

EMBEDDED ARRAY

# S1X50000 シリーズ デザインガイド

本資料のご使用につきましては、次の点にご留意願います。

---

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないで下さい。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

## 目次

<b>第1章 概要</b> .....	<b>1</b>
1.1 特長.....	1
1.1.1 S1X50000 シリーズの概要.....	1
1.1.2 S1X50000 シリーズのチップ構成.....	2
1.1.3 入出力バッファの構成・種類.....	2
1.1.4 メモリマクロ (RAM、ROM).....	2
1.2 電気的特性・規格.....	3
1.2.1 絶対最大定格.....	3
1.2.2 推奨動作条件.....	4
1.2.3 電気的特性.....	5
1.2.4 オーバーシュート／アンダーシュート.....	7
<b>第2章 開発フロー</b> .....	<b>8</b>
2.1 開発着手依頼提出からサインオフまでの開発フロー.....	8
2.2 論理合成・配置配線作業フロー (セイコーエプソン作業).....	8
2.3 仮 (トライアル用) データの提出.....	12
2.3.1 事前確認 (仮論理合成).....	12
2.3.2 E/A のバルク決定.....	12
2.4 試作から量産制定までのフロー.....	13
<b>第3章 RTL 設計上の注意</b> .....	<b>14</b>
3.1 基本構成.....	14
3.1.1 論理合成可能な RTL データの提出.....	14
3.1.2 ライブラリ・セルの使用.....	14
3.1.3 ifdef と parameter.....	14
3.2 端子名の制約.....	14
3.2.1 外部端子名制約.....	14
3.2.2 内部端子名制約.....	14
3.2.3 Verilog 予約語.....	15
3.2.4 VHDL 予約語.....	15
3.3 タイミング制約情報の送付.....	16
3.3.1 クロック情報.....	16
3.3.2 外部端子のタイミング制約.....	18
3.4 入出力バッファの挿入.....	23
3.5 メモリ (RAM、ROM) 搭載について.....	24
3.6 発振セルの記述.....	24
<b>第4章 テスト回路設計上の注意</b> .....	<b>25</b>
4.1 推奨 DC・AC テスト回路の挿入.....	25
4.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用.....	25
4.1.2 お客様設計にてテスト回路挿入される場合.....	25
4.2 スキャン (SCAN) 回路の挿入.....	26

4.2.1	スキャン (SCAN) 回路	26
4.2.2	お客様設計にてスキャン (SCAN) 回路挿入される場合	26
<b>4.3</b>	<b>バウンダリスキャン (JTAG) 回路の挿入</b>	<b>27</b>
4.3.1	インストラクション	27
4.3.2	ゲート数の見積り	27
4.3.3	お客様設計にてバウンダリスキャン (JTAG) 回路挿入される場合	27
<b>4.4</b>	<b>RAM のテスト回路：メモリ BIST (Built in Self Test)</b>	<b>28</b>
4.4.1	メモリ BIST 用テスト入出力端子	28
4.4.2	通常動作時の制約事項	28
4.4.3	メモリクロックのスキュー調整	29
4.4.4	その他	29
<b>4.5</b>	<b>機能セルのテスト回路</b>	<b>29</b>
<b>第 5 章</b>	<b>テストパターン作成上の注意</b>	<b>30</b>
<b>5.1</b>	<b>サインオフ・シミュレーション向けテストパターンの作成</b>	<b>30</b>
5.1.1	テストパターンの形式	30
5.1.2	テストパターンの制約	32
<b>5.2</b>	<b>製品出荷テスト向けのテストパターン作成</b>	<b>34</b>
5.2.1	使用可能な入力波形	34
5.2.2	テストパターンの各種制限	35
5.2.3	DC・AC テストパターンについて	36
5.2.4	ハイインピーダンス状態の扱いに関する注意点	36
<b>第 6 章</b>	<b>回路設計上の注意</b>	<b>37</b>
<b>6.1</b>	<b>発振回路</b>	<b>37</b>
6.1.1	発振回路の構成	37
6.1.2	発振回路を使用する場合の注意	39
6.1.3	発振回路セルの記述について	39
6.1.4	発振回路使用時のテストパターンについて	40
<b>6.2</b>	<b>メタステーブル (Metastable)</b>	<b>41</b>
<b>6.3</b>	<b>外部バスとの競合防止</b>	<b>42</b>
<b>第 7 章</b>	<b>入出力バッファの種類と使用上の注意</b>	<b>43</b>
<b>7.1</b>	<b>入出力バッファの種類及び選択</b>	<b>43</b>
7.1.1	入出力バッファの選択	43
7.1.2	バスホールド回路	44
<b>7.2</b>	<b>2 電源使用上の注意</b>	<b>44</b>
7.2.1	2 電源対応の方法	44
7.2.2	2 電源使用時の電源	44
7.2.3	電源の投入・切断について	45
<b>7.3</b>	<b>2 電源対応の入出力バッファ</b>	<b>46</b>
7.3.1	入力バッファ	47
7.3.2	出力バッファ	49
7.3.3	双方向バッファ	51
7.3.4	Fail-Safe セル	56

7.3.5	Gated セル.....	58
<b>7.4</b>	<b>3.3V 単一電源対応の入出力バッファ .....</b>	<b>60</b>
7.4.1	入力バッファ .....	61
7.4.2	出力バッファ .....	62
7.4.3	双方向バッファ .....	63
7.4.4	Fail-Safe セル.....	65
7.4.5	Gated セル.....	66
<b>第8章</b>	<b>端子配置と同時動作 .....</b>	<b>67</b>
<b>8.1</b>	<b>電源端子数の見積り .....</b>	<b>67</b>
8.1.1	単一電源の場合 .....	67
8.1.2	2電源の場合 .....	67
<b>8.2</b>	<b>同時動作と電源追加 .....</b>	<b>69</b>
8.2.1	2電源使用上の注意 (HVDD=5.0V/LVDD=3.3V) .....	69
8.2.2	単一電源使用上の注意 .....	70
<b>8.3</b>	<b>端子配置上の注意点 .....</b>	<b>72</b>
8.3.1	固定電源ピン .....	72
8.3.2	ピン配列上の注意事項 .....	72
<b>8.4</b>	<b>推奨ピン配列例 .....</b>	<b>78</b>
<b>第9章</b>	<b>メモリマクロ (RAM、ROM) .....</b>	<b>79</b>
<b>9.1</b>	<b>ゲートアレイ・タイプ RAM.....</b>	<b>79</b>
9.1.1	特長 .....	79
9.1.2	RAMのワードビット構成とセル名の対応 .....	79
9.1.3	RAMサイズ.....	80
9.1.4	機能説明 .....	82
9.1.5	タイミングチャート.....	84
9.1.6	リードサイクル アクセスタイム (tAGS、tACC) .....	86
<b>9.2</b>	<b>セルベース・タイプ 1ポートRAM.....</b>	<b>87</b>
9.2.1	特長 .....	87
9.2.2	ブロック図と入力信号 .....	87
9.2.3	動作真理値表 .....	89
9.2.4	タイミングチャート.....	90
9.2.5	電気的特性.....	90
<b>9.3</b>	<b>セルベース・タイプ DualポートRAM.....</b>	<b>92</b>
9.3.1	特長 .....	92
9.3.2	ブロック図と入出力信号 .....	92
9.3.3	動作真理値表 .....	95
9.3.4	タイミングチャート.....	97
9.3.5	電気的特性.....	100
<b>9.4</b>	<b>セルベース・タイプ 大容量1ポートRAM.....</b>	<b>101</b>
9.4.1	特長 .....	101
9.4.2	ブロック図と入出力信号 .....	101
9.4.3	動作真理値表 .....	103
9.4.4	タイミングチャート.....	104

9.4.5	電気的特性	105
<b>9.5</b>	<b>セルベース・タイプ マスク ROM</b>	<b>106</b>
9.5.1	特長	106
9.5.2	ブロック図と入出力信号	106
9.5.3	動作真理値表	107
9.5.4	タイミングチャート	107
9.5.5	電気的特性	108
<b>9.6</b>	<b>非存在アドレスへのアクセス禁止</b>	<b>109</b>
<b>第10章</b>	<b>消費電力</b>	<b>110</b>
10.1	消費電力特性	110
10.1.1	電圧特性	110
10.1.2	周波数特性	110
10.2	動作消費電力の見積り	111
10.2.1	内部セル ( $P_{int}$ )	111
10.2.2	入力バッファ ( $P_i$ )	111
10.2.3	出力バッファ ( $P_o$ )	112
10.2.4	消費電力制限	113
<b>付録</b>		<b>114</b>
<b>A1.</b>	<b>シミュレーション結果例</b>	<b>114</b>
A1.1	シミュレーション結果と期待値とのコンペアファイル例	114
A1.2	タイミング・エラーリスト	116
<b>A2.</b>	<b>テスト回路挿入</b>	<b>119</b>
A2.1	スキャン (SCAN) 回路挿入	119
A2.2	バウンダリスキャン (JTAG) 回路挿入	125
A2.3	機能セルテスト回路挿入	127
<b>A3.</b>	<b>DC・AC テストパターン</b>	<b>128</b>
A3.1	DC テストパターン	128
A3.2	AC テストパターン	129
<b>A4.1</b>	<b>入出力バッファ特性 (<math>V_{DD}=5.0V</math>)</b>	<b>131</b>
A4.1.1	出力電流特性 ( $5.0V \pm 0.5V$ )	131
A4.1.2	入力バッファ特性 ( $5.0V \pm 0.5V$ )	132
A4.1.3	出力ドライバ特性	133
A4.1.4	出力遅延時間対出力負荷容量 ( $C_L$ )	136
A4.1.5	出力バッファ立上り/立下り時間対出力負荷容量 ( $C_L$ )	137
A4.1.6	PULL-UP、PULL-DOWN 抵抗	138
A4.1.7	出力波形	139
<b>A4.2</b>	<b>入出力バッファ特性 (<math>V_{DD}=3.3V</math>)</b>	<b>140</b>
A4.2.1	出力電流特性 ( $3.3V \pm 0.3V$ )	140
A4.2.2	入力バッファ特性 ( $3.3V \pm 0.3V$ )	141
A4.2.3	遅延特性	141
A4.2.4	出力ドライバ特性	142
A4.2.5	出力遅延時間対出力負荷容量 ( $C_L$ )	145
A4.2.6	出力バッファ立上り/立下り時間対出力負荷容量 ( $C_L$ )	146

---

A4.2.7 PULL-UP、PULL-DOWN 抵抗 .....	147
A4.2.8 出力波形 .....	148
A4.3 シュミット入力バッファの電気的特性について .....	149
<b>改訂履歴表.....</b>	<b>150</b>

# 第1章 概要

S1X50000 シリーズは、0.35 $\mu$ m CMOS プロセスを採用した、エンベデッドアレイです。

## 1.1 特長

### 1.1.1 S1X50000 シリーズの概要

- プロセス 0.35 $\mu$ m CMOS 2/3/4 層 配線
- 集積度 15.4 k ゲート/mm<sup>2</sup>
- 動作速度
  - 内部ゲート : 150ps (3.3V Typ.)  
(2 入力 NAND、F/O=2、標準配線負荷、Typ. 条件)
  - 入力バッファ : 380ps (5.0V Typ.)、400ps (3.3V Typ.)  
(F/O=2、標準配線負荷、Typ. 条件)
  - 出力バッファ : 2.12ns (5.0V Typ.)、2.02ns (3.3V Typ.)  
(C<sub>L</sub>=15pF、Typ. 条件)
- I/F レベル TTL 入力、CMOS 入出力、LVTTTL コンパチブル
- 入力モード TTL、CMOS、LVTTTL、TTL シュミット、CMOS シュミット、LVTTTL シュミット、PCI  
プルアップ、プルダウン抵抗内蔵可能 (抵抗値 各 2 種類)
- 出力モード ノーマル、3-ステート、双方向、PCI
- 駆動出力
  - I<sub>OL</sub>=0.1、1、3、8、12、24mA 選択可能 (V<sub>DD</sub>=5V 時)
  - I<sub>OL</sub>=0.1、1、2、6、12mA 選択可能 (V<sub>DD</sub>=3.3V 時)
- RAM/ROM
  - ◎ ゲートアレイ・タイプ RAM 非同期 1 ポート、非同期 2 ポート  
(入出力部にラッチ回路を挿入することにより同期型に対応)
  - ◎ セルベース・タイプ RAM 同期 1 ポート、同期 Dual ポート
  - ◎ セルベース高密度タイプ RAM 同期 1 ポート
  - ◎ セルベース・タイプ ROM 同期

セルベース・タイプは配線 3 層を使用
- レベルシフタ内蔵による 2 電源動作対応
  - 内部ロジック : 3.3 $\pm$ 0.3V 動作
  - 入出力バッファ : 5.0 $\pm$ 0.5V/3.3 $\pm$ 0.3V 動作
- 単一電源動作対応 3.3 $\pm$ 0.3V 単一電源動作

HV<sub>DD</sub>/LV<sub>DD</sub>=3.3 $\pm$ 0.3V/2.0 $\pm$ 0.2V の 2 電源動作、V<sub>DD</sub>=2.0 $\pm$ 0.2V 単一電源動作ご要望のお客様は、弊社営業にお問い合わせ下さい。



## 1.1.2 S1X50000 シリーズのチップ構成

S1X50000 シリーズの構成は、図 1-1 に示すように、内部コア領域と入出力バッファ領域から構成されています。一部アナログマクロで入出力バッファ回路とマクロ回路が一体となったマクロがあります。

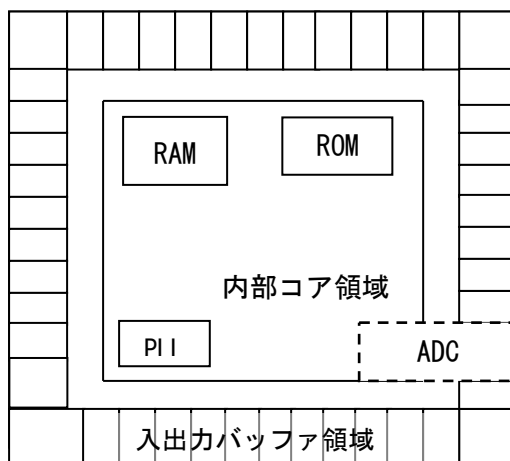


図 1-1 S1X50000 シリーズの概略構成

内部コア領域では、仕様に応じて、アナログマクロやメモリマクロ等の機能セルを配置し、また論理部にゲートアレイを配置して、これらを相互に配線することで所望仕様の回路を実現します。

入出力バッファ領域では、入力バッファや出力バッファ、双方向バッファ、電源セルを配置し、外部装置と内部コア領域との信号の伝播が行われます。

### 1.1.3 入出力バッファの構成・種類

S1X50000 シリーズ、入出力バッファの詳細については「第7章 入出力バッファの種類と使用上の注意」および「第8章 端子配置と同時動作」を参照下さい。

入出力特性については、「付録 A4.1 入出力バッファ特性 ( $HV_{DD}=5.0V$ )、A4.2 入出力バッファ特性 ( $V_{DD}=3.3V$ )」を参照下さい。

### 1.1.4 メモリマクロ (RAM、ROM)

メモリについては、ゲートアレイ・タイプ非同期 RAM (SRAM) の他に、高集積なセルベース・タイプの同期 RAM (1ポート、Dualポート、高密度1ポート) と同期 ROM (マスク ROM) を用意しています。

詳細については「第9章メモリマクロ (RAM、ROM)」を参照下さい。

## 1.2 電気的特性・規格

### 1.2.1 絶対最大定格

表 1-1 絶対最大定格 (HV<sub>DD</sub>/LV<sub>DD</sub> =5.0V/3.3V 2電源の場合)

(V<sub>SS</sub>=0V)

項目	記号	定格値	単位
電源電圧	HV <sub>DD</sub> *2	-0.3~7.0	V
	LV <sub>DD</sub> *2	-0.3~4.0	V
入力電圧	HV <sub>I</sub>	-0.3~HV <sub>DD</sub> +0.5*1	V
	LV <sub>I</sub>	-0.3~LV <sub>DD</sub> +0.5*1	V
出力電圧	HV <sub>O</sub>	-0.3~HV <sub>DD</sub> +0.5*1	V
	LV <sub>O</sub>	-0.3~LV <sub>DD</sub> +0.5*1	V
出力電流/ピン	I <sub>OUT</sub>	±30 (±50*3)	mA
保存温度	T <sub>stg</sub>	-65~150	°C

注) \*1 : Nチャンネルオープンドレインの双方向バッファと、セル名が“XHIDあるいはXLID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

\*2 : HV<sub>DD</sub> ≥ LV<sub>DD</sub> として下さい。

\*3 : 出力電流 24mA のバッファに適用して下さい。

表 1-2 絶対最大定格 (V<sub>DD</sub>=3.3V 単一電源の場合)

(V<sub>SS</sub>=0V)

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub>	-0.3~4.0	V
入力電圧	V <sub>I</sub>	-0.3~V <sub>DD</sub> +0.5*1	V
出力電圧	V <sub>O</sub>	-0.3~V <sub>DD</sub> +0.5*1	V
出力電流/ピン	I <sub>OUT</sub>	±30	mA
保存温度	T <sub>stg</sub>	-65~150	°C

注) \*1 : Nチャンネルオープンドレインの双方向バッファと、セル名が“XID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

## 1.2.2 推奨動作条件

表1-3 推奨動作条件 (HV<sub>DD</sub>/LV<sub>DD</sub> = 5.0V/3.3V 2電源の場合)(V<sub>SS</sub>=0V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (HV <sub>DD</sub> 電圧)	HV <sub>DD</sub>	4.5	5.0	5.5	V
電源電圧 (LV <sub>DD</sub> 電圧)	LV <sub>DD</sub>	3.0	3.3	3.6	V
入力電圧	HV <sub>I</sub>	-0.3	—	HV <sub>DD</sub> +0.3	V
	LV <sub>I</sub>	-0.3	—	LV <sub>DD</sub> +0.3* <sup>1</sup>	V
周囲温度	T <sub>a</sub>	-40	25	85* <sup>2</sup>	°C
入力立上り時間 (ノーマル入力) * <sup>3</sup>	t <sub>ri</sub>	—	—	50	ns
入力立下り時間 (ノーマル入力) * <sup>3</sup>	t <sub>fa</sub>	—	—	50	ns
入力立上り時間 (シュミット入力) * <sup>3</sup>	t <sub>ri</sub>	—	—	5	ms
入力立下り時間 (シュミット入力) * <sup>3</sup>	t <sub>fa</sub>	—	—	5	ms

注) \*1: Nチャンネルオープンドレインの双方向バッファと、セル名が“XLID”で始まる入力バッファと、Fail-Safeセルについては、5.8Vまで入力可能です。

\*2: この温度範囲は、T<sub>j</sub>=-40~125 (°C) を想定した推奨周囲温度です。

\*3: この時間は、電源電圧の10%~90%の変化時間です。

表1-4 推奨動作条件 (V<sub>DD</sub>=3.3V 単一電源の場合)(V<sub>SS</sub>=0V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V <sub>DD</sub>	3.0	3.3	3.6	V
入力電圧	V <sub>I</sub>	-0.3	—	V <sub>DD</sub> +0.3* <sup>1</sup>	V
周囲温度	T <sub>a</sub>	-40	25	85* <sup>2</sup>	°C
入力立上り時間 (ノーマル入力) * <sup>3</sup>	t <sub>ri</sub>	—	—	50	ns
入力立下り時間 (ノーマル入力) * <sup>3</sup>	t <sub>fa</sub>	—	—	50	ns
入力立上り時間 (シュミット入力) * <sup>3</sup>	t <sub>ri</sub>	—	—	5	ms
入力立下り時間 (シュミット入力) * <sup>3</sup>	t <sub>fa</sub>	—	—	5	ms

注) \*1: Nチャンネルオープンドレインの双方向バッファと、セル名が“XID”で始まる入力バッファと、Fail-Safeセルについては、5.8Vまで入力可能です。

\*2: この温度範囲は、T<sub>j</sub>=-40~125 (°C) を想定した推奨周囲温度です。

\*3: この時間は、電源電圧の10%~90%の変化時間です。

## 1.2.3 電気的特性

表 1-5 電気的特性

(HV<sub>DD</sub>=5.0±0.5V、V<sub>SS</sub>=0V、T<sub>a</sub>=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I <sub>LI</sub>	—	-1	—	1	μA	
オフステートリーク電流	I <sub>OZ</sub>	—	-1	—	1	μA	
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> =-0.1mA (Type S)、-1mA (Type M) -3mA (Type 1)、-8mA (Type 2) -12mA (Type 3、4) HV <sub>DD</sub> =Min.	HV <sub>DD</sub> -0.4	—	—	V	
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> =0.1mA (Type S)、1mA (Type M) 3mA (Type 1)、8mA (Type 2) 12mA (Type 3)、24mA (Type 4) HV <sub>DD</sub> =Min.	—	—	0.4	V	
高レベル入力電圧	V <sub>IH1</sub>	CMOS レベル、HV <sub>DD</sub> =Max.	3.5	—	HV <sub>DD</sub> +0.3	V	
低レベル入力電圧	V <sub>IL1</sub>	CMOS レベル、HV <sub>DD</sub> =Min.	-0.3	—	1.0	V	
高レベル入力電圧	V <sub>T1+</sub>	CMOS シュミット	2.0	—	4.0	V	
低レベル入力電圧	V <sub>T1-</sub>	CMOS シュミット	0.8	—	3.1	V	
ヒステリシス電圧	V <sub>H1</sub>	CMOS シュミット	0.3	—	—	V	
高レベル入力電圧	V <sub>IH2</sub>	TTL レベル、HV <sub>DD</sub> =Max	2.0	—	HV <sub>DD</sub> +0.3	V	
低レベル入力電圧	V <sub>IL2</sub>	TTL レベル、HV <sub>DD</sub> =Min	-0.3	—	0.8	V	
高レベル入力電圧	V <sub>T2+</sub>	TTL シュミット	1.2	—	2.4	V	
低レベル入力電圧	V <sub>T2-</sub>	TTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V <sub>H2</sub>	TTL シュミット	0.1	—	—	V	
高レベル入力電圧*1	V <sub>IH3</sub>	PCI レベル、HV <sub>DD</sub> =Max	2.0	—	HV <sub>DD</sub> +0.3	V	
低レベル入力電圧*1	V <sub>IL3</sub>	PCI レベル、HV <sub>DD</sub> =Min	-0.3	—	0.8	V	
プルアップ抵抗	P <sub>PU</sub>	V <sub>I</sub> =0V	Type 1	30	60	144	kΩ
			Type 2	60	120	288	kΩ
プルダウン抵抗	P <sub>PD</sub>	V <sub>I</sub> =HV <sub>DD</sub>	Type 1	30	60	144	kΩ
			Type 2	60	120	288	kΩ
高レベル出力電流*1	I <sub>OH3</sub>	PCI 対応、V <sub>OH</sub> =1.4V、HV <sub>DD</sub> =Min. V <sub>OH</sub> =3.1V、HV <sub>DD</sub> =Max.	-44	—	—	mA	
			—	—	-142		
低レベル出力電流*1	I <sub>OL3</sub>	PCI 対応、V <sub>OL</sub> =2.20V、HV <sub>DD</sub> =Min. V <sub>OL</sub> =0.71V、HV <sub>DD</sub> =Max.	95	—	—	mA	
			—	—	206		
高レベル保持電流	I <sub>BHH</sub>	バスホールド対応、V <sub>IN</sub> =2.0V HV <sub>DD</sub> =Min.	—	—	-80	μA	
低レベル保持電流	I <sub>BHL</sub>	バスホールド対応、V <sub>IN</sub> =0.8V HV <sub>DD</sub> =Min.	—	—	33	μA	
高レベル反転電流	I <sub>BHHO</sub>	バスホールド対応、V <sub>IN</sub> =0.8V HV <sub>DD</sub> =Max.	-550	—	—	μA	
低レベル反転電流	I <sub>BHLO</sub>	バスホールド対応、V <sub>IN</sub> =2.0V HV <sub>DD</sub> =Max.	330	—	—	μA	
入力端子容量	C <sub>I</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	10	pF	
出力端子容量	C <sub>O</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	10	pF	
入出力端子容量	C <sub>I0</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	10	pF	

注) \*1 : PCI 規格 Rev. 2.2 に準拠しています。

表 1-6 電気的特性

(HV<sub>DD</sub> or V<sub>DD</sub> or LV<sub>DD</sub>=3.3±0.3V、V<sub>SS</sub>=0V、T<sub>a</sub>=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I <sub>LI</sub>	—	-1	—	1	μA	
オフステートリーク電流	I <sub>OZ</sub>	—	-1	—	1	μA	
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = -0.1mA (Type S)、-1mA (Type M) -2mA (Type 1)、-6mA (Type 2) -12mA (Type 3) V <sub>DD</sub> =Min.	V <sub>DD</sub> -0.4	—	—	V	
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 0.1mA (Type S)、1mA (Type M) 2mA (Type 1)、6mA (Type 2) 12mA (Type 3) V <sub>DD</sub> =Min.	—	—	0.4	V	
高レベル入力電圧	V <sub>IHI</sub>	LVTTTL レベル、V <sub>DD</sub> =Max.	2.0	—	HV <sub>DD</sub> +0.3	V	
低レベル入力電圧	V <sub>ILI</sub>	LVTTTL レベル、V <sub>DD</sub> =Min.	-0.3	—	0.8	V	
高レベル入力電圧	V <sub>T1+</sub>	LVTTTL シュミット	1.1	—	2.4	V	
低レベル入力電圧	V <sub>T1-</sub>	LVTTTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V <sub>H1</sub>	LVTTTL シュミット	0.1	—	—	V	
高レベル入力電圧*1	V <sub>IH3</sub>	PCI レベル、V <sub>DD</sub> =Max	1.8	—	HV <sub>DD</sub> +0.3	V	
低レベル入力電圧*1	V <sub>IL3</sub>	PCI レベル、V <sub>DD</sub> =Min	-0.3	—	0.9	V	
高レベル入力電流*1	I <sub>OH3</sub>	PCI 対応、V <sub>OH</sub> =0.90V、HV <sub>DD</sub> =Min. V <sub>OH</sub> =2.52V、HV <sub>DD</sub> =Max.	-36 —	— —	— -115	mA	
低レベル入力電流*1	I <sub>OL3</sub>	PCI 対応、V <sub>OH</sub> =1.80V、HV <sub>DD</sub> =Min. V <sub>OH</sub> =0.65V、HV <sub>DD</sub> =Max.	48 —	— —	— 137	mA	
プルアップ抵抗	P <sub>PU</sub>	V <sub>i</sub> =0V	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
プルダウン抵抗	P <sub>PD</sub>	V <sub>i</sub> =V <sub>DD</sub>	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
高レベル保持電流	I <sub>BHH</sub>	バスホールド対応、V <sub>IN</sub> =1.7V V <sub>DD</sub> =Min.	—	—	-20	μA	
低レベル保持電流	I <sub>BHL</sub>	バスホールド対応、V <sub>IN</sub> =0.5V V <sub>DD</sub> =Min.	—	—	17	μA	
高レベル反転電流	I <sub>BHHO</sub>	バスホールド対応、V <sub>IN</sub> =0.5V V <sub>DD</sub> =Max.	-350	—	—	μA	
低レベル反転電流	I <sub>BHLO</sub>	バスホールド対応、V <sub>IN</sub> =1.7V V <sub>DD</sub> =Max.	210	—	—	μA	
入力端子容量	C <sub>I</sub>	f=1MHz、V <sub>DD</sub> =0V	—	—	10	pF	
出力端子容量	C <sub>O</sub>	f=1MHz、V <sub>DD</sub> =0V	—	—	10	pF	
入出力端子容量	C <sub>I0</sub>	f=1MHz、V <sub>DD</sub> =0V	—	—	10	pF	

注) \*1 : PCI 規格 Rev. 2.2 に準拠しています。

## 1.2.4 オーバーシュート／アンダーシュート

入力バッファ、双方向バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-3、表1-4の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート／アンダーシュートを規定しています。

(1)  $V_{DD} = 5.0 \pm 0.5V$  条件でオーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート	最大ピーク電圧	: $V_{DD} + 1.5V$ (*1)
オーバーシュート	最大時間(*2)	: 50 ns
アンダーシュート	最小ピーク電圧	: $V_{SS} - 1.5V$
アンダーシュート	最大時間(*2)	: 50 ns

注) \*1: Nチャンネルオープンドレインの双方向バッファと、セル名が“XHID”または“XLID”から始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

\*2: 時間とは、入力電圧が $V_{DD}$ 上回っている時間、または、 $V_{SS}$ より下回っている時間を指します。ただし、上記\*1の場合は、5.8Vより上回っている時間になります。

(2)  $V_{DD} = 3.3 \pm 0.3V$  条件でオーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート	最大ピーク電圧	: $V_{DD} + 1.0V$ (*1)
オーバーシュート	最大時間(*2)	: 50 ns
アンダーシュート	最小ピーク電圧	: $V_{SS} - 1.0V$
アンダーシュート	最大時間(*2)	: 50 ns

注) \*1: Nチャンネルオープンドレインの双方向バッファと、セル名が“XID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

\*2: 時間とは、入力電圧が $V_{DD}$ より上回っている時間、または、 $V_{SS}$ より下回っている時間を指します。ただし、上記\*1の場合は、5.8Vより上回っている時間になります。

(補足)

オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の $V_{IH}/V_{IL}$ の規格を満足しているかどうかを確認して下さい。たとえ上記規格を満足していても、反射波が $V_{IH}/V_{IL}$ の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

## 第2章 開発フロー

開発手順でのお客様からの開発着手依頼およびデータ提出、セイコーエプソンでの論理合成・配置配線作業フロー、試作から量産制定までのフローを記述しています。

### 2.1 開発着手依頼提出からサインオフまでの開発フロー

図2-1は、お客様からの開発着手依頼提出から、お客様サインオフまでの開発フローです。RTL インタフェースが前提となっています。

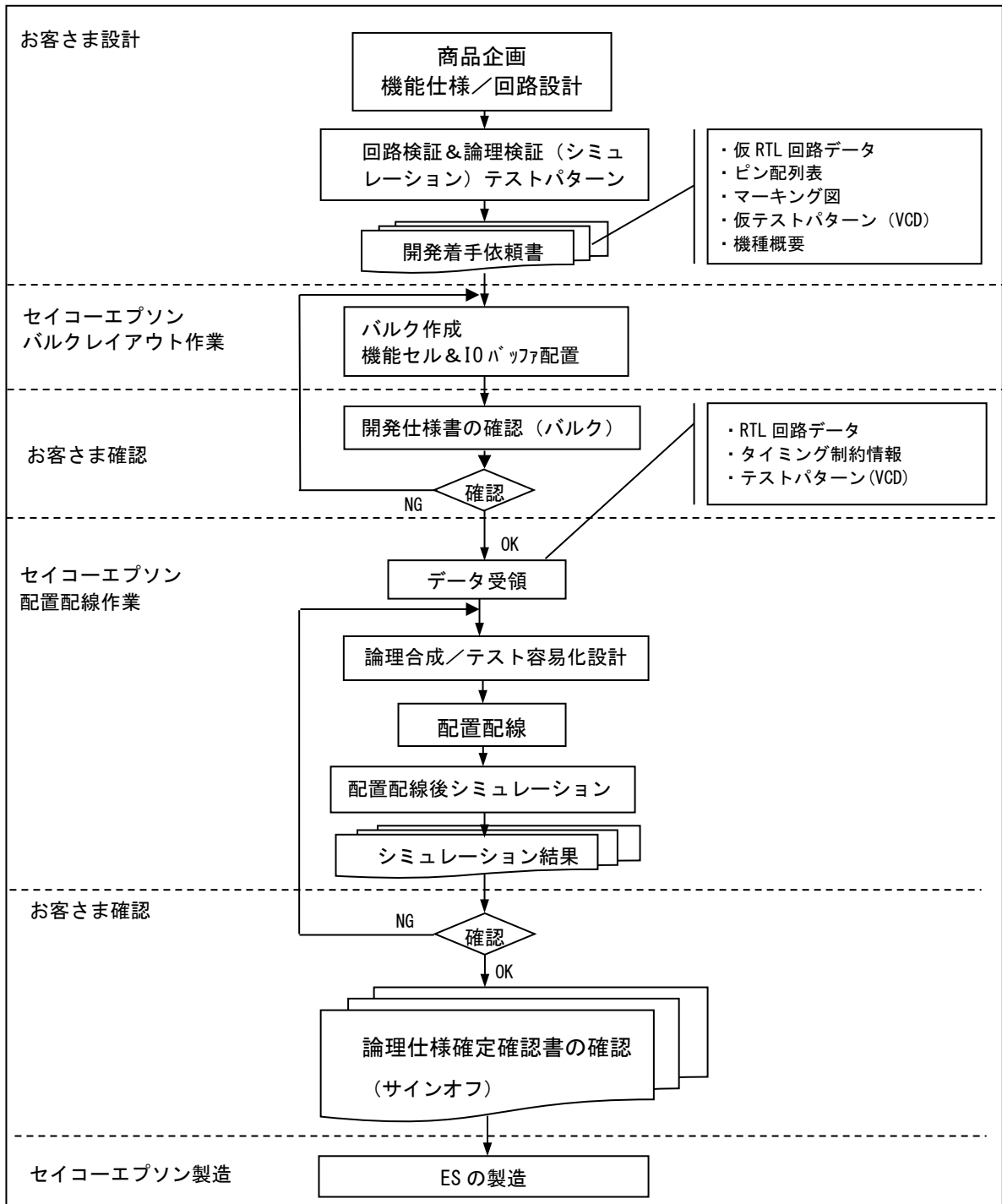


図2-1 サインオフまでの開発フロー

## 2.2 論理合成・配置配線作業フロー（セイコーエプソン作業）

お客様からのデータ受領から、サインオフまでの論理合成・配置配線作業フローを記述しています。

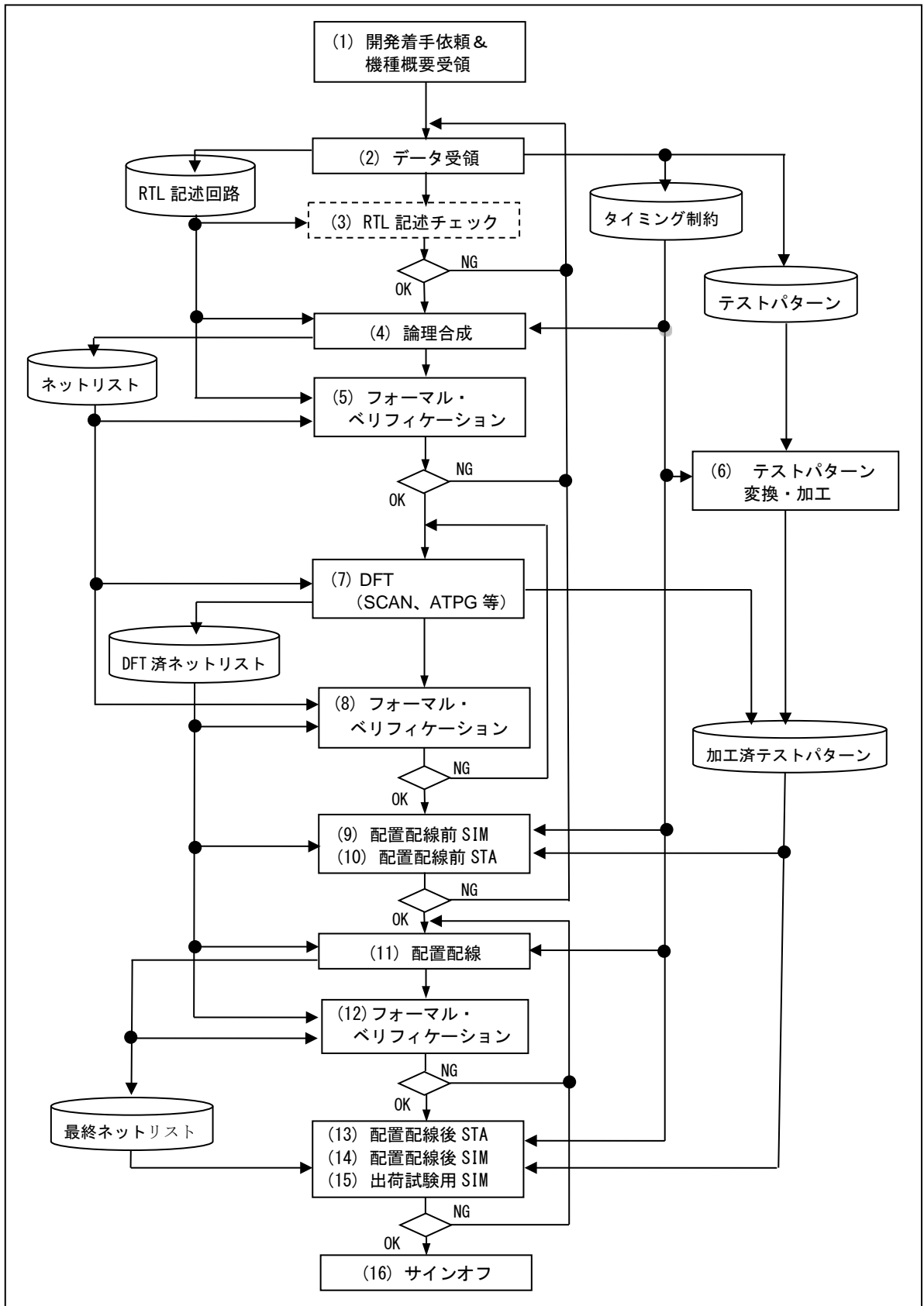


図 2-2 セイコーエプソンでの論理合成・配置配線作業フロー



以下に、図 2-2 の各作業の概要を説明します。

(1) 開発着手依頼 & 機種概要 受領

お客様から、セイコーエプソン帳票「開発着手依頼書」と「機種概要」を代理店またはセイコーエプソンに送付いただきます。受領後、セイコーエプソンで設計作業を開始します。また、開発着手依頼書と一緒に、以下お客様データも併せて送付下さい。

- ① RTL 回路仮データ。「2.4 仮 (Trial 用) データの提出」を参照して下さい。
- ② ピン配列表
- ③ マーキング図 (セイコーエプソン作成フォーマット帳票)
- ④ 仮テストパターン (VCD 形式)

※ 正式な RTL データ、タイミング制約情報、テストパターンについては、バルク製造終了、配置配線製造以前までに送付下さい。

(2) データ受領

お客様より RTL 記述回路データ、テストパターン、タイミング制約情報などを送付いただきます。仮 RTL データおよびピン配列表を基に、入出力バッファ、電源セル、機能セル及び論理領域の配置を行います。

(3) RTL 記述チェック

必要に応じて、RTL チェッカーを使用して、文法エラーなどの確認を行います。

(4) 論理合成

初期段階で、ゲート数の確認やクロックの解析などのために、最小限の制約による仮の論理合成を行います。問題がなければ、タイミング制約などを付けて、実際の論理合成を行います。

(5) フォーマル・ベリフィケーション (等価性チェック)

お客様の RTL 記述と、論理合成後のネットリストとの、フォーマル・ベリフィケーション (等価性チェック) を行います。

(6) テストパターンの変換

お客様から受領したテストパターン: VCD (Value Change Dump) ファイルを、セイコーエプソン独自フォーマット APF (Advanced Press Format) ファイル (サイクルベース、テーブル形式のテストパターン) に変換します。

(7) DFT (スキャン挿入、ATPG など)

DFT (Design For Test: 故障検出率を上げるためのテスト専用回路の追加) を実施し、スキャンテスト回路などを挿入します。また、ATPG (Auto Test Pattern Generate) によるテストパターン生成を行います。

なお、故障検出率の要望がある場合、開発着手時にご連絡下さい。

(8) フォーマル・ベリフィケーション (等価性チェック)

DFT 前と DFT 後でのネットリストに対するフォーマル・ベリフィケーションを行います。

(9) 配置配線前シミュレーション

ゲートレベルのネットリストにおいて、必要なファンクションが得られていることを確

認するために、上記(6)(7)のテストパターンと、仮想遅延データによるシミュレーションを行います。結果に問題などがあった場合は、解析を実施します。

(10) 配置配線前 STA

お客様より受領したタイミング制約を元に、STA（静的タイミング解析）によるタイミング確認を行います。明らかに問題となるタイミング・エラーを発見した場合は、お客様に連絡すると共に、再度の論理合成などの対応を行います。

(11) 配置配線

上記(10)のデータを使い配置配線を実施します。その結果から、実配線後の遅延時間データを算出します。

(12) フォーマル・ベリフィケーション（等価性チェック）

配置配線前と後でのネットリストに対するフォーマル・ベリフィケーションを行います。

(13) 配置配線後 STA

配置配線後のデータについて、実配線後の遅延時間データを用いて、タイミングを確認します。明らかに問題となるタイミング・エラーを発見した場合は、ECO（局所レイアウト変更）などで、調整を行います。

(14) 配置配線後シミュレーション（リアル・レート）

配置配線後のデータについて、IC を実際に使用する条件で、シミュレーションを行います。結果をお客様に送付し内容をご確認いただけます。

(15) 出荷試験用シミュレーション（テスト・レート）

テストパターンのタイミング条件を、出荷試験向けに変更させていただいて、配置配線後データのシミュレーションを行います。結果をお客様に送付し内容をご確認いただけます。また、出荷試験の条件を満たしていることを確認いただけます。

<シミュレーション結果の送付>

シミュレーションの結果は APF (Advanced Press Format セイコーエプソン独自フォーマット: \*.sammax, \*.sammin) 形式で送付します。要望に応じて VCD (Value Change Dump)、形式の波形ファイルを添付します。

<シミュレーション結果とのコンペアの送付>

シミュレーション結果と期待値とのコンペアを行い、コンペアファイル (\*.exp\_max, \*.exp\_min) が出力されます。同様に、min 結果と max 結果のコンペアファイル (\*.min\_max) の出力を送付します。

出力例について、付録「A1.1 シミュレーション結果と期待値とのコンペアファイル例」を参照して下さい。

<タイミング・エラーリストの送付>

シミュレーション中にタイミング・エラーが発生した場合、リスト (\*.errmax, \*.errmin) 出力を送付します。

タイミング・エラーリストの見方については、付録「A1.2 タイミング・エラーリスト」を参照して下さい。

(16) サインオフ

セイコーエプソン作成帳票（論理仕様確定確認書）を送付します。内容をご確認いただき、問題なければ帳票への確認結果の記載および署名・捺印いただきセイコーエプソンに送付下さい。帳票受領後、ES（エンジニアリング・サンプル）の製造を開始します。

## 2.3 仮（トライアル用）データの提出

正式なRTL回路データ提出前にあらかじめ、仮（トライアル用）データを送付していただくよう、お願いします。

### 2.3.1 事前確認（仮論理合成）

仮データを用いて、正式なデータ受領後の作業をスムーズにするための準備を行います。なお、タイミング条件が厳しい場合、仮RTL回路データ送付時にご連絡下さい。

(1) ゲート規模の見積り

お客様から受領した仮RTL回路データから、概略のゲート規模を見積もることが可能です。

(2) 仮RTLデータのチェック

お客様から受領した仮RTL回路データに対して、論理合成を行います。文法上の問題や、合成後の問題を事前に知ることができます。チェックで問題のあった箇所を、お客様に報告いたします。

また、仮RTLデータと、論理合成後のネットリストとの、フォーマル・ベリフィケーション（等価性チェック）を行います。論理の不一致が現われた場合は、お客様に報告いたします。

(3) 論理合成における制約条件設定

最低限の制約条件を用いて、論理合成を行います。その際、タイミング制約情報を提出していただくことで、論理合成の制約条件をあらかじめ調整します。また、STA（静的タイミング検証）の制約条件を作成することも可能です。

(4) ファンクションの確認

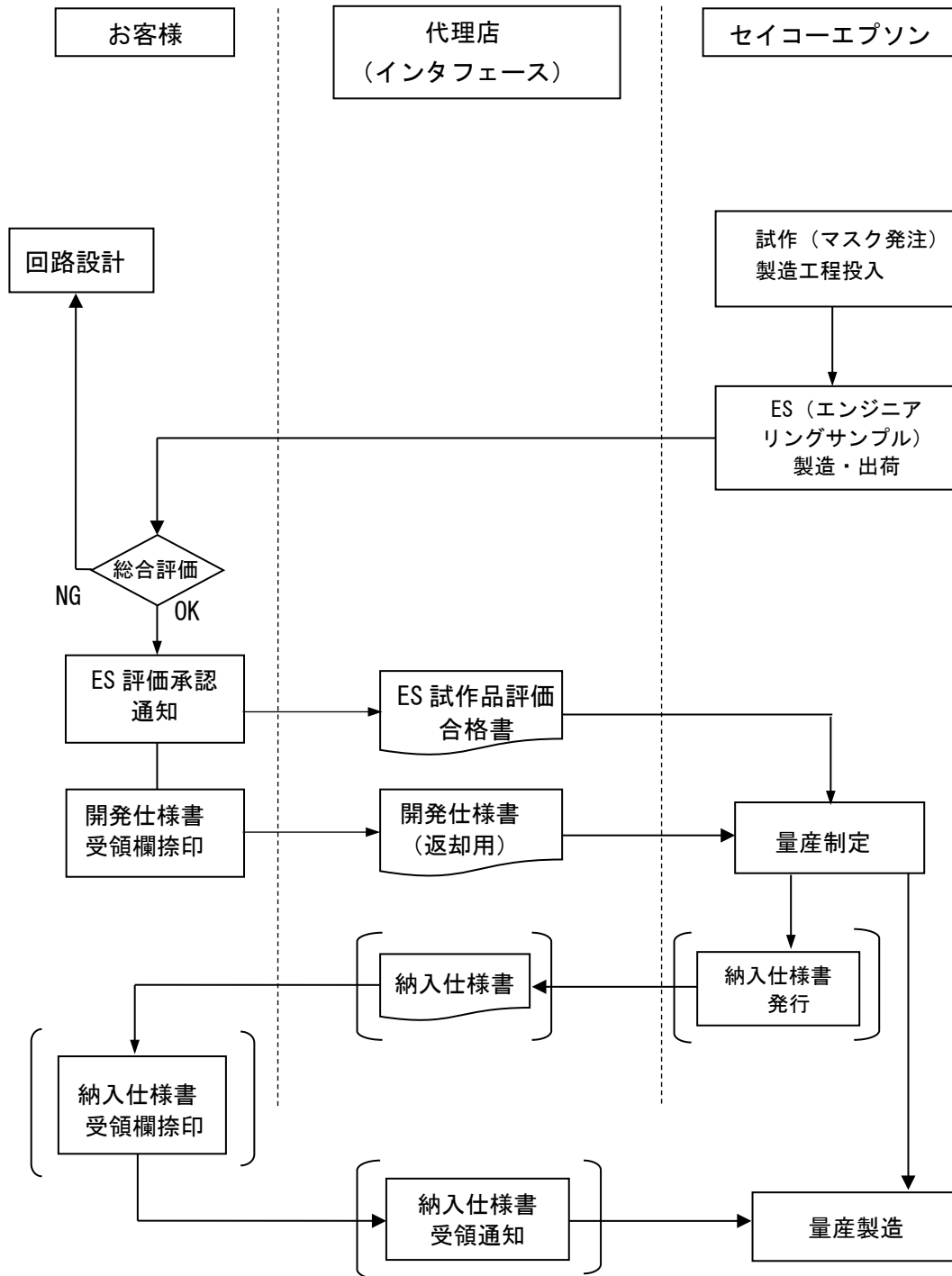
仮のテストパターンを提出していただくことで、APFパターンへの変換チェック、テストパターンの整合性チェック、及びゲートレベル・シミュレーションによるファンクションの確認が可能です。

### 2.3.2 E/Aのバルク決定

エンベデッドアレイの場合、受領した仮データを用いて入出力バッファセルおよび電源セルを配置し、MSI領域での機能セルおよび、ゲートアレイを仮配置し配置配線を行いバルクの配置およびチップサイズを決定します。

## 2.4 試作から量産制定までのフロー

図 2-3 は、セイコーエプソンにての試作から量産制定までのフローです。



（ ）内はお客様からの要望がある場合行います。

図 2-3 試作から量産制定までのフロー

## 第3章 RTL 設計上の注意

セイコーエプソンにての論理合成を効率良く行う為、お客様での RTL 設計での留意点について記述しています。

### 3.1 基本構成

#### 3.1.1 論理合成可能な RTL データの提出

送付いただく RTL データは、論理合成可能な記述のみにして下さい。ビヘイビア・レベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれていても問題ありません。

#### 3.1.2 ライブラリ・セルの使用

RTL 内で、セイコーエプソンのライブラリ・セルを呼び出しているモジュール名と、ライブラリ・セル名を連絡下さい。ライブラリ・セルが論理合成時に消されないための設定を行います。

#### 3.1.3 ifdef と parameter

ifdef 文や parameter 文で、RTL の外部や別ファイルから値を設定する必要がある場合は、その旨を連絡下さい。

### 3.2 端子名の制約

外部端子および内部端子の名前に制限・制約があります。制限・制約に沿っていただくことを推奨します。制限・制約の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがあります。

#### 3.2.1 外部端子名制約

外部端子名には、以下の制約があります。いただいた RTL のトップモジュールの端子名が、この制約を違反していた場合は、修正させていただくことがあります。また、いただいた RTL のトップモジュールの上に、I/O セルなどが入った、ASIC 用のトップモジュールを追加させて頂いたり、トップモジュールを置き換えさせていただく場合も、この制約で端子を付けさせていただきます。

つきましては、RTL とゲートレベルのネットリストの端子名が異なると問題がある場合は、RTL のトップモジュールの端子名を、この制約で付けて下さい。

- ① 全て大文字にて記述して下さい。
- ② 使用可能文字は、英数字とアンダーバー'\_'のみです。ただし、先頭文字は英字のみ使用可能です。
- ③ '[' と ']' は使用できませんので、バスの記述もできないことに注意下さい。
- ④ '\_' が2つ連続してはいけません。
- ⑤ 文字数は、2~32 文字の範囲です。

#### 3.2.2 内部端子名制約

- ① 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。例："ABC" と "Abc" の混在は禁止。
- ② 使用可能文字は、英数字、アンダーバー'\_'。
- ③ 文字数は、2~32 文字の範囲です。

### 3.2.3 Verilog 予約語

以下の文字列は、Verilog の予約語です。ユーザー定義名として使用しないで下さい。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

### 3.2.4 VHDL 予約語

以下の文字列は、VHDL の予約語です。ユーザー定義名として使用しないで下さい。

abs	access	after	alias	all	and	architecture
array	assert	attribute	begin	block	body	buffer
bus	case	component	configuration	constant	disconnect	downto
else	elsif	end	entity	exit	file	for
function	generate	generic	guarded	if	in	inout
is	label	library	linkage	loop	map	mod
nand	new	next	nor	not	null	of
on	open	or	others	out	package	port
procedure	process	range	record	register	rem	report
return	select	severity	signal	subtype	then	to
transport	type	units	until	use	variable	wait
when	while	with	xor			

### 3.3 タイミング制約情報の送付

お客様から、クロックや入力遅延、外部遅延に関するタイミング制約情報を RTL データ送付時に一緒に送付していただきます。この情報をもとに、論理合成や STA におけるタイミング制約の作成などを行います。

#### 3.3.1 クロック情報

##### (1) 外部クロック

すべての外部クロックについて、以下の事項を指定して下さい。

- ① 端子名
- ② クロックの基準周期
- ③ 基準周期の開始から、クロックの立上りエッジ・立下りエッジまでの遅延
- ④ Duty および Duty の誤差
- ⑤ クロックジッタの有無
- ⑥ スキュー調整必要の有無
- ⑦ 用途（メイン、テスト用など）

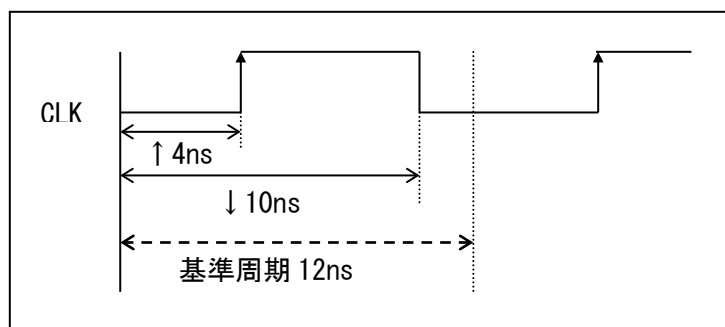


図 3-1 外部クロック波形図

例えば図 3-1 の場合、外部クロック端子名は CLK、クロック基準周期 12ns、立上りエッジ遅延 4ns、立下りエッジ遅延 10ns、Duty50±0%になります。

##### (2) 内部生成クロック

PLL、分周などによって回路内部で生成されるクロックを指します。すべての内部生成クロックについて、以下の事項を指定して下さい。

- ① 内部生成クロックの信号名、及び生成されるモジュール名
- ② マスタークロックの信号名（外部クロックなら、端子名）
- ③ マスタークロックとの関係（分周数、または逡倍数）
- ④ スキュー調整必要の有無

図 3-2 は、マスタークロック CLK を D-FF で 2 分周して、内部クロック DCLK を生成する RTL 記述の例です。これを論理合成すると、図 3-3 のような回路となります。ここで、CLK と DCLK は、タイミングの異なるクロックとなることにご注意下さい。これは、CLK から FF の出力ピンまでの伝播遅延分のスキューが生じるためです（図 3-4）。

```

always @(posedge CLK or negedge RST)
begin
  if(!RST)
    Q <= 1'b0;
  else
    Q <= ~Q;
end

assign DCLK = Q;

always @(posedge DCLK or negedge RST)
  .
    
```

図 3-2 分周による内部クロック生成の記述例

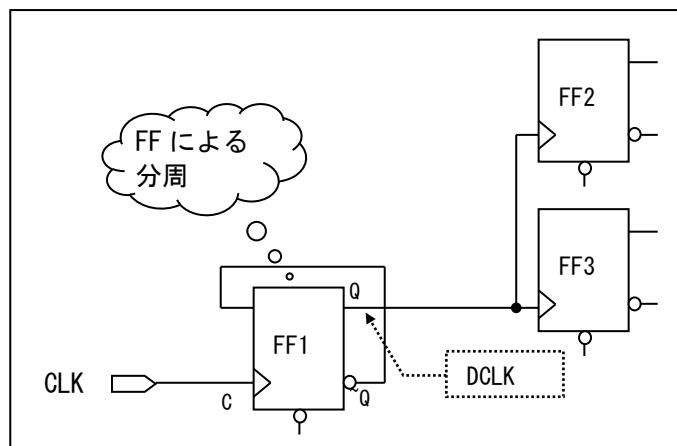


図 3-3 図 3-2 より合成される回路例

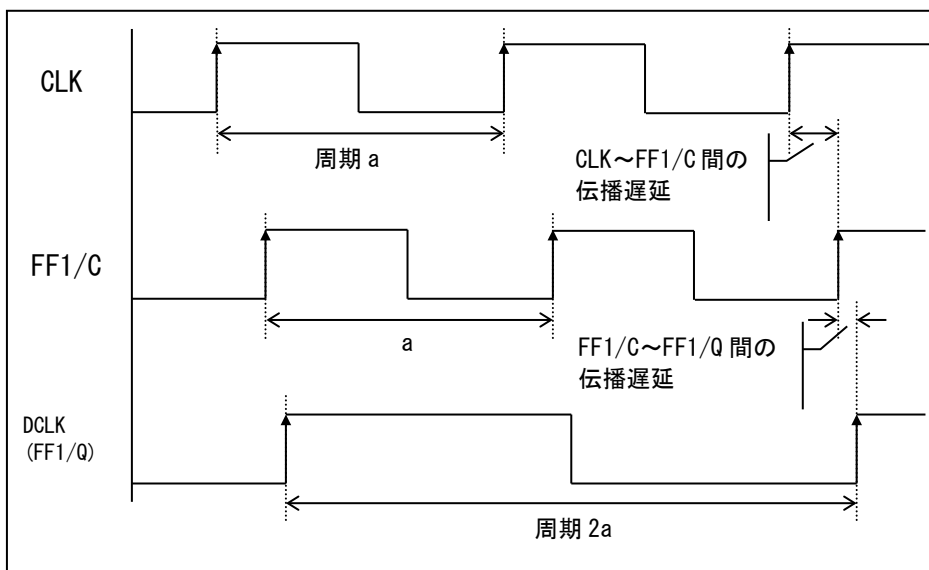


図 3-4 図 3-3 の回路の波形図



(3) 複数クロックの組み合わせ

複数のクロックと組み合わせ回路から、パルスを作ることは避けて下さい。各クロックのスキューにより、意図しないパルスとなる可能性があります。

(4) 異なるクロックで動作するレジスタ間のデータパスについて

異なるクロックで動作するレジスタ間にデータパスがある場合、そのタイミングを保証することは困難ですので、非同期でデータの受け渡しができるような設計を行って下さい。また、同クロックであってもエッジが異なる場合は、異なるクロックとして扱ってよいかをご指示下さい。

### 3.3.2 外部端子のタイミング制約

(1) 外部入力タイミング

外部入力端子に、基準クロックに対するセットアップタイム、ホールドタイムを指定して下さい。

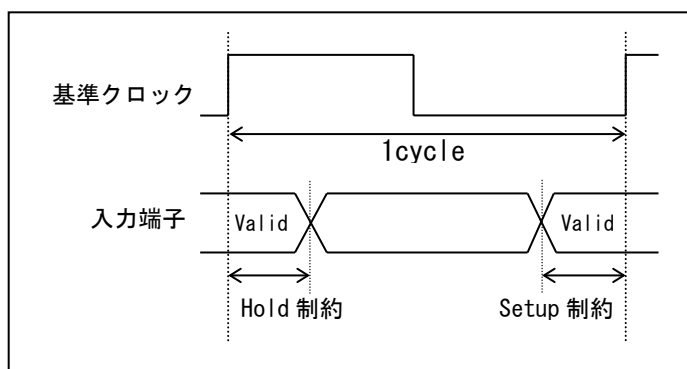


図 3-5 : 外部入力タイミング

(2) 外部出力タイミング

外部出力端子に、定義したクロックに対する出力遅延を設定します。基準クロックに対する遅延の最小値と最大値を指定して下さい。基準クロックが回路内に存在しないときは、仮想クロックの制約を指定して下さい。

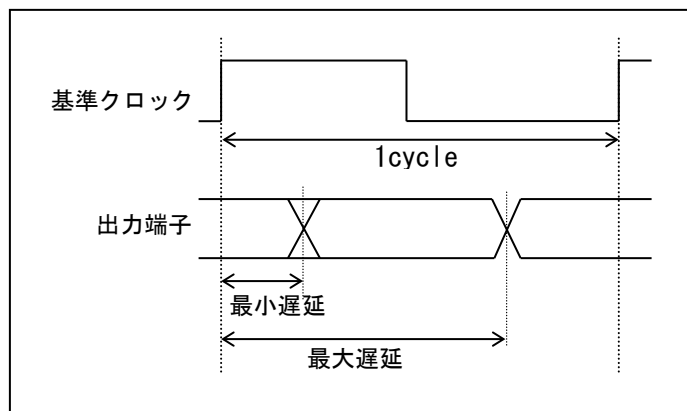


図 3-6 外部出力タイミン

## (3) マルチサイクルパス

図 3-7 は、乗算器などの大規模回路を通るパスの例です。FF1/Q~FF2/D 間のタイミングに複数サイクルを必要とする（もしくは、必要としても構わない）場合は、FF1/Q~FF2/D 間のパスに対して、マルチサイクルパスを指定します。

データの受け渡しに複数サイクルが必要なパスと、サイクル数を指定して下さい。

例えば、FF1/Q~FF2/D 間のパスのデータ伝播に 2 サイクルを必要とする場合は、図 3-8 のように FF1/Q~FF2/D 間に 2 サイクルのマルチサイクルパスを指定します。

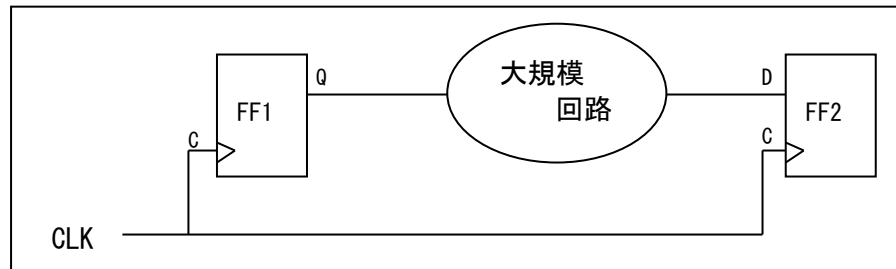


図 3-7 大規模回路を通るパスの例

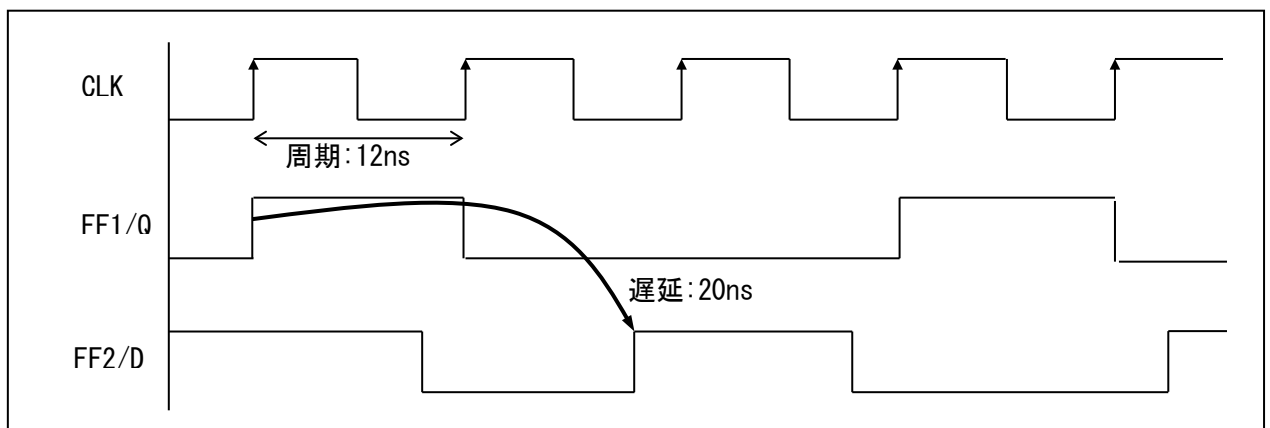


図 3-8 マルチサイクルパス

(4) フォルスパス

論理的、仕樣的にありえないパスを、わかるかぎり指定して下さい。フォルスパスは、最適化の対象外となります。例えば、図 3-9 において、B~X 間のパスは論理的にありえませんが、フォルスパスになります。

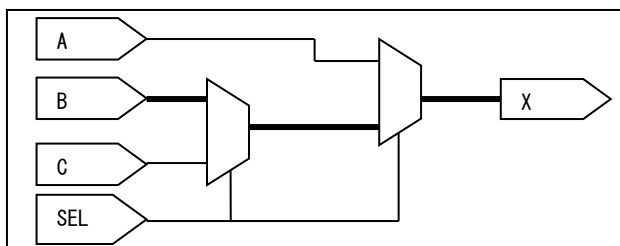


図 3-9 フォルスパス

(5) クロック・ゲーティング

消費電力削減などのため、クロック・ゲーティングを行う場合は、できるだけ上位階層で行うようにして下さい。

クロックツリー構築時にスキュー調整が必要となる場合がありますので、クロック・ゲーティングを行った箇所を指定して下さい。また、ラッチベース方式のクロック・ゲーティング・セルを使用する場合は、あわせて指定して下さい。

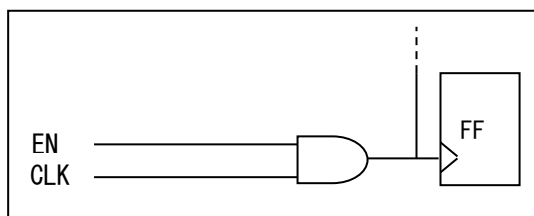


図 3-10 クロック・ゲーティングの例

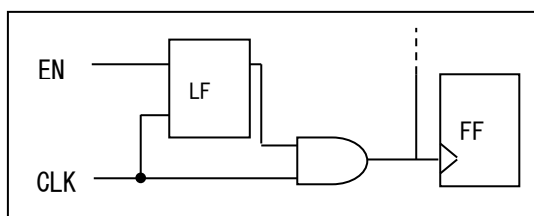


図 3-11 ラッチベース方式のクロック・ゲーティングの例

## (6) クロック・ゲーティングしたRTLでのシミュレーション実施時の注意点

RTL シミュレーションにおいて、図 3-12 のようにゲーティングされたクロックは、元クロックとは非同期の扱いとなります。2 段の非同期 FF 両方にゼロ遅延でクロックが入った場合は、どちらが先に処理されるかは、シミュレータ依存となります。これを回避するには、RTL 中に遅延の記述を付加して、意図通りの順番で処理が行われるようにして下さい。RTL 中の遅延記述は、論理合成時には無視されます。

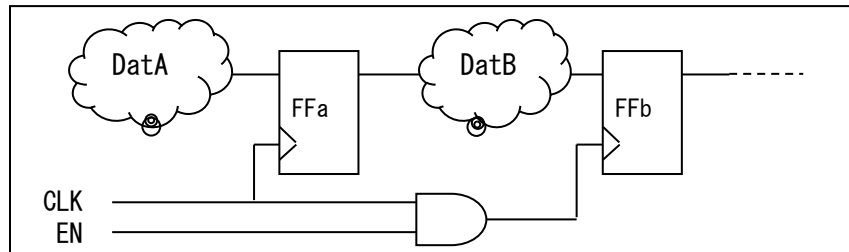


図 3-12 ゲーティングされたクロックとの接続例

```
parameter DELAY = 10;
.....
always @(posedge CLK ) begin
    FFa <= #(DELAY) DatA;
end
assign ENCLK = CLK & EN;
always @(posedge ENCLK ) begin
    FFb <= DatB;
end
```

図 3-13 遅延記述の付加

(7) 論理合成時のクロック・ゲーティング・セル自動挿入

セイコーエプソンでの論理合成時に、ラッチベース方式のクロック・ゲーティング・セルを自動挿入することが可能です。消費電力の削減と、ゲートサイズの削減が見込めます。

クロックスキューが増大するため、タイミング制約が厳しい場合は、調整に数日の日数が必要となる場合がありますのでご了解下さい。

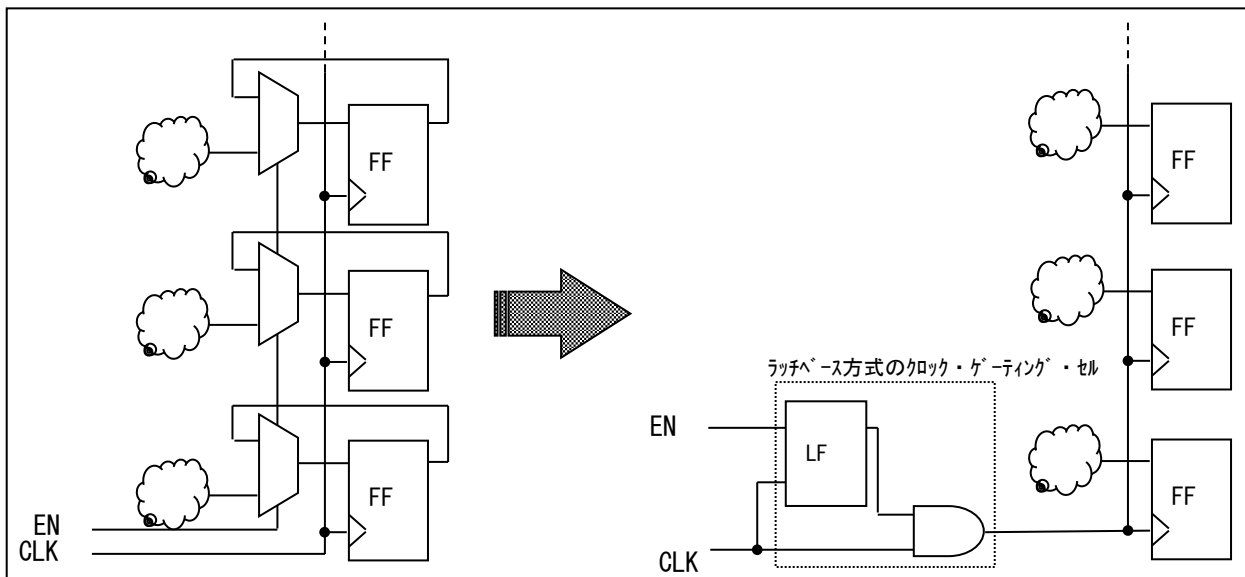


図 3-14 クロック・ゲーティング・セル自動挿入の例

(8) セット・リセット信号について

図 3-15 のような、非同期セットとリセットの両端子を持つフリップフロップの有無をお知らせ下さい。非同期セット・リセット両端子を持つフリップフロップのセット・リセット間のリカバリータイムやリムーバルタイムは解析できません。また、クロック端子を持たないセルのセット・リセットは解析できません。

```

always @(posedge CLK or negedge SET or negedge RST) begin
  if (!SET)
    Q <= 1' b1;
  else if (!RST)
    Q <= 1' b0;
  else
    Q <= D;
end
    
```

図 3-15 セット・リセット両端子を持つフリップフロップの記述例

### 3.4 入出力バッファの挿入

送付いただいた「ピン配列表」でのバッファの種類にしたがって、セイコーエプソンにて、入出力バッファを挿入いたします。

バッファの種類および構成については、「第7章 入出力バッファの種類と使用上の注意」を参照して下さい。

入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。セイコーエプソンにてゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみをお願いします。

具体的には、単方向ポートは、下位モジュールと1対1に接続するだけにして下さい。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップ モジュール内で双方向信号を記述して下さい。

```

module TOP ( IN1, OUT1, BID1);
  input IN1 ;
  output OUT1 ;
  inout BID1 ;
  assign BID1 = (en) ? 1'bz : bid1_out ;
  CORE U_CORE( .in1(IN1),
    .out1(OUT1), .bid1_in(BID1),
    .bid1_out(bid1_out), .en(en) );
endmodule

```

図 3-16 トップモジュールの RTL 例

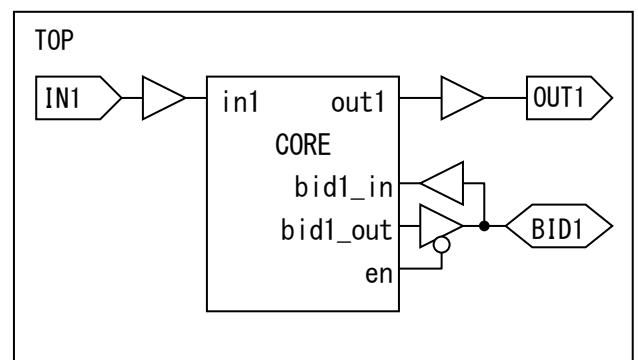


図 3-17 トップモジュール イメージ

## 3.5 メモリ (RAM、ROM) 搭載について

メモリマクロ (RAM、ROM) を搭載される場合、メモリマクロ仕様の確認をお願いします。仕様の詳細は「第 9 章 メモリマクロ (RAM、ROM)」を参照して下さい。

必要なメモリのサイズ (ワード、ビット構成) および個数を開発着手依頼書へ記入をお願いします。メモリマクロのライブラリの提供を行います。なお、メモリマクロのモデル、ライブラリ提供には日数が掛る場合があります。ご了承ください。

お客様にてメモリマクロを記述する場合は、そのモデルのモジュール名を連絡下さい。

## 3.6 発振セルの記述

発振セルを搭載される場合、発振セルの詳細については、「第 6 章 6.1 発振回路」を参照して下さい。

RTL 記述時には、発振セルはインスタンス化して記述して下さい。

論理合成時に発振セルの外部端子接続ネットにバッファが挿入されないよう、入力および出力ネットに対して、

`set_dont_touch` コマンドで `dont_touch` 属性を付けて下さい。

## 第 4 章 テスト回路設計上の注意

テスト回路設計推奨として、セイコーエプソンにてテスト容易化設計、テスト回路挿入を行います。本内容については「第 2 章 開発フロー」を参照して下さい。

### 4.1 推奨 DC・AC テスト回路の挿入

セイコーエプソンでは、DC および AC テスト等の出荷時の試験を効率良く行えるように、推奨のテスト回路を用意し、お客様の回路に挿入させていただきます。

#### 4.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用

セイコーエプソン推奨 DC および AC テスト回路については、送付いただいたお客様回路にセイコーエプソンにて挿入させていただきます。推奨テスト回路を構成する為に、テスト回路付き入出力バッファを選択いたします。

最低 1 本の DC・AC テスト専用端子を回路の入力端子として用意をお願いします。

#### 4.1.2 お客様設計にてテスト回路挿入される場合

お客様にて、テスト回路を設計される場合、またお客様の回路設計の構成上の理由で、セイコーエプソン推奨のテスト回路をご使用いただけない場合、または、テスト機能付き出力バッファをご使用いただけない場合には、開発着手依頼時に連絡をお願いします。



## 4.2 スキャン (SCAN) 回路の挿入

スキャン回路の挿入の有無については、開発着手依頼時に連絡をお願いします。スキャン回路の挿入は、セイコーエプソンにて行ないません。その際、スキャンテスト専用端子2本を回路の入力端子として用意して頂くことになります。

### 4.2.1 スキャン (SCAN) 回路

セイコーエプソンでのスキャン挿入は、設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

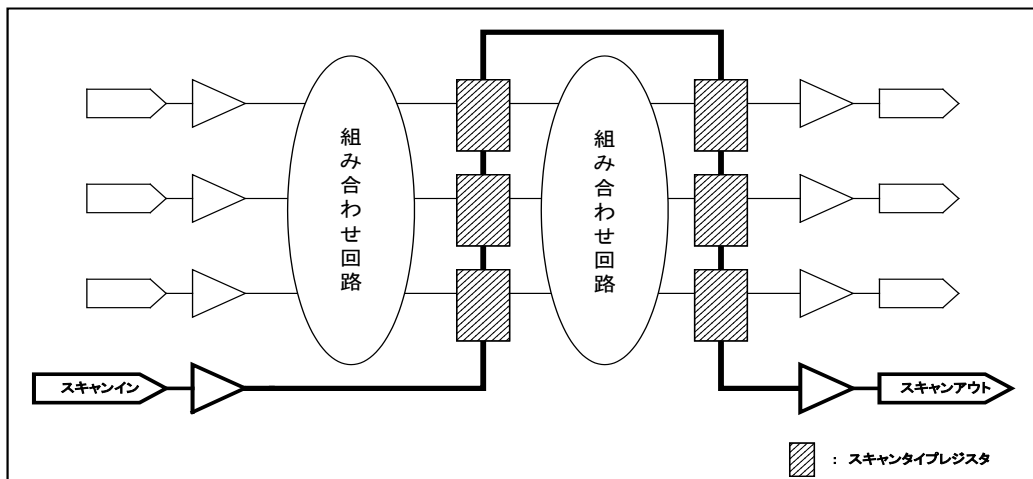


図 4-1 スキャン回路の例

[注意] ATPG が生成するテストパターンは仕様を確認するものではありません。  
トランスペアレントラッチはスキャンタイプレジスタに置換えされません。

### 4.2.2 お客様設計にてスキャン (SCAN) 回路挿入される場合

お客様にてスキャン回路挿入もしくは、ATPG を実施される場合は、「付録 A2.1 スキャン (SCAN) 回路挿入」を参照いただき、回路設計をお願いします。

### 4.3 バウンダリスキャン (JTAG) 回路の挿入

バウンダリスキャン (JTAG) 回路の挿入の有無については、開発着手依頼時に連絡をお願いします。バウンダリスキャン (JTAG) 回路挿入は、セイコーエプソンにて行ないます。

バウンダリスキャン (JTAG) 回路挿入に際しては、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリスキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。

また、挿入したバウンダリスキャン用ファンクションパターンはセイコーエプソンにて作成しますので、お客様側でのバウンダリスキャンに関するパターン作成は必要はありません。

#### 4.3.1 インストラクション

以下のバウンダリスキャンインストラクションに対応します。

表 4-1 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能 <sup>(*)</sup>
HIGHZ	任意選択可能 <sup>(*)</sup>
IDCODE	0...01

注) \*1: 特に要求のない場合は弊社でアサインします。また他コードとの重複はできません。

また、インストラクションのビット幅は 2~32 ビットの範囲で選択可能です。特に要求のない場合は、セイコーエプソンにて決定します。

#### 4.3.2 ゲート数の見積り

バウンダリスキャン回路挿入によるゲート数の増加に関しては、対応するインストラクションやビット幅などにより前後します。ゲート数の見積りには以下の情報を用いて概算下さい。

表 4-2 ゲート数見積り (SOG 換算)

バウンダリスキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時: 約 30 (BC/端子) オブザーブ専用セル使用時: 約 15 (BC/端子)
2-state 出力端子	約 35 (BC/端子)
3-state 出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

#### 4.3.3 お客様設計にてバウンダリスキャン (JTAG) 回路挿入される場合

お客様にてバウンダリスキャン (JTAG) 回路の挿入される場合は、「付録 A2.2 バウンダリスキャン (JTAG) 回路挿入」を参照いただき、回路設計をお願いします。

## 4.4 RAMのテスト回路：メモリBIST (Built in Self Test)

セイコーエプソンでは内蔵メモリのテスト回路として自己診断回路であるメモリBIST (Built In Self Test) を用意しています。使用希望される場合、開発着手依頼送付時に連絡を下さい。

お客様より提出していただいたRTLまたはゲートレベルのネットリストに対してメモリBISTを挿入します。この設計を容易に進めるため、お客様の回路設計時のご注意いただきたい内容について記述します。

### 4.4.1 メモリBIST用テスト入出力端子

メモリBISTでは、BIST\_CLKには通常メモリクロックを割り当てます。したがってメモリBISTに必要なテスト入出力端子は基本的に以下の端子となります。

- MBIST\_TM (モード設定信号) : 入力端子 … 専用端子化を推奨 (条件を満たせば兼用端子化も可能)
- MBIST\_EN (BIST イネーブル信号) : 入力端子 … 兼用端子化可能
- MBIST\_GO (テスト判定信号) : 出力端子 … 兼用端子化可能
- MBIST\_DONE (テスト終了信号) : 出力端子 … 兼用端子化可能

また、バイパス回路対応時には以下の端子が必要となりますが、Chip全体へのSCAN化に当たり別途割り当てられている場合には必要ありません。

- LV\_TM (SCAN モード設定信号) : 入力端子 … Chip全体のSCANモード設定端子との兼用端子化可能

設計を容易に進めるために、MBIST\_TMは専用端子化することをお勧めします。MBIST\_TMを兼用化するには、お客様の回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- MBIST\_TM = 0 (通常動作モード) とし、BIST\_CLK (=メモリクロック) を2発以上与えることが可能として下さい。
- 上記動作の後、MBIST\_TM = 1 (BISTモード) とし、BIST\_CLK (=メモリクロック) を与え続けることが可能として下さい。

注) : BIST回路単体ではBIST\_CLKが必要となりますが、初期化およびスキュー調整等の必要性から通常はメモリクロック等の内部信号を割り当てます。またBISTコントローラが複数の構成となる場合には、MBIST\_GO、MBIST\_DONEをBISTコントローラの数分割り当てる必要があります。なお、MBIST\_TMは一本で構いません。

### 4.4.2 通常動作時の制約事項

メモリBISTを適用した場合メモリ周辺に回路が付加されますが、この周辺回路はBISTモードだけでなく通常動作においても初期化が必要となります。(初期化を行わないとsimulation上、メモリへのアクセスが不可能となります。)したがってお客様の回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- MBIST\_TM = 0 (通常動作モード) とし、BIST\_CLK (=メモリクロック) を2発以上与えることが可能として下さい。

### 4.4.3 メモリクロックのスキュー調整

メモリ BIST 回路（カラー、コントローラ）は複数の順序回路で構成されるため、メモリのクロック信号と BIST 回路（カラー、コントローラ）内部の FF へのクロック信号間でスキュー調整を行う必要があります。さらに詳細な設計内容に関しては以下の事例を参照して下さい。

- ① メモリ動作に関連するメモリクロックが複数存在する場合には、各クロック毎に1個の BIST コントローラを割り当て（全体的に見れば、BIST コントローラは複数）、スキュー調整するのが一般的です。この場合には、各メモリクロック毎にスキュー調整が可能な回路構成にして下さい。
- ② メモリ動作に関連するメモリクロックが複数存在する場合でも、BIST モードにおいてクロックを一本化することが可能な場合には、BIST コントローラ1個でメモリ BIST 回路を構成することが可能です。この場合には BIST モードにおいて全てのメモリへのクロックスキューが調整可能な回路構成にして下さい。
- ③ マルチポートメモリにおいて各ポートへのクロックが異なる場合には、マルチプレクサを挿入して、クロックを共通化する必要があります。この場合には、選択したクロック以外のクロックに対してマルチプレクサを挿入して下さい。

### 4.4.4 その他

メモリ BIST を適用するに当たり、階層設計に関する制約はありません。お客様の回路において、メモリは任意の階層に存在して構いません。

お客様の回路内にメモリ BIST を適用するメモリと適用しないメモリがあっても構いません。

メモリ BIST 挿入を希望されるお客様は、開発着手依頼時に連絡をお願いします。

## 4.5 機能セルのテスト回路

機能セルの搭載の有無について、開発着手依頼時に連絡をお願いします。テスト回路の以下仕様について確認をさせていただきます。

- 機能セルおよびユーザ回路が単体での動作確認について
- 該当セルのすべてのピンが外部からのアクセスについて
- 直接アクセスできる状態に切り替えるための専用端子の用意について

お客様にて機能セルのテスト回路の設計される場合は、「付録 A2.3 機能セルテスト回路挿入」を参照いただき、回路設計をお願いします。

## 第5章 テストパターン作成上の注意

テストパターン作成の留意点について記述しています。

### 5.1 サインオフ・シミュレーション向けテストパターンの作成

#### 5.1.1 テストパターンの形式

RTL シミュレーションにて、結果が得られましたら、その ASIC のプライマリ入出力信号の波形を VCD (Value Change Dump) フォーマットで提出していただきます。外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。なお、セイコーエプソンのサインオフ・シミュレーションでは、HDL で記述されたテストベンチを使うことはできません。

セイコーエプソンでは、VCD を APF (Advanced Press Format : セイコーエプソン独自テストパターン形式) に変換して、シミュレーションを行います。図 5-1 は、VCD から APF への変換イメージです。各波形を基準となるサイクルタイム毎にサンプリングした信号値に置き換えます。APF のサンプルを図 5-2 に示します。

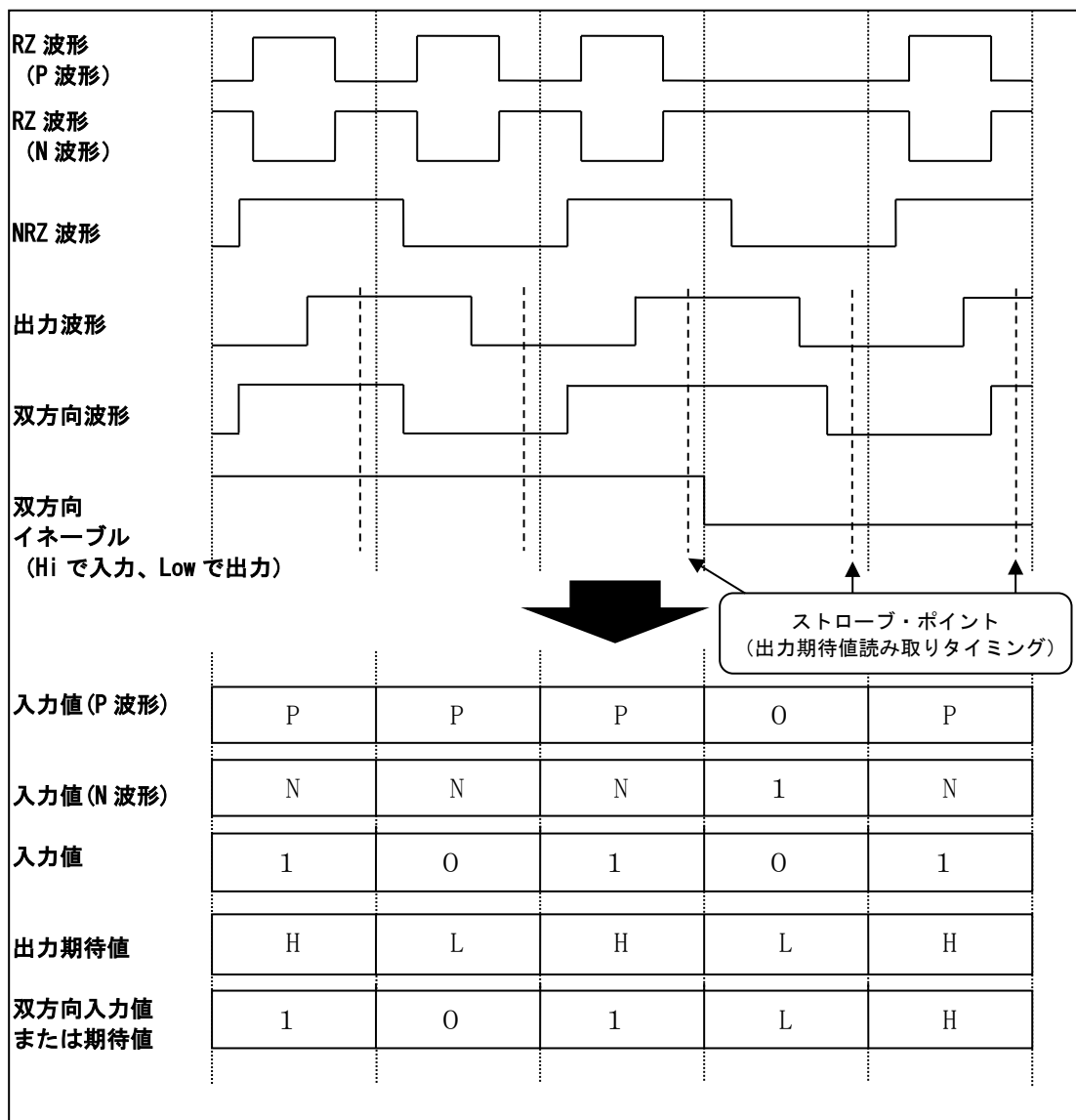


図 5-1 波形から APF への変換イメージ

```

# Create by Netlist Rule Check Utility at Fri Oct 6 11:42:55
$DESIGN SAMPLE

$RATE          100000 ← レート (サイクル) 100ns
$RESOLUTION    0.001ns
$STOROBE       85000 ← ストローブ・ポイント 85ns

#$HEX
#$ENDHEX

$IIOCONT
inst01.Z0      E0      BID1
inst02.Z0      E0      BID2 ← 双方向信号をコントロールしている内部ノード
$ENDIIOCONT

$NODE
RST           I      10000 ← 入力遅延 10ns の入力端子
CLK           P      50000 90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (P 波形) 入力端子
XCLK          N      50000 90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (N 波形) 入力端子
INPUTB        IU     0
INPUTC        IU     0 ← 入力遅延 0ns のプルアップ付き入力端子
#
OUTA           0 ← 出力端子
OUTB           0
#
BID1          B      0 ← 入力遅延 0ns の双方向端子
BID2          B      30000
#
$ENDNODE

$PATTERN
#           RCX1100BB
#           SLCNNUUII
#           TKLPPTDD ← 入力/出力信号名 (コメント行)
#           KUKAB12
#           TT
#           BC
#
#           IPN110BB
#           ← イベント番号 (パターンの周期番号)
#
#           1PN11XZ1L ← 信号値
#           1PN01XZ0L
#           1PN11XH1L
#           10101LHL1
#           1PN11LHH0
#
$ENDPATTERN
    
```

注：信号中に使える文字  
 O：入力 Low    1：入力 High    P：P型 R Z 波形入力    N：N型 R Z 波形入力  
 L：出力 Low    H：出力 High    Z：出力ハイ・インピーダンス    X：Unknown

図 5-2 APF のサンプル

## 5.1.2 テストパターンの制約

セイコーエプソンでは、サイクルベースでのシミュレーションを行っています。つきましては、以下の制約を満足するようにして下さい。入力信号および出力信号のタイミングを厳密にチェックしたいときは、STAによる解析が必要となります。

- 同一VCD内では、クロックの周期やパルス幅を変化させないで下さい。
- 同一VCD内では、クロック間のスキューや、クロックと入力信号の関係を変化させないで下さい。サイクル単位における入力遅延を一定にして下さい。
- 同一VCD内に、周期の異なるクロックが存在する場合、もっとも早いクロックの周期を基準サイクルタイムとし、他クロックの周期は基準サイクルタイムの倍数となるようにして下さい。
- P波形クロックを止めるときは0入力状態にして下さい。
- N波形クロックを止めるときは1入力状態にして下さい。
- 不定(X)や、ハイインピーダンス状態(Z)を入力することはできません。

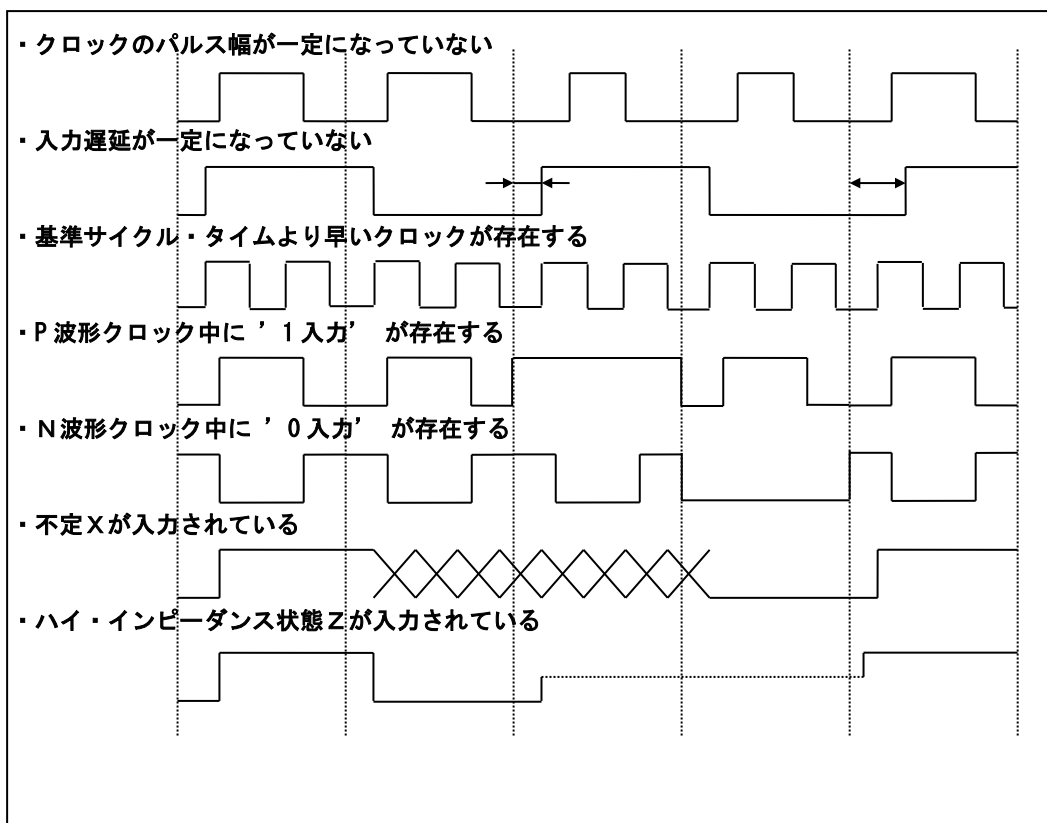


図 5-3 使用できない入力波形の

### 5.1.3 外部双方向端子のイネーブル信号

外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。その際、一つの外部双方向端子は、必ず一つのイネーブル信号で動作するようにして下さい。RTL内の双方向イネーブル信号が複数信号の論理で構成されている場合（図5-4）は、一つの信号に置き換えて下さい（図5-5）。

```
inout data;  
wire data, cs, rd;  
.....  
assign data = (cs & rd) ? outdata : 1' bz;
```

図5-4 複数信号の論理で構成された双方向イネーブル

```
inout data;  
wire data, cs, rd, dataen;  
.....  
assign dataen = cs & rd;  
assign data = dataen ? outdata : 1' bz;
```

図5-5 一つの信号に置き換える



## 5.2 製品出荷テスト向けのテストパターン作成

お客様より受領したテストパターンを基に、セイコーエプソンにて製品の出荷テスト用のテストパターンを作成します。LSI テスタの能力などによって制約があり、IC の仕様確認用のテストパターンを以下の制約に合うよう、変更して作成いたします。この際、テストパターンが非常に長い場合や、テストパターンの本数が非常に多い場合など、LSI テスタへの適用が困難な場合には、テストパターンの調整を行うことがありますのでご了承下さい。

製品出荷テスト向けに変換する必要が無いテストパターンや、製品出荷テスト専用のテストパターンがある場合は、弊社営業担当までご連絡下さい。

### 5.2.1 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や LSI テスタでのテスト時には、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

#### (1) NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

#### (2) RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生することができるので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

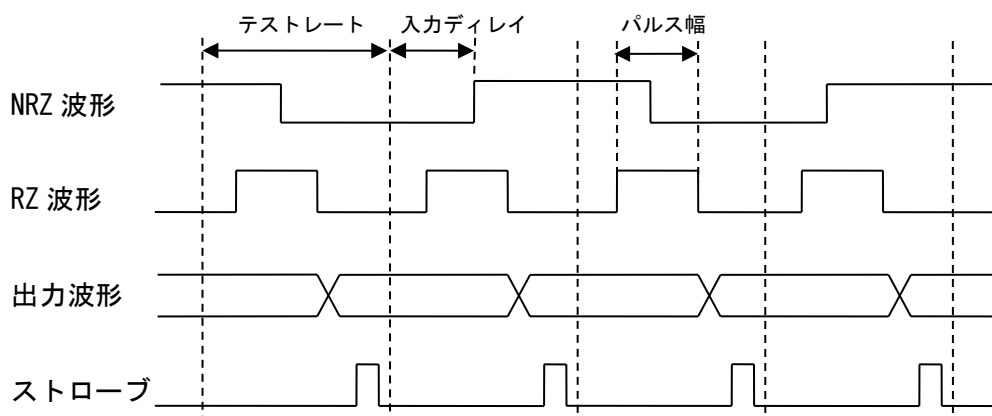


図 5-6 タイミング設定上の制限

## 5.2.2 テストパターンの各種制限

### (1) テストレートおよびイベント数

以下に、テストレートと、イベント数の制限は以下の通りです。

テストレート	: 100ns 以上、1ns 単位 (標準 : 200ns)
テストパターン1本あたりのイベント数	: 256K イベント以内
テストパターンの本数	: 30 本以内
テストパターンの総イベント数	: 1M イベント以内

### (2) 入力ディレイ

以下に、入力ディレイに関する制約は以下の通りです。

#### (a) 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えて下さい。また、ストロブポイントの制限については「5.2.2 (5) ストロブ」を参照して下さい。

$0\text{ns} \leq \text{入力ディレイ値} < \text{ストロブポイント}$

#### (b) 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3ns 以上の差をつけて下さい。

#### (c) 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8種類以内にして下さい。ここで、0ns 遅延も1種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

### (3) パルス幅

RZ 波形のパルス幅は、15ns 以上取って下さい。

### (4) 入力波形フォーマット

入力波形は、0、1、P、Nの値を取ることができます。ここで、PとNは、RZ波形におけるパルスの入力を表しています。また、PとNの値はひとつのテストパターン内で、同一の端子に対して0とPまたは、1とNの組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ波形を入力することができます。

### (5) ストロブ

ストロブに関する制限は以下のとおりです。

(a) ストロブはテストパターンごとに1種類のみ定義して下さい。

(b) ストロブの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30ns 以上後にして下さい。

(c) ストロブの最大値は、(テストレート-15ns) よりも小さくして下さい。

(d) ストロブは、1ns 単位で設定して下さい。

### 5.2.3 DC・AC テストパターンについて

DC および AC テストについては、挿入させていただいたセイコーエプソン推奨テスト回路に対して DC および AC テストパターン作成を、セイコーエプソンにて行います。

お客様にて DC・AC テスト回路挿入される場合は、「付録 A3. DC・AC テストパターン」を参照いただき、テストパターン作成をお願いします。

### 5.2.4 ハイインピーダンス状態の扱いに関する注意点

入力端子のハイ・インピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイ・インピーダンスに関する対策としまして、プルアップ／プルダウン抵抗付きの I/O セルをリリースしています。ただし、下記の理由からシミュレーションにおいてプルアップ／プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ／プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

〈プルアップ／プルダウン抵抗の伝播遅延を考慮していない理由について〉

- 外部負荷容量により遅延が大きく変動するため
- プルアップ／プルダウン抵抗は、ハイインピーダンス状態によるフローティングゲートを回避することのみを目的としているため

上記内容を、シミュレーション前にツールによりテストパターンのチェックを行います。ハイインピーダンス状態を表す“Z”が検出された場合には、テストパターンの修正が必要です。

この時、前記理由からプルアップ／プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

〈対策〉

テストパターンのチェックで双方向端子のすべての“Z”をエラーで警告します。(3-state、オープンドレイン等の出力端子で表現される“Z”は除きます)

このエラーを回避する手段として、前記双方向端子の“Z”はプルアップ抵抗付きであれば“1”を、プルダウン抵抗付きであれば“0”に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、“X”が表現されている時間に入力モードとなった場合は、プルアップ／プルダウン抵抗の有無に関わらず、シミュレーションでは“X”を入力信号として伝播し、シミュレーション結果には“?”を表示します。この“?”は修正いただき、改めてシミュレーションを行います。

表 5-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

## 第 6 章 回路設計上の注意

### 6.1 発振回路

#### 6.1.1 発振回路の構成

発振回路を構成するための発振専用セルには、水晶発振用と CR 発振用があります。さらに水晶発振用には常時発振タイプと間欠発振タイプがあり、それぞれ内部セル領域に配置されるものと I/O セル領域に配置されるものがあります。発振回路構成は使用する発振セルにより以下のようにになります。

待機時消費電流の観点より、間欠発振を推奨しています。

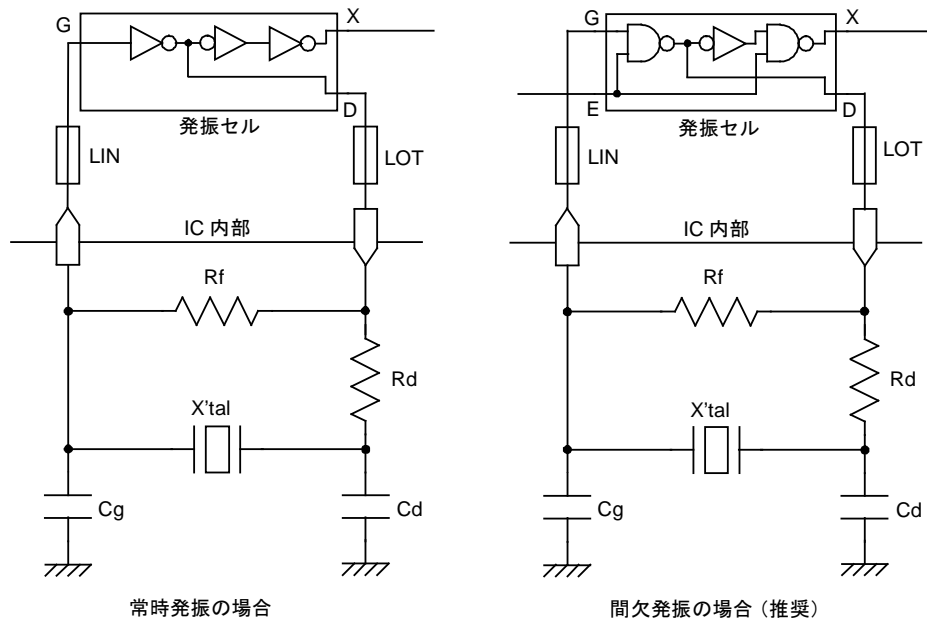


図 6-1 水晶発振回路 (内部セルタイプ)

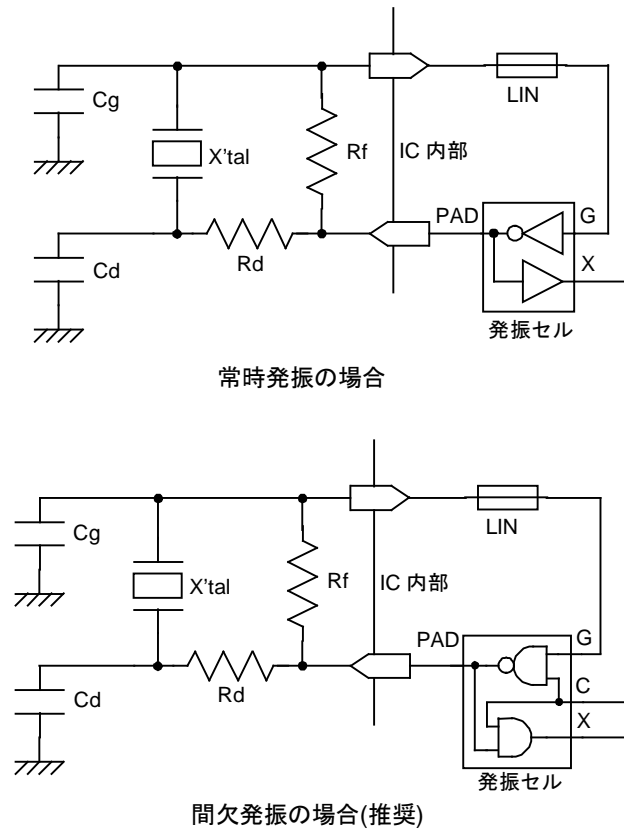
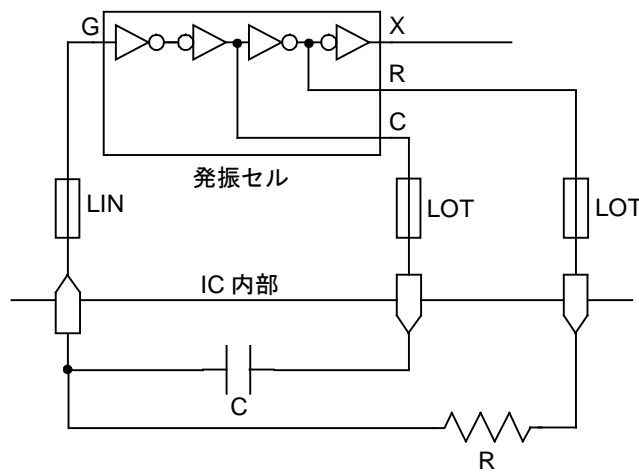


図 6-2 水晶発振回路 (I/O セルタイプ)



## 6.1.2 発振回路を使用する場合の注意

### (1) ピン配列

- 発振回路の入出力ピンは隣接させて配置し、その両側を電源ピン ( $V_{DD}$ 、 $V_{SS}$ ) で挟んで下さい。
- 発振回路の入出力ピンは、他の出力ピンから離して配置して下さい。特に、発振波形と同相あるいは逆相の出力からは離して配置して下さい。このような出力はパッケージの対辺に配置するようにして下さい。
- 発振回路の入出力ピンは、クロックなど高速で動作する入力端子から離して配置して下さい。
- 発振回路の入出力ピンはできるだけパッケージの辺の中心に配置して下さい。
- 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置して下さい。
- BGA 等エリアレイパッケージを使用する場合のピン配列は弊社営業担当までお問い合わせ下さい。

### (2) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせ下さい。

### (3) 外付け抵抗、コンデンサ値の設定

発振特性は、その回路の構成要素 (IC、 $X'$ 、 $t_{al}$ 、 $R_f$ 、 $R_d$ 、 $C_g$ 、 $C_d$ 、基板) に依存します。したがって、外付けの  $R_f$ 、 $R_d$  や  $C_g$ 、 $C_d$  の値は、実際の基盤上に各部品を実装させた状態で十分な評価を行い最適なものを選んで下さい。

### (4) 保証のレベル

発振特性は、その回路の構成要素 (IC、 $X'$ 、 $t_{al}$ 、 $R_f$ 、 $R_d$ 、 $C_g$ 、 $C_d$ 、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客様において ES サンプルで十分な評価を行って確認していただく必要があります。

### (5) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル  $X$  の信号) の波形を予め特定することは困難であるため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立上りと立下りの両方を利用した回路を使用することは避けて下さい。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立上りあるいは立下りのいずれか一方を利用した回路を使用して下さい。

## 6.1.3 発振回路セルの記述について

発振セルの記述については、「第 3 章 3.6 発振セルの記述」を参照して下さい。

## 6.1.4 発振回路使用時のテストパターンについて

図 6-4 のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

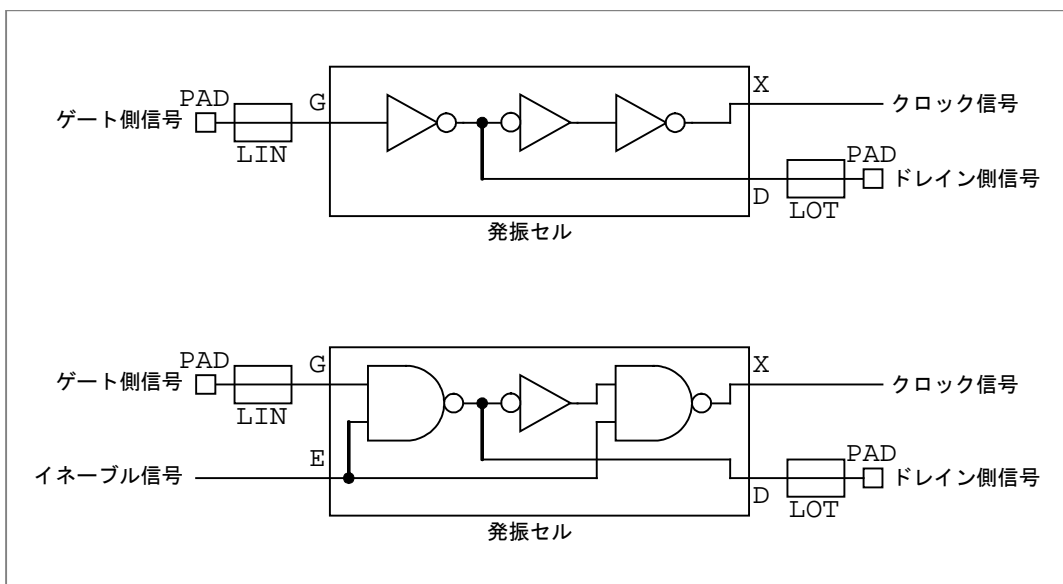


図 6-4 発振回路例

そこで、シミュレーションの状態を LSI テスタで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NAND ゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロークがテストレート最後にあれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意して下さい。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないで下さい。

## 6.2 メタステーブル (Metastable)

FF やラッチセルの入力信号において、クロックとデータのセットアップ、ホールド時間、クロックとセットあるいはリセットのリリース、リムーバル時間のタイミング規格に違反している場合、FF やラッチセルの出力信号は、ある一定の時間、発振または、“HIGH” レベルでも“LOW” レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は“HIGH”あるいは“LOW”レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ／ホールド、リリース／リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとって下さい。

S1X50000 シリーズでは、セットアップ／ホールド、リリース／リムーバル時間の規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

$T_{pd}$  : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をして下さい。

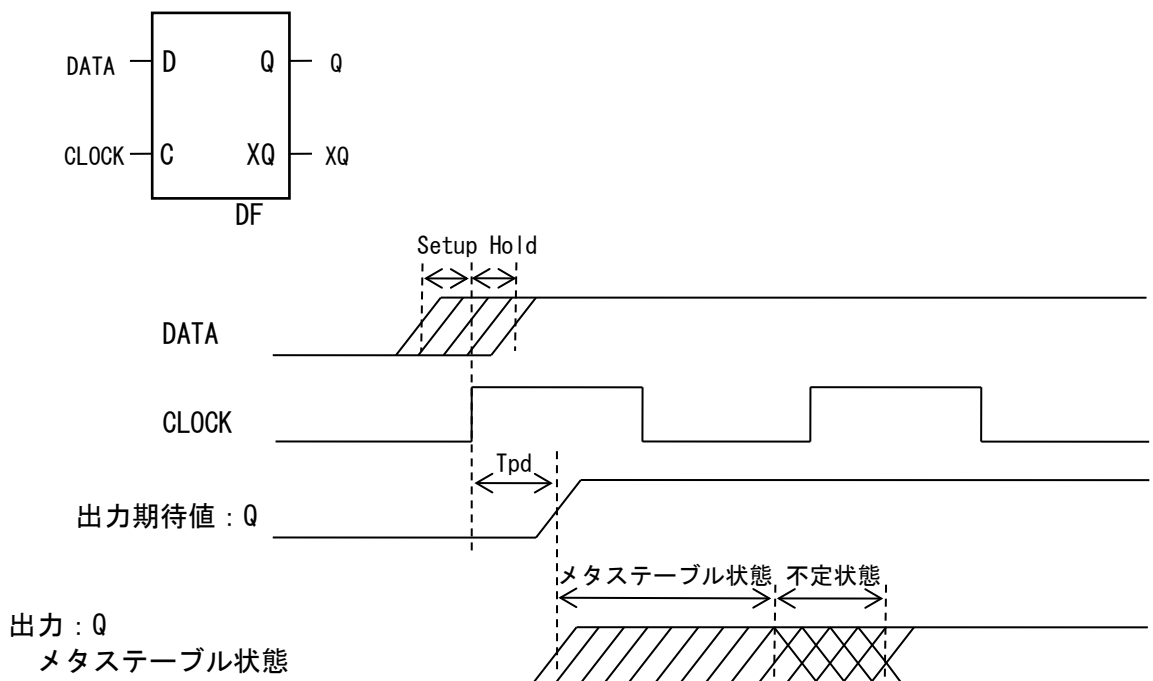


図 6-5 DF のメタステーブル状態



## 6.3 外部バスとの競合防止

S1X500000 シリーズと他の IC を使用するシステム上で、バス構成により接続される場合は、内部バスの構成の項に記載の注意事項の他に、プルアップ／プルダウン抵抗の設置などの対策を講じて下さい。なお、外部バスのフローティングを防止するために、プルアップ／プルダウン抵抗つき入出力セルやバスホールド機能つき入出力セル(\*)を使用することもできます。

未対策で使用されますと、場合によっては入力レベルが定まらないために、ファンクション不良や入力リーク電流増加の原因になりますのでご注意ください。

## 第7章 入出力バッファの種類と使用上の注意

S1X50000 シリーズの入力バッファ、出力バッファ、双方向バッファの構成方法を記述しています。入出力バッファは、2 電源 ( $HV_{DD}/LV_{DD}=5.0V/3.3V$ ) で使用する方法と、単一電源 ( $V_{DD}=3.3V$ ) で使用する方法の 2 通りの使用方法がありますので注意して下さい。

### 7.1 入出力バッファの種類及び選択

S1X50000 シリーズでは入力インタフェースレベル、シュミットトリガ入力の有無、プルアップ/プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等によって、多種なセルを用意しています。以下の項目に着目して、最適な入出力バッファを選択して下さい。

- 出力駆動能力については「第1章 1.2 電気的特性・規格 (表 1-4、表 1-5)」及び「付録 A4 入出力バッファ特性」を参照して下さい。
- プルアップ/プルダウン抵抗については「第1章 1.2 電気的特性・規格」および付録 A4 プルアップ/プルダウン抵抗」を参照して下さい。

#### 7.1.1 入出力バッファの選択

##### (1) 入力バッファの選択

- a) 必要とするインタフェースレベルが CMOS レベルか、あるいは TTL レベルか。
- b) シュミットトリガ入力を必要とするか、しないか。(ヒステリシス特性の要、不要)
- c) プルアップ/プルダウン抵抗付きを必要とするか、しないか。

##### (2) 出力バッファの選択

- a) 必要とする出力駆動電流の大きさ ( $I_{OL}/I_{OH}$ ) はどのくらいか。
- b) ノイズ対策を必要とするか、しないか。
- c) バスホールド回路を必要とするか、しないか。

##### (3) 双方向バッファの選択

入力バッファを選択する場合と出力バッファを選択する場合の両方の項目に着目して、選択して下さい。

##### • 入力インタフェースレベル

###### ① 2 電源 ( $HV_{DD}/LV_{DD}=5.0V/3.3V$ ) の場合

入力レベル

TTL レベル、CMOS レベル、TTL シュミット、CMOS シュミット、PCI\*

出力レベル

CMOS レベル、PCI\*

###### ② 単一電源 ( $V_{DD}=3.3V$ ) の場合

入力レベル

LVTTL レベル、LVTTL シュミット、PCI\*

出力レベル

LVTTL レベル、PCI\*

注) 単一電源 ( $V_{DD}=3.3V$ ) の場合、TTL レベル入力は使用できません。

\*PCI インタフェースにつきましては弊社営業担当までお問い合わせ下さい。

- 出力駆動能力  
電气的特性（表 1-4、表 1-5）を参照して下さい。
- プルアップ／プルダウン抵抗  
電气的特性（表 1-4、表 1-5）を参照して下さい。

### 7.1.2 バスホールド回路

S1X50000 シリーズでは、出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えないようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないで下さい。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、表 1-4、表 1-5 を参照して下さい。

## 7.2 2 電源使用上の注意

S1X50000 シリーズは 2 電源を供給することにより、入出力バッファごとに 5.0V、3.3V のいずれかの信号とのインタフェースを可能にしています。内部セル領域は 3.3V 単一電源で動作します。

### 7.2.1 2 電源対応の方法

S1X50000 シリーズは内部動作電圧と異なる電圧の信号をインタフェースすることが可能です。異電源系とインタフェースする方法は以下の 2 通りがあります。

- 単一電源の場合

単一電源では、Nch オープンドレインタイプのバッファまたは、Fail-Safe セルを使用することにより、電源電圧より高い電圧の信号を入力することができます。しかし、電源電圧より高い電圧の信号を出力することはできません。この場合 Nch オープンドレインタイプのバッファと外付けのプルアップ抵抗を組み合わせることで対応します。

- 2 電源を供給する場合

専用の 2 電源対応入力バッファを使用することにより、内部動作電圧より高い電圧の信号を入力することができます。2 電源用出力バッファを使うことにより内部動作電圧より高い信号を出力することも可能です。

### 7.2.2 2 電源使用時の電源

異なる 2 種類の電源を与える場合には、HV<sub>DD</sub> と LV<sub>DD</sub> の 2 つの電源セルを用います。HV<sub>DD</sub> は HV<sub>DD</sub> 系の入出力バッファの電源として使い、LV<sub>DD</sub> は LV<sub>DD</sub> 系入出力バッファと内部セル用に使用します。電源電圧は常に次式を満たすことが必要です。

$$HV_{DD} \geq LV_{DD}$$

HV<sub>DD</sub> < LV<sub>DD</sub> となった場合の動作保証はできませんので注意して下さい。動作条件として次の条件を推奨します。

$$HV_{DD} = 5.0V, LV_{DD} = 3.3V$$

### 7.2.3 電源の投入・切断について

2 電源仕様チップの場合の電源投入・切断の順序は以下のとおりです。

電源投入時：LV<sub>DD</sub>（内部）→ HV<sub>DD</sub>（I/O部）→ 入力信号印加

電源切断時：入力信号オフ→ HV<sub>DD</sub>（I/O部）→ LV<sub>DD</sub>（内部）

注) 1：LV<sub>DD</sub>が切断されている状態でHV<sub>DD</sub>のみを継続的（1秒以上）に印加することは、チップの信頼性上の問題と誤動作の原因となることがありますので避けて下さい。

また、1秒以内であっても、下記のような問題を引き起こす事があります。

- ①この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- ②この期間はHVDD系の回路が不定状態となり、HVDD系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注) 2：HV<sub>DD</sub>をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行って下さい。

## 7.3 2電源対応の入出力バッファ

2電源を供給する場合には2電源対応専用の入出力バッファを使用して下さい。（単一電源用の入出力バッファは使用できません。）

また、単一電源用の入出力バッファと2電源対応専用の入出力バッファを混在して使用することはできません。

### (1) HV<sub>DD</sub>系の入出力バッファ

HV<sub>DD</sub>系の入出力バッファには5.0Vの信号を入力する入力バッファ、5.0V振幅の信号を出力する出力バッファ、および5.0Vの信号を入力し、5.0V振幅の信号を出力することのできる双方向バッファがあります。

### (2) LV<sub>DD</sub>系の入出力バッファ

LV<sub>DD</sub>系の入出力バッファには3.3Vの信号を入力する入力バッファ、3.3V振幅の信号を出力する出力バッファ、および3.3Vの信号を入力し、3.3V振幅の信号を出力することのできる双方向バッファがあります。

LV<sub>DD</sub>系の双方向バッファにはHV<sub>DD</sub>系の信号を入力されるとLV<sub>DD</sub>系のバッファ内の保護ダイオードに過大な電流が流れ、品質を低下させることになります。

### (3) 入出力バッファにおけるプルアップ、プルダウン抵抗値 (Typ. 値)

表 7-1 プルアップ、プルダウン抵抗値 (Typ.)

プルアップ／プルダウン抵抗の種類	抵抗値 (Typ.)		単位
	HV <sub>DD</sub> =5.0V	LV <sub>DD</sub> =3.3V	
Type 1	60	50	kΩ
Type 2	120	100	kΩ

### (3) 出力バッファにおける I<sub>OH</sub>、I<sub>OL</sub>の規格値

表 7-2 I<sub>OH</sub>、I<sub>OL</sub>の各電圧 規格値

出力電流の種類	I <sub>OH</sub> *1/I <sub>OL</sub> *2		単位
	HV <sub>DD</sub> =5.0V	LV <sub>DD</sub> =3.3V	
Type S	-0.1/0.1	-0.1/0.1	mA
Type M	-1/1	-1/1	mA
Type 1	-3/3	-2/2	mA
Type 2	-8/8	-6/6	mA
Type 3	-12/12	-12/12	mA
Type 4	-12/24	—	mA

注) \*1 : V<sub>OH</sub>=HV<sub>DD</sub>-0.4V、V<sub>OH</sub>=LV<sub>DD</sub>-0.4V

\*2 : V<sub>OL</sub>=0.4V

### 7.3.1 入力バッファ

#### (1) HV<sub>DD</sub>系の入力バッファ

入力バッファは入力セルのみで構成されています。

HV<sub>DD</sub>系の入力バッファは、入力の初段を HV<sub>DD</sub>系の入力回路で、次段を LV<sub>DD</sub>系の回路で構成しており、HV<sub>DD</sub>系の信号を LV<sub>DD</sub>系の信号に変換してから内部コア領域へ信号を供給します。表 7-3、表 7-4 に HV<sub>DD</sub>系の入力バッファの一覧を示します。

表 7-3 HV<sub>DD</sub>系入力バッファ一覧 (HV<sub>DD</sub>=5.0V)

セル名 <sup>*1</sup>	入力レベル	プルアップ/プルダウン抵抗の有無
XHIBC XHIBCP# <sup>*1</sup> XHIBCD# <sup>*1</sup>	CMOS CMOS CMOS	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60KΩ、120KΩ)
XHIBT <sup>*2</sup> XHIBTP# <sup>*2</sup> XHIBTD# <sup>*2</sup>	TTL TTL TTL	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60KΩ、120KΩ)
XHIBH XHIBHP# <sup>*1</sup> XHIBHD# <sup>*1</sup>	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60KΩ、120KΩ)
XHIBS <sup>*2</sup> XHIBSP# <sup>*2</sup> XHIBSD# <sup>*2</sup>	TTL シュミット TTL シュミット TTL シュミット	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60KΩ、120KΩ)
XHIBPA <sup>*2</sup> XHIBPAP# <sup>*2</sup> XHIBPAD# <sup>*2</sup>	PCI-5V PCI-5V PCI-5V	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60KΩ、120KΩ)

注) \*1 : #は 1 または 2 で抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-1 参照 (詳細の値は表 1-5 を参照) 下さい。

\*2 : HV<sub>DD</sub>=5.0V 専用です。

表 7-4 HV<sub>DD</sub>系入力レベルシフター一覧 (HV<sub>DD</sub>=5.0V)

セル名 <sup>*1</sup>	入力レベル	プルアップ/プルダウン抵抗の有無
XHIDC XHIDCD#	CMOS CMOS	なし プルダウン抵抗 (60kΩ、120kΩ)
XHIDH XHIDHD#	CMOS シュミット CMOS シュミット	なし プルダウン抵抗 (60kΩ、120kΩ)

注) \*1 : #は 1 または 2 で抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-1 参照 (詳細の値は表 1-5 を参照) 下さい。

(2) LV<sub>DD</sub>系の入力バッファ

入力バッファは入力セルのみで構成されます。表 7-5 に LV<sub>DD</sub>系の入力バッファの一覧を示します。

表 7-5 LV<sub>DD</sub>系入力バッファ一覧 (LV<sub>DD</sub>=3.3V)

セル名 <sup>*1</sup>	入力レベル	プルアップ/プルダウン抵抗の有無
XLIBC XLIBCP# XLIBHD#	LVTTTL	なし プルダウン抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)
XLIDC <sup>*2</sup> XLIDCD# <sup>*2</sup>	LVTTTL	なし プルダウン抵抗 (50kΩ、100kΩ)
XLIDH <sup>*2</sup> XLIDHD# <sup>*2</sup>	LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (50kΩ、100kΩ)
XLIBH XLIBHP# XLIBHD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)
XLIBPB XLIBPBP# XLIBPBD#	PCI-3.3V PCI-3.3V PCI-3.3V	なし プルダウン抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)

注) \*1 : #は 1 または 2 で抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-1 参照 (詳細の値は表 1-6 を参照) 下さい。

\*2 : 5.0V 入力可能です。

### 7.3.2 出力バッファ

(1) HV<sub>DD</sub>系の出力バッファ

表 7-6、表 7-7 に HV<sub>DD</sub>系の出力バッファの一覧を示します。

表 7-6 HV<sub>DD</sub>系出力バッファ一覧 (HV<sub>DD</sub>=5.0V)

Function	I <sub>OH</sub> / I <sub>OL</sub>	セル名*1, *2
Normal output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHOB#T
Normal output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHOB3AT XHOB4AT
Normal output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHOB3BT XHOB4BT
Normal output for PCI	PCI-5V	XHOBPAT
3-state output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB#T
3-state output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB3AT XHTB4AT
3-state output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB3BT XHTB4BT
3-state output for PCI	PCI-5V	XHTBPAT
3-state output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB3AHT XHTB4AHT
3-state output for low noise (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHTB3BHT XHTB4BHT

注) \*1: #は S・M・1・2・3・4、\$は M・1・2・3・4 で、I<sub>OH</sub>/I<sub>OL</sub> は S: Type S、M: Type M、1: Type 1、2: Type 2、3: Type 3、4: Type 4 に対応します (表 7-2 参照)。

表 7-7 HV<sub>DD</sub>系 N チャネルオープンドレイン出力バッファ一覧 (HV<sub>DD</sub>=5.0V)

Function	I <sub>OH</sub> / I <sub>OL</sub>	セル名*1, *2
Normal output	Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHOD#T*1

注) \*1: #は 1・2・3・4 で、I<sub>OL</sub> は 1: Type 1、2: Type 2、3: Type 3、4: Type 4 に対応します (表 7-2 参照)。



(2) LV<sub>DD</sub>系出力バッファ

表 7-8、表 7-9 に LV<sub>DD</sub> 系出力バッファの一覧を示します。

表 7-8 LV<sub>DD</sub>系出力バッファ一覧 (LV<sub>DD</sub>=3.3V)

Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1, *2
Normal output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLOB#T
Normal output for high speed	Type 3 (-12/12mA)	XLOB3AT
Normal output for low noise	Type 3 (-12/12mA)	XLOB3BT
Normal output for PCI	PCI-3V	XLOBPBT
3-state output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLTB#T
3-state output for high speed	Type 3 (-12/12mA)	XLTB3AT
3-state output for low noise	Type 3 (-12/12mA)	XLTB3BT
Normal output for PCI	PCI-3V	XLTBPBT
3-state output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3 (-12/12mA)	XLTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3 (-12/12mA)	XLTB3BHT

注) \*1: #は S・M・1・2・3、\$は M・1・2・3 で、I<sub>OH</sub>/I<sub>OL</sub> は S: Type S、M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します (表 7-2 参照)。

表 7-9 LV<sub>DD</sub>系 N チャネルオープンドレイン出力バッファ一覧 (LV<sub>DD</sub>=3.3V)

Function	I <sub>OL</sub>	セル名*1
Normal output	Type 1 (2mA) Type 2 (6mA) Type 3 (12mA)	XLOD#T*2
High speed output	Type 1 (2mA) Type 2 (6mA)	XLOD#CT*2

注) \*1: #は 1・2・3 で、I<sub>OL</sub> は 1: Type 1、2: Type 2、3: Type 3 に対応します (表 7-2 参照)。

## 7.3.3 双方向バッファ

(1) HV<sub>DD</sub>系の双方向バッファ

表 7-10～表 7-12 に HV<sub>DD</sub>系の双方向バッファの一覧を示します。

表 7-10 HV<sub>DD</sub>系双方向バッファ一覧 (1/2) (HV<sub>DD</sub>=5.0V)

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1, *2
TTL	Bi-directional output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT#T
	Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT3AT XHBT4AT
	Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT3BT XHBT4BT
CMOS	Bi-directional output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC#T
	Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC3AT XHBC4AT
	Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC3BT XHBC4BT
PCI	Bi-directional output for PCI	PCI-5V	XHBPAT
TTL シュミット	Bi-directional output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS#T
	Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS3AT XHBS4AT
	Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS3BT XHBS4BT
CMOS シュミット	Bi-directional output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH#T
	Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH3AT XHBH4AT
	Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH3BT XHBH4BT

表 7-11 HV<sub>DD</sub>系双方向バッファ一覧 (2/2) (HV<sub>DD</sub>=5.0V)

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1
TTL	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT3AHT XHBT4AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBT3BHT XHBT4BHT
CMOS	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC3AHT XHBC4AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBC3BHT XHBC4BHT
TTL シュミット	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS3AHT XHBS4AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBS3BHT XHBS4BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH3AHT XHBH4AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA) Type 4 (-12/24mA)	XHBH3BHT XHBH4BHT

注) \*1 : #は M・1・2・3・4 で、I<sub>OH</sub>/I<sub>OL</sub> は M : Type M、1 : Type 1、2 : Type 2、3 : Type 3、4 : Type 4 に対応します (表 7-2 参照)。

表 7-12 HV<sub>DD</sub>系 N チャンネルオープンドレイン双方向バッファ一覧 (HV<sub>DD</sub>=5.0V)

入力レベル	Function	I <sub>OL</sub>	セル名*1
TTL	Bi-directional output	Type 1 (3mA) Type 2 (8mA) Type 3 (12mA) Type 4 (24mA)	XHBDT#T
CMOS	Bi-directional output	Type 1 (3mA) Type 2 (8mA) Type 3 (12mA) Type 4 (24mA)	XHBDC#T
TTL シュミット	Bi-directional output	Type 1 (3mA) Type 2 (8mA) Type 3 (12mA) Type 4 (24mA)	XHBDS#T
CMOS シュミット	Bi-directional output	Type 1 (3mA) Type 2 (8mA) Type 3 (12mA) Type 4 (24mA)	XHBDH#T

注) \*1 : #は 1・2・3・4 で、I<sub>OL</sub>は 1 : Type 1、2 : Type 2、3 : Type 3、4 : Type 4 に対応します (表 7-2 参照)。

(2) LV<sub>DD</sub>系の双方向バッファ

表 7-13、表 7-14 にLV<sub>DD</sub>系の双方向バッファの一覧を示します。

表 7-13 LV<sub>DD</sub>系双方向バッファ一覧 (LV<sub>DD</sub>=3.3V)

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1, *2
LVTTTL	Bi-directional output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBC#T
	Bi-directional output for high speed	Type 3 (-12/12mA)	XLBC3AT
	Bi-directional output for low noise	Type 3 (-12/12mA)	XLBC3BT
PCI	Bi-directional output for PCI	PCI-3V	XLBPBT
LVTTTL シュミット	Bi-directional for low noise output	Type S (-0.1/0.1mA) Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBH#T
	Bi-directional output for high speed	Type 3 (-12/12mA)	XLBH3AT
	Bi-directional output for low noise	Type 3 (-12/12mA)	XLBH3BT
LVTTTL	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBC\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA)	XLBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA)	XLBC3BHT
LVTTTL シュミット	Bi-directional output (Bus hold circuit)	Type M (-1/1mA) Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBH\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3 (-12/12mA)	XLBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3 (-12/12mA)	XLBH3BHT

注) \*1: #は S・M・1・2・3、\$は M・1・2・3 で、I<sub>OH</sub>/I<sub>OL</sub>は S: Type S、M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します (表 7-2 参照)。

表 7-14 LV<sub>DD</sub>系 N チャンネルオープンドレイン双方向バッファ一覧 (LV<sub>DD</sub>=3.3V)

入力レベル	Function	I <sub>OL</sub>	セル名*1, *2
LVTTTL	Bi-directional output	Type 1 (2mA) Type 2 (6mA) Type 3 (12mA)	XLBDC#T
	Bi-directional output for high speed	Type 1 (2mA) Type 2 (6mA)	XLBDC\$CT
LVTTTL シュミット	Bi-directional output	Type 1 (2mA) Type 2 (6mA) Type 3 (12mA)	XLBDH#T
	Bi-directional output for high speed	Type 1 (2mA) Type 2 (6mA)	XLBDH\$CT

注) \*1 : #は 1・2・3 で、I<sub>OL</sub> は 1 : Type 1、2 : Type 2、3 : Type 3 に、\$は 1・2 で、I<sub>OL</sub> は 1 : Type 1、2 : Type 2 に対応します (表 7-2 参照)。

\*2 : 5.0V 入力可能です。

### 7.3.4 Fail-Safe セル

#### (1) 概要

Fail-Safeセルは、電源電圧以上の信号を、インタフェース専用の電源を設けることなくインタフェースすることが可能です。また、電源がカットオフされた状態のまま信号をインタフェースしても電流の流れ込みがないため、これまで以上にデザインの自由度を得ることができます。

Fail-Safeセルは、LV<sub>DD</sub> (3.3V) 系の入力バッファセルになります。

#### (2) 特長

- ① 使用数や配置に制限はなく、必要に応じて配置することができます。
- ② 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、電流の流れ込みは発生しません。
- ③ 電源カットオフした状態で、外部から入力信号が印加されても、電流の流れ込みは発生しません。
- ④ 入力レベルはLVTTTL/LVTTTL シュミット レベルをリリースしています。

#### (3) 使用上の注意点

- ① 出力バッファがHigh-Z状態あるいは、双方向バッファが入力モードになっている状態であれば、電源電圧が印加された状態で、電源電圧以上の入力信号が入力されても電流の流れ込みは発生しません。
- ② High出力時に電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様に比較的大きな電流が流れます。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
- ③ 動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safeセルに印加できる信号電圧は、絶対最大定格 7.0V (表 1-1 参照) を超えることはできません。

(4) セル一覧

表 7-15 Fail-Safe 入力バッファ一覧

セル名 <sup>*1, *2</sup>	入力レベル	プルアップ抵抗の有無
XLIBBP#	LVTTL	プルダウン抵抗 (50kΩ、100kΩ)

注) \*1 : #は1 または 2 で抵抗値は 1 : Type 1、2 : Type 2 に対応します (表 7-1 参照)。  
 \*2 : 5.0V 入力可能です。

表 7-16 Fail-Safe 出力バッファ一覧

Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名 <sup>*1</sup>
3-state output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XLTFB#
3-state output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLTFB1C XLTFB2C XLTFB3A

注) \*1 : #は1 または 2 で、I<sub>OH</sub>/I<sub>OL</sub> は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します (表 7-2 参照)。

表 7-17 Fail-Safe 双方向バッファ一覧

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名 <sup>*1, *2</sup>
CMOS	Bi-directional output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XLBB#
	Bi-directional output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBB1C XLBB2C XLBB3A
CMOS シュミット	Bi-directional output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XLBG#
	Bi-directional output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XLBG1C XLBG2C XLBG3A

注) \*1 : #は1・2 で、I<sub>OH</sub>/I<sub>OL</sub> は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します (表 7-2 参照)。  
 \*2 : 5.0V 入力可能です。



### 7.3.5 Gated セル

#### (1) 概要

Gated I/O セルは、プルアップまたはプルダウン回路を使用することなく、端子への入力をフローティング (High-Z) 状態とすることを可能とします。また、2 電源のデザインで高電位側 (HV<sub>DD</sub>) の電源を Cut-Off することも可能です。コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意しており、選択が可能です。

#### (2) 特長

- ① 使用数や配置に制限はなく、必要に応じて配置することが可能です。
- ② 2 電源のデザインで高電位側 (HV<sub>DD</sub>) の電源を Cut-Off することも可能です。ただし、特殊対応が必要になるため、Cut-Off する場合は、弊社にお問い合わせ下さい。
- ③ プルアップまたはプルダウン回路を使用することなく、入力を High-Z 状態とすることができます。
- ④ Gated I/O セルは回路の構成上、2 電源仕様での入力レベルは HV<sub>DD</sub> 系ではなく LV<sub>DD</sub> 系の CMOS レベルになります。
- ⑤ コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意されています。

#### (3) 使用上の注意点

- ① Gated I/O セルを使用して入力を High-Z 状態とするときは、端子の入力が High-Z 状態になる前に、Gated I/O セルのコントロール信号を用いて、遮断操作を行う必要があります。

これを行わないで、入力を High-Z 状態にすると、通常タイプのセル同様に大電流が流れ、素子を破壊することになります。入力が High-Z 状態のままコントロール信号を用いて、接続操作を行う時も同様です。このような場合のデバイス内部に取り込まれる論理レベルは保証できません。

- ② Gated I/O セルを使用して高電位側 (HV<sub>DD</sub>) の電源を Cut-Off するときも、(1) 同様の処理が必要です。この処理を行わなかった場合には、デバイス内部に取り込まれる論理レベルは保証できません。

特殊対応が必要になるため、Cut-Off する場合は、弊社にお問い合わせ下さい。

(4) セル一覧

表 7-18 Gated 入力バッファ一覧

セル名*1	入力レベル	プルアップ/プルダウン抵抗の有無
XHIBA XHIBAP# XHIBAD#	AND Type TTL (HV <sub>DD</sub> =5.0V/LV <sub>DD</sub> =3.3V)	なし プルアップ抵抗 (60Ω、120Ω) プルダウン抵抗 (60Ω、120Ω)
XHIBO XHIBOP# XHIBOD#	OR Type TTL (HV <sub>DD</sub> =5.0V/LV <sub>DD</sub> =3.3V)	なし プルアップ抵抗 (60Ω、120Ω) プルダウン抵抗 (60Ω、120Ω)

注) \*1 : #は1または2で、抵抗値は1 : Type 1、2 : Type 2に対応します。表 7-1 参照 (詳細の値は表 1-5 を参照) 下さい。

表 7-19 Gated 双方向バッファ一覧

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1, *2
TTL (HV <sub>DD</sub> =5.0V/ LV <sub>DD</sub> =3.3V)	AND Type	Bi-directional output	Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA) XHBA#T
		Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA) XHBA3AT XHBA4AT
		Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA) XHBA3BT XHBA4BT
	OR Type	Bi-directional output	Type 1 (-3/3mA) Type 2 (-8/8mA) Type 3 (-12/12mA) Type 4 (-12/24mA) XHBO#T
		Bi-directional output for high speed	Type 3 (-12/12mA) Type 4 (-12/24mA) XHB03AT XHB04AT
		Bi-directional output for low noise	Type 3 (-12/12mA) Type 4 (-12/24mA) XHB03BT XHB04BT

注) \*1 : #は1・2・3・4で、I<sub>OH</sub>/I<sub>OL</sub>は1 : Type 1、2 : Type 2、3 : Type 3、4 : Type 4に対応します (表 7-2 参照)。

## 7.4 3.3V 単一電源対応の入出力バッファ

3.3V 単一電源を供給する場合には、5.0V 用入出力バッファは使用できません。3.3V 単一電源対応専用の入出力バッファを使用下さい。

- (1) 入出力バッファにおけるプルアップ、プルダウン抵抗値 (Typ.)

表 7-20 プルアップ、プルダウン抵抗値 (Typ.)

プルアップ/プルダウン抵抗の種類	抵抗値 (Typ.) $V_{DD}=3.3V$	単位
Type 1	50	$k\Omega$
Type 2	100	$k\Omega$

- (2) 出力バッファにおける  $I_{OH}$ 、 $I_{OL}$  の規格値

表 7-21  $I_{OH}$ 、 $I_{OL}$  規格値

出力電流の種類	$I_{OH}^{*1}/I_{OL}^{*2}$ $V_{DD}=3.3V$	単位
Type S	-0.1/0.1	mA
Type M	-1/1	mA
Type 1	-2/2	mA
Type 2	-6/6	mA
Type 3	-12/12	mA

注) \*1 :  $V_{OH}=V_{DD}-0.4V$

\*2 :  $V_{OL}=0.4V$

### 7.4.1 入力バッファ

表 7-22 に HV<sub>DD</sub> 系の入力バッファの一覧を示します。

表 7-22 入力バッファ一覧 (V<sub>DD</sub>=3.3V)

セル名*1	入力レベル	プルアップ/プルダウン抵抗の有無
XIBC XIBCP# XIBCD#	LVTTTL LVTTTL LVTTTL	なし プルアップ抵抗 (50Ω、100Ω) プルダウン抵抗 (50Ω、100Ω)
XIDC *2 XIDCD#*2	LVTTTL LVTTTL	なし プルダウン抵抗 (50Ω、100Ω)
XIBH XIBHP# XIBHD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 (50Ω、100Ω) プルダウン抵抗 (50Ω、100Ω)
XIDH *2 XIDHD# *2	LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (50Ω、100Ω)
XIBPB XIBPBP# XIBPBD#	PCI-3V PCI-3V PCI-3V	なし プルアップ抵抗 (50Ω、100Ω) プルダウン抵抗 (50Ω、100Ω)

注) \*1 : #は 1 または 2 で、抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-20 参照 (詳細の値は表 1-6 参照) 下さい。

\*2: 5.0V 入力可能です。

## 7.4.2 出力バッファ

表 7-23、表 7-24 に出力バッファの一覧を示します。

表 7-23 出力バッファ一覧 ( $V_{DD}=3.3V$ )

Function	$I_{OH}/I_{OL}$	セル名*1
Normal output	Type S(-0.1/0.1mA) Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XOB#T
Output for PCI	PCI-3V	XOBPBT
Normal output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XOB1CT XOB2CT XOB3AT
Normal output for low noise	Type 3	XOB3BT
3-state output	Type S(-0.1/0.1mA) Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XTB#T
3-state output for PCI	PCI-3V	XTBPBT
3-state output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XTB1CT XTB2CT XTB3AT
3-state output for low noise	Type 3	TB3BT
3-state output (Bus hold circuit)	Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XTB\$HT
3-state output for high speed (Bus hold circuit)	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XTB1CHT XTB2CHT XTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3(-12/12mA)	XTB3BHT

注) \*1: #は1・2・3・4で、 $I_{OH}/I_{OL}$ は1: Type 1、2: Type 2、3: Type 3に対応します(表 7-21 参照)。

表 7-24 Nチャネルオープンドレイン出力バッファ一覧

Function	$I_{OL}$	セル名*1, *2
Normal output	Type 1(2mA) Type 2(6mA) Type 3(12mA)	XOD#T
High speed output	Type 1(2mA) Type 2(6mA)	XOD\$T

注) \*1: #は1・2・3、\$は1・2で、 $I_{OL}$ は1: Type 1、2: Type 2、3: Type 3に対応します(表 7-21 参照)。

7.4.3 双方向バッファ

表 7-25 双方向バッファ一覧 (V<sub>DD</sub>=3.3V)

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1
LVTTTL	Bi-directional output	Type S(-0.1/0.1mA) Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBC#T
	Bi-directional output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBC1CT XBC2CT XBC3AT
	Bi-directional output for low noise	Type 3(-12/12mA)	XBC3BT
PCI-3V	Bi-directional output for PCI	PCI-3V	XBPBT
LVTTTL シュミット	Bi-directional output	Type S(-0.1/0.1mA) Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBH#T
	Bi-directional output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBH1CT XBH2CT XBH3AT
	Bi-directional output for low noise	Type 3	XBH3BT
LVTTTL	Bi-directional output (Bus hold circuit)	Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBC\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBC1CHT XBC2CHT XBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3(-12/12mA)	XBC3BHT
LVTTTL シュミット	Bi-directional output (Bus hold circuit)	Type M(-1/1mA) Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBH\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA)	XBH1CHT XBH2CHT XBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3(-12/12mA)	XBH3BHT

注) \*1 : #は S・M・1・2・3、\$は M・1・2・3 で、I<sub>OH</sub>/I<sub>OL</sub>は S : TypeS、M : TypeM、1 : Type 1、2 : Type 2、3 : Type 3 に対応します (表 7-21 参照)。

表 7-26 Nチャンネルオープンドレイン双方向バッファ一覧 (V<sub>DD</sub>=3.3V)

入力レベル	Function	I <sub>OL</sub>	セル名*1, *2
LVTTL	Bi-directional output	Type 1 (2mA) Type 2 (6mA) Type 3 (12mA)	XBDC#T
	Bi-directional output for high speed	Type 1 (2mA) Type 2 (6mA)	XBDC\$CT
LVTTL シュミット	Bi-directional output	Type 1 (2mA) Type 2 (6mA) Type 3 (12mA)	XBDH#T
	Bi-directional output for high speed	Type 1 (2mA) Type 2 (6mA)	XBDH\$CT

注) \*1 : #は1・2・3で、I<sub>OL</sub>は1 : Type 1、2 : Type 2、3 : Type 3に、\$は1・2で、  
I<sub>OL</sub>は1 : Type 1、2 : Type 2に対応します (表 7-21 参照)。

\*2 : 5.0V 入力可能です。

### 7.4.4 Fail-Safe セル

(1) 概要

7.3.4 (1)の「2 電源対応 Fail-Safe セル 概要」を参照して下さい。

(2) 特長

7.3.4 (2)の「2 電源対応 Fail-Safe セル 特長」を参照して下さい。

- ・ 入力レベルは LVTTTL/LVTTL シュミットレベルのみを用意しています。

(3) 使用上の注意点

7.3.4 (3)の「2 電源対応 Fail-Safe セル 使用上の注意点」を参照して下さい

但し、動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safe セルに印加できる信号電圧は、絶対最大定格 4.0V（表 1-2 参照）を超えることはできません。

(4) セル一覧

表 7-27 Fail-Safe 入力バッファ一覧

セル名*1, *2	入力レベル	プルアップ抵抗の有無
XIBBP#	LVTTTL	プルアップ抵抗 (50Ω、100Ω)

注) \*1 : #は 1 または 2 で、抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-20（詳細の値は表 1-5 参照）下さい。

\*2 : 5.5V 入力可能です。

表 7-28 Fail-Safe 出力バッファ一覧

Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1
3-state output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XTBF#
3-state output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XTBF1C XTBF2C XTBF3A

注) \*1 : #は 1・2 で、I<sub>OH</sub>/I<sub>OL</sub>は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します（表 7-21 参照）。

表 7-29 Fail-Safe 双方向バッファ一覧 (V<sub>DD</sub>=3.3V)

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1, *2
LVTTTL	Bi-directional output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XBB#
	Bi-directional output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XBB1C XBB2C XBB3A
	Bi-directional output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XBG#
LVTTTL シュミット	Bi-directional output	Type 1 (-2/2mA) Type 2 (-6/6mA)	XBG#
	Bi-directional output for high speed	Type 1 (-2/2mA) Type 2 (-6/6mA) Type 3 (-12/12mA)	XBG1C XBG2C XBG3A

注) \*1 : #は 1・2 で、I<sub>OH</sub>/I<sub>OL</sub>は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します（表 7-21 参照）。

\*2 : 5.5V 入力可能です。



### 7.4.5 Gated セル

(1) 概要

7.3.5 (1)の「2 電源対応 Gated セル 概要」を参照して下さい。

(2) 特長

7.3.5 (2)の「2 電源対応 Gated セル 特長」を参照して下さい。

・Gated I/O セルは回路の構成上、2 電源仕様での入力レベルはHV<sub>DD</sub>系ではなくLV<sub>DD</sub>系のCMOSレベルになります。

(3) 使用上の注意点

7.3.5 (3)の「2 電源対応 Gated セル 使用上の注意点」を参照して下さい

(4) セル一覧

表 7-30 Gated 入力バッファ一覧

セル名*1	入力レベル	プルアップ/プルダウン抵抗の有無
XIBA XIBAP# XIBAD#	AND Type LVTTTL (V <sub>DD</sub> =3.3V) CMOS (V <sub>DD</sub> =2.0V)	なし プルアップ抵抗(50Ω、100Ω) プルダウン抵抗(50Ω、100Ω)
XIBO XIBOP# XIBOD#	OR Type LVTTTL (V <sub>DD</sub> =3.3V) CMOS (V <sub>DD</sub> =2.0V)	なし プルアップ抵抗(50Ω、100Ω) プルダウン抵抗(50Ω、100Ω)

注) \*1 : #は 1 または 2 で、抵抗値は 1 : Type 1、2 : Type 2 に対応します。表 7-20 参照 (詳細の値は表 1-5 を参照) 下さい。

表 7-31 Gated 双方向バッファ一覧

入力レベル	Function	I <sub>OH</sub> /I <sub>OL</sub>	セル名*1
LVTTTL (V <sub>DD</sub> =3.3V)	AND Type	Bi-directional output	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA) XBA#T
		Bi-directional output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA) XBA1CT XBA2CT XBA3AT
		Bi-directional output for low noise	Type 3(-12/12mA) XBA3BT
	OR Type	Bi-directional output	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA) XBO#T
		Bi-directional output for high speed	Type 1(-2/2mA) Type 2(-6/6mA) Type 3(-12/12mA) XB01CT XB02CT XB03AT
		Bi-directional output for low noise	Type 3(-12/12mA) XB03BT

注) \*1 : #は 1・2・3 で、I<sub>OH</sub>/I<sub>OL</sub>は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します (表 7-21 参照)。

## 第 8 章 端子配置と同時動作

端子配置の注意点および、出力バッファ動作時の電源追加について記述しています。

### 8.1 電源端子数の見積り

電源端子数は IC の消費電力、出力バッファ数によって、必要な本数を見積る必要があります。特に出力バッファは、そのスイッチング時にかなり大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

ICに必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

#### 8.1.1 単一電源の場合

消費電流を  $I_{DD}$  [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下のようになります。

$$N_{IDD} \geq I_{DD} \div 50 \text{ (対)} : \text{VDD 端子と VSS 端子を 1 対として、1 対あたり 50mA の供給が可能}$$

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入してください。

$I_{DD}$  …「第 10 章 10.2 動作消費電力の見積り」で求めた消費電力を動作電圧で 割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

#### 8.1.2 2 電源の場合

2 電源仕様の場合も電源 (HV<sub>DD</sub>系、LV<sub>DD</sub>系の電源両方) 1 対あたりに流せる許容電流の大きさは単一電源の場合と同様です。必要な電源対の数は HV<sub>DD</sub>系と LV<sub>DD</sub>系で分けて求めてください。

##### (1) HV<sub>DD</sub> 電源端子数

HV<sub>DD</sub>系の消費電流を  $I_{DD}$  (HV<sub>DD</sub>) [mA] とすると、この消費電流  $I_{DD}$  (HV<sub>DD</sub>) のための電源端子数  $N_{IDD}$  (HV<sub>DD</sub>) は、

$$N_{IDD} \text{ (HV}_{DD}\text{)} \geq I_{DD} \text{ (HV}_{DD}\text{)} / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

##### (2) LV<sub>DD</sub> 電源端子数

LV<sub>DD</sub>系の消費電流を  $I_{DD}$  (LV<sub>DD</sub>) [mA] とすると、この消費電流  $I_{DD}$  (LV<sub>DD</sub>) のための電源端子数  $N_{IDD}$  (LV<sub>DD</sub>) は、

$$N_{IDD} \text{ (LV}_{DD}\text{)} \geq I_{DD} \text{ (LV}_{DD}\text{)} / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

##### (3) V<sub>SS</sub> 電源端子数

$$N_{IDD} \text{ (V}_{SS}\text{)} \geq \{ I_{DD} \text{ (HV}_{DD}\text{)} + I_{DD} \text{ (LV}_{DD}\text{)} \} / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

注) 1 : 電源端子 HV<sub>DD</sub>、LV<sub>DD</sub>、V<sub>SS</sub> はいずれも、最低でも各辺 1 端子の 4 端子以上は挿入してください。

$I_{DD}$ …「第 10 章 10.2 動作消費電力の見積り」で求めた消費電力を動作電圧で割った値となります。

- 2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。
- 3 : 出力の同時変化に対する電源追加は  $HV_{DD}$  系出力バッファと  $LV_{DD}$  系出力バッファとで区別し、各々の電源系に対し  $HV_{DD}$ 、 $LV_{DD}$ 、 $V_{SS}$  端子の追加を行ってください。

## 8.2 同時動作と電源追加

### 8.2.1 2 電源使用上の注意 (HVDD=5.0V/LVDD=3.3V)

S1L50000 シリーズでは、出力駆動能力が最大 24mA (VDD=5V) ) となっています。出力バッファが複数同時に動作することによって、大きなノイズが発生することがあります。

出力バッファを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために表 8-1 ~ 表 8-6 に示すように、電源を追加して下さい。

表 8-1 出力バッファ同時動作による V<sub>SS</sub> 電源追加数 (HV<sub>DD</sub>=5.0V)

出力駆動能力 (I <sub>OL</sub> )	同時動作数	追加電源数		
		CL ≤ 50pF	CL ≤ 100pF	CL ≤ 200pF
8mA	≤ 8	0	1	2
	≤ 16	1	2	4
	≤ 24	1	3	6
	≤ 32	2	4	8
12mA	≤ 8	1	2	3
	≤ 16	2	3	5
	≤ 24	2	5	7
	≤ 32	3	6	12
24mA&PCI	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	5	6	8
	≤ 32	6	8	16

表 8-2 出力バッファ同時動作による HV<sub>DD</sub> 電源追加数 (HV<sub>DD</sub>=5.0V)

出力駆動能力 (I <sub>OL</sub> )	同時動作数	追加電源数		
		CL ≤ 50pF	CL ≤ 100pF	CL ≤ 200pF
8mA	≤ 8	0	1	1
	≤ 16	1	1	3
	≤ 24	1	2	4
	≤ 32	1	3	5
12mA&PCI	≤ 8	1	2	3
	≤ 16	2	3	4
	≤ 24	3	4	5
	≤ 32	4	6	10

8.2.2 単一電源使用上の注意

表 8-3 出力バッファ同時動作による  $V_{SS}$  電源追加数 ( $V_{DD}=3.3V$ )

出力駆動能力 ( $I_{OL}$ )	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	$\leq 8$	0	1	2
	$\leq 16$	1	2	3
	$\leq 24$	1	2	4
	$\leq 32$	2	3	5
12mA	$\leq 8$	1	2	2
	$\leq 16$	2	2	3
	$\leq 24$	2	3	5
	$\leq 32$	2	4	8
PCI	$\leq 8$	1	2	3
	$\leq 16$	2	3	4
	$\leq 24$	3	4	5
	$\leq 32$	4	5	10

表 8-4 出力バッファ同時動作による  $V_{DD}$  電源追加数 ( $V_{DD}=3.3V$ )

出力駆動能力 ( $I_{OL}$ )	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	$\leq 8$	0	1	1
	$\leq 16$	1	1	2
	$\leq 24$	1	2	3
	$\leq 32$	1	2	3
12mA & PCI	$\leq 8$	1	2	2
	$\leq 16$	2	2	3
	$\leq 24$	2	3	3
	$\leq 32$	3	3	6

表 8-5 出力バッファ同時動作による  $V_{SS}$  電源追加数 ( $V_{DD}=2.0V$ )

出力駆動能力 ( $I_{OL}$ )	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
4mA	$\leq 8$	0	1	2
	$\leq 16$	1	2	3
	$\leq 24$	1	2	4
	$\leq 32$	2	3	5

表 8-6 出力バッファ同時動作による  $V_{DD}$  電源追加数 ( $V_{DD}=2.0V$ )

出力駆動能力 ( $I_{OL}$ )	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
4mA	$\leq 8$	0	1	1
	$\leq 16$	1	1	2
	$\leq 24$	1	2	3
	$\leq 32$	1	2	3

## 8.3 端子配置上の注意点

端子配置については開発着手依頼書の送付と一緒に“ピン配列表”を送付下さい。

端子配置についての注意事項を以下に説明します。

### 8.3.1 固定電源ピン

パッケージの組み合わせにより、電源にしか使用できないピンがあります。ピンの固定方法も  $V_{DD}$  固定、 $V_{SS}$  固定がありますので、パッケージ選択のさいには“ピン配列表”記入用紙で確認して下さい。

### 8.3.2 ピン配列上の注意事項

ピン配列は IC の論理機能や電気的特性に影響をおよぼすことがあります。更に IC の組立上あるいはセルや Bulk の構成上等によって、ピンの配置に制約がある場合があります。そこでピン配列を検討する上で注意を必要とする電源電流、入力ピン、出力ピンの分離、クリティカル信号、プルアップ/プルダウン抵抗入力、出力同時動作、大電流ドライバなどの項目について説明します。

#### (1) 電源電流 ( $I_{DD}$ 、 $I_{SS}$ )

電源電流 ( $I_{DD}$ 、 $I_{SS}$ ) は、動作状態において電源ピンに流れる電源の許容値を規定していません。

この許容値を超えた電流が流れると、IC 内部の電源配線の電流密度が高くなりすぎ、IC の信頼性の低下や破壊を起こす場合があります。また、IC 内部の電圧が電流と配線抵抗により、発生する電圧分だけ上昇または下降してしまいます。

これによりファクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。

そのためには、回路を設計するさいに消費電力を見積り、各電源ピンに流れる電流が許容値を超えないような電源ピン数を確保する必要があります。

電源ピンについては、「第 8 章 8.1 電源端子数の見積り」を参照して下さい。また、この電源ピンは一箇所に集中させず、分散させて配置します。

ただし、最終的な電源ピン数は上記による電源ピンに加えて、ノイズ対策等のための追加電源ピン数を合わせた電源ピン数が必要となります。

## (2) 出力セルの動作によって発生するノイズ

出力セルの動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

## a) 電源ラインに発生するノイズ

電源ラインに発生するノイズは出力が多数動作した場合に問題となり、IC の入力レギュレーションレベルの変化を起し、誤動作の原因となります。この電源ラインのノイズは、出力セルの同時動作によって大きな電流が電源ラインに流れることによって発生します。

電源ノイズは特にインダクタンス成分が影響します。したがって、IC の等価回路は図 8-1 のように表すことができます。この回路図で出力が High → Low に変化したときには出力ピンから電流が IC 内部に流れ込み、IC のパッケージ等による等価インダクタンス L2 を通じて電流が流れます。このとき、等価インダクタンス L2 によって IC 内部の  $V_{SS}$  電源ラインの電圧が変化します。この  $V_{SS}$  電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンス L2 によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

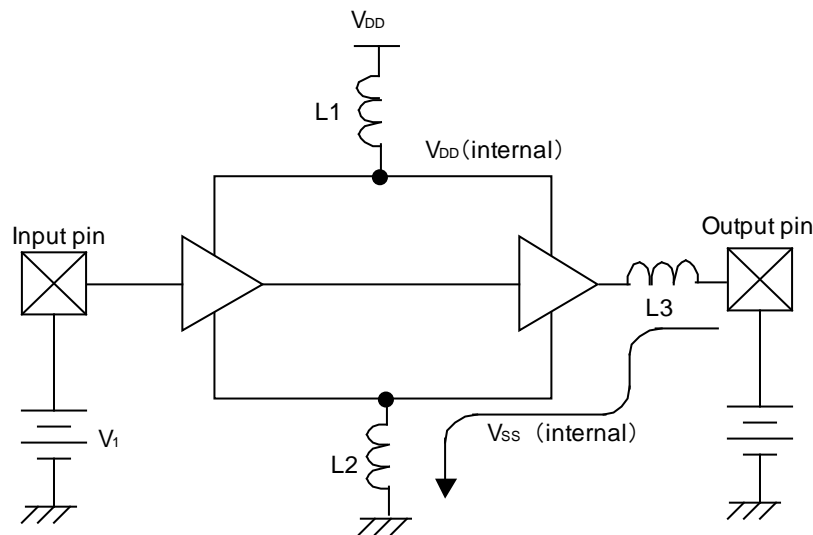


図 8-1 IC の等価回路

## b) オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力ピンについている等価インダクタンスによって発生します。図 8-1 の L3 がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が Low または High になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力セルを使用するのが最も効果的で、負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。したがって、特に駆動能力の大きいセルを使用するときには注意が必要です。



## (3) 入力ピン、出力ピンの分離

ピン配列上で入力ピンのグループを出力ピンのグループから分離することは、ノイズの影響を軽減させるための重要なノイズ対策です。

入力ピンおよび入力状態の双方向はノイズの影響を受けやすいので、できる限り出力ピンと混在させず、入力ピン群 (Input pins)、出力ピン群 (Output pins)、双方向ピン群 (Bi-directional pins) それぞれを電源ピン ( $V_{DD}$ 、 $V_{SS}$ ) で分けて配置して下さい。

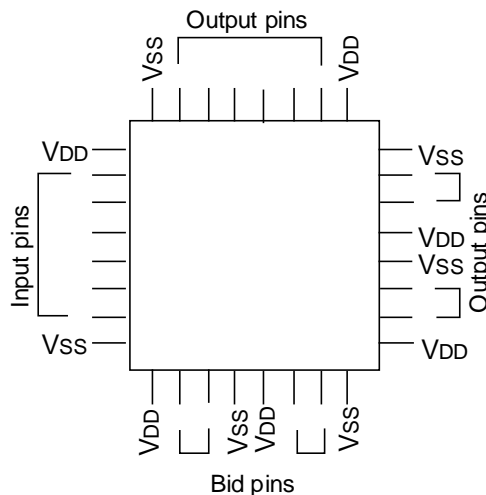


図 8-2 入力ピン、出力ピンの分離例

## (4) クリティカル信号

クロックの入力ピンや高速で動作する出力ピンなどのクリティカル信号については、以下の点に注意してピンの配置を行って下さい。

- a) クロック系、リセット系などのノイズの影響を小さくする必要のあるピンは、出力ピンから離し電源ピンの近くに配置して下さい。(図 8-3)
- b) 発振回路の入出力ピン (OSCIN、OSCOUT) はお互い近くに配置し、電源ピン ( $V_{DD}$ 、 $V_{SS}$ ) で挟んで下さい。また、発振回路と同期する出力ピンを近くに配置しないで下さい。(図 8-4)
- c) 高速で動作する入力、出力ピンはチップ (パッケージ) 辺中央付近に配置して下さい。(図 8-3)
- d) 特定の入力ピンから出力ピンまでの遅延値がお客様の仕様に対し余裕がない場合には、これらの入出力ピンを近傍に配置して下さい。(図 8-3)

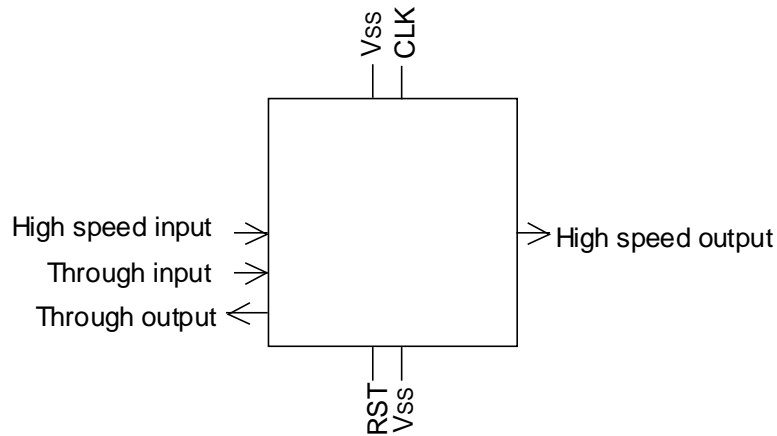


図 8-3 クリティカル信号配置例 1

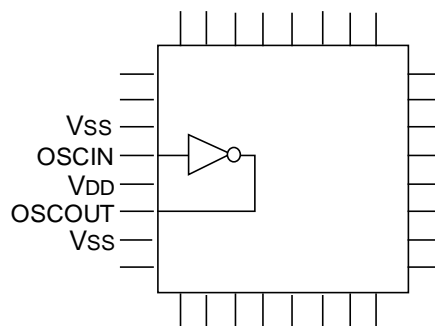


図 8-4 クリティカル信号配置例 2

## (5) プルアップ／プルダウン抵抗入力

プルアップ／プルダウン抵抗値は、約数十 k $\Omega$ ~数百 k $\Omega$ と比較的大きく、その構造上電源電圧に依存性があります。

したがって、テストピンとしての使用目的等で解放状態で使用する場合には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の 1 つとなる場合がありますので、次の点に注意して下さい。

- a) 高速入力信号ピン（クロック入力ピン等）からなるべく離して配置して下さい。（図 8-5）
- b) 出力信号ピン（特に大電流出力ピン）から離して配置して下さい。（図 8-6）

なお、配置上の注意以前に、次の点に関しても併せてご検討下さい。

- 可能な限り基板（PCB）上でプルアップ／プルダウンの処理を行って下さい。
- なるべく抵抗値の小さいものを選択して下さい。

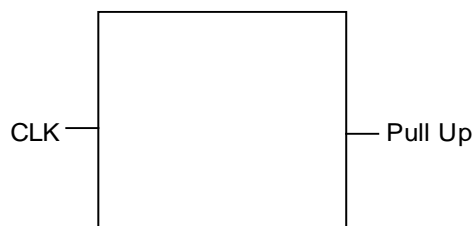


図 8-5 プルアップピン、プルダウンピン配置例 1

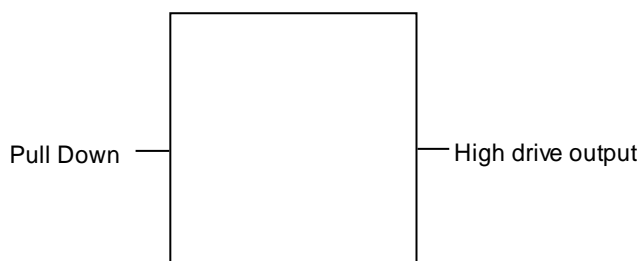


図 8-6 プルアップ、プルダウン配置例 2

(6) 出力同時動作

複数の出力ピンが同時変化するさいにノイズが発生し、IC が誤動作を起こすことがあります。出力ピンを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化をする出力ピン群に電源ピンを追加して下さい。

そのノイズを低減するために、一方の出力セル群の前段にディレイ用のセルを追加することにより、出力セルの同時変化を減らすことができノイズも低減できます。(図 8-8)

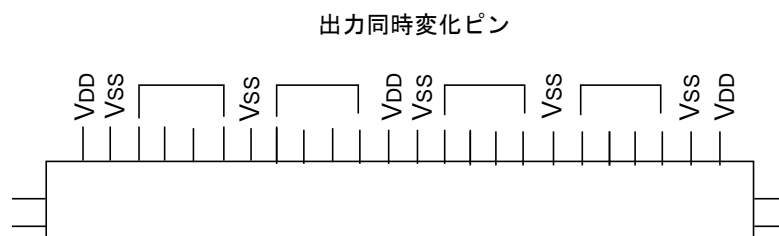


図 8-7 電源ピンの追加例

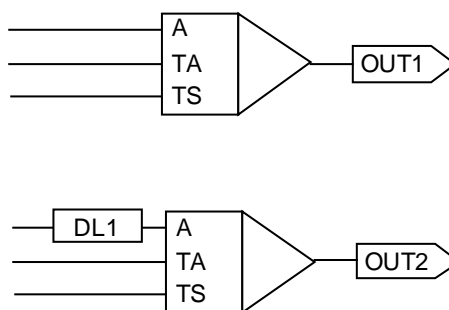


図 8-8 ディレイセルの追加例

## (7) 大電流ドライバ

大電流ドライバ ( $I_{OL}=12\text{mA}/24\text{mA}$ ) の出力を使用する際には、以下の制約を守りピンの配置を行って下さい。

## a) 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズにより IC が誤動作することがあります。

大電流ドライバを使用する場合には、そのピン付近に電源ピンを配置し、大電流ドライバ用の電源を確保して下さい。(図 8-9)

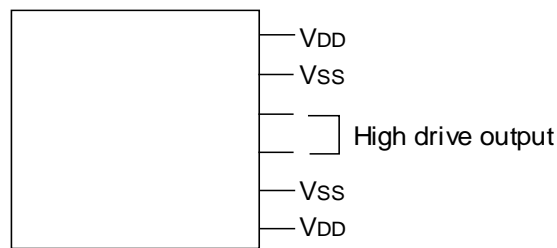


図 8-9 電源強化例

## (8) その他の注意事項

ピンの配置を決定していただく際の注意点は以下の通りです。

## a) NC ピン (non-connection)

通常、NC ピンについては、基板上ではオープンにしておいて下さい。なお、プリント基板に実装する場合などで、NC ピンに接続を行う場合は、必ず  $V_{SS}$  (GND) に接続を行って下さい。

NC ピンを信号配線あるいは  $V_{DD}$  ( $HV_{DD}$  あるいは  $LV_{DD}$ ) に接続した場合、IC 内でリーク電流が発生してしまう場合があります。

## b) TAB 吊りピン

TAB 吊りピンとは、パッケージのピンが直接 IC の基盤に接続されているピンのことです。このピンは、前記の理由から外部から電源を与えなくても  $V_{SS}$  (GND) のレベルになっています。通常このピンについては、基板上でオープンにしておいて下さい。

## 8.4 推奨ピン配列例

ピン配列は、IC を正常に動作させるうえで重要なポイントとなります。以下に、この章で説明した内容を総合的に考慮したピン配列の図（図 8-10）を示しますので、参考にしてピン配列を決定して下さい。

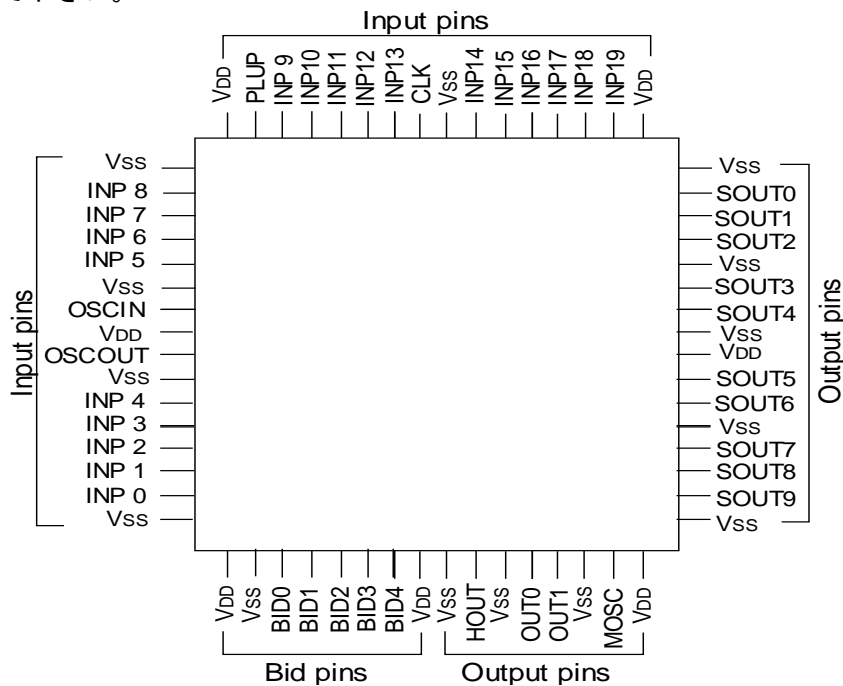


図 8-10 推奨ピン配列例

パッケージの上辺、左辺には入力ピン、右辺には同時変化をする出力ピン、下辺には双方向ピンおよびその他の出力ピンを配置してあります。

表 8-1 ピン配列例の説明

配置	ピン名	ピン名の説明	各ピン配置の詳細説明
上辺	PLUP CLK	プルアップ用入力ピン クロック用入力ピン	ノイズの影響の少ない位置に配置 パッケージ中央付近、電源ピンの近くに配置
左辺	OSCIN OSCOUT INP0~19	発振用ピン 入力ピン	パッケージ中央付近、電源ピンの近くに配置 パッケージ中央付近、電源ピンの近くに配置 電源ピンで他ピンと分離して配置
右辺	SOUT0~9	同時変化出力ピン	電源ピンで他ピンと分離し、電源ピンを追加
下辺	BID0~4 MOSC HOUT OUT01	双方向ピン 発振モニタ用出力ピン 高駆動出力ピン 出力ピン	電源ピンで他ピンと分離して配置 発信用ピンから離し、電源ピンの近くに配置 電源ピンを近くに配置 電源ピンで他ピンと分離して配置
全体	V <sub>DD</sub> V <sub>SS</sub>	V <sub>DD</sub> 電源ピン V <sub>SS</sub> (GND) 電源ピン	

## 第9章 メモリマクロ (RAM、ROM)

S1X50000 シリーズでは、メモリとして、ゲートアレイおよび、セルベース RAM (SRAM) とセルベース ROM (マスク ROM) マクロを用意しています。

### 9.1 ゲートアレイ・タイプ RAM

#### 9.1.1 特長

- クロック非同期 1ポートRAM および2ポートRAM  
(入出力部にラッチ回路を挿入することにより同期型に対応します)
- 完全スタティック動作
- データの入力ポートと出力ポートは分離
- ワード数は16、32、64、96、128、192、256ワード、ビット数は1ビット刻みで1ビットから32ビットの範囲で構成可能
- 最大構成：8Kビット/module
- クロック同期RAMには、入出力(チップセレクト、リード/ライト、アドレス信号、データ入力、データ出力)にラッチ回路を挿入することにより対応

#### 9.1.2 RAMのワードビット構成とセル名の対応

クロック同期型RAMの遅延パラメータは、ワード/ビット構成により変化します。したがって、ワード/ビット構成に対応したセルを個別に用意しております。クロック同期型RAMをご使用されるさいは、ご使用いただくRAMの1ポート/2ポート、ワード/ビット構成を開発着手依頼書に記載下さい。

1ポートRAMおよび2ポートRAMの代表的なワード/ビット構成に対応するセル名をそれぞれ表9-1、表9-2に示します。RAMのセル名はワード/ビット構成に応じてネーミングされています。

1ポートRAM	“XJ” +Word数(3桁10進数)+(2桁10進数)
2ポートRAM	“XK” +Word数(3桁10進数)+(2桁10進数)

ワード/ビットの構成可能範囲を超えるRAMが必要な場合は、複数個のRAMを組み合わせて構成するか、セルベースタイプRAMを検討下さい。

表 9-1 1ポートRAMのワード/ビット構成によるセル名対応表例

	4ビット	8ビット	16ビット	32ビット
16ワード	XJ01604	XJ01608	XJ01616	XJ01632
32ワード	XJ03204	XJ03208	XJ03216	XJ03232
64ワード	XJ06404	XJ06408	XJ06416	XJ06432
96ワード	XJ09604	XJ09608	XJ09616	XJ09632
128ワード	XJ12804	XJ12808	XJ12816	XJ12832
192ワード	XJ19204	XJ19208	XJ19216	XJ19232
256ワード	XJ25604	XJ25608	XJ25616	XJ25632

表 9-2 2ポートRAMのワード/ビット構成によるセル名対応表例

	4ビット	8ビット	16ビット	32ビット
16ワード	XK01604	XK01608	XK01616	XK01632
32ワード	XK03204	XK03208	XK03216	XK03232
64ワード	XK06404	XK06408	XK06416	XK06432
96ワード	XK09604	XK09608	XK09616	XK09632
128ワード	XK12804	XK12808	XK12816	XK12832
192ワード	XK19204	XK19208	XK19216	XK19232
256ワード	XK25604	XK25608	XK25616	XK25632

### 9.1.3 RAM サイズ

RAMのX方向サイズ、Y方向サイズおよび使用するベーシックセル (BC) 数は次の各々の式で計算します。BC数見積には、周辺の配線領域を含める必要があり、表 9-3、表 9-4 の BC 数が必要となります。

(1) 1ポートRAM

X方向サイズ :  $RX = \text{ワード数} \times 3 \div 2 + 15$

Y方向サイズ :  $RY = \text{ビット数} \times 2 + \alpha$

ベーシックセル数 :  $RAMBCS = RX \times RY$

$\alpha$ は16ワード数の場合 : 10、32の場合 : 11、64~256ワードの場合 : 12

表 9-3 1ポート RAM の構成例と BC 数 (配線領域を含む)

	4ビット	8ビット	16ビット	32ビット
16ワード	800 (40×20)	1,232 (44×28)	2,200 (50×44)	4,864 (64×76)
32ワード	1,323 (63×21)	1,914 (66×29)	3,240 (72×45)	6,622 (86×77)
64ワード	2,442 (111×22)	3,330 (111×30)	5,336 (116×46)	10,062 (129×78)
96ワード	3,498 (159×22)	4,770 (159×30)	7,360 (160×46)	13,494 (173×78)
128ワード	4,554 (207×22)	6,210 (207×30)	9,522 (207×46)	16,926 (217×78)
192ワード	6,666 (303×22)	9,090 (303×30)	13,938 (303×46)	23,712 (304×78)
256ワード	8,778 (399×22)	11,970 (399×30)	18,354 (399×46)	31,122 (399×78)

## (2) 2ポート RAM

X方向サイズ :  $RX = \text{ワード数} \times 3 \div 2 + 15$ Y方向サイズ :  $RY = \text{ビット数} \times 2 + \alpha$ ベーシックセル数 :  $RAMBCS = RX \times RY$  $\alpha$ は16ワード数の場合 : 12、32の場合 : 13、64~256ワードの場合 : 15

表 9-4 2ポート RAM の構成例と BC 数 (配線領域を含む)

	4ビット	8ビット	16ビット	32ビット
16ワード	880 (40×22)	1,320 (44×30)	2,300 (50×46)	4,992 (64×78)
32ワード	1,449 (63×23)	2,046 (66×31)	3,384 (72×47)	6,794 (86×79)
64ワード	2,775 (111×25)	3,663 (111×33)	5,684 (116×49)	10,449 (129×81)
96ワード	3,975 (159×25)	5,247 (159×33)	7,840 (160×49)	14,013 (173×81)
128ワード	5,175 (207×25)	6,831 (207×33)	10,143 (207×49)	17,577 (217×81)
192ワード	7,575 (303×25)	9,999 (303×33)	14,847 (303×49)	24,624 (304×81)
256ワード	9,975 (399×25)	13,167 (399×33)	19,551 (399×49)	32,319 (399×81)



### 9.1.4 機能説明

(1) 1ポートRAM

表 9-5 1ポートRAMの信号説明

信号名	I/O	FUNCTION
CS	IN	チップセレクト信号、H: RAM アクティブ
RW	IN	リード/ライト信号、H: リード、L: ライト
A0, A1, ..., A (m-1)	IN	リード/ライトアドレスポート、A0: LSB
D0, D1, ..., D (n-1)	IN	データ入力ポート、D0: LSB
Y0, Y1, ..., Y (n-1)	OUT	データ出力ポート、Y0: LSB

表 9-6 1ポートRAM 真理値表

CS	RW	A0, A1, ..., A (m-1)	Y0, Y, 1 ..., Y (n-1)	モード
0	X	X	Unknown	待機
1	0	ステイブル	Unknown	書き込み
1	1	ステイブル	読み出しデータ	読み出し

X: HIGH または LOW

データの読み出し

データは、CS を “HIGH”、RW を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の2とおりの方法があります。

- (1) CS を “HIGH” に保ち、アドレスをセットし、RW に “LOW” レベルパルスを加える。
- (2) RW を “LOW” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

いずれの場合も、パルスの後エッジにてRAM内にラッチされます。

- 待機状態

CS が “LOW” の場合には1ポートRAMは待機状態になり、データを保持するだけになります。RAM内での消費電流はリーク電流のみになり、ほぼ“0”になります。

## (2) 2ポートRAM

表 9-7 2ポートRAMの信号説明

信号名	I/O	Function
CS	IN	チップセレクト信号、H: RAM アクティブ
RD	IN	リード信号、H: リードイネーブル
WR	IN	ライト信号、H: ライトイネーブル
RA0, ... RA (m-1)	IN	リードアドレスポート、RA0: LSB
WA0, ... WA (m-1)	IN	ライトアドレスポート、WA0: LSB
DO, D1, ... D (n-1)	IN	データ入力ポート、D0: LSB
Y0, Y1, ... Y (n-1)	OUT	データ出力ポート、Y0: LSB

表 9-8 2ポートRAM 真理値表

CS	RD	WR	RA0, ..., RA (n-1)	WA0, ..., WA (m-1)	Y0, ..., Y (n-1)	モード
0	X	X	X	X	Unknown	待機
1	0	0	X	X	Unknown	待機
1	0	1	X	ステイブル	Unknown	書き込み
1	1	0	ステイブル	X	読み出しデータ	読み出し
1	1	1	ステイブル	ステイブル	読み出しデータ	読み書き

X: HIGH または LOW

- データの読み出し

データは、CS を “HIGH”、RD を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の2とおりの方法があります。

(1) CS を “HIGH” に保ち、アドレスをセットし、WR に “HIGH” レベルパルスを加える。

(2) WR を “HIGH” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

- データの読み書き

リードアドレスとライトアドレスを用いて、読み出しと書き込みを同時に行うことができます。同一アドレスへの読み出しと書き込みの同時動作は禁止しています。また、9.1.6に記載されているリードサイクルのアクセスタイムは、すでに書き込みが終了しているデータを対象としています。

- 待機状態

次の2とおりの場合には2ポートRAMは待機状態になりデータを保持するだけになります。RAM内での消費電流はリーク電流のみになり、ほぼ ‘0’ になります。

(1) CS が “LOW” のとき。

(2) CS が “HIGH”、RD が “LOW”、WR が “LOW” のとき。

### 9.1.5 タイミングチャート

(1) 1ポートRAM

- 読み出し時

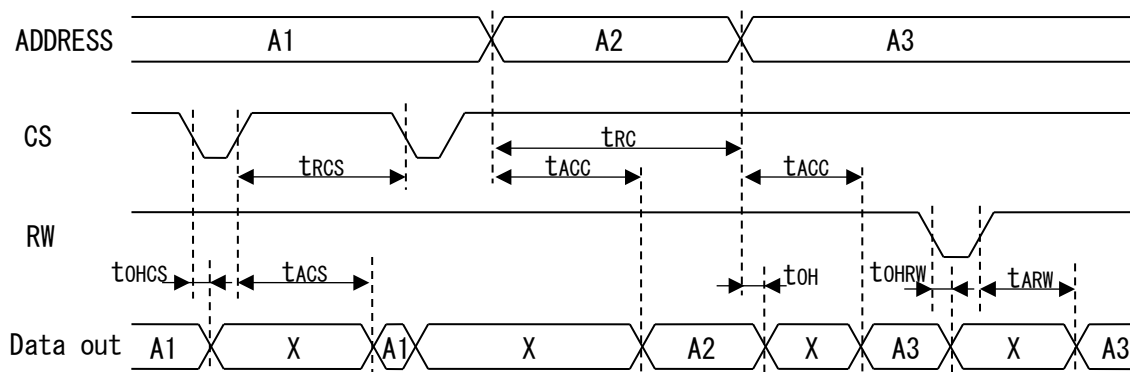


図9-1 リードサイクル

- 書き込み時

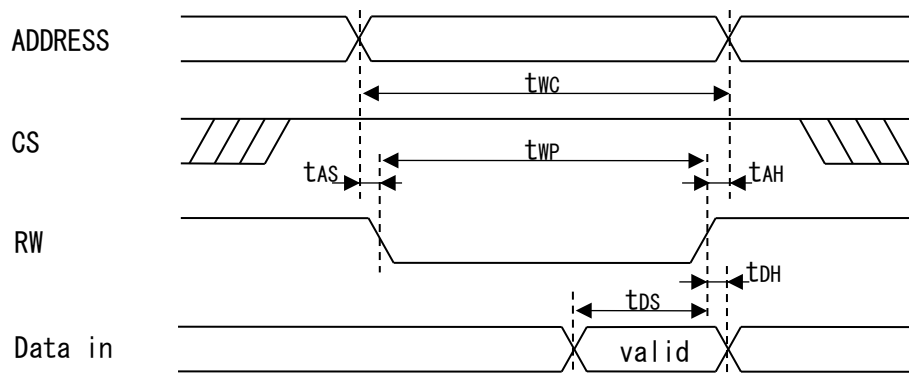


図9-2 ライトサイクル (RW制御)

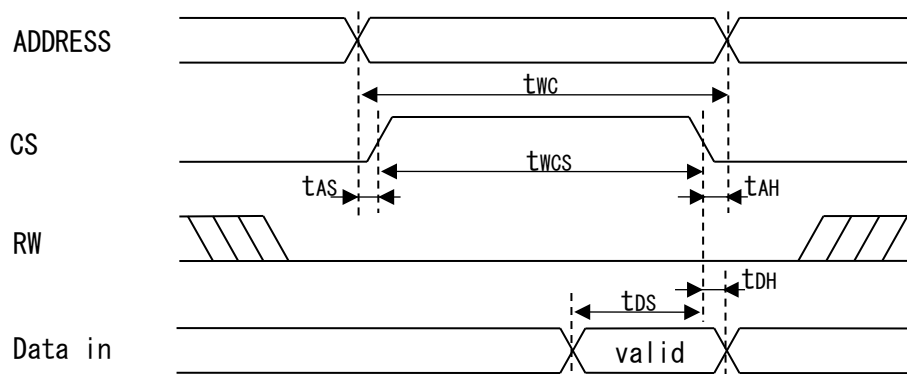


図9-3 ライトサイクル (CS制御)

(2) 2ポートRAM

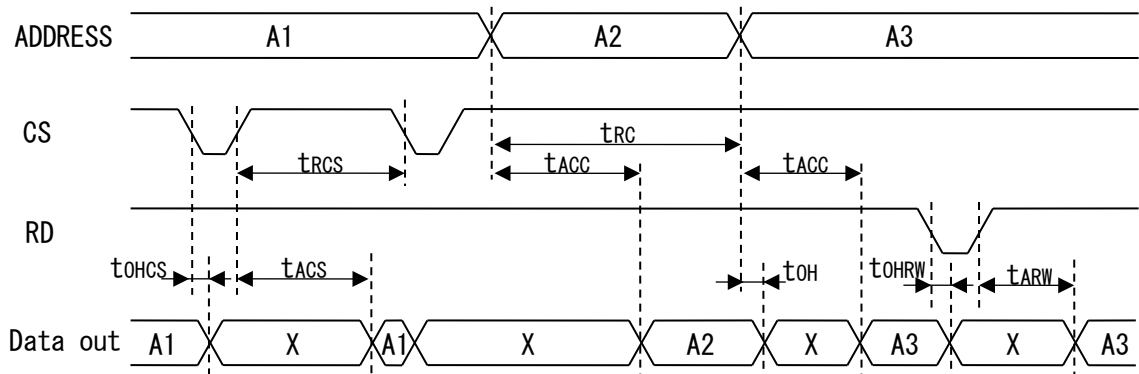


図9-4 リードサイクル

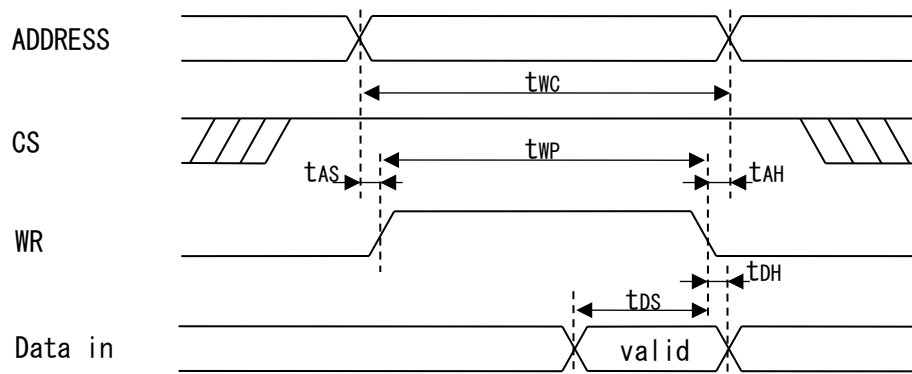


図9-5 ライトサイクル (WR制御)

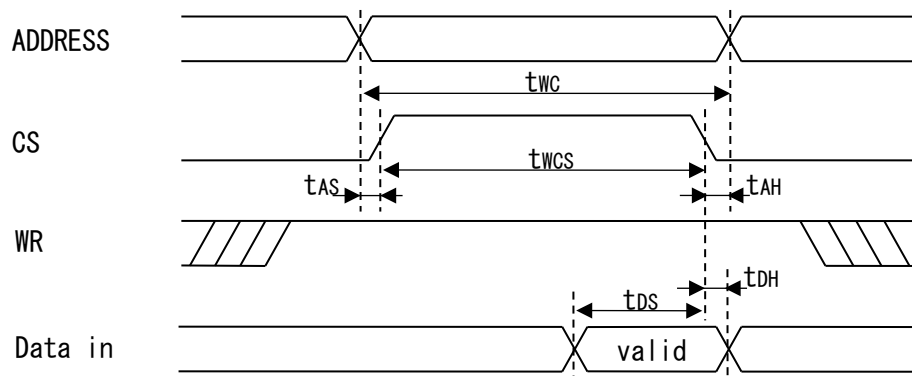


図9-6 ライトサイクル (CS制御)

9.1.6 リードサイクル アクセスタイム (tACS、tACC)

(1)  $LV_{DD}=3.3V\pm 0.3V$ 、 $T_a=-40\sim 85^{\circ}C$

表 9-9 1ポートRAM/2ポートRAM リードサイクル アクセスタイム

ワード \ ビット	4ビット		8ビット		16ビット		32ビット		単位
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
16ワード	—	4.350	—	4.350	—	4.350	—	4.771	ns
32ワード	—	4.350	—	4.350	—	4.350	—	4.771	
64ワード	—	5.188	—	5.188	—	5.188	—	5.610	
96ワード	—	6.026	—	6.026	—	6.026	—	6.448	
128ワード	—	6.864	—	6.864	—	6.864	—	7.286	
192ワード	—	8.541	—	8.541	—	8.541	—	8.963	
256ワード	—	10.218	—	10.218	—	10.218	—	10.639	

## 9.2 セルベース・タイプ 1ポート RAM

### 9.2.1 特長

- クロック同期型 1ポート RAM  
(チップ選択、ライトイネーブル、アドレス、データ入力にラッチ回路を備え、クロック同期動作。  
データ出力部にラッチ回路を備え、読み出したデータは次のサイクルまで継続出力。  
バイトライトイネーブル入力 ラッチ回路機能無し)
- ワード数は 128~8K ワード、ビット数は 1ビット刻みで 1~32 ビットの範囲で構成可能。  
メモリ容量の構成可能範囲 : 128~64K ビット
- メモリ最大構成 : 64K ビット/module
- 最大動作周波数 : 71MHz
- データの入力ポートと出力ポートは分離
- バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択可能

### 9.2.2 ブロック図と入力信号

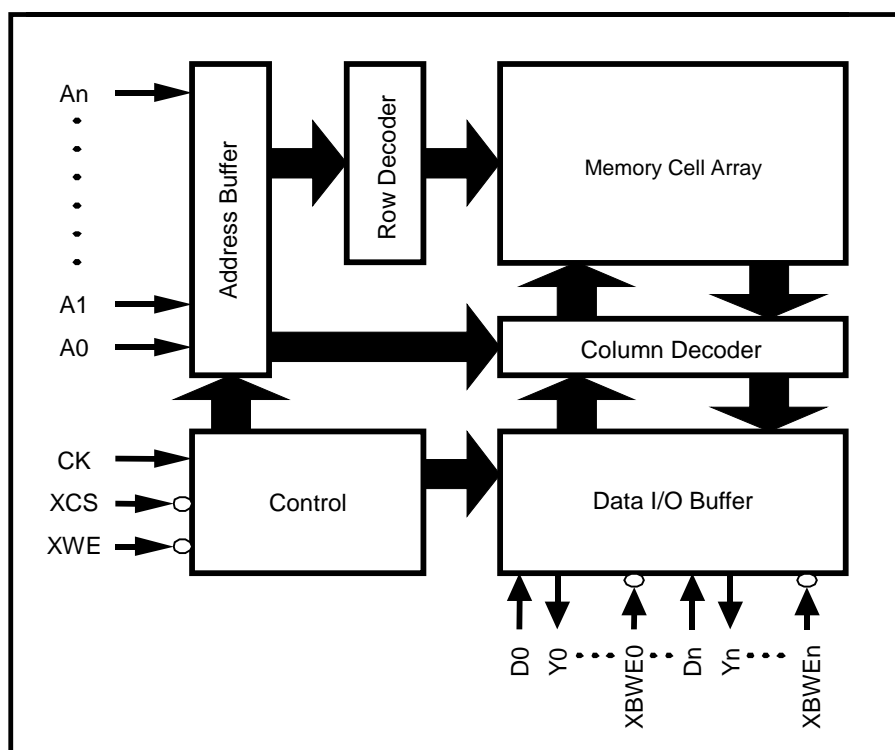


図 9-7 セルベース 1ポート RAM ブロック図

表 9-10 セルベース 1 ポート RAM 信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	立上りエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時に書き込みを、H の時に読み出し動作を行います。次の立下りエッジで動作を終了します。XBWE0~3 はラッチしない。
XCS	チップ選択	クロック入力 (CK) の立上りエッジでラッチされます。ラッチされた値が L の時にメモリは動作を開始します。
XWE	ライトイネーブル	クロック入力 (CK) の立上りエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWE <sub>n</sub>	バイトライトイネーブル	データの 1 バイト毎に 1 つのバイトライトイネーブル信号が割り当てられます。ライトイネーブル (XWE) が L の時、バイトライトイネーブル (XBWE <sub>n</sub> ) が L であるバイトのみデータの書き込みが行われます。 XBWE0 — D0~D7 XBWE1 — D8~D15 XBWE2 — D16~D23 XBWE3 — D24~D31
A0~An	アドレス入力	クロック (CK) の立上りエッジでラッチされます。
D0~Dn	データ入力	書き込みデータはクロック入力 (CK) の立上りエッジでラッチされメモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック入力 (CK) の立上りエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

### 9.2.3 動作真理値表

書き込みはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWE0~XBWE3) をイネーブル (L) にし、アドレス入力 (A0~An) とデータ入力 (D0~Dn) をセットします。

クロックの立上りで、バイトライトイネーブル信号以外のチップ選択、ライトイネーブル、アドレス入力、データ入力の信号がラッチされ書き込み動作を開始します。

この期間中はデータ出力端子 (Y0~Yn) から書き込み中のデータが出力されます。

クロックの立下りで書き込み動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス入力 (A0~An) と入力データ (Dn~D0) をセットします。

クロックの立上りでチップ選択、ライトイネーブル、アドレス入力、データ入力の信号がラッチされ読み出し動作を開始します。

この期間中はクロックの立上りからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

クロックの立下りで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力端子からデータが継続して出力されます。

表 9-11 1ポート RAM の動作真理値表

CK	XCS	XWE	XBWE0	XBWE1	XBWE2	XBWE3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	X	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	D0-D31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	D0-D7	Write Data <sup>(*)1</sup>	1st バイト書き込み
L→H	L	L	H	L	H	H	D8-D15	Write Data <sup>(*)1</sup>	2nd バイト書き込み
L→H	L	L	H	H	L	H	D16-D23	Write Data <sup>(*)1</sup>	3rd バイト書き込み
L→H	L	L	H	H	H	L	D24-D31	Write Data <sup>(*)1</sup>	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data <sup>(*)1</sup>	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

注) \*1: データ出力 (Y0~Yn) の状態は、データ入力 (D0~Dn) に入力された値が出力されます。ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWE0~XBWE3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。



### 9.2.4 タイミングチャート

- 読み出し時

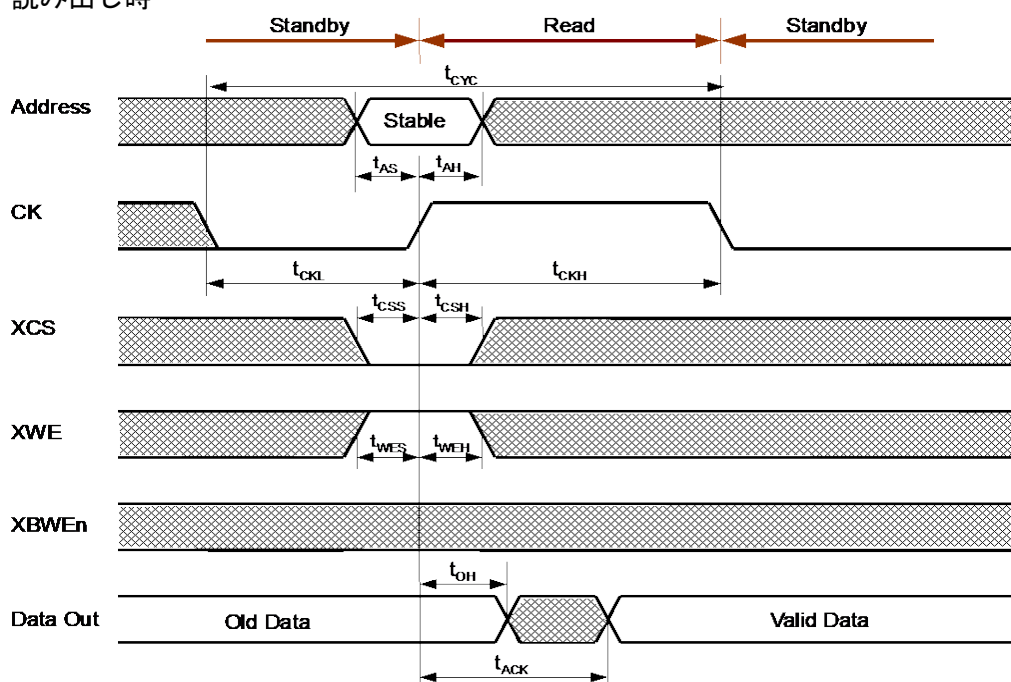


図 9-8 セルベース1ポートRAM リードサイクル

- 書き込み時

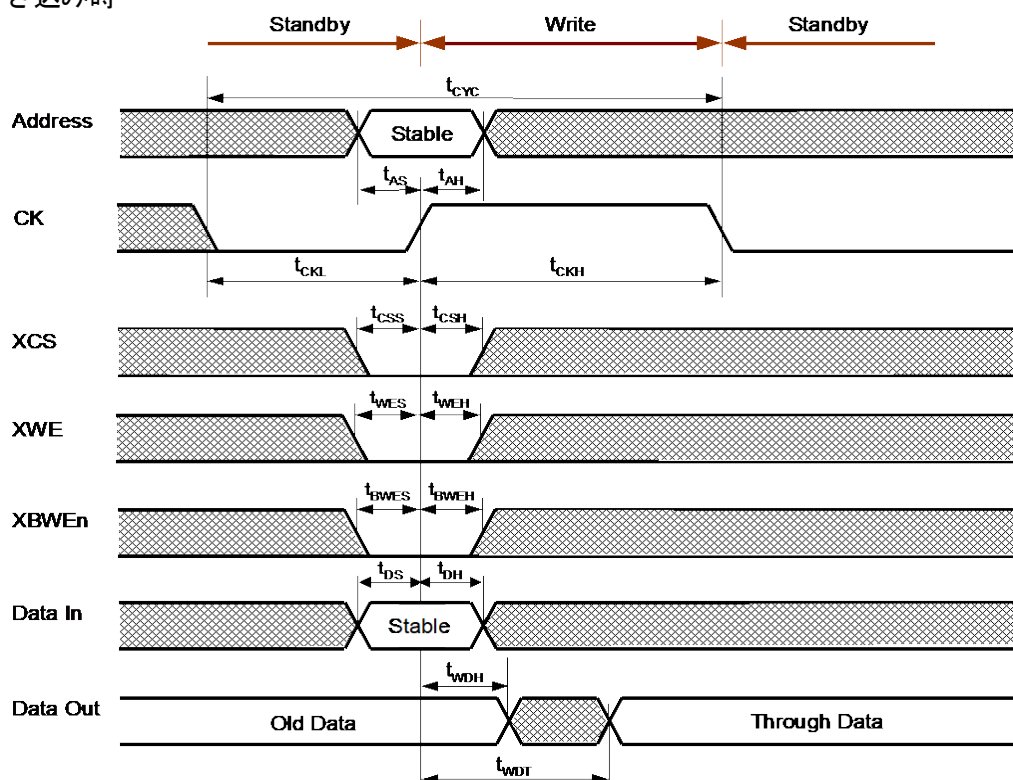


図 9-9 セルベース1ポートRAM ライトサイクル

### 9.2.5 電気的特性

表 9-12 電気的特性

(LV<sub>DD</sub>=3.3V±0.3V、T<sub>a</sub>=-40~85°C)

パラメータ	記号	Min.	Typ.	Max.	単位
Clock Frequency* <sup>1</sup>	f <sub>c</sub>	-	-	71	MHz
CS Access Time	t <sub>ACS</sub>	-	6.0	9	ns
CK High Width Time	t <sub>CKH</sub>	7	-	-	ns
CK Low Width Time	t <sub>CKL</sub>	4	-	-	ns
Cycle Time	t <sub>CYC</sub>	14	-	-	ns
CS Setup Time	t <sub>CSS</sub>	4	-	-	ns
CS Hold Time	t <sub>CSH</sub>	0	-	-	ns
Address Setup Time	t <sub>AS</sub>	4	-	-	ns
Address Hold Time	t <sub>AH</sub>	0	-	-	ns
WE Setup Time	t <sub>WES</sub>	4	-	-	ns
WE Hold Time	t <sub>WEH</sub>	0	-	-	ns
BWE Setup Time	t <sub>BWES</sub>	0	-	-	ns
BWE Hold Time	t <sub>BWEH</sub>	0	-	-	ns
Output Hold Time	t <sub>OH</sub>	2	-	-	ns
Data Setup Time	t <sub>DS</sub>	4	-	-	ns
Data Hold Time	t <sub>DH</sub>	0	-	-	ns
Write Data Hold Time	t <sub>WDH</sub>	2	-	-	ns
Write Data Through Time	t <sub>WDT</sub>	-	3	4.5	ns
power current			100		uA/MHz

注) \*1 : Clock Frequency は Duty50%で周波数変動のない理想 Clock を仮定したものです。

\* 1 : 表 9-12 電気的特性に記載された Min 以下の信号 (微小パルス) が入力された場合、RAM として正しい動作行われず、または一度書き込まれたメモリ記憶内容が書き換わる可能性が生じます。

## 9.3 セルベース・タイプ Dual ポート RAM

### 9.3.1 特長

- クロック同期型 Dual ポート RAM  
 (チップ選択、ライトイネーブル、アドレス、データ入力にラッチ回路を備え、クロック同期動作。  
 データ出力部にラッチ回路を備え、読み出したデータは次のサイクルまで継続出力。  
 バイトライトイネーブル入力 ラッチ回路機能無し)
- ワード数は 128~8K ワード、ビット数は 8/ 16/ 24/ 32 ビットで構成可能。  
 メモリ容量の構成可能範囲 : 1K~64K ビット
- メモリ最大構成 : 64K ビット/module
- 最大動作周波数 : 71MHz
- データの入力ポートと出力ポートは分離
- バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択可能

### 9.3.2 ブロック図と入出力信号

第1ポートと第2ポートはそれぞれ読み出し/書き込みが可能です。ポート毎にクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

なお、同じメモリセルを2つのポートから同時にアクセスすることはできません。これに対する調停機能、ビジー信号等が必要な場合はマクロ外のゲートアレイ部で回路を構成する必要があります。(同時にアクセスした場合はそのサイクルの動作、および該当メモリセルのデータが不定になります。)

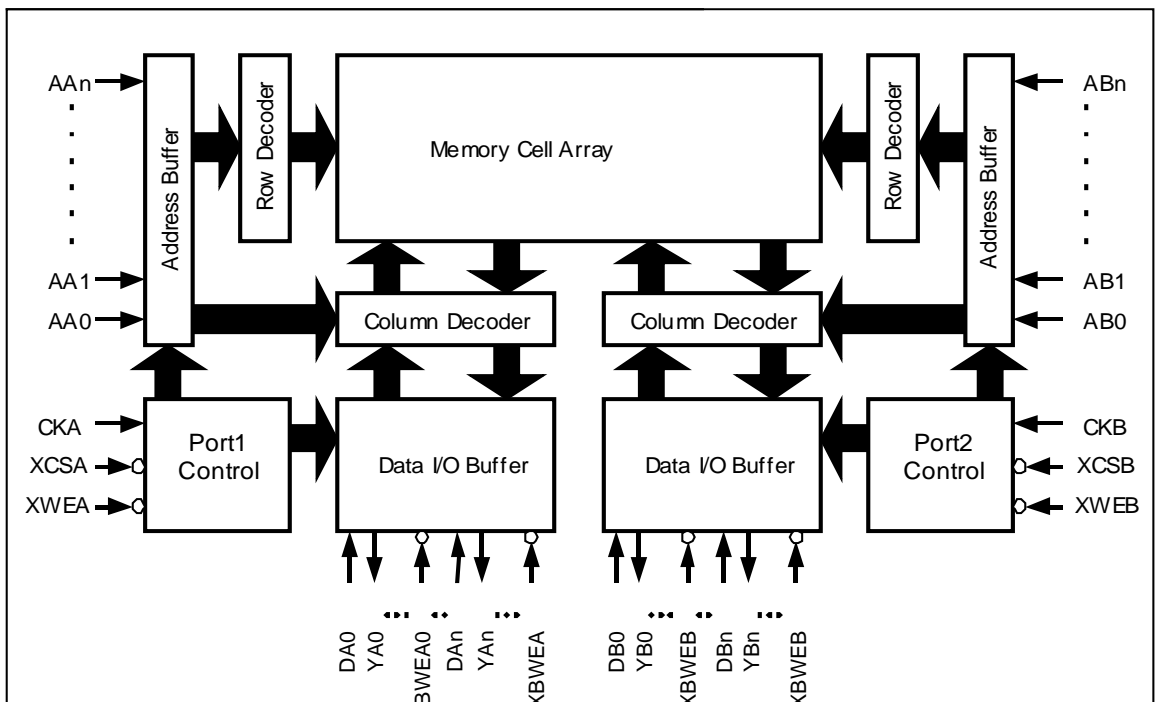


図 9-10 セルベース Dual ポート RAM ブロック図

表 9-13 Dual ポート RAM の信号説明

第1ポート用信号 (読み出し/書き込み)

入出力信号		機能説明
記号	名前	
CKA	クロック入力	立上りエッジ (L→H) でチップ選択 (XCSA)、ライトイネーブル (XWEA)、アドレス入力 (AA0~AA <sub>n</sub> )、データ入力 (DA0~DA <sub>n</sub> ) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時に書き込みを、H の時に読み出し動作を行います。次の立下りエッジで動作を終了します。
XCSA	チップ選択	クロック (CKA) の立上りエッジでラッチされます。ラッチされた値が L の時にメモリは動作を開始します。
XWEA	ライトイネーブル	クロック (CKA) の立上りエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEA <sub>n</sub>	バイトライトイネーブル	データの 1 バイト毎に 1 つのバイトライトイネーブル信号が割り当てられます。XWEA が L の時、バイトライトイネーブル (XBWEA <sub>n</sub> ) が L であるバイトのみデータの書き込みが行われます。 XBWEA0 — DA0~DA7 XBWEA1 — DA8~DA15 XBWEA2 — DA16~DA23 XBWEA3 — DA24~DA31
AA0~AA <sub>n</sub>	アドレス入力	クロック (CKA) の立上りエッジでラッチされます。
DA0~DA <sub>n</sub>	データ入力	書き込みデータはクロック (CKA) の立上りエッジでラッチされメモリセルに書き込まれます。
YA0~YA <sub>n</sub>	データ出力	読み出し時にはクロック (CKA) の立上りエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

## 第2ポート用信号 (読み出し/書き込み)

入出力信号		機能説明
記号	名前	
CKB	クロック入力	立上りエッジ(L→H)でチップ選択(XCSB)、ライトイネーブル(XWEB)、アドレス入力(AB0~ABn)、データ入力(DB0~DBn)をラッチし、ラッチしたチップ選択信号がLの時に動作を開始します。動作期間中は、ラッチしたライトイネーブルがLの時に書き込みを、Hの時に読み出し動作を行います。次の立下りエッジで動作を終了します。
XCSB	チップ選択	クロック(CKB)の立上りエッジでラッチされます。ラッチされた値がLの時にメモリは動作を開始します。
XWEB	ライトイネーブル	クロック(CKB)の立上りエッジでラッチされます。ラッチされた値がLの時は書き込み、Hの時は読み出し動作を行います。
XBWEBn	バイトライトイネーブル	データの1バイト毎に1つのバイトライトイネーブル信号が割り当てられます。ライトイネーブル(XWEB)がLの時、バイトライトイネーブル(XBWEBn)がLであるバイトのみデータの書き込みが行われます。 XBWEB0 — DB0~DB7 XBWEB1 — DB8~DB15 XBWEB2 — DB16~DB23 XBWEB3 — DB24~DB31
AB0~ABn	アドレス入力	クロック(CKB)の立上りエッジでラッチされます。
DB0~DBn	データ入力	書き込みデータはクロック(CKB)の立上りエッジでラッチされメモリセルに書き込まれます。
YB0~YBn	データ出力	読み出し時にはクロック(CKB)の立上りエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

### 9.3.3 動作真理値表

書き込みはクロック (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB)、ライトイネーブル (XWEA および XWEB)、バイトライトイネーブル (XBWEA0~XBWEA3 および XBWEB0~XBWEB3) をイネーブル (L) にし、アドレス (AA0~AA<sub>n</sub> および AB0~AB<sub>n</sub>) とデータ入力 (DA0~DA<sub>n</sub> および DB0~DB<sub>n</sub>) をセットします。

クロック入力の立上りでチップ選択、ライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ書き込み動作を開始します。

この期間中はデータ出力端子 (YA0~YA<sub>n</sub> および YB0~YB<sub>n</sub>) から書き込み中のデータが出力されます。

クロックの立下りで書き込み動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出しはクロック (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB) をイネーブル (L) に、ライトイネーブル (XWEA および XWEB) をディセーブル (H) にし、アドレス (AA0~AA<sub>n</sub> および AB0~AB<sub>n</sub>) と入力データ (DA<sub>n</sub>~DA0 および DB<sub>n</sub>~DB0) をセットします。

クロックの立上りでチップ選択、ライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ読み出し動作を開始します。

この期間中はクロックの立上りからアクセスタイム経過した後にデータがデータ出力端子 (YA0~YA<sub>n</sub> および YB0~YB<sub>n</sub>) から出力されます。

クロックの立下りで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力端子からデータが継続して出力されます。

表 9-14 Dual ポート RAM の動作真理値表

第1ポート 動作真理値表

CKA	XCSA	XWEA	XBWEA0	XBWEA1	XBWEA2	XBWEA3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	X	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DA0-DA31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DA0-DA7	Write Data <sup>(*)</sup>	1st バイト書き込み
L→H	L	L	H	L	H	H	DA8-DA15	Write Data <sup>(*)</sup>	2nd バイト書き込み
L→H	L	L	H	H	L	H	DA16-DA23	Write Data <sup>(*)</sup>	3rd バイト書き込み
L→H	L	L	H	H	H	L	DA24-DA31	Write Data <sup>(*)</sup>	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data <sup>(*)</sup>	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

第2ポート 動作真理値表

CKB	XCSB	XWEB	XBWEB0	XBWEB1	XBWEB2	XBWEB3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	X	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DB0-DB31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DB0-DB7	Write Data <sup>(*)</sup>	1st バイト書き込み
L→H	L	L	H	L	H	H	DB8-DB15	Write Data <sup>(*)</sup>	2nd バイト書き込み
L→H	L	L	H	H	L	H	DB16-DB23	Write Data <sup>(*)</sup>	3rd バイト書き込み
L→H	L	L	H	H	H	L	DB24-DB31	Write Data <sup>(*)</sup>	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data <sup>(*)</sup>	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

注) \*1 : データ出力 (YA0~YAn および YB0~YBn) の状態は、データ入力 (DA0~DAn および DB0~DBn) に入力された値が出力されます。  
 ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWEA0~XBWEA3 および XBWEB0~XBWEB3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

### 9.3.4 タイミングチャート

(1) 第1ポート

- 読み出し時

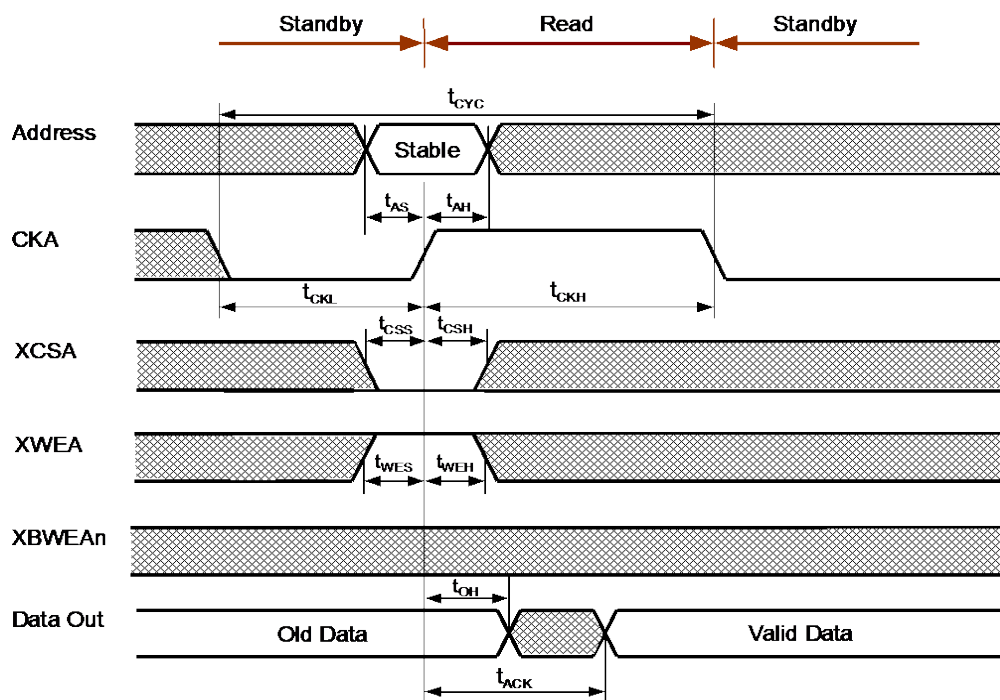


図9-11 セルベース Dual ポート RAM リードサイクル (Port 1)

- 書き込み時

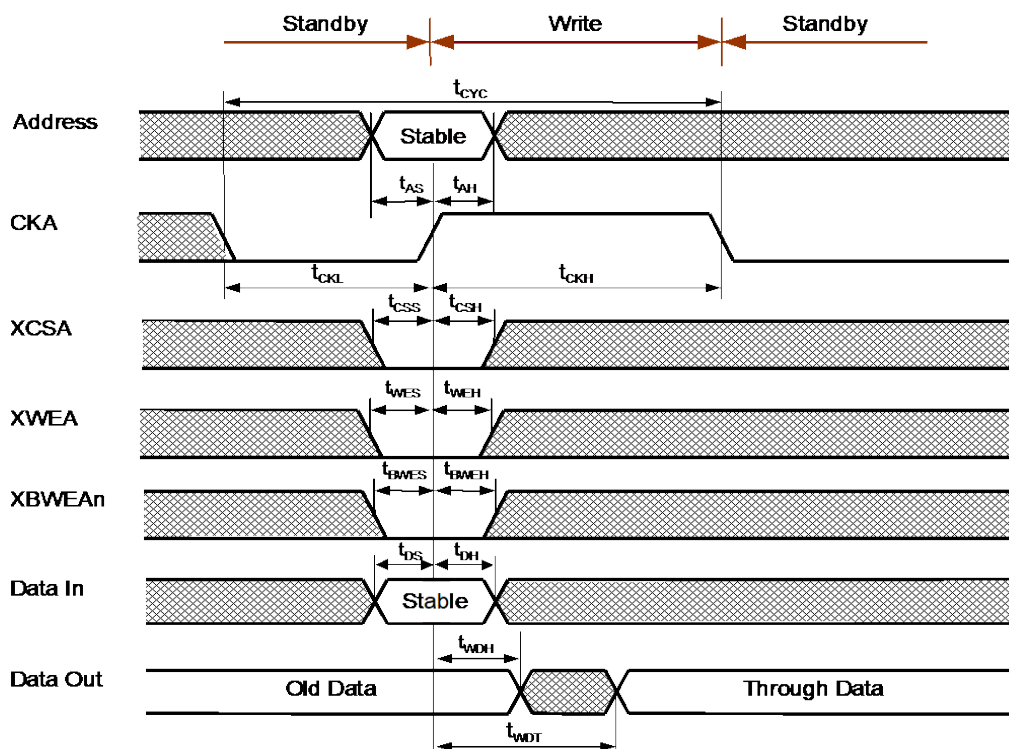




図9-12 セルベース Dual ポートRAM ライトサイクル (Port 1)

(2) 第2ポート

• 読み出し時

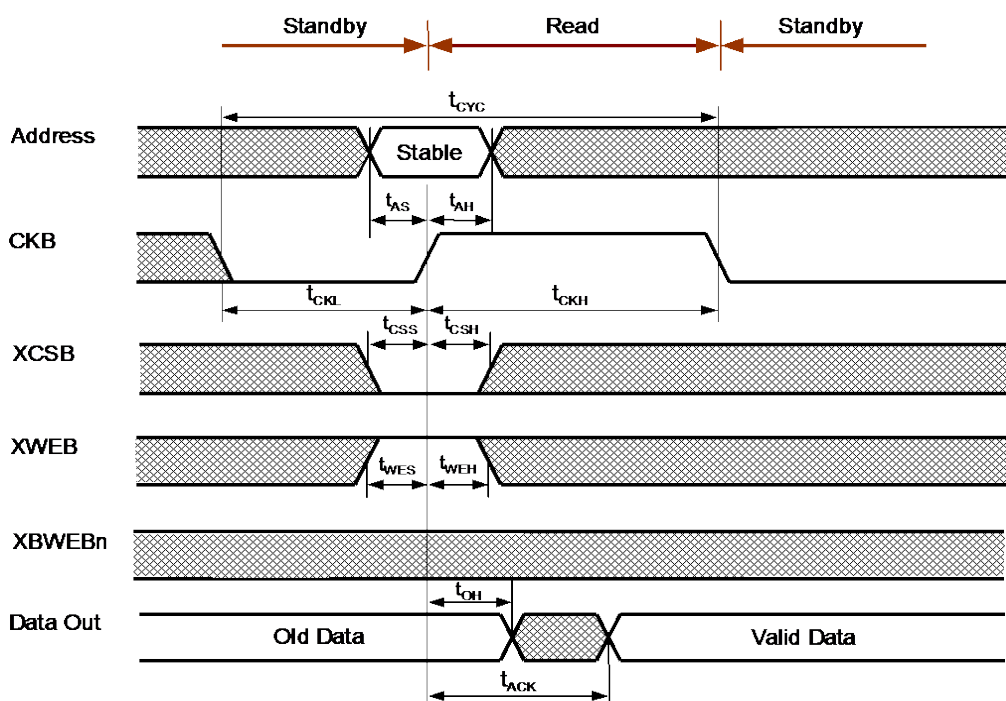


図9-13 セルベース Dual ポートRAM リードサイクル (Port2)

• 書き込み時

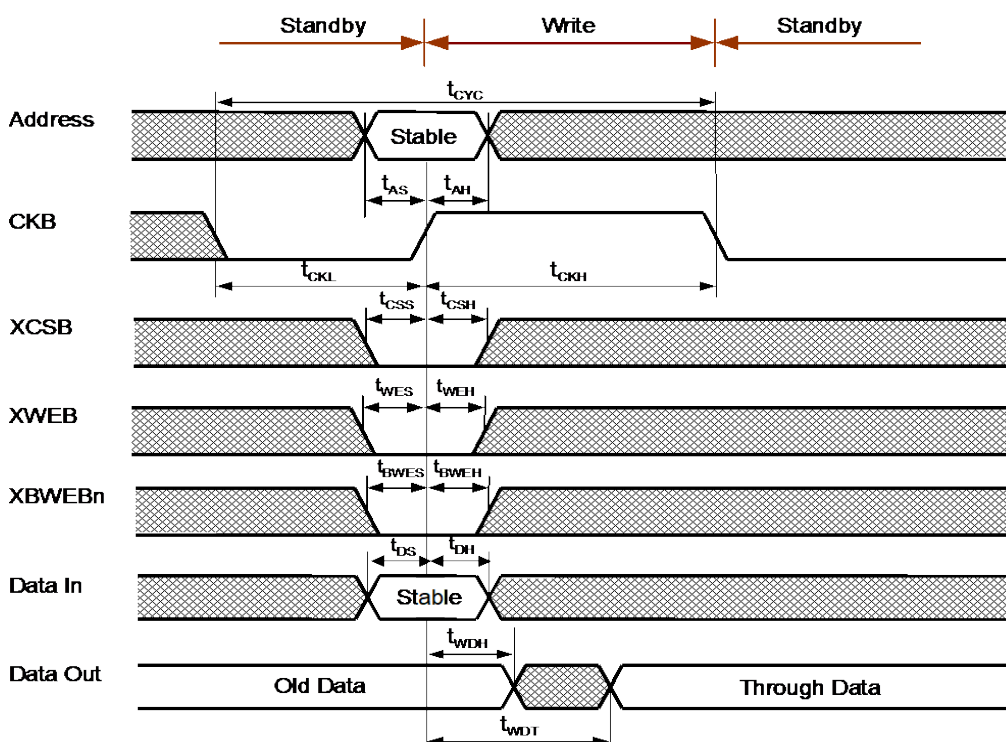


図9-14 セルベース Dual ポートRAM ライトサイクル (Port2)

## 9.3.5 電気的特性

表 9-15 電気的特性

(LV<sub>DD</sub>=3.3V±0.3V、T<sub>a</sub>=-40~85°C)

パラメータ	記号	Min.	Typ.	Max.	単位
Clock Frequency* <sup>1</sup>	f <sub>c</sub>	-	-	71	MHz
CS Access Time	t <sub>ACS</sub>	-	6.0	9	ns
CK High Width Time	t <sub>CKH</sub>	7	-	-	ns
CK Low Width Time	t <sub>CKL</sub>	4	-	-	ns
Cycle Time	t <sub>CYC</sub>	14	-	-	ns
CS Setup Time	t <sub>CSS</sub>	4	-	-	ns
CS Hold Time	t <sub>CSH</sub>	0	-	-	ns
Address Setup Time	t <sub>AS</sub>	4	-	-	ns
Address Hold Time	t <sub>AH</sub>	0	-	-	ns
WE Setup Time	t <sub>WES</sub>	4	-	-	ns
WE Hold Time	t <sub>WEH</sub>	0	-	-	ns
BWE Setup Time	t <sub>BWES</sub>	0	-	-	ns
BWE Hold Time	t <sub>BWEH</sub>	0	-	-	ns
Output Hold Time	t <sub>OH</sub>	2	-	-	ns
Data Setup Time	t <sub>DS</sub>	4	-	-	ns
Data Hold Time	t <sub>DH</sub>	0	-	-	ns
Write Data Hold Time	t <sub>WDH</sub>	2	-	-	ns
Write Data Through Time	t <sub>WDT</sub>	-	3	4.5	ns
power current			100		uA/MHz

注) \* : Clock Frequency は Duty50% で周波数変動のない理想 Clock を仮定したものです。

\*1 : 表 9-15 電気的特性に記載された Min 以下の信号 (微小パルス) が入力された場合、RAM として正しい動作行われず、または一度書き込まれたメモリ記憶内容が書き換わる可能性が生じます。

## 9.4 セルベース・タイプ 大容量 1ポート RAM

### 9.4.1 特長

- クロック同期型 大容量 1ポート RAM

(チップ選択、ライトイネーブル、アドレス、データ入力にラッチ回路を備え、クロック同期動作。

データ出力部にラッチ回路を備え、読み出したデータは次のサイクルまで継続出力。)

- ワード数は 2K~64K ワード、ビット数は 8/ 16/ 32 ビットで構成可能。  
メモリ容量の構成可能範囲 : 32K~512K ビット
- メモリ最大構成 : 512K ビット/module
- メモリ容量の構成可能範囲 : 32K~1M ビット、語構成 8、16、32bit 可能
- 最大動作周波数 : 76MHz
- データの入力ポートと出力ポートは分離

### 9.4.2 ブロック図と入出力信号

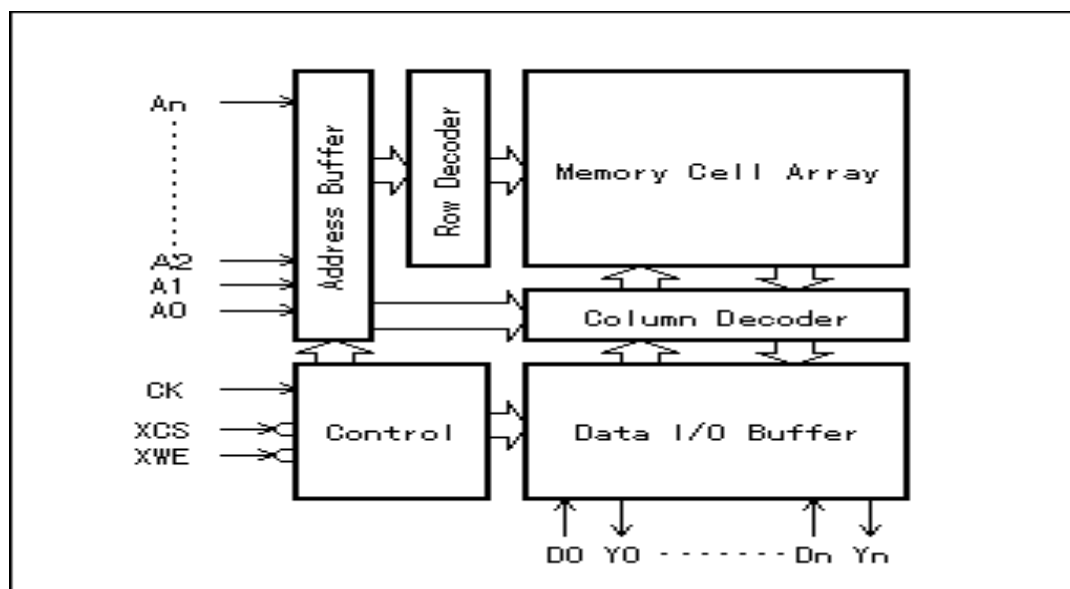


図 9-15 セルベース 大容量 1ポート RAM ブロック図

表 9-16 大容量 1ポート RAM の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	立上りエッジ(L→H)でチップ選択(XCS)、ライトイネーブル(XWE)、アドレス入力(A0~An)、データ入力(D0~Dn)をラッチし、ラッチしたチップ選択信号がLの時に動作を開始します。動作期間中は、ラッチしたライトイネーブルがLの時書き込み動作を、Hの時読み出し動作を行います。次の立下りエッジで動作を終了します。
XCS	チップ選択	クロック(CK)の立上りエッジでラッチされます。ラッチされた値がLの時メモリは動作を開始します。
XWE	ライトイネーブル	クロック(CK)の立上りエッジでラッチされます。ラッチされた値がLの時は書き込み、Hの時は読み出し動作を行います。
A0~An	アドレス入力	アドレスはクロック(CK)の立上りエッジでラッチされます。
D0~Dn	データ入力	書き込みデータはクロック(CK)の立上りエッジでラッチされメモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック(CK)の立上りエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

### 9.4.3 動作真理値表

書き込みはクロック (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE) をイネーブル (L) にし、アドレス (An~A0) と入力データ (Dn~D0) をセットします。

クロックの立ち上りで、チップ選択、ライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ書き込み動作を開始します。

この期間中はデータ出力端子 (Yn~Y0) からは書き込み中のデータが出力されます。

クロックの立下りで書き込み動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス (An~A0) と入力データ (Dn~D0) をセットします。

クロックの立ち上りで、チップ選択、ライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ読み出し動作を開始します。

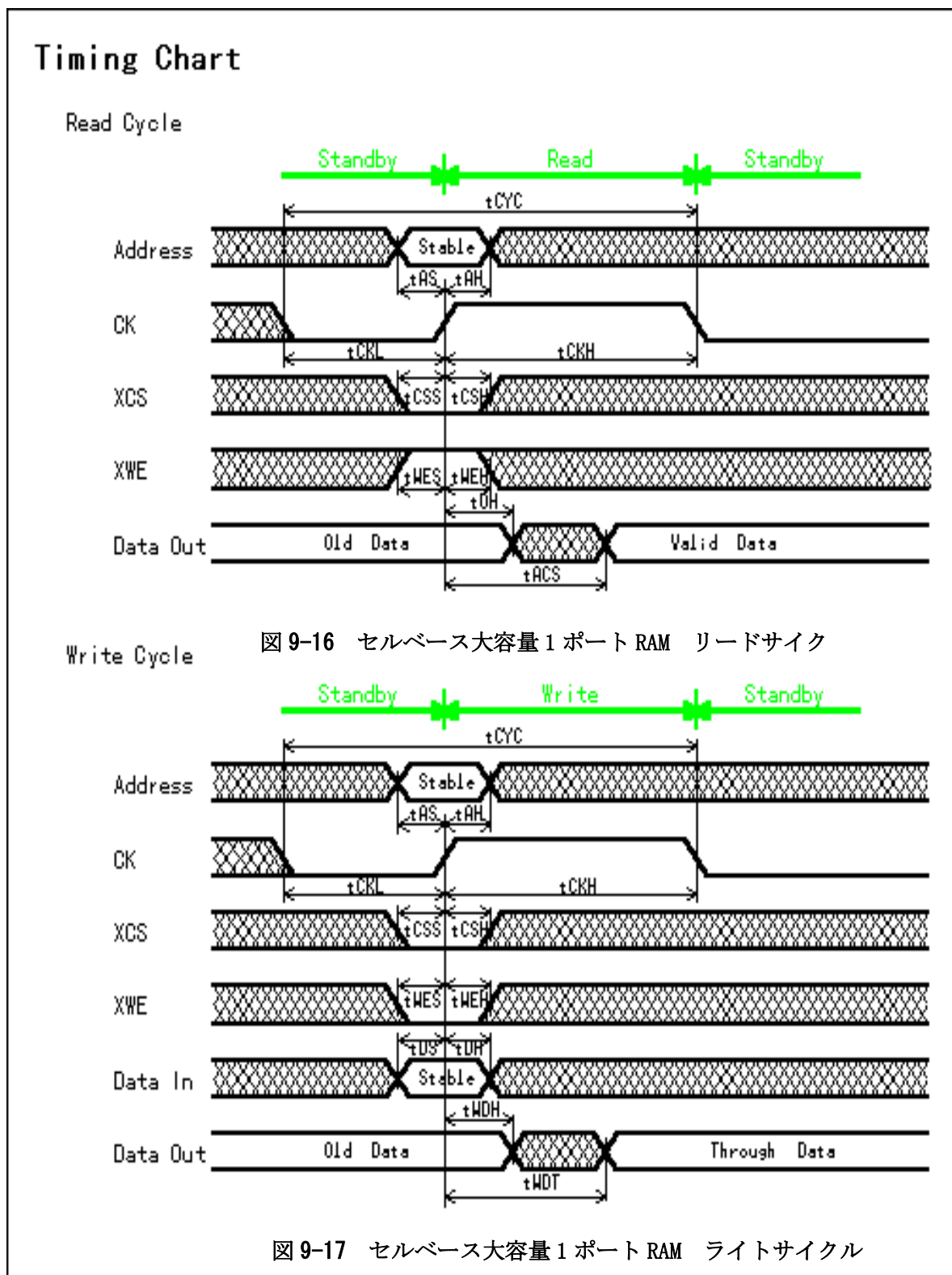
この期間中はクロックの立ち上りからアクセスタイム経過した後にデータが出力端子から出力されます。クロックの立下りで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後も出力端子からデータが継続して出力されます。

表 9-17 大容量 1ポート RAM の動作真理値表

CK	XCS	XWE	出力の状態	動作モード
L	X	X	X	スタンバイ
L → H	L	H	Read Data	読み出し
L → H	L	L	Write Data	書き込み
L → H	H	X	X	スタンバイ
H → L	X	X	Read Data hold	スタンバイ

9.4.4 タイミングチャート



## 9.4.5 電気的特性

表 9-18 電気的特性

(LV<sub>DD</sub>=3.3V±0.3V、T<sub>a</sub>=-40~85°C)

パラメータ	記号	Min.	Typ.	Max.	単位
Clock Frequency* <sup>1</sup>	f <sub>c</sub>	-	-	76	MHz
CS Access Time	t <sub>ACS</sub>	-	7.6	11	ns
CK High Width Time	t <sub>CKH</sub>	7	-	-	ns
CK Low Width Time	t <sub>CKL</sub>	6	-	-	ns
Cycle Time	t <sub>CYC</sub>	13	-	-	ns
CS Setup Time	t <sub>CSS</sub>	4	-	-	ns
CS Hold Time	t <sub>CSH</sub>	0	-	-	ns
Address Setup Time	t <sub>AS</sub>	4	-	-	ns
Address Hold Time	t <sub>AH</sub>	0	-	-	ns
WE Setup Time	t <sub>WES</sub>	4	-	-	ns
WE Hold Time	t <sub>WEH</sub>	0	-	-	ns
Output Hold Time	t <sub>OH</sub>	2	-	-	ns
Data Setup Time	t <sub>DS</sub>	4	-	-	ns
Data Hold Time	t <sub>DH</sub>	0	-	-	ns
Write Data Hold Time	t <sub>WDH</sub>	2	-	-	ns
Write Data Through Time	t <sub>WDT</sub>	-	3	4.5	ns

注) \* : Clock Frequency は Duty50% で周波数変動のない理想 Clock を仮定したものです。

\*1 : 表 9-18 電気的特性に記載された Min 以下の信号 (微小パルス) が入力された場合、RAM として正しい動作行われず、または一度書き込まれたメモリ記憶内容が書き換わる可能性が生じます。



## 9.5 セルベース・タイプ マスク ROM

### 9.5.1 特長

- クロック同期型 マスク ROM  
(チップ選択、アドレスにラッチ回路を備え、クロック同期動作。  
データ出力部にラッチ回路を備え、読み出したデータは次のサイクルまで継続出力。)
- ワード数は 1K~64K ワード、ビット数は 1 ビット刻みで 1~64 ビットの範囲で構成可能。  
メモリ容量の構成可能範囲 : 1K~256K ビット
- メモリ最大構成 : 256K ビット/module
- 最大動作周波数 : 50MHz
- データの入力ポートと出力ポートは分離
- データ プログラム 1/2 層配線間のコンタクト工程

### 9.5.2 ブロック図と入出力信号

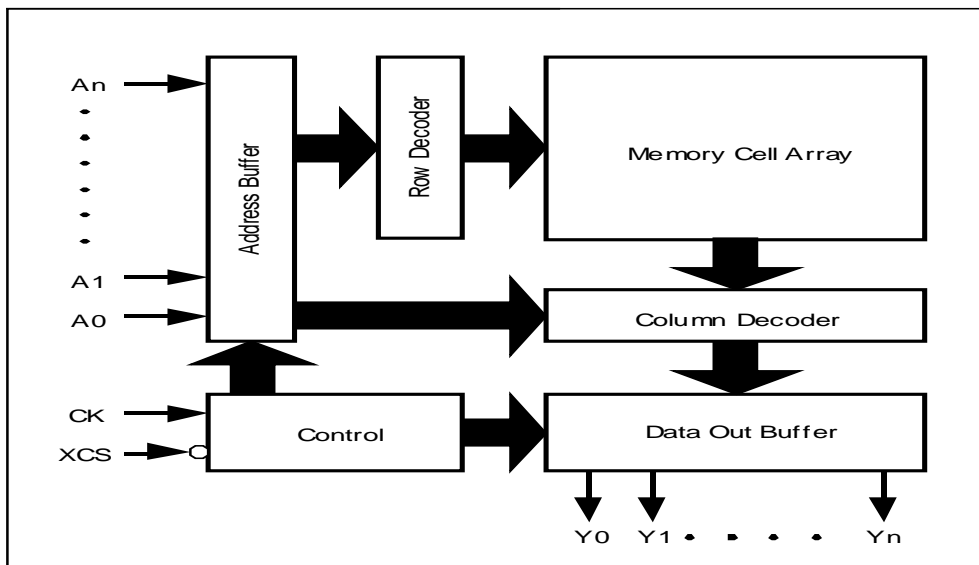


図 9-18 ROM のブロック図

表 9-19 ROM の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	立上りエッジ (L→H) で Chip 選択 (XCS)、アドレス入力 (A0~An)、をラッチし、ラッチした Chip 選択信号が L の時に読み出し動作を開始します。
XCS	Chip 選択	クロック入力 (CK) の立上りエッジでラッチされます。ラッチされた値が L の時にメモリは読み出し動作を開始します。
A0~An	アドレス入力	クロック入力 (CK) の立上りエッジでラッチされます。
Y0~Yn	データ出力	クロック入力 (CK) の立上りエッジからアクセス時間だけ経過した後、メモリセルからのデータが読み出されて出力されます。

## 9.5.3 動作真理値表

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) にし、アドレス (An~A0) をセットします。

クロックの立ち上がりで、チップ選択、アドレス入力の信号がラッチされ読み出し動作を開始します。

この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータが出力端子から出力されます。

クロックの立下りで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出し動作が終了しメモリがスタンバイになった後も出力端子からデータが継続して出力されます。

表 9-20 ROM の動作真理値表

CK	XCS	出力の状態	動作モード
L	X	Data Hold	スタンバイ
L→H	L	Read Data	読み出し
L→H	H	Data Hold	スタンバイ
H→L	X	Data Hold	スタンバイ

## 9.5.4 タイミングチャート

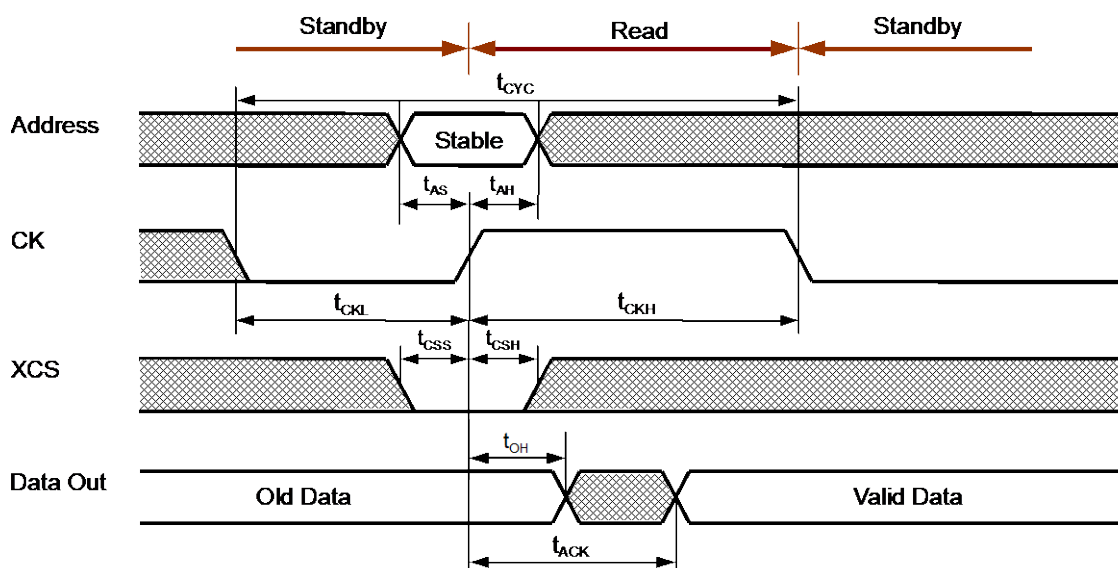


図 9-19 セルベース マスク ROM リードサイクル

## 9.5.5 電気的特性

表 9-21 電気的特性

(LV<sub>DD</sub>=3.3V±0.3V、T<sub>a</sub>=-40~85°C)

パラメータ	記号	Min.	Typ.	Max.	単位
Clock Frequency* <sup>1</sup>	f <sub>c</sub>	-	-	50	MHz
CS Access Time	t <sub>ACS</sub>	-	8.4	12	ns
CK High Width Time	t <sub>CKH</sub>	10	-	-	ns
CK Low Width Time	t <sub>CKL</sub>	3	-	-	ns
Cycle Time	t <sub>CYC</sub>	20	-	-	ns
CS Setup Time	t <sub>CSS</sub>	4	-	-	ns
CS Hold Time	t <sub>CSH</sub>	0	-	-	ns
Address Setup Time	t <sub>AS</sub>	4	-	-	ns
Address Hold Time	t <sub>AH</sub>	0	-	-	ns
Output Hold Time	t <sub>OH</sub>	3	-	-	ns
power current			80		uA/MHz

注) \* : Clock Frequency は Duty50% で周波数変動のない理想 Clock を仮定したものです。

\* 1 : 表 9-21 電気的特性に記載された Min 以下の信号(微小パルス)が入力された場合、正しい読み出し動作行われな可能性が生じます。

## 9.6 非存在アドレスへのアクセス禁止

RAMの構成において、48ワード、88ワードといった中間ワード構成のRAMを使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際のICでは、非存在アドレスにRead動作を行なった場合は、対象となるワード線が存在せず、全てのワード線がOFF状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、

① 全てのビット線がフローティング状態のままRead動作が行われてしまうため、RAMの出力が全ビット“不定”となってしまう。

② 全てのビット線がフローティング状態のままRead動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値はRAMの構成・規模によって異なりますが、IC全体の動作電流・静止時電流にバラツキを発生させてしまう。

等の状態が起こります。したがって、非存在アドレスへのアクセスに関しては禁止します。

論理シミュレーションにおいては、Read/Writeオペレーション時のクロックの立上りタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミング・エラーを出力します。

## 第 10 章 消費電力

動作時消費電力の見積りについて記述しています。動作時消費電力については、参考値でありお客様の IC の動作状況、環境により異なりますので参考値としての取り扱いとなります。

### 10.1 消費電力特性

#### 10.1.1 電圧特性

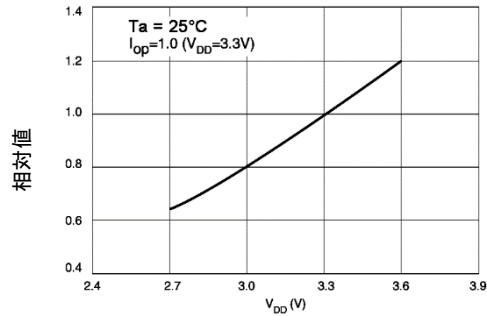


図10-1 消費電力電源電圧依存

#### 10.1.2 周波数特性

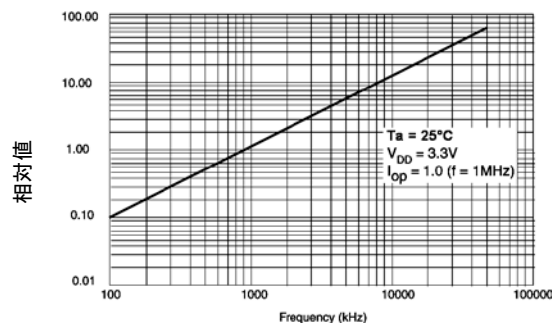


図10-2 消費電力周波数依存

## 10.2 動作消費電力の見積り

消費電力は、一般的にその動作周波数、負荷容量、電源電圧に依存します。（アナログ回路等で定常電流が流れる特殊なものは除きます。）

チップ全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロック毎の消費電力を求め、その総和を求めます。次に入力バッファ、出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

求める総消費電力  $P_{total}$  は、以下の式で見積ります。

$$P_{total} = P_{int} + P_i + P_o$$

$P_{int}$  : 内部回路の消費電力  
 $P_i$  : 入力バッファの消費電力  
 $P_o$  : 出力バッファの消費電力

### 10.2.1 内部セル ( $P_{int}$ )

内部回路領域の消費電力を一度に計算することは困難なため、ここではブロック毎に計算をおこない、最後にその総和を内部回路の消費電力  $P_{int}$  と定義します。

$$P_{int} = P_{BC} + P_{CB}$$

$P_{BC}$  : Basic Cell タイプ領域の消費電力  
 $P_{CB}$  : 各セルベースタイプマクロの消費電力

#### (1) Basic Cell 部 ( $P_{BC}$ )

Basic Cell 部の消費電力は以下の式で求めます。

$$P_{BC} \text{ (あるいは } P_{CB}) = \sum_{i=1}^K (N_b \times f_i \times S_{pi} \times K_{pint}) \quad [\mu W]$$

$N_b$  :  $f_i$  [MHz] で動作する回路の総 BC 数

$f_i$  : 動作周波数 [MHz]

$S_{pi}$  :  $N_b$  の中で同時期に  $f_i$  [MHz] で動作する BC の割合

(例) 全ての回路が同時期に  $f_i$  [MHz] で動作する場合は  $S_{pi} = 1.0$

ブロック分割等で 50% の回路が  $f_i$  [MHz] で動作する場合は  $S_{pi} = 0.5$  となります。

$K_{pint}$  : 1BC あたりの消費電力      0.37 ( $\mu W/MHz$   $V_{DD}=3.3V$   $T_a=25^\circ C$ )

### 10.2.2 入力バッファ ( $P_i$ )

入力バッファに消費電力は各バッファに入力される信号の周波数  $f$  [MHz] に  $K_{pi}$  [ $\mu W/MHz$ ] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (K_{pi} \times f_i) \quad [\mu W]$$

$f_i$  : 動作周波数 [MHz]

$K_{pi}$  : 入力バッファの電圧係数      6.2 ( $\mu W/MHz$   $V_{DD}=3.3V$   $T_a=25^\circ C$ )

### 10.2.3 出力バッファ (P<sub>o</sub>)

出力バッファの消費電力は、直流負荷の場合（抵抗性の負荷、接続先が TTL デバイスの場合など）と、交流負荷の場合（容量性の負荷、接続先が CMOS デバイスの場合など）で異なります。

直流消費電力を P<sub>DC</sub>、交流消費電力を P<sub>AC</sub> とすると、求める出力バッファの消費電力 P<sub>o</sub> は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

#### (1) 交流消費電力 (P<sub>AC</sub>)

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_L \times (V_{DD})^2\}$$

f<sub>i</sub> : 出力バッファの動作周波数 [Hz]

C<sub>L</sub> : 出力負荷容量 [F]

V<sub>DD</sub> : 電源電圧 [V]

#### (2) 直流消費電力 (P<sub>DC</sub>)

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD}^* - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、P<sub>DCH</sub> と P<sub>DCL</sub> の日は出力信号の Duty 比で決まります。

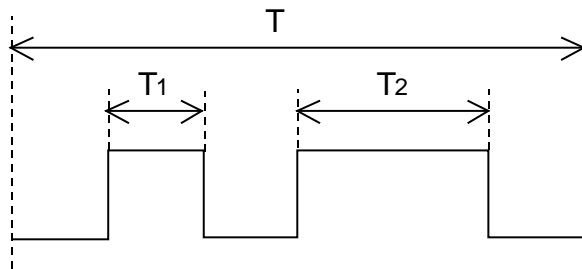


図 10-3 Duty Cycle の例

図 10-3 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、（2 電源の場合は HV<sub>DD</sub> あるいは LV<sub>DD</sub>）

$$P_{DC} = P_{DCH} + P_{DCL} = \sum_{i=1}^K \{ (V_{DD}^* - V_{OHi}) \times |I_{OHi}| \times \text{Duty H} \} + \sum_{i=1}^K [V_{OLi} \times I_{OLi} \times \text{Duty L}]$$

## 10.2.4 消費電力制限

消費電力の量により IC のチップ温度 ( $T_j$ ) は変化し、IC の特性に影響します。そのため IC を使用する条件で消費電力を求め、チップ温度 ( $T_j$ ) が  $-40\sim 125$  [ $^{\circ}\text{C}$ ] の範囲になることをご確認ください。(\*1)

チップ温度 ( $T_j$ ) は、消費電力 (PD)、周囲温度 ( $T_a$ )、パッケージの熱抵抗 ( $\theta_{j-a}$ ) から以下の式で求めることができます。

$$\text{チップ温度}(T_j) = T_a + (PD \times \theta_{j-a}) \quad [^{\circ}\text{C}]$$

パッケージの熱抵抗値は、以下 Web “LSI チップ温度について” を参照ください。

Web : [www.epson.jp/prod/semicon/products/asic/package\\_list.htm#ac06](http://www.epson.jp/prod/semicon/products/asic/package_list.htm#ac06)

- (\*1) 一般的に IC の仕様は周囲温度 ( $T_a$ ) で規定されますが、本シリーズでは  
周囲温度 ( $T_a$ ) =  $-40\sim 85$  [ $^{\circ}\text{C}$ ] を推奨周囲温度とした  
チップ温度 ( $T_j$ ) =  $-40\sim 125$  [ $^{\circ}\text{C}$ ] で特性の保証をしています。



# 付録

## A1. シミュレーション結果例

### A1.1 シミュレーション結果と期待値とのコンペアファイル例

```

# APF file comparison program (apfcomp)
# version 2.70 Copyright (c) 1995-2003. SEIKO EPSON CORPORATION
# EXPECT      : samp.apf          ← 比較する期待値ファイル名
# COMPARE     : samp.sammax       ← 比較するAPFファイル名
# RESULT      : samp.expmax       ← 比較結果ファイル
# RUN DATE    : Wed Feb 13 15:03:14 2008 ← プログラム実行 日付/時間
# DON'T CARE  :                   ← オプション-noxcareが指定された場合'X'、-nodotcareが指定され
# た場合
# IGNORE RZ   : NO                ← オプション-norzcareが指定された場合 YES
#
$DESIGN sample

$RATE 100000
$STROBE 98000
$RESOLUTION 0.001ns

$IIOCNT
I_14.E EO DATA3
I_15.E EO DATA2
I_16.E EO DATA1
$ENDIIOCNT

$NODE
SEL I 0
CK N 0 50000
RESET I 0
DATA1 BU 0
DATA2 BU 0
DATA3 BU 0
$ENDNODE
# Compared .....

$PATTERN
# SCRDDD
# EKEAAA
# L STTT
# EAAA
# T123
#
# INIBBB
# UUU
#
# 3 ONOLLL
#Mismatch H ← ミスマッチ行およびミスマッチの値
# 10 ON1LLH ← ミスマッチ行およびミスマッチの値
#Mismatch HX ← ミスマッチ行およびミスマッチの値
# 12 ON1LHL ← ミスマッチ行およびミスマッチの値
#Mismatch H ?
$ENDPATTERN

# 3 Mismatch lines found. 93.2% Matched ← パターン中の一致しなかった行数、および割合
# End event of EXPECT file = 43 ← 期待値ファイルの最終イベント
# End event of COMPARE file = 43 ← APFファイルの最終イベント
# MISMATCH SIGNAL Actual / Total number of mismatches at each node.
# * Actual = Total number of mismatches at each node minus (-) number of "?".
# << DATA1 >> COUNT = 3/3 ← 一致しなかった信号名とミスマッチ件数
# << DATA2 >> COUNT = 1/1 ← COUNT = ?を除いたミスマッチ数/ミスマッチ数
# << DATA3 >> COUNT = 0/1

```

コンペアファイルにミスマッチがある場合、以下の原因が考えられます。

- (1) フリップフロップのタイミング・エラー  
セットアップタイムやホールドタイムの制約を超えていると、タイミング・エラーリストに現れないことに注意して下さい。
- (2) 出力遅延によるストロブ・ポイント超え  
1つの出力端子からの出力結果が、出力期待値より常に1サイクル分遅れて変化しているように見えるときに考えられます。L出力のみ、またはH出力のみ遅れている場合もあります。
- (3) 出力最終段の組み合わせ回路のハザード  
組み合わせ回路で生じたハザード（ヒゲパルス）が外部に出る場合があります。タイミング・エラーリストのNARROWレポートで確認できます。これを回避するためには、組み合わせ回路からの信号を一度フリップフロップで受けたものを出力するようにして下さい。
- (4) 不定値(X)の伝播  
初期化前のRAM、フリップフロップの出力は不定です。  
クロックライン上に組み合わせ回路がある場合、入力同時変化で生じたハザードがフリップフロップのクロック端子に入力されると、そのフリップフロップの出力は不定になります。  
また、PowerCompiler等でクロック・ゲーティング用の複合セル（例えば、CLPSAD2X4）を挿入した場合、イネーブル端子に不定が入力されていると、出力クロックが不定になります。

## A1.2 タイミング・エラーリスト

シミュレーション中にタイミングエラーが発生した場合、図 A1-1 のようなリスト(\*.errmax, \*.errmin)が出力されます。ここでは、そのタイミング・エラーリストの見方について、図 A1-2 を交えて説明いたします。

```

*
*OUTPUT NAME VALUE OFFSET/EVENT NUMBER
**-----
I=top. ffreq1_reg(a) (D ->posedge C &&& (VM6 != 0)(b) ==SETUP TIME ERROR(c) ... SPEC =325(d) )
323(e) 471(f) / 3 35 120 185(g)
**-----SUB_TOT 4(h)
I=top. ffreq5_reg (posedge C ->D ==HOLD TIME ERROR ... SPEC =106 )
93 474/ 3
**-----SUB_TOT 1
I=top. sub1. flag_a_0 (negedge R ->posedge C &&&(D !=0) ==SETUP TIME ERROR ... SPEC =334 )
320 482/ 3 276
309 482/ 405
309 419/ 797 961 1221 1477 1649 3017
309 447/ 2722
**-----SUB_TOT 10
*-----TOTAL 15(i)

```

図 A1-1 : タイミングエラー・リストの例

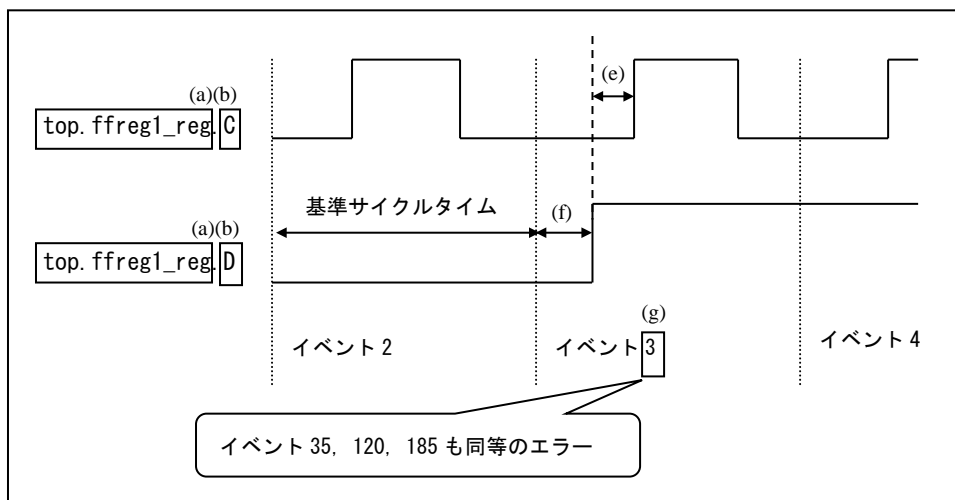


図 A1-2 : 波形でのイメージ

## (a) タイミング・エラー発生インスタンス名

タイミング・エラーが発生しているインスタンス名をフルパスで表しています。

上記例の場合、FFである「top.ffreg1\_reg」がエラー発生のインスタンス名です。インスタンス名から、タイミング・エラーが問題となる箇所かどうかを判断して下さい。なお、論理合成時にインスタンス名が変わることがあります。

## (b) タイミング・エラー検出条件

タイミング・エラーが発生する際の具体的な条件です。

「A →B&&&(C)」と表示されている場合、「条件Cにおいて、Aが変化した後にBが変化すること」を表します。

上記例の場合、「フラグVM6が0以外の状態において、D端子の信号が変化した後に、C端子に立上り信号が入る」という条件を示しています。「VM\*」はセル（この場合はFF）のシミュレーションモデル内における、タイミング・エラー検出フラグを表しています。条件文が「VM\*」となっている場合は無視して下さい。この例では、D端子とC端子の関係にのみ注目して確認して下さい。

また、「NARROW\*」が表示されている場合は、下記(c)の「MINIMUM PULSE WIDTH」以下をご参照して下さい。

## (c) タイミング制約種別

エラーとなった、タイミング制約の種別です。

主な制約として、以下のものがあります。

SETUP TIME            . . . セットアップ・タイム制約

HOLD TIME             . . . ホールド・タイム制約

MINIMUM PULSE WIDTH . . . 最小パルス幅制約

(b) 部に「NARROW\*」が表示されていることがあります。これは、シミュレーションの結果を、サンプリングしたデータ (apf) にてご確認いただく場合、出力波形の詳細確認が困難であることから、レート（基準サイクルタイム）の75%以下の長さであるパルスを報告しているものです。「NARROW\*」が表示されている場合、このエラーを必ずしも改善する必要はありません。回路仕様上、問題が無いかをご確認下さい。

## (d) タイミング・エラー検出規格（単位:ps）

エラーが発生しない最小の値です。

上記例の場合、SETUPエラーを発生させないためには、「D」の変化から「posedge C」まで、325ps以上の間隔を空ける必要があります。

## (e) 実際のタイミング値（単位:ps）

上記例の場合、SETUP制約に2ps(=325ps-323ps)不足していたこととなります。

(f) タイミング・エラー発生オフセット（単位：ps）

イベント開始から、エラー発生までの時間です。

上記例の場合、イベント開始から471ps後にタイミング・エラーが発生したことを示します。

(g) タイミング・エラー発生イベント（サイクル）番号

タイミング・エラーが発生しているイベント番号を列挙しています。図7-1の場合、3、35、120、185、の各イベントでエラーが発生しています。シミュレーション結果と合わせて、回路仕様上問題が無いかをご確認下さい。

(h) タイミング・エラー小計

インスタンス名、エラー検出条件、タイミング制約が同値であるタイミング・エラーの個数です。

(i) タイミング・エラー合計

タイミング・エラーの総数です。

## A2. テスト回路挿入

### A2.1 スキャン (SCAN) 回路挿入

お客様にてスキャン回路挿入もしくは、ATPG を実施される場合、以下設計ルールを考慮いただくようお願いいたします。

#### (1) スキャン外部端子

スキャン回路挿入する場合は、次に示す外部端子が必要となります。

##### ① ATPG イネーブル入力端子 (ATPGEN) 【専用端子】

ATPG の走行モードをアクティブにする外部入力端子です。状態を固定しておかなければならないデザインが存在する場合や、内部論理が不安定になるブロック (シミュレーション時にブラックボックスとなるブロックを含む)、機能マクロ、および RAM セルの出力は、この端子で値を固定 (確定) させる必要があります。

##### ② スキャンイネーブル入力端子 (SCANEN) 【専用端子】

通常のデータパス (パラレル動作) とスキャンパス (シフト動作) を切り替える外部入力専用端子です。通常機能やその他のモード機能との共用はできません。外部専用端子として入力セルと外部端子をデザイン内に準備して下さい。内部の接続はセイコーエプソンにて行います。

##### ③ スキャンクロック入力端子 【通常クロックと同一、もしくは専用端子】

ATPG により生成されたテストパターンにおけるクロック入力端子です。セイコーエプソンでは、スキャンセルは MUX スキャンタイプを採用しておりますので、通常時に使用されるシステムクロックと同一である事が一般的ですが、内部生成クロックが存在する場合には、スキャン専用クロック端子が必要となる場合があります。詳しくは、「同章の (2) クロックの設計」を参照して下さい。

##### ④ スキャンデータ入力端子 【共用可能】

スキャン設計により置換されたスキャンレジスタにデータをセットするための外部入力端子です。スキャンレジスタの数に応じて複数本必要となります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備して下さい。また、スキャンデータ出力端子と同数必要です。

この端子は通常時に使用する外部入力端子との共用が可能です。ただし、クロック端子、非同期セット/リセット端子、アナログ信号入力端子は使用できません。また、共用する事でそのネットの Fan-Out が増加します。クリティカルパスへの共用は避けて下さい。

スキャンデータ入力端子は、スキャン設計作業時に弊社にて接続を行います。接続可能な外部入力端子名をご指定下さい。ご指定のない場合は弊社担当者が割り当てを行います。

##### ⑤ スキャンデータ出力端子 【共用可能】

スキャン設計により置換されたスキャンレジスタから観測データを出力するための外部出力端子です。スキャンレジスタの数に応じて複数本必要になります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備して下さい。また、スキャンデータ入力端子と同数必要です。

この端子は通常時に使用する外部出力端子との共用が可能です。(2-state タイプの出力端子を推奨します)。ただし、アナログ信号出力端子は使用できません。また、共用する事でそのネットのセル段数が増加します。クリティカルパスへの共用は避けて下さい。スキャンデータ出力端子は、スキャ

ン化作業時にセイコーエプソンにて接続を行います。接続可能な外部出力端子名をご指定下さい。ご指定のない場合は弊社設計担当者が割り当てを行います。

(1) クロックの設計

スキャン化を行うためにはクロック設計が非常に重要です。クロック設計が複雑であると故障検出率の低下を招くだけでなく生成したテストパターンが不安定になり、スキャン/ATPG 本来の目的が達成されませんので、同期回路を基本とします。次に示すルールにしたがった設計を行って下さい。

① 外部から直接制御可能な構造にする【必須】

スキャンクロックは外部入力端子からクロック波形が崩れることなくレジスタに到達しなければなりません。通常動作時に内部生成クロックが存在しても構いませんが、ATPG を走行するモードでは、論理的に内部生成クロックが存在しないような構造が必要です。図 A2-1～A2-4 に例を示します。

7) 理想的なクロック

図 A2-1 は、理想的なクロック設計の例です。このように設計初期より、すべてのレジスタが外部入力端子から供給されるように設計されていると、CTS (Clock Tree Synthesis) の処理を施すのみでスキャン設計のためのクロックライン修正は必要がありません。クロックラインの修正は回路全体のタイミングに影響することから、設計当初からスキャン設計を意識することが重要です。

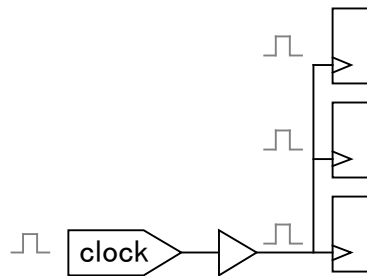


図 A2-1 理想的なクロック

イ) 内部生成クロックの処理 1

内部生成クロックが使用されている場合は、図 A2-2 のようにクロック生成部分をバイパスする回路を設け、かつ、ATPG 走行モードに対して CTS 処理を施すデザインを追加して下さい。ただし、この処理ではクロックラインに MUX セルが追加されますので、他システムのクロックとのタイミング調整に支障が出る場合があります。採用には注意が必要です。

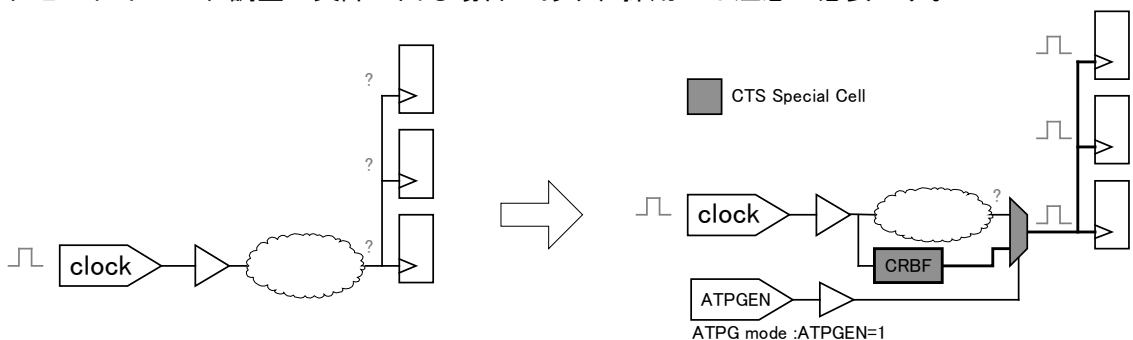


図 A2-2 内部生成クロックの処理

### ウ) 内部生成クロックの処理 2 (クロックゲーティングの処置)

内部生成クロックにおいて、クロックライン上にセルを追加しないためには、クロック信号をゲートしているイネーブルライン側をコントロールする方法があります。

図 A2-3 は、その例です。この方法を採用すると、図 A2-4 のように MUX をクロックライン上に配置する必要がなくなり、比較的クロックスキューの小さなデザインが構築できる有効な手段です。

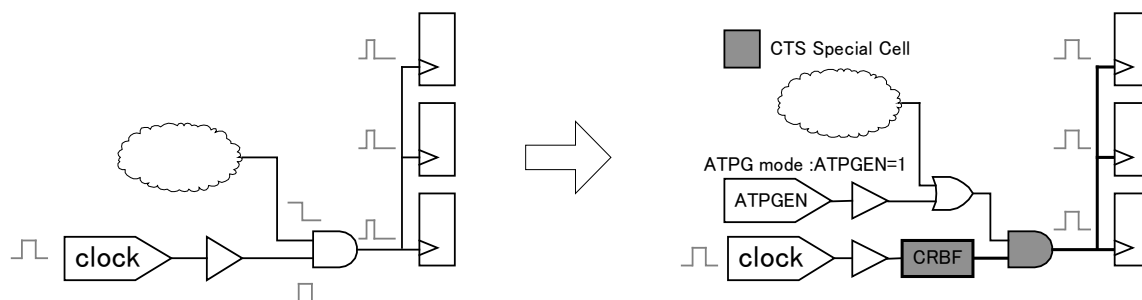


図 A2-3 クロックゲーティングの処置

### エ) 複数クロックグループの関連

内部生成クロックを含め、複数のクロックを持つデザインでは、それらの関係により処置方法が限定される場合があります。異なるクロックを使用するブロック間に物理的に接続関係がない場合には問題ありませんが、もしデザイン仕様上、フォールスパス（物理的な結線はあるが通常動作時には論理的に通信がない場合、もしくは論理合成時にタイミングを考慮していない場合）や、マルチサイクルパス（非同期通信として数回のラッチミスを許容した仕様の場合）としている場合には、十分注意が必要です。

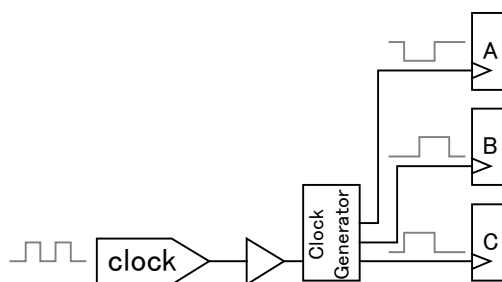


図 A2-4 (a) 複数の内部生成クロックを持つ例



図 A3-4 (b) は、ブロック A、B、C 間に物理的な結線が存在しない場合の対策例です。物理的な結線が存在しないので、クロックを一括で処理しても各グループでのスキューを CTS で解決すれば ATPG 走行時のタイミングは安定します。

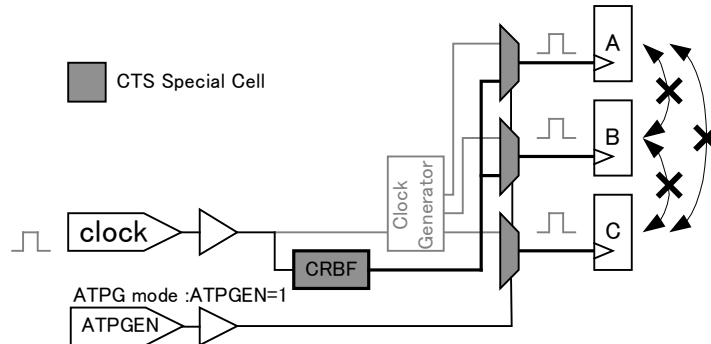


図 A2-4 (b) 複数の内部生成クロック対策例 1  
(ブロック同士の結線が存在しない場合)

\* この例では、3つのクロックを一括に CTS 対策を施す事でスキャンチェーン構築を効率的に行うことを想定した方法です。

しかし、物理的な接続がある場合は、たとえ仕様上問題がないとしても ATPG のためには対策が必要です。図 A3-4 (c) はその場合の処置例です。ATPG はランダムにパターンを発生させるため、仕様上ありえないフォルスパスを経由する動作も引き起こします。この場合、A、B、C間のデータパスに関するタイミングは保証できません。そこで、内部生成クロックごとにタイミングを制御できるよう、これらクロックを各々外部にバイパスさせます。また、これらのバイパスクロック端子は専用端子とすることを推奨します。どうしても共通端子とする場合には、その共通端子から入力されるクロック信号がレジスタ以外に伝播しないようゲートしなければなりません(図 A3-4 (d) 参照)。また、この時そのネットの値は固定されるので故障検出率は低下します。

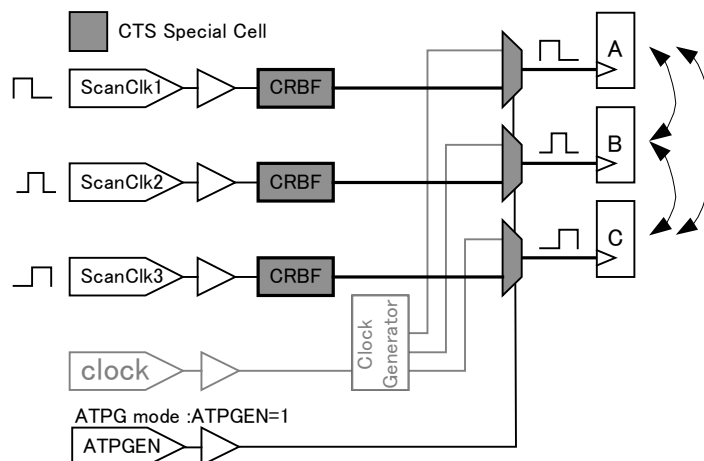


図 A2-4 (c) 複数の内部生成クロック対策例 2  
(ブロック同士の結線が存在する場合)

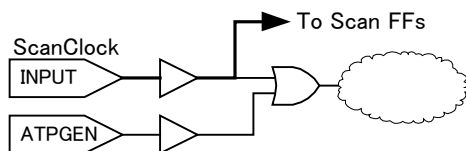


図 A2-4 (d) 共通端子によるスキャンクロック処理例

② クロックの本数はできるだけ少なく【推奨】

上記のようにクロックが複数存在すると、デザインの変更/追加やタイミングの再検証項目の増加など、お客様の作業が増加します。また、テストパターン長の増加や故障検出率低下の要因となります。できる限りクロック系統を削減したデザインを構築しておくことで、より一層効率的になります。

③ Rise エッジと Fall エッジの混在はできるだけ少なく【推奨】

各クロックにおいて、Rise/Fall 両エッジを使用していると、スキャン作業、ATPG 走行が非効率的になる場合があります。場合によっては検出率の低下を招きます。スキャンクロックはできるだけ片エッジのみを使用して設計することを推奨します。

④ スキャンクロック信号とデータ信号は完全に分離する【推奨】

スキャンクロック信号とデータ信号は完全に分離して下さい。スキャンクロック信号がデータラインに影響を及ぼす場合、クロック信号とデータ信号が別々にコントロールできないため故障が検出できません。

(2) レジスタの非同期セット/リセット信号【必須】

FF およびトランスペアレントラッチセルの非同期セット/リセットは、すべて外部から直接制御されるような回路を推奨します。もし、デザイン内部で生成された信号を用いる場合は、次の点を考慮して下さい。

① 少なくともスキャンイネーブル中はアクティブにならない。

② 内部生成された非同期セット/リセット信号を用いる場合、ミニマムパルスが発生しないよう FF の出力から組み合わせ論理を介さず直接使用する。もし組み合わせ論理を介した信号を使用する場合は、グレイコードを用いる等の対策をする。

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

(4) トランスペアレントラッチの取り扱い【推奨】

トランスペアレントラッチはスキャンセルへの置換は行いません。故障検出率向上には非効率的なためできるだけ使用しないようにして下さい。

使用する場合には、次の点を考慮して下さい。

① クロック信号は「b. クロックの設計」に準じたクロック対策を実施する。

② 同一クロックラインに接続されている他のレジスタと OffState のレベルを一致させる。

例: FF が Rise 動作 (ReturnToZero) の場合、“LOW” レベルでスルー。FF が Fall 動作 (ReturnToOne) の場合、“HIGH” レベルでスルーになるようにします。

ただし、スキヤクロックが両エッジ使用されていたり複数存在する場合は、デザイン構成によって改善されない場合があります。この場合、次の対策を施して下さい。

③ 前述 2 点が考慮できない場合は、ATPG を走行するモードではスルー状態に固定する。この時フィードバックループが発生しないよう注意する。

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

#### (5) 使用できないセルやデザイン【必須】

スキヤク設計では、次のセルの使用を禁止します。

<使用禁止セル>

- RS ラッチセル
- 非同期セット／リセット両機能を持つ FF
- マルチビット FF セル
- スキヤクタイプ FF

<使用禁止回路>

- コンビネーションルフィードバックループ（外部双方向端子を経由するものを含む）
- 微分回路（パルスジェネレータ）
- 自己リセット回路
- 順序制御による ATPG モード（ATPG イネーブル入力端子で制御して下さい。）

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

#### (6) 内部バス【推奨】

内部 3-state セルを用いたバス回路は使用せず、セレクトラ論理で設計することをお勧めします。使用する場合には、ATPG の走行モードでは、切り替えが行われないう 1 ラインのみがアクティブになるように固定して下さい。（使用した場合、バス回路は値が固定されるため故障検出率が低下します。）

#### (7) 各種コントロール付き外部セル【必須】

S1L5V000 シリーズの外部入力セル、および外部双方向セルには、各種のコントロール端子を持つタイプが存在します。これらの端子は、ATPG イネーブル入力端子を用いて固定する必要があります。下記にしたがい処理を行って下さい。

- ゲーティング信号（C 端子）

ATPG イネーブル入力端子（ATPGEN）を用いてスルー状態に固定して下さい。（ATPGEN=Active 時、C=1）

## A2.2 バウンダリスキャン (JTAG) 回路挿入

お客様にて JTAG 回路挿入する場合、以下の設計ルールを考慮いただくようお願いします。

### (1) DC テスト・AC テスト容易回路との共存禁止

セイコーエプソン推奨のテスト容易回路との共存はできません。バウンダリスキャンに対応する場合には、推奨 DC テスト・AC テスト回路の挿入はできません。

外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- 使用可能なキャラクタは、英数字 (a~z、A~Z、0~9) と “\_” (アンダスコア) のみ。
- 大文字と小文字の区別はされない。(CLK と clk は同一と見なされます)
- 先頭文字は英字にする。(悪い例 OCLK、\_CLK)
- アンダスコアは続けて使用しない。(悪い例 SYS\_\_CLK)
- 文字列がアンダスコアで終了しない。(悪い例 CLK\_)

### (2) 専用外部端子の準備

バウンダリスキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行って下さい。

#### ● クロック (TCK)

バウンダリスキャン回路用のクロック用端子。入力セルを用意し、その出力ポートは、どこにも接続しない。

#### ● モードセレクト (TMS)

バウンダリスキャン回路用のモードセレクト用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

#### ● データ入力 (TDI)

バウンダリスキャン回路用のスキャンデータ入力端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

#### ● データ出力 (TDO)

バウンダリスキャン回路用のスキャンデータ出力端子。3-state 出力セルを使用し、その出力ポートは、プルダウンしておく。

#### ● リセット (TRST)

バウンダリスキャン回路用の非同期リセット用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

```

IBC U1 (.PAD(TCK)); // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS)); // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO), .A(1'b0), .E(1'b0)); // TB1: 3-state 出力セル

```

図 A2-5 専用端子記述の例 (Verilog 記述)

## 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成として下さい。また、バウンダリスキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置して下さい。
- その他の論理は、できるだけ一階層下のサブブロックに納めて下さい。

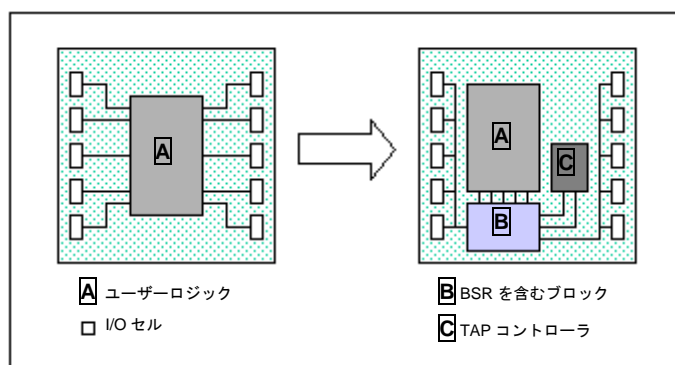


図 A2-6 階層ブロック構成イメージ

## (3) I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O セル
- Gated 入力セル
- オープンドレイン出力セル

## (4) アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリスキャンセルを挿入しません。

## (5) マルチボンディング、マルチパッド

マルチボンディング、マルチパッドを使用した場合は対応できません。

## A2.3 機能セルテスト回路挿入

### (1) お客様にて機能セルテスト回路挿入時の注意

お客様にて機能セルのテスト回路の設計される場合には、以下の点に注意して下さい。

- ① 各々の機能セルが、ユーザー回路と分離でき、ブロックごとに測定できるようにテスト回路を追加して機能セルの端子を外部端子に出して下さい。
- ② 機能セルの入力を  $V_{SS}$  や  $V_{DD}$  に固定する場合でも、テスト回路を設けてテスト入力ができるようにして下さい。
- ③ 機能セルの出力端子を使用しない場合でも、テスト回路を設けて、機能セルの全出力を外部端子から観測できるようにして下さい。
- ④ 機能セルの複数の出力端子または入力端子をまとめて一つのテスト兼用端子として使用しないで下さい。
- ⑤ 機能セルをテストするためのテスト回路に順序回路を使用しないで下さい。
- ⑥ テスト入力端子からの入力信号を反転させて機能セルに入力しないで下さい。同様に、機能セルの出力信号を、反転させてテスト出力端子に出力しないで下さい。
- ⑦ 機能セルの入力端子、および出力端子が直接 IC の端子として出されている場合、テスト回路を設ける必要はありません。

### (2) お客様にてテスト回路挿入時のテストパターン

テストパターンは大きく分けて 3 種類あります。

- ① ユーザー回路のみをテストするテストパターン
- ② 回路全体をテストするテストパターン
- ③ 機能セルのみをテストするテストパターン

お客様に作成していただくテストパターンは、1、2 項目のテストパターンです。3 項目のテストパターンは、作成する必要はありません。弊社作成機能セルを使用する場合は弊社作成の既存のテストパターンを使用します。

### (3) テスト回路情報

シミュレーション時および出荷検査時に機能セルをテストするために必要となりますので、テスト回路について次の情報を提出して下さい。

- ① テストモードにおいて機能セルの端子が IC のどの端子に接続されているかを明記して下さい。
- ② 一つのテスト端子に複数の機能セルがテストできるようにテスト回路が構成されている場合、テストモードと、選択される機能セル名との対応付けを明記して下さい。
- ③ 特に同じ機能セルを複数使用した場合、図面上の機能セル名に通し番号を付け、どの機能セルのテスト端子かを明記して下さい。
- ④ テストモードへの切り替え方法を明記して下さい。

## A3. DC・AC テストパターン

### A3.1 DC テストパターン

DC テスト回路をお客様にて作成される場合、以下のテスト項目を考慮いただくようお願いいたします。

DC テストは IC の DC パラメータを検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロープ以後状態が変化してはいけません。

測定する DC パラメータは以下の項目です。

(1) 出力特性テスト ( $V_{OH}$ 、 $V_{OL}$ )

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを無限に延ばしても変化がないようなものでなければなりません。

(2) 静的消費電流テスト ( $I_{DDs}$ )

静的消費電流とは、入力が定常状態にあるときの IC の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないような状態で測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- (a) 入力端子がすべて定常状態であること。
- (b) 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- (c) 回路の中で発振等、動作部分がないこと。
- (d) 内部 3-state バッファ（内部バス）がフローティングまたはコンテンツンしていないこと。
- (e) RAM 等、機能セルが電流の流れる状態になっていないこと。
- (f) プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- (g) プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。
- (h) プルダウン抵抗付き双方向端子が入力状態であるかまたは“LOW”レベルを出力していること。

(3) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ／プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に  $V_{DD}$  レベルまたは  $V_{SS}$  レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 $V_{DD}$ レベル（“HIGH”レベル）を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、ICが意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで $V_{DD}$ レベルを印加するテストを行い、“LOW”が印加されているイベントで $V_{SS}$ レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

入力電流テストはさらに以下のように分類されます。

(4) 入力リーク電流テスト ( $I_{IH}$ 、 $I_{IL}$ )

プルアップ／プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を  $I_{IH}$  と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を  $I_{IL}$  と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

(5) プルアップ電流テスト ( $I_{PU}$ )

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

(6) プルダウン電流テスト ( $I_{PD}$ )

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

(7) オフステートリーク電流 ( $I_{OZ}$ )

オープンドレインおよび3-state 出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に $V_{DD}$ レベルの電圧を与えたとき、 $V_{SS}$ レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

## A3.2 AC テストパターン

AC テストは、入力端子の変化が起こってからそれが出力端子に伝播するまでの時間を測定します。AC テスト回路をお客様にて作成される場合、AC テストの測定パスはお客様に選択していただきます。



## (1) 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子（変化のあった出力端子）の変化点は一箇所だけである必要があります。（RZ波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません）また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。（Z が関係する変化は測定できません）

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と LSI テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、LSI の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

## (2) AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にして下さい。

## (3) 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30ns 以上かつストロブポイント以下に設定して下さい。

## (4) その他の制約

- ① 発振回路からのパスは、指定しないで下さい。
- ② 内部 3-state の回路（内部バス）を通らないパスを指定して下さい。
- ③ 測定パスの入力バッファから出力バッファの間に他の双方向セルを通るパスを指定しないで下さい。
- ④ 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一して下さい。

## (5) 双方向端子のテストパターン制限

双方向端子はテスタの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回（2 回以上）行うことができません。したがって双方向セルの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をして下さい。

## A4.1 入出力バッファ特性 (HV<sub>DD</sub>=5.0V)

### A4.1.1 出力電流特性 (5.0V±0.5V)

表 A4-1

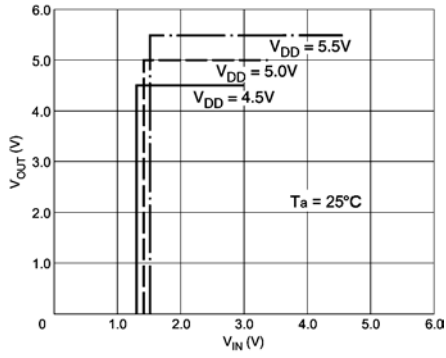
Type 番号	出力電流	
	I <sub>OH</sub> (mA)	I <sub>OL</sub> (mA)
Type S	-0.1	0.1
Type M	-1	1
Type 1	-3	3
Type 2	-8	8
Type 3	-12	12
Type 4	-12	24
PCI	PCI 規格に準ずる	

Type\* の S、M、1～4 の英数字は、出力 Cell 名の × × \* × に記載されている数字を表わします。

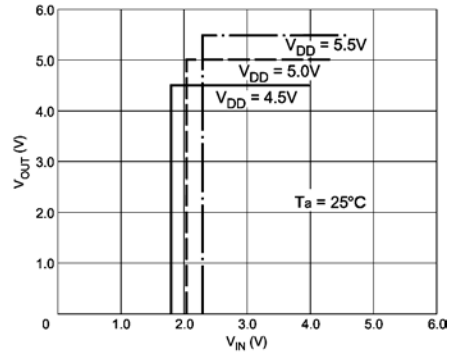
例： XH0B3T → Type3 を表わします。

A4.1.2 入力バッファ特性 (5.0V±0.5V)

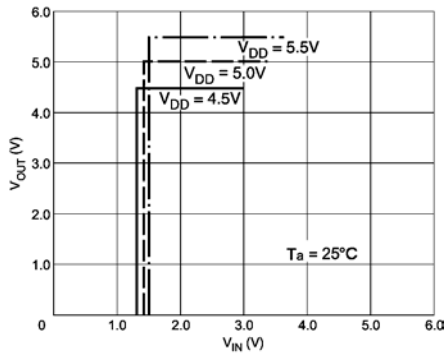
- 標準セル入力バッファ



図A4-1 入力特性 (TTLレベル)

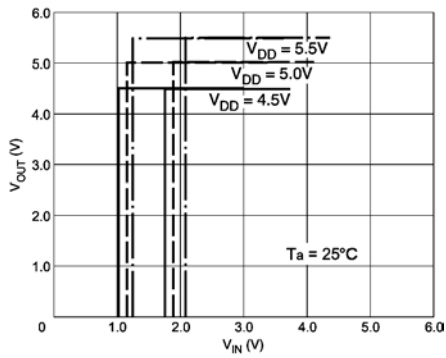


図A4-2 入力特性 (CMOSレベル)

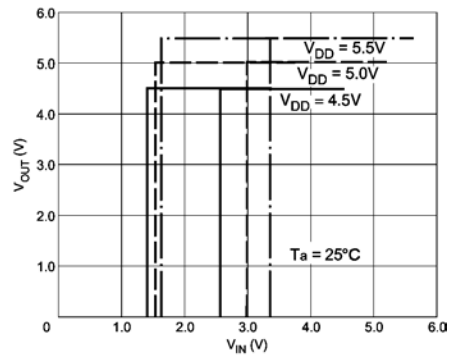


図A4-3 入力特性 (5V PCIレベル)

- シュミットリガーセル入力バッファ



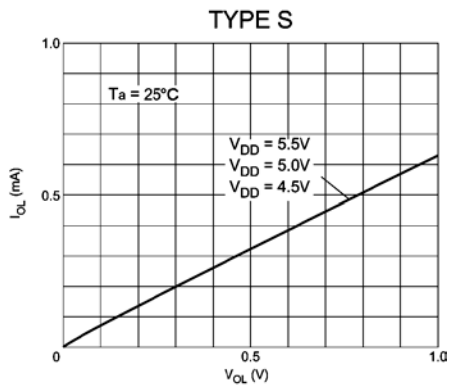
図A4-4 入力特性 (TTLレベル)



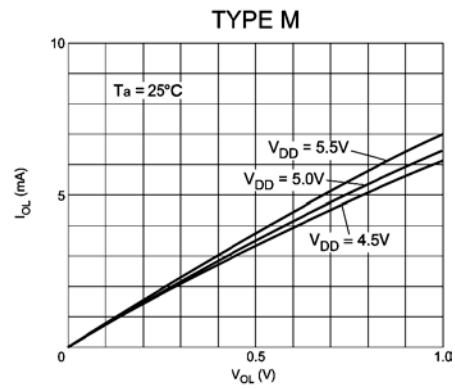
図A4-5 入力特性 (CMOSレベル)

### A4. 1.3 出力ドライバ特性

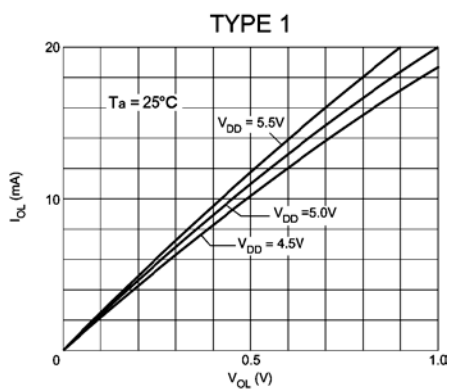
- 低レベル出力電流



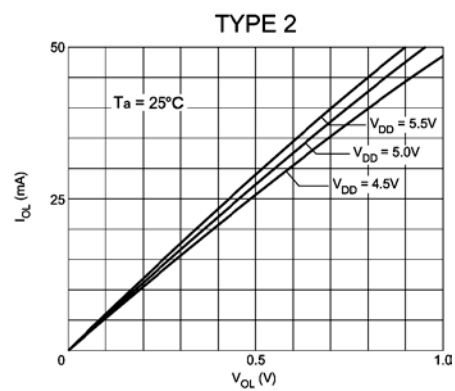
図A4-6



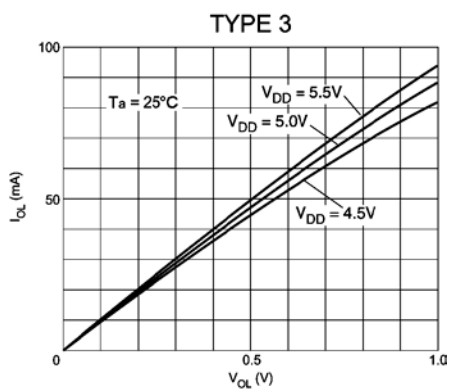
図A4-7



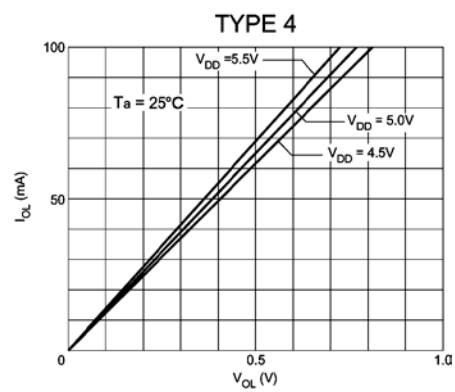
図A4-8



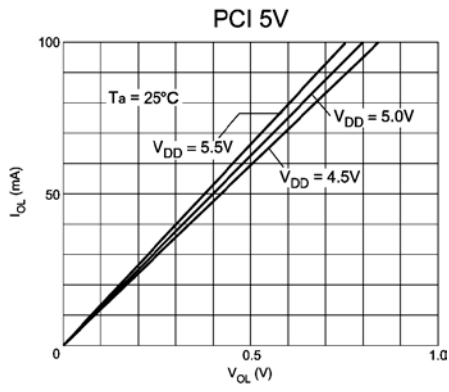
図A4-9



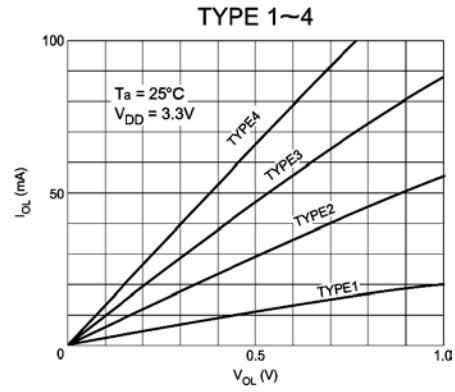
図A4-10



図A4-11

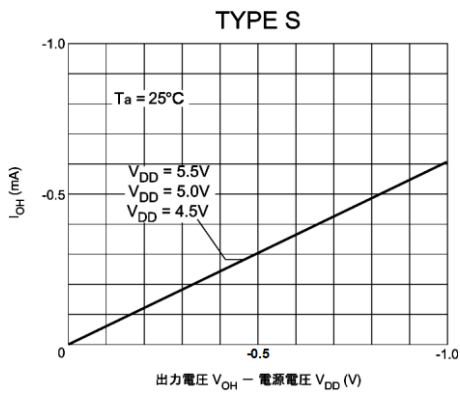


図A4-12

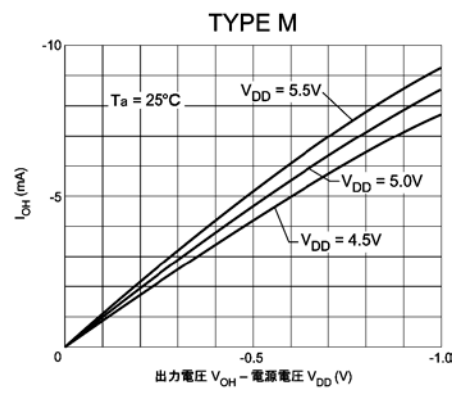


図A4-13

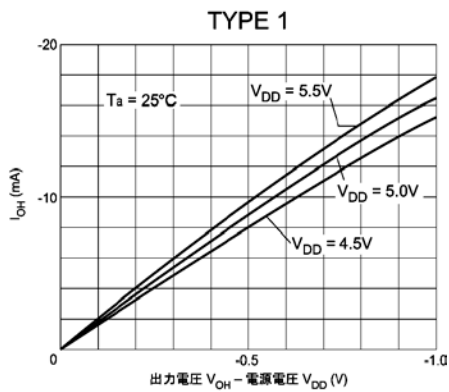
・ 高レベル出力電流



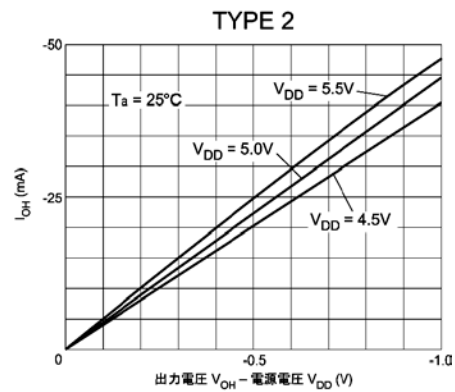
図A4-14



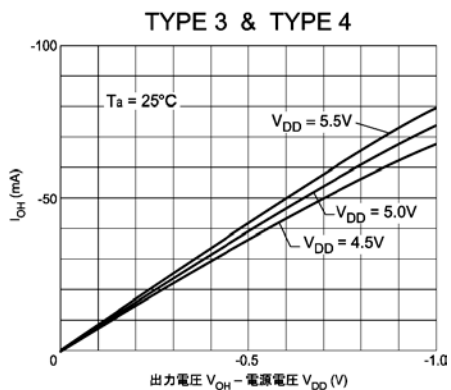
図A4-15



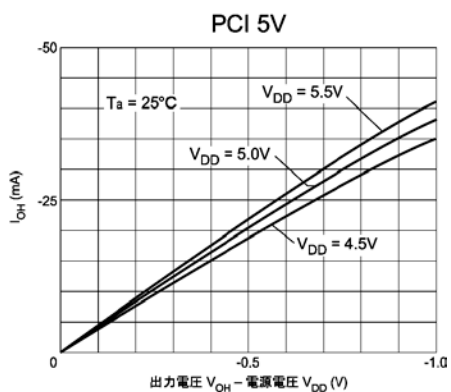
図A4-16



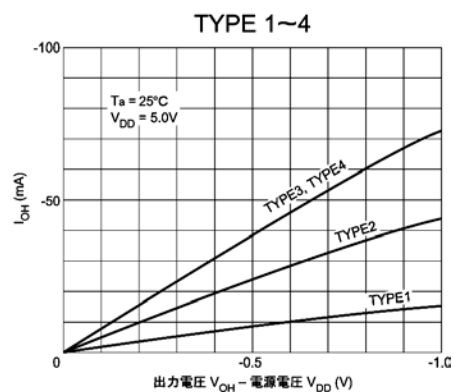
図A4-17



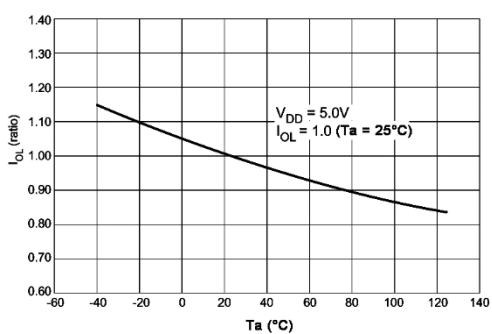
図A4-18



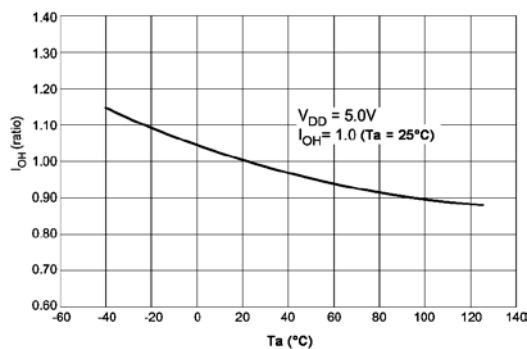
図A4-19



図A4-20



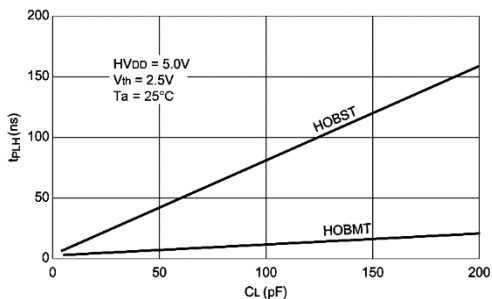
図A4-21 周囲温度 ( $T_a$ ) 対出力電流 ( $I_{OL}$ )



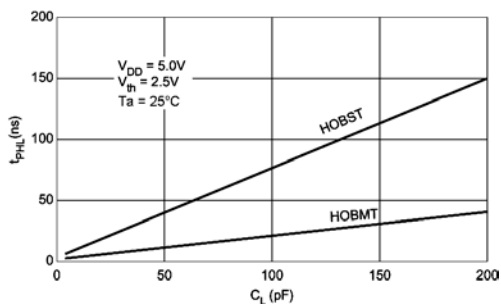
図A4-22 周囲温度 ( $T_a$ ) 対出力電流 ( $I_{OH}$ )

### A4. 1. 4 出力遅延時間対出力負荷容量 (C<sub>L</sub>)

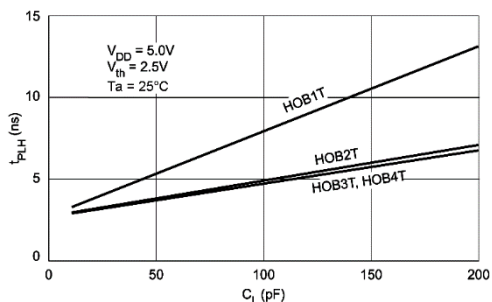
表中に示すセル名称について、S1L50000 シリーズの名称となっています。S1X50000 シリーズとしては、頭文字として“X”を付加した名称となります。



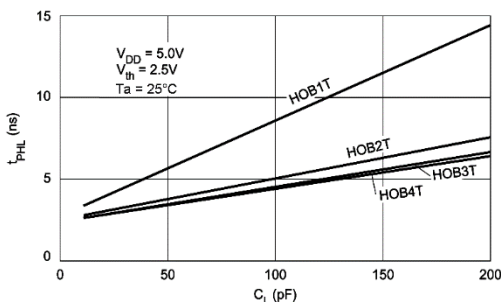
図A4-23 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)



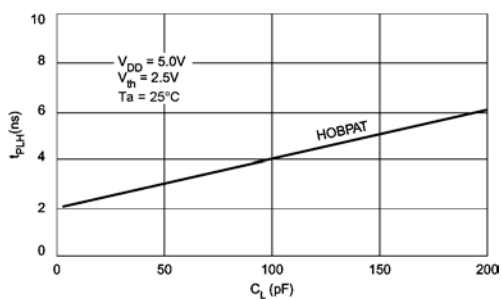
図A4-24 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)



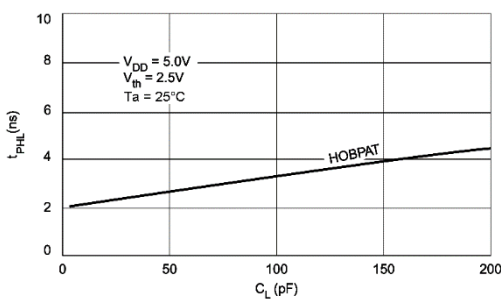
図A4-25 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)



図A4-26 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)



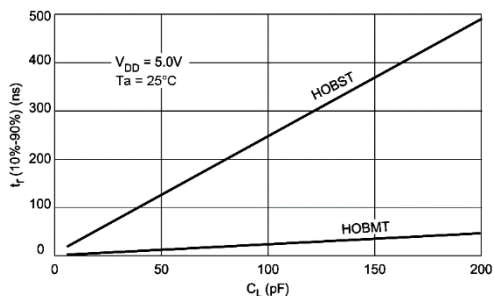
図A4-27 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)



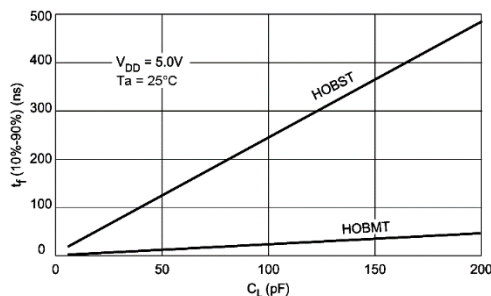
図A4-28 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)

### A4.1.5 出力バッファ立上り／立下り時間対出力負荷容量 ( $C_L$ )

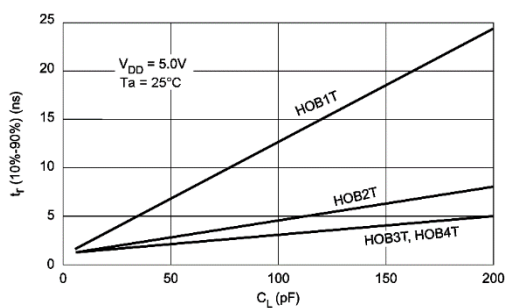
表中に示すセル名称について、S1L50000 シリーズの名称となっています。S1X50000 シリーズとしては、頭文字として“X”を付加した名称となります。



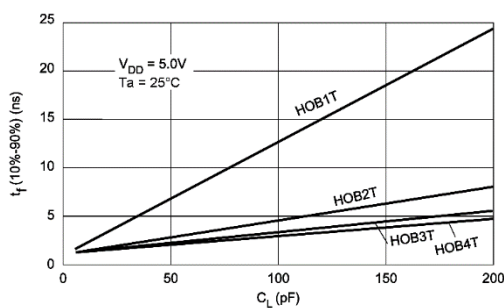
図A4-29 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )



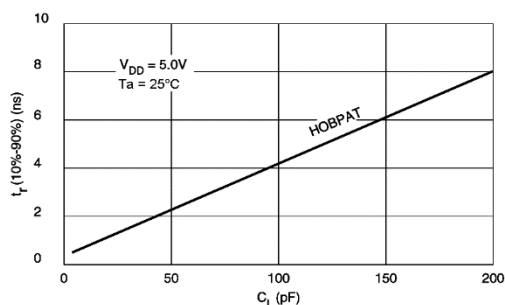
図A4-30 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )



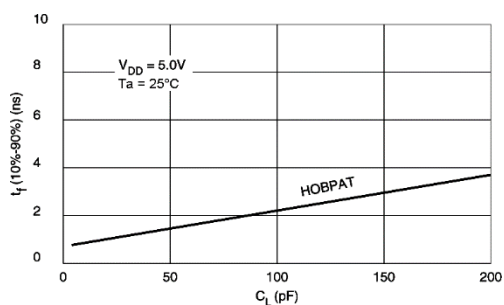
図A4-31 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )



図A4-32 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )



図A4-33 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )

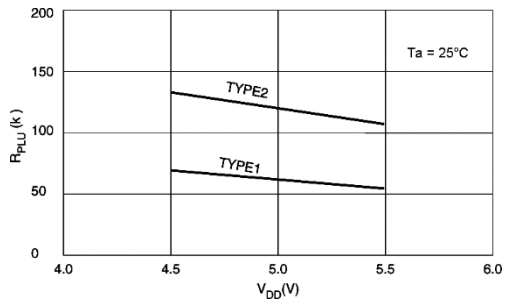


図A4-34 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )

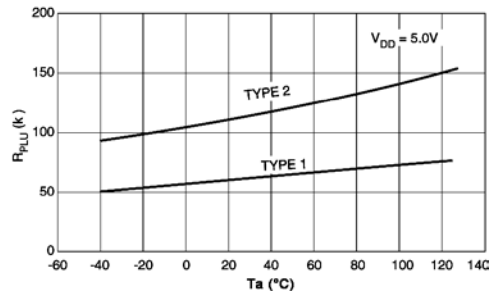


### A4.1.6 PULL-UP、PULL-DOWN 抵抗

● PULL-UP 特性

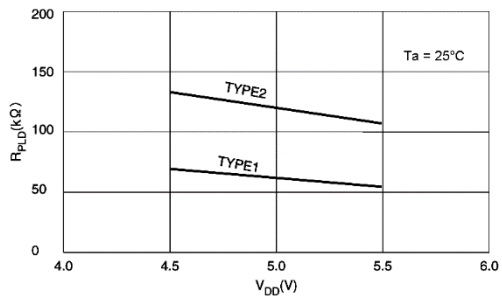


図A4-35 PULL-UP抵抗  $V_{DD}$ 依存性

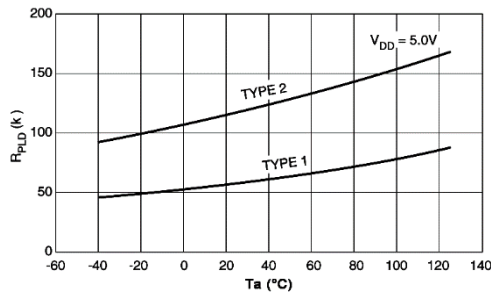


図A4-36 PULL-UP抵抗 周囲温度依存性

● PULL-DOWN 特性



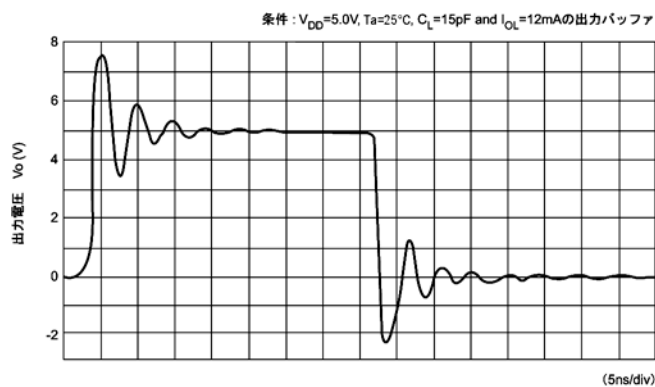
図A4-37 PULL-DOWN抵抗  $V_{DD}$ 依存性



図A4-38 PULL-DOWN抵抗 周囲温度依存性

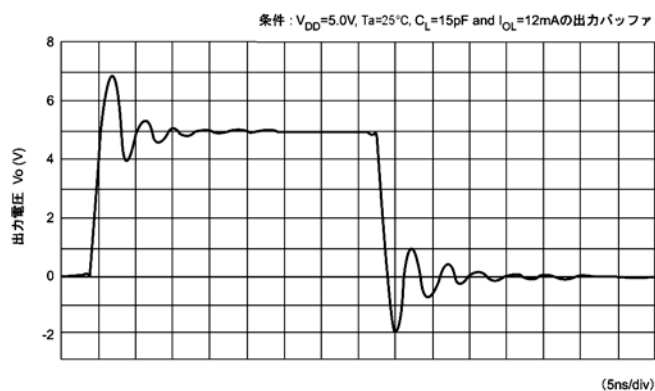
## A4.1.7 出力波形

- High speed Type の出力バッファの出力波形 (XHOB3AT)



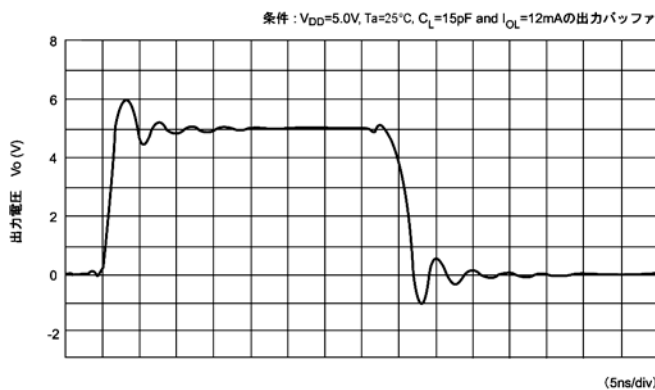
図A4-39

- Normal Type の出力バッファの出力波形 (XHOB3T)



図A4-40

- Low Noise Type の出力バッファの出力波形 (XHOB3BT)



図A4-41

## A4.2 入出力バッファ特性 ( $V_{DD}=3.3V$ )

### A4.2.1 出力電流特性 ( $3.3V \pm 0.3V$ )

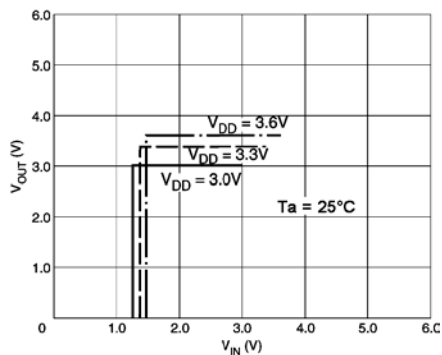
表 A4-2

Type 番号	出力電流	
	$I_{OH}$ (mA)	$I_{OL}$ (mA)
Type S	-0.1	0.1
Type M	-1	1
Type 1	-2	2
Type 2	-6	6
Type 3	-12	12
PCI	PCI 規格に準ずる	

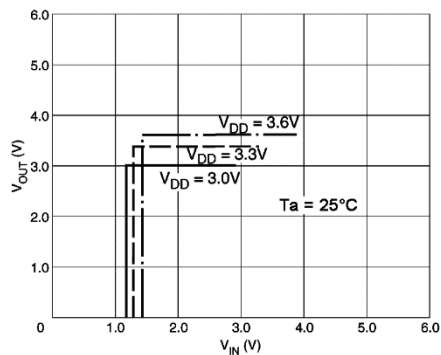
Type \* の S、M、1～4 の英数字は、出力 Cell 名の × × \* × に記載されている数字を表わします。

### A4.2.2 入力バッファ特性 (3.3V±0.3V)

- 標準セルバッファ

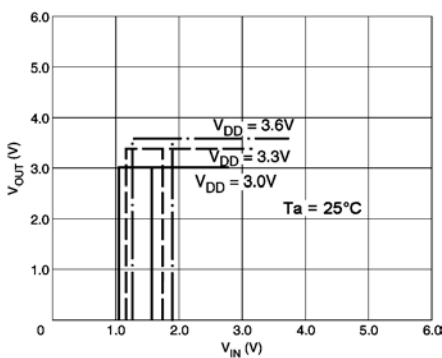


図A4-42 入力特性 (LVTTTLレベル)



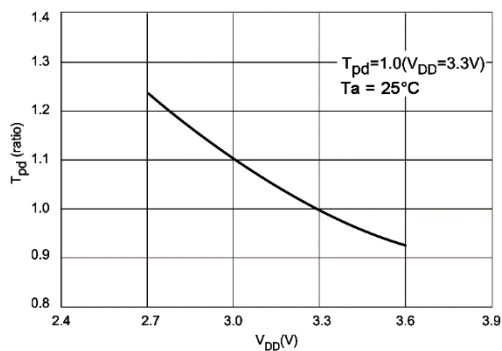
図A4-43 入力特性 (3V PCIレベル)

- シュミットリガーセル入力バッファ

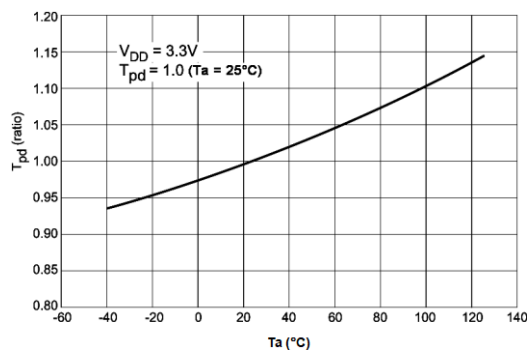


図A4-44 入力特性 (LVTTTLレベル)

### A4.2.3 遅延特性



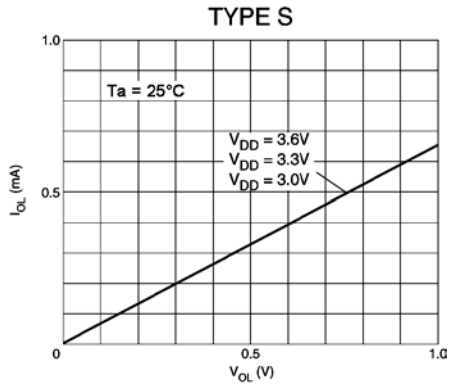
図A4-45 伝播時間 — 電源電圧特性



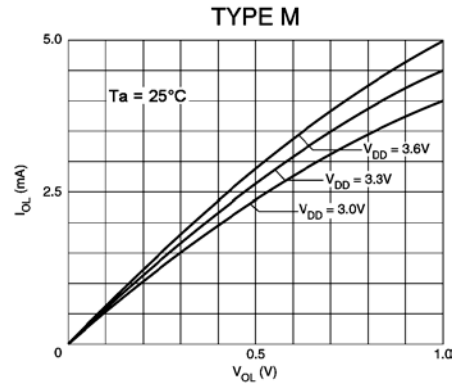
図A4-46 伝播時間 — 周囲温度特性

## A4. 2. 4 出力ドライバ特性

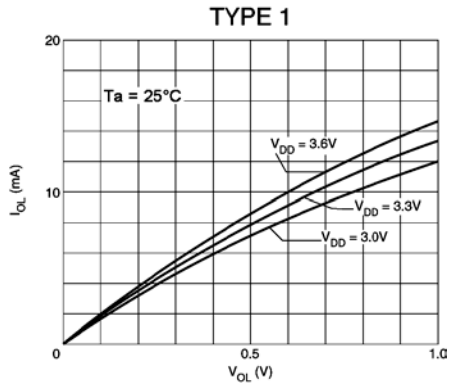
### 低レベル出力電流



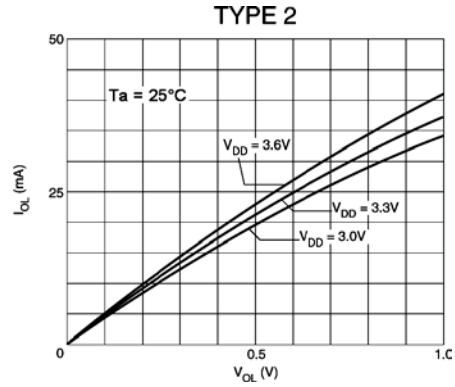
図A4-47



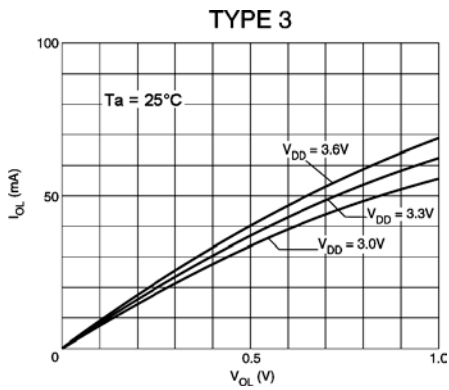
図A4-48



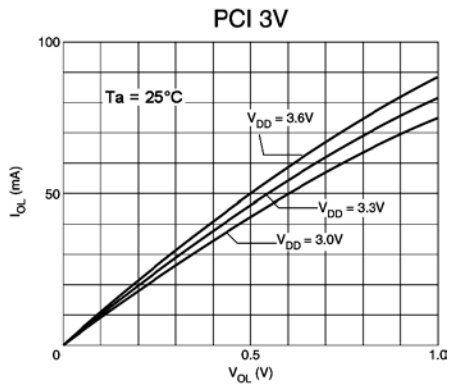
図A4-49



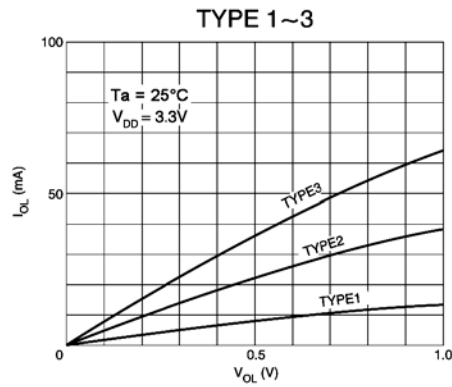
図A4-50



図A4-51

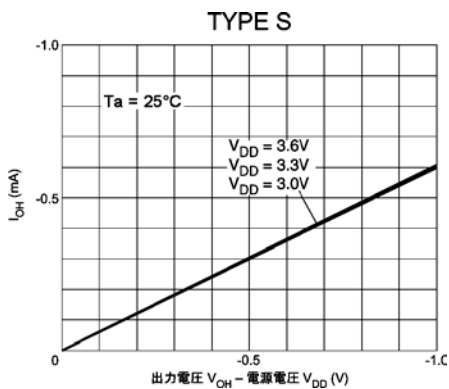


図A4-52

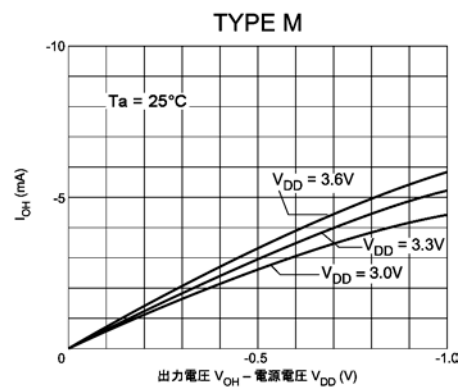


図A4-53

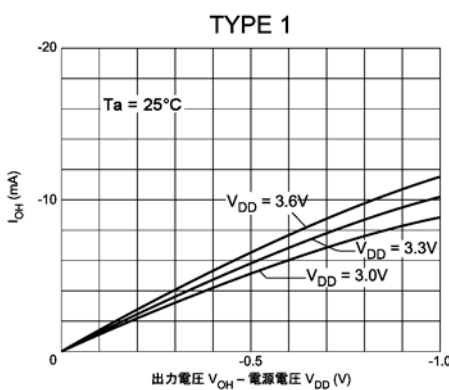
・高レベル出力電流



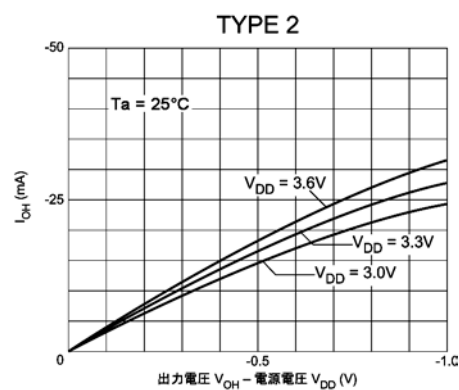
図A4-54



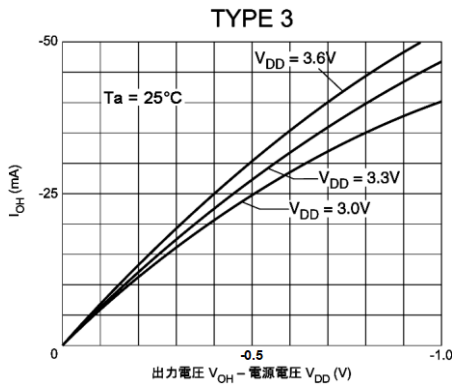
図A4-55



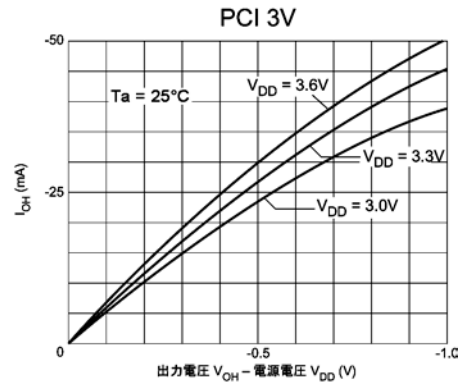
図A4-56



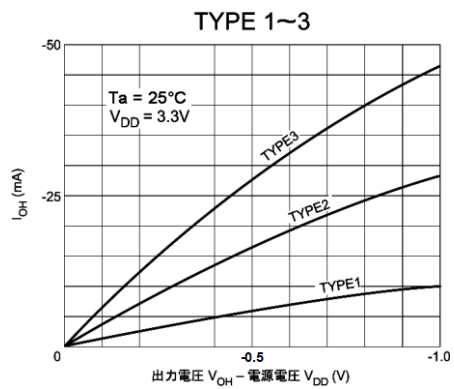
図A4-57



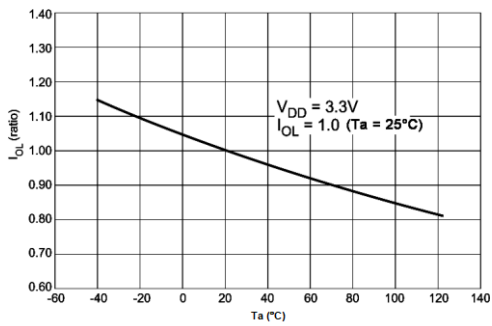
図A4-58



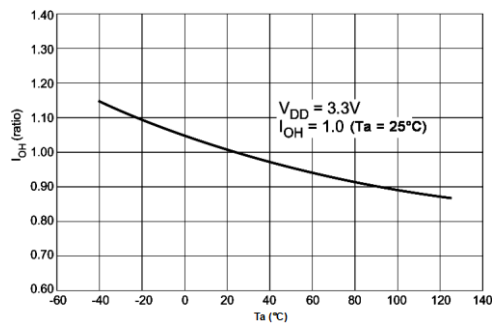
図A4-59



図A4-60



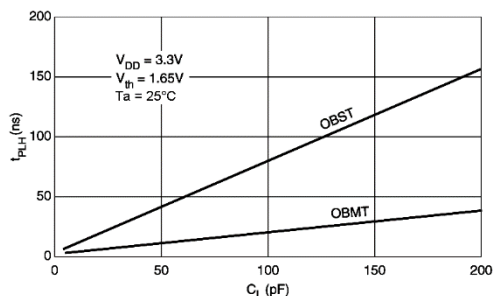
図A4-61 周囲温度 ( $T_a$ ) 対出力電流 ( $I_{OH}$ )



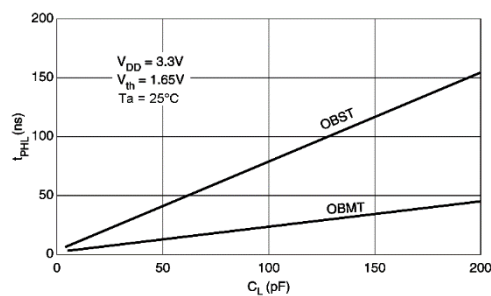
図A4-62 周囲温度 ( $T_a$ ) 対出力電流 ( $I_{OH}$ )

### A4.2.5 出力遅延時間対出力負荷容量 (C<sub>L</sub>)

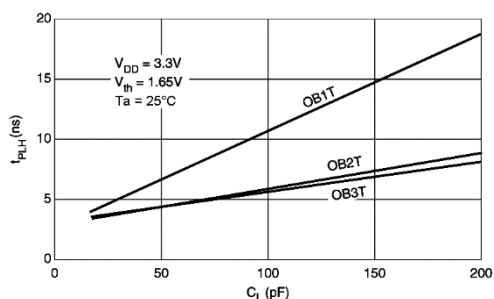
表中に示すセル名称について、S1L50000 シリーズの名称となっています。S1X50000 シリーズとしては、頭文字として“X”を付加した名称となります。



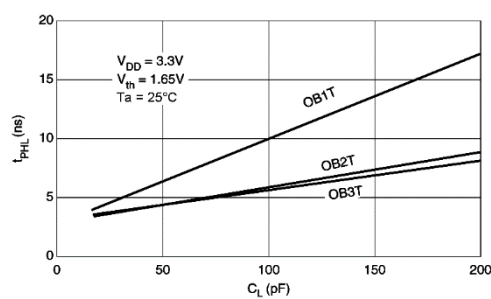
図A4-63 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)



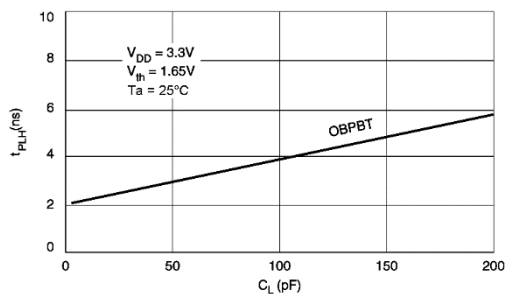
図A4-64 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)



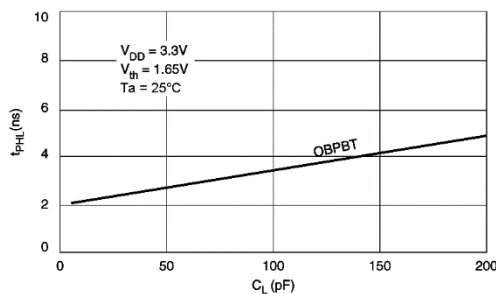
図A4-65 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)



図A4-66 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)



図A4-67 出力遅延時間 (t<sub>PLH</sub>) 対出力負荷容量 (C<sub>L</sub>)

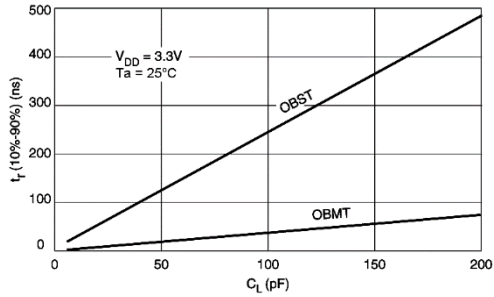


図A4-68 出力遅延時間 (t<sub>PHL</sub>) 対出力負荷容量 (C<sub>L</sub>)

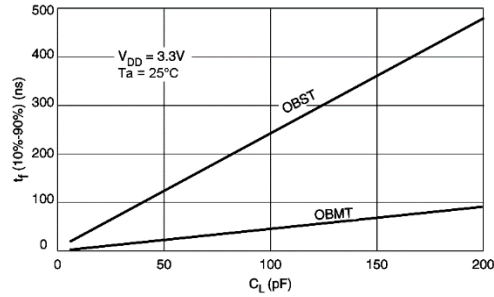


### A4.2.6 出力バッファ立上り／立下り時間対出力負荷容量 ( $C_L$ )

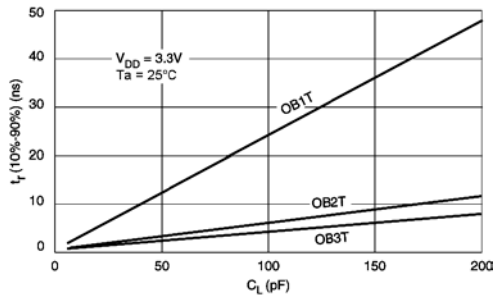
表中に示すセル名称について、S1L50000 シリーズの名称となっています。S1X50000 シリーズとしては、頭文字として“X”を付加した名称となります。



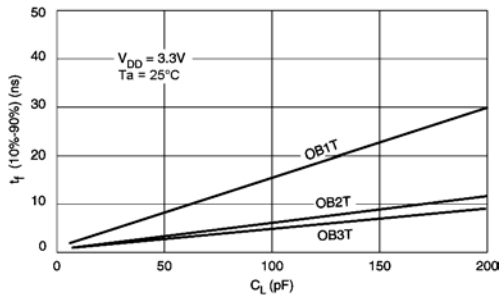
図A4-69 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )



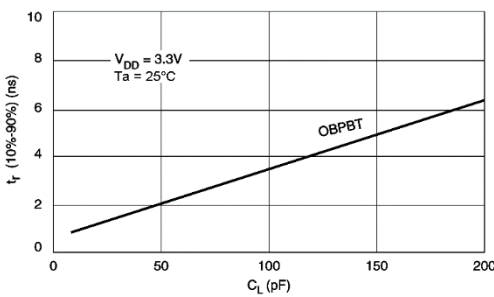
図A4-70 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )



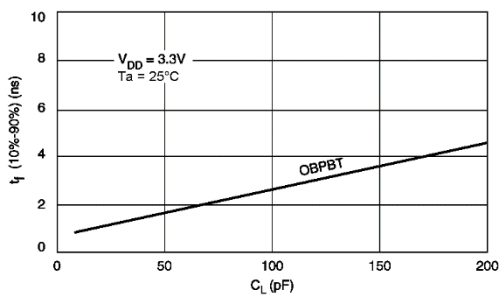
図A4-71 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )



図A4-72 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )



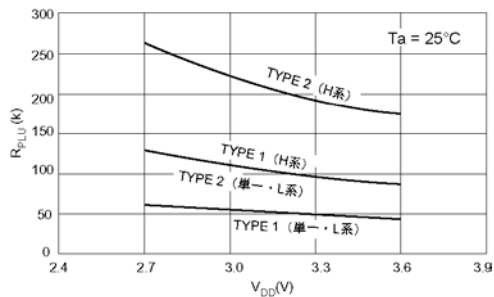
図A4-73 立上り時間 ( $t_r$ ) 対出力負荷容量 ( $C_L$ )



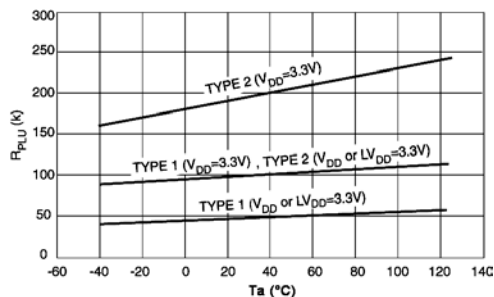
図A4-74 立下り時間 ( $t_f$ ) 対出力負荷容量 ( $C_L$ )

## A4. 2. 7 PULL-UP、PULL-DOWN 抵抗

### ● PULL-UP 特性

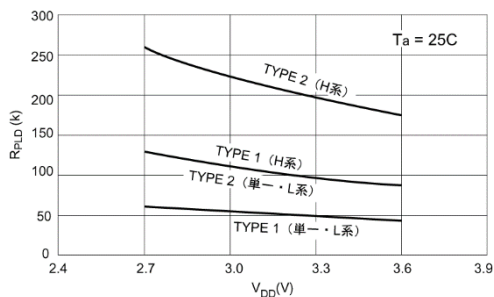


図A4-75 PULL-UP抵抗  $V_{DD}$ 依存性

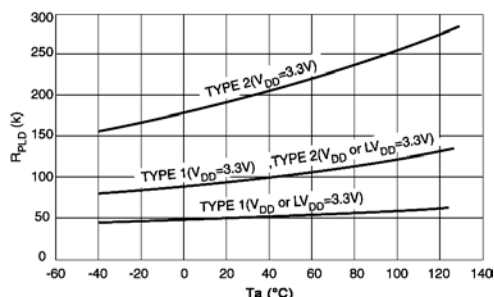


図A4-76 PULL-UP抵抗 周囲温度依存性

### ● PULL-DOWN 特性



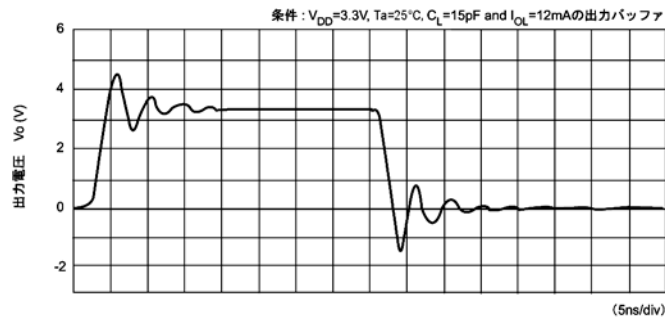
図A4-77 PULL-DOWN抵抗  $V_{DD}$ 依存性



図A4-78 PULL-DOWN抵抗 周囲温度依存性

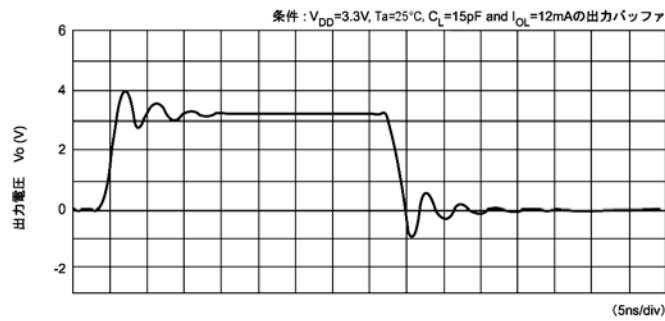
## A4. 2. 8 出力波形

- High speed Type のバッファの出力波形 (XOB3AT)



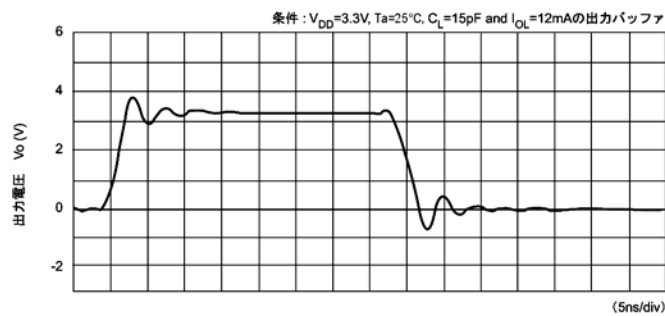
図A4-79

- Normal Type のバッファの出力波形 (XOB3T)



図A4-80

- Low Noise Type のバッファの出力波形 (XOB3BT)



図A4-81

### A4.3 シュミット入力バッファの電気的特性について

図 A4-82 は、シュミット入力バッファの電気的特性を表したものです。VT+とVT-は、それぞれの min. と max. の規格内にあり、個体や環境条件によって異なります。また、その差は、VH の min. 以上あります。

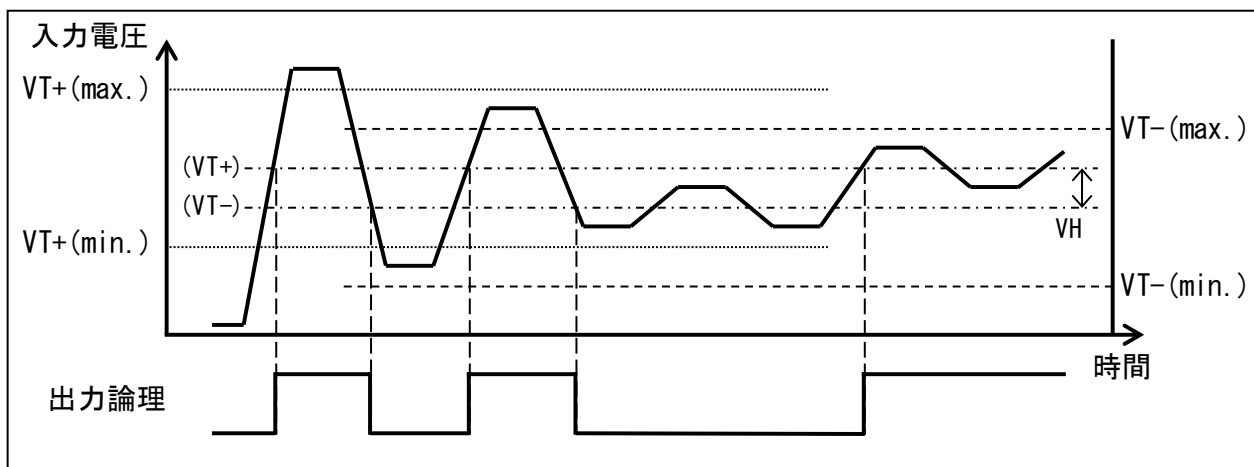


図 A4-82 シュミット入力バッファの入力電圧と論理値の関係

- VT+ : 入力信号が Low から High へ変化する場合に High と判断する電圧
- VT- : 入力信号が High から Low へ変化する場合に Low と判断する電圧
- VH : High (または Low) と判断された入力信号が次に Low (または High) と判断されるために必要な電圧差

## 改訂履歴表

付-1

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.0	2015/03/05	全ページ	新規	新規制定
Rev. 1.1	2015/06/17	第7章	改訂	参照する表番号の誤記訂正（複数箇所） 412938401
Rev. 1.2	2019/04/25	第8章	改訂	誤記訂正、同時動作に関する記述の追加
Rev. 1.3	2021/03/31	P.113	改訂	10.2.4 消費電力制限の修正

## セイコーエプソン株式会社

営業本部 デバイス営業部

---

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

---

ドキュメントコード : 412938403

2015年3月 作成  
2021年3月 改訂