

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17W03/W04

テクニカルマニュアル

評価ボード・キット、開発ツールご使用上の注意事項

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないで下さい。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止して下さい。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告無く変更されることがあります。

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍用用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

はじめに

本書はS1C17W03/W04を使用する製品を開発される設計者、プログラマを対象とした技術マニュアルで、ICの機能、内蔵周辺回路の動作、およびその制御方法を説明します。

CPUの機能と命令については“S1C17 Family S1C17コアマニュアル”を、デバッグツールの機能と操作方法については各ツールのマニュアルを参照してください。(マニュアルは、弊社WEBサイト“製品情報:ドキュメントダウンロード”からダウンロード可能です。)

本書内の表記や記号について

レジスタのアドレス

各周辺回路の説明には制御レジスタのアドレスは記載されておりません。レジスタのアドレスは“メモリ、バス”の章の“周辺回路エリア”、またはAppendixの“周辺回路制御レジスタ一覧”を参照してください。

レジスタと制御ビットの表記

説明の中では、レジスタや制御ビットを信号名や端子名と区別するため、次のように記載します。

XXXレジスタ: 1つのレジスタの全体を示します。

XXX.YYYビット: XXXレジスタ内にある1ビットの制御ビットYYYを示します。

XXX.ZZZ[1:0]ビット: XXXレジスタ内にある2ビットの制御ビットZZZ1とZZZ0を示します。

レジスタ表の内容と記号

Initial: 初期化時の値

Reset: 初期化条件。初期化条件はリセットグループ(H0、H1、S0)により決まります。リセットグループについては、“電源、リセット、クロック”の章の“初期化条件(リセットグループ)”を参照してください。

R/W: R = 読み出し可能

W = 書き込み可能

WP = 書き込み可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

R/W = 読み書き可能

R/WP = 読み書き可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

制御ビットの読み出し/書き込み値

本書では1ビット値を除き、制御ビットの値を16進数で記載します(説明上、10進数や2進数が必要な場合を除く)。制御ビットのビット幅により次のように記載します。

1ビット: 0または1

2~4ビット: 0x0~0xf

5~8ビット: 0x00~0xff

9~12ビット: 0x000~0xffff

13~16ビット: 0x0000~0xffff

10進数: 0~9999...

2進数: 0b0000...~0b1111...

チャンネル番号

周辺回路によっては複数チャンネルの機能を搭載可能な場合があります(例: 16ビットタイマなど)。これらの周辺回路の章は実装されているチャンネル数にかかわらず、レジスタ名や端子名などに付いているチャンネル番号を表す数値を‘n’と記述しています。基本的に、説明は全チャンネルに適用されます。機能が異なるチャンネルについてはチャンネル番号を明記しています。

例) 16ビットタイマのT16_nCTLレジスタ

1チャンネル搭載機種(Ch.0のみ): T16_nCTL = T16_0CTLのみ

2チャンネル搭載機種(Ch.0とCh.1): T16_nCTL = T16_0CTLとT16_1CTL

本ICの周辺回路の搭載チャンネル数は、“概要”の章の“特長”を参照してください。

- 目次 -

はじめに.....	i
本書内の表記や記号について	i
1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図(パッケージ).....	1-4
1.3.2 パッド配置図.....	1-6
1.3.3 端子説明	1-7
2 電源, リセット, クロック.....	2-1
2.1 パワージェネレータ(PWG2).....	2-1
2.1.1 概要.....	2-1
2.1.2 端子.....	2-1
2.1.3 動作.....	2-2
2.2 システムリセットコントローラ(SRC).....	2-4
2.2.1 概要.....	2-4
2.2.2 入力端子	2-4
2.2.3 リセットソース.....	2-4
2.2.4 初期化条件(リセットグループ).....	2-5
2.3 クロックジェネレータ(CLG).....	2-6
2.3.1 概要.....	2-6
2.3.2 入出力端子.....	2-7
2.3.3 クロックソース.....	2-7
2.3.4 動作.....	2-9
2.4 動作モード	2-14
2.4.1 イニシャル起動シーケンス.....	2-14
2.4.2 動作モードの遷移.....	2-14
2.5 割り込み.....	2-16
2.6 制御レジスタ.....	2-16
PWG2 Control Register.....	2-16
PWG2 Timing Control Register	2-17
PWG2 Interrupt Flag Register	2-17
PWG2 Interrupt Enable Register.....	2-17
CLG System Clock Control Register.....	2-17
CLG Oscillation Control Register	2-19
CLG IOSC Control Register	2-20
CLG OSC1 Control Register	2-20
CLG OSC3 Control Register	2-21
CLG Interrupt Flag Register	2-23
CLG Interrupt Enable Register.....	2-23
CLG FOUT Control Register.....	2-24
3 CPU, デバッグ	3-1
3.1 概要.....	3-1
3.2 CPUコア	3-2
3.2.1 CPUレジスタ.....	3-2
3.2.2 命令セット	3-2
3.2.3 PSRの読み出し.....	3-2
3.2.4 S1C17コア予約I/Oエリア	3-2
3.3 デバッグ.....	3-2

3.3.1	デバッグ機能	3-2
3.3.2	必要リソースとデバッグツール.....	3-3
3.3.3	デバッグ入出力端子一覧	3-3
3.3.4	外部接続	3-3
3.3.5	Flashセキュリティ機能.....	3-4
3.4	制御レジスタ	3-4
MISC PSR Register	3-4	
Debug RAM Base Register	3-5	
4	メモリ, バス.....	4-1
4.1	概要	4-1
4.2	バスアクセスサイクル	4-2
4.3	Flashメモリ	4-2
4.3.1	Flashメモリ端子	4-2
4.3.2	Flashバスアクセスサイクルの設定.....	4-3
4.3.3	Flashプログラミング	4-3
4.4	RAM	4-3
4.5	周辺回路制御レジスタ	4-3
4.5.1	システムプロテクト機能	4-8
4.6	制御レジスタ	4-8
MISC System Protect Register	4-8	
MISC IRAM Size Register.....	4-8	
FLASHC Flash Read Cycle Register	4-8	
5	割り込みコントローラ(ITC).....	5-1
5.1	概要	5-1
5.2	ベクタテーブル	5-1
5.2.1	ベクタテーブルベースアドレス(TTBR).....	5-3
5.3	初期設定	5-3
5.4	マスク可能割り込みの制御と動作	5-3
5.4.1	周辺回路の割り込み制御	5-3
5.4.2	ITCの割り込み要求処理	5-4
5.4.3	CPUの割り込み要求受領条件	5-4
5.5	NMI.....	5-4
5.6	ソフトウェア割り込み	5-4
5.7	CPUによる割り込み処理	5-5
5.8	制御レジスタ	5-5
MISC Vector Table Address Low Register	5-5	
MISC Vector Table Address High Register.....	5-5	
ITC Interrupt Level Setup Register x	5-5	
6	入出力ポート(PPORT)	6-1
6.1	概要	6-1
6.2	I/Oセルの構造と機能.....	6-2
6.2.1	シュミット入力.....	6-2
6.2.2	トレラント・フェイルセーフ	6-2
6.2.3	プルアップ/プルダウン.....	6-2
6.2.4	CMOS出力とハイインピーダンス状態.....	6-3
6.3	クロック設定.....	6-3
6.3.1	PPORTの動作クロック	6-3
6.3.2	SLEEPモード時のクロック供給	6-3
6.3.3	DEBUGモード時のクロック供給	6-3
6.4	動作	6-3

6.4.1	初期設定	6-3
6.4.2	ポートの入出力制御	6-5
6.5	割り込み	6-6
6.6	制御レジスタ	6-6
Px Port Data Register	6-6	
Px Port Enable Register	6-7	
Px Port Pull-up/down Control Register	6-7	
Px Port Interrupt Flag Register	6-8	
Px Port Interrupt Control Register	6-8	
Px Port Chattering Filter Enable Register	6-8	
Px Port Mode Select Register	6-9	
Px Port Function Select Register	6-9	
P Port Clock Control Register	6-9	
P Port Interrupt Flag Group Register	6-10	
6.7	本ICの制御レジスタ/ポート機能の構成	6-11
6.7.1	P0ポートグループ	6-11
6.7.2	P1ポートグループ	6-12
6.7.3	P2ポートグループ	6-13
6.7.4	P3ポートグループ	6-14
6.7.5	P4ポートグループ	6-15
6.7.6	Pdポートグループ	6-16
6.7.7	ポートグループ共通	6-17
7	ユニバーサルポートマルチプレクサ(UPMUX)	7-1
7.1	概要	7-1
7.2	周辺入出力機能の割り当て	7-1
7.3	制御レジスタ	7-2
Pxy-xz Universal Port Multiplexer Setting Register	7-2	
8	ウォッチドッグタイマ(WDT)	8-1
8.1	概要	8-1
8.2	クロック設定	8-1
8.2.1	WDTの動作クロック	8-1
8.2.2	DEBUGモード時のクロック供給	8-2
8.3	動作	8-2
8.3.1	WDTの制御	8-2
8.3.2	HALT, SLEEPモード時の動作	8-2
8.4	制御レジスタ	8-3
WDT Clock Control Register	8-3	
WDT Control Register	8-3	
9	リアルタイムクロック(RTCA)	9-1
9.1	概要	9-1
9.2	出力端子と外部接続	9-1
9.2.1	出力端子	9-1
9.3	クロック設定	9-2
9.3.1	RTCAの動作クロック	9-2
9.3.2	論理緩急機能	9-2
9.4	動作	9-3
9.4.1	RTCAの制御	9-3
9.4.2	リアルタイムクロックカウンタの動作	9-4
9.4.3	ストップウォッチの制御	9-4
9.4.4	ストップウォッチのカウントアップパターン	9-4
9.5	割り込み	9-5
9.6	制御レジスタ	9-6

RTC Control Register	9-6
RTC Second Alarm Register	9-7
RTC Hour/Minute Alarm Register.....	9-8
RTC Stopwatch Control Register.....	9-8
RTC Second/1Hz Register	9-9
RTC Hour/Minute Register.....	9-10
RTC Month/Day Register	9-11
RTC Year/Week Register	9-11
RTC Interrupt Flag Register.....	9-12
RTC Interrupt Enable Register	9-13
10 電源電圧検出回路(SVD)	10-1
10.1 概要.....	10-1
10.2 入力端子と外部接続.....	10-2
10.2.1 入力端子	10-2
10.2.2 外部との接続	10-2
10.3 クロック設定.....	10-2
10.3.1 SVDの動作クロック.....	10-2
10.3.2 SLEEPモード時のクロック供給	10-2
10.3.3 DEBUGモード時のクロック供給.....	10-3
10.4 動作.....	10-3
10.4.1 SVDの制御.....	10-3
10.4.2 SVDの動作.....	10-4
10.5 SVD割り込みとリセット.....	10-4
10.5.1 SVD割り込み	10-4
10.5.2 SVDリセット	10-5
10.6 制御レジスタ.....	10-5
SVD Clock Control Register	10-5
SVD Control Register	10-6
SVD Status and Interrupt Flag Register	10-7
SVD Interrupt Enable Register	10-8
11 16ビットタイマ(T16).....	11-1
11.1 概要.....	11-1
11.2 入力端子.....	11-1
11.3 クロック設定.....	11-2
11.3.1 T16の動作クロック.....	11-2
11.3.2 SLEEPモード時のクロック供給	11-2
11.3.3 DEBUGモード時のクロック供給.....	11-2
11.3.4 イベントカウンタクロック.....	11-2
11.4 動作.....	11-2
11.4.1 初期設定	11-2
11.4.2 カウンタのアンダーフロー.....	11-3
11.4.3 リピートモードの動作.....	11-3
11.4.4 ワンショットモードの動作.....	11-3
11.4.5 カウンタ値のリード.....	11-4
11.5 割り込み.....	11-4
11.6 制御レジスタ.....	11-4
T16 Ch. <i>n</i> Clock Control Register	11-4
T16 Ch. <i>n</i> Mode Register	11-5
T16 Ch. <i>n</i> Control Register.....	11-5
T16 Ch. <i>n</i> Reload Data Register.....	11-6
T16 Ch. <i>n</i> Counter Data Register	11-6
T16 Ch. <i>n</i> Interrupt Flag Register	11-6
T16 Ch. <i>n</i> Interrupt Enable Register.....	11-7

12 UART(UART)	12-1
12.1 概要	12-1
12.2 入出力端子と外部接続	12-2
12.2.1 入出力端子一覧.....	12-2
12.2.2 外部との接続	12-2
12.2.3 入力端子のプルアップ機能.....	12-2
12.2.4 出力端子のオープンドレイン出力機能.....	12-2
12.3 クロック設定.....	12-2
12.3.1 UARTの動作クロック	12-2
12.3.2 SLEEPモード時のクロック供給	12-2
12.3.3 DEBUGモード時のクロック供給.....	12-3
12.3.4 ボーレートジェネレータ	12-3
12.4 データフォーマット	12-3
12.5 動作.....	12-4
12.5.1 初期設定	12-4
12.5.2 データ送信	12-4
12.5.3 データ受信.....	12-5
12.5.4 IrDAインタフェース.....	12-6
12.6 受信エラー	12-7
12.6.1 フレーミングエラー.....	12-7
12.6.2 パリティエラー	12-8
12.6.3 オーバーランエラー.....	12-8
12.7 割り込み.....	12-8
12.8 制御レジスタ	12-9
UART Ch.n Clock Control Register	12-9
UART Ch.n Mode Register	12-9
UART Ch.n Baud-Rate Register	12-10
UART Ch.n Control Register	12-11
UART Ch.n Transmit Data Register	12-11
UART Ch.n Receive Data Register	12-11
UART Ch.n Status and Interrupt Flag Register	12-12
UART Ch.n Interrupt Enable Register.....	12-13
13 同期式シリアルインタフェース(SPIA)	13-1
13.1 概要	13-1
13.2 入出力端子と外部接続	13-2
13.2.1 入出力端子一覧.....	13-2
13.2.2 外部との接続	13-2
13.2.3 マスタモードとスレーブモードの端子機能.....	13-3
13.2.4 入力端子のプルアップ/プルダウン機能.....	13-3
13.3 クロック設定.....	13-3
13.3.1 SPIAの動作クロック	13-3
13.3.2 DEBUGモード時のクロック供給.....	13-4
13.3.3 SPIクロック(SPICLK _n)の位相と極性.....	13-4
13.4 データフォーマット	13-5
13.5 動作.....	13-5
13.5.1 初期設定	13-5
13.5.2 マスタモードのデータ送信.....	13-5
13.5.3 マスタモードのデータ受信.....	13-7
13.5.4 マスタモードのデータ送受信終了.....	13-8
13.5.5 スレーブモードのデータ送受信.....	13-8
13.5.6 スレーブモードのデータ送受信終了	13-10
13.6 割り込み.....	13-10

13.7	制御レジスタ	13-11
	SPIA Ch.n Mode Register	13-11
	SPIA Ch.n Control Register	13-12
	SPIA Ch.n Transmit Data Register	13-13
	SPIA Ch.n Receive Data Register	13-13
	SPIA Ch.n Interrupt Flag Register	13-13
	SPIA Ch.n Interrupt Enable Register	13-14
14	I²C(I2C).....	14-1
14.1	概要	14-1
14.2	入出力端子と外部接続	14-2
	14.2.1 入出力端子一覧	14-2
	14.2.2 外部との接続	14-2
14.3	クロック設定	14-3
	14.3.1 I2Cの動作クロック	14-3
	14.3.2 DEBUGモード時のクロック供給	14-3
	14.3.3 ボーレートジェネレータ	14-3
14.4	動作	14-4
	14.4.1 初期設定	14-4
	14.4.2 マスタモードのデータ送信	14-5
	14.4.3 マスタモードのデータ受信	14-7
	14.4.4 マスタモードでの10ビットアドレス指定	14-9
	14.4.5 スレーブモードのデータ送信	14-10
	14.4.6 スレーブモードのデータ受信	14-12
	14.4.7 10ビットアドレスモードのスレーブ動作	14-14
	14.4.8 自動バスクリア動作	14-14
	14.4.9 エラー検出	14-15
14.5	割り込み	14-16
14.6	制御レジスタ	14-17
	I2C Ch.n Clock Control Register	14-17
	I2C Ch.n Mode Register	14-18
	I2C Ch.n Baud-Rate Register	14-18
	I2C Ch.n Own Address Register	14-18
	I2C Ch.n Control Register	14-19
	I2C Ch.n Transmit Data Register	14-20
	I2C Ch.n Receive Data Register	14-20
	I2C Ch.n Status and Interrupt Flag Register	14-20
	I2C Ch.n Interrupt Enable Register	14-21
15	16ビットPWMタイマ(T16B).....	15-1
15.1	概要	15-1
15.2	入出力端子	15-2
15.3	クロック設定	15-3
	15.3.1 T16Bの動作クロック	15-3
	15.3.2 SLEEPモード時のクロック供給	15-3
	15.3.3 DEBUGモード時のクロック供給	15-3
	15.3.4 イベントカウンタクロック	15-3
15.4	動作	15-4
	15.4.1 初期設定	15-4
	15.4.2 カウンタブロックの動作	15-5
	15.4.3 コンパレータ/キャプチャブロックの動作	15-8
	15.4.4 TOUT出力の制御	15-16
15.5	割り込み	15-22
15.6	制御レジスタ	15-22

T16B Ch. <i>n</i> Clock Control Register	15-22
T16B Ch. <i>n</i> Counter Control Register	15-23
T16B Ch. <i>n</i> Max Counter Data Register.....	15-24
T16B Ch. <i>n</i> Timer Counter Data Register.....	15-25
T16B Ch. <i>n</i> Counter Status Register.....	15-25
T16B Ch. <i>n</i> Interrupt Flag Register.....	15-26
T16B Ch. <i>n</i> Interrupt Enable Register	15-27
T16B Ch. <i>n</i> Comparator/Capture <i>m</i> Control Register.....	15-28
T16B Ch. <i>n</i> Compare/Capture <i>m</i> Data Register.....	15-30
16 サウンドジェネレータ(SNDA)	16-1
16.1 概要	16-1
16.2 出力端子と外部接続.....	16-2
16.2.1 出力端子一覧	16-2
16.2.2 出力端子の駆動モード.....	16-2
16.2.3 外部との接続	16-2
16.3 クロック設定.....	16-3
16.3.1 SNDAの動作クロック	16-3
16.3.2 SLEEPモード時のクロック供給	16-3
16.3.3 DEBUGモード時のクロック供給.....	16-3
16.4 動作.....	16-3
16.4.1 初期設定	16-3
16.4.2 ノーマルブザーモードのブザー出力	16-3
16.4.3 ワンショットブザーモードのブザー出力	16-6
16.4.4 メロディモードの出力.....	16-7
16.5 割り込み.....	16-9
16.6 制御レジスタ.....	16-9
SNDA Clock Control Register	16-9
SNDA Select Register	16-10
SNDA Control Register.....	16-11
SNDA Data Register.....	16-11
SNDA Interrupt Flag Register	16-12
SNDA Interrupt Enable Register.....	16-13
17 IRリモートコントローラ(REMC2).....	17-1
17.1 概要	17-1
17.2 入出力端子と外部接続	17-1
17.2.1 出力端子	17-1
17.2.2 外部との接続	17-2
17.3 クロック設定.....	17-2
17.3.1 REMC2の動作クロック	17-2
17.3.2 SLEEPモード時のクロック供給	17-2
17.3.3 DEBUGモード時のクロック供給.....	17-2
17.4 動作.....	17-2
17.4.1 初期設定	17-2
17.4.2 送信手順	17-3
17.4.3 REMO出力波形.....	17-3
17.4.4 連続送信とコンペアバッファ	17-5
17.5 割り込み.....	17-6
17.6 応用例: ELランプの駆動.....	17-7
17.7 制御レジスタ.....	17-7
REMC2 Clock Control Register.....	17-7
REMC2 Data Bit Counter Control Register	17-8
REMC2 Data Bit Counter Register	17-10
REMC2 Data Bit Active Pulse Length Register	17-10

REMC2 Data Bit Length Register.....	17-10
REMC2 Status and Interrupt Flag Register.....	17-10
REMC2 Interrupt Enable Register.....	17-11
REMC2 Carrier Waveform Register.....	17-11
REMC2 Carrier Modulation Control Register.....	17-12
18 R/F変換器(RFC).....	18-1
18.1 概要.....	18-1
18.2 入出力端子と外部接続.....	18-2
18.2.1 入出力端子一覧.....	18-2
18.2.2 外部との接続.....	18-2
18.3 クロック設定.....	18-3
18.3.1 RFCの動作クロック.....	18-3
18.3.2 SLEEPモード時のクロック供給.....	18-3
18.3.3 DEBUGモード時のクロック供給.....	18-3
18.4 動作.....	18-3
18.4.1 初期設定.....	18-3
18.4.2 動作モード.....	18-4
18.4.3 RFCカウンタ.....	18-4
18.4.4 変換動作と制御手順.....	18-5
18.4.5 CR発振周波数モニタ機能.....	18-7
18.5 割り込み.....	18-7
18.6 制御レジスタ.....	18-8
RFC Ch. <i>n</i> Clock Control Register.....	18-8
RFC Ch. <i>n</i> Control Register.....	18-8
RFC Ch. <i>n</i> Oscillation Trigger Register.....	18-9
RFC Ch. <i>n</i> Measurement Counter Low and High Registers.....	18-10
RFC Ch. <i>n</i> Time Base Counter Low and High Registers.....	18-10
RFC Ch. <i>n</i> Interrupt Flag Register.....	18-11
RFC Ch. <i>n</i> Interrupt Enable Register.....	18-11
19 12ビットA/D変換器(ADC12A).....	19-1
19.1 概要.....	19-1
19.2 入力端子と外部接続.....	19-2
19.2.1 入力端子一覧.....	19-2
19.2.2 外部との接続.....	19-2
19.3 クロック設定.....	19-2
19.3.1 ADC12Aの動作クロック.....	19-2
19.3.2 サンプリング時間.....	19-2
19.4 動作.....	19-3
19.4.1 初期設定.....	19-3
19.4.2 変換開始トリガソース.....	19-3
19.4.3 変換動作モードと変換を行うアナログ入力端子の設定.....	19-4
19.4.4 A/D変換動作と制御手順.....	19-4
19.5 割り込み.....	19-6
19.6 制御レジスタ.....	19-6
ADC12A Ch. <i>n</i> Control Register.....	19-6
ADC12A Ch. <i>n</i> Trigger/Analog Input Select Register.....	19-7
ADC12A Ch. <i>n</i> Configuration Register.....	19-8
ADC12A Ch. <i>n</i> Interrupt Flag Register.....	19-9
ADC12A Ch. <i>n</i> Interrupt Enable Register.....	19-10
ADC12A Ch. <i>n</i> Result Register <i>m</i>	19-10
20 乗除算器(COPRO2).....	20-1
20.1 概要.....	20-1

20.2	動作モードと出力モード.....	20-1
20.3	乗算.....	20-2
20.4	除算.....	20-3
20.5	積和演算.....	20-5
20.6	演算結果の読み出し.....	20-7
21	電气的特性.....	21-1
21.1	絶対最大定格.....	21-1
21.2	推奨動作条件.....	21-1
21.3	消費電流.....	21-2
21.4	システムリセットコントローラ(SRC)特性.....	21-4
21.5	クロックジェネレータ(CLG)特性.....	21-4
21.6	Flashメモリ特性.....	21-7
21.7	入出力ポート(PPORT)特性.....	21-7
21.8	電源電圧検出回路(SVD)特性.....	21-8
21.9	UART(UART)特性.....	21-9
21.10	同期式シリアルインタフェース(SPIA)特性.....	21-10
21.11	I ² C(I2C)特性.....	21-11
21.12	R/F変換器(RFC)特性.....	21-11
21.13	12ビットA/D変換器(ADC12A)特性.....	21-12
22	基本外部結線図.....	22-1
23	パッケージ.....	23-1
Appendix A	周辺回路制御レジスタ一覧.....	AP-A-1
	0x4000–0x4008 Misc Registers (MISC).....	AP-A-1
	0x4020–0x4026 Power Generator (PWG2).....	AP-A-1
	0x4040–0x4050 Clock Generator (CLG).....	AP-A-1
	0x4080–0x4094 Interrupt Controller (ITC).....	AP-A-3
	0x40a0–0x40a2 Watchdog Timer (WDT).....	AP-A-4
	0x40c0–0x40d2 Real-time Clock (RTCA).....	AP-A-4
	0x4100–0x4106 Supply Voltage Detector (SVD).....	AP-A-6
	0x4160–0x416c 16-bit Timer (T16) Ch.0.....	AP-A-6
	0x41b0 Flash Controller (FLASHC).....	AP-A-7
	0x4200–0x42e2 I/O Ports (PPORT).....	AP-A-7
	0x4300–0x431c Universal Port Multiplexer (UPMUX).....	AP-A-10
	0x4380–0x438e UART (UART) Ch.0.....	AP-A-12
	0x43a0–0x43ac 16-bit Timer (T16) Ch.1.....	AP-A-13
	0x43b0–0x43ba Synchronous Serial Interface (SPIA) Ch.0.....	AP-A-13
	0x43c0–0x43d2 I ² C (I2C).....	AP-A-14
	0x5000–0x501a 16-bit PWM Timer (T16B) Ch.0.....	AP-A-15
	0x5040–0x505a 16-bit PWM Timer (T16B) Ch.1.....	AP-A-16
	0x5200–0x520e UART (UART) Ch.1.....	AP-A-18
	0x5260–0x526c 16-bit Timer (T16) Ch.2.....	AP-A-19
	0x5270–0x527a Synchronous Serial Interface (SPIA) Ch.1.....	AP-A-20
	0x5300–0x530a Sound Generator (SNDA).....	AP-A-20
	0x5320–0x5332 IR Remote Controller (REMC2).....	AP-A-21
	0x5440–0x5450 R/F Converter (RFC) Ch.0.....	AP-A-22
	0x5460–0x5470 R/F Converter (RFC) Ch.1.....	AP-A-22
	0x5480–0x548c 16-bit Timer (T16) Ch.3.....	AP-A-23
	0x54a2–0x54b6 12-bit A/D Converter (ADC12A).....	AP-A-24
	0xffff90 Debugger (DBG).....	AP-A-25

Appendix B パワーセーブ	AP-B-1
B.1 パワーセーブを考慮した動作状態の設定例	AP-B-1
B.2 その他のパワーセーブ方法.....	AP-B-2
Appendix C 実装上の注意事項	AP-C-1
Appendix D ノイズ対策	AP-D-1
Appendix E 初期化ルーチン	AP-E-1
改訂履歴表	

1 概要

S1C17W03/W04は、Flashメモリを搭載しながらも、1.2 Vからの低電圧動作に対応した16ビットMCUです。高効率なDC-DCコンバータを用いた内部定電圧駆動により、4ビットMCUを超えた低消費電力動作を実現しました。リアルタイムクロック、ストップウォッチ、A/D変換器、モータドライバ駆動波形が生成可能なPWMタイマを内蔵しており、16ビットCPUのパワフルな処理能力と併せ、A/D変換機能と時計機能を必要とする電池駆動のアプリケーションに最適です。

1.1 特長

表1.1.1 特長

機種	S1C17W03	S1C17W04
CPU		
CPUコア	EPSONオリジナル16ビットRISC CPUコアS1C17	
その他	デバッグを内蔵	
内蔵Flashメモリ		
容量	16Kバイト(命令/データ共用)	32Kバイト(命令/データ共用)
書き換え回数	50回(min.) *デバッグツールICDminiからの書き換え時	
その他	ICDminiからの読み出し/書き換えを禁止するセキュリティ機能 ICDminiによるオンボード書き換えが可能	
内蔵RAM		
容量	2Kバイト	
クロックジェネレータ(CLG)		
システムクロックソース	4種類(IOSC/OSC1/OSC3/EXOSC)	
システムクロック周波数(動作周波数)	1.1 MHz(max.) V _{DD} = 1.2~1.6 V 4.2 MHz(max.) V _{DD} = 1.6~3.6 V	
IOSC発振回路(起動クロックソース)	700 kHz(typ.) 内蔵発振回路 23 μs(max.)の起動時間 (SLEEP状態からCPUがベクタテーブルを読み出すまでの時間)	
OSC1発振回路	32.768 kHz(typ.) 水晶発振回路 発振停止検出回路内蔵	
OSC3発振回路	4.2 MHz(max.) 水晶/セラミック発振回路(48pin/パッケージまたはチップ) 250, 384, 500 kHz, 1, 2, 4 MHz切り換え可能な内蔵発振回路	
EXOSCクロック入力	2.1 MHz(max.) CR発振回路(要外付けR) (48pin/パッケージまたはチップ)	
その他	4.2 MHz(max.) 矩形波またはサイン波入力 システムクロックの分周比を設定可能 SLEEP復帰時のシステムクロックを任意に設定可能 CPUとすべての周辺回路が、任意に選択されたクロック周波数で動作可能	
入出力ポート(PPORT)		
汎用入出力ポート数	入出力ポート: 34ビット(max., 48pin/パッケージまたはチップ) 23ビット(max., 32pin/パッケージ) 出力ポート: 1ビット(max.) 周辺回路の入出力端子と共用	
入力割り込み対応ポート数	30ビット(max., 48pin/パッケージまたはチップ) 21ビット(max., 32pin/パッケージ)	
ユニバーサルポートマルチプレクサ(UPMUX)対応ポート数	24ビット(48pin/パッケージまたはチップ) 21ビット(32pin/パッケージ) ソフトウェアで選択した周辺回路入出力機能を各ポートに割り付け可能	
タイマ		
ウォッチドッグタイマ(WDT)	NMI, またはウォッチドッグタイマリセットを生成	
リアルタイムクロック(RTCA)	128~1 Hzカウンタ, 秒/分/時/日/曜日/月/年カウンタ 1秒補正のための論理緩急機能 アラーム機能, ストップウォッチ機能	
16ビットタイマ(T16)	4チャンネル SPIAのマスタクロックとADC12Aの動作クロック/トリガ信号を生成	
16ビットPWMタイマ(T16B)	2チャンネル イベントカウンタ/キャプチャ機能 PWM波形生成機能 PWM出力またはキャプチャ入力ポート数: 2ポート/チャンネル	
電源電圧検出回路(SVD)		
検出レベル	30値(1.2~3.6 V)	
検出精度	±3 %	
その他	間欠動作モード 検出レベル判定で割り込み, またはリセットを発生	

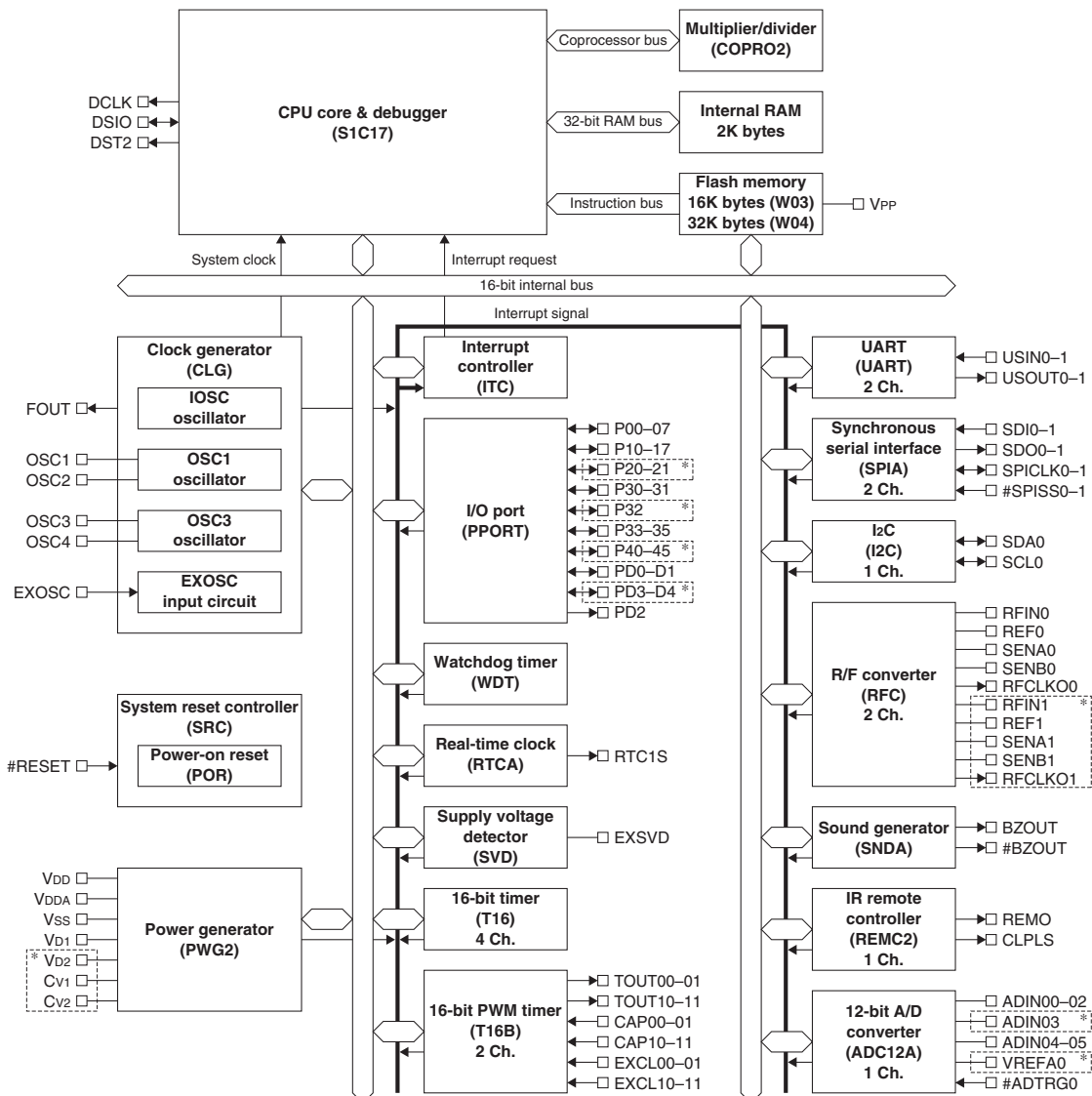
1 概要

機種	S1C17W03	S1C17W04
シリアルインタフェース		
UART(UART)	2チャンネル ボーレート生成回路内蔵, IrDA1.0対応	
同期式シリアルインタフェース(SPIA)	2チャンネル 転送データ長を2~16ビットに設定可能 マスタモードのボーレート生成回路として16ビットタイマ(T16)を使用可能	
I ² C(I2C)	1チャンネル ボーレート生成回路内蔵	
サウンドジェネレータ(SNDA)		
ブザー出力機能	出力周波数: 512 Hz~16 kHz 1ショット出力機能	
メロディ生成機能	音高: 128 Hz~16 kHz ≙ C3~C6 音長: 7種類(2分音符/休符~32分音符/休符) テンポ: 16種類(30~480) タイ/スラー指定可能	
IRリモートコントローラ(REMC2)		
送信チャンネル数	1チャンネル	
その他	応用としてELランプ駆動波形を生成可能	
R/F変換器(RFC)		
変換方式	CR発振型, 24ビットカウンタ	
変換チャンネル数	2チャンネル(48pinパッケージまたはチップ) 1チャンネル(32pinパッケージ) (各チャンネルに最大2個のセンサを接続可能)	
対応センサ	DCバイアス抵抗性センサ, ACバイアス抵抗性センサ(Ch.0のみ)	
12ビットA/D変換器(ADC12A)		
変換方式	逐次比較型	
分解能	12ビット	
変換チャンネル数	1チャンネル	
アナログ信号入力数	6ポート/チャンネル(48pinパッケージまたはチップ) 5ポート/チャンネル(32pinパッケージ)	
乗除算器(COPRO2)		
演算機能	16ビット × 16ビット乗算器 16ビット × 16ビット + 32ビット積和演算器 32ビット ÷ 32ビット除算器	
リセット		
#RESET端子	リセット端子Lowレベル検出時	
パワーオンリセット	電源投入時	
キー入力リセット	P00~P01/P02/P03キーの同時入力時(レジスタでON/OFF設定可能)	
ウォッチドッグタイマリセット	ウォッチドッグタイマオーバーフロー時(レジスタでON/OFF設定可能)	
電源電圧検出回路リセット	電源電圧検出回路による設定電圧検出時(レジスタでON/OFF設定可能)	
割り込み		
ノンマスクابل割り込み	4本(リセット, アドレス不整, デバッグ, NMI)	
プログラマブル割り込み	外部割り込み: 1本(8レベル) 内部割り込み: 20本(8レベル)	
電源電圧		
V _{DD} 動作電圧	1.2~3.6 V	
Flash書き換え時V _{DD} 動作電圧	1.8~3.6 V(V _{PP} = 7.5 Vの外部印加が必要)	
スーパーエコノミーモード時V _{DD} 動作電圧	2.5~3.6 V(48pinパッケージまたはチップ)	
V _{DDA} アナログ動作電圧	1.2~3.6 V(P3[5:0], P4[5:4]ポート用電源)	
A/D変換時V _{DDA} アナログ動作電圧	1.8~3.6 V	
動作温度		
動作温度範囲	-40~85 °C	
消費電流 (Typ.値)		
SLEEPモード	0.15 μA IOSC = OFF, OSC1 = OFF, OSC3 = OFF	
HALTモード	0.5 μA OSC1 = 32 kHz, RTC = ON 0.3 μA(48pinパッケージまたはチップ) OSC1 = 32 kHz, RTC = ON, スーパーエコノミーモード	
RUNモード	8 μA OSC1 = 32 kHz, RTC = ON, CPU = OSC1 4 μA(48pinパッケージまたはチップ) OSC1 = 32 kHz, RTC = ON, CPU = OSC1, スーパーエコノミーモード 250 μA OSC3 = 1 MHz(セラミック発振), OSC1 = 32 kHz, RTC = ON, CPU = OSC3	

機種	S1C17W03	S1C17W04
出荷形態		
1	*1 TQFP12-48PIN (P-TQFP048-0707-0.50, 7 × 7 mm, t = 1.2 mm, 0.5 mm pitch)	
2	*1 SQFN5-32PIN (P-VQFN032-0505-0.50, 5 × 5 mm, t = 1 mm, 0.5 mm pitch)	
3	チップ(パッドピッチ: 80 μm(min.))	

*1 ()内はJEITAのパッケージ名称です。

1.2 ブロック図



* 32pinパッケージには存在しません。

図1.2.1 S1C17W03/W04ブロック図

1.3 端子

1.3.1 端子配置図(パッケージ)

TQFP12-48PIN

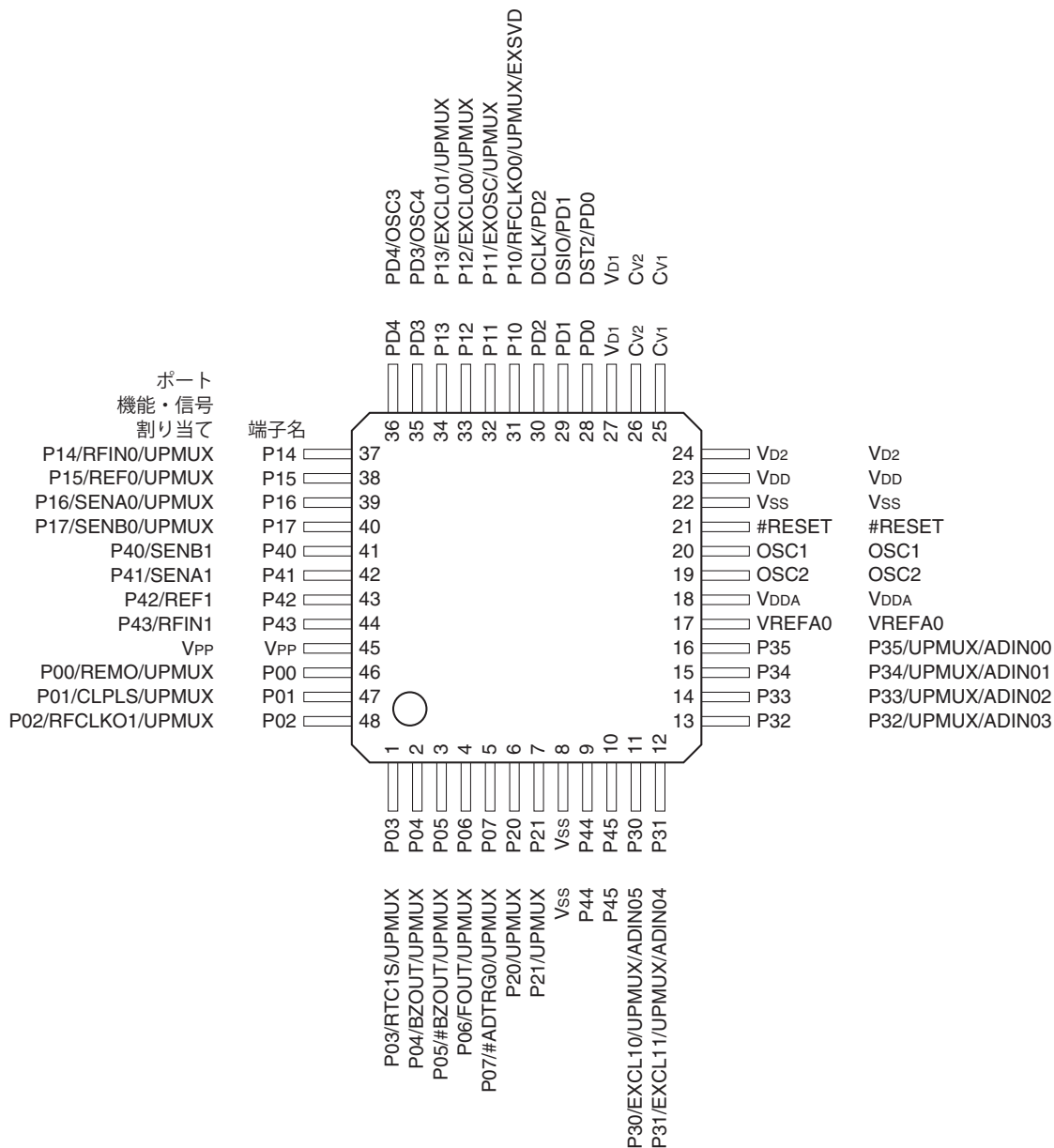


図1.3.1.1 S1C17W03/W04端子配置図(TQFP12-48PIN)

SQFN5-32PIN

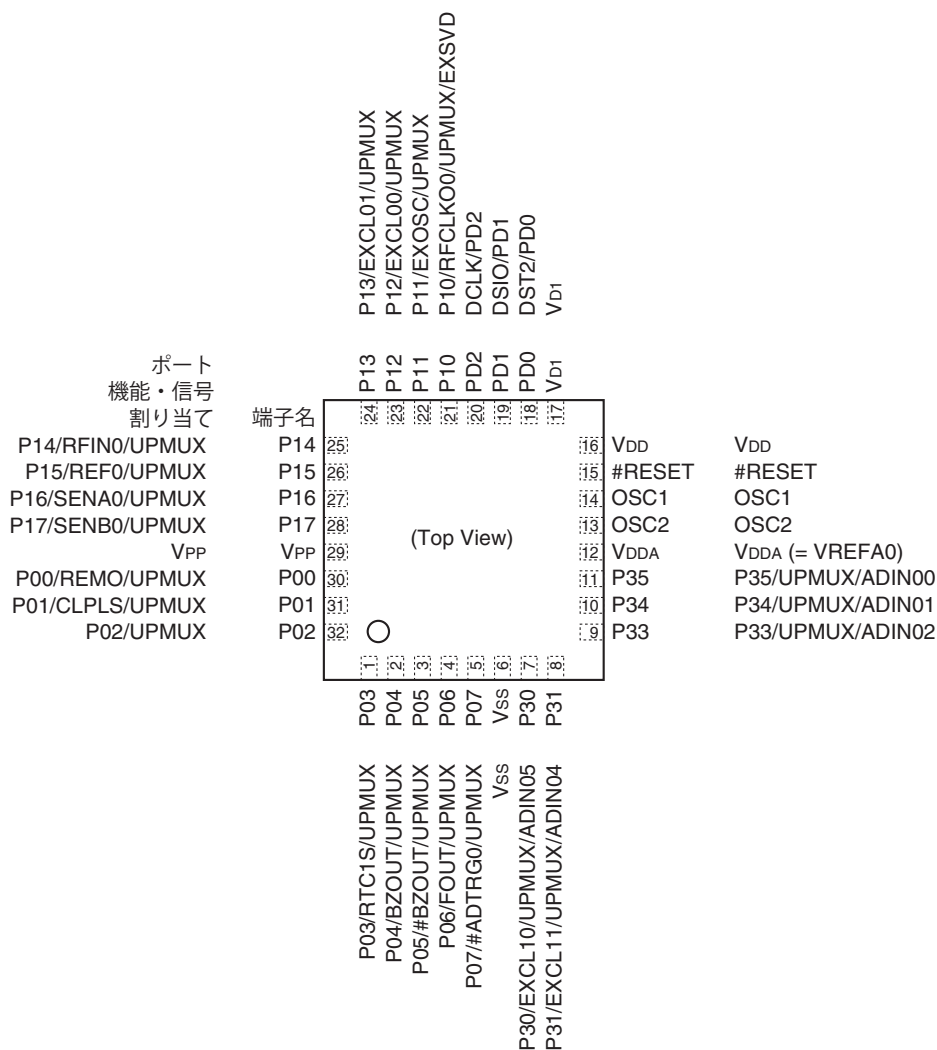


図1.3.1.2 S1C17W03/W04端子配置図(SQFN5-32PIN)

1.3.2 パッド配置図

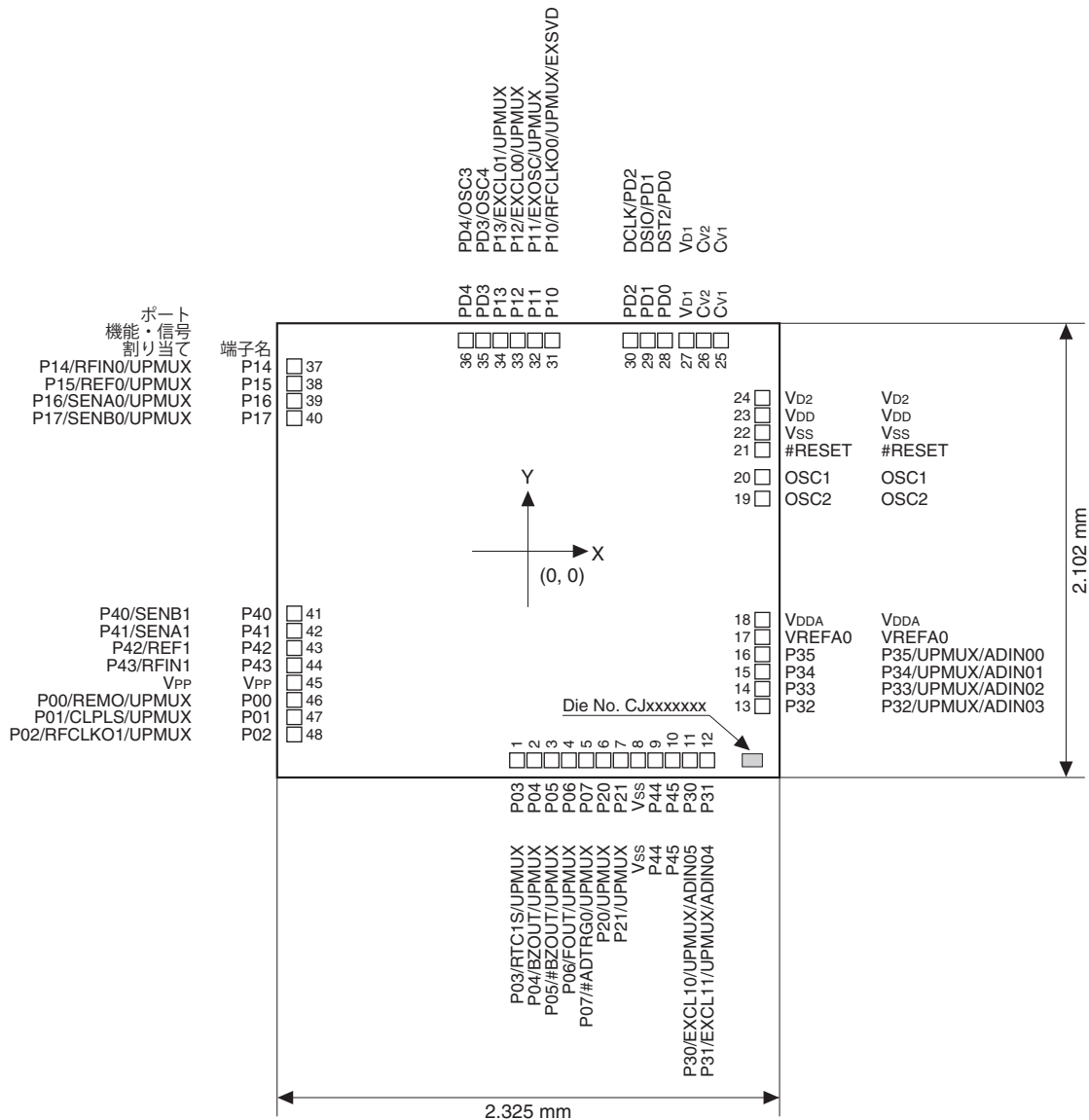


図1.3.2.1 S1C17W03/W04/パッド配置図(チップ)

パッド開口部: X = 68 μm, Y = 68 μm
 チップ厚: 400 μm

表1.3.2.1 S1C17W03/W04/パッド座標

No.	X μm	Y μm	No.	X μm	Y μm	No.	X μm	Y μm	No.	X μm	Y μm
1	-52.3	-971.5	13	1,083.0	-721.2	25	891.5	971.5	37	-1,083.0	852.0
2	27.7	-971.5	14	1,083.0	-641.2	26	811.5	971.5	38	-1,083.0	772.0
3	107.7	-971.5	15	1,083.0	-561.2	27	731.5	971.5	39	-1,083.0	692.0
4	187.7	-971.5	16	1,083.0	-481.2	28	632.3	971.5	40	-1,083.0	612.0
5	267.7	-971.5	17	1,083.0	-401.2	29	552.3	971.5	41	-1,083.0	-292.0
6	347.7	-971.5	18	1,083.0	-321.2	30	472.3	971.5	42	-1,083.0	-372.0
7	427.7	-971.5	19	1,083.0	239.6	31	110.8	971.5	43	-1,083.0	-452.0
8	512.7	-971.5	20	1,083.0	339.6	32	30.8	971.5	44	-1,083.0	-532.0
9	592.7	-971.5	21	1,083.0	465.6	33	-49.2	971.5	45	-1,083.0	-612.0
10	672.7	-971.5	22	1,083.0	545.6	34	-129.2	971.5	46	-1,083.0	-692.0
11	752.7	-971.5	23	1,083.0	625.6	35	-209.2	971.5	47	-1,083.0	-772.0
12	832.7	-971.5	24	1,083.0	705.6	36	-289.2	971.5	48	-1,083.0	-852.0

1.3.3 端子説明

記号説明

割り当て番号: 各端子の最上部に記載されている信号が、イニシャル状態で端子に割り当てられる信号です。その他の信号にはソフトウェアで切り換えます (“入出力ポート”の章を参照)。

I/O: I = 入力
O = 出力
I/O = 入出力
P = 電源
A = アナログ信号
Hi-Z = ハイインピーダンス状態

イニシャル状態: I (Pull-up) = プルアップ入力
I (Pull-down) = プルダウン入力
Hi-Z = ハイインピーダンス状態
O (H) = HIGHレベル出力
O (L) = LOWレベル出力

トレラント・フェイルセーフ対応:

✓ = トレラント・フェイルセーフ対応I/Oセル内蔵 (“入出力ポート”の章を参照)

表1.3.3.1 端子説明

端子/ パッド名	割り当て 番号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能	32pin PKG	48pin PKG/チップ
VDD	VDD	P	-	-	電源(+)	✓	✓
VDDA	VDDA	P	-	-	アナログ電源(+)	✓	✓
VSS	VSS	P	-	-	GND	✓	✓
VPP	VPP	P	-	-	Flashプログラミング電源	✓	✓
VD1	VD1	A	-	-	DC-DCコンバータ出力	✓	✓
VD2	VD2	A	-	-	DC-DCコンバータ安定化コンデンサ接続端子	-	✓
CV1-2	CV1-2	A	-	-	DC-DCコンバータチャージポンプコンデンサ接続端子	-	✓
OSC1	OSC1	A	-	-	OSC1発振回路入力	✓	✓
OSC2	OSC2	A	-	-	OSC1発振回路出力	✓	✓
VREFA0	VREFA0	A	-	-	12ビットA/D変換器Ch.0基準電圧入力	-	✓
#RESET	#RESET	I	I (Pull-up)	-	リセット入力	✓	✓
P00	P00	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	REMO	O			IRリモートコントローラ送信データ出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P01	P01	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	CLPLS	O			IRリモートコントローラクリアパルス出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P02	P02	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	RFCLKO1	O			R/F変換器Ch.1クロックモニタ出力	-	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P03	P03	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	RTC1S	O			リアルタイムクロック1秒周期パルス出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P04	P04	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	BZOUT	O			サウンドジェネレータ出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P05	P05	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	#BZOUT	O			サウンドジェネレータ反転出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P06	P06	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	FOUT	O			クロック外部出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P07	P07	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	#ADTRG0	I			12ビットA/D変換器Ch.0トリガ入力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓

1 概要

端子/ パッド名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能	32pin PKG	48pin PKG/チップ
P10	P10	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	RFCLK00	O			R/F変換器Ch.0クロックモニタ出力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	EXSVD	A			外部電源電圧検出入力	✓	✓
P11	P11	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	EXOSC	I			クロックジェネレータ外部クロック入力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P12	P12	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	EXCL00	I			16ビットPWMタイマCh.0イベントカウンタ入力0	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P13	P13	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	EXCL01	I			16ビットPWMタイマCh.0イベントカウンタ入力1	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P14	P14	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	RFIN0	A			R/F変換器Ch.0発振入力	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P15	P15	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	REF0	A			R/F変換器Ch.0リファレンス発振端子	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P16	P16	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	SENA0	A			R/F変換器Ch.0センサA発振端子	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P17	P17	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	SENB0	A			R/F変換器Ch.0センサB発振端子	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
P20	P20	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	-	✓
P21	P21	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	-	✓
P30	P30	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	EXCL10	I			16ビットPWMタイマCh.1イベントカウンタ入力0	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	ADIN05	A			12ビットA/D変換器Ch.0アナログ信号入力5	✓	✓
P31	P31	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	EXCL11	I			16ビットPWMタイマCh.1イベントカウンタ入力1	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	ADIN04	A			12ビットA/D変換器Ch.0アナログ信号入力4	✓	✓
P32	P32	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	-	✓
	ADIN03	A			12ビットA/D変換器Ch.0アナログ信号入力3	-	✓
P33	P33	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	ADIN02	A			12ビットA/D変換器Ch.0アナログ信号入力2	✓	✓
P34	P34	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	ADIN01	A			12ビットA/D変換器Ch.0アナログ信号入力1	✓	✓
P35	P35	I/O	Hi-Z	-	入出力兼用ポート	✓	✓
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)	✓	✓
	ADIN00	A			12ビットA/D変換器Ch.0アナログ信号入力0	✓	✓
P40	P40	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	SENB1	A			R/F変換器Ch.1センサB発振端子	-	✓
P41	P41	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	SENA1	A			R/F変換器Ch.1センサA発振端子	-	✓
P42	P42	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	REF1	A			R/F変換器Ch.1リファレンス発振端子	-	✓
P43	P43	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	RFIN1	A			R/F変換器Ch.1発振入力	-	✓
P44	P44	I/O	Hi-Z	-	入出力兼用ポート	-	✓
P45	P45	I/O	Hi-Z	-	入出力兼用ポート	-	✓

端子/ パッド名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能	32pin PKG	48pin PKG/チップ
PD0	DST2	O	O (L)	-	オンチップデバッグステータス出力	✓	✓
	PD0	I/O			入出力兼用ポート	✓	✓
PD1	DSIO	I/O	I (Pull-up)	-	オンチップデバッグデータ入出力	✓	✓
	PD1	I/O			入出力兼用ポート	✓	✓
PD2	DCLK	O	O (H)	-	オンチップデバッグクロック出力	✓	✓
	PD2	O			出力ポート	✓	✓
PD3	PD3	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	OSC4	A			OSC3発振回路出力	-	✓
PD4	PD4	I/O	Hi-Z	-	入出力兼用ポート	-	✓
	OSC3	A			OSC3発振回路入力	-	✓

注: 周辺回路の説明では、割り当て信号名を端子名として使用します。

ユニバーサルポートマルチプレクサ(UPMUX)について

ユニバーサルポートマルチプレクサ(UPMUX)は、端子に割り付ける以下の周辺回路入出力機能を、ソフトウェアによって自由に選択できる機能です。

表1.3.3.2 UPMUXで選択可能な周辺回路入出力機能

周辺回路	割り当て信号	I/O	チャンネル番号 <i>n</i>	機能
同期式シリアル インタフェース (SPIA)	SDI <i>n</i>	I	S1C17W03: <i>n</i> = 0, 1	SPIA Ch. <i>n</i> データ入力
	SDO <i>n</i>	O	S1C17W04: <i>n</i> = 0, 1	SPIA Ch. <i>n</i> データ出力
	SPICLK <i>n</i>	I/O		SPIA Ch. <i>n</i> クロック入出力
	#SPISS <i>n</i>	I		SPIA Ch. <i>n</i> スレーブセレクト入力
I ² C (I2C)	SCL <i>n</i>	I/O	S1C17W03: <i>n</i> = 0	I2C Ch. <i>n</i> クロック入出力
	SDA <i>n</i>	I/O	S1C17W04: <i>n</i> = 0	I2C Ch. <i>n</i> データ入出力
UART (UART)	USIN <i>n</i>	I	S1C17W03: <i>n</i> = 0, 1	UART Ch. <i>n</i> データ入力
	USOUT <i>n</i>	O	S1C17W04: <i>n</i> = 0, 1	UART Ch. <i>n</i> データ出力
16ビットPWMタイマ (T16B)	TOUT <i>n</i> 0/CAP <i>n</i> 0	I/O	S1C17W03: <i>n</i> = 0, 1	T16B Ch. <i>n</i> PWM出力/キャプチャ入力0
	TOUT <i>n</i> 1/CAP <i>n</i> 1	I/O	S1C17W04: <i>n</i> = 0, 1	T16B Ch. <i>n</i> PWM出力/キャプチャ入力1

注: 一つの機能を同時に複数の端子に割り当てないでください。

2 電源, リセット, クロック

本ICの電源、リセット、クロックは、それぞれ内蔵のパワージェネレータ、システムリセットコントローラ、クロックジェネレータによって管理されています。

2.1 パワージェネレータ(PWG2)

2.1.1 概要

PWG2は内部の電源システムを制御し、本ICを安定した状態で、かつ省電力に動作させるパワージェネレータです。主な機能と特長を以下に示します。

- 高効率なDC-DCコンバータにより内部回路を駆動
- 省電力動作への自動切り換えを含む4種類の動作モード(ノーマルモード、エコノミーモード、オートマチックモード、スーパーエコノミーモード)に対応
- 一部の回路はVDDAにより駆動され、VDDとは異なる電圧で動作させることが可能

図2.1.1.1にPWG2の構成を示します。

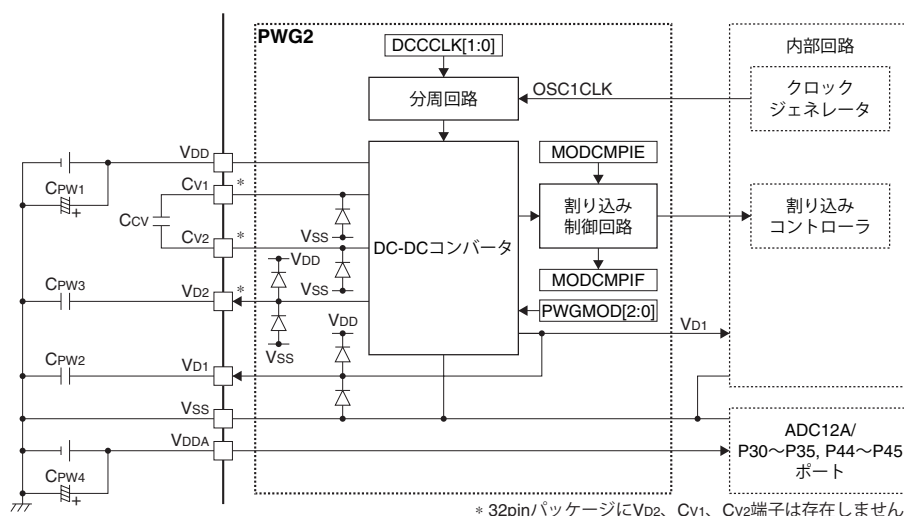


図2.1.1.1 PWG2の構成

注: 32pinパッケージにはVd2、Cv1、Cv2端子が存在しないため、スーパーエコノミーモードに設定することはできません。

2.1.2 端子

表2.1.2.1にPWG2の端子一覧を示します。

表2.1.2.1 PWG2端子一覧

端子名	I/O	イニシャル状態	機能
VDD	P	-	電源(+)
VDDA	P	-	アナログ電源(+)
VSS	P	-	GND
Vd1	A	-	DC-DCコンバータ出力端子
Vd2	A	-	DC-DCコンバータ安定化コンデンサ接続端子
Cv1, Cv2	A	-	DC-DCコンバータチャージポンプコンデンサ接続端子

VDD、VDDAの動作電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧VDD、アナログ電源電圧VDDA”を参照してください。また、推奨外付け部品については、“基本外部結線図”の章を参照してください。

注: • Vd1、Vd2端子の出力を外部回路の駆動には絶対に使用しないでください。

- VDDAは必ず電源(使用しない場合はVDD)に接続してください。

2.1.3 動作

PWG2は、表2.1.3.1に示す4つの動作モードを持っています。

表2.1.3.1 PWG2の動作モード

動作モード	消費電力	使用条件
ノーマルモード	大 ↑	なし
オートマチックモード		なし
エコノミーモード		OSC1以外のクロックソースがすべて停止している(RUN、HALT、SLEEPモード)、または全クロックソースが停止している(SLEEPモード)
スーパーエコノミーモード	↓ 小	1) V _{DD} 電圧値の要件を満たしている*1 2) OSC1が安定動作しており、OSC1以外のクロックソースがすべて停止している(RUN、HALT、SLEEPモードでOSC1が停止しない設定時)

*1 スーパーエコノミーモードに設定可能なV_{DD}の電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧V_{DD}”を参照してください。

ノーマルモード

4つの動作モードの中で消費電力は最も大きくなりますが、電圧変動などの影響が少ない安定した動作を行います。

他のモード(エコノミーモード)からノーマルモードへの切り換え

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. PWGCTL.PWGMOD[2:0]ビットを0x2に設定する。(ノーマルモードに設定)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

エコノミーモード

PWG2は省電力動作を行います。ノーマルモードに比べ電力消費が抑えられます。ただし、V_{DI}の駆動能力が制限されますので、システムが低負荷状態(表2.1.3.1、エコノミーモードの使用条件参照)の場合にのみ設定可能です。このため、エコノミーモードで高速クロック(IOSC、OSC3、EXOSC)を使用することはできません。

他のモード(ノーマルモード)からエコノミーモードへの切り換え

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. OSC1発振が安定していることを確認する(2.3.4節の“OSC1発振回路の発振開始手順”参照)。
3. 高速クロックソースを停止する。
4. PWGCTL.PWGMOD[2:0]ビットを0x3に設定する。(エコノミーモードに設定)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

注: 誤動作に繋がりますので、高速クロックソースが動作中はエコノミーモードへ切り換えないでください。

オートマチックモード

このモードでは、ハードウェアが前述のノーマルモードとエコノミーモードを自動的に切り換えます。特別な制御を必要としない場合は、オートマチックモードで使用してください。

他のモードからオートマチックモードへの切り換え

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. PWGCTL.PWGMOD[2:0]ビットを0x0に設定する。(オートマチックモードに設定)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

ハードウェアがノーマルモードとエコノミーモードを切り換える条件と動作は以下のとおりです。

1. ノーマルモード時に、OSC1以外のクロックソースをすべて停止した場合
クロックソースの停止から1 ms後、ノーマルモードからエコノミーモードに切り換え、PWGINTE.MODCMPIFビットを1にセットします。
2. エコノミーモード時に、OSC1以外のクロックソースを起動した場合
クロックソースの起動と同時にノーマルモードに切り換えます。

3. ノーマルモード時に、slp命令を実行した場合(SLEEP時に全クロックが停止する場合)
SLEEPモードへの遷移と同時にエコノミーモードに切り換えます。PWGINTF.MODCMPPIFビットはセットされません。
4. ノーマルモード時に、slp命令を実行した場合(SLEEP時にOSC1のみ動作する場合)
SLEEPモードへの遷移から1 ms後、ノーマルモードからエコノミーモードに切り換え、PWGINTF.MODCMPPIFビットを1にセットします。
5. SLEEP状態からの起床時
RUNモードへの遷移と同時に、OSC1のみが動作している場合はエコノミーモードに、それ以外の場合はノーマルモードに切り換えます。

PWGINTF.MODCMPPIFビットがセットされる条件については、“割り込み”を参照してください。

スーパーエコノミーモード

前述の3つの動作モードではV_{DI}をリニアレギュレータで生成していましたが、スーパーエコノミーモードではチャージポンプを使用して生成します。これにより、エコノミーモードに比べ、さらなる省電力動作が可能になります。ただし、チャージポンプ動作には規定値以上のV_{DD}電圧が必要です。また、駆動能力が制限されますので、高速クロック(IOSC、OSC3、EXOSC)を使用することはできません。

他のモード(オートマチックモード)からスーパーエコノミーモードへの切り換え

1. 電源電圧検出回路でV_{DD}が要件を満たしていることを確認する。
2. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
3. OSC1発振が安定していることを確認する(2.3.4節の“OSC1発振回路の発振開始手順”参照)。
4. 高速クロックソースを停止する。
5. PWGTIM.DCCCLK[1:0]ビットを設定する(初回のみ)。(チャージポンプ動作クロック分周比の設定)
6. PWGCTL.PWGMOD[2:0]ビットを0x5に設定する。(スーパーエコノミーモードに設定)
7. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

注: CPUが暴走する可能性がありますので、以下の条件下では絶対にスーパーエコノミーモードに設定しないでください。

1. V_{DD}がスーパーエコノミーモードの要件を満たしていない。
 2. OSC1以外のクロックソースが動作している。
 3. OSC1クロックが安定していない。
- チャージポンプは、OSC1クロックで動作します。したがって、スーパーエコノミーモード時にSLEEPさせる場合は、SLEEP時もOSC1クロックソースのみが動作するように設定しておく必要があります(CLGOSC.OSC1SLPCビット = 0、他のCLGOSC.***SLPCビット = 1)。

スーパーエコノミーモードからオートマチックモード/エコノミーモードへの切り換え

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. PWGCTL.PWGMOD[2:0]ビットを0x0に設定する。(オートマチックモードに設定)
または、PWGCTL.PWGMOD[2:0]ビットを0x3に設定する。(エコノミーモードに設定)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
4. PWGINTF.MODCMPPIFビット = 1(モード遷移完了)を確認する。

PWGINTF.MODCMPPIFビットがセットされる条件については、“割り込み”を参照してください。

注: 誤動作に繋がりますので、スーパーエコノミーモードから直接ノーマルモードに切り換えしないでください。高速クロックを使用する場合は、オートマチックモードに切り換えた後にクロックソースを起動させてください。

- スーパーエコノミーモードからオートマチックモード(またはエコノミーモード)への切り換え操作から10 ms後に、PWGINTF.MODCMPPIFビットが1にセットされます。誤動作に繋がりますので、PWGINTF.MODCMPPIFビットがセットされる前に、高速クロックの起動など、重負荷となる操作は行わないでください。

2.2 システムリセットコントローラ(SRC)

2.2.1 概要

SRCは、各種リセットソースの要求に応じて、内部回路をリセットし、ICの安定した動作を実現するシステムリセットコントローラです。主な機能と特長を以下に示します。

- 電源投入時の内部電源が不安定な間やクロックソースの起動直後で発振周波数が不安定な間、リセット状態を保持し続けるリセット保持回路を内蔵し、安全な起動動作を実現
- 複数のリセットソースからのリセット要求に対応
 - #RESET端子
 - POR
 - キー入力リセット
 - ウォッチドッグタイマリセット
 - 電源電圧検出回路リセット
 - 周辺回路ソフトウェアリセット(一部の周辺回路のみ)
- CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されており、状態変化に応じた最適なりセット動作を実現

図2.2.1.1にSRCの構成を示します。

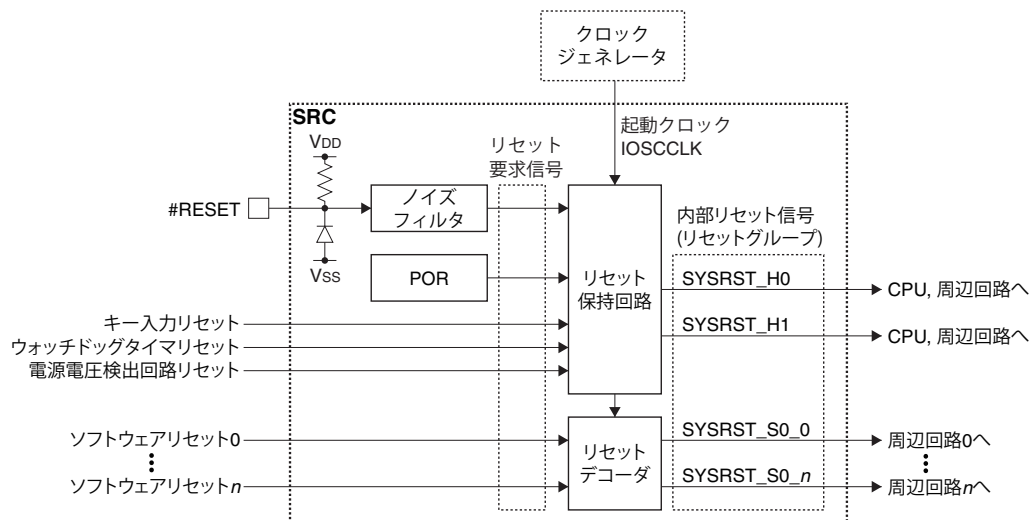


図2.2.1.1 SRCの構成

2.2.2 入力端子

表2.2.2.1にSRCの端子一覧を示します。

表2.2.2.1 SRC端子

端子名	I/O	イニシャル状態	機能
#RESET	I	I (Pull-up)	リセット入力

#RESET端子にはノイズフィルタが内蔵されており、要件を満たさないパルスを除きます。また、プルアップ抵抗を内蔵していますので、端子をオープン状態にすることができます。#RESET端子特性については、“電気的特性”の章の“#RESET端子特性”を参照してください。

2.2.3 リセットソース

システムの初期化を要求する要因をリセットソースと呼びます。以下にリセットソースを示します。

#RESET端子

#RESET端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。

POR

POR(パワーオンリセット)は、 V_{DD} の立ち上がりを検出してリセット要求を発行します。この回路からのリセット要求により、電源投入時の確実なリセットを実現します。図2.2.3.1に、 V_{DD} の変化に伴うPORの内部リセット動作の例を示します。

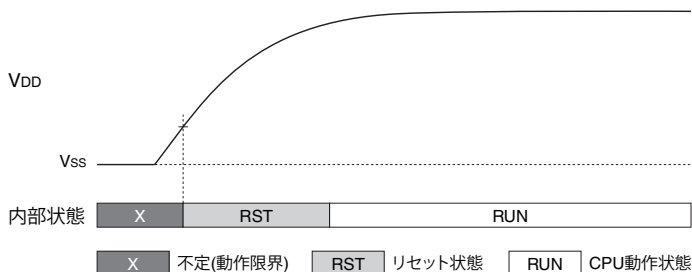


図2.2.3.1 PORによる内部リセット動作例

PORの電氣的仕様については、“電氣的特性”の章の“POR特性”を参照してください。

キー入力リセット

リセット入力用に設定された入出力ポート端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。この機能は入出力ポートでイネーブルにする必要があります。詳細は“入出力ポート”の章を参照してください。

ウォッチドッグタイマリセット

ウォッチドッグタイマをリセットモードに設定しておく、カウンタがオーバーフローした時点で、リセット要求を発行します。この機能は、CPU暴走時に正常な状態への復帰を実現します。詳細は“ウォッチドッグタイマ”の章を参照してください。

電源電圧検出回路リセット

電源電圧検出回路で電源電圧低下検出リセット機能をイネーブルにすると、電源電圧の低下を検出した時点で、リセット要求を発行します。これにより、一定電圧以下でICを動作させたくないような場合に、リセット状態にすることができます。詳細は“電源電圧検出回路”の章を参照してください。

周辺回路ソフトウェアリセット

一部の周辺回路には、ソフトウェアリセット用の制御ビット(MODENやSFTRST)が用意されており、値を書き込むことで、周辺回路制御ビットの初期化が行えます。ただし、ソフトウェアリセットの動作は周辺回路ごとに異なります。詳細は各周辺回路の“制御レジスタ”を参照してください。

注: 周辺回路によっては、MODENビットでソフトウェアリセットは発生しません。

2.2.4 初期化条件(リセットグループ)

CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されています。この初期化条件をリセットグループと呼びます。リセットグループに属するリセットソースからのリセット要求があった場合に、初期化を行います。リセットグループの一覧を表2.2.4.1に示します。実際にどのレジスタや制御ビットが初期化されるかについては、“CPU, デバッグ”の章、または各周辺回路の“制御レジスタ”を参照してください。

表2.2.4.1 リセットグループ一覧

リセットグループ	リセットソース	リセット解除タイミング
H0	#RESET端子 POR キー入力リセット 電源電圧検出回路リセット ウォッチドッグタイマリセット	リセット要求解除後、リセット保持時間 <trstrの間、リセットを保持< td=""> </trstrの間、リセットを保持<>
H1	#RESET端子 POR	
S0	周辺回路ソフトウェアリセット (MODENやSFTRSTビット。周辺回路ごとにリセット動作は異なる)	リセット要求解除後、即時リセット解除

2.3 クロックジェネレータ(CLG)

2.3.1 概要

CLGは、クロックソースを制御し、CPUや周辺回路へのクロック供給を管理するクロックジェネレータです。主な機能と特長を以下に示します。

- 複数のクロックソースに対応
 - 外付け部品なしで動作し、高速な起動を行うIOSC発振回路
 - 32.768 kHzの水晶振動子で高精度かつ低パワー動作を実現するOSC1発振回路
 - 発振回路の種類として、水晶/セラミック発振(要外付け振動子)、CR発振(要外付けR)、内蔵発振を選択可能なOSC3発振回路
 - 矩形波、サイン波の入力に対応するEXOSCクロック入力
- CPUやバスの動作クロックであるシステムクロック(SYSCLK)、および、周辺回路の動作クロックは、最適なクロックソースと分周比を選択して個別に設定可能
- 起動時のクロックにはIOSC発振回路のIOSCCLKが選択され、高速な立ち上がりを実現
- RUN、SLEEPモードに合わせて発振回路やクロック入力のON/OFFを制御
- SLEEPモード解除時に、フレキシブルなシステムクロックの切り換えが可能
 - SLEEPモード時に停止させるクロックソースを選択可能
 - SLEEPモード解除時のSYSCLKをクロックソースから選択可能
 - SLEEPモード解除時の発振回路、クロック入力のON/OFF状態の保持または変更を設定可能
- 外部ICの駆動や状態モニタのため、内部クロックを出力するFOUT機能を搭載

図2.3.1.1にCLGの構成を示します。

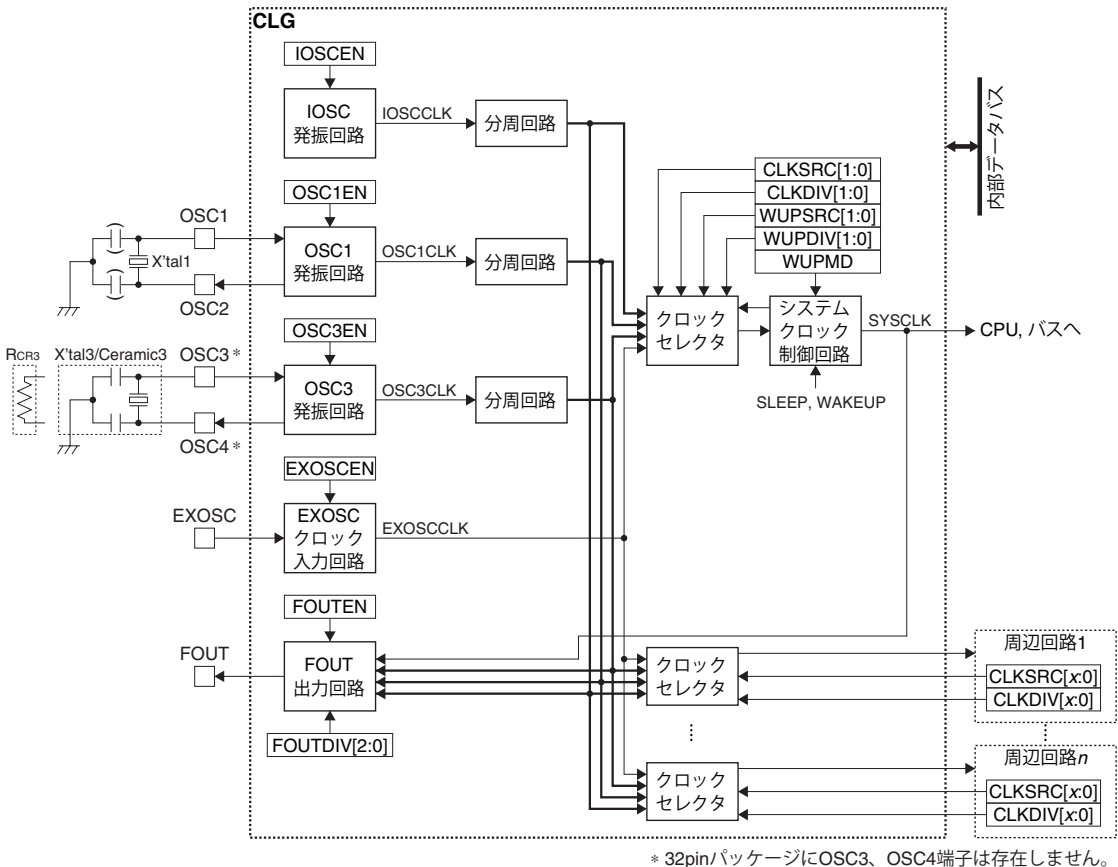


図2.3.1.1 CLGの構成

2.3.2 入出力端子

図2.3.2.1にCLGの端子一覧を示します。

表2.3.2.1 CLG端子一覧

端子名	I/O*	イニシャル状態*	機能
OSC1	A	-	OSC1発振回路入力
OSC2	A	-	OSC1発振回路出力
OSC3	A	-	OSC3発振回路入力
OSC4	A	-	OSC3発振回路出力
EXOSC	I	I	EXOSCクロック入力
FOUT	O	O (L)	FOUTクロック出力

* 端子機能をCLGに切り換えた時点の状態

CLGの入出力機能と他の機能がポートを共有している場合、CLGの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

2.3.3 クロックソース

IOSC発振回路

IOSC発振回路は外付け部品なしで動作し、高速に起動します。図2.3.3.1に、IOSC発振回路の構成を示します。

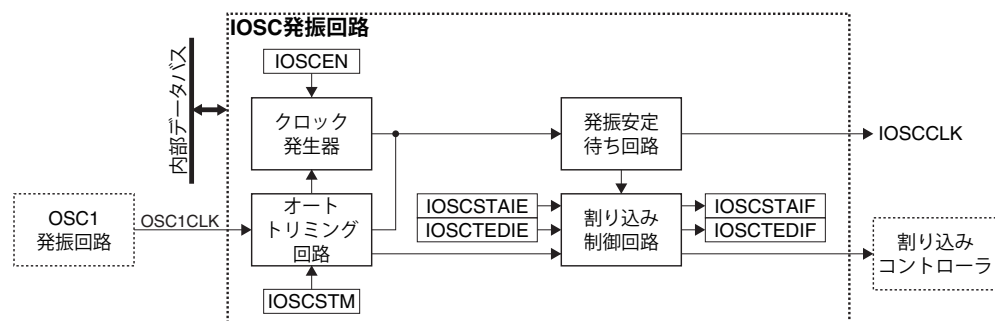


図2.3.3.1 IOSC発振回路の構成

起動時のSYSCLKには、IOSC発振回路の出力クロックIOSCCLKが選択されます。IOSC発振回路には、自動的に周波数を調整するオートトリミング機能が搭載されており、製造バラツキや、温度、電圧変化による周波数偏差を低減します。オートトリミング機能については、“IOSC発振オートトリミング機能”を参照してください。発振特性については、“電気的特性”の章の“IOSC発振回路特性”を参照してください。

OSC1発振回路

OSC1発振回路は、32.768 kHz水晶振動子を使用する高精度な低パワー発振回路です。図2.3.3.2に、OSC1発振回路の構成を示します。

2 電源, リセット, クロック

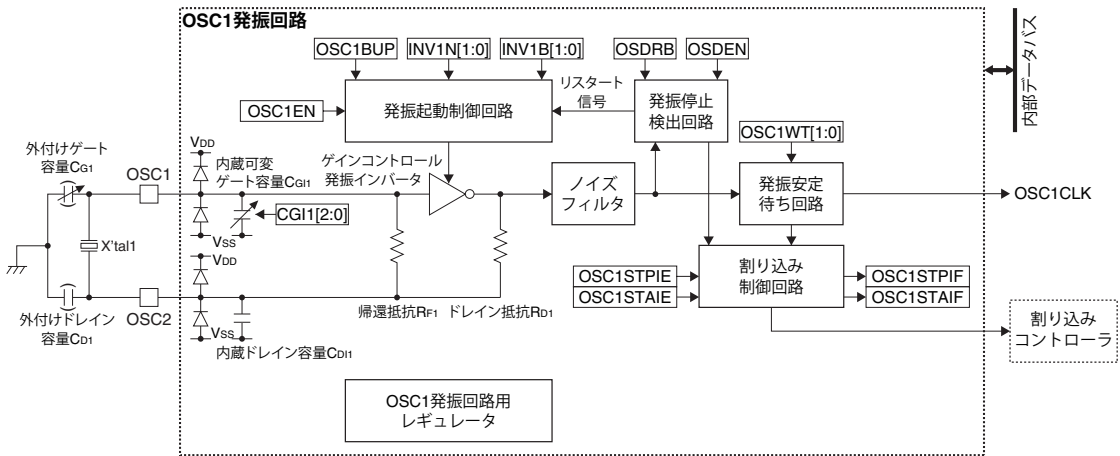


図2.3.3.2 OSC1発振回路の構成

ゲインコントロール発振インバータや可変ゲート容量を内蔵しており、シリンダタイプから表面実装タイプまで、様々な水晶振動子に対応可能です。

また、帰還抵抗、ドレイン抵抗などの部品も内蔵していますので、水晶振動子以外の外付け部品は必要ありません。発振停止を検知して再起動を行う発振停止検出回路を搭載し、発振が停止してしまうような悪条件下でも安全に動作させることが可能です。加えて、発振イネーブル後の一定期間、発振開始を補助する発振起動制御回路を搭載しており、発振開始が難しい低パワー振動子にも対応します。推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章の“OSC1発振回路特性”を参照してください。

注: 実装基板や、使用する振動子の種類により、外付けのゲート容量 C_{G1} 、ドレイン容量 C_{D1} が必要になる場合があります。

OSC3発振回路

OSC3発振回路は、ソフトウェアによって発振回路の種類を以下の3種類から選択可能な高速発振回路です。図2.3.3.3にOSC3発振回路の構成を示します。

水晶/セラミック発振回路

帰還抵抗、ドレイン抵抗などの部品を内蔵しており、水晶/セラミック振動子以外に外付け部品が必要ありません。ゲインコントロールインバータを内蔵しており、広い周波数範囲から振動子を選択可能です。

CR発振回路

発振容量(C_{CR3})を内蔵しており、抵抗(R_{CR3})で周波数を調整可能です。 R_{CR3} 以外に外付け部品は必要ありません。

内蔵発振回路

外付け部品を必要としない発振回路で、発振周波数をソフトウェアにて選択可能です。

注: • OSC3発振回路の発振周波数 f_{osc3} は、電源電圧 V_{DD} の値により最大値が決まります。発振周波数範囲については、“電気的特性”の章の“推奨動作条件”を参照してください。

- CR発振回路を選択している場合、OSC3およびOSC4端子に隣接するI/O端子の出力変化が発振周波数に影響を与える可能性があります。
- 内蔵発振回路選択時は、OSC3およびOSC4が割り当てられた端子を入力端子として使用しないでください。発振周波数に影響を与える可能性があります。

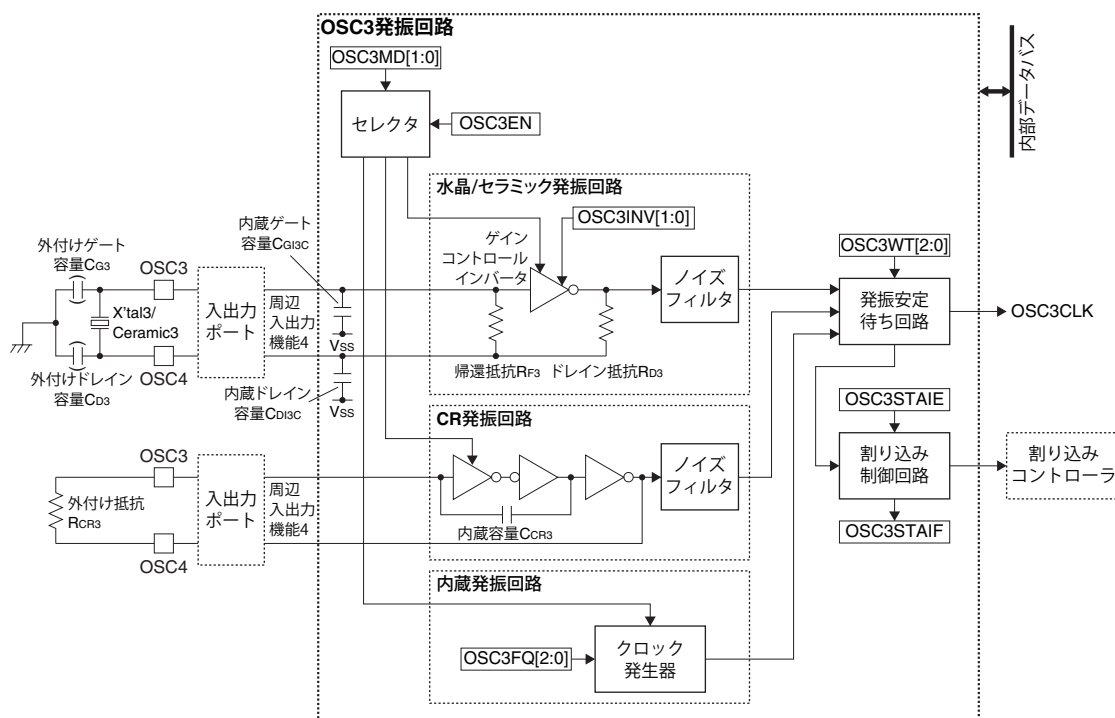


図2.3.3.3 OSC3発振回路の構成

推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章を参照してください。

EXOSCクロック入力

EXOSCクロック入力は、矩形波またはサイン波のクロックに対応した外部クロック入力回路です。図2.3.3.4にEXOSCクロック入力回路の構成を示します。

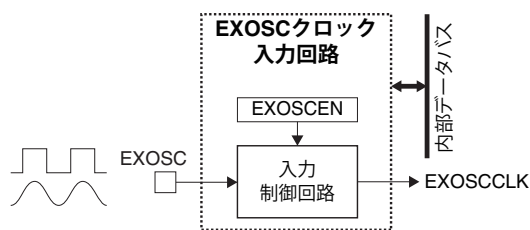


図2.3.3.4 EXOSCクロック入力回路

EXOSCは発振安定待ち回路を持ちませんので、必ず安定したクロックが供給されている状態で、イネーブルにする必要があります。入力クロック特性については、“電気的特性”の章の“EXOSC外部クロック入力特性”を参照してください。

2.3.4 動作

発振開始時間と発振安定待ち時間

発振開始時間とは、発振回路をイネーブルにしてから実際に発振波形がIC内部へ伝播するまでの時間のことです。発振安定待ち時間は、発振開始後のクロックが安定するまでの待ち時間のことです。発振回路には発振安定待ち回路が内蔵されており、この間の不安定なクロックによる内部回路の誤動作を防止するため、指定の時間が経過するまでシステムへのクロック供給を停止できるようになっています。図2.3.4.1に、発振開始時間と発振安定待ち時間の関係を示します。

2 電源, リセット, クロック

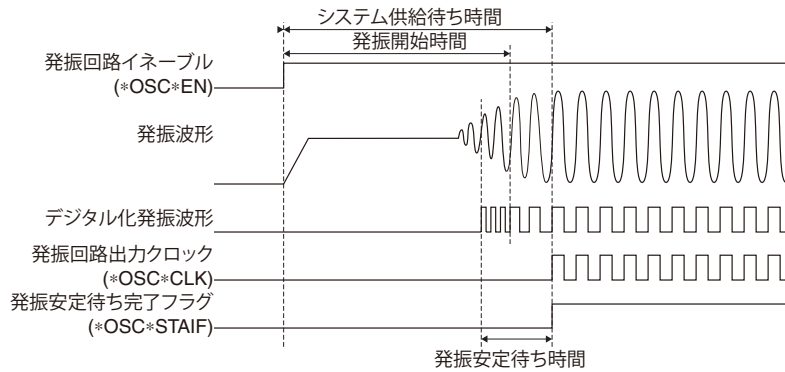


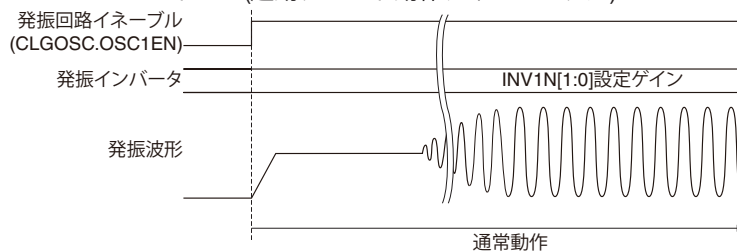
図2.3.4.1 発振開始と発振安定待ち時間

OSC1、OSC3発振回路の発振安定待ち時間は、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC3.OSC3WT[2:0]ビットによって設定できます。設定した発振安定時間が適切で、発振開始直後のクロックが安定しているか否かについては、FOUT出力を行い、発振クロックをモニタすることで確認できます。IOSC発振回路の発振安定待ち時間は、IOSCCLK 16クロックに固定されています。OSC1発振回路の発振安定待ち時間は、OSC1CLK 16,384クロック以上に設定してください。OSC3発振回路の発振安定待ち時間は、水晶/セラミック発振回路選択時はOSC3CLK 1,024クロック以上、CR発振回路または内蔵発振回路選択時はOSC3CLK 4クロック以上に設定してください。発振安定待ちが完了すると、発振回路は発振安定待ち完了フラグをセットし、内部回路へのクロック供給を開始します。

注: 発振安定待ち完了フラグが0にクリアされない場合でも、発振開始時には必ず発振安定待ち時間が設定されます。

OSC1発振回路はCLGOSC1.OSC1BUPビットを1に設定して発振起動制御回路を有効にすることで、発振回路をイネーブルに設定(CLGOSC.OSC1ENビットを1に設定)してから一定時間、高ゲインの発振インバータで発振動作をさせて(起動ブースト動作)、発振開始時間を縮めることができます。ただし、通常動作時と起動ブースト動作時のゲインの差が大きいと、発振動作が不安定になる可能性があります。また、実際に発振開始時間が短縮されるかどうかは使用する振動子の特性によって異なります。発振起動制御回路使用時の動作例を図2.3.4.2に示します。

(1) CLGOSC1.OSC1BUPビット = 0 (起動ブースト動作ディスエーブル)



(2) CLGOSC1.OSC1BUPビット = 1 (起動ブースト動作イネーブル)

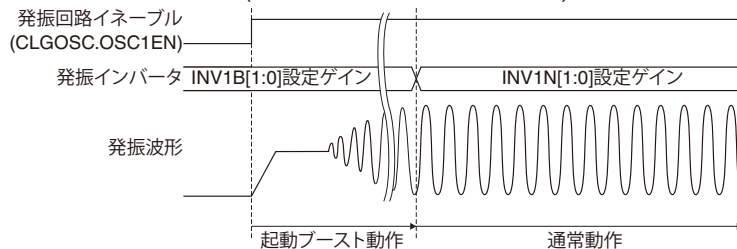


図2.3.4.2 発振起動制御回路使用時の動作例

IOSC発振回路の発振開始手順

IOSC発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.IOSCSTAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.IOSCSTAIEビットに1を書き込む。(割り込みをイネーブル)
3. CLGOSC.IOSCENビットに1を書き込む。(発振を開始)
4. 割り込みが発生し、CLGINTF.IOSCSTAIFビット = 1ならば、IOSCCLKを使用可能。

OSC1発振回路の発振開始手順

OSC1発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC1STAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.OSC1STAIEビットに1を書き込む。(割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. 使用する振動子に合わせ、CLGOSC1レジスタの以下のビットを設定する。
 - CLGOSC1.INV1N[1:0]ビット (発振インバータのゲインを設定)
 - CLGOSC1.CG1I[2:0]ビット (内蔵ゲート容量を設定)
 - CLGOSC1.OSC1WT[1:0]ビット (発振安定待ち時間を設定)
 発振起動制御回路を使用する場合は、以下のビットも設定する。(図2.3.4.2参照)
 - CLGOSC1.INV1B[1:0]ビット (起動ブースト動作時の発振インバータゲインを設定)
 - CLGOSC1.OSC1BUPビットを1に設定 (発振起動制御回路をイネーブル)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
6. CLGOSC.OSC1ENビットに1を書き込む。(発振を開始)
7. 割り込みが発生し、CLGINTF.OSC1STAIFビット = 1ならば、OSC1CLKを使用可能。

CLGOSC1.INV1N[1:0]ビット、CLGOSC1.CG1I[2:0]ビット、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC1.INV1B[1:0]ビットの設定値は、実装基板で評価を行い決定してください。

OSC3発振回路の発振開始手順

OSC3発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC3STAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.OSC3STAIEビットに1を書き込む。(割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. CLGOSC3レジスタの以下のビットを設定する。
 - CLGOSC3.OSC3MD[1:0]ビット (発振回路の種類を選択)
 - CLGOSC3.OSC3WT[2:0]ビット (発振安定待ち時間を設定)
 水晶/セラミック発振回路を使用する場合は、以下のビットも設定する。
 - CLGOSC3.OSC3INV[1:0]ビット (発振インバータのゲインを設定)
 内蔵発振回路を使用する場合は、以下のビットも設定する。
 - CLGOSC3.OSC3FQ[2:0]ビット (発振周波数を選択)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
6. 水晶/セラミック発振回路およびCR発振回路を使用する場合は、OSC3発振回路の入出力機能をポートに割り当てる(“入出力ポート”の章を参照)
7. CLGOSC.OSC3ENビットに1を書き込む。(発振を開始)
8. 割り込みが発生し、CLGINTF.OSC3STAIFビット = 1ならば、OSC3CLKを使用可能。

CLGOSC3.OSC3INV[1:0]ビット、CLGOSC3.OSC3WT[2:0]ビットの設定値は、実装基板で評価を行い決定してください。

注: 3種類のOSC3発振回路の切り換えは、必ずCLGOSC.OSC3ENビット = 0(発振停止)の状態で行ってください。

システムクロック切り換え

起動時はIOSCCLKをSYSCLKとして動作を開始します。その後、処理内容に応じてSYSCLKのクロックソースを切り換えることが可能です。また、クロックソースの分周比を指定してSYSCLK周波数を設定可能で、実行する処理に合わせ最適なパフォーマンスで動作させることができます。これらの制御は、CLGSCLK.CLKSRC[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットで行います。

CLGSCLKレジスタの各ビットはシステムプロテクトの保護対象のため、設定を変更する際は、あらかじめMSCPROT.PROT[15:0]ビットに0x0096を書き込み、システムプロテクトを解除する必要があります。システムクロック切り換えを含む動作モードの遷移については、“動作モード”を参照してください。

SLEEP時のクロック制御

slp命令を実行すると、CPUはSLEEPモードへ移行します。このときに動作中のクロックソースを停止させるか否かをソースごとに選択することが可能です。これにより、CPUを素早くSLEEPモードまたはRUNモードに遷移させると共に、周辺回路はSLEEP中でもクロックを止めることなく動作させることができます。この制御は、CLGOSC.IOSCSLPCビット、CLGOSC.OSC1SLPCビット、CLGOSC.OSC3SLPCビット、CLGOSC.EXOSCSLPCビットで行います。制御の例を図2.3.4.3に示します。

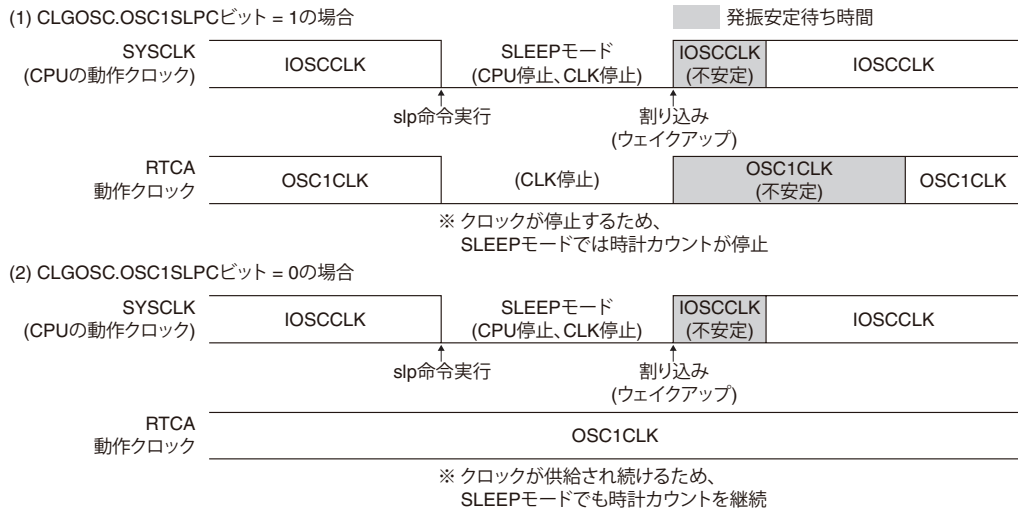


図2.3.4.3 SLEEPモード時のクロック制御例

また、SLEEPモードからRUNモードへ移行するウェイクアップ時のSYSCLKの設定(クロックソースと分周比の選択)も可能です。これにより、起動処理に合わせたフレキシブルなクロック制御が可能です。このクロック設定はCLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.WUPDIV[1:0]ビットで行い、CLGSCLK.WUPMDビットに1を書き込んでこの機能をイネーブルにします。

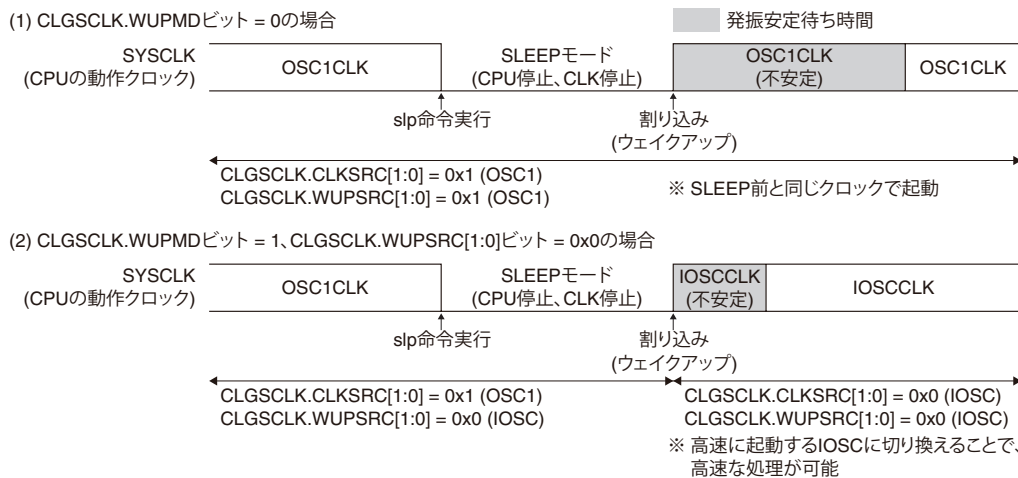


図2.3.4.4 SLEEP解除時のクロック制御例

クロック外部出力(FOUT)

各クロックソースの出力クロックまたはその分周クロックをFOUT端子から外部へ出力することができます。これにより、発振回路の発振周波数のモニタや、外部ICへの動作クロックの供給が可能です。クロックの外部出力は以下の手順で行います。

1. FOUT機能をポートに割り当てる。 (“入出力ポート”の章を参照)
2. CLGFOUTレジスタの以下のビットを設定する。
 - CLGFOUT.FOUTSRC[1:0]ビット (クロックソースを選択)
 - CLGFOUT.FOUTDIV[2:0]ビット (クロック分周比を設定)
 - CLGFOUT.FOUTENビットを1に設定 (クロック外部出力イネーブル)

IOSC発振オートトリミング機能

オートトリミング機能は、OSC1発振回路の高精度なOSC1CLKクロックを基準にIOSCCLKクロックをトリミングして周波数を調整する機能です。オートトリミング機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. IOSC発振イネーブル後、クロックが安定供給されていること(CLGINTF.IOSCSTAIFビット = 1)を確認する。
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. SYSCLKのクロックソースがIOSCの場合は、CLGSCLK.CLKSRC[1:0]ビットを0x0(IOSC)以外の値に設定する。
5. CLGINTF.IOSCTEDIFビットに1を書き込む。 (割り込みフラグをクリア)
6. CLGINTF.IOSCTEDIEビットに1を書き込む。 (割り込みをイネーブル)
7. CLGIOSC.IOSCSTMビットに1を書き込む。 (IOSC発振オートトリミングをイネーブル)
8. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
9. 割り込みが発生し、CLGINTF.IOSCTEDIFビット = 1ならば、トリミングされたIOSCCLKを使用可能。

トリミングが終了すると、CLGIOSC.IOSCSTMビットは、自動的に0になります。トリミングにかかる時間は温度によって変化しますが、平均して数10 ms必要です。システムクロックや周辺回路クロックにIOSCCLKを使用している間は、オートトリミング機能を使用しないでください。

OSC1発振停止検出機能

発振停止検出機能は、OSC1の発振が停止してしまうような悪条件下でも、発振停止を検出してOSC1発振回路を再起動させる機能です。発振停止検出機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. CLGINTF.OSC1STPIFビットに1を書き込む。 (割り込みフラグをクリア)
3. CLGINTF.OSC1STPIEビットに1を書き込む。 (割り込みをイネーブル)
4. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
5. CLGOSC1レジスタの以下のビットを設定する。
 - CLGOSC1.OSDRBビットを1に設定 (OSC1リスタート機能をイネーブル)
 - CLGOSC1.OSDENビットを1に設定 (発振停止検出機能をイネーブル)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
7. 割り込みが発生し、CLGINTF.OSC1STPIFビット = 1のとき、OSC1発振停止。
CLGOSC1.OSDRBビット = 1のときは、ハードウェアがOSC1発振回路を再起動。

注: 発振停止検出機能をイネーブルにすると、発振停止検出回路電流(I_{OSD1})が増加します。

2.4 動作モード

2.4.1 イニシャル起動シーケンス

電源投入時のイニシャル起動シーケンスを図2.4.1.1に示します。

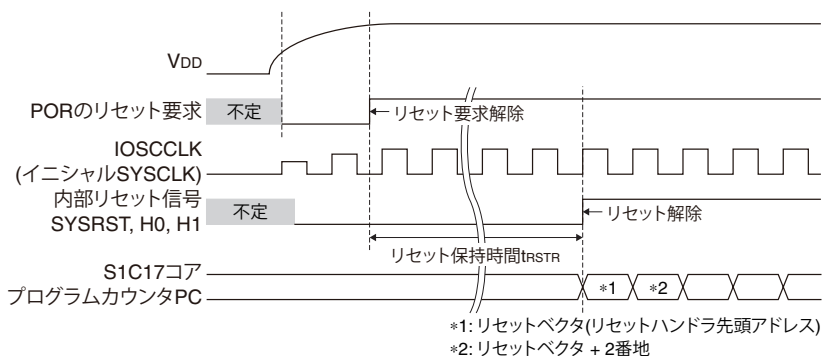


図2.4.1.1 イニシャル起動シーケンス

注: 電源投入時のリセット解除時間は、電源の立ち上がり時間、リセット要求解除時間によって変わります。

リセット保持時間 $trSTR$ については、“電気的特性”の章の“リセット保持回路特性”を参照してください。

2.4.2 動作モードの遷移

本ICでは、図2.4.2.1に示すような動作モード間の状態遷移が起きます。

RUNモード

CPUがプログラムを実行するモードをRUNモードと呼びます。システムリセットコントローラからのシステムリセット要求が解除されると、このモードへ遷移します。RUNモードは、SYSCLKのクロックソースの違いによって、“IOSC RUN”、“OSC1 RUN”、“OSC3 RUN”、“EXOSC RUN”に分けられます。

HALTモード

halt命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。この状態をHALTモードと呼びます。このモードでは、クロックソースや周辺回路は動作を続けます。ソフトウェア処理が必要ないときに設定することで、RUNモードよりも消費電力を低減できます。HALTモードは、SYSCLKのクロックソースの違いによって、“IOSC HALT”、“OSC1 HALT”、“OSC3 HALT”、“EXOSC HALT”に分けられます。

SLEEPモード

slp命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。このモードをSLEEPモードと呼びます。このモードではクロックソースも停止します。ただし、CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビット = 0に設定されているクロックソースは動作を継続し、クロックの供給されている周辺回路は動作し続けます。ソフトウェア処理が必要なく、周辺回路の動作も停止したいときに設定することで、HALTモードよりも消費電力を低減できます。

注: CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビット = 0の設定により、SLEEPモード時にクロックソースを動作させているときの消費電流は、同条件のHALTモード時と同等です(“電気的特性”の章の“消費電流、HALTモード時消費電流 I_{HALT1} 、 I_{HALT2} 、 I_{HALT3} ”を参照してください)。

DEBUGモード

デバッグ割り込みが発生すると、CPUはDEBUGモードへ移行します。DEBUGモードは、ret命令によって解除されます。DEBUGモードの詳細は、“CPU、デバugg”の章の“デバugg”を参照してください。

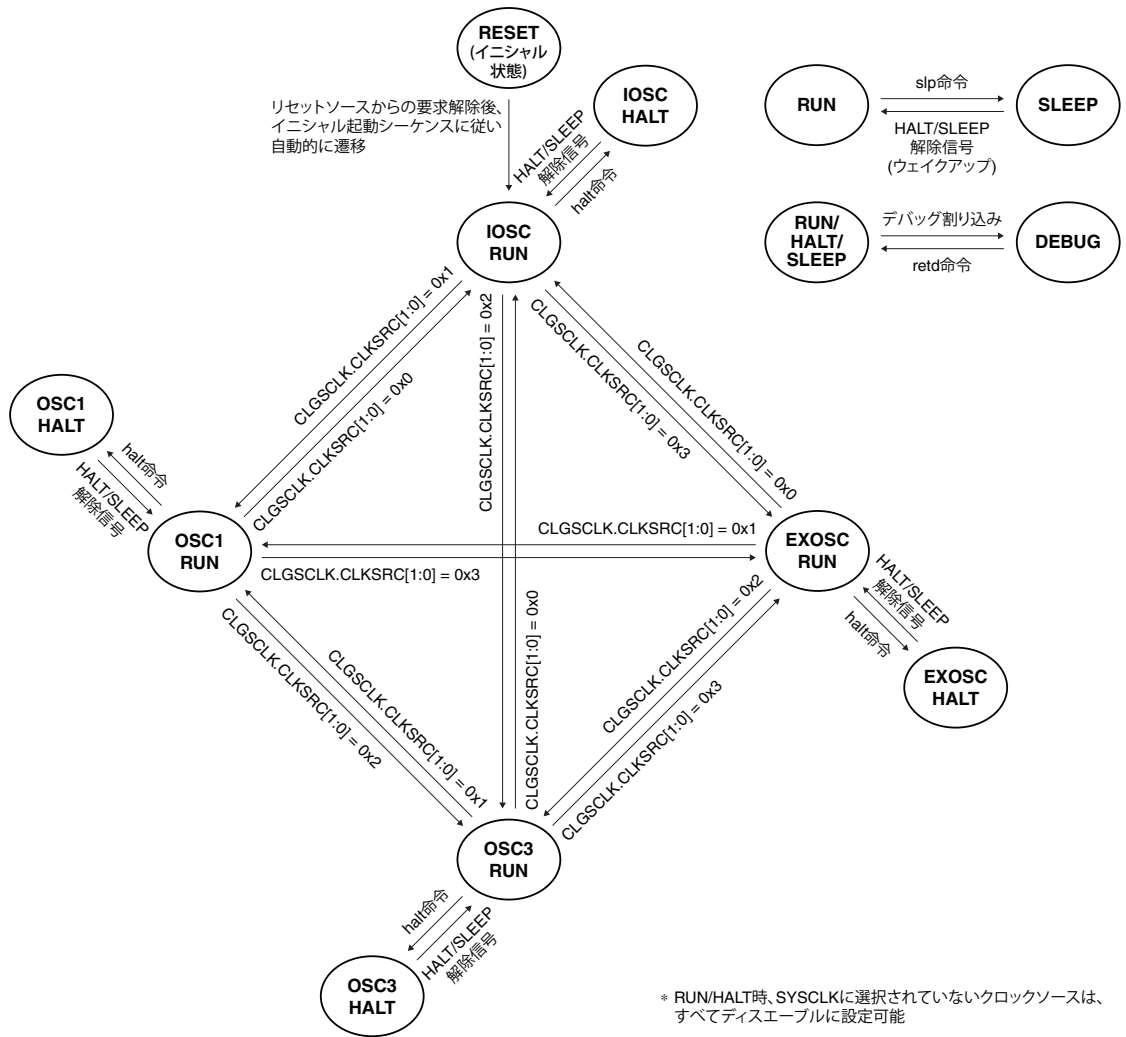


図2.4.2.1 動作モード間の状態遷移図

HALT, SLEEPモードの解除

下記の条件によってHALT/SLEEP解除信号が生成され、HALTまたはSLEEPモードからRUNモードへ移行します。この移行はCPUが割り込み要求を受領しなくても実行されます。

- 周辺回路からの割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット要求

2.5 割り込み

PWG2とCLGには、表2.5.1に示す割り込みを発生させる機能があります。

表2.5.1 PWG2とCLGの割り込み機能

割り込み	割り込みフラグ	セット	クリア
PWG2モード遷移完了	PWGINTF.MODCMPPIF	スーパーエコノミーモードから他のモードへの遷移が完了したとき、またはオートマチックモードにおいて、ノーマルモードからエコノミーモードへの遷移が完了したとき(下記注参照)	1書き込み
IOSC発振安定待ち完了	CLGINTF.IOSCSTAIF	発振開始後、IOSC発振安定待ちが完了したとき	1書き込み
OSC1発振安定待ち完了	CLGINTF.OSC1STAIF	発振開始後、OSC1発振安定待ちが完了したとき	1書き込み
OSC3発振安定待ち完了	CLGINTF.OSC3STAIF	発振開始後、OSC3発振安定待ちが完了したとき	1書き込み
OSC1発振停止	CLGINTF.OSC1STPIF	OSC1CLKが停止したとき、またはCLGOSC.OSC1ENビットもしくはCLGOSC1.OSDENビットの設定を1から0へ変更したとき	1書き込み
IOSC発振オートトリミング終了	CLGINTF.IOSCTEDIF	IOSC発振オートトリミングが終了したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

注: ・ PWGINTF.MODCMPPIFビットはOSC1発振回路が動作している場合にのみ、RUNあるいはSLEEPモードにかかわらず、上記の条件で1にセットされます。

- ・ オートマチックモードに設定されている場合に、高速クロックで動作中のRUNモードからOSC1発振回路のみが動作するSLEEPモード(高速クロックは停止)に移行すると、PWGINTF.MODCMPPIFビットはSLEEPから1 ms後に1にセットされます。このとき、PWGINTE.MODCMPPIEビットが1に設定されていると割り込みが発生し、CPUはSLEEPモードから起床します。OSC1発振回路を動作させたままSLEEPモードに移行する場合は、PWGINTE.MODCMPPIEビットを0に設定してください。

2.6 制御レジスタ

PWG2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGCTL	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2-0	PWGMOD[2:0]	0x0	H0	R/WP	

Bits 15-3 Reserved

Bits 2-0 PWGMOD[2:0]

これらのビットは、PWG2の動作モードを制御します。

表2.6.1 PWG2動作モード

PWGCTL.PWGMOD[2:0]ビット	動作モード
0x7~0x6	Reserved
0x5	スーパーエコノミーモード
0x4	Reserved
0x3	エコノミーモード
0x2	ノーマルモード
0x1	Reserved
0x0	オートマチックモード

注: 0x7、0x6、0x4、0x1を書き込むと、PWGCTL.PWGMOD[2:0]ビットは0x0に設定されます。

PWG2 Timing Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGTIM	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1-0	DCCCLK[1:0]	0x0	H0	R/WP	

Bits 15-2 Reserved

Bits 1-0 DCCCLK[1:0]

これらのビットは、チャージポンプの動作クロックを設定します(OSC1クロックの分周比を選択します)。

表2.6.2 チャージポンプ動作クロックの設定

PWGTIM.DCCCLK[1:0]ビット	OSC1分周比
0x3	1/256
0x2	1/128
0x1	1/64
0x0	1/32

PWG2 Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGINTF	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	MODCMPPIF	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 MODCMPPIF

このビットは、PWG2モード遷移完了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

PWG2 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGINTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	MODCMPIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 MODCMPIE

これらのビットは、PWG2モード遷移完了割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

CLG System Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGSCLK	15	WUPMD	0	H0	R/WP	-
	14	-	0	-	R	
	13-12	WUPDIV[1:0]	0x0	H0	R/WP	
	11-10	-	0x0	-	R	
	9-8	WUPSRC[1:0]	0x0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

2 電源, リセット, クロック

Bit 15 WUPMD

このビットは、ウェイクアップ時のSYSCLK切り換え機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

CLGSCLK.WUPMDビット = 1の場合、SLEEPモードからのウェイクアップ時にCLGSCLK.WUPSRC[1:0]ビットの設定値がCLGSCLK.CLKSRC[1:0]ビットに、また、CLGSCLK.WUPDIV[1:0]ビットの設定値がCLGSCLK.CLKDIV[1:0]ビットにロードされ、SYSCLKが切り換えられます。CLGSCLK.WUPMDビット = 0の場合は、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]とCLGSCLK.CLKDIV[1:0]の設定は変更されません。

注: CLGSCLK.WUPMDビット = 1 でウェイクアップした後は、CLGSCLK.CLKSRC[1:0]ビットで選択されているSYSCLKソース以外のクロックソースのイネーブルビット(CLGOSC.EXOSCEN、CLGOSC.OSC1EN、CLGOSC.OSC3EN、CLGOSC.IOSCEN)は自動的に0にクリアされ、それらのクロックが停止します。ただし、CLGOSC.***SLPCビットの設定によりSLEEP時に動作していたクロックソースのイネーブルビットは、ウェイクアップ後も1を保持します。

Bit 14 Reserved

Bits 13–12 WUPDIV[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKDIV[1:0]ビットを再設定するための、SYSCLKの分周比を選択します。

CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

Bits 11–10 Reserved

Bits 9–8 WUPSRC[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。

停止しているクロックソースが選択された場合、ウェイクアップ時に自動的に発振またはクロック入力を開始します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

表2.6.3 ウェイクアップ時のSYSCLKクロックソースと分周比の設定

CLGSCLK. WUPDIV[1:0]ビット	CLGSCLK.WUPSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCLK	OSC1CLK	OSC3CLK	EXOSCLK
0x3	1/8	Reserved	1/16	Reserved
0x2	1/4	Reserved	1/8	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

Bits 7–6 Reserved

Bits 5–4 CLKDIV[1:0]

これらのビットは、SYSCLK周波数を定めるクロックソースの分周比を設定します。

Bits 3–2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、SYSCLKのクロックソースを選択します。

停止しているクロックソースが選択された場合、自動的に発振またはクロック入力を開始します。

表2.6.4 SYSCLKクロックソースと分周比の設定

CLGCLK. CLKDIV[1:0]ビット	CLGCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/16	Reserved
0x2	1/4	Reserved	1/8	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

CLG Oscillation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC	15–12	–	0x0	–	R	–
	11	EXOSCSLPC	1	H0	R/W	
	10	OSC3SLPC	1	H0	R/W	
	9	OSC1SLPC	1	H0	R/W	
	8	IOSCSLPC	1	H0	R/W	
	7–4	–	0x0	–	R	
	3	EXOSCEN	0	H0	R/W	
	2	OSC3EN	0	H0	R/W	
	1	OSC1EN	0	H0	R/W	
	0	IOSCEN	1	H0	R/W	

Bits 15–12 Reserved

Bit 11 EXOSCSLPC

Bit 10 OSC3SLPC

Bit 9 OSC1SLPC

Bit 8 IOSCSLPC

これらのビットは、SLEEP時のクロックソースの動作を制御します。

1 (R/W): SLEEP時にクロックソースを停止

0 (R/W): SLEEP前の動作を継続

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCSLPCビット: EXOSCクロック入力

CLGOSC.OSC3SLPCビット: OSC3発振回路

CLGOSC.OSC1SLPCビット: OSC1発振回路

CLGOSC.IOSCSLPCビット: IOSC発振回路

Bits 7–4 Reserved

Bit 3 EXOSCEN

Bit 2 OSC3EN

Bit 1 OSC1EN

Bit 0 IOSCEN

これらのビットは、クロックソースの動作を制御します。

1 (R/W): 発振またはクロック入力を開始

0 (R/W): 発振またはクロック入力を停止

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCENビット: EXOSCクロック入力

CLGOSC.OSC3ENビット: OSC3発振回路

CLGOSC.OSC1ENビット: OSC1発振回路

CLGOSC.IOSCENビット: IOSC発振回路

CLG IOISC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGIOISC	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	IOISCSTM	0	H0	R/WP	
	3-0	-	0x0	-	R	

Bits 15-5 Reserved

Bit 4 IOISCSTM

このビットは、IOISCCLKのオートトリミング機能を制御します。

1 (WP): トリミング開始

0 (WP): トリミング停止

1 (R): トリミング実行中

0 (R): トリミング終了(トリミング動作停止中)

トリミングが終了すると、自動的に0にクリアされます。

注: • CLGIOISC.IOISCSTMビット = 1の間は、IOISCCLKをシステムクロックや周辺回路クロックとして使用しないでください。

• オートトリミング機能はOSC1発振回路が停止していると正しく動作しません。CLGINTF.OSC1STAIFビットが1になっていることを確認してから実行してください。

Bits 3-0 Reserved

CLG OSC1 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC1	15	-	0	-	R	-
	14	OSDRB	1	H0	R/WP	
	13	OSDEN	0	H0	R/WP	
	12	OSC1BUP	1	H0	R/WP	
	11	-	0	-	R	
	10-8	CGH[2:0]	0x0	H0	R/WP	
	7-6	INV1B[1:0]	0x2	H0	R/WP	
	5-4	INV1N[1:0]	0x1	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	OSC1WT[1:0]	0x2	H0	R/WP	

Bit 15 Reserved

Bit 14 OSDRB

このビットは、OSC1発振停止検出時の発振停止検出回路によるOSC1発振回路リスタート機能をイネーブルにします。

1 (R/WP): イネーブル(発振停止検出時にOSC1発振回路をリスタート)

0 (R/WP): ディスエーブル

Bit 13 OSDEN

このビットは、OSC1発振回路の発振停止検出回路を制御します。

1 (R/WP): OSC1発振停止検出回路ON

0 (R/WP): OSC1発振停止検出回路OFF

注: OSC1CLKが安定供給される前に、CLGOSC1.OSDENビットに1を書き込まないでください。また、CLGOSC.OSC1ENビットを0にしたときは、CLGOSC1.OSDENビットも0にしてください。

Bit 12 OSC1BUP

このビットは、OSC1発振回路の発振起動制御回路をイネーブルにします。

1 (R/WP): イネーブル(起動時にプースト動作実行)

0 (R/WP): ディスエーブル

Bit 11 **Reserved**

Bits 10–8 **CGI1[2:0]**

これらのビットは、OSC1発振回路の内蔵ゲート容量を設定します。

表2.6.5 OSC1内蔵ゲート容量の設定

CLGOSC1.CGI1[2:0]ビット	容量
0x7	Max.
0x6	↑
0x5	
0x4	
0x3	
0x2	
0x1	↓
0x0	Min.

詳細は、“電気的特性”の章の“OSC1発振回路特性、内蔵ゲート容量CGI1”を参照してください。

Bits 7–6 **INV1B[1:0]**

これらのビットは、OSC1発振回路のブースト起動時に適用される発振インバータのゲインを設定します。

表2.6.6 OSC1ブースト起動時の発振インバータゲインの設定

CLGOSC1.INV1B[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

注: CLGOSC1.INV1B[1:0]ビットは、CLGOSC1.INV1N[1:0]ビット以上の値に設定してください。

Bits 5–4 **INV1N[1:0]**

これらのビットは、OSC1発振回路の通常動作時に適用される発振インバータのゲインを設定します。

表2.6.7 OSC1通常動作時の発振インバータゲインの設定

CLGOSC1.INV1N[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

Bits 3–2 **Reserved**

Bits 1–0 **OSC1WT[1:0]**

これらのビットは、OSC1発振回路の発振安定待ち時間を設定します。

表2.6.8 OSC1発振安定待ち時間の設定

CLGOSC1.OSC1WT[1:0]ビット	発振安定待ち時間
0x3	65,536クロック
0x2	16,384クロック
0x1	4,096クロック
0x0	Reserved

CLG OSC3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC3	15–13	–	0x0	–	R	–
	12–10	OSC3FQ[2:0]	0x3	H0	R/WP	
	9–8	OSC3MD[1:0]	0x0	H0	R/WP	
	7–6	–	0x0	–	R	
	5–4	OSC3INV[1:0]	0x1	H0	R/WP	
	3	–	0	–	R	
	2–0	OSC3WT[2:0]	0x0	H0	R/WP	

2 電源, リセット, クロック

Bits 15–13 Reserved

Bits 12–10 OSC3FQ[2:0]

これらのビットは、OSC3に内蔵発振回路を選択した場合の発振周波数を設定します。

表2.6.9 OSC3内蔵発振回路周波数の設定

CLGOSC3.OSC3FQ[2:0]ビット	OSC3内蔵発振回路周波数
0x7~0x6	Reserved
0x5	250 kHz
0x4	384 kHz
0x3	4 MHz
0x2	2 MHz
0x1	1 MHz
0x0	500 kHz

Bits 9–8 OSC3MD[1:0]

これらのビットは、OSC3発振回路の種類を選択します。

表2.6.10 OSC3発振回路の選択

CLGOSC3.OSC3MD[1:0]ビット	OSC3発振回路
0x3	Reserved
0x2	水晶/セラミック発振回路
0x1	CR発振回路
0x0	内蔵発振回路

Bits 7–6 Reserved

Bits 5–4 OSC3INV[1:0]

これらのビットは、OSC3に水晶/セラミック発振回路を選択した場合の発振インバータのゲインを設定します。

表2.6.11 OSC3発振インバータゲインの設定

CLGOSC3.OSC3INV[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

Bit 3 Reserved

Bits 2–0 OSC3WT[2:0]

これらのビットは、OSC3発振回路の発振安定待ち時間を設定します。

表2.6.12 OSC3発振安定待ち時間の設定

CLGOSC3.OSC3WT[2:0]ビット	発振安定待ち時間
0x7	65,536クロック
0x6	16,384クロック
0x5	4,096クロック
0x4	1,024クロック
0x3	256クロック
0x2	64クロック
0x1	16クロック
0x0	4クロック

CLG Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTF	15-8	–	0x00	–	R	–
	7	–	0x0	–	R	
	6	(reserved)	0	H0	R	
	5	OSC1STPIF	0	H0	R/W	Cleared by writing 1.
	4	IOSCTEDIF	0	H0	R/W	
	3	–	0	–	R	–
	2	OSC3STAIF	0	H0	R/W	Cleared by writing 1.
	1	OSC1STAIF	0	H0	R/W	
0	IOSCSTAIF	0	H0	R/W		

Bits 15–6 Reserved

Bit 5 OSC1STPIF

Bit 4 IOSCTEDIF

これらのビットは、OSC1発振停止割り込み要因、IOSC発振オートトリミング終了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

CLGINTF.OSC1STPIFビット: OSC1発振停止割り込み

CLGINTF.IOSCTEDIFビット: IOSC発振オートトリミング終了割り込み

Bit 3 Reserved

Bit 2 OSC3STAIF

Bit 1 OSC1STAIF

Bit 0 IOSCSTAIF

これらのビットは、クロックソースの発振安定待ち完了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットとクロックソースの対応は以下のとおりです。

CLGINTF.OSC3STAIFビット: OSC3発振回路

CLGINTF.OSC1STAIFビット: OSC1発振回路

CLGINTF.IOSCSTAIFビット: IOSC発振回路

注: システムリセットが解除された時点のCLGINTF.IOSCSTAIFビットは0ですが、IOSCCLKは安定状態になっています。

CLG Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTE	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6	(reserved)	0	H0	R	
	5	OSC1STPIE	0	H0	R/W	
	4	IOSCTEDIE	0	H0	R/W	
	3	–	0	–	R	
	2	OSC3STAIE	0	H0	R/W	
	1	OSC1STAIE	0	H0	R/W	
0	IOSCSTAIE	0	H0	R/W		

Bits 15–6 Reserved

2 電源, リセット, クロック

Bit 5 OSC1STPIE

Bit 4 IOSCTEDIE

これらのビットは、OSC1発振停止割り込み、IOSC発振オートトリミング終了割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

CLGINTE.OSC1STPIEビット: OSC1発振停止割り込み

CLGINTE.IOSCTEDIEビット: IOSC発振オートトリミング終了割り込み

Bit 3 Reserved

Bit 2 OSC3STAIE

Bit 1 OSC1STAIE

Bit 0 IOSCSTAIE

これらのビットは、クロックソースの発振安定待ち完了割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットとクロックソースの対応は以下のとおりです。

CLGINTE.OSC3STAIEビット: OSC3発振回路

CLGINTE.OSC1STAIEビット: OSC1発振回路

CLGINTE.IOSCSTAIEビット: IOSC発振回路

CLG FOUT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGFOUT	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6-4	FOUTDIV[2:0]	0x0	H0	R/W	
	3-2	FOUTSRC[1:0]	0x0	H0	R/W	
	1	-	0	-	R	
	0	FOUTEN	0	H0	R/W	

Bits 15-7 Reserved

Bits 6-4 FOUTDIV[2:0]

これらのビットは、FOUTのクロック分周比を設定します。

Bits 3-2 FOUTSRC[1:0]

これらのビットは、FOUTのクロックソースを選択します。

表2.6.13 FOUTクロックソースと分周比の設定

CLGFOUT. FOUTDIV[2:0]ビット	CLGFOUT.FOUTSRC[1:0]ビット			
	0x0 IOSCLK	0x1 OSC1CLK	0x2 OSC3CLK	0x3 SYSCLK
0x7	1/128	1/32,768	1/128	Reserved
0x6	1/64	1/4,096	1/64	Reserved
0x5	1/32	1/1,024	1/32	Reserved
0x4	1/16	1/256	1/16	Reserved
0x3	1/8	1/8	1/8	Reserved
0x2	1/4	1/4	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

注: CLGFOUT.FOUTSRC[1:0]ビットを0x3に設定した場合、SLEEP/HALTモードではSYSCLKが停止するため、FOUT出力も停止します。

Bit 1 Reserved

Bit 0 FOUTEN

このビットは、FOUTのクロック外部出力を制御します。

1 (R/W): 外部出力イネーブル

0 (R/W): 外部出力ディスエーブル

注: FOUT信号は、CLGFOUT.FOUTENビットと非同期に生成されますので、出力のイネーブル/ディスエーブル時にはグリッチを生じます。

3 CPU, デバッガ

3.1 概要

本ICは、デバッガを内蔵したセイコーエプソンオリジナル16ビットCPUコア(S1C17)を搭載しています。主な機能と特長を以下に示します。

- セイコーエプソンオリジナル16ビットRISCプロセッサ
 - 24ビット汎用レジスタ: 8
 - 24ビット特殊レジスタ: 2
 - 8ビット特殊レジスタ: 1
 - 最大16Mバイトのメモリ空間(24ビットアドレス)
 - 命令バスとデータバスを分離したハーバードアーキテクチャ
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット
 - コード長: 16ビット固定長
 - 命令数: 基本命令111個(全184命令)
 - 実行サイクル: 主要命令は1サイクルで実行
 - 即値拡張命令: 即値を24ビットまで拡張
- リセット、NMI、アドレス不整割り込み、デバッグ割り込み、外部割り込みを搭載
 - ベクタテーブルからベクタを読み込み、割り込みルーチンへ直接分岐
 - ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)
- スタンバイ機能として、HALTモード(halt命令)、SLEEPモード(slp命令)を搭載
- 3線で通信可能な、プログラム開発を支援するデバッガを搭載

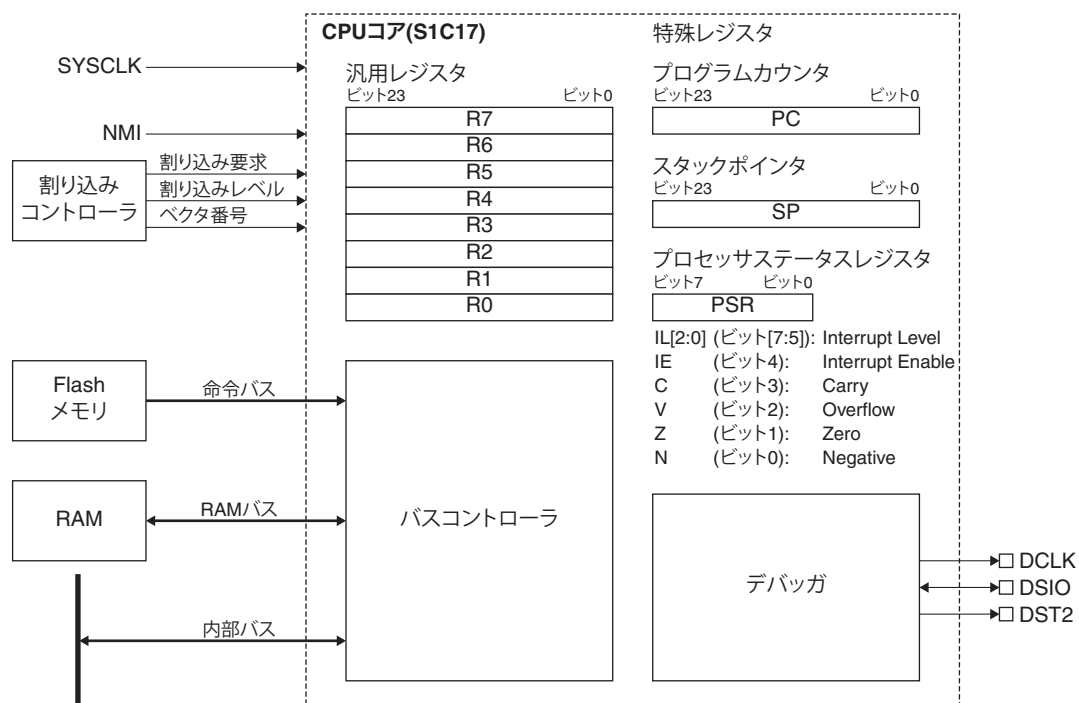


図3.1.1 S1C17の構成

3.2 CPUコア

3.2.1 CPUレジスタ

CPUは8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています(表3.2.1.1)。

表3.2.1.1 CPUレジスタの初期化

CPU register name			Initial	Reset
汎用レジスタ		R0~R7	0x000000	H0
特殊レジスタ	プログラムカウンタ	PC	リセットベクタを自動的にロード	H0
	スタックポインタ	SP	0x000000	H0
	プロセッサステータスレジスタ	PSR	0x00	H0

各レジスタの詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。また、リセットベクタについては“割り込みコントローラ”の章を参照してください。

3.2.2 命令セット

CPUの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

3.2.3 PSRの読み出し

PSRの内容は、MSCPSRレジスタを介して読み出すことができます。ただし、MSCPSRレジスタを介して、PSRへデータを書き込むことはできません。

3.2.4 S1C17コア予約I/Oエリア

0xffffc00~0xfffffff番地はS1C17コアの予約I/Oエリアです。必要のない場合はアクセスしないでください。

3.3 デバッグ

3.3.1 デバッグ機能

デバッグがサポートしている機能は以下のとおりです。

- 命令ブレーク: 設定した命令のアドレスを実行する前にデバッグ割り込みを発生。最大4ヶ所のアドレスに命令ブレークを設定可能
- シングルステップ: 命令ごとにデバッグ割り込みを発生
- 強制ブレーク: 外部入力信号でデバッグ割り込みを発生
- ソフトウェアブレーク: brk命令の実行によりデバッグ割り込みを発生

デバッグ割り込みが発生すると、CPUはDEBUGモードに入ります。DEBUGモード時の周辺回路は、各周辺回路のクロック制御レジスタに設けられたDBRUNビットの設定に応じた動作を行います。DBRUNビットに関しては、周辺回路の“DEBUGモード時のクロック供給”を参照してください。DEBUGモードは、パソコンから解除コマンドを送るか、CPUがret命令を実行するまで続きます。DEBUGモード中は、ハードウェア割り込みおよびNMIは受け付けられません。

3.3.2 必要リソースとデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。ワークエリアの配置アドレスは“メモリ、バス”の章を参照してください。このデバッグ用ワークエリアのスタートアドレスは、DBRAMレジスタから読み出すことができます。

デバッグツール

デバッグは、本ICのデバッガの入出力端子にICDmini(S5U1C17001H)を接続し、パソコンから制御します。これには、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini(S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

3.3.3 デバッガ入出力端子一覧

表3.3.3.1にデバッグ端子一覧を示します。

表3.3.3.1 デバッグ端子一覧

端子名	I/O	イニシャル状態	機能
DCLK	O	O	オンチップデバッグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	I	オンチップデバッガデータ入出力端子 デバッグ用データの入出力およびブレイク信号の入力に使用します。
DST2	O	O	オンチップデバッグステータス出力端子 デバッグ中のプロセッサの状態を出力します。

デバッガの入出力は汎用入出力ポート端子を兼用しており、イニシャル状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、これらの端子を汎用入出力ポート端子に切り換えることができます。詳細は“入出力ポート”の章を参照してください。

注: ・ DCLK端子は、外部からHIGHレベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。また、DCLK端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、ICが正常に起動しない可能性があります。

- DSIO端子は、外部からLOWレベルで駆動しないでください。デバッグ割り込みが発生し、CPUがDEBUGモードに入ります。

3.3.4 外部接続

デバッグを行う際のICDminiとの接続例を図3.3.4.1に示します。

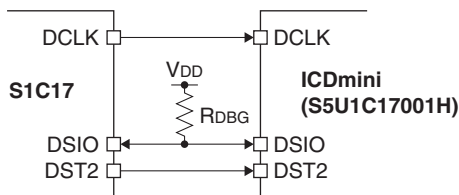


図3.3.4.1 外部接続

プルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO用プルアップ抵抗RDBG”を参照してください。DSIO端子を汎用入出力ポート端子として使用する場合、RDBGは必要ありません。

3.3.5 Flashセキュリティ機能

ICDminiを介したデバッガからの内蔵Flashメモリの読み出しや改ざんを防ぐため、本ICにはセキュリティ機能が設けられています。図3.3.5.1にFlashセキュリティ機能設定の流れを示します。

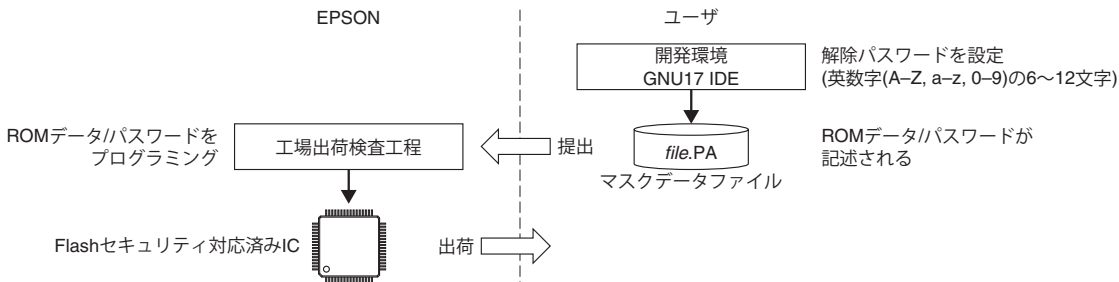


図3.3.5.1 ROMデータプログラム出荷とFlashセキュリティ機能設定の流れ

Flashセキュリティ対応済みのICは以下の状態になります。

- デバッガから読み出すFlashメモリの値は不定値になる
- ICDminiを介したFlashプログラミングを行うとエラーになる

ただし、あらかじめ設定してある解除パスワードをGNU17 IDE上で入力することで、Flashセキュリティ機能を解除することができます(リセット後は、再度セキュリティ機能が有効になります)。パスワードの設定方法については、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。

注: Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。

3.4 制御レジスタ

MISC PSR Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPSR	15-8	-	0x00	-	R	-
	7-5	PSRIL[2:0]	0x0	H0	R	
	4	PSRIE	0	H0	R	
	3	PSRC	0	H0	R	
	2	PSRV	0	H0	R	
	1	PSRZ	0	H0	R	
	0	PSRN	0	H0	R	

Bits 15-8 Reserved

Bits 7-5 PSRIL[2:0]

これらのビットからPSRのIL[2:0](割り込みレベル)ビットの値(0~7)が読み出せます。

Bit 4 PSRIE

このビットからPSRのIE(割り込みイネーブル)ビットの値(0または1)が読み出せます。

Bit 3 PSRC

このビットからPSRのC(キャリー)フラグの値(0または1)が読み出せます。

Bit 2 PSRV

このビットからPSRのV(オーバーフロー)フラグの値(0または1)が読み出せます。

Bit 1 PSRZ

このビットからPSRのZ(ゼロ)フラグの値(0または1)が読み出せます。

Bit 0 PSRN

このビットからPSRのN(ネガティブ)フラグの値(0または1)が読み出せます。

Debug RAM Base Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DBRAM	31-24	–	0x00	–	R	–
	23-0	DBRAM[23:0]	*1	H0	R	

*1 デバッグ用ワークエリアの先頭アドレス

Bits 31–24 Reserved

Bits 23–0 DBRAM[23:0]

これらのビットからデバッグ用ワークエリア(64バイト)の先頭アドレスが読み出せます。

4 メモリ, バス

4.1 概要

本ICは、命令、データ共に最大16Mバイトのメモリ空間をアクセスすることができます。
主な機能と特長を以下に示します。

- オンボード書き換え可能なFlashメモリを搭載
- すべてのメモリおよび制御レジスタを16ビットかつ1サイクルでアクセス可能
- システム制御に関係するレジスタには、書き込み保護機能を搭載

図4.1.1にメモリマップを示します。

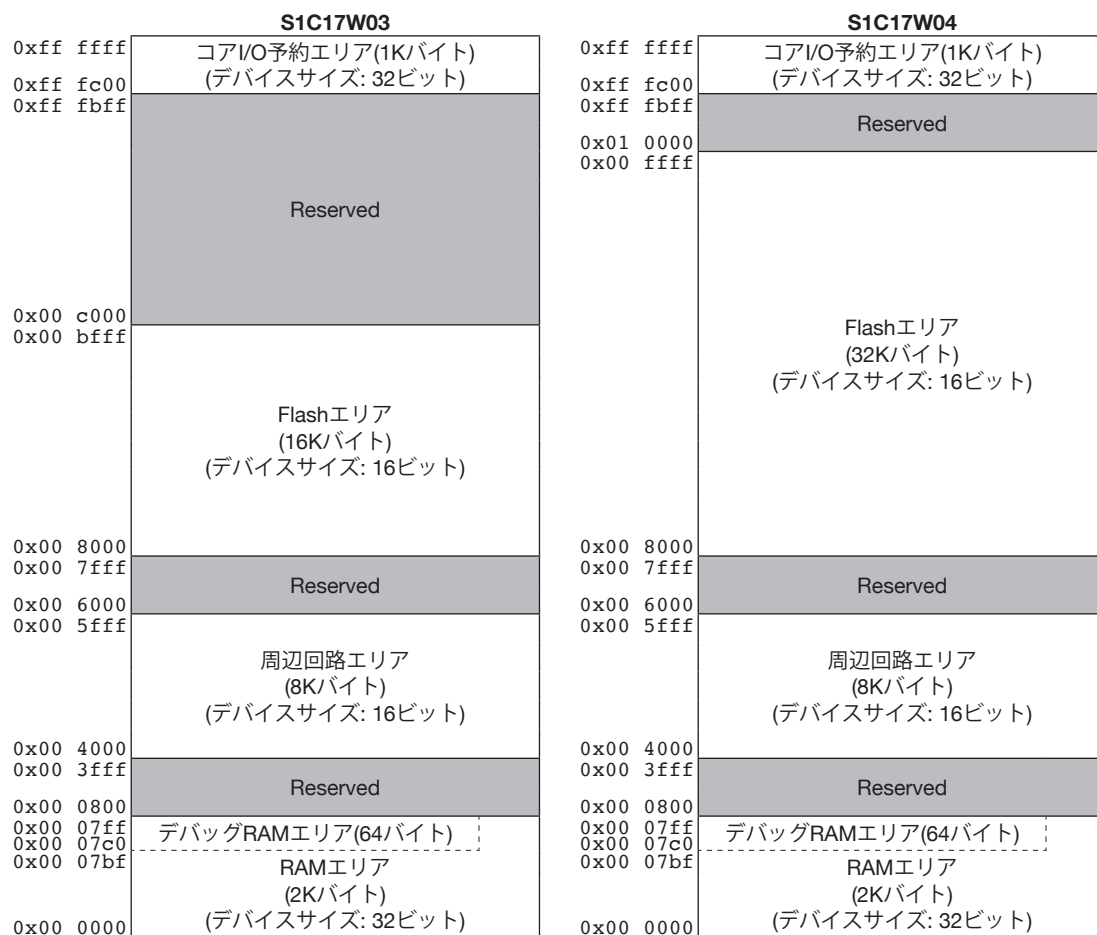


図4.1.1 メモリマップ

4.2 バスアクセスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。ここで、バスアクセスサイクル、デバイスサイズ、アクセスサイズについて、以下のように定義します。

- バスアクセスサイクル: システムクロックの1クロック = 1サイクル
- デバイスサイズ: 1サイクルでアクセスできるメモリ、周辺回路のビット幅
- アクセスサイズ: CPU命令が要求するアクセスサイズ(例: `ld %rd, [%rb]` → 16ビットデータ転送)

デバイスサイズとアクセスサイズの違いによるバスアクセスサイクル数の一覧を表4.2.1に示します。周辺回路は8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。

表4.2.1 バスアクセスサイクル数

デバイスサイズ	アクセスサイズ	バスアクセスサイクル数
8ビット	8ビット	1
	16ビット	2
	32ビット	4
16ビット	8ビット	1
	16ビット	1
	32ビット	2
32ビット	8ビット	1
	16ビット	1
	32ビット	1

注: 32ビットアクセスによりデータをメモリに転送するときは、S1C17コアの汎用レジスタが24ビットのため、上位8ビットは0x00としてメモリに書き込まれます。逆にメモリからレジスタへ転送するときは、上位8ビットが無視されます。

割り込み処理のスタック操作時もCPUは32ビットアクセスを行います。このときはPSRの値を上位8ビット、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。詳しくは、“S1C17 Family S1C17コアマニュアル”を参照してください。

また、CPUはハーバードアーキテクチャを採用しており、命令フェッチとデータアクセスを同時に行うことが可能です。ただし、以下の条件では同時に行われず、データが存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

4.3 Flashメモリ

Flashメモリには、アプリケーションプログラムやデータを書き込んでおくことができます。また、Flashエリアの0x8000番地はデフォルトのベクタテーブルベースアドレスとして定義されていますので、このアドレスを先頭にベクタテーブルを置く必要があります。詳細は、“割り込みコントローラ”の章の“ベクタテーブル”を参照してください。

4.3.1 Flashメモリ端子

表4.3.1.1にFlashメモリ用の端子を示します。

表4.3.1.1 Flashメモリ端子

端子名	I/O	イニシャル状態	機能
V _{PP}	P	-	Flashプログラミング電源

V_{PP}電圧に関しては“電気的特性”の章の“推奨動作条件、Flashプログラミング電圧V_{PP}”を参照してください。

注: Flashプログラミング時以外は、V_{PP}端子をオープンにしてください。

4.3.2 Flashバスアクセスサイクルの設定

Flashメモリをノーウェイトでアクセス可能な周波数には制限があるため、システムクロック周波数に応じて、リード時のバスアクセスサイクル数を変更する必要があります。リード時バスアクセスサイクル数は、FLASHWAIT.RDWAIT[1:0]ビットで設定します。動作しているシステムクロック周波数以上に対応した設定を選択してください。

4.3.3 Flashプログラミング

Flashメモリは、オンボードプログラミングに対応しており、ICDminiを介してデバッガからROMデータをプログラミングすることができます。オンボードプログラミング時の接続図を図4.3.3.1に示します。

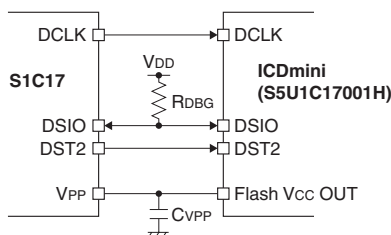


図4.3.3.1 外部接続

Flashプログラミング時以外は、VPP端子をオープンにする必要があります。ただし、ICDminiからVPP電源を供給する場合、Flashプログラミング時のみ供給するように制御されているため、接続したままでも問題ありません。VPP電源供給時は電圧安定用に、CVPPを必ず接続してください。

ROMデータのプログラミング方法の詳細は、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。また、開発したROMデータを、工場でICにプログラミングして出荷することも可能です。ROMデータのプログラミング出荷がご希望の場合は、サポート窓口までお問い合わせください。

注: Flashプログラミング時は、VDDを1.8 V以上にする必要があります。

4.4 RAM

RAMは、変数などの格納以外に、命令コードをコピーして実行させることにも使用可能です。これにより、Flashメモリよりも高速かつ省電力な処理を実現できます。

注: RAMの最後尾の64バイトはデバッグRAMエリアとして予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

本ICでは、アプリケーションで使用するRAMのサイズを、実装されているサイズ以下に制限することができます。この機能は、MSCIRAMSZ.IRAMSZ[2:0]ビットで設定でき、RAMサイズが本ICよりも小さい機種種の開発時に、搭載しているRAMの領域外をアクセスするようなプログラムの作成を回避するという用途などに利用できます。制限後のRAM領域外にアクセスすると、Reserved領域と同じ動作(読み出し値 = 不定)になります。

4.5 周辺回路制御レジスタ

0x4000番地から始まる8Kバイトのエリアには、周辺回路の制御レジスタが割り付けられています。この制御レジスタマップを表4.5.1に示します。各制御レジスタの詳細についてはAppendixの“周辺回路制御レジスタ一覧”、または各周辺回路の章の“制御レジスタ”を参照してください。

4 メモリ、バス

表4.5.1 周辺回路制御レジスタマップ

周辺回路	アドレス	レジスタ名
MISCレジスタ(MISC)	0x4000	MSCPROT MISC System Protect Register
	0x4002	MSCIRAMSZ MISC IRAM Size Register
	0x4004	MSCTTBRL MISC Vector Table Address Low Register
	0x4006	MSCTTBRLH MISC Vector Table Address High Register
	0x4008	MSCPSR MISC PSR Register
パワージェネレータ(PWG2)	0x4020	PWGCTL PWG2 Control Register
	0x4022	PWGTIM PWG2 Timing Control Register
	0x4024	PWGINTF PWG2 Interrupt Flag Register
	0x4026	PWGINTE PWG2 Interrupt Enable Register
クロックジェネレータ(CLG)	0x4040	CLGCLK CLG System Clock Control Register
	0x4042	CLGOSC CLG Oscillation Control Register
	0x4044	CLGOSC CLG IOSC Control Register
	0x4046	CLGOSC1 CLG OSC1 Control Register
	0x4048	CLGOSC3 CLG OSC3 Control Register
	0x404c	CLGINTF CLG Interrupt Flag Register
	0x404e	CLGINTE CLG Interrupt Enable Register
	0x4050	CLGFOUT CLG FOUT Control Register
	割り込みコントローラ(ITC)	0x4080
0x4082		ITCLV1 ITC Interrupt Level Setup Register 1
0x4084		ITCLV2 ITC Interrupt Level Setup Register 2
0x4086		ITCLV3 ITC Interrupt Level Setup Register 3
0x4088		ITCLV4 ITC Interrupt Level Setup Register 4
0x408a		ITCLV5 ITC Interrupt Level Setup Register 5
0x408c		ITCLV6 ITC Interrupt Level Setup Register 6
0x408e		ITCLV7 ITC Interrupt Level Setup Register 7
0x4090		ITCLV8 ITC Interrupt Level Setup Register 8
0x4092		ITCLV9 ITC Interrupt Level Setup Register 9
0x4094		ITCLV10 ITC Interrupt Level Setup Register 10
ウォッチドッグタイマ(WDT)	0x40a0	WDTCLK WDT Clock Control Register
	0x40a2	WDTCTL WDT Control Register
リアルタイムクロック(RTCA)	0x40c0	RTCCTL RTC Control Register
	0x40c2	RTCALM1 RTC Second Alarm Register
	0x40c4	RTCALM2 RTC Hour/Minute Alarm Register
	0x40c6	RTCSWCTL RTC Stopwatch Control Register
	0x40c8	RTCSEC RTC Second/1Hz Register
	0x40ca	RTCHUR RTC Hour/Minute Register
	0x40cc	RTCMON RTC Month/Day Register
	0x40ce	RTCYAR RTC Year/Week Register
	0x40d0	RTCINTF RTC Interrupt Flag Register
	0x40d2	RTCINTE RTC Interrupt Enable Register
電源電圧検出回路(SVD)	0x4100	SVDCLK SVD Clock Control Register
	0x4102	SVDCTL SVD Control Register
	0x4104	SVDINTF SVD Status and Interrupt Flag Register
	0x4106	SVDINTE SVD Interrupt Enable Register
16ビットタイマ(T16) Ch.0	0x4160	T16_0CLK T16 Ch.0 Clock Control Register
	0x4162	T16_0MOD T16 Ch.0 Mode Register
	0x4164	T16_0CTL T16 Ch.0 Control Register
	0x4166	T16_0TR T16 Ch.0 Reload Data Register
	0x4168	T16_0TC T16 Ch.0 Counter Data Register
	0x416a	T16_0INTF T16 Ch.0 Interrupt Flag Register
	0x416c	T16_0INTE T16 Ch.0 Interrupt Enable Register
Flashコントローラ(FLASHC)	0x41b0	FLASHCWAIT FLASHC Flash Read Cycle Register
入出力ポート(PPORT)	0x4200	PODAT P0 Port Data Register
	0x4202	POIOEN P0 Port Enable Register
	0x4204	PORCTL P0 Port Pull-up/down Control Register
	0x4206	POINTF P0 Port Interrupt Flag Register
	0x4208	POINTCTL P0 Port Interrupt Control Register
	0x420a	POCHATEN P0 Port Chattering Filter Enable Register
	0x420c	POMODESEL P0 Port Mode Select Register

周辺回路	アドレス	レジスタ名	
入出力ポート(PPORT)	0x420e	P0FNCSEL P0 Port Function Select Register	
	0x4210	P1DAT P1 Port Data Register	
	0x4212	P1IOEN P1 Port Enable Register	
	0x4214	P1RCTL P1 Port Pull-up/down Control Register	
	0x4216	P1INTF P1 Port Interrupt Flag Register	
	0x4218	P1INTCTL P1 Port Interrupt Control Register	
	0x421a	P1CHATEN P1 Port Chattering Filter Enable Register	
	0x421c	P1MODSEL P1 Port Mode Select Register	
	0x421e	P1FNCSEL P1 Port Function Select Register	
	0x4220	P2DAT P2 Port Data Register *	
	0x4222	P2IOEN P2 Port Enable Register *	
	0x4224	P2RCTL P2 Port Pull-up/down Control Register *	
	0x4226	P2INTF P2 Port Interrupt Flag Register *	
	0x4228	P2INTCTL P2 Port Interrupt Control Register *	
	0x422a	P2CHATEN P2 Port Chattering Filter Enable Register *	
	0x422c	P2MODSEL P2 Port Mode Select Register *	
	0x422e	P2FNCSEL P2 Port Function Select Register *	
	0x4230	P3DAT P3 Port Data Register	
	0x4232	P3IOEN P3 Port Enable Register	
	0x4234	P3RCTL P3 Port Pull-up/down Control Register	
	0x4236	P3INTF P3 Port Interrupt Flag Register	
	0x4238	P3INTCTL P3 Port Interrupt Control Register	
	0x423a	P3CHATEN P3 Port Chattering Filter Enable Register	
	0x423c	P3MODSEL P3 Port Mode Select Register	
	0x423e	P3FNCSEL P3 Port Function Select Register	
	0x4240	P4DAT P4 Port Data Register *	
	0x4242	P4IOEN P4 Port Enable Register *	
	0x4244	P4RCTL P4 Port Pull-up/down Control Register *	
	0x4246	P4INTF P4 Port Interrupt Flag Register *	
	0x4248	P4INTCTL P4 Port Interrupt Control Register *	
	0x424a	P4CHATEN P4 Port Chattering Filter Enable Register *	
	0x424c	P4MODSEL P4 Port Mode Select Register *	
	0x424e	P4FNCSEL P4 Port Function Select Register *	
	0x42d0	PDDAT Pd Port Data Register	
	0x42d2	PDIOEN Pd Port Enable Register	
	0x42d4	PDRCTL Pd Port Pull-up/down Control Register	
	0x42dc	PDMODSEL Pd Port Mode Select Register	
	0x42de	PDFNCSEL Pd Port Function Select Register	
	0x42e0	PCLK P Port Clock Control Register	
	0x42e2	PINTFGRP P Port Interrupt Flag Group Register	
	ユニバーサルポート マルチプレクサ(UPMUX)	0x4300	P0UPMUX0 P00-01 Universal Port Multiplexer Setting Register
		0x4302	P0UPMUX1 P02-03 Universal Port Multiplexer Setting Register
		0x4304	P0UPMUX2 P04-05 Universal Port Multiplexer Setting Register
		0x4306	P0UPMUX3 P06-07 Universal Port Multiplexer Setting Register
		0x4308	P1UPMUX0 P10-11 Universal Port Multiplexer Setting Register
		0x430a	P1UPMUX1 P12-13 Universal Port Multiplexer Setting Register
0x430c		P1UPMUX2 P14-15 Universal Port Multiplexer Setting Register	
0x430e		P1UPMUX3 P16-17 Universal Port Multiplexer Setting Register	
0x4310		P2UPMUX0 P20-21 Universal Port Multiplexer Setting Register *	
0x4318		P3UPMUX0 P30-31 Universal Port Multiplexer Setting Register	
0x431a		P3UPMUX1 P32-33 Universal Port Multiplexer Setting Register	
0x431c		P3UPMUX2 P34-35 Universal Port Multiplexer Setting Register	
UART(UART) Ch.0		0x4380	UA0CLK UART Ch.0 Clock Control Register
	0x4382	UA0MOD UART Ch.0 Mode Register	
	0x4384	UA0BR UART Ch.0 Baud-Rate Register	
	0x4386	UA0CTL UART Ch.0 Control Register	
	0x4388	UA0TXD UART Ch.0 Transmit Data Register	
	0x438a	UA0RXD UART Ch.0 Receive Data Register	
	0x438c	UA0INTF UART Ch.0 Status and Interrupt Flag Register	
	0x438e	UA0INTE UART Ch.0 Interrupt Enable Register	

4 メモリ、バス

周辺回路	アドレス	レジスタ名	
16ビットタイマ(T16) Ch.1	0x43a0	T16_1CLK T16 Ch.1 Clock Control Register	
	0x43a2	T16_1MOD T16 Ch.1 Mode Register	
	0x43a4	T16_1CTL T16 Ch.1 Control Register	
	0x43a6	T16_1TR T16 Ch.1 Reload Data Register	
	0x43a8	T16_1TC T16 Ch.1 Counter Data Register	
	0x43aa	T16_1INTF T16 Ch.1 Interrupt Flag Register	
	0x43ac	T16_1INTE T16 Ch.1 Interrupt Enable Register	
同期式シリアルインタフェース (SPIA) Ch.0	0x43b0	SPI0MOD SPIA Ch.0 Mode Register	
	0x43b2	SPI0CTL SPIA Ch.0 Control Register	
	0x43b4	SPI0TXD SPIA Ch.0 Transmit Data Register	
	0x43b6	SPI0RXD SPIA Ch.0 Receive Data Register	
	0x43b8	SPI0INTF SPIA Ch.0 Interrupt Flag Register	
	0x43ba	SPI0INTE SPIA Ch.0 Interrupt Enable Register	
I ² C(I2C)	0x43c0	I2C0CLK I2C Ch.0 Clock Control Register	
	0x43c2	I2C0MOD I2C Ch.0 Mode Register	
	0x43c4	I2C0BR I2C Ch.0 Baud-Rate Register	
	0x43c8	I2C0OADR I2C Ch.0 Own Address Register	
	0x43ca	I2C0CTL I2C Ch.0 Control Register	
	0x43cc	I2C0TXD I2C Ch.0 Transmit Data Register	
	0x43ce	I2C0RXD I2C Ch.0 Receive Data Register	
	0x43d0	I2C0INTF I2C Ch.0 Status and Interrupt Flag Register	
	0x43d2	I2C0INTE I2C Ch.0 Interrupt Enable Register	
	16ビットPWMタイマ(T16B) Ch.0	0x5000	T16B0CLK T16B Ch.0 Clock Control Register
0x5002		T16B0CTL T16B Ch.0 Counter Control Register	
0x5004		T16B0MC T16B Ch.0 Max Counter Data Register	
0x5006		T16B0TC T16B Ch.0 Timer Counter Data Register	
0x5008		T16B0CS T16B Ch.0 Counter Status Register	
0x500a		T16B0INTF T16B Ch.0 Interrupt Flag Register	
0x500c		T16B0INTE T16B Ch.0 Interrupt Enable Register	
0x5010		T16B0CCCTL0 T16B Ch.0 Compare/Capture 0 Control Register	
0x5012		T16B0CCR0 T16B Ch.0 Compare/Capture 0 Data Register	
0x5018		T16B0CCCTL1 T16B Ch.0 Compare/Capture 1 Control Register	
0x501a		T16B0CCR1 T16B Ch.0 Compare/Capture 1 Data Register	
16ビットPWMタイマ(T16B) Ch.1		0x5040	T16B1CLK T16B Ch.1 Clock Control Register
	0x5042	T16B1CTL T16B Ch.1 Counter Control Register	
	0x5044	T16B1MC T16B Ch.1 Max Counter Data Register	
	0x5046	T16B1TC T16B Ch.1 Timer Counter Data Register	
	0x5048	T16B1CS T16B Ch.1 Counter Status Register	
	0x504a	T16B1INTF T16B Ch.1 Interrupt Flag Register	
	0x504c	T16B1INTE T16B Ch.1 Interrupt Enable Register	
	0x5050	T16B1CCCTL0 T16B Ch.1 Compare/Capture 0 Control Register	
	0x5052	T16B1CCR0 T16B Ch.1 Compare/Capture 0 Data Register	
	0x5058	T16B1CCCTL1 T16B Ch.1 Compare/Capture 1 Control Register	
	0x505a	T16B1CCR1 T16B Ch.1 Compare/Capture 1 Data Register	
	UART(UART) Ch.1	0x5200	UA1CLK UART Ch.1 Clock Control Register
		0x5202	UA1MOD UART Ch.1 Mode Register
		0x5204	UA1BR UART Ch.1 Baud-Rate Register
0x5206		UA1CTL UART Ch.1 Control Register	
0x5208		UA1TXD UART Ch.1 Transmit Data Register	
0x520a		UA1RXD UART Ch.1 Receive Data Register	
0x520c		UA1INTF UART Ch.1 Status and Interrupt Flag Register	
0x520e	UA1INTE UART Ch.1 Interrupt Enable Register		
16ビットタイマ(T16) Ch.2	0x5260	T16_2CLK T16 Ch.2 Clock Control Register	
	0x5262	T16_2MOD T16 Ch.2 Mode Register	
	0x5264	T16_2CTL T16 Ch.2 Control Register	
	0x5266	T16_2TR T16 Ch.2 Reload Data Register	
	0x5268	T16_2TC T16 Ch.2 Counter Data Register	
	0x526a	T16_2INTF T16 Ch.2 Interrupt Flag Register	
	0x526c	T16_2INTE T16 Ch.2 Interrupt Enable Register	

周辺回路	アドレス	レジスタ名
同期式シリアルインタフェース (SPIA) Ch.1	0x5270	SPI1MOD SPIA Ch.1 Mode Register
	0x5272	SPI1CTL SPIA Ch.1 Control Register
	0x5274	SPI1TXD SPIA Ch.1 Transmit Data Register
	0x5276	SPI1RXD SPIA Ch.1 Receive Data Register
	0x5278	SPI1INTF SPIA Ch.1 Interrupt Flag Register
	0x527a	SPI1INTE SPIA Ch.1 Interrupt Enable Register
サウンドジェネレータ(SNDA)	0x5300	SNDCCLK SNDA Clock Control Register
	0x5302	SNDSSEL SNDA Select Register
	0x5304	SNDCCTL SNDA Control Register
	0x5306	SNDDAT SNDA Data Register
	0x5308	SNDINTF SNDA Interrupt Flag Register
	0x530a	SNDINTE SNDA Interrupt Enable Register
IRリモートコントローラ(REMC2)	0x5320	REMCCLK REMC2 Clock Control Register
	0x5322	REMCDBCTL REMC2 Data Bit Counter Control Register
	0x5324	REMCDBCNT REMC2 Data Bit Counter Register
	0x5326	REMAPLEN REMC2 Data Bit Active Pulse Length Register
	0x5328	REMCDBLEN REMC2 Data Bit Length Register
	0x532a	REMINTF REMC2 Status and Interrupt Flag Register
	0x532c	REMINTEN REMC2 Interrupt Enable Register
	0x5330	REMCARR REMC2 Carrier Waveform Register
	0x5332	REMCCTL REMC2 Carrier Modulation Control Register
	R/F変換器(RFC) Ch.0	0x5440
0x5442		RFC0CTL RFC Ch.0 Control Register
0x5444		RFC0TRG RFC Ch.0 Oscillation Trigger Register
0x5446		RFC0MCL RFC Ch.0 Measurement Counter Low Register
0x5448		RFC0MCH RFC Ch.0 Measurement Counter High Register
0x544a		RFC0TCL RFC Ch.0 Time Base Counter Low Register
0x544c		RFC0TCH RFC Ch.0 Time Base Counter High Register
0x544e		RFC0INTF RFC Ch.0 Interrupt Flag Register
0x5450		RFC0INTE RFC Ch.0 Interrupt Enable Register
R/F変換器(RFC) Ch.1 *		0x5460
	0x5462	RFC1CTL RFC Ch.1 Control Register *
	0x5464	RFC1TRG RFC Ch.1 Oscillation Trigger Register *
	0x5466	RFC1MCL RFC Ch.1 Measurement Counter Low Register *
	0x5468	RFC1MCH RFC Ch.1 Measurement Counter High Register *
	0x546a	RFC1TCL RFC Ch.1 Time Base Counter Low Register *
	0x546c	RFC1TCH RFC Ch.1 Time Base Counter High Register *
	0x546e	RFC1INTF RFC Ch.1 Interrupt Flag Register *
	0x5470	RFC1INTE RFC Ch.1 Interrupt Enable Register *
	16ビットタイマ(T16) Ch.3	0x5480
0x5482		T16_3MOD T16 Ch.3 Mode Register
0x5484		T16_3CTL T16 Ch.3 Control Register
0x5486		T16_3TR T16 Ch.3 Reload Data Register
0x5488		T16_3TC T16 Ch.3 Counter Data Register
0x548a		T16_3INTF T16 Ch.3 Interrupt Flag Register
0x548c		T16_3INTE T16 Ch.3 Interrupt Enable Register
12ビットA/D変換器(ADC12A)		0x54a2
	0x54a4	ADC12_0TRG ADC12A Ch.0 Trigger/Analog Input Select Register
	0x54a6	ADC12_0CFG ADC12A Ch.0 Configuration Register
	0x54a8	ADC12_0INTF ADC12A Ch.0 Interrupt Flag Register
	0x54aa	ADC12_0INTE ADC12A Ch.0 Interrupt Enable Register
	0x54ac	ADC12_0AD0D ADC12A Ch.0 Result Register 0
	0x54ae	ADC12_0AD1D ADC12A Ch.0 Result Register 1
	0x54b0	ADC12_0AD2D ADC12A Ch.0 Result Register 2
	0x54b2	ADC12_0AD3D ADC12A Ch.0 Result Register 3 *
	0x54b4	ADC12_0AD4D ADC12A Ch.0 Result Register 4
	0x54b6	ADC12_0AD5D ADC12A Ch.0 Result Register 5

* 48ピンパッケージまたはチップでのみ使用可能

4.5.1 システムプロテクト機能

システムプロテクトは、制御レジスタやビットを書き込み保護する機能です。MSCPROT.PROT[15:0]ビットに0x0096を書き込んで書き込み保護を解除しない限り、書き換えることができません。この機能は、CPU暴走時に、システム関係のレジスタを書き換えてしまうことによるデッドロックを防ぐために設けられています。書き込み保護されているレジスタやビットについては、周辺回路の“制御レジスタ”で確認してください。

注: MSCPROT.PROT[15:0]ビットで書き込み保護を解除すると、再度、書き込み保護を設定するまで、解除された状態に維持されます。必要なレジスタ/ビットの書き換えを終了後は、書き込み保護に再設定してください。

4.6 制御レジスタ

MISC System Protect Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPROT	15-0	PROT[15:0]	0x0000	H0	R/W	-

Bits 15-0 PROT[15:0]

これらのビットは、システム関連の制御レジスタを書き込み保護します。

0x0096 (R/W): システムプロテクト無効

0x0096以外 (R/W): システムプロテクト有効

システムプロテクト状態では、書き込み保護対応のビット(R/W欄にWPまたはR/WPが記載されているビット)には書き込みできません。

MISC IRAM Size Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCIRAMSZ	15-9	-	0x00	-	R	-
	8	(reserved)	0	H0	R/WP	Always set to 0.
	7-3	-	0x04	-	R	-
	2-0	IRAMSZ[2:0]	0x2	H0	R/WP	-

Bits 15-3 Reserved

Bits 2-0 IRAMSZ[2:0]

これらのビットは、使用できる内蔵RAMのサイズを設定します。

表4.6.1 内蔵RAMサイズの選択

MSCIRAMSZ.IRAMSZ[2:0]ビット	内蔵RAMのサイズ
0x7~0x3	Reserved
0x2	2KB
0x1	1KB
0x0	512B

FLASHC Flash Read Cycle Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
FLASHCWAIT	15-8	-	0x00	-	R	-
	7	XBUSY	0	H0	R	-
	6-2	-	0x00	-	R	-
	1-0	RDWAIT[1:0]	0x1	H0	R/WP	-

Bits 15-8 Reserved

Bit 7 XBUSY

このビットは、Flashメモリへのアクセスが可能か否かを示します。

1 (R): Flashアクセス可能

0 (R): Flashアクセス禁止

通常動作時は、常にアクセス可能です。

Bits 6–2 Reserved

Bits 1–0 RDWAIT[1:0]

これらのビットは、Flashメモリリード時のバスアクセスサイクル数を設定します。

表4.6.2 Flashリード時バスアクセスサイクル数の設定

V_{DD} = 1.2~1.6 Vの場合

FLASHWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	1.1 MHz (max.)
0x2	3	1.1 MHz (max.)
0x1	2	1.1 MHz (max.)
0x0	1	800 kHz (max.)

V_{DD} = 1.6~3.6 Vの場合

FLASHWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	4.2 MHz (max.)
0x2	3	4.2 MHz (max.)
0x1	2	4.2 MHz (max.)
0x0	1	2.1 MHz (max.)

注: FLASHWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。

5 割り込みコントローラ(ITC)

5.1 概要

ITCの主な機能と特長を以下に示します。

- 周辺回路からの割り込み要求を受け付け、CPUへ割り込み要求、割り込みレベル、ベクタ番号を出力
- 割り込みソースごとに8段階の割り込みレベルを設定可能
- 複数の割り込みが同時に発生した場合、割り込みレベルにより優先順位を決定
- 割り込みレベルが同レベルであれば、ベクタ番号の小さい割り込みを優先

図5.1.1にITCの構成を示します。

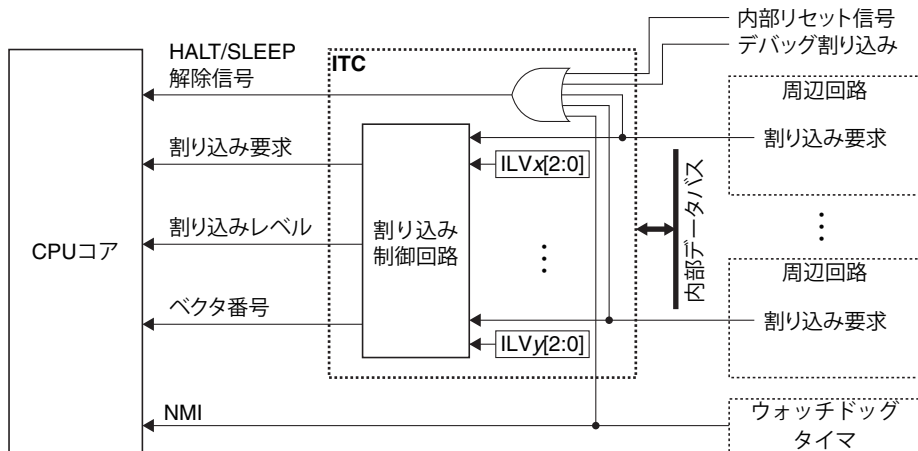


図5.1.1 ITCの構成

5.2 ベクタテーブル

ベクタテーブルは、割り込みハンドルーチンへのベクタ(ハンドルーチン開始アドレス)を格納します。割り込みが発生すると、CPUは割り込みに対応するベクタを読み出して、そのハンドルーチンを実行します。表5.2.1にベクタテーブルを示します。

表5.2.1 ベクタテーブル

TTBR初期値 = 0x8000

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • パワーオンリセット • キーリセット • ウォッチドッグタイマオーバーフロー *2 • 電源電圧検出回路リセット 	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
-	(0xffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-

5 割り込みコントローラ(ITC)

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込みフラグ	優先順位
4 (0x04)	TTBR + 0x10	電源電圧検出回路割り込み	電源電圧低下検出	高い*1 ↑
5 (0x05)	TTBR + 0x14	ポート割り込み	ポート入力	
6 (0x06)	TTBR + 0x18	パワージェネレータ割り込み	PWG2モード遷移完了	
7 (0x07)	TTBR + 0x1c	クロックジェネレータ割り込み	<ul style="list-style-type: none"> • IOSC発振安定待ち完了 • OSC1発振安定待ち完了 • OSC3発振安定待ち完了 • OSC1発振停止 • IOSC発振オートトリミング終了 	
8 (0x08)	TTBR + 0x20	リアルタイムクロック割り込み	<ul style="list-style-type: none"> • 1日、1時間、1分、1秒 • 1/32秒、1/8秒、1/4秒、1/2秒信号 • ストップウォッチ1 Hz、10 Hz、100 Hz • アラーム • 論理緩急終了 	
9 (0x09)	TTBR + 0x24	16ビットタイマCh.0割り込み	アンダーフロー	
10 (0x0a)	TTBR + 0x28	UART Ch.0割り込み	<ul style="list-style-type: none"> • 送信完了 • フレーミングエラー • パリティエラー • オーバーランエラー • 受信バッファ2バイトフル • 受信バッファ1バイトフル • 送信バッファエンプティ 	
11 (0x0b)	TTBR + 0x2c	16ビットタイマCh.1割り込み	アンダーフロー	
12 (0x0c)	TTBR + 0x30	同期式シリアルインタフェースCh.0割り込み	<ul style="list-style-type: none"> • 送信完了 • 受信バッファフル • 送信バッファエンプティ • オーバーランエラー 	
13 (0x0d)	TTBR + 0x34	PC割り込み	<ul style="list-style-type: none"> • 送受信完了 • ジェネラルコールアドレス受信 • NACK受信 • ストップコンディション • スタートコンディション • エラー検出 • 受信バッファフル • 送信バッファエンプティ 	
14 (0x0e)	TTBR + 0x38	16ビットPWMタイマCh.0割り込み	<ul style="list-style-type: none"> • キャプチャオーバーライト • コンペア/キャプチャ • カウンタMAX • カウンタゼロ 	
15 (0x0f)	TTBR + 0x3c	16ビットPWMタイマCh.1割り込み	<ul style="list-style-type: none"> • キャプチャオーバーライト • コンペア/キャプチャ • カウンタMAX • カウンタゼロ 	
16 (0x10)	TTBR + 0x40	UART Ch.1割り込み	<ul style="list-style-type: none"> • 送信完了 • フレーミングエラー • パリティエラー • オーバーランエラー • 受信バッファ2バイトフル • 受信バッファ1バイトフル • 送信バッファエンプティ 	
17 (0x11)	TTBR + 0x44	サウンドジェネレータ割り込み	<ul style="list-style-type: none"> • サウンドバッファエンプティ • サウンド出力終了 	
18 (0x12)	TTBR + 0x48	IRリモートコントローラ割り込み	<ul style="list-style-type: none"> • コンペアAP • コンペアDB 	
19 (0x13)	TTBR + 0x4c	reserved	-	
20 (0x14)	TTBR + 0x50	R/F変換器Ch.0割り込み	<ul style="list-style-type: none"> • 基準発振完了 • センサA発振完了 • センサB発振完了 • 計測カウンタオーバーフローエラー • タイムベースカウンタオーバーフローエラー 	
21 (0x15)	TTBR + 0x54	R/F変換器Ch.1割り込み	<ul style="list-style-type: none"> • 基準発振完了 • センサA発振完了 • センサB発振完了 • 計測カウンタオーバーフローエラー • タイムベースカウンタオーバーフローエラー 	
22 (0x16)	TTBR + 0x58	16ビットタイマCh.2割り込み	アンダーフロー	
23 (0x17)	TTBR + 0x5c	同期式シリアルインタフェースCh.1割り込み	<ul style="list-style-type: none"> • 送信完了 • 受信バッファフル • 送信バッファエンプティ • オーバーランエラー 	

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込みフラグ	優先順位
24 (0x18)	TTBR + 0x60	16ビットタイマCh.3割り込み	アンダーフロー	↓ 低い*1
25 (0x19)	TTBR + 0x64	12ビットA/D変換器割り込み	<ul style="list-style-type: none"> ・アナログ入力信号m A/D変換完了 ・アナログ入力信号m A/D変換結果オーバーライトエラー 	
26 (0x1a)	TTBR + 0x68	reserved	-	
:	:	:	:	
31 (0x1f)	TTBR + 0x7c	reserved	-	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

5.2.1 ベクタテーブルベースアドレス(TTBR)

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MSCTTBRLレジスタとMSCTTBRHレジスタによって設定することができます。表5.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MSCTTBRL/MSCTTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタは上記のアドレスに書き込んでおく必要があります。MSCTTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルは常に256バイト境界アドレスから始まります。

5.3 初期設定

割り込みに関する初期設定手順の例を以下に示します。

1. di命令を実行し、CPUを割り込みディスエーブルに設定する。
2. ベクタテーブルをデフォルトアドレス以外に配置している場合は、MSCPROT.PROT[15:0]ビットに0x0096を書き込んでシステムプロテクトを解除した後に、MSCTTBRL/MSCTTBRHレジスタにそのアドレスを設定する。その後、MSCPROT.PORT[15:0]ビットに0x0096以外の値を書き込んで、システムプロテクトを設定する。
3. 周辺回路の割り込みイネーブルビットを0(割り込みディスエーブル)に設定する。
4. ITCのITCLVx.ILVx[2:0]ビットで周辺回路の割り込みレベルを設定する。
5. 周辺回路を設定し、動作を開始させる。
6. 周辺回路の割り込みフラグをクリアする。
7. 周辺回路の割り込みイネーブルビットを1(割り込みイネーブル)に設定する。
8. ei命令を実行し、CPUを割り込みイネーブルに設定する。

5.4 マスク可能割り込みの制御と動作

5.4.1 周辺回路の割り込み制御

割り込みを発生する周辺回路には、割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。

割り込みフラグ: 割り込み要因の発生により1にセットされます。クリア条件は、周辺回路によって異なります。

割り込みイネーブルビット: このビットを1(割り込みイネーブル)に設定しておくこと、割り込みフラグが1になった時点でITCに割り込み要求が送信されます。0(割り込みディスエーブル)に設定しておくこと、割り込みフラグが1になってもITCに割り込み要求は送信されません。割り込みフラグが1の状態、割り込みイネーブルに変更するとその時点でITCに割り込み要求が送信されます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺回路の説明を参照してください。

5 割り込みコントローラ(ITC)

注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドルーチンを終了する前に、対応する割り込みフラグをクリアしてください。

5.4.2 ITCの割り込み要求処理

周辺回路からの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号をCPUに送ります。ベクタ番号は表5.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルは割り込みの優先順位を決める値で、割り込みごとに設けられているITCLV_x.ILV_x[2:0]ビットで0(低)~7(高)に設定できます。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、CPUはその割り込み要求を受け付けません。

ITCでは、複数の周辺回路から同時に割り込み要求が入力された場合、以下の条件に従い、最も優先順位の高い割り込み要求をCPUに出力します。

- 割り込みレベルが最も高く設定されている割り込みを優先
- 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてCPUに受け付けられるまで保留されます。

ITCが割り込み要求信号をCPUに出力中(CPUに受け付けられる前)に、より高い優先順位を持つ割り込み要求が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺回路内の割り込みフラグがソフトウェアでクリアされた場合、その割り込みは発生しません。

注: 割り込みレベルの変更は、変更する割り込みが発生しない状態(周辺回路の割り込みイネーブルビットが0に設定されている、または周辺回路が停止している状態)で行ってください。

5.4.3 CPUの割り込み要求受領条件

CPUは以下のすべての条件が成立している場合に、ITCからの割り込み要求を受け付けます。

- PSRのIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要求が、PSRのIL[2:0](割り込みレベル)ビットに設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要求が発生していない。

5.5 NMI

本ICでは、ウォッチドッグタイマでNMI(ノンマスクابل割り込み)を発生させることができます。この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

NMIを発生させる方法については“ウォッチドッグタイマ”の章を参照してください。

5.6 ソフトウェア割り込み

CPUの“int imm5”または“intl imm5, imm3”命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値imm5でベクタテーブルのベクタ番号(0~31)を指定します。intl命令では、imm3でPSRのIL[2:0]ビットに設定する割り込みレベル(0~7)を指定することもできます。ソフトウェア割り込みをディスエーブルにすることはできません(ノンマスクابل割り込み)。プロセッサの割り込み処理の動作は、ハードウェアによる割り込みと同様です。

5.7 CPUによる割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っており、各種の割り込み要求を受け付けるとその時点で実行中の命令を終了後、割り込み処理に移行します。

CPUの割り込み処理で実行される内容は以下のとおりです。

1. PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
2. PSRのIEビットを0にクリア(以降のマスク可能な割り込みを禁止)
3. PSRのIL[2:0]ビットを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
4. 発生した割り込みのベクタをPCにロードして割り込みハンドルーチンを実行

したがって、CPUが割り込みを受け付けると、ステップ2によって以降のマスク可能な割り込みは禁止されます。割り込みハンドルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、ステップ3によってIL[2:0]ビットが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをret命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

注: HALTまたはSLEEPモード解除時は、1命令を実行してから割り込みハンドルーチンにジャンプします。HALTまたはSLEEPモード解除直後に割り込みハンドルーチンを実行させるには、halt/slp命令の後にnop命令を置いてください。

5.8 制御レジスタ

MISC Vector Table Address Low Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRL	15-8	TTBR[15:8]	0x80	H0	R/WP	-
	7-0	TTBR[7:0]	0x00	H0	R	

Bits 15-0 TTBR[15:0]

これらのビットは、ベクタテーブルベースアドレス(下位16ビット)を設定します。

MISC Vector Table Address High Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRH	15-8	-	0x00	-	R	-
	7-0	TTBR[23:16]	0x00	H0	R/WP	

Bits 15-8 Reserved

Bits 7-0 TTBR[23:16]

これらのビットは、ベクタテーブルベースアドレス(上位8ビット)を設定します。

ITC Interrupt Level Setup Register x

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLVx	15-11	-	0x00	-	R	-
	10-8	ILV _{y₁} [2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	ILV _{y₀} [2:0]	0x0	H0	R/W	

Bits 15-11 Reserved

Bits 7-3 Reserved

Bits 10-8 ILV_{y₁}[2:0] ($y_1 = 2x + 1$)

Bits 2-0 ILV_{y₀}[2:0] ($y_0 = 2x$)

これらのビットは、各割り込みの割り込みレベルを設定します。

5 割り込みコントローラ(ITC)

表5.8.1 割り込みレベルと優先度の設定

ITCLVx.ILVy[2:0]ビット	割り込みレベル	優先度
0x7	7	高
0x6	6	↑
...	...	
0x1	1	↓
0x0	0	低

以下、本ICに搭載しているITCLVxレジスタの構成を示します。

表5.8.2 ITCLVxレジスタ一覧

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV0 (ITC Interrupt Level Setup Register 0)	15-11	-	0x00	-	R	-
	10-8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
	7-3	-	0x00	-	R	-
	2-0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD)
ITCLV1 (ITC Interrupt Level Setup Register 1)	15-11	-	0x00	-	R	-
	10-8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
	7-3	-	0x00	-	R	-
	2-0	ILV2[2:0]	0x0	H0	R/W	Power generator interrupt (ILVPWG2)
ITCLV2 (ITC Interrupt Level Setup Register 2)	15-11	-	0x00	-	R	-
	10-8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
	7-3	-	0x00	-	R	-
	2-0	ILV4[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCA_0)
ITCLV3 (ITC Interrupt Level Setup Register 3)	15-11	-	0x00	-	R	-
	10-8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
	7-3	-	0x00	-	R	-
	2-0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILVUART_0)
ITCLV4 (ITC Interrupt Level Setup Register 4)	15-11	-	0x00	-	R	-
	10-8	ILV9[2:0]	0x0	H0	R/W	I ² C interrupt (ILVI2C_0)
	7-3	-	0x00	-	R	-
	2-0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
ITCLV5 (ITC Interrupt Level Setup Register 5)	15-11	-	0x00	-	R	-
	10-8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
	7-3	-	0x00	-	R	-
	2-0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)
ITCLV6 (ITC Interrupt Level Setup Register 6)	15-11	-	0x00	-	R	-
	10-8	ILV13[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSNDA_0)
	7-3	-	0x00	-	R	-
	2-0	ILV12[2:0]	0x0	H0	R/W	UART Ch.1 interrupt (ILVUART_1)
ITCLV7 (ITC Interrupt Level Setup Register 7)	15-11	-	0x00	-	R	-
	10-8	ILV15[2:0]	0x0	H0	R/W	(reserved)
	7-3	-	0x00	-	R	-
	2-0	ILV14[2:0]	0x0	H0	R/W	IR remote controller interrupt (ILVREMC2_0)
ITCLV8 (ITC Interrupt Level Setup Register 8)	15-11	-	0x00	-	R	-
	10-8	ILV17[2:0]	0x0	H0	R/W	R/F converter Ch.1 interrupt (ILVRFC_1)
	7-3	-	0x00	-	R	-
	2-0	ILV16[2:0]	0x0	H0	R/W	R/F converter Ch.0 interrupt (ILVRFC_0)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV9 (ITC Interrupt Level Setup Register 9)	15-11	–	0x00	–	R	–
	10-8	ILV19[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
	7-3	–	0x00	–	R	–
	2-0	ILV18[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
ITCLV10 (ITC Interrupt Level Setup Register 10)	15-11	–	0x00	–	R	–
	10-8	ILV21[2:0]	0x0	H0	R/W	12-bit A/D converter interrupt (ILVADC12_0)
	7-3	–	0x00	–	R	–
	2-0	ILV20[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)

6 入出力ポート (PPORT)

6.1 概要

PPORTは入出力ポートを制御する回路です。主な機能と特長を以下に示します。

- 各ポートの機能を個々に設定可能
 - プルアップまたはプルダウン抵抗の有無をポートごとに設定可能
 - チャタリングフィルタの有無をポートごとに設定可能
 - 端子に割り付ける機能(汎用入出力ポート(GPIO)機能、最大4種類の周辺回路用入出力機能)をポートごとに選択可能
- デバッグ端子兼用ポート以外のイニシャル状態はHi-Z
(この状態では、フローティングであっても端子に電流は流れません。)

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, ..., d)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図6.1.1にPPORTの構成を示します。

表6.1.1 S1C17W03/W04のポート構成

項目	32pinパッケージ	48pinパッケージ/チップ
搭載ポートグループ	P0[7:0]、P1[7:0]、P3[1:0]、P3[5:3]、Pd[2:0]	P0[7:0]、P1[7:0]、P2[1:0]、P3[5:0]、P4[5:0]、Pd[4:0]
汎用入出力(GPIO)対応ポート	P0[7:0]、P1[7:0]、P3[1:0]、P3[5:3]、Pd[2:0] (Pd2は出力のみ)	P0[7:0]、P1[7:0]、P2[1:0]、P3[5:0]、P4[5:0]、Pd[4:0](Pd2は出力のみ)
割り込み機能対応ポート	P0[7:0]、P1[7:0]、P3[1:0]、P3[5:3]	P0[7:0]、P1[7:0]、P2[1:0]、P3[5:0]、P4[5:0]
デバッグ機能用ポート		Pd[2:0]
キー入力リセット機能		対応(P0[3:0])
VDDA電源で動作するポート*	P3[1:0]、P3[5:3]	P3[5:0]、P4[5:4]

* これらのポートはVDDではなくVDDAで動作します。

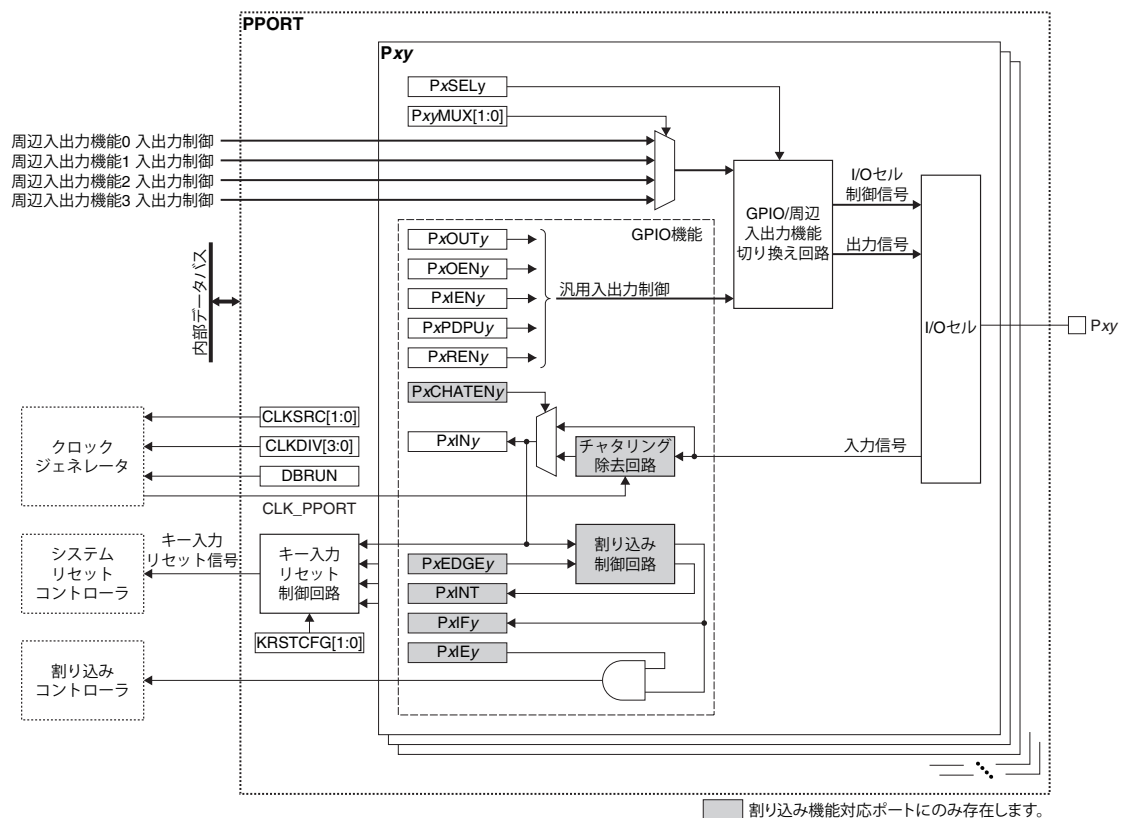


図6.1.1 PPORTの構成

6.2 I/Oセルの構造と機能

I/Oセルの構成を図6.2.1に示します。

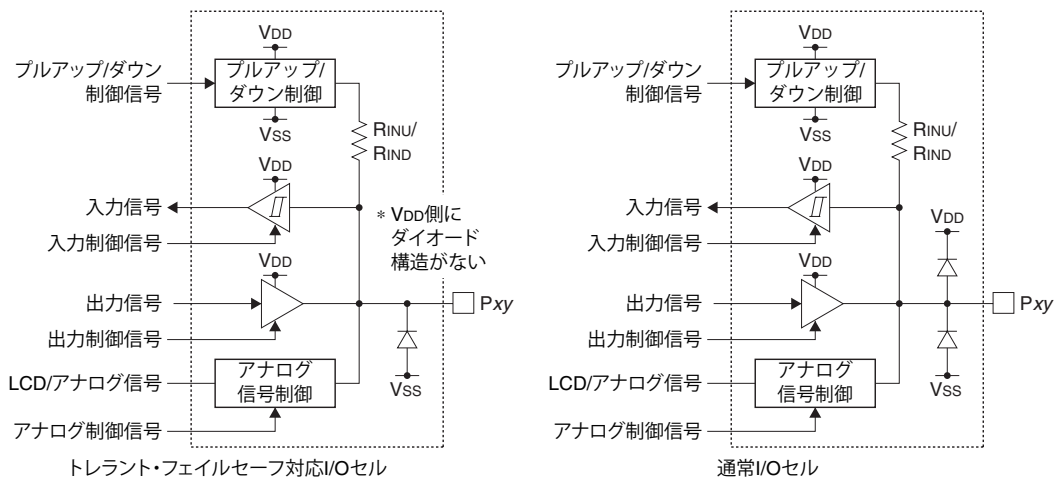


図6.2.1 I/Oセルの構成

各ポートがトレラント・フェイルセーフ対応I/Oセルと通常のI/Oセルのどちらを搭載しているかについては、“概要”の章の“端子説明”を参照してください。

6.2.1 シュミット入力

すべての入力機能は、シュミットインタフェースレベルで設定されています。入力ディスエーブル(PxIOEN.PxIENyビット = 0)に設定されているときは、Pxy端子がフローティング状態でも、不要な電流は流れません。

6.2.2 トレラント・フェイルセーフ

トレラント・フェイルセーフ対応I/Oセルは、ポートにVDD以上の電圧が印加された場合でも、不要な電流が流れることなくインタフェースを可能とします。また、VDDが供給されていない状態で、外部バイアスがかかっても、不要な電流は流れません。ただし、推奨最大動作電源電圧を超える電圧を印加することはできません。

6.2.3 プルアップ/プルダウン

GPIOにはプルアップ/プルダウン機能があります。制御レジスタによって、ポートごとにプルアップまたはプルダウンが選択可能です。また、プルアップ/プルダウンが不要なポートについては、この機能を無効にすることができます。

I/Oセルに内蔵されているプルアップ抵抗によってポートのレベルをLOWからHIGHに変化させる場合、またはプルダウン抵抗によってHIGHからLOWに変化させる場合、プルアップ/プルダウン抵抗と端子の負荷容量の時定数によって、波形の立ち上がり/立ち下がりに遅延が生じます。この立ち上がり/立ち下がり時間は、一般的に以下の式で表されます。

$$t_{PR} = -R_{INU} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T+}/V_{DD}) \quad (式6.1)$$

$$t_{PF} = -R_{IND} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T-}/V_{DD})$$

ここで

t_{PR}: 立ち上がり時間(ポートレベル LOW → HIGH) [秒]

t_{PF}: 立ち下がり時間(ポートレベル HIGH → LOW) [秒]

V_{T+}: 高レベルシュミット入力スレシヨルド電圧 [V]

V_{T-}: 低レベルシュミット入力スレシヨルド電圧 [V]

R_{INU}/R_{IND}: プルアップ/プルダウン抵抗値 [Ω]

C_{IN}: 端子容量 [F]

C_{BOARD}: 基板の寄生容量 [F]

6.2.4 CMOS出力とハイインピーダンス状態

アナログ出力用以外のI/Oセルは、V_{DD}またはV_{SS}レベルを出力可能です。また、GPIOはハイインピーダンス(Hi-Z)状態を設定可能です。

6.3 クロック設定

6.3.1 PPORTの動作クロック

PPORTの外部入力信号に対してチャタリング除去機能を使用する場合、クロックジェネレータからPPORT動作クロックCLK_PPORTをPPORTに供給する必要があります。

CLK_PPORTの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
3. PCLKレジスタの以下のビットを設定する。
 - PCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - PCLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

3の設定により、チャタリング除去機能の入力検定時間が決定します。

6.3.2 SLEEPモード時のクロック供給

SLEEPモード時にチャタリング除去機能を使用する場合は、PPORT動作クロックCLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_PPORTを供給し続ける必要があります。

SLEEPモード時に、CLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_PPORTのクロックソースが停止し、PxCHATEN.PxCHATENyビット(チャタリング除去機能 有効/無効の設定にかかわらず、チャタリング除去機能が無効になります)。

6.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_PPORTの供給はPCLK.DBRUNビットで制御します。

PCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとPPORTへのCLK_PPORTの供給が停止します。その後通常モードに戻ると、CLK_PPORTの供給が再開します。CLK_PPORTの供給が停止するとPPORT内のチャタリング除去回路の動作は停止します。GPIOポートでチャタリング除去機能を使用している場合、入力ポート機能は動作しなくなります。ただし、制御レジスタへの書き込みは可能です。PCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_PPORTの供給は停止せず、チャタリング除去回路は動作を継続します。

6.4 動作

6.4.1 初期設定

デバッグ機能用以外のポートは、リセット後に下記の状態になります。

- ポート入力: ディスエーブル
- ポート出力: ディスエーブル
- プルアップ: OFF
- プルダウン: OFF
- ポート端子: ハイインピーダンス状態
- ポート機能: GPIO機能を選択

6 入出力ポート(PPORT)

この状態はソフトウェアでポートの設定が行われるまで続きます。
デバッグ機能用ポートはデバッグ信号の入出力用に設定されます。

周辺入出力機能を使用する場合の初期設定

Px_{xy}ポートを周辺入出力機能に使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOENレジスタの以下のビットを設定する。
 - PxIOEN.PxIEN_yビットを0に設定 (入力ディスエーブル)
 - PxIOEN.PxOEN_yビットを0に設定 (出力ディスエーブル)
2. PxMODSEL.PxSEL_yビットを0に設定する。(周辺入出力機能ディスエーブル)
3. 端子を使用する周辺回路を初期化する。
4. PxFNCSEL.PxMUX[1:0]ビットを設定する。(周辺入出力機能を選択)
5. PxMODSEL.PxSEL_yビットを1に設定する。(周辺入出力機能イネーブル)

本ICの各ポートに割り付け可能な周辺入出力機能の一覧は、“本ICの制御レジスタ/ポート機能の構成”を参照してください。また、周辺入出力機能の詳細については該当する周辺回路の章を参照してください。

汎用出力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Px_{xy}ポート端子を汎用出力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOEN.PxOEN_yビットを1に設定する。(出力イネーブル)
2. PxMODSEL.PxSEL_yビットを0に設定する。(GPIO機能イネーブル)

汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Px_{xy}ポート端子を汎用入力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxINTCTL.PxIE_yビットに0を書き込む。* (割り込みディスエーブル)
2. チャタリング除去機能を使用する場合は、PPORT動作クロックを設定し(“PPORTの動作クロック”参照)、PxCHATEN.PxCHATEN_yビットを1に設定する。*
チャタリング除去機能を使用しない場合は、PxCHATEN.PxCHATEN_yビットを0に設定する(PPORT動作クロックの供給は不要)。
3. ポートを内蔵プルアップまたはプルダウン抵抗でプルアップ/ダウンする場合は、PxRCTLレジスタの以下のビットを設定する。
 - PxRCTL.PxPDU_yビット (プルアップ抵抗またはプルダウン抵抗の選択)
 - PxRCTL.PxREN_yビットを1に設定 (プルアップ/プルダウンイネーブル)内蔵プルアップ/プルダウン抵抗を使用しない場合は、PxRCTL.PxREN_yビットを0に設定する。
4. PxMODSEL.PxSEL_yビットを0に設定する。(GPIO機能をイネーブル)
5. ポート入力割り込みを使用する場合は以下のビットを設定する。*
 - PxINTF.PxIF_yビットに1を書き込み (割り込みフラグをクリア)
 - PxINTCTL.PxEDGE_yビット (割り込みエッジ(入力立ち下がり/立ち上がり)の選択)
 - PxINTCTL.PxIE_yビットを1に設定 (割り込みイネーブル)
6. PxIOENレジスタの以下のビットを設定する。
 - PxIOEN.PxOEN_yビットを0に設定 (出力ディスエーブル)
 - PxIOEN.PxIEN_yビットを1に設定 (入力イネーブル)

* 1と5は割り込み機能対応ポート、2はチャタリング除去機能対応ポートにのみ必要な操作

データ入出力制御とプルアップ/プルダウン制御の組み合わせによるポートの状態を表6.4.1.1に示します。

表6.4.1.1 GPIOポートの制御

PxIOEN. PxIENyビット	PxIOEN. PxOENyビット	PxRCTL. PxRENyビット	PxRCTL. PxPDUyビット	入力	出力	プルアップ/ダウン の状態
0	0	0	x		ディスエーブル	OFF(Hi-Z) *1
0	0	1	0		ディスエーブル	プルダウン
0	0	1	1		ディスエーブル	プルアップ
1	0	0	x	イネーブル	ディスエーブル	OFF(Hi-Z) *2
1	0	1	0	イネーブル	ディスエーブル	プルダウン
1	0	1	1	イネーブル	ディスエーブル	プルアップ
0	1	0	x	ディスエーブル	イネーブル	OFF
0	1	1	0	ディスエーブル	イネーブル	OFF
0	1	1	1	ディスエーブル	イネーブル	OFF
1	1	1	0	イネーブル	イネーブル	OFF
1	1	1	1	イネーブル	イネーブル	OFF

*1: イニシャル状態。フローティングであっても端子に電流は流れません。

*2: ポート入力がフローティングになると不要な電流が流れるため、プルアップまたはプルダウン機能を使用することを推奨します。

注: GPIO機能を持っていないポートのPxMODESEL.PxSELyビットを0に設定した場合、ポートはイニシャル状態(“初期設定”参照)となり、GPIO用の制御ビットはすべて、常に0が読み出されるリードオンリビットになります。

6.4.2 ポートの入出力制御

周辺入出力機能の制御

周辺入出力機能を選択したポートの制御は、すべて周辺回路が行います。詳細は、各周辺回路の章を参照してください。

GPIOポート出力データの設定

Pxy端子から出力するデータ(1 = HIGH出力、0 = LOW出力)をPxDAT.PxOUTyビットに書き込みます。

GPIOポート入力データの読み出し

Pxy端子から入力したデータ(1 = HIGH入力、0 = LOW入力)はPxDAT.PxINyビットから読み出します。

注: PxDAT.PxINyビットは、CPUが読み出す1クロック前の入力ポートの状態を保持しています。

チャタリング除去機能

一部のポートにはチャタリング除去機能があり、ポートごとに制御できるようになっています。この機能はPxCHATEN.PxCHATENyビットを1に設定することにより有効になります。チャタリングを除去するための入力検定時間は、全ポート共通にPCLKレジスタで設定されるCLK_PPORT周波数によって決まります。入力検定時間未満のパルスは除去されます。

$$\text{入力検定時間} = \frac{2 \sim 3}{\text{CLK_PPORT周波数 [Hz]}} \text{ [秒]} \quad (\text{式6.2})$$

PCLKレジスタおよびPxCHATEN.PxCHATENyビットの設定変更は、必ずPxyポート割り込みをディスエーブルにして行ってください。割り込みイネーブルの状態を設定を変更すると、Pxyポート割り込みが誤って発生する場合があります。また、チャタリング除去機能を有効にしてから、CLK_PPORTの4周期分以上の時間が経過したのちに、割り込みをイネーブルに設定してください。

クロックジェネレータにてSLEEP時もPPORTにCLK_PPORTが供給されるように設定されている場合、SLEEP状態であってもポートのチャタリング除去機能は有効となっています。CLK_PPORTが停止するように設定されている場合、PPORTはSLEEP状態になるとチャタリング除去機能を無効にして、端子の状態変化が直接内部に取り込まれるようにします。

キー入力リセット機能

指定した組み合わせのポートすべてに対して、同時にLOWパルスを入力することで、リセット要求を発生させる機能です。この機能を使用する場合は、以下の設定を行います。

1. キー入力リセットの入力端子として使用するポートを汎用入力ポートに設定する(“汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)”参照)。
2. PCLK.KRSTCFG[1:0]ビットで、キー入力リセット入力端子の組み合わせを設定する。

6 入出力ポート(PPORT)

注: キー入力リセット機能を有効にする場合は、必ず使用するポート端子を汎用入力端子として設定した後に、PCLK.KRSTCFG[1:0]ビットを設定してください。

チャタリング除去機能を無効にしている場合(イニシャル状態)、PCLK.KRSTCFG[1:0]ビットで指定した入力端子がすべてLOWになった時点で、直ちにリセット要求を発生します。一定時間のLOW入力があった場合にリセット要求を発生させたい場合には、キー入力リセットに使用する全ポートのチャタリング除去機能を有効にしてください。

なお、キー入力リセット用に設定された端子も、汎用の入力端子として使用可能です。

6.5 割り込み

割り込み機能を持つポートでGPIO機能を選択した場合、ポート入力割り込み機能を使用できます。

表6.5.1 ポート入力割り込み機能

割り込み	割り込みフラグ	セット	クリア
ポート入力割り込み	PxINTF.PxIFy	入力信号の立ち上がりまたは立ち下がりエッジ	1書き込み
	PINTFGRP.PxINT	ポートグループ内の割り込みフラグのセット	PxINTF.PxIFyのクリア

割り込みエッジの選択

ポート入力割り込みは、PxINTCTL.PxEDGEyビットを1に設定すると入力信号の立ち下がりエッジで、0に設定すると立ち上がりエッジで発生します。

割り込みイネーブル

割り込みフラグには、それぞれに対応する割り込みイネーブルビット(PxINTCTL.PxIEyビット)があります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

ポートグループ単位の割り込み確認

複数のポートグループで割り込みをイネーブルにした場合、PINTFGRP.PxINTビットを割り込みハンドラ内で先にチェックすると効率よく割り込みを発生したポートを調べることができます。このビットが1になっている場合、割り込みはそのポートグループ内で発生していることになります。次に、そのポートグループ内で1になっているPxINTF.PxIFyビットを調べ、割り込みを発生したポートを特定します。PxINTF.PxIFyビットをクリアすることで、PINTFGRP.PxINTビットもクリアされます。PxINTCTL.PxIEyビットによって割り込みディスエーブルに設定されている場合、PxINTF.PxIFyビットが1になってもPINTFGRP.PxINTビットはセットされません。

6.6 制御レジスタ

本節では、全ポートグループの制御レジスタを一括して説明します。個々のポートグループのレジスタビットの構成と初期値については、“本ICの制御レジスタ/ポート機能の構成”を参照してください。

Px Port Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxDAT	15–8	PxOUT[7:0]	0x00	H0	R/W	–
	7–0	PxIN[7:0]	0x00	H0	R	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

*3: 初期値はポートによって変わることがあります。

Bits 15–8 PxOUT[7:0]

GPIOポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子からHIGHレベルを出力

0 (R/W): ポート端子からLOWレベルを出力

出力をイネーブル(PxIOEN.PxOENyビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(PxIOEN.PxOENyビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。これらのビットはポートを周辺入出力機能用に使用する場合の出力には影響を与えません。

Bits 7-0 PxIN[7:0]

これらのビットからGPIOポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGHレベル

0 (R): ポート端子 = LOWレベル

入力をイネーブル(PxIOEN.PxIENyビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(PxIOEN.PxIENyビット = 0)時は読み出し値が常に0となります。

ポートを周辺入出力機能用に使用する場合の入力値は、これらのビットから読み出すことはできません。

Px Port Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxIOEN	15-8	PxIEN[7:0]	0x00	H0	R/W	-
	7-0	PxOEN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxIEN[7:0]

これらのビットはGPIOポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを0に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本ICが出力している端子の状態を読み出すことができます。

これらのビットはポートを周辺入出力機能用に使用する場合の入力制御には影響を与えません。

Bits 7-0 PxOEN[7:0]

これらのビットはGPIOポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートをHi-Z)

これらのビットはポートを周辺入出力機能用に使用する場合の出力制御には影響を与えません。

Px Port Pull-up/down Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxRCTL	15-8	PxPDPU[7:0]	0x00	H0	R/W	-
	7-0	PxREN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxPDPU[7:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、PxRCTL.PxRENyビット = 1の場合に有効になります。

Bits 7-0 PxREN[7:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

6 入出力ポート(PPORT)

イネーブルにすると、出力ディスエーブル(PxIOEN.PxOENyビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(PxIOEN.PxOENyビット = 1)時は、PxIOEN.PxIENyビットの設定にかかわらずPxRCTL.PxRENyビットの設定が無効となり、プルアップ/ダウンされません。

これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

Px Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTF	15-8	-	0x00	-	R	-
	7-0	PxIF[7:0]	0x00	H0	R/W	Cleared by writing 1.

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 PxIF[7:0]

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

Px Port Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTCTL	15-8	PxEDGE[7:0]	0x00	H0	R/W	-
	7-0	PxIE[7:0]	0x00	H0	R/W	-

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxEDGE[7:0]

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

Bits 7-0 PxIE[7:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

Px Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxCHATEN	15-8	-	0x00	-	R	-
	7-0	PxCHATEN[7:0]	0x00	H0	R/W	-

*1: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 PxCHATEN[7:0]

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

Px Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxMODSEL	15-8	–	0x00	–	R	–
	7-0	PxSEL[7:0]	0x00	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15-8 Reserved

Bits 7-0 PxSEL[7:0]

これらのビットは、各ポートでGPIO機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO機能を使用

Px Port Function Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxFNCSEL	15-14	Px7MUX[1:0]	0x0	H0	R/W	–
	13-12	Px6MUX[1:0]	0x0	H0	R/W	
	11-10	Px5MUX[1:0]	0x0	H0	R/W	
	9-8	Px4MUX[1:0]	0x0	H0	R/W	
	7-6	Px3MUX[1:0]	0x0	H0	R/W	
	5-4	Px2MUX[1:0]	0x0	H0	R/W	
	3-2	Px1MUX[1:0]	0x0	H0	R/W	
	1-0	Px0MUX[1:0]	0x0	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15-14 Px7MUX[1:0]

: :

Bits 1-0 Px0MUX[1:0]

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

表6.6.1 周辺入出力機能の選択

PxFNCSEL.PxyMUX[1:0]ビット	周辺入出力機能
0x3	機能3
0x2	機能2
0x1	機能1
0x0	機能0

この選択は、PxMODSEL.PxSELYビット = 1の場合に有効です。

P Port Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にPPORT動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、PPORT動作クロック(チャタリング除去機能用クロック)の分周比を選択します。

6 入出力ポート(PPORT)

Bits 3–2 KRSTCFG[1:0]

これらのビットは、キー入力リセット機能を設定します。

表6.6.2 キー入力リセット機能の設定

PCLK.KRSTCFG[1:0]ビット	キー入力リセット
0x3	P0[3:0]入力 = オールLOWでリセット
0x2	P0[2:0]入力 = オールLOWでリセット
0x1	P0[1:0]入力 = オールLOWでリセット
0x0	ディスエーブル

Bits 1–0 CLKSRC[1:0]

これらのビットは、PPORT(チャタリング除去機能)のクロックソースを選択します。PPORT動作クロックは表6.6.3に示すとおり、PCLK.CLKSRC[1:0]ビットによるクロックソースの選択、およびPCLK.CLKDIV[3:0]ビットによるクロック分周比の選択によって設定されます。この設定によりチャタリング除去回路の入力検定時間が決定します。

表6.6.3 クロックソースと分周比の設定

PCLK.CLKDIV[3:0]ビット	PCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0xf		1/32,768		1/1
0xe		1/16,384		
0xd		1/8,192		
0xc		1/4,096		
0xb		1/2,048		
0xa		1/1,024		
0x9		1/512		
0x8		1/256		
0x7		1/128		
0x6		1/64		
0x5		1/32		
0x4		1/16		
0x3		1/8		
0x2		1/4		
0x1		1/2		
0x0		1/1		

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

P Port Interrupt Flag Group Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PINTFGRP	15–13	–	0x0	–	R	–
	12	PcINT	0	H0	R	
	11	PbINT	0	H0	R	
	10	PaINT	0	H0	R	
	9	P9INT	0	H0	R	
	8	P8INT	0	H0	R	
	7	P7INT	0	H0	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

*1: 割り込みに対応しているポートグループのビットのみ有効です。

Bits 15–13 Reserved

Bits 12-0 PxINT

これらのビットは、Pxポートグループ内に割り込みを発生したポートがあることを示します。

1 (R): 割り込み発生ポートあり

0 (R): 割り込み発生ポートなし

割り込みを発生したポートの割り込みフラグをクリアすると、PINTFGRP.PxINTビットもクリアされます。

6.7 本ICの制御レジスタ/ポート機能の構成

ここでは、本ICに搭載しているPPORTの制御レジスタ/ビットの構成と、各ポート端子で選択可能な周辺入出力機能の一覧を示します。

6.7.1 P0ポートグループ

P0ポートグループはGPIO機能と割り込み機能を持っています。

表6.7.1.1 P0ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PODAT (P0 Port Data Register)	15-8	POOUT[7:0]	0x00	H0	R/W	-
	7-0	POIN[7:0]	0x00	H0	R	
POIOEN (P0 Port Enable Register)	15-8	POIEN[7:0]	0x00	H0	R/W	-
	7-0	POOEN[7:0]	0x00	H0	R/W	
PORCTL (P0 Port Pull-up/down Control Register)	15-8	PODPDU[7:0]	0x00	H0	R/W	-
	7-0	POREN[7:0]	0x00	H0	R/W	
POINTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	POIF[7:0]	0x00	H0	R/W	
POINTCTL (P0 Port Interrupt Control Register)	15-8	POEDGE[7:0]	0x00	H0	R/W	-
	7-0	POIE[7:0]	0x00	H0	R/W	
POCHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	POCHATEN[7:0]	0x00	H0	R/W	
POMODSEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	POSEL[7:0]	0x00	H0	R/W	
POFNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
	13-12	P06MUX[1:0]	0x0	H0	R/W	
	11-10	P05MUX[1:0]	0x0	H0	R/W	
	9-8	P04MUX[1:0]	0x0	H0	R/W	
	7-6	P03MUX[1:0]	0x0	H0	R/W	
	5-4	P02MUX[1:0]	0x0	H0	R/W	
	3-2	P01MUX[1:0]	0x0	H0	R/W	
	1-0	P00MUX[1:0]	0x0	H0	R/W	

表6.7.1.2 P0ポートグループ機能割り付け

ポート名	POSELy = 0		POSELy = 1							
	GPIO	P0yMUX = 0x0 (機能0)		P0yMUX = 0x1 (機能1)		P0yMUX = 0x2 (機能2)		P0yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P00	P00	REMC2	REMO	UPMUX	*1	-	-	-	-	
P01	P01	REMC2	CLPLS	UPMUX	*1	-	-	-	-	
P02	P02	RFC Ch.1	RFCLKO1	UPMUX	*1	-	-	-	-	
P03	P03	RTC	RTC1S	UPMUX	*1	-	-	-	-	
P04	P04	SNDA	BZOUT	UPMUX	*1	-	-	-	-	
P05	P05	SNDA	#BZOUT	UPMUX	*1	-	-	-	-	
P06	P06	CLG	FOUT	UPMUX	*1	-	-	-	-	
P07	P07	ADC12A	#ADTRG0	UPMUX	*1	-	-	-	-	

*1: “ユニバーサルポートマルチプレクサ”の章参照

6 入出力ポート(PPORT)

6.7.2 P1ポートグループ

P1ポートグループはGPIO機能と割り込み機能を持っています。

表6.7.2.1 P1ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P1DAT (P1 Port Data Register)	15-8	P1OUT[7:0]	0x00	H0	R/W	-
	7-0	P1IN[7:0]	0x00	H0	R	
P1IOEN (P1 Port Enable Register)	15-8	P1IEN[7:0]	0x00	H0	R/W	-
	7-0	P1OEN[7:0]	0x00	H0	R/W	
P1RCTL (P1 Port Pull-up/down Control Register)	15-8	P1PDP[7:0]	0x00	H0	R/W	-
	7-0	P1REN[7:0]	0x00	H0	R/W	
P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
	7-0	P1IF[7:0]	0x00	H0	R/W	
P1INTCTL (P1 Port Interrupt Control Register)	15-8	P1EDGE[7:0]	0x00	H0	R/W	-
	7-0	P1IE[7:0]	0x00	H0	R/W	
P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P1CHATEN[7:0]	0x00	H0	R/W	
P1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P1SEL[7:0]	0x00	H0	R/W	
P1FNCSSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	-
	13-12	P16MUX[1:0]	0x0	H0	R/W	
	11-10	P15MUX[1:0]	0x0	H0	R/W	
	9-8	P14MUX[1:0]	0x0	H0	R/W	
	7-6	P13MUX[1:0]	0x0	H0	R/W	
	5-4	P12MUX[1:0]	0x0	H0	R/W	
	3-2	P11MUX[1:0]	0x0	H0	R/W	
	1-0	P10MUX[1:0]	0x0	H0	R/W	

表6.7.2.2 P1ポートグループ機能割り付け

ポート名	P1SELY = 0		P1SELY = 1							
	GPIO	P1yMUX = 0x0 (機能0)		P1yMUX = 0x1 (機能1)		P1yMUX = 0x2 (機能2)		P1yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P10	P10	RFC Ch.0	RFCLK00	UPMUX	*1	SVD	EXSVD	-	-	
P11	P11	CLG	EXOSC	UPMUX	*1	-	-	-	-	
P12	P12	T16B Ch.0	EXCL00	UPMUX	*1	-	-	-	-	
P13	P13	T16B Ch.0	EXCL01	UPMUX	*1	-	-	-	-	
P14	P14	RFC Ch.0	RFIN0	UPMUX	*1	-	-	-	-	
P15	P15	RFC Ch.0	REF0	UPMUX	*1	-	-	-	-	
P16	P16	RFC Ch.0	SENA0	UPMUX	*1	-	-	-	-	
P17	P17	RFC Ch.0	SENB0	UPMUX	*1	-	-	-	-	

*1: “ユニバーサルポートマルチプレクサ”の章参照

6.7.3 P2ポートグループ

P2ポートグループはP20とP21の2ポートで構成され、GPIO機能と割り込み機能を持っています。

注: 32pinパッケージにP20とP21ポートは存在しません。

表6.7.3.1 P2ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2DAT (P2 Port Data Register)	15-10	-	0x00	-	R	
	9-8	P2OUT[1:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	P2IN[1:0]	0x0	H0	R	
P2IOEN (P2 Port Enable Register)	15-10	-	0x00	-	R	
	9-8	P2IEN[1:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	P2OEN[1:0]	0x0	H0	R/W	
P2RCTL (P2 Port Pull-up/down Control Register)	15-10	-	0x00	-	R	
	9-8	P2PDU[1:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	P2REN[1:0]	0x0	H0	R/W	
P2INTF (P2 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
	7-2	-	0x00	-	R	
	1-0	P2IF[1:0]	0x0	H0	R/W	
P2INTCTL (P2 Port Interrupt Control Register)	15-10	-	0x00	-	R	
	9-8	P2EDGE[1:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	P2IE[1:0]	0x0	H0	R/W	
P2CHATEN (P2 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
	7-2	-	0x00	-	R	
	1-0	P2CHATEN[1:0]	0x0	H0	R/W	
P2MODSEL (P2 Port Mode Select Register)	15-8	-	0x00	-	R	
	7-2	-	0x00	-	R	
	1-0	P2SEL[1:0]	0x0	H0	R/W	
P2FNCSEL (P2 Port Function Select Register)	15-8	-	0x00	-	R	
	7-4	-	0x0	-	R	
	3-2	P21MUX[1:0]	0x0	H0	R/W	
	1-0	P20MUX[1:0]	0x0	H0	R/W	

表6.7.3.2 P2ポートグループ機能割り付け

ポート名	P2SELY = 0 GPIO	P2SELY = 1							
		P2yMUX = 0x0 (機能0)		P2yMUX = 0x1 (機能1)		P2yMUX = 0x2 (機能2)		P2yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P20	P20	-	-	UPMUX	*1	-	-	-	-
P21	P21	-	-	UPMUX	*1	-	-	-	-

*1: “ユニバーサルポートマルチプレクサ”の章参照

6 入出力ポート(PPORT)

6.7.4 P3ポートグループ

P3ポートグループはP30～P35の6ポートで構成され、GPIO機能と割り込み機能を持っています。

注: 32pinパッケージにP32ポートは存在しません。

表6.7.4.1 P3ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P3DAT (P3 Port Data Register)	15-14	-	0x0	-	R	
	13-8	P3OUT[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P3IN[5:0]	0x00	H0	R	
P3IOEN (P3 Port Enable Register)	15-14	-	0x0	-	R	
	13-8	P3IEN[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P3OEN[5:0]	0x00	H0	R/W	
P3RCTL (P3 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	
	13-8	P3PDP[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P3REN[5:0]	0x00	H0	R/W	
P3INTF (P3 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5-0	P3IF[5:0]	0x00	H0	R/W	
P3INTCTL (P3 Port Interrupt Control Register)	15-14	-	0x0	-	R	
	13-8	P3EDGE[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P3IE[5:0]	0x00	H0	R/W	
P3CHATEN (P3 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5-0	P3CHATEN[5:0]	0x00	H0	R/W	
P3MODSEL (P3 Port Mode Select Register)	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5-0	P3SEL[5:0]	0x00	H0	R/W	
P3FNCSSEL (P3 Port Function Select Register)	15-12	-	0x0	-	R	
	11-10	P35MUX[1:0]	0x0	H0	R/W	
	9-8	P34MUX[1:0]	0x0	H0	R/W	
	7-6	P33MUX[1:0]	0x0	H0	R/W	
	5-4	P32MUX[1:0]	0x0	H0	R/W	
	3-2	P31MUX[1:0]	0x0	H0	R/W	
	1-0	P30MUX[1:0]	0x0	H0	R/W	

表6.7.4.2 P3ポートグループ機能割り付け

ポート名	P3SELY = 0		P3SELY = 1						
	GPIO	P3yMUX = 0x0 (機能0)		P3yMUX = 0x1 (機能1)		P3yMUX = 0x2 (機能2)		P3yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P30	P30	T16B Ch.1	EXCL10	UPMUX	*1	ADC12A	ADIN05	-	-
P31	P31	T16B Ch.1	EXCL11	UPMUX	*1	ADC12A	ADIN04	-	-
P32	P32	-	-	UPMUX	*1	ADC12A	ADIN03	-	-
P33	P33	-	-	UPMUX	*1	ADC12A	ADIN02	-	-
P34	P34	-	-	UPMUX	*1	ADC12A	ADIN01	-	-
P35	P35	-	-	UPMUX	*1	ADC12A	ADIN00	-	-

*1: “ユニバーサルポートマルチプレクサ”の章参照

6.7.5 P4ポートグループ

P4ポートグループはP40～P45の6ポートで構成され、GPIO機能と割り込み機能を持っています。

注: 32pinパッケージにP40～P45ポートは存在しません。

表6.7.5.1 P4ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P4DAT (P4 Port Data Register)	15-14	–	0x0	–	R	–
	13-8	P4OUT[5:0]	0x00	H0	R/W	
	7-6	–	0x0	–	R	
	5-0	P4IN[5:0]	0x00	H0	R	
P4IOEN (P4 Port Enable Register)	15-14	–	0x0	–	R	–
	13-8	P4IEN[5:0]	0x00	H0	R/W	
	7-6	–	0x0	–	R	
	5-0	P4OEN[5:0]	0x00	H0	R/W	
P4RCTL (P4 Port Pull-up/down Control Register)	15-14	–	0x0	–	R	–
	13-8	P4PDP[5:0]	0x00	H0	R/W	
	7-6	–	0x0	–	R	
	5-0	P4REN[5:0]	0x00	H0	R/W	
P4INTF (P4 Port Interrupt Flag Register)	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	
	5-0	P4IF[5:0]	0x00	H0	R/W	
P4INTCTL (P4 Port Interrupt Control Register)	15-14	–	0x0	–	R	–
	13-8	P4EDGE[5:0]	0x00	H0	R/W	
	7-6	–	0x0	–	R	
	5-0	P4IE[5:0]	0x00	H0	R/W	
P4CHATEN (P4 Port Chattering Filter Enable Register)	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	
	5-0	P4CHATEN[5:0]	0x00	H0	R/W	
P4MODSEL (P4 Port Mode Select Register)	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	
	5-0	P4SEL[5:0]	0x00	H0	R/W	
P4FNCSSEL (P4 Port Function Select Register)	15-12	–	0x0	–	R	–
	11-10	P45MUX[1:0]	0x0	H0	R/W	
	9-8	P44MUX[1:0]	0x0	H0	R/W	
	7-6	P43MUX[1:0]	0x0	H0	R/W	
	5-4	P42MUX[1:0]	0x0	H0	R/W	
	3-2	P41MUX[1:0]	0x0	H0	R/W	
1-0	P40MUX[1:0]	0x0	H0	R/W		

表6.7.5.2 P4ポートグループ機能割り付け

ポート名	P4SELY = 0 GPIO	P4SELY = 1							
		P4yMUX = 0x0 (機能0)		P4yMUX = 0x1 (機能1)		P4yMUX = 0x2 (機能2)		P4yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P40	P40	RFC Ch.1	SENB1	–	–	–	–	–	–
P41	P41	RFC Ch.1	SENA1	–	–	–	–	–	–
P42	P42	RFC Ch.1	REF1	–	–	–	–	–	–
P43	P43	RFC Ch.1	RFIN1	–	–	–	–	–	–
P44	P44	–	–	–	–	–	–	–	–
P45	P45	–	–	–	–	–	–	–	–

6 入出力ポート(PPORT)

6.7.6 Pdポートグループ

PdポートグループはPd0～Pd4の5ポートで構成され、Pd0～Pd2の3ポートは初期設定でデバッグ機能用ポートに設定されます。これらの5ポートはGPIO機能を持っています。Pd2ポートのGPIO機能は出力専用で、プルアップ/ダウン機能は使用できません。

注: 32pinパッケージにPd3とPd4ポートは存在しません。

表6.7.6.1 Pdポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PDDAT (Pd Port Data Register)	15-13	-	0x0	-	R	-
	12-8	PDOOUT[4:0]	0x00	H0	R/W	
	7-5	-	0x0	-	R	
	4-3	PDIN[4:3]	x	H0	R	
	2	-	0	-	R	
	1-0	PDIN[1:0]	x	H0	R	
PDIOEN (Pd Port Enable Register)	15-13	-	0x0	-	R	-
	12-11	PDIEN[4:3]	0x0	H0	R/W	
	10	(reserved)	0	H0	R/W	
	9-8	PDIEN[1:0]	0x0	H0	R/W	
	7-5	-	0x0	-	R	
	4-0	PDOEN[4:0]	0x00	H0	R/W	
PDRCTL (Pd Port Pull-up/down Control Register)	15-13	-	0x0	-	R	-
	12-11	PDPDPU[4:3]	0x0	H0	R/W	
	10	(reserved)	0	H0	R/W	
	9-8	PDPDPU[1:0]	0x0	H0	R/W	
	7-5	-	0x0	-	R	
	4-3	PDREN[4:3]	0x0	H0	R/W	
	2	(reserved)	0	H0	R/W	
1-0	PDREN[1:0]	0x0	H0	R/W		
PDINTF PDINTCTL PDCHATEN	15-0	-	0x0000	-	R	-
PDMODSEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4-0	PDSEL[4:0]	0x07	H0	R/W	
PDFNCSEL (Pd Port Function Select Register)	15-10	-	0x00	-	R	-
	9-8	PD4MUX[1:0]	0x0	H0	R/W	
	7-6	PD3MUX[1:0]	0x0	H0	R/W	
	5-4	PD2MUX[1:0]	0x0	H0	R/W	
	3-2	PD1MUX[1:0]	0x0	H0	R/W	
	1-0	PD0MUX[1:0]	0x0	H0	R/W	

表6.7.6.2 Pdポートグループ機能割り付け

ポート名	PdSELY = 0		PdSELY = 1						
	GPIO	PdyMUX = 0x0 (機能0)		PdyMUX = 0x1 (機能1)		PdyMUX = 0x2 (機能2)		PdyMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
Pd0	Pd0	DBG	DST2	-	-	-	-	-	-
Pd1	Pd1	DBG	DSIO	-	-	-	-	-	-
Pd2	Pd2	DBG	DCLK	-	-	-	-	-	-
Pd3	Pd3	-	-	-	-	CLG	OSC4	-	-
Pd4	Pd4	-	-	-	-	CLG	OSC3	-	-

6.7.7 ポートグループ共通

表6.7.7.1 ポートグループ共通の制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	
PINTFGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

7 ユニバーサルポートマルチプレクサ (UPMUX)

7.1 概要

UPMUXは、入出力ポートに周辺回路の入出力機能を自由に割り当てることができるマルチプレクサです。主な機能と特長を以下に示します。

- 同期式シリアルインターフェース、PC、UART、16ビットPWMタイマの周辺入出力機能をプログラマブルにP0、P1、P2、P3ポートに割り当て可能
- UPMUXにて割り当てた周辺入出力機能は、PxFNCSSEL.PxyMUX[1:0]ビット = 0x1の設定により使用可能

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, 3)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図7.1.1にUPMUXの構成を示します。

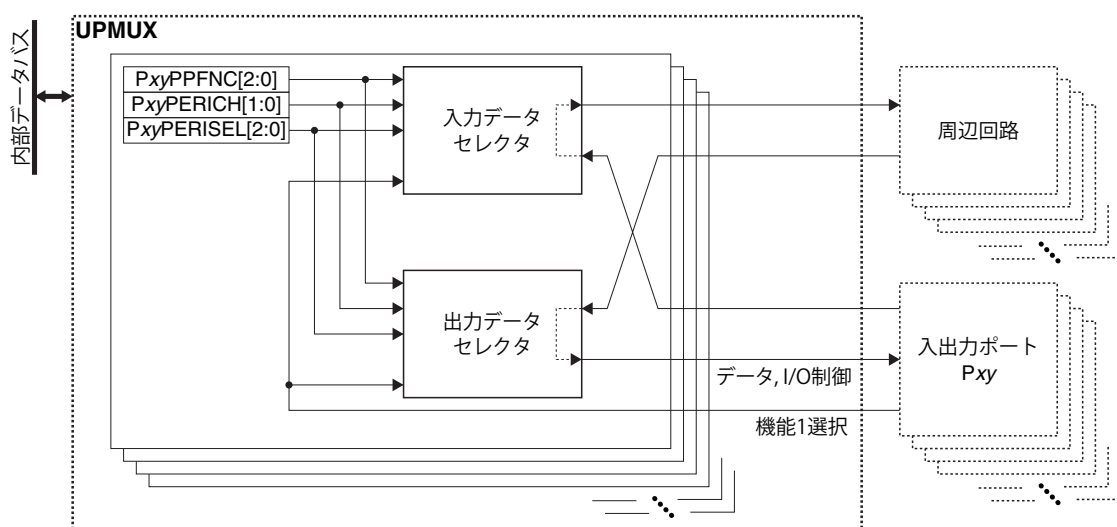


図7.1.1 UPMUXの構成

7.2 周辺入出力機能の割り当て

上記の対応入出力ポートの周辺入出力機能1に、対応周辺回路の入出力機能を割り当てることができます。周辺入出力機能の割り当てと、入出力ポートでその機能を有効にする手順を以下に示します。

- 入出力ポートのPxIOENレジスタを設定する。
 - PxIOEN.PxIENyビットを0に設定 (入力ディスエーブル)
 - PxIOEN.PxOENyビットを0に設定 (出力ディスエーブル)
- 入出力ポートのPxMODESEL.PxSELYビットを0に設定する。 (周辺入出力機能ディスエーブル)
- PxUPMUXnレジスタ(n = 0~3)の以下のビットを設定する。
 - PxUPMUXn.PxyPERISEL[2:0]ビット (周辺回路の選択)
 - PxUPMUXn.PxyPERICH[1:0]ビット (周辺回路チャンネルの選択)
 - PxUPMUXn.PxyPPFNC[2:0]ビット (割り当て機能の選択)
- 周辺回路を初期化する。
- 入出力ポートのPxFNCSSEL.PxyMUX[1:0]ビットを0x1に設定する。 (周辺入出力機能1を選択)
- 入出力ポートのPxMODESEL.PxSELYビットを1に設定する。 (周辺入出力機能イネーブル)

7.3 制御レジスタ

Pxy-xz Universal Port Multiplexer Setting Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxUPMUX n	15-13	PxzPPFNC[2:0]	0x0	H0	R/W	-
	12-11	PxzPERICH[1:0]	0x0	H0	R/W	
	10-8	PxzPERISEL[2:0]	0x0	H0	R/W	
	7-5	PxyPPFNC[2:0]	0x0	H0	R/W	
	4-3	PxyPERICH[1:0]	0x0	H0	R/W	
	2-0	PxyPERISEL[2:0]	0x0	H0	R/W	

*1: レジスタ名の x はポートグループ番号、 n はレジスタ番号(0~3)を表します。

*2: ビット名の x はポートグループ番号、 y は偶数ポート番号(0, 2, 4, 6)、 z は奇数ポート番号($z = y + 1$)を表します。

Bits 15-13 PxzPPFNC[2:0]

Bits 7-5 PxyPPFNC[2:0]

これらのビットは、ポートに割り当てる周辺入出力機能を指定します。(表7.3.1参照)

Bits 12-11 PxzPERICH[1:0]

Bits 4-3 PxyPERICH[1:0]

これらのビットは、周辺回路のチャンネル番号を指定します。(表7.3.1参照)

Bits 10-8 PxzPERISEL[2:0]

Bits 2-0 PxyPERISEL[2:0]

これらのビットは、周辺回路を指定します。(表7.3.1参照)

表7.3.1 周辺入出力機能の選択

PxUPMUX n . PxyPPFNC[2:0] ビット (周辺入出力機能)	PxUPMUX n .PxyPERISEL[2:0]ビット (周辺回路)								
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	
	None *	I2C	SPIA	UART	T16B	Reserved	Reserved	Reserved	
	PxUPMUX n .PxyPERICH[1:0]ビット (周辺回路チャンネル)								
	-	0x0	0x0, 0x1	0x0, 0x1	0x0, 0x1	-	-	-	
	-	Ch.0	Ch.0, 1	Ch.0, 1	Ch.0, 1	-	-	-	
0x0	None *	None *	None *	None *	None *	None *	None *	None *	
0x1	Reserved	SCL n	SDI n	USIN n	TOUT n 0/ CAP n 0	Reserved	Reserved	Reserved	
0x2		SDA n	SDO n	USOUT n	TOUT n 1/ CAP n 1				
0x3		Reserved	Reserved	SPICLK n	Reserved				Reserved
0x4				#SPISS n					
0x5		Reserved	Reserved	Reserved	Reserved				
0x6									
0x7									

* “None”は割り当てなしを意味します。この値を指定した場合、入出力ポートで周辺入出力機能1を選択して周辺入出力機能をイネーブルにすると、Pxy端子はHi-Zとなります。

注: 一つの周辺入力機能を複数のポートに割り当てないでください。出力機能を複数のポートに割り当てた場合は同じ波形が出力されますが、内部遅延のためにスキューを生じます。

8 ウォッチドッグタイマ(WDT)

8.1 概要

WDTは、プログラムが正常に実行できないような問題が発生したときにシステムを再起動させるための回路です。WDTの主な機能と特長を以下に示します。

- NMI/リセット発生周期をカウントする10ビットアップカウンタを搭載
- カウンタのクロックソースとクロック分周比を選択可能
- カウンタのオーバーフローによりリセットまたはNMIを発生

図8.1.1にWDTの構成を示します。

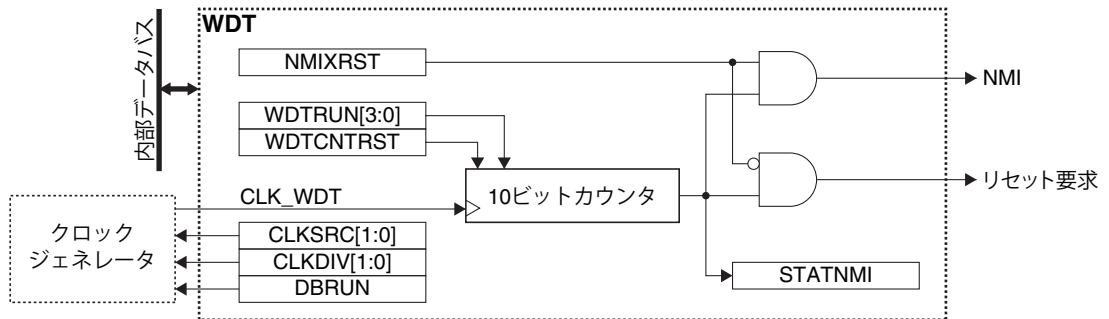


図8.1.1 WDTの構成

8.2 クロック設定

8.2.1 WDTの動作クロック

WDTを使用する場合、クロックジェネレータからWDT動作クロックCLK_WDTをWDTに供給する必要があります。

CLK_WDTの供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. WDTCLKレジスタの以下のビットを設定する。
WDTCLK.CLKSRC[1:0]ビット (クロックソースの選択)
WDTCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

WDTのカウンタオーバーフロー周期(NMI/リセット発生周期)は次の式で計算できます。

$$t_{WDT} = \frac{1,024}{CLK_WDT} \quad (\text{式8.1})$$

ここで

t_{WDT}: カウンタオーバーフロー周期 [秒]
CLK_WDT: WDT動作クロック周波数 [Hz]

例) CLK_WDT = 256 Hz のとき、t_{WDT} = 4秒

8.2.2 DEBUGモード時のクロック供給

DEBUGモード時のCLK_WDTの供給はWDTCLK.DBRUNビットで制御します。

WDTCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとWDTへのCLK_WDTの供給が停止します。その後通常モードに戻ると、CLK_WDTの供給が再開します。CLK_WDTの供給が停止するとWDTの動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

WDTCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_WDTの供給は停止せず、WDTは動作を継続します。

8.3 動作

8.3.1 WDTの制御

WDTのRUN

WDTは、以下の手順により初期設定を行い、起動します。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT動作クロックを設定する。
3. WDTCTL.NMIXRSTビットを設定する。 (NMI/リセットモードを選択)
4. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDTカウンタをリセット)
5. WDTCTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。 (WDTを起動)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

WDTのリセット

WDTは、カウンタがオーバーフローすると、システムリセット(WDTCTL.NMIXRSTビット = 0)またはNMI(WDTCTL.NMIXRSTビット = 1)を生成します。この再起動を防ぐため、WDT動作中は内蔵されているカウンタをソフトウェアによって定期的によりリセットする必要があります。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDTカウンタをリセット)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

このルーチンを定期的に処理される場所に用意しておきます。このルーチンは t_{WDT} の周期以内で処理されるようにしてください。リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。何らかの原因によって t_{WDT} 周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTCTL.STATNMIビットが1に設定されます。

8.3.2 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時であっても、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除され、NMIの割り込み処理、またはリセット処理が実行されます。

HALTモード時にWDTを無効にするには、halt命令実行前にWDTCTL.WDTRUN[3:0]ビットに0xaを書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

SLEEPモード時

SLEEPモード時も選択されたクロックソースがONしている場合はWDTが動作します。この状態でNMI/リセット発生周期以上SLEEPモードを続けるとNMIまたはリセットによりSLEEPモードは解除され、NMIの割り込み処理、またはリセット処理が実行されます。したがって、slp命令の実行前にWDTCTL.WDTRUN[3:0]ビットによってWDTを停止させてください。

クロックソースがOFFの場合、WDTは停止しますが、SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じWDTCTL.WDTRUN[3:0]ビットによってWDTを停止させてください。

8.4 制御レジスタ

WDT Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にWDT動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、WDT動作クロック(カウンタクロック)の分周比を選択します。クロック周波数は256 Hz近辺に設定してください。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、WDTのクロックソースを選択します。

表8.4.1 クロックソースと分周比の設定

WDTCLK. CLKDIV[1:0]ビット	WDTCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/16,384	1/128	1/16,384	1/1
0x2	1/8,192		1/8,192	
0x1	1/4,096		1/4,096	
0x0	1/2,048		1/2,048	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

WDT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
WDTCTL	15-10	-	0x00	-	R	-	
	9	NMIXRST	0	H0	R/WP		
	8	STATNMI	0	H0	R		
	7-5	-	0x0	-	R		
	4	WDTCTRST	0	H0	WP		Always read as 0.
	3-0	WDTRUN[3:0]	0xa	H0	R/WP		

Bits 15-10 Reserved

Bit 9 NMIXRST

このビットは、WDTの動作モードを選択します。

1 (R/WP): NMIモード

0 (R/WP): リセットモード

8 ウォッチドッグタイマ(WDT)

このビットを使用して、NMI/リセット発生周期以内にWDTがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するか選択します。

Bit 8 STATNMI

このビットは、カウンタがオーバーフローしてNMIが発生したことを示します。

1 (R): NMI (カウンタオーバーフロー)発生

0 (R): NMI未発生

WDTのNMI発生機能を使用する場合は、NMIハンドラルーチンの中でこのビットをチェックし、NMIの発生元がWDTであるか確認します。

1にセットされたSTATNMIはWDTをリセットすることで0にクリアされます。

Bits 7-5 Reserved

Bit 4 WDCNTRST

このビットは、WDTをリセットします。

1 (WP): リセット

0 (WP): 無効

0 (R): 読み出し時は常時0

Bits 3-0 WDTRUN[3:0]

これらのビットは、WDTのRUN/STOPを制御します。

0xa (WP): STOP

0xa以外 (WP): RUN

0xa (R): 停止中

0x0 (R): 動作中

0xa以外を書き込んだ場合の読み出し値は常に0x0になります。

カウンタの値によってはRUN直後にNMI/リセットが発生する場合がありますので、WDTをRUNさせる際にはWDTのリセットも同時に行ってください。

9 リアルタイムクロック(RTCA)

9.1 概要

RTCAは、パーペチュアルカレンダー機能を備えたリアルタイムクロックです。主な機能と特長を以下に示します。

- BCDコードで表された、時計(秒、分、時)、およびカレンダー(日、曜日、月、年、うるう年対応)を実現するリアルタイムクロックカウンタを搭載
- リアルタイムクロックカウンタはホールド機能を搭載しており、カウンタを変化させずに読み出すことが可能
- 24時間制/12時間制の選択が可能
- 時計のスタート/ストップ制御が可能
- 時報などで時刻を調整するための機能として、30秒補正機能を搭載
- 128~1 Hzをカウントする1Hzカウンタを搭載
- BCDコードで表された、1/100秒カウントを実現するストップウォッチカウンタを搭載
- 発振周波数偏差による時計の誤差を外付け部品の変更なしに補正する論理緩急機能を搭載

図9.1.1にRTCAの構成を示します。

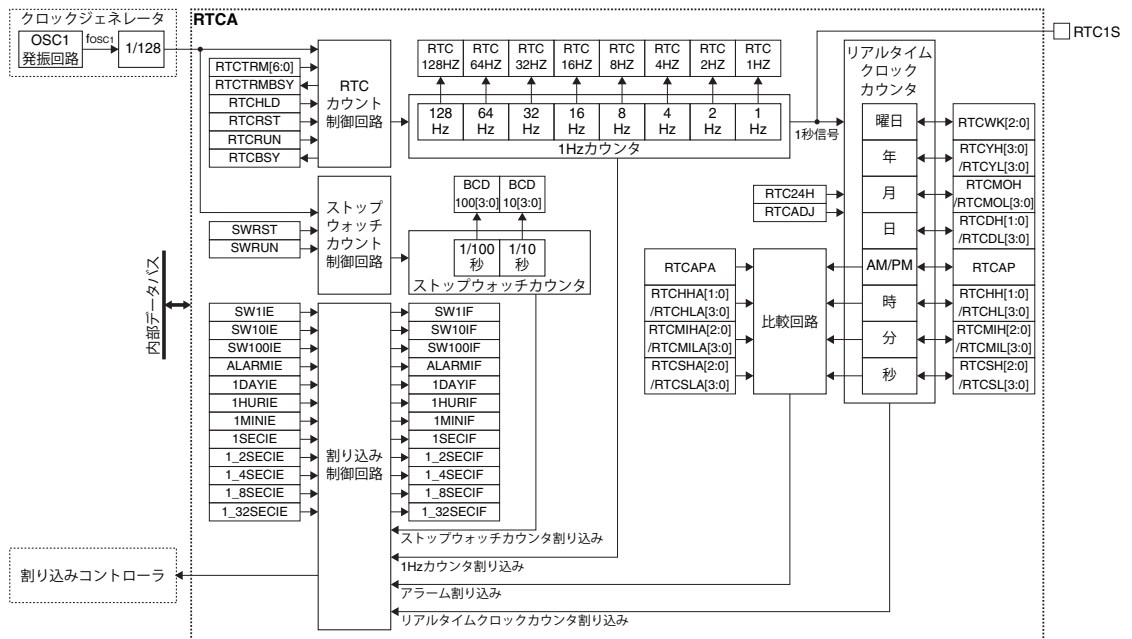


図9.1.1 RTCAの構成

9.2 出力端子と外部接続

9.2.1 出力端子

表9.2.1.1にRTCAの端子を示します。

表9.2.1.1 RTCAの端子

端子名	I/O*	イニシャル状態*	機能
RTCIS	O	O (L)	1秒信号モニタ出力端子

* 端子機能をRTCAに切り換えた時点の状態

RTCAの出力機能と他の機能がポートを共有している場合、RTCAの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

9.3 クロック設定

9.3.1 RTCAの動作クロック

RTCAは、クロックジェネレータでOSC1をクロックソースとして生成されるCLK_RTCAを動作クロックとして使用します。OSC1がイネーブルであれば、RTCAは使用可能です。

SLEEPモード中にOSC1を停止させずにRTCAを継続して動作させるためには、CLGOSC.OSC1SLPCビットに0を書き込む必要があります。

9.3.2 論理緩急機能

OSC1周波数 f_{osc1} が、32.768 kHzに対して発振周波数偏差を持つ場合、時計は誤差を生じます。RTCAは、この誤差を外付け部品の変更なしに補正する論理緩急機能を搭載しています。論理緩急は、以下の手順で行います。

1. f_{osc1} を測定し、発振周波数偏差の補正值 m [ppm] = $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。
2. 論理緩急実行間隔 n 秒を決める。
3. 1と2からRTCCTL.RTCTRM[6:0]ビットへ書き込む値を決定する。
4. RTCAのアラーム割り込みや秒割り込みを利用し、 n 秒間隔でRTCCTL.RTCTRM[6:0]ビットへ3で決めた値を書き込む。
5. RTC1S信号をモニタし、 n 秒の周期が、誤差のない周期になっているかを確認する。

論理緩急の調整値は-64~+63の範囲で設定可能で、RTCCTL.RTCTRM[6:0]ビットには2の補数として書き込みます。調整値は式9.1で計算できます。

$$RTCTRM[6:0] = \frac{m}{10^6} \times 256 \times n \quad (\text{ただし、RTCTRM[6:0]は-64~+63の整数へ四捨五入した値}) \quad (\text{式9.1})$$

ここで

n : 論理緩急実行間隔 [秒](ソフトウェアで定期的にRTCCTL.RTCTRM[6:0]ビットに書き込む間隔)

m : OSC1発振周波数偏差の補正值 [ppm]

RTC1S信号の波形を図9.3.2.1に示します。

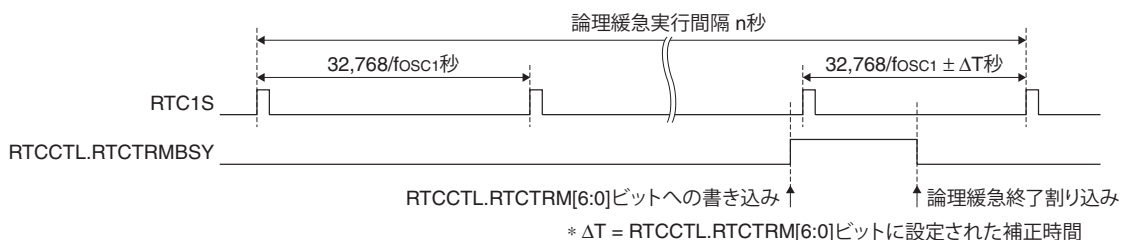


図9.3.2.1 RTC1S信号波形

例として、論理緩急実行間隔 $n = 4,096$ 秒のときの、発振周波数偏差の補正率を表9.3.2.1に示します。

表9.3.2.1 論理緩急実行間隔 $n = 4,096$ 秒時の補正率

RTCCTL.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]	RTCCTL.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]
0x00	0	0.0	0x40	-64	-61.0
0x01	1	1.0	0x41	-63	-60.1
0x02	2	1.9	0x42	-62	-59.1
0x03	3	2.9	0x43	-61	-58.2
...
0x3e	62	59.1	0x7e	-2	-1.9
0x3f	63	60.1	0x7f	-1	-1.0

最小分解能: 1 ppm, 補正率幅: -61.0~60.1 ppm

注: ・ 論理緩急は、リアルタイムクロックカウンタと1Hzカウンタのみに影響を与え、ストップウォッチカウンタには影響を与えません。

- ・ 値がRTCCTL.RTCTRM[6:0]ビットに書き込まれると、1Hzカウンタが0x7fに変わるタイミングで1Hzカウンタのカウンタ値が論理緩急を反映した値に変化します。また、カウンタ値に応じた割り込みが発生します。

9.4 動作

9.4.1 RTCAの制御

RTCAの時刻設定、時刻読み出し、アラーム設定は、以下の手順により行います。

時刻設定

1. RTCCTL.RTC24Hビットで12Hモード/24Hモードを設定する。
2. RTCCTL.RTCRUNビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを開始する。
3. RTCCTL.RTCBSYビット = 0になっているかどうかでカウンタが書き換え可能なことを確認する。RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
4. 以下のビットに、現在の日付と時刻をBCDコードで書き込む。
 RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビット(秒)
 RTCHUR.RTCMIH[2:0]/RTCMIL[3:0]ビット(分)
 RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビット(時)
 RTCHUR.RTCAPビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)
 RTCMON.RTCDH[1:0]/RTCDL[3:0]ビット(日)
 RTCMON.RTCMOH/RTCMOL[3:0]ビット(月)
 RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビット(年)
 RTCYAR.RTCWK[2:0]ビット(曜日)
5. 時報に合わせてRTCCTL.RTCADJビットに1を書き込み(30秒補正を実行)、時刻を合わせる。(30秒補正については、“リアルタイムクロックカウンタの動作”参照)
6. RTCINTFレジスタ内の割り込みフラグに1を書き込み、それらをクリアする。
7. RTCINTEレジスタの割り込みイネーブルビットに1を書き込み、RTCA割り込みをイネーブルにする。

時刻読み出し

1. RTCCTL.RTCBSYビット = 0を確認する。RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
2. RTCCTL.RTCHLDビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを一時停止させる。
3. 上記“時刻設定の4”に示したビットから日時を読み出す。
4. RTCCTL.RTCHLDビットに0を書き込み、リアルタイムクロックカウンタのカウントアップを再開させる。カウントホールド中に秒のカウントアップタイミングになっていた場合は、ハードウェアにより+1秒補正が行われる(+1秒補正については、“リアルタイムクロックカウンタの動作”参照)。

アラーム設定

1. RTCINTE.ALARMIEビットに0を書き込み、アラーム割り込みをディスエーブルにする。
2. 以下のビットに、アラーム時刻(現在時刻から24時間先までの範囲で指定可能)をBCDコードで書き込む。
 RTCALM1.RTCSHA[2:0]/RTCSLA[3:0]ビット(秒)
 RTCALM2.RTCMIHA[2:0]/RTCMILA[3:0]ビット(分)
 RTCALM2.RTCHHA[1:0]/RTCHLA[3:0]ビット(時)
 RTCALM2.RTCAPAビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)
3. RTCINTF.ALARMIFビットに1を書き込み、アラーム割り込みフラグをクリアする。
4. RTCINTE.ALARMIEビットに1を書き込み、アラーム割り込みをイネーブルにする。2で設定した時刻になるとアラーム割り込みが発生する。

9.4.2 リアルタイムクロックカウンタの動作

リアルタイムクロックカウンタは、秒、分、時、AM/PM、日、月、年、曜日カウンタで構成され、RTCIS信号でカウントアップを行います。また、リアルタイムクロックカウンタには、以下の機能もあります。

うるう年検出

うるう年検出は西暦専用です。0~99年の中で、4で割り切れる年はうるう年と判定します。年カウンタ = 0x00の場合は平年と判断します。うるう年と判定された場合、2月の日カウンタのカウント範囲が変わります。

有効範囲外の値をセットした場合の補正動作

年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。

注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x00の設定を禁止します。

30秒補正

時報合わせを想定した機能です。RTCCTL.RTCADJビットに1が書き込まれると、秒カウンタが30~59秒までの場合は分カウンタに1を加算し、0~29秒の場合は分カウンタをそのまま秒カウンタを0にします。

+1秒補正

RTCCTL.RTCHLDビット = 1の間(カウントホールド中)に1秒のカウントアップタイミングが来ていた場合は、このビットに0を書き込んでカウントを再開した時点で、リアルタイムクロックカウンタを+1秒カウントアップ(+1秒補正)します。

注: RTCCTL.RTCHLDビット = 1の間に2回以上1秒のカウントアップタイミングが来ていた場合でも、+1秒しか補正されません。

9.4.3 ストップウォッチの制御

ストップウォッチのカウント開始とカウンタの読み出しは、以下の手順により行います。

カウント開始

1. RTCSWCTL.SWRSTビットに1を書き込み、ストップウォッチカウンタをリセットする。
2. RTCINTFレジスタ内のストップウォッチ割り込みフラグに1を書き込み、それらをクリアする。
3. RTCINTEレジスタの割り込みイネーブルビットに1を書き込み、ストップウォッチ割り込みをイネーブルにする。
4. RTCSWCTL.SWRUNビットに1を書き込み、ストップウォッチカウンタのカウントアップを開始する。

カウンタ読み出し

1. RTCSWCTL.BCD10[3:0]/BCD100[3:0]ビットからカウント値を読み出す。
2. もう一度読み出す。
 - i. 値が同じ場合は正しく読み出せたと判断する。
 - ii. 値が異なる場合は更にもう一度読み出し、前の値と比較する。

9.4.4 ストップウォッチのカウントアップパターン

ストップウォッチは、1/100秒と1/10秒のカウンタを搭載しており、図9.4.4.1で示すようなカウントアップパターンで疑似的な1/100秒と1/10秒カウントアップを行います。

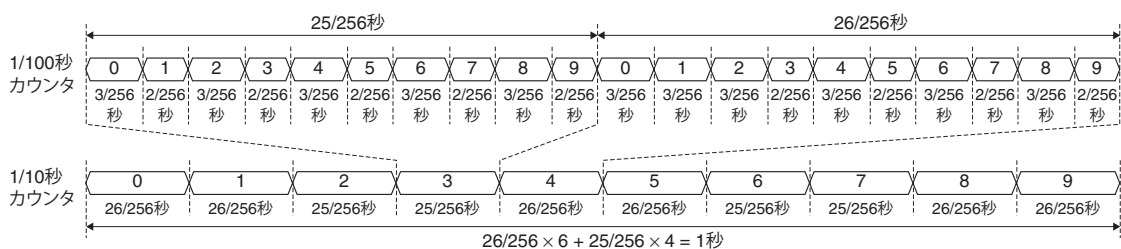


図9.4.4.1 ストップウォッチのカウントアップパターン

9.5 割り込み

RTCAには、表9.5.1に示す割り込みを発生させる機能があります。

表9.5.1 RTCAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アラーム	RTCINTF.ALARMIF	RTCALM1~2レジスタとリアルタイムクロックカウンタの内容が一致したとき	1書き込み
1日	RTCINTF.1DAYIF	日カウンタがカウントアップしたとき	1書き込み
1時間	RTCINTF.1HURIF	時カウンタがカウントアップしたとき	1書き込み
1分	RTCINTF.1MINIF	分カウンタがカウントアップしたとき	1書き込み
1秒	RTCINTF.1SECIF	秒カウンタがカウントアップしたとき	1書き込み
1/2秒	RTCINTF.1_2SECIF	図9.5.1参照	1書き込み
1/4秒	RTCINTF.1_4SECIF	図9.5.1参照	1書き込み
1/8秒	RTCINTF.1_8SECIF	図9.5.1参照	1書き込み
1/32秒	RTCINTF.1_32SECIF	図9.5.1参照	1書き込み
ストップウォッチ 1 Hz	RTCINTF.SW1IF	1/10秒カウンタがオーバーフローしたとき	1書き込み
ストップウォッチ 10 Hz	RTCINTF.SW10IF	1/10秒カウンタがカウントアップしたとき	1書き込み
ストップウォッチ 100 Hz	RTCINTF.SW100IF	1/100秒カウンタがカウントアップしたとき	1書き込み
論理緩急終了	RTCINTF.RTCTRMIF	論理緩急が終了したとき	1書き込み

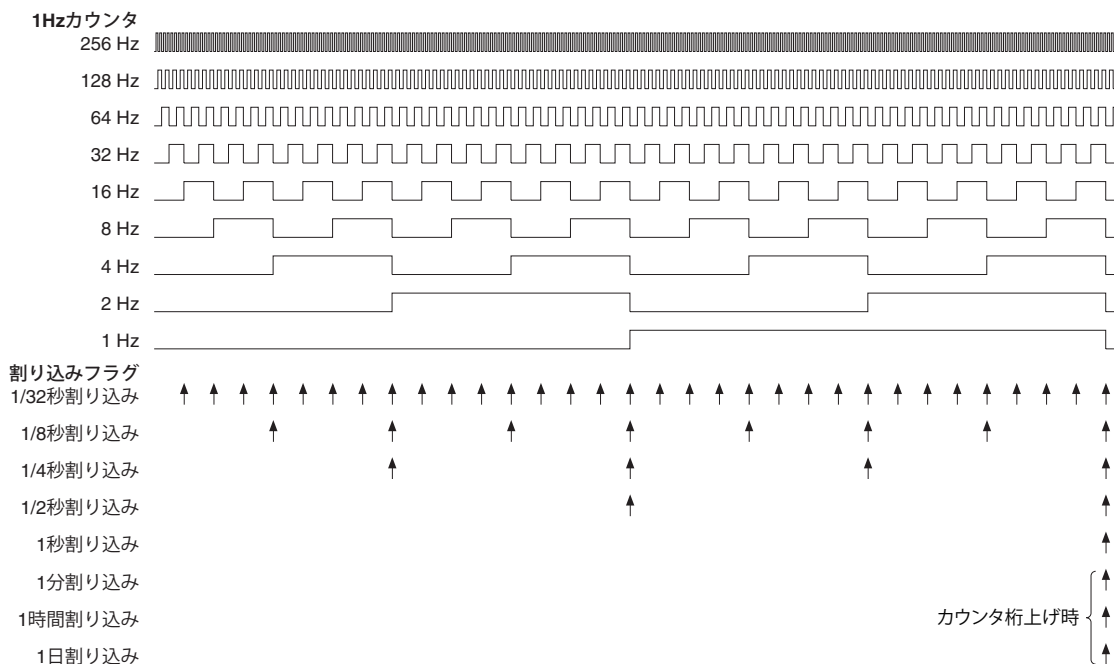


図9.5.1 RTCA割り込みタイミング

9 リアルタイムクロック(RTCA)

注: ・ 1秒~1/32秒割り込みは、1Hzカウンタのカウント値の変化から1/256秒後に発生します。

- ・ アラーム割り込みは、AM/PM(12Hモード時)、時、分、秒カウンタの値とアラーム設定値が一致してから1/256秒後に発生します。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

9.6 制御レジスタ

RTC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCCTL	15	RTCTRMBSY	0	H0	R	–
	14–8	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.
	7	–	0	–	R	–
	6	RTCBSY	0	H0	R	–
	5	RTCHLD	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	4	RTC24H	0	H0	R/W	–
	3	–	0	–	R	–
	2	RTCADJ	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	1	RTCST	0	H0	R/W	–
0	RTCUN	0	H0	R/W	–	

Bit 15 RTCTRMBSY

このビットは、論理緩急を実行中かどうかを示します。

1 (R): 論理緩急実行中

0 (R): 論理緩急終了(実行中以外)

RTCCTL.RTCTRM[6:0]ビットに値が書き込まれると、1になります。論理緩急の実行には、最大で1秒の時間がかかります。論理緩急が終了すると、自動的に0にクリアされます。

Bits 14–8 RTCTRM[6:0]

1 Hzの周波数を調整するための補正値をここに書き込み、論理緩急を実行します。

補正値の計算方法は、“論理緩急機能”を参照してください。

注: ・ RTCCTL.RTCTRMBSYビット = 1の場合、これらのビットに値を書き込むことはできません。

- ・ RTCCTL.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCCTL.RTCTRMBSYビットは1になりますが、補正は行われません。

Bit 7 Reserved

Bit 6 RTCBSY

このビットは、カウンタが桁上げ動作中かどうかを示します。

1 (R): 桁上げ中

0 (R): 待機中(リアルタイムクロックカウンタ書き換え可能)

このビットは、1秒カウントアップ、+1秒補正、30秒補正動作時に1となり、1/256秒の間1を保持した後0に戻ります。

Bit 5 RTCHLD

このビットは、リアルタイムクロックカウンタのカウントアップを停止します。

1 (R/W): リアルタイムクロックカウンタのカウントアップ停止

0 (R/W): 通常動作

このビットに1を書き込むとリアルタイムクロックカウンタのカウントアップが停止し、カウンタを変化させずに値を正しく読み出すことができます。カウンタ読み出し後は速やかに0を書き込んでカウントアップを再開させます。

これらの操作のタイミングによっては、カウントアップ再開後に+1秒補正が発生します。
+1秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注: RTCCTL.RTCTRMBSYビット = 1の場合、このビットに1を書き込むことはできません(0に固定されます)。

Bit 4 RTC24H

このビットは、時カウンタを24Hモードまたは12Hモードに設定します。

1 (R/W): 24Hモード

0 (R/W): 12Hモード

この選択により、時カウンタのカウント範囲が変わります。ただし、カウンタの値は自動的に更新されませんので、プログラムで設定し直す必要があります。

注: RTCCTL.RTCRUNビット = 1のときの書き込みは禁止します。

Bit 3 Reserved

Bit 2 RTCADJ

このビットは、時刻調整機能の30秒補正を実行します。

1 (W): 30秒補正実行

0 (W): 無効

1 (R): 30秒補正実行中

0 (R): 30秒補正終了(通常動作中)

RTCCTL.RTCRUNビット = 0のときでも、1が書き込まれると30秒補正は実行され、該当する割り込みが発生します。補正には最大2/256秒の時間がかかり、終了すると自動的に0にクリアされます。30秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注 ・ RTCCTL.RTCBSYビット = 1のときの書き込みは禁止します。

・ RTCCTL.RTCADJビット = 1のときは、再度1を書き込まないでください。

Bit 1 RTCRST

このビットは、1Hzカウンタ、RTCCTL.RTCADJビット、RTCCTL.RTCHLDビットを初期化します。

1 (W): リセット実行

0 (W): 無効

1 (R): リセット実行中

0 (R): リセット終了(通常動作中)

リセットが終了すると、自動的に0にクリアされます。

Bit 0 RTCRUN

このビットは、リアルタイムクロックカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のリアルタイムクロックカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

RTC Second Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM1	15	–	0	–	R	–
	14–12	RTCSHA[2:0]	0x0	H0	R/W	
	11–8	RTCSLA[3:0]	0x0	H0	R/W	
	7–0	–	0x00	–	R	

Bit 15 Reserved

9 リアルタイムクロック(RTCA)

Bits 14–12 RTCSHA[2:0]

Bits 11–8 RTCSLA[3:0]

RTCALM1.RTCSHA[2:0]ビットでアラームの10秒桁を、RTCALM1.RTCSLA[3:0]ビットで1秒桁を設定します。表9.6.1に示すとおり、0から59秒までの値をBCDコードで設定可能です。

表9.6.1 BCDコードの設定例

BCDコードの設定値		アラーム(秒)設定
RTCALM1.RTCSHA[2:0]ビット	RTCALM1.RTCSLA[3:0]ビット	
0x0	0x0	00秒
0x0	0x1	01秒
...
0x0	0x9	09秒
0x1	0x0	10秒
...
0x5	0x9	59秒

Bits 7–0 Reserved

RTC Hour/Minute Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM2	15	–	0	–	R	–
	14	RTCAPA	0	H0	R/W	
	13–12	RTCHHA[1:0]	0x0	H0	R/W	
	11–8	RTCHLA[3:0]	0x0	H0	R/W	
	7	–	0	–	R	
	6–4	RTCMIHA[2:0]	0x0	H0	R/W	
	3–0	RTCMILA[3:0]	0x0	H0	R/W	

Bit 15 Reserved

Bit 14 RTCAPA

このビットは、12Hモード(RTCCTL.RTC24Hビット = 0)時にアラームの午前/午後を設定します。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)の場合、この設定は無効です。

Bits 13–12 RTCHHA[1:0]

Bits 11–8 RTCHLA[3:0]

RTCALM2.RTCHHA[1:0]ビットでアラームの10時桁を、RTCALM2.RTCHLA[3:0]ビットで1時桁を設定します。12Hモード時は1から12時まで、24Hモード時は0から23時までの値をBCDコードで設定可能です。

Bit 7 Reserved

Bits 6–4 RTCMIHA[2:0]

Bits 3–0 RTCMILA[3:0]

RTCALM2.RTCMIHA[2:0]ビットでアラームの10分桁を、RTCALM2.RTCMILA[3:0]ビットで1分桁を設定します。0から59分までの値をBCDコードで設定可能です。

RTC Stopwatch Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSWCTL	15–12	BCD10[3:0]	0x0	H0	R	–
	11–8	BCD100[3:0]	0x0	H0	R	
	7–5	–	0x0	–	R	
	4	SWRST	0	H0	W	Read as 0.
	3–1	–	0x0	–	R	–
	0	SWRUN	0	H0	R/W	

Bits 15–12 BCD10[3:0]**Bits 11–8 BCD100[3:0]**

RTCSWCTL.BCD10[3:0]ビットからストップウォッチカウンタの1/10秒桁が、RTCSWCTL.BCD100[3:0]ビットから1/100秒桁がBCDコードとして読み出せます。

注: ストップウォッチカウンタの動作中はカウント値が正しく読みだせないことがあります。RTCSWCTL.BCD10[3:0]/BCD100[3:0]ビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたと判断してください。

Bits 7–5 Reserved**Bit 4 SWRST**

このビットは、ストップウォッチカウンタを0x00にリセットします。

1 (W): リセット

0 (W): 無効

0 (R): 読み出し時は常時0

動作状態でリセットすると、ストップウォッチカウンタは0x00からカウントを継続します。停止状態の場合は0x00が保持されます。

Bits 3–1 Reserved**Bit 0 SWRUN**

このビットは、ストップウォッチカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のストップウォッチカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

注: ストップウォッチカウンタは、RTCSWCTL.SWRUNビットに0を書き込み後、ストップウォッチのクロックに同期して停止します。そのため、0を書き込んだ時点のカウント値から、更に+1カウントして停止する場合があります。

RTC Second/1Hz Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSEC	15	–	0	–	R	–
	14–12	RTCSH[2:0]	0x0	H0	R/W	
	11–8	RTCSL[3:0]	0x0	H0	R/W	
	7	RTC1HZ	0	H0	R	Cleared by setting the RTCCTL.RTCRST bit to 1.
	6	RTC2HZ	0	H0	R	
	5	RTC4HZ	0	H0	R	
	4	RTC8HZ	0	H0	R	
	3	RTC16HZ	0	H0	R	
	2	RTC32HZ	0	H0	R	
	1	RTC64HZ	0	H0	R	
0	RTC128HZ	0	H0	R		

Bit 15 Reserved**Bits 14–12 RTCSH[2:0]****Bits 11–8 RTCSL[3:0]**

RTCSEC.RTCSH[2:0]ビットで秒カウンタの10秒桁、RTCSEC.RTCSL[3:0]ビットで1秒桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビットへの書き込みを禁止します。

9 リアルタイムクロック(RTCA)

Bit 7	RTC1HZ
Bit 6	RTC2HZ
Bit 5	RTC4HZ
Bit 4	RTC8HZ
Bit 3	RTC16HZ
Bit 2	RTC32HZ
Bit 1	RTC64HZ
Bit 0	RTC128HZ

これらのビットにより、1Hzカウンタのデータが読み出せます。
各ビットと周波数の対応は以下のとおりです。

RTCSEC.RTC1HZビット:	1 Hz
RTCSEC.RTC2HZビット:	2 Hz
RTCSEC.RTC4HZビット:	4 Hz
RTCSEC.RTC8HZビット:	8 Hz
RTCSEC.RTC16HZビット:	16 Hz
RTCSEC.RTC32HZビット:	32 Hz
RTCSEC.RTC64HZビット:	64 Hz
RTCSEC.RTC128HZビット:	128 Hz

注: 1Hzカウンタの動作中はカウント値が正しく読みだせないことがあります。これらのビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたと判断してください。

RTC Hour/Minute Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCHUR	15	-	0	-	R	-
	14	RTCAP	0	H0	R/W	
	13-12	RTCHH[1:0]	0x1	H0	R/W	
	11-8	RTCHL[3:0]	0x2	H0	R/W	
	7	-	0	-	R	
	6-4	RTCMIH[2:0]	0x0	H0	R/W	
	3-0	RTCMIL[3:0]	0x0	H0	R/W	

Bit 15 **Reserved**

Bit 14 **RTCAP**

12Hモード(RTCCTL.RTC24Hビット = 0)時は、このビットを使用して午前/午後の設定または読み出しを行います。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)時は0に固定され、1書き込みは無視されます。ただし、1が設定されている状態で24Hモードに変更した場合は、時カウンタの桁上がり時に0となります。

Bits 13-12 **RTCHH[1:0]**

Bits 11-8 **RTCHL[3:0]**

RTCHUR.RTCHH[1:0]ビットで時カウンタの10時桁、RTCHUR.RTCHL[3:0]ビットで1時桁の設定または読み出しを行います。設定/読み出し値は12Hモード時は1から12まで、24Hモード時は0から23までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビットへの書き込みを禁止します。

Bit 7 **Reserved**

Bits 6–4 RTCMIH[2:0]**Bits 3–0 RTCMIL[3:0]**

RTCHUR.RTCMIH[2:0]ビットで分カウンタの10分桁、RTCHUR.RTCMIL[3:0]ビットで1分桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCHUR.RTCMIH[2:0]/RTCMIL[3:0]ビットへの書き込みは禁止します。

RTC Month/Day Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCMON	15–13	–	0x0	–	R	–
	12	RTCMOH	0	H0	R/W	
	11–8	RTCMOL[3:0]	0x1	H0	R/W	
	7–6	–	0x0	–	R	
	5–4	RTCDH[1:0]	0x0	H0	R/W	
	3–0	RTCDL[3:0]	0x1	H0	R/W	

Bits 15–13 Reserved**Bit 12 RTCMOH****Bits 11–8 RTCMOL[3:0]**

RTCMON.RTCMOHビットで月カウンタの10月桁、RTCMON.RTCMOL[3:0]ビットで1月桁の設定または読み出しを行います。設定/読み出し値は1から12までのBCDコードです。

注: • RTCCTL.RTCBSYビット = 1のときは、RTCMON.RTCMOH/RTCMOL[3:0]ビットへの書き込みを禁止します。

• RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。

Bits 7–6 Reserved**Bits 5–4 RTCDH[1:0]****Bits 3–0 RTCDL[3:0]**

RTCMON.RTCDH[1:0]ビットで日カウンタの10日桁、RTCMON.RTCDL[3:0]ビットで1日桁の設定または読み出しを行います。設定/読み出し値は1から31まで(ただし、平年の2月は28まで、うるう年の2月は29まで、4/6/9/11月は30まで)のBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCMON.RTCDH[1:0]/RTCDL[3:0]ビットへの書き込みを禁止します。

RTC Year/Week Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCYAR	15–11	–	0x00	–	R	–
	10–8	RTCWK[2:0]	0x0	H0	R/W	
	7–4	RTCYH[3:0]	0x0	H0	R/W	
	3–0	RTCYL[3:0]	0x0	H0	R/W	

Bits 15–11 Reserved**Bits 10–8 RTCWK[2:0]**

これらのビットで、曜日の設定と読み出しを行います。

曜日カウンタは7進カウンタで、設定/読み出し値は0x0から0x6までです。カウント値と曜日の対応を表9.6.2に示します。

表9.6.2 カウント値と曜日の対応

RTCYAR.RTCWK[2:0]ビット	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

注: RTCCTL.RTCBSYビット = 1のときは、RTCYAR.RTCWK[2:0]ビットへの書き込みを禁止します。

Bits 7–4 RTCYH[3:0]

Bits 3–0 RTCYL[3:0]

RTCYAR.RTCYH[3:0]ビットで年カウンタの10年桁、RTCYAR.RTCYL[3:0]ビットで1年桁の設定または読み出しを行います。設定/読み出し値は0から99までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビットへの書き込みを禁止します。

RTC Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTF	15	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
	14	SW1IF	0	H0	R/W	
	13	SW10IF	0	H0	R/W	
	12	SW100IF	0	H0	R/W	
	11–9	–	0x0	–	R	–
	8	ALARMIF	0	H0	R/W	Cleared by writing 1.
	7	1DAYIF	0	H0	R/W	
	6	1HURIF	0	H0	R/W	
	5	1MINIF	0	H0	R/W	
	4	1SECIF	0	H0	R/W	
	3	1_2SECIF	0	H0	R/W	
	2	1_4SECIF	0	H0	R/W	
	1	1_8SECIF	0	H0	R/W	
	0	1_32SECIF	0	H0	R/W	

Bit 15 RTCTRMIF

Bit 14 SW1IF

Bit 13 SW10IF

Bit 12 SW100IF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF.RTCTRMIFビット: 論理緩急終了割り込み

RTCINTF.SW1IFビット: ストップウォッチ1 Hz割り込み

RTCINTF.SW10IFビット: ストップウォッチ10 Hz割り込み

RTCINTF.SW100IFビット: ストップウォッチ100 Hz割り込み

Bits 11–9 Reserved

Bit 8	ALARMIF
Bit 7	1DAYIF
Bit 6	1HURIF
Bit 5	1MINIF
Bit 4	1SECIF
Bit 3	1_2SECIF
Bit 2	1_4SECIF
Bit 1	1_8SECIF
Bit 0	1_32SECIF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R):	割り込み要因あり
0 (R):	割り込み要因なし
1 (W):	フラグをクリア
0 (W):	無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF.ALARMIFビット:	アラーム割り込み
RTCINTF.1DAYIFビット:	1日割り込み
RTCINTF.1HURIFビット:	1時間割り込み
RTCINTF.1MINIFビット:	1分割り込み
RTCINTF.1SECIFビット:	1秒割り込み
RTCINTF.1_2SECIFビット:	1/2秒割り込み
RTCINTF.1_4SECIFビット:	1/4秒割り込み
RTCINTF.1_8SECIFビット:	1/8秒割り込み
RTCINTF.1_32SECIFビット:	1/32秒割り込み

RTC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTE	15	RTCTRMIE	0	H0	R/W	-
	14	SW1IE	0	H0	R/W	
	13	SW10IE	0	H0	R/W	
	12	SW100IE	0	H0	R/W	
	11-9	-	0x0	-	R	
	8	ALARMIE	0	H0	R/W	
	7	1DAYIE	0	H0	R/W	
	6	1HURIE	0	H0	R/W	
	5	1MINIE	0	H0	R/W	
	4	1SECIE	0	H0	R/W	
	3	1_2SECIE	0	H0	R/W	
	2	1_4SECIE	0	H0	R/W	
	1	1_8SECIE	0	H0	R/W	
0	1_32SECIE	0	H0	R/W		

Bit 15	RTCTRMIE
Bit 14	SW1IE
Bit 13	SW10IE
Bit 12	SW100IE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W):	割り込みイネーブル
0 (R/W):	割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE.RTCTRMIEビット:	論理緩急終了割り込み
RTCINTE.SW1IEビット:	ストップウォッチ1 Hz割り込み
RTCINTE.SW10IEビット:	ストップウォッチ10 Hz割り込み
RTCINTE.SW100IEビット:	ストップウォッチ100 Hz割り込み

9 リアルタイムクロック(RTCA)

Bits 11–9 Reserved

Bit 8 ALARMIE

Bit 7 1DAYIE

Bit 6 1HURIE

Bit 5 1MINIE

Bit 4 1SECIE

Bit 3 1_2SECIE

Bit 2 1_4SECIE

Bit 1 1_8SECIE

Bit 0 1_32SECIE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE.ALARMIEビット: アラーム割り込み

RTCINTE.1DAYIEビット: 1日割り込み

RTCINTE.1HURIEビット: 1時間割り込み

RTCINTE.1MINIEビット: 1分割り込み

RTCINTE.1SECIEビット: 1秒割り込み

RTCINTE.1_2SECIEビット: 1/2秒割り込み

RTCINTE.1_4SECIEビット: 1/4秒割り込み

RTCINTE.1_8SECIEビット: 1/8秒割り込み

RTCINTE.1_32SECIEビット: 1/32秒割り込み

10 電源電圧検出回路(SVD)

10.1 概要

SVDは、 V_{DD} 端子に供給される電源電圧または外部端子に供給されている電源電圧を監視する電源電圧検出回路です。主な機能と特長を以下に示します。

- 検出する電源電圧: V_{DD} または外部電源(EXSVD)を選択可能
- 検出電圧レベル: 30レベル(1.2~3.6 V)から選択可能
- 検出結果:
 - 電源電圧が検出電圧レベル未満か否かを読み出し可能
 - 電源電圧低下検出により割り込みまたはリセットを発生可能
- 割り込み: 1系統(電源電圧低下検出割り込み)
- 間欠動作対応:
 - 検出周期を3種類から選択可能
 - 指定回数の連続電源電圧低下検出により割り込み/リセットを発生する電源電圧低下検出カウンタ機能
 - 連続動作も可能

図10.1.1にSVDの構成を示します。

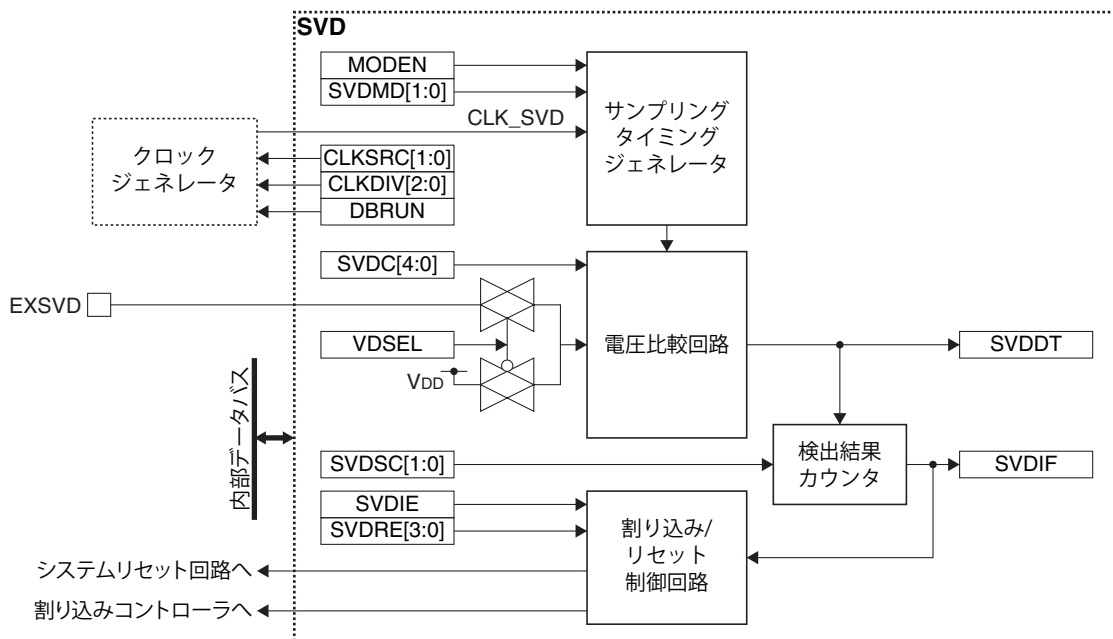


図10.1.1 SVDの構成

10.2 入力端子と外部接続

10.2.1 入力端子

表10.2.1.1にSVDの入力端子を示します。

表10.2.1.1 SVD入力端子

端子名	I/O*	イニシャル状態*	機能
EXSVD	A	A (Hi-Z)	外部電源電圧検出用端子

* 端子機能をSVDに切り換えた時点の状態

EXSVD端子と他の機能がポートを共有している場合、SVDを動作させる前にEXSVDをポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

10.2.2 外部との接続

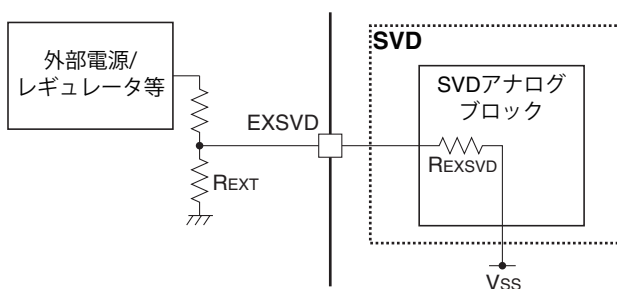


図10.2.2.1 EXSVD端子と外部電源との接続

R_{EXT}は、EXSVD入力インピーダンスR_{EXSVD}よりも十分小さくなるように設定してください。EXSVD端子の入力電圧範囲およびEXSVD入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。

10.3 クロック設定

10.3.1 SVDの動作クロック

SVDを使用する場合、クロックジェネレータからSVD動作クロックCLK_SVDをSVDに供給する必要があります。

CLK_SVDの供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. SVDCLKレジスタの以下のビットを設定する。
 - SVDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SVDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

CLK_SVD周波数は32 kHz近辺に設定してください。

10.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSVDを使用する場合は、SVD動作クロックCLK_SVDのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_SVDを供給し続ける必要があります。

SLEEPモード時に、CLK_SVDのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_SVDのクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SVDが停止します。その後通常モードに戻ると、CLK_SVDが供給され、SVDの動作が再開します。

10.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SVDの供給はSVDCLK.DBRUNビットで制御します。SVDCLK.DBRUNビット=0の場合、DEBUGモードに移行するとSVDへのCLK_SVDの供給が停止します。その後通常モードに戻ると、CLK_SVDの供給が再開します。CLK_SVDの供給が停止するとSVDの動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。SVDCLK.DBRUNビット=1の場合、DEBUGモード時もCLK_SVDの供給は停止せず、SVDは動作を継続します。

10.4 動作

10.4.1 SVDの制御

検出開始

以下の手順により初期設定を行い、SVD動作を開始させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCLK.CLKSRC[1:0]ビットとSVDCLK.CLKDIV[2:0]ビットで動作クロックを設定する。
3. SVDCTLレジスタの以下のビットを設定する。
 - SVDCTL.VDSELビット (検出電圧(V_{DD}またはEXSVD)の選択)
 - SVDCTL.SVDSC[1:0]ビット (電源電圧低下検出カウンタの設定)
 - SVDCTL.SVDC[4:0]ビット (SVD検出電圧V_{SVD}の設定)
 - SVDCTL.SVDRE[3:0]ビット (リセット/割り込みの選択)
 - SVDCTL.SVDM[1:0]ビット (間欠動作モードの設定)
4. 割り込みを使用する場合は以下のビットを設定する。
 - SVDINTF.SVDIFビットに1を書き込み (割り込みフラグをクリア)
 - SVDINTE.SVDIEビットを1に設定 (SVD割り込みイネーブル)
5. SVDCTL.MODENビットを1に設定する。 (SVD検出イネーブル)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出停止

SVDの動作は以下の手順で終了させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCTL.MODENビットに0を書き込む。 (SVD検出ディスエーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出結果の読み出し

検出結果は次の2種類となり、SVDINTF.SVDDTビットから読み出すことができます。

- SVDINTF.SVDDTビット=0の場合: 電源電圧(V_{DD}またはEXSVD) ≥ SVD検出電圧V_{SVD}
- SVDINTF.SVDDTビット=1の場合: 電源電圧(V_{DD}またはEXSVD) < SVD検出電圧V_{SVD}

SVDCTL.MODENビットに1を書き込んでからSVDINTF.SVDDTビットを読み出すまでに、SVD回路イネーブル時応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路イネーブル時応答時間t_{SVDEN}”参照)。また、SVDCTL.MODENビット=1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V_{SVD}を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路応答時間t_{SVD}”参照)。

10.4.2 SVDの動作

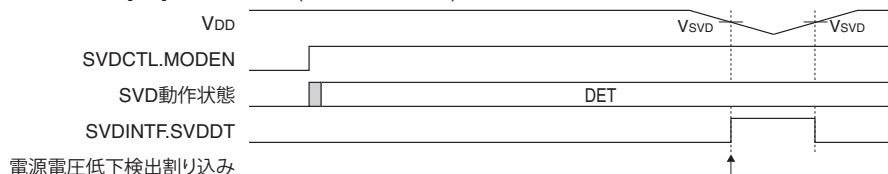
連続動作モード

デフォルト設定(SVDCTL.SVDMMD[1:0]ビット = 0x0)のSVDは連続動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVDが連続的に動作し検出結果をSVDINTF.SVDDTビットにセットし続けます。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、その時点の検出結果を確認することができます。また、SVDINTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEP実行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。

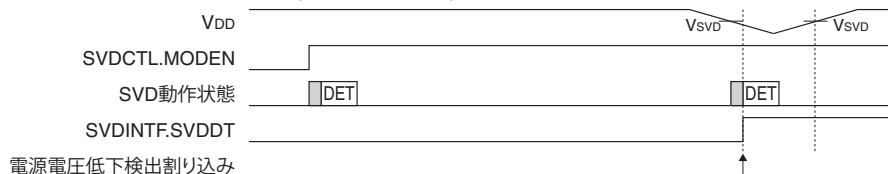
間欠動作モード

SVDCTL.SVDMMD[1:0]ビットを0x1~0x3に設定すると、SVDは間欠動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVDCTL.SVDMMD[1:0]ビットの値で決まる周期ごとにSVDがONし、検出動作を実行した後にOFFします。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、直前の検出結果を確認することができます。また、電源電圧低下をSVDCTL.SVDSI[1:0]ビットで指定した回数続けて検出した場合に割り込みまたはリセットを発生させることもできます。

(1) SVDCTL.SVDMMD[1:0]ビット = 0x0 (連続動作モード)時



(2) SVDCTL.SVDMMD[1:0]ビット ≠ 0x0 (間欠動作モード)時



V_{SVD}: SVDCTL.SVDC[4:0]ビットで設定したレベル
 []: 電圧検出マスク時間
 [DET]: 電圧検出動作

図10.4.2.1 SVD動作

10.5 SVD割り込みとリセット

10.5.1 SVD割り込み

SVDCTL.SVDRE[3:0]ビットを0xa以外に設定することにより、電源電圧低下検出割り込み機能が使用できます。

表10.5.1.1 電源電圧低下検出割り込み機能

割り込み	割り込みフラグ	セット	クリア
電源電圧低下検出	SVDINTF.SVDIF	連続動作モード時 SVDINTF.SVDDTビットが1のとき 間欠動作モード時 電源電圧低下を指定回数続けて検出した場合	1書き込み

割り込みフラグ(SVDINTF.SVDIFビット)には、対応する割り込みイネーブルビット(SVDINTE.SVDIEビット)があります。SVDINTE.SVDIEビットによって割り込みをイネーブルにした状態でSVDINTF.SVDIFビットがセットされた場合のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

セットされたSVDINTF.SVDIFビットは、その後電源電圧がSVD検出電圧 V_{SVD} 以上に戻ってもクリアされません。一時的な電源電圧低下で割り込みが発生することもありますので、割り込みハンドルーチン内でSVDINTF.SVDDTビットを読み出して電源電圧の状態を確認してください。

10.5.2 SVDリセット

SVDCTL.SVDRE[3:0]ビットを0xaに設定することにより、SVDのリセット発行機能を使用できます。リセット発行のタイミングは、電源電圧低下の検出によってSVDINTF.SVDIFビットがセットされるタイミングと同じです。

SVDはリセットを発行すると、間欠動作モードで動作していた場合でも連続動作モードに切り換えて動作を続けます。SVDのリセット発行によりポート割り当てが初期化されますが、EXSVD検出時は、EXSVD端子となるポートの入力がSVDに送られ、EXSVDの検出動作が継続して行われます。

電源電圧が復帰し、SVDINTF.SVDDTビット=0の状態になるとリセットが解除されます。リセット解除後、初期化ルーチンを経て再びSVDは元のモードで動作を再開します。

リセット中、SVDの制御ビットは表10.5.2.1のように設定されます。

表10.5.2.1 リセット中のSVD制御ビット

制御レジスタ	制御ビット	設定
SVDCLK	DBRUN	初期値にリセットされる。
	CLKDIV[2:0]	
	CLKSRC[1:0]	
SVDCTL	VDSEL	設定値を保持する。
	SVDS[1:0]	0クリアされる(連続検出モードになるため、設定値無効)。
	SVDC[4:0]	設定値を保持する。
	SVDRE[3:0]	設定値(0xa)を保持する。
	SVDMD[1:0]	0クリアされ、連続検出モードになる。
	MODEN	設定値(1)を保持する。
SVDINTF	SVDIF	リセット前の状態(1)を保持する。
SVDINTE	SVDIE	0クリアされる。

10.6 制御レジスタ

SVD Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/WP	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にSVD動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、SVD動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、SVDのクロックソースを選択します。

表10.6.1 クロックソースと分周比の設定

SVDCLK. CLKDIV[2:0]ビット	SVDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x6, 0x7	Reserved	1/1	Reserved	1/1
0x5	1/128		1/128	
0x4	1/64		1/64	
0x3	1/32		1/32	
0x2	1/16		1/16	
0x1	1/8		1/8	
0x0	1/4		1/4	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: クロック周波数は32 kHz近辺に設定してください。

SVD Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCTL	15	VDSEL	0	H1	R/WP	–
	14–13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMMD[1:0] bits are not 0x0.
	12–8	SVDC[4:0]	0x1e	H1	R/WP	–
	7–4	SVDRE[3:0]	0x0	H1	R/WP	–
	3	–	0	–	R	–
	2–1	SVDMMD[1:0]	0x0	H0	R/WP	–
	0	MODEN	0	H1	R/WP	–

Bit 15 VDSEL

このビットは、SVDで検出する電源電圧を選択します。

1 (R/WP): EXSVD端子印加電圧

0 (R/WP): V_{DD}

Bits 14–13 SVDSC[1:0]

これらのビットは、間欠動作モード時(SVDCTL.SVDMMD[1:0]ビット = 0x1~0x3)に割り込みリセットを発生させる条件(連続して電源電圧低下を検出した回数)を設定します。

表10.6.2 間欠動作モードの割り込み/リセット発生条件

SVDCTL.SVDSC[1:0]ビット	割り込み/リセット発生条件
0x3	電源電圧低下を連続8回検出
0x2	電源電圧低下を連続4回検出
0x1	電源電圧低下を連続2回検出
0x0	電源電圧低下を連続1回検出

この設定は、連続動作モード(SVDCTL.SVDMMD[1:0]ビット = 0x0)では無効です。

Bits 12–8 SVDC[4:0]

これらのビットは、電源電圧低下を検出するためのSVD検出電圧V_{SVD}を30種類から選択します。

表10.6.3 SVD検出電圧V_{SVD}の設定

SVDCTL.SVDC[4:0]ビット	SVD検出電圧V _{SVD} [V]
0x1e	High
0x1d	↑
0x1c	
:	
0x02	↓
0x01	Low
0x00, 0x1f	使用禁止

詳細は、“電気的特性”の章の“電源電圧検出回路特性、SVD検出電圧V_{SVD}”を参照してください。

Bits 7–4 SVDRE[3:0]

これらのビットは、電源電圧低下検出時のリセット発行機能をイネーブル/ディスエーブルにします。

0xa (R/W): イネーブル(リセットを発行)

0xa以外 (R/W): ディスエーブル(割り込みを発生)

SVDリセット発行機能の詳細は、“SVDリセット”を参照してください。

Bit 3 Reserved**Bits 2–1 SVDMD[1:0]**

これらのビットは、間欠動作モードと検出周期を選択します。

表10.6.4 間欠動作モードの検出周期選択

SVDCTL.SVDMD[1:0]ビット	動作モード(検出周期)
0x3	間欠動作モード(CLK_SVD/512)
0x2	間欠動作モード(CLK_SVD/256)
0x1	間欠動作モード(CLK_SVD/128)
0x0	連続動作モード

間欠動作モードと連続動作モードについては、“SVDの動作”を参照してください。

Bit 0 MODEN

このビットはSVD回路の動作をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(検出動作開始)

0 (R/W): ディスエーブル(検出動作停止)

本ビットを変更した場合は、書き込んだ値が本ビットから読み出されるまで次の操作を行わずに待機してください。

注: • SVDCTL.MODENビットに0を書き込むことにより、SVD内のハードウェアがリセットされます。ただし、レジスタの設定値や割り込みフラグはクリアされません。SVDCTL.MODENビットはこの処理が終了後に、実際に0に設定されます。このとき、同ビットから0が読み出されることを確認せずに続けてSVDCTL.MODENビットに1を書き込むと、タイミングによっては0の書き込みが無視され、ハードウェアがリセットされずに再起動し、誤動作を起こすことがあります。

- SVDCTL.MODENビットに1を書き込み後のSVD動作中にSVDCTL.SVDSC[1:0]ビット、SVDCTL.SVDRE[3:0]ビット、またはSVDCTL.SVDMD[1:0]ビットを変更すると、SVD内部が初期化されます。

SVD Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTF	15–9	–	0x00	–	R	–
	8	SVDDT	x	–	R	
	7–1	–	0x00	–	R	
	0	SVDIF	0	H1	R/W	Cleared by writing 1.

Bits 15–9 Reserved**Bit 8 SVDDT**

このビットから電源電圧検出結果が読み出せます。

1 (R): 電源電圧(V_{DD}またはEXSVD) < SVD検出電圧V_{SVD}

0 (R): 電源電圧(V_{DD}またはEXSVD) ≥ SVD検出電圧V_{SVD}

Bits 7–1 Reserved**Bit 0 SVDIF**

このビットは、電源電圧低下検出割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

10 電源電圧検出回路(SVD)

注: SVDCTL.MODENビットに1を書き込み後のSVD動作中に割り込みフラグをクリアすると、SVD内部が初期化されます。

SVD Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	SVDIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 SVDIE

このビットは、電源電圧低下検出割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

- 注:
- SVDCTL.SVDRE[3:0]ビットを0xaに設定した場合は割り込みタイミングでリセットが発行されるため、本ビットの設定にかかわらず電源電圧低下検出割り込みは発生しません。
 - 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

11 16ビットタイマ(T16)

11.1 概要

T16は16ビットタイマです。主な機能と特長を以下に示します。

- 16ビットのプリセットブルダウンカウンタ
- プリセット値設定用のリロードデータレジスタを搭載
- カウントクロックを生成するクロックソースとクロック分周比を選択可能
- リピートモードとワンショットモードを選択可能
- カウンタのアンダーフロー割り込みを発生可能

図11.1.1にT16チャンネルの構成を示します。

表11.1.1 S1C17W03/W04のT16チャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	4チャンネル (Ch.0~Ch.3)	
イベントカウンタ機能	未対応(EXCL _m 端子未実装)	
周辺回路クロック出力 (カウンタアンダーフロー 信号を出力)	Ch.1 → 同期式シリアルインタフェースCh.0のマスタクロック Ch.2 → 同期式シリアルインタフェースCh.1のマスタクロック Ch.3 → 12ビットA/D変換器のトリガ信号	

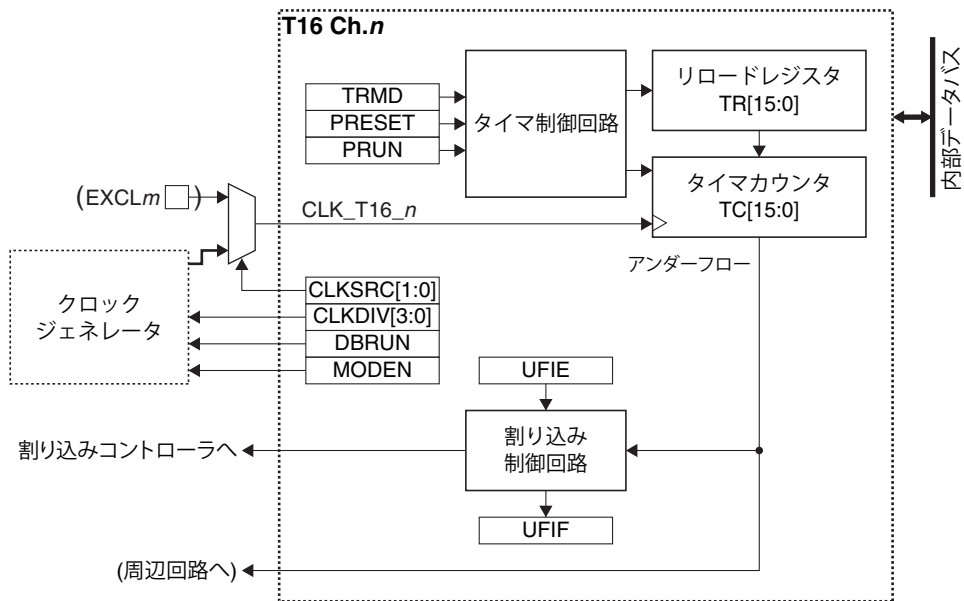


図11.1.1 T16チャンネルの構成

11.2 入力端子

表11.2.1にT16の入力端子を示します。

表11.2.1 T16入力端子

端子名	I/O*	イニシャル状態*	機能
EXCL _m	I	I (Hi-Z)	外部イベント信号入力端子

* 端子機能をT16に切り換えた時点の状態

EXCL_m端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCL_m入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

11.3 クロック設定

11.3.1 T16の動作クロック

T16 Ch.*n*を使用する場合、クロックジェネレータからT16 Ch.*n*動作クロックCLK_T16_*n*をT16 Ch.*n*に供給する必要があります。

CLK_T16_*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. T16_*n*CLKレジスタの以下のビットを設定する。
 - T16_*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - T16_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

11.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16を使用する場合は、T16動作クロックCLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_T16_*n*を供給し続ける必要があります。

SLEEPモード時に、CLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK_T16_*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16が停止します。その後通常モードに戻ると、CLK_T16_*n*が供給され、T16の動作が再開します。

11.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_T16_*n*の供給はT16_*n*CLK.DBRUNビットで制御します。

T16_*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとT16 Ch.*n*へのCLK_T16_*n*の供給が停止します。その後通常モードに戻ると、CLK_T16_*n*の供給が再開します。CLK_T16_*n*の供給が停止するとT16 Ch.*n*の動作は停止しますが、カウンタやレジスタはDEBUGモードへ移行前の状態に保持されます。T16_*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_T16_*n*の供給は停止せず、T16 Ch.*n*は動作を継続します。

11.3.4 イベントカウンタクロック

イベントカウンタ機能に対応したチャンネルでは、T16_*n*CLK.CLKSRC[1:0]ビットを0x3に設定すると、EXCL*m*端子から入力される信号の立ち上がりエッジでカウントダウンを行います。

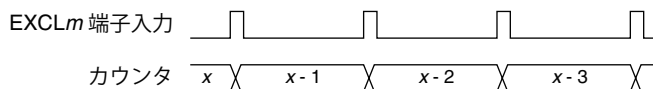


図11.3.4.1 カウントダウンタイミング

イベントカウンタ機能に非対応のチャンネルでは、EXOSCクロックが選択されます。

11.4 動作

11.4.1 初期設定

T16 Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。

1. T16 Ch.*n*動作クロックを設定する(“T16の動作クロック”参照)。
2. T16_*n*CTL.MODENビットを1に設定する。(カウント動作クロックイネーブル)
3. T16_*n*MOD.TRMDビットを設定する。(動作モード(リピートモード/ワンショットモード)の設定)
4. T16_*n*TRレジスタを設定する。(リロードデータ(カウンタプリセットデータ)の設定)

5. 割り込みを使用する場合は以下のビットを設定する。
 - T16_nINTF.UFIFビットに1を書き込み (割り込みフラグをクリア)
 - T16_nINTE.UFIEビットを1に設定 (アンダーフロー割り込みイネーブル)
6. T16_nCTLレジスタの以下のビットを設定する。
 - T16_nCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
 - T16_nCTL.PRUNビットを1に設定 (カウントスタート)

11.4.2 カウンタのアンダーフロー

通常、T16のカウンタはプリセットされたリロードデータの値からカウントダウンを行い、アンダーフローが発生するとアンダーフロー信号を生成します。この信号は割り込みを発生させ、また特定の周辺回路へも出力され、クロックとして使用されます(クロックとして使用する場合は、T16 Ch.nをリピーモードに設定する必要があります)。アンダーフロー周期は、T16 Ch.nの動作クロックの設定、およびT16_nTRレジスタに設定するリロードデータ(カウンタの初期値)によって決まり、次の式で計算できます。

$$T = \frac{TR + 1}{f_{CLK_T16_n}} \quad f_T = \frac{f_{CLK_T16_n}}{TR + 1} \quad (\text{式11.1})$$

ここで

T:	アンダーフロー周期 [s]
f _T :	アンダーフロー周波数 [Hz]
TR:	T16_nTRレジスタの設定値
f _{CLK_T16_n} :	T16 Ch.nの動作クロックの周波数 [Hz]

11.4.3 リピーモードの動作

T16_nMOD.TRMDビットを0に設定すると、T16 Ch.nはリピーモードになります。リピーモードでは、T16_nCTL.PRUNビットに1を書き込み後、0を書き込むまでカウント動作を続けます。カウンタがアンダーフローした時点でT16_nTRレジスタの設定値がプリセットされますので、一定の周期でアンダーフローを発生させることができます。周期的なアンダーフロー割り込みを発生させる場合、あるいは周辺回路へのトリガ/クロック出力に使用するタイマにはこのモードを選択します。

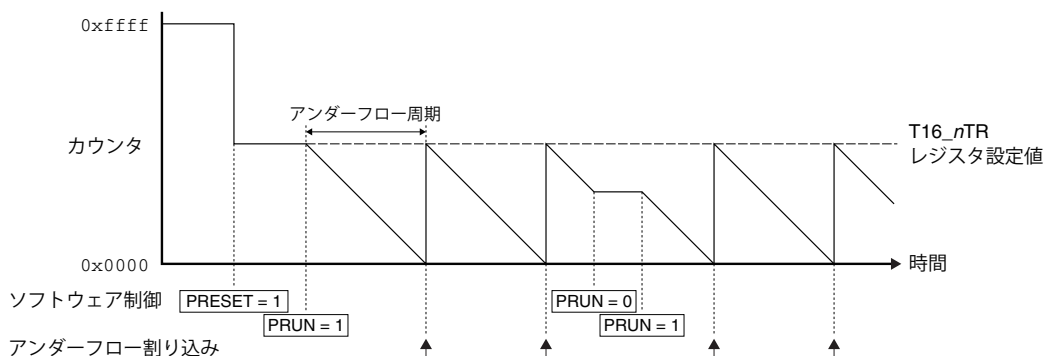


図11.4.3.1 リピーモードのカウント動作

11.4.4 ワンショットモードの動作

T16_nMOD.TRMDビットを1に設定すると、タイマはワンショットモードになります。ワンショットモードでは、T16_nCTL.PRUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、T16_nTRレジスタの設定値をプリセットしてカウント動作を停止します。これと同時に、T16_nCTL.PRUNビットは自動的にクリアされます。特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

11 16ビットタイマ(T16)

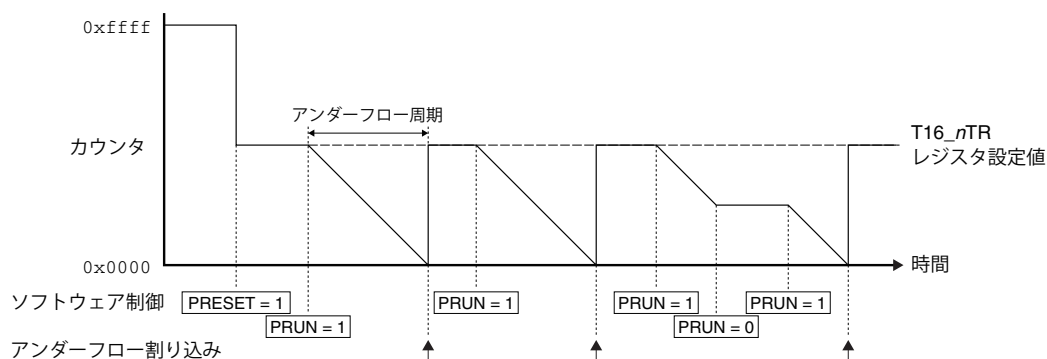


図11.4.4.1 ワンショットモードのカウンタ動作

11.4.5 カウンタ値のリード

カウンタ値は、T16_nTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16_nで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

11.5 割り込み

T16の各チャンネルには、表11.5.1に示す割り込みを発生させる機能があります。

表11.5.1 T16の割り込み機能

割り込み	割り込みフラグ	セット	クリア
アンダーフロー	T16_nINTE.UFIF	カウンタにアンダーフローが発生したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

11.6 制御レジスタ

T16 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にT16 Ch.n動作クロックを供給するか否か設定します。
 1 (R/W): DEBUGモード時にクロックを供給
 0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、T16 Ch.n動作クロック(カウンタクロック)の分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、T16 Ch.nのクロックソースを選択します。

表11.6.1 クロックソースと分周比の設定

T16_nCLK. CLKDIV[3:0]ビット	T16_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC/EXCLm
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256		1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注1) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

(注2) T16_nCLK.CLKSRC[1:0]ビット = 0x3の設定は、イベント機能付きのチャンネルにはEXCLmが、それ以外のチャンネルにはEXOSCが選択されます。

T16 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nMOD	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	TRMD	0	H0	R/W	

Bits 15–1 Reserved

Bit 0 TRMD

このビットは、T16の動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ワンショットモードの動作”および“リピートモードの動作”を参照してください。

T16 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCTL	15–9	–	0x00	–	R	–
	8	PRUN	0	H0	R/W	
	7–2	–	0x00	–	R	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 PRUN

このビットはタイマをスタート/ストップします。

1 (W): タイマをスタート

0 (W): タイマをストップ

1 (R): タイマ動作中

0 (R): タイマ停止中

11 16ビットタイマ(T16)

このビットに1を書き込むことにより、タイマはカウント動作を開始します。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はこのビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bits 7–2 Reserved

Bit 1 PRESET

このビットは、T16_nTRレジスタに設定されているリロードデータをカウンタにプリセットします。

- 1 (W): プリセット
- 0 (W): 無効
- 1 (R): プリセットの実行中
- 0 (R): プリセットを終了または通常動作中

このビットに1を書き込むと、タイマはT16_nTRレジスタの値をカウンタにプリセットします。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。プリセット動作実行中は1を保持し、プリセットが完了すると自動的に0にクリアされます。

Bit 0 MODEN

このビットは、T16 Ch.nの動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): ディスエーブル(動作クロックの供給を停止)

T16 Ch.n Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTR	15–0	TR[15:0]	0xffff	H0	R/W	–

Bits 15–0 TR[15:0]

これらのビットには、カウンタにプリセットする初期値を設定しておきます。

T16_nCTL.PRESETビットに1を書き込んだ場合や、カウンタがアンダーフローした時点で、このレジスタの値がカウンタにプリセットされます。

注: ・ タイマ動作中(T16_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTRレジスタを変更することはできません。

- ・ ワンショットモードのときは、T16_nTR.TR[15:0]ビットを0x0001以上の値に設定してください。

T16 Ch.n Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTC	15–0	TC[15:0]	0xffff	H0	R	–

Bits 15–0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16 Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nINTF	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	UFIF	0	H0	R/W	Cleared by writing 1.

Bits 15–1 Reserved

Bit 0 UFIF

このビットは、T16 Ch.*n*アンダーフロー割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

T16 Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_ <i>n</i> INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	UFIE	0	H0	R/W	

Bits 15-1 Reserved**Bit 0 UFIE**

このビットは、T16 Ch.*n*アンダーフロー割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

12 UART(UART)

12.1 概要

UARTは非同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- 転送クロックを生成するためのボーレートジェネレータを内蔵
- 7ビットまたは8ビットのデータ長に対応(LSB先頭)
- 偶数パリティ、奇数パリティ、パリティなしが選択可能
- スタートビット長は1ビット固定
- 1ビットまたは2ビットのストップビット長が選択可能
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 内蔵RZI変調/復調回路によりIrDA1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル(1バイト/2バイト)、送信バッファエンプティ、送信完了、パリティエラー、フレーミングエラー、オーバーランエラーにて割り込みを発生可能
- 入力端子のプルアップ制御が可能
- 出力端子のオープンドレイン制御が可能

図12.1.1にUARTの構成を示します。

表12.1.1 S1C17W03/W04のUARTチャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	2チャンネル (Ch.0とCh.1)	

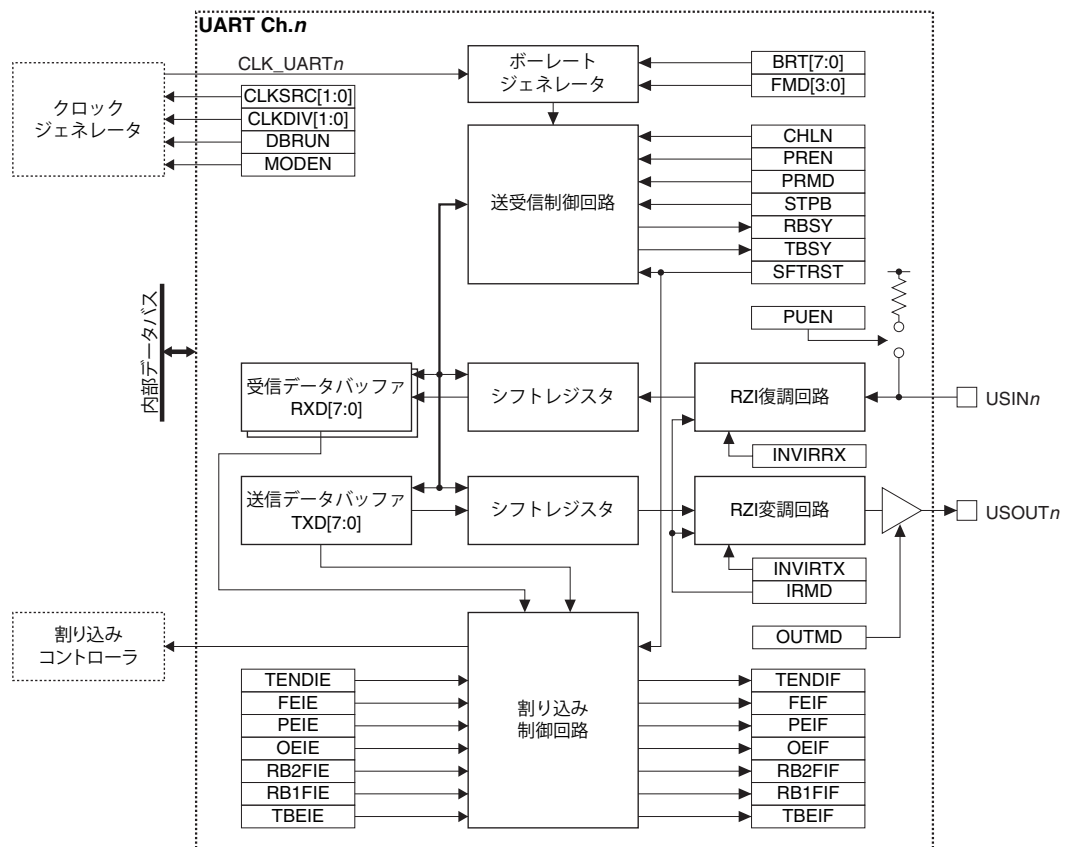


図12.1.1 UARTの構成

12.2 入出力端子と外部接続

12.2.1 入出力端子一覧

表12.2.1.1にUARTの端子一覧を示します。

表12.2.1.1 UART端子一覧

端子名	I/O*	イニシャル状態*	機能
USIN n	I	I (Hi-Z)	UART Ch. n データ入力端子
USOUT n	O	O (High)	UART Ch. n データ出力端子

* 端子機能をUARTに切り換えた時点の状態

これらのUART端子と他の機能がポートを共有している場合、UARTを動作させる前にUARTの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

12.2.2 外部との接続

本ICのUARTと外部UART機器との接続を図12.2.2.1に示します。

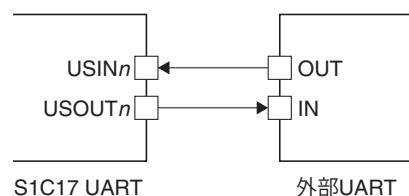


図12.2.2.1 UARTと外部UART機器との接続

12.2.3 入力端子のプルアップ機能

USIN n 端子にはプルアップ抵抗が内蔵されています。UAnMOD.PUENビットを1に設定すると、この抵抗が有効になり、USIN n 端子がプルアップされます。

12.2.4 出力端子のオープンドレイン出力機能

USOUT n 端子にはオープンドレイン出力機能があります。デフォルト設定はプッシュプル出力ですが、UAnMOD.OUTMDビットを1に設定するとオープンドレイン出力になります。

12.3 クロック設定

12.3.1 UARTの動作クロック

UART Ch. n を使用する場合、クロックジェネレータからUART Ch. n 動作クロックCLK_UART n をUART Ch. n に供給する必要があります。CLK_UART n の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. UAnCLKレジスタの以下のビットを設定する。
 - UAnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - UAnCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

UARTの動作クロックは、ボーレートジェネレータで設定しやすいクロックを選択してください。

12.3.2 SLEEPモード時のクロック供給

SLEEPモード時にUARTを使用する場合は、UART動作クロックCLK_UART n のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_UART n を供給し続ける必要があります。

12.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_UART n の供給はUAnCLK.DBRUNビットで制御します。

UAnCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとUART Ch. n へのCLK_UART n の供給が停止します。その後通常モードに戻ると、CLK_UART n の供給が再開します。CLK_UART n の供給が停止するとUART Ch. n の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

UAnCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_UART n の供給は停止せず、UART Ch. n は動作を継続します。

12.3.4 ボーレートジェネレータ

UARTは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。転送レートはUAnBR.BRT[7:0]ビットと、UAnBR.FMD[3:0]ビットの設定により決まります。

希望の転送レートを求めるための設定値は次の式で計算できます。

$$\text{bps} = \frac{\text{CLK_UART}}{\{(\text{BRT} + 1) \times 16 + \text{FMD}\}} \quad \text{BRT} = \left(\frac{\text{CLK_UART}}{\text{bps}} - \text{FMD} - 16 \right) \div 16 \quad (\text{式12.1})$$

ここで

CLK_UART: UART動作クロック周波数 [Hz]

bps: 転送レート [bit/s]

BRT: UAnBR.BRT[7:0]設定値(0~255)

FMD: UAnBR.FMD[3:0]設定値(0~15)

UARTで設定可能な転送レートの範囲は、“電気的特性”の章の“UART特性、送受信ボーレートUBRT1、UBRT2”を参照してください。

12.4 データフォーマット

本UARTでは、データ長、ストップビット長、パリティ機能の設定が可能です。スタートビット長は1ビットに固定です。

データ長

データ長は、UAnMOD.CHLNビットで7ビット(UAnMOD.CHLNビット = 0)、または8ビット(UAnMOD.CHLNビット = 1)に設定可能です。

ストップビット長

ストップビット長はUAnMOD.STPBビットで1ビット(UAnMOD.STPBビット = 0)または2ビット(UAnMOD.STPBビット = 1)に設定可能です。

パリティ機能

パリティ機能はUAnMOD.PRENビットとUAnMOD.PRMDビットで設定します。

表12.4.1 パリティ機能の設定

UAnMOD.PRENビット	UAnMOD.PRMDビット	パリティ機能
1	1	奇数パリティ
1	0	偶数パリティ
0	*	パリティなし

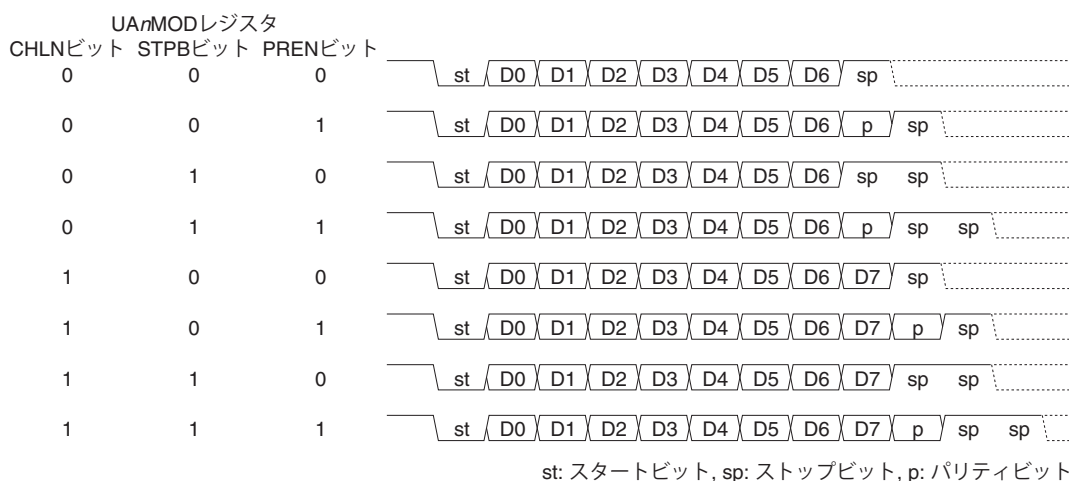


図12.4.1 データフォーマット

12.5 動作

12.5.1 初期設定

UART Ch. n は、以下の手順により初期設定を行います。

- UART Ch. n 入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- UA n CLK.CLKSRC[1:0]ビットとUA n CLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
- UA n MODレジスタの以下のビットを設定する。
 - UA n MOD.PUENビット (USIN n 端子のプルアップイネーブル/ディスエーブル)
 - UA n MOD.OUTMDビット (USOUT n 端子のオープンドレイン出力イネーブル/ディスエーブル)
 - UA n MOD.IRMDビット (IrDAインタフェースイネーブル/ディスエーブル)
 - UA n MOD.CHLNビット (7/8ビットデータ長設定)
 - UA n MOD.PRENビット (パリティイネーブル/ディスエーブル)
 - UA n MOD.PRMDビット (偶数/奇数パリティ選択)
 - UA n MOD.STPBビット (1/2ビットストップビット長設定)
- UA n BR.BRT[7:0]ビットとUA n BR.FMD[3:0]ビットを設定する。(転送レートを設定)
- UA n CTLレジスタの以下のビットを設定する。
 - UA n CTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - UA n CTL.MODENビットを1に設定 (UART Ch. n の動作をイネーブル)
- 割り込みを使用する場合は以下のビットを設定する。
 - UA n INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - UA n INTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* UA n INTF.TBEIFビットの初期値が1のため、UA n INTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

12.5.2 データ送信

UART Ch. n のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.2.1と図12.5.2.2に示します。

送信手順

- UA n INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
- UA n TXDレジスタに送信データを書き込む。
- 割り込みを使用する場合はUART割り込みを待つ。
- 送信データ終了まで、1~3(または1と2)を繰り返す。

UARTの送信動作

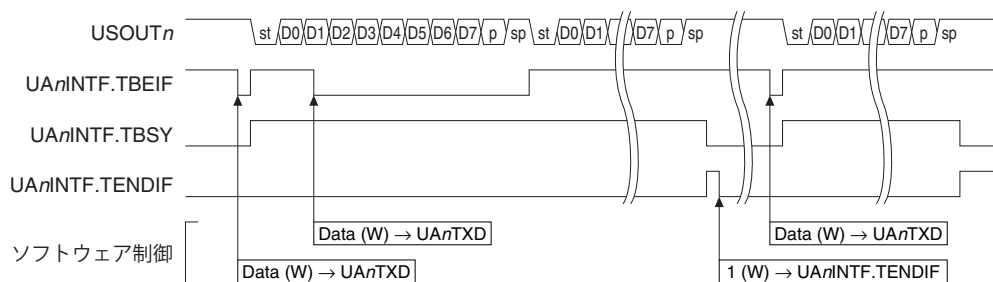
UAnTXDレジスタに送信データを書き込むことにより、UART Ch.nは送信動作を開始します。

UAnTXDレジスタの送信データは自動的にシフトレジスタへ転送され、UAnINTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。

次にスタートビットがUSOUTn端子から出力され、UAnINTF.TBSYビットが1(送信ビジー)にセットされます。続いて、シフトレジスタのデータがLSBから順次出力されます。MSBの出力後、パリティビット(パリティ機能有効時のみ)とストップビットが出力されます。

USOUTn端子から送信データが出力されている最中であっても、UAnINTF.TBEIFビット = 1を確認した後に、UAnTXDレジスタへ次の送信データを書き込むことができます。

USOUTn端子からストップビットが出力されたときに、UAnTXDレジスタに送信データが書き込まれていなかった場合、UAnINTF.TBSYビットが0にクリアされ、UAnINTF.TENDIFビットが1(送信完了)にセットされます。



(st: スタートビット, sp: ストップビット, p: パリティビット)

図12.5.2.1 データ送信動作例

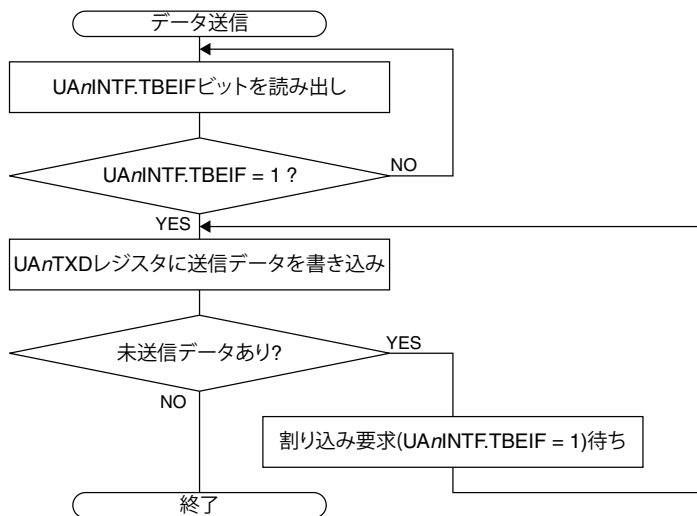


図12.5.2.2 データ送信フローチャート

12.5.3 データ受信

UART Ch.nのデータ受信手順と動作を以下に示します。また、タイミングチャートを図12.5.3.1に、フローチャートを図12.5.3.2に示します。

受信手順(1バイトずつ読み出し)

1. 割り込みを使用する場合はUART割り込みを待つ。
2. UAnINTF.RB1FIFビットが1(受信バッファ1バイトフル)になっていることを確認する。
3. UAnRXDレジスタから受信データを読み出す。
4. 受信終了まで、1~3(または2と3)を繰り返す。

受信手順(2バイトずつ読み出し)

1. 割り込みを使用する場合はUART割り込みを待つ。
2. $UAnINTF.RB2FIF$ ビットが1(受信バッファ 2バイトフル)になっていることを確認する。
3. $UAnRXD$ レジスタから受信データを2回読み出す。
4. 受信終了まで、1~3(または2と3)を繰り返す。

UARTの受信動作

$USINn$ 端子にスタートビットが入力されると、UART Ch. n は受信動作を開始します。

受信回路はスタートビットのLOWレベルを検出して続くデータビットのサンプリングを開始し、受信シフトレジスタに受信データを取り込みます。また、スタートビットを検出した時点で $UAnINTF.RBSY$ ビットを1にセットします。

ストップビットを受信するタイミングで、 $UAnINTF.RBSY$ ビットを0にクリアし、受信シフトレジスタのデータを受信データバッファに転送します。

受信データバッファは2バイトのFIFOで構成されており、満杯になるまで受信することが可能です。

受信データバッファが1つ目のデータを受信すると、 $UAnINTF.RB1FIF$ ビットが1(受信バッファ 1バイトフル)にセットされます。1つ目のデータを読み出さずに2つ目のデータを受信すると、 $UAnINTF.RB2FIF$ ビットが1(受信バッファ 2バイトフル)にセットされます。

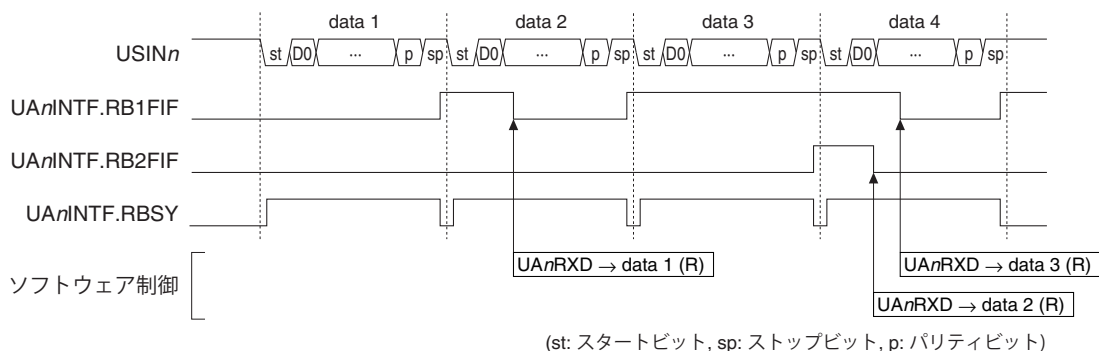


図12.5.3.1 データ受信動作例

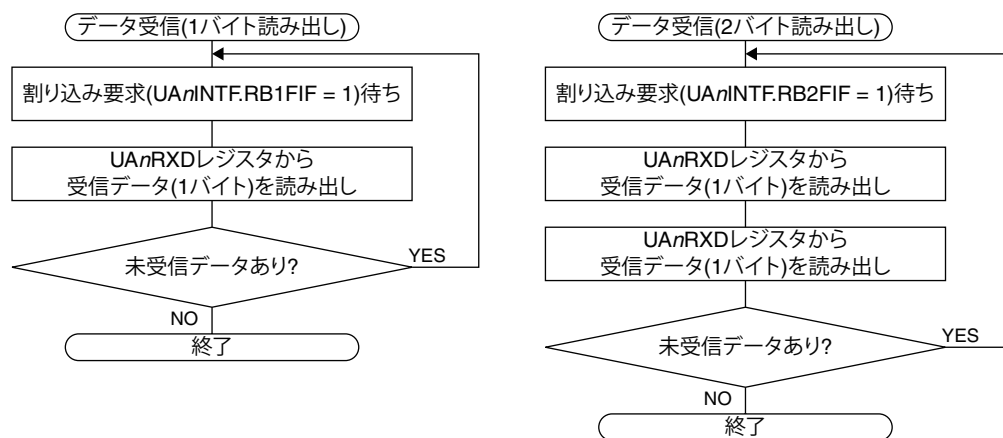


図12.5.3.2 データ受信フローチャート

12.5.4 IrDAインタフェース

UARTにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA1.0に対応する赤外線通信回路を構成することができます。

IrDAインタフェース機能を使用するには、 $UAnMOD.IRMD$ ビットを1に設定します。

IrDAインタフェース機能が有効の場合も、データ送受信の制御方法は通常のインタフェースと同じです。

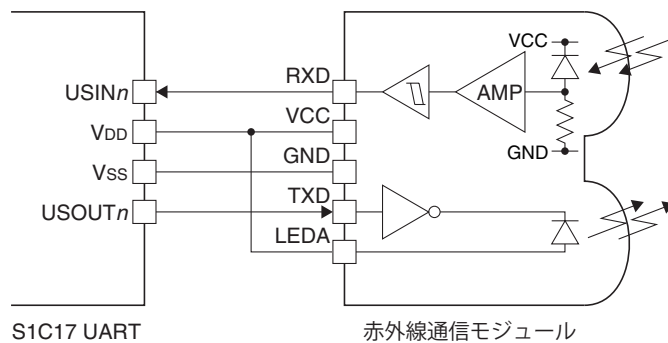


図12.5.4.1 赤外線通信モジュールとの接続例

UART Ch.*n*の送信用シフトレジスタから出力された送信データは、SIR方式のRZI変調回路にてLOW出力が通常の3/16のパルス幅に変調された後、反転されたものがUSOUT*n*端子から出力されます。なお、UANMOD.INVIRTXビットを1に設定することで、USOUT*n*端子の出力を反転することができます。

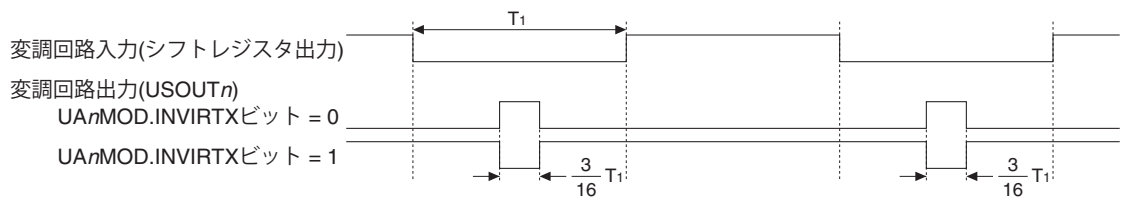


図12.5.4.2 IrDA送信信号波形

受信したIrDA信号はRZI復調回路に入力され、通常のLOWパルス幅に変換された後、受信用シフトレジスタに入力されます。なお、UANMOD.INVIRRXビットを1に設定することで、USIN*n*端子からの入力を反転して復調することができます。

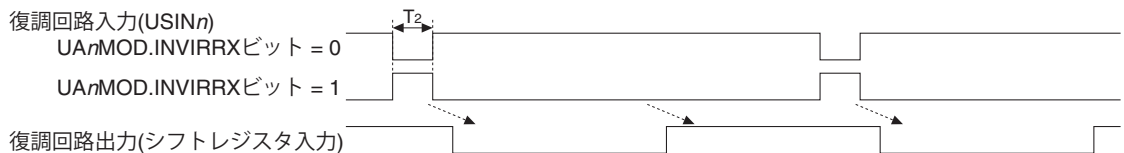


図12.5.4.3 IrDA受信信号波形

注: 入力するIrDA信号のLOWパルス T_2 は $CLK_UART \times 3$ 周期以上の幅としてください。

12.6 受信エラー

UARTはデータ受信時に、フレーミングエラー、パリティエラー、オーバーランエラーの3種類の受信エラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。

12.6.1 フレーミングエラー

ストップビットが検出できなかったとき(ストップビットを0として受信したとき)、UARTは同期ずれと判断して、フレーミングエラーが発生したものと見なします。エラーが発生したデータも受信データバッファに転送され、UANRXDレジスタから読み出せる状態になった時点でUANINTF.FEIFビット(フレーミングエラー割り込みフラグ)が1にセットされます。

注: フレーミングエラー/パリティエラー割り込みフラグのセットタイミング

割り込みフラグはエラーとなったデータが受信データバッファに転送後にセットされますが、その時点のバッファの状態によりセットされるタイミングが異なります。

- ・ 受信データバッファが空の場合
エラーが発生したデータを受信データバッファに転送した時点で割り込みフラグがセットされます。

- 受信データバッファに1バイトの空きがある場合
エラーが発生したデータを受信データバッファの2バイト目に転送した後、ロード済みの1バイト目のデータが読み出された時点で割り込みフラグがセットされます。

12.6.2 パリティエラー

パリティ機能が有効に設定されている場合、受信時にパリティチェックが行われます。UARTは、シフトレジスタに受信したデータとパリティビットとの整合をチェックし、結果が不整合の場合パリティエラーと判断します。エラーが発生したデータも受信データバッファに転送され、UANRXDレジスタから読み出せる状態になった時点でUANINTF.PEIFビット(パリティエラー割り込みフラグ)が1にセットされます(フレーミングエラーの注を参照)。

12.6.3 オーバーランエラー

シフトレジスタにデータを受信し終わった時点で受信データバッファが満杯(2バイトの受信データが読み出されていない)の場合、データを受信データバッファに転送することができないため、オーバーランエラーが発生します。

オーバーランエラーが発生するとUANINTF.OEIFビット(オーバーランエラー割り込みフラグ)が1にセットされます。

12.7 割り込み

UARTには、表12.7.1に示す割り込みを発生させる機能があります。

表12.7.1 UARTの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	UANINTF.TENDIF	ストップビット送信後にUANINTF.TBEIFビット = 1のとき	1書き込み、ソフトリセット
フレーミングエラー	UANINTF.FEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
パリティエラー	UANINTF.PEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
オーバーランエラー	UANINTF.OEIF	“受信エラー”を参照	1書き込み、ソフトリセット
受信バッファ 2バイトフル	UANINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	受信データの読み出し、ソフトリセット
受信バッファ 1バイトフル	UANINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファエンプティ	UANINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

12.8 制御レジスタ

UART Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/W	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15–9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にUART動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7–6 Reserved

Bits 5–4 CLKDIV[1:0]

これらのビットは、UART動作クロックの分周比を選択します。

Bits 3–2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、UARTのクロックソースを選択します。

表12.8.1 クロックソースと分周比の設定

UAnCLK. CLKDIV[1:0]ビット	UAnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

注: UAnCLKレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnMOD	15-10	–	0x00	–	R	–
	9	INVIRRX	0	H0	R/W	
	8	INVIRTX	0	H0	R/W	
	7	–	0	–	R	
	6	PUEN	0	H0	R/W	
	5	OUTMD	0	H0	R/W	
	4	IRMD	0	H0	R/W	
	3	CHLN	0	H0	R/W	
	2	PREN	0	H0	R/W	
	1	PRMD	0	H0	R/W	
	0	STPB	0	H0	R/W	

Bits 15–10 Reserved

12 UART(UART)

Bit 9 INVIRRX

このビットは、IrDAインタフェース機能イネーブル時にUSIN n の入力反転機能を有効にします。

1 (R/W): 入力反転機能イネーブル

0 (R/W): 入力反転機能ディスエーブル

Bit 8 INVIRTX

このビットは、IrDAインタフェース機能イネーブル時にUSOUT n の出力反転機能を有効にします。

1 (R/W): 出力反転機能イネーブル

0 (R/W): 出力反転機能ディスエーブル

Bit 7 Reserved

Bit 6 PUEN

このビットは、USIN n 端子のプルアップをイネーブルにします。

1 (R/W): プルアップイネーブル

0 (R/W): プルアップディスエーブル

Bit 5 OUTMD

このビットは、USOUT n 端子の出力モードを設定します。

1 (R/W): オープンドレイン出力

0 (R/W): プッシュプル出力

Bit 4 IRMD

このビットは、IrDAインタフェース機能をイネーブルにします。

1 (R/W): IrDAインタフェース機能イネーブル

0 (R/W): IrDAインタフェース機能ディスエーブル

Bit 3 CHLN

このビットは、データ長を設定します。

1 (R/W): 8ビット

0 (R/W): 7ビット

Bit 2 PREN

このビットは、パリティ機能をイネーブルにします。

1 (R/W): パリティ機能イネーブル

0 (R/W): パリティ機能ディスエーブル

Bit 1 PRMD

このビットは、パリティ機能を使用する場合に奇数パリティ/偶数パリティを選択します。

1 (R/W): 奇数パリティ

0 (R/W): 偶数パリティ

Bit 0 STPB

このビットは、ストップビット長を設定します。

1 (R/W): 2ビット

0 (R/W): 1ビット

注: UAnMODレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch. n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnBR	15-12	–	0x0	–	R	–
	11-8	FMD[3:0]	0x0	H0	R/W	
	7-0	BRT[7:0]	0x00	H0	R/W	

Bits 15-12 Reserved

Bits 11–8 FMD[3:0]**Bits 7–0 BRT[7:0]**

これらのビットは、UARTの転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: UAnBRレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved**Bit 1 SFTRST**

このビットは、UARTをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

UARTの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、UARTの動作をイネーブルにします。

1 (R/W): UART動作イネーブル(動作クロックが供給されます。)

0 (R/W): UART動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にUAnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、UAnCTL.MODENビットを再度1に設定する場合は、必ずUAnCTL.SFTRSTビットにも1を書き込んでください。

UART Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnTXD	15–8	–	0x00	–	R	–
	7–0	TXD[7:0]	0x00	H0	R/W	

Bits 15–8 Reserved**Bits 7–0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、UAnINTF.TBEIF = 1になっていることを確認してください。

UART Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnRXD	15–8	–	0x00	–	R	–
	7–0	RXD[7:0]	0x00	H0	R	

Bits 15–8 Reserved**Bits 7–0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは2バイトのFIFOで構成されており、受信データは古いものから順に読み出されます。

UART Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UANINTF	15–10	–	0x00	–	R	–
	9	RBSY	0	H0/S0	R	
	8	TBSY	0	H0/S0	R	
	7	–	0	–	R	
	6	TENDIF	0	H0/S0	R/W	Cleared by writing 1.
	5	FEIF	0	H0/S0	R/W	Cleared by writing 1 or reading the UAnRXD register.
	4	PEIF	0	H0/S0	R/W	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	RB2FIF	0	H0/S0	R	Cleared by reading the UAnRXD register.
	1	RB1FIF	0	H0/S0	R	
0	TBEIF	1	H0/S0	R	Cleared by writing to the UAnTXD register.	

Bits 15–10 Reserved

Bit 9 RBSY

このビットは、受信状態を示します。(図12.5.3.1参照)

1 (R): 受信中

0 (R): 待機中

Bit 8 TBSY

このビットは、送信状態を示します。(図12.5.2.1参照)

1 (R): 送信中

0 (R): 待機中

Bit 7 Reserved

Bit 6 TENDIF

Bit 5 FEIF

Bit 4 PEIF

Bit 3 OEIF

Bit 2 RB2FIF

Bit 1 RB1FIF

Bit 0 TBEIF

これらのビットは、UART割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

UANINTF.TENDIFビット: 送信完了割り込み

UANINTF.FEIFビット: フレーミングエラー割り込み

UANINTF.PEIFビット: パリティエラー割り込み

UANINTF.OEIFビット: オーバーランエラー割り込み

UANINTF.RB2FIFビット: 受信バッファ 2バイトフル割り込み

UANINTF.RB1FIFビット: 受信バッファ 1バイトフル割り込み

UANINTF.TBEIFビット: 送信バッファエンプティ割り込み

UART Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UA _n INTE	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6	TENDIE	0	H0	R/W	
	5	FEIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

Bits 15–7 Reserved

Bit 6 TENDIE

Bit 5 FEIE

Bit 4 PEIE

Bit 3 OEIE

Bit 2 RB2FIE

Bit 1 RB1FIE

Bit 0 TBEIE

これらのビットは、UARTの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

UA_nINTE.TENDIEビット: 送信完了割り込み

UA_nINTE.FEIEビット: フレーミングエラー割り込み

UA_nINTE.PEIEビット: パリティエラー割り込み

UA_nINTE.OEIEビット: オーバーランエラー割り込み

UA_nINTE.RB2FIEビット: 受信バッファ 2バイトフル割り込み

UA_nINTE.RB1FIEビット: 受信バッファ 1バイトフル割り込み

UA_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

13 同期式シリアルインタフェース(SPIA)

13.1 概要

SPIAは同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- マスタモード、スレーブモードに対応
- データ長: 2~16ビットに設定可能
- MSB先頭、LSB先頭のデータフォーマットを選択可能
- クロックの極性と位相を選択可能
- 全二重通信に対応
- 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- 受信バッファフル、送信バッファエンpty、送信完了、オーバーラン割り込みを発生可能
- マスタモードでは、16ビットタイマを使用してボーレートを設定可能
- スレーブモードでは、外部入力クロックSPICLK_nのみで動作可能
- スレーブモードはSLEEPモード時も動作し、SPIA割り込みによるウェイクアップが可能
- 内部で入力端子のプルアップまたはプルダウンが可能

図13.1.1にSPIAの構成を示します。

表13.1.1 S1C17W03/W04のSPIAチャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	2チャンネル (Ch.0とCh.1)	
内部クロック入力	Ch.0 ← 16ビットタイマ	Ch.1 ← 16ビットタイマ
		Ch.1 ← 16ビットタイマ

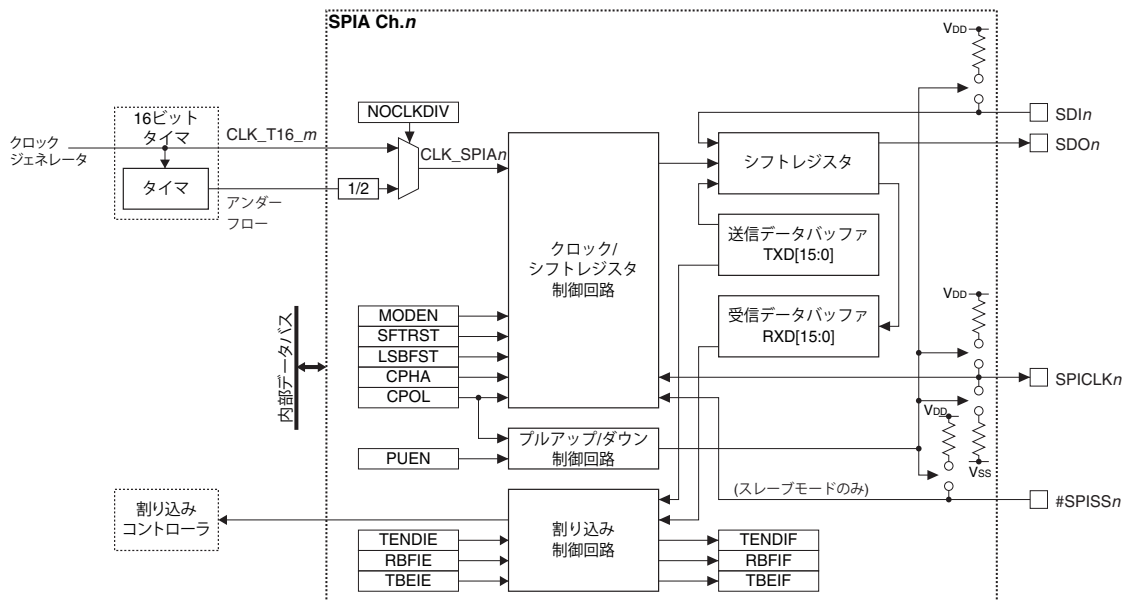


図13.1.1 SPIAの構成

13.2 入出力端子と外部接続

13.2.1 入出力端子一覧

表13.2.1.1にSPIAの端子一覧を示します。

表13.2.1.1 SPIA端子一覧

端子名	I/O*	イニシャル状態*	機能
SDIn	I	I (Hi-Z)	SPIA Ch.nデータ入力端子
SDOn	OまたはHi-Z	Hi-Z	SPIA Ch.nデータ出力端子
SPICLK _n	IまたはO	I (Hi-Z)	SPIA Ch.n外部クロック入出力端子
#SPISS _n	I	I (Hi-Z)	SPIA Ch.nスレーブセレクト信号入力端子

* 端子機能をSPIAに切り換えた時点の状態

これらのSPIA端子と他の機能がポートを共有している場合、SPIAを動作させる前にSPIAの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

13.2.2 外部との接続

SPIAにはマスタモードとスレーブモードがあります。それぞれのモードにおける外部SPIデバイスとの接続を、図13.2.2.1と図13.2.2.2に示します。

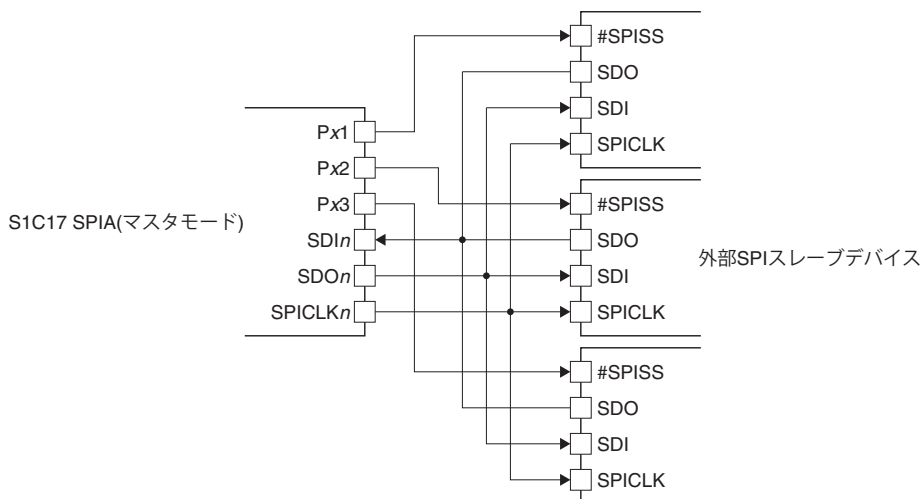


図13.2.2.1 マスタモードのSPIAと外部SPIスレーブデバイスとの接続

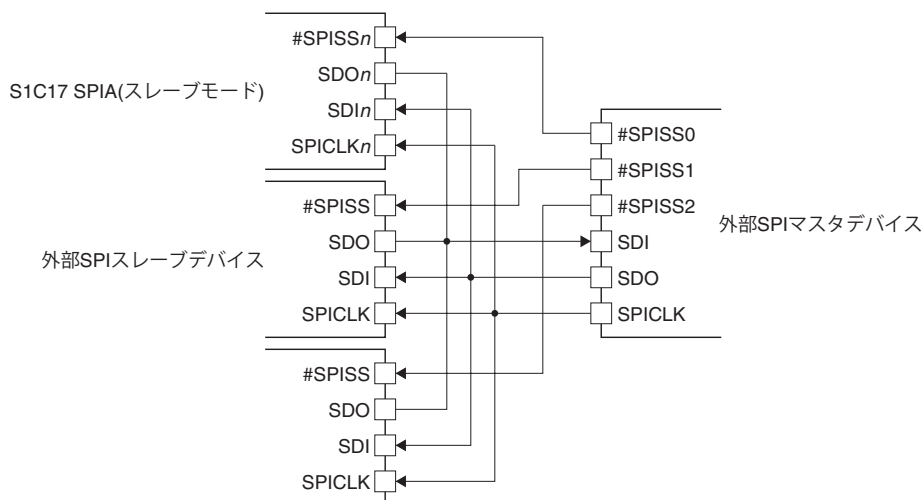


図13.2.2.2 スレーブモードのSPIAと外部SPIマスタデバイスとの接続

13.2.3 マスタモードとスレーブモードの端子機能

端子機能はマスタモードとスレーブモードの選択により切り換わります。モードによる端子機能の相違点を表13.2.3.1に示します。

表13.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能	スレーブモード時の機能
SDIn	常に入力状態になります。	
SDOn	常に出力状態になります。	#SPISSn端子にLOWレベルが入力されている期間は出力状態になります。#SPISSn端子にHIGHレベルが入力されている期間はHi-Z状態になります。
SPICLK _n	SPIクロックを外部に出力します。 出力するクロックの極性、および位相を任意に選択できます。	外部SPIクロックを入力します。 入力するクロックの極性、および位相を任意に選択できます。
#SPISS _n	使用しません。 ポートにこの入力機能を割り当てる必要はありません。マスタモードでスレーブセレクト信号を出力するには、ポートの汎用入出力機能を使用してください。	#SPISSn端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、SDIn端子およびSPICLK _n 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。

13.2.4 入力端子のプルアップ/プルダウン機能

SPIAの入力端子(マスタモードのSDIn、スレーブモードのSDIn、SPICLK_n、および#SPISS_n)には、表13.2.4.1に示すプルアップ機能またはプルダウン機能があります。この機能は、SPI_nMOD.PUENビットを1に設定するとイネーブルになります。

表13.2.4.1 入力端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
SDIn	プルアップ	プルアップ
SPICLK _n	-	SPI _n MOD.CPOLビット = 1: プルアップ SPI _n MOD.CPOLビット = 0: プルダウン
#SPISS _n	-	プルアップ

13.3 クロック設定

13.3.1 SPIAの動作クロック

マスタモード時の動作クロック

マスタモード時のSPIA動作クロックは16ビットタイマから供給されます。これには以下に示す2つのオプションが用意されています。

16ビットタイマの動作クロックをそのまま使用

SPI_nMOD.NOCLKDIVビットを1に設定すると、クロックソースとその分周比を選択して設定された、SPIAチャンネルに対応する16ビットタイマチャンネルの動作クロックCLK_T16_mが、CLK_SPIA_nとしてSPIAにも供給されます。このクロックはそのままSPIクロックSPICLK_nとしても使用されますので、CLK_SPIA_n周波数がそのままボーレートになります。

SPIAにCLK_SPIA_nを供給するには、クロックジェネレータで16ビットタイマのクロックソースをイネーブルにしておく必要があります。対応する16ビットタイマチャンネルのT16_mCTL.MODENビットとT16_mCTL.PRUNビットは、1でも0でも構いません。

このモードでは、対応する16ビットタイマチャンネルのタイマ機能を別の目的に使用可能です。

16ビットタイマをボーレートジェネレータとして使用

SPI_nMOD.NOCLKDIVビットを0に設定すると、対応する16ビットタイマチャンネルで生成されたアンダーフロー信号をSPIAに入力してSPICLK_nを生成します。この場合は、適切なリロードデータを設定して16ビットタイマを動作させる必要があります。この場合のSPICLK_n周波数(ボーレート)、16ビットタイマのリロードデータは以下の式で求められます。

$$f_{\text{SPICLK}} = \frac{f_{\text{CLK_SPIA}}}{2 \times (\text{RLD} + 1)} \quad \text{RLD} = \frac{f_{\text{CLK_SPIA}}}{f_{\text{SPICLK}} \times 2} - 1 \quad (\text{式13.1})$$

ここで

f_{SPICLK} : SPICLK n 周波数[Hz] (=ボーレート[bps])

$f_{\text{CLK_SPIA}}$: SPIA動作クロック周波数[Hz]

RLD: 16ビットタイマリロードデータ値

16ビットタイマの制御方法については、“16ビットタイマ”の章を参照してください。

スレーブモード時の動作クロック

スレーブモードのSPIAは、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。SPIAチャンネルに対応する16ビットタイマチャンネル(クロックソースセレクトと分周器を含む)は使用しません。また、SPI n MOD.NOCLKDIVビットの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、SPIAは外部のSPIマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

13.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時の動作クロックの供給をT16 $_m$ CLK.DBRUNビットで制御します。T16 $_m$ CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSPIA Ch. n へのCLK_T16 $_m$ の供給が停止します。その後通常モードに戻ると、CLK_T16 $_m$ の供給が再開します。CLK_T16 $_m$ の供給が停止するとSPIA Ch. n の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。T16 $_m$ CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_T16 $_m$ の供給は停止せず、SPIA Ch. n は動作を継続します。

スレーブモード時は、DEBUGモードか通常モードかにかかわらず、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。

13.3.3 SPIクロック(SPICLK n)の位相と極性

SPICLK n の位相と極性は、SPI n MOD.CPHAビットとSPI n MOD.CPOLビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図13.3.3.1に示します。

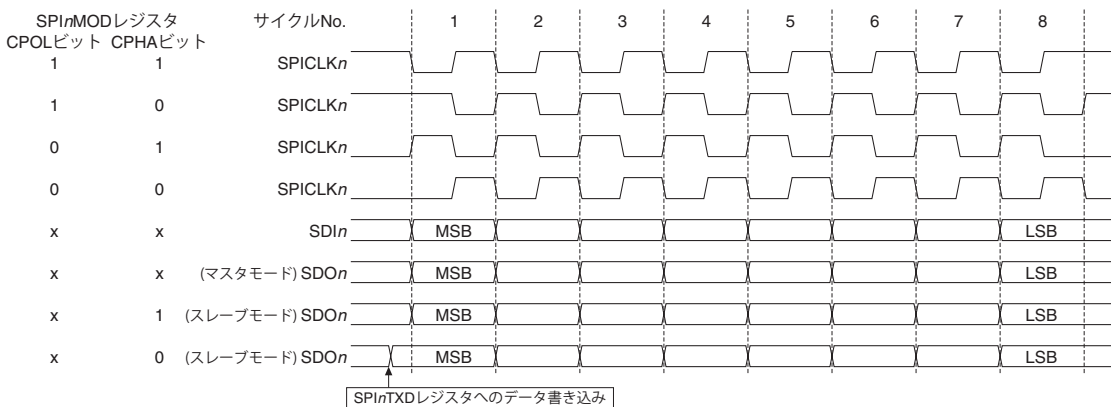


図13.3.3.1 SPIクロックの位相と極性(SPI n MOD.LSBFSTビット = 0, SPI n MOD.CHNLN[3:0]ビット = 0x7)

13.4 データフォーマット

SPIAのデータ長は、SPI n MOD.CHLN[3:0]ビットの設定により、2ビット～16ビットの中から選択できます。入出力の順列は、SPI n MOD.LSBFSTビットにてMSB先頭、またはLSB先頭を選択できます。SPI n MOD.CHLN[3:0]ビット = 0x7、SPI n MOD.CPOLビット = 0、SPI n MOD.CPHAビット = 0のときのデータフォーマットの例を、図13.4.1に示します。

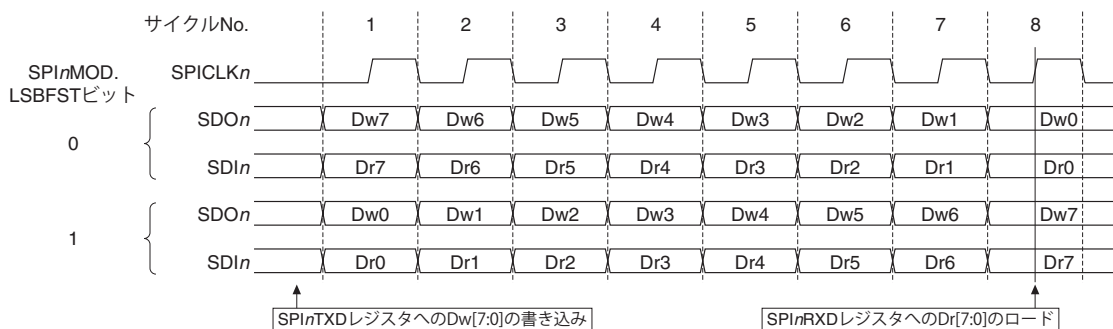


図13.4.1 SPI n MOD.LSBFSTビットによるデータフォーマットの選択

(SPI n MOD.CHLN[3:0]ビット = 0x7, SPI n MOD.CPOLビット = 0, SPI n MOD.CPHAビット = 0)

13.5 動作

13.5.1 初期設定

SPIA Ch. n は、以下の手順により初期設定を行います。

1. <マスタモードで使用する場合のみ>16ビットタイマを制御してクロックを生成し、SPIA Ch. n に供給する。
2. SPI n MODレジスタの以下のビットを設定する。
 - SPI n MOD.PUENビット (入力端子のプルアップ/ダウンイネーブル)
 - SPI n MOD.NOCLKDIVビット (マスタモード動作クロック選択)
 - SPI n MOD.LSBFSTビット (MSB先頭/LSB先頭選択)
 - SPI n MOD.CPHAビット (クロック位相選択)
 - SPI n MOD.CPOLビット (クロック極性選択)
 - SPI n MOD.MSTビット (マスタ/スレーブモード選択)
3. SPIA Ch. n 入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
4. SPI n CTLレジスタの以下のビットを設定する。
 - SPI n CTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - SPI n CTL.MODENビットを1に設定 (SPIA Ch. n の動作をイネーブル)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SPI n INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - SPI n INTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* SPI n INTF.TBEIFビットの初期値が1のため、SPI n INTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

13.5.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図13.5.2.1と図13.5.2.2に示します。

送信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPI n INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
3. SPI n TXDレジスタに送信データを書き込む。

4. 割り込みを使用する場合はSPIA割り込みを待つ。
5. 送信データ終了まで、2~4(または2と3)を繰り返す。
6. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

送信動作

SPI n TXDレジスタに送信データを書き込むことにより、SPIA Ch. n は送信動作を開始します。SPI n TXDレジスタの送信データは、自動的にシフトレジスタへ転送され、SPI n INTF.TBEIFビットが1にセットされます。SPI n INTE.TBEIEビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。

次に、SPICLK n 端子からSPI n MOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO n 端子から送信データが順次出力されます。

SPICLK n 端子からクロックが出力されている最中であっても、SPI n INTF.TBEIFビット = 1を確認した後に、SPI n TXDレジスタへ次の送信データを書き込むことができます。

SPICLK n 端子から最後のクロックが出力されたときに、SPI n TXDレジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、SPI n INTF.TENDIFビットが1にセットされます。このとき、SPI n INTE.TENDIEビット = 1であれば、送信完了割り込み要求が発生します。

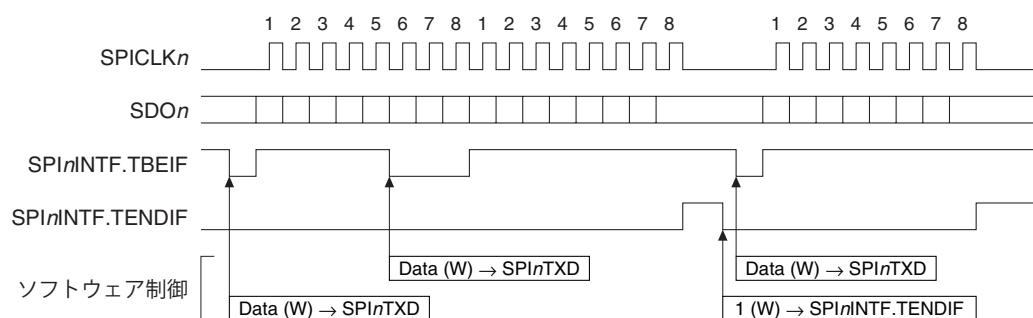


図13.5.2.1 マスタモードのデータ送信動作例(SPI n MOD.CHLN[3:0]ビット = 0x7)

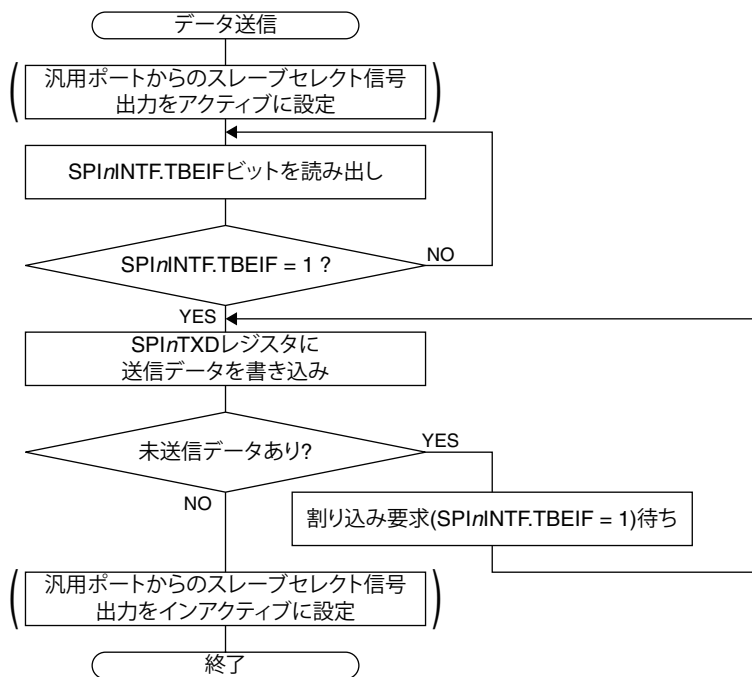


図13.5.2.2 マスタモードのデータ送信フローチャート

13.5.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図13.5.3.1と図13.5.3.2に示します。

受信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. $SPI_nINTF.TBEIF$ ビットが1(送信バッファEMPTY)になっていることを確認する。
3. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
4. 送信バッファEMPTY割り込み($SPI_nINTF.TBEIF$ ビット = 1)を待つ。
5. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
6. 受信バッファFULL割り込み($SPI_nINTF.RBFIF$ ビット = 1)を待つ。
7. SPI_nRXD レジスタから受信データを読み出す。
8. 受信終了まで、5~7を繰り返す。
9. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

注: SPI_nCLK_n を停止させずに連続的にデータを受信するためには、6の後、7と5の操作を“データビット長 - 1”に相当する SPI_nCLK_n 周期以内に完了させる必要があります。

受信動作

SPI_nTXD レジスタに送信データ(送信が不要の場合は任意の値で可)を書き込むことにより、SPIA Ch.nは送信動作と同時に受信動作も開始します。

SPI_nCLK_n 端子から $SPI_nMOD.CHLN[3:0]$ ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、 SDO_n 端子から送信データが順次出力されると共に、 SDI_n 端子から受信データがシフトレジスタへ取り込まれます。

SPI_nCLK_n 端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、 $SPI_nINTF.RBFIF$ ビットが1にセットされます。このとき、 $SPI_nINTE.RBFIE$ ビット = 1であれば、受信バッファFULL割り込み要求が発生します。これ以降、受信データバッファ内の受信データは SPI_nRXD レジスタから読み出すことができます。

注: $SPI_nINTF.RBFIF$ ビットが1にセットされている状態で $SPI_nMOD.CHLN[3:0]$ ビットによって定義されるビット数分のデータを受信すると、 SPI_nRXD レジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、 $SPI_nINTF.OEIF$ ビットがセットされます。

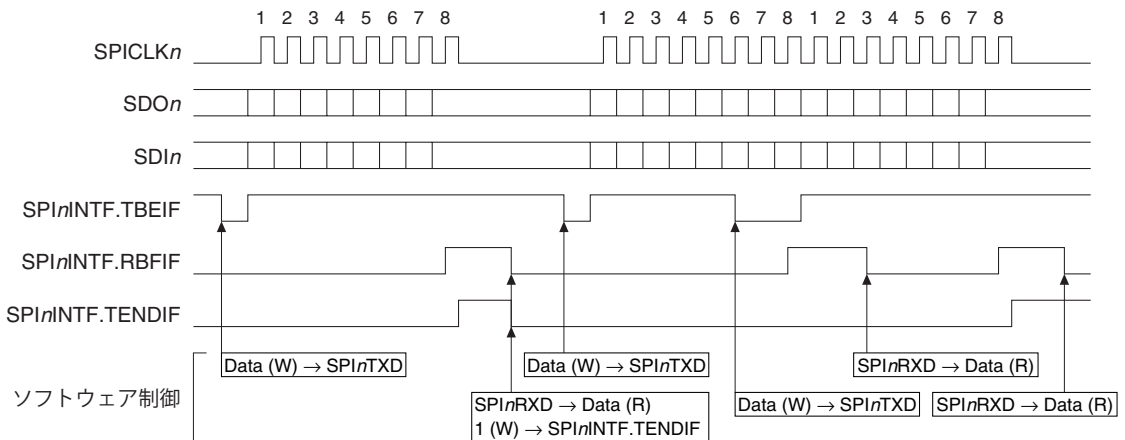
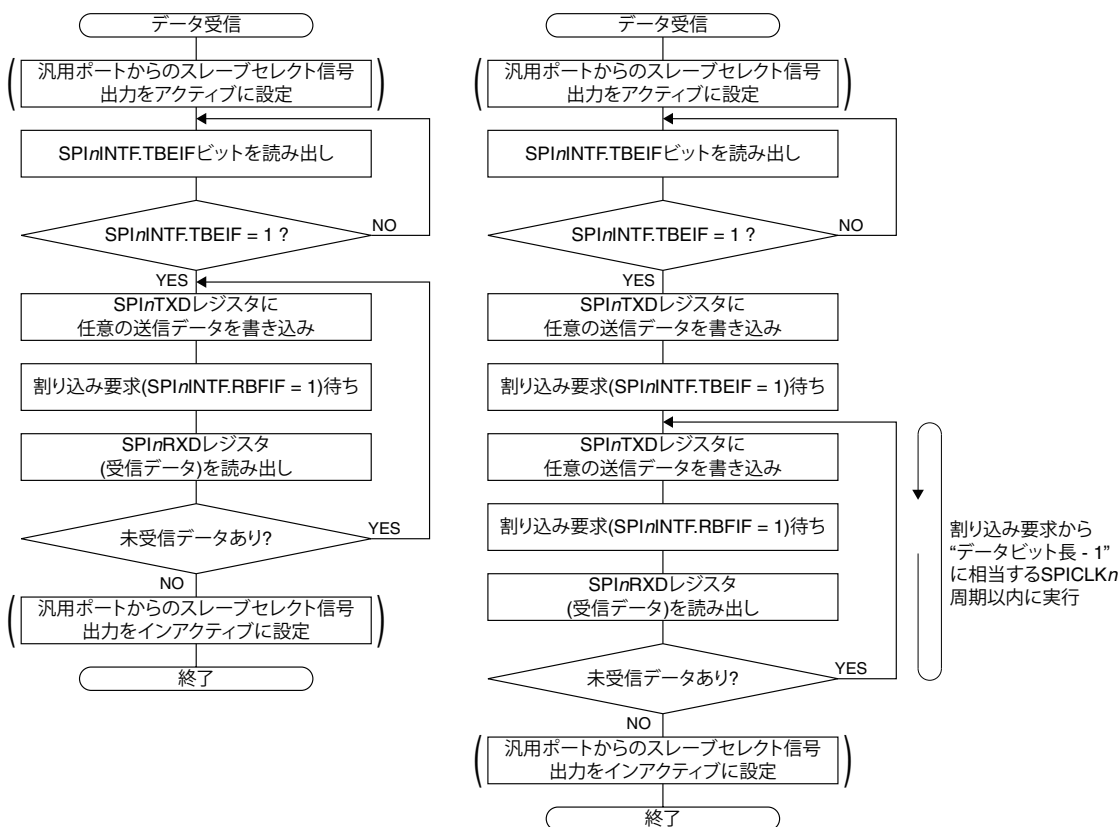


図13.5.3.1 マスタモードのデータ受信動作例($SPI_nMOD.CHLN[3:0]$ ビット = 0x7)



(A)断続的にデータを受信する場合

(B)連続的にデータを受信する場合

図13.5.3.2 マスタモードのデータ受信フローチャート

13.5.4 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI_nINTF.TENDIFビット = 1)を待つ。
2. SPI_nCTL.MODENビットを0に設定し、SPIA Ch.*n*の動作をディスエーブルにする。
3. 16ビットタイマを停止させ、SPIA Ch.*n*へのクロック供給を止める。

13.5.5 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図13.5.5.1と図13.5.5.2に示します。

送信手順

1. SPI_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. SPI_nTXDレジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(SPI_nINTF.TBEIFビット = 1)を待つ。
4. 送信データ終了まで、2と3を繰り返す。

注: SPI_nINTF.TBEIFビットが1にセットされてからSPI_nTXDレジスタに書き込んだデータが送出完了するまでの間に、送信データをSPI_nTXDレジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、SD_n端子から入力されたデータがそのままシフトアウトされます。

受信手順

1. 受信バッファフル割り込み(SPI n INTF.RBFIFビット = 1)を待つ。
2. SPI n RXDレジスタから受信データを読み出す。
3. 受信終了まで、1と2を繰り返す。

送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部SPIマスタからSPICLK n 端子に供給されるSPIクロックで動作します。
データ転送レートはSPICLK n の周波数によって決まります。16ビットタイマの制御は不要です。
- 外部SPIマスタから#SPISS n 端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合にのみスレーブデバイスとして動作します。
#SPISS n = HIGHの場合、送受信操作、およびSPICLK n とSDIn端子入力がすべて無効になります。また、送受信の途中で#SPISS n がHIGHになった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部SPIマスタによって#SPISS n がアクティブになり、SPICLK n が入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEPモードでもデータの送受信動作が可能で、SPIAの割り込みによってCPUをウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

- 注: • SPI n INTF.RBFIFビットが1にセットされている状態で、SPI n MOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPI n RXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPI n INTF.OEIFビットがセットされます。
- SPI n INTF.TBEIFビットが1にセットされている状態でも、SPICLK n 端子から1ビット目のクロックが入力されると、SPIAはその時点でシフトレジスタに保存されているデータの送信を開始します。

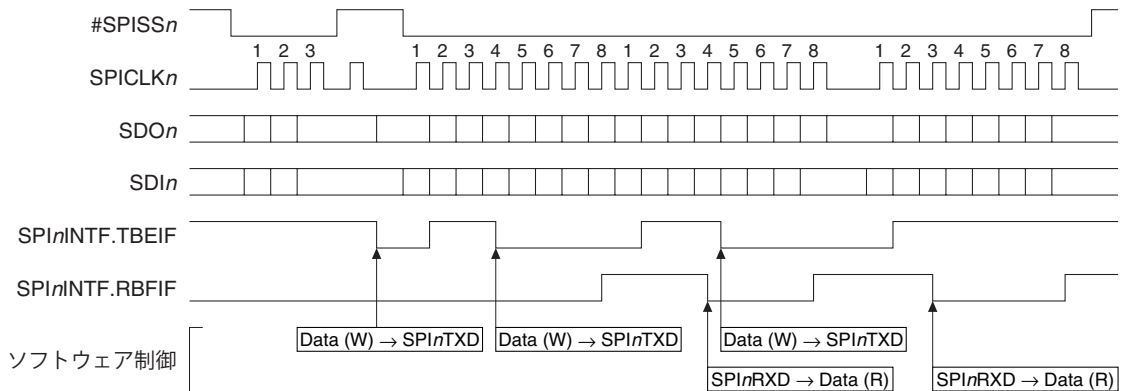


図13.5.5.1 スレーブモード時の送受信動作例(SPI n MOD.CHLN[3:0]ビット = 0x7)

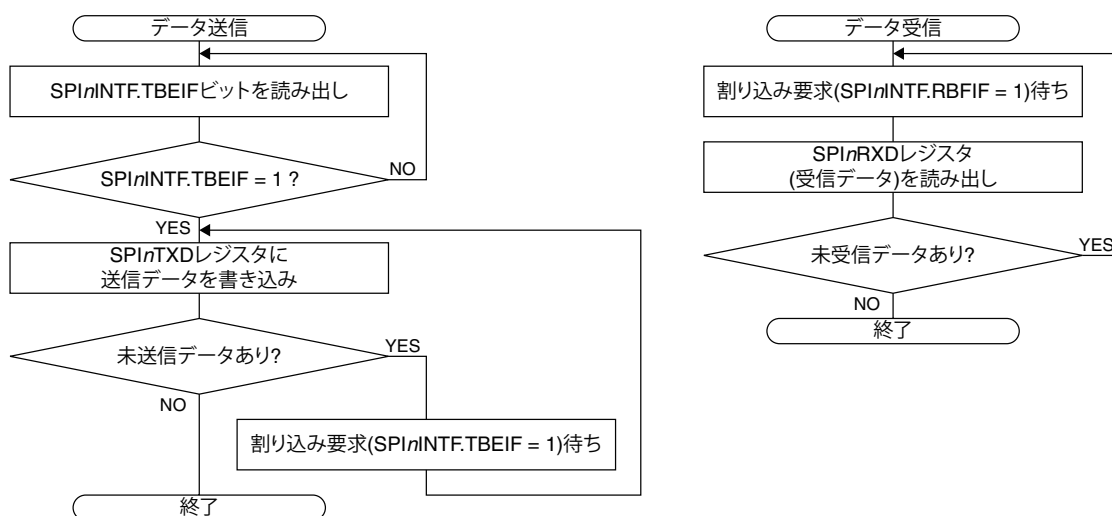


図13.5.5.2 スレーブモード時の送受信フローチャート

13.5.6 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI<n>INTF.TENDIFビット = 1)を待つ。または受信データなどで終了を判断する。
2. SPI<n>CTL.MODEENビットを0に設定し、SPIA Ch.<n>の動作をディスエーブルにする。

13.6 割り込み

SPIAには、表13.6.1に示す割り込みを発生させる機能があります。

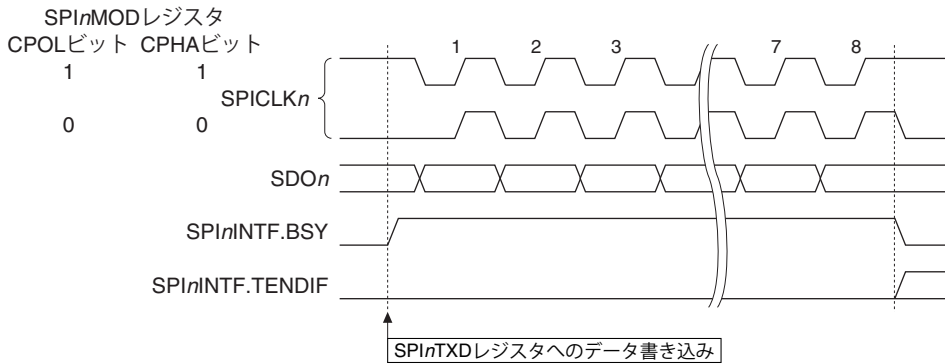
表13.6.1 SPIAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	SPI<n>INTF.TENDIF	指定ビット数(SPI<n>MOD.CHLN[3:0]ビットによって定義)のデータ送信後にSPI<n>INTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	SPI<n>INTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPI<n>RXDレジスタの読み出し
送信バッファエンプティ	SPI<n>INTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPI<n>TXDレジスタへの書き込み
オーバーランエラー	SPI<n>INTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。また、SPI<n>INTFレジスタにはSPIAの動作状態を示すBSYビットも設けられています。

図13.6.1に、SPI<n>INTF.BSYビットおよびSPI<n>INTF.TENDIFビットがセットされるタイミングを示します。

マスタモード



スレーブモード

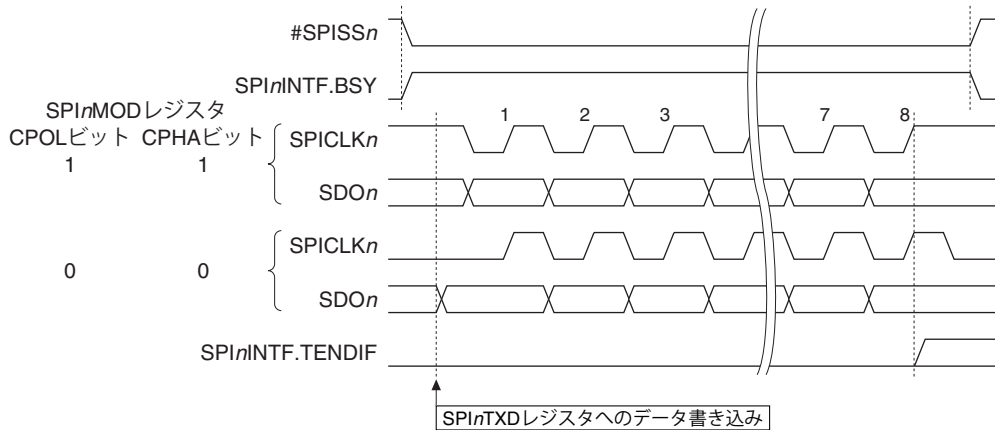


図13.6.1 SPI_nINTF.BSYビットおよびSPI_nINTF.TENDIFビットのセットタイミング
(SPI_nMOD.CHNLN[3:0]ビット = 0x7の場合)

13.7 制御レジスタ

SPIA Ch.*n* Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n MOD	15-12	-	0x0	-	R	-
	11-8	CHLN[3:0]	0x7	H0	R/W	
	7-6	-	0x0	-	R	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
0	MST	0	H0	R/W		

Bits 15-12 Reserved

Bits 11-8 CHLN[3:0]

これらのビットは、送受信データのビット長を設定します。

表13.7.1 データビット長の設定

SPI _n MOD.CHNLN[3:0]ビット	データビット長
0xf	16ビット
0xe	15ビット
0xd	14ビット
0xc	13ビット
0xb	12ビット
0xa	11ビット
0x9	10ビット
0x8	9ビット
0x7	8ビット
0x6	7ビット
0x5	6ビット
0x4	5ビット
0x3	4ビット
0x2	3ビット
0x1	2ビット
0x0	設定禁止

Bits 7–6 Reserved

Bit 5 PUEN

このビットは、入力端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

Bit 4 NOCLKDIV

このビットは、マスタモード時のSPICLK_nを選択します。スレーブモードでは無効です。

1 (R/W): SPICLK_n周波数 = CLK_SPIA_n周波数 (= 16ビットタイマ動作クロック周波数)

0 (R/W): SPICLK_n周波数 = 16ビットタイマ出力周波数 / 2

詳細は、“SPIAの動作クロック”を参照してください。

Bit 3 LSBFST

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

Bit 2 CPHA

Bit 1 CPOL

これらのビットは、SPIクロックの位相および極性を設定します。詳細は、“SPIクロック(SPICLK_n)の位相と極性”を参照してください。

Bit 0 MST

このビットは、SPIAの動作モード(マスタモードまたはスレーブモード)を設定します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SPI_nMODレジスタは、SPI_nCTL.MODENビット = 0のときのみ設定変更が可能です。

SPIA Ch._n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved

Bit 1 SFTRST

このビットは、SPIAをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SPIAのシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、SPIAの動作をイネーブルにします。

1 (R/W): SPIA動作イネーブル(マスタモードでは、動作クロックが供給されます。)

0 (R/W): SPIA動作ディスエーブル(マスタモードでは、動作クロックが停止します。)

注: データの送受信中にSPInCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、SPInCTL.MODENビットを再度1に設定する場合は、必ずSPInCTL.SFTRSTビットにも1を書き込んでください。

SPIA Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInTXD	15-0	TXD[15:0]	0x0000	H0	R/W	-

Bits 15-0 TXD[15:0]

これらのビットを介して、送信データバッファヘデータを書き込むことができます。

マスタモードでは、この書き込みにより送受信動作を開始します。

SDOn端子からデータが出力されている期間でも、SPInINTF.TBEIFビット = 1のときは送信データを書き込むことができます。

SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位ビットのデータは、SDOn端子から出力されません。

注: SPInINTF.TBEIFビット = 0のときは、SPInTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

SPIA Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInRXD	15-0	RXD[15:0]	0x0000	H0	R	-

Bits 15-0 RXD[15:0]

これらのビットを介して、受信データバッファが読み出せます。SDIn端子からデータが入力されている期間でも、SPInINTF.RBFIFビット = 1のときには受信データを読み出すことができます。SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位のビットは0になります。

注: SPInCTL.MODENビット、またはSPInCTL.SFTRSTビットに1を書き込むと、SPInRXD.RXD[15:0]ビットは0x0000にクリアされます。

SPIA Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInINTF	15-8	-	0x00	-	R	-
	7	BSY	0	H0	R	
	6-4	-	0x0	-	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the SPInRXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the SPInTXD register.	

13 同期式シリアルインタフェース(SPIA)

Bits 15–8 Reserved

Bit 7 BSY

このビットは、SPIAの動作状態を示します。

1 (R): 送受信ビジー (マスターモード)、#SPISsn = LOWレベル(スレーブモード)

0 (R): 待機中

Bits 6–4 Reserved

Bit 3 OEIF

Bit 2 TENDIF

Bit 1 RBFIF

Bit 0 TBEIF

これらのビットは、SPIA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SPI_nINTF.OEIFビット: オーバーランエラー割り込み

SPI_nINTF.TENDIFビット: 送信完了割り込み

SPI_nINTF.RBFIFビット: 受信バッファフル割り込み

SPI_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

SPIA Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n INTE	15–8	–	0x00	–	R	–
	7–4	–	0x0	–	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15–4 Reserved

Bit 3 OEIE

Bit 2 TENDIE

Bit 1 RBFIE

Bit 0 TBEIE

これらのビットは、SPIAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SPI_nINTE.OEIEビット: オーバーランエラー割り込み

SPI_nINTE.TENDIEビット: 送信完了割り込み

SPI_nINTE.RBFIEビット: 受信バッファフル割り込み

SPI_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

14 I²C(I2C)

14.1 概要

I2Cは、I²Cバスインタフェースのサブセットです。主な機能と特長を以下に示します。

- I²Cバスのマスタ(シングルマスタ)、またはスレーブデバイスとして動作
- 標準モード(最大100 kbit/s)、およびファースト・モード(最大400 kbit/s)に対応
- 7ビット、および10ビットアドレスモードに対応
- クロックストレッチに対応
- マスタモード時にクロックを生成するためのポーレートジェネレータを内蔵
- スレーブモード時は、I²Cバス上の信号のみで動作するため、他のクロックソースが不要
- スレーブモードはSLEEPモード時も動作し、アドレス一致検出時の割り込みによるウェイクアップが可能
- 自動バスクリア送出機能(マスタモード)
- 受信バッファフル、送信バッファエンpty、その他の割り込みを発生可能

図14.1.1にI2Cの構成を示します。

表14.1.1 S1C17W03/W04のI2Cチャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	1チャンネル (Ch.0)	

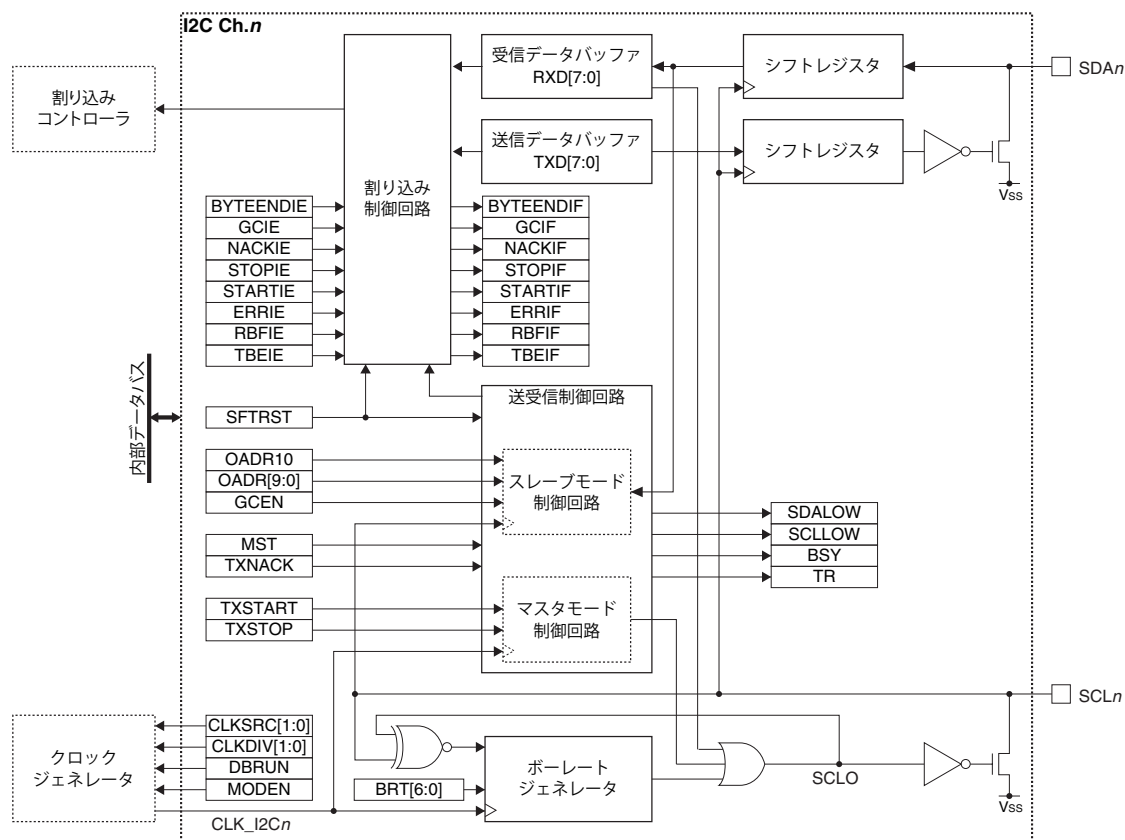


図14.1.1 I2Cの構成

14.2 入出力端子と外部接続

14.2.1 入出力端子一覧

表14.2.1.1にI²C端子の一覧を示します。

表14.2.1.1 I²C端子一覧

端子名	I/O*	イニシャル状態*	機能
SDA _n	I/O	I	I ² Cバスのシリアルデータ入出力端子
SCL _n	I/O	I	I ² Cバスのクロック入出力端子

* 端子機能をI²Cに切り換えた時点の状態

これらのI²C端子と他の機能がポートを共有している場合、I²Cを動作させる前にI²Cの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

14.2.2 外部との接続

I²Cと外部I²C機器との接続例を図14.2.2.1に示します。

I²Cバスのシリアルデータ(SDA)とシリアルクロック(SCL)は、外部抵抗によってプルアップする必要があります。

I²Cがマスターモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数のスレーブデバイスを接続することができます。I²Cがスレーブモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数または1つのマスターデバイスとスレーブデバイスを接続することができます。

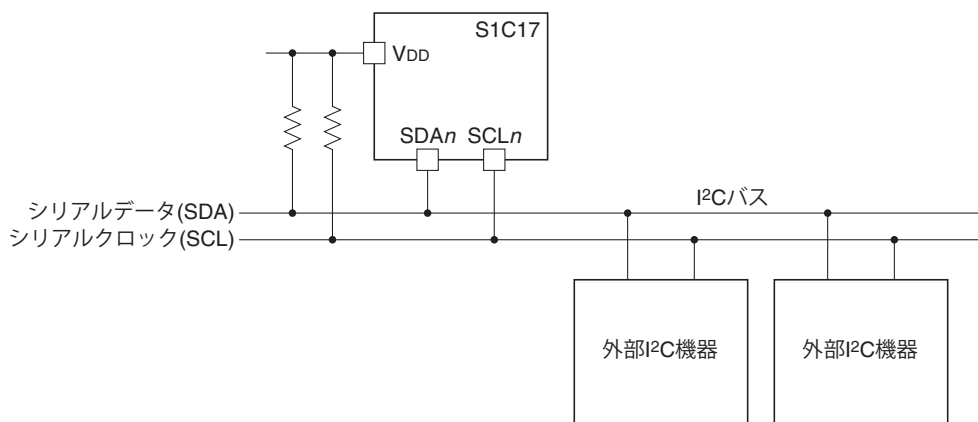


図14.2.2.1 I²Cと外部I²C機器との接続

注: • SDAとSCLは、必ず本ICのV_{DD}以下の電圧にプルアップしてください。ただし、I²Cの入出力ポートがトレラント・フェイルセーフ対応I/Oの場合は、本ICの推奨動作電圧の範囲内で、本ICのV_{DD}以上の電圧にプルアップすることが可能です。

- SDAとSCLのプルアップに、本ICの入出力ポートに内蔵されたプルアップ抵抗を使用することはできません。
- I²Cがマスターモードのときは、I²Cバス上に他のマスターデバイスを接続することはできません。

14.3 クロック設定

14.3.1 I2Cの動作クロック

マスタモードの動作クロック

I2C Ch.*n*をマスタモードで使用する場合、クロックジェネレータからI2C Ch.*n*動作クロックCLK_I2C*n*をI2C Ch.*n*に供給する必要があります。

CLK_I2C*n*の供給は以下の手順で制御してください。

- 1 クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. I2C*n*CLKレジスタの以下のビットを設定する。
 - I2C*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - I2C*n*CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

SLEEPモード時にマスタモードのI2Cを使用する場合は、I2C Ch.*n*動作クロックCLK_I2C*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_I2C*n*を供給し続ける必要があります。I2Cの動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

スレーブモードの動作クロック

スレーブモードのI2Cは、I²Cマスタから供給されるSCLを動作クロックとして使用します。

I2C*n*CLKレジスタによるクロックの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、I2Cは外部のI²Cマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

14.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時のCLK_I2C*n*の供給はI2C*n*CLK.DBRUNビットで制御します。

I2C*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとI2C Ch.*n*へのCLK_I2C*n*の供給が停止します。その後通常モードに戻ると、CLK_I2C*n*の供給が再開します。CLK_I2C*n*の供給が停止するとI2C Ch.*n*の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

I2C*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_I2C*n*の供給は停止せず、I2C Ch.*n*は動作を継続します。

スレーブモードでは、DEBUGモードか通常モードかにかかわらず、外部のI²CマスタからSCL*n*端子に供給されるクロックで動作します。

14.3.3 ポーレートジェネレータ

I2Cは、マスタモードでの動作時にシリアルクロックSCLを生成する、ポーレートジェネレータを内蔵しています。スレーブモード時はSCL*n*端子から入力されるシリアルクロックで動作しますので、ポーレートジェネレータは使用しません。

データ転送レートの設定(マスタモード時)

転送レートはI2C*n*BR.BRT[6:0]ビットの設定により決まります。

希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{f_{\text{CLK_I2Cn}}}{(\text{BRT} + 3) \times 2} \qquad \text{BRT} = \frac{f_{\text{CLK_I2Cn}}}{\text{bps} \times 2} - 3 \qquad (\text{式14.1})$$

ここで

- bps: データ転送レート [bit/s]
- f_{CLK_I2C*n*}: I2Cの動作クロック周波数 [Hz]
- BRT: I2C*n*BR.BRT[6:0]ビットの設定値(1~127)

※ 上記の式は、SCLの立ち上がり/立ち下がり時間やクロックストレッチによる遅延時間(図14.3.3.1参照)を含んでいません。

注: I²Cバスの転送レートは標準モードで最大100 kbit/s、ファースト・モードで最大400 kbit/sに制限されています。制限以上の転送レートは設定しないでください。

ボーレートジェネレータのクロック出力とクロックストレッチへの対応

ボーレートジェネレータが生成するクロックとI²Cバス上のクロック波形を図14.3.3.1に示します。

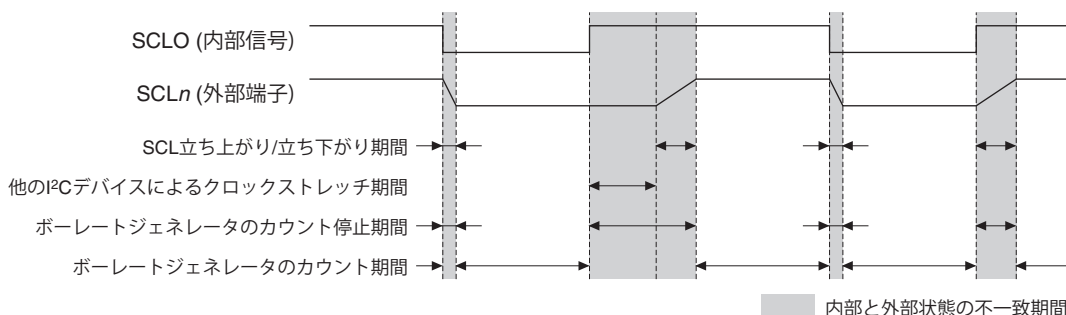


図14.3.3.1 ボーレートジェネレータ出力クロックとSCLn出力波形

ボーレートジェネレータが生成するSCLOはSCLn端子の状態と比較され、その結果がフィードバックされます。SCLOとSCLn端子の状態に不一致が発生している場合は、ボーレートジェネレータのカウンタ動作が停止します。これにより、SCL信号の立ち上がり/立ち下がり期間や、外部スレーブデバイスによってSCLがLOWに固定されるクロックストレッチの期間はクロックが延長され、データ送受信が制御されるようになっています。

14.4 動作

14.4.1 初期設定

I2C Ch.nは、以下の手順により初期設定を行います。

マスタモードで使用する場合

- I2CnCLKレジスタとI2CnBRレジスタで動作クロックとボーレートジェネレータを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
 - I2CnCTL.MSTビットを1に設定 (マスタモードに設定)
 - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

スレーブモードで使用する場合

- I2CnMODレジスタの以下のビットを設定する。
 - I2CnMOD.OADR10ビット (10/7ビットアドレスモード設定)
 - I2CnMOD.GCENビット (ジェネラルコールアドレス応答イネーブル)
- I2CnOADR.OADR[9:0][またはOADR[6:0]]ビットで自己アドレスを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
 - I2CnCTL.MSTビットを0に設定 (スレーブモードに設定)
 - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

14.4.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図14.4.2.1と図14.4.2.2に示します。

送信手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. ACK受信時の送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生し、送信データがある場合は5へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、7または1へ
5. I2CnTXDレジスタに送信データを書き込む。
6. 送信データ終了まで、4と5を繰り返す。
7. I2CnCTL.TXSTOPビットを1に設定し、ストップコンディションを生成する。
8. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

送信動作

スタートコンディションの生成

I2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはスタートコンディションの生成を開始します。これが完了するとI2CnCTL.TXSTARTビットは0にクリアされ、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

スレーブアドレス、データの送信

I2CnINTF.TBEIFビット = 1であれば、I2CnTXDレジスタにスレーブアドレスやデータを書き込むことができます。なお、I2CnTXDレジスタへの書き込みが行われるまで、I2C Ch.nはSCLをLOWに固定して待機します。この書き込み操作をトリガとして、そのデータは自動的にシフトレジスタに転送され、8個のクロックとデータビットがPCバスに出力されます。

この応答としてスレーブデバイスからACKが返ると、I2CnINTF.TBEIFビットが1にセットされます。この割り込み要求が発生後、続くデータの送信や、送信を終了するストップコンディション/リピーテッドスタートコンディションの生成が行えます。NACKが返った場合は、I2CnINTF.TBEIFビットはセットされず、代わりにI2CnINTF.NACKIFビットが1にセットされます。

ストップコンディション/リピーテッドスタートコンディションの生成

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)またはI2CnINTF.NACKIFビット = 1(NACK受信)となった後にI2CnCTL.TXSTOPビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。ストップコンディションの生成からバスフリー時間(I²C規格におけるt_{BUF})が経過した時点で、I2CnCTL.TXSTOPビットが0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)、またはI2CnINTF.NACKIFビット = 1(NACK受信)の状態ではI2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはリピーテッドスタートコンディションを生成します。リピーテッドスタートコンディションの生成が完了すると、スタートコンディション生成時と同様に、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

14.4.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図14.4.3.1と図14.4.3.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
3. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
4. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
 - i. 受信バッファフル割り込みが発生した場合は6へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。リトライする場合は2へ
6. 今回または次回の受信データが最終データとなる場合は、以下の処理を行う。
 - i. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。その後、7へ。
 - ii. 今回受信したデータが最終データの場合は、I2CnRXDレジスタから受信データを読み出し後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

受信動作

スタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

スレーブアドレスの送信

マスタモードのデータ送信の場合と同様です。ただし、I2CnTXD.TXD0ビットはデータ転送方向がREADであることを示す1に設定してスレーブにデータの送信を要求する必要があります。

データの受信

スレーブアドレスの送信後、スレーブデバイスからはACKと最初のデータが送られてきます。このデータを受信し終わると、I2C Ch.nはI2CnINTF.RBFIFビットを1にセットします。また、I2C Ch.nはスレーブデバイスにACKを返します。最終データ受信後の応答など、NACKを返すときはI2CnINTF.RBFIFビットが1にセットされる前にI2CnCTL.TXNACKビットに1を書き込んでおきます。

受信バッファフル割り込み要求の発生後は、I2CnRXDレジスタから受信データを読み出すことができます。なお、I2CnRXDレジスタが読み出されるまで、I2C Ch.nはSCLをLOWに固定して待機します。

この読み出しがトリガとなり、I2C Ch.nは次のデータ受信を開始します。

ストップコンディション/リピーテッドスタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

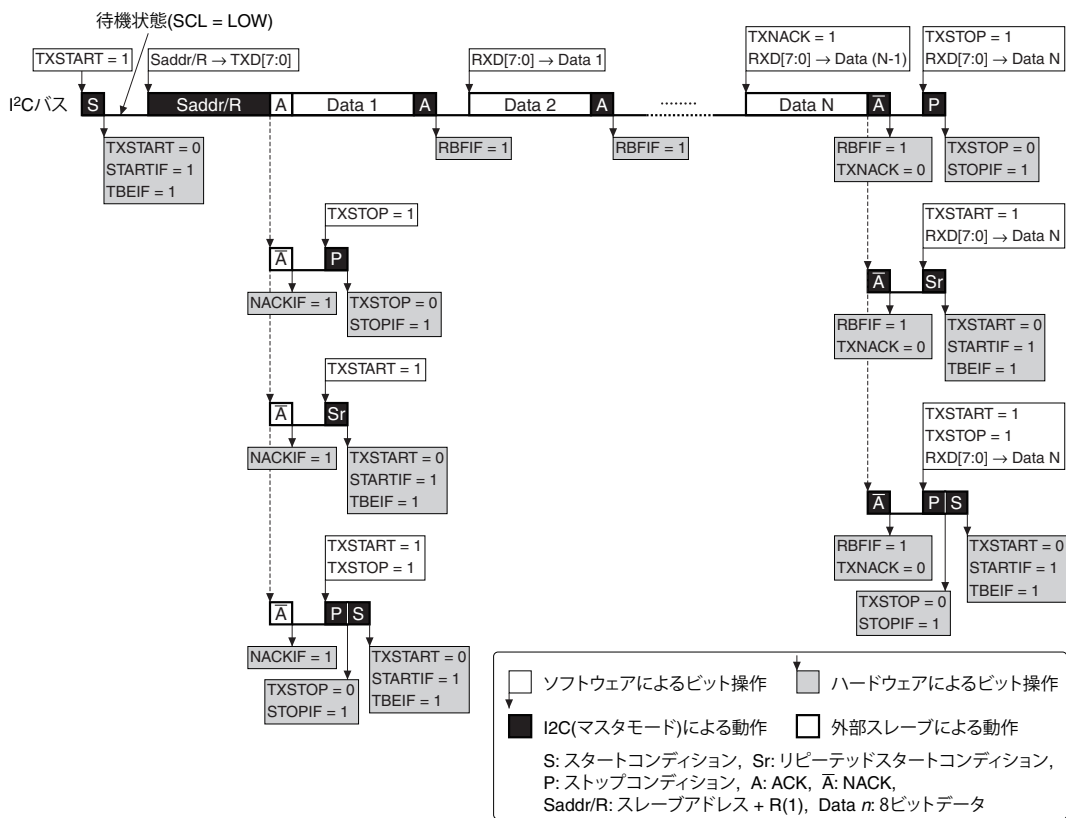


図14.4.3.1 マスタモードのデータ受信動作例

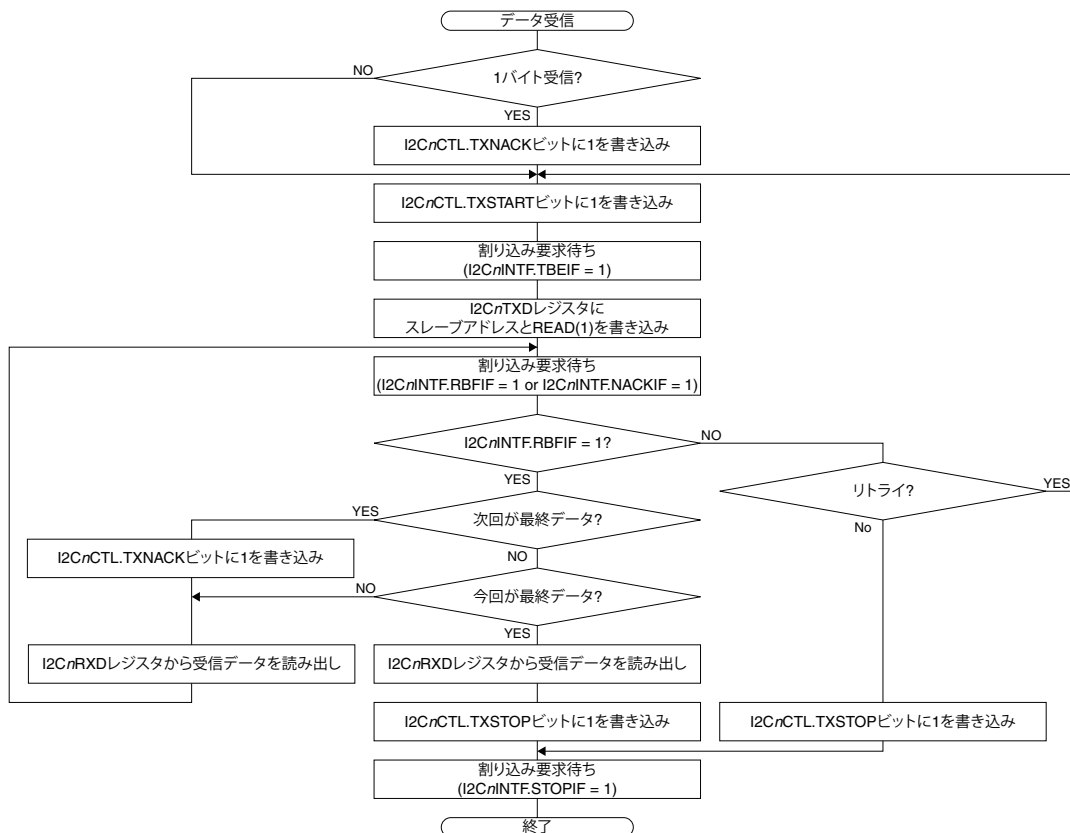
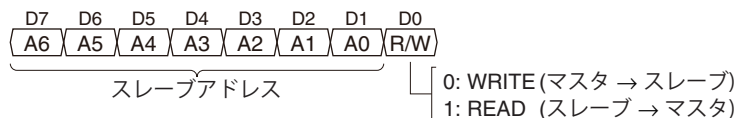


図14.4.3.2 マスタモードのデータ受信フローチャート

14.4.4 マスタモードでの10ビットアドレス指定

10ビットアドレスは上位2ビットと下位8ビットに分け、第1アドレスと第2アドレスを構成します。

7ビットアドレス



10ビットアドレス

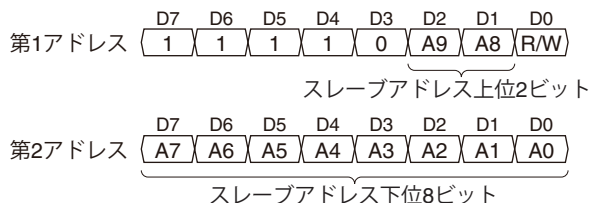


図14.4.4.1 10ビットアドレスの構成

マスタモード時に、10ビットアドレスモードで送受信を開始する手順を以下に示します(NACK受信時やデータ送受信の制御手順は、前述の7ビットモードの説明を参照してください)。また、動作例を図14.4.4.2に示します。

10ビットアドレスモードの送信開始手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
5. I2CnTXD.TXD[7:0]ビットに第2アドレスを書き込む。
6. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
7. データ送信を行う。

10ビットアドレスモードの受信開始手順

- 1～6. 上記送信開始手順と同じ。
7. I2CnCTL.TXSTARTビットを1に設定し、リピーテッドスタートコンディションを生成する。
8. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
9. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
10. データ受信を行う。

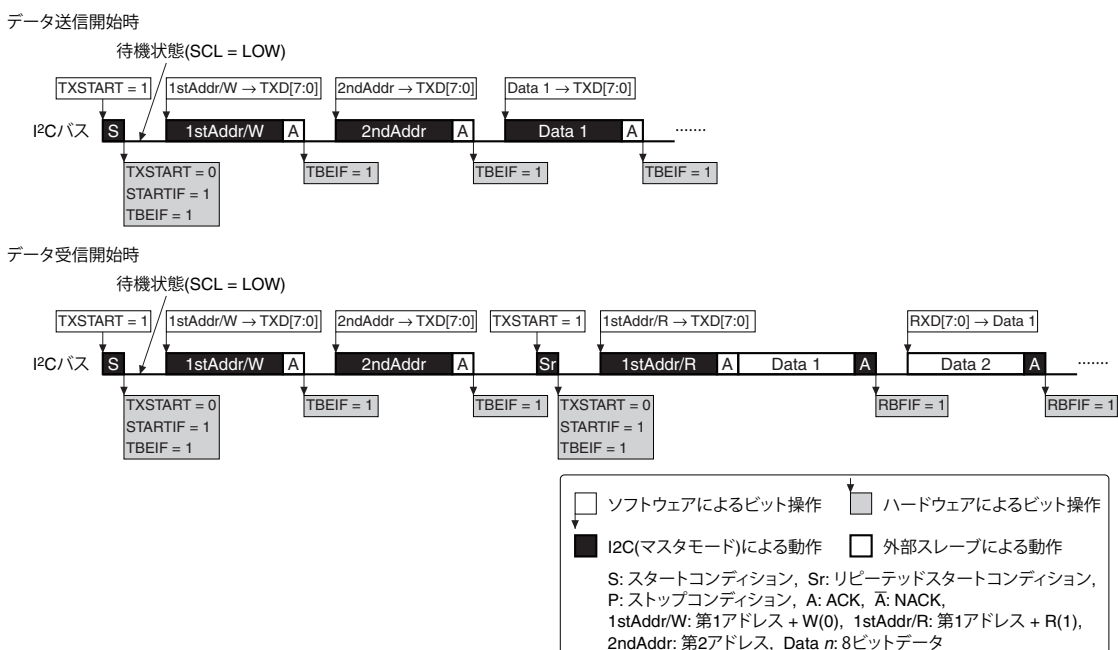


図14.4.4.2 10ビットアドレスモードのデータ送受信開始動作例(マスターモード)

14.4.5 スレーブモードのデータ送信

スレーブモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図14.4.5.1と図14.4.5.2に示します。

送信手順

1. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
2. I2CnINTF.TRビット = 1(送信モード)を確認する。
(I2CnINTF.TRビット = 0の場合は、受信手順を開始する。)
3. I2CnTXDレジスタに送信データを書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)、NACK受信割り込み(I2CnINTF.NACKIFビット = 1)、またはストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生した場合は3へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、5へ
 - iii. ストップコンディション割り込み発生時は、6へ
5. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、6へ
 - ii. スタートコンディション割り込み発生時は、2へ
6. I2CnINTF.STOPIFビットをクリアし、送信動作を終了する。

送信動作

スタートコンディションの検出とスレーブアドレスのチェック

I2CnCTL.MODENビット = 1、I2CnCTL.MSTビット = 0(スレーブモード)の場合、I2C Ch.nはI²Cバスをモニタし、スタートコンディションを検出すると、続いてマスタから送られるスレーブアドレスの受信動作を開始します。受信したアドレスが、I2CnOADR.OADR[6:0]ビット(I2CnMOD.OADR10ビット = 0(7ビットアドレスモード)の場合)、またはI2CnOADR.OADR[9:0]ビット(I2CnMOD.OADR10ビット = 1(10ビットアドレスモード)の場合)に設定した自己アドレスに一致すると、I2CnINTF.STARTIFビット、I2CnINTF.BSYビットが1にセットされます。また、I2C Ch.nは受信したアドレス内のR/Wビットの値をI2CnINTF.TRビットにセットし、これが1だった場合はI2CnINTF.TBEIFビットも1にセットしてデータ送信動作を開始します。

第1バイトのデータ送信

有効なスレーブアドレスを受信後、I2C Ch.nはI2CnTXDレジスタへの書き込みが行われるまで、SCLをLOWに固定して待機します。これにより、I²Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。送信データがI2CnTXDレジスタに書き込まれると、I2C Ch.nはI2CnINTF.TBEIFビットをクリアし、マスタに対してACKを送信します。I2CnTXDレジスタに書き込んだ送信データは自動的にシフトレジスタに転送され、I2CnINTF.TBEIFビットが1にセットされます。シフトレジスタのデータビットは順次I²Cバスに出力されます。

2バイト目以降のデータ送信

I2CnINTF.TBEIFビット = 1であれば、送信動作中であっても続く送信データの書き込みが可能です。シフトレジスタからの送信データ出力が完了したときにI2CnINTF.TBEIF = 1であった場合は、I2CnTXDレジスタに送信データが書き込まれるまで、I2C Ch.nはSCLをLow(クロックストレッチ状態)に固定します。

I2CnTXDレジスタに次の送信データが書き込まれている場合あるいは書き込まれると、外部マスタからACKを受信した時点で、次の8ビットデータ送信を行います。このときに、I2CnINTF.BYTEENDIFビットが1にセットされます。NACKを受信したときは、I2CnINTF.NACKIFビットがセットされ、データの送信は行われません。

ストップコンディション/リピーテッドスタートコンディションの検出

I2CnCTL.MSTビット = 0(スレーブモード)、I2CnINTF.BSYビット = 1の場合、I2C Ch.nはI²Cバスをモニタしており、ストップコンディションを検出するとデータ送信動作を終了します。この時点で、I2CnINTF.BSYビットは0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。リピーテッドスタートコンディションを検出した場合も、I2C Ch.nはI2CnINTF.BSYビットをクリアしてデータ送信動作を終了します。この場合は、I2CnINTF.STARTIFビットが1にセットされます。

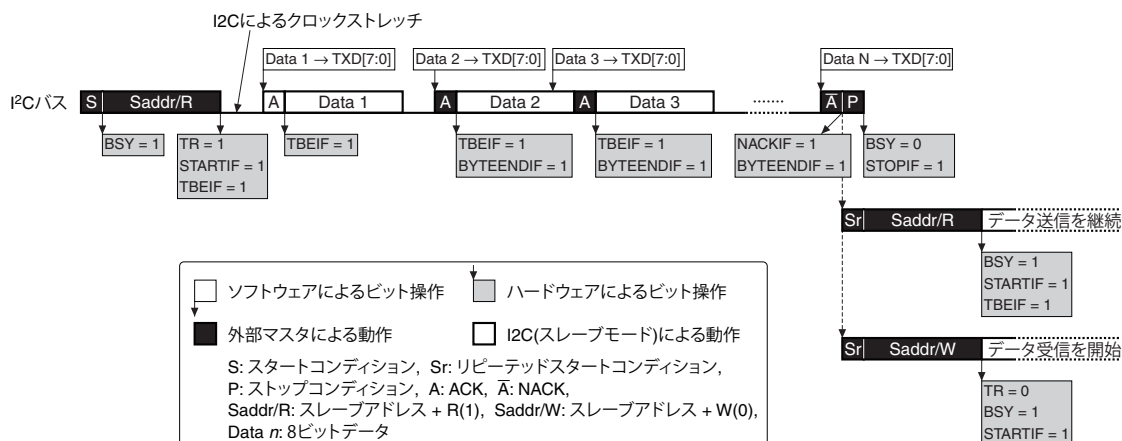


図14.4.5.1 スレーブモードのデータ送信動作例

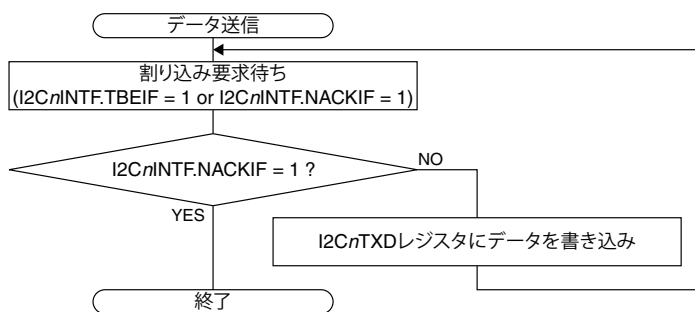


図14.4.5.2 スレーブモードのデータ送信フローチャート

14.4.6 スレーブモードのデータ受信

スレーブモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図14.4.6.1と図14.4.6.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
3. I2CnINTF.TRビット = 0(受信モード)を確認する。
(I2CnINTF.TRビット = 1の場合は、送信手順を開始する。)
4. I2CnINTF.STARTIFビットに1を書き込んでクリアする。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、または送受信完了割り込み(I2CnINTF.BYTEENDIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.BYTEENDIFビットは1を書き込んでクリアする。
6. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、10へ
 - ii. スタートコンディション割り込み発生時は、3へ
10. I2CnINTF.STOPIFビットをクリアし、受信動作を終了する。

受信動作

スタートコンディションの検出とスレーブアドレスのチェック

スレーブモードのデータ送信の場合と同様です。

ただし、I2CnINTF.TRビットは0にクリアされ、I2CnINTF.TBEIFビットはセットされません。

また、I2CnMOD.GCENを1(ジェネラルコールアドレス応答イネーブル)に設定してある場合は、ジェネラルコールアドレスを受信した場合も受信動作を開始します。

SLEEPモードでもスレーブモードの動作は可能で、アドレス一致検出時の割り込みによってCPUをウェイクアップさせることができます。

第1バイトのデータ受信

有効なスレーブアドレスを受信後、I2C Ch.nはACKを送信し、I2CnINTF.STARTIFビットに1が書き込まれるまで、SCLをLOWに固定します。これにより、I²Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。I2CnINTF.STARTIFビットに1が書き込まれるとSCLが解放され、外部マスタから送られるデータをシフトレジスタに受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。これ以降、I2CnRXDレジスタから受信データを読み出すことができます。

2バイト目以降のデータ受信

I2CnINTF.RBFIFビットが1にセットされた後、I2CnRXDレジスタから受信データを読み出すと、I2CnINTF.RBFIFビットが0にクリアされるとともに、SCLが解放され、外部マスタから送られる次のデータを受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。

受信を終了させるときなど、8ビットデータの受信終了時にNACKを返すには、その受信が終了する前にI2CnCTL.TXNACKビットに1を書き込んでおきます。NACKを送信すると、I2CnCTL.TXNACKビットは自動的に0にクリアされます。

ストップコンディション/リピーテッドスタートコンディションの検出

スレーブモードのデータ送信の場合と同様です。

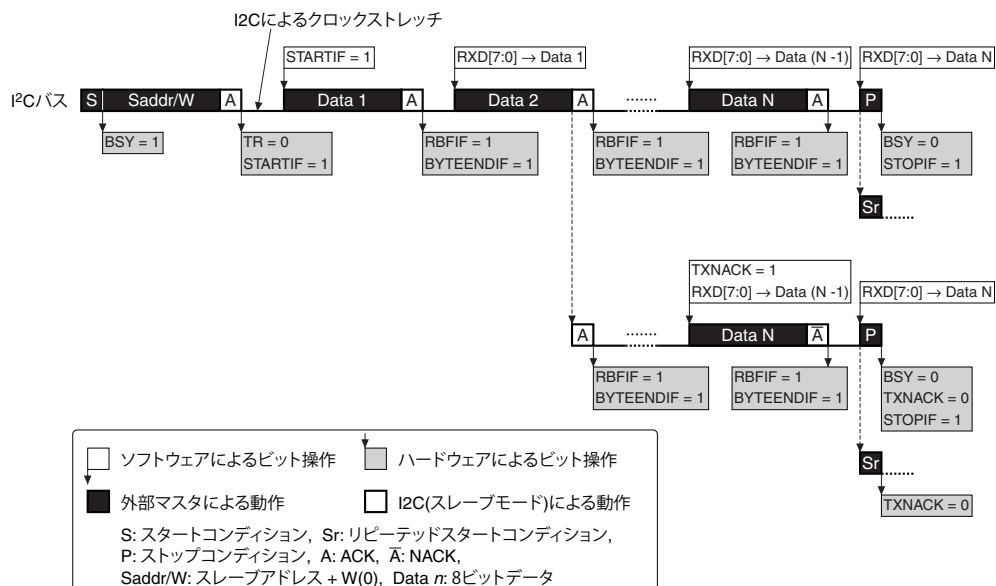


図14.4.6.1 スレーブモードのデータ受信動作例

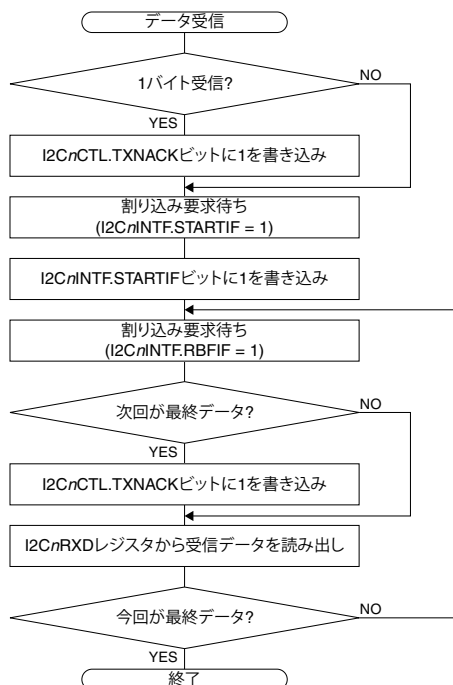


図14.4.6.2 スレーブモードのデータ受信フローチャート

14.4.7 10ビットアドレスモードのスレーブ動作

I2CnCTL.MSTビット = 0、かつI2CnMOD.OADR10ビット = 1のときは、I2C Ch.nは10ビットアドレスモードのスレーブとして動作します。このときのアドレス受信動作を以下に示します。また、動作例を図14.4.7.1に示します。10ビットアドレスの構成は、図14.4.4.1を参照してください。

10ビットアドレスの受信動作

スタートコンディションの後、マスタからスレーブアドレスの上位2ビットとR/Wビット(= 0)を含む第1アドレスが送信されます。このアドレスの上位2ビットとI2CnOADR.OADR[9:8]ビットが一致した場合、I2C Ch.nはACKを返します。このときは、上位2ビットが一致した他のスレーブからもACKが送信されます。

次に、マスタから第2アドレスとしてスレーブアドレスの下位8ビットが送信されます。このアドレスとI2CnOADR.OADR[7:0]ビットが一致した場合、I2C Ch.nはACKを返した後、データの受信動作を開始します。

マスタがデータ受信(スレーブからのデータ送信)を要求する場合は、この後さらにマスタからリピーテッドスタートコンディションとR/Wビットを1にした第1アドレスが送信されます。すると、I2C Ch.nは動作をデータ送信に切り換えます。

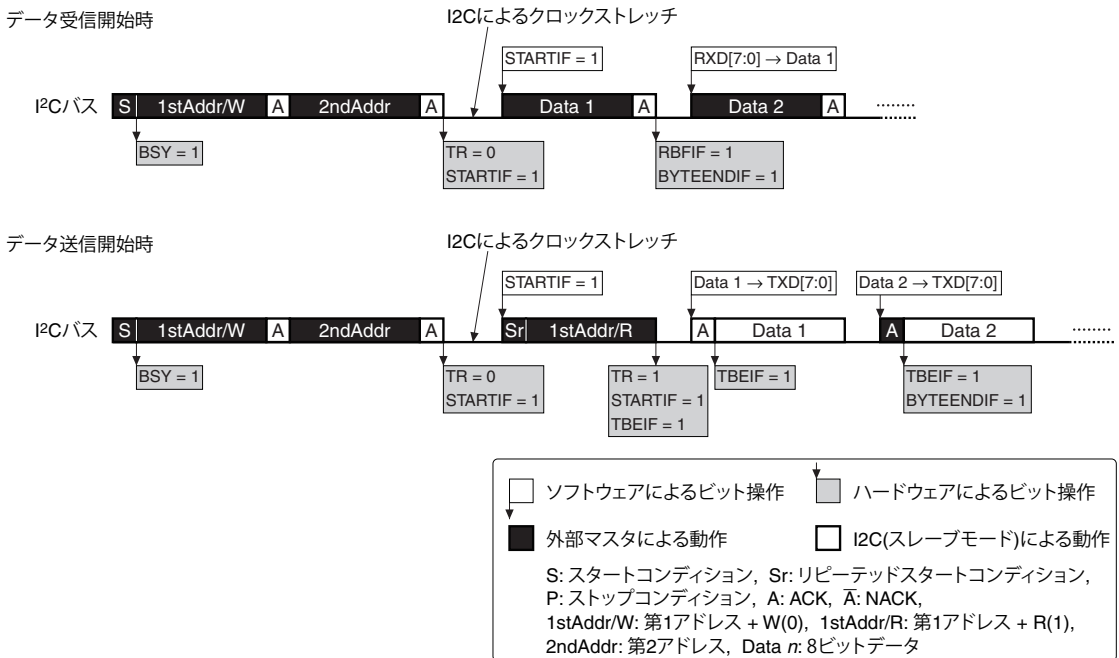


図14.4.7.1 10ビットアドレスモードのデータ送受信開始動作例(スレーブモード)

14.4.8 自動バスクリア動作

マスタモードで動作するI2C Ch.nは、スタートコンディションを生成する直前にSDAの状態をチェックします。このとき、SDAがLOWレベルだった場合は、SDAを解放したまま最大10発のクロックをSCLn端子から送出する、バスクリア動作を自動的に実行します。

9発以内のクロックの送信によってSDAがLOWレベルからHIGHレベルとなり、スタートコンディションを発行できたときは、通常の動作に移ります。I2C Ch.nがクロックを9発送出してもSDAがLOWのままだった場合は、自動バスクリアが失敗したものと判断して、I2C Ch.nはI2CnCTL.TXSTARTビットを0にクリアし、I2CnINTF.ERRIFビットとI2CnINTF.STARTIFビットを1にセットします。

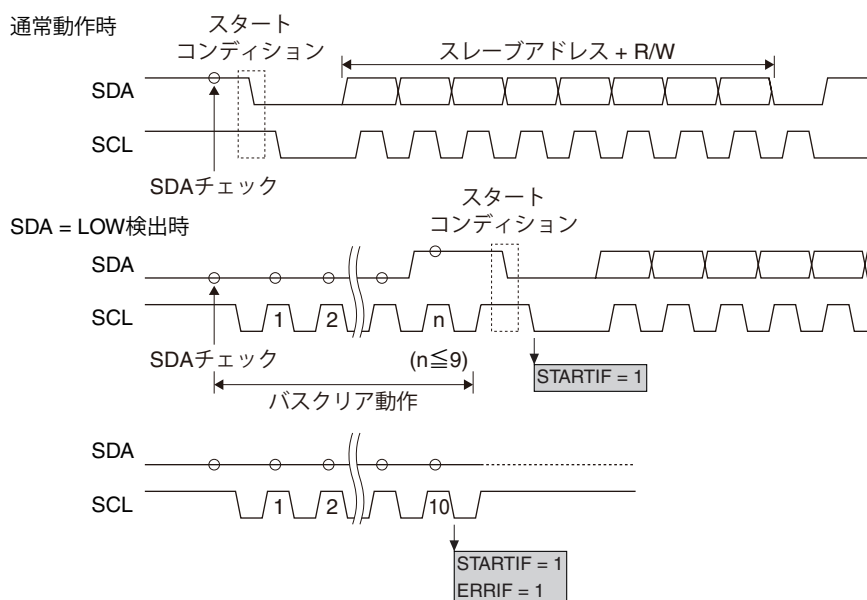


図14.4.8.1 自動バスクリア動作

14.4.9 エラー検出

I²Cには、ハードウェアによるエラー検出機能が搭載されています。

また、I2CnINTF.SDALOWビットとI2CnINTF.SCLLOWビットをソフトウェアで監視することにより、SDAやSCLがLOWに固定されているかどうかを調べることができます。意図しないSDAやSCLのLOWへの固定が検出された場合、I2C Ch.nをソフトウェアリセットするなどの対応を取ることができます。

ハードウェアによるエラー検出と通知方法は、以下のとおりです。

表14.4.9.1 ハードウェアによるエラー検出機能

No.	エラー検出期間/タイミング	監視するI ² Cバスラインとエラー発生条件	通知方法
1	アドレス送付、データ送付、またはNACK送付で、I2C Ch.nがSDAをHIGHに制御している期間	SDA = Low	I2CnINTF.ERRIF = 1
2	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1
3	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTOPビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTOP = 0 I2CnINTF.STOPIF = 1
4	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき(“自動バスクリア動作”を参照)	SDA 自動バスクリアの失敗	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1

14.5 割り込み

I2Cには、表14.5.1に示す割り込みを発生させる機能があります。

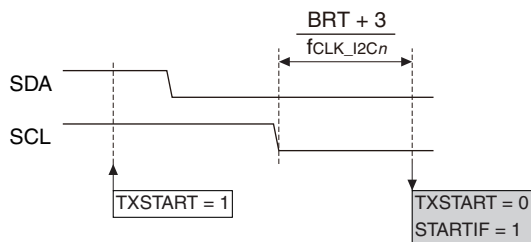
表14.5.1 I2Cの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送受信完了	I2CnINTF.BYTEENDIF	8ビットのデータ送受信と、それに続くACK/NACKの送受信が完了したとき	1書き込み ソフトリセット
ジェネラルコールアドレス受信	I2CnINTF.GCIF	スレーブモードのみ: ジェネラルコールアドレスを受信したとき	1書き込み ソフトリセット
NACK受信	I2CnINTF.NACKIF	NACKを受信したとき	1書き込み ソフトリセット
ストップコンディション	I2CnINTF.STOPIF	マスタモード: ストップコンディションの送付を完了し、ストップコンディションとスタートコンディションの間のバスフリー時間 (t _{BUF}) が経過したとき スレーブモード: I2C Ch.nがスレーブとして選択されている場合にストップコンディションを検出したとき	1書き込み ソフトリセット
スタートコンディション	I2CnINTF.STARTIF	マスタモード: スタートコンディションの送付を完了したとき スレーブモード: アドレス一致が検出されたとき (ジェネラルコールを含む)	1書き込み ソフトリセット
エラー検出	I2CnINTF.ERRIF	“エラー検出”を参照	1書き込み ソフトリセット
受信バッファフル	I2CnINTF.RBFIF	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを空にする) ソフトリセット
送信バッファエンプティ	I2CnINTF.TBEIF	マスタモード: スタートコンディションの送付を完了したとき、またはスレーブからACKを受信したとき スレーブモード: 送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

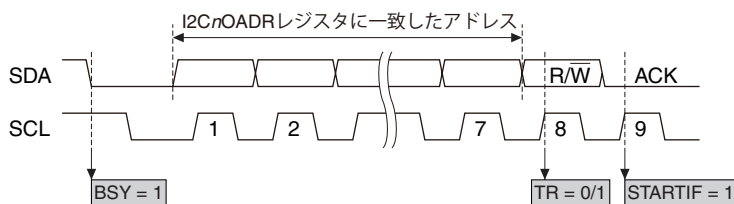
割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

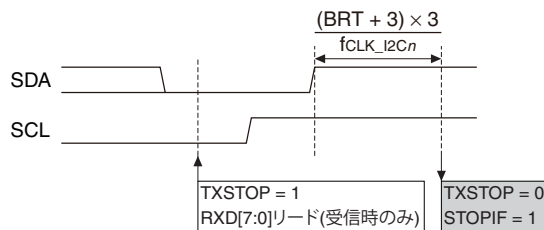
(1) スタートコンディション割り込み

マスタモード

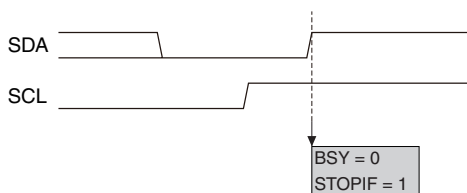


スレーブモード



(2) ストップコンディション割り込み
マスタモード

スレーブモード



(fCLK_I2Cn: I2Cの動作クロック周波数 [Hz], BRT: I2CnBR.BRT[6:0]ビットの設定値(1~127))

図14.5.1 スタート/ストップコンディション割り込みタイミング

14.6 制御レジスタ

I2C Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にI2C動作クロックを供給するかどうか設定します。
 1 (R/W): DEBUGモード時にクロックを供給
 0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、I2C動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、I2Cのクロックソースを選択します。

表14.6.1 クロックソースと分周比の設定

I2CnCLK. CLKDIV[1:0]ビット	I2CnCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: I2CnCLKレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnMOD	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2	OADR10	0	H0	R/W	
	1	GCEN	0	H0	R/W	
	0	-	0	-	R	

Bits 15-3 Reserved

Bit 2 OADR10

このビットは、スレーブモード時の自己アドレスのビット数を設定します。

1 (R/W): 10ビットアドレス

0 (R/W): 7ビットアドレス

Bit 1 GCEN

このビットは、スレーブモード時に、マスタからのジェネラルコールに応答するか否かを設定します。

1 (R/W): ジェネラルコールに応答する

0 (R/W): ジェネラルコールに応答しない

Bit 0 Reserved

注: I2CnMODレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnBR	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6-0	BRT[6:0]	0x7f	H0	R/W	

Bits 15-7 Reserved

Bits 6-0 BRT[6:0]

これらのビットは、マスタモードにおけるI2C Ch.nの転送レートを設定します。詳細は“ポーレートジェネレータ”を参照してください。

注: ・ I2CnBRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

- ・ I2CnBRレジスタを0に設定することを禁止します。

I2C Ch.n Own Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnOADR	15-10	-	0x00	-	R	-
	9-0	OADR[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OADR[9:0]

これらのビットは、スレーブモード時の自己アドレスを設定します。

10ビットアドレスモード(I2CnMOD.OADR10ビット = 1)のときは、I2CnOADR.OADR[9:0]ビットが有効です。7ビットアドレスモード(I2CnMOD.OADR10ビット = 0)のときは、I2CnOADR.OADR[6:0]ビットが有効です。

注: I2CnOADRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCTL	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5	MST	0	H0	R/W	
	4	TXNACK	0	H0/S0	R/W	
	3	TXSTOP	0	H0/S0	R/W	
	2	TXSTART	0	H0/S0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-6 Reserved

Bit 5 MST

このビットは、I2C Ch.nの動作モードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

Bit 4 TXNACK

このビットは、次回の応答時にNACKの送出を要求します。

1 (W): NACKによる応答を要求

0 (W): 無効

1 (R): NACK送出待機中/送出中

0 (R): NACK送出完了

NACKを送出後、このビットは自動的にクリアされます。

Bit 3 TXSTOP

このビットは、マスタモード時にストップコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): ストップコンディションの生成を要求

0 (W): 無効

1 (R): ストップコンディション送出待機中/送出中

0 (R): ストップコンディション送出完了

ストップコンディションを送出し、バスフリー時間(I2C規格におけるt_{BUF})時間が経過した後、このビットは自動的にクリアされます。

Bit 2 TXSTART

このビットは、マスタモード時にスタートコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): スタートコンディションの生成を要求

0 (W): 無効

1 (R): スタートコンディション送出待機中/送出中

0 (R): スタートコンディション送出完了

スタートコンディションの送出が完了すると、このビットは自動的にクリアされます。

Bit 1 SFTRST

このビットは、I2Cをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

I2Cの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、I2Cの動作をイネーブルにします。

1 (R/W): I2C動作イネーブル(動作クロックが供給されます。)

0 (R/W): I2C動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にI2CnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、I2CnCTL.MODENビットを再度1に設定する場合は、必ずI2CnCTL.SFTRSTビットにも1を書き込んでください。

I2C Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 TXD[7:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、I2CnINTF.TBEIFビット = 1になっていることを確認してください。

注: I2CnINTF.TBEIFビット = 0 のときは、I2CnTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

I2C Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnRXD	15-8	-	0x00	-	R	-
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved

Bits 7-0 RXD[7:0]

これらのビットを介して、受信データバッファが読み出せます。

I2C Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnINTF	15-13	-	0x0	-	R	-
	12	SDALOW	0	H0	R	
	11	SCLLOW	0	H0	R	
	10	BSY	0	H0/S0	R	
	9	TR	0	H0	R	
	8	-	0	-	R	
	7	BYTEENDIF	0	H0/S0	R/W	
	6	GCIF	0	H0/S0	R/W	
	5	NACKIF	0	H0/S0	R/W	
	4	STOPIF	0	H0/S0	R/W	
	3	STARTIF	0	H0/S0	R/W	
	2	ERRIF	0	H0/S0	R/W	Cleared by reading the I2CnRXD register.
1	RBFIF	0	H0/S0	R		
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2CnTXD register.	

Bits 15-13 Reserved

Bit 12 SDALOW

このビットは、SDAがLOWレベルであることを示します。

1 (R): SDA = LOWレベル

0 (R): SDA = HIGHレベル

Bit 11 SCLLOW

このビットは、SCLがLOWレベルであることを示します。

1 (R): SCL = LOWレベル

0 (R): SCL = HIGHレベル

Bit 10 BSY

このビットは、I²Cバスがビジー状態であることを示します。

1 (R): I²Cバスビジー

0 (R): I²Cバスフリー

Bit 9 TR

このビットは、I2Cが送信モードか否かを示します。

1 (R): 送信モード

0 (R): 受信モード

Bit 8 Reserved**Bit 7 BYTEENDIF****Bit 6 GCIF****Bit 5 NACKIF****Bit 4 STOPIF****Bit 3 STARTIF****Bit 2 ERRIF****Bit 1 RBFIF****Bit 0 TBEIF**

これらのビットは、I2C割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

I2C_nINTF.BYTEENDIFビット: 送受信完了割り込み

I2C_nINTF.GCIFビット: ジェネラルコールアドレス受信割り込み

I2C_nINTF.NACKIFビット: NACK受信割り込み

I2C_nINTF.STOPIFビット: ストップコンディション割り込み

I2C_nINTF.STARTIFビット: スタートコンディション割り込み

I2C_nINTF.ERRIFビット: エラー検出割り込み

I2C_nINTF.RBFIFビット: 受信バッファフル割り込み

I2C_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

I2C Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C _n INTE	15-8	-	0x00	-	R	-
	7	BYTEENDIE	0	H0	R/W	
	6	GCIE	0	H0	R/W	
	5	NACKIE	0	H0	R/W	
	4	STOPIE	0	H0	R/W	
	3	STARTIE	0	H0	R/W	
	2	ERRIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15-8 Reserved

Bit 7	BYTEENDIE
Bit 6	GCIE
Bit 5	NACKIE
Bit 4	STOPIE
Bit 3	STARTIE
Bit 2	ERRIE
Bit 1	RBFIE
Bit 0	TBEIE

これらのビットは、I2Cの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

I2CnINTE.BYTEENDIEビット: 送受信完了割り込み

I2CnINTE.GCIEビット: ジェネラルコールアドレス受信割り込み

I2CnINTE.NACKIEビット: NACK受信割り込み

I2CnINTE.STOPIEビット: ストップコンディション割り込み

I2CnINTE.STARTIEビット: スタートコンディション割り込み

I2CnINTE.ERRIEビット: エラー検出割り込み

I2CnINTE.RBFIEビット: 受信バッファフル割り込み

I2CnINTE.TBEIEビット: 送信バッファエンプティ割り込み

15 16ビットPWMタイマ(T16B)

15.1 概要

T16Bは、コンパレータ/キャプチャ機能を持つ16ビットPWMタイマです。主な機能と特長を以下に示します。

- カウンタブロック
 - 16ビットアップ/ダウンカウンタ
 - クロックソースと分周比の選択により、チャンネル別にカウントクロックを設定可能
 - アップカウント、ダウンカウント、またはアップ/ダウンカウント動作と、ワンショット動作(設定した1周期でカウント停止)またはリピート動作(ソフトウェアで停止するまで連続カウント)を組み合わせてカウント動作モードを設定可能
 - 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータ/キャプチャブロック
 - 1チャンネルあたり最大6系統のコンパレータ/キャプチャ回路を内蔵可能
 - コンパレータはカウンタ値とソフトウェアで指定した値を比較し、割り込み信号やPWM波形を生成(インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用可能)
 - キャプチャ回路は外部/ソフトウェアトリガ信号によってカウンタ値をキャプチャし、割り込みを発生(外部イベント期間/周期測定に使用可能)

図15.1.1にT16Bの構成を示します。

表15.1.1 S1C17W03/W04のT16Bチャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	2チャンネル (Ch.0とCh.1)	
イベントカウンタ機能	Ch.0: EXCL00, EXCL01端子入力 Ch.1: EXCL10, EXCL11端子入力	
チャンネル内コンパレータ/ キャプチャ回路数	2系統(0と1)	
タイマ生成信号出力	Ch.0: TOUT00, TOUT01端子出力(2系統) Ch.1: TOUT10, TOUT11端子出力(2系統)	
キャプチャ信号入力	Ch.0: CAP00, CAP01端子入力(2系統) Ch.1: CAP10, CAP11端子入力(2系統)	

注: 本章では、チャンネル番号をn、入出力端子番号およびチャンネル内のコンパレータ/キャプチャ回路番号をmと記述します。

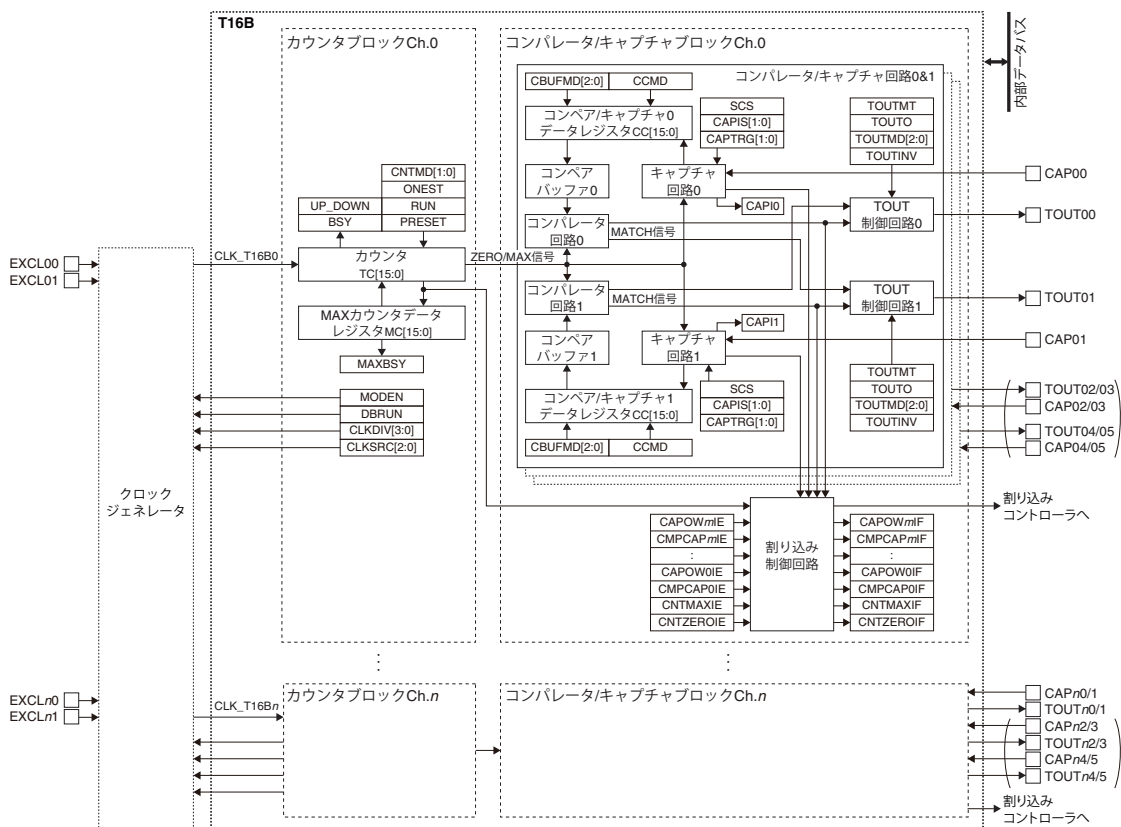


図15.1.1 T16Bの構成

15.2 入出力端子

表15.2.1にT16Bの端子一覧を示します。

表15.2.1 T16B端子一覧

端子名	I/O*	イニシャル状態*	機能
EXCLnm	I	I (Hi-Z)	外部クロック入力
TOUTnm/CAPnm	O or I	O (L)	TOUT信号出力(コンパレータモード時)またはキャプチャトリガ信号入力(キャプチャモード時)

* 端子機能をT16Bに切り換えた時点の状態

これらのT16B端子と他の機能がポートを共有している場合、T16Bを使用する前にT16Bの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

15.3 クロック設定

15.3.1 T16Bの動作クロック

T16B Ch.*n*を使用する場合、クロックジェネレータからT16B Ch.*n*動作クロックCLK_T16B*n*をT16B Ch.*n*に供給する必要があります。

CLK_T16B*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
 - 外部クロックを使用する場合は、EXCL*nm*端子機能を選択する(“入出力ポート”の章を参照)。
2. T16B*n*CLKレジスタの以下のビットを設定する。
 - T16B*n*CLK.CLKSRC[2:0]ビット (クロックソースの選択)
 - T16B*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

15.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16Bを使用する場合は、T16B動作クロックCLK_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_T16B*n*を供給し続ける必要があります。

SLEEPモード時に、CLK_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK_T16B*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16Bが停止します。その後通常モードに戻ると、CLK_T16B*n*が供給され、T16Bの動作が再開します。

15.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_T16B*n*の供給はT16B*n*CLK.DBRUNビットで制御します。

T16B*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとT16B Ch.*n*へのCLK_T16B*n*の供給が停止します。その後通常モードに戻ると、CLK_T16B*n*の供給が再開します。CLK_T16B*n*の供給が停止するとT16B Ch.*n*の動作は停止しますが、カウンタやレジスタはDEBUGモードへ移行前の状態に保持されます。

T16B*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_T16B*n*の供給は停止せず、T16B Ch.*n*は動作を継続します。

15.3.4 イベントカウンタクロック

T16B*n*CLK.CLKSRC[2:0]ビットでクロックソースにEXCL*nm*を選択すると、そのチャンネルはEXCL*nm*端子の入力クロックをカウントするタイマまたはイベントカウンタとして機能します。

カウンタは入力信号の立ち上がりエッジでカウントを行います。クロックソースにEXCL*nm*反転入力を選択することで、オリジナル信号の立ち下がりエッジでカウントさせることもできます。

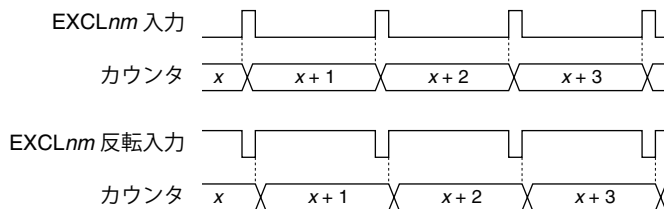


図15.3.4.1 カウントタイミング(カウントアップ動作時)

注: イベントカウンタクロックで動作させる場合、初回のカウントアップ/ダウンまでにダミーのクロックが2クロック必要になります。

15.4 動作

15.4.1 初期設定

T16B Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。
インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用する場合はコンパレータモード時の初期設定を、外部イベント期間/周期測定に使用する場合はキャプチャモード時の初期設定を行ってください。

コンパレータモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16BnCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16BnCCCTL0およびT16BnCCCTL1レジスタの以下のビットを設定する。
 - T16BnCCCTL*m*.CCMDビットを0に設定* (コンパレータモードに設定)
 - T16BnCCCTL*m*.CBUFMD[2:0]ビット (コンペアバッファの設定)
 * コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をキャプチャモードに設定することも可能です。
- TOUT*nm*出力を使用する場合は以下のビットも設定する。
 - T16BnCCCTL*m*.TOUTMTビット (波形生成信号の選択)
 - T16BnCCCTL*m*.TOUTMD[2:0]ビット (TOUT信号生成モードを選択)
 - T16BnCCCTL*m*.TOUTINVビット (TOUT信号極性の選択)
4. T16BnMCレジスタを設定する。 (MAXカウンタデータを設定)
5. T16BnCCR0レジスタ、T16BnCCR1レジスタを設定する。 (カウンタ比較値を設定)
6. 割り込みを使用する場合は以下のビットを設定する。
 - T16BnINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
 - T16BnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
7. T16BnCTLレジスタの以下のビットを設定する。
 - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
 - T16BnCTL.ONESTビット (ワンショット/リピート動作の選択)
 - T16BnCTL.PRESETビットを1に設定 (カウンタリセット)
 - T16BnCTL.RUNビットを1に設定 (カウント開始)

キャプチャモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16BnCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16BnCCCTL0およびT16BnCCCTL1レジスタの以下のビットを設定する。
 - T16BnCCCTL*m*.CCMDビットを1に設定* (キャプチャモードに設定)
 - T16BnCCCTL*m*.SCSビット (同期/非同期モードの設定)
 - T16BnCCCTL*m*.CAPIS[1:0]ビット (トリガ信号の設定)
 - T16BnCCCTL*m*.CAPTRG[1:0]ビット (トリガエッジの選択)
 * コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をコンパレータモードに設定することも可能です。
4. T16BnMCレジスタを設定する。 (MAXカウンタデータを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
 - T16BnINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
 - T16BnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
6. T16BnCTLレジスタの以下のビットを設定する。
 - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
 - T16BnCTL.ONESTビット (ワンショット/リピート動作の選択)
 - T16BnCTL.PRESETビットを1に設定 (カウンタリセット)
 - T16BnCTL.RUNビットを1に設定 (カウント開始)

15.4.2 カウンタブロックの動作

各カウンタブロックチャネルのカウンタは、選択した動作クロック(カウントクロック)をカウントする16ビットアップ/ダウンカウンタです。

カウントモード

T16B n CTL.CNTMD[1:0]ビットでアップ、ダウン、アップ/ダウンモードを、T16B n CTL.ONESTビットでリピート、ワンショットモードを選択可能です。カウンタは、この組み合わせにより6種類のカウントモードで動作します。

リピートモードは、ソフトウェアで停止するまでカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合などに選択します。

ワンショットモードは、カウンタが自動的に停止します。パルス幅など、外部イベント間隔を測定する場合や、特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

アップ、ダウン、アップ/ダウンモードは、カウンタをそれぞれアップカウンタ、ダウンカウンタ、アップ/ダウンカウンタとして動作させます。

MAXカウンタデータレジスタ

MAXカウンタデータレジスタ(T16B n MC.MC[15:0]ビット)は、カウンタの最大値(以降、MAX値)を設定するために使用します。この設定により、カウント範囲が0x0000～MAX値に制限され、カウントや割り込みの周期が決定します。なお、カウンタがリピートモードに設定されている場合は、動作中でも次の手順でMAX値の書き換えが可能です。

1. T16B n CTL.MAXBSYビットが0になっていることを確認する。
2. T16B n MC.MC[15:0]ビットにMAX値を書き込む。

注: MAX値を書き換える場合は、以前設定されたMAX値にカウンタがリセットされてから新たなMAX値を書き込んでください。

カウンタのリセット

カウンタは、T16B n CTL.PRESETビットを1に設定することによりリセットされます。アップまたはアップ/ダウンモード時は、カウンタが0x0000にクリアされます。ダウンモード時はカウンタがMAX値に設定されます。

また、カウントアップ動作中は、カウンタ値がMAX値を超えた時点で0x0000にクリアされます。

カウント開始

カウントを開始するには、T16B n CTL.RUNビットを1に設定します。カウントの停止制御は、設定されているカウントモードによって変わります。

カウンタ値のリード

カウンタ値は、T16B n TC.TC[15:0]ビットから読み出せます。ただし、CLK_T16B n で動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

カウンタステータスの確認

カウンタの動作状態は、T16B n CS.BSYビットで確認可能です。カウンタが動作中はT16B n CS.BSYビットが1、停止中は0になります。

また、現在のカウント方向がT16B n CS.UP_DOWNビットで確認可能です。カウントアップ動作中はT16B n CS.UP_DOWNビットが1、カウントダウン動作中は0になります。

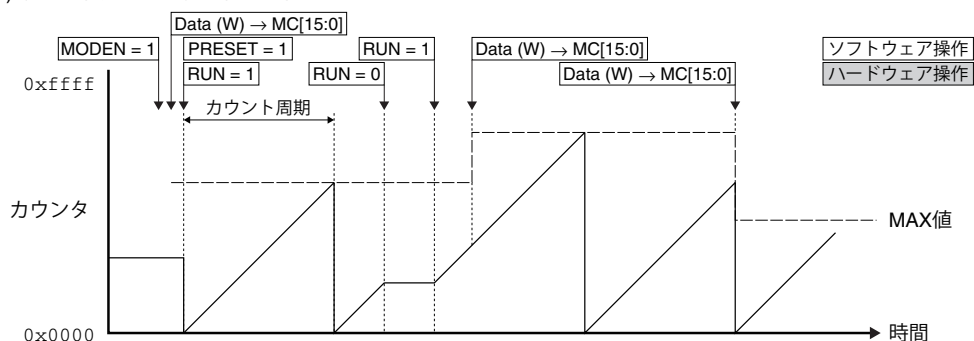
リピートアップカウントモード、ワンショットアップカウントモードの動作

これらのモードでは、カウンタがアップカウンタとして動作し、0x0000(または現在値)からMAX値までカウントを行います。

リピートアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その後もT16B n CTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。

現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。
ワンショットアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その時点で自動的に停止します。

(1) リピートアップカウントモード



(2) ワンショットアップカウントモード

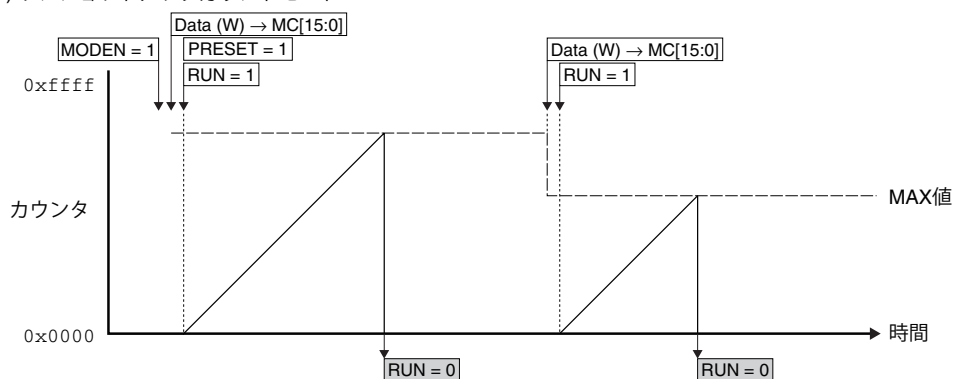


図15.4.2.1 リピートアップカウントモード、ワンショットアップカウントモードの動作

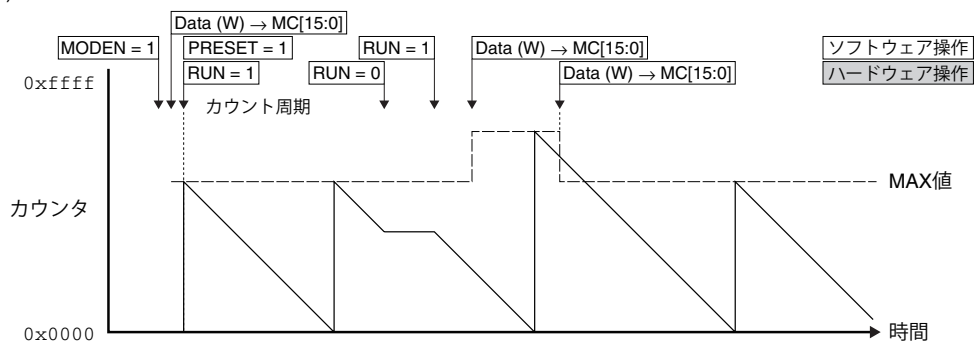
リピートダウンカウントモード、ワンショットダウンカウントモードの動作

これらのモードでは、カウンタがダウンカウンタとして動作し、MAX値(または現在値)から0x0000までカウントを行います。

リピートダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その後もT16BnCTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を変更した場合もそのまま0x0000までカウントし、アンダーフロー後に新たなMAX値からカウントダウンを続けます。

ワンショットダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その時点で自動的に停止します。

(1) リピートダウンカウントモード



(2) ワンショットダウンカウントモード

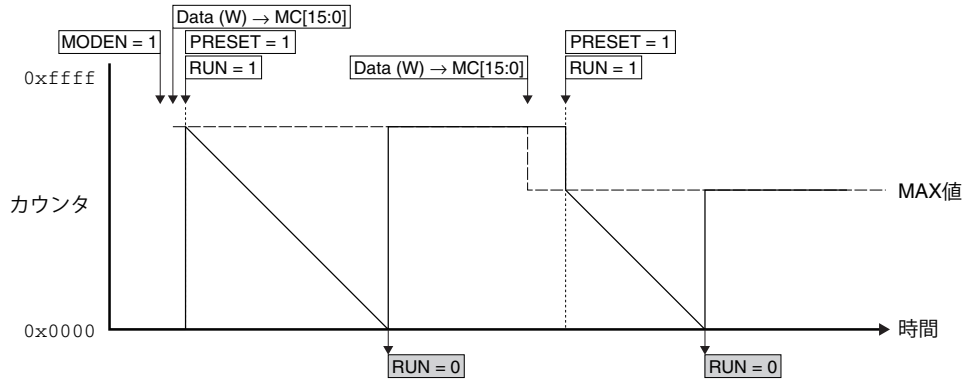


図15.4.2.2 リピートダウンカウントモード、ワンショットダウンカウントモードの動作

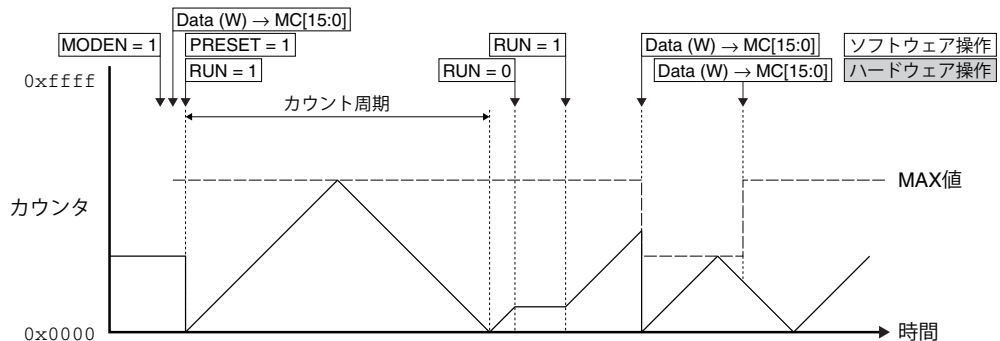
リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

これらのモードでは、カウンタがアップ/ダウンカウンタとして動作し、0x0000(または現在値)→MAX値→0x0000のカウントを行います。

リピートアップ/ダウンカウントモード時は、T16BnCTL.RUNビットを0に設定するまで、0x0000からMAX値までのカウントアップと、MAX値から0x0000までのカウントダウンを繰り返します。カウンタがカウントアップ動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。カウントダウン動作中にMAX値を変更した場合はそのまま0x0000までカウント後、新たなMAX値までカウントアップを続けます。

ワンショットアップ/ダウンカウントモード時は、カウンタがカウントダウンによって0x0000になると自動的に停止します。

(1) リピートアップ/ダウンカウントモード



(2) ワンショットアップ/ダウンカウントモード

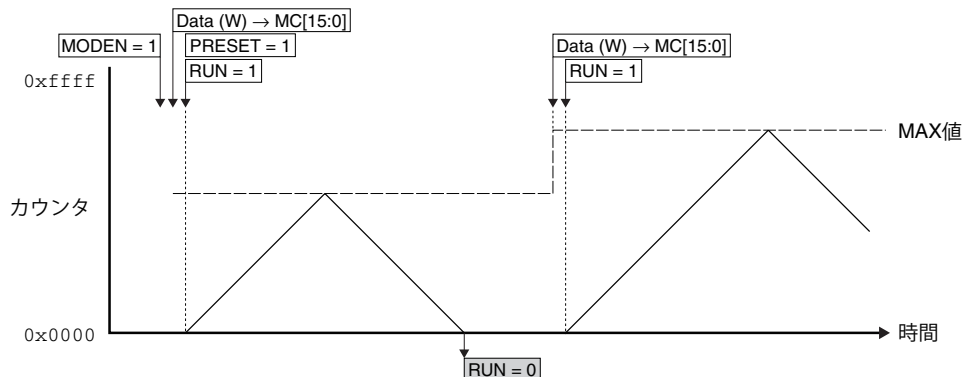


図15.4.2.3 リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

15.4.3 コンパレータ/キャプチャブロックの動作

コンパレータ/キャプチャブロックは、ソフトウェアにより選択した動作モードに従ってカウンタ値とレジスタ設定値を比較するコンパレータ、または外部/ソフトウェアトリガ信号によってカウンタ値を取得するキャプチャ回路として機能します。

コンパレータ/キャプチャブロックの動作モード

コンパレータ/キャプチャブロックには2系統(4系統、または6系統)のコンパレータ/キャプチャ回路が組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。

コンパレータモードに設定するには、T16BnCCCTLm.CCMDビットを0に、キャプチャモードに設定するには1に設定します。

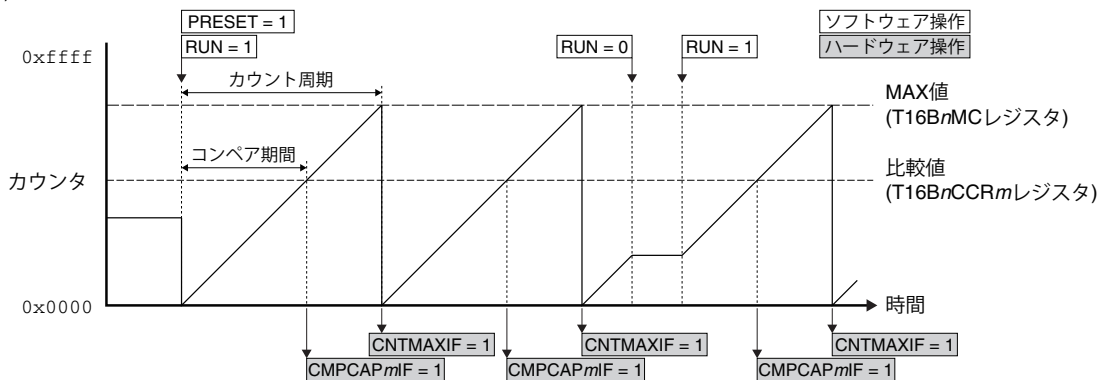
コンパレータモードの動作

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16BnCCRmレジスタは比較値を設定しておくコンペアデータレジスタとして機能します。また、TOUTnm/CAPnm端子はTOUTnm端子となります。

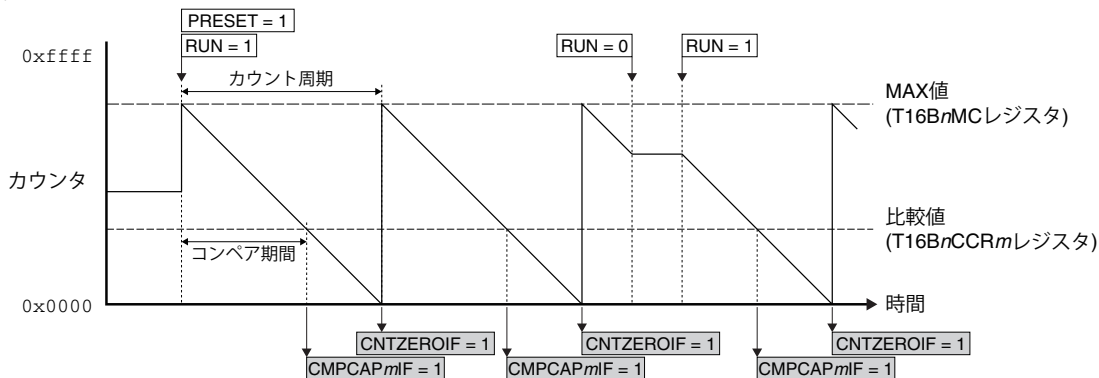
カウント中にカウンタ値がT16BnCCRmレジスタの設定値になると、コンパレータからMATCH信号が出力され、T16BnINTF.COMPCAPmIFビット(コンペア割り込みフラグ)が1にセットされます。

また、コンパレータモードでカウンタ値がMAX値に達した場合はT16BnINTF.CNTMAXIFビット(カウンタMAX割り込みフラグ)が、カウンタ値が0x0000になった場合はT16BnINTF.CNTZEROIFビット(カウンタゼロ割り込みフラグ)がそれぞれ1にセットされます。

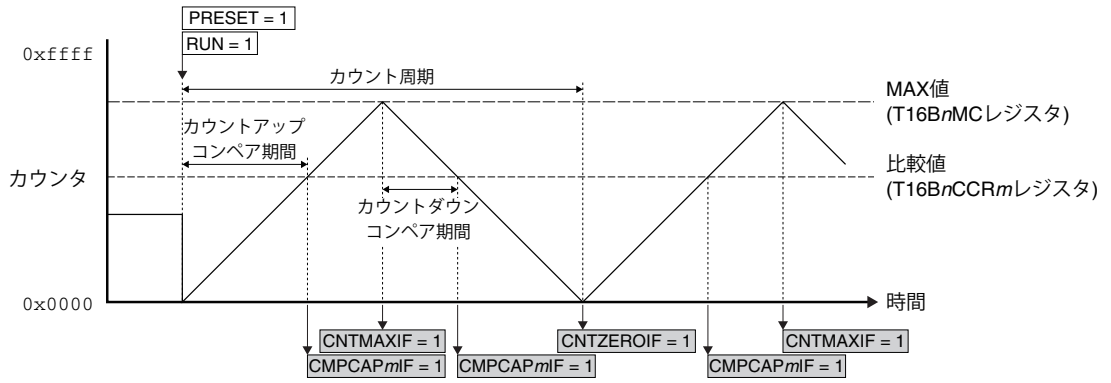
(1) リピートアップカウントモード



(2) リピートダウンカウントモード



(3) リピートアップ/ダウンカウントモード



(ソフトウェアによるT16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図15.4.3.1 コンパレータモード時の動作例

カウンタ = 0x0000またはMAX値からコンペア割り込みが発生するまでの期間(コンペア期間)、およびカウンタMAXまたはカウンタゼロ割り込みが発生するまでの期間(カウント周期)は次のように計算できます。

カウントアップ時

$$\text{コンペア期間} = \frac{(CC + 1)}{f_{\text{CLK_T16B}}} [\text{秒}] \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} [\text{秒}] \quad (\text{式15.1})$$

カウントダウン時

$$\text{コンペア期間} = \frac{(MAX - CC + 1)}{f_{\text{CLK_T16B}}} [\text{秒}] \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} [\text{秒}] \quad (\text{式15.2})$$

ここで

CC: T16BnCCRmレジスタ設定値(0~65,535)

MAX: T16BnMCレジスタ設定値(0~65,535)

fCLK_T16B: カウントクロック周波数 [Hz]

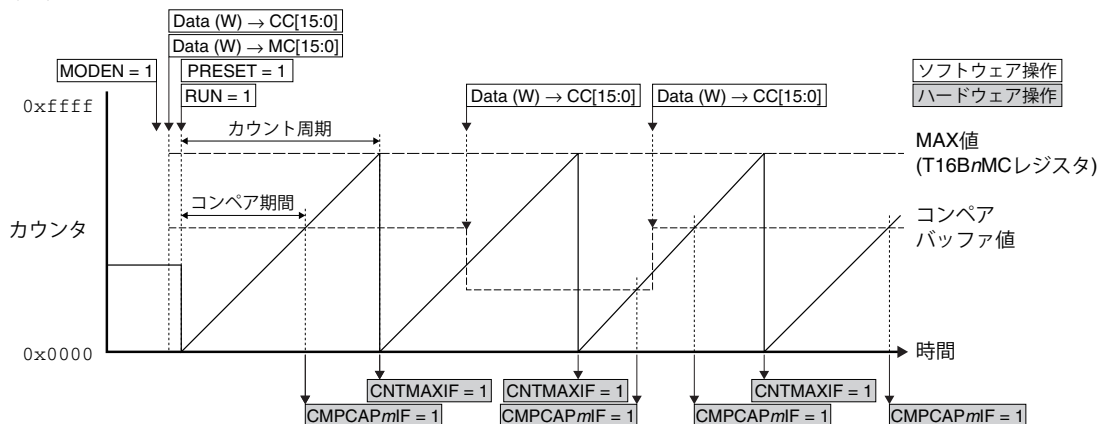
コンパレータのMATCH信号とカウンタMAX/ZERO信号は、タイマ出力波形(TOUT)の生成にも使用されます。詳細については、“TOUT出力の制御”を参照してください。

コンペアバッファ

コンパレータは、T16BnCCRmレジスタに書き込まれた比較値をコンペアバッファにロードしてカウンタ値と比較します。たとえば、PWM波形を生成する場合、カウンタ動作と非同期に比較値を変更すると期待したデューティの波形が生成できません。このため、コンペアバッファにはカウンタの動作に同期して比較値がロードされるように、そのタイミングをT16BnCCCTLm.CBUFMD[2:0]ビットで設定することができます。

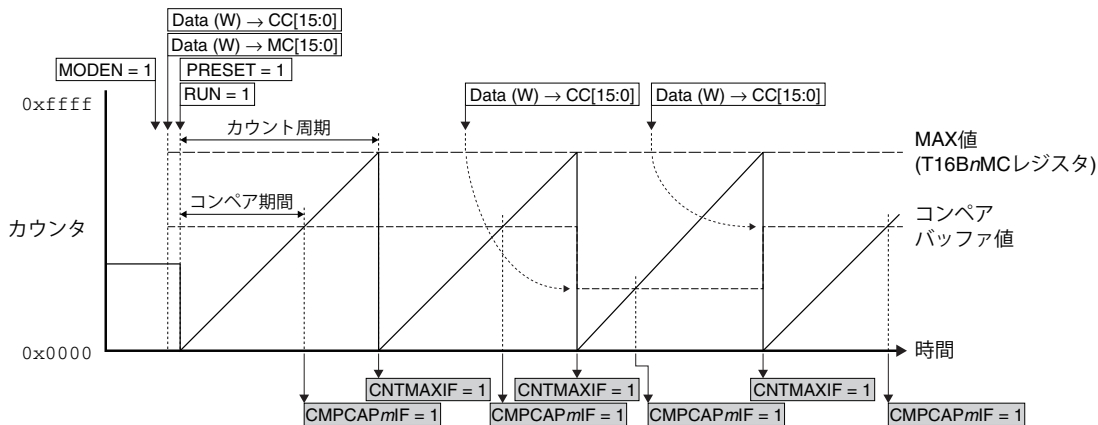
(1) リピートアップカウントモード

(1.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0

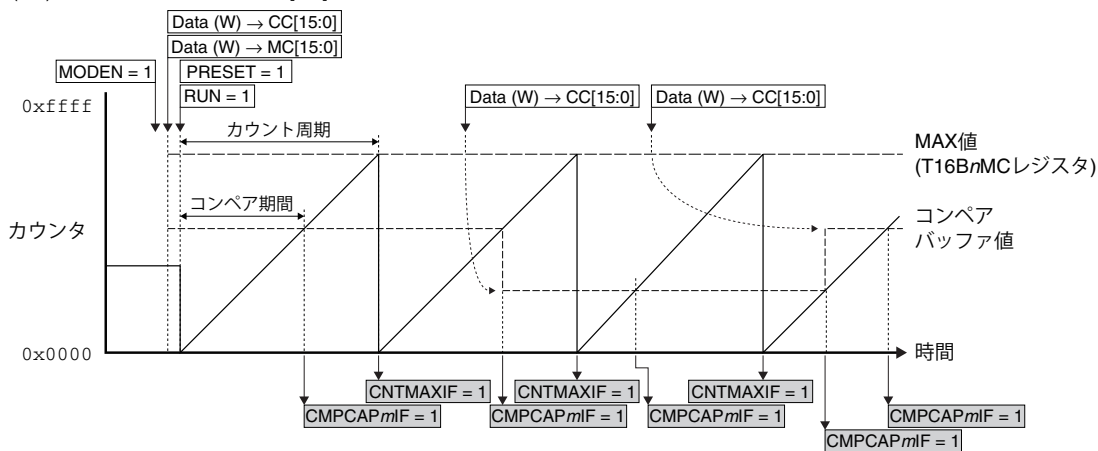


15 16ビットPWMタイマ(T16B)

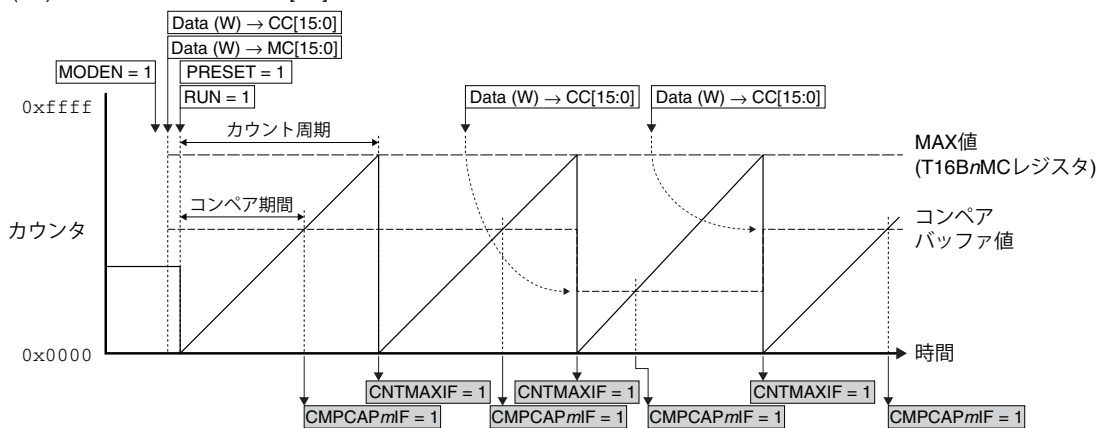
(1.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



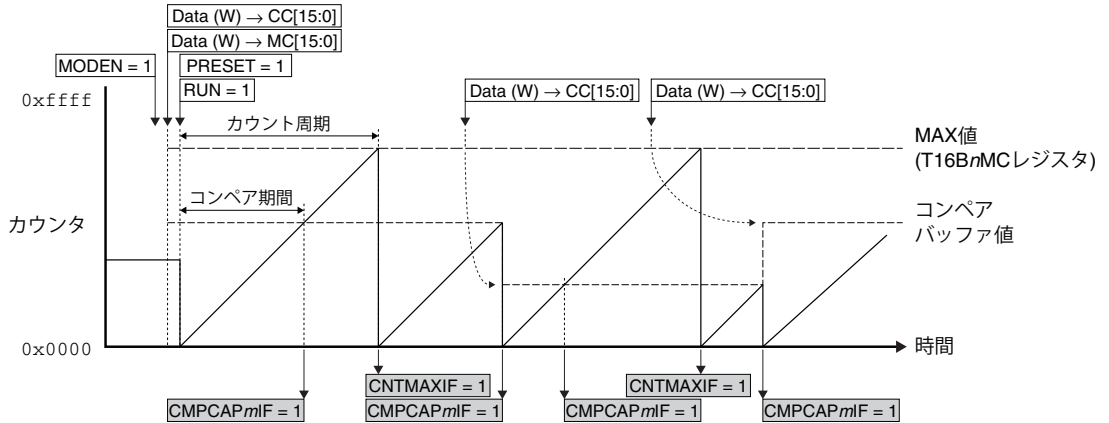
(1.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(1.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3

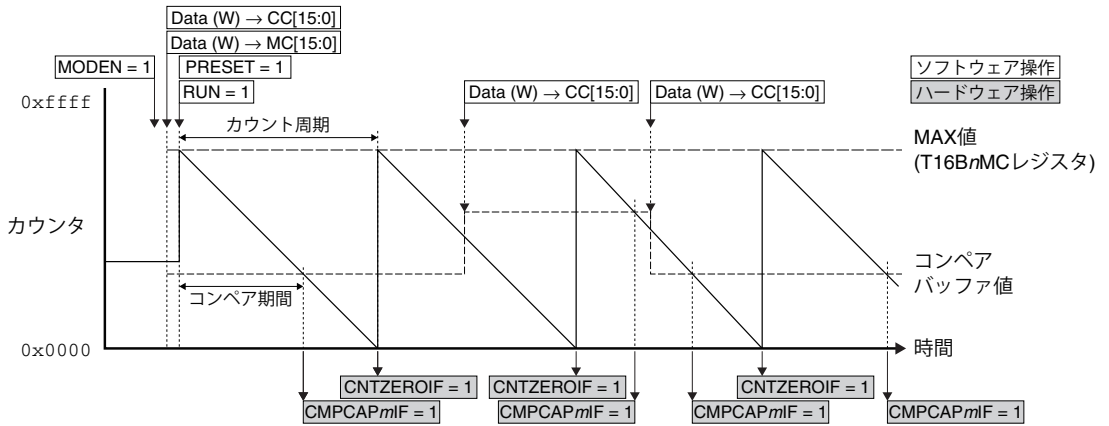


(1.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

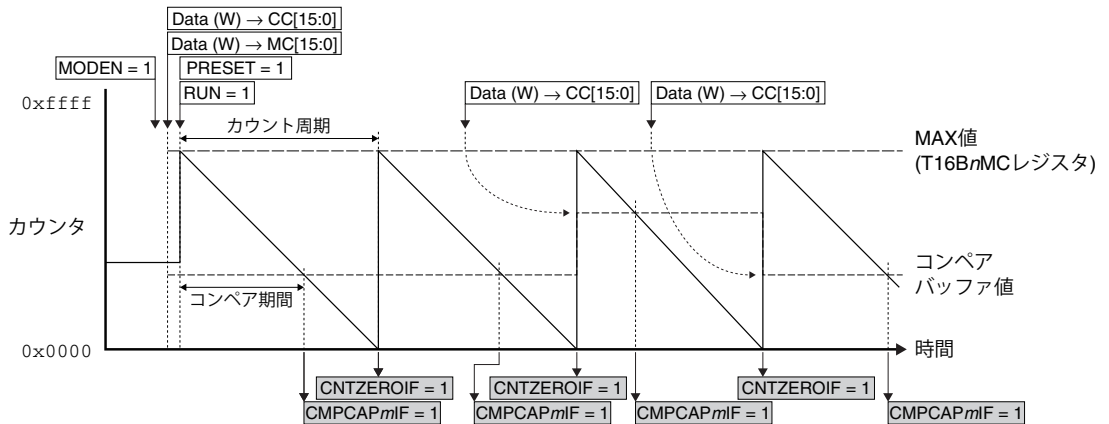


(2) リピートダウンカウントモード

(2.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0

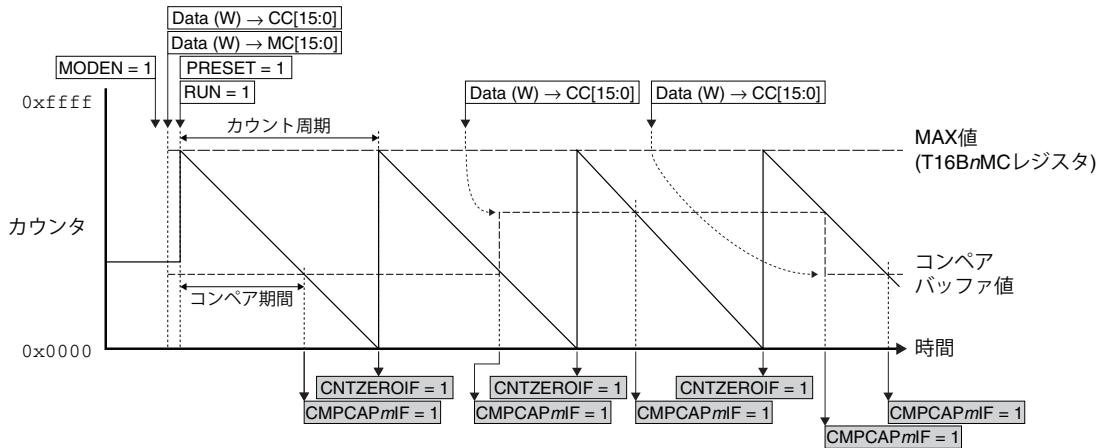


(2.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1

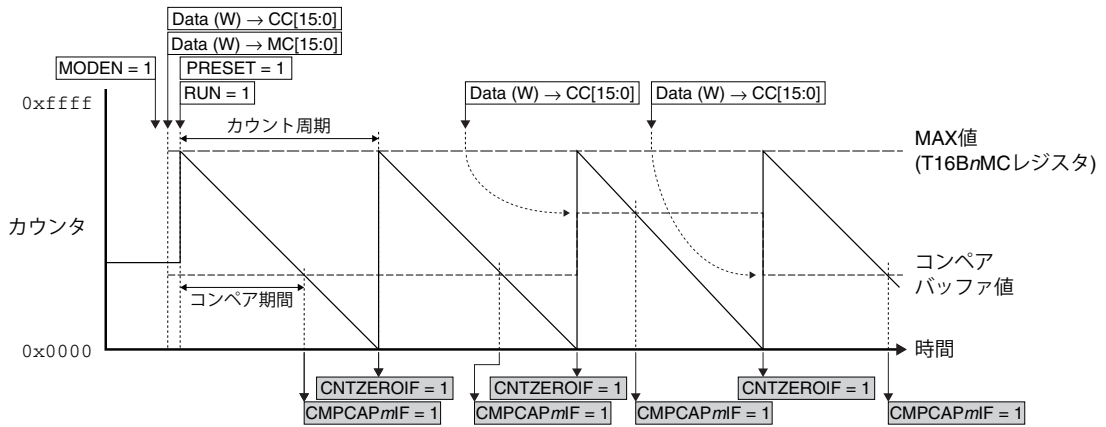


15 16ビットPWMタイマ(T16B)

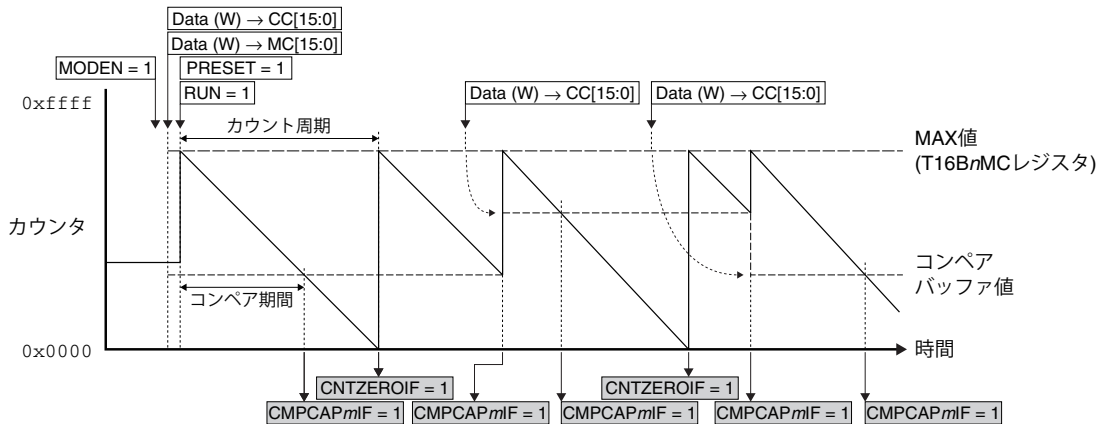
(2.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(2.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3

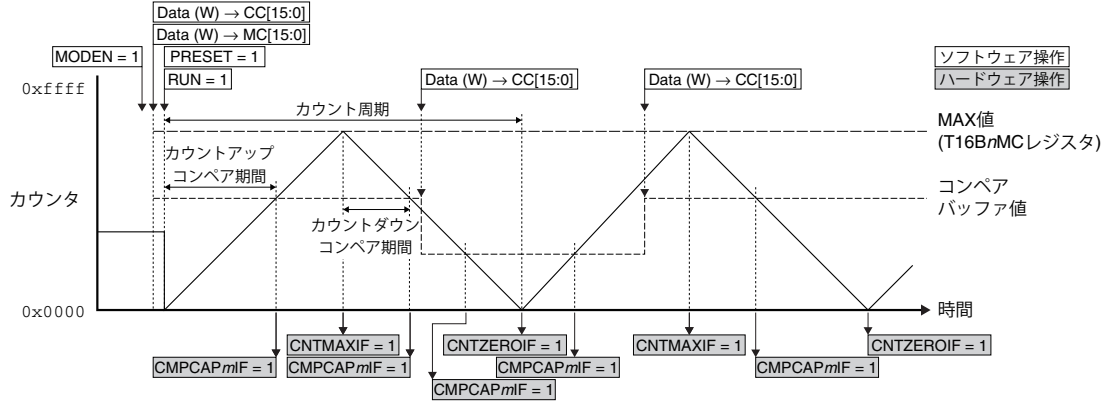


(2.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

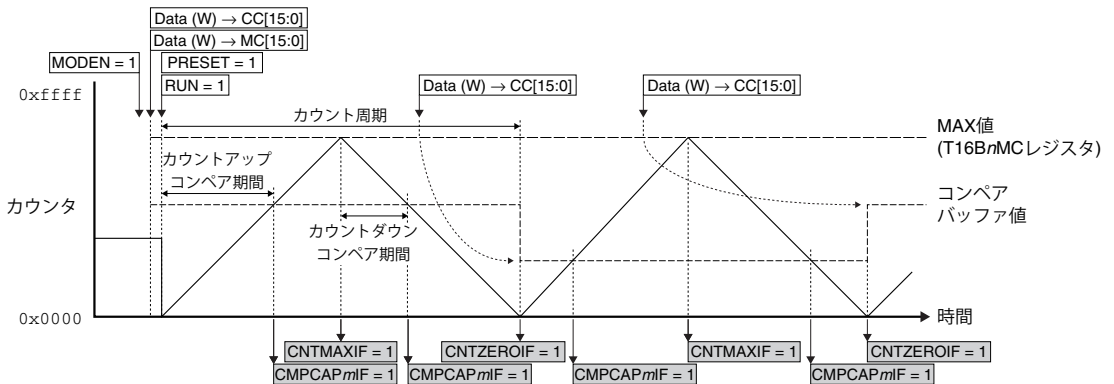


(3) リピートアップ/ダウンカウントモード

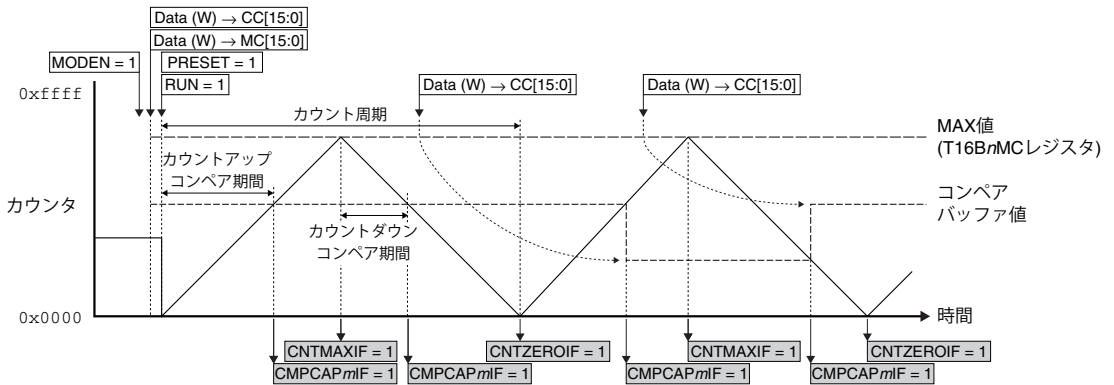
(3.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0



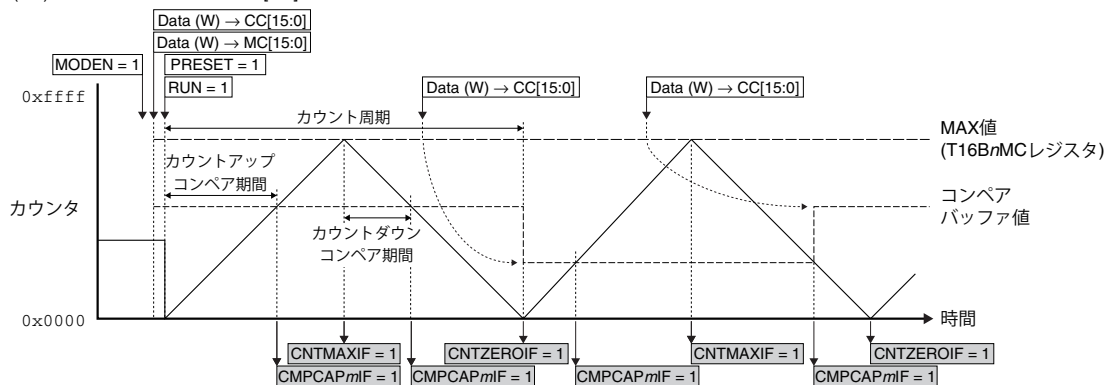
(3.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



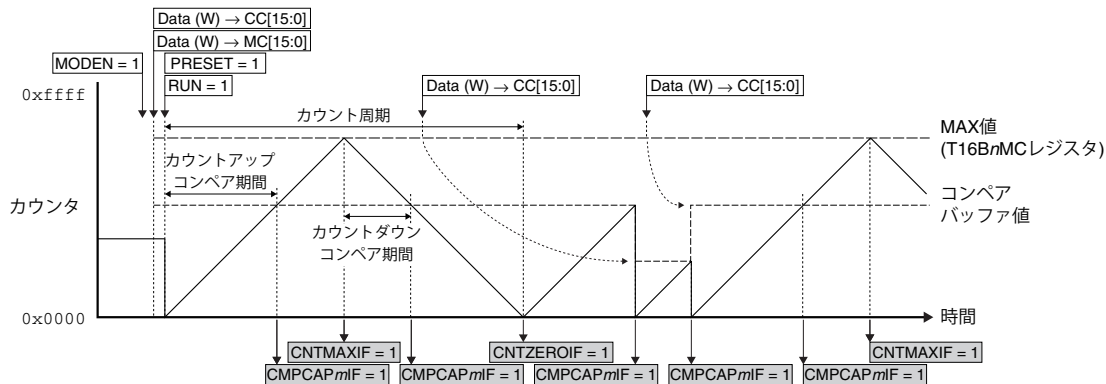
(3.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(3.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3



(3.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4



(ソフトウェアによるT16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図15.4.3.2 コンペアバッファの動作

キャプチャモードの動作

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力/ソフトウェアトリガ信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16BnCCRmレジスタがキャプチャデータを読み出すためのキャプチャレジスタとして機能します。また、TOUTnm/CAPnm端子はCAPnm端子となります。

カウンタ値をキャプチャするためのトリガ信号とトリガエッジは、それぞれT16BnCCCTLm.CAPIS[1:0]ビットとT16BnCCCTLm.CAPTRG[1:0]ビットにより選択します。

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がT16BnCCRmレジスタにロードされます。同時にT16BnINTF.CMPCAPmIFビットがセットされます。これによる割り込みを利用して、キャプチャデータをT16BnCCRmレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

T16BnINTF.CMPCAPmIFビットがセットされた状態で、次のトリガによりT16BnCCRmレジスタのキャプチャデータが上書きされた場合は、オーバーライトエラーとなります(T16BnINTF.CAPOWmIFビットがセットされます)。

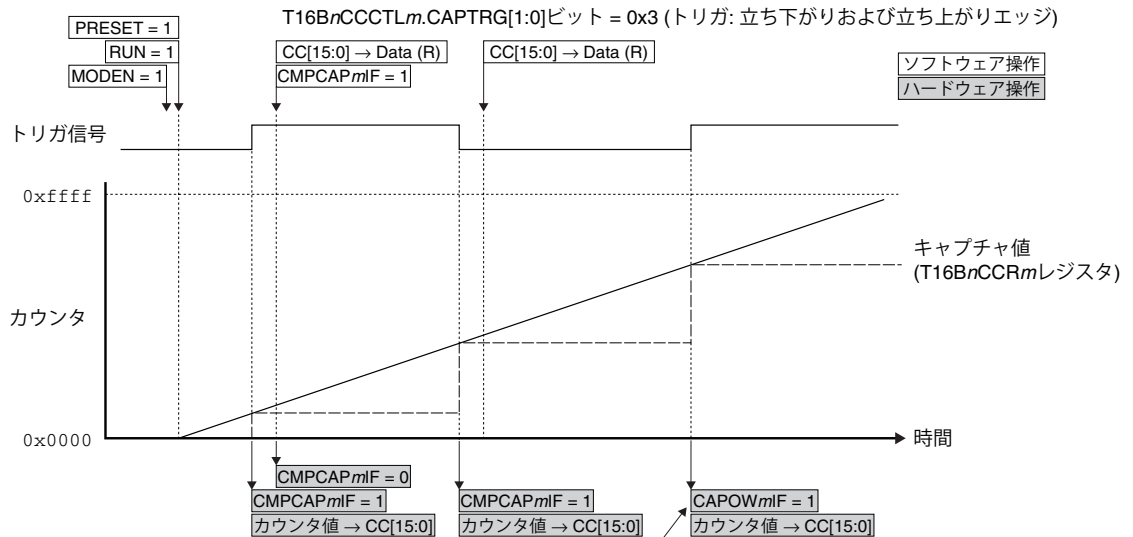


図15.4.3.3 キャプチャモードの動作(ワンショットアップカウントモードの例)

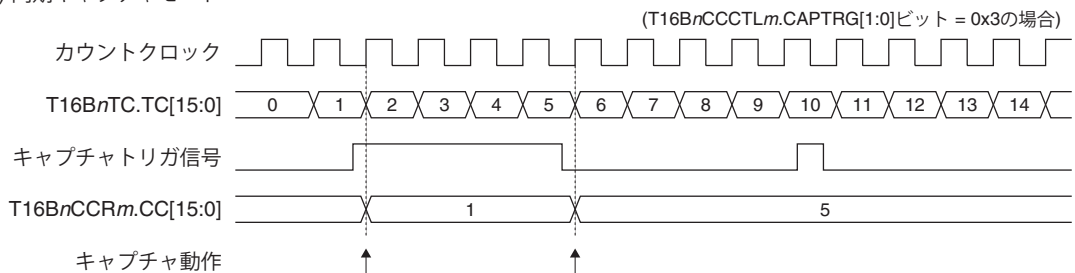
同期キャプチャモード/非同期キャプチャモード

キャプチャ回路は、同期キャプチャモードと非同期キャプチャモードの2つのモードで動作可能です。

同期キャプチャモードは、カウンタデータが変化する瞬間のキャプチャ動作により、誤ったデータを読み出す可能性を回避するための動作モードです。同期キャプチャモードにするには、T16BnCCCTLm.SCSビットを1に設定します。このモードでは、キャプチャ信号をカウンタのクロックと同期させて、カウントデータをキャプチャします。

一方、非同期キャプチャモードは、同期キャプチャモードでは不可能な、カウントクロック周期よりも短いトリガパルスを検出してカウントデータをキャプチャすることができます。非同期キャプチャモードにするには、T16BnCCCTLm.SCSビットを0に設定します。

(1) 同期キャプチャモード



(2) 非同期キャプチャモード

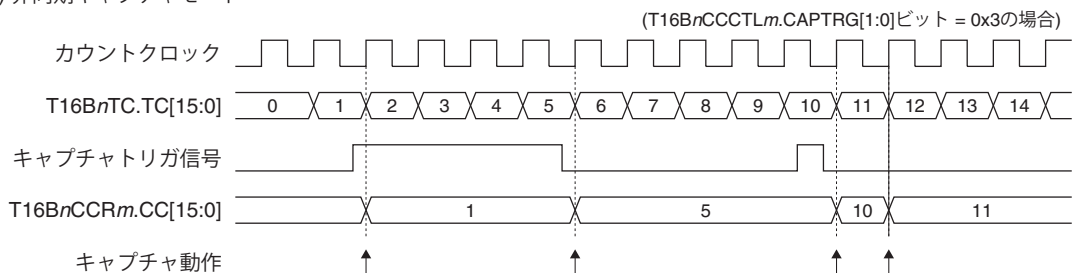


図15.4.3.4 同期キャプチャモード/非同期キャプチャモード

15.4.4 TOUT出力の制御

コンパレータモードでは、コンパレータのMATCH信号およびカウンタのMAX/ZERO信号によってTOUT信号を生成し、IC外部に出力することができます。図15.4.4.1にTOUT出力回路(回路0&1)を示します。

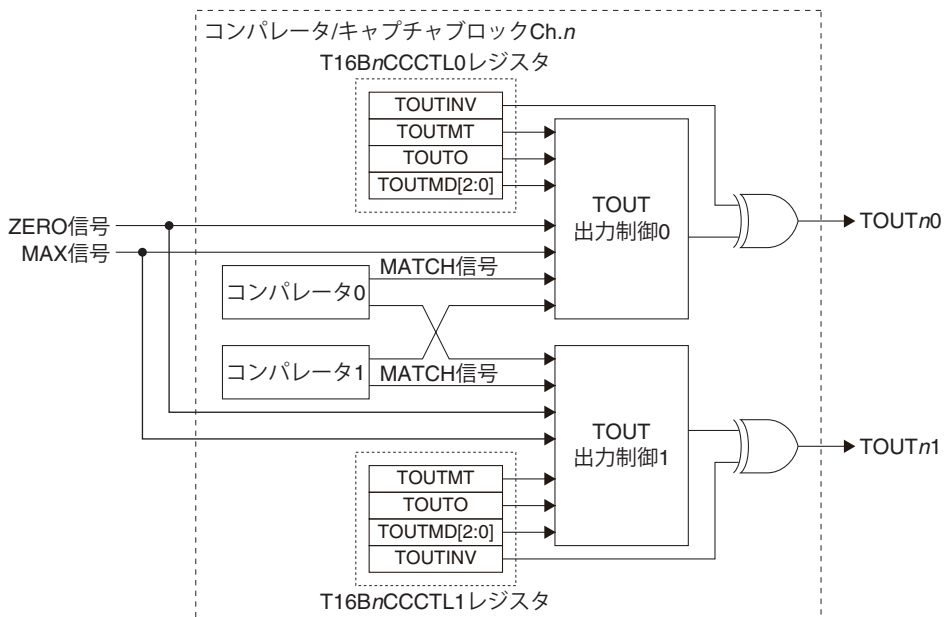


図15.4.4.1 TOUT出力回路(回路0&1)

各チャンネルには2系統(4系統、または6系統)のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。

TOUT生成モード

TOUT信号を、MATCHおよびMAX/ZERO信号によってどのように変化させるか、T16BnCCCTLm.TOUTMD[2:0]ビットで設定します。

さらに、T16BnCCCTLm.TOUTMTビットを1に設定すると、回路ペア(0&1、2&3、4&5)のもう一方のMATCH信号も使用して、カウンタ周期内に2箇所の変化点を作ることができます。

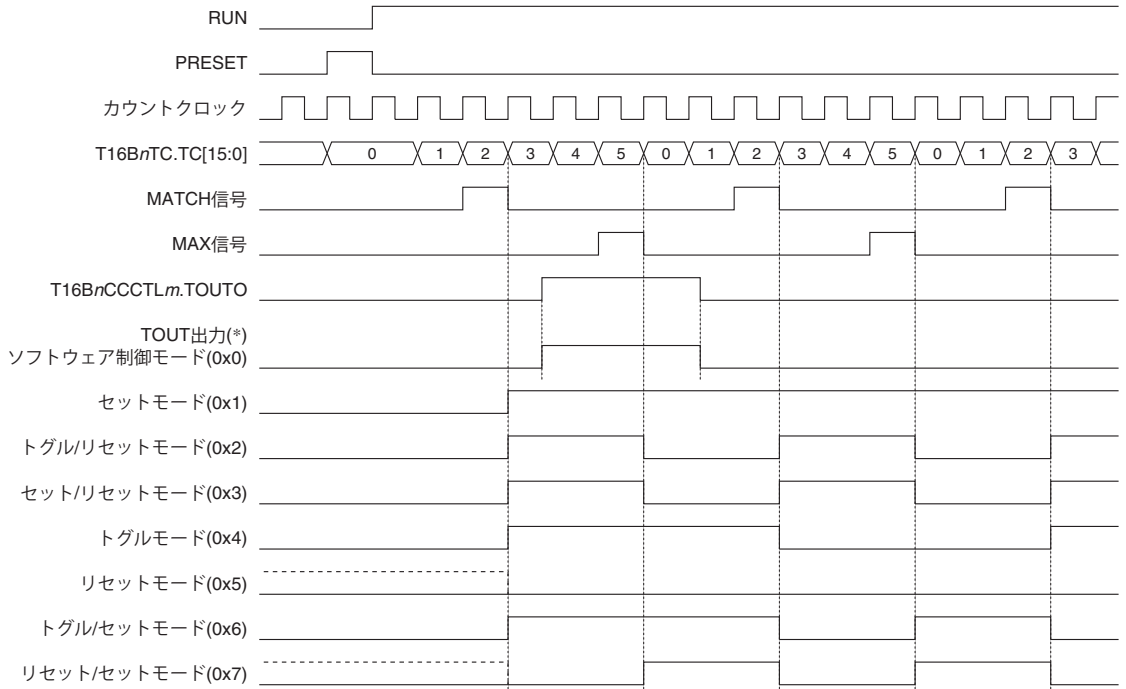
TOUT信号の極性

TOUT信号の極性(アクティブレベル)をT16BnCCCTLm.TOUTINVビットで設定可能です。T16BnCCCTLm.TOUTINVビットを0に設定するとアクティブHIGH、1に設定するとアクティブLOWになります。

図15.4.4.2と図15.4.4.3にTOUT出力波形を示します。

(1) リピートアップカウントモード

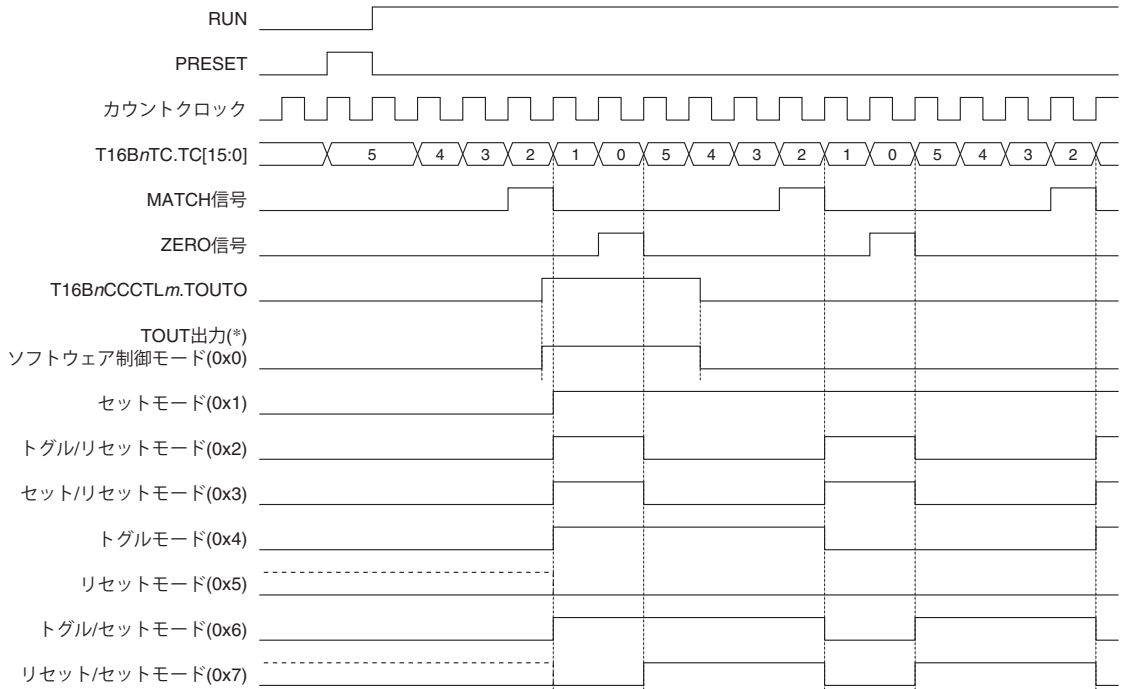
(MAX値 = 5, コンペアバフファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

(2) リピートダウンカウントモード

(MAX値 = 5, コンペアバフファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

15 16ビットPWMタイマ(T16B)

(3) リピートアップ/ダウンカウントモード

(MAX値 = 5, コンペアバッファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)

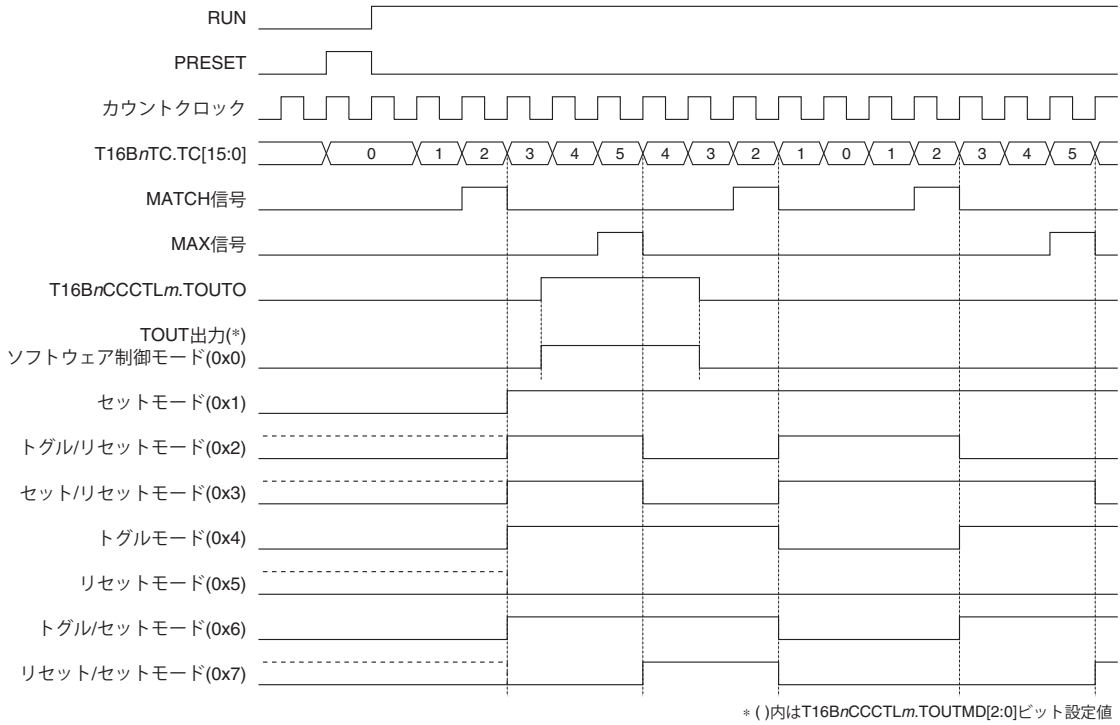
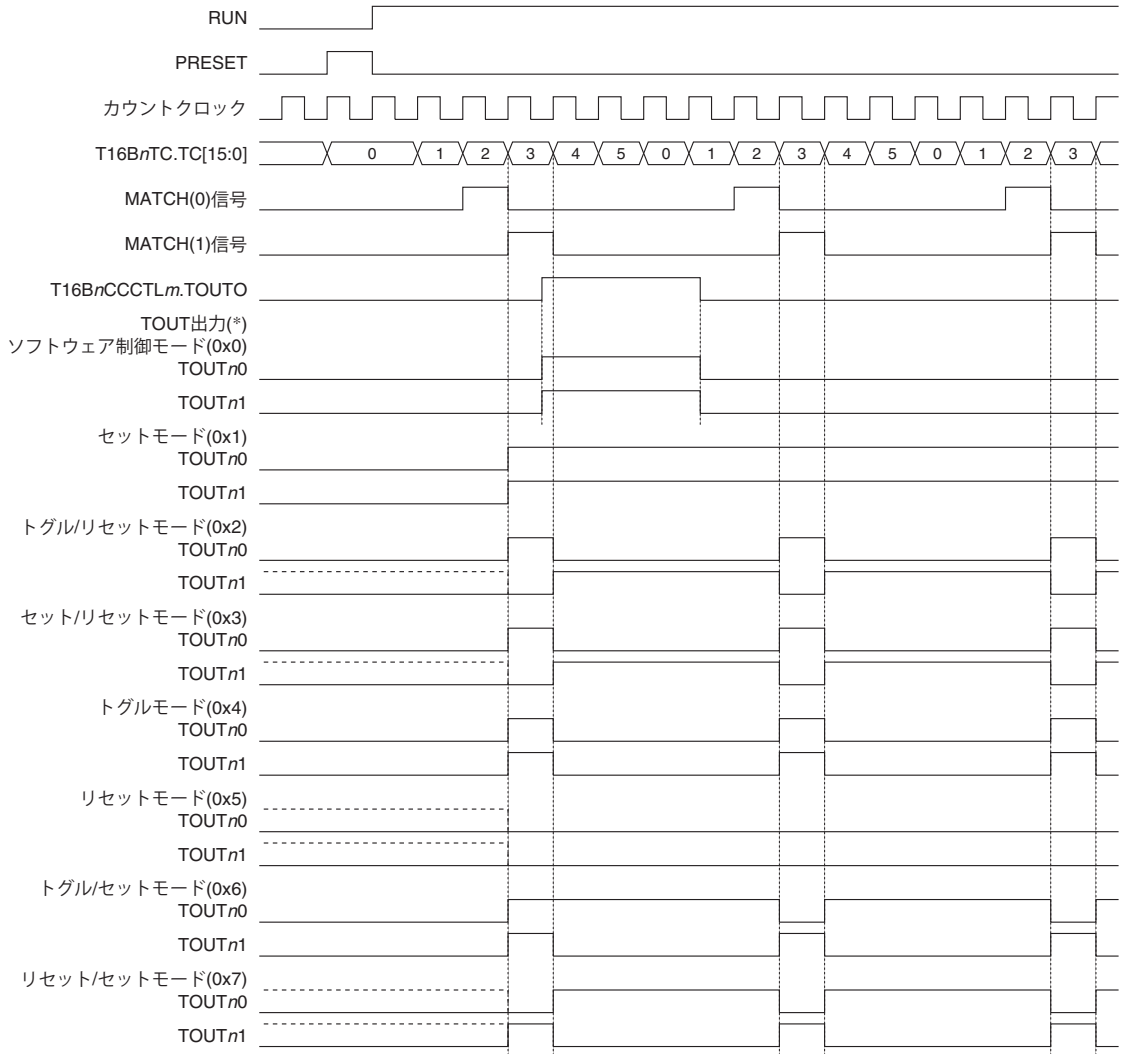


図15.4.4.2 TOUT出力波形(T16BnCCCTLm.TOUTMTビット = 0)

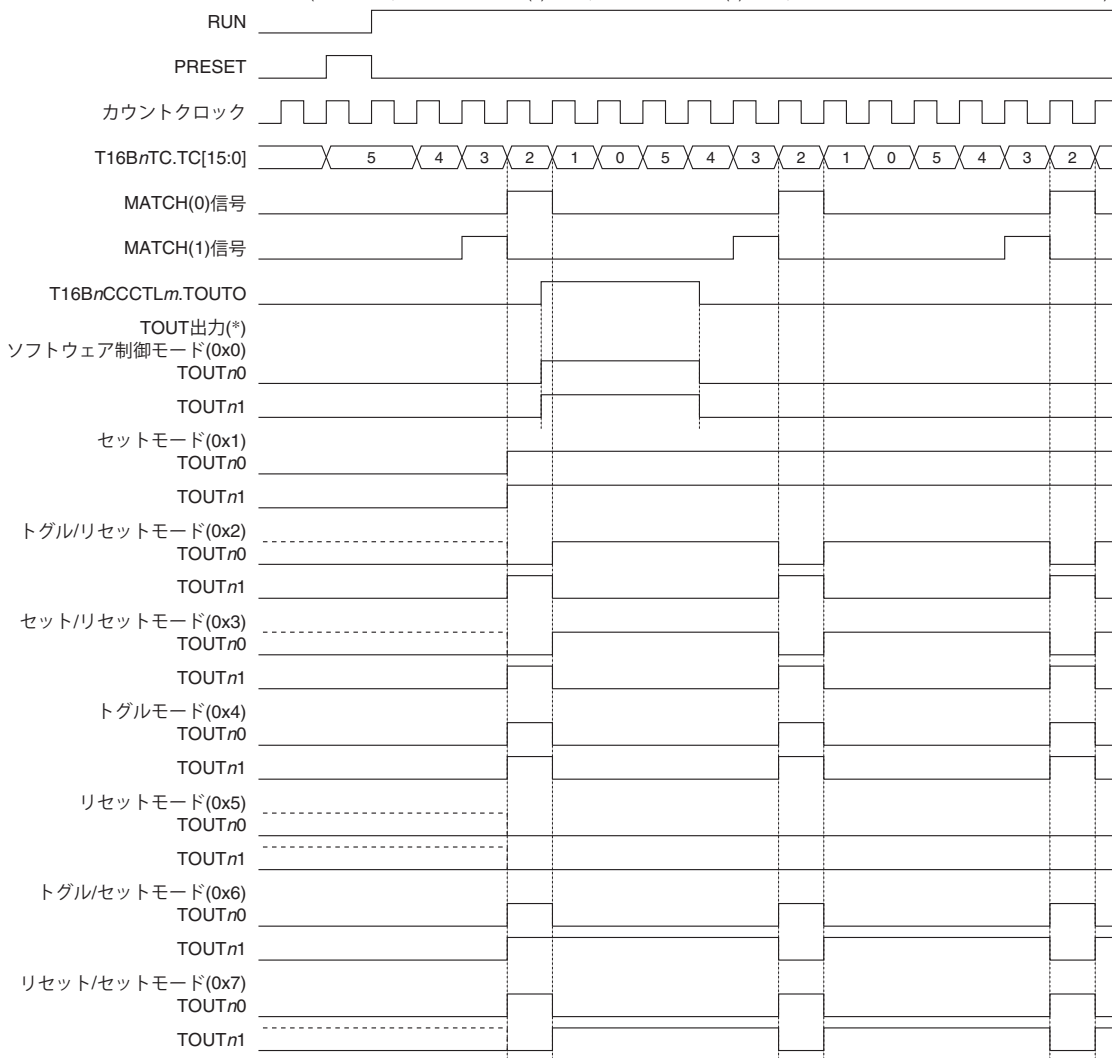
(1) リピートアップカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

15 16ビットPWMタイマ(T16B)

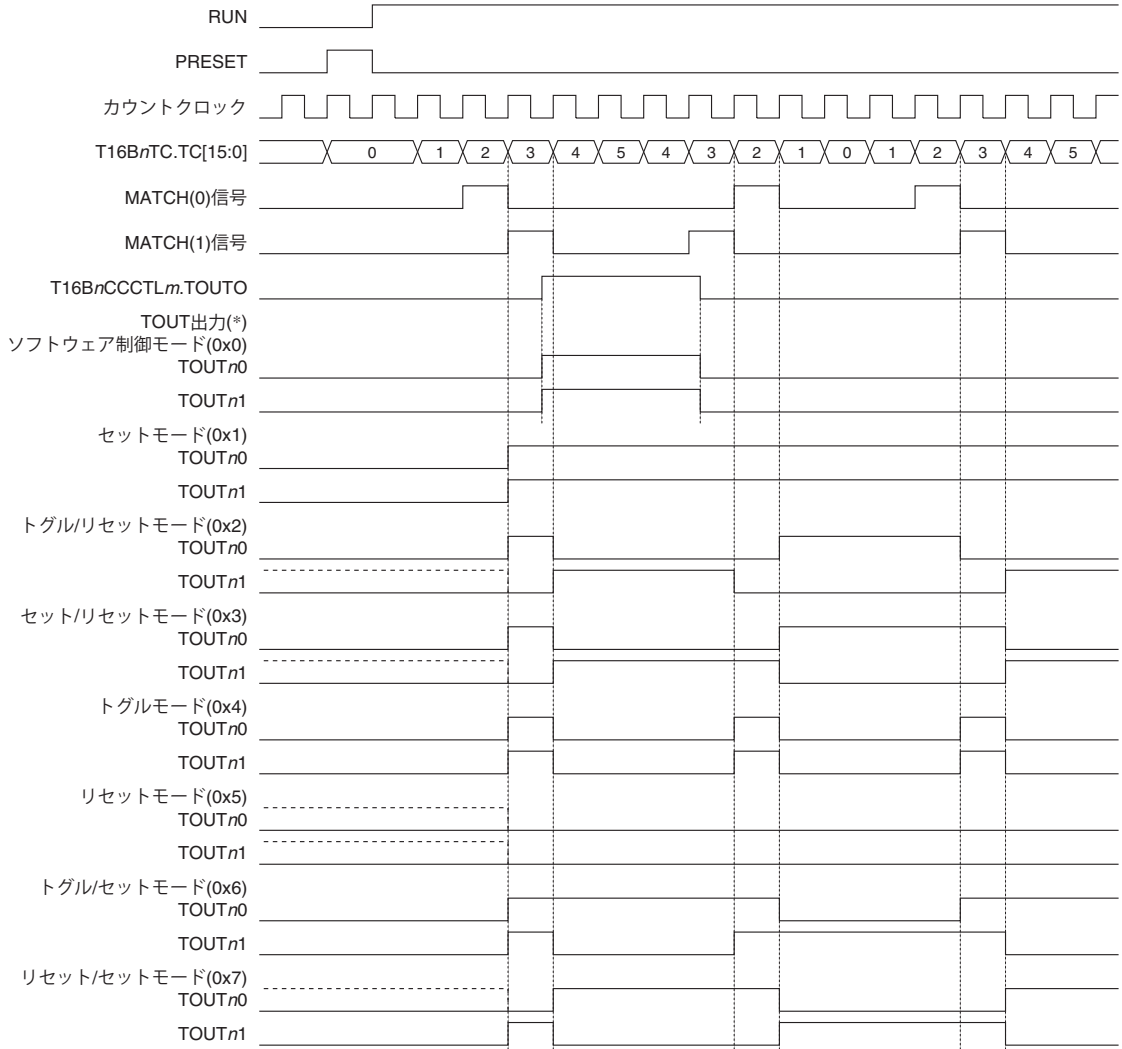
(2) リピートダウンカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

(3) リピートアップ/ダウンカウントモード

(MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

図15.4.4.3 TOUT出力波形(T16BnCCCTL0.TOUTMTビット = 1, T16BnCCCTL1.TOUTMTビット = 0)

15.5 割り込み

T16Bの各チャンネルには、表15.5.1に示す割り込みを発生させる機能があります。

表15.5.1 T16Bの割り込み機能

割り込み	割り込みフラグ	セット	クリア
キャプチャオーバーライト	T16BnINTF.CAPOWmIF	キャプチャモード時、T16BnINTF.CMPCAPmIFビット = 1の状態、T16BnCCRmレジスタが新たなキャプチャデータにより上書きされたとき	1書き込み
コンペア/キャプチャ	T16BnINTF.CMPCAPmIF	コンパレータモード時、カウンタ値がコンペアバッファの値に一致したとき キャプチャモード時、キャプチャトリガ入力により、カウンタ値がT16BnCCRmレジスタに取り込まれたとき	1書き込み
カウンタMAX	T16BnINTF.CNTMAXIF	カウンタがMAX値に達したとき	1書き込み
カウンタゼロ	T16BnINTF.CNTZEROIF	カウンタが0x0000になったとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

15.6 制御レジスタ

T16B Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2-0	CLKSRC[2:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にT16B Ch.n動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、T16B Ch.n動作クロック(カウンタクロック)の分周比を選択します。

Bit 3 Reserved

Bits 2-0 CLKSRC[2:0]

これらのビットは、T16B Ch.nのクロックソースを選択します。

表15.6.1 クロックソースと分周比の設定

T16B _n CLK. CLKDIV[3:0]ビット	T16B _n CLK.CLKSRC[2:0]ビット							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	IOSC	OSC1	OSC3	EXOSC	EXCL _n 0	EXCL _n 1	EXCL _n 0 反転入力	EXCL _n 1 反転入力
0xf	1/32,768	1/1	1/32,768	1/1	1/1	1/1	1/1	1/1
0xe	1/16,384		1/16,384					
0xd	1/8,192		1/8,192					
0xc	1/4,096		1/4,096					
0xb	1/2,048		1/2,048					
0xa	1/1,024		1/1,024					
0x9	1/512		1/512					
0x8	1/256	1/256	1/256					
0x7	1/128	1/128	1/128					
0x6	1/64	1/64	1/64					
0x5	1/32	1/32	1/32					
0x4	1/16	1/16	1/16					
0x3	1/8	1/8	1/8					
0x2	1/4	1/4	1/4					
0x1	1/2	1/2	1/2					
0x0	1/1	1/1	1/1					

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

T16B Ch._n Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B _n CTL	15–9	–	0x00	–	R	–
	8	MAXBSY	0	H0	R	
	7–6	–	0x0	–	R	
	5–4	CNTMD[1:0]	0x0	H0	R/W	
	3	ONEST	0	H0	R/W	
	2	RUN	0	H0	R/W	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 MAXBSY

このビットは、T16B_nMCレジスタが書き込み可能か否かを示します。

1 (R): ビジー状態(書き込み不可)

0 (R): 待機中(書き込み可)

このビットが1の場合は、T16B_nMCレジスタはMAX値の書き込み動作中です。この間は、新たなデータの書き込みを禁止します。

Bits 7–6 Reserved

Bits 5–4 CNTMD[1:0]

これらのビットでカウンタのアップ/ダウンモードを選択し、T16B_nCTL.ONESTビットと共にカウントモードを設定します。(表15.6.2参照)

Bit 3 ONEST

このビットでカウンタのリPEAT/ワンショットモードを選択し、T16B_nCTL.CNTMD[1:0]ビットと共にカウントモードを設定します。(表15.6.2参照)

表15.6.2 カウントモード

T16B _n CTL.CNTMD[1:0]ビット	カウントモード	
	T16B _n CTL.ONESTビット = 1	T16B _n CTL.ONESTビット = 0
0x3	Reserved	
0x2	ワンショットアップ/ダウンカウントモード	リピートアップ/ダウンカウントモード
0x1	ワンショットダウンカウントモード	リピートダウンカウントモード
0x0	ワンショットアップカウントモード	リピートアップカウントモード

Bit 2 RUN

このビットは、カウントを開始/停止します。

- 1 (W): カウント開始
- 0 (W): カウント停止
- 1 (R): カウント動作中
- 0 (R): 停止中

このビットに1を書き込むことにより、カウンタブロックはカウント動作を開始します。ただし、このビットと共にT16B_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はT16B_nCTL.RUNビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタMAX/ZERO信号によってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bit 1 PRESET

このビットは、カウンタをリセットします。

- 1 (W): リセット
- 0 (W): 無効
- 1 (R): リセットの実行中
- 0 (R): リセットを終了または通常動作中

アップモードまたはアップ/ダウンモード時は、このビットに1を書き込むことによって、カウンタが0x0000にクリアされます。ダウンモード時は、T16B_nMCレジスタに設定されているMAX値がカウンタにプリセットされます。ただし、このビットと共にT16B_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。

Bit 0 MODEN

このビットは、T16B Ch.*n*の動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): ディスエーブル(動作クロックの供給を停止)

注: T16B_nCTL.PRESETビットによるカウンタのリセットと、T16B_nCTL.RUNビットによるカウント開始操作は、T16B_nCTL.MODENビット = 1の場合にのみ有効です。

T16B Ch.*n* Max Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B _n MC	15-0	MC[15:0]	0xffff	H0	R/W	-

Bits 15-0 MC[15:0]

これらのビットには、カウンタにプリセットするMAX値を設定しておきます。詳細は、“カウンタブロックの動作 - MAXカウンタデータレジスタ”を参照してください。

注: ・ワンショットモード選択時は、カウント中にT16B_nMC.MC[15:0]ビット(MAX値)を変更しないでください。

- ・T16B_nMC.MC[15:0]ビットへの書き込みは、T16B_nCTL.MODENビット = 1の状態で行ってください。0の状態で書き込んだ場合は、T16B_nCS.BSYビット = 1から0になるまで、T16B_nCTL.MODENビットを1に設定してください。
- ・T16B_nMC.MC[15:0]ビットを0x0000に設定しないでください。

T16B Ch.n Timer Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnTC	15-0	TC[15:0]	0x0000	H0	R	-

Bits 15-0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16B Ch.n Counter Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCS	15-8	-	0x00	-	R	-
	7	CAP15	0	H0	R	
	6	CAP14	0	H0	R	
	5	CAP13	0	H0	R	
	4	CAP12	0	H0	R	
	3	CAP11	0	H0	R	
	2	CAP10	0	H0	R	
	1	UP_DOWN	1	H0	R	
	0	BSY	0	H0	R	

Bits 15-8 Reserved

- Bit 7 **CAP15**
- Bit 6 **CAP14**
- Bit 5 **CAP13**
- Bit 4 **CAP12**
- Bit 3 **CAP11**
- Bit 2 **CAP10**

これらのビットは、CAP n m端子の現在の入力信号レベルを示します。

1 (R): 入力信号 = HIGHレベル

0 (R): 入力信号 = LOWレベル

各ビットとCAP n m端子の対応は以下のとおりです。

T16BnCS.CAP15ビット: CAP n 5端子

T16BnCS.CAP14ビット: CAP n 4端子

T16BnCS.CAP13ビット: CAP n 3端子

T16BnCS.CAP12ビット: CAP n 2端子

T16BnCS.CAP11ビット: CAP n 1端子

T16BnCS.CAP10ビット: CAP n 0端子

注: T16BnCS.CAP l mビットの構成は機種により異なります。存在しないCAP n m端子に対応するビットは常時0に固定されたリードオンリビットになります。

Bit 1 **UP_DOWN**

このビットは、現在設定されているカウンタのカウント方向を示します。

1 (R): カウントアップ

0 (R): カウントダウン

Bit 0 **BSY**

このビットは、カウンタの動作状態を示します。

1 (R): 動作中

0 (R): 停止中

T16B Ch.*n* Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <i>n</i> INTF	15–14	–	0x0	–	R	–
	13	CAPOW5IF	0	H0	R/W	Cleared by writing 1.
	12	CMPCAP5IF	0	H0	R/W	
	11	CAPOW4IF	0	H0	R/W	
	10	CMPCAP4IF	0	H0	R/W	
	9	CAPOW3IF	0	H0	R/W	
	8	CMPCAP3IF	0	H0	R/W	
	7	CAPOW2IF	0	H0	R/W	
	6	CMPCAP2IF	0	H0	R/W	
	5	CAPOW1IF	0	H0	R/W	
	4	CMPCAP1IF	0	H0	R/W	
	3	CAPOW0IF	0	H0	R/W	
	2	CMPCAP0IF	0	H0	R/W	
	1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W		

Bits 15–14 Reserved

Bit 13	CAPOW5IF
Bit 12	CMPCAP5IF
Bit 11	CAPOW4IF
Bit 10	CMPCAP4IF
Bit 9	CAPOW3IF
Bit 8	CMPCAP3IF
Bit 7	CAPOW2IF
Bit 6	CMPCAP2IF
Bit 5	CAPOW1IF
Bit 4	CMPCAP1IF
Bit 3	CAPOW0IF
Bit 2	CMPCAP0IF
Bit 1	CNTMAXIF
Bit 0	CNTZEROIF

これらのビットは、T16B Ch.*n*割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

- T16B*n*INTF.CAPOW5IFビット: キャプチャ5オーバーライト割り込み
- T16B*n*INTF.CMPCAP5IFビット: コンペア/キャプチャ5割り込み
- T16B*n*INTF.CAPOW4IFビット: キャプチャ4オーバーライト割り込み
- T16B*n*INTF.CMPCAP4IFビット: コンペア/キャプチャ4割り込み
- T16B*n*INTF.CAPOW3IFビット: キャプチャ3オーバーライト割り込み
- T16B*n*INTF.CMPCAP3IFビット: コンペア/キャプチャ3割り込み
- T16B*n*INTF.CAPOW2IFビット: キャプチャ2オーバーライト割り込み
- T16B*n*INTF.CMPCAP2IFビット: コンペア/キャプチャ2割り込み
- T16B*n*INTF.CAPOW1IFビット: キャプチャ1オーバーライト割り込み
- T16B*n*INTF.CMPCAP1IFビット: コンペア/キャプチャ1割り込み
- T16B*n*INTF.CAPOW0IFビット: キャプチャ0オーバーライト割り込み
- T16B*n*INTF.CMPCAP0IFビット: コンペア/キャプチャ0割り込み
- T16B*n*INTF.CNTMAXIFビット: カウンタMAX割り込み
- T16B*n*INTF.CNTZEROIFビット: カウンタゼロ割り込み

注: T16B*n*INTF.CAPOW*m*IFビットおよびT16B*n*INTF.CMPCAP*m*IFビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路システムに対応するビットは常時0に固定されたリードオンリビットになります。

T16B Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <i>n</i> INTE	15-14	—	0x0	—	R	—
	13	CAPOW5IE	0	H0	R/W	
	12	CMPCAP5IE	0	H0	R/W	
	11	CAPOW4IE	0	H0	R/W	
	10	CMPCAP4IE	0	H0	R/W	
	9	CAPOW3IE	0	H0	R/W	
	8	CMPCAP3IE	0	H0	R/W	
	7	CAPOW2IE	0	H0	R/W	
	6	CMPCAP2IE	0	H0	R/W	
	5	CAPOW1IE	0	H0	R/W	
	4	CMPCAP1IE	0	H0	R/W	
	3	CAPOW0IE	0	H0	R/W	
	2	CMPCAP0IE	0	H0	R/W	
	1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W		

Bits 15-14 Reserved

Bit 13	CAPOW5IE
Bit 12	CMPCAP5IE
Bit 11	CAPOW4IE
Bit 10	CMPCAP4IE
Bit 9	CAPOW3IE
Bit 8	CMPCAP3IE
Bit 7	CAPOW2IE
Bit 6	CMPCAP2IE
Bit 5	CAPOW1IE
Bit 4	CMPCAP1IE
Bit 3	CAPOW0IE
Bit 2	CMPCAP0IE
Bit 1	CNTMAXIE
Bit 0	CNTZEROIE

このビットは、T16B Ch.*n*割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

T16B*n*INTE.CAPOW5IEビット: キャプチャ5オーバーライト割り込み

T16B*n*INTE.CMPCAP5IEビット: コンペア/キャプチャ5割り込み

T16B*n*INTE.CAPOW4IEビット: キャプチャ4オーバーライト割り込み

T16B*n*INTE.CMPCAP4IEビット: コンペア/キャプチャ4割り込み

T16B*n*INTE.CAPOW3IEビット: キャプチャ3オーバーライト割り込み

T16B*n*INTE.CMPCAP3IEビット: コンペア/キャプチャ3割り込み

T16B*n*INTE.CAPOW2IEビット: キャプチャ2オーバーライト割り込み

T16B*n*INTE.CMPCAP2IEビット: コンペア/キャプチャ2割り込み

T16B*n*INTE.CAPOW1IEビット: キャプチャ1オーバーライト割り込み

T16B*n*INTE.CMPCAP1IEビット: コンペア/キャプチャ1割り込み

T16B*n*INTE.CAPOW0IEビット: キャプチャ0オーバーライト割り込み

T16B*n*INTE.CMPCAP0IEビット: コンペア/キャプチャ0割り込み

T16B*n*INTE.CNTMAXIEビット: カウンタMAX割り込み

T16B*n*INTE.CNTZEROIEビット: カウンタゼロ割り込み

注: • T16B*n*INTE.CAPOW*m*IEビットおよびT16B*n*INTE.CMPCAP*m*IEビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路系統に対応するビットは常時0に固定されたリードオンリビットになります。

- ・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

T16B Ch.n Comparator/Capture m Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCCTLm	15	SCS	0	H0	R/W	-
	14-12	CBUFMD[2:0]	0x0	H0	R/W	
	11-10	CAPIS[1:0]	0x0	H0	R/W	
	9-8	CAPTRG[1:0]	0x0	H0	R/W	
	7	-	0	-	R	
	6	TOUTMT	0	H0	R/W	
	5	TOUTO	0	H0	R/W	
	4-2	TOUTMD[2:0]	0x0	H0	R/W	
	1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W		

Bit 15 SCS

このビットは、同期キャプチャモード/非同期キャプチャモードを選択します。

1 (R/W): 同期キャプチャモード

0 (R/W): 非同期キャプチャモード

詳細は、“コンパレータ/キャプチャブロックの動作 - 同期キャプチャモード/非同期キャプチャモード”を参照してください。T16BnCCCTLm.SCSビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 14-12 CBUFMD[2:0]

これらのビットは、T16BnCCRmレジスタに書き込んだ比較値をコンペアバッファにロードするタイミングを選択します。T16BnCCCTLm.CBUFMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表15.6.3 コンペアバッファへの比較値ロードタイミング

T16BnCCCTLm.CBUFMD[2:0]ビット	カウントモード	比較値ロードタイミング
0x7~0x5		Reserved
0x4	アップモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
	ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタもMAX値にリセットされます。
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
0x3	アップモード	カウンタが0x0000になったとき
	ダウンモード	カウンタがMAX値になったとき
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき、またはカウンタが0x0000になったとき
0x2	アップモード	カウンタが直前の比較値と一致したとき
	ダウンモード	
	アップ/ダウンモード	
0x1	アップモード	カウンタがMAX値になったとき
	ダウンモード	カウンタが0x0000になったとき
	アップ/ダウンモード	カウンタが0x0000またはMAX値になったとき
0x0	アップモード	T16BnCCRmレジスタへの書き込み後、CLK_16Bnの立ち上がり時
	ダウンモード	
	アップ/ダウンモード	

Bits 11-10 CAPIS[1:0]

これらのビットは、キャプチャ用トリガ信号を選択します(表15.6.4参照)。T16BnCCCTLm.CAPIS[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 9-8 CAPTRG[1:0]

これらのビットは、キャプチャモード時にT16BnCCRmレジスタへカウンタ値を取り込む、トリガ信号のエッジを選択します(表15.6.4参照)。

T16BnCCCTLm.CAPTRG[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

表15.6.4 カウンタキャプチャ用トリガ信号/エッジ

T16BnCCCTLm. CAPTRG[1:0]ビット (トリガエッジ)	トリガ条件		
	T16BnCCCTLm.CAPIS[1:0]ビット (トリガ信号)		
	0x0 (外部トリガ信号)	0x2 (ソフトウェアトリガ信号 = L)	0x3 (ソフトウェアトリガ信号 = H)
0x3 (↑ & ↓)	CAPnm端子入力信号の立ち上がりまたは立ち下がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え、または0x3から0x2に書き換え	
0x2 (↓)	CAPnm端子入力信号の立ち下がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x3から0x2に書き換え	
0x1 (↑)	CAPnm端子入力信号の立ち上がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え	
0x0	トリガなし(キャプチャ機能ディセーブル)		

Bit 7 Reserved

Bit 6 TOUTMT

このビットは、TOUTnm信号の生成に別系統のコンパレータMATCH信号も使用するかどうか選択します。

1 (R/W): コンパレータ回路ペア(0&1、2&3、4&5)の2本のコンパレータMATCH信号を使用してTOUT生成

0 (R/W): コンパレータm 1系統のコンパレータMATCH信号とカウンタMAXまたはZERO信号を使用してTOUT生成

T16BnCCCTLm.TOUTMTビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 5 TOUTO

このビットは、TOUTnm出力のソフトウェア制御選択時(T16BnCCCTLm.TOUTMD[2:0] = 0x0)に、TOUTnm信号の出力レベルを設定します。

1 (R/W): HIGHレベル出力

0 (R/W): LOWレベル出力

T16BnCCCTLm.TOUTOビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bits 4-2 TOUTMD[2:0]

これらのビットは、TOUTnm信号波形をコンパレータMATCH信号とカウンタMAX/ZERO信号でどのように変化させるか設定します。

T16BnCCCTLm.TOUTMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表15.6.5 TOUT生成モード

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm. TOUTMTビット	カウントモード	出力信号	信号変化
0x7	リセット/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でインアクティブ、MAX信号でアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号でインアクティブ、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でインアクティブ、MATCHm+1信号でアクティブ
TOUTnm+1			MATCHm+1信号でインアクティブ、MATCHm信号でアクティブ	
0x6	トグル/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、MAX信号でアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号で反転、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、MATCHm+1信号でアクティブ
TOUTnm+1			MATCHm+1信号で反転、MATCHm信号でアクティブ	

15 16ビットPWMタイマ(T16B)

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm. TOUTMTビット	カウントモード	出力信号	信号変化
0x5	リセットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でインアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でインアクティブ MATCHm+1またはMATCHm信号でインアクティブ
0x4	トグルモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号で反転
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号で反転 MATCHm+1またはMATCHm信号で反転
0x3	セット/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でアクティブ、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号でアクティブ、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でアクティブ、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号でアクティブ、 MATCHm信号でインアクティブ	
0x2	トグル/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号で反転、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号で反転、 MATCHm信号でインアクティブ	
0x1	セットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でアクティブ MATCHm+1またはMATCHm信号でアクティブ
0x0	ソフトウェア制御モード			
	*	すべてのカウントモード	TOUTnm	T16BnCCCTLm.TOUTOビット = 1でアクティブ、 T16BnCCCTLm.TOUTOビット = 0でインアクティブ

Bit 1 TOUTINV

このビットは、TOUTnm信号の極性を選択します。

1 (R/W): 反転(アクティブLOW)

0 (R/W): 通常(アクティブHIGH)

T16BnCCCTLm.TOUTINVビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 0 CCMD

このビットはコンパレータ/キャプチャ回路mの動作モードを選択します。

1 (R/W): キャプチャモード(T16nCCRmレジスタ = キャプチャレジスタ)

0 (R/W): コンパレータモード(T16BnCCRmレジスタ = コンペアデータレジスタ)

T16B Ch.n Compare/Capture m Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCRm	15-0	CC[15:0]	0x0000	H0	R/W	-

Bits 15-0 CC[15:0]

コンパレータモード時はコンペアデータレジスタとして機能し、カウンタとの比較値を設定します。

キャプチャモード時はキャプチャレジスタとして機能し、キャプチャトリガ信号によってキャプチャしたカウンタ値が本レジスタにロードされます。

16 サウンドジェネレータ(SNDA)

16.1 概要

SNDAは、メロディおよびブザー信号を発生するサウンドジェネレータです。主な機能と特長を以下に示します。

- 3種類のサウンド出力モードを選択可能
 1. ノーマルブザーモード(出力期間をソフトウェアで制御する通常のブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0 %～100 %の範囲で設定可能
 2. ワンショットブザーモード(クリック音などの短いブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0 %～100 %の範囲で設定可能
 - ワンショット出力期間: 15.6 ms～250 msの範囲で設定可能(16種類)
 3. メロディモード(単音のメロディを演奏するモード)
 - 音高: 128 Hz～16,384 Hzの範囲で設定可能
(音階: A4 = 443 Hz基準でC3～C6の3オクターブ)
 - 音長: 2分音符/休符～32分音符/休符を設定可能(7種類)
 - テンポ: 30～480の範囲で設定可能(16種類)
 - その他: タイ/スラーを指定可能
- 反転、非反転出力端子により圧電ブザーを駆動可能
- サウンド停止時の反転出力端子の状態を制御可能

図16.1.1にSNDAの構成を示します。

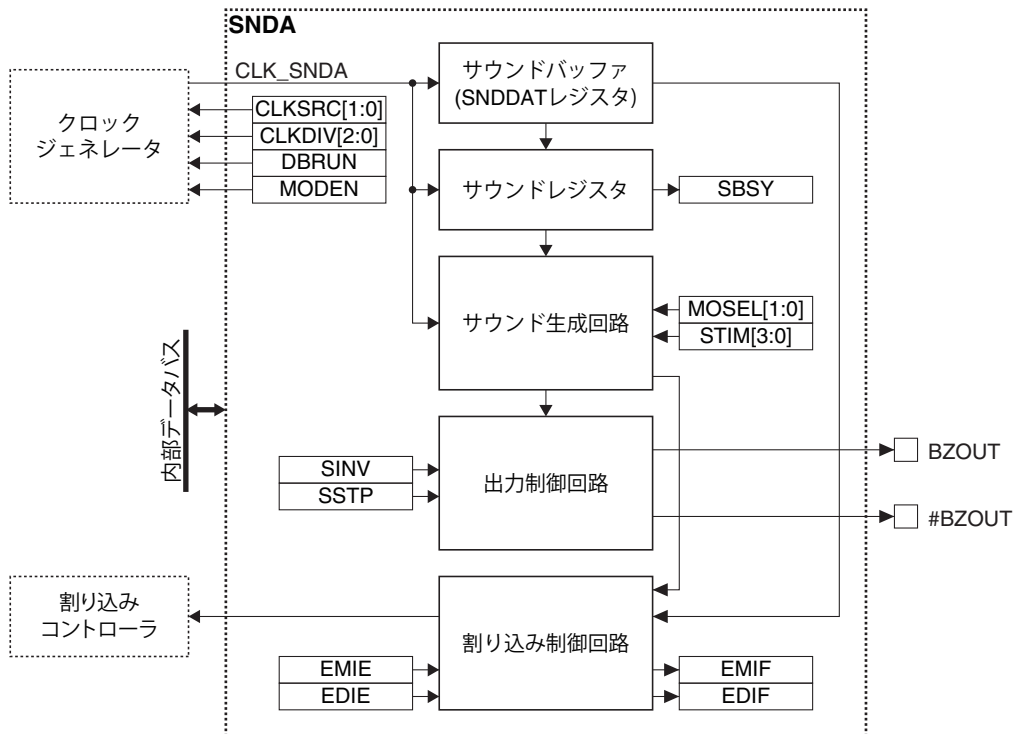


図16.1.1 SNDAの構成

16.2 出力端子と外部接続

16.2.1 出力端子一覧

表16.2.1.1にSNDAの端子一覧を示します。

表16.2.1.1 SNDA端子一覧

端子名	I/O*	イニシャル状態*	機能
BZOUT	O	O (LOW)	ブザー非反転出力端子
#BZOUT	O	O (LOW)	ブザー反転出力端子

* 端子機能をSNDAに切り換えた時点の状態

これらのSNDA端子と他の機能がポートを共有している場合、SNDAを動作させる前にSNDAの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

16.2.2 出力端子の駆動モード

BZOUT端子と#BZOUT端子の駆動モードを、SNDSEL.SINVビットで下記の2種類に設定可能です。

ダイレクト駆動モード(SNDSEL.SINVビット = 0)

ブザー信号出力がOFFの状態では、BZOUT端子と#BZOUT端子が共にLOWとなり、圧電ブザーにバイアスがかかり続けることを防止します。

ノーマル駆動モード(SNDSEL.SINVビット = 1)

#BZOUT端子は、ブザー OFF時も含め、BZOUT端子の反転信号を常に出力します。

16.2.3 外部との接続

SNDAと圧電ブザーとの接続を図16.2.2.1および図16.2.2.2に示します。

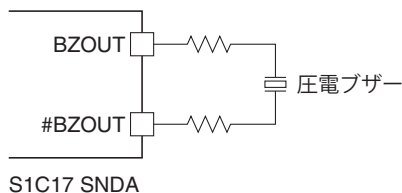


図16.2.2.1 SNDAと圧電ブザーとの接続(ダイレクト駆動)

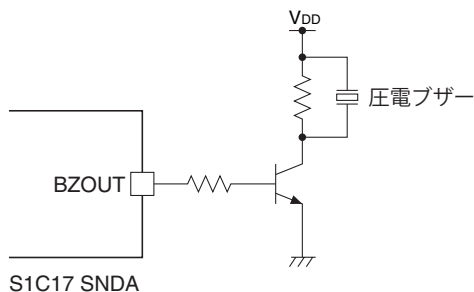


図16.2.2.2 SNDAと圧電ブザーとの接続(1端子駆動)

16.3 クロック設定

16.3.1 SNDAの動作クロック

SNDAを使用する場合、クロックジェネレータからSNDA動作クロックCLK_SNDAをSNDAに供給する必要があります。CLK_SNDAの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. SNDCLKレジスタの以下のビットを設定する。
 - SNDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SNDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK_SNDA周波数は32,768 Hz近辺に設定してください。

16.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSNDAを使用する場合は、SNDA動作クロックCLK_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_SNDAを供給し続ける必要があります。

SLEEPモード時に、CLK_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_SNDAのクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SNDAが停止します。その後通常モードに戻ると、CLK_SNDAが供給され、SNDAの動作が再開します。

16.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SNDAの供給はSNDCLK.DBRUNビットで制御します。

SNDCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSNDAへのCLK_SNDAの供給が停止します。その後通常モードに戻ると、CLK_SNDAの供給が再開します。CLK_SNDAの供給が停止するとSNDAの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。SNDCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_SNDAの供給は停止せず、SNDAは動作を継続します。

16.4 動作

16.4.1 初期設定

SNDAは、以下の手順により初期設定を行います。

1. SNDA出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. SNDAの動作クロックを設定する。
3. SNDCTL.MODENビットを1に設定する。 (SNDAの動作をイネーブル)
4. SNDSEL.SINVビットを設定する。 (出力端子の駆動モードを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SNDINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - SNDINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

16.4.2 ノーマルブザーモードのブザー出力

ノーマルブザーモードは、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成して出力します。ブザー出力期間もソフトウェアで制御可能です。

出力開始/停止手順と動作を以下に示します。

ノーマルブザー出力開始/停止手順

1. SNDSEL.MOSEL[1:0]ビットを0x0に設定する。(ノーマルブザーモードに設定)
2. サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)
3. 出力期間の終了を待ち、SNDCTL.SSTPビットに1を書き込む。(ブザー出力を停止)

ノーマルブザー出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。

データ書き込み後、CLK_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDCTL.SSTPビットへの1書き込みによってブザー出力は停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。図16.4.2.1にノーマルブザーモードのブザー出力タイミングを示します。

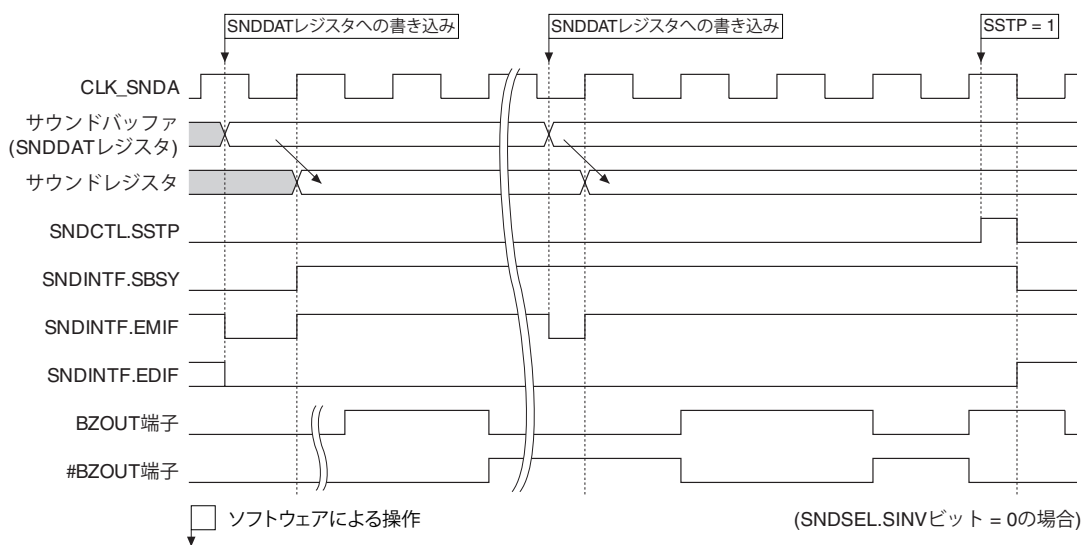


図16.4.2.1 ノーマルブザーモードのブザー出力タイミング

ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)

ブザー信号の周波数をSNDDAT.SFRQ[7:0]ビット、デューティ比(HIGH期間/周期)をSNDDAT.SLEN[5:0]ビットで設定します。それぞれの設定値は以下の式で求められます。

$$\text{SNDDAT.SFRQ}[7:0]\text{ビット} = \frac{f_{\text{CLK_SNDA}}}{f_{\text{BZOUT}}} - 1 \quad (\text{式16.1})$$

$$\text{SNDDAT.SLEN}[5:0]\text{ビット} = \left(\frac{f_{\text{CLK_SNDA}}}{f_{\text{BZOUT}}} \times \frac{\text{DUTY}}{100} \right) - 1 \quad (\text{式16.2})$$

ここで

- fCLK_SNDA: CLK_SNDA周波数 [Hz]
- fBZOUT: ブザー信号周波数 [Hz]
- DUTY: ブザー信号デューティ比 [%]

ただし、以下の設定は禁止します。

- SNDDAT.SFRQ[7:0]ビット ≤ SNDDAT.SLEN[5:0]ビットとなる設定
- SNDDAT.SFRQ[7:0]ビット = 0x00 となる設定

表16.4.2.1 ブザー周波数設定(fCLK_SNDA = 32,768 Hzの場合)

SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]
0x3f	512.0	0x2f	682.7	0x1f	1,024.0	0x0f	2,048.0
0x3e	520.1	0x2e	697.2	0x1e	1,057.0	0x0e	2,184.5
0x3d	528.5	0x2d	712.3	0x1d	1,092.3	0x0d	2,340.6
0x3c	537.2	0x2c	728.2	0x1c	1,129.9	0x0c	2,520.6
0x3b	546.1	0x2b	744.7	0x1b	1,170.3	0x0b	2,730.7
0x3a	555.4	0x2a	762.0	0x1a	1,213.6	0x0a	2,978.9
0x39	565.0	0x29	780.2	0x19	1,260.3	0x09	3,276.8
0x38	574.9	0x28	799.2	0x18	1,310.7	0x08	3,640.9
0x37	585.1	0x27	819.2	0x17	1,365.3	0x07	4,096.0
0x36	595.8	0x26	840.2	0x16	1,424.7	0x06	4,681.1
0x35	606.8	0x25	862.3	0x15	1,489.5	0x05	5,461.3
0x34	618.3	0x24	885.6	0x14	1,560.4	0x04	6,553.6
0x33	630.2	0x23	910.2	0x13	1,638.4	0x03	8,192.0
0x32	642.5	0x22	936.2	0x12	1,724.6	0x02	10,922.7
0x31	655.4	0x21	963.8	0x11	1,820.4	0x01	16,384.0
0x30	668.7	0x20	993.0	0x10	1,927.5	0x00	禁止

表16.4.2.2 ブザーデューティ比設定例(fCLK_SNDA = 32,768 Hzの場合)

SNDDAT. SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x3f	-	-	-	-	-	-
0x3e	-	-	-	-	-	98.4
0x3d	-	-	-	-	-	96.9
0x3c	-	-	-	-	-	95.3
0x3b	-	-	-	-	-	93.8
0x3a	-	-	-	-	-	92.2
0x39	-	-	-	-	-	90.6
0x38	-	-	-	-	-	89.1
0x37	-	-	-	-	-	87.5
0x36	-	-	-	-	-	85.9
0x35	-	-	-	-	-	84.4
0x34	-	-	-	-	-	82.8
0x33	-	-	-	-	-	81.3
0x32	-	-	-	-	-	79.7
0x31	-	-	-	-	-	78.1
0x30	-	-	-	-	-	76.6
0x2f	-	-	-	-	-	75.0
0x2e	-	-	-	-	-	73.4
0x2d	-	-	-	-	-	71.9
0x2c	-	-	-	-	-	70.3
0x2b	-	-	-	-	-	68.8
0x2a	-	-	-	-	-	67.2
0x29	-	-	-	-	-	65.6
0x28	-	-	-	-	-	64.1
0x27	-	-	-	-	-	62.5
0x26	-	-	-	-	-	60.9
0x25	-	-	-	-	-	59.4
0x24	-	-	-	-	-	57.8
0x23	-	-	-	-	-	56.3
0x22	-	-	-	-	-	54.7
0x21	-	-	-	-	-	53.1
0x20	-	-	-	-	-	51.6
0x1f	-	-	-	-	-	50.0
0x1e	-	-	-	-	96.9	48.4
0x1d	-	-	-	-	93.8	46.9
0x1c	-	-	-	-	90.6	45.3
0x1b	-	-	-	-	87.5	43.8
0x1a	-	-	-	-	84.4	42.2
0x19	-	-	-	-	81.3	40.6
0x18	-	-	-	-	78.1	39.1
0x17	-	-	-	-	75.0	37.5
0x16	-	-	-	-	71.9	35.9
0x15	-	-	-	-	68.8	34.4
0x14	-	-	-	-	65.6	32.8
0x13	-	-	-	-	62.5	31.3
0x12	-	-	-	-	59.4	29.7

SNDDAT. SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x11	-	-	-	-	56.3	28.1
0x10	-	-	-	-	53.1	26.6
0x0f	-	-	-	-	50.0	25.0
0x0e	-	-	-	93.8	46.9	23.4
0x0d	-	-	-	87.5	43.8	21.9
0x0c	-	-	-	81.3	40.6	20.3
0x0b	-	-	-	75.0	37.5	18.8
0x0a	-	-	-	68.8	34.4	17.2
0x09	-	-	-	62.5	31.3	15.6
0x08	-	-	-	56.3	28.1	14.1
0x07	-	-	-	50.0	25.0	12.5
0x06	-	-	87.5	43.8	21.9	10.9
0x05	-	-	75.0	37.5	18.8	9.4
0x04	-	-	62.5	31.3	15.6	7.8
0x03	-	-	50.0	25.0	12.5	6.3
0x02	-	75.0	37.5	18.8	9.4	4.7
0x01	-	50.0	25.0	12.5	6.3	3.1
0x00	50.0	25.0	12.5	6.3	3.1	1.6

16.4.3 ワンショットブザーモードのブザー出力

ワンショットブザーモードは、クリック音などを出力するためのモードで、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成し、指定した短い期間のみ出力します。

出力開始手順と動作を以下に示します。ブザー出力波形については、“ノーマルブザーモードのブザー出力”を参照してください。

ワンショットブザー出力開始手順

- SNDSSELレジスタの以下のビットを設定する。
 - SNDSSEL.MOSEL[1:0]ビットを0x1に設定する (ワンショットブザーモードに設定)
 - SNDSSEL.STIM[3:0]ビット (出力期間を設定)
- サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)

ワンショットブザー出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。

データ書き込み後、CLK_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDSSEL.STIM[3:0]ビットで指定した時間が経過するとブザー出力は自動的に停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。

図16.4.3.1にワンショットブザーモードのブザー出力タイミングを示します。

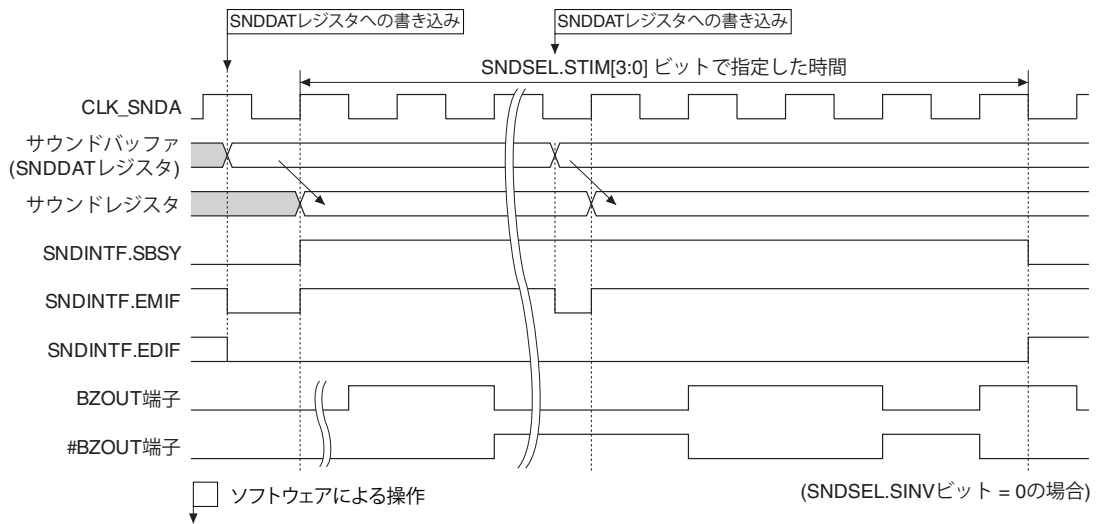


図16.4.3.1 ワンショットブザーモードのブザー出力タイミング

16.4.4 メロディモードの出力

メロディモードは、サウンドバッファ(SNDDATレジスタ)に逐次書き込まれるデータに従ってメロディ付きのブザー信号を生成して出力します。出力開始手順と動作を以下に示します。

メロディ出力開始手順

1. SNDSELレジスタの以下のビットを設定する。
 - SNDSEL.MOSEL[1:0]ビットを0x2に設定する (メロディモードに設定)
 - SNDSEL.STIM[3:0]ビットを設定する (テンポを設定)
2. サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(サウンド出力を開始)
 - SNDDAT.MDTIビット (タイ/スラーの有無を設定)
 - SNDDAT.MDRSビット (音符/休符の設定)
 - SNDDAT.SLEN[5:0]ビット (音長を設定)
 - SNDDAT.SFRQ[7:0]ビット (音階を設定)
3. SNDINTF.EMIFビットが1になったことを確認する(割り込み使用可)。
4. メロディの終了まで、2と3を繰り返す。

メロディ出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはサウンド出力動作を開始します。データ書き込み後、内部トリガ信号により、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定したサウンドが出力されます。

次のトリガまでに、サウンドバッファ(SNDDATレジスタ)にデータが書き込まれないと、サウンド出力は停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。

図16.4.4.1にメロディモードの動作タイミングを示します。

16 サウンドジェネレータ(SNDA)

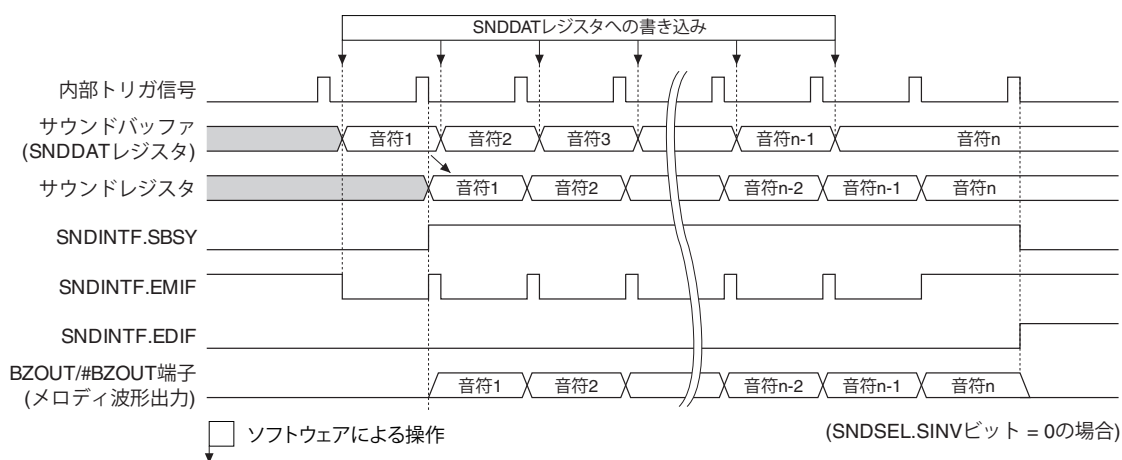


図16.4.4.1 メロディモードの動作タイミング

メロディ出力波形の設定

音符/休符(音長)の指定

音符/休符をSNDDAT.MDRSビットとSNDDAT.SLEN[5:0]ビットで設定します。

表16.4.4.1 音符/休符の指定($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDDAT.SLEN[5:0]ビット	SNDDAT.MDRSビット	
	0: 音符	1: 休符
0x0f	2分音符	2分休符
0x0b	付点4分音符	付点4分休符
0x07	4分音符	4分休符
0x05	付点8分音符	付点8分休符
0x03	8分音符	8分休符
0x01	16分音符	16分休符
0x00	32分音符	32分休符
その他	設定禁止	

タイ/スラーの指定

SNDDAT.MDTIビットを1に設定するとタイ/スラーが有効になり、直前の音符と該当音符とを連続して演奏します。

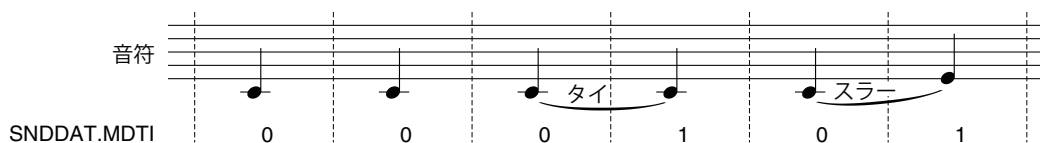


図16.4.4.2 タイ/スラー

音階の指定

音階をSNDDAT.SFRQ[7:0]ビットで設定します。

表16.4.4.2 音階の指定($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDDAT.SFRQ[7:0]ビット	音階	周波数 [Hz]
0xf8	C3	131.60
0xea	C#3	139.44
0xdd	D3	147.60
0xd1	D#3	156.04
0xc5	E3	165.49
0xba	F3	175.23
0xaf	F#3	186.18
0xa5	G3	197.40
0x9c	G#3	208.71
0x93	A3	221.41
0x8b	A#3	234.06

SNDDAT.SFRQ[7:0]ビット	音階	周波数 [Hz]
0x83	B3	248.24
0x7c	C4	262.14
0x75	C#4	277.69
0x6e	D4	295.21
0x68	D#4	312.08
0x62	E4	330.99
0x5c	F4	352.34
0x57	F#4	372.36
0x52	G4	394.80
0x4e	G#4	414.78
0x49	A4	442.81
0x45	A#4	468.11
0x41	B4	496.48
0x3d	C5	528.52
0x3a	C#5	555.39
0x37	D5	585.14
0x33	D#5	630.15
0x30	E5	668.73
0x2e	F5	697.19
0x2b	F#5	744.73
0x29	G5	780.19
0x26	G#5	840.21
0x24	A5	885.62
0x22	A#5	936.23
0x20	B5	992.97
0x1e	C6	1057.03

16.5 割り込み

SNDAには、表16.5.1に示す割り込みを発生させる機能があります。

表16.5.1 SNDAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
サウンドバッファ エンプティ	SNDINTF.EMIF	サウンドバッファ (SNDDATレジスタ)のデータ がサウンドレジスタに転送されたとき、または SNDCTL.SSTPビットに1を書き込んだとき	SNDDATレジスタへの 書き込み
サウンド出力終了	SNDINTF.EDIF	サウンド出力が終了したとき	1書き込み、または SNDDATレジスタへの 書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

16.6 制御レジスタ

SNDA Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 **DBRUN**

このビットは、DEBUGモード時にSNDA動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

16 サウンドジェネレータ(SNDA)

Bit 7 **Reserved**

Bits 6–4 **CLKDIV[2:0]**

これらのビットは、SNDA動作クロックの分周比を選択します。

Bits 3–2 **Reserved**

Bits 1–0 **CLKSRC[1:0]**

これらのビットは、SNDAのクロックソースを選択します。

表16.6.1 クロックソースと分周比の設定

SNDCLK. CLKDIV[2:0]ビット	SNDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7	Reserved	1/1	Reserved	1/1
0x6				
0x5	1/128		1/128	
0x4	1/64		1/64	
0x3	1/32		1/32	
0x2	1/16		1/16	
0x1	1/8		1/8	
0x0	1/4		1/4	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: SNDCLKレジスタは、SNDCTL.MODENビット = 0のときのみ設定変更が可能です。

SNDA Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDSEL	15–12	–	0x0	–	R	–
	11–8	STIM[3:0]	0x0	H0	R/W	
	7–3	–	0x00	–	R	
	2	SINV	0	H0	R/W	
	1–0	MOSEL[1:0]	0x0	H0	R/W	

Bits 15–12 **Reserved**

Bits 11–8 **STIM[3:0]**

これらのビットは、テンポ(メロディモード選択時)、またはワンショットブザー出力期間(ワンショットブザーモード選択時)を選択します。

表16.6.2 テンポ/ワンショットブザー出力期間の選択($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDSEL. STIM[3:0]ビット	テンポ (= 4分音符/分)	ワンショットブザー 出力期間 [ms]
0xf	30	250.0
0xe	32	234.4
0xd	34.3	218.8
0xc	36.9	203.1
0xb	40	187.5
0xa	43.6	171.9
0x9	48	156.3
0x8	53.3	140.6
0x7	60	125.0
0x6	68.6	109.4
0x5	80	93.8
0x4	96	78.1
0x3	120	62.5
0x2	160	46.9
0x1	240	31.3
0x0	480	15.6

注: SNDINTF.SBSYビット = 1の間の変更は禁止します。

Bits 7–3 **Reserved**

Bit 2 SINV

このビットは、出力端子の駆動モードを選択します。

1 (R/W): ノーマル駆動モード

0 (R/W): ダイレクト駆動モード

詳細は、“出力端子の駆動モード”を参照してください。

Bits 1–0 MOSEL[1:0]

これらのビットは、サウンド出力モードを選択します。

表16.6.3 サウンド出力モードの選択

SNDSEL.MOSEL[1:0]ビット	サウンド出力モード
0x3	Reserved
0x2	メロディモード
0x1	ワンショットブザーモード
0x0	ノーマルブザーモード

SNDA Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCTL	15–9	–	0x00	–	R	–
	8	SSTP	0	H0	R/W	
	7–1	–	0x00	–	R	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved**Bit 8 SSTP**

このビットは、サウンド出力を停止します。

1 (W): サウンド出力停止

0 (W): 無効

1 (R): 停止処理中

0 (R): 停止完了/停止中

ノーマルブザーモード時のブザー出力を停止するためのビットです。1書き込み後、サウンド出力が終了した時点で0にクリアされます。ワンショットブザーモード/メロディモード時も、本ビットへの1書き込みによりサウンド出力を強制終了することができます。

Bits 7–1 Reserved**Bit 0 MODEN**

このビットは、SNDAの動作をイネーブルにします。

1 (R/W): SNDA動作イネーブル(動作クロックが供給されます。)

0 (R/W): SNDA動作ディスエーブル(動作クロックが停止します。)

SNDA Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDDAT	15	MDTI	0	H0	R/W	–
	14	MDRS	0	H0	R/W	
	13–8	SLEN[5:0]	0x00	H0	R/W	
	7–0	SFRQ[7:0]	0xff	H0	R/W	

このレジスタはサウンドバッファとして機能します。このレジスタへのデータの書き込みによりサウンド出力を開始します。設定データの詳細は、“ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)”および“メロディ出力波形の設定”を参照してください。

Bit 15 MDTI

このビットは、メロディモード時にタイ/スラー(直前の音符との連続演奏)を指定します。

1 (R/W): タイ/スラー有効

0 (R/W): タイ/スラー無効

ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

16 サウンドジェネレータ(SNDA)

Bit 14 MDRS

このビットは、メロディモード時に休符と音符のどちらを出力するか選択します。

1 (R/W): 休符

0 (R/W): 音符

休符を選択した出力期間は、BZOUT端子がLOWに、#BZOUT端子がHIGHに固定されます。
ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

Bits 13–8 SLEN[5:0]

これらのビットは、音長(メロディモード選択時)、またはブザー信号のデューティ比(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

Bits 7–0 SFRQ[7:0]

これらのビットは、音階(メロディモード選択時)、またはブザー信号の周波数(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

注: ・ ノーマルブザーモード/ワンショットブザーモードでは、SNDDAT.SFRQ[7:0]ビットの下位6ビット(SNDDAT.SFRQ[5:0]ビット)のみ有効です。SNDDAT.SFRQ[7:6]ビットは常に0x0に設定してください。

- ・ SNDDATレジスタは、16ビット以外のサイズでは書き込みができません。8ビットサイズの手書き込みは無視されます。

SNDA Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTF	15–9	–	0x00	–	R	–
	8	SBSY	0	H0	R	
	7–2	–	0x00	–	R	
	1	EMIF	1	H0	R	Cleared by writing to the SNDDAT register.
	0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDDAT register.

Bits 15–9 Reserved

Bit 8 SBSY

このビットは、サウンド出力の状態を示します。(図16.4.2.1、図16.4.3.1、図16.4.4.1参照)

1 (R): 出力中

0 (R): 待機中

Bits 7–2 Reserved

Bit 1 EMIF

Bit 0 EDIF

これらのビットは、SNDA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SNDINTF.EMIFビット: サウンドバッファエンプティ割り込み

SNDINTF.EDIFビット: サウンド出力終了割り込み

SNDA Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTE	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	EMIE	0	H0	R/W	
	0	EDIE	0	H0	R/W	

Bits 15-2 Reserved

Bit 1 **EMIE**

Bit 0 **EDIE**

これらのビットは、SNDAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SNDINTE.EMIEビット: サウンドバッファEMPTY割り込み

SNDINTE.EDIEビット: サウンド出力終了割り込み

17 IRリモートコントローラ(REMC2)

17.1 概要

REMC2は赤外線リモコン出力信号を生成する回路です。また、本回路に簡単な外部回路を付加することで、ELランプ駆動回路への応用も可能です。

REMC2の主な機能と特長を以下に示します。

- 赤外線リモコン信号を出力可能
- キャリア発生回路を内蔵
- フレキシブルなキャリア信号生成とデータパルス幅変調に対応
- 連続データ送信のためのオートデータ設定機能
- 出力信号の反転機能により各種フォーマットに対応
- 応用として、ELランプ駆動波形を生成可能

図17.1.1にREMC2の構成を示します。

表17.1.1 S1C17W03/W04のREMC2構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	送信1チャンネル	

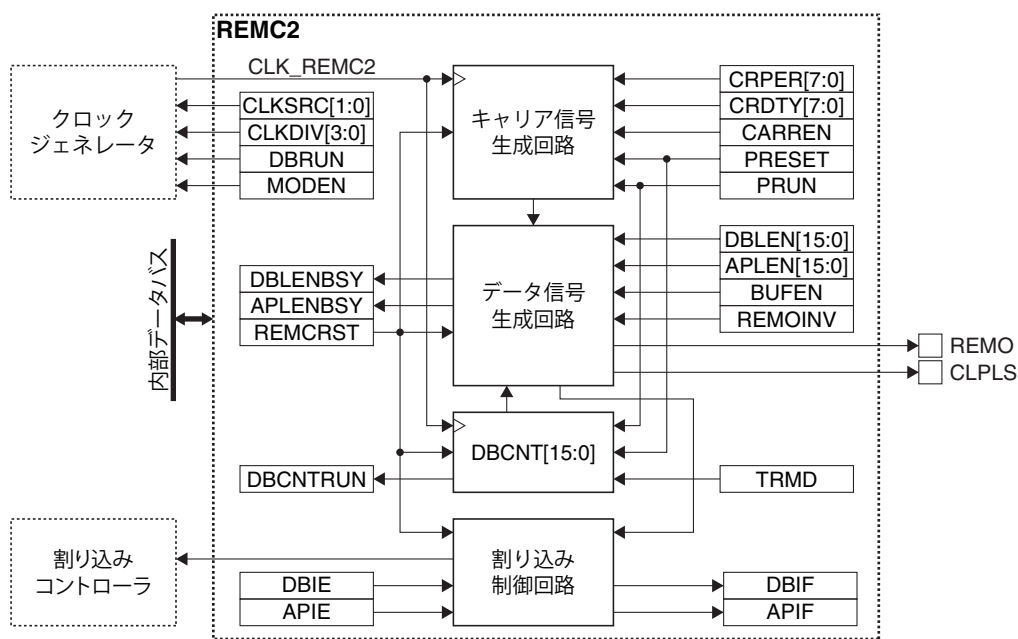


図17.1.1 REMC2の構成

17.2 入出力端子と外部接続

17.2.1 出力端子

表17.2.1.1にREMC2端子の一覧を示します。

表17.2.1.1 REMC2端子

端子名	I/O*	イニシャル状態*	機能
REMO	O	O (L)	IRリモートコントローラ送信データ出力
CLPLS	O	O (L)	IRリモートコントローラキャリアパルス出力

* 端子機能をREMC2に切り換えた時点の状態

17 IRリモートコントローラ(REMC2)

REMC2端子と他の機能がポートを共有している場合、REMC2を動作させる前にREMC2の出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

17.2.2 外部との接続

REMC2と外部赤外線機器の接続例を図17.2.2.1に示します。

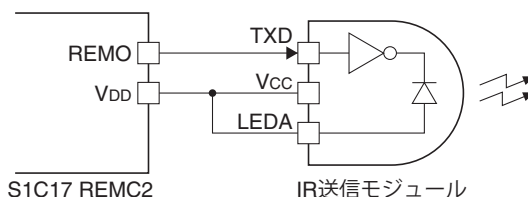


図17.2.2.1 REMC2と外部赤外線機器の接続例

17.3 クロック設定

17.3.1 REMC2の動作クロック

REMC2を使用する場合、クロックジェネレータからREMC2動作クロックCLK_REMC2をREMC2に供給する必要があります。

CLK_REMC2の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. REMCLKレジスタの以下のビットを設定する。
 - REMCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - REMCLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

17.3.2 SLEEPモード時のクロック供給

SLEEPモード時にREMC2を使用する場合は、REMC2動作クロックCLK_REMC2のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_REMC2を供給し続ける必要があります。

SLEEPモード時に、CLK_REMC2のクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_REMC2のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、REMC2が停止します。その後通常モードに戻ると、CLK_REMC2が供給され、REMC2の動作が再開します。

17.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_REMC2の供給はREMCLK.DBRUNビットで制御します。

REMCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとREMC2へのCLK_REMC2の供給が停止します。その後通常モードに戻ると、CLK_REMC2の供給が再開します。CLK_REMC2の供給が停止するとREMC2の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。REMCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_REMC2の供給は停止せず、REMC2は動作を継続します。

17.4 動作

17.4.1 初期設定

REMC2は、以下の手順により初期設定を行います。

1. REMDBCTL.REMCRSTビットに1を書き込む。(REMC2のリセット)
2. REMCLK.CLKSRC[1:0]ビットとREMCLK.CLKDIV[3:0]ビットを設定する。(動作クロックの設定)

3. REMC2の出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
4. REMDBCTLレジスタの以下のビットを設定する。
 - REMDBCTL.MODENビットを1に設定 (カウント動作クロックイネーブル)
 - REMDBCTL.TRMDビット (リピートモード/ワンショットモードの設定)
 - REMDBCTL.BUFENビットを1に設定 (コンペアバッファイネーブル)
 - REMDBCTL.REMOINVビット (出力信号論理反転の設定)
5. REMCARRレジスタの以下のビットを設定する。
 - REMCARR.CRPER[7:0]ビット (キャリア信号の周期を設定)
 - REMCARR.CRDTY[7:0]ビット (キャリア信号のデューティを設定)
6. REMCCTL.CARRENビットを設定する。 (キャリア変調イネーブル/ディスエーブル)
7. 割り込みを使用する場合は以下のビットを設定する。
 - REMINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - REMINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

17.4.2 送信手順

送信開始

データ送信は以下の手順で開始します。

1. REMAPLEN.APLEN[15:0]ビットを設定する。 (データ信号のデューティを設定)
2. REMDBLEN.DBLEN[15:0]ビットを設定する。 (データ信号の周期を設定)
3. REMDBCTLレジスタの以下のビットを設定する。
 - REMDBCTL.PRESETビットを1に設定 (内部カウンタをリセット)
 - REMDBCTL.PRUNビットを1に設定 (カウントスタート)

連続送信制御

送信開始後(上記ステップ3の後)、データを連続的に送信する手順は以下のとおりです。

1. コンペアDB割り込み(REMINTF.DBIFビット = 1)が発生する前に、次のデータのデューティと周期をそれぞれREMAPLEN.APLEN[15:0]ビットとREMDBLEN.DBLEN[15:0]ビットに設定する。(現在のデータと同じ設定の場合は書き換え不要)
2. コンペアDB割り込み(REMINTF.DBIFビット = 1)を待つ。
3. データの終了まで、1と2を繰り返す。

送信終了

データ送信は以下の手順で終了します。

1. コンペアDB割り込み(REMINTF.DBIFビット = 1)を待つ。
2. REMDBCTL.PRUNビットを0に設定する。 (カウントストップ)
3. REMDBCTL.MODENビットを0に設定する。 (カウント動作クロックディスエーブル)

17.4.3 REMO出力波形

通常、赤外線リモコン通信においては、赤外線の周波数をキャリアと呼びますが、REMC2では赤外線を直接取り扱いませんので、本書では赤外線リモコン通信で使用されるサブキャリアをキャリアと表現しています。

REMC2は、キャリア信号生成回路から出力されるキャリア信号とデータ信号生成回路から出力されるデータ信号の論理積をREMOから出力します。図17.4.3.1にその出力波形の一例を示します。

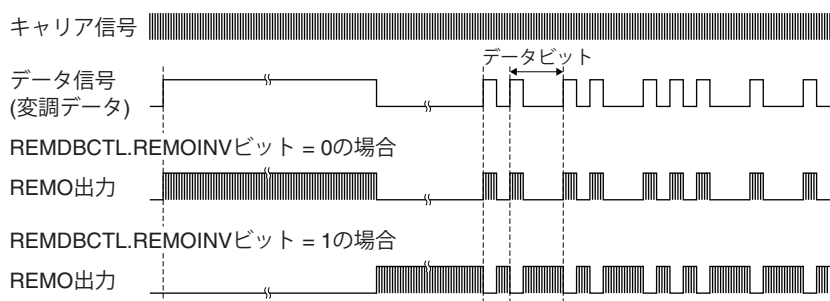


図17.4.3.1 REMO出力波形の例

キャリア信号

キャリア信号は、CLK_REMC2で動作するキャリア生成用8ビットカウンタの値とREMCARR.CRDTY[7:0]ビット、およびREMCARR.CRPER[7:0]ビットの設定値を比較することによって生成されます。図17.4.3.2にキャリア信号の生成例を示します。

例) REMCARR.CRDTY[7:0]ビット = 2、REMCARR.CRPER[7:0]ビット = 8

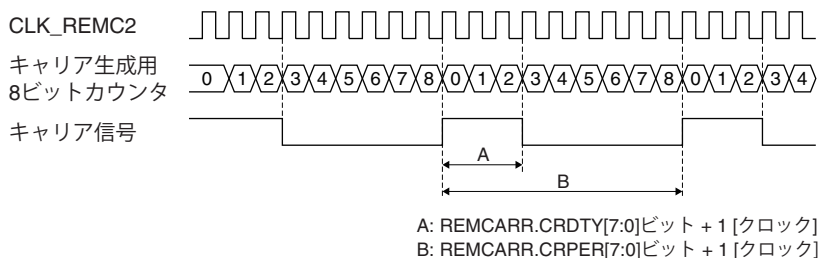


図17.4.3.2 キャリア信号生成例

キャリア信号の周波数とデューティ比は次の式で計算できます。

$$\text{キャリア周波数} = \frac{f_{\text{CLK_REMC2}}}{\text{CRPER} + 1} \quad \text{デューティ比} = \frac{\text{CRDTY} + 1}{\text{CRPER} + 1} \quad (\text{式17.1})$$

ここで

f_{CLK_REMC2}: CLK_REMC2周波数 [Hz]

CRPER: REMCARR.CRPER[7:0]ビット設定値 (1~255)

CRDTY: REMCARR.CRDTY[7:0]ビット設定値 (0~254)

※ REMCARR.CRDTY[7:0]ビット < REMCARR.CRPER[7:0]ビット

キャリア生成用8ビットカウンタは、データ信号生成用16ビットカウンタと共に、REMDBCTL.PRESETビットでリセットされ、REMDBCTL.PRUNビットでスタート/ストップします。カウンタ値がREMCARR.CRDTY[7:0]ビットと一致すると、キャリア信号の波形が反転します。また、REMCARR.CRPER[7:0]ビットと一致すると、キャリア信号の波形が反転すると共に、カウンタも0x00にリセットされます。

データ信号

データ信号は、CLK_REMC2で動作するデータ信号生成用16ビットカウンタの値(REMDBCNT.DBCNT[15:0]ビット)とREMAPLEN.APLEN[15:0]ビット、およびREMDBLEN.DBLEN[15:0]ビットの設定値を比較することによって生成されます。図17.4.3.3にデータ信号の生成例を示します。

例) REMAPLEN.APLEN[15:0]ビット = 0x0bd0、REMDBLEN.DBLEN[15:0]ビット = 0x11b8、
REMDBCTL.TRMDビット = 0 (リピートモード)、REMDBCTL.REMOINVビット = 0 (信号論理非反転)

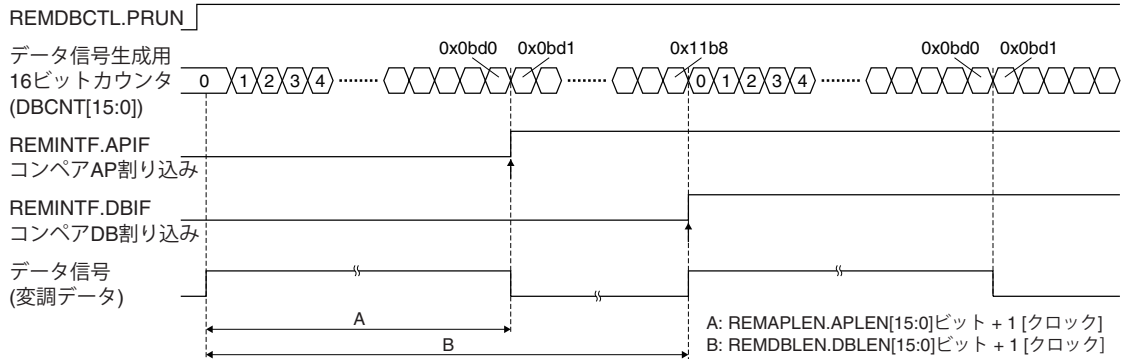


図17.4.3.3 データ信号生成例

パルス幅変調したデータ信号のデータ長とデューティ比は次の式で計算できます。

$$\text{データ長} = \frac{\text{DBLEN} + 1}{f_{\text{CLK_REMC2}}} \quad \text{デューティ比} = \frac{\text{APLEN} + 1}{\text{DBLEN} + 1} \quad (\text{式17.2})$$

ここで

$f_{\text{CLK_REMC2}}$: CLK_REMC2周波数 [Hz]

DBLEN: REMDBLEN.DBLEN[15:0]ビット設定値 (1~65,535)

APLEN: REMAPLEN.APLEN[15:0]ビット設定値 (0~65,534)

※ REMAPLEN.APLEN[15:0]ビット < REMDBLEN.DBLEN[15:0]ビット

データ信号生成用16ビットカウンタは、REMDBCTL.PRESETビットでリセットされ、REMDBCTL.PRUNビットでスタート/ストップします。カウンタ値がREMAPLEN.APLEN[15:0]ビットの設定値に一致すると(コンペアAP)、データ信号の波形が反転します。また、REMDBLEN.DBLEN[15:0]ビットの設定値に一致すると(コンペアDB)、データ信号の波形が反転すると共に、カウンタも0x0000にリセットされます。

カウンタ値がREMDBLEN.DBLEN[15:0]ビットとREMAPLEN.APLEN[15:0]ビットの設定値に一致した時点で、それぞれ割り込みを発生させることができます。

リピートモードとワンショットモード

リピートモード(REMDBCTL.TRMDビット = 0)に設定した場合、データ信号生成用16ビットカウンタはREMDBCTL.PRUNビットで停止させるまで動作を継続します。ワンショットモード(REMDBCTL.TRMDビット = 1)に設定した場合、カウンタ値がREMDBLEN.DBLEN[15:0]ビットの設定値に一致した時点で自動的に停止します。

17.4.4 連続送信とコンペアバッファ

図17.4.4.1に、コンペアバッファをイネーブルにした連続送信の動作例を示します。

17 IRリモートコントローラ(REMC2)

例) REMDBCTL.TRMDビット = 0 (リピートモード)、REMDBCTL.BUFENビット = 1 (コンペアバッファイネーブル)、REMDBCTL.REMOINVビット = 0 (信号論理非反転)

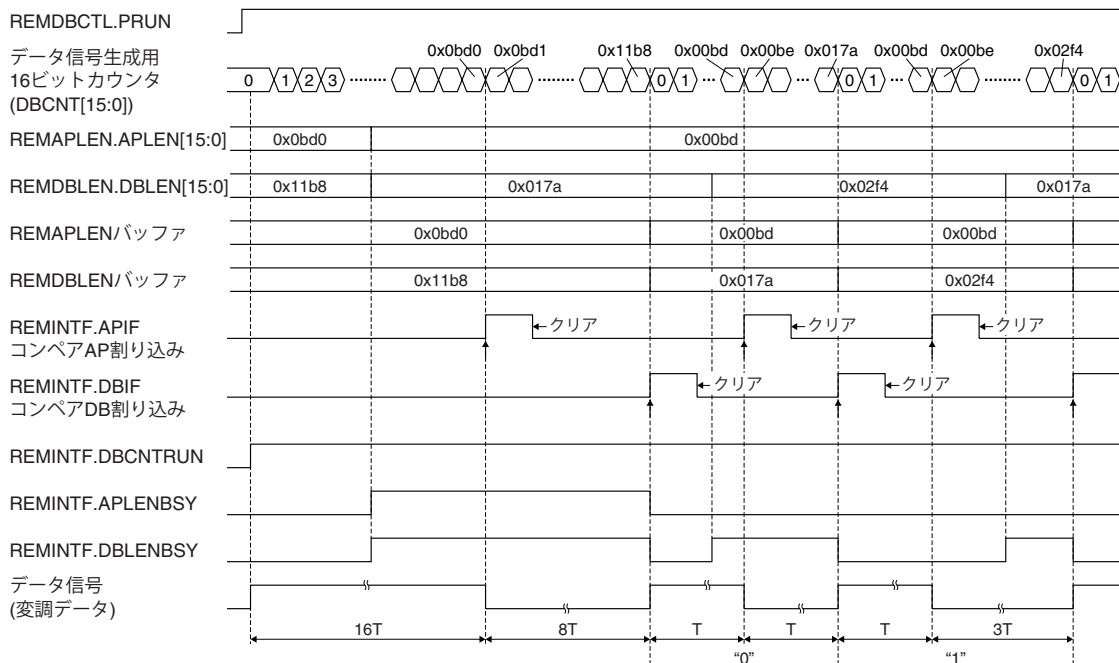


図17.4.4.1 連続送信例

コンペアバッファをディスエーブル(REMDBCTL.BUFENビット = 0)にした場合、16ビットカウンタの値は、REMAPLEN.APLEN[15:0]ビットおよびREMDBLEN.DBLEN[15:0]ビットの値と直接比較されます。REMAPLEN.APLEN[15:0]ビットまたはREMDBLEN.DBLEN[15:0]ビットを書き換えると、その時点で比較値が変更されます。

コンペアバッファをイネーブル(REMDBCTL.BUFENビット = 1)にすると、REMAPLEN.APLEN[15:0]ビットおよびREMDBLEN.DBLEN[15:0]ビットの設定値はそれぞれに用意されたコンペアバッファ (REMAPLENバッファとREMDBLENバッファ)に転送され、16ビットカウンタの値は、コンペアバッファと比較されます。

コンペアバッファに比較値が転送されるタイミングは、16ビットカウンタとREMDBLENバッファが一致した時点(データ長のカウント終了時)です。したがって、現在のデータ送信中に次の送信データを設定しておくことが可能になります。コンペアバッファをイネーブルにした場合は、それぞれのバッファの状態を示すステータスフラグ(REMINTF.APLENBSYビットとREMINTF.DBLENBSYビット)も有効になります。これらのフラグはそれぞれのレジスタに設定値を書き込んだ時点で1となり、書き込んだ値がバッファに転送されると0にクリアされます。

17.5 割り込み

REMC2には、表17.5.1に示す割り込みを発生させる機能があります。

表17.5.1 REMC2の割り込み機能

割り込み	割り込みフラグ	セット	クリア
コンペアAP	REMINTF.APIF	REMAPLENレジスタ(またはREMAPLENバッファ)の値とデータ信号生成用16ビットカウンタの値が一致したとき	割り込みフラグまたはREMDBCTL.REMCRSTビットへの1書き込み
コンペアDB	REMINTF.DBIF	REMDBLENレジスタ(またはREMDBLENバッファ)の値とデータ信号生成用16ビットカウンタの値が一致したとき	割り込みフラグまたはREMDBCTL.REMCRSTビットへの1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

17.6 応用例: ELランプの駆動

一つの応用例として、REMC2によりELランプを簡単に駆動することができます。ELランプ駆動回路の例を図17.6.1に、生成される駆動波形の例を図17.6.2に示します。詳細な設定や部品例については、別冊のアプリケーションノートを参照してください。

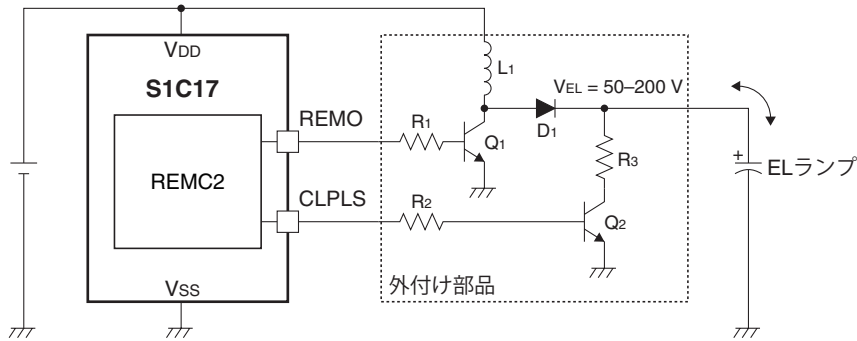


図17.6.1 ELランプ駆動回路例

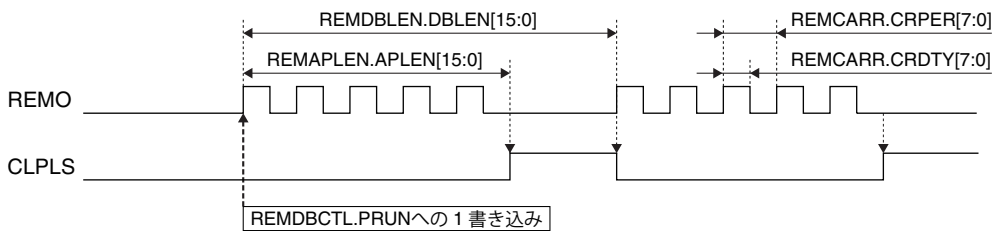


図17.6.2 駆動波形生成例

REMDBCTL.PRUNビット = 1の間、REMOおよびCLPLS信号がそれぞれの端子から出力されます。REMDBLEN.DBLEN[15:0]ビットとREMAPLEN.APLEN[15:0]ビットの設定値の差が、CLPLSパルス幅(High期間)になります。

17.7 制御レジスタ

REMC2 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にREMC2動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、REMC2動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、REMC2のクロックソースを選択します。

表17.7.1 クロックソースと分周比の設定

REMCLK. CLKDIV[3:0]ビット	REMCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256	1/256	1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: REMCLKレジスタは、REMDBCTL.MODENビット = 0のときのみ設定変更が可能です。

REMC2 Data Bit Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMDBCTL	15–10	–	0x00	–	R	–
	9	PRESET	0	H0/S0	R/W	Cleared by writing 1 to the REMDBCTL.REMCRST bit.
	8	PRUN	0	H0/S0	R/W	
	7–5	–	0x0	–	R	–
	4	REMOINV	0	H0	R/W	
	3	BUFEN	0	H0	R/W	
	2	TRMD	0	H0	R/W	
	1	REMCRST	0	H0	W	
0	MODEN	0	H0	R/W		

Bits 15–10 Reserved**Bit 9 PRESET**

このビットは、内部カウンタ(データ信号生成用16ビットカウンタとキャリア生成用8ビットカウンタ)をリセットします。

1 (W): リセット

0 (W): 無効

1 (R): リセットの実行中

0 (R): リセットを終了または通常動作中

このビットによりカウンタをリセットするには、REMDBCTL.MODENビットが1に設定されている必要があります。

このビットは、カウンタのリセット動作が終了した時点で、またはREMDBCTL.REMCRSTビットに1を書き込んだ時点で、0にクリアされます。

Bit 8 PRUN

このビットは、内部カウンタ(データ信号生成用16ビットカウンタとキャリア生成用8ビットカウンタ)によるカウントを開始/停止します。

- 1 (W): カウント開始
- 0 (W): カウント停止
- 1 (R): カウント動作中
- 0 (R): 停止中

このビットによりカウントを開始するには、REMDBCTL.MODENビットが1に設定されている必要があります。

カウンタが動作中はREMDBCTL.PRUNビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にコンペアDBによってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bits 7–5 Reserved**Bit 4 REMOINV**

このビットは、REMO出力信号の論理を反転します。

- 1 (R/W): 反転
- 0 (R/W): 非反転

詳細は図17.4.3.1を参照してください。

Bit 3 BUFEN

このビットは、コンペアバッファをイネーブル/ディスエーブルに設定します。

- 1 (R/W): イネーブル
- 0 (R/W): ディスエーブル

詳細は、“連続送信とコンペアバッファ”を参照してください。

注: データ信号デューティ/周期の初回設定時は、必ずREMDBCTL.BUFENビットを0に設定してください。

Bit 2 TRMD

このビットは、データ信号生成用16ビットカウンタの動作モードを選択します。

- 1 (R/W): ワンショットモード
- 0 (R/W): リピートモード

詳細は、“REMO出力波形、データ信号”を参照してください。

Bit 1 REMCRST

このビットは、REMC2をソフトウェアリセットします。

- 1 (W): ソフトウェアリセットを要求
- 0 (W): 無効
- 1 (R): ソフトウェアリセットの実行中
- 0 (R): ソフトウェアリセット終了(通常動作中)

REMC2の内部カウンタおよび割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

注: ワンショットモードで出力した後は、REMDBCTL.REMCRSTビットを1に設定してください。

Bit 0 MODEN

このビットは、REMC2の動作をイネーブルにします。

- 1 (R/W): REMC2動作イネーブル(動作クロックが供給されます。)
- 0 (R/W): REMC2動作ディスエーブル(動作クロックが停止します。)

注: データの送信中にREMDBCTL.MODENビットを1から0に変更した場合は、送信途中のデータは保証されません。この操作の後、REMDBCTL.MODENビットを再度1に設定する場合は、必ずREMDBCTL.REMCRSTビットにも1を書き込んでください。

REMC2 Data Bit Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMDBCNT	15-0	DBCNT[15:0]	0x0000	H0/S0	R	Cleared by writing 1 to the REMDBCTL.REMCRST bit.

Bits 15-0 DBCNT[15:0]

これらのビットから、現在のデータ信号生成用16ビットカウンタの値が読み出せます。

REMC2 Data Bit Active Pulse Length Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMAPLEN	15-0	APLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMDBCTL.MODEN bit = 1.

Bits 15-0 APLEN[15:0]

これらのビットは、データ信号のアクティブパルス長(REMDBCTL.REMOINVビット = 0の場合はHIGH期間、REMDBCTL.REMOINVビット = 1の場合はLOW期間)を設定します。

データ信号生成用16ビットカウンタ = 0x0000からREMO端子はアクティブレベルになり、カウンタがREMAPLEN.APLEN[15:0]ビットの設定値を超えた時点でインアクティブレベルに反転します。この設定とREMDBLEN.DBLEN[15:0]ビットの設定より、データ信号のデューティが決定します。(図17.4.3.3参照)

本レジスタを書き換えるには、REMDBCTL.MODENビットが1に設定されている必要があります。

REMC2 Data Bit Length Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMDBLEN	15-0	DBLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMDBCTL.MODEN bit = 1.

Bits 15-0 DBLEN[15:0]

これらのビットは、データ信号のデータ長(1周期の長さ)を設定します。

データ信号の周期は、データ信号生成用16ビットカウンタ = 0x0000で開始し、カウンタがREMDBLEN.DBLEN[15:0]ビットの設定値を超えた時点で終了します。(図17.4.3.3参照)

本レジスタを書き換えるには、REMDBCTL.MODENビットが1に設定されている必要があります。

REMC2 Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMINTF	15-11	–	0x00	–	R	–
	10	DBCNTRUN	0	H0/S0	R	Cleared by writing 1 to the REMDBCTL.REMCRST bit.
	9	DBLENBSY	0	H0	R	Effective when the REMDBCTL.BUFEN bit = 1.
	8	APLENBSY	0	H0	R	
	7-2	–	0x00	–	R	–
	1	DBIF	0	H0/S0	R/W	Cleared by writing 1 to this bit or the REMDBCTL.REMCRST bit.
	0	APIF	0	H0/S0	R/W	

Bits 15-11 Reserved

Bit 10 DBCNTRUN

このビットは、データ信号生成用16ビットカウンタが動作中か否かを示します。(図17.4.4.1参照)

1 (R): 動作中(カウント中)

0 (R): 停止中

Bit 9 DBLENBSY

このビットは、REMDBLEN.DBLEN[15:0]ビットに書き込んだ値がREMDBLENバッファに転送されたか否かを示します。(図17.4.4.1参照)

1 (R): REMDBLENバッファへの転送前

0 (R): REMDBLENバッファへの転送完了

このビットが1の場合、REMDBLEN.DBLEN[15:0]ビットへの書き込みは無効です。

Bit 8 APLENBSY

このビットは、REMAPLEN.APLEN[15:0]ビットに書き込んだ値がREMAPLENバッファに転送されたか否かを示します。(図17.4.4.1参照)

1 (R): REMAPLENバッファへの転送前

0 (R): REMAPLENバッファへの転送完了

このビットが1の場合、REMAPLEN.APLEN[15:0]ビットへの書き込みは無効です。

Bits 7–2 Reserved**Bit 1 DBIF****Bit 0 APIF**

これらのビットは、REMC2割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

REMINTF.DBIFビット: コンペアDB割り込み

REMINTF.APIFビット: コンペアAP割り込み

これらの割り込みフラグは、REMDBCTL.REMCRSTビットに1を書き込んだ場合も0にクリアされます。

REMC2 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMINTF	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	DBIE	0	H0	R/W	
	0	APIE	0	H0	R/W	

Bits 15–2 Reserved**Bit 1 DBIE****Bit 0 APIE**

これらのビットは、REMC2の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

REMINTF.DBIEビット: コンペアDB割り込み

REMINTF.APIEビット: コンペアAP割り込み

REMC2 Carrier Waveform Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMCARR	15–8	CRDITY[7:0]	0x00	H0	R/W	–
	7–0	CRPER[7:0]	0x00	H0	R/W	

17 IRリモートコントローラ(REMC2)

Bits 15–8 CRDTY[7:0]

これらのビットは、キャリア信号のHIGHレベルの期間を設定します。

キャリア信号生成用8ビットカウンタ = 0x00からキャリア信号はHIGHレベルになり、カウンタがREMCARR.CRDTY[7:0]ビットの設定値を超えた時点でLOWレベルに反転します。この設定とREMCARR.CRPER[7:0]ビットの設定より、キャリア信号のデューティが決定します。(図17.4.3.2参照)

Bits 7–0 CRPER[7:0]

これらのビットは、キャリア信号の周期を設定します。

キャリア信号の周期は、キャリア信号生成用8ビットカウンタ = 0x00で開始し、カウンタがREMCARR.CRPER[7:0]ビットの設定値を超えた時点で終了します。(図17.4.3.2参照)

REMC2 Carrier Modulation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMCCTL	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	CARREN	0	H0	R/W	

Bits 15–1 Reserved

Bit 0 CARREN

このビットは、キャリア変調をイネーブルにします。

1 (R/W): キャリア変調イネーブル

0 (R/W): キャリア変調ディスエーブル(データ信号のみ出力)

注: キャリア変調ディスエーブルのときは、REMCBCTL.REMOINVビットを0に設定してください。

18 R/F変換器(RFC)

18.1 概要

RFCはCR発振方式のA/D変換器(R/F変換器)です。

RFCの主な機能と特長を以下に示します。

- センサの抵抗値をCR発振させ、発振クロックをカウントしてデジタル値に変換
- 基準抵抗とセンサを同一条件で発振させてその差を得ることにより、誤差の少ない高精度な計測を実現
- 発振クロックをカウントする24ビットの計測カウンタを搭載
- 基準抵抗とセンサの計測時間を同一にするために内部クロックをカウントする24ビットのタイムベースカウンタを搭載
- DCバイアス抵抗性センサとACバイアス抵抗性センサに対応
(サーミスタや湿度センサおよび少数の受動部品(容量、抵抗)を接続するだけで、簡単に温度/湿度計を実現可能)
- 外部からクロックを入力して測定(カウント)することも可能
- 発振周波数をモニタするための出力と連続発振機能を搭載
- 基準発振完了、センサ(A、B)発振完了、計測カウンタオーバーフローエラー、タイムベースカウンタオーバーフローエラーにより割り込みを発生可能

図18.1.1にRFCの構成を示します。

表18.1.1 S1C17W03/W04のRFCチャンネル構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	1チャンネル(Ch.0)	2チャンネル(Ch.0とCh.1) * Ch.1は抵抗性センサ測定用DC発振モードのみ使用可能

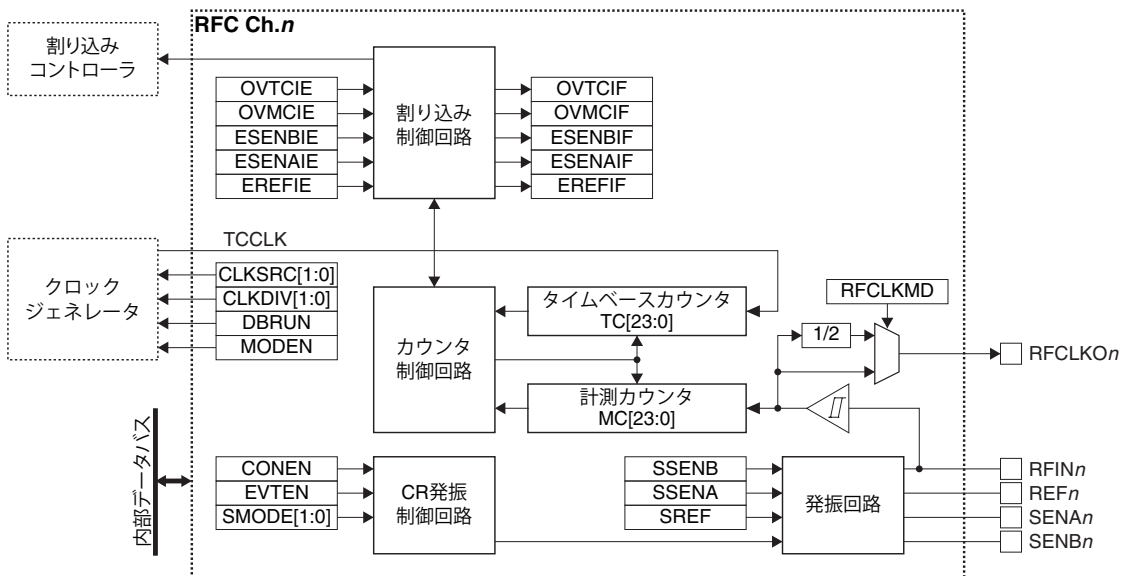


図18.1.1 RFCの構成

18.2 入出力端子と外部接続

18.2.1 入出力端子一覧

表18.2.1.1にRFCの端子一覧を示します。

表18.2.1.1 RFC端子一覧

端子名	I/O*	イニシャル状態*	機能
SENB n	A	Hi-Z	センサB発振制御端子
SENA n	A	Hi-Z	センサA発振制御端子
REF n	A	Hi-Z	基準発振制御端子
RFIN n	A	V _{ss}	RFCLK入力および発振制御端子
RFCLKOn	O	Hi-Z	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

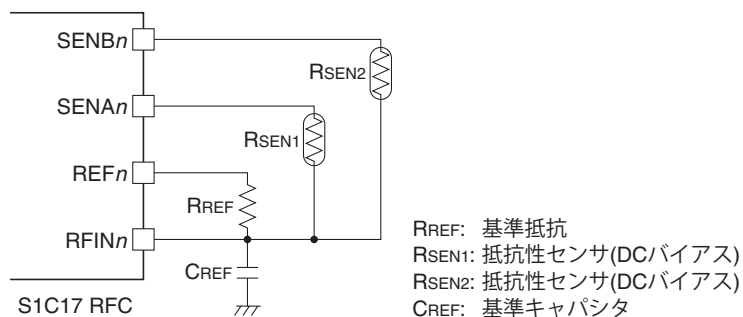
* 端子機能をRFCに切り換えた時点の状態

これらのRFC端子と他の機能がポートを共有している場合、RFCを動作させる前にRFCの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: RFIN n 端子はポート切り換え時にV_{ss}になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

18.2.2 外部との接続

RFCと外部センサの接続例を以下に示します。発振モードと外部クロック入力モードについては、“動作モード”を参照してください。



* 抵抗性センサを1つしか使用しない場合、使用しない端子(SENA n またはSENB n)をオープンにしてください。

図18.2.2.1 抵抗性センサ測定用DC発振モードの接続例

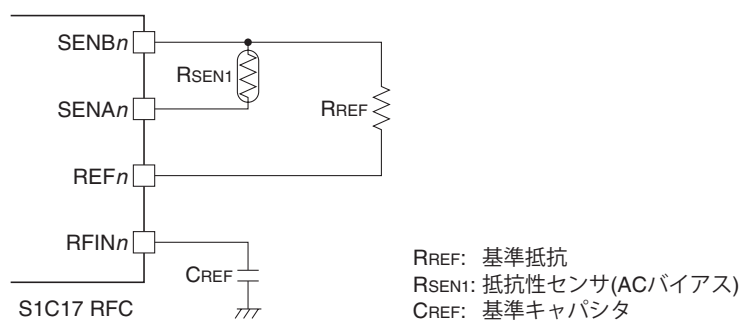
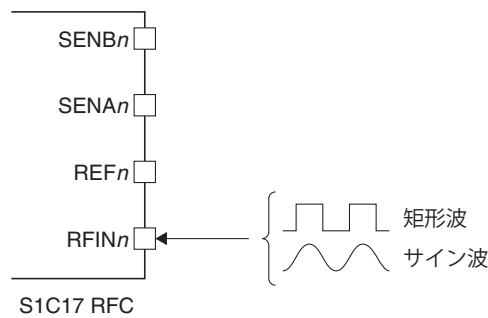


図18.2.2.2 抵抗性センサ測定用AC発振モードの接続例



S1C17 RFC

* 使用しない端子はオープンにしてください。

図18.2.2.3 外部クロック入力モード時の外部クロック入力

18.3 クロック設定

18.3.1 RFCの動作クロック

RFCを使用する場合、クロックジェネレータからRFC動作クロックTCCLKをRFCに供給する必要があります。

TCCLKの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. RFC_nCLKレジスタの以下のビットを設定する。
 - RFC_nCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - RFC_nCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

タイムベースカウンタはここで設定したTCCLKでカウントを行います。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように周波数を決定してください。

18.3.2 SLEEPモード時のクロック供給

SLEEPモード時にRFCを使用する場合は、RFC動作クロックTCCLKのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、TCCLKを供給し続ける必要があります。

18.3.3 DEBUGモード時のクロック供給

DEBUGモード時のTCCLKの供給はRFC_nCLK.DBRUNビットで制御します。

RFC_nCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとRFCへのTCCLKの供給が停止します。その後通常モードに戻ると、TCCLKの供給が再開します。TCCLKの供給が停止するとRFCの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。RFC_nCLK.DBRUNビット = 1の場合、DEBUGモード時もTCCLKの供給は停止せず、RFCは動作を継続します。

18.4 動作

18.4.1 初期設定

RFCは、以下の手順により初期設定を行います。

1. RFC_nCLK.CLKSRC[1:0]ビットとRFC_nCLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
2. 割り込みを使用する場合は以下のビットを設定する。
 - RFC_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - RFC_nINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
3. RFCの入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)

4. RFC_nCTLレジスタの以下のビットを設定する。
- RFC_nCTL.EVTENビット (外部クロック入力モードイネーブル/ディスエーブル)
 - RFC_nCTL.SMODE[1:0]ビット (発振モードを選択)
 - RFC_nCTL.MODENビットを1に設定 (RFCの動作をイネーブル)

18.4.2 動作モード

RFCには、RFC内部の発振回路を使用する2つの発振モードと、外部入力クロックで測定を行う外部クロック入力モードがあります。これらのモードは、チャンネルごとに設定可能です。

発振モード

発振モードはRFC_nCTL.SMODE[1:0]ビットで選択します。

抵抗性センサ測定用DC発振モード

DC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。DC印加が可能な抵抗性センサを接続した場合は、このモードに設定してください。このモードに設定すると、1つのチャンネルに抵抗性センサを2つ接続可能です。

抵抗性センサ測定用AC発振モード

AC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。AC印加が必要な抵抗性センサを接続した場合は、このモードに設定してください。このモードでは、1つのチャンネルに抵抗性センサを1つのみ接続可能です。

外部クロック入力モード(イベントカウンタモード)

このモードでは、外部からクロックパルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、サイン波の入力も可能です(シュミット入力のしきい値については“電気的特性”の章の“R/F変換器特性、高レベルシュミット入力スレシヨルド電圧V_{Tr+}、および低レベルシュミット入力スレシヨルド電圧V_{T-}”を参照してください)。この機能は、RFC_nCTL.EVTENビットを1に設定するとイネーブルになります。測定制御手順は内部発振回路使用時と同様です。

18.4.3 RFCカウンタ

RFCには以下のとおり2種類のカウンタが内蔵されています。

計測カウンタ(MC)

計測カウンタは初期値のプリセットが可能な24ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、ICの製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

タイムベースカウンタ(TC)

タイムベースカウンタは初期値のプリセットが可能な24ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間にTCCLKによるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが0x000000になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウント値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。基準素子とセンサの抵抗値がまったく同じ場合、<初期値: n> = <センサ発振終了時のカウント値: m> となります(誤差 = 0の場合)。<初期値: n>を大きくすると測定の分解能が上がります。

ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります(測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に0x000000に設定しておきます。

カウンタ値のリード

計測カウンタはRFCCLK、タイムベースカウンタはTCCLKで動作しているため、カウント動作中にCPUで正しく読み出すためには、2回以上読み出して、カウンタ値が一致していることを確認してください。

18.4.4 変換動作と制御手順

以下にR/F変換手順とRFCの動作を説明します。説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。

R/F変換手順

1. RFC n MCHとRFC n MCLレジスタ(計測カウンタ)に初期値(0x000000 - n)を設定する。
2. RFC n TCHとRFC n TCLレジスタ(タイムベースカウンタ)を0x000000にクリアする。
3. RFC n INTF.EREFIFビットとRFC n INTF.OVTCIFビットに1を書き込んでクリアする。
4. RFC n TRG.SREFビットを1に設定し、基準発振を開始させる。
5. RFC割り込みを待つ。
 - i. RFC n INTF.EREFIFビット = 1(基準発振完了)の場合は、RFC n INTF.EREFIFビットをクリアした後、6へ
 - ii. RFC n INTF.OVTCIFビット = 1(タイムベースカウンタオーバーフローエラー)の場合は、RFC n INTF.OVTCIFビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
6. RFC n INTF.ESENAIFビット、RFC n INTF.ESENBIFビット、RFC n INTF.OVMCIFビットに1を書き込んでクリアする。
7. 計測するセンサに対応するRFC n TRG.SSENAビット(センサA)またはRFC n TRG.SSENBビット(センサB)を1に設定し、センサ発振を開始させる(AC発振モードの場合は、RFC n TRG.SSENAビットで制御)。
8. RFC割り込みを待つ。
 - i. RFC n INTF.ESENAIFビット = 1(センサA発振完了)またはRFC n INTF.ESENBIFビット = 1(センサB発振完了)の場合は、RFC n INTF.ESENAIFビットまたはRFC n INTF.ESENBIFビットをクリアした後、9へ
 - ii. RFC n INTF.OVMCIFビット = 1(計測カウンタオーバーフローエラー)の場合は、RFC n INTF.OVMCIFビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
9. RFC n MCHとRFC n MCLレジスタ(計測カウンタ)を読み出し、センサに対応した補正処理を行って検出値を算出する。

R/F変換動作

基準発振

変換手順のステップ4でRFC n TRG.SREFビットを1に設定すると、RFC Ch. n は基準抵抗によるCR発振を開始します。計測カウンタは設定された初期値からCR発振クロックでカウントアップを開始し、タイムベースカウンタは0x000000からTCCLKでカウントアップを開始します。

計測カウンタまたはタイムベースカウンタがオーバーフロー(0xfffff → 0x000000)すると、RFC n TRG.SREFビットが0になり、基準発振が自動的に終了します。

計測カウンタがオーバーフローした場合は正常終了で、RFC n INTF.EREFIFビットが1にセットされます。このとき、RFC n INTE.EREFIEビット = 1であれば、基準発振完了割り込み要求が発生します。

タイムベースカウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVTCIFビットが1にセットされます。このとき、RFCnINTE.OVTCIEビット = 1であれば、タイムベースカウンタオーバーフローエラー割り込み要求が発生します。

センサ発振

変換手順のステップ7でRFCnTRG.SSENAビット(センサA)またはRFCnTRG.SSENBビット(センサB)を1に設定すると、RFC Ch.nはセンサによるCR発振を開始します。

計測カウンタは0x000000からCR発振クロックでカウントアップを開始し、タイムベースカウンタは基準発振終了時の値からTCCLKでカウントダウンを開始します。

タイムベースカウンタが0x000000になるか、あるいは計測カウンタがオーバーフローすると(0xfffff → 0x000000)、発振を開始させたRFCnTRG.SSENAビットまたはRFCnTRG.SSENBビットが0になり、センサ発振が自動的に終了します。

タイムベースカウンタが0x000000になった場合は正常終了で、RFCnINTF.ESENAIFビット(センサA)またはRFCnINTF.ESENBIFビット(センサB)が1にセットされます。このとき、RFCnINTE.ESENAIEビット = 1またはRFCnINTE.ESENBIEビット = 1であれば、センサAまたはセンサB発振完了割り込み要求が発生します。

計測カウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVMCIFビットが1にセットされます。このとき、RFCnINTE.OVMCIEビット = 1であれば、計測カウンタオーバーフローエラー割り込み要求が発生します。

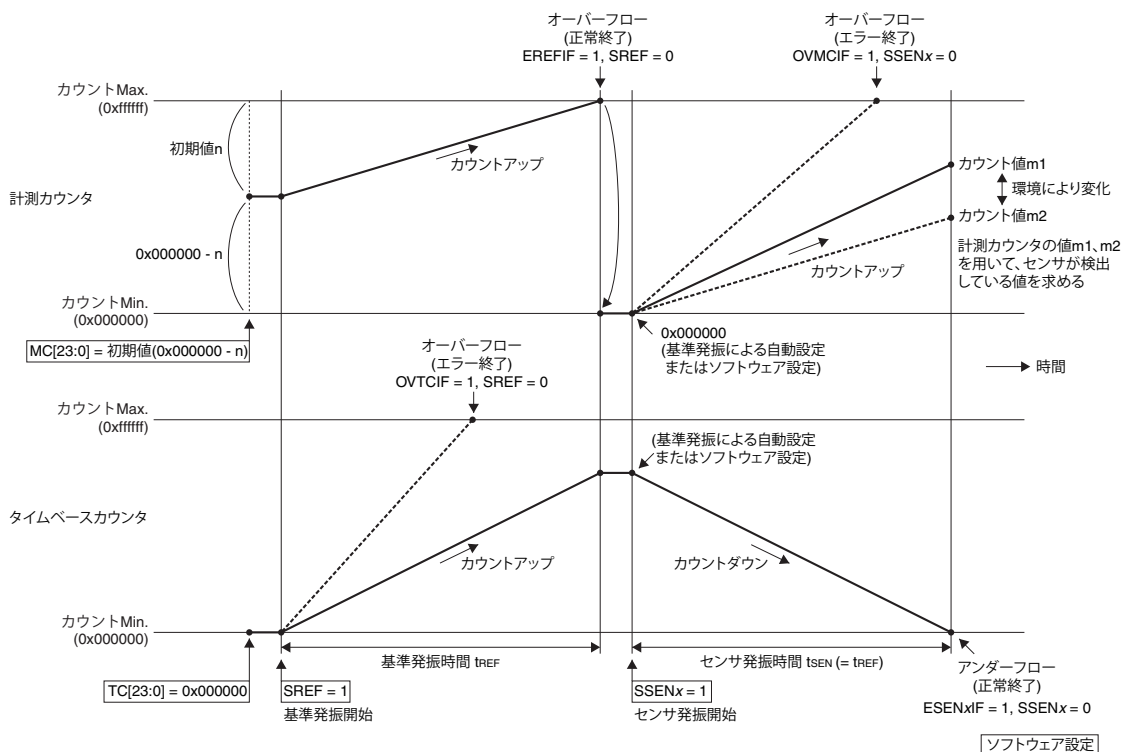


図18.4.4.1 基準発振/センサ発振によるカウンタの動作

強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始させたRFCnTRG.SREFビット(基準発振)、RFCnTRG.SSENAビット(センサA発振)、またはRFCnTRG.SSENBビット(センサB発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \approx m$ になります。このときの、 n と m との差が誤差になります。誤差要因を表18.4.4.1に示します。(n: 計測カウンタ初期値、m: センサ発振終了時の計測カウンタ値)

表18.4.4.1 誤差要因

誤差要因	影響度
外付け部品の公差	大
電源電圧変動	大
基板の寄生容量と抵抗	中
温度	小
IC製造ばらつき	小

18.4.5 CR発振周波数モニタ機能

変換動作中のCR発振クロック(RFCLK)を外部モニタのためにRFCLK_n端子から出力することができます。このとき、RFC_nCTL.CONENを1に設定しておくことで連続発振モードになり、発振停止条件を無視して連続的に発振動作を行います。この場合も発振を開始するには、RFC_nTRG.SREFビット(基準発振)、RFC_nTRG.SSENAビット(センサA発振)、またはRFC_nTRG.SSENBビット(センサB発振)を1に設定してください。発振を停止するにはこれらのビットを0に設定します。この機能により、CR発振クロック周波数を容易に測定することができます。また、RFC_nCTL.RFCLKMDビットを1に設定すると、RFCLKを1/2分周したクロックの出力を行うことができます。

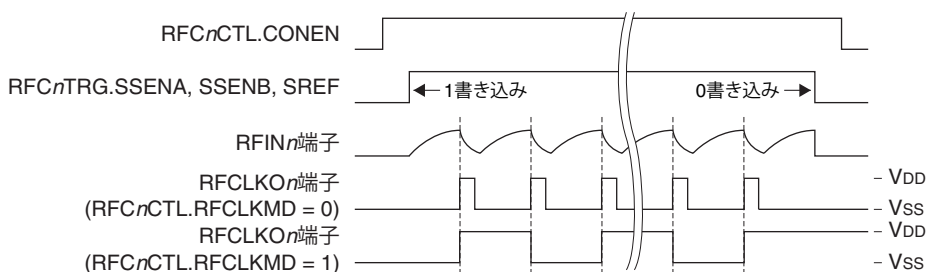


図18.4.5.1 CR発振クロック(RFCLK)の波形

18.5 割り込み

RFCには、表18.5.1に示す割り込みを発生させる機能があります。

表18.5.1 RFCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
基準発振完了	RFC _n INTF.EREFIF	計測カウンタのオーバーフローにより基準発振が正常終了	1書き込み
センサA発振完了	RFC _n INTF.ESENAIF	タイムベースカウンタが0x000000になり、センサA発振が正常終了	1書き込み
センサB発振完了	RFC _n INTF.ESENBIF	タイムベースカウンタが0x000000になり、センサB発振が正常終了	1書き込み
計測カウンタ オーバーフローエラー	RFC _n INTF.OVMCIF	計測カウンタのオーバーフローによりセンサ発振が異常終了	1書き込み
タイムベースカウンタ オーバーフローエラー	RFC _n INTF.OVTCIF	タイムベースカウンタのオーバーフローにより基準発振が異常終了	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

18.6 制御レジスタ

RFC Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にRFC動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、RFC動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、RFCのクロックソースを選択します。

表18.6.1 クロックソースと分周比の設定

RFCnCLK. CLKDIV[1:0]ビット	RFCnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: RFCnCLKレジスタは、RFCnCTL.MODENビット = 0のときのみ設定変更が可能です。

RFC Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCTL	15-9	-	0x00	-	R	-
	8	RFCLKMD	0	H0	R/W	
	7	CONEN	0	H0	R/W	
	6	EVTEN	0	H0	R/W	
	5-4	SMODE[1:0]	0x0	H0	R/W	
	3-1	-	0x0	-	R	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 RFCLKMD

このビットは、RFCLKOn端子の出力を、発振クロックを1/2に分周したクロックに設定します。

1 (R/W): 1/2分周クロック出力

0 (R/W): 発振クロックを出力

詳細は、“CR発振周波数モニタ機能”を参照してください。

Bit 7 CONEN

このビットは、CR発振の自動停止を禁止して、連続発振をイネーブルにします。

1 (R/W): 連続発振イネーブル

0 (R/W): 連続発振ディスエーブル

詳細は、“CR発振周波数モニタ機能”を参照してください。

Bit 6 EVTEN

このビットは、外部クロック入力モード(イベントカウンタモード)をイネーブルにします。

1 (R/W): 外部クロック入力モード

0 (R/W): 通常モード

詳細は“動作モード”を参照してください。

注: RFCnCTL.EVTENビットを1に設定する前に、外部クロックを入力しないでください。RFINn端子は、端子機能をR/F変換器用に切り換えた時点でVsslにプルダウンされます。

Bits 5–4 SMODE[1:0]

これらのビットは、発振モードを設定します。詳細は“動作モード”を参照してください。

表18.6.2 発振モードの選択

RFCnCTL.SMODE[1:0]ビット	発振モード
0x3, 0x2	Reserved
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

Bits 3–1 Reserved**Bit 0 MODEN**

このビットは、RFCの動作をイネーブルにします。

1 (R/W): RFC動作イネーブル(動作クロックが供給されます。)

0 (R/W): RFC動作ディスエーブル(動作クロックが停止します。)

注: R/F変換中にRFCnCTL.MODENビットを1から0に変更した場合は、変換途中のカウンタ値は保証されません。そこからR/F変換を再開することはできません。

RFC Ch.n Oscillation Trigger Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTRG	15–8	–	0x00	–	R	–
	7–3	–	0x00	–	R	
	2	SSENB	0	H0	R/W	
	1	SSENA	0	H0	R/W	
	0	SREF	0	H0	R/W	

Bits 15–3 Reserved**Bit 2 SSENB**

このビットは、センサBのCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

注: RFCnCTL.SMODE[1:0]ビットが0x1(抵抗性センサ測定用AC発振モード)の場合、RFCnTRG.SSENBビットに1を書き込んでも発振を開始しません。

Bit 1 SSENA

このビットは、センサAのCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

Bit 0 SREF

このビットは、基準抵抗のCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

注: • RFCnCTL.MODENビット = 0(RFC動作ディスエーブル)の場合、本レジスタの設定はすべて無効になります。

• 発振を開始させる場合は必ずRFCnTRG.SREFビット、RFCnTRG.SSENAビット、RFCnTRG.SSENBビットの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。

• 本レジスタで発振を開始させる前に、必ず割り込みフラグ(RFCnINTF.EREFIFビット、RFCnINTF.ESENAIFビット、RFCnINTF.ESENBIFビット、RFCnINTF.OVMCIFビット、RFCnINTF.OVTCIFビット)をクリアしてください。

RFC Ch.n Measurement Counter Low and High Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	15-0	MC[15:0]	0x0000	H0	R/W	-
RFCnMCH	15-8	-	0x00	-	R	-
	7-0	MC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	31-24	-	0x00	-	R	-
RFCnMCH	23-0	MC[23:0]	0x000000	H0	R/W	-

Bits 31-24 Reserved**Bits 23-0 MC[23:0]**

これらのビットにより、計測カウンタのデータの書き込み/読み出しができます。

注: 計測カウンタに16ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFCnMCL.MC[15:0]ビット)から先に書き込んでください。上位の値(RFCnMCH.MC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC Ch.n Time Base Counter Low and High Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	15-0	TC[15:0]	0x0000	H0	R/W	-
RFCnTCH	15-8	-	0x00	-	R	-
	7-0	TC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	31-24	-	0x00	-	R	-
RFCnTCH	23-0	TC[23:0]	0x000000	H0	R/W	-

Bits 31-24 Reserved**Bits 23-0 TC[23:0]**

これらのビットにより、タイムベースカウンタのデータの書き込み/読み出しができます。

注: タイムベースカウンタに16ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFCnTCL.TC[15:0]ビット)から先に書き込んでください。上位の値(RFCnTCH.TC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTF	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	OVTCIF	0	H0	R/W	Cleared by writing 1.
	3	OVMCIF	0	H0	R/W	
	2	ESENBIF	0	H0	R/W	
	1	ESENAIF	0	H0	R/W	
	0	EREFIF	0	H0	R/W	

Bits 15-5 Reserved

Bit 4	OVTCIF
Bit 3	OVMCIF
Bit 2	ESENBIF
Bit 1	ESENAIF
Bit 0	EREFIF

これらのビットは、RFC割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RFCnINTF.OVTCIFビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTF.OVMCIFビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTF.ESENBIFビット: センサB発振完了割り込み

RFCnINTF.ESENAIFビット: センサA発振完了割り込み

RFCnINTF.EREFIFビット: 基準発振完了割り込み

RFC Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTE	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	OVTCIE	0	H0	R/W	
	3	OVMCIE	0	H0	R/W	
	2	ESENBIE	0	H0	R/W	
	1	ESENAIE	0	H0	R/W	
	0	EREFIE	0	H0	R/W	

Bits 15-5 Reserved

Bit 4	OVTCIE
Bit 3	OVMCIE
Bit 2	ESENBIE
Bit 1	ESENAIE
Bit 0	EREFIE

これらのビットは、RFCの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RFCnINTE.OVTCIEビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTE.OVMCIEビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTE.ESENBIEビット: センサB発振完了割り込み

RFCnINTE.ESENAIEビット: センサA発振完了割り込み

RFCnINTE.EREFIEビット: 基準発振完了割り込み

19 12ビットA/D変換器(ADC12A)

19.1 概要

ADC12Aは、逐次比較型の12ビットA/D変換器です。

ADC12Aの主な機能と特長を以下に示します。

- 変換方式: 逐次比較型
- 分解能: 12ビット
- アナログ入力電圧範囲: 基準電圧VREFA \sim V_{SS}
- 2種類の変換動作モード: 1. 単一変換モード
2. 連続変換モード
- 3種類の変換トリガ: 1. ソフトウェアトリガ
2. 16ビットタイマアンダーフロートリガ
3. 外部トリガ
- 複数のアナログ入力信号をシーケンシャルに変換可能
- 変換完了、オーバーライトエラー割り込みを発生可能

図19.1.1にADC12Aの構成を示します。

表19.1.1 S1C17W03/W04のADC12A構成

項目	32pinパッケージ	48pinパッケージ/チップ
チャンネル数	1チャンネル(Ch.0)	
チャンネル当たりのアナログ信号入力数	Ch.0: 5入力 (ADIN00 \sim 02, ADIN04 \sim 05)	Ch.0: 6入力 (ADIN00 \sim ADIN05)
変換クロック入力とトリガに使用する16ビットタイマ	Ch.0 \leftarrow 16ビットタイマCh.3	
VREFA端子(外部基準電圧入力)	なし(IC内部でV _{DDA} に接続)	あり

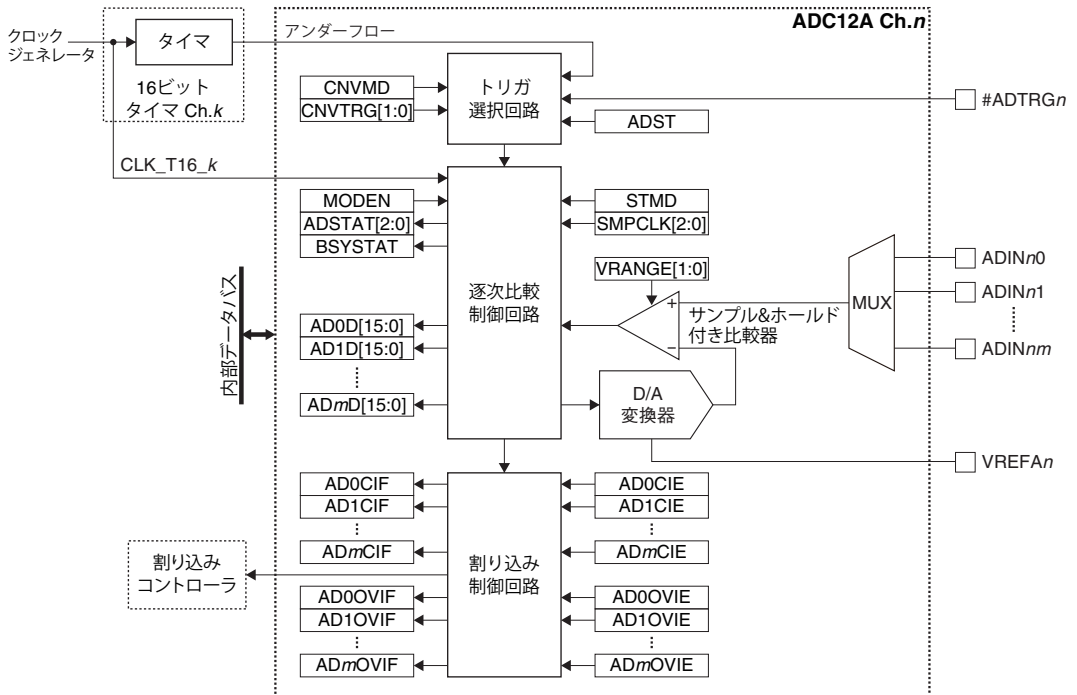


図19.1.1 ADC12Aの構成

注: 本章では、チャンネル番号をn、アナログ入力端子番号をm、対応する16ビットタイマのチャンネル番号をkと記述します。

19.2 入力端子と外部接続

19.2.1 入力端子一覧

表19.2.1.1にADC12Aの端子一覧を示します。

表19.2.1.1 ADC12A端子一覧

端子名	I/O*	イニシャル状態*	機能
ADIN n m	A	Hi-Z	アナログ信号入力
#ADTRG n	I	I	外部トリガ入力
VREFAn	A	Hi-Z	基準電圧入力

* 端子機能をADC12Aに切り換えた時点の状態

これらのADC12A端子と他の機能がポートを共有している場合、ADC12Aを動作させる前にADC12Aの入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

19.2.2 外部との接続

ADC12Aと外部機器との接続を図19.2.2.1に示します。

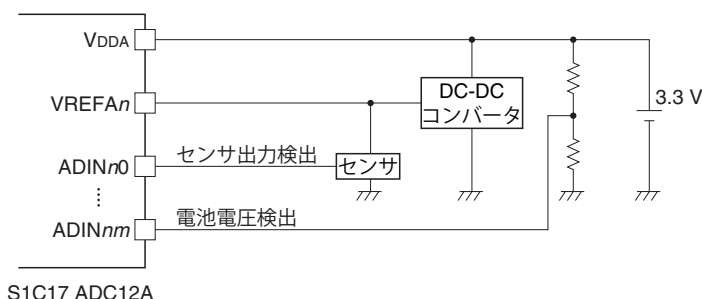


図19.2.2.1 ADC12Aと外部機器との接続

19.3 クロック設定

19.3.1 ADC12Aの動作クロック

ADC12Aの動作クロックには、16ビットタイマCh.kの動作クロックCLK_T16_kが使用されます。CLK_T16_kの設定方法、およびSLEEPモード/DEBUGモード時のクロック供給については、“16ビットタイマ”の章の“クロック設定”を参照してください。

注: SLEEPモードやDEBUGモード等で、A/D変換中にCLK_T16_kの供給が停止した場合、その後供給が再開した場合でも正しい変換結果は得られません。再度、A/D変換を実行してください。

19.3.2 サンプリング時間

ADC12Aにはサンプル&ホールド回路が内蔵されており、アナログ入力信号の電圧を取り込むのに十分な時間(tacq:アキュイジョン時間)が得られるように、サンプリング時間を設定する必要があります。図19.3.2.1に、アナログ入力の等価回路を示します。

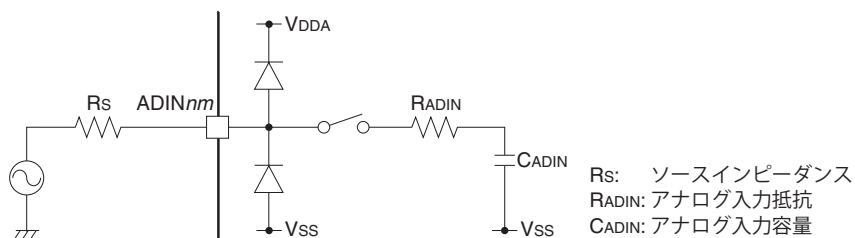


図19.3.2.1 アナログ入力等価回路

この等価回路の R_{ADIN} 、 C_{ADIN} の値については、“電気的特性”の章の“12ビットA/D変換器特性”を参照してください。それらの値を基に、ADC12A動作クロック CLK_T16_k とサンプリング時間を設定する $ADC12_nTRG.SMPCLK[2:0]$ ビットは、以下の式を満たすように設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{ADIN}) \times C_{ADIN} \quad (\text{式19.1})$$

$$\frac{1}{f_{CLK_ADC}} \times SMPCLK > t_{ACQ} \quad (\text{式19.2})$$

ここで

f_{CLK_ADC} : CLK_T16_k の周波数[Hz]

$SMPCLK$: サンプリング時間 = $ADC12_nTRG.SMPCLK[2:0]$ ビットの設定(CLK_T16_k 4~11サイクル)

サンプリング時間と最大サンプリングレートの関係は以下のようになります。

$$\text{最大サンプリングレート [sps]} = \frac{f_{CLK_ADC}}{SMPCLK + 13} \quad (\text{式19.3})$$

19.4 動作

19.4.1 初期設定

ADC12Aは、以下の手順により初期設定を行います。

1. ADC12Aの入力機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. サンプリング時間を満たすように16ビットタイマ $Ch.k$ の動作クロックを設定する。
3. $ADC12_nCTL.MODEN$ ビットを1に設定する。 (ADC12Aの動作をイネーブル)
4. $ADC12_nTRG$ レジスタの以下のビットを設定する。
 - $ADC12_nTRG.SMPCLK[2:0]$ ビット (サンプリング時間の設定)
 - $ADC12_nTRG.CNVTRG[1:0]$ ビット (変換開始トリガソースの設定)
 - $ADC12_nTRG.CNVMD$ ビット (変換動作モードの設定)
 - $ADC12_nTRG.STMD$ ビット (データ格納方法の設定)
 - $ADC12_nTRG.STAAIN[2:0]$ ビット (最初にA/D変換を行うアナログ入力端子の設定)
 - $ADC12_nTRG.ENDAIN[2:0]$ ビット (最後にA/D変換を行うアナログ入力端子の設定)
5. $ADC12_nCFG.VRANGE[1:0]$ ビットを $0x3$ に設定する。(V_{DDA}電圧に合わせた動作電圧範囲の設定)
6. 割り込みを使用する場合は、以下のビットを設定する。
 - $ADC12_nINTF$ レジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - $ADC12_nINTE$ レジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

19.4.2 変換開始トリガソース

A/D変換を開始させるトリガソースは、 $ADC12_nTRG.CNVTRG[1:0]$ ビットによって以下の3種類から選択できます。

外部トリガ(#ADTRG n 端子)

$ADC12_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、#ADTRG n 端子に入力される信号の立ち下りエッジで、A/D変換を開始します。

16ビットタイマ $Ch.k$ アンダフロートリガ

$ADC12_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、16ビットタイマ $Ch.k$ にアンダーフローが発生すると、A/D変換を開始します。

ソフトウェアトリガ

$ADC12_nCTL.ADST$ ビットに1を書き込むと、A/D変換を開始します。

トリガ入力は、 $ADC12_nCTL.BSYSTAT$ ビットが0のときに受け付け可能で、1の間は無視されます。また、実際の変換開始は、トリガ受け付け後、 CLK_T16_k に同期して行われます。いずれのトリガソースの設定でも、 $ADC12_nCTL.ADST$ ビットに0を書き込むことで、現在実行中のA/D変換を完了後に停止します。

19.4.3 変換動作モードと変換を行うアナログ入力端子の設定

ADC12Aは、ADC12_nTRG.CNVMDビットにより、以下に示す2つの変換動作モードを設定できます。また、それぞれのモードで、A/D変換を行うアナログ入力端子の範囲を指定可能です。アナログ入力端子の範囲は、最初のアナログ入力端子をADC12_nTRG.STAAIN[2:0]ビットで、最後のアナログ入力端子をADC12_nTRG.ENDAIN[2:0]ビットで設定します。指定した範囲のアナログ入力信号は、端子番号の昇順に、連続してA/D変換されます。

単一変換モード

指定範囲のすべてのアナログ入力信号を1回A/D変換した後、自動的に停止します。

連続変換モード

ADC12_nCTL.ADSTビットに0が書き込まれるまで、指定範囲のA/D変換を繰り返し実行します。

19.4.4 A/D変換動作と制御手順

以下にA/D変換の制御手順とADC12Aの動作を説明します。

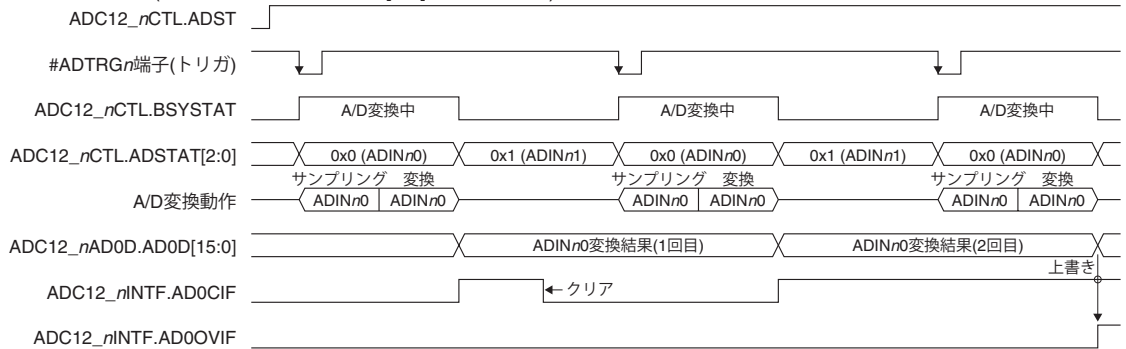
単一変換モードの制御手順

1. ADC12_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
 - i. ADC12_nINTF.ADmCIFビット = 1(アナログ入力信号*m* A/D変換完了割り込み)の場合は、ADC12_nINTF.ADmCIFビットをクリアした後、3へ
 - ii. ADC12_nINTF.ADmOVIFビット = 1(アナログ入力信号*m* A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12_nINTF.ADmOVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力*m*のA/D変換結果(ADC12_nADmD.ADmD[15:0]ビット)を読み出す。
 ※ 12ビットの変換結果は、ADC12_nTRG.STMDビットの設定によりADC12_nADmD.ADmD[15:0]ビット内の下位12ビットまたは上位12ビットに配置されます。
4. 指定したアナログ入力端子の範囲すべてのA/D変換が完了するまで、2と3を繰り返す。
5. A/D変換中に強制終了するには、ADC12_nCTL.ADSTビットに0を書き込む。
 現在のA/D変換が完了後に停止します。
 A/D変換の完了により自動的に停止した場合も、ADC12_nCTL.ADSTビットは0を書き込んでクリアしてください。

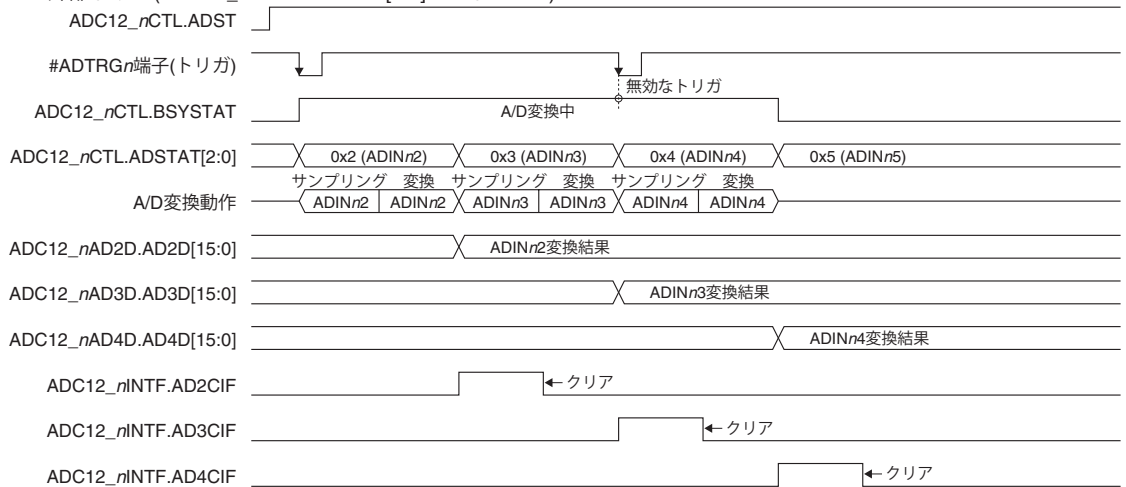
連続変換モードの制御手順

1. ADC12_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
 - i. ADC12_nINTF.ADmCIFビット = 1(アナログ入力信号*m* A/D変換完了割り込み)の場合は、ADC12_nINTF.ADmCIFビットをクリアした後、3へ
 - ii. ADC12_nINTF.ADmOVIFビット = 1(アナログ入力信号*m* A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12_nINTF.ADmOVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力*m*のA/D変換結果(ADC12_nADmD.ADmD[15:0]ビット)を読み出す。
4. A/D変換を終了させるまで、2と3を繰り返す。
5. ADC12_nCTL.ADSTビットに0を書き込む。
 現在のA/D変換が完了後に停止します。

- (1) 単一変換モード(ADC12_nTRG.CNVMDビット = 0)
 ADIN n 0のA/D変換(ADC12_nTRG.STAAIN[2:0]ビット = 0x0、ADC12_nTRG.ENDAIN[2:0]ビット = 0x0)
 外部トリガ(ADC12_nTRG.CNVTRG[1:0]ビット = 0x3)



- (2) 単一変換モード(ADC12_nTRG.CNVMDビット = 0)
 ADIN n 2~4のA/D変換(ADC12_nTRG.STAAIN[2:0]ビット = 0x2、ADC12_nTRG.ENDAIN[2:0]ビット = 0x4)
 外部トリガ(ADC12_nTRG.CNVTRG[1:0]ビット = 0x3)



- (3) 連続変換モード(ADC12_nTRG.CNVMDビット = 1)
 ADIN n 3~4のA/D変換(ADC12_nTRG.STAAIN[2:0]ビット = 0x3、ADC12_nTRG.ENDAIN[2:0]ビット = 0x4)
 ソフトウェアトリガ(ADC12_nTRG.CNVTRG[1:0]ビット = 0x0)

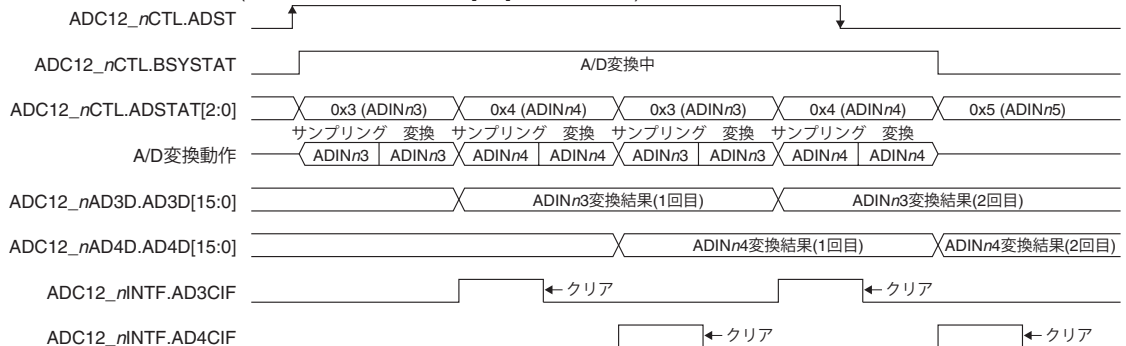


図19.4.4.1 A/D変換動作

19.5 割り込み

ADC12Aには、表19.5.1に示す割り込みを発生させる機能があります。

表19.5.1 ADC12Aの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アナログ入力信号 m A/D変換完了	ADC12_nINTF.ADmCIF	アナログ入力信号 m のA/D変換結果が、ADC12_nADmDレジスタにロードされたとき	1書き込み
アナログ入力信号 m A/D変換結果オーバーライトエラー	ADC12_nINTF.ADmOVIF	ADC12_nINTF.ADmCIFビット = 1の状態、新たなA/D変換結果がADC12_nADmDレジスタにロードされたとき	1書き込み

A/D変換結果オーバーライトエラー割り込みが発生した場合でも、A/D変換動作は継続して実行されます。A/D変換結果オーバーライトエラーの判定に、ADC12_nADmDレジスタが読み出されているか否かは関係ありません。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

19.6 制御レジスタ

ADC12A Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nCTL	15	–	0	–	R	–
	14–12	ADSTAT[2:0]	0x0	H0	R	
	11	–	0	–	R	
	10	BSYSTAT	0	H0	R	
	9–8	–	0x0	–	R	
	7–2	–	0x00	–	R	
	1	ADST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bit 15 Reserved

Bits 14–12 ADSTAT[2:0]

これらのビットは、A/D変換中のアナログ入力端子番号 m を示します。

表19.6.1 制御ビットの値とアナログ入力端子の関係

ADC12_nCTL.ADSTAT[2:0]ビット ADC12_nTRG.STAAIN[2:0]ビット ADC12_nTRG.ENDAIN[2:0]ビット	アナログ入力端子
0x7	ADIN n 7
0x6	ADIN n 6
0x5	ADIN n 5
0x4	ADIN n 4
0x3	ADIN n 3
0x2	ADIN n 2
0x1	ADIN n 1
0x0	ADIN n 0

ADC12_nCTL.ADSTビットに0を書き込んで強制停止させた場合や、単一変換モード(ADC12_nTRG.CNVMD = 0)時に自動停止した場合は、最後に変換したアナログ入力端子の端子番号を示します。最大アナログ入力端子番号(機種により異なります)のA/D変換後は、ADIN n 0を示します。

Bit 11 Reserved

Bit 10 BSYSSTAT

このビットは、A/D変換を実行中か否かを示します。

1 (R/W): A/D変換中

0 (R/W): 停止中

Bits 9–2 Reserved**Bit 1 ADST**

このビットは、A/D変換またはトリガの受け付けを開始します。

1 (R/W): サンプリング&変換開始(ソフトウェアトリガ)

トリガ受け付け開始(外部トリガ、16ビットタイムアンダーフロートリガ)

0 (R/W): 変換終了

このビットは、変換終了後も自動的に0に戻りませんので、再度変換を開始させるためには、一旦0を書き込んでから、再び1を書き込んでください。また、0を書き込んで、強制的に変換を終了させた場合は、実行中のA/D変換を完了させてから、停止します。このビットによってA/D変換中か停止中かを判断することはできません。

注: ADC12_nCTL.ADSTビットへの1書き込み時はCLK_T16_k 1クロック以上、0書き込み時はCLK_T16_k 2クロック以上の期間、書き込み値を保持してください。

Bit 0 MODEN

このビットは、ADC12Aの動作をイネーブルにします。

1 (R/W): ADC12A動作イネーブル(動作クロックが供給されます。)

0 (R/W): ADC12A動作ディスエーブル(動作クロックが停止します。)

注: ADC12_nCTL.MODENビットに0を書き込むと、ADC12Aは終了処理を行います。クロックソースを停止させる場合には、その前に必ずADC12_nCTL.MODENビットを読み出し、0になっていることを確認してください。

ADC12A Ch.n Trigger/Analog Input Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nTRG	15–14	–	0x0	–	R	–
	13–11	ENDAIN[2:0]	0x0	H0	R/W	
	10–8	STAAIN[2:0]	0x0	H0	R/W	
	7	STMD	0	H0	R/W	
	6	CNVMD	0	H0	R/W	
	5–4	CNVTRG[1:0]	0x0	H0	R/W	
	3	–	0	–	R	
	2–0	SMPCLK[2:0]	0x7	H0	R/W	

注: ADC12_nTRGレジスタの変更は、必ずADC12_nCTL.BSYSSTATビット = 0のときに行ってください。

Bits 15–14 Reserved**Bits 13–11 ENDAIN[2:0]**

これらのビットは、最後にA/D変換を行うアナログ入力端子を設定します。

アナログ入力端子と設定値の関係は、表19.6.1を参照してください。

注: A/D変換を行うアナログ入力端子の範囲は、ADC12_nTRG.ENDAIN[2:0]ビット \geq ADC12_nTRG.STAAIN[2:0]ビットとなるように設定してください。

Bits 10–8 STAAIN[2:0]

これらのビットは、最初にA/D変換を行うアナログ入力端子を設定します。

アナログ入力端子と設定値の関係は、表19.6.1を参照してください。

19 12ビットA/D変換器(ADC12A)

Bit 7 STMD

このビットは、A/D変換結果レジスタ(ADC12_nADmD.ADmD[15:0]ビット)へのデータ格納方法を設定します。

1 (R/W): 左詰め

0 (R/W): 右詰め

このビットが変更された時点で、すべてのA/D変換結果レジスタの配置が変わります。このビットの変更による、変換結果への影響はありません。

ADC12_nADmD.ADmD[15:0]ビット

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
左詰め(ADC12_nTRG.STMDビット = 1)	(MSB)				12ビット変換結果								(LSB)			
右詰め(ADC12_nTRG.STMDビット = 0)	0	0	0	0	(MSB)				12ビット変換結果				(LSB)			

図19.6.1 変換データの配置

Bit 6 CNVMD

このビットは、A/D変換の動作モードを設定します。

1 (R/W): 連続変換モード

0 (R/W): 単一変換モード

Bits 5-4 CNVTRG[1:0]

これらのビットは、A/D変換を開始させるトリガソースを選択します。

表19.6.2 トリガソースの選択

ADC12_nTRG.CNVTRG[1:0]ビット	トリガソース
0x3	#ADTRGn端子(外部トリガ)
0x2	Reserved
0x1	16ビットタイマCh.kアンダフロー
0x0	ADC12_nCTL.ADSTビット(ソフトウェアトリガ)

Bit 3 Reserved

Bits 2-0 SMPCLK[2:0]

これらのビットは、アナログ入力信号のサンプリング時間を設定します。

表19.6.3 サンプリング時間の設定

ADC12_nTRG.SMPCLK[2:0]ビット	サンプリング時間 (CLK_T16_kサイクル数)
0x7	11サイクル
0x6	10サイクル
0x5	9サイクル
0x4	8サイクル
0x3	7サイクル
0x2	6サイクル
0x1	5サイクル
0x0	4サイクル

ADC12A Ch.n Configuration Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nCFG	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1-0	VRANGE[1:0]	0x0	H0	R/W	

注: ADC12_nCFGレジスタの変更は、必ずADC12_nCTL.BSYSTATビット = 0のときに行ってください。

Bits 15-2 Reserved

Bits 1-0 VRANGE[1:0]

これらのビットは、A/D変換器の動作電圧範囲を設定します。

表19.6.4 A/D変換器動作電圧範囲の設定

ADC12_nCFG.VRANGE[1:0]ビット	A/D変換器動作電圧範囲
0x3	1.8~3.6 V
0x2	Reserved
0x1	Reserved
0x0	変換停止

- 注:
- ADC12_nCFG.VRANGE[1:0]ビット = 0x0では、A/D変換が行われません。A/D変換を行うときは、0x3に設定してください。
 - ADC12_nCTL.BSYSTATビット = 1のときにADC12_nCFG.VRANGE[1:0]ビットを0x3に設定すると、ADC回路電流 I_{ADC} が流れます。

ADC12A Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nINTF	15	AD7OVIF	0	H0	R/W	Cleared by writing 1.
	14	AD6OVIF	0	H0	R/W	
	13	AD5OVIF	0	H0	R/W	
	12	AD4OVIF	0	H0	R/W	
	11	AD3OVIF	0	H0	R/W	
	10	AD2OVIF	0	H0	R/W	
	9	AD1OVIF	0	H0	R/W	
	8	AD0OVIF	0	H0	R/W	
	7	AD7CIF	0	H0	R/W	
	6	AD6CIF	0	H0	R/W	
	5	AD5CIF	0	H0	R/W	
	4	AD4CIF	0	H0	R/W	
	3	AD3CIF	0	H0	R/W	
	2	AD2CIF	0	H0	R/W	
1	AD1CIF	0	H0	R/W		
0	AD0CIF	0	H0	R/W		

Bits 15–8 ADmOVIF

Bits 7–0 ADmCIF

これらのビットは、ADC12A割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

ADC12_nINTF.AD m OVIFビット: アナログ入力信号 m A/D変換結果オーバーライトエラー
割り込み

ADC12_nINTF.AD m CIFビット: アナログ入力信号 m A/D変換完了割り込み

ADC12A Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nINTE	15	AD7OVIE	0	H0	R/W	-
	14	AD6OVIE	0	H0	R/W	
	13	AD5OVIE	0	H0	R/W	
	12	AD4OVIE	0	H0	R/W	
	11	AD3OVIE	0	H0	R/W	
	10	AD2OVIE	0	H0	R/W	
	9	AD1OVIE	0	H0	R/W	
	8	AD0OVIE	0	H0	R/W	
	7	AD7CIE	0	H0	R/W	
	6	AD6CIE	0	H0	R/W	
	5	AD5CIE	0	H0	R/W	
	4	AD4CIE	0	H0	R/W	
	3	AD3CIE	0	H0	R/W	
	2	AD2CIE	0	H0	R/W	
	1	AD1CIE	0	H0	R/W	
0	AD0CIE	0	H0	R/W		

Bits 15–8 ADmOVIE

Bits 7–0 ADmCIE

これらのビットは、ADC12Aの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

ADC12_nINTE.ADmOVIEビット: アナログ入力信号*m* A/D変換結果オーバーライトエラー
割り込み

ADC12_nINTE.ADmCIEビット: アナログ入力信号*m* A/D変換完了割り込み

ADC12A Ch.n Result Register *m*

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nADmD	15–0	ADmD[15:0]	0x0000	H0	R	-

Bits 15–0 ADmD[15:0]

これらのビットは、アナログ入力信号*m*のA/D変換結果です。

20 乗除算器(COPRO2)

20.1 概要

COPRO2は乗除算機能を提供するコプロセッサです。COPRO2の主な機能と特長を以下に示します。

- 乗算: 符号付き/符号なし乗算をサポート
(16ビット×16ビット=32ビット)
1サイクルで実行可能
- 積和演算(MAC): 符号付き/符号なし積和演算をサポート、オーバーフロー検出機能付き
(16ビット×16ビット+32ビット=32ビット)
1サイクルで実行可能
- 除算: 符号付き/符号なし除算をサポート
(32ビット÷32ビット=32ビット、剰余=32ビット)
17~20サイクルで実行可能
オーバーフロー検出、ゼロ除算処理には未対応

図20.1.1にCOPRO2の構成を示します。

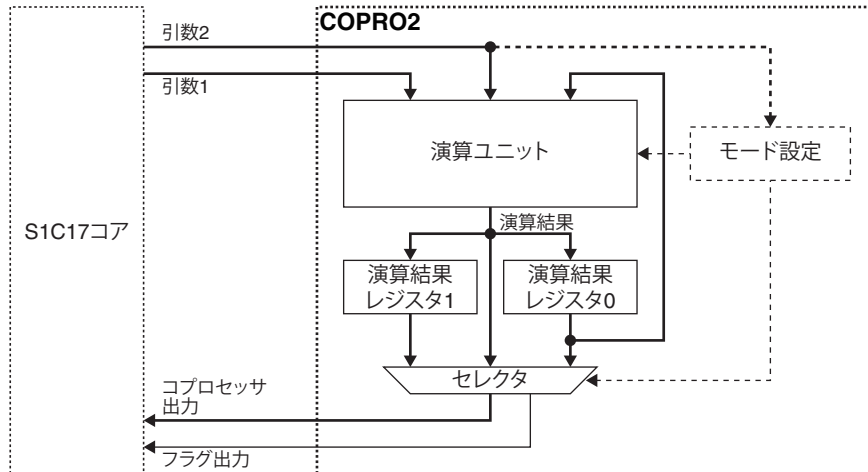


図20.1.1 COPRO2の構成

20.2 動作モードと出力モード

COPRO2はアプリケーションプログラムによって指定される動作モードに従って動作します。表20.2.1に示すとおり、COPRO2は11種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、COPRO2から演算結果レジスタ0または演算結果レジスタ1の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータをCOPRO2内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7  imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

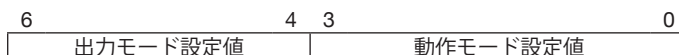


図20.2.1 モード設定レジスタ

表20.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタ0と1を0x0にクリアします。
0x1	上位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタ0の下位16ビットにロードします。
0x2	下位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の下位16ビットが読み出せます。	0x2	初期化モード2 演算用の32ビットデータを演算結果レジスタ0にロードします。
0x3	上位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の上位16ビットが読み出せます。	0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタ0と1のデータを出力します。
0x4~0x7	Reserved	0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	符号なし積和演算モード 符号なし積和演算を実行します。
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa	初期化モード3 演算用の32ビットデータを演算結果レジスタ1にロードします。
0xb~0xf	Reserved		

20.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。
乗算実行手順の一例を以下に示します。

1. モードを0x04(符号なし乗算、下位16ビット出力モード0)または0x05(符号付き乗算、下位16ビット出力モード0)に設定する。
2. 16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
3. 演算結果の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
4. モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
5. 演算結果の残りの1/2(上位16ビット = A[31:16])を読み出す。

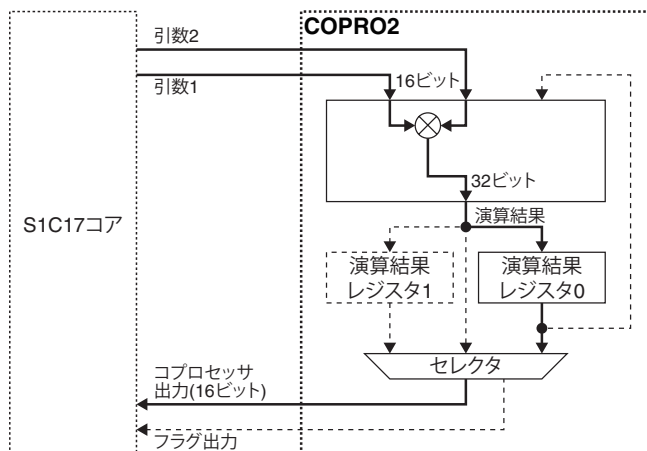


図20.3.1 乗算モードのデータ経路

表20.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × %rs %rd ← res0[15:0] %rd ← res0[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタ0は他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x14 または 0x15	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × %rs %rd ← res0[31:16] res0[31:0] ← %rd × imm7/16 %rd ← res0[31:16]		

res0: 演算結果レジスタ0

例:

```
ld.cw %r0,0x04 ; モード設定(符号なし乗算モード & 下位16ビット出力モード0)
ld.ca %r0,%r1 ; “res0[31:0] = %r0[15:0] × %r1[15:0]”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

20.4 除算

除算機能は、“A(32ビット) = B(32ビット) ÷ C(32ビット), D(32ビット) = 剰余”を実行します。除算実行手順の一例を以下に示します。

1. モードを0x02(初期化モード2)に設定する。
2. 32ビット被除数(B)を、“ld.cf”命令を使用して演算結果レジスタ0に設定する。
3. モードを0x08(符号なし除算、下位16ビット出力モード0)または0x09(符号付き除算、下位16ビット出力モード0)に設定する。
4. 32ビット除数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
5. 演算結果レジスタ0(商)の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
6. モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
7. 演算結果レジスタ0(商)の残りの1/2(上位16ビット = A[31:16])を読み出す。
8. モードを0x23(演算結果読み出し、下位16ビット出力モード1)に設定する。
9. 演算結果レジスタ1(剰余)の1/2(下位16ビット = D[15:0])を読み出す。
10. モードを0x33(演算結果読み出し、上位16ビット出力モード1)に設定する。
11. 演算結果レジスタ1(剰余)の1/2(上位16ビット = D[31:16])を読み出す。

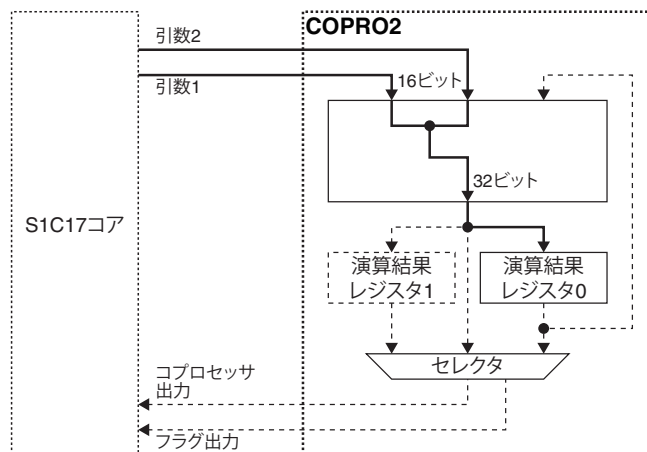


図20.4.1 初期化モード2のデータ経路

表20.4.1 演算結果レジスタ0の初期化(32ビット)

モード設定値	命令	動作	備考
0x02	ld.cf %rd,%rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ0

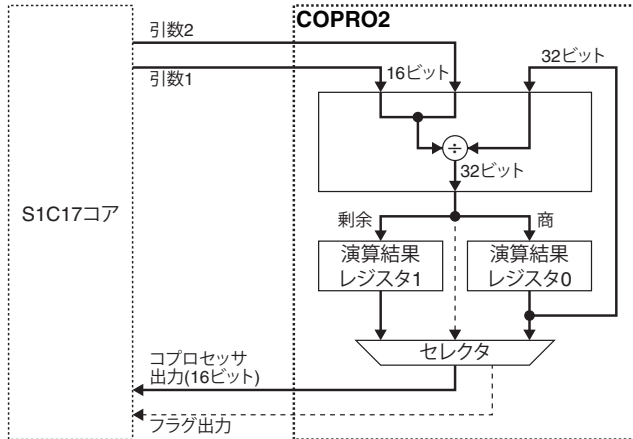


図20.4.2 除算モードのデータ経路

表20.4.2 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタ0と1は他の演算によって再書き込みが行われるまで、演算結果を保持します。 0 ÷ 0の除算には対応していません。
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)		
0x18 または 0x19	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
0x28 または 0x29	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
0x38 または 0x39	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

例:

```
ld.cw %r0,0x02 ; モード設定(初期化モード2)
ld.cf %r0,%r1 ; 被除数{%r0,%r1}を、演算結果レジスタ0に設定
ld.cw %r0,0x08 ; モード設定(符号なし除算モード & 下位16ビット出力モード0)
ld.ca %r0,%r1 ; “res0[31:0](商), res1[31:0](剰余) = res0[31:0] ÷ {%r0[15:0], %r1[15:0]}”を実行し、
               結果(商)の下位16ビットを%r0レジスタにロード
ld.ca %r1,%r0 ; 結果(商)の下位16ビットを%r1レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
ld.ca %r2,%r0 ; 結果(商)の上位16ビットを%r2レジスタにロード
ld.cw %r0,0x23 ; モード設定(演算結果読み出しモード & 下位16ビット出力モード1)
ld.ca %r3,%r0 ; 結果(剰余)の下位16ビットを%r3レジスタにロード
ld.cw %r0,0x33 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード1)
ld.ca %r4,%r0 ; 結果(剰余)の上位16ビットを%r4レジスタにロード
```

20.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。
積和演算実行手順の一例を以下に示します。

- 初期値(A)を演算結果レジスタ0に設定する。
 - 演算結果レジスタをクリア(A=0)する場合:
モードを0x00(初期化モード0)に設定する(別の命令によるCOPRO2への0x00の転送は不要)。
 - 16ビット値を演算結果レジスタ0にロードする場合:
モードを0x01(初期化モード1)に設定し、“ld.cf”命令で初期値(16ビット)をCOPRO2に送る。
 - 32ビット値を演算結果レジスタ0にロードする場合:
モードを0x02(初期化モード2)に設定し、“ld.cf”命令で初期値(32ビット)をCOPRO2に送る。
- モードを0x06(符号なし積和演算、下位16ビット出力モード0)または0x07(符号付き積和演算、下位16ビット出力モード0)に設定する。
- 必要な回数、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
- 演算結果の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
- モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
- 演算結果の残りの1/2(上位16ビット = A[31:16])を読み出す。

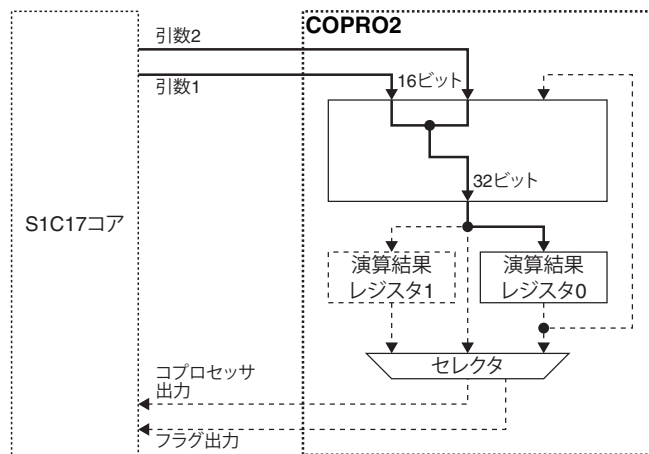


図20.5.1 初期化モード時のデータ経路

表20.5.1 演算結果レジスタ0の初期化

モード設定値	命令	動作	備考
0x00	-	res0[31:0] ← 0x0 res1[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x01	ld.cf %rd,%rs	res0[31:16] ← 0x0 res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← 0x0 res0[15:0] ← imm7/16	
0x02	ld.cf %rd,%rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

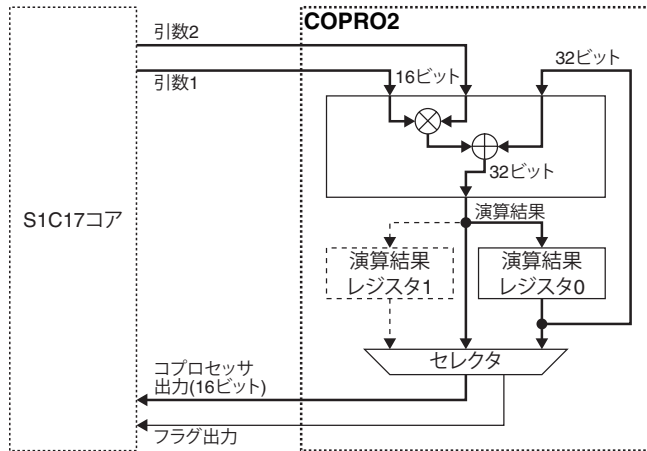


図20.5.2 積和演算モード時のデータ経路

表20.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x06 または 0x07	ld.ca %rd,%rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100	演算結果レジスタ0は他の演算によって書き込みが行われるまで、演算結果を保持します。オーバーフローは符号付き積和演算でのみ検出されず(符号なし積和演算では発生しません)。
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[15:0]	それ以外 psr (CVZN) ← 0b0000	
0x16 または 0x17	ld.ca %rd,%rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[31:16]		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[31:16]		

res0: 演算結果レジスタ0

例:

- ld.cw %r0,0x00 ; モード設定(初期化モード0)、演算結果レジスタ0を0x0000にクリア
- ld.cw %r0,0x07 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード0)
- ld.ca %r0,%r1 ; “res0[31:0] = %r0[15:0] × %r1[15:0] + res0[31:0]”を実行し、結果の下位16ビットを%r0レジスタにロード
- ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
- ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード

オーバーフローフラグ(V)のセット条件

符号付き積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表20.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

20.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算、除算、積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、COPRO2を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

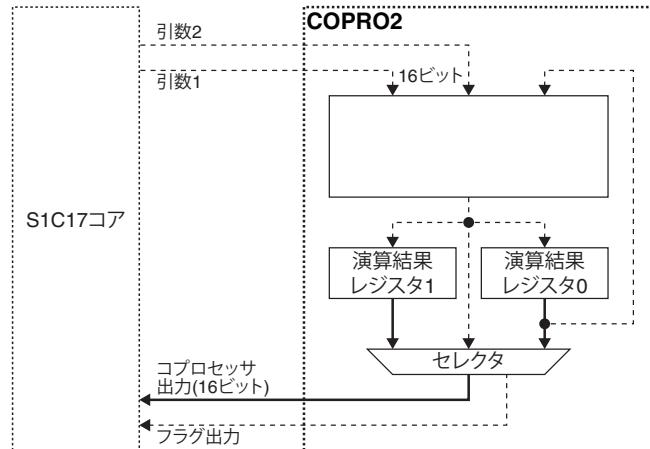


図20.6.1 演算結果読み出しモードのデータ経路

表20.6.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res0[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタ0と1に影響を与えません。
	ld.ca %rd,imm7	%rd ← res0[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res0[31:16]		
	ld.ca %rd,imm7	%rd ← res0[31:16]		
0x23	ld.ca %rd,%rs	%rd ← res1[15:0]		
	ld.ca %rd,imm7	%rd ← res1[15:0]		
0x33	ld.ca %rd,%rs	%rd ← res1[31:16]		
	ld.ca %rd,imm7	%rd ← res1[31:16]		

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

21 電気的特性

21.1 絶対最大定格

(V_{SS} = 0 V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3~4.0	V
アナログ電源電圧	V _{DDA}		-0.3~4.0	V
Flashプログラミング電圧	V _{PP}		-0.3~8.0	V
入力電圧	V _I	P00-07, P10-17, P20-21, P40-43, PD0-D1, PD3-D4, #RESET	-0.3~V _{DD} + 0.5	V
		P30-35, P44-45	-0.3~V _{DDA} + 0.5	V
出力電圧	V _O	P00-P07, P10-17, P20-21, P40-43, PD0-D4	-0.3~V _{DD} + 0.5	V
		P30-35, P44-45	-0.3~V _{DDA} + 0.5	V
高レベル出力電流	I _{OH}	1端子	-10	mA
		全端子合計	-20	mA
低レベル出力電流	I _{OL}	1端子	10	mA
		全端子合計	20	mA
動作温度	T _a		-40~85	°C
保存温度	T _{stg}		-65~125	°C

21.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位	
電源電圧	V _{DD}	通常動作時	1.2	-	3.6	V	
		Flashプログラミング時	1.8	-	3.6	V	
		スーパーエコノミーモード時	2.5	-	3.6	V	
アナログ電源電圧	V _{DDA}		1.2	-	3.6	V	
Flashプログラミング電圧	V _{PP}		7.3	7.5	7.7	V	
OSC1発振回路発振周波数	f _{OSC1}	水晶発振	-	32.768	-	kHz	
OSC3発振回路発振周波数	f _{OSC3}	内蔵発振または水晶/セラミック発振	V _{DD} = 1.2~1.6 V	0.5	-	1.1	MHz
			V _{DD} = 1.6~3.6 V	0.5	-	4.2	MHz
			V _{DD} = 1.6~3.6 V	0.1	-	2.1	MHz
EXOSC外部クロック周波数	f _{EXOSC}	外部発振器から入力	V _{DD} = 1.2~1.6 V	0.016	-	1.1	MHz
			V _{DD} = 1.6~3.6 V	0.016	-	4.2	MHz
V _{SS} ~V _{DD} 間バイパスキャパシタ	CPW1		-	3.3	-	μF	
V _{SS} ~V _{D1-2} 間キャパシタ	CPW2-3		-	1	-	μF	
V _{SS} ~V _{DDA} 間バイパスキャパシタ	CPW4		-	3.3	-	μF	
C _{V1} ~C _{V2} 間キャパシタ	CCV	*1	-	1	10	μF	
OSC1発振回路用ゲートキャパシタ	CG1	*2	0	-	25	pF	
OSC1発振回路用ドレインキャパシタ	CD1	*2	-	0	-	pF	
OSC3発振回路用ゲートキャパシタ	CG3	水晶/セラミック発振回路使用時 *2	0	-	100	pF	
OSC3発振回路用ドレインキャパシタ	CD3	水晶/セラミック発振回路使用時 *2	0	-	100	pF	
OSC3発振回路用発振抵抗	R _{CR3}	CR発振回路使用時	10	-	1,000	kΩ	
DSIO用プルアップ抵抗	R _{DBG}	*3	-	10	-	kΩ	
V _{SS} ~V _{PP} 間キャパシタ	CVPP		-	0.1	-	μF	
V _{SS} ~V _{REFA} 間キャパシタ	CVREFA		-	0.1	-	μF	

*1 スーパーエコノミーモードを使用しない場合、C_{V1}~C_{V2}端子はオープンにすることが可能です。

*2 実際の基板上で振動子のマッチング評価を行い、最終的な値を決めてください。

*3 DSIO端子を汎用入出力ポートとして使用する場合、R_{DBG}は不要です。

21.3 消費電流

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = 25 °C, EXOSC = OFF, PWGCTL.PWGMOD[2:0]ビット = 0x0 (オートマチックモード), PWGTIM.DCCCLK[1:0]ビット = 0x0 (1/32), FLASHWAIT.RDWAIT[1:0]ビット = 0x1 (2サイクル)

項目	記号	条件	V _{DD} or Ta	Min.	Typ.	Max.	単位
SLEEPモード時 消費電流	ISLP	OSC1 = OFF, IOSC = OFF, OSC3 = OFF	25 °C	-	0.15	0.50	μA
			85 °C	-	1.6	9.0	μA
HALTモード時 消費電流	IHALT1	IOSC = ON, OSC1 = 32 kHz*1, OSC3 = OFF	-	-	30	50	μA
	IHALT2	IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = OFF	-	-	0.5	1.1	μA
		IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = OFF, PWGCTL.PWGMOD[2:0]ビット = 0x5 (スーパーストリープモード)	2.5~3.6 V	-	0.3	0.65	μA
IHALT3	IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = 1 MHz (セラミック発振)*2	-	-	30	45	μA	
RUNモード時 消費電流	IRUN10*5	IOSC = ON, OSC1 = 32 kHz*1, OSC3 = OFF, SYSCLK = IOSC	-	-	180	220	μA
		IOSC = ON, OSC1 = 32 kHz*1, OSC3 = OFF, SYSCLK = IOSC, FLASHWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	-	280	350	μA
	IRUN20*5	IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = OFF, SYSCLK = OSC1	-	-	8	12	μA
		IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = OFF, SYSCLK = OSC1, PWGCTL.PWGMOD[2:0]ビット = 0x2 (ノーマルモード)	-	-	17	22	μA
		IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = OFF, SYSCLK = OSC1, PWGCTL.PWGMOD[2:0]ビット = 0x5 (スーパーストリープモード)	2.5~3.6 V	-	4	6	μA
	IRUN30*5	IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = 1 MHz (セラミック発振)*2, SYSCLK = OSC3	-	-	250	300	μA
		IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = 1 MHz (CR発振)*3, SYSCLK = OSC3	1.6~3.6 V	-	250	350	μA
		IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = 4 MHz (内蔵発振)*4, SYSCLK = OSC3	-	-	930	1,100	μA
	IRUN11*6	IOSC = ON, OSC1 = 32 kHz*1, SYSCLK = IOSC, RAM実行	-	-	110	150	μA
IRUN21*6	IOSC = OFF, OSC1 = 32 kHz*1, SYSCLK = OSC1, RAM実行	-	-	4.8	7	μA	
IRUN31*6	IOSC = OFF, OSC1 = 32 kHz*1, OSC3 = 1 MHz (セラミック発振)*2, SYSCLK = OSC3, RAM実行	-	-	150	200	μA	

*1 OSC1発振回路: CLGOSC1.INV1N[1:0]ビット = 0x0, CLGOSC1.CGI1[2:0]ビット = 0x0, CLGOSC1.OSDENビット = 0, C_{G1} = C_{D1} = 0 pF, 水晶振動子 = C-002RX (セイコーエプソン(株)製, R₁ = 50 kΩ (Max.), C_L = 7 pF)

*2 OSC3発振回路: CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x0, C_{G3} = C_{D3} = 100 pF, セラミック振動子 = CSBLA_J ((株)村田製作所製, 1 MHz)

*3 OSC3発振回路: CLGOSC3.OSC3MD[1:0]ビット = 0x1, R_{CR3} = 68 kΩ

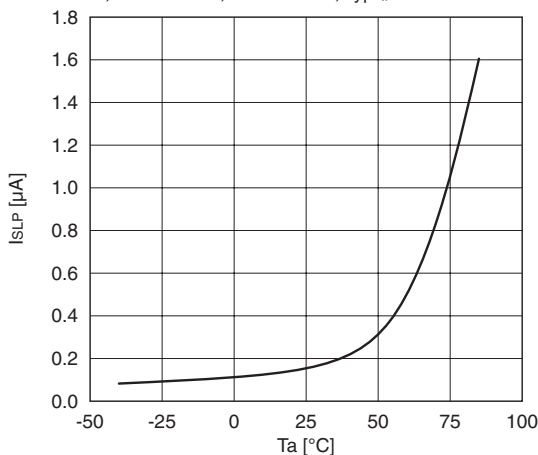
*4 OSC3発振回路: CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x3

*5 "ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%"のプログラムをFlashメモリからフェッチしながら連続動作させた値

*6 "ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%"のプログラムをRAMからフェッチしながら連続動作させた値

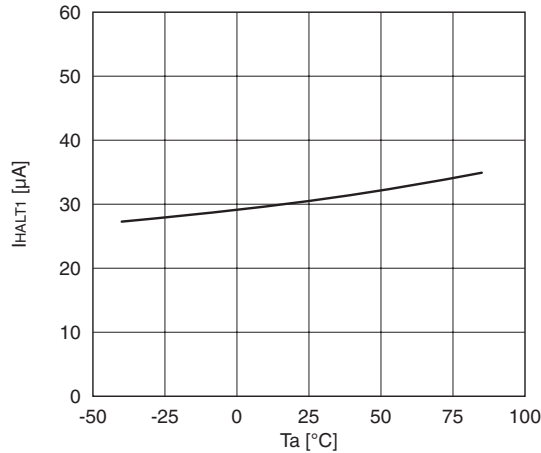
SLEEP時 消費電流-温度特性

IOSC = OFF, OSC1 = OFF, OSC3 = OFF, Typ.値

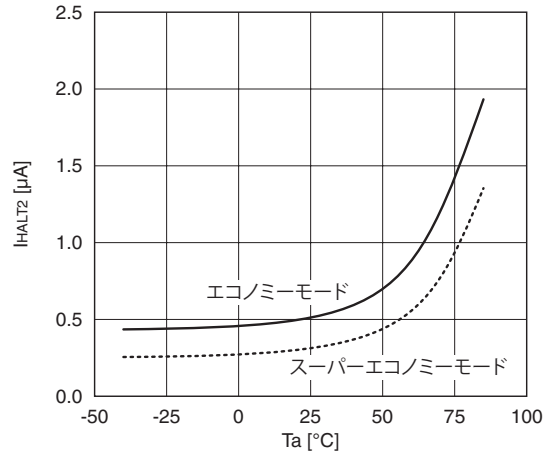


HALT時 消費電流-温度特性(IOSC動作時)

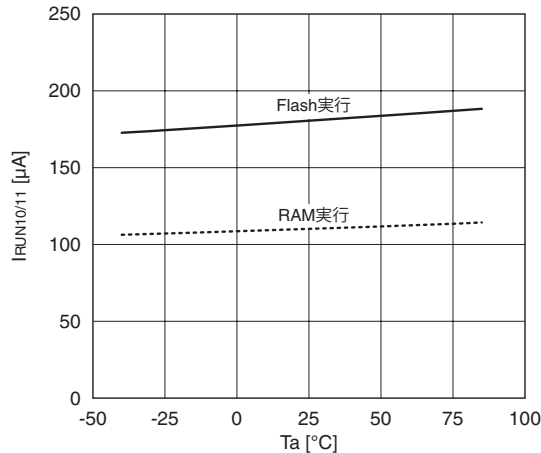
IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF, Typ.値

**HALT時 消費電流-温度特性(OSC1動作時)**

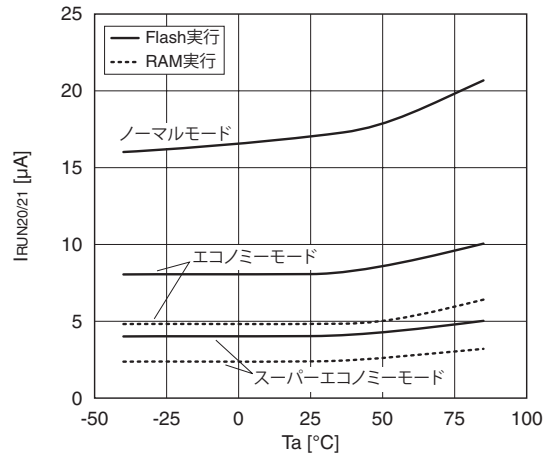
IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-温度特性(IOSC動作時)**

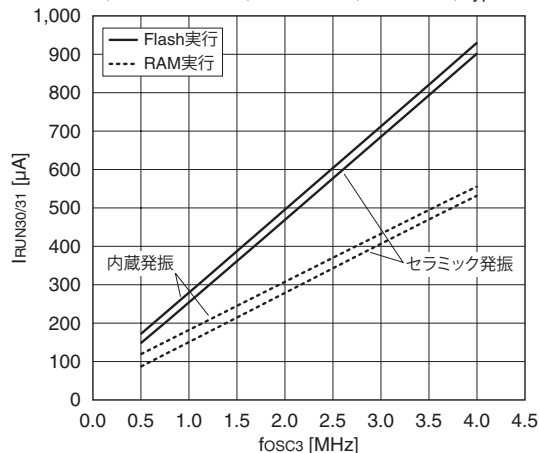
IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-温度特性(OSC1動作時)**

IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-周波数特性(OSC3動作時)**

IOSC = OFF, OSC1 = 32 kHz, OSC3 = ON, Ta = 25 °C, Typ.値



21.4 システムリセットコントローラ(SRC)特性

#RESET端子特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

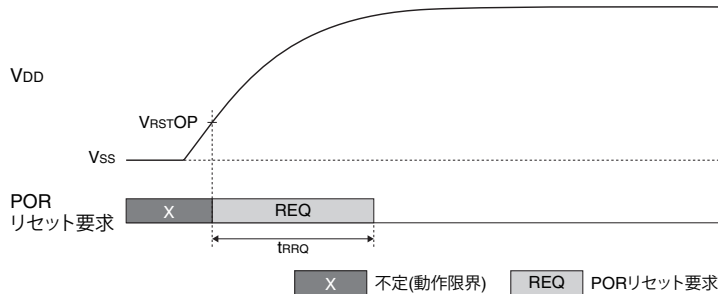
項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		20	-	-	mV
入力プルアップ抵抗	R_{IN}		100	270	500	$k\Omega$
端子容量	C_{IN}		-	-	15	pF
リセットLowパルス幅	t_{SR}		5	-	-	μs



POR特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
POR動作限界電圧	V_{RSTOP}		-	0.5	0.95	V
PORリセット要求保持時間	t_{RRQ}		0.01	-	4	ms



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、 V_{DD} を V_{RSTOP} 以下に落としてください。

リセット保持回路特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
リセット保持時間*1	t_{RSTR}		0.5	-	0.9	ms

*1 リセット要求解除後、内部リセット信号が解除されるまでの時間

21.5 クロックジェネレータ(CLG)特性

振動子を含む発振回路の特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上でマッチング評価を行ってください。

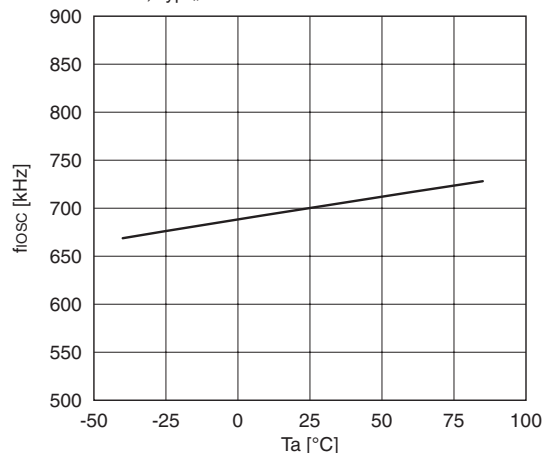
IOSC発振回路特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	V_{DD}	T_a	Min.	Typ.	Max.	単位
発振開始時間	t_{stal}				-	-	3	μs
発振周波数	f_{iosc}		1.6~3.6 V	25 $^\circ\text{C}$	679	700	721	kHz
			1.2~1.6 V		665	700	735	kHz
			1.6~3.6 V	-40~85 $^\circ\text{C}$	651	700	749	kHz
			1.2~1.6 V		630	700	770	kHz

IOSC発振周波数-温度特性

V_{DD} = 1.6~3.6 V, Typ.値



OSC1発振回路特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = 25 °C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間*1	t _{sta1}	CLGOSC1.INV1N[1:0]ビット = 0x1, CLGOSC1.INV1B[1:0]ビット = 0x2, CLGOSC1.OSC1BUPビット = 1	-	-	3	s
内蔵ゲート容量	CGI1	CLGOSC1.CGI1[2:0]ビット = 0x0	-	12	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x1	-	14	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x2	-	16	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x3	-	18	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x4	-	19	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x5	-	21	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x6	-	23	-	pF
内蔵ドレイン容量	CDI1	CLGOSC1.CGI1[2:0]ビット = 0x7	-	24	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x7	-	24	-	pF
発振回路電流 発振インバータ能力比*1	IOSC1	CLGOSC1.INV1N/INV1B[1:0]ビット = 0x0	-	6	-	pF
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x1(基準)	-	70	-	%
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x2	-	100	-	%
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x3	-	130	-	%
発振停止検出回路電流	IOSD1	CLGOSC1.OSDENビット = 1	-	300	-	%
			-	0.025	0.1	μA

*1 CLGOSC1.CGI1[2:0]ビット = 0x0, 水晶振動子 = C-002RX (セイコーエプソン(株)製, R₁ = 50 kΩ (Max.), C_L = 7 pF)

OSC3発振回路特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = 25 °C

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
内蔵発振 発振開始時間	t _{sta3I}	CLGOSC3.OSC3MD[1:0]ビット = 0x0		-	-	3	μs
内蔵発振 発振周波数	f _{osc3I}	CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x3	1.6~3.6 V	3.80	4.00	4.20	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x2	1.6~3.6 V	1.90	2.00	2.10	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x1	1.6~3.6 V	0.95	1.00	1.05	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x0	1.2~1.6 V	-	1.00	-	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x0	1.6~3.6 V	0.475	0.50	0.525	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x0	1.2~1.6 V	-	0.50	-	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x4	1.6~3.6 V	0.365	0.384	0.403	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x4	1.2~1.6 V	-	0.384	-	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x5	1.6~3.6 V	0.238	0.25	0.263	MHz
		CLGOSC3.OSC3MD[1:0]ビット = 0x0, CLGOSC3.OSC3FQ[2:0]ビット = 0x5	1.2~1.6 V	-	0.25	-	MHz
CR発振 発振開始時間	t _{sta3R}	CLGOSC3.OSC3MD[1:0]ビット = 0x1		-	-	3	μs
CR発振 周波数IC偏差	Δf _{osc3R} /ΔIC	CLGOSC3.OSC3MD[1:0]ビット = 0x1	1.6~3.6 V	-30	-	30	%
水晶/セラミック発振 発振開始時間*1	t _{sta3C}	CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x0		-	-	10	ms
水晶/セラミック発振 内蔵ゲート容量	CGI3C	CLGOSC3.OSC3MD[1:0]ビット = 0x2		-	8	-	pF
水晶/セラミック発振 内蔵ドレイン容量	CDI3C	CLGOSC3.OSC3MD[1:0]ビット = 0x2		-	8	-	pF

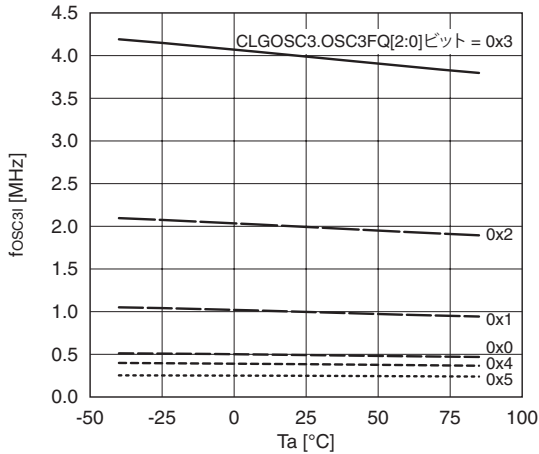
21 電気的特性

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
水晶/セラミック発振 発振回路電流発振インバータ 能力比	fosc3c	CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x0		-	50	-	%
		CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x1 (基準)		-	100	-	%
		CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x2		-	120	-	%
		CLGOSC3.OSC3MD[1:0]ビット = 0x2, CLGOSC3.OSC3INV[1:0]ビット = 0x3		-	190	-	%

*1 セラミック振動子 = CSBLA_J ((株)村田製作所製, 1 MHz), C_{G3} = C_{D3} = 100 pF

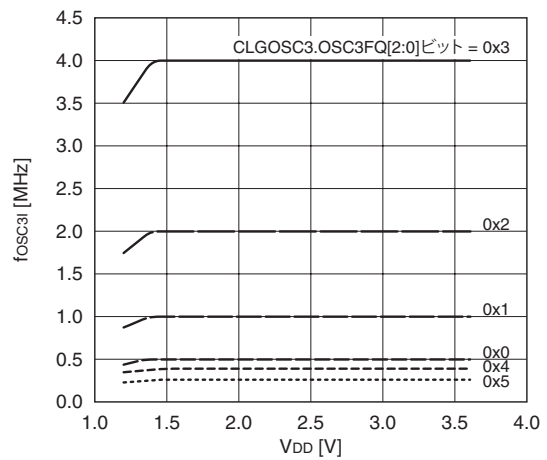
OSC3内蔵発振周波数-温度特性

V_{DD} = 1.6~3.6 V, Typ.値



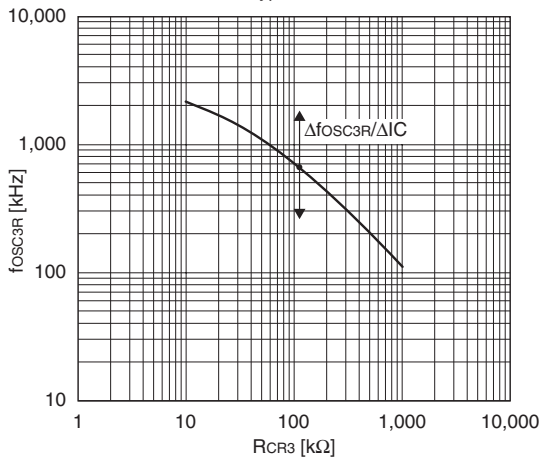
OSC3内蔵発振周波数-電源電圧特性

Ta = 25 °C, Typ.値



OSC3 CR発振周波数-抵抗特性

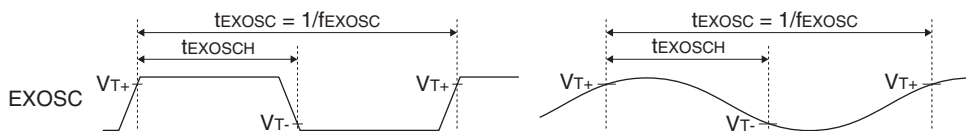
V_{DD} = 1.6~3.6 V, Ta = 25 °C, Typ.値



EXOSC外部クロック入力特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = -40~85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
EXOSC外部クロックデューティ	tEXOSCD	tEXOSCD = tEXOSCH/tEXOSC	46	-	54	%
高レベルシュミット入力スレシヨルド電圧	V _{T+}		0.5 × V _{DD}	-	0.8 × V _{DD}	V
低レベルシュミット入力スレシヨルド電圧	V _{T-}		0.2 × V _{DD}	-	0.5 × V _{DD}	V
シュミット入力ヒステリシス電圧	ΔV _T		120	-	-	mV



21.6 Flashメモリ特性

特記なき場合: $V_{DD} = 1.8 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

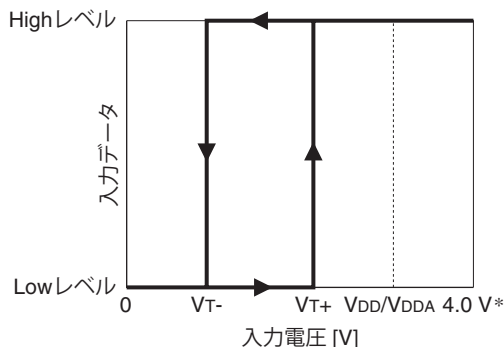
項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *1	CFEP	データ保持10年保証時	50	-	-	回

*1 消去 + 書き込みを1回とする。ROMデータプログラミング出荷の場合、工場での書き込みも回数に含む。

21.7 入出力ポート(PPORT)特性

特記なき場合: $V_{DD}/V_{DDA} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

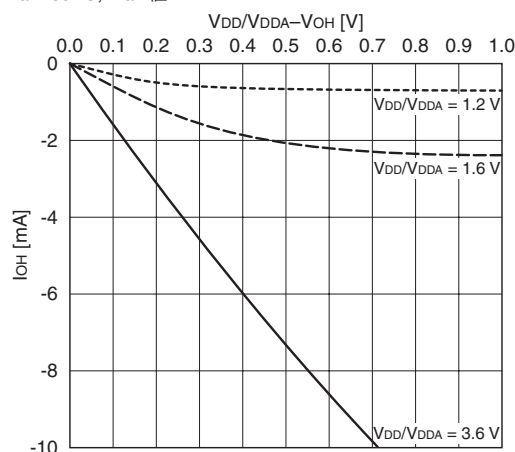
項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}	P00-07, P10-17, P20-21, P40-43, PD0-D1, PD3-D4 P30-35, P44-45		$0.5 \times V_{DD}$ $0.5 \times V_{DDA}$	-	$0.8 \times V_{DD}$ $0.8 \times V_{DDA}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}	P00-07, P10-17, P20-21, P40-43, PD0-D1, PD3-D4 P30-35, P44-45		$0.2 \times V_{DD}$ $0.2 \times V_{DDA}$	-	$0.5 \times V_{DD}$ $0.5 \times V_{DDA}$	V
シュミット入力ヒステリシス電圧	ΔV_T	P00-07, P10-17, P20-21, P30-35, P40-45, PD0-D1, PD3-D4		120	-	-	mV
高レベル出力電流	I_{OH}	P00-07, P10-17, P20-21, P40-43, PD0-D4, $V_{OH} = 0.9 \times V_{DD}$ P30-35, P44-45, $V_{OH} = 0.9 \times V_{DDA}$	1.2~1.6 V	-	-	-0.3	mA
			1.6~3.6 V	-	-	-0.5	mA
			1.2~1.6 V	-	-	-0.3	mA
			1.6~3.6 V	-	-	-0.5	mA
低レベル出力電流	I_{OL}	P00-07, P10-17, P20-21, P40-43, PD0-D4, $V_{OL} = 0.1 \times V_{DD}$ P30-35, P44-45, $V_{OL} = 0.1 \times V_{DDA}$	1.2~1.6 V	0.3	-	-	mA
			1.6~3.6 V	0.5	-	-	mA
			1.2~1.6 V	0.3	-	-	mA
			1.6~3.6 V	0.5	-	-	mA
リーク電流	I_{LEAK}	P00-07, P10-17, P20-21, P30-35, P40-45, PD0-D4		-150	-	150	nA
入力プルアップ抵抗	R_{INU}	P00-07, P10-17, P20-21, P30-35, P40-45, PD0-D1, PD3-D4		75	150	300	k Ω
入力プルダウン抵抗	R_{IND}	P00-07, P10-17, P20-21, P30-35, P40-45, PD0-D1, PD3-D4		75	150	300	k Ω
端子容量	C_{IN}	P00-07, P10-17, P20-21, P30-35, P40-45, PD0-D1, PD3-D4		-	-	15	pF



(* トレラント・フェイルセーフ対応ポートの場合)

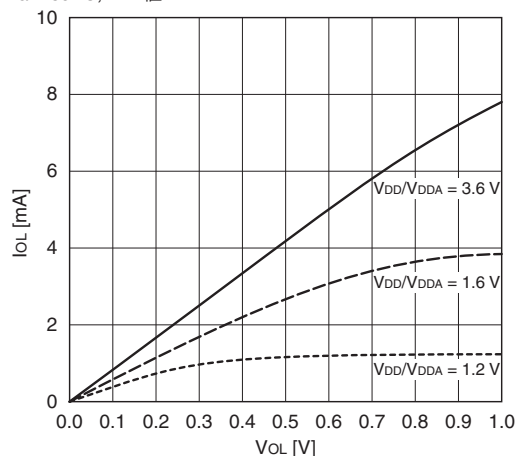
高レベル出力電流特性

$T_a = 85 \text{ }^\circ\text{C}$, Max.値



低レベル出力電流特性

$T_a = 85 \text{ }^\circ\text{C}$, Min.値



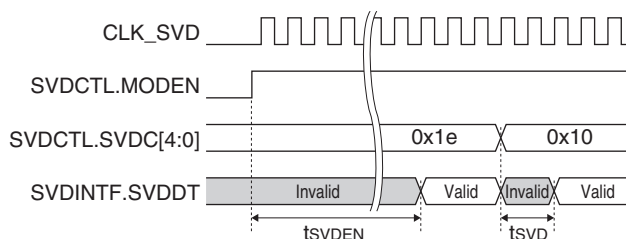
21.8 電源電圧検出回路(SVD)特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
EXSVD端子入力電圧範囲	V _{EXSVD}		0	–	V _{DD}	V
EXSVD入力カインピーダンス	R _{EXSVD}	SVDCTL.SVDC[4:0]ビット = 0x01	253	288	322	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x02	265	300	335	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x03	275	312	349	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x04	285	324	363	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x05	296	336	376	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x06	306	348	390	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x07	316	360	403	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x08	327	372	417	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x09	339	384	428	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0a	348	396	443	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0b	358	407	457	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0c	379	431	484	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0d	399	455	512	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0e	419	479	540	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0f	441	503	566	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x10	461	527	594	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x11	485	551	617	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x12	503	575	647	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x13	523	599	676	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x14	546	623	700	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x15	567	647	728	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x16	588	671	754	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x17	607	695	783	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x18	630	719	809	k Ω
SVDCTL.SVDC[4:0]ビット = 0x19	653	743	833	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1a	676	767	859	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1b	705	791	878	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1c	721	815	909	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1d	734	839	945	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1e	757	863	970	k Ω		
SVD検出電圧	V _{SVD}	SVDCTL.SVDC[4:0]ビット = 0x01	1.17	1.20	1.23	V
		SVDCTL.SVDC[4:0]ビット = 0x02	1.22	1.25	1.28	V
		SVDCTL.SVDC[4:0]ビット = 0x03	1.27	1.30	1.33	V
		SVDCTL.SVDC[4:0]ビット = 0x04	1.32	1.35	1.38	V
		SVDCTL.SVDC[4:0]ビット = 0x05	1.37	1.40	1.44	V
		SVDCTL.SVDC[4:0]ビット = 0x06	1.41	1.45	1.49	V
		SVDCTL.SVDC[4:0]ビット = 0x07	1.46	1.50	1.54	V
		SVDCTL.SVDC[4:0]ビット = 0x08	1.51	1.55	1.59	V
		SVDCTL.SVDC[4:0]ビット = 0x09	1.56	1.60	1.64	V
		SVDCTL.SVDC[4:0]ビット = 0x0a	1.61	1.65	1.69	V
		SVDCTL.SVDC[4:0]ビット = 0x0b	1.66	1.70	1.74	V
		SVDCTL.SVDC[4:0]ビット = 0x0c	1.76	1.80	1.85	V
		SVDCTL.SVDC[4:0]ビット = 0x0d	1.85	1.90	1.95	V
		SVDCTL.SVDC[4:0]ビット = 0x0e	1.95	2.00	2.05	V
		SVDCTL.SVDC[4:0]ビット = 0x0f	2.05	2.10	2.15	V
		SVDCTL.SVDC[4:0]ビット = 0x10	2.15	2.20	2.26	V
		SVDCTL.SVDC[4:0]ビット = 0x11	2.24	2.30	2.36	V
		SVDCTL.SVDC[4:0]ビット = 0x12	2.34	2.40	2.46	V
		SVDCTL.SVDC[4:0]ビット = 0x13	2.44	2.50	2.56	V
		SVDCTL.SVDC[4:0]ビット = 0x14	2.54	2.60	2.67	V
		SVDCTL.SVDC[4:0]ビット = 0x15	2.63	2.70	2.77	V
		SVDCTL.SVDC[4:0]ビット = 0x16	2.73	2.80	2.87	V
		SVDCTL.SVDC[4:0]ビット = 0x17	2.83	2.90	2.97	V
		SVDCTL.SVDC[4:0]ビット = 0x18	2.93	3.00	3.08	V
SVDCTL.SVDC[4:0]ビット = 0x19	3.02	3.10	3.18	V		
SVDCTL.SVDC[4:0]ビット = 0x1a	3.12	3.20	3.28	V		
SVDCTL.SVDC[4:0]ビット = 0x1b	3.22	3.30	3.38	V		
SVDCTL.SVDC[4:0]ビット = 0x1c	3.32	3.40	3.49	V		
SVDCTL.SVDC[4:0]ビット = 0x1d	3.41	3.50	3.59	V		
SVDCTL.SVDC[4:0]ビット = 0x1e	3.51	3.60	3.69	V		
SVD回路イネーブル時応答時間	t _{SVDEN}	*1	–	–	500	μs
SVD回路応答時間	t _{SVd}		–	–	60	μs

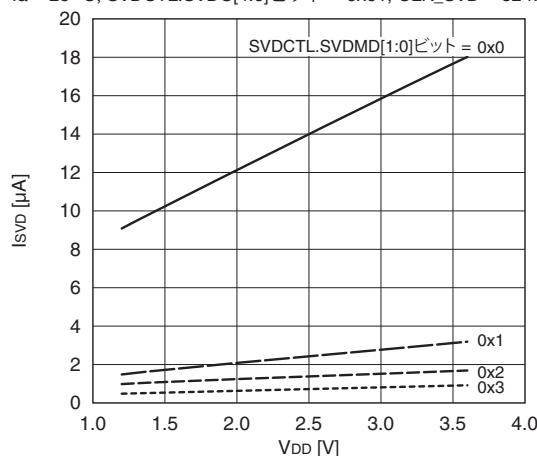
項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流	ISVD	SVDCTL.SVDMMD[1:0]ビット = 0x0, SVDCTL.SVDC[4:0]ビット = 0x01, CLK_SVD = 32 kHz, Ta = 25 °C	-	18	31	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x1, SVDCTL.SVDC[4:0]ビット = 0x01, CLK_SVD = 32 kHz, Ta = 25 °C	-	3.2	5.3	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x2, SVDCTL.SVDC[4:0]ビット = 0x01, CLK_SVD = 32 kHz, Ta = 25 °C	-	1.7	2.8	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x3, SVDCTL.SVDC[4:0]ビット = 0x01, CLK_SVD = 32 kHz, Ta = 25 °C	-	0.9	1.5	μA

*1 CLK_SVD = 32 kHz近辺に設定されている場合、tsvDENの時間はマスクされ、SVDINTF.SVDDTビットの値は前の値を保持します。



SVD回路電流-電源電圧特性

Ta = 25 °C, SVDCTL.SVDC[4:0]ビット = 0x01, CLK_SVD = 32 kHz, Typ.値



21.9 UART(UART)特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = -40~85 °C

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
送受信ボーレート	UBRT1	通常動作時	1.6~3.6 V	150	-	230,400	bps
			1.2~1.6 V	150	-	57,600	bps
	UBRT2	IrDA使用時	1.6~3.6 V	150	-	115,200	bps
			1.2~1.6 V	150	-	57,600	bps

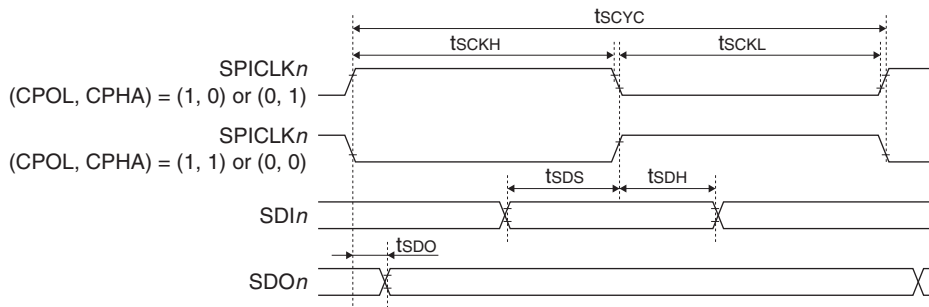
21.10 同期式シリアルインタフェース(SPIA)特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

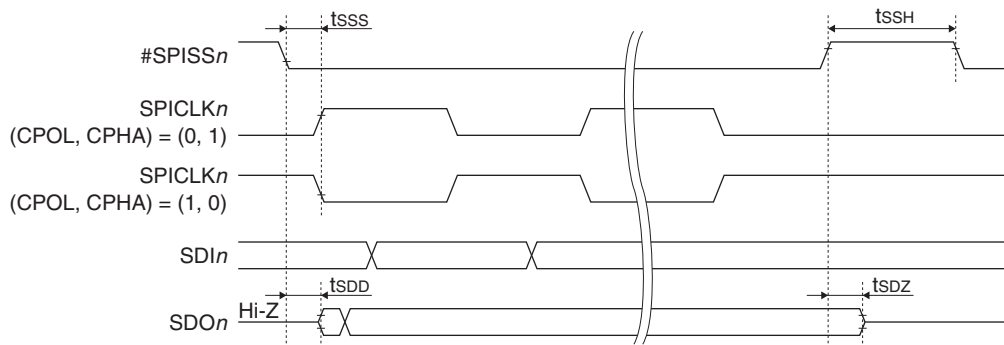
項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
SPICLK $_n$ サイクル時間	tscyC		1.6~3.6 V	500	-	-	ns
			1.2~1.6 V	1,000	-	-	ns
SPICLK $_n$ High/パルス幅	tsckH		1.6~3.6 V	200	-	-	ns
			1.2~1.6 V	400	-	-	ns
SPICLK $_n$ Low/パルス幅	tsckL		1.6~3.6 V	200	-	-	ns
			1.2~1.6 V	400	-	-	ns
SDInセットアップ時間	tSDS		1.6~3.6 V	125	-	-	ns
			1.2~1.6 V	250	-	-	ns
SDInホールド時間	tSDH		1.6~3.6 V	70	-	-	ns
			1.2~1.6 V	140	-	-	ns
SDOn出力遅延時間	tSDO	$C_L = 30 \text{ pF}^*1$	1.6~3.6 V	-	-	100	ns
			1.2~1.6 V	-	-	200	ns
#SPISS $_n$ セットアップ時間	tSSS		1.6~3.6 V	125	-	-	ns
			1.2~1.6 V	250	-	-	ns
#SPISS $_n$ High/パルス幅	tSSH		1.6~3.6 V	80	-	-	ns
			1.2~1.6 V	160	-	-	ns
SDOn出力開始時間	tSDD	$C_L = 30 \text{ pF}^*1$	1.6~3.6 V	-	-	100	ns
			1.2~1.6 V	-	-	200	ns
SDOn出力停止時間	tSDZ	$C_L = 30 \text{ pF}^*1$	1.6~3.6 V	-	-	80	ns
			1.2~1.6 V	-	-	160	ns

*1 C_L = 端子負荷

マスタ/スレーブモード共通



スレーブモード

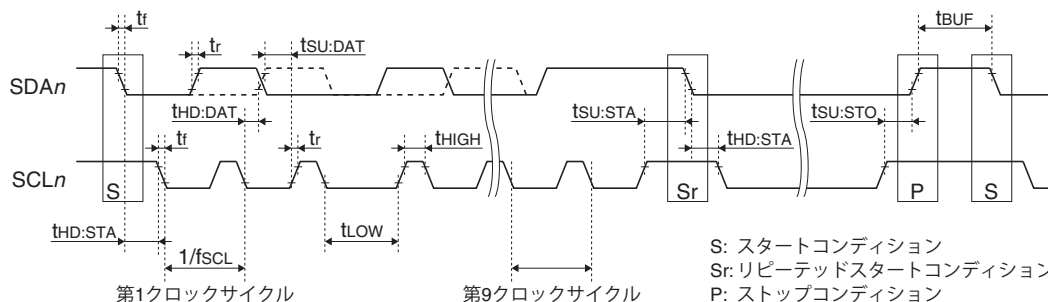


21.11 I²C(I2C)特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	標準モード $V_{DD} = 1.2 \sim 3.6 \text{ V}$			ファースト・モード $V_{DD} = 1.6 \sim 3.6 \text{ V}$			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
SCLn周波数	fSCL		0	–	100	0	–	400	kHz
ホールド時間(リピーテッド)スタートコンディション*	tHD:STA		4.0	–	–	0.6	–	–	μs
SCLn Lowパルス幅	tLOW		4.7	–	–	1.3	–	–	μs
SCLn Highパルス幅	tHIGH		4.0	–	–	0.6	–	–	μs
リピーテッドスタートコンディションセットアップ時間	tSU:STA		4.7	–	–	0.6	–	–	μs
データホールド時間	tHD:DAT		0	–	–	0	–	–	μs
データセットアップ時間	tSU:DAT		250	–	–	100	–	–	ns
SDAn, SCLn立ち上がり時間	tr		–	–	1,000	–	–	300	ns
SDAn, SCLn立ち下がり時間	tr		–	–	300	–	–	300	ns
ストップコンディションセットアップ時間	tSU:STO		4.0	–	–	0.6	–	–	μs
バスフリー時間	tBUF		4.7	–	–	1.3	–	–	μs

* この期間の後、最初のクロックパルスを生成



21.12 R/F変換器(RFC)特性

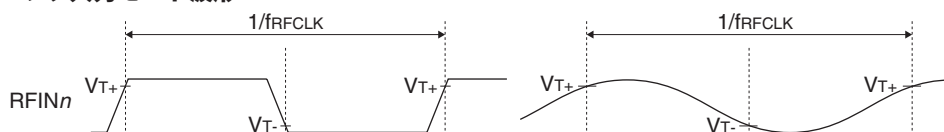
R/F変換器特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上で評価を行ってください。

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
基準/センサ発振周波数	frFCLK			1	–	1,000	kHz
基準/センサ発振周波数IC偏差	$\Delta\text{frFCLK}/\Delta\text{IC}$	$T_a = 25 \text{ }^\circ\text{C}^*1$	1.6~3.6 V	-30	–	30	%
			1.2~1.6 V	-50	–	50	%
基準抵抗/抵抗性センサ抵抗値	RREF, RSEN			1	–	–	k Ω
基準キャパシタ	CREF			100	–	–	pF
タイムベースカウンタ クロック周波数	ftCCLK		1.6~3.6 V	–	–	4.2	MHz
			1.2~1.6 V	–	–	1.1	MHz
高レベルシュミット入力 スレショルド電圧	V_{T+}			$0.5 \times V_{DD}$	–	$0.8 \times V_{DD}$	V
低レベルシュミット入力 スレショルド電圧	V_{T-}			$0.2 \times V_{DD}$	–	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス 電圧	ΔV_T			120	–	–	mV
R/F変換器動作電流	IRFC	$C_{REF} = 1,000 \text{ pF}$, $R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $T_a = 25 \text{ }^\circ\text{C}$, $V_{DD} = 3.6 \text{ V}$		–	200	350	μA

*1 IC製造、計測基板、抵抗、容量のばらつきを含む。

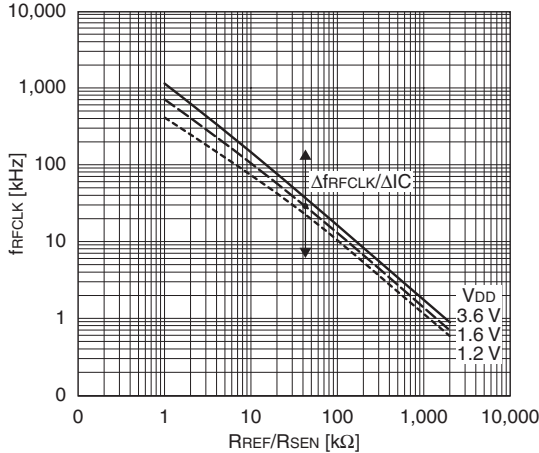
外部クロック入力モード波形



21 電気的特性

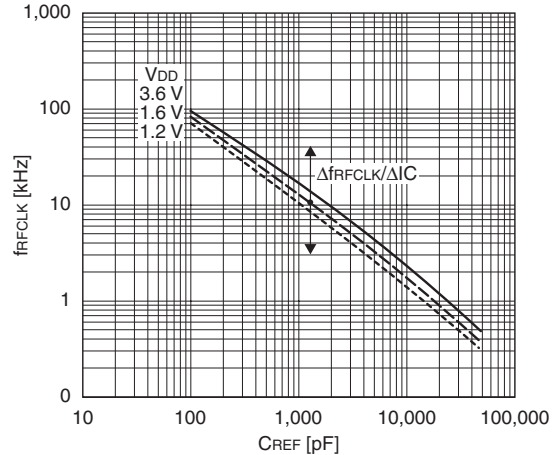
RFC基準/センサ発振周波数-抵抗特性

$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



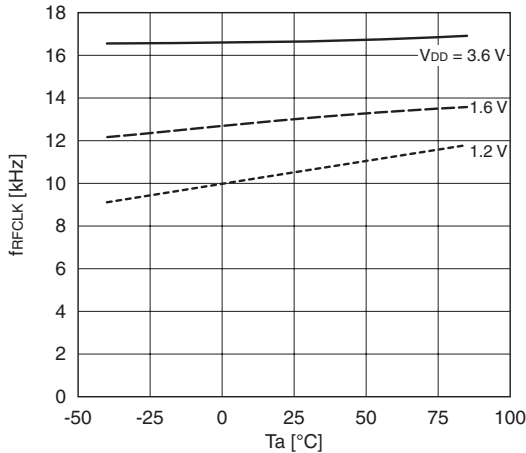
RFC基準/センサ発振周波数-容量特性

$R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



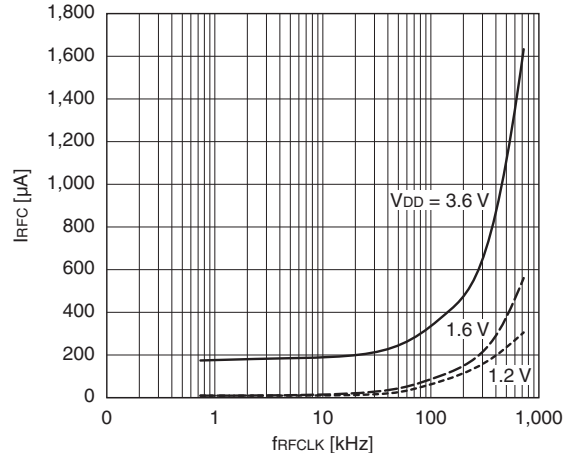
RFC基準/センサ発振周波数-温度特性

$R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $C_{REF} = 1,000 \text{ pF}$, Typ.値



RFC基準/センサ発振消費電流-周波数特性

$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



21.13 12ビットA/D変換器(ADC12A)特性

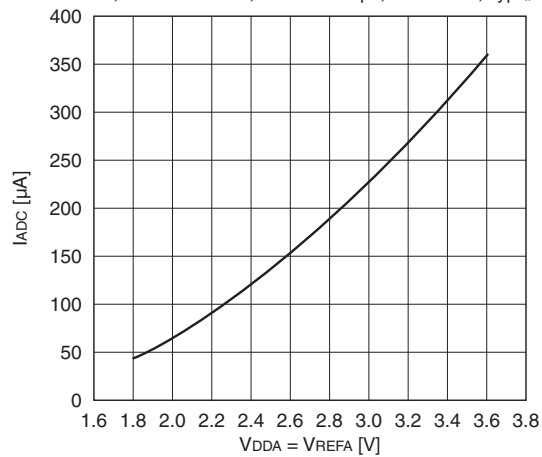
特記なき場合: $V_{DDA} = V_{REFAn} = 1.8 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$, $ADC12_nTRG.SMPCLK[2:0]$ ビット = 0x3(7サイクル)

項目	記号	条件	V_{DDA}	Min.	Typ.	Max.	単位
V_{DDA} 電圧範囲	V_{DDA}			1.8	-	3.6	V
V_{REFAn} 電圧範囲	V_{REFA}			1.8	-	V_{DDA}	V
A/D変換クロック周波数	f_{CLK_ADC12A}			16	-	1,100	kHz
サンプリングレート *1	f_{SMP}			-	-	50	ksps
積分非直線性 *2	INL	$V_{DDA} = V_{REFAn}^*3$		-	-	± 3	LSB
微分非直線性	DNL	$V_{DDA} = V_{REFAn}^*3$		-	-	± 3	LSB
ゼロスケール誤差	ZSE	$V_{DDA} = V_{REFAn}^*3$	1.8~2.0 V	-2	-	3	mV
			2.0~3.6 V	-2	-	8	mV
フルスケール誤差	FSE	$V_{DDA} = V_{REFAn}^*3$	1.8~2.0 V	-2	-	3	mV
			2.0~3.6 V	-2	-	8	mV
アナログ入力抵抗	R_{ADIN}			-	-	4	kΩ
アナログ入力容量	C_{ADIN}			-	-	30	pF
A/D変換回路電流	I_{ADC}	$V_{DDA} = V_{REFA}$, $ADIN = V_{REFA}/2$, $f_{SMP} = 50 \text{ ksps}$		-	360	540	μA

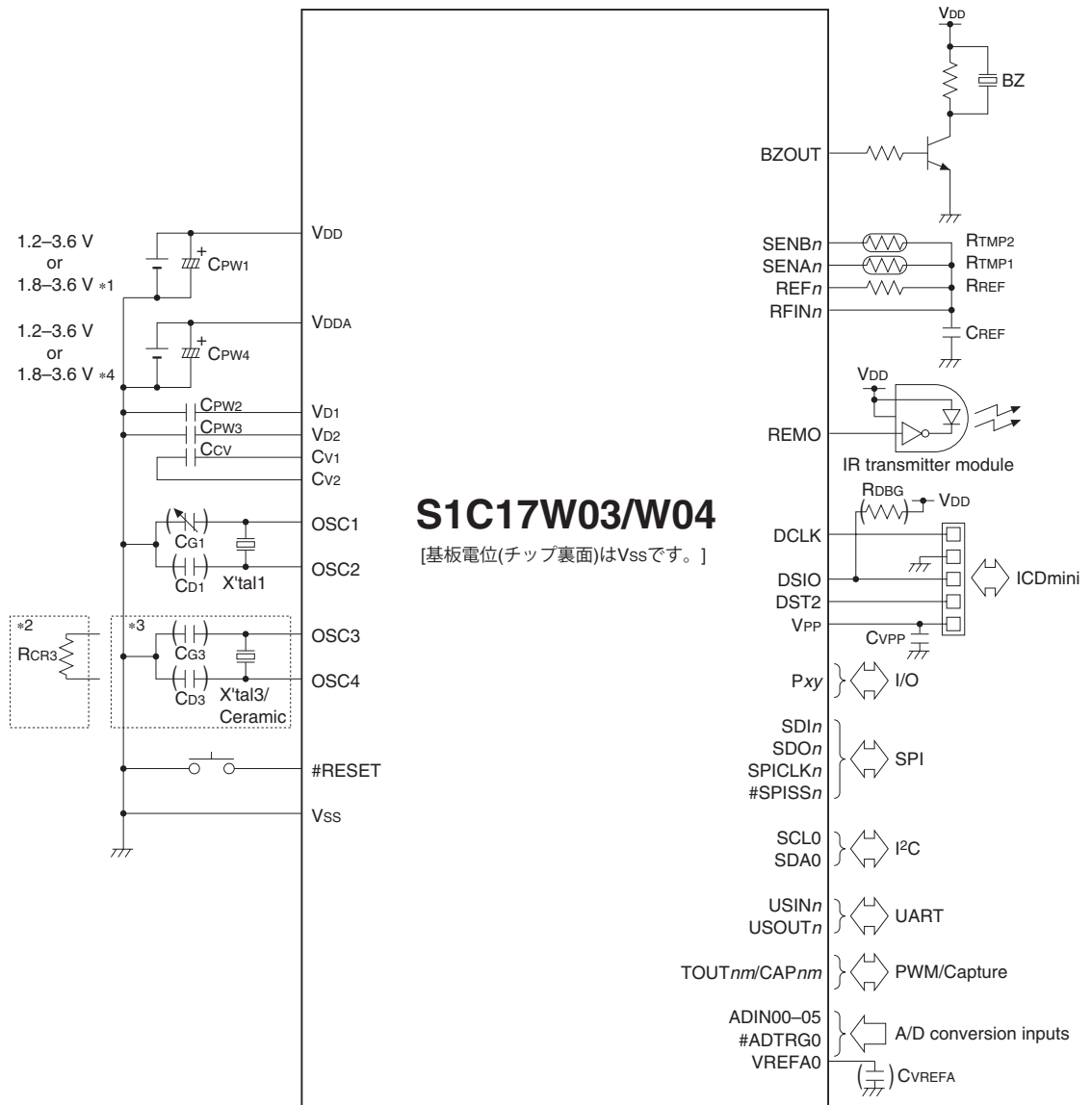
*1 Max.値はA/D変換クロック周波数 $f_{CLK_ADC12A} = 1,000 \text{ kHz}$ の場合の値です。

*2 積分非直線性は、エンドポイントラインで測定されています。

*3 V_{DDA} と V_{REFAn} の電位差が大きくなると、誤差が拡大します。

A/D変換器消費電流-電源電圧特性 $V_{DDA} = V_{REFA}$, $ADIN = V_{REFA}/2$, $f_{SMP} = 50$ ksp/s, $T_a = 25$ °C, Typ.値

22 基本外部結線図



- *1: Flashプログラミング時
- *2: OSC3 CR発振回路選択時
- *3: OSC3水晶/セラミック発振回路選択時
- *4: A/D変換器使用时
- (): 不要時は未実装とする。

外付け部品例

シンボル	名称	推奨部品
X'tal1	32 kHz水晶振動子	セイコーエプソン(株)製 C-002RX (R1 = 50 k Ω (Max.), C _L = 7 pF)
CG1	OSC1用ゲートキャパシタ	トリマーコンデンサ or セラミックコンデンサ
CD1	OSC1用ドレインキャパシタ	セラミックコンデンサ
X'tal3	水晶振動子	セイコーエプソン(株)製 CA-301 (4 MHz)
Ceramic	セラミック振動子	(株)村田製作所製 CSBLA_J (1 MHz)
CG3	OSC3用ゲートキャパシタ	セラミックコンデンサ
CD3	OSC3用ドレインキャパシタ	セラミックコンデンサ
RCR3	OSC3発振用抵抗	厚膜チップ抵抗
CPW1	V _{SS} ~V _{DD} 間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
CPW2-3	V _{SS} ~V _{D1-2} 間キャパシタ	セラミックコンデンサ
CPW4	V _{SS} ~V _{DDA} 間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
CCV	C _{V1} ~C _{V2} 間キャパシタ	セラミックコンデンサ
BZ	圧電ブザー	TDK(株)製 PS1240P02
RDBG	DSIO用ブルアップ抵抗	厚膜チップ抵抗
RREF	RFC用基準抵抗	厚膜チップ抵抗
RTMP1, 2	抵抗性センサ	SEMITEC(株)製温度センサ 103AP-2 神栄テクノロジー (株)製湿度センサ C15-M53R (* 抵抗性センサ測定用AC発振モード時)
CREF	RFC用基準キャパシタ	セラミックコンデンサ
CVREFA	V _{SS} ~V _{REFA} 間キャパシタ	セラミックコンデンサ
CVPP	V _{SS} ~V _{PP} 間キャパシタ	セラミックコンデンサ

* 推奨部品の定数については、“電気的特性”の章の“推奨動作条件”を参照してください。

23 パッケージ

TQFP12-48PIN (P-TQFP048-0707-0.50)

(単位: mm)

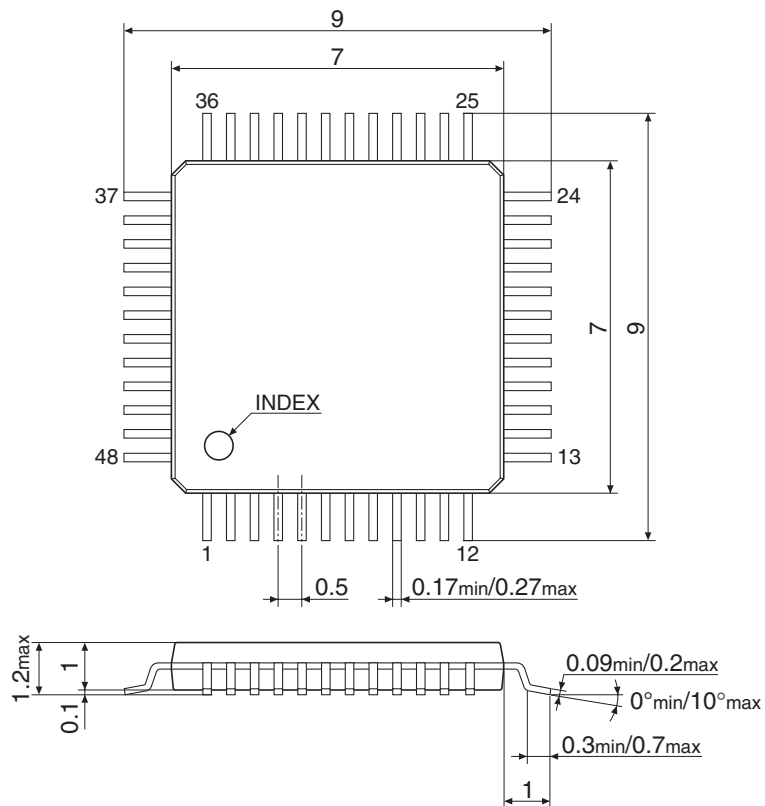


図23.1 TQFP12-48PIN/パッケージ寸法

Appendix A 周辺回路制御レジスタ一覧

0x4000–0x4008

Misc Registers (MISC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000	MSCPROT (MISC System Protect Register)	15–0	PROT[15:0]	0x0000	H0	R/W	–
0x4002	MSCIRAMSZ (MISC IRAM Size Register)	15–9	–	0x00	–	R	–
		8	(reserved)	0	H0	R/WP	Always set to 0.
		7–3	–	0x04	–	R	–
		2–0	IRAMSZ[2:0]	0x2	H0	R/WP	–
0x4004	MSCTTBRL (MISC Vector Table Address Low Register)	15–8	TTBR[15:8]	0x80	H0	R/WP	–
		7–0	TTBR[7:0]	0x00	H0	R	–
0x4006	MSCTTBRH (MISC Vector Table Address High Register)	15–8	–	0x00	–	R	–
		7–0	TTBR[23:16]	0x00	H0	R/WP	–
0x4008	MSCPSR (MISC PSR Register)	15–8	–	0x00	–	R	–
		7–5	PSRIL[2:0]	0x0	H0	R	–
		4	PSRIE	0	H0	R	–
		3	PSRC	0	H0	R	–
		2	PSRV	0	H0	R	–
		1	PSRZ	0	H0	R	–
		0	PSRN	0	H0	R	–

0x4020–0x4026

Power Generator (PWG2)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4020	PWGCTL (PWG2 Control Register)	15–8	–	0x00	–	R	–
		7–3	–	0x00	–	R	–
		2–0	PWGMOD[2:0]	0x0	H0	R/WP	–
0x4022	PWGTIM (PWG2 Timing Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	–
		1–0	DCCCLK[1:0]	0x0	H0	R/WP	–
0x4024	PWGINTF (PWG2 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	–
		0	MODCMPIF	0	H0	R/W	–
0x4026	PWGINTE (PWG2 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	–
		0	MODCMPIE	0	H0	R/W	–

0x4040–0x4050

Clock Generator (CLG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4040	CLGSCLK (CLG System Clock Control Register)	15	WUPMD	0	H0	R/WP	–
		14	–	0	–	R	–
		13–12	WUPDIV[1:0]	0x0	H0	R/WP	–
		11–10	–	0x0	–	R	–
		9–8	WUPSRC[1:0]	0x0	H0	R/WP	–
		7–6	–	0x0	–	R	–
		5–4	CLKDIV[1:0]	0x0	H0	R/WP	–
		3–2	–	0x0	–	R	–
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4042	CLGOSC (CLG Oscillation Control Register)	15-12	-	0x0	-	R	-	
		11	EXOSCSLPC	1	H0	R/W		
		10	OSC3SLPC	1	H0	R/W		
		9	OSC1SLPC	1	H0	R/W		
		8	IOSCSLPC	1	H0	R/W		
		7-4	-	0x0	-	R		
		3	EXOSCEN	0	H0	R/W		
		2	OSC3EN	0	H0	R/W		
		1	OSC1EN	0	H0	R/W		
0	IOSCEN	1	H0	R/W				
0x4044	CLGIOSC (CLG IOSC Control Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	IOSCSTM	0	H0	R/WP		
		3-0	-	0x0	-	R		
0x4046	CLGOSC1 (CLG OSC1 Control Register)	15	-	0	-	R	-	
		14	OSDRB	1	H0	R/WP		
		13	OSDEN	0	H0	R/WP		
		12	OSC1BUP	1	H0	R/WP		
		11	-	0	-	R		
		10-8	CGI1[2:0]	0x0	H0	R/WP		
		7-6	INV1B[1:0]	0x2	H0	R/WP		
		5-4	INV1N[1:0]	0x1	H0	R/WP		
		3-2	-	0x0	-	R		
1-0	OSC1WT[1:0]	0x2	H0	R/WP				
0x4048	CLGOSC3 (CLG OSC3 Control Register)	15-13	-	0x0	-	R	-	
		12-10	OSC3FQ[2:0]	0x3	H0	R/WP		
		9-8	OSC3MD[1:0]	0x0	H0	R/WP		
		7-6	-	0x0	-	R		
		5-4	OSC3INV[1:0]	0x1	H0	R/WP		
		3	-	0	-	R		
		2-0	OSC3WT[2:0]	0x0	H0	R/WP		
0x404c	CLGINTF (CLG Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7	-	0x0	-	R		
		6	(reserved)	0	H0	R		
		5	OSC1STPIF	0	H0	R/W		Cleared by writing 1.
		4	IOSCTEDIF	0	H0	R/W		
		3	-	0	-	R		
		2	OSC3STAIF	0	H0	R/W		Cleared by writing 1.
		1	OSC1STAIF	0	H0	R/W		
0	IOSCSTAIF	0	H0	R/W				
0x404e	CLGINTE (CLG Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7	-	0	-	R		
		6	(reserved)	0	H0	R		
		5	OSC1STPIE	0	H0	R/W		
		4	IOSCTEDIE	0	H0	R/W		
		3	-	0	-	R		
		2	OSC3STAIE	0	H0	R/W		
		1	OSC1STAIE	0	H0	R/W		
		0	IOSCSTAIE	0	H0	R/W		
0x4050	CLGFOUT (CLG FOUT Control Register)	15-8	-	0x00	-	R	-	
		7	-	0	-	R		
		6-4	FOUTDIV[2:0]	0x0	H0	R/W		
		3-2	FOUTSRC[1:0]	0x0	H0	R/W		
		1	-	0	-	R		
		0	FOUTEN	0	H0	R/W		

0x4080–0x4094

Interrupt Controller (ITC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4080	ITCLV0 (ITC Interrupt Level Setup Register 0)	15–11	–	0x00	–	R	–
		10–8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
		7–3	–	0x00	–	R	–
		2–0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD)
0x4082	ITCLV1 (ITC Interrupt Level Setup Register 1)	15–11	–	0x00	–	R	–
		10–8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
		7–3	–	0x00	–	R	–
		2–0	ILV2[2:0]	0x0	H0	R/W	Power generator interrupt (ILVPWG2)
0x4084	ITCLV2 (ITC Interrupt Level Setup Register 2)	15–11	–	0x00	–	R	–
		10–8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
		7–3	–	0x00	–	R	–
		2–0	ILV4[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCA_0)
0x4086	ITCLV3 (ITC Interrupt Level Setup Register 3)	15–11	–	0x00	–	R	–
		10–8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
		7–3	–	0x00	–	R	–
		2–0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILVUART_0)
0x4088	ITCLV4 (ITC Interrupt Level Setup Register 4)	15–11	–	0x00	–	R	–
		10–8	ILV9[2:0]	0x0	H0	R/W	I ² C interrupt (ILVI2C_0)
		7–3	–	0x00	–	R	–
		2–0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
0x408a	ITCLV5 (ITC Interrupt Level Setup Register 5)	15–11	–	0x00	–	R	–
		10–8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
		7–3	–	0x00	–	R	–
		2–0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)
0x408c	ITCLV6 (ITC Interrupt Level Setup Register 6)	15–11	–	0x00	–	R	–
		10–8	ILV13[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSNDA_0)
		7–3	–	0x00	–	R	–
		2–0	ILV12[2:0]	0x0	H0	R/W	UART Ch.1 interrupt (ILVUART_1)
0x408e	ITCLV7 (ITC Interrupt Level Setup Register 7)	15–11	–	0x00	–	R	–
		10–8	ILV15[2:0]	0x0	H0	R/W	(reserved)
		7–3	–	0x00	–	R	–
		2–0	ILV14[2:0]	0x0	H0	R/W	IR remote controller interrupt (ILVREMC2_0)
0x4090	ITCLV8 (ITC Interrupt Level Setup Register 8)	15–11	–	0x00	–	R	–
		10–8	ILV17[2:0]	0x0	H0	R/W	R/F converter Ch.1 interrupt (ILVRFC_1)
		7–3	–	0x00	–	R	–
		2–0	ILV16[2:0]	0x0	H0	R/W	R/F converter Ch.0 interrupt (ILVRFC_0)
0x4092	ITCLV9 (ITC Interrupt Level Setup Register 9)	15–11	–	0x00	–	R	–
		10–8	ILV19[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
		7–3	–	0x00	–	R	–
		2–0	ILV18[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4094	ITCLV10 (ITC Interrupt Level Setup Register 10)	15-11	-	0x00	-	R	-
		10-8	ILV21[2:0]	0x0	H0	R/W	12-bit A/D converter interrupt (ILVADC12_0)
		7-3	-	0x00	-	R	-
		2-0	ILV20[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)

0x40a0-0x40a2

Watchdog Timer (WDT)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40a0	WDTCLK (WDT Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/WP	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/WP	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	
0x40a2	WDTCTL (WDT Control Register)	15-10	-	0x00	-	R	-
		9	NMIXRST	0	H0	R/WP	
		8	STATNMI	0	H0	R	
		7-5	-	0x0	-	R	
		4	WDTCNTRST	0	H0	WP	Always read as 0.
3-0	WDRUN[3:0]	0xa	H0	R/WP	-		

0x40c0-0x40d2

Real-time Clock (RTCA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40c0	RTCCTL (RTC Control Register)	15	RTCTRMBSY	0	H0	R	-
		14-8	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.
		7	-	0	-	R	-
		6	RTCBSY	0	H0	R	
		5	RTCHLD	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
		4	RTC24H	0	H0	R/W	-
		3	-	0	-	R	
		2	RTCADJ	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
		1	RTCST	0	H0	R/W	-
0	RTCRUN	0	H0	R/W			
0x40c2	RTCALM1 (RTC Second Alarm Register)	15	-	0	-	R	-
		14-12	RTCSHA[2:0]	0x0	H0	R/W	
		11-8	RTCSLA[3:0]	0x0	H0	R/W	
		7-0	-	0x00	-	R	
0x40c4	RTCALM2 (RTC Hour/Minute Alarm Register)	15	-	0	-	R	-
		14	RTCAPA	0	H0	R/W	
		13-12	RTCHHA[1:0]	0x0	H0	R/W	
		11-8	RTCHLA[3:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6-4	RTCMIHA[2:0]	0x0	H0	R/W	
		3-0	RTCMILA[3:0]	0x0	H0	R/W	
0x40c6	RTCSWCTL (RTC Stopwatch Control Register)	15-12	BCD10[3:0]	0x0	H0	R	-
		11-8	BCD100[3:0]	0x0	H0	R	
		7-5	-	0x0	-	R	
		4	SWRST	0	H0	W	Read as 0.
		3-1	-	0x0	-	R	-
		0	SWRUN	0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40c8	RTCSEC (RTC Second/1Hz Register)	15	–	0	–	R	Cleared by setting the RTCCTL.RTCRST bit to 1.
		14–12	RTCSH[2:0]	0x0	H0	R/W	
		11–8	RTCSL[3:0]	0x0	H0	R/W	
		7	RTC1HZ	0	H0	R	
		6	RTC2HZ	0	H0	R	
		5	RTC4HZ	0	H0	R	
		4	RTC8HZ	0	H0	R	
		3	RTC16HZ	0	H0	R	
		2	RTC32HZ	0	H0	R	
1	RTC64HZ	0	H0	R			
0	RTC128HZ	0	H0	R			
0x40ca	RTCCHUR (RTC Hour/Minute Register)	15	–	0	–	R	
		14	RTCAP	0	H0	R/W	
		13–12	RTCHH[1:0]	0x1	H0	R/W	
		11–8	RTCHL[3:0]	0x2	H0	R/W	
		7	–	0	–	R	
		6–4	RTCMIH[2:0]	0x0	H0	R/W	
		3–0	RTCMIL[3:0]	0x0	H0	R/W	
0x40cc	RTCMON (RTC Month/Day Register)	15–13	–	0x0	–	R	
		12	RTCMOH	0	H0	R/W	
		11–8	RTCMOL[3:0]	0x1	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	RTCDH[1:0]	0x0	H0	R/W	
3–0	RTCDL[3:0]	0x1	H0	R/W			
0x40ce	RTCYAR (RTC Year/Week Register)	15–11	–	0x00	–	R	
		10–8	RTCWK[2:0]	0x0	H0	R/W	
		7–4	RTCYH[3:0]	0x0	H0	R/W	
		3–0	RTCYL[3:0]	0x0	H0	R/W	
0x40d0	RTCINTF (RTC Interrupt Flag Register)	15	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
		14	SW1IF	0	H0	R/W	
		13	SW10IF	0	H0	R/W	
		12	SW100IF	0	H0	R/W	
		11–9	–	0x0	–	R	Cleared by writing 1.
		8	ALARMIF	0	H0	R/W	
		7	1DAYIF	0	H0	R/W	
		6	1HURIF	0	H0	R/W	
		5	1MINIF	0	H0	R/W	
		4	1SECIF	0	H0	R/W	
		3	1_2SECIF	0	H0	R/W	
		2	1_4SECIF	0	H0	R/W	
		1	1_8SECIF	0	H0	R/W	
0	1_32SECIF	0	H0	R/W			
0x40d2	RTCINTE (RTC Interrupt Enable Register)	15	RTCTRMIE	0	H0	R/W	
		14	SW1IE	0	H0	R/W	
		13	SW10IE	0	H0	R/W	
		12	SW100IE	0	H0	R/W	
		11–9	–	0x0	–	R	
		8	ALARMIE	0	H0	R/W	
		7	1DAYIE	0	H0	R/W	
		6	1HURIE	0	H0	R/W	
		5	1MINIE	0	H0	R/W	
		4	1SECIE	0	H0	R/W	
		3	1_2SECIE	0	H0	R/W	
		2	1_4SECIE	0	H0	R/W	
		1	1_8SECIE	0	H0	R/W	
0	1_32SECIE	0	H0	R/W			

0x4100–0x4106

Supply Voltage Detector (SVD)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4100	SVDCLK (SVD Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/WP	
		7	–	0	–	R	
		6–4	CLKDIV[2:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	
0x4102	SVDCTL (SVD Control Register)	15	VDSEL	0	H1	R/WP	–
		14–13	SVSDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMD[1:0] bits are not 0x0.
		12–8	SVDC[4:0]	0x1e	H1	R/WP	–
		7–4	SVGRE[3:0]	0x0	H1	R/WP	
		3	–	0	–	R	
		2–1	SVDMMD[1:0]	0x0	H0	R/WP	
		0	MODEN	0	H1	R/WP	
0x4104	SVDINTF (SVD Status and Interrupt Flag Register)	15–9	–	0x00	–	R	–
		8	SVDDT	x	–	R	
		7–1	–	0x00	–	R	
		0	SVDFIF	0	H1	R/W	
0x4106	SVDINTE (SVD Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	SVDFIE	0	H0	R/W	

0x4160–0x416c

16-bit Timer (T16) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4160	T16_0CLK (T16 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4162	T16_0MOD (T16 Ch.0 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4164	T16_0CTL (T16 Ch.0 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4166	T16_OTR (T16 Ch.0 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x4168	T16_0TC (T16 Ch.0 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x416a	T16_0INTF (T16 Ch.0 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x416c	T16_0INTE (T16 Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x41b0

Flash Controller (FLASHC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x41b0	FLASHCWAIT (FLASHC Flash Read Cycle Register)	15-8	-	0x00	-	R	
		7	XBUSY	0	H0	R	
		6-2	-	0x00	-	R	
		1-0	RDWAIT[1:0]	0x1	H0	R/WP	

0x4200-0x42e2

I/O Ports (PPORT)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4200	P0DAT (P0 Port Data Register)	15-8	P0OUT[7:0]	0x00	H0	R/W	
		7-0	P0IN[7:0]	0x00	H0	R	
0x4202	P0IOEN (P0 Port Enable Register)	15-8	P0IEN[7:0]	0x00	H0	R/W	
		7-0	P0OEN[7:0]	0x00	H0	R/W	
0x4204	P0RCTL (P0 Port Pull-up/down Control Register)	15-8	P0PDPU[7:0]	0x00	H0	R/W	
		7-0	P0REN[7:0]	0x00	H0	R/W	
0x4206	P0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-0	P0IF[7:0]	0x00	H0	R/W	
0x4208	P0INTCTL (P0 Port Interrupt Control Register)	15-8	P0EDGE[7:0]	0x00	H0	R/W	
		7-0	P0IE[7:0]	0x00	H0	R/W	
0x420a	P0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-0	P0CHATEN[7:0]	0x00	H0	R/W	
0x420c	P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-0	P0SEL[7:0]	0x00	H0	R/W	
0x420e	P0FNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	
		13-12	P06MUX[1:0]	0x0	H0	R/W	
		11-10	P05MUX[1:0]	0x0	H0	R/W	
		9-8	P04MUX[1:0]	0x0	H0	R/W	
		7-6	P03MUX[1:0]	0x0	H0	R/W	
		5-4	P02MUX[1:0]	0x0	H0	R/W	
		3-2	P01MUX[1:0]	0x0	H0	R/W	
0x4210	P1DAT (P1 Port Data Register)	15-8	P1OUT[7:0]	0x00	H0	R/W	
		7-0	P1IN[7:0]	0x00	H0	R	
0x4212	P1IOEN (P1 Port Enable Register)	15-8	P1IEN[7:0]	0x00	H0	R/W	
		7-0	P1OEN[7:0]	0x00	H0	R/W	
0x4214	P1RCTL (P1 Port Pull-up/down Control Register)	15-8	P1PDPU[7:0]	0x00	H0	R/W	
		7-0	P1REN[7:0]	0x00	H0	R/W	
0x4216	P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-0	P1IF[7:0]	0x00	H0	R/W	
0x4218	P1INTCTL (P1 Port Interrupt Control Register)	15-8	P1EDGE[7:0]	0x00	H0	R/W	
		7-0	P1IE[7:0]	0x00	H0	R/W	
0x421a	P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-0	P1CHATEN[7:0]	0x00	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x421c	P1MODSEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P1SEL[7:0]	0x00	H0	R/W	
0x421e	P1FNCSSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	-
		13-12	P16MUX[1:0]	0x0	H0	R/W	
		11-10	P15MUX[1:0]	0x0	H0	R/W	
		9-8	P14MUX[1:0]	0x0	H0	R/W	
		7-6	P13MUX[1:0]	0x0	H0	R/W	
		5-4	P12MUX[1:0]	0x0	H0	R/W	
		3-2	P11MUX[1:0]	0x0	H0	R/W	
1-0	P10MUX[1:0]	0x0	H0	R/W			
0x4220	P2DAT (P2 Port Data Register)	15-10	-	0x00	-	R	-
		9-8	P2OUT[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2IN[1:0]	0x0	H0	R	
0x4222	P2IOEN (P2 Port Enable Register)	15-10	-	0x00	-	R	-
		9-8	P2IEN[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2OEN[1:0]	0x0	H0	R/W	
0x4224	P2RCTL (P2 Port Pull-up/down Control Register)	15-10	-	0x00	-	R	-
		9-8	P2PDPUI[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2REN[1:0]	0x0	H0	R/W	
0x4226	P2INTF (P2 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1-0	P2IF[1:0]	0x0	H0	R/W	
0x4228	P2INTCTL (P2 Port Interrupt Control Register)	15-10	-	0x00	-	R	-
		9-8	P2EDGE[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2IE[1:0]	0x0	H0	R/W	
0x422a	P2CHATEN (P2 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1-0	P2CHATEN[1:0]	0x0	H0	R/W	
0x422c	P2MODSEL (P2 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1-0	P2SEL[1:0]	0x0	H0	R/W	
0x422e	P2FNCSSEL (P2 Port Function Select Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-2	P21MUX[1:0]	0x0	H0	R/W	
		1-0	P20MUX[1:0]	0x0	H0	R/W	
0x4230	P3DAT (P3 Port Data Register)	15-14	-	0x0	-	R	-
		13-8	P3OUT[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P3IN[5:0]	0x00	H0	R	
0x4232	P3IOEN (P3 Port Enable Register)	15-14	-	0x0	-	R	-
		13-8	P3IEN[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P3OEN[5:0]	0x00	H0	R/W	
0x4234	P3RCTL (P3 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	-
		13-8	P3PDPUI[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P3REN[5:0]	0x00	H0	R/W	
0x4236	P3INTF (P3 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-0	P3IF[5:0]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4238	P3INTCTL (P3 Port Interrupt Control Register)	15-14	-	0x0	-	R	
		13-8	P3EDGE[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P3IE[5:0]	0x00	H0	R/W	
0x423a	P3CHATEN (P3 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5-0	P3CHATEN[5:0]	0x00	H0	R/W	
0x423c	P3MODSEL (P3 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5-0	P3SEL[5:0]	0x00	H0	R/W	
0x423e	P3FNCSSEL (P3 Port Function Select Register)	15-12	-	0x0	-	R	
		11-10	P35MUX[1:0]	0x0	H0	R/W	
		9-8	P34MUX[1:0]	0x0	H0	R/W	
		7-6	P33MUX[1:0]	0x0	H0	R/W	
		5-4	P32MUX[1:0]	0x0	H0	R/W	
		3-2	P31MUX[1:0]	0x0	H0	R/W	
		1-0	P30MUX[1:0]	0x0	H0	R/W	
0x4240	P4DAT (P4 Port Data Register)	15-14	-	0x0	-	R	
		13-8	P4OUT[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P4IN[5:0]	0x00	H0	R	
0x4242	P4IOEN (P4 Port Enable Register)	15-14	-	0x0	-	R	
		13-8	P4IEN[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P4OEN[5:0]	0x00	H0	R/W	
0x4244	P4RCTL (P4 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	
		13-8	P4PDPUI[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P4REN[5:0]	0x00	H0	R/W	
0x4246	P4INTF (P4 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5-0	P4IF[5:0]	0x00	H0	R/W	
0x4248	P4INTCTL (P4 Port Interrupt Control Register)	15-14	-	0x0	-	R	
		13-8	P4EDGE[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P4IE[5:0]	0x00	H0	R/W	
0x424a	P4CHATEN (P4 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5-0	P4CHATEN[5:0]	0x00	H0	R/W	
0x424c	P4MODSEL (P4 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5-0	P4SEL[5:0]	0x00	H0	R/W	
0x424e	P4FNCSSEL (P4 Port Function Select Register)	15-12	-	0x0	-	R	
		11-10	P45MUX[1:0]	0x0	H0	R/W	
		9-8	P44MUX[1:0]	0x0	H0	R/W	
		7-6	P43MUX[1:0]	0x0	H0	R/W	
		5-4	P42MUX[1:0]	0x0	H0	R/W	
		3-2	P41MUX[1:0]	0x0	H0	R/W	
		1-0	P40MUX[1:0]	0x0	H0	R/W	
0x42d0	PDDAT (Pd Port Data Register)	15-13	-	0x0	-	R	
		12-8	PDOUT[4:0]	0x00	H0	R/W	
		7-5	-	0x0	-	R	
		4-3	PDIN[4:3]	x	H0	R	
		2	-	0	-	R	
		1-0	PDIN[1:0]	x	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x42d2	PDOEN (Pd Port Enable Register)	15-13	–	0x0	–	R	–
		12-11	PDIEN[4:3]	0x0	H0	R/W	
		10	(reserved)	0	H0	R/W	
		9-8	PDIEN[1:0]	0x0	H0	R/W	
		7-5	–	0x0	–	R	
		4-0	PDOEN[4:0]	0x00	H0	R/W	
0x42d4	PDRCTL (Pd Port Pull-up/down Control Register)	15-13	–	0x0	–	R	–
		12-11	PDPDPU[4:3]	0x0	H0	R/W	
		10	(reserved)	0	H0	R/W	
		9-8	PDPDPU[1:0]	0x0	H0	R/W	
		7-5	–	0x0	–	R	
		4-3	PDREN[4:3]	0x0	H0	R/W	
		2	(reserved)	0	H0	R/W	
		1-0	PDREN[1:0]	0x0	H0	R/W	
0x42dc	PDMODSEL (Pd Port Mode Select Register)	15-8	–	0x00	–	R	–
		7-5	–	0x0	–	R	
		4-0	PDSEL[4:0]	0x07	H0	R/W	
0x42de	PDFNCSEL (Pd Port Function Select Register)	15-10	–	0x00	–	R	–
		9-8	PD4MUX[1:0]	0x0	H0	R/W	
		7-6	PD3MUX[1:0]	0x0	H0	R/W	
		5-4	PD2MUX[1:0]	0x0	H0	R/W	
		3-2	PD1MUX[1:0]	0x0	H0	R/W	
		1-0	PD0MUX[1:0]	0x0	H0	R/W	
0x42e0	PCLK (P Port Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/WP	
		7-4	CLKDIV[3:0]	0x0	H0	R/WP	
		3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	
0x42e2	PINTFGRP (P Port Interrupt Flag Group Register)	15-8	–	0x00	–	R	–
		7-5	–	0x0	–	R	
		4	P4INT	0	H0	R	
		3	P3INT	0	H0	R	
		2	P2INT	0	H0	R	
		1	P1INT	0	H0	R	
		0	P0INT	0	H0	R	

0x4300–0x431c

Universal Port Multiplexer (UPMUX)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4300	POUPMUX0 (P00-01 Universal Port Multiplexer Setting Register)	15-13	P01PPFNC[2:0]	0x0	H0	R/W	–
		12-11	P01PERICH[1:0]	0x0	H0	R/W	
		10-8	P01PERISEL[2:0]	0x0	H0	R/W	
		7-5	P00PPFNC[2:0]	0x0	H0	R/W	
		4-3	P00PERICH[1:0]	0x0	H0	R/W	
		2-0	P00PERISEL[2:0]	0x0	H0	R/W	
0x4302	POUPMUX1 (P02-03 Universal Port Multiplexer Setting Register)	15-13	P03PPFNC[2:0]	0x0	H0	R/W	–
		12-11	P03PERICH[1:0]	0x0	H0	R/W	
		10-8	P03PERISEL[2:0]	0x0	H0	R/W	
		7-5	P02PPFNC[2:0]	0x0	H0	R/W	
		4-3	P02PERICH[1:0]	0x0	H0	R/W	
		2-0	P02PERISEL[2:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4304	P0UPMUX2 (P04-05 Universal Port Multiplexer Setting Register)	15-13	P05PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P05PERICH[1:0]	0x0	H0	R/W	
		10-8	P05PERISEL[2:0]	0x0	H0	R/W	
		7-5	P04PPFNC[2:0]	0x0	H0	R/W	
		4-3	P04PERICH[1:0]	0x0	H0	R/W	
		2-0	P04PERISEL[2:0]	0x0	H0	R/W	
0x4306	P0UPMUX3 (P06-07 Universal Port Multiplexer Setting Register)	15-13	P07PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P07PERICH[1:0]	0x0	H0	R/W	
		10-8	P07PERISEL[2:0]	0x0	H0	R/W	
		7-5	P06PPFNC[2:0]	0x0	H0	R/W	
		4-3	P06PERICH[1:0]	0x0	H0	R/W	
		2-0	P06PERISEL[2:0]	0x0	H0	R/W	
0x4308	P1UPMUX0 (P10-11 Universal Port Multiplexer Setting Register)	15-13	P11PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P11PERICH[1:0]	0x0	H0	R/W	
		10-8	P11PERISEL[2:0]	0x0	H0	R/W	
		7-5	P10PPFNC[2:0]	0x0	H0	R/W	
		4-3	P10PERICH[1:0]	0x0	H0	R/W	
		2-0	P10PERISEL[2:0]	0x0	H0	R/W	
0x430a	P1UPMUX1 (P12-13 Universal Port Multiplexer Setting Register)	15-13	P13PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P13PERICH[1:0]	0x0	H0	R/W	
		10-8	P13PERISEL[2:0]	0x0	H0	R/W	
		7-5	P12PPFNC[2:0]	0x0	H0	R/W	
		4-3	P12PERICH[1:0]	0x0	H0	R/W	
		2-0	P12PERISEL[2:0]	0x0	H0	R/W	
0x430c	P1UPMUX2 (P14-15 Universal Port Multiplexer Setting Register)	15-13	P15PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P15PERICH[1:0]	0x0	H0	R/W	
		10-8	P15PERISEL[2:0]	0x0	H0	R/W	
		7-5	P14PPFNC[2:0]	0x0	H0	R/W	
		4-3	P14PERICH[1:0]	0x0	H0	R/W	
		2-0	P14PERISEL[2:0]	0x0	H0	R/W	
0x430e	P1UPMUX3 (P16-17 Universal Port Multiplexer Setting Register)	15-13	P17PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P17PERICH[1:0]	0x0	H0	R/W	
		10-8	P17PERISEL[2:0]	0x0	H0	R/W	
		7-5	P16PPFNC[2:0]	0x0	H0	R/W	
		4-3	P16PERICH[1:0]	0x0	H0	R/W	
		2-0	P16PERISEL[2:0]	0x0	H0	R/W	
0x4310	P2UPMUX0 (P20-21 Universal Port Multiplexer Setting Register)	15-13	P21PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P21PERICH[1:0]	0x0	H0	R/W	
		10-8	P21PERISEL[2:0]	0x0	H0	R/W	
		7-5	P20PPFNC[2:0]	0x0	H0	R/W	
		4-3	P20PERICH[1:0]	0x0	H0	R/W	
		2-0	P20PERISEL[2:0]	0x0	H0	R/W	
0x4318	P3UPMUX0 (P30-31 Universal Port Multiplexer Setting Register)	15-13	P31PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P31PERICH[1:0]	0x0	H0	R/W	
		10-8	P31PERISEL[2:0]	0x0	H0	R/W	
		7-5	P30PPFNC[2:0]	0x0	H0	R/W	
		4-3	P30PERICH[1:0]	0x0	H0	R/W	
		2-0	P30PERISEL[2:0]	0x0	H0	R/W	
0x431a	P3UPMUX1 (P32-33 Universal Port Multiplexer Setting Register)	15-13	P33PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P33PERICH[1:0]	0x0	H0	R/W	
		10-8	P33PERISEL[2:0]	0x0	H0	R/W	
		7-5	P32PPFNC[2:0]	0x0	H0	R/W	
		4-3	P32PERICH[1:0]	0x0	H0	R/W	
		2-0	P32PERISEL[2:0]	0x0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x431c	P3UPMUX2 (P34-35 Universal Port Multiplexer Setting Register)	15-13	P35PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P35PERICH[1:0]	0x0	H0	R/W	
		10-8	P35PERISEL[2:0]	0x0	H0	R/W	
		7-5	P34PPFNC[2:0]	0x0	H0	R/W	
		4-3	P34PERICH[1:0]	0x0	H0	R/W	
		2-0	P34PERISEL[2:0]	0x0	H0	R/W	

0x4380-0x438e

UART (UART) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4380	UA0CLK (UART Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-	
		8	DBRUN	0	H0	R/W		
		7-6	-	0x0	-	R		
		5-4	CLKDIV[1:0]	0x0	H0	R/W		
		3-2	-	0x0	-	R		
		1-0	CLKSRC[1:0]	0x0	H0	R/W		
0x4382	UA0MOD (UART Ch.0 Mode Register)	15-10	-	0x00	-	R	-	
		9	INVIRRX	0	H0	R/W		
		8	INVIRTX	0	H0	R/W		
		7	-	0	-	R		
		6	PUEN	0	H0	R/W		
		5	OUTMD	0	H0	R/W		
		4	IRMD	0	H0	R/W		
		3	CHLN	0	H0	R/W		
		2	PREN	0	H0	R/W		
1	PRMD	0	H0	R/W				
0	STPB	0	H0	R/W				
0x4384	UA0BR (UART Ch.0 Baud- Rate Register)	15-12	-	0x0	-	R	-	
		11-8	FMD[3:0]	0x0	H0	R/W		
		7-0	BRT[7:0]	0x00	H0	R/W		
0x4386	UA0CTL (UART Ch.0 Control Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x4388	UA0TXD (UART Ch.0 Transmit Data Register)	15-8	-	0x00	-	R	-	
		7-0	TXD[7:0]	0x00	H0	R/W		
0x438a	UA0RXD (UART Ch.0 Receive Data Register)	15-8	-	0x00	-	R	-	
		7-0	RXD[7:0]	0x00	H0	R		
0x438c	UA0INTF (UART Ch.0 Status and Interrupt Flag Register)	15-10	-	0x00	-	R	-	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	-	0	-	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UA0RXD register.
		4	PEIF	0	H0/S0	R/W		Cleared by writing 1.
		3	OEIF	0	H0/S0	R/W		Cleared by reading the UA0RXD register.
		2	RB2FIF	0	H0/S0	R		Cleared by writing to the UA0TXD register.
1	RB1FIF	0	H0/S0	R				
0	TBEIF	1	H0/S0	R				

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x438e	UA0INTE (UART Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7	-	0	-	R	
		6	TENDIE	0	H0	R/W	
		5	FEIE	0	H0	R/W	
		4	PEIE	0	H0	R/W	
		3	OEIE	0	H0	R/W	
		2	RB2FIE	0	H0	R/W	
		1	RB1FIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	

0x43a0-0x43ac**16-bit Timer (T16) Ch.1**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43a0	T16_1CLK (T16 Ch.1 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x43a2	T16_1MOD (T16 Ch.1 Mode Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x43a4	T16_1CTL (T16 Ch.1 Control Register)	15-9	-	0x00	-	R	
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x43a6	T16_1TR (T16 Ch.1 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
0x43a8	T16_1TC (T16 Ch.1 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	-
0x43aa	T16_1INTF (T16 Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x43ac	T16_1INTE (T16 Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x43b0-0x43ba**Synchronous Serial Interface (SPIA) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43b0	SPIOMOD (SPIA Ch.0 Mode Register)	15-12	-	0x0	-	R	
		11-8	CHLN[3:0]	0x7	H0	R/W	
		7-6	-	0x0	-	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
		0	MST	0	H0	R/W	
0x43b2	SPIOCTL (SPIA Ch.0 Control Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x43b4	SPIOTXD (SPIA Ch.0 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43b6	SPI0RXD (SPIA Ch.0 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-
0x43b8	SPI0INTF (SPIA Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	BSY	0	H0	R	
		6-4	-	0x0	-	R	
		3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W	
		1	RBFIF	0	H0/S0	R	Cleared by reading the SPI0RXD register.
0x43ba	SPI0INTE (SPIA Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3	OEIE	0	H0	R/W	
		2	TENDIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	Cleared by writing to the SPI0TXD register.

0x43c0-0x43d2

I²C (I2C)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43c0	I2C0CLK (I2C Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x43c2	I2C0MOD (I2C Ch.0 Mode Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2	OADR10	0	H0	R/W	
		1	GCEN	0	H0	R/W	
0x43c4	I2C0BR (I2C Ch.0 Baud-Rate Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	BRT[6:0]	0x7f	H0	R/W	
0x43c8	I2C0OADR (I2C Ch.0 Own Address Register)	15-10	-	0x00	-	R	-
		9-0	OADR[9:0]	0x000	H0	R/W	
0x43ca	I2C0CTL (I2C Ch.0 Control Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5	MST	0	H0	R/W	
		4	TXNACK	0	H0/S0	R/W	
		3	TXSTOP	0	H0/S0	R/W	
		2	TXSTART	0	H0/S0	R/W	
		1	SFTRST	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x43cc	I2C0TXD (I2C Ch.0 Transmit Data Register)	15-8	-	0x00	-	R	-
		7-0	TXD[7:0]	0x00	H0	R/W	
0x43ce	I2C0RXD (I2C Ch.0 Receive Data Register)	15-8	-	0x00	-	R	-
		7-0	RXD[7:0]	0x00	H0	R	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43d0	I2C0INTF (I2C Ch.0 Status and Interrupt Flag Register)	15-13	–	0x0	–	R	–
		12	SDALLOW	0	H0	R	
		11	SCLLOW	0	H0	R	
		10	BSY	0	H0/S0	R	
		9	TR	0	H0	R	
		8	–	0	–	R	
		7	BYTEENDIF	0	H0/S0	R/W	Cleared by writing 1.
		6	GCIF	0	H0/S0	R/W	
		5	NACKIF	0	H0/S0	R/W	
		4	STOPIF	0	H0/S0	R/W	
		3	STARTIF	0	H0/S0	R/W	
		2	ERRIF	0	H0/S0	R/W	Cleared by reading the I2C0RXD register.
1	RBFIF	0	H0/S0	R			
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C0TXD register.		
0x43d2	I2C0INTE (I2C Ch.0 Interrupt Enable Register)	15-8	–	0x00	–	R	–
		7	BYTEENDIE	0	H0	R/W	
		6	GCIE	0	H0	R/W	
		5	NACKIE	0	H0	R/W	
		4	STOPIE	0	H0	R/W	
		3	STARTIE	0	H0	R/W	
		2	ERRIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	

0x5000–0x501a**16-bit PWM Timer (T16B) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5000	T16B0CLK (T16B Ch.0 Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2-0	CLKSRC[2:0]	0x0	H0	R/W	
0x5002	T16B0CTL (T16B Ch.0 Counter Control Register)	15-9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7-6	–	0x0	–	R	
		5-4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5004	T16B0MC (T16B Ch.0 Max Counter Data Register)	15-0	MC[15:0]	0xffff	H0	R/W	–
0x5006	T16B0TC (T16B Ch.0 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	–
0x5008	T16B0CS (T16B Ch.0 Counter Status Register)	15-8	–	0x00	–	R	–
		7-4	–	0x0	–	R	
		3	CAPI1	0	H0	R	
		2	CAPI0	0	H0	R	
		1	UP_DOWN	1	H0	R	
		0	BSY	0	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x500a	T16B0INTF (T16B Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-6	-	0x0	-	R	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W			
0x500c	T16B0INTE (T16B Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W			
0x5010	T16B0CCCTL0 (T16B Ch.0 Compare/Capture 0 Control Register)	15	SCS	0	H0	R/W	
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x5012	T16B0CCR0 (T16B Ch.0 Compare/Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x5018	T16B0CCCTL1 (T16B Ch.0 Compare/Capture 1 Control Register)	15	SCS	0	H0	R/W	
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x501a	T16B0CCR1 (T16B Ch.0 Compare/Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-

0x5040-0x505a

16-bit PWM Timer (T16B) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5040	T16B1CLK (T16B Ch.1 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3	-	0	-	R	
		2-0	CLKSRC[2:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5042	T16B1CTL (T16B Ch.1 Counter Control Register)	15-9	-	0x00	-	R	-
		8	MAXBSY	0	H0	R	
		7-6	-	0x0	-	R	
		5-4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5044	T16B1MC (T16B Ch.1 Max Counter Data Register)	15-0	MC[15:0]	0xffff	H0	R/W	-
0x5046	T16B1TC (T16B Ch.1 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	-
0x5048	T16B1CS (T16B Ch.1 Counter Status Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3	CAP11	0	H0	R	
		2	CAP10	0	H0	R	
		1	UP_DOWN	1	H0	R	
0	BSY	0	H0	R			
0x504a	T16B1INTF (T16B Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W			
0x504c	T16B1INTE (T16B Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W			
0x5050	T16B1CCCTL0 (T16B Ch.1 Compare/ Capture 0 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
1	TOUTINV	0	H0	R/W			
0	CCMD	0	H0	R/W			
0x5052	T16B1CCR0 (T16B Ch.1 Compare/ Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5058	T16B1CCCTL1 (T16B Ch.1 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x505a	T16B1CCR1 (T16B Ch.1 Compare/ Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-

0x5200-0x520e

UART (UART) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5200	UA1CLK (UART Ch.1 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5202	UA1MOD (UART Ch.1 Mode Register)	15-10	-	0x00	-	R	-
		9	INVIRRX	0	H0	R/W	
		8	INVIRTX	0	H0	R/W	
		7	-	0	-	R	
		6	PUEN	0	H0	R/W	
		5	OUTMD	0	H0	R/W	
		4	IRMD	0	H0	R/W	
		3	CHLN	0	H0	R/W	
		2	PREN	0	H0	R/W	
1	PRMD	0	H0	R/W			
0	STPB	0	H0	R/W			
0x5204	UA1BR (UART Ch.1 Baud- Rate Register)	15-12	-	0x0	-	R	-
		11-8	FMD[3:0]	0x0	H0	R/W	
		7-0	BRT[7:0]	0x00	H0	R/W	
0x5206	UA1CTL (UART Ch.1 Control Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5208	UA1TXD (UART Ch.1 Transmit Data Register)	15-8	-	0x00	-	R	-
		7-0	TXD[7:0]	0x00	H0	R/W	
0x520a	UA1RXD (UART Ch.1 Receive Data Register)	15-8	-	0x00	-	R	-
		7-0	RXD[7:0]	0x00	H0	R	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x520c	UA1INTF (UART Ch.1 Status and Interrupt Flag Register)	15-10	-	0x00	-	R		
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	-	0	-	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UA1RXD register.
		4	PEIF	0	H0/S0	R/W		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UA1RXD register.
1	RB1FIF	0	H0/S0	R				
0	TBEIF	1	H0/S0	R	Cleared by writing to the UA1TXD register.			
0x520e	UA1INTE (UART Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R		
		7	-	0	-	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		

0x5260-0x526c**16-bit Timer (T16) Ch.2**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5260	T16_2CLK (T16 Ch.2 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5262	T16_2MOD (T16 Ch.2 Mode Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x5264	T16_2CTL (T16 Ch.2 Control Register)	15-9	-	0x00	-	R	
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5266	T16_2TR (T16 Ch.2 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
0x5268	T16_2TC (T16 Ch.2 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	-
0x526a	T16_2INTF (T16 Ch.2 Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x526c	T16_2INTE (T16 Ch.2 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x5270–0x527a

Synchronous Serial Interface (SPIA) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5270	SPI1MOD (SPIA Ch.1 Mode Register)	15–12	–	0x0	–	R	–	
		11–8	CHLN[3:0]	0x7	H0	R/W		
		7–6	–	0x0	–	R		
		5	PUEN	0	H0	R/W		
		4	NOCLKDIV	0	H0	R/W		
		3	LSBFST	0	H0	R/W		
		2	CPHA	0	H0	R/W		
		1	CPOL	0	H0	R/W		
0	MST	0	H0	R/W				
0x5272	SPI1CTL (SPIA Ch.1 Control Register)	15–8	–	0x00	–	R	–	
		7–2	–	0x00	–	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x5274	SPI1TXD (SPIA Ch.1 Transmit Data Register)	15–0	TXD[15:0]	0x0000	H0	R/W	–	
0x5276	SPI1RXD (SPIA Ch.1 Receive Data Register)	15–0	RXD[15:0]	0x0000	H0	R	–	
0x5278	SPI1INTF (SPIA Ch.1 Interrupt Flag Register)	15–8	–	0x00	–	R	–	
		7	BSY	0	H0	R		
		6–4	–	0x0	–	R		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W		
		1	RBFIF	0	H0/S0	R		Cleared by reading the SPI1RXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the SPI1TXD register.			
0x527a	SPI1INTE (SPIA Ch.1 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7–4	–	0x0	–	R		
		3	OEIE	0	H0	R/W		
		2	TENDIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		

0x5300–0x530a

Sound Generator (SNDA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5300	SNDCLK (SNDA Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7	–	0	–	R	
		6–4	CLKDIV[2:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5302	SNDSEL (SNDA Select Register)	15–12	–	0x0	–	R	–
		11–8	STIM[3:0]	0x0	H0	R/W	
		7–3	–	0x00	–	R	
		2	SINV	0	H0	R/W	
		1–0	MOSEL[1:0]	0x0	H0	R/W	
0x5304	SNDCTL (SNDA Control Register)	15–9	–	0x00	–	R	–
		8	SSTP	0	H0	R/W	
		7–1	–	0x00	–	R	
		0	MODEN	0	H0	R/W	
0x5306	SNDDAT (SNDA Data Register)	15	MDTI	0	H0	R/W	–
		14	MDRS	0	H0	R/W	
		13–8	SLEN[5:0]	0x00	H0	R/W	
		7–0	SFRQ[7:0]	0xff	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5308	SNDINTF (SNDA Interrupt Flag Register)	15-9	-	0x00	-	R	-
		8	SBSY	0	H0	R	
		7-2	-	0x00	-	R	
		1	EMIF	1	H0	R	Cleared by writing to the SNDDAT register.
0x530a	SNDINTE (SNDA Interrupt Enable Register)	0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDDAT register.
		15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	EMIE	0	H0	R/W	
		0	EDIE	0	H0	R/W	

0x5320-0x5332**IR Remote Controller (REMC2)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5320	REMCLK (REMC2 Clock Control Register)	15-9	-	0x00	-	R	-	
		8	DBRUN	0	H0	R/W		
		7-4	CLKDIV[3:0]	0x0	H0	R/W		
		3-2	-	0x0	-	R		
		1-0	CLKSRC[1:0]	0x0	H0	R/W		
0x5322	REMDBCTL (REMC2 Data Bit Counter Control Register)	15-10	-	0x00	-	R	-	
		9	PRESET	0	H0/S0	R/W		Cleared by writing 1 to the REMDBCTL.REMCRST bit.
		8	PRUN	0	H0/S0	R/W		
		7-5	-	0x0	-	R		
		4	REMOINV	0	H0	R/W		
		3	BUFEN	0	H0	R/W		
		2	TRMD	0	H0	R/W		
		1	REMCRST	0	H0	W		
0	MODEN	0	H0	R/W				
0x5324	REMDBCNT (REMC2 Data Bit Counter Register)	15-0	DBCNT[15:0]	0x0000	H0/S0	R	Cleared by writing 1 to the REMDBCTL.REMCRST bit.	
0x5326	REMAPLEN (REMC2 Data Bit Active Pulse Length Register)	15-0	APLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMDBCTL.MODEN bit = 1.	
0x5328	REMDBLEN (REMC2 Data Bit Length Register)	15-0	DBLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMDBCTL.MODEN bit = 1.	
0x532a	REMINTF (REMC2 Status and Interrupt Flag Register)	15-11	-	0x00	-	R	-	
		10	DBCNTRUN	0	H0/S0	R		Cleared by writing 1 to the REMDBCTL.REMCRST bit.
		9	DBLENBSY	0	H0	R		Effective when the REMDBCTL.BUFEN bit = 1.
		8	APLENBSY	0	H0	R		
		7-2	-	0x00	-	R		
		1	DBIF	0	H0/S0	R/W		Cleared by writing 1 to this bit or the REMDBCTL.REMCRST bit.
0	APIF	0	H0/S0	R/W				
0x532c	REMINTE (REMC2 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1	DBIE	0	H0	R/W		
		0	APIE	0	H0	R/W		
0x5330	REMCARR (REMC2 Carrier Waveform Register)	15-8	CRDITY[7:0]	0x00	H0	R/W	-	
		7-0	CRPER[7:0]	0x00	H0	R/W		
0x5332	REMCCTL (REMC2 Carrier Modulation Control Register)	15-8	-	0x00	-	R	-	
		7-1	-	0x00	-	R		
		0	CARREN	0	H0	R/W		

0x5440–0x5450

R/F Converter (RFC) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5440	RFC0CLK (RFC Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5442	RFC0CTL (RFC Ch.0 Control Register)	15–9	–	0x00	–	R	–
		8	RFCLKMD	0	H0	R/W	
		7	CONEN	0	H0	R/W	
		6	EVTEN	0	H0	R/W	
		5–4	SMODE[1:0]	0x0	H0	R/W	
		3–1	–	0x0	–	R	
		0	MODEN	0	H0	R/W	
0x5444	RFC0TRG (RFC Ch.0 Oscillation Trigger Register)	15–8	–	0x00	–	R	–
		7–3	–	0x00	–	R	
		2	SSENB	0	H0	R/W	
		1	SSENA	0	H0	R/W	
		0	SREF	0	H0	R/W	
0x5446	RFC0MCL (RFC Ch.0 Measure- ment Counter Low Register)	15–0	MC[15:0]	0x0000	H0	R/W	–
0x5448	RFC0MCH (RFC Ch.0 Measure- ment Counter High Register)	15–8	–	0x00	–	R	–
		7–0	MC[23:16]	0x00	H0	R/W	
0x544a	RFC0TCL (RFC Ch.0 Time Base Counter Low Register)	15–0	TC[15:0]	0x0000	H0	R/W	–
0x544c	RFC0TCH (RFC Ch.0 Time Base Counter High Register)	15–8	–	0x00	–	R	–
		7–0	TC[23:16]	0x00	H0	R/W	
0x544e	RFC0INTF (RFC Ch.0 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–5	–	0x0	–	R	
		4	OVTCIF	0	H0	R/W	
		3	OVMCIF	0	H0	R/W	
		2	ESENBIF	0	H0	R/W	
		1	ESENAIF	0	H0	R/W	
		0	EREFIF	0	H0	R/W	Cleared by writing 1.
0x5450	RFC0INTE (RFC Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–5	–	0x0	–	R	
		4	OVTICIE	0	H0	R/W	
		3	OVMCIE	0	H0	R/W	
		2	ESENBIE	0	H0	R/W	
		1	ESENAIE	0	H0	R/W	
				0	EREFIE	0	

0x5460–0x5470

R/F Converter (RFC) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5460	RFC1CLK (RFC Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5462	RFC1CTL (RFC Ch.1 Control Register)	15-9	-	0x00	-	R	-	
		8	RFCLKMD	0	H0	R/W		
		7	CONEN	0	H0	R/W		
		6	EVTEN	0	H0	R/W		
		5-4	SMODE[1:0]	0x0	H0	R/W		Setting to 0x1 is invalid.
		3-1	-	0x0	-	R		-
0	MODEN	0	H0	R/W	-			
0x5464	RFC1TRG (RFC Ch.1 Oscillation Trigger Register)	15-8	-	0x00	-	R	-	
		7-3	-	0x00	-	R		
		2	SSENB	0	H0	R/W		
		1	SSENA	0	H0	R/W		
0	SREF	0	H0	R/W	-			
0x5466	RFC1MCL (RFC Ch.1 Measurement Counter Low Register)	15-0	MC[15:0]	0x0000	H0	R/W	-	
0x5468	RFC1MCH (RFC Ch.1 Measurement Counter High Register)	15-8	-	0x00	-	R	-	
		7-0	MC[23:16]	0x00	H0	R/W		
0x546a	RFC1TCL (RFC Ch.1 Time Base Counter Low Register)	15-0	TC[15:0]	0x0000	H0	R/W	-	
0x546c	RFC1TCH (RFC Ch.1 Time Base Counter High Register)	15-8	-	0x00	-	R	-	
		7-0	TC[23:16]	0x00	H0	R/W		
0x546e	RFC1INTF (RFC Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	OVRTCIF	0	H0	R/W		Cleared by writing 1.
		3	OVMCIF	0	H0	R/W		
		2	ESENBIF	0	H0	R/W		
		1	ESENAIF	0	H0	R/W		
0	EREFIF	0	H0	R/W				
0x5470	RFC1INTE (RFC Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	OVRTCIE	0	H0	R/W		
		3	OVMCIE	0	H0	R/W		
		2	ESENBIE	0	H0	R/W		
		1	ESENAIE	0	H0	R/W		
0	EREFIE	0	H0	R/W				

0x5480-0x548c**16-bit Timer (T16) Ch.3**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5480	T16_3CLK (T16 Ch.3 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5482	T16_3MOD (T16 Ch.3 Mode Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x5484	T16_3CTL (T16 Ch.3 Control Register)	15-9	-	0x00	-	R	-
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5486	T16_3TR (T16 Ch.3 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
0x5488	T16_3TC (T16 Ch.3 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	-
0x548a	T16_3INTF (T16 Ch.3 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	Cleared by writing 1.
0x548c	T16_3INTE (T16 Ch.3 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x54a2-0x54b6

12-bit A/D Converter (ADC12A)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x54a2	ADC12_0CTL (ADC12A Ch.0 Control Register)	15	-	0	-	R	-	
		14-12	ADSTAT[2:0]	0x0	H0	R		
		11	-	0	-	R		
		10	BSYSTAT	0	H0	R		
		9-8	-	0x0	-	R		
		7-2	-	0x00	-	R		
		1	ADST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x54a4	ADC12_0TRG (ADC12A Ch.0 Trigger/Analog Input Select Register)	15-14	-	0x0	-	R	-	
		13-11	ENDAIN[2:0]	0x0	H0	R/W		
		10-8	STAAIN[2:0]	0x0	H0	R/W		
		7	STMD	0	H0	R/W		
		6	CNVMD	0	H0	R/W		
		5-4	CNVTRG[1:0]	0x0	H0	R/W		
		3	-	0	-	R		
		2-0	SMPCLK[2:0]	0x7	H0	R/W		
0x54a6	ADC12_0CFG (ADC12A Ch.0 Con- figuration Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1-0	VRANGE[1:0]	0x0	H0	R/W		
0x54a8	ADC12_0INTF (ADC12A Ch.0 Interrupt Flag Register)	15-14	-	0x0	-	R	-	
		13	AD5OVIF	0	H0	R/W		Cleared by writing 1.
		12	AD4OVIF	0	H0	R/W		
		11	AD3OVIF	0	H0	R/W		
		10	AD2OVIF	0	H0	R/W		
		9	AD1OVIF	0	H0	R/W		
		8	AD0OVIF	0	H0	R/W		
		7-6	-	0x0	-	R	-	
		5	AD5CIF	0	H0	R/W		Cleared by writing 1.
		4	AD4CIF	0	H0	R/W		
		3	AD3CIF	0	H0	R/W		
		2	AD2CIF	0	H0	R/W		
		1	AD1CIF	0	H0	R/W		
0	AD0CIF	0	H0	R/W				

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x54aa	ADC12_0INTE (ADC12A Ch.0 Interrupt Enable Register)	15-14	–	0x0	–	R	–
		13	AD5OVIE	0	H0	R/W	
		12	AD4OVIE	0	H0	R/W	
		11	AD3OVIE	0	H0	R/W	
		10	AD2OVIE	0	H0	R/W	
		9	AD1OVIE	0	H0	R/W	
		8	AD0OVIE	0	H0	R/W	
		7-6	–	0x0	–	R	
		5	AD5CIE	0	H0	R/W	
		4	AD4CIE	0	H0	R/W	
		3	AD3CIE	0	H0	R/W	
		2	AD2CIE	0	H0	R/W	
1	AD1CIE	0	H0	R/W			
0	AD0CIE	0	H0	R/W			
0x54ac	ADC12_0AD0D (ADC12A Ch.0 Result Register 0)	15-0	AD0D[15:0]	0x0000	H0	R	–
0x54ae	ADC12_0AD1D (ADC12A Ch.0 Result Register 1)	15-0	AD1D[15:0]	0x0000	H0	R	–
0x54b0	ADC12_0AD2D (ADC12A Ch.0 Result Register 2)	15-0	AD2D[15:0]	0x0000	H0	R	–
0x54b2	ADC12_0AD3D (ADC12A Ch.0 Result Register 3)	15-0	AD3D[15:0]	0x0000	H0	R	–
0x54b4	ADC12_0AD4D (ADC12A Ch.0 Result Register 4)	15-0	AD4D[15:0]	0x0000	H0	R	–
0x54b6	ADC12_0AD5D (ADC12A Ch.0 Result Register 5)	15-0	AD5D[15:0]	0x0000	H0	R	–

0xffff90**Debugger (DBG)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0xffff90	DBRAM (Debug RAM Base Register)	31-24	–	0x00	–	R	–
		23-0	DBRAM[23:0]	0x00 07c0	H0	R	

Appendix B パワーセーブ

消費電流はCPU動作モード、動作クロック周波数、動作させる周辺回路、パワージェネレータ動作モード等により大きく変化します。以下に、省電力化のための制御方法をまとめます。

B.1 パワーセーブを考慮した動作状態の設定例

パワーセーブを考慮した代表的な動作状態設定例を表B.1.1に示します。

表B.1.1 代表的な動作状態設定

動作状態設定	消費電流	PWG2	OSC1	IOSC/OSC3 /EXOSC	RTCA	CPU	電気的特性記載 の消費電流
スタンバイ	↑ 低	Super economy/ Economy	OFF	OFF	OFF	SLEEP	ISLP
時計カウント			ON			ON	SLEEP or HALT
低速処理	SLEEP or HALT	IRUN20					
周辺回路動作	ON	ON		SLEEP or HALT	IHALT1		
高速処理			IOSC/OSC3/EXOSC RUN	IRUN10			

注: 32pin/パッケージは、スーパーエコノミーモード(Super economy)に対応していません。

表B.1.1の動作モード設定時、“電気的特性”の消費電流項目と差異がある場合は、以下の項目を確認してください。

パワージェネレータのPWGCTL.PWGMOD[2:0]ビット

パワージェネレータのPWGCTL.PWGMOD[2:0]ビットを0x2(ノーマルモード)のまま、SLEEPモードへ遷移した場合、“電気的特性”のSLEEP時消費電流ISLPよりも大きな値になります。slp命令実行前に、PWGCTL.PWGMOD[2:0]ビットを0x5(スーパーエコノミーモード)、0x3(エコノミーモード)または0x0(オートマチックモード)に設定してください。

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビット

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビットを0にすると、slp命令実行時に発振回路を停止する制御が禁止されます。SLEEPモード時に発振回路を停止させたい場合は、これらのビットを1に設定してください。

周辺回路のMODENビット

各周辺回路のMODENビットを1にすると、周辺回路に動作クロックが供給され、動作可能な状態になります。動作が不要な周辺回路は、MODENビットを0に設定することで、消費電流を抑えることができます。リアルタイムクロックは、MODENビットを備えておらず、カウント中も停止中も消費電流は変わりません。

OSC1発振回路の設定

OSC1発振回路は、シリンダータイプから表面実装タイプまで、様々な水晶振動子に対応するため、いくつかの設定が可能です。これらの設定は以下のような消費電流とのトレードオフがあります。

- 発振インバータのゲイン設定(CLGOSC1.INV1B[1:0]/INV1N[1:0]ビット)で、インバータのゲインを小さくするほど、消費電流も小さくなります。
- OSC1内蔵ゲート容量の設定(CLGOSC1.CG1I[2:0]ビット)で、容量値を小さくするほど、消費電流も小さくなります。
- OSC1外付けゲート容量、ドレイン容量の容量値を小さくするほど、消費電流も小さくなります。
- 水晶振動子のCl値が小さいものほど、消費電流も小さくなります。

ただし、これらの設定により、発振余裕度の不足や周波数の誤差を生じますので、必ず実基板上でのマッチング評価を行ってください。

OSC3(水晶/セラミック)発振回路の設定

OSC3(水晶/セラミック)発振回路は、様々な水晶振動子やセラミック振動子に対応するため、いくつかの設定が可能です。これらの設定は以下のような消費電流とのトレードオフがあります。

- 発振インバータのゲイン設定(CLGOSC3.OSC3INV[1:0]ビット)で、インバータのゲインを小さくするほど、消費電流も小さくなります。
- OSC3外付けゲート容量、ドレイン容量の容量値を小さくするほど、消費電流も小さくなります。
- 振動子のCL値が小さいものほど、消費電流も小さくなります。

ただし、これらの設定により、発振余裕度の不足や周波数の誤差を生じますので、必ず実基板上でのマッチング評価を行ってください。

B.2 その他のパワーセーブ方法

電源電圧検出回路の設定

連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)の場合、電圧を常時検出しているため消費電流は大きくなります。間欠動作モードに設定するか、あるいは必要なときのみ電源電圧検出回路をONしてください。

Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

OSC1/OSC3発振回路

- 発振特性は使用部品(振動子、 C_G 、 C_D)や基板パターンなどにより変化します。特に水晶振動子を使用する場合、外付けの容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。

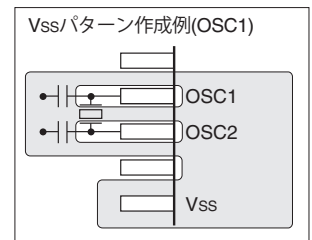
- OSC1(OSC3)、OSC2(OSC4)端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3 mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2 mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3 mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5 mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態でのクロック波形をFOUT端子から出力して確認してください。
OSC1波形は、クロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100 ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。
OSC3波形は、設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

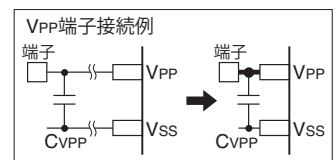
(1)~(3)の対応が不十分な場合、OSC1CLKにはノイズが乗り、OSC3CLK出力にはジッタが発生することがあります。OSC1CLKにノイズが乗ると、OSC1CLKを使用するタイマや、CPUコアの動作が不安定になります。OSC3出力にジッタが発生すると、その分動作周波数が低下します。

#RESET端子

ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するスイッチ、抵抗等の部品は、できるだけ最短で接続してください。

VPP端子

Flashプログラミング電圧VPPが大きく変動する場合、Vss~VPP間キャパシタCvppを接続して、 $V_{PP} \pm 1$ V以下の変動に抑えてください。
このとき、Cvppは可能な限りVPP端子の近くに配置し、数十mAが流れるように十分な太さを持つパターンを用いて配線してください。

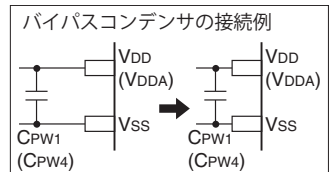


電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

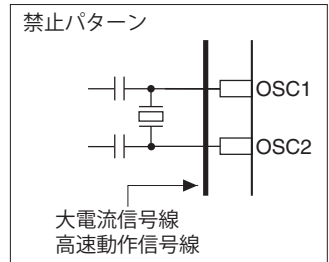
- 電源からVDD/VDDAおよびVss端子へはできるだけ短かつ太いパターンで接続してください。

- (2) $V_{DD}/V_{DDA}-V_{SS}$ のバイパスコンデンサを接続する場合、 V_{DD}/V_{DDA} 端子と V_{SS} 端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振やアナログ計測等のノイズに弱い端子近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。



光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- 入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタはイニシャル状態にしてください。
- OSC1、OSC2、OSC3、OSC4、EXOSC端子
OSC1発振回路、OSC3発振回路、またはEXOSC入力回路を使用しない場合、OSC1とOSC2端子、OSC3とOSC4端子、またはEXOSC端子はオープンにしてください。制御レジスタはイニシャル状態(ディスエーブル)にしてください。
- $CV_{1\sim 2}$ 、 VD_2 端子
スーパーエコノミーモードを使用しない場合は、 $CV_{1\sim 2}$ 端子をオープンにしてください。また、このとき V_{DD} と V_{D2} を短絡させることで、 CPW_3 を省略できます。短絡させない場合は、スーパーエコノミーモードを使用しない場合でも、 CPW_3 は必要です。
- VREFA0端子
12ビットA/D変換器を使用しない場合はオープンにしてください。

EXPOSED DIE PADの処理

QFN等のパッケージ品のEXPOSED DIE PADは、IC裏面の基板電位と同電位になっています。これらのパッケージを基板に実装する場合は、以下の点に注意してください。

- EXPOSED DIE PADを実装基板にハンダ付けする場合
IC裏面の電位と同じ電位の配線パターンで接続する、もしくは電氣的に接続しない(電氣的にオープンにする)ようにしてください。また、IC裏面の電位と同じ電位の配線パターンで接続した場合でも、必ず電源端子は接続してください。
- EXPOSED DIE PADを実装基板にハンダ付けしない場合
基板上のEXPOSED DIE PADの領域には、信号配線・基板パターンを設置しないでください。

その他

実装段階においては、機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的变化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

VDD, VDDA, VSS電源のノイズ対策

規定の電圧を下回るようなノイズが入ると、ICが誤動作する場合があります。期待する動作とならない場合は、基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

#RESET端子のノイズ対策

#RESET端子にノイズが入ることにより、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

デバッグ端子のノイズ対策

本製品はデバッグ用にICDmini(S5U1C17001H)を接続するための入出力端子(DCLK、DST2、DSIO)を備えています。デバッグ用入出力機能を有効にした状態でこれらの端子にノイズが入ると、S1C17コアがDEBUGモードへ移行してしまう可能性があります。外来ノイズによる予期せぬDEBUGモードへの移行を防ぐため、デバッグの必要がない場合は、初期化ルーチン内でDCLK、DST2、DSIO端子を汎用入出力ポート端子に切り換えてください。

端子の機能と切り換えの詳細は、“入出力ポート”の章を参照してください。

注: アプリケーション開発中など、デバッグ機能を使用する場合は上記の処理を行わないでください。端子機能を切り換えた時点からデバッグが行えなくなります。

アプリケーション開発終了後など、デバッグが不要になってから上記の処理を追加してください。

デバッグ用端子を有効しておく場合には、DSIO端子を10kΩの抵抗でプルアップすることを推奨します。

割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート”の章を参照してください。

UART端子のノイズ対策

本製品は非同期通信用にUARTを備えています。UARTはSIN n 端子でLOWレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN n 端子がLOWになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

電源などの駆動能力が高い信号と接続する入力端子のノイズ対策

電源や駆動能力が高いデバイスの出力と直接接続している端子がある場合、これらの端子にノイズが入ることにより大電流が流れ込む可能性があります。そのような場合は、端子保護のために30 Ω 以上の抵抗を直列に挿入してください。実装基板で評価のうえ抵抗値を決定してください。

VREFA端子に電源を直接接続する場合は100 Ω の抵抗を直列に挿入してください。この抵抗は、A/D変換器の特性に影響を与えません。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;      Vector table
; =====
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00      0x00      reset          ...(2)
.long unalign_handler ; 0x01      0x04      unalign
.long nmi_handler   ; 0x02      0x08      NMI
.long int03_handler ; 0x03      0x0c      -
.long svd_handler   ; 0x04      0x10      SVD
.long pport_handler ; 0x05      0x14      PPORT
.long pwg2_handler  ; 0x06      0x18      PWG2
.long clg_handler   ; 0x07      0x1c      CLG
.long rtca_handler  ; 0x08      0x20      RTCA
.long t16_0_handler ; 0x09      0x24      T16 ch0
.long uart_0_handler ; 0x0a      0x28      UART ch0
.long t16_1_handler ; 0x0b      0x2c      T16 ch1
.long spia_0_handler ; 0x0c      0x30      SPIA ch0
.long i2c_handler   ; 0x0d      0x34      I2C
.long t16b_0_handler ; 0x0e      0x38      T16B ch0
.long t16b_1_handler ; 0x0f      0x3c      T16B ch1
.long uart_1_handler ; 0x10      0x40      UART ch1
.long snda_handler  ; 0x11      0x44      SNDA
.long remc2_handler ; 0x12      0x48      REMC2
.long int13_handler ; 0x13      0x4c      -
.long rfc_0_handler ; 0x14      0x50      RFC ch0
.long rfc_1_handler ; 0x15      0x54      RFC ch1
.long t16_2_handler ; 0x16      0x58      T16 ch2
.long spia_1_handler ; 0x17      0x5c      SPIA ch1
.long t16_3_handler ; 0x18      0x60      T16 ch3
.long adc12a_handler ; 0x19      0x64      ADC12A
.long int1a_handler ; 0x1a      0x68      -
.long int1b_handler ; 0x1b      0x6c      -
.long int1c_handler ; 0x1c      0x70      -
.long int1d_handler ; 0x1d      0x74      -
.long int1e_handler ; 0x1e      0x78      -
.long int1f_handler ; 0x1f      0x7c      -
; =====
;      Program code
; =====
.text                                             ...(3)
.align 1

BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
xld.a    %sp, 0x07c0                               ...(4)
; ----- Memory controller -----
xld.a    %r1, 0x41b0    ; FLASHC register address
; Flash read wait cycle
xld.a    %r0, 0x00      ; 0x00 = No wait
ld.b     [%r1], %r0     ; [0x41b0] <= 0x00          ...(5)
; ===== Main routine =====
...

```

Appendix E 初期化ルーチン

```
; =====  
;      Interrupt handler  
; =====  
; ----- Address unalign -----  
unalign_handler:  
    ...  
  
; ----- NMI -----  
nmi_handler:  
    ...
```

- (1) ベクタテーブルを `.vector` セクションに配置するために `.rodata` セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
`intXX_handler` はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは `.text` セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flashメモリリード時のアクセスサイクル数を設定します。
(“メモリ, バス”の章を参照)

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412924900	全ページ	新規制定
412924901	1-3	1.1 特長 表1.1を修正 出荷形態: パッケージ名にJEITA名称を追加
	2-10	2.3.4 動作 発振開始時間と発振安定待ち時間 下記説明を追加 OSC1発振回路の発振安定待ち時間は、OSC1CLK 16,384クロック以上に設定してください。
	3-3	3.3.3 デバッグ入出力端子一覧 注を追加 注: ・DCLK端子は、外部からHIGHレベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。 また、DCLK端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、ICが正常に起動しない可能性があります。 ・DSIO端子は、外部からLOWレベルで駆動しないでください。デバッグ割り込みが発生し、CPUがDEBUGモードに入ります。
	4-3	4.3.3 Flashプログラミング 図4.3.3.1修正 CVPPを常時接続に変更 下記説明を追加 VPP電源供給時は電圧安定用に、CVPPを必ず接続してください。
	6-16	6.7.6 Pdポートグループ 表6.7.6.1修正 PDOENレジスタ: PDOEN[4:3], [1:0] → PDOEN[4:0]
	8-4	8.4 制御レジスタ WDT Control Register WDTRUN[3:0]ビットの説明を修正 Bits 3-0 WDTRUN[3:0] これらのビットは、WDTのRUN/STOPを制御します。 0xa (WP): STOP 0xa以外 (WP): RUN 0xa (R): 停止中 0x0 (R): 動作中
	9-2	9.3.2 論理緩急機能 手順1を修正 1. fosc1を測定し、発振周波数偏差の補正值m [ppm] = $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。 (式9.1) m: OSC1発振周波数偏差の補正值 [ppm]
	9-4	9.4.2 リアルタイムクロックカウンタの動作 有効範囲外の値をセットした場合の補正動作 説明を修正、注を追加 年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。 注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x0の設定を禁止します。
	9-6	9.6 制御レジスタ RTC Control Register Bits 14-8 RTCTRM[6:0] 注を追加 注: ... ・RTCCTL.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCCTL.RTCTRMBSYビットは1になりますが、補正は行われません。
	9-11	9.6 制御レジスタ RTC Month/Day Register Bit 12 RTCMOH Bits 11-8 RTCMOL[3:0] 注を追加 注: ... ・RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。
	10-3	10.4.1 SVDの制御 検出開始 手順4を修正 4. ... - SVDINTE.SVDIEビットを1に設定

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412924901	14-7~8	14.4.3 マスタモードのデータ受信 受信手順 手順1を追加(旧手順番号をインクリメント) 1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。 図14.4.3.2修正 手順1のフローを追加
	14-12~13	14.4.6 スレープモードのデータ受信 受信手順 手順1を追加(旧手順番号をインクリメント) 1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。 図14.4.6.2修正 手順1のフローを追加
	15-5	15.4.2 カウンタブロックの動作 MAXカウンタデータレジスタ 注を追加 注: MAX値を書き換える場合は、以前設定されたMAX値にカウンタがリセットされてから新たなMAX値を書き込んでください。
	19-6~7	19.6 制御レジスタ ADC12A Ch.n Control Register レジスタ表修正 BSYSSTAT: Initial = 1 → 0 Bit 10 BSYSSTAT 注を削除 注: ADC12_nCTL.MODENビット = 1にしてADC12Aにクロックを供給すると、このビットは0になります。
	21-1	21.1 絶対最大定格 特性表修正 Vi: 条件に#RESETを追加
	21-1	21.2 推奨動作条件 特性表修正 CVPP: *4削除 CVREFA(Typ. = 0.1 μF)を追加
	21-4	21.4 システムリセットコントローラ(SRC)特性 リセット保持回路特性 特性表修正 trSTR: Min. = 0.5 ms, Max. = 0.9 ms
	21-9	21.9 UART(UART)特性 特性表修正 UBRT2: Max. = 115,200 bps (VDD = 1.6~3.6 V), 57,600 bps (VDD = 1.2~1.6 V)
	22-1~2	22 基本外部結線図 図修正 CVPPを常時接続に変更 図表にCVREFAを追加
	23-1~2	23 パッケージ 図23.2を差し替え パッケージ名にJEITA名称を追加
AP-A-10, 24	Appendix A 周辺回路制御レジスタ一覧 レジスタ表修正 PDIOEN (Pd Port Enable Register) PDOEN[4:3], [1:0] → PDOEN[4:0] ADC12_0CTL (ADC12A Ch.0 Control Register) BSYSSTAT: Initial = 1 → 0	
AP-C-2	Appendix C 実装上の注意事項 説明を追加 Exposed Die Padの処理	
AP-D-2	Appendix D ノイズ対策 説明を追加 電源などの駆動能力が高い信号と接続する入力端子のノイズ対策	

セイコーエプソン株式会社
営業本部 デバイス営業部

東京 〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー 29階
大阪 〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

ドキュメントコード：412924901
2015年 1月 作成 ㊤
2021年 5月 改訂 ㊤