

# メモリ内蔵グラフィック LCD コントローラ S1D13709 テクニカルマニュアル

ドキュメントコード : 412873001

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報（本資料、仕様書、データシート、マニュアル、弊社ホームページなど）をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いいたします。
5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般的な電子機器（事務機器、通信機器、計測機器、家電製品など）に使用されること（一般用途）、および本資料に個別に掲載または弊社が個別に指定する用途に使用されること（指定用途）を意図して設計、開発、製造されています。これら一般用途および指定用途以外の用途（特別な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある用途。以下、特定用途といえます）に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途および指定用途に使用されることを推奨いたします。もし特定用途で弊社製品のご使用およびご購入を希望される場合、弊社はお客様が弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。

【特定用途

（例）】

宇宙機器（人工衛星・ロケットなど） / 輸送車両並びにその制御機器（自動車・航空機・列車・船舶など）  
医療機器 / 海底中継機器 / 発電所制御機器 / 防災・防犯装置 / 交通用機器 / 金融関連機器

上記と同等の信頼性を必要とする用途。詳細は、弊社営業窓口までお問い合わせください。

8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則 (EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害（直接・間接を問わず）に関して、弊社は一切その責任を負いかねます。
10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

評価ボード・キット、開発ツールご使用上の注意事項

1. 弊社評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 弊社評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 弊社評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

Rev. j1.2, 2023.4

©Seiko Epson Corporation 2023. All rights reserved.

---

# 目次

<b>1.</b>	<b>はじめに</b>	<b>1</b>
1.1	適用範囲	1
1.2	概要	1
<b>2.</b>	<b>特長</b>	<b>2</b>
2.1	内蔵メモリ	2
2.2	ホスト CPU のインターフェース	2
2.3	ディスプレイのサポート	2
2.4	表示モード	3
2.5	文字の生成	3
2.6	電源	3
2.7	クロックソース	3
2.8	パッケージ	3
<b>3.</b>	<b>システム構成図</b>	<b>4</b>
3.1	ホストインターフェース接続	4
3.2	ホストインターフェース接続	7
<b>4.</b>	<b>機能ブロック図</b>	<b>9</b>
<b>5.</b>	<b>端子</b>	<b>10</b>
5.1	端子配置図	10
5.2	端子説明	11
5.2.1	ホストインターフェース	12
5.2.2	LCD インターフェース	16
5.2.3	クロック入力	18
5.2.4	その他	18
5.2.5	電源およびグラウンド	19
5.3	構成オプションの要約	20
5.4	ホストバスインターフェースの端子マッピング	22
<b>6.</b>	<b>DC 特性</b>	<b>23</b>
6.1	電力推定のガイドライン	25
<b>7.</b>	<b>AC 特性</b>	<b>27</b>
7.1	電源タイミング	28
7.1.1	電源立上げタイミング	28
7.1.2	電源立下げタイミング	28
7.2	クロックタイミング	29
7.2.1	入力クロック	29
7.3	リセットタイミング	29
7.4	CPU インターフェースのタイミング	31

7.4.1	Generic Bus インダイレクトインターフェースのタイミング (WAIT# あり)	31
7.4.2	Generic Bus ダイレクトインターフェースのタイミング (WAIT# あり)	33
7.4.3	Generic Bus インダイレクトインターフェースのタイミング (WAIT# なし)	35
7.4.4	Generic Bus ダイレクトインターフェースのタイミング (WAIT# なし)	37
7.4.5	MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# あり)	39
7.4.6	MC68K ファミリのダイレクトインターフェースのタイミング (DTACK# あり)	41
7.4.7	MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# なし)	43
7.4.8	MC68K ファミリのダイレクトインターフェースのタイミング (DTACK# なし)	45
7.4.9	M6800 ファミリの インダイレクトインターフェースのタイミング	47
7.5	パワーセーブモード / 表示イネーブルのタイミング	49
7.6	表示インタフェース	50
7.6.1	STN-LCD インターフェースタイミング	50
7.6.2	TFT-LCD インターフェースタイミング	53
<b>8.</b>	<b>メモリマッピング</b>	<b>56</b>
<b>9.</b>	<b>クロック</b>	<b>57</b>
9.1	クロック図	57
9.2	クロックの説明	58
9.2.1	システムクロック	58
9.2.2	STN クロック	58
9.2.3	TFT クロック	58
9.3	発振回路	58
<b>10.</b>	<b>レジスタ</b>	<b>60</b>
10.1	レジスタセット	60
10.2	レジスタの制限	62
10.3	レジスタの説明	62
10.3.1	システム制御レジスタ	62
10.3.2	表示制御レジスタ	72
10.3.3	描画制御レジスタ	89
10.3.4	グレースケールレジスタ	91
10.3.5	製品コードレジスタ	92
10.3.6	TFT インターフェースレジスタ	92
10.3.7	LCD 出力端子のドライブ能力制御レジスタ	108
<b>11.</b>	<b>インダイレクトアドレス指定モード</b>	<b>110</b>
11.1	システム制御	111
11.1.1	SYSTEM SET	111
11.1.2	POWER SAVE	113
11.1.3	DISP ON/OFF	113
11.1.4	SCROLL	114
11.1.5	CSRFORM	115

11.1.6	CSRDIR	115
11.1.7	OVLAY	116
11.1.8	CGRAM ADR	116
11.1.9	HDOT SCR	117
11.1.10	CSRW	117
11.1.11	CSRR	117
11.1.12	GRAYSCALE	118
11.1.13	ID	118
11.1.14	PLL SET	118
11.1.15	TFT-IF SET 1	119
11.1.16	TFT-IF SET 2	119
11.1.17	HDOT SCR SYNC	120
11.1.18	PALETTE	120
11.1.19	OUTDRIVE	121
11.1.20	メモリ制御	121
<b>12.</b>	<b>表示制御機能</b>	<b>122</b>
12.1	文字構成	122
12.2	画面構成	124
12.2.1	画面構成	124
12.2.2	表示アドレスのスキャニング	124
12.2.3	表示スキャンのタイミング	128
12.2.4	TFT インターフェース構成	129
12.3	カーソルの制御	131
12.3.1	Cursor Write レジスタの機能	131
12.3.2	カーソルの移動	131
12.3.3	カーソル表示レイヤー	131
12.4	メモリと表示の関係	133
12.5	スクロール	137
12.5.1	ページ内スクロール	137
12.5.2	ページ間スクロール	138
12.5.3	水平折り返しスクロール	139
12.5.4	全方向スクロール	140
12.5.5	スクロール単位	141
12.5.6	水平ピクセルスクロール (HDOTSCR)	142
<b>13.</b>	<b>キャラクタジェネレータ</b>	<b>143</b>
13.1	各 CG の特長	143
13.1.1	内蔵キャラクタジェネレータ	143
13.1.2	キャラクタジェネレータ RAM	143
13.2	キャラクタジェネレータアドレスの設定	144
13.2.1	CGRAM アドレス指定の例	146

---

13.3	文字コード	147
<b>14.</b>	<b>マイクロプロセッサのインタフェース</b>	<b>148</b>
14.1	システムバスのインタフェース	148
14.1.1	Generic	148
14.1.2	M6800 ファミリ	148
14.1.3	MC68K ファミリ	148
<b>15.</b>	<b>アプリケーションノート</b>	<b>149</b>
15.1	レジスタの初期設定 / 初期設定パラメータ	149
15.1.1	STN インターフェースのための SYSTEM SET コマンドとパラメータ	149
15.1.2	TFT インターフェースのための SYSTEM SET コマンドとパラメータ	151
15.1.3	STN インターフェースのための初期設定の例	153
15.1.4	TFT インターフェースのための初期化例	158
15.1.5	表示モードの設定例 1: テキストとグラフィックの重ね合わせ	164
15.1.6	表示モードの設定例 2: グラフィックとグラフィックの重ね合わせ	166
15.1.7	表示モードの設定例 3: 3つのグラフィックレイヤーの重ね合わせ	169
15.2	TFT インターフェース自動設定モード	173
15.3	システムの概要	176
15.4	スムーズな水平スクロール	176
15.5	レイヤード表示のアトリビュート	179
15.5.1	反転表示	179
15.5.2	中間階調表示	180
15.5.3	フラッシングアトリビュート	181
15.6	16×16ドットのグラフィック表示	182
15.6.1	コマンドの使用方法	182
15.6.2	漢字の表示	182
<b>16.</b>	<b>内蔵キャラクタジェネレータのフォント</b>	<b>186</b>
<b>17.</b>	<b>パワーセーブモード</b>	<b>187</b>
<b>18.</b>	<b>PKG 外形図</b>	<b>189</b>
<b>19.</b>	<b>参考資料</b>	<b>190</b>

---

## 1. はじめに

### 1.1 適用範囲

S1D13709 のテクニカルマニュアルです。本書には、タイミング図、AC 特性と DC 特性、レジスタの説明、および電力管理の説明が含まれています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象にしています。

英語版の S1D13709 LCD Controller Hardware Functional Specification が正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。なお、本書および正規英語版は適宜改訂されています。最新版は、下記 URL を参照ください。

<https://www.epson.jp/prod/semicon/>

<https://vdc.epson.com/>

### 1.2 概要

S1D13709 は S1D13700 と互換性のある LCD コントローラです。S1D13700 の機能に加えて TFT LCD 表示もサポートします。S1D13709 は柔軟な up-scaler とこの機能を使用することで、WVGA までの LCD を使用することが可能です。

S1D13709 は、LCD パネル上にテキストとグラフィックの両方を表示することができます。S1D13709 によって、テキストとグラフィックの重ね合わせ、あらゆる方向への表示のスクロール、および複数画面への分割表示が可能となります。S1D13709 は、32K バイトの内蔵 SRAM 表示メモリを搭載しており、これを使用することで、テキスト、文字コード、およびビットマップ方式のグラフィックを格納することができます。S1D13709 は、制御マイクロプロセッサからバッファメモリへのデータの転送、メモリデータの読み出し、表示ピクセルへのデータの変換、および LCD パネルのタイミング信号の生成など、表示コントローラに機能を備えています。

S1D13709 は、内蔵キャラクタジェネレータを装備した設計になっています。この内蔵キャラクタジェネレータは、内蔵マスク ROM (CGROM) にて 5 x 7 ピクセルの 160 文字、およびキャラクタジェネレータ RAM (CGRAM) にて 8 x 8 ピクセルの 64 文字をサポートしています。CGROM を使用しなければ、8 x 16 ピクセルの最大 256 文字が CGRAM でサポートされます。

## 2. 特長

---

## 2. 特長

### 2.1 内蔵メモリ

- 32K バイトの内蔵 SRAM 表示メモリ

### 2.2 ホスト CPU のインタフェース

- ダイレクトアドレスバスをサポート：
  - Generic Bus (Z80 ファミリ) のマイクロプロセッサインタフェース
  - MC68K ファミリのマイクロプロセッサインタフェース
- インダイレクトアドレスバスをサポート：
  - Generic Bus (Z80 ファミリ) のマイクロプロセッサインタフェース
  - MC68K ファミリのマイクロプロセッサインタフェース
  - MC6800 ファミリのマイクロプロセッサインタフェース
- 8 ビット CPU のデータバスインタフェース

### 2.3 ディスプレイのサポート

- STN-LCD
  - 4 ビットモノクロ LCD インターフェース
  - サポートされる最大解像度：
    - 640x240 (1 bpp)
    - 320x240 (2 bpp)
    - 240x160 (4 bpp)
  - 1/2 ~ 1/256 デューティの LCD 駆動
- TFT-LCD
  - 4 ビットモノクロ LCD インターフェース
  - 6 ビットカラー LCD インターフェース
  - サポートされる最大解像度：
    - 800x480
- アップスケーラーで様々な LCD の出力イメージサイズに調整します。

## 2.4 表示モード

- 1/2/4 ビット / ピクセルの階調をサポート
- テキスト、グラフィック、およびテキスト / グラフィック重ね合わせの表示モード
- グラフィックモードでの 3 レイヤー重ね合わせ
- プログラム可能なカーソル制御
- 1bpp モードにて、1 ドット単位に水平スクロール
- すべてのモードにて、1 ライン単位の垂直スクロール
- TFT インターフェース用のカラーモード

## 2.5 文字の生成

- キャラクタジェネレータ ROM(CGROM) にて 5x7 ピクセルの 160 文字
- キャラクタジェネレータ RAM(CGRAM) にて 8x8 ピクセルの最大 64 文字
- キャラクタジェネレータ ROM にて 8x16 ピクセルの最大 256 文字 (CGROM を使用しないとき)

## 2.6 電源

- ソフトウェア起動のパワーセーブモード
- 低消費電力
- コア  $V_{DD}$ : 3.0 ~ 5.5V
- PLL $V_{DD}$ : 3.0 ~ 5.5V
- IO  $V_{DD}$ : 3.0 ~ 5.5V

## 2.7 クロックソース

- 2 端子水晶振動子または単一発振器入力  
入力クロック (最大 66MHz)  
STN クロック (最大 15MHz)  
TFT クロック (FPSHIFT) (最大 35MHz)

## 2.8 パッケージ

- QFP14-80 端子、Pb フリー (無鉛) パッケージ

### 3. システム構成図

## 3. システム構成図

### 3.1 ホストインターフェース接続

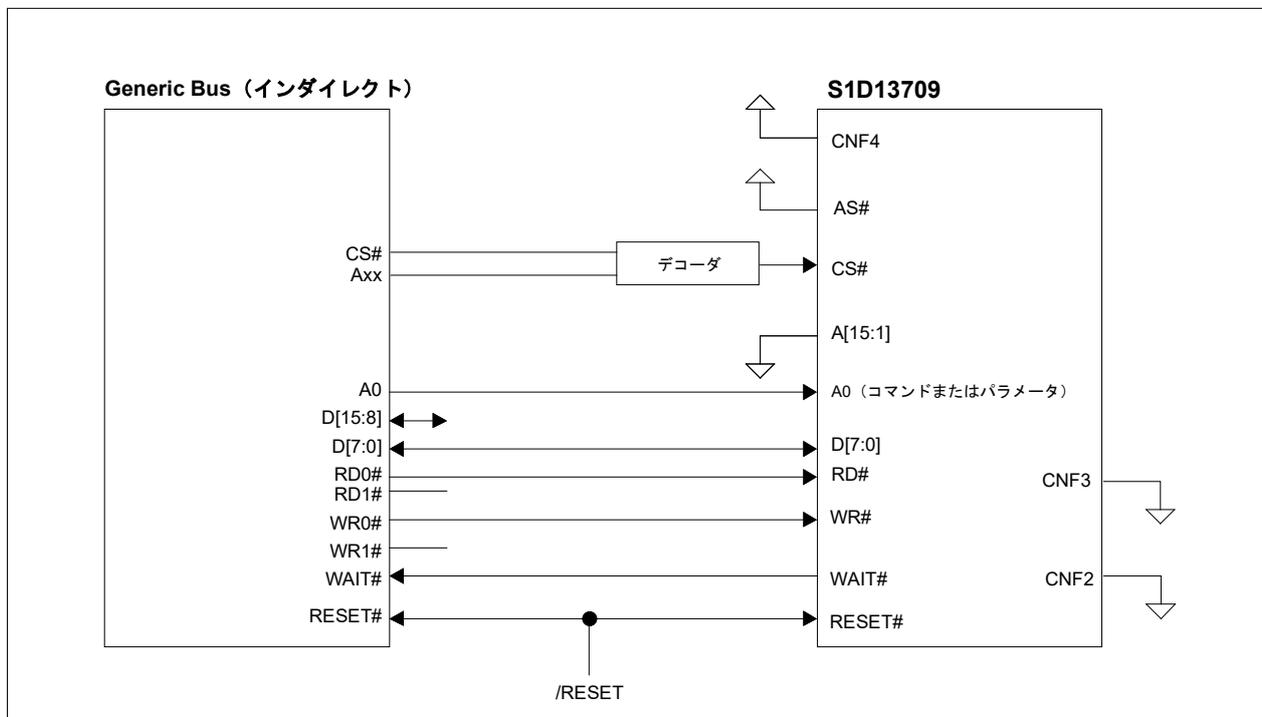


図3-1: Generic-S1D13709 間のインダイレクトインタフェースの例

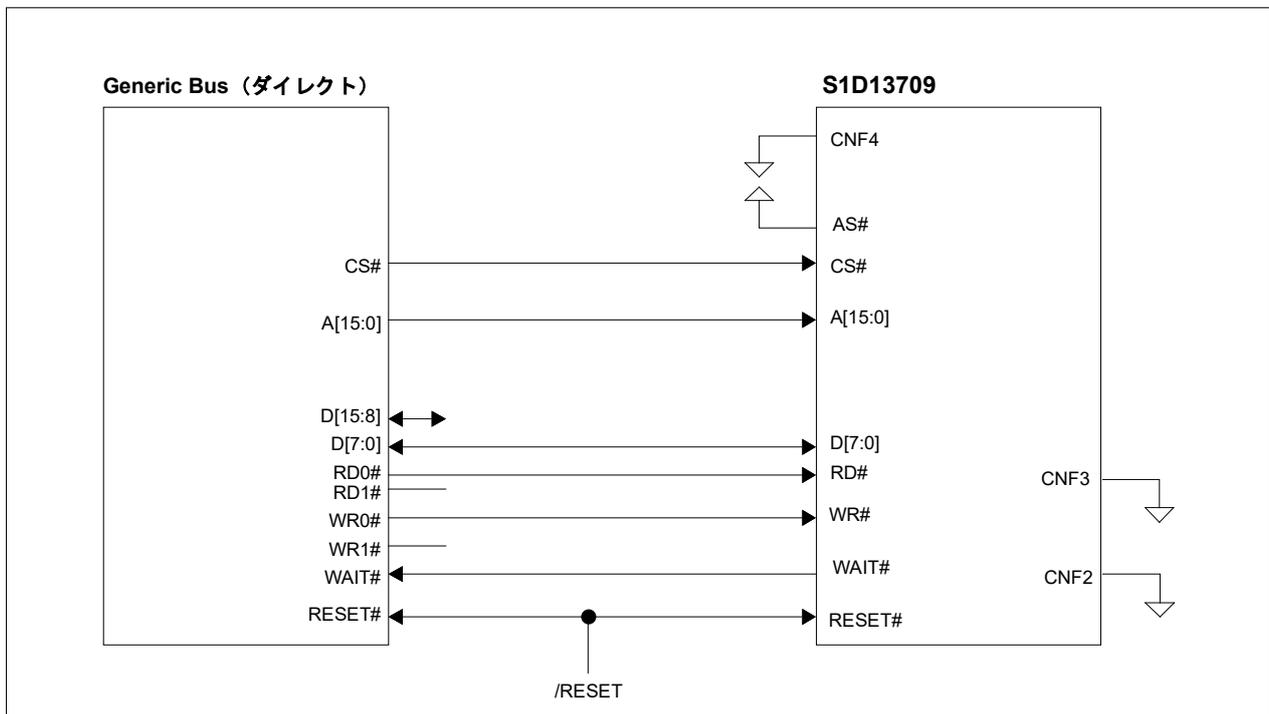


図 3-2: Generic-S1D13709 間のダイレクトインタフェースの例

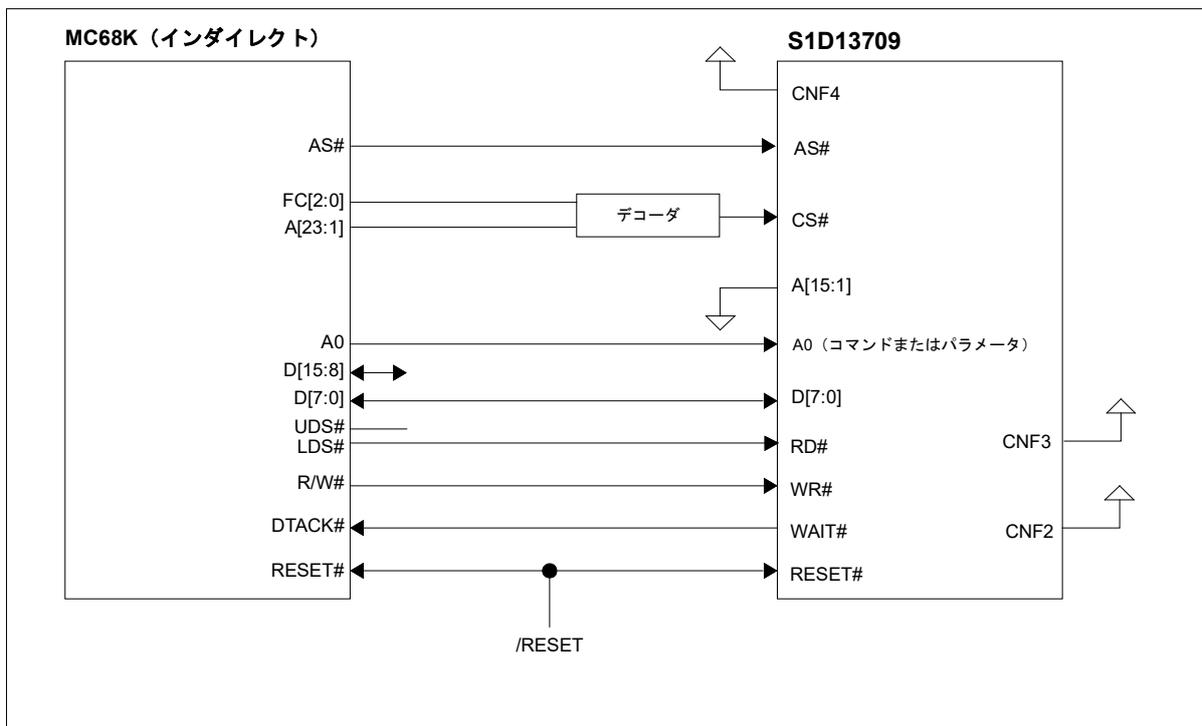


図 3-3: MC68K-S1D13709 間のインダイレクトインタフェースの例

### 3. システム構成図

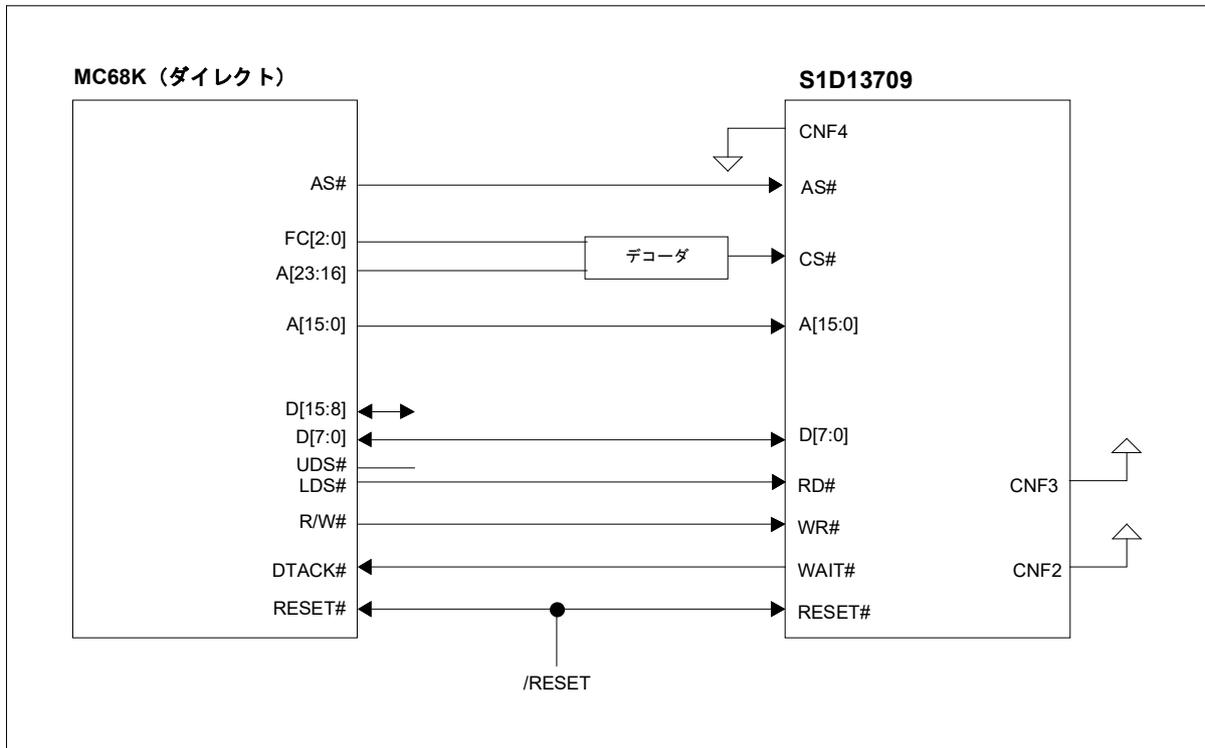


図 3-4: MC68K-S1D13709 間のダイレクトインタフェースの例

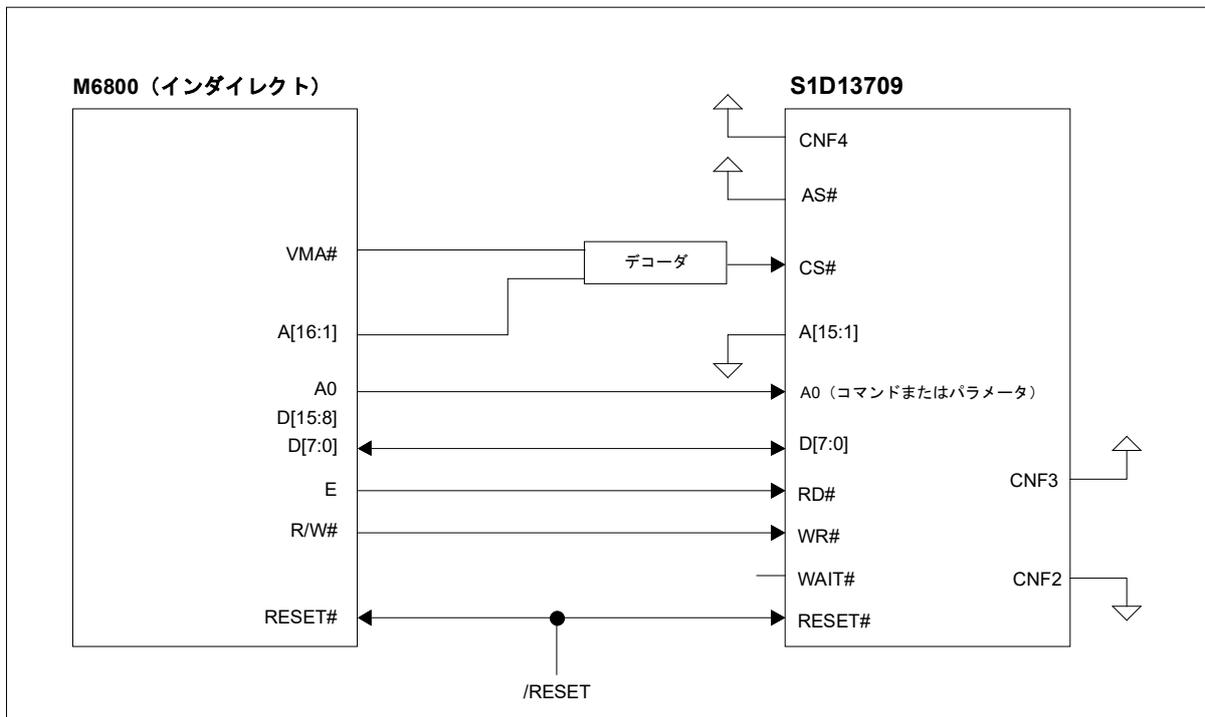


図 3-5: M6800-S1D13709 の間のインダイレクトインタフェースの例

3.2 ホストインターフェース接続

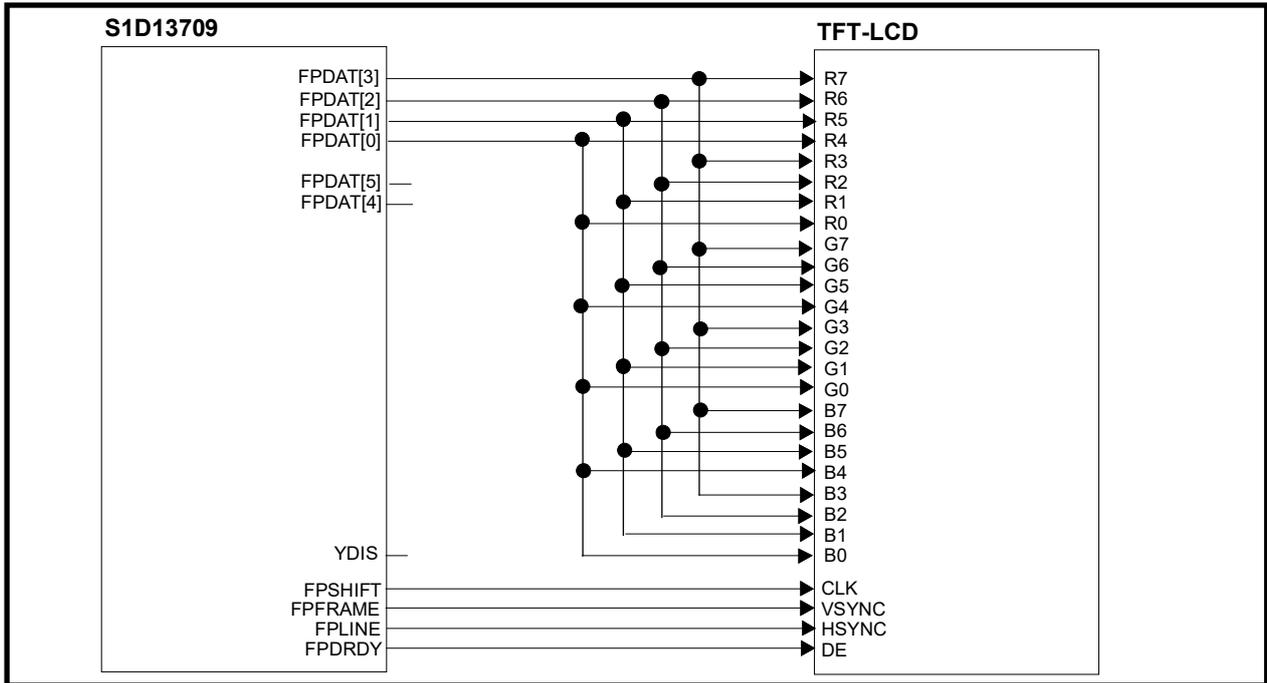


図 3-6: S1D13709 と TFT-LCD の接続例 (Gray Scale Mode, REG[34h]bit1 = 0)

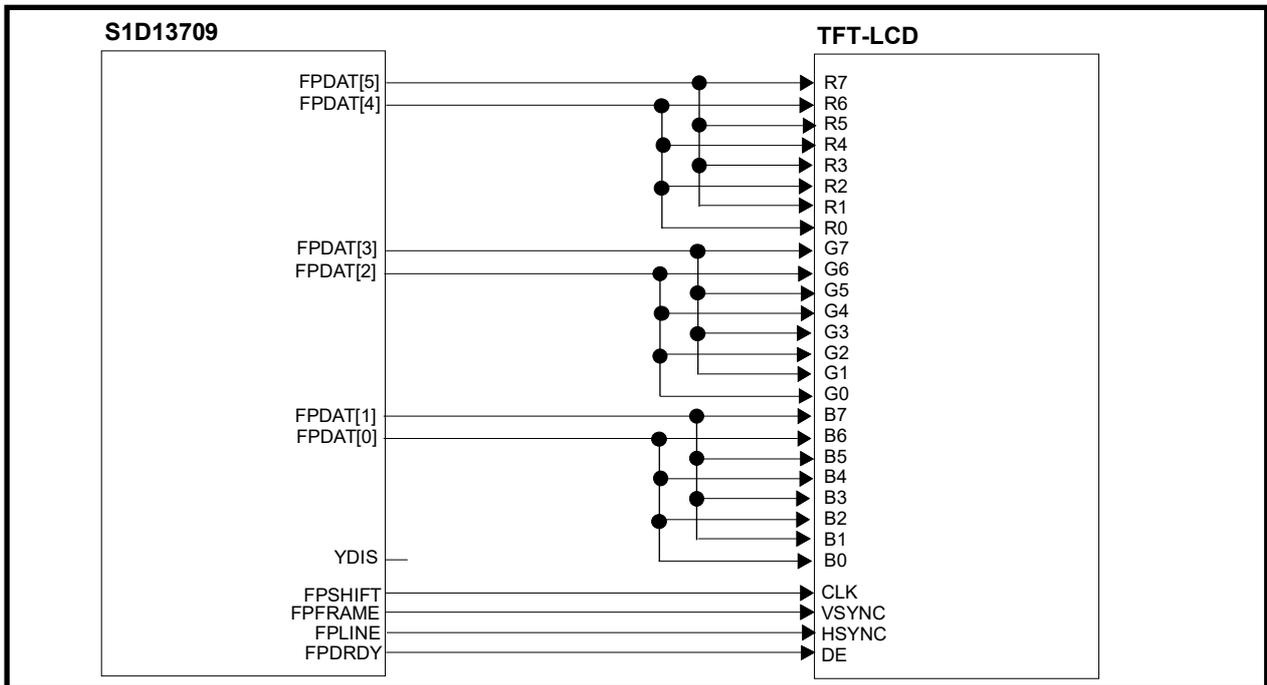


図 3-7: S1D13709 と TFT-LCD の接続例 (Color Palette Mode, REG[34h]bit1 = 1)

### 3. システム構成図

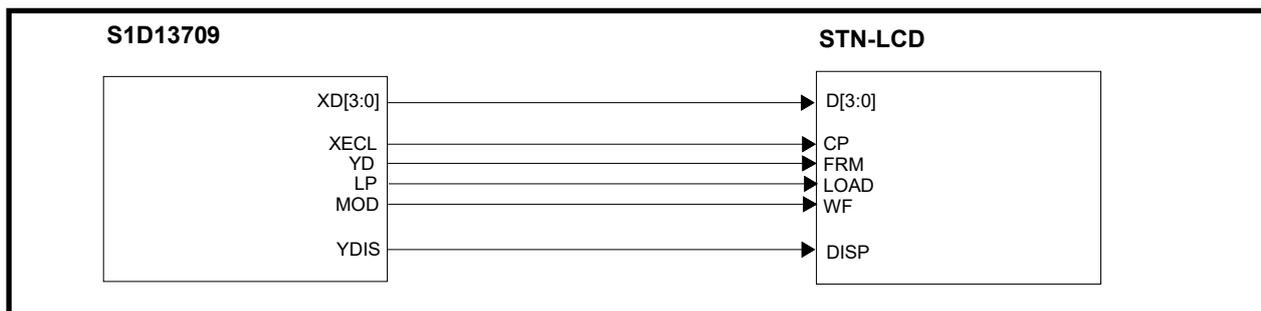


図 3-8: S1D13709 と STN-LCD の接続例

4. 機能ブロック図

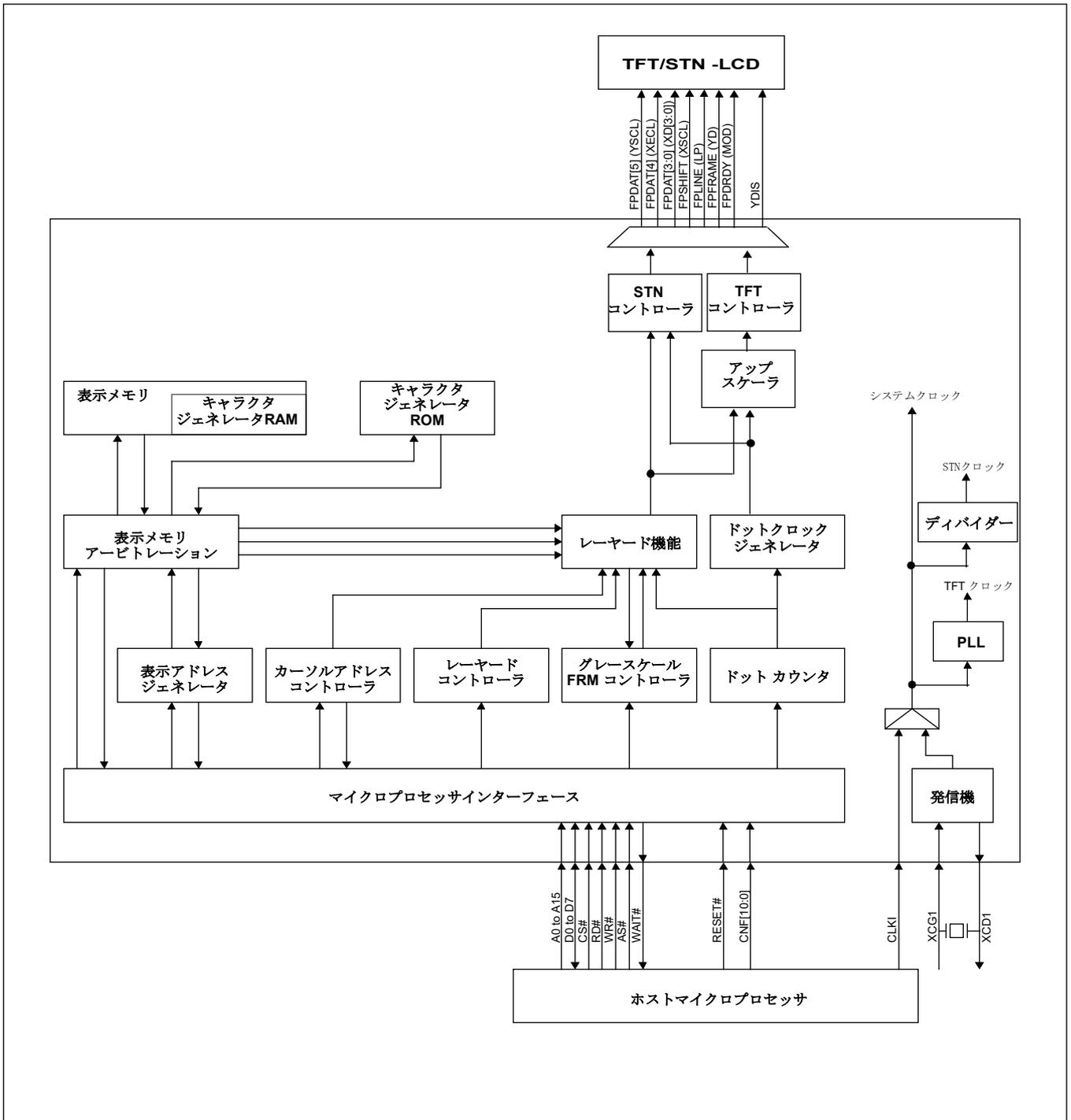


図 4-1: 機能ブロック図

## 5. 端子

### 5. 端子

#### 5.1 端子配置図

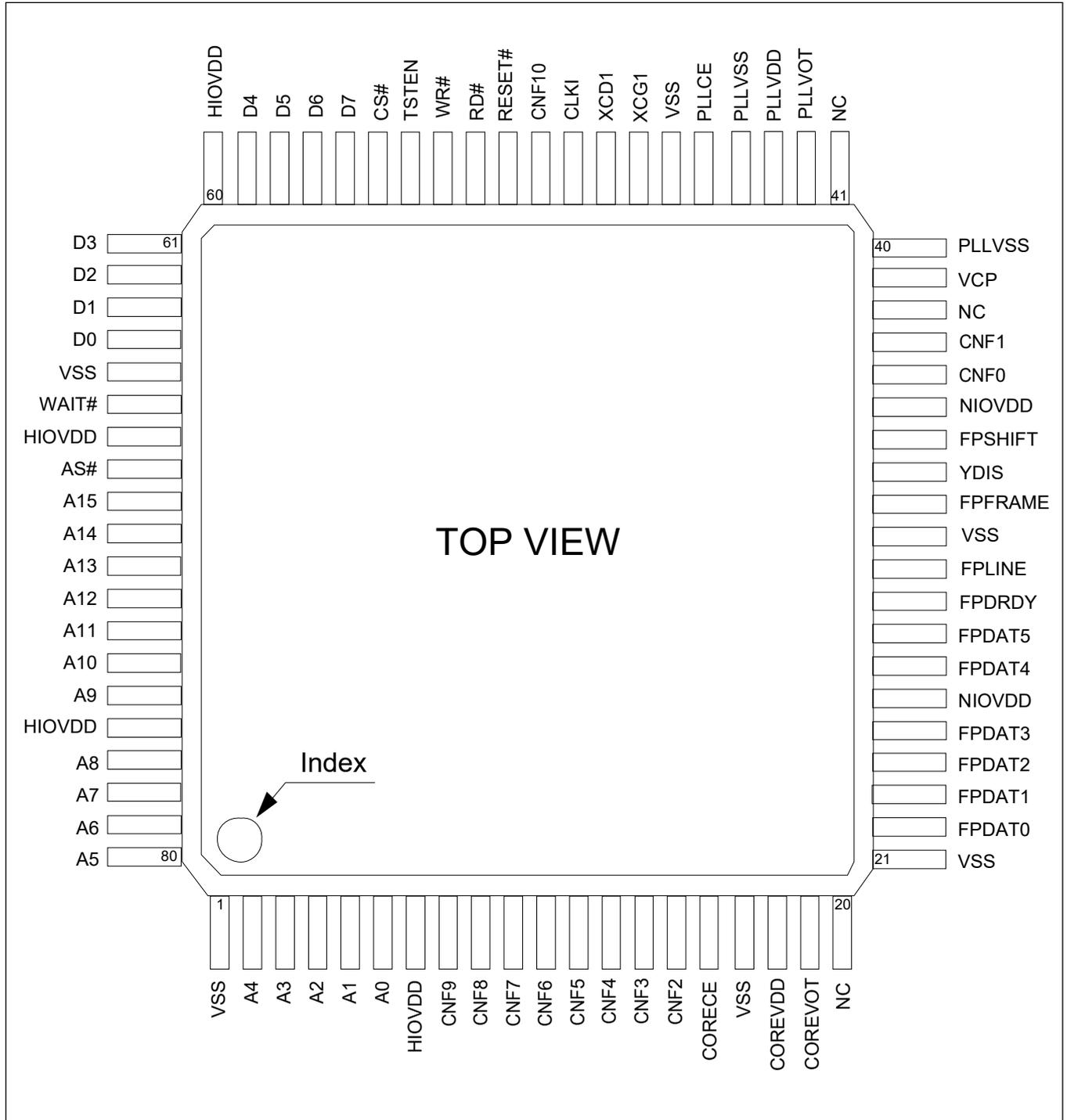


図 5-1: 端子配置図 (QFP14-80 端子)

## 5.2 端子説明

略語の意味：

### 端子種類

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

### RESET#/Power On 状態

Z	=	ハイインピーダンス (Hi-Z)
L	=	LOW レベル出力
H	=	HIGH レベル出力
0	=	入力のプルダウン制御
1	=	入力のプルアップ制御
X	=	不確定
—	=	適用不可

表 5-1: セルの説明

項目	説明
SI	CMOS レベルシュミット入力
CI	CMOS 入力
OBSEL	CMOS 出力バッファドライブセレクト (2mA or 6mA@3.3V, 3mA or 8mA@5V)
IOB	CMOS IO バッファ (6mA@3.3V, 8mA@5.0V)
TOB	トリステート出力バッファ (6mA@3.3V, 8mA@5V)
LIN	TTL Transparent 入力
LOT	TTL Transparent 出力

## 5. 端子

---

### 5.2.1 ホストインタフェース

ホストインタフェース端子の多くは、ホストバスインタフェースの選択によって決まるさまざまな機能を備えています (20 ページの表 5-7「構成オプションの要約 1」の CNF[4:2] 端子の構成を参照)。ホストインタフェース端子の要約については、22 ページの表 5-10「ホストインターフェースの端子マッピング」を参照してください。

表 5-2: ホストインターフェースの端子説明

端子名	種類	端子 No.	セル	電源	RESET#/Power On 状態	説明
A15	I	69	CI	HIOVDD	—	システムアドレス端子 15-1. <ul style="list-style-type: none"> <li>ダイレクトアドレス指定モードの場合、これらの端子はシステムアドレスビット 15~1 に使用します。</li> <li>インダイレクトアドレス指定モードの場合、これらの端子はグラウンド (VSS) に接続する必要があります。</li> </ul>
A14	I	70	CI	HIOVDD	—	
A13	I	71	CI	HIOVDD	—	
A12	I	72	CI	HIOVDD	—	
A11	I	73	CI	HIOVDD	—	
A10	I	74	CI	HIOVDD	—	
A9	I	75	CI	HIOVDD	—	
A8	I	77	CI	HIOVDD	—	
A7	I	78	CI	HIOVDD	—	
A6	I	79	CI	HIOVDD	—	
A5	I	80	CI	HIOVDD	—	
A4	I	2	CI	HIOVDD	—	
A3	I	3	CI	HIOVDD	—	
A2	I	4	CI	HIOVDD	—	
A1	I	5	CI	HIOVDD	—	
A0	I	6	CI	HIOVDD	—	システムアドレス端子 0. <ul style="list-style-type: none"> <li>ダイレクトアドレス指定モードの場合、この端子はシステムアドレスビット 0 に使用します。</li> <li>インダイレクトアドレス指定モードの場合、この端子は、RD# および WR# とともに、データバス上に存在するデータのタイプを決定します。</li> </ul>
D7	IO	56	IOB	HIOVDD	Z	システムデータバス端子 7-0. これらのトライステート入出力端子は、マイクロプロセッサのデータバスに接続する必要があります。
D6	IO	57	IOB	HIOVDD	Z	
D5	IO	58	IOB	HIOVDD	Z	
D4	IO	59	IOB	HIOVDD	Z	
D3	IO	61	IOB	HIOVDD	Z	
D2	IO	62	IOB	HIOVDD	Z	
D1	IO	63	IOB	HIOVDD	Z	
D0	IO	64	IOB	HIOVDD	Z	
CNF10	I	50	SI	HIOVDD	—	これらの入力端子は TFT-LCD オートマッチック設定モードを選択します。そしてこれらの端子は HIOVDD あるいは、VSS に接続しなければなりません。詳細については 20 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF9	I	8	SI	HIOVDD	—	
CNF8	I	9	SI	HIOVDD	—	
CNF7	I	10	SI	HIOVDD	—	
CNF6	I	11	SI	HIOVDD	—	
CNF5	I	12	SI	HIOVDD	—	この入力端子は、マイクロプロセッサのアドレス指定モードを選択するもので、HIOVDD または VDD のいずれかに接続する必要があります。S1D13709 は、ダイレクト/インダイレクトの両方のアドレス指定モードをサポートしています。詳細については 20 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF4	I	13	SI	HIOVDD	—	

## 5. 端子

端子名	種類	端子 No.	セル	電源	RESET#/ Power On 状態	説明
CNF3	I	14	SI	HIOVDD	—	これらの入力端子は、ホストインターフェース（マイクロプロセッサインターフェース）を選択するもので、HIOVDD あるいは VSS のいずれかに接続する必要があります。S1D13709 はダイレクト/インダイレクトの両方のアドレス指定モードをサポートしています。詳細については 20 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF2	I	15	SI	HIOVDD	—	
CNF1	I	37	SI	NIOVDD	—	これらの入力端子は、XSCL クロックサイクルタイムの構成に使用するもので、NIOVDD または VSS のいずれかに接続する必要があります。詳細については、20 ページの 5.3 項「構成オプションの要約」を参照してください。
CNF0	I	36	SI	NIOVDD	—	
RD#	I	52	SI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>• Generic ホストバスインターフェースが選択されているとき、この端子はアクティブ LOW リードストロープ (RD#) になります。この信号が LOW のとき、S1D13709 のデータ出力バッファはイネーブルになります。</li> <li>• M6800 ホストバスインターフェースが選択されているとき、この端子はアクティブ HIGH イネーブルクロック (E) になります。このクロックが HIGH になると、データが S1D13709 に読み書きされます。</li> <li>• MC68K ホストバスインターフェースが選択されているとき、この端子はアクティブ LOW 下位データストロープ (LDS#) になります。この信号が LOW になると、データが S1D13709 に対して読み書きされます。</li> </ul>
WR#	I	53	SI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>• Generic ホストバスインターフェースが選択されているとき、この信号はアクティブ LOW ライトストロープ (WR#) になります。この信号の立ち上がりエッジでバスデータがラッチされます。</li> <li>• M6800 ホストバスインターフェースが選択されているとき、この信号はリード/ライト制御信号 (R/W#) になります。この信号が HIGH の場合、S1D13709 からデータが読み出され、この信号が LOW の場合、S1D13709 にデータが書き込まれます。</li> <li>• MC68K ホストバスインターフェースが選択されているとき、この信号はリード/ライト制御信号 (RD/WR#) になります。この信号が HIGH の場合、S1D13709 からデータが読み出され、この信号が LOW の場合、S1D13709 にデータが書き込まれます。</li> </ul>
CS#	I	55	SI	HIOVDD	—	<p>チップセレクト</p> <p>このアクティブ LOW 入力により、S1D13709 がイネーブルになります。通常、制御マイクロプロセッサのメモリ空間に S1D13709 をマッピングするアドレスデコーダ装置の出力に接続されます。</p>

端子名	種類	端子 No.	セル	電源	RESET#/ Power On 状態	説明
WAIT#	O	66	TOB	HIOVDD	Z	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>• Generic ホストバスインタフェースが選択されているとき、この端子は WAIT# になります。データ転送の間、WAIT# はアクティブ LOW に駆動され、システムは強制的にウェイトを挿入します。WAIT# がインアクティブに駆動されると、データ転送の完了を示します。データ転送の完了後、WAIT# は解放されてハイインピーダンス状態になります。インダイレクトアドレス指定モードの場合、WAIT# 端子はホストとのハンドシェイクに使用することができます。</li> <li>• MC68K ホストバスインタフェースが選択されているとき、この端子は DTACK# です。データ転送の間、DTACK# はアクティブ HIGH に駆動され、システムは強制的にウェイトを挿入します。DTACK# がインアクティブに駆動されると、データ転送の完了を示します。データ転送の完了後、DTACK# は解放されてハイインピーダンス状態になります。インダイレクトアドレス指定モードの場合、DTACK# 端子はホストとのハンドシェイクに使用することができます。</li> <li>• M6800 ホストバスインタフェースが選択されているとき、この端子は未接続のまま浮動状態にしておく必要があります。</li> </ul>
AS#	I	68	CI	HIOVDD	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>• Generic ホストバスインタフェースが選択されているとき、この端子は VDD に接続する必要があります (HIGH にプルアップ)。</li> <li>• MC68K ホストバスインタフェースが選択されているとき、この端子はアドレスストローブ (AS#) になります。</li> <li>• M6800 ホストバスインタフェースが選択されているとき、この端子は VDD に接続する必要があります (HIGH にプルアップ)。</li> </ul>
RESET#	I	51	SI	HIOVDD	—	<p>このアクティブ LOW 入力は、S1D13709 のハードウェアリセットを実行し、これによってすべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。</p> <p>注：電源電圧が低下しているときに、RESET# をトリガしないでください。</p>

## 5. 端子

### 5.2.2 LCD インターフェース

LCD を低電力で効果的に駆動できるようにするため、S1D13709 は、イネーブルチェーンを使用して、X と Y の両方のドライバを直接制御することができます。

表 5-3: LCD インターフェース端子の説明

Pin Name	Type	Pin #	Cell	Power	RESET#/ Power On State	Description
FPDAT5 (YSCL)	O	28	OBSEL	NIOVDD	L	この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPDAT5) となります。  この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (YSCL) となります。YSCL の立下りエッジが、YD 上のデータをラッチして Y ドライバの入力シフトレジスタに渡します。YSCL は、ドライバ IC では使用されません。ドライバ IC は LP を Y ドライバのシフトクロックとして使用します。
FPDAT4 (XECL)	O	27	OBSEL	NIOVDD	L	この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPDAT4) となります。  この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (XECL) となります。XECL の立ち上がりエッジが、X ドライバのイネーブルチェーンのカスケード接続をトリガします。各 16 番目のクロックパルスは、次の X ドライバに出力されません。
FPDAT3 (XD3)	O	25	OBSEL	NIOVDD	L	この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPDAT[3:0]) となります。
FPDAT2 (XD2)	O	24	OBSEL	NIOVDD	L	この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (XD[3:0]) となります。XD[3:0] 出力端子は、4 ビットの X ドライバ (カラムドライバ) データ出力で、X ドライバチップの入力に接続する必要があります。
FPDAT1 (XD1)	O	23	OBSEL	NIOVDD	L	
FPDAT0 (XD0)	O	22	OBSEL	NIOVDD	L	
FPDRDY (MOD)	O	29	OBSEL	NIOVDD	L	この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPDRDY) となります。  この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (MOD) となります。この出力端子は、LCD パネルのバックプレレートのバイアス信号です。MOD 期間は、SYSTEM SET コマンドを使用して選択します。

表 5-3: LCD インターフェース端子の説明

Pin Name	Type	Pin #	Cell	Power	RESET#/ Power On State	Description
FPLINE (LP)	O	30	OBSEL	NIOVDD	L	<p>この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPLINE) となります。</p> <p>この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (LP) となります。LP は X ドライバのシフトレジスタの信号をラッチして出力データのラッチに渡します。LP は立下りエッジでトリガされる信号であり、表示ラインごとに1つのパルスが出力されます。LP は、LCD モジュールの Y ドライバのシフトクロックに接続する必要があります。</p>
FPFRAME (YD)	O	32	OBSEL	NIOVDD	L	<p>この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPFRAME) となります。</p> <p>この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (YD) となります。この出力端子は Y ドライバのデータのパルス出力です。各フレームの最後のラインの間にアクティブになり、Y ドライバを経由して1つずつ (YSCL によって) シフトされ、ディスプレイのコモン接続部がスキャンされます。</p>
FPSHIFT (XSCL)	O	34	OBSEL	NIOVDD	L	<p>この端子は TFT インターフェースが選択されたとき (REG[34h] bit 0 =1), TFT 出力端子 (FPSHIFT) となります。</p> <p>この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0), この端子は STN コントロール出力信号 (XSCL) となります。XSCL の立下りエッジは FPDAT[3:0] 上のデータをラッチし、X ドライバの入力シフトレジスタに渡します。FPSHIFT は XECL に同期して生成されるため、1 ライン当たりの FPSHIFT 総クロック数は 16 の倍数になります。節電のため、このクロックは FPLINE の出力後、次の表示ラインの開始まで停止されます。</p>
YDIS	O	33	OBSEL	NIOVDD	L	<p>この端子は STN インターフェースが選択されたとき (REG[34h] bit 0 =0) のみ有効です。この出力端子は、パワーダウンの出力信号です。ディスプレイ駆動出力がアクティブの間、YDIS は HIGH になります。パワーセーブコマンドを S1D13709 に書き込んでから 1~2 フレームの後、YDIS は LOW になります。すべての Y ドライバ出力は、表示をブランクにするため強制的に中間レベル (表示セグメントの選択を解除) になります。LCD ユニットでパワーダウン動作を実現するためには、表示が YDIS によってディセーブルのときに LCD パワー駆動電源もディセーブルにする必要があります。</p> <p>TFT インターフェースを選択するとき (REG[34h] bit 0 =1), この端子は未接続のままにしておく必要があります。</p>

## 5. 端子

### 5.2.3 クロック入力

表 5-4: クロック入力の端子説明

Pin Name	Type	Pin #	Cell	Power	RESET#/ Power On State	Description
XCG1	I	47	LIN	HIOVDD	—	この入力端子は、内部発振器用で、外部水晶振動子と接続されます。外部クロックソース (CLKI) を使用するとき、この端子はプルダウンする必要があります。内部発振器の使用の詳細については、58 ページの 9.3 項「発振回路」を参照してください。
XCD1	O	48	LOT	HIOVDD	—	この出力端子は、内部発振器用で、外部水晶振動子と接続されます。外部クロックソース (CLKI) を使用するときには、この端子は未接続のままにしておく必要があります。内部発振器の使用の詳細については、58 ページの 9.3 項「発振回路」を参照してください。
CLKI	I	49	SI	HIOVDD	—	これは外部クロック入力です。内部発振器を使用するとき、この端子はプルダウンする必要があります。クロックの詳細については、57 ページの 9. 項「クロック」を参照してください。

### 5.2.4 その他

表 5-5: その他の端子説明

Pin Name	Type	Pin #	Cell	Power	RESET#/ Power On State	Description
TSTEN	I	54	CI	HIOVDD	—	この端子は製造検査のための端子です。グラウンド (VSS) に接続する必要があります。
COREVOT	O	19	LOT	COREVDD	—	この端子は製造検査のための端子です。グラウンド (VSS) との間に 1 $\mu$ F のコンデンサを接続する必要があります。
CORECE	I	16	LIN	COREVDD	—	この端子は製造検査のための端子です。COREVDD に接続する必要があります。
PLLVOT	O	42	LOT	PLLVDD	—	この端子は製造検査のための端子です。PLLVSS との間に 1 $\mu$ F のコンデンサを接続する必要があります。
PLLCE	I	45	LIN	PLLVDD	—	この端子は製造検査のための端子です。PLLVDD に接続する必要があります。
VCP	O	39	LOT	PLLVDD	—	この端子は製造検査のための端子です。この端子は未接続のままにしておく必要があります。

## 5.2.5 電源およびグラウンド

表 5-6: 電源およびグラウンドの端子説明

Pin Name	Type	Pin #	Cell	Power	RESET#/ Power On State	Description
HIOVDD	P	7,67,76	P	—	—	ホスト (MPU) インターフェイス用の IO 電源、3.3/5.0V。HIOVDD と VSS の間には 1uF のバイパスコンデンサが必要です。
NIOVDD	P	26,35	P	—	—	LCD インターフェイス用の IO 電源、3.3/5.0V。NIOVDD と VSS の間には 1uF のバイパスコンデンサが必要です。
COREVDD	P	18	P	—	—	コア電源、3.3/5.0V。COREVDD と VSS の間には 1uF のコンデンサが必要です。
PLLVDD	P	43	P	—	—	PLL 電源、3.3/5.0V。PLLVDD と PLLVSS の間に 1uF のコンデンサが必要です。
VSS	P	1,17,21 ,31,46, 65	P	—	—	HIOVDD、NIOVDD および COREVDD のグラウンド。
PLLVSS	P	40,44	P	—	—	PLLVDD 用グラウンド

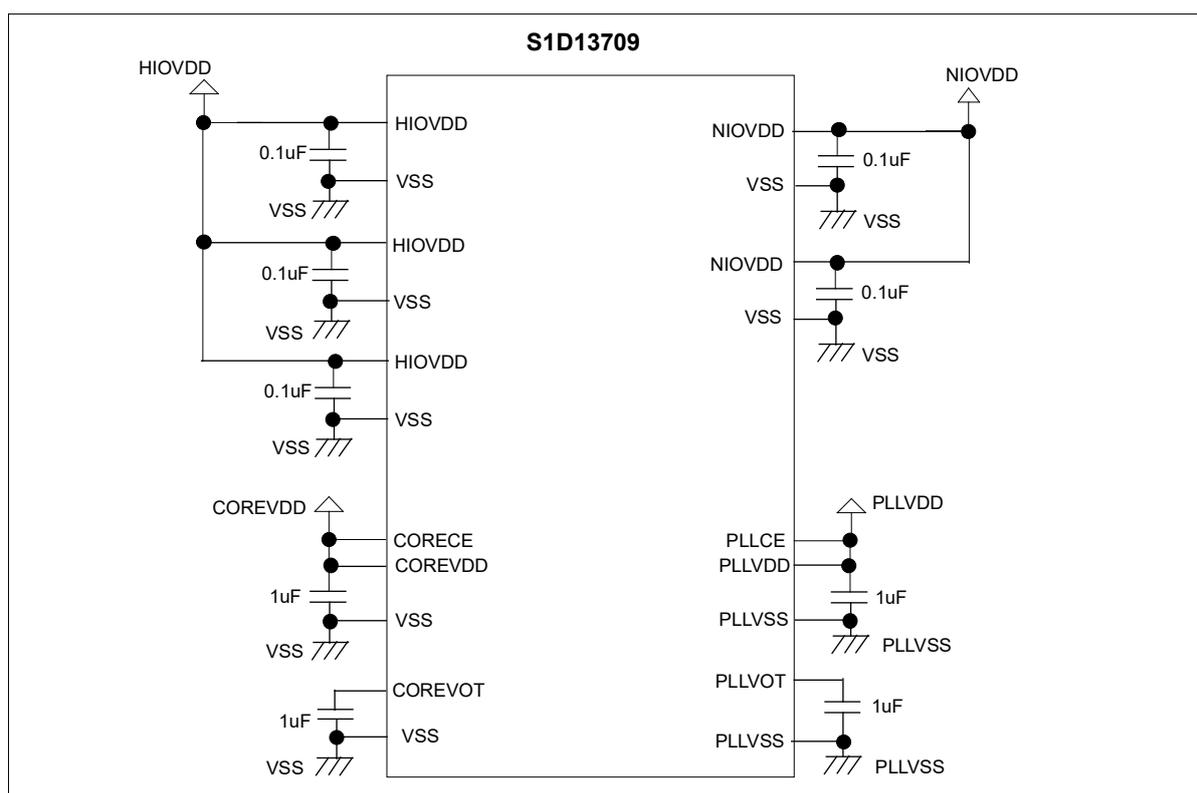


図 5-2: 電源とグラウンドの接続

## 5. 端子

### 5.3 構成オプションの要約

これらの端子は、チップの構成に用いられ、HIOVDD または VSS に直接接続する必要があります。

#### 注

CNF[10:0] は、S1D13709 の初期化シーケンスの前に設定しておく必要があります。

表 5-7: 構成オプションの要約 1

Configuration Input	Configuration State	
	1 (connected to HIOVDD)	0 (connected to VSS)
CNF10	TFT-LCD オートマッチック設定モードでの CLKI(XCG1) 周波数 <b>CNF10 CLKI(XCG1) 周波数</b> 0CLKI (XCG1) 周波数は 20MHz. 1CLKI (XCG1) 周波数は 24MHz.  <b>Note:</b> この端子はTFT-LCDオートマッチック設定モードがイネーブルのときのみ有効となります (CNF[7:5] = 001, 010, 011 or 100)。TFT-LCD オート設定モードは CNF[7:5]=000 の場合、無効となります。	
CNF9	TFT-LCD オートマッチック設定モード時の TFT インターフェース出力ドライブをコントロールします。 <b>CNF9 TFT インターフェース出力ドライブコントロール</b> 0 TFT インターフェース出力ドライブ 2mA@3.3V (3mA@5V). 1 TFT インターフェース出力ドライブ 6mA@3.3V (8mA@5V).  <b>Note:</b> この端子はTFT-LCDオートマッチック設定モードがイネーブルのときのみ有効となります (CNF[7:5] = 001, 010, 011 or 100)。TFT-LCD オート設定モードは CNF[7:5]=000 の場合、無効となります。	
CNF8	TFT-LCD オートマッチック設定モード時の FPSHIFT 極性 <b>CNF8 FPSHIFT 極性</b> 0 全ての出力ビデオ信号は FPSHIFT の立下りエッジで変化 1 全ての出力ビデオ信号は FPSHIFT の立上りエッジで変化  <b>Note:</b> この端子はTFT-LCDオートマッチック設定モードがイネーブルのときのみ有効となります (CNF[7:5] = 001, 010, 011 or 100)。TFT-LCD オート設定モードは CNF[7:5]=000 の場合、無効となります。	
CNF[7:5]	TFT-LCD オートマッチック設定モードを選択します。内部クロックの詳細は see Section 15.2, ?TFT interface automatic setting mode? on page 176.: <b>CNF7CNF6 CNF5 TFT-LCD オートマッチック設定モード</b> 00 0 無効 ( マニュアル設定 ) 00 1 S1D13700 S/W: QVGA → TFT: QVGA (320 x 240) 01 0 S1D13700 S/W: QVGA → TFT: WQVGA (480 x 272) 01 1 S1D13700 S/W: QVGA → TFT: VGA (640 x 480) 10 0 S1D13700 S/W: QVGA → TFT: WVGA (800 x 480) 10 1 Reserved 11 0 Reserved 11 1 Reserved  <b>Note:</b> STN インターフェース (REG[34h] bit0 = 0) が選択されている場合、CNF[7:5] =000 にする必要があります。	

表 5-8: 構成オプションの要約 2

構成入力	構成状態	
	1 (HIOVDD に接続)	0 (VSS に接続)
CNF4	インダイレクトアドレス指定モード: 1 ビットアドレスバス 8 ビットデータバス 9 端子を使用	ダイレクトアドレス指定モード: 16 ビットアドレスバス 8 ビットデータバス 24 端子を使用
CNF[3:2]	以下のとおりにホストバスインターフェースを選択します。 <b>CNF3CNF2ホストバス</b> 00 Generic Bus 01 Reserved 10 M6800 ファミリのバスインターフェース 11 MC68K ファミリのバスインターフェース	

表 5-9: 構成オプションの要約 3

Configuration Input	構成状態	
	1 (NIOVDD に接続)	0 (VSS に接続)
CNF[1:0]	以下のとおりに XSCL サイクルタイムを選択します。:	
	1bpp モード (REG[20h] bits 1-0 = 00) <b>CNF1CNF0XSCL サイクルタイム</b> 00 4:1 01 8:1 10 16:1 11 Reserved	
	2bpp モード (REG[20h] bits 1-0 = 01) <b>CNF1CNF0XSCL サイクルタイム</b> 00 8:1 01 16:1 10 32:1 11 Reserved	
	4bpp モード (REG[20h] bits 1-0 = 10) <b>CNF1CNF0XSCL サイクルタイム</b> 00 16:1 01 32:1 10 64:1 11 Reserved	
	<b>Note:</b> TFT インターフェースを使用する場合 (REG[34h] bit0 =1)、CNF[1:0]=00 にする必要があります。	

## 5. 端子

### 5.4 ホストバスインターフェースの端子マッピング

表 5-10: ホストインターフェースの端子マッピング

端子名	Generic ダイレクト	Generic インダイレクト	MC68K ダイレクト	MC68K インダイレクト	M6800 ダイレクト	M6800 インダイレクト
A[15:1]	A[15:1]	VSS に接続	A[15:1]	VSS に接続	サポートされ ていません。	VSS に接続
A0	A0	A0	A0	A0		A0
D[7:0]	D[7:0]	D[7:0]	D[7:0]	D[7:0]		D[7:0]
CS#	CS#	CS#	外部デコード	外部デコード		External Decode
AS#	HIOVDD に 接続	HIOVDD に 接続	AS#	AS#		HIOVDD に 接続
RD#	RD#	RD#	LDS#	LDS#		E
WR#	WR#	WR#	RD/WR#	RD/WR#		R/W#
WAIT#	WAIT# または未接続		DTACK# または未接続			未接続
RESET#	RESET#	RESET#	RESET#	RESET#		RESET#
CNF4	VSS に接続	HIOVDD に 接続	VSS に接続	HIOVDD に 接続		HIOVDD に 接続
CNF3	VSS に接続	VSS に接続	HIOVDD に 接続	HIOVDD に 接続		HIOVDD に 接続
CNF2	VSS に接続	VSS に接続	HIOVDD に 接続	HIOVDD に 接続		VSS に接続
CNF[1:0]	注を参照	注を参照	注を参照	注を参照		注を参照

CNF[1:0] は、XSCL サイクルタイムの設定に使用され、特定の実装の要件に従って設定する必要があります。

## 6. DC 特性

表 6-1: 絶対最大定格

記号	項目	規格値	単位
CORE V <sub>DD</sub>	電源電圧	V <sub>SS</sub> - 0.3 ~ 7.0	V
PLL V <sub>DD</sub>	電源電圧	PLL V <sub>SS</sub> - 0.3 ~ 7.0	V
IO V <sub>DD</sub>	電源電圧	V <sub>SS</sub> - 0.3 ~ 7.0	V
V <sub>IN</sub>	入力電圧	V <sub>SS</sub> - 0.3 ~ IO V <sub>DD</sub> + 0.5	V
V <sub>OUT</sub>	出力電圧	V <sub>SS</sub> - 0.3 ~ IO V <sub>DD</sub> + 0.5	V
I <sub>OUT_io</sub>	デジタル出力信号電流	±10	mA
T <sub>STG</sub>	保存温度	-65 ~ 150	°C
T <sub>SOL</sub>	半田付け温度 / 時間	最大 260 °C/10sec (鉛)	°C

表 6-2: 推奨動作条件

記号	項目	条件	Min	Typ	Max	単位
Core V <sub>DD</sub>	電源電圧	V <sub>SS</sub> = 0 V	3.0	3.3	5.5	V
PLL V <sub>DD</sub>	電源電圧	PLL V <sub>SS</sub> = 0V	3.0	3.3	5.5	V
HIO V <sub>DD</sub>	ホストバス IO 電源電圧	V <sub>SS</sub> = 0 V	3.0	3.3	3.6	V
			4.5	5.0	5.5	V
NIO V <sub>DD</sub>	パネル IO 電源電圧	V <sub>SS</sub> = 0 V	3.0	3.3	3.6	V
			4.5	5.0	5.5	V
HIO V <sub>IN</sub>	ホスト入力電圧		V <sub>SS</sub>		HIO V <sub>DD</sub>	V
NIO V <sub>IN</sub>	非ホスト入力電圧		V <sub>SS</sub>		NIO V <sub>DD</sub>	V
T <sub>OPR</sub>	動作温度		-40	25	85	°C

表 6-3: 電気的特性 (V<sub>DD</sub>=3.3V)

記号	項目	条件	Min	Typ	Max	単位
I <sub>QH</sub>	コア静止電流	パワーセーブモードがイネーブル	—	—	150	μA
	IO 静止電流	パワーセーブモードがイネーブル	—	—	5	μA
I <sub>LZ</sub>	入力リーク電流		-1	—	1	μA
I <sub>OZ</sub>	出力リーク電流		-1	—	1	μA
V <sub>OH</sub>	高レベル出力電圧	HIOV <sub>DD</sub> = min. NIOV <sub>DD</sub> = min. I <sub>OH</sub> = -2 mA (type 1) I <sub>OH</sub> = -6mA(type2)	HIOV <sub>DD</sub> -0.4 NIOV <sub>DD</sub> -0.4	—	—	V
V <sub>OL</sub>	低レベル出力電圧	HIOV <sub>DD</sub> = min. NIOV <sub>DD</sub> = min. I <sub>OL</sub> = 2 mA (type 1) I <sub>OL</sub> = 6mA(type2)	—	—	0.4	V
V <sub>IH1</sub>	高レベル入力電圧	CMOS レベル、 HIOV <sub>DD</sub> = max NIOV <sub>DD</sub> = max	2.2	—	—	V

## 6.DC 特性

表 6-3: 電氣的特性 (VDD=3.3V)

記号	項目	条件	Min	Typ	Max	単位
$V_{IL1}$	低レベル入力電圧	CMOS HIOV <sub>DD</sub> = レベル、 NIOV <sub>DD</sub> = min. min.	—	—	0.8	V
$V_{T+}$	高レベル入力電圧	CMOS シュミット	1.2	—	2.52	V
$V_{T-}$	低レベル入力電圧	CMOS シュミット	0.75	—	1.98	V
$V_{H1}$	ヒステリシス電圧	CMOS シュミット	0.3	—	—	V

表 6-4: 電氣的特性 (VDD=5.0V)

記号	項目	条件	Min	Typ	Max	単位
$I_{QH}$	コア静止電流	パワーセーブモードがイネーブル	—	—	150	μA
	入出力静止電流	パワーセーブモードがイネーブル	—	—	10	μA
$I_{LZ}$	入力リーク電流		-1	—	1	μA
$I_{OZ}$	出力リーク電流		-1	—	1	μA
$V_{OH}$	高レベル出力電圧	HIOV <sub>DD</sub> = min. NIOV <sub>DD</sub> = min. $I_{OH} = -3 \text{ mA (type 1)}$ $I_{OH} = -8 \text{ mA (type 2)}$	HIOV <sub>DD</sub> -0.4 NIOV <sub>DD</sub> -0.4	—	—	V
$V_{OL}$	低レベル出力電圧	HIOV <sub>DD</sub> = min. NIOV <sub>DD</sub> = min. $I_{OL} = 3 \text{ mA (type 1)}$ $I_{OL} = 8 \text{ mA (type 2)}$	—	—	0.4	V
$V_{IH}$	高レベル入力電圧	CMOS HIOV <sub>DD</sub> = レベル、 NIOV <sub>DD</sub> = max max	3.5	—	—	V
$V_{IL}$	低レベル入力電圧	CMOS HIOV <sub>DD</sub> = レベル、 NIOV <sub>DD</sub> = min. min.	—	—	1.0	V
$V_{T+}$	高レベル入力電圧	CMOS シュミット	2.0	—	4.0	V
$V_{T-}$	低レベル入力電圧	CMOS シュミット	0.8	—	3.1	V
$V_H$	ヒステリシス電圧	CMOS シュミット	0.3	—	—	V

23 ページの表 6-3 「電氣的特性 (VDD=3.3V)」 および 24 ページの表 6-4 「電氣的特性 (VDD=5.0V)」 の電氣的特性は、以下のセルタイプに適用されます。

表 6-5: セルタイプの基準

電氣的特性	セルタイプ
$V_{OH} / V_{OL}$	OBSEL IOB TOB
$V_{IH} / V_{IL}$	CI IOB
$V_{T+} / V_{T-}$	SI
$V_H$	SI

## 6.1 電力推定のガイドライン

以下の表は、さまざまな色深度と構成における標準的な消費電流の値を示しています。消費電流は、 $I_{\text{COREVDD}} + I_{\text{PLLVDD}} + I_{\text{HIOVDD}} + I_{\text{NIOVDD}}$  と定義されています。以下の測定値は、 $\text{COREVDD} = 3.3\text{V}$ 、 $\text{HIOVDD} = 3.3\text{V}$ 、 $\text{NIOVDD} = 3.3\text{V}$  の場合です。

表 6-6: STN インターフェースの標準的な消費電流の測定値

パネル サイズ	入カクロック		4 Bpp	2 Bpp	1 Bpp	Power Save	CORE VDD (mA)	PLL VDD (mA)	HIO VDD (mA)	NIO VDD (mA)
	CLKI (MHz)	Crystal (MHz)								
320 x 240	—	24			X	X	0.02	0.02	0.01	0.01
					X	—	2.44	0.02	0.01	3.16
				X		—	2.65	0.02	0.01	3.71
			X			—	2.54	0.02	0.01	1.46
	20	—			X	X	0.20 (Note)	0.02	0.06	0.01
					X	—	1.67	0.02	0.06	2.61
				X		—	1.86	0.02	0.06	3.11
			X			—	1.76	0.02	0.06	1.22

### 注

MCLK が動作状態の下での測定です。

## 6.DC 特性

表 6-7: TFT インターフェースの標準的な消費電流の測定値

パネル サイズ	入力クロック		4 Bpp	2 Bpp	1 Bpp	Power Save	CORE VDD (mA)	PLL VDD (mA)	HIO VDD (mA)	NIO VDD (mA)
	CLKI (MHz)	Crystal (MHz)								
800 x 480	—	24			X	X	0.02	0.02	0.01	0.01
					X	—	3.26	2.22	0.01	2.71
				X		—	3.33	2.22	0.01	2.94
			X			—	3.44	2.22	0.01	2.98
	20	—			X	X	0.20 (Note)	0.02	0.06	0.01
					X	—	2.36	1.89	0.06	2.33
				X		—	2.42	1.89	0.06	2.5
			X			—	2.51	1.89	0.06	2.52

**注**

MCLK が動作状態の下での測定です。

## 7. AC 特性

条件: Core  $V_{DD} = 3.3V \pm 10\%$   
 IO  $V_{DD} = 3.3V \pm 10\%$  or  $5.0V \pm 10\%$

$T_{OPR} = -40^{\circ}C$  to  $85^{\circ}C$   
 すべての入力について  $T_{rise}$  と  $T_{fall}$  は、 $\leq 5ns$  (10% ~ 90%)  
 でなければなりません。  
 $C_L = 30pF$  (バス /MPU インタフェース)  
 $C_L = 50pF$  (LCD パネルインタフェース)

### 注

$C_L$  には、5pF の最大端子静電容量が含まれます。

## 7.AC 特性

### 7.1 電源タイミング

#### 7.1.1 電源立上げタイミング

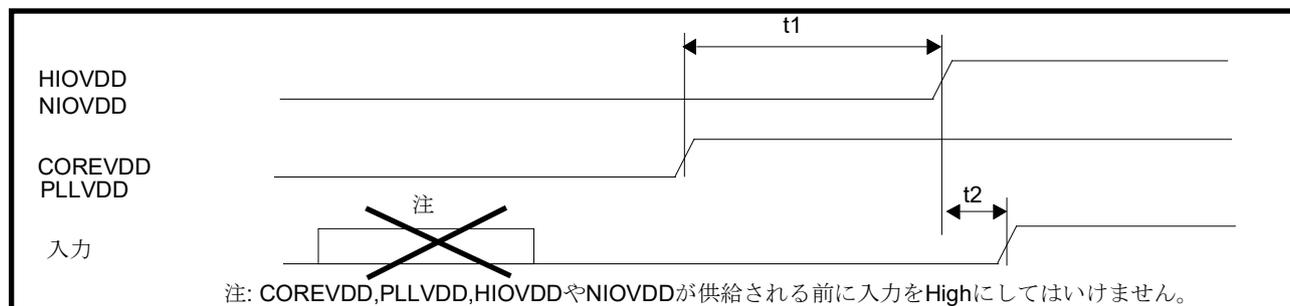


図 7-1: パワーオンシーケンスタイミング

表 7-1: パワーオンシーケンスタイミング

Symbol	Parameter	Min	Max	Units
t1	COREVDD の立上りから HIOVDD と NIOVDD の立上り	0	100 (Note)	ms
t2	HIOVDD と NIOVDD の立上りから全ての入力の立上り	0	-	ms

**注**

この時間の間は貫通電流が発生します。

#### 7.1.2 電源立下げタイミング

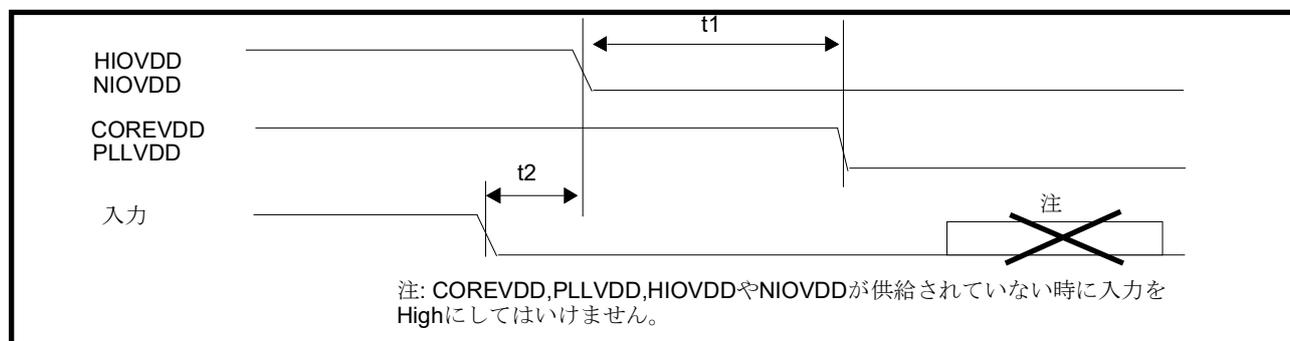


図 7-2: パワーオフシーケンスタイミング

表 7-2: パワーオフシーケンスタイミング

Symbol	Parameter	Min	Max	Units
t1	HIOVDD と NIOVDD の立下りから COREVDD の立下り	0	100	ms
t2	全ての入力の立下りから HIOVDD と NIOVDD の立下り	0	-	ms

**注**

この時間の間は貫通電流が発生します。

## 7.2 クロックタイミング

### 7.2.1 入力クロック

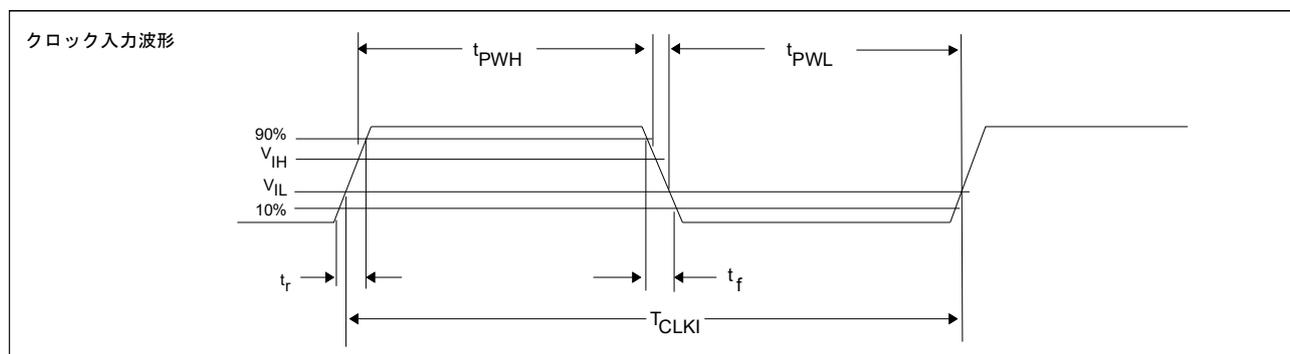


図 7-3: クロック入力要件

表 7-3: クロック入力要件

記号	項目	3.0V		5.0V		単位
		Min	Max	Min	Max	
$f_{\text{CLKI}}$	入力クロックの周波数 (CLKI)	10 (注 1.2)	66	10 (注 1.2)	66	MHz
$T_{\text{CLKI}}$	入力クロックの周期 (CLKI)	$1/f_{\text{CLKI}}$	—	$1/f_{\text{CLKI}}$	—	ns
$t_{\text{PWH}}$	入力クロックの HIGH パルス幅 (CLKI)	$0.4T_{\text{CLKI}}$	—	$0.4T_{\text{CLKI}}$	—	ns
$t_{\text{PWL}}$	入力クロックの LOW パルス幅 (CLKI)	$0.4T_{\text{CLKI}}$	—	$0.4T_{\text{CLKI}}$	—	ns
$t_f$	入力クロック立下がり時間 (10% ~ 90%)	—	2	—	2	ns
$t_r$	入力クロック立ち上がり時間 (10% ~ 90%)	—	2	—	2	ns

#### 注

1. TFT インターフェース (REG[34h]bit0 = 1) の場合、最少 CLKI 周波数は、TFT のクロック周波数に依存します。詳細は 54 ページの表 7-16: 項「TFT-LCD インターフェース タイミング 1」を参照してください。
2. TFT インターフェース (REG[34h]bit0 = 1) で 4bpp (REG[20h]bit1-0 = 10) が選択された場合、CLKI 周波数は 24MHz かそれ以上にしてください。

## 7.3 リセットタイミング

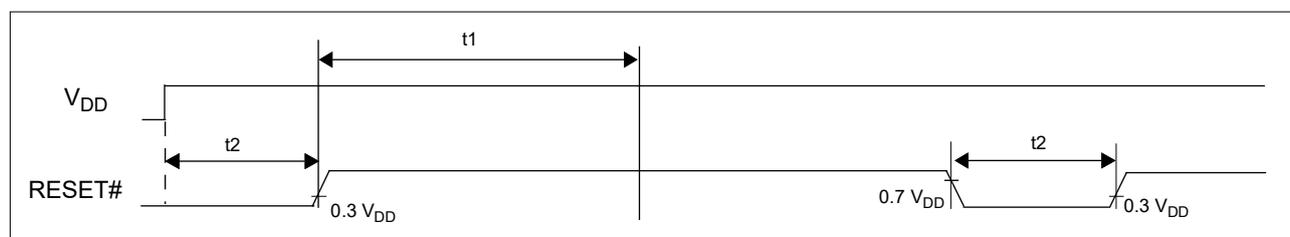


図 7-4: 外部発振器を使用したときのリセットタイミング

## 7.AC 特性

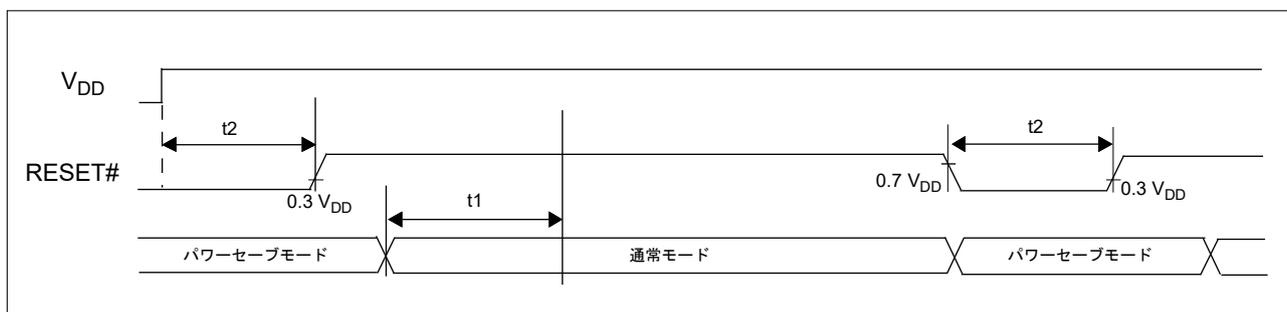


図 7-5: 内部発振器を外部水晶振動子とともに使用したときのリセットタイミング

表 7-4: リセットタイミング

記号	項目	Min	Max	単位
t1	発振器の安定ディレイ (注 1)	3	—	ms
t2	リセットパルス期間 (注 2)	1	—	ms

1. 外部の発振器を使用するとき、システムを安定させるため、RESET#とVDDの両方の立ち上がりエッジの後、ディレイが必要です。このディレイによって、内部発振回路の入力クロックは安定します。発振回路が安定するまで、LCDCにアクセスしないでください。

内部発振器を外部水晶振動子とともに使用するときには、パワーセーブモードを終了した後、ディレイが必要です。ダイレクトモードの場合、REG[08h]ビット0を書き込むことで、パワーセーブモードが解除され、内部発振器が発振を開始します。インダイレクトモードの場合、SYSTEM SET コマンドを書き込むことで、パワーセーブモードが解除され、内部発振器が発振を開始します。

- 2) S1D13709 は、パワーオン後に内部ステートを再初期化するために、1ms 以上のリセットパルスを必要とします。S1D13709 をリセットしている間は、LCD パネルに DC 電圧を供給することは信頼性上、推奨されません。リセットパルスの開始後、少なくとも 1 フレーム期間、LCD の電源をオフにしてください。

S1D13709 は、リセット期間中はコマンドを受け取ることができません。リセット後は速やかに内部レジスタの初期化のコマンドを発行するようにしてください。リセット期間中は、LCD 駆動信号 (FPDAT、FPLINE、FR) は停止しています。

## 7.4 CPU インタフェースのタイミング

## 7.4.1 Generic Bus インダイレクトインターフェースのタイミング (WAIT# あり)

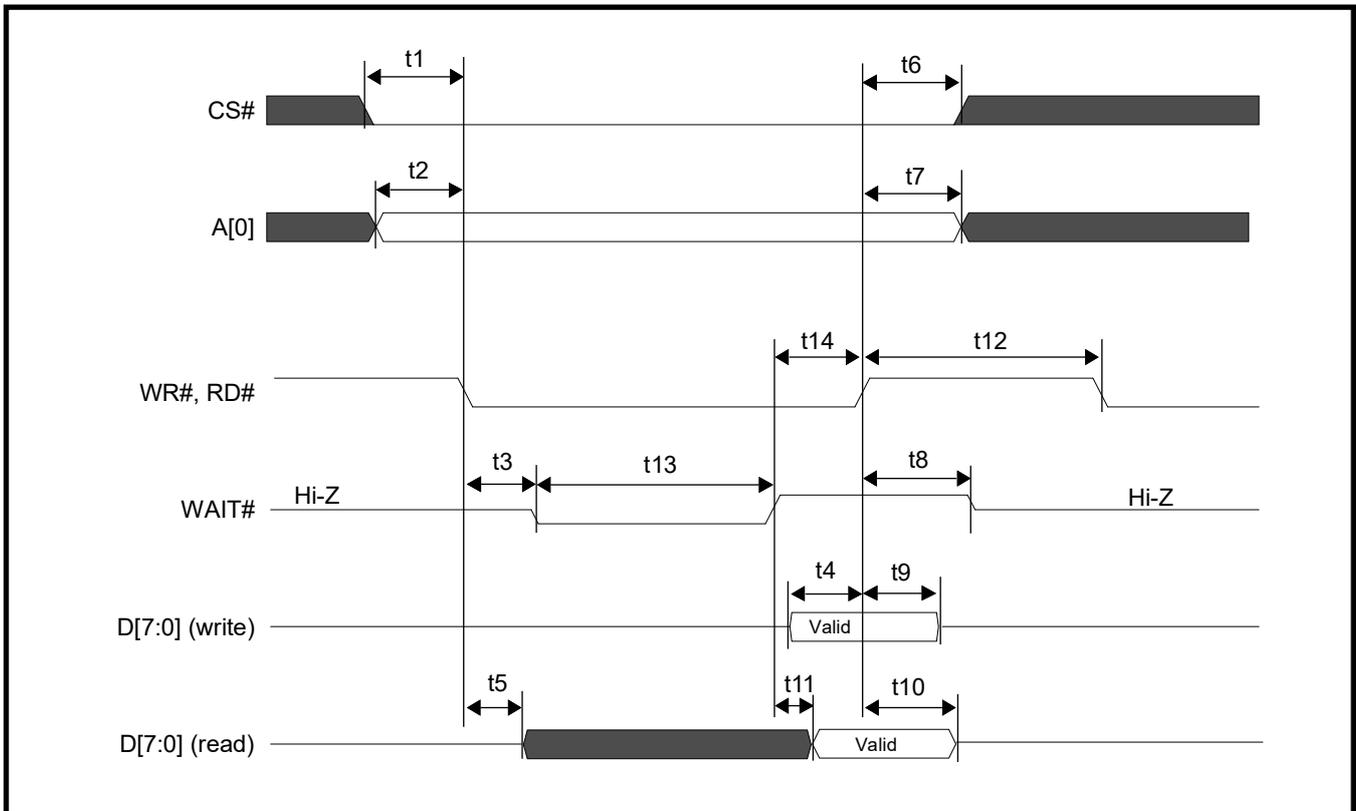


図 7-6: Generic Bus インダイレクトインターフェースのタイミング (WAIT# あり)

## 7.AC 特性

表 7-5: Generic Bus インダイレクトインターフェースのタイミング (WAIT# あり)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# セットアップ時間	5	—	5	—	ns
t2	A[0] セットアップ時間	5	—	5	—	ns
t3	WR#, RD# の立下りエッジ → WAIT# が LOW に駆動	2	15	2	15	ns
t4	WR# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t5	RD# の立下りエッジ → D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[0] のホールド時間	7	—	7	—	ns
t8	RD#, WR# の立上りエッジ → WAIT# がハイインピーダンス	2	10	2	10	ns
t9	WR# の立上りエッジから D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	RD# の立上りエッジから D[7:0] のホールド時間 (リードサイクル)	2	14	2	14	ns
t11	WAIT# の立上りエッジ → 有効データ	—	0	—	0	ns
t12	RD#, WR# のパルスインアクティブ時間	Note 2	—	Note 2	—	ns
t13	WAIT# のパルスアクティブ時間	—	Note 3	—	Note 3	ns
t14	WAIT# の立上りエッジ → WR#, RD# の立上りエッジ	0	—	0	—	ns

1.  $T_s$  = システムクロックの周期
2.  $t_{12min}$  =  $2T_s$  (ライトサイクルの後にライトサイクルが続く場合)  
 =  $1T_s + 1$  (ライトサイクルにリードサイクルが続く場合)  
 =  $2T_s$  (リードサイクルにライトサイクルが続く場合)  
 =  $1T_s + 1$  (リードサイクルの後にリードサイクルが続く場合)
3.  $t_{13max}$  =  $2T_s$  (レジスタライトサイクル)  
 =  $2T_s$  (レジスタリードサイクル)  
 =  $2T_s$  (表示メモリ書き込みサイクル)  
 =  $7T_s$  (表示メモリ読み出しサイクル)

## 7.4.2 Generic Bus ダイレクトインターフェースのタイミング (WAIT# あり)

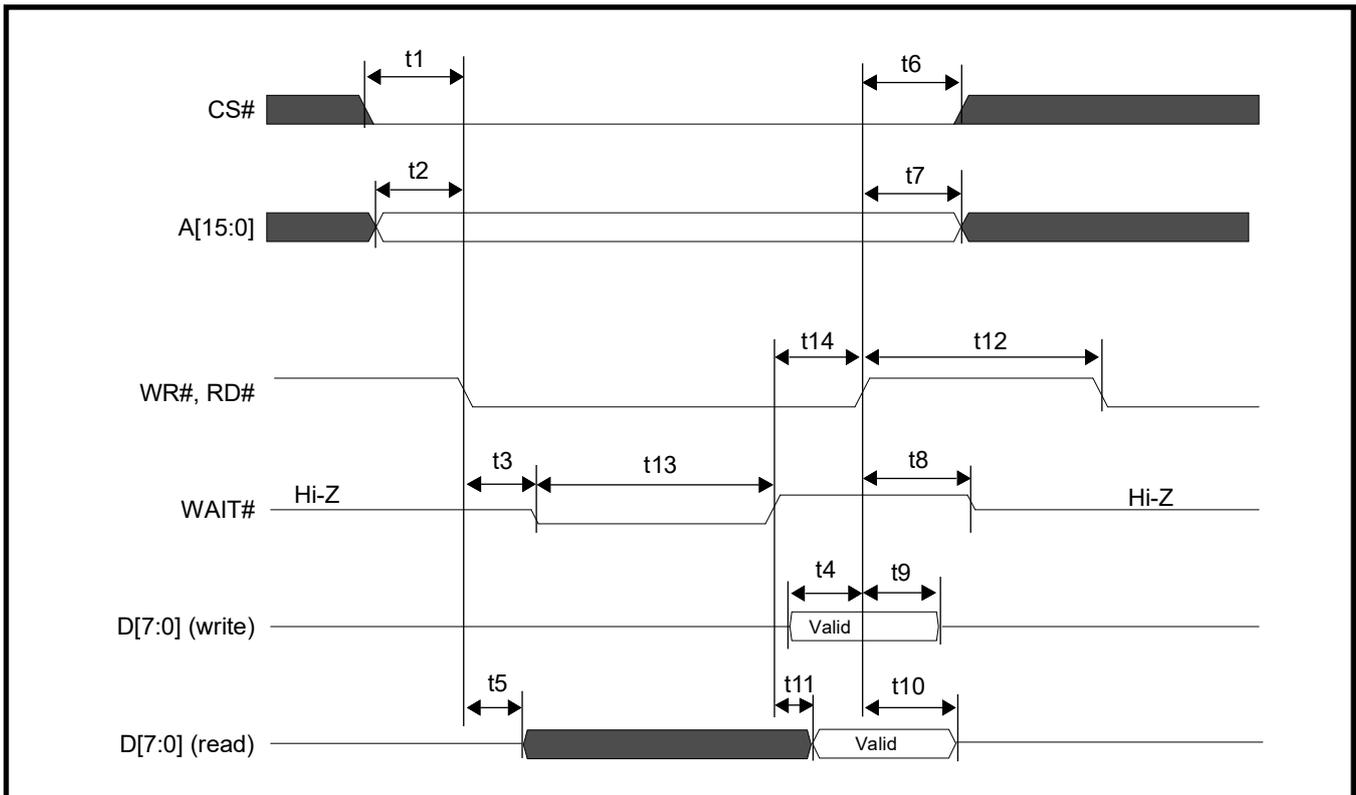


図7-7: Generic Bus ダイレクトインターフェースのタイミング (WAIT# あり)

## 7.AC 特性

表 7-6: Generic Bus ダイレクトインターフェースタイミング (WAIT# あり)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# セットアップ時間	5	—	5	—	ns
t2	A[15:0] セットアップ時間	5	—	5	—	ns
t3	WR#, RD# の立下りエッジ → WAIT# が LOW に駆動	2	15	2	15	ns
t4	WR# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t5	RD# の立下りエッジ → D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[15:0] のホールド時間	7	—	7	—	ns
t8	RD#, WR# の立上りエッジ → WAIT# がハイインピーダンス	2	10	2	10	ns
t9	WR# の立上りエッジから D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	RD# の立上りエッジから D[7:0] のホールド時間 (リードサイクル)	2	14	2	14	ns
t11	WAIT# の立上りエッジ → 有効データ	—	0	—	0	ns
t12	RD#, WR# のパルスインアクティブ時間	Note 2	—	Note 2	—	ns
t13	WAIT# のパルスアクティブ時間	—	Note 3	—	Note 3	ns
t14	WAIT# の立上りエッジ → WR#, RD# の立上りエッジ	0	—	0	—	ns

1.  $T_s$  = システムクロックの周期
2.  $t_{12min}$  =  $4T_s$  (ライトサイクルの後にライトサイクルが続く場合)  
 =  $1T_s + 1$  (ライトサイクルにリードサイクルが続く場合)  
 =  $2T_s$  (リードサイクルにライトサイクルが続く場合)  
 =  $1T_s + 1$  (リードサイクルの後にリードサイクルが続く場合)
3.  $t_{13max}$  =  $2T_s$  (レジスタライトサイクル)  
 =  $2T_s$  (レジスタリードサイクル)  
 =  $2T_s$  (表示メモリ書き込みサイクル)  
 =  $7T_s$  (表示メモリ読み出しサイクル)

## 7.4.3 Generic Bus インダイレクトインターフェースのタイミング (WAIT# なし)

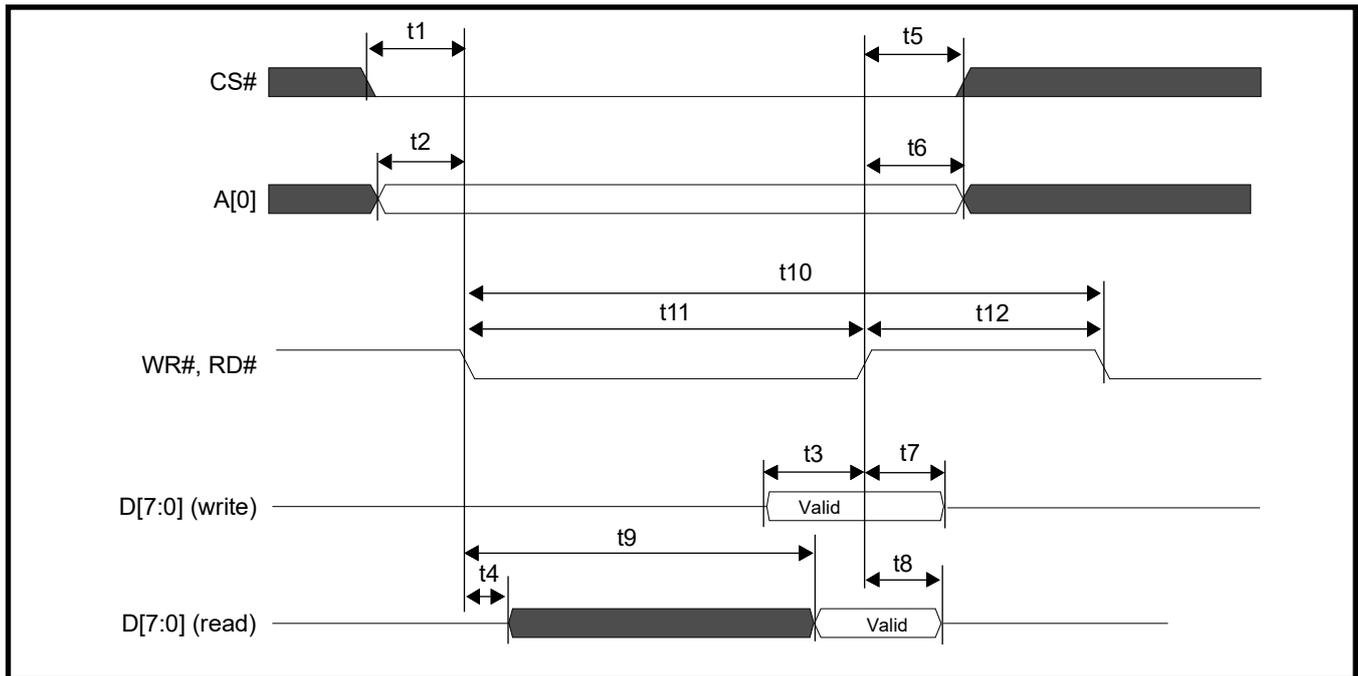


図 7-8: Generic Bus インダイレクトインターフェースのタイミング (WAIT# なし)

## 7.AC 特性

表 7-7: Generic Bus インダイレクトインターフェースのタイミング (WAIT# なし)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[0] のセットアップ時間	5	—	5	—	ns
t3	WR# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t4	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[0] のホールド時間	7	—	7	—	ns
t7	WR# の立上りエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立上りエッジからの D[7:0] のホールド時間 (リードサイクル)	2	14	2	14	ns
t9	RD# の立上りエッジ→有効データ (リードサイクル)	—	Note 2	—	Note 2	ns
t10	RD#, WR# のサイクル時間	Note 3	—	Note 3	—	ns
t11	RD#, WR# のパルスアクティブ時間	Note 4	—	Note 4	—	ns
t12	RD#, WR# のパルスインアクティブ時間	Note 5	—	Note 5	—	ns

1. Ts = システムクロックの周期
2. t9max = 2Ts + 19 (レジスタリードサイクル)  
= 6Ts + 19 (表示メモリリードサイクル)
3. t10min = 4Ts + 1 (レジスタライトサイクル)  
= 4Ts + 1 (レジスタリードサイクル)  
= 4Ts + 1 (表示メモリライトサイクル)  
= 7Ts + 11 (表示メモリリードサイクル)
4. t11min = 3Ts (レジスタライトサイクル)  
= 3Ts (レジスタリードサイクル)  
= 3Ts (表示メモリライトサイクル)  
= 6Ts + 10 (表示メモリリードサイクル)
5. t12min = 2Ts (ライトサイクルの後にライトサイクルが続く場合)  
= 1Ts + 1 (ライトサイクルの後にリードサイクルが続く場合)  
= 2Ts (リードサイクルの後にライトサイクルが続く場合)  
= 1Ts + 1 (リードサイクルの後にリードサイクルが続く場合)

## 7.4.4 Generic Bus ダイレクトインターフェースのタイミング (WAIT# なし)

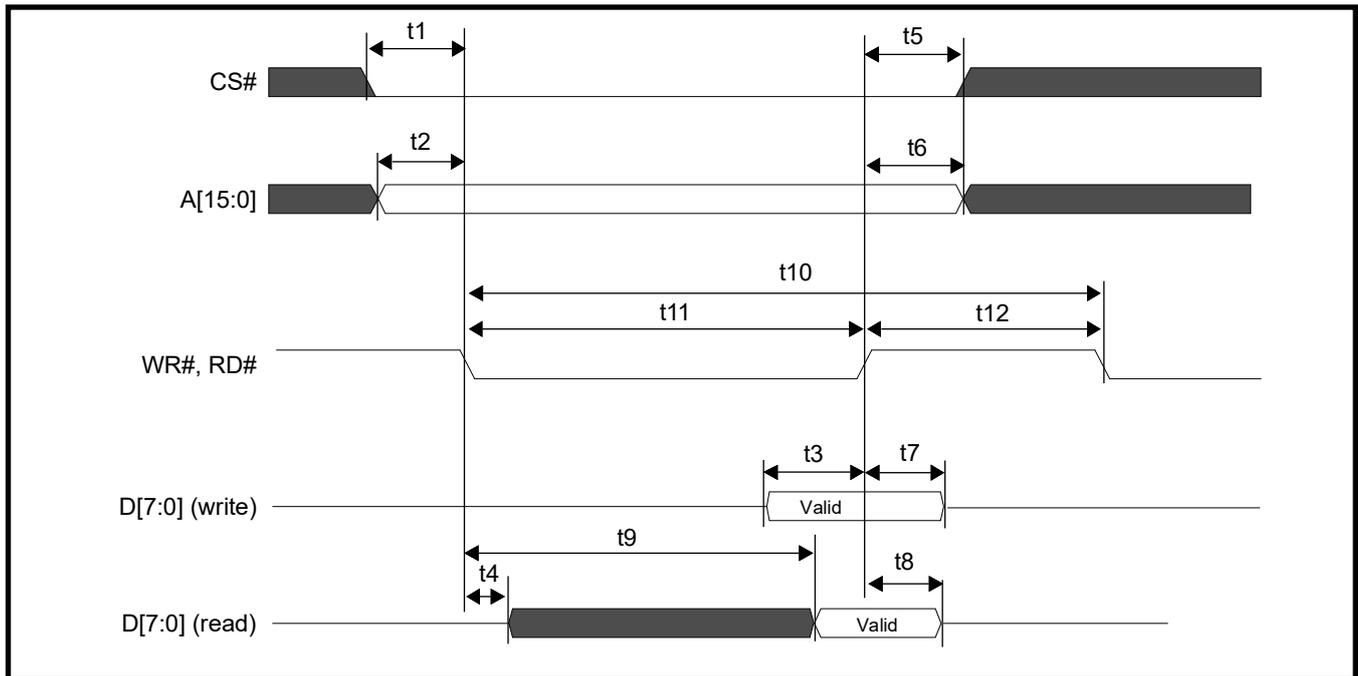


図 7-9: Generic Bus ダイレクトインターフェースのタイミング (WAIT# なし)

## 7.AC 特性

表 7-8: Generic Bus ダイレクトインターフェースのタイミング (WAIT# なし)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	WR# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t4	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[15:0] のホールド時間	7	—	7	—	ns
t7	WR# の立上りエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立上りエッジからの D[7:0] のホールド時間 (リードサイクル)	2	14	2	14	ns
t9	RD# の立上りエッジ→有効データ (リードサイクル)	—	Note 2	—	Note 2	ns
t10	RD#, WR# のサイクル時間	Note 3	—	Note 3	—	ns
t11	RD#, WR# のパルスアクティブ時間	Note 4	—	Note 4	—	ns
t12	RD#, WR# のパルスインアクティブ時間	2Ts	—	2Ts	—	ns

1. Ts = システムクロックの周期
2. t9max = 2Ts + 19 (レジスタリードサイクル)  
= 6Ts + 19 (表示メモリリードサイクル)
3. t10min = 5Ts (レジスタライトサイクル)  
= 5Ts (レジスタリードサイクル)  
= 5Ts (表示メモリライトサイクル)  
= 8Ts + 10 (表示メモリリードサイクル)
4. t11min = 3Ts (レジスタライトサイクル)  
= 3Ts (レジスタリードサイクル)  
= 3Ts (表示メモリライトサイクル)  
= 6Ts + 10 (表示メモリリードサイクル)

## 7.4.5 MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# あり)

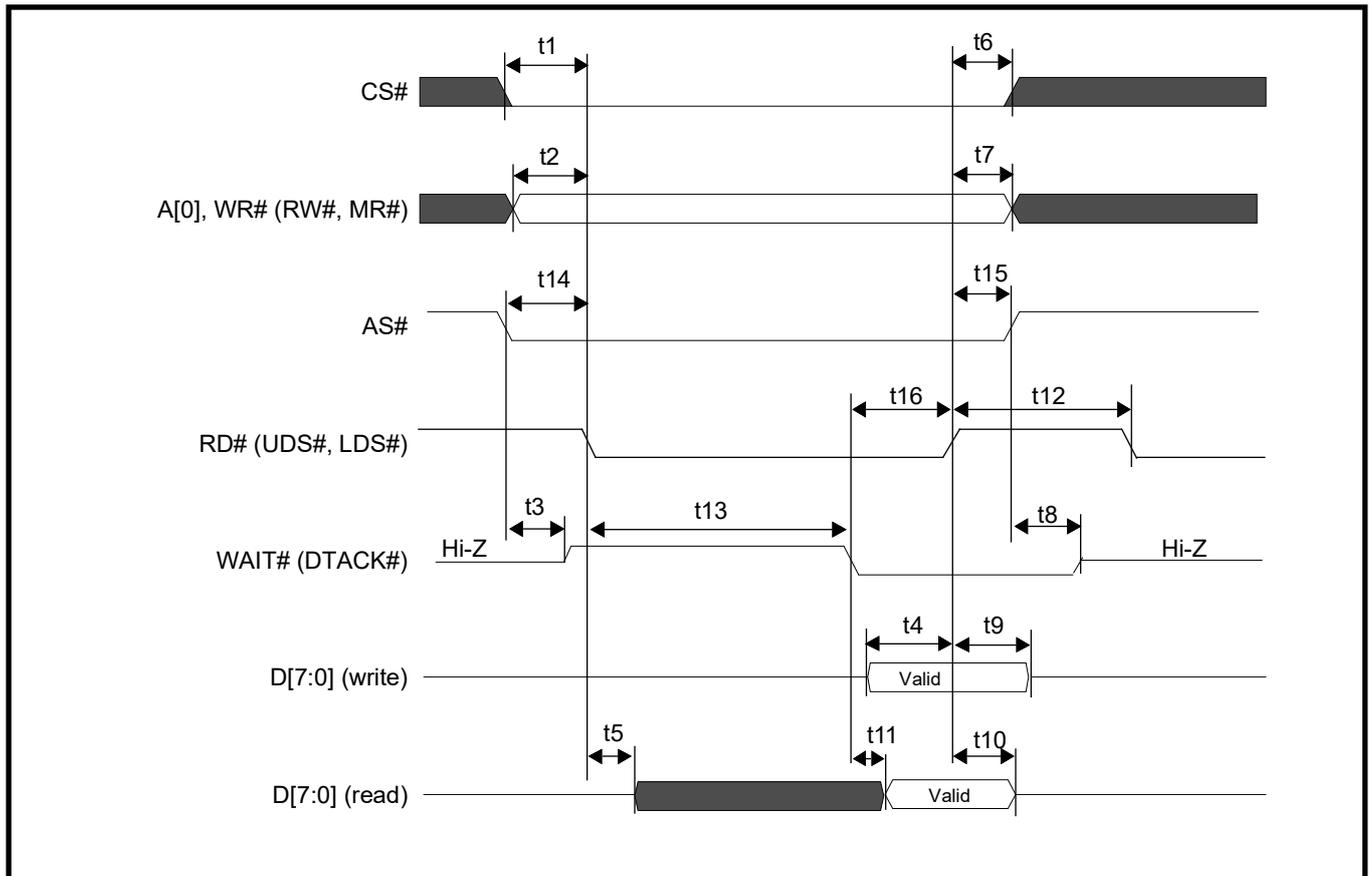


図 7-10: MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# あり)

## 7.AC 特性

表 7-9: MC68K ファミリのインダイレクトインターフェースのタイミング

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[0] のセットアップ時間	5	—	5	—	ns
t3	AS# の立下りエッジ→ DTACK# の駆動	2	15	2	15	ns
t4	DR# の立上りエッジまでの D[7:0] s のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t5	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[0] のホールド時間	7	—	7	—	ns
t8	RD# の立上りエッジ→ DTACL# がハイインピーダンス (ダイレクトインターフェースでパワーセーブモードの場合、	2	10	2	10	ns
t9	RD# の立上りエッジから D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	RD# の立上りエッジから D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t11	DTACK# の立下りエッジ→有効データ	—	0	—	0	ns
t12	RD# のパルスインアクティブ時間	Note 2	—	Note 2	—	ns
t13	RD# 立下りエッジからの DTACK# のパルスインアクティブ時間	—	Note 3	—	Note 3	ns
t14	AS# のセットアップ時間	0	—	0	—	ns
t15	AS# のホールド時間	0	—	0	—	ns
t16	WAIT# の立下りエッジ→ RD# 立上りエッジ	0	—	0	—	ns

1.  $T_s$  = システムクロックの周期
2.  $t_{12min}$  =  $2T_s$  (ライトサイクルの後にライトサイクルが続く場合)  
 =  $1T_s + 1$  (ライトサイクルの後にリードサイクルが続く場合)  
 =  $2T_s$  (リードサイクルの後にライトサイクルが続く場合)  
 =  $1T_s + 1$  (リードサイクルの後にリードサイクルが続く場合)
3.  $t_{13max}$  =  $2T_s$  (レジスタライトサイクル)  
 =  $2T_s$  (レジスタリードサイクル)  
 =  $2T_s$  (表示メモリライトサイクル)  
 =  $7T_s$  (表示メモリリードサイクル)

## 7.4.6 MC68K ファミリのダイレクトインターフェースのタイミング (DTACK# あり)

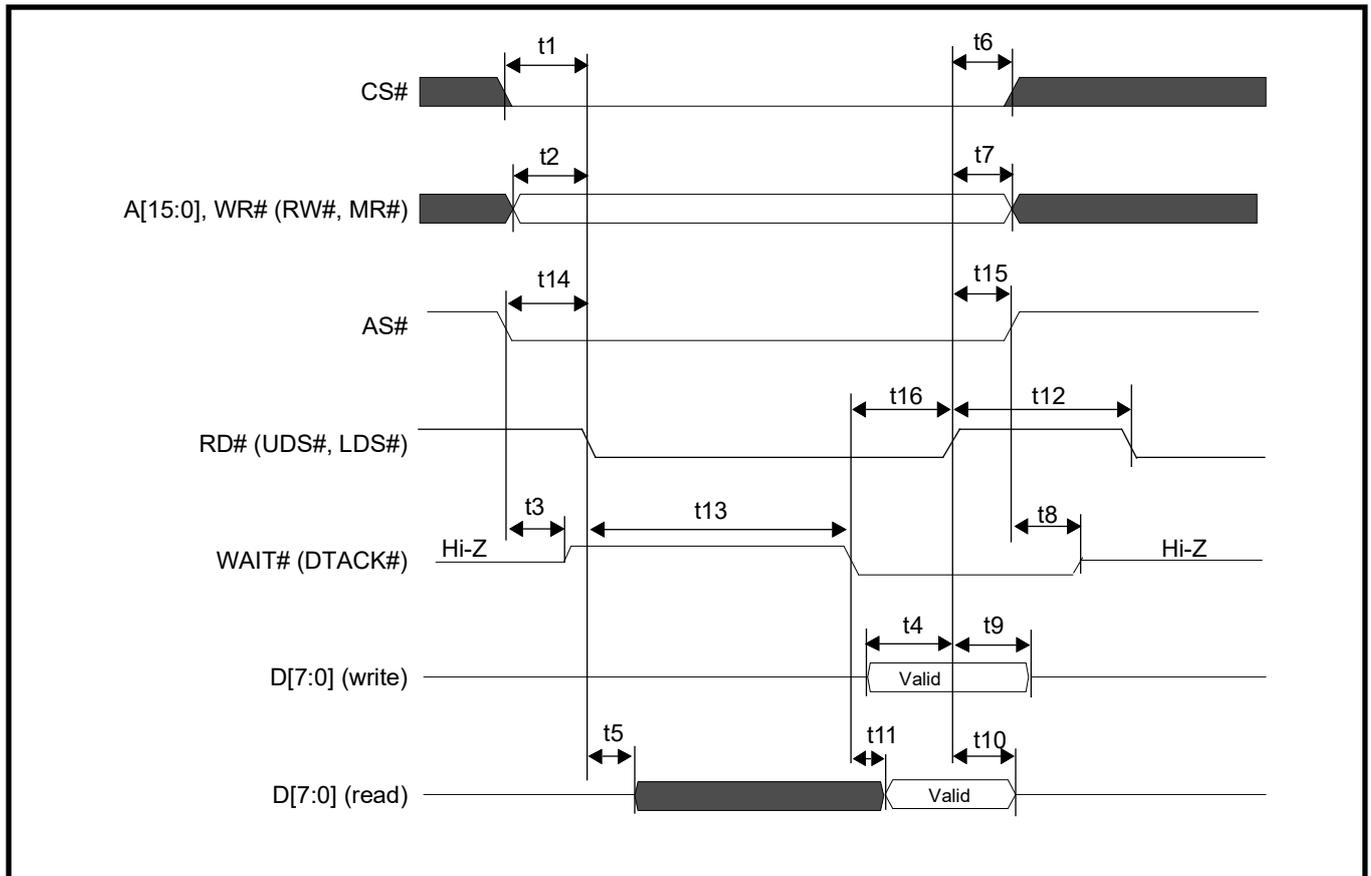


図 7-11: MC68K ファミリのダイレクトインターフェースのタイミング (DTACK# あり)

## 7.AC 特性

表 7-10: MC68K ファミリのダイレクトインターフェースのタイミング (DTACK# あり)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	AS# の立下りエッジ→ DTACK# の駆動	2	15	2	15	ns
t4	DR# の立上りエッジまでの D[7:0] s のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t5	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t6	CS# のホールド時間	7	—	7	—	ns
t7	A[15:0] のホールド時間	7	—	7	—	ns
t8	RD# の立上りエッジ→ DTACL# がハイインピーダンス (ダイレクトインターフェースでパワーセーブモードの場合、)	2	10	2	10	ns
t9	RD# の立上りエッジから D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t10	RD# の立上りエッジから D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t11	DTACK# の立下りエッジ→有効データ	—	0	—	0	ns
t12	RD# のパルスインアクティブ時間	Note 2	—	Note 2	—	ns
t13	RD# 立下りエッジからの DTACK# のパルスインアクティブ時間	—	Note 3	—	Note 3	ns
t14	AS# のセットアップ時間	0	—	0	—	ns
t15	AS# のホールド時間	0	—	0	—	ns
t16	WAIT# の立下りエッジ→ RD# 立上りエッジ	0	—	0	—	ns

1. Ts = システムクロックの周期
2. t12min = 4Ts (ライトサイクルの後にライトサイクルが続く場合)  
 = 1Ts + 1 (ライトサイクルの後にリードサイクルが続く場合)  
 = 2Ts (リードサイクルの後にライトサイクルが続く場合)  
 = 1Ts + 1 (リードサイクルの後にリードサイクルが続く場合)
3. t13max = 2Ts (レジスタライトサイクル)  
 = 2Ts (レジスタリードサイクル)  
 = 2Ts (表示メモリライトサイクル)  
 = 7Ts (表示メモリリードサイクル)

## 7.4.7 MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# なし)

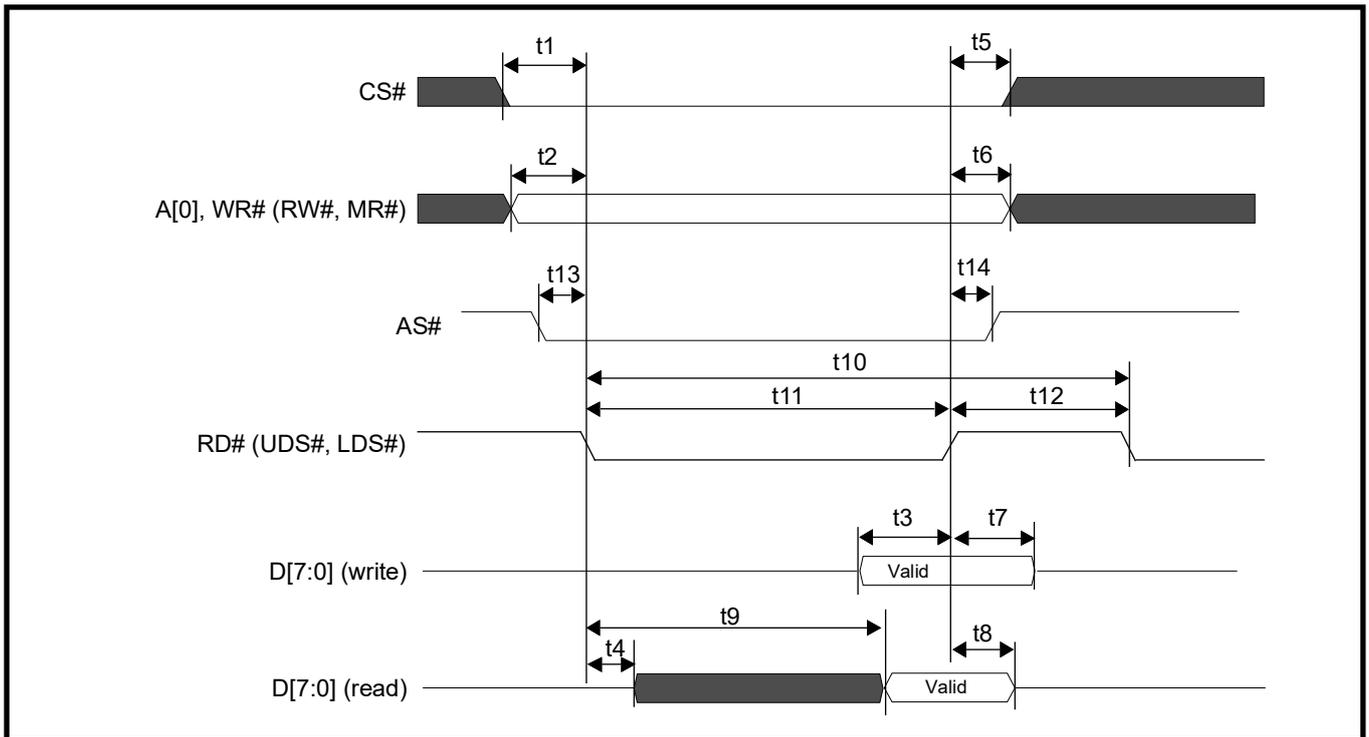


図 7-12: MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# なし)

## 7.AC 特性

表 7-11: MC68K ファミリのインダイレクトインターフェースのタイミング (DTACK# なし)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[0] のセットアップ時間	5	—	5	—	ns
t3	RD# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t4	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[0] のホールド時間	7	—	7	—	ns
t7	RD# の立上りエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立上りエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t9	RD# の立下りエッジ→有効データ	—	Note 2	—	Note 2	ns
t10	RD# のサイクル時間	Note 3	—	Note 3	—	ns
t11	RD# のパルスアクティブ時間	Note 4	—	Note 4	—	ns
t12	RD# のパルスインアクティブ時間	Note 5	—	Note 5	—	ns
t13	AS# のセットアップ時間	0	—	0	—	ns
t14	AS# のホールド時間	0	—	0	—	ns

1.  $T_s$  = システムクロックの周期
2.  $t_{9max}$  =  $2T_s + 19$  (レジスタリードサイクル)  
=  $6T_s + 19$  (表示メモリリードサイクル)
3.  $t_{10min}$  =  $4T_s + 1$  (レジスタライトサイクル)  
=  $4T_s + 1$  (レジスタリードサイクル)  
=  $4T_s + 1$  (表示メモリライトサイクル)  
=  $7T_s + 11$  (表示メモリリードサイクル)
4.  $t_{11min}$  =  $3T_s$  (レジスタライトサイクル)  
=  $3T_s$  (レジスタリードサイクル)  
=  $3T_s$  (表示メモリライトサイクル)  
=  $6T_s + 10$  (表示メモリリードサイクル)
5.  $t_{12min}$  =  $2T_s$  (ライトサイクルの後にライトサイクルが続く場合)  
=  $1T_s + 1$  (ライトサイクルの後にリードサイクルが続く場合)  
=  $2T_s$  (リードサイクルの後にライトサイクルが続く場合)  
=  $1T_s + 1$  (リードサイクルの後にリードサイクルが続く場合)

## 7.4.8 MC68K ファミリ ダイレクトインターフェースのタイミング (DTACK# なし)

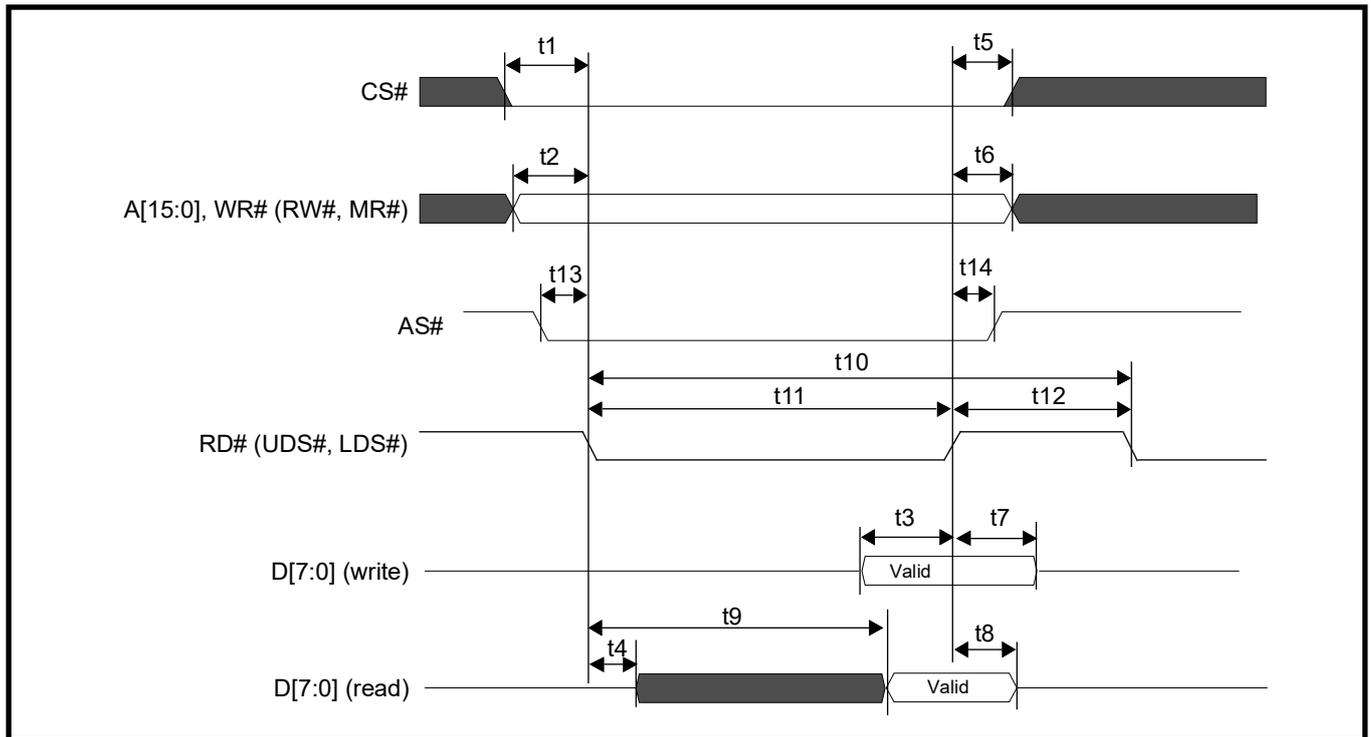


図 7-13: MC68K ファミリ ダイレクトインターフェースのタイミング (DTACK# なし)

## 7.AC 特性

表 7-12: MC68K ファミリ ダイレクトインターフェースのタイミング (DTACK# なし)

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[15:0] のセットアップ時間	5	—	5	—	ns
t3	RD# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t4	RD# の立下りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[15:0] のホールド時間	7	—	7	—	ns
t7	RD# の立上りエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立上りエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t9	RD# の立下りエッジ→有効データ	—	Note 2	—	Note 2	ns
t10	RD# のサイクル時間	Note 3	—	Note 3	—	ns
t11	RD# のパルスアクティブ時間	Note 4	—	Note 4	—	ns
t12	RD# のパルスインアクティブ時間	2Ts	—	2Ts	—	ns
t13	AS# のセットアップ時間	0	—	0	—	ns
t14	AS# のホールド時間	0	—	0	—	ns

1.  $T_s$  = システムクロックの周期
2.  $t_{9max}$  =  $2T_s + 19$  (レジスタリードサイクル)  
=  $6T_s + 19$  (表示メモリリードサイクル)
3.  $t_{10min}$  =  $5T_s$  (レジスタライトサイクル)  
=  $5T_s$  (レジスタリードサイクル)  
=  $5T_s$  (表示メモリライトサイクル)  
=  $8T_s + 10$  (表示メモリリードサイクル)
4.  $t_{11min}$  =  $3T_s$  (レジスタライトサイクル)  
=  $3T_s$  (レジスタリードサイクル)  
=  $3T_s$  (表示メモリライトサイクル)  
=  $6T_s + 10$  (表示メモリリードサイクル)

## 7.4.9 M6800 ファミリ インダイレクトインターフェースのタイミング

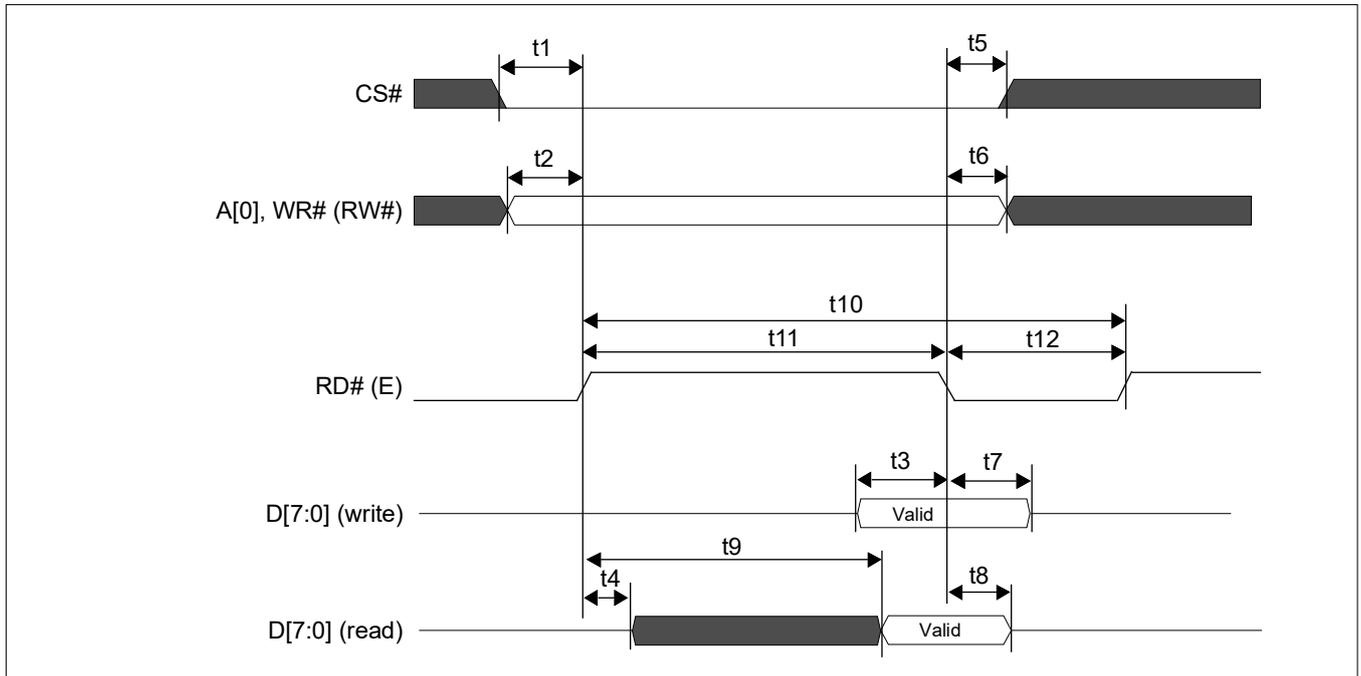


図 7-14: M6800 ファミリーインダイレクトインターフェースのタイミング

## 7.AC 特性

表 7-13: M6800 ファミリーインダイレクトインターフェースのタイミング

Symbol	Parameter	3.3 Volt		5.0 Volt		Units
		Min	Max	Min	Max	
t1	CS# のセットアップ時間	5	—	5	—	ns
t2	A[0] のセットアップ時間	5	—	5	—	ns
t3	RD# の立上りエッジまでの D[7:0] のセットアップ時間 (ライトサイクル)	1Ts (Note1)	—	1Ts (Note1)	—	ns
t4	RD# の立上りエッジ→ D[7:0] の駆動 (リードサイクル)	3	—	3	—	ns
t5	CS# のホールド時間	7	—	7	—	ns
t6	A[0] のホールド時間	7	—	7	—	ns
t7	RD# の立下りエッジからの D[7:0] のホールド時間 (ライトサイクル)	5	—	5	—	ns
t8	RD# の立下りエッジからの D[7:0] のホールド時間 (リードサイクル)	2	55	2	55	ns
t9	RD# の立上りエッジ→有効データ	—	Note 2	—	Note 2	ns
t10	RD# のサイクルタイム	Note 3	—	Note 3	—	ns
t11	RD# のパルスアクティブ時間	Note 4	—	Note 4	—	ns
t12	RD# のパルスインアクティブ時間	Note 5	—	Note 5	—	ns

1. Ts = システムクロックの周期
2. t9max = 2Ts + 19 (レジスタリードサイクル)  
= 6Ts + 19 (表示メモリリードサイクル)
3. t10min = 4Ts + 1 (レジスタライトサイクル)  
= 4Ts + 1 (レジスタリードサイクル)  
= 4Ts + 1 (表示メモリライトサイクル)  
= 7Ts + 11 (表示メモリリードサイクル)
4. t11min = 3Ts (レジスタライトサイクル)  
= 3Ts (レジスタリードサイクル)  
= 3Ts (表示メモリライトサイクル)  
= 6Ts + 10 (f 表示メモリリード)
5. t12min = 2Ts (ライトサイクルの後にライトサイクルが続く場合)  
= 1Ts + 1 (ライトサイクルの後にリードサイクルが続く場合)  
= 2Ts (リードサイクルの後にライトサイクルが続く場合)  
= 1Ts + 1 (リードサイクルの後にリードサイクルが続く場合 e)

## 7.5 パワーセーブモード / 表示イネーブルのタイミング

表示オフまたはパワーセーブモードがイネーブル



図7-15: パワーセーブモード / 表示イネーブルのタイミング

## 注

外部水晶振動子を内部発振器とともに使用するときには、システムの安定化のためパワーセーブモードの終了後にディレイが必要です。詳細については、29 ページの 7.3 項「リセットタイミング」を参照してください。

表7-14: パワーセーブモード / 表示イネーブルのタイミング

記号	項目	3.3 V		5.0 V		単位
		Min	Max	Min	Max	
t1a	インダイレクトモードでパワーセーブモードがイネーブルの場合の YDIS の立下がりエッジのディレイ (注2を参照)	—	2	—	2	フレーム
t1b	インダイレクトモードで表示オフの場合の YDIS の立下がりエッジのディレイ (58h)	—	2Ts + 10	—	2Ts + 10	ns
t1c	ダイレクトモードで表示オフの場合の YDIS の立下がりエッジのディレイ (注3を参照)	—	2Ts + 10	—	2Ts + 10	ns
t2	表示オンの場合の YDIS の立ち上がりエッジのディレイ (注3を参照)	—	2Ts + 10	—	2Ts + 10	ns

1. Ts = システムクロックの周期
2. パワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット0) によって制御されています。
3. 表示オン/オフは、表示イネーブルビット (REG[09h] ビット0) によって制御されています。

## 7.AC 特性

### 7.6 表示インターフェース

#### 7.6.1 STN-LCD インターフェースタイミング

STN-LCD フラットパネルディスプレイの駆動に必要なタイミングパラメータを以下に示します。

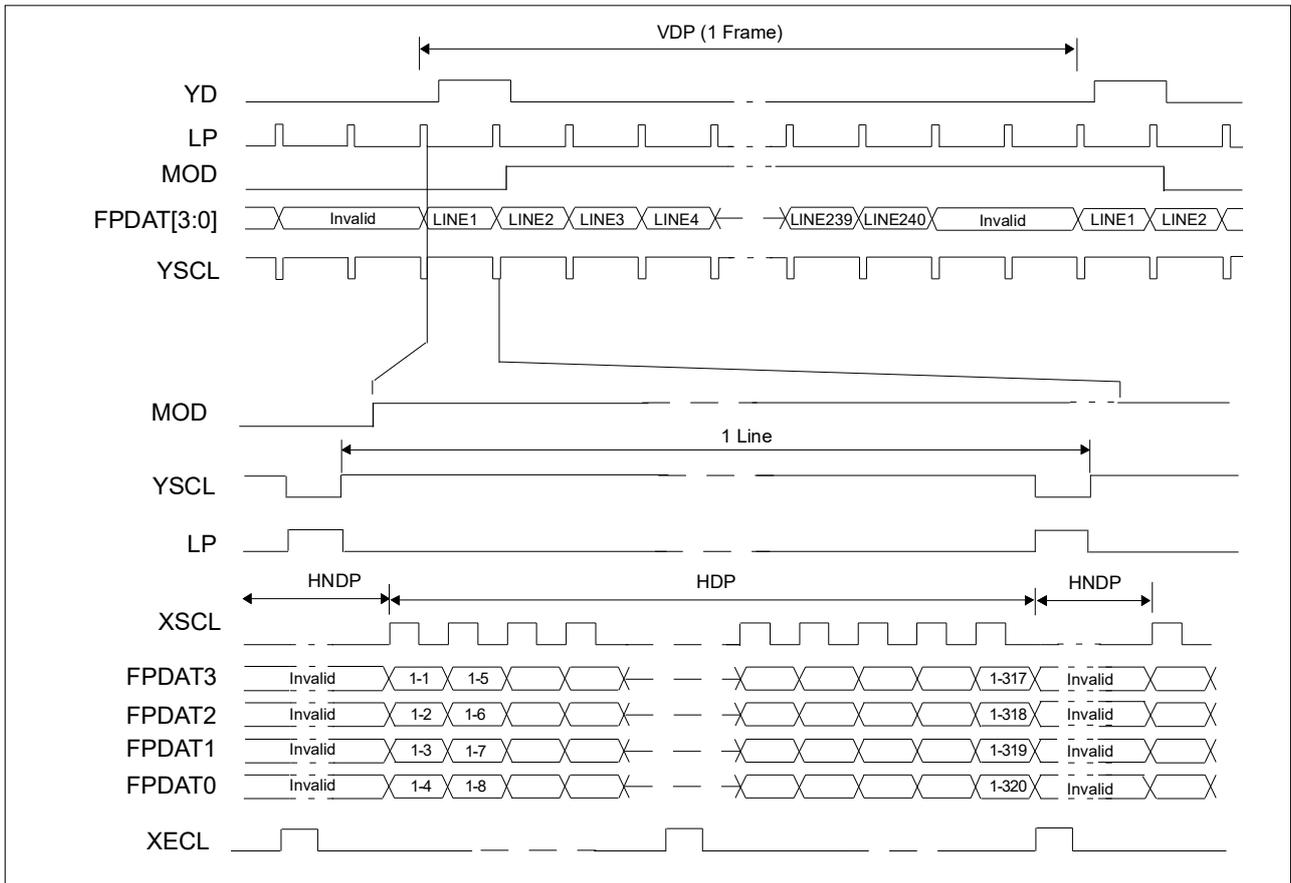
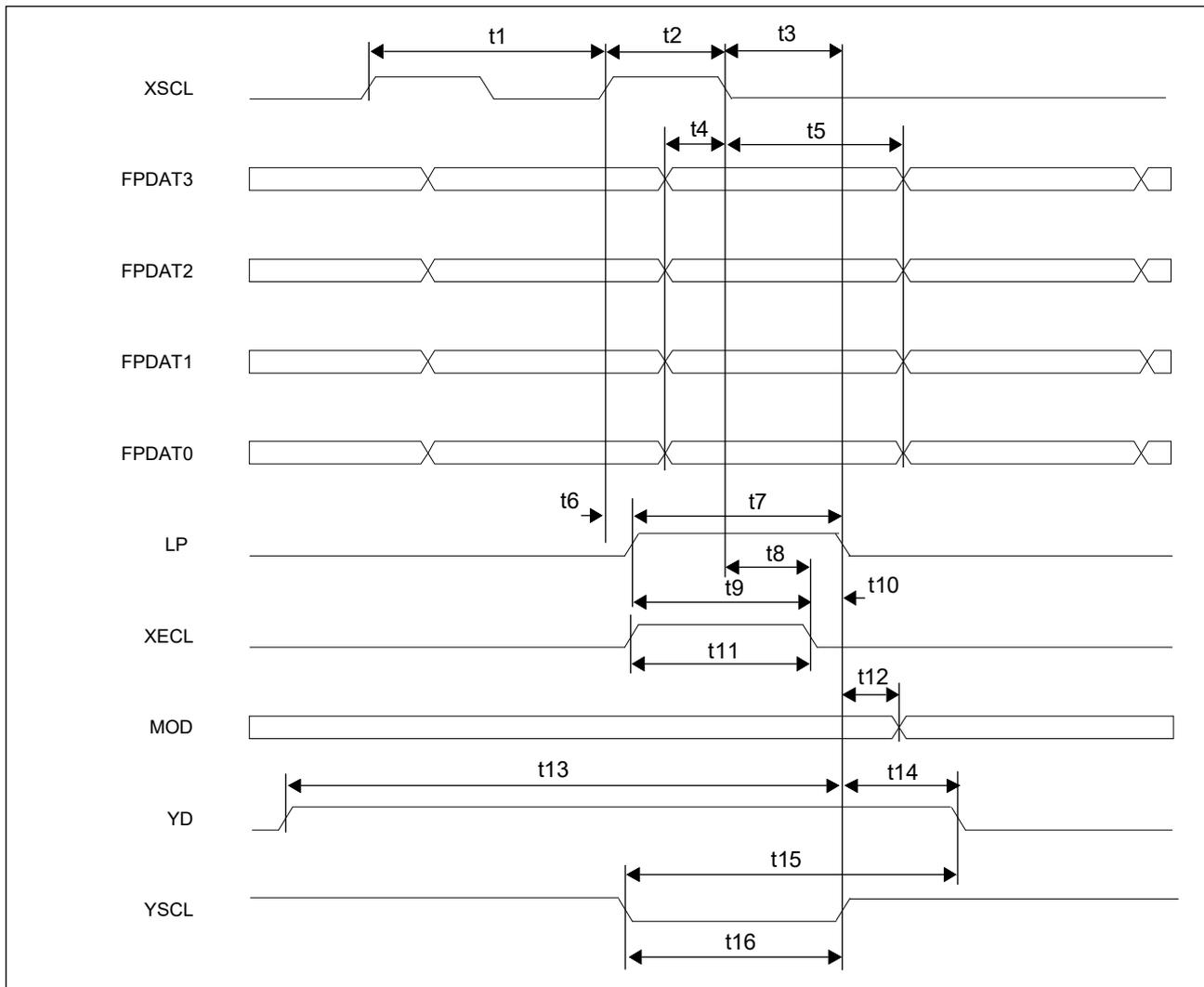


図 7-16: モノクロ 4 ビット STN パネルタイミング



## 7.AC 特性

表 7-15: モノクロ 4 ビットパネルの AC タイミング

Symbol	Parameter	3.3 Volts		5.0 Volts		Units
		Min	Max	Min	Max	
t1	XSCL のサイクルタイム	1	—	1	—	Tc (Note 1)
t2	XSCL のパルス幅	0.5Tc - 5	—	0.5Tc - 4	—	ns
t3	XSCL の立下りエッジからラッチデータのセットアップ時間	0.5Tc - 5	—	0.5Tc - 4	—	ns
t4	XSCL の立下りエッジまでの FPDAT[3:0] のセットアップ	0.5Tc - 5	—	0.5Tc - 4	—	ns
t5	XSCL の立下りエッジからの FPDAT[3:0] のホールド	0.5Tc - 5	—	0.5Tc - 4	—	ns
t6	XSCL の立上りエッジから LP の立上りエッジまでのディレイ	0	4	0	4	ns
t7	ラッチパルス幅	Tc - 5	—	Tc - 4	—	ns
t8	XECL の立下りエッジから XSCL の立下りエッジまでのセットアップ時間	0.25Tc - 5	—	0.25Tc - 4	—	ns
t9	LP 立上りエッジから XECL の立下りエッジまでのセットアップ時間	0.75Tc - 5	—	0.75Tc - 4	—	ns
t10	XECL の立下りエッジから LP の立下りエッジまでのホールド時間	Note 2	—	Note 2	—	ns
t11	XECL のパルス幅	0.75Tc - 5	—	0.75Tc - 4	—	ns
t12	MOD の許容ディレイ時間	—	4	—	4	ns
t13	YDYD の立上りエッジ→ LP の立下りエッジ	2Tc - 10	—	2Tc - 10	—	ns
t14	LP の立下りエッジ→ YD の立下りエッジ	2Tc	—	2Tc	—	ns
t15	YSCL の立下りエッジから YD の立下りエッジまでのホールド時間	3Tc - 10	—	3Tc - 10	—	ns
t16	YSCL のパルス幅	Tc - 5	—	Tc - 4	—	ns

1. Tc = XSCL のサイクルタイム  
 = 4Ts ( CNF[1:0] = 00 のとき)  
 = 8Ts ( CNF[1:0] = 01 のとき)  
 = 16Ts ( CNF[1:0] = 10 のとき)
2. t10min = 0.25Tc - 8

## 7.6.2 TFT-LCD インターフェースタイミング

TFT-LCD フラットパネルディスプレイの駆動に必要なタイミングパラメータを以下に示します。

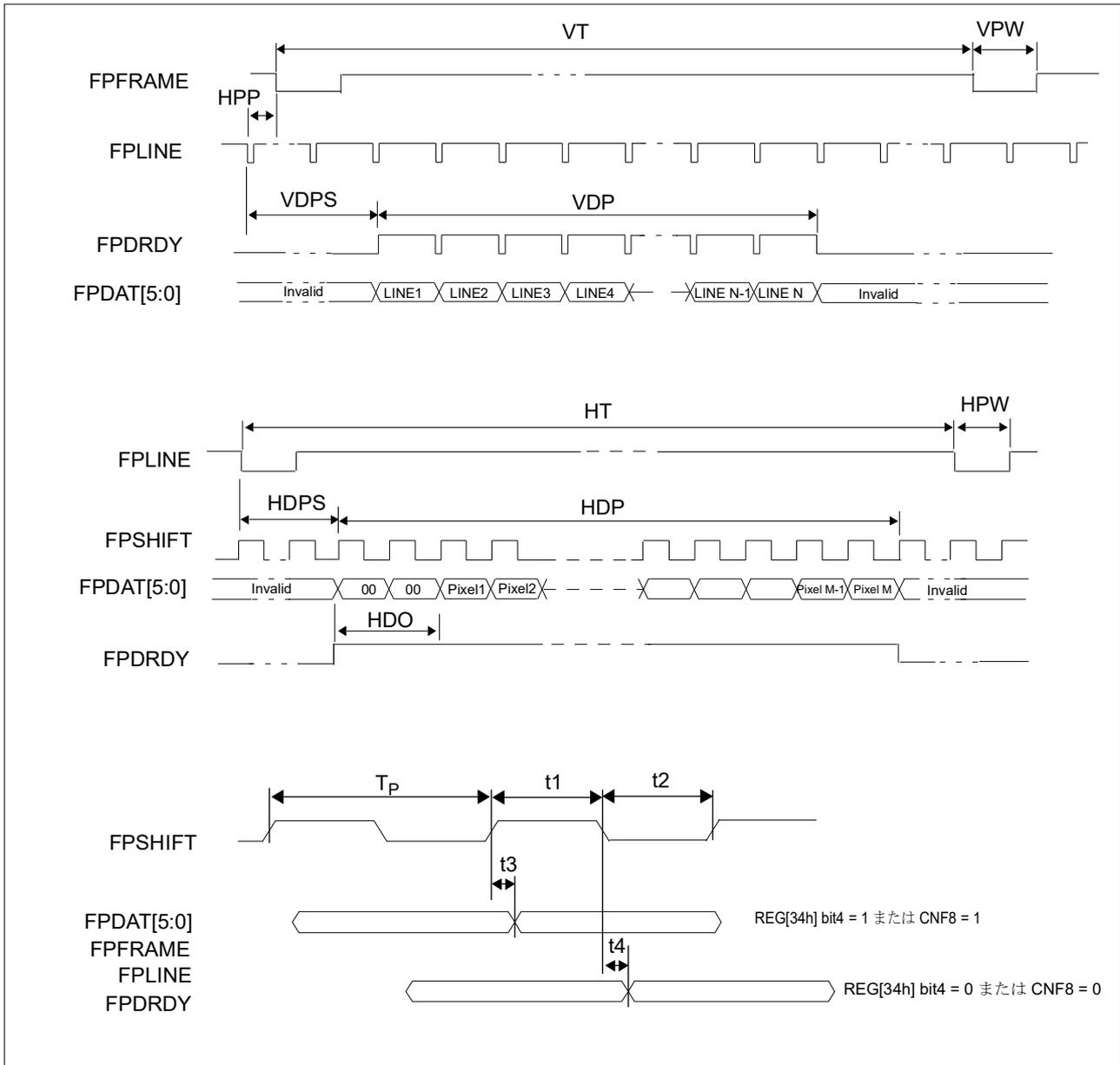


図 7-17: TFT-LCD インターフェースタイミング

## 7.AC 特性

表 7-16: TFT-LCD インターフェースタイミング 1

Symbol	Parameter	3.3 Volts		5.0 Volts		Units
		Min	Max	Min	Max	
T <sub>P</sub>	FPSHIFT クロック周期	28.5	500	28.5	500	ns
f <sub>P</sub>	FPSHIFT 周波数	1/T <sub>P</sub> (Note)				Hz
t1	FPSHIFT パルス high 幅 (REG[73h] bit 6 = 0 or CNF9 = 0)	T <sub>P</sub> x 0.39	T <sub>P</sub> x 0.50	T <sub>P</sub> x 0.45	T <sub>P</sub> x 0.55	ns
	FPSHIFT パルス high 幅 (REG[73h] bit 6 = 1 or CNF9 = 1)	T <sub>P</sub> x 0.39	T <sub>P</sub> x 0.50	T <sub>P</sub> x 0.45	T <sub>P</sub> x 0.55	ns
t2	FPSHIFT パルス low 幅 (REG[73h] bit 6 = 0 or CNF9 = 0)	T <sub>P</sub> x 0.50	T <sub>P</sub> x 0.61	T <sub>P</sub> x 0.45	T <sub>P</sub> x 0.55	ns
	FPSHIFT パルス low 幅 (REG[73h] bit 6 = 1 or CNF9 = 1)	T <sub>P</sub> x 0.50	T <sub>P</sub> x 0.61	T <sub>P</sub> x 0.45	T <sub>P</sub> x 0.55	ns
t3	FPSHIFT の立上りエッジから FPDAT[5:0],FPFRAME, FPLINE および FPDRDY までのディレイ時間 (REG[73h] = 00h or CNF9 = 0)	-4	1	-2	2	ns
	FPSHIFT の立上りエッジから FPDAT[5:0],FPFRAME, FPLINE および FPDRDY までのディレイ時間 (REG[73h] = FFh or CNF9 = 1)	-4	1	-2	2	ns
t4	FPSHIFT の立下りエッジから FPDAT[5:0],FPFRAME, FPLINE および FPDRDY までのディレイ時間 (REG[73h] = 00h or CNF9 = 0)	-2	3	-2	2	ns
	FPSHIFT の立下りエッジから FPDAT[5:0],FPFRAME, FPLINE および FPDRDY までのディレイ時間 (REG[73h] = FFh or CNF9 = 1)	-2	3	-2	2	ns

**注**

$$f_{\text{SYSCLK}} \leq 7 \times f_P$$

f<sub>SYSCLK</sub> は CLKI あるいは水晶振動子の周波数。

表 7-17: TFT-LCD インターフェースタイミング 2

Symbol	Description	Derived From	Min	Max	Units
HT	全水平期間 (FPLINE 期間)	{REG[36h]bits2-0,REG[35h]bits7-0}+1	(Note 2,3)	2048	T <sub>P</sub> (Note1)
HDP	水平表示期間	{REG[38h]bits2-0,REG[37h]bits7-0}+1	64	1280	T <sub>P</sub>
HDPS	水平表示期間開始位置	{REG[3Ah]bits2-0,REG[39h]bits7-0}	16	1280	T <sub>P</sub>
HPW	水平パルス (FPLINE) 幅	(REG[42h] bits 7-0) + 1	1	256	T <sub>P</sub>
HPP	水平パルス (FPLINE) 開始位置	{REG[44h]bits2-0,REG[43h]bits7-0}	0	1279	T <sub>P</sub>
HDO	水平表示オフセット	{REG[4Ah]bits2-0,REG[49h]bits7-0}	0	HDP/2	T <sub>P</sub>
VT	全垂直期間 (FPFRAME 期間)	{REG[3Ch]bits2-0,REG[3Bh]bits7-0}+1	(Note 4)	2048	Lines
VDP	垂直表示期間	{REG[3Eh]bits2-0,REG[3Dh]bits7-0}+1	64	1280	Lines
VDPS	垂直表示期間開始位置	{REG[40h]bits2-0,REG[3Fh]bits7-0}	1	1280	Lines
VPW	垂直パルス (FPFRAME) 幅	(REG[41h] bits 7-0) + 1	1	256	Lines

**注**

1. T<sub>P</sub> = FPSHIFT クロック期間
  2. [HT] ≥ [HDP] + [HDPS] + 1
  3. [HT] ≥ 8 x ([TCR] + 4) x [LF] x T<sub>SYSCLK</sub> ÷ T<sub>P</sub> ÷ [VDP]
  4. [VT] ≥ [VDP] + [VDPS] + {16 x ([TCR] + 4) x T<sub>SYSCLK</sub> ÷ T<sub>P</sub> ÷ [HT]}
- Where:

$T_{\text{SYSCLK}} = \text{CLKI}$  あるいは 水晶振動子のクロック周期  
[TCR] = Total Character Bytes Per Row (REG[04h] - 1)  
[LF] = Frame Height (REG[05h] + 1)

## 8. メモリマッピング

---

### 8. メモリマッピング

S1D13709 は、32K バイトの内蔵 SRAM を搭載しています。メモリは、表示データ、レジスタ、および CGROM に使用されます。

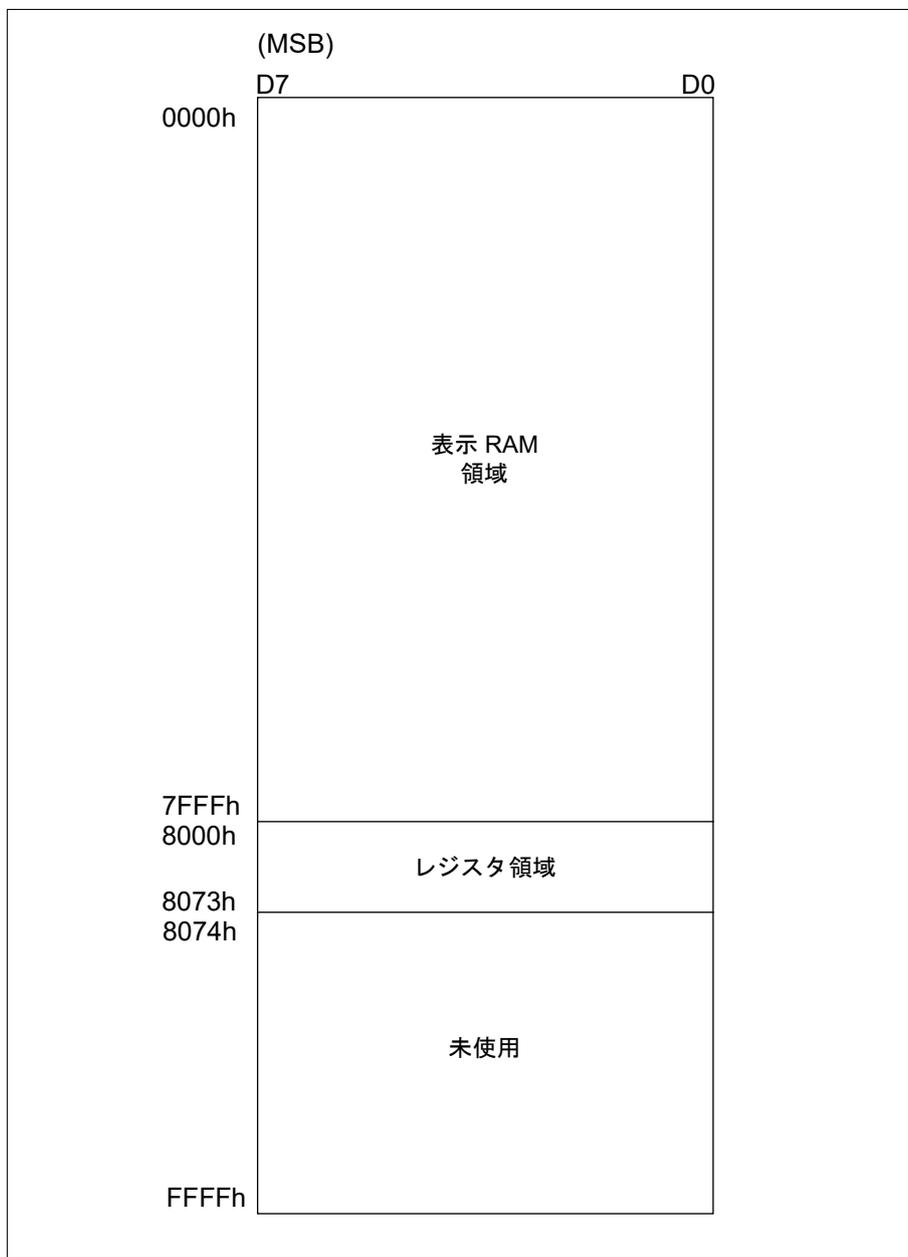


図 8-1: S1D13709 のメモリマッピング

## 9. クロック

## 9.1 クロック図

以下の図は、S1D13709 のクロックツリーを示しています。

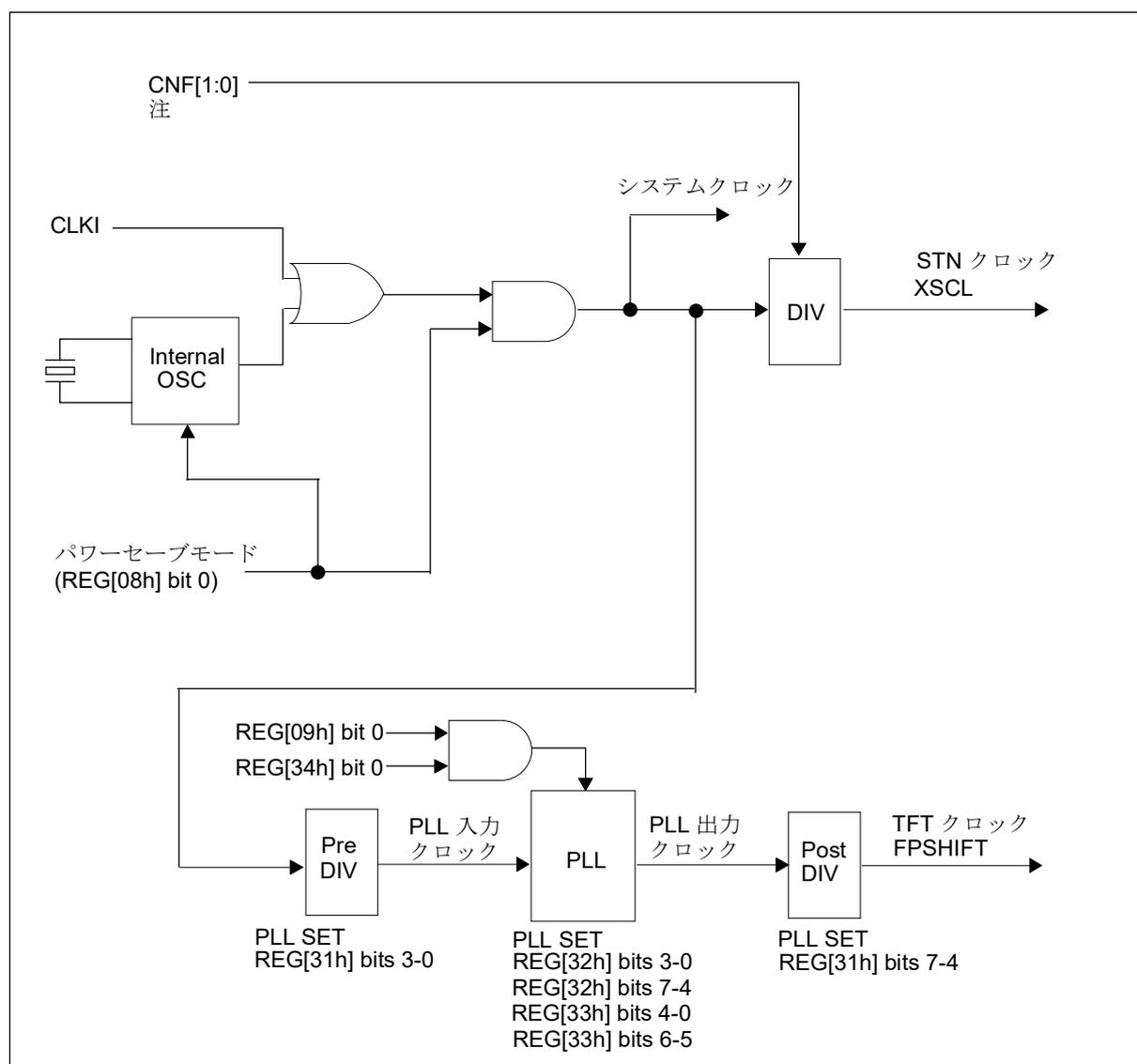


図9-1: クロック図

## 注

FPSHIFT のサイクルタイムは、CNF[1:0] 端子を使用して設定されます。詳細については、20 ページの 5.3 項「構成オプションの要約」を参照してください。

## 9. クロック

### 9.2 クロックの説明

#### 9.2.1 システムクロック

システムクロックの最大周波数は 66MHz です。システムクロックソースは、外部クロックソース（すなわち発振器）、または内部発振器（外部水晶振動子を使用）のいずれでも可能です。外部クロックソースを使用する場合は、水晶振動子入力（XCG1）をプルダウンし、水晶振動子出力（XCD1）を未接続のままにしておく必要があります。内部発振器（外部水晶振動子を使用）を使用する場合は、CLKI 端子をプルダウンする必要があります。

#### 9.2.2 STN クロック

STN クロックである XSCL は内部システムクロックからドライブされます。57 ページの図 9-1「クロック図」. XSCL クロックの最大周波数は 15MHz です。

XSCL は XECL と同期して生成されます。1 ライン間の XSCL クロックのトータル出力は 16 倍となります。

#### 9.2.3 TFT クロック

TFT クロックである FPSHIFT は内部システムクロックや PLL からドライブされます。57 ページの図 9-1「クロック図」. FPSHIFT クロックの最大周波数は 35MHz です。

## 9.3 発振回路

S1D13709 は、発振回路が搭載された設計になっています。安定した発振器は、以下の図に示すように、AT カットの水晶振動子、2 つのコンデンサ、および 2 つの抵抗を XCG1 と XCD1 に接続することによって構成することができます。発振器の周波数が増大した場合、それに比例して Cd と Cg を減少させる必要があります。

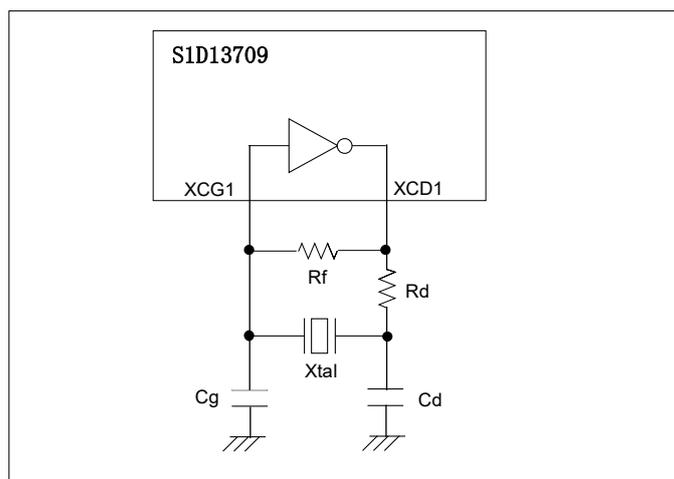


図 9-2: 水晶発振器

表 9-1: 水晶発振回路のパラメータ

記号	Min	Typ	Max	単位
f <sub>osc</sub>	18(注 1, 2)	24	40	MHz

1. TFT インターフェースが使用されているとき (REG[34h] bit 0=1)、最少 OSC 周波数は TFT クロック周波数に依存します。内部クロックの詳細は 54 ページの表 7-16: 項「TFT-LCD インターフェースタイミング 1」を参照してください。
2. TFT インターフェースが使用されていて (REG[34h] bit 0=1) 且つ、4bpp が選択されている場合 (REG[20h] bits 1-0 = 10)、OSC 周波数は 24MHz かそれ以上にする必要があります。

発振特性は回路で使用される構成要素に依存します。(Xtal, Rf, Rd, Cg, Cd, 基盤状況)。以下に発振回路で使用する構成要素例を示します。

表 9-2: 水晶発振回路のパラメータの例

周波数	Rf	Rd	Cg	Cd	Crystal
20MHz	10M $\Omega$	0 $\Omega$	10pF	10pF	EPSON FA-238 20MHz CL=9pF
24MHz	10M $\Omega$	0 $\Omega$	10pF	10pF	EPSON FA-238 24MHz CL=9pF

#### 注

1. 最適な結果を得るためには、この回路に用いられる構成要素の値は、それぞれの特定のアプリケーションに対して評価することをお勧めします。
2. XCG1 と XCD1 への回路基板のラインは、できるだけ短くする必要があります。配線の静電容量によって発振器の周波数が変化したり消費電力が増大したりするのを防ぐためです。

## 10. レジスタ

### 10. レジスタ

#### 10.1 レジスタセット

S1D13709 のレジスタを以下の表に示します。

表 10-1: S1D13709 レジスタ表

Register	Pg	Register	Pg
<b>LCD Register Descriptions (Offset = 8000h)</b>			
<b>System Control Registers</b>			
REG[00h] Memory Configuration Register	62	REG[01h] Horizontal Character Size Register	66
REG[02h] Vertical Character Size Register	68	REG[03h] Character Bytes Per Row Register	68
REG[04h] Total Character Bytes Per Row Register	68	REG[05h] Frame Height Register	69
REG[06h] Horizontal Address Range Register 0	69	REG[07h] Horizontal Address Range Register 1	69
REG[08h] Power Save Mode Register	71		
<b>Display Control Registers</b>			
REG[09h] Display Enable Register	72	REG[0Ah] Display Attribute Register	72
REG[0Bh] Screen Block 1 Start Address Register 0	104	REG[0Ch] Screen Block 1 Start Address Register 1	104
REG[0Dh] Screen Block 1 Size Register	75	REG[0Eh] Screen Block 2 Start Address Register 0	105
REG[0Fh] Screen Block 2 Start Address Register 1	105	REG[10h] Screen Block 2 Size Register	76
REG[11h] Screen Block 3 Start Address Register 0	106	REG[12h] Screen Block 3 Start Address Register 1	106
REG[13h] Screen Block 4 Start Address Register 0	106	REG[14h] Screen Block 4 Start Address Register 1	106
REG[15h] Cursor Width Register	110	REG[16h] Cursor Height Register	82
REG[17h] Cursor Shift Direction Register	83	REG[18h] Overlay Register	84
REG[19h] Character Generator RAM Start Address Register 0	114	REG[1Ah] Character Generator RAM Start Address Register 1	114
REG[1Bh] Horizontal Pixel Scroll Register	115		
<b>Drawing Control Registers</b>			
REG[1Ch] Cursor Write Register 0	116	REG[1Dh] Cursor Write Register 1	116
REG[1Eh] Cursor Read Register 0	117	REG[1Fh] Cursor Read Register 1	117
<b>GrayScale Register</b>			
REG[20h] Bit-Per-Pixel Select Register	91		
<b>Production Register</b>			
REG[30h] Production Code Register	92		
<b>TFT Interface Registers</b>			
REG[31h] TFT PLL Setting Register 0	92	REG[32h] TFT PLL Setting Register 1	94
REG[33h] TFT PLL Setting Register 2	95	REG[34h] TFT Interface Configuration Register	96
REG[35h] TFT Horizontal Total Period Register 0	99	REG[36h] TFT Horizontal Total Period Register 1	99
REG[37h] TFT Horizontal Display Period Register 0	99	REG[38h] TFT Horizontal Display Period Register 1	99
REG[39h] TFT Horizontal Display Period Start Position Register 0	100	REG[3Ah] TFT Horizontal Display Period Start Position Register 1	100
REG[3Bh] TFT Vertical Total Period Register 0	100	REG[3Ch] TFT Vertical Total Period Register 1	100
REG[3Dh] TFT Vertical Display Period Register 0	101	REG[3Eh] TFT Vertical Display Period Register 1	101
REG[3Fh] TFT Vertical Display Period Start Position Register 0	101	REG[40h] TFT Vertical Display Period Start Position Register 1	101

Register	Pg	Register	Pg
REG[41h] TFT FPFAME Pulse Width Register	102	REG[42h] TFT FPLINE Pulse Width Register	102
REG[43h] TFT FPLINE Pulse Position Register 0	102	REG[44h] TFT FPLINE Pulse Position Register 1	102
REG[45h] TFT Horizontal Scale Ratio Register 0	102	REG[46h] TFT Horizontal Scale Ratio Register 1	103
REG[47h] TFT Vertical Scale Ratio Register 0	103	REG[48h] TFT Vertical Scale Ratio Register 1	103
REG[49h] TFT Horizontal Display Offset Register 0	104	REG[4Ah] TFT Horizontal Display Offset Register 1	104
REG[4Bh] Horizontal Pixel Scroll Frame Sync Enable Register	104		
REG[63h] TFT Color Palette 0 Register	105	REG[64h] TFT Color Palette 1 Register	105
REG[65h] TFT Color Palette 2 Register	105	REG[66h] TFT Color Palette 3 Register	105
REG[67h] TFT Color Palette 4 Register	106	REG[68h] TFT Color Palette 5 Register	106
REG[69h] TFT Color Palette 6 Register	106	REG[6Ah] TFT Color Palette 7 Register	106
REG[6Bh] TFT Color Palette 8 Register	106	REG[6Ch] TFT Color Palette 9 Register	107
REG[6Dh] TFT Color Palette 10 Register	107	REG[6Eh] TFT Color Palette 11 Register	107
REG[6Fh] TFT Color Palette 12 Register	107	REG[70h] TFT Color Palette 13 Register	107
REG[71h] TFT Color Palette 14 Register	108	REG[72h] TFT Color Palette 15 Register	108
REG[73h] LCD Pin Output Drive Control Register	108		

## 10. レジスタ

### 10.2 レジスタの制限

すべての予約済みビットは、特に指定されない限り、0 に設定する必要があります。予約済みビットに値を書き込むと、誤動作する場合があります。n/a という印の付いているビットは、ハードウェアに影響を与えません。

### 10.3 レジスタの説明

#### 10.3.1 システム制御レジスタ

以下のレジスタは、S1D13709 の初期設定、ウィンドウサイズの設定、および LCD のインターフェース形式の選択を行います。これらのレジスタを誤って設定すると、他のコマンドが誤って動作するおそれがあります。S1D13709 の初期設定の例については、153 ページの 15.1.3 項「STN インターフェースのための初期設定の例」と 158 ページの 15.1.4 項「TFT インターフェースのための初期化例」を参照してください。

#### SYSTEM SET

SYSTEM SET コマンドは、使用するディスプレイに合わせて、S1D13709 を設定します。また、インダイレクトアドレス指定を使用するとき、パワーセーブモードを終了するのにも使用します。SYSTEM SET コマンドを発行するときには、REG[00h] ~ REG[07h] の値がパラメータとして渡されます。SYSTEM SET コマンドの詳細については、111 ページの 11.1.1 項「SYSTEM SET」を参照してください。

REG[00h] Memory Configuration Register							
アドレス = 8000h		デフォルト = 10h			読み出し / 書き込み		
n/a		画面の原点補正	リザーブ	STN パネル 駆動セレクト	文字の高さ	予約済み	キャラクタ ジェネレータ セレクト
7	6	5	4	3	2	1	0

#### 注

- REG[00h] に書き込むとき、S1D13709 は、自動的に以下の機能を実行します。
- 内部タイミングジェネレータをリセットする
  - 表示をディセーブルにする
  - インダイレクトアドレス指定モードを選択しているとき、パワーセーブモードを完了して終了する

ビット 5

## 画面の原点補正 (IV)

このビットは、反転表示に使用する画面の原点補正を制御するもので、通常は、1に設定します。白ぬき文字を表示する一般的な方法は、グラフィック背景レイヤーとテキストレイヤーの Exclusive-OR 機能を使用します。ただしこれを実行すると、画面の上部や左側の白ぬき文字は読みにくくなります。これは、文字の原点がそのビットマップの左上にあるため、これらの文字の上側や左側に背景ピクセルがなくなってしまうからです。

このビットにより、S1D13709 は、背景レイヤーに対して、テキスト画面に 1 ラインだけオフセットを付加します。テキスト画面を水平にシフトするには、水平ピクセルスクロール機能(インダイレクトアドレス指定の場合、REG[1Bh] または HDOT SCR コマンド)を使用して、テキスト画面の 1～7 ピクセルを右にシフトすることができます。これらの機能の両方をイネーブルにすれば、すべての文字の周囲に適切な背景ピクセルが設けられ、白ぬき文字が読みやすくなります。このビットが 0 の場合、画面の原点補正が行われます。このビットが 1 の場合、画面の原点補正は行われません。

以下の図は、画面の原点補正の例と HDOT SCR コマンドの使用例を示しています。

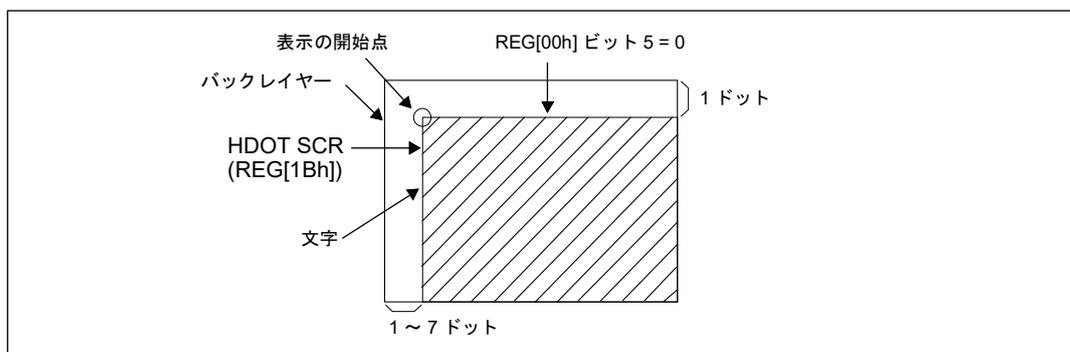


図 10-1: 画面の原点補正と HDOT SCR の調整

## 注

画像の原点補正は CGRAM キャラクタ上では効果はありません。CGRAM キャラクタ画像の原点補正を行う場合は、画像の残りで CGRAM キャラクタを整列させるためには再プログラミングしなければなりません。

ビット 4

リザブ

このビットのデフォルト値は 1 です。

## 10. レジスタ

ビット 3

STN

パネル駆動セレクト (W/S)

このビットは、STN-LCD

パネルの駆動方式を指定します。

このビットが 0

の場合、シングルパネル駆動を選択します。

このビットが 1 の場合、デュアルパネル駆動を選択します。

以下の図は、可能な駆動方式の例を示しています。

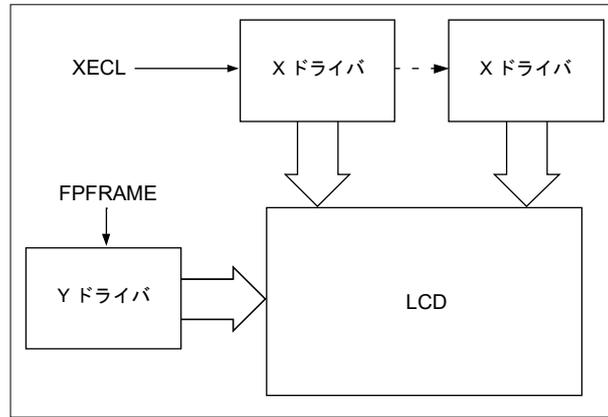


図 10-2: シングルパネル駆動表示

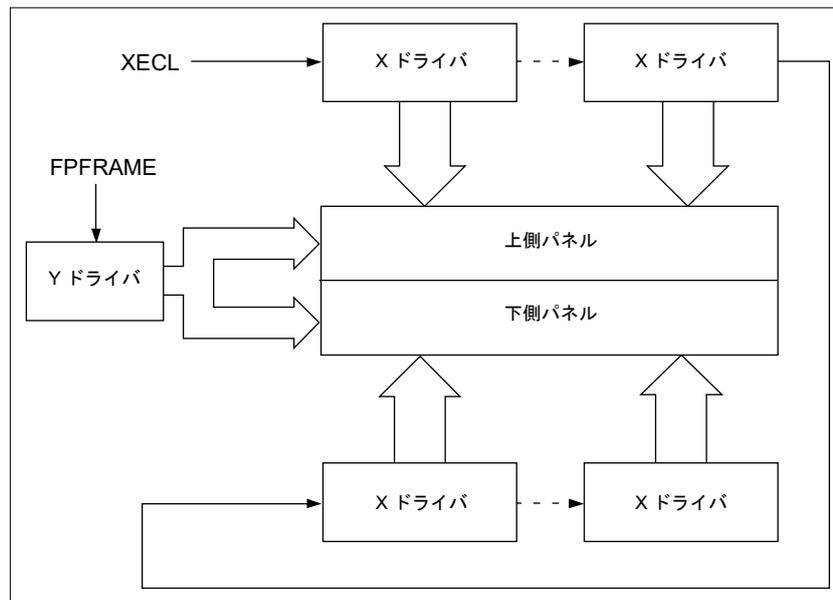


図 10-3: デュアルパネル駆動表示

以下の表は、LCD パネルの正常な動作を確保するために設定しなければならないパラメータの一覧です。

表 10-2: LCD パラメータの一覧

パラメータ	シングルパネル (REG[00h] ビット 3 = 0)		デュアルパネル (REG[00h] ビット 3 = 1)	
	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)	REG[00h] ビット 5 = 1 (IV)
CR	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0	REG[03h] ビット 7 ~ 0
TCR	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0	REG[04h] ビット 7 ~ 0
LF	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0	REG[05h] ビット 7 ~ 0
SL1	00h ~ REG[05h] ビット 7 ~ 0	00h ~ REG[05h] ビット 7 ~ 0 (注を参照)	$[\text{REG}[05\text{h}] \text{ ビット } 7 \sim 0 + 1] \div 2 - 1$	$[\text{REG}[05\text{h}] \text{ ビット } 7 \sim 0 + 1] \div 2 - 1$
SL2	00h ~ REG[05h] ビット 7 ~ 0	00h ~ REG[05h] ビット 7 ~ 0 (注を参照)	$[\text{REG}[05\text{h}] \text{ ビット } 7 \sim 0 + 1] \div 2 - 1$	$[\text{REG}[05\text{h}] \text{ ビット } 7 \sim 0 + 1] \div 2 - 1$
SAD1	第 1 ブロック画面 (開始アドレス = REG[0Bh]、REG[0Ch])			
SAD2	第 2 ブロック画面 (開始アドレス = REG[0Eh]、REG[0Fh])			
SAD3	第 3 ブロック画面 (開始アドレス = REG[11h]、REG[12h])			
SAD4	無効		第 4 ブロック画面 (開始アドレス = REG[13h]、REG[14h])	
カーソルの移動範囲	全画面に対して連続移動可能		上下画面構成: 全画面に対して連続移動可能	

## 注

画面の原点補正は、文字フォントを 1 ピクセル行だけ下側にシフトします。フォントの一番下のピクセル行がブロック画面の一番下にある場合、その行は、REG[00h] ビット 5 = 0 のときに見えなくなります。この不具合を補正するため、SL を 1 つだけ増やすことができます。

ビット 2	文 字 の 高 さ (M2) このビットは、文字ビットマップの高さを選択します。各文字の各部分ごとにビットマップを作成し、グラフィックモードを使用してこれを再配置することにより、16 ピクセルを超える高さの文字を表示することが可能です。このビットが 0 の場合、文字の高さは 8 ピクセルです。このビットが 1 の場合、文字の高さは 16 ピクセルです。
ビット 1	予 約 済 み このビットのデフォルト値は 0 です。
ビット 0	キ ャ ラ ク タ ジ ェ ネ レ ー タ セ レ ク ト (M0) このビットは、内蔵キャラクタジェネレータ ROM (CGROM) によって文字を生成するのか、あるいはキャラクタジェネレータ RAM (CGRAM) によって文字を生成するのかを決定します。CGROM は、5 x 7 ピクセルの 160 文字で構成されています (製造時に固定されます)。CGRAM は、最大 256 のユーザー定義文字で構成されており、CG 開始アドレス (REG[1Ah] ~ REG[19h]) でマッピングされます。ただし CGROM を使用するとき、CGRAM は、最大 8 x 8 ピクセルの 64 文字でのみ構成する こと が で き ま す。このビットが 0 の場合、内蔵 CGROM を選択します。このビットが 1 の場合、内蔵 CGRAM を選択します。

## 10. レジスタ

REG[01h] Horizontal Character Size Register							
アドレス = 8001h		デフォルト = 00h				読み出し / 書き込み	
MOD	n/a			水平文字サイズビット 3 ~ 0			
7	6	5	4	3	2	1	0

ビット 7 M O D  
 このビットは、フレーム交流駆動の波形周期を選択します。MOD は通常、1 に設定し、このビットが 0 の場合、16 ライン交流駆動が選択されます。このビットが 1 の場合、2 フレーム交流駆動が選択されます。

2 フレーム交流駆動では、MOD 期間はフレーム期間の 2 倍です。16 ライン交流駆動では、MOD は 16 ラインごとに反転します。16 ライン交流駆動の方が読みやすい表示ですが、使用する LCD 駆動電圧が高いときや視野角が高いときには、水平ラインが現れることがあります。

### 注

このビットは STN インターフェース (REG[34 h] bit 0 = 0) の時のみ有効です。TFT インターフェースの場合、無効です。

ビット 3 ~ 0 水平文字サイズ (FX) ビット [3:0]  
 これらのビットは、各文字の水平サイズすなわち幅をピクセル単位で定義します。REG[01h] ビット 3 ~ 0 = 水平文字サイズ (ピクセル単位) - 1

S1D13709 は、8 ビット単位で表示データを処理するため、8 ピクセルを超える文字は、2 つのセグメントから形成する必要があります。以下の図は、2 つの 8 ピクセルのセグメントを必要とする文字の例を示しています。この 2 番目の 8 ビットの残りは表示されません。これは、2 番目の画面レイヤーにも適用されます。グラフィックモードでも、標準の文字フィールドは 8 ピクセルです。これより広い文字フィールドを使用する場合、2 番目の 8 ビットの残りは表示されません。

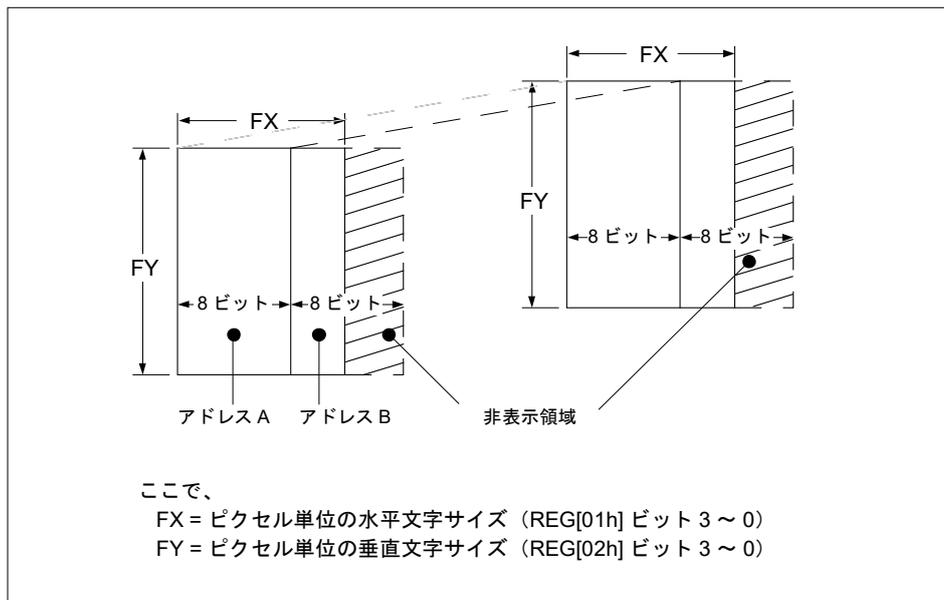


図10-4: 水平および垂直文字サイズの例

## 10. レジスタ

REG[02h] Vertical Character Size Register							
アドレス = 8002h				デフォルト = 00h		読み出し / 書き込み	
7		6		5		4	
		n/a				垂直文字サイズビット 3 ~ 0	
				3		2	
						1	
						0	

ビット 3 ~ 0 垂直文字サイズ (FY) ビット [3:0]  
 これらのビットは、各文字の垂直サイズすなわち高さをピクセル単位で定義します。  
 REG[02h] ビット 3 ~ 0 = 垂直文字サイズ (ピクセル単位) - 1

### 注

[FY]>8 のとき、文字の高さ (M2) は 16 ビットであるべきです。(REG[00h] bit2 = 1)

REG[03h] Character Bytes Per Row Register							
アドレス = 8003h				デフォルト = 00h		読み出し / 書き込み	
7		6		5		4	
						行当たりの文字バイトビット 7 ~ 0	
				3		2	
						1	
						0	

ビット 7 ~ 0 行当たりの文字バイト (CR) ビット [7:0]  
 これらのビットは、各文字行 (すなわち表示ライン) のサイズ (最大 253) をバイト単位で定義します。これらのビットの値は、CR の項で定義されます。CR の項は、149 ページの 15.1.1 項「STN インターフェースのための SYSTEM SET コマンドとパラメータ」で計算されます。  
 REG[03h] ビット 7 ~ 0 = ([CR] x bpp) - 1

REG[04h] Total Character Bytes Per Row Register							
アドレス = 8004h				デフォルト = 00h		読み出し / 書き込み	
7		6		5		4	
						行当たりの総文字バイトビット 7 ~ 0	
				3		2	
						1	
						0	

ビット 7 ~ 0 行当たりの総文字バイト (TCR) ビット [7:0]  
 これらのビットは、水平ブランクを含む 1 ラインの長さ (最大 255) をバイト単位で設定します。これらのビットの値は、TC/R の項で定義されます。TCR の項は、149 ページの 15.1.1 項「STN インターフェースのための SYSTEM SET コマンドとパラメータ」で計算されます。TCR を調整することにより、フレーム期間を一定に保つことができ、また特定の基本発振周波数 (fosc) のジッタを最小限に抑えることができます。  
 REG[04h] ビット 7 ~ 0 = [TCR] - 1

### 注

TC/R は、以下の式が成立するようにプログラミングする必要があります。  

$$\begin{aligned} [TCR] &\geq [CR] + 2 \\ 2 \leq TCR \leq 255 \end{aligned}$$



## 10. レジスタ

以下の図は、「水平アドレス範囲」と「行当たりの文字バイト値」の関係を示しています。

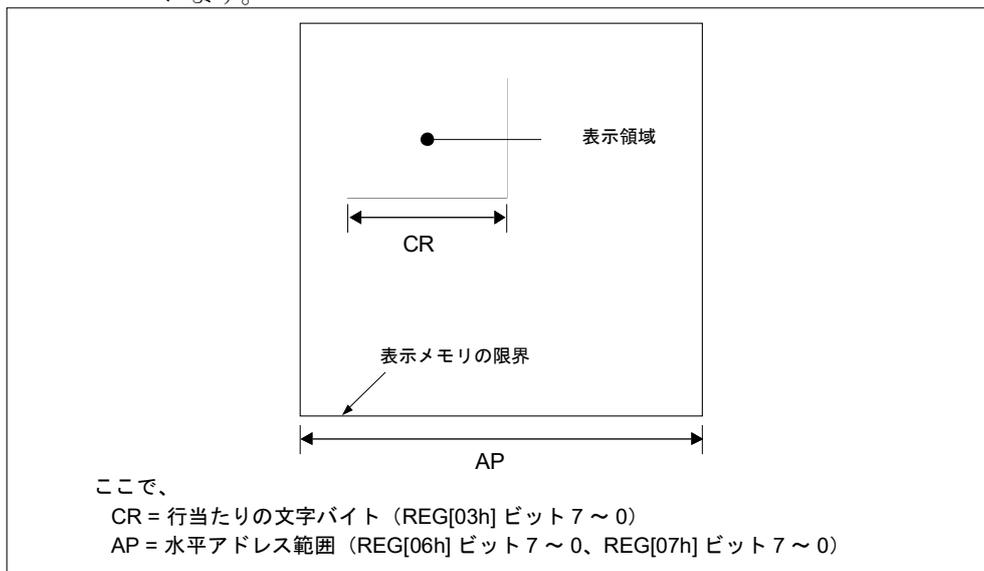


図 10-5: 水平アドレス範囲と行当たりの文字バイトの関係

## POWER SAVE

POWER SAVE コマンドは、インダイレクトアドレス指定を使用するときに、S1D13709 のパワーセーブモードに移行するのに使用します。POWER SAVE コマンドの詳細については、113 ページの 11.1.2 項「POWER SAVE」を参照してください。

## 注

SYSTEM SET コマンドは、インダイレクトアドレス指定を使用するときに、パワーセーブモードを終了するのに使用します。SYSTEM SET コマンドの詳細については、111 ページの 11.1.1 項「SYSTEM SET」を参照してください。

REG[08h] Power Save Mode Register							読み出し / 書き込み
アドレス = 8008h			デフォルト = 01h				
n/a							パワーセーブモード イネーブル 0
7	6	5	4	3	2	1	0

ビット 0

パワーセーブモードイネーブル  
このビットは、ソフトウェアで開始されるパワーセーブモードの状態を制御します。パワーセーブモードがディセーブルのとき、S1D13709 は通常どおり動作しています。パワーセーブモードがイネーブルのとき、S1D13709 は、電力が効率化された状態であり、発振器などのすべての内部動作は停止します。パワーセーブモード時の S1D13709 の状況の詳細については、187 ページの 17. 項「パワーセーブモード」を参照してください。  
このビットが 0 の場合、パワーセーブモードはディセーブルです（注を参照）。このビットが 1 の場合、パワーセーブモードはイネーブルです（デフォルト）。

## 注

パワーセーブモードがイネーブル (REG[08h] ビット 0 = 1) から再びパワーセーブモードをディセーブルする (REG[08h] ビット 0 = 0) には 50mS のウェイト時間が必要です。

## 注

パワーセーブモードをイネーブルにすると、表示イネーブルビット (REG[09h] ビット 0) が自動的にクリアされます。パワーセーブモードをディセーブルにすると、その後、表示を再度オンにするためには表示イネーブルビットを設定 (REG[09h] ビット 0 = 1) する必要があります。

## 10. レジスタ

### 10.3.2 表示制御レジスタ

これらのレジスタは、表示をイネーブル/ディセーブルにし、カーソルとレイヤード画面を制御します。

#### DISP ON/OFF

DISP ON/OFF コマンドは、インダイレクトアドレス指定を使用するとき、表示や表示アトリビュートをイネーブル/ディセーブルするのに使用します。DISP ON/OFF コマンドを発行するときには、REG[0Ah] の値がパラメータとして渡されます。DISP ON/OFF コマンドの詳細については、113 ページの 11.1.3 項「DISP ON/OFF」を参照してください。

REG[09h] Display Enable Register							読み出し / 書き込み
アドレス = 8009h      デフォルト = 00h							
			n/a			表示イネーブル	
7	6	5	4	3	2	1	0

ビット 0      表      示      イ      ネ      ー      ブ      ル  
このビットは、カーソルおよびすべてのレイヤード画面を含む LCD ディスプレイを制御します。表示イネーブルビットは、Display Attribute レジスタ (REG[0Ah]) の各アトリビュートビットよりも優先します。表示がオフ (REG[09h] ビット 0=0) のときの LCD 端子の状態の詳細については、187 ページの表 17-1「パワーセーブモードの状態シーケンス」を参照してください。このビットが 0 の場合、表示はオフです。このビットが 1 の場合、表示はオンです。

#### 注

ディスプレイがオフした後 (REG[09h] ビット 0=0)、表示を再びオン (REG[09h] ビット 0=0) にするには 50ms のウェイト時間が必要です。

REG[0Ah] Display Attribute Register								読み出し / 書き込み
アドレス = 800Ah      デフォルト = 00h								
SAD3 アトリビュートビット 1~0		SAD2 アトリビュートビット 1~0		SAD1 アトリビュートビット 1~0		カーソルアトリビュートビット 1~0		
7	6	5	4	3	2	1	0	

ビット 7~6      SAD3      アトリビュート (FP5      ~      4) ビット      [1:0]  
これらのビットは、以下に示すように第 3 ブロック画面 (SAD3) のアトリビュートを制御します。

表 10-3: 第3 ブロック画面のアトリビュートの選択

第3 ブロック画面 (SAD3)			
REG[0Ah] ビット 7	REG[0Ah] ビット 6	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f <sub>FR</sub> /32Hz でフラッシング (約 2Hz)
			f <sub>FR</sub> /4Hz でフラッシング (約 16Hz)

ビット 5 ~ 4      SAD2      アトリビュート (FP3      ~      2) ビット      [1:0]  
 これらのビットは、第2ブロック画面 (SAD2) のアトリビュートを制御します。またこれらのビットは、パネル駆動セレクトビットをデュアルパネルモード (REG[00h] ビット 3=1) に設定して第4ブロック画面 (SAD4) をイネーブルにしているときの第4ブロック画面 (SAD4) のアトリビュートを制御します。このモードでは、第2ブロック画面 (SAD2) と第4ブロック画面 (SAD4) のアトリビュートは同じ設定値を共有しており、単独で設定することはできません。

表 10-4: 第2/4 ブロック画面のアトリビュートの選択

第2 ブロック画面 (SAD2、SAD4)			
REG[0Ah] ビット 5	REG[0Ah] ビット 4	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f <sub>FR</sub> /32Hz でフラッシング (約 2Hz)
			f <sub>FR</sub> /4Hz でフラッシング (約 16Hz)

ビット 3 ~ 2      SAD1      アトリビュート (FP1      ~      0) ビット      [1:0]  
 これらのビットは、以下に示すように第1ブロック画面 (SAD1) のアトリビュートを制御します。

表 10-5: ブロック画面のアトリビュートの選択

第1 ブロック画面 (SAD1)			
REG[0Ah] ビット 3	REG[0Ah] ビット 2	アトリビュート	
0	0	OFF (ブランク)	
0	1	ON	
1	0		フラッシングなし
1	1		f <sub>FR</sub> /32Hz でフラッシング (約 2Hz)
			f <sub>FR</sub> /4Hz でフラッシング (約 16Hz)



**注**

開始アドレスを変更するとき、MSBの前にLSBをプログラムする必要があります。開始アドレスは、MSBが書き込まれるまで変更されません。

**REG[0Dh] Screen Block 1 Size Register**

アドレス = 800Dh

デフォルト = 00h

読み出し / 書き込み

第1ブロック画面サイズビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

第 1 ブロック画面サイズ (SL1) ビット

[7:0]

これらのビットは、第 1 ブロック画面のサイズをライン単位で決定します。

REG[0Dh] ビット7~0 = 第1ブロック画面サイズ (ライン数) - 1

**注**

ブロック画面開始アドレス (SADx)、ブロック画面サイズ (SLx)、および表示モードの関係は、79 ページの表 10-7 「表示モード」に記載されています。

## 10. レジスタ

<b>REG[0Eh] Screen Block 2 Start Address Register 0</b>								
アドレス = 800Eh				デフォルト = 00h				読み出し / 書き込み
第2ブロック画面開始アドレスビット 7-0 (LSB)								
7	6	5	4	3	2	1	0	

<b>REG[0Fh] Screen Block 2 Start Address Register 1</b>								
アドレス = 800Fh				デフォルト = 00h				読み出し / 書き込み
SAD2の 間接的 アップデート イネーブル	第2ブロック画面開始アドレスビット 14-8 (MSB)							
7	6	5	4	3	2	1	0	

REG[0Fh] ビット 7      SAD2      の間接的アップデートイネーブル  
 このビットはスクロール機能で SAD2 のアップデートを制御します。このビットの詳細は 176 ページの 15.4 項「スムーズな水平スクロール」を参照してください。このビットが 0 の時、SAD2 のアップデートは REG[1Bh] ビット 7 に関係なく表示機能に反映されません。このビットが 1 の時、SAD2 のアップデートは REG[1Bh] ビット 7 が 1 の時のみ、表示機能に反映されます。

REG[0Fh] ビット 6-0, REG[0Eh] ビット 7-0  
 第2ブロック画面開始アドレス (SAD2) ビット [14:0]  
 これらのビットは、第2ブロック画面のメモリ開始アドレスを決定します。

### 注

開始アドレスを変更するとき、MSB の前に LSB をプログラムする必要があります。開始アドレスは、MSB が書き込まれるまで変更されません。

<b>REG[10h] Screen Block 2 Size Register</b>								
アドレス = 8010h				デフォルト = 00h				読み出し / 書き込み
第2ブロック画面サイズビット 7~0								
7	6	5	4	3	2	1	0	

ビット 7~0      第 2 ブロック画面サイズ (SL2) ビット      [7:0]  
 これらのビットは、第2ブロック画面のサイズをライン単位で決定します。  
 REG[10h] ビット 7~0 = 第2ブロック画面サイズ (ライン数) - 1

### 注

ブロック画面開始アドレス (SADx)、ブロック画面サイズ (SLx)、および表示モードの関係は、79 ページの表 10-7 「表示モード」に記載されています。

<b>REG[11h] Screen Block 3 Start Address Register 0</b>								
アドレス = 8011h				デフォルト = 00h				読み出し / 書き込み
第 3 ブロック画面開始アドレスビット 7-0 (LSB)								
7	6	5	4	3	2	1	0	

<b>REG[12h] Screen Block 3 Start Address Register 1</b>								
アドレス = 8012h				デフォルト = 00h				読み出し / 書き込み
SAD3 の間接的 アップデート イネーブル	第 3 ブロック画面開始アドレスビット 14-8 (MSB)							
7	6	5	4	3	2	1	0	

REG[12h] ビット 7      SAD3      の間接的アップデートイネーブル  
 このビットはスクロール機能で SAD3 のアップデートを制御します。このビットの詳細は 176 ページの 15.4 項「スムーズな水平スクロール」を参照してください。このビットが 0 の時、SAD3 のアップデートは REG[1Bh] ビット 7 に関係なく表示機能に反映されません。このビットが 1 の時、SAD3 のアップデートは REG[1Bh] ビット 7 が 1 の時のみ、表示機能に反映されます。

REG[12h] ビット 6-0, REG[11h] ビット 7-0  
 第 3 ブロック画面開始アドレス (SAD3) ビット [14:0]  
 これらのビットは、第 3 ブロック画面のメモリ開始アドレスを決定します。

**注**

開始アドレスを変更するとき、MSB の前に LSB をプログラムする必要があります。開始アドレスは、MSB が書き込まれるまで変更されません。

<b>REG[13h] Screen Block 4 Start Address Register 0</b>								
アドレス = 8013h				デフォルト = 00h				読み出し / 書き込み
第 4 ブロック画面開始アドレスビット 7-0 (LSB)								
7	6	5	4	3	2	1	0	

<b>REG[14h] Screen Block 4 Start Address Register 1</b>								
アドレス = 8014h				デフォルト = 00h				読み出し / 書き込み
SAD4 の間接的 アップデート イネーブル	第 4 ブロック画面開始アドレスビット 14-8 (MSB)							
7	6	5	4	3	2	1	0	

REG[14h] ビット 7      SAD4      の間接的アップデートイネーブル  
 このビットはスクロール機能で SAD4 のアップデートを制御します。このビットの詳細は 176 ページの 15.4 項「スムーズな水平スクロール」を参照してください。このビットが 0 の時、SAD4 のアップデートは REG[1Bh] ビット 7 に関係なく表示機能に反映されません。このビットが 1 の時、SAD4 のアップデートは REG[1Bh] ビット 7 が 1 の時のみ、表示機能に反映されます。

REG[14h] ビット 6-0, REG[13h] ビット 7-0  
 第 4 ブロック画面開始アドレス (SAD4) ビット [14:0]  
 これらのビットは、第 4 ブロック画面のメモリ開始アドレスを決定します。

## 10. レジスタ

---

### 注

開始アドレスを変更するとき、MSBの前にLSBをプログラムする必要があります。  
開始アドレスは、MSBが書き込まれるまで変更されません。

以下の表は、可能な各表示モードに必要な設定を一覧にしたものです。

表 10-7: 表示モード

REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	
0	第 1 ブロック画面	SAD1	SAD2	
	第 2 ブロック画面	SL1	SL2	
	第 3 ブロック画面 (分割画面)	SAD3 (注 1 を参照) 分割画面を使用しない場合、SL1 と SL2 の両方を L/F + 1 に設定します。		
	画面構成例 			
1	第 1 ブロック画面	SAD1, SL1	SAD2, SL2	
	第 2 ブロック画面	SAD3 (注 2 を参照)	SAD4 (注 2 を参照)	
	SL1 と SL2 の両方を $([L/F] \div 2 + 1)$ に設定します。			
	画面構成例 			

## 10. レジスタ

表 10-7: 表示モード (続き)

REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	
0	第 1 ブロック画面	SAD1, SL1	SAD2, SL2	
	第 2 ブロック画面	—	SAD3 (注 2 を参照)	
	SL1 > SL2 に設定			
	画面構成例			
REG[00h] ビット 3 (W/S)	画面	第 1 レイヤー	第 2 レイヤー	第 3 レイヤー
0	3 レイヤー構成	SAD1, SL1 = L/F + 1	SAD2, SL2 = L/F + 1	SAD3
	画面構成例			

### 注

- <sup>1</sup> 第 3 ブロック画面のサイズ(ライン単位)は、最小ライン数のブロック画面のサイズ (SL1 または SL2 のいずれか) に自動的に設定されます。
- <sup>2</sup> SL3 と SL4 に対応するパラメータは、REG[05h] ビット 7 ~ 0 (LF) によって固定されており、設定する必要はありません。
- <sup>3</sup> デュアルパネルを選択した場合 (REG[00h] ビット 3 = 1)、SL1 と  $(LF + 1) \div 2$  の差、および SL2 と  $(LF + 1) \div 2$  の差は、ブランクとなります。

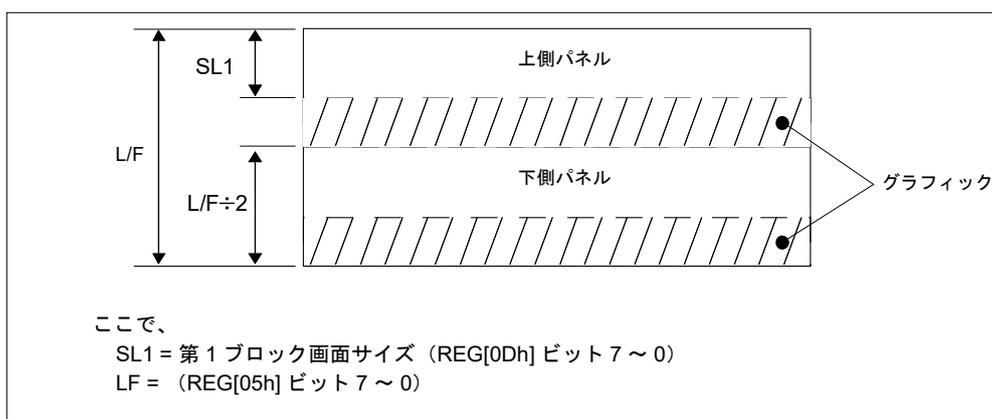


図 10-6: STN デュアルパネルの表示の高さ

## CSRFORM

CSRFORM コマンドは、インダイレクトアドレス指定を使用するときに、S1D13709 のカーソルを設定するのに使用します。CSRFORM コマンドを発行するときには、REG[15h] ~ REG[16h] の値がパラメータとして渡されます。CSRFORM コマンドの詳細については、115 ページの 11.1.5 項「CSRFORM」を参照してください。

カーソルのレジスタは、カーソルのサイズ、形状、および位置を設定するのに使用します。カーソルは通常、テキスト表示にのみ使用しますが、特殊文字を表示するときに、グラフィック表示に使用できます。

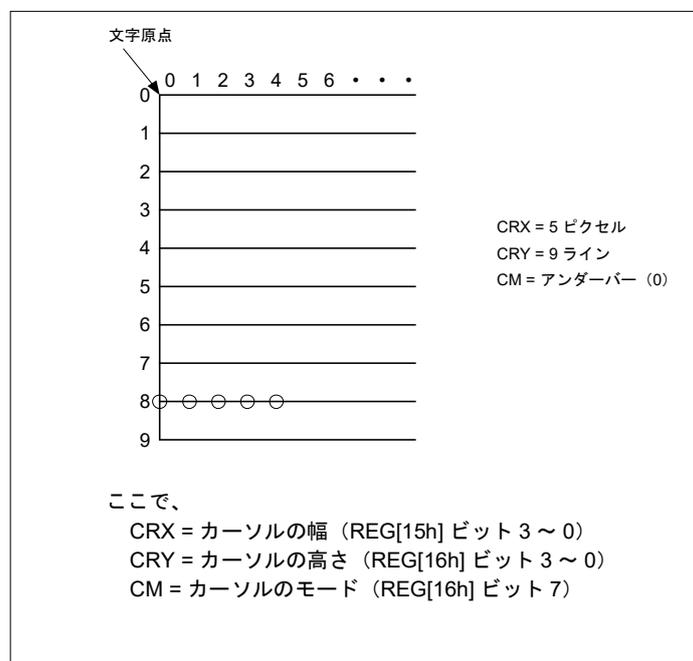


図 10-7: カーソルのサイズと位置

## 10. レジスタ

REG[15h] Cursor Width Register							
アドレス = 8015h		デフォルト = 00h				読み出し / 書き込み	
自動カーソル イネーブルの ディセーブル	n/a			カーソルの幅ビット 3-0			
7	6	5	4	3	2	1	0

ビット 7 自動カーソルイネーブルのディセーブル  
このビットは自動カーソルイネーブル機能を制御します。  
このビットが 0 で、カーソルがオフ (REG[0Ah] ビット 1 ~ 0 = 00b) の時と  
カーソルが自動イネーブル (REG[0Ah] ビット 1 ~ 0 = 01b) の時、表示メモ  
リはホストから読み書きされます。

ビット 3 ~ 0 カーソルの幅 (CRX) ビット [3:0]  
これらのビットは、文字原点からのカーソルの幅 (すなわち水平サイズ) をピクセル  
単位で指定します。詳細は 81 ページの図 10-7 「カーソルのサイズと位置」を参  
照してください。

REG[15h] ビット 3 ~ 0 = カーソルの幅 (ピクセル単位) - 1

### 注

カーソルの幅は、水平文字サイズ以下にする必要があります。  
(REG[16h] ビット 3 ~ 0 ≤ REG[01h] ビット 3 ~ 0)

REG[16h] Cursor Height Register							
アドレス = 8016h		デフォルト = 00h				読み出し / 書き込み	
カーソルのモード	n/a			カーソルの高さビット 3 ~ 0			
7	6	5	4	3	2	1	0

ビット 7 カ ー ソ ル の モ ー ド (CM)  
このビットは、カーソルのモードを決定します。グラフィックモードを選択する  
ときには、このビットを 1 に設定する必要があります。  
このビットが 0 の場合、アンダーバーカーソル ( ) が選択されます。  
このビットが 1 の場合、ブロックカーソル (n) が選択されます。

ビット 3 ~ 0 カーソルの高さ (CRY) ビット [3:0]  
アンダーバーカーソル (REG[16h] ビット 7 = 0) の場合、これらのビットは、文字  
原点からのカーソルの位置をライン単位で設定します。詳細は 81 ページの図 10-7  
「カーソルのサイズと位置」を参照してください。  
ブロックカーソル (REG[16h] ビット 7 = 1) の場合、これらのビットは、文字原点  
からのカーソルの高さ (すなわち垂直サイズ) をライン単位で設定します。詳細は  
81 ページの図 10-7 「カーソルのサイズと位置」を参照してください。

REG[16h] ビット 3 ~ 0 = カーソルの高さ (ライン単位) - 1

### 注

垂直カーソルサイズは、垂直文字サイズ以下にする必要があります。  
(REG[16h] ビット 3 ~ 0 ≤ REG[02h] ビット 3 ~ 0)

## CSRDIR

CSRDIR コマンドは、インダイレクトアドレス指定を使用するときに、カーソルの移動を制御します。CSRDIR コマンドを発行するときには、REG[17h] の値がコマンドの一部として渡されます。CSRDIR コマンドの詳細については、115 ページの 11.1.6 項「CSRDIR」を参照してください。

REG[17h] Cursor Shift Direction Register						読み出し / 書き込み	
アドレス = 8017h				デフォルト = 00h			
7	6	5	4	3	2	1	0
n/a						カーソルシフト方向ビット1~0	

ビット 1 ~ 0

カーソルシフト方向ビット

[1:0]

これらのビットは、メモリにアクセス（リードまたはライト）した後、カーソルが自動的に移動するときの、カーソルの自動インクリメントの方向を設定します。カーソルは、1 文字だけ左右に移動することができ、また、水平アドレス範囲（すなわちアドレスピッチ）REG[06h] ~ REG[07h] で指定したバイト数だけ上下に移動することができます。このカーソルの自動インクリメントによって、表示メモリのリードとライト時に、各リードまたはライトごとに表示メモリアドレスのインクリメントを制御します。

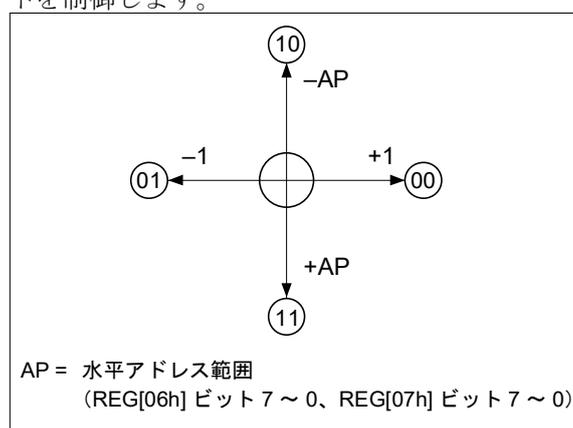


図 10-8: カーソルの方向

表 10-8: カーソルシフト方向

ダイレクトモード		インダイレクト モードコマンド	シフト方向
ビット 1	ビット 0		
0	0	4C	右
0	1	4D	左
1	0	4E	上
1	1	4F	下

## 注

カーソルは水平文字サイズが 9 以上の場合でも (REG[01h] ビット 3 ~ 0 = 9)、アドレス単位で移動するため、文字単位で移動するようにカーソルアドレスのインクリメントをプリセットする必要があります。詳細については、131 ページの 12.3 項「カーソルの制御」を参照してください。

## 10. レジスタ

### OVLAY

OVLAY コマンドは、インダイレクトアドレス指定を使用するときに、レイヤード画面の合成および画面のテキスト/グラフィックモードを選択します。OVLAY コマンドを発行するときには、REG[18h]の値がパラメータとして渡されます。OVLAY コマンドの詳細については、116 ページの 11.1.7 項「OVLAY」を参照してください。

REG[18h] Overlay Register				読み出し / 書き込み			
アドレス = 8018h		デフォルト = 00h					
n/a		3レイヤー 合成セレクト	第3ブロック 画面表示モード	第1ブロック 画面表示モード	レイヤー合成方法ビット1~0		
7	6	5	4	3	2	1	0

ビット 4 3 レイヤー合成セレクト (OV)  
このビットは、3 レイヤーを使用する場合に設定されます。3 レイヤーを使用する場合は、グラフィックモードに限られるため、テキストとグラフィックスが混在している場合には、このビットを 0 に設定する必要があります。このビットが 0 の場合、2 つのレイヤーを使用します。このビットが 1 の場合、3 つのレイヤーを使用します。

ビット 3 第 3 ブロック画面表示モード (DM1)  
このビットは、第 3 ブロック画面の表示モードを決定します。このビットが 0 の場合、第 3 ブロック画面はテキストモードに設定されます。このビットが 1 の場合、第 3 ブロック画面はグラフィックモードに設定されます。

#### 注

第 2 および第 4 ブロック画面は、グラフィックモードのみが選択されます。

#### 注

テキストモードが選択されている場合、1bpp モード (REG[20h] ビット 1 ~ 0=00) のみサポートされます。

ビット 2 第 1 ブロック画面表示モード (DM0)  
このビットは、第 1 ブロック画面の表示モードを決定します。このビットが 0 の場合、第 1 ブロック画面はテキストモードに設定されます。このビットが 1 の場合、第 1 ブロック画面はグラフィックモードに設定されます。

#### 注

第 2 および第 4 ブロック画面は、グラフィックモードのみが選択されます。

#### 注

テキストモードが選択されている場合、1bpp モード (REG[20h] ビット 1 ~ 0=00) のみサポートされます。

ビット 1 ~ 0

レイヤー合成方法 (MX) ビット

[1:0]

これらのビットは、OR、AND、または Exclusive-OR が可能なレイヤード画面の合成方法を選択します。画面合成は、ブロック画面ではなくレイヤー単位で構成されるため、2つのブロック画面に分割されたレイヤーを使用するときには、ブロック画面ごとに異なる合成方法を指定することはできません。

表 10-9: 合成方法の選択

REG[18h] ビット 1	REG[18h] ビット 0	機能	合成方法	応用例
0	0	L1 ∪ L2 ∪ L3	OR	アンダーライン、罫線、テキストとグラフィックの混在
0	1	(L1 ⊕ L2) ∪ L3	Exclusive-OR	白ぬき文字、フラッシング領域、アンダーライン
1	0	(L1 ∩ L2) ∪ L3	AND	簡単なアニメーション、立体表現
1	1	—	—	予約済み

## 注

- L1: 第 1 レイヤー (テキストまたはグラフィック)。  
 テキストを選択した場合、レイヤー L3 は使用できません。
- L2: 第 2 レイヤー (グラフィック限定)
- L3: 第 3 レイヤー (グラフィック限定)

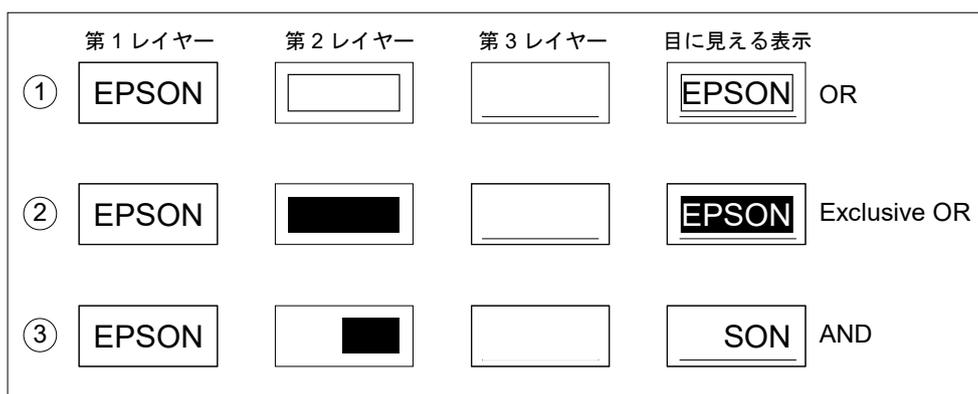


図 10-9: 合成レイヤーの表示例

## 注

- L1: フラッシングなし
- L2: 1Hz でフラッシング
- L3: 2Hz でフラッシング

## 10. レジスタ

### CGRAM ADR

CGRAM ADR コマンドは、インダイレクトアドレス指定を使用するときに、キャラクタージェネレータ RAM (CGRAM) の開始アドレスを設定します。CGRAM ADR コマンドを発行するときには、REG[19h] ~ REG[1Ah] の値がパラメータとして渡されます。CGRAM ADR コマンドの詳細については、116 ページの 11.1.8 項「CGRAM ADR」を参照してください。

REG[19h] Character Generator RAM Start Address Register 0							
アドレス = 8019h		デフォルト = 00h				読み出し / 書き込み	
CGRAM 開始アドレスビット 7-0 (LSB)							
7	6	5	4	3	2	1	0

REG[1Ah] Character Generator RAM Start Address Register 1							
アドレス = 801Ah		デフォルト = 00h				読み出し / 書き込み	
n/a	CGRAM 開始アドレスビット 14-8 (MSB)						
7	6	5	4	3	2	1	0

ビット 14 ~ 0      キャラクタージェネレータ      RAM      開始アドレスビット      [14:0]  
 これらのビットは、キャラクタージェネレータ RAM (CGRAM) のメモリ開始アドレスを決定します。CGRAM に格納された各文字の正確なメモリ開始位置は、文字コードインデックスと文字の高さを乗算した結果をCGRAMの開始アドレスに加算することによって算出できます。

たとえば、CGRAM の開始アドレスが 6000h で、文字コードインデックスが 80h の 8 x 8 文字のアドレスを算出するには、以下の計算を使用できます。

$$\begin{aligned}
 \text{文字の開始} &= (\text{文字コードインデックス} \times \text{文字の高さ}) + \text{CGRAM の開始アドレス} \\
 &= (80\text{h} \quad \times \quad 8) \quad + \quad 6000\text{h} \\
 &= \quad \quad \quad 400\text{h} \quad + \quad 6000\text{h} \\
 &= \quad \quad \quad \quad \quad \quad 6400\text{h}
 \end{aligned}$$

この文字は、RAM のアドレス 6400h から始まり、8 個のメモリ域を使用します。

## HDOT SCR

HDOT SCR コマンドは、インダイレクトアドレス指定を使用するとき、水平スクロール位置を設定します。HDOT SCR コマンドを発行するときには、REG[1Bh] の値がパラメータとして渡されます。HDOT SCR コマンドの詳細については、117 ページの 11.1.9 項「HDOT SCR」を参照してください。

テキスト画面の通常のスクロールでは、文字全体のスクロールしかできません。HDOT SCR コマンドを使えば、テキスト画面で水平ピクセルスクロールが可能となります。HDOT SCR は、個々のレイヤーで使用することはできません。

## 注

HDOT SCR は、1bpp(REG[20h]Bit per pixelselect レジスタビット 1～0=0) でのみ有効です。1bpp を除く全ての表示モードで、0 に設定する必要があります。

REG[1Bh] Horizontal Pixel Scroll Register						
アドレス = 801Bh			デフォルト = 00h			読み出し / 書き込み
SADx アップデートイ ネーブル	n/a					水平ピクセルスクロールビット 2-0
7	6	5	4	3	2	1 0

ビット 7

SADx アップデートイネーブル  
このビットは SAD1、SAD2、SAD3、SAD4 のアップデートをイネーブルにします。スムーズな水平スクロールを行うためには、SAD と水平ピクセルスクロールビットを同時にアップデートすることを推奨します。詳細は 176 ページの 15.4 項「スムーズな水平スクロール」を参照してください。このビットが 0 の場合、SADx はアップデートされません。このビットが 1 の場合、SADx はアップデートされます。

## 注

このビットを 1 に設定する前に、SAD 間接イネーブルビット REG[0Ch] ビット 7、REG[0Fh] ビット 7、REG[12h] ビット 7、REG[14h] ビット 7 を 1 にしておく必要があります。

ビット 2～0

水平ピクセルスクロールビット [2:0]  
これらのビットは、表示をスクロールするときの水平ピクセルの数を指定します。水平ピクセルスクロールを使用するには、行当たりの文字バイト (CR) REG[03h] ビット 7～0 を水平文字の実際の数より 1 つ多い値に設定する必要があります。REG[1Bh] ビット 2～0 の値を繰り返し変更することによって、スムーズなスクロールをシミュレートできます。表示のスクロールの詳細については、142 ページの 12.5.6 項「水平ピクセルスクロール (HDOTSCR)」を参照してください。

## 注

これらのビットを設定する前に、REG[4Bh] ビット 7 はこれらのビットのアップデートタイミングを設定しておく必要があります。

## 10. レジスタ

---

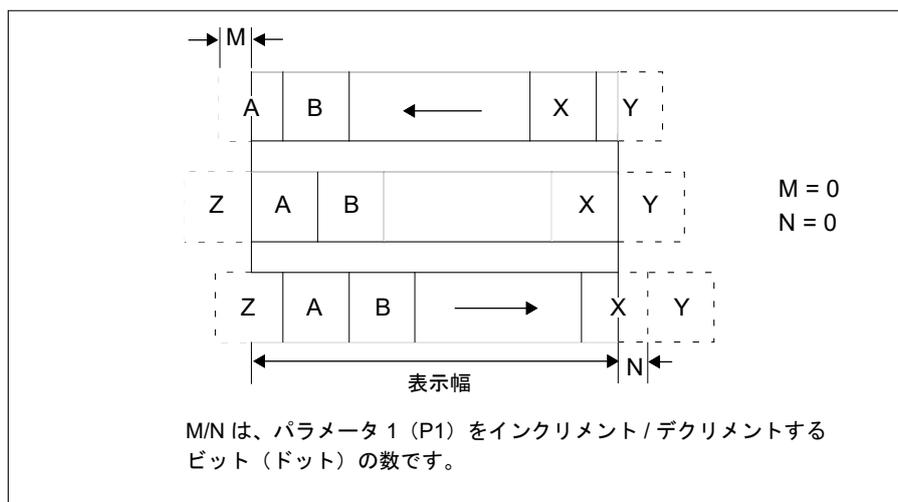


図 10-10: 水平スクロール

## 10.3.3 描画制御レジスタ

## CSRW

CSRW コマンドは、インダイレクトアドレス指定を使用するときに、カーソルアドレスを設定します。CSRW コマンドを発行するときには、REG[1Ch] ~ REG[1Dh] の値がパラメータとして渡されます。CSRW コマンドの詳細については、87 ページの 10.1.10 項「CSRW」を参照してください。

REG[1Ch] Cursor Write Register 0								
アドレス = 801Ch				デフォルト = 00h				書き込みのみ
カーソルライトビット 7-0 (LSB)								
7	6	5	4	3	2	1	0	
REG[1Dh] Cursor Write Register 1								
アドレス = 801Dh				デフォルト = 00h				書き込みのみ
カーソルライトビット 14-8 (MSB)								
n/a	6	5	4	3	2	1	0	
7								

ビット 14 ~ 0

カーソルライト (CSRW) ビット [14:0]  
 これらのビットはインダイレクトアドレス指定モードでのみ有効です。  
 これらのビットは、133 ページの図 12-11「カーソルの移動」に示すように、カーソル位置のデータの表示メモリアドレスを設定します。

**注**

マイクロプロセッサは、インダイレクトアドレス指定モードでは、表示メモリに直接アクセスすることはできません。MREAD および MWRITE コマンドは、インダイレクトモードのとき、このレジスタのアドレスを使用します。カーソルアドレスのレジスタは、CSRW コマンドによって、および MREAD または MWRITE コマンドの後の自動インクリメントによってのみ変更できます。表示のスクロールによる影響は受けません。

新しいアドレスを設定しない場合、表示メモリのアクセスは、最後に設定したアドレスまたは直前の自動インクリメントの後のアドレスから行われます。

## 10. レジスタ

### CSRR

CSRR コマンドは、インダイレクトアドレス指定を使用するときに、カーソルアドレスを読み出します。CSRR コマンドを発行するときには、REG[1Eh] ~ REG[1Fh] の値がパラメータとして渡されます。CSRR コマンドの詳細については、117 ページの 11.1.11 項「CSRR」を参照してください。

<b>REG[1Eh] Cursor Read Register 0</b>								
アドレス = 801Eh				デフォルト = 00h				読み出しのみ
カーソルリードビット 7-0 (LSB)								
7	6	5	4	3	2	1	0	

<b>REG[1Fh] Cursor Read Register 1</b>								
アドレス = 801Fh				デフォルト = 00h				読み出しのみ
カーソルリードビット 14-8 (MSB)								
7	6	5	4	3	2	1	0	

ビット 14 ~ 0

カーソルリード (CSRR) ビット

[14:0]

これらのビットはインダイレクトアドレス指定モードでのみ有効です。これらのビットは、カーソルが現在置かれているメモリアドレスを示します。コマンドを発行した後、データリードアドレスを 2 回読み出します。レジスタの下位バイトで 1 回、次に上位バイトでもう 1 回読み出します。

## 10.3.4 グレースケールレジスタ

## GRayscale

GRAYSCALE コマンドは、インダイレクトアドレス指定を使用するときに、ビット/ピクセル (bpp) 単位でグレースケールの階調を選択します。GRAYSCALE コマンドを発行するときには、REG[20h] の値がパラメータとして渡されます。GRAYSCALE コマンドの詳細については、118 ページの 11.1.12 項「GRAYSCALE」を参照してください。

REG[20h] Bit-Per-Pixel Select Register						読み出し / 書き込み	
アドレス = 8020h			デフォルト = 00h				
7	6	5	4	3	2	1	0
n/a						ビット/ピクセルセレクトビット1~0	

ビット 1 ~ 0                      ビット                      /                      ピクセルセレクトビット                      [1:0]  
 これらのビットは、以下に示すようにビット/ピクセルのモードを選択します。

表 10-10: ビット/ピクセルの選択

REG[20h] ビット 1 ~ 0	ビット/ピクセル
00	1
01	2
10	4
11	予約済み

**注**

テキストモードは 1bpp のみです。REG[18h] ビット 3、ビット 2 でテキストモードが選択されている場合、これらのビットは 0 に設定してください。

**注**

2bpp、4bpp が選択されている場合、水平文字サイズ REG[01h] ビット 3 ~ 0 は 7h に設定し、水平ピクセルスクロールビット REG[1Bh] ビット 2 は 0 に設定する必要があります。

**注**

グラフィック画面とグレースケールを有するグラフィック画面は、両方の階層が同じ色深度で設定されていれば重ねられます。たとえばこのビットが 01 であるなら、1 階層と 2 階層は 2bpp となります。

## 10. レジスタ

### 10.3.5 製品コードレジスタ

#### ID

ID コマンドは S1D13709 の製品コードをリードします。ID コマンドの詳細は 118 ページの 11.1.13 項「ID」を参照してください。

REG[30h] Production Code Register								
アドレス = 8030h				デフォルト = 59h				読み出しのみ
製品コードビット 7-0								
7	6	5	4	3	2	1	0	

ビット 7-0 製品コードビット [7:0] (読み取り専用)  
これらのビットは読み取り専用で、製品コードを示します。S1D13709 の製品コードは 59h です。

### 10.3.6 TFT インターフェースレジスタ

TFT カラーパレットレジスタ REG[31h] ~ [4Ah] を除き全ての TFT インターフェースレジスタは TFT-LCD が表示されている間 (REG[09h] ビット 0 = 1 で REG[34h] ビット 0 = 1) 変更してはいけません。

#### PLL SET

PLLSET コマンドは TFT インターフェースのクロックを発生させる PLL のパラメータを設定します。PLLSET コマンドが発行されると REG[31h] ~ [33h] のレジスタの値がパラメータとして渡されます。PLLSET コマンドの詳細は 118 ページの 11.1.14 項「PLL SET」を参照してください。

REG[31h] TFT PLL Setting Register 0								
アドレス = 8031h				デフォルト = E1h				読み出し / 書き込み
PLL クロック出力分周選択ビット 3-0				PLL 入力クロック分周選択ビット 3-0				
7	6	5	4	3	2	1	0	

ビット 7-4 PLL クロック出力分周選択ビット [3:0]  
これらのビットは PLL 出力クロックや TFT クロックの分周レートを決定するビットです。

表 10-11: PLL 出力クロック分周レート選択

REG[31h] bits 7-4	Divide Ratio (POR)
0h	1
1h	2
2h	3

表 10-11: PLL 出力クロック分周レート選択

REG[31h] bits 7-4	Divide Ratio (POR)
...	...
Dh	14
Eh	15
Fh	16

**注**

この TFT クロック周波数 ( $f_p$ ) は 2MHz から 35MHz の間でなければなりません。

$$f_{\text{PLLI}} = f_{\text{SYSCLK}} / \text{PIR}$$

$$f_{\text{PLLO}} = f_{\text{PLLI}} \times N$$

$$f_{\text{VCO}} = f_{\text{PLLO}} \times V$$

$$f_p = f_{\text{PLLO}} / \text{POR}$$

$f_{\text{SYSCLK}}$  = システムクロック周波数 (CLKI あるいは水晶振動子)  
 $f_{\text{PLLI}}$  = PLL 入力クロック周波数  
 $f_{\text{PLLO}}$  = PLL 出力クロック周波数  
 $f_{\text{VCO}}$  = VCO クロック周波数  
 $f_p$  = TFT クロック周波数 (FPSHIFT)  
 PIR = PLL 入力クロック分周レート (REG[31h] ビット 3 ~ 0)  
 N = N- カウンター (REG[32h] ビット 3 ~ 0)  
 V = V- 分周 (REG[33h] ビット 6 ~ 5)

ビット 3-0

PLL 入力クロック分周選択ビット [3:0]

これらのビットはシステムクロック (CLKI あるいは水晶振動子) や実際に PLL に入力されるクロック間シの分周レートを決定します。

表 10-12: PLL 入力クロック分周レート選択

REG[31h] bits 3-0	Divide Ratio (PIR)
0h	1
1h	2
2h	3
...	...
Ah	11
Bh	12
Ch	13
Ch - Fh	Reserved

**注**

PLL に与える入力クロック PLL ( $f_{\text{PLLI}}$ ) は 5MHz ~ 66MHz までです。

$$f_{\text{PLLI}} = f_{\text{SYSCLK}} / \text{PIR}$$

$f_{\text{SYSCLK}}$  = システムクロック (CLKI あるいは水晶振動子) の周波数  
 $f_{\text{PLLI}}$  = PLL 入力クロック周波数

## 10. レジスタ

REG[32h] TFT PLL Setting Register 1								
アドレス = 8032h				デフォルト = 99h				読み出し / 書き込み
PLL RS ビット 3-0				PLL N- カウンタービット 3-0				
7	6	5	4	3	2	1	0	

ビット 7-4                    PLL RS ビット [3:0]  
 これらのビットは PLL を構成するための RS 値を指定します。また、このビットは PLL の入力クロックに応じて設定されます。

表 10-13: PLL RS 選択

PLL Input Clock Frequency ( $f_{\text{PLLI}}$ )	REG[32h] bits 7-4 (RS)
$5\text{M} \leq f_{\text{PLLI}} < 20\text{MHz}$	9h
$20\text{M} \leq f_{\text{PLLI}} < 50\text{MHz}$	7h
$50\text{M} \leq f_{\text{PLLI}} \leq 66\text{MHz}$	5h

bits 3-0                    PLL N- カウンタービット [3:0]  
 これらのビットは PLL を構成するための N- カウンター値を指定します。また、このビットは PLL の出力周波数を決定します。

表 10-14: PLL N- カウンター選択

REG[32h] bits 3-0	N-Counter (N)
0h	1
1h	2
2h	3
...	...
Dh	14
Eh	15
Fh	16

**注**  
 PLL 出力クロック ( $f_{\text{PLLO}}$ ) は 20MHz ~ 110MHz の間で設定します。

$$f_{\text{PLLI}} = f_{\text{SYSCLK}} / \text{PIR}$$

$$f_{\text{PLLO}} = f_{\text{PLLI}} \times N$$

$f_{\text{SYSCLK}}$  = システムクロック周波数 (CLKI あるいは水晶振動子)  
 $f_{\text{PLLI}}$  = PLL 入力クロック周波数  
 $f_{\text{PLLO}}$  = PLL 出力クロック周波数  
 PIR = PLL 入力クロック分周レート (REG[31h] ビット 3-0)

REG[33h] TFT PLL Setting Register 2							
アドレス = 8033h				デフォルト = 24h		読み出し / 書き込み	
リザーブ	PLL V- カウンタービット 1-0			PLL VC ビット 4-0			
7	6	5	4	3	2	1	0

ビット 7                   リザーブ  
このビットはリザーブです。デフォルト値を変更しないでください。デフォルト値は 0b です。

ビット 6-5               PLL V- 分周ビット [1:0]  
これらのビットは PLL を構成する V- ドライバ値を指定します。また、このビットは VCO クロック周波数を決定します。

表 10-15: PLL V- 分周選択

REG[33h] bits 6-5	V-Divider (V)
00	Reserved
01	2
10	4
11	8

**注**  
VCO クロック周波数 ( $f_{VCO}$ ) は 100MHz から 400MHz の間で設定します。

$$f_{PLLI} = f_{SYSCLK} / PIR$$

$$f_{PLLO} = f_{PLLI} \times N$$

$$f_{VCO} = f_{PLLO} \times V$$

$f_{SYSCLK}$  = システムクロック周波数 (CLKI あるいは水晶振動子)  
 $f_{PLLI}$  = PLL 入力クロック周波数  
 $f_{PLLO}$  = PLL 出力クロック周波数  
 $f_{VCO}$  = VCO クロック周波数  
PIR = PLL 入力クロック分周レート (REG[31h] ビット 3 ~ 0)  
N = N- カウンター (REG[32h] ビット 3 ~ 0)

ビット 4-0               PLL VC ビット [4:0]  
このビットは PLL を構成する VC 値を指定します。また、このビットは VCO クロック周波数に応じて設定されます。

表 10-16: PLL VC 選択

VCO Clock Frequency ( $f_{VCO}$ )	REG[33h] bits 4-0 (VC)
$100M \leq f_{VCO} < 110MHz$	1h
$110M \leq f_{VCO} < 145MHz$	2h
$145M \leq f_{VCO} < 180MHz$	3h
$180M \leq f_{VCO} < 215MHz$	4h
$215M \leq f_{VCO} < 250MHz$	5h

## 10. レジスタ

表 10-16: PLL VC 選択

VCO Clock Frequency ( $f_{VCO}$ )	REG[33h] bits 4-0 (VC)
$250M \leq f_{VCO} < 285MHz$	6h
$285M \leq f_{VCO} < 320MHz$	7h
$320M \leq f_{VCO} < 350MHz$	9h
$350M \leq f_{VCO} < 375MHz$	Bh
$375M \leq f_{VCO} < 400MHz$	Ch

### TFT-IF SET 1

TFT-IF SET 1 コマンド TFT インターフェースを構成するために使用されま  
す。TFT-IF SET 1 コマンドが発行されると REG[34h] のレジスタの値がパラ  
メータとして渡されます。TFT-IF SET1 コマンドの詳細は 119 ページの  
11.1.15 項「TFT-IF SET 1」を参照してください。

REG[34h] TFT Interface Configuration Register							読み出し / 書き込み
アドレス = 8034h		デフォルト = 24h					
FPFRAME 極性選択	FPLINE 極性選択	FPDRDY 極性選択	FPSHIFT 極性選択	リザーブ	TFT アップ スケーラー方式 選択ビット	TFT カラーモード 選択	TFT インターフェース イネーブル
7	6	5	4	3	2	1	0

- ビット 7      FPFRAME 極性選択  
このビットは FPFRAME の極性を選択します。  
このビットが 0 の時、FPFRAME はアクティブ low (デフォルト) です。  
このビットが 1 の時、FPFRAME はアクティブ high です。
- ビット 6      FPLINE 極性選択  
このビットは FPLINE の極性を選択します。  
このビットが 0 の時、FPLINE はアクティブ low (デフォルト) です。  
このビットが 1 の時、FPLINE はアクティブ high です。
- ビット 5      FPDRDY 極性選択  
このビットは FPDRDY の極性を選択します。  
このビットが 0 の時、FPDRDY はアクティブ low です。  
このビットが 1 の時、FPDRDY はアクティブ high (デフォルト) です。
- ビット 4      FPSHIFT 極性選択  
このビットは FPSHIFT の極性を選択します。  
このビットが 0 の時、FPDAT[5:0]、FPFRAME、FPLINE、FPDRDY は  
FPSHIFT の立下りエッジで変化します。(デフォルト)  
このビットが 1 の時、FPDAT[5:0]、FPFRAME、FPLINE、FPDRDY は  
FPSHIFT の立上りエッジで変化します。
- ビット 3      リザーブ  
このビットはリザーブです。デフォルト値を変化させないでください。デ  
フォルト値は 0b です。

ビット 2 TFT アップスケーラー方式選択ビット  
 このビットは TFT アップスケーラ方式を選択します。  
 このビットが 0 の時、バイリニア方式が選択されます。  
 このビットが 1 の時、ニアリストイネーバー方式が選択されます。(デフォルト)

**注**

色深度が 1bpp、2bpp が選択されている場合、ニアリストイネーバー方式を推奨します。

色深度が 4bpp を選択されている場合、バイリニア方式を推奨します。

ビット 1 TFT カラーモード選択  
 このビットは TFT カラーモードを選択します。  
 このビットが 0 の場合、グレイスケールモードが選択されます。  
 このビットが 1 の場合、カラーパレットモードが選択されます。

表 10-17: グレイスケールモード (REG[34h] ビット 1 = 0)

Bit-Per-Pixel (REG[20h] bits 1-0)	Pixel Data	FPDAT[3:0] (FPDAT[5:4] are not used)
1 bpp	0	LLLL
	1	HHHH
2 bpp	00	LLLL
	01	LHLH
	10	HLHL
	11	HHHH
4 bpp	0000	LLLL
	0001	LLLH
	0010	LLHL
	0011	LLHH
	:	:
	1101	HHLH
	1110	HHHL
	1111	HHHH

**注**

FPDAT 端子の詳細な接続情報は 7 ページの図 3-6: 項「S1D13709 と TFT-LCD の接続例 (Gray Scale Mode, REG[34h]bit1 = 0)」を参照してください。

## 10. レジスタ

表 10-18: カラーパレットモード (REG[34h] bit1 = 1)

Bit-Per-Pixel (REG[20h] bits 1-0)	Pixel Data	FPDAT[5:0]
1 bpp	0	REG[63h] bits 5-0
	1	REG[64h] bits 5-0
2 bpp	00	REG[63h] bits 5-0
	01	REG[64h] bits 5-0
	10	REG[65h] bits 5-0
	11	REG[66h] bits 5-0
4 bpp	0000	REG[63h] bits 5-0
	0001	REG[64h] bits 5-0
	0010	REG[65h] bits 5-0
	0011	REG[66h] bits 5-0
	0100	REG[67h] bits 5-0
	0101	REG[68h] bits 5-0
	0110	REG[69h] bits 5-0
	0111	REG[6Ah] bits 5-0
	1000	REG[6Bh] bits 5-0
	1001	REG[6Ch] bits 5-0
	1010	REG[6Dh] bits 5-0
	1011	REG[6Eh] bits 5-0
	1100	REG[6Fh] bits 5-0
	1101	REG[70h] bits 5-0
	1110	REG[71h] bits 5-0
	1111	REG[72h] bits 5-0

### 注

FPDAT 端子の詳細な接続情報は 7 ページの図 3-7: 項「S1D13709 と TFT-LCD の接続例 (Color Palette Mode, REG[34h]bit1 = 1)」を参照してください。

### ビット 0

TFT インターフェースイネーブル

このビットは TFT インターフェースをイネーブルにします。

このビットが 0 の場合、TFT-LCD インターフェースはディセーブルです。

(STN-LCD はイネーブルです。)

このビットが 1 の場合、TFT-LCD インターフェースはイネーブルです。

## TFT-IF SET 2

TFT-IF SET 2 コマンドは TFT インターフェースを設定するために使用します。TFT-IF SET 2 コマンドが発行されると、REG[34h] から REG[4Ah] のレジスタの値がパラメータとして渡されます。TFT-IF SET 2 のコマンドの詳細は 119 ページの 11.1.16 項「TFT-IF SET 2」を参照してください。

REG[35h] TFT Horizontal Total Period Register 0								
アドレス = 8035h				デフォルト = 97h				読み出し / 書き込み
TFT トータル水平期間ビット 7-0								
7	6	5	4	3	2	1	0	

REG[36h] TFT Horizontal Total Period Register 1								
アドレス = 8036h				デフォルト t = 01h				読み出し / 書き込み
n/a			リザーブ		TFT トータル水平期間ビット 10-8			
7	6	5	4	3	2	1	0	

REG[35h] ビット 7 ~ 0

REG[36h] ビット 2 ~ 0 TFT トータル水平期間ビット [ 10:0]

これらのビットは、TFT インターフェースのトータル水平期間や FPLINE 期間を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェース タイミング」を参照してください。

{REG[36h] ビット 2 ~ 0, REG[35h] ビット 7 ~ 0} = [HT] - 1

ビット 3

リザーブ

このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

REG[37h] TFT Horizontal Display Period Register 0								
アドレス = 8037h				デフォルト = 3Fh				読み出し / 書き込み
TFT 水平表示期間ビット 7-0								
7	6	5	4	3	2	1	0	

REG[38h] TFT Horizontal Display Period Register 1								
アドレス = 8038h				デフォルト = 01h				読み出し / 書き込み
n/a			リザーブ		TFT 水平表示期間ビット 10-8			
7	6	5	4	3	2	1	0	

REG[37h] ビット 7 ~ 0

REG[38h] ビット 2 ~ 0 TFT 水平表示期間ビット [ 10:0]

これらのビットは TFT インターフェースの水平表示期間 (HDP) を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェース タイミング」を参照してください。

{REG[38h] bits 2-0, REG[37h] bits 7-0} = [HDP] in pixels - 1

ビット 3

リザーブ

このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

## 10. レジスタ

<b>REG[39h] TFT Horizontal Display Period Start Position Register 0</b>							
アドレス = 8039h				デフォルト = 46h		読み出し / 書き込み	
TFT 水平表示期間開始位置ビット 7-0							
7	6	5	4	3	2	1	0

<b>REG[3Ah] TFT Horizontal Display Period Start Position Register 1</b>							
アドレス = 803Ah				デフォルト = 00h		読み出し / 書き込み	
n/a				リザーブ		TFT 水平表示期間開始位置ビット 10-8	
7	6	5	4	3	2	1	0

REG[39h] ビット 7 ~ 0

REG[3Ah] ビット 2 ~ 0TFT 水平表示期間開始位置ビット [ 10:0]  
 これらのビットは TFT インターフェースで水平表示期間開始位置 (HDPS) を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェース タイミング」を参照してください。  
 {REG[3Ah] ビット 2 ~ 0, REG[39h] ビット 7 ~ 0} = [HDPS]

ビット 3 リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

<b>REG[3Bh] TFT Vertical Total Period Register 0</b>							
アドレス = 803Bh				デフォルト = 07h		読み出し / 書き込み	
TFT トータル垂直期間ビット 7-0							
7	6	5	4	3	2	1	0

<b>REG[3Ch] TFT Vertical Total Period Register 1</b>							
アドレス = 803Ch				デフォルト = 01h		読み出し / 書き込み	
n/a				リザーブ		TFT トータル垂直期間ビット 10-8	
7	6	5	4	3	2	1	0

REG[3Bh] ビット 7 ~ 0

REG[3Ch] ビット 2 ~ 0TFT トータル垂直期間ビット [ 10:0]  
 これらのビットは TFT インターフェースの全垂直期間 (VT) や FPFram 期間を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェース タイミング」を参照してください。  
 {REG[3Ch] ビット 2 ~ 0, REG[3Bh] ビット 7 ~ 0} = [VT] - 1

ビット 3 リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

REG[3Dh] TFT Vertical Display Period Register 0								
アドレス = 803Dh				デフォルト = EFh				読み出し / 書き込み
TFT 垂直表示期間ビット 7-0								
7	6	5	4	3	2	1	0	

REG[3Eh] TFT Vertical Display Period Register 1								
アドレス = 803Eh				デフォルト = 00h				読み出し / 書き込み
n/a			リザーブ		TFT 垂直表示期間ビット 10-8			
7	6	5	4	3	2	1	0	

REG[3Dh] ビット 7～0

REG[3Eh] ビット 2～0TFT 垂直表示期間ビット [10:0]  
 これらのビットは TFT インターフェースの垂直表示期間を設定します。  
 (VDP)。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 {REG[3Eh] ビット 2～0, REG[3Dh] ビット 7 から 0} = [VDP- 1]

ビット 3 リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

REG[3Fh] TFT Vertical Display Period Start Position Register 0								
アドレス = 803Fh				デフォルト = 0Dh				読み出し / 書き込み
TFT 垂直表示期間開始位置ビット 7-0								
7	6	5	4	3	2	1	0	

REG[40h] TFT Vertical Display Period Start Position Register 1								
アドレス = 8040h				デフォルト = 00h				読み出し / 書き込み
n/a			リザーブ		TFT 垂直表示期間開始位置ビット 10-8			
7	6	5	4	3	2	1	0	

REG[3Fh] ビット 7～0

REG[40h] ビット 2～0TFT 垂直表示期間開始位置ビット [10:0]  
 これらのビットは TFT インターフェースの垂直表示期間開始位置を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 {REG[40h] ビット 2～0, REG[3Fh] ビット 7～0} = [VDPS]

ビット 3 リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

## 10. レジスタ

REG[41h] TFT FPFRAME Pulse Width Register							
アドレス = 8041h				デフォルト = 02h		読み出し / 書き込み	
TFT FPFRAME パルス幅ビット 7-0							
7	6	5	4	3	2	1	0

ビット 7～0      TFT      FPFRAME パルス幅ビット [7:0]  
 これらのビットは TFT インターフェースの垂直パルスを設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 REG[41h] ビット 7-0 = [VPW] - 1

REG[42h] TFT FPLINE Pulse Width Register							
アドレス = 8042h				デフォルト = 07h		読み出し / 書き込み	
TFT FPLINE パルス幅ビット 7-0							
7	6	5	4	3	2	1	0

ビット 7～0      TFT      FPLINE パルス幅ビット [7:0]  
 これらのビットは TFT インターフェースの水平パルス幅を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 REG[42h] bits 7-0 = [HPW] in pixels - 1

REG[43h] TFT FPLINE Pulse Position Register 0							
アドレス = 8043h				デフォルト = 00h		読み出し / 書き込み	
TFT FPLINE パルス幅ビット 7-0							
7	6	5	4	3	2	1	0

REG[44h] TFT FPLINE Pulse Position Register 1								
アドレス = 8044h				デフォルト = 00h		読み出し / 書き込み		
7	6	n/a	5	4	リザーブ	TFT FPLINE パルス幅ビット 10-8		
					3	2	1	0

REG[43h] ビット 7-0

REG[44h] ビット 2-0      TFT      FPLINE パルス位置ビット [10:0]  
 これらのビットは TFT インターフェースの FPLINE のスタート位置を設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 {REG[44h] bits 2-0, REG[43h] bits 7-0} = [HPP] in pixels

ビット 3      リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

REG[45h] TFT Horizontal Scale Ratio Register 0							
アドレス = 8045h				デフォルト = 00h		読み出し / 書き込み	
TFT 水平スケールレシオビット bits 7-0							
7	6	5	4	3	2	1	0

REG[46h] TFT Horizontal Scale Ratio Register 1							
アドレス = 8046h				デフォルト = 04h		読み出し / 書き込み	
7	6	5	4	3	2	1	0
n/a			リザーブ	TFT 水平スケールレシオビット 10-8			

REG[45h] ビット 7 ~ 0

REG[46h] ビット 2 ~ 0 TFT 水平スケールレシオビット [10:0]

これらのビットは水平方向のアップスケーラのための伸縮率 (HSR) を決定し、以下の式に基づいてプログラムする必要があります。

$$\{\text{REG}[46\text{h}] \text{ ビット } 2 \sim 0, \text{REG}[45\text{h}] \text{ ビット } 7 \sim 0\} = 1024 \times (1 \div [\text{HSR}])$$

例えば、x3.51 の拡大縮小率については REG[45h] と REG[46h] でプログラムする必要があります。下記を参照してください。

$$\begin{aligned} \{\text{REG}[46\text{h}] \text{ ビット } 2 \sim 0, \text{REG}[45\text{h}] \text{ ビット } 7 \sim 0\} \\ &= 1024 \times (1 \div [\text{HSR}]) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{ (切り捨て)} \\ &= 123\text{h} \end{aligned}$$

ビット 3

リザーブ

このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

REG[47h] TFT Vertical Scale Ratio Register 0							
アドレス = 8047h				デフォルト = 00h		読み出し / 書き込み	
7	6	5	4	3	2	1	0
TFT 垂直スケールレシオビット 7-0							

REG[48h] TFT Vertical Scale Ratio Register 1							
アドレス = 8048h				デフォルト = 04h		読み出し / 書き込み	
7	6	5	4	3	2	1	0
n/a			リザーブ	TFT 垂直スケールレシオビット 10-8			

REG[47h] ビット 7 ~ 0

REG[48h] ビット 2 ~ 0 TFT 垂直スケールレシオビット [10:0]

これらのビットは垂直方向のアップスケーラのための伸縮率 (VSR) を決定し、以下の式に基づいてプログラムする必要があります。

$$\{\text{REG}[48\text{h}] \text{ ビット } 2 \sim 0, \text{REG}[47\text{h}] \text{ ビット } 7 \sim 0\} = 1024 \times (1 \div [\text{VSR}])$$

例えば、x3.51 の拡大縮小率については REG[47h] と REG[48h] でプログラムする必要があります。下記を参照してください。

$$\begin{aligned} \{\text{REG}[48\text{h}] \text{ ビット } 2 \sim 0, \text{REG}[47\text{h}] \text{ ビット } 7 \sim 0\} \\ &= 1024 \times (1 \div [\text{VSR}]) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{ (切り捨て)} \\ &= 123\text{h} \end{aligned}$$

ビット 3

リザーブ

このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

## 10. レジスタ

REG[49h] TFT Horizontal Display Offset Register 0								
アドレス = 8049h				デフォルト = 00h				読み出し / 書き込み
TFT 水平表示オフセットビット 7-0								
7	6	5	4	3	2	1	0	

REG[4Ah] TFT Horizontal Display Offset Register 1								
アドレス = 804Ah				デフォルト = 00h				読み出し / 書き込み
n/a			リザーブ		TFT 水平表示オフセットビット 10-8			
7	6	5	4	3	2	1	0	

REG[49h] ビット 7 ~ 0

REG[4Ah] ビット 2 ~ 0TFT 水平表示オフセットビット [10:0]  
 これらのビットは TFT インターフェースの水平表示オフセットを設定します。詳細は 53 ページの 7.6.2 項「TFT-LCD インターフェースタイミング」を参照してください。  
 {REG[4Ah] ビット 2 ~ 0, REG[49h] ビット 7 ~ 0} = [HDO] - 1

ビット 3 リザーブ  
 このビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 0b です。

### HDOT SCR SYNC

HDOT SCR SYNC コマンドは水平スクロールのアップデートタイミングを制御するために使用されます。HDOT SCR SYNC コマンドが発行されると、REG[4Bh] の値がパラメータとして渡されます。HDOT SCR SYNC コマンドの詳細は 120 ページの 11.1.17 項「HDOT SCR SYNC」を参照してください。

REG[4Bh] Horizontal Pixel Scroll Frame Sync Enable Register								
アドレス = 804Bh				デフォルト = 00h				読み出し / 書き込み
水平ピクセルスクロールフレーム同期イネーブル		リザーブ						
7	6	5	4	3	2	1	0	

ビット 7 水平ピクセルスクロールフレーム同期イネーブル  
 このビットは水平スクロールピクセルスクロールビット (REG[1Bh] ビット 2 ~ 0) でのタイミングを選択します。  
 このビットが 0 の場合、アップデート水平スクロールビット (REG[1Bh] ビット 2 ~ 0) は直ちに表示機能に反映されます。  
 このビットが 1 の場合、アップデート水平スクロールビット (REG[1Bh] ビット 2 ~ 0) は FPFRAME パルスに同期して表示機能に反映されます。

ビット 6 ~ 0 リザーブ  
 これらのビットはリザーブです。デフォルト値を変化させないでください。デフォルト値は 000000b です。

**REG[53h] はリザーブです。**

このレジスタはリザーブです。デフォルト値を変化させないでください。デフォルト値は 00h です。

## PALETTE

PALETTE コマンドは TFT インターフェースでカラーパレットを設定するために使用します。PALETTE コマンドが発行されると、REG[63h] から REG[72h] のレジスタの値がパラメータとして渡されます。PALETTE のコマンドの詳細は 120 ページの 11.1.18 項「PALETTE」を参照してください。

REG[63h] TFT Color Palette 0 Register							
アドレス = 8063h		デフォルト = 00h		読み出し / 書き込み			
n/a		TFT カラーパレット 0 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 0 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

REG[64h] TFT Color Palette 1 Register							
アドレス = 8064h		デフォルト = 03h		読み出し / 書き込み			
n/a		TFT カラーパレット 1 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 1 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

REG[65h] TFT Color Palette 2 Register							
アドレス = 8065h		デフォルト = 0Ch		読み出し / 書き込み			
n/a		TFT カラーパレット 2 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 2 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

REG[66h] TFT Color Palette 3 Register							
アドレス = 8066h		デフォルト = 30h		読み出し / 書き込み			
n/a		TFT カラーパレット 3 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 3 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

## 10. レジスタ

<b>REG[67h] TFT Color Palette 4 Register</b>							
アドレス = 8067h		デフォルト = 0Fh		読み出し / 書き込み			
n/a		TFT カラーパレット 4 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 4 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[68h] TFT Color Palette 5 Register</b>							
アドレス = 8068h		デフォルト = 3Ch		読み出し / 書き込み			
n/a		TFT カラーパレット 5 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 5 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[69h] TFT Color Palette 6 Register</b>							
アドレス = 8069h		デフォルト = 33h		読み出し / 書き込み			
n/a		TFT カラーパレット 6 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 6 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Ah] TFT Color Palette 7 Register</b>							
アドレス = 806Ah		デフォルト = 01h		読み出し / 書き込み			
n/a		TFT カラーパレット 7 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 7 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Bh] TFT Color Palette 8 Register</b>							
アドレス = 806Bh		デフォルト = 04h		読み出し / 書き込み			
n/a		TFT カラーパレット 8 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 8 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Ch] TFT Color Palette 9 Register</b>							
アドレス = 806Ch		デフォルト = 10h		読み出し / 書き込み			
n/a		TFT カラーパレット 9 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 9 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Dh] TFT Color Palette 10 Register</b>							
アドレス = 806Dh		デフォルト = 05h		読み出し / 書き込み			
n/a		TFT カラーパレット 10 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 10 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Eh] TFT Color Palette 11 Register</b>							
アドレス = 806Eh		デフォルト = 14h		読み出し / 書き込み			
n/a		TFT カラーパレット 11 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 11 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[6Fh] TFT Color Palette 12 Register</b>							
アドレス = 806Fh		デフォルト = 11h		読み出し / 書き込み			
n/a		TFT カラーパレット 12 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 12 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

<b>REG[70h] TFT Color Palette 13 Register</b>							
アドレス = 8070h		デフォルト = 15h		読み出し / 書き込み			
n/a		TFT カラーパレット 13 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 13 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

## 10. レジスタ

REG[71h] TFT Color Palette 14 Register							
アドレス = 8071h		デフォルト = 17h		読み出し / 書き込み			
n/a		TFT カラーパレット 14 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 14 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

REG[72h] TFT Color Palette 15 Register							
アドレス = 8072h		デフォルト = 3Fh		読み出し / 書き込み			
n/a		TFT カラーパレット 15 ビット 5-0					
7	6	5	4	3	2	1	0

ビット 5 ~ 0      TFT カラーパレット 15 ビット [5:0]  
 これらのビットは FPDAT[5:0] 端子から画素データ出力を設定します。これらのビットは TFT カラーパレットモード (REG[34h] ビット 1=1b) の時のみ有効です。

### 10.3.7 LCD 出力端子のドライブ能力制御レジスタ

#### OUTDRIVE

OUTDRIVE コマンドは LCD 出力端子のドライブ能力を設定するために使用されます。OUTDRIVE コマンドが発行されると、REG[73h] のレジスタの値がパラメータとして渡されます。OUTDRIVE コマンドの詳細は 121 ページの 11.1.19 項「OUTDRIVE」を参照してください。

REG[73h] LCD Pin Output Drive Control Register							
アドレス = 8073h		デフォルト = 00h		読み出し / 書き込み			
SYNC 出力 ドライブ選択	FPSHIFT 出力 ドライブ選択	FPDAT5 出力 ドライブ選択	FPDAT4 出力 ドライブ選択	FPDAT3 出力 ドライブ選択	FPDAT2 出力 ドライブ選択	FPDAT1 出力 ドライブ選択	FPDAT0 出力 ドライブ選択
7	6	5	4	3	2	1	0

ビット 7      SYNC 出力ドライブ選択  
 このビットは FRFRAME, FPLINE と FPD RDY 端子の駆動能力を決定します。このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。

ビット 6      FPSHIFT 出力ドライブ選択  
 このビットは FPSHIFT 端子の駆動能力を決定します。このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。

ビット 5      FPDAT5 出力ドライブ選択  
 このビットは FPDAT5 端子の駆動能力を決定します。このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。

---

ビット 4	<p>FPDAT4 出力ドライブ選択</p> <p>このビットは FPDAT4 端子の駆動能力を決定します。 このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。 このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。</p>
ビット 3	<p>FPDAT3 出力ドライブ選択</p> <p>このビットは FPDAT3 端子の駆動能力を決定します。 このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。 このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。</p>
ビット 2	<p>FPDAT2 出力ドライブ選択</p> <p>このビットは FPDAT2 端子の駆動能力を決定します。 W このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。 このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。</p>
ビット 1	<p>FPDAT1 出力ドライブ選択</p> <p>このビットは FPDAT1 端子の駆動能力を決定します。 このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。 このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。</p>
ビット 0	<p>FPDAT0 出力ドライブ選択</p> <p>このビットは FPDAT0 端子の駆動能力を決定します。 このビットが 0 の場合、2mA@3.3V(3mA@5V) Type-1 が選択されます。 このビットが 1 の場合、6mA@3.3V (8mA@5V) Type-2 が選択されます。</p>

## 11. インダイレクトアドレス指定モード

### 11. インダイレクトアドレス指定モード

表 11-1: インダイレクトアドレス指定のコマンドセット

クラス	レジスタアドレス	コマンド	レジスタの説明	制御バイト値	バイトの数
システム制御	8000h - 8007h	SYSTEM SET	デバイスと表示を初期化します。	40h	8
	8008h	POWER SAVE	スタンバイモードに移行します。	53h	0
表示制御	8009h - 800A	DISP ON/OFF	表示および表示アトリビュートをイネーブル/ディセーブルにします。	58h 59h	1
	800Bh - 8014h	SCROLL	ブロック画面の開始アドレスとサイズを設定します。	44h	10
	8015h - 8016h	CSRFORM	カーソルタイプを設定します。	5Dh	2
	8017h	CSRDIR	カーソルの移動方向を設定します。	4Ch - 4Fh	0
	8018h	OVLAY	表示の合成形式を設定します。	5Bh	1
	8019h - 801Ah	CGRAM ADR	キャラクタジェネレータ RAM の開始アドレスを設定します。	5Ch	2
	801Bh	HDOT SCR	水平スクロール位置を設定します。	5A	1
描画制御	801Ch - 801Dh	CSRW	カーソルアドレスを設定します。	46h	2
	801Eh - 801Fh	CSRR	カーソルアドレスを読み出します。	47h	2
表示制御	8020h	GRAYSCALE	グレースケール階調 (bpp) を設定します。	60h	1
システム制御	8000h - 8007h	SYSTEM SET	デバイスと表示を初期化します。	40h	8
	8008h	POWER SAVE	スタンバイモードに移行します。	53h	0
ID	8030h	ID	製品 ID を読み出します。	61h	0
TFT-IF 制御	8031h - 8033h	PLL SET	PLL を初期化します。	62h	3
	8034h	TFT-IF SET 1	TFT インターフェースを初期化します。	63h	1
	8035h - 804Ah	TFT-IF SET 2	TFT インターフェースを初期化します。	64h	22
スクロールオプション	804Bh	HDOT SCR SYNC	スクロールオプションを設定します。	65h	1
カラーパレット	8063h - 8072h	PALETTE	カラーパレットを設定します。	67h	16
端子駆動	8073h	OUTDRIVE	出力端子のドライブ能力を設定します。	68h	1
メモリ制御	0000h - 7FFFh	MEMWRITE	メモリにライトします。	42h	n/a
		MEMREAD	メモリからリードします。	43h	

表 11-2: Generic のインダイレクトアドレス指定のコマンド/ライト/リード

A0	$\overline{WR}$	$\overline{RD}$	
1	0	1	コマンド [C]
1	1	0	パラメータリード [P#]
0	0	1	パラメータライト [P#]

表 11-3: M6800 のインダイレクトアドレス指定のコマンド/ライト/リード

A0	R/W	E	
1	0	1	コマンドライト
1	1	1	表示データとカーソルアドレスのリード
0	0	1	表示データとパラメータのライト

表 11-4: M68K のインダイレクトアドレス指定コマンド/ライト/リード

A0	R/W	LDS#	
1	0	0	コマンドライト
1	1	0	表示データとカーソルアドレスのリード
0	0	0	表示データとパラメータのライト

### 11.1 システム制御

初期化シーケンスについては、153 ページの 15.1.3 項「STN インターフェースのための初期設定の例」と 158 ページの 15.1.4 項「TFT インターフェースのための初期化例」を参照してください。

#### 11.1.1 SYSTEM SET

詳細については、62 ページの「SYSTEM SET」を参照してください。

##### 注

S1D13709 がパワーセーブモードの場合（起動時または POWER SAVE コマンドの後）、SYSTEM SET コマンドによって、パワーセーブモードは解除されます。SYSTEM SET コマンドとその 8 つのパラメータを書き込むと、S1D13709 は通常動作になります。

##### 注

水晶振動子を使用する場合は、SYSTEM SET コマンドを発行後に 8 つのパラメータを書き込む前に、内部クロックが安定するまで 3ms 以上待つてください。

## 11. インダイレクトアドレス指定モード

表 11-5: SYSTEM SET コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	0	0	0	0	0	C	W
0	0	IV <sup>1</sup>	1	W/S <sup>2</sup>	M2 <sup>3</sup>	0	M0 <sup>4</sup>	P1	W
MOD <sup>5</sup>	0	0	0	REG[01h] ビット 3 ~ 0				P2	W
0	0	0	0	REG[02h] ビット 3 ~ 0				P3	W
REG[03h] ビット 7 ~ 0								P4	W
REG[04h] ビット 7 ~ 0								P5	W
REG[05h] ビット 7 ~ 0								P6	W
REG[06h] ビット 7 ~ 0								P7	W
0	REG[07h] ビット 6 ~ 0							P8	W

### 注

- <sup>1</sup> IV は、画面の原点補正ビット (REG[00h] ビット 5) です。
- <sup>2</sup> W/S は、パネル駆動セレクトビット (REG[00h] ビット 3) です。
- <sup>3</sup> M2 は、文字の高さビット (REG[00h] ビット 2) です。
- <sup>4</sup> M0 は、キャラクタジェネレータセレクトビット (REG[00h] ビット 0) です。
- <sup>5</sup> MOD は、REG[01h] ビット 7 によって定義されています。

## 11.1.2 POWER SAVE

詳細については、71 ページの「POWER SAVE」を参照してください。

表 11-6: POWER SAVE コマンド

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	0	0	1	1	C	W

## 11.1.3 DISP ON/OFF

以下は、DISP ON コマンドで使用するパラメータです。詳細については、72 ページの「DISP ON/OFF」を参照してください。

表 11-7: DISP ON コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	1	0	0	1	C	W
REG[0Ah] bits 7-0								P1	W

以下は、DISP OFF コマンドで使用するパラメータです。詳細については、72 ページの「DISP ON/OFF」を参照してください。

表 11-8: DISP OFF コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	1	0	0	0	C	W
REG[0Ah] bits 7-0								P1	W

## 11. インダイレクトアドレス指定モード

### 11.1.4 SCROLL

詳細については、74 ページの「SCROLL」を参照してください。

表 11-9: SCROLL コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード	
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0			
0	1	0	0	0	1	0	0	C	W	
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Bh] ビット 7 ~ 0	P1	W
IUE	A14	A13	A12	A11	A10	A9	A8	REG[0Ch] ビット 6 ~ 0	P2	W
L7	L6	L5	L4	L3	L2	L1	L0	REG[0Dh] ビット 7 ~ 0	P3	W
A7	A6	A5	A4	A3	A2	A1	A0	REG[0Eh] ビット 7 ~ 0	P4	W
IUE	A14	A13	A12	A11	A10	A9	A8	REG[0Fh] ビット 6 ~ 0	P5	W
L7	L6	L5	L4	L3	L2	L1	L0	REG[10h] ビット 7 ~ 0	P6	W
A7	A6	A5	A4	A3	A2	A1	A0	REG[11h] ビット 7 ~ 0	P7	W
IUE	A14	A13	A12	A11	A10	A9	A8	REG[12h] ビット 6 ~ 0	P8	W
A7	A6	A5	A4	A3	A2	A1	A0	REG[13h] ビット 7 ~ 0	P9	W
IUE	A14	A13	A12	A11	A10	A9	A8	REG[14h] ビット 6 ~ 0	P10	W

#### 注

デュアルパネル (REG[00h] ビット 3 = 1) および 2 レイヤー構成の両方を選択している場合にのみ、パラメータ P9 と P10 を設定します。SAD4 は、第 4 ブロック画面の表示開始アドレスです。

## 11.1.5 CSRFORM

詳細については、81 ページの「CSRFORM」を参照してください

表 11-10: 。CSRFORM コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	1	1	0	1	C	W
0	0	0	0	REG[15h] ビット 3~0 X3 X2 X1 X0				P1	W
CM <sup>1</sup>	0	0	0	REG[16h] ビット 3~0 Y3 Y2 Y1 Y0				P2	W

**注**

<sup>1</sup>CM は、カーソルのモードビット (REG[16h] ビット 7) です。

## 11.1.6 CSRDIR

詳細については、83 ページの「CSRDIR」を参照してください。

表 11-11: CSRDIR コマンド

MSB						LSB		コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	0	1	1	REG[17h] bits 1-0 CD1 CD0		C	W

## 11. インダイレクトアドレス指定モード

### 11.1.7 OVLAY

詳細については、84 ページの「OVLAY」を参照してください。

表 11-12: OVLAY コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	1	0	1	1	C	W
0	0	0	OV <sup>1</sup>	DM2 <sup>2</sup>	DM1 <sup>2</sup>	MX1 <sup>3</sup>	MX0 <sup>3</sup>	P1	W

#### 注

- <sup>1</sup> OV は、3 レイヤー合成セレクトビット (REG[18h] ビット 4) です。
- <sup>2</sup> DM2 および DM1 は、第 3/ 第 1 ブロック画面表示モードビット (REG[18h] ビット 3 ~ 2) です。
- <sup>3</sup> MX1 および MX0 は、レイヤー合成方法ビット (REG[18h] ビット 1 ~ 0) です。

### 11.1.8 CGRAM ADR

詳細については、86 ページの「CGRAM ADR」を参照してください。

表 11-13: CGRAM ADR コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード	
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0			
0	1	0	1	1	1	0	0	C	W	
A7	A6	A5	A4	A3	A2	A1	A0	(SAGL)	P1	W
0	A14	A13	A12	A11	A10	A9	A8	(SAGH)	P2	W

## 11.1.9 HDOT SCR

詳細については、87 ページの「HDOT SCR」を参照してください。

表 11-14: HDOT SCR コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	0	1	1	0	1	0	C	W
SUE	0	0	0	0	D2	D1	D0	P1	W

## 11.1.10 CSRW

詳細については、89 ページの「CSRW」を参照してください。

表 11-15: CSRW コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード	
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0			
0	1	0	0	0	1	1	0	C	W	
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL)	P1	W
0	A14	A13	A12	A11	A10	A9	A8	(CSRH)	P2	W

## 11.1.11 CSRR

詳細については、90 ページの「CSRR」を参照してください。

表 11-16: CSRR コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード	
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0			
0	1	0	0	0	1	1	1	C	W	
A7	A6	A5	A4	A3	A2	A1	A0	(CSRL)	P1	R
0	A14	A13	A12	A11	A10	A9	A8	(CSRH)	P2	R

## 11. インダイレクトアドレス指定モード

### 11.1.12 GRAYSCALE

詳細については、91 ページの「GRAYSCALE」を参照してください。

表 11-17: GRAYSCALE コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	0	0	0	C	W
0	0	0	0	0	0	BPP1	BPP0	P1	W

### 11.1.13 ID

詳細については、92 ページの「ID」を参照してください。

表 11-18: ID コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	0	0	1	C	W
0	1	0	1	1	0	0	1	P1	R

### 11.1.14 PLL SET

詳細については、92 ページの「PLL SET」を参照してください。

表 11-19: PLL SET コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	0	1	0	C	W
POR3	POR2	POR1	POR0	PIR3	PIR2	PIR1	PIR0	P1	W
RS3	RS2	RS1	RS0	N3	N2	N1	N0	P2	W
0	V1	V0	VC4	VC3	VC2	VC1	VC0	P3	W

11.1.15 TFT-IF SET 1

詳細は 96 ページの「TFT-IF SET 1」を参照してください。

表 11-20: TFT-IF SET 1 コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	0	1	1	C	W
VP	HP	DEP	CKP	0	UMS	CME	LSEL	P1	W

11.1.16 TFT-IF SET 2

詳細は 99 ページの「TFT-IF SET 2」を参照してください。

表 11-21: TFT-IF SET 2 コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	1	0	0	C	W
HT7	HT6	HT5	HT4	HT3	HT2	HT1	HT0	P1	W
0	0	0	0	0	HT10	HT9	HT8	P2	W
HDP7	HDP6	HDP5	HDP4	HDP3	HDP2	HDP1	HDP0	P3	W
0	0	0	0	0	HDP10	HDP9	HDP8	P4	W
HDPS7	HDPS6	HDPS5	HDPS4	HDPS3	HDPS2	HDPS1	HDPS0	P5	W
0	0	0	0	0	HDPS <sub>10</sub>	HDPS9	HDPS8	P6	W
VT7	VT6	VT5	VT4	VT3	VT2	VT1	VT0	P7	W
0	0	0	0	0	VT10	VT9	VT8	P8	W
VDP7	VDP6	VDP5	VDP4	VDP3	VDP2	VDP1	VDP0	P9	W
0	0	0	0	0	VDP10	VDP9	VDP8	P10	W
VDPS7	VDPS6	VDPS5	VDPS4	VDPS3	VDPS2	VDPS1	VDPS0	P11	W
0	0	0	0	0	VDPS <sub>10</sub>	VDPS9	VDPS8	P12	W
VPW7	VPW6	VPW5	VPW4	VPW3	VPW2	VPW1	VPW0	P13	W
HPW7	HPW6	HPW5	HPW4	HPW3	HPW2	HPW1	HPW0	P14	W
HPP7	HPP6	HPP5	HPP4	HPP3	HPP2	HPP1	HPP0	P15	W

## 11. インダイレクトアドレス指定モード

表 11-21: TFT-IF SET 2 コマンドとパラメータ

0	0	0	0	0	HPP10	HPP9	HPP8	P16	W
HSR7	HSR6	HSR5	HSR4	HSR3	HSR2	HSR1	HSR0	P17	W
0	0	0	0	0	HSR10	HSR9	HSR8	P18	W
VSR7	VSR6	VSR5	VSR4	VSR3	VSR2	VSR1	VSR0	P19	W
0	0	0	0	0	VSR10	VSR9	VSR8	P20	W
HDO7	HDO6	HDO5	HDO4	HDO3	HDO2	HDO1	HDO0	P21	W
0	0	0	0	0	HDO10	HDO9	HDO8	P22	W

### 11.1.17 HDOT SCR SYNC

詳細は 104 ページの「HDOT SCR SYNC」を参照してください。

表 11-22: HDOT SCR SYNC コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	1	0	1	C	W
SYN	0	0	0	0	0	0	0	P1	W

### 11.1.18 PALETTE

詳細は 105 ページの「PALETTE」を参照してください。

表 11-23: PALETTE コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	0	1	1	1	C	W
0	0	PT0_5	PT0_4	PT0_3	PT0_2	PT0_1	PT0_0	P1	W
0	0	PT1_5	PT1_4	PT1_3	PT1_2	PT1_1	PT1_0	P2	W
0	0	PT2_5	PT2_4	PT2_3	PT2_2	PT2_1	PT2_0	P3	W
0	0	PT3_5	PT3_4	PT3_3	PT3_2	PT3_1	PT3_0	P4	W
0	0	PT4_5	PT4_4	PT4_3	PT4_2	PT4_1	PT4_0	P5	W
0	0	PT5_5	PT5_4	PT5_3	PT5_2	PT5_1	PT5_0	P6	W
0	0	PT6_5	PT6_4	PT6_3	PT6_2	PT6_1	PT6_0	P7	W

## 11. インダイレクトアドレス指定モード

表 11-23: PALETTE コマンドとパラメータ

0	0	PT7_5	PT7_4	PT7_3	PT7_2	PT7_1	PT7_0	P8	W
0	0	PT8_5	PT8_4	PT8_3	PT8_2	PT8_1	PT8_0	P9	W
0	0	PT9_5	PT9_4	PT9_3	PT9_2	PT9_1	PT9_0	P10	W
0	0	PT10_5	PT10_4	PT10_3	PT10_2	PT10_1	PT10_0	P11	W
0	0	PT11_5	PT11_4	PT11_3	PT11_2	PT11_1	PT11_0	P12	W
0	0	PT12_5	PT12_4	PT12_3	PT12_2	PT12_1	PT12_0	P13	W
0	0	PT13_5	PT13_4	PT13_3	PT13_2	PT13_1	PT13_0	P14	W
0	0	PT14_5	PT14_4	PT14_3	PT14_2	PT14_1	PT14_0	P15	W
0	0	PT15_5	PT15_4	PT15_3	PT15_2	PT15_1	PT15_0	P16	W

### 11.1.19 OUTDRIVE

詳細は 108 ページの「OUTDRIVE」を参照してください。

表 11-24: OUTDRIVE コマンドとパラメータ

MSB				LSB				コマンド/ パラメータ	W: ライト/ R: リード
ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
0	1	1	0	1	0	0	0	C	W
SYDR	CKDR	D5DR	D4DR	D3DR	D2DR	D1DR	D0DR	P1	W

### 11.1.20 メモリ制御

詳細は 89 ページの「描画制御レジスタ」を参照してください。

## 12. 表示制御機能

### 12. 表示制御機能

#### 12.1 文字構成

各文字のビットマップの原点は、図 12-1 に示すように左上コーナーです。各バイト内の隣接ビットは、対応する文字画像内で水平に隣接します。

ビットマップのサイズは、キャラクタージェネレータによって固定されていますが、文字フィールドに実際に表示されるサイズは、高さと幅の両方を変更できます。

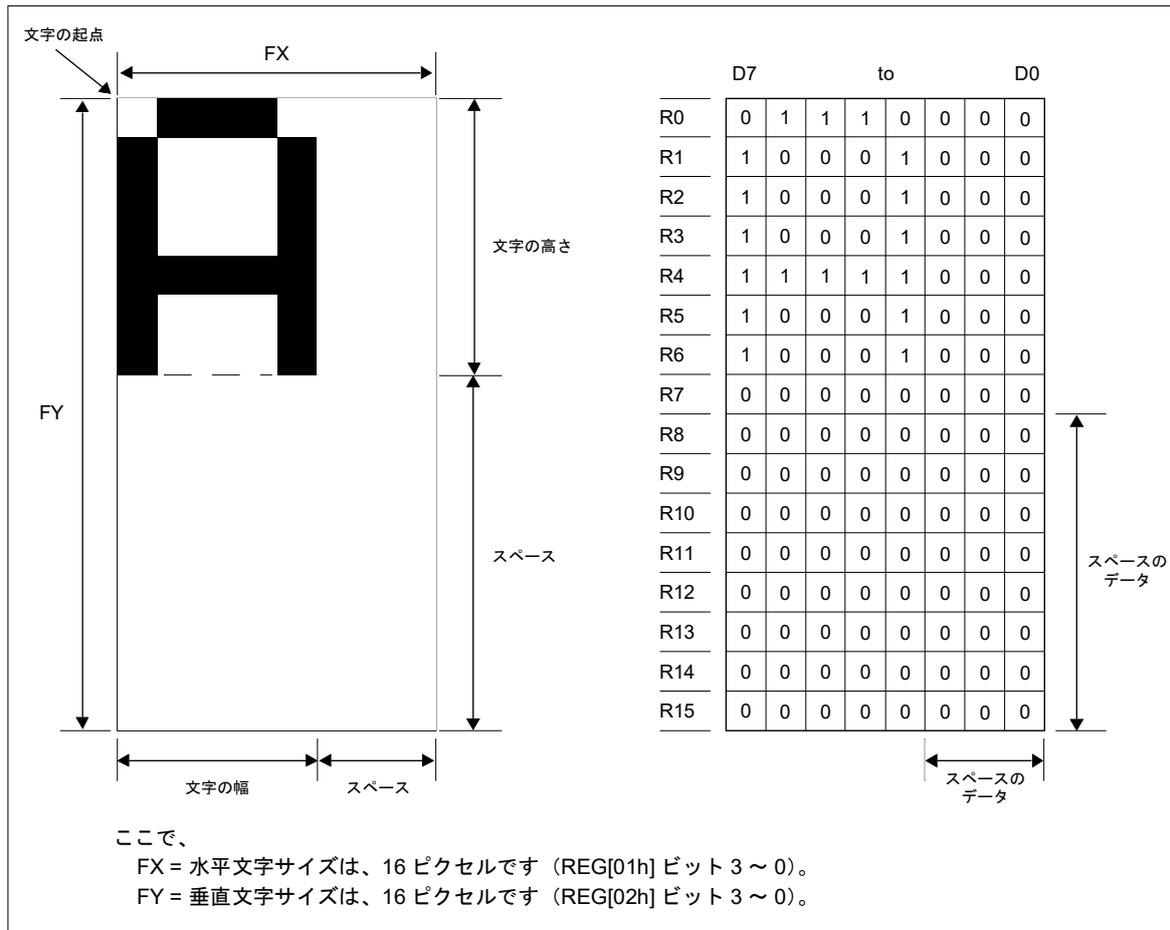


図 12-1: ジェネレータビットマップでの文字表示例 ( $[FX] \leq 8$  のとき)

文字ビットマップの外の領域が 0 だけで構成されている場合、水平文字サイズ (REG[01h] ビット 3 ~ 0) と垂直文字サイズ (REG[01h] ビット 3 ~ 0) を大きくすることによって、表示される文字サイズを大きくすることができます。この 0 によって、表示される文字の間の余分なスペースがブランクになります。

表示される文字の幅は、ビットマップの各水平行の幅が 2 バイトの場合でも、最大 16 までの任意の値に設定できます。

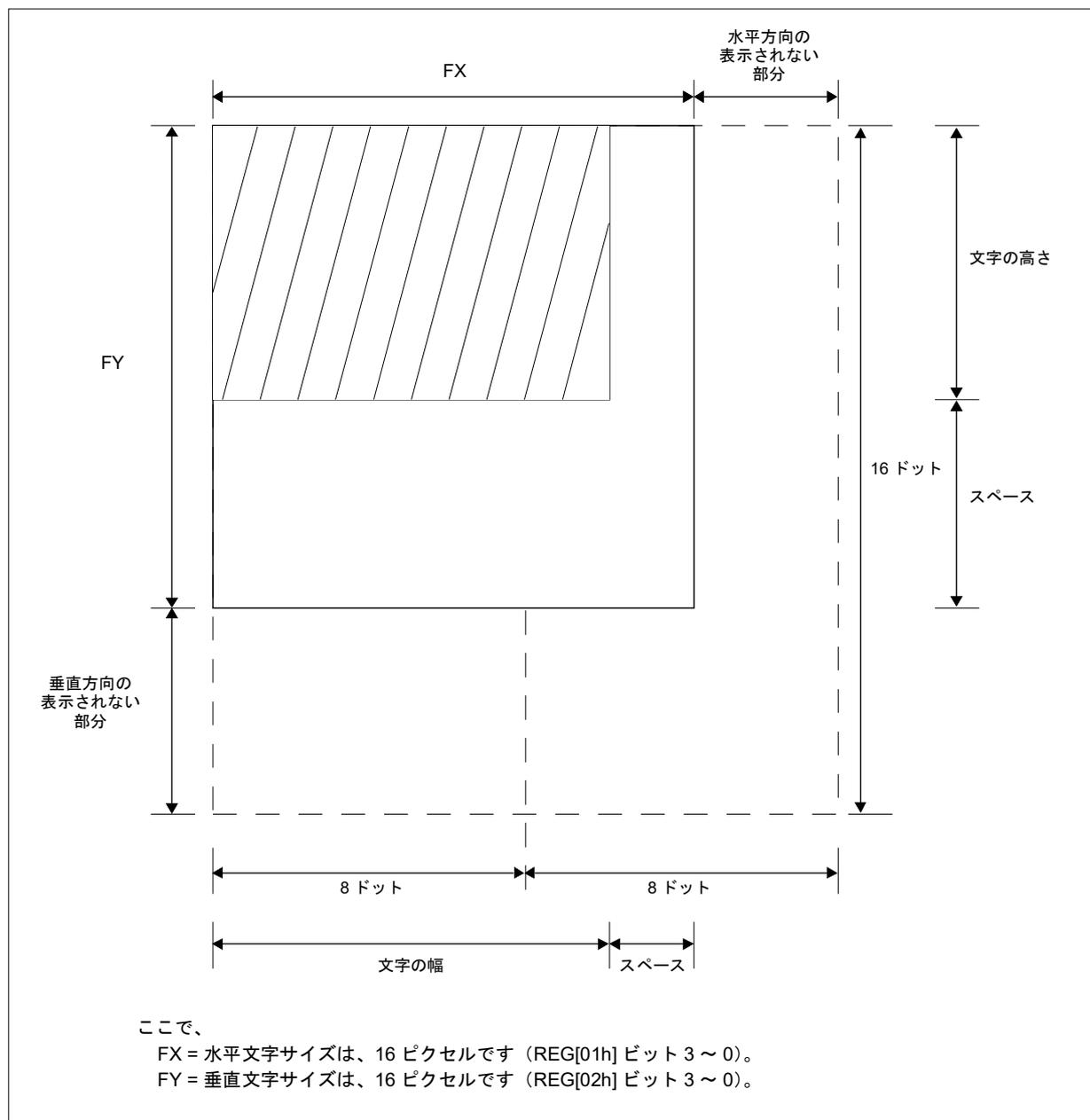


図 12-2: 1 バイト幅を超える文字の幅 ( $[FX] = 9$ )

### 注

S1D13709 は、文字間にスペースを自動挿入しません。表示される文字サイズが 8 ピクセル以下で、文字原点間のスペースが 9 ピクセル以上の場合、文字画像に 1 バイトしか必要としない場合でも、ビットマップは行当たり 2 バイトを使用する必要があります。

## 12. 表示制御機能

### 12.2 画面構成

#### 12.2.1 画面構成

S1D13709 は、単一のテキスト画面、重なったテキスト画面、または重なったグラフィック画面用に設定することができます。グラフィック画面は、1bpp のテキスト画面の 8 倍の大きさの表示メモリを使用します。図 12-3 は、仮想スクリーンと画面の関係を示したものです。

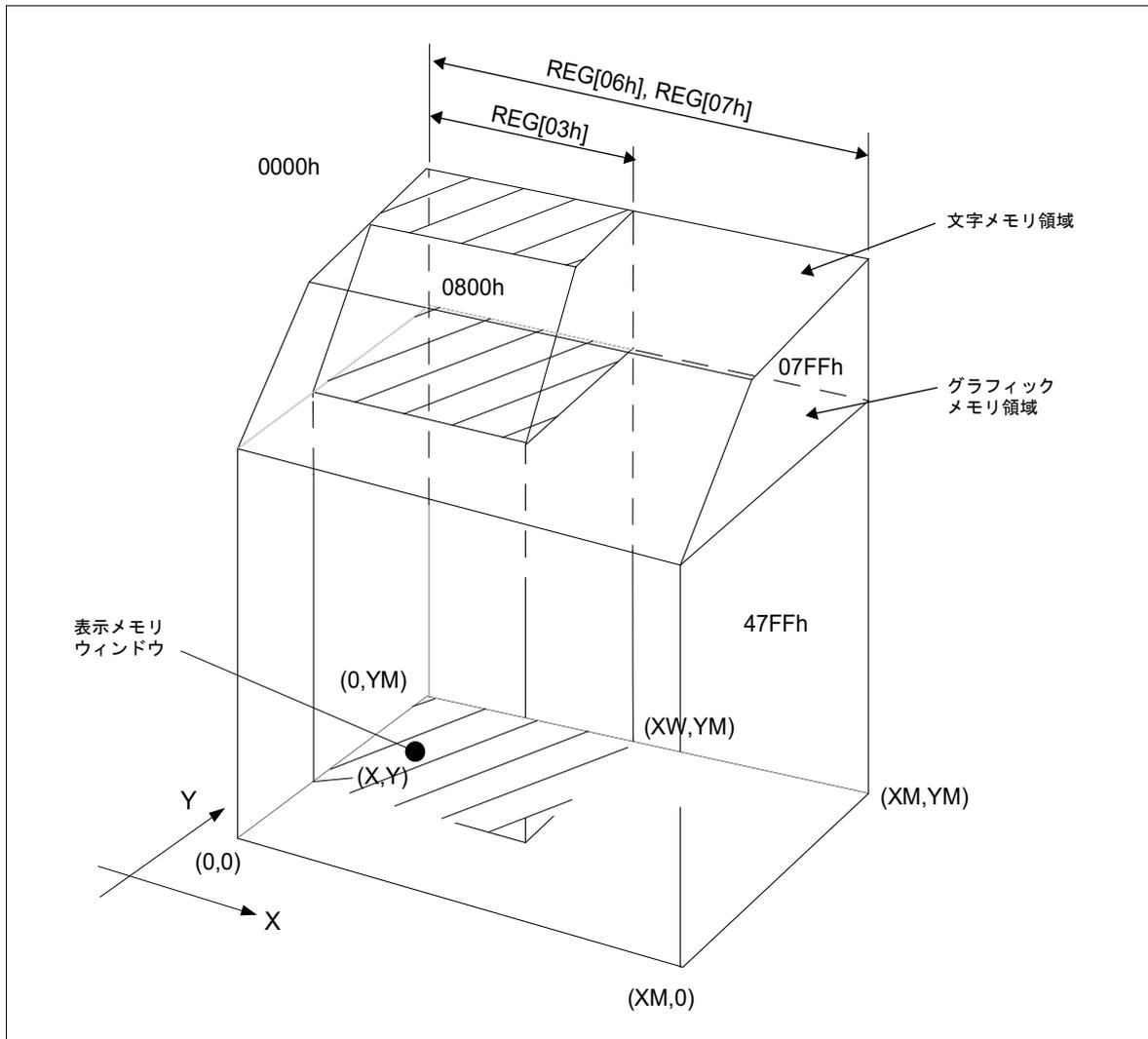


図 12-3: 仮想スクリーンと画面の関係

#### 12.2.2 表示アドレスのスキヤニング

S1D13709 は、ラスタスキャン型の CRT 画面と同様に表示メモリをスキヤニングします。各行は、アドレス範囲が CR (REG[03h] ビット 7 ~ 0) に一致するまで左から右にスキヤニングされます。行は、上から下へとスキヤニングされます。グラフィックモードの

とき、各ラインの開始時のアドレスカウンタは、前のラインの開始時のアドレスに水平アドレス範囲（すなわちアドレスピッチ）（REG[06h]～REG[07h]）を加算した値に設定されます。

テキストモードでは、アドレスカウンタは同じ開始アドレスに設定され、また文字ビットマップの各行ごとに同じ文字データが読み出されます。ただし、キャラクタージェネレータ出力の新しい行を毎回使用します。文字ビットマップのすべての行が表示されると、アドレスカウンタは、開始アドレスに水平アドレス範囲（すなわちアドレスピッチ）を加算した値に設定され、次のラインのテキストが表示されます。

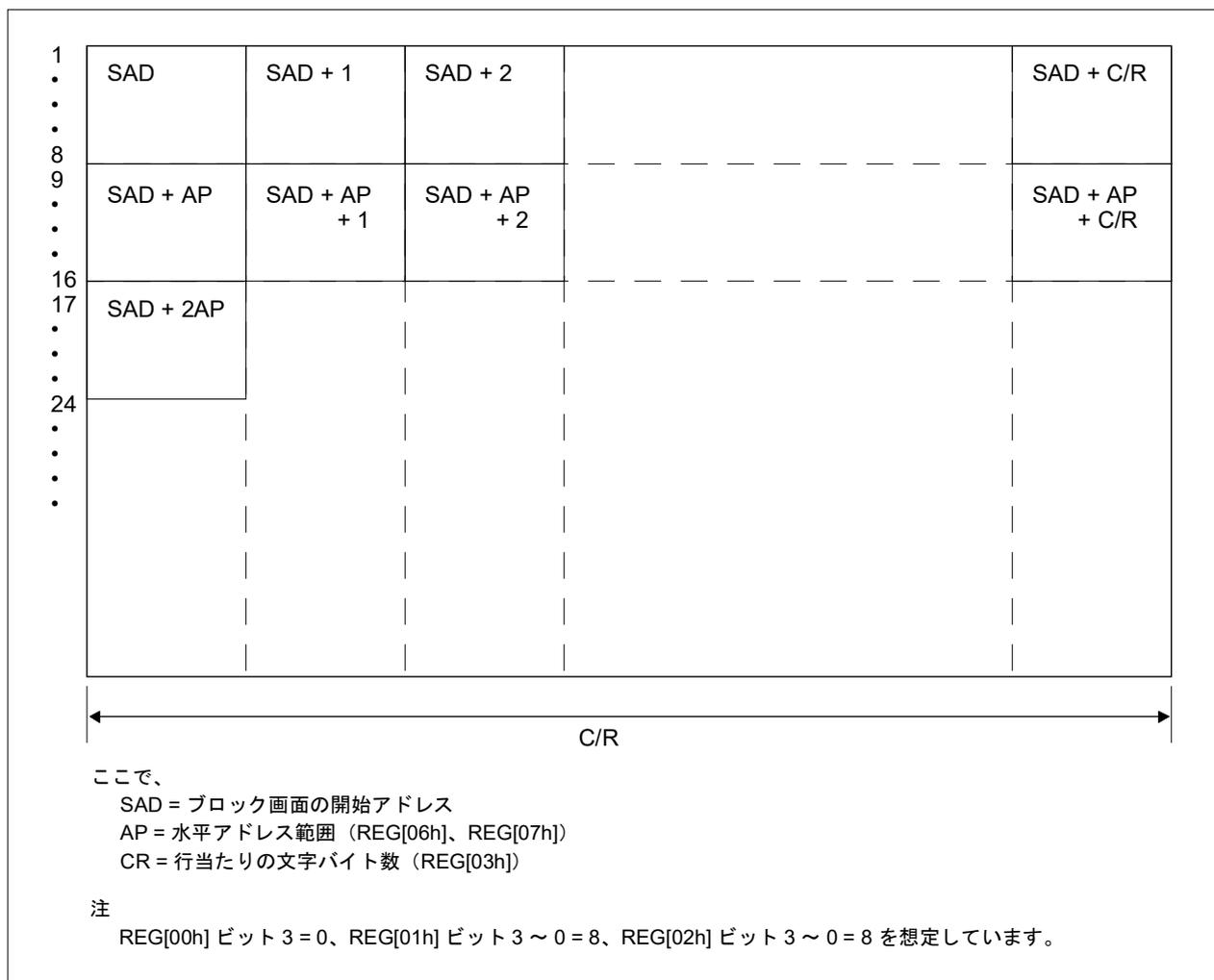


図 12-4: テキストモードでの表示アドレス指定の例

**注**

表示メモリの 1 バイトは 1 文字に相当します。

## 12. 表示制御機能

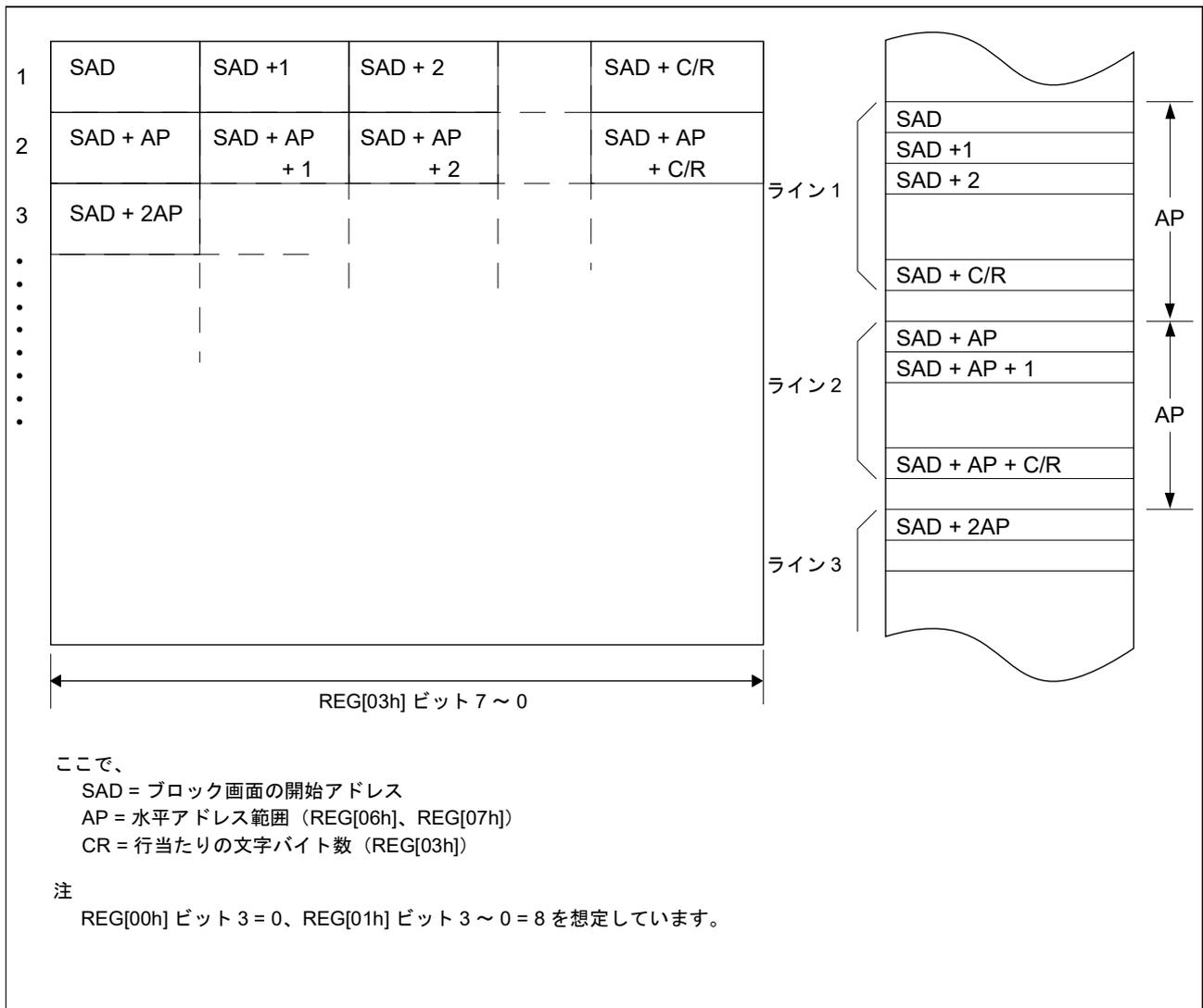


図 12-5: グラフィックモードでの表示アドレス指定の例

### 注

1bpp の場合、表示メモリの 1 ビットが 1 ピクセルに相当します。したがって、表示メモリの 1 バイトは 8 ピクセルに相当します。2bpp の場合、1 バイトは 4 ピクセルに相当します。4bpp の場合、1 バイトは 2 ピクセルに相当します。

1a	SAD1	SAD1 + 1	SAD1 + 2		SAD1 + C/R
⋮					
8a				-----	
9a	SAD1 + AP	SAD1 + AP + 1	SAD1 + AP + 2		SAD1 + AP + C/R
⋮					
16a				-----	
17a	SAD1 + 2AP				
⋮					
24a				-----	
25a					
⋮					
(L/F)/2 =					
1b	SAD3 + 1		SAD3 + 2		SAD3 + C/R
⋮					
8b				-----	
9b	SAD3 + AP	SAD3 + AP + 1	SAD3 + AP + 2		SAD3 + AP + C/R
⋮					
16b				-----	
17b	SAD3 + 2AP				
⋮					
24b				-----	
25b					
⋮					
(L/F)					

←----- C/R -----→

ここで、  
 SAD = ブロック画面の開始アドレス  
 AP = 水平アドレス範囲 (REG[06h]、REG[07h])  
 CR = 行当たりの文字バイト数 (REG[03h])  
 LF = ライン単位のフレームの高さ (REG[05h])

注  
 REG[00h] ビット 3 = 0、REG[01h] ビット 3 ~ 0 = 8、REG[02h] ビット 3 ~ 0 = 8 を想定しています。

図 12-6: テキストモードでのデュアルパネル表示アドレスのインデックス

**注**

デュアルパネル駆動の場合、S1D13709 は、ライン 1a とライン 1b を 1 サイクルとして読み出します。したがって上側と下側のパネルは、一度に 1 ラインずつ交互に読み出されます。

## 12. 表示制御機能

### 12.2.3 表示スキンのタイミング

表示スキンの間、S1D13709 は、TCR-CR(REG[04h] ビット 7-0-REG[03h] ビット 7-0)の期間、各ラインの最後で表示メモリの読み出しサイクルを一時停止します。TCR は、CR、入力クロック (CLK)、f FR、および LCD パネルのサイズによって設定され、制約の範囲内であれば任意の値に設定できます。この一時停止は、フレーム周波数の一微調整に使用できます。

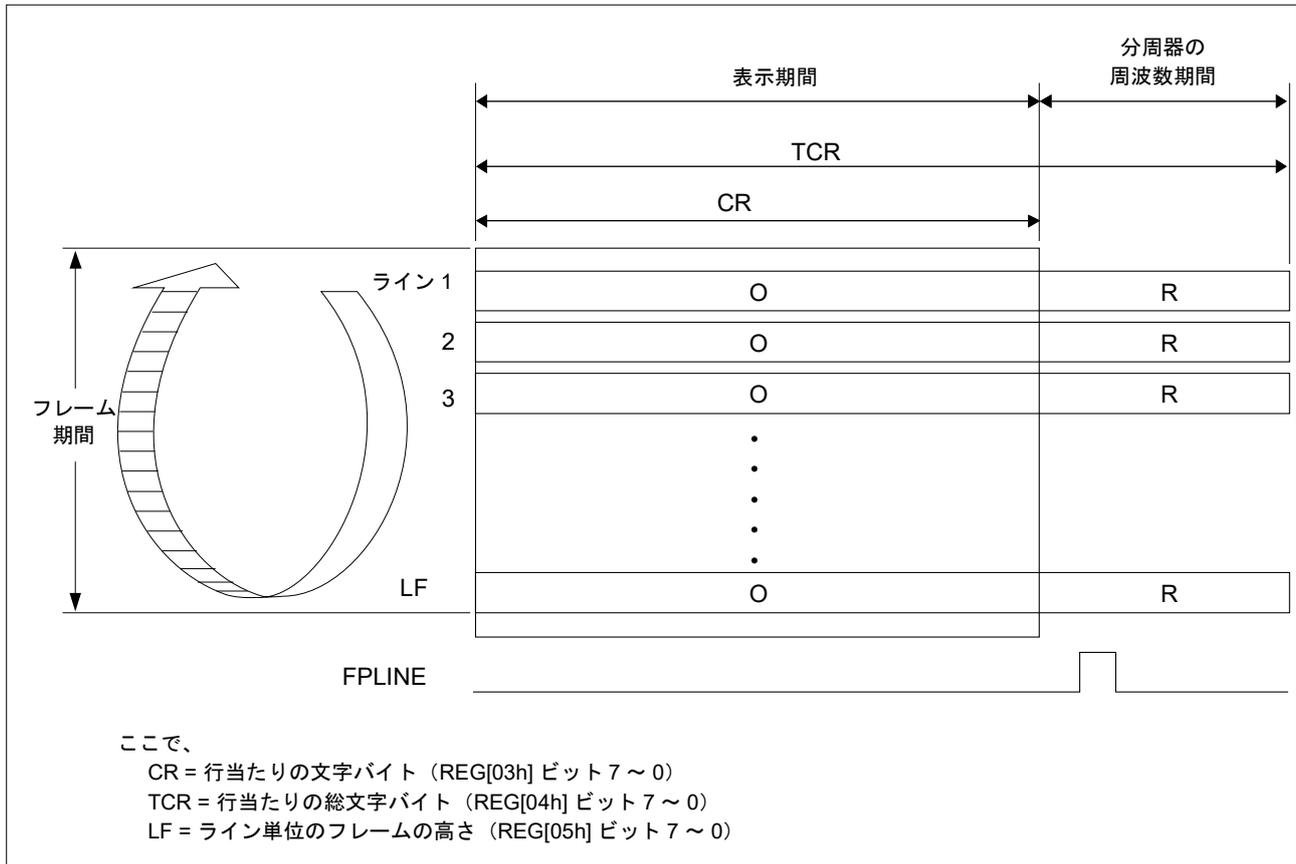


図 12-7: 行当たりの総文字バイトと行当たりの文字バイトの関係

#### 注

分周器の調整間隔 (R) は、デュアルパネル駆動 (REG[00h] ビット 3 = 1) が選択されている場合でも、上側画面と下側画面の両方に適用されます。この場合 FPLINE は、下側画面の表示間隔の最後でのみアクティブになります。

### 12.2.4 TFT インターフェース構成

TFT インターフェースで REG[31h] から REG[72h] は適切に設定する必要があります。REG[31h] から REG[33h] はシステムクロック（CLKI あるいは水晶振動子）から TFT クロック（FPSHIFT）を生成する PLL を設定します。詳細は 57 ページの図 9-1「クロック図」を参照してください。REG[34h] から REG[4Ah] は TFT インターフェースの出力タイミングを設定します。詳細は 53 ページの図 7-17「TFT-LCD インターフェースタイミング」を参照してください。

#### 注

TFT インターフェースが使用されている場合、STN インターフェースと同様に REG[00h] ～ REG[20h] の設定も必要となります。

## 12. 表示制御機能

TFT インターフェースはアップスケーラ機能を使うことで、WVGA までの画像サイズをサポートします。ソース画像は STN インターフェースと同様に FX、CR、LF で定義されます。

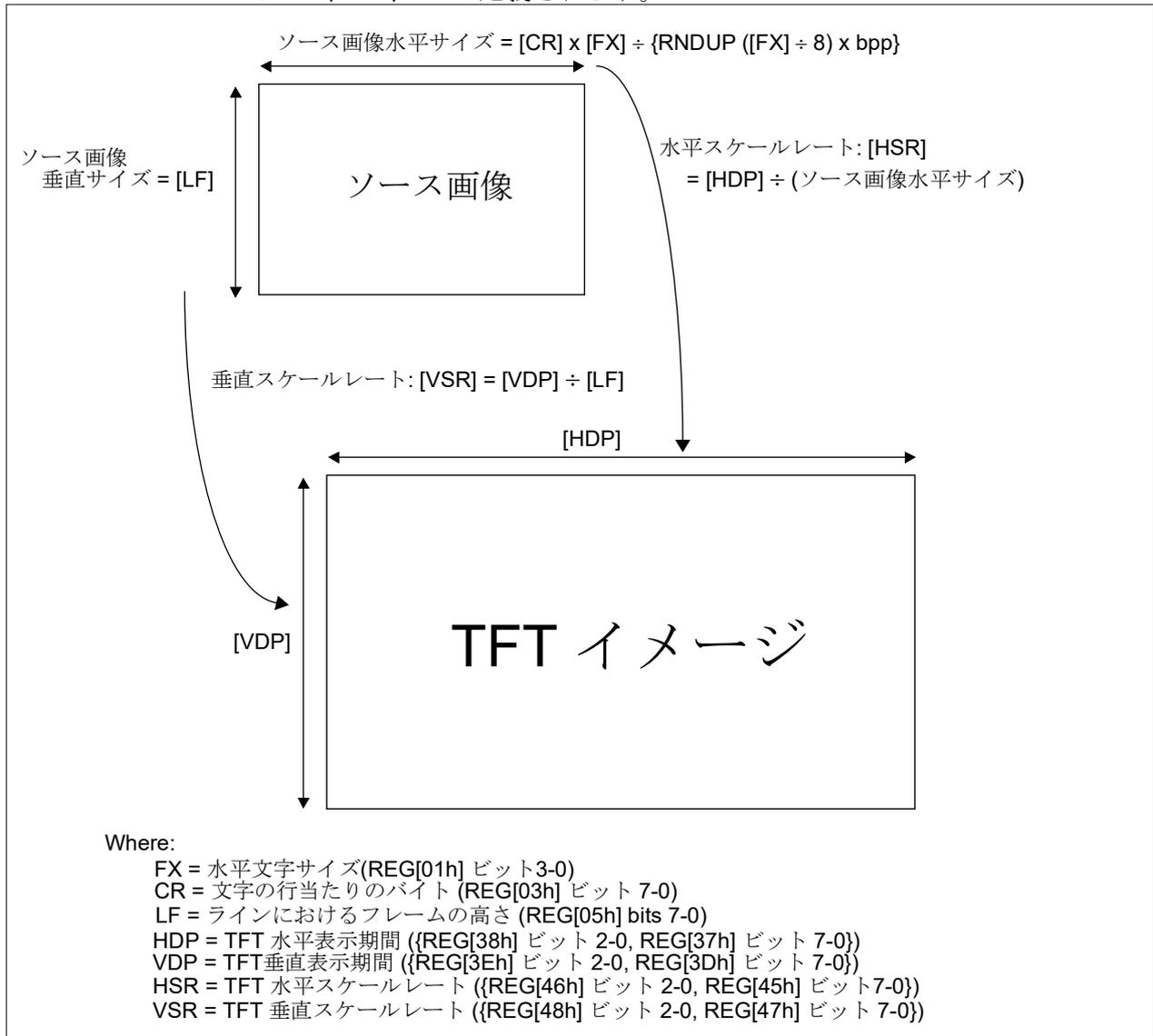


図 12-8: アップスケーラ TFT イメージ

TFT 表示にはカラーモードが 2 種類あり、グレースケールモードとカラーパレットモードは REG[34h] ビット 1 で選択します。カラーパレットモードが使われていると REG[63h] から REG[72h] を適切に設定する必要があります。詳細は 97 ページの図 10-17 「グレースケールモード (REG[34h] ビット 1 = 0)」と 98 ページの図 10-18 「カラーパレットモード (REG[34h] bit1 = 1)」を参照してください。

TFT パネルと FPDAT 端子の接続はグレースケールモードとカラーパレットモードでは異なります。詳細は 7 ページの図 3-6 「S1D13709 と TFT-LCD の接続例 (Gray Scale Mode, REG[34h]bit1 = 0)」と 7 ページの図 3-7 「S1D13709 と TFT-LCD の接続例 (Color Palette Mode, REG[34h]bit1 = 1)」を参照してください

## 12.3 カーソルの制御

### 12.3.1 Cursor Write レジスタの機能

Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) は、表示されるカーソルの位置アドレスレジスタとして機能し、またインダイレクトアドレス指定モードでは表示メモリアクセスアドレスレジスタとしても機能します。実際に見える画面のメモリ外の表示メモリにアクセスするときには、メモリにアクセスする前に Cursor Write レジスタを保存し、その後、メモリアクセスが完了した時点でこれを復元する必要があります。これは、カーソルが表示領域外に消えて見えなくなるのを防ぐために行うものです。

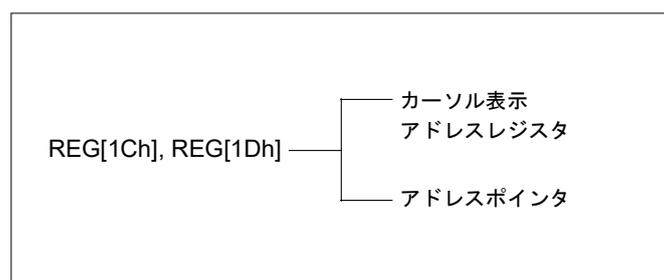


図 12-9: カーソルアドレス指定

#### 注

表示画面のメモリ外に数 100ms 以上の間、カーソルアドレスを残しておくこと、カーソルの表示が消えてしまうことがあります。

### 12.3.2 カーソルの移動

各メモリにアクセスするたびに、Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) は、CSRDIR コマンド (REG[17h] ビット 1 ~ 0 を参照) で指定した量だけ変更され、カーソルは目的の位置に自動的に移動します。

### 12.3.3 カーソル表示レイヤー

S1D13709 は、最大 3 レイヤーを重ねて表示できますが、カーソルが表示されるのは、そのうちの 1 レイヤーだけです。2 レイヤー構成 (REG[18h] ビット 4=0) の場合、カーソルは、第 1 レイヤー (L1) に帰属し、3 レイヤー構成 (REG[18h] ビット 4=1) の場合、カーソルは、第 3 レイヤー (L3) に帰属します。

アドレスがそのレイヤーのメモリの外に移動した場合、カーソルは表示されません。現在のレイヤー以外のレイヤーでカーソルを表示する必要がある場合、レイヤーを交換するか、カーソルレイヤーを表示メモリ内に移動します。

カーソルは通常、文字データ用に表示されるものですが、S1D13709 は、グラフィック文字用の疑似カーソルを表示することができます。これは、グラフィック画面を表示して、テキスト画面を表示せず、さらにマイクロプロセッサがカーソル制御アドレスを生成する場合にのみ実現できます。

## 12. 表示制御機能

---



図 12-10: カーソル表示レイヤー

たとえば、漢字をグラフィック画面で表示する場合、カーソルアドレスは、「グラフィック」表示データを書き込むため、第 2 ブロック画面に設定します。ただし、カーソルは表示されません。カーソルを表示するには、ブランクテキストのブロック画面内のアドレスにカーソルアドレスを設定する必要があります。

自動カーソルインクリメントは文字単位ではなくアドレス単位なので、グラフィック文字の上にカーソルを移動するときには、制御マイクロプロセッサによって、Cursor Write レジスタ (REG[1Ch] ~ REG[1Dh]) を設定する必要があります。

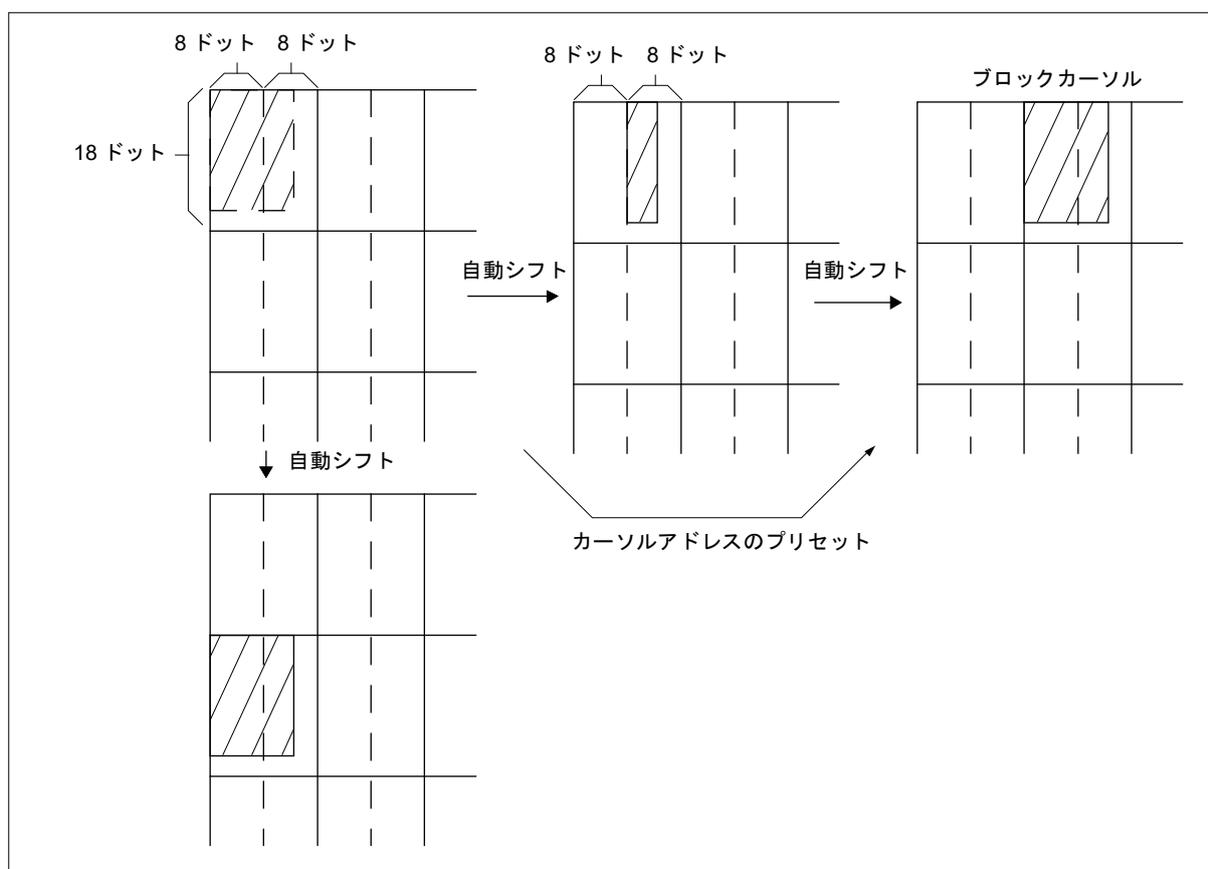


図 12-11: カーソルの移動

テキスト画面を表示しない場合、カーソルアドレスでバーカーソルだけを表示することができます。

第 1 レイヤーがテキスト画面とグラフィック画面の混在で、カーソルの形状がブロックカーソルに設定されている場合、S1D13709 は、表示するカーソルの形状を自動的に決定します。テキスト画面ではブロックカーソルを表示し、グラフィック画面ではバーカーソルを表示します。

## 12.4 メモリと表示の関係

S1D13709 は、LCD パネルのアドレス範囲 (CR) (REG[03h] ビット 7~0) の物理サイズを超える仮想スクリーンをサポートしています。S1D13709 のレイヤーは、表示メモリで保持されている、より大きな仮想スクリーン内のウィンドウと見なすことができます。このウィンドウは、2つのブロックに分割することができ、各ブロックは仮想スクリーンの異なる部分を表示することができます。

たとえば、これによって、一方のブロックをデータ領域内で動的にスクロールさせ、同時にもう一方のブロックを、ステータスメッセージの表示領域として使用することができます。

## 12. 表示制御機能

メモリと表示の関係の例については、134 ページの図 12-12「画面レイヤーとメモリ  
の関係」、135 ページの図 12-13「仮想表示（表示ウィンドウとメモリの関係）」、お  
よび 136 ページの図 12-14「メモリマップと拡大文字」を参照してください。

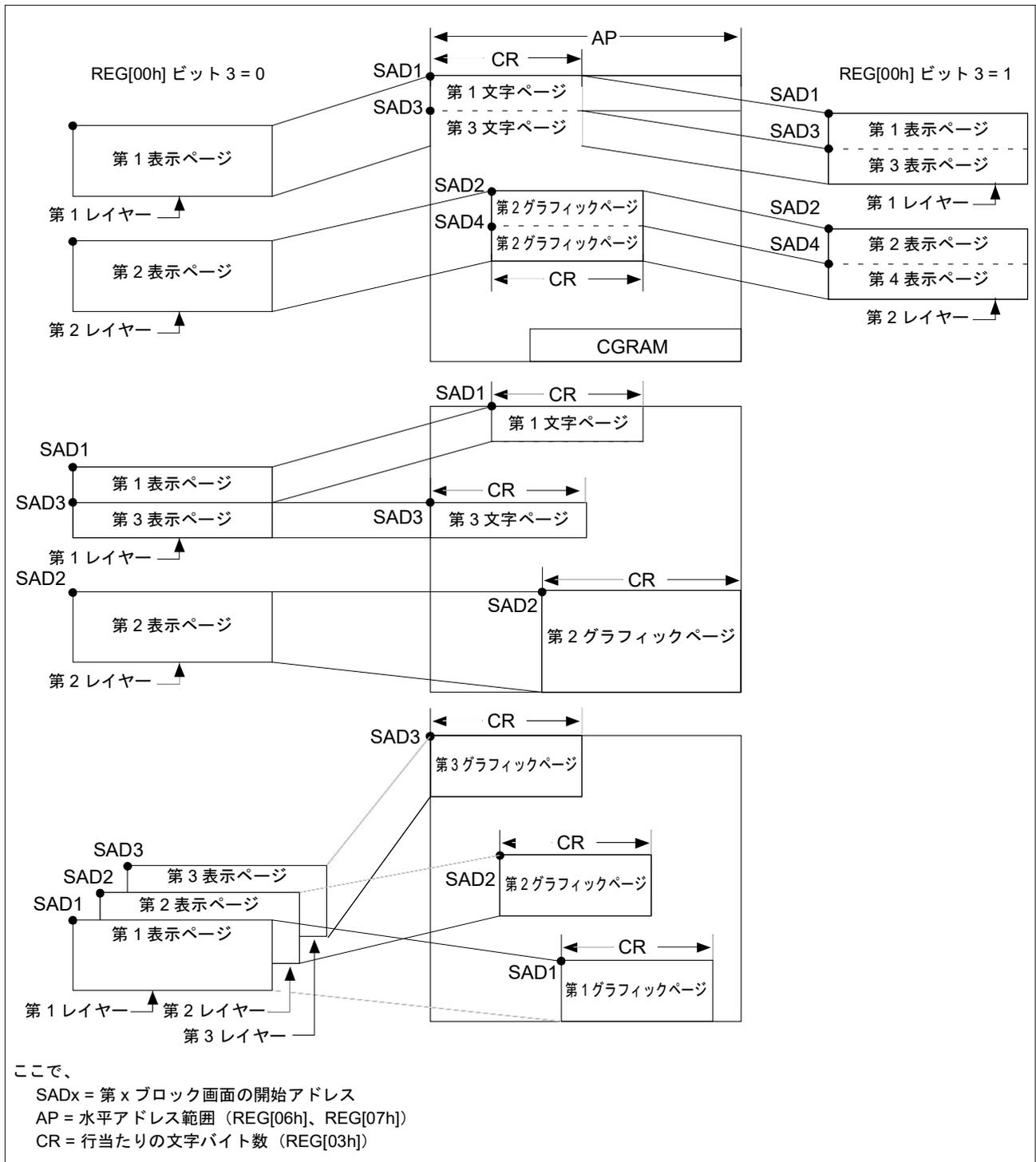


図 12-12: 画面レイヤーとメモリの関係

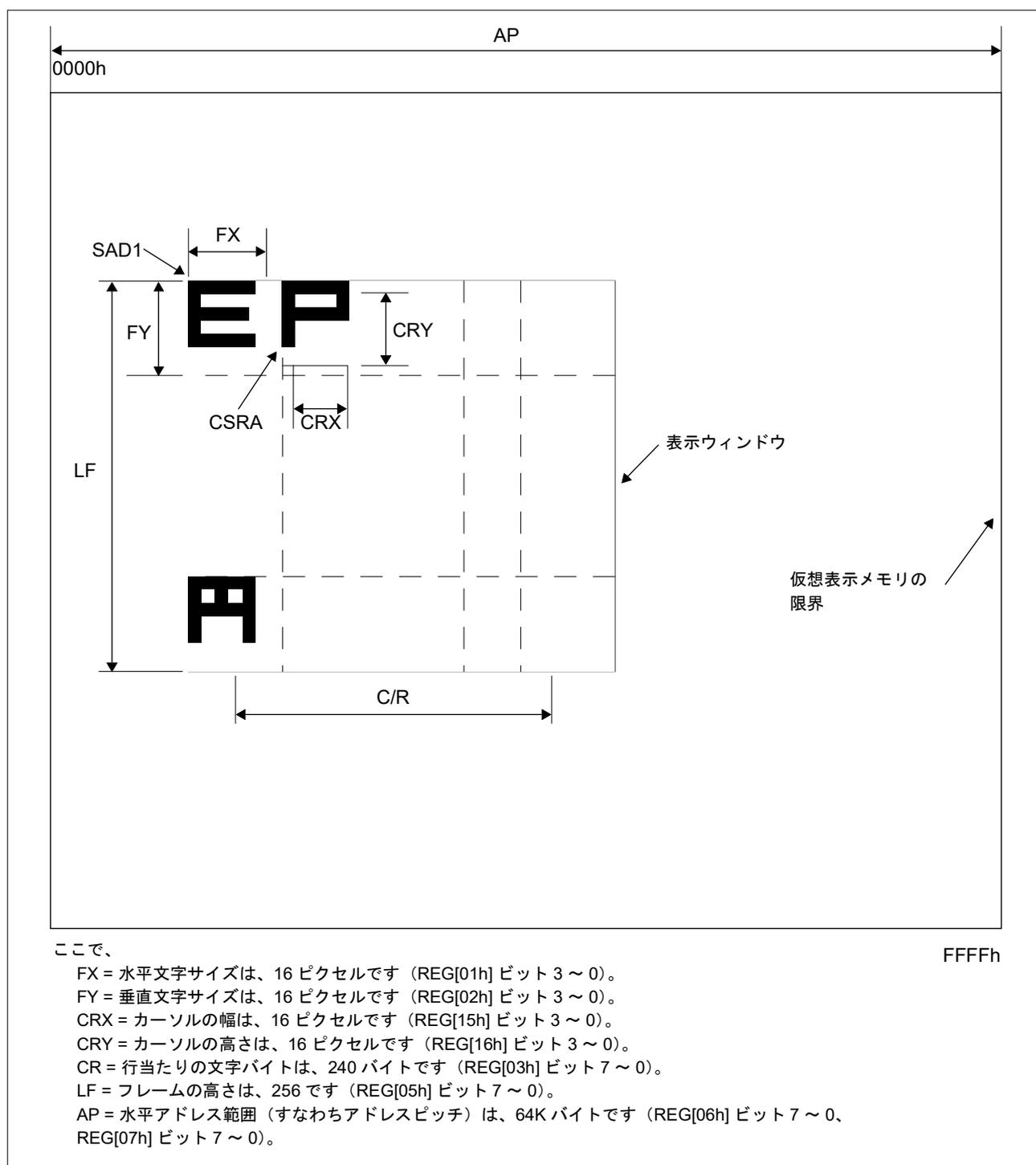


図 12-13: 仮想表示 (表示ウィンドウとメモリの関係)

## 12. 表示制御機能

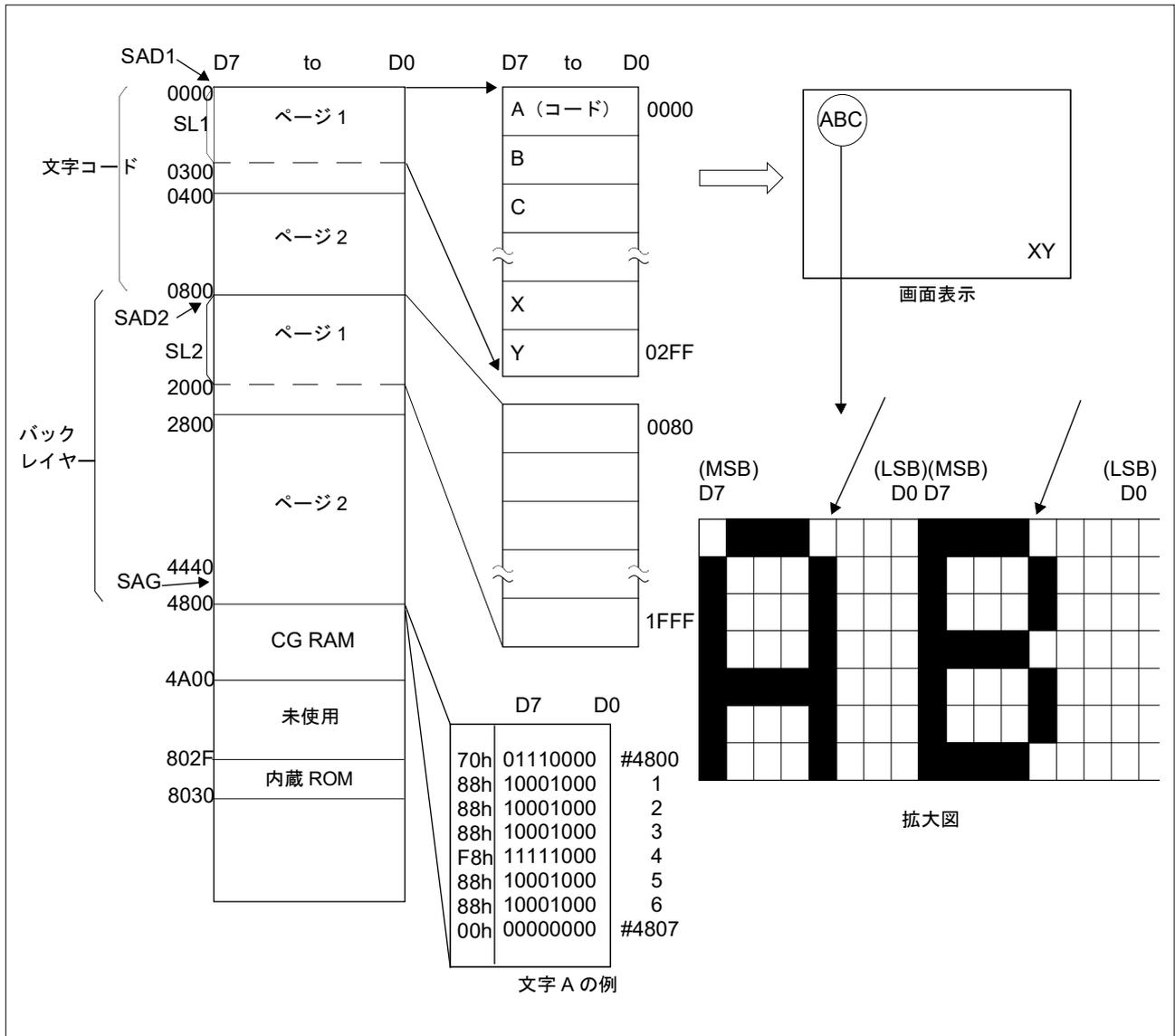


図 12-14: メモリマップと拡大文字

## 12.5 スクロール

マイクロプロセッサは、各ブロック画面のスクロールアドレスレジスタ (REG[0Bh] ~ REG[14h]) に書き込むことによって、S1D13709 のスクロールモードを制御できます。これはアドレスのスクロールと呼ばれ、表示メモリの容量が 1 画面を超える場合に、テキストとグラフィック両方のブロック画面で使用できます。

### 12.5.1 ページ内スクロール

1 ページ内でスクロールするための標準的な方法は、表示全体を 1 ライン上に移動させ、一番下のラインを抹消する方法です。ただし S1D13709 は、一番下のラインを自動的に抹消しませんので、スクロールアドレスレジスタを変更するときにブランクデータを用いて消去する必要があります。

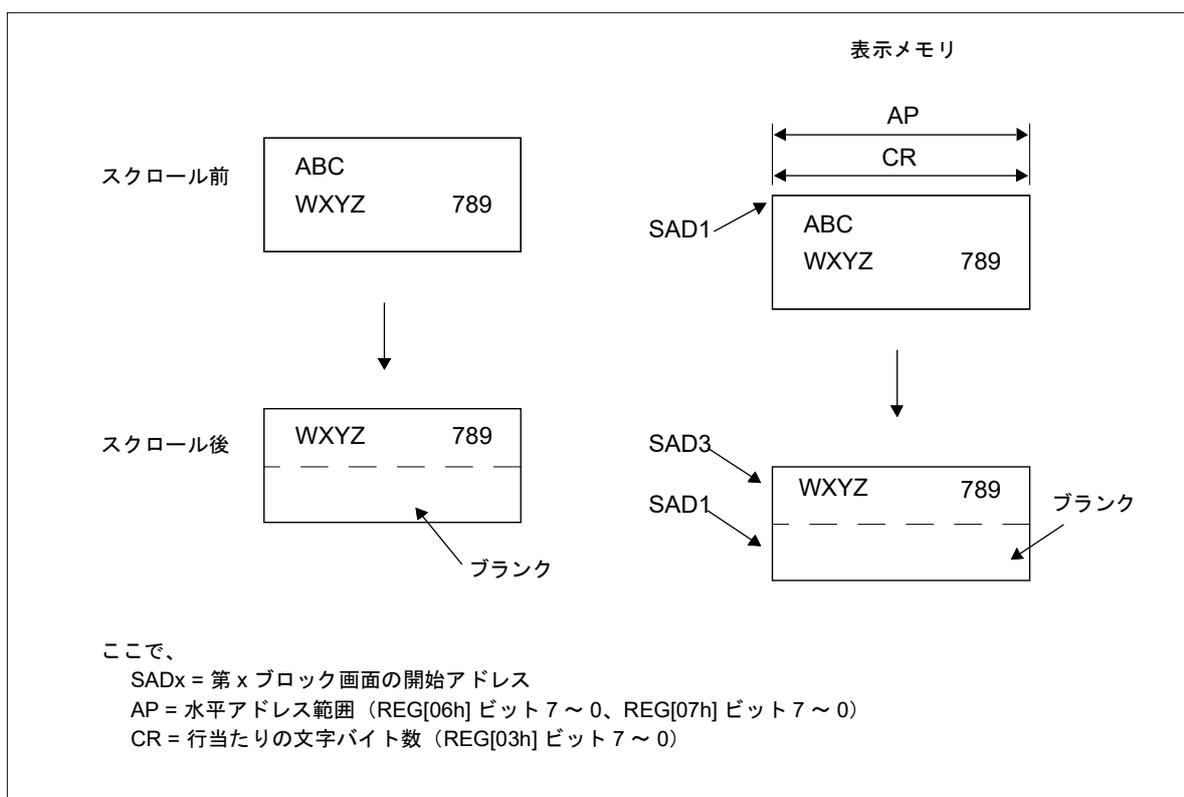


図 12-15: ページ内スクロール

## 12. 表示制御機能

### 12.5.2 ページ間スクロール

ページ間スクロールおよびページ切り替えは、表示メモリの容量が1画面を超える場合にのみ実行することができます。1ラインまたは1文字下にスクロールするには、水平アドレス範囲（すなわちアドレスピッチ）REG[06h]～REG[07h]の値を現在のSADxに加算します。上にスクロールするには、SADxから水平アドレス範囲の値を減算します。

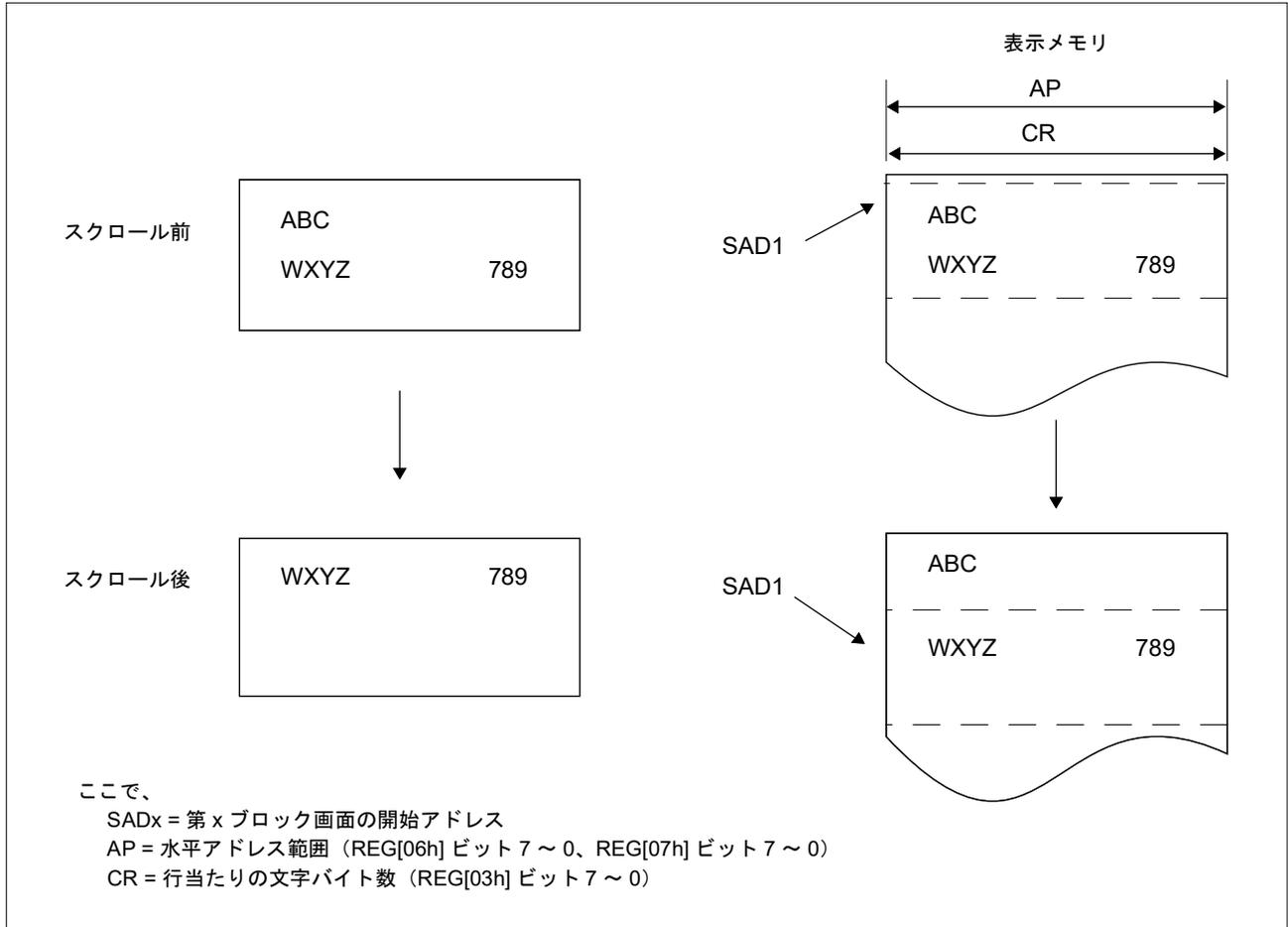


図 12-16: ページ間スクロール

## 12.5.3 水平折り返しスクロール

テキストモードのブロック画面の場合、表示メモリの容量にかかわらず、表示は1文字単位で水平にスクロールすることができます。

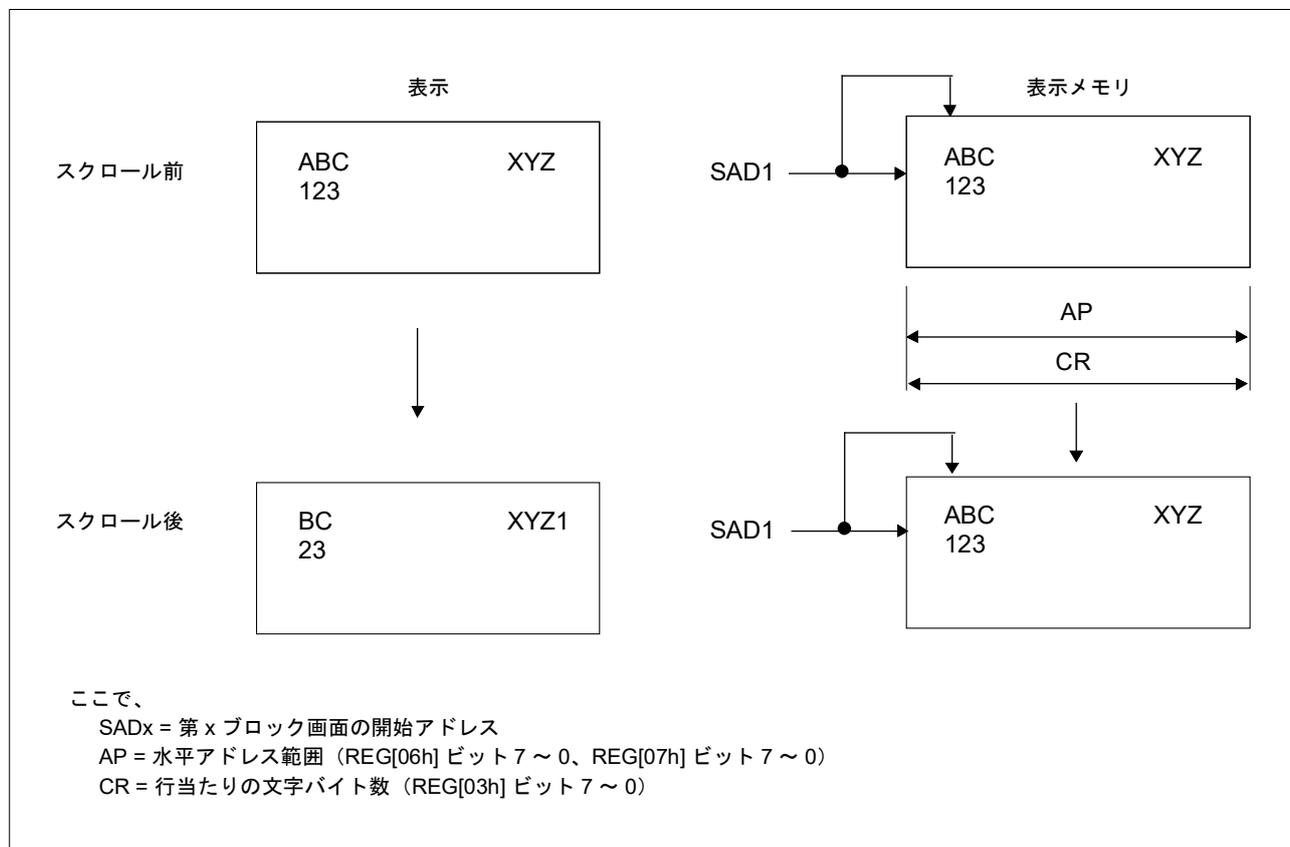


図 12-17: 水平折り返しスクロール

## 12. 表示制御機能

### 12.5.4 全方向スクロール

全方向スクロールは、水平 (REG[06h]、REG[07h] > REG[03h]) および垂直方向の両方で、表示メモリが物理画面を超える場合にのみ実行できます。スクロールは通常、1文字単位で実行されますが、HDOT SCR コマンド (REG[1Bh] ビット 2 ~ 0) を参照) を使えば、ピクセル単位での水平スクロールが可能となります (テキストブロック専用)。1ピクセルの水平スクロールは、SCROLL と HDOT SCR コマンドの両方を使用して実行できます。詳細については、176 ページの 15.4 項「スムーズな水平スクロール」を参照してください。

#### 注

2bpp および 4bpp のグレースケールモードの場合、REG[1Bh] ビット 2 ~ 0 (HDOT SCR) を 0 に設定する必要があるため、水平スクロールは 1文字単位でのみ実行できます (ピクセル単位では実行できません)。

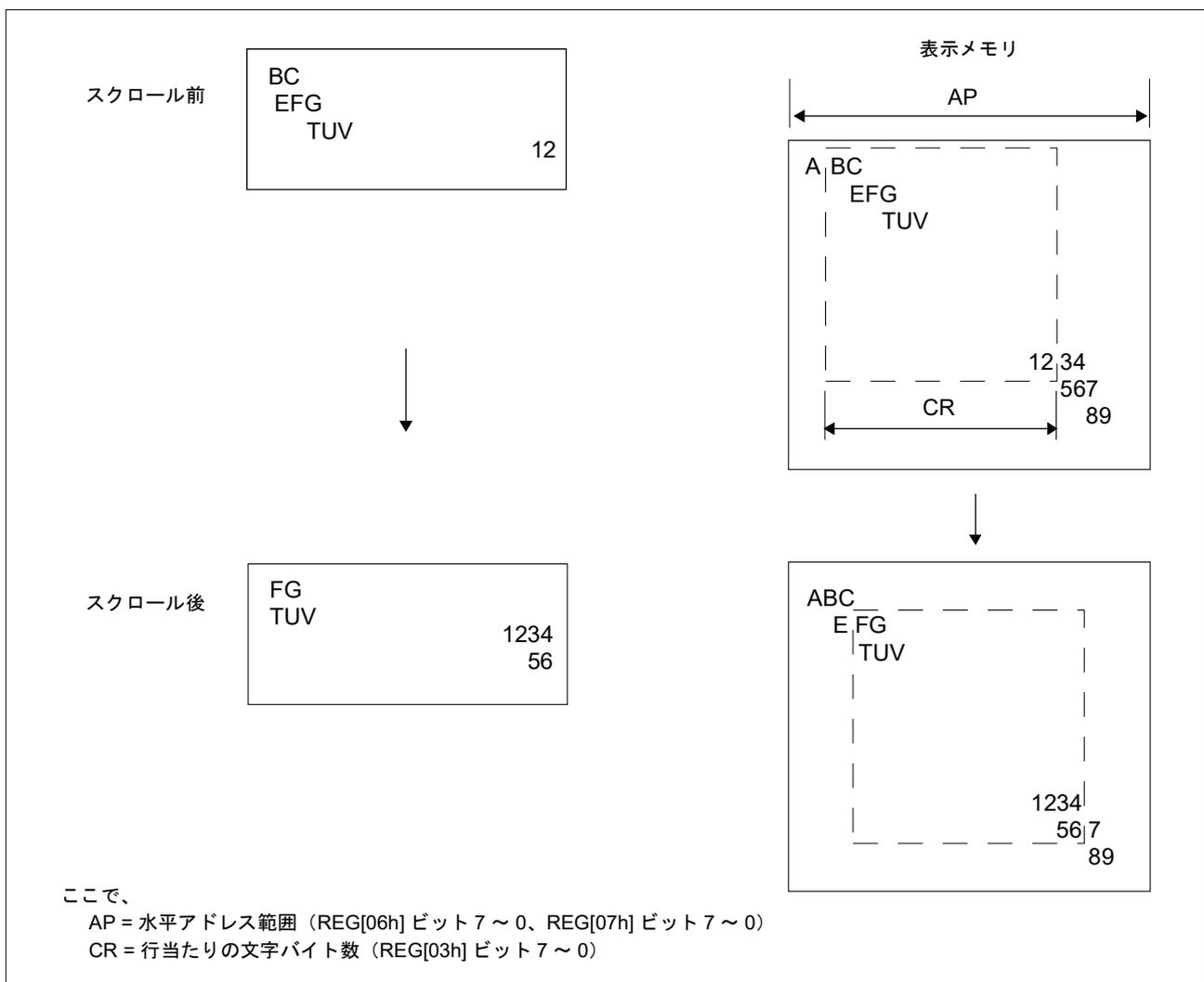


図 12-18: 全方向スクロール

### 12.5.5 スクロール単位

以下の表は、各モードでスクロールできる単位すなわちステップを一覧で示しています。

表 12-1: スクロール単位の一覧

モード	垂直	水平
テキスト	文字	ピクセル/文字
グラフィック	ピクセル	ピクセル

#### 注

分割画面の場合、ピクセル単位で各ブロックを個別に水平スクロールすることはできません。

## 12. 表示制御機能

### 12.5.6 水平ピクセルスクロール (HDOTSCR)

HDOTSCR (REG[1Bh] ビット 2 ~ 0 > 0h) をイネーブルにすると、CR の値は、LCD ディスプレイの正確な水平方向の大きさ (ディスプレイの行ドライバの正確なクロック数) から 1 だけ増やす必要があります ( $CR = CR + 1$ )。たとえば、HDOTSCR がイネーブルのとき、40 文字の表示幅は、CR の値が 41 文字になります。そうでない場合は、空白文字が読み出され (次の文字は表示されません)、ディスプレイの右の列に空白スペースが表示されることとなります。

以下の使用例は、水平ピクセルスクロールのいくつかの例を示しています。

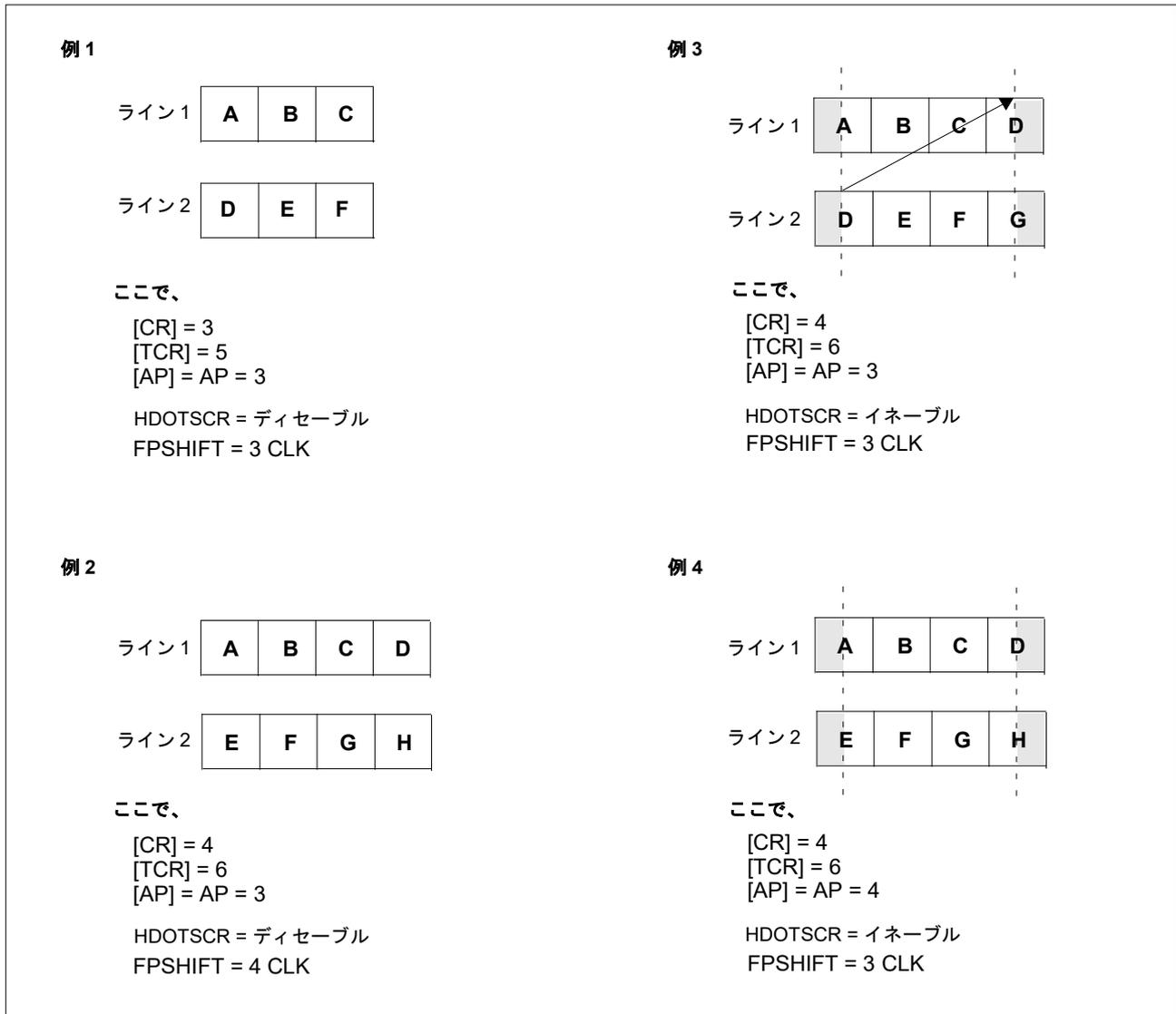


図 12-19: 水平ピクセルスクロールの使用例

---

## 13. キャラクタジェネレータ

### 13.1 各 CG の特長

#### 13.1.1 内蔵キャラクタジェネレータ

内蔵キャラクタジェネレータは、S1D13709、表示 RAM、LCD パネル、シングルチップのマイクロプロセッサ、および電源で構成される最小システム構成で推奨されています。内蔵キャラクタジェネレータは CMOS マスク ROM を使用しているため、低出力のアプリケーションでも推奨されています。

- 5 x 7 ピクセルフォント（186 ページの 16. 項「内蔵キャラクタジェネレータのフォント」を参照）
- JIS 準拠 160 文字
- キャラクタジェネレータ RAM との混用可能（CGRAM 最大 64 文字）
- 最大 8 x 16 ピクセルまで自動的にスペースを挿入可能

#### 13.1.2 キャラクタジェネレータ RAM

キャラクタジェネレータ RAM は、グラフィック文字の格納に使用できます。キャラクタジェネレータ RAM は、マイクロプロセッサによって任意の表示メモリ位置にマッピングすることができ、未使用のアドレス空間を有効に使用することができます。

- REG[00h] ビット 2 = 0 のとき、最大 8 x 8 ピクセル文字。REG[00h] ビット 2 = 1 のとき、最大 8 x 16 文字
- キャラクタジェネレータ ROM とともに使用する場合 (REG[00h] ビット 0 = 0)、表示メモリアドレス空間の任意の場所にマッピングが可能

#### 注

CGRAM (CGRAM1 や CGRAM2 など) を使用する場合は、1bpp だけがサポートされます。

## 13. キャラクタジェネレータ

### 13.2 キャラクタジェネレータアドレスの設定

表示メモリアドレス空間の CGRAM アドレスは、Character Generator RAM Start Address レジスタ (REG[19h] ~ REG[1Ah]) のアドレスから直接マッピングされません。表示されるデータは、(REG[19h] ~ REG[1Ah]) + 文字コード + ROW セレクトアドレスから計算される CGRAM アドレスにあります。ROW セレクトアドレスについては、145 ページの図 13-1 「ROW セレクトアドレス」を参照してください。

以下の表は、CGRAM アドレスのアドレスマッピングを示しています。

表 13-1: 文字フォント (ライン数 ≤ 8 (REG[00h] ビット 2 = 0) の場合)

SAG	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
文字コード	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
+ROW セレクトアドレス	0	0	0	0	0	0	0	0	0	0	0	0	0	R2	R1	R0
CGRAM アドレス	VA15	VA14	VA13	VA12	VA11	VA10	VA9	VA8	VA7	VA6	VA5	VA4	VA3	VA2	VA1	VA0

表 13-2: 文字フォント (ライン数 ≤ 16 (REG[00h] ビット 2 = 1) の場合)

SAG	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
文字コード	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
+ROW セレクトアドレス	0	0	0	0	0	0	0	0	0	0	0	0	R3	R2	R1	R0
CGRAM アドレス	VA15	VA14	VA13	VA12	VA11	VA10	VA9	VA8	VA7	VA6	VA5	VA4	VA3	VA2	VA1	VA0

ROW	R3	R2	R1	R0
ROW 0	0	0	0	0
ROW 1	0	0	0	1
ROW 2	0	0	1	0
↓	↓	↓	↓	↓
ROW 7	0	1	1	1
ROW 8	1	0	0	0
↓	↓	↓	↓	↓
ROW 14	1	1	1	0
ROW 15	1	1	1	1

図 13-1: ROW セレクトアドレス

**注**

ライン数 = 1: 文字ビットマップのライン数 ≤ 8  
 ライン数 = 2: 文字ビットマップのライン数 ≥ 9

## 13. キャラクタジェネレータ

### 13.2.1 CGRAM アドレス指定の例

**例 1:** 122 ページの図 12-1 の "A" のパターンを定義します。CGRAM テーブルの開始アドレスは 4800h です。定義されたパターンの文字コードは 80h です (CGRAM 領域の最初の文字コード)。

147 ページの図 13-2 「内蔵文字コード」の文字コードに示すように、80h ~ 9Fh および E0h ~ EFh のコードが CGRAM に割り当てられており、希望どおりに使用することができます。80h は、CGRAM の最初のコードです。グラフィックモードのみを使用する場合、文字を使用することはできないため、CGRAM データを設定する必要はありません。

表 13-3: 文字データの例

CGRAM ADR	5Ch	
P1	00h	CGRAM アドレスの計算を逆にして SAG を計算
P2	40h	
CSRDIR	4Ch	カーソルシフト方向を右に設定
CSRW	46h	
P1	00h	CGRAM の開始アドレスは 4800h
P2	48h	
MWRITE	42h	
P	70h	ROW 0 のライトデータ
P2	88h	ROW 1 のライトデータ
P3	88h	ROW 2 のライトデータ
P4	88h	ROW 3 のライトデータ
P5	F8h	ROW 4 のライトデータ
P6	88h	ROW 5 のライトデータ
P7	88h	ROW 6 のライトデータ
P8	00h	ROW 7 のライトデータ
P9	00h	ROW 8 のライトデータ
↓	↓	↓
P16	00h	ROW 15 のライトデータ

13.3 文字コード

以下の図は、文字コードと CGRAM に割り当てられたコードを示しています。内蔵 ROM を使用しない場合、すべてのコードは CGRAM で使用できますが、CGRAM のアドレスを 0 に設定する必要があります。

注

CGRAM1 または CGRAM2 のいずれかを使用する場合、1bpp だけがサポートされます。

下位 4 ビット	上位 4 ビット															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	■		0	@	P	'	p					ー	夕	ミ		
1	■	!	1	A	Q	a	q				。	ア	子	ル		
2	■	"	2	B	R	b	r				「	イ	ッ	メ		
3	■	#	3	C	S	c	s				」	ウ	テ	モ		
4	■	\$	4	D	T	d	t				、	エ	ト	ヤ		
5	■	%	5	E	U	e	u				・	オ	ナ	ユ		
6	■	&	6	F	V	f	v				ヲ	カ	ニ	ヨ		
7	■	'	7	G	W	g	w				ヲ	キ	ヌ	ラ		
8	■	(	8	H	X	h	x				イ	ク	ネ	リ		
9	■	)	9	I	Y	i	y				ウ	ケ	ル	ル		
A	■	*	:	J	Z	j	z				エ	コ	ハ	レ		
B	■	+	;	K	[	k	{				オ	サ	ヒ	□		
C	■	,	<	L	¥	l					ハ	シ	フ	ワ		
D	■	.	=	M	]	m	}				ユ	ス	ハ	ン		
E	■	-	>	N	^	n	→				ヨ	セ	ホ	、		
F	■	/	?	O	_	o	←				ッ	ッ	マ	□		

CGRAM1 ↑↑                      CGRAM2 ↑↑

図 13-2: 内蔵文字コード

## 14. マイクロプロセッサのインタフェース

---

### 14. マイクロプロセッサのインタフェース

#### 14.1 システムバスのインタフェース

CNF[4:0]、A[15:1]、A0、D[7:0]、RD#、WR#、AS、および CS が、マイクロプロセッサのデータバスの制御信号として使用されます。A0 は通常、システムアドレスバスの最下位ビットに接続します。CNF[4:2] は、Generic (Z80)、M6800、または MC68K ファミリのバスのいずれかにインタフェース接続できるように、RD# 端子と WR# 端子の動作を変更するためのもので、20 ページの表 5-7「構成オプションの要約 1」に従ってプルアップまたはプルダウンする必要があります。

##### 14.1.1 Generic

以下の表は、各機能の信号状態を示しています。

表 14-1: Generic のインタフェース信号

A0	RD#	WR#	機能
1	0	1	表示データとカーソルアドレスの読み出し
0	1	0	表示データとパラメータの書き込み
1	1	0	コマンドの書き込み

##### 14.1.2 M6800 ファミリ

以下の表は、各機能の信号状態を示しています。

表 14-2: M6800 ファミリのインタフェース信号

A0	R/W#	E	機能
1	1	1	表示データとカーソルアドレスの読み出し
0	0	1	表示データとパラメータの書き込み
1	0	1	コマンドの書き込み

##### 14.1.3 MC68K ファミリ

以下の表は、各機能の信号状態を示しています。

表 14-3: MC68K ファミリのインタフェース信号

A0	RD/WR#	LDS#	機能
1	1	0	表示データとカーソルアドレスの読み出し
0	0	0	表示データとパラメータの書き込み
1	0	0	コマンドの書き込み

## 15. アプリケーションノート

### 15.1 レジスタの初期設定 / 初期設定パラメータ

パラメータ名の太括弧は、パラメータレジスタに書き込まれた値ではなく、パラメータによって表される数値を示しています。たとえば、[FX]=FX+1 です。

#### 15.1.1 STN インターフェースのための SYSTEM SET コマンドとパラメータ

- F X  
水平文字フィールドサイズは、ピクセル単位の水平表示サイズ [VD] と、ライン当たりの文字数 [VC] から算出されます。

$$[VD] \div [VC] = [FX]$$

- CR

CR は、VC と FX から算出することができます。

$$[CR] = \text{RNDUP}([FX] \div 8) [VC]$$

ここで RNDUP(x) は、次の上位の整数に切り上げることを表しています。[CR] は文字数ではなく、ライン当たりのバイト数です。

- TCR

TCR は、[TCR] ≥ [CR] + 2 の条件を満たす必要があります。

- LF

フレーム当たりのライン数は、表示の垂直解像度によって算出されます。

- $f_{\text{SYSCLK}}$  と  $f_{\text{FR}}$

TCR が設定されていれば、フレーム周波数  $f_{\text{FR}}$  およびフレーム当たりのライン数 [LF] も設定されています。選択した中間階調の数値 (bpp) と水平文字フィールドサイズ [FX] に応じた、以下のいずれかの式によって、発振周波数  $f_{\text{SYSCLK}}$  が求められます。

1bpp で [FX]  $\geq$  8 の場合 :

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times F_{\text{fr}} \times [LF] \times F \quad (\text{Hz})$$

$$\begin{aligned} A &= \frac{[TCR]}{[C/R]} \\ B &= \frac{\text{RNDDN}([CR]}{16} \times \frac{[FX]}{\text{RNDUP}(B)} \div 8 \\ C &= \frac{B}{16} \\ D &= C - B \end{aligned}$$

$$E = (B \times 16 \div [FX] + D) \div 2$$

$$F = A + E$$

1bpp で [FX]  $<$  8 の場合 :

$$f_{\text{SYSCLK}} = 2 \times [\text{ClockDiv}] \times F_{\text{fr}} \times [LF] \times F \quad (\text{Hz})$$

## 15. アプリケーションノート

---

$$\begin{aligned}
 A &= \frac{[TCR]}{[CR]} - 4 \\
 B &= \frac{RNDDN([CR]}{16} \times [FX] \div 16 \\
 C &= \frac{RNDDN([CR]}{16} \times RNDUP(B \div 16) \\
 D &= B \\
 E &= (B \times 8 \div [FX] + D) \div 2 \\
 F &= A + E
 \end{aligned}$$

2bpp の場合 :

$$f_{SYSCLK} = 2 \times [ClockDiv] \times Ffr \times [LF] \times (A + C + 1) \quad (\text{Hz})$$

$$\begin{aligned}
 A &= \frac{[TCR]}{[CR]} - 1 \\
 B &= \frac{RNDDN([CR]}{[FX]} \div 8 \\
 C &= 16 \times RNDUP(B \div 16)
 \end{aligned}$$

4bpp の場合 :

$$f_{SYSCLK} = 2 \times [ClockDiv] \times Ffr \times [LF] \times (A + 2 \times C + 2) \quad (\text{Hz})$$

$$\begin{aligned}
 A &= \frac{[TCR]}{[CR]} - 2 \\
 B &= \frac{RNDDN([CR]}{[FX]} \div 16 \\
 C &= 16 \times RNDUP(B \div 16)
 \end{aligned}$$

上記のすべて例において、ClockDiv は 4、8、または 16 です。Ffr はフレームレートです。

$f_{\text{SYSCLK}}$  の計算値に近い標準の水晶振動子が存在しない場合、高い方の周波数の水晶振動子を使用することにより、上記の式のいずれかを使用して TCR の値を修正することができます。

- 誤った TCR 設定の兆候を以下に示します。これらのいずれかが発生した場合、TCR の値を調べて、必要であれば修正してください。
  - 垂直スキャンが停止し、コントラストの強い横線が表示される。
  - すべてのピクセルがオンまたはオフになる。
  - FPLINE 出力信号が欠落している、または破損している。
  - 表示が不安定である。

表 15-1: パネルの計算

製品の解像度 (X × Y)	[FX]	[FY]	[C/R]	[TC/R]	$f_{\text{osc}}$ (MHz) 注 2 を参照
256 × 64	[FX] = 6 ピクセル : 256 ÷ 6 = 42 余り 4 = 4 ブランクピクセル	画面に応じて 8 または 16	[CR] = 42 バイト。HDOT SCR の 使用時は、[CR] = 43 バイト	46	1.66
512 × 64	[FX] = 6 ピクセル : 512 ÷ 6 = 85 余り 2 = 2 ブランクピクセル	画面に応じて 8 または 16	[CR] = 85 バイト。HDOT SCR の 使用時は、[CR] = 86 バイト	98	3.52
256 × 128	[FX] = 6 ピクセル : 256 ÷ 8 = 32 余り 0 = ブランクピクセルなし	画面に応じて 8 または 16	[CR] = 32 バイト。HDOT SCR の 使用時は、[CR] = 33 バイト	36	2.5
512 × 128	[FX] = 10 ピクセル : 256 ÷ 10 = 51 余り 2 = 2 ブランクピクセル	画面に応じて 8 または 16	[CR] = 102 バイト。HDOT SCR の使用時は、[CR] = 103 バイト	120	8.6

**注**

- 1 ディスプレイの右側の残りのピクセルは、SID13709 によって自動的にブランクになります。これらのピクセルに対応する表示メモリをゼロにする必要はありません。
- 2 フレーム周波数 70Hz、1bpp、およびクロックの分周 4 を想定しています。

**15.1.2 TFT インターフェースのための SYSTEM SET コマンドとパラメータ**

- FX  
ソース画像の水平文字フィールドサイズはピクセル単位の水平ソース画像 [VD] と水平ソース画像のライン当たりの文字数 [VC] から決定されます。

$$[VD] \div [VC] = [FX]$$

- CR

CR は VC と FX から決定されます。

$$[CR] = \text{RNDUP}([FX] \div 8) \times [VC] \times \text{bpp}$$

## 15. アプリケーションノート

---

ここで  $RNDUP(x)$  は、次の上位の整数に切り上げることを表しています。[CR] は文字数ではなく、ライン当たりのバイト数です。

- TCR

TCR は  $[TCR] \geq [CR] + 2$  の条件を満たす必要があります。

- LF

フレーム当たりのライン数は、表示の垂直解像度によって算出されます。

- $f_p$  and  $f_{FR}$

TFT クロック (FPSHIFT) 周波数  $f_p$  は [HT]、[VT] とフレーム周波数  $F_{fr}$  から決定されます。

$$f_p = [VT] \times [HT] \times F_{fr}$$

TFT クロックは PLL によって生成されます。詳細は see REG[31h] - REG[33h].

- $f_{SYSCLK}$

$f_{SYSCLK}$  はシステムクロック周波数で 20MHz あるいは 24MHz を推奨します。

### 注

1. 4bpp が選択 (REG[20h] bits 1-0 = 10) されている場合、 $f_{SYSCLK}$  は 24MHz 以上にする必要があります。
2. 以下のような式で求められます。

$$f_{SYSCLK} \leq 7 \times f_p$$

$$f_{SYSCLK} \geq 8 ([TCR] + 4) \times [LF] \times f_p \div [VDP] \div [HT]$$

$$f_{SYSCLK} \geq 16 \times ([TCR] + 4) \times f_p \div [HT] \div ([VT] - [VDP] - [VDPS])$$

ここで

[VT] = TFT 全垂直期間 ({REG[3Ch] ビット 2 ~ 0, REG[3Bh] ビット 7 ~ 0}+1)

[VDP] = TFT 垂直表示期間 ({REG[3Eh] ビット 2 ~ 0, REG[3Dh] ビット 7 ~ 0}+1)

[VDPS] = TFT 垂直表示期間開始位置 ({REG[40h] ビット 2 ~ 0, REG[3Fh] ビット 7 ~ 0})

[HT] = TFT 全水平期間 ({REG[36h] ビット 2 ~ 0, REG[35h] ビット 7 ~ 0}+1)

15.1.3 STN インターフェースのための初期設定の例

以下に示した初期設定の例は、8ビットマイクロプロセッサのインタフェースバスとSTN-LCD 512x128pixelを使用した例です。

インダイレクトアドレス指定

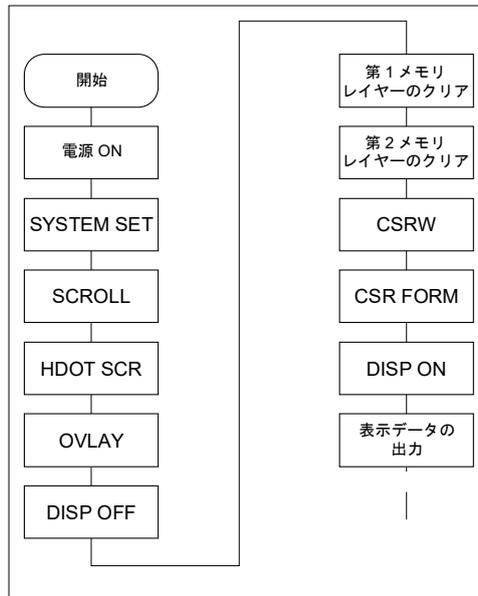


図 15-1: 初期設定の手順 1

注

カーソルアドレスを各画面のレイヤーメモリの先頭に設定し、MWRITE を使用してメモリにスペース文字 20h (テキスト画面専用) または 00h (グラフィック画面専用) を書き込みます。クリアするメモリの決定方法は、158 ページの 15.1.4 項「TFT インターフェースのための初期化例」で説明します。

表 15-2: インダイレクトアドレス指定の初期設定の手順

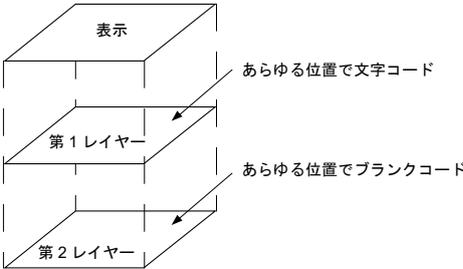
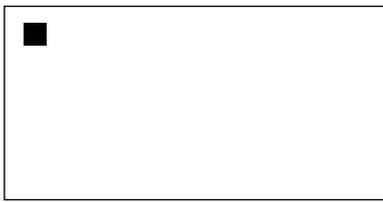
No.	コマンド	動作
1	電源投入	
2	電源供給	
3	SYSTEM SET	
	C = 40h	
	水晶振動子が安定するまで待ちます	水晶振動子を使用する場合は 3ms 待ってください。
	P1 = 38h	外部発振器を使用する場合、ディレイは不要です。 M0: 内蔵 CGROM (REG[00h] ビット 0) M2: 8 ライン / 文字 (REG[00h] ビット 2) W/S: デュアルパネル駆動 (REG[00h] ビット 3) IV: 最上ライン補正をなしに設定 (REG[00h] ビット 5)
	P2 = 87h	FX: 水平文字サイズ = 8 ピクセル (REG[01h] ビット 3 ~ 0) MOD: デュアルパネル交流駆動 (REG[01h] ビット 7)

## 15. アプリケーションノート

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
4	P3 = 07h	FY: 垂直文字サイズ = 8 ピクセル (REG[02h] ビット 3 ~ 0)
	P4 = 3Fh	CR: 64 の表示アドレス / ライン (REG[03h] ビット 7 ~ 0)
	P5 = 49h	TCR: 総アドレス範囲 / ライン = 90 (REG[04h] ビット 7 ~ 0)
		fOSC = 6.5MHz、fFR = 70Hz
	P6 = 7Fh	L/F: 128 の表示ライン (REG[05h] ビット 7 ~ 0)
	P7 = 80h	AP: 仮想スクリーンの水平サイズは 128 アドレス (REG[06h] ビット 7 ~ 0、REG[07h] ビット 7 ~ 0)
	P8 = 00h	
	SCROLL	
	C = 44h	
	P1 = 00h	第 1 ブロック画面の開始アドレス (REG[0Bh] ビット 7 ~ 0、REG[0Ch] ビット 7 ~ 0)
P2 = 00h	0000h に設定	
P3 = 40h	第 1 ブロック画面の表示ライン数 = 64 (REG[0Dh] ビット 7 ~ 0)	
P4 = 00h	第 2 ブロック画面の開始アドレス (REG[0Eh] ビット 7 ~ 0、REG[0Fh] ビット 7 ~ 0)	
P5 = 10h	1000h に設定	
P6 = 40h	第 2 ブロック画面の表示ライン数 = 64 (REG[10h] ビット 7 ~ 0)	
P7 = 00h	第 3 ブロック画面の開始アドレス (REG[11h] ビット 7 ~ 0、REG[12h] ビット 7 ~ 0)	
P8 = 04h	0400h に設定	
P9 = 00h	第 4 ブロック画面の開始アドレス (REG[13h] ビット 7 ~ 0、REG[14h] ビット 7 ~ 0)	
P10 = 30h	3000h に設定	
		<p style="text-align: center;">表示メモリ</p>
5	HDOT SCR C = 5Ah	
6	P1 = 00h	水平ピクセルシフトを 0 に設定 (REG[1Bh] ビット 2 ~ 0)
	OVLAY C = 5Bh P1 = 01h	
7	DISP ON/OFF	
	C = 58h	MX1、MX0: 白黒反転重ね合わせ (REG[18h] ビット 1 ~ 0)
	P1 = 56h	DM1: 第 1 ブロック画面はテキストモード (REG[18h] ビット 2) DM2: 第 3 ブロック画面はテキストモード (REG[18h] ビット 3) D: 表示オフ (REG[09h] ビット 0) FC1、FC0: 2Hz でカーソルフラッシング (REG[0Ah] ビット 1 ~ 0)

表15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
8	FP1, FP0: 第1レイヤーのデータクリア	第1ブロック画面オン (REG[0Ah] ビット3~2)
9	FP3, FP2: 第2レイヤーのデータクリア	第2/第4ブロック画面オン (REG[0Ah] ビット5~4) 第3ブロック画面オン (REG[0Ah] ビット7~6) 第1画面レイヤーメモリに20h (スペース文字) を書き込む 第2画面レイヤーメモリに00h (ブランクデータ) を書き込む
		
10	CSRW C = 46h P1 = 00h P2 = 00h	カーソルを第1ブロック画面の先頭に設定 (REG[1Ch] ビット7~0, REG[1Dh] ビット7~0)
11	CSR FORM C = 5Dh P1 = 04h P2 = 86h	CRX: 水平カーソルサイズ = 5ピクセル (REG[15h] ビット3~0) CRY: 垂直カーソルサイズ = 7ピクセル (REG[16h] ビット3~0) CM: ブロックカーソル (REG[16h] ビット7)
12	DISP ON/OFF C = 59h P = 56h	表示オン 
13	CSR DIR C = 4Ch	カーソルシフト方向を右方向に設定 (REG[17h] ビット1~0)
14	MWRITE C = 42h P1 = 20h P2 = 45h P3 = 50h P4 = 53h P5 = 4Fh	' ' 'E' 'P' 'S' 'O'

## 15. アプリケーションノート

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

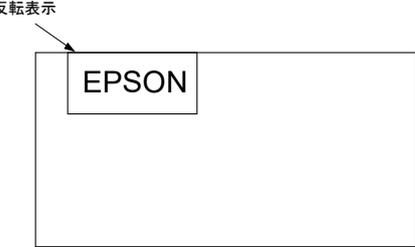
No.	コマンド	動作
	P6 = 4Eh	'N'
		
15	CSRW C = 46h P1 = 00h	カーソルを第2ブロック画面の先頭に設定 (REG[1Ch] ビット 7~0、REG[1Dh] ビット 7~0)
16	P2 = 10h CSR DIR C = 4Fh	カーソルシフト方向を下方向に設定 (REG[17h] ビット 1~0)
17	MWRITE C = 42h P1 = FFh ↓ P9 = FFh	'E' の左側の正方形を塗り潰す
		
18	CSRW C = 46h P1 = 01h	カーソルアドレスを 1001h に設定 (REG[1Ch] ビット 7~0、REG[1Dh] ビット 7~0)
19	P2 = 10h MWRITE C = 42h P1 = FFh ↓ P9 = FFh	ライン 1 の 2 列目に第 2 ブロック画面を埋める
20	CSRW	18 と 19 の操作を繰り返して、'EPSON' の背景を埋める (REG[1Ch] ビット 7~0、REG[1Dh] ビット 7~0)
		
↓		
29	MWRITE	

表 15-2: インダイレクトアドレス指定の初期設定の手順 (続き)

No.	コマンド	動作
30	CSRW C = 46h P1 = 00h P2 = 01h	カーソルを第 1 ブロック画面のライン 3 に設定 (REG[1Ch] ビット 7 ~ 0、REG[1Dh] ビット 7 ~ 0)
31	CSR DIR C = 4Ch	カーソルシフト方向を右方向に設定 (REG[17h] ビット 1 ~ 0)
32	MWRITE C = 42h P1 = 44h P2 = 6Fh P3 = 74h P4 = 20h P5 = 4Dh P6 = 61h P7 = 74h P8 = 72h P9 = 69h P10 = 78h P11 = 20h P12 = 4Ch P13 = 43h P14 = 44h	<p>'D' 'o' 't' ' ' 'M' 'a' 't' 'r' 'i' 'x' ' ' 'L' 'C' 'D'</p> <p>反転表示</p>  <p>ドットマトリックス LCD</p>

## 15. アプリケーションノート

### 15.1.4 TFT インターフェースのための初期化例

この初期化例は 8 ビットマイクロプロセッサのインターフェースバスと TFT-LCD パネル WVGA(800x480pixel) を使用した例です。メモリに書き込まれるソース画像は 320x240pixel の画像です。

#### インダイレクトアドレス指定

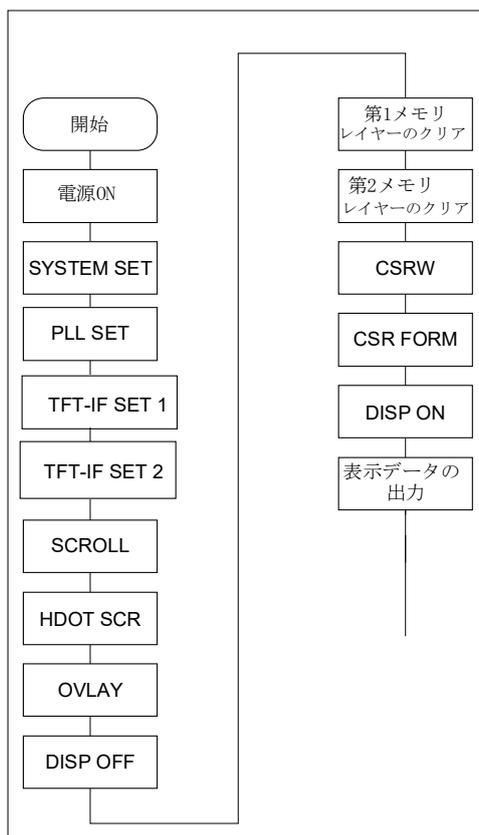


Figure 15-2 初期設定の手順 2

カーソルアドレスを各画面のレイヤーメモリの先頭に設定し、MWRITE を使用してメモリにスペース文字 20h (テキスト画面専用) または 00h (グラフィック画面専用) を書き込みます。クリアするメモリの決定方法は、158 ページの 15.1.4 項「TFT インターフェースのための初期化例」を参照してください。

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
1	CNF[10:0] 端子設定	
2	RESET#	
3	SYSTEM SET C = 40h	

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
4	Wait a crystal stabilization time	水晶振動子を使用する場合は水晶が安定するまでディレイが必要です。そのディレイ時間は水晶振動子に依存します。 外部から水晶発振器を使用する場合、ディレイは必要はありません。
	P1 = 30h	M0: 内臓 CGROM (REG[00h] ビット 0) M2:8 ライン / 文字 (REG[00h] ビット 2) W/S: TFT インターフェース (REG[00h] ビット 3=0) に設定 IV: 最上ライン補正をなしに設定 (REG[00h] ビット 5)
	P2 = 07h	FX: 水平文字サイズ = 8 ピクセル (REG[01h] ビット 3-0) MOD: TFT インターフェースの場合、このビットは無効です (REG[01h] ビット 7)
	P3 = 07h	FY: 垂直文字サイズ = 8 ピクセル (REG[02h] ビット 3-0)
	P4 = 27h	CR: 40 の表示アドレス / ライン (REG[03h] ビット 7-0)
	P5 = 36h	TCR: 総アドレス範囲 / ライン = 55 (REG[04h] ビット 7-0) $f_{SYSCLK} = 20 \text{ MHz}$ , $f_{FR} = 60 \text{ Hz}$
	P6 = EFh	LF: 240 の表示ライン (REG[05h] ビット 7-0)
	P7 = 50h	AP: 仮想スクリーンの水平サイズは 80 アドレス (REG[06h] ビット 7-0, REG[07h] ビット 6-0)
	P8 = 00h	
	PLL SET	
5	C = 62h	
	P1 = 21h	PIR: 2 (REG[31h] ビット 3-0), $f_{PLLI} = 20 \text{ MHz} \div 2 = 10 \text{ MHz}$ POR: 3 (REG[31h] ビット 7-4), $f_P = 100 \text{ MHz} \div 3 = 33.3 \text{ MHz}$
	P2 = 99h	N: 10 (REG[32h] ビット 3-0), $f_{PLLIO} = 10 \text{ MHz} \times 10 = 100 \text{ MHz}$ RS: 9 (REG[32h] ビット 7-4)
	P2 = 24h	VC: 4 (REG[33h] ビット 4-0) V: 2 (REG[33h] ビット 6-5), $f_{VCO} = 100 \text{ MHz} \times 2 = 200 \text{ MHz}$
	TFT-IF SET 1	
6	C = 63	
	P1 = 25h	TFT インターフェース: イネーブル (REG[34h] ビット 0) TFT カラーモード選択: グレースケール (REG[34h] ビット 1) TFT アップスケラ方式選択: ニアリストイネーバー (REG[34h] ビット 2) FPSHIFT の極性: FPSHIFT の立下りエッジ (REG[34h] bit 4) FPDRDY の極性: アクティブ High (REG[34h] bit 5) FPLINE の極性: アクティブ Low (REG[34h] bit 6) FPFRAME の極性: アクティブ (REG[34h] bit 7)
	TFT-IF SET 2	
	C = 64h	
	P1 = 1Fh	TFT 水平トータル期間 = 1056 (REG[36h] bits 2-0, REG[35h] bits 7-0)
	P2 = 04h	041Fh を設定
	P3 = 1Fh	TFT 水平表示期間 = 800 (REG[38h] bits 2-0, REG[37h] bits 7-0)
P4 = 03h	031Fh を設定	
P5 = 2Eh	TFT 水平表示開始位置 = 46 (REG[3Ah] bits 2-0, REG[39h] bits 7-0)	

## 15. アプリケーションノート

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作	
7	P6 = 00h	031Fh を設定	
	P7 = 0Fh	TFT 垂直トータル期間 = 528 (REG[3Ch] bits 2-0, REG[3Bh] bits 7-0)	
	P8 = 02h	020Fh を設定	
	P9 = DFh	TFT 垂直表示期間 = 480 (REG[3Eh] bits 2-0, REG[3Dh] bits 7-0)	
	P10 = 01h	01DFh を設定	
	P11 = 17h	TFT 垂直表示開始位置 = 23 (REG[40h] bits 2-0, REG[3Fh] bits 7-0)	
	P12 = 00h	0017h を設定	
	P13 = 02h	TFT の FPFRAME パルス幅 = 3 (REG[41h] bits 7-0)	
	P14 = 07h	TFT の FPLINE パルス幅 = 8 (REG[42h] bits 7-0)	
	P15 = 00h	TFT の FPLINE パルス位置 = 0 (REG[44h] bits 2-0, REG[43h] bits 7-0)	
	P16 = 00h	0000h に設定	
	P17 = 99h	TFT 水平スケールレート = $800 \div 320 = 2.5$ (REG[46h] bits 2-0, REG[45h] bits 7-0)	
	P18 = 01h	0199h	
	P19 = 00h	TFT 垂直スケールレート = $480 \div 240 = 2$ (REG[48h] bits 2-0, REG[47h] bits 7-0)	
	P20 = 02h	0200h	
	P21 = 00h	TFT 水平表示オフセット = 0 (REG[4Ah] bits 2-0, REG[49h] bits 7-0)	
	P22 = 00h	0000h に設定	
		SCROLL	
		C = 44h	
		P1 = 00h	第 1 ブロック画面の開始アドレス (REG[0Bh] bits 7-0, REG[0Ch] bits 6-0)
		P2 = 00h	0000h に設定
		P3 = 7Fh	第 1 ブロック画面の表示ライン数 = 128 (REG[0Dh] bits 7-0)
	P4 = 00h	第 2 ブロック画面の開始アドレス (REG[0Eh] bits 7-0, REG[0Fh] bits 6-0)	
	P5 = 20h	2000h に設定	
	P6 = EFh	第 2 ブロック画面の表示ライン数 = 240 (REG[10h] bits 7-0)	
	P7 = 00h	第 3 ブロック画面の開始アドレス (REG[11h] bits 7-0, REG[12h] bits 6-0)	
	P8 = 01h	1000h に設定	
	P9 = 00h	第 4 ブロック画面の開始アドレスは未使用 (REG[13h] bits 7-0, REG[14h] bits 6-0)	
	P10 = 00h	Set to 0000h	
		<p>表示メモリ</p>	
8	HDOT SCR		

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
9	C = 5Ah P1 = 00h OVLAY C = 5Bh P1 = 01h	水平ピクセルシフトを 0 に設定 (REG[1Bh] bits 2-0)  MX 1, MX 0: 白黒反転重ね合わせ (REG[18h] bits 1-0) DM 1: 第 1 ブロック画面はテキストモード (REG[18h] bit 2) DM 2: 第 3 ブロック画面はテキストモード (REG[18h] bit 3)
10	DISP ON/OFF C = 58h P1 = 56h FP1, FP0: FP3, FP2: FP5, FP4:	D: 表示オフ (REG[09h] bit 0) FC1, FC0: 2Hz でカーソルフラッシング (REG[0Ah] bits 1-0) 第 1 ブロック画面オン (REG[0Ah] bits 3-2) 第 2 ブロック画面オン (REG[0Ah] bits 5-4) 第 3 ブロック画面オン (REG[0Ah] bits 7-6)
11	第 1 レイヤーのデータ クリア	第 1 画面レイヤーメモリに 20h (スペース文字) を書き込む
12	第 2 レイヤーのデータ クリア	第 2 画面レイヤーメモリに 00h (ブランクデータ) を書き込む
13	CSRW C = 46h P1 = 00h P2 = 00h	カーソルを第 1 ブロック画面の先頭に設定 (REG[1Ch] bits 7-0, REG[1Dh] bits 7-0)
14	CSR FORM C = 5Dh P1 = 04h P2 = 86h	CRX: 水平カーソルサイズ = 5 ピクセル (REG[15h] bits 3-0) CRY: 垂直カーソルサイズ = 7 ピクセル (REG[16h] bits 3-0) CM: ブロックカーソル (REG[16h] bit 7)
15	DISP ON/OFF C = 59h P1 = 56h	表示オン  
16	CSR DIR	

## 15. アプリケーションノート

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
17	C = 4Ch MWRITE C = 42h P1 = 20h P2 = 45h P3 = 50h P4 = 53h P5 = 4Fh P6 = 4Eh	カーソルシフト方向を右方向に設定 (REG[17h] bits 1-0) ‘ ’ ‘E’ ‘P’ ‘S’ ‘O’ ‘N’ 
18	CSRW C = 46h P1 = 00h P2 = 10h	カーソルを第 2 ブロック画面の先頭に設定 (REG[1Ch] bits 7-0, REG[1Dh] bits 7-0)
19	CSR DIR C = 4Fh	カーソルシフト方向を下方向に設定 (REG[17h] bits 1-0)
20	MWRITE C = 42h P1 = FFh ↓ P9 = FFh	‘E’ の左側の正方形を塗り潰す 
21	CSRW C = 46h P1 = 01h P2 = 10h	カーソルアドレスを 1001h に設定 (REG[1Ch] bits 7-0, REG[1Dh] bits 7-0)
22	MWRITE C = 42h P1 = FFh ↓ P9 = FFh	ライン 1 の 2 列目に第 2 ブロック画面を埋める

表 15-3: インダイレクトアドレス指定の初期設定の手順

No.	コマンド	動作
23	CSRW	21 と 22 の操作を繰り返して、'EPSON' の背景を埋める (REG[1Ch] bits 7-0, REG[1Dh] bits 7-0)
↓		 <p>反転表示</p>
32	MWRITE	
33	CSRW C = 46h P1 = 00h	カーソルを第 1 ブロック画面のライン 3 に設定 (REG[1Ch] bits 7-0, REG[1Dh] bits 7-0)
34	CSR DIR C = 4Ch	カーソルシフト方向を右方向に設定 (REG[17h] bits 1-0)
35	MWRITE C = 42h P1 = 44h P2 = 6Fh P3 = 74h P4 = 20h P5 = 4Dh P6 = 61h P7 = 74h P8 = 72h P9 = 69h P10 = 78h P11 = 20h P12 = 4Ch P13 = 43h P14 = 44h	'D' 'o' 't' ' ' 'M' 'a' 't' 'r' 'i' 'x' ' ' 'L' 'C' 'D'
		 <p>反転表示</p> <p>ドットマトリクス LCD</p>

## 15. アプリケーションノート

---

### 15.1.5 表示モードの設定例 1: テキストとグラフィックの重ね合わせ

#### 条件

- STN-LCD:320 × 240 ピクセル、シングルパネル駆動 (1/200 デューティサイクル)  
TFT-LCD:800 × 480 ピクセル
- 第1レイヤー: テキスト表示
- 第2レイヤー: グラフィック表示
- 文字フォント: 8 × 8 ピクセル
- CGRAM 不要

#### 表示メモリの割り当て

- 第1レイヤー (テキスト):  $320 \div 8 = 40$  文字 / ライン、 $240 \div 8 = 30$  ライン。必要なメモリサイズ =  $40 \times 30 = 1200$  バイト
- 第2レイヤー (グラフィック):  $320 \div 8 = 40$  文字 / ライン、 $240 \div 1 = 240$  ライン。必要なメモリサイズ =  $40 \times 240 = 9600$  バイト

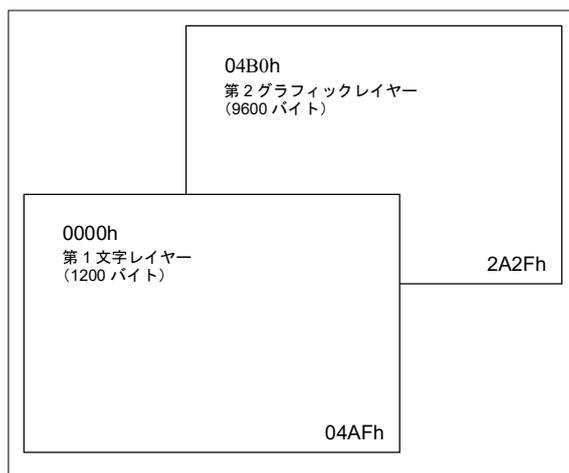


図 15-3: 文字レイヤーとグラフィックレイヤー



## 15. アプリケーションノート

---

P18 = 01h  
P19 = 00h  
P20 = 02h  
P21 = 00h  
P22 = 00h

SCROLL

C = 44h  
P1 = 00h  
P2 = 00h  
P3 = EFh  
P4 = AFh  
P5 = 04h  
P6 = EFh  
P7 = Xh  
P8 = Xh  
P9 = Xh  
P10 = Xh

CSRFORM

C = 5Dh  
P1 = 04h  
P2 = 86h

HDOT SCR

C = 5Ah  
P1 = 00h

OVLAY

C = 5Bh  
P1 = 00h

DISP ON/OFF

C = 59h  
P1 = 16h

X = 任意

### 15.1.6 表示モードの設定例 2: グラフィックとグラフィックの重ね合わせ

#### 条件

- STN LCD:320 × 240 ピクセル、シングルパネル駆動 (1/200 デューティサイクル)  
TFT LCD:800x480 ピクセル
- 第1レイヤー: グラフィック表示
- 第2レイヤー: グラフィック表示

**表示メモリの割り当て**

- 第1レイヤー（グラフィック）： $320 \div 8 = 40$  文字 / ライン、 $240 \div 1 = 240$  ライン。  
必要なメモリサイズ =  $40 \times 240 = 9600$  バイト
- 第2レイヤー（グラフィック）： $320 \div 8 = 40$  文字 / ライン、 $240 \div 1 = 240$  ライン。  
必要なメモリサイズ =  $9600$  バイト

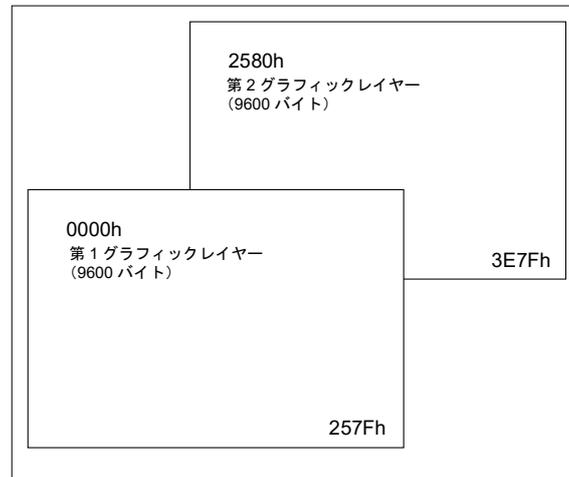


図 15-4: 2つのグラフィックレイヤー

## 15. アプリケーションノート

---

### レジスタの設定手順

SYSTEM SET	TC/R の算出
C = 40h 3ms delay	水晶振動子を使用する場合は 3ms 待ってください。
P1 = 30h	STN インターフェースの場合 $f_{\text{sysclk}} = 6.5\text{MHz}$ (149 ページの 15.1.1 項「STN インターフェースのための SYSTEM SET コマンドとパラメータ」を参照)
P2 = 87h	TFT インターフェースの場合 $f_{\text{sysclk}} = 20\text{MHz}$ (151 ページの 15.1.2 項「TFT インターフェースのための SYSTEM SET コマンドとパラメータ」を参照)
P3 = 07h	$f_{\text{FR}} = 60\text{Hz}$ (149 ページの 15.1.1 項「STN インターフェースのための SYSTEM SET コマンドとパラメータ」を参照)
P4 = 27h	
P5 = 33h	[TCR] = 52 であるから、TCR = 33h
P6 = EFh	
P7 = 28h	
P8 = 00h	
PLL SET	このコマンドは TFT パネルを使用する場合のみです
C = 62h	
P1 = 21h	
P2 = 99h	
P2 = 24h	
TFT-IF SET 1	このコマンドは TFT パネルを使用する場合のみです
C = 63	
P1 = 25h	
TFT-IF SET 2	このコマンドは TFT パネルを使用する場合のみです
C = 64h	
P1 = 1Fh	
P2 = 04h	
P3 = 1Fh	
P4 = 03h	
P5 = 2Eh	
P6 = 00h	
P7 = 0Fh	
P8 = 02h	
P9 = DFh	
P10 = 01h	
P11 = 17h	
P12 = 00h	
P13 = 02h	
P14 = 07h	
P15 = 00h	
P16 = 00h	
P17 = 99h	

---

P18 = 01h  
P19 = 00h  
P20 = 02h  
P21 = 00h  
P22 = 00h

SCROLL

C = 44h  
P1 = 00h  
P2 = 00h  
P3 = EFh  
P4 = 80h  
P5 = 25h  
P6 = EFh  
P7 = Xh  
P8 = Xh  
P9 = Xh  
P10 = Xh

CSRFORM

C = 5Dh  
P1 = 07h  
P2 = 87h

HDOT SCR

C = 5Ah  
P1 = 00h

OVLAY

C = 5Bh  
P1 = 0Ch

DISP ON/OFF

C = 59h  
P1 = 16h

X = 任意

### 15.1.7 表示モードの設定例 3: 3つのグラフィックレイヤーの重ね合わせ

#### 条件

- STN LCD:320 × 240 ピクセル、シングルパネル駆動 (1/200 デューティサイクル)  
TFT LCD:800 × 480 ピクセル
- 第1レイヤー: グラフィック表示
- 第2レイヤー: グラフィック表示
- 第3レイヤー: グラフィック表示

## 15. アプリケーションノート

---

### 表示メモリの割り当て

- すべてのレイヤー（グラフィック）： $320 \div 8 = 40$  文字/ライン、 $240 \div 1 = 240$  ライン。必要なメモリサイズ =  $40 \times 240 = 9600$  バイト

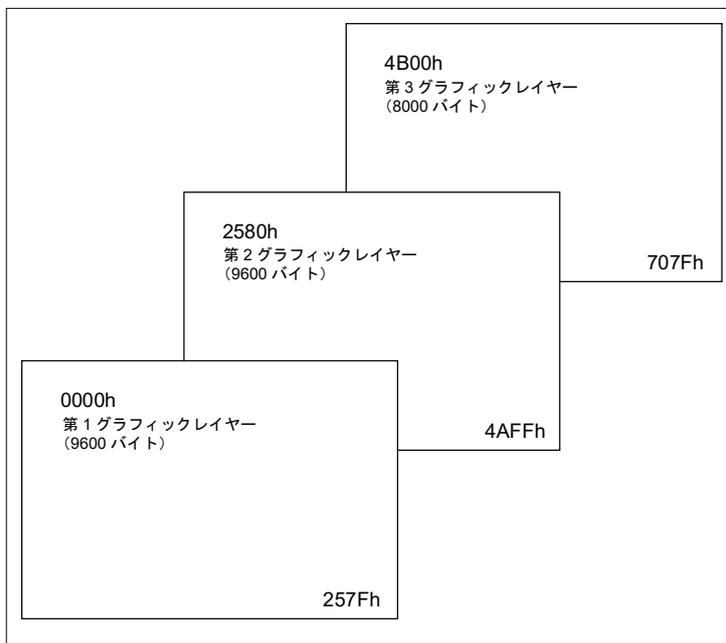


図 15-5: 3つのグラフィックレイヤー



## 15. アプリケーションノート

---

P18 = 01h

P19 = 00h

P20 = 02h

P21 = 00h

P22 = 00h

### SCROLL

C = 44h

P1 = 00h

P2 = 00h

P3 = EFh

P4 = 80h

P5 = 25h

P6 = EFh

P7 = 00h

P8 = 4Bh

P9 = Xh

P10 = Xh

### CSR FORM

C = 5Dh

P1 = 07h

P2 = 87h

### HDOT SCR

C = 5Ah

P1 = 00h

### OVLAY

C = 5Bh

P1 = 1Ch

### DISP ON/OFF

C = 59h

P1 = 16h

X = 任意

## 15.2 TFT インターフェース自動設定モード

TFT インターフェースを除く全てのレジスタは S1D13700 と互換性があります。STN インターフェースが使われる場合、S1D13700 のソフトウェアは S1D137090 にも使用することができます。TFT インターフェースが使われる場合、TFT インターフェースの設定は S1D13700 のソフトウェアに加えなければなりません。しかしながら、S1D13700 のソフトウェアが STN の QVGA サイズでプログラムされていて、シングルパネル駆動 (REG[00h] bit 3=0) である場合、S1D13709 の TFT インターフェース自動設定モードにより、S1D13700 のソフトウェアを使用することができます。

### 注

S1D13700 のソフトウェアがデュアルパネル駆動モード (REG[00h] bit 3=1) をプログラムしている場合、TFT インターフェース自動設定モードは使用できません。

CNF[10:5] 端子は TFT インターフェース自動設定モードを設定します。  
 CNF[7:5] は TFT のパネルサイズを選択します。(QVGA、WQVGA、VGA、WVGA。  
 CNF8 は TFT クロック (FPSHIFT) の極性を選択します。  
 CNF9 は TFT インターフェース端子の駆動能力を選択します。  
 CNF10 は入力クロック (CLKI, XCG1) 周波数を選択します。  
 CNF[10:5] の詳細は 20 ページの表 5-7: 項「構成オプションの要約 1」を参照してください。

TFT クロック周波数は以下のように、CNF[7:5] と CNF[10] によって決定されます。

表 15-4: TFT インターフェース自動設定モードでの TFT クロック周波数

CNF[10]	CNF[7:5]	FPSHIFT Frequency			Units
		Min	Typ	Max	
0 (CLKI/XCG1 = 20.00MHz)	001 (QVGA から QVGA)	6.5	6.7	6.8	MHz
1 (CLKI/XCG1 = 24.00MHz)	001 (QVGA から QVGA)	6.8	6.9	7.1	MHz
0 (CLKI/XCG1 = 20.00MHz)	010 (QVGA から WQVGA)	8.2	8.3	8.5	MHz
1 (CLKI/XCG1 = 24.00MHz)	010 (QVGA から WQVGA)	8.5	8.7	8.9	MHz
0 (CLKI/XCG1 = 20.00MHz)	011 (QVGA から VGA)	24.5	25.0	25.5	MHz
1 (CLKI/XCG1 = 24.00MHz)	011 (QVGA から VGA)	25.5	26.0	26.6	MHz
0 (CLKI/XCG1 = 20.00MHz)	100 (QVGA から WVGA)	32.7	33.3	34.0	MHz
1 (CLKI/XCG1 = 24.00MHz)	100 (QVGA から WVGA)	34.0	34.7	35.4	MHz

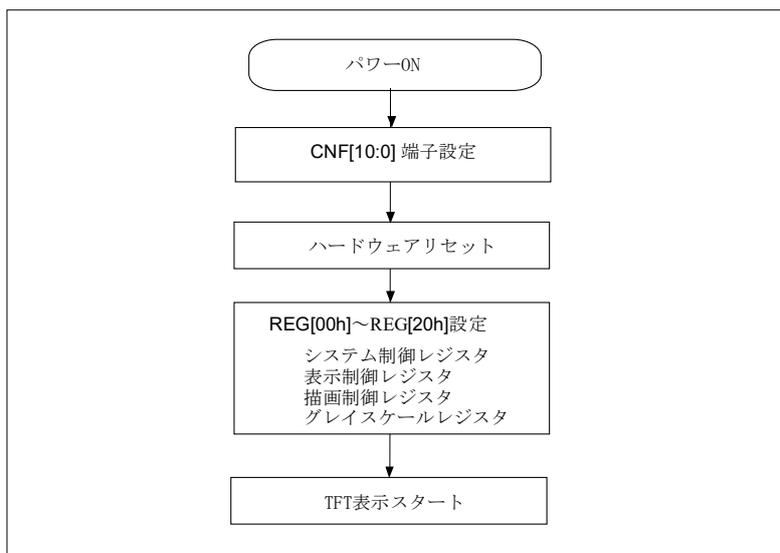


図 15-6: TFT インターフェース自動設定モードフロー

CNF[10:5] 設定は REG[31h] ~ REG[73h] の値を以下のように設定します。TFT インターフェイス自動設定モードが有効な場合 (SEL[7:5] = 001、010、011、100)、REG[31h] ~ REG[73h] はホストアクセスで変更することはできません。

表 15-5: TFT インターフェイス自動設定モード時のレジスタ値

Register	Automatically Setting Value			
	CNF[7:5] = 001 to QVGA	CNF[7:5] = 010 to WQVGA	CNF[7:5] = 011 to VGA	CNF[7:5] = 100 to WVGA
REG[31h]	E1h (SEL10 = 0) E2h (SEL10 = 1)	B1h (SEL10 = 0) B2h (SEL10 = 1)	31h (SEL10 = 0) 32h (SEL10 = 1)	21h (SEL10 = 0) 22h (SEL10 = 1)
REG[32h]	99h (SEL10 = 0) 9Ch (SEL10 = 1)			
REG[33h]	24h	24h	24h	24h
REG[34h] (Note)	25h (SEL8 = 0) 35h (SEL8 = 1)			
REG[35h]	97h	0Fh	1Fh	1Fh
REG[36h]	01h	02h	03h	04h
REG[37h]	3Fh	DFh	7Fh	1Fh
REG[38h]	01h	01h	02h	03h
REG[39h]	46h	28h	90h	2Eh
REG[3Ah]	00h	00h	00h	00h
REG[3Bh]	07h	1Fh	0Fh	0Fh
REG[3Ch]	01h	01h	02h	02h
REG[3Dh]	EFh	0Fh	DFh	DFh
REG[3Eh]	00h	01h	01h	01h
REG[3Fh]	0Dh	08h	23h	17h
REG[40h]	00h	00h	00h	00h
REG[41h]	02h	02h	02h	02h
REG[42h]	07h	07h	07h	07h
REG[43h]	00h	00h	00h	00h
REG[44h]	00h	00h	00h	00h
REG[45h]	00h	AAh	00h	99h
REG[46h]	04h	02h	02h	01h
REG[47h]	00h	87h	00h	00h
REG[48h]	04h	03h	02h	02h
REG[49h]	00h	00h	00h	00h
REG[4Ah]	00h	00h	00h	00h
REG[4Bh],[63h]-[72h]	無効			
REG[73h]	00h (SEL9 = 0) FFh (SEL9 = 1)			

## 15. アプリケーションノート

---

### 注

TFT インターフェイス自動設定モードでは、グレイスケールモード (REG[34h] ビット 1 = 0) が選択されます。詳細なグレイスケールモード端子の接続情報は 7 ページの図 3-6: 項「S1D13709 と TFT-LCD の接続例 (Gray Scale Mode, REG[34h]bit1 = 0)」を参照してください。

### 15.3 システムの概要

4 ページの 3. 項「システム構成図」には、マイクロプロセッサが S1D13709 に命令を発行し、S1D13709 が LCD パネルを駆動する場合の標準的な S1D13709 の実装例がいくつか示されています。S1D13709 には、必要な LCD 制御回路がすべて組み込まれているため、最小限の外付け部品だけで、中解像度液晶ディスプレイの総合的なソリューションを構築することができます。

### 15.4 スムーズな水平スクロール

S1D13709 は、177 ページの図 15-7 「HDOT SCR の例」に示すように、左方向へのスムーズな水平スクロールをサポートしています。左方向にスクロールすると、画面は実質的に、より大きな仮想スクリーン上を右方向に移動することになります。

ブロック画面開始アドレス (SADx) を変更して表示を 8 ピクセルだけシフトするのではなく、HDOT SCR コマンドの水平ピクセルスクロールのパラメータ (REG[1Bh] ビット 2 ~ 0) を繰り返し変更することで、スムーズなスクロールを実現できます。表示が 7 ピクセルスクロールされると、水平ピクセルスクロールのパラメータは 0 にリセットされ、ブロック画面開始アドレスは 1 つだけインクリメントされます。適切な割合でこの操作を繰り返すことにより、スクロールがスムーズに見えるようになります。

### 注

表示を右方向にスクロールするには、この手順を逆に行います。

仮想スクリーンの端まで達すると、マイクロプロセッサは、表示が崩れるのを防ぐために適切な処置を行う必要があります。たとえば、スクロールを停止するか、または表示を修正する必要があります。

### 注

HDOT SCR では、個々のレイヤーに対しての水平スクロールは、サポートされていません。

### 注

HDOT SCR では、2bpp または 4bpp モードでの水平スクロールはサポートされていません。

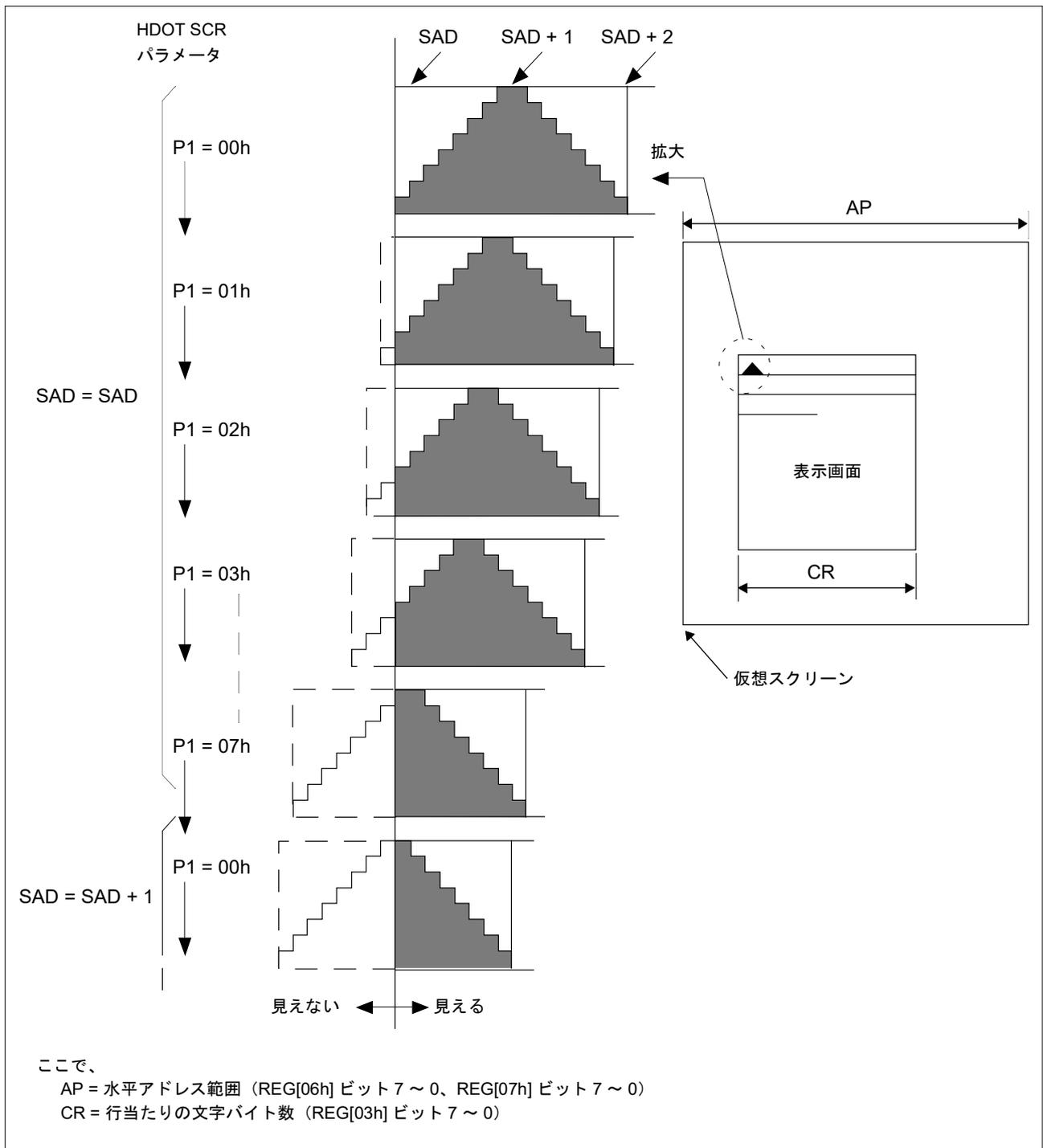


図 15-7: HDOT SCR の例

**注**

LCD パネルの応答時間は、低温で大幅に変化します。このような条件下でスムーズスクロールを行うと、表示内容が読み取りにくくなる場合があります。

## 15. アプリケーションノート

HDOT SCR および SAD スクロールの組み合わせについては、以下のフローがそれぞれのレジスタの更新タイミングの違いにより、ちらつき表示を防止することを推奨します。

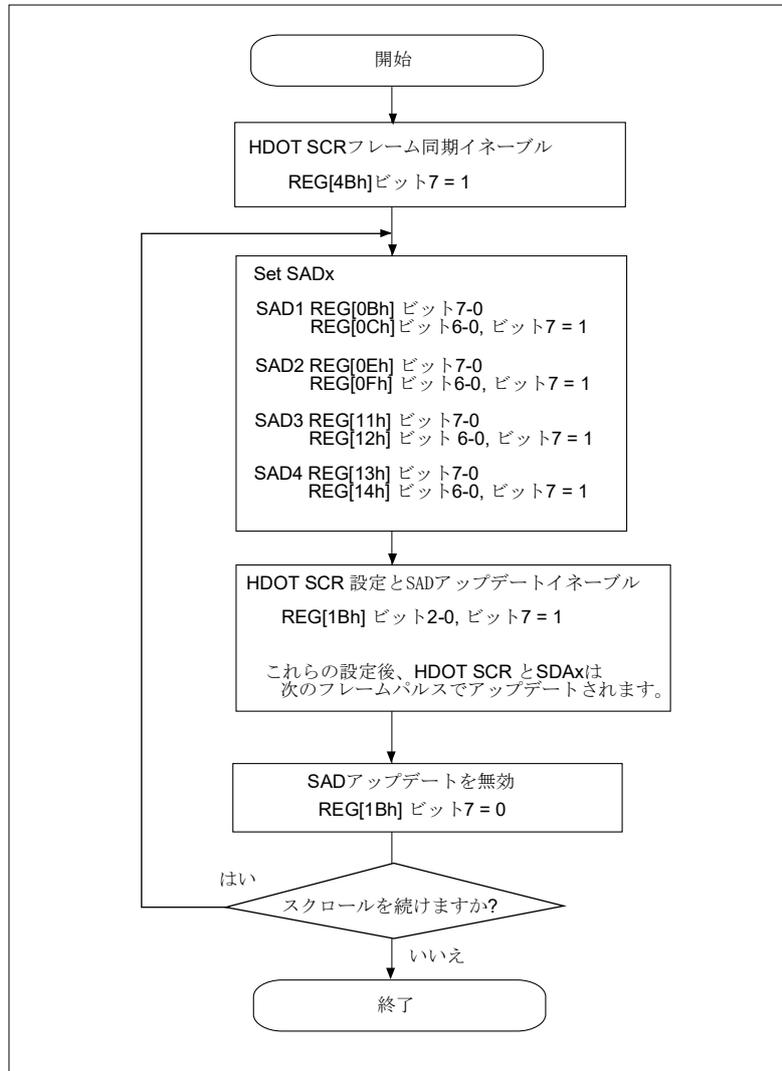


図 15-8: HDOT SCR と SADx の同時アップデート

## 15.5 レイヤー表示の属性

S1D13709 には、モノクロ LCD パネルによる表示を向上させるためのいくつかの機能が搭載されています。これにより、白抜き文字、中間階調の文字表示、および選択した画面領域のフラッシングの表示が可能となります。これらの機能は、REG[18h] Overlay レジスタおよび REG[0Ah] Display Attribute レジスタによって制御されます。

属性	MX1	MX0	合成レイヤーの表示	第 1 レイヤーの表示	第 2 レイヤーの表示
反転	0	1	IV 	IV EPSON	
中間階調	0	0	ME 	ME Yes, No	
部分フラッシング	0 0	0 1	BL 	BL	
罫線	0 0	0 1	RL  LINE	RL LINE LINE	

図 15-9: レイヤー合成

これらの効果は、表示の構成に応じていろいろな方法で実現できます。以下の項でこれらの機能について説明します。

### 注

1つのレイヤーで、同時にすべての機能を使用することはできません。

### 15.5.1 反転表示

反転表示の場合、第 1 レイヤーはテキストで、第 2 レイヤーはグラフィックです。

#### 1. CSRW、CSRDIR、MWRITE

反転させる領域のグラフィック画面に書き込みます。

#### 2. OVLAY: MX0 = 1、MX1 = 0 (REG[18h] ビット 1 ~ 0)

2つのレイヤーのレイヤー補正方法を Exclusive-OR に設定します。

#### 3. DISP ON/OFF: FP0 = 1、FP1 = 0、FP2 = 1、FP3 = 0

第 1 レイヤーと第 2 レイヤーをフラッシングなしで表示します。

## 15. アプリケーションノート

### 15.5.2 中間階調表示

FP パラメータ（表示アトリビュート）を使用して、表示を 17Hz でフラッシングさせることにより、中間階調表示を生成することができます。ただしこのモードでは、特定の LCD パネルでフリッカー（ちらつき）問題が生じる場合があります。

#### メニューパッド表示

第 1 レイヤーのフラッシングをオフ、第 2 レイヤーのフラッシングを 17Hz でオンにして、OR 機能を使用してこの 2 つの画面を合成します。

1. REG[18h] Overlay Register = 00h
2. REG[0Ah] Display Attribute Register = 34h

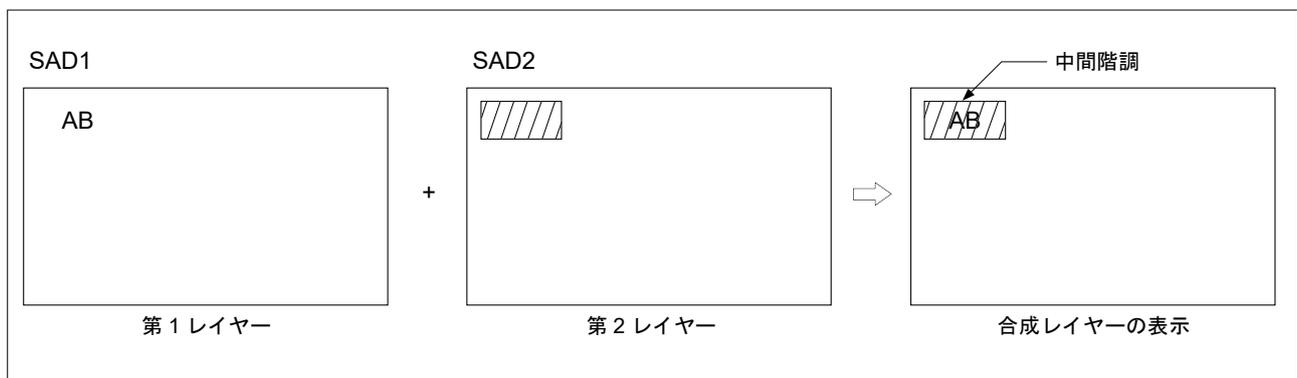


図 15-10: 中間階調の文字およびグラフィック

#### グラフ表示

合成した 2 つのグラフを画面に表示するには、メニューパッド表示と同じように表示を設定し、各画面レイヤー上に 1 つのグラフを配置します。中間階調表示とフル階調表示のコントラストの差によって、2 つのグラフは容易に識別されるので、人の目を引き付ける表示を作成できます。

1. REG[18h] Overlay Register = 00h
2. REG[0Ah] Display Attribute Register = 34h

### 15.5.3 フラッシングアトリビュート

#### 狭い領域

選択した文字をフラッシングさせるため、MPU は、この文字コードの文字とブランク文字を 0.5 ～ 1.0 秒の間隔で交互に書き込みます。

#### 広い領域

第 1 レイヤーと第 2 レイヤーの両方をそれぞれ 2 つのブロック画面に分割し、第 2 レイヤーは、フラッシングする領域とその他の領域に分割します。第 2 レイヤーブロック画面のフラッシングする領域を 2Hz でフラッシングし、OR 機能を使用してこのレイヤーを合成します。

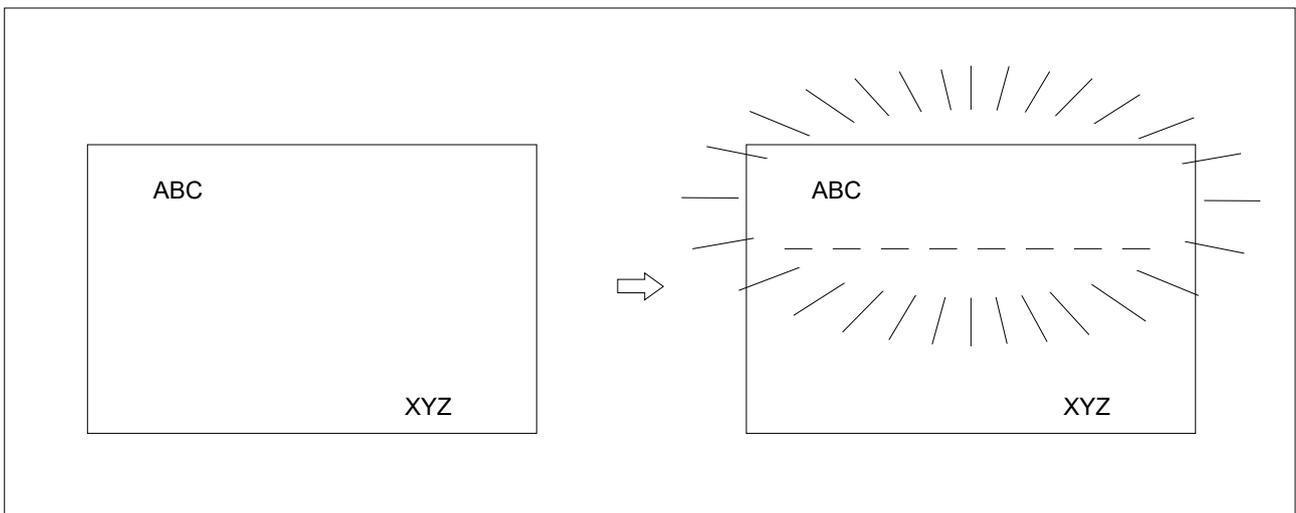


図15-11: 広い領域のフラッシングアトリビュート

## 15. アプリケーションノート

---

### 15.6 16 × 16 ドットのグラフィック表示

#### 15.6.1 コマンドの使用方法

16 × 16 ピクセルの文字を表示するには、以下の手順を使用します。

1. カーソルアドレス (REG[1Ch] ~ REG[1Dh]) を設定します。
2. カーソルシフト方向 (REG[17h] ビット 1 ~ 0) を設定します。
3. 表示メモリに書き込みます。

#### 15.6.2 漢字の表示

大きな文字を書き込むには、以下の方法を使用します。詳細については、183 ページの図 15-12 「グラフィックのアドレスインデックス」のフローチャートを参照してください。

1. CGRAM から文字データを読み出します。
2. 表示アドレスを設定します。
3. 表示メモリに書き込みます。

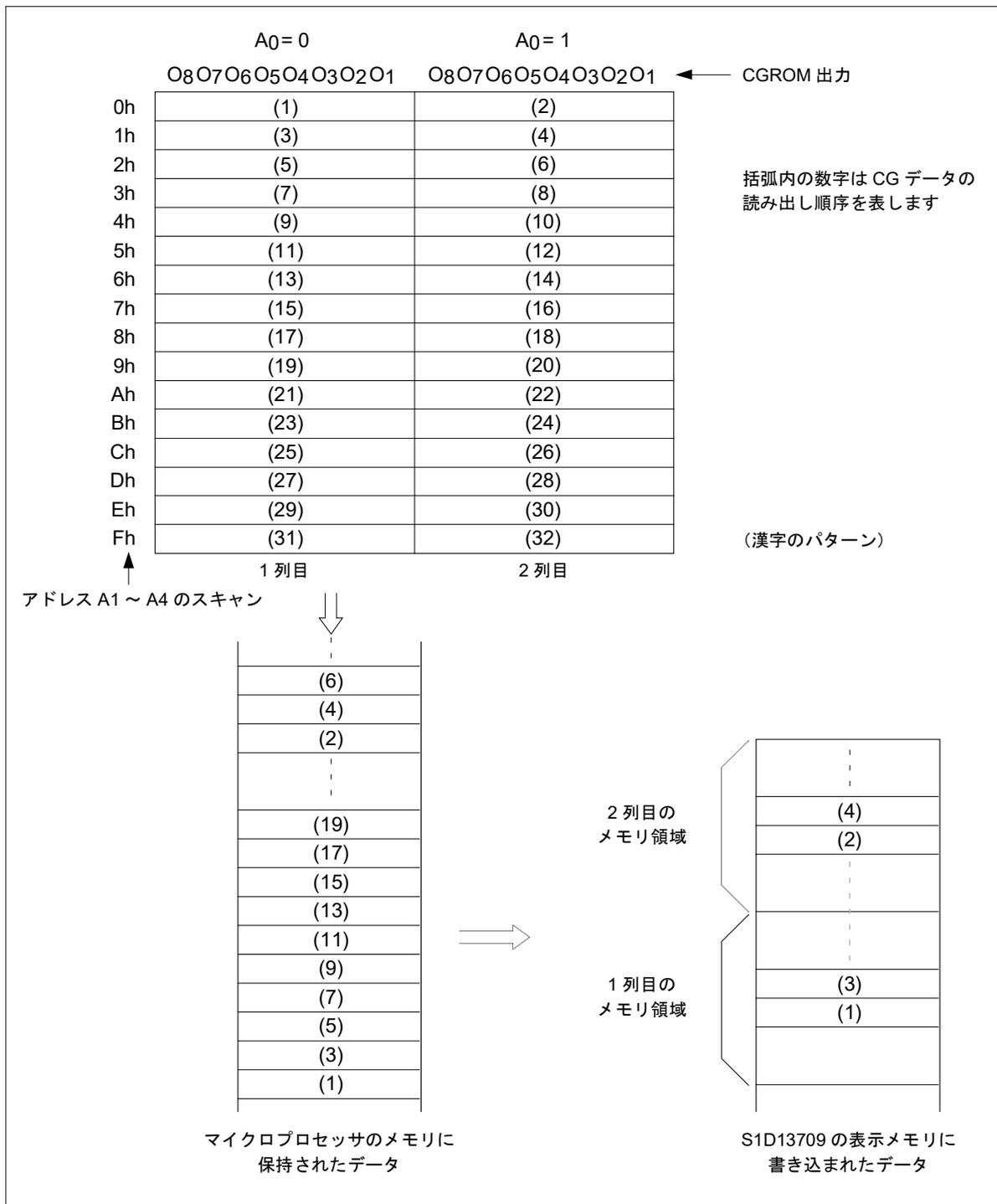


図 15-12: グラフィックのアドレスインデックス

## 15. アプリケーションノート

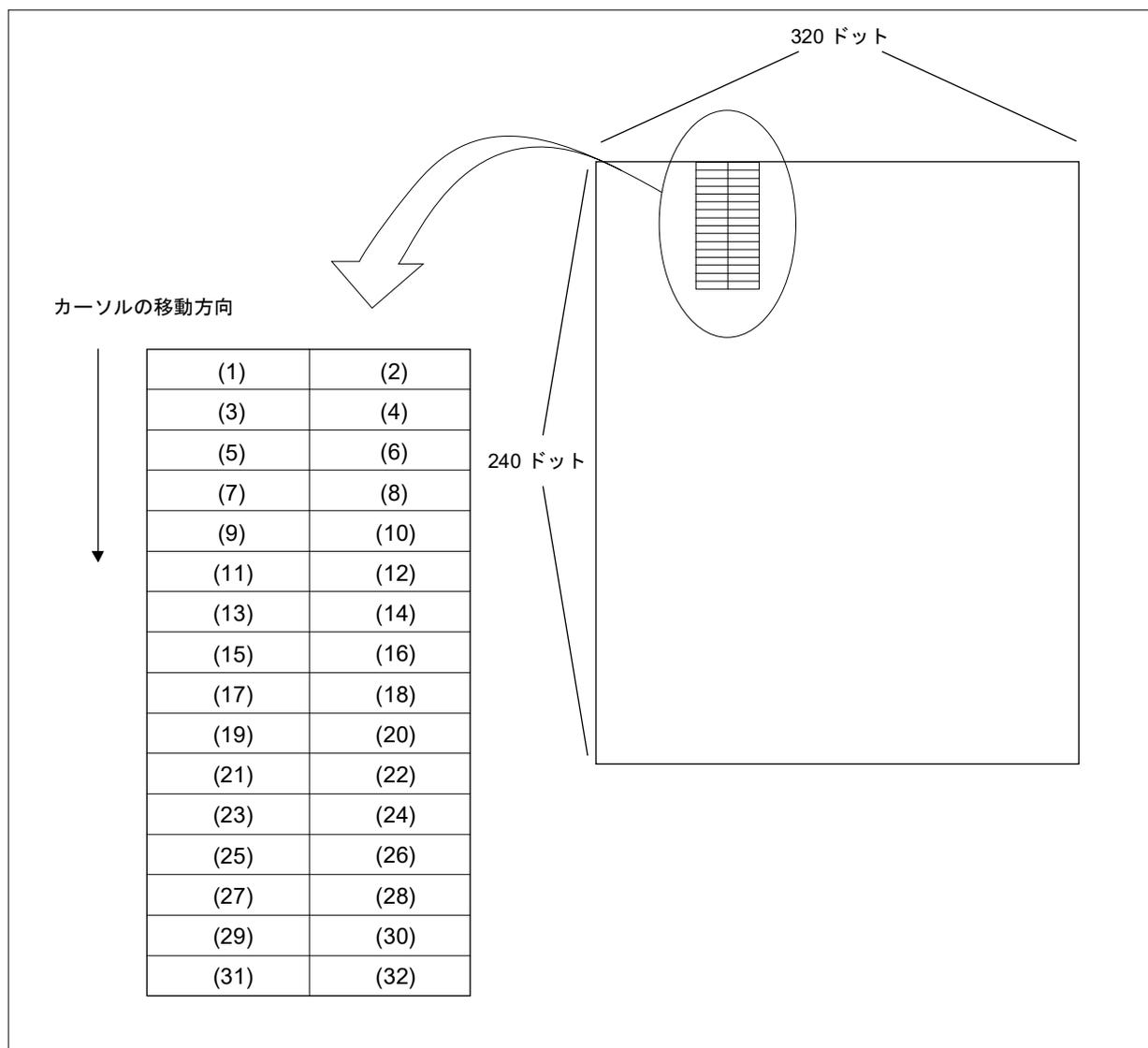
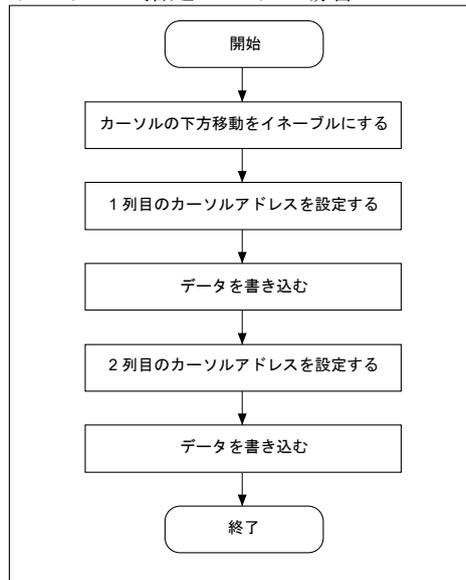


図 15-13: グラフィックのビットマップ

外部のキャラクタジェネレータ RAM を使用すると、8 × 16 ピクセルのフォントを使用することができ、16 × 16 ピクセルの文字を 2 つのセグメントで表示できるようになります。CGRAM のデータ形式は、143 ページの図 13. 「キャラクタジェネレータ」に記載されています。これにより、最大 128 の 16 x 16 ピクセル文字の表示が可能となります。CGRAM を使用する場合も、固定の 96 文字とバンク切り替え可能な 32 文字もサポートされています。

## ダイレクトアドレス指定モードの場合



## インダイレクトアドレス指定モードの場合

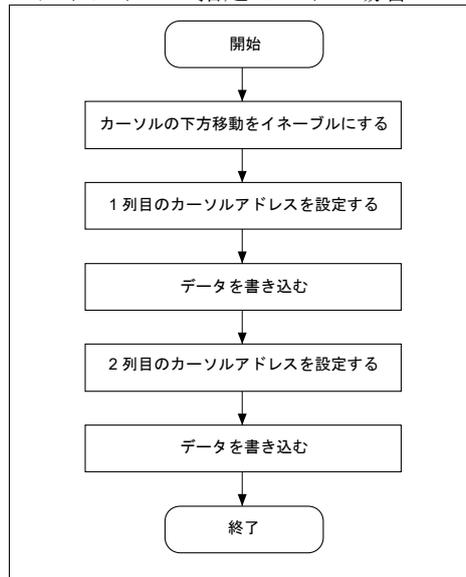


図 15-14: 16 × 16 ドット表示のフローチャート

## 16. 内蔵キャラクタジェネレータのフォント

### 16. 内蔵キャラクタジェネレータのフォント

		文字コードビット0～3															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
文字コードビット4～7	2		!	"	#	\$	%	&	'	(	)	*	+	,	-	.	/
	3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
	4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
	5	P	Q	R	S	T	U	V	W	X	Y	Z	[	]	^	_	
	6	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
	7	p	q	r	s	t	u	v	w	x	y	z	{	}	~		
	A		α	β	γ	δ	ε	ζ	η	θ	ι	κ	λ	μ	ν	ξ	ο
	B	π	ρ	σ	τ	υ	φ	χ	ψ	ω	α	β	γ	δ	ε	ζ	η
	C	θ	ι	κ	λ	μ	ν	ξ	ο	π	ρ	σ	τ	υ	φ	χ	ψ
	D	ω	α	β	γ	δ	ε	ζ	η	θ	ι	κ	λ	μ	ν	ξ	ο
1																	

図 16-1: 内蔵文字セット

**注**

網掛けした場所は、6×8 ビットマップ全体が黒色の文字を示します。

## 17. パワーセーブモード

S1D13709 は、電力が効率化された状態に移行するパワーセーブモードをサポートしています。パワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット 0) によって制御されます。S1D13709 は、イネーブルビットを設定してから少なくとも 1 フレーム後にパワーセーブモードに移行します。

パワーセーブ状態の間、S1D13709 の内部レジスタはその値を維持し、また表示メモリの制御端子は、ロジックレベルを維持し、表示メモリが破損されないようにします。

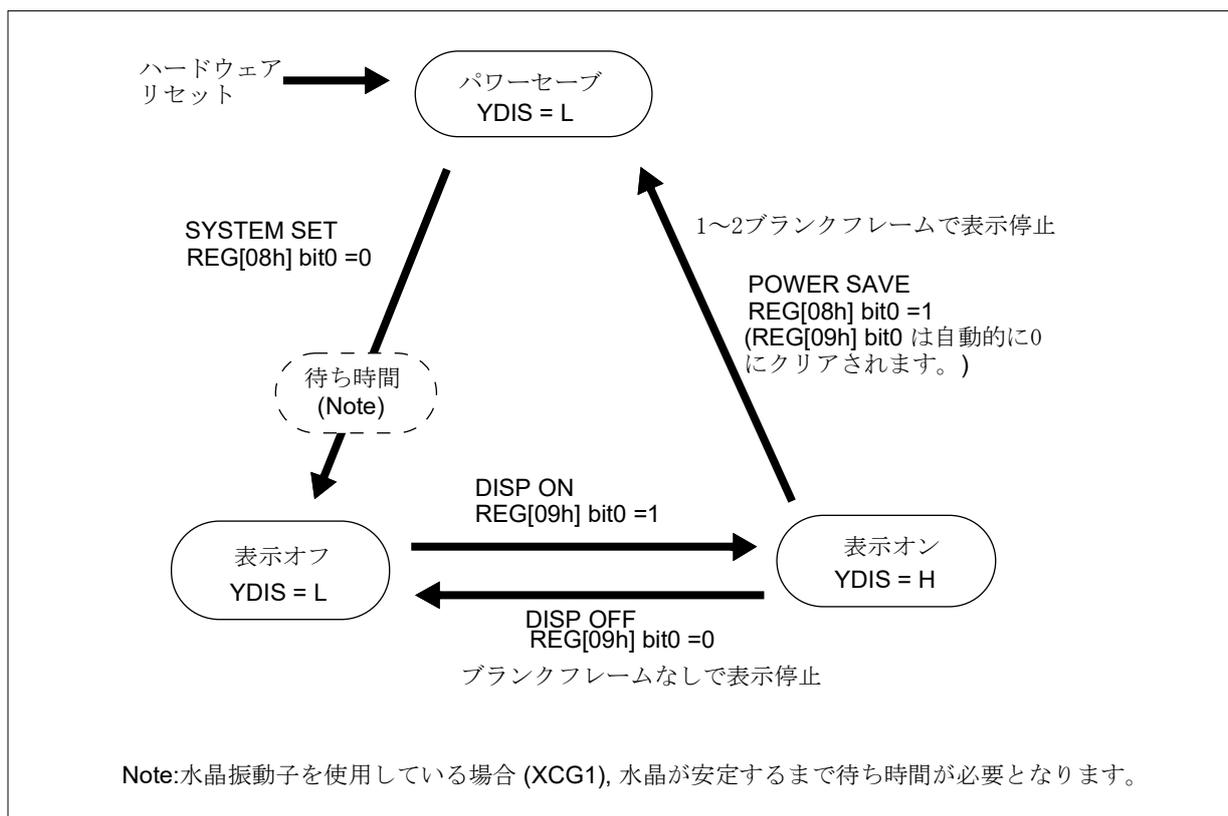


図 17-1: パワーセーブモードの状態シーケンス

S1D13709 のパワーセーブモードは、パワーセーブモードイネーブルビット (REG[08h] ビット 0) に 0 を書き込むことによって解除されます。

インダイレクトアドレス指定モードの場合、POWER SAVE コマンドにはパラメータのバイトはありません。インダイレクトアドレス指定モードの場合、SYSTEM SET コマンドによってパワーセーブモードが終了します。

1. YDIS 信号は、POWER SAVE コマンドを受け取った後、1 ~ 2 フレームの間に LOW になります。YDIS は、すべての表示ドライバの出力を選択解除の出力電圧にするので、YDIS を LCD 装置のパワーダウン信号として使用できます。これは、YDIS によって、表示をブランクにすると同時に比較的高出力の LCD ドライブ電源をオフにすることで実行できます。

## 17. パワーセーブモード

2. S1D13709 のすべての内部クロックは、パワーセーブモードがイネーブルの間は停止するため、LCD ドライブ電源がオンのままの場合、DC 電圧が LCD パネルに加えられます。信頼性を第一に考慮するのであれば、POWER SAVE コマンドを発行する前に LCD ドライブ電源をオフにしてください。

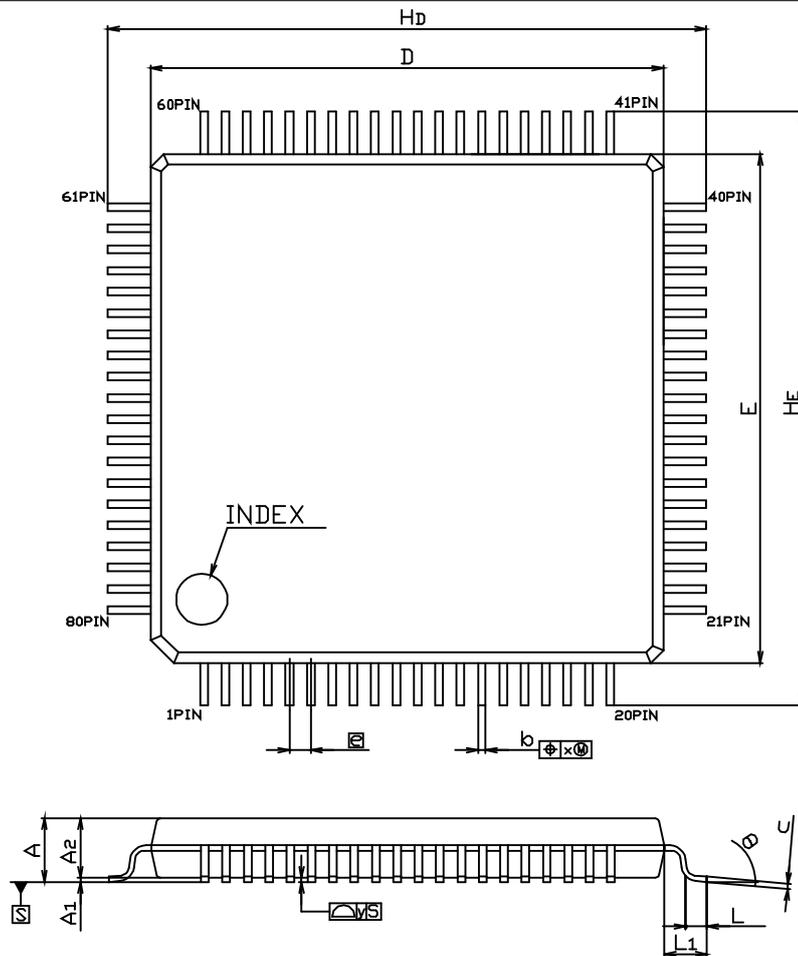
図 17-2: パワーセーブモード時の LCD 端子と水晶振動子の状態

LCD 端子	State During Power Save Mode	State During Display Off	State During Display On
YDIS	Low	Low	High
FPSHIFT (XSCL)	Low	Low or High	有効
FPFRAME (YD)	Low	Low	有効
FPLINE (LP)	Low	Low	有効
FPDRDY (MOD)	Low	Low	有効
FPDAT[5] (YSCL)	Low	Low	有効
FPDAT[4] (XECL)	Low	Low	有効
FPDAT[3:0]	Low	Low	有効
XCD1 / XCG1	停止	動作中	動作中

図 17-3: パワーセーブモード時のホストインターフェースの状態

LCD 端子	パワーセーブモード時	表示オフ時	表示オン時
レジスタアクセス	アクセス可	アクセス可	アクセス可
表示メモリアクセス	アクセス不	アクセス可	アクセス可

## 18. PKG 外形図



Symbol	Dimension in Millimeters		
	Min	Nom	Max
E	11.90	12.00	12.10
D	11.90	12.00	12.10
A	-	-	1.70
$A_1$	0.00	0.10	0.20
$A_2$	1.30	1.40	1.50
$\square$	-	0.50	-
b	0.13	0.20	0.27
c	0.09	0.15	0.20
$\theta$	0°	5°	10°
L	0.30	0.50	0.75
$L_1$	0.80	1.00	1.20
$H_e$	13.60	14.00	14.40
$H_d$	13.60	14.00	14.40
x	-	-	0.08
y	-	-	0.08

All dimensions in mm

図 18-1: 機械図面 (QFP14-80 端子)

## 19. 参考資料

---

### 19. 参考資料

以下の文書には、S1D13709 に関連する追加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、

<https://www.epson.jp/prod/semicon/>

<https://vdc.epson.com/>

からダウンロードできます。

---

**改訂履歴**

Rev. No.	日付	ページ	種別	改訂内容
Rev. 1.2	2023/8/31	全ページ	更新	パッケージタイプをQFP14 80pinに変更
Rev. 1.0	2014/10/14	全ページ	新規	新規制定

# セイコーエプソン株式会社

## 営業本部 MD営業部

---

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

---

ドキュメントコード : 412873001

2023 年 8 月改訂