

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17656

テクニカルマニュアル

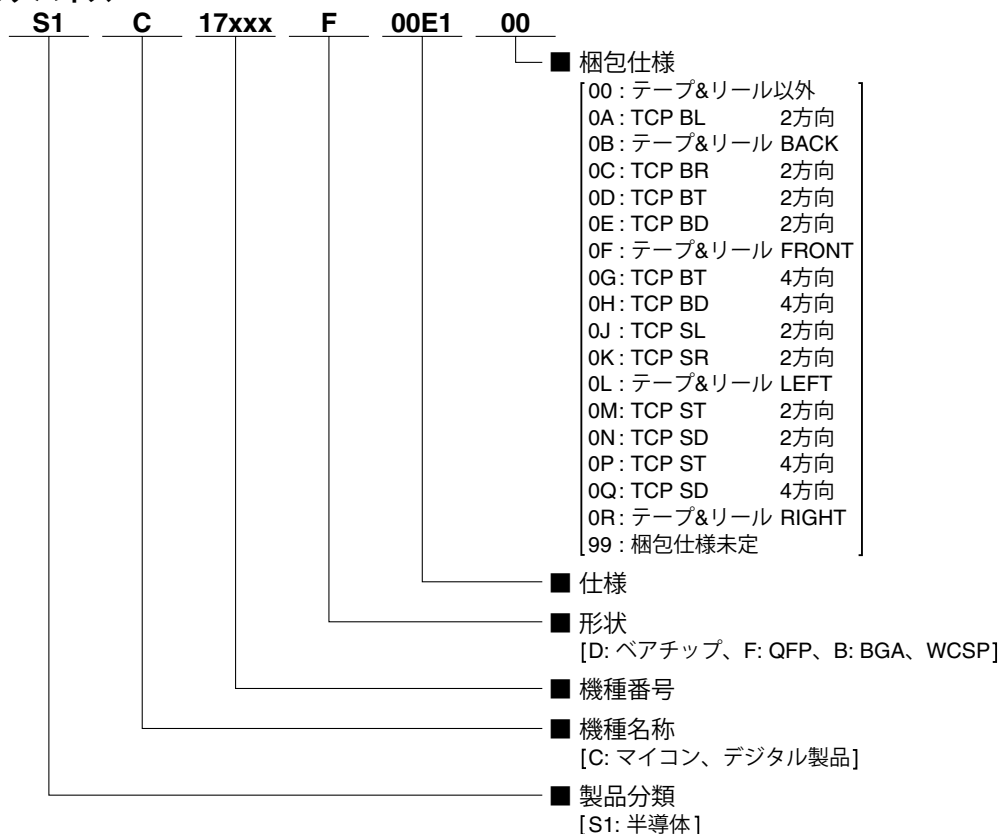
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

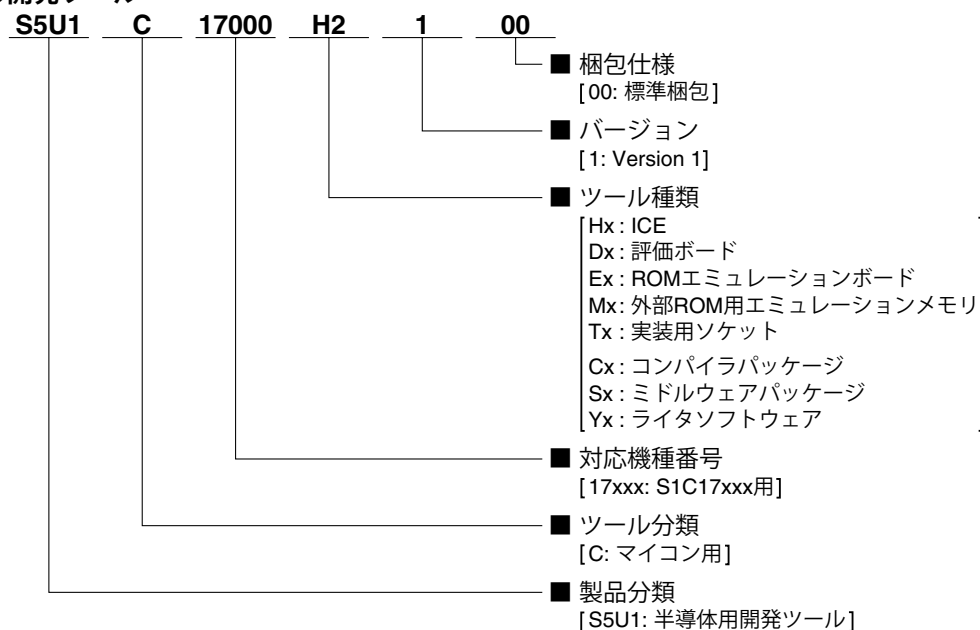
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



- 目次 -

1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-2
1.3 端子.....	1-3
1.3.1 端子配置図.....	1-3
1.3.2 端子説明.....	1-6
2 CPU	2-1
2.1 S1C17コアの特長.....	2-1
2.2 CPUレジスタ.....	2-2
2.3 命令セット.....	2-2
2.4 PSRの読み出し.....	2-5
2.5 プロセッサ情報.....	2-6
3 メモリマップ, バス制御	3-1
3.1 バスサイクル.....	3-1
3.1.1 アクセスサイズ制限.....	3-2
3.1.2 命令実行サイクルの制限.....	3-2
3.2 Flashエリア.....	3-2
3.2.1 内蔵Flashメモリ.....	3-2
3.2.2 Flashプログラミング.....	3-2
3.2.3 Flashメモリリードウェイト数の設定.....	3-2
FLASHC Read Wait Control Register (FLASHC_WAIT).....	3-2
3.3 内蔵RAMエリア.....	3-3
3.3.1 内蔵RAM.....	3-3
IRAM Size Register (MISC_IRAMSZ).....	3-3
3.4 表示RAMエリア.....	3-3
3.5 内蔵周辺回路エリア.....	3-4
3.5.1 内蔵周辺回路エリア1 (0x4000~).....	3-4
3.5.2 内蔵周辺回路エリア2 (0x5000~).....	3-4
3.6 S1C17コアI/O予約エリア.....	3-4
4 電源	4-1
4.1 電源電圧 (V _{DD}).....	4-1
4.2 Flashプログラミング用電源電圧 (V _{PP}).....	4-1
4.3 内部電源回路.....	4-1
4.3.1 V _{D1} 定電圧回路.....	4-1
4.3.2 LCD系電源回路.....	4-1
4.3.3 重負荷保護モード.....	4-2
4.4 制御レジスタ詳細.....	4-3
LCD Booster Clock Control Register (LCD_BCLK).....	4-3
LCD Voltage Regulator Control Register (LCD_VREG).....	4-4
V _{D1} Control Register (VD1_CTL).....	4-4
5 イニシャルリセット	5-1
5.1 イニシャルリセット要因.....	5-1
5.1.1 #RESET端子.....	5-1
5.1.2 P0ポートキー入力リセット.....	5-1
5.1.3 ウォッチドッグタイマによるリセット.....	5-1
5.1.4 電源電圧検出回路によるリセット.....	5-2
5.2 イニシャルリセットシーケンス.....	5-2
5.3 イニシャルリセット時の初期設定.....	5-2

6 割り込みコントローラ (ITC)	6-1
6.1 ITCモジュールの概要.....	6-1
6.2 ベクタテーブル	6-2
Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH).....	6-3
6.3 マスク可能割り込みの制御	6-3
6.3.1 周辺モジュールの割り込み制御ビット	6-3
6.3.2 ITCの割り込み要求処理.....	6-3
6.3.3 S1C17コアの割り込み処理.....	6-4
6.4 NMI.....	6-4
6.5 ソフトウェア割り込み	6-5
6.6 HALT, SLEEPモードの解除.....	6-5
6.7 制御レジスタ詳細	6-5
Interrupt Level Setup Register x (ITC_LVx).....	6-5
7 クロックジェネレータ (CLG)	7-1
7.1 CLGモジュールの概要	7-1
7.2 CLG入出力端子.....	7-2
7.3 発振回路.....	7-2
7.3.1 OSC3B発振回路	7-2
7.3.2 OSC1A発振回路	7-3
7.4 システムクロックの切り換え	7-5
7.5 CPUコアクロック (CCLK)の制御	7-6
7.6 周辺モジュールクロック (PCLK)の制御	7-6
7.7 クロック外部出力 (FOUTA, FOUTB)	7-7
7.8 制御レジスタ詳細	7-8
Clock Source Select Register (CLG_SRC)	7-9
Oscillation Control Register (CLG_CTL)	7-9
FOUTA Control Register (CLG_FOUTA)	7-10
FOUTB Control Register (CLG_FOUTB)	7-11
Oscillation Stabilization Wait Control Register (CLG_WAIT)	7-12
PCLK Control Register (CLG_PCLK)	7-13
CCLK Control Register (CLG_CCLK).....	7-14
8 リアルタイムクロック (RTC)	8-1
8.1 RTCの概要	8-1
8.2 RTCカウンタ.....	8-1
8.3 RTCの制御	8-3
8.3.1 動作クロックの制御.....	8-3
8.3.2 24時間制/12時間制の選択.....	8-3
8.3.3 RTCのスタート/ストップ	8-3
8.3.4 カウンタの設定.....	8-3
8.3.5 カウンタの読み出し.....	8-4
8.4 RTC割り込み.....	8-5
8.5 制御レジスタ詳細	8-5
RTC Control Register (RTC_CTL).....	8-5
RTC Interrupt Enable Register (RTC_IEN).....	8-6
RTC Interrupt Flag Register (RTC_IFLG).....	8-7
RTC Minute/Second Counter Register (RTC_MS)	8-8
RTC Hour Counter Register (RTC_H).....	8-9
9 入出力ポート (P)	9-1
9.1 Pモジュールの概要	9-1
9.2 入出力端子機能の選択 (ポートMUX)	9-2
9.3 データの入出力	9-2

9.4 プルアップ制御	9-3
9.5 ポート入力割り込み	9-3
9.6 チャタリング除去機能	9-4
9.7 P0ポートキー入力リセット	9-5
9.8 制御レジスタ詳細	9-5
Px Port Input Data Registers (Px_IN)	9-6
Px Port Output Data Registers (Px_OUT)	9-6
Px Port Output Enable Registers (Px_OEN)	9-6
Px Port Pull-up Control Registers (Px_PU)	9-7
P0 Port Interrupt Mask Register (P0_IMSK)	9-7
P0 Port Interrupt Edge Select Register (P0_EDGE)	9-7
P0 Port Interrupt Flag Register (P0_IFLG)	9-8
Px Port Chattering Filter Control Register (Px_CHAT)	9-8
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	9-9
Px Port Input Enable Registers (Px_IEN)	9-10
P0[3:0] Port Function Select Register (P00_03PMUX)	9-10
P0[7:4] Port Function Select Register (P04_07PMUX)	9-11
P1[3:0] Port Function Select Register (P10_13PMUX)	9-12
P1[7:4] Port Function Select Register (P14_17PMUX)	9-13
P23 Port Function Select Register (P23PMUX)	9-14
10 8ビットタイマ (T8)	10-1
10.1 T8モジュールの概要	10-1
10.2 カウントクロック	10-1
10.3 カウントモード	10-2
10.4 リロードデータレジスタとアンダーフロー周期	10-2
10.5 タイマのリセット	10-3
10.6 タイマRUN/STOP制御	10-3
10.7 T8出力信号	10-3
10.8 T8割り込み	10-4
10.9 制御レジスタ詳細	10-4
T8 Ch.x Count Clock Select Register (T8_CLKx)	10-4
T8 Ch.x Reload Data Register (T8_TRx)	10-5
T8 Ch.x Counter Data Register (T8_TCx)	10-5
T8 Ch.x Control Register (T8_CTLx)	10-5
T8 Ch.x Interrupt Control Register (T8_INTx)	10-6
11 16ビットPWMタイマ (T16A2)	11-1
11.1 T16A2モジュールの概要	11-1
11.2 T16A2入出力端子	11-2
11.3 カウントクロック	11-2
11.4 T16A2の動作モード	11-4
11.4.1 コンパレータモードとキャプチャモード	11-4
11.4.2 リピートモードとワンショットモード	11-5
11.4.3 ノーマルクロックモードとハーフクロックモード	11-5
11.5 カウンタの制御	11-6
11.5.1 カウンタのリセット	11-6
11.5.2 カウンタRUN/STOP制御	11-6
11.5.3 カウンタ値の読み出し	11-6
11.5.4 カウント動作と割り込みタイミング	11-7
11.6 タイマ出力の制御	11-7
11.7 T16A2割り込み	11-9
11.8 制御レジスタ詳細	11-11
T16A Clock Control Register Ch.x (T16A_CLKx)	11-11

T16A Counter Ch.x Control Register (T16A_CTLx)	11-12
T16A Counter Ch.x Data Register (T16A_TCx)	11-13
T16A Comparator/Capture Ch.x Control Register (T16A_CCCTLx)	11-14
T16A Comparator/Capture Ch.x A Data Register (T16A_CCAx)	11-16
T16A Comparator/Capture Ch.x B Data Register (T16A_CCBx)	11-16
T16A Comparator/Capture Ch.x Interrupt Enable Register (T16A_IENx)	11-17
T16A Comparator/Capture Ch.x Interrupt Flag Register (T16A_IFLGx)	11-18
12 計時タイマ (CT)	12-1
12.1 CTモジュールの概要	12-1
12.2 動作クロック	12-1
12.3 タイマのリセット	12-1
12.4 タイマRUN/STOP制御	12-2
12.5 CT割り込み	12-3
12.6 制御レジスタ詳細	12-3
Clock Timer Control Register (CT_CTL)	12-3
Clock Timer Counter Register (CT_CNT)	12-4
Clock Timer Interrupt Mask Register (CT_IMSK)	12-4
Clock Timer Interrupt Flag Register (CT_IFLG)	12-5
13 ウォッチドッグタイマ (WDT)	13-1
13.1 WDTモジュールの概要	13-1
13.2 動作クロック	13-1
13.3 WDTの制御	13-1
13.3.1 NMI/リセットモードの選択	13-1
13.3.2 WDTのRUN/STOP制御	13-2
13.3.3 WDTのリセット	13-2
13.3.4 HALT, SLEEPモード時の動作	13-2
13.4 制御レジスタ詳細	13-2
Watchdog Timer Control Register (WDT_CTL)	13-3
Watchdog Timer Status Register (WDT_ST)	13-3
14 UART	14-1
14.1 UARTモジュールの概要	14-1
14.2 UART入出力端子	14-2
14.3 ボーレートジェネレータ	14-2
14.4 転送データの設定	14-4
14.5 データ送受信の制御	14-5
14.6 受信エラー	14-8
14.7 UART割り込み	14-8
14.8 IrDAインタフェース	14-9
14.9 制御レジスタ詳細	14-10
UART Ch.x Status Register (UART_STx)	14-11
UART Ch.x Transmit Data Register (UART_TXDx)	14-12
UART Ch.x Receive Data Register (UART_RXDx)	14-13
UART Ch.x Mode Register (UART_MODx)	14-13
UART Ch.x Control Register (UART_CTLx)	14-14
UART Ch.x Expansion Register (UART_EXPx)	14-15
UART Ch.x Baud Rate Register (UART_BRx)	14-15
UART Ch.x Fine Mode Register (UART_FMDx)	14-15
UART Ch.x Clock Control Register (UART_CLKx)	14-16
15 SPI	15-1
15.1 SPIモジュールの概要	15-1
15.2 SPI入出力端子	15-1

15.3	SPIクロック	15-2
15.4	データ転送条件の設定	15-2
15.5	データ送受信の制御	15-3
15.6	SPI割り込み	15-5
15.7	制御レジスタ詳細	15-6
	SPI Ch.x Status Register (SPI_STx)	15-6
	SPI Ch.x Transmit Data Register (SPI_TXDx)	15-7
	SPI Ch.x Receive Data Register (SPI_RXDx)	15-7
	SPI Ch.x Control Register (SPI_CTLx)	15-8
16	LCDドライバ(LCD)	16-1
16.1	LCDモジュールの概要	16-1
16.2	LCD電源	16-1
16.3	LCDクロック	16-2
	16.3.1 LCD動作クロック (LCLK)	16-2
	16.3.2 フレーム信号	16-3
16.4	駆動デューティ制御	16-3
	16.4.1 駆動デューティの切り換え	16-3
	16.4.2 駆動波形	16-4
16.5	表示メモリ	16-7
16.6	表示の制御	16-8
	16.6.1 表示のOn/Off	16-8
	16.6.2 反転表示	16-8
16.7	LCD割り込み	16-9
16.8	制御レジスタ詳細	16-9
	LCD Timing Clock Select Register (LCD_TCLK)	16-9
	LCD Display Control Register (LCD_DCTL)	16-10
	LCD Clock Control Register (LCD_CCTL)	16-11
	LCD Voltage Regulator Control Register (LCD_VREG)	16-12
	LCD Interrupt Mask Register (LCD_IMSK)	16-12
	LCD Interrupt Flag Register (LCD_IFLG)	16-12
17	サウンドジェネレータ (SND)	17-1
17.1	SNDモジュールの概要	17-1
17.2	SND出力端子	17-1
17.3	SND動作クロック	17-1
17.4	ブザー周波数と音量の設定	17-2
	17.4.1 ブザー周波数	17-2
	17.4.2 音量	17-2
17.5	ブザーモードと出力制御	17-3
	17.5.1 ブザーモードの選択	17-3
	17.5.2 ノーマルモードの出力制御	17-3
	17.5.3 1ショットモードの出力制御	17-3
	17.5.4 エンベロープモードの出力制御	17-4
17.6	制御レジスタ詳細	17-5
	SND Clock Control Register (SND_CLK)	17-5
	SND Control Register (SND_CTL)	17-5
	Buzzer Frequency Control Register (SND_BZFQ)	17-7
	Buzzer Duty Ratio Control Register (SND_BZDT)	17-7
18	電源電圧検出回路 (SVD)	18-1
18.1	SVDモジュールの概要	18-1
18.2	検出対象電圧	18-1
18.3	動作クロック	18-2

18.4	比較電圧の設定	18-2
18.5	SVDの制御	18-3
18.6	間欠動作	18-3
18.7	SVD割り込みとリセット	18-4
18.8	制御レジスタ詳細	18-4
	SVD Clock Control Register (SVD_CLK)	18-5
	SVD Enable Register (SVD_EN)	18-5
	SVD Comparison Voltage Register (SVD_CMP)	18-6
	SVD Detection Result Register (SVD_RSLT)	18-7
	SVD Interrupt Mask Register (SVD_IMSK)	18-8
	SVD Interrupt Flag Register (SVD_IFLG)	18-8
19	R/F変換器 (RFC)	19-1
19.1	RFCモジュールの概要	19-1
19.2	RFC入出力端子	19-2
19.3	動作クロック	19-2
19.4	動作モード	19-3
	19.4.1 抵抗性センサ測定用DC発振モード	19-3
	19.4.2 外部クロック入力モード(イベントカウンタモード)	19-3
	19.4.3 CR発振クロック周波数測定用機能	19-4
19.5	RFCカウンタ	19-4
19.6	変換動作	19-5
	19.6.1 初期設定	19-5
	19.6.2 基準発振の制御	19-5
	19.6.3 センサ発振の制御	19-6
	19.6.4 強制終了	19-7
	19.6.5 変換誤差について	19-7
19.7	RFC割り込み	19-7
19.8	制御レジスタ詳細	19-8
	RFC Clock Control Register (RFC_CLK)	19-8
	RFC Control Register (RFC_CTL)	19-9
	RFC Oscillation Trigger Register (RFC_TRG)	19-10
	RFC Measurement Counter Low and High Registers (RFC_MCL, RFC_MCH)	19-10
	RFC Time Base Counter Low and High Registers (RFC_TCL, RFC_TCH)	19-11
	RFC Interrupt Mask Register (RFC_IMSK)	19-11
	RFC Interrupt Flag Register (RFC_IFLG)	19-12
20	オンチップデバugg (DBG)	20-1
20.1	リソース要件とデバuggツール	20-1
20.2	デバuggブ레이크時の動作状態	20-1
20.3	追加デバugg機能	20-2
20.4	Flashセキュリティ機能	20-2
20.5	制御レジスタ詳細	20-3
	Debug Mode Control Register 1 (MISC_DM0DE1)	20-3
	Debug Mode Control Register 2 (MISC_DM0DE2)	20-3
	IRAM Size Select Register (MISC_IRAMSZ)	20-4
	Debug RAM Base Register (DBRAM)	20-4
	Debug Control Register (DCR)	20-4
	Instruction Break Address Register 2 (IBAR2)	20-6
	Instruction Break Address Register 3 (IBAR3)	20-6
	Instruction Break Address Register 4 (IBAR4)	20-6
21	乗除算器 (COPRO)	21-1
21.1	概要	21-1
21.2	動作モードと出力モード	21-1

21.3 乗算.....	21-2	
21.4 除算.....	21-3	
21.5 積和演算.....	21-4	
21.6 演算結果の読み出し.....	21-6	
22 電気的特性.....	22-1	
22.1 絶対最大定格	22-1	
22.2 推奨動作条件.....	22-1	
22.3 消費電流.....	22-1	
22.4 発振特性.....	22-3	
22.5 外部クロック入力特性	22-3	
22.6 入出力端子特性.....	22-3	
22.7 SPI特性	22-5	
22.8 LCDドライバ特性	22-5	
22.9 SVD回路特性	22-8	
22.10 R/F変換器特性	22-9	
22.11 Flashメモリ特性	22-10	
23 基本外部結線図	23-1	
24 パッケージ.....	24-1	
Appendix A I/Oレジスタ一覧.....	AP-A-1	
0x4100–0x4107, 0x506c	UART (with IrDA) Ch.0	AP-A-3
0x4240–0x4248	8-bit Timer Ch.0.....	AP-A-4
0x4306–0x4318	Interrupt Controller	AP-A-4
0x4320–0x4326	SPI Ch.0.....	AP-A-5
0x5000–0x5003	Clock Timer	AP-A-5
0x5040–0x5041	Watchdog Timer.....	AP-A-5
0x5060–0x5081	Clock Generator.....	AP-A-5
0x5070–0x5071, 0x50a0–0x50a6	LCD Driver	AP-A-6
0x5066, 0x5100–0x5104	SVD Circuit.....	AP-A-7
0x5120	Power Generator	AP-A-8
0x506e, 0x5180–0x5182	Sound Generator.....	AP-A-8
0x5200–0x52a4	P Port & Port MUX	AP-A-9
0x4020, 0x5322–0x532c	MISC Registers	AP-A-11
0x5067, 0x53a0–0x53ae	R/F converter Ch.0.....	AP-A-12
0x5068, 0x5400–0x540c	16-bit PWM Timer Ch.0.....	AP-A-13
0x54b0	Flash Controller.....	AP-A-14
0x56c0–0x56c8	Real-time Clock.....	AP-A-14
0xffff84–0xffffd0	S1C17 Core I/O.....	AP-A-15
Appendix B パワーセーブ.....	AP-B-1	
B.1 クロック制御によるパワーセーブ.....	AP-B-1	
B.2 電源制御によるパワーセーブ	AP-B-3	
Appendix C 実装上の注意事項.....	AP-C-1	
Appendix D ノイズ対策.....	AP-D-1	
Appendix E 初期化ルーチン.....	AP-E-1	

改訂履歴表

1 概要

1.1 特長

以下にS1C17656の主な機能と特長を示します。

表1.1.1 特長

機種	S1C17656
CPU	
CPUコア	EPSONオリジナル16ビットRISC CPUコア S1C17
乗除算器 (COPRO)	<ul style="list-style-type: none"> • 16ビット × 16ビット乗算器 • 16ビット × 16ビット + 32ビット積和演算器 • 16ビット ÷ 16ビット除算器
内蔵Flashメモリ	
容量	24Kバイト (命令/データ共用)
書き換え回数	50回 (min.)
その他	<ul style="list-style-type: none"> • デバッグツールICDminiからの読み出し/書き換えを禁止するセキュリティ機能 • プログラミング用電源 (V_{PP}) が必要 • デバッグツールICDminiからのオンボード書き込みが可能
内蔵RAM	
容量	2Kバイト
クロックジェネレータ (CLG)	
システムクロックソース	2種類 (OSC3B/OSC1A)
OSC3B発振回路	4M/2M/1M/500kHz (typ.) 内蔵発振回路
OSC1A発振回路	32.768kHz (typ.) 水晶発振回路
その他	<ul style="list-style-type: none"> • コアクロック周波数制御 • 周辺モジュールクロック供給制御
LCDドライバ (LCD)	
駆動出力数	セグメント出力: 32本 コモン出力: 4本
その他	<ul style="list-style-type: none"> • 電源電圧昇圧回路内蔵 • 表示データメモリ内蔵
入出力ポート (P)	
汎用入出力ポート数	最大19ビット (周辺回路の入出力と端子を共用)
汎用出力ポート数	最大1ビット (デバッグ出力と端子を共用)
その他	<ul style="list-style-type: none"> • シュミット入力 • プルアップ制御機能 • ポート入力割り込み: 8ビット (P00~P07)
シリアルインタフェース	
SPI	1チャンネル
UART	1チャンネル (IrDA1.0対応)
タイマ/カウンタ	
8ビットタイマ (T8)	1チャンネル (SPIのクロックを生成)
16ビットPWMタイマ (T16A2)	1チャンネル (PWM出力, イベントカウンタ, カウントキャプチャ機能)
ウォッチドッグタイマ (WDT)	1チャンネル (NMI/リセットを発生)
計時機能	
リアルタイムクロック (RTC)	1チャンネル (時, 分, 秒カウンタ)
計時タイマ (CT)	1チャンネル (128Hz~1Hzカウンタ)
サウンドジェネレータ (SND)	
ブザー周波数	8種類から選択可能
音量調整	8段階に調整可能
その他	<ul style="list-style-type: none"> • ワンショットブザー • 自動エンベロープ機能
電源電圧検出回路 (SVD)	
検出レベル	13レベル (2.0V~3.2V)
その他	<ul style="list-style-type: none"> • 間欠モード • 検出レベル判定で割り込みまたはリセットを発生 • V_{DD}および外部電圧 (P02端子入力, 上限V_{DD}レベル) の検出が可能
R/F変換器 (RFC)	
変換方式	CR発振型 (24ビットカウンタ)
変換チャンネル数	1チャンネル (2個のセンサを接続可能)
対応センタ	DCバイアス抵抗性センサ
その他	外部入力パルスのカウントにも対応

1 概要

割り込み	
リセット割り込み	#RESET端子/ウォッチドッグタイマ
NMI	ウォッチドッグタイマ
プログラマブル割り込み	10本(8レベル)
電源電圧	
動作電圧 (V _{DD})	1.8V~3.6V
Flashプログラミング/消去電圧 (V _{PP})	7.5V
動作温度	
動作温度範囲	-40°C~85°C
消費電流 (Typ値, V _{DD} = 1.8V~3.6V)	
SLEEP時	130nA (OSC1A = Off, RTC = Off, OSC3B = Off)
	400nA (OSC1A = 32kHz, RTC = On, OSC3B = Off)
HALT時	0.5μA (OSC1A = 32kHz, RTC = Off, OSC3B = Off)
	0.5μA (OSC1A = 32kHz, RTC = On, OSC3B = Off)
動作時	7.3μA (OSC1A = 32kHz, RTC = Off, OSC3B = Off)
	280μA (OSC1A = Off, RTC = Off, OSC3B = 1MHz)
出荷形態	
1	アルミパッドチップ
2	TQFP14-80pin (14mm × 14mm × 1mm, 端子ピッチ: 0.5mm)

1.2 ブロック図

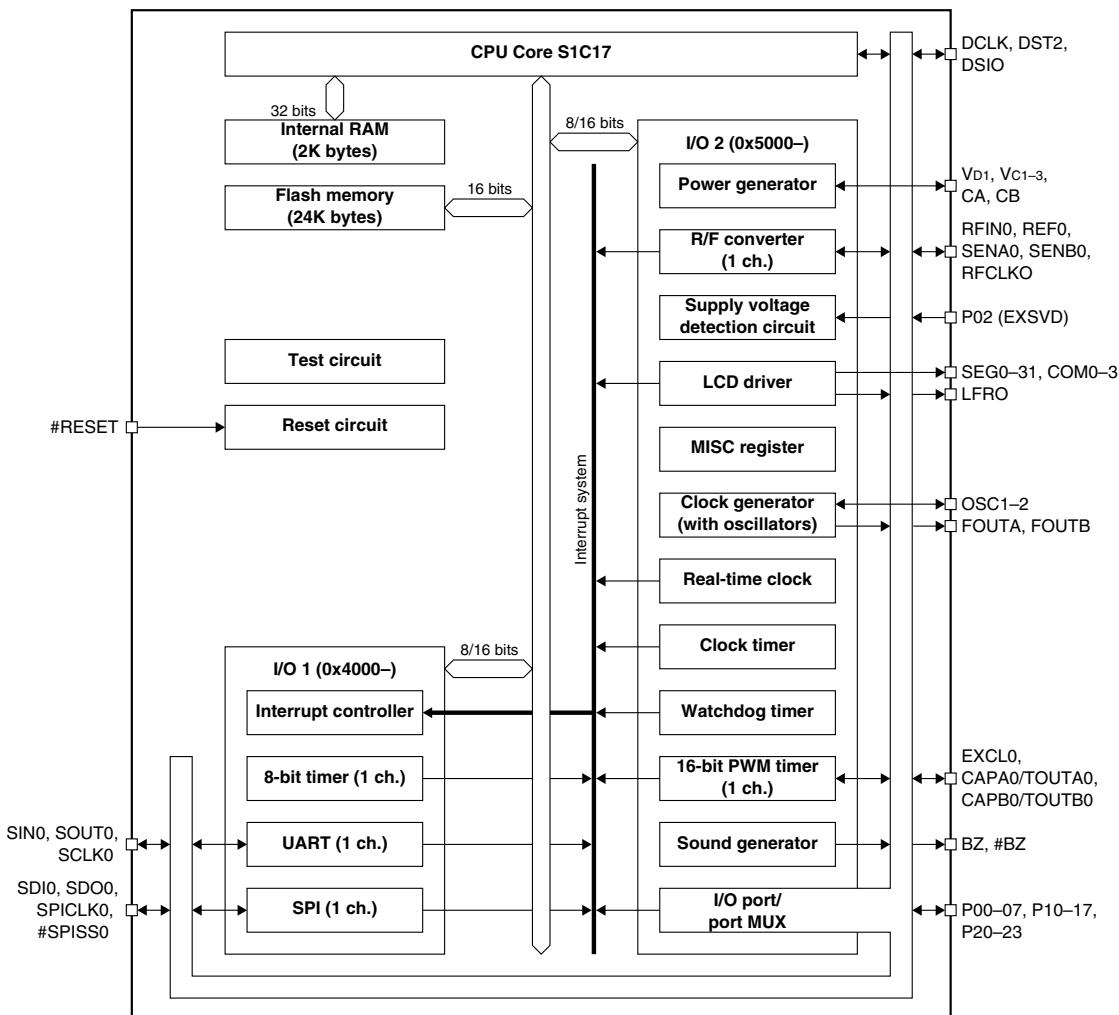


図1.2.1 S1C17656ブロック図

1.3 端子

1.3.1 端子配置図

チップ

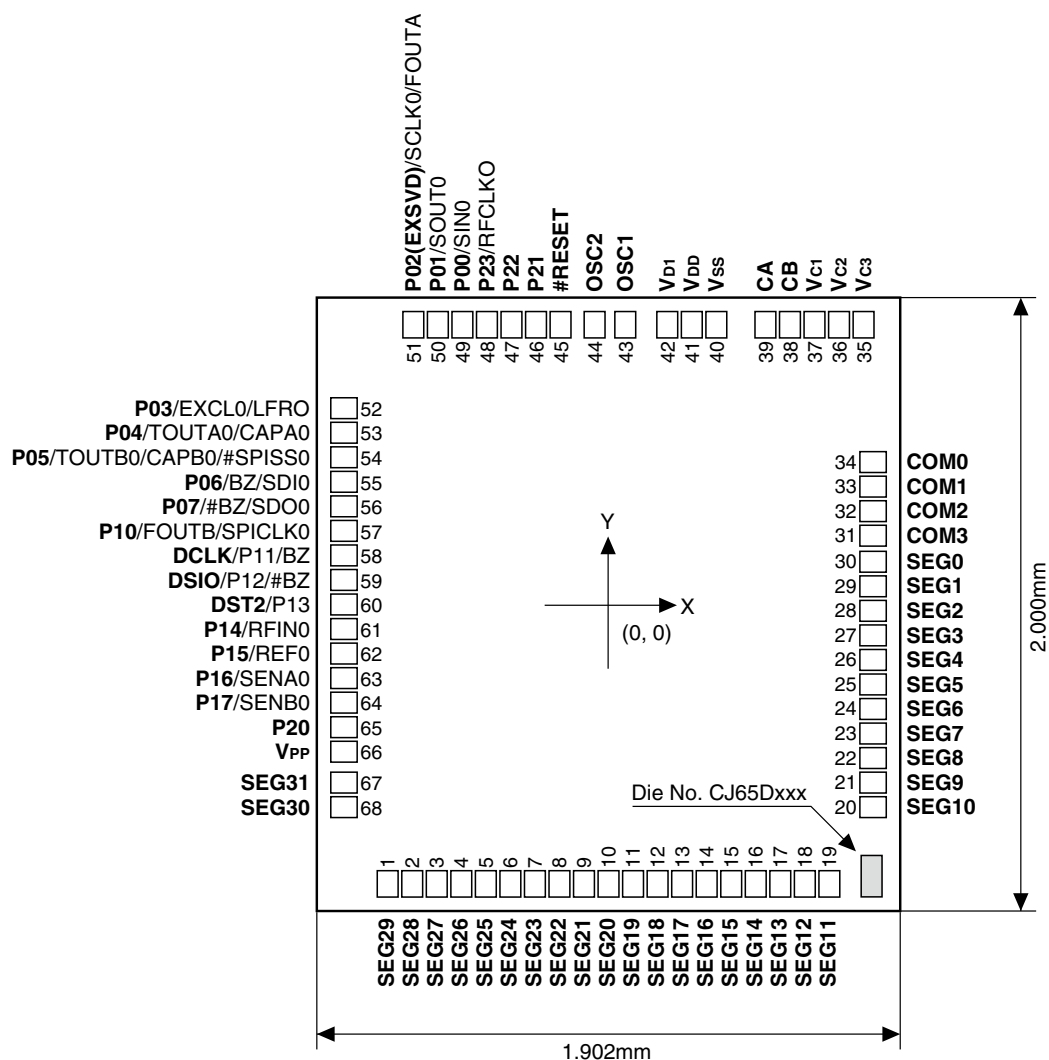


図1.3.1.1 S1C17656/パッド配置図

チップサイズ X = 1.902mm, Y = 2.000mm
 パッド開口部 No. 1~19, 35~51: X = 68 μ m, Y = 86 μ m
 No. 20~34, 52~68: X = 86 μ m, Y = 68 μ m
 チップ厚 400 μ m

1 概要

表1.3.1.1 S1C17656/パッド座標

No.	名称	X (μm)	Y (μm)	No.	名称	X (μm)	Y (μm)
1	SEG29	-720.0	-911.5	35	Vc3	831.5	911.5
2	SEG28	-640.0	-911.5	36	Vc2	751.5	911.5
3	SEG27	-560.0	-911.5	37	Vc1	671.5	911.5
4	SEG26	-480.0	-911.5	38	CB	591.5	911.5
5	SEG25	-400.0	-911.5	39	CA	511.5	911.5
6	SEG24	-320.0	-911.5	40	Vss	351.5	911.5
7	SEG23	-240.0	-911.5	41	VDD	271.5	911.5
8	SEG22	-160.0	-911.5	42	VD1	191.5	911.5
9	SEG21	-80.0	-911.5	43	OSC1	54.6	911.5
10	SEG20	0.0	-911.5	44	OSC2	-45.4	911.5
11	SEG19	80.0	-911.5	45	#RESET	-156.4	911.5
12	SEG18	160.0	-911.5	46	P21	-236.4	911.5
13	SEG17	240.0	-911.5	47	P22	-316.4	911.5
14	SEG16	320.0	-911.5	48	P23/RFCLKO	-396.4	911.5
15	SEG15	400.0	-911.5	49	P00/SINO	-476.4	911.5
16	SEG14	480.0	-911.5	50	P01/SOUT0	-556.4	911.5
17	SEG13	560.0	-911.5	51	P02(EXSVD)/SCLK0/FOUTA	-636.4	911.5
18	SEG12	640.0	-911.5	52	P03/EXCLO/LFRO	-862.5	639.4
19	SEG11	720.0	-911.5	53	P04/TOUTA0/CAPA0	-862.5	559.4
20	SEG10	862.5	-661.3	54	P05/TOUTB0/CAPB0/#SPISS0	-862.5	479.4
21	SEG9	862.5	-581.3	55	P06/BZ/SDIO	-862.5	399.4
22	SEG8	862.5	-501.3	56	P07/#BZ/SDO0	-862.5	319.4
23	SEG7	862.5	-421.3	57	P10/FOUTB/SPICLK0	-862.5	239.4
24	SEG6	862.5	-341.3	58	DCLK/P11/BZ	-862.5	159.4
25	SEG5	862.5	-261.3	59	DSIO/P12/#BZ	-862.5	79.4
26	SEG4	862.5	-181.3	60	DST2/P13	-862.5	-0.6
27	SEG3	862.5	-101.3	61	P14/RFIN0	-862.5	-80.6
28	SEG2	862.5	-21.3	62	P15/REF0	-862.5	-160.6
29	SEG1	862.5	58.7	63	P16/SENA0	-862.5	-240.6
30	SEG0	862.5	138.7	64	P17/SENB0	-862.5	-320.6
31	COM3	862.5	223.7	65	P20	-862.5	-400.6
32	COM2	862.5	303.7	66	VPP	-862.5	-480.6
33	COM1	862.5	383.7	67	SEG31	-862.5	-581.3
34	COM0	862.5	463.7	68	SEG30	-862.5	-661.3

TQFP14-80pin

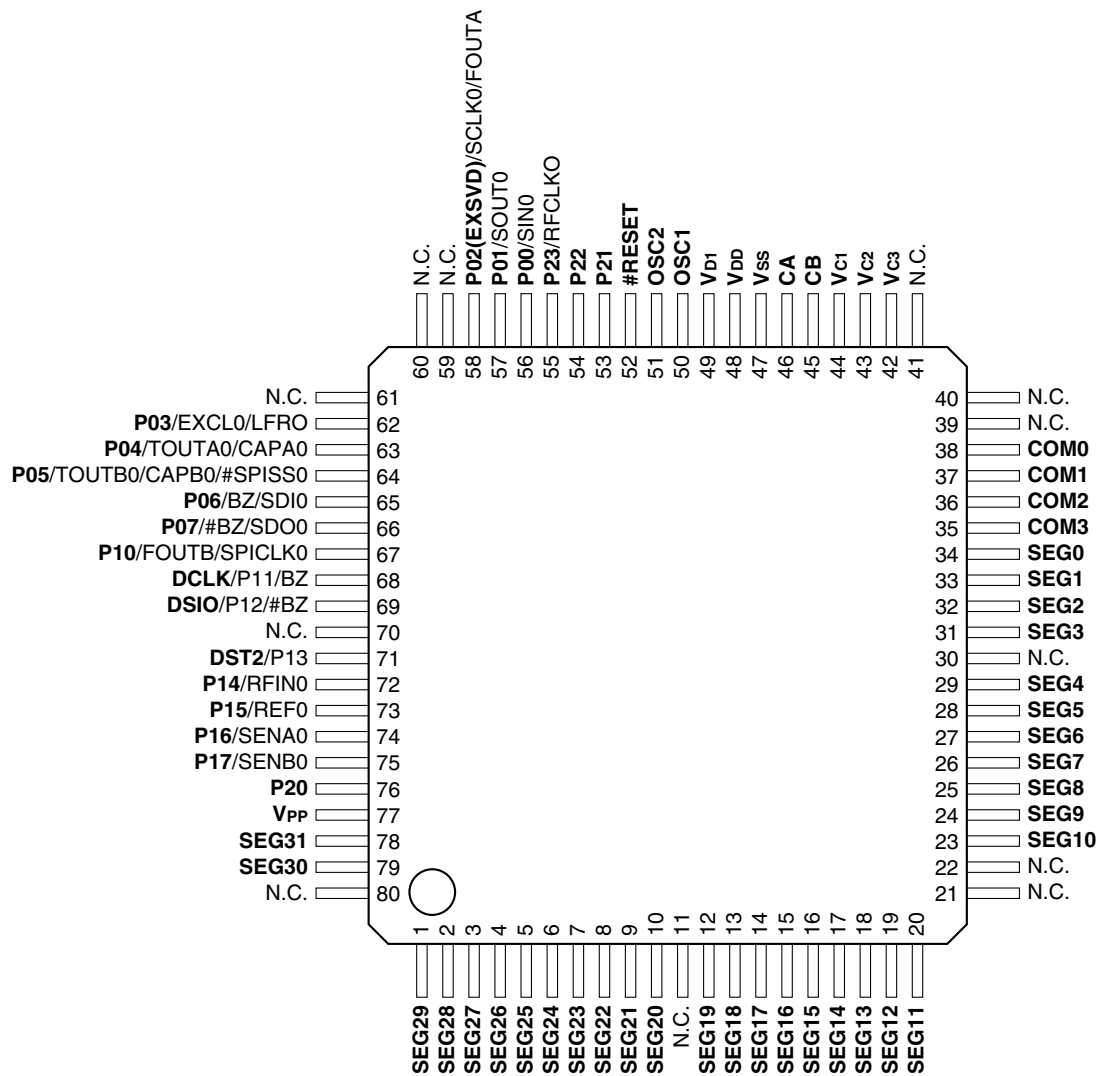


図1.3.1.2 S1C17656端子配置図 (TQFP14-80pin)

1.3.2 端子説明

注: 太字の端子名が初期状態の機能です。

表1.3.2.1 端子説明

端子No.		名称	I/O	初期状態	機能
チップ	TQFP14-80				
67, 68, 1-30	78, 79, 1-10, 12-20, 23-29, 31-34	SEG31-SEG0	O	O (Hi-Z)	LCDセグメント出力端子
31-34	35-38	COM3-COM0	O	O (Hi-Z)	LCDコモン出力端子
35	42	Vc3	-	-	LCD系電源回路出力端子
36	43	Vc2	-	-	LCD系電源回路出力端子
37	44	Vc1	-	-	LCD系電源回路出力端子
38	45	CB	-	-	LCD系電源回路用昇圧コンデンサ接続端子
39	46	CA	-	-	LCD系電源回路用昇圧コンデンサ接続端子
40	47	Vss	-	-	GND端子
41	48	VDD	-	-	電源端子 (1.8~3.6V)
42	49	VD1	-	-	内部ロジック系定電圧回路出力端子
43	50	OSC1	I	I	OSC1A発振入力端子
44	51	OSC2	O	O	OSC1A発振出力端子
45	52	#RESET	I	I (Pull-up)	イニシャルリセット入力端子
66	77	VPP	-	-	Flashプログラミング/消去電源端子 (7.5V) (通常動作時はオープン)
49	56	P00	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		SINO	I		UART Ch.0データ入力端子
50	57	P01	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		SOUT0	O		UART Ch.0データ出力端子
51	58	P02 (EXSVD)	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)、SVD検出対象電圧入力端子
		SCLK0	I		UART Ch.0外部クロック入力端子
		FOUTA	O		クロック出力端子
52	62	P03	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		EXCL0	I		T16A2 Ch.0外部クロック入力端子
		LFRO	O		LCDフレーム信号出力端子
53	63	P04	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		TOUTA0	O		T16A2 Ch.0 TOUT A信号出力端子
		CAPA0	I		T16A2 Ch.0キャプチャAトリガ信号入力端子
54	64	P05	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		TOUTB0	O		T16A2 Ch.0 TOUT B信号出力端子
		CAPB0	I		T16A2 Ch.0キャプチャBトリガ信号入力端子
		#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子
55	65	P06	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		BZ	O		ブザー出力端子
		SDI0	I		SPI Ch.0データ入力端子
56	66	P07	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
		#BZ	O		ブザー反転出力端子
		SDO0	O		SPI Ch.0データ出力端子
57	67	P10	I/O	I (Pull-up)	入出力ポート端子
		FOUTB	O		クロック出力端子
		SPICLK0	I/O		SPI Ch.0クロック入出力端子
58	68	DCLK		O (H)	オンチップデバッグクロック出力端子
		P11	O		出力ポート端子
		BZ	O		ブザー出力端子
59	69	DSIO	I	I (Pull-up)	オンチップデバッグデータ入出力端子
		P12	I/O		入出力ポート端子
		#BZ	O		ブザー反転出力端子
60	71	DST2	O	O (L)	オンチップデバッグステータス出力端子
		P13	I/O		入出力ポート端子
61	72	P14	I/O	I (Pull-up)	入出力ポート端子
		RFIN0	I/O		R/F変換器Ch.0 RFCLK入力/発振制御端子
62	73	P15	I/O	I (Pull-up)	入出力ポート端子
		REF0	I/O		R/F変換器Ch.0基準発振制御端子
63	74	P16	I/O	I (Pull-up)	入出力ポート端子
		SENA0	I/O		R/F変換器Ch.0センサA発振制御端子
64	75	P17	I/O	I (Pull-up)	入出力ポート端子
		SENB0	I/O		R/F変換器Ch.0センサB発振制御端子
65	76	P20	I/O	I (Pull-up)	入出力ポート端子
46	53	P21	I/O	I (Pull-up)	入出力ポート端子
47	54	P22	I/O	I (Pull-up)	入出力ポート端子
48	55	P23	I/O	I (Pull-up)	入出力ポート端子
		RFCLKO	O		R/Fクロックモニタ出力端子

2 CPU

S1C17656はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 μ m低電力CMOSプロセステクノロジー

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

コプロセッサインタフェース

- 16ビット×16ビット乗算器
- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。

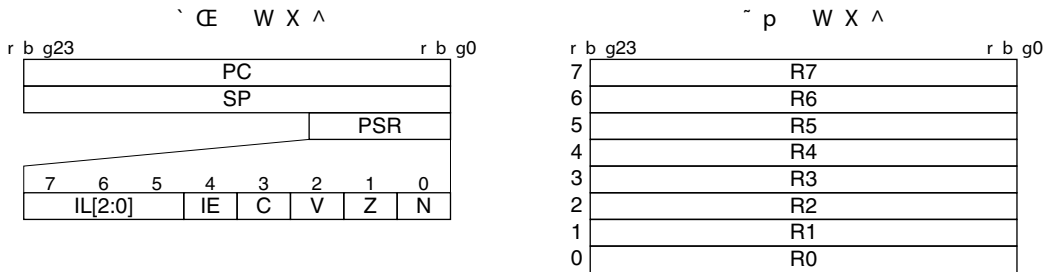


図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	二ーモニク	機能	
データ転送	1d.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	プリデクリメント機能を使用可能
		$-[\%rb], \%rs$	
		$[\%sp+imm7], \%rs$	汎用レジスタ(バイト) → スタック
		$[imm7], \%rs$	汎用レジスタ(バイト) → メモリ
		1d.ub	$\%rd, \%rs$
	$\%rd, [\%rb]$		メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	$\%rd, [\%rb]+$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
	$\%rd, [\%rb]-$		プリデクリメント機能を使用可能
	$\%rd, -[\%rb]$		
	$\%rd, [\%sp+imm7]$		スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	$\%rd, [imm7]$		メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	1d	$\%rd, \%rs$	汎用レジスタ(16ビット) → 汎用レジスタ
		$\%rd, sign7$	即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(16ビット) → 汎用レジスタ
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(16ビット) → 汎用レジスタ
$\%rd, [imm7]$		メモリ(16ビット) → 汎用レジスタ	
$[\%rb], \%rs$		汎用レジスタ(16ビット) → メモリ	
$[\%rb]+, \%rs$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$[\%rb]-, \%rs$		プリデクリメント機能を使用可能	
$-[\%rb], \%rs$			
$[\%sp+imm7], \%rs$		汎用レジスタ(16ビット) → スタック	
$[imm7], \%rs$		汎用レジスタ(16ビット) → メモリ	
1d.a	$\%rd, \%rs$	汎用レジスタ(24ビット) → 汎用レジスタ	
	$\%rd, imm7$	即値 → 汎用レジスタ(ゼロ拡張)	

種類	ニーモニック	機能			
データ転送	ld.a	$\%rd, [\%rb]$	メモリ(32ビット) → 汎用レジスタ (*1)		
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能		
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能		
		$\%rd, -[\%rb]$			
		$\%rd, [\%sp+imm7]$	スタック(32ビット) → 汎用レジスタ (*1)		
		$\%rd, [imm7]$	メモリ(32ビット) → 汎用レジスタ (*1)		
		$[\%rb], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)		
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能		
		$[\%rb]-, \%rs$	プリデクリメント機能を使用可能		
		$-[\%rb], \%rs$			
		$[\%sp+imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)		
		$[imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)		
		$\%rd, \%sp$	SP → 汎用レジスタ		
		$\%rd, \%pc$	PC → 汎用レジスタ		
		$\%rd, [\%sp]$	スタック(32ビット) → 汎用レジスタ (*1)		
		$\%rd, [\%sp]+$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能		
		$\%rd, [\%sp]-$	プリデクリメント機能を使用可能		
		$\%rd, -[\%sp]$			
		$[\%sp], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)		
		$[\%sp]+, \%rs$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能		
$[\%sp]-, \%rs$	プリデクリメント機能を使用可能				
$-[\%sp], \%rs$					
$\%sp, \%rs$	汎用レジスタ(24ビット) → SP				
$\%sp, imm7$	即値 → SP				
整数算術演算	add	$\%rd, \%rs$	汎用レジスタ間の16ビット加算		
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)		
	add	$\%rd, imm7$	汎用レジスタと即値の16ビット加算		
		add.a	$\%rd, \%rs$	汎用レジスタ間の24ビット加算	
				条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
	add.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット加算		
		$\%rd, imm7$	汎用レジスタと即値の24ビット加算		
		$\%sp, imm7$	SPと即値の24ビット加算		
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット加算		
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)		
	adc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット加算		
	sub	$\%rd, \%rs$	汎用レジスタ間の16ビット減算		
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)		
	sub	$\%rd, imm7$	汎用レジスタと即値の16ビット減算		
			sub.a	$\%rd, \%rs$	汎用レジスタ間の24ビット減算
					条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット減算		
		$\%rd, imm7$	汎用レジスタと即値の24ビット減算		
		$\%sp, imm7$	SPと即値の24ビット減算		
	sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット減算		
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)		
	sbc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット減算		
	cmp	$\%rd, \%rs$	汎用レジスタ間の16ビット比較		
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)		
cmp	$\%rd, sign7$	汎用レジスタと即値の16ビット比較			
		cmp.a	$\%rd, \%rs$	汎用レジスタ間の24ビット比較	
				条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a	$\%rd, imm7$	汎用レジスタと即値の24ビット比較			
		cmc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット比較	
				条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc	$\%rd, sign7$	汎用レジスタと即値のキャリー付き16ビット比較			

種類	ニーモニック		機能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数)
	not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
not/nc			
not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)	
シフト&スワップ	sr	$\%rd, \%rs$ $\%rd, imm7$	右論理シフト(レジスタによるシフトビット数指定) 右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$ $\%rd, imm7$	右算術シフト(レジスタによるシフトビット数指定) 右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$ $\%rd, imm7$	左論理シフト(レジスタによるシフトビット数指定) 左論理シフト(即値によるシフトビット数指定)
	swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ
	ext	$imm13$	直後の命令のオペランドを拡張
	コンバージョン	cv.ab	$\%rd, \%rs$
cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換	
cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換	
cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換	
cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換	
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: Z N ^ V
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: Z C
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: !Z
	jrne.d		ディレイド分岐可
call	$sign10$	PC相対サブルーチンコール	
call.d	$\%rb$	ディレイド分岐可	
calla	$imm7$	絶対サブルーチンコール	
calla.d	$\%rb$	ディレイド分岐可	
ret		サブルーチンからのリターン	
ret.d		ディレイド分岐可	
int	$imm5$	ソフトウェア割り込み	
intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み	
reti		割り込みからのリターン	
reti.d		ディレイド分岐可	
brk		デバッグ割り込み	

種類	ニーモニック		機能
分岐	ret		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送
	ld.ca	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、結果とフラグ状態の取得
	ld.cf	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、フラグ状態の取得

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記号	説明
$\%rs$	汎用ソースレジスタ
$\%rd$	汎用デスティネーションレジスタ
$[\%rb]$	汎用レジスタで間接指定されるメモリ
$[\%rb]+$	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
$[\%rb]-$	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
$-\%rb$	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
$\%sp$	スタックポインタ
$[\%sp], [\%sp+imm7]$	スタック
$[\%sp]+$	スタック(アドレスポストインクリメント付き)
$[\%sp]-$	スタック(アドレスポストデクリメント付き)
$-\%sp$	スタック(アドレスプリデクリメント付き)
$imm3, imm5, imm7, imm13$	符号なし即値(数値はビット長)
$sign7, sign10$	符号付き即値(数値はビット長)

2.4 PSRの読み出し

S1C17656にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのMISC_PSRレジスタが設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

PSR Register (MISC_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

D[15:8] **Reserved**

D[7:5] **PSRIL[2:0]: PSR Interrupt Level (IL) Bits**

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

D4 **PSRIE: PSR Interrupt Enable (IE) Bit**

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

D3 PSRC: PSR Carry (C) Flag Bit

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D2 PSRV: PSR Overflow (V) Flag Bit

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D1 PSRZ: PSR Zero (Z) Flag Bit

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D0 PSRN: PSR Negative (N) Flag Bit

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

2.5 プロセッサ情報

S1C17656はIDIRレジスタを内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップ、バス制御

図3.1にS1C17656のメモリマップを示します。

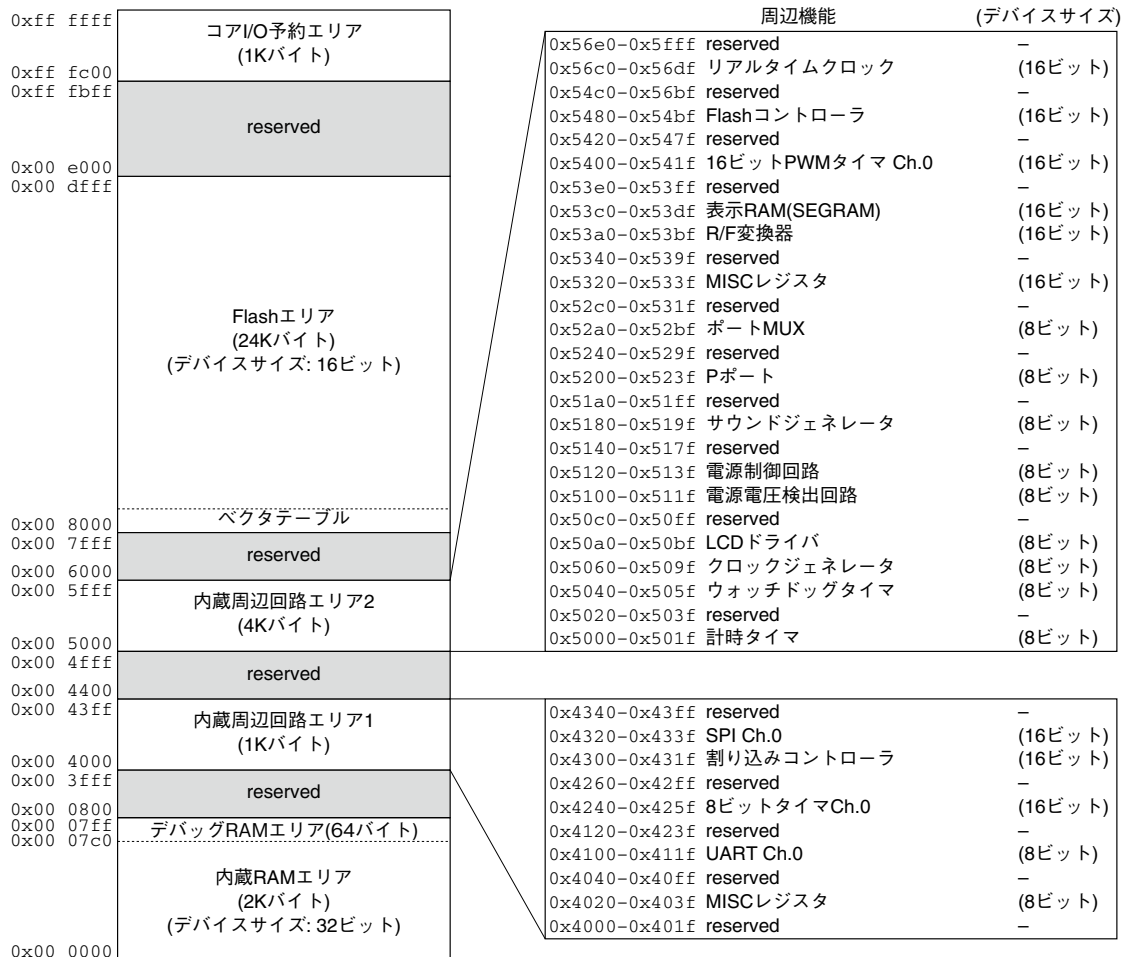


図3.1 S1C17656メモリマップ

3.1 バスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。システムクロックについては、“クロックジェネレータ(CLG)”の章内、“システムクロックの切り換え”を参照してください。

すべてのエリアにおいて、1バスサイクルに必要なシステムクロック数は1クロックです。

また、バスアクセス回数は、CPUの命令(アクセスサイズ)とデバイスサイズにより変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

3 メモリマップ、バス制御

* 32ビットアクセス時の上位8ビットデータについて

S1C17コアの汎用レジスタは24ビットです。

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

詳しくは、“S1C17コアマニュアル”を参照してください。

3.1.1 アクセスサイズ制限

周辺モジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

3.2 Flashエリア

3.2.1 内蔵Flashメモリ

0x8000番地から0xdfff番地までの24Kバイトの領域にはFlashメモリ(2Kバイト × 12セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“割り込みコントローラ(ITC)”の章内の“ベクタテーブル”参照)を置く必要があります。ベクタテーブルベースアドレスはMISC_TTBRL/MISC_TTBRLHレジスタで変更可能です。

3.2.2 Flashプログラミング

S1C17656はFlashメモリのオンボードプログラミングに対応しており、ICDminiを介してデバッグからプログラム/データを書き込むことができます。

3.2.3 Flashメモリリードウェイト数の設定

Flashメモリのデータを正しく読み出すため、システムクロック周波数に合わせてウェイト数の設定が必要です。RDWAIT[1:0]/FLASHC_WAITレジスタで設定してください。

FLASHC Read Wait Control Register (FLASHC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FLASHC Read Wait Control Register (FLASHC_WAIT)	0x54b0 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.	
		D7	-	reserved	-	X	-	X when being read.	
		D6-2	-	reserved	-	-	-	0 when being read.	
		D1-0	RDWAIT[1:0]	Flash read wait cycle	RDWAIT[1:0]	Wait	0x1	R/W	
					0x3	3 wait			
			0x2	2 wait					
			0x1	1 wait					
			0x0	No wait					

D[1:0] RDWAIT[1:0]: Flash Read Wait Cycle Bits

Flashメモリリード時のウェイト数を設定します。バスサイクルは、1ウェイトの挿入につき1システムクロック増加します。

注: • パフォーマンスを最大にするには、RDWAIT[1:0] = 0x0に設定してください。

- FLASHC_WAITレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、不要な書き換えを防ぐため、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

3.3 内蔵RAMエリア

3.3.1 内蔵RAM

0x0番地から0x7ff番地までの2Kバイトの領域にはRAMが内蔵されています。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト(0x7c0~0x7ff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。

デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17656では使用するRAMのサイズを2KB、1KB、512バイトに制限することができます。たとえば、S1C17656をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC_IRAMSZレジスタで行います。

IRAM Size Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0	0 0xffff00	0	R/W	
		D7	—	reserved	—	—	—	—	0 when being read.
		D6-4	IRAMACTSZ [2:0]	IRAM actual size	—	0x3 (= 2KB)	0x3	R	
		D3	—	reserved	—	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	—	IRAMSZ[2:0]	Size	0x3	R/W
					0x5	512B			
					0x4	1KB			
					0x3	2KB			
					Other	reserved			

D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x3)

D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
その他	Reserved

(デフォルト: 0x3)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

3.4 表示RAMエリア

内蔵周辺回路エリアの0x53c0番地から始まる32バイトには内蔵LCDドライバ用の表示RAMが16ビットデバイスとして割り付けられています。このRAMは1サイクルでアクセスされます。表示メモリの詳細については、“LCDドライバ(LCD)”の章内の“表示メモリ”を参照してください。

3.5 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

各制御レジスタの詳細については、“Appendix”のI/Oレジスタ一覧、または各周辺モジュールの説明を参照してください。

3.5.1 内蔵周辺回路エリア1(0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- MISCレジスタ(MISC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- 8ビットタイマ(T8, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)

3.5.2 内蔵周辺回路エリア2(0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- 計時タイマ(CT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)
- クロックジェネレータ(CLG, 8ビットデバイス)
- LCDドライバ(LCD, 8ビットデバイス)
- 電源電圧検出回路(SVD, 8ビットデバイス)
- 電源回路(VD1, 8ビットデバイス)
- サウンドジェネレータ(SND, 8ビットデバイス)
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- R/F変換器(RFC, 16ビットデバイス)
- 表示RAM(SEGRAM, 16ビットデバイス)
- 16ビットPWMタイマ(T16A2, 16ビットデバイス)
- Flashコントローラ(FLASHC, 16ビットデバイス)
- リアルタイムクロック(RTC, 16ビットデバイス)

3.6 S1C17コアI/O予約エリア

0xffffc00~0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.6.1 I/Oマップ(S1C17コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示

IDIRについては“CPU”の章内の“プロセッサ情報”を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

4 電源

4.1 電源電圧 (V_{DD})

S1C17656は、V_{DD}～V_{SS}間に供給される電源電圧によって動作します。V_{SS}端子をGNDレベルとして、下記の範囲内の電圧をV_{DD}端子に供給してください。

$$V_{DD} = 1.8V \sim 3.6V (V_{SS} = GND)$$

4.2 Flashプログラミング用電源電圧 (V_{PP})

内蔵のFlashメモリをプログラムするための電源です。Flashメモリのプログラミング/消去時はV_{SS}端子をGNDレベルとして、下記の電圧をV_{PP}端子に供給してください。

$$V_{PP} = 7.5V (V_{SS} = GND)$$

注: 通常動作時は、V_{PP}端子をオープンとしてください。

4.3 内部電源回路

S1C17656は内部回路の動作電圧を発生する電源回路を内蔵しています。内部電源回路の構成を図4.3.1に示します。

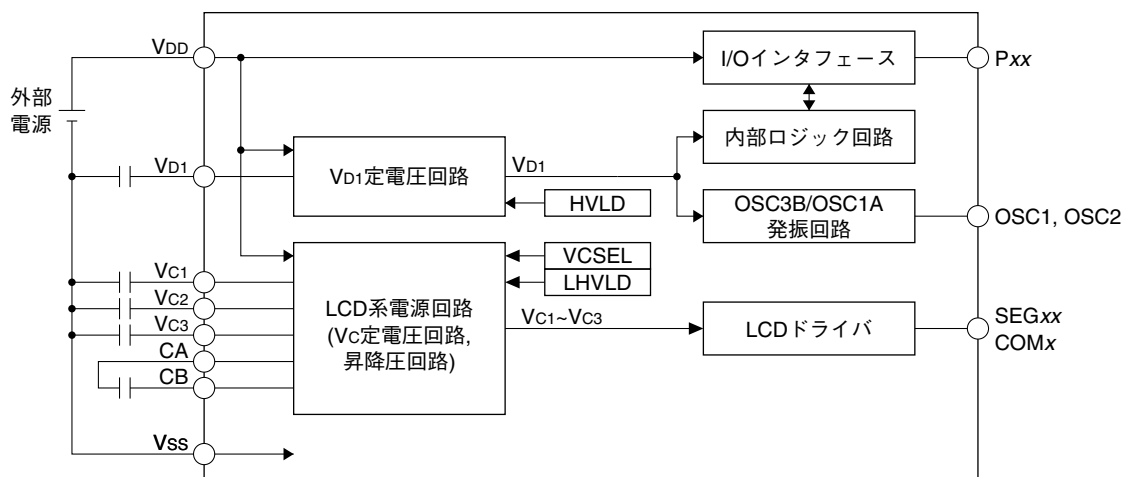


図4.3.1 内部電源回路の構成

内部電源回路は、V_{D1}定電圧回路、LCD系電源回路で構成されます。

注: 内部電源回路の出力を外部デバイスの駆動には使用しないでください。

4.3.1 V_{D1}定電圧回路

V_{D1}定電圧回路は、内部ロジック回路および発振回路用の動作電圧を発生します。この電源回路は常に動作します。

4.3.2 LCD系電源回路

LCD系電源回路はLCD駆動電圧V_{C1}～V_{C3}を発生します。この電圧はLCDドライバへ送られ、LCD駆動波形の生成に使用されます。

LCD系電源回路はV_C定電圧回路と昇降圧回路で構成されます。

V_{C1}～V_{C3}の電圧値については、“電気的特性”の章を参照してください。

Vc定電圧回路

Vc定電圧回路は電源電圧V_{DD}から、昇降圧用基準電圧V_{C1}またはV_{C2}を生成します。

V_{C1}またはV_{C2}のどちらを生成するかについては、V_{DD}の値に応じてVCSEL/LCD_VREGレジスタで選択します。

表4.3.2.1 Vc定電圧回路出力の選択

電源電圧V _{DD}	VCSELの設定値	基準電圧
1.8~2.2(3.6)V	0	V _{C1}
2.2~3.6V	1	V _{C2}

(デフォルト: 0)

- 注: • V_{DD}が2.2V未満のときにVCSELを1に設定すると、V_{C1}~V_{C3}の電圧は正しい値になりません。
 • V_{DD}が2.2V以上の場合でもV_{C1}基準で動作可能ですが、V_{C2}基準よりも消費電流が増加します。

昇降圧回路

昇降圧用基準電圧にV_{C1}を選択した場合、昇降圧回路はVc定電圧回路で発生させたV_{C1}を昇圧してV_{C2}とV_{C3}を発生します。昇降圧用基準電圧にV_{C2}を選択した場合、昇降圧回路はVc定電圧回路で発生させたV_{C2}を降圧してV_{C1}を、V_{C2}を昇圧してV_{C3}を発生します。昇圧動作にはクロックを使用しますので、LCD表示を行うには、LCD系電源回路にクロックを供給する必要があります。

昇圧クロックソースの選択

昇降圧回路のクロックソースはLCDBCLKSRC[1:0]/LCD_BCLKレジスタを使用してOSC3B、OSC1Aから選択します。

表4.3.2.2 クロックソースの選択

LCDBCLKSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

昇圧クロック分周比の選択

クロック分周比はLCDBCLKD[2:0]/LCD_BCLKレジスタで選択します。昇圧クロックが512Hz~4kHzの周波数範囲となるように設定してください。

表4.3.2.3 クロック分周比の選択

LCDBCLKD[2:0]	分周比	
	クロックソース = OSC3B	クロックソース = OSC1A
0x7	Reserved	Reserved
0x6	1/4096	
0x5	1/2048	
0x4	1/1024	
0x3	1/512	1/64
0x2	1/256	1/32
0x1	1/128	1/16
0x0	1/64	1/8

(デフォルト: 0x0)

昇圧クロックイネーブル

昇圧クロックの供給はLCDBCLKE/LCD_BCLKレジスタで制御します。LCDBCLKEのデフォルト設定は0で、クロックの供給は停止しています。LCDBCLKEを1に設定すると上記のとおり生成されたクロックがLCD系電源回路に送られ、LCD駆動電圧V_{C1}~V_{C3}を発生します。LCD表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

4.3.3 重負荷保護モード

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示が行えるように、各定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。

以下の制御ビットで設定可能です。

表4.3.3.1 重負荷保護モード制御ビット

定電圧回路	制御ビット
V _{D1} 定電圧回路	HVLD/VD1_CTLレジスタ
V _C 定電圧回路	LHVLD/LCD_VREGレジスタ

制御ビットを1に設定すると、その定電圧回路は出力の安定化を図ります。

V_{D1}定電圧回路の重負荷保護モードは、ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

V_C定電圧回路の重負荷保護モードは、LCD表示に濃淡が現れる場合などに設定してください。

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要とき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.4 制御レジスタ詳細

表4.4.1 電源制御レジスタ

アドレス	レジスタ名		機能
0x5071	LCD_BCLK	LCD Booster Clock Control Register	LCD用昇圧クロックの制御
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	V _C 定電圧回路の制御
0x5120	VD1_CTL	V _{D1} Control Register	V _{D1} 定電圧回路の制御

以下にS1C17656の電源制御レジスタを説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

LCD Booster Clock Control Register (LCD_BCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
LCD Booster Clock Control Register (LCD_BCLK)	0x5071 (8 bits)	D7	–	reserved	–	–	–	0 when being read.		
		D6–4	LCDBCLKD[2:0]	LCD booster clock division ratio select	LCDBCLK D[2:0] Division ratio		0x0	R/W		
					0x7	–				–
					0x6	1/4096				–
					0x5	1/2048				–
					0x4	1/1024				–
0x3	1/512				1/64					
0x2	1/256				1/32					
0x1	1/128	1/16								
0x0	1/64	1/8								
D3–2	LCDBCLK SRC[1:0]	LCD Booster clock source select	LCDBCLK SRC[1:0] Clock source		0x0	R/W				
			0x3, 0x2	reserved						
			0x1	OSC1A						
0x0	OSC3B									
D1	–	reserved	–	–	–	–	0 when being read.			
D0	LCDBCLKKE	LCD Booster clock enable	1	Enable	0	Disable	0	R/W		

D7 Reserved

D[6:4] LCDBCLKD[2:0]: LCD Booster Clock Division Ratio Select Bits

昇圧クロックを生成するための分周比を選択します。

表4.4.2 クロック分周比の選択

LCDBCLKD[2:0]	分周比	
	クロックソース = OSC3B	クロックソース = OSC1A
0x7	Reserved	Reserved
0x6	1/4096	
0x5	1/2048	
0x4	1/1024	
0x3	1/512	1/64
0x2	1/256	1/32
0x1	1/128	1/16
0x0	1/64	1/8

(デフォルト: 0x0)

D[3:2] LCDBCLKSRC[1:0]: LCD Booster Clock Source Select Bits

昇圧クロックソースを選択します。

表4.4.3 クロックソースの選択

LCDBCLKSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

D1 Reserved

D0 LCDBCLKE: LCD Booster Clock Enable Bit

LCD系電源回路への昇圧クロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

LCDBCLKEのデフォルト設定は0で、クロックの供給は停止しています。LCDBCLKEを1に設定すると、クロックがLCD系電源回路に送られます。LCD表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.
		D4	LHVLD	Vc heavy load protection mode	1 On 0 Off	0	R/W	
		D3-1	-	reserved	-	-	-	0 when being read.
		D0	VCSEL	Reference voltage select	1 Vc2 0 Vc1	0	R/W	

D[7:5] Reserved

D4 LHVLD: Vc Heavy Load Protection Mode Bit

Vc定電圧回路を重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

Vc定電圧回路はLHVLDに1を書き込むと重負荷保護モードとなり、出力の安定化を図ります。LCD表示に濃淡が現れる場合などに設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[3:1] Reserved

D0 VCSEL: Reference Voltage Select Bit

Vc定電圧回路の出力電圧(昇降圧用基準電圧)を選択します。

1(R/W): Vc2

0(R/W): Vc1(デフォルト)

Vc定電圧回路でVc1またはVc2のどちらを生成するか、VDDの値に応じて選択します。

表4.4.4 Vc定電圧回路出力の選択

電源電圧VDD	VCSELの設定値	基準電圧
1.8~2.2(3.6)V	0	Vc1
2.2~3.6V	1	Vc2

(デフォルト: 0)

注: • VDDが2.2V未満のときにVCSELを1に設定すると、Vc1~Vc3の電圧は正しい値になりません。

• VDDが2.2V以上の場合でもVc1基準で動作可能ですが、Vc2基準よりも消費電流が増加します。

VD1 Control Register (VD1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
VD1 Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.
		D5	HVLD	VD1 heavy load protection mode	1 On 0 Off	0	R/W	
		D4-0	-	reserved	-	-	-	0 when being read.

D[7:6] Reserved

D5 HVLD: V_{D1} Heavy Load Protection Mode Bit

V_{D1}定電圧回路を重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

V_{D1}定電圧回路はHVLDに1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図りません。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[4:0] Reserved

5 イニシャルリセット

5.1 イニシャルリセット要因

S1C17656の内部回路を初期化するイニシャルリセット要因は、以下の4種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート (P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)
- (4) 電源電圧検出回路による内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

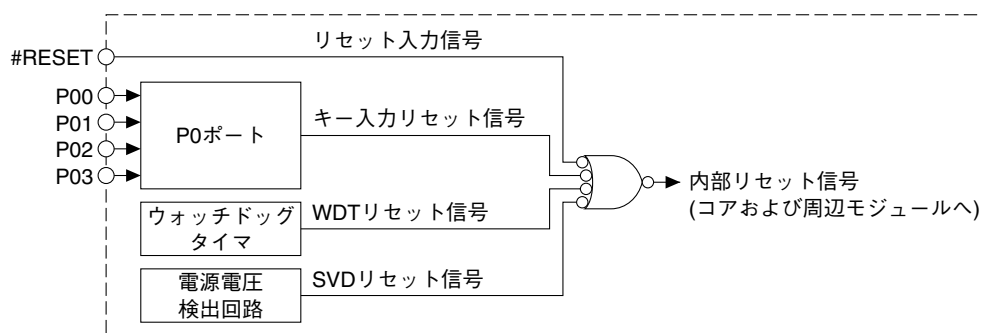


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)が読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17656を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください(“電気的特性”の章内の“入力端子特性”参照)。

#RESET入力がLowからHighになると、CPUはイニシャルリセットシーケンスを開始します。

#RESET端子には、プルアップ抵抗が内蔵されています。

5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。キー入力リセットの詳細については、“入出力ポート(P)”の章を参照してください。

注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.3 ウォッチドッグタイマによるリセット

S1C17656は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD/WDT_STレジスタに1を書き込みます(WDTMDが0の場合はNMIを発生します)。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

5 イニシャルリセット

- 注:
- ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
 - ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.4 電源電圧検出回路によるリセット

S1C17656は、電源電圧の低下を検出し、リセットを発生する電源電圧検出回路を内蔵しています。電源電圧検出回路の詳細については、“電源電圧検出回路(SVD)”の章を参照してください。

- 注:
- 電源電圧検出回路によるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
 - 電源電圧検出回路によるリセット発生時、電源電圧検出回路の制御レジスタは初期化されません。その他のリセットでは初期化されます。

5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセットの解除後、発振安定待ち時間(64/OSC3Bクロック周波数)および内部リセット保持期間(1040/OSC3Bクロック周波数)が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、OSC3B(内蔵発振回路)クロックに同期して起動します。

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

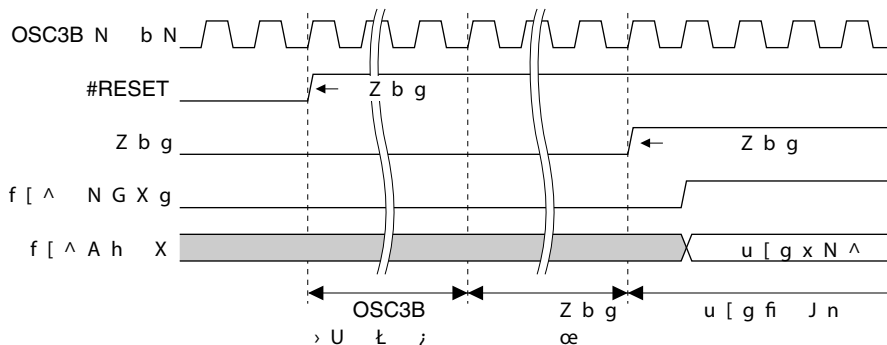


図5.2.1 イニシャルリセット解除後の動作シーケンス

5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0~R7: 0x0

PSR: 0x0(割り込みレベル=0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

6 割り込みコントローラ (ITC)

6.1 ITCモジュールの概要

割り込みコントローラ (ITC) は周辺モジュールからの割り込み要求を受け付け、設定されている優先順位と割り込みレベルに従ってS1C17コアへ割り込み要求、割り込みレベル、ベクタ番号を指定する信号を出力します。ITCモジュールの主な機能は以下のとおりです。

- 10系統のマスク可能割り込みに対応
 1. P00～P07入力割り込み(8種類)
 2. 計時タイマ割り込み(4種類)
 3. RTC割り込み(10種類)
 4. LCD割り込み(1種類)
 5. 16ビットPWMタイマCh.0割り込み(6種類)
 6. 8ビットタイマCh.0割り込み(1種類)
 7. UART Ch.0割り込み(4種類)
 8. SPI Ch.0割り込み(2種類)
 9. R/F変換器Ch.0割り込み(5種類)
 10. 電源電圧検出回路割り込み(1種類)
- 割り込みソースの優先順位を決定する8段階の割り込みレベルに対応

ITCでは複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。

各割り込み系列には上記の()内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図6.1.1に割り込みシステムの構成を示します。

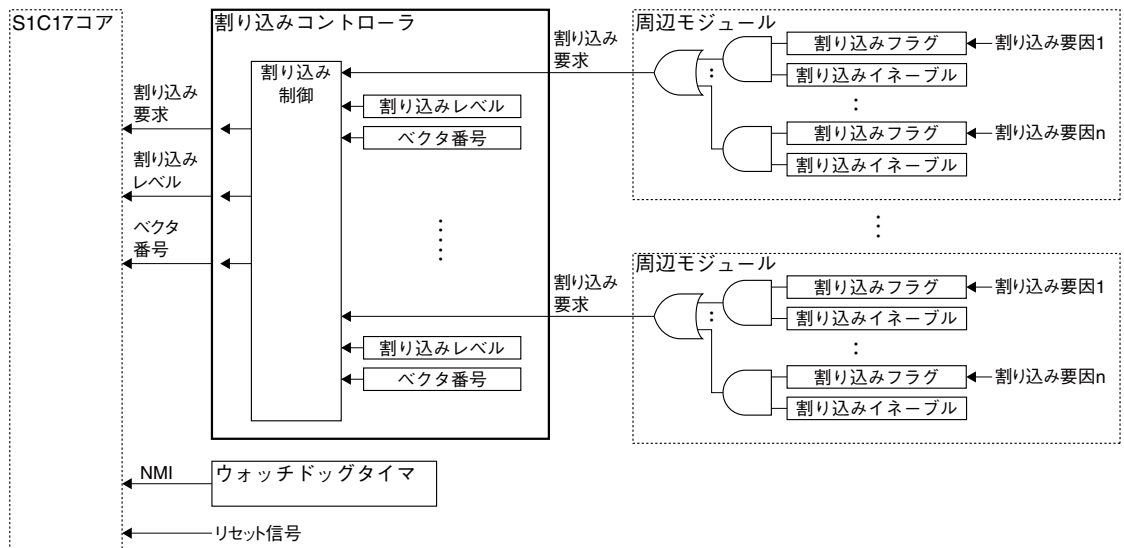


図6.1.1 割り込みシステム

6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。表6.2.1にS1C17656のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2 	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xffffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P07ポート入力	高い *1 ↑
5 (0x05)	TTBR + 0x14	reserved	-	
6 (0x06)	TTBR + 0x18			
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	<ul style="list-style-type: none"> • タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号 	
8 (0x08)	TTBR + 0x20	RTC割り込み	<ul style="list-style-type: none"> • 32Hz, 8Hz, 4Hz, 1Hz • 10秒, 1分, 10分, 1時間 • 半日, 1日 	
9 (0x09)	TTBR + 0x24	reserved	-	
10 (0x0a)	TTBR + 0x28	LCD割り込み	フレーム信号	
11 (0x0b)	TTBR + 0x2c	16ビットPWMタイマCh.0割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	
12 (0x0c)	TTBR + 0x30	reserved	-	
13 (0x0d)	TTBR + 0x34			
14 (0x0e)	TTBR + 0x38	8ビットタイマCh.0割り込み	タイマアンダーフロー	
15 (0x0f)	TTBR + 0x3c	reserved	-	
16 (0x10)	TTBR + 0x40	UART Ch.0割り込み	<ul style="list-style-type: none"> • 送信バッファエンプティ • 転送終了 • 受信バッファフル • 受信エラー 	
17 (0x11)	TTBR + 0x44	reserved	-	
18 (0x12)	TTBR + 0x48	SPI Ch.0割り込み	<ul style="list-style-type: none"> • 送信バッファエンプティ • 受信バッファフル 	
19 (0x13)	TTBR + 0x4c	reserved	-	
20 (0x14)	TTBR + 0x50			
21 (0x15)	TTBR + 0x54	R/F変換器Ch.0割り込み	<ul style="list-style-type: none"> • 基準発振終了 • センサA発振終了 • センサB発振終了 • タイムベースカウンタオーバーフローエラー • 計測カウンタオーバーフローエラー 	
22 (0x16)	TTBR + 0x58	電源電圧検出回路割り込み	電圧低下検出	
23 (0x17)	TTBR + 0x5c	reserved	-	
:	:	:	:	
31 (0x1f)	TTBR + 0x7c	reserved	-	低い *1 ↓

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4、7、8、10、11、14、16、18、21、22に、S1C17656が対応しているマスク可能な割り込みが割り当てられています。

ベクタテーブルベースアドレス

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLとMISC_TTBRLHレジスタによって設定することができます。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC_TTBRL/MISC_TTBRLHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおくことが必要です。MISC_TTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15–8 D7–0	– TTBR[23:16]	reserved Vector table base address A[23:16]	– 0x0–0xff	– 0x0	– R/W	0 when being read.

注: MISC_TTBRL/MISC_TTBRLHレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_TTBRL/MISC_TTBRLHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

6.3 マスク可能割り込みの制御

6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みフラグは割り込み要因の発生により1にセットされます。割り込みイネーブルビットを1(割り込み許可)に設定しておくこと、このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。

割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。割り込み要因が発生すると割り込みフラグは1にセットされますが、ITCへの割り込み要求信号はアクティブになりません。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

注: 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定または`reti`命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。

6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)~7(高)に設定できます。

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
RTC割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
LCD割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
16ビットPWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
8ビットタイマCh.0割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
UART Ch.0割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
SPI Ch.0割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
R/F変換器Ch.0割り込み	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
電源電圧検出回路割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318

6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

6.4 NMI

S1C17656では、ウォッチドッグタイマでNMI(ノンマスクابل割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス + 8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。NMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

6.5 ソフトウェア割り込み

S1C17コアの `int imm5` または `int1 imm5, imm3` 命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値 `imm5` でベクタテーブルのベクタ番号 (0~31) を指定します。 `int1` 命令では、 `imm3` でPSRのILフィールドに設定する割り込みレベル (0~7) を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

6.6 HALT, SLEEPモードの解除

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- リセット

注: • ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込み処理ルーチンに分岐します。それ以外の場合は、 `halt`、 `slp` 命令に続く命令を実行します。

- ITCの割り込みレベルの設定では、割り込み要求によるHALT、SLEEPモードの解除をマスク (禁止) することはできません。

詳細は、“Appendix”内の“クロック制御によるパワーセーブ”を参照してください。また、HALT、SLEEPモード解除後の発振回路およびシステムクロックの状態については、“クロックジェネレータ (CLG)”の章を参照してください。

6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ一覧

アドレス	レジスタ名		機能
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	RTC割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	LCD、T16A2 Ch.0割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T8 Ch.0割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	RFC Ch.0割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	SVD割り込みレベルの設定

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Interrupt Level Setup Register x (ITC_LVx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register x (ITC_LVx)	0x4306 0x4318 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILVn[2:0]	INTn (3, 7, 17) interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILVn[2:0]	INTn (0, 4, ... 18) interrupt level	0 to 7	0x0	R/W	

D[15:11], D[7:3]

Reserved

D[10:8], D[2:0]

ILVn[2:0]: INTn Interrupt Level Bits (n = 0~18)

各割り込みの割り込みレベル (0~7) を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要求が同時に発生した場合に使用します。

6 割り込みコントローラ (ITC)

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_LV x レジスタ(0x4306~0x4318)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

表6.7.2 割り込みレベル設定ビット

レジスタ	ビット	割り込み
ITC_LV0 (0x4306)	ILV0[2:0] (D[2:0])	P0ポート割り込み
	(ILV1[2:0] (D[10:8]))	Reserved
ITC_LV1 (0x4308)	(ILV2[2:0] (D[2:0]))	Reserved
	ILV3[2:0] (D[10:8])	計時タイマ割り込み
ITC_LV2 (0x430a)	ILV4[2:0] (D[2:0])	RTC割り込み
	(ILV5[2:0] (D[10:8]))	Reserved
ITC_LV3 (0x430c)	ILV6[2:0] (D[2:0])	LCD割り込み
	ILV7[2:0] (D[10:8])	16ビットPWMタイマCh.0割り込み
ITC_LV5 (0x4310)	ILV10[2:0] (D[2:0])	8ビットタイマCh.0割り込み
	(ILV11[2:0] (D[10:8]))	Reserved
ITC_LV6 (0x4312)	ILV12[2:0] (D[2:0])	UART Ch.0割り込み
	(ILV13[2:0] (D[10:8]))	Reserved
ITC_LV7 (0x4314)	ILV14[2:0] (D[2:0])	SPI Ch.0割り込み
	(ILV15[2:0] (D[10:8]))	Reserved
ITC_LV8 (0x4316)	(ILV16[2:0] (D[2:0]))	Reserved
	ILV17[2:0] (D[10:8])	R/F変換器Ch.0割り込み
ITC_LV9 (0x4318)	ILV18[2:0] (D[2:0])	電源電圧検出回路割り込み
	(ILV19[2:0] (D[10:8]))	Reserved

7 クロックジェネレータ (CLG)

7.1 CLGモジュールの概要

クロックジェネレータは、内蔵発振回路を制御してクロックを生成すると共に、S1C17コア、内蔵周辺モジュール、外部デバイスへのシステムクロック供給を制御します。

CLGモジュールの主な機能を以下に示します。

- 内蔵発振回路により動作クロックを生成
 - OSC3B発振回路: 4MHz/2MHz/1MHz/500kHz(typ.)内蔵発振回路
 - OSC1A発振回路: 32.768kHz(typ.)水晶発振回路
- システムクロックの切り換え
システムのクロックソースをソフトウェアにてOSC3B、OSC1Aから選択可能
- CPUコアクロック(CCLK)の生成と、コアブロックへのクロック供給を制御
CCLK周波数をシステムクロック×1/1、1/2、1/4および1/8から選択可能
- 周辺モジュールへのクロック供給を制御
- CPUの動作状態(RUN、HALT、SLEEP)に合わせ、クロックをOn/Off
- SLEEPモードからの高速な復帰処理を実現
SLEEPモード解除時に強制的にOSC3BをOnし、システムクロックをOSC3Bに切り換え
- 外部デバイスへの2系統のクロック出力を制御

図7.1.1にクロックシステムとCLGモジュールの構成を示します。

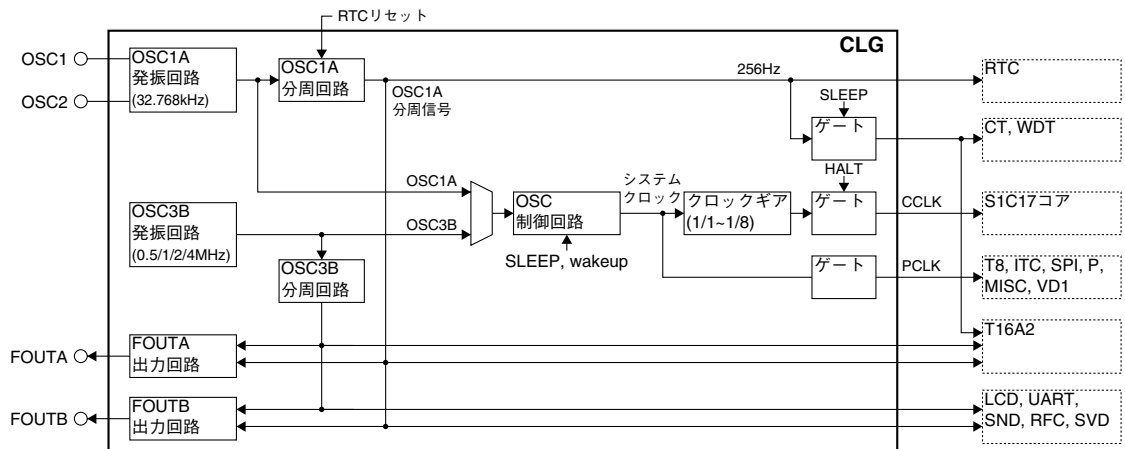


図7.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにHALT、SLEEPモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、Appendixの“パワーセーブ”を参照してください。

7.2 CLG入出力端子

表7.2.1にCLGモジュールの入出力端子の一覧を示します。

表7.2.1 CLG端子一覧

端子名	I/O	本数	機能
OSC1	I	1	OSC1A発振入力端子 水晶振動子 (32.768kHz) とゲート容量を接続します。
OSC2	O	1	OSC1A発振出力端子 水晶振動子 (32.768kHz) とドレイン容量を接続します。
FOUTA	O	1	FOUTAクロック出力端子 OSC3BまたはOSC1Aの分周クロックを出力します。
FOUTB	O	1	FOUTBクロック出力端子 OSC3BまたはOSC1Aの分周クロックを出力します。

CLGの出力端子(FOUTA、FOUTB)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCLGの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。機能の切り換え方法については“入出力ポート(P)”の章を参照してください。

7.3 発振回路

CLGモジュールは2種類の発振回路(OSC3B、OSC1A)を内蔵しています。OSC3B発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロックを、OSC1A発振回路はタイマ動作や低電力動作のサブクロックを発生します。イニシャルリセット時、システムクロックにはOSC3Bクロックが選択されます。発振回路のOn/Offとシステムクロックの切り換え(OSC3BまたはOSC1A)はソフトウェアによって制御できます。

7.3.1 OSC3B発振回路

OSC3B発振回路は外付け部品を一切必要とせず、高速な発振開始を実現する発振回路です。電源投入時に発振を開始し、イニシャルリセット後はS1C17コアと周辺回路がこの発振クロックで動作します。

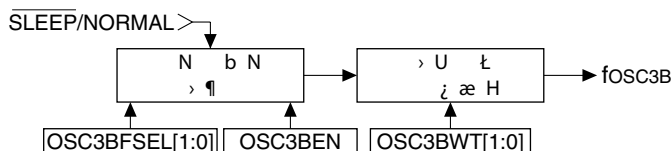


図7.3.1.1 OSC3B発振回路

OSC3B発振周波数の選択

OSC3B発振周波数は、OSC3BFSEL[1:0]/CLG_SRCレジスタによって以下の4種類から選択できるようになっています。

表7.3.1.1 OSC3B発振周波数の設定

OSC3BFSEL[1:0]	OSC3B発振周波数 (typ.)
0x3	4MHz
0x2	500kHz
0x1	1MHz
0x0	2MHz

(デフォルト: 0x0)

OSC3B発振のOn/Off

OSC3B発振回路はOSC3BEN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC3B発振回路も発振を停止します。

イニシャルリセット時はOSC3BENが1に設定され、OSC3B発振回路はOnします。また、OSC3Bクロックがシステムクロックとなりますので、S1C17コアはOSC3Bクロックで動作を開始します。

OSC3B発振開始時の安定待ち時間

ソフトウェアでOSC3B発振回路をOnにしたときなど、OSC3B発振開始時の不安定なクロックによる誤動作を防止するため、OSC3B発振回路には発振安定待ち回路が設けられています。図7.3.1.2に発振開始時間と発振安定待ち時間の関係を示します。

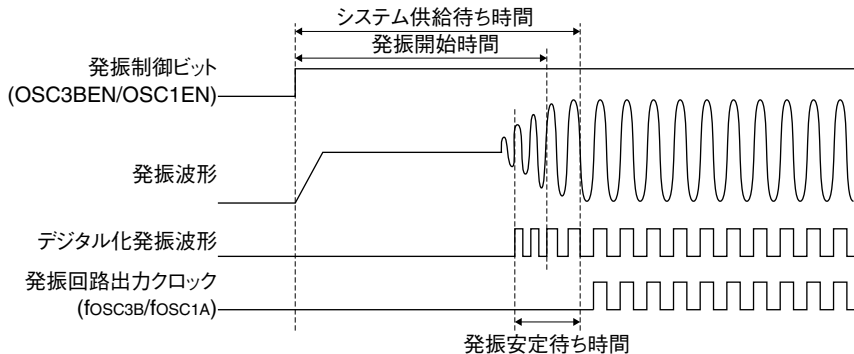


図7.3.1.2 発振開始時間と発振安定待ち時間

この回路で設定した時間が経過するまで、OSC3Bクロックはシステムに供給されません。この発振安定待ち時間はOSC3BWT[1:0]/CLG_WAITレジスタで4種類から選択可能です。

表7.3.1.2 OSC3B発振安定待ち時間の設定

OSC3BWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(OSC3Bクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。発振開始時間については、“電気的特性”の章を参照してください。

イニシャルリセット時CPU動作開始時間 \leq OSC3B発振開始時間(max.) + OSC3B発振安定待ち時間(64サイクル) + 内部リセット保持期間(1040サイクル)

OSC3B発振回路をOnにした直後にシステムクロックをOSC3Bに切り換えた場合は、最大で下記のOSC3Bクロックシステム供給待ち時間が経過するまでOSC3Bクロックはシステムに供給されません。電源電圧V_{DD}が十分安定した状態では、OSC3BWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

OSC3Bクロックシステム供給待ち時間 \leq OSC3B発振開始時間(max.) + OSC3B発振安定待ち時間

7.3.2 OSC1A発振回路

OSC1A発振回路は32.768kHzの水晶振動子を使用する高精度な低速発振回路です。

通常、OSC1Aクロックはタイマ(リアルタイムクロック、計時タイマ、ウォッチドッグタイマ、16ビットPWMタイマ)やUART、サウンドジェネレータ、LCDドライバ、R/F変換器、電源電圧検出回路の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、OSC3Bクロックの代わりにシステムクロックとしても使用可能です。

図7.3.2.1にOSC1A発振回路の構造を示します。

7 クロックジェネレータ(CLG)

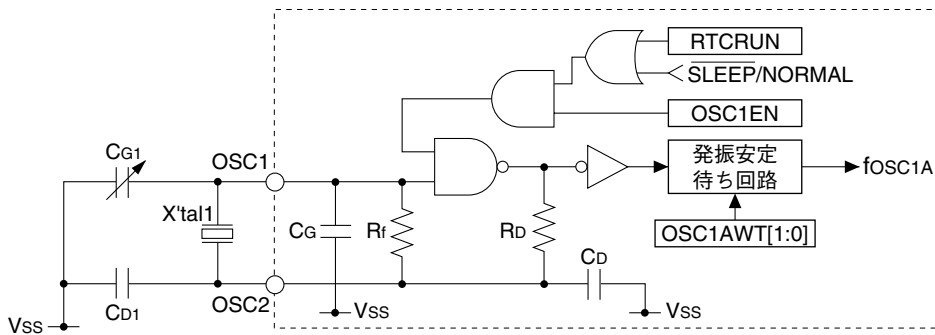


図7.3.2.1 OSC1A発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1 (Typ. 32.768kHz)を、OSC1、OSC2端子とVss間にキャパシタを2個(CG1、CD1)接続します。

注: RTCをスタートさせると、OSC1A分周回路もリセットされます。この操作時には出力される256Hzのクロック周期も変わるため、256Hzクロックを使用するタイマ(CT、WDT、T16A2)のカウント周期に影響がでます。

OSC1A発振のOn/Off

OSC1A発振回路はOSC1EN/CLG_CTLレジスタを1に設定すると発振を開始し、0に設定すると発振を停止します。

RTCRUNとOSC1ENが共に1に設定されている場合、SLEEP時もOSC1A発振回路は動作を継続します。RTCRUNが0の場合、OSC1ENの設定にかかわらず、SLEEP時にOSC1A発振回路は停止します。イニシャルリセット時はOSC1ENおよびRTCRUNが0に設定され、OSC1A発振回路は停止状態になります。

表7.3.2.1 OSC1A発振回路の動作(通常動作時)

OSC1EN	RTCRUN	OSC1A発振回路
1	1	On
1	0	On
0	1	Off
0	0	Off

表7.3.2.2 OSC1A発振回路の動作(SLEEP時)

OSC1EN	RTCRUN	OSC1A発振回路
1	1	On
1	0	Off
0	1	Off
0	0	Off

OSC1A発振開始時の安定待ち時間

ソフトウェアでOSC1A発振回路をOnにしたときなど、OSC1A発振開始時の不安定なクロックによる誤動作を防止するため、OSC1A発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、OSC1Aクロックはシステムに供給されません。

OSC1Aの発振安定待ち時間は、OSC1AWT[1:0]/CLG_WAITレジスタで2種類から選択可能です。

表7.3.2.3 OSC1A発振安定待ち時間の設定

OSC1AWT[1:0]	OSC1A発振安定待ち時間
0x3	Reserved
0x2	4096サイクル
0x1	Reserved
0x0	16384サイクル

(デフォルト: 0x0)

イニシャルリセット時は16384サイクル(OSC1Aクロック)に設定されます。

OSC1A発振回路をOnにした直後にシステムクロックをOSC1Aに切り換えた場合は、最大で下記のOSC1Aクロックシステム供給待ち時間が経過するまでOSC1Aクロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

$$\text{OSC1Aクロックシステム供給待ち時間} \leq \text{OSC1A発振開始時間 (max.)} + \text{OSC1A発振安定待ち時間}$$

- 注:
- 発振の安定度は振動子などの外付け部品によって変わります。OSC1A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。
 - OSC1A発振回路をOnにした直後は、発振開始から4秒が経過するまでは発振回路をOffにしないでください。発振開始時間については“電気的特性”の章を参照してください。

7.4 システムクロックの切り換え

システムクロックセレクタを下図に示します。

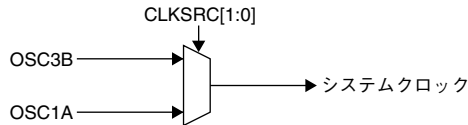


図7.4.1 システムクロックセレクタ

S1C17656は2つのシステムクロックソース(OSC3B、OSC1A)を持ち、イニシャルリセット後はOSC3Bをシステムクロックとして動作を開始します。高速処理が必要な場合にはシステムクロックをOSC3Bに、省電力動作のためにはOSC1Aに、CLKSRC[1:0]/CLG_SRCレジスタによって切り換え可能です。システムクロックソースとして選択されておらず、周辺回路の動作にも使用していない発振回路は動作を停止させることで消費電流を低減できます。

表7.4.1 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

システムクロックの切り換え手順を以下に示します。

OSC3BからOSC1Aへの切り換え

1. 必要に応じてOSC1A発振安定待ち時間を設定します。(OSC1AWT[1:0])
2. OSC1A発振がOffの場合はOnにします。(OSC1EN = 1)
3. OSC1Aクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x1)
4. 周辺モジュールとFOUTA/B出力回路がOSC3Bクロックを使用していない場合は、OSC3B発振回路をOffにします。

OSC1AからOSC3Bへの切り換え

1. 必要に応じてOSC3B発振安定待ち時間を設定します。(OSC3BWT[1:0])
2. OSC3B発振がOffの場合はOnにします。(OSC3BEN = 1)
3. OSC3Bクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x0)
4. 周辺モジュールとFOUTA/B出力回路がOSC1Aクロックを使用していない場合は、OSC1A発振回路をOffにします。

注:

- システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります(OSC3BEN = OSC1EN = 1)。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。

- システムクロックとして選択されている発振回路をOffにすることはできません。
- CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。

7 クロックジェネレータ(CLG)

- SLEEPモード解除時は、SLEEP移行前の状態によらずOSC3B発振回路がOnし (OSC3BEN = 1)、システムクロックがOSC3B (CLKSRC[1:0] = 0x0) になります。
HALTモード解除時は、HALT移行前の状態を継続します。

7.5 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止して消費電力の削減を図ります。

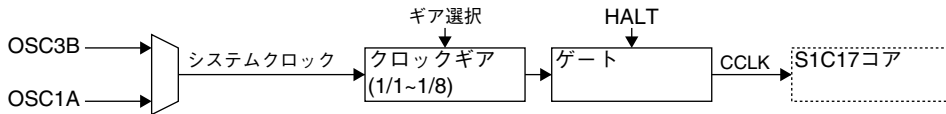


図7.5.1 CCLK供給システム

クロックギアの設定

CCLKGR[1:0]/CLG_CCLKレジスタでシステムクロックを減速するギア比を選択します。

表7.5.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

7.6 周辺モジュールクロック (PCLK) の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。周辺モジュールクロック (PCLK) にはシステムクロックがそのまま使用されます。

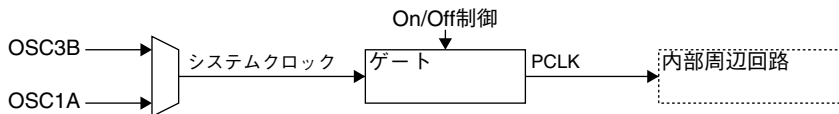


図7.6.1 周辺モジュールクロック制御回路

クロック供給の制御

PCLKの供給はPCKEN[1:0]/CLG_PCLKレジスタで制御します。

表7.6.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(下記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]/CLG_PCLKレジスタを0x2または0x1には設定しないでください。

表7.6.2 周辺モジュールと動作クロック

周辺モジュール	動作クロック	備考
割り込みコントローラ	PCLK	この一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。
8ビットタイマ		
SPI		
電源回路		
Pポート&ポートMUX		
MISCレジスタ		
リアルタイムクロック	OSC1A分周クロック	この一覧内の周辺モジュールを1つ以上動作させる場合、OSC1A発振回路を停止することはできません。PCLKの供給は停止可能です。
計時タイマ		
ウォッチドッグタイマ		
LCDドライバ	ソフトウェアで選択 (OSC3B/OSC1A分周クロック)	クロックソースとして使用する発振回路を停止することはできません(7.7節または各周辺モジュールの章を参照)。PCLKの供給は停止可能です。
サウンドジェネレータ		
16ビットPWMタイマ		
UART		
R/F変換器		
電源電圧検出回路		
FOUTA/FOUTB出力		

7.7 クロック外部出力(FOUTA, FOUTB)

OSC3BまたはOSC1Aの分周クロックを、外部デバイスへ出力することができます。

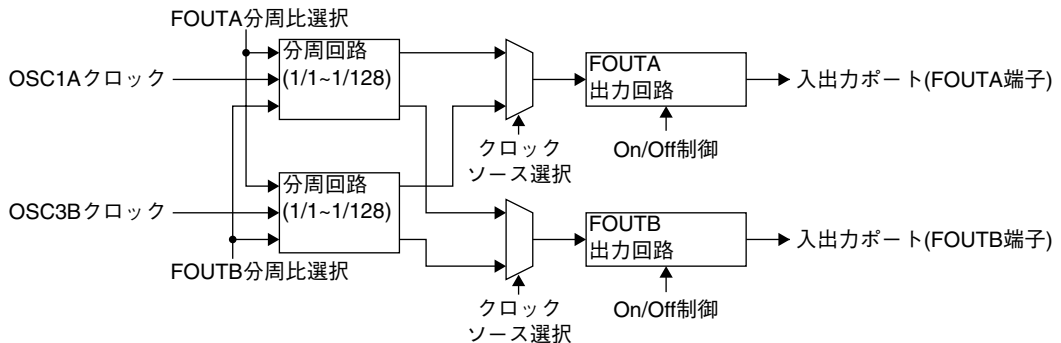


図7.7.1 クロック出力回路

CLGモジュールは、FOUTAとFOUTBの2系統の出力回路を内蔵しています。FOUTAとFOUTBの機能はまったく同じです。

出力端子の設定

FOUTA、FOUTB出力端子は入出力ポート端子を兼ねています。デフォルト設定では入出力ポート端子として機能しますので、クロック出力として使用する場合はポート機能選択ビットで端子機能を変更してください。FOUTA、FOUTB端子と端子機能の選択方法については、“入出力ポート(P)”の章を参照してください。

クロックソースの選択

クロックソースはFOUTASRC[1:0]/CLG_FOUTAレジスタまたはFOUTBSRC[1:0]/CLG_FOUTBレジスタを使用して、OSC3B、OSC1Aから選択可能です。

7 クロックジェネレータ (CLG)

表7.7.1 クロックソースの選択

FOUTASRC[1:0]/FOUTBSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

クロック周波数の選択

出力するクロック周波数を8種類から選択できます。FOUTAD[2:0]/CLG_FOUTAレジスタまたはFOUTBD[2:0]/CLG_FOUTBレジスタでソースクロックの分周比を選択してください。

表7.7.2 クロック分周比の選択

FOUTAD[2:0]/FOUTBD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック出力の制御

クロック出力は、FOUTAE/CLG_FOUTAレジスタまたはFOUTBE/CLG_FOUTBレジスタで制御します。FOUTAE/FOUTBEを1に設定するとFOUTA/FOUTBクロックがFOUTA/FOUTB端子から出力され、0に設定すると出力は停止します。

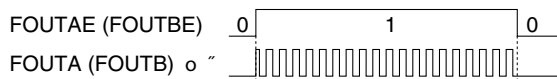


図7.7.2 FOUTA/FOUTB出力

- 注:
- FOUTA/FOUTB信号はFOUTAE/FOUTBEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。
 - 発振安定待ち時間等により、FOUTAE/FOUTBEを1に設定してからFOUTA/FOUTB信号が出力されるまでに遅れが出ることがあります。

7.8 制御レジスタ詳細

表7.8.1 CLGレジスタ一覧

アドレス	レジスタ名		機能
0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
0x5061	CLG_CTL	Oscillation Control Register	発振制御
0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
0x507d	CLG_WAIT	Oscillation Stabilization Wait Control Register	発振安定待ち時間の制御
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Source Select Register (CLG_SRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-6	OSC3B FSEL[1:0]	OSC3B frequency select	OSC3BFSEL[1:0]	Frequency	0x0	R/W	
					0x3	4 MHz			
					0x2	500 kHz			
					0x1	1 MHz			
					0x0	2 MHz			
		D5-2	–	reserved	–	–	–	0 when being read.	
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]	Clock source	0x0	R/W	
0x3, 0x2	reserved								
0x1	OSC1A								
0x0	OSC3B								

D[7:6] OSC3BFSEL[1:0]: OSC3B Frequency Select Bits

OSC3B発振周波数を選択します。

表7.8.2 OSC3B発振周波数の設定

OSC3BFSEL[1:0]	OSC3B発振周波数 (typ.)
0x3	4MHz
0x2	500kHz
0x1	1MHz
0x0	2MHz

(デフォルト: 0x0)

D[5:2] Reserved

D[1:0] CLKSRC[1:0]: System Clock Source Select Bits

システムのクロックソースを選択します。

表7.8.3 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

通常(高速)動作時はOSC3Bを選択します。高速クロックが不要な場合は、OSC1Aをシステムクロックに設定し、OSC3Bを停止することで消費電流を低減できます。

- 注:
- システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります (OSC3BEN = OSC1EN = 1)。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。
 - システムクロックとして選択されている発振回路をOffにすることはできません。
 - CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
 - SLEEPモード解除時は、SLEEP移行前の状態によらずOSC3B発振回路がOnし (OSC3BEN = 1)、システムクロックがOSC3B (CLKSRC[1:0] = 0x0) になります。HALTモード解除時は、HALT移行前の状態を継続します。

Oscillation Control Register (CLG_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
			D2	OSC3BEN	OSC3B enable	1 Enable	0 Disable	1	R/W
			D1	OSC1EN	OSC1A enable	1 Enable	0 Disable	0	R/W
			D0	–	reserved	–	–	–	–

D[7:3] Reserved

7 クロックジェネレータ (CLG)

D2 OSC3BEN: OSC3B Enable Bit

OSC3B発振回路の動作を許可/禁止します。
 1(R/W): 許可(On) (デフォルト)
 0(R/W): 禁止(Off)

注: OSC3Bクロックをシステムクロックとして使用している場合、OSC3B発振回路を停止することはできません。

D1 OSC1EN: OSC1A Enable Bit

OSC1A発振回路の動作を許可/禁止します。
 1(R/W): 許可(On)
 0(R/W): 禁止(Off) (デフォルト)

注: OSC1Aクロックをシステムクロックとして使用している場合、OSC1A発振回路を停止することはできません。

D0 Reserved

FOUTA Control Register (CLG_FOUTA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	FOUTAD [2:0]	FOUTA clock division ratio select	FOUTAD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3–2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W			
			0x3, 0x2	reserved					
0x1	OSC1A								
0x0	OSC3B								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	FOUTAE	FOUTA output enable	1 Enable	0 Disable	0	R/W			

D7 Reserved

D[6:4] FOUTAD[2:0]: FOUTA Clock Division Ratio Select Bits

ソースクロックの分周比を選択してFOUTAクロック周波数を設定します。

表7.8.4 クロック分周比の選択

FOUTAD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] FOUTASRC[1:0]: FOUTA Clock Source Select Bits

FOUTAのクロックソースを選択します。

表7.8.5 FOUTAクロックソースの選択

FOUTASRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

D1 Reserved

D0 FOUTAE: FOUTA Output Enable Bit

FOUTAクロックの外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTAEを1に設定するとFOUTAクロックがFOUTA端子から出力され、FOUTAEを0に設定すると出力は停止します。

FOUTB Control Register (CLG_FOUTB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	FOUTBD [2:0]	FOUTB clock division ratio select	FOUTBD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
0x4	1/16								
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3–2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W			
D1	–	reserved	–	0x3, 0x2	reserved	0		R/W	
				0x1	OSC1A				
				0x0	OSC3B				
D0	FOUTBE	FOUTB output enable	1 Enable	0 Disable	0	R/W	0 when being read.		

D7 Reserved**D[6:4] FOUTBD[2:0]: FOUTB Clock Division Ratio Select Bits**

ソースクロックの分周比を選択してFOUTBクロック周波数を設定します。

表7.8.6 クロック分周比の選択

FOUTBD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] FOUTBSRC[1:0]: FOUTB Clock Source Select Bits

FOUTBのクロックソースを選択します。

表7.8.7 FOUTBクロックソースの選択

FOUTBSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

D1 Reserved**D0 FOUTBE: FOUTB Output Enable Bit**

FOUTBクロックの外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTBEを1に設定するとFOUTBクロックがFOUTB端子から出力され、FOUTBEを0に設定すると出力は停止します。

Oscillation Stabilization Wait Control Register (CLG_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
Oscillation Stabilization Wait Control Register (CLG_WAIT)	0x507d (8 bits)	D7-6	OSC3BWT [1:0]	OSC3B stabilization wait cycle select	OSC3BWT[1:0]	Wait cycle	0x0	R/W		
					0x3					8 cycles
					0x2					16 cycles
					0x1					32 cycles
					0x0	64 cycles				
		D5-2	-	reserved	-	-	-	0 when being read.		
		D1-0	OSC1AWT [1:0]	OSC1A stabilization wait cycle select	OSC1AWT[1:0]	Wait cycle	0x0	R/W		
0x3	reserved									
0x2	4096 cycles									
0x1	reserved									
					0x0	16384 cycles				

D[7:6] OSC3BWT[1:0]: OSC3B Stabilization Wait Cycle Select Bits

OSC3B発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC3B発振開始直後は、ここで設定した時間が経過するまで、OSC3Bクロックはシステムに供給されません。

表7.8.8 OSC3B発振安定待ち時間の設定

OSC3BWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(OSC3Bクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。

$$\text{イニシャルリセット時CPU動作開始時間} \leq \text{OSC3B発振開始時間 (max.)} \\ + \text{OSC3B発振安定待ち時間 (64サイクル)}$$

OSC3B発振回路をOnにした直後にシステムクロックをOSC3Bに切り換えた場合は、最大で下記のOSC3Bクロックシステム供給待ち時間が経過するまでOSC3Bクロックはシステムに供給されません。電源電圧V_{DD}が十分安定した状態では、OSC3BWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

$$\text{OSC3Bクロックシステム供給待ち時間} \leq \text{OSC3B発振開始時間 (max.)} \\ + \text{OSC3B発振安定待ち時間}$$

D[5:2] Reserved

D[1:0] OSC1AWT[1:0]: OSC1A Stabilization Wait Cycle Select Bits

OSC1A発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC1A発振開始直後は、ここで設定した時間が経過するまで、OSC1Aクロックはシステムに供給されません。

表7.8.9 OSC1A発振安定待ち時間の設定

OSC1AWT[1:0]	OSC1A発振安定待ち時間
0x3	Reserved
0x2	4096サイクル
0x1	Reserved
0x0	16384サイクル

(デフォルト: 0x0)

イニシャルリセット時は16384サイクル(OSC1Aクロック)に設定されます。

OSC1A発振回路をOnにした直後にシステムクロックをOSC1Aに切り換えた場合は、最大で下記のOSC1Aクロックシステム供給待ち時間が経過するまでOSC1Aクロックはシステムに供給されません。

$$\text{OSC1Aクロックシステム供給待ち時間} \leq \text{OSC1A発振開始時間 (max.)} \\ + \text{OSC1A発振安定待ち時間}$$

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC1A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

PCLK Control Register (CLG_PCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
					0x1	Not allowed			
			0x0	Disable					

D[7:2] Reserved

D[1:0] PCKEN[1:0]: PCLK Enable Bits

内部周辺モジュールへのクロック(PCLK)の供給を許可/禁止します。

表7.8.10 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。

PCLKを使用する周辺モジュール

- 割り込みコントローラ
- 8ビットタイマCh.0
- SPI Ch.0
- 電源制御回路
- Pポート&ポートMUX
- MISCレジスタ

上記一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。

上記のすべての周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKを使用しない周辺モジュール/機能

- リアルタイムクロック
- 計時タイマ
- ウォッチドッグタイマ
- LCDドライバ
- サウンドジェネレータ
- R/F変換器
- 電源電圧検出回路
- 16ビットPWMタイマCh.0
- UART Ch.0
- FOUTA/FOUTB出力

これらの周辺モジュール/機能はPCLKを停止しても動作します。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

CCLK Control Register (CLG_CCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0] Gear ratio	0x0	R/W		
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
				0x0	1/1				

D[7:2] Reserved**D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits**

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表7.8.11 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

8 リアルタイムクロック(RTC)

8.1 RTCの概要

S1C17656はリアルタイムクロック(RTC)を内蔵しています。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタ内蔵
- OSC1A発振回路と共にSLEEP時も動作
- カウンタはバイナリまたはBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- 周期的な割り込み(32Hz、8Hz、4Hz、1Hz、10秒、1分、10分、1時間、半日、1日)が可能

図8.1.1にRTCのブロック図を示します。

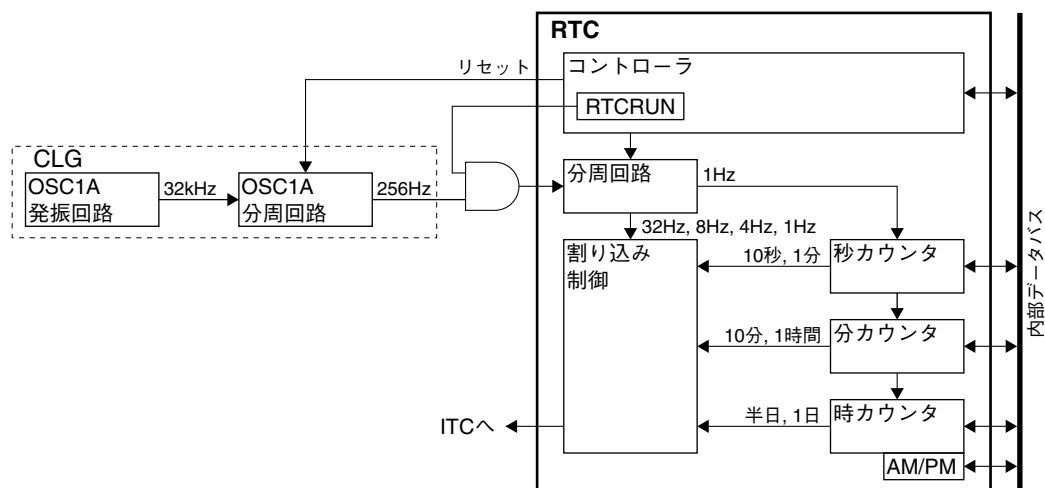


図8.1.1 RTCブロック図

8.2 RTCカウンタ

RTCは以下に示す3個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからバイナリデータまたはBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

秒カウンタ

7ビットのバイナリカウンタで、分周回路から1Hz信号を入力して0~59秒までカウントします。BCDMD/RTC_CTLレジスタを1に設定することで、3ビット(0~5) + 4ビット(0~9)のBCDカウンタとして使用することもできます。カウントデータはRTCSEC[6:0]/RTC_MSレジスタを使用して読み出し/書き込みを行います。60秒の時点で0にリセットされ、分カウンタにキャリーを出力します。

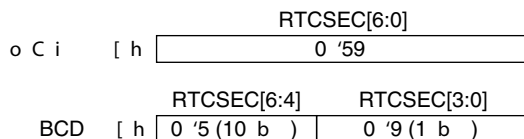


図8.2.1 秒カウンタ

分カウンタ

7ビットのバイナリカウンタで、秒カウンタからのキャリーにより0~59分までカウントします。BCDMD/RTC_CTLレジスタを1に設定することで、3ビット(0~5) + 4ビット(0~9)のBCDカウンタとして使用することもできます。カウントデータはRTCMIN[6:0]/RTC_MSレジスタを使用して読み出し/書き込みを行います。60分の時点で0にリセットされ、時カウンタにキャリーを出力します。

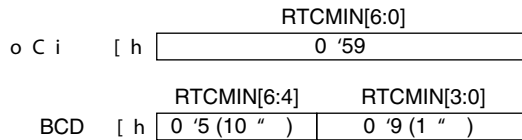


図8.2.2 分カウンタ

時カウンタ

6ビットのバイナリカウンタで、分カウンタからのキャリーにより0~23時(24時間制)または1~12時(12時間制)までカウントします。BCDMD/RTC_CTLレジスタを1に設定することで、2ビット(0~2または0~1) + 4ビット(0~9)のBCDカウンタとして使用することもできます。カウントデータはRTCHOUR[5:0]/RTC_Hレジスタを使用して読み出し/書き込みを行います。

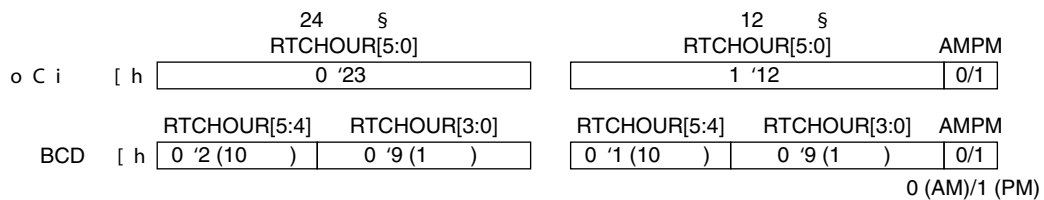


図8.2.3 時カウンタ

表8.2.1 時カウンタのカウント値

時間	24時間制		12時間制		AMPM
	RTCHOUR[5:0] (バイナリ)	RTCHOUR[5:0] (BCD)	RTCHOUR[5:0] (バイナリ)	RTCHOUR[5:0] (BCD)	
0時 (AM12時)	0x0	0x00	0xc	0x12	0
1時 (AM1時)	0x1	0x01	0x1	0x01	0
2時 (AM2時)	0x2	0x02	0x2	0x02	0
3時 (AM3時)	0x3	0x03	0x3	0x03	0
4時 (AM4時)	0x4	0x04	0x4	0x04	0
5時 (AM5時)	0x5	0x05	0x5	0x05	0
6時 (AM6時)	0x6	0x06	0x6	0x06	0
7時 (AM7時)	0x7	0x07	0x7	0x07	0
8時 (AM8時)	0x8	0x08	0x8	0x08	0
9時 (AM9時)	0x9	0x09	0x9	0x09	0
10時 (AM10時)	0xa	0x10	0xa	0x10	0
11時 (AM11時)	0xb	0x11	0xb	0x11	0
12時 (PM12時)	0xc	0x12	0xc	0x12	1
13時 (PM1時)	0xd	0x13	0x1	0x01	1
14時 (PM2時)	0xe	0x14	0x2	0x02	1
15時 (PM3時)	0xf	0x15	0x3	0x03	1
16時 (PM4時)	0x10	0x16	0x4	0x04	1
17時 (PM5時)	0x11	0x17	0x5	0x05	1
18時 (PM6時)	0x12	0x18	0x6	0x06	1
19時 (PM7時)	0x13	0x19	0x7	0x07	1
20時 (PM8時)	0x14	0x20	0x8	0x08	1
21時 (PM9時)	0x15	0x21	0x9	0x09	1
22時 (PM10時)	0x16	0x22	0xa	0x10	1
23時 (PM11時)	0x17	0x23	0xb	0x11	1

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。ソフトウェアでカウンタを初期設定してください。

8.3 RTCの制御

8.3.1 動作クロックの制御

RTCモジュールはCLGモジュールが出力する256Hzクロック(OSC1A分周回路から出力される256Hzクロック)を動作クロックとして使用します。したがって、RTCを動作させるには、OSC1A発振回路をOnさせておく必要があります。ただし、RTCが停止中は、OSC1A発振回路がOnの場合でもRTCモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

注: • RTCモジュールの入力クロックは、OSC1Aクロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1Aクロック周波数では、本章に記載の周波数が変わります。

- OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC_CTLレジスタに1を書き込んだ)時点でリセットされます。このリセットから256Hzクロックの周期が新たに始まりますので、タイマモジュール(CT、WDT、T16A2)のカウント動作にも影響します。
- イニシャルリセット時はRTCRUNが0に設定され、RTCは停止状態になります。OSC1A発振回路も停止します。このため、RTCが動作中にICがリセットされた場合、以下の時間RTCが停止することになります。

$$\begin{aligned} \text{RTC停止時間} = & [\# \text{RESET} = \text{Lowの時間}] + \\ & [\text{OSC3B発振安定待ち時間}] + \\ & [\text{OSC1Aを起動させるまでの時間}] + \\ & [\text{OSC1A発振安定待ち時間}] + \\ & [\text{RTCを再スタートするまでの時間}] \end{aligned}$$

8.3.2 24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H/RTC_CTLレジスタで選択できるようになっています。

RTC24H = 1: 12時間制

RTC24H = 0: 24時間制

この選択により、時カウンタのカウント範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24Hはカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すAMPM/RTC_Hレジスタが有効になります。

AMPM = 0: 午前

AMPM = 1: 午後

24時間制の場合、AMPMは0に固定されます。

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

8.3.3 RTCのスタート/ストップ

RTCはRTCRUN/RTC_CTLレジスタを1に設定するとカウントを開始し、0に設定すると停止します。RTCRUNに1を書き込むと、CLGのOSC1A分周回路がリセット後、OSC1Aクロックの分周を開始します。

8.3.4 カウンタの設定

カウンタ値の設定は、以下の手順で行ってください。

1. RTCRUN/RTC_CTLレジスタに0を書き込み、RTCを停止させます。
2. RTCST/RTC_CTLレジスタが0になる(RTCが実際に動作を停止する)まで待ちます。

3. RTC_MSレジスタ、RTC_Hレジスタにカウンタ値を書き込みます。
4. RTCRUN/RTC_CTLレジスタに1を書き込み、RTCをスタートさせます。

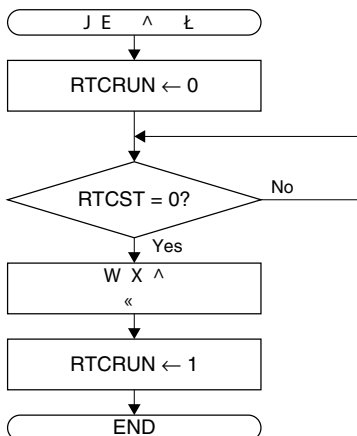


図8.3.4.1 カウンタ設定手順

- 注:
- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
 - カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
 - 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

8.3.5 カウンタの読み出し

カウンタの読み出し中にカウンタの桁上げが発生すると、正しい時刻が読み出せないことがあります。以下の手順でカウンタを読み出してください。

読み出し方法1

1. RTC_MSレジスタとRTC_Hレジスタを読み出します。
2. 再度RTC_MSレジスタとRTC_Hレジスタを読み出します。
3. 1と2で同じ値が読み出された場合は、正しい時刻が読み出されたものとします。1と2の読み出し値が異なる場合は、再度1からやり直します。

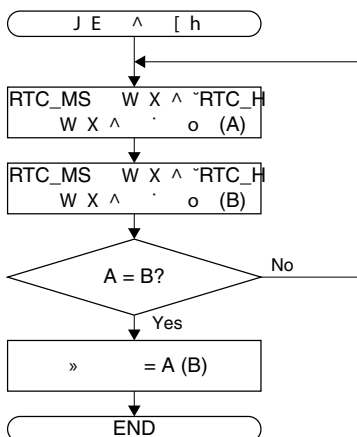


図8.3.5.1 カウンタ読み出し手順

読み出し方法2

1Hz割り込み(または10秒~1日割り込み)が発生してから1秒以内にRTC_MSレジスタとRTC_Hレジスタを読み出します。

8.4 RTC割り込み

RTCは表8.4.1に示す10種類の周期で割り込みを発生可能です。割り込みを発生させるには、その周期に対応する割り込みイネーブルビットを1に設定しておきます。割り込みイネーブルビットが0(デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表8.4.1 割り込み周期と割り込み制御ビット

割り込み周期	割り込みタイミング	割り込みフラグ (RTC_IFLGレジスタ)	割り込みイネーブルビット (RTC_IENレジスタ)
1日	時カウンタ = 23→0(24時間制) 時カウンタ = PM11→AM12(12時間制)	INT1D	INT1DEN
半日	時カウンタ = 11→12, 23→0(24時間制) 時カウンタ = AM11→PM12, PM11→AM12(12時間制)	INTHD	INTHDEN
1時間	分カウンタ = 59→0	INT1H	INT1HEN
10分	分カウンタ = 9→10, 19→20, 29→30, 39→40, 49→50, 59→0	INT10M	INT10MEN
1分	秒カウンタ = 59→0	INT1M	INT1MEN
10秒	秒カウンタ = 9→10, 19→20, 29→30, 39→40, 49→50, 59→0	INT10S	INT10SEN
1Hz	分周回路の1Hz信号周期	INT1HZ	INT1HZEN
4Hz	分周回路の4Hz信号周期	INT4HZ	INT4HZEN
8Hz	分周回路の8Hz信号周期	INT8HZ	INT8HZEN
32Hz	分周回路の32Hz信号周期	INT32HZ	INT32HZEN

割り込みイネーブルビットが1に設定されていると、対応する割り込みフラグが上記のタイミングで1に設定され、割り込み要求がITCに送られます。

RTCはSLEEPモード時にも動作するため、この割り込み要求をSLEEPモードの解除にも使用可能です。割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- RTC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、割り込みフラグをリセットする必要があります。割り込みフラグは1の書き込みによりリセットされます。
 - 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

8.5 制御レジスタ詳細

表8.5.1 RTCレジスタ一覧

アドレス	レジスタ名		機能
0x56c0	RTC_CTL	RTC Control Register	RTCの制御
0x56c2	RTC_IEN	RTC Interrupt Enable Register	割り込みの許可/禁止
0x56c4	RTC_IFLG	RTC Interrupt Flag Register	割り込み発生状態の表示/リセット
0x56c6	RTC_MS	RTC Minute/Second Counter Register	分/秒カウンタデータ
0x56c8	RTC_H	RTC Hour Counter Register	時カウンタデータ

以下、RTCのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

RTC Control Register (RTC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control Register (RTC_CTL)	0x56c0 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	RTCGST	RTC run/stop status	1 Running 0 Stop	0	R	
		D7-6	–	reserved	–	–	–	0 when being read.
		D5	BCDMD	BCD mode select	1 BCD mode 0 Binary mode	0	R/W	
		D4	RTC24H	24H/12H mode select	1 12H 0 24H	0	R/W	
		D3-1	–	reserved	–	–	–	0 when being read.
		D0	RTC RUN	RTC run/stop control	1 Run 0 Stop	0	R/W	

8 リアルタイムクロック(RTC)

D[15:9] Reserved

D8 RTCST: RTC Run/Stop Status Bit

RTCの動作状態を示します。

1(R): 動作中

0(R): 停止中(デフォルト)

RTCRUNに1を書き込んでRTCをスタートさせると、RTCSTは1になります。RTCRUNに0を書き込み後、カウント動作が実際に終了するとRTCSTは0に戻ります。カウンタ値を設定する場合は、RTCRUNに0を書き込み後、RTCSTが0になったことを確認してからデータの書き込みをおこなってください。

D[7:6] Reserved

D5 BCDMD: BCD Mode Select Bit

秒/分/時カウンタをBCDモードに設定します。

1(R/W): BCDモード

0(R/W): バイナリモード(デフォルト)

各カウンタは通常、バイナリカウンタとして動作し、バイナリ値でカウンタの読み出し/書き込みが行われます。BCDMDを1に設定すると、2桁のBCD値での読み出し/書き込みが可能になります。それぞれのモードにおける各カウンタの構成については、8.2節を参照してください。

D4 RTC24H: 24H/12H Mode Select Bit

時カウンタを24時間制/12時間制のどちらで使用するか選択します。

1(R/W): 12時間制

0(R/W): 24時間制(デフォルト)

この選択により、時カウンタのカウント範囲が変わります。

この設定変更はカウンタが停止している状態で行ってください。本レジスタにはカウンタをスタートさせる制御ビット(D0)も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

D[3:1] Reserved

D0 RTCRUN: RTC Run/Stop Control Bit

RTCをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

RTCRUNのデフォルト設定は0で、RTCは停止しています。RTCRUNを1に設定すると、CLGからクロックがRTCに送られます。RTCRUNが1の場合、SLEEPモードでもOSC1A発振回路は動作を停止しません(RTCにのみOSC1Aクロックが供給されます)。

RTCRUNに1を書き込むと、CLGのOSC1A分周回路がリセットされます。

RTC Interrupt Enable Register (RTC_IEN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
RTC Interrupt Enable Register (RTC_IEN)	0x56c2 (16 bits)	D15-10	-	reserved		-	-	-	-	0 when being read.	
		D9	INT1DEN	1-day interrupt enable	1	Enable	0	Disable	0	R/W	
		D8	INTHDEN	Half-day interrupt enable	1	Enable	0	Disable	0	R/W	
		D7	INT1HEN	1-hour interrupt enable	1	Enable	0	Disable	0	R/W	
		D6	INT10MEN	10-minute interrupt enable	1	Enable	0	Disable	0	R/W	
		D5	INT1MEN	1-minute interrupt enable	1	Enable	0	Disable	0	R/W	
		D4	INT10SEN	10-second interrupt enable	1	Enable	0	Disable	0	R/W	
		D3	INT1HZEN	1 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D2	INT4HZEN	4 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	INT8HZEN	8 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	INT32HZEN	32 Hz interrupt enable	1	Enable	0	Disable	0	R/W	

このレジスタはRTC割り込みを許可/禁止します。各割り込み周期に対応する割り込みイネーブルビットを1に設定すると、その周期で対応する割り込みフラグが1にセットされ、ITCに割り込み要求が出力されます。割り込みイネーブルビットを0に設定すると、割り込み要求は出力されません。

1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D[15:10] Reserved

- D9 INT1DEN: 1-Day Interrupt Enable Bit**
ITCへの1日割り込み要求の出力を許可/禁止します。
- D8 INTHDEN: Half-Day Interrupt Enable Bit**
ITCへの半日割り込み要求の出力を許可/禁止します。
- D7 INT1HEN: 1-Hour Interrupt Enable Bit**
ITCへの1時間割り込み要求の出力を許可/禁止します。
- D6 INT10MEN: 10-Minute Interrupt Enable Bit**
ITCへの10分割り込み要求の出力を許可/禁止します。
- D5 INT1MEN: 1-Minute Interrupt Enable Bit**
ITCへの1分割り込み要求の出力を許可/禁止します。
- D4 INT10SEN: 10-Second Interrupt Enable Bit**
ITCへの10秒割り込み要求の出力を許可/禁止します。
- D3 INT1HZEN: 1 Hz Interrupt Enable Bit**
ITCへの1Hz割り込み要求の出力を許可/禁止します。
- D2 INT4HZEN: 4 Hz Interrupt Enable Bit**
ITCへの4Hz割り込み要求の出力を許可/禁止します。
- D1 INT8HZEN: 8 Hz Interrupt Enable Bit**
ITCへの8Hz割り込み要求の出力を許可/禁止します。
- D0 INT32HZEN: 32 Hz Interrupt Enable Bit**
ITCへの32Hz割り込み要求の出力を許可/禁止します。

RTC Interrupt Flag Register (RTC_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RTC Interrupt Flag Register (RTC_IFLG)	0x56c4 (16 bits)	D15-10	—	reserved	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	—	—	0 when being read.
		D9	INT1D	1-day interrupt flag			0	R/W	Reset by writing 1.
		D8	INTHD	Half-day interrupt flag			0	R/W	
		D7	INT1H	1-hour interrupt flag			0	R/W	
		D6	INT10M	10-minute interrupt flag			0	R/W	
		D5	INT1M	1-minute interrupt flag			0	R/W	
		D4	INT10S	10-second interrupt flag			0	R/W	
		D3	INT1HZ	1 Hz interrupt flag			0	R/W	
		D2	INT4HZ	4 Hz interrupt flag			0	R/W	
		D1	INT8HZ	8 Hz interrupt flag			0	R/W	
D0	INT32HZ	32 Hz interrupt flag	0	R/W					

このレジスタはRTC割り込み要因の発生状況を示します。各割り込み要因に対応する割り込みイネーブルビットが1に設定されていると、その周期で割り込みフラグが1にセットされ、ITCに割り込み要求が出力されます。各割り込みフラグは1の書き込みによってリセットされます。

1(R): 割り込み要因発生
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

D[15:10] Reserved

- D9 INT1D: 1-Day Interrupt Flag Bit**
1日割り込み要因の発生状況を示します。INT1Dは、時カウンタが23→0(24時間制の場合)、PM11→AM12(12時間制の場合)になると同時にセットされます。

8 リアルタイムクロック(RTC)

D8 INTHD: Half-Day Interrupt Flag Bit

半日割り込み要因の発生状況を示します。INTHDは時カウンタが11→12または23→0(24時間制の場合)、AM11→PM12またはPM11→AM12(12時間制の場合)に変わると同時にセットされます。

D7 INT1H: 1-Hour Interrupt Flag Bit

1時間割り込み要因の発生状況を示します。INT1Hは分カウンタが59→0に変わると同時にセットされます。

D6 INT10M: 10-Minute Interrupt Flag Bit

10分割り込み要因の発生状況を示します。INT10Mは分カウンタが9→10、19→20、29→30、39→40、49→50、または59→0に変わると同時にセットされます。

D5 INT1M: 1-Minute Interrupt Flag Bit

1分割り込み要因の発生状況を示します。INT1Mは秒カウンタが59→0に変わると同時にセットされます。

D4 INT10S: 10-Second Interrupt Flag Bit

10秒割り込み要因の発生状況を示します。INT10Sは秒カウンタが9→10、19→20、29→30、39→40、49→50、または59→0に変わると同時にセットされます。

D3 INT1HZ: 1 Hz Interrupt Flag Bit

1Hz割り込み要因の発生状況を示します。INT1HZは分周回路の1Hz信号の周期でセットされます。

D2 INT4HZ: 4 Hz Interrupt Flag Bit

4Hz割り込み要因の発生状況を示します。INT4HZは分周回路の4Hz信号の周期でセットされます。

D1 INT8HZ: 8 Hz Interrupt Flag Bit

8Hz割り込み要因の発生状況を示します。INT8HZは分周回路の8Hz信号の周期でセットされます。

D0 INT32HZ: 32 Hz Interrupt Flag Bit

32Hz割り込み要因の発生状況を示します。INT32HZは分周回路の32Hz信号の周期でセットされます。

RTC Minute/Second Counter Register (RTC_MS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute/Second Counter Register (RTC_MS)	0x56c6 (16 bits)	D15	-	reserved	-	-	-	0 when being read.
		D14-8	RTCMIN [6:0]	Minute counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W	
		D7	-	reserved	-	-	-	0 when being read.
		D6-0	RTCSEC [6:0]	Second counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W	

D15 Reserved

D[14:8] RTCMIN[6:0]: Minute Counter Bits

分カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

バイナリモード(BCDMD = 0)での読み出し値/設定値は、RTCMIN[6:0] = 0x0~0x3b(0分~59分)の範囲です。

BCDモード(BCDMD = 1)での読み出し値/設定値は、RTCMIN[6:4] = 0x0~0x5(10分桁)、RTCMIN[3:0] = 0x0~0x9(1分桁)の範囲です。

D7 Reserved

D[6:0] RTCSEC[6:0]: Second Counter Bits

秒カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

バイナリモード(BCDMD = 0)での読み出し値/設定値は、RTCSEC[6:0] = 0x0~0x3b(0秒~59秒)の範囲です。

BCDモード(BCDMD = 1)での読み出し値/設定値は、RTCSEC[6:4] = 0x0~0x5(10秒桁)、RTCSEC[3:0] = 0x0~0x9(1秒桁)の範囲です。

- 注: カウンタの読み出しと書き込み手順については、“8.3.5 カウンタの読み出し”と“8.3.4 カウンタの設定”を参照してください。
- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
 - カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
 - 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

RTC Hour Counter Register (RTC_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Counter Register (RTC_H)	0x56c8 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7	AMPM	AM/PM	1 PM 0 AM	X	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5-0	RTCHOUR [5:0]	Hour counter	0x0 to 0x17 (binary mode) 0x00 to 0x23 (BCD mode)	X	R/W	

D[15:8] Reserved

D7 AMPM: AM/PM Bit

12時間制を選択した場合に午前/午後を示します。(デフォルト: 不定)

1(R/W): 午後

0(R/W): 午前

本ビットはRTC24H/RTC_CTLレジスタが1(12時間制)に設定されている場合にのみ有効です。24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

- 注: RTC24H/RTC_CTLレジスタにより12時間制から24時間制に変更した場合、その時点でAMPMは0に固定されます。

D6 Reserved

D[5:0] RTCHOUR[5:0]: Hour Counter Bits

時カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

バイナリモード(BCDMD = 0)での読み出し値/設定値の範囲は以下のとおりです。

24時間制の場合: RTCHOUR[5:0] = 0x0~0x17(0時~23時)

12時間制の場合: RTCHOUR[5:0] = 0x1~0xc(1時~12時)

BCDモード(BCDMD = 1)での読み出し値/設定値の範囲は以下のとおりです。

24時間制の場合: RTCHOUR[5:4] = 0x0~0x2(10時桁)、RTCHOUR[3:0] = 0x0~0x9(1時桁)

12時間制の場合: RTCHOUR[5:4] = 0x0~0x1(10時桁)、RTCHOUR[3:0] = 0x0~0x9(1時桁)

- 注: カウンタの読み出しと書き込み手順については、“8.3.5 カウンタの読み出し”と“8.3.4 カウンタの設定”を参照してください。

- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
- カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
- 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

9 入出力ポート(P)

9.1 Pモジュールの概要

Pポートは、ソフトウェアで入出力方向、プルアップ抵抗を制御可能な汎用入出力です。これらのポートは周辺モジュールの入出力を兼用しており、レジスタの設定によって端子機能を切り換えられるようになっています。一部のポートグループは、入力信号の変化により割り込みを発生可能です。

Pモジュールの主な機能と特長を以下に示します。

- 最大で19の入出力ポート(P0[7:0]、P10、P1[7:2]、P2[3:0])と1つの出力ポート(P11)を使用可能
* 汎用入出力として使用可能なポート数は使用する周辺機能により変わります。
- ソフトウェアで有効となるプルアップ抵抗を各ポートに内蔵
- CMOSシュミットレベルの入力インタフェース
- P0ポートは、ソフトウェアで選択した信号エッジで入力割り込みを発生可能
- P0ポートにチャタリングフィルタを内蔵
- ソフトウェアで選択した複数のP0ポートへの同時Lowレベル入力によりイニシャルリセットを発生可能
- すべてのポートに用意されたポート機能選択ビットにより、端子機能(汎用入出力または周辺機能に使用)を設定可能

図9.1.1に入出力ポートの構成を示します。

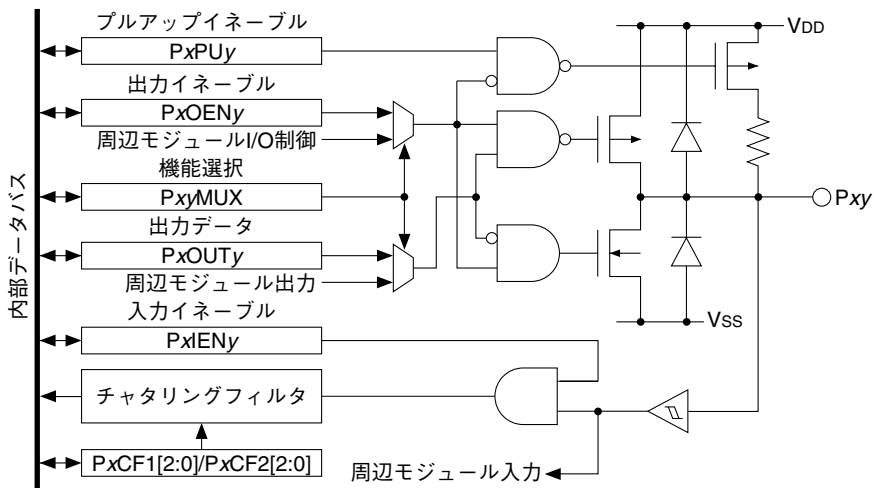


図9.1.1 入出力ポートの構成

注: • 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。また、P0ポートのチャタリングフィルタの動作にもPCLKが必要です。

- レジスタやビット名の“xy”はポート番号 (Pxy, x = 0~2, y = 0~7) を表します。

例: PxiNy/Px_INレジスタ

P00: P0IN0/P0_INレジスタ

P13: P1IN3/P1_INレジスタ

9.2 入出力端子機能の選択 (ポートMUX)

入出力ポート端子は周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表9.2.1 入出力端子機能の選択

端子機能1 PxyMUX[1:0] = 0x0	端子機能2 PxyMUX[1:0] = 0x1	端子機能3 PxyMUX[1:0] = 0x2	端子機能4 PxyMUX[1:0] = 0x3	ポート機能選択ビット
P00	SIN0 (UART)	-	-	P00MUX[1:0]/P00_03PMUXレジスタ
P01	SOUT0 (UART)	-	-	P01MUX[1:0]/P00_03PMUXレジスタ
P02	SCLK0 (UART)	FOUTA (CLG)	-	P02MUX[1:0]/P00_03PMUXレジスタ
P03	EXCL0 (T16A2)	-	LFRO (LCD)	P03MUX[1:0]/P00_03PMUXレジスタ
P04	TOUTA0/CAPA0 (T16A2)	-	-	P04MUX[1:0]/P04_07PMUXレジスタ
P05	TOUTB0/CAPB0 (T16A2)	#SPISS0 (SPI)	-	P05MUX[1:0]/P04_07PMUXレジスタ
P06	BZ (SND)	SDIO (SPI)	-	P06MUX[1:0]/P04_07PMUXレジスタ
P07	#BZ (SND)	SDO0 (SPI)	-	P07MUX[1:0]/P04_07PMUXレジスタ
P10	FOUTB (CLG)	SPICLK0 (SPI)	-	P10MUX[1:0]/P10_13PMUXレジスタ
DCLK (DBG)	P11	BZ (SND)	-	P11MUX[1:0]/P10_13PMUXレジスタ
DSIO (DBG)	P12	#BZ (SND)	-	P12MUX[1:0]/P10_13PMUXレジスタ
DST2 (DBG)	P13	-	-	P13MUX[1:0]/P10_13PMUXレジスタ
P14	RFIN0 (RFC)	-	-	P14MUX[1:0]/P14_17PMUXレジスタ
P15	REF0 (RFC)	-	-	P15MUX[1:0]/P14_17PMUXレジスタ
P16	SENA0 (RFC)	-	-	P16MUX[1:0]/P14_17PMUXレジスタ
P17	SENB0 (RFC)	-	-	P17MUX[1:0]/P14_17PMUXレジスタ
P20	-	-	-	-
P21	-	-	-	-
P22	-	-	-	-
P23	RFCLK0 (RFC)	-	-	P23MUX[1:0]/P23PMUXレジスタ

イニシャルリセットにより、各入出力ポート端子(Pxy)はデフォルト(表9.2.1の端子機能1)の機能に初期化されます。

入出力ポート以外の機能については、()で示した周辺モジュールの説明を参照してください。以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

9.3 データの入出力

データ入出力制御

入出力ポートは、PxOENy/Px_OENレジスタとPxIENy/Px_IENレジスタによってビットごとにデータの入出力方向を選択できるようになっています。PxOENyはデータ出力を許可/禁止し、PxIENyはデータ入力を許可/禁止します。

表9.3.1 データ入出力表

PxOENy 出力制御	PxIENy 入力制御	PxPUy プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します(プルアップOff)。ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
0	1	1	入力ポートとして機能します(プルアップOn)。(デフォルト)ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
1	0	1または0	出力ポートとして機能します(プルアップOff)。入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します(プルアップOff)。入力も許可され、PxINy(入力データ)からポート端子の値(出力値)が読み出せます。
0	0	0	端子がハイインピーダンス状態となります(プルアップOff)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
0	0	1	端子がハイインピーダンス状態となります(プルアップOn)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxOENyとPxIENyの設定は無視されます。

データ入力

ポート端子の状態を入力してその値を読み出すためにはPxIENyを1(デフォルト)に設定し、入力を許可します。外部信号を入力する場合はこれに加え、PxOENyを0(デフォルト)に設定します。この設定により入出力ポートはハイインピーダンス状態となり、入力ポートとして機能します(入力モード)。PxPUyでプルアップを有効にしている場合は、ポートがプルアップされます。入力モード時は、入力端子の状態をPxINy/Px_INレジスタから直接読み出すことができます。読み出し値は入力端子がHigh(V_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。出力許可(PxOENy = 1)の状態(出力モード)でも、PxIENyが1の場合はポート端子の状態を入力します。この場合、PxINyからはポートが実際に出力している値を読み出すことができます。PxIENyを0に設定した場合は入力が禁止され、PxINyの読み出し値は0となります。

データ出力

ポート端子からデータを出力するためには、PxOENyを1に設定し、出力を許可(出力モードに設定)します。これにより入出力ポートは出力ポートとして機能し、PxOUTy/Px_OUTレジスタの設定値をポート端子から出力します。PxOUTyに1を書き込むとポート端子はHigh(V_{DD})レベル、0を書き込むとLow(V_{SS})レベルを出力します。なお、PxPUyでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。入力モード時も、端子の状態に影響を与えることなくPxOUTyに対して書き込みは行えます。

9.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するか否かをPxPUy/Px_PUレジスタによってビットごとに選択できるようになっています。PxPUyを1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。出力モード時にはPxIENyの設定にかかわらずPxPUyの設定は無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

Pxy入出力ポート以外の端子機能を選択した場合はPxPUyの設定が無効になり、選択した端子機能に応じて自動的にプルアップが有効/無効に設定されます。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [秒]}$$

R_{IN}: プルアップ抵抗Max.値、C_{IN}: 端子容量Max.値

9.5 ポート入力割り込み

P0ポートは入力割り込み機能を持っています。

8ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。

図9.5.1にポート入力割り込み回路の構成を示します。

9 入出力ポート (P)

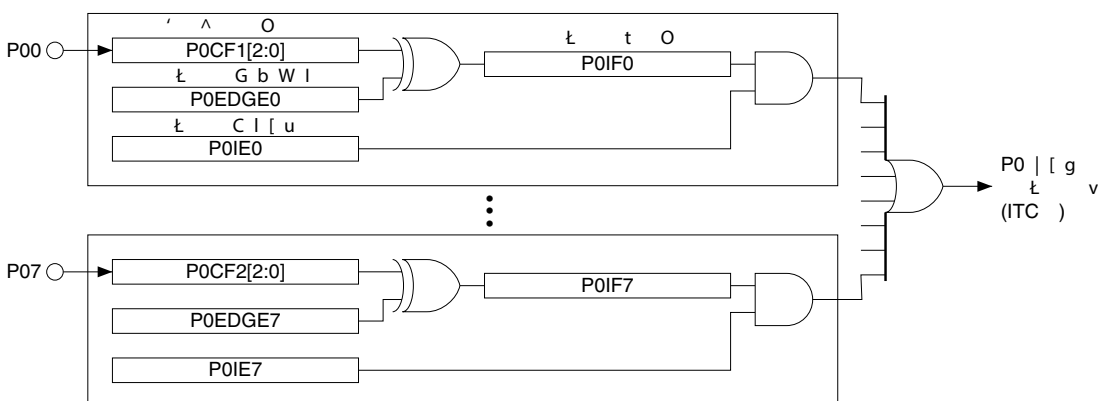


図9.5.1 ポート入力割り込み回路の構成

割り込みポートの選択

割り込みを発生させるポートをPOIEy/P0_IMSKレジスタによって選択します。

POIEyを1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。

割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、P0EDGEy/P0_EDGEレジスタによって選択します。

P0EDGEyを1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

割り込みフラグ

ITCはP0ポート1系統の割り込み要求を受け付け可能ですが、P0[7:0]の8ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、8ポートに個々に対応する割り込みフラグP0IFy/P0_IFLGレジスタが用意されています。P0IFyは入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPOIEyを1に設定しておくことにより、同時にITCへ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。P0IFyは1の書き込みによりリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグP0IFyをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、POIEy/P0_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するP0IFyをリセットしてください。

9.6 チャタリング除去機能

P0~P2ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]/Px_CHATレジスタ、PxCF2[2:0]/Px_CHATレジスタによってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表9.6.1 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間*
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

- 注: • P0ポートのチャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。P0ポートの入力割り込みを発生させるには、検定時間の2倍の入力時間が必要になります。
 - P0_CHATレジスタの設定変更は、必ずP0ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

9.7 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00~P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0]/P0_KRSTレジスタで選択できます。

表9.7.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

たとえば、P0KRST[1:0]を0x3に設定した場合、P00~P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

- 注: • P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。

9.8 制御レジスタ詳細

表9.8.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名	機能	
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力イネーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出力イネーブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力イネーブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出力イネーブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力イネーブル
0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択

9 入出力ポート (P)

アドレス	レジスタ名		機能
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x52a4	P23PMUX	P23 Port Function Select Register	P23ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Px Port Input Data Registers (Px_IN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Input Data Register (Px_IN)	0x5200	D7-0	PxIN[7:0]	Px[7:0] port input data	1	1 (H)	0	0 (L)	×	R
	0x5210									
	0x5220									
	(8 bits)									

注: P1IN1とP2IN[7:4]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits

ポート端子の状態が読み出せます。(デフォルト: 外部入力状態)

1(R): Highレベル

0(R): Lowレベル

PxIN_yはPx_y端子と1対1に対応し、入力許可時(PxIEN_y = 1)は(出力許可状態(PxOEN_y = 1)でも)、端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

入力禁止時(PxIEN_y = 0)の読み出し値は0となります。

PxIN_yは読み出し専用のため、書き込み操作は無効です。

Px Port Output Data Registers (Px_OUT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Output Data Register (Px_OUT)	0x5201	D7-0	PxOUT[7:0]	Px[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W
	0x5211									
	0x5221									
	(8 bits)									

注: P2OUT[7:4]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits

ポート端子から出力するデータを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

PxOUT_yはPx_y端子と1対1に対応し、出力許可時(PxOEN_y = 1)は書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

出力禁止時(PxOEN_y = 0)もポートデータの書き込みは行えます(端子の状態には影響を与えません)。

Px Port Output Enable Registers (Px_OEN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Output Enable Register (Px_OEN)	0x5202	D7-0	PxOEN[7:0]	Px[7:0] port output enable	1	Enable	0	Disable	0	R/W
	0x5212									
	0x5222									
	(8 bits)									

注: P2OEN[7:4]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxOEN[7:0]: Px[7:0] Port Output Enable Bits

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PxOEN_yはPx_yポートと1対1に対応する出力カインーブルビットで、1に設定すると出力が許可され、対応するPxOUT_yの設定値がポート端子から出力されます。0に設定した場合は出力が禁止され、ポート端子はハイインピーダンスになります。ポートを周辺モジュール用に使用する場合の出力許可/禁止の状態は、周辺モジュールの機能により決まります。

PxOENレジスタ以外の設定も含めたポートの入出力状態については、表9.3.1を参照してください。

Px Port Pull-up Control Registers (Px_PU)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Pull-up Control Register (Px_PU)	0x5203	D7-0	PxPU[7:0]	Px[7:0] port pull-up enable	1 Enable	0 Disable	1 R/W	(0xff)
	0x5213							
	0x5223							
	(8 bits)							

注: P2PU[7:4]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPU_yはPx_yポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、出力禁止時(PxOEN_y = 0)にポート端子がプルアップされます。0に設定するとプルアップされません。出力許可時(PxOEN_y = 1)には、PxPU_yの設定は無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

Px_y入出力ポート以外の端子機能を選択した場合はPxPU_yの設定が無効になり、選択した端子機能に応じて自動的にプルアップが有効/無効に設定されます。

P0 Port Interrupt Mask Register (P0_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7-0	POIE[7:0]	P0[7:0] port interrupt enable	1 Enable	0 Disable	0 R/W	

注: このレジスタはP0ポートにのみ用意されています。

D[7:0] POIE[7:0]: P0[7:0] Port Interrupt Enable Bits

各ポートによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

POIE_yを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

P0 Port Interrupt Edge Select Register (P0_EDGE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7-0	POEDGE[7:0]	P0[7:0] port interrupt edge select	1 Falling edge	0 Rising edge	0 R/W	

注: このレジスタはP0ポートにのみ用意されています。

9 入出力ポート (P)

D[7:0] P0EDGE[7:0]: P0[7:0] Port Interrupt Edge Select Bits

各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

P0EDGE_yを1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

P0 Port Interrupt Flag Register (P0_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7-0	P0IF[7:0]	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0	R/W	Reset by writing 1.

注: このレジスタはP0ポートにのみ用意されています。

D[7:0] P0IF[7:0]: P0[7:0] Port Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

P0IF_yはP0の8ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPOIE_y/P0_IMSKレジスタを1に設定しておくことにより、同時にITCに対してポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

P0IF_yは1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグP0IF_yをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、POIE_y/P0_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するP0IF_yをリセットしてください。

Px Port Chattering Filter Control Register (Px_CHAT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Chattering Filter Control Register (Px_CHAT)	0x5208 0x5218 0x5228 (8 bits)	D7	-	reserved	-	-	-	-	0 when being read.		
		D6-4	PxCF2[2:0]	Px[7:4] chattering filter time select	PxCF2[2:0]	Filter time	0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK					
					0x5	4096/fPCLK					
					0x4	2048/fPCLK					
					0x3	1024/fPCLK					
					0x2	512/fPCLK					
					0x1	256/fPCLK					
					0x0	None					
		D3	-	reserved	-	-	-	-	-	0 when being read.	
D2-0	PxCF1[2:0]	Px[3:0] chattering filter time select	PxCF1[2:0]	Filter time	0x7	16384/fPCLK	0x0	R/W			
			0x6	8192/fPCLK							
			0x5	4096/fPCLK							
			0x4	2048/fPCLK							
			0x3	1024/fPCLK							
			0x2	512/fPCLK							
			0x1	256/fPCLK							
			0x0	None							

注: P2CF2[2:0]は予約ビットで、読み出し値は常に0となります。

D7 Reserved

D[6:4] PxCF2[2:0]: Px[7:4] Chattering Filter Time Select Bits

Px[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

D3 **Reserved****D[2:0] PxCF1[2:0]: Px[3:0] Chattering Filter Time Select Bits**

Px[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0～P2ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]、PxCF2[2:0]によってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表9.8.2 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

- 注:
- P0ポートのチャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
 - チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。P0ポートの入力割り込みを発生させるには、検定時間の2倍の入力時間が必要になります。
 - P0_CHATレジスタの設定変更は、必ずP0ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

P0 Port Key-Entry Reset Configuration Register (P0_KRST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.	
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0]			
					0x2	P0[2:0]			
					0x1	P0[1:0]			
0x0	Disable								

D[7:2] **Reserved****D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits**

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表9.8.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

9 入出力ポート (P)

- 注: • P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。

Px Port Input Enable Registers (Px_IEN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Input Enable Register (Px_IEN)	0x520a	D7-0	PxIEN[7:0]	Px[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W
	0x521a									
	0x522a									
	(8 bits)									

注: P1IEN1とP2IEN[7:4]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIEN[7:0]: Px[7:0] Port Input Enable Bits

ポート入力を許可/禁止します。

1(R/W): 許可(デフォルト)

0(R/W): 禁止

PxIEN_yはP_xyポートと1対1に対応する入力イネーブルビットで、1に設定すると入力が許可され、対応するポート端子の入力または出力信号レベルがPx_INレジスタから読み出せます。0に設定した場合は入力が禁止されます。

Px_IENレジスタ以外の設定も含めたポートの入出力状態については、表9.3.1を参照してください。

P0[3:0] Port Function Select Register (P0_03PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[3:0] Port Function Select Register (P0_03PMUX)	0x52a0 (8 bits)	D7-6	P03MUX[1:0]	P03 port function select	P03MUX[1:0] Function		0x0	R/W	
					0x3	LFRO			
					0x2	reserved			
					0x1	EXCL0			
		0x0	P03						
		D5-4	P02MUX[1:0]	P02 port function select	P02MUX[1:0] Function		0x0	R/W	
					0x3	reserved			
					0x2	FOUTA			
					0x1	SCLK0			
		0x0	P02						
		D3-2	P01MUX[1:0]	P01 port function select	P01MUX[1:0] Function		0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SOUT0			
		0x0	P01						
		D1-0	P00MUX[1:0]	P00 port function select	P00MUX[1:0] Function		0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	SIN0								
0x0	P00								

P00~P03入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P03MUX[1:0]: P03 Port Function Select Bits

0x3(R/W): LFRO(LCD)

0x2(R/W): Reserved

0x1(R/W): EXCL0(T16A2 Ch.0)

0x0(R/W): P03ポート(デフォルト)

D[5:4] P02MUX[1:0]: P02 Port Function Select Bits

0x3(R/W): Reserved

0x2(R/W): FOUTA(CLG)

0x1(R/W): SCLK0(UART)

0x0(R/W): P02ポート(デフォルト)

D[3:2] P01MUX[1:0]: P01 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): Reserved
 0x1(R/W): SOUT0(UART)
 0x0(R/W): P01ポート(デフォルト)

D[1:0] P00MUX[1:0]: P00 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): Reserved
 0x1(R/W): SIN0(UART)
 0x0(R/W): P00ポート(デフォルト)

P0[7:4] Port Function Select Register (P04_07PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SDO0			
					0x1	#BZ			
		0x0	P07						
		D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SDI0			
					0x1	BZ			
		0x0	P06						
		D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SPISS0			
					0x1	TOUTB0/CAPB0			
		0x0	P05						
		D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	TOUTA0/CAPA0								
0x0	P04								

P04～P07入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P07MUX[1:0]: P07 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): SDO0(SPI Ch.0)
 0x1(R/W): #BZ(SND)
 0x0(R/W): P07ポート(デフォルト)

D[5:4] P06MUX[1:0]: P06 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): SDI0(SPI Ch.0)
 0x1(R/W): BZ(SND)
 0x0(R/W): P06ポート(デフォルト)

D[3:2] P05MUX[1:0]: P05 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): #SPISS0(SPI Ch.0)
 0x1(R/W): TOUTB0(T16A2 Ch.0コンパレータモード)または
 CAPB0(T16A2 Ch.0キャプチャモード)
 0x0(R/W): P05ポート(デフォルト)

D[1:0] P04MUX[1:0]: P04 Port Function Select Bits

0x3(R/W): Reserved
 0x2(R/W): Reserved
 0x1(R/W): TOUTA0(T16A2 Ch.0コンパレータモード)または
 CAPA0(T16A2 Ch.0キャプチャモード)
 0x0(R/W): P04ポート(デフォルト)

P1[3:0] Port Function Select Register (P10_13PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P13			
		0x0	DST2						
		D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#BZ			
					0x1	P12			
		0x0	DSIO						
		D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	BZ								
0x1	P11								
0x0	DCLK								
D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	SPICKL0					
			0x1	FOUTB					
0x0	P10								

P10～P13入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P13MUX[1:0]: P13 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P13ポート
- 0x0 (R/W): DST2(DBG) (デフォルト)

D[5:4] P12MUX[1:0]: P12 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): #BZ(SND)
- 0x1 (R/W): P12ポート
- 0x0 (R/W): DSIO(DBG) (デフォルト)

D[3:2] P11MUX[1:0]: P11 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): BZ(SND)
- 0x1 (R/W): P11ポート
- 0x0 (R/W): DCLK(DBG) (デフォルト)

D[1:0] P10MUX[1:0]: P10 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): SPICKL0(SPI Ch.0)
- 0x1 (R/W): FOUTB(CLG)
- 0x0 (R/W): P10ポート(デフォルト)

P1[7:4] Port Function Select Register (P14_17PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SENB0			
		0x0	P17						
		D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SENA0			
		0x0	P16						
		D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	REF0			
		0x0	P15						
		D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	RFIN0								
0x0	P14								

P14～P17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P17MUX[1:0]: P17 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): SENB0 (RFC)
 0x0 (R/W): P17ポート (デフォルト)

D[5:4] P16MUX[1:0]: P16 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): SENAO (RFC)
 0x0 (R/W): P16ポート (デフォルト)

D[3:2] P15MUX[1:0]: P15 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): REF0 (RFC)
 0x0 (R/W): P15ポート (デフォルト)

D[1:0] P14MUX[1:0]: P14 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): RFIN0 (RFC)
 0x0 (R/W): P14ポート (デフォルト)

9 入出力ポート (P)

P23 Port Function Select Register (P23PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P23 Port Function Select Register (P23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
		D5-0	-	reserved	-		-	-	0 when being read.

P23入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P23MUX[1:0]: P23 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): RFCLKO (RFC)

0x0 (R/W): P23ポート (デフォルト)

D[5:0] Reserved

10 8ビットタイマ(T8)

10.1 T8モジュールの概要

S1C17656は8ビットタイマモジュール(T8)を内蔵しています。

T8モジュールの主な機能と特長を以下に示します。

- 1チャンネルのタイマ構成(T8 Ch.0)
- 8ビットプリセッタブルダウンカウンタ(プリセット値設定用8ビットリロードデータレジスタ付き)
- カウンタのアンダーフローから、SPIの動作クロックを生成
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能

図10.1.1にT8の構成を示します。

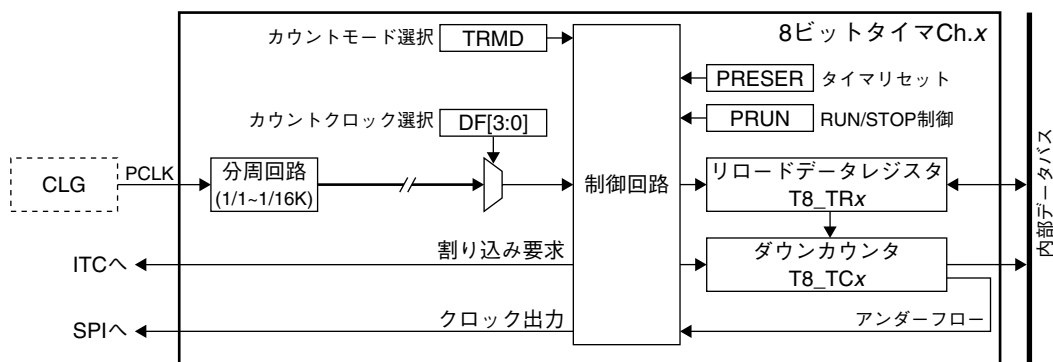


図10.1.1 T8モジュールの構成

T8モジュールは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェースのクロック生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

注: レジスタ名の'x'はチャンネル番号(0)を表します。

例: T8_CTLxレジスタ

Ch.0: T8_CTL0レジスタ

10.2 カウントクロック

カウントクロックは、PCLKクロックを1/1~1/16Kに分周して生成します。この分周比をDF[3:0]/T8_CLKxレジスタで下表に示す15種類から選択します。

表10.2.1 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • タイマを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ (CLG)を設定しておく必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

CLGの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

10.3 カウントモード

T8モジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T8_CTLxレジスタで行います。

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、T8はリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T8をこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、T8はワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8をこのモードに設定してください。

10.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT8_TRxは、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

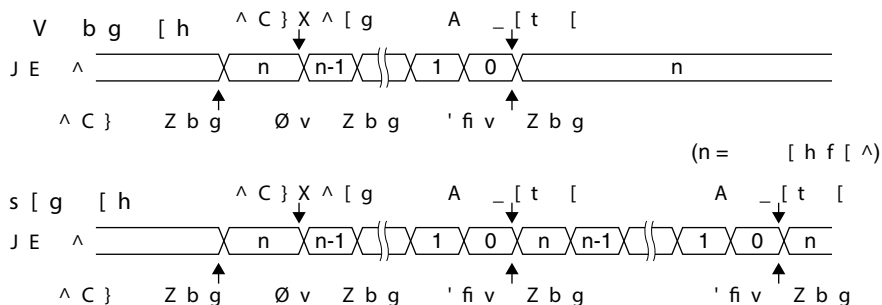


図10.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{ct_clk} [s] \quad \text{アンダーフローサイクル} = \frac{ct_clk}{TR + 1} [Hz]$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~255)

10.5 タイマのリセット

タイマをリセットするには、PRESER/T8_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

10.6 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロックを選択します。10.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。10.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。10.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。10.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。10.8節を参照してください。

タイマの動作を開始させるには、PRUN/T8_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

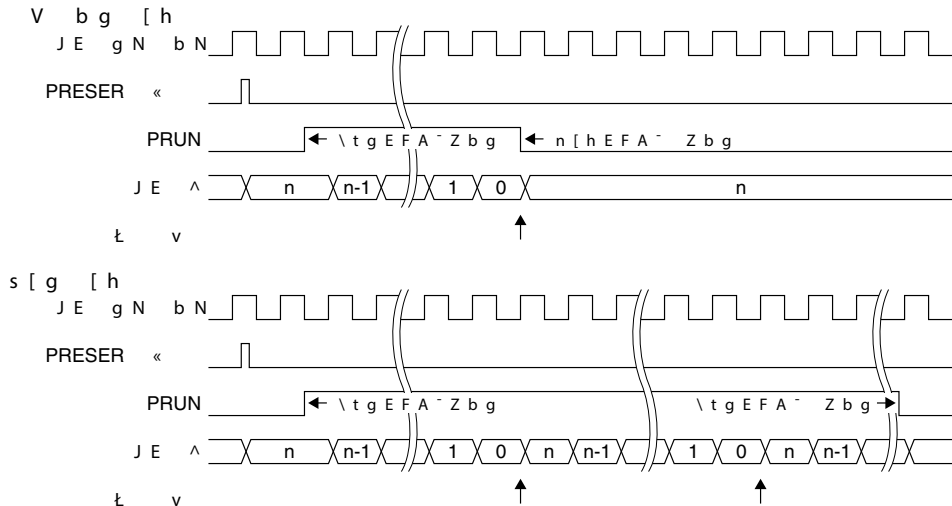


図10.6.1 カウント動作

10.7 T8出力信号

T8モジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。このパルスは、タイマ割り込み要求に使用されます。また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。生成されたクロックはSPIモジュールに送られます。

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPIクロック} = \frac{\text{ct_clk}}{\text{TR} \times \text{bps} \times 2} - 1$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~255)

bps: 転送レート (ビット/秒)

10.8 T8割り込み

T8モジュールは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

カウンタがアンダーフローすると、T8モジュール内に用意されている割り込みフラグT8IF/T8_INTxレジスタが1にセットされます。T8IE/T8_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8IEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • T8割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8モジュール内の割り込みフラグT8IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T8IEによってT8割り込みを許可する前に、T8IFをリセットしてください。T8IFは1の書き込みによりリセットされます。

10.9 制御レジスタ詳細

表10.9.1 T8レジスタ一覧

アドレス	レジスタ名		機能
0x4240	T8_CLK0	T8 Ch.0 Count Clock Select Register	カウントクロックの選択
0x4242	T8_TR0	T8 Ch.0 Reload Data Register	リロードデータの設定
0x4244	T8_TCO	T8 Ch.0 Counter Data Register	カウンタデータ
0x4246	T8_CTL0	T8 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T8_INT0	T8 Ch.0 Interrupt Control Register	割り込みの制御

以下、T8モジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T8 Ch.x Count Clock Select Register (T8_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T8 Ch.x Count Clock Select Register (T8_CLKx)	0x4240 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.	
		D3-0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK	
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
			0x1	1/2					
			0x0	1/1					

D[15:4] **Reserved**

D[3:0] **DF[3:0]: Count Clock Division Ratio Select Bits**

カウントクロックを生成するための、PCLKの分周比を選択します。

表10.9.2 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T8 Ch.x Reload Data Register (T8_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Reload Data Register (T8_TRx)	0x4242 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TR[7:0]	Reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] TR[7:0]: Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T8 Ch.x Counter Data Register (T8_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Counter Data Register (T8_TCx)	0x4244 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TC[7:0]	Counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

D[15:8] Reserved

D[7:0] TC[7:0]: Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

T8 Ch.x Control Register (T8_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Control Register (T8_CTLx)	0x4246 (16 bits)	D15-5	–	reserved	–	–	–	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:5] Reserved (1書き込み禁止)

D4 TRMD: Count Mode Select Bit

8ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

10 8ビットタイマ(T8)

TRMDを0に設定すると、T8はリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T8をこのモードに設定してください。

TRMDを1に設定すると、T8はワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8をこのモードに設定してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T8 Ch.x Interrupt Control Register (T8_INTx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
T8 Ch.x Interrupt Control Register (T8_INTx)	0x4248 (16 bits)	D15-9	-	reserved	-		-	-	0 when being read.	
		D8	T8IE	T8 interrupt enable	1	Enable	0	Disable	0	R/W
		D7-1	-	reserved	-		-	-	0 when being read.	
		D0	T8IF	T8 interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W

D[15:9] Reserved

D8 T8IE: T8 Interrupt Enable Bit

カウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8IEを1に設定するとITCへのT8割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved

D0 T8IF: T8 Interrupt Flag Bit

カウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8IFはT8モジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T8IFは1の書き込みによりリセットされます。

11 16ビットPWMタイマ(T16A2)

11.1 T16A2モジュールの概要

S1C17656は、カウンタブロックとコンパレータ/キャプチャブロックで構成される16ビットPWMタイマモジュール(T16A2)を内蔵しています。このタイマは、インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタ、あるいは外部イベント期間/周期を測定するカウントキャプチャユニットとして使用可能です。

T16A2モジュールの主な機能と特長を以下に示します。

- 1チャンネルの16ビットアップカウンタブロック
- 1チャンネルのコンパレータ/キャプチャブロック
- CPUクロックとは非同期のカウントクロックを選択可能
- 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータはカウンタ値と2つの指定値を比較し、割り込み信号やPWM波形を生成
- キャプチャユニットは2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生

図11.1.1にT16A2の構成を示します。

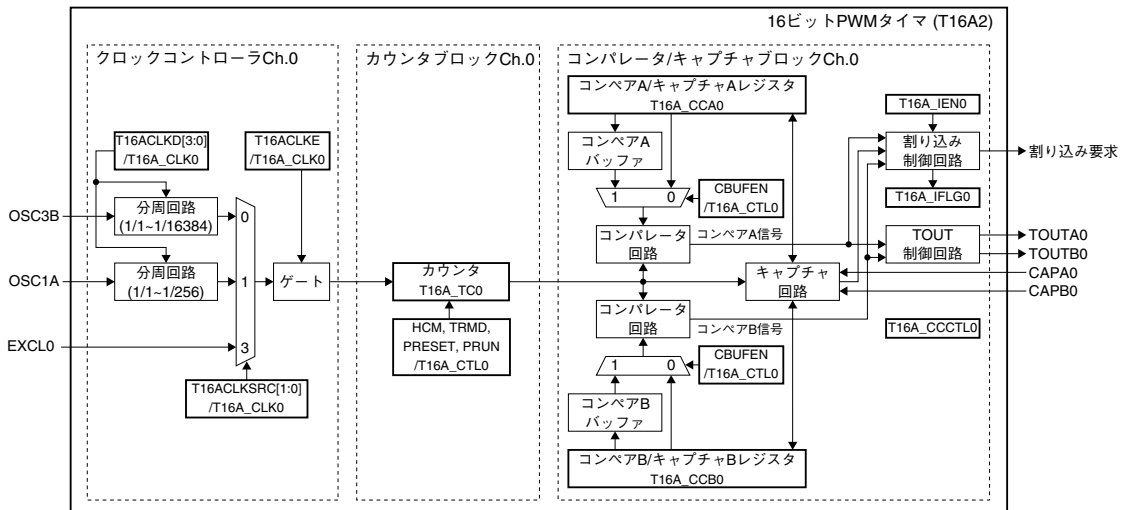


図11.1.1 T16A2の構成

クロックコントローラ

T16A2は、カウンタのカウントクロックを生成するクロックコントローラを内蔵しています。ソフトウェアにより、クロックソースと分周比が選択可能です。

カウンタブロック

カウンタブロックは16ビットアップカウンタで構成されます。カウンタはOSC3BまたはOSC1Aの分周クロック、もしくは外部から入力したカウントクロックで動作します。このクロック選択のほか、ソフトウェアによってカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。

コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、コンパレータ機能とキャプチャ機能があります。ソフトウェアでコンパレータ機能を選択することによって、PWM波形ジェネレータ等を実現できます。キャプチャ機能を選択すると、外部イベントの期間/周期を測定するカウントキャプチャユニット等が実現できます。コンパレータ回路は、コンペアA、コンペアBレジスタ値(ソフトウェアにて設定)とカウンタ値が一致したことを示すコンペアA信号、コンペアB信号を生成してTOUT制御回路と割り込み制御回路に出力します。TOUT出力回路は、これらの信号からPWM波形等の信号を生成し、外部端子TOUTAx、TOUTBxへ出力します。キャプチャ回路は、CAPAx、CAPBx端子から入力された外部イベントの発生を示す信号によってカウンタ値をキャプチャA、キャプチャBレジスタに格納します。割り込み制御回路は、設定に応じて割り込みコントローラ(ITC)へ割り込み信号を出力します。なお、同じチャンネル内で、コンパレータ機能とキャプチャ機能を同時に使用することはできません。

注: レジスタ名および端子名のxはチャンネル番号(0)を表します。

例: T16A_CTLxレジスタ、TOUTAx端子

Ch.0: T16A_CTL0レジスタ、TOUTA0

11.2 T16A2入出力端子

表11.2.1にT16A2モジュールの入出力端子を示します。

表11.2.1 T16A2端子一覧

端子名	I/O	本数	機能
EXCL0 (Ch.0)	I	1	外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。
CAPA0, CAPB0 (Ch.0)	I	2	カウンタキャプチャトリガ信号入力端子(キャプチャモード時に有効) CAPAx端子に入力される信号の指定エッジ(立ち下がりエッジ、立ち上がりエッジ、または両エッジ)で、カウンタデータがキャプチャAレジスタに取り込まれます。CAPBxの入力信号ではカウンタデータがキャプチャBレジスタに取り込まれます。
TOUTA0, TOUTB0 (Ch.0)	O	2	タイマ生成信号出力端子(コンパレータモード時に有効) 2本の出力端子を持ち、それぞれ異なる条件で生成された信号を出力できます。

T16A2の入出力端子(EXCLx、CAPAx、CAPBx、TOUTAx、TOUTBx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16A2の入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

11.3 カウントクロック

クロックコントローラはカウントクロックを制御するクロックソースセクタ、分周回路、ゲート回路で構成されます。

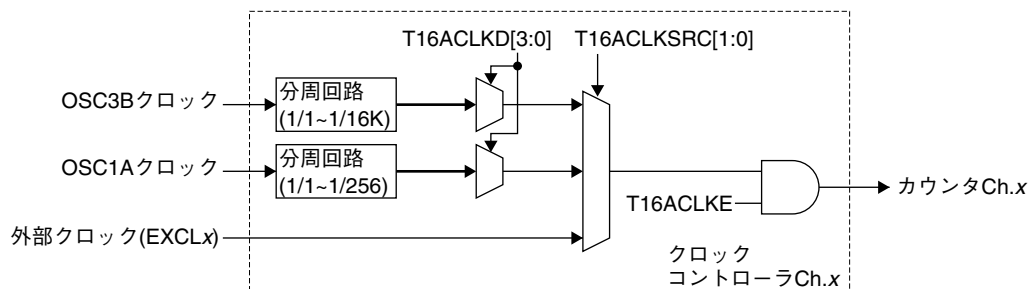


図11.3.1 クロックコントローラ

クロックソースの選択

クロックソースは、T16ACLKSRC[1:0]/T16A_CLKxレジスタを使用してOSC3B、OSC1A、外部クロックから選択します。

表11.3.1 クロックソースの選択

T16ACLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

外部クロックを選択すると、外部クロックやパルスを入力して、タイマをイベントカウンタやパルス幅測定などにも使用可能です。外部クロック入力端子は下表のとおりです。汎用入出力ポートのまま、端子機能を切り換える必要はありません。ただし、対応する入出力ポートを出力モードには設定しないでください。

表11.3.2 外部クロック入力端子

チャンネル	外部クロック入力端子
T16A2 Ch.0	EXCL0

内部クロック分周比の選択

内部クロック(OSC3B、OSC1A)を使用する場合は、T16ACLKD[3:0]/T16A_CLKxレジスタで分周比を選択します。

表11.3.3 内部クロック分周比の選択

T16ACLKD[3:0]	分周比	
	クロックソース = OSC3B	クロックソース = OSC1A
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

クロックイネーブル

カウンタへのクロック供給は、T16ACLKE/T16A_CLKxレジスタで制御します。T16ACLKEのデフォルト設定は0で、クロックの供給は停止しています。T16ACLKEを1に設定すると、上記のとおり生成されたクロックがカウンタに送られます。T16A2の動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: カウントクロックの設定は、T16A2がカウント停止中に行ってください。

11.4 T16A2の動作モード

T16A2には、いろいろな使い方に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

11.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A_CCAxとT16A_CCBxの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A_CCAxレジスタのモードはCCAMD/T16A_CCCTLxレジスタで、T16A_CCBxレジスタのモードはCCBMD/T16A_CCCTLxレジスタで選択します。

コンパレータモード(CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A_CCAxとT16A_CCBxレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。

カウンタ値がコンペアBレジスタの設定値になった場合、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

カウント開始からコンペアA割り込みが発生するまでの期間(コンペアA期間)およびコンペアB割り込みが発生するまでの期間(コンペアB期間)は次のように計算できます。

$$\text{コンペアA期間} = (\text{CCA} + 1) / \text{ct_clk} \text{ [秒]}$$

$$\text{コンペアB期間} = (\text{CCB} + 1) / \text{ct_clk} \text{ [秒]}$$

CCA: コンペアAレジスタ設定値(0~65535)

CCB: コンペアBレジスタ設定値(0~65535)

ct_clk: カウントクロック周波数 [Hz]

コンペアA信号とコンペアB信号はタイマ出力波形(TOUT)を生成するためにも使用されます。詳細については、“11.6 タイマ出力の制御”を参照してください。PWM波形を生成して出力するには、T16A_CCAxおよびT16A_CCBxレジスタを両方共にコンパレータモードに設定しておく必要があります。

コンペアバッファ

コンペアバッファは、比較値を変更するタイミングをカウンタの動作に同期させるときに使用します。CBUFEN/T16A_CTLxレジスタを1に設定するとコンペアバッファが有効になり、コンパレータはコンペアA、コンペアBレジスタの代わりにコンペアA、コンペアBバッファとカウンタ値を比較してコンペアA、コンペアB信号を生成します。ソフトウェアでコンペアA、コンペアBレジスタに書き込んだ比較値は、コンペアB信号が発生した時点でコンペアA、コンペアBバッファにロードされます。

注: T16A_CCAxまたはT16A_CCBxレジスタに連続的にデータを書き込む場合、それぞれの書き込みをT16A2カウントクロック1サイクル以上の間隔を空けて行ってください。

キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A_CCAxまたはT16A_CCBxレジスタはキャプチャデータを読み出すためのキャプチャAまたはキャプチャBレジスタとして機能します。

カウンタ値をキャプチャする外部トリガ信号入力端子は下表のとおりです。トリガ入力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表11.4.1.1 カウンタキャプチャ用トリガ信号入力端子

チャネル	トリガ入力端子	
	キャプチャ A	キャプチャ B
T16A2 Ch.0	CAPA0	CAPB0

トリガとする信号のエッジは、キャプチャ AがCAPATR[1:0]/T16A_CCCTLxレジスタ、キャプチャ BがCAPBTRG[1:0]/T16A_CCCTLxレジスタで選択可能です。

表11.4.1.2 キャプチャトリガエッジの選択

CAPATR[1:0]/CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がキャプチャレジスタにロードされます。同時にキャプチャ Aまたはキャプチャ B割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。この割り込みを利用して、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。キャプチャ Aまたはキャプチャ B割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。したがって、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出した場合は、キャプチャ Aまたはキャプチャ B割り込みフラグをリセットしておく必要があります。

- 注:
- キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。
 - カウンタデータを正しくキャプチャするには、CAPxトリガ信号のHigh期間とLow期間をどちらもソースクロックの1周期以上とする必要があります。

コンパレータモード時は、CAPATR[1:0]とCAPBTRG[1:0]の設定は無効です。トリガエッジが選択されていてもカウントのキャプチャは行われません。キャプチャモードではコンペア信号が生成されないため、TOUT信号を生成して出力することはできません。

11.4.2 リピートモードとワンショットモード

T16A2はリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16A_CTLxレジスタで行います。

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、対応するカウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。カウンタがオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、対応するカウンタはワンショットモードに設定されます。このモードでは、コンペアB信号が発生した時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

11.4.3 ノーマルクロックモードとハーフクロックモード

T16A2はPWM出力波形におけるデューティ比の精度を向上させるため、ハーフクロックモードを搭載しています。ハーフクロックモードでは、カウントクロックの立ち上がりエッジと立ち下がりエッジでカウントを行う両エッジカウンタを使用してコンペアAレジスタとの比較を行います。これにより、ノーマルクロックモードの2倍の精度でデューティ比を制御することが可能となります。ハーフクロックモードはHCM/T16A_CTLxレジスタで選択します。

ノーマルクロックモード(HCM = 0、デフォルト)

ノーマルクロックモードでは、T16A_TCxレジスタ値とT16A_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

ハーフクロックモード(HCM = 1)

ハーフクロックモードでは、両エッジカウンタ値とT16A_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

注: • ハーフクロックモードはPWM波形を生成する場合のみ動作しますので、コンパレータモードで使用してください。以下のいずれかに該当する場合は必ずノーマルクロックモード(HCM = 0)で使用してください。

- (1) キャプチャモードを設定している場合
- (2) TOUTAMD/T16A_CCCTLxレジスタを0x2または0x3に設定した場合
- (3) TOUTBMD/T16A_CCCTLxレジスタを0x2または0x3に設定した場合

- 両エッジカウンタはリードすることができません。
- ハーフクロックモード時は、コンペアA割り込みを使用しないでください。
- ハーフクロックモード時、T16A_CCBxレジスタには $[T16A_CCAx\text{設定値} / 2 + 0x8000]$ 未満の値を設定してください。

11.5 カウンタの制御

11.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A_CTLxレジスタに1を書き込みます。

通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

11.5.2 カウンタRUN/STOP制御

カウント動作を開始させる前に、以下の設定を行ってください。

- (1) 使用する入出力端子の機能をT16A2用に切り換えます。“入出力ポート(P)”の章を参照してください。
- (2) 動作モードを選択します。11.4節を参照してください。
- (3) クロックソースを選択します。11.3節を参照してください。
- (4) タイマ出力(TOUT)の設定を行います。11.6節を参照してください。
- (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16A2の割り込みを許可します。11.7節を参照してください。
- (6) カウンタを0にリセットします。11.5.1節を参照してください。
- (7) コンペアデータを設定します(コンパレータモード時)。11.4.1節を参照してください。

T16A2には、カウンタの動作を制御するPRUN/T16A_CTLxレジスタが設けられています。

カウンタはPRUNに1を書き込むことによってカウントを開始します。PRUNに0を書き込むとクロックの入力が禁止され、カウンタは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

11.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A_TCxレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウントアップが発生し、正しい値が読み出せないことがあります。

11.5.4 カウント動作と割り込みタイミング

コンパレータモード

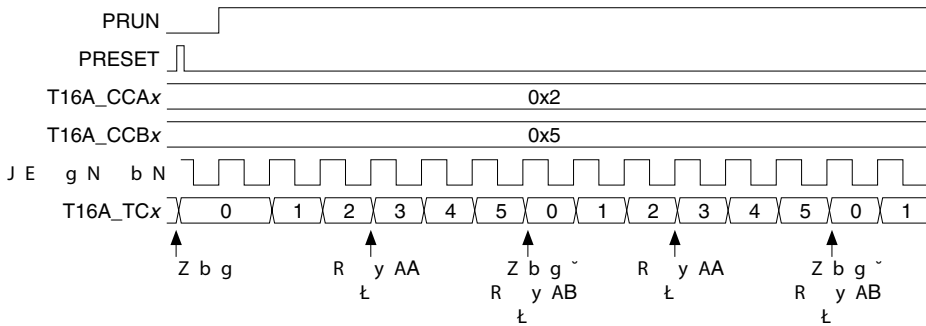


図11.5.4.1 コンパレータモード時動作タイミング

キャプチャモード

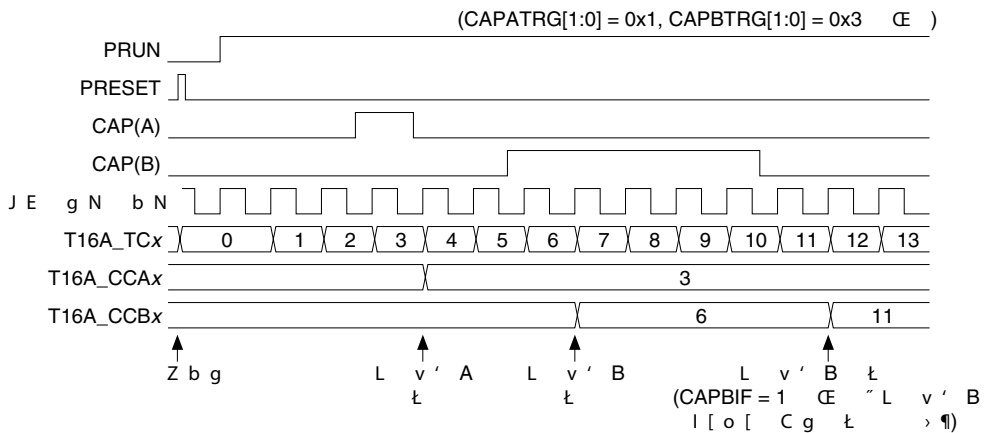


図11.5.4.2 キャプチャモード時動作タイミング

11.6 タイマ出力の制御

コンパレータモードに設定したタイマは、コンペアAおよびコンペアB信号によってTOUT信号を生成し、IC外部に出力することができます。T16A2は2本のTOUT出力を持ち、T16A2モジュールからは最大4本のTOUT信号を出力可能です。

図11.6.1にTOUT出力回路を示します。

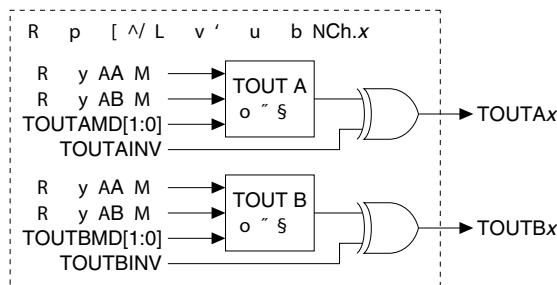


図11.6.1 TOUT出力回路

T16A2には2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBに対応するものではありません。

TOU出力端子

TOU端子とタイマチャンネルの対応を表11.6.1に示します。TOU出力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表11.6.1 TOU出力端子一覧

チャンネル	TOU出力端子	
	A系統	B系統
T16A2 Ch.0	TOUTA0	TOUTB0

TOU生成モード

TOU信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A_CCCTLxレジスタ(A系統)またはTOUTBMD[1:0]/T16A_CCCTLxレジスタ(B系統)で設定します。

表11.6.2 TOU生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト:0x0)

TOU出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

TOU信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A_CCCTLxレジスタ(A系統)またはTOUTBINV/T16A_CCCTLxレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOU信号が生成されます。

カウンタをリセットした場合には、TOU信号がインアクティブレベルとなります。

図11.6.2にTOU出力波形を示します。

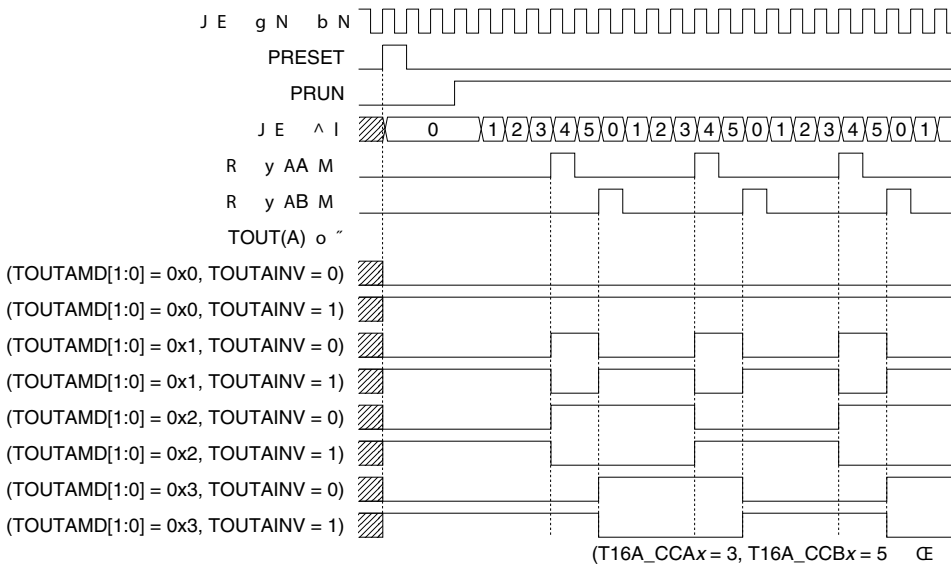


図11.6.2 TOU出力波形

PWM波形出力タイミング

ノーマルクロックモード (HCM = 0)

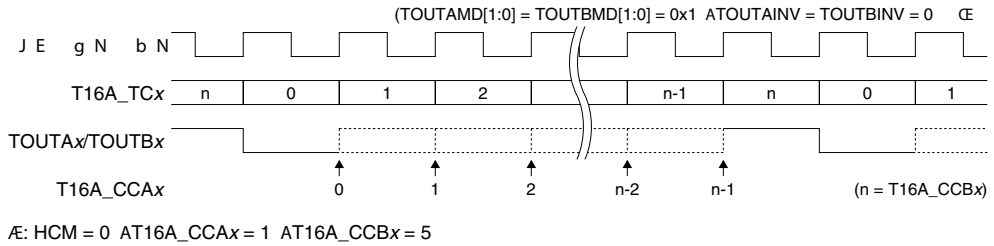


図11.6.3 ノーマルクロックモードのPWM波形出力タイミング

ハーフクロックモード (HCM = 1)

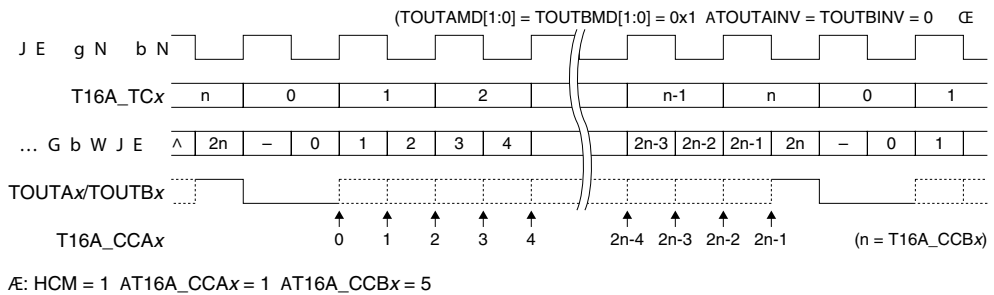


図11.6.4 ハーフクロックモードのPWM波形出力タイミング

11.7 T16A2割り込み

T16A2モジュールには、以下の6種類の割り込みを発生させる機能があります。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャA割り込み(キャプチャモード時)
- キャプチャB割り込み(キャプチャモード時)
- キャプチャAオーバーライト割り込み(キャプチャモード時)
- キャプチャBオーバーライト割り込み(キャプチャモード時)

T16A2モジュールは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、割り込みを発生したタイマチャネルの割り込みフラグを読み出してください。

コンパレータモード時の割り込み

コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタの設定値に一致すると発生し、T16A2モジュール内の割り込みフラグCAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAIE/T16A_IENxレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタの設定値に一致すると発生し、T16A2モジュール内の割り込みフラグCBIF/T16A_IFLGxレジスタを1にセットします。この割り込みを使用するには、CBIE/T16A_IENxレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャモード時の割り込み

キャプチャ A割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Aレジスタに取り込まれると発生し、T16A2モジュール内の割り込みフラグCAPAIF/T16A_IFLGxレジスタを1にセットします。この割り込みを使用するには、CAPAIE/T16A_IENxレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ B割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Bレジスタに取り込まれると発生し、T16A2モジュール内の割り込みフラグCAPBIF/T16A_IFLGxレジスタを1にセットします。この割り込みを使用するには、CAPBIE/T16A_IENxレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Aレジスタが上書きされると発生し、T16A2モジュール内の割り込みフラグCAPAOWIF/T16A_IFLGxレジスタを1にセットします。この割り込みを使用するには、CAPAOWIE/T16A_IENxレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFがセットされている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ずCAPAIFをリセットしてください。

キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ B割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Bレジスタが上書きされると発生し、T16A2モジュール内の割り込みフラグCAPBOWIF/T16A_IFLGxレジスタを1にセットします。この割り込みを使用するには、CAPBOWIE/T16A_IENxレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。CAPBOWIFは、キャプチャ Bレジスタが読み出されているかどうかにかかわらず、CAPBIFがセットされている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ずCAPBIFをリセットしてください。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16A2モジュールは割り込み要求をITCに出力します。ITCとSIC17コアの割り込み条件が成立していれば割り込みが発生します。ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。
 - 割り込み発生後は、割り込み処理ルーチン内で、T16A2モジュール内の割り込みフラグをリセットしてください。

11.8 制御レジスタ詳細

表11.8.1 T16A2レジスタ一覧

アドレス	レジスタ名		機能
0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A2 Ch.0クロックの制御
0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
0x5402	T16A_TCO	T16A Counter Ch.0 Data Register	カウンタデータ
0x5404	T16A_CCCTL0	T16A CoÅarator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOOUTの制御
0x5406	T16A_CCA0	T16A CoÅare/Capture Ch.0 A Data Register	コンペアA/キャプチャ Aデータ
0x5408	T16A_CCB0	T16A CoÅare/Capture Ch.0 B Data Register	コンペアB/キャプチャ Bデータ
0x540a	T16A_IEN0	T16A CoÅare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
0x540c	T16A_IFLG0	T16A CoÅare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、T16A2モジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16A Clock Control Register Ch.x (T16A_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Clock Control Register Ch.x (T16A_CLKx)	0x5068 (8 bits)	D7-4	T16ACLKD [3:0]	Clock division ratio select	T16ACLKD [3:0]	Division ratio	0x0	R/W	
					OSC3B	OSC1A			
					0xf	—			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
0x7	1/128	1/128							
0x6	1/64	1/64							
0x5	1/32	1/32							
0x4	1/16	1/16							
0x3	1/8	1/8							
0x2	1/4	1/4							
0x1	1/2	1/2							
0x0	1/1	1/1							
		D3-2	T16ACLK SRC[1:0]	Clock source select	T16ACLKSRC [1:0]	Clock source	0x0	R/W	
					0x3	External clock reserved OSC1A OSC3B			
					0x2				
					0x1				
					0x0				
		D1	—	reserved	—	—	—	—	0 when being read.
		D0	T16ACLKE	Count clock enable	1 Enable 0 Disable	0	R/W		

D[7:4] T16ACLKD[3:0]: Clock Division Ratio Select Bits

内部クロック(OSC3B、OSC1A)を使用する場合に、カウントクロックを生成するための分周比を選択します。

表11.8.2 内部クロック分周比の選択

T16ACLKD[3:0]	分周比	
	クロックソース = OSC3B	クロックソース = OSC1A
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

D[3:2] T16ACLKSR[1:0]: Clock Source Select Bits

カウントクロックソースを選択します。

表11.8.3 クロックソースの選択

T16ACLKSR[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

外部クロックをカウントクロックとして使用する場合、EXCLx端子から入力してください。

D1 Reserved**D0 T16ACLKE: Count Clock Enable Bit**

カウンタへのカウントクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

T16ACLKEのデフォルト設定は0で、クロックの供給は停止しています。T16ACLKEを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

T16A Counter Ch.x Control Register (T16A_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Control Register (T16A_CTLx)	0x5400 (16 bits)	D15-7	-	reserved		-	-	0 when being read.
		D6	HCM	Half clock mode enable	1 Enable 0 Disable	0	R/W	
		D5-4	-	reserved		-	-	0 when being read.
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TRMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	

D[15:7] Reserved**D6 HCM: Half Clock Mode Enable Bit**

ハーフクロックモードを設定します。

1(R/W): 有効(ハーフクロックモード)

0(R/W): 無効(ノーマルクロックモード) (デフォルト)

HCMを1に設定すると、T16A2はハーフクロックモードに設定されます。ハーフクロックモードでは、カウントクロックの立ち上がりエッジと立ち下がりエッジでカウントを行う両エッジカウンタを使用し、両エッジカウンタ値とT16A_CCAxレジスタ値が一致したときにコンペアA信号を生成します。これにより、ノーマルクロックモードの2倍の精度でデューティ比を制御することが可能となります。

HCMを0に設定すると、T16A2はノーマルクロックモードとなり、T16A_TCxレジスタ値とT16A_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

注: • ハーフクロックモードはPWM波形を生成する場合のみ動作しますので、コンパレータモードで使用してください。以下のいずれかに該当する場合は必ずノーマルクロックモード (HCM = 0) で使用してください。

(1) キャプチャモードを設定している場合

(2) TOUTAMD/T16A_CCCTLxレジスタを0x2または0x3に設定した場合

(3) TOUTBMD/T16A_CCCTLxレジスタを0x2または0x3に設定した場合

• 両エッジカウンタはリードすることができません。

• ハーフクロックモード時は、コンペアA割り込みを使用しないでください。

• ハーフクロックモード時、T16A_CCBxレジスタには[T16A_CCAx設定値 / 2 + 0x8000]未満の値を設定してください。

D[5:4] Reserved

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファを有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFENを1に設定するとコンペアバッファが有効になり、コンパレータはコンペアA、コンペアBレジスタの代わりにコンペアA、コンペアBバッファとカウンタ値を比較してコンペアA、コンペアB信号を生成します。ソフトウェアでコンペアA、コンペアBレジスタに書き込んだ比較値は、コンペアB信号が発生した時点でコンペアA、コンペアBバッファにロードされます。

CBUFENを0に設定するとコンペアバッファが無効となり、コンパレータはコンペアA、コンペアBレジスタとカウンタ値を比較してコンペアA、コンペアB信号を生成します。

注: CBUFENの設定は、カウンタが停止中(PRUN = 0)に行ってください。

D2 TRMD: Count Mode Select Bit

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、カウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

TRMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、コンペアB信号が発生した時点で自動的に停止します。

D1 PRESET: Counter Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D0 PRUN: Counter Run/Stop Control Bit

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

T16A Counter Ch.x Data Register (T16A_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Data Register (T16A_TCx)	0x5402 (16 bits)	D15-0	T16A2TC [15:0]	Counter data T16A2TC15 = MSB T16A2TC0 = LSB	0x0 to 0xffff	0x0	R	

D[15:0] T16A2TC[15:0]: Counter Data Bits

カウントデータが読み出せます。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

T16A Comparator/Capture Ch.x Control Register (T16A_CCCTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.x Control Register (T16A_CCCTLx)	0x5404 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W	
					0x3	↑ and ↓			
						0x2	↓		
						0x1	↑		
						0x0	None		
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W	
						0x3	cmp B: ↑ or ↓		
						0x2	cmp A: ↑ or ↓		
						0x1	cmp A: ↑, B: ↓		
						0x0	Off		
		D11-10	-	reserved	-	-	-	-	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W	
	D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W		
	D7-6	CAPATR [1:0]	Capture A trigger select	CAPATR[1:0]	Trigger edge	0x0	R/W		
					0x3	↑ and ↓			
					0x2	↓			
					0x1	↑			
					0x0	None			
	D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W		
					0x3	cmp B: ↑ or ↓			
					0x2	cmp A: ↑ or ↓			
					0x1	cmp A: ↑, B: ↓			
					0x0	Off			
	D3-2	-	reserved	-	-	-	-	0 when being read.	
	D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W		
	D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W		

D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits

キャプチャ Bレジスタにカウンタ値を取り込む、外部信号(CAPB_x)のトリガエッジを選択します。

表11.8.4 キャプチャ Bトリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits

TOUT B信号波形(TOUTB_x出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表11.8.5 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[11:10] Reserved

D9 TOUTBINV: TOUT B Invert Bit

TOUT B信号(TOUTB_x出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D8 CCBMD: T16A_CCB Register Mode Select Bit

T16A_CCB_xレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A_CCB_xレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャBレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能しません(コンパレータモード)。

D[7:6] CAPATRG[1:0]: Capture A Trigger Select Bits

キャプチャAレジスタにカウンタ値を取り込む、外部信号(CAPAx)のトリガエッジを選択します。

表11.8.6 キャプチャAトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[5:4] TOUTAMD[1:0]: TOUT A Mode Select Bits

TOUT A信号波形(TOUTAx出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表11.8.7 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[3:2] Reserved**D1 TOUTAINV: TOUT A Invert Bit**

TOUT A信号(TOUTAx出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D0 CCAMD: T16A_CCA Register Mode Select Bit

T16A_CCA_xレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A_CCA_xレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャAレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能しません(コンパレータモード)。

T16A Comparator/Capture Ch.x A Data Register (T16A_CCAx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.x A Data Register (T16A_CCAx)	0x5406 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCA[15:0]: Compare/Capture A Data Bits

コンパレータモード時(CCAMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアAデータは、このレジスタに書き込んでから、T16A2のカウントクロックで2サイクル経過後にコンペアAレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアAバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアAレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアAレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAPAx)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャA割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Ch.x B Data Register (T16A_CCBx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.x B Data Register (T16A_CCBx)	0x5408 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCB[15:0]: Compare/Capture B Data Bits

コンパレータモード時(CCBMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアBデータは、このレジスタに書き込んでから、T16A2のカウントクロックで2サイクル経過後にコンペアBレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアBバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアBレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアBレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。カウンタも0にリセットされます。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAPBx)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャB割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Ch.x Interrupt Enable Register (T16A_IENx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x Interrupt Enable Register (T16A_IENx)	0x540a (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:6] Reserved

D5 CAPBOWIE: Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定するとITCへのキャプチャ Bオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D4 CAPAOWIE: Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定するとITCへのキャプチャ Aオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D3 CAPBIE: Capture B Interrupt Enable Bit

キャプチャ B割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定するとITCへのキャプチャ B割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D2 CAPAIE: Capture A Interrupt Enable Bit

キャプチャ A割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定するとITCへのキャプチャ A割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 CBIE: Compare B Interrupt Enable Bit

コンペアB割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアA割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

T16A Comparator/Capture Ch.x Interrupt Flag Register (T16A_IFLGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.x Interrupt Flag Register (T16A_IFLGx)	0x540c (16 bits)	D15-6	-	reserved		-	-	-	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
		D3	CAPBIF	Capture B interrupt flag			0	R/W	
		D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

D[15:6] Reserved

D5 CAPBOWIF: Capture B Overwrite Interrupt Flag Bit

キャプチャ Bオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBOWIFはT16A2割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。CAPBOWIFは1の書き込みによりリセットされます。

D4 CAPAOWIF: Capture A Overwrite Interrupt Flag Bit

キャプチャ Aオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAOWIFはT16A2割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。CAPAOWIFは1の書き込みによりリセットされます。

D3 CAPBIF: Capture B Interrupt Flag Bit

キャプチャ B割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBIFはT16A2割り込みフラグで、カウンタ値がキャプチャ Bレジスタに取り込まれると1にセットされます。CAPBIFは1の書き込みによりリセットされます。

D2 CAPAIF: Capture A Interrupt Flag Bit

キャプチャ A割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAIFはT16A2割り込みフラグで、カウンタ値がキャプチャ Aレジスタに取り込まれると1にセットされます。CAPAIFは1の書き込みによりリセットされます。

D1 CBIF: Compare B Interrupt Flag Bit

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CBIFはT16A2割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag Bit

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAIFはT16A2割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。CAIFは1の書き込みによりリセットされます。

12 計時タイマ(CT)

12.1 CTモジュールの概要

S1C17656はOSC1Aクロックを源振とする計時タイマモジュール(CT)を内蔵しています。このタイマは周期的な割り込みを発生可能で、ソフトウェアによる計時機能を実現できます。CTモジュールの主な機能と特長を以下に示します。

- 8ビットバイナリカウンタ(128Hz~1Hz)
- 32Hz、8Hz、2Hz、1Hz割り込みを発生可能

図12.1.1にCTの構成を示します。

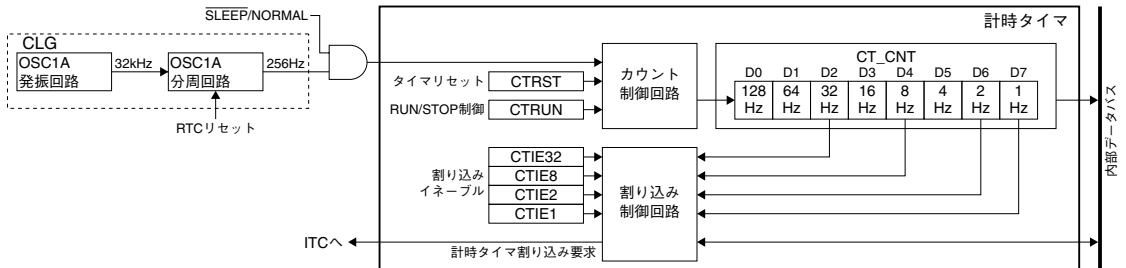


図12.1.1 CTの構成

CTモジュールはOSC1Aクロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

12.2 動作クロック

CTモジュールはCLGモジュールが出力する256Hzクロック(OSC1A分周回路から出力される256Hzクロック)を動作クロックとして使用します。したがって、CTモジュールを動作させるには、OSC1A発振回路をOnさせておく必要があります。ただし、OSC1A発振回路がOnの場合でも、スリープ時にはCTモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

- 注:
- CTモジュールの入力クロックは、OSC1Aクロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1Aクロック周波数では、本章に記載の周波数が変わります。
 - OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC_CTLレジスタに1を書き込んだ)時点でリセットされます。このリセットから256Hzクロックの周期が新たに始まりますので、CTモジュールのカウント動作にも影響します。

12.3 タイマのリセット

タイマをリセットするには、CTRST/CT_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

12.4 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。12.5節を参照してください。
- (2) タイマをリセットします。12.3節を参照してください。

計時タイマには、Run/Stopを制御するCTRUN/CT_CTLレジスタが設けられています。

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTに同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

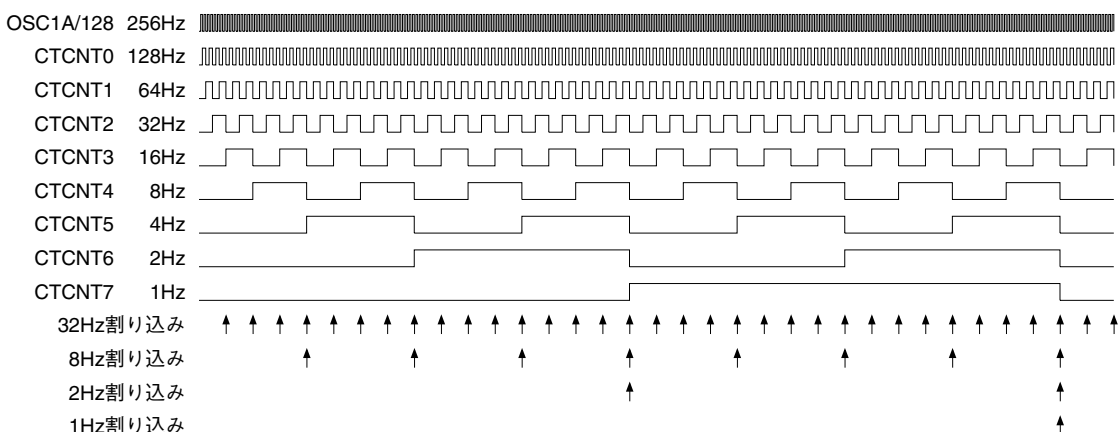


図12.4.1 計時タイマのタイミングチャート

注: • タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。図12.4.2にRun/Stop制御のタイミングチャートを示します。

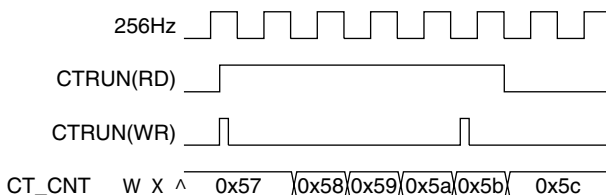


図12.4.2 Run/Stop制御のタイミングチャート

- タイマが動作している状態(CTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前に計時タイマを停止状態(CTRUN = 0)に設定してください。

12.5 CT割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

32Hz、8Hz、2Hz、1Hz割り込み

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、CTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1(割り込み許可)に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0(割り込み禁止、デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表12.5.1 計時タイマ割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
32Hz割り込み	CTIF32/CT_IFLGレジスタ	CTIE32/CT_IMSKレジスタ
8Hz割り込み	CTIF8/CT_IFLGレジスタ	CTIE8/CT_IMSKレジスタ
2Hz割り込み	CTIF2/CT_IFLGレジスタ	CTIE2/CT_IMSKレジスタ
1Hz割り込み	CTIF1/CT_IFLGレジスタ	CTIE1/CT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • CT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってCT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

12.6 制御レジスタ詳細

表12.6.1 CTレジスタ一覧

アドレス	レジスタ名		機能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、CTモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Timer Control Register (CT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	CTRST	Clock timer reset	1 Reset	0 Ignored	0		W
		D3-1	-	reserved	-	-	-		-
		D0	CTRUN	Clock timer run/stop control	1 Run	0 Stop	0		R/W

D[7:5] Reserved

12 計時タイマ(CT)

D4 CTRST: Clock Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 CTRUN: Clock Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

Clock Timer Counter Register (CT_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0x0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value Bits

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

各ビットと周波数の対応は以下のとおりです。

D7: 1Hz

D6: 2Hz

D5: 4Hz

D4: 8Hz

D3: 16Hz

D2: 32Hz

D1: 64Hz

D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

Clock Timer Interrupt Mask Register (CT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE*ビットを1に設定すると、対応する周波数の信号の立ち上がりエッジによるCT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:4] Reserved

- D3 CTIE32: 32 Hz Interrupt Enable Bit**
32Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)
- D2 CTIE8: 8 Hz Interrupt Enable Bit**
8Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)
- D1 CTIE2: 2 Hz Interrupt Enable Bit**
2Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)
- D0 CTIE1: 1 Hz Interrupt Enable Bit**
1Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

Clock Timer Interrupt Flag Register (CT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag			0	R/W	
		D1	CTIF2	2 Hz interrupt flag			0	R/W	
		D0	CTIF1	1 Hz interrupt flag			0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。CT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF*は32Hz、8Hz、2Hz、1Hz割り込みに個々に対応するCTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。CTIF*は1の書き込みによりリセットされます。

D[7:4] Reserved

- D3 CTIF32: 32 Hz Interrupt Flag Bit**
32Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効
- D2 CTIF8: 8 Hz Interrupt Flag Bit**
8Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効
- D1 CTIF2: 2 Hz Interrupt Flag Bit**
2Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効
- D0 CTIF1: 1 Hz Interrupt Flag Bit**
1Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

13 ウォッチドッグタイマ(WDT)

13.1 WDTモジュールの概要

S1C17656はOSC1A発振回路を源振とするウォッチドッグタイマモジュール(WDT)を内蔵しています。このタイマはCPUの暴走検出に使用します。

WDTモジュールの主な機能と特長を以下に示します。

- 10ビットアップカウンタ
- カウンタのオーバーフローによりリセットまたはNMIを発生可能

図13.1.1にWDTの構成を示します。

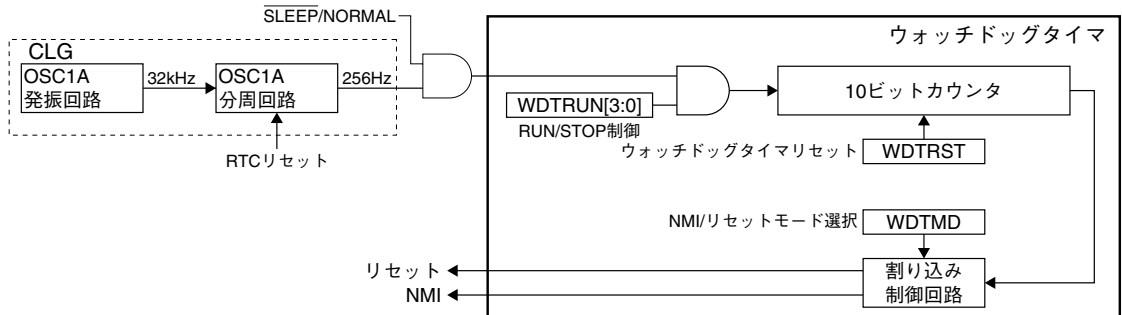


図13.1.1 WDTの構成

WDTモジュールは $131072/f_{OSC1A}$ 秒($f_{OSC1A} = 32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にWDTをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

13.2 動作クロック

WDTモジュールはCLGモジュールが出力する256Hzクロック(OSC1A分周回路から出力される256Hzクロック)を動作クロックとして使用します。したがって、WDTモジュールを動作させるには、OSC1A発振回路をOnさせておく必要があります。ただし、OSC1A発振回路がOnの場合でも、スリープ時にはWDTモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

注: • WDTモジュールの入力クロックは、OSC1Aクロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1Aクロック周波数では、本章に記載の周波数や時間が変わります。

- OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC_CTLレジスタに1を書き込んだ)時点でリセットされます。このリセットから256Hzクロックの周期が新たに始まりますので、WDTモジュールのカウント動作にも影響します。

13.3 WDTの制御

13.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にWDTがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD/WDT_STレジスタで選択できます。

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。

13.3.2 WDTのRUN/STOP制御

WDTはWDTRUN[3:0]/WDT_CTLレジスタに0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

イニシャルリセット時はWDTRUN[3:0]が0b1010に設定され、WDTは停止状態となります。

カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、WDTをRunさせる際には次節で説明するWDTのリセットも同時に行ってください。

13.3.3 WDTのリセット

WDTをリセットするには、WDTRST/WDT_CTLレジスタに1を書き込みます。

WDTを使用する場合は、NMI/リセットが発生する前にWDTをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは $131072/f_{osc1A}$ 秒($f_{osc1A} = 32.768\text{kHz}$ の場合4秒)周期以内で処理されるようにしてください。リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってWDTがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。

リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。

WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST/WDT_STレジスタが1に設定されます。

このビットはNMIの発生元がWDTであることを確認するために設けられています。

1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

13.3.4 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。

HALTモード時にWDTを無効にするには、halt命令実行前にWDTRUN[3:0]/WDT_CTLレジスタに0b1010を書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

SLEEPモード時

SLEEPモード時はCLGモジュールからのクロックの供給が停止します。したがって、WDTも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じWDTRUN[3:0]によってWDTを停止させてください。

13.4 制御レジスタ詳細

表13.4.1 WDTレジスタ一覧

アドレス	レジスタ名		機能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、WDTモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Watchdog Timer Control Register (WDT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	WDTRST	Watchdog timer reset	1 Reset	0 Ignored	0	W	
		D3-0	WDRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010	R/W	

D[7:5] Reserved

D4 WDTRST: Watchdog Timer Reset Bit

WDTをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

注: WDTを使用する場合は、NMI/リセット発生周期($f_{OSC1A} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、WDTをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

D[3:0] WDRUN[3:0]: Watchdog Timer Run/Stop Control Bits

WDTのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

注: WDTをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずWDTのリセットも行ってください。

Watchdog Timer Status Register (WDT_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1 Reset	0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred	0 Not occurred	0	R	

D[7:2] Reserved

D1 WDTMD: NMI/Reset Mode Select Bit

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。0に設定した場合はNMI信号を出力します。

D0 WDTST: NMI Status Bit

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R): NMI発生(カウンタオーバーフロー)

0(R): NMI未発生(デフォルト)

このビットはNMIの発生元がWDTであることを確認するために設けられています。1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

14 UART

14.1 UARTモジュールの概要

S1C17656は、非同期通信用にUARTモジュールを内蔵しています。2バイトの受信データバッファと1バイトの送信データバッファを備え、連続した送受信が可能です。また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- 転送レート: 150~230,400bps(IrDAモードでは150~115,200bps)
- 転送クロック: 内部クロック(ボーレートジェネレータ出力)または外部クロック(SCLK入力)を選択可能
- データ長: 7または8ビット(LSB先頭)
- パリティモード: 偶数、奇数、パリティなし
- ストップビット: 1または2ビット
- スタートビット: 1ビット固定
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ファインモード(微調整機能)付きボーレートジェネレータを内蔵
- 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、転送終了、受信エラー割り込みを発生可能

図14.1.1に、UARTの構成を示します。

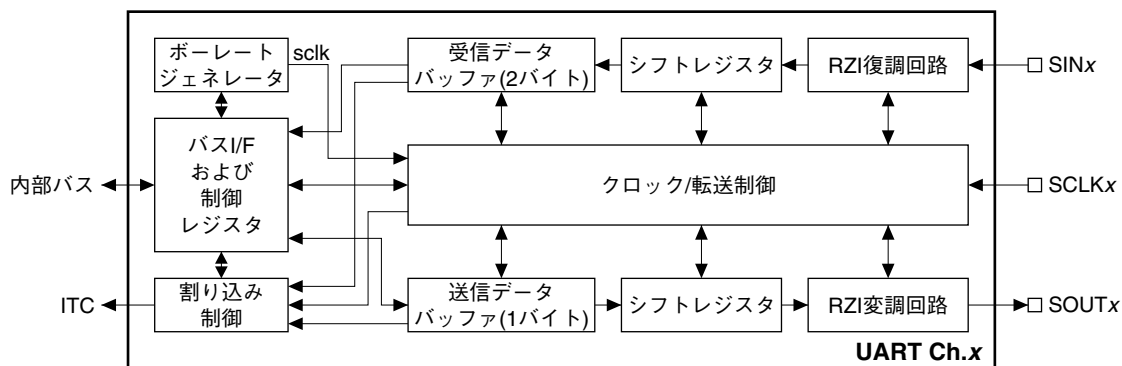


図14.1.1 UARTの構成

注: レジスタ名や端子名の‘x’はチャンネル番号(0)を表します。

例: UART_CTLxレジスタ

Ch.0: UART_CTL0レジスタ

14.2 UART入出力端子

表14.2.1にUARTモジュールの入出力端子の一覧を示します。

表14.2.1 UART端子一覧

端子名	I/O	本数	機能
SIN0 (Ch.0)	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0 (Ch.0)	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK0 (Ch.0)	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合、この端子から入力します。

UARTモジュールの入出力端子(SIN_x、SOUT_x、SCLK_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

14.3 ボーレートジェネレータ

UARTモジュールは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。ボーレートジェネレータはファインモード付き8ビットプログラマブルタイマで構成されます。タイマはソフトウェアで設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。このアンダーフロー信号から転送クロックが生成されます。アンダーフロー周期はクロックソースとカウンタ初期値の選択によりプログラム可能なため、アプリケーションプログラムは任意のシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

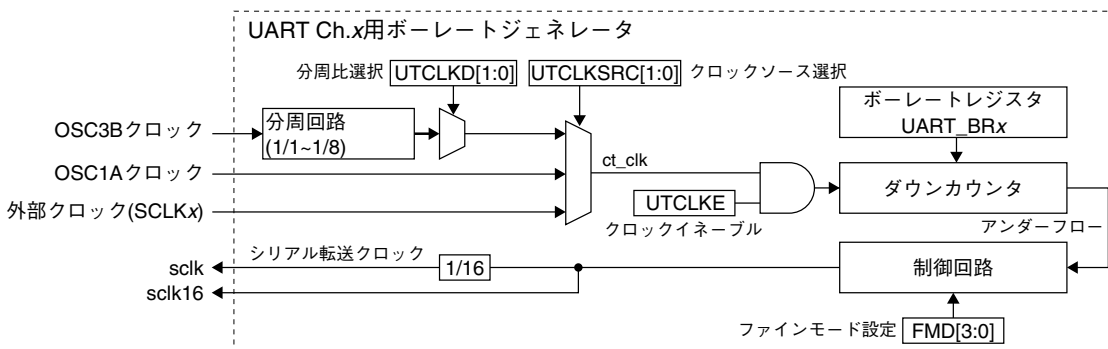


図14.3.1 ボーレートジェネレータ

クロックソースの設定

クロックソースは、UTCLKSRC[1:0]/UART_CLK_xレジスタを使用してOSC3B、OSC1A、外部クロックから選択します。

表14.3.1 クロックソースの選択

UTCLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

注: SCLK_x端子から外部クロックを入力する場合、クロックのデューティ比は50%である必要があります。

OSC3Bをクロックソースとする場合は、UTCLKD[1:0]/UART_CLKxレジスタで分周比を選択します。

表14.3.2 OSC3B分周比の選択

UTCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

カウンタへのクロック供給は、UTCLKE/UART_CLKxレジスタで制御します。UTCLKEのデフォルト設定は0で、クロックの供給は停止しています。UTCLKEを1に設定すると、選択されたクロックがカウンタに送られます。

カウンタ初期値の設定

ダウンカウンタへの初期値の設定には、BR[7:0]/UART_BRxレジスタを使用します。設定したカウンタ初期値は、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。したがって、この初期値とカウントクロック周波数により、アンダーフロー間隔が決まります。

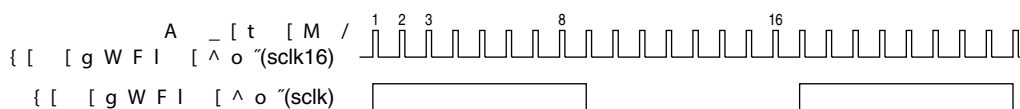


図14.3.2 カウンタのアンダーフローと生成されるクロック

希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\frac{ct_clk}{bps} = \frac{ct_clk}{\{(BR + 1) \times 16 + FMD\}}$$

$$BR = \left(\frac{ct_clk}{bps} - FMD - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

注: UARTの転送レートは最大230,400bps(IrDAモードは115,200bps)に制限されています。これ以上の転送レートは設定しないでください。

ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。クロックソースとカウンタ初期値の適切な選択により、ボーレートジェネレータ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はFMD[3:0]/UART_FMDxレジスタで指定できます。FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表14.3.3 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

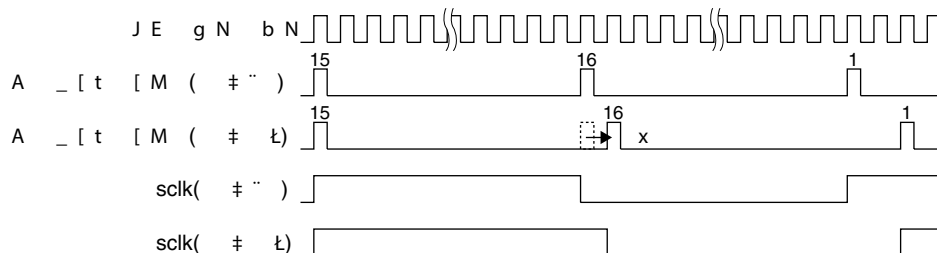


図14.3.3 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、FMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

注: ボーレートジェネレータの設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

14.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

データ長

データ長は、CHLN/UART_MODxレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はSTPB/UART_MODxレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、PREN/UART_MOD_xレジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART_MOD_xレジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

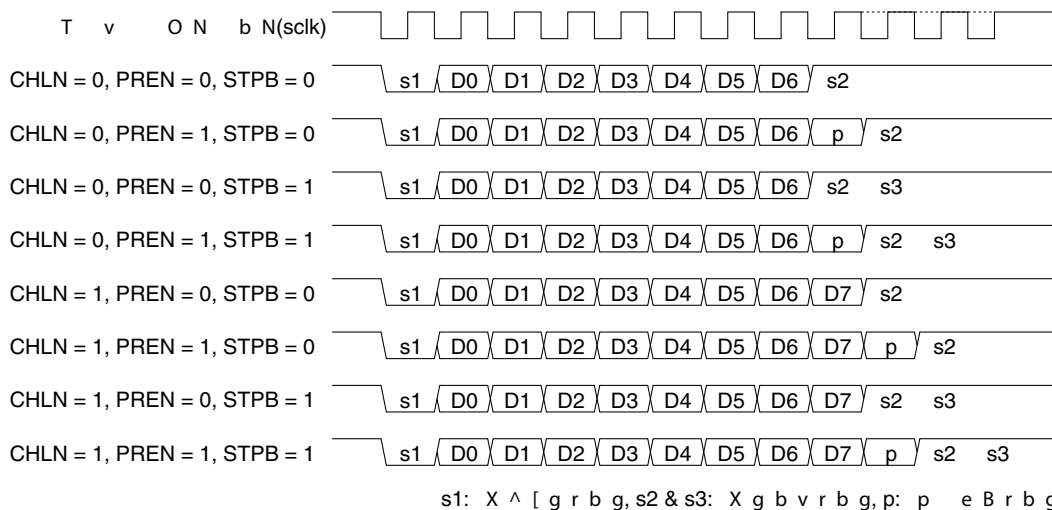


図14.4.1 転送データ形式

14.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。14.3節を参照してください。
- (2) 転送クロックを出力するようにボーレートジェネレータをプログラムします。14.3節を参照してください。
- (3) 転送データ形式を設定します。14.4節を参照してください。
- (4) IrDAインタフェースを使用する場合は、IrDAモードを設定します。14.8節を参照してください。
- (5) UART割り込みを使用する場合は、割り込み条件を設定します。14.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTL_xレジスタ = 0)に行ってください。

データ送受信を許可

最初にRXEN/UART_CTL_xレジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENを0に設定しないでください。

データ送信制御

送信を開始するには、TXD[7:0]/UART_TXD_xレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。

バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT_x端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT_x端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART_STxレジスタ、TRBS/UART_STxレジスタ、TRED/UART_STxレジスタの3つのステータスフラグが用意されています。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(14.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

TREDフラグはTRBSフラグが1から0に戻った時点で1になり、転送動作が終了したことを示します。このフラグが1になった時点で割り込みを発生させることができますので、送信終了処理に利用可能です。TREDは1を書き込むか、あるいはRXEN/UART_CTLxレジスタを0に設定することによりリセットされます。

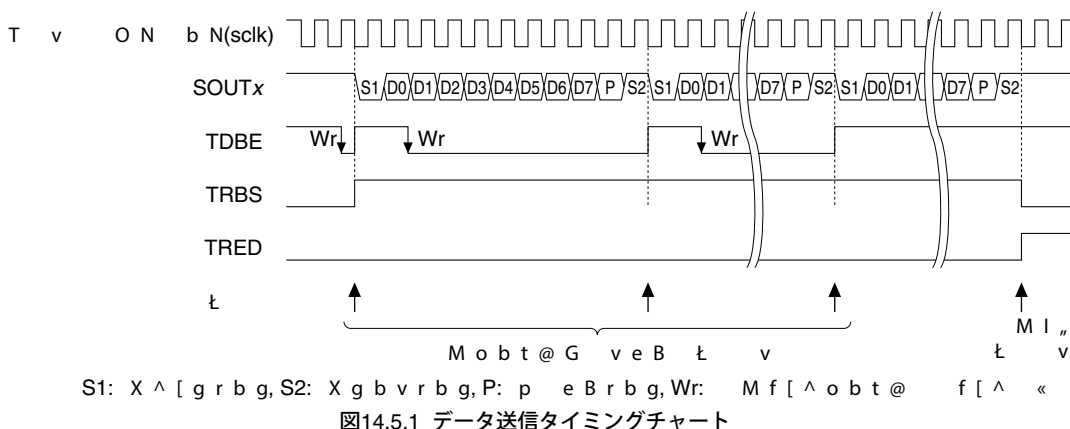


図14.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして送信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART_RXDxレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つのバッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

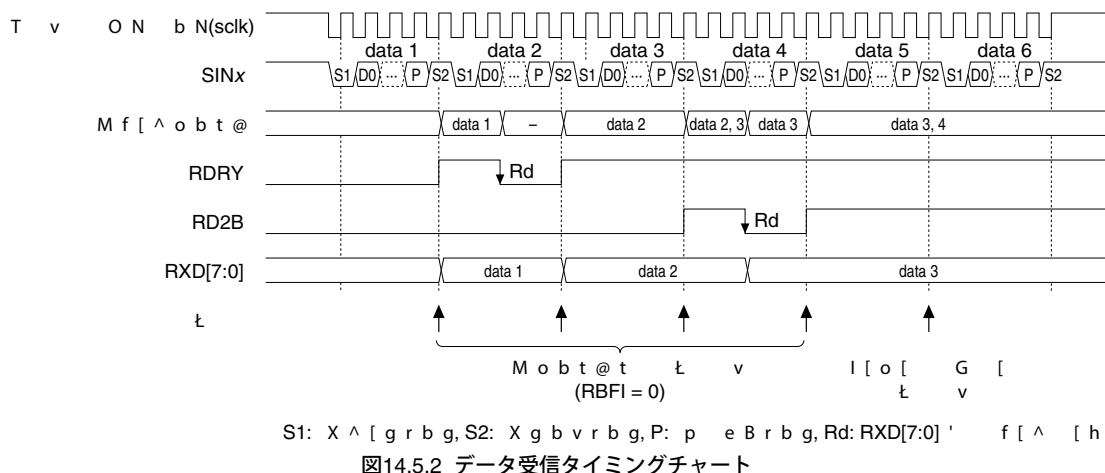
(3) RDRY = 1, RD2B = 1

2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。受信データバッファが読み出されないままその受信が終了した場合はオーバーランエラーが発生し、最後の受信データを読み出すことはできません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、14.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBF/UART_CTLxレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、14.6節を参照してください。



データ送受信を禁止

RXENビットに0を書き込むことで、データ送受信を禁止します。データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。データ送受信状態は通信手順を考慮し、ソフトウェアにより判断してください。ただし、データ送信状態についてはTRBSフラグで判断可能です。

注: RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

14.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。
 受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、14.7節を参照してください。

パリティエラー

PREN/UART_MODxレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART_MODxレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER/UART_STxレジスタが1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグは1を書き込むことによって0にリセットされます。

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグは1を書き込むことによって0にリセットされます。

14.7 UART割り込み

UARTには、以下の4種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 転送終了割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART_CTLxレジスタを1に設定します。TDBE/UART_STxレジスタが1(送信バッファが空)のときにTIENを1に設定するか、TIEN = 1の場合にTDBEが1になると(送信データバッファに書き込まれた送信データがシフトレジスタに転送されて送信データバッファが空になると)、送信バッファエンプティ割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

転送終了割り込み

この割り込みを使用するには、TEIEN/UART_CTLxレジスタを1に設定します。TEIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

TRBSフラグが0にリセットされると、UARTはTRED/UART_STxを1にセットして送信動作が終了したことを示します。転送終了割り込みが許可されていれば(TEIEN = 1)、これと同時に割り込み要求がITCに出力されます。

UART割り込みが転送終了によるものかどうかについては、UART割り込み処理ルーチンでTREDフラグを読み出して確認してください。TREDが1であれば、送信処理を終了できます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART_CTLxレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFU/UART_CTLxレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBFU/UART_CTLxレジスタが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN/UART_CTLxレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、OER/UART_STxレジスタを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

14.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3 × sclk16サイクルに変換された後にSOUTx端子から出力されます。

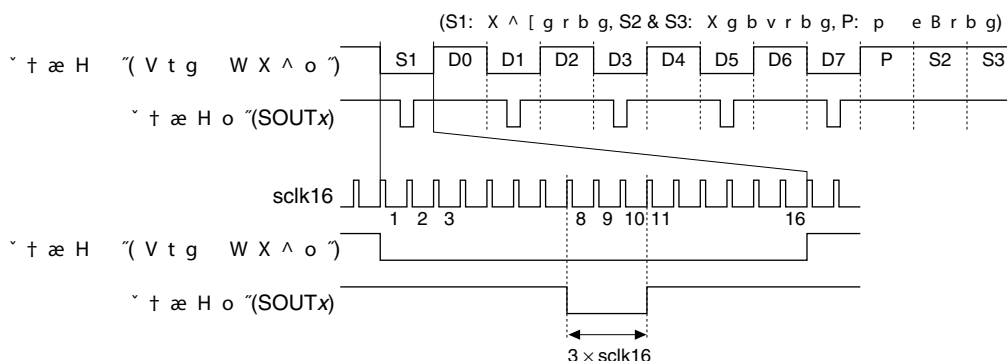


図14.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 × sclk16サイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41μs/115200bps時)を検出するため、復調回路は転送クロックとは別に、パルス検出クロックを使用します。

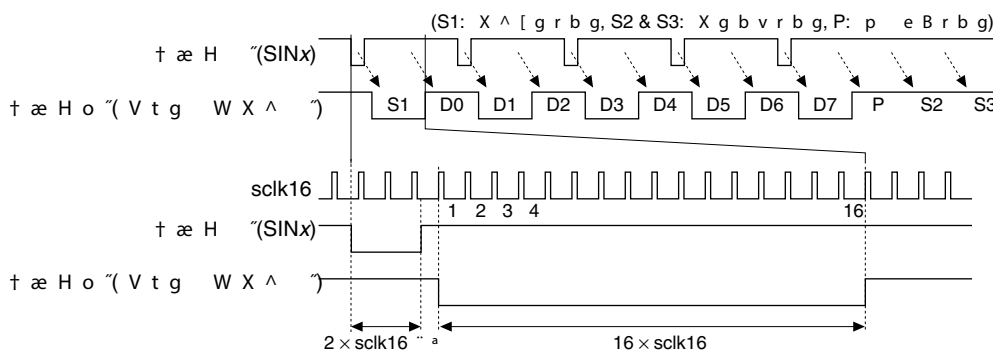


図14.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART_EXPxレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

14.9 制御レジスタ詳細

表14.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機能
0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
0x4106	UART_BR0	UART Ch.0 Baud Rate Register	ボーレートの設定
0x4107	UART_FMD0	UART Ch.0 Fine Mode Register	ファインモードの設定
0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレージェネレータクロックの選択

以下、UARTのレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
 - UART_MODxレジスタのビットすべて(STPB, PMD, PREN, CHLN)
 - UART_CTLxレジスタのRBF1ビット
 - UART_EXPxレジスタのビットすべて(IRMD)
 - UART_BRxレジスタのビットすべて(BR[7:0])
 - UART_FMDxレジスタのビットすべて(FMD[3:0])
 - UART_CLKxレジスタのビットすべて(UTCLKD[1:0], UTCLKSRC[1:0], UTCLKE)

UART Ch.x Status Register (UART_STx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
UART Ch.x Status Register (UART_STx)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 TRED: End of Transmission Flag Bit

送信動作が終了したか否かを示します。

- 1(R): 送信終了
 0(R): 送信中/送信前(デフォルト)
 1(W): 0にリセット
 0(W): 無効

TREDはTRBSフラグが0にリセットされた時点で(送信を終了すると)1にセットされます。
 TREDは1を書き込むことによりリセットされます。

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。
 FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART_MODxレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。
 PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、データをシフトレジスタに受信した時点で受信データバッファが満杯の場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

UART Ch.x Transmit Data Register (UART_TXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Transmit Data Register (UART_TXDx)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。7ビットモードでは、TXD7(MSB)が無効となります。

SOUT_x端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

UART Ch.x Receive Data Register (UART_RXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Receive Data Register (UART_RXDx)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF1/UART_CTLxレジスタで指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

UART Ch.x Mode Register (UART_MODx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.x Mode Register (UART_MODx)	0x4103 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	CHLN	Character length select	1 8 bits	0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W	
		D0	—	reserved	—	—	—	—	0 when being read.

D[7:5] Reserved

D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 Reserved**UART Ch.x Control Register (UART_CTLx)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks		
UART Ch.x Control Register (UART_CTLx)	0x4104 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W		
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W		
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W		
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W		
		D3-2	-	reserved			-	-	-	-		0 when being read.
		D1	RBF1	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W		
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W		

D7 TEIEN: End of Transmission Interrupt Enable Bit

送信終了時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信処理を割り込みによって終了する場合は、このビットを1に設定してください。

D6 REIEN: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBF1の指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBF1: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBF1で指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF1ビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF1が1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

UART Ch.x Expansion Register (UART_EXPx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Expansion Register (UART_EXPx)	0x4105 (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

D[7:1] Reserved**D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

UART Ch.x Baud Rate Register (UART_BRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Baud Rate Register (UART_BRx)	0x4106 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff	0x0	R/W	

D[7:0] BR[7:0]: Baud Rate Setting Bits

ボーレートジェネレータのカウンタ初期値を設定します。(デフォルト: 0x0)

ボーレートジェネレータのカウンタは、このレジスタに設定されたカウンタ初期値からカウンタがアンダーフローするまでのカウントを繰り返して転送(サンプリング)クロックを生成します。希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct_clk}}{\{(BR + 1) \times 16 + \text{FMD}\}}$$

$$\text{BR} = \left(\frac{\text{ct_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

UART Ch.x Fine Mode Register (UART_FMDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Fine Mode Register (UART_FMDx)	0x4107 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.

D[7:4] Reserved**D[3:0] FMD[3:0]: Fine Mode Setup Bits**

転送レートの誤差を補正します。(デフォルト: 0x0)

FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表14.9.2 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

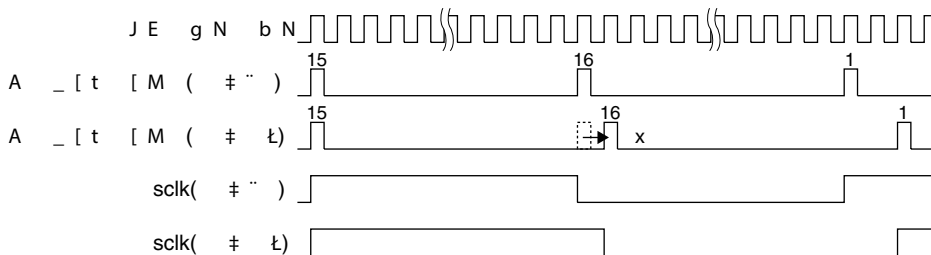


図14.9.1 ファインモードでの遅延サイクルの挿入

UART Ch.x Clock Control Register (UART_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.x Clock Control Register (UART_CLKx)	0x506c (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.	
		D5-4	UTCLKD [1:0]	Clock division ratio select	UTCLKD[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
0x0	1/1								
D3-2	UTCLKSRC [1:0]	Clock source select	UTCLKSRC [1:0]	Clock source	0x0	R/W			
			0x3	External clock					
		0x2	reserved						
		0x1	OSC1A						
		0x0	OSC3B						
		D1	-	reserved	-	-	-	0 when being read.	
		D0	UTCLKE	Count clock enable	1 Enable 0 Disable	0	R/W		

D[7:6] Reserved

D[5:4] UTCLKD[1:0]: Clock Division Ratio Select Bits

OSC3Bをポーレートジェネレータのクロックソースとする場合に、カウントクロックを生成する分周比を選択します。

表14.9.3 OSC3B分周比の選択

UTCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] UTCLKSRC[1:0]: Clock Source Select Bits

ボーレートジェネレータのカウンタクロックソースを選択します。

表14.9.4 クロックソースの選択

UTCLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

D1 Reserved

D0 UTCLKE: Count Clock Enable Bit

ボーレートジェネレータのカウンタへのカウンタクロック供給を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

UTCLKEのデフォルト設定は0で、クロックの供給は停止しています。UTCLKEを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。

15 SPI

15.1 SPIモジュールの概要

S1C17656は、同期式シリアルインタフェースモジュール(SPI)を内蔵しています。SPIモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- マスタモード、スレーブモードに対応
- データ長: 8ビット固定
- MSB先頭、LSB先頭を選択可能
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 全二重通信に対応
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

図15.1.1にSPIモジュールの構成を示します。

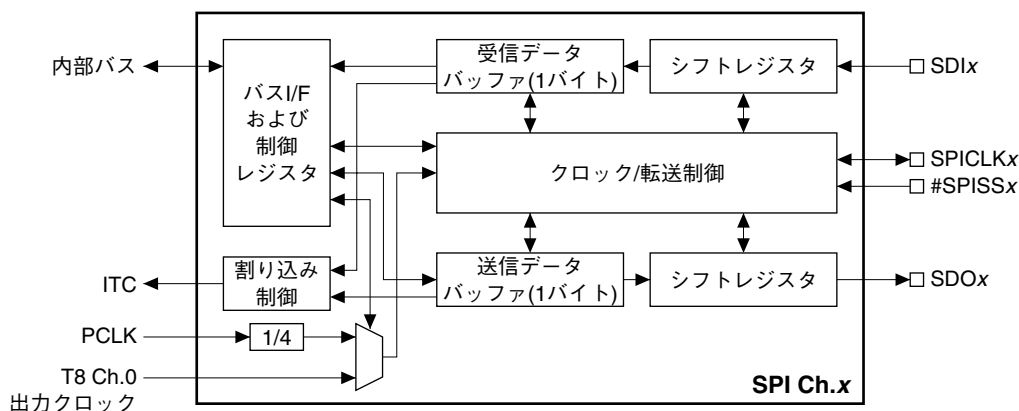


図15.1.1 SPIモジュールの構成

注: レジスタ名と端子名の‘x’はチャンネル番号(0)を表します。

例: SPI_CTLxレジスタ

Ch.0: SPI_CTL0レジスタ

15.2 SPI入出力端子

表15.2.1にSPI端子の一覧を示します。

表15.2.1 SPI端子一覧

端子名	I/O	本数	機能
SDI0 (Ch.0)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO0 (Ch.0)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK0 (Ch.0)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS0 (Ch.0)	I	1	SPIスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

注: マスタモードで使用する場合のスレーブセレクト信号出力には汎用入出力(P)ポートを使用してください。

SPIの入出力端子(SDL_x、SDO_x、SPICLK_x、#SPISS_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

15.3 SPIクロック

マスタモードのSPIは、8ビットタイマ(T8)Ch.0が出力するクロックまたはPCLK/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK_x端子からスレーブデバイスへ出力されます。T8 Ch.0出力クロックとPCLK/4クロックのどちらを使用するかについてはMCLK/SPI_CTL_xレジスタで選択します。MCLKを1に設定するとT8 Ch.0出力クロック、0に設定するとPCLK/4クロックが選択されます。

T8 Ch.0を使用すると、転送レートをプログラマブルに設定できます。T8の制御については、“8ビットタイマ(T8)”の章を参照してください。

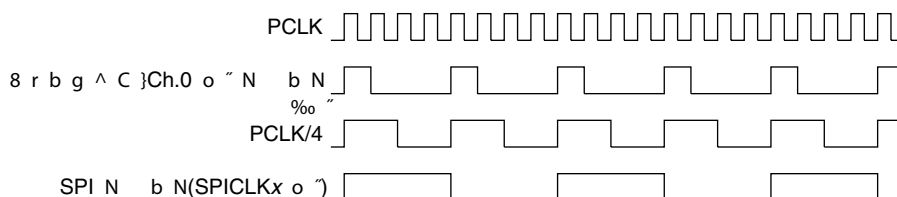


図15.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLK_x端子からSPIクロックを入力します。

15.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI_CTL_xレジスタで設定可能です。

データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI_CTL_xレジスタ = 0)に行ってください。

マスタ/スレーブモードの選択

MSSL/SPI_CTL_xレジスタを使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL/SPI_CTL_xレジスタで選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はCPHA/SPI_CTL_xレジスタで選択します。

これらの制御ビットにより、転送タイミングは図15.4.1のように設定されます。

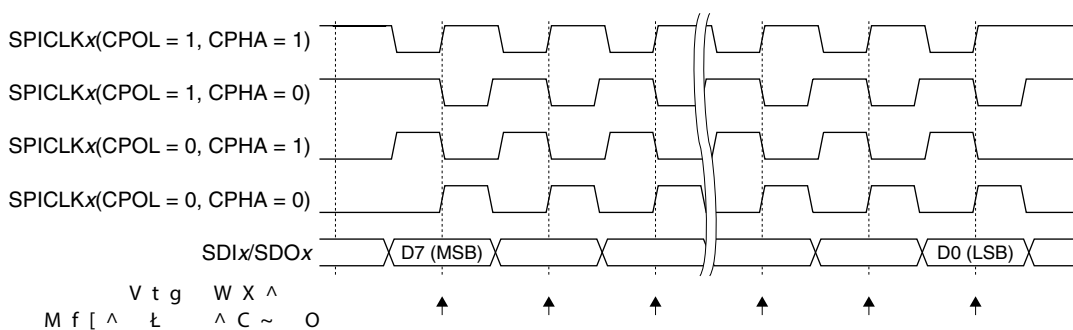


図15.4.1 クロックとデータ転送タイミング

MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSB/SPI_CTLxレジスタで選択します。MLSBが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

15.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックソースを設定します。15.3節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。15.4節を参照してください。
- (3) クロック条件を設定します。15.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。15.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中(SPEN/SPI_CTLxレジスタ = 0)に行ってください。

データ送受信を許可

最初にSPEN/SPI_CTLxレジスタを1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPTDB[7:0]/SPI_TXDxレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。

バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLKx端子からクロックの出力を開始します。スレーブモードではSPICLKx端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA/SPI_CTLxレジスタとCPOL/SPI_CTLxレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図15.4.1参照)、SDOx端子から送信されます。

注: SPI_TXDxレジスタへのデータの書き込みは、必ずSPENが1に設定された状態で行ってください。

SPIモジュールには送信の制御用にSPTBE/SPI_STxレジスタとSPBSY/SPI_STxレジスタの2つのステータスフラグが用意されています。

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXDxレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(15.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。

スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS_x端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

注: SPIをマスターモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになる場合があります。

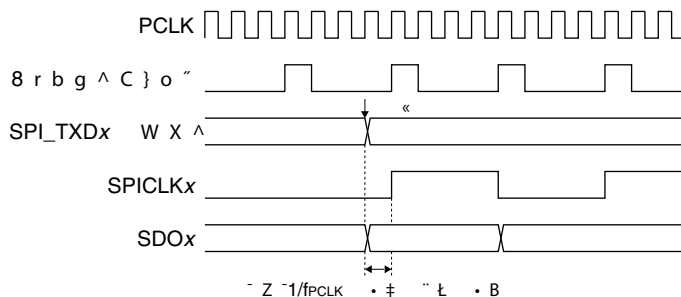


図15.5.1 CPHA = 0時のSDO_xおよびSPICLK_xの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLK_x半周期の長さが確保されます。

データ受信制御

マスターモードの場合、ダミーデータをSPTDB[7:0]/SPI_TXD_xレジスタに書き込みます。SPI_TXD_xレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLK_xからSPIクロック出力を開始します。

注: SPI_TXD_xレジスタへのデータの書き込みは、必ずSPENが1に設定された状態で行ってください。

スレーブモードの場合は、SPICLK_xからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD_xレジスタへの書き込み操作は必要ありません。受信動作はマスターデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD_xレジスタに書き込んでおきます。

データは、CPHA/SPI_CTL_xレジスタとCPOL/SPI_CTL_xレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図15.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPRDB[7:0]/SPI_RXD_xレジスタから読み出すことができます。

SPIモジュールには受信の制御用にSPRBF/SPI_ST_xレジスタが用意されています。

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD_xレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(15.6節参照)。

この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスターモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

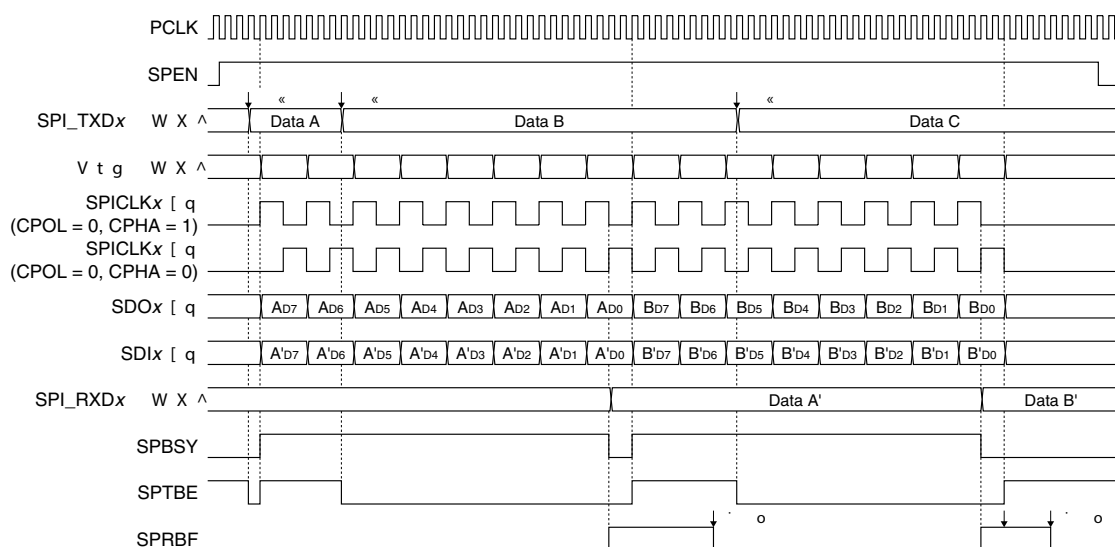


図15.5.2 データ送受信タイミングチャート (MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

15.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンpty割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンpty割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンpty割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンptyによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE/SPI_CTLxレジスタを1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBF/SPI_STxレジスタを1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

15.7 制御レジスタ詳細

表15.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機能
0x4320	SPI_ST0	SPI Ch.0 Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register	送信データ
0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register	受信データ
0x4326	SPI_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SPI Ch.x Status Register (SPI_STx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SPI Ch.x Status Register (SPI_STx)	0x4320 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.	
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 1 ss = L	0 Idle 0 ss = H	0	R	
		D1	SPRBF	Receive data buffer full flag	1 Full	0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty	0 Not empty	1	R	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISSx)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態)(デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISSx信号をアクティブにすると1にセットされます。マスタデバイスが#SPISSx信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXDxレジスタから読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI_TXD_xレジスタ(送信データバッファ)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI_TXD_xレジスタへの送信データの書き込みは、このビットが1の場合に行います。

SPI Ch.x Transmit Data Register (SPI_TXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Transmit Data Register (SPI_TXD _x)	0x4322 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits**

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE/SPI_ST_xレジスタが1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO_x端子からはシリアル変換されたデータが、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXD_xレジスタへの書き込みはSPENを1に設定した後に行ってください。

SPI Ch.x Receive Data Register (SPI_RXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Receive Data Register (SPI_RXD _x)	0x4324 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved**D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF/SPI_ST_xレジスタが1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。SDI_x端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

SPI Ch.x Control Register (SPI_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
SPI Ch.x Control Register (SPI_CTLx)	0x4326 (16 bits)	D15-10	-	reserved		-	-	-	0 when being read.	
		D9	MCLK	SPI clock source select	1	T8 Ch.0	0	PCLK/4	0	R/W
		D8	MSLB	LSB/MSB first mode select	1	LSB	0	MSB	0	R/W
		D7-6	-	reserved		-	-	-	-	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W
		D0	SPEN	SPI enable	1	Enable	0	Disable	0	R/W

注: SPBSYフラグ/SPI_STxレジスタが1の間、およびSPRBFフラグ/SPI_STxレジスタが1の間(データの送受信中)は、SPI_CTLxレジスタにアクセスしないでください。

D[15:10] Reserved

D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 8ビットタイマCh.0

0(R/W): PCLK/4(デフォルト)

D8 **MSLB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

D[7:6] Reserved

D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

D3 **CPHA: Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト: 0)

CPOLと共に、データ転送タイミングを設定します(図15.7.1参照)。

D2 **CPOL: Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHAと共に、データ転送タイミングを設定します(図15.7.1参照)。

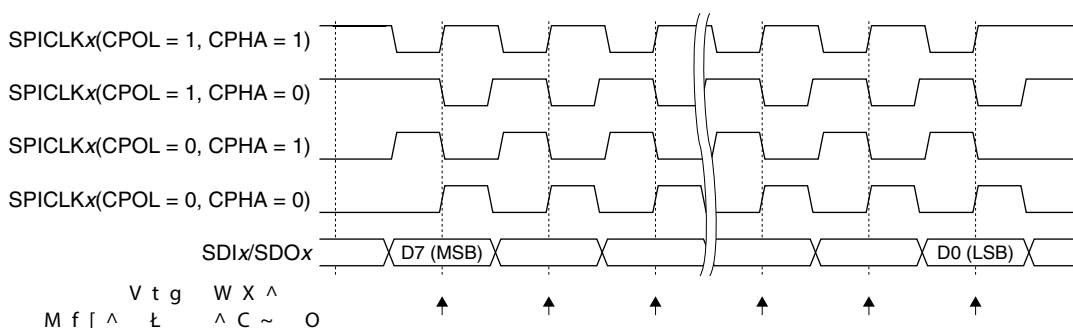


図15.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

16 LCDドライバ(LCD)

16.1 LCDモジュールの概要

S1C17656は最大128セグメント(32セグメント×4コモン)のLCDパネルを駆動可能なLCDドライバを内蔵しています。

以下にLCDドライバの機能と特長を示します。

- SEG、COM本数 32SEG×4/3/2/1COM
- 駆動バイアス 1/3バイアス
- 表示データRAM 32バイト
- フレーム周波数切り換え 4段階の設定が可能
- 液晶表示機能 通常表示
全点灯
全消灯
白黒反転表示
- その他機能 LFRO信号出力、フレーム割り込み

図16.1.1にLCDドライバと駆動電源の構成を示します。

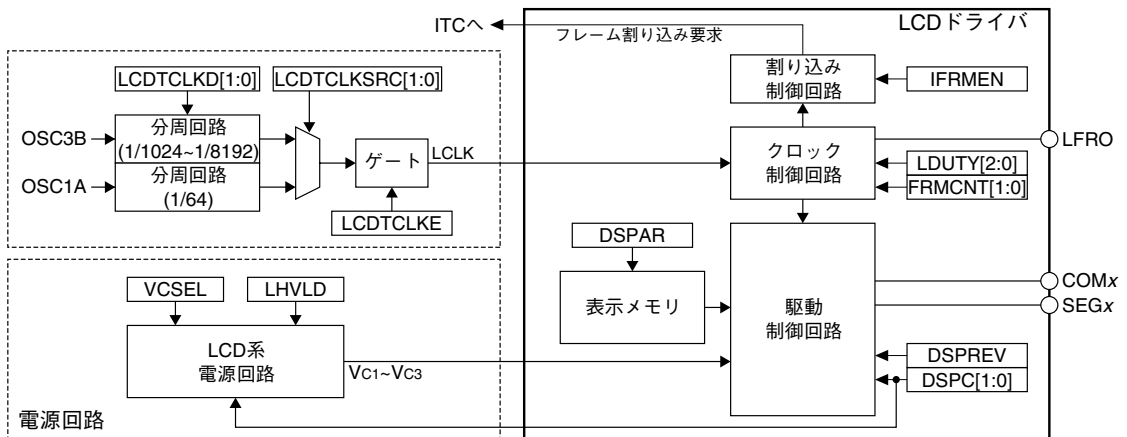


図16.1.1 LCDドライバと駆動電源の構成

16.2 LCD電源

LCD系の駆動電圧 $V_{c1} \sim V_{c3}$ は、チップ内部のLCD系電源回路を使用して発生します。外部より印加する必要はありません。LCD電源の詳細については、“電源”の章を参照してください。

16.3 LCDクロック

LCDクロックの供給システムを図16.3.1に示します。

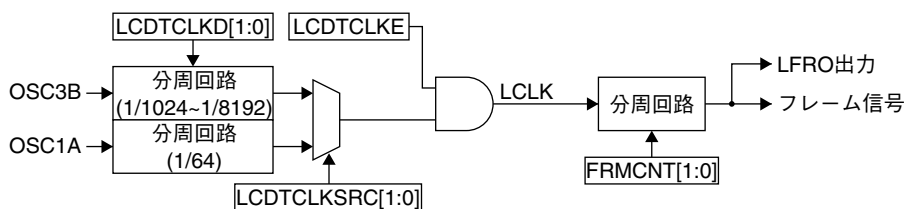


図16.3.1 LCDクロックシステム

16.3.1 LCD動作クロック(LCLK)

クロックソースの選択

クロックソースは、LCDTCLKSRC[1:0]/LCD_TCLKレジスタを使用し、OSC3B、OSC1Aから選択します。

表16.3.1.1 クロックソースの選択

LCDTCLKSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

クロック分周比の選択

クロックソースがOSC1Aの場合

OSC1Aをクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1Aを1/64に分周したクロック(Typ. 512Hz)がLCLKとして使用されます。

クロックソースがOSC3Bの場合

OSC3Bをクロックソースとして選択した場合、LCDTCLKD[1:0]/LCD_TCLKレジスタで分周比を選択します。

表16.3.1.2 クロック分周比の選択

LCDTCLKD[1:0]	分周比
0x3	1/8192
0x2	1/4096
0x1	1/2048
0x0	1/1024

(デフォルト: 0x0)

LCLK周波数が512Hzに最も近くなる分周比を選択してください。

クロックイネーブル

LCLKの供給は、LCDTCLKE/LCD_TCLKレジスタで制御します。LCDTCLKEのデフォルト設定は0で、クロックの供給は停止しています。LCDTCLKEを1に設定すると、上記のとおり生成されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

LCLKが供給されていないと、LCD表示はできません。ただし、LCLKが停止している場合でもLCDドライバのレジスタと表示メモリはアクセス可能です。

注: クロック分周比は、必ずLCDTCLKEを0に設定して選択してください。

16.3.2 フレーム信号

LCDドライバはLCLKを分周してフレーム信号を生成します。クロックの分周比はFRMCNT[1:0]/LCD_CCTLレジスタで設定できます。なお、図16.4.2.1～16.4.2.4に示す1フレームが、設定したフレーム周波数の1サイクルとなります。

表16.3.2.1と16.3.2.2にフレーム周波数を示します。

クロックソースがOSC1Aの場合

表16.3.2.1 フレーム周波数の設定(クロックソースがOSC1A = 32.768kHz(LCLK = 512Hz)の場合)

駆動デューティ (LDUTY[2:0]設定値)	FRMCNT[1:0]設定値(LCLK分周比)			
	0x0	0x1	0x2	0x3
1/4デューティ (0x3)	128Hz (1/4)	64Hz (1/8) *	42.67Hz (1/12)	32Hz (1/16)
1/3デューティ (0x2)	85.33Hz (1/6)	56.89Hz (1/9)	42.67Hz (1/12)	34.13Hz (1/15)
1/2デューティ (0x1)	128Hz (1/4)	64Hz (1/8)	42.67Hz (1/12)	32Hz (1/16)
スタティック (0x0)	128Hz (1/4)	64Hz (1/8)	42.67Hz (1/12)	32Hz (1/16)

* デフォルト設定

クロックソースがOSC3Bの場合

表16.3.2.2 フレーム周波数の設定(クロックソースがOSC3Bの場合)

駆動デューティ (LDUTY[2:0]設定値)	FRMCNT[1:0]設定値			
	0x0	0x1	0x2	0x3
1/4デューティ (0x3)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$ *	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$
1/3デューティ (0x2)	$\frac{f_{OSC3B} \times LCDTCLKD}{6}$	$\frac{f_{OSC3B} \times LCDTCLKD}{9}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{15}$
1/2デューティ (0x1)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$
スタティック (0x0)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$

* デフォルト設定

f_{OSC3B}: OSC3Bクロック周波数

LCDTCLKD: OSC3B分周比(1/1024～1/8192)

また、生成したフレーム信号をLFRO端子から外部デバイスに出力可能です。ただし、初期設定で入出力ポート用になるLFRO端子をポート機能選択ビットでLFRO出力用に切り換えておく必要があります。端子機能の切り換えについては、“入出力ポート(P)”の章を参照してください。

16.4 駆動デューティ制御

16.4.1 駆動デューティの切り換え

駆動デューティはLDUTY[2:0]/LCD_CCTLレジスタにより1/4、1/3、1/2、またはスタティック駆動に切り換えることができます。表16.4.1.1にLDUTY[2:0]の設定と駆動デューティ、最大表示セグメント数の対応を示します。

表16.4.1.1 駆動デューティの設定

LDUTY[2:0]	デューティ	有効COM端子	有効SEG端子	最大表示セグメント数
0x7～0x4	Reserved	—	—	—
0x3	1/4	COM0～COM3	SEG0～SEG31	128セグメント
0x2	1/3	COM0～COM2	SEG0～SEG31	96セグメント
0x1	1/2	COM0～COM1	SEG0～SEG31	64セグメント
0x0	スタティック	COM0	SEG0～SEG31	32セグメント

(デフォルト: 0x3)

駆動デューティの設定にかかわらず、駆動バイアスは1/3(V_{C1}、V_{C2}、V_{C3}の3電位)に固定されています。

16.4.2 駆動波形

図16.4.2.1～16.4.2.4に、駆動デューティ別の駆動波形を示します。

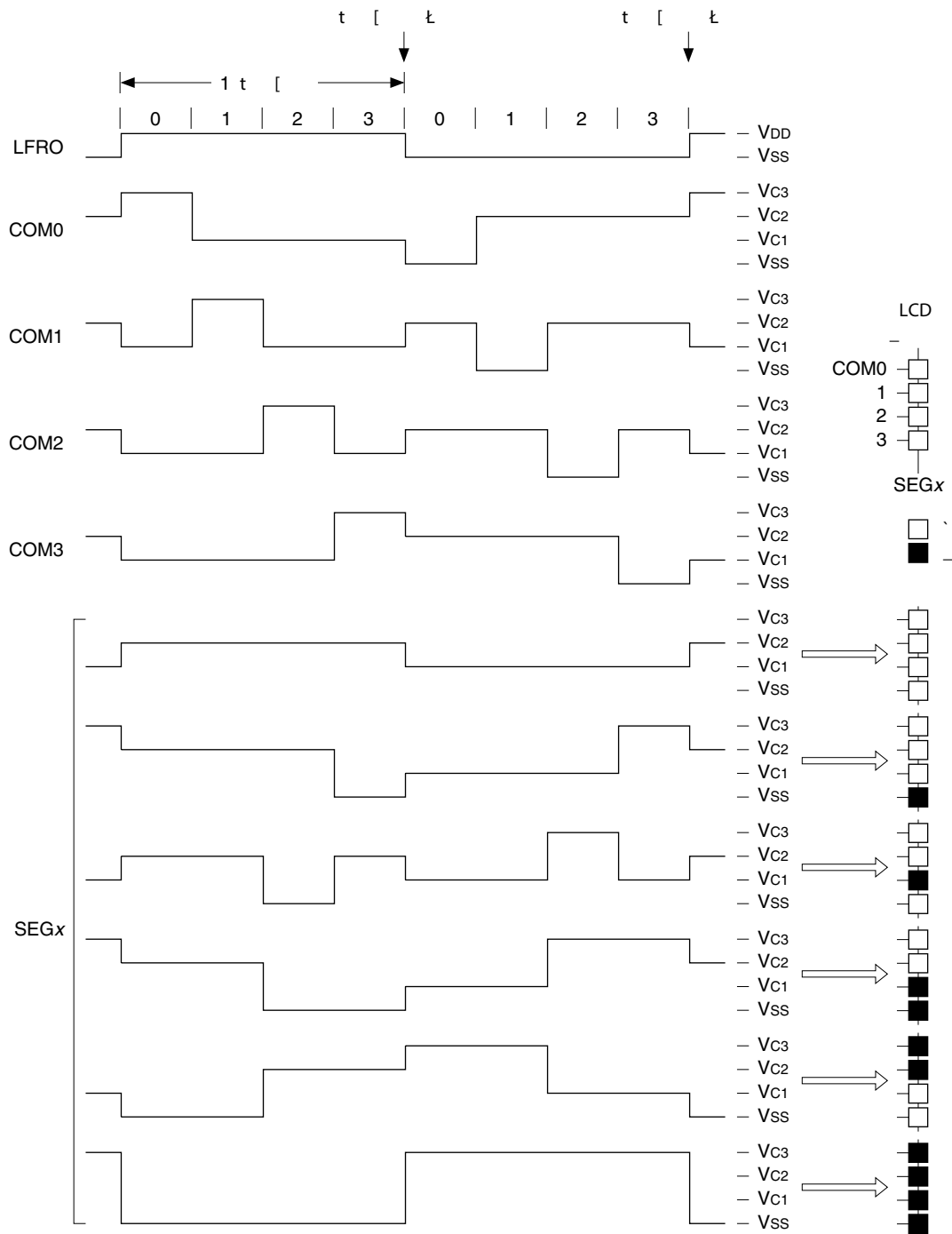


図16.4.2.1 1/4デューティ駆動波形

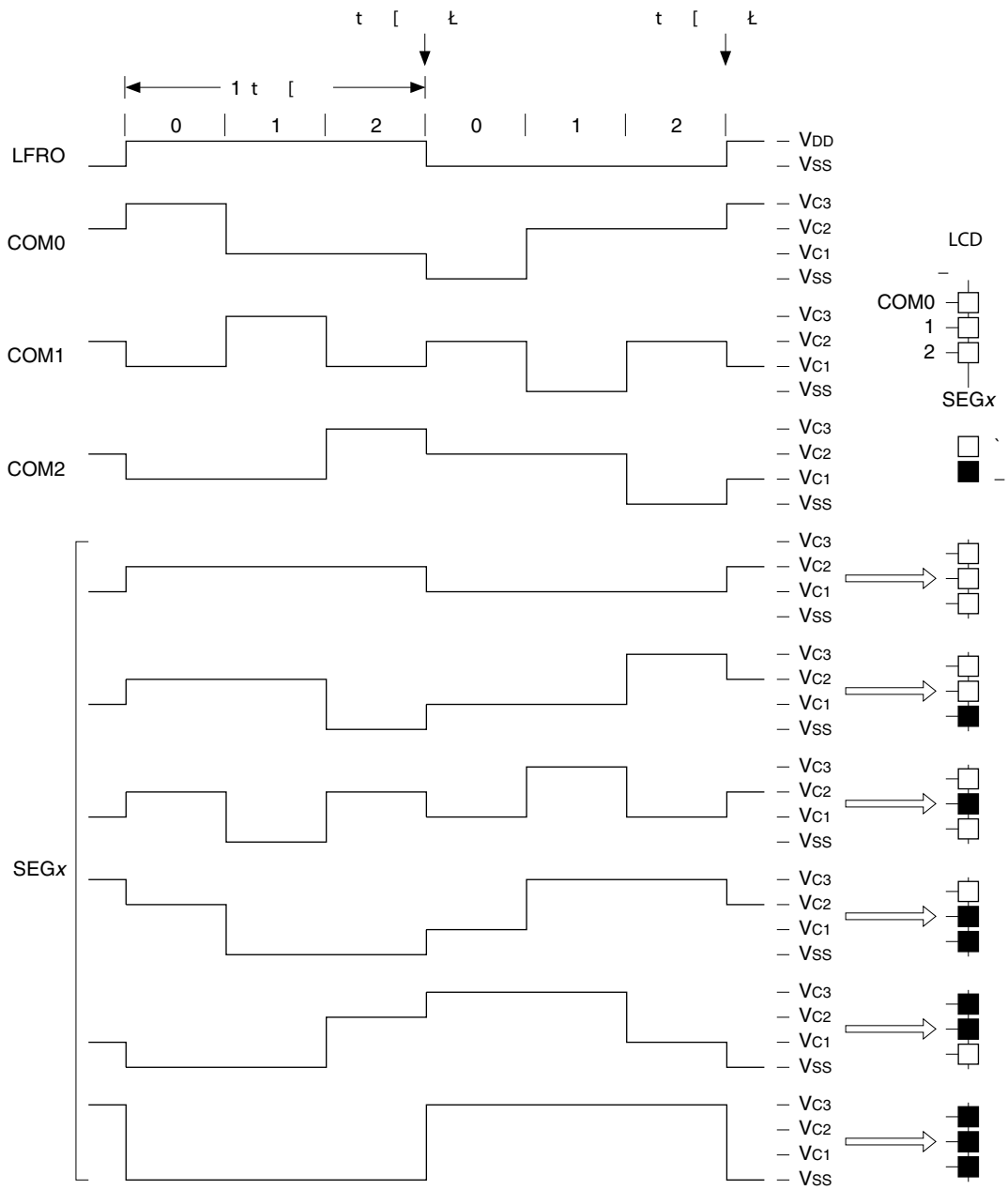


図16.4.2.2 1/3デューティ駆動波形

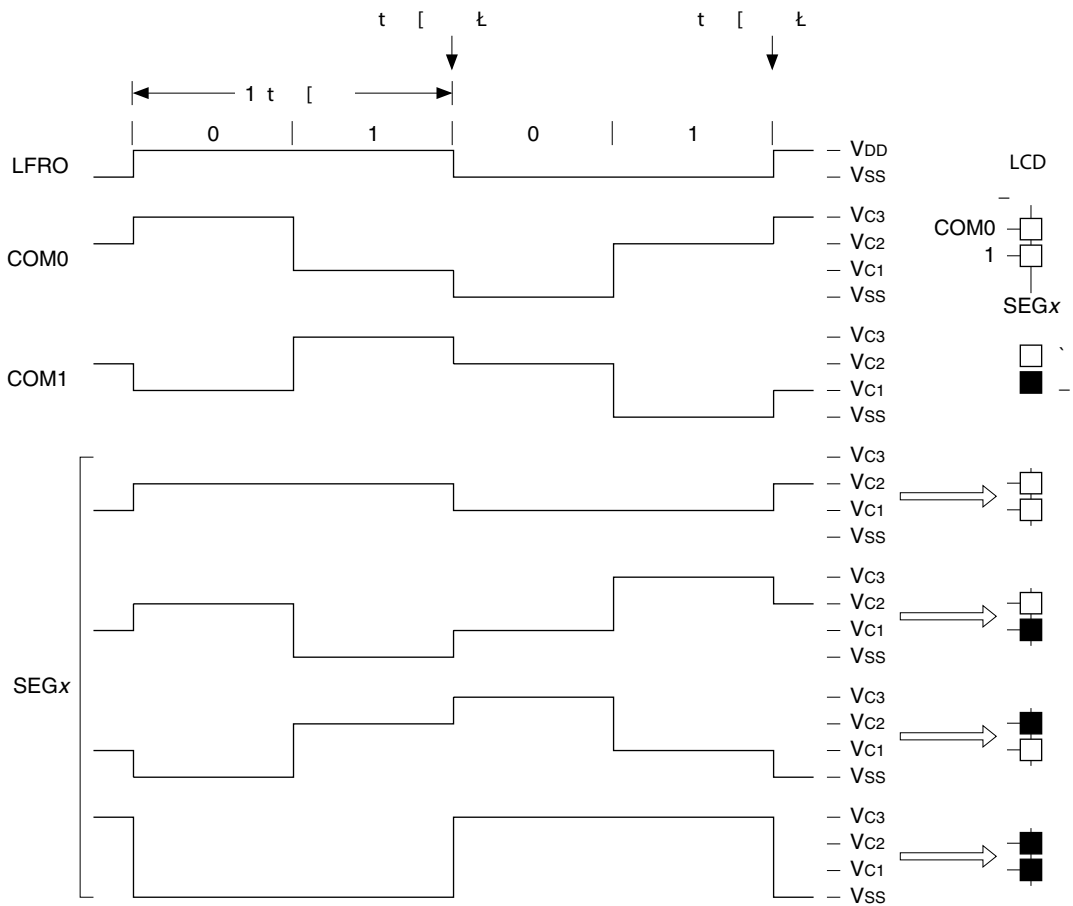


図16.4.2.3 1/2デューティ駆動波形

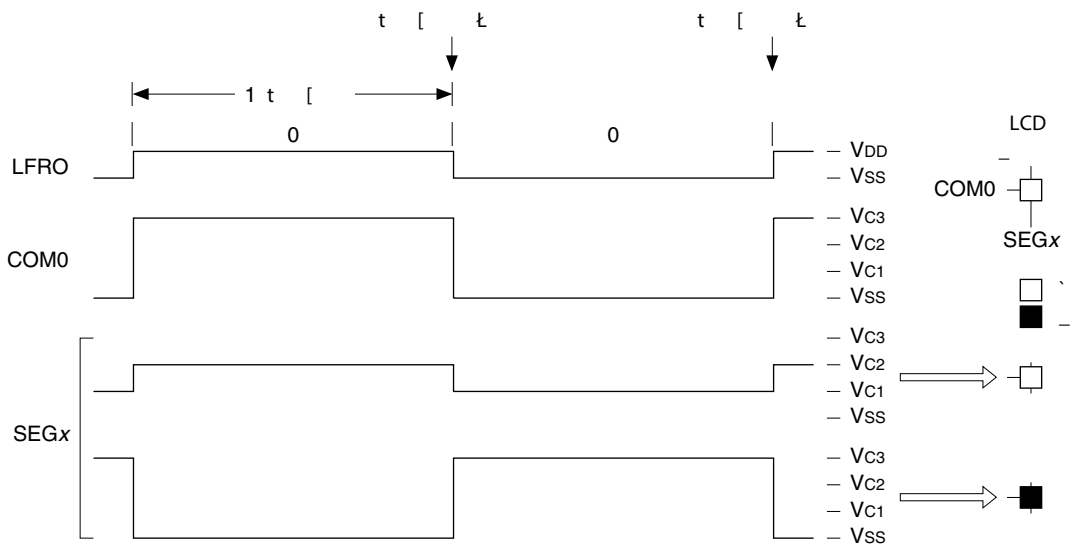


図16.4.2.4 スタティック駆動波形

16.5 表示メモリ

S1C17656は32バイト(アドレス0x53c0~0x53df)の表示メモリを内蔵しています。

駆動デューティごとの表示メモリとCOM/SEG端子の対応を図16.5.1~16.5.4に示します。

LCDパネル上のセグメントに対応する表示メモリのビットに1を書き込むとそのセグメントがOnし、0を書き込むとOffします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

表示メモリ中(D[3:0])で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

ビット	アドレス																																COM 端子				
	0x53c0	0x53c1	0x53c2	0x53c3	0x53c4	0x53c5	0x53c6	0x53c7	0x53c8	0x53c9	0x53ca	0x53cb	0x53cc	0x53cd	0x53ce	0x53cf	0x53d0	0x53d1	0x53d2	0x53d3	0x53d4	0x53d5	0x53d6	0x53d7	0x53d8	0x53d9	0x53da	0x53db	0x53dc	0x53dd	0x53de	0x53df					
D0																																				COM0	
D1																																					COM1
D2																																					COM2
D3																																					COM3
D4	未実装領域(読み出し時:0)																																-				
D5																																	-				
D6																																	-				
D7																																	-				
SEG 端子	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15	SEG16	SEG17	SEG18	SEG19	SEG20	SEG21	SEG22	SEG23	SEG24	SEG25	SEG26	SEG27	SEG28	SEG29	SEG30	SEG31					

図16.5.1 表示メモリマップ(1/4デューティ)

ビット	アドレス																																COM 端子				
	0x53c0	0x53c1	0x53c2	0x53c3	0x53c4	0x53c5	0x53c6	0x53c7	0x53c8	0x53c9	0x53ca	0x53cb	0x53cc	0x53cd	0x53ce	0x53cf	0x53d0	0x53d1	0x53d2	0x53d3	0x53d4	0x53d5	0x53d6	0x53d7	0x53d8	0x53d9	0x53da	0x53db	0x53dc	0x53dd	0x53de	0x53df					
D0																																				COM0	
D1																																					COM1
D2																																					COM2
D3	未使用領域(汎用メモリ)																																-				
D4	未実装領域(読み出し時:0)																																-				
D5																																	-				
D6																																	-				
D7																																	-				
SEG 端子	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15	SEG16	SEG17	SEG18	SEG19	SEG20	SEG21	SEG22	SEG23	SEG24	SEG25	SEG26	SEG27	SEG28	SEG29	SEG30	SEG31					

図16.5.2 表示メモリマップ(1/3デューティ)

ビット	アドレス																																COM 端子				
	0x53c0	0x53c1	0x53c2	0x53c3	0x53c4	0x53c5	0x53c6	0x53c7	0x53c8	0x53c9	0x53ca	0x53cb	0x53cc	0x53cd	0x53ce	0x53cf	0x53d0	0x53d1	0x53d2	0x53d3	0x53d4	0x53d5	0x53d6	0x53d7	0x53d8	0x53d9	0x53da	0x53db	0x53dc	0x53dd	0x53de	0x53df					
D0																																				COM0	
D1																																					COM1
D2	未使用領域(汎用メモリ)																																-				
D3	未実装領域(読み出し時:0)																																-				
D4																																	-				
D5																																	-				
D6																																	-				
D7	-																																				
SEG 端子	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15	SEG16	SEG17	SEG18	SEG19	SEG20	SEG21	SEG22	SEG23	SEG24	SEG25	SEG26	SEG27	SEG28	SEG29	SEG30	SEG31					

図16.5.3 表示メモリマップ(1/2デューティ)

ビット	アドレス																															COM 端子					
	0x53c0	0x53c1	0x53c2	0x53c3	0x53c4	0x53c5	0x53c6	0x53c7	0x53c8	0x53c9	0x53ca	0x53cb	0x53cc	0x53cd	0x53ce	0x53cf	0x53d0	0x53d1	0x53d2	0x53d3	0x53d4	0x53d5	0x53d6	0x53d7	0x53d8	0x53d9	0x53da	0x53db	0x53dc	0x53dd	0x53de		0x53df				
D0																																				表示領域	COM0
D1	未使用領域(汎用メモリ)																															-					
D2																																-					
D3																																-					
D4																																-					
D5	未実装領域(読み出し時: 0)																															-					
D6																																-					
D7																																-					
SEG 端子	SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15	SEG16	SEG17	SEG18	SEG19	SEG20	SEG21	SEG22	SEG23	SEG24	SEG25	SEG26	SEG27	SEG28	SEG29	SEG30	SEG31					

図16.5.4 表示メモリマップ(スタティック駆動)

16.6 表示の制御

16.6.1 表示のOn/Off

LCDの表示状態はDSPIC[1:0]/LCD_DCTLレジスタによって制御します。

表16.6.1.1 LCD表示制御

DSPIC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の表示を行うには、DSPIC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(16.3節参照)。

表示Offを選択した場合、LCD系電源回路からの駆動電圧の供給が停止し、V_{C1}~V_{C3}端子はすべてV_{SS}レベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、COM端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPIC[1:0]は0x0(表示Off)にリセットされます。

s1p命令実行時もDSPIC[1:0]は0x0にリセットされ、SLEEPモードの解除後に元の設定値に戻ります。

16.6.2 反転表示

表示メモリを変更せずに制御ビットの操作のみでLCDの表示を反転(白黒反転)させることができます。DSPREV/LCD_DCTLレジスタを0に設定すると表示が反転し、1にすると通常の表示に戻ります。

ただし、DSPIC[1:0]/LCD_DCTLレジスタで全消灯を選択している場合は、表示が反転しません。全点灯選択時はDSPREVにより表示が反転します。

16.7 LCD割り込み

LCDモジュールには、フレーム信号によって割り込みを発生させる機能があります。

フレーム割り込み

この割り込み要求は、1フレームごとに発生し、LCDモジュール内の割り込みフラグIFRMFLG/LCD_IFLGレジスタを1にセットします。割り込みのタイミングは図16.4.2.1～16.4.2.4を参照してください。この割り込みを使用するには、IFRMEN/LCD_IMSKレジスタを1に設定します。IFRMENが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。

IFRMENが1(割り込み許可)に設定されている状態で、IFRMFLGが1にセットされるとLCDモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- LCD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグIFRMFLGをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、IFRMENによってLCD割り込みを許可する前に、IFRMFLGをリセットしてください。

16.8 制御レジスタ詳細

表16.8.1 LCDレジスタ一覧

アドレス	レジスタ名		機能
0x5070	LCD_TCLK	LCD Timing Clock Select Register	LCDクロックの選択
0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
0x50a2	LCD_CCTL	LCD Clock Control Register	LCD駆動デューティの選択
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	Vc定電圧回路の制御
0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、LCDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

LCD Timing Clock Select Register (LCD_TCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
LCD Timing Clock Select Register (LCD_TCLK)	0x5070 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.			
		D5-4	LCDTCLKD [1:0]	LCD clock division ratio select	LCDTCLKD [1:0]	Division ratio		0x0	R/W		
						OSC3B	OSC1A				
						0x3	1/8192				1/64
						0x2	1/4096				1/64
0x1	1/2048	1/64									
0x0	1/1024	1/64									
D3-2	LCDTCLK SRC[1:0]	LCD clock source select	LCDTCLK SRC[1:0]	Clock source	0x0	R/W					
								0x3, 0x2	reserved		
		0x1	OSC1A								
		0x0	OSC3B								
D1	–	reserved	–	–	–	–	0 when being read.				
D0	LCDTCLKE	LCD clock enable	1	Enable	0	Disable	0	R/W			

D[7:6] Reserved

D[5:4] LCDTCLKD[1:0]: LCD Clock Division Ratio Select Bits

LCDクロックソースとしてOSC3Bを選択した場合に、分周比を選択します。

表16.8.2 クロック分周比の選択

LCDTCLKD[1:0]	分周比
0x3	1/8192
0x2	1/4096
0x1	1/2048
0x0	1/1024

(デフォルト: 0x0)

OSC1Aをクロックソースとして選択した場合、分周比を選択する操作は不要です(1/64固定)。

D[3:2] LCDTCLKSRC[1:0]: LCD Clock Source Select Bits

LCDクロックソースを選択します。

表16.8.3 クロックソースの選択

LCDTCLKSRC[1:0]	クロックソース
0x3, 0x2	Reserved
0x1	OSC1A
0x0	OSC3B

(デフォルト: 0x0)

D1 Reserved**D0 LCDTCLKE: LCD Clock Enable Bit**

LCDドライバへのLCDクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

LCDTCLKEのデフォルト設定は0で、クロックの供給は停止しています。LCDTCLKEを1に設定すると、LCDクロックがLCDドライバに送られます。LCD表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

LCD Display Control Register (LCD_DCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.		
		D4	DSPREV	Reverse display control	1 Normal 0 Reverse	1	R/W			
		D3-2	-	reserved	-	-	-	0 when being read.		
		D1-0	DSPC[1:0]	LCD display control	DSPC[1:0] Display	0x0	All off	0x0	R/W	
					0x3	All on				
0x2	Normal display									
0x0	Display off									

D[7:5] Reserved**D4 DSPREV: Reverse Display Control Bit**

LCD上の表示を反転(ネガ表示)します。

1(R/W): 通常表示(デフォルト)

0(R/W): 反転表示

DSPREVを0に設定するとLCDパネル上の表示が白黒反転します。1に設定すると通常の表示を行います。この操作は、表示メモリには影響を与えません。

D[3:2] Reserved**D[1:0] DSPC[1:0]: LCD Display Control Bits**

LCDの表示を制御します。

表16.8.4 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の表示を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(16.3節参照)。

表示Offを選択した場合、LCD系電源回路からの駆動電圧の供給が停止し、Vc1～Vc3端子はすべてVssレベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、COM端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます。slp命令実行時もDSPC[1:0]は0x0にリセットされ、SLEEPモードの解除後に元の設定値に戻ります。

LCD Clock Control Register (LCD_CCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7-6	FRMCNT[1:0]	Frame frequency control	FRMCNT[1:0]	Division ratio	0x1	R/W	Source clock: LCLK
					0x3	1/16			
					0x2	1/12			
					0x1	1/8			
			0x0	1/4					
		D5-3	-	reserved	-	-	-	0 when being read.	
		D2-0	LDUTY[2:0]	LCD duty select	LDUTY[2:0]	Duty	0x3	R/W	
					0x7-0x4	reserved			
					0x3	1/4			
					0x2	1/3			
					0x1	1/2			
					0x0	Static			

D[7:6] FRMCNT[1:0]: Frame Frequency Control Bits

フレーム周波数を設定します。

表16.8.5 フレーム周波数の設定(クロックソースがOSC1A = 32.768kHz (LCLK = 512Hz)の場合)

駆動デューティ (LDUTY[2:0]設定値)	FRMCNT[1:0]設定値(LCLK分周比)			
	0x0	0x1	0x2	0x3
1/4デューティ (0x3)	128Hz (1/4)	64Hz (1/8) *	42.67Hz (1/12)	32Hz (1/16)
1/3デューティ (0x2)	85.33Hz (1/6)	56.89Hz (1/9)	42.67Hz (1/12)	34.13Hz (1/15)
1/2デューティ (0x1)	128Hz (1/4)	64Hz (1/8)	42.67Hz (1/12)	32Hz (1/16)
スタティック (0x0)	128Hz (1/4)	64Hz (1/8)	42.67Hz (1/12)	32Hz (1/16)

* デフォルト設定

表16.8.6 フレーム周波数の設定(クロックソースがOSC3Bの場合)

駆動デューティ (LDUTY[2:0]設定値)	FRMCNT[1:0]設定値			
	0x0	0x1	0x2	0x3
1/4デューティ (0x3)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$ *	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$
1/3デューティ (0x2)	$\frac{f_{OSC3B} \times LCDTCLKD}{6}$	$\frac{f_{OSC3B} \times LCDTCLKD}{9}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{15}$
1/2デューティ (0x1)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$
スタティック (0x0)	$\frac{f_{OSC3B} \times LCDTCLKD}{4}$	$\frac{f_{OSC3B} \times LCDTCLKD}{8}$	$\frac{f_{OSC3B} \times LCDTCLKD}{12}$	$\frac{f_{OSC3B} \times LCDTCLKD}{16}$

* デフォルト設定

f_{OSC3B}: OSC3Bクロック周波数

LCDTCLKD: OSC3B分周比 (1/1024~1/8192)

D[5:3] Reserved

D[2:0] LDUTY[2:0]: LCD Duty Select Bits

駆動デューティを選択します。

表16.8.7 駆動デューティの設定

LDUTY[2:0]	デューティ	有効COM端子	有効SEG端子	最大表示セグメント数
0x7~0x4	Reserved	—	—	—
0x3	1/4	COM0~COM3	SEG0~SEG31	128セグメント
0x2	1/3	COM0~COM2	SEG0~SEG31	96セグメント
0x1	1/2	COM0~COM1	SEG0~SEG31	64セグメント
0x0	スタティック	COM0	SEG0~SEG31	32セグメント

(デフォルト: 0x3)

LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	LHVLD	Vc heavy load protection mode	1 On	0 Off	0	R/W	
		D3-1	—	reserved	—	—	—	—	0 when being read.
		D0	VCSEL	Reference voltage select	1 Vc2	0 Vc1	0	R/W	

制御ビットの詳細については、“電源”の章内の“LCD Voltage Regulator Control Register (LCD_VREG)”を参照してください。

LCD Interrupt Mask Register (LCD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	IFRMEN	Frame signal interrupt enable	1 Enable	0 Disable	0	R/W

D[7:1] Reserved**D0 IFRMEN: Frame Signal Interrupt Enable Bit**

フレーム割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

IFRMENを1に設定するとITCへのLCD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

LCD Interrupt Flag Register (LCD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	IFRMFLG	Frame signal interrupt flag	1 Occurred	0 Not occurred	0	R/W

D[7:1] Reserved**D0 IFRMFLG: Frame Signal Interrupt Flag Bit**

フレーム割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

IFRMFLGはフレーム信号の立ち上がりエッジでセットされ、1の書き込みによりリセットされます。

17 サウンドジェネレータ (SND)

17.1 SNDモジュールの概要

S1C17656はブザー信号を発生するサウンドジェネレータ (SND) を内蔵しています。

主な機能を以下に示します。

- ブザー反転、非反転出力端子により圧電ブザーを駆動可能
- ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定可能
- デューティ比制御によるデジタルエンベロープ付加機能 (4種類の減衰時間を選択可能)
- 1ショット出力機能 (4種類の出力時間を選択可能)

図17.1.1にSNDモジュールの構成を示します。

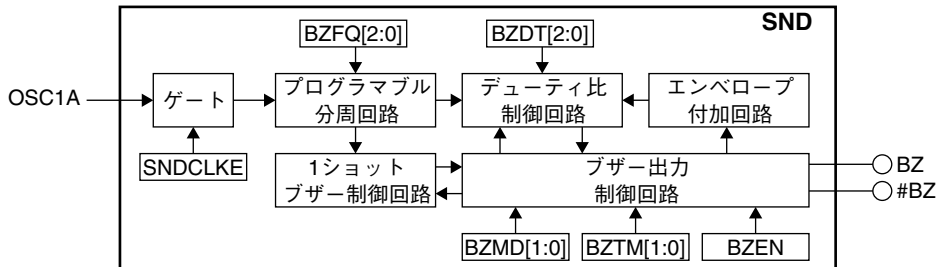


図17.1.1 SNDモジュールの構成

17.2 SND出力端子

表17.2.1にSND端子の一覧を示します。

表17.2.1 SND端子一覧

端子名	I/O	本数	機能
BZ	O	1	ブザー非反転出力端子 サウンドジェネレータで生成したブザー信号を出力します。
#BZ	O	1	ブザー反転出力端子 サウンドジェネレータで生成したブザー信号を反転出力します。

SNDモジュールの出力端子 (BZ、#BZ) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSNDモジュールの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート (P)” の章を参照してください。

17.3 SND動作クロック

SNDモジュールは、CLGモジュールが出力するOSC1Aクロック (32.768kHz Typ.) を動作クロックとして使用します。

SNDモジュールへのOSC1Aクロックの供給は、SNDCLKE/SND_CLKレジスタで制御します。SNDCLKEのデフォルト設定は0で、クロックの供給は停止しています。SNDCLKEを1に設定すると、OSC1AクロックがSNDモジュールに送られます。ブザー出力を行う前にSNDCLKEを1に設定してください。ブザー出力が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

OSC1A発振回路の制御については、“クロックジェネレータ (CLG)” の章を参照してください。

注: 本章に記載のブザー周波数や1ショット出力時間は、OSC1Aクロック周波数が32.768kHzの場合の値です。それ以外のOSC1Aクロック周波数では、本章に記載の周波数や時間も変わります。

17.4 ブザー周波数と音量の設定

17.4.1 ブザー周波数

ブザー信号はOSC1Aクロック(32.768kHz)を分周して生成します。この分周比を変えることによって8種類の周波数が選択できるようになっています。ブザー周波数はBZFQ[2:0]/SND_BZFQレジスタで選択します。

表17.4.1.1 ブザー周波数の選択

BZFQ[2:0]	ブザー周波数(Hz)
0x7	1170.3
0x6	1365.3
0x5	1638.4
0x4	2048.0
0x3	2340.6
0x2	2730.7
0x1	3276.8
0x0	4096.0

(デフォルト: 0x0)

17.4.2 音量

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。音量はBZDT[2:0]/SND_BZDTレジスタで8種類から選択します。

表17.4.2.1 音量の設定

音量レベル	BZDT[2:0]	ブザー周波数(Hz)によるデューティ比			
		4096.0	3276.8	2730.7	2340.6
		2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0x0	8/16	8/20	12/24	12/28
レベル2	0x1	7/16	7/20	11/24	11/28
レベル3	0x2	6/16	6/20	10/24	10/28
レベル4	0x3	5/16	5/20	9/24	9/28
レベル5	0x4	4/16	4/20	8/24	8/28
レベル6	0x5	3/16	3/20	7/24	7/28
レベル7	0x6	2/16	2/20	6/24	6/28
レベル8(最小)	0x7	1/16	1/20	5/24	5/28

(デフォルト: 0x0)

BZDT[2:0]を0x0に設定すると音量が最大になり、0x7に設定すると音量が最小になります。

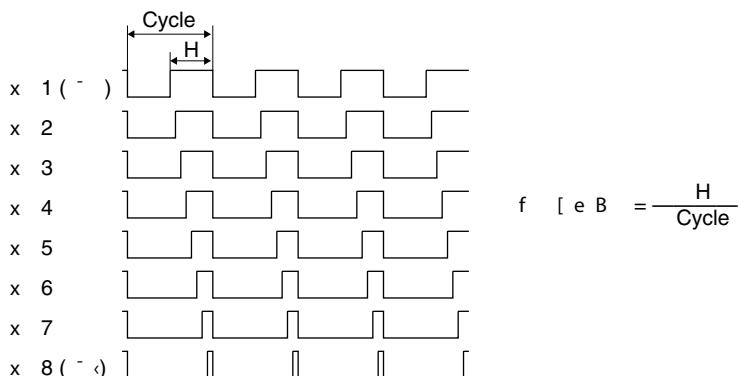


図17.4.2.1 ブザー信号波形のデューティ比

注: エンベロープモードに設定した場合、デューティ比の自動制御が行われるため、BZDT[2:0]の設定は無効となります。

17.5 ブザーモードと出力制御

17.5.1 ブザーモードの選択

SNDモジュールは3種類のブザーモードを持ち、それぞれに異なるブザー出力が可能です。ブザーモードはBZMD[1:0]/SND_CTLレジスタで選択します。

表17.5.1.1 ブザーモード

BZMD[1:0]	ブザーモード
0x3	Reserved
0x2	エンベロープモード ソフトウェアトリガによりブザー出力を開始します。音量をレベル1(最大)から自動的に減少させ、レベル8(最小)になったところで出力を停止します。
0x1	1ショットモード キー操作音などを生成するためのモードで、ソフトウェアトリガにより一定時間のブザー出力を行い、自動的に停止します。
0x0	ノーマルモード ブザー出力をソフトウェアによってOn/Offするモードです。

(デフォルト: 0x0)

17.5.2 ノーマルモードの出力制御

ノーマルモードでは、BZEN/SND_CTLレジスタを1に設定するとブザー出力を開始し、0に設定すると停止します。このモードでは、BZFQ[2:0]によるブザー周波数の設定とBZDT[2:0]による音量の設定がどちらも有効です。

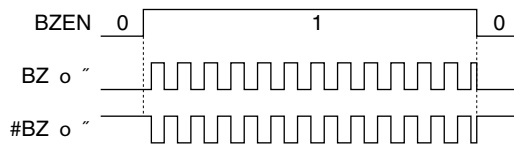


図17.5.2.1 ノーマルモードのブザー出力

注: ブザー信号はBZENとは非同期に発生させていますので、BZENの設定による信号のOn/Off時にハザードを生じることがあります。

17.5.3 1ショットモードの出力制御

キー操作音などのように短時間のブザー信号を出力させるために、SNDモジュールは1ショット出力機能を持っています。

出力時間の選択

1ショットブザー信号の出力時間は、BZTM[1:0]/SND_CTLレジスタによって4種類から選択できます。

表17.5.3.1 1ショットブザー出力時間の選択

BZTM[1:0]	出力時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

出力制御

1ショットブザー出力は、BZEN/SND_CTLレジスタへの1の書き込みにより開始します。このトリガが与えられると、ブザー信号がブザー出力端子から出力されます。その後、設定時間が経過するとブザー出力が停止します。

BZENはステータスビットとしても機能します。1ショット出力中は1を保持し、出力の終了により0にリセットされます。

17 サウンドジェネレータ (SND)

1ショット出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。

1ショット出力中にBZENに再度1を書き込んだ場合は、その時点から新たな1ショット出力が始まります。

1ショットモードでも、BZFQ[2:0]によるブザー周波数の設定とBZDT[2:0]による音量の設定がどちらも有効です。

図17.5.3.1に1ショットモードのタイミングチャートを示します。

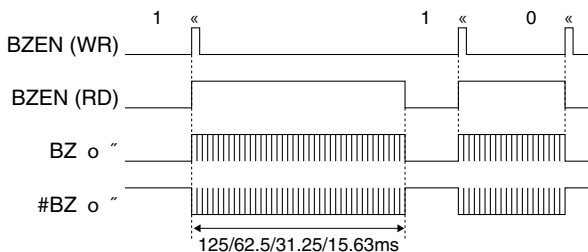


図17.5.3.1 1ショットモードのブザー出力

17.5.4 エンベロープモードの出力制御

エンベロープモードでは、ブザー信号にデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは表17.4.2.1の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

減衰時間の選択

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタBZTM[1:0]/SND_CTLレジスタによって4種類から選択できます。

表17.5.4.1 エンベロープ減衰時間の選択

BZTM[1:0]	減衰時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

出力制御

エンベロープモードのブザー出力は、BZEN/SND_CTLレジスタへの1の書き込みにより開始します。出力開始時にデューティ比がレベル1(最大)となり、選択した減衰時間ごとにレベル8(最小)まで段階的に変化します。レベル8(最小)まで減衰するとそこでブザー出力は停止します。

BZENはステータスビットとしても機能します。ブザー出力中は1を保持し、出力の終了により0にリセットされます。

ブザー出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。

ブザー出力中にBZENに再度1を書き込んだ場合は、その時点でデューティ比が最大に復帰し、新たなエンベロープ出力が始まります。

図17.5.4.1にエンベロープモードのタイミングチャートを示します。

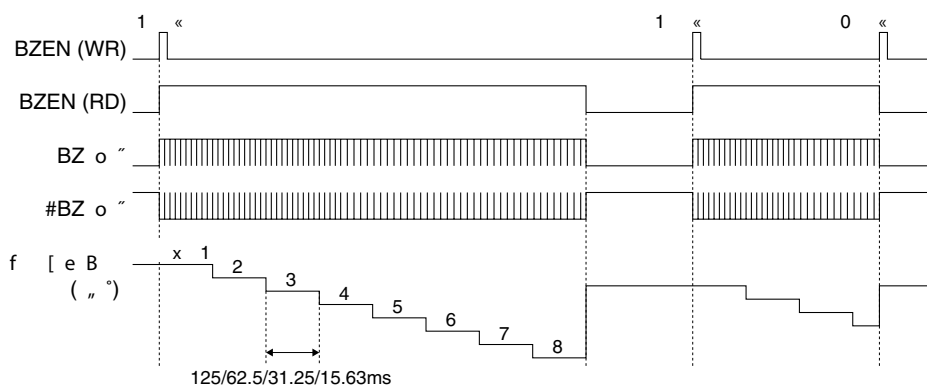


図17.5.4.1 エンベロープモードのブザー出力

17.6 制御レジスタ詳細

表17.6.1 SNDレジスタ一覧

アドレス	レジスタ名		機能
0x506e	SND_CLK	SND Clock Control Register	SNDクロックの制御
0x5180	SND_CTL	SND Control Register	ブザー出力の制御
0x5181	SND_BZFQ	Buzzer Frequency Control Register	ブザー周波数の設定
0x5182	SND_BZDT	Buzzer Duty Ratio Control Register	ブザー信号デューティ比の設定

以下、SNDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SND Clock Control Register (SND_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SND Clock Control Register (SND_CLK)	0x506e (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	SNDCLKE	SND clock enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved

D0 SNDCLKE: SND Clock Enable Bit

SNDモジュールへのOSC1Aクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

SNDCLKEのデフォルト設定は0で、クロックの供給は停止しています。SNDCLKEを1に設定すると、OSC1AクロックがSNDモジュールに送られ、ブザー出力が可能になります。ブザー出力が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

SND Control Register (SND_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SND Control Register (SND_CTL)	0x5180 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.
		D5-4	BZTM[1:0]	Buzzer envelope time/one-shot output time select	BZTM[1:0] Time	0x0	R/W	
					0x3 125 ms			
					0x2 62.5 ms			
					0x1 31.25 ms			
0x0 15.63 ms								
D3-2	BZMD[1:0]	Buzzer mode select	BZMD[1:0] Mode	0x0	R/W			
			0x3 reserved					
			0x2 Envelope					
			0x1 One-shot					
0x0 Normal								
D1	-	reserved	-	-	-	-	0 when being read.	
D0	BZEN	Buzzer output control	1 On/Trigger 0 Off	0	R/W			

D[7:6] Reserved

D[5:4] BZTM[1:0]: Buzzer Envelope Time/One-shot Output Time Select Bits

エンベロープ減衰時間または1ショット出力時間を選択します。

表17.6.2 エンベロープ減衰時間/1ショットブザー出力時間の選択

BZTM[1:0]	減衰時間/1ショット出力時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

エンベロープモード時は、減衰時間(デューティ比を変化させる時間)を選択します(図17.5.4.1参照)。

1ショットモード時は、1ショットブザーの出力時間を選択します(図17.5.3.1参照)。

ノーマルモード時のブザー出力には影響を与えません。

D[3:2] BZMD[1:0]: Buzzer Mode Select Bits

ブザーモードを選択します。

表17.6.3 ブザーモード

BZMD[1:0]	ブザーモード
0x3	Reserved
0x2	エンベロープモード ソフトウェアトリガによりブザー出力を開始します。音量をレベル1(最大)から自動的に減少させ、レベル8(最小)になったところで出力を停止します。
0x1	1ショットモード キー操作音などを生成するためのモードで、ソフトウェアトリガにより一定時間のブザー出力を行い、自動的に停止します。
0x0	ノーマルモード ブザー出力をソフトウェアによってOn/Offするモードです。

(デフォルト: 0x0)

D1 Reserved

D0 BZEN: Buzzer Output Control Bit

ブザー出力を制御します。

1(R/W): On/トリガ

0(R/W): Off(デフォルト)

ノーマルモード

BZENを1に設定するとブザー出力を開始し、0に設定すると停止します。

1ショットモード

1ショットブザー出力は、BZENへの1の書き込みにより開始します。その後、BZTM[1:0]の設定時間が経過するとブザー出力が停止します。BZENはステータスビットとしても機能します。1ショット出力中は1を保持し、出力の終了により0にリセットされます。1ショット出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。1ショット出力中にBZENに再度1を書き込んだ場合は、その時点から新たな1ショット出力が始まります。

エンベロープモード

エンベロープモードのブザー出力は、BZENへの1の書き込みにより開始します。出力開始時にデューティ比がレベル1(最大)となり、BZTM[1:0]で選択した減衰時間ごとにレベル8(最小)まで段階的に変化します。レベル8(最小)まで減衰するとそこでブザー出力は停止します。BZENはステータスビットとしても機能します。ブザー出力中は1を保持し、出力の終了により0にリセットされます。ブザー出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。ブザー出力中にBZENに再度1を書き込んだ場合は、その時点でデューティ比が最大に復帰し、新たなエンベロープ出力が始まります。

Buzzer Frequency Control Register (SND_BZFQ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Buzzer Frequency Control Register (SND_BZFQ)	0x5181 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	BZFQ[2:0]	Buzzer frequency select	BZFQ[2:0] Frequency	0x0	R/W		
					0x7	1170.3 Hz			
					0x6	1365.3 Hz			
					0x5	1638.4 Hz			
					0x4	2048.0 Hz			
					0x3	2340.6 Hz			
					0x2	2730.7 Hz			
					0x1	3276.8 Hz			
			0x0	4096.0 Hz					

D[7:3] **Reserved**D[2:0] **BZFQ[2:0]: Buzzer Frequency Select Bits**

ブザー信号の周波数を選択します。

表17.6.4 ブザー周波数の選択

BZFQ[2:0]	ブザー周波数 (Hz)
0x7	1170.3
0x6	1365.3
0x5	1638.4
0x4	2048.0
0x3	2340.6
0x2	2730.7
0x1	3276.8
0x0	4096.0

(デフォルト: 0x0)

Buzzer Duty Ratio Control Register (SND_BZDT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Buzzer Duty Ratio Control Register (SND_BZDT)	0x5182 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	BZDT[2:0]	Buzzer duty ratio select	BZDT[2:0] Duty (volume)	0x0	R/W		
					0x7	Level 8 (Min.)			
					0x0	Level 1 (Max.)			

D[7:3] **Reserved**D[2:0] **BZDT[2:0]: Buzzer Duty Ratio Select Bits**

ブザー信号の音量を決定するデューティ比を選択します。

表17.6.5 音量の設定

音量レベル	BZDT[2:0]	ブザー周波数 (Hz) によるデューティ比			
		4096.0	3276.8	2730.7	2340.6
		2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0x0	8/16	8/20	12/24	12/28
レベル2	0x1	7/16	7/20	11/24	11/28
レベル3	0x2	6/16	6/20	10/24	10/28
レベル4	0x3	5/16	5/20	9/24	9/28
レベル5	0x4	4/16	4/20	8/24	8/28
レベル6	0x5	3/16	3/20	7/24	7/28
レベル7	0x6	2/16	2/20	6/24	6/28
レベル8 (最小)	0x7	1/16	1/20	5/24	5/28

(デフォルト: 0x0)

BZDT[2:0]を0x0に設定すると音量が最大になり、0x7に設定すると音量が最小になります。

注: エンベロープモードに設定した場合、デューティ比の自動制御が行われるため、BZDT[2:0]の設定は無効となります。

18 電源電圧検出回路(SVD)

18.1 SVDモジュールの概要

S1C17656はV_{DD}または外部電圧を監視するSVD(電源電圧検出)回路を内蔵しており、この検出対象電圧がソフトウェアで設定した検出レベルより低下しているか否かを確認できます。また、電圧低下の検出により、割り込みまたはリセットを発生させることもできます。

SVDモジュールの主な機能と特長を以下に示します。

- 検出対象電圧: V_{DD}(電源電圧)、EXSVD(P02端子電圧)
- 検出電圧レベル: 13レベル(2.0V~3.2V)
- 検出結果:
 - 検出対象電圧が検出電圧レベル未満か否かを読み出し可能
 - 電圧低下の検出により割り込みまたはリセットを発生可能
- 割り込み: 1系統(電圧低下検出割り込み)
- 間欠動作対応:
 - 検出周期を7種類から選択可能
 - 指定回数の連続電圧低下検出により割り込み/リセットを発生する電圧低下検出カウンタ機能
 - 連続動作も可能

図18.1.1にSVDモジュールの構成を示します。

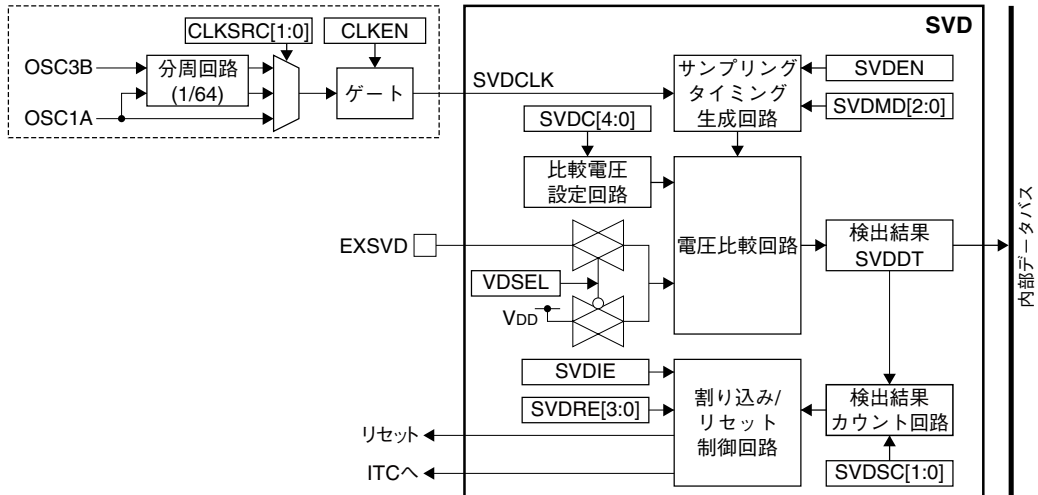


図18.1.1 SVD回路の構成

18.2 検出対象電圧

検出対象電圧は、VDSSEL/SVD_CMPレジスタを使用してV_{DD}(電源電圧)またはEXSVD(P02端子電圧)から選択します。

表18.2.1 検出対象電圧

VDSSEL	検出対象電圧
1	EXSVD(注)
0	V _{DD}

(デフォルト: 0)

注: 検出対象電圧としてEXSVDを選択する場合は、EXSVD(P02)端子をハイインピーダンスにする必要があります。これを怠ると、リーク電流等によってICが誤動作、あるいは故障する可能性があります。P02端子の制御については、「入出力ポート(P)」の章を参照してください。

- EXSVD(P02)端子に入力可能な電圧の上限値はV_{DD}です。

18.3 動作クロック

SVDモジュールには、動作クロックを制御するクロックソースセクタ、分周回路、ゲート回路が組み込まれています。

クロックソースの選択

クロックソースは、CLKSRC[1:0]/SVD_CLKレジスタを使用してOSC3B/64、OSC1A、OSC1A/64から選択します。

表18.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC1A/64
0x1	OSC1A
0x0	OSC3B/64

(デフォルト: 0x0)

OSC3B/64を選択した場合、OSC3Bクロックを1/64に分周してSVDCLKが生成されます。
OSC1Aを選択した場合、OSC1AクロックがそのままSVDCLKとして使用されます。
OSC1A/64を選択した場合、OSC1Aクロックを1/64に分周してSVDCLKが生成されます。

クロックイネーブル

クロック供給は、CLKEN/SVD_CLKレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択したクロックがSVD回路に送られます。SVD回路の動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。SVDCLKが供給されていないと、SVD回路による電圧レベルの検出はできません。ただし、SVDCLKが停止している場合でも、SVD制御レジスタはアクセス可能です。

注: SVDCLKを停止する場合は、SVDEN/SVD_ENレジスタを1から0に変更後、SVDCLKの2サイクル以上待ってからCLKENを0に設定してください。SLEEPモードへの移行によりクロック供給を停止する場合も同様に設定してください。

18.4 比較電圧の設定

SVD回路はソフトウェアによって設定した比較電圧と検出対象電圧(V_{DD}またはEXSVD)の比較を行い、検出された電圧が比較電圧以上あるか否かを結果として出力します。比較電圧はSVDC[4:0]/SVD_CMPレジスタによって表18.4.1の13種類から選択できます。

表18.4.1 比較電圧の設定

SVDC[4:0]	比較電圧	SVDC[4:0]	比較電圧
0x1f	Reserved	0xf	2.10V
0x1e		0xe	2.00V
0x1d		0xd	Reserved
0x1c		0xc	
0x1b		0xb	
0x1a	0xa		
0x19	0x9		
0x18	0x8		
0x17	0x7		
0x16	0x6		
0x15	0x5		
0x14	0x4		
0x13	0x3		
0x12	0x2		
0x11	0x1		
0x10	0x0		

(デフォルト: 0x0)

注: 比較電圧は動作電圧範囲内の設定のみ有効です。動作電圧範囲外の比較電圧を設定した場合、検出結果は無効です。

18.5 SVDの制御

SVD回路による電圧検出動作はSVDDEN/SVD_ENレジスタに1を書き込むことによって開始します。電圧の検出状態はSVDDT/SVD_RSLTレジスタから読み出すことができます。SVDDENに0を書き込むと、SVD回路はその時点のSVDDTを保持して停止します。

検出結果とSVDDTの読み出し値は次のとおりです。

- 検出対象電圧(V_{DD} またはEXSVD) \geq 比較電圧の場合、SVDDT = 0
- 検出対象電圧(V_{DD} またはEXSVD) $<$ 比較電圧の場合、SVDDT = 1

注: • SVDDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[4:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの時間が経過した後にSVDDTを読み出してください。また、SVD回路を停止して検出結果を読み出す場合も、これらの時間が経過した後にSVDDENを0に設定してください。これらの応答時間については、“電気的特性”を参照してください。

- SVD回路を動作させると消費電流が増加します。電圧検出が不要な場合は、SVDDENを0に設定してSVD動作を停止してください。

18.6 間欠動作

本ICのSVD回路は間欠動作機能を持ちます。間欠動作モードでは、SVDDEN/SVD_ENレジスタ = 1の間、SVDMD[2:0]/SVD_ENレジスタで設定した周期ごとにSVD回路がONし、検出動作を実行した後にOFFします。

間欠動作を行わずに、SVDDENの制御により検出結果を得る場合は、SVDMD[2:0]を0x0(連続動作モード)に設定してください。

注: 間欠動作時にSVDDENを0に設定した場合、SVDDTは不定になります。

表18.6.1 間欠動作モードの電圧検出周期選択

SVDMD[2:0]	間欠動作周期
0x7	SVDCLK/8192
0x6	SVDCLK/4096
0x5	SVDCLK/2048
0x4	SVDCLK/1024
0x3	SVDCLK/512
0x2	SVDCLK/256
0x1	SVDCLK/128
0x0	連続

(デフォルト: 0x0)

また、間欠動作モードでは、電圧低下をSVDSC[1:0]/SVD_CMPレジスタで指定した回数続けて検出した場合に割り込みフラグ(SVDIF/SVD_IFLGレジスタ)をセットして、割り込みまたはリセットを発生させることもできます。

表18.6.2 間欠動作モードの割り込み/リセット発生条件の選択

SVDSC[1:0]	割り込み/リセット発生条件
0x3	電圧低下を連続4回検出
0x2	電圧低下を連続3回検出
0x1	電圧低下を連続2回検出
0x0	電圧低下を1回検出

(デフォルト: 0x0)

18.7 SVD割り込みとリセット

SVDモジュールには、電圧の低下を検出した場合に割り込みまたはリセットを発生させる機能があります。これらを利用して、電池消費時の表示制御や重負荷保護の設定が行えます。

電圧低下検出割り込み

この割り込み要求は、下記の条件が成立した場合に発生し、SVDモジュール内の割り込みフラグSVDIF/SVD_IFLGレジスタを1にセットします。

連続(通常)動作モード時: SVDDET/SVD_RSLTレジスタが1にセットされた場合

間欠動作モード時: 電圧低下を、SVDSC[1:0]/SVD_CMPレジスタで指定した回数続けて検出した場合

セットされたSVDIFは、その後電圧が比較値以上に戻ってもリセットされません。そのため、一時的な電圧低下で割り込みが発生した場合、割り込みルーチン内でSVDDETを読み出して確認をしてください。

この割り込みを使用するには、SVDIE/SVD_IMSKレジスタを1に設定します。SVDIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。SVDIEが1(割り込み許可)に設定されている状態で、SVDIFが1にセットされるとSVDモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

電圧低下検出リセット機能

SVDモジュールは、SVDIFが1になったときにリセットを発生させることができます。このリセット機能を使用するには、SVDRE[3:0]/SVD_ENレジスタを0b1010に設定します(0b1010以外では、リセット機能が無効になります)。

このリセット発生時は、SVDレジスタは初期化されません。ただし、SVD_CLKレジスタは初期化されますので、リセットからの復帰後に再度正しく動作させるためには、SVD_CLKレジスタを再設定してください。

- 注:
- SVD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、SVDIEによってSVD割り込みを許可する前に、SVDIFをリセットしてください。
 - SVDEN/SVDENレジスタが0に設定されている場合でも、SVDRE[3:0] = 0b1010であれば、SVDIFが1になった時点でリセットが発生します。
 - SVDリセットからの復帰後は、必ずSVDリセット機能を無効(SVDRE[3:0] = 0b1010以外)にしてから、初期化の処理を行ってください。

18.8 制御レジスタ詳細

表18.8.1 SVDレジスタ一覧

アドレス	レジスタ名		機能
0x5066	SVD_CLK	SVD Clock Control Register	SVDクロックの制御
0x5100	SVD_EN	SVD Enable Register	SVD動作の許可、モード設定
0x5101	SVD_CMP	SVD Comparison Voltage Register	検出対象電圧と比較電圧の選択
0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みの許可/禁止
0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SVDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SVD Clock Control Register (SVD_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Clock Control Register (SVD_CLK)	0x5066 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3-2	CLKSRC [1:0]	SVD clock source select	CLKSRC[1:0]	Clock source	0x0	R/W	
					0x3	reserved			
					0x2	OSC1A/64			
		0x1	OSC1A						
		0x0	OSC3B/64						
		D1	–	reserved	–	–	–	0 when being read.	
		D0	CLKEN	SVD clock enable	1 Enable 0 Disable	0	R/W		

D[7:4] Reserved

D[3:2] CLKSRC[1:0]: SVD Clock Source Select Bits

SVD回路のクロックソースを選択します。

表18.8.2 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC1A/64
0x1	OSC1A
0x0	OSC3B/64

(デフォルト: 0x0)

D1 Reserved

D0 CLKEN: SVD Clock Enable Bit

SVD回路への動作クロック供給を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、CLKSRC[1:0]で選択されたクロックがSVD回路に送られます。

SVD Enable Register (SVD_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7-4	SVDRE[3:0]	SVD reset enable	SVDRE[3:0]	SVD reset	0x0	R/W	
					0b1010	Enable			
				Others	Disable				
		D3-1	SVDMD[2:0]	SVD intermittent mode setting	SVDMD[2:0]	Cycle	0x0	R/W	
0x7	SVDCLK/8192								
0x6	SVDCLK/4096								
0x5	SVDCLK/2048								
0x4	SVDCLK/1024								
0x3	SVDCLK/512								
0x2	SVDCLK/256								
0x1	SVDCLK/128								
		0x0	Continuous						
		D0	SVDEN	SVD enable	1 Enable 0 Disable	0	R/W		

D[7:4] SVDRE[3:0]: SVD Reset Enable Bits

SVDリセット機能を有効にします。

0b1010 (R/W): 有効

0b1010以外 (R/W): 無効 (デフォルト: 0x0)

SVDRE[3:0]を0b1010に設定しておくこと、割り込みフラグ(SVDIF/SVD_IFLGレジスタ)が1になった時点でICがリセットされます(ただし、0x5100~0x5104のSVDレジスタは初期化されません)。

D[3:1] SVDMD[2:0]: SVD Intermittent Mode Setting Bits

間欠動作モード(電圧検出周期)を設定します。

表18.8.3 間欠動作モードの電圧検出周期選択

SVDMD[2:0]	間欠動作周期
0x7	SVDCLK/8192
0x6	SVDCLK/4096
0x5	SVDCLK/2048
0x4	SVDCLK/1024
0x3	SVDCLK/512
0x2	SVDCLK/256
0x1	SVDCLK/128
0x0	連続

(デフォルト: 0x0)

D0 SVEN: SVD Enable Bit

SVD回路の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SVENを1に設定すると電圧の検出を開始し、0に設定すると検出結果をSVDDT/SVD_RSLTレジスタにセットして停止します。

注: • SVENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[4:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの時間が経過した後にSVDDTを読み出してください。また、SVD回路を停止して検出結果を読み出す場合も、これらの時間が経過した後にSVENを0に設定してください。これらの応答時間については、“電気的特性”を参照してください。

- SVD回路を動作させると消費電流が増加します。電圧の検出が不要な場合は、SVENを0に設定してSVD動作を停止してください。
- 間欠動作時にSVENを0に設定した場合、SVDDTは不定になります。

SVD Comparison Voltage Register (SVD_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7	VDSEL	Detection voltage select	1 EXSVD	0 V _{DD}	0	R/W	Ineffective when SVDMD[2:0]/SVD_EN register = 0x0.
		D6-5	SVDSCL[1:0]	SVD sampling result count (for intermittent mode)	SVDSCL[1:0]	Count	0x0	R/W	
		D4-0	SVDC[4:0]	SVD comparison voltage select	SVDC[4:0]	Voltage	0x0	R/W	
					0x1f-0x1b	reserved			
					0x1a	3.20 V			
					0x19	3.10 V			
					0x18	3.00 V			
					0x17	2.90 V			
					0x16	2.80 V			
					0x15	2.70 V			
					0x14	2.60 V			
					0x13	2.50 V			
					0x12	2.40 V			
					0x11	2.30 V			
					0x10	2.20 V			
					0xf	2.10 V			
					0xe	2.00 V			
					0xd-0x0	reserved			

D7 VDSEL: Detection Voltage Select Bit

検出対象電圧を選択します。

1(R/W): EXSVD(P02端子電圧)

0(R/W): V_{DD}(電源電圧) (デフォルト)

- 注: • 検出対象電圧としてEXSVDを選択する場合は、EXSVD(P02)端子をハイインピーダンスにする必要があります。これを怠ると、リーク電流等によってICが誤動作、あるいは故障する可能性があります。P02端子の制御については、“入出力ポート(P)”の章を参照してください。
- EXSVD(P02)端子に入力可能な電圧の上限値はV_{DD}です。
 - SVDEN/SVD_ENレジスタ = 1の場合は、VDSELを変更しないでください。

D[6:5] SVDSC[1:0]: SVD Sampling Result Count Bits

間欠動作モード時(SVDMMD[2:0]/SVD_ENレジスタ = 0x1~0x7)に割り込み/リセットを発生させる条件(連続して電圧低下を検出した回数)を設定します。

表18.8.4 間欠動作モードの割り込み/リセット発生条件の選択

SVDSC[1:0]	割り込み/リセット発生条件
0x3	電圧低下を連続4回検出
0x2	電圧低下を連続3回検出
0x1	電圧低下を連続2回検出
0x0	電圧低下を1回検出

(デフォルト: 0x0)

D[4:0] SVDC[4:0]: SVD Comparison Voltage Select Bits

電圧低下を検出するための比較電圧を13種類から選択します。

表18.8.5 比較電圧の設定

SVDC[4:0]	比較電圧	SVDC[4:0]	比較電圧	
0x1f	Reserved	0xf	2.10V	
0x1e		0xe	2.00V	
0x1d		Reserved	0xd	
0x1c			0xc	
0x1b			0xb	
0x1a	0xa			
0x19	0x9			
0x18	0x8			
0x17	0x7			
0x16	0x6			
0x15	0x5			
0x14	0x4			
0x13	0x3			
0x12	0x2			
0x11	0x1			
0x10	0x0			

(デフォルト: 0x0)

SVD回路はSVDC[4:0]によって設定した比較電圧と検出対象電圧(V_{DD}またはEXSVD)の比較を行い、検出された電圧が比較電圧以上あるか否かを結果として出力します。

- 注: 比較電圧は動作電圧範囲内の設定のみ有効です。動作電圧範囲外の比較電圧を設定した場合、検出結果は無効です。

SVD Detection Result Register (SVD_RSLT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	SVDDT	SVD detection result	1 Low 0 Normal	×	R	

D[7:1] Reserved**D0 SVDDT: SVD Detection Result Bit**

電圧の検出結果が読み出せます。

1(R): 検出対象電圧(V_{DD}またはEXSVD) < 比較電圧

0(R): 検出対象電圧(V_{DD}またはEXSVD) ≥ 比較電圧

18 電源電圧検出回路 (SVD)

SVDEN/SVD_ENレジスタ = 1の間、SVD回路は検出対象電圧(V_{DD}またはEXSVD)をSVDC[4:0]/SVD_CMPレジスタで設定した電圧値と比較します。SVDDTを読み出すことにより、現在の検出対象電圧の状態を確認できます。また、SVDENに0を書き込んだ後もSVDDTの値は保持されますので、後からSVDDTを読み出して検出対象電圧の状態を確認することもできます。

SVD Interrupt Mask Register (SVD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	SVDIE	SVD interrupt enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved

D0 SVDIE: SVD Interrupt Enable Bit

SVD割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

SVDIEを1に設定するとITCへのSVD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

SVD Interrupt Flag Register (SVD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	SVDIF	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 SVDIF: SVD Interrupt Flag Bit

SVD割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

SVDIFは下記の条件でセットされ、1の書き込みによりリセットされます。

連続(通常)動作モード時: SVDDT/SVD_RSLTレジスタが1にセットされた場合

間欠動作モード時: 電圧低下を、SVDSC[1:0]/SVD_CMPレジスタで指定した回数続けて検出した場合

19 R/F変換器(RFC)

19.1 RFCモジュールの概要

S1C17656は、1系統の変換チャンネルを持つR/F変換器(RFC)を内蔵しており、CR発振方式のA/D変換器として使用できます。抵抗性センサ(サーミスタ等)、および少数の受動部品(抵抗、容量)を接続するだけで簡単に温度計等を実現することができます。

RFCモジュールの主な機能と特長を以下に示します。

- 変換方式: 抵抗 - 周波数変換型
- 変換チャンネル数: 1チャンネル
- 発振モード: DC発振モード(抵抗性センサ)
- カウンタ長: 24ビット
- 5種類の割り込みを発生可能: 基準発振完了割り込み
センサA発振完了割り込み
センサB発振完了割り込み
計測カウンタオーバーフローエラー割り込み
タイムベースカウンタオーバーフローエラー割り込み

図19.1.1に、RFCモジュールの構成を示します。

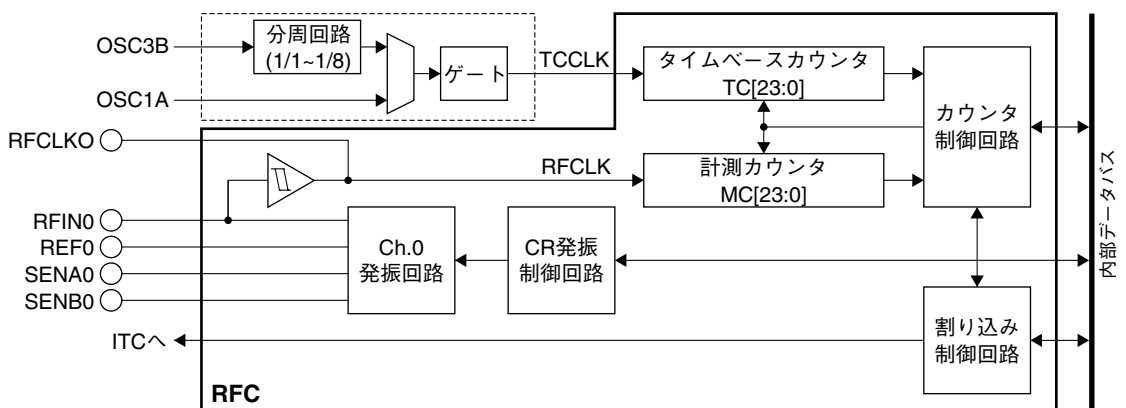


図19.1.1 R/F変換器の構成

R/F変換器に接続されたセンサの抵抗値は、CR発振回路によって周波数(RFCLK)に変換されます。この周波数を計測カウンタで一定時間カウントすることにより、センサ値に相当するデジタル値が得られます。R/F変換器には、測定時間を内部クロック(TCCLK)のカウントにより作り出すタイムベースカウンタも内蔵されています。また、センサをCR発振させるセンサ発振に加え、外的要因による変化の少ない基準素子をCR発振させる基準発振を行うことで、電圧変化や製造ばらつきといった誤差要因を取り除き、高精度の計測を実現します。CR発振回路は、通常のDC駆動に加え、外部クロック入力をサポートしており、多くのセンサに対応可能です。

19.2 RFC入出力端子

表19.2.1にRFCの入出力端子の一覧を示します。

表19.2.1 R/F変換器の入出力端子

端子名	I/O	本数	機能
SENB0	I/O	1	センサB発振制御端子(注1)
SENA0	I/O	1	センサA発振制御端子(注1)
REF0	I/O	1	基準発振制御端子(注1)
RFIN0	I/O	1	RFCLK入力および発振制御端子(注2)
RFCLKO	O	1	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

- 注: 1. ポート機能切り換え時は、端子がハイインピーダンスになります。
 2. RFIN0端子はポート機能切り換え時にV_{SS}になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

R/F変換器の入出力端子は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをR/F変換器の入出力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

19.3 動作クロック

RFCモジュールには、動作クロックを制御するクロックソースセクタ、分周回路、ゲート回路が組み込まれています。

注: R/F変換器の設定は動作クロック(TCCLK)の供給開始後に行ってください。クロックが供給されないと、R/F変換器は正常に動作しません。

クロックソースの選択

クロックソースは、CLKSRC/RFC_CLKレジスタを使用してOSC3B、OSC1Aから選択します。

表19.3.1 クロックソースの選択

CLKSRC	クロックソース
1	OSC1A
0	OSC3B

(デフォルト: 1)

クロック分周比の選択

クロックソースがOSC1Aの場合

OSC1Aをクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1Aクロック(Typ. 32.768kHz)がそのままTCCLKとして使用されます。

クロックソースがOSC3Bの場合

OSC3Bをクロックソースとして選択した場合、CLKDIV[1:0]/RFC_CLKレジスタで分周比を選択します。

表19.3.2 OSC3B分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

タイムベースカウンタはここで選択したクロックをカウント用に使います。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように注意する必要があります。

クロックイネーブル

クロック供給は、CLKEN/RFC_CLKレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のとおり生成されたクロックがRFC回路に送られます。RFCの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

19.4 動作モード

RFCモジュールには、RFC内部発振回路を使用する抵抗性センサ測定用DC発振モードと、外部クロックを測定する外部クロック入力モード(イベントカウンタモード)があります。また、CR発振クロック(RFCLK)の周波数を確認するため、モニタ機能および連続発振機能を持っています。

19.4.1 抵抗性センサ測定用DC発振モード

RFC内部発振回路を使用する測定では、接続した基準素子と抵抗性センサをDC駆動によって同じ時間だけ発振させ、それぞれの発振周波数をカウントします。2つのカウント値の差からセンサ値をソフトウェアで算出することができます。この機能は、EVTEN/RFC_CTLレジスタを0に設定すると有効になります。このモードでは、抵抗性センサを2つ接続可能です。また、基準抵抗と基準キャパシタをそれぞれ1個ずつ接続します。

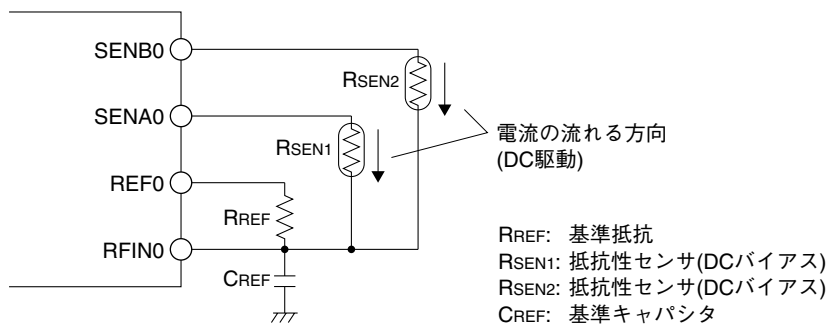


図19.4.1.1 抵抗性センサ測定用DC発振モードの接続例

抵抗性センサを1つしか使用しない場合、使用しない端子をオープンにしてください。

19.4.2 外部クロック入力モード(イベントカウンタモード)

このモードでは、外部発振回路などからクロックパルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、サイン波の入力も可能です(シュミット入力のしきい値については“電気的特性”を参照してください)。

この機能は、EVTEN/RFC_CTLレジスタを1に設定すると有効になります。測定制御手順は内部発振回路使用時と同様です。

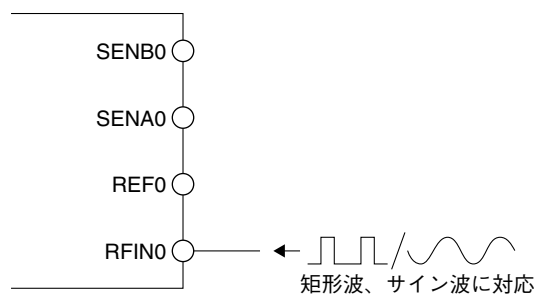


図19.4.2.1 外部クロック入力

使用しない端子はオープンにしてください。

19.4.3 CR発振クロック周波数測定用機能

CR発振クロック (RFCLK) モニタ機能

変換動作中のCR発振クロック (RFCLK) を外部モニタのためにRFCLKO端子から出力することができます。これを、CR発振周波数を測定に使用できます。

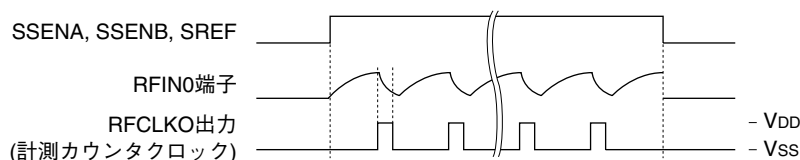


図19.4.3.1 CR発振クロック (RFCLK) 波形

連続発振機能

センサおよび基準素子によるCR発振は、停止条件で自動的に終了します。CONEN/RFC_CTLレジスタを1に設定すると連続発振機能が有効となり、発振をソフトウェアで停止するまでCR発振を継続することができます。この機能をCR発振クロックモニタ機能と併用することで、容易にCR発振クロック周波数を測定できます。

19.5 RFCカウンタ

R/F変換器には2種類のカウンタが内蔵されています。1つは基準素子とセンサの発振クロックをカウントする計測カウンタ (MC)、もう1つはTCCLKクロックをカウントするタイムベースカウンタ (TC) です。

計測カウンタ (MC)

計測カウンタは初期値のプリセットが可能な24ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、ICの製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

タイムベースカウンタ (TC)

タイムベースカウンタは初期値のプリセットが可能な24ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間にTCCLKによるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが0になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウント値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。

基準素子とセンサの抵抗値がまったく同じ場合、<初期値> = <センサ発振終了時のカウンタ値> となります (誤差がない場合)。計測カウンタに設定する初期値を小さくすると測定精度が上がります。ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります (測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に0x0に設定しておきます。

19.6 変換動作

R/F変換器の変換動作は動作モードにかかわらず、初期設定→基準発振→センサ発振の手順で制御します。以下、この制御手順を説明します。

説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。基準発振とセンサ発振のどちらを行うか、およびカウンタに設定する初期値などは使用目的に合わせて選択してください。

19.6.1 初期設定

- (1) R/F変換器の動作クロック(TCCLK)を選択し、クロック供給を開始させます。(19.3節参照)
- (2) R/F変換器で使用する端子を汎用入出力からR/F変換器用に切り換えます。“入出力ポート(P)”の章を参照してください。
- (3) RFCEN/RFC_CTLレジスタを1に設定して、R/F変換器を有効にします。

19.6.2 基準発振の制御

先に基準抵抗による発振を行い、センサを同じ時間発振させるための値をタイムベースカウンタから取得します。

- (1) MC[23:0]/RFC_MC(H/L)レジスタ(計測カウンタ)に初期値(0x0 - n)を設定します。
- (2) TC[23:0]/RFC_TC(H/L)レジスタ(タイムベースカウンタ)を0x0に設定します。
- (3) RFC_IFLGレジスタの割り込みフラグOVTCIF、EREFIFに1を書き込んでリセットします。
- (4) SREF/RFC_TRGレジスタを1に設定し、基準発振を開始させます。
基準抵抗による発振が始まり、CR発振回路は計測カウンタにクロックを出力します。
計測カウンタは設定された初期値からCR発振クロックでカウントアップを開始します。タイムベースカウンタは0x0からTCCLKでカウントアップを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) 計測カウンタまたはタイムベースカウンタがオーバーフロー(0xfffff → 0x0)すると、SREFが0にリセットされ、基準発振が自動的に終了します。
- (6-1) 計測カウンタがオーバーフローした場合は正常終了で、EREFIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でタイムベースカウンタの値(TC[23:0] = X)を読み出してメモリに保存しておきます。割り込みを使用しない場合は、EREFIFがセットされたことを確認して同様の処理を行ってください。
- (6-2) タイムベースカウンタがオーバーフローした場合は異常終了で、OVTCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVTCIFの状態を確認して同様の処理を行ってください。

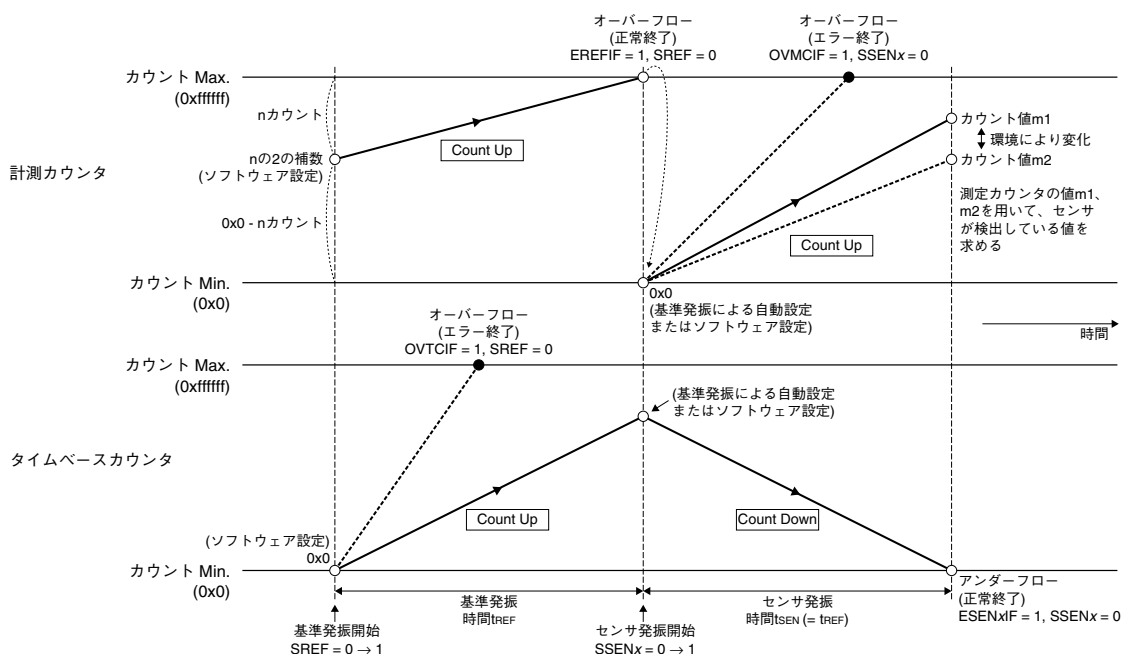


図19.6.2.1 基準発振/センサ発振によるカウンタの動作

19.6.3 センサ発振の制御

基準発振で取得したタイムベースカウンタ値の時間だけセンサによる発振を行い、発振クロックを計測カウンタでカウントします。

- (1) MC[23:0](計測カウンタ)に0x0を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (2) TC[23:0](タイムベースカウンタ)に基準発振でカウントされたタイムベースカウンタの値(X)を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (3) RFC_IFLGレジスタの割り込みフラグOVMCIF、ESENBF、ESENAIFに1を書き込んでリセットします。
- (4) SSENA/RFC_TRGレジスタ(センサA)またはSSENB/RFC_TRGレジスタ(センサB)を1に設定し、センサ発振を開始させます。
 センサによる発振が始まり、CR発振回路は計測カウンタにクロックを出力します。計測カウンタは0x0からCR発振クロックでカウントアップを開始します。タイムベースカウンタは設定された初期値(X)からTCCLKでカウントダウンを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) タイムベースカウンタが0x0になるか、あるいは計測カウンタがオーバーフローすると(0xffff → 0x0)、SSENAまたはSSENBが0にリセットされ、センサ発振が自動的に終了します。
- (6-1) タイムベースカウンタが0x0になった場合は正常終了で、ESENAIF(センサA)またはESENBF(センサB)が1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中で計測カウンタの値(MC[23:0] = m)を読み出して検出結果を処理します。割り込みを使用しない場合は、ESENAIFまたはESENBFがセットされたことを確認して同様の処理を行ってください。
- (6-2) 計測カウンタがオーバーフローした場合は異常終了で、OVMCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVMCIFの状態を確認して同様の処理を行ってください。

19.6.4 強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始したRFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

19.6.5 変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \approx m$ になります。このときの、 n と m との差が誤差になります。誤差要因を表19.6.5.1に示します。(n: 計測カウンタ初期値、m: センサ発振終了時の計測カウンタ値)

表19.6.5.1 誤差要因

誤差要因	影響度
外付け部品の公差	大
電源電圧変動	大
基板の寄生容量と抵抗	中
温度	小
IC製造ばらつき	小

19.7 RFC割り込み

RFCモジュールには、以下の5種類の割り込みを発生させる機能があります。

- 基準発振完了割り込み
- センサA発振完了割り込み
- センサB発振完了割り込み
- 計測カウンタオーバーフローエラー割り込み
- タイムベースカウンタオーバーフローエラー割り込み

RFCモジュールは上記の5種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、割り込みフラグを読み出してください。

基準発振完了割り込み

この割り込みを使用するには、EREFIE/RFC_IMSKレジスタを1に設定します。EREFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローにより基準発振が正常終了すると、EREFIF/RFC_IFLGレジスタを1にセットします。基準発振完了割り込みが許可されていれば(EREFIE = 1)、これと同時に割り込み要求がITCに出力されます。

センサA発振完了割り込み

この割り込みを使用するには、ESENAIE/RFC_IMSKレジスタを1に設定します。ESENAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサA発振が正常終了すると、ESENAIF/RFC_IFLGレジスタを1にセットします。センサA発振完了割り込みが許可されていれば(ESENAIE = 1)、これと同時に割り込み要求がITCに出力されます。

センサB発振完了割り込み

この割り込みを使用するには、ESENBIE/RFC_IMSKレジスタを1に設定します。ESENBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサB発振が正常終了すると、ESENBIF/RFC_IFLGレジスタを1にセットします。センサB発振完了割り込みが許可されていれば(ESENBIE = 1)、これと同時に割り込み要求がITCに出力されます。

計測カウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVMCIE/RFC_IMSKレジスタを1に設定します。OVMCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローによりセンサ発振が異常終了すると、OVMCIF/RFC_IFLGレジスタを1にセットします。計測カウンタオーバーフローエラー割り込みが許可されていれば(OVMCIE = 1)、これと同時に割り込み要求がITCに出力されます。

タイムベースカウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVTCIE/RFC_IMSKレジスタを1に設定します。OVTCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタのオーバーフローにより基準発振が異常終了すると、OVTCIF/RFC_IFLGレジスタを1にセットします。タイムベースカウンタオーバーフローエラー割り込みが許可されていれば(OVTCIE = 1)、これと同時に割り込み要求がITCに出力されます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • RFC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、割り込みフラグをリセットする必要があります。割り込みフラグは1の書き込みによりリセットされます。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

19.8 制御レジスタ詳細

表19.8.1 RFCレジスタ一覧

アドレス	レジスタ名		機能
0x5067	RFC_CLK	RFC Clock Control Register	RFCクロックの制御
0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御
0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御
0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ
0x53a6	RFC_MCH	RFC Measurement Counter High Register	
0x53a8	RFC_TCL	RFC Time Base Counter Low Register	タイムベースカウンタデータ
0x53aa	RFC_TCH	RFC Time Base Counter High Register	
0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込み許可/禁止
0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、R/F変換器のレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

RFC Clock Control Register (RFC_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.	
		D5-4	CLKDIV [1:0]	RFC clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			
D3	—	reserved	—	—	—	0 when being read.			
D2	CLKSRC	RFC clock source select	1	OSC1A	0	OSC3B	1	R/W	
D1	—	reserved	—	—	—	—	0 when being read.		
D0	CLKEN	RFC clock enable	1	Enable	0	Disable	0	R/W	

D[7:6] Reserved

D[5:4] CLKDIV[1:0]: RFC Clock Division Ratio Select Bits

クロックソースにOSC3Bを使用する場合に、TCCLKクロックを生成する分周比を選択します。

表19.8.2 OSC3B分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D3 **Reserved****D2** **CLKSRC: RFC Clock Source Select Bit**

クロックソースを選択します。

1(R/W): OSC1A(デフォルト)

0(R/W): OSC3B

D1 **Reserved****D0** **CLKEN: Clock Enable Bit**

TCCLKクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択されたクロックがR/Fコンバータに送られます。

RFC Control Register (RFC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7	CONEN	Continuous oscillation enable	1 Enable 0 Disable	0	R/W	
		D6	EVTEN	Event counter mode enable	1 Enable 0 Disable	0	R/W	
		D5-1	–	reserved	–	–	–	0 when being read.
		D0	RFCEN	RFC enable	1 Enable 0 Disable	0	R/W	

D[15:8] **Reserved****D7** **CONEN: Continuous Oscillation Enable Bit**

CR発振の自動停止を禁止して、連続発振を可能にします。

1(R/W): 連続発振許可

0(R/W): 連続発振禁止(デフォルト)

CONENを1に設定すると、基準発振/センサ発振の停止条件を無効としてCR発振を停止させないようにすることができます。この場合も発振を開始するには、RFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)を1に設定してください。発振を停止するにはこれらのビットを0に設定します。

この機能をCR発振クロックモニタ機能と併用することで、CR発振クロック周波数を容易に測定することができます。

D6 **EVTEN: Event Counter Mode Enable Bit**

外部クロック入力モード(イベントカウンタモード)を有効にします。

1(R/W): 外部クロック入力モード

0(R/W): 抵抗性センサ測定用DC発振モード(デフォルト)

EVTENを1に設定すると、RFIN0端子への外部クロック入力が可能になります。ただし、変換動作を行うためには、RFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)による発振開始(変換開始)制御が必要です。

注: EVTENを1に設定する前に、外部クロックを入力しないでください。RFIN0端子は、端子機能をR/F変換器用に切り換えた時点でV_{ss}にプルダウンされます。

D[5:1] **Reserved**

D0 RFCEN: RFC Enable Bit

R/F変換器の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RFCENを1に設定すると変換動作が行える状態になります。RFCENが0の場合、RFC_TRGレジスタによる発振制御操作は無効になります。

RFC Oscillation Trigger Register (RFC_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2	SSENB	Sensor B oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D1	SSENA	Sensor A oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D0	SREF	Reference oscillation control/status	1 Start/Run 0 Stop	0	R/W	

D[15:3] Reserved**D2 SSENB: Sensor B Oscillation Control/Status Bit**

センサBのCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

D1 SSENA: Sensor A Oscillation Control/Status Bit

センサAのCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

D0 SREF: Reference Oscillation Control/Status Bit

基準素子のCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

注: • RFCEN/RFC_CTLレジスタが0(変換操作禁止)の場合、SREF、SSENA、SSENBはすべて無効になります。

- 発振を開始させる場合は必ずSREF、SSENA、SSENBの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。
- SREF、SSENA、SSENBで発振を開始させる前に、必ずRFC_IFLGレジスタの割り込みフラグ(EREFIF、ESENAIF、ESENBIFF、OVMCIF、OVTCIF)をリセットしてください。

RFC Measurement Counter Low and High Registers (RFC_MCL, RFC_MCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-0	MC[23:16]	Measurement counter high-order 8-bit data	0x0-0xff	0x0	R/W	

D[7:0]/RFC_MCH, D[15:0]/RFC_MCL**MC[23:0]: Measurement Counter Bits**

計測カウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

注: 計測カウンタにデータを設定する場合は、必ず下位の値(MC[15:0]/RFC_MCLレジスタ)から先に書き込んでください。上位の値(MC[23:16]/RFC_MCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

RFC Time Base Counter Low and High Registers (RFC_TCL, RFC_TCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15-0	TC[15:0]	Time base counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15-8 D7-0	- TC[23:16]	reserved Time base counter high-order 8-bit data	- 0x0-0xff	- 0x0	- R/W	0 when being read.

D[7:0]/RFC_TCH, D[15:0]/RFC_TCL**TC[23:0]: Time Base Counter Bits**

タイムベースカウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

注: タイムベースカウンタにデータを設定する場合は、必ず下位の値(TC[15:0]/RFC_TCLレジスタ)から先に書き込んでください。上位の値(TC[23:16]/RFC_TCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

RFC Interrupt Mask Register (RFC_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15-5	-	reserved	-	-	-	0 when being read.
		D4	OVRTCIE	TC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
	D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W		

D[15:5] Reserved**D4 OVRTCIE: TC Overflow Error Interrupt Enable Bit**

タイムベースカウンタオーバフロー割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D3 OVMCIE: MC Overflow Error Interrupt Enable Bit

計測カウンタオーバフローエラー割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D2 ESENBIE: Sensor B Oscillation Completion Interrupt Enable Bit

センサB発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D1 ESENAIE: Sensor A Oscillation Completion Interrupt Enable Bit

センサA発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D0 EREFIE: Reference Oscillation Completion Interrupt Enable Bit

基準発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RFC Interrupt Flag Register (RFC_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15-5	-	reserved		-	-	-	0 when being read.
		D4	OVTCIF	TC overflow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	OVMCIF	MC overflow error interrupt flag			0	R/W	
		D2	ESENBIF	Sensor B oscillation completion interrupt flag			0	R/W	
		D1	ESENAIF	Sensor A oscillation completion interrupt flag			0	R/W	
		D0	EREFIF	Reference oscillation completion interrupt flag			0	R/W	

D[15:5] Reserved**D4 OVTCIF: TC Overflow Error Interrupt Flag Bit**

タイムベースカウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

OVTCIFはタイムベースカウンタのオーバーフローにより基準発振が異常終了すると1にセットされます。OVTCIFは1の書き込みによりリセットされます。

D3 OVMCIF: MC Overflow Error Interrupt Flag Bit

計測カウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

OVMCIFは計測カウンタのオーバーフローによりセンサ発振が異常終了すると1にセットされます。OVMCIFは1の書き込みによりリセットされます。

D2 ESENBIF: Sensor B Oscillation Completion Interrupt Flag Bit

センサB発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

ESENBIFはタイムベースカウンタが0x0になり、センサB発振が正常終了すると1にセットされます。ESENBIFは1の書き込みによりリセットされます。

D1 ESENAIF: Sensor A Oscillation Completion Interrupt Flag Bit

センサA発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

ESENAIFはタイムベースカウンタが0x0になり、センサA発振が正常終了すると1にセットされます。ESENAIFは1の書き込みによりリセットされます。

D0 EREFIF: Reference Oscillation Completion Interrupt Flag Bit

基準発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

EREFIFは計測カウンタのオーバーフローにより基準発振が正常終了すると1にセットされます。EREFIFは1の書き込みによりリセットされます。

20 オンチップデバグ (DBG)

20.1 リソース要件とデバグツール

デバグ用ワークエリア

デバグを行うには、64バイトのデバグ用ワークエリアが必要です。ワークエリアのアドレスは“メモリマップ、バス制御”の章を参照してください。

このデバグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバグツール

デバグは、S1C17656のデバグ端子にICDmini(S5U1C17001H)を接続し、パソコン上のデバグからデバグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini (S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバグ端子

ICDmini(S5U1C17001H)との接続に以下のデバグ端子を使用します。

表20.1.1 デバグ端子一覧

端子名	I/O	本数	機能
DCLK	O	1	オンチップデバグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	1	オンチップデバグデータ入出力端子 デバグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	1	オンチップデバグステータス信号出力端子 デバグ中のプロセッサの状態を出力します。

オンチップデバグの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子を兼用しており、初期状態ではデバグ端子に設定されます。デバグ機能を使用しない場合は、ポート機能選択ビットの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

20.2 デバグブレーク時の動作状態

brk命令の実行、またはDSIO端子へのブレーク信号(Low)入力によりデバグ割り込みが発生すると、S1C17コアはデバグモードに入ります。この状態はret命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバグ中でも動作するように変更することができます。

PCLKで動作する周辺回路は、DBRUN1/MISC_DMODE1レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

PCLK以外で動作する周辺回路は、DBRUN2/MISC_DMODE2レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

一部例外があり、SPI、T16A2などを外部入力クロックで動作させた場合、デバグ中に動作を停止することはできません。

LCDドライバおよびRTCは、デバグ割り込み発生時の状態を継続します。

20.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17656では以下の機能拡張を行っています。

デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17656ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR/MISC_IRAMSZレジスタで選択します。DBADRが0(デフォルト)の場合は0xffffc00番地、1に設定すると0x0番地が選択されます。

命令ブレーク本数の追加

S1C17コアは2本の命令ブレーク(ハードウェアPCブレーク)に対応しています。S1C17656ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- IBE2/DCRレジスタ: 命令ブレーク#2を有効に設定
- IBE3/DCRレジスタ: 命令ブレーク#3を有効に設定
- IBE4/DCRレジスタ: 命令ブレーク#4を有効に設定
- IBAR2[23:0]/IBAR2レジスタ: 命令ブレークアドレス#2の設定
- IBAR3[23:0]/IBAR3レジスタ: 命令ブレークアドレス#3の設定
- IBAR4[23:0]/IBAR4レジスタ: 命令ブレークアドレス#4の設定

なお、5本のハードウェアPCブレークを使用するには、S5U1C17001C(Ver. 1.2.1)以降に含まれるデバッグが必要です。

20.4 Flashセキュリティ機能

ICDminiを介したデバッグからの内蔵FlashメモリやRAMの読み出しや改ざんを防ぐため、本ICにはセキュリティ機能が設けられています。図20.4.1にFlashセキュリティ機能設定の流れを示します。

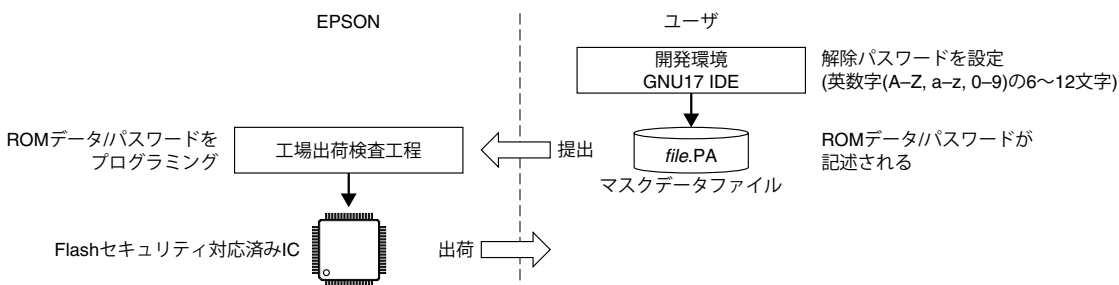


図20.4.1 ROMデータプログラム出荷とFlashセキュリティ機能設定の流れ

Flashセキュリティ対応済みのICは以下の状態になります。

- デバッグから読み出すFlashメモリおよびRAMの値は不定値になる
- ICDminiを介したFlashプログラミングを行うとエラーになる

ただし、あらかじめ設定してある解除パスワードをGNU17 IDE上で入力することで、Flashセキュリティ機能を解除することができます(リセット後は、再度セキュリティ機能が有効になります)。パスワードの設定方法については、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。

注: Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。

20.5 制御レジスタ詳細

表20.5.1 デバグ用レジスタ一覧

アドレス	レジスタ名		機能
0x4020	MISC_DMODE1	Debug Mode Control Register 1	デバグモード時の周辺回路動作選択 (PCLK)
0x5322	MISC_DMODE2	Debug Mode Control Register 2	デバグモード時の周辺回路動作選択 (PCLK以外)
0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
0xffff90	DBRAM	Debug RAM Base Register	デバグRAMベースアドレスの表示
0xffffa0	DCR	Debug Control Register	デバグ制御
0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

以下、デバグ用のレジスタを個々に説明します。

- 注:
- レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。
 - ここに記載されていないデバグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

Debug Mode Control Register 1 (MISC_DMODE1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1 Run 0 Stop	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

D[7:2] Reserved

D1 **DBRUN1: Run/Stop Select Bit in Debug Mode**

デバグモード時におけるPCLKで動作する周辺回路の状態を選択します。

1 (R/W): 動作

0 (R/W): 停止 (デフォルト)

DBRUN1を1に設定すると、PCLKで動作する周辺回路はデバグモード時も動作します。DBRUN1を0に設定すると、S1C17コアがデバグモードになった時点でPCLKで動作する周辺回路は停止します。デバグ中に動作を継続したい場合は、DBRUN1を1に設定してください。

D0 Reserved

Debug Mode Control Register 2 (MISC_DMODE2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	

D[15:1] Reserved

D0 **DBRUN2: Run/Stop Select Bit in Debug Mode (except PCLK peripheral circuits)**

デバグモード時におけるPCLK以外で動作する周辺回路の状態を選択します。

1 (R/W): 動作

0 (R/W): 停止 (デフォルト)

DBRUN2を1に設定すると、PCLK以外で動作する周辺回路はデバグモード時も動作します。DBRUN2を0に設定すると、S1C17コアがデバグモードになった時点でPCLK以外で動作する周辺回路は停止します。デバグ中に動作を継続したい場合は、DBRUN2を1に設定してください。一部例外があり、SPI、T16A2などを外部入力クロックで動作させた場合、デバグ中に動作を停止することはできません。LCDドライバおよびRTCは、デバグ割り込み発生時の状態を継続します。

IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W		
		D7	–	reserved	–	–	–	–	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x3 (= 2KB)	0x3	R		
		D3	–	reserved	–	–	–	–	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size	0x5 512B 0x4 1KB 0x3 2KB Other reserved	0x3	R/W	

D[15:9] Reserved

D8 DBADR: Debug Base Address Select Bit

デバッグ割り込み発生時の分岐先アドレスを選択します。

1(R/W): 0x0

0(R/W): 0xffc00(デフォルト)

D7 Reserved

D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x3)

D3 Reserved

D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表20.5.2 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
その他	Reserved

(デフォルト: 0x3)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタを0x96以外に設定してください。

Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0x7c0	0x7c0	R	

D[31:24] 未使用(0固定)

D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits

デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable 0 Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1 Enable 0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable 0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1 Enable 0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable 0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable 0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode 0 User mode	0	R	

D7 IBE4: Instruction Break #4 Enable Bit

命令ブレイク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR4レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D6 IBE3: Instruction Break #3 Enable Bit

命令ブレイク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR3レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D5 IBE2: Instruction Break #2 Enable Bit

命令ブレイク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR2レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D4 DR: Debug Request Flag Bit

外部からのデバッグ要求の有無を示します。

1(R): 発生

0(R): なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバッグ処理ルーチンをret命令で終了する前にクリアしておく必要があります。

D3 IBE1: Instruction Break #1 Enable Bit

命令ブレイク#1を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR1レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D2 IBE0: Instruction Break #0 Enable Bit

命令ブレイク#0を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR0レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D1 SE: Single Step Enable Bit

シングルステップ動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D0 DM: Debug Mode Bit

プロセッサの動作モード(デバッグモードまたはユーザモード)を示します。

1(R): デバッグモード

0(R): ユーザモード(デフォルト)

Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits

命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 3 (IBAR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits

命令ブレイクアドレス#4を設定します。(デフォルト: 0x000000)

表21.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2~0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
0xa~0xf	Reserved		

21.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

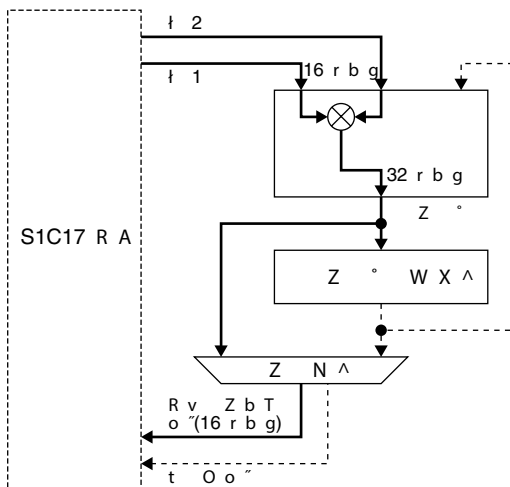


図21.3.1 乗算モードのデータ経路

表21.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[15:0]		
0x14 または 0x15	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

21.4 除算

除算機能は、“B(16ビット) ÷ C(16ビット) = A(16ビット), 余り D(16ビット)”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

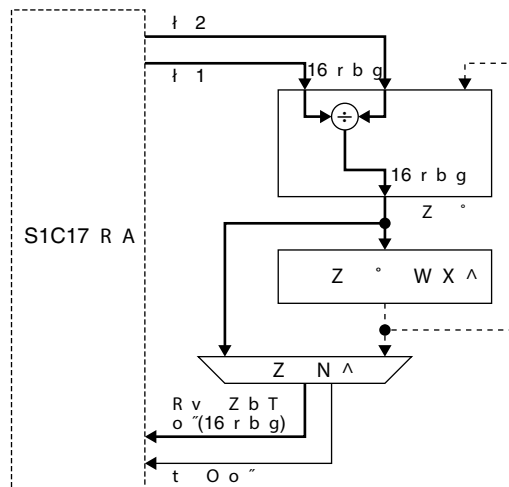


図21.4.1 除算モードのデータ経路

表21.4.1 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[15:0](商)		
0x18 または 0x19	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[31:16](余り)		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[31:16](余り)		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

21.5 積和演算

積和演算機能は、“A(32ビット) = B(16ビット) × C(16ビット) + A(32ビット)”を実行します。積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

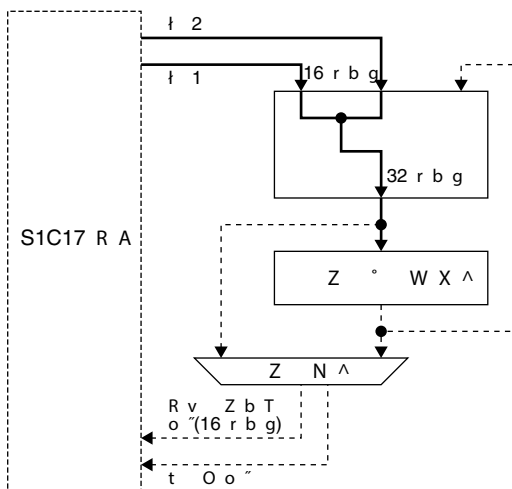


図21.5.1 初期化モード時のデータ経路

表21.5.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	-	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。

演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

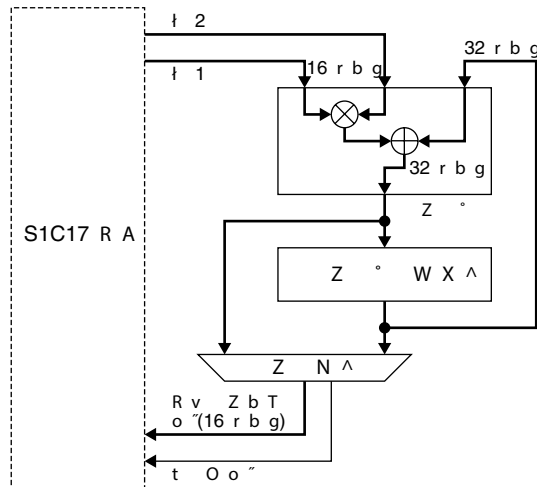


図21.5.2 積和演算モード時のデータ経路

表21.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
 ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
 ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
 ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード

オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表21.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

21.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

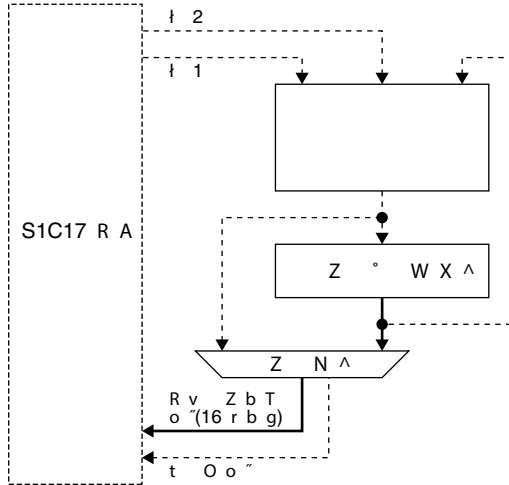


図21.6.1 演算結果読み出しモードのデータ経路

表21.6.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

22 電気的特性

22.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3~4.0	V
Flashプログラミング電圧	V _{PP}		-0.3~8.0	V
液晶電源電圧	V _{C3}		-0.3~4.0	V
入力電圧	V _I		-0.3~V _{DD} + 0.5	V
出力電圧	V _O		-0.3~V _{DD} + 0.5	V
高レベル出力電流	I _{OH}	1端子	-10	mA
		全端子合計	-20	mA
低レベル出力電流	I _{OL}	1端子	10	mA
		全端子合計	20	mA
保存温度	T _{stg}		-65~125	°C

22.2 推奨動作条件

(V_{SS} = 0V)

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{DD}		1.8	—	3.6	V
Flashプログラミング電圧	V _{PP}		7.3	7.5	7.7	V
動作周波数	f _{OSC1A}	水晶発振	—	32.768	—	kHz
動作温度	T _a		-40	—	85	°C
V _{SS} -V _{D1} 間キャパシタ	C ₁		—	0.1	—	μF
V _{SS} -V _{C1} 間キャパシタ *1	C ₂		—	0.1	—	μF
V _{SS} -V _{C2} 間キャパシタ *1	C ₃		—	0.1	—	μF
V _{SS} -V _{C3} 間キャパシタ *1	C ₄		—	0.1	—	μF
CA-CB間キャパシタ *1	C ₅		—	0.1	—	μF

*1 LCDドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}-V_{C3}およびCA-CBは開放としてください。

22.3 消費電流

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, T_a = 25°C, PCKEN[1:0] = 0x3 (ON), RDWAIT[1:0] = 0x0 (ノーマル), CCLKGR[1:0] = 0x0 (ギア比1/1), RTCRUN = 0 (OFF), HVLD = 0, LCD = OFF

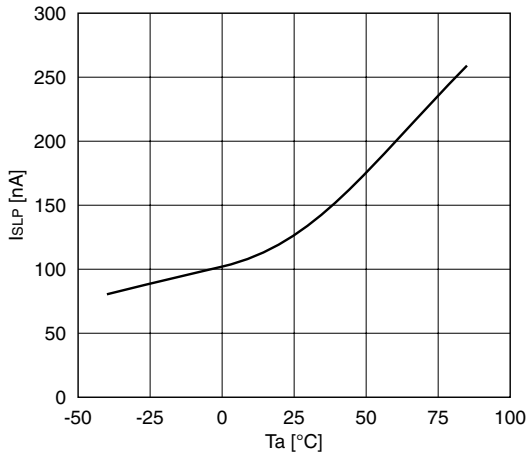
項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	I _{SLP}	OSC1A = OFF, OSC3B = OFF	—	130	300	nA
		OSC1A = 32kHz, OSC3B = OFF, RTCRUN = 1 (ON)	—	400	620	nA
HALT時消費電流	I _{HALT1}	OSC1A = 32kHz, OSC3B = OFF, PCKEN[1:0] = 0x0 (OFF)	—	0.5	0.7	μA
		OSC1A = 32kHz, OSC3B = OFF, PCKEN[1:0] = 0x0 (OFF), RTCRUN = 1 (ON)	—	0.5	0.7	μA
		OSC1A = 32kHz, OSC3B = OFF	—	0.8	1	μA
	I _{HALT2}	OSC1A = 32kHz, OSC3B = ON (500kHz)	—	65	85	μA
		OSC1A = 32kHz, OSC3B = ON (1MHz)	—	80	100	μA
		OSC1A = 32kHz, OSC3B = ON (2MHz)	—	100	130	μA
動作時消費電流 *1	I _{EXE1}	OSC1A = 32kHz, OSC3B = OFF, CPU = OSC1A	—	7.3	9	μA
		OSC1A = 32kHz, OSC3B = OFF, CPU = OSC1A, CCLKGR[1:0] = 0x2 (ギア比1/4)	—	3.2	4	μA
	I _{EXE2}	OSC1A = 32kHz, OSC3B = ON (500kHz), CPU = OSC3B	—	170	210	μA
		OSC1A = 32kHz, OSC3B = ON (1MHz), CPU = OSC3B	—	280	350	μA
		OSC1A = 32kHz, OSC3B = ON (2MHz), CPU = OSC3B	—	490	550	μA
		OSC1A = 32kHz, OSC3B = ON (4MHz), CPU = OSC3B	—	1050	1300	μA
OSC1A = 32kHz, OSC3B = ON (2MHz), CPU = OSC3B, CCLKGR[1:0] = 0x2 (ギア比1/4)	—	240	300	μA		

*1 “ALU命令60.5%、分岐命令17%、メモリード12%、メモライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値です。

22 電気的特性

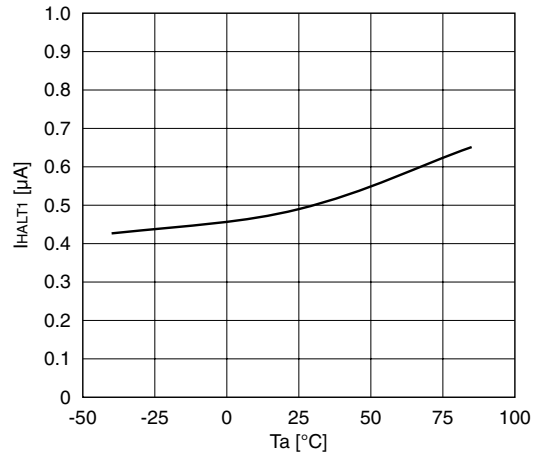
SLEEP時 消費電流対温度特性

OSC1A = OFF, OSC3B = OFF, Typ.値



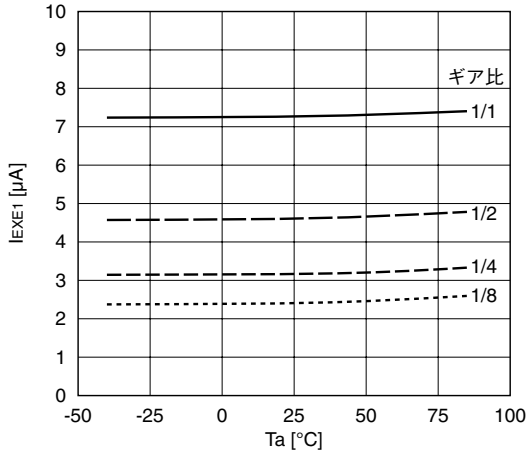
HALT時 消費電流対温度特性 (OSC1A動作時)

OSC1A = 32.768kHz水晶, OSC3B = OFF, PCKEN[1:0] = 0x0, CCLKGR[1:0] = 0x0, Typ.値



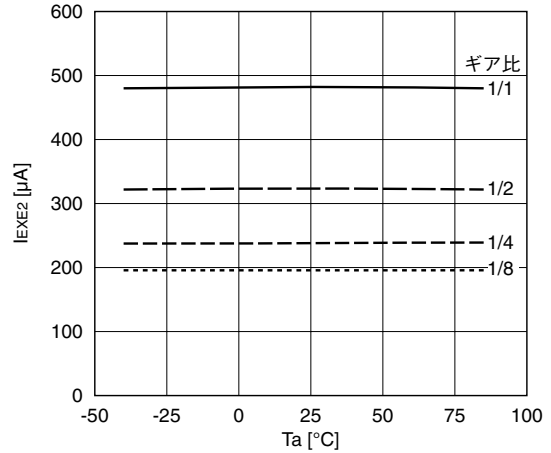
OSC1A+クロックギア動作時 消費電流対温度特性

OSC1A = 32.768kHz水晶, OSC3B = OFF, PCKEN[1:0] = 0x3, Typ.値



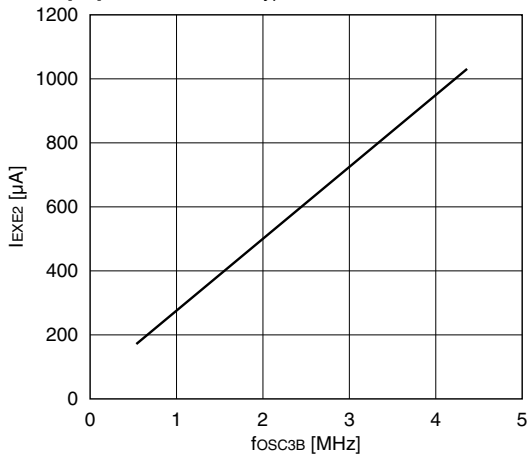
OSC3B+クロックギア動作時 消費電流対温度特性

OSC3B = ON (2MHz), OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Typ.値



OSC3B動作時 消費電流対周波数特性

OSC3B = ON, = OFF, OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Ta = 25°C, Typ.値



22.4 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。

OSC1A水晶発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_G =$ 内蔵, $C_D =$ 内蔵, $R_f =$ 内蔵, $R_D =$ 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1	tsta		–	–	3	s
内蔵ゲート容量	C _G		–	12	–	pF
内蔵ドレイン容量	C _D		–	6	–	pF

*1 水晶振動子 = C-002RX: セイコーエプソン製 ($R_1 = 50k\Omega$ Max., $C_L = 7pF$)

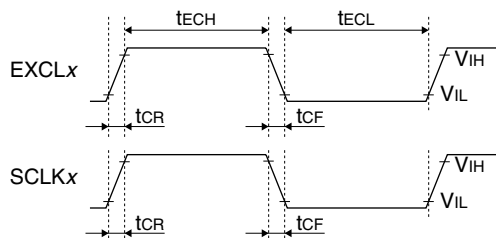
OSC3B発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tsta		–	–	5.0	μs
発振周波数 *1	fosc3B	OSC3BFSEL[1:0] = 0x0 (2MHz)	Typ. \times 0.95	1.912	Typ. \times 1.05	MHz
		OSC3BFSEL[1:0] = 0x1 (1MHz)		1.001		MHz
		OSC3BFSEL[1:0] = 0x2 (500kHz)		0.514		MHz
		OSC3BFSEL[1:0] = 0x3 (4MHz)		4.367		MHz
発振周波数温度依存 *1	Tfosc3B	OSC3BFSEL[1:0] = 0x0~0x2, 温度変化 $\pm 1^\circ C$ における周波数精度 ($25^\circ C$ 基準)	–	0.05	0.14	$\%/^\circ C$

*1 参考値

22.5 外部クロック入力特性



特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$, $T_a = -40\sim 85^\circ C$

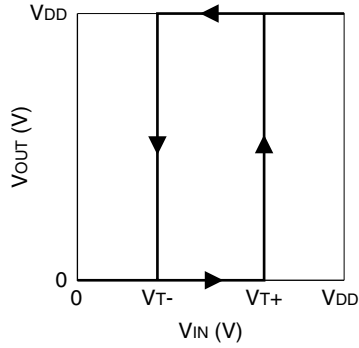
項目	記号	Min.	Typ.	Max.	単位
EXCLx入力High/パルス幅	tECH	60	–	–	ns
EXCLx入力Low/パルス幅	tECL	60	–	–	ns
UART転送レート	Ru	–	–	230400	bps
UART転送レート (IrDAモード時)	RuIrDA	–	–	115200	bps
入力立ち上がり時間	tCR	–	–	80	ns
入力立ち下がり時間	tCF	–	–	80	ns

22.6 入出力端子特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -40\sim 85^\circ C$

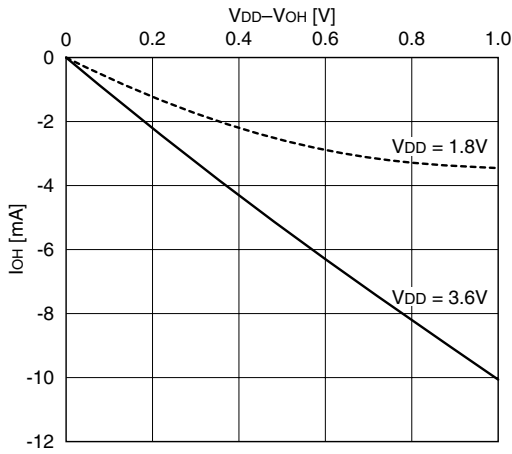
項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V _{T+}	P _{XX} , #RESET	0.5V _{DD}	–	0.9V _{DD}	V
低レベルシュミット入力スレシヨルド電圧	V _{T-}	P _{XX} , #RESET	0.1V _{DD}	–	0.5V _{DD}	V
ヒステリシス電圧	ΔV_T	P _{XX} , #RESET	0.1V _{DD}	–	–	V
高レベル出力電流	I _{OH}	P _{XX} , V _{OH} = 0.9V _{DD}	–	–	-0.4	mA
低レベル出力電流	I _{OL}	P _{XX} , V _{OL} = 0.1V _{DD}	0.4	–	–	mA
リーク電流	I _{LEAK}	P _{XX} , #RESET	-100	–	100	nA
入力プルアップ抵抗	R _{IN}	#RESET	100	250	500	k Ω
		P _{XX} , T _a = 25 $^\circ C$	80	200	500	k Ω
		P _{XX} , T _a = -40~85 $^\circ C$	50	200	1000	k Ω
端子容量	C _{IN}	P _{XX} , V _{IN} = 0V, f = 1MHz, T _a = 25 $^\circ C$	–	–	15	pF
リセットLow/パルス幅	t _{SR}	V _{IH} = 0.8V _{DD} , V _{IL} = 0.2V _{DD}	100	–	–	μs
動作電源電圧	V _{SR}		1.8	–	–	V
#RESETパワーオンリセット時間	t _{PSR}		1.0	–	–	ms

シュミット入力スレシヨルド電圧



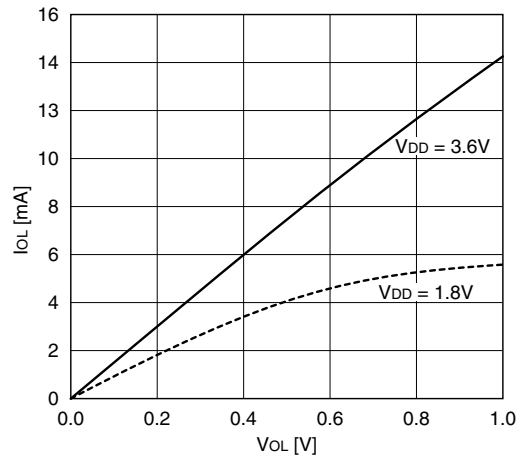
高レベル出力電流特性

Ta = 85°C, Max.値

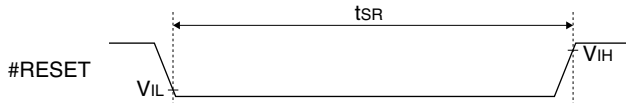


低レベル出力電流特性

Ta = 85°C, Min.値



リセットパルス

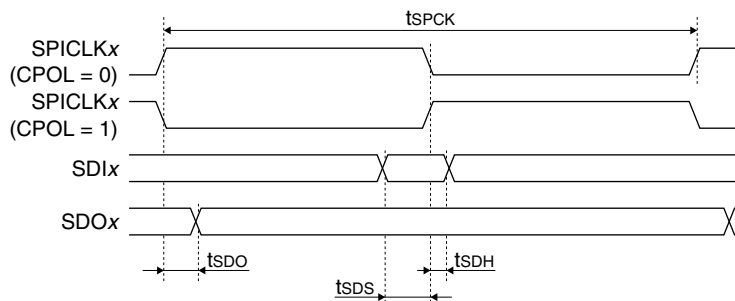


#RESETパワーオンリセットタイミング



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、#RESET端子を0.1VDD以下に落とし
てください。

22.7 SPI特性



マスタモード時

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -40\sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500	—	—	ns
SDIxセットアップ時間	tSDS	70	—	—	ns
SDIxホールド時間	tSDH	10	—	—	ns
SDOx出力遅延時間	tSDO	—	—	20	ns

スレーブモード時

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -40\sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500	—	—	ns
SDIxセットアップ時間	tSDS	30	—	—	ns
SDIxホールド時間	tSDH	80	—	—	ns
SDOx出力遅延時間	tSDO	—	—	110	ns

22.8 LCDドライバ特性

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。

LCD駆動電圧

特記なき場合: $V_{DD} = 2.2\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_2\sim C_5 = 0.1\mu F$, 市松模様出力時, パネル負荷なし, VCSEL = 1 (Vc2基準), LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示)

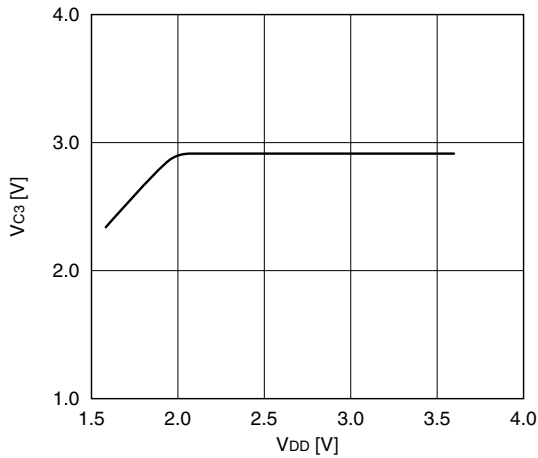
項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧 (Vc2基準選択時)	Vc1	V _{SS} ~Vc1間に1MΩの負荷抵抗を接続	Typ. × 0.96	0.974	Typ. × 1.04	V
	Vc2	V _{SS} ~Vc2間に1MΩの負荷抵抗を接続		1.958		V
	Vc3	V _{SS} ~Vc3間に1MΩの負荷抵抗を接続		2.900		V

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_2\sim C_5 = 0.1\mu F$, 市松模様出力時, パネル負荷なし, VCSEL = 0 (Vc1基準), LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示)

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧 (Vc1基準選択時)	Vc1	V _{SS} ~Vc1間に1MΩの負荷抵抗を接続	Typ. × 0.96	0.977	Typ. × 1.04	V
	Vc2	V _{SS} ~Vc2間に1MΩの負荷抵抗を接続		1.884		V
	Vc3	V _{SS} ~Vc3間に1MΩの負荷抵抗を接続		2.800		V

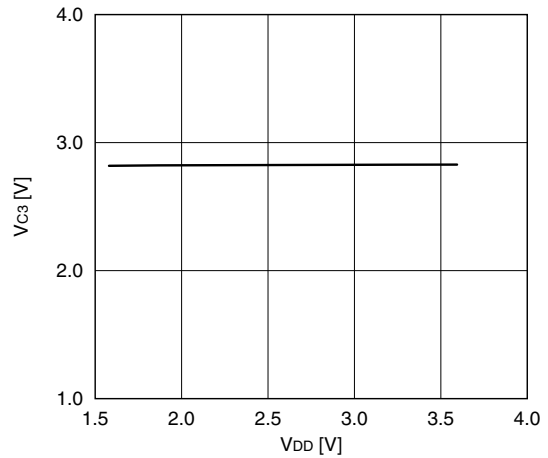
LCD駆動電圧対電源電圧特性 (Vc2基準選択時)

V_{DD} = 1.6~3.6V, LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示), V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間に1MΩの負荷抵抗を接続 (パネル負荷なし), 市松模様出力時, Ta = 25°C, Typ.値



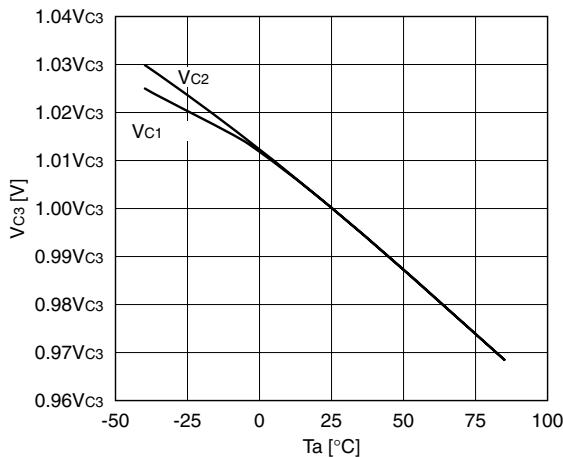
LCD駆動電圧対電源電圧特性 (Vc1基準選択時)

V_{DD} = 1.6~3.6V, LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示), V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間に1MΩの負荷抵抗を接続 (パネル負荷なし), 市松模様出力時, Ta = 25°C, Typ.値



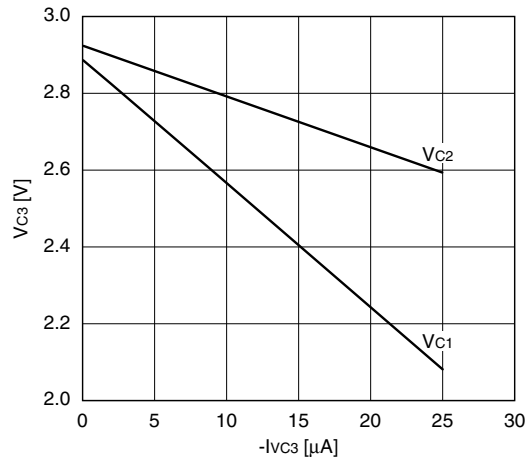
LCD駆動電圧対温度特性

V_{DD} = 3.0V, LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示), V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間に1MΩの負荷抵抗を接続 (パネル負荷なし), 市松模様出力時, Typ.値



LCD駆動電圧対負荷特性

V_{DD} = 2.2V (Vc2基準) / V_{DD} = 1.8V (Vc1基準), LCD_BCLK[1:0] = 0x1 (2kHz/OSC1A = 32kHz源振), FRMCNT[1:0] = 0x1 (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), LDUTY[2:0] = 0x3 (1/4デューティ), DSPC[1:0] = 0x1 (通常表示), V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間に1MΩの負荷抵抗を接続 (パネル負荷なし), 市松模様出力時, Ta = 25°C, Typ.値



SEG/COM出力特性

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
セグメント, コモン出力電流	I _{SEGH}	SEGxx, COMxx, V _{SEGH} = V _{C3} /V _{C2} /V _{C1} - 0.1V	-	-	-10	μA
	I _{SEGL}	SEGxx, COMxx, V _{SEGL} = 0.1V	10	-	-	μA

LCDドライバ回路消費電流

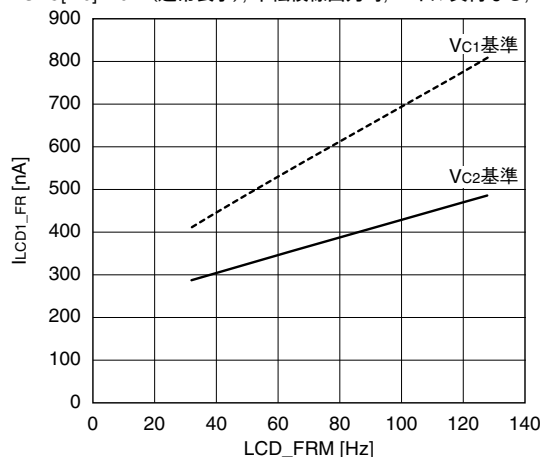
特記なき場合: $V_{DD} = 2.2\sim 3.6V$ (V_{C2} 基準) / $1.8\sim 3.6V$ (V_{C1} 基準), $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_2\sim C_5 = 0.1\mu F$, 市松模様出力時, パネル負荷なし, $PCKEN[1:0] = 0x0$ (OFF), $LCD_BCLK[1:0] = 0x1$ (2kHz/OSC1A = 32kHz源振), $FRMCNT[1:0] = 0x1$ (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), $LDUTY[2:0] = 0x3$ (1/4デューティ), $DSPC[1:0] = 0x1$ (通常表示)

項目	記号	条件	Min.	Typ.	Max.	単位
V_{C2} 基準LCD回路電流 *1	I_{LCD2}	$VCSEL = 1$	–	410	580	nA
V_{C1} 基準LCD回路電流 *1	I_{LCD1}	$VCSEL = 0$	–	670	850	nA
重負荷保護モード V_{C2} 基準LCD回路電流 *1	I_{LCD2H}	$LHVLD = 1, VCSEL = 1$	–	2.7	3.5	μA
重負荷保護モード V_{C1} 基準LCD回路電流 *1	I_{LCD1H}	$LHVLD = 1, VCSEL = 0$	–	1.8	2.4	μA

*1 LCD回路動作時にHALT時/動作時消費電流に加算されます。消費電流は、表示パターン、パネル負荷によって増加します。

LCDフレーム周波数依存性消費電流特性

$V_{DD} = 3.0V$, $T_a = 25^\circ C$, $LCD_BCLK[1:0] = 0x1$ (2kHz/OSC1A = 32kHz源振), $FRMCNT[1:0] = 0x0\sim 0x3$ (128~32Hz/OSC1A = 32kHz (LCLK = 512Hz)), $LDUTY[2:0] = 0x3$ (1/4デューティ), $DSPC[1:0] = 0x1$ (通常表示), 市松模様出力時, パネル負荷なし, $PCKEN[1:0] = 0x0$ (OFF), Typ.値

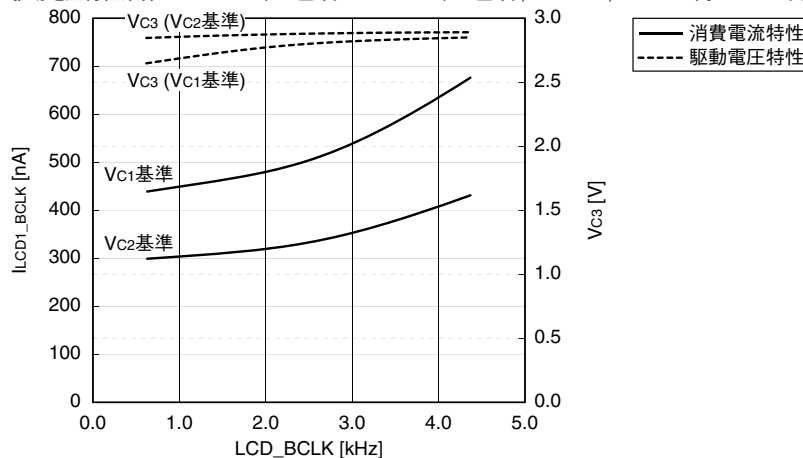


LCD昇圧クロック周波数依存性消費電流特性/駆動電圧特性

共通条件: $T_a = 25^\circ C$, $LCD_BCLK[1:0] = 0x0\sim 0x3$ (4kHz~512Hz/OSC1A = 32kHz源振), $FRMCNT[1:0] = 0x1$ (64Hz/OSC1A = 32kHz (LCLK = 512Hz)), $LDUTY[2:0] = 0x3$ (1/4デューティ), $DSPC[1:0] = 0x1$ (通常表示), 市松模様出力時, パネル負荷なし, $PCKEN[1:0] = 0x0$ (OFF), Typ.値

消費電流特性条件: $V_{DD} = 3.0V$

駆動電圧特性条件: $V_{DD} = 1.8V$ (V_{C1} 基準) / $V_{DD} = 2.2V$ (V_{C2} 基準), $V_{SS}\sim V_{C1}$, $V_{SS}\sim V_{C2}$ 間に1M Ω の負荷抵抗を接続, V_{C3} に1 μA の負荷を接続



22.9 SVD回路特性

アナログ特性

特記なき場合: VDD = 1.8~3.6V, VSS = 0V, Ta = -40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
EXSVD端子入力電圧範囲	VEXSVD		0	—	VDD	V
EXSVD入力インピーダンス	REXSVD	SVDC[4:0] = 0x0	—	—	—	kΩ
		SVDC[4:0] = 0x1	—	—	—	kΩ
		SVDC[4:0] = 0x2	—	—	—	kΩ
		SVDC[4:0] = 0x3	—	—	—	kΩ
		SVDC[4:0] = 0x4	—	—	—	kΩ
		SVDC[4:0] = 0x5	—	—	—	kΩ
		SVDC[4:0] = 0x6	—	—	—	kΩ
		SVDC[4:0] = 0x7	—	—	—	kΩ
		SVDC[4:0] = 0x8	—	—	—	kΩ
		SVDC[4:0] = 0x9	—	—	—	kΩ
		SVDC[4:0] = 0xa	—	—	—	kΩ
		SVDC[4:0] = 0xb	—	—	—	kΩ
		SVDC[4:0] = 0xc	—	—	—	kΩ
		SVDC[4:0] = 0xd	—	—	—	kΩ
		SVDC[4:0] = 0xe	336	479	623	kΩ
		SVDC[4:0] = 0xf	352	503	654	kΩ
		SVDC[4:0] = 0x10	369	527	685	kΩ
		SVDC[4:0] = 0x11	386	551	717	kΩ
		SVDC[4:0] = 0x12	403	575	748	kΩ
		SVDC[4:0] = 0x13	420	599	779	kΩ
		SVDC[4:0] = 0x14	436	623	810	kΩ
		SVDC[4:0] = 0x15	453	647	842	kΩ
		SVDC[4:0] = 0x16	470	671	872	kΩ
		SVDC[4:0] = 0x17	487	695	904	kΩ
		SVDC[4:0] = 0x18	503	719	935	kΩ
		SVDC[4:0] = 0x19	520	743	966	kΩ
		SVDC[4:0] = 0x1a	537	767	997	kΩ
		SVDC[4:0] = 0x1b	—	—	—	kΩ
		SVDC[4:0] = 0x1c	—	—	—	kΩ
		SVDC[4:0] = 0x1d	—	—	—	kΩ
		SVDC[4:0] = 0x1e	—	—	—	kΩ
SVDC[4:0] = 0x1f	—	—	—	kΩ		
SVD電圧	VSVD	SVDC[4:0] = 0x0		—		V
		SVDC[4:0] = 0x1		—		V
		SVDC[4:0] = 0x2		—		V
		SVDC[4:0] = 0x3		—		V
		SVDC[4:0] = 0x4		—		V
		SVDC[4:0] = 0x5		—		V
		SVDC[4:0] = 0x6		—		V
		SVDC[4:0] = 0x7		—		V
		SVDC[4:0] = 0x8		—		V
		SVDC[4:0] = 0x9		—		V
		SVDC[4:0] = 0xa		—		V
		SVDC[4:0] = 0xb		—		V
		SVDC[4:0] = 0xc		—		V
		SVDC[4:0] = 0xd		—		V
		SVDC[4:0] = 0xe		2.00		V
		SVDC[4:0] = 0xf	Typ. × 0.96	2.10	Typ. × 1.04	V
		SVDC[4:0] = 0x10		2.20		V
		SVDC[4:0] = 0x11		2.30		V
		SVDC[4:0] = 0x12		2.40		V
		SVDC[4:0] = 0x13		2.50		V
		SVDC[4:0] = 0x14		2.60		V
		SVDC[4:0] = 0x15		2.70		V
		SVDC[4:0] = 0x16		2.80		V
		SVDC[4:0] = 0x17		2.90		V
		SVDC[4:0] = 0x18		3.00		V
		SVDC[4:0] = 0x19		3.10		V
		SVDC[4:0] = 0x1a		3.20		V
		SVDC[4:0] = 0x1b		—		V
		SVDC[4:0] = 0x1c		—		V
		SVDC[4:0] = 0x1d		—		V
		SVDC[4:0] = 0x1e		—		V
SVDC[4:0] = 0x1f		—		V		

項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路イネーブル時応答時間*1	tSVDEN		-	-	500	μs
SVD回路応答時間*2	tSVD		-	-	60	μs

*1 SVDENを0から1に変更後、安定した検出結果が得られるまでに必要な時間です。

*2 SVDC[4:0]を変更後、安定した検出結果が得られるまでに必要な時間です。

SVD回路消費電流

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流*1	ISVD	SVDMMD[2:0] = 0x0, SVDC[4:0] = 0xe, SVDCLK = 32kHz	-	13.5	21	μA
		SVDMMD[2:0] = 0x1, SVDC[4:0] = 0xe, SVDCLK = 32kHz	-	2.2	3.5	μA
		SVDMMD[2:0] = 0x2, SVDC[4:0] = 0xe, SVDCLK = 32kHz	-	1.1	2	μA
		SVDMMD[2:0] = 0x3, SVDC[4:0] = 0xe, SVDCLK = 32kHz	-	0.6	1	μA
		SVDMMD[2:0] = 0x7, SVDC[4:0] = 0xe, SVDCLK = 32kHz	-	0.2	0.3	μA

*1 SVD回路動作時にSLEEP時/HALT時/動作時(重負荷保護モード含む)のいずれかの消費電流に加算されます。

22.10 R/F変換器特性

R/F変換器特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上で評価を行ってください。

アナログ特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -40\sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
基準/センサ発振周波数*1	f _{RFLK}		1	-	1000	kHz
基準/センサ発振周波数IC偏差*2	$\Delta f_{RFLK}/\Delta IC$	$T_a = 25^\circ C$	-30	-	30	%
基準抵抗/抵抗性センサ抵抗値*3	R _{REF} , R _{SEN}		1	-	-	kΩ
基準キャパシタ値*3	C _{REF}		100	-	-	pF
タイムベースカウンタクロック周波数	f _{TCCCLK}		-	-	2	MHz
RFIN端子高レベルシュミット入力電圧	V _{T+}		0.5•V _{DD}	-	0.9•V _{DD}	V
RFIN端子低レベルシュミット入力電圧	V _{T-}		0.1•V _{DD}	-	0.5•V _{DD}	V

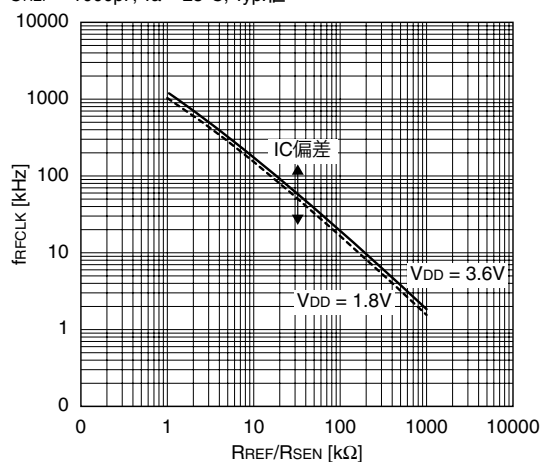
*1 1kHz以下の周波数に設定すると、リークによるばらつきの影響により周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

*3 この範囲外の抵抗/容量でもCR発振します(グラフ参照)。ただし、基板やICの寄生素子の影響により周波数の周波数IC偏差が大きくなる可能性があります。

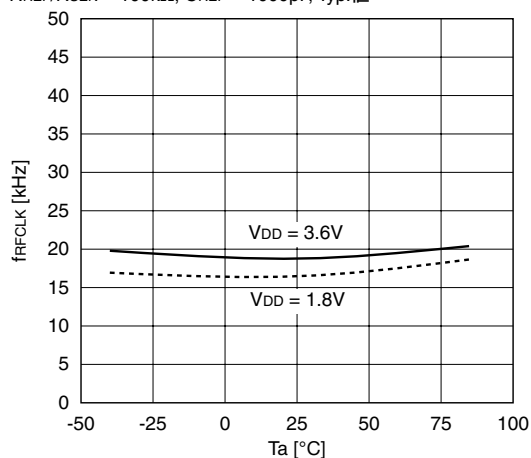
RFC基準/センサ発振周波数対抵抗特性

$C_{REF} = 1000pF$, $T_a = 25^\circ C$, Typ.値



RFC基準/センサ発振周波数対温度特性

$R_{REF}/R_{SEN} = 100k\Omega$, $C_{REF} = 1000pF$, Typ.値



R/F変換器消費電流

特記なき場合: $V_{DD} = 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, PCKEN[1:0] = 0x3 (ON), $C_{REF} = 1000pF$, $R_{REF}/R_{SEN} = 100k\Omega$

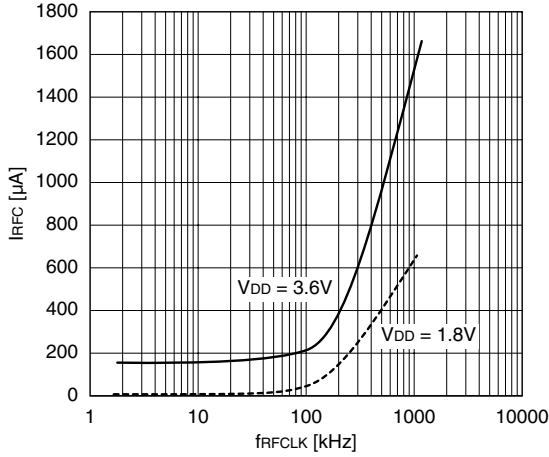
項目	記号	条件	Min.	Typ.	Max.	単位
R/F変換器動作電流*1	I _{RFIC}		-	200	350	μA

*1 R/F変換器使用時にHALT時/動作時消費電流に加算されます。 V_{DD} 、基準容量、基準/センサ発振周波数によって消費電流は異なります。

22 電気的特性

RFC基準/センサ発振消費電流対周波数特性

$C_{REF} = 1000\text{pF}$, $T_a = 25^\circ\text{C}$, Typ.値



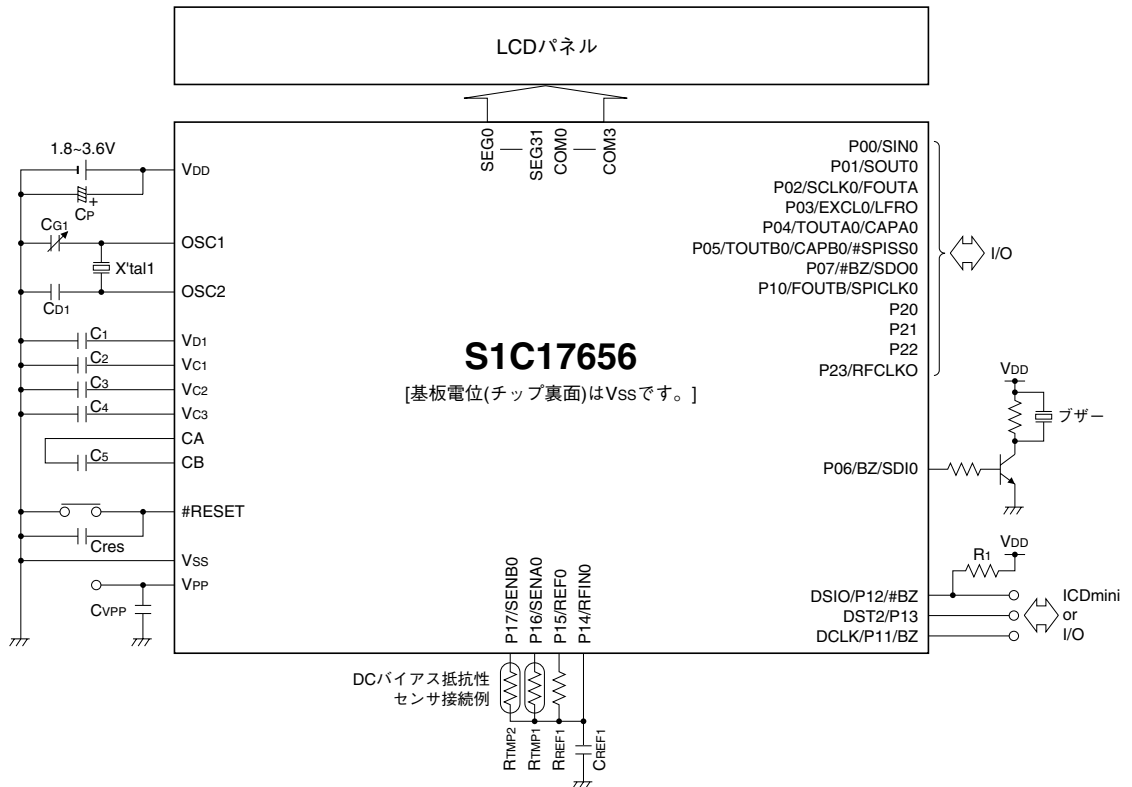
22.11 Flashメモリ特性

特記なき場合: $V_{DD} = 1.8\text{--}3.6\text{V}$, $V_{PP} = 7.5\text{V}$ (プログラミング時/消去時), $V_{SS} = 0\text{V}$, $T_a = -40\text{--}85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *1	C_{FEP}	データ保持10年保証時	50	—	—	回

*1 消去 + 書き込みを1回とする。ROMデータプログラミング出荷の場合、工場での書き込みも回数に含む。

23 基本外部結線図



外付部品推奨値

OSC1A発振回路用外付け部品

シンボル	名称	推奨部品
X'tal1	32kHz水晶振動子	セイコーエプソン(株)製 C-002RX (R ₁ = 50kΩ (Max.), C _L = 7pF)

その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3μF
CG1	ゲートキャパシタ	6pF
CD1	ドレインキャパシタ	0pF
Cres	#RESET端子キャパシタ	0.47μF
C1	V _{D1} ~V _{SS} 間キャパシタ	0.1μF
C2	V _{C1} ~V _{SS} 間キャパシタ	0.1μF
C3	V _{C2} ~V _{SS} 間キャパシタ	0.1μF
C4	V _{C3} ~V _{SS} 間キャパシタ	0.1μF
C5	CA~CB間キャパシタ	0.1μF
C _{REF1}	基準キャパシタ	-
R _{REF1}	基準抵抗	-
RTMP1~2	抵抗性センサ	-
R1	DSIOプルアップ抵抗	10kΩ
C _{VPP}	V _{PP} ~V _{SS} 間キャパシタ	1μF

注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

- 水晶振動子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

24 パッケージ

TQFP14-80pin

(単位: mm)

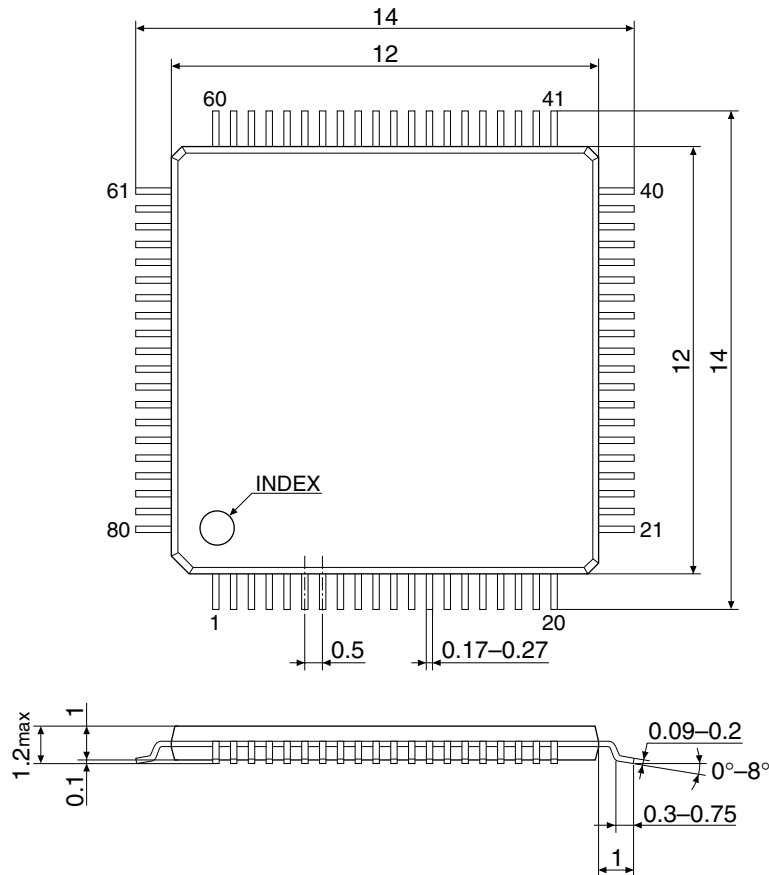


図24.1 TQFP14-80pinパッケージ寸法

Appendix A I/Oレジスタ一覧

内蔵周辺回路エリア 1 (0x4000~0x43ff)

周辺回路	アドレス	レジスタ名		機能
MISCレジスタ (8ビットデバイス)	0x4020	MISC_DMODE1	Debug Mode Control Register 1	デバッグモード時の周辺回路動作選択 (PCLK)
UART (IrDA付き) Ch.0 (8ビットデバイス)	0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
	0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
	0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
	0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
	0x4105	UART_EXPO	UART Ch.0 Expansion Register	IrDAモードの設定
	0x4106	UART_BR0	UART Ch.0 Baud Rate Register	ボーレートの設定
0x4107	UART_FMD0	UART Ch.0 Fine Mode Register	ファインモードの設定	
8ビットタイマ Ch.0 (16ビットデバイス)	0x4240	T8_CLK0	T8 Ch.0 Count Clock Select Register	カウンタクロックの選択
	0x4242	T8_TR0	T8 Ch.0 Reload Data Register	リロードデータの設定
	0x4244	T8_TC0	T8 Ch.0 Counter Data Register	カウンタデータ
	0x4246	T8_CTL0	T8 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248	T8_INT0	T8 Ch.0 Interrupt Control Register	割り込みの制御
割り込み コントローラ (16ビットデバイス)	0x4306	ITC_LV0	Interrupt Level Setup Register 0	PO割り込みレベルの設定
	0x4308	ITC_LV1	Interrupt Level Setup Register 1	CT割り込みレベルの設定
	0x430a	ITC_LV2	Interrupt Level Setup Register 2	RTC割り込みレベルの設定
	0x430c	ITC_LV3	Interrupt Level Setup Register 3	LCD、T16A2 Ch.0割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5	T8 Ch.0割り込みレベルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0割り込みレベルの設定
	0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0割り込みレベルの設定
	0x4316	ITC_LV8	Interrupt Level Setup Register 8	RFC Ch.0割り込みレベルの設定
	0x4318	ITC_LV9	Interrupt Level Setup Register 9	SVD割り込みレベルの設定
	SPI Ch.0 (16ビットデバイス)	0x4320	SPI_ST0	SPI Ch.0 Status Register
0x4322		SPI_TXD0	SPI Ch.0 Transmit Data Register	送信データ
0x4324		SPI_RXD0	SPI Ch.0 Receive Data Register	受信データ
0x4326		SPI_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定

内蔵周辺回路エリア 2 (0x5000~0x5fff)

周辺回路	アドレス	レジスタ名		機能
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
クロック ジェネレータ (8ビットデバイス) (SVD, RFC, T16A2 UART, SND, LCD)	0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
	0x5061	CLG_CTL	Oscillation Control Register	発振制御
	0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
	0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
	0x5066	SVD_CLK	SVD Clock Control Register	SVDクロックの制御
	0x5067	RFC_CLK	RFC Clock Control Register	RFCクロックの制御
	0x5068	T16A_CLK0	T16A2 Clock Control Register Ch.0	T16A2 Ch.0クロックの制御
	0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの制御
	0x506e	SND_CLK	SND Clock Control Register	SNDクロックの制御
	0x5070	LCD_TCLK	LCD Timing Clock Control Register	LCDクロックの制御
	0x5071	LCD_BCLK	LCD Booster Clock Control Register	LCD用昇圧クロックの制御
	0x507d	CLG_WAIT	Oscillation Stabilization Wait Control Register	発振安定待ち時間の制御
	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定	
LCDドライバ (8ビットデバイス)	0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
	0x50a2	LCD_CCTL	LCD Clock Control Register	LCD駆動デューティの選択
	0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	Vc定電圧回路の制御
	0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
	0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット
	SVD回路 (8ビットデバイス)	0x5100	SVD_EN	SVD Enable Register
0x5101		SVD_CMP	SVD Comparison Voltage Register	検出対象電圧と比較電圧の選択
0x5102		SVD_RSLT	SVD Detection Result Register	電圧検出結果
0x5103		SVD_IMSK	SVD Interrupt Mask Register	割り込みの許可/禁止
0x5104		SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット
電源回路 (8ビットデバイス)	0x5120	VD1_CTL	Vd1 Control Register	Vd1 Regulator重負荷保護モードの制御
サウンド ジェネレータ (8ビットデバイス)	0x5180	SND_CTL	SND Control Register	ブザー出力の制御
	0x5181	SND_BZFD	Buzzer Frequency Control Register	ブザー周波数の設定
	0x5182	SND_BZDT	Buzzer Duty Ratio Control Register	ブザー信号デューティ比の設定

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名	機能	
Pポート&ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出カインーブル
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入カインーブル
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインーブル
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
	0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入カインーブル
	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出カインーブル
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
	0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入カインーブル
	0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
	0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択	
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択	
0x52a4	P23PMUX	P23 Port Function Select Register	P23ポート機能の選択	
MISCレジスタ (16ビットデバイス)	0x5322	MISC_DMODE2	Debug Mode Control Register 2	デバッグモード時の周辺回路動作選択 (PCLK以外)
	0x5324	MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護
	0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
	0x5328	MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定
	0x532a	MISC_TTBHR	Vector Table Address High Register	
	0x532c	MISC_PSR	PSR Register	S1C17コアPSRの読み出し
R/F変換器 (16ビットデバイス)	0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御
	0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御
	0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ
	0x53a6	RFC_MCH	RFC Measurement Counter High Register	
	0x53a8	RFC_TCL	RFC Time Base Counter Low Register	タイムベースカウンタデータ
	0x53aa	RFC_TCH	RFC Time Base Counter High Register	
	0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込み許可/禁止
	0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x53af	RFC_IEN	RFC Interrupt Enable Register	割り込みの許可/禁止
16ビットPWM タイマCh.0 (16ビットデバイス)	0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
	0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
	0x5404	T16A_CCCTL0	T16A CoAarator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5406	T16A_CCA0	T16A CoAare/Capture Ch.0 A Data Register	コンペアA/キャプチャAデータ
	0x5408	T16A_CCB0	T16A CoAare/Capture Ch.0 B Data Register	コンペアB/キャプチャBデータ
	0x540a	T16A_IEN0	T16A CoAare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
	0x540c	T16A_IFLG0	T16A CoAare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
Flashコントローラ (16ビットデバイス)	0x54b0	FLASHC_WAIT	FLASHC Read Wait Control Register	Flashリードウェイト数の設定
リアルタイム クロック (16ビットデバイス)	0x56c0	RTC_CTL	RTC Control Register	RTCの制御
	0x56c2	RTC_IEN	RTC Interrupt Enable Register	割り込みの許可/禁止
	0x56c4	RTC_IFLG	RTC Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x56c6	RTC_MS	RTC Minute/Second Counter Register	分/秒カウンタデータ
	0x56c8	RTC_H	RTC Hour Counter Register	時カウンタデータ

コアI/O予約エリア(0xffff84~0xffffd0)

周辺回路	アドレス	レジスタ名	機能	
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセスIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffc0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4100–0x4107, 0x506c

UART (with IrDA) Ch.0

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Ch.0 Status Register (UART_ST0)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1. Shift register status
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	
UART Ch.0 Transmit Data Register (UART_TXD0)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R/W			
UART Ch.0 Receive Data Register (UART_RXD0)	0x4102 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R	Older data in the buffer is read out first.		
UART Ch.0 Mode Register (UART_MOD0)	0x4103 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.		
		D4	CHLN	Character length select	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	–	reserved	–		–	–	–	0 when being read.	
UART Ch.0 Control Register (UART_CTL0)	0x4104 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W	
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3–2	–	reserved	–		–	–	–	0 when being read.	
		D1	RBF1	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W	
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W	
UART Ch.0 Expansion Register (UART_EXP0)	0x4105 (8 bits)	D7–1	–	reserved	–		–	–	0 when being read.		
		D0	IRMD	IrDA mode select	1	On	0	Off	0	R/W	
UART Ch.0 Baud Rate Register (UART_BR0)	0x4106 (8 bits)	D7–0	BR[7:0]	Baud rate setting	0x0 to 0xff		0x0	R/W			
UART Ch.0 Fine Mode Register (UART_FMD0)	0x4107 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.		
		D3–0	FMD[3:0]	Fine mode setup	0x0 to 0xf		0x0	R/W	Set a number of times to insert delay into a 16-underflow period.		
UART Ch.0 Clock Control Register (UART_CLK0)	0x506c (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.		
		D5–4	UTCLKD [1:0]	Clock division ratio select	UTCLKD[1:0]		Division ratio	0x0	R/W	When the clock source is OSC3B	
					0x3	1/8					
					0x2	1/4					
					0x1	1/2					
D3–2	UTCLKSRC [1:0]	Clock source select	UTCLKSRC[1:0]		Clock source	0x0	R/W				
			0x3	External clock							
			0x2	reserved							
0x1	OSC1A										
0x0	OSC3B										
D1	–	reserved	–		–	–	–	0 when being read.			
D0	UTCLKE	UART clock enable	1	Enable	0	Disable	0	R/W			

0x4240–0x4248

8-bit Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.0 Count Clock Select Register (T8_CLK0)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
			0x4 1/16					
			0x3 1/8					
			0x2 1/4					
			0x1 1/2					
			0x0 1/1					
T8 Ch.0 Reload Data Register (T8_TR0)	0x4242 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	Reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8 Ch.0 Counter Data Register (T8_TC0)	0x4244 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	Counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
T8 Ch.0 Control Register (T8_CTL0)	0x4246 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T8 Ch.0 Interrupt Control Register (T8_INT0)	0x4248 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8IE	T8 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8IF	T8 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4306–0x4318

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7–0	–	reserved	–	–	–	0 when being read.
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV4[2:0]	RTC interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV7[2:0]	T16A2 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV6[2:0]	LCD interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV10[2:0]	T8 Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV14[2:0]	SPI Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV17[2:0]	RFC Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–0	–	reserved	–	–	–	0 when being read.
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV18[2:0]	SVD interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326

SPI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SPI Ch.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.	
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle	0	R		
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R		
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R		
SPI Ch.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W		
SPI Ch.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R		
SPI Ch.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.	
		D9	MCLK	SPI clock source select	1 T8 Ch.0 0 PCLK/4	0	R/W		
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W		
		D7–6	–	reserved	–	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W		
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W		
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.	
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W		
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W		
D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W				

0x5000–0x5003

Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CTRST	Clock timer reset	1 Reset 0 Ignored	0	W	
		D3–1	–	reserved	–	–	–	–
		D0	CTRUN	Clock timer run/stop control	1 Run 0 Stop	0	R/W	
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7–0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag		0	R/W	
		D1	CTIF2	2 Hz interrupt flag		0	R/W	
D0	CTIF1	1 Hz interrupt flag		0	R/W			

0x5040–0x5041

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	WDRST	Watchdog timer reset	1 Reset 0 Ignored	0	W	
		D3–0	WDRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run 1010 Stop	1010	R/W	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1 Reset 0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred 0 Not occurred	0	R	

0x5060–0x5081

Clock Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7–6	OSC3B FSEL[1:0]	OSC3B frequency select	OSC3BFSEL[1:0]	Frequency	0x0	R/W	
					0x3	4 MHz			
					0x2	500 kHz			
					0x1	1 MHz			
	0x0	2 MHz							
	D5–2	–	reserved	–	–	–	–	0 when being read.	
	D1–0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]	Clock source	0x0	R/W		
					0x3, 0x2 reserved				
					0x1 OSC1A				
					0x0 OSC3B				

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2	OSC3BEN	OSC3B enable	1 Enable 0 Disable	1	R/W		
		D1	OSC1EN	OSC1A enable	1 Enable 0 Disable	0	R/W		
		D0	-	reserved	-	-	-	0 when being read.	
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7	-	reserved	-	-	-	0 when being read.	
		D6-4	FOUTAD [2:0]	FOUTA clock division ratio select	FOUTAD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3-2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W			
			0x3, 0x2	reserved					
			0x1	OSC1A					
0x0	OSC3B								
D1	-	reserved	-	-	-	0 when being read.			
D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W				
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7	-	reserved	-	-	-	0 when being read.	
		D6-4	FOUTBD [2:0]	FOUTB clock division ratio select	FOUTBD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W			
			0x3, 0x2	reserved					
			0x1	OSC1A					
0x0	OSC3B								
D1	-	reserved	-	-	-	0 when being read.			
D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W				
Oscillation Stabilization Wait Control Register (CLG_WAIT)	0x507d (8 bits)	D7-6	OSC3BWT [1:0]	OSC3B stabilization wait cycle select	OSC3BWT[1:0]	Wait cycle	0x0	R/W	
					0x3	8 cycles			
					0x2	16 cycles			
					0x1	32 cycles			
					0x0	64 cycles			
D5-2	-	reserved	-	-	-	0 when being read.			
D1-0	OSC1AWT [1:0]	OSC1A stabilization wait cycle select	OSC1AWT[1:0]	Wait cycle	0x0	R/W			
			0x3	reserved					
			0x2	4096 cycles					
			0x1	reserved					
			0x0	16384 cycles					
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
0x1	Not allowed								
0x0	Disable								
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	CCLKGR[1:0]	CCLK clock gear ratio select	-	-	-	0 when being read.	
					CCLKGR[1:0]	Gear ratio	0x0	R/W	
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
0x0	1/1								

0x5070-0x5071, 0x50a0-0x50a6

LCD Driver

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks				
LCD Timing Clock Select Register (LCD_TCLK)	0x5070 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.				
					D5-4	LCDTCLKD [1:0]	LCD clock division ratio select	LCDTCLKD [1:0]	Division ratio	0x0	R/W	
								OSC3B	OSC1A			
								0x3	1/8192	1/64		
								0x2	1/4096	1/64		
								0x1	1/2048	1/64		
0x0	1/1024	1/64										
D3-2	LCDTCLK SRC[1:0]	LCD clock source select	LCDTCLK SRC[1:0]	Clock source	0x0	R/W						
			0x3, 0x2	reserved								
			0x1	OSC1A								
0x0	OSC3B											
D1	-	reserved	-	-	-	0 when being read.						
D0	LCDTCLKE	LCD clock enable	1 Enable 0 Disable	0	R/W							

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
LCD Booster Clock Control Register (LCD_BCLK)	0x5071 (8 bits)	D7	–	reserved	–	–	–	0 when being read.		
		D6–4	LCDBCLKD [2:0]	LCD booster clock division ratio select	LCDBCLK D[2:0]	Division ratio		0x0	R/W	
					0x7	–	–			
					0x6	1/4096	–			
					0x5	1/2048	–			
0x4	1/1024	–								
0x3	1/512	1/64								
0x2	1/256	1/32								
0x1	1/128	1/16								
0x0	1/64	1/8								
D3–2	LCDBCLK SRC[1:0]	LCD Booster clock source select	LCDBCLK SRC[1:0]	Clock source		0x0	R/W			
			0x3, 0x2	reserved						
0x1	OSC1A									
0x0	OSC3B									
D1	–	reserved	–	–	–	–	0 when being read.			
D0	LCDBCLKLE	LCD Booster clock enable		1 Enable	0 Disable	0	R/W			
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.		
		D4	DSPREV	Reverse display control	1 Normal	0 Reverse	1	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.		
		D1–0	DSPC[1:0]	LCD display control	DSPC[1:0]	Display		0x0	R/W	
0x3	All off									
0x2	All on									
0x1	Normal display									
0x0	Display off									
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7–6	FRMCNT[1:0]	Frame frequency control	FRMCNT[1:0]	Division ratio		0x1	R/W	Source clock: LCLK
					0x3	1/16				
					0x2	1/12				
					0x1	1/8				
0x0	1/4									
D5–3	–	reserved	–	–	–	–	0 when being read.			
D2–0	LDUTY[2:0]	LCD duty select	LDUTY[2:0]	Duty		0x3	R/W			
			0x7–0x4	reserved						
			0x3	1/4						
			0x2	1/3						
0x1	1/2									
0x0	Static									
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.		
		D4	LHVLD	Vc heavy load protection mode	1 On	0 Off	0	R/W		
		D3–1	–	reserved	–	–	–	0 when being read.		
		D0	VCSEL	Reference voltage select	1 Vc2	0 Vc1	0	R/W		
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.		
		D0	IFRMEN	Frame signal interrupt enable	1 Enable	0 Disable	0	R/W		
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.		
		D0	IFRMFLG	Frame signal interrupt flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.	

0x5066, 0x5100–0x5104**SVD Circuit**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Clock Control Register (SVD_CLK)	0x5066 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3–2	CLKSRC [1:0]	SVD clock source select	CLKSRC[1:0]	Clock source		0x0	R/W
					0x3	reserved			
					0x2	OSC1A/64			
0x1	OSC1A								
0x0	OSC3B/64								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	CLKEN	SVD clock enable		1 Enable	0 Disable	0	R/W		
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7–4	SVDRE[3:0]	SVD reset enable	SVDRE[3:0]	SVD reset		0x0	R/W
					0b1010	Enable			
		Others	Disable						
		D3–1	SVDMD[2:0]	SVD intermittent mode setting	SVDMD[2:0]	Cycle		0x0	R/W
					0x7	SVDCLK/8192			
					0x6	SVDCLK/4096			
0x5	SVDCLK/2048								
0x4	SVDCLK/1024								
0x3	SVDCLK/512								
0x2	SVDCLK/256								
0x1	SVDCLK/128								
0x0	Continuous								
D0	SVDEN	SVD enable		1 Enable	0 Disable	0	R/W		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7	VDSEL	Detection voltage select	1 EXSVD	0 VDD	0	R/W	Ineffective when SVDMD[2:0]/SVD_EN register = 0x0.
		D6-5	SVDSC[1:0]	SVD sampling result count (for intermittent mode)	SVDSC[1:0]	Count	0x0	R/W	
		D4-0	SVDC[4:0]	SVD comparison voltage select	SVDC[4:0]	Voltage	0x0	R/W	
					0x1f-0x1b	reserved			
					0x1a	3.20 V			
					0x19	3.10 V			
					0x18	3.00 V			
					0x17	2.90 V			
					0x16	2.80 V			
					0x15	2.70 V			
					0x14	2.60 V			
					0x13	2.50 V			
					0x12	2.40 V			
					0x11	2.30 V			
					0x10	2.20 V			
					0xf	2.10 V			
					0xe	2.00 V			
					0xd-0x0	reserved			
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7-1	-	reserved	-	-	-	-	0 when being read.
		D0	SVDDT	SVD detection result	1 Low	0 Normal	×	R	
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7-1	-	reserved	-	-	-	-	0 when being read.
		D0	SV DIE	SVD interrupt enable	1 Enable	0 Disable	0	R/W	
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7-1	-	reserved	-	-	-	-	0 when being read.
		D0	SV DIF	SVD interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x5120

Power Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Vd1 Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	-	reserved	-	-	-	-	0 when being read.
		D5	HVLD	Vd1 heavy load protection mode	1 On	0 Off	0	R/W	
		D4-0	-	reserved	-	-	-	-	-

0x506e, 0x5180-0x5182

Sound Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SND Clock Control Register (SND_CLK)	0x506e (8 bits)	D7-1	-	reserved	-	-	-	-	0 when being read.
		D0	SNDCLKE	SND clock enable	1 Enable	0 Disable	0	R/W	
SND Control Register (SND_CTL)	0x5180 (8 bits)	D7-6	-	reserved	-	-	-	-	0 when being read.
		D5-4	BZTM[1:0]	Buzzer envelope time/one-shot output time select	BZTM[1:0]	Time	0x0	R/W	
					0x3	125 ms			
					0x2	62.5 ms			
					0x1	31.25 ms			
0x0	15.63 ms								
D3-2	BZMD[1:0]	Buzzer mode select	BZMD[1:0]	Mode	0x0	R/W			
			0x3	reserved					
			0x2	Envelope					
0x1	One-shot								
0x0	Normal								
D1	-	reserved	-	-	-	-	-	0 when being read.	
D0	BZEN	Buzzer output control	1 On/Trigger	0 Off	0	R/W			
Buzzer Frequency Control Register (SND_BZFQ)	0x5181 (8 bits)	D7-3	-	reserved	-	-	-	-	0 when being read.
		D2-0	BZFQ[2:0]	Buzzer frequency select	BZFQ[2:0]	Frequency	0x0	R/W	
					0x7	1170.3 Hz			
					0x6	1365.3 Hz			
					0x5	1638.4 Hz			
					0x4	2048.0 Hz			
					0x3	2340.6 Hz			
					0x2	2730.7 Hz			
0x1	3276.8 Hz								
0x0	4096.0 Hz								
Buzzer Duty Ratio Control Register (SND_BZDT)	0x5182 (8 bits)	D7-3	-	reserved	-	-	-	-	0 when being read.
		D2-0	BZDT[2:0]	Buzzer duty ratio select	BZDT[2:0]	Duty (volume)	0x0	R/W	
					0x7	Level 8 (Min.)			
					:	:			
0x0	Level 1 (Max.)								

0x5200–0x52a4

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7–0	P0IN[7:0]	P0[7:0] port input data	1 1 (H) 0 0 (L)	×	R		
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7–0	P0OUT[7:0]	P0[7:0] port output data	1 1 (H) 0 0 (L)	0	R/W		
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7–0	P0OEN[7:0]	P0[7:0] port output enable	1 Enable 0 Disable	0	R/W		
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–0	P0PU[7:0]	P0[7:0] port pull-up enable	1 Enable 0 Disable	1 (0xff)	R/W		
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7–0	P0IE[7:0]	P0[7:0] port interrupt enable	1 Enable 0 Disable	0	R/W		
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7–0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1 Falling edge 0 Rising edge	0	R/W		
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7–0	P0IF[7:0]	P0[7:0] port interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
0x5	4096/fPCLK								
0x4	2048/fPCLK								
0x3	1024/fPCLK								
0x2	512/fPCLK								
0x1	256/fPCLK								
0x0	None								
		D3	–	reserved	–	–	–	0 when being read.	
		D2–0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
		0x2	512/fPCLK						
		0x1	256/fPCLK						
		0x0	None						
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.	
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0] = 0			
					0x2	P0[2:0] = 0			
0x1	P0[1:0] = 0								
0x0	Disable								
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7–0	P0IEN[7:0]	P0[7:0] port input enable	1 Enable 0 Disable	1 (0xff)	R/W		
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7–2	P1IN[7:2]	P1[7:2] port input data	1 1 (H) 0 0 (L)	×	R		
		D1	–	reserved	–	–	–	0 when being read.	
		D0	P1IN0	P10 port input data	1 1 (H) 0 0 (L)	×	R		
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7–0	P1OUT[7:0]	P1[7:0] port output data	1 1 (H) 0 0 (L)	0	R/W		
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7–0	P1OEN[7:0]	P1[7:0] port output enable	1 Enable 0 Disable	0	R/W		
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1 Enable 0 Disable	1 (0xff)	R/W		

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	–	reserved	–	–	–	–	0 when being read.	
		D6–4	P1CF2[2:0]	P1[7:4] chattering filter time	P1CF2[2:0]	Filter time	0	R/W		
					0x7	16384/fPCLK	0x0	R/W		
					0x6	8192/fPCLK				
0x5	4096/fPCLK									
		0x4	2048/fPCLK							
		0x3	1024/fPCLK							
		0x2	512/fPCLK							
		0x1	256/fPCLK							
		0x0	None							
		D3	–	reserved	–	–	–	–	0 when being read.	
		D2–0	P1CF1[2:0]	P1[3:0] chattering filter time	P1CF1[2:0]	Filter time	0x0	R/W		
0x7	16384/fPCLK									
0x6	8192/fPCLK									
0x5	4096/fPCLK									
		0x4	2048/fPCLK							
		0x3	1024/fPCLK							
		0x2	512/fPCLK							
		0x1	256/fPCLK							
		0x0	None							
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7–2	P1IEN[7:2]	P1[7:2] port input enable	1 Enable	0 Disable	1	R/W		
		D1	–	reserved	–	–	–	–	0 when being read.	
		D0	P1IEN0	P10 port input enable	1 Enable	0 Disable	1	R/W		
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.	
		D3–0	P2IN[3:0]	P2[3:0] port input data	1 1 (H)	0 0 (L)	×	R		
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.	
		D3–0	P2OUT[3:0]	P2[3:0] port output data	1 1 (H)	0 0 (L)	0	R/W		
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.	
		D3–0	P2OEN[3:0]	P2[3:0] port output enable	1 Enable	0 Disable	0	R/W		
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.	
		D3–0	P2PU[3:0]	P2[3:0] port pull-up enable	1 Enable	0 Disable	1 (0xf)	R/W		
P2 Port Chattering Filter Control Register (P2_CHAT)	0x5228 (8 bits)	D7–3	–	reserved	–	–	–	–	0 when being read.	
		D2–0	P2CF1[2:0]	P2[3:0] chattering filter time	P2CF1[2:0]	Filter time	0x0	R/W		
					0x7	16384/fPCLK				
					0x6	8192/fPCLK				
0x5	4096/fPCLK									
		0x4	2048/fPCLK							
		0x3	1024/fPCLK							
		0x2	512/fPCLK							
		0x1	256/fPCLK							
		0x0	None							
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.	
		D3–0	P2IEN[3:0]	P2[3:0] port input enable	1 Enable	0 Disable	1 (0xf)	R/W		
P0[3:0] Port Function Select Register (P0_03PMUX)	0x52a0 (8 bits)	D7–6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W		
					0x3	LFRO				
					0x2	reserved				
					0x1	EXCL0				
				0x0	P03					
		D5–4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W		
					0x3	reserved				
					0x2	FOUTA				
0x1	SCLK0									
		0x0	P02							
D3–2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W				
			0x3	reserved						
			0x2	reserved						
			0x1	SOUT0						
		0x0	P01							
D1–0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W				
			0x3	reserved						
			0x2	reserved						
			0x1	SIN0						
			0x0	P00						

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3 reserved				
			0x2 SDO0						
			0x1 #BZ						
		0x0 P07							
	D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W		
				0x3 reserved					
			0x2 SDI0						
		0x1 BZ							
	0x0 P06								
D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 #SPISS0							
		0x1 TOUTB0/CAPB0							
	0x0 P05								
D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 reserved							
		0x1 TOUTA0/CAPA0							
	0x0 P04								
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3 reserved				
			0x2 reserved						
			0x1 P13						
		0x0 DST2							
	D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W		
				0x3 reserved					
			0x2 #BZ						
		0x1 P12							
	0x0 DSIO								
D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 BZ							
		0x1 P11							
	0x0 DCLK								
D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 SPICK0							
		0x1 FOUTB							
	0x0 P10								
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3 reserved				
			0x2 reserved						
			0x1 SENB0						
		0x0 P17							
	D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W		
				0x3 reserved					
			0x2 reserved						
		0x1 SENAO							
	0x0 P16								
D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 reserved							
		0x1 REF0							
	0x0 P15								
D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W			
			0x3 reserved						
		0x2 reserved							
		0x1 RFIN0							
	0x0 P14								
P23 Port Function Select Register (P23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
					0x3 reserved				
		0x2 reserved							
	0x1 RFCLKO								
	0x0 P23								
	D5-0	-	reserved		-	-	0 when being read.		

0x4020, 0x5322-0x532c**MISC Registers**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1 Run 0 Stop	0	R/W	
		D0	-	reserved	-	-	-	-

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMOC2)	0x5322 (16 bits)	D15-1	–	reserved	–	–	–	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15-0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326–0x532a) and the FLASHC_WAIT register (0x54b0). Writing another value set the write protection.	0x0	R/W	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffff00	0	R/W	
		D7	–	reserved	–	–	–	0 when being read.
		D6-4	IRAMACTSZ [2:0]	IRAM actual size	0x3 (= 2KB)	0x3	R	
		D3	–	reserved	–	–	–	0 when being read.
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size 0x5 512B 0x4 1KB 0x3 2KB Other reserved	0x3	R/W	
		D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
		D15-8	–	reserved	–	–	–	0 when being read.
Vector Table Address High Register (MISC_TTBRL)	0x532a (16 bits)	D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x0	R/W	
		D15-8	–	reserved	–	–	–	0 when being read.
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

0x5067, 0x53a0–0x53ae

R/F converter Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	CLKDIV [1:0]	RFC clock division ratio select	CLKDIV[1:0] Division ratio 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is OSC3B
		D3	–	reserved	–	–	–	0 when being read.
		D2	CLKSRC	RFC clock source select	1 OSC1A 0 OSC3B	1	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	CLKEN	RFC clock enable	1 Enable 0 Disable	0	R/W	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7	CONEN	Continuous oscillation enable	1 Enable 0 Disable	0	R/W	
		D6	EVTEN	Event counter mode enable	1 Enable 0 Disable	0	R/W	
		D5-1	–	reserved	–	–	–	0 when being read.
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D0	RFCEN	RFC enable	1 Enable 0 Disable	0	R/W	
		D15-3	–	reserved	–	–	–	0 when being read.
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D2	SSENB	Sensor B oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D1	SSENA	Sensor A oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D0	SREF	Reference oscillation control/status	1 Start/Run 0 Stop	0	R/W	
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0–0xffff	0x0	R/W	
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	MC[23:16]	Measurement counter high-order 8-bit data	0x0–0xff	0x0	R/W	
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15-0	TC[15:0]	Time base counter low-order 16-bit data	0x0–0xffff	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TC[23:16]	Time base counter high-order 8-bit data	0x0–0xff	0x0	R/W		
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.	
		D4	OVRTCIE	TC overflow error interrupt enable	1 Enable 0 Disable	0	R/W		
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable 0 Disable	0	R/W		
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W		
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W		
D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W				
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.	
		D4	OVRTCIF	TC overflow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	OVMCIF	MC overflow error interrupt flag			0	R/W	
		D2	ESENBIF	Sensor B oscillation completion interrupt flag			0	R/W	
		D1	ESENAIF	Sensor A oscillation completion interrupt flag			0	R/W	
		D0	EREFIF	Reference oscillation completion interrupt flag			0	R/W	

0x5068, 0x5400–0x540c

16-bit PWM Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Clock Control Register Ch.0 (T16A_CLK0)	0x5068 (8 bits)	D7–4	T16ACLKD [3:0]	Clock division ratio select	T16ACLKD [3:0]	Division ratio		0x0	R/W
						OSC3B	OSC1A		
					0xf	–	–		
					0xe	1/16384	–		
					0xd	1/8192	–		
					0xc	1/4096	–		
					0xb	1/2048	–		
			0xa	1/1024	–				
			0x9	1/512	–				
			0x8	1/256	1/256				
			0x7	1/128	1/128				
			0x6	1/64	1/64				
			0x5	1/32	1/32				
			0x4	1/16	1/16				
			0x3	1/8	1/8				
			0x2	1/4	1/4				
			0x1	1/2	1/2				
			0x0	1/1	1/1				
		D3–2	T16ACLK SRC[1:0]	Clock source select	T16ACLKSRC [1:0]	Clock source	0x0	R/W	
						External clock reserved OSC1A OSC3B			
		D1	–	reserved	–	–	–	0 when being read.	
		D0	T16ACLKE	Count clock enable	1 Enable 0 Disable	0	R/W		
T16A Counter Ch.0 Control Register (T16A_CTL0)	0x5400 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.	
		D6	HCM	Half clock mode enable	1 Enable 0 Disable	0	R/W		
		D5–4	–	reserved	–	–	–	0 when being read.	
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W		
		D2	TRMD	Count mode select	1 One-shot 0 Repeat	0	R/W		
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.	
D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W				
T16A Counter Ch.0 Data Register (T16A_TC0)	0x5402 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
T16A Comparator/Capture Ch.0 Control Register (T16A_CCCTL0)	0x5404 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W			
						0x3 0x2 0x1 0x0	↑ and ↓ ↓ ↑ None				
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W			
						0x3 0x2 0x1 0x0	cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off				
	D11-10	–	reserved	–	–	–	–	–	0 when being read.		
	D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0	R/W		
	D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W		
	D7-6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge	0x0	R/W				
					0x3 0x2 0x1 0x0	↑ and ↓ ↓ ↑ None					
	D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W				
					0x3 0x2 0x1 0x0	cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off					
D3-2	–	reserved	–	–	–	–	–	0 when being read.			
D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W			
D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W			
T16A Comparator/Capture Ch.0 A Data Register (T16A_CCA0)	0x5406 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W				
T16A Comparator/Capture Ch.0 B Data Register (T16A_CCB0)	0x5408 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W				
T16A Comparator/Capture Ch.0 Interrupt Enable Register (T16A_IEN0)	0x540a (16 bits)	D15-6	–	reserved	–	–	–	–	0 when being read.		
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1	Enable	0	Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W	
T16A Comparator/Capture Ch.0 Interrupt Flag Register (T16A_IFLG0)	0x540c (16 bits)	D15-6	–	reserved	–	–	–	–	0 when being read.		
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag	0				R/W		
		D3	CAPBIF	Capture B interrupt flag	0				R/W		
		D2	CAPAIF	Capture A interrupt flag	0				R/W		
		D1	CBIF	Compare B interrupt flag	0				R/W		
		D0	CAIF	Compare A interrupt flag	0				R/W		

0x54b0

Flash Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
FLASHC Read Wait Control Register (FLASHC_WAIT)	0x54b0 (16 bits)	D15-8	–	reserved	–	–	–	–	0 when being read.	
		D7	–	reserved	–	–	X	–	X when being read.	
		D6-2	–	reserved	–	–	–	–	–	0 when being read.
		D1-0	RDWAIT [1:0]	Flash read wait cycle	RDWAIT[1:0]	Wait	0x1	R/W		
					0x3 0x2 0x1 0x0	3 wait 2 wait 1 wait No wait				

0x56c0-0x56c8

Real-time Clock

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
RTC Control Register (RTC_CTL)	0x56c0 (16 bits)	D15-9	–	reserved	–	–	–	–	0 when being read.	
		D8	RTCTST	RTC run/stop status	1	Running	0	Stop	0	R
		D7-6	–	reserved	–	–	–	–	–	0 when being read.
		D5	BCDMD	BCD mode select	1	BCD mode	0	Binary mode	0	R/W
		D4	RTC24H	24H/12H mode select	1	12H	0	24H	0	R/W
		D3-1	–	reserved	–	–	–	–	–	0 when being read.
		D0	RTCRUN	RTC run/stop control	1	Run	0	Stop	0	R/W

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Enable Register (RTC_IEN)	0x56c2 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	INT1DEN	1-day interrupt enable	1 Enable 0 Disable	0	R/W	
		D8	INTHDEN	Half-day interrupt enable	1 Enable 0 Disable	0	R/W	
		D7	INT1HEN	1-hour interrupt enable	1 Enable 0 Disable	0	R/W	
		D6	INT10MEN	10-minute interrupt enable	1 Enable 0 Disable	0	R/W	
		D5	INT1MEN	1-minute interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	INT10SEN	10-second interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	INT1HZEN	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	INT4HZEN	4 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	INT8HZEN	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
D0	INT32HZEN	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W			
RTC Interrupt Flag Register (RTC_IFLG)	0x56c4 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	INT1D	1-day interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D8	INTHD	Half-day interrupt flag		0	R/W	
		D7	INT1H	1-hour interrupt flag		0	R/W	
		D6	INT10M	10-minute interrupt flag		0	R/W	
		D5	INT1M	1-minute interrupt flag		0	R/W	
		D4	INT10S	10-second interrupt flag		0	R/W	
		D3	INT1HZ	1 Hz interrupt flag		0	R/W	
		D2	INT4HZ	4 Hz interrupt flag		0	R/W	
		D1	INT8HZ	8 Hz interrupt flag		0	R/W	
D0	INT32HZ	32 Hz interrupt flag		0	R/W			
RTC Minute/Second Counter Register (RTC_MS)	0x56c6 (16 bits)	D15	–	reserved	–	–	–	0 when being read.
		D14–8	RTCMIN [6:0]	Minute counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W	
		D7	–	reserved	–	–	–	0 when being read.
D6–0	RTCSEC [6:0]	Second counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W			
RTC Hour Counter Register (RTC_H)	0x56c8 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	AMPM	AM/PM	1 PM 0 AM	X	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5–0	RTCHOUR [5:0]	Hour counter	0x0 to 0x17 (binary mode) 0x00 to 0x23 (BCD mode)	X	R/W	

0xffff84–0xffffd0

S1C17 Core I/O

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7–0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x7c0	0x7c0	R	
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable 0 Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1 Enable 0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable 0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1 Enable 0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable 0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable 0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode 0 User mode	0	R	
Instruction Break Address Register 1 (IBAR1)	0xffffb4 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR1[23:0]	Instruction break address #1 IBAR123 = MSB IBAR10 = LSB	0x0 to 0xffff	0x0	R/W	
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xffff	0x0	R/W	
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xffff	0x0	R/W	
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xffff	0x0	R/W	

Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

B.1 クロック制御によるパワーセーブ

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ

- **s1p命令の実行(RTC停止中の場合)**
システム全体を停止可能な場合は、RTCを停止した状態でs1p命令を実行します。CPUはSLEEPモードとなり、OSC1A/OSC3B発振回路が停止します。これにより、OSC1A/OSC3Bクロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。
- **s1p命令の実行(RTC動作中の場合)**
RTCによる計時のみを行い、それ以外のシステムを停止可能な場合は、RTCを動作させた状態でs1p命令を実行します。CPUはSLEEPモードとなり、OSC3B発振回路が停止します。これにより、OSC3Bクロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートまたはRTCによる起動(後述)に限られます。

システムクロック

- **低速クロックソースの選択(CLGモジュール)**
システムクロックソースに低速な発振回路を選択します。低速動作で処理可能な際にはOSC1Aクロックを選択することで消費電流を低減できます。
- **不要な発振回路の停止(CLGモジュール)**
システムクロックソースとしている発振回路を動作させ、可能であれば他の発振回路を停止します。OSC1Aをシステムクロックとし、OSC3B発振回路を停止することで、消費電流をより低減できます。

CPUクロック(CCLK)

- **halt命令の実行**
割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、LCDドライバや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- **低速クロックギアを選択(CLGモジュール)**
CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1~1/8に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

周辺クロック(PCLK)

- **PCLKの停止(CLGモジュール)**
以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKを使用する周辺モジュール

- 割り込みコントローラ
- 8ビットタイマ Ch.0
- SPI Ch.0
- 電源制御回路
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- MISCレジスタ

以下の周辺モジュール/機能に、PCLKは必要ありません。

PCLKを使用しない周辺モジュール/機能

- リアルタイムクロック
- 計時タイマ
- ウォッチドッグタイマ
- LCDドライバ
- サウンドジェネレータ
- R/F変換器
- 電源電圧検出回路
- 16ビットPWMタイマ Ch.0
- UART Ch.0
- FOUTA/FOUTB出力

クロック制御とCPUの起動/停止方法の一覧を表B.1.1に示します。

表B.1.1 クロック制御一覧

消費電流	OSC1A	OSC3B	CPU(CCLK)	PCLK周辺	RTC	OSC1A周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (RTC用)	停止	停止	停止	動作	停止	slp命令実行	1, 2
	発振 (RTC用)	停止	停止	停止	動作	停止	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	停止	動作	動作	動作	halt命令実行	1, 2, 3, 4
	発振 (システムCLK)	停止	動作(1/1)	動作	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	動作	halt命令実行	1, 2, 3, 4
高 ↓	発振	発振 (システムCLK)	動作(低ギア)	動作	動作	動作		
	発振	発振 (システムCLK)	動作(1/1)	動作	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動
入出力ポート割り込みにより起動します。
2. RTCによる起動
RTC割り込みにより起動します。
3. OSC1A周辺回路による起動
計時タイマ、ウォッチドッグタイマの割り込みにより起動します。
4. PCLK周辺回路による起動
PCLK周辺回路の割り込みにより起動します。

B.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

VD1定電圧回路

- 内部定電圧回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。動作が安定しない場合のみOnにしてください。

LCD系電源回路

- VCSELを0(Vc1基準)に設定すると消費電流が増加します。
電源電圧V_{DD}が2.2V以上のときはVCSELを1(Vc2基準)に設定してください。
- LCD系電源回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。表示が安定しない場合のみOnにしてください。

電源電圧検出(SVD)回路

- SVD回路を動作させると消費電流が増加します。
電源電圧の検出が不要な場合はOffにしてください。

Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は使用部品(振動子、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

- (1) OSC1、OSC2端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

- (2) OSC1、OSC2端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。

また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- (3) OSC1、OSC2端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、できるだけ広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。

- (4) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

OSC1A波形の品質をFOUTAまたはFOUTB出力で確認します。特にクロックの立ち上がり/立ち下がり際の両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC1A出力にはノイズが乗ることがあります。OSC1A出力にノイズが乗ると、OSC1Aクロックで動作するタイマや、システムクロックをOSC1Aに切り換えた際のCPUコアの動作が不安定になります。

リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDDおよびVss端子へはできるだけ短くかつ太いパターンで接続してください。

- (2) VDD-Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長かつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- (4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- (5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- (1) 入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタは初期状態(プルアップあり、入力)にしてください。
- (2) OSC1、OSC2端子
OSC1A発振回路を使用しない場合、OSC1およびOSC2端子はオープンにしてください。制御レジスタは初期状態(発振Off)にしてください。
- (3) Vc1~3、CA、CB、SEGx、COMx端子
LCDドライバを使用しない場合はオープンにしてください。制御レジスタは初期状態(表示Off)にしてください。また、LCDドライバを使用する場合も、結線の必要がないSEGx端子はオープンにしてください。

その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては、機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

V_{DD}, V_{SS}電源のノイズ対策

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

#RESET端子のノイズ対策

本製品に内蔵されている#RESET端子のプルアップ抵抗は100～500kΩと高インピーダンスで、ノイズには強くありません。このため、外来ノイズによって#RESET端子がLowレベルとなり、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。

外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート(P)”の章を参照してください。

UART端子のノイズ対策

本製品は非同期通信用にUARTモジュールを備えています。UARTはSIN_x端子でLowレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN_x端子がLowになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。

外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止(RXEN/UART_CTL_xレジスタ = 0)してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート(P)”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;      Vector table
; =====
;
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00    0x00    reset          ...(2)
.long unalign_handler ; 0x01    0x04    unalign
.long nmi_handler   ; 0x02    0x08    NMI
.long int03_handler ; 0x03    0x0c    -
.long p0_handler    ; 0x04    0x10    P0 port
.long int05_handler ; 0x05    0x14    -
.long int06_handler ; 0x06    0x18    -
.long ct_handler    ; 0x07    0x1c    CT
.long rtc_handler   ; 0x08    0x20    RTC
.long int09_handler ; 0x09    0x24    -
.long lcd_handler   ; 0x0a    0x28    LCD
.long t16a2_0_handler ; 0x0b    0x2c    T16A2 ch0
.long int0c_handler ; 0x0c    0x30    -
.long int0d_handler ; 0x0d    0x34    -
.long t8_0_handler  ; 0x0e    0x38    T8 ch0
.long int0f_handler ; 0x0f    0x3c    -
.long uart_0_handler ; 0x10    0x40    UART ch0
.long int11_handler ; 0x11    0x44    -
.long spi_0_handler ; 0x12    0x48    SPI ch0
.long int13_handler ; 0x13    0x4c    -
.long int14_handler ; 0x14    0x50    -
.long rfc_handler   ; 0x15    0x54    RFC ch0
.long svd_handler   ; 0x16    0x58    SVD
.long int17_handler ; 0x17    0x5c    -
.long int18_handler ; 0x18    0x60    -
.long int19_handler ; 0x19    0x64    -
.long int1a_handler ; 0x1a    0x68    -
.long int1b_handler ; 0x1b    0x6c    -
.long int1c_handler ; 0x1c    0x70    -
.long int1d_handler ; 0x1d    0x74    -
.long int1e_handler ; 0x1e    0x78    -
.long int1f_handler ; 0x1f    0x7c    -
; =====
;      Program code
; =====
.text                                               ...(3)
.align 1

BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
xld.a    %sp, 0x07c0                                ...(4)
; ----- Memory controller -----
xld.a    %r1, 0x54b0    ; FLASHC register address
xld.a    %r2, 0x5324    ; MISC_PROT register address
; MISC write protection off
xld.a    %r0, 0x96
ld.b     [%r2], %r0    ; [0x5324] <= 0x96          ...(5)
; Flash read wait cycle
xld.a    %r0, 0x00    ; No wait
ld.b     [%r1], %r0    ; [0x54b0] <= 0x00          ...(6)
; MISC write protection on
ld.b     [%r2], %r0    ; [0x5324] <= 0x00          ...(7)

```

Appendix E 初期化ルーチン

```
        ; ===== Main routine =====  
        ...  
  
; =====  
;      Interrupt handler  
; =====  
  
; ----- Address unalign -----  
unalign_handler:  
    ...  
  
; ----- NMI -----  
nmi_handler:  
    ...
```

- (1) ベクタテーブルを .vector セクションに配置するために .rodata セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
intXX_handler はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは .text セクションに記述します。
- (4) スタックポインタを設定します。
- (5) MISC/FLASHC レジスタの書き込み保護を解除します。
- (6) Flash メモリリード時のウェイト数を設定します。
S1C17656 は、ノーウェイトに設定可能です。
("メモリマップ, バス制御" の章を参照)
- (7) MISC/FLASHC レジスタの書き込み保護を設定します。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412745000	全ページ	新規制定

セイコーエプソン株式会社
マイクロデバイス事業部 IC営業部

東京 〒191-8501 東京都日野市日野421-8
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL(06)6120-6000(代表) FAX(06)6120-6100

ドキュメントコード：412745000
2014年 3月 作成 ©