

GATE ARRAY

**S1L5V000 シリーズ
デザインガイド**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目 次

第 1 章 概要	1
1.1 特長.....	1
1.2 マスタ構成.....	2
1.2.1 標準マスタ構成.....	2
1.2.2 PLL 搭載マスタ構成.....	3
1.3 電気的特性・規格.....	3
1.3.1 絶対最大定格.....	3
1.3.2 推奨動作条件.....	4
1.3.3 電気的特性.....	5
1.3.4 オーバershoot/アンダershoot.....	7
1.4 静的消費電流.....	8
1.5 開発フロー.....	9
1.5.1 サインオフまでの開発フロー.....	9
1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）.....	9
1.5.3 仮データ（トライアル用）の提出.....	13
1.5.4 試作から量産制定、製造フロー.....	14
第 2 章 RTL 設計上の注意（Verilog-HDL）	15
2.1 基本構成.....	15
2.1.1 論理合成可能な RTL データの提出.....	15
2.1.2 ライブラリセルの使用.....	15
2.1.3 ifdef と parameter.....	15
2.2 端子名の制約.....	15
2.2.1 外部端子名制約.....	15
2.2.2 内部端子名制約.....	15
2.2.3 Verilog 予約語.....	16
2.3 タイミング制約情報の提出.....	17
2.3.1 クロック情報.....	17
2.3.2 外部端子のタイミング制約.....	20
2.4 入出力バッファの挿入.....	25
2.5 RAM の記述.....	25
2.6 発振セルの記述.....	25
第 3 章 テスト回路設計上の注意	26
3.1 推奨 DC・AC テスト回路の挿入.....	26
3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用.....	26
3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名.....	26
3.1.3 お客さま設計によりテスト回路挿入される場合.....	26
3.2 スキャン（SCAN）回路の挿入.....	27
3.2.1 スキャン（SCAN）回路.....	27
3.3 バウンダリスキャン（JTAG）回路の挿入.....	28

3.3.1	インストラクション.....	28
3.3.2	ゲート数の見積り.....	28
3.3.3	お客さま設計にてバウンダリスキャン (JTAG) 回路挿入される場合.....	29
3.4	RAMのテスト回路: メモリBIST (Built in Self Test)	31
第4章	テストパターン作成上の注意.....	32
4.1	サインオフシミュレーション向けテストパターンの作成.....	32
4.1.1	テストパターンの形式.....	32
4.1.2	テストパターンの制限.....	34
4.1.3	外部双方向端子のイネーブル信号.....	35
4.2	製品出荷テスト向けのテストパターン作成.....	36
4.2.1	使用可能な入力波形.....	36
4.2.2	テストパターンの制限.....	36
4.2.3	DC・ACテストパターンの作成について.....	38
4.2.4	ハイインピーダンス状態の扱いに関する注意点.....	39
第5章	回路設計上の注意.....	40
5.1	発振回路.....	40
5.1.1	発振回路の構成.....	40
5.1.2	発振回路を使用する場合の注意.....	42
5.1.3	発振セルのRTL記述について.....	42
5.2	内部バスの構成.....	43
5.3	メタステーブル (Metastable)	45
第6章	入出力バッファの種類と使用上の注意.....	46
6.1	入出力バッファの種類及び選択.....	46
6.1.1	入出力バッファの選択.....	46
6.1.2	バスホールド機能つき入出力バッファ.....	46
6.2	入出力バッファの構成.....	47
6.2.1	入力バッファ.....	47
6.2.2	出力バッファ.....	49
6.2.3	双方向バッファ.....	53
6.3	Fail-Safe入出力バッファ.....	58
6.3.1	概要.....	58
6.3.2	特長.....	58
6.3.3	使用上の注意点.....	58
6.3.4	セル一覧.....	59
6.4	Gated入出力バッファ.....	61
6.4.1	概要.....	61
6.4.2	特長.....	61
6.4.3	使用上の注意点.....	61
6.4.4	セル一覧.....	62
第7章	端子配置の注意.....	64
7.1	電源端子数の見積り.....	64

7.2	同時動作と電源追加.....	64
7.3	端子配置上の注意点.....	67
7.3.1	固定電源端子.....	67
7.3.2	端子配列上の注意事項.....	67
7.3.3	推奨端子配列例.....	74
第8章	RAM 仕様.....	76
8.1	非同期1ポートRAM.....	76
8.1.1	特長.....	76
8.1.2	ワードビット構成とRAMセル名との対応.....	76
8.1.3	RAMサイズ.....	76
8.1.4	機能説明.....	77
8.1.5	タイミングチャート（非同期1ポートRAM）.....	78
8.2	非同期2ポートRAM.....	79
8.2.1	特長.....	79
8.2.2	ワードビット構成とRAMセル名との対応.....	79
8.2.3	RAMサイズ.....	79
8.2.4	機能説明.....	80
8.2.5	タイミングチャート（非同期2ポートRAM）.....	81
8.3	非同期RAM 遅延パラメータ.....	82
8.3.1	5.0V仕様（ $V_{DD}=4.5\sim 5.5V$ 、 $T_a=-40\sim 110^{\circ}C$ ）.....	82
8.3.2	3.3V仕様（ $V_{DD}=3.0\sim 3.6V$ 、 $T_a=-40\sim 110^{\circ}C$ ）.....	84
8.4	同期1ポートRAM.....	86
8.4.1	特長.....	86
8.4.2	ワードビット構成とRAMセル名との対応.....	87
8.4.3	RAMサイズ.....	87
8.4.4	機能説明.....	88
8.4.5	タイミングチャート（同期1ポートRAM）.....	89
8.5	同期2ポートRAM.....	90
8.5.1	特長.....	90
8.5.2	ワードビット構成とRAMセル名との対応.....	90
8.5.3	RAMサイズ.....	90
8.5.4	機能説明.....	91
8.5.5	タイミングチャート（同期2ポートRAM）.....	93
8.6	同期RAM 遅延パラメータ.....	94
8.6.1	5.0V仕様（ $V_{DD}=4.5\sim 5.5V$ 、 $T_a=-40\sim 110^{\circ}C$ ）.....	94
8.6.2	3.3V仕様（ $V_{DD}=3.0\sim 3.6V$ 、 $T_a=-40\sim 110^{\circ}C$ ）.....	98
8.7	非存在アドレスへのアクセス禁止.....	102
8.8	RAMの搭載可否判断.....	102
第9章	PLL 仕様.....	103
9.1	特長.....	103
9.2	ブロック図.....	104
9.3	端子機能.....	105

9.4 電気的特性	106
9.4.1 動作条件	106
9.4.2 DC 特性	106
9.4.3 AC 特性	107
9.4.4 過倍率の設定方法	108
第10章 消費電力の見積り	109
10.1 消費電力計算	109
10.1.1 内部セル (P_{int})	109
10.1.2 入力バッファ (P_i)	110
10.1.3 出力バッファ (P_o)	110
10.2 消費電力制限	111
付録	112
A1. シミュレーション結果例	112
A1.1 シミュレーション結果と期待値とのコンペアファイル例	112
A1.2 タイミングエラーリスト	114
A2. RTL 設計上の注意 (VHDL)	117
A2.1 論理合成可能な RTL の提出	117
A2.2 階層設計図の提出	117
A2.3 RAM の記述	117
A2.4 入力ポートへの定数割り当て	117
A2.5 端子名の制約	118
A2.6 ポートのデータ型	119
A2.7 integer の使用について	119
A2.8 入出力バッファ	120
A2.9 プリミティブセルの使用	121
A3. DC・AC テストパターン	122
A3.1 DC テストパターン	122
A3.2 AC テストパターン	123
A4. 入出力バッファ特性	125
A4.1 5.0V 動作時	125
A4.2 3.3V 動作時	134
A4.3 シュミット入力バッファの電気的特性について	142
改訂履歴表	143

第1章 概要

S1L5V000 シリーズは、0.35 μ m プロセスを採用した Sea of Gates タイプのゲートアレイシリーズです。

1.1 特長

- プロセス 0.35 μ m CMOS 2/3/4 層 配線
- 最大搭載ゲート数 479,988 ゲート (2 入力 NAND ゲート換算)
- 動作速度

内部ゲート :	190ps (5.0V Typ.)
	290ps (3.3V Typ.)
	(2 入力 Power NAND、F/0=2、標準配線負荷)
入力バッファ :	450ps (5.0V Typ.)
	550ps (3.3V Typ.)
	(F/0=2、標準配線負荷)
出力バッファ :	2.07ns (5.0V Typ.)
	2.95ns (3.3V Typ.)
	($C_L=15$ pF)
- I/F レベル TTL 入力、CMOS 入出力、LVTTTL コンパチブル
- 入力モード TTL、CMOS、LVTTTL、TTL シュミット、CMOS シュミット、LVTTTL シュミット、Fail-Safe 入力 (出力ディスエーブル時)
プルアップ、プルダウン抵抗内蔵可能 (抵抗値各 2 種)
- 出力モード ノーマル、3-ステート、双方向、Fail-Safe 出力
- 駆動出力 $I_{OL}=0.1, 1, 3, 8, 12$ mA 選択可能 ($V_{DD}=5.0$ V 時)
 $I_{OL}=0.1, 1, 2, 6, 10$ mA 選択可能 ($V_{DD}=3.3$ V 時)
- RAM 非同期 1 ポート、非同期 2 ポート : 最大構成 8Kbits/Module
同期 1 ポート、同期 2 ポート : 最大構成 8Kbits/Module
- PLL 入力周波数 : 5MHz~40MHz、出力周波数 : 20MHz~135MHz
逡倍率 : 2, 3, 4, 6, 8, 9, 10, 12, 14, 16, 18, 20, 22, 24, 26
- 電源/入出力電圧 5.0V \pm 0.5V 単一電源動作対応
3.3V \pm 0.3V 単一電源動作対応

1.2 マスタ構成

1.2.1 標準マスタ構成

S1L5V000 シリーズは、5種類のマスタを用意しています。ゲート規模、入出力端子数（電源端子を含む）および使用するパッケージにより、表 1-1-1 のマスター一覧より選択下さい。

なお、表 1-1-1 は RAM セル等を搭載しない場合の値です。RAM を回路に含む場合の見積りは「[第8章 RAM仕様](#)」を参照して下さい。RAM セルの形状は固定されており、BC 数からの概算式が適用できなくなる場合がありますのでご注意下さい。

表 1-1-1 S1L5V000 シリーズ マスター一覧

マスタ	BC 総数 BC _G *1	PAD 数	BC 配列数		セル使用率 U(%)*2		
			X 方向	Y 方向	2 層	3 層	4 層
S1L5V012/5V013/5V014	8,856	48	164	54	30	60	70
S1L5V042/5V043/5V044	42,008	104	356	118	30	60	70
S1L5V112/5V113/5V114	109,250	168	575	190	30	60	70
S1L5V252/5V253/5V254	254,330	256	877	290	25	55	65
S1L5V482/5V483/5V484	479,988	308	1206	398	25	50	60

注) *1: 使用可能な BC (ベーシックセル: G/A 基本セル) 数は、各マスタごとの BC 数総数 (BC_G) とセル使用効率 (U) を用い次の式で計算します。

使用可能 BC 数 (BC_A) の概算式 $BC_A = BC_G \times U$

BC 数見積りの際、弊社推奨テスト回路用として 550BC 程度、見積りに加えて下さい。

*2: セル使用効率は、回路規模だけでなく信号線数、1 信号当たりの分岐数等によっても変わりますので、表中の値は目安としてご参照ください。

1.2.2 PLL 搭載マスタ構成

S1L5V000 シリーズでは、PLL を搭載したマスタを3種類用意しています。PLL を搭載したシリーズ名は S1X5V000 シリーズです。ゲート規模、入出力端子数（電源端子を含む）および使用するパッケージにより、表 1-1-2 のマスター一覧より選択下さい。

なお、表 1-1-2 は RAM セル等を搭載しない場合の値です。RAM を回路に含む場合の見積りは「[第8章 RAM 仕様](#)」を参照して下さい。RAM セルの形状は固定されており、BC 数からの概算式が適用できなくなる場合がありますのでご注意下さい。

表 1-1-2 PLL 内蔵 S1X5V000 シリーズ マスター一覧 (5V 単一)

マスタ	BC 総数 BC _G	PAD 数	使用可能数 BC _A (セル使用効率 U% ^{*1})	
			3 層	4 層
S1X5V513/5V514	25,960	104	14,267 (55)	16,861 (65)
S1X5V523/5V524	90,276	168	49,652 (55)	58,679 (65)
S1X5V533/5V534	235,000	256	117,500 (50)	141,000 (60)

*1：セル使用効率 (U) は、回路規模だけでなく信号線数、1 信号当たりの分岐数等によっても変わりますので、表中の値は目安としてご参照して下さい。

PLL より発生するノイズがお客様回路に影響する場合があります。そのため、PLL 専用の電源を用意し、お客様回路と電源分離することを推奨します。

1.3 電気的特性・規格

1.3.1 絶対最大定格

表 1-2 絶対最大定格

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	V _{DD}	-0.3~7.0	V
入力電圧	V _I	-0.3~V _{DD} +0.5 ^{*1}	V
出力電圧	V _O	-0.3~V _{DD} +0.5 ^{*1}	V
出力電流/端子	I _{OUT}	±30	mA
保存温度	T _{stg}	-65~150	°C

注) *1：N チャンネルオープンドレイン、双方向バッファ、セル名が“ID”で始まる入力バッファと、Fail-Safe バッファについては、7.0V までです。

第1章 概要

1.3.2 推奨動作条件

表 1-3 推奨動作条件 ($V_{DD}=5.0V$)

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	4.5	5.0	5.5	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	110 ^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	t_{r1}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*3}	t_{f1}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*3}	t_{r2}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*3}	t_{f2}	—	—	5	ms

注) *1 : Nチャンネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファについては、5.8Vまで入力可能です。Fail-Safeセルについては、5.8Vまで入力可能です。ただし、“HIGH”レベル出力時に、外部より出力電圧以上の電圧を印加しないでください。

*2 : この温度範囲は、 $T_j=-40\sim 135$ [°C] を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の10%~90%の変化時間です。

表 1-4 推奨動作条件 ($V_{DD}=3.3V$)

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 ^{*4}	V_{DD}	3.0	3.3	3.6	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	110 ^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	t_{r1}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*3}	t_{f1}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*3}	t_{r2}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*3}	t_{f2}	—	—	5	ms

注) *1 : Nチャンネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファについては、5.8Vまで入力可能です。Fail-Safeセルについては、5.8Vまで入力可能です。ただし、“HIGH”レベル出力時に、外部より出力電圧以上の電圧を印加しないでください。

*2 : この温度範囲は、 $T_j=-40\sim 135$ [°C] を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の10%~90%の変化時間です。

*4 : PLL 搭載マスタは、 $V_{DD}=3.3V$ は非対応です。

1.3.3 電気的特性

表 1-5 電気的特性

(V_{DD}=5.0V±0.5V、V_{SS}=0V、T_a=-40~110°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I _{LI}	—	-5	—	5	μA	
オフステートリーク電流	I _{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V _{OH}	I _{OH} =-0.1mA (Type S)、-1mA (Type M) -3mA (Type 1)、-8mA (Type 2) -12mA (Type 3) V _{DD} =Min.	V _{DD} -0.4	—	—	V	
低レベル出力電圧	V _{OL}	I _{OL} =0.1mA (Type S)、1mA (Type M) 3mA (Type 1)、8mA (Type 2) 12mA (Type 3) V _{DD} =Min.	—	—	0.4	V	
高レベル入力電圧	V _{IH1}	CMOS レベル、V _{DD} =Max.	3.5	—	V _{DD} +0.3	V	
低レベル入力電圧	V _{IL1}	CMOS レベル、V _{DD} =Min.	-0.3	—	1.0	V	
高レベル入力電圧	V _{T1+}	CMOS シュミット	2.0	—	4.0	V	
低レベル入力電圧	V _{T1-}	CMOS シュミット	0.8	—	3.1	V	
ヒステリシス電圧	ΔV	CMOS シュミット	0.3	—	—	V	
高レベル入力電圧	V _{IH2}	TTL レベル、V _{DD} =Max.	2.0	—	V _{DD} +0.3	V	
低レベル入力電圧	V _{IL2}	TTL レベル、V _{DD} =Min.	-0.3	—	0.8	V	
高レベル入力電圧	V _{T2+}	TTL シュミット	1.2	—	2.4	V	
低レベル入力電圧	V _{T2-}	TTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V _{H2}	TTL シュミット	0.1	—	—	V	
プルアップ抵抗	P _{PU}	V _I =0V	Type 1	30	60	150	kΩ
			Type 2	60	120	300	kΩ
プルダウン抵抗	P _{PD}	V _I =V _{DD}	Type 1	30	60	150	kΩ
			Type 2	60	120	300	kΩ
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =2.0V V _{DD} =Min.	—	—	-75	μA	
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.8V V _{DD} =Min.	—	—	30	μA	
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.8V V _{DD} =Max.	-550	—	—	μA	
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =2.0V V _{DD} =Max.	330	—	—	μA	
入力端子容量	C _I	f=1MHz、V _{DD} =0V	—	—	10	pF	
出力端子容量	C _O	f=1MHz、V _{DD} =0V	—	—	10	pF	
入出力端子容量	C _{I0}	f=1MHz、V _{DD} =0V	—	—	10	pF	

表 1-6 電気的特性

($V_{DD}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 110^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-5	—	5	μA	
オフステートリーク電流	I_{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-0.1mA$ (Type S) 、 $-1mA$ (Type M) $-2mA$ (Type 1) 、 $-6mA$ (Type 2) $-10mA$ (Type 3) $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=0.1mA$ (Type S) 、 $1mA$ (Type M) $2mA$ (Type 1) 、 $6mA$ (Type 2) $10mA$ (Type 3) $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH1}	LVTTL レベル、 $V_{DD}=\text{Max.}$	2.0	—	V_{DD} +0.3	V	
低レベル入力電圧	V_{IL1}	LVTTL レベル、 $V_{DD}=\text{Min.}$	-0.3	—	0.8	V	
高レベル入力電圧	V_{T1+}	LVTTL シュミット	1.1	—	2.4	V	
低レベル入力電圧	V_{T1-}	LVTTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	ΔV	LVTTL シュミット	0.1	—	—	V	
プルアップ抵抗	P_{PU}	$V_I=0V$	Type 1	40	100	250	$k\Omega$
			Type 2	80	200	500	$k\Omega$
プルダウン抵抗	P_{PD}	$V_I=V_{DD}$	Type 1	40	100	250	$k\Omega$
			Type 2	80	200	500	$k\Omega$
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN}=2.0V$ $V_{DD}=\text{Min.}$	—	—	-18	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN}=0.8V$ $V_{DD}=\text{Min.}$	—	—	15	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応、 $V_{IN}=0.8V$ $V_{DD}=\text{Max.}$	-350	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応、 $V_{IN}=2.0V$ $V_{DD}=\text{Max.}$	210	—	—	μA	
入力端子容量	C_I	$f=1MHz$ 、 $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$ 、 $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$ 、 $V_{DD}=0V$	—	—	10	pF	

1.3.4 オーバーシュート/アンダーシュート

入力バッファ、双方向バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-3、表1-4の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート/アンダーシュートを規定しています。

(1) $V_{DD} = 5.0V \pm 0.5V$ 条件でオーバーシュート/アンダーシュートを許容できる電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD} + 1.5V$ (*1)

オーバーシュート 最大時間(*2) : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS} - 1.5V$

アンダーシュート 最大時間(*2) : 50 ns

注) *1: Nチャンネルオープンドレインの双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

*2: 時間とは、入力電圧が V_{DD} より上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記(*1)の場合は、5.8Vより上回っている時間になります。

(2) $V_{DD} = 3.3V \pm 0.3V$ 条件でオーバーシュート/アンダーシュートを許容できる電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD} + 1.0V$ (*1)

オーバーシュート 最大時間(*2) : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS} - 1.0V$

アンダーシュート 最大時間(*2) : 50 ns

注) *1: Nチャンネルオープンドレインの双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

*2: 時間とは、入力電圧が V_{DD} より上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記*1の場合は、5.8Vより上回っている時間になります。

(補足) オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の V_{IH}/V_{IL} の規格を満足しているかどうかを確認して下さい。たとえ上記規格を満足していても、反射波が V_{IH}/V_{IL} の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

1.4 静的消費電流

表 1-7 静的消費電流

(Tj =110°C)

マスタ	5.0V ± 0.5V I _{DDS} *1 Max.	3.3V ± 0.3V I _{DDS} *1 Max.	単位
S1L5V012/5V013/5V014	64	48	μA
S1L5V042/5V043/5V044 S1L5V112/5V113/5V114	240	200	μA
S1L5V252/5V253/5V254	360	280	μA
S1L5V482/5V483/5V484	520	400	μA

注) *1 : I_{DDS} : V_{DD} ~ V_{SS}間の静的消費電流

*) Tj=110°C以外での静的消費電流に関しては、以下の式を用いることで概算値を求めることができます。
(ただし、Tj=-40~110°Cの間のみとなります。Tj=110°C~135°Cの場合は、弊社営業担当までお問合せください。)

$$\begin{aligned}
 I_{\text{DDS}}(T_j) &= I_{\text{DDS}}(T_j=110^\circ\text{C}) \times \text{温度係数} \\
 &= I_{\text{DDS}}(T_j=110^\circ\text{C}) \times 10^{\frac{T_j-110}{60}}
 \end{aligned}$$

(例) S1L5V112 で、V_{DD}=5.0V、Tj=60°Cでの I_{DDS}の概算値は以下のとおりです。

$$\begin{aligned}
 I_{\text{DDS}}(T_j=60^\circ\text{C}) &= I_{\text{DDS}}(T_j=110^\circ\text{C}) \times 10^{\frac{60-110}{60}} \\
 &= 240 \times 0.147 \\
 &= 35(\mu\text{A})
 \end{aligned}$$

1.5 開発フロー

開発手順でのお客様からの開発着手依頼およびデータ提出、セイコーエプソンでの論理合成・配置配線作業フロー、試作から量産制定までのフローを示します。

1.5.1 サインオフまでの開発フロー

図1-1は、サインオフまでの開発フローです。RTL インタフェースが前提となっています。

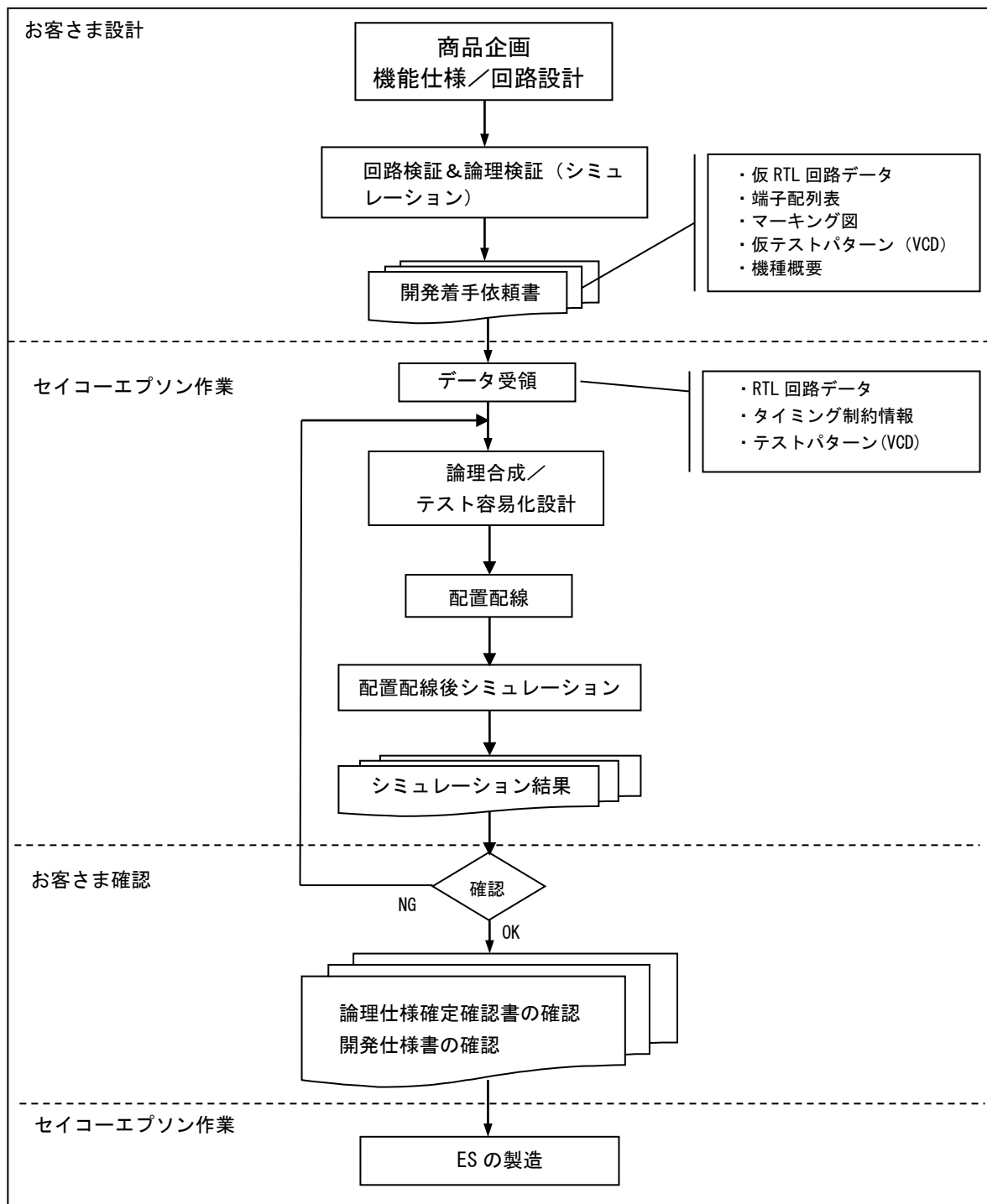


図1-1：サインオフまでの開発フロー

1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）

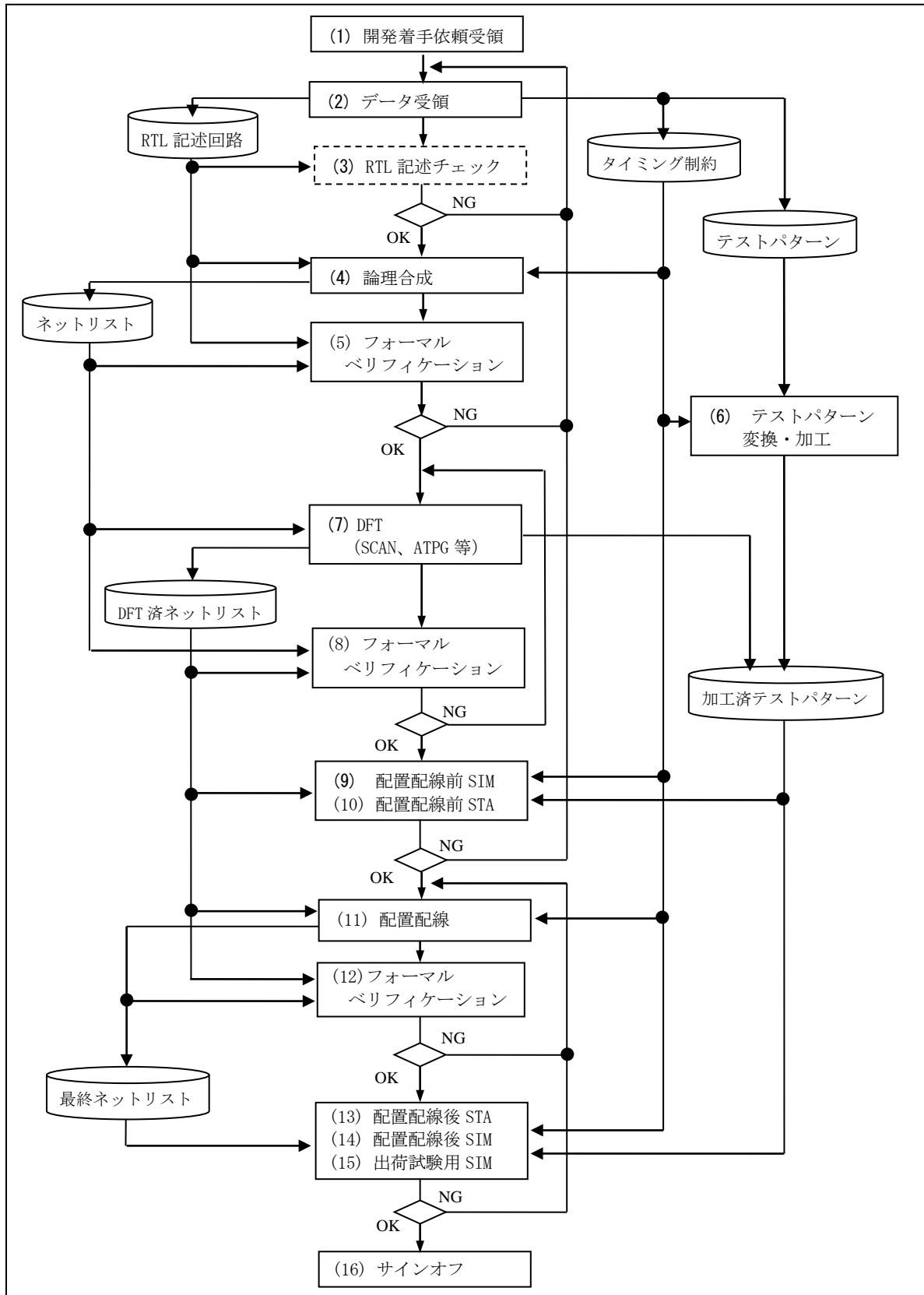


図1-2：論理合成・配置配線作業 工程フロー（セイコーエプソン作業）

図1-2は、データ受領から、サインオフまでの論理合成・配置配線作業フローを記述しています。各作業の概要を以下に説明します。

(1) 開発着手依頼受領

お客さまからセイコーエプソン帳票「開発着手依頼書」を代理店またはセイコーエプソンに送付いただきます。受領後、セイコーエプソン内で設計作業の着手を行います。開発着手依頼書と一緒に、お客さまより送付いただくデータは以下の通りです。

- ① 仮RTL回路データ。「[1.5.3 仮データ\(トライアル用\)の提出](#)」を参照して下さい。
- ② 端子配列表
- ③ マーキング図(セイコーエプソン作成フォーマット帳票)
- ④ 仮テストパターン(VCD形式)
- ⑤ 機種概要

(2) データ受領

お客さまより送付いただくデータとしては以下の通りです。

- ① 正式RTL回路データ
- ② タイミング制約情報
- ③ テストパターン(VCD形式)

(3) RTL記述チェック

必要に応じて、RTLチェッカーを使用して、文法エラーなどの確認を行います。

(4) 論理合成

初期段階で、ゲート数の確認やクロックの解析などのために、最小限の制約による仮の論理合成を行います。問題がなければ、タイミング制約などを付けて、実際の論理合成を行います。

(5) フォーマルベリフィケーション(等価性チェック)

お客さまのRTL記述と、論理合成後のネットリストとの、フォーマルベリフィケーション(等価性チェック)を行います。

(6) テストパターンの変換

お客さまから受領したテストパターン: VCD(Value Change Dump) ファイルを、セイコーエプソン独自フォーマット APF(Advanced Press Format) ファイル(サイクルベース、テーブル形式のテストパターン)に変換します。

(7) DFT(スキャン挿入、ATPGなど)

DFT(Design For Test:故障検出率を上げるためのテスト専用回路の追加)を実施し、スキャンテスト回路などを挿入します。また、ATPG(Automatic Test Pattern Generation)によるテストパターン生成を行います。故障検出率の要望については、開発着手時に連絡下さい。

(8) フォーマルベリフィケーション(等価性チェック)

DFT前とDFT後でのネットリストに対するフォーマルベリフィケーションを行います。

(9) 配置配線前シミュレーション

ゲートレベルのネットリストにおいて、必要なファンクションが得られていることを確認するために、上記(6)(7)のテストパターンと、仮想遅延データによるシミュレーションを行います。結果に問題などがあった場合は、解析を実施します。

(10) 配置配線前 STA

お客さまより受領したタイミング制約を基に、STA（静的タイミング解析）によるタイミング確認を行います。明らかに問題となるタイミングエラーを発見した場合は、お客さまに連絡すると共に、再度の論理合成などの対応を行います。

(11) 配置配線

上記(10)のデータを使い配置配線を実施します。その結果から、実配線後の遅延時間データを算出します。

(12) フォーマルベリフィケーション（等価性チェック）

配置配線前と後でのネットリストに対するフォーマルベリフィケーションを行います。

(13) 配置配線後 STA

配置配線後のデータについて、実配線後の遅延時間データを用いて、タイミングを確認します。明らかに問題となるタイミングエラーを発見した場合は、ECO（局所レイアウト変更）などで、調整を行います。

(14) 配置配線後シミュレーション（リアルレート）

配置配線後のデータについて、ICを実際に使用する条件で、シミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。

(15) 出荷試験用シミュレーション（テストレート）

テストパターンのタイミング条件を、出荷試験向けに変更させていただき、配置配線後データのシミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。また、出荷試験の条件を満たしていることを確認いただきます。

<シミュレーション結果の送付>

シミュレーションの結果はAPF (Advanced Press Format セイコーエプソン独自フォーマット：*.sammax, *.sammin)形式で送付します。要望に応じてVCD (Value Change Dump) の波形ファイルを添付します。

<シミュレーション結果とのコンペアの送付>

シミュレーション結果と期待値とのコンペアを行い、コンペアファイル(*.exp_max, *.exp_min)が出力されます。同様に、min結果とmax結果のコンペアファイル(*.min_max)の出力を送付します。

出力例について、「[付録 A1.1 シミュレーション結果と期待値とのコンペアファイル例](#)」を参照下さい。

<タイミングエラーリストの送付>

シミュレーション中にタイミングエラーが発生した場合、リスト(*.errmax, *.errmin)出力を送付します。

タイミングエラーリストの見方については、「[付録A1.2 タイミングエラーリスト](#)」を参照下さい。

(16) サインオフ

セイコーエプソン作成帳票（論理仕様確定確認書）を送付します。内容をご確認いただき、問題なければ帳票への確認結果の記載および署名・捺印いただきセイコーエプソンに送付下さい。帳票受領後、ES（エンジニアリングサンプル）の製造を開始します。

1.5.3 仮データ（トライアル用）の提出

正式なRTL回路データ提出前にあらかじめ、仮（トライアル用）データを提出していただくよう、お願いします。

仮データを用いて、正式なデータ受領後の作業をスムーズにするための準備を行います。
なお、タイミング条件が厳しい場合、仮RTL回路データ提出時にご連絡下さい。

(1) ゲート規模の見積り

お客さまから受領した仮RTL回路データから、概略のゲート規模を見積もることが可能です。

(2) 仮RTLデータのチェック

お客さまから受領した仮RTL回路データに対して、論理合成を行います。文法上の問題や、合成後の問題を事前に知ることができます。チェックで問題のあった箇所を、お客様に報告いたします。

また、仮RTLデータと、論理合成後のネットリストとの、フォーマルベリフィケーション（等価性チェック）を行います。論理の不一致が現われた場合は、お客様に報告いたします。

(3) 論理合成における制約条件設定

最低限の制約条件を用いて、論理合成を行います。その際、タイミング制約情報を提出していただくことで、論理合成の制約条件をあらかじめ調整します。また、STA（静的タイミング検証）の制約条件を作成することも可能です。

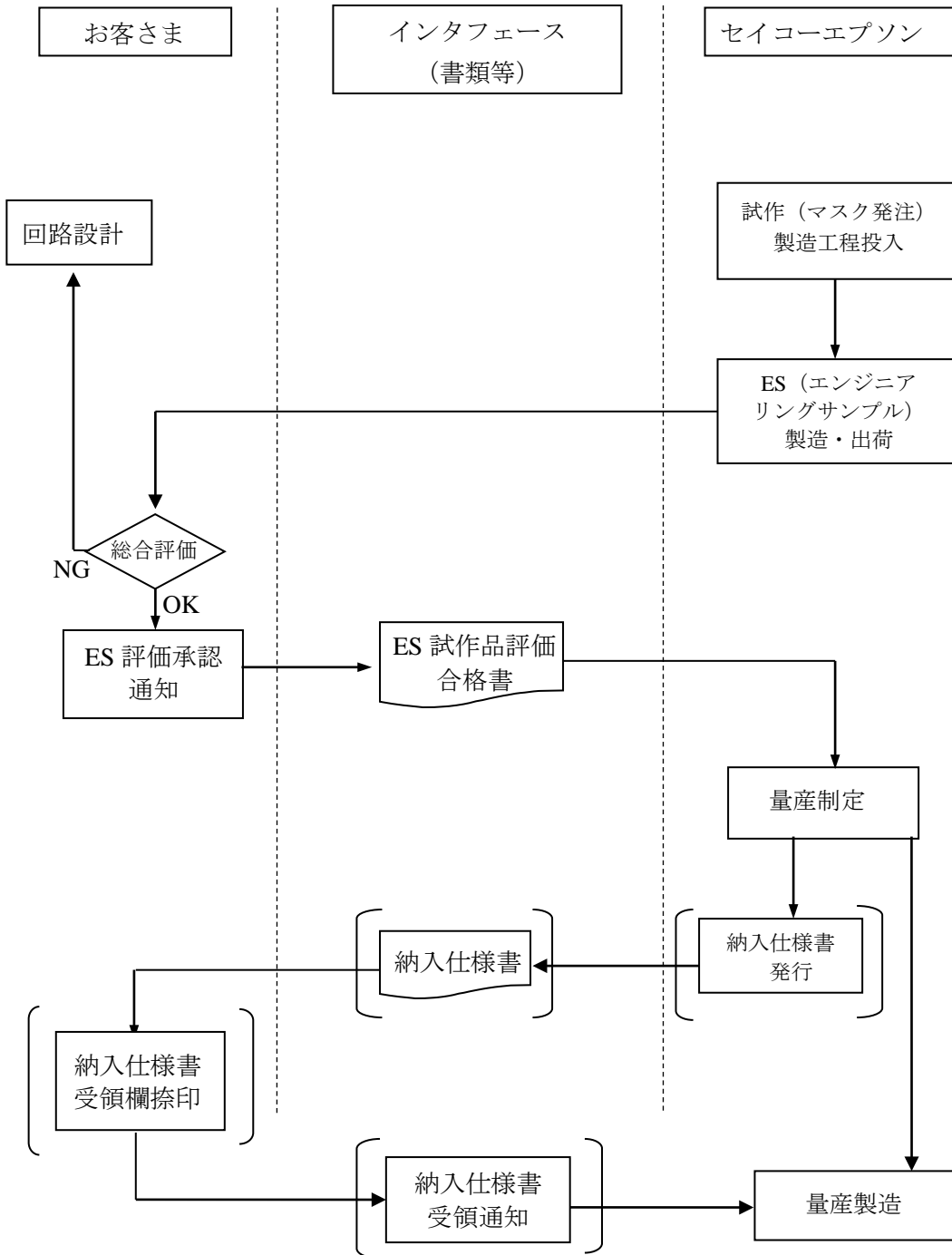
(4) ファンクションの確認

仮のテストパターンを提出していただくことで、APFパターンへの変換チェック、テストパターンの整合性チェック、及びゲートレベルシミュレーションによるファンクションの確認が可能です。

第1章 概要

1.5.4 試作から量産制定、製造フロー

図 1-3 は、セイコーエプソンにての試作から量産制定までのフローです。



() 内はお客さまからの要望がある場合行います。

図 1-3 : 試作から量産制定までのフロー

第2章 RTL 設計上の注意 (Verilog-HDL)

セイコーエプソンにて論理合成を行うにあたり、お客さまでの RTL 設計における留意点について説明します。本章では言語を Verilog-HDL として説明しています。VHDL を使用されるお客さまは、「[付録 A2 RTL 設計上の注意 VHDL](#)」を参照下さい。また、開発着手依頼時に VHDL で設計を行うことをご連絡下さい。

2.1 基本構成

2.1.1 論理合成可能な RTL データの提出

提出する RTL データは、論理合成可能な記述のみにして下さい。ビヘイビアレベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれている問題ありません。

2.1.2 ライブラリセルの使用

RTL 内で、セイコーエプソンのライブラリセルを呼び出しているモジュール名と、ライブラリセル名を連絡下さい。ライブラリセルが論理合成時に消されないための設定を行います。

2.1.3 ifdef と parameter

ifdef 文や parameter 文で、RTL の外部や別ファイルから値を設定する必要がある場合は、その旨を連絡下さい。

2.2 端子名の制約

外部端子、および内部端子の名前に制限・制約があります。制限・制約に沿っていただくことを推奨します。制限・制約に沿っていない名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことをご了承下さい。

2.2.1 外部端子名制約

- (1) 全て大文字にて記述して下さい。
- (2) 使用可能文字は、英数字とアンダーバー'_'のみです。
ただし、先頭文字は英字のみ使用可能です。
- (3) '[' と ']' は使用できませんので、バスの記述もできないことに注意下さい。
- (4) '_' が2つ連続してはいけません。
- (5) 文字数は、2~32文字の範囲です。

2.2.2 内部端子名制約

- (1) 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。
例："ABC" と "Abc" の混在は禁止。
- (2) 使用可能文字は、英数字、アンダーバー'_'、バス記述用のカッコ' ['、']' です。
- (3) 文字数は、2~32文字の範囲です。

2.2.3 Verilog 予約語

以下の文字列は、Verilog の予約語ですので、ユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

2.3 タイミング制約情報の提出

お客様から、クロックや入力遅延、外部遅延に関するタイミング制約情報を RTL データ送付時に一緒に送付していただきます。この情報をもとに、論理合成や STA におけるタイミング制約の作成などの挿入を行います。

2.3.1 クロック情報

(1) 外部クロック

すべての外部クロックについて、以下の事項を指定して下さい。

- ① 端子名
- ② クロックの基準周期
- ③ 基準周期の開始から、クロックの立上りエッジ・立下りエッジまでの遅延
- ④ Duty およびその変動量
- ⑤ クロックジッタの有無
- ⑥ スキュー調整必要の有無
- ⑦ 用途（メイン、テスト用など）

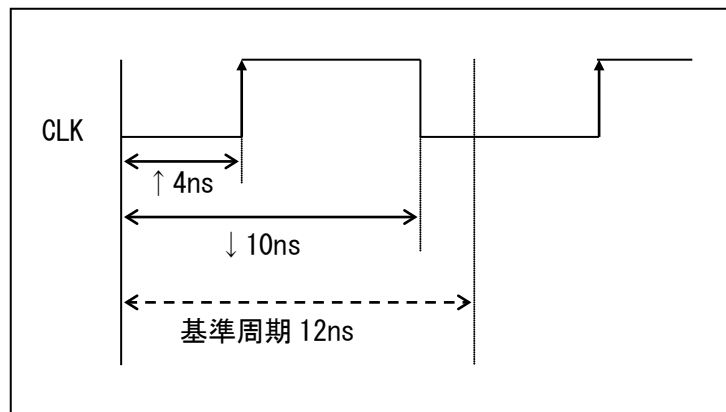


図 2-1 : 外部クロック波形図

例えば図 2-1 の場合、外部クロック端子名は CLK、クロック基準周期 12ns、立上りエッジ遅延 4ns、立下りエッジ遅延 10ns、Duty50±0%になります。

第 2 章 RTL 設計上の注意 (Verilog-HDL)

(2) 内部生成クロック

PLL、分周などによって回路内部で生成されるクロックを指します。すべての内部生成クロックについて、以下の事項を指定して下さい。

- ① 内部生成クロックの信号名、及び生成されるモジュール名
- ② マスタクロックの信号名（外部クロックなら、端子名）
- ③ マスタクロックとの関係（分周数、または逡倍数）
- ④ スキュー調整必要の有無

図 2-2 は、マスタクロック CLK を D-FF で 2 分周して、内部クロック DCLK を生成する RTL 記述の例です。これを論理合成すると、図 2-3 のような回路となります。ここで、CLK と DCLK は、タイミングの異なるクロックとなることにご注意して下さい。これは、CLK から FF の出力端子までの伝播遅延分のスキューが生じるためです。図 2-4 を参照して下さい。

```
always @(posedge CLK or negedge RST)
begin
  if (!RST)
    Q <= 1'b0;
  else
    Q <= ~Q;
end

assign DCLK = Q;

always @(posedge DCLK or negedge RST)
  .
  .
```

図 2-2 : 分周による内部クロック生成の記述例

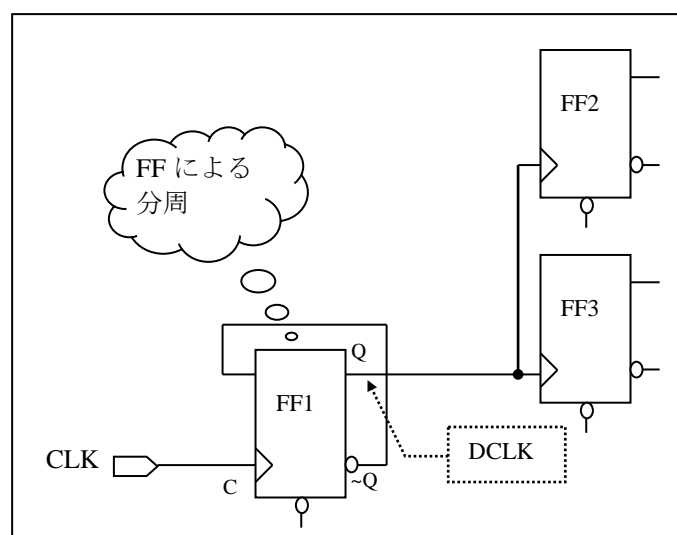


図 2-3 : 図 2-2 より合成される回路例

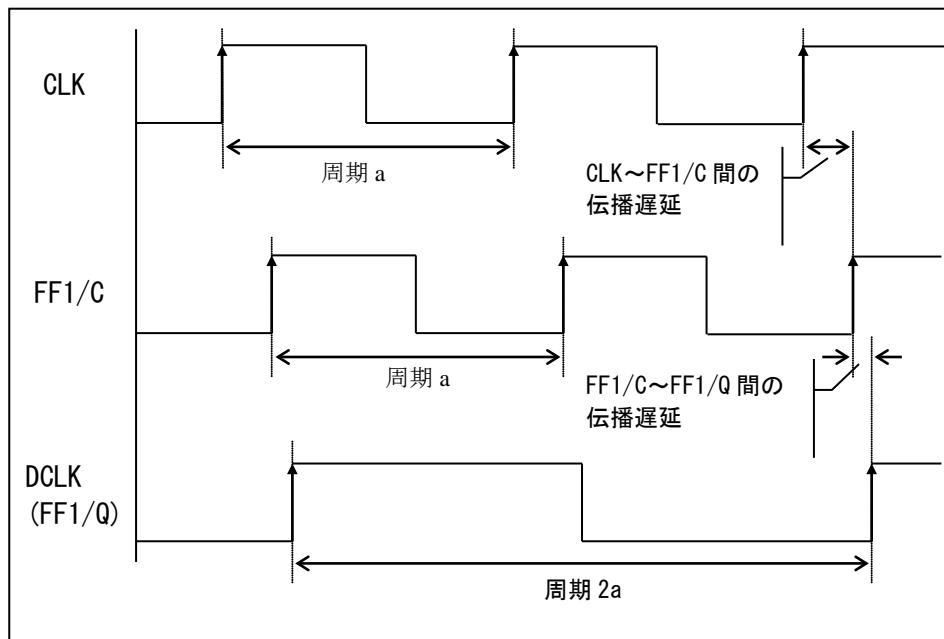


図 2-4 : 図 2-3 の回路の波形図

(3) 複数クロックの組み合わせ

複数のクロックと組み合わせ回路から、パルスを作ることは避けて下さい。各クロックのスキューにより意図しないパルスとなる可能性があります。

(4) 異なるクロックで動作するレジスタ間のデータパスについて

異なるクロックで動作するレジスタ間にデータパスがある場合、そのタイミングを保証することは困難ですので、非同期でデータの受け渡しができるような設計を行って下さい。また、同クロックであってもエッジが異なる場合は、異なるクロックとして扱ってよいかをご指示下さい。

2.3.2 外部端子のタイミング制約

(1) 外部入力タイミング

外部入力端子に、基準クロックに対するセットアップタイム、ホールドタイムを指定して下さい。

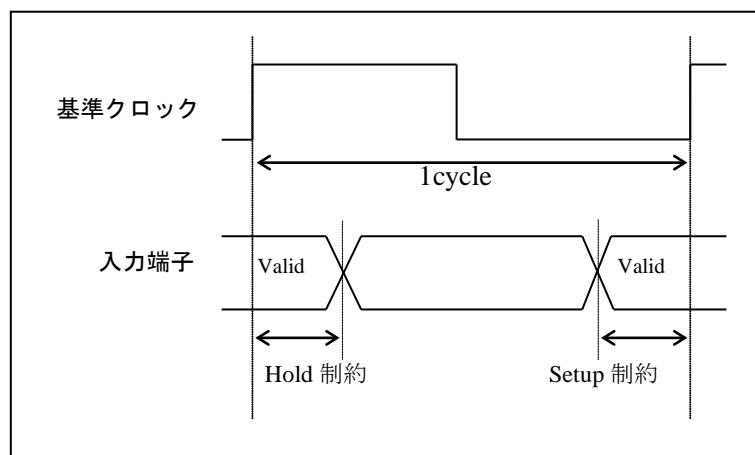


図 2-5 : 外部入力タイミング

(2) 外部出力タイミング

外部出力端子に、定義したクロックに対する出力遅延を設定します。基準クロックに対する遅延の最小値と最大値を指定して下さい。基準クロックが回路内に存在しないときは、仮想クロックの制約を指定して下さい。

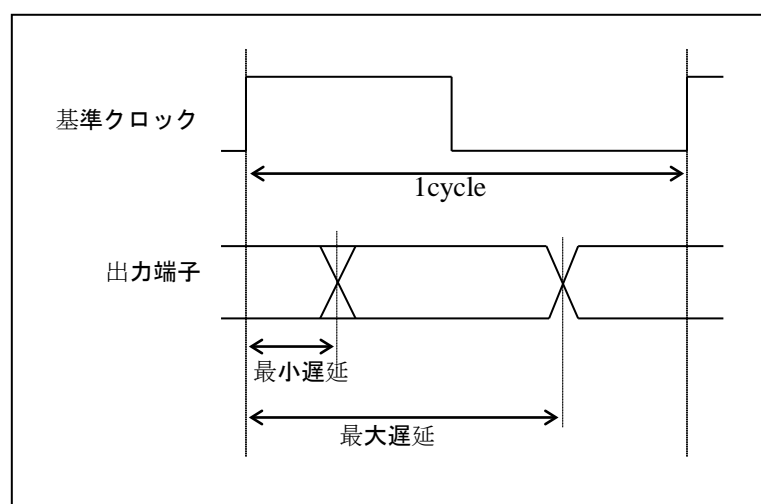


図 2-6 : 外部出力タイミング

(3) マルチサイクルパス

図 2-7 は、乗算器などの大規模回路を通るパスの例です。FF1/Q~FF2/D 間のタイミングに複数サイクルを必要とする（もしくは、必要としても構わない）場合は、FF1/Q~FF2/D 間のパスに対して、マルチサイクルパスを指定します。

データの受け渡しに複数サイクルが必要なパスと、サイクル数を指定して下さい。

例えば、FF1/Q~FF2/D 間のパスのデータ伝播に 2 サイクルを必要とする場合は、図 2-8 のように FF1/Q~FF2/D 間に 2 サイクルのマルチサイクルパスを指定して下さい。

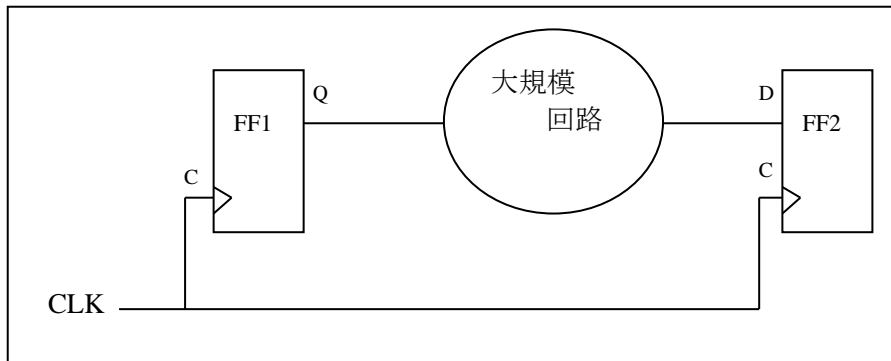


図 2-7 : 大規模回路を通るパスの例

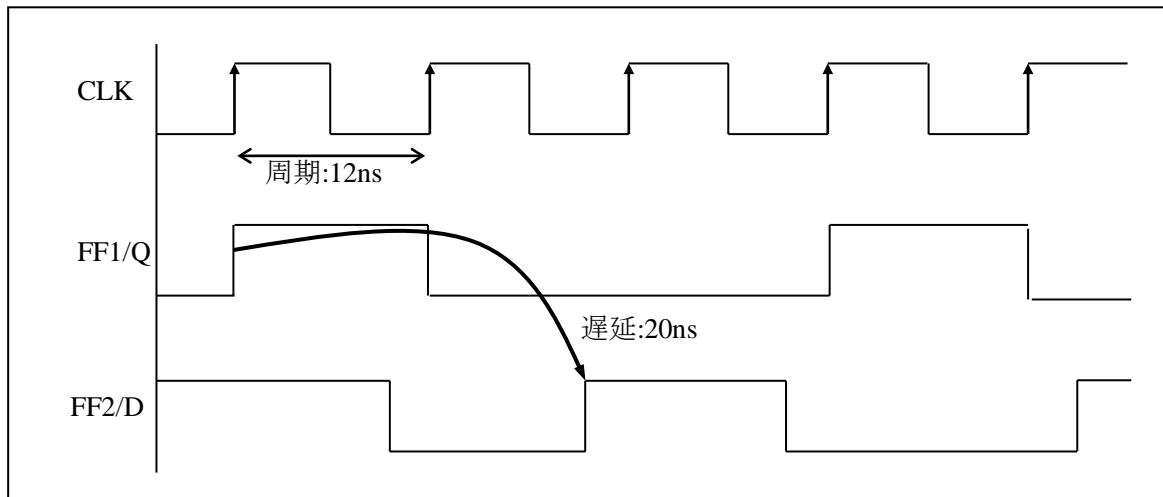


図 2-8 マルチサイクルパス

(4) フォルスパス

論理的、仕様の的にありえないパスを、わかるかぎり指定して下さい。フォルスパスは、最適化の対象外となります。例えば、図 2-9 において、B~X 間のパスは論理的にありえないので、フォルスパスになります。

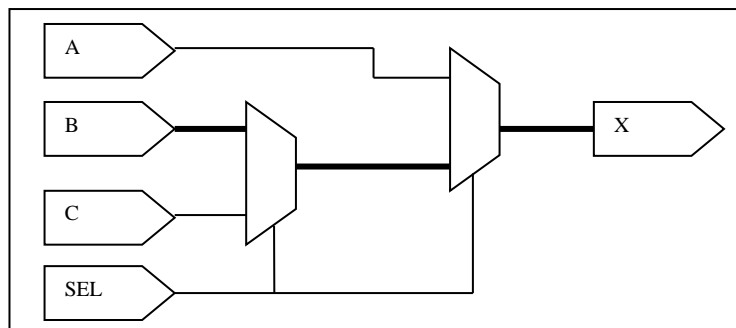


図 2-9 フォルスパス

(5) クロックゲーティング

消費電力削減などのため、クロックゲーティングを行う場合は、できるだけ上位階層で行うようにして下さい。

クロックツリー構築時にスキュー調整が必要となる場合がありますので、クロックゲーティングを行った箇所を指定して下さい。また、ラッチベース方式のクロックゲーティングセルを使用する場合は、あわせて指定して下さい。

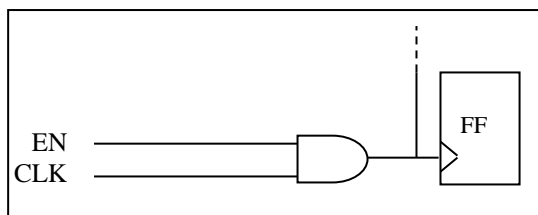


図 2-10 : クロックゲーティングの例

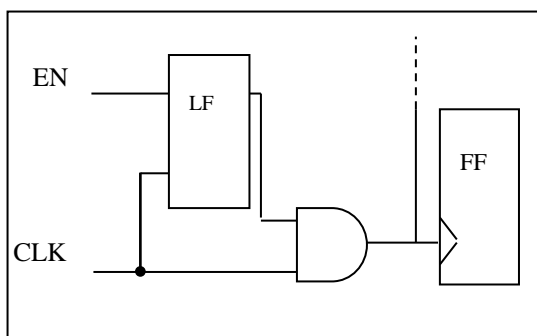


図 2-11 : ラッチベース方式のクロックゲーティングの例

(6) クロックゲーティングした RTL でのシミュレーション実施時の注意点

RTL シミュレーションにおいて、図 2-12 のようにゲーティングされたクロックは、ゲーティングされる前のクロックとは非同期の扱いとなります。2 段の非同期 FF 両方にゼロ遅延でクロックが入った場合は、どちらが先に処理されるかは、シミュレータ依存となります。これを回避するには、RTL 中に遅延の記述を付加して、意図通りの順番で処理が行われるようにして下さい。RTL 中の遅延記述は、論理合成時には無視されます。

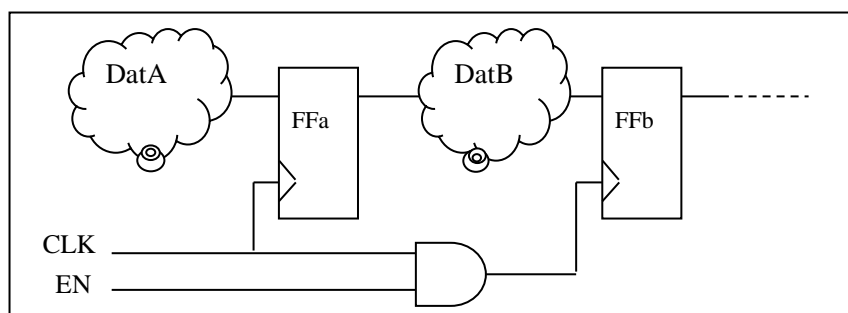


図 2-12 : ゲーティングされたクロックとの接続例

```

parameter DELAY = 10;
.....
always @(posedge CLK ) begin
    FFa <= #(DELAY) DatA;
end
assign ENCLK = CLK & EN;
always @(posedge ENCLK ) begin
    FFb <= DatB;
end
    
```

図 2-13 : 遅延記述の付加

(7) 論理合成時のクロックゲーティングセル自動挿入

セイコーエプソンでの論理合成時に、消費電力とゲートサイズの削減のため、ラッチベース方式のクロックゲーティングセルを自動挿入することが可能です。

しかし、これによりクロックスキューが増大するため、タイミング制約が厳しい場合は、調整に数日の日数を必要と致しますことをご了解下さい。

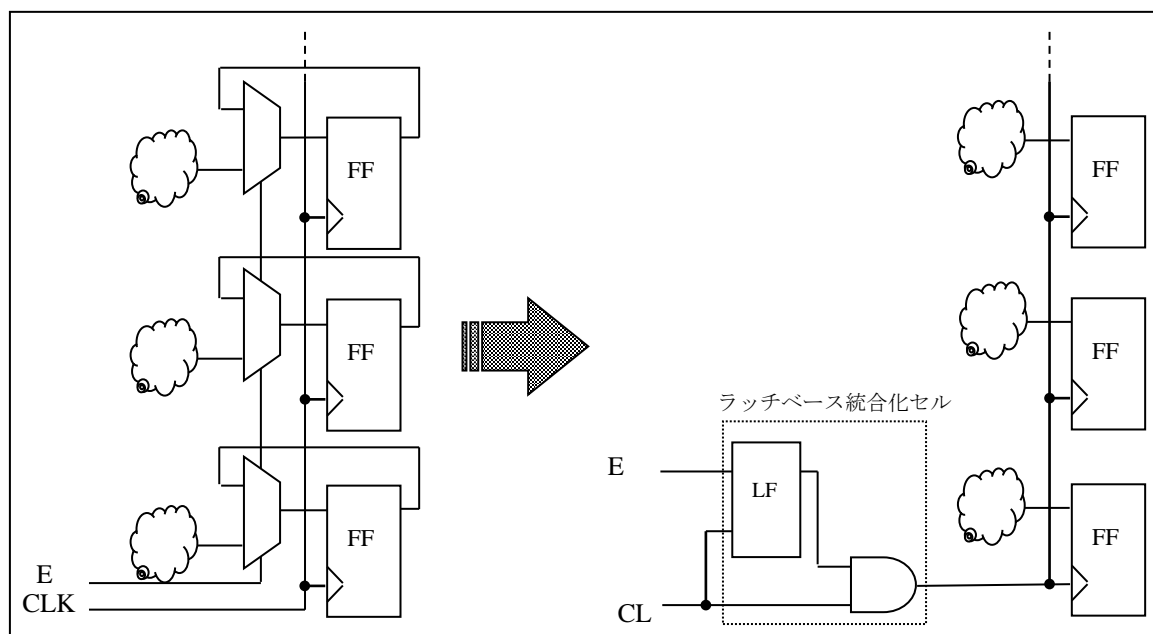


図 2-14 : クロックゲーティングセル自動挿入の例

(8) セット/リセット信号について

図 2-15 のような、非同期セットとリセットの両端子を持つフリップフロップの有無をお知らせ下さい。非同期セット/リセット両端子を持つフリップフロップのセット-リセット間のリカバリタイムやリムーバルタイムは解析できません。また、クロック端子を持たないセルのセット/リセットは解析できません。

```

always @(posedge CLK or negedge SET or negedge RST) begin
  if (!SET)
    Q <= 1' b1;
  else if (!RST)
    Q <= 1' b0;
  else
    Q <= D;
end
    
```

図 2-15 : セット/リセット両端子を持つフリップフロップの記述例

2.4 入出力バッファの挿入

- (1) 送付いただいた「端子配列表」でのバッファの種類にしたがって、セイコーエプソンにて、入出力バッファを挿入いたします。

バッファの種類および構成については、「[第 6 章 入出力バッファの種類と使用上の注意](#)」を参照して下さい。

- (2) 入出力バッファは、トップモジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。セイコーエプソンでゲート用のトップモジュールを作成いたしますので、RTL 用のトップモジュールには、入出力に関する記述のみとして下さい。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにして下さい。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップモジュール内で双方向信号を記述して下さい。

```

module TOP ( IN1, OUT1, BID1);
  input IN1 ;
  output OUT1 ;
  inout BID1 ;
  assign BID1 = (en) ? 1'bz : bid1_out ;
  CORE U_CORE( .in1(IN1),
    .out1(OUT1), .bid1_in(BID1),
    .bid1_out(bid1_out), .en(en) );
endmodule

```

図 2-16：トップモジュールの RTL 例

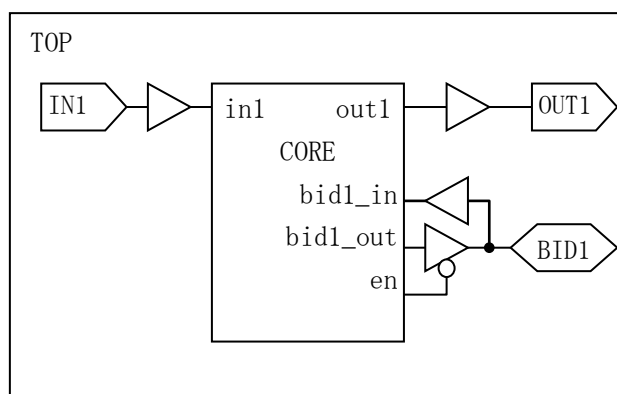


図 2-17：トップモジュール イメージ

2.5 RAM の記述

- (1) RAM を搭載される場合、RAM の仕様の確認をして下さい。仕様の詳細は「[第 8 章 RAM 仕様](#)」を参照して下さい。
- (2) RAM のライブラリはセイコーエプソンにて提供いたします。必要な RAM のサイズおよび個数を開発着手依頼書へ記入して下さい。なお、RAM の（モデル）ライブラリ提供には日数が掛る場合がございます。ご了承下さい。
- (3) お客様にて RAM を記述する場合は、そのモデルのモジュール名を連絡して下さい。

2.6 発振セルの記述

- (1) 発振セルを搭載される場合、発振セルの詳細、「[第 5 章 5.1 発振回路](#)」を参照して下さい。
- (2) RTL 記述時には、発振セルはインスタンス化して記述して下さい。
- (3) お客様が論理合成をする場合、発振セルの外部端子接続ネットにバッファが挿入されないように、入力および出力ネットに対して、set_dont_touch コマンドで dont_touch 属性を付けて下さい。

第 3 章 テスト回路設計上の注意

テスト回路設計については、セイコーエプソンにてテスト容易化設計、テスト回路挿入することを推奨いたします。挿入手順については「[第 1 章 1.5 開発フロー](#)」を参照して下さい。

3.1 推奨 DC・AC テスト回路の挿入

セイコーエプソンで、DC および AC テスト等の出荷時の試験を効率良く行えるように、推奨のテスト回路を用意し、お客様の回路に挿入させていただきます。

3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用

セイコーエプソン推奨 DC および AC テスト回路については、送付いただいたお客様回路にセイコーエプソンにて挿入させていただきます。推奨テスト回路を構成する為に、テスト回路付き入出力バッファを選択いたします。

DC・AC テスト専用端子として入力端子を最低 1 本用意をお願いします。

3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名

推奨テスト回路を構成する為に選択したテスト回路付き出力バッファおよび双方向方向バッファのセル名は、出力バッファでは「O***T」または「TB***T」、双方向バッファでは「B***T」とセル名の末尾が「T」となります。

3.1.3 お客様設計によりテスト回路挿入される場合

お客様にて、テスト回路を設計される場合、またお客様の回路設計の構成上の理由で、セイコーエプソン推奨のテスト回路をご使用いただけない場合、または、テスト機能付き出力バッファをご使用いただけない場合には、開発着手依頼時に連絡をして下さい。

3.2 スキャン (SCAN) 回路の挿入

スキャン回路の挿入の可否については、開発着手依頼時に連絡をお願いします。スキャン回路の挿入は、セイコーエプソンにて行ないます。

その際、スキャンテスト専用端子2本を回路の入出力端子として用意していただくことになります。

3.2.1 スキャン (SCAN) 回路

セイコーエプソンでのスキャン挿入は、設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

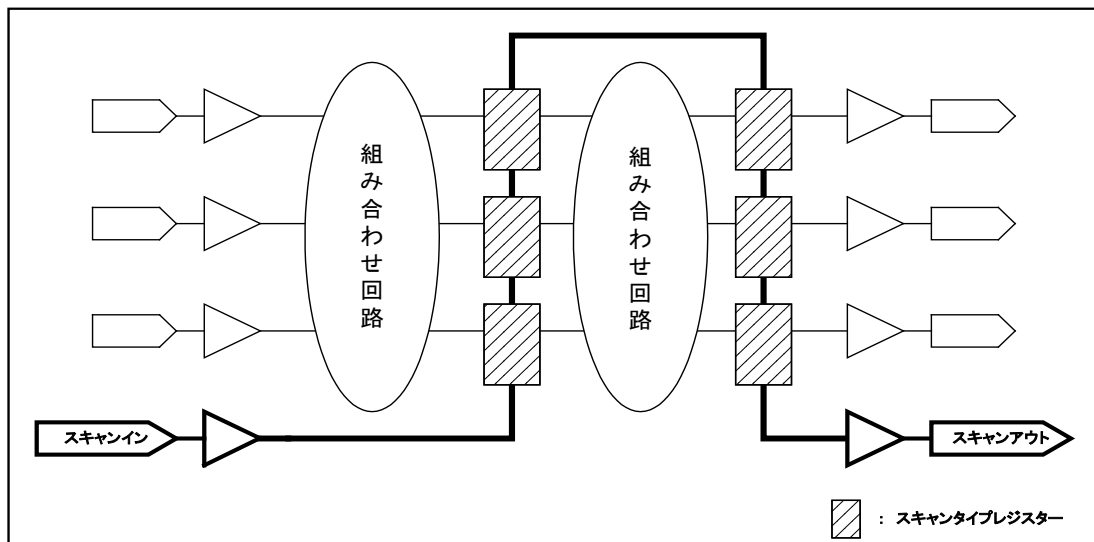


図 3-1 スキャン回路の例

[注意] ATPG (Auto Test Pattern Generation) が生成するテストパターンは仕様を確認するものではありません。

トランスペアレントラッチはスキャンタイプレジスタに置換されません。

3.3 バウンダリスキャン (JTAG) 回路の挿入

バウンダリスキャン (JTAG) 回路の挿入の可否については、開発着手依頼時に連絡をお願いします。バウンダリスキャン (JTAG) 回路挿入は、セイコーエプソンにて行ないます。

バウンダリスキャン (JTAG) 回路挿入に際しては、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリスキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。

また、挿入したバウンダリスキャン用ファンクションパターンはセイコーエプソンにて作成しますので、お客さま側でのバウンダリスキャンに関するパターン作成は必要はありません。

3.3.1 インストラクション

以下のバウンダリスキャンインストラクションに対応します。

表 3-1 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能*1
HIGHZ	任意選択可能*1
IDCODE	0...01

注) *1: 特に要求のない場合はセイコーエプソンでアサインします。また他コードとの重複はできません。
また、インストラクションのビット幅は2~32ビットの範囲で選択可能です。
特に要求のない場合は、セイコーエプソンにて決定します。

3.3.2 ゲート数の見積り

バウンダリスキャン回路挿入によるゲート数の増加に関しては、対応するインストラクションやビット幅などにより前後します。ゲート数の見積りには以下の情報を用いて概算して下さい。

表 3-2 ゲート数見積り (BC: ベーシックセル換算)

バウンダリスキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時: 約 30 (BC/端子) オブザーブ専用セル使用時: 約 15 (BC/端子)
2-ステート出力端子	約 35 (BC/端子)
3-ステート出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

3.3.3 お客様設計にてバウンダリスキャン (JTAG) 回路挿入される場合

お客様にて JTAG 回路挿入する場合、以下の設計ルールを考慮いただくようお願いします。

(1) DC テスト・AC テスト容易回路との共存禁止

セイコーエプソン推奨のテスト容易回路との共存はできません。バウンダリスキャンに対応する場合には、推奨 DC テスト・AC テスト回路の挿入はできません。

外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- ① 使用可能なキャラクタは、英数字 (a~z、A~Z、0~9) と “_” (アンダスコア) のみ。
- ② 大文字と小文字の区別はされない。(CLK と clk は同一と見なされます)
- ③ 先頭文字は英字にする。(悪い例 OCLK、_CLK)
- ④ アンダスコアは続けて使用しない。(悪い例 SYS__CLK)
- ⑤ 文字列がアンダスコアで終了しない。(悪い例 CLK_)

(2) 専用外部端子の準備

バウンダリスキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行ってください。

① クロック (TCK)

バウンダリスキャン回路用のクロック用端子。入力セルを用意し、その出力ポートは、どこにも接続しない。

② モードセレクト (TMS)

バウンダリスキャン回路用のモードセレクト用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

③ データ入力 (TDI)

バウンダリスキャン回路用のスキャンデータ入力端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

④ データ出力 (TDO)

バウンダリスキャン回路用のスキャンデータ出力端子。3-ステート出力セルを使用し、その入力ポートは、プルダウンしておく。

⑤ リセット (TRST)

バウンダリスキャン回路用の非同期リセット用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

第3章 テスト回路設計上の注意

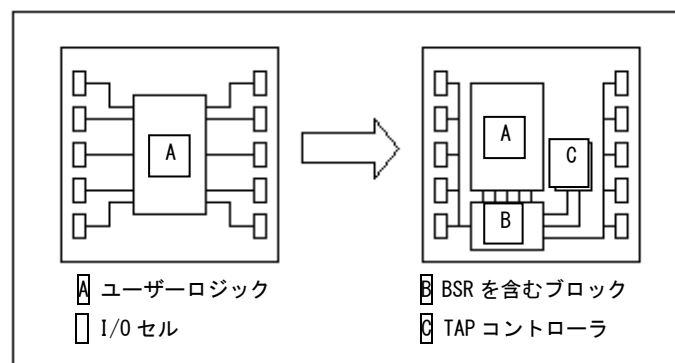
```
IBC U1 (.PAD(TCK)); // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS)); // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO), A(1'b0), E(1'b0)); // TB1: 3-state 出力セル
```

図 3-2 専用端子記述の例 (verilog 記述)

(3) 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成としてください。また、バウンダリスキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置してください。
- その他の論理は、できるだけ一階層下のサブブロックに納めてください。



(4) I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O セル
- Gated 入力セル
- オープンドレイン出力セル

(5) アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリスキャンセルを挿入しません。

(6) パッケージのピンとパッドの制約

パッケージのピンとチップ上のパッドが一对一に接続されている必要があります。

パッケージの一つのピンとチップ上の複数個のパッドを接続した場合（マルチボンディング）や複数個のパッド同士を接続した場合（マルチパッド）は対応できません。

3.4 RAM のテスト回路：メモリ BIST (Built in Self Test)

セイコーエプソンでは内蔵メモリのテスト回路として自己診断回路であるメモリ BIST (Built In Self Test) を用意しています。

セイコーエプソンでは、お客さまより提出していただいた RTL またはゲートレベルのネットリストに対してメモリ BIST を挿入します。

第4章 テストパターン作成上の注意

テストパターン作成における留意点について説明します。

4.1 サインオフシミュレーション向けテストパターンの作成

4.1.1 テストパターンの形式

RTL シミュレーションにて、結果が得られましたら、その ASIC のプライマリ入出力信号の波形を VCD (Value Change Dump) フォーマットで提出していただきます。なお、VCD の形式につきまして、Extended VCD などの拡張された VCD は扱えません。外部双方向端子を使用する場合は、イネーブル信号の波形も出力して下さい。なお、セイコーエプソンのサインオフシミュレーションでは、HDL で記述されたテストベンチを使うことはできません。

セイコーエプソンでは、VCD を APF (Advanced Press Format : セイコーエプソン独自テストパターン形式) に変換して、シミュレーションを行います。図 4-1 は、VCD から APF への変換イメージです。各波形を基準となるサイクルタイム毎にサンプリングした信号値に置き換えます。APF のサンプルを図 4-2 に示します。

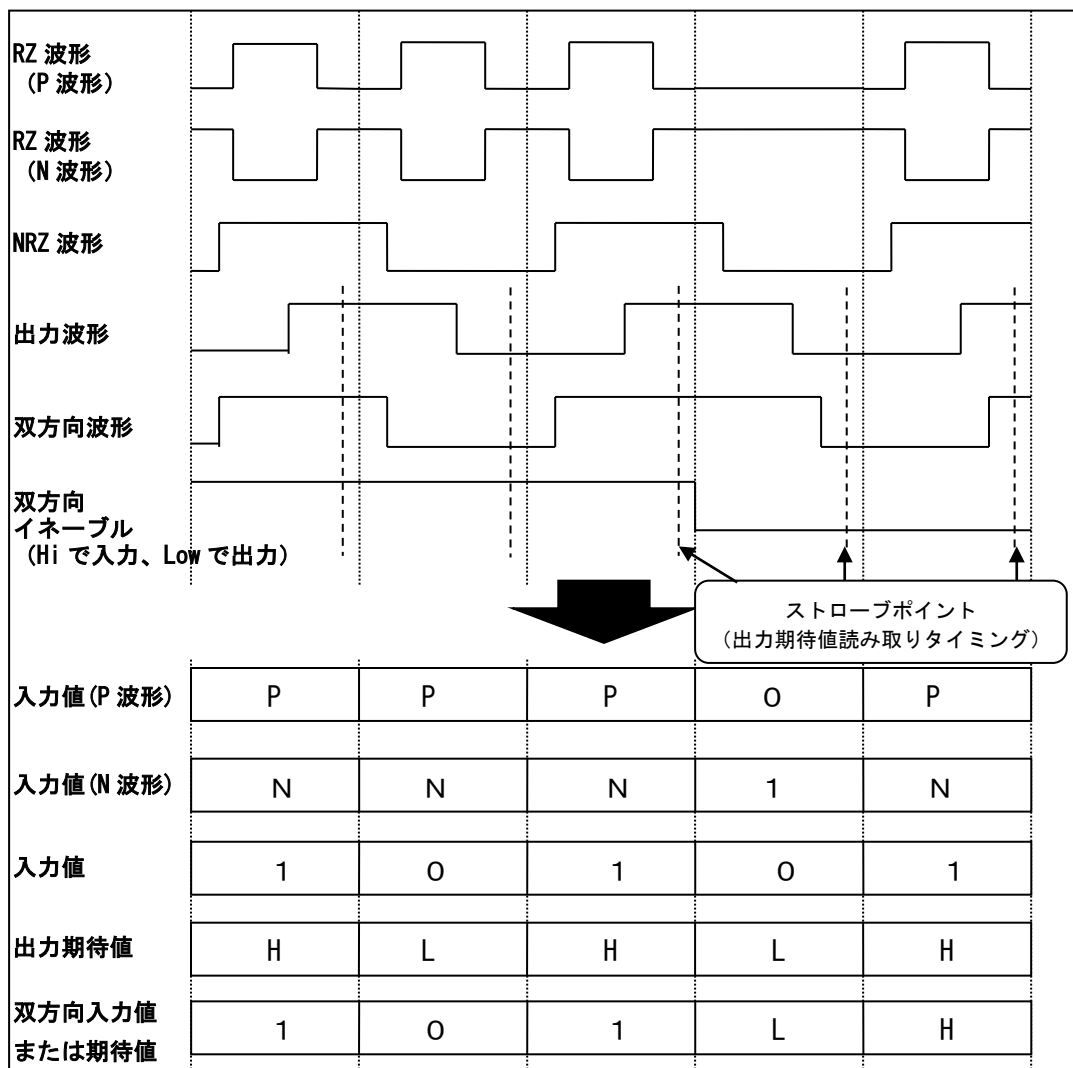


図 4-1 : 波形から APF への変換イメージ

```

# Create by Netlist Rule Check Utility at Fri Oct 6 11:42:55
$DESIGN SAMPLE

$RATE      100000 ← レート (サイクル) 100ns
$RESOLUTION 0.001ns
$STOROBE   85000 ← ストローブポイント 85ns

#$HEX
#$ENDHEX

$IOCONT
inst01.ZO  E0    BID1
inst02.ZO  E0    BID2 ← 双方向信号をコントロールしている内部ノード
$ENDIOCONT

$NODE
RST      I  10000 ← 入力遅延 10ns の入力端子
CLK      P  50000  90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (P 波形) 入力端子
XCLK     N  50000  90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (N 波形) 入力端子
INPUTB   IU  0
INPUTC   IU  0 ← 入力遅延 0ns のプルアップ付き入力端子
#
OUTA     O  0 ← 出力端子
OUTB     O  0
#
BID1     B  0 ← 入力遅延 0ns の双方向端子
BID2     B  30000
#
$ENDNODE

$PATTERN
#
#      RCXII00BB
#      SLCNNUUII
#      TKLPPTDD ← 入力/出力信号名 (コメント行)
#      KUKAB12
#      TT
#      BC
#
#      IPNII0BB
#
#      0 ← イベント番号 (パターンの周期番号)
#      1 ← 信号値
#      2
#      3
#      4
#      1PN11XZ1L
#      1PN01XZ0L
#      1PN11XH1L
#      10101LHL1
#      1PN11LHH0
$ENDPATTERN

注：信号中に使える文字
O：入力 Low      1：入力 High      P：P型RZ波形入力      N：N型RZ波形入力
L：出力 Low      H：出力 High      Z：出力ハイインピーダンス  X：Unknown
    
```

図 4-2： APF のサンプル

4.1.2 テストパターンの制限

セイコーエプソンでは、サイクルベースでのシミュレーションを行っています。つきましては、以下の制限を満足するようにして下さい。入力信号および出力信号のタイミングを厳密にチェックしたいときは、STAによる解析が必要となります。

- (1) 同一 VCD 内では、クロックの周期やパルス幅を変化させないで下さい。
- (2) 同一 VCD 内では、クロック間のスキューや、クロックと入力信号の関係を変化させないで下さい。サイクル単位における入力遅延を一定にして下さい。
- (3) 同一 VCD 内に、周期の異なるクロックが存在する場合、もっとも早いクロックの周期を基準サイクルタイムとし、他クロックの周期は基準サイクルタイムの倍数となるようにして下さい。
- (4) P 波形クロックを止めるときは 0 入力状態にして下さい。
- (5) N 波形クロックを止めるときは 1 入力状態にして下さい。
- (6) 不定 (X) や、ハイインピーダンス状態 (Z) を入力することはできません。

図 4-3 に使用できない入力波形の例を示します。

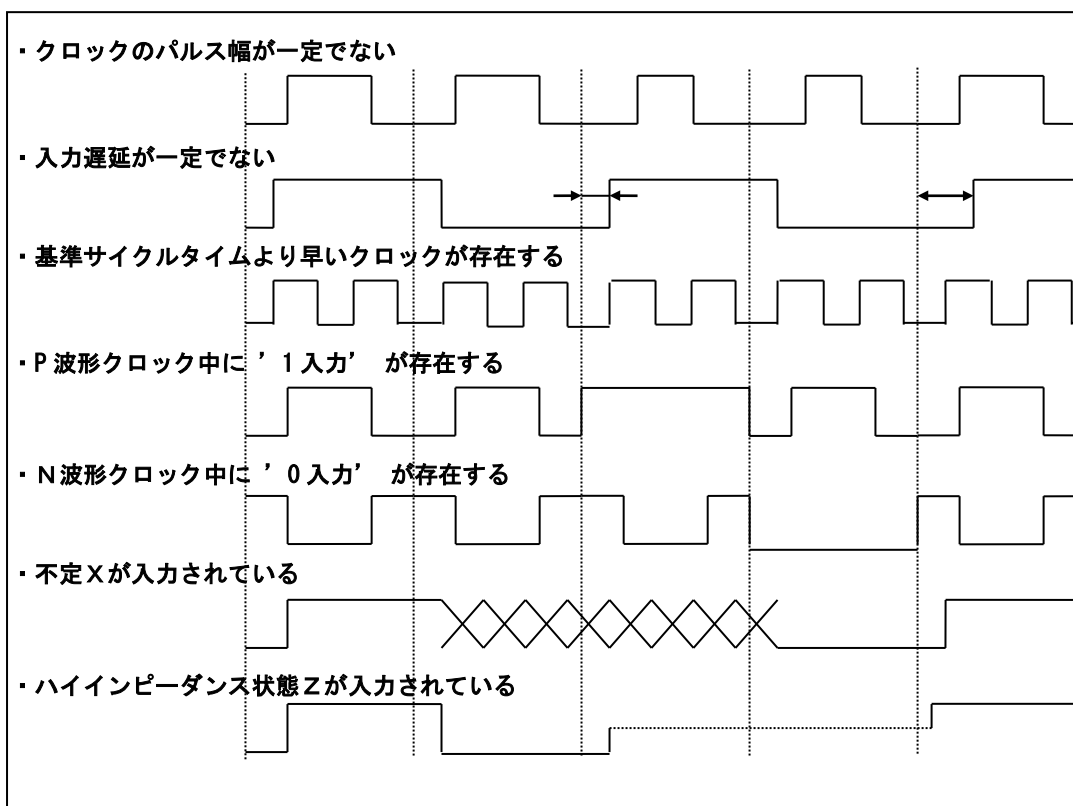


図 4-3： 使用できない入力波形の例

4.1.3 外部双方向端子のイネーブル信号

外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。その際、一つの外部双方向端子は、必ず一つのイネーブル信号で動作するようにして下さい。RTL内の双方向イネーブル信号が複数信号の論理で構成されている場合（図4-4）は、一つの信号に置き換えて下さい（図4-5）。

```
inout data;  
wire data, cs, rd;  
.....  
assign data = (cs & rd) ? outdata : 1'bz;
```

図4-4：複数信号の論理で構成された双方向イネーブルの例

```
inout data;  
wire data, cs, rd, dataen;  
.....  
assign dataen = cs & rd;  
assign data = dataen ? outdata : 1'bz;
```

図4-5：一つの信号に置き換えた例

4.2 製品出荷テスト向けのテストパターン作成

お客さまより受領したテストパターンを基に、セイコーエプソンにて製品の出荷テスト用のテストパターンを作成します。IC テスタの能力などによって制限があり、IC の仕様確認用のテストパターンを以下の制限に合うよう、変更して作成いたします。この際、テストパターンが非常に長い場合や、テストパターンの本数が非常に多い場合など、IC テスタへの適用が困難な場合には、テストパターンの調整を行うことがありますのでご了承ください。

製品出荷テスト向けに変換する必要が無いテストパターンや、製品出荷テスト専用のテストパターンがある場合は、弊社営業担当までご連絡下さい。

4.2.1 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や IC テスタでのテスト時においては、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

(1) NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

(2) RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生することができるので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

4.2.2 テストパターンの制限

テストパターン作成の制限を説明するため、図 4-6 にテストレート、入力ディレイ、パルス幅について示します。

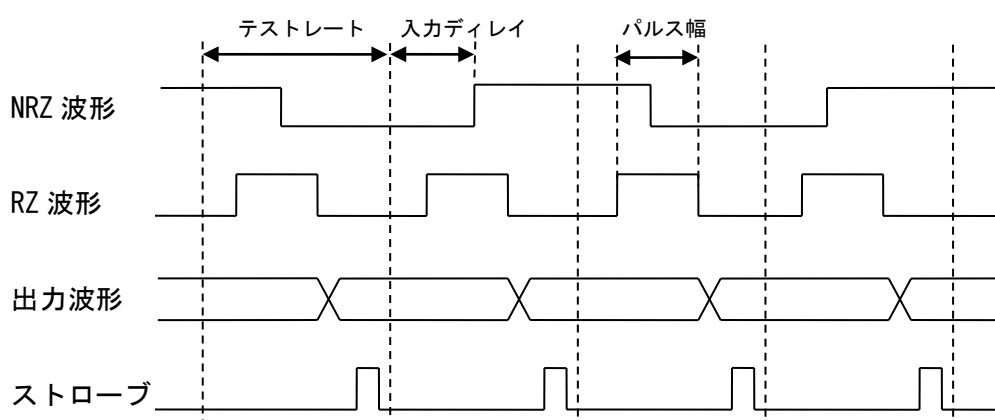


図 4-6 テストパターンにおけるタイミング

テストパターン作成での各種制限を、以下の(1)～(5)に示します。

(1) テストレートおよびイベント数の制限

テストレート :	100nsec 以上、1nsec 単位 (標準 : 200nsec)
テストパターン1本あたりのイベント数 :	256K イベント以内
テストパターンの本数 :	30 本以内
テストパターンの総イベント数 :	1M イベント以内

(2) 入力ディレイの制限

(a) 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えて下さい。また、ストロークポイントの制限については「[4.2.2. \(5\) ストロークの制限](#)」を参照して下さい。

$0\text{nsec} \leq \text{入力ディレイ値} < \text{ストロークポイント}$

(b) 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3nsec 以上の差をつけて下さい。

(c) 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8 種類以内にして下さい。ここで、0nsec 遅延も1種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

(3) パルス幅の制限

RZ 波形のパルス幅は、15nsec 以上として下さい。

(4) 入力波形フォーマットの制限

入力波形は、0、1、P、N の値を取ることができます。ここで、P と N は、RZ 波形におけるパルスの入力を表しています。また、P と N の値はひとつのテストパターン内で、同一の端子に対して 0 と P または、1 と N の組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ 波形を入力することができます。

(5) ストロークの制限

(a) ストロークはテストパターンごとに1種類のみ定義可能です。

(b) ストロークの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30nsec 以上後にして下さい。

(c) ストロークの最大値は、(テストレート-15nsec) よりも小さくして下さい。

(d) ストロークは、1nsec 単位で設定して下さい。

4.2.3 DC・AC テストパターンの作成について

DC および AC テストについては、挿入させていただいたセイコーエプソン推奨テスト回路に対して DC および AC テストパターン作成を、セイコーエプソンにて行います。

お客さまにて DC・AC テスト回路挿入される場合は、「[付録 A3. DC・AC テストパターン](#)」を参照いただき、テストパターン作成をお願いします。

4.2.4 ハイインピーダンス状態の扱いに関する注意点

入力端子のハイインピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイインピーダンスに関する対策としまして、プルアップ／プルダウン抵抗付きの I/O セルを用意しています。ただし、下記の理由からシミュレーションにおいてプルアップ／プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ／プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

<プルアップ／プルダウン抵抗の伝播遅延を考慮していない理由について>

- (1) 外部負荷容量により遅延が大きく変動するため
- (2) プルアップ／プルダウン抵抗は、ハイインピーダンス状態によるフローティングゲートを回避することのみを目的としているため

上記内容を、シミュレーション前にツールによりテストパターンのチェックを行います。ハイインピーダンス状態を表す“Z”が検出された場合には、テストパターンの修正が必要です。

この時、前記理由からプルアップ／プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

<対策>

テストパターンのチェックで双方向端子のすべての“Z”をエラーで警告します。(3-ステート、オープンドレイン等の出力端子で表現される“Z”は除きます)

このエラーを回避する手段として、前記双方向端子の“Z”はプルアップ抵抗付きであれば“1”を、プルダウン抵抗付きであれば“0”に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、“X”が表現されている時間に入力モードとなった場合は、プルアップ／プルダウン抵抗の有無に関わらず、シミュレーションでは“X”を入力信号として伝播し、シミュレーション結果には“?”を表示します。この“?”は修正いただき、改めてシミュレーションを行います。

表 4-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

第 5 章 回路設計上の注意

発振回路、外部バスとの競合防止、メタステーブル対策での留意点について説明します。

5.1 発振回路

5.1.1 発振回路の構成

S1L5V000 シリーズでは、発振回路を構成するための発振専用セルに、水晶発振用と CR 発振用を用意しています。

水晶発振用には IC 内部セル領域に配置される間欠発振タイプ（図 5-1）と、I/O セル領域に配置される常時発振タイプ（図 5-2）があります。間欠発振タイプを常時発振タイプとして使用する場合は、発振セルの端子 E を 'H' として使用ください。

CR 発振回路は図 5-3 となります。

発振回路構成例は以下のようになります。

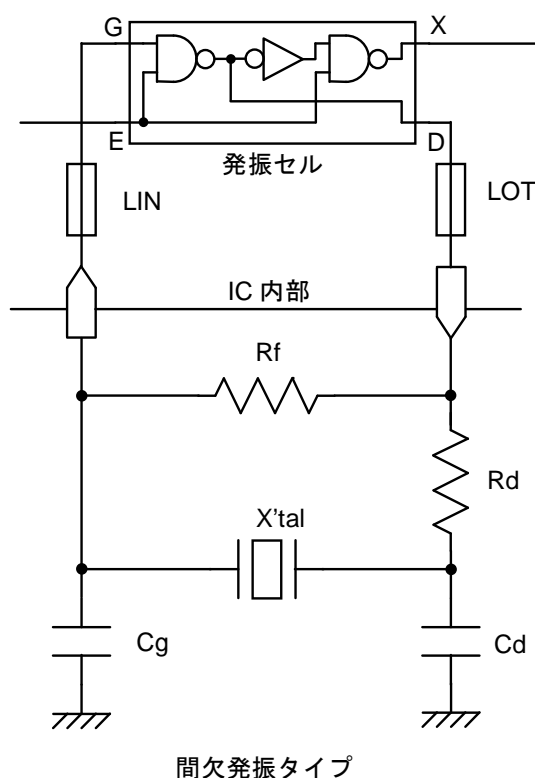
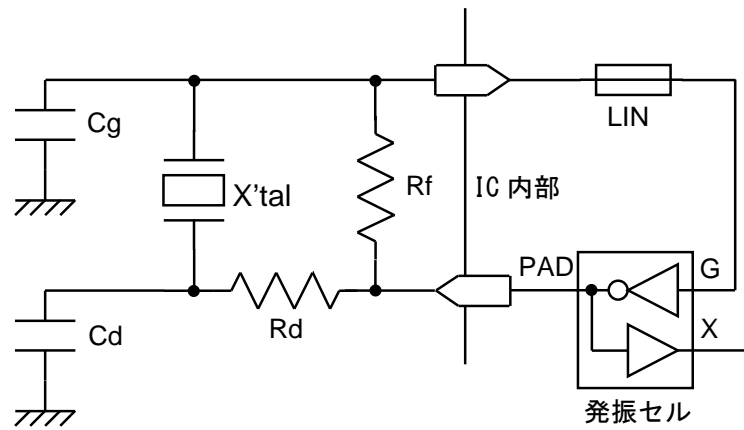


図 5-1 水晶発振回路（内部セル領域に配置）



常時発振タイプ

図 5-2 水晶発振回路 (I/O セル領域に配置)

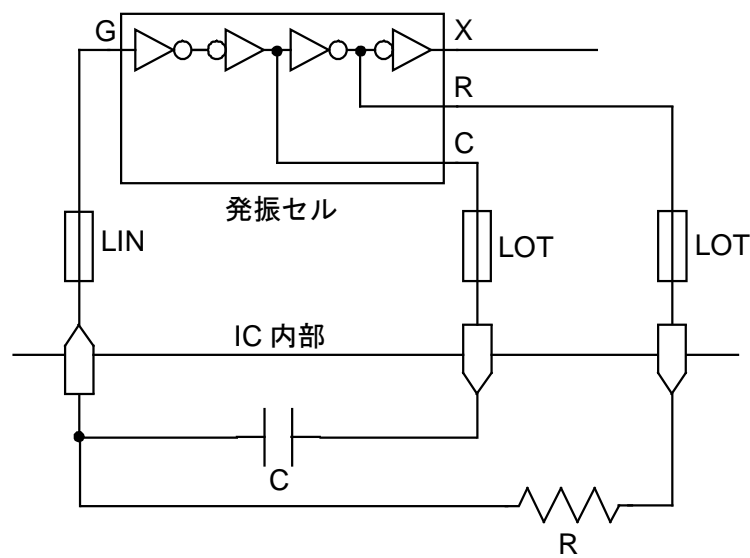


図 5-3 CR 発振回路

5.1.2 発振回路を使用する場合の注意

(1) 端子配列

- ① 発振回路の入出力端子は隣接させて配置し、その両側を電源端子 (V_{DD} 、 V_{SS}) を挟んで下さい。
- ② 発振回路の入出力端子は、他の出力端子から離して配置して下さい。特に、発振波形と同相あるいは逆相の出力からは離して配置して下さい。このような出力はパッケージの対辺に配置するようにして下さい。
- ③ 発振回路の入出力端子は、クロックなど高速で動作する入力端子から離して配置して下さい。
- ④ 発振回路の入出力端子はできるだけパッケージの辺の中心に配置して下さい。
- ⑤ 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置して下さい。
- ⑥ BGA 等エリアレイパッケージを使用する場合の端子配列は弊社営業担当までお問い合わせ下さい。

(2) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせ下さい。

(3) 外付け抵抗、コンデンサ値の設定

発振特性は、その回路の構成要素 (IC、X' tal、Rf、Rd、Cg、Cd、基板) に依存します。したがって、外付けの Rf、Rd や Cg、Cd の値は、実際の基盤上に各部品を実装させた状態で十分な評価を行い最適なものを選んで下さい。

(4) 保証のレベル

発振特性は、その回路の構成要素 (IC、X' tal、Rf、Rd、Cg、Cd、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客さまにおいて ES サンプルで十分な評価を行って確認していただく必要があります。

(5) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル X の信号) の波形を予め特定することは困難であるため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立上りと立下りの両方を利用した回路を使用することは避けて下さい。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立上りあるいは立下りのいずれか一方を利用した回路を使用して下さい。

5.1.3 発振セルの RTL 記述について

発振セルの RTL 記述については、「[第 2 章 2.6 発振セルの記述](#)」を参照して下さい。

5.2 内部バスの構成

バス回路は 3-ステート論理回路で構成され、バスの制御信号を操作することによって、バスに接続されている出力の 1 つをアクティブ状態にして（他の出力はハイインピーダンス状態）、1 本の伝送信号線を時間ごとに分割して共有するものです。

ここでは、内部 3-ステートバッファを使用し、構築する内部バス回路の注意点について記します。

- (1) バスセルはバス回路以外に使用できません。（バスセルは表 5-1 を参照して下さい）
- (2) バス回路を構成する場合は、バスラッチセル BLT* をバスに付加して下さい。
- (3) 1 本のバスに接続されるバスセルの中で、アクティブ状態（0 または 1）にできるものは 1 出力だけで他のバスセルの出力は必ずハイインピーダンス状態（Z）でなければなりません。^{*1}
- (4) 1 本のバスに接続できるバスセルはファンアウト制限値以内として下さい。^{*2}
- (5) バス回路はファンアウトの関係からも伝播遅延時間が大きくなる傾向にあり、高速動作には不向きとなります。^{*2}
- (6) バスラッチセルにより保持されるデータは、フローティング防止のみとし、論理信号として使用しないで下さい。^{*3}
- (7) テストパターン作成時においてバスの初期状態が容易に定まるように作成して下さい。^{*4}
- (8) 1 サイクル内で、バスの制御信号切り換えは 1 回のみとして下さい。

注) *1：1 本のバスに接続されるバスセルの中で、同時に複数のバスセルがアクティブ状態（0 または 1）になる状態では、出力の電位が不安定な状態になるとともに、 $V_{DD} \sim GND$ 間に定常的に貫通電流が流れてしまいますので、この制限事項を必ず守って下さい。

*2：内部バス上の負荷が過大すぎますと配線長の増大、接続先の増加により、信号の立ち上がり、立ち下がり時間が増加し、論理シミュレーションでの遅延時間と実デバイスの遅延時間に差が生じやすくなります。

*3：1 本のバスに接続されるバスセルが、すべてハイインピーダンス状態（Z）となっても、バスラッチセルによりデータは保持されますが、動作時に影響を与えぬように保持能力は抑えてあります。保持されているデータ出力を有効なデータとして使用しないで下さい。

*4：バスの制御性が高まるようテスト端子を付加するなどし、テスト性を向上するように構成して下さい。

表 5-1 バスセル一覧

セルタイプ	セル名
Bus latches	BLT1、BLT4
Bus driver	TSBX2、TSBX4、TSBPX2
Inverting bus driver	TSVX2、TSVX4、TSVPX2

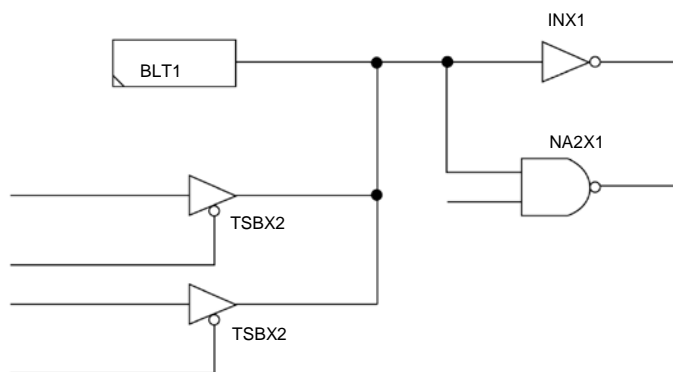


図 5-4 バスセル回路構成例

5.3 メタステーブル (Metastable)

FF やラッチセルの入力信号において、クロックとデータのセットアップ、ホールド時間、クロックとセットあるいはリセットのリリース、リムーバル時間のタイミング規格に違反している場合、FF やラッチセルの出力信号は、ある一定の時間、発振または、“HIGH” レベルでも “LOW” レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は “HIGH” あるいは “LOW” レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ／ホールド、リリース／リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとって下さい。

セットアップ／ホールド、リリース／リムーバル時間の規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

T_{pd} : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をして下さい。

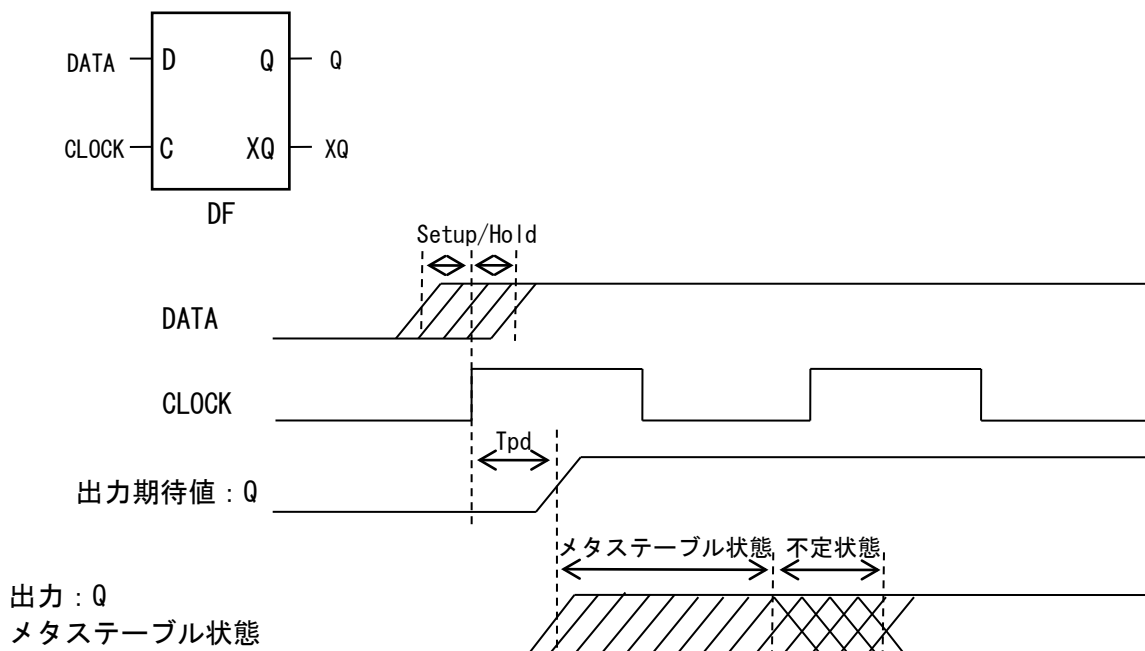


図 5-5 DF のメタステーブル状態

第 6 章 入出力バッファの種類と使用上の注意

6.1 入出力バッファの種類及び選択

S1L5V000 シリーズでは入力インタフェースレベル、シュミットトリガ入力の有無、プルアップ／プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等に対応した、入出力バッファを用意しています。以下の項目を考慮して、所望の入出力バッファを選択して下さい。

出力駆動能力およびプルアップ／プルダウン抵抗については 「[1.3.3 電気的特性](#) 表 1-5、表 1-6」 及び「[付録 A4 入出力バッファ特性](#)」を参照して下さい。

6.1.1 入出力バッファの選択

入出力バッファ選択の為のツールを用意しています。以下 URL を参照して下さい。

デザインガイド補足資料：S1L5V000 シリーズ入出力バッファの一覧表

www.epson.jp/prod/semicon/products/asic/gatearray/s1l5v_io.htm

6.1.2 バスホールド機能つき入出力バッファ

出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えないようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないで下さい。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、「[1.3.3 電気的特性](#) 表 1-5、表 1-6」を参照して下さい。

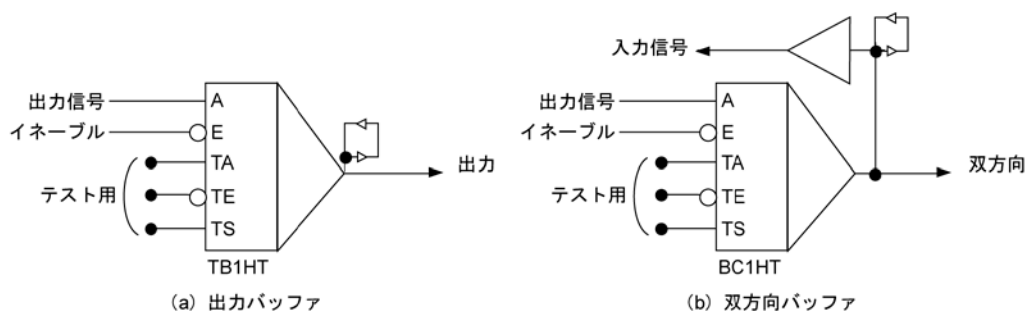


図 6-1 バスホールド回路シンボルの一例

6.2 入出力バッファの構成

S1L5V000 シリーズは、電源電圧 $V_{DD}=5.0V$ または $V_{DD}=3.3V$ の単一電源で使用することが可能です。

6.2.1 入力バッファ

入力バッファは 5.0V および 3.3V で使用することができます。

$V_{DD}=5.0V$ の場合および $V_{DD}=3.3V$ の場合の入力バッファについて以下説明をします。

入力バッファは、入力回路のみで構成されています。

表 6-1 に入力バッファのプルアップ/プルダウン抵抗値を示します。

表 6-1 プルアップ/プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値		単位
	$V_{DD}=5.0V$	$V_{DD}=3.3V$	
Type 1	60	100	k Ω
Type 2	120	200	k Ω

表 6-2、表 6-3 に $V_{DD}=5.0V$ の場合の入力バッファの一覧を示します。

表 6-2 入力バッファ一覧 ($V_{DD}=5.0V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2*3の有無
IBT	TTL	なし
IBTP#	TTL	プルアップ抵抗 (60k Ω 、120k Ω)
IBTD#	TTL	プルダウン抵抗 (60k Ω 、120k Ω)
IBC	CMOS	なし
IBCP#	CMOS	プルアップ抵抗 (60k Ω 、120k Ω)
IBCD#	CMOS	プルダウン抵抗 (60k Ω 、120k Ω)
IBS	TTL シュミット	なし
IBSP#	TTL シュミット	プルアップ抵抗 (60k Ω 、120k Ω)
IBSD#	TTL シュミット	プルダウン抵抗 (60k Ω 、120k Ω)
IBH	CMOS シュミット	なし
IBHP#	CMOS シュミット	プルアップ抵抗 (60k Ω 、120k Ω)
IBHD#	CMOS シュミット	プルダウン抵抗 (60k Ω 、120k Ω)

注) *1: 「#」は 1 または 2 で、1 は Type 1、2 は Type 2 の抵抗値に対応しています。

*2: プルダウン/プルアップの抵抗値の詳細は「表 1-5」および「付録 A4.1.6」を参照下さい。

*3: 入力バッファ特性のグラフは付録 A4.1.2 を参照下さい。

表 6-3 入力レベルシフター一覧 ($V_{DD}=5.0V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2*3の有無
IDC IDCD#	CMOS CMOS	なし プルダウン抵抗 (60k Ω 、120k Ω)
IDH IDHD#	CMOS シュミット CMOS シュミット	なし プルダウン抵抗 (60k Ω 、120k Ω)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。
 *2: プルダウンの抵抗値の詳細は「[表 1-5](#)」および「[付録 A4. 1. 6](#)」を参照下さい。
 *3: 入力バッファ特性のグラフは付録 A4. 1. 2 を参照下さい。

表 6-4、表 6-5 に $V_{DD}=3.3V$ の場合の入力バッファの一覧を示します。

表 6-4 入力バッファ一覧 ($V_{DD}=3.3V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2*3の有無
IBC IBCP# IBCD#	LVTTTL LVTTTL LVTTTL	なし プルアップ抵抗 (100k Ω 、200k Ω) プルダウン抵抗 (100k Ω 、200k Ω)
IBH IBHP# IBHD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 (100k Ω 、200k Ω) プルダウン抵抗 (100k Ω 、200k Ω)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。
 *2: プルダウン/プルアップの抵抗値の詳細は「[表 1-6](#)」を参照下さい。
 *3: 入力バッファ特性のグラフは「[付録 A4. 2. 2](#)」を参照下さい。

表 6-5 入力レベルシフター一覧 ($V_{DD}=3.3V$) (5V を入力可能です)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2*3の有無
IDC IDCD#	LVTTTL LVTTTL	なし プルダウン抵抗 (100k Ω 、200k Ω)
IDH IDHD#	LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (100k Ω 、200k Ω)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。
 *2: プルダウンの抵抗値の詳細は「[表 1-6](#)」を参照下さい。
 *3: 入力バッファ特性のグラフは「[付録 A4. 2. 2](#)」を参照下さい。

6.2.2 出力バッファ

表 6-6 に出力バッファにおける I_{OL} 、 I_{OH} の規格値を示します。

表 6-6 I_{OL} 、 I_{OH} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}/I_{OH}^{*2}		単位
	$V_{DD}=5.0V$	$V_{DD}=3.3V$	
Type S	0.1/-0.1	0.1/-0.1	mA
Type M	1/-1	1/-1	mA
Type 1	3/-3	2/-2	mA
Type 2	8/-8	6/-6	mA
Type 3	12/-12	10/-10	mA

注) *1 : $V_{OL}=0.4V$ です。

*2 : $V_{OH}=V_{DD}-0.4V$ です。

第 6 章 入出力バッファの種類と使用上の注意

表 6-7 に $V_{DD}=5.0V$ の場合の出力バッファの一覧を示します。
セル名の末尾「T」はテスト回路付き出力バッファを示しています。

表 6-7 出力バッファ一覧 ($V_{DD}=5.0V$)

Function	I_{OL}/I_{OH} *1 *2	セル名
Normal output	0.1mA/-0.1mA	OBST
	1mA/-1mA	OBMT
	3mA/-3mA	OB1T
	8mA/-8mA	OB2T
	12mA/-12mA	OB3T
Normal output for high speed	3mA/-3mA	OB1CT
	8mA/-8mA	OB2CT
	12mA/-12mA	OB3AT
Normal output for low noise	12mA/-12mA	OB3BT
3-ステート output	0.1mA/-0.1mA	TBST
	1mA/-1mA	TBMT
	3mA/-3mA	TB1T
	8mA/-8mA	TB2T
	12mA/-12mA	TB3T
3-ステート output for high speed	3mA/-3mA	TB1CT
	8mA/-8mA	TB2CT
	12mA/-12mA	TB3AT
3-ステート output for low noise	12mA/-12mA	TB3BT
3-ステート output (バスホールド機能付き)	1mA/-1mA	TBMHT
	3mA/-3mA	TB1HT
	8mA/-8mA	TB2HT
	12mA/-12mA	TB3HT
3-ステート output for high speed (バスホールド機能付き)	3mA/-3mA	TB1CHT
	8mA/-8mA	TB2CHT
	12mA/-12mA	TB3AHT
3-ステート output for low noise (バスホールド機能付き)	12mA/-12mA	TB3BHT

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出力ドライバ特性](#)」を参照下さい。

表 6-8 に $V_{DD}=3.3V$ の場合の出力バッファの一覧を示します。
セル名の末尾「T」はテスト回路付き出力バッファを示しています。

表 6-8 出力バッファ一覧 ($V_{DD}=3.3V$)

Function	$I_{OL}/I_{OH}^{*1 *2}$	セル名
Normal output	0.1mA/-0.1mA	OBST
	1mA/-1mA	OBMT
	2mA/-2mA	OB1T
	6mA/-6mA	OB2T
	10mA/-10mA	OB3T
Normal output for high speed	2mA/-2mA	OB1CT
	6mA/-6mA	OB2CT
	10mA/-10mA	OB3AT
Normal output for low noise	10mA/-10mA	OB3BT
3-ステート output	0.1mA/-0.1mA	TBST
	1mA/-1mA	TBMT
	2mA/-2mA	TB1T
	6mA/-6mA	TB2T
	10mA/-10mA	TB3T
3-ステート output for high speed	2mA/-2mA	TB1CT
	6mA/-6mA	TB2CT
	10mA/-10mA	TB3AT
3-ステート output for low noise	10mA/-10mA	TB3BT
3-ステート output (バスホールド機能付き)	1mA/-1mA	TBMHT
	2mA/-2mA	TB1HT
	6mA/-6mA	TB2HT
	10mA/-10mA	TB3HT
3-ステート output for high speed (バスホールド機能付き)	2mA/-2mA	TB1CHT
	6mA/-6mA	TB2CHT
	10mA/-10mA	TB3AHT
3-ステート output for low noise (バスホールド機能付き)	10mA/-10mA	TB3BHT

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、「[A4.2.3 出力ドライバ特性](#)」を参照下さい。

第6章 入出力バッファの種類と使用上の注意

表 6-9 に N チャンネルオープンドレイン出力バッファにおける I_{OL} の規格値を示します。

表 6-9 N チャンネルオープンドレイン出力バッファ I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}		単位
	$V_{DD}=5.0V$	$V_{DD}=3.3V$	
Type 1	3	2	mA
Type 2	8	6	mA
Type 3	12	10	mA

注) *1 : $V_{OL}=0.4V$ です。

表 6-10、表 6-11 に N チャンネルオープンドレイン出力バッファの一覧を示します。

表 6-10 N チャンネルオープンドレイン出力バッファ一覧 ($V_{DD}=5.0V$)

Function	$I_{OL}^{*1} \text{ } ^{*2}$	セル名
Normal output	3mA	OD1T
	8mA	OD2T
	12mA	OD3T
High speed output	3mA	OD1CT
	8mA	OD2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出カドライバ特性](#)」を参照下さい。

表 6-11 N チャンネルオープンドレイン出力バッファ一覧 ($V_{DD}=3.3V$)

Function	$I_{OL}^{*1} \text{ } ^{*2}$	セル名
Normal output	2mA	OD1T
	6mA	OD2T
	10mA	OD3T
High speed output	2mA	OD1CT
	6mA	OD2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の詳細は、「[A4.2.3 出カドライバ特性](#)」を参照下さい。

6.2.3 双方向バッファ

表 6-12-1、6-12-2、6-13 に $V_{DD}=5.0V$ 時、表 6-14、6-15 に $V_{DD}=3.3V$ 時の双方向バッファ一覧を示します。セル名の末尾「T」はテスト回路付き出力バッファを示しています。

表 6-12-1 双方向バッファ一覧 (1/2) ($V_{DD}=5.0V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1 *2}$	抵抗なし	プルダウン抵抗付 ^{*3}	プルアップ抵抗付 ^{*3}
TTL	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BTST BTMT BT1T BT2T BT3T	BTSD*T BTMD*T BT1D*T BT2D*T BT3D*T	BTSP*T BTMP*T BT1P*T BT2P*T BT3P*T
	Bi-directional output for high speed	12mA/-12mA	BT3AT	BT3AD*T	BT3AP*T
	Bi-directional output for low noise	12mA/-12mA	BT3BT	BT3BD*T	BT3BP*T
TTL シュミット	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BSST BSMT BS1T BS2T BS3T	BSSD*T BSMD*T BS1D*T BS2D*T BS3D*T	BSSP*T BSMP*T BS1P*T BS2P*T BS3P*T
	Bi-directional output for high speed	12mA/-12mA	BS3AT	BS3AD*T	BS3AP*T
	Bi-directional output for low noise	12mA/-12mA	BS3BT	BS3BD*T	BS3BP*T
CMOS	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BCST BCMT BC1T BC2T BC3T	BCSD*T BCMD*T BC1D*T BC2D*T BC3D*T	BCSP*T BCMP*T BC1P*T BC2P*T BC3P*T
	Bi-directional output for high speed	3mA/-3mA 8mA/-8mA 12mA/-12mA	BC1CT BC2CT BC3AT	BC1CD*T BC2CD*T BC3AD*T	BC1CP*T BC2CP*T BC3AP*T
	Bi-directional output for low noise	12mA/-12mA	BC3BT	BC3BD*T	BC3BP*T
CMOS シュミット	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BHST BHMT BH1T BH2T BH3T	BHSD*T BHMD*T BH1D*T BH2D*T BH3D*T	BHSP*T BHMP*T BH1P*T BH2P*T BH3P*T
	Bi-directional output for high speed	3mA/-3mA 8mA/-8mA 12mA/-12mA	BH1CT BH2CT BH3AT	BH1CD*T BH2CD*T BH3AD*T	BH1CP*T BH2CP*T BH3AP*T
	Bi-directional output for low noise	12mA/-12mA	BH3BT	BH3BD*T	BH3BP*T

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出力ドライバ特性](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:60k Ω 、2:120k Ω に対応しています。

第6章 入出力バッファの種類と使用上の注意

表 6-12-2 双方向バッファ一覧 (2/2) ($V_{DD}=5.0V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1 *2}$	抵抗なし	プルダウン抵抗付	プルアップ抵抗付
TTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BTMHT BT1HT BT2HT BT3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	BT3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	BT3BHT	なし	なし
TTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BSMHT BS1HT BS2HT BS3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	BS3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	BS3BHT	なし	なし
CMOS	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BCMHT BC1HT BC2HT BC3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	3mA/-3mA 8mA/-8mA 12mA/-12mA	BC1CHT BC2CHT BC3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	BC3BHT	なし	なし
CMOS シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA	BHMHT BH1HT BH2HT BH3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	3mA/-3mA 8mA/-8mA 12mA/-12mA	BH1CHT BH2CHT BH3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA)	BH3BHT	なし	なし

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出力ドライバ特性](#)」を参照下さい。

表 6-13 N チャンネルオープンドレイン双方向バッファ一覧 ($V_{DD}=5.0V$)

入力レベル	Function	I_{OL} *1 *2	セル名
TTL	Bi-directional output	3mA	BDT1T
		8mA	BDT2T
		12mA	BDT3T
TTL シュミット	Bi-directional output	3mA	BDS1T
		8mA	BDS2T
		12mA	BDS3T
CMOS	Bi-directional output	3mA	BDC1T
		8mA	BDC2T
		12mA	BDC3T
	Bi-directional output for high speed	3mA	BDC1CT
		8mA	BDC2CT
CMOS シュミット	Bi-directional output	3mA	BDH1T
		8mA	BDH2T
		12mA	BDH3T
	Bi-directional output for high speed	3mA	BDH1CT
		8mA	BDH2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出力ドライバ特性](#)」を参照下さい。

第6章 入出力バッファの種類と使用上の注意

表 6-14 双方向バッファ一覧 (V_{DD}=3.3V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン抵抗付*3	プルアップ抵抗付*3
LVTTTL	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 2mA/-2mA 6mA/-6mA 10mA/-10mA	BCST BCMT BC1T BC2T BC3T	BCSD*T BCMD*T BC1D*T BC2D*T BC3D*T	BCSP*T BCMP*T BC1P*T BC2P*T BC3P*T
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 10mA/-10mA	BC1CT BC2CT BC3AT	BC1CD*T BC2CD*T BC3AD*T	BC1CP*T BC2CP*T BC3AP*T
	Bi-directional output for low noise	10mA/-10mA	BC3BT	BC3BD*T	BC3BP*T
LVTTTL シュミット	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 2mA/-2mA 6mA/-6mA 10mA/-10mA	BHST BHMT BH1T BH2T BH3T	BHSD*T BHMD*T BH1D*T BH2D*T BH3D*T	BHSP*T BHMP*T BH1P*T BH2P*T BH3P*T
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 10mA/-10mA	BH1CT BH2CT BH3AT	BH1CD*T BH2CD*T BH3AD*T	BH1CP*T BH2CP*T BH3AP*T
	Bi-directional output for low noise	10mA/-10mA	BH3BT	BH3BD*T	BH3BP*T
LVTTTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 10mA/-10mA	BCMHT BC1HT BC2HT BC3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	2mA/-2mA 6mA/-6mA 10mA/-10mA	BC1CHT BC2CHT BC3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	10mA/-10mA	BC3BHT	なし	なし
LVTTTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 10mA/-10mA	BHMHT BH1HT BH2HT BH3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	2mA/-2mA 6mA/-6mA 10mA/-10mA	BH1CHT BH2CHT BH3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	10mA/-10mA	BH3BHT	なし	なし

注) *1 : VOL=0.4V、VOH=VDD-0.4V です。

*2 : 出力電流の詳細は、「[A4.2.3 出カドライバ特性](#)」を参照下さい。

*3 : *は1または2で、抵抗値 1:100kΩ、2:200kΩに対応しています。

表 6-15 N チャンネルオープンドレイン双方向バッファ一覧 ($V_{DD}=3.3V$)

(5V を印加可能です)

入力レベル	Function	I_{OL} *1 *2	セル名
LVTTTL	Bi-directional output	2mA 6mA 10mA	BDC1T BDC2T BDC3T
	Bi-directional output for high speed	2mA 6mA/-6mA	BDC1CT BDC2CT
LVTTTL シュミット	Bi-directional output	2mA 6mA 10mA	BDH1T BDH2T BDH3T
	Bi-directional output for high speed	2mA 6mA	BDH1CT BDH2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の詳細は、[「A4.2.3 出力ドライバ特性」](#)を参照下さい。

6.3 Fail-Safe 入出力バッファ

6.3.1 概要

S1L5V000 シリーズの Fail-Safe 入出力バッファは、単一電源のデザインにおいて、電源電圧以上の信号を、インタフェース専用の電源を設けることなくインタフェースすることが可能です。

6.3.2 特長

- (1) 使用数や配置に制限はなく、必要に応じて配置することができます。
- (2) 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- (3) 電源カットオフした状態で、外部から入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- (4) 入力レベルは LVTTTL/LVTTTL シュミットレベル ($V_{DD}=3.3V$) の 2 種類を用意しています。

6.3.3 使用上の注意点

- (1) High 出力時に電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様に比較的大きな電流が流れます。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
- (2) Fail-Safe バッファに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

6.3.4 セル一覧

(1) Fail-Safe 入力バッファ

表 6-16～表 6-18 に Fail-Safe 入出力バッファ一覧を示します。

プルアップの無い 5V 入力可能な入力バッファは、入力レベルシフトになります。

表 6-16 Fail-Safe 入力バッファ一覧 ($V_{DD}=3.3V$) (5V を入力可能)

セル名*1	入力レベル	プルアップ抵抗*2*3の有無
IBBP#	LVTTL	プルアップ抵抗 (100k Ω 、200k Ω)

注) *1: 「#」は 1 または 2 で、1 は Type 1、2 は Type 2 の抵抗値に対応しています。

*2: プルアップの抵抗値の詳細は「[表 1-6](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

(2) Fail-Safe 出力バッファ

表 6-17 Fail-Safe 出力バッファ一覧 ($V_{DD}=3.3V$)

Function	I_{OL}/I_{OH} *1 *2	セル名
3-ステート output	2mA/-2mA	TBF1
	6mA/-6mA	TBF2
3-ステート output for high speed	2mA/-2mA	TBF1C
	6mA/-6mA	TBF2C
	10mA/-10mA	TBF3A

注) *1: $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2: 出力電流の詳細は、「[A4.2.3 出力ドライバ特性](#)」を参照下さい。

第 6 章 入出力バッファの種類と使用上の注意

(3) Fail-Safe 双方向バッファ

表 6-18 Fail-Safe 双方向バッファ一覧 ($V_{DD}=3.3V$)

入力レベル	Function	I_{OL}/I_{OH} *1 *2	抵抗なし	プルダウン抵抗付*3	プルアップ抵抗付*3
LVTTTL	Bi-directional output	2mA/-2mA 6mA/-6mA	BB1 BB2	BB1D* BB2D*	BB1P* BB2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 10mA/-10mA	BB1C BB2C BB3A	BB1CD* BB2CD* BB3AD*	BB1CP* BB2CP* BB3AP*
LVTTTL シュミット	Bi-directional output	2mA/-2mA 6mA/-6mA	BG1 BG2	BG1D* BG2D*	BG1P* BG2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 10mA/-10mA	BG1C BG2C BG3A	BG1CD* BG2CD* BG3AD*	BG1CP* BG2CP* BG3AP*

注) *1: $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2: 出力電流の詳細は、「[A4.2.3 出力ドライバ特性](#)」を参照下さい。

*3: *は 1 または 2 で、抵抗値 1:100k Ω 、2:200k Ω に対応しています。

(4) $V_{DD}=3.3V$ Fail-Safe 構成例

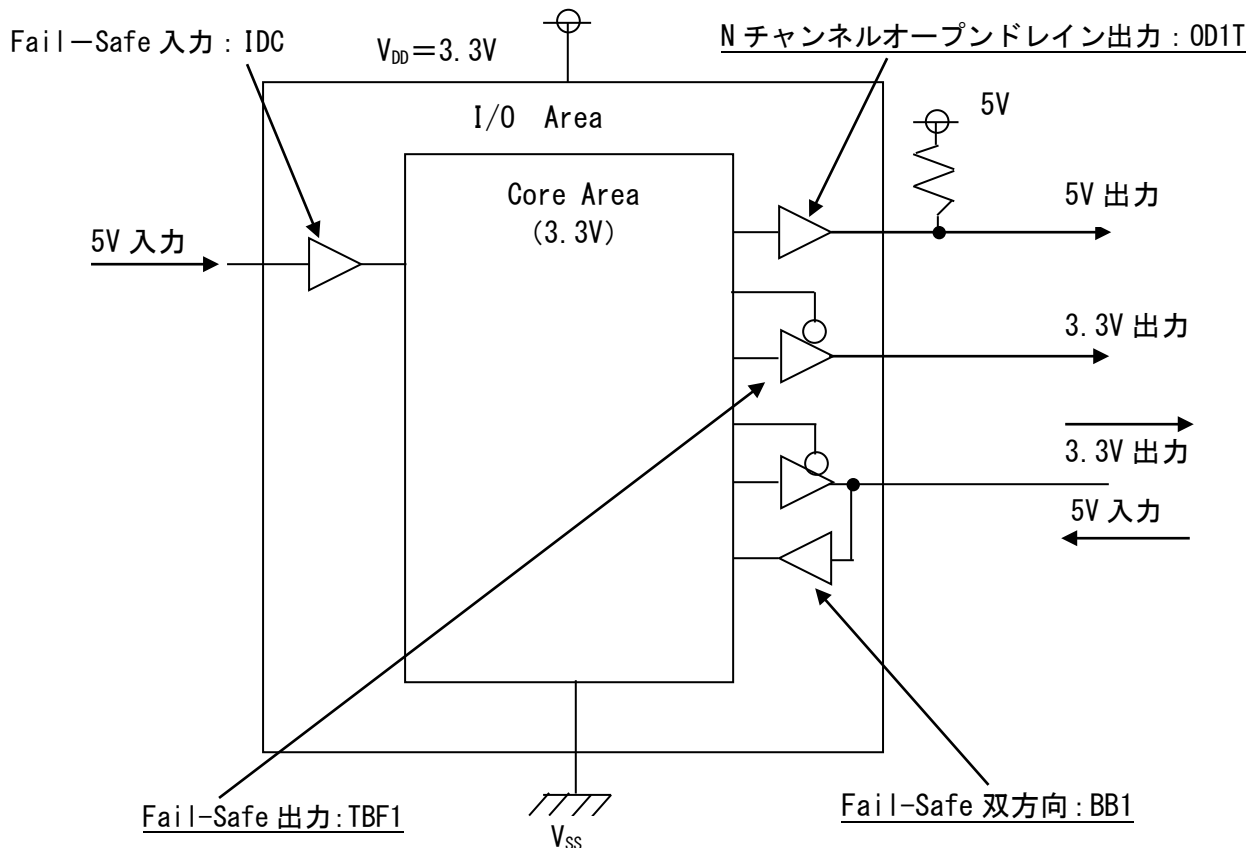


図 6-2 $V_{DD}=3.3V$ Fail-Safe 構成例

6.4 Gated 入出力バッファ

6.4.1 概要

S1L5V000 シリーズの Gated 入出力バッファは、プルアップまたはプルダウン回路を使用することなく、端子への入力をフロート状態、すなわちハイインピーダンス状態とすることを可能とします。コントロール信号が“HIGH”レベルで遮断処理を行うタイプと、“LOW”レベルで遮断処理を行うタイプが用意されておりますので、デザインに応じて、どちらのレベルで遮断処理を行うか選択が可能です。

6.4.2 特長

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができますので、デザインに自由度があります。
- (2) プルアップまたはプルダウン回路を使用することなく、入力をハイインピーダンス状態とすることができます。
- (3) コントロール信号が“HIGH”レベルで遮断処理を行うタイプと、“LOW”レベルで遮断処理を行うタイプを用意しています。

6.4.3 使用上の注意点

- (1) 入力がハイインピーダンス状態になる場合は、その前にコントロール信号で入力信号を遮断してください。また、ハイインピーダンス状態から 0 や 1 の入力状態になる場合は、その変化の後で入力信号の遮断を解除してください。これを行わない場合は、貫通電流が流れることがあります。
- (2) VDD をカットオフする場合も、その前にコントロール信号で入力信号を遮断してください。また、VDD がカットオフの状態からオンになる場合は、電源電圧が定格になって、入力信号が 0 や 1 に安定した後で入力信号の遮断を解除してください。

第6章 入出力バッファの種類と使用上の注意

6.4.4 セル一覧

(1) Gated 入力バッファ

表 6-19 に Gated 入力バッファ一覧を示します。

表 6-19 Gated 入力バッファ一覧

セル名 *1	入力 タイプ	入力 レベル	プルアップ/プルダウン抵抗の有無	
			$V_{DD}=5.0V$ *2*3	$V_{DD}=3.3V$ *4*5
IBA	CMOS	AND Type	なし	なし
IBAP#	CMOS		プルアップ抵抗 (60k Ω 、120k Ω)	プルアップ抵抗 (100k Ω 、200k Ω)
IBAD#	CMOS		プルダウン抵抗 (60k Ω 、120k Ω)	プルダウン抵抗 (100k Ω 、200k Ω)
IBO	CMOS	OR Type	なし	なし
IBOP#	CMOS		プルアップ抵抗 (60k Ω 、120k Ω)	プルアップ抵抗 (100k Ω 、200k Ω)
IBOD#	CMOS		プルダウン抵抗 (60k Ω 、120k Ω)	プルダウン抵抗 (100k Ω 、200k Ω)

注) *1 : 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。

*2 : プルダウン/プルアップの抵抗値の詳細は「[表 1-5](#)」および「[付録 A4.1.6](#)」を参照下さい。

*3 : 入力バッファ特性のグラフは「[付録 A4.1.2](#)」を参照下さい。

*4 : プルダウン/プルアップの抵抗値の詳細は「[表 1-6](#)」を参照下さい。

*5 : 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

(2) Gated 双方向バッファ

表 6-20 Gated 双方向バッファ一覧

入力レベル	Function	I_{OL}/I_{OH}^{*1}		抵抗なし	プルダウン抵抗付*4	プルアップ抵抗付*4			
		$V_{DD}=5.0V^{*2}$	$V_{DD}=3.3V^{*3}$						
CMOS	AND Type	Bi-directional output	3mA/-3mA	2mA/-2mA	BA1T	BA1D*T	BA1P*T		
			8mA/-8mA	6mA/-6mA	BA2T	BA2D*T	BA2P*T		
			12mA/-12mA	10mA/-10mA	BA3T	BA3D*T	BA3P*T		
	AND Type	Bi-directional output for high speed	3mA/-3mA	2mA/-2mA	BA1CT	BA1CD*T	BA1CP*T		
			8mA/-8mA	6mA/-6mA	BA2CT	BA2CD*T	BA2CP*T		
			12mA/-12mA	10mA/-10mA	BA3AT	BA3AD*T	BA3AP*T		
	AND Type	Bi-directional output for low noise	12mA/-12mA	10mA/-10mA	BA3BT	BA3BD*T	BA3BP*T		
			OR Type	Bi-directional output	3mA/-3mA	2mA/-2mA	B01T	B01D*T	B01P*T
					8mA/-8mA	6mA/-6mA	B02T	B02D*T	B02P*T
12mA/-12mA	10mA/-10mA	B03T			B03D*T	B03P*T			
OR Type	Bi-directional output for high speed	3mA/-3mA	2mA/-2mA	B01CT	B01CD*T	B01CP*T			
		8mA/-8mA	6mA/-6mA	B02CT	B02CD*T	B02CP*T			
		12mA/-12mA	10mA/-10mA	B03AT	B03AD*T	B03AP*T			
OR Type	Bi-directional output for low noise	12mA/-12mA	10mA/-10mA	B03BT	B03BD*T	B03BP*T			

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、「[A4.1.3 出カドライバ特性](#)」を参照下さい。

*3 : 出力電流の詳細は、「[A4.2.3 出カドライバ特性](#)」を参照下さい。

*4 : *は 1 または 2 で、

$V_{DD}=5.0V$ のとき、抵抗値 1:60k Ω 、2:120k Ω

$V_{DD}=3.3V$ のとき、抵抗値 1:100k Ω 、2:200k Ω

に対応しています。

第 7 章 端子配置の注意

端子配置の注意点および、出力バッファ動作時の電源追加について説明します。

7.1 電源端子数の見積り

電源端子は IC の消費電力、出力バッファ数によって、必要な本数を見積る必要があります。特に出力バッファは、スイッチング時に大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

IC に必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

消費電流を I_{DD} [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下のようになります。

$N_{IDD} \geq I_{DD} \div 50$ (対) : V_{DD} 端子と V_{SS} 端子を 1 対として、1 対あたり 50mA の供給が可能

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入して下さい。

I_{DD} …「[第 10 章 10.1 消費電力計算](#)」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせ下さい。

7.2 同時動作と電源追加

S1L5V000 シリーズでは、出力駆動能力が最大 12mA ($V_{DD}=5V$) となっています。出力バッファが複数同時に動作することによって、大きなノイズが発生することがあります。

出力バッファを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために以下、表 7-1~表 7-4 に示すように、電源を追加して下さい。

表 7-1 出力バッファ同時動作による V_{SS} 電源追加数 ($V_{DD}=5.0V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
8mA	≤ 8	0	1	2
	≤ 16	1	2	4
	≤ 24	1	3	6
	≤ 32	2	4	8
12mA	≤ 8	1	2	3
	≤ 16	2	3	5
	≤ 24	2	5	7
	≤ 32	3	6	12

表 7-2 出力バッファ同時動作による V_{DD} 電源追加数 ($V_{DD}=5.0V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
8mA	≤ 8	0	1	1
	≤ 16	1	1	3
	≤ 24	1	2	4
	≤ 32	1	3	5
12mA	≤ 8	1	2	3
	≤ 16	2	3	4
	≤ 24	3	4	5
	≤ 32	4	6	10

表 7-3 出力バッファ同時動作による V_{SS} 電源追加数 ($V_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	2
	≤ 16	1	2	3
	≤ 24	1	2	4
	≤ 32	2	3	5
12mA	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	5
	≤ 32	2	4	8

表 7-4 出力バッファ同時動作による V_{DD} 電源追加数 ($V_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
8mA	≤ 8	0	1	1
	≤ 16	1	1	2
	≤ 24	1	2	3
	≤ 32	1	2	3
12mA	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	3
	≤ 32	3	3	6

7.3 端子配置上の注意点

使用するパッケージが決まりましたら、端子配置を決定します。電源端子、使用可能入出力端子数を見積もります。

端子配置については、開発着手依頼書と一緒に、端子配列を記述した“端子配列表”（フォーマットはフリー）をセイコーエプソンに提出して下さい。弊社でお客さまより受領した“端子配列表”にしたがって配置配線を行います。

7.3.1 固定電源端子

パッケージの組み合わせにより、電源にしか使用できない端子があります。詳細は弊社営業担当までお問い合わせ下さい。

7.3.2 端子配列上の注意事項

端子配列は IC の論理機能や電気的特性に影響をおよぼすことがあります。更に IC の組立上あるいは回路やマスタの構成等によって、端子の配置に制約があることがあります。そこで端子配列を検討する上で注意を必要とする電源電流、入力端子、出力端子の分離、クリティカル信号、プルアップ／プルダウン抵抗付き入力、出力同時動作、大電流ドライバなどの項目について説明します。

(1) 電源電流 (I_{DD} 、 I_{SS})

電源電流 (I_{DD} 、 I_{SS}) は、動作状態において電源端子に流れる電源の許容値を規定しています。この許容値を超えた電流が流れると、IC 内部の電源配線の電流密度が高くなりすぎ、IC の信頼性の低下や破壊を起こすことがあります。また、IC 内部の電圧が電流と配線抵抗により発生する電圧分だけ上昇または下降してしまいます。これによりファンクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。そのためには、回路設計時に消費電力を見積り、各電源端子に流れる電流が許容値を超えないような電源端子数を確保する必要があります。電源端子については、「[7.1 電源端子数の見積り](#)」を参照して下さい。また、この電源端子は一箇所に集中させず、分散させて配置します。

ただし、最終的な電源端子数は上記による電源端子に加えて、ノイズ対策等のための追加電源端子数を合わせた電源端子数が必要となります。追加電源端子数については「[7.2 同時動作と電源追加](#)」を参照して下さい。

(2) 出力バッファの動作によって発生するノイズ

出力バッファの動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

(a) 電源ラインに発生するノイズ

電源ラインに発生するノイズは、出力が多数同時動作した場合に問題となり、ICの入カスレッシュホールドレベルの変化を起し、誤動作の原因となります。この電源ラインのノイズは、出力バッファの同時動作によって大きな電流が電源ラインに流れることによって発生します。

電源ノイズは特にインダクタンス成分が影響します。よって、ICの等価回路は図7-1のように表すことができます。この回路図で出力が“HIGH” → “LOW”に変化したときには出力端子から電流がIC内部に流れ込み、ICのパッケージ等による等価インダクタンスL2を通じて電流が流れます。このとき、等価インダクタンスL2によってIC内部の V_{SS} 電源ラインの電圧が変化します。この V_{SS} 電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンスL2によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

(b) オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力端子についている等価インダクタンスによって発生します。図7-1のL3がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が“LOW”または“HIGH”になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力バッファを使用するのが最も効果的です。負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。特に駆動能力の大きい出力バッファを使用するときには注意が必要です。

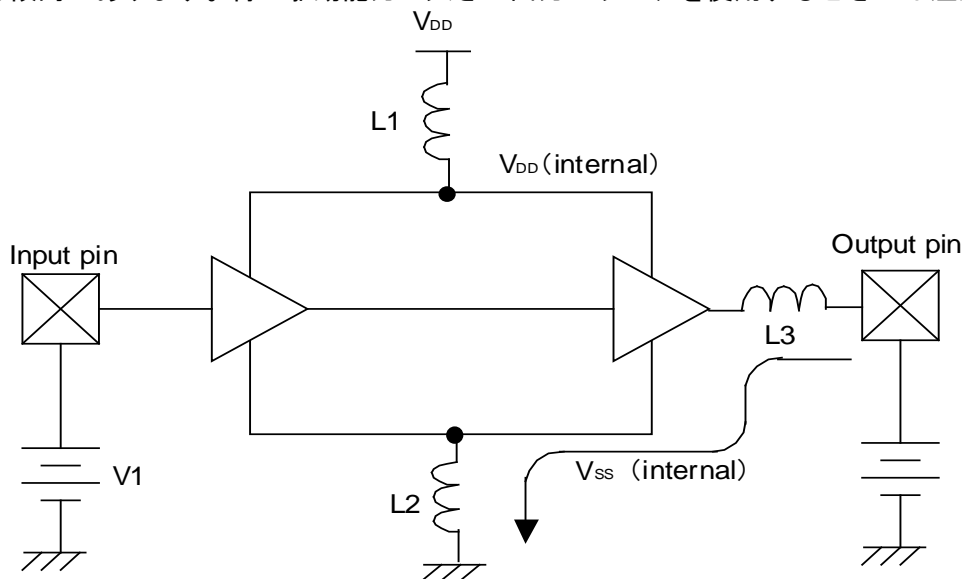


図7-1 ICの等価回路

(3) 入力端子、出力端子の分離

端子配列上で入力端子のグループを出力端子のグループから分離することは、ノイズの影響を軽減させるための手法です。

入力端子および入力状態の双方向バッファが、出力端子から発生するノイズの影響を受けにくいように、できる限り出力端子の近傍に配置させず、入力端子群 (Input pins)、出力端子群 (Output pins)、双方向端子群 (Bi-directional pins) それぞれを電源端子 (V_{DD} 、 V_{SS}) で分けて配置して下さい。(図 7-2)

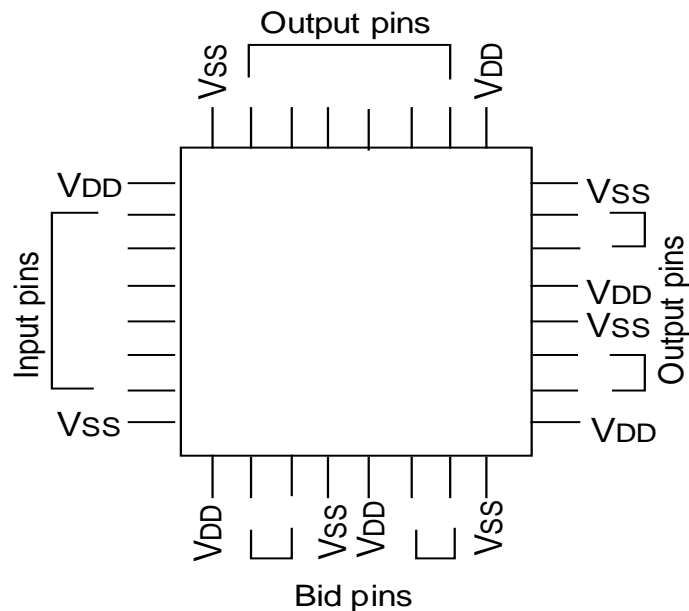


図 7-2 入力端子、出力端子の分離例

第7章 端子配置の注意

(4) クリティカル信号

クロックの入力端子や高速で動作する出力端子などのクリティカル信号については、以下の点に注意して端子の配置を行って下さい。

- (a) クロック系、リセット系などのノイズの影響を小さくする必要のある端子は、出力端子から離し電源端子の近くに配置して下さい。（図 7-3）
- (b) 高速で動作する入力、出力端子は IC（パッケージ）辺中央付近に配置して下さい。（図 7-3）
- (c) 特定の入力端子から出力端子までの遅延値がお客さまの仕様に対し余裕がない場合には、これらの入出力端子を近傍に配置して下さい。（図 7-3）
- (d) 発振回路の入出力端子（OSCIN、OSCOUT）はお互い近くに配置し、電源端子（ V_{DD} 、 V_{SS} ）で挟んで下さい。また、発振回路と同期する出力端子を近くに配置しないで下さい。（図 7-4）

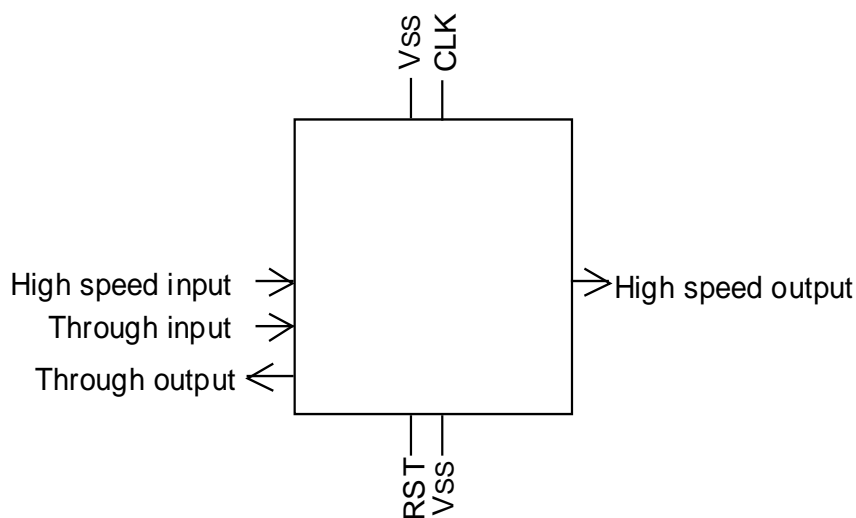


図 7-3 クリティカル信号配置例 1

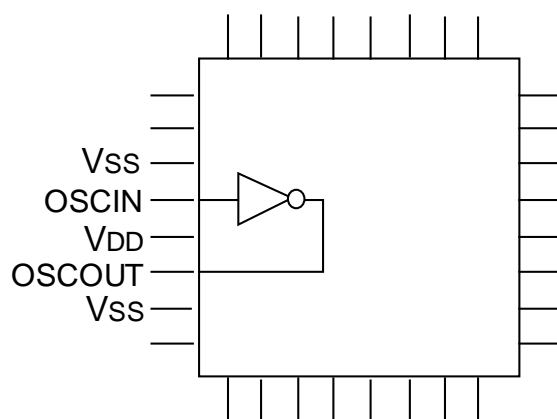


図 7-4 クリティカル信号配置例 2

(5) プルアップ／プルダウン抵抗付き入力

プルアップ／プルダウン抵抗値は、約数十 k Ω ～数百 k Ω と比較的大きく、その構造上電源電圧に依存性があります。

したがって、テスト端子としての使用目的等で解放状態で使用する場合には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の1つとなる場合があるので、次の点に注意して下さい。

- (a) 高速入力信号端子（クロック入力端子等）からなるべく離して配置して下さい。

図 7-5 プルアップ抵抗付き入力端子、プルダウン抵抗付き入力端子配置例 1 を参照して下さい。

- (b) 出力信号端子（特に大電流出力端子）から離して配置して下さい。

図 7-6 プルアップ抵抗付き入力端子、プルダウン抵抗付き入力端子配置例 2 を参照して下さい。

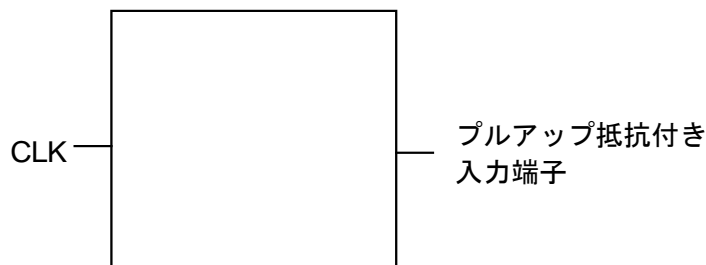


図 7-5 プルアップ抵抗付き端子、プルダウン抵抗付き入力端子配置例 1

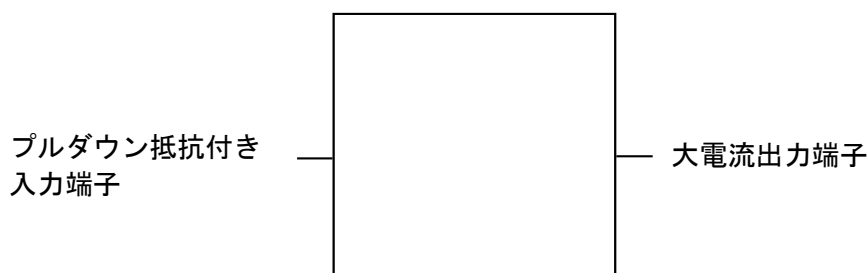


図 7-6 プルアップ抵抗付き入力端子、プルダウン抵抗付き入力端子配置例 2

なお、配置上の注意以前に、次の点に関しても併せてご検討下さい。

- 可能な限り基板（PCB）上でプルアップ／プルダウンの処理を行って下さい。
- なるべく抵抗値の小さいものを選択して下さい。

(6) 出力同時動作

複数の出力端子の同時変化時にノイズが発生し、ICが誤動作を起こすことがあります。出力端子を同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化をする出力端子群に電源端子を追加して下さい。追加に必要な電源端子の数、および追加電源端子の配置方法は、「[7.2 同時動作と電源追加](#)」を参照して下さい。(図7-7)

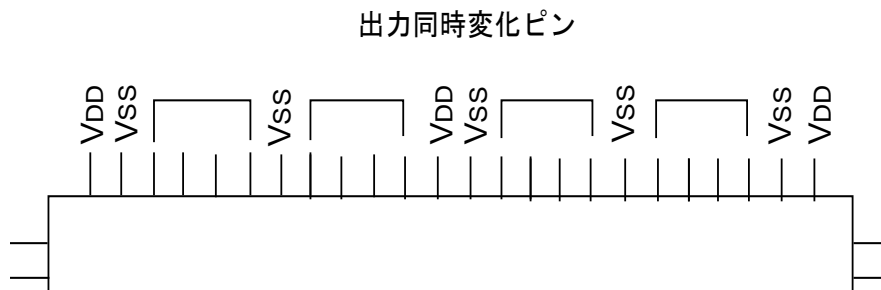


図7-7 電源端子の追加例

同時変化時のノイズを低減するために、一方の出力セル群の前段にディレイ用のセルを追加することにより、出力セルの同時変化を減らすことができノイズも低減できます。(図7-8)

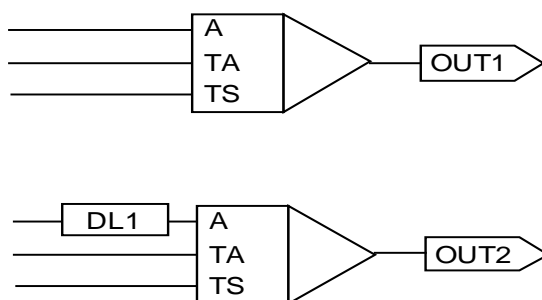


図7-8 ディレイセルの追加例

(7) 大電流ドライバ

大電流ドライバ ($I_{OL}=12\text{mA}$) の出力を使用する場合は、以下の制約を守り端子の配置を行って下さい。

(a) 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズにより IC が誤動作することがあります。

大電流ドライバを使用する場合には、その端子付近に電源端子を配置し、大電流ドライバ用の電源を確保して下さい。(図 7-9)

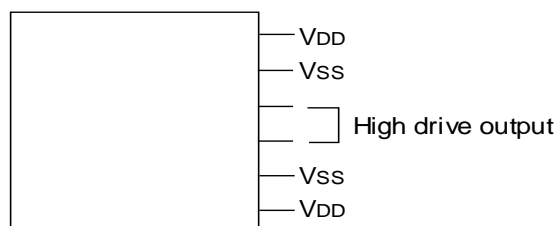


図 7-9 電源強化例

(8) その他の注意事項

(a) NC 端子 (non connection)

NC 端子には、何も接続をしないで下さい。

7.3.3 推奨端子配列例

端子配列は、IC を正常に動作させるうえで重要なポイントとなります。以下に、この章で説明した内容を総合的に考慮した端子配列の図（図 7-10）を示しますので、参考にして端子配列を決定して下さい。

表 7-5 に図 7-10 の推奨端子配置例の端子説明及び配置説明を示します。

パッケージの上辺、左辺には入力端子、右辺には同時変化をする出力端子、下辺には双方向端子およびその他の出力端子を配置してあります。

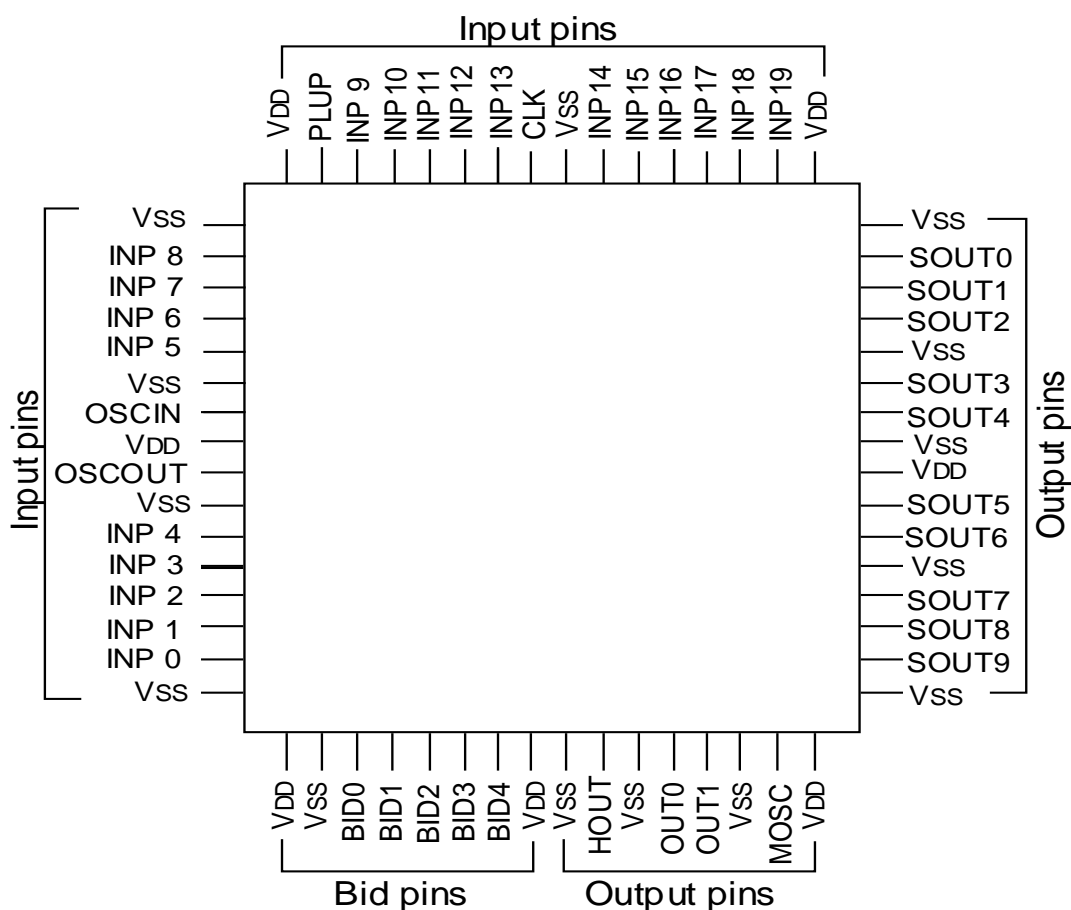


図 7-10 推奨端子配列例

表 7-5 端子配列例の説明

配置	端子名	端子名の説明	各端子配置の詳細説明
上辺	PLUP	プルアップ用入力端子	ノイズの影響の少ない位置に配置
	CLK	クロック用入力端子	パッケージ中央付近、電源端子の近くに配置
左辺	OSCIN	発振用端子	パッケージ中央付近、電源端子の近くに配置
	OSCOU		パッケージ中央付近、電源端子の近くに配置
	INP0~19	入力端子	電源端子で他端子と分離して配置
右辺	SOUT0~9	同時変化出力端子	電源端子で他端子と分離し、電源端子を追加
下辺	BID0~4	双方向端子	電源端子で他端子と分離して配置
	MOSC	発振モニター用出力端子	発振用端子から離し、電源端子の近くに配置
	HOUT	高駆動出力端子	電源端子を近くに配置
	OUT01	出力端子	電源端子で他端子と分離して配置
全体	V _{DD}	V _{DD} 電源端子	
	V _{SS}	V _{SS} (GND) 電源端子	

第 8 章 RAM 仕様

S1L5V000 シリーズでは、非同期型 1 ポート RAM/2 ポート RAM 及び同期型 1 ポート RAM/2 ポート RAM を用意しています。

8.1 非同期 1 ポート RAM

8.1.1 特長

- (1) クロック非同期型 1 ポート RAM
- (2) 完全スタティック動作
- (3) 1 アドレスポート（リード/ライト共通）、1 入力データポート、1 出力データポート
- (4) ワード数は 16 ワード刻みで 16Word~256Word、ビット数は 1 ビット刻みで 1Bit~32Bit の範囲で構成可能
- (5) 最大構成：8Kbits/module

8.1.2 ワードビット構成と RAM セル名との対応

代表的な Word/Bit 構成に対応する RAM セル名を、それぞれ 表 8-1 に示します。RAM セル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

1port RAM “V1N XXX YY” XXX:Word 数（16 進数）、YY:Bit 数（16 進数）

Word/Bit 構成が構成可能範囲を超える非同期型 RAM が必要な場合は、複数個の非同期型 RAM を組み合わせて構成して下さい。

表 8-1 非同期 1 ポート RAM の Word/Bit 構成例による RAM セル名対応表

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	V1N02004	V1N02008	V1N02010	V1N02020
64Word	V1N04004	V1N04008	V1N04010	V1N04020
128Word	V1N08004	V1N08008	V1N08010	V1N08020
256Word	V1N10004	V1N10008	V1N10010	V1N10020

8.1.3 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用する BC 数は、次の各々の式で計算します。

X 方向サイズ： $RX=3 \times \text{Word}/2+20$

Y 方向サイズ： $RY=2 \times \text{Bit}+12$

BC 数 : $\text{RAMBCS}=RX \times RY$

表 8-2 非同期 1 ポート RAM の構成例と BC 数

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	1,360 (68×20)	1,904 (68×28)	2,992 (68×44)	5,168 (68×76)
64Word	2,320 (116×20)	3,248 (116×28)	5,104 (116×44)	8,816 (116×76)
128Word	4,240 (212×20)	5,936 (212×28)	9,328 (212×44)	16,112 (212×76)
256Word	8,080 (404×20)	11,312 (404×28)	17,776 (404×44)	30,704 (404×76)

8.1.4 機能説明

表 8-3-1 非同期 1 ポート RAM の信号説明

信号名	I/O	FUNCTION
CS	IN	チップセレクト信号、H : RAM アクティブ
RW	IN	リード/ライト信号、H : リード、L : ライト
A0, A1, ..., A (m-1)	IN	リード/ライトアドレスポート、A0 : LSB
D0, D1, ..., D (n-1)	IN	データ入力ポート、D0 : LSB
Y0, Y1, ..., Y (n-1)	OUT	データ出力ポート、Y0 : LSB

表 8-3-2 非同期 1 ポート RAM 真理値表

CS	RW	A0, A1, ..., A (m-1)	Y0, Y, 1 ..., Y (n-1)	モード
0	X	X	Unknown	待機
1	0	ステータブル	Unknown	書き込み
1	1	ステータブル	読み出しデータ	読み出し

X : HIGH または LOW

(1) データの読み出し

データは、CS を “HIGH”、RW を “HIGH” に保ち、アドレスをセットすることにより読み出せません。

(2) データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- ① CS を “HIGH” に保ち、アドレスをセットし、RW に “LOW” レベルパルスを加える。
 - ② RW を “LOW” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。
- いずれの場合も、パルスの後エッジにて RAM 内にラッチされます。

(3) 待機状態

CS が “LOW” の場合には 1 ポート RAM は待機状態になり、データを保持するだけになります。RAM 内での消費電流はリーク電流のみになります。

8.1.5 タイミングチャート (非同期 1 ポート RAM)

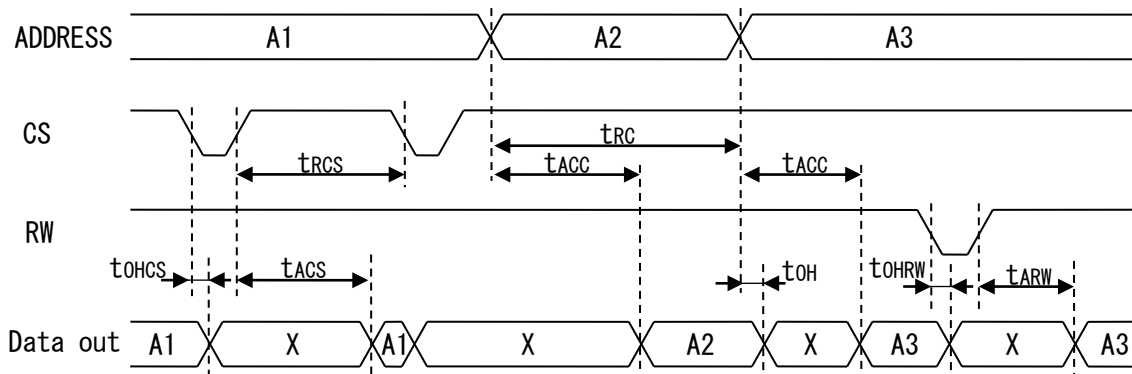


図 8-1 リードサイクル

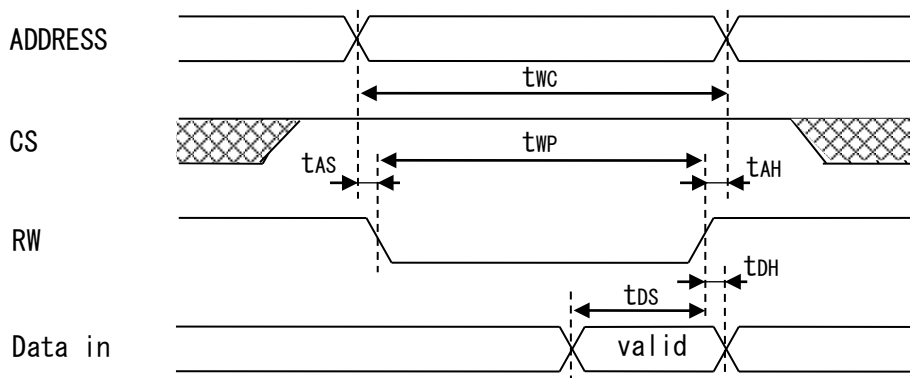


図 8-2 ライトサイクル (RW 制御)

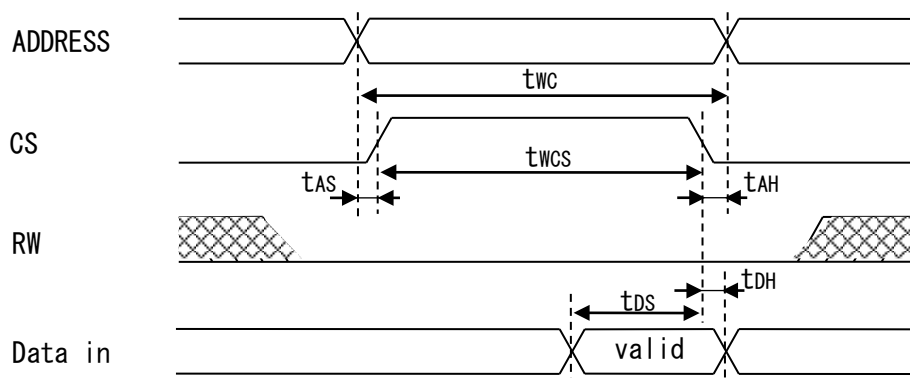


図 8-3 ライトサイクル (CS 制御)

8.2 非同期 2 ポート RAM

8.2.1 特長

- (1) クロック非同期型 2 ポート RAM
- (2) 完全スタティック動作
- (3) 2 アドレスポート（リード/ライト独立）、1 入力データポート、1 出力データポート
- (4) ワード数は 16 ワード刻みで 16Word~256Word、ビット数は 1 ビット刻みで 1Bit~32Bit の範囲で構成可能
- (5) 最大構成：8Kbits/module

8.2.2 ワードビット構成と RAM セル名との対応

代表的な Word/Bit 構成に対応する RAM セル名を、それぞれ 表 8-4 に示します。RAM セル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

2port RAM “V2N XXX YY” XXX:Word 数（16 進数）、YY:Bit 数（16 進数）

表 8-4 非同期 2 ポート RAM の Word/Bit 構成による RAM セル名対応表

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	V2N02004	V2N02008	V2N02010	V2N020020
64Word	V2N04004	V2N04008	V2N04010	V2N04020
128Word	V2N08004	V2N08008	V2N08010	V2N08020
256Word	V2N10004	V2N10008	V2N10010	V2N10020

8.2.3 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用する BC 数は、次の各々の式で計算します。

X 方向サイズ： $RX=3 \times \text{Word}/2+20$

Y 方向サイズ： $RY=2 \times \text{Bit}+15$

BC 数 ： $\text{RAMBCS}=RX \times RY$

表 8-5 非同期 2 ポート RAM の構成例と BC 数

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	1,564 (68×23)	2,108 (68×31)	3,196 (68×47)	5,372 (68×79)
64Word	2,668 (116×23)	3,596 (116×31)	5,452 (116×47)	9,164 (116×79)
128Word	4,876 (212×23)	6,572 (212×31)	9,964 (212×47)	16,748 (212×79)
256Word	9,292 (404×23)	12,524 (404×31)	18,988 (404×47)	31,916 (404×79)

第 8 章 RAM 仕様

8.2.4 機能説明

表 8-6-1 非同期 2 ポート RAM の信号説明

信号名	I/O	Function
CS	IN	チップセレクト信号、H : RAM アクティブ
RD	IN	リード信号、H : リードイネーブル
WR	IN	ライト信号、H : ライトイネーブル
RA0, ... RA (m-1)	IN	リードアドレスポート、RA0 : LSB
WA0, ... WA (m-1)	IN	ライトアドレスポート、WA0 : LSB
DO, D1, ... D (n-1)	IN	データ入力ポート、D0 : LSB
Y0, Y1, ... Y (n-1)	OUT	データ出力ポート、Y0 : LSB

表 8-6-2 非同期 2 ポート RAM 真理値表

CS	RD	WR	RA0, ..., RA (n-1)	WA0, ..., WA (m-1)	Y0, ..., Y (n-1)	モード
0	X	X	X	X	Unknown	待機
1	0	0	X	X	Unknown	待機
1	0	1	X	ステータブル	Unknown	書き込み
1	1	0	ステータブル	X	読み出しデータ	読み出し
1	1	1	ステータブル	ステータブル	読み出しデータ	読み書き

X : HIGH または LOW

(1) データの読み出し

データは、CS を “HIGH”、RD を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

(2) データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- ① CS を “HIGH” に保ち、アドレスをセットし、WR に “HIGH” レベルパルスを加える。
- ② WR を “HIGH” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

(3) データの読み書き

リードアドレスとライトアドレスを用いて、読み出しと書き込みを同時に行うことができます。ただし、同一アドレスへの読み出しと書き込みの同時動作は禁止です。また、「[8.3 非同期 RAM 遅延パラメータ](#)」に記載されているリードサイクルのアクセスタイムは、すでに書き込みが終了しているデータを対象としています。

(4) 待機状態

次の 2 とおりの場合には 2 ポート RAM は待機状態になりデータを保持するだけになります。RAM 内の消費電流はリーク電流のみになります。

- ① CS が “LOW” のとき。
- ② CS が “HIGH”、RD が “LOW”、WR が “LOW” のとき。

8.2.5 タイミングチャート (非同期 2 ポート RAM)

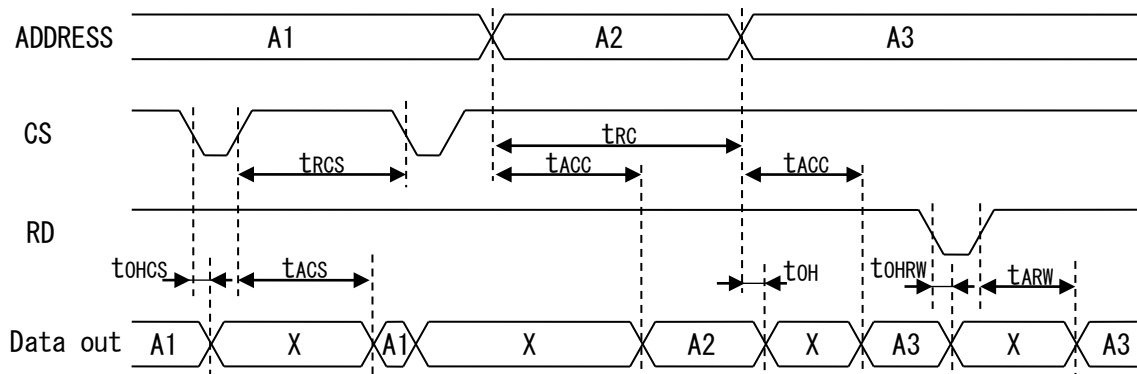


図 8-4 リードサイクル

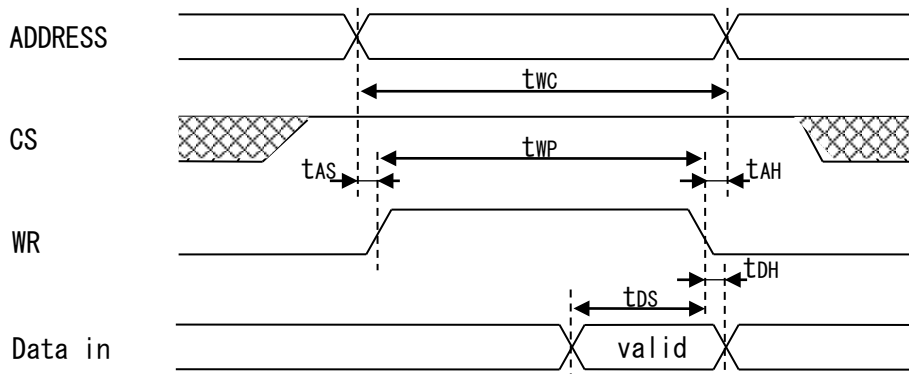


図 8-5 ライトサイクル (WR 制御)

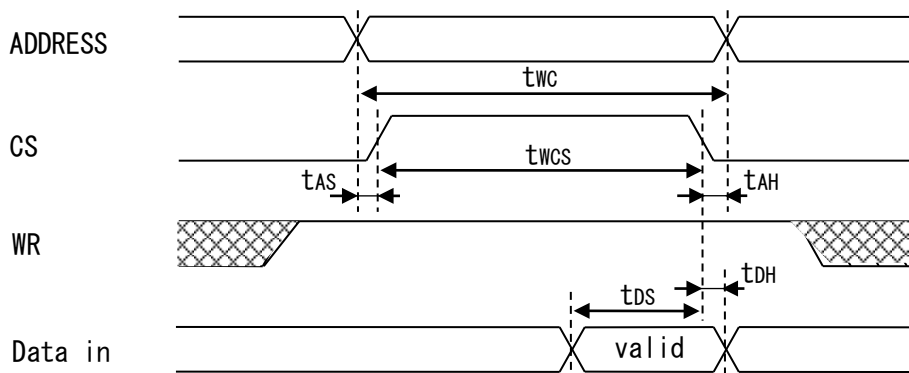


図 8-6 ライトサイクル (CS 制御)

8.3 非同期 RAM 遅延パラメータ

8.3.1 5.0V 仕様 ($V_{DD}=4.5\sim 5.5V, T_a=-40\sim 110^{\circ}C$)

表 8-7-1 非同期 1 ポート/2 ポート RAM リードサイクル(1/2)

パラメータ	記号	64word x 16bit V1N/V2N04010		64word x 32bit V1N/V2N04020		128word x16bit V1N/V2N08010		128word x32bit V1N/V2N08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	7.5	-	8.2	-	9.3	-	9.9	-	ns
アドレスアクセスタイム	t_{ACC}	-	7.5	-	8.2	-	9.3	-	9.9	
CS アクセスタイム	t_{ACS}	-	7.5	-	8.2	-	9.3	-	9.9	
RW アクセスタイム	t_{ARW}	-	7.5	-	8.2	-	9.3	-	9.9	
CS アクティブタイム	t_{RCS}	7.5	-	8.2	-	9.3	-	9.9	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.1	-	0.2	-	0.1	-	0.2	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.1	-	0.2	-	0.1	-	0.2	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.1	-	0.2	-	0.1	-	0.2	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-7-1 非同期 1 ポート/2 ポート RAM リードサイクル(2/2)

パラメータ	記号	192word x 16bit V1N/V2N0C010		192word x 32bit V1N/V2N0C020		256word x16bit V1N/V2N10010		256word x32bit V1N/V2N10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	11.0	-	11.6	-	12.8	-	13.2	-	ns
アドレスアクセスタイム	t_{ACC}	-	11.0	-	11.6	-	12.8	-	13.2	
CS アクセスタイム	t_{ACS}	-	11.0	-	11.6	-	12.8	-	13.2	
RW アクセスタイム	t_{ARW}	-	11.0	-	11.6	-	12.8	-	13.2	
CS アクティブタイム	t_{RCS}	11.0	-	11.6	-	12.8	-	13.2	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.1	-	0.2	-	0.1	-	0.2	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.1	-	0.2	-	0.1	-	0.2	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.1	-	0.2	-	0.1	-	0.2	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-7-2 非同期 1 ポート/2 ポート RAM ライトサイクル(1)

パラメータ	記号	64word x 16bit V1N/V2N04010		64word x 32bit V1N/V2N04020		128word x 16bit V1N/V2N08010		128word x 32bit V1N/V2N08020		位単
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.9	–	6.3	–	5.1	–	6.5	–	ns
ライトパルス幅	t_{WP}	2.3	–	3.7	–	2.3	–	3.7	–	
CS アクティブタイム	t_{WCS}	2.3	–	3.7	–	2.3	–	3.7	–	
アドレスセットアップタイム	t_{AS}	0.9	–	0.9	–	1.1	–	1.1	–	
アドレスホールドタイム	T_{AH}	1.7	–	1.7	–	1.7	–	1.7	–	
データセットアップタイム	t_{DS}	0.0	–	0.0	–	0.0	–	0.0	–	
データホールドタイム	t_{DH}	2.7	–	3.9	–	2.9	–	3.9	–	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-7-2 非同期 1 ポート/2 ポート RAM ライトサイクル(2)

パラメータ	記号	192word x 16bit V1N/V2N0C010		192word x 32bit V1N/V2N0C020		256word x 16bit V1N/V2N10010		256word x 32bit V1N/V2N10020		位単
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.3	–	6.7	–	5.7	–	7.1	–	ns
ライトパルス幅	t_{WP}	2.5	–	3.9	–	2.7	–	4.1	–	
CS アクティブタイム	t_{WCS}	2.5	–	3.9	–	2.7	–	4.1	–	
アドレスセットアップタイム	t_{AS}	1.1	–	1.1	–	1.3	–	1.3	–	
アドレスホールドタイム	T_{AH}	1.7	–	1.7	–	1.7	–	1.7	–	
データセットアップタイム	t_{DS}	0.0	–	0.0	–	0.0	–	0.0	–	
データホールドタイム	t_{DH}	2.9	–	4.1	–	3.1	–	4.1	–	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

第 8 章 RAM 仕様

8.3.2 3.3V 仕様 ($V_{DD}=3.0\sim 3.6V$ 、 $T_a=-40\sim 110^{\circ}C$)

表 8-8-1 非同期 1 ポート/2 ポート RAM リードサイクル(1/2)

パラメータ	記号	64word x 16bit V1N/V2N04010		64word x 32bit V1N/V2N04020		128word x16bit V1/V2N08010		128word x32bit V1N/V2N08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	14.3	-	15.9	-	17.8	-	19.2	-	ns
アドレスアクセスタイム	t_{ACC}	-	14.3	-	15.9	-	17.8	-	19.2	
CS アクセスタイム	t_{ACS}	-	14.3	-	15.9	-	17.8	-	19.2	
RW アクセスタイム	t_{ARW}	-	14.3	-	15.9	-	17.8	-	19.2	
CS アクティブタイム	t_{RCS}	14.3	-	15.9	-	17.8	-	19.2	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.2	-	0.3	-	0.2	-	0.3	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.2	-	0.3	-	0.2	-	0.3	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.2	-	0.3	-	0.2	-	0.3	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-8-1 非同期 1 ポート/2 ポート RAM リードサイクル(2/2)

パラメータ	記号	192word x 16bit V1N/V2N0C010		192word x 32bit V1N/V2N0C020		256word x16bit V1N/V2N10010		256word x32bit V1N/V2N10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	21.4	-	22.5	-	24.9	-	25.8	-	ns
アドレスアクセスタイム	t_{ACC}	-	21.4	-	22.5	-	24.9	-	25.8	
CS アクセスタイム	t_{ACS}	-	21.4	-	22.5	-	24.9	-	25.8	
RW アクセスタイム	t_{ARW}	-	21.4	-	22.5	-	24.9	-	25.8	
CS アクティブタイム	t_{RCS}	21.4	-	22.5	-	24.9	-	25.8	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.2	-	0.3	-	0.2	-	0.3	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.2	-	0.3	-	0.2	-	0.3	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.2	-	0.3	-	0.2	-	0.3	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-8-2 非同期 1 ポート/2 ポート RAM ライトサイクル(1/2)

パラメータ	記号	64word x 16bit V1N/V2N04010		64word x 32bit V1N/V2N04020		128word x 16bit V1N/V2N08010		128word x 32bit V1N/V2N08020		位単
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	9.7	—	12.5	—	10.1	—	12.9	—	ns
ライトパルス幅	t_{WP}	4.5	—	7.3	—	4.5	—	7.3	—	
CS アクティブタイム	t_{WCS}	4.5	—	7.3	—	4.5	—	7.3	—	
アドレスセットアップタイム	t_{AS}	1.8	—	1.8	—	2.2	—	2.2	—	
アドレスホールドタイム	T_{AH}	3.4	—	3.4	—	3.4	—	3.4	—	
データセットアップタイム	t_{DS}	0.0	—	0.0	—	0.0	—	0.0	—	
データホールドタイム	t_{DH}	5.3	—	7.7	—	5.7	—	7.7	—	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-8-2 非同期 1 ポート/2 ポート RAM ライトサイクル(2/2)

パラメータ	記号	192word x 16bit V1N/V2N0C010		192word x 32bit V1N/V2N0C020		256word x 16bit V1N/V2N10010		256word x 32bit V1N/V2N10020		位単
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	10.5	—	13.3	—	11.3	—	14.0	—	ns
ライトパルス幅	t_{WP}	4.9	—	7.7	—	5.3	—	8.0	—	
CS アクティブタイム	t_{WCS}	4.9	—	7.7	—	5.3	—	8.0	—	
アドレスセットアップタイム	t_{AS}	2.2	—	2.2	—	2.6	—	2.6	—	
アドレスホールドタイム	T_{AH}	3.4	—	3.4	—	3.4	—	3.4	—	
データセットアップタイム	t_{DS}	0.0	—	0.0	—	0.0	—	0.0	—	
データホールドタイム	t_{DH}	5.7	—	8.0	—	6.1	—	8.0	—	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

8.4 同期 1 ポート RAM

S1L5V000 シリーズでは、8.1 項に記載のクロック非同期 RAM に加えて、クロック同期 RAM を用意しています。チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。

8.4.1 特長

- (1) クロック同期型 1 ポート RAM
- (2) チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能
- (3) データの入力ポートと出力ポートは分離
- (4) ワード数は 4Word 刻みで 16 から 256Word、ビット数は 1Bit 刻みで 1~32Bit の範囲で構成可能
- (5) 最大構成 : 8Kbits/module

8.4.2 ワードビット構成と RAM セル名との対応

代表的な Word/Bit 構成に対応する RAM セル名を、それぞれ 表 8-9 に示します。RAM セル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

1port RAM “V1S XXX YY” XXX:Word 数 (16 進数)、YY:Bit 数 (16 進数)

Word/Bit 構成が構成可能範囲を超える同期型 RAM が必要な場合は、複数個の同期型 RAM を組み合わせさせて構成して下さい。

表 8-9 同期 1 ポート RAM の Word/Bit 構成例による RAM セル名対応表

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	V1S02004	V1S02008	V1S02010	V1S02020
64Word	V1S04004	V1S04008	V1S04010	V1S04020
128Word	V1S08004	V1S08008	V1S08010	V1S08020
256Word	V1S10004	V1S10008	V1S10010	V1S10020

8.4.3 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用するベーシックセル数は次の各々の式で計算します。

X 方向サイズ : $RX = (\text{ワード数} \div 4) \times 7 + 35$

Y 方向サイズ : $RY = \text{ビット数} \times 2 + 9 + \alpha$

ベーシックセル数 : $RAMBCS = RX \times RY$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 3、 $36 \leq \text{Word 数} \leq 256$ の場合 : 4

表 8-10 同期 1 ポート RAM の構成例とベーシックセル数

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	1,820 (91X20)	2,548 (91X28)	4,004 (91X44)	6,916 (91X76)
64Word	3,087 (147X21)	4,263 (147X29)	6,615 (147X45)	11,319 (147X77)
128Word	5,439 (259X21)	7,511 (259X29)	11,655 (259X45)	19,943 (259X77)
256Word	10,143 (483X21)	14,007 (483X29)	21,735 (483X45)	37,191 (483X77)

8.4.4 機能説明

(1) 入出力信号

表 8-11 同期 1 ポート RAM の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	クロック入力 (CK) の立ち上がりエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、RAM 内部にとりこみます。
XCS	チップ選択	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時に動作を開始します。
XWE	ライトイネーブル	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行いません。
A0~An	アドレス入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。ライトイネーブル (XWE) が L の時メモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック入力 (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時には書き込みデータが CK に同期してこの端子に出力されます。よって、書き込み時には先にリードされたデータが保持されないことにご注意下さい。

(2) 動作説明

書き込みはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE) をイネーブル (L) にし、アドレス入力 (A0~An) とデータ入力 (D0~Dn) をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力、データ入力のすべての信号がラッチされ書き込み動作を開始します。クロック入力の次の立ち上がりまではデータ出力端子 (Y0~Yn) から書き込みデータが出力されます。

読み出しはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス入力 (A0~An) をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

表 8-12 同期 1 ポート RAM の動作真理値表

CK	XCS	XWE	出力の状態	動作モード
L→H	L	H	Read Data	読み出し
L→H	L	L	Write Data	書き込み
L→H	H	L or H	Data Hold	スタンバイ

8.4.5 タイミングチャート (同期 1 ポート RAM)

• 読み出し時

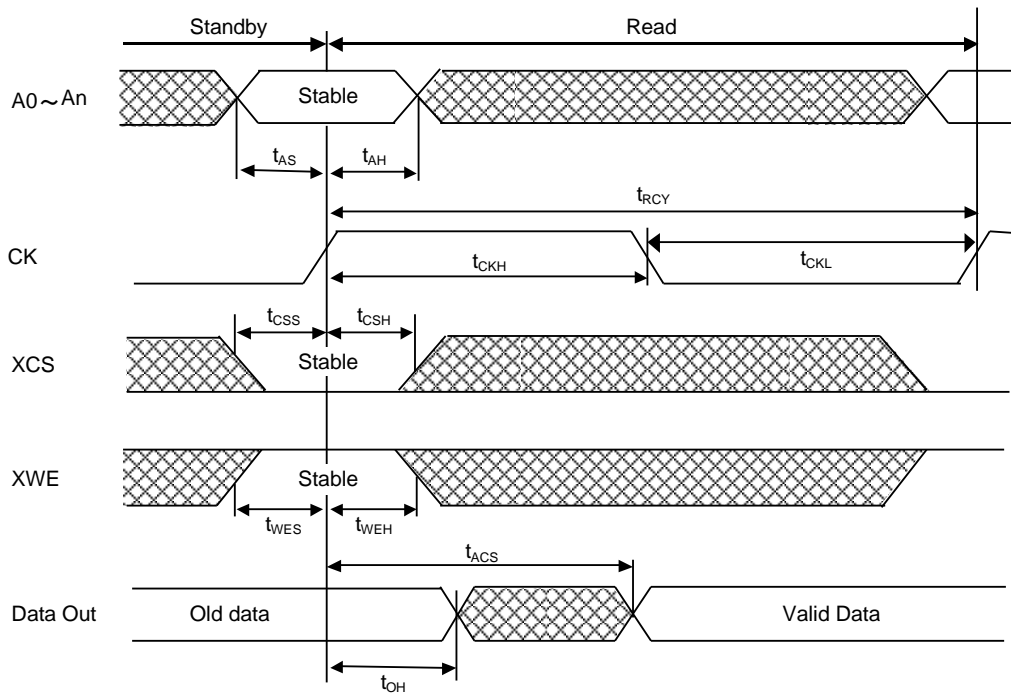


図 8-7 リードサイクル

• 書き込み時

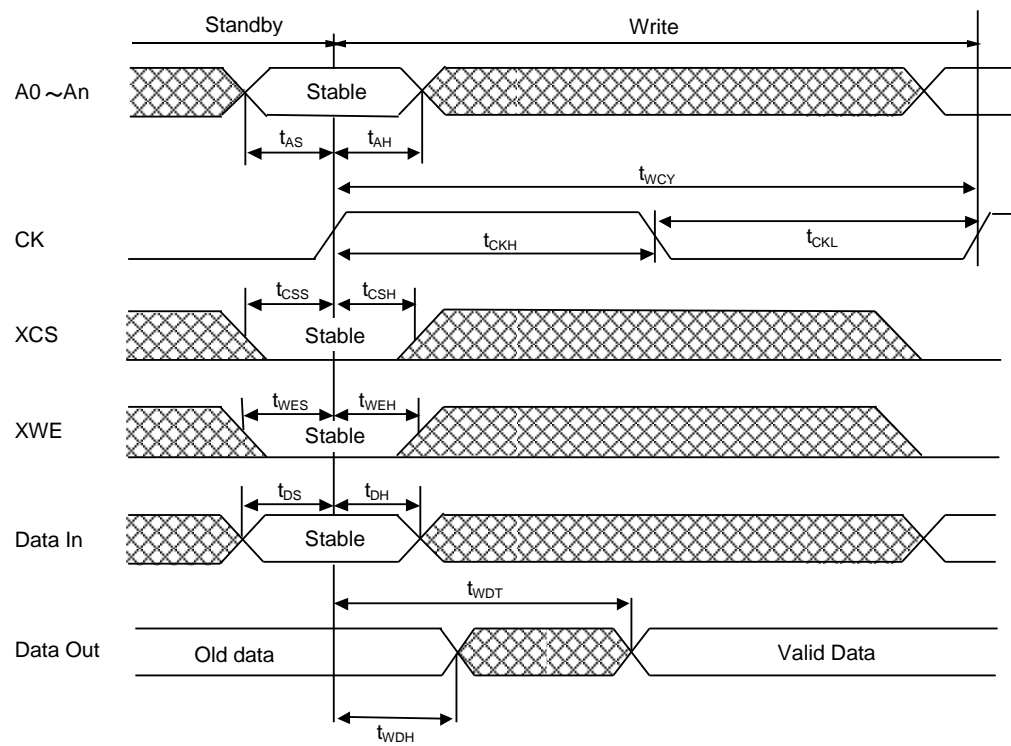


図 8-8 ライトサイクル

8.5 同期 2 ポート RAM

8.5.1 特長

- (1) クロック同期型 2 ポート RAM
- (2) チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した動作が可能
- (3) データの入力ポートと出力ポートは分離
- (4) ワード数は 4Word 刻みで 16 から 256Word、ビット数は 1Bit 刻みで 1~32Bit の範囲で構成可能
- (5) 最大構成 : 8Kbits/module

8.5.2 ワードビット構成と RAM セル名との対応

代表的な Word/Bit 構成に対応する RAM セル名を、それぞれ 表 8-13 に示します。RAM セル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

2port RAM V2S XXX YY” XXX:Word 数 (16 進数)、YY : Bit 数 (16 進数)

表 8-13 同期 2 ポート RAM の Word/Bit 構成例による RAM セル名対応表

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	V2S02004	V2S02008	V2S02010	V2S02020
64Word	V2S04004	V2S04008	V2S04010	V2S04020
128Word	V2S08004	V2S08008	V2S08010	V2S08020
256Word	V2S10004	V2S10008	V2S10010	V2S10020

8.5.3 RAM サイズ

X 方向サイズ : $RX = (\text{ワード数} \div 4) \times 7 + 32$

Y 方向サイズ : $RY = \text{ビット数} \times 2 + 9 + \alpha$

ベーシックセル数 : $RAMBCS = RX \times RY$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 4、 $36 \leq \text{Word 数} \leq 256$ の場合 : 6

表 8-14 同期 2 ポート RAM の構成例とベーシックセル数

ビット数 ワード数	4Bit	8Bit	16Bit	32Bit
32Word	1, 848 (88X21)	2, 552 (88X29)	3, 960 (88X45)	6, 776 (88X77)
64Word	3, 312 (144X23)	4, 464 (144X31)	6, 768 (144X47)	11, 376 (144X79)
128Word	5, 888 (256X23)	7, 936 (256X31)	12, 032 (256X47)	20, 224 (256X79)
256Word	11, 040 (480X23)	14, 880 (480X31)	22, 560 (480X47)	37, 920 (480X79)

8.5.4 機能説明

(1) 入出力信号

第1ポートは書き込み、第2ポートは読み出し専用です。ポートごとにクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

第1ポートのライトイネーブル（XWA）、第2ポートのリードイネーブル（XRB）がともに‘H’をラッチしている時はスタンバイ状態となります。

表 8-15 同期2ポートRAMの信号説明

第1ポート同期信号（書き込み専用）

入出力信号		機能説明
記号	名前	
CKA	クロック入力	クロック入力（CKA）の立ち上がりエッジ（L→H）でライトイネーブル（XWA）、アドレス入力（AA0～AA _n ）、データ入力（D0～D _n ）をラッチし、RAM内部にとりこみます。
XWA	ライトイネーブル	クロック入力（CKA）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は書き込み動作を行いません。
AA0～AA _n	アドレス入力	クロック入力（CKA）の立ち上がりエッジでラッチされます。
D0～D _n	データ入力	クロック入力（CKA）の立ち上がりエッジでラッチされます。ライトイネーブル（XWA）がLの時メモリセルに書き込まれます。

第2ポート用信号（読み出し専用）

入出力信号		機能説明
記号	名前	
CKB	クロック入力	クロック入力（CKB）の立ち上がりエッジ（L→H）でリードイネーブル（XRB）、アドレス入力（AB0～AB _n ）をラッチし、RAM内部にとりこみます。
XRB	リードイネーブル	クロック入力（CKB）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は読み出し動作を行いません。
AB0～AB _n	アドレス入力	クロック入力（CKB）の立ち上がりエッジでラッチされます。
Y0～Y _n	データ出力	クロック入力（CKB）の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。

(2) 動作説明

書き込みはクロック入力 (CKA) が立ち上がる前に、ライトイネーブル (XWA) をイネーブル (L) にし、アドレス入力 (AA0~AA_n) とデータ入力 (D0~D_n) をセットします。クロック入力 (CKA) の立ち上がりで、ライトイネーブル (XWA)、アドレス入力 (AA0~AA_n)、データ入力 (D0~D_n) のすべての信号がラッチされ書き込み動作を開始します。

読み出しはクロック入力 (CKB) が立ち上がる前に、リードイネーブル (XRB) をイネーブル (L) にし、アドレス入力 (AB0~AB_n) をセットします。クロック入力 (CKB) の立ち上がりで、リードイネーブル (XRB)、アドレス入力 (AB0~AB_n) のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロック入力 (CKB) の立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Y_n) から出力されます。

表 8-16 同期 2 ポート RAM の動作真理値表

(第 1 ポート (書き込み専用) 動作真理値表)

CKA	XWA	動作モード
L→H	H	スタンバイ
L→H	L	書き込み

(第 2 ポート (読み出し専用) 動作真理値表)

CKB	XRB	出力の状態	動作モード
L→H	H	Data Hold	スタンバイ
L→H	L	Read Data	読み出し

なお、書き込みと読み出しを同一メモリに同時に行った場合は、メモリへのデータの書き込みは行われますが、読み出しデータは不定となります。

8.5.5 タイミングチャート (同期 2 ポート RAM)

(1) 第 1 ポート

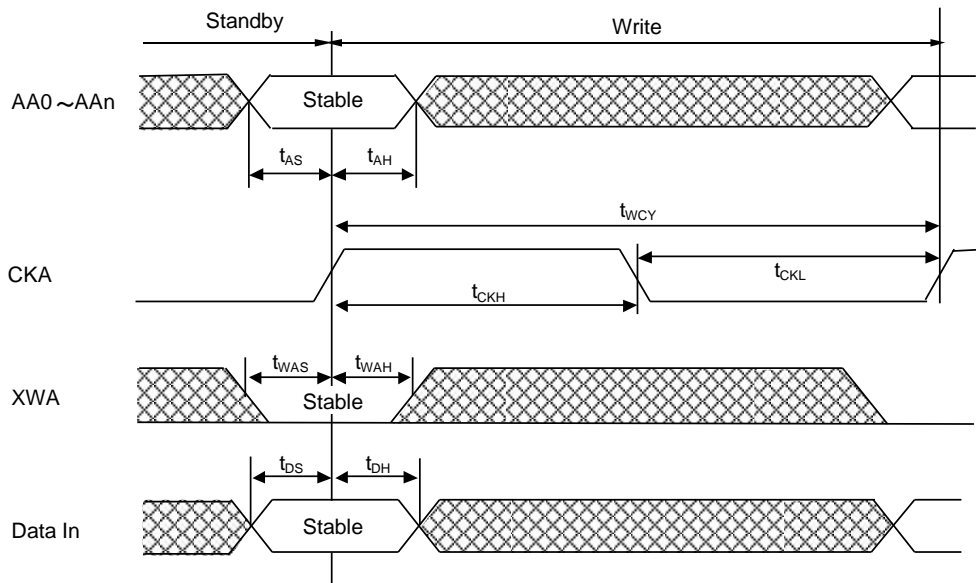


図 8-9 書込み時

(2) 第 2 ポート

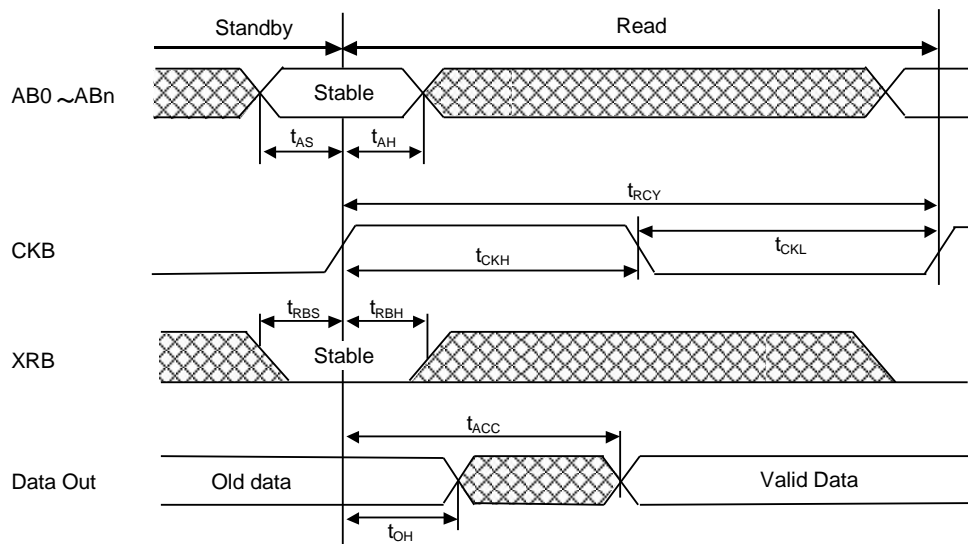


図 8-10 読み出し時

8.6 同期 RAM 遅延パラメータ

8.6.1 5.0V 仕様 ($V_{DD}=4.5\sim 5.5V$ 、 $T_a=-40\sim 110^{\circ}C$)

表 8-17-1 同期 1 ポート/2 ポート RAM リードサイクル(1/2)

パラメータ	記号	64word x 16bit V1S/V2S04010		64word x 32bit V1S/V2S04020		128word x16bit V1S/V2S08010		128word x32bit V1S/V2S08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} t_{ACC}	-	11.3	-	11.6	-	14.5	-	14.8	ns
リードサイクルタイム	t_{RCY}	11.3	-	11.6	-	14.5	-	14.8	-	
クロックハイパルス幅	t_{CKH}	1.2	-	1.2	-	1.2	-	1.2	-	
クロックローパルス幅	t_{CKL}	1.2	-	1.2	-	1.2	-	1.2	-	
XCS セットアップタイム	t_{CSS}	2.6	-	2.6	-	2.6	-	2.6	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
XWE セットアップタイム	t_{WES}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRB セットアップタイム	t_{RBS}	2.6	-	2.6	-	2.6	-	2.6	-	
XRB ホールドタイム	t_{RBH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	2.6	-	2.6	-	2.6	-	2.6	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
アウトプットホールドタイム	t_{OH}	1.5	-	1.6	-	1.5	-	1.6	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-17-1 同期 1 ポート/2 ポート RAM リードサイクル(2/2)

パラメータ	記号	192word x 16bit V1S/V2S0C010		192word x 32bit V1S/V2S0C020		256word x16bit V1S/V2S10010		256word x32bit V1S/V2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} t_{ACC}	-	17.6	-	17.9	-	20.5	-	20.8	ns
リードサイクルタイム	t_{RCY}	17.6	-	17.9	-	20.5	-	20.8	-	
クロックハイパルス幅	t_{CKH}	1.2	-	1.2	-	1.2	-	1.2	-	
クロックローパルス幅	t_{CKL}	1.2	-	1.2	-	1.2	-	1.2	-	
XCS セットアップタイム	t_{CSS}	2.6	-	2.6	-	2.6	-	2.6	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
XWE セットアップタイム	t_{WES}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRB セットアップタイム	t_{RBS}	2.6	-	2.6	-	2.6	-	2.6	-	
XRB ホールドタイム	t_{RBH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	2.6	-	2.6	-	2.6	-	2.6	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
アウトプットホールドタイム	t_{OH}	1.6	-	1.6	-	1.6	-	1.7	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

第 8 章 RAM 仕様

表 8-17-2 同期 1 ポート/2 ポート RAM ライトサイクル(1/2)

パラメータ	記号	64word x 16bit V1S/V2S04010		64word x 32bit V1S/V2S04020		128word x16bit V1S/V2S08010		128word x32bit V1S/V2S08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	10.1	-	10.8	-	10.4	-	11.0	-	ns
クロックハイパルス幅	t_{CKH}	1.2	-	1.2	-	1.2	-	1.2	-	
クロックローパルス幅	t_{CKL}	1.2	-	1.2	-	1.2	-	1.2	-	
XCS セットアップタイム	t_{CSS}	2.6	-	2.6	-	2.6	-	2.6	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE セットアップタイム	t_{WES}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRA セットアップタイム	t_{WAS}	2.6	-	2.6	-	2.6	-	2.6	-	
XRA ホールドタイム	t_{WAH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
データホールドタイム	T_{DH}	0.0	-	0.0	-	0.0	-	0.0	-	
データセットアップタイム	t_{DS}	2.6	-	2.6	-	2.6	-	2.6	-	
ライトデータホールドタイム	t_{WDH}	2.7	-	2.8	-	2.8	-	2.9	-	
ライトデータスルータイム	t_{WDT}	-	10.1	-	10.8	-	10.4	-	11.0	

注) 1: この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-17-2 同期 1 ポート/2 ポート RAM ライトサイクル(2/2)

パラメータ	記号	192word x 16bit V1S/V2S0C010		192word x 32bit V1S/V2S0C020		256word x16bit V1S/V2S10010		256word x32bit V1S/V2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	10.6	-	11.3	-	11.0	-	11.6	-	ns
クロックハイパルス幅	t_{CKH}	1.2	-	1.2	-	1.2	-	1.2	-	
クロックローパルス幅	t_{CKL}	1.2	-	1.2	-	1.2	-	1.2	-	
XCS セットアップタイム	t_{CSS}	2.6	-	2.6	-	2.6	-	2.6	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE セットアップタイム	t_{WES}	2.6	-	2.6	-	2.6	-	2.6	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRA セットアップタイム	t_{WAS}	2.6	-	2.6	-	2.6	-	2.6	-	
XRA ホールドタイム	t_{WAH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
データホールドタイム	T_{DH}	0.0	-	0.0	-	0.0	-	0.0	-	
データセットアップタイム	t_{DS}	2.6	-	2.6	-	2.6	-	2.6	-	
ライトデータホールドタイム	t_{WDH}	2.9	-	3.1	-	3.0	-	3.1	-	
ライトデータスルータイム	t_{WDT}	-	10.6	-	11.3	-	11.0	-	11.6	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

第 8 章 RAM 仕様

8.6.2 3.3V 仕様 ($V_{DD}=3.0\sim 3.6V$ 、 $T_a=-40\sim 110^{\circ}C$)

表 8-18-1 同期 1 ポート/2 ポート RAM リードサイクル(1/2)

パラメータ	記号	64word x 16bit V1S/V2S04010		64word x 32bit V1S/V2S04020		128word x16bit V1S/V2S08010		128word x32bit V1S/V2S08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} t_{ACC}	-	20.7	-	21.3	-	27.1	-	27.7	ns
リードサイクルタイム	t_{RCY}	20.7	-	21.3	-	27.1	-	27.7	-	
クロックハイパルス幅	t_{CKH}	2.3	-	2.3	-	2.3	-	2.3	-	
クロックローパルス幅	t_{CKL}	2.3	-	2.3	-	2.3	-	2.3	-	
XCS セットアップタイム	t_{CSS}	4.9	-	4.9	-	4.9	-	4.9	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
XWE セットアップタイム	t_{WES}	4.9	-	4.9	-	4.9	-	4.9	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRB セットアップタイム	t_{RBS}	4.9	-	4.9	-	4.9	-	4.9	-	
XRB ホールドタイム	t_{RBH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	4.9	-	4.9	-	4.9	-	4.9	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
アウトプットホールドタイム	t_{OH}	2.0	-	2.1	-	2.0	-	2.1	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-18-1 同期 1 ポート/2 ポート RAM リードサイクル(2/2)

パラメータ	記号	192word x 16bit V1S/V2S0C010		192word x 32bit V1S/V2S0C020		256word x16bit V1S/V2S10010		256word x32bit V1S/V2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} t_{ACC}	-	33.4	-	33.9	-	39.1	-	39.7	ns
リードサイクルタイム	t_{RCY}	33.4	-	33.9	-	39.1	-	39.7	-	
クロックハイパルス幅	t_{CKH}	2.3	-	2.3	-	2.3	-	2.3	-	
クロックローパルス幅	t_{CKL}	2.3	-	2.3	-	2.3	-	2.3	-	
XCS セットアップタイム	t_{CSS}	4.9	-	4.9	-	4.9	-	4.9	-	
XCS ホールドタイム	t_{CSH}	0.0	-	0.0	-	0.0	-	0.0	-	
XWE セットアップタイム	t_{WES}	4.9	-	4.9	-	4.9	-	4.9	-	
XWE ホールドタイム	t_{WEH}	0.0	-	0.0	-	0.0	-	0.0	-	
XRB セットアップタイム	t_{RBS}	4.9	-	4.9	-	4.9	-	4.9	-	
XRB ホールドタイム	t_{RBH}	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t_{AS}	4.9	-	4.9	-	4.9	-	4.9	-	
アドレスホールドタイム	t_{AH}	0.0	-	0.0	-	0.0	-	0.0	-	
アウトプットホールドタイム	t_{OH}	2.1	-	2.1	-	2.1	-	2.2	-	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

第 8 章 RAM 仕様

表 8-18-2 同期 1 ポート/2 ポート RAM ライトサイクル(1/2)

パラメータ	記号	64word x 16bit V1S/V2S04010		64word x 32bit V1S/V2S04020		128word x16bit V1S/V2S08010		128word x32bit V1S/V2S08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	18.9	–	20.2	–	19.5	–	20.6	–	ns
クロックハイパルス幅	t_{CKH}	2.3	–	2.3	–	2.3	–	2.3	–	
クロックローパルス幅	t_{CKL}	2.3	–	2.3	–	2.3	–	2.3	–	
XCS セットアップタイム	t_{CSS}	4.9	–	4.9	–	4.9	–	4.9	–	
XCS ホールドタイム	t_{CSH}	0.0	–	0.0	–	0.0	–	0.0	–	
アドレスセットアップタイム	t_{AS}	4.9	–	4.9	–	4.9	–	4.9	–	
XWE セットアップタイム	t_{WES}	4.9	–	4.9	–	4.9	–	4.9	–	
XWE ホールドタイム	t_{WEH}	0.0	–	0.0	–	0.0	–	0.0	–	
XRA セットアップタイム	t_{WAS}	4.9	–	4.9	–	4.9	–	4.9	–	
XRA ホールドタイム	t_{WAH}	0.0	–	0.0	–	0.0	–	0.0	–	
アドレスホールドタイム	t_{AH}	0.0	–	0.0	–	0.0	–	0.0	–	
データホールドタイム	T_{DH}	0.0	–	0.0	–	0.0	–	0.0	–	
データセットアップタイム	t_{DS}	4.9	–	4.9	–	4.9	–	4.9	–	
ライトデータホールドタイム	t_{WDH}	3.6	–	3.7	–	3.7	–	3.9	–	
ライトデータスルータイム	t_{WDT}	–	18.9	–	20.2	–	19.5	–	20.6	

注) 1 : この表に記載のない構成の G/A RAM については、1 つ上のサイズの値をご参照ください。

表 8-18-2 同期1ポート/2ポートRAM ライトサイクル(2/2)

パラメータ	記号	192word x 16bit V1S/V2S0C010		192word x 32bit V1S/V2S0C020		256word x16bit V1S/V2S10010		256word x32bit V1S/V2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	19.9	—	21.2	—	20.6	—	21.7	—	ns
クロックハイパルス幅	t_{CKH}	2.3	—	2.3	—	2.3	—	2.3	—	
クロックローパルス幅	t_{CKL}	2.3	—	2.3	—	2.3	—	2.3	—	
XCS セットアップタイム	t_{CSS}	4.9	—	4.9	—	4.9	—	4.9	—	
XCS ホールドタイム	t_{CSH}	0.0	—	0.0	—	0.0	—	0.0	—	
アドレスセットアップタイム	t_{AS}	4.9	—	4.9	—	4.9	—	4.9	—	
XWE セットアップタイム	t_{WES}	4.9	—	4.9	—	4.9	—	4.9	—	
XWE ホールドタイム	t_{WEH}	0.0	—	0.0	—	0.0	—	0.0	—	
XRA セットアップタイム	t_{WAS}	4.9	—	4.9	—	4.9	—	4.9	—	
XRA ホールドタイム	t_{WAH}	0.0	—	0.0	—	0.0	—	0.0	—	
アドレスホールドタイム	t_{AH}	0.0	—	0.0	—	0.0	—	0.0	—	
データホールドタイム	T_{DH}	0.0	—	0.0	—	0.0	—	0.0	—	
データセットアップタイム	t_{DS}	4.9	—	4.9	—	4.9	—	4.9	—	
ライトデータホールドタイム	t_{WDH}	3.9	—	4.1	—	4.0	—	4.1	—	
ライトデータスルータイム	t_{WDT}	—	19.9	—	21.2	—	20.6	—	21.7	

注) 1: この表に記載のない構成の G/A RAM については、1つ上のサイズの値をご参照ください。

8.7 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに読み出し動作を行なった場合は、対象となるワード線が存在せず、すべてのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、以下の理由により、非存在アドレスへのアクセス動作を禁止します。

- (1) すべてのビット線がフローティング状態のまま読み出し動作が行われてしまうため、RAM の出力が全ビット“不定”となってしまう。
- (2) すべてのビット線がフローティング状態のまま読み出し動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

8.8 RAM の搭載可否判断

RAM を搭載する場合には、搭載しようとするマスタのベーシックセル配列数が X 方向、Y 方向ともに RAM のサイズを上回っていることが必要です。

RAM を複数個使用する場合には RAM ブロックどうしを上下左右に隣り合わせるレイアウトになります。前節の RAM サイズ計算式には、RAM 周りの配線領域を含めてありますので、単純に RXSIZE、RYSIZE をそれぞれに足した値で搭載可否を判断することができます。

各マスタごとのベーシックセルの X 方向、Y 方向の配列数は「[表 1-1-1](#)」を参照してください。

第9章 PLL 仕様

S1L5V000 シリーズでは、PLL を搭載したマスタを3種類用意しています。PLL を搭載するには「[1.2.2 PLL 搭載マスタ構成](#)」から選択してください。なお、電源電圧仕様は、5V 単一のみとなります。

9.1 特長

- 入力周波数 : 5MHz~40MHz
 - 出力周波数 : 20MHz~135MHz
 - 逡倍率 : 2, 3, 4, 6, 8, 9, 10, 12, 14, 16, 18, 20, 22, 24, 26
 $P_{out} = Refck * NN * LL$ (但し $Refck * LL < 68MHz$)
 $NN = 2, 3, 4$
 $LL = 1-16$
 - クロック精度 : Peak to Peak Jitter Peak to Peak Jitter

TVC=000 (POUT=20~40MHz) のとき	出力周波数±1%
TVC=010 (POUT=41~60MHz) のとき	出力周波数±1.5%
TVC=100 (POUT=61~80MHz) のとき	出力周波数±2%
TVC=110 (POUT=81~130MHz) のとき	出力周波数±3%

例) Pout=135MHz の場合 ターゲット周期の±222ps
 * 位相合わせの機能は有りません。
 - 出力 duty : 50±10%
 - 消費電流 : 条件 1: MCLVDD=AVDD=5.0V , REFCK=13MHz→POUT=52MHz (x4)
 ⇒Iop1=950uA @typ
 - 発振開始時間 : 入力クロックが安定している条件でパワーダウン解除から max 100us
 - ローパスフィルター: RC フィルター内蔵 (外付け部品不要)
 - パワーダウン機能付き (消費電流 3uA 以下)
- ※ 出力モニター端子 : PLL 動作状態を把握する為に、出力モニター (VCP) 端子を端子出力することを推奨します。
- ※ 電源分離 : ノイズ耐量向上対策として、電源分離を推奨します

9.2 ブロック 図

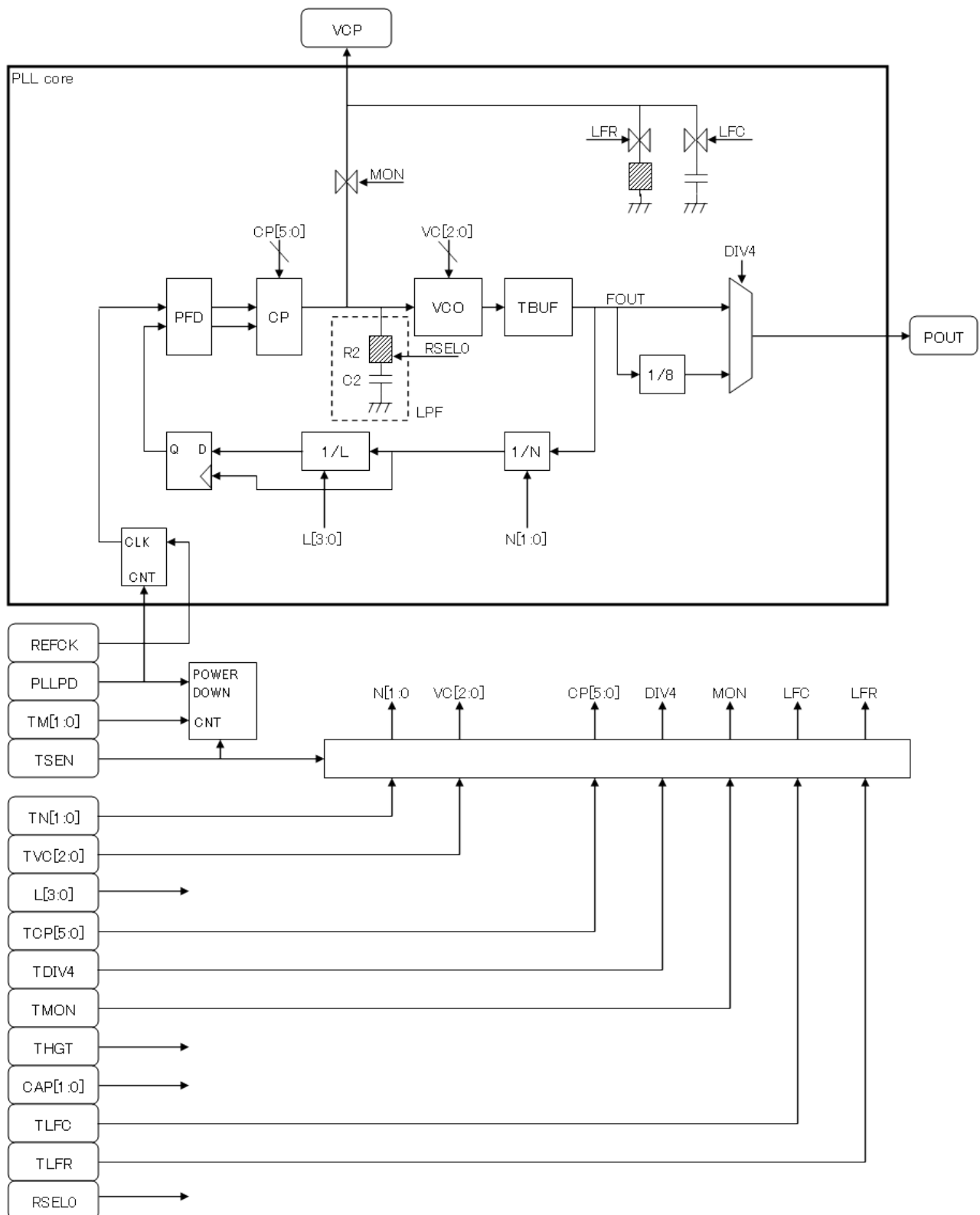


図 9-1 PLL ブロック図

9.3 端子機能

PLL の端子属性を表 9-1 に記します。

表 9-1 PLL 端子一覧

信号名	属性 *1	Function	Comment
MCLVDD	P	PLL Digital 電源	4.5V~5.5V
MCLVSS		PLL Digital GND	0V
AVDD		PLL Analog 電源	=MCLVDD
AVSS		PLL Digital GND	0V
Normal Function			
REFCK	I	基準クロック入力端子	-
POUT	O	PLL 出力端子	PLLPD = 1 : POUT = Low
PLLPD	I	パワーダウン設定 (=リセット信号 *2)	PLLPD=0: PLL enable PLLPD=1: Power down
TSEN	I	Test Enable	TSEN=0 :Normal mode TSEN=1 :Test mode
TN[1:0]	I	通倍率設定 NN=TN[1:0]+1 (=2, 3, 4)	ex) N[1:0]=11 ⇒ x4 N[1:0]=01 ⇒ x2 N[1:0]=00 ⇒ 禁止
L[3:0]	I	通倍率設定 LL=L[3:0]+1	ex) L[3:0]=1111 ⇒ x16 L[3:0]=0000 ⇒ x1
		出力周波数 POUT_freq=REFCK × NN × LL	
TVC[2:0]	I	VCO Speed 設定	POUT=20MHz~40MHz ⇒ TVC[2:0]=000 POUT=41MHz~60MHz ⇒ TVC[2:0]=010 POUT=61MHz~80MHz ⇒ TVC[2:0]=100 POUT=81MHz~135MHz ⇒ TVC[2:0]=110
Test Function			
VCP	A0	アナログモニター出力	TMON=0:Hi-Z, TMON=1:モニター
TMON	I	VCP 設定	TSEN=0 では無効 (出荷検査時のみ使用)
TM[1:0]	I	Charge Pump テスト設定	
TDIV4	I	POUT 分周出力 Enable	
TLFC	I	LPF テスト	Normal mode では '0' 固定
TLFR	I	LPF テスト	Normal mode では '0' 固定
TCP[5:0]	I	Charge Pump 電流設定	Normal mode では "11_0100" 固定
THGH	I	ロックテスト	Normal mode では '0' 固定
CAP[1:0]	I	On Chip LPF 設定	Normal mode では "10" 固定
RSELO	I	On Chip LPF 設定	Normal mode では '0' 固定

注) *1 : P:Power, I:Input, O:Output, A0:Analog Output

*2 : PLL 動作開始前に必ず初期化 (PLLPD=1) してから使用してください。

9.4 電気的特性

9.4.1 動作条件

表 9-2 動作条件

記号	Parameter	Min	Typ	Max	単位
MCLVDD AVDD	MCLVDD/AVDD reference to MCLVSS/AVSS	4.5	5.0	5.5	V
T _j	Junction Temperature	-40	25	135	°C
V _{in}	Input Voltage range	0	-	MCLVDD	V
F _{in}	Input reference clock frequency	5	-	40	MHz
F _{out}	PLL output frequency	20	-	135	MHz
F _{vco}	VCO Frequency	20	-	135	MHz

9.4.2 DC 特性

表 9-3 DC 特性

(MCLVDD/AVDD=5.0V±0.5V、MCLVSS/AVSS=0V、T_j=-40°C~135°C)

項目	記号	条件	Min	Typ	Max	単位
PLL Current	I _{dd1}	Output unloaded, F _{in} =13MHz, F _{out} =52MHz (x4) TN[1:0]=11, L[3:0]=0000	-	950	1280	uA
	I _{dd2}	Output unloaded, F _{in} =20MHz, F _{out} =120MHz (x6) TN[1:0]=10, L[3:0]=0001	-	2600	3150	uA
Power down current	I _q	PLL _{PD} =1	-		3	uA

9.4.3 AC特性

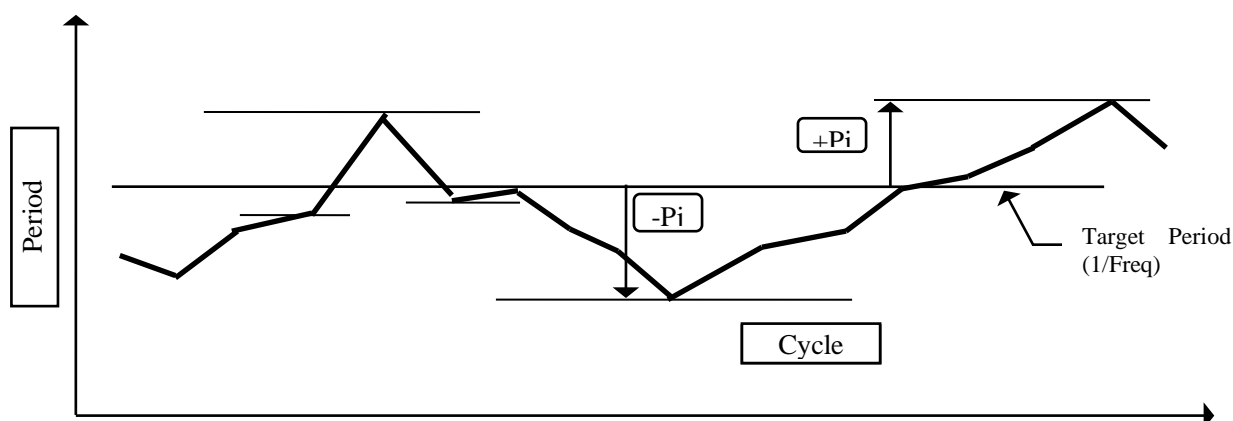
表 9-4 AC特性
(MCLVDD/AVDD=5.0V±0.5V、MCLVSS/AVSS=0V、Tj=-40°C~135°C)

項目	記号	条件	Min	Typ	Max	単位
PLLPD minimum pulse width	Thpd	High Pulse width	20	-	-	ns
POUT Duty	Duty	CMOS level High_Duty	40	50	60	%
Peak Jitter	Pj	TVC=000 (POUT=20~40MHz)	-1	-	+1	%
		TVC=010 (POUT=41~60MHz)	-1.5	-	+1.5	
		TVC=100 (POUT=61~80MHz)	-2	-	+2	
		TVC=110 (POUT=81~130MHz)*1	-3	-	+3	
Lockup Time	Tlock1	from PLLPD=1→0 release REFCK, MCLVDD and AVDD be stable	-	-	100	us

注) *1: Peak to Peak Jitter がターゲット周波数の±3%の場合 (下図参照)

例) Pout 周波数=135MHz, クロック周期=7.407ns.

“Pj=±3%” であるので、クロック周期の範囲は 7.407ns±220ps. となります。



第9章 PLL 仕様

9.4.4 逡倍率の設定方法

N_divider (TN[1:0]), L_Divider (L[3:0]) の組み合わせで決まります。

$NN=TN[1:0]+1$ 、 $LL=L[3:0]+1$

* 制約条件

- a) TN[1:0]=00 は禁止
- b) $REFCK*LL < 68\text{MHz}$
- c) $135\text{MHz} \geq POUT_freq \geq 20\text{MHz}$

表 9-5 REFCK=10MHz の場合：全ての逡倍設定パターン

TN[1:0]	NN	L[3:0]	LL	逡倍数 (=NN*LL)	REFCK*LL (68MHz 以下)	POUT_freq
01	2	0000	1	2	10MHz	20MHz
01	2	0001	2	4	20MHz	40MHz
01	2	0010	3	6	30MHz	60MHz
01	2	0011	4	8	40MHz	80MHz
01	2	0100	5	10	50MHz	100MHz
01	2	0101	6	12	60MHz	120MHz
10	3	0000	1	3	10MHz	30MHz
10	3	0001	2	6	20MHz	60MHz
10	3	0010	3	9	30MHz	90MHz
10	3	0011	4	12	40MHz	120MHz
11	4	0000	1	4	10MHz	40MHz
11	4	0001	2	8	20MHz	80MHz
11	4	0010	3	12	30MHz	120MHz

*例えば 12 逡倍をするのに、3 通りの設定方法がありますが、ジッタ、ロックアップ時間、出力 duty 等の電氣的特性に違いはありません。但し消費電流は若干異なる場合もあります。

表 9-6 REFCK=40MHz の場合：全ての逡倍設定パターン

TN[1:0]	NN	L[3:0]	LL	逡倍数 (=NN*LL)	REFCK*LL (68MHz 以下)	POUT_freq
01	2	0000	1	2	40MHz	80MHz
01	2	0001	2	4	80MHz	制約 b) により禁止
10	3	0000	1	3	40MHz	120MHz

* 制約条件が満たされない場合、PLL は保証できないクロックを出力します。

第 10 章 消費電力の見積り

本章での消費電力計算値については、あくまでも参考値であり、保証値としてではありません。消費電力を計算して、許容消費電力に収まっているかどうかの参考として下さい。

10.1 消費電力計算

消費電力は、動作周波数、負荷容量、電源電圧に依存します。（特殊マクロなどの定常電流が流れる特殊なものは除きます。）

IC 全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロックごとの消費電力を求め、その総和を求めます。次に入力バッファ、出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

10.1.1 内部セル (P_{int})

内部回路領域の消費電力は、ブロック毎に計算をおこない、その総和を内部回路の消費電力 P_{int} とします。

- (1) 内部回路が論理回路のみの消費電力 P_{BC}

$$P_{int} = P_{BC} = \sum_{i=1}^K (N_b \times f_i \times S_{pi} \times K_{pint}) \quad [\mu W]$$

N_b : f_i [MHz] で動作する回路の総 BC 数

f_i : 動作周波数 [MHz]

S_{pi} : N_b の中で同時期に f_i [MHz] で動作する BC の割合

(例) 全ての回路が同時期に f_i [MHz] で動作する場合は S_{pi} = 1.0

ブロック分割等で 50% の回路が f_i [MHz] で動作する場合は S_{pi} = 0.5 となります。

K_{pint} : 1BC あたりの消費電力

1BC 当たりの消費電力 (K_{pint}) の値を表 10-1 に示します。

表 10-1 S1L5V000 シリーズ 1 BC あたりの K_{pint}

V _{DD} (TYP)	K _{pi}
5.0V	1.30 μW/MHz
3.3V	0.54 μW/MHz

- (2) RAM ブロックが使用されている場合

$$P_{int} = P_{BC} + P_{BM}$$

P_{BC} : Basic Cell 領域の消費電力

P_{BM} : RAM の消費電力

RAM の消費電力については弊社営業担当までお問い合わせ下さい。その際にはビット、ワード構成について連絡を下さい。

第 10 章 消費電力の見積り

10.1.2 入力バッファ (P_i)

入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に K_{pi} [μ W/MHz] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (K_{pi} \times f_i) \quad [\mu W]$$

f_i : i 番目の入力バッファの動作周波数 [MHz]

K_{pi} : 入力バッファの電圧係数 (表 10-2 を参照して下さい。)

表 10-2 S1L5V000 シリーズの入力セル K_{pi}

V_{DD} (TYP)	K_{pi}
5.0V	17.7 μ W/MHz
3.3V	6.2 μ W/MHz

10.1.3 出力バッファ (P_o)

出力バッファの消費電力は、直流負荷の場合 (抵抗性の負荷、接続先が TTL デバイスの場合など)、交流負荷の場合 (容量性の負荷、接続先が CMOS デバイスの場合など) で異なります。

直流消費電力を P_{DC} 、交流消費電力を P_{AC} とすると、求める出力バッファの消費電力 P_o は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

(1) 交流消費電力 (P_{AC})

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_L \times (V_{DD})^2\}$$

f_i : 出力バッファの動作周波数 [Hz]

C_L : 出力負荷容量 [F]

V_{DD} : 電源電圧 [V]

(2) 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD} - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、 P_{DCH} と P_{DCL} の比は出力信号の Duty 比で決まります。

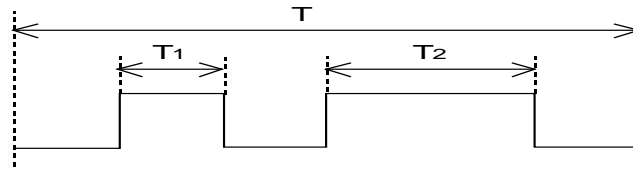


図 10-1 Duty Cycle の例

図 10-1 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、

$$\begin{aligned} P_{DC} &= P_{DCH} + P_{DCL} \\ &= \sum_{i=1}^K \{ (V_{DD} - V_{OH_i}) \times I_{OH_i} \times \text{Duty H} \} + \sum_{i=1}^K [V_{OL_i} \times I_{OL_i} \times \text{Duty L}] \end{aligned}$$

10.2 消費電力制限

消費電力の量により IC のチップ温度 (T_j) は変化し、IC の特性に影響します。そのため IC を使用する条件で消費電力を求め、チップ温度 (T_j) が $-40 \sim 135 [^{\circ}\text{C}]$ の範囲になることをご確認ください。(*1)

チップ温度 (T_j) は、消費電力 (PD)、周囲温度 (T_a)、パッケージの熱抵抗 (θ_{j-a}) から以下の式で求めることができます。

$$\text{チップ温度 } (T_j) = T_a + (PD \times \theta_{j-a}) \quad [^{\circ}\text{C}]$$

パッケージの熱抵抗値は、以下 Web “LSI チップ温度について” を参照ください。

Web : www.epson.jp/prod/semicon/products/asic/package_list.htm#ac06

- (*1) 一般的に IC の仕様は周囲温度 (T_a) で規定されますが、本シリーズでは
 周囲温度 (T_a) = $-40 \sim 110 [^{\circ}\text{C}]$ を推奨周囲温度とした
 チップ温度 (T_j) = $-40 \sim 135 [^{\circ}\text{C}]$ で特性の保証をしています。

付録

A1. シミュレーション結果例

A1.1 シミュレーション結果と期待値とのコンペアファイル例

```

# APF file comparison program (apfcomp)
# version 2.70 Copyright (c) 1995-2003. SEIKO EPSON CORPORATION
# EXPECT      : samp.apf          ← 比較する期待値ファイル名
# COMPARE     : samp.samax       ← 比較するAPFファイル名
# RESULT      : samp.expmax      ← 比較結果ファイル
# RUN DATE    : Wed Feb 13 15:03:14 2008 ← プログラム実行 日付/時間
# DON'T CARE  :                  ← オプション-noxcareが指定された場合'X'、-nodotcareが指定された場合'.'
# IGNORE RZ   : NO              ← オプション-norzcareが指定された場合 YES
#
$DESIGN sample

$RATE 100000
$STROBE 98000
$RESOLUTION 0.001ns

$IOCNT
I_14.E EO DATA3
I_15.E EO DATA2
I_16.E EO DATA1
$ENDIOCNT

$NODE
SEL I 0
CK N 0 50000
RESET I 0
DATA1 BU 0
DATA2 BU 0
DATA3 BU 0
$ENDNODE
# Compared .....

$PATTERN
# SCRDDD
# EKEAAA
# L STTT
# EAAA
# T123
#
# INIBBB
# UUU
#
# 3 ONLLLL
#Mismatch H ← ミスマッチ行およびミスマッチの値
# 10 ON1LLH
#Mismatch HX ← ミスマッチ行およびミスマッチの値
# 12 ON1LHL
#Mismatch H ? ← ミスマッチ行およびミスマッチの値
$ENDPATTERN

# 3 Mismatch lines found. 93.2% Matched ← パターン中の一致しなかった行数、および割合
# End event of EXPECT_file = 43 ← 期待値ファイルの最終イベント
# End event of COMPARE_file = 43 ← APFファイルの最終イベント
# MISMATCH SIGNAL Actual / Total number of mismatches at each node.
# * Actual = Total number of mismatches at each node minus(-) number of "?".
# << DATA1 >> COUNT = 3/3 ← 一致しなかった信号名とミスマッチ件数
# << DATA2 >> COUNT = 1/1 ← COUNT = ?を除いたミスマッチ数/ミスマッチ数
# << DATA3 >> COUNT = 0/1

```

コンペアファイルにミスマッチがある場合、以下の原因が考えられます。

(1) フリップフロップのミスマッチ

セットアップタイムやホールドタイムの制約を超えていると、タイミングエラーリストに現れないことに注意して下さい。

(2) 出力遅延によるストロブポイント超え

1つの出力端子からの出力結果が、出力期待値より常に1サイクル分遅れて変化しているように見えるときに考えられます。L出力のみ、またはH出力のみ遅れている場合もあります。

(3) 出力最終段の組み合わせ回路のハザード

組み合わせ回路で生じたハザード（ヒゲパルス）が外部に出る場合があります。タイミングエラーリストの NARROW レポートで確認できます。これを回避するためには、組み合わせ回路からの信号を一度フリップフロップで受けたものを出力するようにして下さい。

(4) 不定値(X)の伝播

初期化前のRAM、フリップフロップの出力は不定です。

クロックライン上に組み合わせ回路がある場合、入力同時変化で生じたハザードがフリップフロップのクロック端子に入力されると、そのフリップフロップの出力は不定になります。

また、PowerCompiler 等でクロックゲーティング用の複合セル（例えば、CLPSAD2X4）を挿入した場合、イネーブル端子に不定が入力されていると、出カクロックが不定になります。

A1.2 タイミングエラーリスト

シミュレーション中にタイミングエラーが発生した場合、図 A1-1 のようなリスト (* .errmax, * .errmin) が出力されます。ここでは、そのタイミングエラーリストの見方について、図 A1-2 を交えて説明します。

```

*
*OUTPUT NAME VALUE OFFSET/EVENT NUMBER
**-----
I=top. ffreg1_reg(a) (D ->posedge C &&& (VM6 != 0))(b) ==SETUP TIME ERROR(c) ... SPEC =325(d) )
323(e) 471(f) / 3 35 120 185(g)
**-----SUB_TOT 4(h)
I=top. ffreg5_reg (posedge C ->D ==HOLD TIME ERROR ... SPEC =106 )
93 474/ 3
**-----SUB_TOT 1
I=top. sub1. flag_a_0 (negedge R ->posedge C &&& (D !=0) ==SETUP TIME ERROR ... SPEC =334 )
320 482/ 3 276
309 482/ 405
309 419/ 797 961 1221 1477 1649 3017
309 447/ 2722
**-----SUB_TOT 10
*-----TOTAL 15(i)

```

図 A1-1 : タイミングエラーリストの例

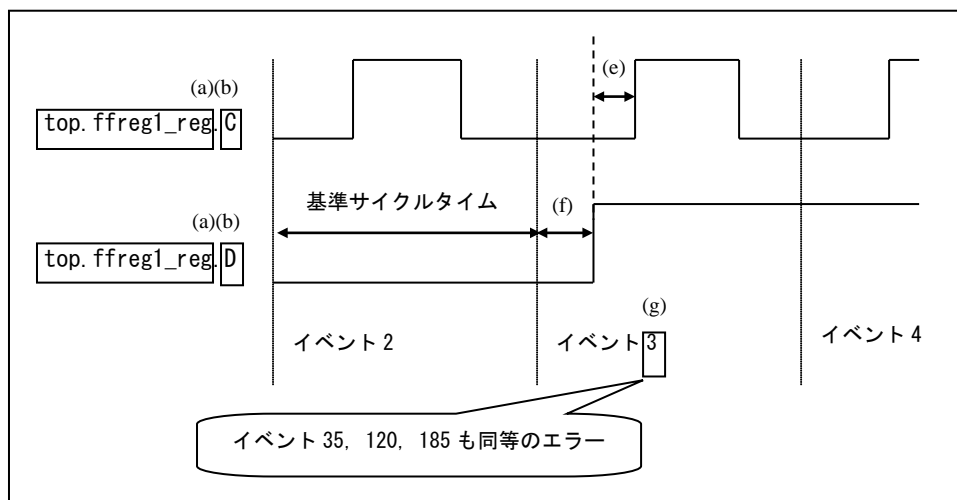


図 A1-2 : 波形でのイメージ

(a) タイミングエラー発生インスタンス名

タイミングエラーが発生しているインスタンス名をフルパスで表しています。

図A1-1 例の場合、FFである「top.ffreg1_reg」がエラー発生のインスタンス名です。インスタンス名から、タイミングエラーが問題となる箇所かどうかを判断して下さい。なお、論理合成時にインスタンス名が変わることがあります。

(b) タイミングエラー検出条件

タイミングエラーが発生する際の具体的な条件です。

「A →B&&&(C)」と表示されている場合、「条件Cにおいて、Aが変化した後にBが変化すること」を表します。

図A1-1 例の場合、「フラグVM6が0以外の状態において、D端子の信号が変化した後に、C端子に立ち上がり信号が入る」という条件を示しています。「VM*」はセル（この場合はFF）のシミュレーションモデル内における、タイミングエラー検出フラグを表しています。条件文が「VM*」となっている場合は無視して下さい。この例では、D端子とC端子の関係にのみ注目して確認して下さい。

また、「NARROW*」が表示されている場合は、下記(c)の「MINIMUM PULSE WIDTH」以下を参照して下さい。

(c) タイミング制約種別

エラーとなった、タイミング制約の種別です。

主な制約として、以下のものがあります。

SETUP TIME . . . セットアップタイム制約

HOLD TIME . . . ホールドタイム制約

MINIMUM PULSE WIDTH . . . 最小パルス幅制約

(b) 部に「NARROW*」が表示されていることがあります。これは、シミュレーションの結果を、サンプリングしたデータ (APF) にてご確認いただく場合、出力波形の詳細確認が困難であることから、レート（基準サイクルタイム）の75%以下の長さであるパルスを表示しているものです。「NARROW*」が表示されている場合、このエラーを必ずしも改善する必要はありません。回路仕様上、問題が無いかをご確認下さい。

(d) タイミングエラー検出規格（単位:ps）

エラーが発生しない最小の値です。

上記例の場合、SETUPエラーを発生させないためには、「D」の変化から「posedge C」まで、325ps以上の間隔を空ける必要があります。

(e) 実際のタイミング値（単位:ps）

上記例の場合、SETUP制約に2ps (=325ps-323ps) 不足していたこととなります。

(f) タイミングエラー発生オフセット（単位:ps）

イベント開始から、エラー発生までの時間です。

図A1-1 例の場合、イベント開始から471ps後にタイミングエラーが発生したことを示します。

(g) タイミングエラー発生イベント（サイクル）番号

タイミングエラーが発生しているイベント番号を列挙しています。図A1-1の場合、3、35、120、185、の各イベントでエラーが発生しています。シミュレーション結果と合わせて、回路仕様上問題が無いかをご確認下さい。

(h) タイミングエラー小計

インスタンス名、エラー検出条件、タイミング制約が同値であるタイミングエラーの個数です。

(i) タイミングエラー合計

タイミングエラーの総数です。

A2. RTL 設計上の注意 (VHDL)

1.5.3 で説明した通り、仮の回路データを提出していただくことで、RTL 記述上の問題を事前に検出することが可能ですが、記述によっては、お客様の意図していない箇所異常が検出される可能性もございます。そのような問題を防ぐため、RTL 設計の一般的なスタイルガイドに沿った設計を行ってください。

A2.1 論理合成可能な RTL の提出

送付いただく RTL は、論理合成可能な記述のみにしてください。ビヘイビアレベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数のファイルにわかれていても問題ありません。

A2.2 階層設計図の提出

モジュールが階層設計であっても問題ありません。階層設計を行った場合は、階層構造図（ツリー図）もしくは、モジュールの親子関係を示す資料の送付をお願いいたします。

A2.3 RAM の記述

弊社にて、RAM の VITAL モデルのサポートは行っておりません。Verilog モデルのみ提供することが可能です。Verilog モデルをご希望される場合、必要な RAM のサイズ及び個数を指定してください。なお、RAM の Verilog モデル提供には日数がかかる場合がございます。

お客様にて RAM のモデルを記述する場合は、デザインガイド「第 8 章 RAM 仕様」記載の仕様に従ってください。また、そのモデルのモジュール名をお知らせください。

A2.4 入力ポートへの定数割り当て

port_map 文において、入力ポートに定数を直接割り当てることはできません。また同様に、“open” を割り当てたり、記述を省略したりすることもできません。これらは、論理合成時にエラーとなります。これを回避するためには、定数値を持つ signal をマッピングしてください。

```
Architecture BEHAVIOR of example3_4
signal dummy0 std_logic;
signal dummy1 std_logic;
begin
  dummy0 <= 0;
  dummy1 <= 1;
  port map abcx ( a => dummy0, b=> dummy1, c=> data_in, x => data_out )
end BEHAVIOR;
```

図 A2-1 定数値を持つ signal をマッピングする

A2.5 端子名の制約

外部端子、および内部端子の名前は、デザインガイド記載の制限・制約にそっていただくことを推奨します。もし、制限・制約外の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承ください。

(1) 外部端子名制約

- ① 全て大文字にて記述してください。
- ② 使用可能文字 英数字とアンダーバー'_'のみ使用できます。
ただし、先頭文字は英字のみ、末端文字は英数字のみ使用可能です。
- ③ ' _ ' が2つ連続してはいけません。
- ④ 文字数は、2～32文字の範囲です。
- ⑤ read、write は予約語ではありませんが、使用できません。(システム使用のため)

(2) 内部端子名制約

- ① 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。
例：“ABC”と”Abc”の混在は禁止
- ② 使用可能文字は、英数字とアンダーバー'_'、バス記述用のかっこ'('、')'です。
- ③ 文字数は、2～32文字の範囲です。

(3) VHDL 予約語

以下の文字列はユーザー定義名として使用できません。

abs	access	after	alias	all	and	architecture
array	assert	attribute	begin	block	body	buffer
bus	case	component	configuration	constant	disconnect	downto
else	elsif	end	entity	exit	file	for
function	generate	generic	guarded	if	in	inout
is	label	library	linkage	loop	map	mod
nand	new	next	nor	not	null	of
on	open	or	others	out	package	port
procedure	process	range	record	register	rem	report
return	select	severity	signal	subtype	then	to
transport	type	units	until	use	variable	wait
when	while	with	xor			

(4) Verilog-HDL 予約語

セイコーエプソンでの作業において、使用ツールの関係上、VHDL-RTL を Verilog ネットリストに変換する必要があります。

そのため、以下の文字列はユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	entable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

A2.6 ポートのデータ型

最上位モジュールのポートに使用できるデータ型は、std_logic のみです。バス記述は禁止しています。それ以外のモジュールのポートは、std_logic、std_logic_vector を使用してください。弊社にて論理合成時に、バス記述を展開することがあります。

A2.7 integer の使用について

integer の使用時は、ビット幅に注意してください。signal 宣言は std_logic_vector で行い、演算の際に conv_integer で型変換する方法を推奨します。

A2.8 入出力バッファ

セイコーエプソンで、入出力バッファを付加いたします。バッファの種類および、出力負荷容量を指定した端子配列表を提出してください。タイミング条件が厳しい場合、または Fail-Safe バッファなどの特殊バッファを使用する場合は、仮データ提出時に指定してください。

入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。弊社でゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみをお願いします。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにしてください。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップ モジュール内で双方向信号を記述してください。

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity TOP is
    port( IN1 : in std_logic;  OUT1 : out std_logic;  BID1 : inout std_logic);
end TOP;

architecture rtl of TOP is
    signal en, bid1_out : std_logic;
    component CORE
        port( in1, bid1_in      : in  std_logic ;
              out1, bid1_out, en : out std_logic );
    end component;

begin
    U_CORE : CORE port map( in1 => IN1, out1 => OUT1, bid1_in => BID1,
                           bid1_out => bid1_out, en => en);
    BID1 <= 'Z' when en = '1' else bid1_out ;
end rtl;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity CORE is
    port( in1, bid1_in      : in  std_logic ;
          out1, bid1_out, en : out std_logic );
end CORE;

architecture rtl of CORE is
begin
end rtl;
```

図 A2-2 : トップモジュールの RTL 例

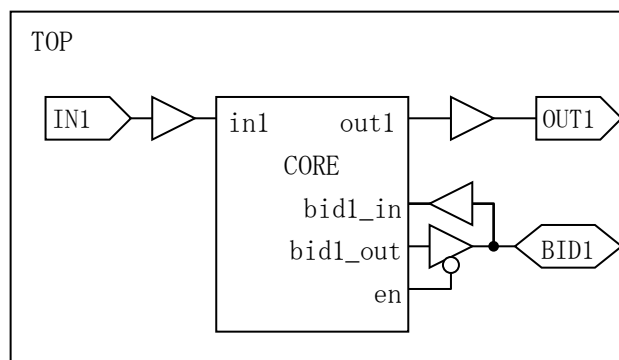


図 A2-3 : トップモジュール イメージ

A2.9 プリミティブセルの使用

RTL 内で、セイコーエプソンのプリミティブセルを呼び出しているモジュール名と、プリミティブセル名をお知らせください。プリミティブセルが論理合成時に消されないための設定を行います。また、シミュレーションの際に記述した、セイコーエプソンのライブラリに関する宣言を、削除してください。非同期 RAM モデルのライブラリ宣言も削除してください。

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

---- comment out ----
-- library S1L5V000_TYP,S1L5V000_RAM;
-- use S1L5V000_TYP.all;
-- use S1L5V000_TYP.all;
---- comment out ----
```

図 A2-4 : セイコーエプソンのライブラリ宣言をコメントアウト

A3. DC・AC テストパターン

A3.1 DC テストパターン

DC テスト回路をお客さまにて作成される場合、以下のテスト項目を考慮頂くようお願いいたします。

DC テストは IC の DC 特性を検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロブ以後状態が変化してはいけません。

測定する DC 特性は以下の項目です。

(1) 静的消費電流テスト (I_{DDs})

静的消費電流とは、入力が定常状態にあるときの IC の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないような状態で測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- ① 入力端子がすべて定常状態であること。
- ② 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- ③ 回路の中で発振等、動作部分がないこと。
- ④ 内部 3-ステートバッファ（内部バス）がフローティングまたはコンテンションしていないこと。
- ⑤ RAM 等、機能セルが電流の流れる状態になっていないこと。
- ⑥ プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- ⑦ プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。
- ⑧ プルダウン抵抗付き双方向端子が入力状態であるかまたは“LOW”レベルを出力していること。

(2) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ/プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に V_{DD} レベルまたは V_{SS} レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 V_{DD} レベル（“HIGH”レベル）を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、IC が意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで V_{DD} レベルを印加するテストを行い、“LOW”が印加されているイベントで V_{SS} レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

入力電流テストはさらに以下のように分類されます。

(3) 入力リーク電流テスト (I_{IH} 、 I_{IL})

プルアップ／プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を I_{IH} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を I_{IL} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

(4) プルアップ電流テスト (I_{PU})

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

(5) プルダウン電流テスト (I_{PD})

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

(6) 出力特性テスト (V_{OH} 、 V_{OL})

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを超えても変化がないようなものでなければなりません。

(7) オフステートリーク電流 (I_{OZ})

オープンドレインおよび 3-ステート出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に V_{DD} レベルの電圧を与えたとき、 V_{SS} レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

A3.2 AC テストパターン

AC テストは、入力端子の変化が起こってからそれが出力端子に伝播するまでの時間を測定します。AC テスト回路をお客さまにて作成される場合、AC テストの測定パスはお客さまに選択していただきます。

(1) 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子（変化のあった出力端子）の変化点は一箇所だけである必要があります。（RZ波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません）また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。（Z が関係する変化は測定できません）

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と IC テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、IC の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

(2) AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にして下さい。

(3) 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30nsec 以上かつストローブポイント以下に設定して下さい。

(4) その他の制約

- ① 発振回路からのパスは、指定しないで下さい。
- ② 内部 3-ステートの回路（内部バス）を通らないパスを指定して下さい。
- ③ 測定パスの入力バッファから出力バッファの間に他の双方向バッファを通るパスを指定しないで下さい。
- ④ 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一して下さい。

(5) 双方向端子のテストパターン制限

双方向端子はテスタの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回（2 回以上）行うことができません。したがって双方向バッファの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をして下さい。

A4. 入出力バッファ特性

A4.1 5.0V 動作時

A4.1.1 出力電流特性 (5.0V±0.5V)

表 A4-1 出力電流特性 (5.0V±0.5V)

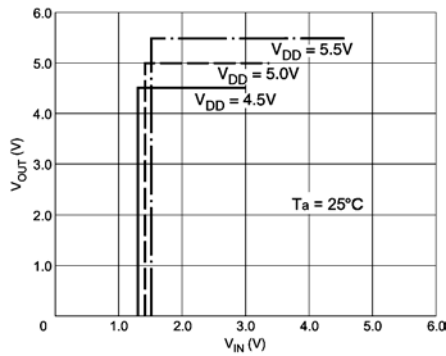
TYPE 番号	出力電流	
	I_{OL} (mA)	I_{OH} (mA)
TYPE S	0.1	-0.1
TYPE M	1	-1
TYPE 1	3	-3
TYPE 2	8	-8
TYPE 3	12	-12

TYPE * の S、M、1~3 の英数字は、出力セル名の × × * × に記載されている数字を表わします。

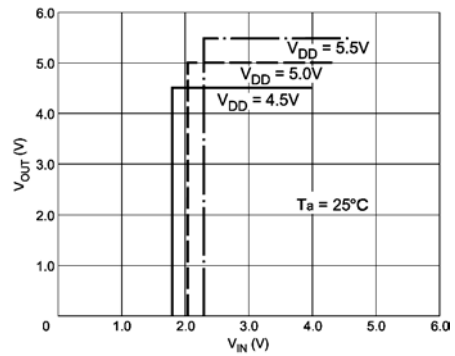
例： OB3T → TYPE3 を表わします。

A4.1.2 入力バッファ特性 (5.0V±0.5V)

- 標準セル入力バッファ

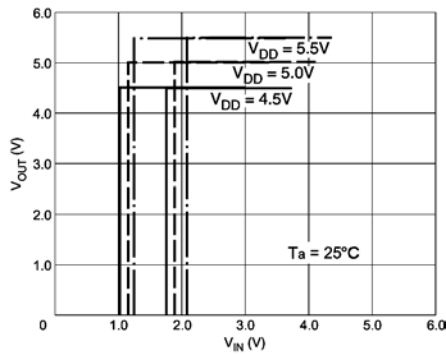


図A4-1 入力特性
(TTLレベル)

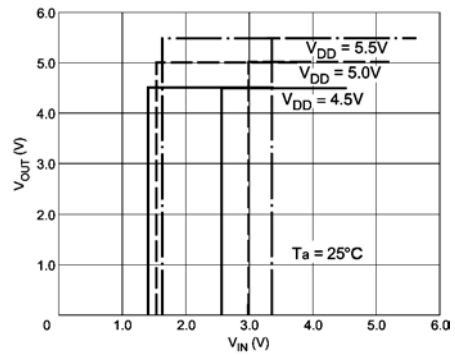


図A4-2 入力特性
(CMOSレベル)

- シュミット入力バッファ



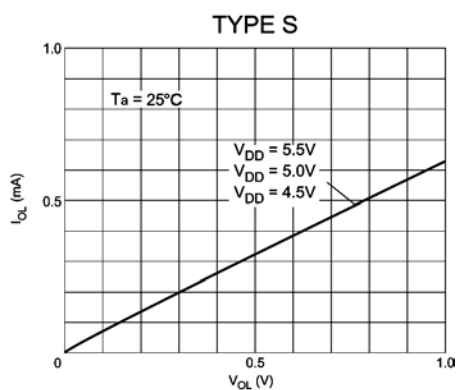
図A4-3 入力特性
(TTLレベル)



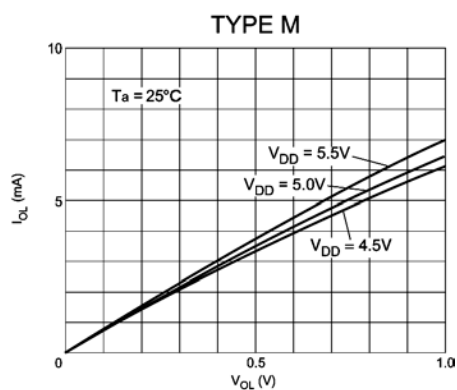
図A4-4 入力特性
(CMOSレベル)

A4.1.3 出力ドライバ特性

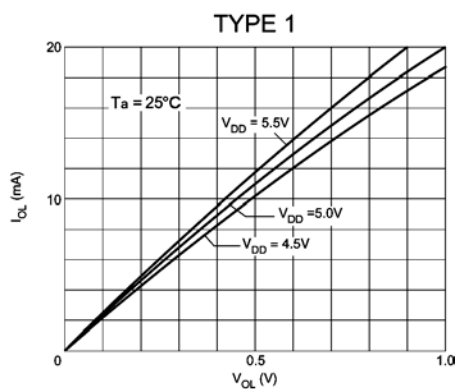
- 低レベル出力電流



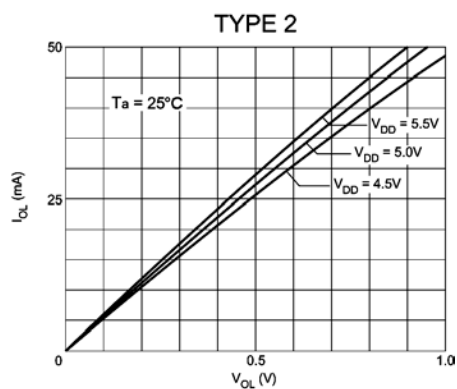
図A4-5



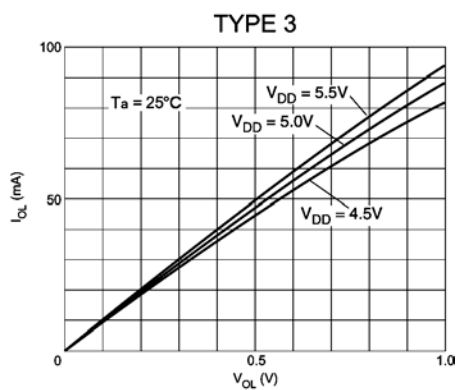
図A4-6



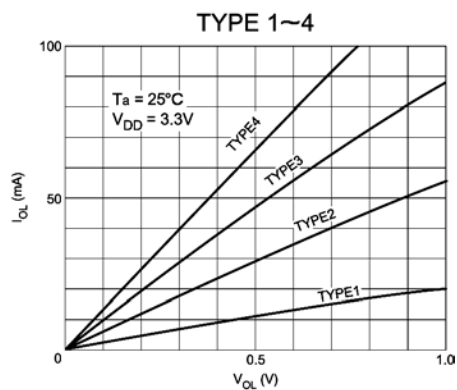
図A4-7



図A4-8

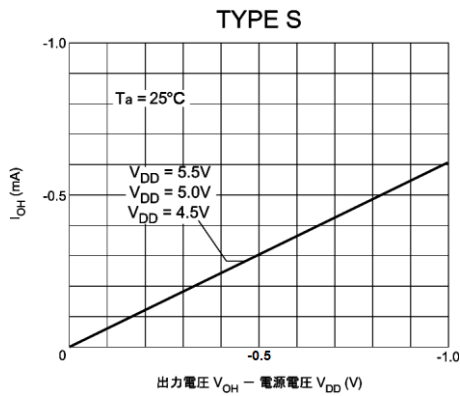


図A4-9

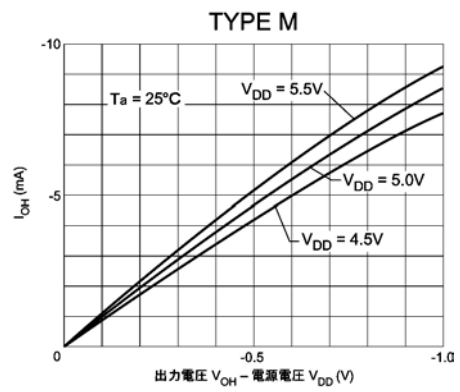


図A4-10

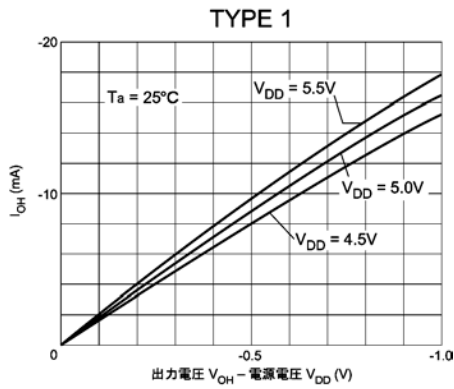
• 高レベル出力電流



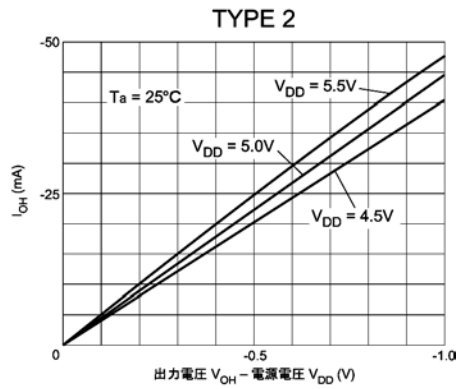
図A4-11



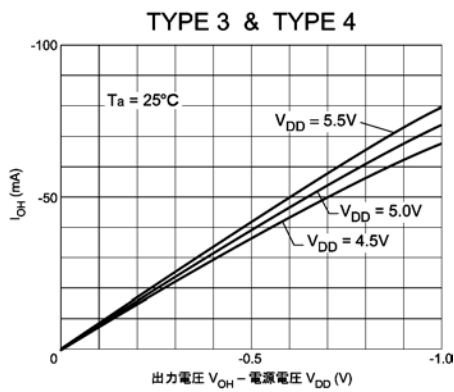
図A4-12



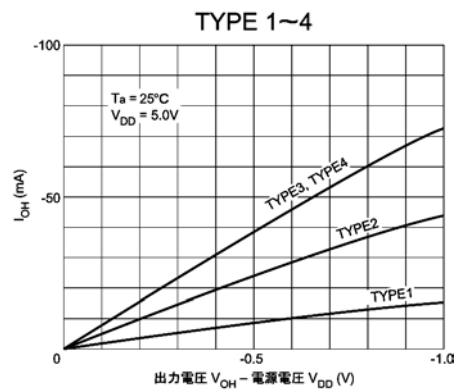
図A4-13



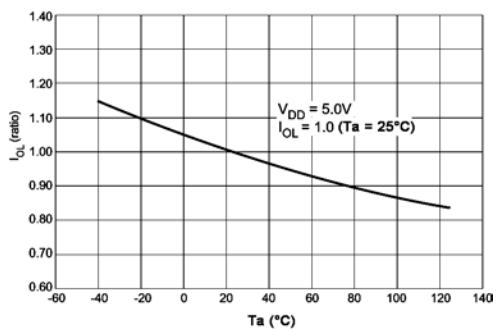
図A4-14



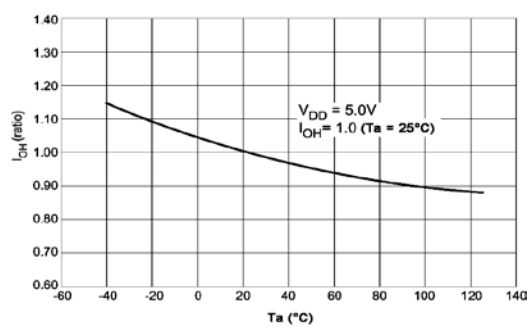
図A4-15



図A4-16

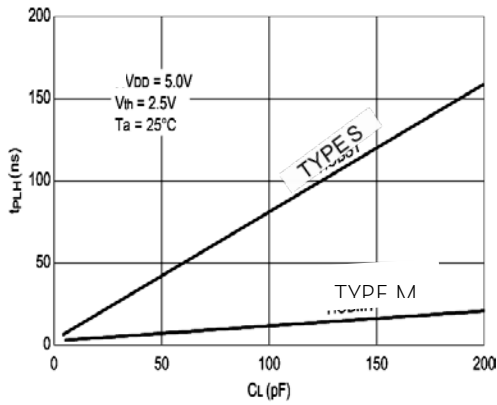


図A4-17 周囲温度 (Ta)
対 出力電流 (I_{OL})

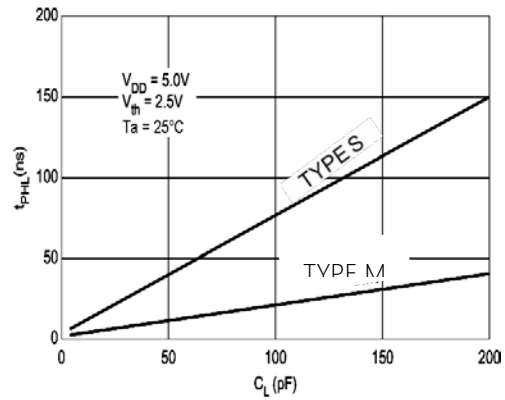


図A4-18 周囲温度 (Ta)
対 出力電流 (I_{OH})

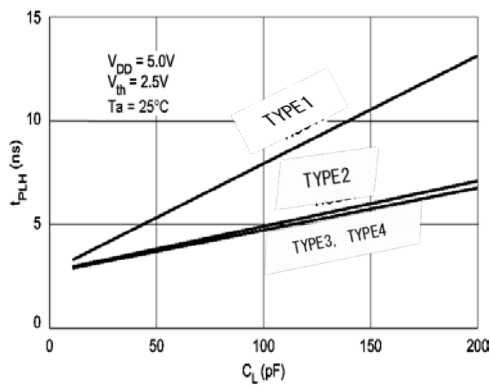
A4.1.4 出力遅延時間対出力負荷容量 (C_L)



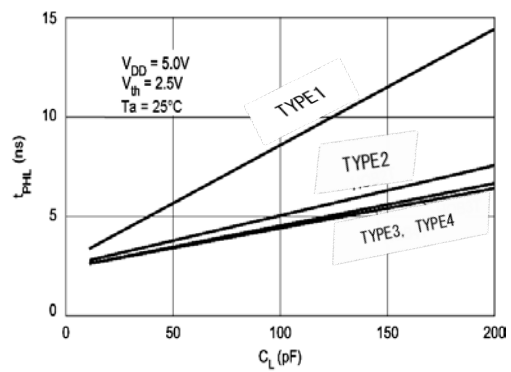
図A4-19 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)



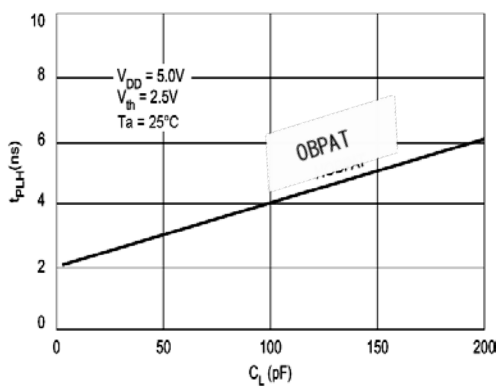
図A4-20 出力遅延時間 (t_{PHL})
対 出力負荷容量 (C_L)



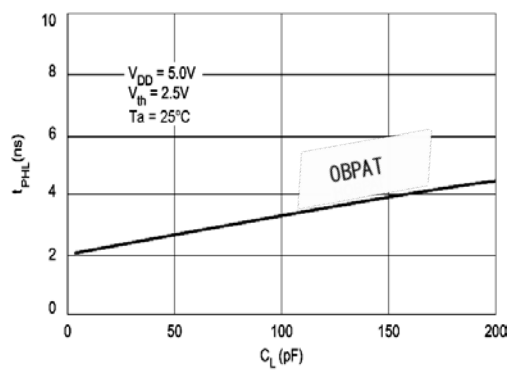
図A4-21 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)



図A4-22 出力遅延時間 (t_{PHL})
対 出力負荷容量 (C_L)

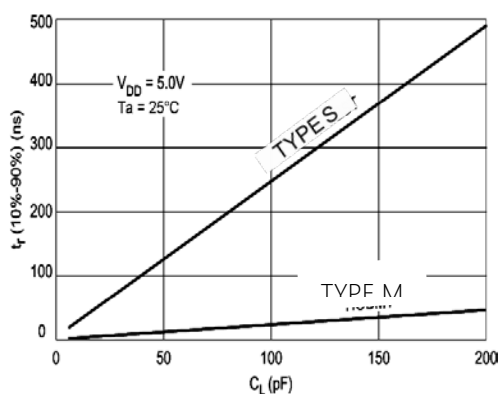


図A4-23 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)

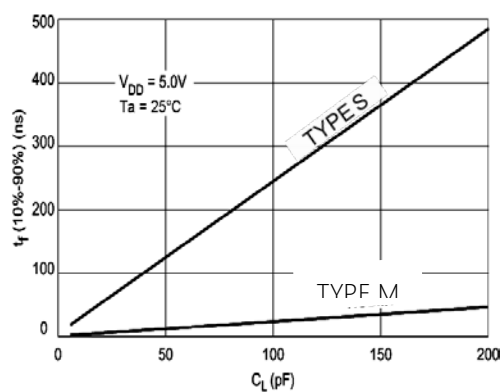


図A4-24 出力遅延時間 (t_{PHL})
対 出力負荷容量 (C_L)

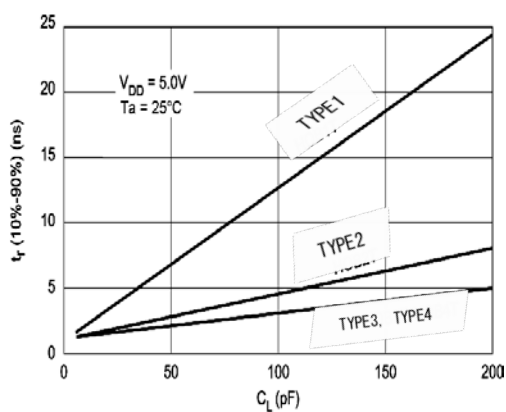
A4.1.5 出力バッファ立ち上がり／立ち下がり時間対出力負荷容量 (C_L)



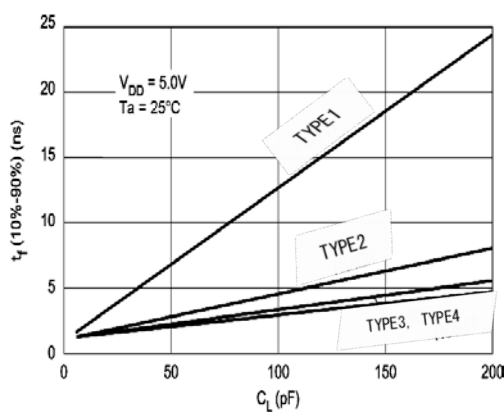
図A4-25 立ち上がり時間 (t_r) 対 出力負荷容量 (C_L)



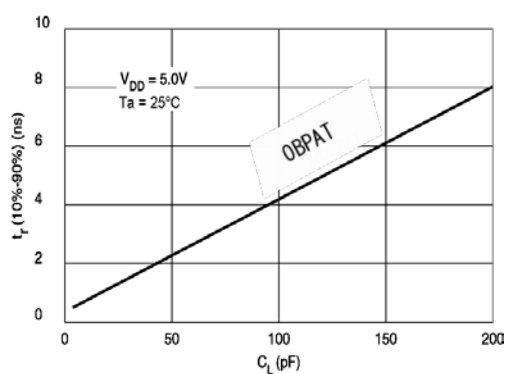
図A4-26 立ち下がり時間 (t_f) 対 出力負荷容量 (C_L)



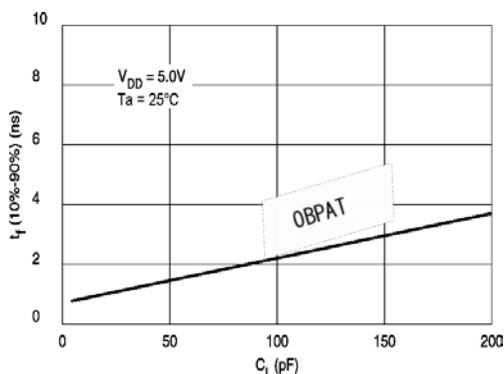
図A4-27 立ち上がり時間 (t_r) 対 出力負荷容量 (C_L)



図A4-28 立ち下がり時間 (t_f) 対 出力負荷容量 (C_L)



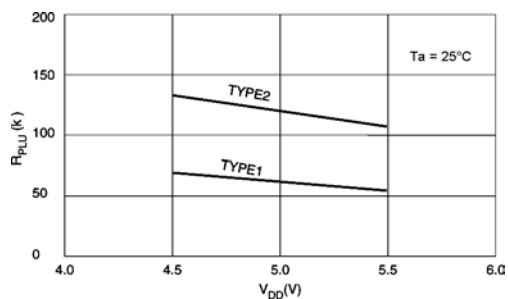
図A4-29 立ち上がり時間 (t_r) 対 出力負荷容量 (C_L)



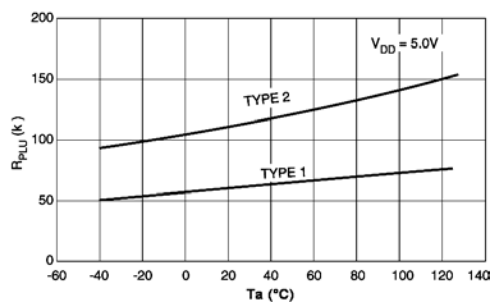
図A4-30 立ち下がり時間 (t_f) 対 出力負荷容量 (C_L)

A4.1.6 プルアップ／プルダウン抵抗

- プルアップ特性

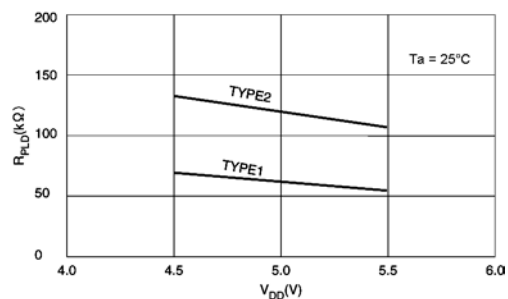


図A4-31 プルアップ抵抗
電源電圧依存性

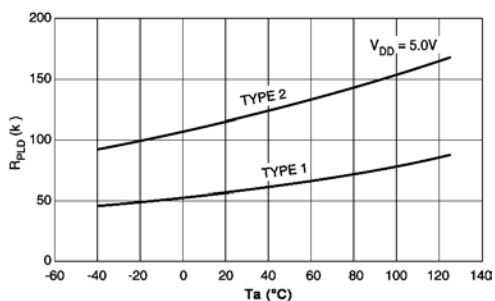


図A4-32 プルアップ抵抗
周囲温度依存性

- プルダウン特性



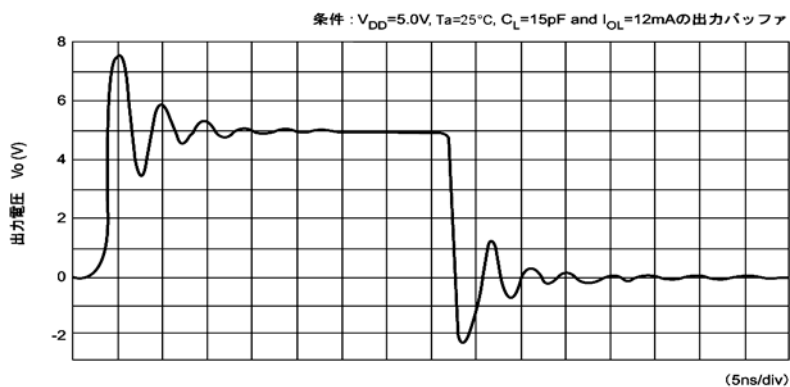
図A4-33 プルダウン抵抗
電源電圧依存性



図A4-34 プルダウン抵抗
周囲温度依存性

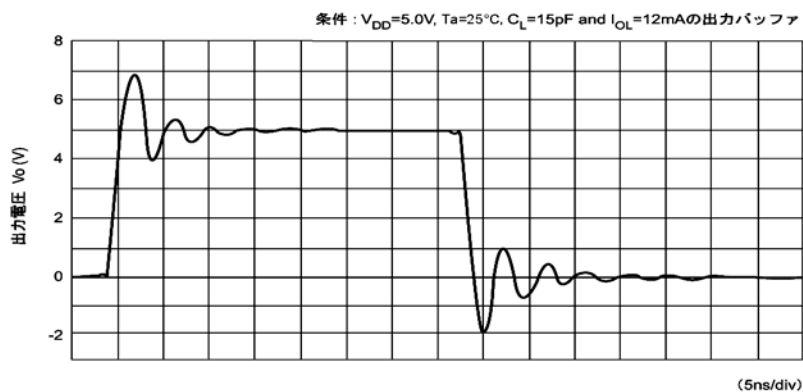
A4.1.7 出力波形

- High speed Type の出力バッファの出力波形 (OB3AT)



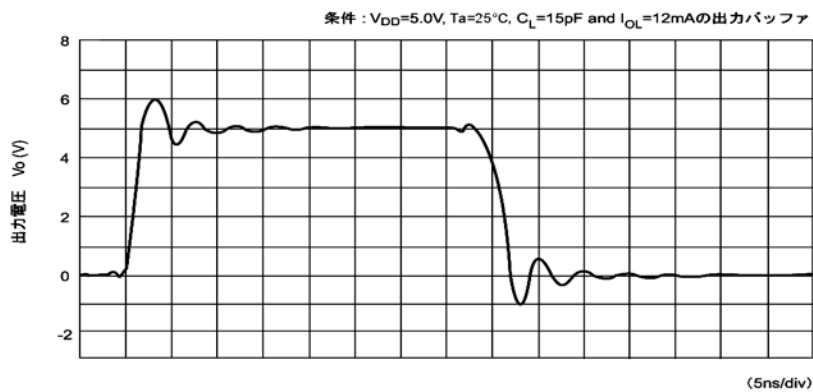
図A4-35

- Normal Type の出力バッファの出力波形 (OB3T)



図A4-36

- Low Noise Type の出力バッファの出力波形 (OB3BT)



図A4-37

A4.2 3.3V 動作時

A4.2.1 出力電流特性 (3.3V±0.3V)

表 A4-2 出力電流特性 (3.3V±0.3V)

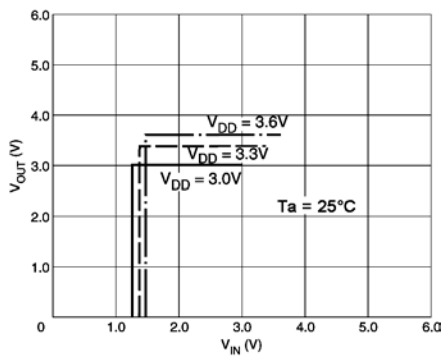
TYPE 番号	出力電流	
	I_{OL} (mA)	I_{OH} (mA)
TYPE S	0.1	-0.1
TYPE M	1	-1
TYPE 1	2	-2
TYPE 2	6	-6
TYPE 3	10	-10

TYPE * の S、M、1~4 の英数字は、出力セル名の × × * × に記載されている数字を表わします。

例： OB3T → TYPE3 を表わします。

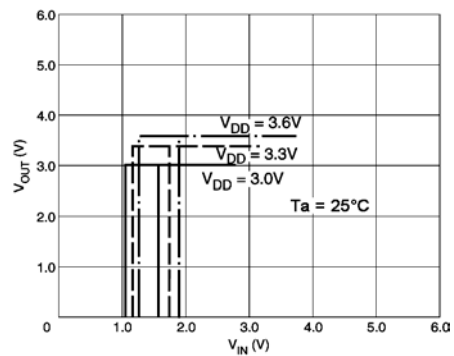
A4.2.2 入力バッファ特性 (3.3V±0.3V)

- 標準セル入力バッファ



図A4-38 入力特性
(LVTTTLレベル)

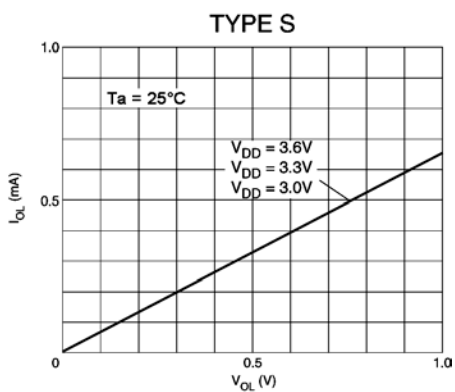
- シュミット入力バッファ



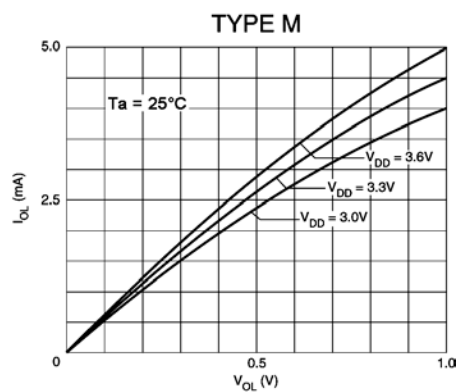
図A4-39 入力特性
(LVTTTLレベル)

A4.2.3 出力ドライバ特性

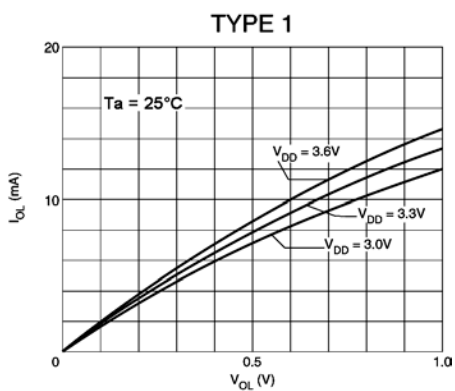
- 低レベル出力電流



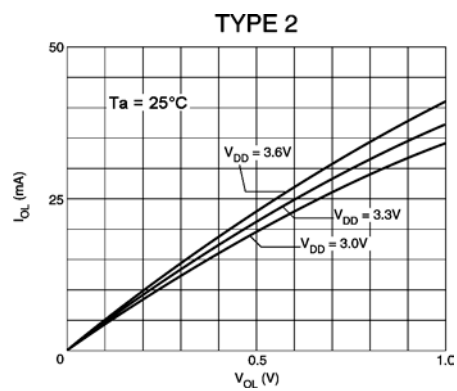
図A4-40



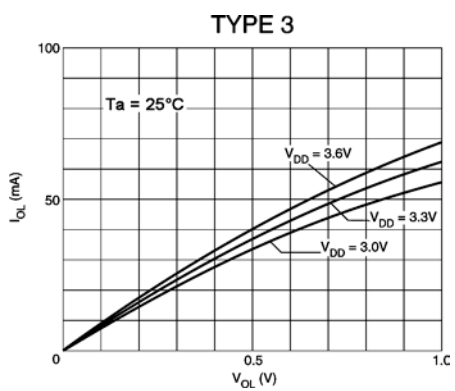
図A4-41



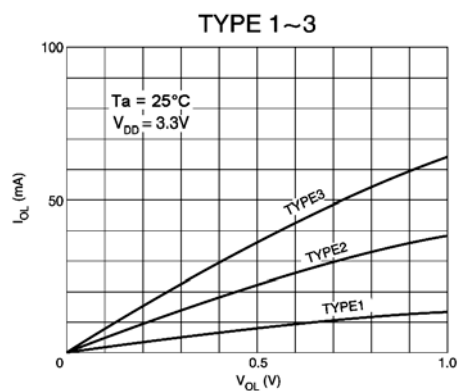
図A4-42



図A4-43

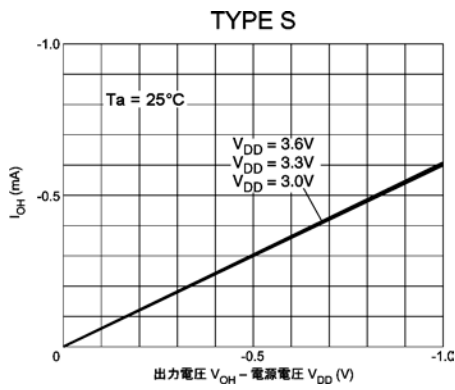


図A4-44

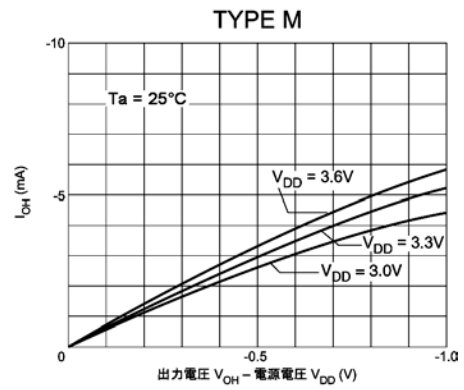


図A4-45

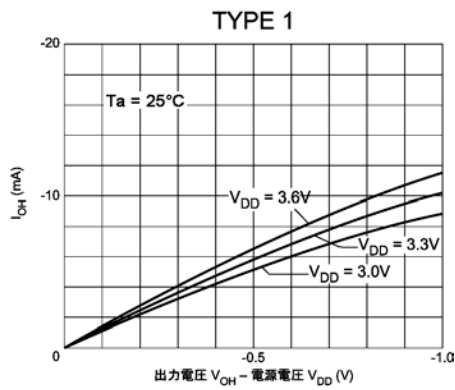
• 高レベル出力電流



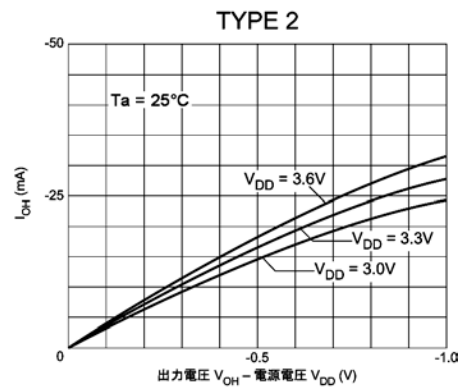
図A4-46



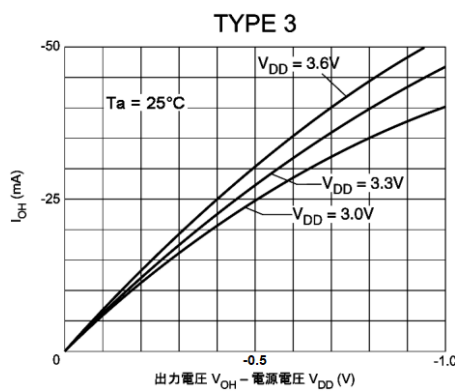
図A4-47



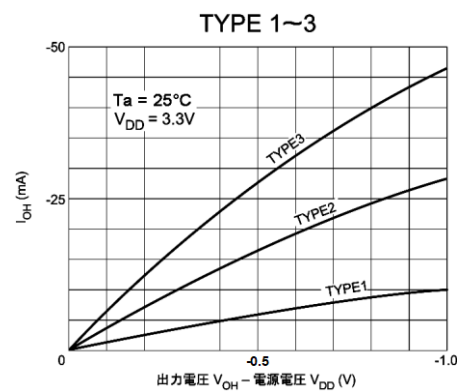
図A4-48



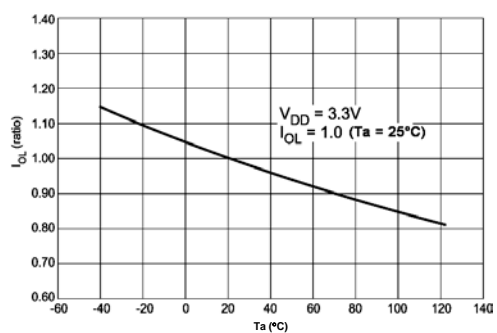
図A4-49



図A4-50

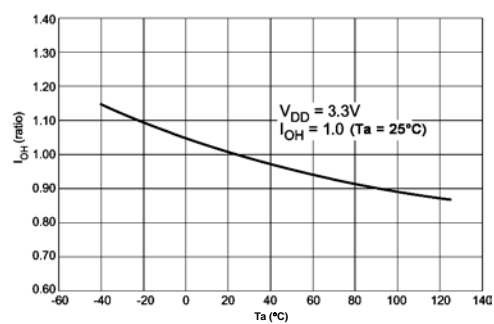


図A4-51



周囲温度Ta-出力電流IOL

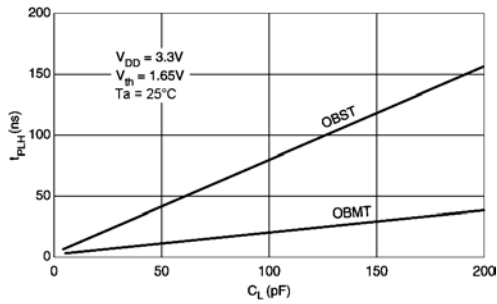
図A4-52



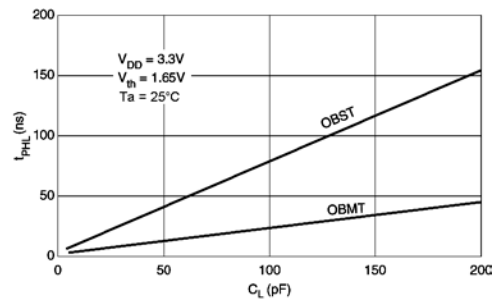
周囲温度Ta-出力電流IOH

図A4-53

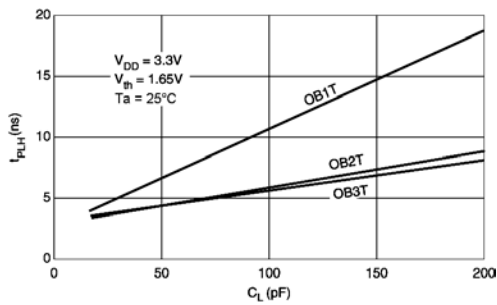
A4.2.4 出力遅延時間対出力負荷容量 (C_L)



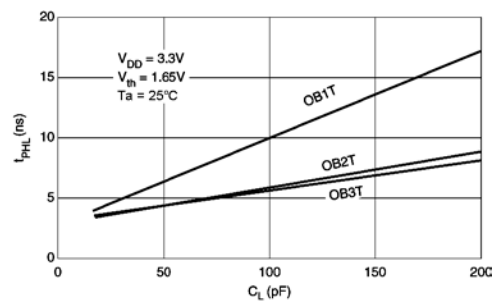
図A4-54 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)



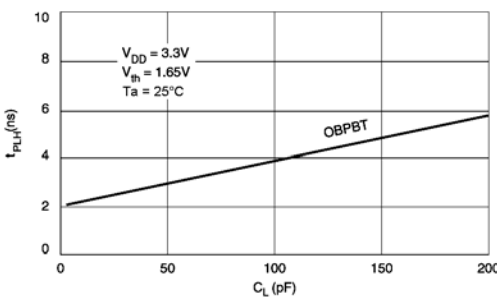
図A4-55 出力遅延時間 (t_{PHL})
対 出力負荷容量 (C_L)



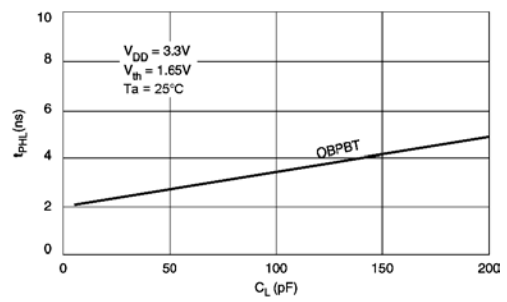
図A4-56 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)



図A4-57 出力遅延時間 (t_{PHL})
対 出力負荷容量 (C_L)

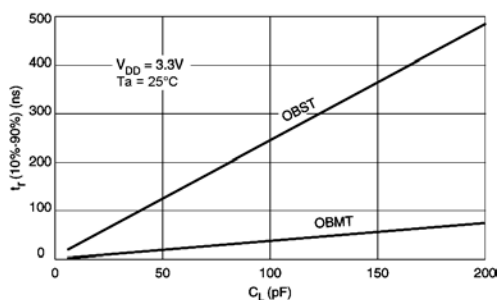


図A4-58 出力遅延時間 (t_{PLH})
対 出力負荷容量 (C_L)

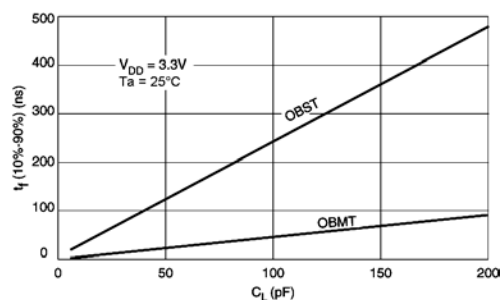


図A4-59 出力遅延時間 (t_{PHL})
対出力負荷容量 (C_L)

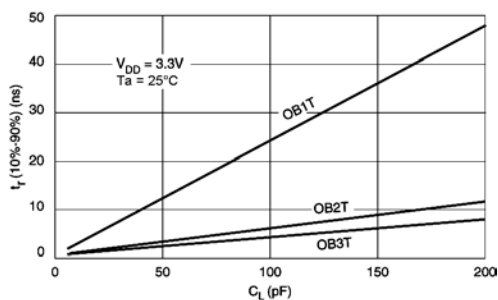
A4.2.5 出力バッファ立ち上がり／立ち下がり時間対出力負荷容量 (CL)



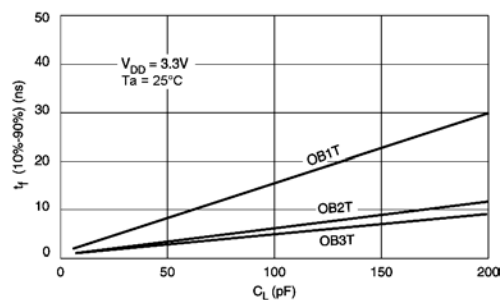
図A4-60 立ち上がり時間(t_r)
対 出力負荷容量(C_L)



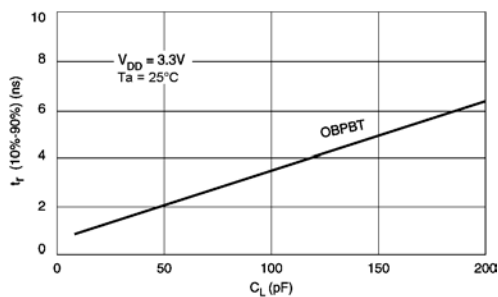
図A4-61 立ち下がり時間(t_f)
対 出力負荷容量(C_L)



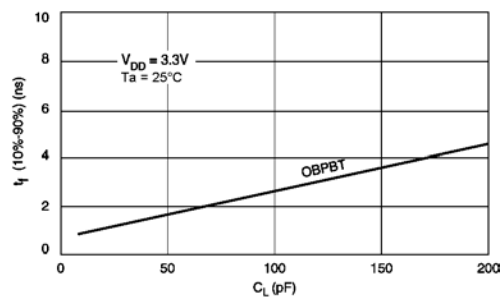
図A4-62 立ち上がり時間(t_r)
対 出力負荷容量(C_L)



図A4-63 立ち下がり時間(t_f)
対 出力負荷容量(C_L)



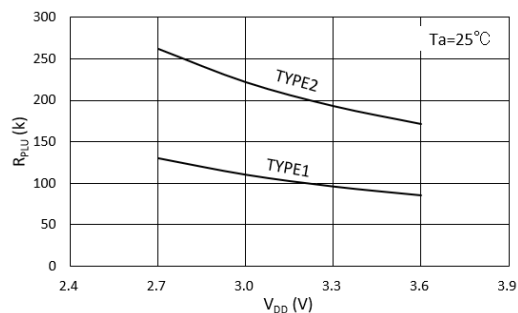
図A4-64 立ち上がり時間(t_r)
対 出力負荷容量(C_L)



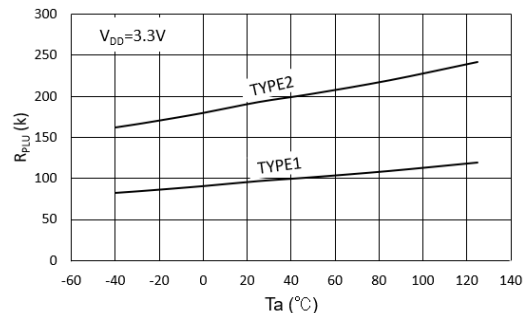
図A4-65 立ち下がり時間(t_f)
対 出力負荷容量(C_L)

A4.2.6 プルアップ／プルダウン抵抗

- プルアップ特性

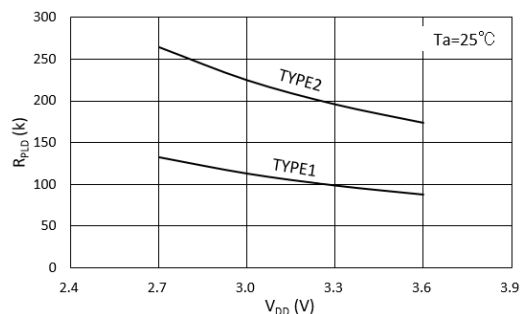


図A4-66 プルアップ抵抗
電源電圧依存性

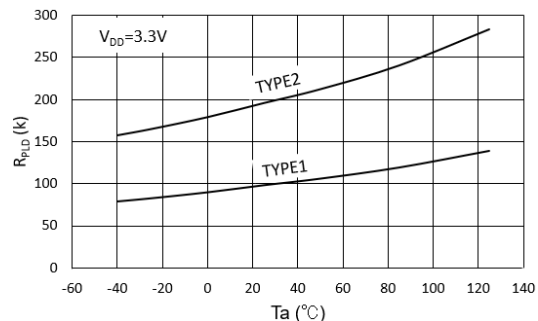


図A4-67 プルアップ抵抗
周囲温度依存性

- プルダウン特性



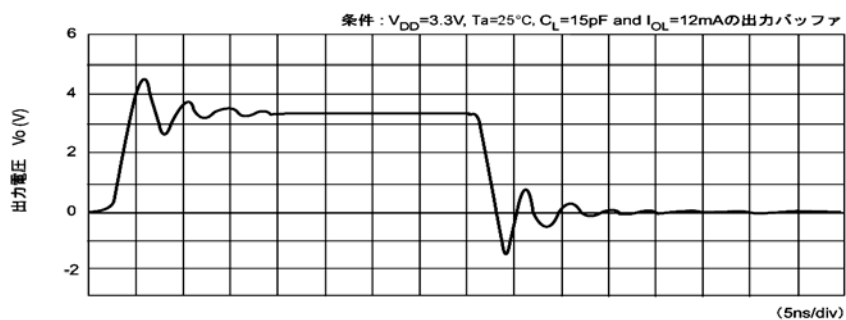
図A4-68 プルダウン抵抗
電源電圧依存性



図A4-69 プルダウン抵抗
周囲温度依存性

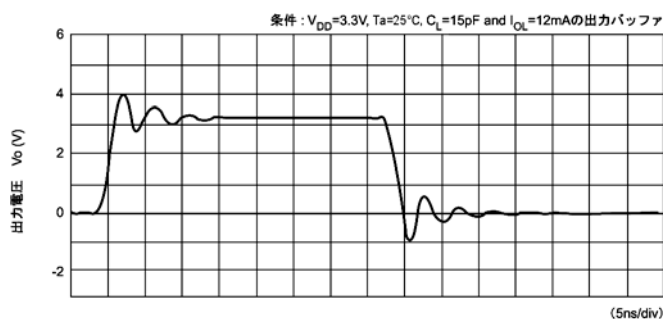
A4.2.7 出力波形

- High speed Type のバッファの出力波形 (OB3AT)



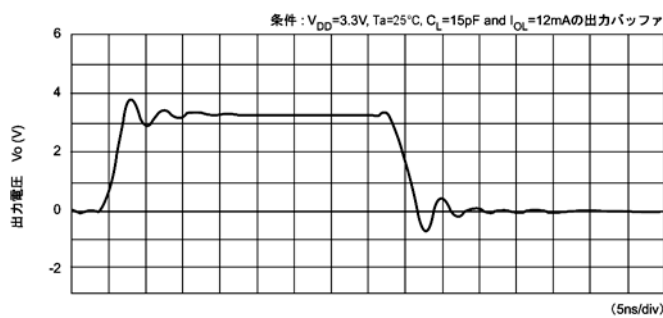
図A4-70

- Normal Type のバッファの出力波形 (OB3T)



図A4-71

- Low Noise Type のバッファの出力波形 (OB3BT)



図A4-72

A4.3 シュミット入力バッファの電氣的特性について

図 A4-73 は、シュミット入力バッファの電氣的特性を表したものです。VT+とVT-は、それぞれの min. と max. の規格内にあり、個体や環境条件によって異なります。また、その差は、VH の min. 以上あります。

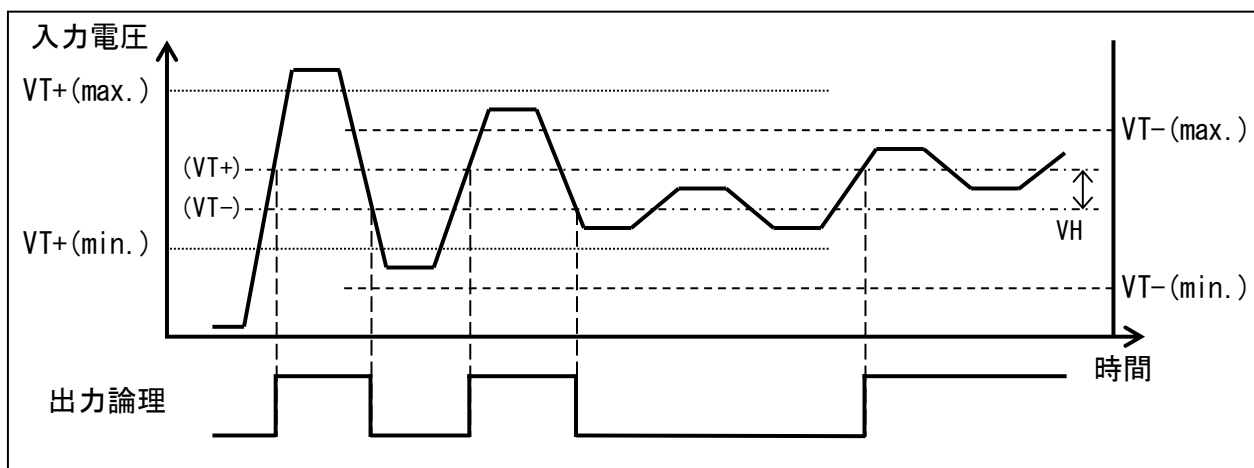


図 A4-73 シュミット入力バッファの入力電圧と論理値の関係

- VT+ : 入力信号が Low から High へ変化する場合に High と判断する電圧
- VT- : 入力信号が High から Low へ変化する場合に Low と判断する電圧
- VH : High (または Low) と判断された入力信号が次に Low (または High) と判断されるために必要な電圧差

改訂履歴表

付-1

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.2	2013/7	全ページ	新規	電気的特性部分限定版
Rev. 1.3	2014/5	全ページ	改訂	情報の充実による全面改訂
Rev. 1.4	2015/4	全ページ	改訂	S1X50000/S1L50000 シリーズ改訂内容との整合のための全面改訂
Rev. 1.5	2015/12	全ページ	改訂	第9章 PLL 追記
Rev. 1.6	2016/4	付録	改訂	A2 RTL 設計上の注意 VHDL 追記 A3.1 スキャン (SCAN) 誤記訂正 A5.1.4、A5.1.5 誤記訂正
Rev. 1.7	2016/10	第5章	改訂	5.1.1 図5-1 常時発振タイマ [°] 、図5-2 間欠発振タイマ [°] 削除
Rev. 1.8	2017/7	第1章 第8章	改訂	1.2.1 表1-1-1 S1L5V000 シリーズ マスター一覧に S1L5V48* 追加 1.4 表1-7 静的消費電流に S1L5V48* 追加 8.3 非同期 RAM 遅延パラメータ値、8.6 同期 RAM 遅延パラメータ値を追記
Rev. 1.9	2018/3	第1章	改訂	S1L5V48*の“開発中”を削除し、正式リリース A5.3 シュミット入力バッファの電気的特性について 追加
Rev. 2.0	2019/4	付録	改訂	A5.2.6 3.3V 時のプルアップ、プルダウンの電圧特性、温度特性のグラフを追加
Rev. 3.0	2020/7	全ページ	改訂	全体構成変更
Rev. 3.1	2020/9	全ページ	改訂	誤記訂正
Rev. 3.2	2021/3	P.111	改訂	10.2 消費電力制限の修正

セイコーエプソン株式会社

営業本部 デバイス営業部

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

ドキュメントコード : 412470113

2013年6月 作成

2021年3月 改訂