

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

**S1C17F57**

テクニカルマニュアル

## 評価ボード・キット、開発ツールご使用上の注意事項

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報(本資料、仕様書、データシート、マニュアル、弊社ホームページなど)をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いいたします。
5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般的な電子機器(事務機器、通信機器、計測機器、家電製品など)および本資料に個別に掲載されている用途に使用されることを意図して設計、開発、製造されています(一般用途)。特別な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある以下の特定用途に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途に使用されることを推奨いたします。もし一般用途以外の用途で弊社製品のご使用およびご購入を希望される場合、弊社はおお客様の特定用途に弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。

### 【特定用途】

宇宙機器(人工衛星・ロケットなど)/輸送車両並びにその制御機器(自動車・航空機・列車・船舶など)  
医療機器(本資料に個別に掲載されている用途を除く)/海底中継機器/発電所制御機器/防災・防犯装置  
交通用機器/金融関連機器  
上記と同等の信頼性を必要とする用途

8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則(EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害(直接・間接を問わず)に関して、弊社は一切その責任を負いかねます。
10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

(Rev. J1.0, 2021.9)

## - 目次 -

<b>1 概要</b> .....	<b>1-1</b>
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図.....	1-4
1.3.2 端子説明.....	1-5
<b>2 CPU</b> .....	<b>2-1</b>
2.1 S1C17コアの特長.....	2-1
2.2 CPUレジスタ.....	2-2
2.3 命令セット.....	2-2
2.4 PSRの読み出し.....	2-5
2.5 プロセッサ情報.....	2-6
<b>3 メモリマップ、バス制御</b> .....	<b>3-1</b>
3.1 バスサイクル.....	3-1
3.1.1 アクセスサイズ制限.....	3-2
3.1.2 命令実行サイクルの制限.....	3-2
3.2 Flashエリア.....	3-2
3.2.1 内蔵Flashメモリ.....	3-2
3.2.2 Flashプログラミング.....	3-2
3.2.3 プロテクトビット.....	3-2
3.2.4 Flashメモリリードウェイト数の設定.....	3-3
FLASHC Read Wait Control Register (FLASHC_WAIT).....	3-3
3.3 内蔵RAMエリア.....	3-3
3.3.1 内蔵RAM.....	3-3
IRAM Size Register (MISC_IRAMSZ).....	3-4
3.4 内蔵周辺回路エリア.....	3-4
3.4.1 内蔵周辺回路エリア1 (0x4000~).....	3-4
3.4.2 内蔵周辺回路エリア2 (0x5000~).....	3-4
3.5 S1C17コアI/O予約エリア.....	3-5
<b>4 電源</b> .....	<b>4-1</b>
4.1 電源電圧 (VDD).....	4-1
4.2 Flashプログラミング用電源電圧 (VPP).....	4-1
4.3 内部電源回路.....	4-1
4.3.1 V <sub>D1</sub> Regulator, V <sub>osc</sub> Regulator.....	4-2
4.3.2 EPD系電源回路.....	4-2
4.3.3 EPDコントラストの調整.....	4-4
4.3.4 重負荷保護モード.....	4-4
4.3.5 内蔵電源回路の制御手順.....	4-4
4.4 制御レジスタ詳細.....	4-5
EPD Doubler Clock Control Register (EPD_DCLK).....	4-5
EPD Booster Clock Control Register (EPD_BCLK).....	4-6
V <sub>D1</sub> Control Register (VD1_CTL).....	4-7
EPD Power Control Register 0 (EPD_PWR0).....	4-8
EPD Power Control Register 1 (EPD_PWR1).....	4-9
<b>5 イニシャルリセット</b> .....	<b>5-1</b>
5.1 イニシャルリセット要因.....	5-1
5.1.1 #RESET端子.....	5-1
5.1.2 P0ポートキー入力リセット.....	5-1

5.1.3	ウォッチドッグタイマによるリセット .....	5-1
5.2	イニシャルリセットシーケンス .....	5-2
5.3	イニシャルリセット時の初期設定 .....	5-2
<b>6</b>	<b>割り込みコントローラ (ITC) .....</b>	<b>6-1</b>
6.1	ITCモジュールの概要 .....	6-1
6.2	ベクタテーブル .....	6-2
	Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH) .....	6-3
6.3	マスク可能割り込みの制御 .....	6-3
6.3.1	周辺モジュールの割り込み制御ビット .....	6-3
6.3.2	ITCの割り込み要求処理 .....	6-3
6.3.3	S1C17コアの割り込み処理 .....	6-4
6.4	NMI .....	6-5
6.5	ソフトウェア割り込み .....	6-5
6.6	HALT, SLEEPモードの解除 .....	6-5
6.7	制御レジスタ詳細 .....	6-5
	Interrupt Level Setup Register x (ITC_LVx) .....	6-6
<b>7</b>	<b>クロックジェネレータ (CLG) .....</b>	<b>7-1</b>
7.1	CLGモジュールの概要 .....	7-1
7.2	CLG入出力端子 .....	7-2
7.3	発振回路 .....	7-2
7.3.1	OSC3B発振回路 .....	7-2
7.3.2	OSC3A発振回路 .....	7-4
7.3.3	OSC1発振回路 .....	7-4
7.4	システムクロックの切り換え .....	7-7
7.5	CPUコアクロック (CCLK) の制御 .....	7-8
7.6	周辺モジュールクロック (PCLK) の制御 .....	7-8
7.7	クロック外部出力 (FOUTA, FOUTB) .....	7-9
7.8	制御レジスタ詳細 .....	7-10
	Clock Source Select Register (CLG_SRC) .....	7-11
	Oscillation Control Register (CLG_CTL) .....	7-12
	FOUTA Control Register (CLG_FOUTA) .....	7-13
	FOUTB Control Register (CLG_FOUTB) .....	7-14
	Oscillation Stabilization Wait Control Register (CLG_WAIT) .....	7-15
	PCLK Control Register (CLG_PCLK) .....	7-16
	CCLK Control Register (CLG_CCLK) .....	7-18
<b>8</b>	<b>論理緩急 (TR) .....</b>	<b>8-1</b>
8.1	TRモジュールの概要 .....	8-1
8.2	TR出力端子 .....	8-1
8.3	論理緩急制御 .....	8-1
8.3.1	調整値の設定 .....	8-1
8.3.2	論理緩急の実行 .....	8-2
8.3.3	論理緩急クロックの外部モニタ .....	8-2
8.4	制御レジスタ詳細 .....	8-3
	TR Control Register (TR_CTL) .....	8-3
	TR Value Register (TR_VAL) .....	8-3
<b>9</b>	<b>リアルタイムクロック (RTC) .....</b>	<b>9-1</b>
9.1	RTCの概要 .....	9-1
9.2	RTCカウンタ .....	9-1
9.3	RTCの制御 .....	9-3
9.3.1	動作クロックの制御 .....	9-3

9.3.2	24時間制/12時間制の選択 .....	9-3
9.3.3	RTCのスタート/ストップ .....	9-3
9.3.4	カウンタの設定 .....	9-3
9.3.5	カウンタの読み出し .....	9-4
9.4	RTC割り込み .....	9-5
9.5	制御レジスタ詳細 .....	9-5
RTC Control Register (RTC_CTL) .....	9-6	
RTC Interrupt Enable Register (RTC_IEN) .....	9-7	
RTC Interrupt Flag Register (RTC_IFLG) .....	9-8	
RTC Minute/Second Counter Register (RTC_MS) .....	9-9	
RTC Hour Counter Register (RTC_H) .....	9-9	
<b>10</b>	<b>入出力ポート (P) .....</b>	<b>10-1</b>
10.1	Pモジュールの概要 .....	10-1
10.2	入出力端子機能の選択 (ポートMUX) .....	10-2
10.3	データの入出力 .....	10-2
10.4	プルアップ制御 .....	10-3
10.5	ポート入力割り込み .....	10-4
10.6	P0、P2ポートのチャタリング除去機能 .....	10-4
10.7	P0ポートキー入力リセット .....	10-5
10.8	制御レジスタ詳細 .....	10-5
Px Port Input Data Registers (Px_IN) .....	10-6	
Px Port Output Data Registers (Px_OUT) .....	10-6	
Px Port Output Enable Registers (Px_OEN) .....	10-7	
Px Port Pull-up Control Registers (Px_PU) .....	10-7	
Px Port Interrupt Mask Registers (Px_IMSK) .....	10-8	
Px Port Interrupt Edge Select Registers (Px_EDGE) .....	10-8	
Px Port Interrupt Flag Registers (Px_IFLG) .....	10-8	
Px Port Chattering Filter Control Registers (Px_CHAT) .....	10-9	
P0 Port Key-Entry Reset Configuration Register (P0_KRST) .....	10-10	
Px Port Input Enable Registers (Px_IEN) .....	10-10	
P0[3:0] Port Function Select Register (P00_03PMUX) .....	10-11	
P0[7:4] Port Function Select Register (P04_07PMUX) .....	10-12	
P1[3:0] Port Function Select Register (P10_13PMUX) .....	10-13	
P1[7:4] Port Function Select Register (P14_17PMUX) .....	10-14	
P2[3:0] Port Function Select Register (P20_23PMUX) .....	10-15	
P2[7:4] Port Function Select Register (P24_27PMUX) .....	10-16	
P3[3:0] Port Function Select Register (P30_33PMUX) .....	10-17	
P34 Port Function Select Register (P34PMUX) .....	10-18	
<b>11</b>	<b>8ビットタイマ (T8) .....</b>	<b>11-1</b>
11.1	T8モジュールの概要 .....	11-1
11.2	カウントクロック .....	11-2
11.3	カウントモード .....	11-2
11.4	リロードデータレジスタとアンダーフロー周期 .....	11-2
11.5	タイマのリセット .....	11-3
11.6	タイマRUN/STOP制御 .....	11-3
11.7	T8出力信号 .....	11-4
11.8	T8割り込み .....	11-4
11.9	制御レジスタ詳細 .....	11-5
T8 Ch.x Count Clock Select Registers (T8_CLKx) .....	11-5	
T8 Ch.x Reload Data Registers (T8_TRx) .....	11-5	
T8 Ch.x Counter Data Registers (T8_TCx) .....	11-6	
T8 Ch.x Control Registers (T8_CTLx) .....	11-6	
T8 Ch.x Interrupt Control Registers (T8_INTx) .....	11-7	

<b>12 16ビットPWMタイマ (T16A2)</b> .....	<b>12-1</b>
12.1 T16A2モジュールの概要 .....	12-1
12.2 T16A2入出力端子 .....	12-2
12.3 カウントクロック .....	12-2
12.4 T16A2の動作モード .....	12-4
12.4.1 コンパレータモードとキャプチャモード .....	12-4
12.4.2 リピートモードとワンショットモード .....	12-5
12.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード .....	12-6
12.4.4 ノーマルクロックモードとハーフクロックモード .....	12-7
12.5 カウンタの制御 .....	12-7
12.5.1 カウンタのリセット .....	12-7
12.5.2 カウンタRUN/STOP制御 .....	12-7
12.5.3 カウンタ値の読み出し .....	12-8
12.5.4 カウント動作と割り込みタイミング .....	12-8
12.6 タイマ出力の制御 .....	12-9
12.7 T16A2割り込み .....	12-11
12.8 制御レジスタ詳細 .....	12-12
T16A Clock Control Registers Ch.x (T16A_CLKx) .....	12-13
T16A Counter Ch.x Control Registers (T16A_CTLx) .....	12-14
T16A Counter Ch.x Data Registers (T16A_TCx) .....	12-15
T16A Comparator/Capture Ch.x Control Registers (T16A_CCCTLx) .....	12-16
T16A Comparator/Capture Ch.x A Data Registers (T16A_CCAx) .....	12-18
T16A Comparator/Capture Ch.x B Data Registers (T16A_CCBx) .....	12-18
T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A_IENx) .....	12-19
T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A_IFLGx) .....	12-20
<b>13 計時タイマ (CT)</b> .....	<b>13-1</b>
13.1 CTモジュールの概要 .....	13-1
13.2 動作クロック .....	13-1
13.3 タイマのリセット .....	13-1
13.4 タイマRUN/STOP制御 .....	13-2
13.5 CT割り込み .....	13-3
13.6 制御レジスタ詳細 .....	13-3
Clock Timer Control Register (CT_CTL) .....	13-3
Clock Timer Counter Register (CT_CNT) .....	13-4
Clock Timer Interrupt Mask Register (CT_IMSK) .....	13-4
Clock Timer Interrupt Flag Register (CT_IFLG) .....	13-5
<b>14 ストップウォッチタイマ (SWT)</b> .....	<b>14-1</b>
14.1 SWTモジュールの概要 .....	14-1
14.2 動作クロック .....	14-1
14.3 BCDカウンタ .....	14-1
14.4 タイマのリセット .....	14-2
14.5 タイマRUN/STOP制御 .....	14-2
14.6 SWT割り込み .....	14-3
14.7 制御レジスタ詳細 .....	14-4
Stopwatch Timer Control Register (SWT_CTL) .....	14-4
Stopwatch Timer BCD Counter Register (SWT_BCNT) .....	14-5
Stopwatch Timer Interrupt Mask Register (SWT_IMSK) .....	14-5
Stopwatch Timer Interrupt Flag Register (SWT_IFLG) .....	14-5
<b>15 ウォッチドッグタイマ (WDT)</b> .....	<b>15-1</b>
15.1 WDTモジュールの概要 .....	15-1
15.2 動作クロック .....	15-1

15.3	WDTの制御 .....	15-1
15.3.1	NMI/リセットモードの選択 .....	15-1
15.3.2	WDTのRUN/STOP制御 .....	15-2
15.3.3	WDTのリセット .....	15-2
15.3.4	HALT, SLEEPモード時の動作 .....	15-2
15.4	制御レジスタ詳細 .....	15-2
	Watchdog Timer Control Register (WDT_CTL) .....	15-2
	Watchdog Timer Status Register (WDT_ST) .....	15-3
<b>16</b>	<b>UART .....</b>	<b>16-1</b>
16.1	UARTモジュールの概要 .....	16-1
16.2	UART入出力端子 .....	16-2
16.3	ボーレートジェネレータ .....	16-2
16.4	転送データの設定 .....	16-4
16.5	データ送受信の制御 .....	16-5
16.6	受信エラー .....	16-8
16.7	UART割り込み .....	16-8
16.8	IrDAインタフェース .....	16-9
16.9	制御レジスタ詳細 .....	16-10
	UART Ch.x Status Register (UART_STx) .....	16-11
	UART Ch.x Transmit Data Register (UART_TXDx) .....	16-12
	UART Ch.x Receive Data Register (UART_RXDx) .....	16-13
	UART Ch.x Mode Register (UART_MODx) .....	16-13
	UART Ch.x Control Register (UART_CTLx) .....	16-14
	UART Ch.x Expansion Register (UART_EXPx) .....	16-15
	UART Ch.x Baud Rate Register (UART_BRx) .....	16-15
	UART Ch.x Fine Mode Register (UART_FMDx) .....	16-15
	UART Ch.x Clock Control Register (UART_CLKx) .....	16-16
<b>17</b>	<b>SPI .....</b>	<b>17-1</b>
17.1	SPIモジュールの概要 .....	17-1
17.2	SPI入出力端子 .....	17-1
17.3	SPIクロック .....	17-2
17.4	データ転送条件の設定 .....	17-2
17.5	データ送受信の制御 .....	17-3
17.6	SPI割り込み .....	17-5
17.7	制御レジスタ詳細 .....	17-6
	SPI Ch.x Status Register (SPI_STx) .....	17-6
	SPI Ch.x Transmit Data Register (SPI_TXDx) .....	17-7
	SPI Ch.x Receive Data Register (SPI_RXDx) .....	17-7
	SPI Ch.x Control Register (SPI_CTLx) .....	17-8
<b>18</b>	<b>I<sup>2</sup>Cマスタ (I<sup>2</sup>CM) .....</b>	<b>18-1</b>
18.1	I <sup>2</sup> CMモジュールの概要 .....	18-1
18.2	I <sup>2</sup> CM入出力端子 .....	18-1
18.3	同期クロック .....	18-2
18.4	データ転送前の設定項目 .....	18-2
18.5	データ送受信の制御 .....	18-2
18.6	I <sup>2</sup> CM割り込み .....	18-6
18.7	制御レジスタ詳細 .....	18-7
	I <sup>2</sup> C Master Enable Register (I <sup>2</sup> CM_EN) .....	18-8
	I <sup>2</sup> C Master Control Register (I <sup>2</sup> CM_CTL) .....	18-8
	I <sup>2</sup> C Master Data Register (I <sup>2</sup> CM_DAT) .....	18-9
	I <sup>2</sup> C Master Interrupt Control Register (I <sup>2</sup> CM_ICTL) .....	18-10

<b>19 I<sup>2</sup>Cスレーブ (I2CS)</b>	<b>19-1</b>
19.1 I2CSモジュールの概要	19-1
19.2 I2CS入出力端子	19-1
19.3 動作クロック	19-2
19.4 I2CSの初期設定	19-2
19.4.1 リセット	19-2
19.4.2 スレーブアドレスの設定	19-3
19.4.3 オプション機能	19-3
19.5 データ送受信の制御	19-3
19.6 I2CS割り込み	19-8
19.7 制御レジスタ詳細	19-9
I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS)	19-10
I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV)	19-10
I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS)	19-11
I <sup>2</sup> C Slave Control Register (I2CS_CTL)	19-11
I <sup>2</sup> C Slave Status Register (I2CS_STAT)	19-13
I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT)	19-15
I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL)	19-16
<b>20 EPDコントローラ/ドライバ (EPD)</b>	<b>20-1</b>
20.1 EPDモジュールの概要	20-1
20.2 EPD出力端子	20-1
20.3 EPDドライバ用電源	20-2
20.4 EPDクロック	20-2
20.5 動作モード	20-2
20.6 表示波形メモリ	20-3
20.7 表示データメモリ	20-4
20.8 表示の制御 (波形モード)	20-4
20.9 表示の制御 (ダイレクトモード)	20-6
20.10 外部ドライバ用出力	20-7
20.11 EPD割り込み	20-7
20.12 制御レジスタ詳細	20-7
EPD Timing Clock Control Register (EPD_TCLK)	20-8
EPD Display Control Register (EPD_CTL)	20-9
EPD Interrupt Control Register (EPD_INT)	20-10
EPD Top/Back Plane Data Register (EPD_PLNDAT)	20-10
EPD Segment Data Registers 0-3 (EPD_SEGDAT0-EPD_SEGDAT3)	20-11
EPD Waveform Timing Set x Registers (EPD_WAVEx)	20-12
<b>21 サウンドジェネレータ (SND)</b>	<b>21-1</b>
21.1 SNDモジュールの概要	21-1
21.2 SND出力端子	21-1
21.3 SND動作クロック	21-1
21.4 ブザー周波数と音量の設定	21-2
21.4.1 ブザー周波数	21-2
21.4.2 音量	21-2
21.5 ブザーモードと出力制御	21-3
21.5.1 ブザーモードの選択	21-3
21.5.2 ノーマルモードの出力制御	21-3
21.5.3 1ショットモードの出力制御	21-3
21.5.4 エンベロープモードの出力制御	21-4
21.6 制御レジスタ詳細	21-5
SND Clock Control Register (SND_CLK)	21-5



SND Control Register (SND_CTL) .....	21-5
Buzzer Frequency Control Register (SND_BZFQ).....	21-7
Buzzer Duty Ratio Control Register (SND_BZDT) .....	21-7
<b>22 R/F変換器 (RFC) .....</b>	<b>22-1</b>
22.1 RFCモジュールの概要 .....	22-1
22.2 RFC入出力端子 .....	22-2
22.3 動作クロック .....	22-2
22.4 動作モード .....	22-3
22.4.1 発振モード .....	22-3
22.4.2 外部クロック入力モード (イベントカウンタモード) .....	22-4
22.4.3 CR発振クロック周波数測定用機能 .....	22-4
22.5 RFCカウンタ .....	22-5
22.6 変換動作 .....	22-5
22.6.1 初期設定 .....	22-5
22.6.2 基準発振の制御 .....	22-6
22.6.3 センサ発振の制御 .....	22-7
22.6.4 強制終了 .....	22-7
22.6.5 変換誤差について .....	22-7
22.7 RFC割り込み .....	22-8
22.8 制御レジスタ詳細 .....	22-9
RFC Clock Control Register (RFC_CLK) .....	22-9
RFC Control Register (RFC_CTL).....	22-10
RFC Oscillation Trigger Register (RFC_TRG) .....	22-11
RFC Measurement Counter Low and High Registers (RFC_MCL, RFC_MCH) .....	22-12
RFC Time Base Counter Low and High Registers (RFC_TCL, RFC_TCH) .....	22-12
RFC Interrupt Mask Register (RFC_IMSK) .....	22-12
RFC Interrupt Flag Register (RFC_IFLG) .....	22-13
<b>23 温度検出回路 (TEM) .....</b>	<b>23-1</b>
23.1 TEMモジュールの概要 .....	23-1
23.2 動作クロック .....	23-2
23.3 TEMの制御 .....	23-3
23.4 TEM割り込み .....	23-5
23.5 制御レジスタ詳細 .....	23-5
TEM Clock Control Register (TEM_CLK).....	23-5
TEM Comparison Time Setting Register (TEM_TIME) .....	23-6
TEM Control Register (TEM_CTL) .....	23-6
TEM Status Register (TEM_STAT) .....	23-7
TEM Conversion Result Register (TEM_RSLT).....	23-7
<b>24 電源電圧検出回路 (SVD) .....</b>	<b>24-1</b>
24.1 SVDモジュールの概要 .....	24-1
24.2 比較電圧の設定 .....	24-1
24.3 SVDの制御 .....	24-2
24.4 制御レジスタ詳細 .....	24-2
SVD Enable Register (SVD_EN).....	24-2
SVD Comparison Voltage Register (SVD_CMP).....	24-3
SVD Detection Result Register (SVD_RSLT) .....	24-3
<b>25 オンチップデバッグ (DBG) .....</b>	<b>25-1</b>
25.1 リソース要件とデバッグツール .....	25-1
25.2 デバッグブレイク時の動作状態 .....	25-1
25.3 追加デバッグ機能 .....	25-2
25.4 制御レジスタ詳細 .....	25-2

Debug Mode Control Register 1 (MISC_DMODE1).....	25-2	
Debug Mode Control Register 2 (MISC_DMODE2).....	25-3	
IRAM Size Select Register (MISC_IRAMSZ) .....	25-3	
Debug RAM Base Register (DBRAM).....	25-4	
Debug Control Register (DCR) .....	25-4	
Instruction Break Address Register 2 (IBAR2).....	25-5	
Instruction Break Address Register 3 (IBAR3).....	25-5	
Instruction Break Address Register 4 (IBAR4).....	25-6	
<b>26 乗除算器 (COPRO) .....</b>	<b>26-1</b>	
26.1 概要 .....	26-1	
26.2 動作モードと出力モード.....	26-1	
26.3 乗算 .....	26-2	
26.4 除算 .....	26-3	
26.5 積和演算.....	26-4	
26.6 演算結果の読み出し.....	26-6	
<b>27 電気的特性.....</b>	<b>27-1</b>	
27.1 絶対最大定格 .....	27-1	
27.2 推奨動作条件.....	27-1	
27.3 消費電流.....	27-2	
27.4 発振特性.....	27-4	
27.5 外部クロック入力特性 .....	27-5	
27.6 入出力端子特性 .....	27-5	
27.7 SPI特性 .....	27-6	
27.8 I <sup>2</sup> C特性 .....	27-7	
27.9 EPDドライバ特性.....	27-7	
27.10 R/F変換器特性 .....	27-11	
27.11 温度検出回路特性 .....	27-12	
27.12 SVD回路特性.....	27-13	
27.13 Flashメモリ特性.....	27-13	
<b>28 基本外部結線図 .....</b>	<b>28-1</b>	
<b>29 チップ.....</b>	<b>29-1</b>	
29.1 パッド/バンプ配置 .....	29-1	
29.2 金バンプ仕様.....	29-3	
<b>Appendix A I/Oレジスタ一覧 .....</b>	<b>AP-A-1</b>	
0x4100–0x4107, 0x506c	UART (with IrDA) Ch.0.....	AP-A-4
0x4240–0x4248	8-bit Timer Ch.0 .....	AP-A-5
0x4260–0x4268	8-bit Timer Ch.1 .....	AP-A-5
0x4306–0x4318	Interrupt Controller.....	AP-A-6
0x4320–0x4326	SPI Ch.0 .....	AP-A-6
0x4340–0x4346	I <sup>2</sup> C Master .....	AP-A-7
0x4360–0x436c	I <sup>2</sup> C Slave .....	AP-A-7
0x5000–0x5003	Clock Timer.....	AP-A-8
0x5020–0x5023	Stopwatch Timer.....	AP-A-8
0x5040–0x5041	Watchdog Timer .....	AP-A-8
0x5060–0x5081	Clock Generator.....	AP-A-8
0x5078–0x5079	Theoretical Regulation Circuit.....	AP-A-10
0x5100–0x5102	SVD Circuit.....	AP-A-10
0x5120	Power Generator.....	AP-A-10
0x506e, 0x5180–0x5182	Sound Generator .....	AP-A-10
0x506f, 0x51a0–0x51a3	Temperature Detection Circuit .....	AP-A-11

0x5200–0x52a7	P Port & Port MUX .....	AP-A-11
0x4020, 0x5322–0x532c	MISC Registers .....	AP-A-15
0x5067, 0x53a0–0x53ae	R/F Converter .....	AP-A-16
0x5068, 0x5400–0x540c	16-bit PWM Timer Ch.0 .....	AP-A-17
0x5069, 0x5420–0x542c	16-bit PWM Timer Ch.1 .....	AP-A-19
0x54b0	Flash Controller .....	AP-A-20
0x5070–0x5072, 0x5600–0x567e	EPD Controller/Driver .....	AP-A-20
0x56c0–0x56c8	Real-time Clock .....	AP-A-22
0xffff84–0xffffd0	S1C17 Core I/O .....	AP-A-22
<b>Appendix B パワーセーブ .....</b>		<b>AP-B-1</b>
B.1 クロック制御によるパワーセーブ .....		AP-B-1
B.2 電源制御によるパワーセーブ .....		AP-B-3
B.3 その他のパワーセーブ方法 .....		AP-B-3
<b>Appendix C 実装上の注意事項 .....</b>		<b>AP-C-1</b>
<b>Appendix D ノイズ対策 .....</b>		<b>AP-D-1</b>
<b>Appendix E 初期化ルーチン .....</b>		<b>AP-E-1</b>
<b>改訂履歴表</b>		

# 1 概要

## 1.1 特長

以下にS1C17F57の主な機能と特長を示します。

表1.1.1 特長

CPU	
CPUコア	EPSONオリジナル16ビットRISC CPUコア S1C17
乗除算器 (COPRO)	<ul style="list-style-type: none"> <li>• 16ビット × 16ビット乗算器</li> <li>• 16ビット × 16ビット + 32ビット積和演算器</li> <li>• 16ビット ÷ 16ビット除算器</li> </ul>
内蔵Flashメモリ	
容量	32Kバイト (命令/データ共用)
書き換え回数	3回
その他	<ul style="list-style-type: none"> <li>• 書き込み/読み出し保護機能</li> <li>• プログラミング用電源 (V<sub>PP</sub>) が必要</li> <li>• デバッグツールICDminiからのオンボード書き込みが可能</li> </ul>
内蔵RAM	
容量	2Kバイト
クロックジェネレータ	
システムクロックソース	3種類 (OSC3B/OSC3A/OSC1)
OSC3B発振回路	2M/1M/500kHz (typ.) 内蔵発振回路
OSC3A発振回路	4.2MHz (max.) 水晶発振回路/セラミック発振回路
OSC1B発振回路	32kHz (typ.) 内蔵発振回路
OSC1A発振回路	32.768kHz (typ.) 水晶発振回路
その他	<ul style="list-style-type: none"> <li>• 論理緩急による周波数調整</li> <li>• コアクロック周波数制御</li> <li>• 周辺モジュールクロック供給制御</li> </ul>
EPDコントローラ/ドライバ	
駆動出力数	セグメント出力: 64本 トッブプレーン出力: 2本 バックプレーン出力: 2本
駆動電圧	0V/15V (V <sub>SS</sub> /V <sub>EPD</sub> )
その他	<ul style="list-style-type: none"> <li>• 駆動電源回路内蔵</li> <li>• 表示データメモリ内蔵</li> <li>• 出力駆動波形をプログラム可能</li> <li>• 端子出力の直接制御が可能</li> </ul>
入出力ポート	
汎用入出力ポート数	最大29ビット (周辺回路の入出力と端子を共用)
その他	<ul style="list-style-type: none"> <li>• シュミット入力</li> <li>• プルアップ制御機能</li> <li>• ポート入力割り込み: 8ビット × 2チャンネル</li> </ul>
シリアルインタフェース	
SPI	1チャンネル
I <sup>2</sup> Cマスタ (I2CM) *1	1チャンネル
I <sup>2</sup> Cスレーブ (I2CS) *1	1チャンネル
UART	1チャンネル (IrDA1.0対応)
タイマ/カウンタ	
8ビットタイマ (T8)	2チャンネル (SPI Ch.0, I2CMのクロックを生成)
16ビットPWMタイマ (T16A2)	2チャンネル (PWM出力, イベントカウンタ, カウントキャプチャ機能)
ウォッチドッグタイマ (WDT)	1チャンネル (NMI/リセットを発生)
計時機能	
リアルタイムクロック (RTC)	1チャンネル (時, 分, 秒カウンタ), 論理緩急対応
計時タイマ (CT)	1チャンネル (128Hz~1Hzカウンタ), 論理緩急対応
ストップウォッチタイマ (SWT)	1チャンネル (1/100秒, 1/10秒カウンタ), 論理緩急対応
論理緩急機能 (TR)	+16/32768~-15/32768秒単位の時間調整機能
サウンドジェネレータ	
ブザー周波数	8種類から選択可能
音量調整	8段階に調整可能
その他	<ul style="list-style-type: none"> <li>• ワンショットブザー</li> <li>• 自動エンベロープ機能</li> </ul>

## 1 概要

アナログ回路	
R/F変換器 (RFC)	2チャンネル (24ビットCR発振型, DCバイアス抵抗性センサおよびACバイアス抵抗性センサに対応)
温度検出回路 (TEM)	1チャンネル (測定範囲: 0°C~50°C)
電源電圧検出回路 (SVD)	1チャンネル (検出電圧: 13レベル)
割り込み	
リセット割り込み	#RESET端子/ウォッチドッグタイマ
NMI	ウォッチドッグタイマ
プログラマブル割り込み	16本 (8レベル)
電源電圧	
動作電圧 (V <sub>DD</sub> )	2.0V~3.6V
Flashプログラミング/消去電圧 (V <sub>PP</sub> )	7V/7.5V
動作温度	
動作温度範囲	-40°C~85°C
消費電流 (Typ値, V <sub>DD</sub> = 2.0V~3.6V)	
SLEEP時 *2	100nA (OSC1 = Off, RTC = Off, OSC3B = Off, OSC3A = Off)
HALT時	0.55μA (OSC1 = 32kHz (OSC1A), RTC = Off, OSC3B = Off, OSC3A = Off)
	0.5μA (OSC1 = 32kHz (OSC1A), RTC = On, OSC3B = Off, OSC3A = Off)
動作時	12μA (OSC1 = 32kHz (OSC1A), RTC = Off, OSC3B = Off, OSC3A = Off)
	1440μA (OSC1 = Off, RTC = Off, OSC3B = Off, OSC3A = 4MHzセラミック)
	770μA (OSC1 = Off, RTC = Off, OSC3B = 2MHz, OSC3A = Off)
出荷形態	
1	アルミバッドチップ
2	金バンプチップ

\*1 I2CM/I2CS(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズスパイク除去の規格に準拠していません。

\*2 SLEEP中もRAMのデータは保持されます。

## 1.2 ブロック図

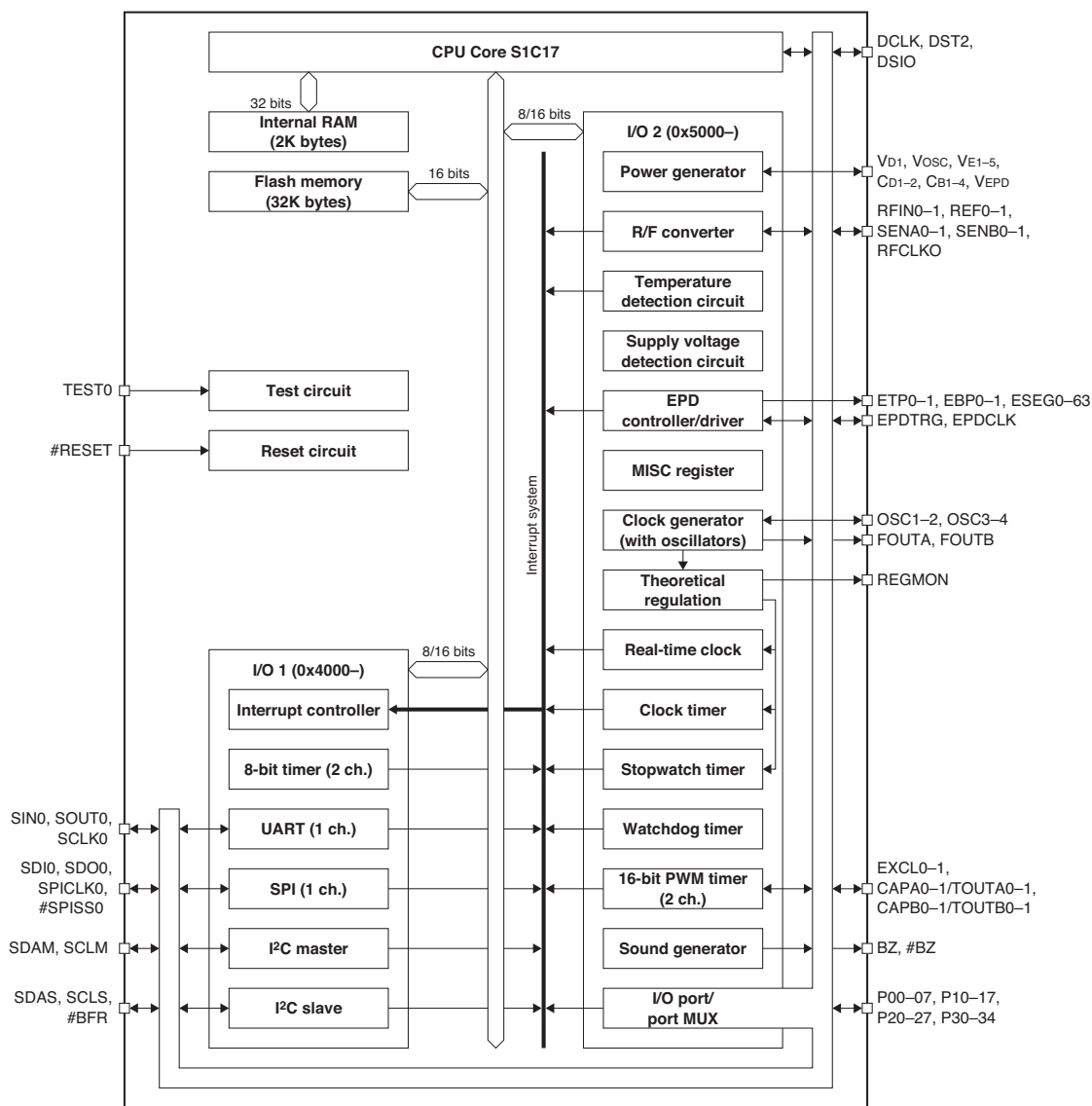


図1.2.1 S1C17F57ブロック図

# 1.3 端子

## 1.3.1 端子配置図

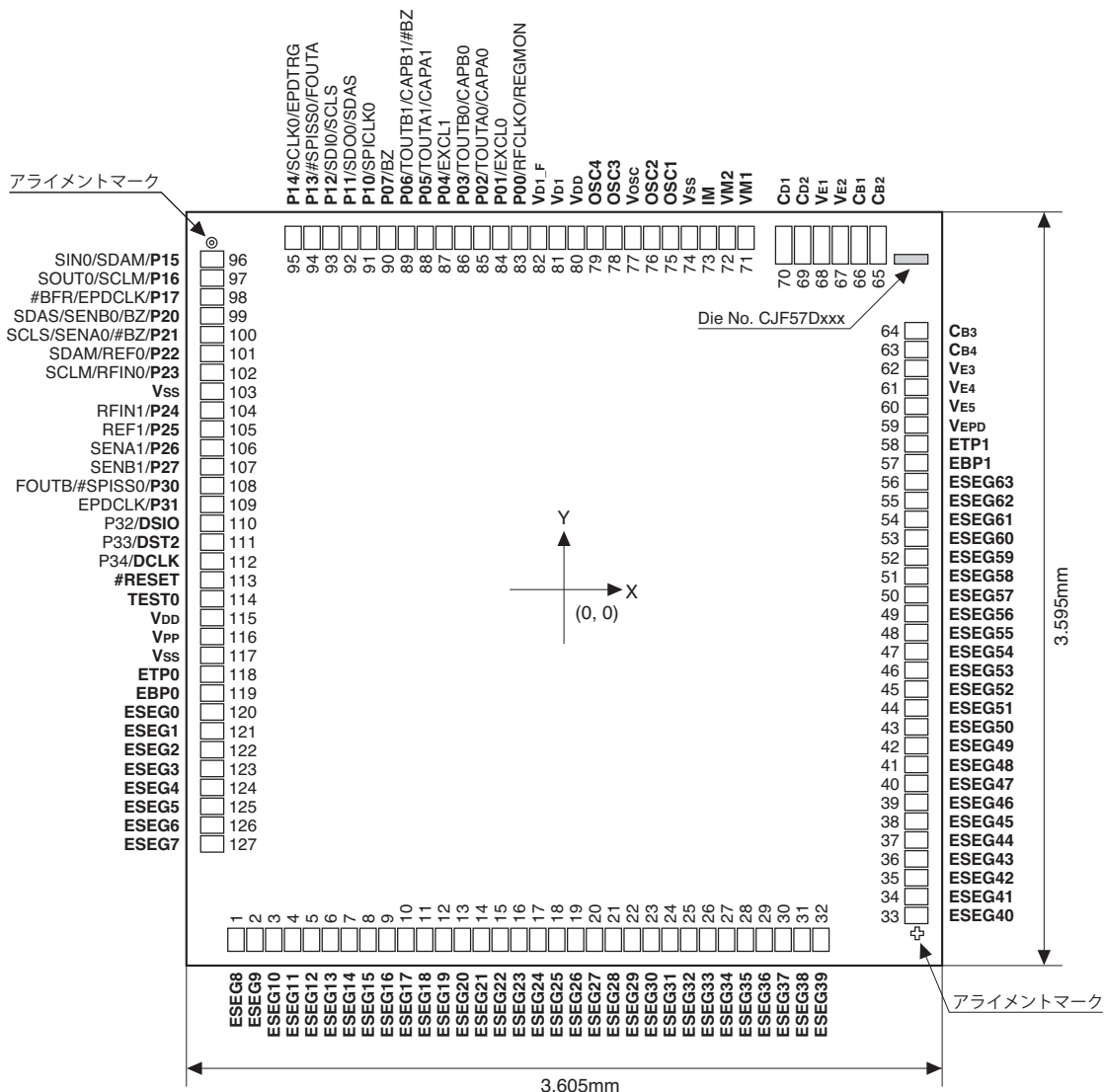


図1.3.1.1 S1C17F57パッド/バンブ配置図

## 1.3.2 端子説明

注: 太字の端子名が初期状態の機能です。

表1.3.2.1 端子説明

端子No.	名称	I/O	初期状態	機能
1-56	<b>ESEG8- ESEG63</b>	O	O (Hi-Z)	EPDセグメント出力端子
57	<b>EBP1</b>	O	O (Hi-Z)	EPDバックプレーン出力端子
58	<b>ETP1</b>	O	O (Hi-Z)	EPDトッププレーン出力端子
59	<b>VEPD</b>	-	-	EPD系電源回路出力端子
60	<b>VE5</b>	-	-	EPD系電源回路出力端子
61	<b>VE4</b>	-	-	EPD系電源回路出力端子
62	<b>VE3</b>	-	-	EPD系電源回路出力端子
63	<b>CB4</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
64	<b>CB3</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
65	<b>CB2</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
66	<b>CB1</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
67	<b>VE2</b>	-	-	EPD系電源回路出力端子
68	<b>VE1</b>	-	-	EPD系電源回路出力端子
69	<b>CD2</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
70	<b>CD1</b>	-	-	EPD系電源回路用昇圧コンデンサ接続端子
71	<b>VM1</b>	-	-	テスト用出力端子 (通常動作時はオープン)
72	<b>VM2</b>	-	-	テスト用出力端子 (通常動作時はオープン)
73	<b>IM</b>	-	-	テスト用出力端子 (通常動作時はオープン)
74	<b>VSS</b>	-	-	GND端子
75	<b>OSC1</b>	I	I	OSC1A発振入力端子
76	<b>OSC2</b>	O	O	OSC1A発振出力端子
77	<b>VoSc</b>	-	-	発振系定電圧回路出力端子
78	<b>OSC3</b>	I	I	OSC3A発振入力端子
79	<b>OSC4</b>	O	O	OSC3A発振出力端子
80	<b>VDD</b>	-	-	電源端子 (2.0~3.6V)
81	<b>VD1</b>	-	-	内部ロジック系定電圧回路出力端子
82	<b>VD1_F</b>	-	-	Flash系定電圧回路出力端子
83	<b>P00</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	RFCLKO	O		R/Fクロックモニタ出力端子
	REGMON	O		論理緩急クロックモニタ出力端子
84	<b>P01</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	EXCL0	I		T16A2 Ch.0外部クロック入力端子
85	<b>P02</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	TOUTA0	O		T16A2 Ch.0 TOUT A信号出力端子
	CAPA0	I		T16A2 Ch.0キャプチャ Aトリガ信号入力端子
86	<b>P03</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	TOUTB0	O		T16A2 Ch.0 TOUT B信号出力端子
	CAPB0	I		T16A2 Ch.0キャプチャ Bトリガ信号入力端子
87	<b>P04</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	EXCL1	I		T16A2 Ch.1外部クロック入力端子
88	<b>P05</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	TOUTA1	O		T16A2 Ch.1 TOUT A信号出力端子
	CAPA1	I		T16A2 Ch.1キャプチャ Aトリガ信号入力端子
89	<b>P06</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	TOUTB1	O		T16A2 Ch.1 TOUT B信号出力端子
	CAPB1	I		T16A2 Ch.1キャプチャ Bトリガ信号入力端子
	#BZ	O		ブザー反転出力端子
90	<b>P07</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	BZ	O		ブザー出力端子
91	<b>P10</b>	I/O	I (Pull-up)	入出力ポート端子
	SPICLK0	I/O		SPI Ch.0クロック入出力端子
92	<b>P11</b>	I/O	I (Pull-up)	入出力ポート端子
	SDO0	O		SPI Ch.0データ出力端子
	SDAS	I/O		I <sup>2</sup> Cスレーブデータ入出力端子
93	<b>P12</b>	I/O	I (Pull-up)	入出力ポート端子
	SDI0	I		SPI Ch.0データ入力端子
	SCLS	I/O		I <sup>2</sup> CスレーブSCL入出力端子



# 1 概要

端子No.	名称	I/O	初期状態	機能
94	<b>P13</b>	I/O	I (Pull-up)	入出力ポート端子
	#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子
	FOUTA	O		クロック出力端子
95	<b>P14</b>	I/O	I (Pull-up)	入出力ポート端子
	SCLK0	I		UART Ch.0外部クロック入力端子
	EPDTRG	O		EPDトリガ信号出力端子
96	<b>P15</b>	I/O	I (Pull-up)	入出力ポート端子
	SIN0	I		UART Ch.0データ入力端子
	SDAM	I/O		I <sup>2</sup> Cマスターデータ入出力端子
97	<b>P16</b>	I/O	I (Pull-up)	入出力ポート端子
	SOUT0	O		UART Ch.0データ出力端子
	SCLM	I/O		I <sup>2</sup> CマスタSCL入出力端子
98	<b>P17</b>	I/O	I (Pull-up)	入出力ポート端子
	#BFR	I		I <sup>2</sup> Cスレーブバス解放要求入力端子
	EPDCLK	O		EPDクロック出力端子
99	<b>P20</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SDAS	I/O		I <sup>2</sup> Cスレーブデータ入出力端子
	SENB0	I/O		R/F変換器Ch.0センサB発振制御端子
	BZ	O		ブザー出力端子
100	<b>P21</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SCLS	I/O		I <sup>2</sup> CスレーブSCL入出力端子
	SENA0	I/O		R/F変換器Ch.0センサA発振制御端子
	#BZ	O		ブザー反転出力端子
101	<b>P22</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SDAM	I/O		I <sup>2</sup> Cマスターデータ入出力端子
	REF0	I/O		R/F変換器Ch.0基準発振制御端子
102	<b>P23</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SCLM	I/O		I <sup>2</sup> CマスタSCL入出力端子
	RFIN0	I/O		R/F変換器Ch.0 RFCLK入力/発振制御端子
103	<b>V<sub>SS</sub></b>	-	-	GND端子
104	<b>P24</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	RFIN1	I/O		R/F変換器Ch.1 RFCLK入力/発振制御端子
105	<b>P25</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	REF1	I/O		R/F変換器Ch.1基準発振制御端子
106	<b>P26</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SENA1	I/O		R/F変換器Ch.1センサA発振制御端子
107	<b>P27</b>	I/O	I (Pull-up)	入出力ポート端子 (割り込み機能付き)
	SENB1	I/O		R/F変換器Ch.1センサB発振制御端子
108	<b>P30</b>	I/O	I (Pull-up)	入出力ポート端子
	FOUTB	O		クロック出力端子
	#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子
109	<b>P31</b>	I/O	I (Pull-up)	入出力ポート端子
	EPDCLK	O		EPDクロック出力端子
110	<b>DSIO</b>	I/O	I (Pull-up)	オンチップデバッグデータ入出力端子
	P32	I/O		入出力ポート端子
111	<b>DST2</b>	O	O (L)	オンチップデバッグステータス出力端子
	P33	I/O		入出力ポート端子
112	<b>DCLK</b>	O	O (H)	オンチップデバッグクロック出力端子
	P34	I/O		入出力ポート端子
113	<b>#RESET</b>	I	I (Pull-up)	イニシャルリセット入力端子
114	<b>TEST0</b>	I	I (Pull-down)	テスト用入力端子 (通常動作時はV <sub>SS</sub> に接続)
115	<b>V<sub>DD</sub></b>	-	-	電源端子 (2.0~3.6V)
116	<b>V<sub>PP</sub></b>	-	-	Flashプログラミング/消去電源端子 (7/7.5V) (通常動作時はオープン)
117	<b>V<sub>SS</sub></b>	-	-	GND端子
118	<b>ETP0</b>	O	O (Hi-Z)	EPDトップブレイン出力端子
119	<b>EBP0</b>	O	O (Hi-Z)	EPDバックブレイン出力端子
120-127	<b>ESEG0-ESEG7</b>	O	O (Hi-Z)	EPDセグメント出力端子

# 2 CPU

S1C17F57はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

## 2.1 S1C17コアの特長

---

### プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 $\mu$ m低電力CMOSプロセステクノロジー

### 命令セット

- コード長           16ビット固定長
- 命令数            基本命令111個(全184命令)
- 実行サイクル     主要命令は1サイクルで実行
- 即値拡張命令     即値を24ビットまで拡張
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット

### レジスタセット

- 24ビット汎用レジスタ × 8
- 24ビット特殊レジスタ × 2
- 8ビット特殊レジスタ × 1

### メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

### 割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

### パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

### コプロセッサインタフェース

- 16ビット × 16ビット乗算器
- 16ビット × 16ビット + 32ビット積和演算器
- 16ビット ÷ 16ビット除算器

## 2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

## 2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	二ーモニク	機能		
データ転送	ld.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)	
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)	
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能	
		$\%rd, -[\%rb]$		
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(符号拡張)	
		$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(符号拡張)	
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ	
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
		$[\%rb]-, \%rs$	プリデクリメント機能を使用可能	
		$-[\%rb], \%rs$		
		$[\%sp+imm7], \%rs$	汎用レジスタ(バイト) → スタック	
		$[imm7], \%rs$	汎用レジスタ(バイト) → メモリ	
		ld.ub	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
			$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	$\%rd, [\%rb]+$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
	$\%rd, [\%rb]-$		プリデクリメント機能を使用可能	
	$\%rd, -[\%rb]$			
	$\%rd, [\%sp+imm7]$		スタック(バイト) → 汎用レジスタ(ゼロ拡張)	
	$\%rd, [imm7]$		メモリ(バイト) → 汎用レジスタ(ゼロ拡張)	
	ld		$\%rd, \%rs$	汎用レジスタ(16ビット) → 汎用レジスタ
			$\%rd, sign7$	即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(16ビット) → 汎用レジスタ	
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能	
		$\%rd, -[\%rb]$		
		$\%rd, [\%sp+imm7]$	スタック(16ビット) → 汎用レジスタ	
		$\%rd, [imm7]$	メモリ(16ビット) → 汎用レジスタ	
		$[\%rb], \%rs$	汎用レジスタ(16ビット) → メモリ	
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$[\%rb]-, \%rs$		プリデクリメント機能を使用可能		
$-[\%rb], \%rs$				
$[\%sp+imm7], \%rs$		汎用レジスタ(16ビット) → スタック		
$[imm7], \%rs$		汎用レジスタ(16ビット) → メモリ		
ld.a		$\%rd, \%rs$	汎用レジスタ(24ビット) → 汎用レジスタ	
	$\%rd, imm7$	即値 → 汎用レジスタ(ゼロ拡張)		

種類	二一モニック	機能	
データ転送	ld.a	$\%rd, [\%rb]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [imm7]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$[\%rb], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	
		$-[\%rb], \%rs$	
		$[\%sp+imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$\%rd, \%sp$	SP → 汎用レジスタ
		$\%rd, \%pc$	PC → 汎用レジスタ
		$\%rd, [\%sp]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%sp]+$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%sp]-$	
		$\%rd, -[\%sp]$	
		$[\%sp], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[\%sp]+, \%rs$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
$[\%sp]-, \%rs$			
$-[\%sp], \%rs$			
$\%sp, \%rs$	汎用レジスタ(24ビット) → SP		
$\%sp, imm7$	即値 → SP		
整数算術演算	add	$\%rd, \%rs$	汎用レジスタ間の16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/c		
	add/nc		
	add	$\%rd, imm7$	汎用レジスタと即値の16ビット加算
	add.a	$\%rd, \%rs$	汎用レジスタ間の24ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c		
	add.a/nc		
	add.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット加算
		$\%rd, imm7$	汎用レジスタと即値の24ビット加算
		$\%sp, imm7$	SPと即値の24ビット加算
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c		
	adc/nc		
adc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット加算	
sub	$\%rd, \%rs$	汎用レジスタ間の16ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub/c			
sub/nc			
sub	$\%rd, imm7$	汎用レジスタと即値の16ビット減算	
sub.a	$\%rd, \%rs$	汎用レジスタ間の24ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub.a/c			
sub.a/nc			
sub.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット減算	
	$\%rd, imm7$	汎用レジスタと即値の24ビット減算	
	$\%sp, imm7$	SPと即値の24ビット減算	
sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sbc/c			
sbc/nc			
sbc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット減算	
cmp	$\%rd, \%rs$	汎用レジスタ間の16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp/c			
cmp/nc			
cmp	$\%rd, sign7$	汎用レジスタと即値の16ビット比較	
cmp.a	$\%rd, \%rs$	汎用レジスタ間の24ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a/c			
cmp.a/nc			
cmp.a	$\%rd, imm7$	汎用レジスタと即値の24ビット比較	
cmc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc/c			
cmc/nc			
cmc	$\%rd, sign7$	汎用レジスタと即値のキャリー付き16ビット比較	

種類	ニーモニック		機能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数)
not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
not/nc			
not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)	
シフト&スワップ	sr	$\%rd, \%rs$ $\%rd, imm7$	右論理シフト(レジスタによるシフトビット数指定) 右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$ $\%rd, imm7$	右算術シフト(レジスタによるシフトビット数指定) 右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$ $\%rd, imm7$	左論理シフト(レジスタによるシフトビット数指定) 左論理シフト(即値によるシフトビット数指定)
	swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ
	ext	$imm13$	直後の命令のオペランドを拡張
	コンバージョン	cv.ab	$\%rd, \%rs$
cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換	
cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換	
cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換	
cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換	
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: Z   N ^ V
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: Z   C
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
calla	$imm7$	絶対サブルーチンコール	
calla.d	$\%rb$	ディレイド分岐可	
ret		サブルーチンからのリターン	
ret.d		ディレイド分岐可	
int	$imm5$	ソフトウェア割り込み	
intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み	
reti		割り込みからのリターン	
reti.d		ディレイド分岐可	
brk		デバッグ割り込み	

種類	ニーモニック		機能
分岐	ret		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	%rd, %rs	コプロセッサへのデータ転送
		%rd, imm7	
	ld.ca	%rd, %rs	コプロセッサへのデータ転送、結果とフラグ状態の取得
		%rd, imm7	
	ld.cf	%rd, %rs	コプロセッサへのデータ転送、フラグ状態の取得
		%rd, imm7	

\*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記号	説明
%rs	汎用ソースレジスタ
%rd	汎用デスティネーションレジスタ
[ %rb ]	汎用レジスタで間接指定されるメモリ
[ %rb ]+	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[ %rb ]-	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
-[ %rb ]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
%sp	スタックポインタ
[ %sp ], [ %sp+imm7 ]	スタック
[ %sp ]+	スタック(アドレスポストインクリメント付き)
[ %sp ]-	スタック(アドレスポストデクリメント付き)
-[ %sp ]	スタック(アドレスプリデクリメント付き)
imm3, imm5, imm7, imm13	符号なし即値(数値はビット長)
sign7, sign10	符号付き即値(数値はビット長)

## 2.4 PSRの読み出し

S1C17F57にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのMISC\_PSRレジスタが設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

### PSR Register (MISC\_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

**D[15:8] Reserved**

**D[7:5] PSRIL[2:0]: PSR Interrupt Level (IL) Bits**

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

**D4 PSRIE: PSR Interrupt Enable (IE) Bit**

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

**D3 PSRC: PSR Carry (C) Flag Bit**

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

**D2 PSRV: PSR Overflow (V) Flag Bit**

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

**D1 PSRZ: PSR Zero (Z) Flag Bit**

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

**D0 PSRN: PSR Negative (N) Flag Bit**

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

## 2.5 プロセッサ情報

---

S1C17F57はIDIRレジスタを内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

### Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

# 3 メモリマップ、バス制御

図3.1にS1C17F57のメモリマップを示します。

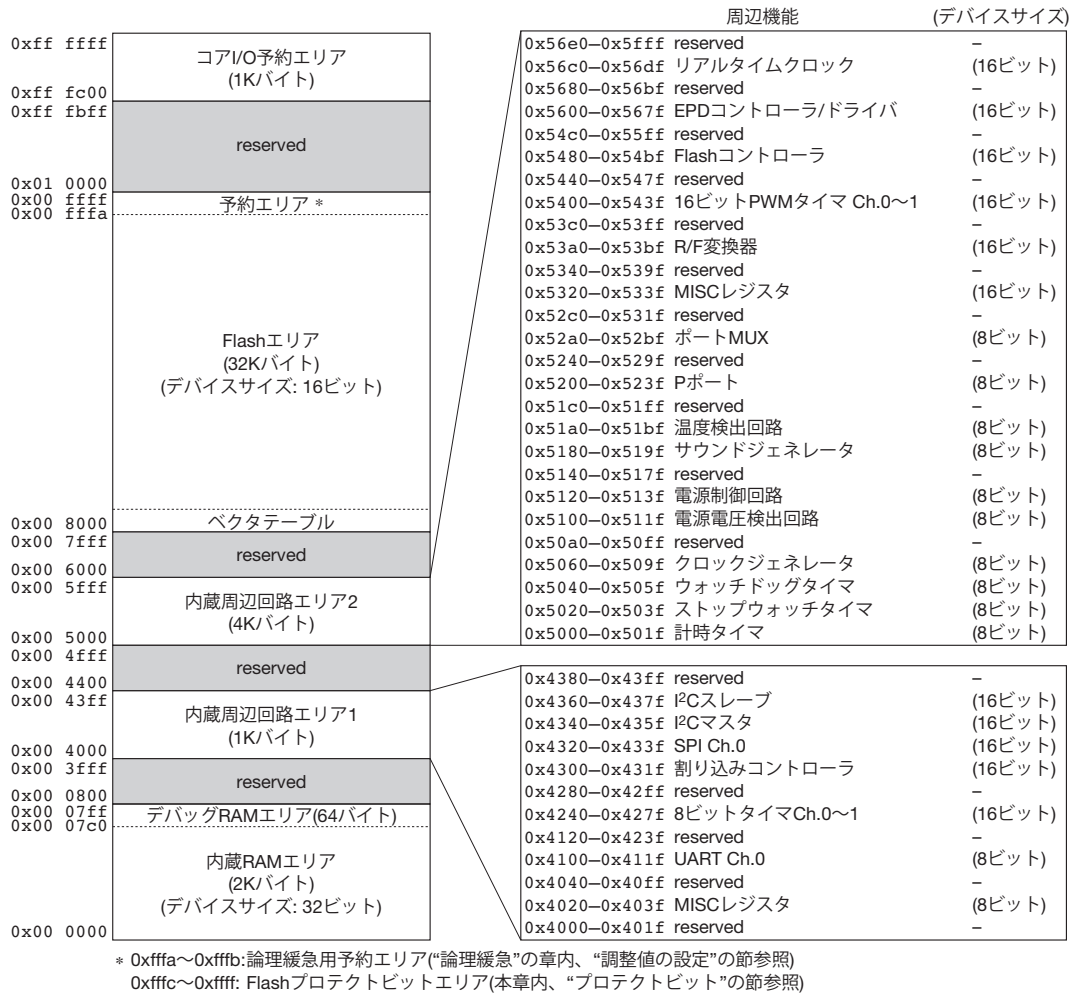


図3.1 S1C17F57メモリマップ

## 3.1 バスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。システムクロックについては、“クロックジェネレータ(CLG)”の章内、“システムクロックの切り換え”を参照してください。

すべてのエリアにおいて、1バスサイクルに必要なシステムクロック数は1クロックです。

また、バスアクセス回数は、CPUの命令(アクセスサイズ)とデバイスサイズにより変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1



### 3 メモリマップ、バス制御

#### \* 32ビットアクセス時の上位8ビットデータについて

S1C17コアの汎用レジスタは24ビットです。

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

詳しくは、“S1C17コアマニュアル”を参照してください。

#### 3.1.1 アクセスサイズ制限

周辺モジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

#### 3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

## 3.2 Flashエリア

---

#### 3.2.1 内蔵Flashメモリ

0x8000番地から0xffff番地までの32Kバイトの領域にはFlashメモリ(4Kバイト × 8セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“割り込みコントローラ(ITC)”の章内の“ベクタテーブル”参照)を置く必要があります。ベクタテーブルベースアドレスはMISC\_TTBRL/MISC\_TTBRLHレジスタで変更可能です。

#### 3.2.2 Flashプログラミング

S1C17F57はFlashメモリのオンボードプログラミングに対応しており、ICDminiを介してデバッグからプログラム/データを書き込むことができます。

#### 3.2.3 プロテクトビット

内蔵Flashメモリの内容を保護するため、ライトプロテクトとデータリードプロテクトの2種類を4Kバイトの領域ごとに設定できます。ライトプロテクトは、設定した領域へのデータ書き込みとセクタ消去(プロテクトビットのあるセクタを除く)を禁止します。

データリードプロテクトは、設定した領域からのデータ読み出しを禁止します(読み出し値が常に0x0000になります)。ただし、CPUの命令フェッチ動作はプロテクトしません。この設定には、以下に示すプロテクトビットを使用します。プロテクトを設定する場合は、設定する領域に対応したプロテクトビットを0にプログラミングします。プロテクトの解除にはデバッグを使用します。

## Flash Protect Bits

Address	Bit	Function	Setting			Init.	R/W	Remarks
0xffc (16 bits)	D15-8	reserved	-			-	-	
	D7	Flash write-protect bit for 0xf000-0xffff	1	Writable	0	Protected	1	R/W
	D6	Flash write-protect bit for 0xe000-0xffff	1	Writable	0	Protected	1	R/W
	D5	Flash write-protect bit for 0xd000-0xffff	1	Writable	0	Protected	1	R/W
	D4	Flash write-protect bit for 0xc000-0xffff	1	Writable	0	Protected	1	R/W
	D3	Flash write-protect bit for 0xb000-0xffff	1	Writable	0	Protected	1	R/W
	D2	Flash write-protect bit for 0xa000-0xffff	1	Writable	0	Protected	1	R/W
	D1	Flash write-protect bit for 0x9000-0xffff	1	Writable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xffff	1	Writable	0	Protected	1	R/W
0xffe (16 bits)	D15-8	reserved	-			-	-	
	D7	Flash data-read-protect bit for 0xf000-0xffff	1	Readable	0	Protected	1	R/W
	D6	Flash data-read-protect bit for 0xe000-0xffff	1	Readable	0	Protected	1	R/W
	D5	Flash data-read-protect bit for 0xd000-0xffff	1	Readable	0	Protected	1	R/W
	D4	Flash data-read-protect bit for 0xc000-0xffff	1	Readable	0	Protected	1	R/W
	D3	Flash data-read-protect bit for 0xb000-0xffff	1	Readable	0	Protected	1	R/W
	D2	Flash data-read-protect bit for 0xa000-0xffff	1	Readable	0	Protected	1	R/W
	D1	Flash data-read-protect bit for 0x9000-0xffff	1	Readable	0	Protected	1	R/W
	D0	reserved	1			1	R/W	Always set to 1.

注: ・ データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。  
 ・ 0xffeのD0は必ず1に設定してください。0に設定するとプログラムがブートできません。

## 3.2.4 Flashメモリリードウェイト数の設定

Flashメモリのデータを正しく読み出すため、システムクロック周波数に合わせてウェイト数の設定が必要です。RDWAIT[1:0]/FLASHC\_WAITレジスタで設定してください。

## FLASHC Read Wait Control Register (FLASHC\_WAIT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
FLASHC Read Wait Control Register (FLASHC_WAIT)	0x54b0 (16 bits)	D15-8	-	reserved	-		-	-	0 when being read.
		D7	-	reserved	-		-	X	X when being read.
		D6-2	-	reserved	-		-	-	0 when being read.
		D1-0	RDWAIT [1:0]	Flash read wait cycle	RDWAIT[1:0]	Wait	0x3	R/W	
					0x3	3 wait			
0x2	2 wait								
0x1	1 wait								
0x0	No wait								

## D[1:0] RDWAIT[1:0]: Flash Read Wait Cycle Bits

Flashメモリリード時のウェイト数を設定します。バスサイクルは、1ウェイトの挿入につき1システムクロック増加します。

注: パフォーマンスを最大にするには、RDWAIT[1:0] = 0x0に設定してください。

## 3.3 内蔵RAMエリア

## 3.3.1 内蔵RAM

0x0番地から0x7ff番地までの2Kバイトの領域にはRAMが内蔵されています。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト(0x7c0~0x7ff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。

デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17F57では使用するRAMのサイズを2KB、1KB、512バイトに制限することができます。たとえば、S1C17F57をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC\_IRAMSZレジスタで行います。

## IRAM Size Register (MISC\_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	-	reserved	-	-	-	0 when being read.	
		D8	DBADR	Debug base address select	1   0x0	0   0xfffc00	0	R/W	
		D7	-	reserved	-	-	-	-	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	-	0x3 (= 2KB)	0x3	R	
		D3	-	reserved	-	-	-	-	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	-	IRAMSZ[2:0]   Size	0x3	R/W	
					0x5   512B 0x4   1KB 0x3   2KB Other   reserved				

### D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x3)

### D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
その他	Reserved

(デフォルト: 0x3)

注: MISC\_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC\_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC\_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC\_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

## 3.4 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

各制御レジスタの詳細については、“Appendix”のI/Oレジスタ一覧、または各周辺モジュールの説明を参照してください。

### 3.4.1 内蔵周辺回路エリア1 (0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- MISCレジスタ(MISC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- 8ビットタイマ(T8, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I<sup>2</sup>Cマスタ(I2CM, 16ビットデバイス)
- I<sup>2</sup>Cスレーブ(I2CS, 16ビットデバイス)

### 3.4.2 内蔵周辺回路エリア2 (0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- 計時タイマ(CT, 8ビットデバイス)
- ストップウォッチタイマ(SWT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)

- クロックジェネレータ(CLG, 8ビットデバイス)
- 電源電圧検出回路(SVD, 8ビットデバイス)
- 電源回路(VD1, 8ビットデバイス)
- サウンドジェネレータ(SND, 8ビットデバイス)
- 温度検出回路(TEM, 8ビットデバイス)
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- R/F変換器(RFC, 16ビットデバイス)
- 16ビットPWMタイマ(T16A2, 16ビットデバイス)
- Flashコントローラ(FLASHC, 16ビットデバイス)
- EPDコントローラ/ドライバ(EPD, 16ビットデバイス)
- リアルタイムクロック(RTC, 16ビットデバイス)

### 3.5 S1C17コアI/O予約エリア

0xffffc00~0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.5.1 I/Oマップ(S1C17コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレイクアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレイクアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレイクアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレイクアドレス#4の設定

IDIRについては“CPU”の章内の“プロセッサ情報”を、その他のレジスタについては“オンチップデバッグ(DBG)”の章を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

# 4 電源

## 4.1 電源電圧 ( $V_{DD}$ )

S1C17F57は、 $V_{DD} \sim V_{SS}$ 間に供給される電源電圧によって動作します。 $V_{SS}$ 端子をGNDレベルとして、下記の範囲内の電圧を $V_{DD}$ 端子に供給してください。

$$V_{DD} = 2.0V \sim 3.6V (V_{SS} = GND)$$

本製品にはそれぞれ複数の $V_{DD}$ 端子と $V_{SS}$ 端子があります。いずれもオープンにせず、必ず+電源とGNDに接続してください。

## 4.2 Flashプログラミング用電源電圧 ( $V_{PP}$ )

内蔵のFlashメモリをプログラムするための電源です。Flashメモリのプログラミング/消去時は $V_{SS}$ 端子をGNDレベルとして、下記の電圧を $V_{PP}$ 端子に供給してください。

$$V_{PP} = 7V (V_{SS} = GND) \quad \text{プログラミング時}$$

$$V_{PP} = 7.5V (V_{SS} = GND) \quad \text{消去時}$$

注: 通常動作時は、 $V_{PP}$ 端子をオープンとしてください。

## 4.3 内部電源回路

S1C17F57は内部回路の動作電圧を発生する電源回路を内蔵しています。内部電源回路の構成を図4.3.1に示します。

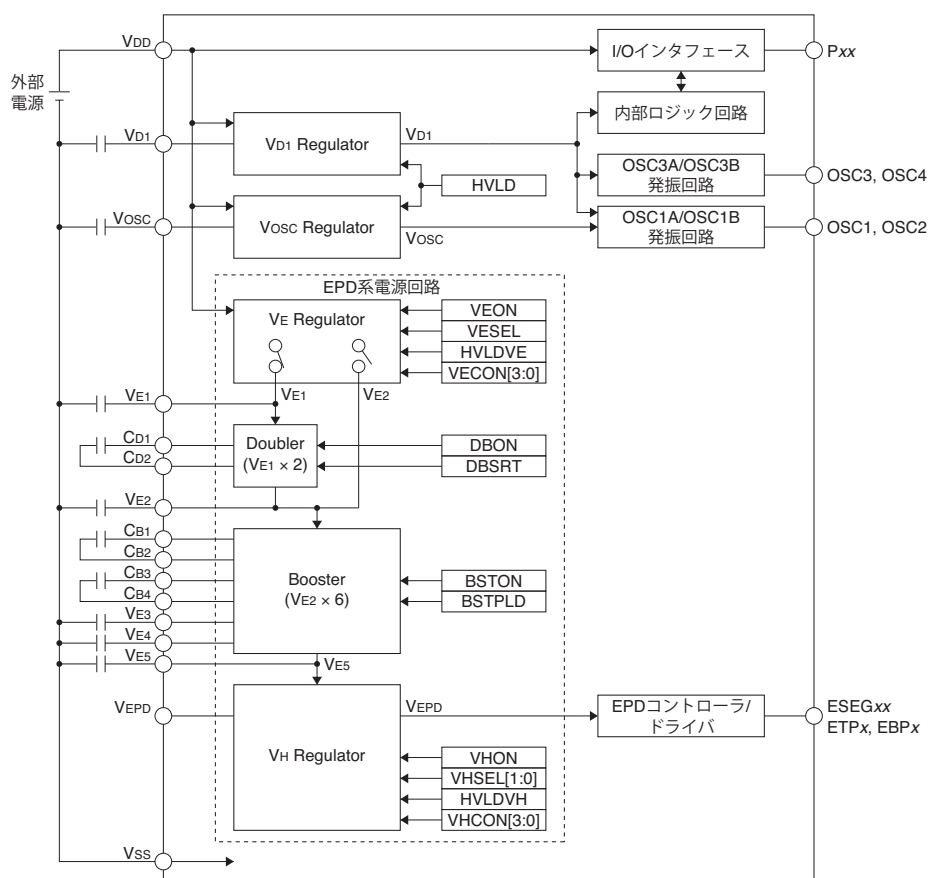


図4.3.1 内部電源回路の構成

## 4 電源

内部電源回路は、V<sub>D1</sub> Regulator、V<sub>OSC</sub> Regulator、EPD系電源回路で構成されます。

注: 内部電源回路の出力を外部デバイスの駆動には使用しないでください。

### 4.3.1 V<sub>D1</sub> Regulator, V<sub>OSC</sub> Regulator

V<sub>D1</sub> RegulatorとV<sub>OSC</sub> Regulatorは、内部ロジック回路および発振回路用の動作電圧を発生します。この電源回路は常に動作します。

### 4.3.2 EPD系電源回路

EPD系電源回路はEPD駆動電圧V<sub>EPD</sub>を発生します。この電圧はEPDドライバへ送られ、EPD駆動波形の生成に使用されます。

EPD系電源回路はV<sub>E</sub> Regulator、2つの昇圧回路(Doubler、Booster)、V<sub>H</sub> Regulatorで構成され、ソフトウェアによってそれぞれ個別に制御できるようになっています。

EPD駆動電圧V<sub>EPD</sub>の値は、“電気的特性”の章を参照してください。

#### V<sub>E</sub> Regulator

V<sub>E</sub> Regulatorは電源電圧V<sub>DD</sub>から、昇圧用基準電圧V<sub>E1</sub>またはV<sub>E2</sub>を生成します。

V<sub>E1</sub>またはV<sub>E2</sub>のどちらを生成するかについては、V<sub>DD</sub>の値に応じてVESEL/EPD\_PWR0レジスタで選択します。

表4.3.2.1 V<sub>E</sub> Regulator出力の選択

電源電圧V <sub>DD</sub>	VESEL	V <sub>E</sub> Regulator出力
V <sub>DD</sub> ≥ V <sub>E1</sub> + 0.3V	0(デフォルト)	V <sub>E1</sub>
V <sub>DD</sub> ≥ V <sub>E2</sub> + 0.2V	1	V <sub>E2</sub>

この選択により、V<sub>EPD</sub>を生成する経路は以下の2系統になります。

1. 基準電圧 = V<sub>E1</sub>

V<sub>DD</sub> → [V<sub>E</sub> Regulator] → V<sub>E1</sub>(基準電圧) → [Doubler] → V<sub>E2</sub>(= 2V<sub>E1</sub>) → [Booster]  
→ V<sub>E5</sub>(= 6V<sub>E2</sub>) → [V<sub>H</sub> Regulator] → V<sub>EPD</sub>

2. 基準電圧 = V<sub>E2</sub>

V<sub>DD</sub> → [V<sub>E</sub> Regulator] → V<sub>E2</sub>(基準電圧) → [Booster] → V<sub>E5</sub>(= 6V<sub>E2</sub>) → [V<sub>H</sub> Regulator]  
→ V<sub>EPD</sub>

V<sub>E</sub> Regulatorはイニシャルリセット時にOffとなり、VEON/EPD\_PWR0レジスタを1に設定することによりOnします。

#### Doubler

DoublerはV<sub>E</sub> Regulatorで発生させたV<sub>E1</sub>を2倍に昇圧してV<sub>E2</sub>を発生します。

Doublerはイニシャルリセット時にOffとなり、DBON/EPD\_PWR0レジスタを1に設定することによりOnします。

V<sub>E</sub> RegulatorでV<sub>E2</sub>を発生させる場合、Doublerは不要ですので、DBONは0に設定しておきます。

なお、V<sub>E</sub> RegulatorでV<sub>E2</sub>を発生させる場合に、その出力に対するDoublerの影響を排除するため、Doublerの入力と出力を短絡させることができるようになっています。Doublerを使用しない場合は、DBSRT/EPD\_PWR0レジスタを1に設定して、入力～出力間を短絡させてください。

#### Booster

Boosterは、V<sub>E</sub> RegulatorまたはDoublerで発生させたV<sub>E2</sub>を6倍に昇圧してV<sub>E5</sub>を発生します。

Boosterはイニシャルリセット時にOffとなり、BSTON/EPD\_PWR1レジスタを1に設定することによりOnします。

また、EPDのOffレベルをソフトウェアで生成するため、Boosterの出力をV<sub>SS</sub>にプルダウンできるようになっています。出力をプルダウンするには、BSTPLD/EPD\_PWR1レジスタを1に設定します。

## VH Regulator

VH Regulatorは、Boosterで発生させた $V_{ES}$ を入力し、EPDの駆動電圧 $V_{EPD}$ を発生します。この $V_{EPD}$ がEPDドライバに供給され、EPDの駆動波形が生成されます。

VH Regulatorはイニシャルリセット時にOffとなり、VHON/EPD\_PWR1レジスタを1に設定することによりOnします。

また、 $V_{EPD}$ 出力値を、VHSEL[1:0]/EPD\_PWR1レジスタで下表に示す3種類のいずれかに設定可能です。使用するEPDに合わせて選択してください。

表4.3.2.2  $V_{EPD}$ 電圧値

VHSEL[1:0]	$V_{EPD}$ 電圧値
0x3	Reserved
0x2	9V系
0x1	12V系
0x0	15V系

(デフォルト: 0x0)

## Doubler/Booster用クロック

DoublerとBoosterは昇圧動作にクロックを使用します。DoublerとBoosterを使用する場合は下記の設定を行い、それぞれにクロックを供給する必要があります。

### クロックソースの選択

DoublerのクロックソースはEPDDCLKSRC[1:0]/EPD\_DCLKレジスタ、BoosterのクロックソースはEPDBCLKSRC[1:0]/EPD\_BCLKレジスタを使用してOSC3B、OSC3A、OSC1から選択します。

表4.3.2.3 クロックソースの選択

EPDDCLKSRC[1:0] EPDBCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

### クロック分周比の選択

Doublerのクロック分周比はEPDDCLKD[2:0]/EPD\_DCLKレジスタ、Boosterのクロック分周比はEPDBCLKD[2:0]/EPD\_BCLKレジスタで選択します。以下の周波数範囲に設定してください。

Doublerクロック: 8kHz~32kHz    Boosterクロック: 4kHz~16kHz

表4.3.2.4 クロック分周比の選択

EPDDCLKD[2:0] EPDBCLKD[2:0]	分周比		
	クロックソース = OSC3B	クロックソース = OSC3A	クロックソース = OSC1
0x7~0x6	Reserved	Reserved	Reserved
0x5	1/128	1/256	
0x4	1/64	1/128	
0x3	1/32	1/64	1/8
0x2	1/16	1/32	1/4
0x1	Reserved	1/16	1/2
0x0		Reserved	1/1

(デフォルト: 0x0)

### クロックイネーブル

Doublerのクロック供給はEPDDCLKE/EPD\_DCLKレジスタ、Boosterのクロック供給はEPDBCLKE/EPD\_BCLKレジスタで制御します。EPDDCLKE/EPDBCLKEのデフォルト設定は0で、クロックの供給は停止しています。EPDDCLKE/EPDBCLKEを1に設定すると、上記のとおり生成されたクロックがDoubler/Boosterに送られます。Doubler/Boosterが不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

### 4.3.3 EPDコントラストの調整

EPDのコントラストを調整するため、 $V_E$  Regulatorと $V_H$  Regulatorはそれぞれ出力電圧を16段階に切り換えられるようになっています。 $V_E$  Regulatorの設定にはVECON[3:0]/EPD\_PWR0レジスタを、 $V_H$  Regulatorの設定にはVHCON[3:0]/EPD\_PWR1レジスタを使用します。

表4.3.3.1  $V_E$  Regulator出力レベルの設定 (EPDコントラスト調整機能)

VECON[3:0]	$V_E$ Regulator出力レベル
0xf	レベル15 (高コントラスト)
:	:
0x7	レベル7 (デフォルト)
:	:
0x0	レベル0 (低コントラスト)

表4.3.3.2  $V_H$  Regulator出力レベルの設定 (EPDコントラスト調整機能)

VHCON[3:0]	$V_H$ Regulator出力レベル
0xf	レベル15 (高コントラスト)
:	:
0x5	レベル5 (デフォルト)
:	:
0x0	レベル0 (低コントラスト)

電圧値は“電気的特性”の章を参照してください。

### 4.3.4 重負荷保護モード

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やEPD表示が行えるように、各Regulatorはソフトウェアで設定可能な重負荷保護機能を持っています。以下の制御ビットで設定可能です。

表4.3.4.1 重負荷保護モード制御ビット

Regulator	制御ビット
$V_{D1}$ Regulator	HVLVD/VD1_CTLレジスタ
Vosc Regulator	
$V_E$ Regulator	HVLVDVE/EPD_PWR0レジスタ
$V_H$ Regulator	HVLVDVH/EPD_PWR1レジスタ

制御ビットを1に設定すると、そのRegulatorは出力の安定化を図ります。

$V_{D1}$ およびVosc Regulatorの重負荷保護モードは、ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

$V_E$ および $V_H$  Regulatorの重負荷保護モードは、表示に濃淡が現れる場合などに設定してください。

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

### 4.3.5 内蔵電源回路の制御手順

#### $V_{D1}$ /Vosc Regulator

On/Off制御は必要ありません。必要に応じて重負荷保護モード(HVLVD/VD1\_CTLレジスタ)を設定してください。

#### EPD系電源回路

EPD系電源回路は以下の手順で制御してください。

1. DoublerクロックとBoosterクロックの設定を行います。(EPD\_DCLK、EPD\_BCLKレジスタ)
2. EPD\_PWR0およびEPD\_PWR1レジスタで以下の設定を行います。
  - $V_E$  Regulatorの出力( $V_{E1}$ または $V_{E2}$ ) (VESEL/EPD\_PWR0レジスタ)
  - $V_{EPD}$ 電圧値(9/12/15V系) (VHSEL[1:0]/EPD\_PWR1レジスタ)
  - コントラストの初期設定(VECON[3:0]/EPD\_PWR0レジスタ、VHCON[3:0]/EPD\_PWR1レジスタ)



3. V<sub>E</sub> RegulatorをOnします。(VEON/EPD\_PWR0レジスタ = 1)
4. 基準電圧がV<sub>E1</sub>の場合: DoublerをOnします。(DBON/EPD\_PWR0レジスタ = 1)  
基準電圧がV<sub>E2</sub>の場合: DoublerをOffします。(DBON/EPD\_PWR0レジスタ = 0)  
Doublerの入力と出力間を短絡します。(DBSRT/EPD\_PWR0レジスタ = 1)
5. BoosterをOnします。(BSTON/EPD\_PWR1レジスタ = 1)
- 2~5までは、上記の順序あるいは同時に設定してください。
6. 35ms以上待機します(Booster出力安定待ち時間)。
7. V<sub>H</sub> RegulatorをOnします。(VHON/EPD\_PWR1レジスタ = 1)
8. 5ms以上待機します(V<sub>EPD</sub>出力安定待ち時間)。

これ以降、EPD表示が可能となります。

重負荷保護モード(HVLDVE/EPD\_PWR0レジスタ、HVLDVH/EPD\_PWR1レジスタ)は、必要に応じて設定してください。

## 4.4 制御レジスタ詳細

表4.4.1 電源制御レジスタ

アドレス	レジスタ名		機能
0x5071	EPD_DCLK	EPD Doubler Clock Control Register	EPD Doublerクロックの制御
0x5072	EPD_BCLK	EPD Booster Clock Control Register	EPD Boosterクロックの制御
0x5120	VD1_CTL	VD1 Control Register	V <sub>D1</sub> Regulator重負荷保護モードの制御
0x5600	EPD_PWR0	EPD Power Control Register 0	V <sub>E</sub> Regulator/Doublerの制御
0x5602	EPD_PWR1	EPD Power Control Register 1	V <sub>H</sub> Regulator/Boosterの制御

以下にS1C17F57の電源制御レジスタを説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### EPD Doubler Clock Control Register (EPD\_DCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
EPD Doubler Clock Control Register (EPD_DCLK)	0x5071 (8 bits)	D7	–	reserved	–	–	–	0 when being read.			
		D6–4	EPD-DCLKD [2:0]	EPD Doubler clock division ratio select	EPDD Division ratio		0x0	R/W			
					CLKD [2:0]	OSC3B				OSC3A	OSC1
					0x5	1/128				1/256	reserved
					0x4	1/64				1/128	reserved
					0x3	1/32				1/64	1/8
0x2	1/16	1/32	1/4								
0x1	reserved	1/16	1/2								
0x0	reserved	reserved	1/1								
Other	reserved										
D3–2	EPDDCLK SRC[1:0]	EPD Doubler clock source select	EPDDCLK SRC[1:0]		0x0	R/W					
			Clock source								
			0x3	reserved							
			0x2	OSC3A							
0x1	OSC1										
0x0	OSC3B										
D1	–	reserved	–	–	–	–	0 when being read.				
D0	EPDDCKE	EPD Doubler clock enable	1	Enable	0	Disable	0	R/W			

注: Doublerクロックの設定は、Doublerを使用する(V<sub>E</sub> RegulatorでV<sub>E1</sub>を発生する)場合に必要です。

**D7** Reserved

**D[6:4]** EPDDCLKD[2:0]: EPD Doubler Clock Division Ratio Select Bits

Doublerクロックを生成するための分周比を選択します。

表4.4.2 クロック分周比の選択

EPDDCLKD[2:0]	分周比		
	クロックソース = OSC3B	クロックソース = OSC3A	クロックソース = OSC1
0x7~0x6	Reserved	Reserved	Reserved
0x5	1/128	1/256	
0x4	1/64	1/128	
0x3	1/32	1/64	1/8
0x2	1/16	1/32	1/4
0x1	Reserved	1/16	1/2
0x0		Reserved	1/1

(デフォルト: 0x0)

**D[3:2] EPDDCLKSRC[1:0]: EPD Doubler Clock Source Select Bits**

Doublerクロックソースを選択します。

表4.4.3 クロックソースの選択

EPDDCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1 Reserved****D0 EPDDCLKE: EPD Doubler Clock Enable Bit**

Doublerへのクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

EPDDCLKEのデフォルト設定は0で、クロックの供給は停止しています。EPDDCLKEを1に設定すると、上記のとおり生成されたクロックがDoublerに送られます。Doublerが不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

**EPD Booster Clock Control Register (EPD\_BCLK)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
EPD Booster Clock Control Register (EPD_BCLK)	0x5072 (8 bits)	D7	-	reserved	-	-	-	0 when being read.			
		D6-4	EPDBCLKD [2:0]	EPD Booster clock division ratio select	Division ratio			0x0	R/W		
					OSC3B	OSC3A	OSC1				
					0x5	1/128	1/256				reserved
					0x4	1/64	1/128				reserved
0x3	1/32				1/64	1/8					
0x2	1/16				1/32	1/4					
0x1	reserved	1/16	1/2								
0x0	reserved	reserved	1/1								
Other	reserved										
D3-2	EPDBCLK SRC[1:0]	EPD Booster clock source select	EPDBCLK SRC[1:0]	Clock source	0x0	R/W					
			0x3	reserved							
			0x2	OSC3A							
			0x1	OSC1							
0x0	OSC3B										
D1	-	reserved	-	-	-	-	0 when being read.				
D0	EPDBCLKE	EPD Booster clock enable	1   Enable	0   Disable	0	R/W					

**D7 Reserved****D[6:4] EPDBCLKD[2:0]: EPD Booster Clock Division Ratio Select Bits**

Boosterクロックを生成するための分周比を選択します。

表4.4.4 クロック分周比の選択

EPDBCLKD[2:0]	分周比		
	クロックソース = OSC3B	クロックソース = OSC3A	クロックソース = OSC1
0x7~0x6	Reserved	Reserved	Reserved
0x5	1/128	1/256	
0x4	1/64	1/128	
0x3	1/32	1/64	1/8
0x2	1/16	1/32	1/4
0x1	Reserved	1/16	1/2
0x0		Reserved	1/1

(デフォルト: 0x0)

**D[3:2] EPDBCLKSRC[1:0]: EPD Booster Clock Source Select Bits**

Boosterクロックソースを選択します。

表4.4.5 クロックソースの選択

EPDBCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1 Reserved****D0 EPDBCLKE: EPD Booster Clock Enable Bit**

Boosterへのクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

EPDBCLKEのデフォルト設定は0で、クロックの供給は停止しています。EPDBCLKEを1に設定すると、上記のとおり生成されたクロックがBoosterに送られます。Boosterが不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

**VD1 Control Register (VD1\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
VD1 Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	-	reserved		-	-	0 when being read.	
		D5	HVLD	VD1 heavy load protection mode	1   On	0   Off	0	R/W	
		D4-0	-	reserved		-	-	-	0 when being read.

**D[7:6] Reserved****D5 HVLD: VD1 Heavy Load Protection Mode Bit**

VD1/VOSC Regulatorを重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

VD1/VOSC RegulatorはHVLDに1を書き込むと重負荷保護モードとなり、VD1/VOSC出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

**D[4:0] Reserved**

## EPD Power Control Register 0 (EPD\_PWR0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
EPD Power Control Register 0 (EPD_PWR0)	0x5600 (16 bits)	D15-10	--	reserved	--		--	--	0 when being read.	
		D9	<b>DBSRT</b>	VE1-VE2 Doubler short	1	Short	0	Open	0	R/W
		D8	<b>DBON</b>	VE1 Doubler on/off	1	On	0	Off	0	R/W
		D7-4	<b>VECON[3:0]</b>	VE regulator contrast setting	VECON[3:0]		Contrast		0x7	R/W
					0xf	High				
					:	:				
					0x0	Low				
		D3	--	reserved	--		--	--	--	0 when being read.
D2	<b>HVLDVE</b>	VE heavy load protection mode	1	On	0	Off	0	R/W		
D1	<b>VESEL</b>	Reference voltage select	1	VE2	0	VE1	0	R/W		
D0	<b>VEON</b>	VE regulator on/off	1	On	0	Off	0	R/W		

### D[15:10] Reserved

#### D9 **DBSRT: VE1-VE2 Doubler Short Bit**

Doublerの入力～出力間を短絡します。

1(R/W): 短絡

0(R/W): オープン(デフォルト)

VE RegulatorでVE2を発生させる場合に、その出力に対するDoublerの影響を排除するため、Doublerの入力と出力を短絡させることができます。Doublerを使用しない場合は、DBSRTを1に設定して、入力～出力間を短絡させてください。

DoublerがOn(DBON = 1)の場合は、DBSRTが1に設定されていても入力～出力間は短絡されません。

#### D8 **DBON: VE1 Doubler On/Off Bit**

DoublerをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

VE RegulatorでVE1を発生させた場合はDBONを1に設定してDoublerをOnにします。DoublerはVE1を2倍に昇圧してVE2を発生します。

VE RegulatorでVE2を発生させる場合、Doublerは不要ですので、DBONは0に設定しておきます。

#### D[7:4] **VECON[3:0]: VE Regulator Contrast Setting Bits**

VE Regulatorの出力電圧値を切り換えて、EPDコントラストを調整します。

表4.4.6 VE Regulator出力レベルの設定 (EPDコントラスト調整機能)

VECON[3:0]	VE Regulator出力レベル
0xf	レベル15(高コントラスト)
:	:
0x7	レベル7(デフォルト)
:	:
0x0	レベル0(低コントラスト)

電圧値は“電気的特性”の章を参照してください。

### D3 Reserved

#### D2 **HVLDVE: VE Heavy Load Protection Mode Bit**

VE Regulatorを重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

VE RegulatorはHVLDVEに1を書き込むと重負荷保護モードとなり、出力の安定化を図ります。表示に濃淡が現れる場合などに設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

#### D1 **VESEL: Reference Voltage Select Bit**

VE Regulatorの出力電圧(昇圧用基準電圧)を選択します。

1(R/W): VE2

0(R/W): VE1(デフォルト)

$V_E$  Regulatorで $V_{E1}$ または $V_{E2}$ のどちらを生成するか、 $V_{DD}$ の値に応じて選択します。

表4.4.7  $V_E$  Regulator出力の選択

電源電圧 $V_{DD}$	VESEL	$V_E$ Regulator出力
$V_{DD} \geq V_{E1} + 0.3V$	0	$V_{E1}$
$V_{DD} \geq V_{E2} + 0.2V$	1	$V_{E2}$

#### D0 VEON: $V_E$ Regulator On/Off Bit

$V_E$  RegulatorをOn/Offします。

1 (R/W): On

0 (R/W): Off(デフォルト)

VEONを1に設定することによって $V_E$  RegulatorがOnとなり、昇圧用の基準電圧 $V_{E1}$ または $V_{E2}$ を発生します。

### EPD Power Control Register 1 (EPD\_PWR1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
EPD Power Control Register 1 (EPD_PWR1)	0x5602 (16 bits)	D15-12	VHCON [3:0]	$V_H$ regulator contrast setting	VHCON[3:0] 0xf : 0x0	Contrast High : Low	0x5	R/W		
		D11-10	VHSEL[1:0]	$V_H$ regulator range select	VHSEL[1:0] 0x3 0x2 0x1 0x0	Voltage reserved 9 V 12 V 15 V	0x0	R/W		
	D9	HVLDVH	$V_H$ heavy load protection mode	1	On	0	Off	0		R/W
	D8	VHON	$V_H$ regulator on/off	1	On	0	Off	0		R/W
	D7-2	-	reserved	-	-	-	-	-		0 when being read.
	D1	BSTPLD	Booster pull-down on/off	1	On	0	Off	0		R/W
	D0	BSTON	Booster on/off	1	On	0	Off	0		R/W

#### D[15:12] VHCON[3:0]: $V_H$ Regulator Contrast Setting Bits

$V_H$  Regulatorの出力電圧値を切り換えて、EPDコントラストを調整します。

表4.4.8  $V_H$  Regulator出力レベルの設定 (EPDコントラスト調整機能)

VHCON[3:0]	$V_H$ Regulator出力レベル
0xf	レベル15(高コントラスト)
:	:
0x5	レベル5(デフォルト)
:	:
0x0	レベル0(低コントラスト)

電圧値は“電気的特性”の章を参照してください。

#### D[11:10] VHSEL[1:0]: $V_H$ Regulator Range Select Bits

$V_H$  Regulatorの出力( $V_{EPD}$ )電圧値を使用するEPDに合わせて選択します。

表4.4.9  $V_{EPD}$ 電圧値

VHSEL[1:0]	$V_{EPD}$ 電圧値
0x3	Reserved
0x2	9V系
0x1	12V系
0x0	15V系

(デフォルト: 0x0)

#### D9 HVLDVH: $V_H$ Heavy Load Protection Mode Bit

$V_H$  Regulatorを重負荷保護モードに設定します。

1 (R/W): 重負荷保護On

0 (R/W): 重負荷保護Off(デフォルト)

$V_H$  RegulatorはHVLDVHに1を書き込むと重負荷保護モードとなり、出力の安定化を図ります。表示に濃淡が現れる場合などに設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

## 4 電源

### D8 **VHON: V<sub>H</sub> Regulator On/Off Bit**

V<sub>H</sub> RegulatorをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

VHONを1に設定することによってV<sub>H</sub> RegulatorがOnとなり、EPD駆動電圧V<sub>EPD</sub>がEPDドライバに供給されます。

注: V<sub>H</sub> RegulatorをOnしてから出力電圧V<sub>EPD</sub>が安定するまでに約5msの時間を要します。この間は、EPDへの表示を開始しないでください。

### D[7:2] **Reserved**

### D1 **BSTPLD: Booster Pull-Down On/Off Bit**

Boosterの出力をV<sub>SS</sub>にプルダウンします。

1(R/W): On

0(R/W): Off(デフォルト)

このプルダウン制御により、EPDのOffレベルをソフトウェアで生成することができます。

### D0 **BSTON: Booster On/Off Bit**

BoosterをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

BSTONを1に設定することによってBoosterがOnとなり、V<sub>H</sub> Regulatorに入力するV<sub>E5</sub>を発生します。

注: BoosterをOnしてから出力電圧V<sub>E5</sub>が安定するまでに約35msの時間を要します。この間は、V<sub>H</sub> RegulatorをOnしないでください。

# 5 イニシャルリセット

## 5.1 イニシャルリセット要因

S1C17F57の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート(P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

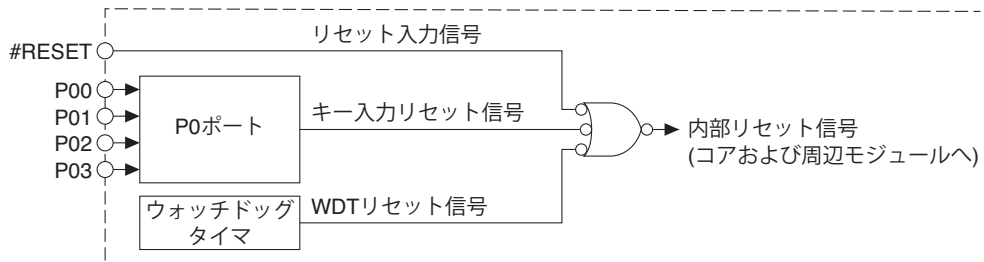


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)が読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

### 5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17F57を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください(“電気的特性”の章内の“入力端子特性”参照)。

#RESET入力がLowからHighになると、CPUはイニシャルリセットシーケンスを開始します。

#RESET端子には、プルアップ抵抗が内蔵されています。

### 5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。キー入力リセットの詳細については、“入出力ポート(P)”の章を参照してください。

注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

### 5.1.3 ウォッチドッグタイマによるリセット

S1C17F57は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD/WDT\_STレジスタに1を書き込みます(WDTMDが0の場合はNMIを発生します)。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

## 5 イニシャルリセット

- 注: ・ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
- ・ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

### 5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセットの解除後、発振安定待ち時間(64/OSC3Bクロック周波数)および内部リセット保持期間(32/OSC3Bクロック周波数)が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、OSC3B(内蔵発振回路)クロックに同期して起動します。

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

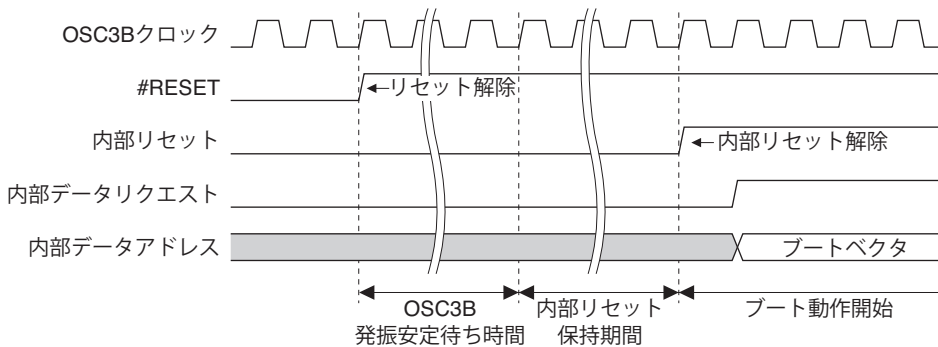


図5.2.1 イニシャルリセット解除後の動作シーケンス

### 5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0~R7: 0x0

PSR: 0x0(割り込みレベル=0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。



# 6 割り込みコントローラ (ITC)

## 6.1 ITCモジュールの概要

割り込みコントローラ (ITC) は周辺モジュールからの割り込み要求を受け付け、設定されている優先順位と割り込みレベルに従ってS1C17コアへ割り込み要求、割り込みレベル、ベクタ番号を指定する信号を出力します。ITCモジュールの主な機能は以下のとおりです。

- 16系統のマスク可能割り込みに対応
  1. P00～P07入力割り込み(8種類)
  2. P20～P27入力割り込み(8種類)
  3. ストップウォッチタイマ割り込み(3種類)
  4. 計時タイマ割り込み(4種類)
  5. RTC割り込み(10種類)
  6. EPD割り込み(1種類)
  7. 16ビットPWMタイマCh.0割り込み(6種類)
  8. 16ビットPWMタイマCh.1割り込み(6種類)
  9. 8ビットタイマCh.0割り込み(1種類)
  10. 8ビットタイマCh.1割り込み(1種類)
  11. UART Ch.0割り込み(4種類)
  12. SPI Ch.0割り込み(2種類)
  13. I<sup>2</sup>Cマスタ割り込み(2種類)
  14. I<sup>2</sup>Cスレーブ割り込み(3種類)
  15. 温度検出回路割り込み(1種類)
  16. R/F変換器割り込み(5種類)
- 割り込みソースの優先順位を決定する8段階の割り込みレベルに対応

ITCでは複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。

各割り込み系列には上記の( )内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図6.1.1に割り込みシステムの構成を示します。

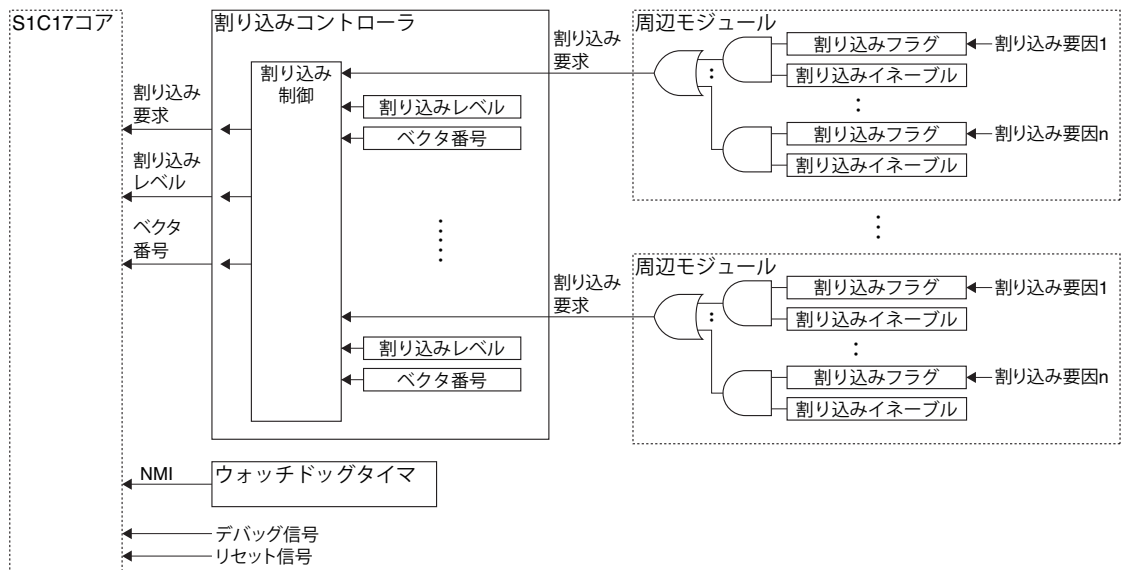


図6.1.1 割り込みシステム

## 6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。表6.2.1にS1C17F57のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	・ #RESET端子へのLow入力 ・ ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
-	(0xffffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P07ポート入力	高い *1 ↑
5 (0x05)	TTBR + 0x14	P2ポート割り込み	P20~P27ポート入力	
6 (0x06)	TTBR + 0x18	ストップウォッチタイマ割り込み	・ タイマ100Hz信号 ・ タイマ10Hz信号 ・ タイマ1Hz信号	
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	・ タイマ32Hz信号 ・ タイマ8Hz信号 ・ タイマ2Hz信号 ・ タイマ1Hz信号	
8 (0x08)	TTBR + 0x20	RTC割り込み	・ 32Hz, 8Hz, 4Hz, 1Hz ・ 10秒, 1分, 10分, 1時間 ・ 半日, 1日	
9 (0x09)	TTBR + 0x24	reserved	-	
10 (0x0a)	TTBR + 0x28	EPD割り込み	表示更新	
11 (0x0b)	TTBR + 0x2c	16ビットPWMタイマCh.0割り込み	・ コンペアA/B ・ キャプチャ A/B ・ キャプチャ A/Bオーバーライト	
12 (0x0c)	TTBR + 0x30	reserved	-	
13 (0x0d)	TTBR + 0x34			
14 (0x0e)	TTBR + 0x38	8ビットタイマCh.0割り込み	タイマアンダーフロー	
15 (0x0f)	TTBR + 0x3c	8ビットタイマCh.1割り込み	タイマアンダーフロー	
16 (0x10)	TTBR + 0x40	UART Ch.0割り込み	・ 送信バッファエンプティ ・ 転送終了 ・ 受信バッファフル ・ 受信エラー	
17 (0x11)	TTBR + 0x44	I <sup>2</sup> Cスレーブ割り込み	・ 送信バッファエンプティ ・ 受信バッファフル ・ バスステータス	
18 (0x12)	TTBR + 0x48	SPI Ch.0割り込み	・ 送信バッファエンプティ ・ 受信バッファフル	
19 (0x13)	TTBR + 0x4c	I <sup>2</sup> Cマスタ割り込み	・ 送信バッファエンプティ ・ 受信バッファフル	
20 (0x14)	TTBR + 0x50	reserved	-	
21 (0x15)	TTBR + 0x54	16ビットPWMタイマCh.1割り込み	・ コンペアA/B ・ キャプチャ A/B ・ キャプチャ A/Bオーバーライト	
22 (0x16)	TTBR + 0x58	温度検出回路割り込み	変換終了	
23 (0x17)	TTBR + 0x5c	R/F変換器割り込み	・ 基準発振終了 ・ センサA発振終了 ・ センサB発振終了 ・ タイムベースカウンタオーバーフローエラー ・ 計測カウンタオーバーフローエラー	
24 (0x18)	TTBR + 0x60	reserved	-	↓ 低い *1
:	:	:	:	
31 (0x1f)	TTBR + 0x7c	reserved	-	

\*1 同一の割り込みレベルが設定されている場合

\*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4~8、10~11、14~19、21~23に、S1C17F57が対応しているマスク可能な割り込みが割り当てられています。

## ベクタテーブルベースアドレス

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC\_TTBRLとMISC\_TTBRHレジスタによって設定することができます。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC\_TTBRL/MISC\_TTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。MISC\_TTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

## Vector Table Address Low/High Registers (MISC\_TTBRL, MISC\_TTBRH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff	0x80	R/W	
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRH)	0x532a (16 bits)	D15-8 D7-0	- TTBR[23:16]	reserved Vector table base address A[23:16]	- 0x0-0xff	- 0x0	- R/W	0 when being read.

注: MISC\_TTBRL/MISC\_TTBRHレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、MISC\_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC\_TTBRL/MISC\_TTBRHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC\_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

## 6.3 マスク可能割り込みの制御

### 6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みフラグは割り込み要因の発生により1にセットされます。割り込みイネーブルビットを1(割り込み許可)に設定しておくこと、このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。

割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。割り込み要因が発生すると割り込みフラグは1にセットされますが、ITCへの割り込み要求信号はアクティブになりません。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

注: 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。

### 6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)~7(高)に設定できます。

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

## 6 割り込みコントローラ (ITC)

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
P2ポート割り込み	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x4308
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
RTC割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
EPD割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
16ビットPWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
8ビットタイマCh.0割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
8ビットタイマCh.1割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x4310
UART Ch.0割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
I <sup>2</sup> Cスレーブ割り込み	ILV13[2:0] (D[10:8]/ITC_LV6レジスタ)	0x4312
SPI Ch.0割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
I <sup>2</sup> Cマスタ割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x4314
16ビットPWMタイマCh.1割り込み	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
温度検出回路割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318
R/F変換器割り込み	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x4318

### 6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをret命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

## 6.4 NMI

S1C17F57では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。NMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

## 6.5 ソフトウェア割り込み

S1C17コアのint imm5またはint1 imm5,imm3命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値imm5でベクタテーブルのベクタ番号(0~31)を指定します。int1命令では、imm3でPSRのILフィールドに設定する割り込みレベル(0~7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

## 6.6 HALT, SLEEPモードの解除

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット

注: • ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込み処理ルーチンに分岐します。それ以外の場合は、halt、slp命令に続く命令を実行します。

- ITCの割り込みレベルの設定では、割り込み要求によるHALT、SLEEPモードの解除をマスク(禁止)することはできません。

詳細は、“Appendix”内の“クロック制御によるパワーセーブ”を参照してください。また、HALT、SLEEPモード解除後の発振回路およびシステムクロックの状態については、“クロックジェネレータ(CLG)”の章を参照してください。

## 6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ一覧

アドレス	レジスタ名		機能
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P2割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	RTC割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	EPD、T16A2 Ch.0割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T8 Ch.0、Ch.1割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0、I2CS割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0、I2CM割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	T16A2 Ch.1割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	TEM、RFC割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## Interrupt Level Setup Register x (ITC\_LVx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register x (ITC_LVx)	0x4306	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILVn[2:0]	INTn (1, 3, ... 19) interrupt level	0 to 7	0x0	R/W	
	0x4318 (16 bits)	D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILVn[2:0]	INTn (0, 2, ... 18) interrupt level	0 to 7	0x0	R/W	

D[15:11], D[7:3]

Reserved

D[10:8], D[2:0]

## ILVn[2:0]: INTn Interrupt Level Bits (n = 0~19)

各割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要求が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC\_LVxレジスタ(0x4306~0x4318)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

表6.7.2 割り込みレベル設定ビット

レジスタ	ビット	割り込み
ITC_LV0 (0x4306)	ILV0[2:0] (D[2:0])	P0ポート割り込み
	ILV1[2:0] (D[10:8])	P2ポート割り込み
ITC_LV1 (0x4308)	ILV2[2:0] (D[2:0])	ストップウォッチタイマ割り込み
	ILV3[2:0] (D[10:8])	計時タイマ割り込み
ITC_LV2 (0x430a)	ILV4[2:0] (D[2:0])	RTC割り込み
	(ILV5[2:0] (D[10:8]))	Reserved
ITC_LV3 (0x430c)	ILV6[2:0] (D[2:0])	EPD割り込み
	ILV7[2:0] (D[10:8])	16ビットPWMタイマCh.0割り込み
(ITC_LV4 (0x430e))	(ILV8[2:0] (D[2:0]))	Reserved
	(ILV9[2:0] (D[10:8]))	Reserved
ITC_LV5 (0x4310)	ILV10[2:0] (D[2:0])	8ビットタイマCh.0割り込み
	ILV11[2:0] (D[10:8])	8ビットタイマCh.1割り込み
ITC_LV6 (0x4312)	ILV12[2:0] (D[2:0])	UART Ch.0割り込み
	ILV13[2:0] (D[10:8])	I <sup>2</sup> Cスレーブ割り込み
ITC_LV7 (0x4314)	ILV14[2:0] (D[2:0])	SPI Ch.0割り込み
	ILV15[2:0] (D[10:8])	I <sup>2</sup> Cマスタ割り込み
ITC_LV8 (0x4316)	(ILV16[2:0] (D[2:0]))	Reserved
	ILV17[2:0] (D[10:8])	16ビットPWMタイマCh.1割り込み
ITC_LV9 (0x4318)	ILV18[2:0] (D[2:0])	温度検出回路割り込み
	ILV19[2:0] (D[10:8])	R/F変換器割り込み

# 7 クロックジェネレータ (CLG)

## 7.1 CLGモジュールの概要

クロックジェネレータは、内蔵発振回路を制御してクロックを生成すると共に、S1C17コア、内蔵周辺モジュール、外部デバイスへのシステムクロック供給を制御します。

CLGモジュールの主な機能を以下に示します。

- 内蔵発振回路により動作クロックを生成
  - OSC3B発振回路: 2MHz/1MHz/500kHz (typ.) 内蔵発振回路
  - OSC3A発振回路: 4.2MHz (max.) 水晶発振回路/セラミック発振回路
  - OSC1B発振回路: 32kHz (typ.) 内蔵発振回路
  - OSC1A発振回路: 32.768kHz (typ.) 水晶発振回路
- システムクロックの切り換え  
システムのクロックソースをソフトウェアにてOSC3B、OSC3A、OSC1から選択可能
- CPUコアクロック (CCLK) の生成と、コアブロックへのクロック供給を制御  
CCLK周波数をシステムクロック × 1/1、1/2、1/4および1/8から選択可能
- 周辺モジュールへのクロック供給を制御
- CPUの動作状態 (RUN、HALT、SLEEP) に合わせ、クロックをOn/Off
- SLEEPモードからの高速な復帰処理を実現  
SLEEPモード解除時に強制的にOSC3BをOnし、システムクロックをOSC3Bに切り換え
- 外部デバイスへの2系統のクロック出力を制御

図7.1.1にクロックシステムとCLGモジュールの構成を示します。

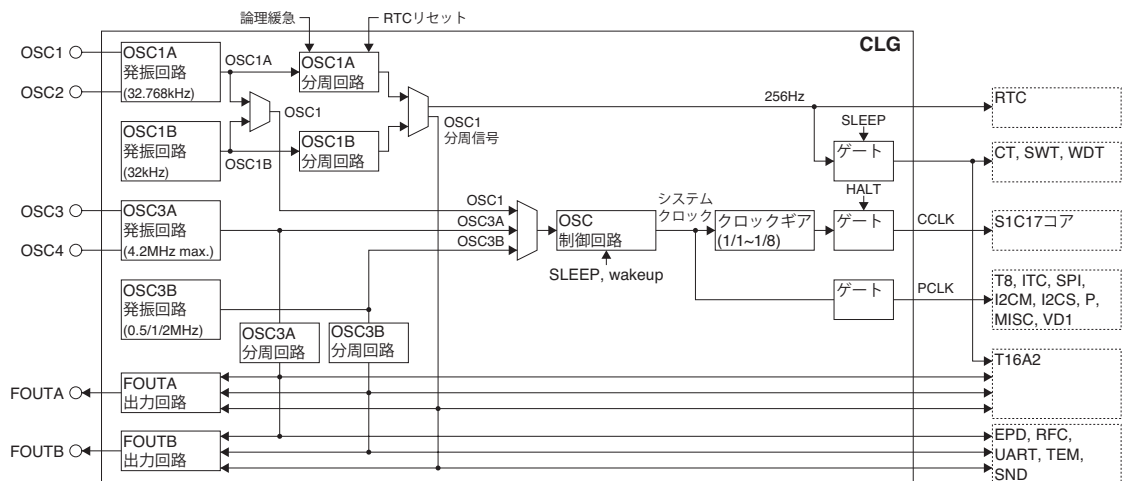


図7.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにHALT、SLEEPモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、Appendixの“パワーセーブ”を参照してください。

## 7.2 CLG入出力端子

表7.2.1にCLGモジュールの入出力端子の一覧を示します。

表7.2.1 CLG端子一覧

端子名	I/O	本数	機能
OSC1	I	1	OSC1A発振入力端子 水晶振動子 (32.768kHz) とゲート容量を接続します。
OSC2	O	1	OSC1A発振出力端子 水晶振動子 (32.768kHz) を接続します。
OSC3	I	1	OSC3A発振入力端子 水晶またはセラミック振動子 (max. 4.2MHz)、ゲート容量を接続します。
OSC4	O	1	OSC3A発振出力端子 水晶またはセラミック振動子 (max. 4.2MHz)、ドレイン容量を接続します。
FOUTA	O	1	FOUTAクロック出力端子 OSC3B、OSC3AまたはOSC1の分周クロックを出力します。
FOUTB	O	1	FOUTBクロック出力端子 OSC3B、OSC3AまたはOSC1の分周クロックを出力します。

CLGの出力端子(FOUTA、FOUTB)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCLGの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。機能の切り換え方法については“入出力ポート(P)”の章を参照してください。

## 7.3 発振回路

CLGモジュールは4種類の発振回路(OSC3B、OSC3A、OSC1B、OSC1A)を内蔵しています。OSC3B発振回路とOSC3A発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロックを、OSC1B発振回路とOSC1A発振回路はタイマ動作や低電力動作のサブクロックを発生します。イニシャルリセット時、システムクロックにはOSC3Bクロックが選択されます。発振回路のOn/Offとシステムクロックの切り換え(OSC3B、OSC3A、またはOSC1)はソフトウェアによって制御できます。なお、OSC1はOSC1BとOSC1Aのどちらか一方の選択になります。

### 7.3.1 OSC3B発振回路

OSC3B発振回路は外付け部品を一切必要とせず、高速な発振開始を実現する発振回路です。電源投入時に発振を開始し、イニシャルリセット後はS1C17コアと周辺回路がこの発振クロックで動作します。

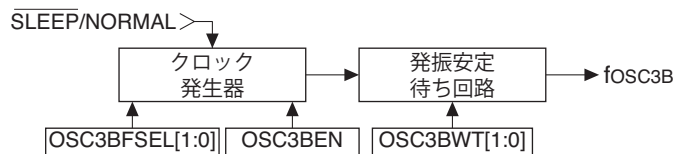


図7.3.1.1 OSC3B発振回路

### OSC3B発振周波数の選択

OSC3B発振周波数は、OSC3BFSEL[1:0]/CLG\_SRCレジスタによって以下の3種類から選択できるようになっています。

表7.3.1.1 OSC3B発振周波数の設定

OSC3BFSEL[1:0]	OSC3B発振周波数 (typ.)
0x3	Reserved
0x2	500kHz
0x1	1MHz
0x0	2MHz

(デフォルト: 0x0)



## OSC3B発振のOn/Off

OSC3B発振回路はOSC3BEN/CLG\_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC3B発振回路も発振を停止します。

イニシャルリセット時はOSC3BENが1に設定され、OSC3B発振回路はOnします。また、OSC3Bクロックがシステムクロックとなりますので、S1C17コアはOSC3Bクロックで動作を開始します。

## OSC3B発振開始時の安定待ち時間

ソフトウェアでOSC3B発振回路をOnにしたときなど、OSC3B発振開始時の不安定なクロックによる誤動作を防止するため、OSC3B発振回路には発振安定待ち回路が設けられています。図7.3.1.2に発振開始時間と発振安定待ち時間の関係を示します。

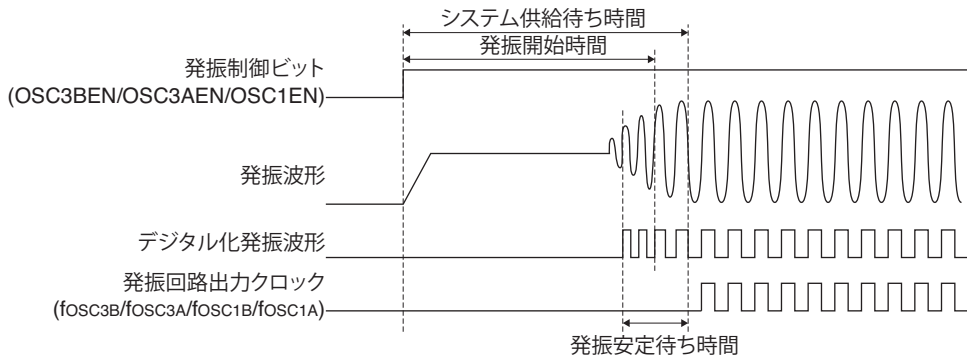


図7.3.1.2 発振開始時間と発振安定待ち時間

この回路で設定した時間が経過するまで、OSC3Bクロックはシステムに供給されません。この発振安定待ち時間はOSC3BWT[1:0]/CLG\_WAITレジスタで4種類から選択可能です。

表7.3.1.2 OSC3B発振安定待ち時間の設定

OSC3BWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(OSC3Bクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。発振開始時間については、“電気的特性”の章を参照してください。

イニシャルリセット時CPU動作開始時間  $\leq$  OSC3B発振開始時間(max.) + OSC3B発振安定待ち時間(64サイクル)

OSC3B発振回路をOnにした直後にシステムクロックをOSC3Bに切り換えた場合は、最大で下記のOSC3Bクロックシステム供給待ち時間が経過するまでOSC3Bクロックはシステムに供給されません。電源電圧V<sub>DD</sub>が十分安定した状態では、OSC3BWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

OSC3Bクロックシステム供給待ち時間  $\leq$  OSC3B発振開始時間(max.) + OSC3B発振安定待ち時間

### 7.3.2 OSC3A発振回路

OSC3A発振回路は水晶あるいはセラミック振動子を使用する高精度な高速発振回路です。OSC3B発振回路と切り換えて使用することができます。図7.3.2.1にOSC3A発振回路の構造を示します。

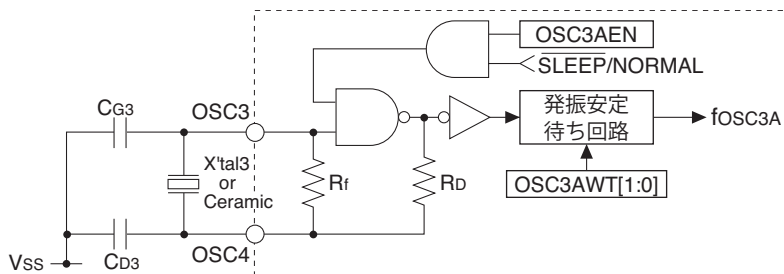


図7.3.2.1 OSC3A発振回路

OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG3、CD3)接続します。

有効周波数範囲、発振特性については“電気的特性”の章を参照してください。

#### OSC3A発振のOn/Off

OSC3A発振回路はOSC3AEN/CLG\_CTLレジスタを1に設定すると発振を開始し、0に設定すると発振を停止します。SLEEPモード時はOSC3A発振回路も発振を停止します。

イニシャルリセット時はOSC3AENが0に設定され、OSC3A発振回路は停止状態になります。

#### OSC3A発振開始時の安定待ち時間

ソフトウェアでOSC3A発振回路をOnにしたときなど、OSC3A発振開始時の不安定なクロックによる誤動作を防止するため、OSC3A発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、OSC3Aクロックはシステムに供給されません。

この発振安定待ち時間はOSC3AWT[1:0]/CLG\_WAITレジスタで4種類から選択可能です。

表7.3.2.1 OSC3A発振安定待ち時間の設定

OSC3AWT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3Aクロック)に設定されます。

OSC3A発振回路をOnにした直後にシステムクロックをOSC3Aに切り換えた場合は、最大で下記のOSC3Aクロックシステム供給待ち時間が経過するまでOSC3Aクロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

$$\text{OSC3Aクロックシステム供給待ち時間} \leq \text{OSC3A発振開始時間(max.)} + \text{OSC3A発振安定待ち時間}$$

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

### 7.3.3 OSC1発振回路

S1C17F57は2種類の低速発振回路(OSC1A、OSC1B)を内蔵しており、ソフトウェアでどちらか一方を選択して使用することができます。

通常、OSC1クロックはタイマ(リアルタイムクロック、計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、16ビットPWMタイマ)やR/F変換器、UART、サウンドジェネレータ、温度検出回路、EPDコントローラ/ドライバの動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、OSC3BまたはOSC3Aクロックの代わりにシステムクロックとしても使用可能です。

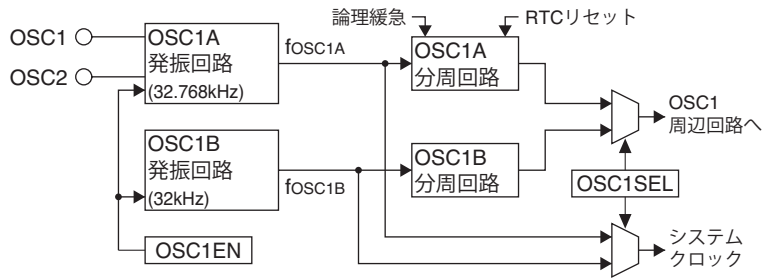


図7.3.3.1 OSC1発振回路の構成

### OSC1A発振回路

OSC1A発振回路は32.768kHzの水晶振動子を使用する高精度な低速発振回路です。図7.3.3.2にOSC1A発振回路の構造を示します。

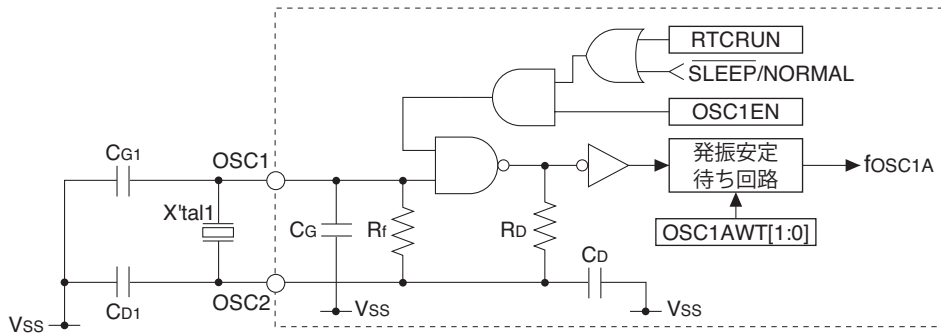


図7.3.3.2 OSC1A発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1 (Typ. 32.768kHz)を、同OSC1、OSC2端子とVss間にキャパシタを2個(CG1、CD1)接続します。

注: OSC1A分周回路の出力クロックは周波数調整のため、論理緩急機能によって操作されます。またRTCをスタートさせると、この分周回路もリセットされます。これらの操作時には出力される256Hzのクロック周期も変わるため、256Hzクロックを使用するタイマ (CT、SWT、WDT、T16A2) のカウント周期に影響がでます。

### OSC1B発振回路

OSC1Bは外付け部品を一切必要とせず、約32kHzのクロックを生成する発振回路です。

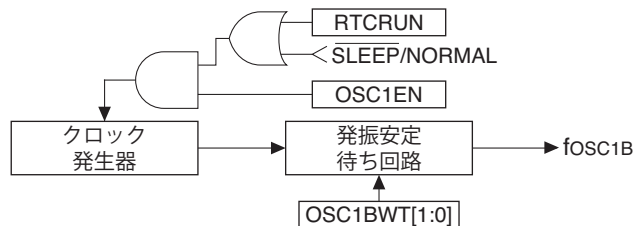


図7.3.3.3 OSC1B発振回路

### OSC1A/OSC1B発振回路の選択

OSC1A発振回路とOSC1B発振回路のどちらをOSC1発振回路として使用するか、OSC1SEL/CLG\_SRCレジスタで選択します。OSC1SELが1(デフォルト)の場合はOSC1B、OSC1SELを0に設定するとOSC1Aが選択されます。OSC1発振制御ビットは、ここで有効にした回路にのみ有効となります。

### OSC1発振のOn/Off

OSC1発振回路はOSC1EN/CLG\_CTLレジスタを1に設定すると発振を開始し、0に設定すると発振を停止します。

## 7 クロックジェネレータ(CLG)

RTCRUNとOSC1ENが共に1に設定されている場合、SLEEP時もOSC1発振回路は動作を継続します。RTCRUNが0の場合、OSC1ENの設定にかかわらず、SLEEP時にOSC1発振回路は停止します。イニシャルリセット時はOSC1ENおよびRTCRUNが0に設定され、OSC1発振回路は停止状態になります。

表7.3.3.1 OSC1発振回路の動作(通常動作時)

OSC1EN	RTCRUN	OSC1発振回路
1	1	On
1	0	On
0	1	Off
0	0	Off

表7.3.3.2 OSC1発振回路の動作(SLEEP時)

OSC1EN	RTCRUN	OSC1発振回路
1	1	On
1	0	Off
0	1	Off
0	0	Off

### OSC1発振開始時の安定待ち時間

ソフトウェアでOSC1発振回路をOnにしたときなど、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、OSC1クロックはシステムに供給されません。

OSC1Aの発振安定待ち時間はOSC1AWT[1:0]/CLG\_WAITレジスタで、OSC1Bの発振安定待ち時間はOSC1BWT[1:0]/CLG\_WAITレジスタでそれぞれ4種類から選択可能です。

表7.3.3.3 OSC1A発振安定待ち時間の設定

OSC1AWT[1:0]	OSC1A発振安定待ち時間
0x3	2048サイクル
0x2	4096サイクル
0x1	8192サイクル
0x0	16384サイクル

(デフォルト: 0x0)

表7.3.3.4 OSC1B発振安定待ち時間の設定

OSC1BWT[1:0]	OSC1B発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時はOSC1Aの場合は16384サイクル(OSC1クロック)、OSC1Bの場合は64サイクルに設定されます。

OSC1発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

OSC1クロックシステム供給待ち時間 ≤ OSC1発振開始時間(max.) + OSC1発振安定待ち時間

- 注:
- 発振の安定度は振動子などの外付け部品によって変わります。OSC1A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。
  - OSC1AまたはOSC1B発振回路をOnにした直後は、発振開始から4秒が経過するまでは発振回路をOffにしないでください。発振開始時間については“電気的特性”の章を参照してください。
  - OSC1B発振回路をOnにした直後から約3msの間は、“電気的特性”に記載のOSC1B発振周波数よりも高い周波数で発振します。

## 7.4 システムクロックの切り換え

システムクロックセレクタを下図に示します。

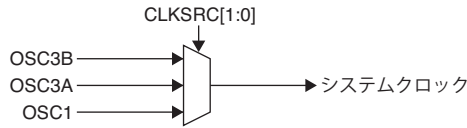


図7.4.1 システムクロックセレクタ

S1C17F57は3つのシステムクロックソース(OSC3B、OSC3A、OSC1)を持ち、イニシャルリセット後はOSC3Bをシステムクロックとして動作を開始します。高速処理が必要な場合にはシステムクロックをOSC3Aに、省電力動作のためにはOSC1に、CLKSRC[1:0]/CLG\_SRCレジスタによって切り換え可能です。システムクロックソースとして選択されておらず、周辺回路の動作にも使用していない発振回路は動作を停止させることで消費電流を低減できます。

表7.4.1 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

システムクロックの切り換え手順を以下に示します。

### OSC3BまたはOSC1からOSC3Aへの切り換え

1. 必要に応じてOSC3A発振安定待ち時間を設定します。(OSC3AWT[1:0])
2. OSC3A発振がOffの場合はOnにします。(OSC3AEN = 1)
3. OSC3Aクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x2)
4. 周辺モジュールとFOUTA/B出力回路がOSC3BまたはOSC1クロックを使用していない場合は、OSC3BまたはOSC1発振回路をOffにします。

### OSC3BまたはOSC3AからOSC1への切り換え

1. 必要に応じてOSC1AまたはOSC1B発振安定待ち時間を設定します。(OSC1AWT[1:0]/OSC1BWT[1:0])
2. OSC1発振がOffの場合はOnにします。(OSC1EN = 1)
3. OSC1クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x1)
4. 周辺モジュールとFOUTA/B出力回路がOSC3BまたはOSC3Aクロックを使用していない場合は、OSC3BまたはOSC3A発振回路をOffにします。

### OSC3AまたはOSC1からOSC3Bへの切り換え

1. 必要に応じてOSC3B発振安定待ち時間を設定します。(OSC3BWT[1:0])
2. OSC3B発振がOffの場合はOnにします。(OSC3BEN = 1)
3. OSC3Bクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x0)
4. 周辺モジュールとFOUTA/B出力回路がOSC3AまたはOSC1クロックを使用していない場合は、OSC3AまたはOSC1発振回路をOffにします。

注: ・システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.4.2 システムクロック切り換え条件

OSC3BEN	OSC3AEN	OSC1EN	システムクロック
1	1	1	OSC3B、OSC3A、またはOSC1
1	1	0	OSC3BまたはOSC3A
1	0	1	OSC3BまたはOSC1
0	1	1	OSC3AまたはOSC1

## 7 クロックジェネレータ (CLG)

- ・ システムクロックとして選択されている発振回路をOffにすることはできません。
- ・ CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- ・ SLEEPモード解除時は、SLEEP移行前の状態によらずOSC3B発振回路がOnし(OSC3BEN = 1)、システムクロックがOSC3B(CLKSRC[1:0] = 0x0)になります。  
HALTモード解除時は、HALT移行前の状態を継続します。

### 7.5 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止して消費電力の削減を図ります。

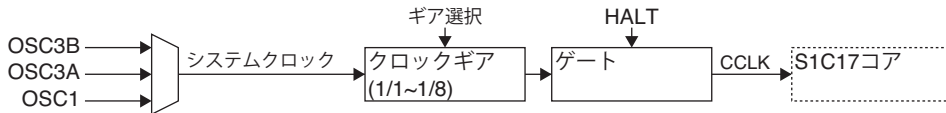


図7.5.1 CCLK供給システム

#### クロックギアの設定

CCLKGR[1:0]/CLG\_CCLKレジスタでシステムクロックを減速するギア比を選択します。

表7.5.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

#### クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

### 7.6 周辺モジュールクロック (PCLK) の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。周辺モジュールクロック(PCLK)にはシステムクロックがそのまま使用されます。

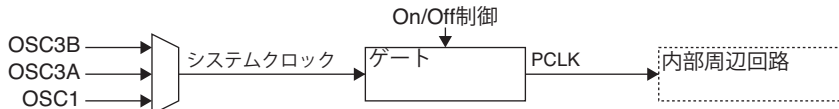


図7.6.1 周辺モジュールクロック制御回路

## クロック供給の制御

PCLKの供給はPCKEN[1:0]/CLG\_PCLKレジスタで制御します。

表7.6.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(下記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]/CLG\_PCLKレジスタを0x2または0x1には設定しないでください。

表7.6.2 周辺モジュールと動作クロック

周辺モジュール	動作クロック	備考
割り込みコントローラ	PCLK	この一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。
8ビットタイマ		
SPI		
I <sup>2</sup> Cマスタ		
I <sup>2</sup> Cスレーブ		
電源回路		
Pポート&ポートMUX		
MISCレジスタ		
リアルタイムクロック	OSC1分周クロック	この一覧内の周辺モジュールを1つ以上動作させる場合、OSC1発振回路を停止することはできません。PCLKの供給は停止可能です。
計時タイマ		
ストップウォッチタイマ		
ウォッチドッグタイマ		
EPDコントローラ/ドライバ	ソフトウェアで選択 (OSC3B/OSC3A/OSC1分周クロック)	クロックソースとして使用する発振回路を停止することはできません(7.7節または各周辺モジュールの章を参照)。PCLKの供給は停止可能です。
サウンドジェネレータ		
温度検出回路		
R/F変換器		
16ビットPWMタイマ		
UART		
FOUTA/FOUTB出力		

## 7.7 クロック外部出力(FOUTA, FOUTB)

OSC3B、OSC3A、またはOSC1の分周クロックを外部デバイスへ出力することができます。

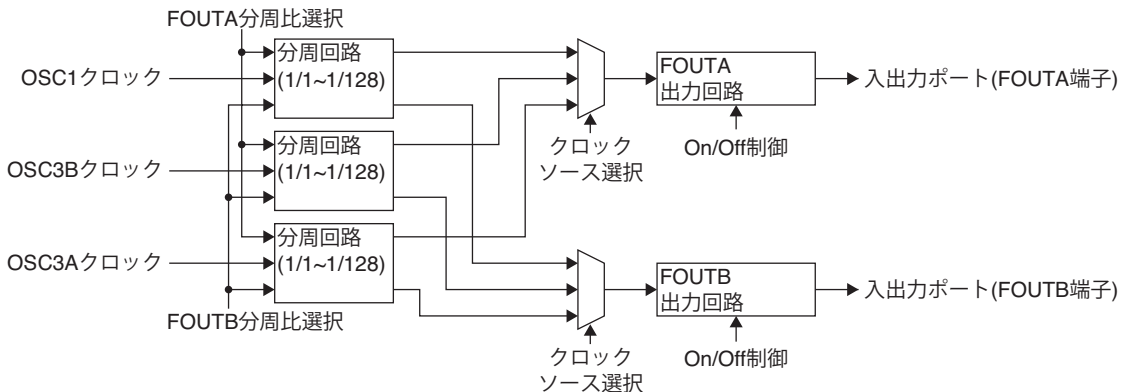


図7.7.1 クロック出力回路

## 7 クロックジェネレータ (CLG)

CLGモジュールは、FOUTAとFOUTBの2系統の出力回路を内蔵しています。FOUTAとFOUTBの機能はまったく同じです。

### 出力端子の設定

FOUTA、FOUTB出力端子は入出力ポート端子を兼ねています。デフォルト設定では入出力ポート端子として機能しますので、クロック出力として使用する場合はポート機能選択ビットで端子機能を変更してください。FOUTA、FOUTB端子と端子機能の選択方法については、“入出力ポート(P)”の章を参照してください。

### クロックソースの選択

クロックソースはFOUTASRC[1:0]/CLG\_FOUTAレジスタまたはFOUTBSRC[1:0]/CLG\_FOUTBレジスタを使用して、OSC3B、OSC3A、OSC1から選択可能です。

表7.7.1 クロックソースの選択

FOUTASRC[1:0]/FOUTBSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

### クロック周波数の選択

出力するクロック周波数を8種類から選択できます。FOUTAD[2:0]/CLG\_FOUTAレジスタまたはFOUTBD[2:0]/CLG\_FOUTBレジスタでソースクロックの分周比を選択してください。

表7.7.2 クロック分周比の選択

FOUTAD[2:0]/FOUTBD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

### クロック出力の制御

クロック出力は、FOUTAE/CLG\_FOUTAレジスタまたはFOUTBE/CLG\_FOUTBレジスタで制御します。FOUTAE/FOUTBEを1に設定するとFOUTA/FOUTBクロックがFOUTA/FOUTB端子から出力され、0に設定すると出力は停止します。

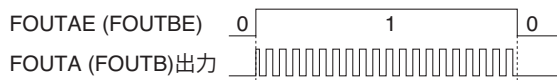


図7.7.2 FOUTA/FOUTB出力

注: ・ FOUTA/FOUTB信号はFOUTAE/FOUTBEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

- ・ 発振安定待ち時間等により、FOUTAE/FOUTBEを1に設定してからFOUTA/FOUTB信号が出力されるまでに遅れが出ることがあります。

## 7.8 制御レジスタ詳細

表7.8.1 CLGレジスタ一覧

アドレス	レジスタ名	機能
0x5060	CLG_SRC Clock Source Select Register	クロックソースの選択
0x5061	CLG_CTL Oscillation Control Register	発振制御
0x5064	CLG_FOUTA FOUTA Control Register	FOUTAクロック出力の制御
0x5065	CLG_FOUTB FOUTB Control Register	FOUTBクロック出力の制御



アドレス	レジスタ名		機能
0x507d	CLG_WAIT	Oscillation Stabilization Wait Control Register	発振安定待ち時間の制御
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## Clock Source Select Register (CLG\_SRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-6	OSC3B FSEL[1:0]	OSC3B frequency select	OSC3BFSEL[1:0]   Frequency	0x0	R/W		
					0x3   reserved				
						0x2   500 kHz			
						0x1   1 MHz			
						0x0   2 MHz			
		D5	-	reserved	-	-	-	0 when being read.	
		D4	OSC1SEL	OSC1 source select	1   OSC1B   0   OSC1A	1	R/W		
		D3-2	-	reserved	-	-	-	0 when being read.	
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]   Clock source	0x0	R/W		
					0x3   reserved				
					0x2   OSC3A				
					0x1   OSC1				
					0x0   OSC3B				

### D[7:6] OSC3BFSEL[1:0]: OSC3B Frequency Select Bits

OSC3B発振周波数を選択します。

表7.8.2 OSC3B発振周波数の設定

OSC3BFSEL[1:0]	OSC3B発振周波数 (typ.)
0x3	Reserved
0x2	500kHz
0x1	1MHz
0x0	2MHz

(デフォルト: 0x0)

**D5 Reserved**

### D4 OSC1SEL: OSC1 Source Select Bit

OSC1クロックソースを選択します。

1 (R/W): OSC1B (デフォルト)

0 (R/W): OSC1A

**D[3:2] Reserved**

### D[1:0] CLKSRC[1:0]: System Clock Source Select Bits

システムのクロックソースを選択します。

表7.8.3 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

通常(高速)動作時はOSC3BまたはOSC3Aを選択します。高速クロックが不要な場合は、OSC1をシステムクロックに設定し、OSC3BとOSC3Aを停止することで消費電流を低減できます。

- 注: ・ システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.8.4 システムクロック切り換え条件

OSC3BEN	OSC3AEN	OSC1EN	システムクロック
1	1	1	OSC3B、OSC3A、またはOSC1
1	1	0	OSC3BまたはOSC3A
1	0	1	OSC3BまたはOSC1
0	1	1	OSC3AまたはOSC1

- ・ システムクロックとして選択されている発振回路をOffにすることはできません。
- ・ CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- ・ SLEEPモード解除時は、SLEEP移行前の状態によらずOSC3B発振回路がOnし(OSC3BEN = 1)、システムクロックがOSC3B(CLKSRC[1:0] = 0x0)になります。  
HALTモード解除時は、HALT移行前の状態を継続します。

## Oscillation Control Register (CLG\_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-3	-	reserved		-	-	-	0 when being read.	
		D2	<b>OSC3BEN</b>	OSC3B enable	1	Enable	0	Disable	1	R/W
		D1	<b>OSC1EN</b>	OSC1 enable	1	Enable	0	Disable	0	R/W
		D0	<b>OSC3AEN</b>	OSC3A enable	1	Enable	0	Disable	0	R/W

### D[7:3] Reserved

#### D2 **OSC3BEN: OSC3B Enable Bit**

OSC3B発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: OSC3Bクロックをシステムクロックとして使用している場合、OSC3B発振回路を停止することはできません。

#### D1 **OSC1EN: OSC1 Enable Bit**

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: ・ OSC1発振を開始する前に、必ずOSC1SEL/CLG\_SRCレジスタでクロックソース(OSC1AまたはOSC1B)の選択を行ってください。

・ OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

#### D0 **OSC3AEN: OSC3A Enable Bit**

OSC3A発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: OSC3Aクロックをシステムクロックとして使用している場合、OSC3A発振回路を停止することはできません。

## FOUTA Control Register (CLG\_FOUTA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	FOUTAD [2:0]	FOUTA clock division ratio select	FOUTAD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3–2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W			
			0x3	reserved					
			0x2	OSC3A					
			0x1	OSC1					
0x0	OSC3B								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	FOUTAE	FOUTA output enable	1   Enable	0   Disable	0	R/W			

**D7** Reserved**D[6:4]** FOUTAD[2:0]: FOUTA Clock Division Ratio Select Bits

ソースクロックの分周比を選択してFOUTAクロック周波数を設定します。

表7.8.5 クロック分周比の選択

FOUTAD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

**D[3:2]** FOUTASRC[1:0]: FOUTA Clock Source Select Bits

FOUTAのクロックソースを選択します。

表7.8.6 FOUTAクロックソースの選択

FOUTASRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1** Reserved**D0** FOUTAE: FOUTA Output Enable Bit

FOUTAクロックの外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTAEを1に設定するとFOUTAクロックがFOUTA端子から出力され、FOUTAEを0に設定すると出力は停止します。

## FOUTB Control Register (CLG\_FOUTB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7	--	reserved	--		--	0 when being read.	
		D6-4	FOUTBD [2:0]	FOUTB clock division ratio select	FOUTBD[2:0]	Division ratio	0x0	R/W	
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
0x3	1/8								
0x2	1/4								
0x1	1/2								
0x0	1/1								
D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W			
			0x3	reserved					
			0x2	OSC3A					
			0x1	OSC1					
0x0	OSC3B								
D1	--	reserved	--		--	--	0 when being read.		
D0	FOUTBE	FOUTB output enable	1	Enable	0	Disable	0	R/W	

## D7 Reserved

## D[6:4] FOUTBD[2:0]: FOUTB Clock Division Ratio Select Bits

ソースクロックの分周比を選択してFOUTBクロック周波数を設定します。

表7.8.7 クロック分周比の選択

FOUTBD[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

## D[3:2] FOUTBSRC[1:0]: FOUTB Clock Source Select Bits

FOUTBのクロックソースを選択します。

表7.8.8 FOUTBクロックソースの選択

FOUTBSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

## D1 Reserved

## D0 FOUTBE: FOUTB Output Enable Bit

FOUTBクロックの外部出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

FOUTBEを1に設定するとFOUTBクロックがFOUTB端子から出力され、FOUTBEを0に設定すると出力は停止します。

## Oscillation Stabilization Wait Control Register (CLG\_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Oscillation Stabilization Wait Control Register (CLG_WAIT)	0x507d (8 bits)	D7-6	OSC3BWT [1:0]	OSC3B stabilization wait cycle select	OSC3BWT[1:0]	Wait cycle	0x0	R/W	
					0x3	8 cycles			
					0x2	16 cycles			
					0x1	32 cycles			
	0x0	64 cycles							
	D5-4	OSC3AWT [1:0]	OSC3A stabilization wait cycle select	OSC3AWT[1:0]	Wait cycle	0x0	R/W		
				0x3	128 cycles				
				0x2	256 cycles				
				0x1	512 cycles				
	0x0	1024 cycles							
	D3-2	OSC1BWT [1:0]	OSC1B stabilization wait cycle select	OSC1BWT[1:0]	Wait cycle	0x0	R/W		
				0x3	8 cycles				
				0x2	16 cycles				
				0x1	32 cycles				
	0x0	64 cycles							
	D1-0	OSC1AWT [1:0]	OSC1A stabilization wait cycle select	OSC1AWT[1:0]	Wait cycle	0x0	R/W		
0x3				2048 cycles					
0x2				4096 cycles					
0x1				8192 cycles					
0x0	16384 cycles								

## D[7:6] OSC3BWT[1:0]: OSC3B Stabilization Wait Cycle Select Bits

OSC3B発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC3B発振開始直後は、ここで設定した時間が経過するまで、OSC3Bクロックはシステムに供給されません。

表7.8.9 OSC3B発振安定待ち時間の設定

OSC3BWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(OSC3Bクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。

$$\text{イニシャルリセット時CPU動作開始時間} \leq \text{OSC3B発振開始時間 (max.)} + \text{OSC3B発振安定待ち時間 (64サイクル)}$$

OSC3B発振回路をOnにした直後にシステムクロックをOSC3Bに切り換えた場合は、最大で下記のOSC3Bクロックシステム供給待ち時間が経過するまでOSC3Bクロックはシステムに供給されません。電源電圧V<sub>DD</sub>が十分安定した状態では、OSC3BWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

$$\text{OSC3Bクロックシステム供給待ち時間} \leq \text{OSC3B発振開始時間 (max.)} + \text{OSC3B発振安定待ち時間}$$

## D[5:4] OSC3AWT[1:0]: OSC3A Stabilization Wait Cycle Select Bits

OSC3A発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC3A発振開始直後は、ここで設定した時間が経過するまで、OSC3Aクロックはシステムに供給されません。

表7.8.10 OSC3A発振安定待ち時間の設定

OSC3AWT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3Aクロック)に設定されます。

## 7 クロックジェネレータ (CLG)

OSC3A発振回路をOnにした直後にシステムクロックをOSC3Aに切り換えた場合は、最大で下記のOSC3Aクロックシステム供給待ち時間が経過するまでOSC3Aクロックはシステムに供給されません。

$$\text{OSC3Aクロックシステム供給待ち時間} \leq \text{OSC3A発振開始時間 (max.)} + \text{OSC3A発振安定待ち時間}$$

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

### D[3:2] OSC1BWT[1:0]: OSC1B Stabilization Wait Cycle Select Bits

OSC1B発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC1B発振開始直後は、ここで設定した時間が経過するまで、OSC1クロックはシステムに供給されません。

表7.8.11 OSC1B発振安定待ち時間の設定

OSC1BWT[1:0]	OSC1B発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(OSC1クロック)に設定されます。

OSC1B発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。

$$\text{OSC1クロックシステム供給待ち時間} \leq \text{OSC1B発振開始時間 (max.)} + \text{OSC1B発振安定待ち時間}$$

### D[1:0] OSC1AWT[1:0]: OSC1A Stabilization Wait Cycle Select Bits

OSC1A発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。OSC1A発振開始直後は、ここで設定した時間が経過するまで、OSC1クロックはシステムに供給されません。

表7.8.12 OSC1A発振安定待ち時間の設定

OSC1AWT[1:0]	OSC1A発振安定待ち時間
0x3	2048サイクル
0x2	4096サイクル
0x1	8192サイクル
0x0	16384サイクル

(デフォルト: 0x0)

イニシャルリセット時は16384サイクル(OSC1クロック)に設定されます。

OSC1A発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。

$$\text{OSC1クロックシステム供給待ち時間} \leq \text{OSC1A発振開始時間 (max.)} + \text{OSC1A発振安定待ち時間}$$

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC1A発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

## PCLK Control Register (CLG\_PCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0] PCLK supply	0x3	R/W		
					0x3	Enable			
					0x2	Not allowed			
					0x1	Not allowed			
			0x0	Disable					

### D[7:2] Reserved

**D[1:0] PCKEN[1:0]: PCLK Enable Bits**

内部周辺モジュールへのクロック(PCLK)の供給を許可/禁止します。

表7.8.13 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。

**PCLKを使用する周辺モジュール**

- 割り込みコントローラ
- 8ビットタイマCh.0~1
- SPI Ch.0
- I<sup>2</sup>Cマスタ
- I<sup>2</sup>Cスレーブ
- 電源制御回路
- Pポート&ポートMUX
- MISCレジスタ

上記一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。

上記のすべての周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

**PCLKを使用しない周辺モジュール/機能**

- リアルタイムクロック
- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- EPDコントローラ/ドライバ
- サウンドジェネレータ
- SVD回路
- 温度検出回路
- R/F変換器
- 16ビットPWMタイマCh.0~1
- UART Ch.0
- FOUTA/FOUTB出力

これらの周辺モジュール/機能はPCLKを停止しても動作します。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

**CCLK Control Register (CLG\_CCLK)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0] Gear ratio	0x0	R/W		
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
				0x0	1/1				

**D[7:2] Reserved****D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits**

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表7.8.14 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)



## 8 論理緩急 (TR)

### 8.1 TRモジュールの概要

S1C17F57は、発振周波数偏差による計時誤差を論理的に補正するための論理緩急機能を持っています。

- OSC1Aクロック (32.768kHz Typ.)を調整  
(OSC1Bクロックの調整には対応していません。)
- 調整範囲: 1回の補正で $-15/32768 \sim +16/32768$  [秒]
- 論理緩急クロック (F256)を使用する周辺モジュール
  1. リアルタイムクロック (RTC)
  2. 計時タイマ (CT)
  3. ストップウォッチタイマ (SWT)
  4. ウォッチドッグタイマ (WDT)
  5. 16ビットPWMタイマ (T16A2) ※カウントクロックにF256を選択した場合のみ
- ソフトウェアにより任意のタイミングで論理緩急を実行可能

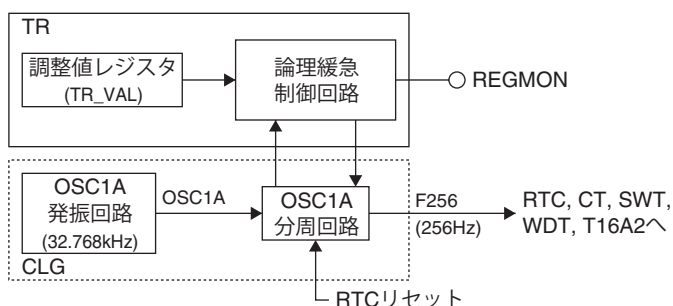


図8.1.1 TRモジュールの構成

### 8.2 TR出力端子

表8.2.1にTRの出力端子を示します。

表8.2.1 TRの出力端子

端子名	I/O	本数	機能
REGMON	O	1	論理緩急モニタ用出力端子 補正実行後のクロック (F256 (256Hz) またはF1 (1Hz)) が出力され、論理緩急結果をモニタすることができます。

TRの出力端子 (REGMON) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これをTRの出力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート (P)”の章を参照してください。

### 8.3 論理緩急制御

#### 8.3.1 調整値の設定

論理緩急の調整値 ( $-15/32768 \sim +16/32768$ ) はTRIM[4:0]/TR\_VALレジスタで指定します。

表8.3.1.1 調整値の設定

TRIM[4:0]	1回の補正量 (n/32768)	歩度 * (秒/日)	TRIM[4:0]	1回の補正量 (n/32768)	歩度 * (秒/日)
0x10	-15	+3.955	0x00	+1	-0.264
0x11	-14	+3.691	0x01	+2	-0.527
0x12	-13	+3.428	0x02	+3	-0.791
0x13	-12	+3.164	0x03	+4	-1.055
0x14	-11	+2.900	0x04	+5	-1.318
0x15	-10	+2.637	0x05	+6	-1.582
0x16	-9	+2.373	0x06	+7	-1.846
0x17	-8	+2.109	0x07	+8	-2.109
0x18	-7	+1.846	0x08	+9	-2.373
0x19	-6	+1.582	0x09	+10	-2.637
0x1a	-5	+1.318	0x0a	+11	-2.900
0x1b	-4	+1.055	0x0b	+12	-3.164
0x1c	-3	+0.791	0x0c	+13	-3.428
0x1d	-2	+0.527	0x0d	+14	-3.691
0x1e	-1	+0.264	0x0e	+15	-3.955
0x1f	0	0	0x0f	+16	-4.219

\* 10秒周期で論理緩急を実行した場合

(デフォルト: 0x0)

この調整値を記録しておくアドレスとして、Flashメモリの0xffffa~0xffffbが予約されています。ICの出荷後にユーザが調整値を書き込んでおき、TRIM[4:0]の設定に使用します。なお、このアドレスには何も書き込まれない状態で出荷されますので、プログラムコードやその他のデータなどにこのアドレスを使用しないでください。

### 8.3.2 論理緩急の実行

論理緩急は、REGTRIG/TR\_CTLレジスタに1を書き込むことにより、OSC1Aクロック(32.768kHz)の分周回路部で行われます。この操作により、OSC1A分周回路が出力する256Hzクロックの周期がTRIM[4:0]で指定した時間だけ、延長または短縮されます。REGTRIGへの1書き込みで1回の補正が行われます。周期的に補正を行うには、タイマ割り込みルーチン等を利用してREGTRIGに1を書き込んでください。REGTRIGへの書き込み後、実際の論理緩急動作まで最大16.6msの遅延を生じます。この間のREGTRIGへの1書き込みは無効です。したがって、REGTRIGへの連続書き込みは16.6ms以上の間隔をおいて行ってください。

計時タイマなどのOSC1周辺回路には、論理緩急により補正されたクロック(F256)が入力されます。

注: 論理緩急の実行には、論理緩急クロック(F256)を使用する周辺タイマモジュールからの割り込みを使用してください。消費電流を抑える手段として常時動作しているタイマ割り込みを使用することを推奨します。

### 8.3.3 論理緩急クロックの外部モニタ

補正後の256Hzクロック(F256)または1Hzクロック(F1)をREGMON端子から出力させ、モニタすることができます。

RCLKFSEL/TR\_CTLレジスタを使用して、F256とF1のどちらを出力させるか選択します。RCLKFSELが0(デフォルト)の場合はF256、RCLKFSELを1に設定するとF1が選択されます。

選択したクロックは、RCLKMON/TR\_CTLレジスタを1に設定すると、REGMON端子から出力されます。RCLKMONを0に設定すると、クロック出力は停止し、REGMON端子はLowレベル(V<sub>ss</sub>)になります。

注: ・ 256Hzの論理緩急クロックをモニタするには、計時タイマ(CT)、ストップウォッチタイマ(SWT)、またはウォッチドッグタイマ(WDT)のいずれかをOnにするか、あるいは16ビットPWMタイマ(T16A2)を、そのクロックとしてF256(論理緩急256Hzクロック)を選択した上でOnにする必要があります。

- ・ 1Hzの論理緩急クロックをモニタするには、リアルタイムクロック(RTC)をOnにする必要があります。

## 8.4 制御レジスタ詳細

表8.4.1 TRレジスタ一覧

アドレス	レジスタ名		機能
0x5078	TR_CTL	TR Control Register	論理緩急制御
0x5079	TR_VAL	TR Value Register	補正値の設定

以下、TRモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### TR Control Register (TR\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
TR Control Register (TR_CTL)	0x5078 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3	<b>RCLKFSEL</b>	Monitor clock frequency select	1   1 Hz    0   256 Hz	0	R/W		
		D2	<b>RCLKMON</b>	Regulated clock monitor enable	1   Enable    0   Disable	0	R/W		
		D1	–	reserved	–	–	–	–	0 when being read.
		D0	<b>REGTRIG</b>	Regulation trigger	1   Trigger    0   Ignored	0	W		

**D[7:4] Reserved**

#### D3 **RCLKFSEL: Monitor Clock Frequency Select Bit**

REGMON端子からモニタ出力する補正後のクロックを選択します。

1 (R/W): F1 (1Hz)

0 (R/W): F256 (256Hz) (デフォルト)

#### D2 **RCLKMON: Regulated Clock Monitor Enable Bit**

REGMON端子からのクロックモニタ出力を制御します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

RCLKMONを1に設定すると、RCLKFSELで選択したクロックがREGMON端子から出力されます。

**D1 Reserved**

#### D0 **REGTRIG: Regulation Trigger Bit**

論理緩急を実行します。

1 (W): トリガ

0 (W): 無効 (デフォルト)

REGTRIGに1を書き込むことにより、1回の論理緩急を実行します。

REGTRIGへの書き込み後、実際の論理緩急動作まで最大16.6msの遅延を生じます。この間のREGTRIGへの1書き込みは無効です。したがって、REGTRIGへの連続書き込みは16.6ms以上の間隔をおいて行ってください。

### TR Value Register (TR\_VAL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
TR Value Register (TR_VAL)	0x5079 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4-0	<b>TRIM[4:0]</b>	Regulation value	TRIM[4:0]	Regulation value	0x0	R/W	
					0xf	+16			
					0xe	+15			
					:	:			
					0x1	+2			
					0x0	+1			
					0x1f	0			
					0x1e	-1			
					:	:			
0x11	-14								
0x10	-15								

**D[7:5] Reserved**

## 8 論理緩急 (TR)

### D[4:0] TRIM[4:0]: Regulation Value Bits

論理緩急の調整値(-15/32768~+16/32768)を指定します。

表8.4.2 調整値の設定

TRIM[4:0]	1回の補正量 (n/32768)	歩度 * (秒/日)	TRIM[4:0]	1回の補正量 (n/32768)	歩度 * (秒/日)
0x10	-15	+3.955	0x00	+1	-0.264
0x11	-14	+3.691	0x01	+2	-0.527
0x12	-13	+3.428	0x02	+3	-0.791
0x13	-12	+3.164	0x03	+4	-1.055
0x14	-11	+2.900	0x04	+5	-1.318
0x15	-10	+2.637	0x05	+6	-1.582
0x16	-9	+2.373	0x06	+7	-1.846
0x17	-8	+2.109	0x07	+8	-2.109
0x18	-7	+1.846	0x08	+9	-2.373
0x19	-6	+1.582	0x09	+10	-2.637
0x1a	-5	+1.318	0x0a	+11	-2.900
0x1b	-4	+1.055	0x0b	+12	-3.164
0x1c	-3	+0.791	0x0c	+13	-3.428
0x1d	-2	+0.527	0x0d	+14	-3.691
0x1e	-1	+0.264	0x0e	+15	-3.955
0x1f	0	0	0x0f	+16	-4.219

\* 10秒周期で論理緩急を実行した場合

(デフォルト: 0x0)

# 9 リアルタイムクロック(RTC)

## 9.1 RTCの概要

S1C17F57はリアルタイムクロック(RTC)を内蔵しています。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタ内蔵
- OSC1A発振回路と共にSLEEP時も動作
- カウンタはバイナリまたはBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- 周期的な割り込み(32Hz、8Hz、4Hz、1Hz、10秒、1分、10分、1時間、半日、1日)が可能

図9.1.1にRTCのブロック図を示します。

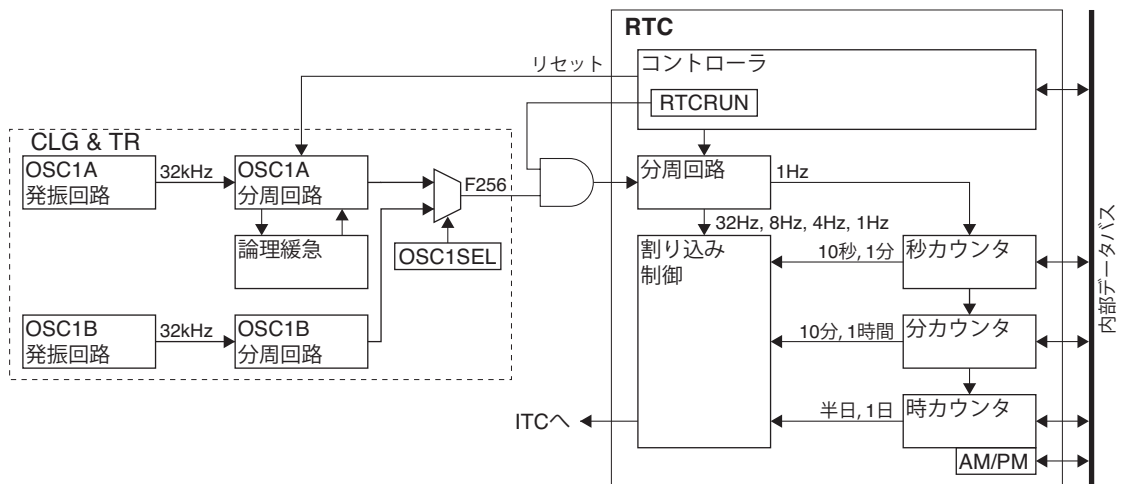


図9.1.1 RTCブロック図

## 9.2 RTCカウンタ

RTCは以下に示す3個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからバイナリデータまたはBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

### 秒カウンタ

7ビットのバイナリカウンタで、分周回路から1Hz信号を入力して0~59秒までカウントします。BCDMD/RTC\_CTLレジスタを1に設定することで、3ビット(0~5) + 4ビット(0~9)のBCDカウンタとして使用することもできます。カウントデータはRTCSEC[6:0]/RTC\_MSレジスタを使用して読み出し/書き込みを行います。60秒の時点で0にリセットされ、分カウンタにキャリーを出力します。



図9.2.1 秒カウンタ

## 分カウンタ

7ビットのバイナリカウンタで、秒カウンタからのキャリーにより0～59分までカウントします。BCDMD/RTC\_CTLレジスタを1に設定することで、3ビット(0～5) + 4ビット(0～9)のBCDカウンタとして使用することもできます。カウントデータはRTCMIN[6:0]/RTC\_MSレジスタを使用して読み出し/書き込みを行います。60分の時点で0にリセットされ、時カウンタにキャリーを出力します。

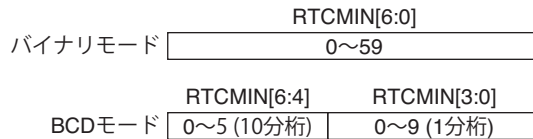


図9.2.2 分カウンタ

## 時カウンタ

6ビットのバイナリカウンタで、分カウンタからのキャリーにより0～23時(24時間制)または1～12時(12時間制)までカウントします。BCDMD/RTC\_CTLレジスタを1に設定することで、2ビット(0～2または0～1) + 4ビット(0～9)のBCDカウンタとして使用することもできます。カウントデータはRTCHOUR[5:0]/RTC\_Hレジスタを使用して読み出し/書き込みを行います。

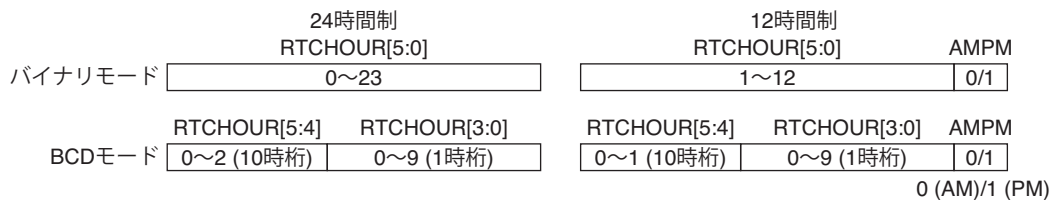


図9.2.3 時カウンタ

表9.2.1 時カウンタのカウント値

時間	24時間制		12時間制		AMPM
	RTCHOUR[5:0] (バイナリ)	RTCHOUR[5:0] (BCD)	RTCHOUR[5:0] (バイナリ)	RTCHOUR[5:0] (BCD)	
0時 (AM12時)	0x0	0x00	0xc	0x12	0
1時 (AM1時)	0x1	0x01	0x1	0x01	0
2時 (AM2時)	0x2	0x02	0x2	0x02	0
3時 (AM3時)	0x3	0x03	0x3	0x03	0
4時 (AM4時)	0x4	0x04	0x4	0x04	0
5時 (AM5時)	0x5	0x05	0x5	0x05	0
6時 (AM6時)	0x6	0x06	0x6	0x06	0
7時 (AM7時)	0x7	0x07	0x7	0x07	0
8時 (AM8時)	0x8	0x08	0x8	0x08	0
9時 (AM9時)	0x9	0x09	0x9	0x09	0
10時 (AM10時)	0xa	0x10	0xa	0x10	0
11時 (AM11時)	0xb	0x11	0xb	0x11	0
12時 (PM12時)	0xc	0x12	0xc	0x12	1
13時 (PM1時)	0xd	0x13	0x1	0x01	1
14時 (PM2時)	0xe	0x14	0x2	0x02	1
15時 (PM3時)	0xf	0x15	0x3	0x03	1
16時 (PM4時)	0x10	0x16	0x4	0x04	1
17時 (PM5時)	0x11	0x17	0x5	0x05	1
18時 (PM6時)	0x12	0x18	0x6	0x06	1
19時 (PM7時)	0x13	0x19	0x7	0x07	1
20時 (PM8時)	0x14	0x20	0x8	0x08	1
21時 (PM9時)	0x15	0x21	0x9	0x09	1
22時 (PM10時)	0x16	0x22	0xa	0x10	1
23時 (PM11時)	0x17	0x23	0xb	0x11	1

## カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。ソフトウェアでカウンタを初期設定してください。

## 9.3 RTCの制御

### 9.3.1 動作クロックの制御

RTCモジュールはCLGモジュールが出力する256Hzクロックを動作クロックとして使用します(通常はOSC1A分周回路から出力されるF256クロック(256Hzの論理緩急クロック)で動作します)。したがって、RTCを動作させるには、OSC1発振回路をOnさせておく必要があります。ただし、RTCが停止中は、OSC1発振回路がOnの場合でもRTCモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章および“論理緩急(TR)”の章を参照してください。

注: • RTCモジュールの入カクロックは、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。

- CLGでOSC1BをOSC1クロックソースとして選択した場合も、OSC1B分周回路のクロック(約256Hz)が供給され、CTモジュールは動作します。ただし、正確な計時はできません。
- OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC\_CTLレジスタに1を書き込んだ)時点でもリセットされます。このリセットからF256の周期が新たに始まりますので、タイマモジュール(CT、SWT、WDT、T16A2)のカウント動作にも影響します。
- イニシャルリセット時はRTCRUNが0に設定され、RTCは停止状態になります。OSC1発振回路も停止します。このため、RTCが動作中にICがリセットされた場合、以下の時間RTCが停止することになります。

$$\begin{aligned} \text{RTC停止時間} = & \text{[#RESET = Lowの時間]} + \\ & \text{[OSC3B発振安定待ち時間]} + \\ & \text{[OSC1を起動させるまでの時間]} + \\ & \text{[OSC1発振安定待ち時間]} + \\ & \text{[RTCを再スタートするまでの時間]} \end{aligned}$$

### 9.3.2 24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H/RTC\_CTLレジスタで選択できるようになっています。

RTC24H = 1: 12時間制

RTC24H = 0: 24時間制

この選択により、時カウンタのカウント範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24Hはカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

#### 12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すAMPM/RTC\_Hレジスタが有効になります。

AMPM = 0: 午前

AMPM = 1: 午後

24時間制の場合、AMPMは0に固定されます。

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

### 9.3.3 RTCのスタート/ストップ

RTCはRTCRUN/RTC\_CTLレジスタを1に設定するとカウントを開始し、0に設定すると停止します。RTCRUNに1を書き込むと、CLGのOSC1A分周回路がリセット後、OSC1Aクロックの分周を開始します。

### 9.3.4 カウンタの設定

カウンタ値の設定は、以下の手順で行ってください。

1. RTCRUN/RTC\_CTLレジスタに0を書き込み、RTCを停止させます。
2. RTCST/RTC\_CTLレジスタが0になる(RTCが実際に動作を停止する)まで待ちます。

## 9 リアルタイムクロック(RTC)

3. RTC\_MSレジスタ、RTC\_Hレジスタにカウンタ値を書き込みます。
4. RTCRUN/RTC\_CTLレジスタに1を書き込み、RTCをスタートさせます。

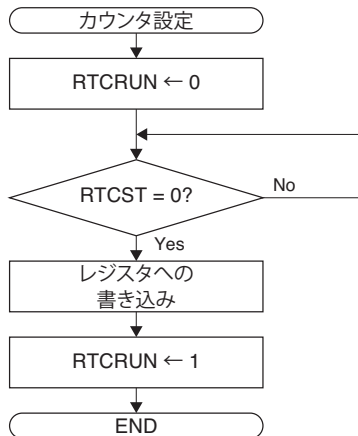


図9.3.4.1 カウンタ設定手順

- 注:
- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
  - カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
  - 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

### 9.3.5 カウンタの読み出し

カウンタの読み出し中にカウンタの桁上げが発生すると、正しい時刻が読み出せないことがあります。以下の手順でカウンタを読み出してください。

#### 読み出し方法1

1. RTC\_MSレジスタとRTC\_Hレジスタを読み出します。
2. 再度RTC\_MSレジスタとRTC\_Hレジスタを読み出します。
3. 1と2で同じ値が読み出された場合は、正しい時刻が読み出されたものとします。1と2の読み出し値が異なる場合は、再度1からやり直します。

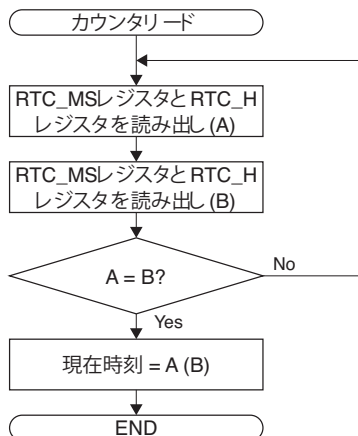


図9.3.5.1 カウンタ読み出し手順

#### 読み出し方法2

1Hz割り込み(または10秒~1日割り込み)が発生してから1秒以内にRTC\_MSレジスタとRTC\_Hレジスタを読み出します。



## 9.4 RTC割り込み

RTCは表9.4.1に示す10種類の周期で割り込みを発生可能です。割り込みを発生させるには、その周期に対応する割り込みイネーブルビットを1に設定しておきます。割り込みイネーブルビットが0(デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表9.4.1 割り込み周期と割り込み制御ビット

割り込み周期	割り込みタイミング	割り込みフラグ (RTC_IFLGレジスタ)	割り込みイネーブルビット (RTC_IENレジスタ)
1日	時カウンタ = 23→0(24時間制) 時カウンタ = PM11→AM12(12時間制)	INT1D	INT1DEN
半日	時カウンタ = 11→12, 23→0(24時間制) 時カウンタ = AM11→PM12, PM11→AM12(12時間制)	INTHD	INTHDEN
1時間	分カウンタ = 59→0	INT1H	INT1HEN
10分	分カウンタ = 9→10, 19→20, 29→30, 39→40, 49→50, 59→0	INT10M	INT10MEN
1分	秒カウンタ = 59→0	INT1M	INT1MEN
10秒	秒カウンタ = 9→10, 19→20, 29→30, 39→40, 49→50, 59→0	INT10S	INT10SEN
1Hz	分周回路の1Hz信号周期	INT1HZ	INT1HZEN
4Hz	分周回路の4Hz信号周期	INT4HZ	INT4HZEN
8Hz	分周回路の8Hz信号周期	INT8HZ	INT8HZEN
32Hz	分周回路の32Hz信号周期	INT32HZ	INT32HZEN

割り込みイネーブルビットが1に設定されていると、対応する割り込みフラグが上記のタイミングで1に設定され、割り込み要求がITCに送られます。

RTCはSLEEPモード時にも動作するため、この割り込み要求をSLEEPモードの解除にも使用可能です。たとえば、論理緩急方式のOSC1A発振回路を使用している場合には、緩急処理実行用の定期的な割り込みに使用できます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- RTC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、割り込みフラグをリセットする必要があります。割り込みフラグは1の書き込みによりリセットされます。
  - 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

## 9.5 制御レジスタ詳細

表9.5.1 RTCレジスタ一覧

アドレス	レジスタ名		機能
0x56c0	RTC_CTL	RTC Control Register	RTCの制御
0x56c2	RTC_IEN	RTC Interrupt Enable Register	割り込みの許可/禁止
0x56c4	RTC_IFLG	RTC Interrupt Flag Register	割り込み発生状態の表示/リセット
0x56c6	RTC_MS	RTC Minute/Second Counter Register	分/秒カウンタデータ
0x56c8	RTC_H	RTC Hour Counter Register	時カウンタデータ

以下、RTCのレジスタを個々に説明します。

- 注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## RTC Control Register (RTC\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control Register (RTC_CTL)	0x56c0 (16 bits)	D15-9	-	reserved		-	-	0 when being read.
		D8	<b>RTCST</b>	RTC run/stop status	1   Running   0   Stop	0	R	
		D7-6	-	reserved		-	-	0 when being read.
		D5	<b>BCDMD</b>	BCD mode select	1   BCD mode   0   Binary mode	0	R/W	
		D4	<b>RTC24H</b>	24H/12H mode select	1   12H   0   24H	0	R/W	
		D3-1	-	reserved		-	-	0 when being read.
		D0	<b>RTCRUN</b>	RTC run/stop control	1   Run   0   Stop	0	R/W	

**D[15:9] Reserved****D8 RTCST: RTC Run/Stop Status Bit**

RTCの動作状態を示します。

1(R): 動作中

0(R): 停止中(デフォルト)

RTCRUNに1を書き込んでRTCをスタートさせると、RTCSTは1になります。RTCRUNに0を書き込み後、カウント動作が実際に終了するとRTCSTは0に戻ります。カウンタ値を設定する場合は、RTCRUNに0を書き込み後、RTCSTが0になったことを確認してからデータの書き込みをおこなってください。

**D[7:6] Reserved****D5 BCDMD: BCD Mode Select Bit**

秒/分/時カウンタをBCDモードに設定します。

1(R/W): BCDモード

0(R/W): バイナリモード(デフォルト)

各カウンタは通常、バイナリカウンタとして動作し、バイナリ値でカウンタの読み出し/書き込みが行われます。BCDMDを1に設定すると、2桁のBCD値での読み出し/書き込みが可能になります。それぞれのモードにおける各カウンタの構成については、9.2節を参照してください。

**D4 RTC24H: 24H/12H Mode Select Bit**

時カウンタを24時間制/12時間制のどちらで使用するか選択します。

1(R/W): 12時間制

0(R/W): 24時間制(デフォルト)

この選択により、時カウンタのカウント範囲が変わります。

この設定変更はカウンタが停止している状態で行ってください。本レジスタにはカウンタをスタートさせる制御ビット(D0)も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

**D[3:1] Reserved****D0 RTCRUN: RTC Run/Stop Control Bit**

RTCをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

RTCRUNのデフォルト設定は0で、RTCは停止しています。RTCRUNを1に設定すると、CLGからクロックがRTCに送られます。RTCRUNが1の場合、SLEEPモードでもOSC1A発振回路は動作を停止しません(RTCにのみOSC1クロックが供給されます)。

RTCRUNに1を書き込むと、CLGのOSC1A分周回路がリセットされます。

## RTC Interrupt Enable Register (RTC\_IEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Enable Register (RTC_IEN)	0x56c2 (16 bits)	D15-10	--	reserved	--	--	--	0 when being read.
		D9	<b>INT1DEN</b>	1-day interrupt enable	1 Enable 0 Disable	0	R/W	
		D8	<b>INTHDEN</b>	Half-day interrupt enable	1 Enable 0 Disable	0	R/W	
		D7	<b>INT1HEN</b>	1-hour interrupt enable	1 Enable 0 Disable	0	R/W	
		D6	<b>INT10MEN</b>	10-minute interrupt enable	1 Enable 0 Disable	0	R/W	
		D5	<b>INT1MEN</b>	1-minute interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	<b>INT10SEN</b>	10-second interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	<b>INT1HZEN</b>	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	<b>INT4HZEN</b>	4 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	<b>INT8HZEN</b>	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	<b>INT32HZEN</b>	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

このレジスタはRTC割り込みを許可/禁止します。各割り込み周期に対応する割り込みイネーブルビットを1に設定すると、その周期に対応する割り込みフラグが1にセットされ、ITCに割り込み要求が出力されます。割り込みイネーブルビットを0に設定すると、割り込み要求は出力されません。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

### D[15:10] Reserved

#### D9 INT1DEN: 1-Day Interrupt Enable Bit

ITCへの1日割り込み要求の出力を許可/禁止します。

#### D8 INTHDEN: Half-Day Interrupt Enable Bit

ITCへの半日割り込み要求の出力を許可/禁止します。

#### D7 INT1HEN: 1-Hour Interrupt Enable Bit

ITCへの1時間割り込み要求の出力を許可/禁止します。

#### D6 INT10MEN: 10-Minute Interrupt Enable Bit

ITCへの10分割り込み要求の出力を許可/禁止します。

#### D5 INT1MEN: 1-Minute Interrupt Enable Bit

ITCへの1分割り込み要求の出力を許可/禁止します。

#### D4 INT10SEN: 10-Second Interrupt Enable Bit

ITCへの10秒割り込み要求の出力を許可/禁止します。

#### D3 INT1HZEN: 1 Hz Interrupt Enable Bit

ITCへの1Hz割り込み要求の出力を許可/禁止します。

#### D2 INT4HZEN: 4 Hz Interrupt Enable Bit

ITCへの4Hz割り込み要求の出力を許可/禁止します。

#### D1 INT8HZEN: 8 Hz Interrupt Enable Bit

ITCへの8Hz割り込み要求の出力を許可/禁止します。

#### D0 INT32HZEN: 32 Hz Interrupt Enable Bit

ITCへの32Hz割り込み要求の出力を許可/禁止します。

## RTC Interrupt Flag Register (RTC\_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Interrupt Flag Register (RTC_IFLG)	0x56c4 (16 bits)	D15-10	--	reserved		--	--	--	0 when being read.
		D9	INT1D	1-day interrupt flag	1	Cause of interrupt occurred	0	R/W	Reset by writing 1.
		D8	INTHD	Half-day interrupt flag			0	R/W	
		D7	INT1H	1-hour interrupt flag			0	R/W	
		D6	INT10M	10-minute interrupt flag			0	R/W	
		D5	INT1M	1-minute interrupt flag			0	R/W	
		D4	INT10S	10-second interrupt flag			0	R/W	
		D3	INT1HZ	1 Hz interrupt flag			0	R/W	
		D2	INT4HZ	4 Hz interrupt flag			0	R/W	
		D1	INT8HZ	8 Hz interrupt flag			0	R/W	
		D0	INT32HZ	32 Hz interrupt flag			0	R/W	

このレジスタはRTC割り込み要因の発生状況を示します。各割り込み要因に対応する割り込みイネーブルビットが1に設定されていると、その周期で割り込みフラグが1にセットされ、ITCに割り込み要求が出力されます。各割り込みフラグは1の書き込みによってリセットされます。

- 1(R): 割り込み要因発生
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

## D[15:10] Reserved

## D9 INT1D: 1-Day Interrupt Flag Bit

1日割り込み要因の発生状況を示します。INT1Dは、時カウンタが23→0(24時間制の場合)、PM11→AM12(12時間制の場合)に変わると同時にセットされます。

## D8 INTHD: Half-Day Interrupt Flag Bit

半日割り込み要因の発生状況を示します。INTHDは時カウンタが11→12または23→0(24時間制の場合)、AM11→PM12またはPM11→AM12(12時間制の場合)に変わると同時にセットされます。

## D7 INT1H: 1-Hour Interrupt Flag Bit

1時間割り込み要因の発生状況を示します。INT1Hは分カウンタが59→0に変わると同時にセットされます。

## D6 INT10M: 10-Minute Interrupt Flag Bit

10分割り込み要因の発生状況を示します。INT10Mは分カウンタが9→10、19→20、29→30、39→40、49→50、または59→0に変わると同時にセットされます。

## D5 INT1M: 1-Minute Interrupt Flag Bit

1分割り込み要因の発生状況を示します。INT1Mは秒カウンタが59→0に変わると同時にセットされます。

## D4 INT10S: 10-Second Interrupt Flag Bit

10秒割り込み要因の発生状況を示します。INT10Sは秒カウンタが9→10、19→20、29→30、39→40、49→50、または59→0に変わると同時にセットされます。

## D3 INT1HZ: 1 Hz Interrupt Flag Bit

1Hz割り込み要因の発生状況を示します。INT1HZは分周回路の1Hz信号の周期でセットされます。

## D2 INT4HZ: 4 Hz Interrupt Flag Bit

4Hz割り込み要因の発生状況を示します。INT4HZは分周回路の4Hz信号の周期でセットされます。

## D1 INT8HZ: 8 Hz Interrupt Flag Bit

8Hz割り込み要因の発生状況を示します。INT8HZは分周回路の8Hz信号の周期でセットされます。

## D0 INT32HZ: 32 Hz Interrupt Flag Bit

32Hz割り込み要因の発生状況を示します。INT32HZは分周回路の32Hz信号の周期でセットされます。

## RTC Minute/Second Counter Register (RTC\_MS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute/Second Counter Register (RTC_MS)	0x56c6 (16 bits)	D15	--	reserved	--	--	--	0 when being read.
		D14-8	<b>RTCMIN</b> <b>[6:0]</b>	Minute counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W	
		D7	--	reserved	--	--	--	0 when being read.
		D6-0	<b>RTCSEC</b> <b>[6:0]</b>	Second counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)	X	R/W	

**D15**      **Reserved**

**D[14:8]**    **RTCMIN[6:0]: Minute Counter Bits**

分カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

バイナリモード(BCDMD = 0)での読み出し値/設定値は、RTCMIN[6:0] = 0x0~0x3b(0分~59分)の範囲です。

BCDモード(BCDMD = 1)での読み出し値/設定値は、RTCMIN[6:4] = 0x0~0x5(10分桁)、RTCMIN[3:0] = 0x0~0x9(1分桁)の範囲です。

**D7**      **Reserved**

**D[6:0]**    **RTCSEC[6:0]: Second Counter Bits**

秒カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

バイナリモード(BCDMD = 0)での読み出し値/設定値は、RTCSEC[6:0] = 0x0~0x3b(0秒~59秒)の範囲です。

BCDモード(BCDMD = 1)での読み出し値/設定値は、RTCSEC[6:4] = 0x0~0x5(10秒桁)、RTCSEC[3:0] = 0x0~0x9(1秒桁)の範囲です。

注: カウンタの読み出しと書き込み手順については、“9.3.5 カウンタの読み出し”と“9.3.4 カウンタの設定”を参照してください。

- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
- カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
- 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

## RTC Hour Counter Register (RTC\_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Counter Register (RTC_H)	0x56c8 (16 bits)	D15-8	--	reserved	--	--	--	0 when being read.
		D7	<b>AMPM</b>	AM/PM	1   PM      0   AM	X	R/W	
		D6	--	reserved	--	--	--	0 when being read.
		D5-0	<b>RTCHOUR</b> <b>[5:0]</b>	Hour counter	0x0 to 0x17 (binary mode) 0x00 to 0x23 (BCD mode)	X	R/W	

**D[15:8]**    **Reserved**

**D7**      **AMPM: AM/PM Bit**

12時間制を選択した場合に午前/午後を示します。(デフォルト: 不定)

1(R/W): 午後

0(R/W): 午前

本ビットはRTC24H/RTC\_CTLレジスタが1(12時間制)に設定されている場合にのみ有効です。24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

注: RTC24H/RTC\_CTLレジスタにより12時間制から24時間制に変更した場合、その時点でAMPMは0に固定されます。

**D6**      **Reserved**

**D[5:0]**    **RTCHOUR[5:0]: Hour Counter Bits**

時カウンタの読み出しとデータの設定が行えます。(デフォルト: 不定)

## 9 リアルタイムクロック(RTC)

バイナリモード(BCDMD = 0)での読み出し値/設定値の範囲は以下のとおりです。

24時間制の場合: RTCHOUR[5:0] = 0x0~0x17(0時~23時)

12時間制の場合: RTCHOUR[5:0] = 0x1~0xc(1時~12時)

BCDモード(BCDMD = 1)での読み出し値/設定値の範囲は以下のとおりです。

24時間制の場合: RTCHOUR[5:4] = 0x0~0x2(10時桁)、RTCHOUR[3:0] = 0x0~0x9(1時桁)

12時間制の場合: RTCHOUR[5:4] = 0x0~0x1(10時桁)、RTCHOUR[3:0] = 0x0~0x9(1時桁)

- 注: • カウンタの読み出しと書き込み手順については、“9.3.5 カウンタの読み出し”と“9.3.4 カウンタの設定”を参照してください。
- RTCが動作中にカウンタを設定しないでください。正しく設定される保証はありません。
  - カウンタには、バイナリ/BCDモードに従ってそれぞれの有効範囲の値を設定してください。範囲外の値を書き込んだ場合、実際に設定される値は不定です。
  - 設定した値によっては、RTCをスタートさせた直後に割り込みが発生してしまう可能性があります。

# 10 入出力ポート(P)

## 10.1 Pモジュールの概要

Pポートは、ソフトウェアで入出力方向、プルアップ抵抗を制御可能な汎用入出力です。これらのポートは周辺モジュールの入出力を兼用しており、レジスタの設定によって端子機能を切り換えられるようになっています。一部のポートグループは、入力信号の変化により割り込みを発生可能です。

Pモジュールの主な機能と特長を以下に示します。

- 最大29の入出力ポート(P0[7:0]、P1[7:0]、P2[7:0]、P3[4:0])を使用可能  
\* 汎用入出力として使用可能なポート数は使用する周辺機能により変わります。
- ソフトウェアで有効となるプルアップ抵抗を各ポートに内蔵
- CMOSシュミットレベルの入力インタフェース
- P0およびP2ポートは、ソフトウェアで選択した信号エッジで入力割り込みを発生可能
- P0およびP2ポートにチャタリングフィルタを内蔵
- ソフトウェアで選択した複数のP0ポートへの同時Lowレベル入力によりイニシャルリセットを発生可能
- すべてのポートに用意されたポート機能選択ビットにより、端子機能(汎用入出力または周辺機能に使用)を設定可能

図10.1.1に入出力ポートの構成を示します。

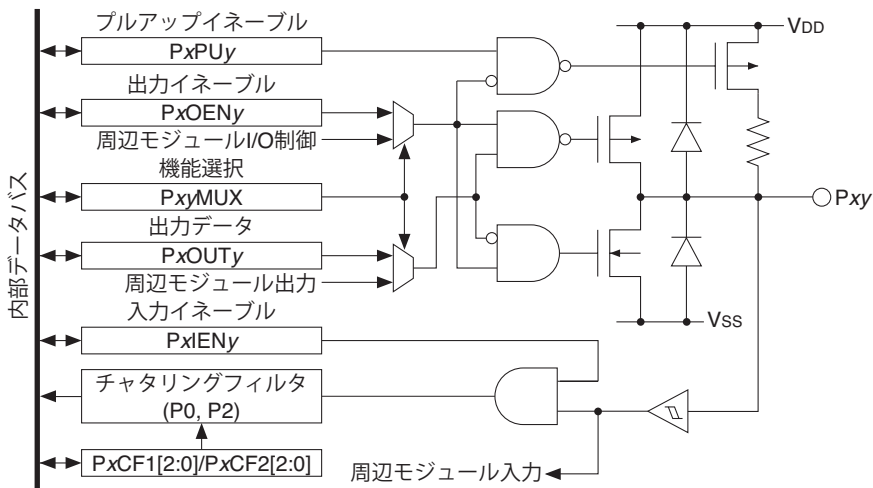


図10.1.1 入出力ポートの構成

注: 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。また、P0とP2ポートのチャタリングフィルタの動作にもPCLKが必要です。

- レジスタやビット名の“xy”はポート番号 (Pxy, x = 0~3, y = 0~7) を表します。

例: PxiNy/Px\_INレジスタ

P00: P0IN0/P0\_INレジスタ

P17: P1IN7/P1\_INレジスタ

## 10.2 入出力端子機能の選択(ポートMUX)

入出力ポート端子は周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表10.2.1 入出力端子機能の選択

端子機能1 PxyMUX[1:0] = 0x0	端子機能2 PxyMUX[1:0] = 0x1	端子機能3 PxyMUX[1:0] = 0x2	端子機能4 PxyMUX[1:0] = 0x3	ポート機能選択ビット
P00	RFCLKO (RFC)	REGMON (TR)	-	P00MUX[1:0]/P00_03PMUXレジスタ
P01/EXCL0 (T16A2)	-	-	-	P01MUX[1:0]/P00_03PMUXレジスタ
P02	TOUTA0/CAPA0 (T16A2)	-	-	P02MUX[1:0]/P00_03PMUXレジスタ
P03	TOUTB0/CAPB0 (T16A2)	-	-	P03MUX[1:0]/P00_03PMUXレジスタ
P04/EXCL1 (T16A2)	-	-	-	P04MUX[1:0]/P04_07PMUXレジスタ
P05	TOUTA1/CAPA1 (T16A2)	-	-	P05MUX[1:0]/P04_07PMUXレジスタ
P06	TOUTB1/CAPB1 (T16A2)	#BZ (SND)	-	P06MUX[1:0]/P04_07PMUXレジスタ
P07	BZ (SND)	-	-	P07MUX[1:0]/P04_07PMUXレジスタ
P10	SPICKL0 (SPI)	-	-	P10MUX[1:0]/P10_13PMUXレジスタ
P11	SDO0 (SPI)	SDAS (I2CS)	-	P11MUX[1:0]/P10_13PMUXレジスタ
P12	SDI0 (SPI)	SCLS (I2CS)	-	P12MUX[1:0]/P10_13PMUXレジスタ
P13	#SPISS0 (SPI)	FOUTA (CLG)	-	P13MUX[1:0]/P10_13PMUXレジスタ
P14	SCLK0 (UART)	EPDTRG (EPD)	-	P14MUX[1:0]/P14_17PMUXレジスタ
P15	SIN0 (UART)	SDAM (I2CM)	-	P15MUX[1:0]/P14_17PMUXレジスタ
P16	SOUT0 (UART)	SCLM (I2CM)	-	P16MUX[1:0]/P14_17PMUXレジスタ
P17	#BFR (I2CS)	EPDCLK (EPD)	-	P17MUX[1:0]/P14_17PMUXレジスタ
P20	SDAS (I2CS)	SENB0 (RFC)	BZ (SND)	P20MUX[1:0]/P20_23PMUXレジスタ
P21	SCLS (I2CS)	SENA0 (RFC)	#BZ (SND)	P21MUX[1:0]/P20_23PMUXレジスタ
P22	SDAM (I2CM)	REF0 (RFC)	-	P22MUX[1:0]/P20_23PMUXレジスタ
P23	SCLM (I2CM)	RFIN0 (RFC)	-	P23MUX[1:0]/P20_23PMUXレジスタ
P24	RFIN1 (RFC)	-	-	P24MUX[1:0]/P24_27PMUXレジスタ
P25	REF1 (RFC)	-	-	P25MUX[1:0]/P24_27PMUXレジスタ
P26	SENA1 (RFC)	-	-	P26MUX[1:0]/P24_27PMUXレジスタ
P27	SENB1 (RFC)	-	-	P27MUX[1:0]/P24_27PMUXレジスタ
P30	FOUTB (CLG)	#SPISS0 (SPI)	-	P30MUX[1:0]/P30_33PMUXレジスタ
P31	EPDCLK (EPD)	-	-	P31MUX[1:0]/P30_33PMUXレジスタ
DSIO (DBG)	P32	-	-	P32MUX[1:0]/P30_33PMUXレジスタ
DST2 (DBG)	P33	-	-	P33MUX[1:0]/P30_33PMUXレジスタ
DCLK (DBG)	P34	-	-	P34MUX[1:0]/P34PMUXレジスタ

イニシャルリセットにより、各入出力ポート端子(Pxy)はデフォルト(表10.2.1の端子機能1)の機能に初期化されます。

P01、P04端子は入力モードに設定することで16ビットPWMタイマの外部クロック入力端子としても使用できます。汎用入力ポートとしての機能も同時に有効です。

入出力ポート以外の機能については、( )で示した周辺モジュールの説明を参照してください。以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: 同一の周辺機能を複数の端子に割り当てないでください。

## 10.3 データの入出力

### データ入出力制御

入出力ポートは、PxOENy/Px\_OENレジスタとPxIENy/Px\_IENレジスタによってビットごとにデータの出入力方向を選択できるようになっています。PxOENyはデータ出力を許可/禁止し、PxIENyはデータ入力を許可/禁止します。



表10.3.1 データ入出力表

PxOENy 出力制御	PxIENy 入力制御	PxPUy プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します(プルアップOff)。ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せません。出力は禁止されます。
0	1	1	入力ポートとして機能します(プルアップOn)。(デフォルト)ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せません。出力は禁止されます。
1	0	1または0	出力ポートとして機能します(プルアップOff)。入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します(プルアップOff)。入力も許可され、PxINy(入力データ)からポート端子の値(出力値)が読み出せます。
0	0	0	端子がハイインピーダンス状態となります(プルアップOff)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
0	0	1	端子がハイインピーダンス状態となります(プルアップOn)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxOENyとPxIENyの設定は無視されます。

## データ入力

ポート端子の状態を入力してその値を読み出すためにはPxIENyを1(デフォルト)に設定し、入力を許可します。外部信号を入力する場合はこれに加え、PxOENyを0(デフォルト)に設定します。この設定により入出力ポートはハイインピーダンス状態となり、入力ポートとして機能します(入力モード)。PxPUyでプルアップを有効にしている場合は、ポートがプルアップされます。入力モード時は、入力端子の状態をPxINy/Px\_INレジスタから直接読み出すことができます。読み出し値は入力端子がHigh(V<sub>DD</sub>)レベルのときに1、Low(V<sub>SS</sub>)レベルのときに0となります。出力許可(PxOENy = 1)の状態(出力モード)でも、PxIENyが1の場合はポート端子の状態を入力します。この場合、PxINyからはポートが実際に出力している値を読み出すことができます。PxIENyを0に設定した場合は入力が禁止され、PxINyの読み出し値は0となります。

## データ出力

ポート端子からデータを出力するためには、PxOENyを1に設定し、出力を許可(出力モードに設定)します。これにより入出力ポートは出力ポートとして機能し、PxOUTy/Px\_OUTレジスタの設定値をポート端子から出力します。PxOUTyに1を書き込むとポート端子はHigh(V<sub>DD</sub>)レベル、0を書き込むとLow(V<sub>SS</sub>)レベルを出力します。なお、PxPUyでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。入力モード時も、端子の状態に影響を与えることなくPxOUTyに対して書き込みは行えます。

## 10.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するか否かをPxPUy/Px\_PUレジスタによってビットごとに選択できるようになっています。PxPUyを1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。出力モード時にはPxIENyの設定にかかわらずPxPUyの設定は無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

Pxy入出力ポート以外の端子機能を選択した場合はPxPUyの設定が無効になり、選択した端子機能に応じて自動的にプルアップが有効/無効に設定されます。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [秒]}$$

R<sub>IN</sub>: プルアップ抵抗Max.値、C<sub>IN</sub>: 端子容量Max.値

## 10.5 ポート入力割り込み

P0およびP2ポートは入力割り込み機能を持っています。

16ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。

図10.5.1にポート入力割り込み回路の構成を示します。

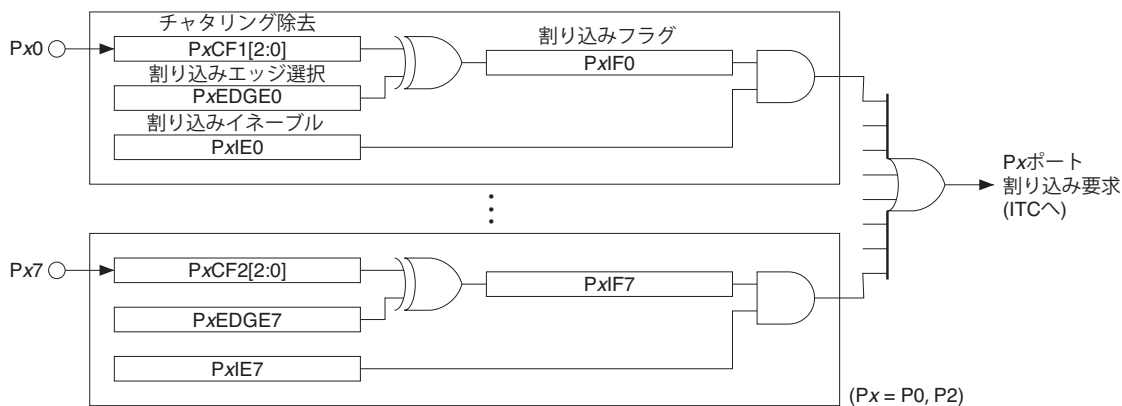


図10.5.1 ポート入力割り込み回路の構成

### 割り込みポートの選択

割り込みを発生させるポートをPxIEy/Px\_IMSKレジスタによって選択します。

PxIEyを1に設定すると、対応するポートが割り込みを発生可能となります。0（デフォルト）に設定すると割り込みを発生しません。

### 割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、PxEDGEy/Px\_EDGEレジスタによって選択します。

PxEDGEyを1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0（デフォルト）に設定すると立ち上がりエッジで発生します。

### 割り込みフラグ

ITCはP0、P2ポート割り込みの2系統の割り込み要求を受け付け可能ですが、P0[7:0]とP2[7:0]の16ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、16ポートに個々に対応する割り込みフラグPxIFy/Px\_IFLGレジスタが用意されています。PxIFyは入力信号の指定エッジ（立ち上がりエッジまたは立ち下がりエッジ）で1にセットされます。対応するPxIEyを1に設定しておくことにより、同時にITCへ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIFyは1の書き込みによりリセットされます。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

注: ・ ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIFyをリセットする必要があります。

- ・ 不要な割り込みの発生を防止するため、PxIEy/Px\_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIFyをリセットしてください。

## 10.6 P0、P2ポートのチャタリング除去機能

P0、P2ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]/Px\_CHATレジスタ、PxCF2[2:0]/Px\_CHATレジスタによってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表10.6.1 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, \* PCLK = 2MHzの場合)

- 注: ・チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
- ・チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、検定時間の2倍の入力時間が必要になります。
  - ・Px\_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

## 10.7 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00~P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはPOKRST[1:0]/PO\_KRSTレジスタで選択できます。

表10.7.1 P0ポートキー入力リセットの設定

POKRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

たとえば、POKRST[1:0]を0x3に設定した場合、P00~P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

- 注: ・P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
- ・P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。

## 10.8 制御レジスタ詳細

表10.8.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名		機能
0x5200	PO_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	PO_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	PO_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
0x5203	PO_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5205	PO_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	PO_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	PO_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	PO_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	PO_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	PO_IEN	P0 Port Input Enable Register	P0ポート入力イネーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ

## 10 入出力ポート (P)

アドレス	レジスタ名		機能
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出力カインェブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力カインェブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Output Enable Register	P2ポート出力カインェブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5225	P2_IMSK	P2 Port Interrupt Mask Register	P2ポート割り込みマスクの設定
0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register	P2ポート割り込みエッジの選択
0x5227	P2_IFLG	P2 Port Interrupt Flag Register	P2ポート割り込み発生状態の表示/リセット
0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力カインェブル
0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出力カインェブル
0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力カインェブル
0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x52a7	P34PMUX	P34 Port Function Select Register	P34ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### Px Port Input Data Registers (Px\_IN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Input Data Register (Px_IN)	0x5200	D7-0	PxIN[7:0]	Px[7:0] port input data	1	1 (H)	0	0 (L)	x	R
	0x5210									
	0x5220									
	0x5230									
	(8 bits)									

注: P3ポートはP3IN[4:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

#### D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits

ポート端子の状態が読み出せます。(デフォルト: 外部入力状態)

1 (R): Highレベル

0 (R): Lowレベル

PxINyはPxy端子と1対1に対応し、入力許可時(PxIENy = 1)は(出力許可状態(PxOENy = 1)でも)、端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

入力禁止時(PxIENy = 0)の読み出し値は0となります。

PxINyは読み出し専用のため、書き込み操作は無効です。

### Px Port Output Data Registers (Px\_OUT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Output Data Register (Px_OUT)	0x5201	D7-0	PxOUT[7:0]	Px[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W
	0x5211									
	0x5221									
	0x5231									
	(8 bits)									

注: P3ポートはP3OUT[4:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

**D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits**

ポート端子から出力するデータを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

PxOUT<sub>y</sub>はPx<sub>y</sub>端子と1対1に対応し、出力許可時(PxOEN<sub>y</sub> = 1)は書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

出力禁止時(PxOEN<sub>y</sub> = 0)もポートデータの書き込みは行えます(端子の状態には影響を与えません)。

**Px Port Output Enable Registers (Px\_OEN)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Output Enable Register (Px_OEN)	0x5202	D7-0	PxOEN[7:0]	Px[7:0] port output enable	1	Enable	0	Disable	0	R/W
	0x5212									
	0x5222									
	0x5232									
	(8 bits)									

注: P3ポートはP3OEN[4:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

**D[7:0] PxOEN[7:0]: Px[7:0] Port Output Enable Bits**

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PxOEN<sub>y</sub>はPx<sub>y</sub>ポートと1対1に対応する出力イネーブルビットで、1に設定すると出力が許可され、対応するPxOUT<sub>y</sub>の設定値がポート端子から出力されます。0に設定した場合は出力が禁止され、ポート端子はハイインピーダンスになります。ポートを周辺モジュール用を使用する場合の出力許可/禁止の状態は、周辺モジュールの機能により決まります。

PxOENレジスタ以外の設定も含めたポートの入出力状態については、表10.3.1を参照してください。

**Px Port Pull-up Control Registers (Px\_PU)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Pull-up Control Register (Px_PU)	0x5203	D7-0	PxPU[7:0]	Px[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W
	0x5213									
	0x5223									
	0x5233									
	(8 bits)									

注: P3ポートはP3PU[4:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

**D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits**

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPU<sub>y</sub>はPx<sub>y</sub>ポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、出力禁止時(PxOEN<sub>y</sub> = 0)にポート端子がプルアップされます。0に設定するとプルアップされません。

出力許可時(PxOEN<sub>y</sub> = 1)には、PxPU<sub>y</sub>の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

Px<sub>y</sub>入出力ポート以外の端子機能を選択した場合はPxPU<sub>y</sub>の設定が無効になり、選択した端子機能に応じて自動的にプルアップが有効/無効に設定されます。

## Px Port Interrupt Mask Registers (Px\_IMSK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Interrupt Mask Register (Px_IMSK)	0x5205	D7-0	PxIE[7:0]	Px[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
	0x5225 (8 bits)										

注: このレジスタはP0とP2ポートにのみ用意されています。

### D[7:0] PxIE[7:0]: Px[7:0] Port Interrupt Enable Bits

各ポートによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PxIE<sub>y</sub>を1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

## Px Port Interrupt Edge Select Registers (Px\_EDGE)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Interrupt Edge Select Register (Px_EDGE)	0x5206	D7-0	PxEDGE[7:0]	Px[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
	0x5226 (8 bits)										

注: このレジスタはP0とP2ポートにのみ用意されています。

### D[7:0] PxEDGE[7:0]: Px[7:0] Port Interrupt Edge Select Bits

各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

PxEDGE<sub>y</sub>を1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

## Px Port Interrupt Flag Registers (Px\_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Interrupt Flag Register (Px_IFLG)	0x5207	D7-0	PxIF[7:0]	Px[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
	0x5227 (8 bits)										

注: このレジスタはP0とP2ポートにのみ用意されています。

### D[7:0] PxIF[7:0]: Px[7:0] Port Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PxIF<sub>y</sub>はP0とP2の16ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE<sub>y</sub>/Px\_IMSKレジスタを1に設定しておくことにより、同時にITCに対してポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIF<sub>y</sub>は1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF<sub>y</sub>をリセットする必要があります。
  - 不要な割り込みの発生を防止するため、PxIE<sub>y</sub>/Px\_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIF<sub>y</sub>をリセットしてください。

## Px Port Chattering Filter Control Registers (Px\_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Px Port Chattering Filter Control Register (Px_CHAT)	0x5208	D7	–	reserved	–	–	–	0 when being read.	
	0x5228 (8 bits)	D6–4	PxCF2[2:0]	Px[7:4] chattering filter time select	PxCF2[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
	0x0	None							
		D3	–	reserved	–	–	–	0 when being read.	
		D2–0	PxCF1[2:0]	Px[3:0] chattering filter time select	PxCF1[2:0]	Filter time	0x0	R/W	
0x7					16384/fPCLK				
0x6					8192/fPCLK				
0x5					4096/fPCLK				
0x4					2048/fPCLK				
0x3					1024/fPCLK				
0x2					512/fPCLK				
0x1					256/fPCLK				
0x0	None								

注: このレジスタはP0とP2ポートにのみ用意されています。

**D7**      **Reserved**

**D[6:4]**    **PxCF2[2:0]: Px[7:4] Chattering Filter Time Select Bits**

Px[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

**D3**      **Reserved**

**D[2:0]**    **PxCF1[2:0]: Px[3:0] Chattering Filter Time Select Bits**

Px[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0とP2ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]、PxCF2[2:0]によってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表10.8.2 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, \* PCLK = 2MHzの場合)

- 注:
- チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
  - チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、検定時間の2倍の入力時間が必要になります。
  - Px\_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

## P0 Port Key-Entry Reset Configuration Register (P0\_KRST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	–	reserved	–	–	–	–	0 when being read.
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0]			
					0x2	P0[2:0]			
					0x1	P0[1:0]			
				0x0	Disable				

**D[7:2] Reserved**

**D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits**

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表10.8.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

- 注:
- P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
  - P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。

## Px Port Input Enable Registers (Px\_IEN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Input Enable Register (Px_IEN)	0x520a	D7-0	PxIEN[7:0]	Px[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W	
	0x521a										
	0x522a										
	0x523a										
	(8 bits)										

注: P3ポートはP3IEN[4:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

**D[7:0] PxiEN[7:0]: Px[7:0] Port Input Enable Bits**

ポート入力を許可/禁止します。

1(R/W): 許可(デフォルト)

0(R/W): 禁止

PxiENyはPxyポートと1対1に対応する入力イネーブルビットで、1に設定すると入力が許可され、対応するポート端子の入力または出力信号レベルがPx\_INレジスタから読み出せます。0に設定した場合は入力が禁止されます。

Px\_IENレジスタ以外の設定も含めたポートの入出力状態については、表10.3.1を参照してください。



## P0[3:0] Port Function Select Register (P00\_03PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[3:0] Port Function Select Register (P00_03PMUX)	0x52a0 (8 bits)	D7-6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	TOUTB0/CAPB0			
	0x0	P03							
	D5-4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	reserved				
				0x1	TOUTA0/CAPA0				
	0x0	P02							
	D3-2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	reserved				
				0x1	reserved				
	0x0	P01/EXCL0							
	D1-0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W		
0x3				reserved					
0x2				REGMON					
0x1				RFCLKO					
0x0	P00								

P00～P03入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

### D[7:6] P03MUX[1:0]: P03 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): TOUTB0(T16A2 Ch.0コンパレータモード)またはCAPB0(T16A2 Ch.0キャプチャモード)
- 0x0 (R/W): P03ポート(デフォルト)

### D[5:4] P02MUX[1:0]: P02 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): TOUTA0(T16A2 Ch.0コンパレータモード)またはCAPA0(T16A2 Ch.0キャプチャモード)
- 0x0 (R/W): P02ポート(デフォルト)

### D[3:2] P01MUX[1:0]: P01 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): Reserved
- 0x0 (R/W): P01ポート/EXCL0(T16A2 Ch.0) (デフォルト)

P01端子をEXCL0入力に使用するには、P00EN1/P0\_OENレジスタを0、P01EN1/P0\_IENレジスタを1に設定する必要があります。

### D[1:0] P00MUX[1:0]: P00 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): REGMON(TR)
- 0x1 (R/W): RFCLKO(RFC)
- 0x0 (R/W): P00ポート(デフォルト)

## P0[7:4] Port Function Select Register (P04\_07PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	BZ P07			
		D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#BZ TOUTB1/CAPB1			
					0x1	P06			
		D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	TOUTA1/CAPA1			
D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	reserved					
					0x0				

P04～P07入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:6] P07MUX[1:0]: P07 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): BZ (SND)
- 0x0 (R/W): P07ポート (デフォルト)

**D[5:4] P06MUX[1:0]: P06 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): #BZ (SND)
- 0x1 (R/W): TOUTB1 (T16A2 Ch.1コンパレータモード) または  
CAPB1 (T16A2 Ch.1キャプチャモード)
- 0x0 (R/W): P06ポート (デフォルト)

**D[3:2] P05MUX[1:0]: P05 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): TOUTA1 (T16A2 Ch.1コンパレータモード) または  
CAPA1 (T16A2 Ch.1キャプチャモード)
- 0x0 (R/W): P05ポート (デフォルト)

**D[1:0] P04MUX[1:0]: P04 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): Reserved
- 0x0 (R/W): P04ポート/EXCL1 (T16A2 Ch.1) (デフォルト)

P04端子をEXCL1入力に使用するには、P0OEN4/P0\_OENレジスタを0、P0IEN4/P0\_IENレジスタを1に設定する必要があります。

## P1[3:0] Port Function Select Register (P10\_13PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FOUTA			
					0x1	#SPISS0			
	0x0	P13							
	D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	SCLS				
				0x1	SDI0				
	0x0	P12							
	D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	SDAS				
				0x1	SDO0				
	0x0	P11							
	D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W		
0x3				reserved					
0x2				reserved					
0x1				SPICLK0					
0x0	P10								

P10～P13入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:6] P13MUX[1:0]: P13 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): FOUTA (CLG)  
 0x1 (R/W): #SPISS0 (SPI Ch.0)  
 0x0 (R/W): P13ポート (デフォルト)

**D[5:4] P12MUX[1:0]: P12 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): SCLS (I2CS)  
 0x1 (R/W): SDI0 (SPI Ch.0)  
 0x0 (R/W): P12ポート (デフォルト)

**D[3:2] P11MUX[1:0]: P11 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): SDAS (I2CS)  
 0x1 (R/W): SDO0 (SPI Ch.0)  
 0x0 (R/W): P11ポート (デフォルト)

**D[1:0] P10MUX[1:0]: P10 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): Reserved  
 0x1 (R/W): SPICLK0 (SPI Ch.0)  
 0x0 (R/W): P10ポート (デフォルト)

## P1[7:4] Port Function Select Register (P14\_17PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EPDCLK			
					0x1	#BFR			
		0x0	P17						
		D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SCLM			
					0x1	SOUT0			
		0x0	P16						
		D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SDAM			
					0x1	SIN0			
		0x0	P15						
		D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	EPDTRG								
0x1	SCLK0								
0x0	P14								

P14～P17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:6] P17MUX[1:0]: P17 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): EPDCLK (EPD)
- 0x1 (R/W): #BFR (I2CS)
- 0x0 (R/W): P17ポート (デフォルト)

**D[5:4] P16MUX[1:0]: P16 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): SCLM (I2CM)
- 0x1 (R/W): SOUT0 (UART Ch.0)
- 0x0 (R/W): P16ポート (デフォルト)

**D[3:2] P15MUX[1:0]: P15 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): SDAM (I2CM)
- 0x1 (R/W): SIN0 (UART Ch.0)
- 0x0 (R/W): P15ポート (デフォルト)

**D[1:0] P14MUX[1:0]: P14 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): EPDTRG (EPD)
- 0x1 (R/W): SCLK0 (UART Ch.0)
- 0x0 (R/W): P14ポート (デフォルト)

## P2[3:0] Port Function Select Register (P20\_23PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	RFIN0			
					0x1	SCLM			
	0x0	P23							
	D5-4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	REF0				
				0x1	SDAM				
	0x0	P22							
	D3-2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W		
				0x3	#BZ				
				0x2	SENA0				
				0x1	SCLS				
	0x0	P21							
	D1-0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W		
0x3				BZ					
0x2				SENB0					
0x1				SDAS					
0x0	P20								

P20～P23入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:6] P23MUX[1:0]: P23 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): RFIN0 (RFC)  
 0x1 (R/W): SCLM (I2CM)  
 0x0 (R/W): P23ポート (デフォルト)

**D[5:4] P22MUX[1:0]: P22 Port Function Select Bits**

0x3 (R/W): Reserved  
 0x2 (R/W): REF0 (RFC)  
 0x1 (R/W): SDAM (I2CM)  
 0x0 (R/W): P22ポート (デフォルト)

**D[3:2] P21MUX[1:0]: P21 Port Function Select Bits**

0x3 (R/W): #BZ (SND)  
 0x2 (R/W): SENAO (RFC)  
 0x1 (R/W): SCLS (I2CS)  
 0x0 (R/W): P21ポート (デフォルト)

**D[1:0] P20MUX[1:0]: P20 Port Function Select Bits**

0x3 (R/W): BZ (SND)  
 0x2 (R/W): SENB0 (RFC)  
 0x1 (R/W): SDAS (I2CS)  
 0x0 (R/W): P20ポート (デフォルト)

## P2[7:4] Port Function Select Register (P24\_27PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7-6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	reserved			
						0x1	SENB1				
					0x0	P27					
		D5-4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W			
0x3	reserved										
					0x2	reserved					
					0x1	SENA1					
					0x0	P26					
		D3-2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W			
0x3	reserved										
					0x2	reserved					
					0x1	REF1					
					0x0	P25					
		D1-0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W			
0x3	reserved										
					0x2	reserved					
					0x1	RFIN1					
					0x0	P24					

P24～P27入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:6] P27MUX[1:0]: P27 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): SENB1 (RFC)
- 0x0 (R/W): P27ポート (デフォルト)

**D[5:4] P26MUX[1:0]: P26 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): SENB1 (RFC)
- 0x0 (R/W): P26ポート (デフォルト)

**D[3:2] P25MUX[1:0]: P25 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): REF1 (RFC)
- 0x0 (R/W): P25ポート (デフォルト)

**D[1:0] P24MUX[1:0]: P24 Port Function Select Bits**

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): RFIN1 (RFC)
- 0x0 (R/W): P24ポート (デフォルト)

## P3[3:0] Port Function Select Register (P30\_33PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7-6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P33			
	0x0	DST2							
	D5-4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	reserved				
				0x1	P32				
	0x0	DSIO							
	D3-2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W		
				0x3	reserved				
				0x2	reserved				
				0x1	EPDCLK				
	0x0	P31							
	D1-0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W		
0x3				reserved					
0x2				#SPISS0					
0x1				FOUTB					
0x0	P30								

P30～P33入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

### D[7:6] P33MUX[1:0]: P33 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P33ポート
- 0x0 (R/W): DST2(DBG) (デフォルト)

### D[5:4] P32MUX[1:0]: P32 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P32ポート
- 0x0 (R/W): DSIO(DBG) (デフォルト)

### D[3:2] P31MUX[1:0]: P31 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): EPDCLK (EPD)
- 0x0 (R/W): P31ポート (デフォルト)

### D[1:0] P30MUX[1:0]: P30 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): #SPISS0 (SPI Ch.0)
- 0x1 (R/W): FOUTB (CLG)
- 0x0 (R/W): P30ポート (デフォルト)

## P34 Port Function Select Register (P34PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P34 Port Function Select Register (P34PMUX)	0x52a7 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1-0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P34			
				0x0	DCLK				

P34入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

**D[7:2]      Reserved**

**D[1:0]      P34MUX[1:0]: P34 Port Function Select Bits**

- 0x3 (R/W):      Reserved
- 0x2 (R/W):      Reserved
- 0x1 (R/W):      P34ポート
- 0x0 (R/W):      DCLK (DBG) (デフォルト)



# 11 8ビットタイマ(T8)

## 11.1 T8モジュールの概要

S1C17F57は8ビットタイマモジュール(T8)を内蔵しています。

T8モジュールの主な機能と特長を以下に示します。

- 2チャンネルのタイマで構成(T8 Ch.0、Ch.1)
  - 8ビットプリセッタブルダウンカウンタ(プリセット値設定用8ビットリロードデータレジスタ付き)
  - カウンタのアンダーフローから、SPIとI<sup>2</sup>Cマスタの動作クロックを生成
  - 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
  - カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能
- 図11.1.1にT8の構成を示します。

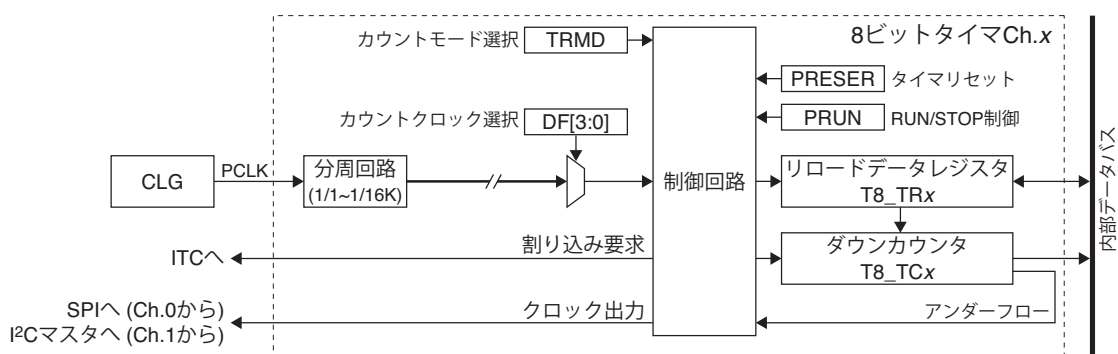


図11.1.1 T8モジュールの構成(1チャンネル)

T8モジュールの各チャンネルは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェースのクロック生成に使用されます。アンダーフロー周期はプリスケールクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

注: レジスタ名の'x'はチャンネル番号(0または1)を表します。

例: T8\_CTLxレジスタ

Ch.0: T8\_CTL0レジスタ

Ch.1: T8\_CTL1レジスタ

## 11.2 カウントクロック

カウントクロックは、PCLKクロックを1/1～1/16Kに分周して生成します。この分周比をDF[3:0]/T8\_CLKxレジスタで下表に示す15種類から選択します。

表11.2.1 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: ・ タイマを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ (CLG)を設定しておく必要があります。

- ・ カウントクロックの設定は、カウント停止中に行ってください。

CLGの制御については、“クロックジェネレータ (CLG)”の章を参照してください。

## 11.3 カウントモード

T8モジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T8\_CTLxレジスタで行います。

### リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、T8はリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T8をこのモードに設定してください。

### ワンショットモード (TRMD = 1)

TRMDを1に設定すると、T8はワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8をこのモードに設定してください。

## 11.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT8\_TRxは、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

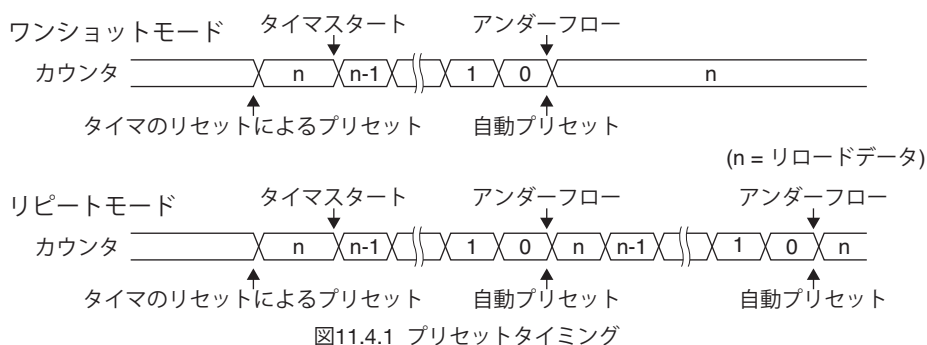


図11.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{ct\_clk} [s] \quad \text{アンダーフローサイクル} = \frac{ct\_clk}{TR + 1} [Hz]$$

ct\_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~255)

## 11.5 タイマのリセット

タイマをリセットするには、PRESER/T8\_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

## 11.6 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロックを選択します。11.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。11.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。11.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。11.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。11.8節を参照してください。

タイマの動作を開始させるには、PRUN/T8\_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

## 11 8ビットタイマ(T8)

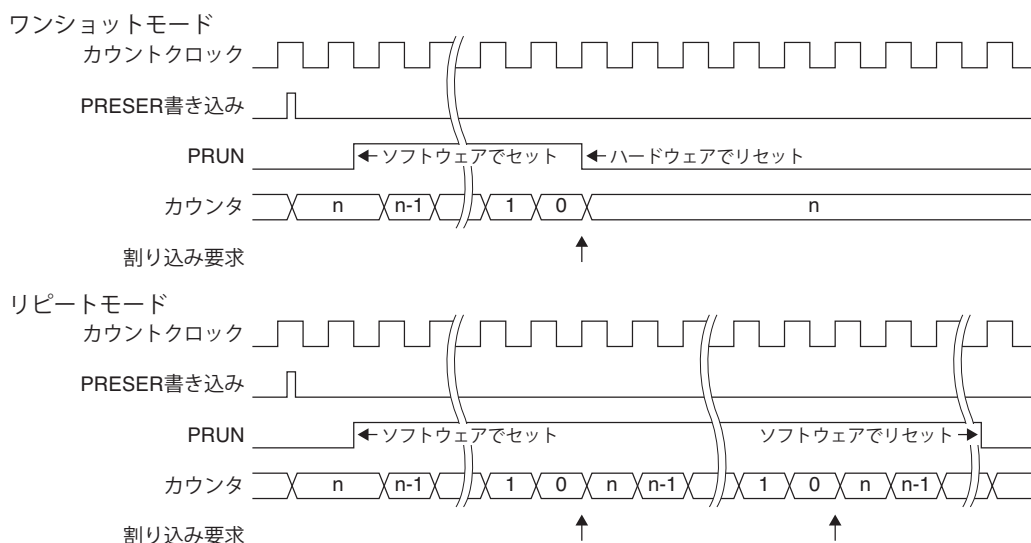


図11.6.1 カウント動作

## 11.7 T8出力信号

T8モジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

8ビットタイマCh.0出力クロック → SPI

8ビットタイマCh.1出力クロック → I<sup>2</sup>Cマスタ

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPI} \quad TR = \frac{ct\_clk}{bps \times 2} - 1$$

$$\text{I}^2\text{Cマスタ} \quad TR = \frac{ct\_clk}{bps \times 4} - 1$$

ct\_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~255)

bps: 転送レート (ビット/秒)

## 11.8 T8割り込み

T8モジュールの各チャンネルは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

### アンダーフロー割り込み

カウンタがアンダーフローすると、T8モジュール内のチャンネルごとに用意されている割り込みフラグT8IF/T8\_INTxレジスタが1にセットされます。T8IE/T8\_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8IEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • T8割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8モジュール内の割り込みフラグT8IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T8IEによってT8割り込みを許可する前に、T8IFをリセットしてください。T8IFは1の書き込みによりリセットされます。

## 11.9 制御レジスタ詳細

表11.9.1 T8レジスタ一覧

アドレス	レジスタ名		機能
0x4240	T8_CLK0	T8 Ch.0 Count Clock Select Register	カウントクロックの選択
0x4242	T8_TR0	T8 Ch.0 Reload Data Register	リロードデータの設定
0x4244	T8_TC0	T8 Ch.0 Counter Data Register	カウンタデータ
0x4246	T8_CTL0	T8 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T8_INT0	T8 Ch.0 Interrupt Control Register	割り込みの制御
0x4260	T8_CLK1	T8 Ch.1 Count Clock Select Register	カウントクロックの選択
0x4262	T8_TR1	T8 Ch.1 Reload Data Register	リロードデータの設定
0x4264	T8_TC1	T8 Ch.1 Counter Data Register	カウンタデータ
0x4266	T8_CTL1	T8 Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	T8_INT1	T8 Ch.1 Interrupt Control Register	割り込みの制御

以下、T8モジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### T8 Ch.x Count Clock Select Registers (T8\_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Count Clock Select Register (T8_CLKx)	0x4240	D15-4	–	reserved	–	–	–	0 when being read.
	0x4260	D3-0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
				0x1 1/2				
				0x0 1/1				

D[15:4] Reserved

D[3:0] DF[3:0]: Count Clock Division Ratio Select Bits

カウントクロックを生成するための、PCLKの分周比を選択します。

表11.9.2 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

### T8 Ch.x Reload Data Registers (T8\_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Reload Data Register (T8_TRx)	0x4242	D15-8	–	reserved	–	–	–	0 when being read.
	0x4262	D7-0	TR[7:0]	Reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

**D[7:0] TR[7:0]: Reload Data Bits**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

**T8 Ch.x Counter Data Registers (T8\_TCx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Counter Data Register (T8_TCx)	0x4244	D15-8	-	reserved	-	-	-	0 when being read.
	0x4264	D7-0	TC[7:0]	Counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

**D[15:8] Reserved****D[7:0] TC[7:0]: Counter Data Bits**

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

**T8 Ch.x Control Registers (T8\_CTLx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Control Register (T8_CTLx)	0x4246 0x4266 (16 bits)	D15-5	-	reserved	-	-	-	Do not write 1.
		D4	TRMD	Count mode select	1 One shot   0 Repeat	0	R/W	
		D3-2	-	reserved	-	-	-	0 when being read.
		D1	PRESER	Timer reset	1 Reset   0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run   0 Stop	0	R/W	

**D[15:5] Reserved (1書き込み禁止)****D4 TRMD: Count Mode Select Bit**

8ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T8はリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T8をこのモードに設定してください。

TRMDを1に設定すると、T8はワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8をこのモードに設定してください。

**D[3:2] Reserved****D1 PRESER: Timer Reset Bit**

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

**D0 PRUN: Timer Run/Stop Control Bit**

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

**T8 Ch.x Interrupt Control Registers (T8\_INTx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.x Interrupt Control Register (T8_INTx)	0x4248 0x4268 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	<b>T8IE</b>	T8 interrupt enable	1 Enable    0 Disable	0	R/W	0 when being read.
		D7-1	–	reserved	–	–	–	0 when being read.
		D0	<b>T8IF</b>	T8 interrupt flag	1 Cause of interrupt occurred    0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

**D[15:9] Reserved****D8 T8IE: T8 Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8IEを1に設定するとITCへのT8割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**D[7:1] Reserved****D0 T8IF: T8 Interrupt Flag Bit**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8IFはT8モジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T8IFは1の書き込みによりリセットされます。

# 12 16ビットPWMタイマ(T16A2)

## 12.1 T16A2モジュールの概要

S1C17F57は、カウンタブロックとコンパレータ/キャプチャブロックで構成される16ビットPWMタイマモジュール(T16A2)を内蔵しています。このタイマは、インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタ、あるいは外部イベント期間/周期を測定するカウントキャプチャユニットとして使用可能です。

T16A2モジュールの主な機能と特長を以下に示します。

- 2チャンネルの16ビットアップカウンタブロック
- 接続するカウンタブロックを選択可能な2チャンネルのコンパレータ/キャプチャブロック
- CPUクロックとは非同期のカウントクロックを選択可能
- 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータはカウンタ値と2つの指定値を比較し、割り込み信号やPWM波形を生成
- キャプチャユニットは2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生

図12.1.1にT16A2の構成を示します。

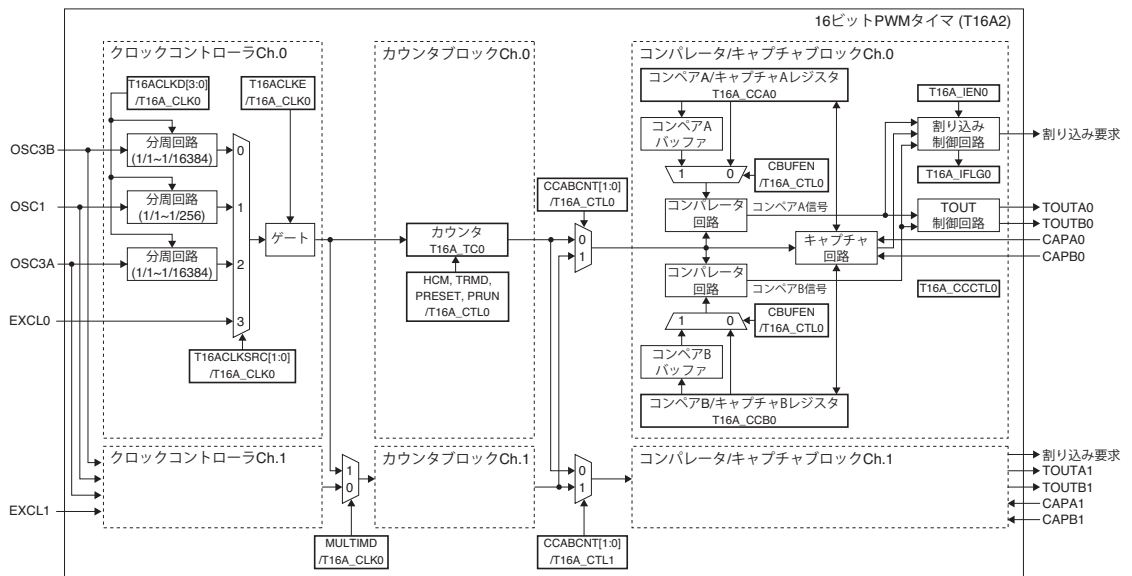


図12.1.1 T16A2の構成

### クロックコントローラ

T16A2は、カウンタのカウントクロックを生成するクロックコントローラを2チャンネル内蔵しています。ソフトウェアにより、クロックソースと分周比が選択可能です。

### カウンタブロック

カウンタブロックは16ビットアップカウンタで構成されます。カウンタはOSC3B、OSC3A、またはOSC1の分周クロック、もしくは外部から入力したカウントクロックで動作します。このクロック選択のほか、ソフトウェアによってチャンネル個別にカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。



## コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、コンパレータ機能とキャプチャ機能があります。ソフトウェアでコンパレータ機能を選択することによって、PWM波形ジェネレータ等を実現できます。キャプチャ機能を選択すると、外部イベントの期間/周期を測定するカウントキャプチャユニット等が実現できます。コンパレータ回路は、コンペアA、コンペアBレジスタ値(ソフトウェアにて設定)とカウンタ値が一致したことを示すコンペアA信号、コンペアB信号を生成してTOUT制御回路と割り込み制御回路に出力します。TOUT出力回路は、これらの信号からPWM波形等の信号を生成し、外部端子TOUTAx、TOUTBxへ出力します。キャプチャ回路は、CAPAx、CAPBx端子から入力された外部イベントの発生を示す信号によってカウンタ値をキャプチャA、キャプチャBレジスタに格納します。割り込み制御回路は、設定に応じて割り込みコントローラ(ITC)へ割り込み信号を出力します。なお、同じチャンネル内で、コンパレータ機能とキャプチャ機能を同時に使用することはできません。

## カウンタブロックチャンネルとコンパレータ/キャプチャブロックチャンネルの組み合わせ

通常は同じチャンネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続して使用します。また、各コンパレータ/キャプチャブロックには別の番号のカウンタブロックを指定することができます。これにより、1つのカウンタで複数のコンパレータ/キャプチャブロックが使用可能となり、2系統の比較/キャプチャ機能を最大4系統に拡張することができます(詳細は後述)。

注: レジスタ名および端子名の'x'はチャンネル番号(0または1)を表します。

例: T16A\_CTLxレジスタ、TOUTAx端子  
 Ch.0: T16A\_CTL0レジスタ、TOUTA0  
 Ch.1: T16A\_CTL1レジスタ、TOUTA1

## 12.2 T16A2入出力端子

表12.2.1にT16A2モジュールの入出力端子を示します。

表12.2.1 T16A2端子一覧

端子名	I/O	本数	機能
EXCL0 (Ch.0) EXCL1 (Ch.1)	I	2	外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。
CAPA0, CAPB0 (Ch.0) CAPA1, CAPB1 (Ch.1)	I	4	カウンタキャプチャトリガ信号入力端子(キャプチャモード時に有効) CAPAx端子に入力される信号の指定エッジ(立ち下がリエッジ、立ち上がりエッジ、または両エッジ)で、カウンタデータがキャプチャAレジスタに取り込まれます。CAPBxの入力信号ではカウンタデータがキャプチャBレジスタに取り込まれます。
TOUTA0, TOUTB0 (Ch.0) TOUTA1, TOUTB1 (Ch.1)	O	4	タイマ生成信号出力端子(コンパレータモード時に有効) 各チャンネルは2本の出力端子を持ち、それぞれ異なる条件で生成された信号を出力できます。

T16A2の入出力端子(EXCLx、CAPAx、CAPBx、TOUTAx、TOUTBx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16A2の入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 12.3 カウントクロック

クロックコントローラはカウントクロックを制御するクロックソースセクタ、分周回路、ゲート回路で構成されます。カウントクロックはチャンネルごとに制御可能です。

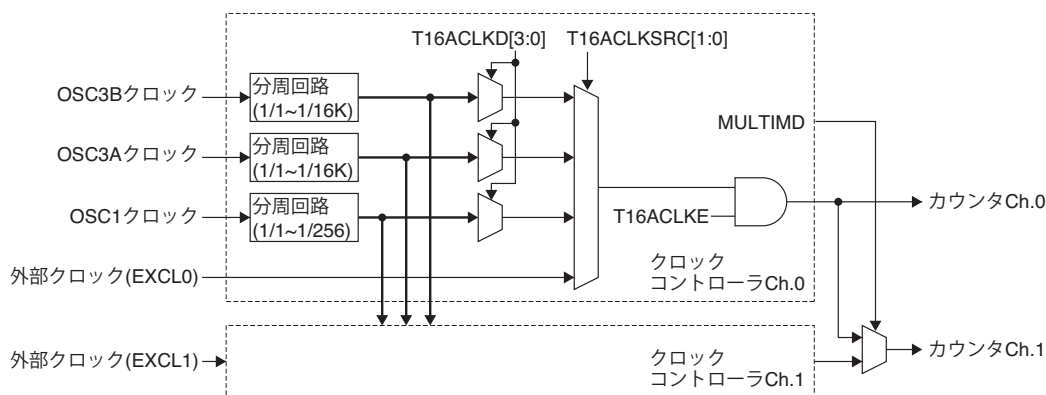


図12.3.1 クロックコントローラ

## クロックソースの選択

クロックソースは、T16ACLKSRC[1:0]/T16A\_CLKxレジスタを使用してOSC3B、OSC3A、OSC1、外部クロックから選択します。

表12.3.1 クロックソースの選択

T16ACLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

外部クロックを選択すると、外部クロックやパルスを入力して、タイマをイベントカウンタやパルス幅測定などにも使用可能です。外部クロック入力端子は下表のとおりです。汎用入出力ポートのまま、端子機能を切り換える必要はありません。ただし、対応する入出力ポートを出力モードには設定しないでください。

表12.3.2 外部クロック入力端子

チャンネル	外部クロック入力端子
T16A2 Ch.0	EXCL0
T16A2 Ch.1	EXCL1

## 内部クロック分周比の選択

内部クロック (OSC3B、OSC3A、OSC1) を使用する場合は、T16ACLKD[3:0]/T16A\_CLKxレジスタで分周比を選択します。

表12.3.3 内部クロック分周比の選択

T16ACLKD[3:0]	分周比	
	クロックソース = OSC3B or OSC3A	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	F256 (論理緩急256Hzクロック)
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

## クロックイネーブル

カウンタへのクロック供給は、T16ACLKE/T16A\_CLKxレジスタで制御します。T16ACLKEのデフォルト設定は0で、クロックの供給は停止しています。T16ACLKEを1に設定すると、上記のとおり生成されたクロックがカウンタに送られます。T16A2の動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

## マルチコンパレータ/キャプチャモード

T16A2は1つのカウンタチャンネルに複数チャンネルのコンパレータ/キャプチャブロックを接続することができます(マルチコンパレータ/キャプチャモード)。この場合はCh.0のクロックをすべてのチャンネルに供給する必要があります。この制御をMULTIMD/T16A\_CLK0レジスタで行います。T16A2をマルチコンパレータ/キャプチャモードで使用する場合は、MULTIMDを1に設定します。同一チャンネルのカウンタとコンパレータ/キャプチャブロックを接続して使用する場合は(ノーマルチャンネルモード)、MULTIMDを0(デフォルト)に設定してください。

注: カウントクロックの設定は、T16A2がカウント停止中に行ってください。

## 12.4 T16A2の動作モード

T16A2には、いろいろな使い方に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

### 12.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A\_CCAxとT16A\_CCBxの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A\_CCAxレジスタのモードはCCAMD/T16A\_CCCTLxレジスタで、T16A\_CCBxレジスタのモードはCCBMD/T16A\_CCCTLxレジスタで選択します。

#### コンパレータモード(CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A\_CCAxとT16A\_CCBxレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャンネルの割り込み信号がITCに出力されます。

カウンタ値がコンペアBレジスタの設定値になった場合、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャンネルの割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

カウント開始からコンペアA割り込みが発生するまでの期間(コンペアA期間)およびコンペアB割り込みが発生するまでの期間(コンペアB期間)は次のように計算できます。

$$\text{コンペアA期間} = (\text{CCA} + 1) / \text{ct\_clk} [\text{秒}]$$

$$\text{コンペアB期間} = (\text{CCB} + 1) / \text{ct\_clk} [\text{秒}]$$

CCA: コンペアAレジスタ設定値(0~65535)

CCB: コンペアBレジスタ設定値(0~65535)

ct\_clk: カウントクロック周波数 [Hz]

コンペアA信号とコンペアB信号はタイマ出力波形(TOUT)を生成するためにも使用されます。詳細については、“12.6 タイマ出力の制御”を参照してください。PWM波形を生成して出力するには、T16A\_CCAxおよびT16A\_CCBxレジスタを両方共にコンパレータモードに設定しておく必要があります。

#### コンペアバッファ

コンペアバッファは、比較値を変更するタイミングをカウンタの動作に同期させるときに使用します。CBUFEN/T16A\_CTLxレジスタを1に設定するとコンペアバッファが有効になり、コンパレータはコンペアA、コンペアBレジスタの代わりにコンペアA、コンペアBバッファとカウンタ値を比較してコンペアA、コンペアB信号を生成します。ソフトウェアでコンペアA、コンペアBレジスタに書き込んだ比較値は、コンペアB信号が発生した時点でコンペアA、コンペアBバッファにロードされます。

注: T16A\_CCAxまたはT16A\_CCBxレジスタに連続的にデータを書き込む場合、それぞれの書き込みをT16A2カウントクロック1サイクル以上の間隔を空けて行ってください。

### キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A\_CCAxまたはT16A\_CCBxレジスタはキャプチャデータを読み出すためのキャプチャ Aまたはキャプチャ Bレジスタとして機能します。カウンタ値をキャプチャする外部トリガ信号入力端子は下表のとおりです。トリガ入力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表12.4.1.1 カウンタキャプチャ用トリガ信号入力端子

チャンネル	トリガ入力端子	
	キャプチャ A	キャプチャ B
T16A2 Ch.0	CAPA0	CAPB0
T16A2 Ch.1	CAPA1	CAPB1

トリガとする信号のエッジは、キャプチャ AがCAPATR[1:0]/T16A\_CCCTLxレジスタ、キャプチャ BがCAPBTRG[1:0]/T16A\_CCCTLxレジスタで選択可能です。

表12.4.1.2 キャプチャトリガエッジの選択

CAPATR[1:0]/CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がキャプチャレジスタにロードされます。同時にキャプチャ Aまたはキャプチャ B割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャンネルの割り込み信号がITCに出力されます。この割り込みを利用して、キャプチャデータをT16A\_CCAxまたはT16A\_CCBxレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。キャプチャ Aまたはキャプチャ B割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。したがって、キャプチャデータをT16A\_CCAxまたはT16A\_CCBxレジスタから読み出した場合は、キャプチャ Aまたはキャプチャ B割り込みフラグをリセットしておく必要があります。

注: ・キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。

- ・カウンタデータを正しくキャプチャするには、CAPxトリガ信号のHigh期間とLow期間をどちらもソースクロックの1周期以上とする必要があります。

コンパレータモード時は、CAPATR[1:0]とCAPBTRG[1:0]の設定は無効です。トリガエッジが選択されていてもカウントのキャプチャは行われません。

キャプチャモードではコンペア信号が生成されないため、TOUT信号を生成して出力することはできません。

## 12.4.2 リピートモードとワンショットモード

各カウンタはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16A\_CTLxレジスタで行います。

### リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、対応するカウンタはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

カウンタがオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

### ワンショットモード (TRMD = 1)

TRMDを1に設定すると、対応するカウンタはワンショットモードに設定されます。

このモードでは、コンペアB信号が発生した時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

## 12.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード

T16A2のチャネルはカウンタブロックとコンパレータ/キャプチャブロックで構成されますが、1つのカウンタブロックに複数のコンパレータ/キャプチャブロックを接続してコンパレータ/キャプチャ機能を拡張するような使い方もできます。これに対応して、ノーマルチャネルモードとマルチコンパレータ/キャプチャモードの2つの動作モードが用意され、MULTIMD/T16A\_CLK0レジスタで選択できるようになっています。

### ノーマルチャネルモード (MULTIMD = 0、デフォルト)

同じチャネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続し、T16A2モジュールを2チャネルのタイマとして使用するモードです。このモードでは、カウンタごとに異なるカウントクロックを使用することができます。

各タイマチャネルには、そのチャネルのコンパレータ/キャプチャブロックに接続するカウンタチャネルを選択するCCABCNT[1:0]/T16A\_CTLxレジスタが設けられています。

表12.4.3.1 カウンタの選択

CCABCNT[1:0]	カウンタチャネル
0x3, 0x2	Reserved
0x1	Ch.1 (カウンタ1)
0x0	Ch.0 (カウンタ0)

(デフォルト: 0x0)

T16A2モジュールをノーマルチャネルモードで使用する場合は、各チャネルのコンパレータ/キャプチャブロックに必ず同じチャネルのカウンタを接続してください。

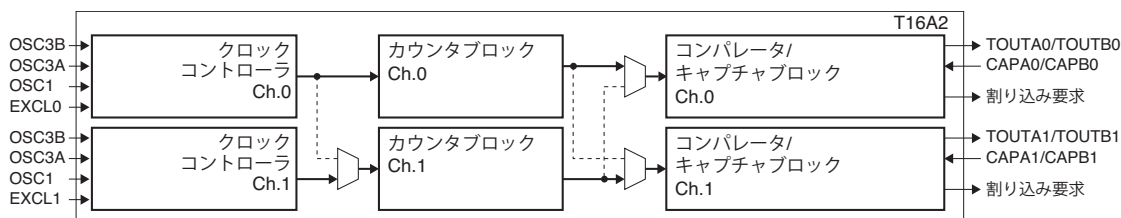


図12.4.3.1 ノーマルチャネルモードのタイマ構成

注: ノーマルチャネルモード (MULTIMD = 0) の場合に、異なるチャネルのカウンタブロックとコンパレータ/キャプチャブロックを接続することは禁止します。正常な動作を保証できません。

### マルチコンパレータ/キャプチャモード (MULTIMD = 1)

1つのカウンタで3つ以上の比較値を設定したい場合や、3本以上のトリガ信号でカウンタをキャプチャしたい場合などには、1つのカウンタに複数のコンパレータ/キャプチャブロックを接続することができます。このためのモードがマルチコンパレータ/キャプチャモードで、上記のCCABCNT[1:0]を使用してカウンタブロックとコンパレータ/キャプチャブロックを任意に組み合わせることが可能です。ただし、使用するカウンタにかかわらず、カウントクロックはカウンタCh.0用の1種類に固定されます。その他のチャネルのクロック設定は無効となります。

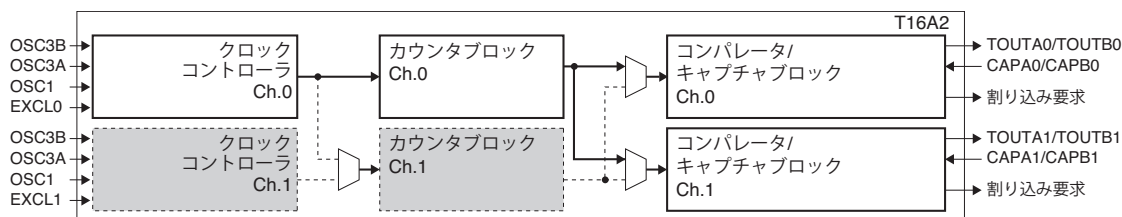


図12.4.3.2 マルチコンパレータ/キャプチャモードのタイマ構成

## 12.4.4 ノーマルクロックモードとハーフクロックモード

T16A2はPWM出力波形におけるデューティ比の精度を向上させるため、ハーフクロックモードを搭載しています。ハーフクロックモードでは、カウントクロックの立ち上がりエッジと立ち下がりエッジでカウントを行う両エッジカウンタを使用してコンペアAレジスタとの比較を行います。これにより、ノーマルクロックモードの2倍の精度でデューティ比を制御することが可能となります。

ハーフクロックモードはHCM/T16A\_CTLxレジスタで選択します。

### ノーマルクロックモード(HCM = 0、デフォルト)

ノーマルクロックモードでは、T16A\_TCxレジスタ値とT16A\_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

### ハーフクロックモード(HCM = 1)

ハーフクロックモードでは、両エッジカウンタ値とT16A\_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

注: ・ ハーフクロックモードはPWM波形を生成する場合のみ動作しますので、コンパレータモードで使用してください。以下のいずれかに該当する場合は必ずノーマルクロックモード(HCM = 0)で使用してください。

- (1) キャプチャモードを設定している場合
- (2) TOUTAMD/T16A\_CCCTLxレジスタを0x2または0x3に設定した場合
- (3) TOUTBMD/T16A\_CCCTLxレジスタを0x2または0x3に設定した場合

- ・ 両エッジカウンタはリードすることができません。
- ・ ハーフクロックモード時は、コンペアA割り込みを使用しないでください。
- ・ ハーフクロックモード時、T16A\_CCBxレジスタには $[T16A\_CCAx\text{設定値} / 2 + 0x8000]$ 未満の値を設定してください。

## 12.5 カウンタの制御

### 12.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A\_CTLxレジスタに1を書き込みます。通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

### 12.5.2 カウンタRUN/STOP制御

- カウント動作を開始させる前に、以下の設定を行ってください。
- (1) 使用する入出力端子の機能をT16A2用に切り換えます。“入出力ポート(P)”の章を参照してください。
  - (2) 動作モードを選択します。12.4節を参照してください。
  - (3) クロックソースを選択します。12.3節を参照してください。
  - (4) タイマ出力(TOUT)の設定を行います。12.6節を参照してください。
  - (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16A2の割り込みを許可します。12.7節を参照してください。
  - (6) カウンタを0にリセットします。12.5.1節を参照してください。
  - (7) コンペアデータを設定します(コンパレータモード時)。12.4.1節を参照してください。

各タイマチャンネルには、カウンタの動作を制御するPRUN/T16A\_CTLxレジスタが設けられています。カウンタはPRUNに1を書き込むことによってカウントを開始します。PRUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

### 12.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A\_TCxレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

### 12.5.4 カウント動作と割り込みタイミング

#### コンパレータモード



図12.5.4.1 コンパレータモード時動作タイミング

#### キャプチャモード

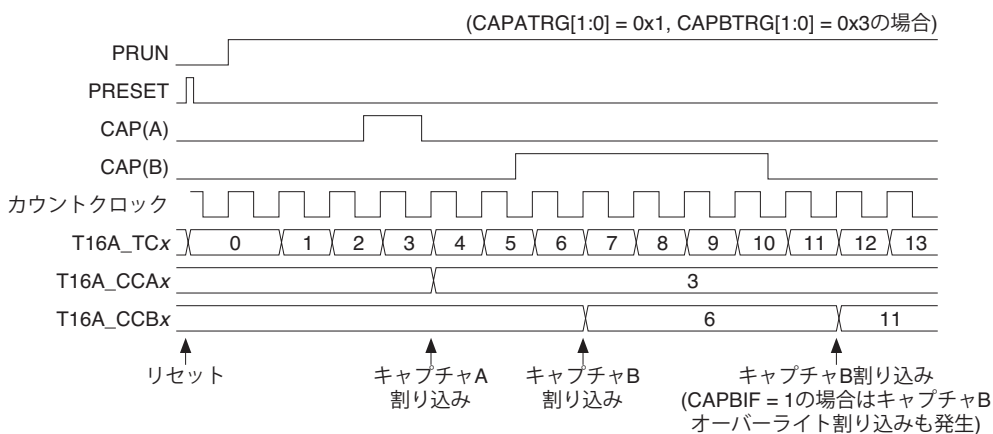


図12.5.4.2 キャプチャモード時動作タイミング

## 12.6 タイマ出力の制御

コンパレータモードに設定したタイマは、コンペアAおよびコンペアB信号によってTOUT信号を生成し、IC外部に出力することができます。各タイマチャンネルは2本のTOUT出力を持ち、T16A2モジュールからは最大4本のTOUT信号を出力可能です。

図12.6.1にTOUT出力回路(1タイマチャンネル)を示します。

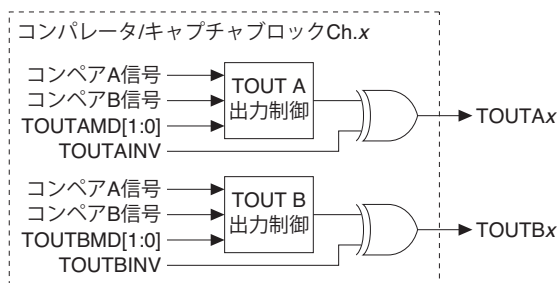


図12.6.1 TOUT出力回路

各タイマチャンネルには2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路/レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBに対応するものではありません。

### TOUT出力端子

TOUT端子とタイマチャンネルの対応を表12.6.1に示します。TOUT出力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表12.6.1 TOUT出力端子一覧

チャンネル	TOUT出力端子	
	A系統	B系統
T16A2 Ch.0	TOUTA0	TOUTB0
T16A2 Ch.1	TOUTA1	TOUTB1

### TOUT生成モード

TOUT信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A\_CCCTLxレジスタ(A系統)またはTOUTBMD[1:0]/T16A\_CCCTLxレジスタ(B系統)で設定します。

表12.6.2 TOUT生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUT出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

### TOUT信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A\_CCCTLxレジスタ(A系統)またはTOUTBINV/T16A\_CCCTLxレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOUT信号が生成されます。

カウンタをリセットした場合には、TOUT信号がインアクティブレベルとなります。

図12.6.2にTOUT出力波形を示します。



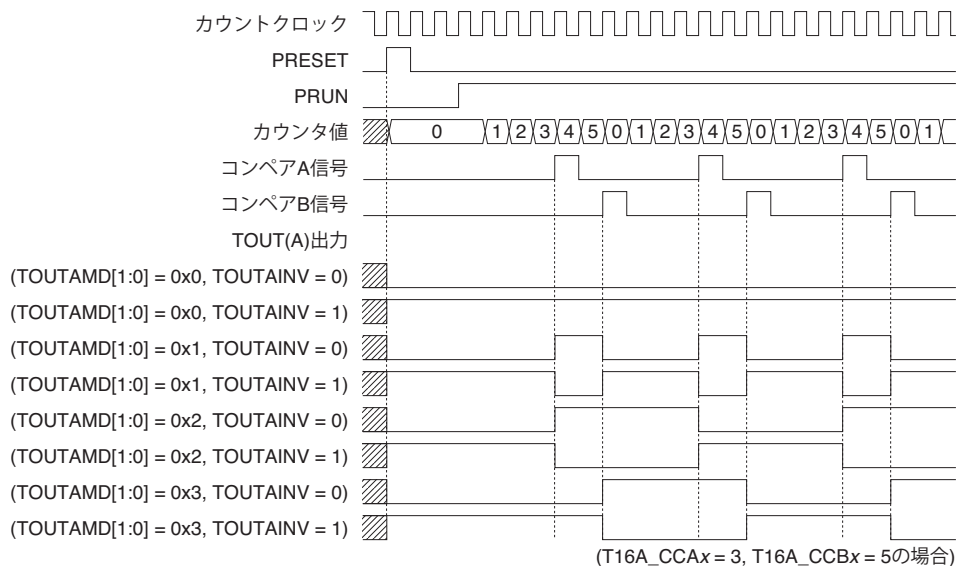
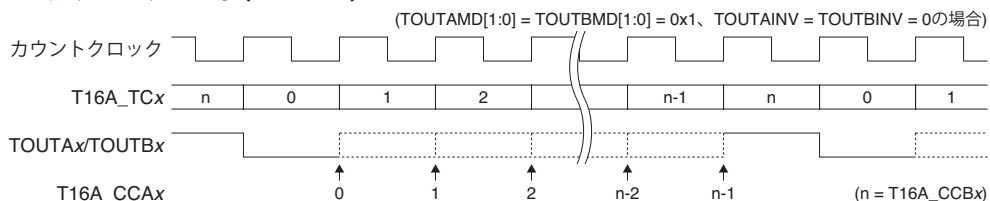


図12.6.2 TOUT出力波形

### PWM波形出力タイミング

#### ノーマルクロックモード(HCM = 0)



例: HCM = 0, T16A\_CCAx = 1, T16A\_CCBx = 5

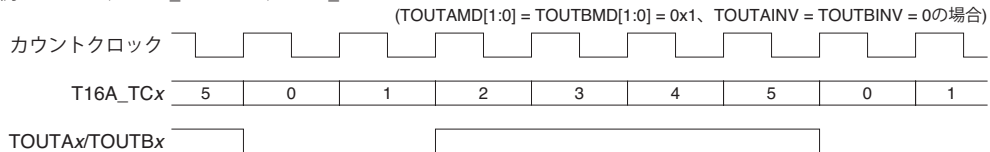
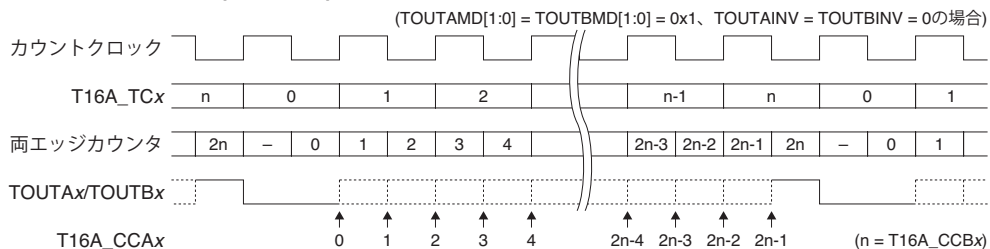


図12.6.3 ノーマルクロックモードのPWM波形出力タイミング

#### ハーフクロックモード(HCM = 1)



例: HCM = 1, T16A\_CCAx = 1, T16A\_CCBx = 5

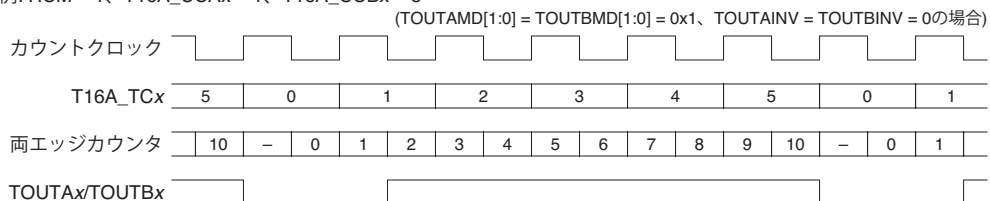


図12.6.4 ハーフクロックモードのPWM波形出力タイミング

## 12.7 T16A2割り込み

T16A2モジュールには、タイマチャネルごとに以下の6種類の割り込みを発生させる機能があります。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャ A割り込み(キャプチャモード時)
- キャプチャ B割り込み(キャプチャモード時)
- キャプチャ Aオーバーライト割り込み(キャプチャモード時)
- キャプチャ Bオーバーライト割り込み(キャプチャモード時)

各タイマチャネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、割り込みを発生したタイマチャネルの割り込みフラグを読み出してください。

### コンパレータモード時の割り込み

#### コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタの設定値に一致すると発生し、T16A2モジュール内の割り込みフラグCAIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAIE/T16A\_IENxレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

#### コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタの設定値に一致すると発生し、T16A2モジュール内の割り込みフラグCBIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CBIE/T16A\_IENxレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

### キャプチャモード時の割り込み

#### キャプチャ A割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Aレジスタに取り込まれると発生し、T16A2モジュール内の割り込みフラグCAPAIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAIE/T16A\_IENxレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

#### キャプチャ B割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Bレジスタに取り込まれると発生し、T16A2モジュール内の割り込みフラグCAPBIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBIE/T16A\_IENxレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

#### キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Aレジスタが上書きされると発生し、T16A2モジュール内の割り込みフラグCAPAOWIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAOWIE/T16A\_IENxレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFがセットされている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ずCAPAIFをリセットしてください。

### キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ B割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Bレジスタが上書きされると発生し、T16A2モジュール内の割り込みフラグCAPBOWIF/T16A\_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBOWIE/T16A\_IENxレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPBOWIFは、キャプチャ Bレジスタが読み出されているかどうかにかかわらず、CAPBIFがセットされている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ずCAPBIFをリセットしてください。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16A2モジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

注: ・ 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

- ・ 割り込み発生後は、割り込み処理ルーチン内で、T16A2モジュール内の割り込みフラグをリセットしてください。

## 12.8 制御レジスタ詳細

表12.8.1 T16A2レジスタ一覧

アドレス	レジスタ名		機能
0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A2 Ch.0クロックの制御
0x5069	T16A_CLK1	T16A Clock Control Register Ch.1	T16A2 Ch.1クロックの制御
0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャ Aデータ
0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャ Bデータ
0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register	カウンタの制御
0x5422	T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ
0x5424	T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5426	T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャ Aデータ
0x5428	T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャ Bデータ
0x542a	T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止
0x542c	T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、T16A2モジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## T16A Clock Control Registers Ch.x (T16A\_CLKx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
T16A Clock Control Register Ch.x (T16A_CLKx)	0x5068 0x5069 (8 bits)	D7-4	T16ACLKD [3:0]	Clock division ratio select	T16ACLKD[3:0]	Division ratio	OSC3A or OSC3B	OSC1	0x0	R/W	
		0xf	reserved		reserved						
		0xe	1/16384		reserved						
		0xd	1/8192		reserved						
		0xc	1/4096		reserved						
0xb	1/2048	reserved									
0xa	1/1024	reserved									
0x9	1/512	F256									
0x8	1/256	1/256									
0x7	1/128	1/128									
0x6	1/64	1/64									
0x5	1/32	1/32									
0x4	1/16	1/16									
0x3	1/8	1/8									
0x2	1/4	1/4									
0x1	1/2	1/2									
0x0	1/1	1/1									
		D3-2	T16ACLK SRC[1:0]	Clock source select	T16ACLKSRC [1:0]	Clock source		0x0	R/W		
							External clock				
							OSC3A				
							OSC1				
						OSC3B					
		D1	MULTIMD	Multi-comparator/capture mode select	1   Multi	0   Normal		0	R/W	T16A_CLK0	
			–	reserved		–		–	–	T16A_CLK1 0 when being read.	
		D0	T16ACLKE	Count clock enable	1   Enable	0   Disable		0	R/W		

## D[7:4] T16ACLKD[3:0]: Clock Division Ratio Select Bits

内部クロック (OSC3B、OSC3A、OSC1) を使用する場合に、カウントクロックを生成するための分周比を選択します。

表12.8.2 内部クロック分周比の選択

T16ACLKD[3:0]	分周比	
	クロックソース = OSC3B or OSC3A	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	F256 (論理緩急256Hzクロック)
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

## D[3:2] T16ACLKSRC[1:0]: Clock Source Select Bits

カウントクロックソースを選択します。

表12.8.3 クロックソースの選択

T16ACLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

外部クロックをカウントクロックとして使用する場合、EXCLx端子から入力してください。

**D1 MULTIMD: Multi-Comparator/Capture Mode Select Bit (T16A\_CLK0 register)**

T16A2をマルチコンパレータ/キャプチャモードに設定します。

1(R/W): マルチコンパレータ/キャプチャモード

0(R/W): ノーマルチャンネルモード(デフォルト)

マルチコンパレータ/キャプチャモードでは、全チャンネルにT16A\_CLK0レジスタで設定したCh.0用クロックが供給されます。

ノーマルチャンネルモードの場合は、チャンネルごとに設定したクロックがそれぞれのカウンタに供給されます。

**D1 Reserved (T16A\_CLK1 register)****D0 T16ACLKE: Count Clock Enable Bit**

カウンタへのカウントクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

T16ACLKEのデフォルト設定は0で、クロックの供給は停止しています。T16ACLKEを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

**T16A Counter Ch.x Control Registers (T16A\_CTLx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Counter Ch.x Control Register (T16A_CTLx)	0x5400 0x5420 (16 bits)	D15-7	-	reserved		-	-	-	0 when being read.
		D6	HCM	Half clock mode enable	1 Enable 0 Disable	0	R/W		
		D5-4	CCABCNT [1:0]	Counter select	CCABCNT[1:0] 0x3, 0x2 0x1 0x0	Counter Ch. reserved Ch.1 Ch.0	0x0	R/W	
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W		
		D2	TRMD	Count mode select	1 One-shot 0 Repeat	0	R/W		
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.	
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W		

**D[15:7] Reserved****D6 HCM: Half Clock Mode Enable Bit**

ハーフクロックモードを設定します。

1(R/W): 有効(ハーフクロックモード)

0(R/W): 無効(ノーマルクロックモード) (デフォルト)

HCMを1に設定すると、T16A2はハーフクロックモードに設定されます。ハーフクロックモードでは、カウントクロックの立ち上がりエッジと立ち下がりエッジでカウントを行う両エッジカウンタを使用し、両エッジカウンタ値とT16A\_CCAxレジスタ値が一致したときにコンペアA信号を生成します。これにより、ノーマルクロックモードの2倍の精度でデューティ比を制御することが可能となります。

HCMを0に設定すると、T16A2はノーマルクロックモードとなり、T16A\_TCxレジスタ値とT16A\_CCAxレジスタ値が一致したときにコンペアA信号を生成します。

注: ・ ハーフクロックモードはPWM波形を生成する場合のみ動作しますので、コンパレータモードで使用してください。以下のいずれかに該当する場合は必ずノーマルクロックモード(HCM = 0)で使用してください。

- (1)キャプチャモードを設定している場合
  - (2)TOUTAMD/T16A\_CCCTLxレジスタを0x2または0x3に設定した場合
  - (3)TOUTBMD/T16A\_CCCTLxレジスタを0x2または0x3に設定した場合
- ・ 両エッジカウンタはリードすることができません。
  - ・ ハーフクロックモード時は、コンペアA割り込みを使用しないでください。
  - ・ ハーフクロックモード時、T16A\_CCBxレジスタには[T16A\_CCAx設定値 / 2 + 0x8000]未満の値を設定してください。

**D[5:4] CCABCNT[1:0]: Counter Select Bits**

マルチコンパレータ/キャプチャモード(MULTIMD/T16A\_CLK0レジスタ = 1)時に、各チャネルのコンパレータ/キャプチャブロックに接続するカウンタを選択します。

表12.8.4 カウンタの選択

CCABCNT[1:0]	カウンタチャネル
0x3, 0x2	Reserved
0x1	Ch.1(カウンタ1)
0x0	Ch.0(カウンタ0)

(デフォルト: 0x0)

T16A2モジュールをノーマルチャネルモード(MULTIMD = 0)で使用する場合は、各チャネルのコンパレータ/キャプチャブロックに必ず同じチャネルのカウンタを接続してください。

**D3 CBUFEN: Compare Buffer Enable Bit**

コンペアバッファを有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFENを1に設定するとコンペアバッファが有効になり、コンパレータはコンペアA、コンペアBレジスタの代わりにコンペアA、コンペアBバッファとカウンタ値を比較してコンペアA、コンペアB信号を生成します。ソフトウェアでコンペアA、コンペアBレジスタに書き込んだ比較値は、コンペアB信号が発生した時点でコンペアA、コンペアBバッファにロードされます。

CBUFENを0に設定するとコンペアバッファが無効となり、コンパレータはコンペアA、コンペアBレジスタとカウンタ値を比較してコンペアA、コンペアB信号を生成します。

注: CBUFENの設定は、カウンタが停止中(PRUN = 0)に行ってください。

**D2 TRMD: Count Mode Select Bit**

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、カウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。TRMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、コンペアB信号が発生した時点で自動的に停止します。

**D1 PRESET: Counter Reset Bit**

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

**D0 PRUN: Counter Run/Stop Control Bit**

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

**T16A Counter Ch.x Data Registers (T16A\_TCx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Data Register (T16A_TCx)	0x5402 0x5422 (16 bits)	D15-0	T16A2TC [15:0]	Counter data T16A2TC15 = MSB T16A2TC0 = LSB	0x0 to 0xffff	0x0	R	

**D[15:0] T16A2TC[15:0]: Counter Data Bits**

カウントデータが読み出せません。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出して下さい。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

**T16A Comparator/Capture Ch.x Control Registers (T16A\_CCCTLx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
T16A Comparator/ Capture Ch.x Control Register (T16A_CCCTLx)	0x5404 0x5424 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W		
					0x3	↑ and ↓				
						0x2	↓			
						0x1	↑			
						0x0	None			
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W		
	0x3				cmp B: ↑ or ↓					
						0x2	cmp A: ↑ or ↓			
						0x1	cmp A: ↑, B: ↓			
						0x0	Off			
		D11-10	-	-	reserved	-	-	-		0 when being read.
		D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal		0
	D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W	
	D7-6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge	0x0	R/W			
								0x3	↑ and ↓	
					0x2	↓				
					0x1	↑				
					0x0	None				
	D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W			
								0x3	cmp B: ↑ or ↓	
					0x2	cmp A: ↑ or ↓				
					0x1	cmp A: ↑, B: ↓				
					0x0	Off				
	D3-2	-	-	reserved	-	-	-	0 when being read.		
	D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W	
	D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W	

**D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits**

キャプチャ Bレジスタにカウンタ値を取り込む、外部信号(CAPBx)のトリガエッジを選択します。

表12.8.5 キャプチャ Bトリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

**D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits**

TOUT B信号波形(TOUTBx出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表12.8.6 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

**D[11:10] Reserved**

**D9 TOUTBINV: TOUT B Invert Bit**

TOUT B信号(TOUTB<sub>x</sub>出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

**D8 CCBMD: T16A\_CCB Register Mode Select Bit**

T16A\_CCB<sub>x</sub>レジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A\_CCB<sub>x</sub>レジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャBレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能します(コンパレータモード)。

**D[7:6] CAPATRG[1:0]: Capture A Trigger Select Bits**

キャプチャAレジスタにカウンタ値を取り込む、外部信号(CAPAx)のトリガエッジを選択します。

表12.8.7 キャプチャAトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

**D[5:4] TOUTAMD[1:0]: TOUT A Mode Select Bits**

TOUT A信号波形(TOUTA<sub>x</sub>出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表12.8.8 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

**D[3:2] Reserved****D1 TOUTAINV: TOUT A Invert Bit**

TOUT A信号(TOUTA<sub>x</sub>出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。



**D0 CCAMD: T16A\_CCA Register Mode Select Bit**

T16A\_CCA<sub>x</sub>レジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A\_CCA<sub>x</sub>レジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャAレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能します(コンパレータモード)。

**T16A Comparator/Capture Ch.x A Data Registers (T16A\_CCA<sub>x</sub>)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x A Data Register (T16A_CCA <sub>x</sub> )	0x5406 0x5426 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

**D[15:0] CCA[15:0]: Compare/Capture A Data Bits**

コンパレータモード時(CCAMD/ T16A\_CCCTL<sub>x</sub>レジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A\_CTL<sub>x</sub>レジスタが0に設定されている場合、コンペアAデータは、このレジスタに書き込んでから、T16A2のカウントクロックで2サイクル経過後にコンペアAレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアAバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアAレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアAレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A\_CCCTL<sub>x</sub>レジスタまたはTOUTBMD[1:0]/T16A\_CCCTL<sub>x</sub>レジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A\_CCCTL<sub>x</sub>レジスタで指定した外部トリガ信号(CAPA<sub>x</sub>)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャA割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

**T16A Comparator/Capture Ch.x B Data Registers (T16A\_CCB<sub>x</sub>)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x B Data Register (T16A_CCB <sub>x</sub> )	0x5408 0x5428 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

**D[15:0] CCB[15:0]: Compare/Capture B Data Bits**

コンパレータモード時(CCBMD/ T16A\_CCCTL<sub>x</sub>レジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A\_CTL<sub>x</sub>レジスタが0に設定されている場合、コンペアBデータは、このレジスタに書き込んでから、T16A2のカウントクロックで2サイクル経過後にコンペアBレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアBバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアBレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアBレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。カウンタも0にリセットされます。また、TOUTAMD[1:0]/T16A\_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A\_CCCTLxレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A\_CCCTLxレジスタで指定した外部トリガ信号(CAPBx)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャ B割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

## T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A\_IENx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.x Interrupt Enable Register (T16A_IENx)	0x540a	D15-6	–	reserved	–	–	–	0 when being read.	
	0x542a (16 bits)	D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W	

### D[15:6] Reserved

#### D5 CAPBOWIE: Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定するとITCへのキャプチャ Bオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

#### D4 CAPAOWIE: Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定するとITCへのキャプチャ Aオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

#### D3 CAPBIE: Capture B Interrupt Enable Bit

キャプチャ B割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定するとITCへのキャプチャ B割り込み要求が許可され、0に設定すると割り込みが禁止されます。

#### D2 CAPAIE: Capture A Interrupt Enable Bit

キャプチャ A割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定するとITCへのキャプチャ A割り込み要求が許可され、0に設定すると割り込みが禁止されます。

#### D1 CBIE: Compare B Interrupt Enable Bit

コンペアB割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**D0 CAIE: Compare A Interrupt Enable Bit**

コンペアA割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A\_IFLGx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x Interrupt Flag Register (T16A_IFLGx)	0x540c 0x542c (16 bits)	D15-6	-	reserved	-	-	-	0 when being read.
		D5	<b>CAPBOWIF</b>	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0 R/W	Reset by writing 1.
		D4	<b>CAPAOWIF</b>	Capture A overwrite interrupt flag		0 R/W		
		D3	<b>CAPBIF</b>	Capture B interrupt flag		0 R/W		
		D2	<b>CAPAIF</b>	Capture A interrupt flag		0 R/W		
		D1	<b>CBIF</b>	Compare B interrupt flag		0 R/W		
		D0	<b>CAIF</b>	Compare A interrupt flag		0 R/W		

**D[15:6] Reserved****D5 CAPBOWIF: Capture B Overwrite Interrupt Flag Bit**

キャプチャ Bオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBOWIFはT16A2割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。CAPBOWIFは1の書き込みによりリセットされます。

**D4 CAPAOWIF: Capture A Overwrite Interrupt Flag Bit**

キャプチャ Aオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAOWIFはT16A2割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。CAPAOWIFは1の書き込みによりリセットされます。

**D3 CAPBIF: Capture B Interrupt Flag Bit**

キャプチャ B割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBIFはT16A2割り込みフラグで、カウンタ値がキャプチャ Bレジスタに取り込まれると1にセットされます。CAPBIFは1の書き込みによりリセットされます。

**D2 CAPAIF: Capture A Interrupt Flag Bit**

キャプチャ A割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAIFはT16A2割り込みフラグで、カウンタ値がキャプチャ Aレジスタに取り込まれると1にセットされます。CAPAIFは1の書き込みによりリセットされます。

**D1 CBIF: Compare B Interrupt Flag Bit**

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CBIFはT16A2割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。CBIFは1の書き込みによりリセットされます。

**D0 CAIF: Compare A Interrupt Flag Bit**

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAIFはT16A2割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。CAIFは1の書き込みによりリセットされます。

# 13 計時タイマ(CT)

## 13.1 CTモジュールの概要

S1C17F57はOSC1クロックを源振とする計時タイマモジュール(CT)を内蔵しています。このタイマは周期的な割り込みを発生可能で、ソフトウェアによる計時機能を実現できます。

CTモジュールの主な機能と特長を以下に示します。

- 8ビットバイナリカウンタ(128Hz~1Hz)
- 32Hz、8Hz、2Hz、1Hz割り込みを発生可能

図13.1.1にCTの構成を示します。

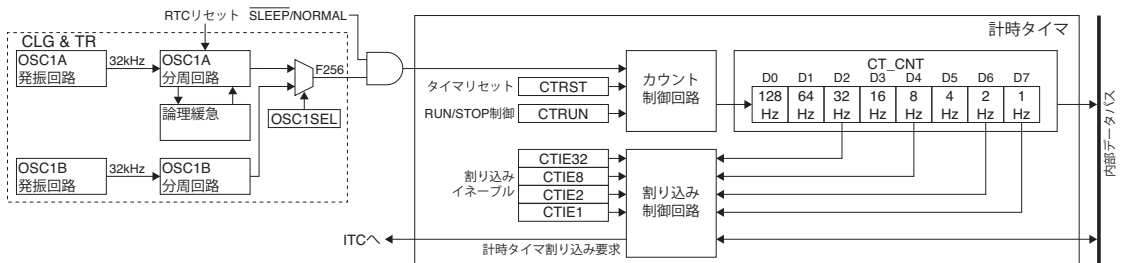


図13.1.1 CTの構成

CTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

## 13.2 動作クロック

CTモジュールはCLGモジュールが出力する256Hzクロックを動作クロックとして使用します(通常はOSC1A分周回路から出力されるF256クロック(256Hzの論理緩急クロック)で動作します)。したがって、CTモジュールを動作させるには、OSC1発振回路をOnさせておく必要があります。ただし、OSC1発振回路がOnの場合でも、スリープ時にはCTモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章および“論理緩急(TR)”の章を参照してください。

注: • CTモジュールの入力クロックは、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。

- CLGでOSC1BをOSC1クロックソースとして選択した場合も、OSC1B分周回路のクロック(約256Hz)が供給され、CTモジュールは動作します。ただし、正確な計時はできません。
- OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC\_CTLレジスタに1を書き込んだ)時点でリセットされます。このリセットからF256の周期が新たに始まりますので、CTモジュールのカウント動作にも影響します。

## 13.3 タイマのリセット

タイマをリセットするには、CTRST/CT\_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

## 13.4 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。13.5節を参照してください。
- (2) タイマをリセットします。13.3節を参照してください。

計時タイマには、Run/Stopを制御するCTRUN/CT\_CTLレジスタが設けられています。

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT\_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTに同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

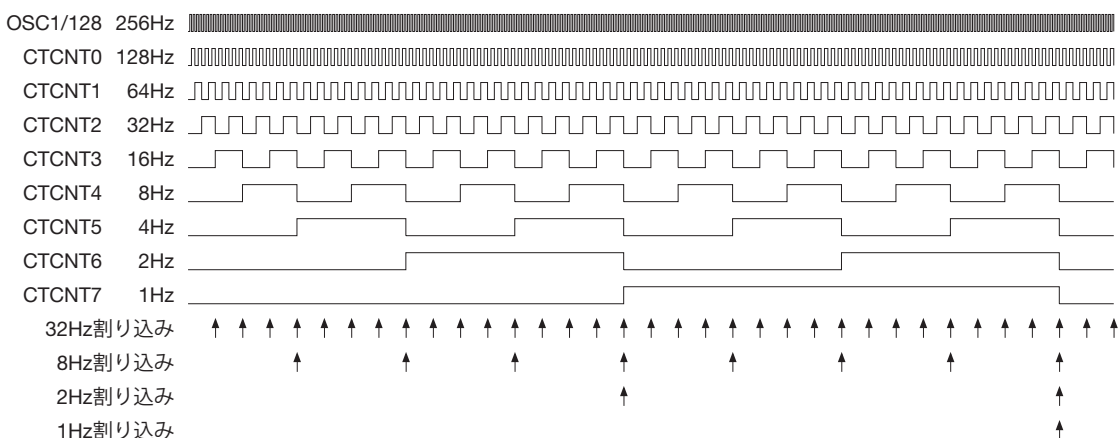


図13.4.1 計時タイマのタイミングチャート

注: ・ タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。図13.4.2にRun/Stop制御のタイミングチャートを示します。

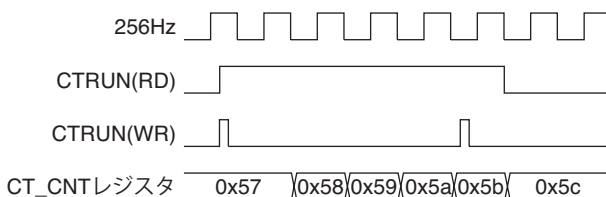


図13.4.2 Run/Stop制御のタイミングチャート

- ・ タイマが動作している状態(CTRUN = 1)でs1p命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、s1p命令の実行以前に計時タイマを停止状態(CTRUN = 0)に設定してください。

## 13.5 CT割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

### 32Hz、8Hz、2Hz、1Hz割り込み

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、CTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1(割り込み許可)に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0(割り込み禁止、デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表13.5.1 計時タイマ割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
32Hz割り込み	CTIF32/CT_IFLGレジスタ	CTIE32/CT_IMSKレジスタ
8Hz割り込み	CTIF8/CT_IFLGレジスタ	CTIE8/CT_IMSKレジスタ
2Hz割り込み	CTIF2/CT_IFLGレジスタ	CTIE2/CT_IMSKレジスタ
1Hz割り込み	CTIF1/CT_IFLGレジスタ	CTIE1/CT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • CT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってCT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

## 13.6 制御レジスタ詳細

表13.6.1 CTレジスタ一覧

アドレス	レジスタ名		機能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、CTモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### Clock Timer Control Register (CT\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	CTRST	Clock timer reset	1   Reset	0   Ignored	0		W
		D3-1	-	reserved	-	-	-		-
		D0	CTRUN	Clock timer run/stop control	1   Run	0   Stop	0		R/W

D[7:5]      **Reserved**

### 13 計時タイマ(CT)

#### D4 CTRST: Clock Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

#### D[3:1] Reserved

#### D0 CTRUN: Clock Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

### Clock Timer Counter Register (CT\_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0x0	R	

#### D[7:0] CTCNT[7:0]: Clock Timer Counter Value Bits

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

各ビットと周波数の対応は以下のとおりです。

D7: 1Hz

D6: 2Hz

D5: 4Hz

D4: 8Hz

D3: 16Hz

D2: 32Hz

D1: 64Hz

D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

### Clock Timer Interrupt Mask Register (CT\_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CTIE8	8 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CTIE2	2 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CTIE1	1 Hz interrupt enable	1 Enable	0 Disable	0	R/W

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE\*ビットを1に設定すると、対応する周波数の信号の立ち上がりエッジによるCT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

#### D[7:4] Reserved



- D3 CTIE32: 32 Hz Interrupt Enable Bit**  
32Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)
- D2 CTIE8: 8 Hz Interrupt Enable Bit**  
8Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)
- D1 CTIE2: 2 Hz Interrupt Enable Bit**  
2Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)
- D0 CTIE1: 1 Hz Interrupt Enable Bit**  
1Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)

## Clock Timer Interrupt Flag Register (CT\_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag			0	R/W	
		D1	CTIF2	2 Hz interrupt flag			0	R/W	
		D0	CTIF1	1 Hz interrupt flag			0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。CT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF\*は32Hz、8Hz、2Hz、1Hz割り込みに個々に対応するCTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。CTIF\*は1の書き込みによりリセットされます。

### D[7:4] Reserved

- D3 CTIF32: 32 Hz Interrupt Flag Bit**  
32Hz割り込み要因の発生状態を示す割り込みフラグです。  
1(R): 割り込み要因あり  
0(R): 割り込み要因なし(デフォルト)  
1(W): フラグをリセット  
0(W): 無効
- D2 CTIF8: 8 Hz Interrupt Flag Bit**  
8Hz割り込み要因の発生状態を示す割り込みフラグです。  
1(R): 割り込み要因あり  
0(R): 割り込み要因なし(デフォルト)  
1(W): フラグをリセット  
0(W): 無効
- D1 CTIF2: 2 Hz Interrupt Flag Bit**  
2Hz割り込み要因の発生状態を示す割り込みフラグです。  
1(R): 割り込み要因あり  
0(R): 割り込み要因なし(デフォルト)  
1(W): フラグをリセット  
0(W): 無効
- D0 CTIF1: 1 Hz Interrupt Flag Bit**  
1Hz割り込み要因の発生状態を示す割り込みフラグです。  
1(R): 割り込み要因あり  
0(R): 割り込み要因なし(デフォルト)  
1(W): フラグをリセット  
0(W): 無効

# 14 ストップウォッチタイマ (SWT)

## 14.1 SWTモジュールの概要

S1C17F57はOSC1クロックを源振とする1/100秒ストップウォッチタイマモジュール (SWT) を内蔵しています。このタイマを使用して、ソフトウェアによるストップウォッチ機能を実現できます。

SWTモジュールの主な機能と特長を以下に示します。

- 2段の4ビットBCDカウンタ (近似1/100秒 + 近似1/10秒カウンタ)
- 近似100Hz、近似10Hz、1Hz割り込みを発生可能

図14.1.1にSWTの構成を示します。

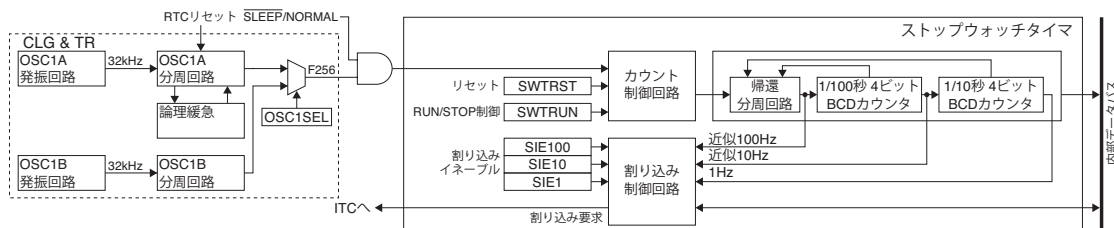


図14.1.1 SWTの構成

SWTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする2段の4ビットBCDカウンタ (1/100秒単位、1/10秒単位) で構成され、カウントデータをソフトウェアによって読み出すことができます。また、SWTモジュールは100Hz (近似100Hz)、10Hz (近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

## 14.2 動作クロック

SWTモジュールはCLGモジュールが出力する256Hzクロックを動作クロックとして使用します (通常はOSC1A分周回路から出力されるF256クロック (256Hzの論理緩急クロック) で動作します)。したがって、SWTモジュールを動作させるには、OSC1発振回路をOnさせておく必要があります。ただし、OSC1発振回路がOnの場合でも、スリープ時にはSWTモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ (CLG)”の章および“論理緩急 (TR)”の章を参照してください。

注: • SWTモジュールの入力クロックは、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。

- CLGでOSC1BをOSC1クロックソースとして選択した場合も、OSC1B分周回路のクロック (約256Hz) が供給され、SWTモジュールは動作します。ただし、正確な計時はできません。
- OSC1A分周回路はRTCをスタートさせた (RTCRUN/RTC\_CTLレジスタに1を書き込んだ) 時点でリセットされます。このリセットからF256の周期が新たに始まりますので、SWTモジュールのカウント動作にも影響します。

## 14.3 BCDカウンタ

SWTモジュールは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。

1/100秒と1/10秒のカウント値は、それぞれBCD100[3:0]/SWT\_BCNTレジスタ、BCD10[3:0]/SWT\_BCNTレジスタから読み出し可能です。

### カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図14.3.1のようにカウンタのカウントアップパターンを変化させています。

## 14 ストップウォッチタイマ(SWT)

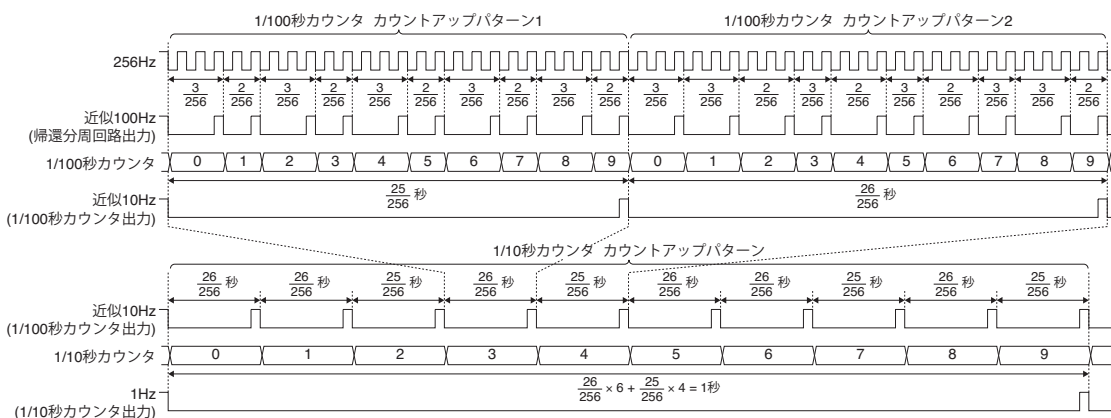


図14.3.1 SWTのカウントアップパターン

帰還分周回路はCLGモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

## 14.4 タイマのリセット

SWTモジュールをリセットするには、SWTRST/SWT\_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

## 14.5 タイマRUN/STOP制御

SWTモジュールの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、SWTモジュールの割り込みを許可します。14.6節を参照してください。
- (2) タイマをリセットします。14.4節を参照してください。

SWTモジュールには、Run/Stopを制御するSWTRUN/SWT\_CTLレジスタが設けられています。

タイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(SWT\_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

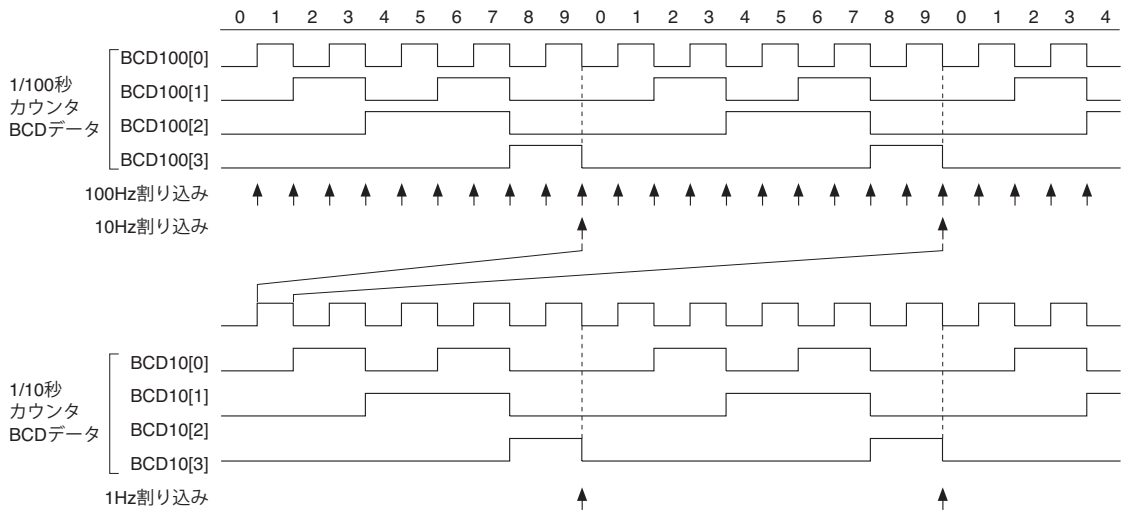


図14.5.1 SWTのタイミングチャート

注: ・ タイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図14.5.2にRun/Stop制御のタイミングチャートを示します。

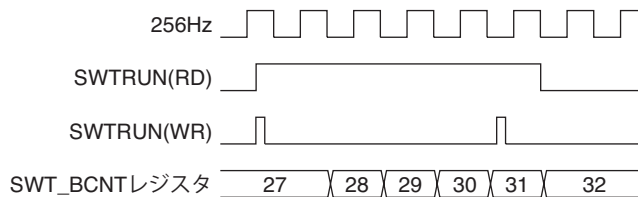


図14.5.2 Run/Stop制御のタイミングチャート

- ・ SWTモジュールが動作している状態 (SWTRUN = 1) でs1p命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、s1p命令の実行以前にSWTモジュールを停止状態 (SWTRUN = 0) に設定してください。

## 14.6 SWT割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。

- ・ 100Hz割り込み
- ・ 10Hz割り込み
- ・ 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

### 100Hz、10Hz、1Hz割り込み

100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジで、SWTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1(割り込み許可)に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0(デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

## 14 ストップウォッチタイマ(SWT)

表14.6.1 SWT割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
100Hz割り込み	SIF100/SWT_IFLGレジスタ	SIE100/SWT_IMSKレジスタ
10Hz割り込み	SIF10/SWT_IFLGレジスタ	SIE10/SWT_IMSKレジスタ
1Hz割り込み	SIF1/SWT_IFLGレジスタ	SIE1/SWT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • SWT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってSWT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

## 14.7 制御レジスタ詳細

表14.7.1 SWTレジスタ一覧

アドレス	レジスタ名		機能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SWTモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### Stopwatch Timer Control Register (SWT\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	<b>SWTRST</b>	Stopwatch timer reset	1   Reset	0   Ignored	0	W	
		D3-1	-	reserved	-	-	-	-	
		D0	<b>SWTRUN</b>	Stopwatch timer run/stop control	1   Run	0   Stop	0	R/W	

#### D[7:5] Reserved

#### D4 **SWTRST: Stopwatch Timer Reset Bit**

SWTモジュールをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

#### D[3:1] Reserved

#### D0 **SWTRUN: Stopwatch Timer Run/Stop Control Bit**

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されません。

## Stopwatch Timer BCD Counter Register (SWT\_BCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

### D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value

1/10秒カウンタのBCDデータが読み出せます。(デフォルト:0)  
このレジスタはリードオンリのため、データの書き込みはできません。

### D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value

1/100秒カウンタのBCDデータが読み出せます。(デフォルト:0)  
このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

## Stopwatch Timer Interrupt Mask Register (SWT\_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE\*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるSWT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

### D[7:3] Reserved

#### D2 SIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)

#### D1 SIE10: 10 Hz Interrupt Enable Bit

10Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)

#### D0 SIE100: 100 Hz Interrupt Enable Bit

100Hz信号による割り込みを許可または禁止します。  
1(R/W): 割り込み許可  
0(R/W): 割り込み禁止(デフォルト)

## Stopwatch Timer Interrupt Flag Register (SWT\_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag			0	R/W	
		D0	SIF100	100 Hz interrupt flag			0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。SWT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。

SIF\*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。SIF\*は1の書き込みによりリセットされます。

## 14 ストップウォッチタイマ(SWT)

**D[7:3] Reserved**

**D2 SIF1: 1 Hz Interrupt Flag Bit**

1Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

**D1 SIF10: 10 Hz Interrupt Flag Bit**

10Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

**D0 SIF100: 100 Hz Interrupt Flag Bit**

100Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

# 15 ウォッチドッグタイマ(WDT)

## 15.1 WDTモジュールの概要

S1C17F57はOSC1発振回路を源振とするウォッチドッグタイマモジュール(WDT)を内蔵しています。このタイマはCPUの暴走検出に使用します。

WDTモジュールの主な機能と特長を以下に示します。

- 10ビットアップカウンタ
- カウンタのオーバーフローによりリセットまたはNMIを発生可能

図15.1.1にWDTの構成を示します。

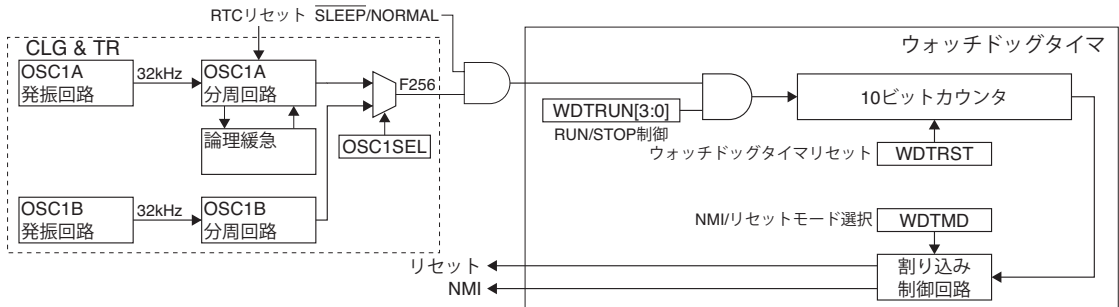


図15.1.1 WDTの構成

WDTモジュールは $131072/f_{osc1}$ 秒( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にWDTをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

## 15.2 動作クロック

WDTモジュールはCLGモジュールが出力する256Hzクロックを動作クロックとして使用します(通常はOSC1A分周回路から出力されるF256クロック(256Hzの論理緩急クロック)で動作します)。したがって、WDTモジュールを動作させるには、OSC1発振回路をOnさせておく必要があります。ただし、OSC1発振回路がOnの場合でも、スリープ時にはWDTモジュールにクロックは供給されません。クロックの制御については、“クロックジェネレータ(CLG)”の章および“論理緩急(TR)”の章を参照してください。

注: • WDTモジュールの入力クロックは、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数や時間が変わります。

- CLGでOSC1BをOSC1クロックソースとして選択した場合も、OSC1B分周回路のクロック(約256Hz)が供給され、WDTモジュールは動作します。
- OSC1A分周回路はRTCをスタートさせた(RTCRUN/RTC\_CTLレジスタに1を書き込んだ)時点でリセットされます。このリセットからF256の周期が新たに始まりますので、WDTモジュールのカウント動作にも影響します。

## 15.3 WDTの制御

### 15.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にWDTがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD/WDT\_STレジスタで選択できます。

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。



## 15.3.2 WDTのRUN/STOP制御

WDTはWDTRUN[3:0]/WDT\_CTLレジスタに0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

イニシャルリセット時はWDTRUN[3:0]が0b1010に設定され、WDTは停止状態となります。

カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、WDTをRunさせる際には次節で説明するWDTのリセットも同時に行ってください。

## 15.3.3 WDTのリセット

WDTをリセットするには、WDTRST/WDT\_CTLレジスタに1を書き込みます。

WDTを使用する場合は、NMI/リセットが発生する前にWDTをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは $131072/f_{osc1}$ 秒( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)周期以内で処理されるようにしてください。リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってWDTがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。

リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。

WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST/WDT\_STレジスタが1に設定されます。

このビットはNMIの発生元がWDTであることを確認するために設けられています。

1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

## 15.3.4 HALT, SLEEPモード時の動作

### HALTモード時

HALTモード時はクロックが供給されるため、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。

HALTモード時にWDTを無効にするには、halt命令実行前にWDTRUN[3:0]/WDT\_CTLレジスタに0b1010を書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

### SLEEPモード時

SLEEPモード時はCLGモジュールからのクロックの供給が停止します。したがって、WDTも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じWDTRUN[3:0]によってWDTを停止させてください。

## 15.4 制御レジスタ詳細

表15.4.1 WDTレジスタ一覧

アドレス	レジスタ名		機能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、WDTモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### Watchdog Timer Control Register (WDT\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	WDTRST	Watchdog timer reset	1   Reset	0   Ignored	0	W	
		D3-0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010	R/W	

D[7:5] **Reserved**

**D4 WDRST: Watchdog Timer Reset Bit**

WDTをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

注: WDTを使用する場合は、NMI/リセット発生周期( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、WDTをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

**D[3:0] WDRUN[3:0]: Watchdog Timer Run/Stop Control Bits**

WDTのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

注: WDTをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずWDTのリセットも行ってください。

## Watchdog Timer Status Register (WDT\_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1   Reset	0   NMI	0	R/W	
		D0	WDTST	NMI status	1   NMI occurred	0   Not occurred	0	R	

D[7:2] **Reserved**

**D1 WDTMD: NMI/Reset Mode Select Bit**

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。0に設定した場合はNMI信号を出力します。

**D0 WDTST: NMI Status Bit**

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R): NMI発生(カウンタオーバーフロー)

0(R): NMI未発生(デフォルト)

このビットはNMIの発生元がWDTであることを確認するために設けられています。1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

# 16 UART

## 16.1 UARTモジュールの概要

S1C17F57は、非同期通信用にUARTモジュールを内蔵しています。2バイトの受信データバッファと1バイトの送信データバッファを備え、連続した送受信が可能です。また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- 転送レート: 150~230,400bps(IrDAモードでは150~115,200bps)
- 転送クロック: 内部クロック(ボーレートジェネレータ出力)または外部クロック(SCLK入力)を選択可能
- データ長: 7または8ビット(LSB先頭)
- パリティモード: 偶数、奇数、パリティなし
- ストップビット: 1または2ビット
- スタートビット: 1ビット固定
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ファインモード(微調整機能)付きボーレートジェネレータを内蔵
- 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、転送終了、受信エラー割り込みを発生可能

図16.1.1に、UARTの構成を示します。

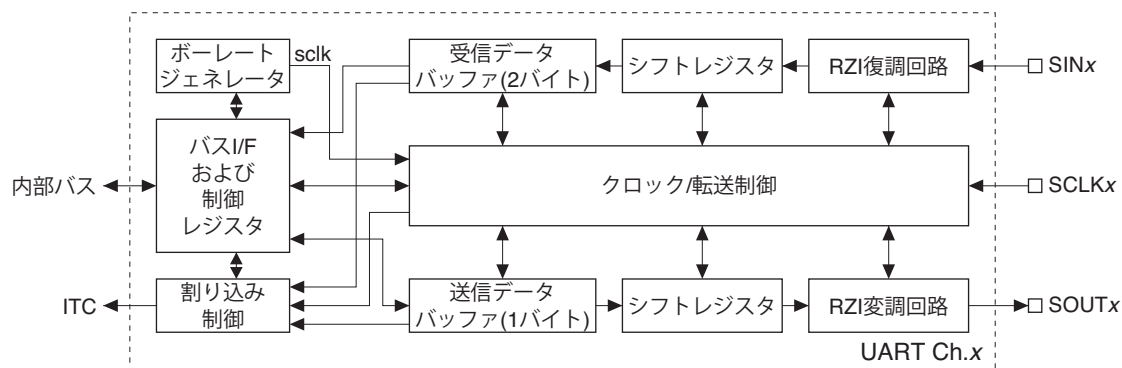


図16.1.1 UARTの構成

注: レジスタ名や端子名の‘x’はチャンネル番号(0)を表します。

例: UART\_CTLxレジスタ

Ch.0: UART\_CTL0レジスタ

## 16.2 UART入出力端子

表16.2.1にUARTモジュールの入出力端子の一覧を示します。

表16.2.1 UART端子一覧

端子名	I/O	本数	機能
SIN0 (Ch.0)	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0 (Ch.0)	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK0 (Ch.0)	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTモジュールの入出力端子(SIN<sub>x</sub>、SOUT<sub>x</sub>、SCLK<sub>x</sub>)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 16.3 ボーレートジェネレータ

UARTモジュールは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。ボーレートジェネレータはファインモード付き8ビットプログラマブルタイマで構成されます。タイマはソフトウェアで設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。このアンダーフロー信号から転送クロックが生成されます。アンダーフロー周期はクロックソースとカウンタ初期値の選択によりプログラム可能なため、アプリケーションプログラムは任意のシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

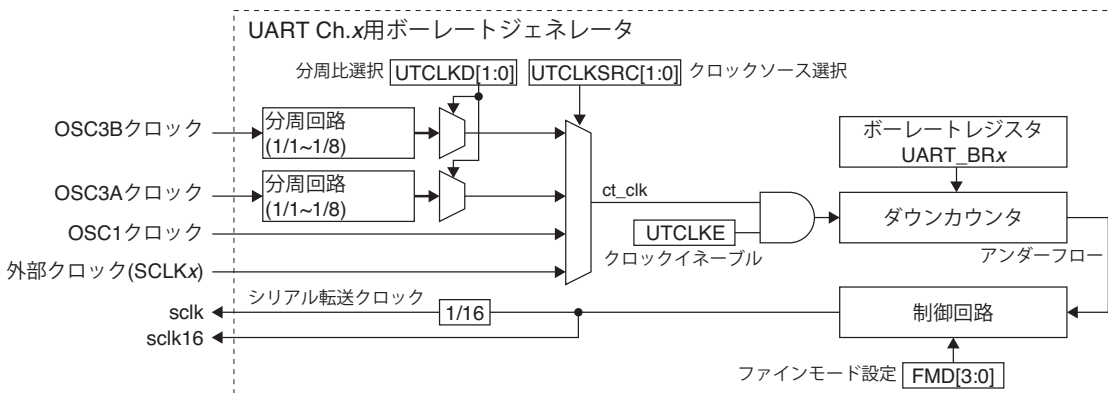


図16.3.1 ボーレートジェネレータ

### クロックソースの設定

クロックソースは、UTCLKSRC[1:0]/UART\_CLK<sub>x</sub>レジスタを使用してOSC3B、OSC3A、OSC1、外部クロックから選択します。

表16.3.1 クロックソースの選択

UTCLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK <sub>x</sub> )
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

注: SCLK<sub>x</sub>端子から外部クロックを入力する場合、クロックのデューティ比は50%である必要があります。

OSC3BまたはOSC3Aをクロックソースとする場合は、UTCLKD[1:0]/UART\_CLK<sub>x</sub>レジスタで分周比を選択します。

表16.3.2 OSC3B/OSC3A分周比の選択

UTCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

カウンタへのクロック供給は、UTCLKE/UART\_CLK<sub>x</sub>レジスタで制御します。UTCLKEのデフォルト設定は0で、クロックの供給は停止しています。UTCLKEを1に設定すると、選択されたクロックがカウンタに送られます。

## カウンタ初期値の設定

ダウンカウンタへの初期値の設定には、BR[7:0]/UART\_BR<sub>x</sub>レジスタを使用します。設定したカウンタ初期値は、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。したがって、この初期値とカウントクロック周波数により、アンダーフロー間隔が決まります。

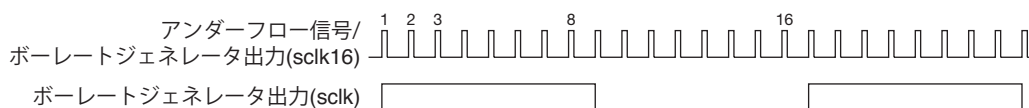


図16.3.2 カウンタのアンダーフローと生成されるクロック

希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct\_clk}}{\{(BR + 1) \times 16 + \text{FMD}\}}$$

$$BR = \left( \frac{\text{ct\_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct\_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

注: UARTの転送レートは最大230,400bps(IrDAモードは115,200bps)に制限されています。これ以上の転送レートは設定しないでください。

## ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。クロックソースとカウンタ初期値の適切な選択により、ボーレートジェネレータ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はFMD[3:0]/UART\_FMD<sub>x</sub>レジスタで指定できます。FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表16.3.3 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

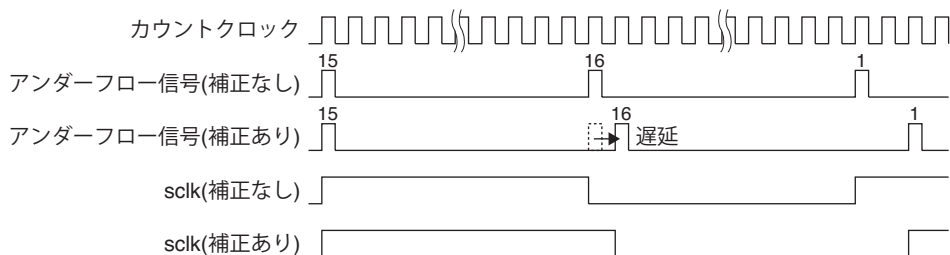


図16.3.3 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、FMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

注: ボーレートジェネレータの設定は、必ずUARTが動作停止中(RXEN/UART\_CTLxレジスタ = 0)に行ってください。

## 16.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART\_CTLxレジスタ = 0)に行ってください。

### データ長

データ長は、CHLN/UART\_MODxレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

### ストップビット

ストップビット長はSTPB/UART\_MODxレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

## パリティビット

パリティ機能を有効にするか否かについては、PREN/UART\_MOD<sub>x</sub>レジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART\_MOD<sub>x</sub>レジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

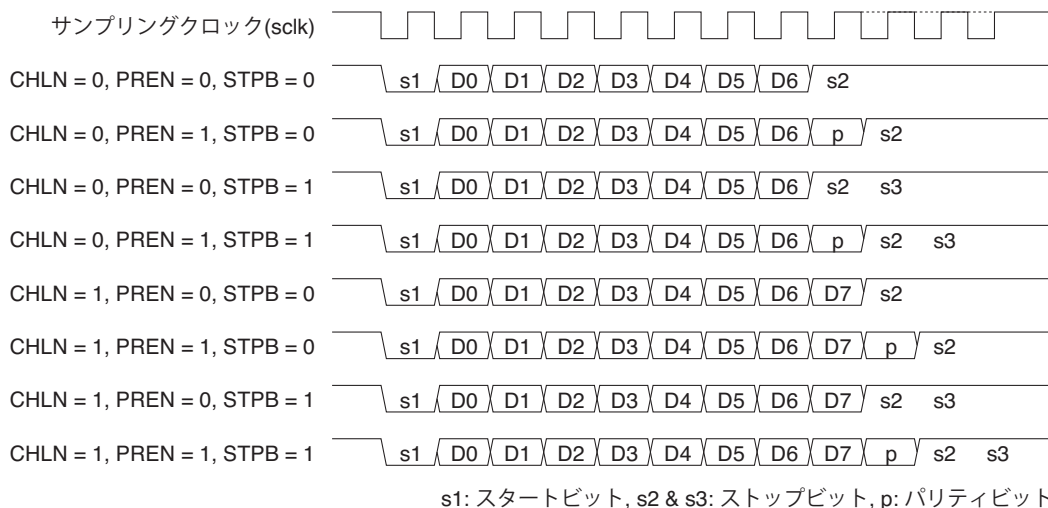


図16.4.1 転送データ形式

## 16.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。16.3節を参照してください。
- (2) 転送クロックを出力するようにボーレートジェネレータをプログラムします。16.3節を参照してください。
- (3) 転送データ形式を設定します。16.4節を参照してください。
- (4) IrDAインタフェースを使用する場合は、IrDAモードを設定します。16.8節を参照してください。
- (5) UART割り込みを使用する場合は、割り込み条件を設定します。16.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART\_CTL<sub>x</sub>レジスタ = 0)に行ってください。

### データ送受信を許可

最初にRXEN/UART\_CTL<sub>x</sub>レジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENを0に設定しないでください。

### データ送信制御

送信を開始するには、TXD[7:0]/UART\_TXD<sub>x</sub>レジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。

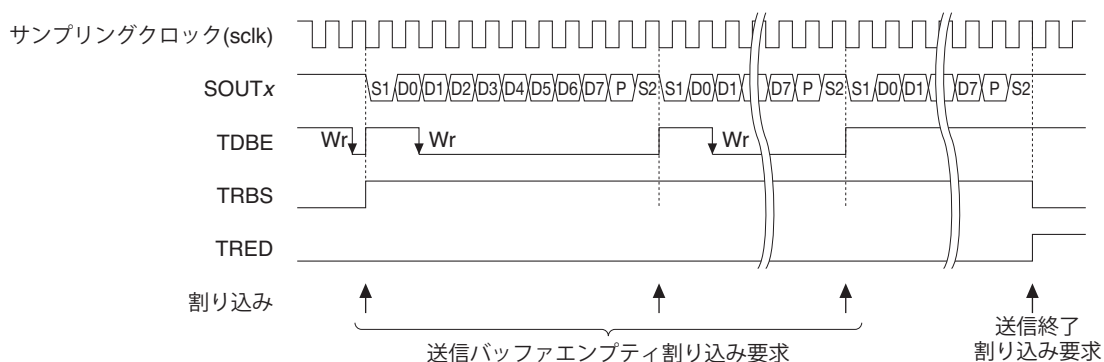
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT<sub>x</sub>端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT<sub>x</sub>端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART\_STxレジスタ、TRBS/UART\_STxレジスタ、TRED/UART\_STxレジスタの3つのステータスフラグが用意されています。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(16.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

TREDフラグはTRBSフラグが1から0に戻った時点で1になり、転送動作が終了したことを示します。このフラグが1になった時点で割り込みを発生させることができますので、送信終了処理に利用可能です。TREDは1を書き込むか、あるいはRXEN/UART\_CTLxレジスタを0に設定することによりリセットされます。



S1: スタートビット, S2: ストップビット, P: パリティビット, Wr: 送信データバッファへのデータ書き込み

図16.5.1 データ送信タイミングチャート

## データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART\_RXDxレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART\_STxレジスタとRD2B/UART\_STxレジスタの2つのバッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。



## (2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

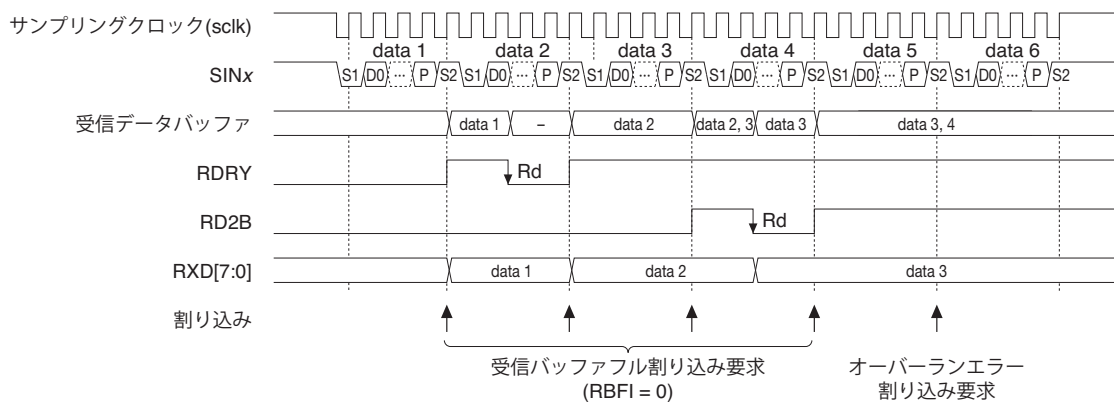
## (3) RDRY = 1, RD2B = 1

2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。受信データバッファが読み出されないままその受信が終了した場合はオーバーランエラーが発生し、最後の受信データを読み出すことはできません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、16.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBF1/UART\_CTLxレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、16.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図16.5.2 データ受信タイミングチャート

## データ送受信を禁止

RXENビットに0を書き込むことで、データ送受信を禁止します。データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。データ送受信状態は通信手順を考慮し、ソフトウェアにより判断してください。ただし、データ送信状態についてはTRBSフラグで判断可能です。

注: RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

## 16.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。  
受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、16.7節を参照してください。

### パリティエラー

PREN/UART\_MODxレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART\_MODxレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART\_STxレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグは1を書き込むことによって0にリセットされます。

### フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER/UART\_STxレジスタが1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグは1を書き込むことによって0にリセットされます。

### オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER/UART\_STxレジスタが1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグは1を書き込むことによって0にリセットされます。

## 16.7 UART割り込み

UARTには、以下の4種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 転送終了割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTのチャンネルは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

### 送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART\_CTLxレジスタを1に設定します。TDBE/UART\_STxレジスタが1(送信バッファが空)のときにTIENを1に設定するか、TIEN = 1の場合にTDBEが1になると(送信データバッファに書き込まれた送信データがシフトレジスタに転送されて送信データバッファが空になると)、送信バッファエンプティ割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

### 転送終了割り込み

この割り込みを使用するには、TEIEN/UART\_CTLxレジスタを1に設定します。TEIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

TRBSフラグが0にリセットされると、UARTはTRED/UART\_STxを1にセットして送信動作が終了したことを示します。転送終了割り込みが許可されていれば(TEIEN = 1)、これと同時に割り込み要求がITCに出力されます。

UART割り込みが転送終了によるものかどうかについては、UART割り込み処理ルーチンでTREDフラグを読み出して確認してください。TREDが1であれば、送信処理を終了できます。

### 受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART\_CTLxレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFU/UART\_CTLxレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART\_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBFU/UART\_CTLxレジスタが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART\_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

### 受信エラー割り込み

この割り込みを使用するには、REIEN/UART\_CTLxレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、OER/UART\_STxレジスタを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

## 16.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3 × sclk16サイクルに変換された後にSOUTx端子から出力されます。

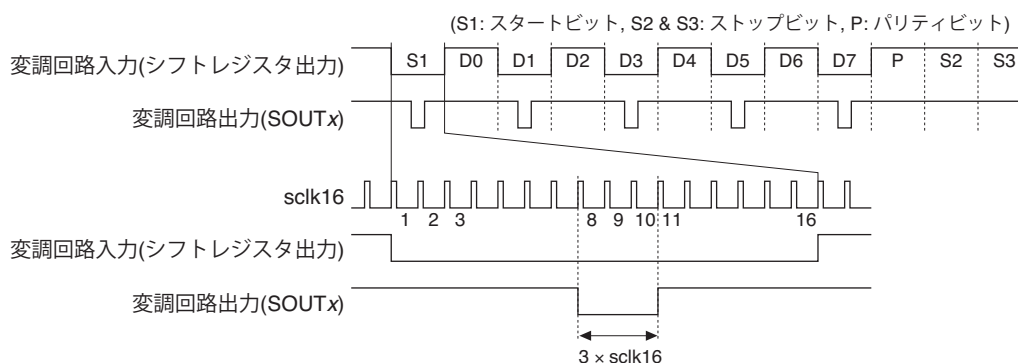


図16.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 × sclk16サイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41μs/115200bps時)を検出するため、復調回路は転送クロックとは別に、パルス検出クロックを使用します。

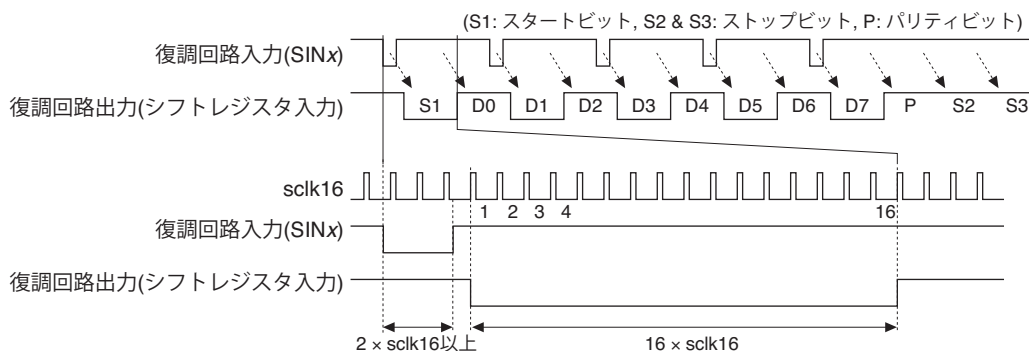


図16.8.2 受信信号波形

### IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART\_EXPxレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

### シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

## 16.9 制御レジスタ詳細

表16.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機能
0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
0x4106	UART_BR0	UART Ch.0 Baud Rate Register	ボーレートの設定
0x4107	UART_FMD0	UART Ch.0 Fine Mode Register	ファインモードの設定
0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの選択

以下、UARTのレジスタを個々に説明します。

注: ・ レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。
  - UART\_MODxレジスタのビットすべて (STPB, PMD, PREN, CHLN)
  - UART\_CTLxレジスタの RBF1ビット
  - UART\_EXPxレジスタのビットすべて (IRMD)
  - UART\_BRxレジスタのビットすべて (BR[7:0])
  - UART\_FMDxレジスタのビットすべて (FMD[3:0])
  - UART\_CLKxレジスタのビットすべて (UTCLKD[1:0], UTCLKSRC[1:0], UTCLKE)

## UART Ch.x Status Register (UART\_STx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Ch.x Status Register (UART_STx)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

### D7 TRED: End of Transmission Flag Bit

送信動作が終了したか否かを示します。

1(R): 送信終了

0(R): 送信中/送信前(デフォルト)

1(W): 0にリセット

0(W): 無効

TREDはTRBSフラグが0にリセットされた時点で(送信を終了すると)1にセットされます。TREDは1を書き込むことによりリセットされます。

### D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。FERは1を書き込むことによりリセットされます。

### D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART\_MODxレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むことによりリセットされます。

### D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、データをシフトレジスタに受信した時点で受信データバッファが満杯の場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

### D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

### D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

### D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

### D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

## UART Ch.x Transmit Data Register (UART\_TXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Transmit Data Register (UART_TXDx)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

### D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。7ビットモードでは、TXD7(MSB)が無効となります。

SOUT<sub>x</sub>端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

## UART Ch.x Receive Data Register (UART\_RXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Receive Data Register (UART_RXDx)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

### D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART\_STxレジスタとRD2B/UART\_STxレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF/UART\_CTLxレジスタで指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

## UART Ch.x Mode Register (UART\_MODx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.x Mode Register (UART_MODx)	0x4103 (8 bits)	D7-5	--	reserved	--	--	--	0 when being read.	
		D4	CHLN	Character length select	1 8 bits	0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W	
		D0	--	reserved	--	--	--	--	0 when being read.

### D[7:5] Reserved

#### D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

#### D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

#### D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

- D1 STPB: Stop Bit Select Bit**  
 ストップビット長を選択します。  
 1(R/W): 2ビット  
 0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

- D0 Reserved**

## UART Ch.x Control Register (UART\_CTLx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks		
UART Ch.x Control Register (UART_CTLx)	0x4104 (8 bits)	D7	<b>TEIEN</b>	End of transmission int. enable	1	Enable	0	Disable	0	R/W		
		D6	<b>REIEN</b>	Receive error int. enable	1	Enable	0	Disable	0	R/W		
		D5	<b>RIEN</b>	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W		
		D4	<b>TIEN</b>	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W		
		D3-2	-	reserved			-	-	-	-		0 when being read.
		D1	<b>RBFIF</b>	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W		
		D0	<b>RXEN</b>	UART enable	1	Enable	0	Disable	0	R/W		

- D7 TEIEN: End of Transmission Interrupt Enable Bit**  
 送信終了時のITCへの割り込み要求を許可します。  
 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)  
 送信処理を割り込みによって終了する場合は、このビットを1に設定してください。
- D6 REIEN: Receive Error Interrupt Enable Bit**  
 受信エラー発生時のITCへの割り込み要求を許可します。  
 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)  
 受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。
- D5 RIEN: Receive Buffer Full Interrupt Enable Bit**  
 受信データバッファの受信データ数がRBFIFの指定値になったことによるITCへの割り込み要求を許可します。  
 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)  
 受信データを割り込みによって読み出す場合は、このビットを1に設定してください。
- D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit**  
 送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。  
 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)  
 送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。
- D[3:2] Reserved**
- D1 RBFIF: Receive Buffer Full Interrupt Condition Setup Bit**  
 受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。  
 1(R/W): 2バイト  
 0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIFで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFIFビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART\_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBFIFが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART\_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。



**D0 RXEN: UART Enable Bit**

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

**UART Ch.x Expansion Register (UART\_EXPx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Expansion Register (UART_EXPx)	0x4105 (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	IRMD	IrDA mode select	1   On    0   Off	0	R/W	

**D[7:1] Reserved****D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

**UART Ch.x Baud Rate Register (UART\_BRx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Baud Rate Register (UART_BRx)	0x4106 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff	0x0	R/W	

**D[7:0] BR[7:0]: Baud Rate Setting Bits**

ボーレートジェネレータのカウンタ初期値を設定します。(デフォルト: 0x0)

ボーレートジェネレータのカウンタは、このレジスタに設定されたカウンタ初期値からカウンタがアンダーフローするまでのカウントを繰り返して転送(サンプリング)クロックを生成します。希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct\_clk}}{\{(BR + 1) \times 16 + \text{FMD}\}}$$

$$BR = \left( \frac{\text{ct\_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct\_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

**UART Ch.x Fine Mode Register (UART\_FMDx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Fine Mode Register (UART_FMDx)	0x4107 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.

**D[7:4] Reserved****D[3:0] FMD[3:0]: Fine Mode Setup Bits**

転送レートの誤差を補正します。(デフォルト: 0x0)

FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表16.9.2 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

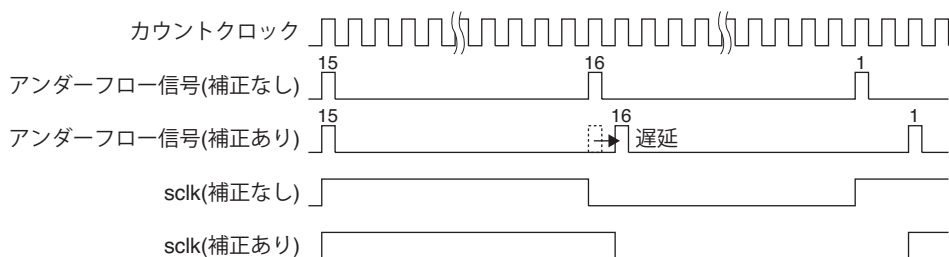


図16.9.1 ファインモードでの遅延サイクルの挿入

## UART Ch.x Clock Control Register (UART\_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
UART Ch.x Clock Control Register (UART_CLKx)	0x506c (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.			
		D5-4	UTCLKD [1:0]	Clock division ratio select	UTCLKD[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A		
		D3-2	UTCLKSRC [1:0]	Clock source select	UTCLKSRC [1:0]	Clock source	0x0	R/W			
										0x3	1/8
										0x2	1/4
0x1	1/2										
0x0	1/1										
D1	-	reserved	-	-	-	-	0 when being read.				
D0	UTCLKE	Count clock enable	1 Enable	0 Disable	0	R/W					

### D[7:6] Reserved

### D[5:4] UTCLKD[1:0]: Clock Division Ratio Select Bits

OSC3BまたはOSC3Aをポーレートジェネレータのクロックソースとする場合に、カウントクロックを生成する分周比を選択します。

表16.9.3 OSC3B/OSC3A分周比の選択

UTCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

**D[3:2] UTCLKSRC[1:0]: Clock Source Select Bits**

ボーレートジェネレータのカウンタクロックソースを選択します。

表16.9.4 クロックソースの選択

UTCLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLKx)
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1 Reserved****D0 UTCLKE: Count Clock Enable Bit**

ボーレートジェネレータのカウンタへのカウンタクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

UTCLKEのデフォルト設定は0で、クロックの供給は停止しています。UTCLKEを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。

# 17 SPI

## 17.1 SPIモジュールの概要

S1C17F57は、同期式シリアルインタフェースモジュール(SPI)を内蔵しています。SPIモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- マスタモード、スレーブモードに対応
- データ長: 8ビット固定
- MSB先頭、LSB先頭を選択可能
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 全二重通信に対応
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンpty割り込みを発生可能

図17.1.1にSPIモジュールの構成を示します。

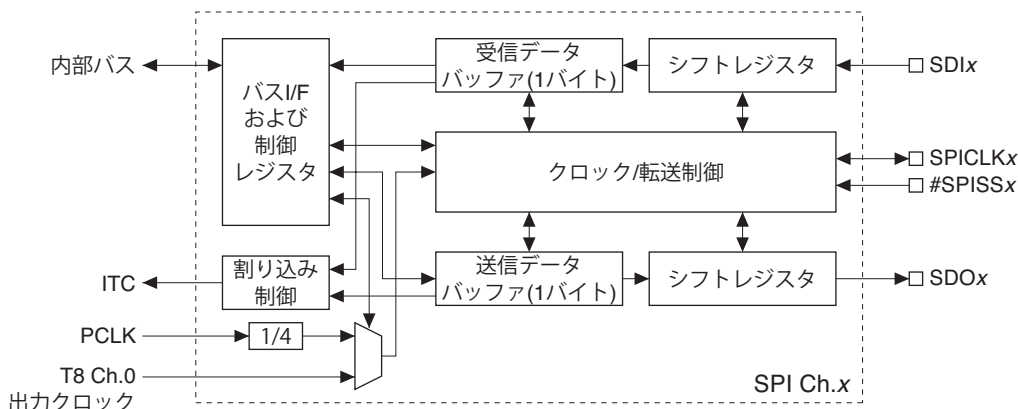


図17.1.1 SPIモジュールの構成

注: レジスタ名と端子名の‘x’はチャンネル番号(0)を表します。

例: SPI\_CTLxレジスタ

Ch.0: SPI\_CTL0レジスタ

## 17.2 SPI入出力端子

表17.2.1にSPI端子の一覧を示します。

表17.2.1 SPI端子一覧

端子名	I/O	本数	機能
SDI0 (Ch.0)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO0 (Ch.0)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK0 (Ch.0)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS0 (Ch.0)	I	1	SPIスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

注: マスタモードで使用する際のスレーブセレクト信号出力には汎用入出力(P)ポートを使用してください。

SPIの入出力端子(SDLx、SDOx、SPICLKx、#SPISSx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 17.3 SPIクロック

マスタモードのSPIは、8ビットタイマ(T8)Ch.0が出力するクロックまたはPCLK/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLKx端子からスレーブデバイスへ出力されます。T8 Ch.0出力クロックとPCLK/4クロックのどちらを使用するかについてはMCLK/SPI\_CTLxレジスタで選択します。MCLKを1に設定するとT8 Ch.0出力クロック、0に設定するとPCLK/4クロックが選択されます。

T8 Ch.0を使用すると、転送レートをプログラマブルに設定できます。T8の制御については、“8ビットタイマ(T8)”の章を参照してください。

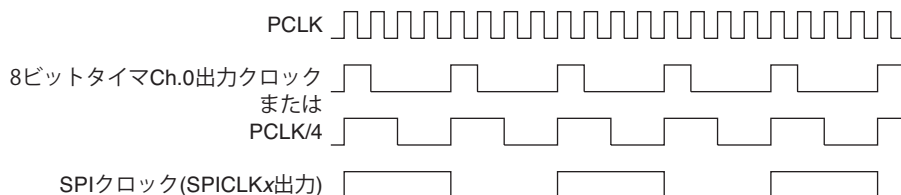


図17.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLKx端子からSPIクロックを入力します。

## 17.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI\_CTLxレジスタで設定可能です。

データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI\_CTLxレジスタ = 0)に行ってください。

### マスタ/スレーブモードの選択

MSSL/SPI\_CTLxレジスタを使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

### SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL/SPI\_CTLxレジスタで選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はCPHA/SPI\_CTLxレジスタで選択します。

これらの制御ビットにより、転送タイミングは図17.4.1のように設定されます。

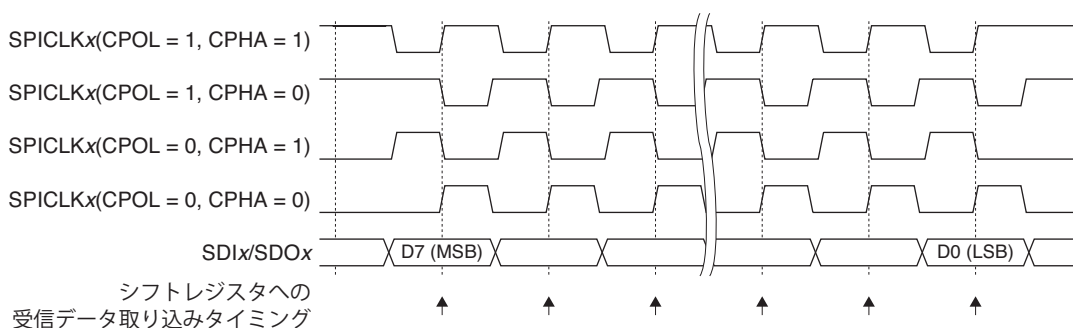


図17.4.1 クロックとデータ転送タイミング

### MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSb/SPI\_CTLxレジスタで選択します。MLSbが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

## 17.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックソースを設定します。17.3節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。17.4節を参照してください。
- (3) クロック条件を設定します。17.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。17.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中(SPEN/SPI\_CTLxレジスタ = 0)に行ってください。

### データ送受信を許可

最初にSPEN/SPI\_CTLxレジスタを1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

### データ送信制御

送信を開始するには、SPTDB[7:0]/SPI\_TXDxレジスタに送信データを書き込みます。データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLKx端子からクロックの出力を開始します。スレーブモードではSPICLKx端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA/SPI\_CTLxレジスタとCPOL/SPI\_CTLxレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図17.4.1参照)、SDOx端子から送信されます。

注: SPI\_TXDxレジスタへのデータの書き込みは、必ずSPENが1に設定された状態で行ってください。

SPIモジュールには送信の制御用にSPTBE/SPI\_STxレジスタとSPBSY/SPI\_STxレジスタの2つのステータスフラグが用意されています。

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI\_TXDxレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(17.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。

スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS<sub>x</sub>端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

注: SPIをマスターモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになります。

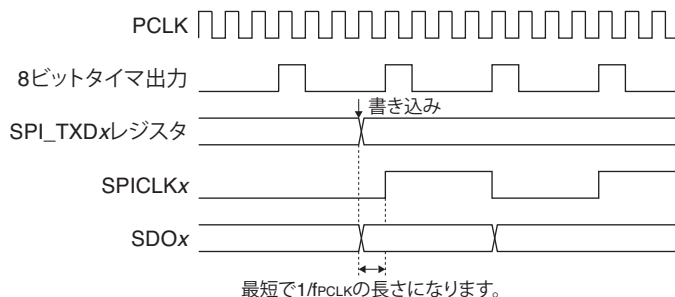


図17.5.1 CPHA = 0時のSDO<sub>x</sub>およびSPICLK<sub>x</sub>の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLK<sub>x</sub>半周期の長さが確保されます。

## データ受信制御

マスターモードの場合、ダミーデータをSPTDB[7:0]/SPI\_TXD<sub>x</sub>レジスタに書き込みます。SPI\_TXD<sub>x</sub>レジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLK<sub>x</sub>からSPIクロック出力を開始します。

注: SPI\_TXD<sub>x</sub>レジスタへのデータの書き込みは、必ずSPENが1に設定された状態で行ってください。

スレーブモードの場合は、SPICLK<sub>x</sub>からクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI\_TXD<sub>x</sub>レジスタへの書き込み操作は必要ありません。受信動作はマスターデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI\_TXD<sub>x</sub>レジスタに書き込んでおきます。

データは、CPHA/SPI\_CTL<sub>x</sub>レジスタとCPOL/SPI\_CTL<sub>x</sub>レジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図17.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPRDB[7:0]/SPI\_RXD<sub>x</sub>レジスタから読み出すことができます。

SPIモジュールには受信の制御用にSPRBF/SPI\_ST<sub>x</sub>レジスタが用意されています。

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI\_RXD<sub>x</sub>レジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(17.6節参照)。

この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスターモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

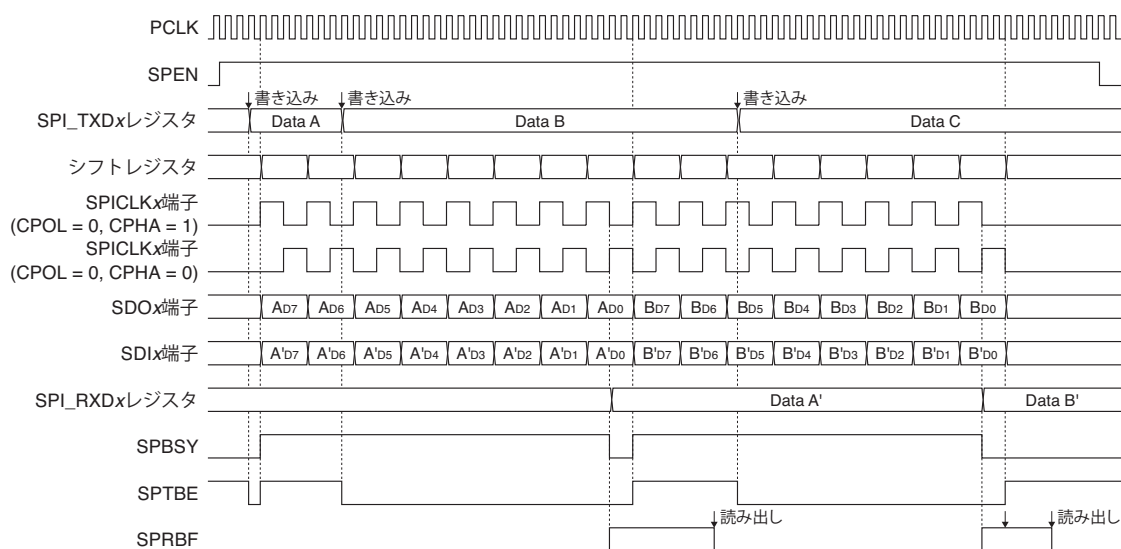


図17.5.2 データ送受信タイミングチャート (MSB先頭)

## データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENに0を書き込んでデータ送受信を禁止します。

ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

## 17.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンpty割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

### 送信バッファエンpty割り込み

この割り込みを使用するには、SPTIE/SPI\_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI\_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンpty割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンptyによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

### 受信バッファフル割り込み

この割り込みを使用するには、SPRIE/SPI\_CTLxレジスタを1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBF/SPI\_STxレジスタを1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。



もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

## 17.7 制御レジスタ詳細

表17.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機能
0x4320	SPL_ST0	SPI Ch.0 Status Register	転送、バッファステータスの表示
0x4322	SPL_TXD0	SPI Ch.0 Transmit Data Register	送信データ
0x4324	SPL_RXD0	SPI Ch.0 Receive Data Register	受信データ
0x4326	SPL_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### SPI Ch.x Status Register (SPI\_STx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Status Register (SPI_STx)	0x4320 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle	0 Idle 0 SS = L	0	R
		D1	SPRBF	Receive data buffer full flag	1 Full	0 Not full	0	R
		D0	SPTBE	Transmit data buffer empty flag	1 Empty	0 Not empty	1	R

#### D[15:3] Reserved

#### D2 SPBSY: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISSx)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態)(デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISSx信号をアクティブにすると1にセットされます。マスタデバイスが#SPISSx信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

#### D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはソフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI\_RXDxレジスタから読み出されると0に戻ります。

**D0 SPTBE: Transmit Data Buffer Empty Flag Bit**

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI\_TXD<sub>x</sub>レジスタ(送信データバッファ)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI\_TXD<sub>x</sub>レジスタへの送信データの書き込みは、このビットが1の場合に行います。

**SPI Ch.x Transmit Data Register (SPI\_TXD<sub>x</sub>)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Transmit Data Register (SPI_TXD <sub>x</sub> )	0x4322 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	<b>SPTDB[7:0]</b>	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

**D[15:8] Reserved****D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits**

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE/SPI\_ST<sub>x</sub>レジスタが1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO<sub>x</sub>端子からはシリアル変換されたデータが、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI\_TXD<sub>x</sub>レジスタへの書き込みはSPENを1に設定した後に行ってください。

**SPI Ch.x Receive Data Register (SPI\_RXD<sub>x</sub>)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Receive Data Register (SPI_RXD <sub>x</sub> )	0x4324 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	<b>SPRDB[7:0]</b>	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

**D[15:8] Reserved****D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF/SPI\_ST<sub>x</sub>レジスタが1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされません。

SDI<sub>x</sub>端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

## SPI Ch.x Control Register (SPI\_CTLx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
SPI Ch.x Control Register (SPI_CTLx)	0x4326 (16 bits)	D15-10	-	reserved	-			-	-	0 when being read.	
		D9	<b>MCLK</b>	SPI clock source select	1	T8 Ch.0	0	PCLK/4	0	R/W	
		D8	<b>MSLB</b>	LSB/MSB first mode select	1	LSB	0	MSB	0	R/W	
		D7-6	-	reserved	-			-	-	0 when being read.	
		D5	<b>SPRIE</b>	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	<b>SPTIE</b>	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	<b>CPHA</b>	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be
		D2	<b>CPOL</b>	Clock polarity select	1	Active L	0	Active H	0	R/W	set before setting
		D1	<b>MSSL</b>	Master/slave mode select	1	Master	0	Slave	0	R/W	SPEN to 1.
		D0	<b>SPEN</b>	SPI enable	1	Enable	0	Disable	0	R/W	

注: SPBSYフラグ/SPI\_STxレジスタが1の間、およびSPRBFフラグ/SPI\_STxレジスタが1の間(データの送受信)は、SPI\_CTLxレジスタにアクセスしないでください。

### D[15:10] Reserved

#### D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 8ビットタイマCh.0

0(R/W): PCLK/4(デフォルト)

#### D8 **MSLB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

### D[7:6] Reserved

#### D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

#### D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

#### D3 **CPHA: Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト:0)

CPOLと共に、データ転送タイミングを設定します(図17.7.1参照)。

#### D2 **CPOL: Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHAと共に、データ転送タイミングを設定します(図17.7.1参照)。

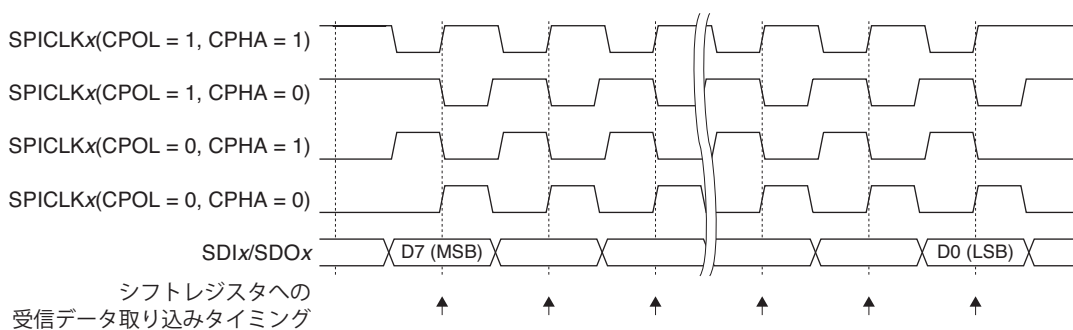


図17.7.1 クロックとデータ転送タイミング

**D1 MSSL: Master/Slave Mode Select Bit**

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

**D0 SPEN: SPI Enable Bit**

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

# 18 I<sup>2</sup>Cマスタ (I2CM)

## 18.1 I2CMモジュールの概要

S1C17F57は、2線式シリアル通信を実現するI<sup>2</sup>Cマスタ(I2CM)モジュールを内蔵しています。I2CMモジュールはI<sup>2</sup>Cバスのマスタデバイスとして動作し、I<sup>2</sup>Cに準拠したスレーブデバイスと通信を行うことができます。I2CMモジュールの主な機能と特長を以下に示します。

- I<sup>2</sup>Cバスマスタデバイスとして動作(シングルマスタとしてのみ使用可能)
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、リピーテッドスタート、ストップコンディションを生成可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能
- SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠

図18.1.1にI2CMモジュールの構成を示します。

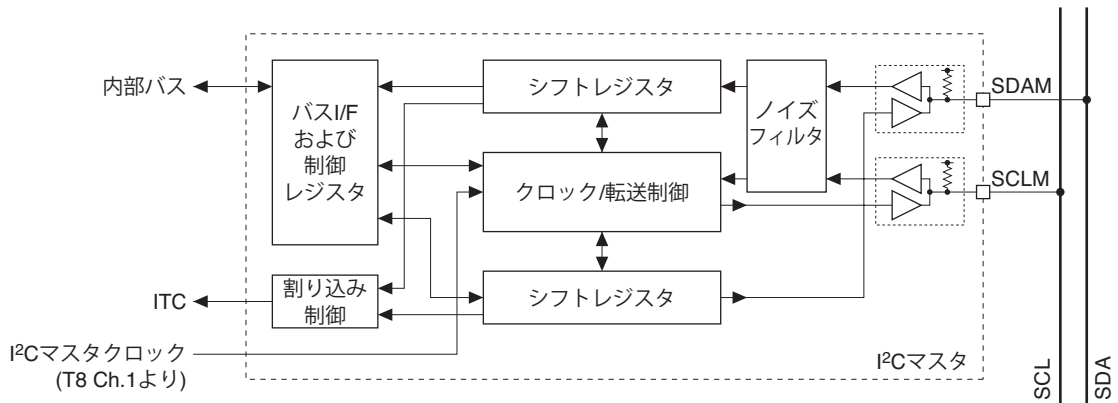


図18.1.1 I2CMモジュールの構成

## 18.2 I2CM入出力端子

表18.2.1にI2CM端子の一覧を示します。

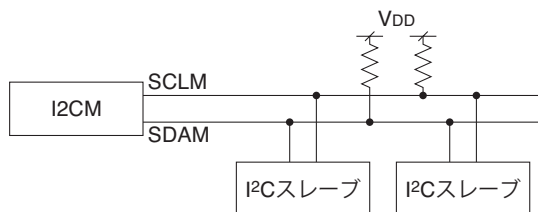
表18.2.1 I2CM端子一覧

端子名	I/O	本数	機能
SDAM	I/O	1	I2CMデータ入出力端子(注) I <sup>2</sup> Cバスからシリアルデータを入力します。 また、シリアルデータをI <sup>2</sup> Cバスに出力します。
SCLM	I/O	1	I2CMクロック入出力端子(注) SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I2CMの入出力端子(SDAM、SCLM)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CMの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。  
Highレベルは出力しませんので、SCLMとSDAMラインは外部でV<sub>DD</sub>レベルにプルアップしてください。なお、V<sub>DD</sub>を超える電圧値にはプルアップしないでください。

図18.2.1 I<sup>2</sup>Cの接続例

## 18.3 同期クロック

I2CMモジュールは、8ビットタイマ(T8)Ch.1が出力する内部クロック(I2CMクロック)を同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCLM端子からスレーブデバイスへ出力されます。

T8 Ch.1から転送レートに合ったクロックが出力されるようにプログラムしてください。T8の制御については、“8ビットタイマ(T8)”の章を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、標準モード時の転送速度は最大50kbps、ファストモード時は最大200kbpsに制限されますので注意してください。

I2CMモジュールはスレーブデバイスとしては機能しません。SCLM入力端子はI<sup>2</sup>CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

## 18.4 データ転送前の設定項目

I2CMモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

### ノイズ除去機能

I2CMモジュールには、SDAMおよびSCLM端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM/I2CM\_CTLレジスタを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T8 Ch.1出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

## 18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CMクロックが出力されるようにT8 Ch.1を設定します。“8ビットタイマ(T8)”の章を参照してください。
- (2) オプション機能を選択します。18.4節を参照してください。
- (3) I2CM割り込みを使用する場合は、割り込み条件を設定します。18.6節を参照してください。

注: 上記の設定は、必ずI2CMモジュールが停止中(I2CMEN/I2CM\_ENレジスタ = 0)に行ってください。

### データ送受信を許可

最初にI2CMEN/I2CM\_ENレジスタを1に設定してI2CMの動作を許可します。これにより、I2CMが送受信可能な状態となり、クロックの出力も許可されます。

注: I2CMモジュールが送受信中はI2CMENを0に設定しないでください。

### データ送受信の開始

データの送受信を開始するには、I<sup>2</sup>Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

## (1) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。

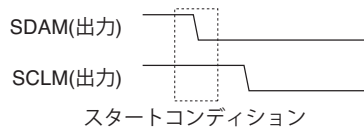


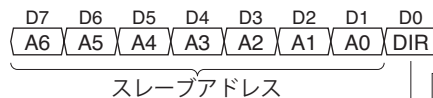
図18.5.1 スタートコンディション

スタートコンディションは、STRT/I2CM\_CTLレジスタを1に設定することで生成されます。スタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I<sup>2</sup>Cバスはビジジー状態になります。

## (2) スレーブアドレスの送信

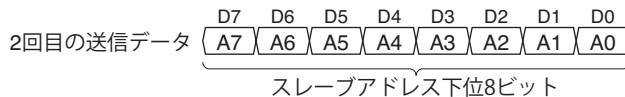
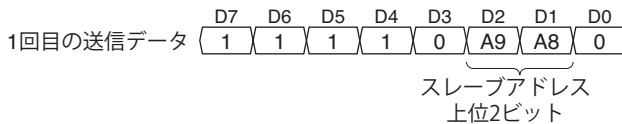
スタートコンディションの生成後、I<sup>2</sup>Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I<sup>2</sup>Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。アドレスデータの構成を図18.5.2に示します。

7ビットアドレスの場合



転送方向  
0: マスタ → スレーブ(データ送信)  
1: スレーブ → マスタ(データ受信)

10ビットアドレスの場合



(データ受信時) 2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信

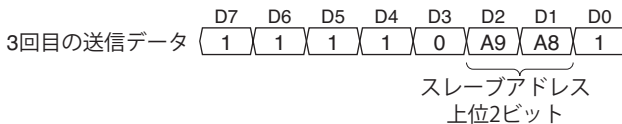


図18.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。

スレーブアドレスを送信するには、アドレスと転送方向ビットをRTDT[7:0]/I2CM\_DATレジスタに設定します。同時に、アドレスの送信を実行するTXE/I2CM\_DATレジスタを1に設定します。

スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

## データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データをRTDT[7:0]に設定します。同時に、1バイトの送信を実行するTXEを1に設定します。TXEビットが1に設定されると、I2CMモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。

まず、I2CMモジュールは書き込まれたデータをシフトレジスタに転送し、SCLM端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDAM端子から出力されます。I2CMモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDAラインをハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I2CMモジュールはこれをNAK(1)と見なします(送信失敗)。

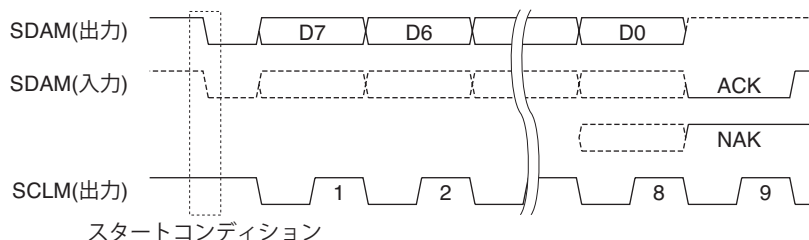


図18.5.3 ACKとNAK

I2CMモジュールには送信の制御用にTBUSY/I2CM\_CTLレジスタとRTACK/I2CM\_DATレジスタの2つのステータスビットが用意されています。

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I2CMモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

## データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE/I2CM\_DATレジスタを1に設定します。スレーブアドレス送信時にTXE/I2CM\_DATレジスタを1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

RXEビットが1に設定され、受信を開始できる状態になると、I2CMモジュールはSDAラインをハイインピーダンスにして、SCLM端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I2CMモジュールには受信の制御用にRBRDY/I2CM\_DATレジスタとRBUSY/I2CM\_CTLレジスタの2つのステータスビットが用意されています。

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I2CMモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

I2CMモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、SDAM端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK/I2CM\_DATレジスタに設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

## データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I<sup>2</sup>Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。



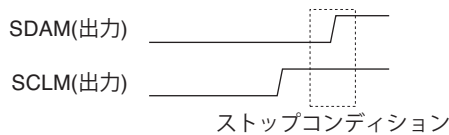


図18.5.4 ストップコンディション

ストップコンディションは、STP/I2CM\_CTLレジスタを1に設定して生成します。STPを1に設定すると、I2CMモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I<sup>2</sup>Cバスは、フリー状態になります。

STPへの1の書き込みは、TBUSY = 1またはRBUSY = 1からTBUSY = RBUSY = 0への遷移(I2CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定しているI<sup>2</sup>Cクロック周期の1/4より長い時間が経過した後に行ってください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。ストップコンディションが生成されると、STPは自動的に0にリセットされます。

### データ送受信の継続(リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I<sup>2</sup>Cマスタ(本モジュール)でリピーテッドスタートコンディションを生成することが可能です。

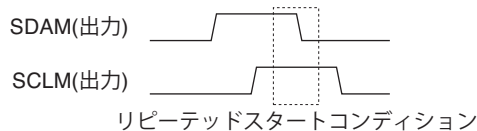


図18.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I<sup>2</sup>Cバスがビジー状態のときにSTRT/I2CM\_CTLレジスタを1に設定することで生成されます。リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I<sup>2</sup>Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

### データ送受信を禁止

ストップコンディションを生成した後は、I2CMENに0を書き込んでデータ送受信を禁止します。ストップコンディションの生成が完了したことは、STPを1に設定した後に、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I<sup>2</sup>Cバスがビジー状態のときにI2CMENを0に設定した場合、SCLMとSDAMの出力レベル、および転送中のデータは保証されません。

### タイミングチャート

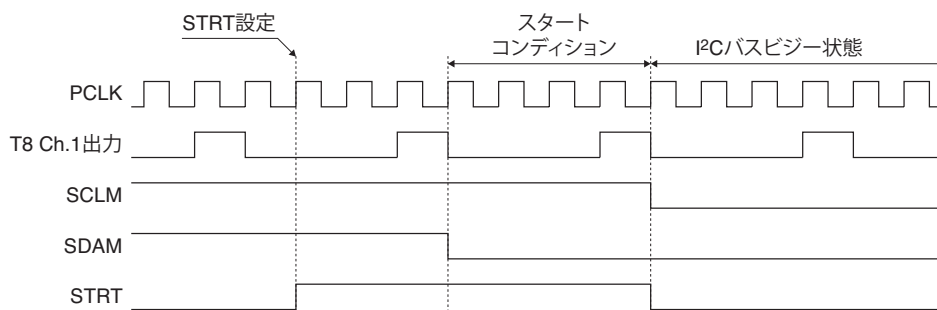


図18.5.6 スタートコンディション生成

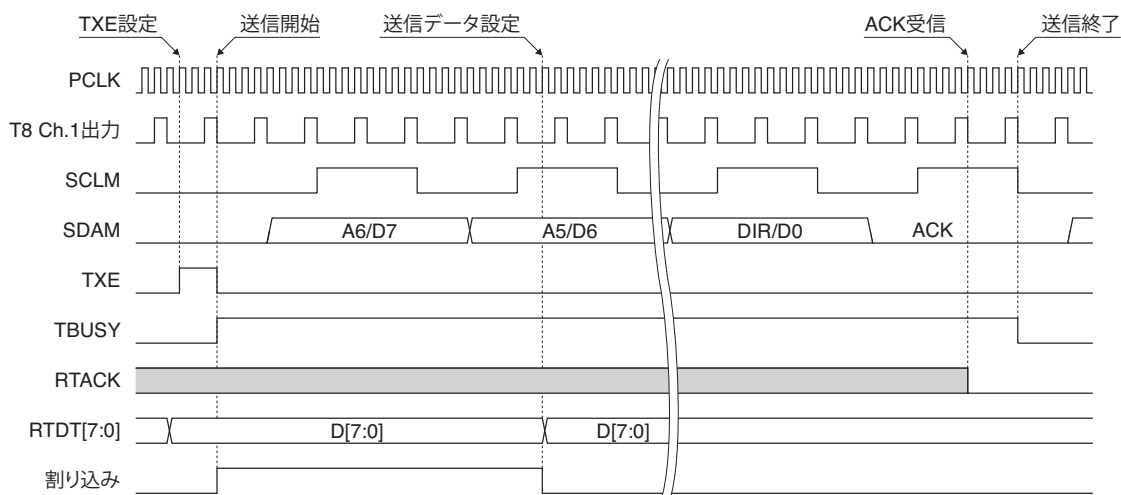


図18.5.7 スレーブアドレス送信 / データ送信

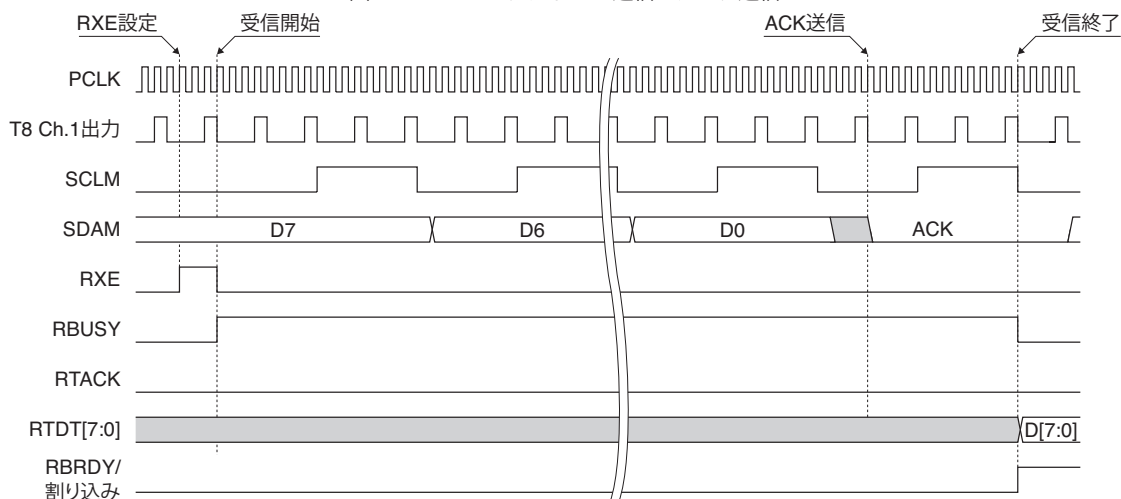


図18.5.8 データ受信

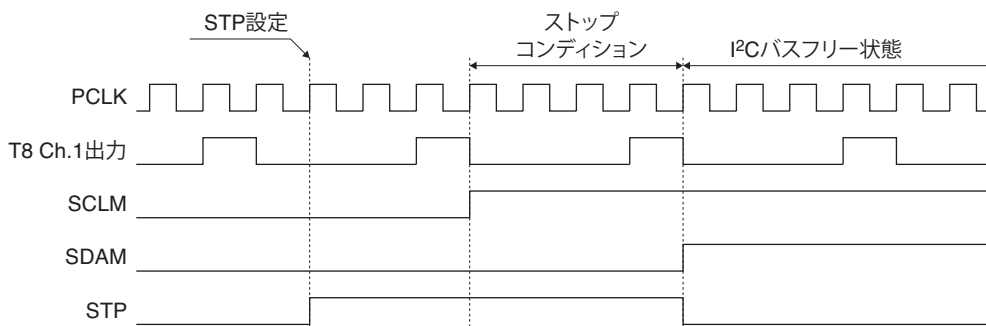


図18.5.9 ストップコンディション生成

## 18.6 I2CM割り込み

I2CMモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファEMPTY割り込み
- 受信バッファFULL割り込み

I2CMモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

## 送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE/I2CM\_ICTLレジスタを1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0]/I2CM\_DATレジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

### 送信バッファエンプティ割り込みを確認する方法

次の手順でTXE/I2CM\_DATレジスタを読み出した値が0の場合、送信バッファエンプティ割り込みが発生したことを示します。

- (1) TINTE/I2CM\_ICTLレジスタを1に設定します。
- (2) RTDT[7:0]/I2CM\_DATレジスタにデータを書き込みます。
- (3) TXE/I2CM\_DATレジスタを1に設定します。(2と同時でも可)
- (4) I2CM割り込みが発生します。
- (5) TXE/I2CM\_DATレジスタを読み出します。

### 送信バッファエンプティ割り込みをクリアする方法

RTDT[7:0]/I2CM\_DATレジスタにデータを書き込みます。

注 ・ TXE/I2CM\_DATレジスタを0に設定した場合、データは送信されません。

- ・ I<sup>2</sup>Cバスからの受信データがRTDT[7:0]に存在した場合は、上書きされます。

## 受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM\_ICTLレジスタを1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

### 受信バッファフル割り込みを確認する方法

次の手順でRBRDY/I2CM\_DATレジスタを読み出した値が1の場合、受信バッファフル割り込みが発生したことを示します。

- (1) RINTE/I2CM\_ICTLレジスタを1に設定します。
- (2) I2CM割り込みが発生します。
- (3) RBRDY/I2CM\_DATレジスタを読み出します。

### 受信バッファフル割り込みをクリアする方法

RTDT[7:0]/I2CM\_DATレジスタからデータを読み出します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

## 18.7 制御レジスタ詳細

表18.7.1 I2CMレジスタ一覧

アドレス	レジスタ名		機能
0x4340	I2CM_EN	I <sup>2</sup> C Master Enable Register	I <sup>2</sup> Cマスタモジュールイネーブル
0x4342	I2CM_CTL	I <sup>2</sup> C Master Control Register	I <sup>2</sup> Cマスタの制御と転送状態の表示
0x4344	I2CM_DAT	I <sup>2</sup> C Master Data Register	送受信データ
0x4346	I2CM_ICTL	I <sup>2</sup> C Master Interrupt Control Register	I <sup>2</sup> Cマスタ割り込みの制御

以下、I2CMモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## I<sup>2</sup>C Master Enable Register (I2CM\_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	-	reserved	-	-	-	0 when being read.
		D0	I2CMEN	I <sup>2</sup> C master enable	1 Enable 0 Disable	0	R/W	

### D[15:1] Reserved

#### D0 I2CMEN: I<sup>2</sup>C Master Enable Bit

I2CMモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CMENを1に設定するとI2CMモジュールが動作を開始し、データ転送が行える状態になります。I2CMENを0に設定すると、I2CMモジュールは動作を停止します。

## I<sup>2</sup>C Master Control Register (I2CM\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I <sup>2</sup> C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15-10	-	reserved	-	-	-	0 when being read.	
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R		
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R		
		D7-5	-	reserved	-	-	-	-	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W		
		D3-2	-	reserved	-	-	-	-	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W		
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W		

### D[15:10] Reserved

#### D9 RBUSY: Receive Busy Flag Bit

I2CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI2CMがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

#### D8 TBUSY: Transmit Busy Flag Bit

I2CMの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI2CMがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

### D[7:5] Reserved

#### D4 NSERM: Noise Remove On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CMモジュールには、SDAMおよびSCLM端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T8 Ch.1出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

### D[3:2] Reserved

#### D1 STP: Stop Control Bit

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I2CMモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I<sup>2</sup>Cバスは、フリー状態になります。ストップコンディションは、データ転送(ACKの転送も含む)終了時にSTPが1、TXE/I2CM\_DATレジスタ、RXE/I2CM\_DATレジスタ、およびSTRTが0に設定されている場合にのみ生成されます。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

#### D0 STRT: Start Control Bit

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I2CMモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。

I<sup>2</sup>Cバスがビジー状態のときにSTRTを1に設定することにより、リピーテッドスタートコンディションを生成することもできます。

スタートコンディションまたはリピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降I<sup>2</sup>Cバスは、ビジー状態になります。

### I<sup>2</sup>C Master Data Register (I2CM\_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I <sup>2</sup> C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15-12	-	reserved		-	-	0 when being read.	
		D11	<b>RBRDY</b>	Receive buffer ready flag	1 Ready	0 Empty	0	R	
		D10	<b>RXE</b>	Receive execution	1 Receive	0 Ignored	0	R/W	
		D9	<b>TXE</b>	Transmit execution	1 Transmit	0 Ignored	0	R/W	
		D8	<b>RTACK</b>	Receive/transmit ACK	1 Error	0 ACK	0	R/W	
		D7-0	<b>RTDT[7:0]</b>	Receive/transmit data	RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff		0x0	R/W

#### D[15:12] Reserved

#### D11 RBRDY: Receive Buffer Ready Flag Bit

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできます。

#### D10 RXE: Receive Execution Bit

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXEを0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中でも、次の受信のためにRXEを1に設定しておくことができます。RXEはD7がシフトレジスタに取り込まれた時点で0にリセットされます。

#### D9 TXE: Transmit Execution Bit

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0]に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中でも、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

**D8 RTACK: Receive/Transmit ACK Bit****データ送信時**

応答ビットの状態を示します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

**データ受信時**

スレーブに送信する応答ビットを設定します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I<sup>2</sup>CMモジュールが応答ビットを送る前にRTACKを0に設定してください。NAKを返す場合は、RTACKを1に設定します。

**D[7:0] RTDT[7:0]: Receive/Transmit Data Bits****データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXEを1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDAM端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

**データ受信時**

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXEを1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグがセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

SDAM端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

**I<sup>2</sup>C Master Interrupt Control Register (I2CM\_ICTL)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
I <sup>2</sup> C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15-2	-	reserved	-		-	-	0 when being read.	
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

**D[15:2] Reserved****D1 RINTE: Receive Interrupt Enable Bit**

I2CMの受信バッファフル割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0]/I2CM\_DATレジスタに転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I2CM受信バッファフル割り込みは発生しません。

**D0 TINTE: Transmit Interrupt Enable Bit**

I2CMの送信バッファエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0]/I2CM\_DATレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I2CM送信バッファエンプティ割り込みは発生しません。

# 19 I<sup>2</sup>Cスレーブ (I2CS)

## 19.1 I2CSモジュールの概要

S1C17F57は、2線式シリアル通信を実現するI<sup>2</sup>Cスレーブ (I2CS) モジュールを内蔵しています。I2CSモジュールはI<sup>2</sup>Cバスのスレーブデバイスとして動作し、I<sup>2</sup>Cに準拠したマスタデバイスと通信を行うことができます。I2CSモジュールの主な機能と特長を以下に示します。

- I<sup>2</sup>Cバススレーブデバイスとして動作
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、ストップコンディションを検出可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- 強制バス解放機能
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ、バスステータス割り込みを発生可能
- SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠

図19.1.1にI2CSモジュールの構成を示します。

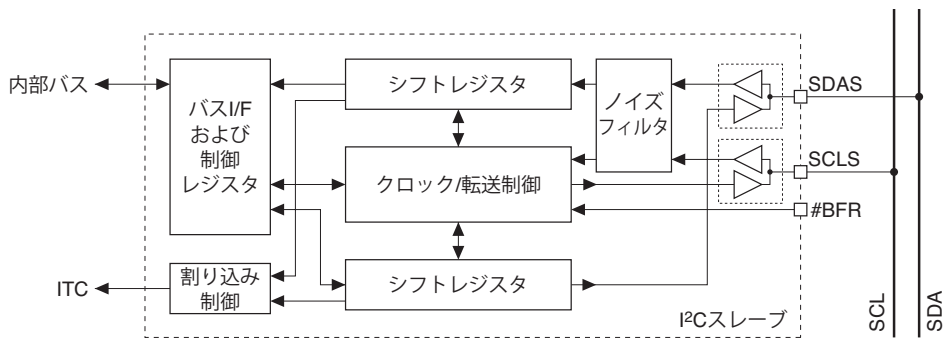


図19.1.1 I2CSモジュールの構成

注: 本I2CSモジュールはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

## 19.2 I2CS入出力端子

表19.2.1にI2CSモジュール端子の一覧を示します。

表19.2.1 I2CS端子一覧

端子名	I/O	本数	機能
SDAS	I/O	1	I2CSデータ入出力端子(注) I <sup>2</sup> Cバスからシリアルデータを入力します。 また、シリアルデータをI <sup>2</sup> Cバスに出力します。
SCLS	I/O	1	I2CSクロック入出力端子(注) SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#BFR	I	1	I <sup>2</sup> Cバス解放要求入力端子 Lowパルスの入力により、I <sup>2</sup> Cバスの解放を要求します。ソフトウェアによって要求入力許可が許されていれば、I2CSの通信プロセスが初期化され、SDASおよびSCLS端子がハイインピーダンスになります。



## 19 I<sup>2</sup>Cスレーブ (I2CS)

I2CSモジュールの入出力端子(SDAS、SCLS、#BFR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CSモジュールの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子機能の切り換えについては、“入出力ポート(P)”の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。  
Highレベルは出力しませんので、SCLSとSDASラインは外部でVDDレベルにプルアップしてください。なお、VDDを超える電圧値にはプルアップしないでください。

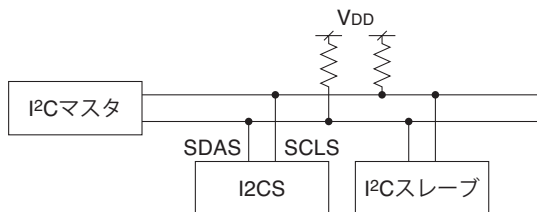


図19.2.1 I<sup>2</sup>Cの接続例

## 19.3 動作クロック

I2CSモジュールは、外部I2Cマスタが出力するクロックをSCLS端子から入力して動作します。I2CSモジュールの動作には周辺モジュールクロック(PCLK)も使用されます。データ転送時はPCLKをSCLS入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“19.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

## 19.4 I2CSの初期設定

### 19.4.1 リセット

通信プロセスの初期化やI<sup>2</sup>Cバスを解放状態(ハイインピーダンス)にするため、I2CSモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

#### (1) ソフトウェアリセット

SOFTRESET/I2CS\_CTLレジスタの操作により、I2CSモジュールをリセットできます。リセットするには、SOFTRESETに1を書き込んでI2CSモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディションに待機するため、I<sup>2</sup>Cの通信プロセスを初期化するとともに、SDASおよびSCLS端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

#### (2) #BFR端子入力によるバス解放要求

I2CSモジュールは、#BFR端子入力によるバス解放要求を受け付け可能です。本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ\_EN/I2CS\_CTLレジスタを1に設定してください。機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ/I2CS\_STATレジスタが1にセットされます。これにより、I<sup>2</sup>Cの通信プロセスが初期化され、SDASおよびSCLS端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

## 19.4.2 スレーブアドレスの設定

I<sup>2</sup>Cスレーブデバイスは、各デバイスを識別するために固有のスレーブアドレスを持ちます。本I2CSモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをSADRS[6:0]/I2CS\_SADRSレジスタに設定しておきます。

## 19.4.3 オプション機能

I2CSモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

### クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR\_EN/I2CS\_CTLレジスタを1に設定してください。なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]/I2CS\_TRNSレジスタのMSBをSDAS端子に出力してからSCLS端子のプルダウンを解除するまで)は、I2CSモジュールの動作クロック(PCLK)周波数によって変わります。

### 非同期アドレス検出機能

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I<sup>2</sup>Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET\_EN/I2CS\_CTLレジスタを1に設定してください。

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I2CSモジュールに設定されているスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET\_ENを0にリセットしてください。この後、マスタからの再送により通常のリデータ転送を再開できます。ストップコンディションによりI<sup>2</sup>Cバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注：・ 非同期アドレス検出機能を有効にした場合、I<sup>2</sup>Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- ・ 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

### ノイズ除去機能

I2CSモジュールには、SDASおよびSCLS端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF\_EN/I2CS\_CTLレジスタを1に設定することにより有効となります。

## 19.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CSモジュールの初期設定を行います。19.4節を参照してください。
- (2) I2CS割り込みを使用する場合は、割り込み条件を設定します。19.6節を参照してください。

注：上記の設定は、必ずI2CSモジュールが停止中(I2CSEN/I2CS\_CTLレジスタ = 0)に行ってください。

### データ送受信を許可

最初にI2CSEN/I2CS\_CTLレジスタを1に設定してI2CSモジュールの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注：I2CSモジュールが送受信中はI2CSENを0に設定しないでください。

## データ送受信の開始

データの送受信を開始するには、COM\_MODE/I2CS\_CTLレジスタを1に設定して通信を許可します。スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I2CSモジュールはマスタにACK(SDAS = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM\_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

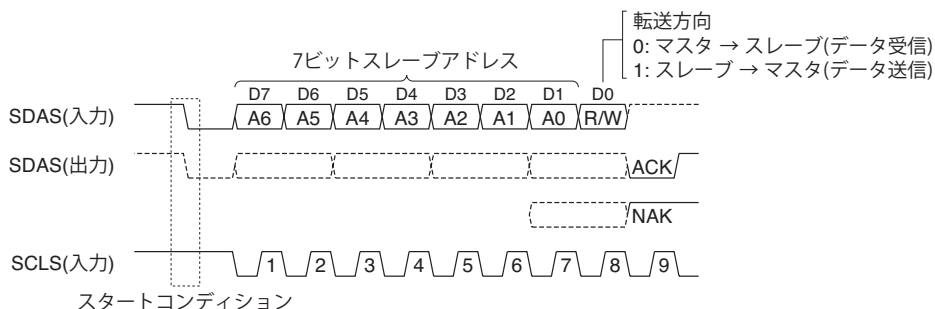


図19.5.1 スレーブアドレスと転送方向ビットの受信

スタートコンディションを検出すると、BUSY/I2CS\_ASTATレジスタが1にセットされ、I<sup>2</sup>Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED/I2CS\_ASTATレジスタが1にセットされ、本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されたことを示します。BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションかリピーテッドスタートコンディションを検出するまで1を保持します。

また、転送方向ビットの値がR/W/I2CS\_ASTATレジスタにセットされますので、送信/受信処理の切り換えに利用してください。

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET/I2CS\_STATレジスタが1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常データ転送を再開できます。ASDETは1の書き込みでクリアされます。

## データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I2CSモジュールはデータ送信動作を開始します。TXEMP/I2CS\_ASTATレジスタが1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0]/I2CS\_TRNSレジスタに書き込みます。

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI<sup>2</sup>Cクロック(SCLS入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF\_CLR/I2CS\_CTLレジスタを使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

#### クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI<sup>2</sup>Cクロック(SCLS入力クロック)の7サイクル以内にデータをI2CS\_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF/I2CS\_STATレジスタが1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

#### クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI2CS\_TRNSレジスタに書き込まれるまでI2CSモジュールはSCLS端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるSCLS入力クロックに同期してSDAS端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

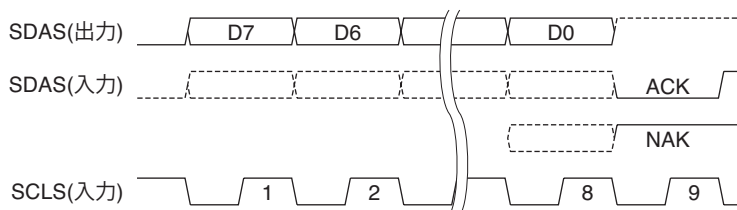


図19.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA\_NAK/I2CS\_STATレジスタを読み出すことで確認できます。ACKが返るとDA\_NAKは0に、NAKが返ると1に設定されます。DA\_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA\_NAKは1の書き込みでクリアされます。

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS/I2CS\_STATレジスタにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI<sup>2</sup>CデバイスがSDAラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I<sup>2</sup>CがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33 $\mu$ s以上の待ち時間を取る必要があります(本I<sup>2</sup>Cのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I<sup>2</sup>Cが通信待機状態にある。

## データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I2CSモジュールはデータ受信動作を開始します。受信データは、マスタから送られるSCLS入力クロックに同期してSDAS端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0]/I2CS\_RECVレジスタにロードされます。

受信データがRDATA[7:0]にロードされると、RXRDY/I2CS\_ASTATレジスタが1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI<sup>2</sup>Cクロック(SCLS入力クロック)の7サイクル以内にデータをI2CS\_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS\_RECVレジスタから読み出されるまでI2CSモジュールはSCLS端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF/I2CS\_STATレジスタが1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

## データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI2CSモジュールがマスタにACK(SDAS = Low)を返します(デフォルト設定)。これをNAK\_ANS/I2CS\_CTLレジスタの設定により、NAK(SDAS = Hi-Z)を返すように変更可能です。NAK\_ANSが0の場合はACKが、1に設定するとNAKが返ります。NAK\_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI<sup>2</sup>Cクロック(SCLS入力クロック)の7サイクル以内に行ってください。

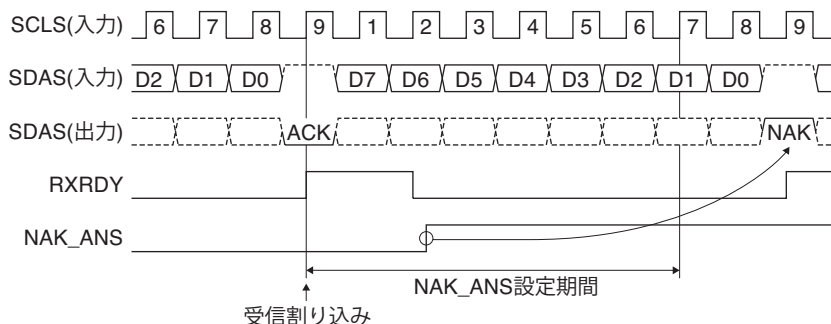


図19.5.3 NAK\_ANSの設定とNAK応答タイミング

## データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。



図19.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態 (SELECTED = 1) でストップコンディションを検出すると、I2CSモジュールはDA\_STOP/I2CS\_STATレジスタを1にセットします。同時にSDASおよびSCLS端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I<sup>2</sup>Cの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

DA\_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA\_STOPは1の書き込みでクリアされます。

## データ送受信を禁止

データ転送を終了後は、COM\_MODE/I2CS\_CTLレジスタに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。I2CSモジュールの動作を停止する場合は、I2CSEN/I2CS\_CTLレジスタを0に設定します。

## タイミングチャート

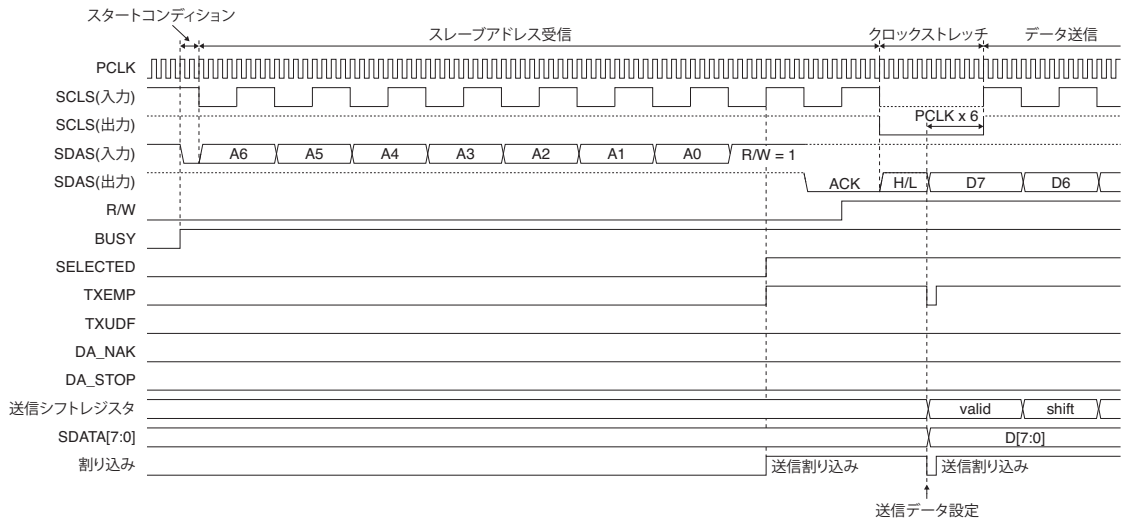


図19.5.5 I2CSタイミングチャート1(スタートコンディション→データ送信)

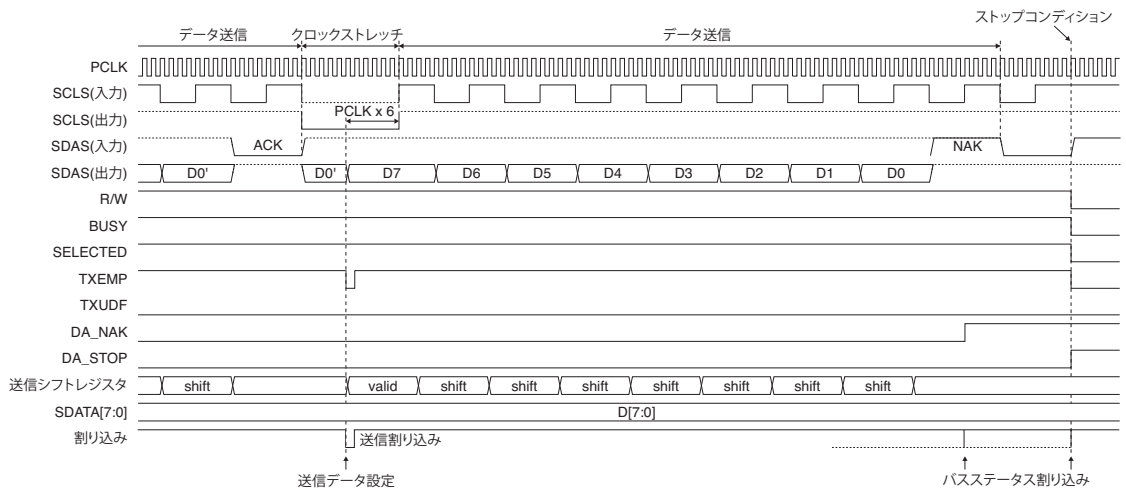


図19.5.6 I2CSタイミングチャート2(データ送信→ストップコンディション)

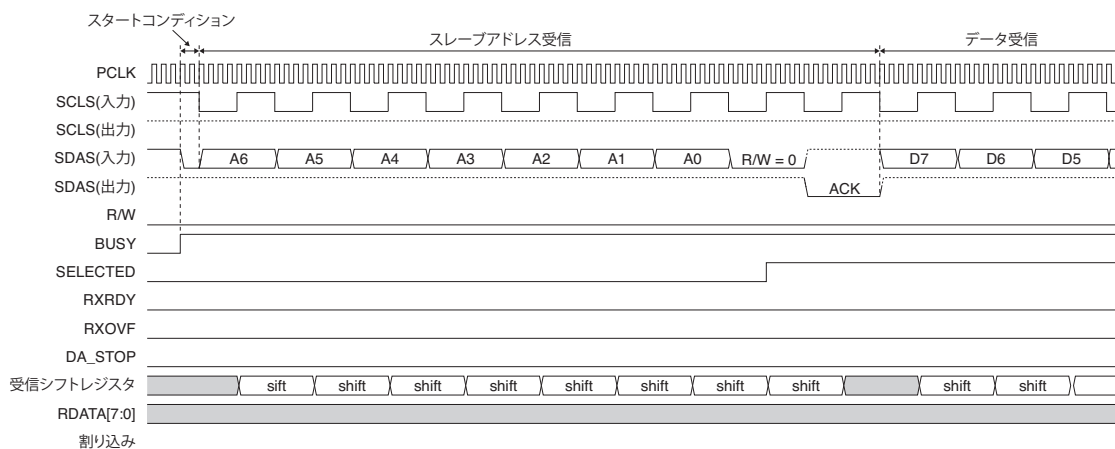


図19.5.7 I2CSタイミングチャート3(スタートコンディション→データ受信)

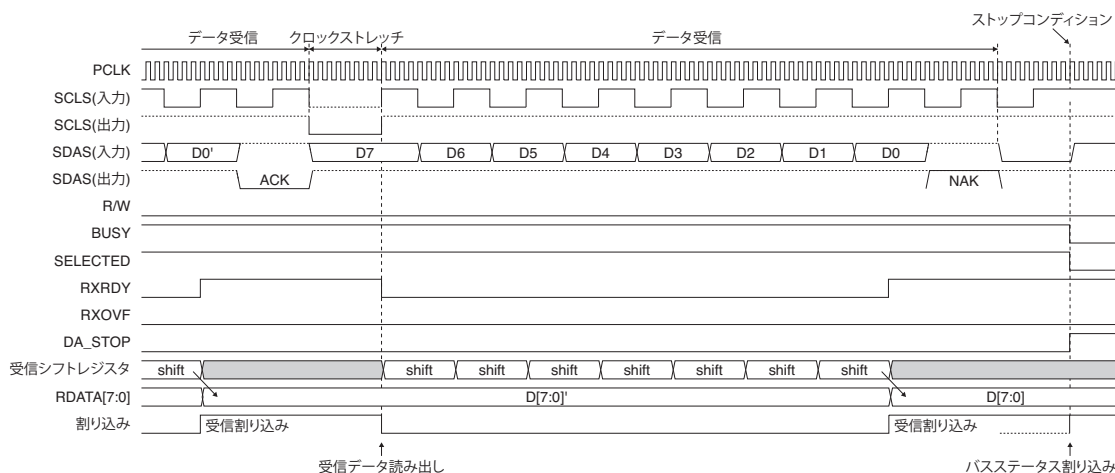


図19.5.8 I2CSタイミングチャート4(データ受信→ストップコンディション)

## 19.6 I2CS割り込み

I2CSモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

I2CSモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

### 送信割り込み

SDATA[7:0]/I2CS\_TRANSレジスタに送信データが書き込まれていない状態でI<sup>2</sup>Cマスタによるリード要求(R/Wビット = 1)を受信すると割り込み信号がITCに出力されます。この割り込みを利用して、送信データをSDATA[7:0]に書き込むことができます。SDATA[7:0]に送信データを書き込むと、割り込み信号はクリアされます。その後の送信中は、SDATA[7:0]に書き込んだ送信データが送信シフトレジスタに送られた時点(TXEMP/I2CS\_ASTATレジスタ = 1)で、割り込み信号がITCに出力されます。この割り込みを使用するには、TXEMP\_IEN/I2CS\_ICTLレジスタを1に設定します。TXEMP\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。送信を終了するストップコンディションが生成された後は、SDATA[7:0]が空であってもTXEMPは1にセットされず、送信割り込みは発生しません。

## 受信割り込み

受信データがRDATA[7:0]/I2CS\_RECVレジスタにロードされると、RXRDY/I2CS\_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

この割り込みを使用するには、RXRDY\_IEN/I2CS\_ICTLレジスタを1に設定します。RXRDY\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

## バスステータス割り込み

I2CSモジュールには、送受信やI<sup>2</sup>Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、19.5節を参照してください)。

1. ASDET/I2CS\_STATレジスタ: 非同期アドレス検出時に1にセット
2. TXUDF/I2CS\_STATレジスタ: 送信データ書き込み前に送信動作を開始した場合に1にセット(クロックストレッチが無効の場合)
3. DA\_NAK/I2CS\_STATレジスタ: 送信時にマスタデバイスからNAKが返った場合に1にセット
4. DMS/I2CS\_STATレジスタ: 送信データとSDAラインの状態が異なる場合に1にセット  
DMSは、他のスレーブデバイスが本I<sup>2</sup>Cスレーブアドレスに対してACK応答を行った場合もセットされます(ASDET\_EN/I2CS\_CTLレジスタ=0の場合)。

注: 本ICを含む複数のスレーブデバイスがI<sup>2</sup>Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS\_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET\_EN = 1)に設定されているときはDMSは発生しません。

5. RXOVF/I2CS\_STATレジスタ: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)
6. BFREQ/I2CS\_STATレジスタ: バス解放要求を受け付けた場合に1にセット
7. DA\_STOP/I2CS\_STATレジスタ: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

この中のいずれかのビットが1にセットされると、同時にBSTAT/I2CS\_STATレジスタもセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

この割り込みを使用するには、BSTAT\_IEN/I2CS\_ICTLレジスタを1に設定します。BSTAT\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

## 19.7 制御レジスタ詳細

表19.7.1 I2CSレジスタ一覧

アドレス	レジスタ名		機能
0x4360	I2CS_TRNS	I <sup>2</sup> C Slave Transmit Data Register	I <sup>2</sup> Cスレーブ送信データ
0x4362	I2CS_RECV	I <sup>2</sup> C Slave Receive Data Register	I <sup>2</sup> Cスレーブ受信データ
0x4364	I2CS_SADRS	I <sup>2</sup> C Slave Address Setup Register	I <sup>2</sup> Cスレーブアドレスの設定
0x4366	I2CS_CTL	I <sup>2</sup> C Slave Control Register	I <sup>2</sup> Cスレーブの制御
0x4368	I2CS_STAT	I <sup>2</sup> C Slave Status Register	I <sup>2</sup> Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I <sup>2</sup> C Slave Access Status Register	I <sup>2</sup> Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I <sup>2</sup> C Slave Interrupt Control Register	I <sup>2</sup> Cスレーブ割り込みの制御

以下、I2CSモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。



## I<sup>2</sup>C Slave Transmit Data Register (I2CS\_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15-8 D7-0	-- SDATA[7:0]	reserved I <sup>2</sup> C slave transmit data	-- 0-0xff	-- 0x0	-- R/W	0 when being read.

**D[15:8] Reserved**

### D[7:0] SDATA[7:0]: I<sup>2</sup>C Slave Transmit Data Bits

送信データを設定します。(デフォルト: 0x0)

SDAS端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、I<sup>2</sup>Cクロック(SCLS入力クロック)の7サイクル以内にデータを本レジスタに書き込む必要があります。

ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI<sup>2</sup>Cクロック(SCLS入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。

非同期アドレス検出機能を使用する場合、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後も送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF\_CLR/I2CS\_CTLレジスタを使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

## I<sup>2</sup>C Slave Receive Data Register (I2CS\_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15-8 D7-0	-- RDATA[7:0]	reserved I <sup>2</sup> C slave receive data	-- 0-0xff	-- 0x0	-- R	0 when being read.

**D[15:8] Reserved**

### D[7:0] RDATA[7:0]: I<sup>2</sup>C Slave Receive Data Bits

受信データが読み出せます。(デフォルト: 0x0)

SDAS端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY/I2CS\_ASTATレジスタがセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI<sup>2</sup>Cクロック (SCLS 入力クロック)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

## I<sup>2</sup>C Slave Address Setup Register (I2CS\_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7 D6-0	– SADRS[6:0]	reserved I <sup>2</sup> C slave address	– 0-0x7f	– 0x0	– R/W	0 when being read.

**D[15:7] Reserved**

**D[6:0] SADRS[6:0]: I<sup>2</sup>C Slave Address Bits**

本モジュールのI<sup>2</sup>Cスレーブアドレスを設定します。(デフォルト: 0x0)

## I<sup>2</sup>C Slave Control Register (I2CS\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0	R/W
		D7	I2CSEN	I <sup>2</sup> C slave enable	1 Enable	0 Disable	0	R/W
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0	R/W
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0	R/W
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W
		D0	COM_MODE	I <sup>2</sup> C slave communication mode	1 Active	0 Standby	0	R/W

**D[15:9] Reserved**

**D8 TBUF\_CLR: I2CS\_TRNS Register Clear Bit**

I2CS\_TRNSレジスタをクリアします。

1 (R/W): クリア状態

0 (R/W): 通常状態(クリア解除) (デフォルト)

TBUF\_CLRに1を書き込むとI2CS\_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI2CS\_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP/I2CS\_ASTATレジスタがセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS\_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS\_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS\_TRNSレジスタがクリア状態(TBUF\_CLR = 1)でもI2CS\_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF\_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS\_TRNSレジスタへのデータの書き込みはTBUF\_CLR = 0の状態で行ってください。

**D7 I2CSEN: I<sup>2</sup>C Slave Enable Bit**

I2CSモジュールの動作を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止(デフォルト)

I2CSENを1に設定するとI2CSモジュールが動作を開始し、データ転送が行える状態になります。I2CSENを0に設定すると、I2CSモジュールは動作を停止します。

**D6 SOFTRESET: Software Reset Bit**

I2CSモジュールをリセットします。

1 (R/W): リセット

0 (R/W): リセット解除(デフォルト)

I2CSモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディションに待機するため、I<sup>2</sup>Cの通信プロセスを初期化するとともに、SDASおよびSCLS端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

#### D5 NAK\_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I2CSモジュールはマスタにACK(SDAS = Low)またはNAK(SDAS = Hi-Z)を返します。NAK\_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI<sup>2</sup>Cクロック(SCLS入力クロック)の7サイクル以内で指定しておきます。

#### D4 BFREQ\_EN: Bus Free Request Enable Bit

#BFR端子へのLowパルス入力によるI<sup>2</sup>Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I<sup>2</sup>Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ/I2CS\_STATレジスタが1にセットされます。これにより、I2CSモジュールはI<sup>2</sup>Cスレーブの通信プロセスを初期化し、SDASおよびSCLS端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。

BFREQ\_ENを0に設定すると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

#### D3 CLKSTR\_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR\_ENを1に設定してください。

#### D2 NF\_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CSモジュールには、SDASおよびSCLS端子の入力信号からノイズを除去する機能が組み込まれており、NF\_ENを1に設定することにより有効となります。

#### D1 ASDET\_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げ消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET\_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスがI2CSに設定されているアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。

この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET\_ENを0にリセットしてください。その後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注: 非同期アドレス検出機能を有効にした場合、I<sup>2</sup>Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

## D0 COM\_MODE: I<sup>2</sup>C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定してI2CSモジュールの動作を許可した後、COM\_MODEを1に設定して通信を許可します。

COM\_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

## I<sup>2</sup>C Slave Status Register (I2CS\_STAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I <sup>2</sup> C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	-	reserved	-			-	-	0 when being read.	
		D7	<b>BSTAT</b>	Bus status transition	1	Changed	0	Unchanged	0	R	
		D6	-	reserved	-			-	-	0 when being read.	
		D5	<b>TXUDF</b> <b>RXOVF</b>	Transmit data underflow	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.
				Receive data overflow							
		D4	<b>BFREQ</b>	Bus free request	1	Occurred	0	Not occurred	0	R/W	
		D3	<b>DMS</b>	Output data mismatch	1	Error	0	Normal	0	R/W	
		D2	<b>ASDET</b>	Async. address detection status	1	Detected	0	Not detected	0	R/W	
		D1	<b>DA_NAK</b>	NAK receive status	1	NAK	0	ACK	0	R/W	
D0	<b>DA_STOP</b>	STOP condition detect	1	Detected	0	Not detected	0	R/W			

### D[15:8] Reserved

## D7 BSTAT: Bus Status Transition Bit

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA\_NAK、DA\_STOPのいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA\_NAK、DA\_STOPのすべてのビットが0にリセットされることによりBSTATもリセットされます。

### D6 Reserved

## D5 TXUDF: Transmit Data Underflow Bit (送信時)

## RXOVF: Receive Data Overflow Bit (受信時)

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー /オーバーフローあり

0(R/W): データアンダーフロー /オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS\_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。

または、I2CS\_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS\_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

#### D4 BFREQ: Bus Free Request Bit

I<sup>2</sup>Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ\_EN/I2CS\_CTLレジスタが1(バス解放要求受け付け機能が有効)に設定されている場合、#BFR端子から周辺モジュールクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I2CSモジュールはI<sup>2</sup>Cの通信プロセスを初期化し、SDASおよびSCLS端子をハイインピーダンスにします。この処理でI2CSの制御レジスタは初期化されません。BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ\_ENが0に設定されていると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

#### D3 DMS: Output Data Mismatch Bit

出力データとSDAラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI<sup>2</sup>CデバイスがSDAラインを制御していることが考えられます。BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI<sup>2</sup>Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS\_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET\_EN = 1)に設定されているときはDMSは発生しません。

#### D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET\_EN/I2CS\_CTLレジスタによって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。

この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のリデータ転送を再開できます。1にセットされたASDETは1の書き込みによりリセットできます。

#### D1 DA\_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA\_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA\_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、DA\_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDA\_NAKは1の書き込みによりリセットできます。

#### D0 DA\_STOP: Stop Condition Detect Bit

ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED/I2CS\_ASTATレジスタ = 1)でストップコンディションまたはリピーテッドスタートコンディションを検出すると、I2CSモジュールはDA\_STOPを1にセットします。同時にI<sup>2</sup>Cの通信プロセスを初期化します。BSTAT\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、DA\_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。1にセットされたDA\_STOPは1の書き込みによりリセットできます。

### I<sup>2</sup>C Slave Access Status Register (I2CS\_ASTAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0	R
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0	R
		D2	BUSY	I <sup>2</sup> C bus status	1 Busy	0 Free	0	R
		D1	SELECTED	I <sup>2</sup> C slave select status	1 Selected	0 Not selected	0	R
		D0	R/W	Read/write direction	1 Output	0 Input	0	R

#### D[15:5] Reserved

#### D4 RXRDY: Receive Data Ready Bit

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS\_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS\_RECVレジスタの読み出しによってリセットされます。

#### D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I<sup>2</sup>Cマスタからのリード要求(R/Wビット = 1)受信時にI2CS\_TRNSレジスタが空の場合、または送信を終了するストップコンディションがI<sup>2</sup>Cマスタによって生成されるまでの間にI2CS\_TRNSレジスタが空になると、TXEMPが1にセットされます。

TXEMP\_IEN/I2CS\_ICTLレジスタによって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。1にセットされたTXEMPは、I2CS\_TRNSレジスタへのデータ書き込みによってリセットされます。

## D2 BUSY: I<sup>2</sup>C Bus Status Bit

I<sup>2</sup>Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはSCLSもしくはSDASがLowレベルになったことを検出するとBUSYが1にセットされ、I<sup>2</sup>Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

## D1 SELECTED: I<sup>2</sup>C Slave Select Status Bit

本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションまたはリピーテッドスタートコンディションの検出によりリセットされます。

## D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

## I<sup>2</sup>C Slave Interrupt Control Register (I2CS\_ICTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15-3	-	reserved	-		-	-	0 when being read.	
		D2	<b>BSTAT_IEN</b>	Bus status interrupt enable	1	Enable	0	Disable	0	R/W
		D1	<b>RXRDY_IEN</b>	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	<b>TXEMP_IEN</b>	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

## D[15:3] Reserved

## D2 BSTAT\_IEN: Bus Status Interrupt Enable Bit

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT\_IENを1に設定すると、I<sup>2</sup>Cバスの状態変化によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT/I2CS\_STATレジスタが1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT\_IENを0に設定すると、バスステータス割り込みは発生しません。

## D1 RXRDY\_IEN: Receive Interrupt Enable Bit

I2CSの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY\_IENを1に設定すると、受信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS\_RECVレジスタに転送される(受信が完了する)ことにより発生します。

RXRDY\_IENを0に設定すると、受信割り込みは発生しません。

**D0 TXEMP\_IEN: Transmit Interrupt Enable Bit**

I2CSの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP\_IENを1に設定すると、送信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS\_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP\_IENを0に設定すると、送信割り込みは発生しません。



# 20 EPDコントローラ/ドライバ(EPD)

## 20.1 EPDモジュールの概要

S1C17F57はEPD表示機能を実現するEPDコントローラ/ドライバ(EPD)モジュールを内蔵しています。主な機能を以下に示します。

- ドライバ出力数: 64セグメント + 2バックプレーン + 2トッププレーン出力
- EPD駆動電圧:  $V_{EPD}$ と $V_{SS}$ の2値
- EPD駆動電源制御機能
- EPD表示波形メモリを内蔵(駆動波形をプログラム可能)
- 表示データ用メモリを内蔵
- 反転、全白、全黒表示機能
- 駆動波形出力終了時に割り込みを発生可能
- セグメント、バックプレーン、トッププレーン端子出力の直接制御が可能
- セイコーエプソン製外部EPDドライバ用にトリガ信号とクロックを出力可能

図20.1.1にEPDモジュールの構成を示します。

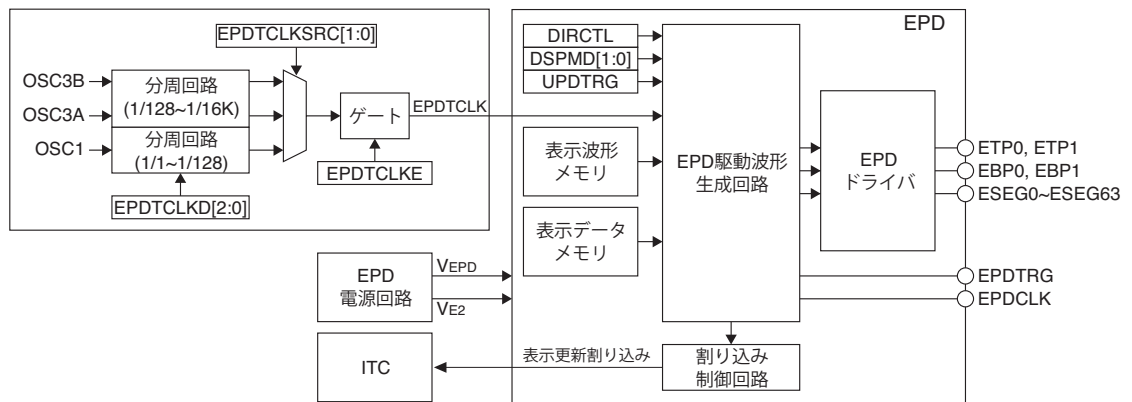


図20.1.1 EPDモジュールの構成

## 20.2 EPD出力端子

表20.2.1にEPD端子の一覧を示します。

表20.2.1 EPD端子一覧

端子名	I/O	本数	機能
ESEG0~ESEG63	O	64	EPDセグメント出力端子 セグメント駆動波形を出力します。
ETP0 ETP1	O	2	EPDトッププレーン出力端子 これらの2端子からは、同じトッププレーン駆動波形が出力されます。
EBP0 EBP1	O	2	EPDバックプレーン出力端子 これらの2端子からは、同じバックプレーン駆動波形が出力されます。
EPDTRG	O	1	外部EPDドライバトリガ出力端子 外部EPDドライバを使用する場合に、表示更新用のトリガ信号を出力します。
EPDCLK	O	1	外部EPDドライバクロック出力端子 外部EPDドライバを使用する場合に、動作クロックを出力します。

EPDモジュールの出力端子(EPDTRG、EPDCLK)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをEPDモジュールの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 20.3 EPDドライバ用電源

EPDドライバの駆動電圧 $V_{EPD}$ は、チップ内部のEPD系電源回路を使用して発生します。外部より印加する必要はありません。EPD電源の詳細については、“電源”の章を参照してください。

注: チップ内部のEPD系電源回路では駆動能力が不足する場合、外部電源を使用可能です。外部電源の使用方法については、“電源”の章を参照してください。

## 20.4 EPDクロック

EPDモジュールには、EPDタイミングクロック(駆動波形生成用の基準クロック)を制御するクロックソースセレクタ、分周回路、ゲート回路が組み込まれています。

EPDコントローラを波形モードで使用する場合、外部EPDドライバにクロックを供給する場合は下記の設定を行い、EPD駆動波形生成回路にクロックを供給する必要があります。EPDコントローラをダイレクトモードで使用する場合、下記の設定は不要です。

### クロックソースの選択

クロックソースは、EPDTCLKSRC[1:0]/EPD\_TCLKレジスタを使用してOSC3B、OSC3A、OSC1から選択します。

表20.4.1 クロックソースの選択

EPDTCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

### クロック分周比の選択

EPDTCLKD[2:0]/EPD\_TCLKレジスタで分周比を選択します。

表20.4.2 クロック分周比の選択

EPDTCLKD[2:0]	分周比	
	クロックソース = OSC3B or OSC3A	クロックソース = OSC1
0x7	1/16384	1/128
0x6	1/8192	1/64
0x5	1/4096	1/32
0x4	1/2048	1/16
0x3	1/1024	1/8
0x2	1/512	1/4
0x1	1/256	1/2
0x0	1/128	1/1

(デフォルト: 0x0)

### クロックイネーブル

クロック供給は、EPDTCLKE/EPD\_TCLKレジスタで制御します。EPDTCLKEのデフォルト設定は0で、クロックの供給は停止しています。EPDTCLKEを1に設定すると、上記のとおり生成されたクロックが駆動波形生成回路に送られます。EPDコントローラの動作が不要な場合、あるいはダイレクトモードで使用する場合は、消費電流を抑えるため、クロック供給を停止してください。

## 20.5 動作モード

EPDコントローラには2種類の動作モード(波形モード、ダイレクトモード)があり、DIRCTL/EPD\_CTLレジスタで切り換えることができます。

## 波形モード(DIRCTL = 0、デフォルト)

表示更新のトリガが与えられると、EPDコントローラは表示波形メモリにプログラムされている駆動波形を出力します。表示波形を生成するためにCPUを占有せずに済みます。表示波形のプログラミングに関しては、20.6節を参照してください。

## ダイレクトモード(DIRCTL = 1)

セグメント、トッププレーン、バックプレーン端子の出力を直接プログラムで制御するためのモードです。波形の生成は、プログラムでリアルタイムに制御する必要があります。

# 20.6 表示波形メモリ

表示波形メモリは、波形モード時にEPDコントローラが生成する駆動波形を設定しておくために使用します。

表示波形メモリには、15ビットで構成されるタイミングセットを最大32個格納できます(タイミングセット0～タイミングセット31)。タイミングセット0は表示更新トリガが与えられたときに最初に出力される状態とその期間を表します。それ以降、波形が変化する状態をひとつずつ、タイミングセット1～n(Max. 31)としてプログラミングします。

1つのタイミングセットの構成は下表のとおりです。

表20.6.1 タイミングセットの内容

ビット名*	内容
EOW(End Of Wave, D15)	波形の終了位置を指定します。EOWを1に設定したタイミングセットで波形の生成は終了し、次の表示更新トリガまで、出力はハイインピーダンスとなります。波形生成途中のタイミングセットのEOWは必ず0にしておきます。
HIZ(High Impedance, D13)	セグメントおよびバックプレーン端子をハイインピーダンスに設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はハイインピーダンスになります(BB/BW/WB/WWの指定は無効)。0に設定するとBB/BW/WB/WWで指定されているレベルになります。
TP(Top Plane, D12)	トッププレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のトッププレーン出力はV <sub>EPD</sub> レベル、0に設定するとV <sub>SS</sub> レベルになります。
BB(Black to Black, D11)	表示更新時に表示が黒から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はV <sub>EPD</sub> レベル、0に設定するとV <sub>SS</sub> レベルになります。
BW(Black to White, D10)	表示更新時に表示が黒から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はV <sub>EPD</sub> レベル、0に設定するとV <sub>SS</sub> レベルになります。
WB(White to Black, D9)	表示更新時に表示が白から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はV <sub>EPD</sub> レベル、0に設定するとV <sub>SS</sub> レベルになります。
WW(White to White, D8)	表示更新時に表示が白から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はV <sub>EPD</sub> レベル、0に設定するとV <sub>SS</sub> レベルになります。
INTV[7:0](Interval, D[7:0])	タイミングセットの期間をEPDCLKのクロック数で指定します。 時間[s] = (INTV[7:0] + 1) / EPDCLK周波数

\* DxはEPD\_WAVExレジスタ内のビット番号を示します。

設定はタイミングセットごとに用意されているEPD\_WAVE0～EPD\_WAVE31レジスタで行います。各レジスタは上記の名称のビットで構成されています。

タイミングセットの設定内容と生成される波形の対応を、以下に簡単な例で示します。

表20.6.2 タイミングセット設定例

タイミングセット番号(レジスタ)	EOW(D15)	HIZ(D13)	TP(D12)	BB(D11)	BW(D10)	WB(D9)	WW(D8)	INTV[7:0](D[7:0])
0(EPD_WAVE0)	0	0	0	0	0	0	0	0x1
1(EPD_WAVE1)	0	0	1	0	1	0	1	0x2
2(EPD_WAVE2)	0	0	0	0	0	1	1	0x0
3(EPD_WAVE3)	0	1	1	*	*	*	*	0x1
4(EPD_WAVE4)	1	0	0	0	0	0	0	0x3

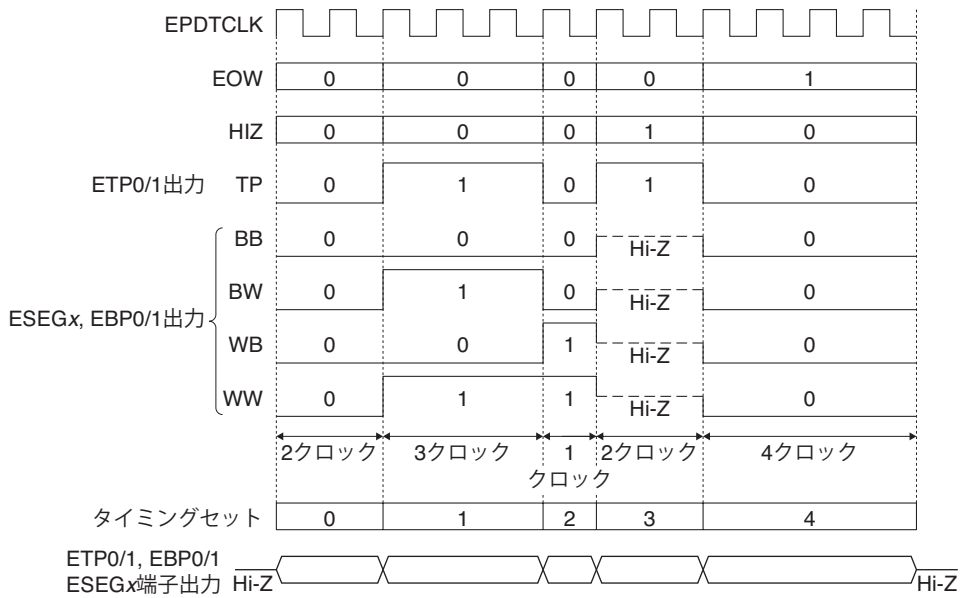


図20.6.1 表示波形の例 (表20.6.2の設定に対応)

注: 表20.6.2と図20.6.1はあくまでも設定と波形の関係を説明するための例で、実際のEPD駆動に使用されるものではありません。

## 20.7 表示データメモリ

EPDモジュールは64ビット(セグメント出力用) + 2ビット(トッププレーンおよびバックプレーン出力用)の表示データメモリを内蔵しています。

セグメント出力データはEPD\_SEGDAT0~EPD\_SEGDAT3レジスタのSEG0~SEG63ビットに設定します。バックプレーン出力データはBP/EPD\_PLNDATレジスタに設定します。1を書き込むと、波形モードでは黒の表示、ダイレクトモードではHigh(V<sub>EPD</sub>)レベル出力に設定されます。0を書き込むと、波形モードでは白の表示、ダイレクトモードではLow(V<sub>SS</sub>)レベル出力に設定されます。

トッププレーン出力データはTP/EPD\_PLNDATレジスタに設定します。このビットはダイレクトモード時に有効で、1を書き込むとHigh(V<sub>EPD</sub>)レベル出力、0を書き込むとLow(V<sub>SS</sub>)レベル出力に設定されます。波形モードのトッププレーン出力は表示波形メモリの内容に従って制御されます。

表示データメモリの内容は、表示更新トリガ(後述)を与えた時点で出力に反映されます。表示データメモリへの書き込みのみでは、表示は更新されません。

イニシャルリセット時、表示データメモリは0にクリアされます。

## 20.8 表示の制御(波形モード)

ここでは、波形モード時の表示の制御について説明します。

表示を行う前に、以下の設定がすべて必要です。設定の順序は特に問いません。

- (1) EPDタイミングクロックを設定し、EPD駆動波形生成回路に供給します。20.4節を参照してください。
- (2) EPD系電源回路を設定し、EPD駆動電圧をEPDコントローラに供給します。“電源”の章を参照してください。

注: 内蔵EPD系電源回路を使用しない場合は、必ず外部電源を供給してください(“電源”の章を参照)。

- (3) 表示波形メモリに駆動波形をプログラムします。20.6節を参照してください。
- (4) EPD割り込みを許可します。20.12節を参照してください。

表示は図20.8.1に示すフローチャートのように制御します。

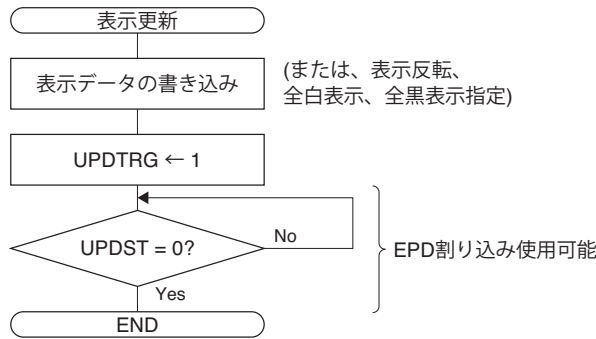


図20.8.1 波形モード時の表示制御

## 通常表示の制御

表示の更新は以下の手順で行います。

(1) セグメントおよびバックプレーンの更新用表示データを表示データメモリに書き込みます。

(2) UPDTRG/EPD\_CTLレジスタに1を書き込み、表示更新トリガを発行します。

EPD駆動波形生成回路は表示データメモリの内容と現表示データに従って、表示波形メモリにプログラムされた駆動波形をセグメント、トッププレーン、バックプレーン端子から出力します。波形の生成状態はUPDST/EPD\_CTLレジスタで確認可能です。UPDSTは表示更新トリガによって1となり、プログラムされている駆動波形の出力が終了すると0に戻ります。なお、更新前の表示データはEPDコントローラが内部に保持しています。

(3) 表示の更新が終了すると (UPDSTが0に戻ると同時に)、EPD割り込み要求が発生します。

注: • UPDSTが1(表示更新中)の間は、表示データメモリの内容を変更しないでください。

- UPDSTが1の間、UPDTRGへの1書き込みは無効となります。
- イニシャルリセット後の最初の表示更新時、EPDコントローラは現表示データを0として駆動波形を生成します。
- ダイレクトモードで使用後に波形モードに切り換えて表示を行った場合、最初の更新時のみ表示が乱れる場合があります。

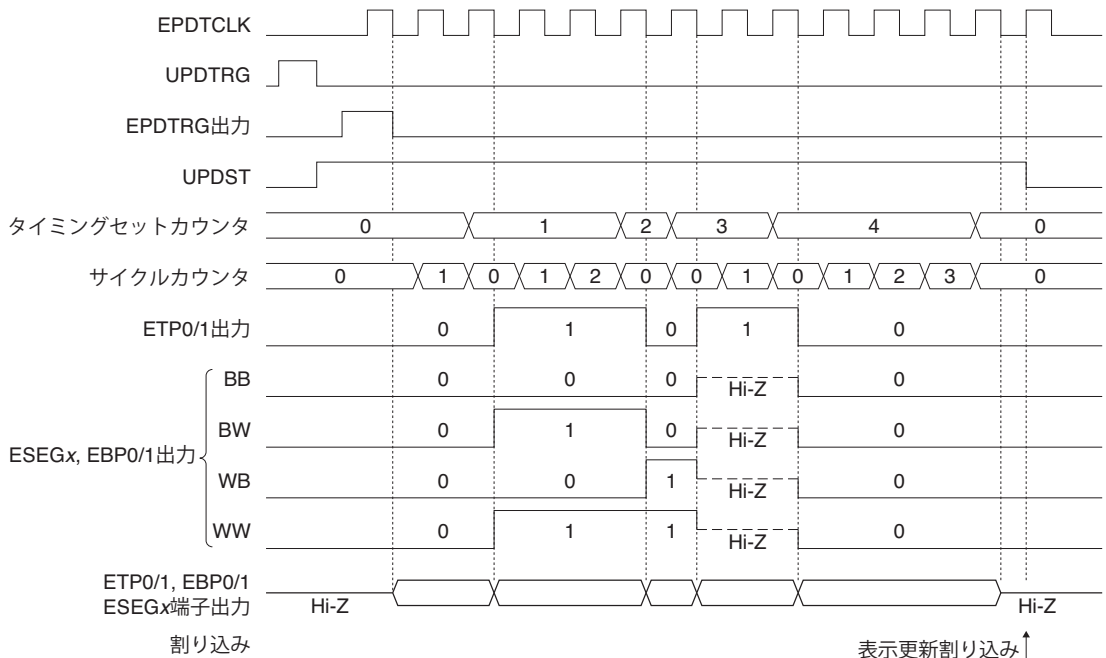


図20.8.2 波形出力例のタイミングチャート(表20.6.2の設定に対応)

## 表示の反転、全白、全黒表示の制御

波形モードでは、ソフトウェアによって表示データメモリを書き換えることなく、表示の反転、全白表示、全黒表示が行えます。この指定はDSPMD[1:0]/EPD\_CTLレジスタで行います。

表20.8.1 表示制御

DSPMD[1:0]	表示モード
0x3	全黒表示
0x2	全白表示
0x1	反転表示
0x0	通常表示

(デフォルト: 0x0)

DSPMD[1:0]を変更後、UPDTRGに1を書き込むことで駆動波形が出力され、表示が変わります。ただし、UPDSTが1の間はUPDTRGに1を書き込まないでください。

全白表示モード: このモードに設定した場合、表示データメモリの内容にかかわらず、UPDTRGへの1書き込みによってすべて白を表示した状態に更新されます。

全黒表示モード: このモードに設定した場合、表示データメモリの内容にかかわらず、UPDTRGへの1書き込みによってすべて黒を表示した状態に更新されます。

反転表示モード: このモードに設定した場合、表示データメモリの1と0の意味が入れ替わります。つまり、このモードに設定した状態でUPDTRGに1を書き込むと、1が書き込まれたビットに対応するセグメント/バックプレーンは白に、0が書き込まれたビットに対応するセグメント/バックプレーンは黒に更新されます。

注: UPDSTが1の間はDSPMD[1:0]の内容を変更しないでください。

## 20.9 表示の制御(ダイレクトモード)

ここでは、ダイレクトモード時の表示の制御について説明します。

表示を行う前に、EPD系電源回路を設定し、EPD駆動電圧をEPDコントローラに供給しておきます。“電源”の章を参照してください。

表示の更新は図20.9.1に示すフローチャートのように制御します。

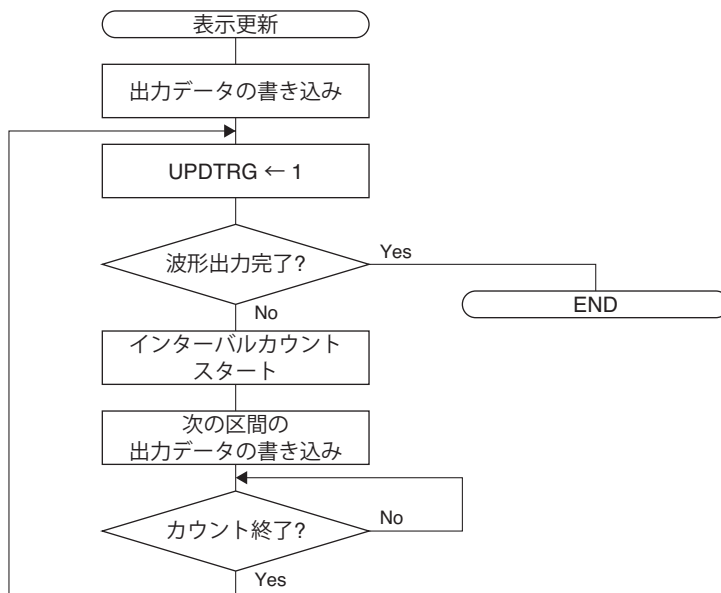


図20.9.1 ダイレクトモード時の表示制御

(1) セグメント、トッププレーン、バックプレーン端子から出力する最初の出力レベル(High/Low/Hi-Z)を表示データメモリに書き込みます。

セグメントとバックプレーン出力をハイインピーダンスにするには、SEGZH/EPD\_PLNDATレジスタに1を書き込みます。トッププレーン出力をハイインピーダンスにするには、TPHZ/EPD\_PLNDATレジスタに1を書き込みます。SEGZH、TPHZが1の場合、表示データメモリ内の設定は無効になります。

- (2) UPDTRG/EPD\_CTLレジスタに1を書き込み、表示更新トリガを発行します。  
EPD駆動波形生成回路は表示データメモリの内容を、セグメント、トッププレーン、バックプレーン端子から出力します。
- (3) タイマなどを使用し、現在のレベルの出力期間をカウントします。
- (4) カウントの間に、次の出力データを表示データメモリに書き込みます。
- (5) タイマ割り込みなどのカウントの完了を待ちます。
- (6) 表示更新波形をすべて出力し終わった場合は終了します。  
表示更新波形の出力が完了していない場合は、(2)に戻ります。

## 20.10 外部ドライバ用出力

外部EPDドライバを使用する場合に備え、EPDコントローラにはタイミングクロック(EPDTCCLK)と表示更新トリガ信号を出力する機能があります。クロックはEPDCLK端子から、トリガ信号はEPDTRG端子から出力されます。この機能を使用するには、ポート機能選択ビットでこれらの出力を有効にしておく必要があります。それ以外、出力の制御は必要ありません。

トリガ信号の出力タイミングは、図20.8.2を参照してください。

## 20.11 EPD割り込み

EPDモジュールには、波形モードでの表示更新波形出力終了時に割り込みを発生させる機能があります。

### 表示更新割り込み

この割り込み要求は、表示更新トリガによる駆動波形出力(EOWを設定したタイミングセットの出力)が終了すると発生し、EPDモジュール内の割り込みフラグDUPDIF/EPD\_INTレジスタを1にセットします。割り込みのタイミングは図20.8.2を参照してください。

この割り込みを使用するには、DUPDIE/EPD\_INTレジスタを1に設定します。DUPDIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。DUPDIEが1(割り込み許可)に設定されている状態で、DUPDIFが1にセットされるとEPDモジュールは割り込み要求をITCに出力します。ITCとSIC17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • EPD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、EPDモジュール内の割り込みフラグDUPDIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、DUPDIEによってEPD割り込みを許可する前に、DUPDIFをリセットしてください。

## 20.12 制御レジスタ詳細

表20.12.1 EPDレジスタ一覧

アドレス	レジスタ名		機能
0x5070	EPD_TCLK	EPD Timing Clock Control Register	EPDタイミングクロックの選択
0x5604	EPD_CTL	EPD Display Control Register	EPD表示の制御
0x5606	EPD_INT	EPD Interrupt Control Register	割り込みの制御
0x5620	EPD_PLNDAT	EPD Top/Back Plane Data Register	トッププレーン/バックプレーン出力データ
0x5622	EPD_SEGDAT0	EPD Segment Data Register 0	セグメント出力データ (ESEG0~ESEG15)
0x5624	EPD_SEGDAT1	EPD Segment Data Register 1	セグメント出力データ (ESEG16~ESEG31)
0x5626	EPD_SEGDAT2	EPD Segment Data Register 2	セグメント出力データ (ESEG32~ESEG47)
0x5628	EPD_SEGDAT3	EPD Segment Data Register 3	セグメント出力データ (ESEG48~ESEG63)
0x5640	EPD_WAVE0	EPD Wave Timing Set 0 Register	表示波形データ(タイミングセット0)

## 20 EPDコントローラ/ドライバ(EPD)

アドレス	レジスタ名		機能
0x5642	EPD_WAVE1	EPD Wave Timing Set 1 Register	表示波形データ(タイミングセット1)
:	:	:	:
0x567e	EPD_WAVE31	EPD Wave Timing Set 31 Register	表示波形データ(タイミングセット31)

以下、EPDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### EPD Timing Clock Control Register (EPD\_TCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
EPD Timing Clock Control Register (EPD_TCLK)	0x5070 (8 bits)	D7	-	reserved	-	-	-	0 when being read.			
		D6-4	EPDTCLKD [2:0]	EPD timing clock division ratio select	EPDTCLKD [2:0]	Division ratio		0x0	R/W		
						OSC3B/ OSC3A	OSC1				
						0x7	1/16384				1/128
						0x6	1/8192				1/64
						0x5	1/4096				1/32
0x4	1/2048					1/16					
D3-2	EPDTCLK SRC[1:0]	EPD timing clock source select	EPDTCLK SRC[1:0]	Clock source		0x0	R/W				
				0x3	reserved						
				0x2	OSC3A						
				0x1	OSC1						
D1	-	reserved	-	-	-	-	-	0 when being read.			
									D0	EPDTCLKE	EPD timing clock enable

注: EPDタイミングクロックの設定は、EPDコントローラを波形モードで使用する場合、外部EPDドライバにクロックを供給する場合に必要です。EPDコントローラをダイレクトモードで使用する場合は不要です。

**D7**      **Reserved**

**D[6:4]**    **EPDTCLKD[2:0]: EPD Timing Clock Division Ratio Select Bits**

EPDタイミングクロックを生成するための分周比を選択します。

表20.12.2 クロック分周比の選択

EPDTCLKD[2:0]	分周比	
	クロックソース = OSC3B or OSC3A	クロックソース = OSC1
0x7	1/16384	1/128
0x6	1/8192	1/64
0x5	1/4096	1/32
0x4	1/2048	1/16
0x3	1/1024	1/8
0x2	1/512	1/4
0x1	1/256	1/2
0x0	1/128	1/1

(デフォルト: 0x0)

**D[3:2]**    **EPDTCLKSRC[1:0]: EPD Timing Clock Source Select Bits**

EPDタイミングクロックソースを選択します。

表20.12.3 クロックソースの選択

EPDTCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1**      **Reserved**



**D0 EPDTCLKE: EPD Timing Clock Enable Bit**

駆動波形生成回路へのEPDタイミングクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

EPDTCLKEのデフォルト設定は0で、クロックの供給は停止しています。EPDTCLKEを1に設定すると、上記のとおり生成されたクロックが駆動波形生成回路に送られます。EPDコントローラの動作が不要な場合、あるいはダイレクトモードで使用する場合は、消費電流を抑えるため、クロック供給を停止してください。

**EPD Display Control Register (EPD\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
EPD Display Control Register (EPD_CTL)	0x5604 (16 bits)	D15-5	-	reserved	-	-	-	0 when being read.	
		D4	<b>DIRCTL</b>	Wave/direct mode select	1 Direct	0 Wave	0	R/W	
		D3-2	<b>DSPMD [1:0]</b>	Display mode select	DSPMD[1:0]	Display mode	0x0	R/W	Effective only in wave mode
		0x3			All black				
		0x2			All white				
0x1	Reverse								
D1	<b>UPDST</b>	Display update status	1 Busy	0 Idle	0	R	Always set to 0 in direct control mode.		
D0	<b>UPDTRG</b>	Display update trigger	1 Trigger	0 Ignored	0	W	0 when being read.		

**D[15:5] Reserved****D4 DIRCTL: Wave/Direct Mode Select Bit**

EPDコントローラを波形モードまたはダイレクトモードに設定します。

1(R/W): ダイレクトモード

0(R/W): 波形モード(デフォルト)

DIRCTLに0を書き込むと、EPDコントローラは波形モードに設定されます。波形モードでは、表示更新のトリガが与えられると、EPDコントローラは表示波形メモリにプログラムされている駆動波形を出力します。表示波形を生成するためにCPUを占有せずに済みます。

DIRCTLに1を書き込むと、EPDコントローラはダイレクトモードに設定されます。ダイレクトモードは、セグメント、トッププレーン、バックプレーン端子の出力を直接プログラムで制御するためのモードです。波形の生成は、プログラムでリアルタイムに制御する必要があります。

**D[3:2] DSPMD[1:0]: Display Mode Select Bits (波形モード)**

表示モードを選択します。

表20.12.4 表示制御

DSPMD[1:0]	表示モード
0x3	全黒表示
0x2	全白表示
0x1	反転表示
0x0	通常表示

(デフォルト: 0x0)

表示の反転、全白表示、全黒表示を行うには、DSPMD[1:0]を設定し、UPDTRGに1を書き込みます。ただし、UPDSTが1の間はUPDTRGに1を書き込まないでください。この表示制御は表示データメモリには影響を与えません。

通常の表示を行うにはDSPMD[1:0]を0x0に設定し、表示更新の操作を行います。

表示モードの選択は波形モード時のみ有効です。ダイレクトモード時のDSPMD[1:0]の設定は無効です。

**D1 UPDST: Display Update Status Bit (波形モード)**

波形モード時の表示更新動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

## 20 EPDコントローラ/ドライバ(EPD)

UPDTRGに1を書き込んで表示更新動作を開始させるとUPDSTが1となり、表示波形メモリにプログラムした駆動波形の出力(EOWを設定したタイミングセットの出力)が終了すると0に戻ります。

ダイレクトモード時はUPDSTが無効となり、常に0が読み出されます。

注: UPDSTが1の間は、表示データメモリの内容およびDSPMD[1:0]を変更しないでください。

### D0 UPDTRG: Display Update Trigger Bit

表示更新を開始します。

1(W): 表示更新トリガ

0(W): 無効(デフォルト)

波形モード時は、表示データメモリの内容に従って、表示波形メモリにプログラムされた駆動波形がセグメント、トッププレーン、バックプレーン端子から出力されます。UPDST=1(表示更新中)の場合のUPDTRGへの1書き込みは無効です。

ダイレクトモード時は、セグメント、トッププレーン、バックプレーン端子が、表示データメモリに設定されている出力レベルに変更されます。

## EPD Interrupt Control Register (EPD\_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
EPD Interrupt Control Register (EPD_INT)	0x5606 (16 bits)	D15-9	-	reserved	-	-	-	0 when being read.
		D8	DUPDIF	Display update interrupt flag	1 Occurred   0 Not occurred	0	R/W	Reset by writing 1.
		D7-1	-	reserved	-	-	-	0 when being read.
		D0	DUPDIE	Display update interrupt enable	1 Enable   0 Disable	0	R/W	

### D[15:9] Reserved

### D8 DUPDIF: Display Update Interrupt Flag Bit (波形モード)

表示更新割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

DUPDIFは波形モードでの表示更新トリガによる駆動波形出力(EOWを設定したタイミングセットの出力)が終了するとセットされ、1の書き込みによりリセットされます。

### D[7:1] Reserved

### D0 DUPDIE: Display Update Interrupt Enable Bit (波形モード)

表示更新割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

DUPDIEを1に設定するとITCへのEPD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

## EPD Top/Back Plane Data Register (EPD\_PLNDAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
EPD Top/Back Plane Data Register (EPD_PLNDAT)	0x5620 (16 bits)	D15-10	-	reserved	-	-	-	0 when being read.
		D9	SEGHZ	Segment/back plane Hi-Z control	1 Hi-Z   0 Normal	0	R/W	Effective only in direct mode
		D8	TPHZ	Top plane Hi-Z control	1 Hi-Z   0 Normal	0	R/W	direct mode
		D7-5	-	reserved	-	-	-	0 when being read.
		D4	TP	Top plane control data	1 High   0 Low	0	R/W	Effective only in direct mode
		D3-1	-	reserved	-	-	-	0 when being read.
		D0	BP	Back plane display data	1 Black   0 White 1 High   0 Low	0	R/W	Wave mode Direct mode

### D[15:10] Reserved

**D9 SEGZH: Segment/Back Plane Hi-Z Control Bit (ダイレクトモード)**

セグメント/バックプレーン出力をハイインピーダンスにします。

1(R/W): ハイインピーダンス

0(R/W): 通常出力(デフォルト)

SEGZHを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、セグメントおよびバックプレーン端子がハイインピーダンスになります。この場合、BPおよびSEG<sub>xx</sub>ビットによる端子出力の設定は無効になります。

SEGZHを0にすると、BPおよびSEG<sub>xx</sub>ビットによる端子出力の設定が有効になります。

波形モードでは、SEGZHは無効になります。

**D8 TPHZ: Top Plane Hi-Z Control Bit (ダイレクトモード)**

トッププレーン出力をハイインピーダンスにします。

1(R/W): ハイインピーダンス

0(R/W): 通常出力(デフォルト)

TPHZを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、トッププレーン端子がハイインピーダンスになります。この場合、TPビットによる端子出力の設定は無効になります。

TPHZを0にすると、TPビットによる端子出力の設定が有効になります。

波形モードでは、TPHZは無効になります。

**D[7:5] Reserved****D4 TP: Top Plane Control Data Bit (ダイレクトモード)**

トッププレーン出力レベルを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

TPを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、トッププレーン端子がHighレベルになります。TPが0の場合はLowレベルになります。

波形モードでは、TPは無効になります。

**D[3:1] Reserved****D0 BP: Back Plane Display Data Bit**

バックプレーンの表示データ/出力レベルを設定します。

1(R/W): 黒(波形モード)/Highレベル(ダイレクトモード)

0(R/W): 白(波形モード)/Lowレベル(ダイレクトモード) (デフォルト)

波形モードでは、BPを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、バックプレーンを黒に変更する駆動波形がバックプレーン端子から出力されます。BPが0の場合は白に変更する駆動波形が出力されます。

ダイレクトモードでは、BPを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、バックプレーン端子がHighレベルになります。BPが0の場合はLowレベルになります。

注: 本レジスタの設定のみでは、表示は更新されません。UPDTRGによる表示更新トリガが必要です。

**EPD Segment Data Registers 0–3 (EPD\_SEGDAT0–EPD\_SEGDAT3)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
EPD Segment Data Register 0 (EPD_SEGDAT0)	0x5622 (16 bits)	D15–0	SEG[15:0]	ESEG[15:0] display data	1	Black	0	White	0	R/W	Wave mode
					1	High	0	Low		Direct mode	
EPD Segment Data Register 1 (EPD_SEGDAT1)	0x5624 (16 bits)	D15–0	SEG[31:16]	ESEG[31:16] display data	1	Black	0	White	0	R/W	Wave mode
					1	High	0	Low		Direct mode	
EPD Segment Data Register 2 (EPD_SEGDAT2)	0x5626 (16 bits)	D15–0	SEG[47:32]	ESEG[47:32] display data	1	Black	0	White	0	R/W	Wave mode
					1	High	0	Low		Direct mode	
EPD Segment Data Register 3 (EPD_SEGDAT3)	0x5628 (16 bits)	D15–0	SEG[63:48]	ESEG[63:48] display data	1	Black	0	White	0	R/W	Wave mode
					1	High	0	Low		Direct mode	

**D[15:0] SEGxx: ESEGxx Display Data Bits**

各セグメントの表示データ/出力レベルを設定します。

1(R/W): 黒(波形モード)/Highレベル(ダイレクトモード)

0(R/W): 白(波形モード)/Lowレベル(ダイレクトモード) (デフォルト)

波形モードでは、SEGxxを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、セグメントを黒に変更する駆動波形がESEGxx端子から出力されます。SEGxxが0の場合は白に変更する駆動波形が出力されます。

ダイレクトモードでは、SEGxxを1に設定して表示更新トリガ(UPDTRG = 1)を与えることで、ESEGxx端子がHighレベルになります。SEGxxが0の場合はLowレベルになります。

注: データレジスタの設定のみでは、表示は更新されません。UPDTRGによる表示更新トリガが必要です。

**EPD Waveform Timing Set x Registers (EPD\_WAVEx)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
EPD Waveform Timing Set 0 Register (EPD_WAVE0)	0x5640	D15	<b>EOW</b>	End of wave	1	End	0	Continue	0	R/W
		D14	-	reserved	-	-	-	-	-	-
EPD Waveform Timing Set 31 Register (EPD_WAVE31)	0x567e (16 bits)	D13	<b>HIZ</b>	High impedance	1	Hi-Z	0	Output	0	R/W
		D12	<b>TP</b>	Top plane	1	High	0	Low	0	R/W
		D11	<b>BB</b>	Black to black	1	High	0	Low	0	R/W
		D10	<b>BW</b>	Black to white	1	High	0	Low	0	R/W
		D9	<b>WB</b>	White to black	1	High	0	Low	0	R/W
		D8	<b>WW</b>	White to white	1	High	0	Low	0	R/W
		D7-0	<b>INTV[7:0]</b>	Interval			0 to 255		0x0	R/W

これらのレジスタは波形モード時に使用する表示波形メモリの設定に使用します。

表示波形メモリには、15ビットで構成されるタイミングセットを最大32個格納できます(タイミングセット0~タイミングセット31)。EPD\_WAVExレジスタはタイミングセットxに対応します。タイミングセット0は表示更新トリガが与えられたときに最初に出力される状態とその期間を表します。それ以降、波形が変化する状態をひとつずつ、タイミングセット1~n(Max. 31)としてプログラミングします。

**D15 EOW: End of Wave Bit**

波形の終了位置を指定します。

1(R/W): 終了位置

0(R/W): 継続(デフォルト)

EOWを1に設定したタイミングセットで波形の生成は終了し、次の表示更新トリガまで、出力はハイインピーダンスになります。波形生成途中のタイミングセットのEOWは必ず0にしておきます。

**D14 Reserved****D13 HIZ: High Impedance Bit**

セグメントおよびバックプレーン端子をハイインピーダンスに設定します。

1(R/W): ハイインピーダンス

0(R/W): High/Low出力(デフォルト)

1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はハイインピーダンスになります(BB/BW/WB/WWの指定は無効)。0に設定するとBB/BW/WB/WWで指定されているレベルになります。

**D12 TP: Top Plane Bit**

トッププレーン端子の出力波形を設定します。

1(R/W): High

0(R/W): Low(デフォルト)

1に設定すると、そのタイミングセット期間内のトッププレーン出力はHigh(V<sub>EPD</sub>)レベル、0に設定するとLow(V<sub>SS</sub>)レベルになります。

- D11 BB: Black to Black Bit**  
表示更新時に表示が黒から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。  
1(R/W): High  
0(R/W): Low(デフォルト)  
1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はHigh( $V_{EPD}$ )レベル、0に設定するとLow( $V_{SS}$ )レベルになります。
- D10 BW: Black to White Bit**  
表示更新時に表示が黒から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。  
1(R/W): High  
0(R/W): Low(デフォルト)  
1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はHigh( $V_{EPD}$ )レベル、0に設定するとLow( $V_{SS}$ )レベルになります。
- D9 WB: White to Black Bit**  
表示更新時に表示が白から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。  
1(R/W): High  
0(R/W): Low(デフォルト)  
1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はHigh( $V_{EPD}$ )レベル、0に設定するとLow( $V_{SS}$ )レベルになります。
- D8 WW: White to White Bit**  
表示更新時に表示が白から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。  
1(R/W): High  
0(R/W): Low(デフォルト)  
1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はHigh( $V_{EPD}$ )レベル、0に設定するとLow( $V_{SS}$ )レベルになります。
- D[7:0] INTV[7:0]: Interval Bits**  
タイミングセットの期間をEPDTCCLKのクロック数で指定します。(デフォルト: 0x0)  
時間[s] = (INTV[7:0] + 1)/EPDTCCLK周波数

# 21 サウンドジェネレータ (SND)

## 21.1 SNDモジュールの概要

S1C17F57はブザー信号を発生するサウンドジェネレータ (SND) を内蔵しています。

主な機能を以下に示します。

- ブザー反転、非反転出力端子により圧電ブザーを駆動可能
- ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定可能
- デューティ比制御によるデジタルエンベロープ付加機能 (4種類の減衰時間を選択可能)
- 1ショット出力機能 (4種類の出力時間を選択可能)

図21.1.1にSNDモジュールの構成を示します。

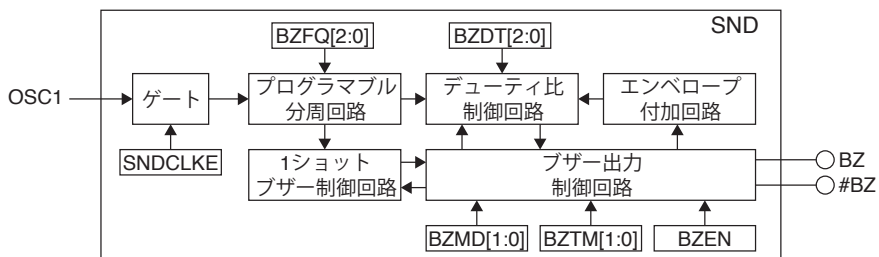


図21.1.1 SNDモジュールの構成

## 21.2 SND出力端子

表21.2.1にSND端子の一覧を示します。

表21.2.1 SND端子一覧

端子名	I/O	本数	機能
BZ	O	1	ブザー非反転出力端子 サウンドジェネレータで生成したブザー信号を出力します。
#BZ	O	1	ブザー反転出力端子 サウンドジェネレータで生成したブザー信号を反転出力します。

SNDモジュールの出力端子 (BZ、#BZ) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSNDモジュールの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート (P)”の章を参照してください。

## 21.3 SND動作クロック

SNDモジュールは、CLGモジュールが出力するOSC1クロック (32.768kHz Typ.) を動作クロックとして使用します。

SNDモジュールへのOSC1クロックの供給は、SNDCLKE/SND\_CLKレジスタで制御します。SNDCLKEのデフォルト設定は0で、クロックの供給は停止しています。SNDCLKEを1に設定すると、OSC1クロックがSNDモジュールに送られます。ブザー出力を行う前にSNDCLKEを1に設定してください。ブザー出力が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

OSC1発振回路の制御については、“クロックジェネレータ (CLG)”の章を参照してください。

注: 本章に記載のブザー周波数や1ショット出力時間は、OSC1クロック周波数が32.768kHzの場合の値です。それ以外のOSC1クロック周波数では、本章に記載の周波数や時間も変わります。

## 21.4 ブザー周波数と音量の設定

### 21.4.1 ブザー周波数

ブザー信号はOSC1クロック(32.768kHz)を分周して生成します。この分周比を変えることによって8種類の周波数が選択できるようになっています。ブザー周波数はBZFQ[2:0]/SND\_BZFQレジスタで選択します。

表21.4.1.1 ブザー周波数の選択

BZFQ[2:0]	ブザー周波数(Hz)
0x7	1170.3
0x6	1365.3
0x5	1638.4
0x4	2048.0
0x3	2340.6
0x2	2730.7
0x1	3276.8
0x0	4096.0

(デフォルト: 0x0)

### 21.4.2 音量

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。音量はBZDT[2:0]/SND\_BZDTレジスタで8種類から選択します。

表21.4.2.1 音量の設定

音量レベル	BZDT[2:0]	ブザー周波数(Hz)によるデューティ比			
		4096.0	3276.8	2730.7	2340.6
		2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0x0	8/16	8/20	12/24	12/28
レベル2	0x1	7/16	7/20	11/24	11/28
レベル3	0x2	6/16	6/20	10/24	10/28
レベル4	0x3	5/16	5/20	9/24	9/28
レベル5	0x4	4/16	4/20	8/24	8/28
レベル6	0x5	3/16	3/20	7/24	7/28
レベル7	0x6	2/16	2/20	6/24	6/28
レベル8(最小)	0x7	1/16	1/20	5/24	5/28

(デフォルト: 0x0)

BZDT[2:0]を0x0に設定すると音量が最大になり、0x7に設定すると音量が最小になります。

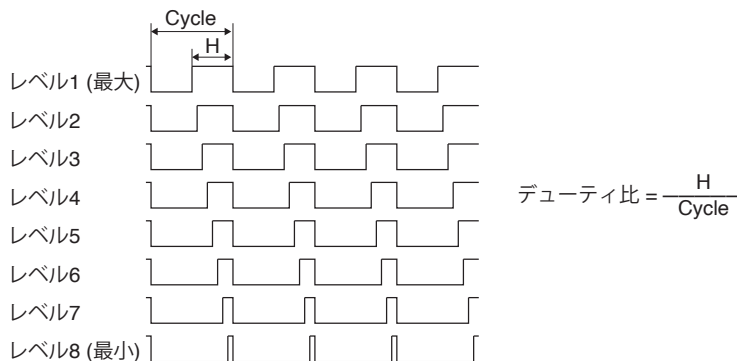


図21.4.2.1 ブザー信号波形のデューティ比

注: エンベロープモードに設定した場合、デューティ比の自動制御が行われるため、BZDT[2:0]の設定は無効となります。

## 21.5 ブザーモードと出力制御

### 21.5.1 ブザーモードの選択

SNDモジュールは3種類のブザーモードを持ち、それぞれに異なるブザー出力が可能です。ブザーモードはBZMD[1:0]/SND\_CTLレジスタで選択します。

表21.5.1.1 ブザーモード

BZMD[1:0]	ブザーモード
0x3	Reserved
0x2	エンベロープモード ソフトウェアトリガによりブザー出力を開始します。音量をレベル1(最大)から自動的に減少させ、レベル8(最小)になったところで出力を停止します。
0x1	1ショットモード キー操作音などを生成するためのモードで、ソフトウェアトリガにより一定時間のブザー出力を行い、自動的に停止します。
0x0	ノーマルモード ブザー出力をソフトウェアによってOn/Offするモードです。

(デフォルト: 0x0)

### 21.5.2 ノーマルモードの出力制御

ノーマルモードでは、BZEN/SND\_CTLレジスタを1に設定するとブザー出力を開始し、0に設定すると停止します。このモードでは、BZFQ[2:0]によるブザー周波数の設定とBZDT[2:0]による音量の設定がどちらも有効です。

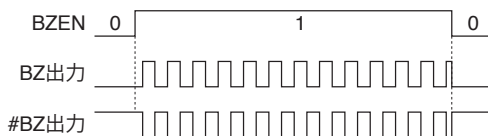


図21.5.2.1 ノーマルモードのブザー出力

注: ブザー信号はBZENとは非同期に発生させていますので、BZENの設定による信号のOn/Off時にハザードを生じることがあります。

### 21.5.3 1ショットモードの出力制御

キー操作音などのように短時間のブザー信号を出力させるために、SNDモジュールは1ショット出力機能を持っています。

#### 出力時間の選択

1ショットブザー信号の出力時間は、BZTM[1:0]/SND\_CTLレジスタによって4種類から選択できます。

表21.5.3.1 1ショットブザー出力時間の選択

BZTM[1:0]	出力時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

#### 出力制御

1ショットブザー出力は、BZEN/SND\_CTLレジスタへの1の書き込みにより開始します。このトリガが与えられると、ブザー信号がブザー出力端子から出力されます。その後、設定時間が経過するとブザー出力が停止します。

BZENはステータスビットとしても機能します。1ショット出力中は1を保持し、出力の終了により0にリセットされます。



## 21 サウンドジェネレータ (SND)

1ショット出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。

1ショット出力中にBZENに再度1を書き込んだ場合は、その時点から新たな1ショット出力が始まります。

1ショットモードでも、BZFQ[2:0]によるブザー周波数の設定とBZDT[2:0]による音量の設定がどちらも有効です。

図21.5.3.1に1ショットモードのタイミングチャートを示します。

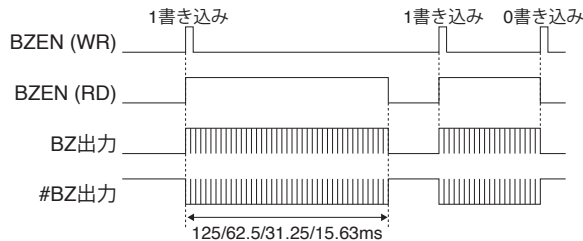


図21.5.3.1 1ショットモードのブザー出力

### 21.5.4 エンベロープモードの出力制御

エンベロープモードでは、ブザー信号にデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは表21.4.2.1の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

#### 減衰時間の選択

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタBZTM[1:0]/SND\_CTLレジスタによって4種類から選択できます。

表21.5.4.1 エンベロープ減衰時間の選択

BZTM[1:0]	減衰時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

#### 出力制御

エンベロープモードのブザー出力は、BZEN/SND\_CTLレジスタへの1の書き込みにより開始します。出力開始時にデューティ比がレベル1(最大)となり、選択した減衰時間ごとにレベル8(最小)まで段階的に変化します。レベル8(最小)まで減衰するとそこでブザー出力は停止します。

BZENはステータスビットとしても機能します。ブザー出力中は1を保持し、出力の終了により0にリセットされます。

ブザー出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。

ブザー出力中にBZENに再度1を書き込んだ場合は、その時点でデューティ比が最大に復帰し、新たなエンベロープ出力が始まります。

図21.5.4.1にエンベロープモードのタイミングチャートを示します。

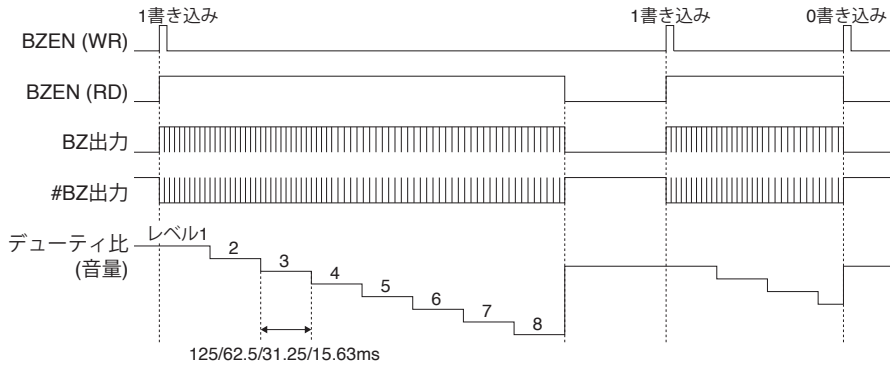


図21.5.4.1 エンベロープモードのブザー出力

## 21.6 制御レジスタ詳細

表21.6.1 SNDレジスタ一覧

アドレス	レジスタ名		機能
0x506e	SND_CLK	SND Clock Control Register	SNDクロックの制御
0x5180	SND_CTL	SND Control Register	ブザー出力の制御
0x5181	SND_BZFQ	Buzzer Frequency Control Register	ブザー周波数の設定
0x5182	SND_BZDT	Buzzer Duty Ratio Control Register	ブザー信号デューティ比の設定

以下、SNDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### SND Clock Control Register (SND\_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SND Clock Control Register (SND_CLK)	0x506e (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	SNDCLKE	SND clock enable	1   Enable   0   Disable	0	R/W	

D[7:1] **Reserved**

#### D0 **SNDCLKE: SND Clock Enable Bit**

SNDモジュールへのOSC1クロックの供給を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

SNDCLKEのデフォルト設定は0で、クロックの供給は停止しています。SNDCLKEを1に設定すると、OSC1クロックがSNDモジュールに送られ、ブザー出力が可能になります。ブザー出力が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

### SND Control Register (SND\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SND Control Register (SND_CTL)	0x5180 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.	
		D5-4	BZTM[1:0]	Buzzer envelope time/one-shot output time select	BZTM[1:0]	Time	0x0	R/W	
					0x3	125 ms			
					0x2	62.5 ms			
					0x1	31.25 ms			
D3-2	BZMD[1:0]	Buzzer mode select	BZMD[1:0]	Mode	0x0	R/W			
			0x3	reserved					
			0x2	Envelope					
0x1	One-shot								
0x0	Normal								
D1	-	reserved	-	-	-	-	0 when being read.		
D0	BZEN	Buzzer output control	1   On/Trigger   0   Off	0	R/W				

## 21 サウンドジェネレータ (SND)

D[7:6] Reserved

D[5:4] **BZTM[1:0]: Buzzer Envelope Time/One-shot Output Time Select Bits**

エンベロープ減衰時間または1ショット出力時間を選択します。

表21.6.2 エンベロープ減衰時間/1ショットブザー出力時間の選択

BZTM[1:0]	減衰時間/1ショット出力時間
0x3	125ms
0x2	62.5ms
0x1	31.25ms
0x0	15.63ms

(デフォルト: 0x0)

エンベロープモード時は、減衰時間(デューティ比を変化させる時間)を選択します(図21.5.4.1参照)。

1ショットモード時は、1ショットブザーの出力時間を選択します(図21.5.3.1参照)。

ノーマルモード時のブザー出力には影響を与えません。

D[3:2] **BZMD[1:0]: Buzzer Mode Select Bits**

ブザーモードを選択します。

表21.6.3 ブザーモード

BZMD[1:0]	ブザーモード
0x3	Reserved
0x2	エンベロープモード ソフトウェアトリガによりブザー出力を開始します。音量をレベル1(最大)から自動的に減少させ、レベル8(最小)になったところで出力を停止します。
0x1	1ショットモード キー操作音などを生成するためのモードで、ソフトウェアトリガにより一定時間のブザー出力を行い、自動的に停止します。
0x0	ノーマルモード ブザー出力をソフトウェアによってOn/Offするモードです。

(デフォルト: 0x0)

D1 Reserved

D0 **BZEN: Buzzer Output Control Bit**

ブザー出力を制御します。

1(R/W): On/トリガ

0(R/W): Off(デフォルト)

ノーマルモード

BZENを1に設定するとブザー出力を開始し、0に設定すると停止します。

1ショットモード

1ショットブザー出力は、BZENへの1の書き込みにより開始します。その後、BZTM[1:0]の設定時間が経過するとブザー出力が停止します。BZENはステータスビットとしても機能します。1ショット出力中は1を保持し、出力の終了により0にリセットされます。1ショット出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。1ショット出力中にBZENに再度1を書き込んだ場合は、その時点から新たな1ショット出力が始まります。

エンベロープモード

エンベロープモードのブザー出力は、BZENへの1の書き込みにより開始します。出力開始時にデューティ比がレベル1(最大)となり、BZTM[1:0]で選択した減衰時間ごとにレベル8(最小)まで段階的に変化します。レベル8(最小)まで減衰するとそこでブザー出力は停止します。BZENはステータスビットとしても機能します。ブザー出力中は1を保持し、出力の終了により0にリセットされます。ブザー出力中にBZENに0を書き込んだ場合は、その時点で出力を停止します。ブザー出力中にBZENに再度1を書き込んだ場合は、その時点でデューティ比が最大に復帰し、新たなエンベロープ出力が始まります。

## Buzzer Frequency Control Register (SND\_BZFQ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Buzzer Frequency Control Register (SND_BZFQ)	0x5181 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	<b>BZFQ[2:0]</b>	Buzzer frequency select	BZFQ[2:0]    Frequency	0x0	R/W		
					0x7	1170.3 Hz			
					0x6	1365.3 Hz			
					0x5	1638.4 Hz			
					0x4	2048.0 Hz			
					0x3	2340.6 Hz			
					0x2	2730.7 Hz			
					0x1	3276.8 Hz			
			0x0	4096.0 Hz					

D[7:3]    **Reserved**D[2:0]    **BZFQ[2:0]: Buzzer Frequency Select Bits**

ブザー信号の周波数を選択します。

表21.6.4 ブザー周波数の選択

BZFQ[2:0]	ブザー周波数 (Hz)
0x7	1170.3
0x6	1365.3
0x5	1638.4
0x4	2048.0
0x3	2340.6
0x2	2730.7
0x1	3276.8
0x0	4096.0

(デフォルト: 0x0)

## Buzzer Duty Ratio Control Register (SND\_BZDT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Buzzer Duty Ratio Control Register (SND_BZDT)	0x5182 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	<b>BZDT[2:0]</b>	Buzzer duty ratio select	BZDT[2:0]    Duty (volume)	0x0	R/W		
					0x7	Level 8 (Min.)			
					0x0	Level 1 (Max.)			

D[7:3]    **Reserved**D[2:0]    **BZDT[2:0]: Buzzer Duty Ratio Select Bits**

ブザー信号の音量を決定するデューティ比を選択します。

表21.6.5 音量の設定

音量レベル	BZDT[2:0]	ブザー周波数 (Hz) によるデューティ比			
		4096.0	3276.8	2730.7	2340.6
		2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0x0	8/16	8/20	12/24	12/28
レベル2	0x1	7/16	7/20	11/24	11/28
レベル3	0x2	6/16	6/20	10/24	10/28
レベル4	0x3	5/16	5/20	9/24	9/28
レベル5	0x4	4/16	4/20	8/24	8/28
レベル6	0x5	3/16	3/20	7/24	7/28
レベル7	0x6	2/16	2/20	6/24	6/28
レベル8 (最小)	0x7	1/16	1/20	5/24	5/28

(デフォルト: 0x0)

BZDT[2:0]を0x0に設定すると音量が最大になり、0x7に設定すると音量が最小になります。

注: エンベロープモードに設定した場合、デューティ比の自動制御が行われるため、BZDT[2:0]の設定は無効となります。

# 22 R/F変換器(RFC)

## 22.1 RFCモジュールの概要

S1C17F57は、2系統の変換チャンネルを持つR/F変換器(RFC)を内蔵しており、CR発振方式のA/D変換器として使用できます。抵抗性センサ(サーミスタや湿度センサ等)、および少数の受動部品(抵抗、容量)を接続するだけで簡単に温湿度計を実現することができます。

RFCモジュールの主な機能と特長を以下に示します。

- 変換方式: 抵抗 - 周波数変換型
- 変換チャンネル数: 最大2チャンネル
- 発振モード: DC発振モード(抵抗性センサ)  
AC発振モード(抵抗性センサ)
- カウンタ長: 24ビット
- 5種類の割り込みを発生可能: 基準発振完了割り込み  
センサA発振完了割り込み  
センサB発振完了割り込み  
計測カウンタオーバーフローエラー割り込み  
タイムベースカウンタオーバーフローエラー割り込み

図22.1.1に、RFCモジュールの構成を示します。

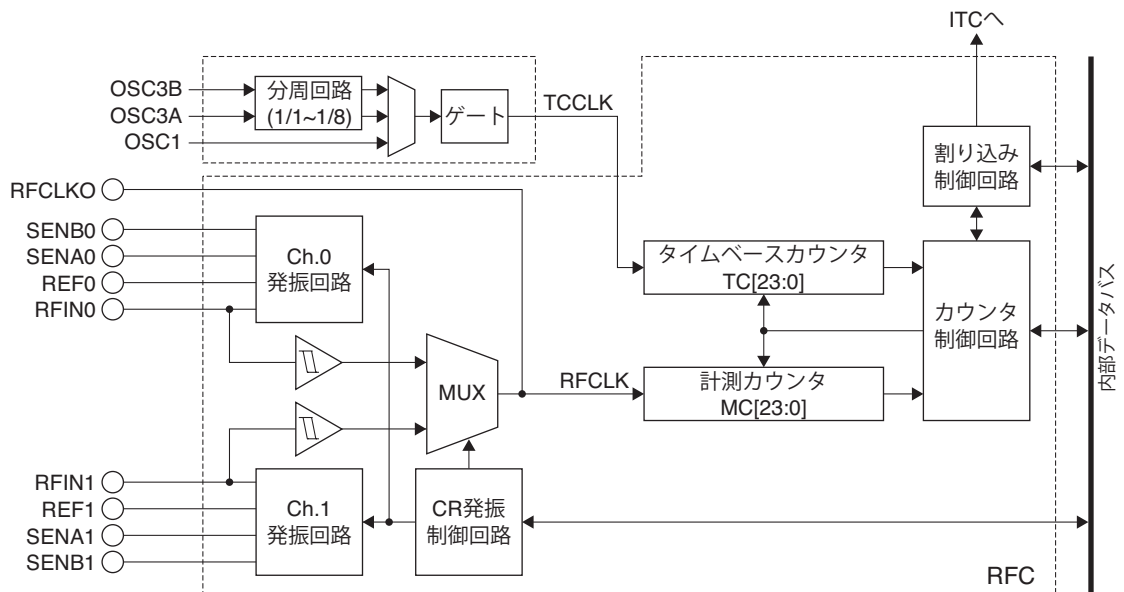


図22.1.1 R/F変換器の構成

R/F変換器に接続されたセンサの抵抗値は、CR発振回路によって周波数(RFCLK)に変換されます。この周波数を計測カウンタで一定時間カウントすることにより、センサ値に相当するデジタル値が得られます。R/F変換器には、測定時間を内部クロック(TCCLK)のカウントにより作り出すタイムベースカウンタも内蔵されています。また、センサをCR発振させるセンサ発振に加え、外的要因による変化の少ない基準素子をCR発振させる基準発振を行うことで、電圧変化や製造ばらつきといった誤差要因を取り除き、高精度の計測を実現します。CR発振回路は、通常のDC駆動に加え、AC駆動、外部クロック入力をサポートしており、多くのセンサに対応可能です。

## 22.2 RFC入出力端子

表22.2.1にRFCの入出力端子の一覧を示します。

表22.2.1 R/F変換器の入出力端子

端子名	I/O	本数	機能
SENB0/SENB1	I/O	2	センサB発振制御端子(注1)
SENA0/SENA1	I/O	2	センサA発振制御端子(注1)
REF0/REF1	I/O	2	基準発振制御端子(注1)
RFIN0/RFIN1	I/O	2	RFCLK入力および発振制御端子(注2)
RFCLKO	O	1	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

注: 1. ポート機能切り換え時は、端子がハイインピーダンスになります。

2. RFINx端子はポート機能切り換え時にVssになるため、外部からバイアスされている場合、大電流が流れる可能性があります。

R/F変換器の入出力端子は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをR/F変換器の入出力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 22.3 動作クロック

RFCモジュールには、動作クロックを制御するクロックソースセレクタ、分周回路、ゲート回路が組み込まれています。

注: R/F変換器の設定は動作クロック(TCCLK)の供給開始後に行ってください。クロックが供給されないと、R/F変換器は正常に動作しません。

### クロックソースの選択

クロックソースは、RFCCLKSRC[1:0]/RFC\_CLKレジスタを使用してOSC3B、OSC3A、OSC1から選択します。

表22.3.1 クロックソースの選択

RFCCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

### クロック分周比の選択

クロックソースがOSC1の場合

OSC1をクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままTCCLKとして使用されます。

クロックソースがOSC3BまたはOSC3Aの場合

OSC3BまたはOSC3Aをクロックソースとして選択した場合、RFCCLKD[1:0]/RFC\_CLKレジスタで分周比を選択します。

表22.3.2 OSC3B/OSC3A分周比の選択

RFCCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

タイムベースカウンタはここで選択したクロックをカウント用に使用します。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように注意する必要があります。

## クロックイネーブル

クロック供給は、RFCCLKE/RFC\_CLKレジスタで制御します。RFCCLKEのデフォルト設定は0で、クロックの供給は停止しています。RFCCLKEを1に設定すると、上記のとおり生成されたクロックがRFC回路に送られます。RFCの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

## 22.4 動作モード

RFCモジュールには、RFC内部発振回路を使用する2つの発振モードと、外部入力クロックを測定するモードがあります。また、CR発振クロック(RFCLK)の周波数を確認するため、モニタ機能および連続発振機能を持っています。これらのモードは、チャンネルごとに設定可能です。

### 22.4.1 発振モード

RFC内部発振回路を使用する測定では、接続した基準素子とセンサを同じ時間だけ発振させ、それぞれの発振周波数をカウントします。2つのカウント値の差からセンサ値をソフトウェアで算出することができます。R/F変換器はDC印加が可能な抵抗性センサ、AC印加を必要とする抵抗性センサに対応しています。RFC内部発振回路は、これらのセンサに合わせてSMODE[1:0]/RFC\_CTLレジスタで指定する以下の2種類の発振モードで動作します。

表22.4.1.1 発振モードの選択

SMODE[1:0]	発振モード
0x3~0x2	Reserved
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

(デフォルト: 0x0)

#### 抵抗性センサ測定用DC発振モード (SMODE[1:0] = 0x0、デフォルト)

DC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。DC印加が可能な抵抗性センサを接続した場合は、このモードに設定してください。このモードに設定すると、1つのチャンネルに抵抗性センサを2つ接続可能です。また、基準抵抗と基準容量をそれぞれ1個ずつ接続します。

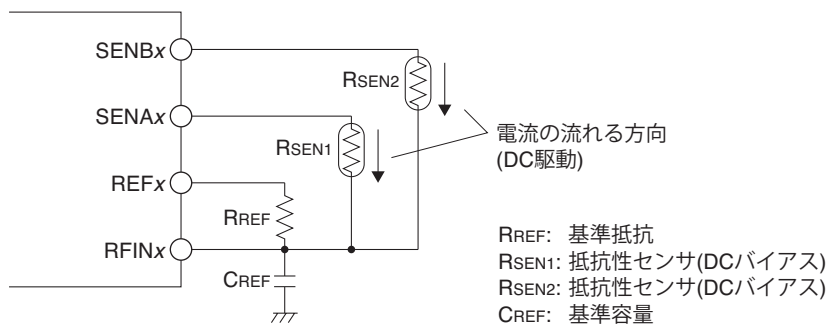


図22.4.1.1 抵抗性センサ測定用DC発振モードの接続例

抵抗性センサを1つしか使用しない場合、使用しない端子をオープンにしてください。

#### 抵抗性センサ測定用AC発振モード (SMODE[1:0] = 0x1)

AC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。AC印加が必要な抵抗性センサを接続した場合は、このモードに設定してください。このモードでは、1つのチャンネルに抵抗性センサを1つのみ接続可能です。また、基準抵抗と基準容量をそれぞれ1個ずつ接続します。

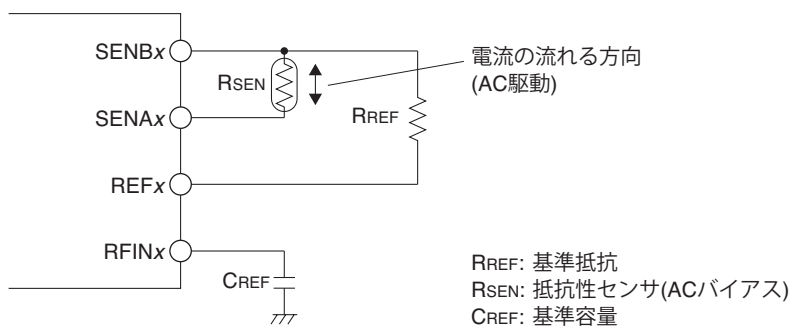


図22.4.1.2 抵抗性センサ測定用AC発振モードの接続例

## 22.4.2 外部クロック入力モード(イベントカウンタモード)

このモードでは、外部発振回路などからクロック/パルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、三角波、サイン波の入力も可能です(シュミット入力のしきい値については“電気的特性”を参照してください)。

この機能は、EVTEN/RFC\_CTLレジスタを1に設定すると有効になります。測定制御手順は内部発振回路使用時と同様です。

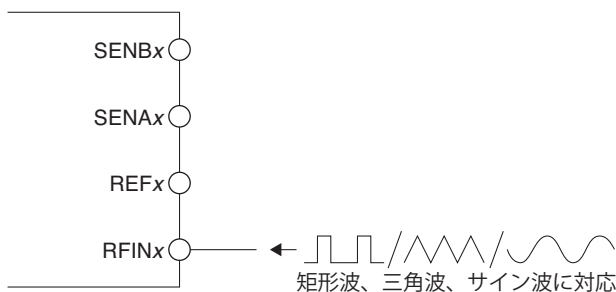


図22.4.2.1 外部クロック入力

使用しない端子はオープンにしてください。

## 22.4.3 CR発振クロック周波数測定用機能

### CR発振クロック (RFCLK) モニタ機能

変換動作中のCR発振クロック (RFCLK) を外部モニタのためにRFCLKO端子から出力することができます。これを、CR発振周波数を測定に使用できます。

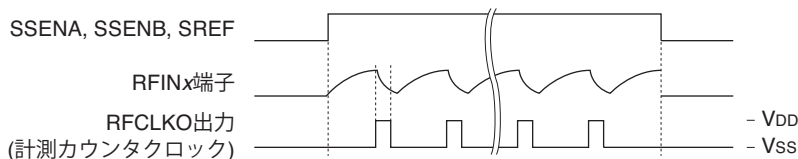


図22.4.3.1 CR発振クロック (RFCLK) 波形

### 連続発振機能

センサおよび基準素子によるCR発振は、停止条件で自動的に終了します。CONEN/RFC\_CTLレジスタを1に設定すると連続発振機能が有効となり、発振をソフトウェアで停止するまでCR発振を継続することができます。この機能をCR発振クロックモニタ機能と併用することで、容易なCR発振クロックの周波数測定が可能になります。



## 22.5 RFCカウンタ

R/F変換器には2種類のカウンタが内蔵されています。1つは基準素子とセンサの発振クロックをカウントする計測カウンタ(MC)、もう1つはTCCLKクロックをカウントするタイムベースカウンタ(TC)です。

### 計測カウンタ(MC)

計測カウンタは初期値のプリセットが可能な24ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、ICの製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

### タイムベースカウンタ(TC)

タイムベースカウンタは初期値のプリセットが可能な24ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間にTCCLKによるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが0になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

### カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウント値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。

基準素子とセンサの抵抗値がまったく同じ場合、<初期値> = <センサ発振終了時のカウンタ値>となります(誤差がない場合)。計測カウンタに設定する初期値を小さくすると測定精度が上がります。ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります(測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に0x0に設定しておきます。

## 22.6 変換動作

R/F変換器の変換動作は動作モードにかかわらず、チャンネルごとに初期設定→基準発振→センサ発振の手順で制御します。R/F変換器の2チャンネルは個別に制御可能ですが、2つを同時に動作させることはできません。以下、この制御手順を説明します。

説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。基準発振とセンサ発振のどちらを行うか、およびカウンタに設定する初期値などは使用目的に合わせて選択してください。

### 22.6.1 初期設定

#### クロックと端子の設定

- (1) R/F変換器の動作クロック(TCCLK)を選択し、クロック供給を開始させます。(22.3節参照)
- (2) R/F変換器で使用する端子を汎用入出力からR/F変換器用に切り換えます。“入出力ポート(P)”の章を参照してください。

#### R/F変換器のチャンネルとモードの設定

- (1) RFCEN/RFC\_CTLレジスタを1に設定して、R/F変換器を有効にします。
- (2) CHSEL/RFC\_CTLレジスタで変換を行うチャンネルを選択します。CHSELを0(デフォルト)に設定するとチャンネル0、1に設定するとチャンネル1が選択されます。
- (3) SMODE[1:0]/RFC\_CTLレジスタで発振モードを設定してください。(22.4.1節参照)

## 22.6.2 基準発振の制御

先に基準抵抗/容量による発振を行い、センサを同じ時間発振させるための値をタイムベースカウンタから取得します。

- (1) MC[23:0]/RFC\_MC(H/L)レジスタ(計測カウンタ)に初期値(0x0 - n)を設定します。
- (2) TC[23:0]/RFC\_TC(H/L)レジスタ(タイムベースカウンタ)を0x0に設定します。
- (3) RFC\_IFLGレジスタの割り込みフラグOVTCIF、EREFIFに1を書き込んでリセットします。
- (4) SREF/RFC\_TRGレジスタを1に設定し、基準発振を開始させます。  
基準抵抗/容量による発振が始まり、CR発振回路は計測カウンタにクロックを出力します。計測カウンタは設定された初期値からCR発振クロックでカウントアップを開始します。タイムベースカウンタは0x0からTCCLKでカウントアップを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) 計測カウンタまたはタイムベースカウンタがオーバーフロー(0xfffff → 0x0)すると、SREFが0にリセットされ、基準発振が自動的に終了します。
- (6-1) 計測カウンタがオーバーフローした場合は正常終了で、EREFIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でタイムベースカウンタの値(TC[23:0] = X)を読み出してメモリに保存しておきます。割り込みを使用しない場合は、EREFIFがセットされたことを確認して同様の処理を行ってください。
- (6-2) タイムベースカウンタがオーバーフローした場合は異常終了で、OVTCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVTCIFの状態を確認して同様の処理を行ってください。

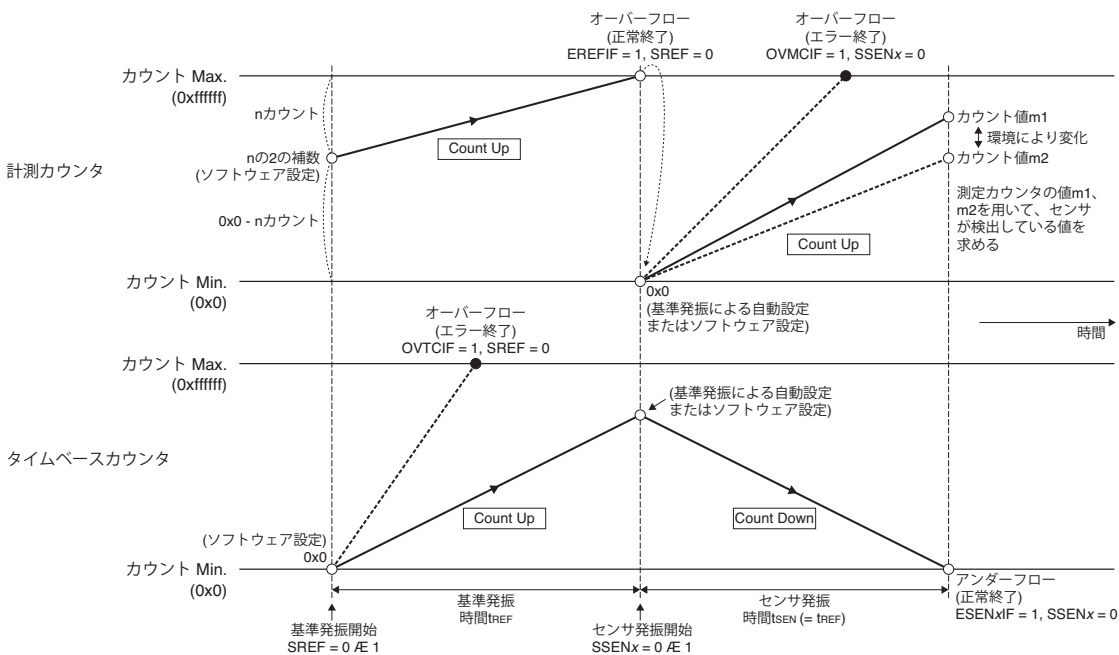


図22.6.2.1 基準発振/センサ発振によるカウンタの動作

### 22.6.3 センサ発振の制御

基準発振で取得したタイムベースカウンタ値の時間だけセンサによる発振を行い、発振クロックを計測カウンタでカウントします。

- (1) MC[23:0](計測カウンタ)に0x0を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (2) TC[23:0](タイムベースカウンタ)に基準発振でカウントされたタイムベースカウンタの値(X)を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (3) RFC\_IFLGレジスタの割り込みフラグOVMCIF、ESENBF、ESENAIFに1を書き込んでリセットします。
- (4) SSENA/RFC\_TRGレジスタ(センサA)またはSSENB/RFC\_TRGレジスタ(センサB)を1に設定し、センサ発振を開始させます。  
センサによる発振が始まり、CR発振回路は計測カウンタにクロックを出力します。  
計測カウンタは0x0からCR発振クロックでカウントアップを開始します。タイムベースカウンタは設定された初期値(X)からTCCLKでカウントダウンを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) タイムベースカウンタが0x0になるか、あるいは計測カウンタがオーバーフローすると(0xfffff → 0x0)、SSENAまたはSSENBが0にリセットされ、センサ発振が自動的に終了します。
- (6-1) タイムベースカウンタが0x0になった場合は正常終了で、ESENAIF(センサA)またはESENBF(センサB)が1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中で計測カウンタの値(MC[23:0] = m)を読み出して検出結果を処理します。割り込みを使用しない場合は、ESENAIFまたはESENBFがセットされたことを確認して同様の処理を行ってください。
- (6-2) 計測カウンタがオーバーフローした場合は異常終了で、OVMCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVMCIFの状態を確認して同様の処理を行ってください。

### 22.6.4 強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始したRFC\_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

### 22.6.5 変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \div m$ になります。このときの、nとmとの差が誤差になります。誤差要因として、外付け部品や基板の寄生素子の影響の他に、温度、電圧、ICの製造ばらつきなどが挙げられます。これらの誤差の目安については、“電氣的特性”を参照してください。

## 22.7 RFC割り込み

RFCモジュールには、以下の5種類の割り込みを発生させる機能があります。

- 基準発振完了割り込み
- センサA発振完了割り込み
- センサB発振完了割り込み
- 計測カウンタオーバーフローエラー割り込み
- タイムベースカウンタオーバーフローエラー割り込み

RFCモジュールは上記の5種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込みの要因を特定するには、割り込みフラグを読み出してください。

### 基準発振完了割り込み

この割り込みを使用するには、EREFIE/RFC\_IMSKレジスタを1に設定します。EREFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローにより基準発振が正常終了すると、EREFIF/RFC\_IFLGレジスタを1にセットします。基準発振完了割り込みが許可されていれば(EREFIE = 1)、これと同時に割り込み要求がITCに出力されます。

### センサA発振完了割り込み

この割り込みを使用するには、ESENAIE/RFC\_IMSKレジスタを1に設定します。ESENAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサA発振が正常終了すると、ESENAIF/RFC\_IFLGレジスタを1にセットします。センサA発振完了割り込みが許可されていれば(ESENAIE = 1)、これと同時に割り込み要求がITCに出力されます。

### センサB発振完了割り込み

この割り込みを使用するには、ESENBIIE/RFC\_IMSKレジスタを1に設定します。ESENBIIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサB発振が正常終了すると、ESENBIIF/RFC\_IFLGレジスタを1にセットします。センサB発振完了割り込みが許可されていれば(ESENBIIE = 1)、これと同時に割り込み要求がITCに出力されます。

### 計測カウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVMCIE/RFC\_IMSKレジスタを1に設定します。OVMCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローによりセンサ発振が異常終了すると、OVMCIF/RFC\_IFLGレジスタを1にセットします。計測カウンタオーバーフローエラー割り込みが許可されていれば(OVMCIE = 1)、これと同時に割り込み要求がITCに出力されます。

### タイムベースカウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVTCIE/RFC\_IMSKレジスタを1に設定します。OVTCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタのオーバーフローにより基準発振が異常終了すると、OVTCIF/RFC\_IFLGレジスタを1にセットします。タイムベースカウンタオーバーフローエラー割り込みが許可されていれば(OVTCIE = 1)、これと同時に割り込み要求がITCに出力されます。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

注: • RFC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、割り込みフラグをリセットする必要があります。割り込みフラグは1の書き込みによりリセットされます。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

## 22.8 制御レジスタ詳細

表22.8.1 RFCレジスタ一覧

アドレス	レジスタ名		機能
0x5067	RFC_CLK	RFC Clock Control Register	動作クロックの選択
0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御
0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御
0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ
0x53a6	RFC_MCH	RFC Measurement Counter High Register	
0x53a8	RFC_TCL	RFC Time Base Counter Low Register	タイムベースカウンタデータ
0x53aa	RFC_TCH	RFC Time Base Counter High Register	
0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込み許可/禁止
0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、R/F変換器のレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### RFC Clock Control Register (RFC\_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.	
		D5-4	RFCCLKD [1:0]	RFC clock division ratio select	RFCCLKD[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
D3-2	RFCCLK SRC[1:0]	RFC clock source select	RFCCLK SRC[1:0]	Clock source	0x0	R/W			
0x3			reserved						
0x2			OSC3A						
D1	-	reserved	-	-	-	0 when being read.			
D0	RFCCLKE	RFC clock enable	1 Enable	0 Disable	0	R/W			

**D[7:6] Reserved**

**D[5:4] RFCCLKD[1:0]: RFC Clock Division Ratio Select Bits**

クロックソースにOSC3BまたはOSC3Aを使用する場合に、カウントクロックを生成する分周比を選択します。

表22.8.2 OSC3B/OSC3A分周比の選択

RFCCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

**D[3:2] RFCCLKSRC[1:0]: RFC Clock Source Select Bits**

クロックソースを選択します。

表22.8.3 クロックソースの選択

RFCCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1 Reserved**

**D0 RFCCLKE: RFC Clock Enable Bit**

TCCLKクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

RFCCLKEのデフォルト設定は0で、クロックの供給は停止しています。RFCCLKEを1に設定すると、選択されたクロックがR/Fコンバータに送られます。

## RFC Control Register (RFC\_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	-	reserved	-		-	-	0 when being read.	
		D7	<b>CONEN</b>	Continuous oscillation enable	1	Enable	0	Disable	0	R/W
		D6	<b>EVTEN</b>	Event counter mode enable	1	Enable	0	Disable	0	R/W
		D5-4	<b>SMODE[1:0]</b>	Sensor oscillation mode select	SMODE[1:0]		Sensor		0x0	R/W
					0x3-0x2	reserved				
					0x1 0x0	AC resistive DC resistive				
		D3-2	-	reserved	-		-	-	-	0 when being read.
D1	<b>CHSEL</b>	Conversion channel select	1	Ch.1	0	Ch.0	0	R/W		
D0	<b>RFCEN</b>	RFC enable	1	Enable	0	Disable	0	R/W		

### D[15:8] Reserved

#### D7 **CONEN: Continuous Oscillation Enable Bit**

CR発振の自動停止を禁止して、連続発振を可能にします。

1(R/W): 連続発振許可

0(R/W): 連続発振禁止(デフォルト)

CONENを1に設定すると、基準発振/センサ発振の停止条件を無効としてCR発振を停止させないようにすることができます。この場合も発振を開始するには、RFC\_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)を1に設定してください。発振を停止するにはこれらのビットを0に設定します。

この機能をCR発振クロックモニタ機能と併用することで、CR発振クロック周波数を容易に測定することができます。

#### D6 **EVTEN: Event Counter Mode Enable Bit**

外部クロック入力モード(イベントカウンタモード)を有効にします。

1(R/W): 外部クロック入力モード

0(R/W): 通常モード(デフォルト)

EVTENを1に設定すると、RFIN<sub>x</sub>端子への外部クロック入力が可能になります。ただし、変換動作を行うためには、内部発振時と同様に、RFC\_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)による発振開始(変換開始)制御が必要です。

注: EVTENを1に設定する前に、外部クロックを入力しないでください。RFIN<sub>x</sub>端子は、端子機能をR/F変換器用に切り換えた時点でV<sub>SS</sub>にプルダウンされます。

### D[5:4] **SMODE[1:0]: Sensor Oscillation Mode Select Bits**

発振モードを設定します。

表22.8.4 発振モードの選択

SMODE[1:0]	発振モード
0x3~0x2	Reserved
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

(デフォルト: 0x0)

発振モードの詳細については、22.4.1節を参照してください。

### D[3:2] Reserved

#### D1 **CHSEL: Conversion Channel Select Bit**

変換チャンネルを設定します。

1(R/W): Ch.1

0(R/W): Ch.0(デフォルト)

本レジスタのD[7:4]の設定とRFC\_TRGレジスタによる発振制御は、このビットで指定されているチャンネルに対して有効です。

- D0 RFCEN: RFC Enable Bit**  
 R/F変換器の動作を許可/禁止します。  
 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)

RFCENを1に設定すると変換動作が行える状態になります。RFCENが0の場合、RFC\_TRGレジスタによる発振制御操作は無効になります。

## RFC Oscillation Trigger Register (RFC\_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	-	reserved		-	-	0 when being read.
		D2	<b>SSENB</b>	Sensor B oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D1	<b>SSENA</b>	Sensor A oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D0	<b>SREF</b>	Reference oscillation control/status	1 Start/Run 0 Stop	0	R/W	

**D[15:3] Reserved**

- D2 SSENB: Sensor B Oscillation Control/Status Bit**  
 センサBのCR発振を制御します。また、CR発振の状態を示します。  
 1(W): 発振開始  
 0(W): 発振停止  
 1(R): 発振中  
 0(R): 停止中(デフォルト)

センサBは抵抗性センサAC発振モードでは使用できません。

- D1 SSENA: Sensor A Oscillation Control/Status Bit**  
 センサAのCR発振を制御します。また、CR発振の状態を示します。  
 1(W): 発振開始  
 0(W): 発振停止  
 1(R): 発振中  
 0(R): 停止中(デフォルト)

- D0 SREF: Reference Oscillation Control/Status Bit**  
 基準素子のCR発振を制御します。また、CR発振の状態を示します。  
 1(W): 発振開始  
 0(W): 発振停止  
 1(R): 発振中  
 0(R): 停止中(デフォルト)

- 注: • RFCEN/RFC\_CTLレジスタが0(変換操作禁止)の場合、SREF、SSENA、SSENBはすべて無効になります。
- SMODE[1:0]/RFC\_CTLレジスタが0x1(抵抗性センサAC発振モード)のときに、SSENBに1を書き込んでも発振を開始しません。
  - 発振を開始させる場合は必ずSREF、SSENA、SSENBの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。
  - SREF、SSENA、SSENBで発振を開始させる前に、必ずRFC\_IFLGレジスタの割り込みフラグ(EREFIF、ESENAIF、ESENBF、OVMCIF、OVTCIF)をリセットしてください。

## RFC Measurement Counter Low and High Registers (RFC\_MCL, RFC\_MCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15-8 D7-0	- MC[23:16]	reserved Measurement counter high-order 8-bit data	- 0x0-0xff	- 0x0	- R/W	0 when being read.

## D[7:0]/RFC\_MCH, D[15:0]/RFC\_MCL

## MC[23:0]: Measurement Counter Bits

計測カウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

注: 計測カウンタにデータを設定する場合は、必ず下位の値(MC[15:0]/RFC\_MCLレジスタ)から先に書き込んでください。上位の値(MC[23:16]/RFC\_MCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

## RFC Time Base Counter Low and High Registers (RFC\_TCL, RFC\_TCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15-0	TC[15:0]	Time base counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15-8 D7-0	- TC[23:16]	reserved Time base counter high-order 8-bit data	- 0x0-0xff	- 0x0	- R/W	0 when being read.

## D[7:0]/RFC\_TCH, D[15:0]/RFC\_TCL

## TC[23:0]: Time Base Counter Bits

タイムベースカウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

注: タイムベースカウンタにデータを設定する場合は、必ず下位の値(TC[15:0]/RFC\_TCLレジスタ)から先に書き込んでください。上位の値(TC[23:16]/RFC\_TCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

## RFC Interrupt Mask Register (RFC\_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15-5	-	reserved	-	-	-	0 when being read.
		D4	OVMCIE	TC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W			

## D[15:5] Reserved

## D4 OVMCIE: TC Overflow Error Interrupt Enable Bit

タイムベースカウンタオーバーフロー割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

## D3 OVMCIE: MC Overflow Error Interrupt Enable Bit

計測カウンタオーバーフローエラー割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)



**D2 ESENBIE: Sensor B Oscillation Completion Interrupt Enable Bit**

センサB発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

**D1 ESENAIE: Sensor A Oscillation Completion Interrupt Enable Bit**

センサA発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

**D0 EREFIE: Reference Oscillation Completion Interrupt Enable Bit**

基準発振完了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

**RFC Interrupt Flag Register (RFC\_IFLG)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15-5	-	reserved	-	-	-	0 when being read.	
		D4	<b>OVTCIF</b>	TC overflow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	<b>OVMCIF</b>	MC overflow error interrupt flag			0	R/W	
		D2	<b>ESENBIF</b>	Sensor B oscillation completion interrupt flag			0	R/W	
		D1	<b>ESENAIF</b>	Sensor A oscillation completion interrupt flag			0	R/W	
		D0	<b>EREFIF</b>	Reference oscillation completion interrupt flag			0	R/W	

**D[15:5] Reserved****D4 OVTCIF: TC Overflow Error Interrupt Flag Bit**

タイムベースカウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

OVTCIFはタイムベースカウンタのオーバーフローにより基準発振が異常終了すると1にセットされます。OVTCIFは1の書き込みによりリセットされます。

**D3 OVMCIF: MC Overflow Error Interrupt Flag Bit**

計測カウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

OVMCIFは計測カウンタのオーバーフローによりセンサ発振が異常終了すると1にセットされます。OVMCIFは1の書き込みによりリセットされます。

**D2 ESENBIF: Sensor B Oscillation Completion Interrupt Flag Bit**

センサB発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

ESENBIFはタイムベースカウンタが0x0になり、センサB発振が正常終了すると1にセットされます。ESENBIFは1の書き込みによりリセットされます。

**D1 ESENAIF: Sensor A Oscillation Completion Interrupt Flag Bit**

センサA発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

ESENAIFはタイムベースカウンタが0x0になり、センサA発振が正常終了すると1にセットされます。ESENAIFは1の書き込みによりリセットされます。

**D0 EREFIF: Reference Oscillation Completion Interrupt Flag Bit**

基準発振完了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

EREFIFは計測カウンタのオーバーフローにより基準発振が正常終了すると1にセットされます。EREFIFは1の書き込みによりリセットされます。

# 23 温度検出回路 (TEM)

## 23.1 TEMモジュールの概要

S1C17F57はチップの温度を検出可能な温度検出回路を内蔵しています。検出した温度はソフトウェアによって読み出し可能です。

TEMモジュールの特長を以下に示します。

- 温度センサ検出可能温度範囲:  $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$
- リニアサーチによるセンサ出力電圧 - デジタル値 (8ビット) 変換回路
- 変換時間 (比較時間) 調整機能 \* センサ検出電圧と基準電圧を比較する方式です。
- 変換終了割り込みを発生可能

図23.1.1にTEMモジュールの構成を示します。

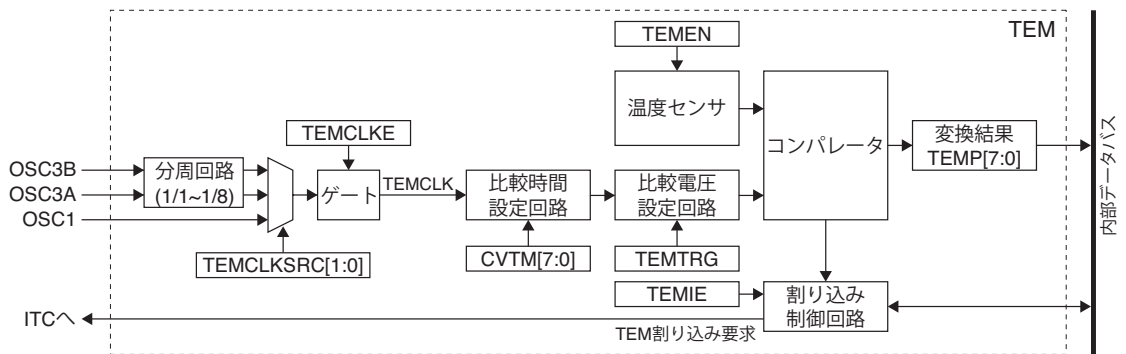


図23.1.1 TEMモジュールの構成

## 23.2 動作クロック

TEMモジュールには、動作クロック(TEMCLK)を制御するクロックソースセクタ、分周回路、ゲート回路が組み込まれています。

### クロックソースの選択

クロックソースは、TEMCLKSRC[1:0]/TEM\_CLKレジスタを使用してOSC3B、OSC3A、OSC1から選択します。

表23.2.1 クロックソースの選択

TEMCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

### クロック分周比の選択

クロックソースがOSC1の場合

OSC1をクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままTEMCLKとして使用されます。

クロックソースがOSC3BまたはOSC3Aの場合

OSC3BまたはOSC3Aをクロックソースとして選択した場合、TEMCLKD[1:0]/TEM\_CLKレジスタで分周比を選択します。

表23.2.2 OSC3B/OSC3A分周比の選択

TEMCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

### クロックイネーブル

クロック供給は、TEMCLKE/TEM\_CLKレジスタで制御します。TEMCLKEのデフォルト設定は0で、クロックの供給は停止しています。TEMCLKEを1に設定すると、上記のとおり生成されたクロックがTEM回路に送られます。TEMの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

## 23.3 TEMの制御

TEMモジュールは、温度センサの出力電圧(温度によって変わる)と8ビットのデジタル値(0x0~0xff)から生成された比較電圧をコンパレータで比較することによって、温度を検出します。比較電圧は8ビット値の0から比較が始まり、設定した比較時間ごとにインクリメントされます(最大256ステップ)。センサ出力と比較電圧が一致すると、比較電圧の8ビット値が変換結果としてレジスタに設定され、温度変換を終了します。この時点で割り込みを発生可能なため、割り込み処理で検出結果を読み出すことができます。

### 比較時間の設定

個々の比較電圧をコンパレータで比較する時間をCVTM[7:0]/TEM\_TIMEレジスタで設定します。比較時間は、ばらつきも考慮した上で150 $\mu$ s以上となるように設定する必要があります。

$$\text{比較時間} = \frac{\text{CVTM} + 1}{f_{\text{TEMCLK}}} \geq 150\mu\text{s}$$

CVTM: CVTM[7:0]設定値(0~255)

f<sub>TEMCLK</sub>: TEMCLK周波数

### 温度変換の制御

TEMモジュールによる温度変換は、以下の手順で行います。

- (1)動作クロックTEMCLKを選択後、TEMモジュールに供給します。(23.2節参照)
- (2)CVTM[7:0]で比較時間を設定します。
- (3)TEM割り込みを許可します。(23.4節参照)
- (4)TEMEN/TEM\_CTLレジスタに1を書き込み、温度センサをOnします。  
これにより、温度センサは温度の検出を開始します。
- (5)温度センサが安定する10ms以上の待ち時間を取ります。
- (6)TEMTRG/TEM\_CTLレジスタに1を書き込み、温度変換を開始します。  
変換動作中はTEMST/TEM\_STATレジスタが1となり、変換が終了すると0に戻ります。  
ただし、TEMTRGへの1書き込み後、TEMSTが1にセットされるまで最長でTEMCLKの1サイクルの時間がかかります。  
変換時間は、設定した比較時間と、現在の温度により変わります。  
変換動作中にTEMTRGに0を書き込むことで、温度変換を中止することができます。この場合の変換結果は無効です。
- (7)変換が終了するとTEM割り込みが発生します。  
割り込み発生後にTEMP[7:0]/TEM\_RSLTレジスタから変換結果を読み出します。
- (8)次の温度変換を行うには、再度TEMTRGに1を書き込みます。

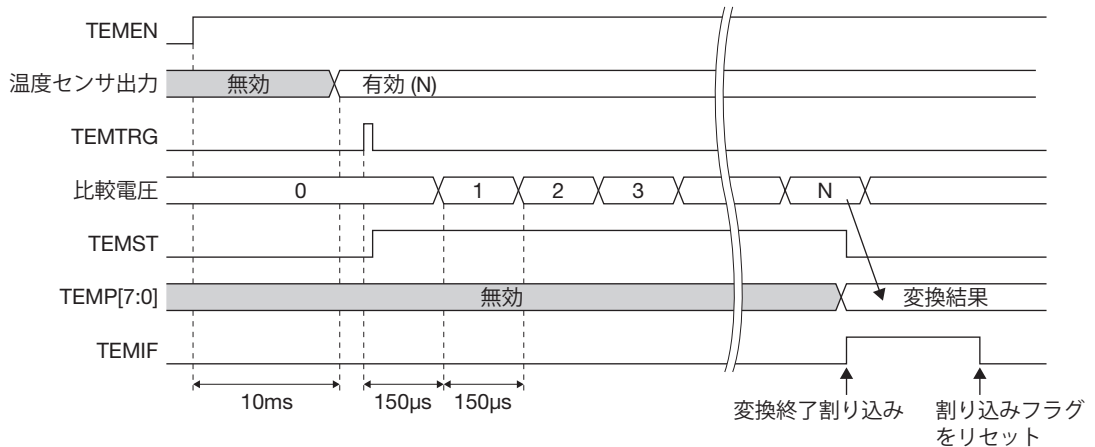


図23.3.1 温度変換動作

## 検出結果と温度の対応

TEMP[7:0]から読み出した8ビット値と温度(検出範囲内)との対応を以下に示します。

表23.3.1 検出温度

保証範囲外		保証範囲		保証範囲外	
TEMP[7:0]	温度(°C)	TEMP[7:0]	温度(°C)	TEMP[7:0]	温度(°C)
0xff~0xdf	無効	0xb5	0.1	0x80	50.5
		0xb4	1.1	0x7f	51.5
		0xb3	2.0	0x7e	52.4
		0xb2	3.0	0x7d	53.3
		0xb1	3.9	0x7c	54.3
		0xb0	4.9	0x7b	55.2
		0xaf	5.9	0x7a	56.2
		0xae	6.8	0x79	57.1
		0xad	7.8	0x78	58.0
		0xac	8.7	0x77	59.0
0xdf	(-40.8)	0xab	9.7	0x76	59.9
		0xaa	10.7	0x75	60.8
0xde	-39.9	0xa9	11.6	0x74	61.8
0xdd	-38.9	0xa8	12.6	0x73	62.7
0xdc	-37.9	0xa7	13.5	0x72	63.6
0xdb	-36.9	0xa6	14.5	0x71	64.6
0xda	-35.9	0xa5	15.5	0x70	65.5
0xd9	-34.9	0xa4	16.4	0x6f	66.4
0xd8	-34.0	0xa3	17.4	0x6e	67.4
0xd7	-33.0	0xa2	18.3	0x6d	68.3
0xd6	-32.0	0xa1	19.3	0x6c	69.2
0xd5	-31.0	0xa0	20.2	0x6b	70.1
0xd4	-30.0	0x9f	21.2	0x6a	71.1
0xd3	-29.1	0x9e	22.1	0x69	72.0
0xd2	-28.1	0x9d	23.1	0x68	72.9
0xd1	-27.1	0x9c	24.0	0x67	73.9
0xd0	-26.1	0x9b	25.0	0x66	74.8
0xcf	-25.1	0x9a	26.0	0x65	75.7
0xce	-24.2	0x99	26.9	0x64	76.6
0xcd	-23.2	0x98	27.9	0x63	77.6
0xcc	-22.2	0x97	28.8	0x62	78.5
0xcb	-21.2	0x96	29.8	0x61	79.4
0xca	-20.3	0x95	30.7	0x60	80.3
0xc9	-19.3	0x94	31.7	0x5f	81.3
0xc8	-18.3	0x93	32.6	0x5e	82.2
0xc7	-17.3	0x92	33.5	0x5d	83.1
0xc6	-16.4	0x91	34.5	0x5c	84.0
0xc5	-15.4	0x90	35.4	0x5b	85.0
0xc4	-14.4	0x8f	36.4	0x5a~0x0	無効
0xc3	-13.5	0x8e	37.3		
0xc2	-12.5	0x8d	38.3		
0xc1	-11.5	0x8c	39.2		
0xc0	-10.5	0x8b	40.2		
0xbf	-9.6	0x8a	41.1		
0xbe	-8.6	0x89	42.1		
0xbd	-7.6	0x88	43.0		
0xbc	-6.7	0x87	43.9		
0xbb	-5.7	0x86	44.9		
0xba	-4.7	0x85	45.8		
0xb9	-3.8	0x84	46.8		
0xb8	-2.8	0x83	47.7		
0xb7	-1.8	0x82	48.7		
0xb6	-0.9	0x81	49.6		

温度保証範囲(0°C~50°C)内の誤差: ±5°C

有効な変換値の範囲は0x5b~0xdeです。TEMP[7:0]の読み出し値がこの範囲外の場合は変換エラーとして処理してください。

注: 検出結果はデバイス内のセンサで測定した、デバイス内部の温度です。

## 23.4 TEM割り込み

TEMモジュールには、温度の変換が終了した時点で割り込みを発生させる機能があります。温度変換が終了すると、割り込みフラグTEMIF/TEM\_STATレジスタが1にセットされます。この割り込みを使用するには、TEMIE/TEM\_CTLレジスタを1に設定します。TEMIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。TEMIEが1(割り込み許可)に設定されている状態で、TEMIFが1にセットされるとTEMモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。TEMIFは1の書き込みによりリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- TEM割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、TEMモジュール内の割り込みフラグTEMIFをリセットする必要があります。
  - 不要な割り込みの発生を防止するため、TEMIEによってTEM割り込みを許可する前に、TEMIFをリセットしてください。

## 23.5 制御レジスタ詳細

表23.5.1 TEMレジスタ一覧

アドレス	レジスタ名		機能
0x506f	TEM_CLK	TEM Clock Control Register	TEMクロックの制御
0x51a0	TEM_TIME	TEM Comparison Time Setting Register	センサ出力比較時間の設定
0x51a1	TEM_CTL	TEM Control Register	温度検出回路の制御
0x51a2	TEM_STAT	TEM Status Register	変換状態の表示
0x51a3	TEM_RSLT	TEM Conversion Result Register	温度変換結果

以下、TEMモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### TEM Clock Control Register (TEM\_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TEM Clock Control Register (TEM_CLK)	0x506f (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.
		D5-4	TEMCLKD [1:0]	TEM clock division ratio select	TEMCLKD[1:0]   Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
		D3-2	TEMCLK SRC[1:0]	TEM clock source select	TEMCLK SRC[1:0]   Clock source	0x0	R/W	
0x3	reserved							
		0x2	OSC3A					
		0x1	OSC1					
		0x0	OSC3B					
		D1	-	reserved	-	-	0 when being read.	
		D0	TEMCLKE	TEM clock enable	1   Enable	0   Disable	0	R/W

D[7:6] **Reserved**

D[5:4] **TEMCLKD[1:0]: TEM Clock Division Ratio Select Bits**

クロックソースにOSC3BまたはOSC3Aを使用する場合に、TEMCLKを生成する分周比を選択します。

表23.5.2 OSC3B/OSC3A分周比の選択

TEMCLKD[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

**D[3:2] TEMCLKSRC[1:0]: TEM Clock Source Select Bits**

クロックソースを選択します。

表23.5.3 クロックソースの選択

TEMCLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3A
0x1	OSC1
0x0	OSC3B

(デフォルト: 0x0)

**D1 Reserved****D0 TEMCLKE: TEM Clock Enable Bit**

TEMCLKクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

TEMCLKEのデフォルト設定は0で、クロックの供給は停止しています。TEMCLKEを1に設定すると、選択されたクロックが温度検出回路に送られます。

**TEM Comparison Time Setting Register (TEM\_TIME)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TEM Comparison Time Setting Register (TEM_TIME)	0x51a0 (8 bits)	D7-0	CVTM[7:0]	Comparison time select	0 to 255 clocks	0	R/W	
				$\frac{CVTM[7:0] + 1}{f_{TEMCLK}} \geq 150 \mu s$				

**D[7:0] CVTM[7:0]: Comparison Time Select Bits**

センサ出力と比較電圧をコンパレータで比較する時間を設定します。(デフォルト: 0x0)

比較時間は、ばらつきも考慮した上で少なくとも150 $\mu$ s以上となるように設定する必要があります。

$$\text{比較時間} = \frac{CVTM + 1}{f_{TEMCLK}} \geq 150\mu s$$

CVTM: CVTM[7:0]設定値(0~255)

f<sub>TEMCLK</sub>: TEMCLK周波数**TEM Control Register (TEM\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
TEM Control Register (TEM_CTL)	0x51a1 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	TEMIE	Conversion completion int. enable	1 Enable   0 Disable	0	R/W		
		D3-2	-	reserved	-	-	-	-	0 when being read.
		D1	TEMTRG	Conversion trigger	1 Start   0 Stop	0	W		
		D0	TEMEN	TEM enable	1 Enable   0 Disable	0	R/W		

**D[7:5] Reserved****D4 TEMIE: Conversion Completion Interrupt Enable Bit**

変換終了割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

**D[3:2] Reserved**



**D1 TEMTRG: Conversion Trigger Bit**

温度変換を開始します。

1(W): 変換開始

0(W): 変換中止(デフォルト)

TEMTRGに1を書き込むことにより、変換動作を開始します。TEMENに1を書き込んで温度センサをOnにした直後は、10ms以上のセンサ安定待ち時間を取ってから、変換を開始してください。

変換動作中にTEMTRGに0を書き込むことで、温度変換を中止することができます。この場合の変換結果は無効です。

**D0 TEMEN: TEM Enable Bit**

温度センサの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TEMENを1に設定すると、温度センサが検出状態に従って出力電圧を発生します。この書き込みの後、温度センサの出力が安定するまでには、10msの時間が必要です。

**TEM Status Register (TEM\_STAT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TEM Status Register (TEM_STAT)	0x51a2 (8 bits)	D7-5	--	reserved		--	--	0 when being read.
		D4	TEMIF	Conversion completion interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3-1	--	reserved		--	--	0 when being read.
		D0	TEMST	Conversion status	1 Busy 0 Idle	0	R	

**D[7:5] Reserved****D4 TEMIF: Conversion Completion Interrupt Flag Bit**

変換終了割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

TEMIFはTEMモジュールの割り込みフラグで、温度変換動作が終了すると1にセットされます。TEMIFは1の書き込みによりリセットされます。

**D[3:1] Reserved****D0 TEMST: Conversion Status Bit**

温度変換の動作状態を示します。

1(R): 変換中

0(R): 停止中(デフォルト)

TEMTRG/TEM\_CTLレジスタによって変換動作を開始すると、TEMSTは1になり、変換動作が終了すると0に戻ります。ただし、TEMTRGへの1書き込み後、TEMSTが1にセットされるまで最長でTEMCLKの1サイクルの時間がかかります。

**TEM Conversion Result Register (TEM\_RSLT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TEM Conversion Result Register (TEM_RSLT)	0x51a3 (8 bits)	D7-0	TEMP[7:0]	Conversion result	0 to 255	0	R	

**D[7:0] TEMP[7:0]: Conversion Result Bits**

温度変換結果が読み出せます。(デフォルト:0x0)

変換終了前の読み出し値は無効です。

読み出し値と温度の対応については、表23.3.1を参照してください。

# 24 電源電圧検出回路(SVD)

## 24.1 SVDモジュールの概要

S1C17F57はV<sub>DD</sub>端子に供給される電源電圧を監視するSVD(電源電圧検出)回路を内蔵しています。電源電圧がソフトウェアで設定した検出レベルより低下しているか否かを確認できます。

SVDモジュールの主な機能と特長を以下に示します。

- 検出する電源電圧: V<sub>DD</sub>
- 検出電圧レベル: 13レベル(2.0V~3.2V)

図24.1.1にSVDモジュールの構成を示します。

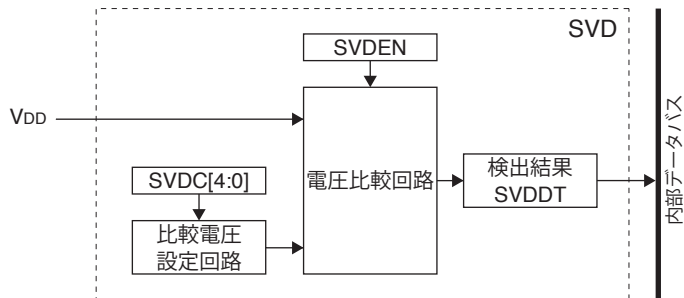


図24.1.1 SVD回路の構成

## 24.2 比較電圧の設定

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(V<sub>DD</sub>)の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。比較電圧はSVDC[4:0]/SVD\_CMPレジスタによって表24.2.1の13種類から選択できます。

表24.2.1 比較電圧の設定

SVDC[4:0]	比較電圧	SVDC[4:0]	比較電圧
0x1f	Reserved	0xf	2.10V
0x1e		0xe	2.00V
0x1d		0xd	Reserved
0x1c		0xc	
0x1b		0xb	
0x1a	0xa		
0x19	3.20V	0x9	
0x18	3.10V	0x8	
0x17	3.00V	0x7	
0x16	2.90V	0x6	
0x15	2.80V	0x5	
0x14	2.70V	0x4	
0x13	2.60V	0x3	
0x12	2.50V	0x2	
0x11	2.40V	0x1	
0x10	2.30V	0x0	

(デフォルト: 0x0)

注: 比較電圧は動作電圧範囲内の設定のみ有効です。動作電圧範囲外の比較電圧を設定した場合、検出結果は無効です。

## 24.3 SVDの制御

SVD回路による電源電圧の検出動作はSVDEN/SVD\_ENレジスタに1を書き込むことによって開始します。電源電圧の検出状態はSVDDT/SVD\_RSLTレジスタから読み出すことができます。SVDENに0を書き込むと、SVD回路はその時点の検出結果をSVDDTにセットして停止します。検出結果とSVDDTの読み出し値は次のとおりです。

- 電源電圧( $V_{DD}$ )  $\geq$  比較電圧の場合、SVDDT = 0
- 電源電圧( $V_{DD}$ ) < 比較電圧の場合、SVDDT = 1

注: • SVDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[4:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの時間が経過した後にSVDDTを読み出してください。また、SVD回路を停止して検出結果を読み出す場合も、これらの時間が経過した後にSVDENを0に設定してください。これらの応答時間については、“電気的特性”を参照してください。

- SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

## 24.4 制御レジスタ詳細

表24.4.1 SVDレジスタ一覧

アドレス	レジスタ名		機能
0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
0x5101	SVD_CMP	SVD Comparison Voltage Register	比較電圧の設定
0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果

以下、SVDモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### SVD Enable Register (SVD\_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	SVDEN	SVD enable	1   Enable   0   Disable	0	R/W	

#### D[7:1] Reserved

#### D0 SVDEN: SVD Enable Bit

SVD回路の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SVDENを1に設定すると電源電圧の検出を開始し、0に設定すると検出結果をSVDDT/SVD\_RSLTレジスタにセットして停止します。

注: • SVDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[4:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの時間が経過した後にSVDDTを読み出してください。また、SVD回路を停止して検出結果を読み出す場合も、これらの時間が経過した後にSVDENを0に設定してください。これらの応答時間については、“電気的特性”を参照してください。

- SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

## SVD Comparison Voltage Register (SVD\_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4-0	SVDC[4:0]	SVD comparison voltage select	SVDC[4:0]	Voltage	0x0	R/W	
		0x1f-0x1b	reserved						
		0x1a	3.20 V						
		0x19	3.10 V						
		0x18	3.00 V						
		0x17	2.90 V						
		0x16	2.80 V						
		0x15	2.70 V						
		0x14	2.60 V						
		0x13	2.50 V						
		0x12	2.40 V						
		0x11	2.30 V						
		0x10	2.20 V						
		0xf	2.10 V						
		0xe	2.00 V						
0xd-0x0	reserved								

D[7:5] Reserved

D[4:0] SVDC[4:0]: SVD Comparison Voltage Select Bits

電圧低下を検出するための比較電圧を13種類から選択します。

表24.4.2 比較電圧の設定

SVDC[4:0]	比較電圧	SVDC[4:0]	比較電圧
0x1f	Reserved	0xf	2.10V
0x1e		0xe	2.00V
0x1d		0xd	Reserved
0x1c		0xc	
0x1b		0xb	
0x1a		0xa	
0x19	0x9	3.10V	
0x18	0x8	3.00V	
0x17	0x7	2.90V	
0x16	0x6	2.80V	
0x15	0x5	2.70V	
0x14	0x4	2.60V	
0x13	0x3	2.50V	
0x12	0x2	2.40V	
0x11	0x1	2.30V	
0x10	0x0	2.20V	

(デフォルト: 0x0)

SVD回路はSVDC[4:0]によって設定した比較電圧と電源電圧(V<sub>DD</sub>)の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。

注: 比較電圧は動作電圧範囲内の設定のみ有効です。動作電圧範囲外の比較電圧を設定した場合、検出結果は無効です。

## SVD Detection Result Register (SVD\_RSLT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	SVDDT	SVD detection result	1   Low    0   Normal	×	R	

D[7:1] Reserved

### D0 SVDDT: SVD Detection Result Bit

電源電圧の検出結果が読み出せます。

1(R): 電源電圧( $V_{DD}$ ) < 比較電圧

0(R): 電源電圧( $V_{DD}$ )  $\geq$  比較電圧

SVDDEN/SVD\_ENレジスタ = 1の間、SVD回路は電源電圧( $V_{DD}$ )をSVDC[4:0]/SVD\_CMPレジスタで設定した電圧値と比較します。SVDDTを読み出すことにより、現在の電源電圧の状態を確認できます。また、検出結果はSVDDENに0を書き込むことでSVDDTにセットされますので、その後でSVDDTを読み出して電源電圧の状態を確認することもできます。

# 25 オンチップデバグ (DBG)

## 25.1 リソース要件とデバッグツール

### デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。ワークエリアのアドレスは“メモリマップ、バス制御”の章を参照してください。

このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

### デバッグツール

デバッグは、S1C17F57のデバッグ端子にICDmini(S5U1C17001H)を接続し、パソコン上のデバグからデバッグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini (S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ (S5U1C17001C等)

### デバッグ端子

ICDmini(S5U1C17001H)との接続に以下のデバッグ端子を使用します。

表25.1.1 デバッグ端子一覧

端子名	I/O	本数	機能
DCLK	O	1	オンチップデバッグクロック出力端子 ICDmini (S5U1C17001H)にクロックを出力します。
DSIO	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバグの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子を兼用しており、初期状態ではデバグ端子に設定されます。デバグ機能を使用しない場合は、ポート機能選択ビットの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

## 25.2 デバグブレーク時の動作状態

brk命令の実行、またはDSIO端子へのブレーク信号(Low)入力によりデバグ割り込みが発生すると、S1C17コアはデバグモードに入ります。この状態はret命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバグ中でも動作するように変更することができます。

PCLKで動作する周辺回路は、DBRUN1/MISC\_DMODE1レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

PCLK以外で動作する周辺回路は、DBRUN2/MISC\_DMODE2レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

一部例外があり、SPI、I2CS、T16A2などを外部入力クロックで動作させた場合、デバグ中に動作を停止することはできません。

EPDコントローラ/ドライバおよびRTCは、デバグ割り込み発生時の状態を継続します。

## 25.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17F57では以下の機能拡張を行っています。

### デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17F57ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR/MISC\_IRAMSZレジスタで選択します。DBADRが0(デフォルト)の場合は0xffffc00番地、1に設定すると0x0番地が選択されます。

### 命令ブレイク本数の追加

S1C17コアは2本の命令ブレイク(ハードウェアPCブレイク)に対応しています。S1C17F57ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- IBE2/DCRレジスタ: 命令ブレイク#2を有効に設定
- IBE3/DCRレジスタ: 命令ブレイク#3を有効に設定
- IBE4/DCRレジスタ: 命令ブレイク#4を有効に設定
- IBAR2[23:0]/IBAR2レジスタ: 命令ブレイクアドレス#2の設定
- IBAR3[23:0]/IBAR3レジスタ: 命令ブレイクアドレス#3の設定
- IBAR4[23:0]/IBAR4レジスタ: 命令ブレイクアドレス#4の設定

なお、5本のハードウェアPCブレイクを使用するには、S5U1C17001C(Ver. 1.2.1)以降に含まれるデバッグが必要でです。

## 25.4 制御レジスタ詳細

表25.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名	機能
0x4020	MISC_DMODE1	Debug Mode Control Register 1
0x5322	MISC_DMODE2	Debug Mode Control Register 2
0x5326	MISC_IRAMSZ	IRAM Size Select Register
0xffff90	DBRAM	Debug RAM Base Register
0xffffa0	DCR	Debug Control Register
0xffffb8	IBAR2	Instruction Break Address Register 2
0xffffbc	IBAR3	Instruction Break Address Register 3
0xffffd0	IBAR4	Instruction Break Address Register 4

以下、デバッグ用のレジスタを個々に説明します。

注: ・ レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

### Debug Mode Control Register 1 (MISC\_DMODE1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1   Run   0   Stop	0	R/W	
		D0	-	reserved	-	-	-	0 when being read.

**D[7:2] Reserved**

**D1 DBRUN1: Run/Stop Select Bit in Debug Mode**

デバッグモード時におけるPCLKで動作する周辺回路の状態を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

DBRUN1を1に設定すると、PCLKで動作する周辺回路はデバグモード時も動作します。DBRUN1を0に設定すると、S1C17コアがデバグモードになった時点でPCLKで動作する周辺回路は停止します。デバグ中に動作を継続したい場合は、DBRUN1を1に設定してください。

**D0** Reserved

## Debug Mode Control Register 2 (MISC\_DMODE2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	–	reserved		–	–	0 when being read.
		D0	<b>DBRUN2</b>	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	

**D[15:1]** Reserved

**D0** **DBRUN2: Run/Stop Select Bit in Debug Mode (except PCLK peripheral circuits)**

デバグモード時におけるPCLK以外で動作する周辺回路の状態を選択します。

1 (R/W): 動作

0 (R/W): 停止 (デフォルト)

DBRUN2を1に設定すると、PCLK以外で動作する周辺回路はデバグモード時も動作します。DBRUN2を0に設定すると、S1C17コアがデバグモードになった時点でPCLK以外で動作する周辺回路は停止します。デバグ中に動作を継続したい場合は、DBRUN2を1に設定してください。一部例外があり、SPI、I2CS、T16A2などを外部入力クロックで動作させた場合、デバグ中に動作を停止することはできません。EPDコントローラ/ドライバおよびRTCは、デバグ割り込み発生時の状態を継続します。

## IRAM Size Select Register (MISC\_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	–	reserved		–	–	0 when being read.	
		D8	<b>DBADR</b>	Debug base address select	1 0x0 0 0xffc00	0	R/W		
		D7	–	reserved		–	–	0 when being read.	
		D6-4	<b>IRAMACTSZ[2:0]</b>	IRAM actual size		0x3 (= 2KB)	0x3	R	
		D3	–	reserved		–	–	0 when being read.	
		D2-0	<b>IRAMSZ[2:0]</b>	IRAM size select		IRAMSZ[2:0] Size	0x3	R/W	
				0x5 512B					
				0x4 1KB					
				0x3 2KB					
				Other reserved					

**D[15:9]** Reserved

**D8** **DBADR: Debug Base Address Select Bit**

デバグ割り込み発生時の分岐先アドレスを選択します。

1 (R/W): 0x0

0 (R/W): 0xfffc00 (デフォルト)

**D7** Reserved

**D[6:4]** **IRAMACTSZ[2:0]: IRAM Actual Size Bits**

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x3)

**D3** Reserved

**D[2:0]** **IRAMSZ[2:0]: IRAM Size Select Bits**

使用する内蔵RAMのサイズを選択します。



表25.4.2 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
その他	Reserved

(デフォルト: 0x3)

注: MISC\_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC\_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC\_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC\_PROTレジスタを0x96以外に設定してください。

## Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	-	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0x7c0	0x7c0	R	

D[31:24] 未使用(0固定)

### D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits

デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

## Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W	Reset by writing 1.
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W	
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R	

### D7 IBE4: Instruction Break #4 Enable Bit

命令ブレーク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR4レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

### D6 IBE3: Instruction Break #3 Enable Bit

命令ブレーク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR3レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

### D5 IBE2: Instruction Break #2 Enable Bit

命令ブレーク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR2レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

**D4 DR: Debug Request Flag Bit**

外部からのデバグ要求の有無を示します。

- 1(R): 発生  
 0(R): なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバグ処理ルーチンをret命令で終了する前にクリアしておく必要があります。

**D3 IBE1: Instruction Break #1 Enable Bit**

命令ブレイク#1を許可/禁止します。

- 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR1レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D2 IBE0: Instruction Break #0 Enable Bit**

命令ブレイク#0を許可/禁止します。

- 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR0レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D1 SE: Single Step Enable Bit**

シングルステップ動作を許可/禁止します。

- 1(R/W): 許可  
 0(R/W): 禁止(デフォルト)

**D0 DM: Debug Mode Bit**

プロセッサの動作モード(デバグモードまたはユーザモード)を示します。

- 1(R): デバグモード  
 0(R): ユーザモード(デフォルト)

**Instruction Break Address Register 2 (IBAR2)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	

**D[31:24] Reserved**

**D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits**

命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

**Instruction Break Address Register 3 (IBAR3)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

**D[31:24] Reserved**

**D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits**

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

## Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	-	reserved		-	-	0 when being read.
		D23-0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

**D[31:24] Reserved**

**D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits**  
 命令ブレイクアドレス#4を設定します。(デフォルト: 0x000000)

# 26 乗除算器 (COPRO)

## 26.1 概要

S1C17F57は乗除算機能を提供するコプロセッサを内蔵しています。

乗除算器の主な機能と特長を以下に示します。

- 乗算: 符号付き/符号なし乗算をサポート  
(16ビット × 16ビット = 32ビット)  
1サイクルで実行可能
- 積和演算 (MAC): 符号付き積和演算をサポート、オーバーフロー検出機能付き  
(16ビット × 16ビット + 32ビット = 32ビット)  
1サイクルで実行可能
- 除算: 符号付き/符号なし除算をサポート  
(16ビット ÷ 16ビット = 16ビット、剰余 = 16ビット)  
17~20サイクルで実行可能

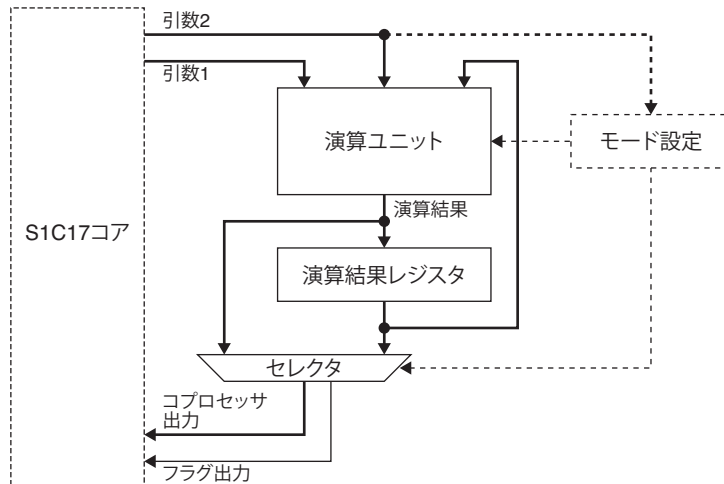


図26.1.1 乗除算器ブロック図

## 26.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表26.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7  imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

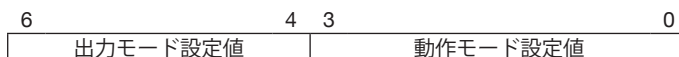


図26.2.1 モード設定レジスタ

表26.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2~0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa~0xf	Reserved

### 26.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

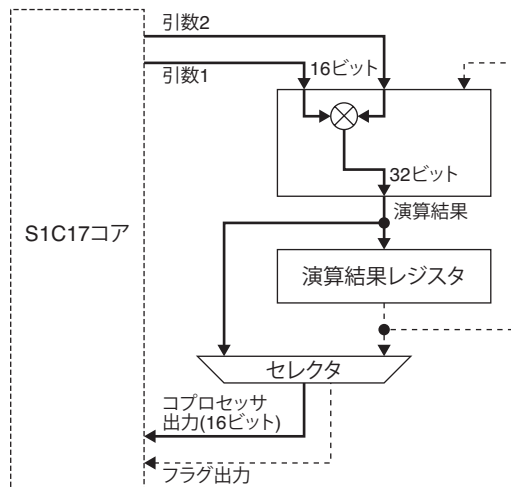


図26.3.1 乗算モードのデータ経路

表26.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × %rs %rd ← res[15:0] res[31:0] ← %rd × imm7/16 %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x14 または 0x15	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × %rs %rd ← res[31:16] res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

## 26.4 除算

除算機能は、“B(16ビット) ÷ C(16ビット) = A(16ビット), 余り D(16ビット)”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

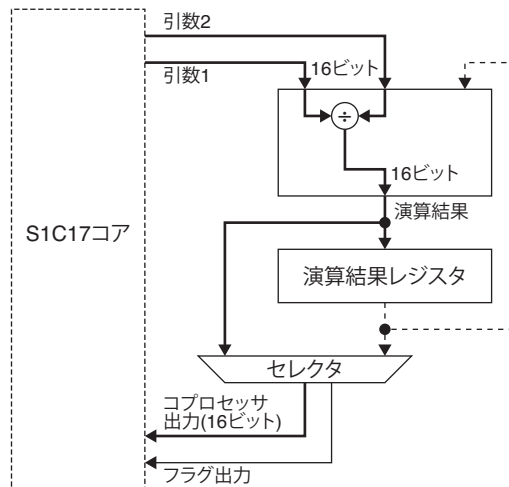


図26.4.1 除算モードのデータ経路

表26.4.1 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ %rs %rd ← res[15:0] (商) res[31:0] ← %rd ÷ imm7/16 %rd ← res[15:0] (商)	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x18 または 0x19	ld.ca %rd,%rs (ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ %rs %rd ← res[31:16] (余り) res[31:0] ← %rd ÷ imm7/16 %rd ← res[31:16] (余り)		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

## 26.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

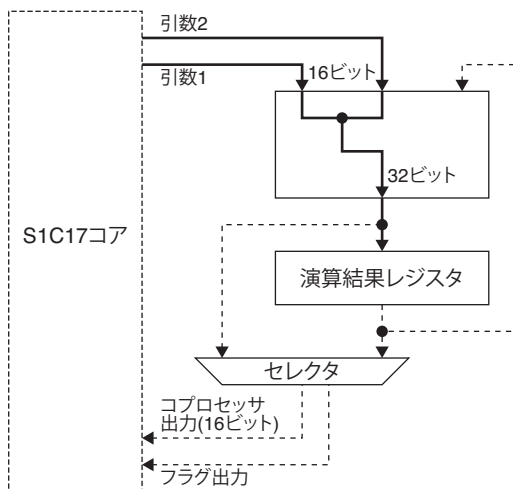


図26.5.1 初期化モード時のデータ経路

表26.5.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	-	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。

演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

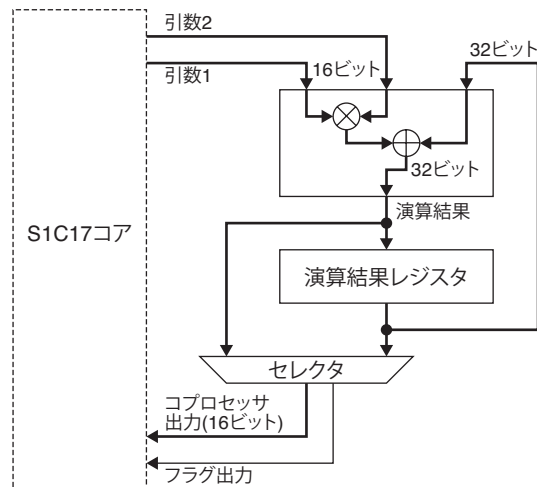


図26.5.2 積和演算モード時のデータ経路

表26.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	$res[31:0] \leftarrow \%rd \times \%rs + res[31:0]$ $\%rd \leftarrow res[15:0]$	オーバーフローが発生した場合 psr (CVZN) $\leftarrow 0b0100$	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$res[31:0] \leftarrow \%rd \times imm7/16 + res[31:0]$ $\%rd \leftarrow res[15:0]$		
0x17	ld.ca %rd,%rs	$res[31:0] \leftarrow \%rd \times \%rs + res[31:0]$ $\%rd \leftarrow res[31:16]$	それ以外 psr (CVZN) $\leftarrow 0b0000$	
	(ext imm9) ld.ca %rd,imm7	$res[31:0] \leftarrow \%rd \times imm7/16 + res[31:0]$ $\%rd \leftarrow res[31:16]$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

### オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表26.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

### オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。



## 26.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

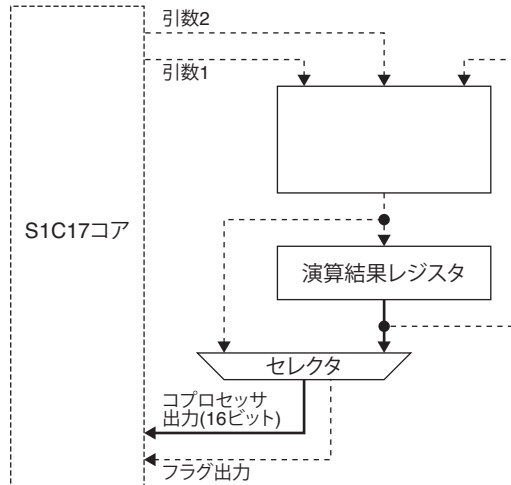


図26.6.1 演算結果読み出しモードのデータ経路

表26.6.1 演算結果読み出しモードの動作

モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

# 27 電気的特性

## 27.1 絶対最大定格

(V<sub>SS</sub> = 0V)

項目	記号	条件	定格値	単位
電源電圧	VDD		-0.3~4.0	V
Flashプログラミング電圧	VPP		8	V
EPD電源電圧	VEPD		23	V
EPD電源電圧	VE2		3.8	V
入力電圧	VI		-0.3~VDD + 0.5	V
出力電圧	VO		-0.3~VDD + 0.5	V
高レベル出力電流	IOH	1端子	-10	mA
		全端子合計	-20	mA
低レベル出力電流	IOL	1端子	10	mA
		全端子合計	20	mA
保存温度	Tstg		-65~125	°C
半田付け温度・時間	Tsol		260°C, 10秒(リード部)	-
COF実装温度・時間	Tcofm		*1	-

\*1 Appendixの“実装上の注意事項”参照

## 27.2 推奨動作条件

(V<sub>SS</sub> = 0V) \*1

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VDD		2.0		3.6	V
Flashプログラミング電圧	VPPP		6.8	7.0	7.2	V
Flashプログラミング温度	TPP		10		40	°C
Flash消去電圧	VPPE		7.3	7.5	7.7	V
動作周波数	fOSC3A	水晶/セラミック発振	0.2		4.2	MHz
	fOSC1A	水晶発振		32.768		kHz
動作温度	Ta	通常動作時(Flashリードのみ)	-40		85	°C
		Flashプログラミング時&消去時	10		40	°C
V <sub>SS</sub> ~V <sub>D1</sub> 間キャパシタ	C1			0.1		μF
V <sub>SS</sub> ~V <sub>Osc</sub> 間キャパシタ	C2			0.1		μF
V <sub>SS</sub> ~V <sub>E1</sub> 間キャパシタ *2	C3			0.1		μF
V <sub>SS</sub> ~V <sub>E2</sub> 間キャパシタ *2	C4			0.1		μF
V <sub>SS</sub> ~V <sub>E3</sub> 間キャパシタ *2	C5			0.1		μF
V <sub>SS</sub> ~V <sub>E4</sub> 間キャパシタ *2	C6			0.1		μF
V <sub>SS</sub> ~V <sub>E5</sub> 間キャパシタ *2	C7			0.1		μF
CD1~CD2間キャパシタ *2	C8			0.1		μF
CB1~CB2間キャパシタ *2	C9			0.1		μF
CB3~CB4間キャパシタ *2	C10			0.1		μF

\*1 V<sub>SS</sub>電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグランド電位に対し±0.3V以内の変動に抑えてください。\*2 EPDコントローラ/ドライバを使用しない場合、キャパシタは必要ありません。また、V<sub>E1</sub>~V<sub>E5</sub>、CD1~CD2およびCB1~CB4は開放としてください。

\*3 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。

## 27.3 消費電流

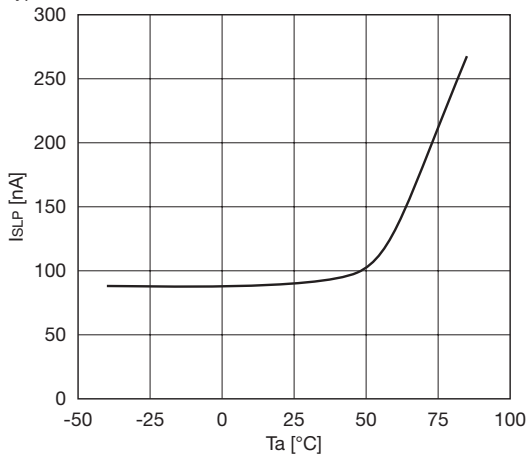
特記なき場合: V<sub>DD</sub> = 2.0~3.6V, V<sub>SS</sub> = 0V, Ta = 25°C, PCKEN[1:0] = 0x3 (ON), RDWAIT[1:0] = 0x0 (ノーウェイト), OSC1A = 緩急補正なし, CCLKGR[1:0] = 0x0 (ギア比1/1), RTCRUN = 0 (OFF), HVLD = 0

項目	記号	条件	Min.	Typ.	Max.	単位	
SLEEP時消費電流	ISLP	OSC1A = OFF, OSC1B = OFF, OSC3B = OFF, OSC3A = OFF		100	200	nA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, RTCRUN = 1 (ON)		210	260	nA	
		OSC1B = 32kHz, OSC3B = OFF, OSC3A = OFF, RTCRUN = 1 (ON)		820	1040	nA	
HALT時消費電流	IHALT1	OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, PCKEN[1:0] = 0x0 (OFF)		0.55	0.69	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, PCKEN[1:0] = 0x0 (OFF), RTCRUN = 1 (ON)		0.5	0.63	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF		1.5	1.7	μA	
		OSC1B = 32kHz, OSC3B = OFF, OSC3A = OFF, PCKEN[1:0] = 0x0 (OFF)		1.1	1.3	μA	
	IHALT2	OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (1MHzセラミック)		90	120	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (4MHzセラミック)		200	250	μA	
	IHALT3	OSC1A = 32kHz, OSC3B = ON (500kHz), OSC3A = OFF		80	120	μA	
		OSC1A = 32kHz, OSC3B = ON (1MHz), OSC3A = OFF		110	160	μA	
		OSC1A = 32kHz, OSC3B = ON (2MHz), OSC3A = OFF		160	220	μA	
		OSC1A = 32kHz, OSC3B = ON (4MHz), OSC3A = OFF		160	220	μA	
動作時消費電流 *1	IEXE1	OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, CPU = OSC1A		12	16	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, CPU = OSC1A, CCLKGR[1:0] = 0x2 (ギア比1/4)		5.4	6.6	μA	
	IEXE2	OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (1MHzセラミック), CPU = OSC3A		410	530	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (1MHzセラミック), CPU = OSC3A, CCLKGR[1:0] = 0x2 (ギア比1/4)		210	270	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (4MHzセラミック), CPU = OSC3A		1440	1880	μA	
		OSC1A = 32kHz, OSC3B = OFF, OSC3A = ON (4MHzセラミック), CPU = OSC3A, CCLKGR[1:0] = 0x2 (ギア比1/4)		690	850	μA	
	IEXE3	OSC1A = 32kHz, OSC3B = ON (500kHz), OSC3A = OFF, CPU = OSC3B		250	330	μA	
		OSC1A = 32kHz, OSC3B = ON (1MHz), OSC3A = OFF, CPU = OSC3B		430	570	μA	
		OSC1A = 32kHz, OSC3B = ON (2MHz), OSC3A = OFF, CPU = OSC3B		770	1030	μA	
		OSC1A = 32kHz, OSC3B = ON (2MHz), OSC3A = OFF, CPU = OSC3B, CCLKGR[1:0] = 0x2 (ギア比1/4)		400	520	μA	
	重負荷保護モード動作時消費電流 *1	IEXE1H	OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, CPU = OSC1A, HVLD = 1		24	30	μA

\*1 “ALU命令60.5%、分岐命令17%、メモリアド12%、メモリアイト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値です。

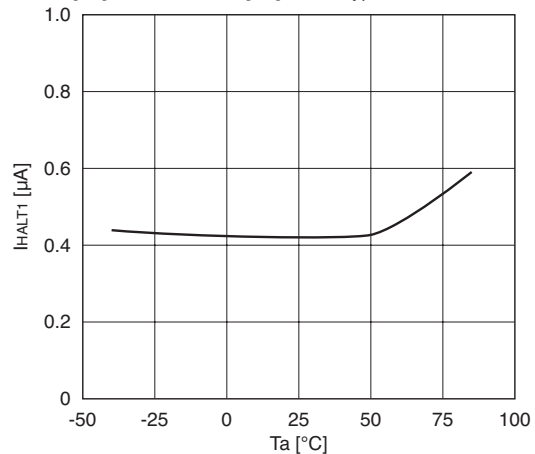
### SLEEP時 消費電流対温度特性

OSC1A = OFF, OSC1B = OFF, OSC3B = OFF, OSC3A = OFF, Typ.値



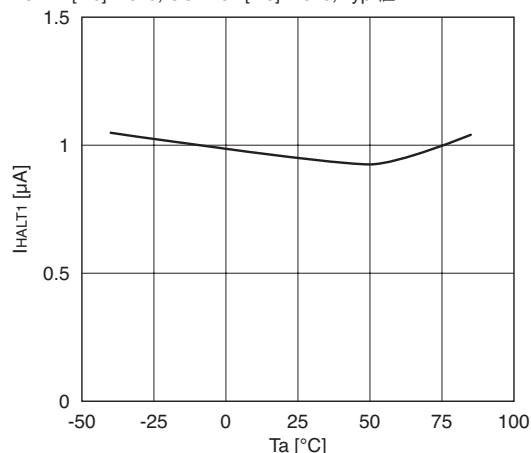
### HALT時 消費電流対温度特性 (OSC1A動作時)

OSC1A = 32.768kHz水晶, OSC3B = OFF, OSC3A = OFF, PCKEN[1:0] = 0x0, CCLKGR[1:0] = 0x0, Typ.値

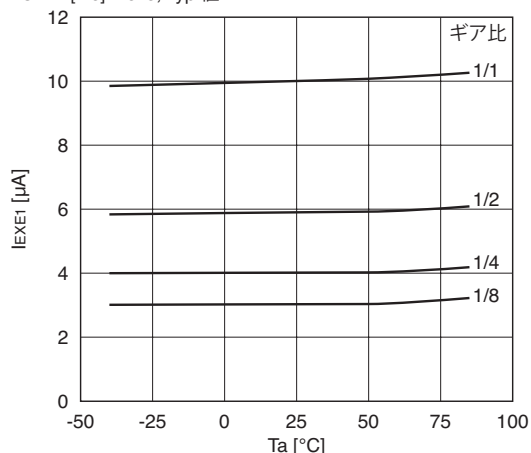


**HALT時 消費電流対温度特性 (OSC1B動作時)**

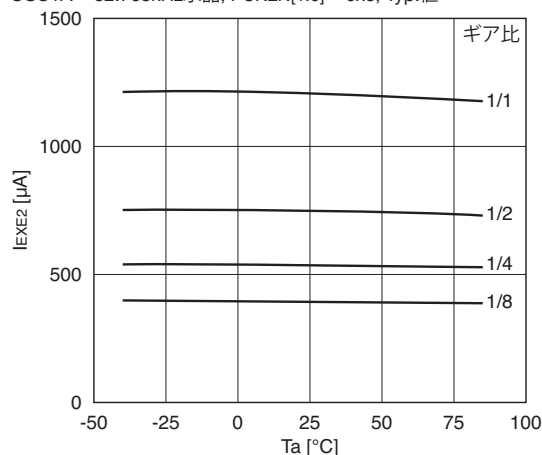
OSC1B = 32kHz, OSC3B = OFF, OSC3A = OFF,  
PCKEN[1:0] = 0x0, CCLKGR[1:0] = 0x0, Typ.値

**OSC1A+クロックギア動作時 消費電流対温度特性**

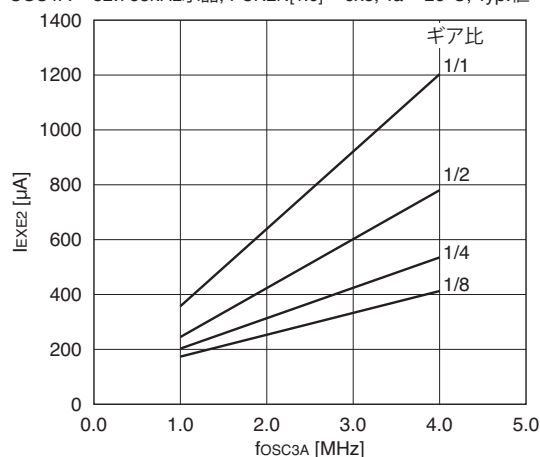
OSC1A = 32.768kHz水晶, OSC3B = OFF, OSC3A = OFF,  
PCKEN[1:0] = 0x3, Typ.値

**OSC3A+クロックギア動作時 消費電流対温度特性**

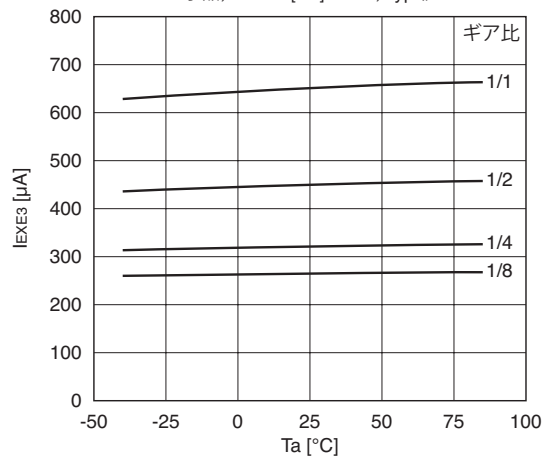
OSC3A = ON (4MHzセラミック), OSC3B = OFF,  
OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Typ.値

**OSC3A動作時 消費電流対周波数特性**

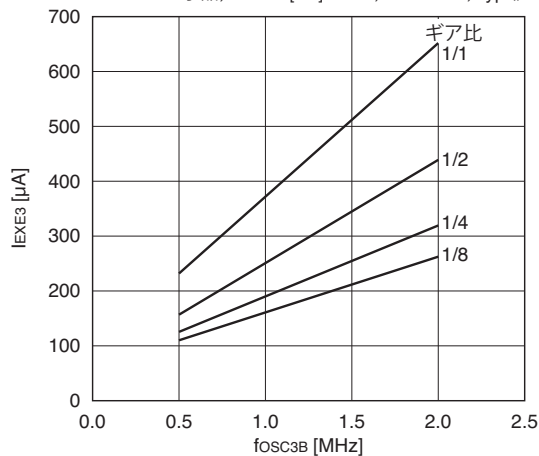
OSC3A = ON, OSC3B = OFF,  
OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Ta = 25°C, Typ.値

**OSC3B+クロックギア動作時 消費電流対温度特性**

OSC3B = ON (2MHz), OSC3A = OFF,  
OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Typ.値

**OSC3B動作時 消費電流対周波数特性**

OSC3B = ON, OSC3A = OFF,  
OSC1A = 32.768kHz水晶, PCKEN[1:0] = 0x3, Ta = 25°C, Typ.値



## 27.4 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。

### OSC1A水晶発振

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $C_G =$  内蔵,  $C_D =$  内蔵,  $R_f =$  内蔵,  $R_D =$  内蔵,  $C_{G1} = 3pF$ ,  $C_{D1} = 3pF$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1, *2, *3	tsta				3	s
内蔵ゲート容量 *1, *2, *3	$C_G$	チップの場合		7		pF
内蔵ドレイン容量	$C_D$	チップの場合 *1, *2		5		pF
		チップの場合 *3		4		pF

\*1 水晶振動子 = C-002RX: セイコーエプソン製 ( $R_1 = 50k\Omega$  Max.,  $C_L = 7pF$ )

\*2 水晶振動子 = MC-146: セイコーエプソン製 ( $R_1 = 65k\Omega$  Max.,  $C_L = 7pF$ )

\*3 水晶振動子 = FC-12D: セイコーエプソン製 ( $R_1 = 75k\Omega$  Max.,  $C_L = 7pF$ )

### OSC1B発振

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tsta				200	$\mu s$
発振周波数 *1 *2	fosc1BC	チップの場合	Typ. $\times$ 0.95	32.768	Typ. $\times$ 1.05	kHz
	fosc1BP	パッケージの場合	Typ. $\times$ 0.94	32.768	Typ. $\times$ 1.06	kHz
発振周波数温度依存 *2	Tfosc1B	温度変化 $\pm 1^\circ C$ における周波数精度 ( $25^\circ C$ 基準)		$\pm 0.12$	$\pm 0.3$	%/ $^\circ C$

\*1 チップ実装時、基板への実装状態により値が上記範囲外に変動する可能性があります。

\*2 参考値

### OSC3A水晶発振

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $R_f =$  内蔵,  $R_D =$  内蔵,  $C_{G3} = 15pF$ ,  $C_{D3} = 15pF$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1 *2	tsta				20.0	ms

\*1 水晶振動子 = MA-406: セイコーエプソン製

\*2 発振開始時間は、使用する水晶振動子および $C_{G3}$ 、 $C_{D3}$ により変化します。

### OSC3Aセラミック発振

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $R_f =$  内蔵,  $R_D =$  内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1 *2	tsta				1.0	ms

\*1 セラミック振動子 = CSTCC2M00G56-R0: 村田製作所製 (SMDタイプ,  $C_{G3} = C_{D3} = 47pF$ 内蔵)

CSTCR4M00G53-R0: 村田製作所製 (SMDタイプ,  $C_{G3} = C_{D3} = 15pF$ 内蔵)

CSTLS4M00G53-B0: 村田製作所製 (リードタイプ,  $C_{G3} = C_{D3} = 15pF$ 内蔵)

\*2 発振開始時間は、使用するセラミック振動子および $C_{G3}$ 、 $C_{D3}$ により変化します。

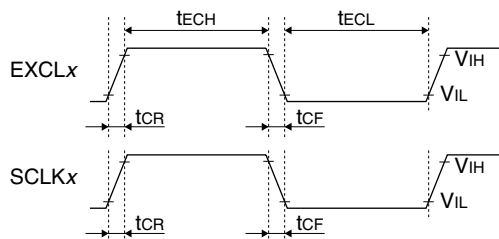
### OSC3B発振

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tsta				5.0	$\mu s$
発振周波数 *1	fosc3B	OSC3BFSEL[1:0] = 0x0 (2MHz)	Typ. $\times$ 0.95	1.936	Typ. $\times$ 1.05	MHz
		OSC3BFSEL[1:0] = 0x1 (1MHz)		1.002		MHz
		OSC3BFSEL[1:0] = 0x2 (500kHz)		0.511		MHz
発振周波数温度依存 *1	Tfosc3B	OSC3BFSEL[1:0] = 0x0~0x2, 温度変化 $\pm 1^\circ C$ における周波数精度 ( $25^\circ C$ 基準)		0.05	0.07	%/ $^\circ C$

\*1 参考値

## 27.5 外部クロック入力特性



特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $V_{IH} = 0.8V_{DD}$ ,  $V_{IL} = 0.2V_{DD}$ ,  $T_a = -40 \sim 85^\circ C$

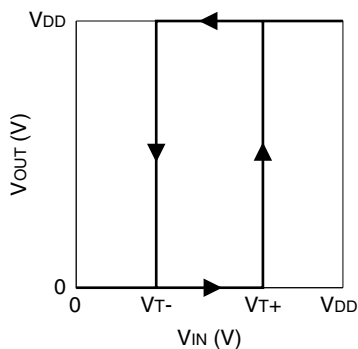
項目	記号	Min.	Typ.	Max.	単位
EXCLx入力High/パルス幅	tECH	60			ns
EXCLx入力Low/パルス幅	tECL	60			ns
UART転送レート	Ru			230400	bps
UART転送レート (IrDAモード時)	RuIrDA			115200	bps
入力立ち上がり時間	tCR			80	ns
入力立ち下がり時間	tCF			80	ns

## 27.6 入出力端子特性

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入カスレシヨルド電圧	$V_{T+}$	$P_{XX}$ , #RESET	$0.5V_{DD}$		$0.9V_{DD}$	V
低レベルシュミット入カスレシヨルド電圧	$V_{T-}$	$P_{XX}$ , #RESET	$0.1V_{DD}$		$0.5V_{DD}$	V
ヒステリシス電圧	$\Delta V_T$	$P_{XX}$ , #RESET	$0.1V_{DD}$			V
高レベル出力電流	$I_{OH}$	$P_{XX}$ , $V_{OH} = 0.9V_{DD}$			-0.5	mA
低レベル出力電流	$I_{OL}$	$P_{XX}$ , $V_{OL} = 0.1V_{DD}$	0.5			mA
リーク電流	$I_{LEAK}$	$P_{XX}$ , #RESET	-100		100	nA
入力プルアップ抵抗	$R_{IN}$	$P_{XX}$ , #RESET	100		500	k $\Omega$
端子容量	$C_{IN}$	$P_{XX}$ , $V_{IN} = 0V$ , $f = 1MHz$ , $T_a = 25^\circ C$			15	pF
リセットLow/パルス幅	tSR	$V_{IH} = 0.8V_{DD}$ , $V_{IL} = 0.2V_{DD}$	100			$\mu s$
動作電源電圧	VSR		2.0			V
#RESET/パワーオンリセット時間	tPSR		1.0			ms

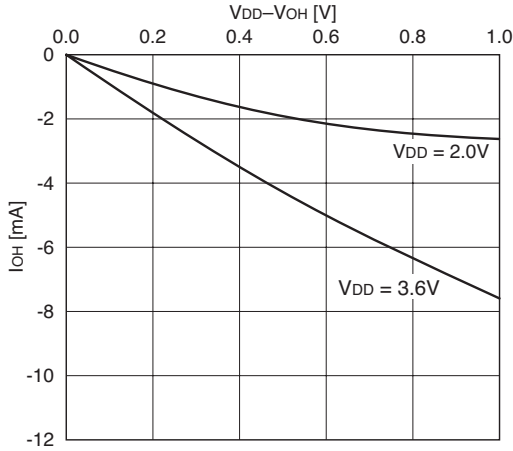
### シュミット入カスレシヨルド電圧



## 27 電氣的特性

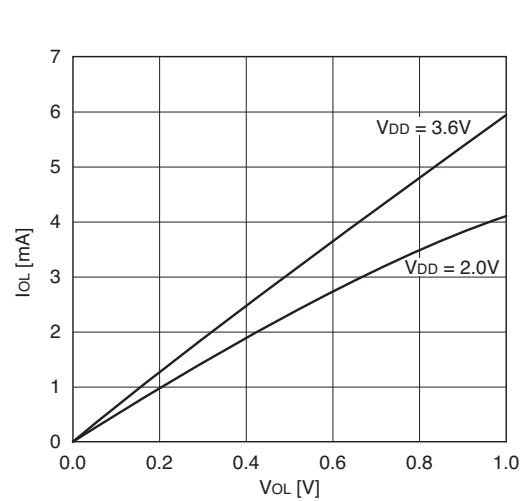
### 高レベル出力電流特性

Ta = 85°C, Max.値

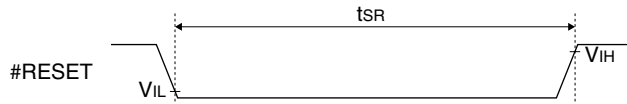


### 低レベル出力電流特性

Ta = 85°C, Min.値



### リセットパルス

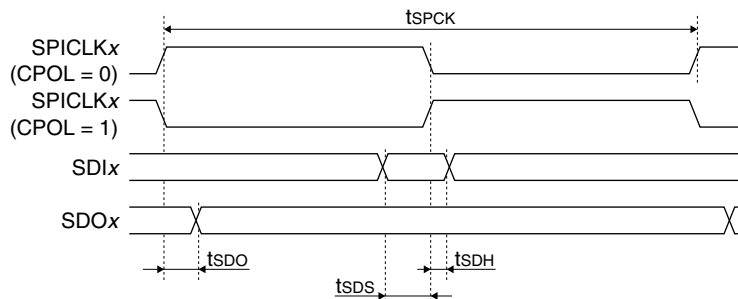


### #RESETパワーオンリセットタイミング



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、#RESET端子を0.1VDD以下に落としてください。

## 27.7 SPI特性



### マスタモード時

特記なき場合: VDD = 2.0~3.6V, VSS = 0V, Ta = -40~85°C

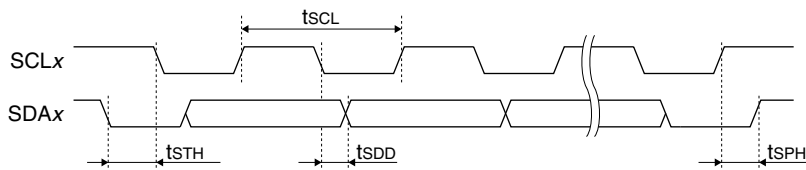
項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500			ns
SDIxセットアップ時間	tSDS	70			ns
SDIxホールド時間	tSDH	10			ns
SDOx出力遅延時間	tSDO			20	ns

## スレーブモード時

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500			ns
SDIxセットアップ時間	tSDS	10			ns
SDIxホールド時間	tSDH	10			ns
SDOx出力遅延時間	tSDO			80	ns

## 27.8 I<sup>2</sup>C特性



特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	tSCL	2500			ns
スタートコンディションホールド時間	tSTH	1/fsys			ns
データ出力遅延時間	tSDD	1/fsys			ns
ストップコンディションホールド時間	tSPH	1/fsys			ns

\* fsys: システム動作クロック周波数

## 27.9 EPDドライバ特性

EPDドライバは、パネル負荷(パネルの大きさ、駆動波形、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。

### VE Regulator出力電圧

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $C_3 \sim C_{10} = 0.1\mu F$ , パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
VE Regulator出力電圧 ( $V_{E1}$ 基準, VESEL = 0)	VE1	VECON[3:0] = 0x0		1.005		V
		VECON[3:0] = 0x1		1.055		V
		VECON[3:0] = 0x2		1.106		V
		VECON[3:0] = 0x3		1.156		V
		VECON[3:0] = 0x4		1.206		V
		VECON[3:0] = 0x5		1.256		V
		VECON[3:0] = 0x6		1.307		V
		VECON[3:0] = 0x7		1.357		V
		VECON[3:0] = 0x8		1.407		V
		VECON[3:0] = 0x9		1.457		V
		VECON[3:0] = 0xa		1.508		V
		VECON[3:0] = 0xb		1.558		V
		VECON[3:0] = 0xc		1.608		V
		VECON[3:0] = 0xd		1.658		V
		VECON[3:0] = 0xe		1.709		V
		VECON[3:0] = 0xf		1.759		V
			Typ. - 0.075		Typ. + 0.075	



## 27 電氣的特性

項目	記号	条件	Min.	Typ.	Max.	単位
VE Regulator出力電圧 (VE2基準, VESEL = 1)	VE2	VECON[3:0] = 0x0	Typ. - 0.150	2.010	Typ. + 0.150	V
		VECON[3:0] = 0x1		2.111		V
		VECON[3:0] = 0x2		2.211		V
		VECON[3:0] = 0x3		2.312		V
		VECON[3:0] = 0x4		2.412		V
		VECON[3:0] = 0x5		2.513		V
		VECON[3:0] = 0x6		2.613		V
		VECON[3:0] = 0x7		2.714		V
		VECON[3:0] = 0x8		2.814		V
		VECON[3:0] = 0x9		2.915		V
		VECON[3:0] = 0xa		3.015		V
		VECON[3:0] = 0xb		3.116		V
		VECON[3:0] = 0xc		3.216		V
		VECON[3:0] = 0xd		3.317		V
		VECON[3:0] = 0xe		3.417		V
VECON[3:0] = 0xf	3.518	V				

### EPD駆動電圧

特記なき場合: VDD = 2.0~3.6V, VSS = 0V, Ta = 25°C, C3~C10 = 0.1μF, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
9V系EPD駆動電圧 (VHSEL[1:0] = 0x2)	VEPD	VHCON[3:0] = 0x0	Typ. - 0.75	8.10	Typ. + 0.75	V
		VHCON[3:0] = 0x1		8.28		V
		VHCON[3:0] = 0x2		8.46		V
		VHCON[3:0] = 0x3		8.64		V
		VHCON[3:0] = 0x4		8.82		V
		VHCON[3:0] = 0x5		9.00		V
		VHCON[3:0] = 0x6		9.18		V
		VHCON[3:0] = 0x7		9.36		V
		VHCON[3:0] = 0x8		9.54		V
		VHCON[3:0] = 0x9		9.72		V
		VHCON[3:0] = 0xa		9.90		V
		VHCON[3:0] = 0xb		10.08		V
		VHCON[3:0] = 0xc		10.26		V
		VHCON[3:0] = 0xd		10.44		V
		VHCON[3:0] = 0xe		10.62		V
VHCON[3:0] = 0xf	10.80	V				
12V系EPD駆動電圧 (VHSEL[1:0] = 0x1)	VEPD	VHCON[3:0] = 0x0	Typ. - 0.75	10.80	Typ. + 0.75	V
		VHCON[3:0] = 0x1		11.04		V
		VHCON[3:0] = 0x2		11.28		V
		VHCON[3:0] = 0x3		11.52		V
		VHCON[3:0] = 0x4		11.76		V
		VHCON[3:0] = 0x5		12.00		V
		VHCON[3:0] = 0x6		12.24		V
		VHCON[3:0] = 0x7		12.48		V
		VHCON[3:0] = 0x8		12.72		V
		VHCON[3:0] = 0x9		12.96		V
		VHCON[3:0] = 0xa		13.20		V
		VHCON[3:0] = 0xb		13.44		V
		VHCON[3:0] = 0xc		13.68		V
		VHCON[3:0] = 0xd		13.92		V
		VHCON[3:0] = 0xe		14.16		V
VHCON[3:0] = 0xf	14.40	V				

項目	記号	条件	Min.	Typ.	Max.	単位
15V系EPD駆動電圧 (VHSEL[1:0] = 0x0)	VEPD	VHCON[3:0] = 0x0	Typ. - 0.75	13.50	Typ. + 0.75	V
		VHCON[3:0] = 0x1		13.80		V
		VHCON[3:0] = 0x2		14.10		V
		VHCON[3:0] = 0x3		14.40		V
		VHCON[3:0] = 0x4		14.70		V
		VHCON[3:0] = 0x5		15.00		V
		VHCON[3:0] = 0x6		15.30		V
		VHCON[3:0] = 0x7		15.60		V
		VHCON[3:0] = 0x8		15.90		V
		VHCON[3:0] = 0x9		16.20		V
		VHCON[3:0] = 0xa		16.50		V
		VHCON[3:0] = 0xb		16.80		V
		VHCON[3:0] = 0xc		17.10		V
		VHCON[3:0] = 0xd		17.40		V
		VHCON[3:0] = 0xe		17.70		V
		VHCON[3:0] = 0xf		18.00		V

### ESEG/ETP/EBP出力特性

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
セグメント, トッププレーン, バックプレーン出力電流	I <sub>SEGH</sub>	ESEG <sub>xx</sub> , ETP <sub>x</sub> , EBP <sub>x</sub> , V <sub>SEGH</sub> = V <sub>EPD</sub>			-10	μA
	I <sub>SEGL</sub>	ESEG <sub>xx</sub> , ETP <sub>x</sub> , EBP <sub>x</sub> , V <sub>SEGL</sub> = V <sub>SS</sub>	10			μA

### EPDドライバ回路消費電流

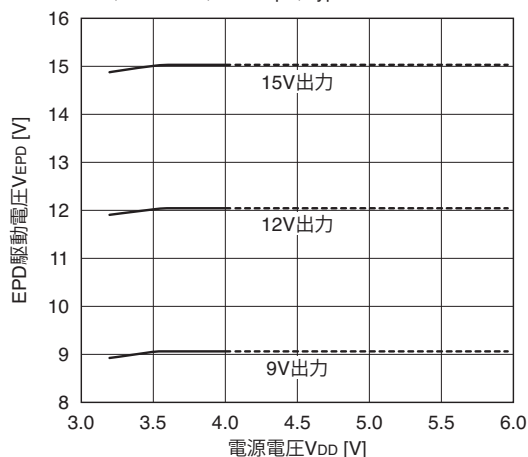
特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $C_3 \sim C_{10} = 0.1\mu F$ , EPD/パネル負荷なし, PCKEN[1:0] = 0x3 (ON),  
OSC1A = 32kHz, OSC3B = OFF, OSC3A = OFF, EPDCLKSRC[1:0] = 0x1 (OSC1), EPDCLKD[2:0] = 0x0 (1/1),  
Boosterクロック = 16kHz, Doublerクロック = 32kHz

項目	記号	条件	Min.	Typ.	Max.	単位
EPD回路電流 *1	I <sub>EPD</sub>	基準電圧V <sub>E1</sub> (= 1.759V)		75	100	μA
重負荷保護モードEPD回路電流 *1	I <sub>EPDH</sub>	基準電圧V <sub>E1</sub> (= 1.759V), HVLDVE = 1		85		μA
		基準電圧V <sub>E1</sub> (= 1.759V), HVLDVH = 1		120		μA

\*1 EPD回路動作時にHALT時/動作時(重負荷保護モード含む)のいずれかの消費電流に加算されます。消費電流は、駆動波形、パネル負荷によって増加します。

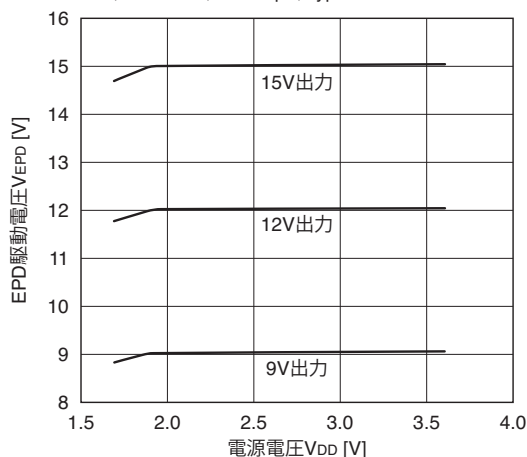
### EPD駆動電圧対電源電圧特性 (V<sub>E2</sub>基準)

$V_{E2} = 3.518V$ ,  $T_a = 25^\circ C$ , 負荷20μA, Typ.値



### EPD駆動電圧対電源電圧特性 (V<sub>E1</sub>基準)

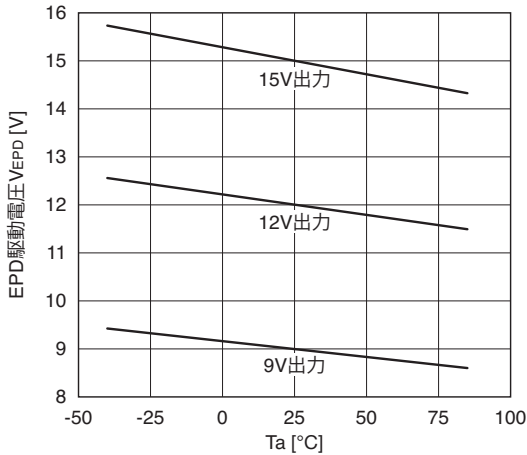
$V_{E1} = 1.759V$ ,  $T_a = 25^\circ C$ , 負荷10μA, Typ.値



## 27 電気的特性

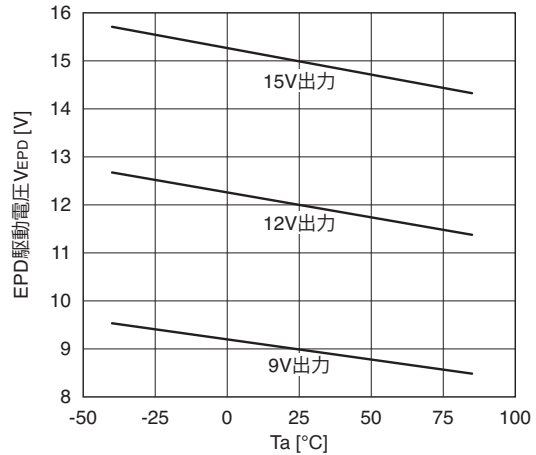
### EPD駆動電圧対温度特性 ( $V_{E2}$ 基準)

$V_{E2} = 3.518V$ ,  $V_{DD} = 3.6V$ , 負荷 $20\mu A$ , Typ.値



### EPD駆動電圧対温度特性 ( $V_{E1}$ 基準)

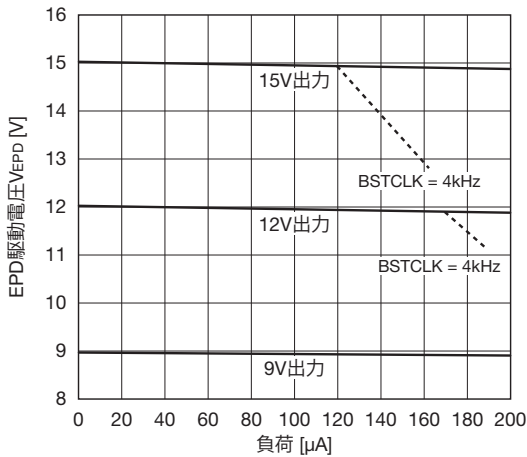
$V_{E1} = 1.759V$ ,  $V_{DD} = 2.0V$ , 負荷 $10\mu A$ , Typ.値



### EPD駆動電圧対負荷特性 ( $V_{E2}$ 基準)

$V_{E2} = 3.518V$ ,  $T_a = 25^\circ C$ ,  $V_{DD} = 3.6V$ , Typ.値

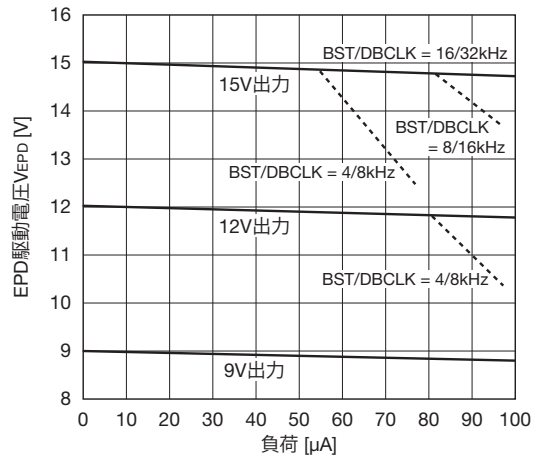
BSTCLK = 4kHz, 8kHzまたは16kHz



### EPD駆動電圧対負荷特性 ( $V_{E1}$ 基準)

$V_{E1} = 1.759V$ ,  $T_a = 25^\circ C$ ,  $V_{DD} = 2.0V$ , Typ.値

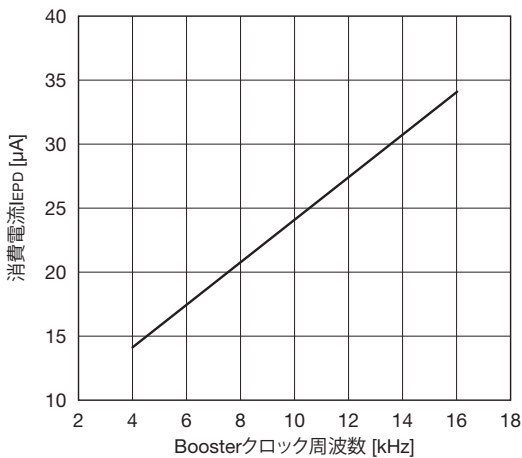
BST/DBCLK = 4/8kHz, 8/16kHzまたは16/32kHz



### EPDドライバ回路消費電流対

#### Boosterクロック周波数依存性 ( $V_{E2}$ 基準)

$V_{E2} = 3.518V$ ,  $T_a = 25^\circ C$ ,  $V_{DD} = 3.6V$ , 無負荷, Typ.値

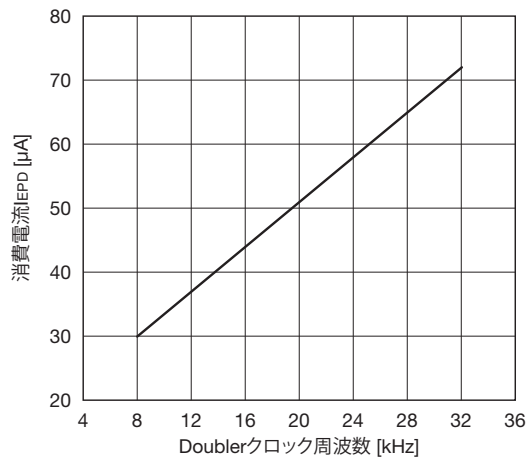


### EPDドライバ回路消費電流対

#### Doubler/Boosterクロック周波数依存性 ( $V_{E1}$ 基準)

$V_{E1} = 1.759V$ ,  $T_a = 25^\circ C$ ,  $V_{DD} = 2.0V$ , 無負荷, Typ.値

Boosterクロック周波数 = Doublerクロック周波数 / 2



## 27.10 R/F変換器特性

### アナログ特性

特記なき場合:  $V_{DD} = 2.0\sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40\sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
基準/センサ発振周波数 *1	f <sub>RFCLK</sub>		1		4000	kHz
基準/センサ発振周波数IC偏差 *2	$\Delta f_{RFCLK}/\Delta IC$	抵抗性センサDC/AC 発振モード	$V_{DD} = 3.6V$ -25 $V_{DD} = 2.0V$ -50		25 50	%
基準抵抗/抵抗性センサ抵抗値 *3	R <sub>REF</sub> , R <sub>SEN</sub>	抵抗性センサDC発振モード 抵抗性センサAC発振モード	10 10			k $\Omega$ k $\Omega$
タイムベースカウンタクロック周波数	f <sub>TCCLK</sub>				4.2	MHz
RFIN端子高レベルシュミット入力電圧	V <sub>T+</sub>		0.5·V <sub>DD</sub>		0.9·V <sub>DD</sub>	V
RFIN端子低レベルシュミット入力電圧	V <sub>T-</sub>		0.1·V <sub>DD</sub>		0.5·V <sub>DD</sub>	V

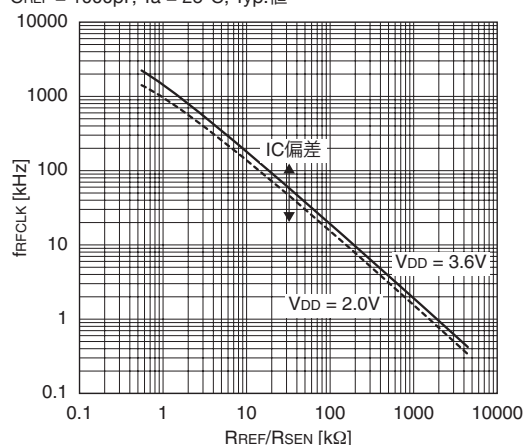
\*1 1kHz以下の周波数に設定すると、リークによるばらつきの影響により周波数IC偏差が大きくなる可能性があります。

\*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

\*3 この範囲外の抵抗/容量でもCR発振します(グラフ参照)。ただし、基板やICの寄生素子の影響により周波数の周波数IC偏差が大きくなる可能性があります。

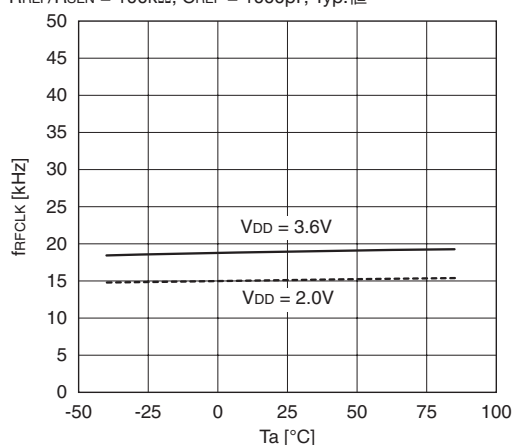
### RFC基準/センサ発振周波数対抵抗特性 (抵抗性センサDC/AC発振モード)

C<sub>REF</sub> = 1000pF,  $T_a = 25^\circ C$ , Typ.値



### RFC基準/センサ発振周波数対温度特性 (抵抗性センサDC/AC発振モード)

R<sub>REF</sub>/R<sub>SEN</sub> = 100k $\Omega$ , C<sub>REF</sub> = 1000pF, Typ.値



### R/F変換器消費電流

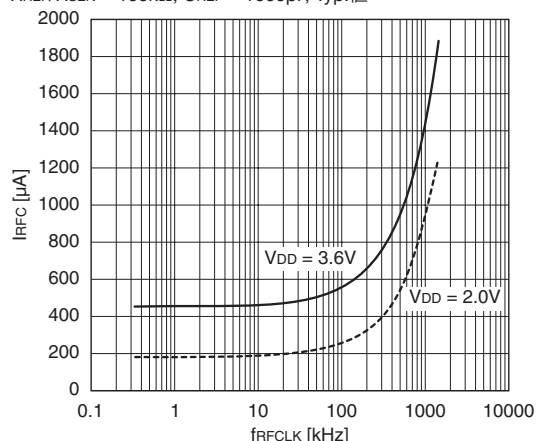
特記なき場合:  $V_{DD} = 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ , PCKEN[1:0] = 0x3 (ON), C<sub>REF</sub> = 1000pF, R<sub>REF</sub>/R<sub>SEN</sub> = 100k $\Omega$

項目	記号	条件	Min.	Typ.	Max.	単位
R/F変換器動作電流 *1	I <sub>RFIC</sub>	抵抗性センサDC/AC発振モード		270	330	$\mu A$

\*1 R/F変換器使用時にHALT時/動作時(重負荷保護モード含む)のいずれかの消費電流に加算されます。 $V_{DD}$ 、基準容量、基準/センサ発振周波数によって消費電流は異なります。

### RFC基準/センサ発振消費電流対周波数特性 (抵抗性センサDC/AC発振モード)

R<sub>REF</sub>/R<sub>SEN</sub> = 100k $\Omega$ , C<sub>REF</sub> = 1000pF, Typ.値



## 27.11 温度検出回路特性

### アナログ特性

特記なき場合:  $V_{DD} = 2.0\sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40\sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	-			8		bit
温度センサ出力電圧安定時間	tSTAB				10	ms
温度センサ出力電圧比較時間	tCMP		150			$\mu s$
温度検出範囲	TRNG		-40		85	$^\circ C$
温度検出誤差	E <sub>TEM</sub>	TRNG = 0~50 $^\circ C$		$\pm 2$	$\pm 5$	$^\circ C$

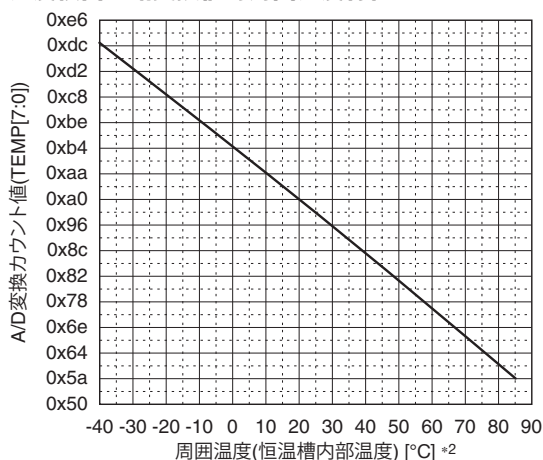
### 温度検出回路消費電流

特記なき場合:  $V_{DD} = 2.0\sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
温度検出回路動作電流 *1	I <sub>TEM</sub>			6	12	$\mu A$

\*1 温度検出回路使用時にHALT時/動作時(重負荷保護モード含む)のいずれかの消費電流に加算されます。

### 温度検出回路変換値対周囲温度特性



\*2 温度が十分に安定した恒温槽において、SLEEP解除後、変換時間(比較時間) = 150 $\mu s$ で測定。  
温度検出回路はデバイス内部の温度を測定します。環境によって、周囲温度との差が大きくなる場合があります。測定温度を周囲温度として扱う場合には、その環境にあった専用のテーブルを用意することを推奨します。

## 27.12 SVD回路特性

### アナログ特性

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD電圧	VsVD	SVDC[4:0] = 0x0	Typ. × 0.96	-	Typ. × 1.04	V
		SVDC[4:0] = 0x1		-		V
		SVDC[4:0] = 0x2		-		V
		SVDC[4:0] = 0x3		-		V
		SVDC[4:0] = 0x4		-		V
		SVDC[4:0] = 0x5		-		V
		SVDC[4:0] = 0x6		-		V
		SVDC[4:0] = 0x7		-		V
		SVDC[4:0] = 0x8		-		V
		SVDC[4:0] = 0x9		-		V
		SVDC[4:0] = 0xa		-		V
		SVDC[4:0] = 0xb		-		V
		SVDC[4:0] = 0xc		-		V
		SVDC[4:0] = 0xd		-		V
		SVDC[4:0] = 0xe		2.00		V
		SVDC[4:0] = 0xf		2.10		V
		SVDC[4:0] = 0x10		2.20		V
		SVDC[4:0] = 0x11		2.30		V
		SVDC[4:0] = 0x12		2.40		V
		SVDC[4:0] = 0x13		2.50		V
SVDC[4:0] = 0x14	2.60	V				
SVDC[4:0] = 0x15	2.70	V				
SVDC[4:0] = 0x16	2.80	V				
SVDC[4:0] = 0x17	2.90	V				
SVDC[4:0] = 0x18	3.00	V				
SVDC[4:0] = 0x19	3.10	V				
SVDC[4:0] = 0x1a	3.20	V				
SVDC[4:0] = 0x1b	-	V				
SVDC[4:0] = 0x1c	-	V				
SVDC[4:0] = 0x1d	-	V				
SVDC[4:0] = 0x1e	-	V				
SVDC[4:0] = 0x1f	-	V				
SVD回路イネーブル時応答時間 *1	tsVDEN				500	μs
SVD回路応答時間 *2	tsVD				60	μs

\*1 SVDENを0から1に変更後、安定した検出結果が得られるまでに必要な時間です。

\*2 SVDC[4:0]を変更後、安定した検出結果が得られるまでに必要な時間です。

### SVD回路消費電流

特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流 *1	ISVD	$V_{DD} = 3.6V$ , SVDC[4:0] = 0xe (2.0V)		12	17	μA

\*1 SVD回路動作時にSLEEP時/HALT時/動作時(重負荷保護モード含む)のいずれかの消費電流に加算されます。

## 27.13 Flashメモリ特性

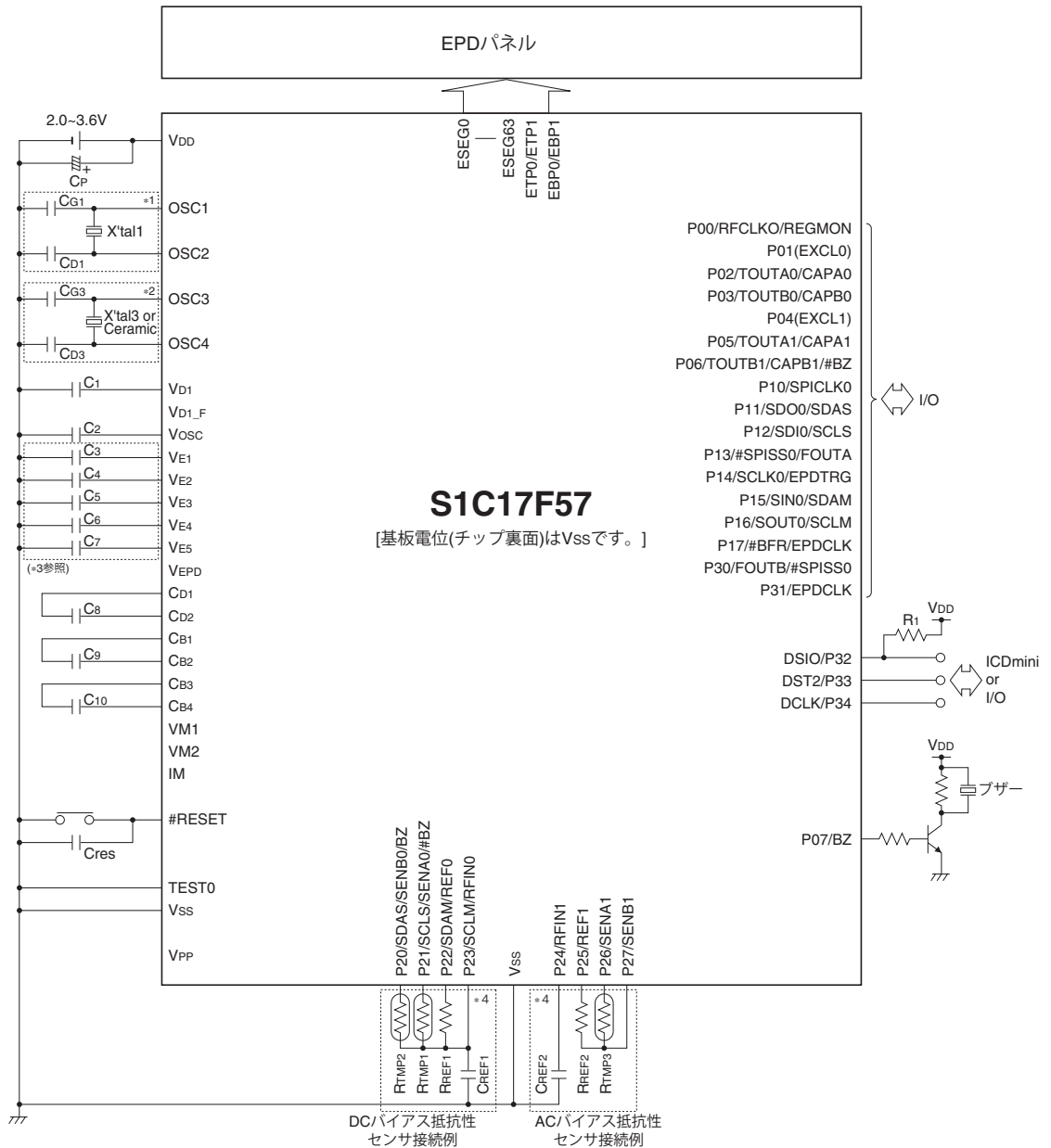
特記なき場合:  $V_{DD} = 2.0 \sim 3.6V$ ,  $V_{PP} = 7.0V$  (プログラミング時)/7.5V (消去時),  $V_{SS} = 0V$  \*1,  $T_a = 10 \sim 40^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *2	CFEP	データ保持10年保証時	3			回

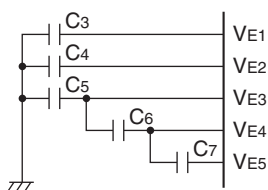
\*1  $V_{SS}$ 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し $\pm 0.3V$ 以内の変動に抑えてください。

\*2 消去 + 書き込みを1回とする。工場での書き込みも回数に含む。

# 28 基本外部結線図

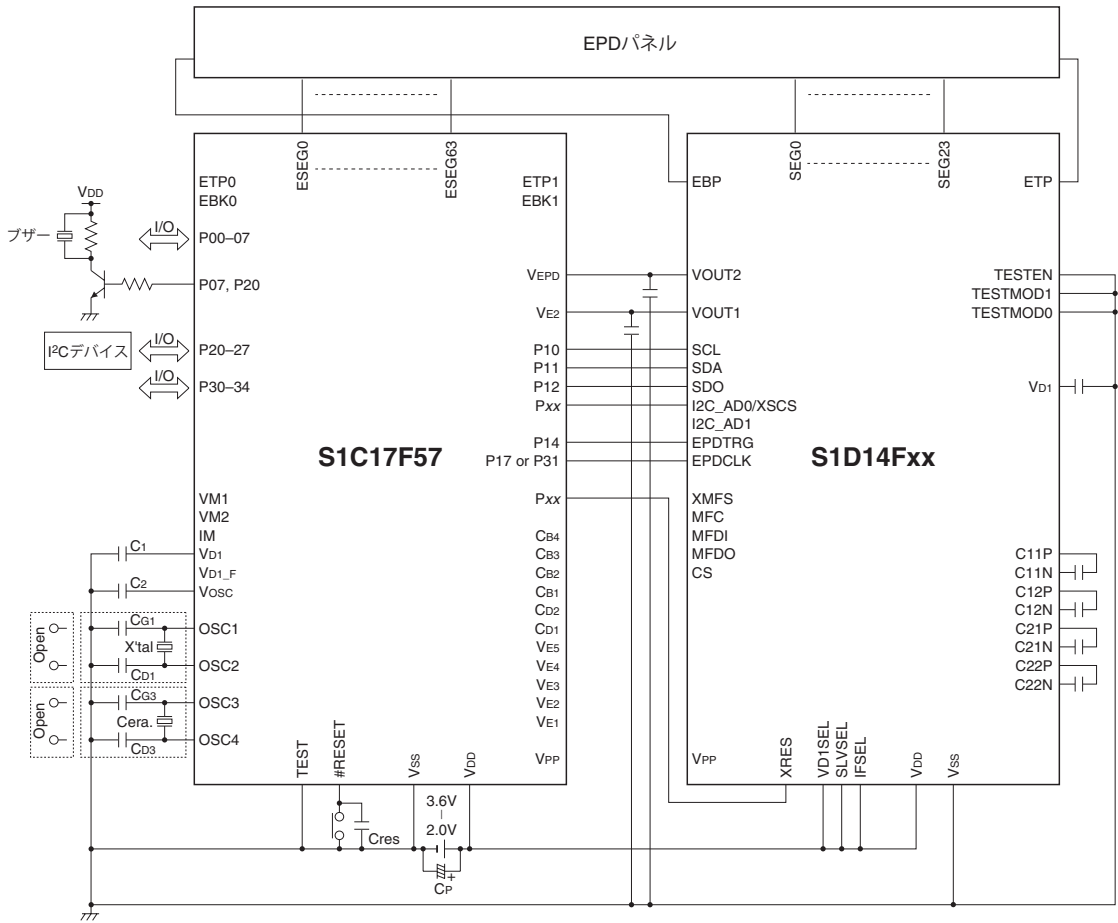


- \*1: この外部回路はOSC1A発振回路を使用する場合にのみ必要です。
- \*2: この外部回路はOSC3A発振回路を使用する場合にのみ必要です。
- \*3: 下図はEPD電源用外付け部品の動作最大電圧を下げるための結線方法です。ただし、EPD電源能力が低下しますので、必ず実機評価を実施してから適用してください。



- \*4: この外部回路はR/F変換器(RFC)を使用する場合にのみ必要です。

外部EPDドライバ接続例 (外部EPDドライバのEPD電源を使用する場合)





## 外付部品推奨値

### OSC1A発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数		推奨動作条件
					C <sub>D1</sub> [pF]	C <sub>G1</sub> [pF]	温度範囲 [°C]
X'tal1	水晶振動子	セイコーエプソン 株式会社	32.768k	C-002RX (R <sub>1</sub> = 50kΩ (Max.), C <sub>L</sub> = 7pF)	3	3	-10~60°C
				MC-146 (R <sub>1</sub> = 65kΩ (Max.), C <sub>L</sub> = 7pF)	3	3	-40~85°C

### OSC3A発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数*		推奨動作条件
					C <sub>D3</sub> [pF]	C <sub>G3</sub> [pF]	温度範囲 [°C]
X'tal3	水晶振動子	セイコーエプソン 株式会社	4M	MA-406	15	15	-20~70°C
Ceramic 発振子	セラミック 発振子	株式会社 村田製作所	2M	CSTCC2M00G56-R0 (SMD)	(47)	(47)	-40~85°C
			4M	CSTCR4M00G53-R0 (SMD)	(15)	(15)	-40~85°C
			4M	CSTLS4M00G53-B0 (リード)	(15)	(15)	-40~85°C

\* ()は発振子に内蔵されている容量を表しています。

### その他

シンボル	名称	推奨値	動作最大電圧
CP	電源キャパシタ	3.3μF	3.6V
C <sub>G1</sub>	ゲートキャパシタ	3pF	3.6V
C <sub>D1</sub>	ドレインキャパシタ	3pF	3.6V
C <sub>G3</sub>	ゲートキャパシタ	15pF	3.6V
C <sub>D3</sub>	ドレインキャパシタ	15pF	3.6V
C <sub>res</sub>	#RESET端子キャパシタ	0.47μF	3.6V
C <sub>1</sub>	V <sub>D1</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	3.6V
C <sub>2</sub>	V <sub>OSC</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	3.6V
C <sub>3</sub>	V <sub>E1</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	3.6V
C <sub>4</sub>	V <sub>E2</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	3.6V
C <sub>5</sub>	V <sub>E3</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	7.2V
C <sub>6</sub>	V <sub>E4</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	14.4V (7.2V*)
C <sub>7</sub>	V <sub>E5</sub> ~V <sub>SS</sub> 間キャパシタ	0.1μF	21.6V (7.2V*)
C <sub>8</sub>	C <sub>D1</sub> ~C <sub>D2</sub> 間キャパシタ	0.1μF	7.2V
C <sub>9</sub>	C <sub>B1</sub> ~C <sub>B2</sub> 間キャパシタ	0.1μF	14.4V (7.2V*)
C <sub>10</sub>	C <sub>B3</sub> ~C <sub>B4</sub> 間キャパシタ	0.1μF	21.6V (7.2V*)
R <sub>1</sub>	DSIOプルアップ抵抗	10kΩ	-

\* EPD系電源回路の外付けキャパシタを基本外部結線図(\*3)のとおり接続した場合

注: ・ここに記載されている値は一例であり、特に動作を保証するものではありません。

- ・水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

# 29 チップ

## 29.1 パッド/バンブ配置

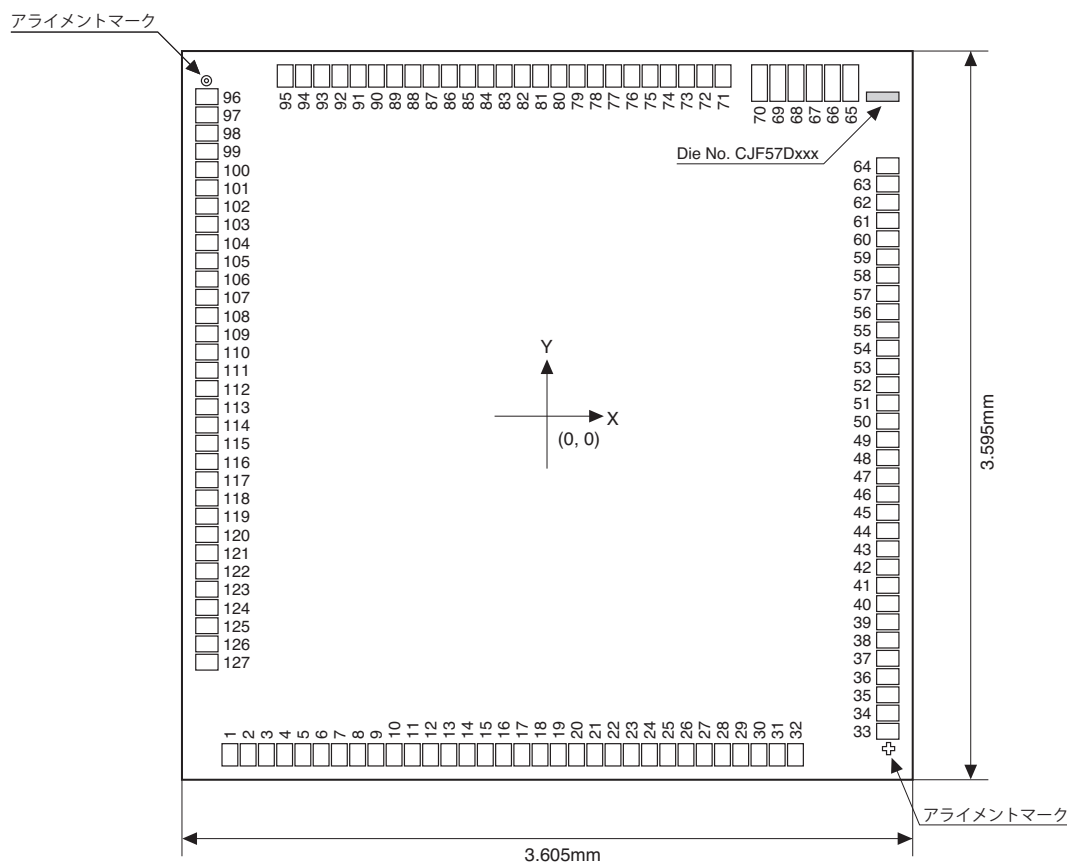


図29.1.1 S1C17F57パッド/バンブ配置図

チップサイズ	X = 3.605mm, Y = 3.595mm
パッド開口部	No. 1~32, 71~95: X = 76 $\mu$ m, Y = 110 $\mu$ m No. 33~64, 96~127: X = 110 $\mu$ m, Y = 76 $\mu$ m No. 65~70: X = 76 $\mu$ m, Y = 180 $\mu$ m
バンブサイズ	No. 1~32, 71~95: X = 70 $\mu$ m, Y = 104 $\mu$ m No. 33~64, 96~127: X = 104 $\mu$ m, Y = 70 $\mu$ m No. 65~70: X = 70 $\mu$ m, Y = 174 $\mu$ m
チップ厚	200 $\mu$ m
アライメントマーク座標	左上: X = -1678.1 $\mu$ m, Y = 1673.1 $\mu$ m 右下: X = 1678.1 $\mu$ m, Y = -1673.1 $\mu$ m

### アライメントマーク

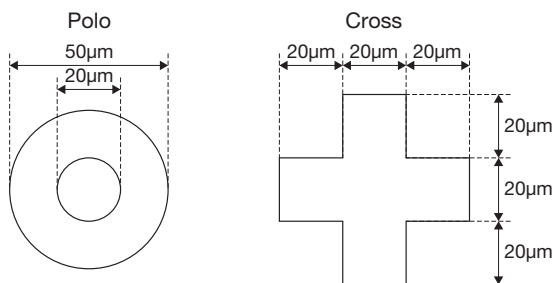


図29.1.2 アライメントマーク

表29.1.1 S1C17F57パッド/バンプ座標

No.	名称	X (μm)	Y (μm)	No.	名称	X (μm)	Y (μm)
1	ESEG8	-1566.0	-1674.5	65	CB2	1496.8	1639.5
2	ESEG9	-1476.0	-1674.5	66	CB1	1406.8	1639.5
3	ESEG10	-1386.0	-1674.5	67	VE2	1316.8	1639.5
4	ESEG11	-1296.0	-1674.5	68	VE1	1226.8	1639.5
5	ESEG12	-1206.0	-1674.5	69	CD2	1136.8	1639.5
6	ESEG13	-1116.0	-1674.5	70	CD1	1046.8	1639.5
7	ESEG14	-1026.0	-1674.5	71	VM1	866.8	1674.5
8	ESEG15	-936.0	-1674.5	72	VM2	776.8	1674.5
9	ESEG16	-846.0	-1674.5	73	IM	686.8	1674.5
10	ESEG17	-756.0	-1674.5	74	VSS	596.8	1674.5
11	ESEG18	-666.0	-1674.5	75	OSC1	506.8	1674.5
12	ESEG19	-576.0	-1674.5	76	OSC2	416.8	1674.5
13	ESEG20	-486.0	-1674.5	77	VOsc	326.8	1674.5
14	ESEG21	-396.0	-1674.5	78	OSC3	236.8	1674.5
15	ESEG22	-306.0	-1674.5	79	OSC4	146.8	1674.5
16	ESEG23	-216.0	-1674.5	80	VDD	56.8	1674.5
17	ESEG24	-126.0	-1674.5	81	VD1	-33.2	1674.5
18	ESEG25	-36.0	-1674.5	82	VD1_F	-123.2	1674.5
19	ESEG26	54.0	-1674.5	83	P00/RFCLKO/REGMON	-213.2	1674.5
20	ESEG27	144.0	-1674.5	84	P01/EXCL0	-303.2	1674.5
21	ESEG28	234.0	-1674.5	85	P02/TOUTA0/CAPA0	-393.2	1674.5
22	ESEG29	324.0	-1674.5	86	P03/TOUTB0/CAPB0	-483.2	1674.5
23	ESEG30	414.0	-1674.5	87	P04/EXCL1	-573.2	1674.5
24	ESEG31	504.0	-1674.5	88	P05/TOUTA1/CAPA1	-663.2	1674.5
25	ESEG32	594.0	-1674.5	89	P06/TOUTB1/CAPB1/#BZ	-753.2	1674.5
26	ESEG33	684.0	-1674.5	90	P07/BZ	-843.2	1674.5
27	ESEG34	774.0	-1674.5	91	P10/SPICLK0	-933.2	1674.5
28	ESEG35	864.0	-1674.5	92	P11/SDO0/SDAS	-1023.2	1674.5
29	ESEG36	954.0	-1674.5	93	P12/SDI0/SCLS	-1113.2	1674.5
30	ESEG37	1044.0	-1674.5	94	P13/#SPISS0/FOUTA	-1203.2	1674.5
31	ESEG38	1134.0	-1674.5	95	P14/SCLK0/EPDTRG	-1293.2	1674.5
32	ESEG39	1224.0	-1674.5	96	P15/SIN0/SDAM	-1679.5	1572.5
33	ESEG40	1679.5	-1558.5	97	P16/SOUT0/SCLM	-1679.5	1482.5
34	ESEG41	1679.5	-1468.5	98	P17/#BFR/EPDCLK	-1679.5	1392.5
35	ESEG42	1679.5	-1378.5	99	P20/SDAS/SENBO/BZ	-1679.5	1302.5
36	ESEG43	1679.5	-1288.5	100	P21/SCLS/SENA0/#BZ	-1679.5	1212.5
37	ESEG44	1679.5	-1198.5	101	P22/SDAM/REF0	-1679.5	1122.5
38	ESEG45	1679.5	-1108.5	102	P23/SCLM/RFIN0	-1679.5	1032.5
39	ESEG46	1679.5	-1018.5	103	VSS	-1679.5	942.5
40	ESEG47	1679.5	-928.5	104	P24/RFIN1	-1679.5	852.5
41	ESEG48	1679.5	-838.5	105	P25/REF1	-1679.5	762.5
42	ESEG49	1679.5	-748.5	106	P26/SENA1	-1679.5	672.5
43	ESEG50	1679.5	-658.5	107	P27/SENBO	-1679.5	582.5
44	ESEG51	1679.5	-568.5	108	P30/FOUTB/#SPISS0	-1679.5	492.5
45	ESEG52	1679.5	-478.5	109	P31/EPDCLK	-1679.5	402.5
46	ESEG53	1679.5	-388.5	110	DSIO/P32	-1679.5	312.5
47	ESEG54	1679.5	-298.5	111	DST2/P33	-1679.5	222.5
48	ESEG55	1679.5	-208.5	112	DCLK/P34	-1679.5	132.5
49	ESEG56	1679.5	-118.5	113	#RESET	-1679.5	42.5
50	ESEG57	1679.5	-28.5	114	TEST0	-1679.5	-47.5
51	ESEG58	1679.5	61.5	115	VDD	-1679.5	-137.5
52	ESEG59	1679.5	151.5	116	VPP	-1679.5	-227.5
53	ESEG60	1679.5	241.5	117	VSS	-1679.5	-317.5
54	ESEG61	1679.5	331.5	118	ETPO	-1679.5	-407.5
55	ESEG62	1679.5	421.5	119	EBP0	-1679.5	-497.5
56	ESEG63	1679.5	511.5	120	ESEG0	-1679.5	-587.5
57	EBP1	1679.5	601.5	121	ESEG1	-1679.5	-677.5
58	ETP1	1679.5	691.5	122	ESEG2	-1679.5	-767.5
59	VEPD	1679.5	781.5	123	ESEG3	-1679.5	-857.5
60	VE5	1679.5	871.5	124	ESEG4	-1679.5	-947.5
61	VE4	1679.5	961.5	125	ESEG5	-1679.5	-1037.5
62	VE3	1679.5	1051.5	126	ESEG6	-1679.5	-1127.5
63	CB4	1679.5	1141.5	127	ESEG7	-1679.5	-1217.5
64	CB3	1679.5	1231.5				

## 29.2 金バンプ仕様

表29.2.1 金バンプ仕様

特性項目		仕様
バンプ形状		ストレートバンプ
バンプ高さ (Al配線上からバンプトップ までの距離)	中心値	17 $\mu$ m Typ.
	全ロット, 全バンプバラツキ公差	中心値 $\pm$ 4 $\mu$ m
	チップ内バラツキ公差	$R(\text{Max.} - \text{Min.}) \leq 3\mu\text{m}$
バンプ硬度	全ロット, 全バンプ	30~70HV
バンプ強度	全ロット, 全バンプ	0.0067g/ $\mu\text{m}^2$ , 金バンプ内せん断
バンプ表面凹凸	1バンプ内, 高さMax. - Min.	3.0 $\mu$ m以下
バンプ寸法	平面XY寸法公差(バンプトップ部)	$X \pm 4\mu\text{m}$ , $Y \pm 4\mu\text{m}$
バンプ~バンプ間隔	最小値	$S = 20\mu\text{m}$

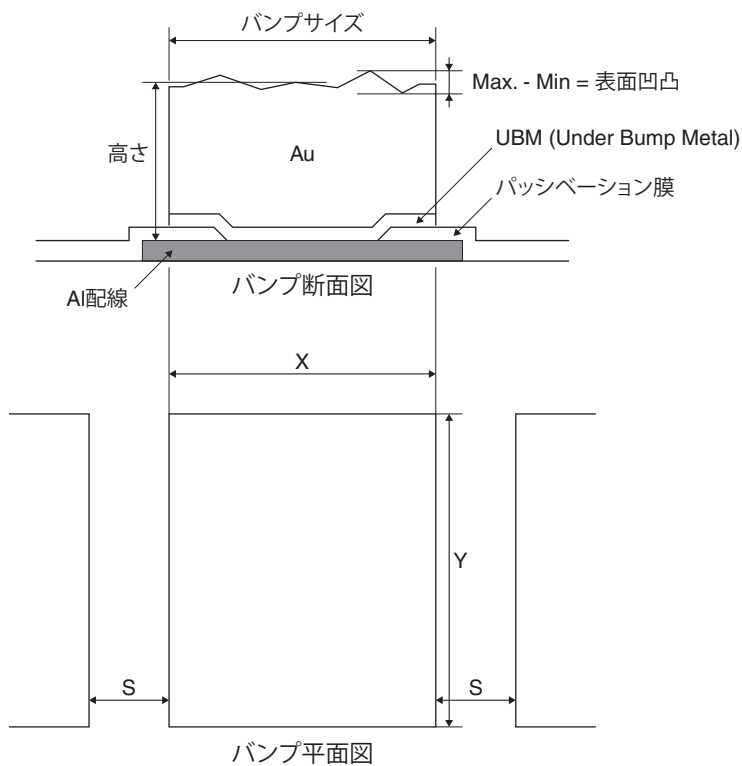


図29.2.1 金バンプ仕様

# Appendix A I/Oレジスタ一覧

## 内蔵周辺回路エリア 1(0x4000~0x43ff)

周辺回路	アドレス	レジスタ名		機能
MISCレジスタ (8ビットデバイス)	0x4020	MISC_DMODE1	Debug Mode Control Register 1	デバッグモード時の周辺回路動作選択(PCLK)
UART(IrDA付き) Ch.0 (8ビットデバイス)	0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
	0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
	0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
	0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
	0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
	0x4106	UART_BR0	UART Ch.0 Baud Rate Register	ボーレートの設定
8ビットタイマ Ch.0 (16ビットデバイス)	0x4107	UART_FMD0	UART Ch.0 Fine Mode Register	ファインモードの設定
	0x4240	T8_CLK0	T8 Ch.0 Count Clock Select Register	カウントクロックの選択
	0x4242	T8_TR0	T8 Ch.0 Reload Data Register	リロードデータの設定
	0x4244	T8_TC0	T8 Ch.0 Counter Data Register	カウンタデータ
	0x4246	T8_CTL0	T8 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
8ビットタイマ Ch.1 (16ビットデバイス)	0x4248	T8_INT0	T8 Ch.0 Interrupt Control Register	割り込みの制御
	0x4260	T8_CLK1	T8 Ch.1 Count Clock Select Register	カウントクロックの選択
	0x4262	T8_TR1	T8 Ch.1 Reload Data Register	リロードデータの設定
	0x4264	T8_TC1	T8 Ch.1 Counter Data Register	カウンタデータ
	0x4266	T8_CTL1	T8 Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
割り込み コントローラ (16ビットデバイス)	0x4268	T8_INT1	T8 Ch.1 Interrupt Control Register	割り込みの制御
	0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P2割り込みレベルの設定
	0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
	0x430a	ITC_LV2	Interrupt Level Setup Register 2	RTC割り込みレベルの設定
	0x430c	ITC_LV3	Interrupt Level Setup Register 3	EPD、T16A2 Ch.0割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5	T8 Ch.0、Ch.1割り込みレベルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0、I2CM割り込みレベルの設定
	0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0、I2CM割り込みレベルの設定
	0x4316	ITC_LV8	Interrupt Level Setup Register 8	T16A2 Ch.1割り込みレベルの設定
SPI Ch.0 (16ビットデバイス)	0x4318	ITC_LV9	Interrupt Level Setup Register 9	TEM、RFC割り込みレベルの設定
	0x4320	SPI_ST0	SPI Ch.0 Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register	送信データ
	0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register	受信データ
	0x4326	SPI_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定
I <sup>2</sup> Cマスタ (16ビットデバイス)	0x4340	I2CM_EN	I <sup>2</sup> C Master Enable Register	I <sup>2</sup> Cマスタモジュールイネーブル
	0x4342	I2CM_CTL	I <sup>2</sup> C Master Control Register	I <sup>2</sup> Cマスタの制御と転送状態の表示
	0x4344	I2CM_DAT	I <sup>2</sup> C Master Data Register	送受信データ
	0x4346	I2CM_ICTL	I <sup>2</sup> C Master Interrupt Control Register	I <sup>2</sup> Cマスタ割り込みの制御
I <sup>2</sup> Cスレーブ (16ビットデバイス)	0x4360	I2CS_TRNS	I <sup>2</sup> C Slave Transmit Data Register	I <sup>2</sup> Cスレーブ送信データ
	0x4362	I2CS_RECV	I <sup>2</sup> C Slave Receive Data Register	I <sup>2</sup> Cスレーブ受信データ
	0x4364	I2CS_SADRS	I <sup>2</sup> C Slave Address Setup Register	I <sup>2</sup> Cスレーブアドレスの設定
	0x4366	I2CS_CTL	I <sup>2</sup> C Slave Control Register	I <sup>2</sup> Cスレーブの制御
	0x4368	I2CS_STAT	I <sup>2</sup> C Slave Status Register	I <sup>2</sup> Cスレーブのバスステータスの表示
	0x436a	I2CS_ASTAT	I <sup>2</sup> C Slave Access Status Register	I <sup>2</sup> Cスレーブのアクセスステータスの表示
	0x436c	I2CS_ICTL	I <sup>2</sup> C Slave Interrupt Control Register	I <sup>2</sup> Cスレーブ割り込みの制御

## 内蔵周辺回路エリア 2(0x5000~0x5fff)

周辺回路	アドレス	レジスタ名		機能
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
ストップウォッチ タイマ (8ビットデバイス)	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名	機能	
クロック ジェネレータ/ 論理緩急 (8ビットデバイス)	0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
	0x5061	CLG_CTL	Oscillation Control Register	発振制御
	0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
	0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
	0x5067	RFC_CLK	RFC Clock Control Register	RFCクロックの制御
	0x5068	T16A_CLK0	T16A2 Clock Control Register Ch.0	T16A2 Ch.0クロックの制御
	0x5069	T16A_CLK1	T16A2 Clock Control Register Ch.1	T16A2 Ch.1クロックの制御
	0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの制御
	0x506e	SND_CLK	SND Clock Control Register	SNDクロックの制御
	0x506f	TEM_CLK	TEM Clock Control Register	TEMクロックの制御
	0x5070	EPD_TCLK	EPD Timing Clock Control Register	EPDタイミングクロックの制御
	0x5071	EPD_DCLK	EPD Doubler Clock Control Register	EPD Doublerクロックの制御
	0x5072	EPD_BCLK	EPD Booster Clock Control Register	EPD Boosterクロックの制御
	0x5078	TR_CTL	TR Control Register	論理緩急制御
	0x5079	TR_VAL	TR Value Register	補正値の設定
	0x507d	CLG_WAIT	Oscillation Stabilization Wait Control Register	発振安定待ち時間の制御
	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
SVD回路 (8ビットデバイス)	0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
	0x5101	SVD_CMP	SVD Comparison Voltage Register	比較電圧の設定
	0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
電源回路 (8ビットデバイス)	0x5120	VD1_CTL	V <sub>D1</sub> Control Register	V <sub>D1</sub> Regulator重負荷保護モードの制御
サウンド ジェネレータ (8ビットデバイス)	0x5180	SND_CTL	SND Control Register	ブザー出力の制御
	0x5181	SND_BZFQ	Buzzer Frequency Control Register	ブザー周波数の設定
	0x5182	SND_BZDT	Buzzer Duty Ratio Control Register	ブザー信号デューティ比の設定
温度検出回路 (8ビットデバイス)	0x51a0	TEM_TIME	TEM Comparison Time Setting Register	センサ出力比較時間の設定
	0x51a1	TEM_CTL	TEM Control Register	温度検出回路の制御
	0x51a2	TEM_STAT	TEM Status Register	変換状態の表示
	0x51a3	TEM_RSLT	TEM Conversion Result Register	温度変換結果
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力イネーブル
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出力イネーブル
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力イネーブル
	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_OEN	P2 Output Enable Register	P2ポート出力イネーブル
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5225	P2_IMSK	P2 Port Interrupt Mask Register	P2ポート割り込みマスクの設定
	0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register	P2ポート割り込みエッジの選択
	0x5227	P2_IFLG	P2 Port Interrupt Flag Register	P2ポート割り込み発生状態の表示/リセット
	0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
	0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力イネーブル
	0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
	0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
	0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出力イネーブル
	0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力イネーブル
	0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
	0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択	
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択	
0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択	
0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択	
0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択	
0x52a7	P34PMUX	P34 Port Function Select Register	P34ポート機能の選択	

周辺回路	アドレス	レジスタ名		機能	
MISCレジスタ (16ビットデバイス)	0x5322	MISC_DM0DE2	Debug Mode Control Register 2	デバッグモード時の周辺回路動作選択 (PCLC以外)	
	0x5324	MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護	
	0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択	
	0x5328	MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定	
	0x532a	MISC_TTBRLH	Vector Table Address High Register		
	0x532c	MISC_PSR	PSR Register	S1C17コアPSRの読み出し	
R/F変換器 (16ビットデバイス)	0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御	
	0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御	
	0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ	
	0x53a6	RFC_MCH	RFC Measurement Counter High Register	タイムベースカウンタデータ	
	0x53a8	RFC_TCL	RFC Time Base Counter Low Register		
	0x53aa	RFC_TCH	RFC Time Base Counter High Register	割り込み許可/禁止	
	0x53ac	RFC_IMSK	RFC Interrupt Mask Register		
	0x53ae	RFC_IFLG	RFC Interrupt Flag Register		
16ビットPWM タイマCh.0 (16ビットデバイス)	0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御	
	0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ	
	0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御	
	0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャAデータ	
	0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャBデータ	
	0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止	
	0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット	
	16ビットPWM タイマCh.1 (16ビットデバイス)	0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register	カウンタの制御
0x5422		T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ	
0x5424		T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御	
0x5426		T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャAデータ	
0x5428		T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャBデータ	
0x542a		T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止	
0x542c		T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット	
Flashコントローラ (16ビットデバイス)	0x54b0	FLASHC_WAIT	FLASHC Read Wait Control Register	Flashリードウェイト数の設定	
	0x5600	EPD_PWR0	EPD Power Control Register 0	Ve Regulator/Doublerの制御	
	0x5602	EPD_PWR1	EPD Power Control Register 1	Vh Regulator/Boosterの制御	
	0x5604	EPD_CTL	EPD Display Control Register	EPD表示の制御	
	0x5606	EPD_INT	EPD Interrupt Control Register	割り込みの制御	
	0x5620	EPD_PLNDAT	EPD Top/Back Plane Data Register	トッププレーン/バックプレーン出力データ	
	0x5622	EPD_SEGDATA0	EPD Segment Data Register 0	セグメント出力データ (ESEG0~ESEG15)	
	0x5624	EPD_SEGDATA1	EPD Segment Data Register 1	セグメント出力データ (ESEG16~ESEG31)	
	0x5626	EPD_SEGDATA2	EPD Segment Data Register 2	セグメント出力データ (ESEG32~ESEG47)	
	0x5628	EPD_SEGDATA3	EPD Segment Data Register 3	セグメント出力データ (ESEG48~ESEG63)	
	0x5640	EPD_WAVE0	EPD Wave Timing Set 0 Register	表示波形データ (タイミングセット0)	
	0x5642	EPD_WAVE1	EPD Wave Timing Set 1 Register	表示波形データ (タイミングセット1)	
	:	:	:	:	
	0x567e	EPD_WAVE31	EPD Wave Timing Set 31 Register	表示波形データ (タイミングセット31)	
	リアルタイム クロック (16ビットデバイス)	0x56c0	RTC_CTL	RTC Control Register	RTCの制御
		0x56c2	RTC_IEN	RTC Interrupt Enable Register	割り込みの許可/禁止
		0x56c4	RTC_IFLG	RTC Interrupt Flag Register	割り込み発生状態の表示/リセット
0x56c6		RTC_MS	RTC Minute/Second Counter Register	分/秒カウンタデータ	
0x56c8		RTC_H	RTC Hour Counter Register	時カウンタデータ	

### コアI/O予約エリア (0xffff84~0xffffd0)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

## 0x4100–0x4107, 0x506c

## UART (with IrDA) Ch.0

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
UART Ch.0 Status Register (UART_ST0)	0x4100 (8 bits)	D7	<b>TRED</b>	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.	
		D6	<b>FER</b>	Framing error flag	1	Error	0	Normal	0	R/W		
		D5	<b>PER</b>	Parity error flag	1	Error	0	Normal	0	R/W		
		D4	<b>OER</b>	Overrun error flag	1	Error	0	Normal	0	R/W		
		D3	<b>RD2B</b>	Second byte receive flag	1	Ready	0	Empty	0	R		
		D2	<b>TRBS</b>	Transmit busy flag	1	Busy	0	Idle	0	R		Shift register status
		D1	<b>RDRY</b>	Receive data ready flag	1	Ready	0	Empty	0	R		
D0	<b>TDBE</b>	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R				
UART Ch.0 Transmit Data Register (UART_TXD0)	0x4101 (8 bits)	D7-0	<b>TXD[7:0]</b>	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R/W				
UART Ch.0 Receive Data Register (UART_RXD0)	0x4102 (8 bits)	D7-0	<b>RXD[7:0]</b>	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R	Older data in the buffer is read out first.			
UART Ch.0 Mode Register (UART_MOD0)	0x4103 (8 bits)	D7-5	–	reserved	–		–	–	0 when being read.			
		D4	<b>CHLN</b>	Character length select	1	8 bits	0	7 bits	0	R/W		
		D3	<b>PREN</b>	Parity enable	1	With parity	0	No parity	0	R/W		
		D2	<b>PMD</b>	Parity mode select	1	Odd	0	Even	0	R/W		
		D1	<b>STPB</b>	Stop bit select	1	2 bits	0	1 bit	0	R/W		
		D0	–	reserved	–		–	–	–	0 when being read.		
UART Ch.0 Control Register (UART_CTL0)	0x4104 (8 bits)	D7	<b>TEIEN</b>	End of transmission int. enable	1	Enable	0	Disable	0	R/W		
		D6	<b>REIEN</b>	Receive error int. enable	1	Enable	0	Disable	0	R/W		
		D5	<b>RIEN</b>	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W		
		D4	<b>TIEN</b>	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W		
		D3-2	–	reserved	–		–	–	–	0 when being read.		
		D1	<b>RBFI</b>	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W		
D0	<b>RXEN</b>	UART enable	1	Enable	0	Disable	0	R/W				
UART Ch.0 Expansion Register (UART_EXP0)	0x4105 (8 bits)	D7-1	–	reserved	–		–	–	0 when being read.			
		D0	<b>IRMD</b>	IrDA mode select	1	On	0	Off	0	R/W		
UART Ch.0 Baud Rate Register (UART_BR0)	0x4106 (8 bits)	D7-0	<b>BR[7:0]</b>	Baud rate setting	0x0 to 0xff		0x0	R/W				
UART Ch.0 Fine Mode Register (UART_FMD0)	0x4107 (8 bits)	D7-4	–	reserved	–		–	–	0 when being read.			
		D3-0	<b>FMD[3:0]</b>	Fine mode setup	0x0 to 0xf		0x0	R/W	Set a number of times to insert delay into a 16-underflow period.			
UART Ch.0 Clock Control Register (UART_CLK0)	0x506c (8 bits)	D7-6	–	reserved	–		–	–	0 when being read.			
		D5-4	<b>UTCLKD [1:0]</b>	Clock division ratio select	UTCLKD[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A			
					0x3	1/8						
					0x2	1/4						
					0x1	1/2						
		D3-2	<b>UTCLKSRC [1:0]</b>	Clock source select	UTCLKSRC [1:0]	Clock source	0x0	R/W				
0x3	External clock											
D1	–	reserved	–		–	–	–	0 when being read.				
			D0	<b>UTCLKE</b>	UART clock enable	1	Enable	0	Disable	0	R/W	



## 0x4240–0x4248

## 8-bit Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T8 Ch.0 Count Clock Select Register (T8_CLK0)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0]   Division ratio	0x0	R/W	Source clock = PCLK	
						0xf		reserved	
						0xe		1/16384	
						0xd		1/8192	
						0xc		1/4096	
						0xb		1/2048	
						0xa		1/1024	
						0x9		1/512	
						0x8		1/256	
						0x7		1/128	
						0x6		1/64	
						0x5		1/32	
						0x4		1/16	
				0x3		1/8			
				0x2		1/4			
				0x1		1/2			
				0x0		1/1			
T8 Ch.0 Reload Data Register (T8_TR0)	0x4242 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TR[7:0]	Reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W		
T8 Ch.0 Counter Data Register (T8_TC0)	0x4244 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TC[7:0]	Counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R		
T8 Ch.0 Control Register (T8_CTL0)	0x4246 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.	
		D4	TRMD	Count mode select	1   One shot   0   Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.	
		D1	PRESER	Timer reset	1   Reset   0   Ignored	0	W		
		D0	PRUN	Timer run/stop control	1   Run   0   Stop	0	R/W		
T8 Ch.0 Interrupt Control Register (T8_INT0)	0x4248 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T8IE	T8 interrupt enable	1   Enable   0   Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T8IF	T8 interrupt flag	1   Cause of interrupt occurred   0   Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

## 0x4260–0x4268

## 8-bit Timer Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T8 Ch.1 Count Clock Select Register (T8_CLK1)	0x4260 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0]   Division ratio	0x0	R/W	Source clock = PCLK	
						0xf		reserved	
						0xe		1/16384	
						0xd		1/8192	
						0xc		1/4096	
						0xb		1/2048	
						0xa		1/1024	
						0x9		1/512	
						0x8		1/256	
						0x7		1/128	
						0x6		1/64	
						0x5		1/32	
						0x4		1/16	
				0x3		1/8			
				0x2		1/4			
				0x1		1/2			
				0x0		1/1			
T8 Ch.1 Reload Data Register (T8_TR1)	0x4262 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TR[7:0]	Reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W		
T8 Ch.1 Counter Data Register (T8_TC1)	0x4264 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TC[7:0]	Counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R		
T8 Ch.1 Control Register (T8_CTL1)	0x4266 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.	
		D4	TRMD	Count mode select	1   One shot   0   Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.	
		D1	PRESER	Timer reset	1   Reset   0   Ignored	0	W		
		D0	PRUN	Timer run/stop control	1   Run   0   Stop	0	R/W		

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8 Ch.1 Interrupt Control Register (T8_INT1)	0x4268 (16 bits)	D15-9	-	reserved	-	-	-	0 when being read.
		D8	T8IE	T8 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7-1	-	reserved	-	-	-	0 when being read.
		D0	T8IF	T8 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4306-0x4318

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV1[2:0]	P2 interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV4[2:0]	RTC interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV7[2:0]	T16A2 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV6[2:0]	EPD interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV11[2:0]	T8 Ch.1 interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV10[2:0]	T8 Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV13[2:0]	I2CS interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV15[2:0]	I2CM interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV14[2:0]	SPI Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV17[2:0]	T16A2 Ch.1 interrupt level	0 to 7	0x0	R/W	
		D7-0	-	reserved	-	-	-	0 when being read.
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV19[2:0]	RFC interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV18[2:0]	TEM interrupt level	0 to 7	0x0	R/W	

0x4320-0x4326

SPI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle 1 ss = L 0 ss = H	0	R	
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
SPI Ch.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Ch.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Ch.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15-10	-	reserved	-	-	-	0 when being read.
		D9	MCLK	SPI clock source select	1 T8 Ch.0 0 PCLK/4	0	R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7-6	-	reserved	-	-	-	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W	

## 0x4340–0x4346

I<sup>2</sup>C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CMEN	I <sup>2</sup> C master enable	1 Enable 0 Disable	0	R/W	
I <sup>2</sup> C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
D0	STRT	Start control	1 Start 0 Ignored	0	R/W			
I <sup>2</sup> C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I <sup>2</sup> C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

## 0x4360–0x436c

I<sup>2</sup>C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I <sup>2</sup> C slave transmit data	0–0xff	0x0	R/W	
I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I <sup>2</sup> C slave receive data	0–0xff	0x0	R	
I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I <sup>2</sup> C slave address	0–0x7f	0x0	R/W	
I <sup>2</sup> C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state 0 Normal	0	R/W	
		D7	I2CSEN	I <sup>2</sup> C slave enable	1 Enable 0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset 0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK 0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable 0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On 0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On 0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On 0 Off	0	R/W	
		D0	COM_MODE	I <sup>2</sup> C slave communication mode	1 Active 0 Standby	0	R/W	
I <sup>2</sup> C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow				
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK 0 ACK	0	R/W	
D0	DA_STOP	STOP condition detect	1 Detected 0 Not detected	0	R/W			
I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready 0 Not ready	0	R	
		D3	TXEMP	Transmit data empty	1 Empty 0 Not empty	0	R	
		D2	BUSY	I <sup>2</sup> C bus status	1 Busy 0 Free	0	R	
		D1	SELECTED	I <sup>2</sup> C slave select status	1 Selected 0 Not selected	0	R	
		D0	R/W	Read/write direction	1 Output 0 Input	0	R	
I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

## 0x5000–0x5003

## Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	CTRST	Clock timer reset	1   Reset	0   Ignored	0		W
		D3–1	–	reserved	–	–	–		–
		D0	CTRUN	Clock timer run/stop control	1   Run	0   Stop	0		R/W
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7–0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R		
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	CTIE32	32 Hz interrupt enable	1   Enable	0   Disable	0		R/W
		D2	CTIE8	8 Hz interrupt enable	1   Enable	0   Disable	0		R/W
		D1	CTIE2	2 Hz interrupt enable	1   Enable	0   Disable	0		R/W
D0	CTIE1	1 Hz interrupt enable	1   Enable	0   Disable	0	R/W			
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read. Reset by writing 1.	
		D3	CTIF32	32 Hz interrupt flag	1   Cause of interrupt occurred	0   Cause of interrupt not occurred	0		R/W
		D2	CTIF8	8 Hz interrupt flag	–	–	0		R/W
		D1	CTIF2	2 Hz interrupt flag	–	–	0		R/W
D0	CTIF1	1 Hz interrupt flag	–	–	0	R/W			

## 0x5020–0x5023

## Stopwatch Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	SWTRST	Stopwatch timer reset	1   Reset	0   Ignored	0		W
		D3–1	–	reserved	–	–	–		–
		D0	SWTRUN	Stopwatch timer run/stop control	1   Run	0   Stop	0		R/W
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7–4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R		
		D3–0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R		
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.	
		D2	SIE1	1 Hz interrupt enable	1   Enable	0   Disable	0		R/W
		D1	SIE10	10 Hz interrupt enable	1   Enable	0   Disable	0		R/W
		D0	SIE100	100 Hz interrupt enable	1   Enable	0   Disable	0		R/W
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read. Reset by writing 1.	
		D2	SIF1	1 Hz interrupt flag	1   Cause of interrupt occurred	0   Cause of interrupt not occurred	0		R/W
		D1	SIF10	10 Hz interrupt flag	–	–	0		R/W
		D0	SIF100	100 Hz interrupt flag	–	–	0		R/W

## 0x5040–0x5041

## Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	WDTRST	Watchdog timer reset	1   Reset	0   Ignored	0		W
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010		R/W
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1   Reset	0   NMI	0		R/W
		D0	WDTST	NMI status	1   NMI occurred	0   Not occurred	0		R

## 0x5060–0x5081

## Clock Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7–6	OSC3B FSEL[1:0]	OSC3B frequency select	OSC3BFSEL[1:0]	Frequency	0x0	R/W	
					0x3	reserved	–	–	0 when being read.
					0x2	500 kHz	–	–	
					0x1	1 MHz	–	–	
		0x0	2 MHz	–	–				
D4	OSC1SEL	OSC1 source select	1   OSC1B	0   OSC1A	1	R/W			
D3–2	–	reserved	–	–	–	–	–	0 when being read.	
D1–0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]	Clock source	0x0	R/W			
			0x3	reserved	–	–			
			0x2	OSC3A	–	–			
			0x1	OSC1	–	–			
0x0	OSC3B	–	–						

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks						
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.						
		D2	OSC3BEN	OSC3B enable	1 Enable 0 Disable	1	R/W							
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W							
		D0	OSC3AEN	OSC3A enable	1 Enable 0 Disable	0	R/W							
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7	–	reserved	–	–	–	0 when being read.						
		D6-4	FOUTAD [2:0]	FOUTA clock division ratio select	FOUTAD[2:0] Division ratio 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W							
		D3-2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0] Clock source 0x3 reserved 0x2 OSC3A 0x1 OSC1 0x0 OSC3B	0x0	R/W							
		D1	–	reserved	–	–	–	0 when being read.						
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W							
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7	–	reserved	–	–	–	0 when being read.						
		D6-4	FOUTBD [2:0]	FOUTB clock division ratio select	FOUTBD[2:0] Division ratio 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W							
		D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0] Clock source 0x3 reserved 0x2 OSC3A 0x1 OSC1 0x0 OSC3B	0x0	R/W							
		D1	–	reserved	–	–	–	0 when being read.						
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W							
Oscillation Stabilization Wait Control Register (CLG_WAIT)	0x507d (8 bits)	D7-6	OSC3BWT [1:0]	OSC3B stabilization wait cycle select	OSC3BWT[1:0] Wait cycle 0x3 8 cycles 0x2 16 cycles 0x1 32 cycles 0x0 64 cycles	0x0	R/W							
					D5-4				OSC3AWT [1:0]	OSC3A stabilization wait cycle select	OSC3AWT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles			
											D3-2	OSC1BWT [1:0]	OSC1B stabilization wait cycle select	OSC1BWT[1:0] Wait cycle 0x3 8 cycles 0x2 16 cycles 0x1 32 cycles 0x0 64 cycles
														D1-0
		PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	–	reserved	–		–	–	0 when being read.			
				D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0] PCLK supply 0x3 Enable 0x2 Not allowed 0x1 Not allowed 0x0 Disable		0x3	R/W				
		CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	–	reserved	–		–	–	0 when being read.			
				D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0] Gear ratio 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1		0x0	R/W				

## 0x5078–0x5079

## Theoretical Regulation Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
TR Control Register (TR_CTL)	0x5078 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	RCLKFSEL	Monitor clock frequency select	1 1 Hz   0 256 Hz	0	R/W		
		D2	RCLKMON	Regulated clock monitor enable	1 Enable   0 Disable	0	R/W		
		D1	–	reserved	–	–	–	0 when being read.	
		D0	REGTRIG	Regulation trigger	1 Trigger   0 Ignored	0	W		
TR Value Register (TR_VAL)	0x5079 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	TRIM[4:0]	Regulation value	TRIM[4:0]	Regulation value	0x0	R/W	
					0xf	+16			
					0xe	+15			
					:	:			
					0x1	+2			
					0x0	+1			
					0x1f	0			
					0x1e	-1			
					:	:			
0x11	-14								
0x10	-15								

## 0x5100–0x5102

## SVD Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.	
		D0	SVDEN	SVD enable	1 Enable   0 Disable	0	R/W		
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	SVDC[4:0]	SVD comparison voltage select	SVDC[4:0]	Voltage	0x0	R/W	
					0x1f–0x1b	reserved			
					0x1a	3.20 V			
					0x19	3.10 V			
					0x18	3.00 V			
					0x17	2.90 V			
					0x16	2.80 V			
					0x15	2.70 V			
					0x14	2.60 V			
0x13	2.50 V								
0x12	2.40 V								
0x11	2.30 V								
0x10	2.20 V								
0xf	2.10 V								
0xe	2.00 V								
0xd–0x0	reserved								
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.	
		D0	SVDDT	SVD detection result	1 Low   0 Normal	×	R		

## 0x5120

## Power Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
V <sub>D1</sub> Control Register (VD1_CTL)	0x5120 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	HVLD	V <sub>D1</sub> heavy load protection mode	1 On   0 Off	0	R/W	
		D4–0	–	reserved	–	–	–	0 when being read.

## 0x506e, 0x5180–0x5182

## Sound Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SND Clock Control Register (SND_CLK)	0x506e (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SNDCLKE	SND clock enable	1 Enable   0 Disable	0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SND Control Register (SND_CTL)	0x5180 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	BZTM[1:0]	Buzzer envelope time/one-shot output time select	BZTM[1:0]	Time	0x0	R/W	
					0x3	125 ms			
					0x2	62.5 ms			
					0x1	31.25 ms			
0x0	15.63 ms								
D3-2	BZMD[1:0]	Buzzer mode select	BZMD[1:0]	Mode	0x0	R/W			
			0x3	reserved					
0x2	Envelope								
0x1	One-shot								
0x0	Normal								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	BZEN	Buzzer output control	1   On/Trigger	0   Off	0	R/W			
Buzzer Frequency Control Register (SND_BZFQ)	0x5181 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	BZFQ[2:0]	Buzzer frequency select	BZFQ[2:0]	Frequency	0x0	R/W	
					0x7	1170.3 Hz			
					0x6	1365.3 Hz			
					0x5	1638.4 Hz			
					0x4	2048.0 Hz			
					0x3	2340.6 Hz			
					0x2	2730.7 Hz			
0x1	3276.8 Hz								
0x0	4096.0 Hz								
Buzzer Duty Ratio Control Register (SND_BZDT)	0x5182 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2-0	BZDT[2:0]	Buzzer duty ratio select	BZDT[2:0]	Duty (volume)	0x0	R/W	
					0x7	Level 8 (Min.)			
					:	:			
0x0	Level 1 (Max.)								

## 0x506f, 0x51a0–0x51a3

## Temperature Detection Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
TEM Clock Control Register (TEM_CLK)	0x506f (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	TEMCLKD[1:0]	TEM clock division ratio select	TEMCLKD[1:0]	Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A
					0x3	1/8			
					0x2	1/4			
		0x1	1/2						
0x0	1/1								
D3-2	TEMCLK SRC[1:0]	TEM clock source select	TEMCLK SRC[1:0]	Clock source	0x0	R/W			
			0x3	reserved					
0x2	OSC3A								
0x1	OSC1								
0x0	OSC3B								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	TEMCLKE	TEM clock enable	1   Enable	0   Disable	0	R/W			
TEM Comparison Time Setting Register (TEM_TIME)	0x51a0 (8 bits)	D7-0	CVTM[7:0]	Comparison time select $\frac{CVTM[7:0] + 1}{f_{TEMCLK}} \geq 150 \mu s$	0 to 255 clocks	0	R/W		
TEM Control Register (TEM_CTL)	0x51a1 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4	TEMIE	Conversion completion int. enable	1   Enable	0   Disable	0	R/W	
		D3-2	–	reserved	–	–	–	–	0 when being read.
		D1	TEMTRG	Conversion trigger	1   Start	0   Stop	0	W	
D0	TEMEN	TEM enable	1   Enable	0   Disable	0	R/W			
TEM Status Register (TEM_STAT)	0x51a2 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4	TEMIF	Conversion completion interrupt flag	1   Cause of interrupt occurred	0   Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3-1	–	reserved	–	–	–	–	0 when being read.
D0	TEMST	Conversion status	1   Busy	0   Idle	0	R			
TEM Conversion Result Register (TEM_RSLT)	0x51a3 (8 bits)	D7-0	TEMP[7:0]	Conversion result	0 to 255	0	R		

## 0x5200–0x52a7

## P Port &amp; Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Input Data Register (PO_IN)	0x5200 (8 bits)	D7-0	POIN[7:0]	P0[7:0] port input data	1   1 (H)	0   0 (L)	×	R	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7-0	P0OUT[7:0]	P0[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7-0	P0OEN[7:0]	P0[7:0] port output enable	1	Enable	0	Disable	0	R/W	
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7-0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7-0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7-0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7-0	P0IF[7:0]	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	-	reserved	-	-	-	-	-	-	0 when being read.
		D6-4	P0CF2[2:0]	P0[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W			
					0x7	16384/fPCLK	0x0	R/W			
					0x6	8192/fPCLK					
					0x5	4096/fPCLK					
					0x4	2048/fPCLK					
0x3	1024/fPCLK										
0x2	512/fPCLK										
0x1	256/fPCLK										
0x0	None										
D3	-	reserved	-	-	-	-	-	-	-	0 when being read.	
D2-0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W					
0x7	16384/fPCLK										
0x6	8192/fPCLK										
0x5	4096/fPCLK										
0x4	2048/fPCLK										
0x3	1024/fPCLK										
0x2	512/fPCLK										
0x1	256/fPCLK										
0x0	None										
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	-	reserved	-	-	-	-	-	-	0 when being read.
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W			
					0x3	P0[3:0] = 0					
					0x2	P0[2:0] = 0					
					0x1	P0[1:0] = 0					
0x0	Disable										
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7-0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W	
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7-0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7-0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7-0	P1OEN[7:0]	P1[7:0] port output enable	1	Enable	0	Disable	0	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7-0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7-0	P1IEN[7:0]	P1[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7-0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7-0	P2OUT[7:0]	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	



Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks					
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7-0	P2OEN[7:0]	P2[7:0] port output enable	1	Enable	0	Disable	0	R/W				
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7-0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W				
P2 Port Interrupt Mask Register (P2_IMSK)	0x5225 (8 bits)	D7-0	P2IE[7:0]	P2[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W				
P2 Port Interrupt Edge Select Register (P2_EDGE)	0x5226 (8 bits)	D7-0	P2EDGE[7:0]	P2[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W				
P2 Port Interrupt Flag Register (P2_IFLG)	0x5227 (8 bits)	D7-0	P2IF[7:0]	P2[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.			
P2 Port Chattering Filter Control Register (P2_CHAT)	0x5228 (8 bits)	D7	–	reserved		–	–	–	–	–	0 when being read.			
		D6-4	P2CF2[2:0]	P2[7:4] chattering filter time		P2CF2[2:0]	Filter time	0	R/W					
						0x7	16384/fPCLK	0x0	R/W					
						0x6	8192/fPCLK							
				0x5	4096/fPCLK									
				0x4	2048/fPCLK									
				0x3	1024/fPCLK									
				0x2	512/fPCLK									
				0x1	256/fPCLK									
				0x0	None									
		D3	–	reserved		–	–	–	–	–	0 when being read.			
		D2-0	P2CF1[2:0]	P2[3:0] chattering filter time		P2CF1[2:0]	Filter time	0x0	R/W					
						0x7	16384/fPCLK							
						0x6	8192/fPCLK							
						0x5	4096/fPCLK							
						0x4	2048/fPCLK							
						0x3	1024/fPCLK							
						0x2	512/fPCLK							
						0x1	256/fPCLK							
						0x0	None							
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7-0	P2IEN[7:0]	P2[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W				
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7-5	–	reserved		–	–	–	–	–	0 when being read.			
		D4-0	P3IN[4:0]	P3[4:0] port input data	1	1 (H)	0	0 (L)	×	R				
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7-5	–	reserved		–	–	–	–	–	0 when being read.			
		D4-0	P3OUT[4:0]	P3[4:0] port output data	1	1 (H)	0	0 (L)	0	R/W				
P3 Port Output Enable Register (P3_OEN)	0x5232 (8 bits)	D7-6	–	reserved		–	–	–	–	–	0 when being read.			
		D5	–	reserved		–	–	–	–	–	1 when being read.			
		D4-0	P3OEN[4:0]	P3[4:0] port output enable	1	Enable	0	Disable	0	R/W				
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7-5	–	reserved		–	–	–	–	–	0 when being read.			
		D4-0	P3PU[4:0]	P3[4:0] port pull-up enable	1	Enable	0	Disable	1 (0x1f)	R/W				
P3 Port Input Enable Register (P3_IEN)	0x523a (8 bits)	D7-5	–	reserved		–	–	–	–	–	0 when being read.			
		D4-0	P3IEN[4:0]	P3[4:0] port input enable	1	Enable	0	Disable	1 (0x1f)	R/W				
P0[3:0] Port Function Select Register (P0_03PMUX)	0x52a0 (8 bits)	D7-6	P03MUX[1:0]	P03 port function select	1	Enable	0	Disable	0x0	R/W	Function			
											0x3	reserved		
											0x2	reserved		
											0x1	TOUTB0/CAPB0		
													0x0	P03
		D5-4	P02MUX[1:0]	P02 port function select	1	Enable	0	Disable	0x0	R/W	Function			
											0x3	reserved		
											0x2	reserved		
0x1	TOUTA0/CAPA0													
											0x0	P02		
D3-2	P01MUX[1:0]	P01 port function select	1	Enable	0	Disable	0x0	R/W	Function					
									0x3	reserved				
									0x2	reserved				
									0x1	reserved				
											0x0	P01/EXCL0		
D1-0	P00MUX[1:0]	P00 port function select	1	Enable	0	Disable	0x0	R/W	Function					
									0x3	reserved				
									0x2	REGMON				
									0x1	RFCKLO				
											0x0	P00		

## Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 reserved			
		D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 #BZ			
		D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 reserved			
		D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 reserved			
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 FOUTA			
		D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 SCLS			
		D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 SDAS			
		D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 reserved			
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 EPDCLK			
		D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 SCLM			
		D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 SDAM			
		D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W	
					0x3 reserved	0x2 EPDTRG			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W		
					0x3	reserved				
						0x2	RFIN0			
						0x1	SCLM			
					0x0	P23				
	D5-4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W			
				0x3	reserved					
						0x2	REF0			
						0x1	SDAM			
					0x0	P22				
	D3-2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W			
				0x3	#BZ					
					0x2	SENA0				
					0x1	SCLS				
				0x0	P21					
D1-0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W				
			0x3	BZ						
					0x2	SENB0				
					0x1	SDAS				
				0x0	P20					
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7-6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W		
					0x3	reserved				
						0x2	reserved			
						0x1	SENB1			
					0x0	P27				
	D5-4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W			
				0x3	reserved					
						0x2	reserved			
						0x1	SENA1			
					0x0	P26				
	D3-2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W			
				0x3	reserved					
					0x2	reserved				
					0x1	REF1				
				0x0	P25					
D1-0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W				
			0x3	reserved						
					0x2	reserved				
					0x1	RFIN1				
				0x0	P24					
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7-6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W		
					0x3	reserved				
						0x2	reserved			
						0x1	P33			
					0x0	DST2				
	D5-4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W			
				0x3	reserved					
						0x2	reserved			
						0x1	P32			
					0x0	DSIO				
	D3-2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W			
				0x3	reserved					
					0x2	reserved				
					0x1	EPDCLK				
				0x0	P31					
D1-0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W				
			0x3	reserved						
					0x2	#SPISS0				
					0x1	FOUTB				
				0x0	P30					
P34 Port Function Select Register (P34PMUX)	0x52a7 (8 bits)	D7-2	-	reserved	-	-	-	-	0 when being read.	
		D1-0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W		
				0x3	reserved					
				0x2	reserved					
				0x1	P34					
				0x0	DCLK					

## 0x4020, 0x5322-0x532c

## MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1   Run	0   Stop	0	R/W
		D0	-	reserved	-	-	-	-

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	-	reserved	-	-	-	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15-0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326-0x532a). Writing another value set the write protection.	0x0	R/W	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	-	reserved	-	-	-	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffff00	0	R/W	
		D7	-	reserved	-	-	-	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x3 (= 2KB)	0x3	R	
		D3	-	reserved	-	-	-	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size	0x3	R/W	
					0x5 512B 0x4 1KB 0x3 2KB Other reserved			
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff	0x80	R/W	
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0-0xff	0x0	R/W	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

0x5067, 0x53a0-0x53ae

R/F Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.
		D5-4	RFCCLKD[1:0]	RFC clock division ratio select	RFCCLKD[1:0] Division ratio	0x0	R/W	When the clock source is OSC3B or OSC3A
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
D3-2	RFCCLK SRC[1:0]	RFC clock source select	RFCCLK SRC[1:0] Clock source	0x0	R/W			
		D1	-	reserved	-	-	-	0 when being read.
		D0	RFCCLKE	RFC clock enable	1 Enable 0 Disable	0	R/W	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7	CONEN	Continuous oscillation enable	1 Enable 0 Disable	0	R/W	
		D6	EVTEN	Event counter mode enable	1 Enable 0 Disable	0	R/W	
		D5-4	SMODE[1:0]	Sensor oscillation mode select	SMODE[1:0] Sensor	0x0	R/W	
					0x3-0x2 reserved 0x1 AC resistive 0x0 DC resistive			
		D3-2	-	reserved	-	-	-	0 when being read.
D1	CHSEL	Conversion channel select	1 Ch.1 0 Ch.0	0	R/W			
D0	RFCEN	RFC enable	1 Enable 0 Disable	0	R/W			
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2	SSENB	Sensor B oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D1	SSENA	Sensor A oscillation control/status	1 Start/Run 0 Stop	0	R/W	
		D0	SREF	Reference oscillation control/status	1 Start/Run 0 Stop	0	R/W	
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0-0xffff	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	MC[23:16]	Measurement counter high-order 8-bit data	0x0–0xff	0x0	R/W	
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15–0	TC[15:0]	Time base counter low-order 16-bit data	0x0–0xffff	0x0	R/W	
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[23:16]	Time base counter high-order 8-bit data	0x0–0xff	0x0	R/W	
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	OVTICIE	TC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W			
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	OVTCIF	TC overflow error interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	OVMCIF	MC overflow error interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D2	ESENBIF	Sensor B oscillation completion interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D1	ESENAIF	Sensor A oscillation completion interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
D0	EREFIF	Reference oscillation completion interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W			

## 0x5068, 0x5400–0x540c

## 16-bit PWM Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
T16A Clock Control Register Ch.0 (T16A_CLK0)	0x5068 (8 bits)	D7–4	T16ACLKD [3:0]	Clock division ratio select	T16ACLKD[3:0]	Division ratio	0x0	R/W	F256: Regulated 256 Hz clock		
					0xf	reserved	reserved				
					0xe	1/16384	reserved				
					0xd	1/8192	reserved				
					0xc	1/4096	reserved				
					0xb	1/2048	reserved				
					0xa	1/1024	reserved				
					0x9	1/512	F256				
					0x8	1/256	1/256				
					0x7	1/128	1/128				
0x6	1/64	1/64									
0x5	1/32	1/32									
0x4	1/16	1/16									
0x3	1/8	1/8									
0x2	1/4	1/4									
0x1	1/2	1/2									
0x0	1/1	1/1									
T16A Counter Ch.0 Control Register (T16A_CTL0)	0x5400 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.			
					D6	HCM	Half clock mode enable	1 Enable 0 Disable	0	R/W	
					D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.	0x0	R/W
								0x3, 0x2	reserved		
0x1	Ch.1										
0x0	Ch.0										
D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W						
D2	TRMD	Count mode select	1 One-shot 0 Repeat	0	R/W						
D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.					
D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W						

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
T16A Counter Ch.0 Data Register (T16A_TC0)	0x5402 (16 bits)	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R				
T16A Comparator/ Capture Ch.0 Control Register (T16A_CCCTL0)	0x5404 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W			
							0x3 0x2 0x1 0x0	↑ and ↓ ↓ ↑ None			
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W			
							0x3 0x2 0x1 0x0	cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off			
		D11-10	-	reserved		-	-	-		-	0 when being read.
		D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal		0	R/W
		D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator		0	R/W
		D7-6	CAPATRIG [1:0]	Capture A trigger select		CAPATRIG[1:0]	Trigger edge	0x0		R/W	
								0x3 0x2 0x1 0x0		↑ and ↓ ↓ ↑ None	
		D5-4	TOUTAMD [1:0]	TOUT A mode select		TOUTAMD[1:0]	Mode	0x0		R/W	
								0x3 0x2 0x1 0x0		cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	
D3-2	-	reserved		-	-	-	-	0 when being read.			
D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W			
D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W			
T16A Comparator/ Capture Ch.0 A Data Register (T16A_CCA0)	0x5406 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W				
T16A Comparator/ Capture Ch.0 B Data Register (T16A_CCB0)	0x5408 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W				
T16A Comparator/ Capture Ch.0 Interrupt Enable Register (T16A_IEN0)	0x540a (16 bits)	D15-6	-	reserved		-	-	-	0 when being read.		
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1	Enable	0	Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W	
T16A Comparator/ Capture Ch.0 Interrupt Flag Register (T16A_IFLG0)	0x540c (16 bits)	D15-6	-	reserved		-	-	-	0 when being read.		
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	
		D4	CAPAOWIF	Capture A overwrite interrupt flag					0	R/W	
		D3	CAPBIF	Capture B interrupt flag					0	R/W	
		D2	CAPAIF	Capture A interrupt flag					0	R/W	
		D1	CBIF	Compare B interrupt flag					0	R/W	
		D0	CAIF	Compare A interrupt flag					0	R/W	

## 0x5069, 0x5420–0x542c

## 16-bit PWM Timer Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks										
T16A Clock Control Register Ch.1 (T16A_CLK1)	0x5069 (8 bits)	D7–4	T16ACLKD [3:0]	Clock division ratio select	T16ACLKD[3:0]	Division ratio OSC3A or OSC3B	0x0	R/W	F256: Regulated 256 Hz clock									
					0xf	reserved	reserved											
					0xe	1/16384	reserved											
					0xd	1/8192	reserved											
					0xc	1/4096	reserved											
					0xb	1/2048	reserved											
					0xa	1/1024	reserved											
					0x9	1/512	F256											
					0x8	1/256	1/256											
					0x7	1/128	1/128											
T16A Counter Ch.1 Control Register (T16A_CTL1)	0x5420 (16 bits)	D3–2	T16ACLK SRC[1:0]	Clock source select	T16ACLKSRC [1:0]	Clock source	0x0	R/W										
					0x3	External clock												
					0x2	OSC3A												
					0x1	OSC1												
					0x0	OSC3B												
					D1	–	reserved	–		–	0 when being read.							
D0	T16ACLKE	Count clock enable	1   Enable	0   Disable	0	R/W												
T16A Counter Ch.1 Data Register (T16A_TC1)	0x5422 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R											
					T16A Comparator/Capture Ch.1 Control Register (T16A_CCCTL1)	0x5424 (16 bits)	D15–14		CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W				
											D13–12	TOUTBMD [1:0]	TOUTBMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off		0x0	R/W	
																D11–10	–	reserved
											D9	TOUTBINV	TOUT B invert	1   Invert		0   Normal	0	R/W
											D8	CCBMD	T16A_CCB register mode select	1   Capture		0   Comparator	0	R/W
											D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]		Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W
D5–4	TOUTAMD [1:0]	TOUTAMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	0x0	R/W													
				D3–2	–	reserved	–	–	0 when being read.									
D1	TOUTAINV	TOUT A invert	1   Invert	0   Normal	0	R/W												
D0	CCAMD	T16A_CCA register mode select	1   Capture	0   Comparator	0	R/W												
T16A Comparator/Capture Ch.1 A Data Register (T16A_CCA1)	0x5426 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W											

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.1 B Data Register (T16A_CCB1)	0x5428 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A Comparator/Capture Ch.1 Interrupt Enable Register (T16A_IEN1)	0x542a (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
T16A Comparator/Capture Ch.1 Interrupt Flag Register (T16A_IFLG1)	0x542c (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D3	CAPBIF	Capture B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D2	CAPAIF	Capture A interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D0	CAIF	Compare A interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	

0x54b0

Flash Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Read Wait Control Register (FLASHC_WAIT)	0x54b0 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7	–	reserved	–	X	–	X when being read.
		D6-2	–	reserved	–	–	–	0 when being read.
		D1-0	RDWAIT [1:0]	Flash read wait cycle	RDWAIT[1:0] Wait 0x3 3 wait 0x2 2 wait 0x1 1 wait 0x0 No wait	0x3	R/W	

0x5070–0x5072, 0x5600–0x567e

EPD Controller/Driver

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
EPD Timing Clock Control Register (EPD_TCLK)	0x5070 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6-4	EPDTCCLKD [2:0]	EPD timing clock division ratio select	EPDTCCLKD [2:0] Division ratio OSC3B/OSC3A OSC1 0x7 1/16384 1/128 0x6 1/8192 1/64 0x5 1/4096 1/32 0x4 1/2048 1/16 0x3 1/1024 1/8 0x2 1/512 1/4 0x1 1/256 1/2 0x0 1/128 1/1	0x0	R/W	
		D3-2	EPDTCCLK SRC[1:0]	EPD timing clock source select	EPDTCCLK SRC[1:0] Clock source 0x3 reserved 0x2 OSC3A 0x1 OSC1 0x0 OSC3B	0x0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	EPDTCCLK	EPD timing clock enable	1 Enable 0 Disable	0	R/W	
EPD Doubler Clock Control Register (EPD_DCLK)	0x5071 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6-4	EPD-DCLKD [2:0]	EPD doubler clock division ratio select	EPDD CLKD [2:0] Division ratio OSC3B OSC3A OSC1 0x5 1/128 1/256 reserved 0x4 1/64 1/128 reserved 0x3 1/32 1/64 1/8 0x2 1/16 1/32 1/4 0x1 reserved 1/16 1/2 0x0 reserved reserved 1/1	0x0	R/W	
		D3-2	EPDDCLK SRC[1:0]	EPD doubler clock source select	EPDDCLK SRC[1:0] Clock source 0x3 reserved 0x2 OSC3A 0x1 OSC1 0x0 OSC3B	0x0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	EPDDCLK	EPD doubler clock enable	1 Enable 0 Disable	0	R/W	



Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
EPD Booster Clock Control Register (EPD_BCLK)	0x5072 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	EPDBCLKD [2:0]	EPD booster clock division ratio select	EPDB CLKD [2:0] Division ratio OSC3B OSC3A OSC1 0x5 1/128 1/256 reserved 0x4 1/64 1/128 reserved 0x3 1/32 1/64 1/8 0x2 1/16 1/32 1/4 0x1 reserved 1/16 1/2 0x0 reserved reserved 1/1 Other reserved	0x0	R/W	
		D3–2	EPDBCLK SRC[1:0]	EPD booster clock source select	EPDBCLK SRC[1:0] Clock source 0x3 reserved 0x2 OSC3A 0x1 OSC1 0x0 OSC3B	0x0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	EPDBCLKKE	EPD booster clock enable	1 Enable 0 Disable	0	R/W	
EPD Power Control Register 0 (EPD_PWR0)	0x5600 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	DBSRT	VE1–VE2 doubler short	1 Short 0 Open	0	R/W	
		D8	DBON	VE1 doubler on/off	1 On 0 Off	0	R/W	
		D7–4	VECON[3:0]	VE regulator contrast setting	VECON[3:0] Contrast 0xf High : Low 0x0	0x7	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	HVLDVE	VE heavy load protection mode	1 On 0 Off	0	R/W	
		D1	VESEL	Reference voltage select	1 VE2 0 VE1	0	R/W	
D0	VEON	VE regulator on/off	1 On 0 Off	0	R/W			
EPD Power Control Register 1 (EPD_PWR1)	0x5602 (16 bits)	D15–12	VHCON [3:0]	VH regulator contrast setting	VHCON[3:0] Contrast 0xf High : Low 0x0	0x5	R/W	
		D11–10	VHSEL[1:0]	VH regulator range select	VHSEL[1:0] Voltage 0x3 reserved 0x2 9 V 0x1 12 V 0x0 15 V	0x0	R/W	
		D9	HVLDVH	VH heavy load protection mode	1 On 0 Off	0	R/W	
		D8	VHON	VH regulator on/off	1 On 0 Off	0	R/W	
		D7–2	–	reserved	–	–	–	0 when being read.
		D1	BSTPLD	Booster pull-down on/off	1 On 0 Off	0	R/W	
		D0	BSTON	Booster on/off	1 On 0 Off	0	R/W	
EPD Display Control Register (EPD_CTL)	0x5604 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	DIRCTL	Wave/direct mode select	1 Direct 0 Wave	0	R/W	
		D3–2	DSPMD [1:0]	Display mode select	DSPMD[1:0] Display mode 0x3 All black 0x2 All white 0x1 Reverse 0x0 Normal	0x0	R/W	Effective only in wave mode
		D1	UPDST	Display update status	1 Busy 0 Idle	0	R	Always set to 0 in direct control mode.
		D0	UPDTRG	Display update trigger	1 Trigger 0 Ignored	0	W	0 when being read.
EPD Interrupt Control Register (EPD_INT)	0x5606 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	DUPDIF	Display update interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	DUPDIE	Display update interrupt enable	1 Enable 0 Disable	0	R/W	
EPD Top/Back Plane Data Register (EPD_PLNDAT)	0x5620 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	SEGHZ	Segment/back plane Hi-Z control	1 Hi-Z 0 Normal	0	R/W	Effective only in direct mode
		D8	TPHZ	Top plane Hi-Z control	1 Hi-Z 0 Normal	0	R/W	Effective only in direct mode
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TP	Top plane control data	1 High 0 Low	0	R/W	Effective only in direct mode
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	BP	Back plane display data	1 Black 0 White 1 High 0 Low	0	R/W	Wave mode Direct mode
EPD Segment Data Register 0 (EPD_SEGDAT0)	0x5622 (16 bits)	D15–0	SEG[15:0]	ESEG[15:0] display data	1 Black 0 White	0	R/W	Wave mode
					1 High 0 Low			Direct mode
EPD Segment Data Register 1 (EPD_SEGDAT1)	0x5624 (16 bits)	D15–0	SEG[31:16]	ESEG[31:16] display data	1 Black 0 White	0	R/W	Wave mode
					1 High 0 Low			Direct mode
EPD Segment Data Register 2 (EPD_SEGDAT2)	0x5626 (16 bits)	D15–0	SEG[47:32]	ESEG[47:32] display data	1 Black 0 White	0	R/W	Wave mode
					1 High 0 Low			Direct mode

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
EPD Segment Data Register 3 (EPD_SEGDAT3)	0x5628 (16 bits)	D15-0	SEG[63:48]	ESEG[63:48] display data	1 Black	0 White	0	R/W	Wave mode
					1 High	0 Low			Direct mode
EPD Waveform Timing Set 0 Register (EPD_WAVE0)   EPD Waveform Timing Set 31 Register (EPD_WAVE31)	0x5640   0x567e (16 bits)	D15	EOW	End of wave	1 End	0 Continue	0	R/W	0 when being read.
		D14	-	reserved	-				
		D13	HIZ	High impedance	1 Hi-Z	0 Output			
		D12	TP	Top plane	1 High	0 Low			
		D11	BB	Black to black	1 High	0 Low			
		D10	BW	Black to white	1 High	0 Low			
		D9	WB	White to black	1 High	0 Low			
		D8	WW	White to white	1 High	0 Low			
D7-0	INTV[7:0]	Interval	0 to 255		0x0				

0x56c0-0x56c8

Real-time Clock

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RTC Control Register (RTC_CTL)	0x56c0 (16 bits)	D15-9	-	reserved	-		-	-	0 when being read.
		D8	RTCST	RTC run/stop status	1 Running	0 Stop	0	R	
		D7-6	-	reserved	-		-	-	0 when being read.
		D5	BCDMD	BCD mode select	1 BCD mode	0 Binary mode	0	R/W	
		D4	RTC24H	24H/12H mode select	1 12H	0 24H	0	R/W	
		D3-1	-	reserved	-		-	-	0 when being read.
		D0	RTCRUN	RTC run/stop control	1 Run	0 Stop	0	R/W	
RTC Interrupt Enable Register (RTC_IEN)	0x56c2 (16 bits)	D15-10	-	reserved	-		-	-	0 when being read.
		D9	INT1DEN	1-day interrupt enable	1 Enable	0 Disable	0	R/W	
		D8	INTHDEN	Half-day interrupt enable	1 Enable	0 Disable	0	R/W	
		D7	INT1HEN	1-hour interrupt enable	1 Enable	0 Disable	0	R/W	
		D6	INT10MEN	10-minute interrupt enable	1 Enable	0 Disable	0	R/W	
		D5	INT1MEN	1-minute interrupt enable	1 Enable	0 Disable	0	R/W	
		D4	INT10SEN	10-second interrupt enable	1 Enable	0 Disable	0	R/W	
		D3	INT1HZEN	1 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D2	INT4HZEN	4 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	INT8HZEN	8 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
D0	INT32HZEN	32 Hz interrupt enable	1 Enable	0 Disable	0	R/W			
RTC Interrupt Flag Register (RTC_IFLG)	0x56c4 (16 bits)	D15-10	-	reserved	-		-	-	0 when being read.
		D9	INT1D	1-day interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D8	INTHD	Half-day interrupt flag			0	R/W	
		D7	INT1H	1-hour interrupt flag			0	R/W	
		D6	INT10M	10-minute interrupt flag			0	R/W	
		D5	INT1M	1-minute interrupt flag			0	R/W	
		D4	INT10S	10-second interrupt flag			0	R/W	
		D3	INT1HZ	1 Hz interrupt flag			0	R/W	
		D2	INT4HZ	4 Hz interrupt flag			0	R/W	
		D1	INT8HZ	8 Hz interrupt flag			0	R/W	
D0	INT32HZ	32 Hz interrupt flag			0	R/W			
RTC Minute/Second Counter Register (RTC_MS)	0x56c6 (16 bits)	D15	-	reserved	-		-	-	0 when being read.
		D14-8	RTCMIN [6:0]	Minute counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)		X	R/W	
		D7	-	reserved	-		-	-	0 when being read.
		D6-0	RTCSEC [6:0]	Second counter	0x0 to 0x3b (binary mode) 0x00 to 0x59 (BCD mode)		X	R/W	
RTC Hour Counter Register (RTC_H)	0x56c8 (16 bits)	D15-8	-	reserved	-		-	-	0 when being read.
		D7	AMPM	AM/PM	1 PM	0 AM	X	R/W	
		D6	-	reserved	-		-	-	0 when being read.
		D5-0	RTCHOUR [5:0]	Hour counter	0x0 to 0x17 (binary mode) 0x00 to 0x23 (BCD mode)		X	R/W	

0xffff84-0xffffd0

S1C17 Core I/O

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	-	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0x7c0	0x7c0	R	

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	<b>IBE4</b>	Instruction break #4 enable	1	Enable	0	Disable	0	R/W	Reset by writing 1.
		D6	<b>IBE3</b>	Instruction break #3 enable	1	Enable	0	Disable	0	R/W	
		D5	<b>IBE2</b>	Instruction break #2 enable	1	Enable	0	Disable	0	R/W	
		D4	<b>DR</b>	Debug request flag	1	Occurred	0	Not occurred	0	R/W	
		D3	<b>IBE1</b>	Instruction break #1 enable	1	Enable	0	Disable	0	R/W	
		D2	<b>IBE0</b>	Instruction break #0 enable	1	Enable	0	Disable	0	R/W	
		D1	<b>SE</b>	Single step enable	1	Enable	0	Disable	0	R/W	
D0	<b>DM</b>	Debug mode	1	Debug mode	0	User mode	0	R			
Instruction Break Address Register 1 (IBAR1)	0xffffb4 (32 bits)	D31-24	-	reserved	-		-	-	0 when being read.		
		D23-0	<b>IBAR1[23:0]</b>	Instruction break address #1 IBAR123 = MSB IBAR10 = LSB	0x0 to 0xfffff		0x0	R/W			
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24	-	reserved	-		-	-	0 when being read.		
		D23-0	<b>IBAR2[23:0]</b>	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff		0x0	R/W			
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	-	reserved	-		-	-	0 when being read.		
		D23-0	<b>IBAR3[23:0]</b>	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff		0x0	R/W			
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	-	reserved	-		-	-	0 when being read.		
		D23-0	<b>IBAR4[23:0]</b>	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff		0x0	R/W			

# Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

## B.1 クロック制御によるパワーセーブ

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

### システムのスリープ

- **s1p命令の実行(RTC停止中の場合)**  
システム全体を停止可能な場合は、RTCを停止した状態で**s1p**命令を実行します。CPUはSLEEPモードとなり、OSC1/OSC3A/OSC3B発振回路が停止します。これにより、OSC1/OSC3A/OSC3Bクロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。
- **s1p命令の実行(RTC動作中の場合)**  
RTCによる計時のみを行い、それ以外のシステムを停止可能な場合は、RTCを動作させた状態で**s1p**命令を実行します。CPUはSLEEPモードとなり、OSC3A/OSC3B発振回路が停止します。これにより、OSC3A/OSC3Bクロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートまたはRTCによる起動(後述)に限られます。

※ SLEEP中もRAMのデータは保持されます。

### システムクロック

- **低速クロックソースの選択(CLGモジュール)**  
システムクロックソースに低速な発振回路を選択します。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- **不要な発振回路の停止(CLGモジュール)**  
システムクロックソースとしている発振回路を動作させ、可能であれば他の発振回路を停止します。OSC1をシステムクロックとし、OSC3BおよびOSC3A発振回路を停止することで、消費電流をより低減できます。

### CPUクロック(CCLK)

- **halt命令の実行**  
割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、**halt**命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路は**halt**命令実行時の状態を維持します。このため、EPDコントローラドライバや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してから**halt**命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- **低速クロックギアの選択(CLGモジュール)**  
CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1~1/8に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

### 論理緩急クロック(F256)

- **論理緩急の実行には、論理緩急クロック(F256)を使用する周辺タイマモジュールからの割り込みを使用してください。**消費電流を抑える手段として常時動作しているタイマ割り込みを使用することを推奨します。

### 周辺クロック(PCLK)

- **PCLKの停止(CLGモジュール)**  
以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKを使用する周辺モジュール

- 割り込みコントローラ
- 8ビットタイマ Ch.0~1
- SPI Ch.0
- I<sup>2</sup>Cマスタ
- I<sup>2</sup>Cスレーブ
- 電源制御回路
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- MISCレジスタ

以下の周辺モジュール/機能に、PCLKは必要ありません。

PCLKを使用しない周辺モジュール/機能

- リアルタイムクロック
- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- EPDコントローラ/ドライバ
- サウンドジェネレータ
- SVD回路
- 温度検出回路
- R/F変換器
- 16ビットPWMタイマ Ch.0~1
- UART Ch.0
- FOUTA/FOUTB出力

クロック制御とCPUの起動/停止方法の一覧を表B.1.1に示します。

表B.1.1 クロック制御一覧

消費電流	OSC1	OSC3A/OSC3B	CPU(CCLK)	PCLK周辺	RTC	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (RTC用)	停止	停止	停止	動作	停止	slp命令実行	1, 2
	発振 (RTC用)	停止	停止	停止	動作	停止	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	停止	動作	動作	動作	halt命令実行	1, 2, 3, 4
	発振 (システムCLK)	停止	動作(1/1)	動作	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	動作	halt命令実行	1, 2, 3, 4
高 ↓	発振	発振 (システムCLK)	動作(低ギア)	動作	動作	動作		
	発振	発振 (システムCLK)	動作(1/1)	動作	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動  
入出力ポート割り込み、デバッグ割り込み(ICD強制ブレーク発行)により起動します。
2. RTCによる起動  
RTC割り込みにより起動します。
3. OSC1周辺回路による起動  
計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマの割り込みにより起動します。
4. PCLK周辺回路による起動  
PCLK周辺回路の割り込みにより起動します。

## B.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

### V<sub>D1</sub> Regulator

- 内部定電圧回路の重負荷保護をOnすると消費電流が増加します。  
通常動作時は重負荷保護をOffにします。動作が安定しない場合のみOnにしてください。

### EPD系電源回路

- VESELを0(VE<sub>1</sub>基準)に設定すると消費電流が増加します。  
電源電圧V<sub>DD</sub>がVE<sub>2</sub>(設定) + 0.2Vより高いときはVESELを1(VE<sub>2</sub>基準)に設定してください。

表B.2.1 VE Regulatorの設定例

EPD系電源回路出力電圧	(A) V <sub>DD</sub> = 3V、VE <sub>1</sub> 基準の場合	(B) V <sub>DD</sub> = 3V、VE <sub>2</sub> 基準の場合
VE <sub>1</sub>	1.35V	-
VE <sub>2</sub>	VE <sub>1</sub> × 2 = 2.7V	2.7V
VE <sub>5</sub>	VE <sub>2</sub> × 6 = 16.2V	VE <sub>2</sub> × 6 = 16.2V
VE <sub>PD</sub>	VE <sub>5</sub> = 16.2Vを電源として15Vを出力	VE <sub>5</sub> = 16.2Vを電源として15Vを出力

(A)と(B)共にV<sub>EPD</sub> = 15Vの出力となりますが、昇圧による消費電流は(A)の方が(B)の約2倍と多くなります。したがって、VE<sub>2</sub>基準が選択可能なV<sub>DD</sub>電圧値であれば、EPD系電源回路をVE<sub>2</sub>基準で動作させることにより、消費電流を抑えることができます。

- EPD系電源回路の重負荷保護をOnすると消費電流が増加します。  
通常動作時は重負荷保護をOffにします。表示が安定しない場合のみOnにしてください。
- EPDの駆動を行わないときはEPD系電源回路をOffにしてください。

### 電源電圧検出(SVD)回路

- SVD回路を動作させると消費電流が増加します。  
電源電圧の検出が不要な場合はOffにしてください。

### 温度検出回路

- 温度検出回路を動作させると消費電流が増加します。  
温度の検出が不要な場合はOffにしてください。

### R/F変換器

- R/F変換器を動作させると消費電流が増加します。  
R/F変換が不要な場合はOffにしてください。

## B.3 その他のパワーセーブ方法

### 論理緩急

- 論理緩急調整値レジスタ(TR\_VAL)の設定に入出力ポートからの入力データを使用する場合、データ読み込み後にポートを出力状態にして読み込みデータと同じ出力データ設定をすると、定常的なプルアップ抵抗電流をなくすことができます。

# Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

## 発振回路

- 発振特性は使用部品(振動子、 $C_G$ 、 $C_D$ )や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの容量( $C_G$ 、 $C_D$ )の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

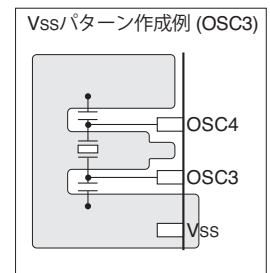
- (1) OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。  
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- (3) OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- (4) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

FOUTBまたはFOUTA端子の出力をオシロスコープなどで確認します。

OSC3の出力波形の品質をFOUTA/B出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質をFOUTA/B出力で確認します。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

## リセット回路

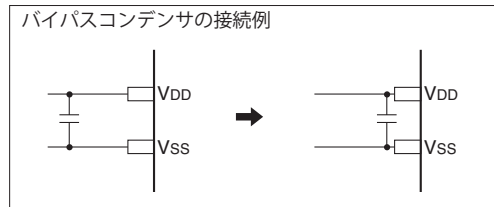
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### 電源回路

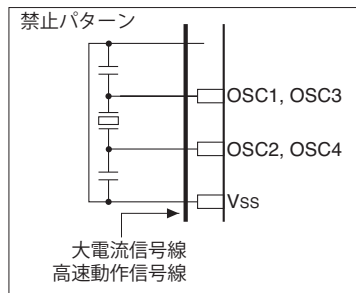
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からVDDおよびVSS端子へはできるだけ短くかつ太いパターンで接続してください。
- VDD-VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



### 信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



### 光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。



## 未使用端子の処理

- (1) 入出力ポート(P)端子  
未使用端子はオープンにしてください。制御レジスタは初期状態(プルアップあり、入力)にしてください。
- (2) OSC1、OSC2、OSC3、OSC4端子  
OSC1AまたはOSC3A発振回路を使用しない場合、OSC1およびOSC2端子、OSC3およびOSC4端子はオープンにしてください。制御レジスタは初期状態(発振Off)にしてください。
- (3) VE1~5、VEPD、CD1、CD2、CB1~CB4、ESEGx、ETPx、EBPx端子  
EPDコントローラ/ドライバを使用しない場合はオープンにしてください。制御レジスタは初期状態(表示Off)にしてください。また、EPDコントローラ/ドライバを使用する場合も、結線の必要がないESEGx端子はオープンにしてください。

## 金バンブチップ品の取り扱い(ICへの高温ストレス印加について)

金バンブチップがCOF実装される場合など、ICに高温ストレスが印加されると、内蔵Flashメモリが特性変動を生じる場合があります。実装時などの熱条件(温度・時間)を下表で確認のうえ、「データ再プログラミング必要」の実装条件に該当する場合には対応のflsプログラムまたは単体フラッシュライタを使用してFlashメモリの再プログラミングを確実に実施してください。

なお、flsプログラムおよび単体フラッシュライタの詳細は各ツールマニュアルを参照してください。

温度	時間	Flashメモリへの影響なし	Flashメモリへの影響あり	
			データ再プログラミング必要	最大許容時間
~ 250°C		≦ 5時間	5時間 ~ 450時間	450時間
250°C ~ 300°C		≦ 400秒	400秒 ~ 10時間	10時間
300°C ~ 350°C		≦ 20秒	20秒 ~ 0.5時間	0.5時間
350°C ~ 400°C		≦ 1秒	1秒 ~ 100秒	100秒
400°C ~ 450°C		≦ 0.1秒	0.1秒 ~ 10秒	10秒
450°C ~				0秒

## その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては、機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的な変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

# Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

## VDD, VSS電源のノイズ対策

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## #RESET端子のノイズ対策

本製品に内蔵されている#RESET端子のプルアップ抵抗は100～500k $\Omega$ と高インピーダンスで、ノイズには強くありません。このため、外来ノイズによって#RESET端子がLowレベルとなり、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## 発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## デバッグ端子のノイズ対策

本製品はデバッグ用にICDmini(S5U1C17001H)を接続するための入出力端子(DCLK、DST2、DSIO)を備えています。これらの端子にノイズが入ると、S1C17コアがデバッグモードへ移行してしまう可能性があります。外来ノイズによる予期せぬデバッグモードへの移行を防ぐため、デバッグの必要がない場合は、初期化ルーチン内でDCLK、DST2、DSIO端子を汎用入出力ポート端子に切り換えてください。端子の機能と切り換えの詳細は、“入出力ポート(P)”の章を参照してください。

注: アプリケーション開発中など、デバッグ機能を使用する場合は上記の処理を行わないでください。端子機能を切り換えた時点からデバッグが行えなくなります。アプリケーション開発終了後など、デバッグが不要になってから上記の処理を追加してください。

デバッグ用端子を有効にしておく場合には、DSIO端子を10k $\Omega$ の抵抗でプルアップすることを推奨します。本製品に内蔵されているDSIO端子のプルアップ抵抗は100～500k $\Omega$ と高インピーダンスのため、ノイズには強くありません。

## 割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート(P)”の章を参照してください。

## UART端子のノイズ対策

本製品は非同期通信用にUARTモジュールを備えています。UARTはSIN<sub>x</sub>端子でLowレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN<sub>x</sub>端子がLowになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。

外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止(RXEN/UART\_CTL<sub>x</sub>レジスタ = 0)してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート(P)”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

# Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

## boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;      Vector table
; =====
;
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00    0x00    reset          ...(2)
.long unalign_handler ; 0x01    0x04    unalign
.long nmi_handler   ; 0x02    0x08    NMI
.long int03_handler ; 0x03    0x0c    -
.long p0_handler    ; 0x04    0x10    P0 port
.long p2_handler    ; 0x05    0x14    P2 port
.long swt_handler   ; 0x06    0x18    SWT
.long ct_handler    ; 0x07    0x1c    CT
.long rtc_handler   ; 0x08    0x20    RTC
.long int09_handler ; 0x09    0x24    -
.long epd_handler   ; 0x0a    0x28    EPD
.long t16a2_0_handler ; 0x0b    0x2c    T16A2 ch0
.long int0c_handler ; 0x0c    0x30    -
.long int0d_handler ; 0x0d    0x34    -
.long t8_0_handler  ; 0x0e    0x38    T8 ch0
.long t8_1_handler  ; 0x0f    0x3c    T8 ch1
.long uart_0_handler ; 0x10    0x40    UART ch0
.long i2cs_handler  ; 0x11    0x44    I2C slave
.long spi_0_handler ; 0x12    0x48    SPI ch0
.long i2cm_handler  ; 0x13    0x4c    I2C master
.long int14_handler ; 0x14    0x50    -
.long t16a2_1_handler ; 0x15    0x54    T16A2 ch1
.long tem_handler   ; 0x16    0x58    TEM
.long rfc_handler   ; 0x17    0x5c    RFC
.long int18_handler ; 0x18    0x60    -
.long int19_handler ; 0x19    0x64    -
.long int1a_handler ; 0x1a    0x68    -
.long int1b_handler ; 0x1b    0x6c    -
.long int1c_handler ; 0x1c    0x70    -
.long int1d_handler ; 0x1d    0x74    -
.long int1e_handler ; 0x1e    0x78    -
.long int1f_handler ; 0x1f    0x7c    -
; =====
;      Program code
; =====
;
.text                                             ...(3)
.align 1

BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
l1d.a    %sp, 0x07c0                               ...(4)
; ----- Memory controller -----
l1d.a    %r1, 0x54b0    ; FLASHC register address
; Flash read wait cycle
l1d.a    %r0, 0x00    ; No wait
ld.b    [%r1], %r0    ; [0x54b0] <= 0x00          ...(5)
; ===== Main routine =====
...

```

## Appendix E 初期化ルーチン

```
; =====  
;      Interrupt handler  
; =====  
; ----- Address unalign -----  
unalign_handler:  
    ...  
  
; ----- NMI -----  
nmi_handler:  
    ...
```

---

- (1) ベクタテーブルを `.vector` セクションに配置するために `.rodata` セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。  
`intXX_handler` はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは `.text` セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flashメモリリード時のウェイト数を設定します。  
S1C17F57は、ノーウェイトに設定可能です。  
（“メモリマップ、バス制御”の章を参照）

## 改訂履歴表

コードNo.	ページ	改訂内容 (旧内容を含む) および改訂理由
412445600	全ページ	新規制定
412445601	1-1~2	1.1 特長 表1.1.1に注釈を追加 I <sup>2</sup> Cマスタ (I2CM) <sup>±1</sup> I <sup>2</sup> Cスレーブ (I2CS) <sup>±1</sup> *1 I2CM/I2CS(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズスパイク除去の規格に準拠していません。 SLEEP時 <sup>±2</sup> *2 SLEEP中もRAMのデータは保持されます。 表1.1.1を修正 出荷形態: QFPパッケージを削除
	1-4	1.3.1 端子配置図 QFPパッケージを削除
	1-5~6	1.3.2 端子説明 表1.3.2.1を修正 QFP端子No.を削除
	18-1	18.1 概要 以下の記述を追加 ・SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠
	19-1	19.1 概要 以下の記述を追加 ・SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠
	27-1	27.2 推奨動作条件 注釈を追加 *1 Vss電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動に抑えてください。 *3 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。
	27-13	27.13 Flashメモリ特性 注釈を追加 *1 Vss電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動に抑えてください。
	29-1~3	29 パッケージ/チップ 章タイトルをチップに変更 29.1 QFPパッケージ → 節を削除 29.2.1 パッド/バンパ配置 → 29.1節に変更 29.2.2 金バンパ仕様 → 29.2節に変更
	29-1	29.1 パッド/バンパ配置 アライメントマーク座標を追加
	AP-B-1	B.1 クロック制御によるパワーセーブ システムのスリープ 下記説明を追加 ※ SLEEP中もRAMのデータは保持されます。

## セイコーエプソン株式会社

営業本部 MD営業部

---

東京 〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー 29F

大阪 〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

---

ドキュメントコード：412445601  
2012年 11月 作成  
2021年 12月 改定 ①