

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17711

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

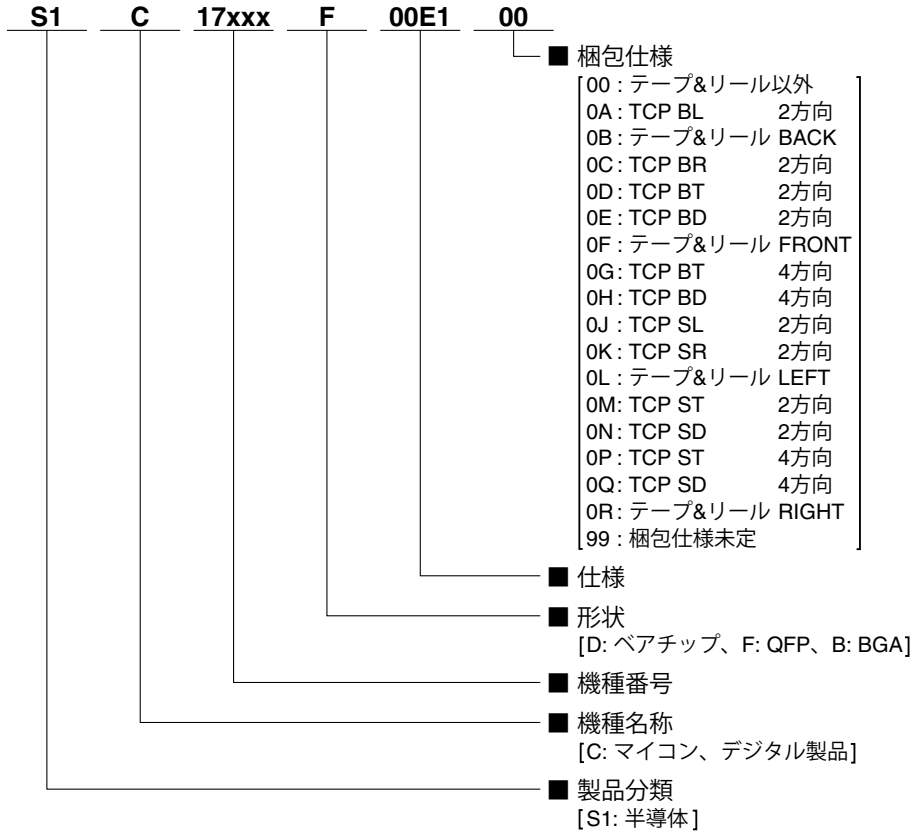
本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

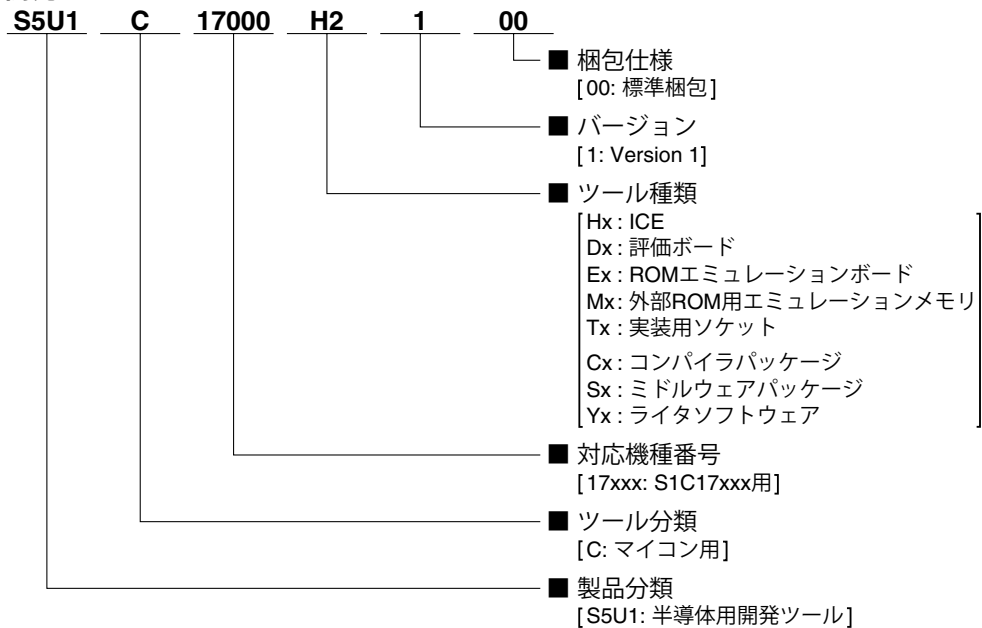
本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash[®]テクノロジーを使用しています。

製品型番体系

●デバイス



●開発ツール



- 目次 -

1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図(TQFP15-128pin).....	1-4
1.3.2 端子配置図(VFBGA10H-144).....	1-5
1.3.3 パッド配置図(チップ).....	1-6
1.3.4 端子説明.....	1-8
2 CPU	2-1
2.1 S1C17コアの特長.....	2-1
2.2 CPUレジスタ.....	2-2
2.3 命令セット.....	2-2
2.4 PSRの読み出し.....	2-5
2.5 プロセッサ情報.....	2-6
3 メモリマップ, バス制御	3-1
3.1 バスサイクル.....	3-1
3.1.1 アクセスサイズ制限.....	3-2
3.1.2 命令実行サイクルの制限.....	3-2
3.2 Flashエリア.....	3-2
3.2.1 内蔵Flashメモリ.....	3-2
3.2.2 Flashプログラミング.....	3-2
3.2.3 プロテクトビット.....	3-3
Flash Protect Bits.....	3-3
3.2.4 Flashコントローラのアクセス制御.....	3-3
FLASHC/SRAMC Control Register (MISC_FL).....	3-3
3.3 内蔵RAMエリア.....	3-4
3.3.1 内蔵RAM.....	3-4
IRAM Size Select Register (MISC_IRAMSZ).....	3-4
3.4 表示RAMエリア.....	3-5
3.4.1 表示RAM.....	3-5
3.4.2 SRAMコントローラのアクセス制御.....	3-5
FLASHC/SRAMC Control Register (MISC_FL).....	3-5
3.5 内蔵周辺回路エリア.....	3-7
3.5.1 内蔵周辺回路エリア1(0x4000~).....	3-7
3.5.2 内蔵周辺回路エリア2(0x5000~).....	3-7
3.6 S1C17コアI/O予約エリア.....	3-7
4 電源	4-1
4.1 電源電圧(V _{DD}).....	4-1
4.2 アナログ回路用電源電圧(AV _{DD}).....	4-1
4.3 内部電源回路.....	4-1
4.4 電源回路の制御.....	4-2
4.5 重負荷保護機能.....	4-3
4.6 制御レジスタ詳細.....	4-3
V _{D1} Control Register (VD1_CTL).....	4-3
LCD Voltage Regulator Control Register (LCD_VREG).....	4-4
5 イニシャルリセット	5-1
5.1 イニシャルリセット要因.....	5-1
5.1.1 #RESET端子.....	5-1

5.1.2	P0ポートキー入力リセット	5-1
5.1.3	ウォッチドッグタイマによるリセット	5-2
5.2	イニシャルリセットシーケンス	5-2
5.3	イニシャルリセット時の初期設定	5-2
6	割り込みコントローラ (ITC)	6-1
6.1	ITCモジュールの概要	6-1
6.2	ベクタテーブル	6-2
	Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)	6-3
6.3	マスク可能割り込みの制御	6-4
6.3.1	周辺モジュールの割り込み制御ビット	6-4
6.3.2	ITCの割り込み要求処理	6-4
6.3.3	S1C17コアの割り込み処理	6-5
6.4	NMI	6-6
6.5	ソフトウェア割り込み	6-6
6.6	HALT, SLEEPモードの解除	6-6
6.7	制御レジスタ詳細	6-6
	Interrupt Level Setup Register x (ITC_LVx)	6-7
7	クロックジェネレータ (CLG)	7-1
7.1	CLGモジュールの概要	7-1
7.2	CLG入出力端子	7-2
7.3	発振回路	7-2
7.3.1	IOSC発振回路	7-2
7.3.2	OSC3発振回路	7-3
7.3.3	OSC1発振回路	7-5
7.4	システムクロックの切り換え	7-5
7.5	CPUコアクロック (CCLK) の制御	7-7
7.6	周辺モジュールクロック (PCLK) の制御	7-7
7.7	クロック外部出力 (FOUTA, FOUTB)	7-8
7.8	制御レジスタ詳細	7-9
	Clock Source Select Register (CLG_SRC)	7-9
	Oscillation Control Register (CLG_CTL)	7-10
	FOUTA Control Register (CLG_FOUTA)	7-12
	FOUTB Control Register (CLG_FOUTB)	7-13
	PCLK Control Register (CLG_PCLK)	7-14
	CCLK Control Register (CLG_CCLK)	7-15
8	入出力ポート (P)	8-1
8.1	Pモジュールの概要	8-1
8.2	入出力端子機能の選択 (ポートMUX)	8-2
8.3	データの入出力	8-2
8.4	プルアップ制御	8-3
8.5	入力インタフェースレベル	8-4
8.6	P0~P3ポートのチャタリング除去機能	8-4
8.7	ポート入力割り込み	8-4
8.8	P0ポートキー入力リセット	8-5
8.9	制御レジスタ詳細	8-6
	Px Port Input Data Registers (Px_IN)	8-7
	Px Port Output Data Registers (Px_OUT)	8-7
	Px Port Output Enable Registers (Px_OEN)	8-7
	Px Port Pull-up Control Registers (Px_PU)	8-8
	Px Port Schmitt Trigger Control Registers (Px_SM)	8-8

Px Port Interrupt Mask Registers (Px_IMSK)	8-8
Px Port Interrupt Edge Select Registers (Px_EDGE)	8-9
Px Port Interrupt Flag Registers (Px_IFLG)	8-9
Px Port Chattering Filter Control Registers (Px_CHAT)	8-10
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	8-11
Px Port Input Enable Registers (Px_IEN)	8-11
P0[3:0] Port Function Select Register (P00_03PMUX)	8-12
P0[7:4] Port Function Select Register (P04_07PMUX)	8-13
P1[3:0] Port Function Select Register (P10_13PMUX)	8-14
P1[7:4] Port Function Select Register (P14_17PMUX)	8-15
P2[3:0] Port Function Select Register (P20_23PMUX)	8-16
P2[7:4] Port Function Select Register (P24_27PMUX)	8-17
P3[3:0] Port Function Select Register (P30_33PMUX)	8-18
P34 Port Function Select Register (P34PMUX)	8-19
9 16ビットタイマ (T16)	9-1
9.1 T16モジュールの概要	9-1
9.2 カウントクロック	9-2
9.3 カウントモード	9-2
9.4 リロードデータレジスタとアンダーフロー周期	9-2
9.5 タイマのリセット	9-3
9.6 タイマRUN/STOP制御	9-3
9.7 T16出力信号	9-4
9.8 T16割り込み	9-4
9.9 制御レジスタ詳細	9-5
T16 Ch.x Count Clock Select Registers (T16_CLKx)	9-5
T16 Ch.x Reload Data Registers (T16_TRx)	9-6
T16 Ch.x Counter Data Registers (T16_TCx)	9-6
T16 Ch.x Control Registers (T16_CTLx)	9-6
T16 Ch.x Interrupt Control Registers (T16_INTx)	9-7
10 16ビットPWMタイマ (T16A)	10-1
10.1 T16Aモジュールの概要	10-1
10.2 T16A入出力端子	10-2
10.3 カウントクロック	10-3
10.4 T16Aの動作モード	10-4
10.4.1 コンパレータモードとキャプチャモード	10-4
10.4.2 リピートモードとワンショットモード	10-6
10.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード	10-6
10.5 カウンタの制御	10-8
10.5.1 カウンタのリセット	10-8
10.5.2 カウンタRUN/STOP制御	10-8
10.5.3 カウンタ値の読み出し	10-8
10.5.4 タイミングチャート	10-9
10.6 タイマ出力の制御	10-9
10.7 T16A割り込み	10-11
10.8 制御レジスタ詳細	10-12
T16A Clock Control Register Ch.x (T16A_CLKx)	10-13
T16A Counter Ch.x Control Registers (T16A_CTLx)	10-14
T16A Counter Ch.x Data Registers (T16A_TCx)	10-15
T16A Comparator/Capture Ch.x Control Registers (T16A_CCCTLx)	10-16
T16A Comparator/Capture Ch.x A Data Registers (T16A_CCAx)	10-18
T16A Comparator/Capture Ch.x B Data Registers (T16A_CCBx)	10-18
T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A_IENx)	10-19
T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A_IFLGx)	10-20

11 計時タイマ (CT)	11-1
11.1 CTモジュールの概要	11-1
11.2 動作クロック	11-1
11.3 タイマのリセット	11-1
11.4 タイマRUN/STOP制御	11-1
11.5 CT割り込み	11-2
11.6 制御レジスタ詳細	11-3
Clock Timer Control Register (CT_CTL)	11-3
Clock Timer Counter Register (CT_CNT)	11-4
Clock Timer Interrupt Mask Register (CT_IMSK)	11-4
Clock Timer Interrupt Flag Register (CT_IFLG)	11-5
12 ストップウォッチタイマ (SWT)	12-1
12.1 SWTモジュールの概要	12-1
12.2 動作クロック	12-1
12.3 BCDカウンタ	12-1
12.4 タイマのリセット	12-2
12.5 タイマRUN/STOP制御	12-2
12.6 SWT割り込み	12-3
12.7 制御レジスタ詳細	12-4
Stopwatch Timer Control Register (SWT_CTL)	12-4
Stopwatch Timer BCD Counter Register (SWT_BCNT)	12-5
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	12-5
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	12-5
13 ウォッチドッグタイマ (WDT)	13-1
13.1 WDTモジュールの概要	13-1
13.2 動作クロック	13-1
13.3 WDTの制御	13-1
13.3.1 NMI/リセットモードの選択	13-1
13.3.2 WDTのRUN/STOP制御	13-1
13.3.3 WDTのリセット	13-2
13.3.4 HALT, SLEEPモード時の動作	13-2
13.4 制御レジスタ詳細	13-2
Watchdog Timer Control Register (WDT_CTL)	13-2
Watchdog Timer Status Register (WDT_ST)	13-3
14 UART	14-1
14.1 UARTモジュールの概要	14-1
14.2 UART入出力端子	14-2
14.3 ボーレートジェネレータ	14-2
14.4 転送データの設定	14-4
14.5 データ送受信の制御	14-5
14.6 受信エラー	14-8
14.7 UART割り込み	14-8
14.8 IrDAインタフェース	14-9
14.9 制御レジスタ詳細	14-10
UART Ch.x Status Register (UART_STx)	14-11
UART Ch.x Transmit Data Register (UART_TXDx)	14-12
UART Ch.x Receive Data Register (UART_RXDx)	14-13
UART Ch.x Mode Register (UART_MODx)	14-13
UART Ch.x Control Register (UART_CTLx)	14-14
UART Ch.x Expansion Register (UART_EXPx)	14-15

UART Ch.x Baud Rate Register (UART_BRx)	14-15
UART Ch.x Fine Mode Register (UART_FMDx).....	14-15
UART Ch.x Clock Control Register (UART_CLKx).....	14-16
15 SPI.....	15-1
15.1 SPIモジュールの概要.....	15-1
15.2 SPI入出力端子	15-1
15.3 SPIクロック	15-2
15.4 データ転送条件の設定	15-2
15.5 データ送受信の制御.....	15-3
15.6 SPI割り込み.....	15-5
15.7 制御レジスタ詳細	15-6
SPI Ch.x Status Register (SPI_STx)	15-6
SPI Ch.x Transmit Data Register (SPI_TXDx).....	15-7
SPI Ch.x Receive Data Register (SPI_RXDx).....	15-7
SPI Ch.x Control Register (SPI_CTLx).....	15-8
16 I²Cマスタ (I2CM).....	16-1
16.1 I2CMモジュールの概要.....	16-1
16.2 I2CM入出力端子.....	16-1
16.3 同期クロック.....	16-2
16.4 データ転送前の設定項目.....	16-2
16.5 データ送受信の制御.....	16-2
16.6 I2CM割り込み.....	16-6
16.7 制御レジスタ詳細	16-7
I ² C Master Enable Register (I2CM_EN).....	16-7
I ² C Master Control Register (I2CM_CTL).....	16-8
I ² C Master Data Register (I2CM_DAT).....	16-9
I ² C Master Interrupt Control Register (I2CM_ICTL).....	16-10
17 I²Cスレーブ (I2CS).....	17-1
17.1 I2CSモジュールの概要	17-1
17.2 I2CS入出力端子	17-1
17.3 動作クロック.....	17-2
17.4 I2CSの初期設定	17-2
17.4.1 リセット	17-2
17.4.2 スレーブアドレスの設定	17-3
17.4.3 オプション機能.....	17-3
17.5 データ送受信の制御.....	17-3
17.6 I2CS割り込み.....	17-8
17.7 制御レジスタ詳細	17-9
I ² C Slave Transmit Data Register (I2CS_TRNS).....	17-10
I ² C Slave Receive Data Register (I2CS_RECV).....	17-10
I ² C Slave Address Setup Register (I2CS_SADRS).....	17-11
I ² C Slave Control Register (I2CS_CTL).....	17-11
I ² C Slave Status Register (I2CS_STAT).....	17-13
I ² C Slave Access Status Register (I2CS_ASTAT).....	17-15
I ² C Slave Interrupt Control Register (I2CS_ICTL).....	17-16
18 IRリモートコントローラ (REMC).....	18-1
18.1 REMCモジュールの概要.....	18-1
18.2 REMC入出力端子.....	18-1
18.3 キャリアの生成.....	18-1
18.4 データ長カウンタのクロック設定	18-2

18.5	データ送受信の制御	18-3
18.6	REMC割り込み	18-5
18.7	制御レジスタ詳細	18-6
	REMC Configuration Register (REMC_CFG)	18-6
	REMC Carrier Length Setup Register (REMC_CAR)	18-7
	REMC Length Counter Register (REMC_LCNT)	18-8
	REMC Interrupt Control Register (REMC_INT)	18-9
19	LCDドライバ(LCD)	19-1
19.1	LCDモジュールの概要	19-1
19.2	LCD電源	19-2
19.3	LCDクロック	19-2
	19.3.1 LCD動作クロック (LCLK)	19-2
	19.3.2 フレーム信号	19-3
19.4	駆動デューティ制御	19-3
	19.4.1 駆動デューティの切り換え	19-3
	19.4.2 駆動波形	19-3
19.5	表示メモリ	19-7
19.6	表示の制御	19-11
	19.6.1 表示のOn/Off	19-11
	19.6.2 LCDコントラスト調整	19-11
	19.6.3 反転表示	19-11
	19.6.4 階調表示の制御	19-12
19.7	LCD割り込み	19-12
19.8	制御レジスタ詳細	19-12
	LCD Clock Select Register (LCD_CLK)	19-12
	LCD Display Control Register (LCD_DCTL)	19-13
	LCD Contrast Adjustment Register (LCD_CADJ)	19-14
	LCD Clock Control Register (LCD_CCTL)	19-15
	LCD Voltage Regulator Control Register (LCD_VREG)	19-15
	LCD Interrupt Mask Register (LCD_IMSK)	19-15
	LCD Interrupt Flag Register (LCD_IFLG)	19-16
20	A/D変換器(ADC10)	20-1
20.1	ADC10モジュールの概要	20-1
20.2	ADC10入力端子	20-2
20.3	A/D変換器の設定	20-2
	20.3.1 A/D変換クロックの設定	20-2
	20.3.2 A/D変換開始チャンネル/終了チャンネルの選択	20-3
	20.3.3 A/D変換モードの設定	20-3
	20.3.4 トリガの選択	20-4
	20.3.5 サンプリング時間の設定	20-4
	20.3.6 変換結果格納モードの設定	20-5
20.4	A/D変換の制御と動作	20-5
	20.4.1 A/D変換器の起動	20-5
	20.4.2 A/D変換の開始	20-5
	20.4.3 A/D変換結果の読み出し	20-6
	20.4.4 A/D変換の終了	20-6
	20.4.5 タイミングチャート	20-6
20.5	A/D変換器割り込み	20-8
20.6	制御レジスタ詳細	20-8
	A/D Conversion Result Register (ADC10_ADD)	20-9
	A/D Trigger/Channel Select Register (ADC10_TRG)	20-9

	A/D Control/Status Register (ADC10_CTL)	20-11
	A/D Clock Control Register (ADC10_CLK)	20-12
21 R/F変換器(RFC)		21-1
21.1 RFCモジュールの概要		21-1
21.2 RFC入出力端子		21-2
21.3 動作クロック		21-2
21.4 動作モード		21-3
21.4.1 発振モード		21-3
21.4.2 外部クロック入力モード(イベントカウンタモード)		21-4
21.4.3 CR発振クロック周波数測定用機能		21-4
21.5 RFCカウンタ		21-5
21.6 変換動作		21-5
21.6.1 初期設定		21-6
21.6.2 基準発振の制御		21-6
21.6.3 センサ発振の制御		21-7
21.6.4 強制終了		21-8
21.6.5 変換誤差について		21-8
21.7 RFC割り込み		21-8
21.8 制御レジスタ詳細		21-9
RFC Clock Control Register (RFC_CLK)		21-9
RFC Control Register (RFC_CTL)		21-10
RFC Oscillation Trigger Register (RFC_TRG)		21-11
RFC Measurement Counter Low and High Registers (RFC_MCL, RFC_MCH)		21-12
RFC Time Base Counter Low and High Registers (RFC_TCL, RFC_TCH)		21-12
RFC Interrupt Mask Register (RFC_IMSK)		21-12
RFC Interrupt Flag Register (RFC_IFLG)		21-13
22 電源電圧検出回路(SVD)		22-1
22.1 SVDモジュールの概要		22-1
22.2 動作クロック		22-1
22.3 比較電圧の設定		22-2
22.4 SVDの制御		22-2
22.5 SVD割り込み		22-3
22.6 制御レジスタ詳細		22-3
SVD Clock Control Register (SVD_CLK)		22-3
SVD Enable Register (SVD_EN)		22-4
SVD Comparison Voltage Register (SVD_CMP)		22-4
SVD Detection Result Register (SVD_RSLT)		22-5
SVD Interrupt Mask Register (SVD_IMSK)		22-5
SVD Interrupt Flag Register (SVD_IFLG)		22-6
23 オンチップデバッガ(DBG)		23-1
23.1 リソース要件とデバッグツール		23-1
23.2 デバッグブレイク時の動作状態		23-1
23.3 追加デバッグ機能		23-2
23.4 制御レジスタ詳細		23-2
Debug Mode Control Register 1 (MISC_DMODE1)		23-2
Debug Mode Control Register 2 (MISC_DMODE2)		23-3
IRAM Size Select Register (MISC_IRAMSZ)		23-3
Debug RAM Base Register (DBRAM)		23-4
Debug Control Register (DCR)		23-4
Instruction Break Address Register 2 (IBAR2)		23-5
Instruction Break Address Register 3 (IBAR3)		23-5
Instruction Break Address Register 4 (IBAR4)		23-6

24 乗除算器 (COPRO)	24-1	
24.1 概要	24-1	
24.2 動作モードと出力モード	24-1	
24.3 乗算	24-2	
24.4 除算	24-3	
24.5 積和演算	24-4	
24.6 演算結果の読み出し	24-6	
25 電気的特性	25-1	
25.1 絶対最大定格	25-1	
25.2 推奨動作条件	25-1	
25.3 消費電流	25-2	
25.4 発振特性	25-3	
25.5 外部クロック入力特性	25-4	
25.6 入出力端子特性	25-5	
25.7 SPI特性	25-6	
25.8 I ² C特性	25-6	
25.9 LCDドライバ特性	25-7	
25.10 A/D変換器特性	25-9	
25.11 R/F変換器特性	25-10	
25.12 SVD回路特性	25-12	
25.13 Flashメモリ特性	25-13	
26 基本外部結線図	26-1	
27 パッケージ	27-1	
Appendix A I/Oレジスタ一覧	AP-A-1	
0x4100–0x4107, 0x506c	UART (with IrDA) Ch.0	AP-A-4
0x4200–0x4208	16-bit Timer Ch.0	AP-A-5
0x4220–0x4228	16-bit Timer Ch.1	AP-A-6
0x4240–0x4248	16-bit Timer Ch.2	AP-A-6
0x4260–0x4268	16-bit Timer Ch.3	AP-A-7
0x4306–0x431c	Interrupt Controller	AP-A-7
0x4320–0x4326	SPI Ch.0	AP-A-8
0x4340–0x4346	I ² C Master	AP-A-8
0x4360–0x436c	I ² C Slave	AP-A-9
0x5000–0x5003	Clock Timer	AP-A-9
0x5020–0x5023	Stopwatch Timer	AP-A-10
0x5040–0x5041	Watchdog Timer	AP-A-10
0x5060–0x5081	Clock Generator	AP-A-10
0x5063, 0x50a0–0x50a6	LCD Driver	AP-A-11
0x5066, 0x5100–0x5104	SVD Circuit	AP-A-12
0x5120	Power Generator	AP-A-12
0x5200–0x52a7	P Port & Port MUX	AP-A-13
0x4020, 0x5320–0x532c	MISC Registers	AP-A-18
0x5340–0x5346	IR Remote Controller	AP-A-19
0x5380–0x5386	A/D Converter	AP-A-19
0x5067, 0x53a0–0x53ae	R/F Converter	AP-A-20
0x5068, 0x5400–0x540c	16-bit PWM Timer Ch.0	AP-A-22
0x5069, 0x5420–0x542c	16-bit PWM Timer Ch.1	AP-A-23
0x506a, 0x5440–0x544c	16-bit PWM Timer Ch.2	AP-A-25
0x506b, 0x5460–0x546c	16-bit PWM Timer Ch.3	AP-A-26

0xffff84–0xffffd0	S1C17 Core I/O	AP-A-27
Appendix B パワーセーブ		AP-B-1
B.1 クロック制御によるパワーセーブ		AP-B-1
B.2 電源制御によるパワーセーブ		AP-B-3
Appendix C 実装上の注意事項		AP-C-1
Appendix D 初期化ルーチン		AP-D-1
Appendix E 推奨振動子		AP-E-1
改訂履歴表		

1 概要

S1C17711は、高速かつ低電力動作、省サイズ、広アドレス空間、オンチップICEを実現した16ビットMCUです。S1C17 CPUコアを中心に、64KバイトのFlashメモリ、4KバイトのRAM、高ビットレートおよびIrDA1.0に対応したUART、SPI、I²Cなどの各種センサに対応可能なシリアルインタフェース、各種タイマ、29本の汎用入出力ポート、最大56セグメント × 24コムのLCDドライバと電源電圧昇圧回路、A/D変換器、R/F変換器、電源電圧検出回路、32kHzおよび最大8.2MHzの発振回路を内蔵しています。

1.8Vの動作電圧でも8.2MHzの高速動作が可能で、16ビットRISC処理により1命令を1クロックで実行します。また、コプロセッサを内蔵し、乗算、除算および積和演算機能を提供します。

オンチップICE機能は、ICDmini(S5U1C17001H)と3本の信号線を接続することにより、オンボードでの内蔵Flashメモリの消去と書き込み、プログラムのデバッグと評価を可能とします。

S1C17711は、電池駆動とセンサインタフェース、高精細な液晶表示を必要とするアプリケーション(リモコン、ヘルスケア製品、スポーツウォッチ等)に最適です。

1.1 特長

以下にS1C17711の主な機能と特長を示します。

- CPU
 - EPSONオリジナル16ビットRISC CPUコア S1C17
 - 乗除算器(COPRO)
 - 16ビット × 16ビット乗算器
 - 16ビット × 16ビット + 32ビット積和演算器
 - 16ビット ÷ 16ビット除算器
- 内蔵Flashメモリ
 - 64Kバイト(命令/データ共用)
 - 1,000回(min.)書き換え可能
 - 書き込み/読み出し保護機能
 - デバッグツールICDmini(S5U1C17001H)からのオンボード書き換え、プログラムによる自己書き換え可能
- 内蔵RAM
 - 4Kバイト
- 内蔵表示RAM
 - 384バイト
- クロックジェネレータ
 - 3種類の発振回路(システムクロックソース)を内蔵
 - IOSC発振回路 2.7MHz(typ.)
 - OSC3発振回路 8.2MHz(max.)水晶発振回路/セラミック発振回路
外部クロック入力にも対応
 - OSC1発振回路 32.768kHz(typ.)水晶発振回路
 - コアクロック周波数制御
 - 周辺モジュールクロック供給制御
 - SLEEPモード解除時、IOSCによる高速復帰処理を実現
- 入出力ポート
 - 最大29ビットの汎用入出力(周辺回路の入出力と端子を共用)
- シリアルインタフェース
 - SPI 1チャンネル
 - I²Cマスタ(I2CM) 1チャンネル
 - I²Cスレーブ(I2CS) 1チャンネル
 - UART(115200bps、IrDA1.0対応) 1チャンネル
 - IRリモートコントローラ(REMC) 1チャンネル
- タイマ
 - 16ビットタイマ(T16) 4チャンネル
 - 16ビットPWMタイマ(T16A) 4チャンネル
 - 計時タイマ(CT) 1チャンネル
 - ストップウォッチタイマ(SWT) 1チャンネル
 - ウォッチドッグタイマ(WDT) 1チャンネル

1 概要

- LCDドライバ
 - 56SEG × 24COM(1/4バイアス)
 - 64SEG × 16COM(1/4バイアス)
 - 64SEG × 8COM(1/4バイアス)
 - 昇圧電源回路内蔵
- A/D変換器
 - 逐次比較型
 - アナログ入力: 8チャンネル(max.)
 - 分解能: 10ビット
- R/F変換器
 - CR発振型 2チャンネル
 - 24ビットカウンタ
 - DCバイアス抵抗性/容量性センサおよびACバイアス抵抗性センサに対応
 - 外部入力パルスのカウントにも対応
- 電源電圧検出(SVD)回路
 - 15値プログラマブル(1.8V~3.2V)
- 割り込み
 - リセット
 - NMI
 - プログラマブル割り込み23本(8レベル)
- 電源電圧
 - 1.8V~3.6V(通常動作時)
 - 2.7V~3.6V(Flash消去/書き込み時)
 - 内部定電圧回路内蔵(動作電圧2値プログラマブル)
- 動作温度
 - -25°C~70°C
- 消費電流
 - SLEEP時 1.0μA typ. (OSC1: OFF、IOSC: OFF、OSC3: OFF)
 - HALT時 2.0μA typ. (OSC1: 32kHz、IOSC: OFF、OSC3: OFF、PCLK: OFF、LCD: OFF)
 - 9.0μA typ. (OSC1: 32kHz、IOSC: OFF、OSC3: OFF、PCLK: OFF、LCD: ON(全点灯、コントラスト最大、V_{C2}基準))
 - 動作時 12μA typ. (OSC1: 32kHz、IOSC: OFF、OSC3: OFF、PCLK: ON、LCD: OFF)
 - 400μA typ. (OSC1: OFF、IOSC: OFF、OSC3: 1MHzセラミック発振、PCLK: ON、LCD: ON(全点灯、コントラスト最大、V_{C2}基準))
- 出荷形態
 - TQFP15-128pinパッケージ (14mm × 14mm、端子ピッチ: 0.4mm)
 - VFBGA10H-144パッケージ (10mm × 10mm、ボールピッチ: 0.8mm)
 - チップ (パッドピッチ: 90μm)

1.2 ブロック図

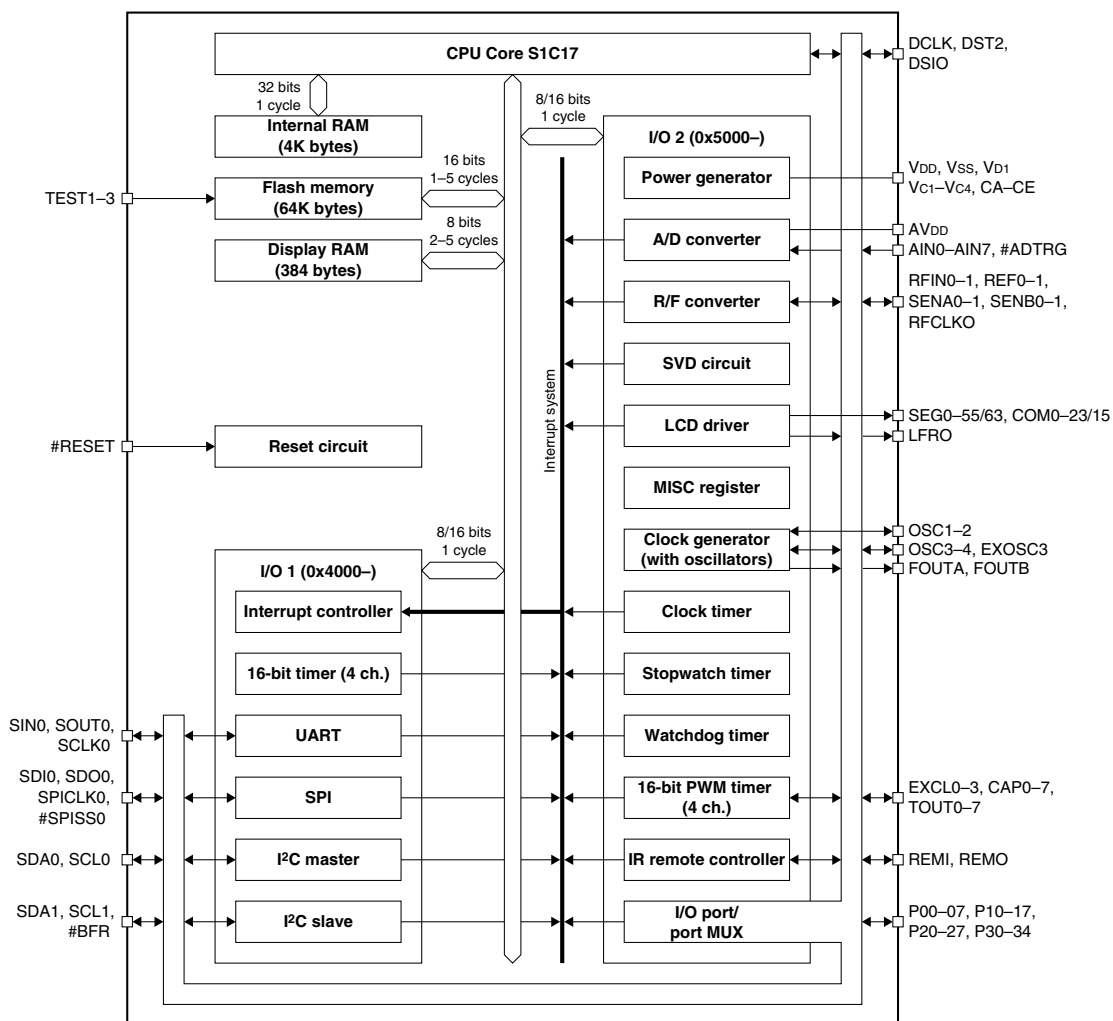


図1.2.1 ブロック図

1.3 端子

1.3.1 端子配置図(TQFP15-128pin)

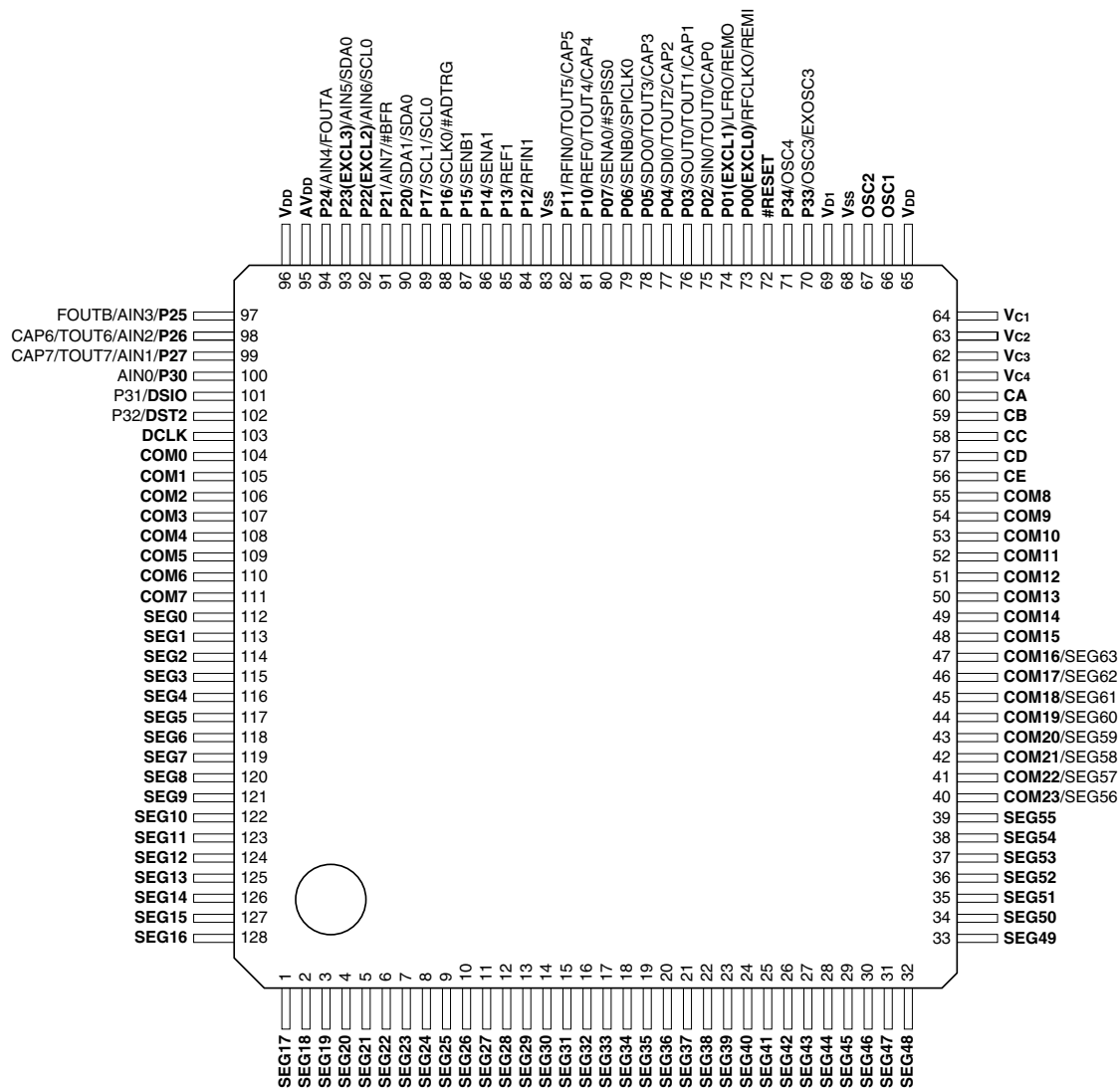


図1.3.1.1 端子配置図(TQFP15-128pin)

1.3.2 端子配置図(VFBGA10H-144)

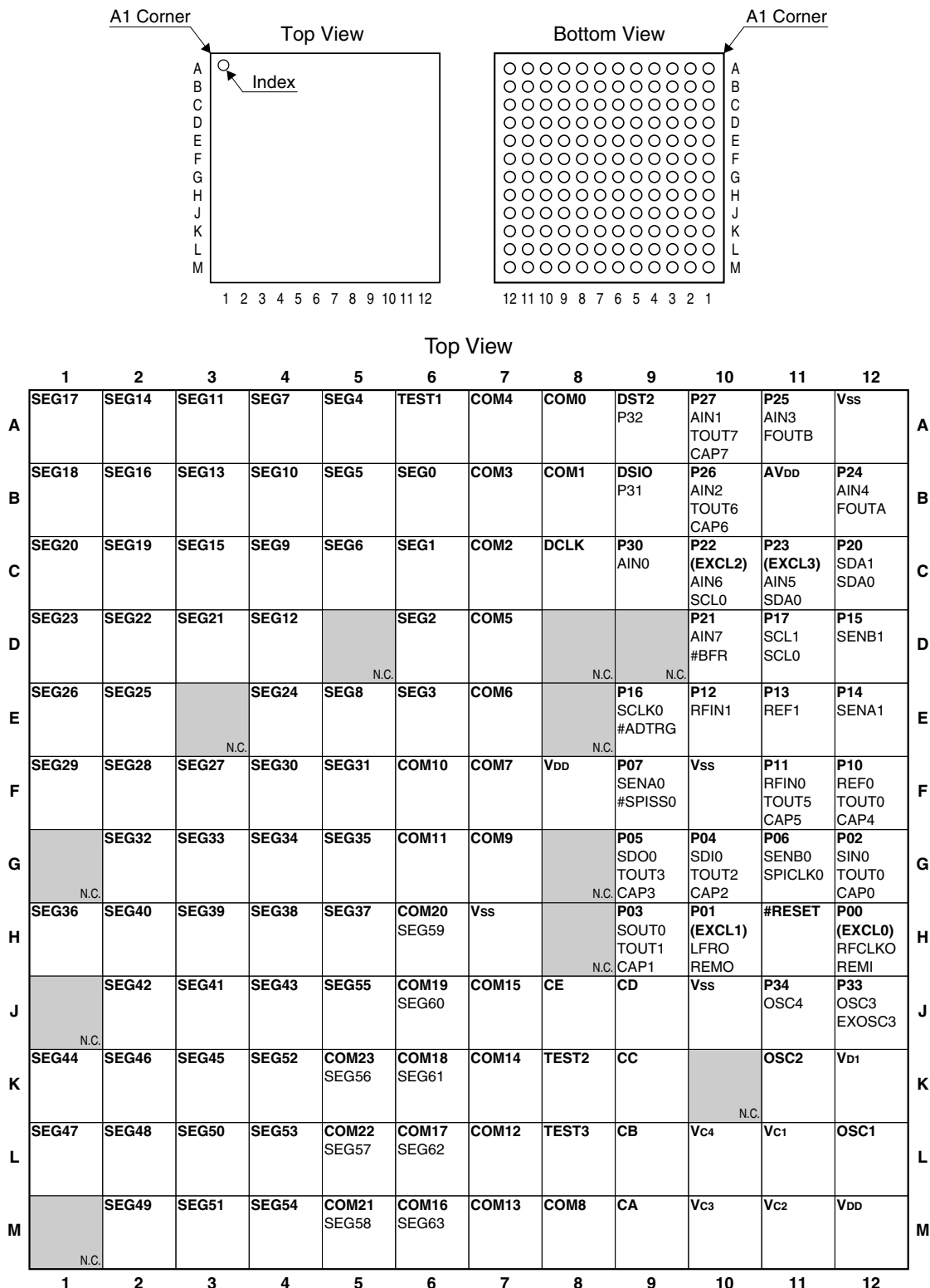
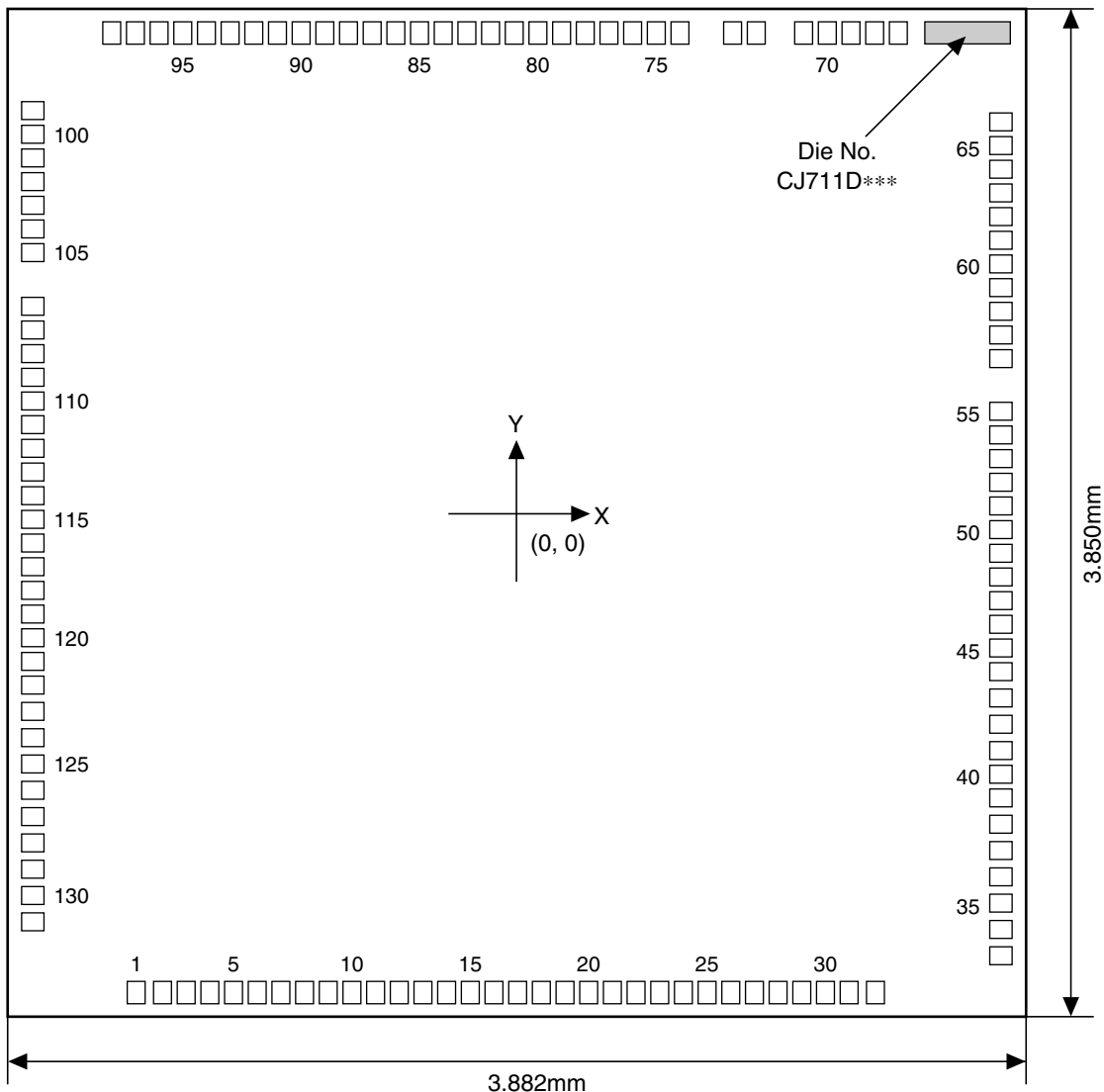


図1.3.2.1 端子配置図(VFBGA10H-144)

1.3.3 パッド配置図(チップ)



パッド開口部 No. 1~32, 67~98: 68 × 85 μ m
 No. 33~66, 99~131: 85 × 68 μ m
 チップ厚 400 μ m

図1.3.3.1 パッド配置図(チップ)

表1.3.3.1 パッド座標

No.	パッド名	X (mm)	Y (mm)	No.	パッド名	X (mm)	Y (mm)
1	SEG17	-1.447	-1.824	67	V _{DD}	1.450	1.824
2	SEG18	-1.347	-1.824	68	OSC1	1.360	1.824
3	SEG19	-1.257	-1.824	69	OSC2	1.270	1.824
4	SEG20	-1.167	-1.824	70	V _{SS}	1.180	1.824
5	SEG21	-1.077	-1.824	71	V _{D1}	1.090	1.824
6	SEG22	-0.987	-1.824	72	P33/OSC3/EXOSC3	0.910	1.824
7	SEG23	-0.897	-1.824	73	P34/OSC4	0.820	1.824
8	SEG24	-0.807	-1.824	74	#RESET	0.620	1.824
9	SEG25	-0.717	-1.824	75	P00(EXCL0)/RFCLK0/REMI	0.530	1.824
10	SEG26	-0.627	-1.824	76	P01(EXCL1)/LFRO/REMO	0.440	1.824
11	SEG27	-0.537	-1.824	77	P02/SIN0/TOUT0/CAP0	0.350	1.824
12	SEG28	-0.447	-1.824	78	P03/SOUT0/TOUT1/CAP1	0.260	1.824
13	SEG29	-0.357	-1.824	79	P04/SDI0/TOUT2/CAP2	0.170	1.824
14	SEG30	-0.267	-1.824	80	P05/SDO0/TOUT3/CAP3	0.080	1.824
15	SEG31	-0.177	-1.824	81	P06/SEN0/SPICKL0	-0.010	1.824
16	SEG32	-0.087	-1.824	82	P07/SENA0/#SPISS0	-0.100	1.824
17	SEG33	0.003	-1.824	83	P10/REF0/TOUT4/CAP4	-0.190	1.824
18	SEG34	0.093	-1.824	84	P11/RFIN0/TOUT5/CAP5	-0.280	1.824
19	SEG35	0.183	-1.824	85	V _{SS}	-0.370	1.824
20	SEG36	0.273	-1.824	86	P12/RFIN1	-0.460	1.824
21	SEG37	0.363	-1.824	87	P13/REF1	-0.550	1.824
22	SEG38	0.453	-1.824	88	P14/SENA1	-0.640	1.824
23	SEG39	0.543	-1.824	89	P15/SEN1	-0.730	1.824
24	SEG40	0.633	-1.824	90	P16/SCLK0/#ADTRG	-0.820	1.824
25	SEG41	0.723	-1.824	91	P17/SCL1/SCL0	-0.910	1.824
26	SEG42	0.813	-1.824	92	P20/SDA1/SDA0	-1.000	1.824
27	SEG43	0.903	-1.824	93	P21/AIN7/#BFR	-1.090	1.824
28	SEG44	0.993	-1.824	94	P22(EXCL2)/AIN6/SCL0	-1.180	1.824
29	SEG45	1.083	-1.824	95	P23(EXCL3)/AIN5/SDA0	-1.270	1.824
30	SEG46	1.173	-1.824	96	P24/AIN4/FOUTA	-1.360	1.824
31	SEG47	1.263	-1.824	97	AV _{DD}	-1.450	1.824
32	SEG48	1.363	-1.824	98	V _{DD}	-1.540	1.824
33	SEG49	1.840	-1.684	99	P25/AIN3/FOUTB	-1.840	1.529
34	SEG50	1.840	-1.584	100	P26/AIN2/TOUT6/CAP6	-1.840	1.439
35	SEG51	1.840	-1.484	101	P27/AIN1/TOUT7/CAP7	-1.840	1.349
36	SEG52	1.840	-1.384	102	P30/AIN0	-1.840	1.259
37	SEG53	1.840	-1.284	103	DSIO/P31	-1.840	1.169
38	SEG54	1.840	-1.184	104	DST2/P32	-1.840	1.079
39	SEG55	1.840	-1.084	105	DCLK	-1.840	0.989
40	COM23/SEG56	1.840	-0.994	106	COM0	-1.840	0.785
41	COM22/SEG57	1.840	-0.904	107	COM1	-1.840	0.695
42	COM21/SEG58	1.840	-0.804	108	COM2	-1.840	0.605
43	COM20/SEG59	1.840	-0.704	109	COM3	-1.840	0.515
44	COM19/SEG60	1.840	-0.604	110	COM4	-1.840	0.425
45	COM18/SEG61	1.840	-0.514	111	COM5	-1.840	0.335
46	COM17/SEG62	1.840	-0.424	112	COM6	-1.840	0.245
47	COM16/SEG63	1.840	-0.334	113	COM7	-1.840	0.155
48	COM15	1.840	-0.244	114	TEST1	-1.840	0.065
49	COM14	1.840	-0.154	115	SEG0	-1.840	-0.025
50	COM13	1.840	-0.064	116	SEG1	-1.840	-0.115
51	COM12	1.840	0.026	117	SEG2	-1.840	-0.205
52	COM11	1.840	0.116	118	SEG3	-1.840	-0.295
53	COM10	1.840	0.206	119	SEG4	-1.840	-0.385
54	COM9	1.840	0.296	120	SEG5	-1.840	-0.475
55	COM8	1.840	0.386	121	SEG6	-1.840	-0.565
56	TEST3	1.840	0.586	122	SEG7	-1.840	-0.655
57	TEST2	1.840	0.676	123	SEG8	-1.840	-0.755
58	CE	1.840	0.766	124	SEG9	-1.840	-0.855
59	CD	1.840	0.856	125	SEG10	-1.840	-0.955
60	CC	1.840	0.946	126	SEG11	-1.840	-1.055
61	CB	1.840	1.036	127	SEG12	-1.840	-1.155
62	CA	1.840	1.126	128	SEG13	-1.840	-1.255
63	V _{C4}	1.840	1.216	129	SEG14	-1.840	-1.355
64	V _{C3}	1.840	1.306	130	SEG15	-1.840	-1.455
65	V _{C2}	1.840	1.396	131	SEG16	-1.840	-1.555
66	V _{C1}	1.840	1.486				

1 概要

1.3.4 端子説明

注: 太字の端子名が初期状態の機能です。

表1.3.4.1 端子説明

パッド/端子/ボールNo.			名称	I/O	初期状態	機能
Chip	TQFP	VFBGA				
1~39	1~39	*1	SEG17-SEG55	O	O(L)	LCDセグメント出力端子
40~47	40~47	*2	COM23-COM16	O	O(L)	LCDコモン出力端子
			SEG56-SEG63			LCDセグメント出力端子
48~55	48~55	*2	COM15-COM8	O	O(L)	LCDコモン出力端子
56	-	L8	TEST3	-	-	テスト端子(通常動作時はオープン)
57	-	K8	TEST2	-	-	テスト端子(通常動作時はオープン)
58	56	J8	CE	-	-	LCD昇圧コンデンサ接続端子
59	57	J9	CD	-	-	LCD昇圧コンデンサ接続端子
60	58	K9	CC	-	-	LCD昇圧コンデンサ接続端子
61	59	L9	CB	-	-	LCD昇圧コンデンサ接続端子
62	60	M9	CA	-	-	LCD昇圧コンデンサ接続端子
63	61	L10	Vc4	-	-	LCD系駆動電圧出力端子
64	62	M10	Vc3	-	-	LCD系駆動電圧出力端子
65	63	M11	Vc2	-	-	LCD系駆動電圧出力端子
66	64	L11	Vc1	-	-	LCD系駆動電圧出力端子
67	65	*3	VDD	-	-	電源端子(+)
68	66	L12	OSC1	I	I	OSC1 (32 kHz typ.) 発振入力端子
69	67	K11	OSC2	O	O	OSC1 (32 kHz typ.) 発振出力端子
70	68	*4	VSS	-	-	電源端子(-)
71	69	K12	Vb1	-	-	内部ロジックおよび発振系定電圧回路出力端子
72	70	J12	P33	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子 *5
			OSC3	I		OSC3 (8.2 MHz max.) 発振入力端子 *5
			EXOSC3	I		OSC3外部クロック入力端子 *5
73	71	J11	P34	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子 *5
			OSC4	O		OSC3 (8.2 MHz max.) 発振出力端子 *5
74	72	H11	#RESET	I	I(Pull-up)	イニシャルリセット入力端子
75	73	H12	P00 (EXCL0)	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子 (T16A Ch.0外部クロック入力端子)
			RFCLKO	O		R/Fクロックモニタ出力端子
			REMI	I		REMC入力端子
76	74	H10	P01 (EXCL1)	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子 (T16A Ch.1外部クロック入力端子)
			LFRO	O		LCDフレーム信号出力端子
			REMO	O		REMC出力端子
77	75	G12	P02	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SIN0	I		UART Ch.0データ入力端子
			TOUT0	O		T16A Ch.0 TOUT A信号出力端子
			CAP0	I		T16A Ch.0キャプチャAトリガ信号入力端子
78	76	H9	P03	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SOUT0	O		UART Ch.0データ出力端子
			TOUT1	O		T16A Ch.0 TOUT B信号出力端子
			CAP1	I		T16A Ch.0キャプチャBトリガ信号入力端子
79	77	G10	P04	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SDI0	I		SPI Ch.0データ入力端子
			TOUT2	O		T16A Ch.1 TOUT A信号出力端子
80	78	G9	P05	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SDO0	O		SPI Ch.0データ出力端子
			TOUT3	O		T16A Ch.1 TOUT B信号出力端子
			CAP3	I		T16A Ch.1キャプチャBトリガ信号入力端子
81	79	G11	P06	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SENB0	I/O		R/F変換器Ch.0センサB発振制御端子
			SPICLK0	I/O		SPI Ch.0クロック入出力端子
82	80	F9	P07	I/O	I(Pull-up)	割り込み入力機能付き入出力ポート端子
			SENA0	I/O		R/F変換器Ch.0センサA発振制御端子
			#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子

パッド/端子/ボールNo.			名称	I/O	初期状態	機能
Chip	TQFP	VFBGA				
83	81	F12	P10	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			RF0	I/O		R/F変換器Ch.0基準発振制御端子
			TOUT4	O		T16A Ch.2 TOUT A信号出力端子
			CAP4	I		T16A Ch.2キャプチャAトリガ信号入力端子
84	82	F11	P11	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			RFIN0	I/O		R/F変換器Ch.0 RFCLK入力/発振制御端子
			TOUT5	O		T16A Ch.2 TOUT B信号出力端子
			CAP5	I		T16A Ch.2キャプチャBトリガ信号入力端子
85	83	*4	Vss	-	-	電源端子(-)
86	84	E10	P12	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			RFIN1	I/O		R/F変換器Ch.1 RFCLK入力/発振制御端子
87	85	E11	P13	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			REF1	I/O		R/F変換器Ch.1基準発振制御端子
88	86	E12	P14	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			SENA1	I/O		R/F変換器Ch.1センサA発振制御端子
89	87	D12	P15	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			SENB1	I/O		R/F変換器Ch.1センサB発振制御端子
90	88	E9	P16	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			SCLK0	I		UART Ch.0外部クロック入力端子
			#ADTRG	I		A/D変換器外部トリガ入力端子
91	89	D11	P17	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			SCL1	I/O		I ² CスレーブSCL入出力端子
			SCL0	I/O		I ² CマスタSCL入出力端子
92	90	C12	P20	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			SDA1	I/O		I ² Cスレーブデータ入出力端子
			SDA0	I/O		I ² Cマスタデータ入出力端子
93	91	D10	P21	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN7	I		A/D変換器Ch.7アナログ信号入力端子
			#BFR	I		I ² Cスレーブバス解放要求入力端子
94	92	C10	P22 (EXCL2)	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子 (T16A Ch.2外部クロック入力端子)
			AIN6	I		A/D変換器Ch.6アナログ信号入力端子
			SCL0	I/O		I ² CマスタSCL入出力端子
95	93	C11	P23 (EXCL3)	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子 (T16A Ch.3外部クロック入力端子)
			AIN5	I		A/D変換器Ch.5アナログ信号入力端子
			SDA0	I/O		I ² Cマスタデータ入出力端子
96	94	B12	P24	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN4	I		A/D変換器Ch.4アナログ信号入力端子
			FOUTA	O		クロック出力端子
97	95	B11	AVDD	-	-	アナログ電源端子(+)
98	96	*3	VDD	-	-	電源端子(+)
99	97	A11	P25	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN3	I		A/D変換器Ch.3アナログ信号入力端子
			FOUTB	O		クロック出力端子
100	98	B10	P26	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN2	I		A/D変換器Ch.2アナログ信号入力端子
			TOUT6	O		T16A Ch.3 TOUT A信号出力端子
			CAP6	I		T16A Ch.3キャプチャAトリガ信号入力端子
101	99	A10	P27	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN1	I		A/D変換器Ch.1アナログ信号入力端子
			TOUT7	O		T16A Ch.3 TOUT B信号出力端子
			CAP7	I		T16A Ch.3キャプチャBトリガ信号入力端子
102	100	C9	P30	I/O	I (Pull-up)	割り込み入力機能付き入出力ポート端子
			AIN0	I		A/D変換器Ch.0アナログ信号入力端子
103	101	B9	DSIO	I/O	I (Pull-up)	オンチップデバッグデータ入出力端子
			P31	I/O		割り込み入力機能付き入出力ポート端子
104	102	A9	DST2	O	O (L)	オンチップデバッグステータス出力端子
			P32	I/O		割り込み入力機能付き入出力ポート端子
105	103	C8	DCLK	O	O (H) *6	オンチップデバッグクロック出力端子
106~113	104~111	*2	COM0~COM7	O	O (L)	LCDコモン出力端子
114	-	A6	TEST1	-	-	テスト端子(通常動作時はオープン)
115~131	112~128	*1	SEG0~SEG16	O	O (L)	LCDセグメント出力端子

1 概要

*1: SEG0~SEG55ボールNo.

SEG No.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Ball No.	B6	C6	D6	E6	A5	B5	C5	A4	E5	C4	B4	A3	D4	B3	A2	C3
SEG No.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Ball No.	B2	A1	B1	C2	C1	D3	D2	D1	E4	E2	E1	F3	F2	F1	F4	F5
SEG No.	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
Ball No.	G2	G3	G4	G5	H1	H5	H4	H3	H2	J3	J2	J4	K1	K3	K2	L1
SEG No.	48	49	50	51	52	53	54	55	X							
Ball No.	L2	M2	L3	M3	K4	L4	M4	J5								

*2: COM0~COM23ボールNo.

COM No.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Ball No.	A8	B8	C7	B7	A7	D7	E7	F7	M8	G7	F6	G6	L7	M7	K7	J7
COM No.	16	17	18	19	20	21	22	23	X							
Ball No.	M6	L6	K6	J6	H6	M5	L5	K5								

*3: V_{DD}ボールNo.

F8, M12

*4: V_{SS}ボールNo.

A12, F10, H7, J10

*5: P33およびP34端子は以下の組み合わせのいずれかに設定する必要があります。

組み合わせ	P33端子	P34端子
1	P33入出力端子	P34入出力端子
2	OSC3入力端子	OSC4出力端子
3	EXOSC3クロック入力端子	P34入出力端子

*6: DCLK端子の初期状態は、#RESET端子が0(リセット状態)の間はL出力、#RESET端子が1になった後(リセット解除後)はH出力となります。

2 CPU

S1C17711はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 μ m低電力CMOSプロセステクノロジー

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

コプロセッサインタフェース

- 16ビット×16ビット乗算器
- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	二ーモニク	機能	
データ転送	1d.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	プリデクリメント機能を使用可能
	$-[\%rb], \%rs$		
	$[\%sp+imm7], \%rs$	汎用レジスタ(バイト) → スタック	
	$[imm7], \%rs$	汎用レジスタ(バイト) → メモリ	
	1d.ub	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	1d	$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
$\%rd, \%rs$		汎用レジスタ(16ビット) → 汎用レジスタ	
$\%rd, sign7$		即値 → 汎用レジスタ(符号拡張)	
$\%rd, [\%rb]$		メモリ(16ビット) → 汎用レジスタ	
$\%rd, [\%rb]+$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$\%rd, [\%rb]-$		プリデクリメント機能を使用可能	
$\%rd, -[\%rb]$			
$\%rd, [\%sp+imm7]$		スタック(16ビット) → 汎用レジスタ	
$\%rd, [imm7]$		メモリ(16ビット) → 汎用レジスタ	
$[\%rb], \%rs$		汎用レジスタ(16ビット) → メモリ	
$[\%rb]+, \%rs$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$[\%rb]-, \%rs$		プリデクリメント機能を使用可能	
$-[\%rb], \%rs$			
$[\%sp+imm7], \%rs$		汎用レジスタ(16ビット) → スタック	
$[imm7], \%rs$	汎用レジスタ(16ビット) → メモリ		
1d.a	$\%rd, \%rs$	汎用レジスタ(24ビット) → 汎用レジスタ	
	$\%rd, imm7$	即値 → 汎用レジスタ(ゼロ拡張)	

種類	ニーモニック	機能	
データ転送	ld.a	$\%rd, [\%rb]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [imm7]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$[\%rb], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	
		$-[\%rb], \%rs$	
		$[\%sp+imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$\%rd, \%sp$	SP → 汎用レジスタ
		$\%rd, \%pc$	PC → 汎用レジスタ
		$\%rd, [\%sp]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%sp]+$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%sp]-$	
		$\%rd, -[\%sp]$	
		$[\%sp], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[\%sp]+, \%rs$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
$[\%sp]-, \%rs$			
$-[\%sp], \%rs$			
$\%sp, \%rs$	汎用レジスタ(24ビット) → SP		
$\%sp, imm7$	即値 → SP		
整数算術演算	add	$\%rd, \%rs$	汎用レジスタ間の16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/c		
	add/nc		
	add	$\%rd, imm7$	汎用レジスタと即値の16ビット加算
	add.a	$\%rd, \%rs$	汎用レジスタ間の24ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c		
	add.a/nc		
	add.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット加算
		$\%rd, imm7$	汎用レジスタと即値の24ビット加算
		$\%sp, imm7$	SPと即値の24ビット加算
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c		
	adc/nc		
	adc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット加算
	sub	$\%rd, \%rs$	汎用レジスタ間の16ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/c		
sub/nc			
sub	$\%rd, imm7$	汎用レジスタと即値の16ビット減算	
sub.a	$\%rd, \%rs$	汎用レジスタ間の24ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub.a/c			
sub.a/nc			
sub.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット減算	
	$\%rd, imm7$	汎用レジスタと即値の24ビット減算	
	$\%sp, imm7$	SPと即値の24ビット減算	
sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sbc/c			
sbc/nc			
sbc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット減算	
cmp	$\%rd, \%rs$	汎用レジスタ間の16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp/c			
cmp/nc			
cmp	$\%rd, sign7$	汎用レジスタと即値の16ビット比較	
cmp.a	$\%rd, \%rs$	汎用レジスタ間の24ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a/c			
cmp.a/nc			
cmp.a	$\%rd, imm7$	汎用レジスタと即値の24ビット比較	
cmc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc/c			
cmc/nc			
cmc	$\%rd, sign7$	汎用レジスタと即値のキャリー付き16ビット比較	

種類	ニーモニック		機能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数)
not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
not/nc			
not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)	
シフト&スワップ	sr	$\%rd, \%rs$	右論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$	右算術シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$	左論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	左論理シフト(即値によるシフトビット数指定)
swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ	
即値拡張	ext	$imm13$	直後の命令のオペランドを拡張
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: Z N ^ V
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: Z C
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
calla	$imm7$	絶対サブルーチンコール	
calla.d	$\%rb$	ディレイド分岐可	
ret		サブルーチンからのリターン	
ret.d		ディレイド分岐可	
int	$imm5$	ソフトウェア割り込み	
intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み	
reti		割り込みからのリターン	
reti.d		ディレイド分岐可	
brk		デバッグ割り込み	

種類	ニーモニック		機能
分岐	ret		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送
	ld.ca	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、結果とフラグ状態の取得
	ld.cf	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、フラグ状態の取得

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記号	説明
$\%rs$	汎用ソースレジスタ
$\%rd$	汎用デスティネーションレジスタ
[$\%rb$]	汎用レジスタで間接指定されるメモリ
[$\%rb$]+	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[$\%rb$]-	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
- [$\%rb$]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
$\%sp$	スタックポインタ
[$\%sp$], [$\%sp+imm7$]	スタック
[$\%sp$]+	スタック(アドレスポストインクリメント付き)
[$\%sp$]-	スタック(アドレスポストデクリメント付き)
- [$\%sp$]	スタック(アドレスプリデクリメント付き)
$imm3, imm5, imm7, imm13$	符号なし即値(数値はビット長)
$sign7, sign10$	符号付き即値(数値はビット長)

2.4 PSRの読み出し

S1C17711にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのMISC_PSRレジスタが設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

PSR Register (MISC_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.	
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R		
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable)	0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set)	0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set)	0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set)	0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set)	0 0 (cleared)	0	R	

D[15:8] **Reserved**

D[7:5] **PSRIL[2:0]: PSR Interrupt Level (IL) Bits**

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

D4 **PSRIE: PSR Interrupt Enable (IE) Bit**

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

D3 PSRC: PSR Carry (C) Flag Bit

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D2 PSRV: PSR Overflow (V) Flag Bit

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D1 PSRZ: PSR Zero (Z) Flag Bit

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D0 PSRN: PSR Negative (N) Flag Bit

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

2.5 プロセッサ情報

S1C17711はIDIRレジスタを内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップ、バス制御

図3.1にS1C17711のメモリマップを示します。

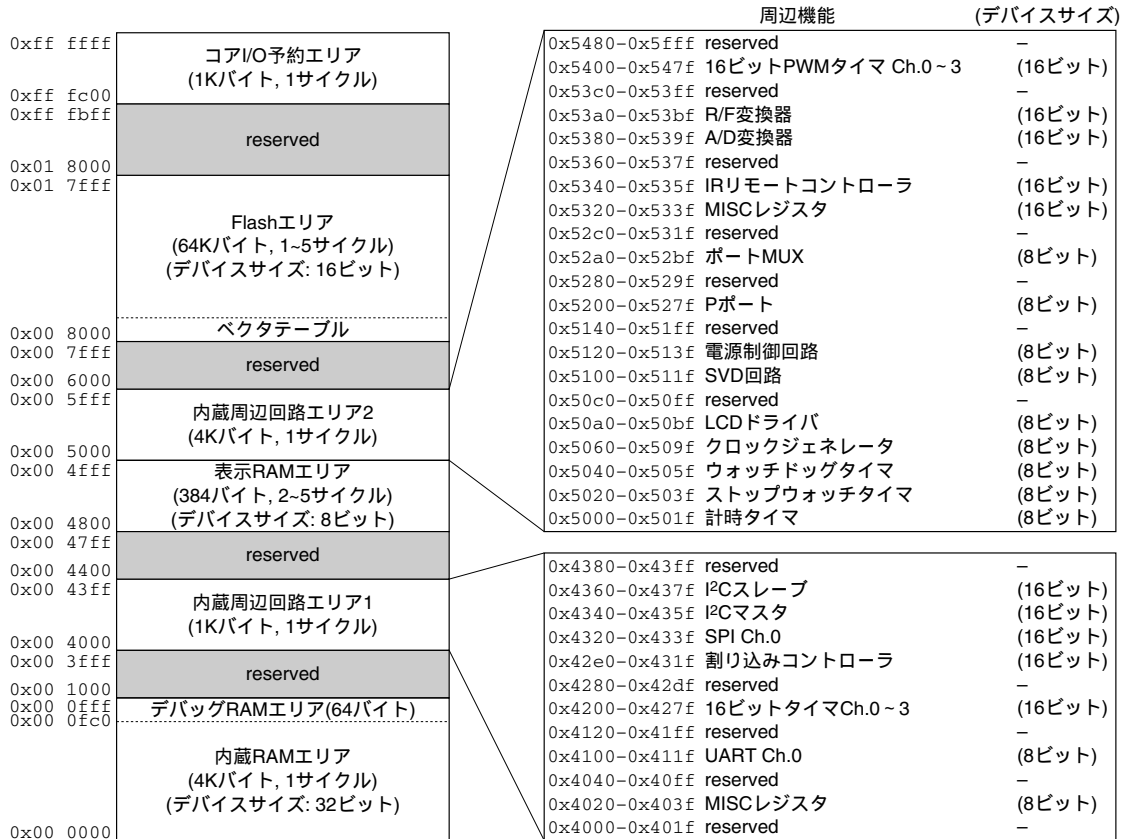


図3.1 S1C17711メモリマップ

3.1 バスサイクル

CPUはCCLKを基準に動作します。CCLKについては、“クロックジェネレータ(CLG)”の章内の“CPUコアクロック(CCLK)の制御”を参照してください。

CCLKの立ち上がりから次の立ち上がりまでを1 CCLKとし、これを1バスサイクルとします。図3.1に示したとおり、1回のバスアクセスにかかるサイクル数は、周辺回路やメモリによって異なります。また、CPUの命令(アクセスサイズ)とデバイスサイズによりバスアクセス回数も変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

3 メモリマップ、バス制御

* 32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

バスサイクル数の計算例

表示RAMエリア(8ビットデバイス, 2サイクル設定)に、CPUから16ビットリード/ライト命令でアクセスする場合のバスサイクル数

$$2[\text{サイクル}] \times 2[\text{バスアクセス回数}] = 4[\text{CCLKサイクル}]$$

3.1.1 アクセスサイズ制限

以下に示すモジュールにはアクセスサイズに制限がありますので、プログラミングの際には使用する命令に注意してください。

Flashメモリ

Flashメモリのプログラミングには、16ビットライト命令のみ使用可能です。データの読み出しには特に制限はありません。

上記以外のモジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのアクセスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアまたは表示RAMエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

3.2 Flashエリア

3.2.1 内蔵Flashメモリ

0x8000番地から0x17fff番地までの64Kバイトの領域にはFlashメモリ(4Kバイト × 16セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“割り込みコントローラ(ITC)”の章内の“ベクタテーブル参照”)を置く必要があります。ベクタテーブルベースアドレスはMISC_TTBRL/MISC_TTBRLHレジスタで変更可能です。

Flashメモリの読み出しは1~5サイクルで行われます。

3.2.2 Flashプログラミング

S1C1771HはFlashメモリのオンボードプログラミングに対応しており、ICDmini(S5U1C17001H)を介してデバッグからプログラム/データを書き込むことができます。また、プログラムによる自己書き換えも行えます。プログラミングは16ビット単位で行えます。消去方法にはチップ消去とセクタ消去の2種類があります。

デバッグによるFlashプログラミングに関しては、S1C17 Family Cコンパイラパッケージに添付の“S5U1C17001C Manual”を、ユーザプログラムによる自己プログラミングに関しては本機種に対応した“自己書き換えプログラミング(FLS)アプリケーションノート”を参照してください。

注: デバッグはチップ消去にのみ対応しています。デバッグからのセクタ消去はできません。

3.2.3 プロテクトビット

内蔵Flashメモリの内容を保護するため、ライトプロテクトとデータリードプロテクトの2種類を16Kバイトの領域ごとに設定できます。ライトプロテクトは、設定した領域へのデータ書き込みを禁止します。データリードプロテクトは、設定した領域からのデータ読み出しを禁止します(読み出し値が常に0x0000になります)。ただし、CPUの命令フェッチ動作はプロテクトしません。この設定には、以下に示すプロテクトビットを使用します。プロテクトを設定する場合は、設定する領域に対応したプロテクトビットを0にプログラミングします。

Flash Protect Bits

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x17ffc (16 bits)	D15-4	reserved	-		-	-		
	D3	Flash write-protect bit for 0x14000-0x17fff	1	Writable	0	Protected	1	R/W
	D2	Flash write-protect bit for 0x10000-0x13fff	1	Writable	0	Protected	1	R/W
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writable	0	Protected	1	R/W
0x17ffe (16 bits)	D15-4	reserved	-		-	-		
	D3	Flash data-read-protect bit for 0x14000-0x17fff	1	Readable	0	Protected	1	R/W
	D2	Flash data-read-protect bit for 0x10000-0x13fff	1	Readable	0	Protected	1	R/W
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Readable	0	Protected	1	R/W
	D0	reserved	1		1	R/W	Always set to 1.	

注: • データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。
• 0x17ffeのD0は必ず1に設定してください。0に設定するとプログラムがブートできません。

3.2.4 Flashコントローラのアクセス制御

S1C17711の内蔵Flashメモリは、専用のFlashコントローラを介してアクセスされます。このコントローラへのアクセスに関する設定がMISCレジスタで行えます。

Flashコントローラのリードアクセスサイクルの設定

Flashメモリのデータを正しく読み出すため、CCLK周波数に合わせ、最適なリードアクセスサイクルをFLCYC[2:0]/MISC_FLレジスタで設定してください。

FLASHC/SRAMC Control Register (MISC_FL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
FLASHC/ SRAMC Control Register (MISC_FL)	0x5320 (16 bits)	D15-13	-	reserved	-		-	-	0 when being read.		
		D12	SRRVS	SRAMC bit order reverse	1	Reverse	0	Normal	0	R/W	
		D11-10	-	reserved	-		-	-	-	0 when being read.	
		D9-8	SRCYC[1:0]	SRAMC access cycle	SRCYC[1:0]		Access cycle		0x3	R/W	
					0x3	5 cycles					
					0x2	4 cycles					
					0x1	3 cycles					
0x0	2 cycles										
D7-3	-	reserved	-		-	-	-	0 when being read.			
D2-0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]		Read cycle		0x3	R/W			
			0x7-0x5	reserved							
			0x4	1 cycle							
			0x3	5 cycles							
			0x2	4 cycles							
0x1	3 cycles										
0x0	2 cycles										

D[2:0] FLCYC[2:0]: FLASHC Read Access Cycle Bits

Flashコントローラのリードアクセスサイクル数を設定します。

表3.2.4.1 Flashコントローラのリードアクセスサイクルの設定

FLCYC[2:0]	リードアクセスサイクル数	CCLK周波数
0x7~0x5	Reserved	—
0x4	1サイクル	8.2MHz max.
0x3	5サイクル	8.2MHz max.
0x2	4サイクル	8.2MHz max.
0x1	3サイクル	8.2MHz max.
0x0	2サイクル	8.2MHz max.

(デフォルト: 0x3)

- 注: • 誤動作の原因になりますので、CCLKの最大許容周波数を超えるリードアクセスサイクル数は設定しないでください。
- パフォーマンスを最大にするには、FLCYC[2:0] = 0x4に設定してください。

3.3 内蔵RAMエリア

3.3.1 内蔵RAM

0x0番地から0xffff番地までの4Kバイトの領域にはRAMが内蔵されています。このRAMのリード/ライト時は1サイクルでアクセスされます。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト(0xfc0~0xffff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17711では使用するRAMのサイズを4KB、2KB、1KB、512Bに制限することができます。たとえば、S1C17711をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC_IRAMSZレジスタで行います。

IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0 0 0xffff00	0	R/W		
		D7	—	reserved	—	—	—	—	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x2 (= 4KB)	0x2	R		
		D3	—	reserved	—	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size 0x5 512B 0x4 1KB 0x3 2KB 0x2 4KB Other reserved	0x2	R/W		

D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x2)

D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
0x2	4KB
その他	Reserved

(デフォルト: 0x2)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

3.4 表示RAMエリア

3.4.1 表示RAM

0x4800番地から0x4fff番地までの領域内の384バイトには内蔵LCDドライバ用の表示RAMが8ビットデバイスとして割り付けられています。このRAMは2~5サイクルでアクセスされます。表示に使用しない領域は汎用RAMとして使用可能です。表示メモリの詳細については、“LCDドライバ(LCD)”の章内の“表示メモリ”を参照してください。

3.4.2 SRAMコントローラのアクセス制御

S1C17711の表示RAMは、専用SRAMコントローラを介してアクセスされます。このコントローラへのアクセスに関する設定がMISCレジスタで行えます。

SRAMコントローラのアクセスサイクルの設定

表示RAMのデータを正しくリード/ライトするため、CCLK周波数に合わせ、最適なアクセスサイクルをSRCYC[1:0]/MISC_FLレジスタで設定してください。

FLASHC/SRAMC Control Register (MISC_FL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FLASHC/ SRAMC Control Register (MISC_FL)	0x5320 (16 bits)	D15-13	–	reserved	–	–	–	0 when being read.	
		D12	SRRVS	SRAMC bit order reverse	1 Reverse 0 Normal	0	R/W		
		D11-10	–	reserved	–	–	–	–	0 when being read.
		D9-8	SRCYC[1:0]	SRAMC access cycle	SRCYC[1:0]	Access cycle	0x3	R/W	
					0x3	5 cycles			
					0x2	4 cycles			
					0x1	3 cycles			
0x0	2 cycles								
D7-3	–	reserved	–	–	–	–	0 when being read.		
D2-0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]	Read cycle	0x3	R/W			
			0x7-0x5	reserved					
			0x4	1 cycle					
			0x3	5 cycles					
			0x2	4 cycles					
0x1	3 cycles								
0x0	2 cycles								

D12 SRRVS: SRAMC Bit Order Reverse Bit

CPU汎用レジスタと表示RAM間のデータ転送時に、ビットの並び順をバイト単位に反転します。

1(R/W): 反転(MSB ↔ LSB, バイト単位)

0(R/W): 通常(デフォルト)

SRRVS = 1の場合のデータ転送

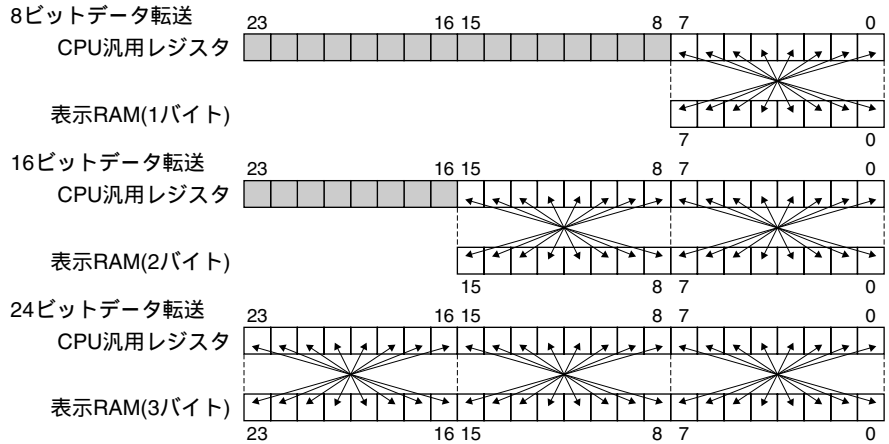


図3.4.2.1 CPU汎用レジスタと表示RAM間のデータ転送 (SRRVS = 1)

SRRVS = 0の場合のデータ転送

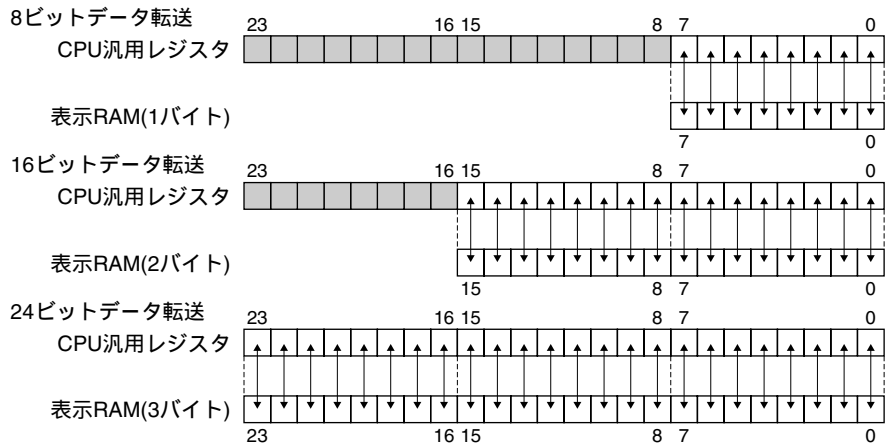


図3.4.2.2 CPU汎用レジスタと表示RAM間のデータ転送 (SRRVS = 0)

D[9:8] SRCYC[1:0]: SRAMC Access Cycle Bits

SRAM(表示RAM)コントローラのアクセスサイクルを設定します。

表3.4.2.1 SRAMコントローラのアクセスサイクルの設定

SRCYC[1:0]	アクセスサイクル数	CCLK周波数
0x3	5サイクル	8.2MHz max.
0x2	4サイクル	8.2MHz max.
0x1	3サイクル	8.2MHz max.
0x0	2サイクル	8.2MHz max.

(デフォルト: 0x3)

注: • 誤動作の原因になりますので、CCLKの最大許容周波数を超えるリードアクセスサイクル数は設定しないでください。

- パフォーマンスを最大にするには、SRCYC[1:0] = 0x0に設定してください。

3.5 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

各制御レジスタの詳細については、“Appendix”のI/Oレジスタ一覧、または各周辺モジュールの説明を参照してください。

3.5.1 内蔵周辺回路エリア1 (0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- MISCレジスタ(MISC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- 16ビットタイマ(T16, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I²Cマスタ(I2CM, 16ビットデバイス)
- I²Cスレーブ(I2CS, 16ビットデバイス)

3.5.2 内蔵周辺回路エリア2 (0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- 計時タイマ(CT, 8ビットデバイス)
- ストップウォッチタイマ(SWT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)
- クロックジェネレータ(CLG, 8ビットデバイス)
- LCDドライバ(LCD, 8ビットデバイス)
- SVD回路(SVD, 8ビットデバイス)
- 電源回路(VD1, 8ビットデバイス)
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- IRリモートコントローラ(REMC, 16ビットデバイス)
- A/D変換器(ADC10, 16ビットデバイス)
- R/F変換器(RFC, 16ビットデバイス)
- 16ビットPWMタイマ(T16A, 16ビットデバイス)

3.6 S1C17コアI/O予約エリア

0xffffc00~0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.6.1 I/Oマップ(S1C17コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

IDIRについては“CPU”の章内の“プロセッサ情報”を、その他のレジスタについては“オンチップデバッグ(DBG)”の章を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

4 電源

4.1 電源電圧 (V_{DD})

S1C17711の動作電源電圧範囲は次のとおりです。

通常動作時: $V_{DD} = 1.8V \sim 3.6V$

Flashプログラミング時: $V_{DD} = 2.7V \sim 3.6V$

V_{SS}端子をGNDレベルとして、この範囲内の電圧をV_{DD}端子に供給してください。本製品にはそれぞれ複数のV_{DD}端子とV_{SS}端子があります。いずれもオープンにせず、必ず+電源とGNDに接続してください。

4.2 アナログ回路用電源電圧 (AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、V_{DD}端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。アナログ回路の電源電圧はAV_{DD}端子に供給し、V_{SS}端子をGNDレベルとしてください。AV_{DD}には次の電圧が使用可能です。

$AV_{DD} = V_{DD} = 1.8V \sim 3.6V (V_{SS} = GND)$

注: アナログ回路を使用しない場合でも、AV_{DD}端子には必ずV_{DD}と同じ電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

4.3 内部電源回路

S1C17711は図4.3.1に示す電源回路を内蔵しており、内部回路に必要なすべての電圧をIC内部で発生します。電源回路は大きく2つに分けられます。

表4.3.1 電源回路

回路系	電源回路	出力電圧
発振回路、内部回路	内部定電圧回路	V _{D1}
LCDドライバ	LCD系定電圧回路	V _{C1} ~V _{C4}

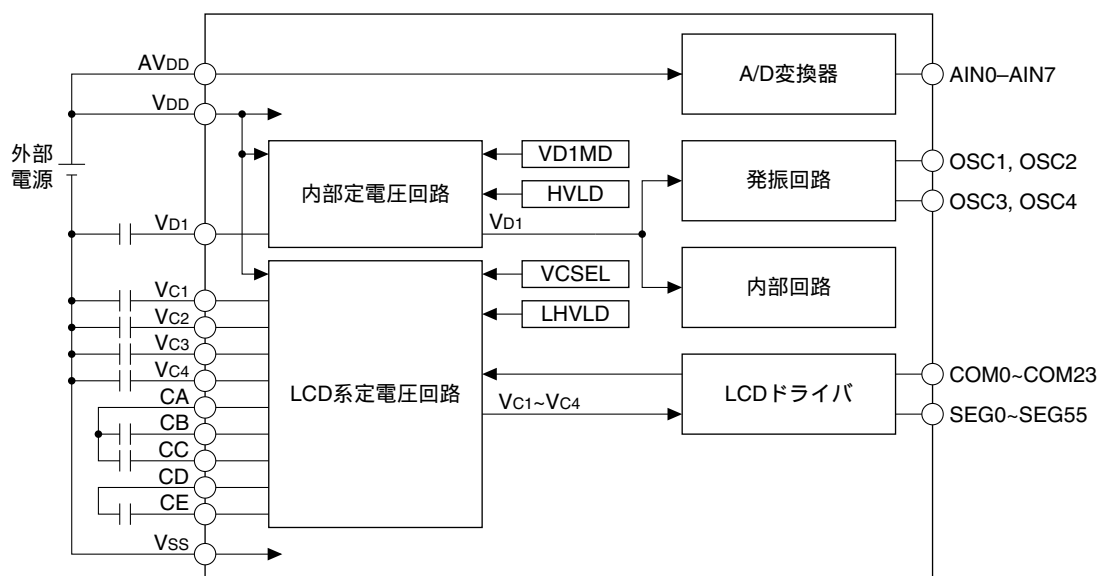


図4.3.1 電源回路の構成

注: V_{D1}、V_{C1}~V_{C4}端子の出力を外部回路の駆動には絶対に使用しないでください。

内部定電圧回路

内部定電圧回路は、内部ロジック回路と発振回路の動作電圧 V_{D1} を発生します。 V_{D1} の電圧値はプログラムで切り換えられるようになっており、通常動作時は1.8Vに、Flashプログラミング時は2.5Vに設定します。

LCD系定電圧回路

LCD系定電圧回路はLCDの1/4バイアス用駆動電圧 V_{C1} 、 V_{C2} 、 V_{C3} 、 V_{C4} を発生します。

S1C17711では、内蔵LCDドライバにこれらのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。電源電圧 V_{DD} に応じて、LCD電圧の昇降圧用基準電圧(V_{C1} または V_{C2})をVCSEL/LCD_VREGレジスタで選択します。 V_{C2} 基準の方が、 V_{C1} 基準よりも消費電流が少なくなります。 V_{C1} ～ V_{C4} の電圧値については、“電気的特性”の章を参照してください。

表4.3.2 電源電圧 V_{DD} とVCSELの設定値

電源電圧 V_{DD}	VCSELの設定値	基準電圧
1.8～3.6V	0	V_{C1}
2.9～3.6V	1	V_{C2}

(デフォルト: 0)

注: V_{DD} が2.9V未満のときにVCSELを1に設定すると、 V_{C1} ～ V_{C4} の電圧は正しい値になりません。

4.4 電源回路の制御

電源電圧や動作モードに合わせてチップ内の動作電圧を正しく生成するため、あるいは消費電流を低減するため、各電源回路はソフトウェアで制御できるようになっています。

動作モードの切り換え

S1C17711には2種類の動作モードがあります。

1. 通常動作モード

アプリケーションプログラムを実行する通常の動作モードです。

$V_{DD} = 1.8 \sim 3.6V$ 、内部動作電圧 $V_{D1} = 1.8V$

2. Flash消去/プログラミングモード

Flashメモリの消去やプログラム/データの書き込みを行う動作モードです。

$V_{DD} = 2.7 \sim 3.6V$ 、内部動作電圧 $V_{D1} = 2.5V$

上記のとおり、モードに合わせて V_{D1} 電圧値を切り換える必要があり、これをVD1MD/VD1_CTLレジスタで行えるようになっています。通常はVD1MDをデフォルト設定の0($V_{D1} = 1.8V$)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

注: 動作モードを切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

LCD電源の制御

LCD駆動電圧 V_{C1} ～ V_{C4} は、DSPC[1:0]/LCD_DCTLレジスタを0x0(表示Off)以外に設定するとLCDドライバに供給されます。

内蔵LCDドライバを使用しない場合は、消費電流の低減のため、LCD系定電圧回路をOff(DSPC[1:0] = 0)にしてください。

電源制御ビット設定一覧

表4.4.1に動作条件による電源制御ビットの設定を示します。

表4.4.1 電源制御ビット設定一覧

動作モード	条件		制御ビット		
	V_{DD}	LCDドライバ	VD1MD	VCSEL	DSPC[1:0]
通常動作モード	1.8～3.6V	使用する	0	0	0x0以外
	2.9～3.6V	使用する	0	1	0x0以外
	1.8～3.6V	使用しない	0	0	0x0

動作モード	条件		制御ビット		
	V _{DD}	LCDドライバ	VD1MD	VCSEL	DSPC[1:0]
Flash消去/ プログラミング モード	1.8~2.7V	—	(使用禁止)		
	2.7~3.6V	使用する	1	0	0x0以外
		使用しない	1	0	0x0

DSPC[1:0]の設定については、“LCDドライバ(LCD)”の章内の“LCD Display Control Register(LCD_DCTL)”を参照してください。

4.5 重負荷保護機能

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示が行えるように、内部定電圧回路とLCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。

内部定電圧回路はHVLVD/VD1_CTLレジスタに1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図ります。

V_{D1}は以下の操作などによって不安定になる可能性があります。評価時に動作が不安定になるような場合は、これらの処理を行う前に重負荷保護モードを設定してください。

- 大電流が流れるダイオードやブザーなどをポート出力によって駆動する場合(負荷を駆動している間、重負荷保護モードを保持してください。)
- システムクロックを高速クロックから低速クロックへ、あるいはその逆に切り換える場合(切り換え直前から、切り換え完了の後、数10 μ s経過するまでの間、重負荷保護モードを保持してください。)
- HALT/SLEEPモードへの移行とその解除を頻繁に繰り返す場合(頻繁な繰り返しの処理の間、重負荷保護モードを保持してください。)

注: 重負荷保護モードは、必ず不安定な動作を引き起こす処理が終了してから解除してください。また、不安定な処理を繰り返す場合は、その処理を繰り返している間、重負荷保護モードを保持するようプログラミングしてください。

LCD系定電圧回路はLHVLD/LCD_VREGレジスタに1を書き込むと重負荷保護モードとなり、V_{C1}~V_{C4}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.6 制御レジスタ詳細

表4.6.1 電源制御レジスタ一覧

アドレス	レジスタ名		機能
0x5120	VD1_CTL	V _{D1} Control Register	V _{D1} 電圧と重負荷保護モードの制御
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御

以下に電源制御レジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

V_{D1} Control Register (VD1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
V _{D1} Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.	
		D5	HVLVD	V _{D1} heavy load protection mode	1 On 0 Off	0	R/W		
		D4	—	reserved	—	—	0	R/W	
		D3-1	—	reserved	—	—	—	—	0 when being read.
		D0	VD1MD	Flash erase/programming mode	1 Flash (2.5 V) 0 Norm.(1.8 V)	0	R/W		

D[7:6] Reserved

D5 HVLD: V_{DI} Heavy Load Protection Mode Bit

内部定電圧回路を重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

内部定電圧回路はHVLDに1を書き込むと重負荷保護モードとなり、V_{DI}出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前など(4.5節参照)に設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[4:1] Reserved**D0 VD1MD: Flash Erase/Programing Mode Bit**

内部動作電圧V_{DI}の値(動作モード)を選択します。

1(R/W): V_{DI} = 2.5V、Flash消去/プログラミングモード

0(R/W): V_{DI} = 1.8V、通常動作モード(デフォルト)

通常はVD1MDをデフォルト設定の0(V_{DI} = 1.8V)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

注: V_{DI}を電圧値切り換え後、電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	-	reserved		-	-	0 when being read.	
		D4	LHVLD	LCD heavy load protection mode	1 On	0 Off	0	R/W	
		D3-1	-	reserved		-	-	-	0 when being read.
		D0	VCSEL	Vc reference voltage select	1 V _{C2}	0 V _{C1}	0	R/W	

D[7:5] Reserved**D4 LHVLD: LCD Heavy Load Protection Mode Bit**

LCD系定電圧回路を重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

LCD系定電圧回路はLHVLDに1を書き込むと重負荷保護モードとなり、V_{C1}~V_{C4}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[3:1] Reserved**D0 VCSEL: Vc Reference Voltage Select Bit**

電源電圧V_{DD}に応じて、昇降圧用基準電圧を選択します。

1(R/W): V_{C2}基準

0(R/W): V_{C1}基準(デフォルト)

V_{C2}基準の方が、V_{C1}基準よりも消費電流が少なくなります。電源電圧V_{DD}が2.9V未満の場合は0に設定します。

注: V_{DD}が2.9V未満のときにVCSELを1に設定すると、V_{C1}~V_{C4}の電圧は正しい値になりません。

5 イニシャルリセット

5.1 イニシャルリセット要因

S1C17711の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート(P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

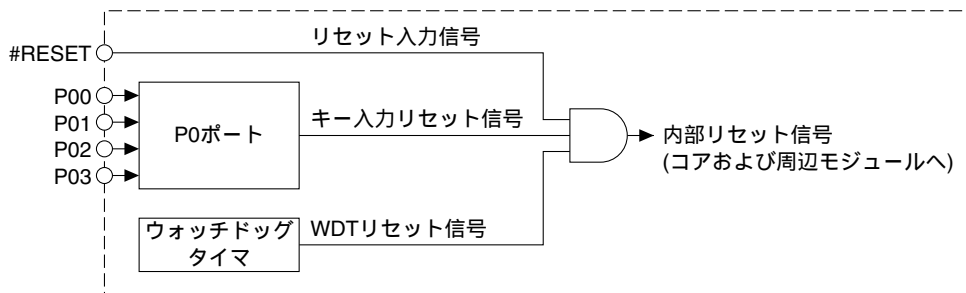


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)が読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17711を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください。(“電気的特性”の章内の“AC特性”参照)

#RESET入力がLowからHighになると、イニシャルリセットが解除され、CPUはリセット割り込み処理を開始します。

#RESET端子には、プルアップ抵抗が内蔵されています。

5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。キー入力リセットの詳細については、“入出力ポート(P)”の章を参照してください。

注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.3 ウォッチドッグタイマによるリセット

S1C17711は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD/WDT_STレジスタに1を書き込みます(WDTMDが0の場合はNMIを発生します)。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

- 注:
- ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
 - ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間(64/IOSCクロック周波数)が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、IOSC(内蔵発振回路)クロックに同期して起動します。

- 注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

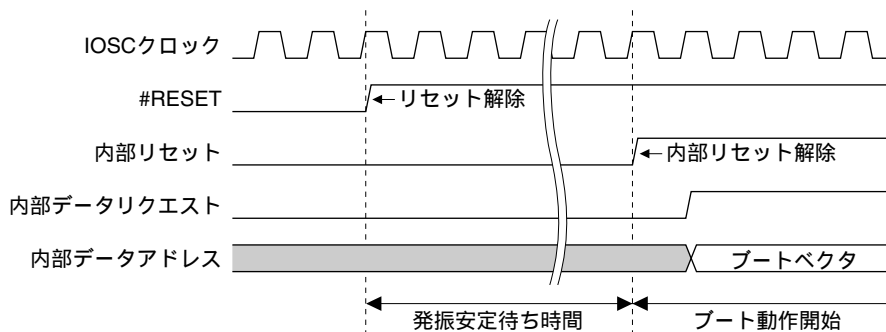


図5.2.1 イニシャルリセット解除後の動作シーケンス

5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0~R7: 0x0

PSR: 0x0(割り込みレベル=0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMおよび表示メモリはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

6 割り込みコントローラ (ITC)

6.1 ITCモジュールの概要

割り込みコントローラ (ITC) は周辺モジュールからの割り込み要求を受け付け、設定されている優先順位と割り込みレベルに従ってS1C17コアへ割り込み要求、割り込みレベル、ベクタ番号を指定する信号を出力します。

ITCモジュールの主な機能は以下のとおりです。

- 22系統のマスク可能割り込み (以下に示す23種類の割り込みソース) に対応
 1. P00～P07入力割り込み (8種類)
 2. P10～P17入力割り込み (8種類)
 3. P20～P27入力割り込み (8種類)
 4. P30～P34入力割り込み (5種類)
 5. ストップウォッチタイマ割り込み (3種類)
 6. 計時タイマ割り込み (4種類)
 7. SVD割り込み (1種類)
 8. LCD割り込み (1種類)
 9. 16ビットPWMタイマCh.0割り込み (6種類)
 10. 16ビットPWMタイマCh.1割り込み (6種類)
 11. 16ビットPWMタイマCh.2割り込み (6種類)
 12. 16ビットPWMタイマCh.3割り込み (6種類)
 13. 16ビットタイマCh.0割り込み (1種類)
 14. 16ビットタイマCh.1割り込み (1種類)
 15. 16ビットタイマCh.2割り込み (1種類)
 16. 16ビットタイマCh.3割り込み (1種類)
 17. UART Ch.0割り込み (4種類)
 18. IRリモートコントローラ割り込み (3種類)
 19. SPI Ch.0割り込み (2種類)
 20. I²Cマスタ割り込み (2種類)
 21. I²Cスレーブ割り込み (3種類)
 22. A/D変換器割り込み (2種類)
 23. R/F変換器割り込み (5種類)
- 割り込みソースの優先順位を決定する8段階の割り込みレベルに対応

ITCでは複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル (優先順位) を割り込み系列ごとに設定することができます。

各割り込み系列には上記の () 内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図6.1.1に割り込みシステムの構成を示します。

6 割り込みコントローラ(ITC)

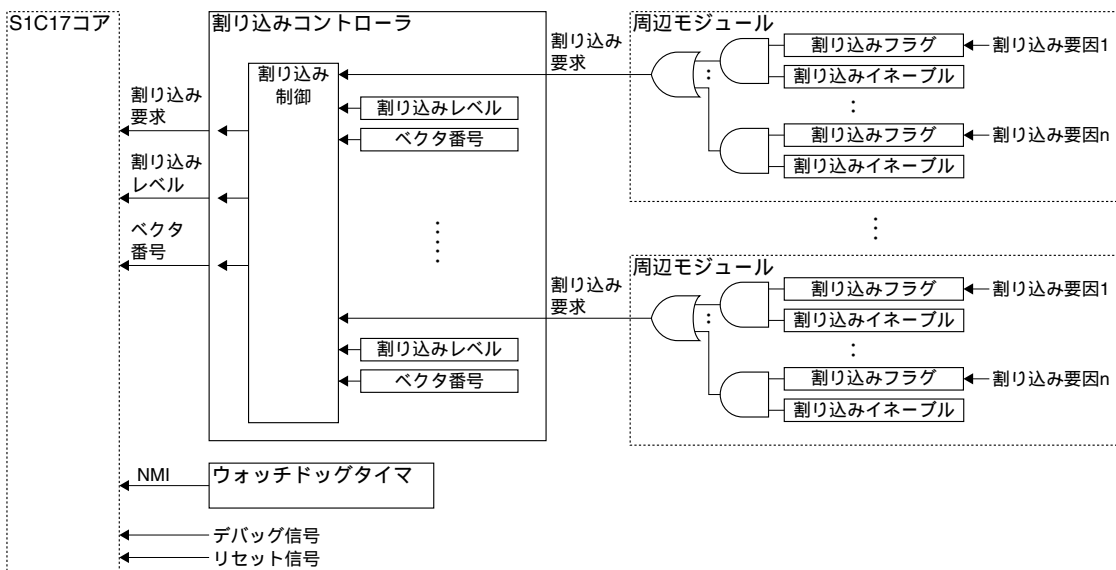


図6.1.1 割り込みシステム

6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17017コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。表6.2.1にS1C17111のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2 	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xffffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P07ポート入力	高い*1 ↑
5 (0x05)	TTBR + 0x14	P1ポート割り込み	P10~P17ポート入力	
6 (0x06)	TTBR + 0x18	ストップウォッチタイマ割り込み	<ul style="list-style-type: none"> • タイマ100Hz信号 • タイマ10Hz信号 • タイマ1Hz信号 	
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	<ul style="list-style-type: none"> • タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号 	
8 (0x08)	TTBR + 0x20	16ビットPWMタイマCh.2割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	
9 (0x09)	TTBR + 0x24	SVD割り込み	電源電圧低下検出	
10 (0x0a)	TTBR + 0x28	LCD割り込み	フレーム信号	
11 (0x0b)	TTBR + 0x2c	16ビットPWMタイマCh.0割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	
12 (0x0c)	TTBR + 0x30	16ビットタイマCh.0割り込み	タイマアンダーフロー	
13 (0x0d)	TTBR + 0x34	16ビットタイマCh.1割り込み	タイマアンダーフロー	
14 (0x0e)	TTBR + 0x38	16ビットタイマCh.2割り込み	タイマアンダーフロー	
15 (0x0f)	TTBR + 0x3c	16ビットタイマCh.3割り込み	タイマアンダーフロー	
		16ビットPWMタイマCh.3割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
16 (0x10)	TTBR + 0x40	UART Ch.0割り込み	<ul style="list-style-type: none"> 送信バッファエンプティ 転送終了 受信バッファフル 受信エラー 	↓ 低い*1
17 (0x11)	TTBR + 0x44	reserved	—	
18 (0x12)	TTBR + 0x48	SPI Ch.0割り込み	<ul style="list-style-type: none"> 送信バッファエンプティ (マスタモードのみ) 受信バッファフル 	
19 (0x13)	TTBR + 0x4c	I ² Cマスタ割り込み	<ul style="list-style-type: none"> 送信バッファエンプティ 受信バッファフル 	
20 (0x14)	TTBR + 0x50	IRリモートコントローラ割り込み	<ul style="list-style-type: none"> データ長カウンタアンダーフロー 入力立ち上がりエッジ検出 入力立ち下がりエッジ検出 	
21 (0x15)	TTBR + 0x54	16ビットPWMタイマCh.1割り込み	<ul style="list-style-type: none"> コンペアA/B キャプチャ A/B キャプチャ A/Bオーバーライト 	
22 (0x16)	TTBR + 0x58	A/D変換器割り込み	<ul style="list-style-type: none"> 変換終了 変換結果オーバーライト 	
23 (0x17)	TTBR + 0x5c	R/F変換器割り込み	<ul style="list-style-type: none"> 基準発振終了 センサA発振終了 センサB発振終了 タイムベースカウンタオーバーフローエラー 計測カウンタオーバーフローエラー 	
24 (0x18)	TTBR + 0x60	P2ポート割り込み	P20-P27ポート入力	
25 (0x19)	TTBR + 0x64	P3ポート割り込み	P30-P34ポート入力	
26 (0x1a)	TTBR + 0x68	I ² Cスレーブ割り込み	<ul style="list-style-type: none"> 送信バッファエンプティ 受信バッファフル バスステータス 	
27 (0x1b)	TTBR + 0x6c	reserved	—	
⋮	⋮	⋮	⋮	
31 (0x1f)	TTBR + 0x7c	reserved	—	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4~16、18~26に、S1C17711が対応しているマスク可能な割り込みが割り当てられています。

割り込みベクタを共有する割り込み

割り込みベクタ番号15は2つの割り込みモジュールにより共有されます。

割り込みベクタ15: 16ビットタイマCh.3と16ビットPWMタイマCh.3

それぞれのモジュールからの割り込み信号はORゲートを通してITCに入力されますので、両方の割り込みを使用する場合は、それぞれのモジュール内の割り込みフラグを読み出して発生した割り込みを判定してください。また、同じ割り込みベクタを使用するため、それぞれに異なる割り込みレベルを設定することはできません。

ベクタテーブルベースアドレス

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLとMISC_TTBRLHレジスタによって設定することができます。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC_TTBRL/MISC_TTBRLHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおくことが必要です。MISC_TTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff	0x80	R/W	
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0-0xff	0x0	R/W	

注: MISC_TTBRL/MISC_TTBRHレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_TTBRL/MISC_TTBRHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

6.3 マスク可能割り込みの制御

6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みフラグは割り込み要因の発生により1にセットされます。割り込みイネーブルビットを1(割り込み許可)に設定しておくこと、このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。

割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。割り込み要因が発生すると割り込みフラグは1にセットされますが、ITCへの割り込み要求信号はアクティブになりません。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

注: 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定または`reti`命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。

6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)~7(高)に設定できます。

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
P1ポート割り込み	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x4308
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
16ビットPWMタイマCh.2割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
SVD割り込み	ILV5[2:0] (D[10:8]/ITC_LV2レジスタ)	0x430a
LCD割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
16ビットPWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
16ビットタイマCh.0割り込み	ILV8[2:0] (D[2:0]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.1割り込み	ILV9[2:0] (D[10:8]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.2割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
16ビットタイマCh.3割り込み / 16ビットPWMタイマCh.3割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x4310
UART Ch.0割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
SPI Ch.0割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
I ² Cマスタ割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x4314
IRリモートコントローラ割り込み	ILV16[2:0] (D[2:0]/ITC_LV8レジスタ)	0x4316
16ビットPWMタイマCh.1割り込み	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
A/D変換器割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318
R/F変換器割り込み	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x4318
P2ポート割り込み	ILV20[2:0] (D[2:0]/ITC_LV10レジスタ)	0x431a
P3ポート割り込み	ILV21[2:0] (D[10:8]/ITC_LV10レジスタ)	0x431a
I ² Cスレーブ割り込み	ILV22[2:0] (D[2:0]/ITC_LV11レジスタ)	0x431c

6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

6 割り込みコントローラ (ITC)

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをret命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

6.4 NMI

S1C17711では、ウォッチドッグタイマでNMI(ノンマスクابل割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。NMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

6.5 ソフトウェア割り込み

S1C17コアのint imm5またはint1 imm5,imm3命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値imm5でベクタテーブルのベクタ番号(0~31)を指定します。int1命令では、imm3でPSRのILフィールドに設定する割り込みレベル(0~7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

6.6 HALT, SLEEPモードの解除

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット

注: • ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込み処理ルーチンに分岐します。それ以外の場合は、halt、slp命令に続く命令を実行します。

- ITCの割り込みレベルの設定では、割り込み要求によるHALT、SLEEPモードの解除をマスク(禁止)することはできません。

詳細は、“Appendix”内の“クロック制御によるパワーセーブ”を参照してください。また、HALT、SLEEPモード解除後の発振回路およびシステムクロックの状態については、“クロックジェネレータ(CLG)”の章を参照してください。

6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ一覧

アドレス	レジスタ名	機能	
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	T16A Ch.2、SVD割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	LCD、T16A Ch.0割り込みレベルの設定
0x430e	ITC_LV4	Interrupt Level Setup Register 4	T16 Ch.0、Ch.1割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.2、T16 Ch.3/T16A Ch.3割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0、I2CM割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	REMC、T16A Ch.1割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	ADC10、RFC割り込みレベルの設定
0x431a	ITC_LV10	Interrupt Level Setup Register 10	P2、P3割り込みレベルの設定
0x431c	ITC_LV11	Interrupt Level Setup Register 11	I2CS割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Interrupt Level Setup Register x (ITC_LVx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register x (ITC_LVx)	0x4306	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILVn[2:0]	/INTn (1, 3, ... 21) interrupt level	0 to 7	0x0	R/W	
	0x431c (16 bits)	D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILVn[2:0]	/INTn (0, 2, ... 22) interrupt level	0 to 7	0x0	R/W	

D[15:11], D[7:3]
Reserved

D[10:8], D[2:0]

ILVn[2:0]: /INTn Interrupt Level Bits (n = 0~22)

各割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要求が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_LVxレジスタ(0x4306~0x431c)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

表6.7.2 割り込みレベル設定ビット

レジスタ	ビット	割り込み
ITC_LV0 (0x4306)	ILV0[2:0] (D[2:0])	P0ポート割り込み
	ILV1[2:0] (D[10:8])	P1ポート割り込み
ITC_LV1 (0x4308)	ILV2[2:0] (D[2:0])	ストップウォッチタイマ割り込み
	ILV3[2:0] (D[10:8])	計時タイマ割り込み
ITC_LV2 (0x430a)	ILV4[2:0] (D[2:0])	16ビットPWMタイマCh.2割り込み
	ILV5[2:0] (D[10:8])	SVD割り込み
ITC_LV3 (0x430c)	ILV6[2:0] (D[2:0])	LCD割り込み
	ILV7[2:0] (D[10:8])	16ビットPWMタイマCh.0割り込み
ITC_LV4 (0x430e)	ILV8[2:0] (D[2:0])	16ビットタイマCh.0割り込み
	ILV9[2:0] (D[10:8])	16ビットタイマCh.1割り込み
ITC_LV5 (0x4310)	ILV10[2:0] (D[2:0])	16ビットタイマCh.2割り込み
	ILV11[2:0] (D[10:8])	16ビットタイマCh.3割り込み / 16ビットPWMタイマCh.3割り込み
ITC_LV6 (0x4312)	ILV12[2:0] (D[2:0])	UART Ch.0割り込み
	(ILV13[2:0] (D[10:8]))	Reserved
ITC_LV7 (0x4314)	ILV14[2:0] (D[2:0])	SPI Ch.0割り込み
	ILV15[2:0] (D[10:8])	I ² Cマスタ割り込み
ITC_LV8 (0x4316)	ILV16[2:0] (D[2:0])	IRリモートコントローラ割り込み
	ILV17[2:0] (D[10:8])	16ビットPWMタイマCh.1割り込み
ITC_LV9 (0x4318)	ILV18[2:0] (D[2:0])	A/D変換器割り込み
	ILV19[2:0] (D[10:8])	R/F変換器割り込み
ITC_LV10 (0x431a)	ILV20[2:0] (D[2:0])	P2ポート割り込み
	ILV21[2:0] (D[10:8])	P3ポート割り込み
ITC_LV11 (0x431c)	ILV22[2:0] (D[2:0])	I ² Cスレーブ割り込み
	(ILV23[2:0] (D[10:8]))	Reserved

7 クロックジェネレータ (CLG)

7.1 CLGモジュールの概要

クロックジェネレータは、内蔵発振回路を制御してクロックを生成すると共に、S1C17コア、内蔵周辺モジュール、外部デバイスへのシステムクロック供給を制御します。

CLGモジュールの主な機能を以下に示します。

- 内蔵発振回路により動作クロックを生成
 - IOSC発振回路: 2.7MHz (typ.)
 - OSC3発振回路: 8.2MHz (max.) 水晶発振回路/セラミック発振回路、外部クロック入力にも対応
 - OSC1発振回路: 32.768kHz (typ.) 水晶発振回路
- システムクロックの切り換え
システムのクロックソースをソフトウェアにてIOSC、OSC3、OSC1から選択可能
- CPUコアクロック (CCLK) の生成と、コアブロックへのクロック供給を制御
CCLK周波数をシステムクロック \times 1/1、1/2、1/4 および 1/8 から選択可能
- 周辺モジュールへのクロック供給を制御
- CPUの動作状態 (RUN、HALT、SLEEP) に合わせ、クロックを On/Off
- SLEEPモードからの高速な復帰処理を実現
SLEEPモード解除時に強制的にIOSCをOnし、システムクロックをIOSCに切り換え
- 外部デバイスへの2系統のクロック出力を制御

図7.1.1にクロックシステムとCLGモジュールの構成を示します。

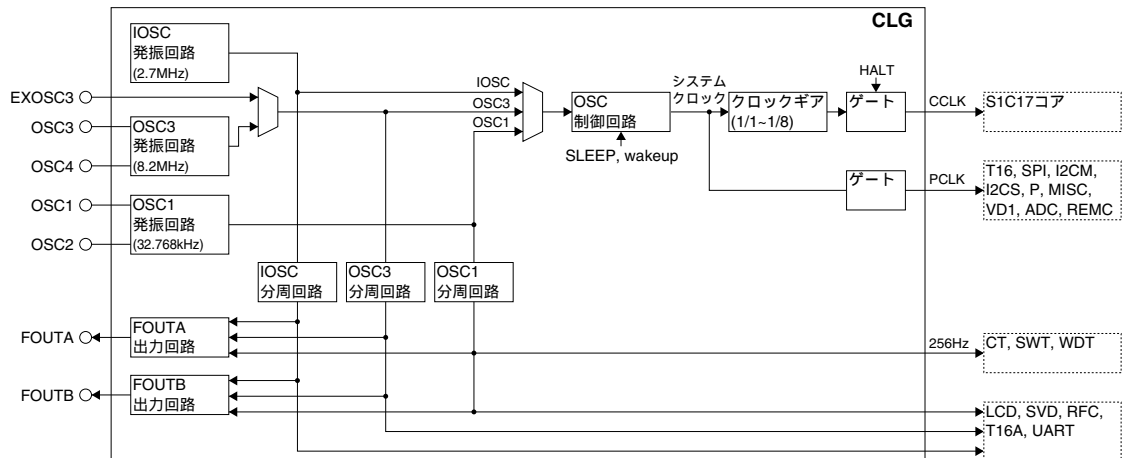


図7.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにHALT、SLEEPモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、Appendixの“パワーセーブ”を参照してください。

7.2 CLG入出力端子

表7.2.1にCLGモジュールの入出力端子の一覧を示します。

表7.2.1 CLG端子一覧

端子名	I/O	本数	機能
OSC1	I	1	OSC1発振入力端子 水晶振動子 (32.768kHz) とゲート容量を接続します。
OSC2	O	1	OSC1発振出力端子 水晶振動子 (32.768kHz) を接続します。
OSC3	I	1	OSC3発振入力端子 水晶またはセラミック振動子 (max. 8.2MHz)、帰還抵抗、ゲート容量を接続します。
OSC4	O	1	OSC3発振出力端子 水晶またはセラミック振動子 (max. 8.2MHz)、帰還抵抗、ドレイン容量を接続します。
EXOSC3	I	1	外部OSC3クロック入力端子 外部クロックをOSC3クロックとして使用する場合に、この端子から入力します。
FOUTA	O	1	FOUTAクロック出力端子 IOSC/OSC3分周クロックまたはOSC1クロックを出力します。
FOUTB	O	1	FOUTBクロック出力端子 IOSC/OSC3分周クロックまたはOSC1クロックを出力します。

CLGの入出力端子 (OSC3、OSC4、EXOSC3、FOUTA、FOUTB) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCLGの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。機能の切り換え方法については“入出力ポート (P)”の章を参照してください。

7.3 発振回路

CLGモジュールは3種類の発振回路 (IOSC、OSC3、OSC1) を内蔵しています。IOSC発振回路とOSC3発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロックを、OSC1発振回路はタイマ動作や低電力動作のサブクロックを発生します。イニシャルリセット時、システムクロックにはIOSCクロックが選択されます。発振回路のOn/Offとシステムクロックの切り換え (IOSC、OSC3、またはOSC1) はソフトウェアによって制御できます。

7.3.1 IOSC発振回路

IOSC発振回路は外付け部品を一切必要とせず、高速な発振開始を実現する発振回路です。電源投入時に発振を開始し、イニシャルリセット後はS1C17コアと周辺回路がこの発振クロックで動作します。

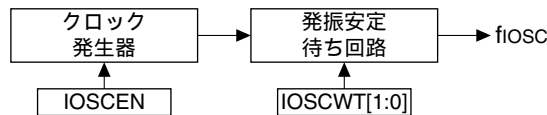


図7.3.1.1 IOSC発振回路

IOSC発振のOn/Off

IOSC発振回路はIOSCEN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はIOSC発振回路も発振を停止します。

イニシャルリセット時はIOSCENが1に設定され、IOSC発振回路はOnします。また、IOSCクロックがシステムクロックとなりますので、S1C17コアはIOSCクロックで動作を開始します。

IOSC発振開始時の安定待ち時間

ソフトウェアでIOSC発振回路をOnにしたときなど、IOSC発振開始時の不安定なクロックによる誤動作を防止するため、IOSC発振回路には発振安定待ち回路が設けられています。図7.3.1.2に発振開始時間と発振安定待ち時間の関係を示します。

OSC3発振回路の端子設定

OSC3発振回路につながるOSC3端子とOSC4端子は、EXOSC3端子および汎用入出力ポート端子を兼用しており、イニシャルリセット時は汎用入出力ポート端子に設定されます。

OSC3発振回路を使用するためには、P33MUX[1:0]/P30_P33PMUXレジスタを0x1(OSC3)、P34MUX[1:0]/P34PMUXレジスタを0x1(OSC4)にそれぞれ設定してください。両端子の機能を切り換えることにより、OSC3発振回路が使用可能になります。切り換え方法については“入出力ポート(P)”の章を参照してください。

OSC3発振のOn/Off

OSC3発振回路はOSC3EN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC3発振回路も発振を停止します。

イニシャルリセット後はOSC3発振回路が使用できないため、使用する場合は上記のとおり端子設定を行ってください。

OSC3発振開始時の安定待ち時間

ソフトウェアでOSC3発振回路をOnにしたときなど、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

この発振安定待ち時間はOSC3WT[1:0]/CLG_CTLレジスタで4種類から選択可能です。

表7.3.2.1 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合は、最大で下記のOSC3クロックシステム供給待ち時間が経過するまでOSC3クロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

外部OSC3クロック入力

上記の内部OSC3クロックの代わりに、外部クロックをOSC3クロックとして使用することができます。この場合、クロックをEXOSC3端子から入力します。入力クロック要件については、“電気的特性”の章を参照してください。

EXOSC3端子を使用するには、P33MUX[1:0]/P30_P33PMUXレジスタを0x2(EXOSC3)に設定してください。切り換え方法については“入出力ポート(P)”の章を参照してください。

- 注:
- P33MUX[1:0]/P30_P33PMUXレジスタを0x2(EXOSC3)に設定してEXOSC3端子からの外部クロック入力を許可しても発振安定待ち回路は動作しません。必ず安定したクロックを供給してください。
 - EXOSC3端子からの外部クロックを許可している場合には、SLEEPモードでも一部周辺モジュールへのクロック供給(CCLK、PCLK以外)は停止しません。SLEEPモード時には外部入力クロックを停止してください。

7.3.3 OSC1発振回路

OSC1発振回路は32.768kHzの水晶振動子を使用する高精度な低速発振回路です。通常、OSC1クロックはタイマ(計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、16ビットPWMタイマ)やLCDドライバ、R/F変換器、電源電圧検出回路の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、IOSCまたはOSC3クロックの代わりにシステムクロックとしても使用可能です。

図7.3.3.1にOSC1発振回路の構造を示します。

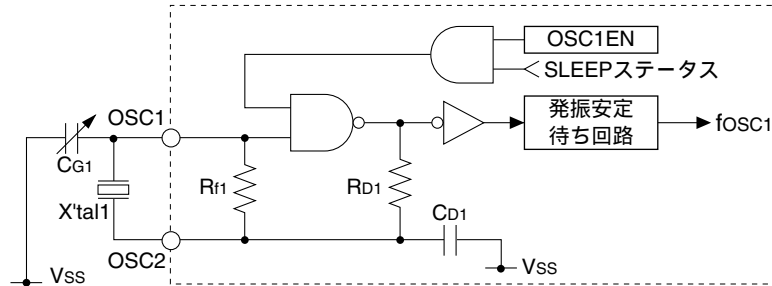


図7.3.3.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1 (Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1 (0~25pF)を接続します。

OSC1発振のOn/Off

OSC1発振回路はOSC1EN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC1発振回路も発振を停止します。

イニシャルリセット時はOSC1ENが0に設定され、OSC1発振回路は停止状態になります。

OSC1発振開始時の安定待ち時間

ソフトウェアでOSC1発振回路をOnにした場合など、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ち回路(256サイクル固定)が設けられています。OSC1発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

OSC1クロックシステム供給待ち時間 \leq OSC1発振開始時間(max.) + OSC1発振安定待ち時間(256サイクル)

7.4 システムクロックの切り換え

システムクロックセレクタを下図に示します。

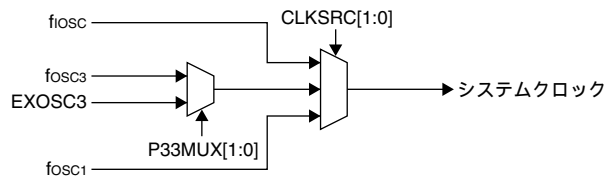


図7.4.1 システムクロックセレクタ

S1C17711は3つのシステムクロックソース(IOSC、OSC3、OSC1)を持ち、イニシャルリセット後はIOSCをシステムクロックとして動作を開始します。高速処理が必要な場合にはシステムクロックをOSC3に、省電力動作のためにはOSC1に、CLKSRC[1:0]/CLG_SRCレジスタによって切り換え可能です。システムクロックソースとして選択されておらず、周辺回路の動作にも使用していない発振回路は動作を停止させることで消費電流を低減できます。

表7.4.1 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3	Reserved
0x2	OSC3(内部または外部クロック)
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

システムクロックの切り換え手順を以下に示します。

IOSCまたはOSC1からOSC3(内部クロック)への切り換え

1. OSC3発振回路の端子設定を行います。(P33MUX[1:0] = 0x1, P34MUX[1:0] = 0x1)
2. 必要に応じてOSC3発振安定待ち時間を設定します。(OSC3WT[1:0])
3. OSC3発振がOffの場合はOnにします。(OSC3EN = 1)
4. OSC3クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x2)
5. 周辺モジュールとFOUTA/B出力回路がIOSCまたはOSC1クロックを使用していない場合は、IOSCまたはOSC1発振回路をOffにします。

IOSCまたはOSC1からOSC3(外部クロック)への切り換え

1. 外部OSC3クロックをEXOSC3端子に供給します。安定しているクロックを供給してください。
2. 外部OSC3クロックを有効に設定します。(P33MUX[1:0] = 0x2)
3. OSC3クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x2)
4. 周辺モジュールとFOUTA/B出力回路がIOSCまたはOSC1クロックを使用していない場合は、IOSCまたはOSC1発振回路をOffにします。

IOSCまたはOSC3からOSC1への切り換え

1. OSC1発振をOnにします。(OSC1EN = 1)
2. OSC1クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x1)
3. 周辺モジュールとFOUTA/B出力回路がIOSCまたはOSC3クロックを使用していない場合は、IOSCまたはOSC3発振回路をOffにします。

OSC3またはOSC1からIOSCへの切り換え

1. 必要に応じてIOSC発振安定待ち時間を設定します。(IOSCWT[1:0])
2. IOSC発振がOffの場合はOnにします。(IOSCEN = 1)
3. IOSCクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x0)
4. 周辺モジュールとFOUTA/B出力回路がOSC3またはOSC1クロックを使用していない場合は、OSC3またはOSC1発振回路をOffにします。

注: システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。また、最小でOSC3の1サイクル、最大でOSC1の1サイクルの切り換え時間がかかります。システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.4.2 システムクロック切り換え条件

IOSCEN	OSC3EN	OSC1EN	P33MUX[1:0]	P34MUX[1:0]	システムクロック
1	1	1	0x1	0x1	IOSC、OSC3、またはOSC1
1	*	1	0x2	*	IOSC、EXOSC3、またはOSC1
1	*	1	0x0	*	IOSCまたはOSC1
1	0	1	0x1	0x1	IOSCまたはOSC1
0	1	1	0x1	0x1	OSC3またはOSC1
0	*	1	0x2	*	EXOSC3またはOSC1

- システムクロックとして選択されている発振回路をOffにすることはできません。
- CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- SLEEPモード解除時は、SLEEP移行前の状態によらずIOSC発振回路がOnし(IOSCEN = 1)、システムクロックがIOSC(CLKSRC[1:0] = 0x0)になります。OSC1発振回路およびOSC3発振回路はOffします(OSC1EN = 0、OSC3EN = 0)。
HALTモード解除時は、HALT移行前の状態を継続します。

7.5 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止して消費電力の削減を図ります。

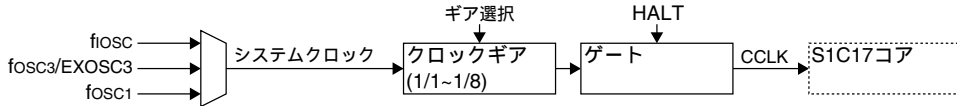


図7.5.1 CCLK供給システム

クロックギアの設定

CCLKGR[1:0]/CLG_CCLKレジスタでシステムクロックを減速するギア比を選択します。

表7.5.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

sleep命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

7.6 周辺モジュールクロック (PCLK) の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。周辺モジュールクロック (PCLK) にはシステムクロックがそのまま使用されます。

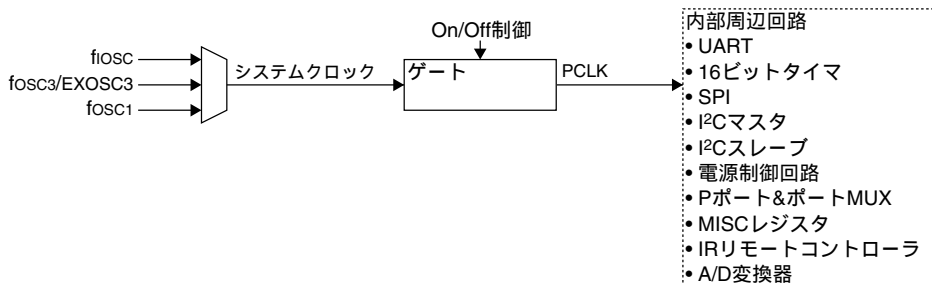


図7.6.1 周辺モジュールクロック制御回路

クロック供給の制御

PCLKの供給はPCKEN[1:0]/CLG_PCLKレジスタで制御します。

表7.6.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

7 クロックジェネレータ(CLG)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(下記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]/CLG_PCLKレジスタを0x2または0x1には設定しないでください。

表7.6.2 周辺モジュールと動作クロック

周辺モジュール	動作クロック	備考
UART	PCLK	この一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。
16ビットタイマ		
SPI		
I ² Cマスタ		
I ² Cスレーブ		
電源回路		
Pポート&ポートMUX		
MISCレジスタ		
IRリモートコントローラ		
A/D変換器		
計時タイマ	OSC1分周クロック	この一覧内の周辺モジュールを1つ以上動作させる場合、OSC1発振回路を停止することはできません。PCLKの供給は停止可能です。
ストップウォッチタイマ		
ウォッチドッグタイマ		
LCDドライバ	ソフトウェアで選択 (IOSC/OSC3/OSC1分周クロック)	クロックソースとして使用する発振回路を停止することはできません(7.7節または各周辺モジュールの章を参照)。PCLKの供給は停止可能です。
電源電圧検出回路		
R/F変換器		
16ビットPWMタイマ		
FOUTA/FOUTB出力		

7.7 クロック外部出力(FOUTA, FOUTB)

IOSC/OSC3の分周クロックまたはOSC1クロックを外部デバイスへ出力することができます。

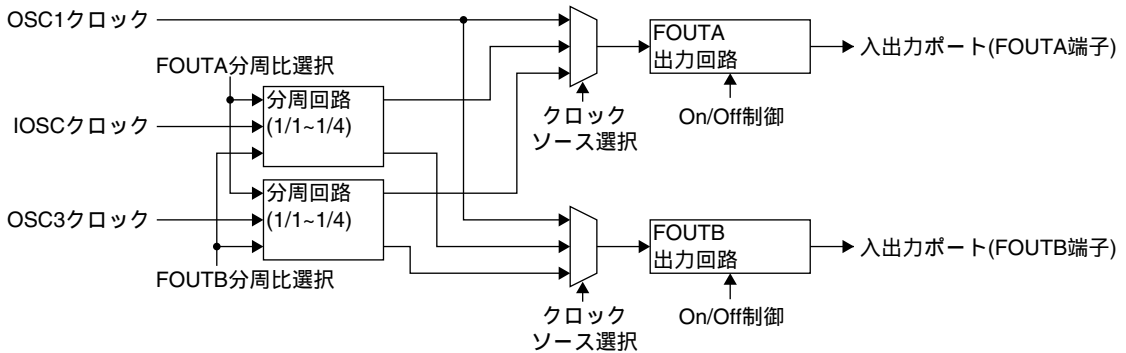


図7.7.1 クロック出力回路

CLGモジュールは、FOUTAとFOUTBの2系統の出力回路を内蔵しています。FOUTAとFOUTBの機能はまったく同じです。

出力端子の設定

FOUTA、FOUTB出力端子は入出力ポート端子を兼ねています。デフォルト設定では入出力ポート端子として機能しますので、クロック出力として使用する場合はポート機能選択ビットで端子機能を変更してください。FOUTA、FOUTB端子と端子機能の選択方法については、“入出力ポート(P)”の章を参照してください。

クロックソースの選択

クロックソースはFOUTASRC[1:0]/CLG_FOUTAレジスタまたはFOUTBSRC[1:0]/CLG_FOUTBレジスタを使用して、IOSC、OSC3、OSC1から選択可能です。

表7.7.1 クロックソースの選択

FOUTASRC[1:0]/FOUTBSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

クロック周波数の選択

IOSCまたはOSC3をクロックソースとして使用する場合、出力するクロック周波数を3種類から選択できます。FOUTAD[1:0]/CLG_FOUTAレジスタまたはFOUTBD[1:0]/CLG_FOUTBレジスタでソースクロックの分周比を選択してください。

表7.7.2 IOSC/OSC3分周比の選択

FOUTAD[1:0]/FOUTBD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック出力の制御

クロック出力は、FOUTAE/CLG_FOUTAレジスタまたはFOUTBE/CLG_FOUTBレジスタで制御します。FOUTAE/FOUTBEを1に設定するとFOUTA/FOUTBクロックがFOUTA/FOUTB端子から出力され、0に設定すると出力は停止します。

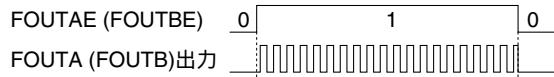


図7.7.2 FOUTA/FOUTB出力

注: FOUTA/FOUTB信号はFOUTAE/FOUTBEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

7.8 制御レジスタ詳細

表7.8.1 CLGレジスタ一覧

アドレス	レジスタ名		機能
0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
0x5061	CLG_CTL	Oscillation Control Register	発振制御
0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Source Select Register (CLG_SRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]	Clock source	0x0	R/W	
					0x3	reserved			
					0x2	OSC3			
					0x1	OSC1			
			0x0	IOSC					

7 クロックジェネレータ (CLG)

D[7:2] Reserved

D[1:0] **CLKSRC[1:0]: System Clock Source Select Bits**

システムのクロックソースを選択します。

表7.8.2 システムクロックの選択

CLKSRC[1:0]	システムクロックソース
0x3	Reserved
0x2	OSC3 (内部または外部クロック)
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

通常(高速)動作時はIOSCまたはOSC3を選択します。高速クロックが不要な場合は、OSC1をシステムクロックに設定し、IOSCとOSC3を停止することで消費電流を低減できます。

- 注:
- システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。また、最小でOSC3の1サイクル、最大でOSC1の1サイクルの切り換え時間がかかります。システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.8.3 システムクロック切り換え条件

IOSCEN	OSC3EN	OSC1EN	P33MUX[1:0]	P34MUX[1:0]	システムクロック
1	1	1	0x1	0x1	IOSC、OSC3、またはOSC1
1	*	1	0x2	*	IOSC、EXOSC3、またはOSC1
1	*	1	0x0	*	IOSCまたはOSC1
1	0	1	0x1	0x1	IOSCまたはOSC1
0	1	1	0x1	0x1	OSC3またはOSC1
0	*	1	0x2	*	EXOSC3またはOSC1

- システムクロックとして選択されている発振回路をOffにすることはできません。
- CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- SLEEPモード解除時は、SLEEP移行前の状態によらずIOSC発振回路がOnし (IOSCEN = 1)、システムクロックがIOSC (CLKSRC[1:0] = 0x0) になります。OSC1発振回路およびOSC3発振回路はOffします (OSC1EN = 0、OSC3EN = 0)。HALTモード解除時は、HALT移行前の状態を継続します。

Oscillation Control Register (CLG_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-6	IOSCWT[1:0]	IOSC wait cycle select	IOSCWT[1:0]	Wait cycle	0x0	R/W	
					0x3	8 cycles			
					0x2	16 cycles			
					0x1	32 cycles			
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0]	Wait cycle	0x0	R/W	
					0x3	128 cycles			
					0x2	256 cycles			
D3	-	reserved	-	-	-	-	0 when being read.		
D2	IOSCEN	IOSC enable	1	Enable	0	Disable	1	R/W	
D1	OSC1EN	OSC1 enable	1	Enable	0	Disable	0	R/W	
D0	OSC3EN	OSC3 enable	1	Enable	0	Disable	0	R/W	

D[7:6] **IOSCWT[1:0]: IOSC Wait Cycle Select Bits**

IOSC発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。IOSC発振開始直後は、ここで設定した時間が経過するまで、IOSCクロックはシステムに供給されません。

表7.8.4 IOSC発振安定待ち時間の設定

IOSCWTT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(IOSCクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。

イニシャルリセット時CPU動作開始時間 \leq IOSC発振開始時間(max.) + IOSC発振安定待ち時間(64サイクル)

IOSC発振回路をOnにした直後にシステムクロックをIOSCに切り換えた場合は、最大で下記のIOSCクロックシステム供給待ち時間が経過するまでIOSCクロックはシステムに供給されません。電源電圧V_{DD}が十分安定した状態では、IOSCWTT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

IOSCクロックシステム供給待ち時間 \leq IOSC発振開始時間(max.) + IOSC発振安定待ち時間

D[5:4] OSC3WT[1:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

SLEEPからの起床時、ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

表7.8.5 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合は、最大で下記のOSC3クロックシステム供給待ち時間が経過するまでOSC3クロックはシステムに供給されません。

OSC3クロックシステム供給待ち時間 \leq OSC3発振開始時間(max.) + OSC3発振安定待ち時間

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

D3 Reserved**D2 IOSCEN: IOSC Enable Bit**

IOSC発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: IOSCクロックをシステムクロックとして使用している場合、IOSC発振回路を停止することはできません。

D1 OSC1EN: OSC1 Enable Bit

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

7 クロックジェネレータ (CLG)

OSC1発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。

$$\text{OSC1クロックシステム供給待ち時間} \leq \text{OSC1発振開始時間(max.)} + \text{OSC1発振安定待ち時間 (256サイクル)}$$

注: OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

FOUTA Control Register (CLG_FOUTA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	FOUTAD [1:0]	FOUTA clock division ratio select	FOUTAD[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	reserved			
					0x2	1/4			
					0x1	1/2			
D3-2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W			
					0x3	reserved			
					0x2	OSC3			
					0x1	OSC1			
					0x0	IOSC			
		D1	–	reserved	–	–	–	0 when being read.	
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W		

D[7:6] Reserved

D[5:4] FOUTAD[1:0]: FOUTA Clock Division Ratio Select Bits

クロックソースにIOSCまたはOSC3を使用する場合に、クロックの分周比を選択してFOUTAクロック周波数を設定します。

表7.8.6 IOSC/OSC3分周比の選択

FOUTAD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロックソースにOSC1を使用する場合、FOUTAD[1:0]は無効となり、OSC1クロックが分周されずに出力されます。

D[3:2] FOUTASRC[1:0]: FOUTA Clock Source Select Bits

FOUTAのクロックソースを選択します。

表7.8.7 FOUTAクロックソースの選択

FOUTASRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

D1 Reserved

D0 FOUTAE: FOUTA Output Enable Bit

FOUTAクロックの外部出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

FOUTAEを1に設定するとFOUTAクロックがFOUTA端子から出力され、FOUTAEを0に設定すると出力は停止します。

FOUTB Control Register (CLG_FOUTB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	FOUTBD [1:0]	FOUTB clock division ratio select	FOUTBD[1:0] Division ratio 0x3 reserved 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is IOSC or OSC3
		D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0] Clock source 0x3 reserved 0x2 OSC3 0x1 OSC1 0x0 IOSC	0x0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	

D[7:6] Reserved**D[5:4] FOUTBD[1:0]: FOUTB Clock Division Ratio Select Bits**

クロックソースにIOSCまたはOSC3を使用する場合に、クロックの分周比を選択してFOUTBクロック周波数を設定します。

表7.8.8 IOSC/OSC3分周比の選択

FOUTBD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロックソースにOSC1を使用する場合、FOUTBD[1:0]は無効となり、OSC1クロックが分周されずに出力されます。

D[3:2] FOUTBSRC[1:0]: FOUTB Clock Source Select Bits

FOUTBのクロックソースを選択します。

表7.8.9 FOUTBクロックソースの選択

FOUTBSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

D1 Reserved**D0 FOUTBE: FOUTB Output Enable Bit**

FOUTBクロックの外部出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

FOUTBEを1に設定するとFOUTBクロックがFOUTB端子から出力され、FOUTBEを0に設定すると出力は停止します。

PCLK Control Register (CLG_PCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
				0x1	Not allowed				
				0x0	Disable				

D[7:2] Reserved

D[1:0] PCKEN[1:0]: PCLK Enable Bits

内部周辺モジュールへのクロック (PCLK) の供給を許可/禁止します。

表7.8.10 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。

PCLKを使用する周辺モジュール

- UART
- 16ビットタイマ
- SPI
- I²Cマスタ
- I²Cスレーブ
- 電源制御回路
- Pポート&ポートMUX
- MISCレジスタ
- IRリモートコントローラ
- A/D変換器

上記一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。

上記のすべての周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKを使用しない周辺モジュール/機能

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- LCDドライバ
- 電源電圧検出回路
- R/F変換器
- 16ビットPWMタイマ
- FOUTA/FOUTB出力

これらの周辺モジュール/機能はPCLKを停止しても動作します。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

CCLK Control Register (CLG_CCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.	
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0] Gear ratio	0x0	R/W		
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
				0x0	1/1				

D[7:2] Reserved

D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表7.8.11 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

8 入出力ポート(P)

8.1 Pモジュールの概要

Pポートは、ソフトウェアで入出力方向、プルアップ抵抗、入力インタフェースレベルを制御可能な汎用入出力です。これらのポートは周辺モジュールの入出力を兼用しており、レジスタの設定によって端子機能を切り換えられるようになっています。一部のポートグループは、入力信号の変化により割り込みを発生可能です。

Pモジュールの主な機能と特長を以下に示します。

- 最大29の入出力ポート(P0[7:0]、P1[7:0]、P2[7:0]、P3[4:0])を使用可能
* 汎用入出力として使用可能なポート数は使用する周辺機能により変わります。
- ソフトウェアで有効となるプルアップ抵抗を各ポートに内蔵
- CMOSシュミットレベル、CMOSレベルの2種類の入力インタフェースレベルをソフトウェアで選択可能
- P0～P3ポートは、ソフトウェアで選択した信号エッジで入力割り込みを発生可能
- P0～P3ポートにチャタリングフィルタを内蔵
- ソフトウェアで選択した複数のP0ポートへの同時Lowレベル入力によりイニシャルリセットを発生可能
- すべてのポートに用意されたポート機能選択ビットにより、端子機能(汎用入出力または周辺機能に使用)を設定可能

図8.1.1に入出力ポートの構成を示します。

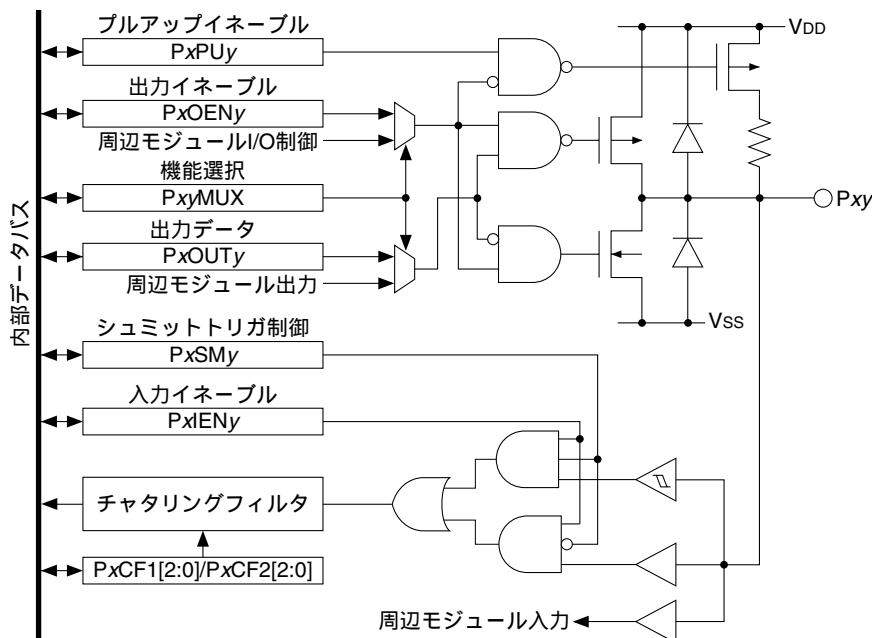


図8.1.1 入出力ポートの構成

注: • 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。また、P0～P3ポートのチャタリングフィルタの動作にもPCLKが必要です。

- レジスタやビット名の“xy”はポート番号(Pxy, x = 0～3, y = 0～7)を表します。

例: PxiNy/Px_INレジスタ

P00: P0IN0/P0_INレジスタ

P17: P1IN7/P1_INレジスタ

8.2 入出力端子機能の選択 (ポートMUX)

入出力ポート端子は周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表8.2.1 入出力端子機能の選択

端子機能1 PxyMUX[1:0] = 0x0	端子機能2 PxyMUX[1:0] = 0x1	端子機能3 PxyMUX[1:0] = 0x2	端子機能4 PxyMUX[1:0] = 0x3	ポート機能選択ビット
P00/EXCL0 (T16A)	RFCLKO (RFC)	REMI (REMC)	–	P00MUX[1:0]/P00_03PMUXレジスタ
P01/EXCL1 (T16A)	LFRO (LCD)	REMO (REMC)	–	P01MUX[1:0]/P00_03PMUXレジスタ
P02	SIN0 (UART)	TOUT0/CAP0 (T16A)	–	P02MUX[1:0]/P00_03PMUXレジスタ
P03	SOUT0 (UART)	TOUT1/CAP1 (T16A)	–	P03MUX[1:0]/P00_03PMUXレジスタ
P04	SDI0 (SPI)	TOUT2/CAP2 (T16A)	–	P04MUX[1:0]/P04_07PMUXレジスタ
P05	SDO0 (SPI)	TOUT3/CAP3 (T16A)	–	P05MUX[1:0]/P04_07PMUXレジスタ
P06	SENB0 (RFC)	SPICLK0 (SPI)	–	P06MUX[1:0]/P04_07PMUXレジスタ
P07	SENA0 (RFC)	#SPISS0 (SPI)	–	P07MUX[1:0]/P04_07PMUXレジスタ
P10	REF0 (RFC)	TOUT4/CAP4 (T16A)	–	P10MUX[1:0]/P10_13PMUXレジスタ
P11	RFIN0 (RFC)	TOUT5/CAP5 (T16A)	–	P11MUX[1:0]/P10_13PMUXレジスタ
P12	RFIN1 (RFC)	–	–	P12MUX[1:0]/P10_13PMUXレジスタ
P13	REF1 (RFC)	–	–	P13MUX[1:0]/P10_13PMUXレジスタ
P14	SENA1 (RFC)	–	–	P14MUX[1:0]/P14_17PMUXレジスタ
P15	SENB1 (RFC)	–	–	P15MUX[1:0]/P14_17PMUXレジスタ
P16	SCLK0 (UART)	#ADTRG (ADC10)	–	P16MUX[1:0]/P14_17PMUXレジスタ
P17	SCL1 (I2CS)	SCL0 (I2CM)	–	P17MUX[1:0]/P14_17PMUXレジスタ
P20	SDA1 (I2CS)	SDA0 (I2CM)	–	P20MUX[1:0]/P20_23PMUXレジスタ
P21	AIN7 (ADC10)	#BFR (I2CS)	–	P21MUX[1:0]/P20_23PMUXレジスタ
P22/EXCL2 (T16A)	AIN6 (ADC10)	SCL0 (I2CM)	–	P22MUX[1:0]/P20_23PMUXレジスタ
P23/EXCL3 (T16A)	AIN5 (ADC10)	SDA0 (I2CM)	–	P23MUX[1:0]/P20_23PMUXレジスタ
P24	AIN4 (ADC10)	FOUTA (CLG)	–	P24MUX[1:0]/P24_27PMUXレジスタ
P25	AIN3 (ADC10)	FOUTB (CLG)	–	P25MUX[1:0]/P24_27PMUXレジスタ
P26	AIN2 (ADC10)	TOUT6/CAP6 (T16A)	–	P26MUX[1:0]/P24_27PMUXレジスタ
P27	AIN1 (ADC10)	TOUT7/CAP7 (T16A)	–	P27MUX[1:0]/P24_27PMUXレジスタ
P30	AIN0 (ADC10)	–	–	P30MUX[1:0]/P30_33PMUXレジスタ
DSIO (DBG)	P31	–	–	P31MUX[1:0]/P30_33PMUXレジスタ
DST2 (DBG)	P32	–	–	P32MUX[1:0]/P30_33PMUXレジスタ
P33	OSC3 (CLG)	EXOSC3 (CLG)	–	P33MUX[1:0]/P30_33PMUXレジスタ
P34	OSC4 (CLG)	–	–	P34MUX[1:0]/P34PMUXレジスタ

イニシャルリセットにより、各入出力ポート端子(Pxy)はデフォルト(表8.2.1の端子機能1)の機能に初期化されます。

P00、P01、P22、P23端子は入力モードに設定することで16ビットPWMタイマの外部クロック入力端子としても使用できます。汎用入力ポートとしての機能も同時に有効です。

入出力ポート以外の機能については、()で示した周辺モジュールの説明を参照してください。以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

8.3 データの入出力

データ入出力制御

入出力ポートは、PxOENy/Px_OENレジスタとPxIENy/Px_IENレジスタによってビットごとにデータの出入力方向を選択できるようになっています。PxOENyはデータ出力を許可/禁止し、PxIENyはデータ入力を許可/禁止します。

表8.3.1 データ入出力表

PxOENy 出力制御	PxIENy 入力制御	PxPUy プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します(プルアップOff)。ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
0	1	1	入力ポートとして機能します(プルアップOn)。(デフォルト)ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
1	0	1または0	出力ポートとして機能します(プルアップOff)。入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します(プルアップOff)。入力も許可され、PxINy(入力データ)からポート端子の値(出力値)が読み出せます。
0	0	0	端子がハイインピーダンス状態となります(プルアップOff)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
0	0	1	端子がハイインピーダンス状態となります(プルアップOn)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxOENyとPxIENyの設定は無視されます。

データ入力

ポート端子の状態を入力してその値を読み出すためにはPxIENyを1(デフォルト)に設定し、入力を許可します。外部信号を入力する場合はこれに加え、PxOENyを0(デフォルト)に設定します。この設定により入出力ポートはハイインピーダンス状態となり、入力ポートとして機能します(入力モード)。PxPUyでプルアップを有効にしている場合は、ポートがプルアップされます。

入力モード時は、入力端子の状態をPxINy/Px_INレジスタから直接読み出すことができます。読み出し値は入力端子がHigh(V_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。

出力許可(PxOENy = 1)の状態(出力モード)でも、PxIENyが1の場合はポート端子の状態を入力します。この場合、PxINyからはポートが実際に出力している値を読み出すことができます。

PxIENyを0に設定した場合は入力が禁止され、PxINyの読み出し値は0となります。

データ出力

ポート端子からデータを出力するためには、PxOENyを1に設定し、出力を許可(出力モードに設定)します。これにより入出力ポートは出力ポートとして機能し、PxOUTy/Px_OUTレジスタの設定値をポート端子から出力します。PxOUTyに1を書き込むとポート端子はHigh(V_{DD})レベル、0を書き込むとLow(V_{SS})レベルを出力します。なお、PxPUyでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

入力モード時も、端子の状態に影響を与えることなくPxOUTyに対して書き込みは行えます。

8.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するか否かをPxPUy/Px_PUレジスタによってビットごとに選択できるようになっています。PxPUyを1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。出力モード時にはPxIENyの設定にかかわらずPxPUyの設定は無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 \text{ [秒]}$$

R_{IN}: プルアップ抵抗Max.値、C_{IN}: 端子容量Max.値

8.5 入力インタフェースレベル

入出力ポートの入力インタフェースレベルをPxSM_y/Px_SMレジスタによってビットごとに選択できるようになっています。

PxSM_yを1(デフォルト)に設定するとCMOSシュミットレベル、0に設定するとCMOSレベルとなります。

8.6 P0～P3ポートのチャタリング除去機能

P0～P3ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]/Px_CHATレジスタ、PxCF2[2:0]/Px_CHATレジスタによってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表8.6.1 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

注: • チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- Px_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

8.7 ポート入力割り込み

P0～P3ポートは入力割り込み機能を持っています。

29ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。

図8.7.1にポート入力割り込み回路の構成を示します。

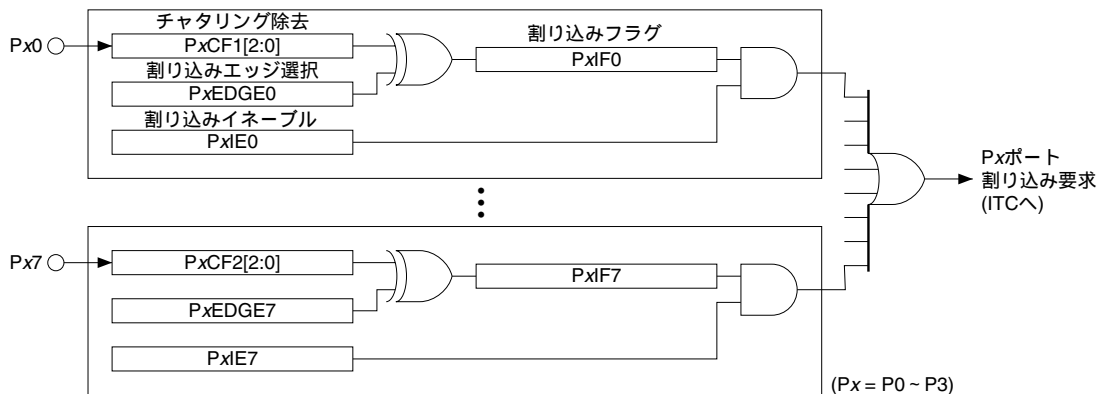


図8.7.1 ポート入力割り込み回路の構成

割り込みポートの選択

割り込みを発生させるポートをPxIEy/Px_IMSKレジスタによって選択します。

PxIEyを1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。

割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、PxEDGEy/Px_EDGEレジスタによって選択します。

PxEDGEyを1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

割り込みフラグ

ITCはP0、P1、P2、P3ポート割り込みの4系統の割り込み要求を受け付け可能ですが、Pxyの29ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、29ポートに個々に対応する割り込みフラグPxIFy/Px_IFLGレジスタが用意されています。PxIFyは入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIEyを1に設定しておくことにより、同時にITCへ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIFyは1の書き込みによりリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIFyをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIEy/Px_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIFyをリセットしてください。

8.8 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0]/P0_KRSTレジスタで選択できます。

表8.8.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

- 注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

8.9 制御レジスタ詳細

表8.9.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名		機能
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出カインーブル
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入カインーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインーブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入カインーブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Output Enable Register	P2ポート出カインーブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御
0x5225	P2_IMSK	P2 Port Interrupt Mask Register	P2ポート割り込みマスクの設定
0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register	P2ポート割り込みエッジの選択
0x5227	P2_IFLG	P2 Port Interrupt Flag Register	P2ポート割り込み発生状態の表示/リセット
0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入カインーブル
0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出カインーブル
0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x5234	P3_SM	P3 Port Schmitt Trigger Control Register	P3ポートのシュミットトリガ制御
0x5235	P3_IMSK	P3 Port Interrupt Mask Register	P3ポート割り込みマスクの設定
0x5236	P3_EDGE	P3 Port Interrupt Edge Select Register	P3ポート割り込みエッジの選択
0x5237	P3_IFLG	P3 Port Interrupt Flag Register	P3ポート割り込み発生状態の表示/リセット
0x5238	P3_CHAT	P3 Port Chattering Filter Control Register	P3ポートチャタリング除去制御
0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入カインーブル
0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x52a7	P34PMUX	P34 Port Function Select Register	P34ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Px Port Input Data Registers (Px_IN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Px Port Input Data Register (Px_IN)	0x5200	D7-0	PxIN[7:0]	Px[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
	0x5210										
	0x5220										
	0x5230										
	(8 bits)										

注: P3ポートはP3IN[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits

ポート端子の状態が読み出せます。(デフォルト: 外部入力状態)

1(R): Highレベル

0(R): Lowレベル

PxIN_yはPx_y端子と1対1に対応し、入力許可時(PxIEN_y = 1)は(出力許可状態(PxOEN_y = 1)でも)、端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

入力禁止時(PxIEN_y = 0)の読み出し値は0となります。

PxIN_yは読み出し専用のため、書き込み操作は無効です。

Px Port Output Data Registers (Px_OUT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Px Port Output Data Register (Px_OUT)	0x5201	D7-0	PxOUT[7:0]	Px[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
	0x5211										
	0x5221										
	0x5231										
	(8 bits)										

注: P3ポートはP3OUT[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits

ポート端子から出力するデータを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

PxOUT_yはPx_y端子と1対1に対応し、出力許可時(PxOEN_y = 1)は書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

出力禁止時(PxOEN_y = 0)もポートデータの書き込みは行えます(端子の状態には影響を与えません)。

Px Port Output Enable Registers (Px_OEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Px Port Output Enable Register (Px_OEN)	0x5202	D7-0	PxOEN[7:0]	Px[7:0] port output enable	1	Enable	0	Disable	0	R/W	
	0x5212										
	0x5222										
	0x5232										
	(8 bits)										

注: P3ポートはP3OEN[4:0]のみ使用可能です。D[7:5]は予約ビットで、D5は1に固定、D[7:6]は0に固定されます。

D[7:0] PxOEN[7:0]: Px[7:0] Port Output Enable Bits

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

8 入出力ポート (P)

PxOENyはPxyポートと1対1に対応する出力イネーブルビットで、1に設定すると出力が許可され、対応するPxOUTyの設定値がポート端子から出力されます。0に設定した場合は出力が禁止され、ポート端子はハイインピーダンスになります。ポートを周辺モジュール用に使用する場合の出力許可/禁止の状態は、周辺モジュールの機能により決まります。

PxOENレジスタ以外の設定も含めたポートの入出力状態については、表8.3.1を参照してください。

Px Port Pull-up Control Registers (Px_PU)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Pull-up Control Register (Px_PU)	0x5203	D7-0	PxPU[7:0]	Px[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
	0x5213										
	0x5223										
	0x5233										
	(8 bits)										

注: P3ポートはP3PU[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPUyはPxyポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、出力禁止時(PxOENy = 0)にポート端子がプルアップされます。0に設定するとプルアップされません。

出力許可時(PxOENy = 1)には、PxPUyの設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の入力機能を選択したポートも、このプルアップ設定は有効です。

Px Port Schmitt Trigger Control Registers (Px_SM)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Schmitt Trigger Control Register (Px_SM)	0x5204	D7-0	PxSM[7:0]	Px[7:0] port Schmitt trigger input enable	1	Enable	0	Disable	1 (0xff)	R/W	
	0x5214					(Schmitt)	(CMOS)				
	0x5224										
	0x5234										
	(8 bits)										

注: P3ポートはP3SM[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxSM[7:0]: Px[7:0] Port Schmitt Trigger Input Enable Bits

各ポートのシュミットトリガ入力バッファを有効/無効に設定します。

1(R/W): 有効(シュミット入力) (デフォルト)

0(R/W): 無効(CMOSレベル)

PxSMyはPxyポートと1対1に対応するシュミット入力制御ビットで、1に設定するとシュミットトリガ入力バッファが有効になり、0に設定するとCMOSレベルの入力バッファが使用されます。

Px Port Interrupt Mask Registers (Px_IMSK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Interrupt Mask Register (Px_IMSK)	0x5205	D7-0	PxIE[7:0]	Px[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
	0x5215										
	0x5225										
	0x5235										
	(8 bits)										

注: P3ポートはP3IE[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxlE[7:0]: Px[7:0] Port Interrupt Enable Bits

各ポートによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PxlEyを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

Px Port Interrupt Edge Select Registers (Px_EDGE)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Interrupt Edge Select Register (Px_EDGE)	0x5206	D7-0	PxEDGE[7:0]	Px[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W
	0x5216									
	0x5226									
	0x5236									
	(8 bits)									

注: P3ポートはP3EDGE[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxEDGE[7:0]: Px[7:0] Port Interrupt Edge Select Bits

各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

PxEDGEyを1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

Px Port Interrupt Flag Registers (Px_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Px Port Interrupt Flag Register (Px_IFLG)	0x5207	D7-0	PxIF[7:0]	Px[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W
	0x5217									
	0x5227									
	0x5237									
	(8 bits)								Reset by writing 1.	

注: P3ポートはP3IF[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxlF[7:0]: Px[7:0] Port Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PxlFyはP0~P3の29ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIEy/Px_IMSKレジスタを1に設定しておくことにより、同時にITCに対してポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxlFyは1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIFyをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIEy/Px_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIFyをリセットしてください。

Px Port Chattering Filter Control Registers (Px_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Chattering Filter Control Register (Px_CHAT)	0x5208	D7	–	reserved	–	–	–	0 when being read.
	0x5218	D6–4	PxCF2[2:0]	Px[7:4] chattering filter time select	PxCF2[2:0]	Filter time	0x0	R/W
	0x5228				0x7	16384/fPCLK		
	0x5238 (8 bits)				0x6	8192/fPCLK		
					0x5	4096/fPCLK		
					0x4	2048/fPCLK		
					0x3	1024/fPCLK		
					0x2	512/fPCLK		
					0x1	256/fPCLK		
	0x0	None						
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	PxCF1[2:0]	Px[3:0] chattering filter time select	PxCF1[2:0]	Filter time	0x0	R/W
	0x7				16384/fPCLK			
	0x6				8192/fPCLK			
	0x5				4096/fPCLK			
	0x4				2048/fPCLK			
	0x3				1024/fPCLK			
	0x2				512/fPCLK			
	0x1				256/fPCLK			
	0x0	None						

D7 Reserved

D[6:4] PxCF2[2:0]: Px[7:4] Chattering Filter Time Select Bits

Px[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

D3 Reserved

D[2:0] PxCF1[2:0]: Px[3:0] Chattering Filter Time Select Bits

Px[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0～P3ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]、PxCF2[2:0]によってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表8.9.2 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

- 注:
- チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
 - チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
 - Px_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

P0 Port Key-Entry Reset Configuration Register (P0_KRST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.	
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0] Configuration	0x0	R/W		
					0x3	P0[3:0]			
					0x2	P0[2:0]			
					0x1	P0[1:0]			
				0x0	Disable				

D[7:2] Reserved

D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表8.9.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

注: P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。

Px Port Input Enable Registers (Px_IEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Px Port Input Enable Register (Px_IEN)	0x520a 0x521a 0x522a 0x523a (8 bits)	D7-0	PxIEN[7:0]	Px[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W	

注: P3ポートはP3IEN[4:0]のみ使用可能です。D[7:5]は予約ビットで、読み出し値は常に0となります。

D[7:0] PxiEN[7:0]: Px[7:0] Port Input Enable Bits

ポート入力を許可/禁止します。

1(R/W): 許可(デフォルト)

0(R/W): 禁止

PxIENyはPxyポートと1対1に対応する入力イネーブルビットで、1に設定すると入力が許可され、対応するポート端子の入力または出力信号レベルがPx_INレジスタから読み出せます。0に設定した場合は入力が禁止されます。

Px_IENレジスタ以外の設定も含めたポートの入出力状態については、表8.3.1を参照してください。

P0[3:0] Port Function Select Register (P00_03PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[3:0] Port Function Select Register (P00_03PMUX)	0x52a0 (8 bits)	D7-6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT1/CAP1			
					0x1	SOUT0			
		0x0	P03						
		D5-4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT0/CAP0			
					0x1	SIN0			
		0x0	P02						
		D3-2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	REMO								
0x1	LFRO								
0x0	P01/EXCL1								
D1-0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	REMI					
			0x1	RFCLKO					
0x0	P00/EXCL0								

P00～P03入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P03MUX[1:0]: P03 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TOUT1 (T16A Ch.0コンパレータモード) または CAP1 (T16A Ch.0キャプチャモード)

0x1 (R/W): SOUT0 (UART Ch.0)

0x0 (R/W): P03ポート (デフォルト)

D[5:4] P02MUX[1:0]: P02 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TOUT0 (T16A Ch.0コンパレータモード) または CAP0 (T16A Ch.0キャプチャモード)

0x1 (R/W): SIN0 (UART Ch.0)

0x0 (R/W): P02ポート (デフォルト)

D[3:2] P01MUX[1:0]: P01 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): REMO (REMC)

0x1 (R/W): LFRO (LCD)

0x0 (R/W): P01ポート/EXCL1 (T16A Ch.1) (デフォルト)

P01端子をEXCL1入力に使用するには、P0OEN1/P0_OENレジスタを0、P0IEN1/P0_IENレジスタを1に設定する必要があります。

D[1:0] P00MUX[1:0]: P00 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): REMI (REMC)

0x1 (R/W): RFCLKO (RFC)

0x0 (R/W): P00ポート/EXCL0 (T16A Ch.0) (デフォルト)

P00端子をEXCL0入力に使用するには、P0OEN0/P0_OENレジスタを0、P0IEN0/P0_IENレジスタを1に設定する必要があります。

P0[7:4] Port Function Select Register (P04_07PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SPISS0			
					0x1	SENA0			
		0x0	P07						
		D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SPICLK0			
					0x1	SENB0			
		0x0	P06						
		D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT3/CAP3			
					0x1	SDO0			
		0x0	P05						
		D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	TOUT2/CAP2								
0x1	SDI0								
0x0	P04								

P04～P07入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P07MUX[1:0]: P07 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): #SPISS0 (SPI Ch.0)
- 0x1 (R/W): SENA0 (RFC)
- 0x0 (R/W): P07ポート (デフォルト)

D[5:4] P06MUX[1:0]: P06 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): SPICLK0 (SPI Ch.0)
- 0x1 (R/W): SENB0 (RFC)
- 0x0 (R/W): P06ポート (デフォルト)

D[3:2] P05MUX[1:0]: P05 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): TOUT3 (T16A Ch.1コンパレータモード) または CAP3 (T16A Ch.1キャプチャモード)
- 0x1 (R/W): SDO0 (SPI Ch.0)
- 0x0 (R/W): P05ポート (デフォルト)

D[1:0] P04MUX[1:0]: P04 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): TOUT2 (T16A Ch.1コンパレータモード) または CAP2 (T16A Ch.1キャプチャモード)
- 0x1 (R/W): SDI0 (SPI Ch.0)
- 0x0 (R/W): P04ポート (デフォルト)

P1[3:0] Port Function Select Register (P10_13PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function 0x3 reserved 0x2 reserved 0x1 REF1 0x0 P13	0x0	R/W	
		D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function 0x3 reserved 0x2 reserved 0x1 RFIN1 0x0 P12	0x0	R/W	
		D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function 0x3 reserved 0x2 TOUT5/CAP5 0x1 RFIN0 0x0 P11	0x0	R/W	
		D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function 0x3 reserved 0x2 TOUT4/CAP4 0x1 REF0 0x0 P10	0x0	R/W	

P10～P13入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P13MUX[1:0]: P13 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): REF1 (RFC)
- 0x0 (R/W): P13ポート (デフォルト)

D[5:4] P12MUX[1:0]: P12 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): RFIN1 (RFC)
- 0x0 (R/W): P12ポート (デフォルト)

D[3:2] P11MUX[1:0]: P11 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): TOUT5 (T16A Ch.2コンパレータモード) または CAP5 (T16A Ch.2キャプチャモード)
- 0x1 (R/W): RFIN0 (RFC)
- 0x0 (R/W): P11ポート (デフォルト)

D[1:0] P10MUX[1:0]: P10 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): TOUT4 (T16A Ch.2コンパレータモード) または CAP4 (T16A Ch.2キャプチャモード)
- 0x1 (R/W): REF0 (RFC)
- 0x0 (R/W): P10ポート (デフォルト)

P1[7:4] Port Function Select Register (P14_17PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SCL0			
					0x1	SCL1			
		0x0	P17						
		D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#ADTRG			
					0x1	SCLK0			
		0x0	P16						
		D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SENB1			
		0x0	P15						
		D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	SENA1								
0x0	P14								

P14～P17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P17MUX[1:0]: P17 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): SCL0 (I2CM)
- 0x1 (R/W): SCL1 (I2CS)
- 0x0 (R/W): P17ポート (デフォルト)

D[5:4] P16MUX[1:0]: P16 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): #ADTRG (ADC10)
- 0x1 (R/W): SCLK0 (UART Ch.0)
- 0x0 (R/W): P16ポート (デフォルト)

D[3:2] P15MUX[1:0]: P15 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): SENB1 (RFC)
- 0x0 (R/W): P15ポート (デフォルト)

D[1:0] P14MUX[1:0]: P14 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): SENA1 (RFC)
- 0x0 (R/W): P14ポート (デフォルト)

P2[3:0] Port Function Select Register (P20_23PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SDA0			
					0x1	AIN5			
		0x0	P23/EXCL3						
		D5-4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SCL0			
0x1	AIN6								
0x0	P22/EXCL2								
D3-2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	#BFR					
			0x1	AIN7					
0x0	P21								
D1-0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	SDA0					
			0x1	SDA1					
0x0	P20								

P20～P23入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P23MUX[1:0]: P23 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): SDA0 (I2CM)

0x1 (R/W): AIN5 (ADC10)

0x0 (R/W): P23ポート/EXCL3 (T16A Ch.3) (デフォルト)

P23端子をEXCL3入力に使用するには、P2OEN3/P2_OENレジスタを0、P2IEN3/P2_IENレジスタを1に設定する必要があります。

D[5:4] P22MUX[1:0]: P22 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): SCL0 (I2CM)

0x1 (R/W): AIN6 (ADC10)

0x0 (R/W): P22ポート/EXCL2 (T16A Ch.2) (デフォルト)

P22端子をEXCL2入力に使用するには、P2OEN2/P2_OENレジスタを0、P2IEN2/P2_IENレジスタを1に設定する必要があります。

D[3:2] P21MUX[1:0]: P21 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): #BFR (I2CS)

0x1 (R/W): AIN7 (ADC10)

0x0 (R/W): P21ポート (デフォルト)

D[1:0] P20MUX[1:0]: P20 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): SDA0 (I2CM)

0x1 (R/W): SDA1 (I2CS)

0x0 (R/W): P20ポート (デフォルト)

P2[7:4] Port Function Select Register (P24_27PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7-6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT7/CAP7			
					0x1	AIN1			
		0x0	P27						
		D5-4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT6/CAP6			
					0x1	AIN2			
		0x0	P26						
		D3-2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FOUTB			
					0x1	AIN3			
		0x0	P25						
		D1-0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	FOUTA								
0x1	AIN4								
0x0	P24								

P24～P27入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P27MUX[1:0]: P27 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TOUT7(T16A Ch.3コンパレータモード)またはCAP7(T16A Ch.3キャプチャモード)

0x1 (R/W): AIN1(ADC10)

0x0 (R/W): P27ポート(デフォルト)

D[5:4] P26MUX[1:0]: P26 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TOUT6(T16A Ch.3コンパレータモード)またはCAP6(T16A Ch.3キャプチャモード)

0x1 (R/W): AIN2(ADC10)

0x0 (R/W): P26ポート(デフォルト)

D[3:2] P25MUX[1:0]: P25 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): FOUTB(CLG)

0x1 (R/W): AIN3(ADC10)

0x0 (R/W): P25ポート(デフォルト)

D[1:0] P24MUX[1:0]: P24 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): FOUTA(CLG)

0x1 (R/W): AIN4(ADC10)

0x0 (R/W): P24ポート(デフォルト)

P3[3:0] Port Function Select Register (P30_33PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7-6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXOSC3			
					0x1	OSC3			
		0x0	P33						
		D5-4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P32			
		0x0	DST2						
		D3-2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P31			
		0x0	DSIO						
		D1-0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	AIN0								
0x0	P30								

P30～P33入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P33MUX[1:0]: P33 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): EXOSC3 (CLG)
- 0x1 (R/W): OSC3 (CLG)
- 0x0 (R/W): P33ポート (デフォルト)

D[5:4] P32MUX[1:0]: P32 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P32ポート
- 0x0 (R/W): DST2 (DBG) (デフォルト)

D[3:2] P31MUX[1:0]: P31 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P31ポート
- 0x0 (R/W): DSIO (DBG) (デフォルト)

D[1:0] P30MUX[1:0]: P30 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): AIN0 (ADC10)
- 0x0 (R/W): P30ポート (デフォルト)

P34 Port Function Select Register (P34PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P34 Port Function Select Register (P34PMUX)	0x52a7 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1-0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
				0x1	OSC4			
				0x0	P34			

P34入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:2] Reserved

D[1:0] P34MUX[1:0]: P34 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): OSC4 (CLG)

0x0 (R/W): P34ポート(デフォルト)

9 16ビットタイマ(T16)

9.1 T16モジュールの概要

S1C17711は16ビットタイマモジュール(T16)を内蔵しています。

T16モジュールの主な機能と特長を以下に示します。

- 4チャンネルのタイマで構成(T16 Ch.0~Ch.3)
 - 16ビットプリセッタブルダウンカウンタ(プリセット値設定用16ビットリロードデータレジスタ付き)
 - カウンタのアンダーフローから、SPIとI²Cマスタの動作クロック、およびA/D変換トリガ信号を生成
 - 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
 - カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能
- 図9.1.1にT16の構成を示します。

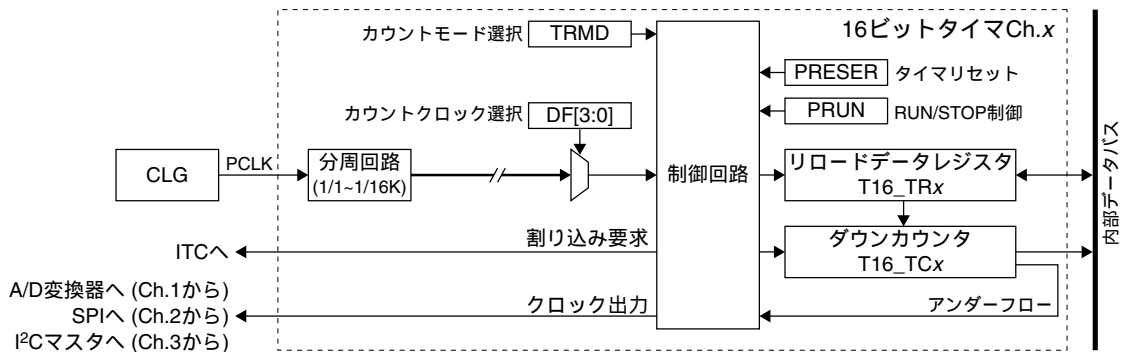


図9.1.1 T16モジュールの構成(1チャンネル)

T16モジュールの各チャンネルは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェースのクロック生成、およびA/D変換トリガ信号の生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

注: レジスタ名の'x'はチャンネル番号(0~3)を表します。

例: T16_CTLxレジスタ

Ch.0: T16_CTL0レジスタ

Ch.1: T16_CTL1レジスタ

Ch.2: T16_CTL2レジスタ

Ch.3: T16_CTL3レジスタ

9.2 カウントクロック

カウントクロックは、PCLKクロックを1/1～1/16Kに分周して生成します。この分周比をDF[3:0]/T16_CLKxレジスタで下表に示す15種類から選択します。

表9.2.1 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • タイマを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ (CLG)を設定しておく必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

CLGの制御については、“クロックジェネレータ (CLG)”の章を参照してください。

9.3 カウントモード

T16モジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16_CTLxレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、T16はリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合や、シリアル転送クロックを生成する場合は、T16をこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、T16はワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16をこのモードに設定してください。

9.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT16_TRxは、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

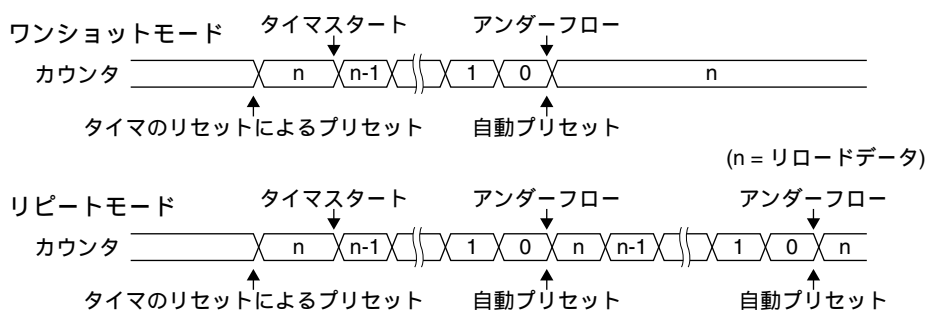


図9.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{TR} + 1}{\text{ct_clk}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{ct_clk}}{\text{TR} + 1} [\text{Hz}]$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~65535)

9.5 タイマのリセット

タイマをリセットするには、PRESER/T16_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

9.6 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロックを選択します。9.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。9.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。9.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。9.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。9.8節を参照してください。

タイマの動作を開始させるには、PRUN/T16_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

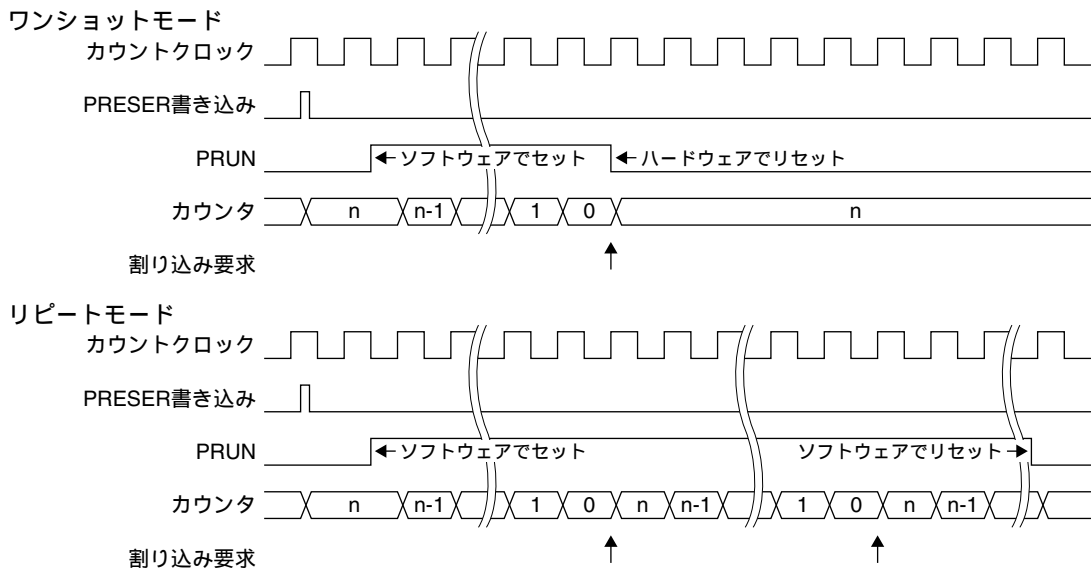


図9.6.1 カウント動作

9.7 T16出力信号

T16モジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックやA/D変換トリガ信号の生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

16ビットタイマCh.1出力クロック → A/D変換器

16ビットタイマCh.2出力クロック → SPI

16ビットタイマCh.3出力クロック → I²Cマスタ

希望の転送レートやA/D変換トリガ周期を得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPI} \quad \text{TR} = \frac{\text{ct_clk}}{\text{bps} \times 2} - 1$$

$$\text{I}^2\text{Cマスタ} \quad \text{TR} = \frac{\text{ct_clk}}{\text{bps} \times 4} - 1$$

$$\text{A/D変換器} \quad \text{TR} = \frac{\text{ct_clk} \times \text{adi}}{2} - 1$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~65535)

bps: 転送レート (ビット/秒)

adi: A/D変換間隔 (秒)

9.8 T16割り込み

T16モジュールの各チャネルは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

カウンタがアンダーフローすると、T16モジュール内のチャネルごとに用意されている割り込みフラグT16IF/T16_INTxレジスタが1にセットされます。T16IE/T16_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16IEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • T16割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T16IEによってT16割り込みを許可する前に、T16IFをリセットしてください。T16IFは1の書き込みによりリセットされます。

9.9 制御レジスタ詳細

表9.9.1 T16レジスタ一覧

アドレス	レジスタ名		機能
0x4200	T16_CLK0	T16 Ch.0 Count Clock Select Register	カウントクロックの選択
0x4202	T16_TR0	T16 Ch.0 Reload Data Register	リロードデータの設定
0x4204	T16_TC0	T16 Ch.0 Counter Data Register	カウンタデータ
0x4206	T16_CTL0	T16 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4208	T16_INT0	T16 Ch.0 Interrupt Control Register	割り込みの制御
0x4220	T16_CLK1	T16 Ch.1 Count Clock Select Register	カウントクロックの選択
0x4222	T16_TR1	T16 Ch.1 Reload Data Register	リロードデータの設定
0x4224	T16_TC1	T16 Ch.1 Counter Data Register	カウンタデータ
0x4226	T16_CTL1	T16 Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4228	T16_INT1	T16 Ch.1 Interrupt Control Register	割り込みの制御
0x4240	T16_CLK2	T16 Ch.2 Count Clock Select Register	カウントクロックの選択
0x4242	T16_TR2	T16 Ch.2 Reload Data Register	リロードデータの設定
0x4244	T16_TC2	T16 Ch.2 Counter Data Register	カウンタデータ
0x4246	T16_CTL2	T16 Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T16_INT2	T16 Ch.2 Interrupt Control Register	割り込みの制御
0x4260	T16_CLK3	T16 Ch.3 Count Clock Select Register	カウントクロックの選択
0x4262	T16_TR3	T16 Ch.3 Reload Data Register	リロードデータの設定
0x4264	T16_TC3	T16 Ch.3 Counter Data Register	カウンタデータ
0x4266	T16_CTL3	T16 Ch.3 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	T16_INT3	T16 Ch.3 Interrupt Control Register	割り込みの制御

以下、T16モジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16 Ch.x Count Clock Select Registers (T16_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Count Clock Select Register (T16_CLKx)	0x4200	D15-4	–	reserved	–	–	–	0 when being read.
	0x4220	D3-0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
				0x0 1/1				

D[15:4] Reserved

D[3:0] DF[3:0]: Count Clock Division Ratio Select Bits

カウントクロックを生成するための、PCLKの分周比を選択します。

表9.9.2 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T16 Ch.x Reload Data Registers (T16_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Reload Data Register (T16_TRx)	0x4202 0x4222 0x4242 0x4262 (16 bits)	D15-0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T16 Ch.x Counter Data Registers (T16_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Counter Data Register (T16_TCx)	0x4204 0x4224 0x4244 0x4264 (16 bits)	D15-0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

T16 Ch.x Control Registers (T16_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Control Register (T16_CTLx)	0x4206 0x4226 0x4246 0x4266 (16 bits)	D15-5	-	reserved	-	-	-	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	0 when being read.
		D3-2	-	reserved	-	-	-	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:5] Reserved (1書き込み禁止)**D4 TRMD: Count Mode Select Bit**

16ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T16はリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合や、シリアル転送クロックを生成する場合、T16をこのモードに設定してください。

TRMDを1に設定すると、T16はワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16をこのモードに設定してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T16 Ch.x Interrupt Control Registers (T16_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Interrupt Control Register (T16_INTx)	0x4208	D15-9	–	reserved	–	–	–	0 when being read.
	0x4228	D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	
	0x4248	D7-1	–	reserved	–	–	–	0 when being read.
	0x4268 (16 bits)	D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved

D8 T16IE: T16 Interrupt Enable Bit

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16IEを1に設定するとITCへのT16割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved

D0 T16IF: T16 Interrupt Flag Bit

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16IFはT16モジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T16IFは1の書き込みによりリセットされます。

10 16ビットPWMタイマ(T16A)

10.1 T16Aモジュールの概要

S1C17711は、カウンタブロックとコンパレータ/キャプチャブロックで構成される16ビットPWMタイマモジュール(T16A)を内蔵しています。このタイマは、インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタ、あるいは外部イベント期間/周期を測定するカウントキャプチャユニットとして使用可能です。

T16Aモジュールの主な機能と特長を以下に示します。

- 4チャンネルの16ビットアップカウンタブロック
- 接続するカウンタブロックを選択可能な4チャンネルのコンパレータ/キャプチャブロック
- CPUクロックとは非同期のカウントクロックを選択可能
- 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータはカウンタ値と2つの指定値を比較し、割り込み信号やPWM波形を生成
- キャプチャユニットは2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生

図10.1.1にT16Aの構成を示します。

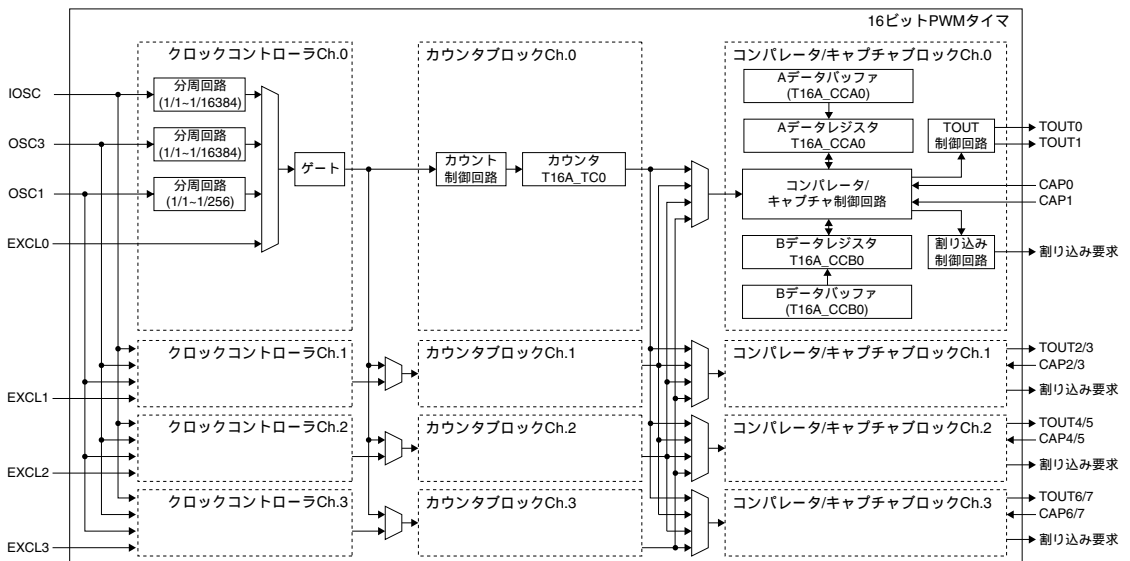


図10.1.1 T16Aの構成

クロックコントローラ

T16Aは、カウンタのカウントクロックを生成するクロックコントローラを4チャンネル内蔵しています。ソフトウェアにより、クロックソースと分周比が選択可能です。

カウンタブロック

カウンタブロックは16ビットアップカウンタで構成されます。カウンタはIOSC、OSC3、またはOSC1の分周クロック、もしくは外部から入力したカウントクロックで動作します。このクロック選択のほか、ソフトウェアによってチャンネル個別にカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。

コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、カウンタ値と指定値を比較するコンパレータと、カウンタ値を外部トリガ信号によってレジスタに取り込むキャプチャ回路がそれぞれ2系統(A系統とB系統)組み込まれています。ただし、各系統でコンパレータとキャプチャ機能を同時に使用することはできません。どちらか一方にソフトウェアで切り換えて使用します。

コンパレータとして使用する場合は、カウンタ値と比較する値をコンペアA、コンペアBレジスタに設定しておきます。カウンタ値がそれぞれのレジスタの設定値に一致すると、コンパレータはコンペアA、コンペアB信号を出力します。これらの信号により割り込みを発生可能です。また、これらの信号はタイマ出力波形の周期やデューティの制御にも使用され、PWM波形なども出力できるようになっています。コンペアB信号はカウンタのリセットにも使用されます。

コンペアAおよびコンペアBレジスタは、直接データの書き込み/読み出しが可能です。別途コンペアバッファも設けられており、コンペアB信号によって自動的にコンペアAおよびコンペアBレジスタにデータをロードすることもできます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、ソフトウェアで選択可能です。

キャプチャ機能を使用する場合は、コンペアA、コンペアBレジスタがキャプチャ A、キャプチャ B レジスタとなります。

キャプチャ Aおよびキャプチャ B用それぞれにトリガ信号を入力可能で、選択した信号エッジでカウンタ値がそれぞれのレジスタに取り込まれます。この時点で割り込みを発生可能ですので、割り込み処理ルーチン内でキャプチャデータを読み出すことができます。また、読み出し前に新たなキャプチャが行われた場合のエラー処理のためにオーバーライト割り込みも発生可能です。

カウンタブロックチャネルとコンパレータ/キャプチャブロックチャネルの組み合わせ

通常は同じチャネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続して使用します。また、各コンパレータ/キャプチャブロックには別の番号のカウンタブロックを指定することができます。これにより、1つのカウンタで複数のコンパレータ/キャプチャブロックが使用可能となり、2系統の比較/キャプチャ機能を最大8系統に拡張することができます(詳細は後述)。

注: レジスタ名等の‘x’はチャネル番号(0~3)を表します。

例: T16A_CTLxレジスタ

Ch.0: T16A_CTL0レジスタ

Ch.1: T16A_CTL1レジスタ

Ch.2: T16A_CTL2レジスタ

Ch.3: T16A_CTL3レジスタ

10.2 T16A入出力端子

表10.2.1にT16Aモジュールの入出力端子を示します。

表10.2.1 T16A端子一覧

端子名	I/O	本数	機能
EXCL0 (Ch.0) EXCL1 (Ch.1) EXCL2 (Ch.2) EXCL3 (Ch.3)	I	4	外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。
CAP0, CAP1 (Ch.0) CAP2, CAP3 (Ch.1) CAP4, CAP5 (Ch.2) CAP6, CAP7 (Ch.3)	I	8	カウンタキャプチャトリガ信号入力端子(キャプチャモード時に有効) CAP0/2/4/6端子に入力される信号の指定エッジ(立ち下がリエッジ、立ち上がりエッジ、または両エッジ)で、カウンタデータがキャプチャAレジスタに取り込まれます。CAP1/3/5/7の入力信号ではカウンタデータがキャプチャBレジスタに取り込まれます。
TOUT0, TOUT1 (Ch.0) TOUT2, TOUT3 (Ch.1) TOUT4, TOUT5 (Ch.2) TOUT6, TOUT7 (Ch.3)	O	8	タイマ生成信号出力端子(コンパレータモード時に有効) 各チャネルは2本の出力端子を持ち、それぞれ異なる条件で生成された信号を出力できます。

T16Aの入出力端子(EXCL_x、CAP_x、TOUT_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16Aの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

10.3 カウントクロック

クロックコントローラはカウントクロックを制御するクロックソースセクタ、分周回路、ゲート回路で構成されます。カウントクロックはチャンネルごとに制御可能です。

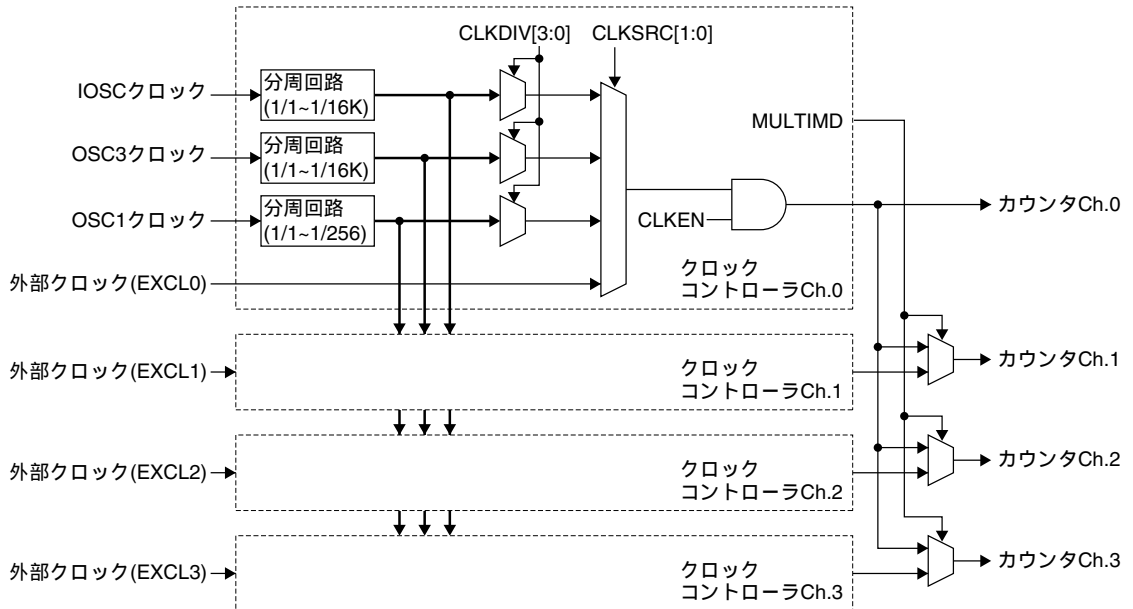


図10.3.1 クロックコントローラ

クロックソースの選択

クロックソースは、CLKSRC[1:0]/T16A_CLK_xレジスタを使用してIOSCK、OSC3、OSC1、外部クロックから選択します。

表10.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCL _x)
0x2	OSC3
0x1	OSC1
0x0	IOSCK

(デフォルト: 0x0)

外部クロックを選択すると、外部クロックやパルスを入力して、タイマをイベントカウンタやパルス幅測定などにも使用可能です。外部クロック入力端子は下表のとおりです。汎用入出力ポートのまま、端子機能を切り換える必要はありません。ただし、対応する入出力ポートを出力モードには設定しないでください。

表10.3.2 外部クロック入力端子

チャンネル	外部クロック入力端子
T16A Ch.0	EXCL0
T16A Ch.1	EXCL1
T16A Ch.2	EXCL2
T16A Ch.3	EXCL3

内部クロック分周比の選択

内部クロック(IOSC、OSC3、OSC1)を使用する場合は、CLKDIV[3:0]/T16A_CLK_xレジスタで分周比を選択します。

表10.3.3 内部クロック分周比の選択

CLKDIV[3:0]	分周比	
	クロックソース = IOSC or OSC3	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

クロックイネーブル

カウンタへのクロック供給は、CLKEN/T16A_CLK_xレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のとおり生成されたクロックがカウンタに送られます。T16Aの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

マルチコンパレータ/キャプチャモード

T16Aは1つのカウンタチャンネルに複数チャンネルのコンパレータ/キャプチャブロックを接続することができます(マルチコンパレータ/キャプチャモード)。この場合はCh.0のクロックをすべてのチャンネルに供給する必要があります。この制御をMULTIMD/T16A_CLK0レジスタで行います。T16Aをマルチコンパレータ/キャプチャモードで使用する場合は、MULTIMDを1に設定します。同一チャンネルのカウンタとコンパレータ/キャプチャブロックを接続して使用する場合は(ノーマルチャンネルモード)、MULTIMDを0(デフォルト)に設定してください。

注: カウントクロックの設定は、T16Aがカウント停止中に行ってください。

10.4 T16Aの動作モード

T16Aには、いろいろな使い方に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

10.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A_CCA_xとT16A_CCB_xの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A_CCA_xレジスタのモードはCCAMD/T16A_CCCTL_xレジスタで、T16A_CCB_xレジスタのモードはCCBMD/T16A_CCCTL_xレジスタで選択します。

コンパレータモード(CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A_CCA_xとT16A_CCB_xレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。

カウンタ値がコンペアBレジスタの設定値になった場合、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

カウント開始からコンペアA割り込みが発生するまでの期間(コンペアA期間)およびコンペアB割り込みが発生するまでの期間(コンペアB期間)は次のように計算できます。

$$\text{コンペアA期間} = (\text{CCA} + 1) / \text{ct_clk} \text{ [秒]}$$

$$\text{コンペアB期間} = (\text{CCB} + 1) / \text{ct_clk} \text{ [秒]}$$

CCA: コンペアAレジスタ設定値(0~65535)

CCB: コンペアBレジスタ設定値(0~65535)

ct_clk: カウントクロック周波数 [Hz]

コンペアA信号とコンペアB信号はタイマ出力波形(TOUT)を生成するためにも使用されます。詳細については、“10.6 タイマ出力の制御”を参照してください。PWM波形を生成して出力するには、T16A_CCAxおよびT16A_CCBxレジスタを両方共にコンパレータモードに設定しておく必要があります。

コンペアバッファ

コンペアレジスタは直接データの書き込み/読み出しが可能です。また、コンペアバッファを使用すると、コンペアB信号が発生した時点で、バッファに設定したAおよびB系統の比較値を自動的にコンペアAおよびコンペアBレジスタにロードすることができます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、CBUFEN/T16A_CTLxレジスタで設定します。CBUFENが0(デフォルト)の場合はコンペアレジスタ、CBUFENを1に設定するとコンペアバッファが選択されます。

比較値はT16A_CCAxまたはT16A_CCBxレジスタから読み出せますが、CBUFENの設定にかかわらず、コンペアレジスタがアクセスされます。

注: コンペアバッファを使用しない場合、T16A_CCAxまたはT16A_CCBxレジスタへの連続的なデータ書き込みは、以下の手順で行ってください。書き込み間隔が短すぎると正しく書き込まれないことがあります。

1. T16A_CCAx(または T16A_CCBx) レジスタに値を書き込みます。
2. 書き込んだレジスタを読み出します。
3. 書き込んだ値と読み出した値が一致するまで2を繰り返します。
4. 次の値を書き込みます。

キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A_CCAxまたはT16A_CCBxレジスタはキャプチャデータを読み出すためのキャプチャ Aまたはキャプチャ Bレジスタとして機能します。

カウンタ値をキャプチャする外部トリガ信号入力端子は下表のとおりです。トリガ入力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表10.4.1.1 カウンタキャプチャ用トリガ信号入力端子

チャネル	トリガ入力端子	
	キャプチャ A	キャプチャ B
T16A Ch.0	CAP0	CAP1
T16A Ch.1	CAP2	CAP3
T16A Ch.2	CAP4	CAP5
T16A Ch.3	CAP6	CAP7

トリガとする信号のエッジは、キャプチャ AがCAPATR[1:0]/T16A_CCCTLxレジスタ、キャプチャ BがCAPBTR[1:0]/T16A_CCCTLxレジスタで選択可能です。

表10.4.1.2 キャプチャトリガエッジの選択

CAPATRG[1:0]/ CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウント値がキャプチャレジスタにロードされます。同時にキャプチャ A またはキャプチャ B 割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。この割り込みを利用して、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。キャプチャ A またはキャプチャ B 割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。したがって、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出した場合は、キャプチャ A またはキャプチャ B 割り込みフラグをリセットしておく必要があります。

- 注:
- キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。
 - カウンタデータを正しくキャプチャするには、CAPxトリガ信号のHigh期間とLow期間をどちらもソースクロックの1周期以上とする必要があります。

コンパレータモード時は、CAPATRG[1:0]とCAPBTRG[1:0]の設定は無効です。トリガエッジが選択されていてもカウントのキャプチャは行われません。

キャプチャモードではコンペア信号が生成されないため、TOUT信号を生成して出力することはできません。

10.4.2 リピートモードとワンショットモード

各カウンタはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16A_CTLxレジスタで行います。

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、対応するカウンタはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。カウンタがオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、対応するカウンタはワンショットモードに設定されます。

このモードでは、コンペアB信号が発生した時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

10.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード

T16Aのチャネルはカウンタブロックとコンパレータ/キャプチャブロックで構成されますが、1つのカウンタブロックに複数のコンパレータ/キャプチャブロックを接続してコンパレータ/キャプチャ機能を拡張するような使い方もできます。これに対応して、ノーマルチャネルモードとマルチコンパレータ/キャプチャモードの2つの動作モードが用意され、MULTIMD/T16A_CLK0レジスタで選択できるようになっています。

ノーマルチャンネルモード(MULTIMD = 0、デフォルト)

同じチャンネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続し、T16Aモジュールを4チャンネルのタイマとして使用するモードです。このモードでは、カウンタごとに異なるカウントクロックを使用することができます。各タイマチャンネルには、そのチャンネルのコンパレータ/キャプチャブロックに接続するカウンタチャンネルを選択するCCABCNT[1:0]/T16A_CTLxレジスタが設けられています。

表10.4.3.1 カウンタの選択

CCABCNT[1:0]	カウンタチャンネル
0x3	Ch.3(カウンタ3)
0x2	Ch.2(カウンタ2)
0x1	Ch.1(カウンタ1)
0x0	Ch.0(カウンタ0)

(デフォルト: 0x0)

T16Aモジュールをノーマルチャンネルモードで使用する場合は、各チャンネルのコンパレータ/キャプチャブロックに必ず同じチャンネルのカウンタを接続してください。

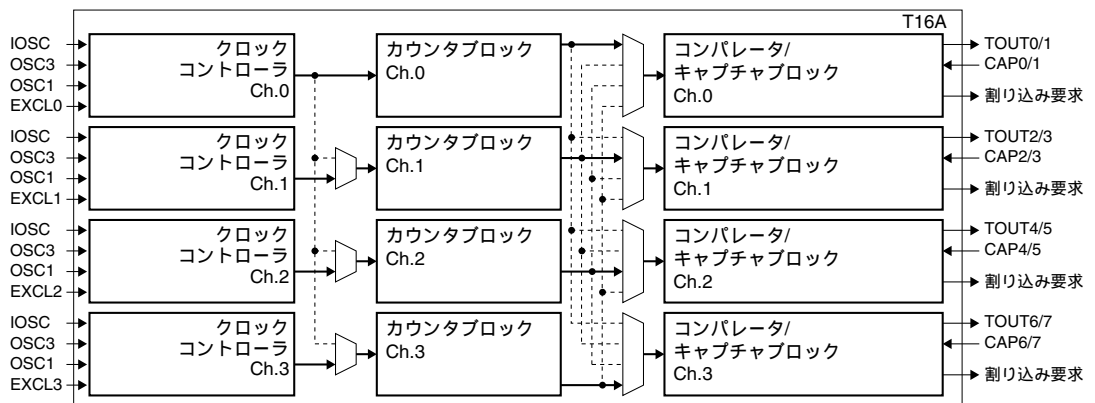
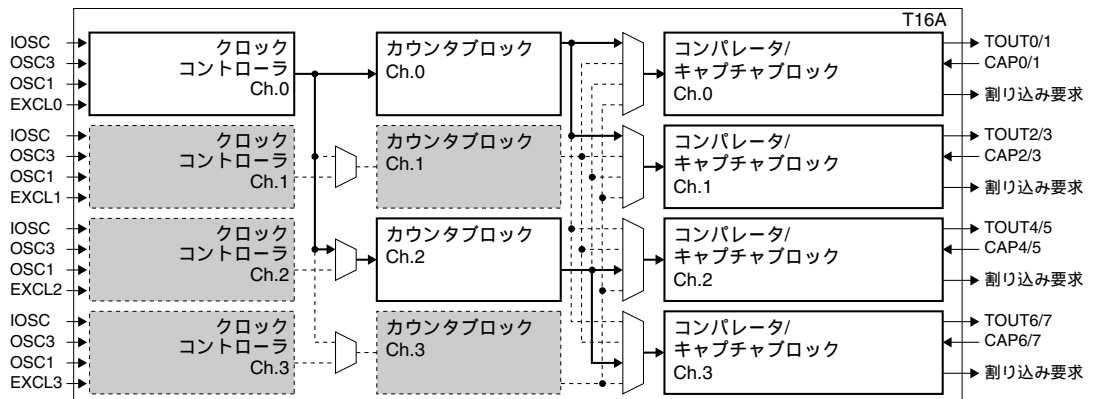


図10.4.3.1 ノーマルチャンネルモードのタイマ構成 (2系統コンパレータ/キャプチャブロック × 4チャンネル)

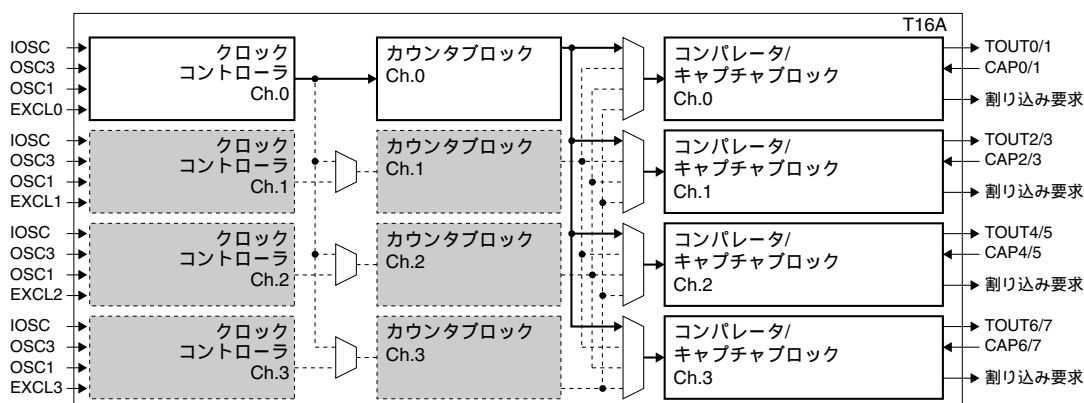
注: ノーマルチャンネルモード (MULTIMD = 0) の場合に、異なるチャンネルのカウンタブロックとコンパレータ/キャプチャブロックを接続することは禁止します。正常な動作を保証できません。

マルチコンパレータ/キャプチャモード (MULTIMD = 1)

1つのカウンタで3つ以上の比較値を設定したい場合や、3本以上のトリガ信号でカウンタをキャプチャしたい場合などには、1つのカウンタに複数のコンパレータ/キャプチャブロックを接続することができます。このためのモードがマルチコンパレータ/キャプチャモードで、上記のCCABCNT[1:0]を使用してカウンタブロックとコンパレータ/キャプチャブロックを任意に組み合わせることが可能です。ただし、使用するカウンタにかかわらず、カウントクロックはカウンタCh.0用の1種類に固定されます。Ch.1～Ch.3のクロック設定は無効となります。



(1) 構成例1 (4系統コンパレータ/キャプチャブロック × 2チャンネル)



(2) 構成例2 (8系統コンパレータ/キャプチャブロック × 1チャンネル)

図10.4.3.2 マルチコンパレータ/キャプチャモードのタイマ構成例

10.5 カウンタの制御

10.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A_CTLxレジスタに1を書き込みます。

通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。

カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

10.5.2 カウンタRUN/STOP制御

カウント動作を開始させる前に、以下の設定を行ってください。

- (1) 使用する入出力端子の機能をT16A用に切り換えます。“入出力ポート(P)”の章を参照してください。
- (2) 動作モードを選択します。10.4節を参照してください。
- (3) クロックソースを選択します。10.3節を参照してください。
- (4) タイマ出力(TOUT)の設定を行います。10.6節を参照してください。
- (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16Aの割り込みを許可します。10.7節を参照してください。
- (6) カウンタを0にリセットします。10.5.1節を参照してください。
- (7) コンペアデータを設定します(コンパレータモード時)。10.4.1節を参照してください。

各タイマチャンネルには、カウンタの動作を制御するPRUN/T16A_CTLxレジスタが設けられています。カウンタはPRUNに1を書き込むことによってカウントを開始します。PRUNに0を書き込むとクロックの入力が禁止され、カウンタは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

10.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A_TCxレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウントアップが発生し、正しい値が読み出せないことがあります。

10.5.4 タイミングチャート

コンパレータモード

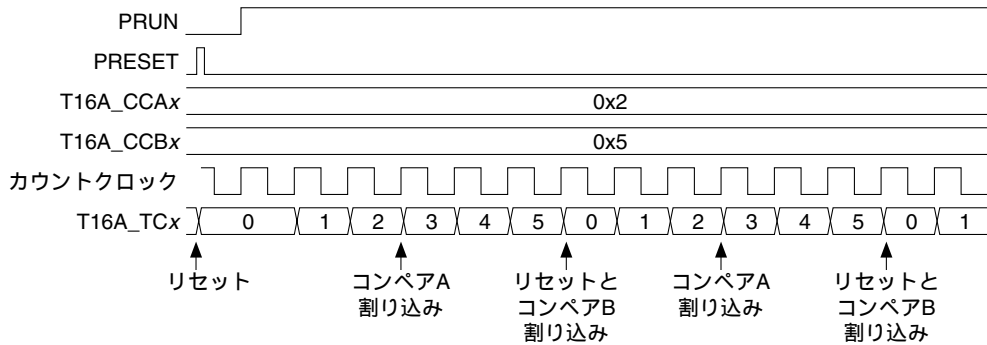


図10.5.4.1 コンパレータモード時動作タイミング

キャプチャモード

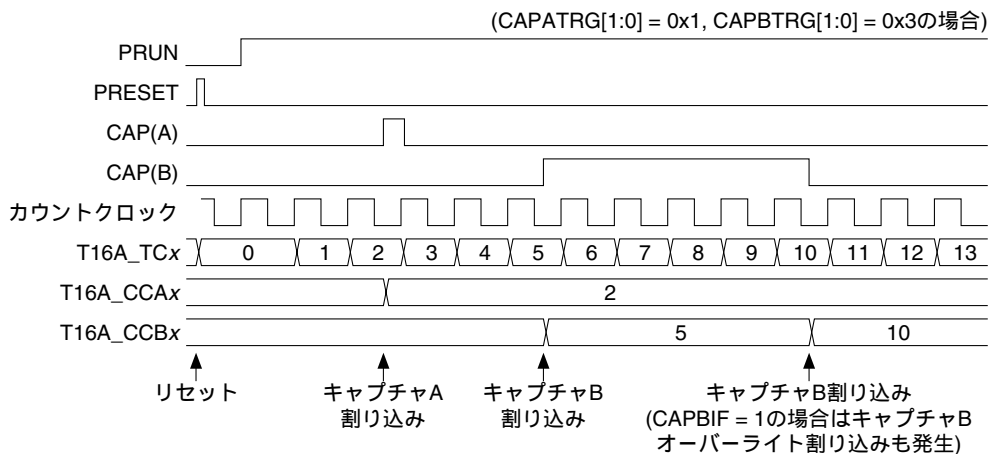


図10.5.4.2 キャプチャモード時動作タイミング

10.6 タイマ出力の制御

コンパレータモードに設定したタイマは、コンペアAおよびコンペアB信号によってTOUT信号を生成し、IC外部に出力することができます。各タイマチャネルは2本のTOUT出力を持ち、T16Aモジュールからは最大8本のTOUT信号を出力可能です。

図10.6.1にTOUT出力回路(1タイマチャネル)を示します。

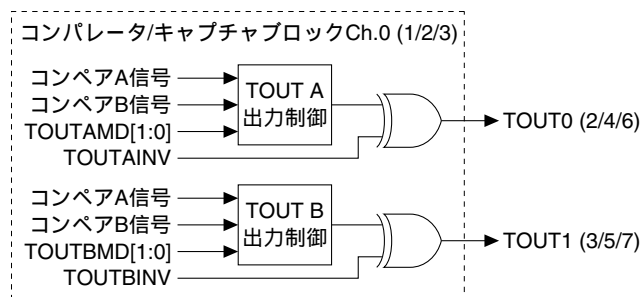


図10.6.1 TOUT出力回路

各タイマチャネルには2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路/レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBに対応するものではありません。

TOUT出力端子

TOUT端子とタイマチャネルの対応を表10.6.1に示します。TOUT出力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表10.6.1 TOUT出力端子一覧

チャネル	TOUT出力端子	
	A系統	B系統
T16A Ch.0	TOUT0	TOUT1
T16A Ch.1	TOUT2	TOUT3
T16A Ch.2	TOUT4	TOUT5
T16A Ch.3	TOUT6	TOUT7

TOUT生成モード

TOUT信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A_CCCTLxレジスタ(A系統)またはTOUTBMD[1:0]/T16A_CCCTLxレジスタ(B系統)で設定します。

表10.6.2 TOUT生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUT出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

TOUT信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A_CCCTLxレジスタ(A系統)またはTOUTBINV/T16A_CCCTLxレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOUT信号が生成されます。

カウンタをリセットした場合には、TOUT信号がインアクティブレベルとなります。

図10.6.2にTOUT出力波形を示します。

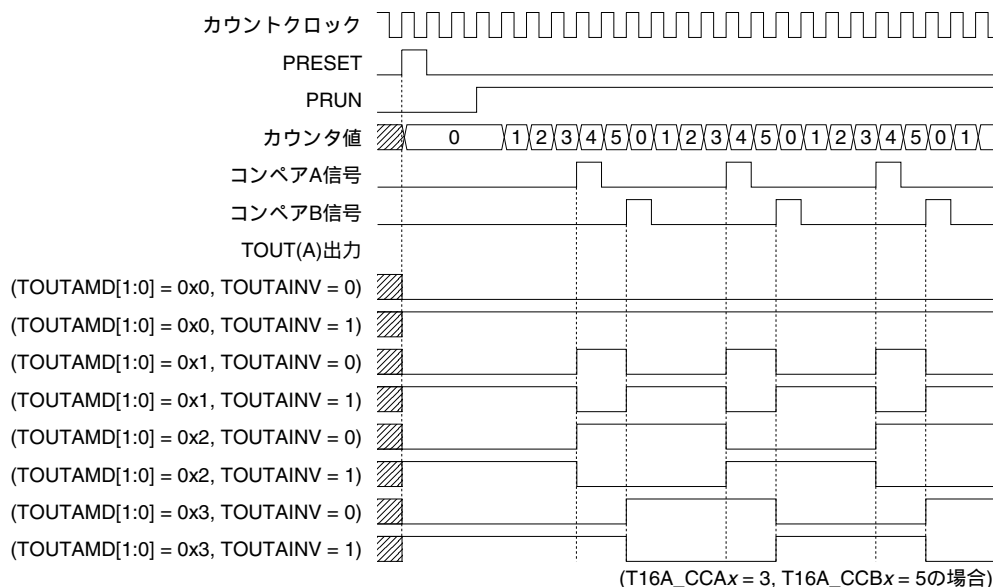


図10.6.2 TOUT出力波形

10.7 T16A割り込み

T16Aモジュールには、タイマチャネルごとに以下の6種類の割り込みを発生させる機能があります。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャ A割り込み(キャプチャモード時)
- キャプチャ B割り込み(キャプチャモード時)
- キャプチャ Aオーバーライト割り込み(キャプチャモード時)
- キャプチャ Bオーバーライト割り込み(キャプチャモード時)

各タイマチャネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、割り込みを発生したタイマチャネルの割り込みフラグを読み出してください。

コンパレータモード時の割り込み

コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタの設定値に一致すると発生し、T16Aモジュール内の割り込みフラグCAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAIE/T16A_IENxレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタの設定値に一致すると発生し、T16Aモジュール内の割り込みフラグCBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CBIE/T16A_IENxレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャモード時の割り込み

キャプチャ A割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Aレジスタに取り込まれると発生し、T16Aモジュール内の割り込みフラグCAPAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAIE/T16A_IENxレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ B割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Bレジスタに取り込まれると発生し、T16Aモジュール内の割り込みフラグCAPBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBIE/T16A_IENxレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Aレジスタが上書きされると発生し、T16Aモジュール内の割り込みフラグCAPAOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAOWIE/T16A_IENxレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFがセットされている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ずCAPAIFをリセットしてください。

キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ B割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Bレジスタが上書きされると発生し、T16Aモジュール内の割り込みフラグCAPBOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBOWIE/T16A_IENxレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPBOWIFは、キャプチャ Bレジスタが読み出されているかどうかにかかわらず、CAPBIFがセットされている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ずCAPBIFをリセットしてください。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16Aモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

- 割り込み発生後は、割り込み処理ルーチン内で、T16Aモジュール内の割り込みフラグをリセットしてください。

10.8 制御レジスタ詳細

表10.8.1 T16Aレジスタ一覧

アドレス	レジスタ名		機能
0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A Ch.0クロックの制御
0x5069	T16A_CLK1	T16A Clock Control Register Ch.1	T16A Ch.1クロックの制御
0x506a	T16A_CLK2	T16A Clock Control Register Ch.2	T16A Ch.2クロックの制御
0x506b	T16A_CLK3	T16A Clock Control Register Ch.3	T16A Ch.3クロックの制御
0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャ Aデータ
0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャ Bデータ
0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register	カウンタの制御
0x5422	T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ
0x5424	T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5426	T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャ Aデータ
0x5428	T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャ Bデータ
0x542a	T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止
0x542c	T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5440	T16A_CTL2	T16A Counter Ch.2 Control Register	カウンタの制御
0x5442	T16A_TC2	T16A Counter Ch.2 Data Register	カウンタデータ
0x5444	T16A_CCCTL2	T16A Comparator/Capture Ch.2 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5446	T16A_CCA2	T16A Compare/Capture Ch.2 A Data Register	コンペアA/キャプチャ Aデータ
0x5448	T16A_CCB2	T16A Compare/Capture Ch.2 B Data Register	コンペアB/キャプチャ Bデータ
0x544a	T16A_IEN2	T16A Compare/Capture Ch.2 Interrupt Enable Register	割り込みの許可/禁止
0x544c	T16A_IFLG2	T16A Compare/Capture Ch.2 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5460	T16A_CTL3	T16A Counter Ch.3 Control Register	カウンタの制御
0x5462	T16A_TC3	T16A Counter Ch.3 Data Register	カウンタデータ
0x5464	T16A_CCCTL3	T16A Comparator/Capture Ch.3 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5466	T16A_CCA3	T16A Compare/Capture Ch.3 A Data Register	コンペアA/キャプチャ Aデータ
0x5468	T16A_CCB3	T16A Compare/Capture Ch.3 B Data Register	コンペアB/キャプチャ Bデータ
0x546a	T16A_IEN3	T16A Compare/Capture Ch.3 Interrupt Enable Register	割り込みの許可/禁止
0x546c	T16A_IFLG3	T16A Compare/Capture Ch.3 Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、T16Aモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16A Clock Control Register Ch.x (T16A_CLKx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks		
T16A Clock Control Register Ch.x (T16A_CLKx)	0x5068 0x5069 0x506a 0x506b (8 bits)	D7-4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]			Division ratio OSC3 or OSC1 IOSC		0x0	R/W	
					0xf	–	–					
					0xe	1/16384	–					
					0xd	1/8192	–					
					0xc	1/4096	–					
					0xb	1/2048	–					
					0xa	1/1024	–					
					0x9	1/512	–					
					0x8	1/256	1/256					
					0x7	1/128	1/128					
0x6	1/64	1/64										
0x5	1/32	1/32										
0x4	1/16	1/16										
0x3	1/8	1/8										
0x2	1/4	1/4										
0x1	1/2	1/2										
0x0	1/1	1/1										
		D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]		Clock source		0x0	R/W		
					0x3	External clock						
					0x2	OSC3						
					0x1	OSC1						
					0x0	IOSC						
		D1	MULTIMD	Multi-comparator/capture mode select	1	Multi	0	Normal	0	R/W	T16A_CLK0	
			–	reserved					–	–	T16A_CLK1-3 0 when being read.	
		D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W		

D[7:4] CLKDIV[3:0]: Clock Division Ratio Select Bits

内部クロック (IOSC、OSC3、OSC1) を使用する場合に、カウントクロックを生成するための分周比を選択します。

表10.8.2 内部クロック分周比の選択

CLKDIV[3:0]	分周比	
	クロックソース = IOSC or OSC3	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

D[3:2] CLKSRC[1:0]: Clock Source Select Bits

カウントクロックソースを選択します。

表10.8.3 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

外部クロックをカウントクロックとして使用する場合、EXCLx端子から入力してください。

D1 MULTIMD: Multi-Comparator/Capture Mode Select Bit (T16A_CLK0 register)

T16Aをマルチコンパレータ/キャプチャモードに設定します。

1(R/W): マルチコンパレータ/キャプチャモード

0(R/W): ノーマルチャネルモード(デフォルト)

マルチコンパレータ/キャプチャモードでは、全チャネルにT16A_CLK0レジスタで設定したCh.0用クロックが供給されます。

ノーマルチャネルモードの場合は、チャネルごとに設定したクロックがそれぞれのカウンタに供給されます。

D1 Reserved (T16A_CLK1–3 registers)**D0 CLKEN: Count Clock Enable Bit**

カウンタへのカウントクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

T16A Counter Ch.x Control Registers (T16A_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Counter Ch.x Control Register (T16A_CTLx)	0x5400	D15–6	–	reserved	–	–	–	0 when being read.	
	0x5420	D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	0x0	R/W		
	0x5440				0x3				Counter Ch.3
	0x5460				0x2				Counter Ch.2
	(16 bits)				0x1				Counter Ch.1
		D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W	
		D2	TRMD	Count mode select	1 One-shot	0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W	0 when being read.
	D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W		

D[15:6] Reserved**D[5:4] CCABCNT[1:0]: Counter Select Bits**

マルチコンパレータ/キャプチャモード(MULTIMD/T16A_CLK0レジスタ = 1)時に、各チャネルのコンパレータ/キャプチャブロックに接続するカウンタを選択します。

表10.8.4 カウンタの選択

CCABCNT[1:0]	カウンタチャネル
0x3	Ch.3(カウンタ3)
0x2	Ch.2(カウンタ2)
0x1	Ch.1(カウンタ1)
0x0	Ch.0(カウンタ0)

(デフォルト: 0x0)

T16Aモジュールをノーマルチャネルモード(MULTIMD = 0)で使用する場合は、各チャネルのコンパレータ/キャプチャブロックに必ず同じチャネルのカウンタを接続してください。

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペアB信号が発生した時点でコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込みがコンペアAおよびコンペアBレジスタに対して直接行われます。

注: CBUFENの設定は、カウンタが停止中(PRUN = 0)に行ってください。

D2 TRMD: Count Mode Select Bit

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リpeatモード(デフォルト)

TRMDを0に設定すると、カウンタはリpeatモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

TRMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、コンペアB信号が発生した時点で自動的に停止します。

D1 PRESET: Counter Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D0 PRUN: Counter Run/Stop Control Bit

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

T16A Counter Ch.x Data Registers (T16A_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Data Register (T16A_TCx)	0x5402	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	
	0x5422							
	0x5442							
	0x5462 (16 bits)							

D[15:0] T16ATC[15:0]: Counter Data Bits

カウントデータが読み出せます。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

T16A Comparator/Capture Ch.x Control Registers (T16A_CCCTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.x Control Register (T16A_CCCTLx) (16 bits)	0x5404 0x5424 0x5444 0x5464	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W	
		0x3			↑ and ↓				
		0x2			↓				
		0x1			↑				
						0x0	None		
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W	
	0x3	cmp B: ↑ or ↓							
	0x2	cmp A: ↑ or ↓							
	0x1	cmp A: ↑, B: ↓							
						0x0	Off		
		D11-10	-	reserved		-	-	-	0 when being read.
		D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0
	D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W
	D7-6	CAPATR [1:0]	Capture A trigger select	CAPATR[1:0]	Trigger edge	0x0	R/W		
0x3				↑ and ↓					
0x2				↓					
0x1				↑					
					0x0	None			
	D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W		
0x3				cmp B: ↑ or ↓					
0x2				cmp A: ↑ or ↓					
0x1				cmp A: ↑, B: ↓					
					0x0	Off			
	D3-2	-	reserved		-	-	-	0 when being read.	
	D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W
	D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W

D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits

キャプチャ Bレジスタにカウンタ値を取り込む、外部信号(CAP1/3/5/7)のトリガエッジを選択します。

表10.8.5 キャプチャ Bトリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits

TOUT B信号波形(TOUT1/3/5/7出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表10.8.6 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[11:10] Reserved

D9 TOUTBINV: TOUT B Invert Bit

TOUT B信号(TOUT1/3/5/7出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D8 CCBMD: T16A_CCB Register Mode Select Bit

T16A_CCB_xレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A_CCB_xレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャBレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能しません(コンパレータモード)。

D[7:6] CAPATRG[1:0]: Capture A Trigger Select Bits

キャプチャAレジスタにカウンタ値を取り込む、外部信号(CAP0/2/4/6)のトリガエッジを選択します。

表10.8.7 キャプチャAトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[5:4] TOUTAMD[1:0]: TOUT A Mode Select Bits

TOUT A信号波形(TOUT0/2/4/6出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表10.8.8 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[3:2] Reserved**D1 TOUTAINV: TOUT A Invert Bit**

TOUT A信号(TOUT0/2/4/6出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D0 CCAMD: T16A_CCA Register Mode Select Bit

T16A_CCA_xレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A_CCA_xレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャAレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能しません(コンパレータモード)。

T16A Comparator/Capture Ch.x A Data Registers (T16A_CCAx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x A Data Register (T16A_CCAx)	0x5406 0x5426 0x5446 0x5466 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCA[15:0]: Compare/Capture A Data Bits

コンパレータモード時(CCAMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアAデータは、このレジスタに書き込んでから、T16Aのカウントクロックで2サイクル経過後にコンペアAレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアAバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアAレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアAレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAP0/2/4/6)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャ A割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Ch.x B Data Registers (T16A_CCBx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x B Data Register (T16A_CCBx)	0x5408 0x5428 0x5448 0x5468 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCB[15:0]: Compare/Capture B Data Bits

コンパレータモード時(CCBMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアBデータは、このレジスタに書き込んでから、T16Aのカウントクロックで2サイクル経過後にコンペアBレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアBバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアBレジスタにロードされます。

読み出し時はCBUFENの設定にかかわらず、コンペアBレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。カウンタも0にリセットされます。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAP1/3/5/7)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャ B割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A_IENx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A	0x540a	D15-6	--	reserved	--	--	--	0 when being read.
Comparator/ Capture Ch.x Interrupt Enable Register (T16A_IENx)	0x542a 0x544a 0x546a (16 bits)	D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W

D[15:6] Reserved

D5 CAPBOWIE: Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定するとITCへのキャプチャ Bオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D4 CAPAOWIE: Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定するとITCへのキャプチャ Aオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D3 CAPBIE: Capture B Interrupt Enable Bit

キャプチャ B割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定するとITCへのキャプチャ B割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D2 CAPAIE: Capture A Interrupt Enable Bit

キャプチャ A割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定するとITCへのキャプチャ A割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 CBIE: Compare B Interrupt Enable Bit

コンペアB割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアA割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A_IFLGx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16A	0x540c	D15-6	–	reserved	–		–	–	0 when being read.
T16A Comparator/ Capture Ch.x Interrupt Flag Register (T16A_IFLGx)	0x542c	D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
	0x544c	D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
	0x546c	D3	CAPBIF	Capture B interrupt flag			0	R/W	
	(16 bits)	D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

D[15:6] Reserved

D5 CAPBOWIF: Capture B Overwrite Interrupt Flag Bit

キャプチャ Bオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBOWIFはT16A割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。CAPBOWIFは1の書き込みによりリセットされます。

D4 CAPAOWIF: Capture A Overwrite Interrupt Flag Bit

キャプチャ Aオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAOWIFはT16A割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。CAPAOWIFは1の書き込みによりリセットされます。

D3 CAPBIF: Capture B Interrupt Flag Bit

キャプチャ B割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBIFはT16A割り込みフラグで、カウンタ値がキャプチャ Bレジスタに取り込まれると1にセットされます。CAPBIFは1の書き込みによりリセットされます。

D2 CAPAIF: Capture A Interrupt Flag Bit

キャプチャ A割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAIFはT16A割り込みフラグで、カウンタ値がキャプチャ Aレジスタに取り込まれると1にセットされます。CAPAIFは1の書き込みによりリセットされます。

D1 CBIF: Compare B Interrupt Flag Bit

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CBIFはT16A割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag Bit

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAIFはT16A割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。CAIFは1の書き込みによりリセットされます。

11 計時タイマ(CT)

11.1 CTモジュールの概要

S1C17711はOSC1クロックを源振とする計時タイマモジュール(CT)を内蔵しています。このタイマは周期的な割り込みを発生可能で、ソフトウェアによる計時機能を実現できます。

CTモジュールの主な機能と特長を以下に示します。

- 8ビットバイナリカウンタ(128Hz~1Hz)
- 32Hz、8Hz、2Hz、1Hz割り込みを発生可能

図11.1.1にCTの構成を示します。

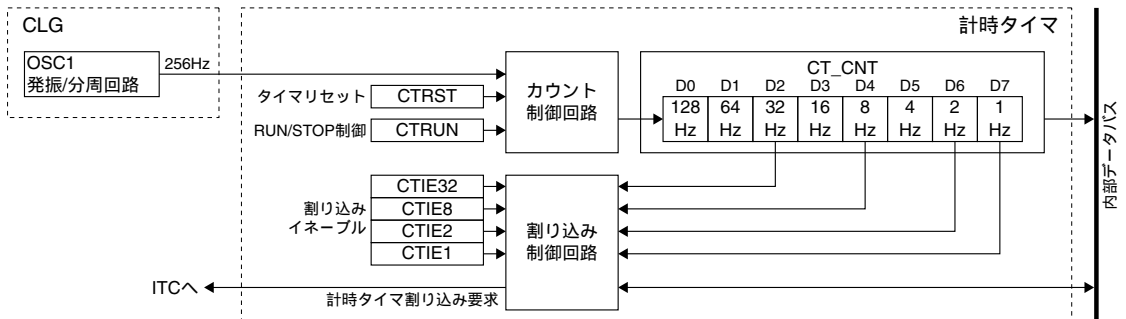


図11.1.1 CTの構成

CTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

11.2 動作クロック

CTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。

CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックが計時タイマに供給されます。

OSC1発振回路の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

注: CTモジュールを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。

11.3 タイマのリセット

タイマをリセットするには、CTRST/CT_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

11.4 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。11.5節を参照してください。
- (2) タイマをリセットします。11.3節を参照してください。

11 計時タイマ(CT)

計時タイマには、Run/Stopを制御するCTRUN/CT_CTLレジスタが設けられています。

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTに同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

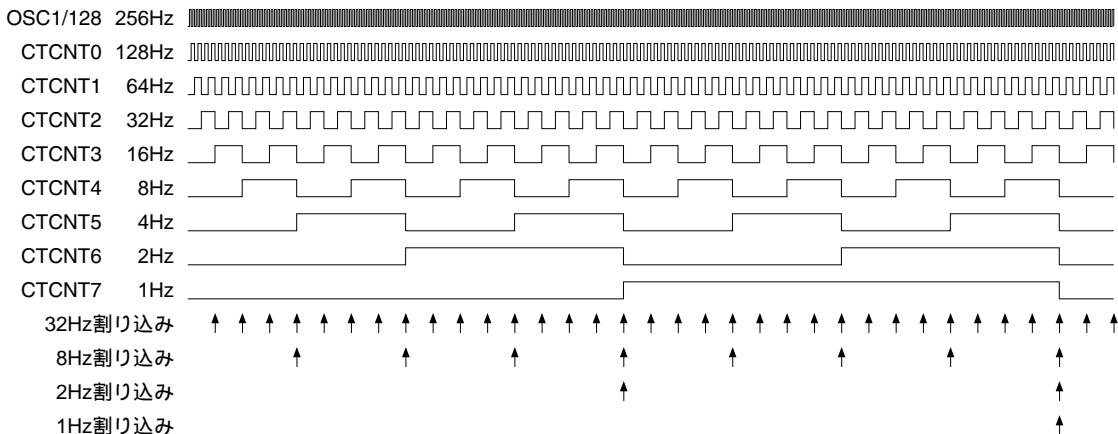


図11.4.1 計時タイマのタイミングチャート

注: • タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。図11.4.2にRun/Stop制御のタイミングチャートを示します。

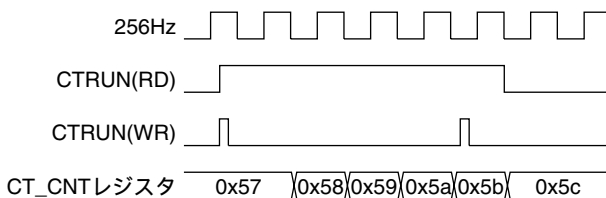


図11.4.2 Run/Stop制御のタイミングチャート

- タイマが動作している状態(CTRUN = 1)でs1p命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、s1p命令の実行以前に計時タイマを停止状態(CTRUN = 0)に設定してください。

11.5 CT割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

32Hz、8Hz、2Hz、1Hz割り込み

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、CTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1(割り込み許可)に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0(割り込み禁止、デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表11.5.1 計時タイマ割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
32Hz割り込み	CTIF32/CT_IFLGレジスタ	CTIE32/CT_IMSKレジスタ
8Hz割り込み	CTIF8/CT_IFLGレジスタ	CTIE8/CT_IMSKレジスタ
2Hz割り込み	CTIF2/CT_IFLGレジスタ	CTIE2/CT_IMSKレジスタ
1Hz割り込み	CTIF1/CT_IFLGレジスタ	CTIE1/CT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- CT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってCT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

11.6 制御レジスタ詳細

表11.6.1 CTレジスタ一覧

アドレス	レジスタ名		機能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、CTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Timer Control Register (CT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	CTRST	Clock timer reset	1 Reset	0 Ignored	0	W	
		D3-1	-	reserved	-	-	-	-	
		D0	CTRUN	Clock timer run/stop control	1 Run	0 Stop	0	R/W	

D[7:5] Reserved

D4 **CTRST: Clock Timer Reset Bit**

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

11 計時タイマ(CT)

D0 CTRUN: Clock Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

Clock Timer Counter Register (CT_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0x0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value Bits

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

各ビットと周波数の対応は以下のとおりです。

D7: 1Hz

D6: 2Hz

D5: 4Hz

D4: 8Hz

D3: 16Hz

D2: 32Hz

D1: 64Hz

D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

Clock Timer Interrupt Mask Register (CT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりがエッジによるCT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:4] Reserved

D3 CTIE32: 32 Hz Interrupt Enable Bit

32Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D2 CTIE8: 8 Hz Interrupt Enable Bit

8Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 CTIE2: 2 Hz Interrupt Enable Bit

2Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

- D0 CTIE1: 1 Hz Interrupt Enable Bit**
 1Hz信号による割り込みを許可または禁止します。
 1(R/W): 割り込み許可
 0(R/W): 割り込み禁止(デフォルト)

Clock Timer Interrupt Flag Register (CT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag			0	R/W	
		D1	CTIF2	2 Hz interrupt flag			0	R/W	
		D0	CTIF1	1 Hz interrupt flag			0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。CT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF*は32Hz、8Hz、2Hz、1Hz割り込みに対応するCTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。CTIF*は1の書き込みによりリセットされます。

D[7:4] Reserved

- D3 CTIF32: 32 Hz Interrupt Flag Bit**
 32Hz割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

- D2 CTIF8: 8 Hz Interrupt Flag Bit**
 8Hz割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

- D1 CTIF2: 2 Hz Interrupt Flag Bit**
 2Hz割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

- D0 CTIF1: 1 Hz Interrupt Flag Bit**
 1Hz割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

12 ストップウォッチタイマ (SWT)

12.1 SWTモジュールの概要

S1C17711はOSC1クロックを源振とする1/100秒ストップウォッチタイマモジュール(SWT)を内蔵しています。このタイマを使用して、ソフトウェアによるストップウォッチ機能を実現できます。

SWTモジュールの主な機能と特長を以下に示します。

- 2段の4ビットBCDカウンタ(近似1/100秒 + 近似1/10秒カウンタ)
- 近似100Hz、近似10Hz、1Hz割り込みを発生可能

図12.1.1にSWTの構成を示します。

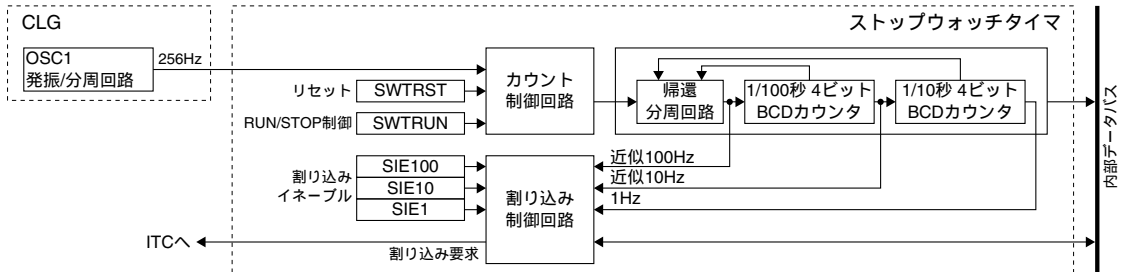


図12.1.1 SWTの構成

SWTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする2段の4ビットBCDカウンタ(1/100秒単位、1/10秒単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。また、SWTモジュールは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

12.2 動作クロック

SWTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。

CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256HzクロックがSWTモジュールに供給されます。

OSC1発振回路の制御については、“クロックジェネレータ (CLG)”の章を参照してください。

注: SWTモジュールを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。

12.3 BCDカウンタ

SWTモジュールは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。

1/100秒と1/10秒のカウント値は、それぞれBCD100[3:0]/SWT_BCNTレジスタ、BCD10[3:0]/SWT_BCNTレジスタから読み出し可能です。

カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図12.3.1のようにカウンタのカウントアップパターンを変化させています。

12 ストップウォッチタイマ(SWT)

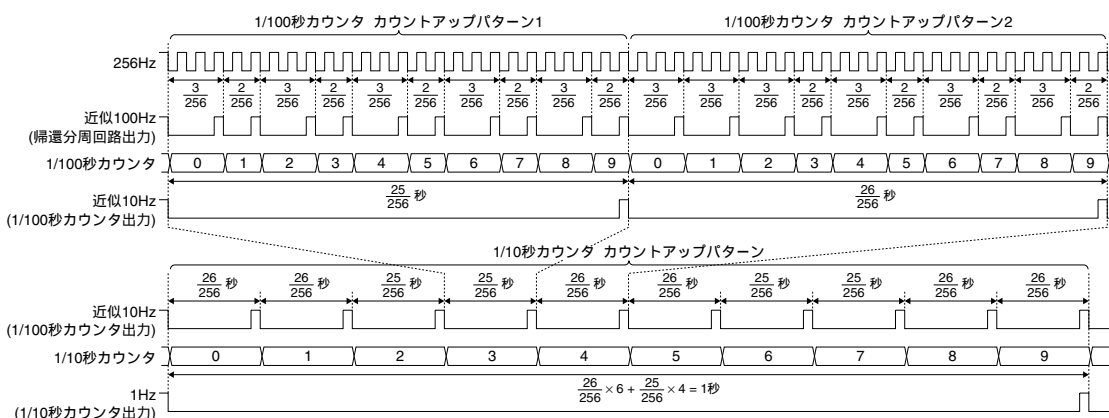


図12.3.1 SWTのカウントアップパターン

帰還分周回路はCLGモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

12.4 タイマのリセット

SWTモジュールをリセットするには、SWTRST/SWT_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

12.5 タイマRUN/STOP制御

SWTモジュールの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、SWTモジュールの割り込みを許可します。12.6節を参照してください。
- (2) タイマをリセットします。12.4節を参照してください。

SWTモジュールには、Run/Stopを制御するSWTRUN/SWT_CTLレジスタが設けられています。

タイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(SWT_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

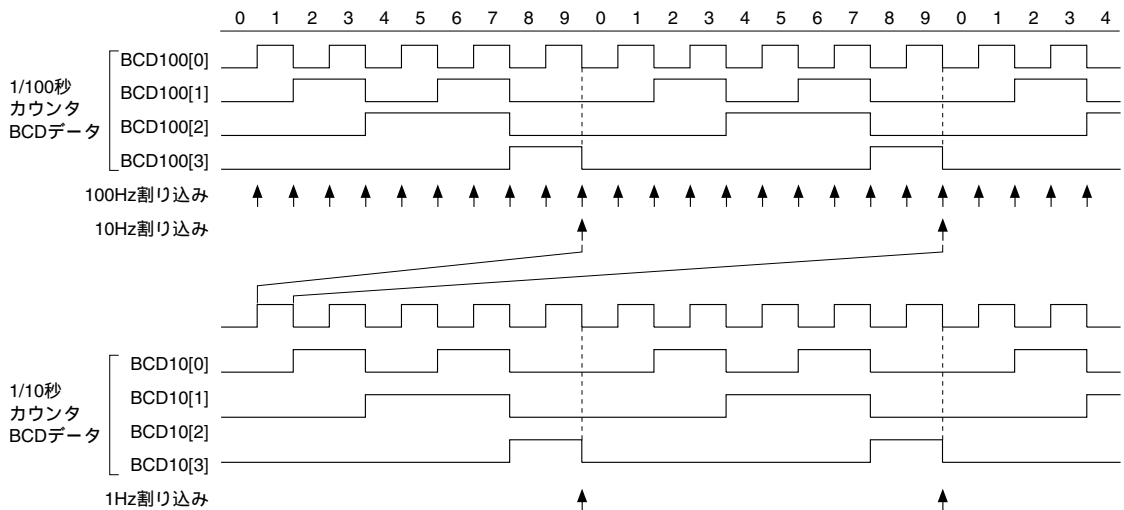


図12.5.1 SWTのタイミングチャート

注: タイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図12.5.2にRun/Stop制御のタイミングチャートを示します。

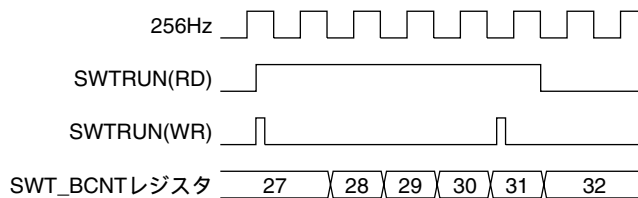


図12.5.2 Run/Stop制御のタイミングチャート

- SWTモジュールが動作している状態 (SWTRUN = 1) で `sleep` 命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、`sleep` 命令の実行以前にSWTモジュールを停止状態 (SWTRUN = 0) に設定してください。

12.6 SWT割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 100Hz割り込み
- 10Hz割り込み
- 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

100Hz、10Hz、1Hz割り込み

100Hz (近似100Hz)、10Hz (近似10Hz)、1Hz信号の立ち下がりエッジで、SWTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1 (割り込み許可) に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0 (デフォルト) に設定されていると、その要因による割り込み要求はITCに送られません。

12 ストップウォッチタイマ(SWT)

表12.6.1 SWT割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
100Hz割り込み	SIF100/SWT_IFLGレジスタ	SIE100/SWT_IMSKレジスタ
10Hz割り込み	SIF10/SWT_IFLGレジスタ	SIE10/SWT_IMSKレジスタ
1Hz割り込み	SIF1/SWT_IFLGレジスタ	SIE1/SWT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • SWT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってSWT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

12.7 制御レジスタ詳細

表12.7.1 SWTレジスタ一覧

アドレス	レジスタ名		機能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SWTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Stopwatch Timer Control Register (SWT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	SWTRST	Stopwatch timer reset	1 Reset	0 Ignored	0		W
		D3-1	—	reserved	—	—	—		—
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run	0 Stop	0		R/W

D[7:5] Reserved

D4 SWTRST: Stopwatch Timer Reset Bit

SWTモジュールをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 SWTRUN: Stopwatch Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

Stopwatch Timer BCD Counter Register (SWT_BCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value

1/10秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value

1/100秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

Stopwatch Timer Interrupt Mask Register (SWT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるSWT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:3] Reserved

D2 SIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。
1 (R/W): 割り込み許可
0 (R/W): 割り込み禁止(デフォルト)

D1 SIE10: 10 Hz Interrupt Enable Bit

10Hz信号による割り込みを許可または禁止します。
1 (R/W): 割り込み許可
0 (R/W): 割り込み禁止(デフォルト)

D0 SIE100: 100 Hz Interrupt Enable Bit

100Hz信号による割り込みを許可または禁止します。
1 (R/W): 割り込み許可
0 (R/W): 割り込み禁止(デフォルト)

Stopwatch Timer Interrupt Flag Register (SWT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag			0	R/W	
		D0	SIF100	100 Hz interrupt flag			0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。SWT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。

SIF*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。SIF*は1の書き込みによりリセットされます。

12 ストップウォッチタイマ(SWT)

D[7:3] Reserved

D2 SIF1: 1 Hz Interrupt Flag Bit

1Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D1 SIF10: 10 Hz Interrupt Flag Bit

10Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D0 SIF100: 100 Hz Interrupt Flag Bit

100Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

13 ウォッチドッグタイマ(WDT)

13.1 WDTモジュールの概要

S1C17711はOSC1発振回路を源振とするウォッチドッグタイマモジュール(WDT)を内蔵しています。このタイマはCPUの暴走検出に使用します。

WDTモジュールの主な機能と特長を以下に示します。

- 10ビットアップカウンタ
- カウンタのオーバーフローによりリセットまたはNMIを発生可能

図13.1.1にWDTの構成を示します。

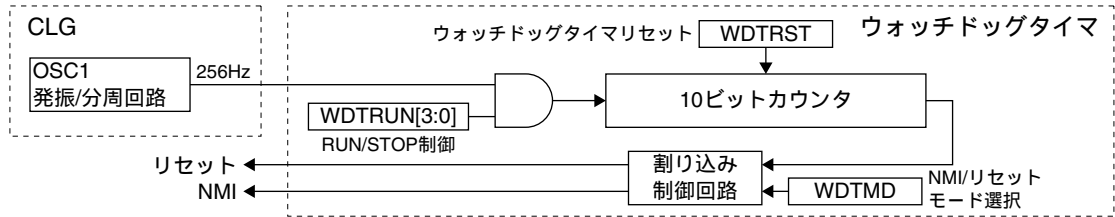


図13.1.1 WDTの構成

WDTモジュールは131072/fosc1秒(fosc1 = 32.768kHzの場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にWDTをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

13.2 動作クロック

WDTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。

CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数や時間が変わります。

CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256HzクロックがWDTモジュールに供給されます。

OSC1発振回路の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

13.3 WDTの制御

13.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にWDTがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD/WDT_STレジスタで選択できます。

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。

13.3.2 WDTのRUN/STOP制御

WDTはWDRUN[3:0]/WDT_CTLレジスタに0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

イニシャルリセット時はWDRUN[3:0]が0b1010に設定され、WDTは停止状態となります。

カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、WDTをRunさせる際には次節で説明するWDTのリセットも同時に行ってください。

13.3.3 WDTのリセット

WDTをリセットするには、WDTRST/WDT_CTLレジスタに1を書き込みます。

WDTを使用する場合は、NMI/リセットが発生する前にWDTをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは $131072/fosc1$ 秒($fosc1 = 32.768kHz$ の場合4秒)周期以内で処理されるようにしてください。リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってWDTがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。

リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。

WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST/WDT_STレジスタが1に設定されます。

このビットはNMIの発生元がWDTであることを確認するために設けられています。

1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

13.3.4 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。

HALTモード時にWDTを無効にするには、halt命令実行前にWDTRUN[3:0]/WDT_CTLレジスタに0b1010を書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

SLEEPモード時

SLEEPモード時はCLGモジュールからのクロックの供給が停止します。したがって、WDTも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じてWDTRUN[3:0]によってWDTを停止させてください。

13.4 制御レジスタ詳細

表13.4.1 WDTレジスタ一覧

アドレス	レジスタ名		機能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、WDTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Watchdog Timer Control Register (WDT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset 0 Ignored	0	W	
		D3-0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run 1010 Stop	1010	R/W	

D[7:5] Reserved

D4 **WDTRST: Watchdog Timer Reset Bit**

WDTをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

注: WDTを使用する場合は、NMI/リセット発生周期($f_{OSC1} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、WDTをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

D[3:0] WDRUN[3:0]: Watchdog Timer Run/Stop Control Bits

WDTのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

注: WDTをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずWDTのリセットも行ってください。

Watchdog Timer Status Register (WDT_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	-	reserved	-		-	-	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1	Reset	0	NMI	0	R/W
		D0	WDTST	NMI status	1	NMI occurred	0	Not occurred	0	R

D[7:2] Reserved

D1 WDTMD: NMI/Reset Mode Select Bit

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。
0に設定した場合はNMI信号を出力します。

D0 WDTST: NMI Status Bit

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R): NMI発生(カウンタオーバーフロー)

0(R): NMI未発生(デフォルト)

このビットはNMIの発生元がWDTであることを確認するために設けられています。1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

14 UART

14.1 UARTモジュールの概要

S1C17711は、非同期通信用にUARTモジュールを内蔵しています。2バイトの受信データバッファと1バイトの送信データバッファを備え、連続した送受信が可能です。また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- 転送レート: 150~460,800bps(IrDAモードでは150~115,200bps)
- 転送クロック: 内部クロック(ボーレートジェネレータ出力)または外部クロック(SCLK入力)を選択可能
- データ長: 7または8ビット(LSB先頭)
- パリティモード: 偶数、奇数、パリティなし
- ストップビット: 1または2ビット
- スタートビット: 1ビット固定
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ファインモード(微調整機能)付きボーレートジェネレータを内蔵
- 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、転送終了、受信エラー割り込みを発生可能

図14.1.1に、UARTの構成を示します。

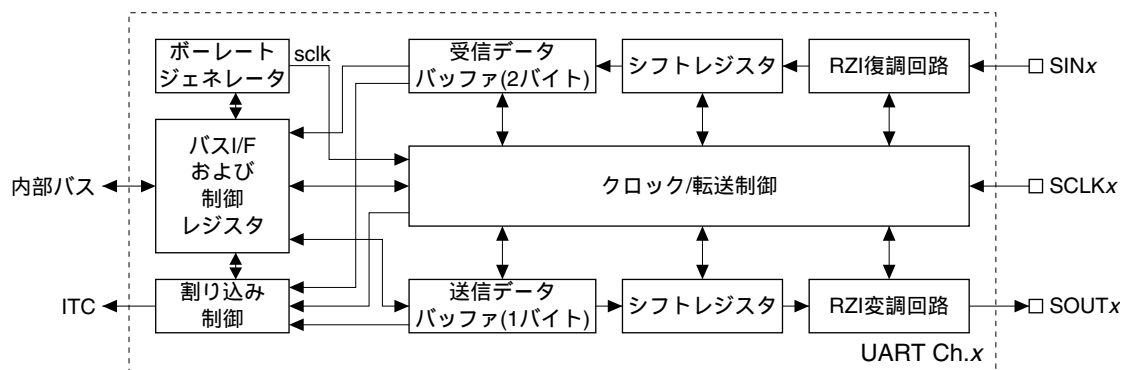


図14.1.1 UARTの構成

注: レジスタ名や端子名の‘x’はチャンネル番号(0)を表します。

例: UART_CTLxレジスタ

Ch.0: UART_CTL0レジスタ

14.2 UART入出力端子

表14.2.1にUARTモジュールの入出力端子の一覧を示します。

表14.2.1 UART端子一覧

端子名	I/O	本数	機能
SINO (Ch.0)	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0 (Ch.0)	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK0 (Ch.0)	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合、この端子から入力します。

UARTモジュールの入出力端子(SIN_x、SOUT_x、SCLK_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

14.3 ボーレートジェネレータ

UARTモジュールは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。ボーレートジェネレータはファインモード付き8ビットプログラマブルタイマで構成されます。タイマはソフトウェアで設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。このアンダーフロー信号から転送クロックが生成されます。アンダーフロー周期はクロックソースとカウンタ初期値の選択によりプログラム可能なため、アプリケーションプログラムは任意のシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

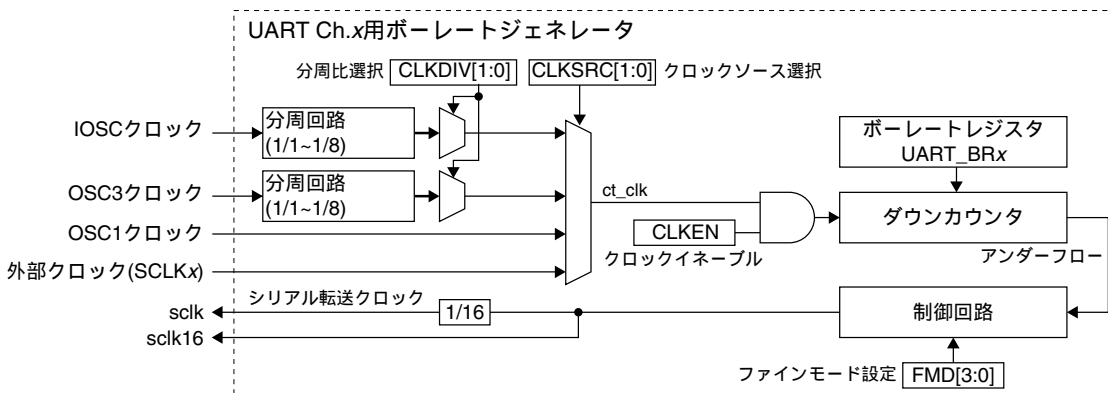


図14.3.1 ボーレートジェネレータ

クロックソースの設定

クロックソースは、CLKSRC[1:0]/UART_CLK_xレジスタを使用してIOSC、OSC3、OSC1、外部クロックから選択します。

表14.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

注: SCLK_x端子から外部クロックを入力する場合、クロックのデューティ比は50%である必要があります。

IOSCまたはOSC3をクロックソースとする場合は、CLKDIV[1:0]/UART_CLKxレジスタで分周比を選択します。

表14.3.2 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

カウンタへのクロック供給は、CLKEN/UART_CLKxレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択されたクロックがカウンタに送られます。

カウンタ初期値の設定

ダウンカウンタへの初期値の設定には、BR[7:0]/UART_BRxレジスタを使用します。設定したカウンタ初期値は、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。したがって、この初期値とカウントクロック周波数により、アンダーフロー間隔が決まります。

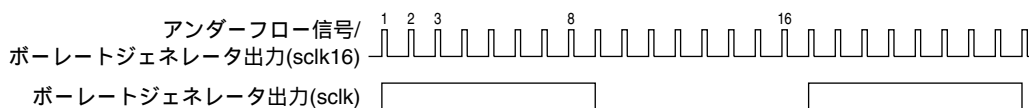


図14.3.2 カウンタのアンダーフローと生成されるクロック

希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct_clk}}{\{(\text{BR} + 1) \times 16 + \text{FMD}\}}$$

$$\text{BR} = \left(\frac{\text{ct_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

注: UARTの転送レートは最大460800bps(IrDAモードは115200bps)に制限されています。これ以上の転送レートは設定しないでください。

ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。クロックソースとカウンタ初期値の適切な選択により、ボーレートジェネレータ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はFMD[3:0]/UART_FMDxレジスタで指定できます。FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表14.3.3 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

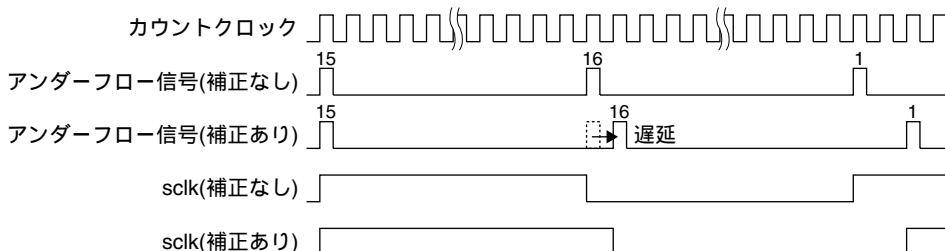


図14.3.3 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、FMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

注: ボーレートジェネレータの設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

14.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

データ長

データ長は、CHLN/UART_MODxレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

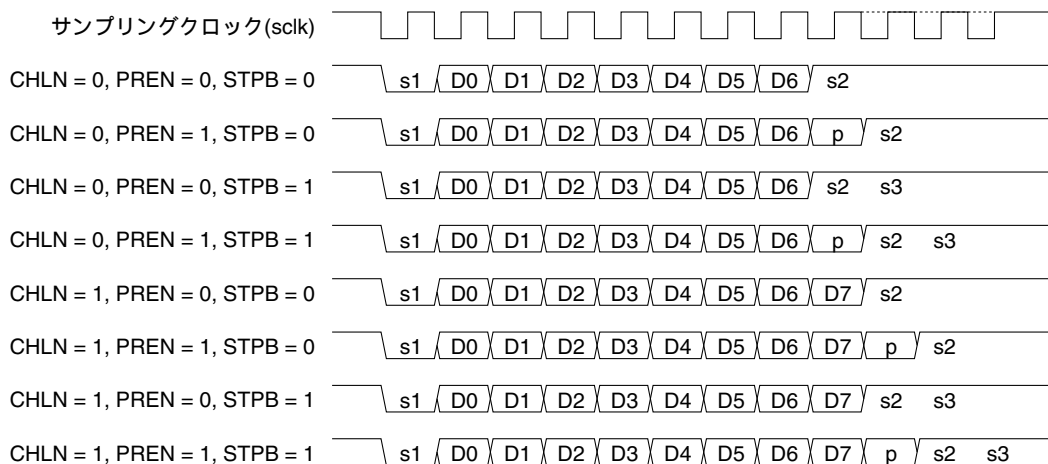
ストップビット

ストップビット長はSTPB/UART_MODxレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、PREN/UART_MOD_xレジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART_MOD_xレジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図14.4.1 転送データ形式

14.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。14.3節を参照してください。
- (2) 転送クロックを出力するようにボーレートジェネレータをプログラムします。14.3節を参照してください。
- (3) 転送データ形式を設定します。14.4節を参照してください。
- (4) IrDAインタフェースを使用する場合は、IrDAモードを設定します。14.8節を参照してください。
- (5) UART割り込みを使用する場合は、割り込み条件を設定します。14.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTL_xレジスタ = 0)に行ってください。

データ送受信を許可

最初にRXEN/UART_CTL_xレジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENを0に設定しないでください。

データ送信制御

送信を開始するには、TXD[7:0]/UART_TXD_xレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。

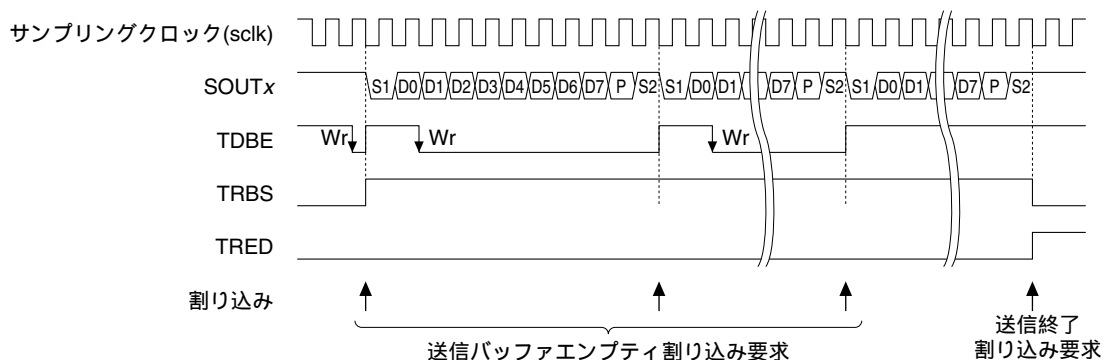
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT_x端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT_x端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART_STxレジスタ、TRBS/UART_STxレジスタ、TRED/UART_STxレジスタの3つのステータスフラグが用意されています。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(14.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

TREDフラグはTRBSフラグが1から0に戻った時点で1になり、転送動作が終了したことを示します。このフラグが1になった時点で割り込みを発生させることができますので、送信終了処理に利用可能です。TREDは1を書き込むことによりリセットされます。



S1: スタートビット, S2: ストップビット, P: パリティビット, Wr: 送信データバッファへのデータ書き込み

図14.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART_RXDxレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つのバッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

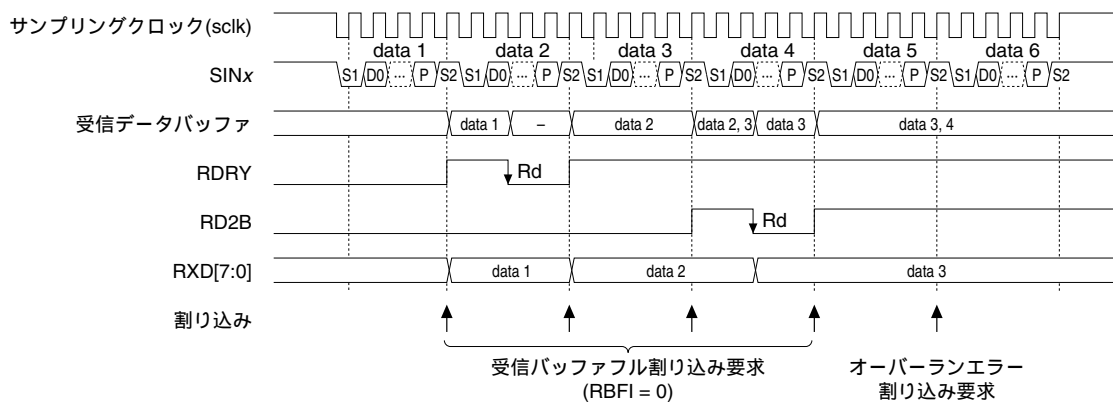
(3) RDRY = 1, RD2B = 1

2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。受信データバッファが読み出されないままその受信が終了した場合はオーバーランエラーが発生し、最後の受信データを読み出すことはできません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、14.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFU/UART_CTLxレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、14.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図14.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。

注: RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていてもクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

14.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。
受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、14.7節を参照してください。

パリティエラー

PREN/UART_MODxレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART_MODxレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER/UART_STxレジスタが1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグは1を書き込むことによって0にリセットされます。

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグは1を書き込むことによって0にリセットされます。

14.7 UART割り込み

UARTには、以下の4種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 転送終了割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTのチャンネルは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART_CTLxレジスタを1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBE/UART_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

注: UARTの送信バッファエンプティ割り込みを使用する場合、CLKSRC[1:0]/UART_CLKxレジスタでシステムクロックと同じクロックソースを選択してください。

転送終了割り込み

この割り込みを使用するには、TEIEN/UART_CTLxレジスタを1に設定します。TEIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

TRBSフラグが0にリセットされると、UARTはTRED/UART_STxを1にセットして送信動作が終了したことを示します。転送終了割り込みが許可されていれば(TEIEN = 1)、これと同時に割り込み要求がITCに出力されます。

UART割り込みが転送終了によるものかどうかについては、UART割り込み処理ルーチンでTREDフラグを読み出して確認してください。TREDが1であれば、送信処理を終了できます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART_CTLxレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF1/UART_CTLxレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF1/UART_CTLxレジスタが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN/UART_CTLxレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、OER/UART_STxレジスタを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

14.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3 × sclk16サイクルに変換された後にSOUTx端子から出力されます。

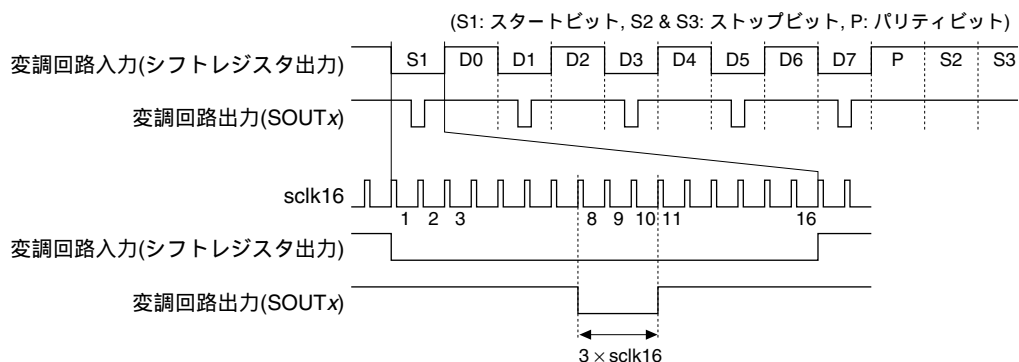


図14.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 × sclk16サイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41μs/115200bps時)を検出するため、復調回路は転送クロックとは別に、パルス検出クロックを使用します。

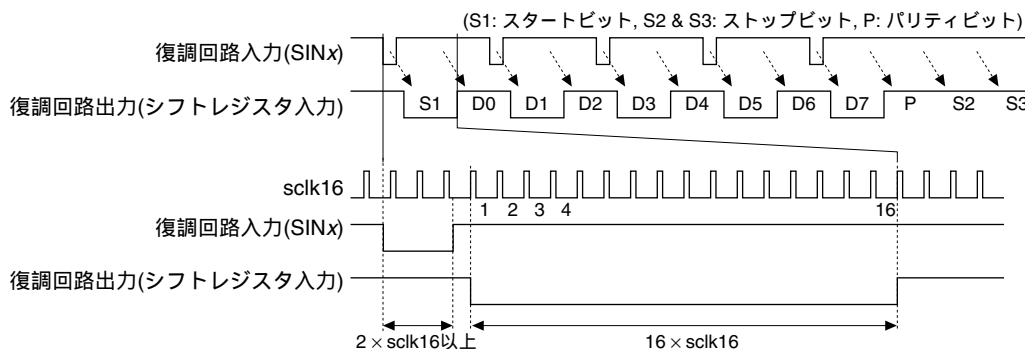


図14.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART_EXPxレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

14.9 制御レジスタ詳細

表14.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機能
0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
0x4106	UART_BR0	UART Ch.0 Baud Rate Register	ボーレートの設定
0x4107	UART_FMD0	UART Ch.0 Fine Mode Register	ファインモードの設定
0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの選択

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。
 - UART_MODxレジスタのビットすべて (STPB, PMD, PREN, CHLN)
 - UART_CTLxレジスタのRBF1ビット
 - UART_EXPxレジスタのビットすべて (IRMD)
 - UART_BRxレジスタのビットすべて (BR[7:0])
 - UART_FMDxレジスタのビットすべて (FMD[3:0])
 - UART_CLKxレジスタのビットすべて (CLKDIV[1:0], CLKSRC[1:0], CLKEN)

UART Ch.x Status Register (UART_STx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
UART Ch.x Status Register (UART_STx)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 TRED: End of Transmission Flag Bit

送信動作が終了したか否かを示します。

1(R): 送信終了

0(R): 送信中/送信前(デフォルト)

1(W): 0にリセット

0(W): 無効

TREDはTRBSフラグが0にリセットされた時点で(送信を終了すると)1にセットされます。

TREDは1を書き込むことによりリセットされます。

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART_MODxレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、データをシフトレジスタに受信した時点で受信データバッファが満杯の場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

UART Ch.x Transmit Data Register (UART_TXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Transmit Data Register (UART_TXDx)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。7ビットモードでは、TXD7(MSB)が無効となります。

SOUT_x端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

UART Ch.x Receive Data Register (UART_RXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Receive Data Register (UART_RXDx)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF/UART_CTLxレジスタで指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

UART Ch.x Mode Register (UART_MODx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.x Mode Register (UART_MODx)	0x4103 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	CHLN	Character length select	1 8 bits	0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W	
		D0	—	reserved	—	—	—	—	0 when being read.

D[7:5] Reserved

D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

- D1 STPB: Stop Bit Select Bit**
 ストップビット長を選択します。
 1(R/W): 2ビット
 0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

- D0 Reserved**

UART Ch.x Control Register (UART_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Ch.x Control Register (UART_CTLx)	0x4104 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W	
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3-2	-	reserved			-	-	-	-	0 when being read.
		D1	RBF1	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W	
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W	

- D7 TEIEN: End of Transmission Interrupt Enable Bit**

送信終了時のITCへの割り込み要求を許可します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

送信処理を割り込みによって終了する場合は、このビットを1に設定してください。

- D6 REIEN: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

- D5 RIEN: Receive Buffer Full Interrupt Enable Bit**

受信データバッファの受信データ数がRBF1の指定値になったことによるITCへの割り込み要求を許可します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

- D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit**

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

- D[3:2] Reserved**

- D1 RBF1: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

- 1(R/W): 2バイト
 0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBF1で指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF1ビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF1が1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

UART Ch.x Expansion Register (UART_EXPx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Expansion Register (UART_EXPx)	0x4105 (8 bits)	D7-1	-	reserved	-	-	-	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

D[7:1] Reserved**D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

UART Ch.x Baud Rate Register (UART_BRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Baud Rate Register (UART_BRx)	0x4106 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff	0x0	R/W	

D[7:0] BR[7:0]: Baud Rate Setting Bits

ボーレートジェネレータのカウンタ初期値を設定します。(デフォルト: 0x0)

ボーレートジェネレータのカウンタは、このレジスタに設定されたカウンタ初期値からカウンタがアンダーフローするまでのカウントを繰り返して転送(サンプリング)クロックを生成します。希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct_clk}}{\{(BR + 1) \times 16 + \text{FMD}\}}$$

$$\text{BR} = \left(\frac{\text{ct_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

UART Ch.x Fine Mode Register (UART_FMDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Fine Mode Register (UART_FMDx)	0x4107 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.

D[7:4] Reserved**D[3:0] FMD[3:0]: Fine Mode Setup Bits**

転送レートの誤差を補正します。(デフォルト: 0x0)

FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表14.9.2 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

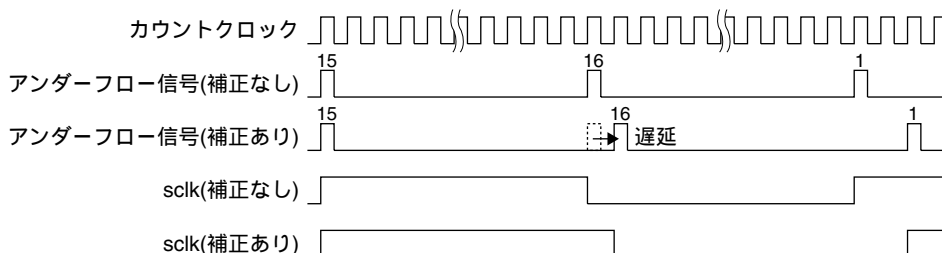


図14.9.1 ファインモードでの遅延サイクルの挿入

UART Ch.x Clock Control Register (UART_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.x Clock Control Register (UART_CLKx)	0x506c (8 bits)	D7-6	-	reserved	-	-	-	0 when being read.	
		D5-4	CLKDIV [1:0]	Clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W			
					0x3	External clock			
					0x2	OSC3			
					0x1	OSC1			
					0x0	IOSC			
		D1	-	reserved	-	-	-	0 when being read.	
		D0	CLKEN	Count clock enable	1 Enable 0 Disable	0	R/W		

D[7:6] Reserved

D[5:4] CLKDIV[1:0]: Clock Division Ratio Select Bits

IOSCまたはOSC3をポーレートジェネレータのクロックソースとする場合に、カウントクロックを生成する分周比を選択します。

表14.9.3 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] CLKSRC[1:0]: Clock Source Select Bits

ボーレートジェネレータのカウンタクロックソースを選択します。

表14.9.4 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x0)

D1 Reserved

D0 CLKEN: Count Clock Enable Bit

ボーレートジェネレータのカウンタへのカウンタクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。

15 SPI

15.1 SPIモジュールの概要

S1C17711は、同期式シリアルインタフェースモジュール(SPI)を内蔵しています。SPIモジュールの主な機能と特長を以下に示します。

- チャンネル数: 1チャンネル
- マスタモード、スレーブモードに対応
- データ長: 8ビット固定
- MSB先頭、LSB先頭を選択可能
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 全二重通信に対応
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンpty割り込みを発生可能(送信バッファエンpty割り込みはマスタモード時のみ使用可能)

図15.1.1にSPIモジュールの構成を示します。

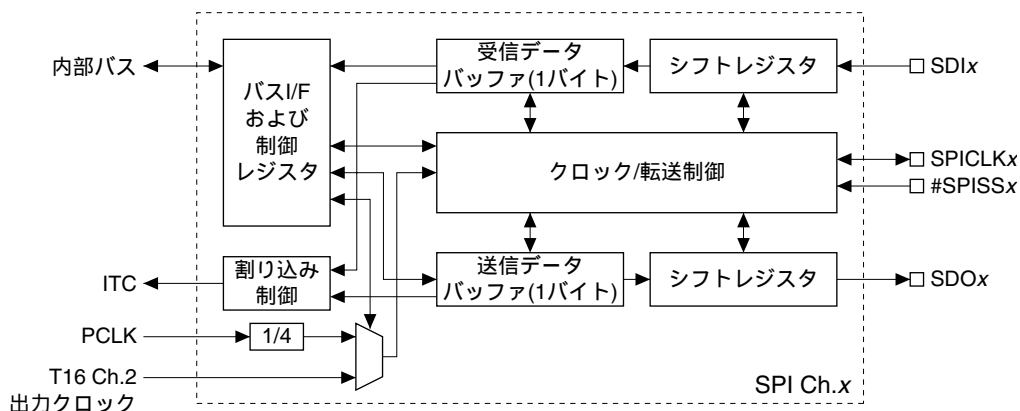


図15.1.1 SPIモジュールの構成

注: レジスタ名と端子名の'x'はチャンネル番号(0)を表します。

例: SPI_CTLxレジスタ

Ch.0: SPI_CTL0レジスタ

15.2 SPI入出力端子

表15.2.1にSPI端子の一覧を示します。

表15.2.1 SPI端子一覧

端子名	I/O	本数	機能
SDI0 (Ch.0)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO0 (Ch.0)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK0 (Ch.0)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS0 (Ch.0)	I	1	SPIスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

SPIの入出力端子(SDL_x、SDO_x、SPICLK_x、#SPISS_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

15.3 SPIクロック

マスタモードのSPIは、16ビットタイマ(T16)Ch.2が出力するクロックまたはPCLK/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK_x端子からスレーブデバイスへ出力されます。T16 Ch.2出力クロックとPCLK/4クロックのどちらを使用するかについてはMCLK/SPI_CTL_xレジスタで選択します。MCLKを1に設定するとT16 Ch.2出力クロック、0に設定するとPCLK/4クロックが選択されます。

T16 Ch.2を使用すると、転送レートをプログラマブルに設定できます。T16の制御については、“16ビットタイマ(T16)”の章を参照してください。

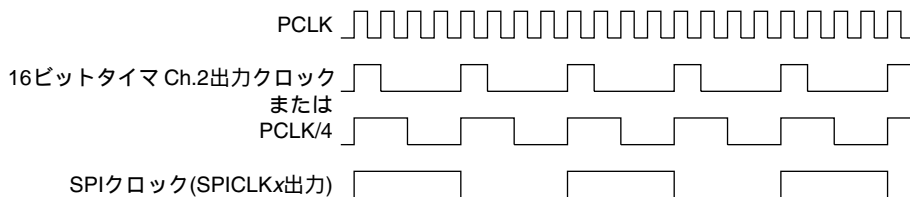


図15.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLK_x端子からSPIクロックを入力します。

15.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI_CTL_xレジスタで設定可能です。

データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI_CTL_xレジスタ = 0)に行ってください。

マスタ/スレーブモードの選択

MSSL/SPI_CTL_xレジスタを使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL/SPI_CTL_xレジスタで選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はCPHA/SPI_CTL_xレジスタで選択します。

これらの制御ビットにより、転送タイミングは図15.4.1のように設定されます。

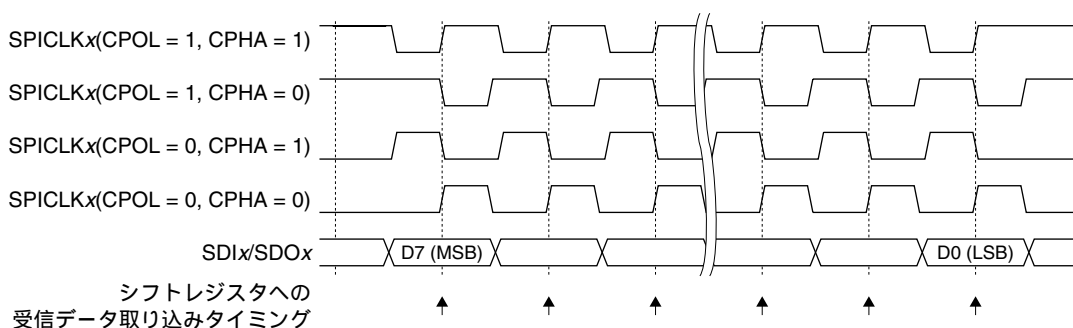


図15.4.1 クロックとデータ転送タイミング

MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSB/SPI_CTLxレジスタで選択します。MLSBが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

15.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックソースを設定します。15.3節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。15.4節を参照してください。
- (3) クロック条件を設定します。15.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。15.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中(SPEN/SPI_CTLxレジスタ = 0)に行ってください。

データ送受信を許可

最初にSPEN/SPI_CTLxレジスタを1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPTDB[7:0]/SPI_TXDxレジスタに送信データを書き込みます。データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLKx端子からクロックの出力を開始します。スレーブモードではSPICLKx端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA/SPI_CTLxレジスタとCPOL/SPI_CTLxレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図15.4.1参照)、SDOx端子から送信されます。

SPIモジュールには送信の制御用にSPTBE/SPI_STxレジスタとSPBSY/SPI_STxレジスタの2つのステータスフラグが用意されています。

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXDxレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(15.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。

スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS_x端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

注: SPIをマスターモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになります。

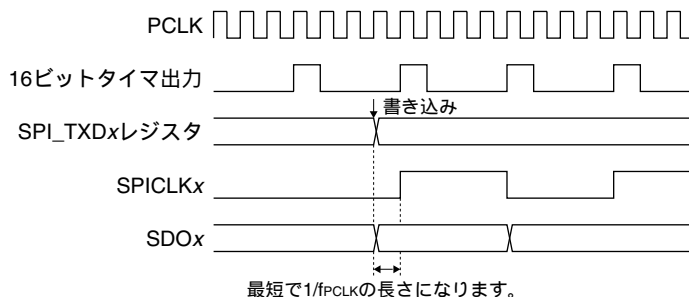


図15.5.1 CPHA = 0時のSDO_xおよびSPICLK_xの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLK_x半周期の長さが確保されます。

データ受信制御

マスターモードの場合、ダミーデータをSPTDB[7:0]/SPI_TXD_xレジスタに書き込みます。SPI_TXD_xレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLK_xからSPIクロック出力を開始します。

スレーブモードの場合は、SPICLK_xからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD_xレジスタへの書き込み操作は必要ありません。受信動作はマスターデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD_xレジスタに書き込んでおきます。

データは、CPHA/SPI_CTL_xレジスタとCPOL/SPI_CTL_xレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図15.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPRDB[7:0]/SPI_RXD_xレジスタから読み出すことができます。

SPIモジュールには受信の制御用にSPRBF/SPI_ST_xレジスタが用意されています。

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD_xレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(15.6節参照)。

この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスターモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

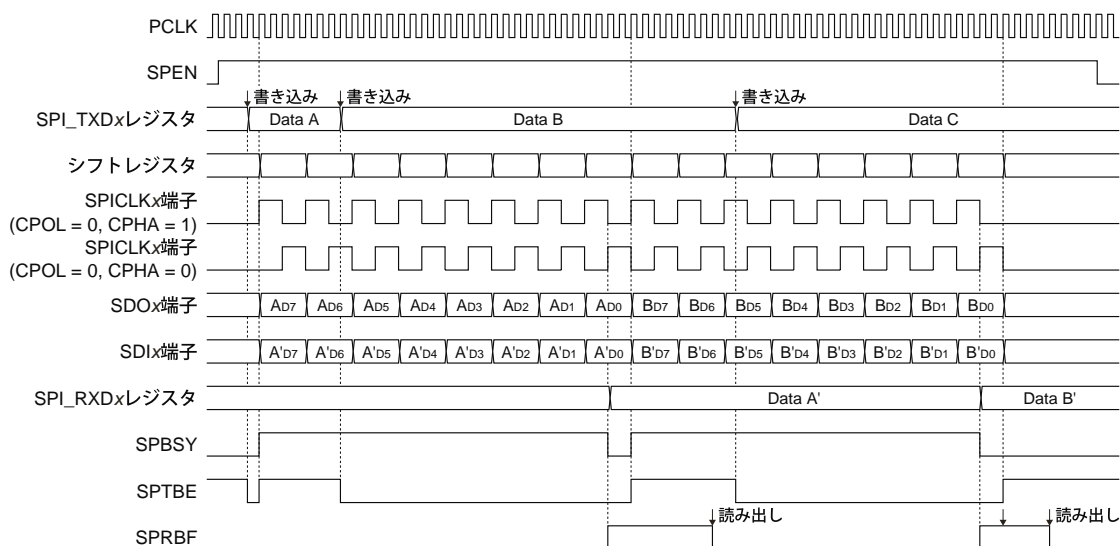


図15.5.2 データ送受信タイミングチャート (MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

15.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

スレーブモードでは送信バッファエンプティ割り込みを使用することができません。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE/SPI_CTLxレジスタを1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBF/SPI_STxレジスタを1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。

受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

15.7 制御レジスタ詳細

表15.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機能
0x4320	SPI_ST0	SPI Ch.0 Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register	送信データ
0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register	受信データ
0x4326	SPI_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SPI Ch.x Status Register (SPI_STx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Status Register (SPI_STx)	0x4320 (16 bits)	D15-3	-	reserved	-	-	-	0 when being read.
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle	0 Idle 0 ss = L 0 ss = H	0	R
		D1	SPRBF	Receive data buffer full flag	1 Full	0 Not full	0	R
		D0	SPTBE	Transmit data buffer empty flag	1 Empty	0 Not empty	1	R

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISSx)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態)(デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISSx信号をアクティブにすると1にセットされます。マスタデバイスが#SPISSx信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXDxレジスタから読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI_TXD_xレジスタ(送信データバッファ)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI_TXD_xレジスタへの送信データの書き込みは、このビットが1の場合に行います。

SPI Ch.x Transmit Data Register (SPI_TXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Transmit Data Register (SPI_TXD _x)	0x4322 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits**

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE/SPI_ST_xレジスタが1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO_x端子からはシリアル変換されたデータが、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXD_xレジスタへの書き込みはSPENを1に設定した後に行ってください。

SPI Ch.x Receive Data Register (SPI_RXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Receive Data Register (SPI_RXD _x)	0x4324 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved**D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF/SPI_ST_xレジスタが1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。SDI_x端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

SPI Ch.x Control Register (SPI_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
SPI Ch.x Control Register (SPI_CTLx)	0x4326 (16 bits)	D15-10	-	reserved	-		-	-	0 when being read.	
		D9	MCLK	SPI clock source select	1	T16 Ch.2	0	PCLK/4	0	R/W
		D8	MLSB	LSB/MSB first mode select	1	LSB	0	MSB	0	R/W
		D7-6	-	reserved	-		-	-	-	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W
		D0	SPEN	SPI enable	1	Enable	0	Disable	0	R/W

注: SPBSYフラグ/SPI_STxレジスタが1の間、およびSPRBFフラグ/SPI_STxレジスタが1の間(データの送受信中)は、SPI_CTLxレジスタにアクセスしないでください。

D[15:10] Reserved

D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 16ビットタイマCh.2

0(R/W): PCLK/4(デフォルト)

D8 **MLSB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

D[7:6] Reserved

D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了すること)により発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始すること)により発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

D3 **CPHA: Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト: 0)

CPOLと共に、データ転送タイミングを設定します(図15.7.1参照)。

D2 **CPOL: Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHAと共に、データ転送タイミングを設定します(図15.7.1参照)。

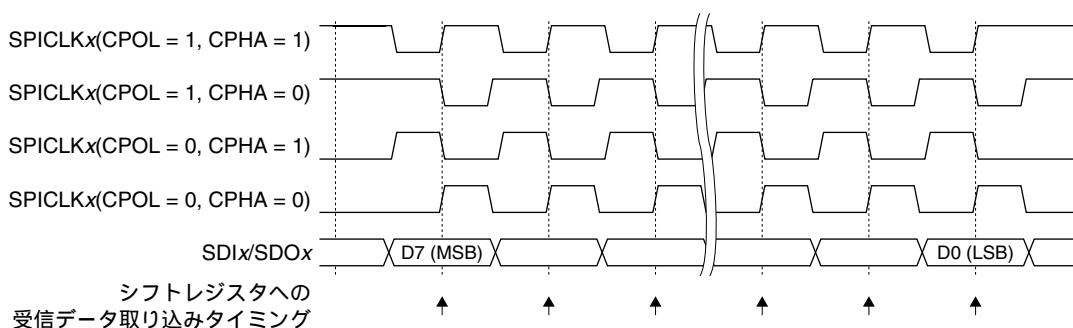


図15.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

16 I²Cマスタ (I2CM)

16.1 I2CMモジュールの概要

S1C17711は、2線式シリアル通信を実現するI²Cマスタ(I2CM)モジュールを内蔵しています。I2CMモジュールはI²Cバスのマスタデバイスとして動作し、I²Cに準拠したスレーブデバイスと通信を行うことができます。I2CMモジュールの主な機能と特長を以下に示します。

- I²Cバスマスタデバイスとして動作(シングルマスタとしてのみ使用可能)
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、リピーテッドスタート、ストップコンディションを生成可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンpty割り込みを発生可能

図16.1.1にI2CMモジュールの構成を示します。

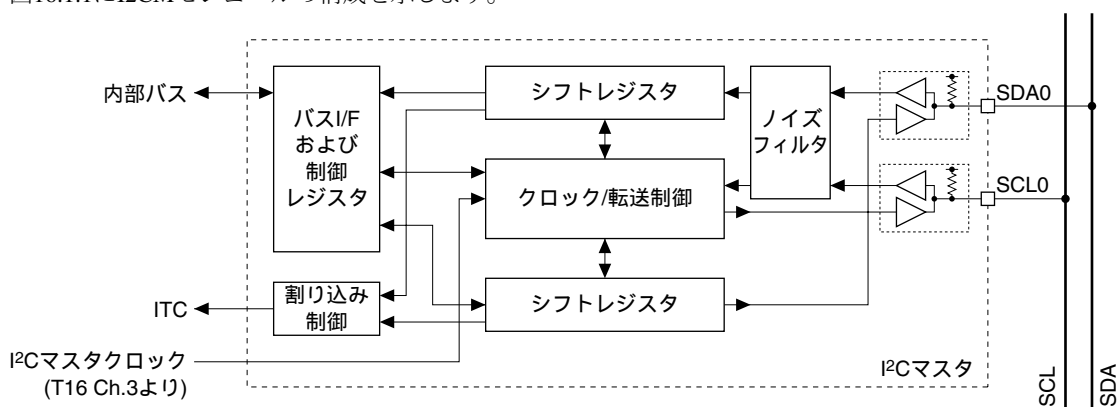


図16.1.1 I2CMモジュールの構成

16.2 I2CM入出力端子

表16.2.1にI2CM端子の一覧を示します。

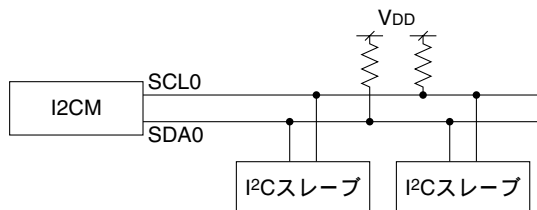
表16.2.1 I2CM端子一覧

端子名	I/O	本数	機能
SDA0	I/O	1	I2CMデータ入出力端子(注) I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL0	I/O	1	I2CMクロック入出力端子(注) SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I2CMの入出力端子(SDA0、SCL0)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CMの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。
Highレベルは出力しませんので、SCL0とSDA0ラインは外部でV_{DD}レベルにプルアップしてください。なお、V_{DD}を超える電圧値にはプルアップしないでください。

図16.2.1 I²Cの接続例

16.3 同期クロック

I2CMモジュールは、16ビットタイマ(T16)Ch.3が出力する内部クロック(I2CMクロック)を同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCL0端子からスレーブデバイスへ出力されます。

T16 Ch.3から転送レートに合ったクロックが出力されるようにプログラムしてください。T16の制御については、“16ビットタイマ(T16)”の章を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、標準モード時の転送速度は最大50kbps、ファストモード時は最大200kbpsに制限されますので注意してください。

I2CMモジュールはスレーブデバイスとしては機能しません。SCL0入力端子はI²CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

16.4 データ転送前の設定項目

I2CMモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I2CMモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM/I2CM_CTLレジスタを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T16 Ch.3出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

16.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CMクロックが出力されるようにT16 Ch.3を設定します。“16ビットタイマ(T16)”の章を参照してください。
- (2) オプション機能を選択します。16.4節を参照してください。
- (3) I2CM割り込みを使用する場合は、割り込み条件を設定します。16.6節を参照してください。

注: 上記の設定は、必ずI2CMモジュールが停止中(I2CMEN/I2CM_ENレジスタ = 0)に行ってください。

データ送受信を許可

最初にI2CMEN/I2CM_ENレジスタを1に設定してI2CMの動作を許可します。これにより、I2CMが送受信可能な状態となり、クロックの出力も許可されます。

注: I2CMモジュールが送受信中はI2CMENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。

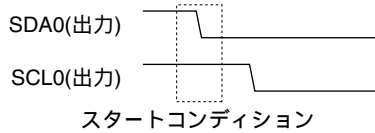


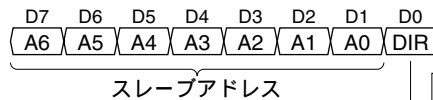
図16.5.1 スタートコンディション

スタートコンディションは、`STRT/I2CM_CTL`レジスタを1に設定することで生成されます。スタートコンディションが生成されると、`STRT`は自動的に0にリセットされます。これ以降、I²Cバスはビジー状態になります。

(2) スレーブアドレスの送信

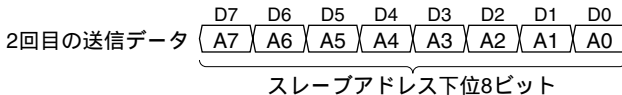
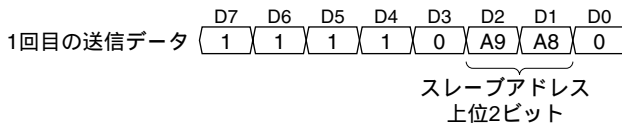
スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。アドレスデータの構成を図16.5.2に示します。

7ビットアドレスの場合



転送方向
0: マスタ → スレーブ(データ送信)
1: スレーブ → マスタ(データ受信)

10ビットアドレスの場合



(データ受信時) 2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信

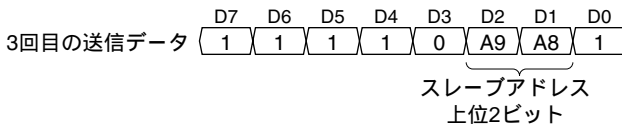


図16.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。

スレーブアドレスを送信するには、アドレスと転送方向ビットを`RTDT[7:0]/I2CM_DAT`レジスタに設定します。同時に、アドレスの送信を実行する`TXE/I2CM_DAT`レジスタを1に設定します。

スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データを`RTDT[7:0]`に設定します。同時に、1バイトの送信を実行する`TXE`を1に設定します。`TXE`ビットが1に設定されると、I²Cモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。

まず、I2CMモジュールは書き込まれたデータをシフトレジスタに転送し、SCL0端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDA0端子から出力されます。I2CMモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDAラインをハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I2CMモジュールはこれをNAK(1)と見なします(送信失敗)。

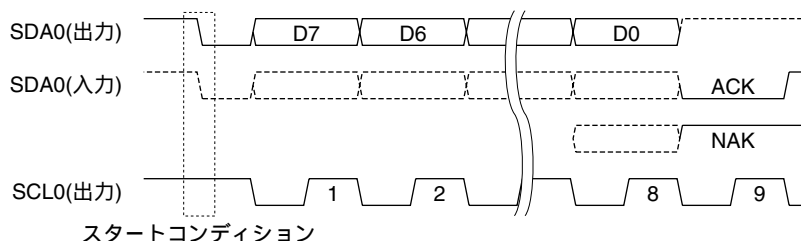


図16.5.3 ACKとNAK

I2CMモジュールには送信の制御用にTBUSY/I2CM_CTLレジスタとRTACK/I2CM_DATレジスタの2つのステータスビットが用意されています。

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I2CMモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE/I2CM_DATレジスタを1に設定します。スレーブアドレス送信時にTXE/I2CM_DATレジスタを1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

RXEビットが1に設定され、受信が開始できる状態になると、I2CMモジュールはSDAラインをハイインピーダンスにして、SCL0端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I2CMモジュールには受信の制御用にRBRDY/I2CM_DATレジスタとRBUSY/I2CM_CTLレジスタの2つのステータスビットが用意されています。

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I2CMモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

I2CMモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK/I2CM_DATレジスタに設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

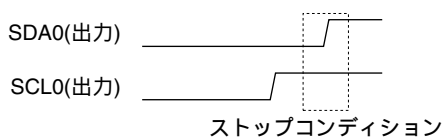


図16.5.4 ストップコンディション

ストップコンディションは、STP/I2CM_CTLレジスタを1に設定して生成します。STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。

STPへの1の書き込みは、T_{BUSY} = 1またはR_{BUSY} = 1からT_{BUSY} = R_{BUSY} = 0への遷移(I2CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定しているI²Cクロック周期の1/4より長い時間が経過した後に行ってください。また、クロックストレッチ機能を持つスレーブデバイスに対してストップコンディションを生成する場合は、データの送受信(ACK/NAK送受信も含む)が終了し、さらにスレーブデバイスがクロックストレッチを終了するまでの時間が経過した後に、STPへ1を書き込んでください。ストップコンディションが生成されると、STPは自動的に0にリセットされます。

データ送受信の継続(リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I²Cマスタ(本モジュール)でリピーテッドスタートコンディションを生成することが可能です。

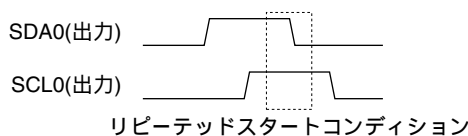


図16.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I²Cバスがビジー状態のときにSTRT/I2CM_CTLレジスタを1に設定することで生成されます。リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

データ送受信を禁止

ストップコンディションを生成した後は、I2CMENに0を書き込んでデータ送受信を禁止します。ストップコンディションの生成が完了したことは、STPを1に設定した後に、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I²Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0とSDA0の出力レベル、および転送中のデータは保証されません。

タイミングチャート

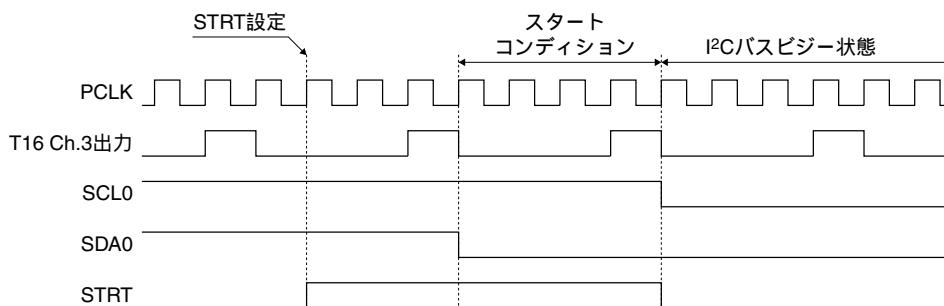


図16.5.6 スタートコンディション生成

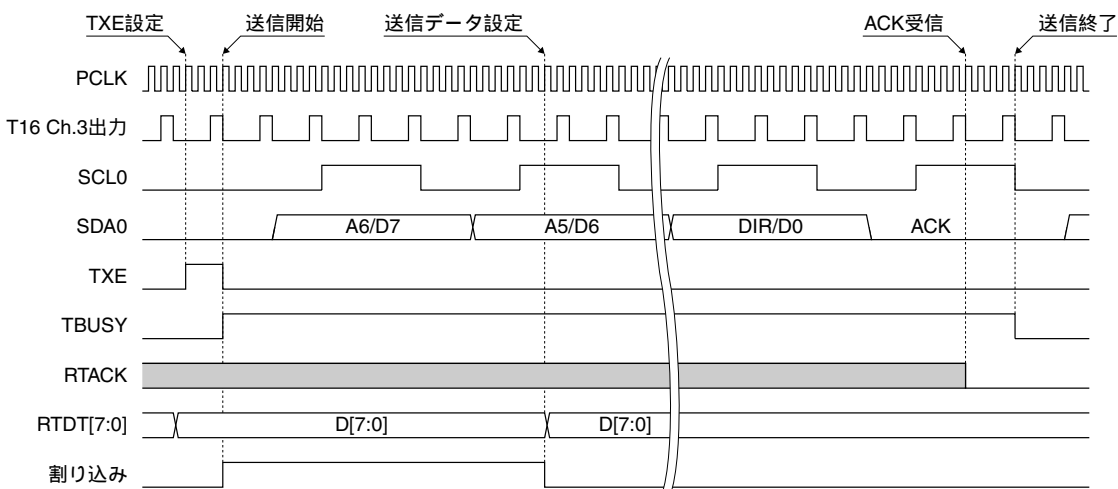


図16.5.7 スレーブアドレス送信 / データ送信

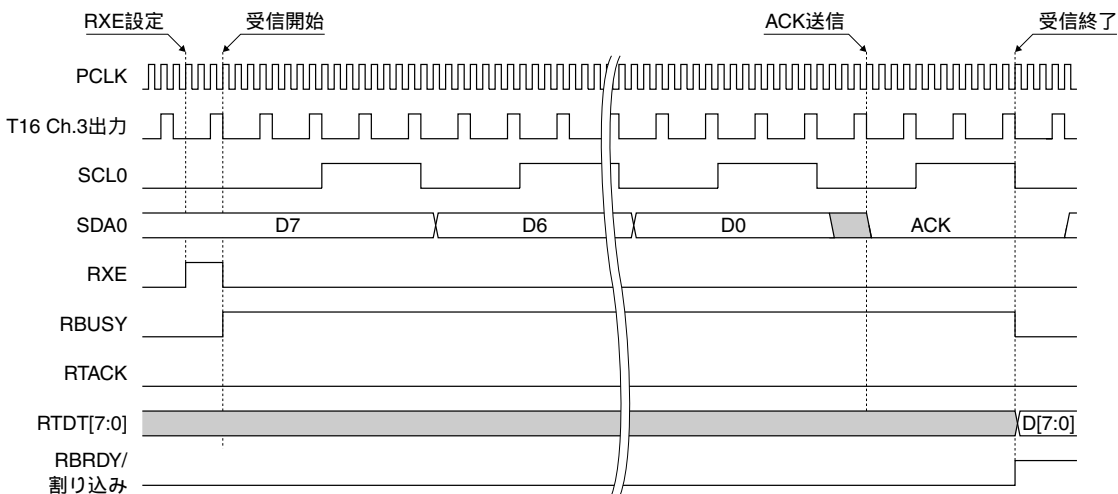


図16.5.8 データ受信

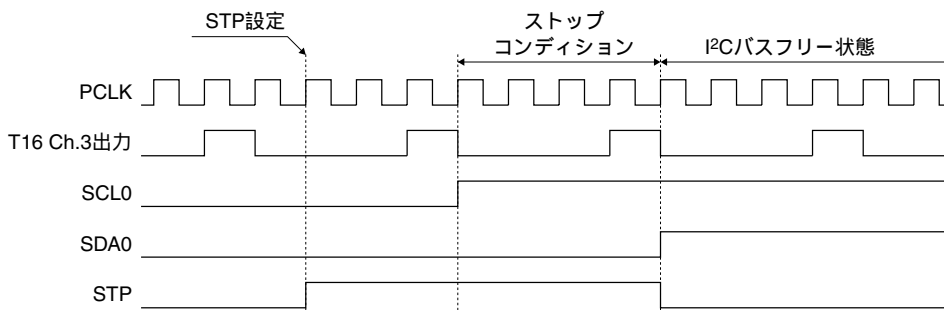


図16.5.9 ストップコンディション生成

16.6 I2CM割り込み

I2CMモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファEMPTY割り込み
- 受信バッファFULL割り込み

I2CMモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE/I2CM_ICTLレジスタを1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0]/I2CM_DATレジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。送信バッファエンプティ割り込みは、データ送信時のみ発生します。

送信バッファエンプティ割り込み要因のクリア方法

送信バッファエンプティ割り込み要因はRTDT[7:0]/I2CM_DATレジスタにデータを書き込むことによりクリアされます。このとき同時にTXE/I2CM_DATレジスタを0に設定すると、データは送信されず、割り込み要因のクリアのみが行われます。

受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM_ICTLレジスタを1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

受信バッファフル割り込みは、データ受信時のみ発生します。

受信バッファフル割り込み要因のクリア方法

受信バッファフル割り込み要因はRTDT[7:0]/I2CM_DATレジスタからデータを読み出すことによりクリアされます。

注: I2CMの割り込み発生時は、そのときに実行していたI²Cマスタの送受信処理から送信バッファエンプティ割り込みと受信バッファフル割り込みのどちらが発生したかを判断してください。これを確認できるレジスタはありません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

16.7 制御レジスタ詳細

表16.7.1 I2CMレジスタ一覧

アドレス	レジスタ名		機能
0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
0x4344	I2CM_DAT	I ² C Master Data Register	送受信データ
0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御

以下、I2CMモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²C Master Enable Register (I2CM_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CMEN: I²C Master Enable Bit

I2CMモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CMENを1に設定するとI2CMモジュールが動作を開始し、データ転送が行える状態になります。I2CMENを0に設定すると、I2CMモジュールは動作を停止します。

I²C Master Control Register (I2CM_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15-10	-	reserved		-	-	-	0 when being read.	
		D9	RBUSY	Receive busy flag	1	Busy	0	Idle	0	R
		D8	TBUSY	Transmit busy flag	1	Busy	0	Idle	0	R
		D7-5	-	reserved		-	-	-	-	0 when being read.
		D4	NSERM	Noise remove on/off	1	On	0	Off	0	R/W
		D3-2	-	reserved		-	-	-	-	0 when being read.
		D1	STP	Stop control	1	Stop	0	Ignored	0	R/W
		D0	STRT	Start control	1	Start	0	Ignored	0	R/W

D[15:10] Reserved

D9 **RBUSY: Receive Busy Flag Bit**

I2CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI2CMがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

D8 **TBUSY: Transmit Busy Flag Bit**

I2CMの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI2CMがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

D[7:5] Reserved

D4 **NSERM: Noise Remove On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CMモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T16 Ch.3出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 **STP: Stop Control Bit**

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。ストップコンディションは、データ転送(ACKの転送も含む)終了時にSTPが1、TXE/I2CM_DATレジスタ、RXE/I2CM_DATレジスタ、およびSTRTが0に設定されている場合にのみ生成されます。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 **STRT: Start Control Bit**

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。

I²Cバスがビジー状態のときにSTRTを1に設定することにより、リピーテッドスタートコンディションを生成することもできます。

スタートコンディションまたはリピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降I²Cバスは、ビジー状態になります。

I²C Master Data Register (I2CM_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15-12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7-0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved

D11 **RBRDY: Receive Buffer Ready Flag Bit**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできます。

D10 **RXE: Receive Execution Bit**

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXEを0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中でも、次の受信のためにRXEを1に設定しておくことができます。RXEはD7がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 **TXE: Transmit Execution Bit**

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0]に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中でも、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 **RTACK: Receive/Transmit ACK Bit**

データ送信時

応答ビットの状態を示します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I²CMモジュールが応答ビットを送る前にRTACKを0に設定してください。NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits**データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXEを1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDA0端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXEを1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグがセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

SDA0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

I²C Master Interrupt Control Register (I2CM_ICTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15-2	-	reserved	-		-	-	0 when being read.	
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

D[15:2] Reserved**D1 RINTE: Receive Interrupt Enable Bit**

I2CMの受信バッファフル割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0]/I2CM_DATレジスタに転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I2CM受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I2CMの送信バッファエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0]/I2CM_DATレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I2CM送信バッファエンプティ割り込みは発生しません。

17 I²Cスレーブ (I2CS)

17.1 I2CSモジュールの概要

S1C17711は、2線式シリアル通信を実現するI²Cスレーブ (I2CS) モジュールを内蔵しています。I2CSモジュールはI²Cバスのスレーブデバイスとして動作し、I²Cに準拠したマスタデバイスと通信を行うことができます。I2CSモジュールの主な機能と特長を以下に示します。

- I²Cバススレーブデバイスとして動作
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、ストップコンディションを検出可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- 強制バス解放機能
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ、バスステータス割り込みを発生可能

図17.1.1にI2CSモジュールの構成を示します。

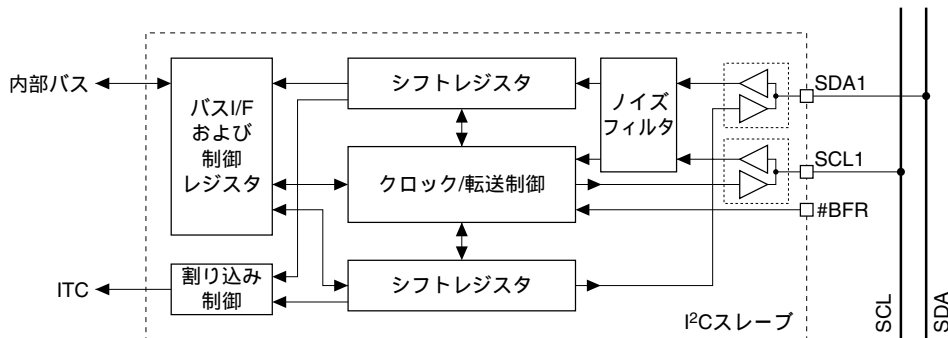


図17.1.1 I2CSモジュールの構成

注: 本I2CSモジュールはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

17.2 I2CS入出力端子

表17.2.1にI2CSモジュール端子の一覧を示します。

表17.2.1 I2CS端子一覧

端子名	I/O	本数	機能
SDA1	I/O	1	I2CSデータ入出力端子(注) I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL1	I/O	1	I2CSクロック入出力端子(注) SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#BFR	I	1	I ² Cバス解放要求入力端子 Lowパルスの入力により、I ² Cバスの解放を要求します。ソフトウェアによって要求入力に許可されれば、I2CSの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。

I2CSモジュールの入出力端子(SDA1、SCL1、#BFR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CSモジュールの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子機能の切り換えについては、“入出力ポート(P)”の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。Highレベルは出力しませんので、SCL1とSDA1ラインは外部でV_{DD}レベルにプルアップしてください。なお、V_{DD}を超える電圧値にはプルアップしないでください。

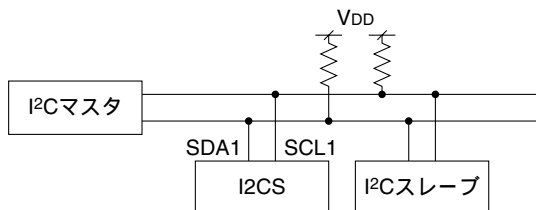


図17.2.1 I²Cの接続例

17.3 動作クロック

I2CSモジュールは、外部I²Cマスタが出力するクロックをSCL1端子から入力して動作します。I2CSモジュールの動作には周辺モジュールクロック(PCLK)も使用されます。データ転送時はPCLKをSCL1入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“17.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

17.4 I2CSの初期設定

17.4.1 リセット

通信プロセスの初期化やI²Cバスを解放状態(ハイインピーダンス)にするため、I2CSモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

(1) ソフトウェアリセット

SOFTRESET/I2CS_CTLレジスタの操作により、I2CSモジュールをリセットできます。リセットするには、SOFTRESETに1を書き込んでI2CSモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディションに待機するため、I²Cの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

(2) #BFR端子入力によるバス解放要求

I2CSモジュールは、#BFR端子入力によるバス解放要求を受け付け可能です。本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ_EN/I2CS_CTLレジスタを1に設定してください。機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I²Cの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

17.4.2 スレーブアドレスの設定

I²Cスレーブデバイスは、各デバイスを識別するために固有のスレーブアドレスを持ちます。本I2CSモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをSADRS[6:0]/I2CS_SADRSレジスタに設定しておきます。

17.4.3 オプション機能

I2CSモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR_EN/I2CS_CTLレジスタを1に設定してください。なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]/I2CS_TRNSレジスタのMSBをSDA1端子に出力してからSCL1端子のプルダウンを解除するまで)は、I2CSモジュールの動作クロック(PCLK)周波数によって変わります。

非同期アドレス検出機能

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET_EN/I2CS_CTLレジスタを1に設定してください。

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I2CSモジュールに設定されているスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にPCマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のリデータ転送を再開できます。ストップコンディションによりI²Cバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

ノイズ除去機能

I2CSモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF_EN/I2CS_CTLレジスタを1に設定することにより有効となります。

17.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CSモジュールの初期設定を行います。17.4節を参照してください。
- (2) I2CS割り込みを使用する場合は、割り込み条件を設定します。17.6節を参照してください。

注: 上記の設定は、必ずI2CSモジュールが停止中(I2CSEN/I2CS_CTLレジスタ = 0)に行ってください。

データ送受信を許可

最初にI2CSEN/I2CS_CTLレジスタを1に設定してI2CSモジュールの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I2CSモジュールが送受信中はI2CSENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、COM_MODE/I2CS_CTLレジスタを1に設定して通信を許可します。スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I2CSモジュールはマスタにACK(SDA1 = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

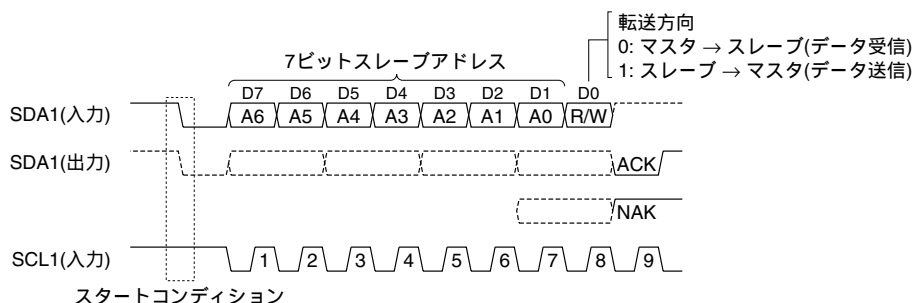


図17.5.1 スレーブアドレスと転送方向ビットの受信

スタートコンディションを検出すると、BUSY/I2CS_ASTATレジスタが1にセットされ、I²Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED/I2CS_ASTATレジスタが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションからピーテッドスタートコンディションを検出するまで1を保持します。

また、転送方向ビットの値がR/W/I2CS_ASTATレジスタにセットされますので、送信/受信処理の切り換えに利用してください。

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET/I2CS_STATレジスタが1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I2CSモジュールはデータ送信動作を開始します。TXEMP/I2CS_ASTATレジスタが1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0]/I2CS_TRNSレジスタに書き込みます。

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cクロック(SCL1入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータをI2CS_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF/I2CS_STATレジスタが1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI2CS_TRNSレジスタに書き込まれるまでI2CSモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるSCL1入力クロックに同期してSDA1端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

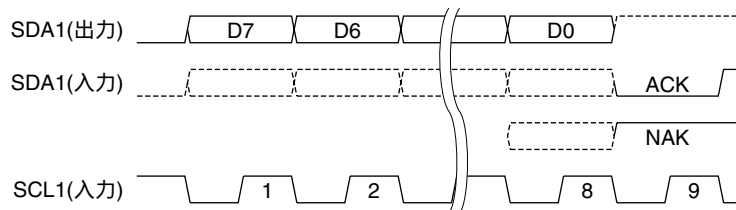


図17.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA_NAK/I2CS_STATレジスタを読み出すことで確認できます。ACKが返るとDA_NAKは0に、NAKが返ると1に設定されます。DA_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA_NAKは1の書き込みでクリアされます。

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS/I2CS_STATレジスタにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのPCデバイスがSDAラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I²CスレーブがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33 μ s以上の待ち時間を取る必要があります(本I²Cスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I²Cスレーブが通信待機状態にある。

データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I2CSモジュールはデータ受信動作を開始します。受信データは、マスタから送られるSCL1入力クロックに同期してSDA1端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0]/I2CS_RECVレジスタにロードされます。

受信データがRDATA[7:0]にロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータをI2CS_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS_RECVレジスタから読み出されるまでI2CSモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF/I2CS_STATレジスタが1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI2CSモジュールがマスタにACK(SDA1 = Low)を返します(デフォルト設定)。これをNAK_ANS/I2CS_CTLレジスタの設定により、NAK(SDA1 = Hi-Z)を返すように変更可能です。NAK_ANSが0の場合はACKが、1に設定するとNAKが返ります。NAK_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内に行ってください。

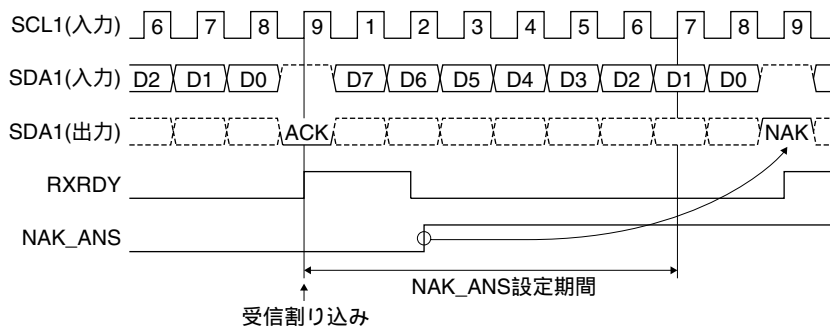


図17.5.3 NAK_ANSの設定とNAK応答タイミング

データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

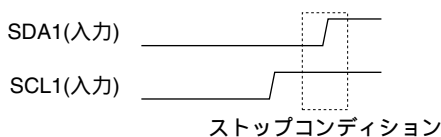


図17.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態 (SELECTED = 1) でストップコンディションを検出すると、I2CSモジュールはDA_STOP/I2CS_STATレジスタを1にセットします。同時にSDA1およびSCL1端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I²Cの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

DA_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA_STOPは1の書き込みでクリアされます。

データ送受信を禁止

データ転送を終了後は、COM_MODE/I2CS_CTLレジスタに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。I2CSモジュールの動作を停止する場合は、I2CSEN/I2CS_CTLレジスタを0に設定します。

タイミングチャート

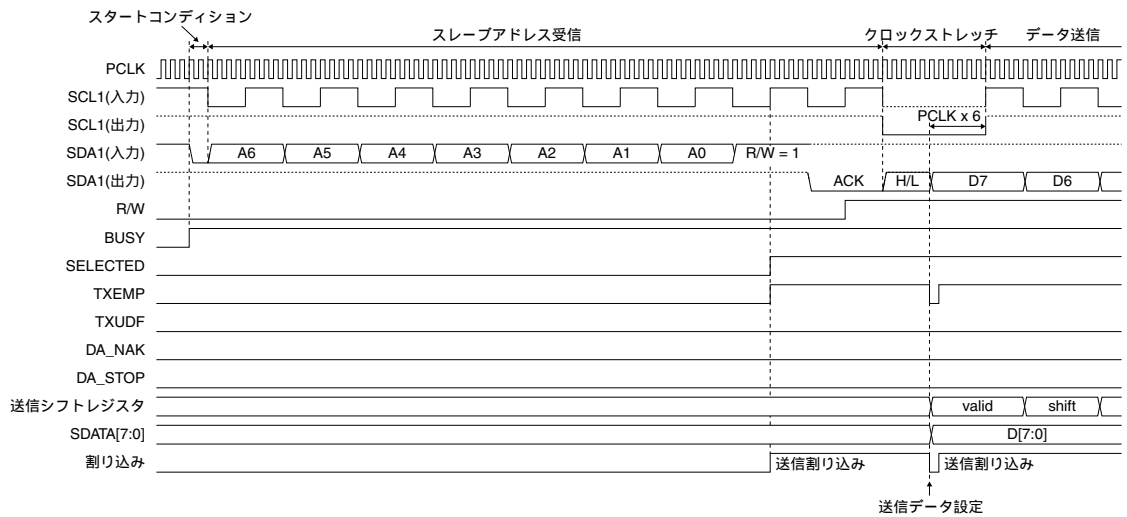


図17.5.5 I2CSタイミングチャート1(スタートコンディション→データ送信)

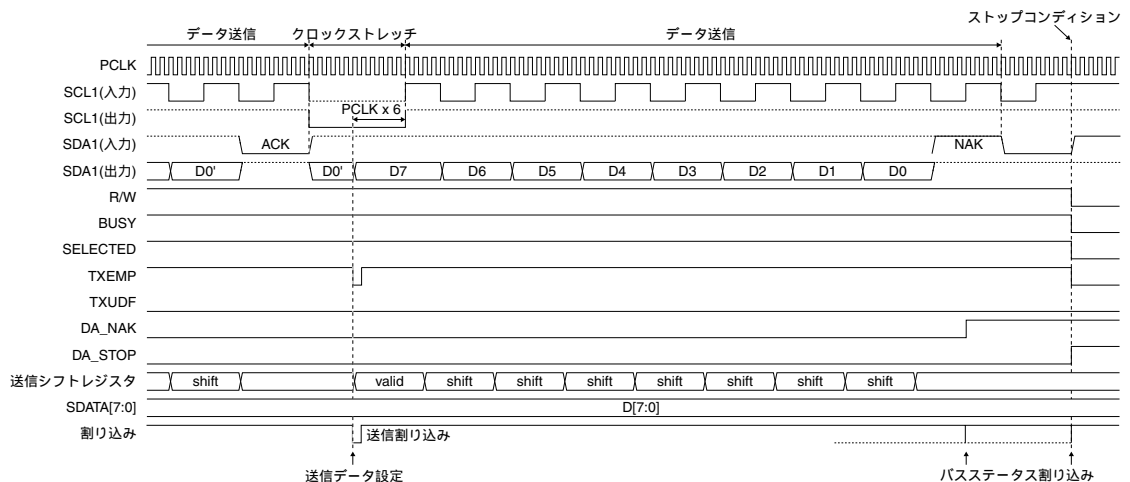


図17.5.6 I2CSタイミングチャート2(データ送信→ストップコンディション)

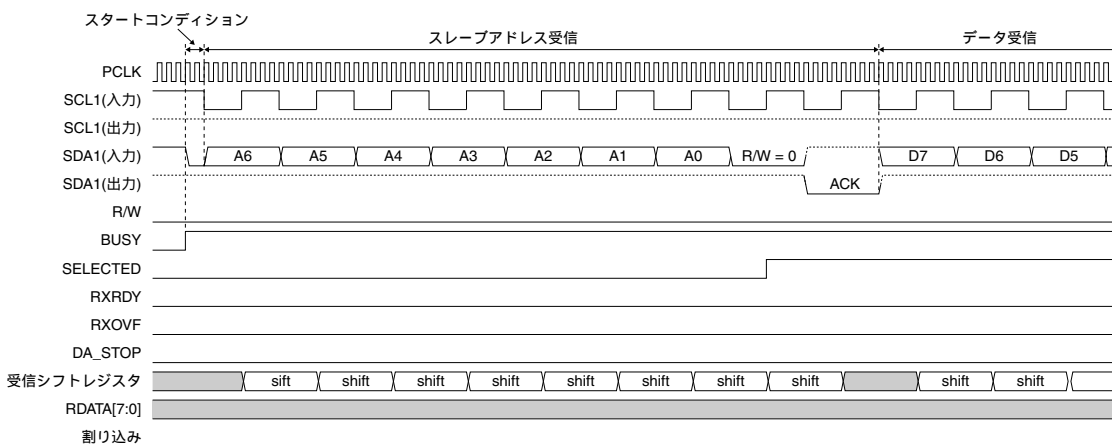


図17.5.7 I2CSタイミングチャート3(スタートコンディション→データ受信)

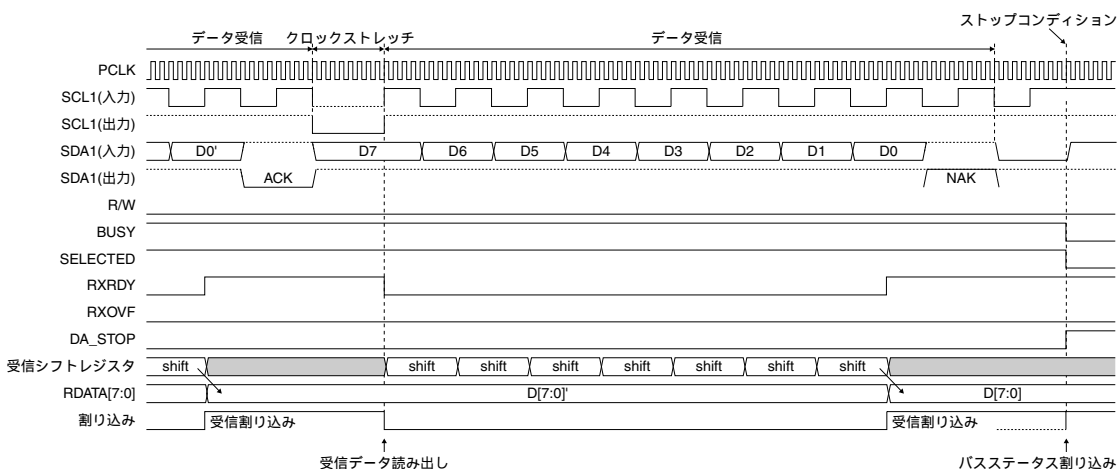


図17.5.8 I2CSタイミングチャート4(データ受信→ストップコンディション)

17.6 I2CS割り込み

I2CSモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

I2CSモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信割り込み

SDATA[7:0]/I2CS_TRANSレジスタに送信データが書き込まれていない状態でI²Cマスタによるリード要求(R/Wビット = 1)を受信すると割り込み信号がITCに出力されます。この割り込みを利用して、送信データをSDATA[7:0]に書き込むことができます。SDATA[7:0]に送信データを書き込むと、割り込み信号はクリアされます。その後の送信中は、SDATA[7:0]に書き込んだ送信データが送信シフトレジスタに送られた時点(TXEMP/I2CS_ASTATレジスタ = 1)で、割り込み信号がITCに出力されます。この割り込みを使用するには、TXEMP_IEN/I2CS_ICTLレジスタを1に設定します。TXEMP_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。送信を終了するストップコンディションが生成された後は、SDATA[7:0]が空であってもTXEMPは1にセットされず、送信割り込みは発生しません。

受信割り込み

受信データがRDATA[7:0]/I2CS_RECVレジスタにロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

この割り込みを使用するには、RXRDY_IEN/I2CS_ICTLレジスタを1に設定します。RXRDY_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

バスステータス割り込み

I2CSモジュールには、送受信やI²Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、17.5節を参照してください)。

1. ASDET/I2CS_STATレジスタ: 非同期アドレス検出時に1にセット
2. TXUDF/I2CS_STATレジスタ: 送信データ書き込み前に送信動作を開始した場合に1にセット(クロックストレッチが無効の場合)
3. DA_NAK/I2CS_STATレジスタ: 送信時にマスタデバイスからNAKが返った場合に1にセット
4. DMS/I2CS_STATレジスタ: 送信データとSDAラインの状態が異なる場合に1にセット
DMSは、他のスレーブデバイスが本I²Cスレーブアドレスに対してACK応答を行った場合もセットされます(ASDET_EN/I2CS_CTLレジスタ=0の場合)。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET_EN = 1)に設定されているときはDMSは発生しません。

5. RXOVF/I2CS_STATレジスタ: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)
6. BFREQ/I2CS_STATレジスタ: バス解放要求を受け付けた場合に1にセット
7. DA_STOP/I2CS_STATレジスタ: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

この中のいずれかのビットが1にセットされると、同時にBSTAT/I2CS_STATレジスタもセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

この割り込みを使用するには、BSTAT_IEN/I2CS_ICTLレジスタを1に設定します。BSTAT_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

17.7 制御レジスタ詳細

表17.7.1 I2CSレジスタ一覧

アドレス	レジスタ名		機能
0x4360	I2CS_TRNS	I ² C Slave Transmit Data Register	I ² Cスレーブ送信データ
0x4362	I2CS_RECV	I ² C Slave Receive Data Register	I ² Cスレーブ受信データ
0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御

以下、I2CSモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²C Slave Transmit Data Register (I2CS_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I ² C slave transmit data	0–0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SDATA[7:0]: I²C Slave Transmit Data Bits

送信データを設定します。(デフォルト: 0x0)

SDA1端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、I²Cクロック(SCL1入力クロック)の7サイクル以内にデータを本レジスタに書き込む必要があります。ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cクロック(SCL1入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後も送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

I²C Slave Receive Data Register (I2CS_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	

D[15:8] Reserved

D[7:0] RDATA[7:0]: I²C Slave Receive Data Bits

受信データが読み出せます。(デフォルト: 0x0)

SDA1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY/I2CS_ASTATレジスタがセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

I²C Slave Address Setup Register (I2CS_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7	–	reserved	–	–	–	0 when being read.
		D6-0	SADRS[6:0]	I ² C slave address	0-0x7f	0x0	R/W	

D[15:7] Reserved

D[6:0] SADRS[6:0]: I²C Slave Address Bits

本モジュールのI²Cスレーブアドレスを設定します。(デフォルト: 0x0)

I²C Slave Control Register (I2CS_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0	R/W
		D7	I2CSEN	I ² C slave enable	1 Enable	0 Disable	0	R/W
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0	R/W
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0	R/W
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W
		D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0	R/W

D[15:9] Reserved

D8 TBUF_CLR: I2CS_TRNS Register Clear Bit

I2CS_TRNSレジスタをクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF_CLRに1を書き込むとI2CS_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI2CS_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP/I2CS_ASTATレジスタがセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS_TRNSレジスタがクリア状態(TBUF_CLR = 1)でもI2CS_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS_TRNSレジスタへのデータの書き込みはTBUF_CLR = 0の状態で行ってください。

D7 I2CSEN: I²C Slave Enable Bit

I2CSモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定するとI2CSモジュールが動作を開始し、データ転送が行える状態になります。I2CSENを0に設定すると、I2CSモジュールは動作を停止します。

D6 SOFTRESET: Software Reset Bit

I2CSモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I2CSモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディションに待機するため、I²Cの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

D5 NAK_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I2CSモジュールはマスタにACK(SDA1 = Low)またはNAK(SDA1 = Hi-Z)を返します。NAK_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内で指定しておきます。

D4 BFREQ_EN: Bus Free Request Enable Bit

#BFR端子へのLowパルス入力によるI²Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I²Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I2CSモジュールはI²Cスレーブの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。

BFREQ_ENを0に設定すると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 CLKSTR_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR_ENを1に設定してください。

D2 NF_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CSモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれており、NF_ENを1に設定することにより有効となります。

D1 ASDET_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスがI2CSに設定されているアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。

この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。その後、マスタからの再送により通常のリデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。
 - 非同期アドレス検出機能が有効で下記の条件が成立した場合、マスタは異なるスレーブアドレスを送信する前に33 μ s以上の待ち時間を取る必要があります。
 1. 通信レートを320kbps以上に設定している。
 2. 動作クロック(PCLK)にOSC1を使用して通信待機状態にある。
 3. マスタが送信したアドレスに対し、本I²CスレーブがNAKを返信した。

D0 COM_MODE: I²C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定してI2CSモジュールの動作を許可した後、COM_MODEを1に設定して通信を許可します。

COM_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

I²C Slave Status Register (I2CS_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7	BSTAT	Bus status transition	1 Changed	0 Unchanged	0	R	
		D6	–	reserved	–	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow					
		D4	BFREQ	Bus free request	1 Occurred	0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error	0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected	0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK	0 ACK	0	R/W	
D0	DA_STOP	STOP condition detect	1 Detected	0 Not detected	0	R/W			

D[15:8] Reserved

D7 BSTAT: Bus Status Transition Bit

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのすべてのビットが0にリセットされることによりBSTATもリセットされます。

D6 Reserved

D5 TXUDF: Transmit Data Underflow Bit (送信時)**RXOVF: Receive Data Overflow Bit (受信時)**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー /オーバーフローあり

0(R/W): データアンダーフロー /オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。または、I2CS_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

D4 BFREQ: Bus Free Request Bit

I²Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ_EN/I2CS_CTLレジスタが1(バス解放要求受け付け機能が有効)に設定されている場合、#BFR端子から周辺モジュールクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I2CSモジュールはI²Cの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。この処理でI2CSの制御レジスタは初期化されません。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ_ENが0に設定されていると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 DMS: Output Data Mismatch Bit

出力データとSDAラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI²CデバイスがSDAラインを制御していることが考えられます。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET_EN = 1)に設定されているときはDMSは発生しません。

D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET_EN/I2CS_CTLレジスタによって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI²Cマスタに対してNAKを返し、再送を要求します。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。その後、マスタからの再送により通常のリデータ転送を再開できます。

1にセットされたASDETは1の書き込みによりリセットできます。

D1 DA_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDA_NAKは1の書き込みによりリセットできます。

D0 DA_STOP: Stop Condition Detect Bit

ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED/I2CS_ASTATレジスタ = 1)でストップコンディションまたはリピーテッドスタートコンディションを検出すると、I2CSモジュールはDA_STOPを1にセットします。同時にI²Cの通信プロセスを初期化します。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。

1にセットされたDA_STOPは1の書き込みによりリセットできます。

I²C Slave Access Status Register (I2CS_ASTAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0	R
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0	R
		D2	BUSY	I ² C bus status	1 Busy	0 Free	0	R
		D1	SELECTED	I ² C slave select status	1 Selected	0 Not selected	0	R
		D0	R/W	Read/write direction	1 Output	0 Input	0	R

D[15:5] Reserved

D4 RXRDY: Receive Data Ready Bit

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS_RECVレジスタの読み出しによってリセットされます。

D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I²Cマスタからのリード要求(R/Wビット = 1)受信時にI2CS_TRNSレジスタが空の場合、または送信を終了するストップコンディションがI²Cマスタによって生成されるまでの間にI2CS_TRNSレジスタが空になると、TXEMPが1にセットされます。

TXEMP_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS_TRNSレジスタへのデータ書き込みによってリセットされます。

D2 BUSY: I²C Bus Status Bit

I²Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはSCL1もしくはSDA1がLowレベルになったことを検出するとBUSYが1にセットされ、I²Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

D1 SELECTED: I²C Slave Select Status Bit

本モジュールがI²Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションまたはリピーテッドスタートコンディションの検出によりリセットされます。

D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

I²C Slave Interrupt Control Register (I2CS_ICTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15-3	-	reserved		-	-	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:3] Reserved**D2 BSTAT_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT_IENを1に設定すると、I²Cバスの状態変化によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT/I2CS_STATレジスタが1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT_IENを0に設定すると、バスステータス割り込みは発生しません。

D1 RXRDY_IEN: Receive Interrupt Enable Bit

I2CSの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY_IENを1に設定すると、受信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS_RECVレジスタに転送される(受信が完了することにより発生します。

RXRDY_IENを0に設定すると、受信割り込みは発生しません。

D0 TXEMP_IEN: Transmit Interrupt Enable Bit

I2CSの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP_IENを1に設定すると、送信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP_IENを0に設定すると、送信割り込みは発生しません。

18 IRリモートコントローラ(REMC)

18.1 REMCモジュールの概要

S1C17711は赤外線リモコンの送受信信号を生成するIRリモートコントローラ(REMC)モジュールを内蔵しています。

REMCモジュールの主な機能と特長を以下に示します。

- 赤外線リモコン信号を入出力可能
- キャリア信号を発生するキャリア発生回路を内蔵
- 送受信データ長をカウントする8ビットダウンカウンタを内蔵
- 指定したキャリア長で送信データを生成する変調回路を内蔵
- 入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路を内蔵
- 指定データ長の送信終了を示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能

図18.1.1にREMCモジュールの構成を示します。

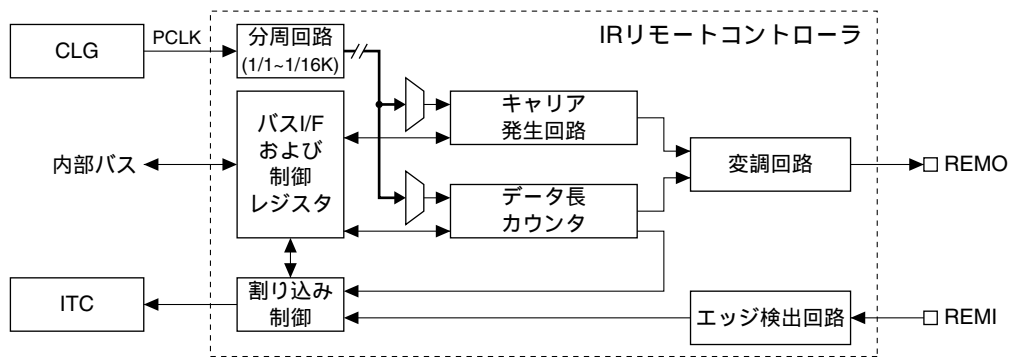


図18.1.1 REMCモジュールの構成

18.2 REMC入出力端子

表18.2.1にREMCの入出力端子を示します。

表18.2.1 REMC端子一覧

端子名	I/O	本数	機能
REMI	I	1	リモコン受信データ入力端子 受信データを入力します。
REMO	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMI、REMO)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、ポート機能選択レジスタの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

18.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

キャリア信号生成用クロックは、PCLKを1/1～1/16Kに分周して生成します。この分周比を、CGCLK[3:0]/REMC_CFGレジスタで下表に示す15種類の中から選択します。

表18.3.1 キャリア生成用クロック(PCLK分周比)の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • REMCを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ(CLG)を設定しておく必要があります。

- クロックの設定は、REMCが動作停止中に行ってください。

CLGの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0]/REMC_CARレジスタとREMCL[5:0]/REMC_CARレジスタで設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{cg_clk}} [\text{s}]$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{cg_clk}} [\text{s}]$$

REMCH: キャリアH区間長データ値

REMCL: キャリアL区間長データ値

cg_clk: キャリア生成用クロック周波数

これらの設定により、キャリア信号は図18.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2(PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

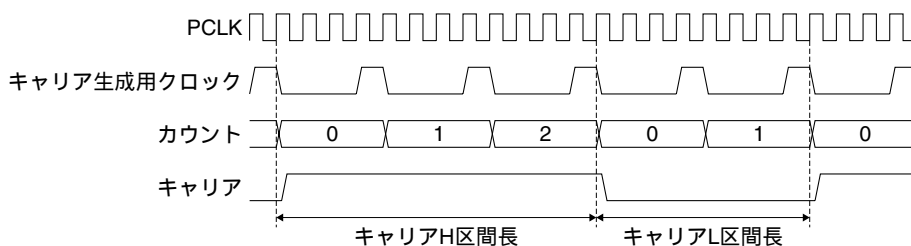


図18.3.1 キャリア信号の生成

18.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。

データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時にもこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもPCLK分周クロックが使用され、15種類から1つを選択することができます。データ長カウンタクロックを生成するための分周比は、キャリア生成用クロックとは別に用意されている制御ビットLCCLK[3:0]/REMC_CFGレジスタで選択します。

表18.4.1 データ長カウンタクロック (PCLK分周比) の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。18.3節を参照してください。
- (2) データ長カウンタのクロックを選択します。18.4節を参照してください。
- (3) 割り込み条件を設定します。18.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中(REMEN/REMC_CFGレジスタ = 0)に行ってください。

データ送信制御

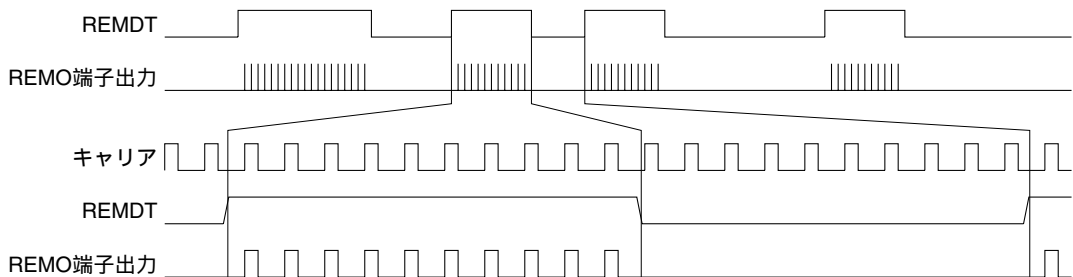


図18.5.1 データ送信

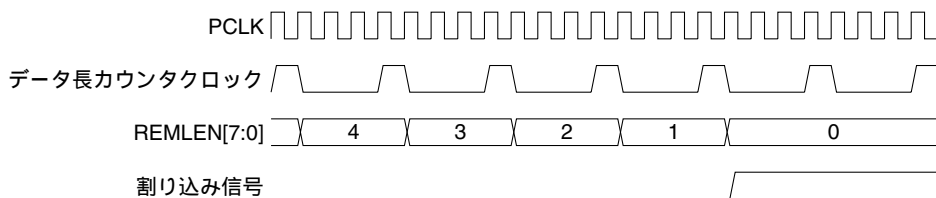


図18.5.2 アンダーフロー割り込み発生タイミング

(1) データ送信モードの設定

REMMD/REMC_CFGレジスタに0を書き込み、REMCを送信モードに設定します。

(2) データ送信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT/REMC_LCNTレジスタを0、REMLEN[7:0]/REMC_LCNTレジスタを0x0に設定してください。

(3) 送信データの設定

送信するデータ(HighまたはLow)をREMDT/REMC_LCNTレジスタに設定します。

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMO端子から出力されます。

(4) データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタに設定する値は次のとおりです。

$$\text{設定値} = \text{データパルス長(秒)} \times \text{データ長カウンタクロック周波数(Hz)}$$

データ長カウンタは書き込まれた値から、選択されているデータ長カウンタクロックでカウントダウンを開始します。

データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態ではカウントを停止します。

(5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMCENに0を書き込んでください。

データ受信制御

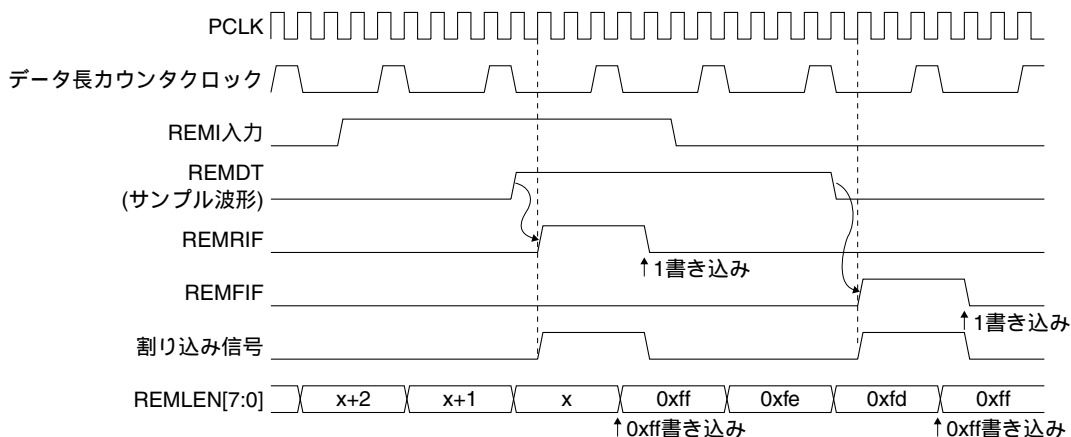


図18.5.3 データ受信

(1) データ受信モードの設定

REMMD/REMC_CFGレジスタに1を書き込み、REMCを受信モードに設定します。

(2) データ受信を許可

REMCEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCはREMI端子からの入力信号を、キャリア生成用クロックでサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

(3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタは書き込まれた値から、選択されているデータ長カウンタクロックでカウントダウンを開始します。

受信したデータはREMDT/REMC_LCNTレジスタから読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

(4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMCENに0を書き込んでください。

18.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要因は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF/REMC_INTレジスタを1にセットします。

データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

この割り込みを使用するには、REMUIE/REMC_INTレジスタを1に設定します。REMUIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要因は、REMI端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMRIF/REMC_INTレジスタを1に設定します。REMRIFが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がリエッジ割り込み

この割り込み要因は、REMI端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMFIE/REMC_INTレジスタを1に設定します。REMFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

18.7 制御レジスタ詳細

表18.7.1 REMCレジスタ一覧

アドレス	レジスタ名		機能
0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

REMC Configuration Register (REMC_CFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15-12	CGCLK[3:0]	Carrier generator clock division ratio select	CGCLK[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					LCCLK[3:0]				
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
D11-8	D11-8	LCCLK[3:0]	Length counter clock division ratio select	CGCLK[3:0]	Division ratio	0x0	R/W		
				LCCLK[3:0]					
				0x7	1/128				
				0x6	1/64				
				0x5	1/32				
				0x4	1/16				
				0x3	1/8				
				0x2	1/4				
				0x1	1/2				
				0x0	1/1				
D7-2	-	-	reserved	-	-	-	-	0 when being read.	
D1	REMMD	REMC mode select	1 Receive	0 Transmit	0	R/W			
D0	REMEN	REMC enable	1 Enable	0 Disable	0	R/W			

D[15:12] CGCLK[3:0]: Carrier Generator Clock Division Ratio Select Bits

キャリア生成用クロック(PCLK分周比)を選択します。

表18.7.2 キャリア生成用クロック (PCLK分周比) の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

D[11:8] LCCLK[3:0]: Length Counter Clock Division Ratio Select Bits

データ長カウンタクロック (PCLK分周比) を選択します。

表18.7.3 データ長カウンタクロック (PCLK分周比) の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: クロックの設定は、REMCモジュールが停止中 (REMEM = 0) に行ってください。

D[7:2] Reserved**D1 REMMD: REMC Mode Select Bit**

送受信方向を選択します。

1 (R/W): 受信

0 (R/W): 送信 (デフォルト)

D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

REMENを1に設定するとREMMDの設定に従って送信または受信の動作を開始します。

REMENを0に設定すると、REMCモジュールは動作を停止します。

REMC Carrier Length Setup Register (REMC_CAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.	
		D13-8	REMCL[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W		
		D7-6	—	reserved	—	—	—	—	0 when being read.
		D5-0	REMCH[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W		

D[15:14] Reserved**D[13:8] REMCL[5:0]: Carrier L Length Setup Bits**

キャリア信号のL区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

18 IRリモートコントローラ(REMC)

キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{cg_clk}} \text{ [s]}$$

REMCL: REMCL[5:0]設定値

cg_clk: キャリア生成用クロック周波数

REMCH[5:0]でH区間長を指定します。

これらの設定により、キャリア信号は図18.7.1のとおり生成されます。

D[7:6] Reserved

D[5:0] REMCH[5:0]: Carrier H Length Setup Bits

キャリア信号のH区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{cg_clk}} \text{ [s]}$$

REMCH: REMCH[5:0]設定値

cg_clk: キャリア生成用クロック周波数

REMCL[5:0]でL区間長を指定します。

これらの設定により、キャリア信号は図18.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2(PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

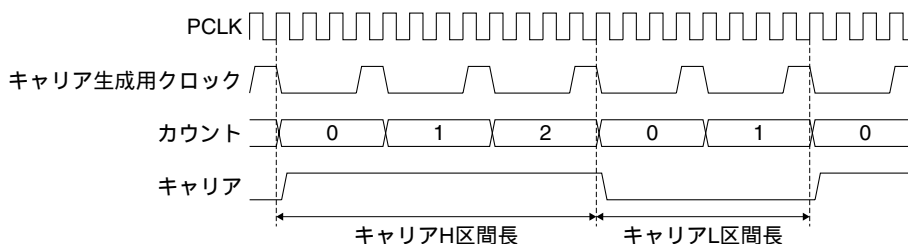


図18.7.1 キャリア信号の生成

REMC Length Counter Register (REMC_LCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15-8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7-1	-	reserved	-	-	-	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	

D[15:8] REMLEN[7:0]: Transmit/Receive Data Length Count Bits

データ長カウンタに値を設定しカウントを開始させます。(デフォルト: 0x0)

カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信時

データ送信時は送信データ長を設定します。

データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

D[7:1] Reserved

D0 REMDT: Transmit/Receive Data Bit

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。

1(R/W): 1(H)

0(R/W): 0(L) (デフォルト)

REMEN/REMC_CFGレジスタが1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMO端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

REMC Interrupt Control Register (REMC_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag			0	R/W	
		D8	REMUIF	Underflow interrupt flag			0	R/W	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable	0 Disable	0	R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち上がりエッジ割り込みを制御します。割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。割り込みイネーブルビットを1に設定しておくことで、同時にITCに対してREMC割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。割り込みイネーブルビットを0に設定すると割り込みが禁止されます。

注: • REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

D[15:11] Reserved**D10 REMFIF: Falling Edge Interrupt Flag Bit**

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMFIFは入力信号の立ち下がりエッジで1にセットされます。REMFIFは1の書き込みによりリセットされます。

D9 REMRIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMRIFは入力信号の立ち上がりエッジで1にセットされます。REMRIFは1の書き込みによりリセットされます。

D8 **REMUIF: Underflow Interrupt Flag Bit**

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMUIFはデータ長カウンタのアンダーフローによって1にセットされます。REMUIFは1の書き込みによりリセットされます。

D[7:3] **Reserved**

D2 **REMFIE: Falling Edge Interrupt Enable Bit Bit**

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 **REMRIE: Rising Edge Interrupt Enable Bit Bit**

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 **REMUIE: Underflow Interrupt Enable Bit Bit**

データ長カウンタのアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

19 LCDドライバ(LCD)

19.1 LCDモジュールの概要

S1C17711は最大1,344ドット(56セグメント × 24コモン)のLCDパネルを駆動可能なドットマトリクスLCDドライバを内蔵しています。

以下にLCDドライバの機能と特長を示します。

- | | |
|---------------|--|
| • 動作電圧 | V _{DD} = 1.8～3.6V (V _{C1} 基準)
V _{DD} = 2.9～3.6V (V _{C2} 基準)
液晶電圧内部発生 |
| • SEG、COM本数 | 56SEG × 24COMまたは64SEG × 16/8COM |
| • 駆動バイアス | 1/4バイアス(固定) |
| • 表示データRAM | 384バイト |
| • フレーム周波数切り換え | 4ビットカウンタで調整可能 |
| • 液晶表示機能 | 通常表示
全点灯
全消灯
白黒反転表示 |
| • COM、SEG端子 | COM、SEG端子へのメモリ割り当ての反転 |
| • 液晶コントラスト調整 | 16値選択可能 |
| • その他機能 | LFR信号出力、フレーム割り込み |

図19.1.1にLCDドライバと駆動電源の構成を示します。

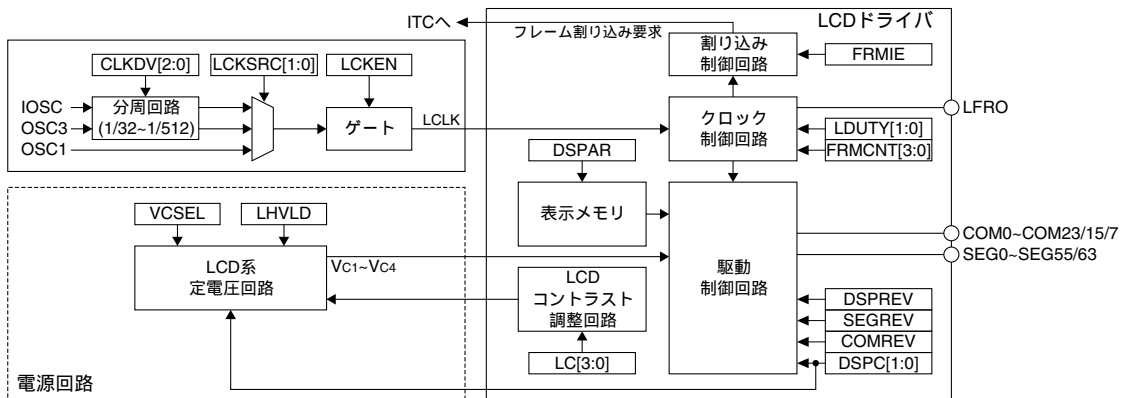


図19.1.1 LCDドライバと駆動電源の構成

19.2 LCD電源

LCD系の駆動電圧 $V_{c1} \sim V_{c4}$ は、チップ内部のLCD系定電圧回路や電源電圧昇圧回路を使用して発生します。外部より印加する必要はありません。LCD電源の詳細については、“電源”の章を参照してください。

19.3 LCDクロック

LCDクロックの供給システムを図19.3.1に示します。

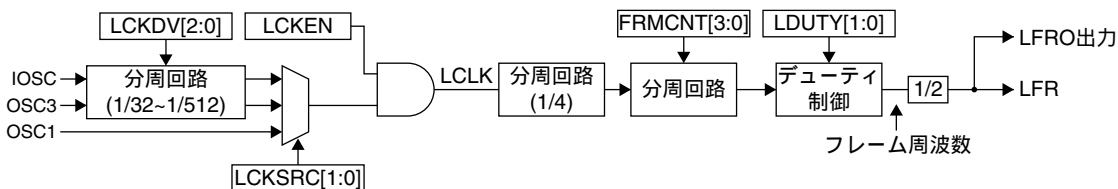


図19.3.1 LCDクロックシステム

19.3.1 LCD動作クロック(LCLK)

クロックソースの選択

クロックソースは、LCKSRC[1:0]/LCD_CLKレジスタを使用してIOSC、OSC3、OSC1から選択します。

表19.3.1.1 クロックソースの選択

LCKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x1)

クロック分周比の選択

クロックソースがOSC1の場合

OSC1をクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままLCLKとして使用されます。

クロックソースがIOSCまたはOSC3の場合

IOSCまたはOSC3をクロックソースとして選択した場合、LCKDV[2:0]/LCD_CLKレジスタで分周比を選択します。

表19.3.1.2 IOSC/OSC3分周比の選択

LCKDV[2:0]	分周比
0x7~0x5	Reserved
0x4	1/512
0x3	1/256
0x2	1/128
0x1	1/64
0x0	1/32

(デフォルト: 0x0)

クロックイネーブル

LCLKの供給は、LCKEN/LCD_CLKレジスタで制御します。LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のとおり生成されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

LCLKが供給されていないと、LCD表示はできません。ただし、LCLKが停止している場合でもLCDドライバのレジスタと表示メモリはアクセス可能です。

19.3.2 フレーム信号

LCDドライバはLCLKを分周してフレーム信号を生成します。クロックの分周比はFRMCNT[3:0]/LCD_CCTLレジスタで設定できます。フレーム周波数は次の式で求められます。

$$\text{フレーム周波数[Hz]} = \frac{f_{\text{LCLK}}}{4 \times (\text{FRMCNT} + 1)} \times \text{LCD駆動デューティ}$$

f_{LCLK}: LCLK周波数[Hz]
 FRMCNT: FRMCNT[3:0]設定値(0~15)
 LCD駆動デューティ: 1/24、1/16または1/8

表19.3.2.1にLCLK = 32768Hzの場合のフレーム周波数設定例を示します。

表19.3.2.1 フレーム周波数の設定 (LCLK = 32768Hzの場合)

FRMCNT[3:0]	フレーム周波数[Hz]		
	1/24デューティ	1/16デューティ	1/8デューティ
15	21.3	32.0	64.0
14	22.8	34.1	68.3
13	24.4	36.6	73.1
12	26.3	39.4	78.8
11	28.4	42.7	85.3
10	31.0	46.5	93.1
9	34.1	51.2	102.4
8	37.9	56.9	113.8
7	42.7	64.0	128.0
6	48.8	73.1	146.3
5	56.9	85.3	170.7
4	68.3	102.4	204.8
3	85.3	128.0	256.0
2	113.8	170.7	341.3
1	170.7	256.0	512.0
0	341.3	512.0	1024.0

また、生成したLFRO信号をLFRO端子から外部デバイスに出力可能です。出力制御は不要ですが、初期設定で入出力ポート用になるLFRO端子をポート機能選択ビットでLFRO出力用に切り換えておく必要があります。端子機能の切り換えについては、“入出力ポート(P)”の章を参照してください。

19.4 駆動デューティ制御

19.4.1 駆動デューティの切り換え

駆動デューティはLDUTY[1:0]/LCD_CCTLレジスタにより1/24、1/16、1/8に切り換えることができます。表19.4.1.1にLDUTY[1:0]の設定と駆動デューティ、最大表示ドット数の対応を示します。

表19.4.1.1 駆動デューティの設定

LDUTY[1:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示ドット数
0x3	1/24	COM0~COM23	SEG0~55	1,344ドット
0x2	Reserved	—	—	—
0x1	1/16	COM0~COM15	SEG0~63	1,024ドット
0x0	1/8	COM0~COM7	SEG0~63	512ドット

(デフォルト: 0x3)

駆動デューティの設定にかかわらず、駆動バイアスは1/4(V_{C1}、V_{C2}、V_{C3}、V_{C4}の4電位)に固定されています。

19.4.2 駆動波形

図19.4.2.1~19.4.2.3に、駆動デューティ別の駆動波形を示します。

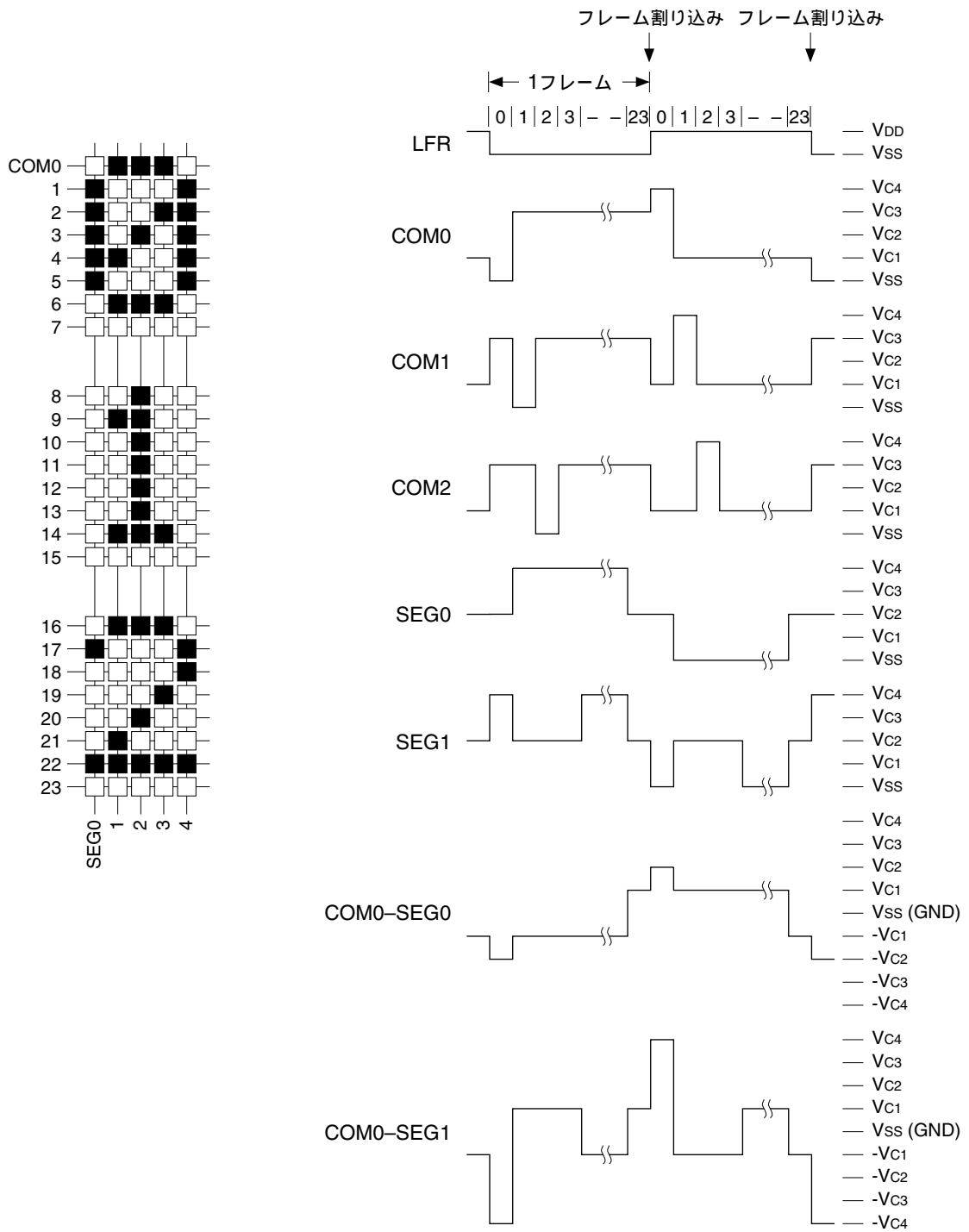


図19.4.2.1 1/24デューティの駆動波形

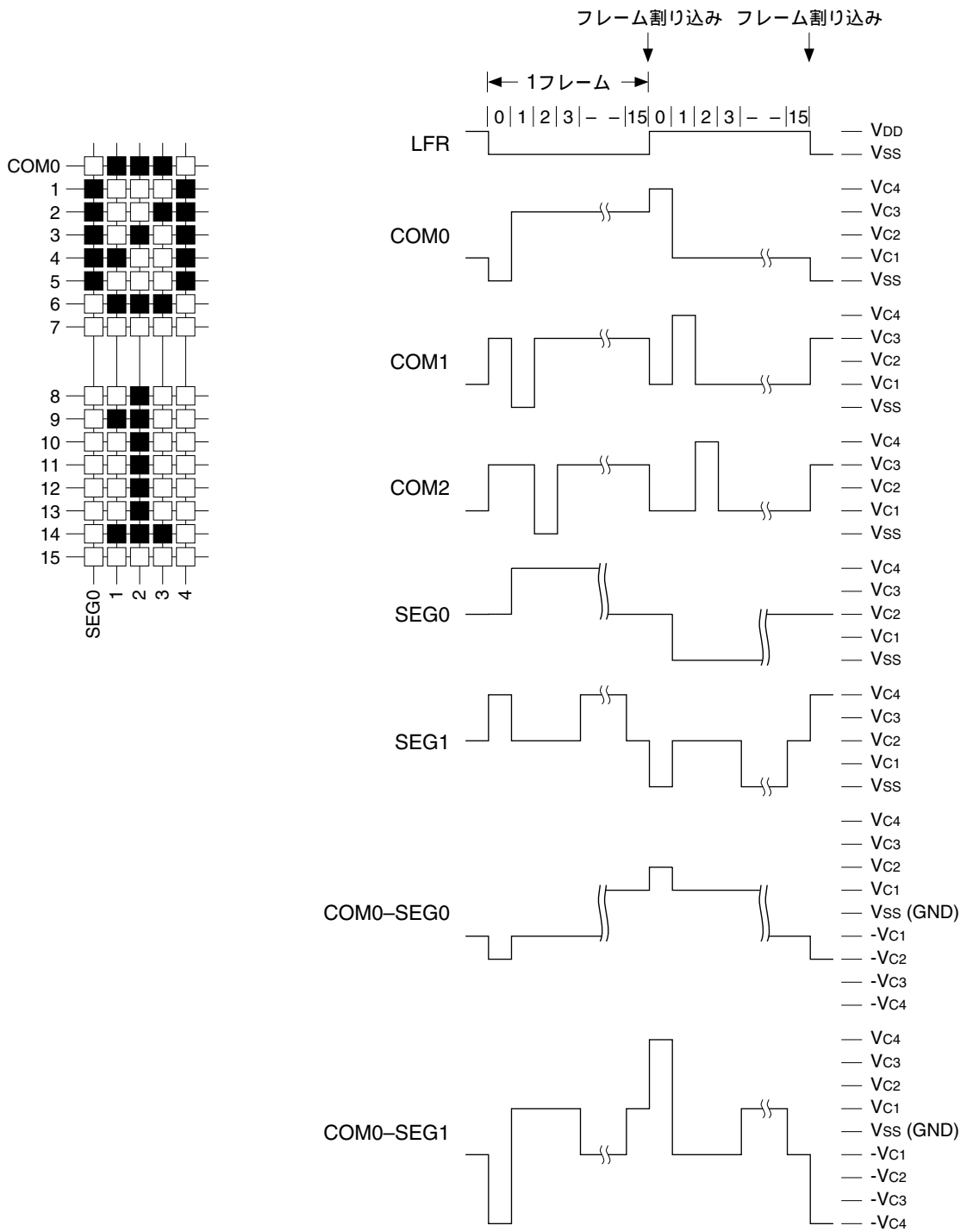


図19.4.2.2 1/16デューティの駆動波形

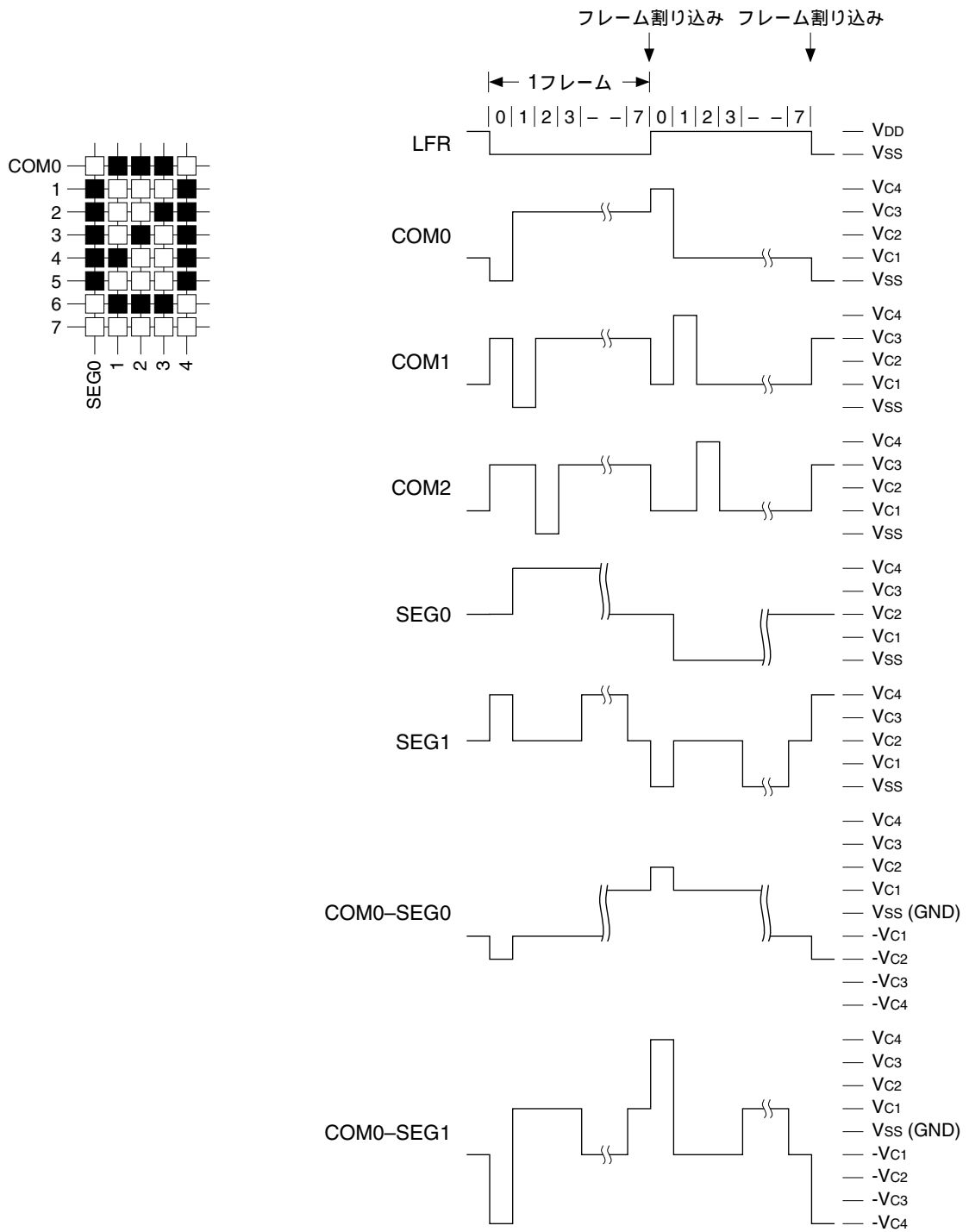


図19.4.2.3 1/8デューティの駆動波形

19.5 表示メモリ

S1C17711は384バイトの表示メモリを内蔵しています。表示メモリはアドレス0x4800～0x4dffに割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ: 1/24、1/16または1/8デューティ
- (2) SEG端子割り付け(通常または反転)
- (3) COM端子割り付け(通常または反転)

駆動デューティごとの表示メモリとコモン/セグメント端子の対応を図19.5.1～19.5.3に示します。

LCDパネル上のドットに対応する表示メモリのビットに1を書き込むとそのドットがOnし、0を書き込むとOffします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

384バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

表示領域の選択

表示メモリ内に2画面分の領域を確保することができ、DSPAR/LCD_DCTLレジスタによって画面の切り換えを行うことができます。DSPARを0に設定した場合は表示領域0、1に設定した場合は表示領域1が選択されます。

SEG端子割り付け

SEG端子に対する表示メモリアドレスの割り当てを、SEGREV/LCD_DCTLレジスタで反転することができます。SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図19.5.1～19.5.3参照)

COM端子割り付け

COM端子に対する表示メモリビットの割り当てを、COMREV/LCD_DCTLレジスタで反転することができます。COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図19.5.1～19.5.3参照)

19 LCDドライバ(LCD)

アドレス	Bit	アドレス(下位8ビット)								COMREV	COMREV		
		0x00	...	0x1f	0x20	...	0x37	0x38...0x3f	0x40	...	0xff	= 1	= 0
0x48**	D0	表示領域0								未使用領域 (汎用メモリ)	未実装領域	COM0	COM23
	D1											COM1	COM22
	D2											COM2	COM21
	D3											COM3	COM20
	D4											COM4	COM19
	D5											COM5	COM18
	D6											COM6	COM17
0x49**	D0	表示領域0								未使用領域 (汎用メモリ)	未実装領域	COM7	COM16
	D1											COM8	COM15
	D2											COM9	COM14
	D3											COM10	COM13
	D4											COM11	COM12
	D5											COM12	COM11
	D6											COM13	COM10
0x4a**	D0	表示領域0								未使用領域 (汎用メモリ)	未実装領域	COM14	COM9
	D1											COM15	COM8
	D2											COM16	COM7
	D3											COM17	COM6
	D4											COM18	COM5
	D5											COM19	COM4
	D6											COM20	COM3
0x4b**	D0	表示領域0								未使用領域 (汎用メモリ)	未実装領域	COM21	COM2
	D1											COM22	COM1
	D2											COM23	COM0
	D3											COM0	COM23
	D4											COM1	COM22
	D5											COM2	COM21
	D6											COM3	COM20
0x4c**	D0	表示領域1								未使用領域 (汎用メモリ)	未実装領域	COM4	COM19
	D1											COM5	COM18
	D2											COM6	COM17
	D3											COM7	COM16
	D4											COM8	COM15
	D5											COM9	COM14
	D6											COM10	COM13
0x4d**	D0	表示領域1								未使用領域 (汎用メモリ)	未実装領域	COM11	COM12
	D1											COM12	COM11
	D2											COM13	COM10
	D3											COM14	COM9
	D4											COM15	COM8
	D5											COM16	COM7
	D6											COM17	COM6
0x4e**	D0	表示領域1								未使用領域 (汎用メモリ)	未実装領域	COM18	COM5
	D1											COM19	COM4
	D2											COM20	COM3
	D3											COM21	COM2
	D4											COM22	COM1
	D5											COM23	COM0
	D6											COM0	COM23
SEGREV = 1	SEG0	...	SEG31	SEG32	...	SEG55							
SEGREV = 0	SEG55	...	SEG24	SEG23	...	SEG0							

図19.5.1 表示メモリマップ(1/24デューティ選択時)

アドレス	Bit	アドレス(下位8ビット)						COMREV	COMREV	
		0x00	...	0x1f	0x20	...	0x3f	0x40	...	0xff
0x48**	D0	表示領域0						未実装領域	COM0	COM15
	D1								COM1	COM14
	D2								COM2	COM13
	D3								COM3	COM12
	D4								COM4	COM11
	D5								COM5	COM10
	D6								COM6	COM9
	D7								COM7	COM8
0x49**	D0	表示領域0							COM8	COM7
	D1								COM9	COM6
	D2								COM10	COM5
	D3								COM11	COM4
	D4								COM12	COM3
	D5								COM13	COM2
	D6								COM14	COM1
	D7								COM15	COM0
0x4a**	D0	表示領域1						COM0	COM15	
	D1							COM1	COM14	
	D2							COM2	COM13	
	D3							COM3	COM12	
	D4							COM4	COM11	
	D5							COM5	COM10	
	D6							COM6	COM9	
	D7							COM7	COM8	
0x4b**	D0	表示領域1						COM8	COM7	
	D1							COM9	COM6	
	D2							COM10	COM5	
	D3							COM11	COM4	
	D4							COM12	COM3	
	D5							COM13	COM2	
	D6							COM14	COM1	
	D7							COM15	COM0	
0x4c**	D0	未使用領域 (汎用メモリ)								
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
0x4d**	D0	未使用領域 (汎用メモリ)								
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
SEGREV = 1		SEG0	...	SEG31	SEG32	...	SEG63			
SEGREV = 0		SEG63	...	SEG32	SEG31	...	SEG0			

図19.5.2 表示メモリマップ(1/16デューティ選択時)

19 LCDドライバ(LCD)

アドレス	Bit	アドレス(下位8ビット)								COMREV	COMREV
		0x00	...	0x1f	0x20	...	0x3f	0x40	...	0xff	= 1
0x48**	D0	表示領域0								COM0	COM7
	D1									COM1	COM6
	D2									COM2	COM5
	D3									COM3	COM4
	D4									COM4	COM3
	D5									COM5	COM2
	D6									COM6	COM1
	D7									COM7	COM0
0x49**	D0	表示領域1								COM0	COM7
	D1									COM1	COM6
	D2									COM2	COM5
	D3									COM3	COM4
	D4									COM4	COM3
	D5									COM5	COM2
	D6									COM6	COM1
	D7									COM7	COM0
0x4a**	D0	未実装領域									
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
0x4b**	D0	未使用領域 (汎用メモリ)									
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
0x4c**	D0	未使用領域 (汎用メモリ)									
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
0x4d**	D0	未使用領域 (汎用メモリ)									
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
SEGREV = 1		SEG0	...	SEG31	SEG32	...	SEG63				
SEGREV = 0		SEG63	...	SEG32	SEG31	...	SEG0				

図19.5.3 表示メモリマップ(1/8デューティ選択時)

19.6 表示の制御

19.6.1 表示のOn/Off

LCDの表示状態はDSPC[1:0]/LCD_DCTLレジスタによって制御します。

表19.6.1.1 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常を表示を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(19.3節参照)。

注: クロックが供給される前にDSPC[1:0]を0x0以外に設定すると、LCD電源が正しく生成されない場合があります。クロックは必ずDSPC[1:0]を0x0に設定した状態で供給を開始し、以下の条件がすべて成立している状態でDSPC[1:0]を変更してください。

1. LCDクロックソースの発振回路が動作し、発振クロックが安定している(発振開始時間、発振安定待ち時間経過)
2. LCDクロックの設定が終了している
3. LCDクロックの供給が許可され、LCDドライバ回路にクロックが入力されている

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、Vc1~Vc4端子はすべてVssレベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時およびs1p命令実行時、DSPC[1:0]は0x0(表示Off)にリセットされます。

19.6.2 LCDコントラスト調整

LCDのコントラストは、LC[3:0]/LCD_CADJレジスタによって16段階に調整できます。これは内蔵のLCD系電圧回路が出力するVc1~Vc4の電圧を制御することによって実現しています。

表19.6.2.1 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x7)

イニシャルリセット時、LC[3:0]は0x7になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

19.6.3 反転表示

表示メモリを変更せずに制御ビットの操作のみでLCDの表示を反転(白黒反転)させることができます。DSPREV/LCD_DCTLレジスタを0に設定すると表示が反転し、1にすると通常表示に戻ります。ただし、DSPC[1:0]/LCD_DCTLレジスタで全消灯を選択している場合は、表示が反転しません。全点灯選択時はDSPREVにより表示が反転します。

19.6.4 階調表示の制御

LCDドライバには1フレームごとに割り込みを発生させる機能があります。この割り込みを利用してドットをOn/Offすることにより階調表示を実現できます。LCDパネルの特性によって階調表現が異なるため、フレーム周波数およびドットをOn/Offするフレーム周期を調整して階調表示を制御してください。フレーム割り込みについては、19.7節を参照してください。

19.7 LCD割り込み

LCDモジュールには、フレーム信号によって割り込みを発生させる機能があります。

フレーム割り込み

この割り込み要求は、1フレームごとに発生し、LCDモジュール内の割り込みフラグFRMIF/LCD_IFLGレジスタを1にセットします。割り込みのタイミングは図19.4.2.1～19.4.2.3を参照してください。この割り込みを使用するには、FRMIE/LCD_IMSKレジスタを1に設定します。FRMIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。FRMIEが1(割り込み許可)に設定されている状態で、FRMIFが1にセットされるとLCDモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- LCD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、FRMIEによってLCD割り込みを許可する前に、FRMIFをリセットしてください。

19.8 制御レジスタ詳細

表19.8.1 LCDレジスタ一覧

アドレス	レジスタ名		機能
0x5063	LCD_CLK	LCD Clock Select Register	LCDクロックの選択
0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
0x50a1	LCD_CADJ	LCD Contrast Adjustment Register	コントラストの制御
0x50a2	LCD_CCTL	LCD Clock Control Register	LCD駆動デューティの選択
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、LCDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

LCD Clock Select Register (LCD_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Select Register (LCD_CLK)	0x5063 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	LCKDV[2:0]	LCD clock division ratio select	LCKDV[2:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x7–0x5	reserved			
					0x4	1/512			
					0x3	1/256			
					0x2	1/128			
0x1	1/64								
0x0	1/32								
D[3:2]	LCKSRC[1:0]	LCD clock source select	LCKSRC[1:0]	Clock source	0x1	R/W			
			0x3	reserved					
			0x2	OSC3					
			0x1	OSC1					
0x0	IOSC								
D1	–	reserved	–	–	–	–	0 when being read.		
D0	LCKEN	LCD clock enable	1 Enable	0 Disable	0	R/W			

D7 **Reserved**

D[6:4] **LCKDV[2:0]: LCD Clock Division Ratio Select Bits**

LCDクロックソースとしてIOSCまたはOSC3を選択した場合に、分周比を選択します。

表19.8.2 IOSC/OSC3分周比の選択

LCKDV[2:0]	分周比
0x7~0x5	Reserved
0x4	1/512
0x3	1/256
0x2	1/128
0x1	1/64
0x0	1/32

(デフォルト: 0x0)

OSC1をクロックソースとして選択した場合、分周比を選択する操作は不要です。

D[3:2] **LCKSRC: LCD Clock Source Select Bit**

LCDクロックソースを選択します。

表19.8.3 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x1)

D1 **Reserved**

D0 **LCKEN: LCD Clock Enable Bit**

LCDドライバへのLCDクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のビットで選択されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

LCD Display Control Register (LCD_DCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7	SEGREV	Segment output assignment control	1 Normal	0 Reverse	1	R/W		
		D6	COMREV	Common output assignment control	1 Normal	0 Reverse	1	R/W		
		D5	DSPAR	Display memory area control	1 Area 1	0 Area 0	0	R/W		
		D4	DSPREV	Reverse display control	1 Normal	0 Reverse	1	R/W		
		D3-2	-	reserved		-	-	-		-
		D1-0	DSPC[1:0]	LCD display control		DSPC[1:0]	Display	0x0	R/W	
					0x3	All off				
					0x2	All on				
					0x1	Normal display				
					0x0	Display off				

D7 **SEGREV: Segment Output Assignment Control Bit**

SEG端子に対するメモリの割り当てを反転します。

1(R/W): 通常(デフォルト)

0(R/W): 反転

SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図19.5.1~19.5.3参照)

D6 COMREV: Common Output Assignment Control Bit

COM端子に対するメモリの割り当てを反転します。

1(R/W): 通常(デフォルト)

0(R/W): 反転

COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図19.5.1～19.5.3参照)

D5 DSPAR: Display Memory Area Control Bit

表示領域を選択します。

1(R/W): 表示領域1

0(R/W): 表示領域0(デフォルト)

表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARを0に設定すると表示領域0、1に設定すると表示領域1が選択されます。表示領域については、図19.5.1～19.5.3を参照してください。

D4 DSPREV: Reverse Display Control Bit

LCD上の表示を反転(ネガ表示)します。

1(R/W): 通常表示(デフォルト)

0(R/W): 反転表示

DSPREVを0に設定するとLCDパネル上の表示が白黒反転します。1に設定すると通常が表示を行います。この操作は、表示メモリには影響を与えません。

D[3:2] Reserved**D[1:0] DSPC[1:0]: LCD Display Control Bits**

LCDの表示を制御します。

表19.8.4 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の実行を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(19.3節参照)。

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、V_{C1}～V_{C4}端子はすべてV_{SS}レベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時およびs1p命令実行時、DSPC[1:0]は0x0(表示Off)にリセットされます。

LCD Contrast Adjustment Register (LCD_CADJ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Contrast Adjustment Register (LCD_CADJ)	0x50a1 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3-0	LC[3:0]	LCD contrast adjustment	LC[3:0] Display	0x7	R/W	
					0xf Dark : : 0x0 Light			

D[7:4] Reserved**D[3:0] LC[3:0]: LCD Contrast Adjustment Bits**

LCDのコントラストを調整します。これは内蔵のLCD系電圧回路が出力するV_{C1}～V_{C4}の電圧を制御することによって実現しています。

表19.8.5 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x7)

イニシャルリセット時、LC[3:0]は0x7になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

LCD Clock Control Register (LCD_CCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7-4	FRMCNT[3:0]	Frame frequency control	FRMCNT[3:0] = $\frac{f_{LCLK} \times \text{duty}}{4 \times f_{LFR}} - 1$	0x3	R/W	
		D3-2	–	reserved	–	–	–	0 when being read.
		D1-0	LDUTY[1:0]	LCD duty select	LDUTY[1:0] Duty	0x3 1/24 0x2 reserved 0x1 1/16 0x0 1/8	0x3	R/W

D[7:4] FRMCNT[3:0]: Frame Frequency Control Bits

フレーム周波数を設定します。

LCDドライバはLCLKを分周してフレーム信号を生成します。クロックの分周比はFRMCNT[3:0]レジスタで設定できます。フレーム周波数は次の式で求められます。

$$\text{フレーム周波数[Hz]} = \frac{f_{LCLK}}{4 \times (\text{FRMCNT} + 1)} \times \text{LCD駆動デューティ}$$

f_{LCLK} : LCLK周波数[Hz]
FRMCNT: FRMCNT[3:0]設定値(0~15)
LCD駆動デューティ: 1/24、1/16または1/8

D[3:2] Reserved

D[1:0] LDUTY[1:0]: LCD Duty Select Bits

駆動デューティを選択します。

表19.8.6 駆動デューティの設定

LDUTY[1:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示ドット数
0x3	1/24	COM0~COM23	SEG0~55	1,344ドット
0x2	Reserved	–	–	–
0x1	1/16	COM0~COM15	SEG0~63	1,024ドット
0x0	1/8	COM0~COM7	SEG0~63	512ドット

(デフォルト: 0x3)

LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.
		D4	LHVLD	LCD heavy load protection mode	1 On 0 Off	0	R/W	
		D3-1	–	reserved	–	–	–	0 when being read.
		D0	VCSEL	Vc reference voltage select	1 Vc2 0 Vc1	0	R/W	

制御ビットの詳細については、“電源”の章内の“LCD Voltage Regulator Control Register (LCD_VREG)”を参照してください。

LCD Interrupt Mask Register (LCD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	FRMIE	Frame signal interrupt enable	1 Enable 0 Disable	0	R/W	

19 LCDドライバ(LCD)

D[7:1] Reserved

D0 FRMIE: Frame Signal Interrupt Enable Bit

フレーム割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

FRMIEを1に設定するとITCへのLCD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

LCD Interrupt Flag Register (LCD_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7-1	-	reserved	-		-	-	0 when being read.
		D0	FRMIF	Frame signal interrupt flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 FRMIF: Frame Signal Interrupt Flag Bit

フレーム割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

FRMIFはフレーム信号の立ち上がりエッジでセットされ、1の書き込みによりリセットされます。

20 A/D変換器(ADC10)

20.1 ADC10モジュールの概要

S1C17711は、アナログ入力信号を10ビットデジタル値に変換するA/D変換器(ADC10)を内蔵しています。ADC10モジュールの主な機能と特長を以下に示します。

- 変換方式: 逐次比較型
- 分解能: 10ビット
- 入力チャンネル: 最大8チャンネル
- A/D変換クロック: 最大2MHz
- サンプリングレート: $f_{ADCLK}/13 \sim f_{ADCLK}/20$ [sps] (f_{ADCLK} : A/D変換クロック周波数)
- アナログ入力電圧範囲: $V_{SS} \sim AV_{DD}(=V_{DD})$
- サンプリング&ホールド回路内蔵
- 2種類の変換モード: 1回変換モード
(単一チャンネルまたは複数チャンネル)
連続変換モード
(単一チャンネルまたは複数チャンネル、ソフト制御で終了)
- 3種類の変換トリガ: ソフトウェアトリガ
外部トリガ(#ADTRG端子入力)
T16 Ch.1アンダーフロートリガ
- 変換結果10ビットを左詰または右詰(ソフトウェア選択)にした16ビットデータとして読み出し可能
- 2種類の割り込み: 変換終了割り込み
変換データオーバーライトエラー割り込み

図20.1.1にADC10の構成を示します。

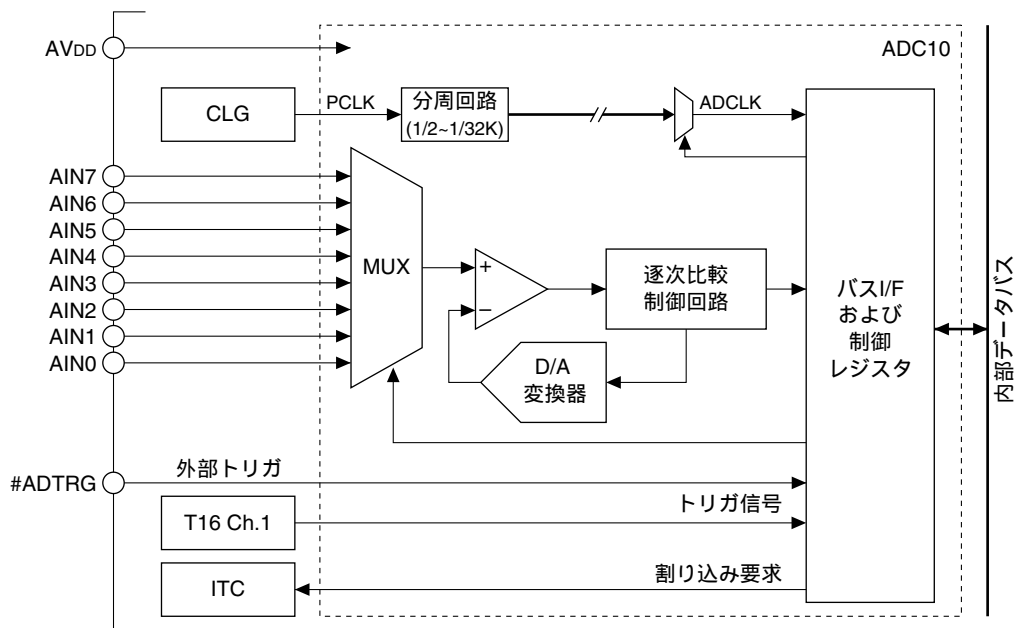


図20.1.1 A/D変換器の構成

20.2 ADC10入力端子

表20.2.1にADC10の入力端子の一覧を示します。

表20.2.1 ADC10入力端子

端子名	I/O	本数	機能
AIN[7:0]	I	8	アナログ信号入力端子AIN0 (Ch.0)～AIN7 (Ch.7) (注) A/D変換するアナログ信号を入力します。 入力可能なアナログ電圧値AVINは $V_{SS} \leq AV_{IN} \leq AV_{DD} (= V_{DD})$ の範囲です。
#ADTRG	I	1	A/D変換器外部トリガ入力端子 IC外部よりA/D変換を開始させる場合のトリガ信号を入力します。
AVDD	-	1	アナログ電源端子 ($AV_{DD} = V_{DD}$) A/D変換器を使用しない場合でも、VDD電圧を供給してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。

A/D変換器の入力端子(AIN[7:0]、#ADTRG)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをA/D変換器の入力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

20.3 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

- (1) アナログ入力端子を設定します。20.2節を参照してください。
- (2) A/D変換クロックを設定します。
- (3) アナログ変換開始チャンネルと終了チャンネルを選択します。
- (4) A/D変換モードを選択します。
- (5) トリガを選択します。
- (6) サンプリング時間を設定します。
- (7) 変換結果格納モードを選択します。
- (8) 割り込みを使用する場合は割り込み条件を設定します。20.5節を参照してください。

注: これらの設定は、必ずA/D変換器をディセーブル状態 (ADEN/ADC10_CTLレジスタ = 0) にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

20.3.1 A/D変換クロックの設定

A/D変換器を使用する場合は、クロックジェネレータ(CLG)からの周辺モジュールクロック(PCLK)の出力をOnにして、A/D変換器を動作させるためのクロックを供給しておく必要があります。クロック供給制御の詳細は“クロックジェネレータ(CLG)”の章を参照してください。

A/D変換クロックは、PCLKを分周して生成します。この分周比を、ADDF[3:0]/ADC10_CLKレジスタで表20.3.1.1に示す15種類から選択します。

注: 使用可能なA/D変換クロックの周波数範囲については、“電気的特性”の章の“A/D変換器特性”を参照してください。

表20.3.1.1 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

20.3.2 A/D変換開始チャンネル/終了チャンネルの選択

アナログ入力に設定した端子(チャンネル)の中から、A/D変換を行うチャンネルを選択します。1回の変換動作で複数のチャンネルのA/D変換を連続的に行えるようになっているため、ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって変換開始チャンネルと変換終了チャンネルをそれぞれ指定します。

表20.3.2.1 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャンネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

ADCS[2:0] = 2, ADCE[2:0] = 1: AIN2→AIN3→AIN4→AIN5→AIN6→AIN7→AIN0→AIN1の順に変換

20.3.3 A/D変換モードの設定

A/D変換器には1回変換モードと連続変換モードの2種類の変換モードが用意されており、ADMS/ADC10_TRGレジスタで選択できます。

1. 1回変換モード(ADMS = 0)

ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタで選択したチャンネル範囲のすべてのアナログ入力を1回A/D変換して停止します。

2. 連続変換モード(ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は1回変換モードに設定されます。

20.3.4 トリガの選択

A/D変換を開始させるトリガ方式を、ADTS[1:0]/ADC10_TRGレジスタで表20.3.4.1に示す3種類の中から選択します。

表20.3.4.1 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	16ビットタイマCh.1
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。このトリガ方式を使用する場合は、ポート機能選択ビット(“入出力ポート(P)”の章を参照)で入出力ポート端子を#ADTRG入力に切り換えておく必要があります。A/D変換は、#ADTRG信号の立ち下がりエッジを検出して開始します。

注: A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、S1C17コア動作クロックの2サイクル以上の長さを確保してください。

2. 16ビットタイマ(T16)Ch.1

T16 Ch.1のアンダーフロー信号をトリガとして使用します。T16のアンダーフロー周期はプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については“16ビットタイマ(T16)”の章を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるADST/ADC10_CTLレジスタへの1書き込みをトリガとしてA/D変換を開始します。

20.3.5 サンプルング時間の設定

本A/D変換器では、ADST[2:0]/ADC10_TRGレジスタによりアナログ信号の入力サンプルング時間を8段階(A/D変換クロックの2~9サイクル)に設定可能です。

表20.3.5.1 サンプルング時間の設定

ADST[2:0]	サンプルング時間 (A/D変換クロックサイクル)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

サンプルング時間は、入力電圧の取り込みに必要な時間(t_{ACQ} 、アキュイジション時間)を満たす必要があります。アナログ入力の等価回路を図20.3.5.1に示します。

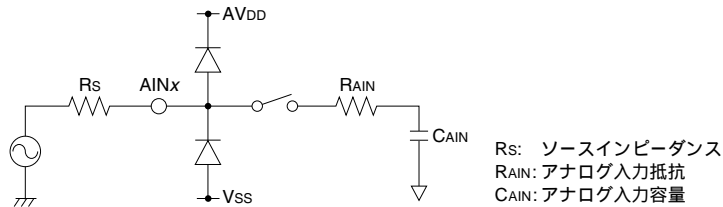


図20.3.5.1 アナログ入力等価回路

以下の式を満たすように f_{ADCLK} 、ADST[2:0]を設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{AIN}) \times C_{AIN} \quad (R_{AIN}、C_{AIN} \text{ に関しては“電気的特性”を参照してください。})$$

$$\frac{1}{f_{ADCLK}} \times (\text{ADST}[2:0] \text{ で設定したサイクル数}) > t_{ACQ}$$

f_{ADCLK} : A/D変換クロック周波数[Hz]

サンプリング時間とサンプリングレートの関係を以下に示します。

$$\text{サンプリングレート [sps]} = \frac{f_{ADCLK}}{\text{ADST}[2:0] \text{ で設定したサイクル数} + 11}$$

20.3.6 変換結果格納モードの設定

本A/D変換器は、A/D変換が終了するとADD[15:0]/ADC10_ADDレジスタ(16ビットレジスタ)に10ビットの変換結果を格納します。

このとき、10ビットの変換結果はSTMD/ADC10_TRGレジスタで設定した格納モードに従い、16ビットレジスタの上位10ビット(左寄せモード)、または下位10ビット(右寄せモード)として格納されます。残りの6ビットはすべて0になります。

ADDビット	15	...	10	9	...	6	5	...	0	
左寄せモード (STMD = 1)	(MSB)		10ビット変換結果				(LSB)	0	...	0
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果				(LSB)	

図20.3.6.1 変換データの配置

20.4 A/D変換の制御と動作

A/D変換器は以下の手順で制御します。

1. A/D変換器の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

20.4.1 A/D変換器の起動

20.3節に示した設定を終了後、ADEN/ADC10_CTLレジスタに1を書き込んでA/D変換器をイネーブルにします。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADENを0に設定してください。

20.4.2 A/D変換の開始

A/D変換器はADENが1の状態トリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADCTL/ADC10_CTLレジスタに1を書き込むことにより開始します。

A/D変換器はADTS[1:0]/ADC10_TRGレジスタで選択されているトリガソースからのトリガのみを受け付けます。

トリガが入力されると、A/D変換器はADCS[2:0]/ADC10_TRGレジスタで選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

ソフトウェアトリガに使用するADCTLは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。また、変換中のチャンネルはADICH[2:0]/ADC10_CTLレジスタを読み出すことで確認できます。

20.4.3 A/D変換結果の読み出し

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果をADD[15:0]/ADC10_ADDレジスタに格納し、変換終了フラグADCF/ADC10_CTLレジスタをセットします。ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[15:0]に格納されます。格納と同時に変換終了割り込みも発生させることができますので、通常はこの割り込みを利用して変換データを読み出します。変換終了割り込みを使用しない場合は、変換終了を示すADCFが1にセットされていることを確認した後、ADD[15:0]から変換結果を読み出してください。ADCFは、ADD[15:0]の読み出しによって0にリセットされます。

複数チャンネルまたは単一チャンネルを連続的に変換している場合は、次の変換が終了する前に変換結果をADD[15:0]から読み出す必要があります。ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、オーバーライトエラーフラグADOWE/ADC10_CTLレジスタが1にセットされます。これと同時に変換データオーバーライトエラー割り込みを発生させることも可能です。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。あるいは、変換データオーバーライトエラー割り込みを許可し、割り込みによってエラー処理を行ってください。ADOWEは一度セットされると、ソフトウェアで1を書き込むまでリセットされません。割り込みまたはADOWEの読み出しによって上書きを確認した場合は、必ず1を書き込んでADOWEをリセットしてください。また、ADOWEに1がセットされている場合はADCFもセットされていますので、変換データを読み出してADCFをリセットしてください。

注: オーバーライトエラーが発生しても連続変換は止まりません。

20.4.4 A/D変換の終了

1回変換モード(ADMS = 0)の場合

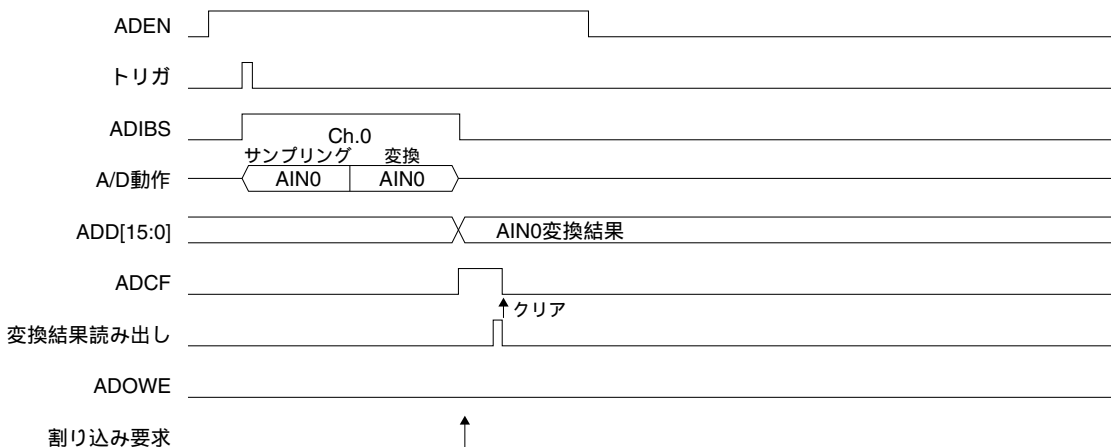
1回変換モードでは、ADCS[2:0]/ADC10_TRGレジスタで指定した変換開始チャンネルからADCE[2:0]/ADC10_TRGレジスタで指定した変換終了チャンネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADCTL/ADC10_CTLレジスタは0に戻ります。

連続変換モード(ADMS = 1)の場合

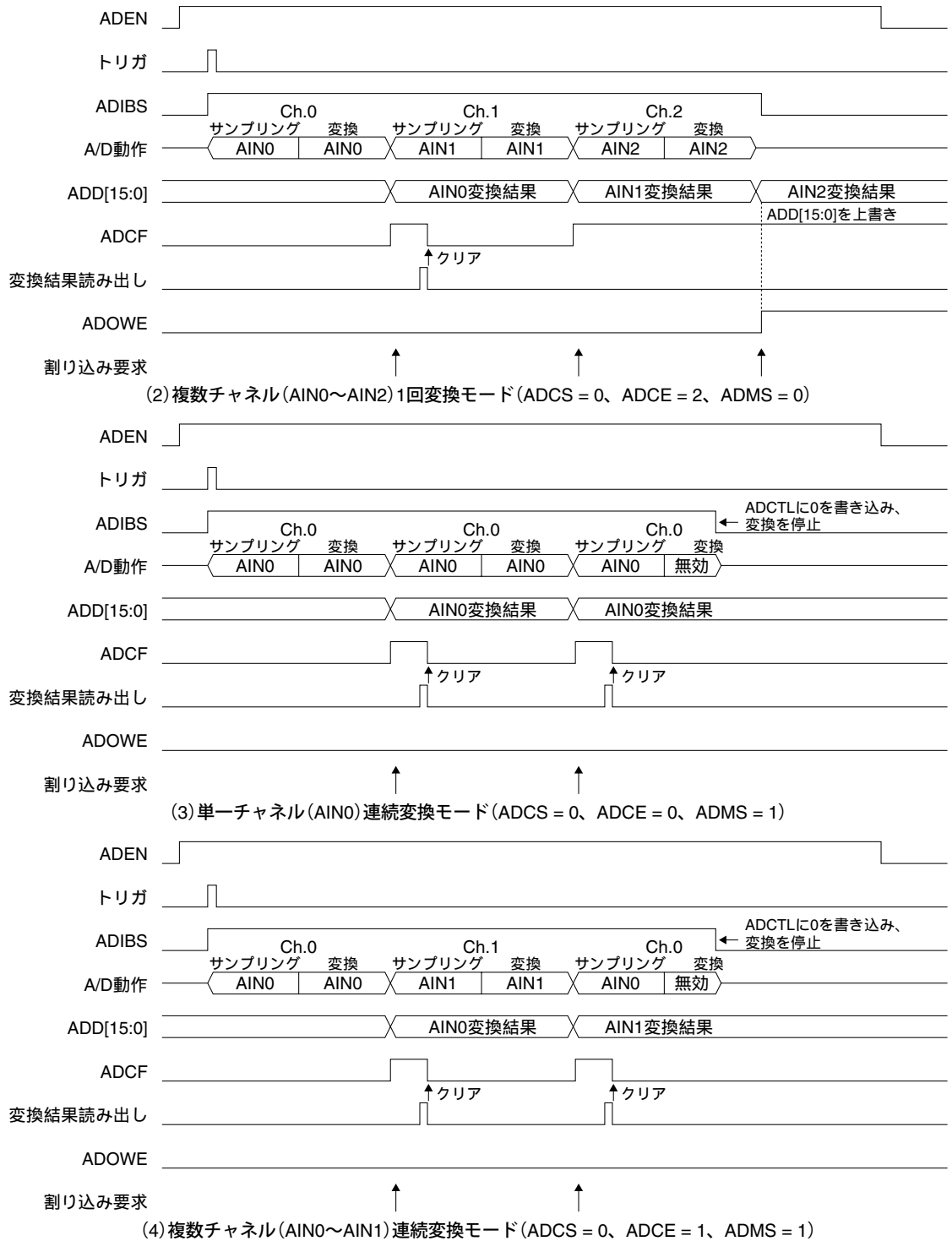
連続変換モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはADCTLに0を書き込みます。この場合、変換動作は強制終了となり、このときの変換結果を得ることはできません。強制終了後は、ADEN/ADC10_CTLレジスタを0に設定してください。

20.4.5 タイミングチャート

図20.4.5.1に、A/D変換器の動作を示します。



(1) 単一チャンネル(AINO) 1回変換モード(ADCS = 0、ADCE = 0、ADMS = 0)



20.5 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 変換データオーバーライトエラー割り込み

A/D変換器は上記の2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、ステータスフラグを読み出してください。

変換終了割り込み

この割り込みを使用するには、ADCIE/ADC10_CTLレジスタを1に設定します。ADCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

A/D変換器は1つのチャンネルのA/D変換を終了すると、ADCF/ADC10_CTLレジスタを1にセットして変換データが読み出せることを示します。変換終了割り込みが許可されていれば(ADCIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC割り込みが変換終了によるものかどうかについては、ADC割り込み処理ルーチンでADCFを読み出して確認してください。ADCFが1であれば、割り込み処理ルーチンでADD[15:0]/ADC10_ADDレジスタから変換データを読み出します。割り込み要因となるADCFはADD[15:0]の読み出しにより0にリセットされ、次の変換が終了するまでこの割り込みは発生しません。

変換データオーバーライトエラー割り込み

この割り込みを使用するには、ADOIE/ADC10_CTLレジスタを1に設定します。ADOIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ADD[15:0]が読み出されていない状態(ADCF = 1)で次のA/D変換が終了すると、A/D変換器はADOWE/ADC10_CTLレジスタを1にセットしてADD[15:0]が上書きされたことを示します。変換データオーバーライトエラー割り込みが許可されていれば(ADOIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC割り込みがオーバーライトエラーによるものかどうかについては、ADC割り込み処理ルーチンでADOWEを読み出して確認してください。ADOWEが1であれば、割り込み処理ルーチンでエラー処理を行います。割り込み要因となるADOWEは1の書き込みによって0にリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • ADC10割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、ADCF/ADC10_CTLレジスタとADOWE/ADC10_CTLレジスタをリセットする必要があります。

- 不要な割り込みの発生を防止するため、ADCIE/ADC10_CTLレジスタとADOIE/ADC10_CTLレジスタによって割り込みを許可する前に、ADCFとADOWEをリセットしてください。

20.6 制御レジスタ詳細

表20.6.1 A/D変換器レジスタ一覧

アドレス	レジスタ名		機能
0x5380	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
0x5382	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
0x5384	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
0x5386	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御

以下、A/D変換器のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

A/D Conversion Result Register (ADC10_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15-0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

D[15:0] ADD[15:0]: A/D Converted Data Bits

A/D変換結果が格納されます。(デフォルト: 0x0)

STMD/ADC10_TRGレジスタの設定により、本16ビットレジスタ内の変換データの配置(変換結果格納モード)を変更できます。

ADDビット		15	...	10	9	...	6	5	...	0	
左寄せモード (STMD = 1)	(MSB)	10ビット変換結果					(LSB)	0	...	0	
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果					(LSB)	

図20.6.1 変換データの配置

このレジスタは読み出し専用で、書き込みは無効です。

A/D Trigger/Channel Select Register (ADC10_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
A/D Trigger/Channel Select Register (ADC10_TRG)	0x5382 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.	
		D13-11	ADCE[2:0]	End channel select	0x0 to 0x7	0x0	R/W		
		D10-8	ADCS[2:0]	Start channel select	0x0 to 0x7	0x0	R/W		
		D7	STMD	Conversion result storing mode	1 ADD[15:6] 0 ADD[9:0]	0	R/W		
		D6	ADMS	Conversion mode select	1 Continuous 0 Single	0	R/W		
		D5-4	ADTS[1:0]	Conversion trigger select	ADTS[1:0]	Trigger	0x0		R/W
					0x3	#ADTRG pin reserved			
					0x2	reserved			
					0x1	T16 Ch.1 Software			
					0x0				
D3	—	reserved	—	—	—	—	0 when being read.		
D2-0	ADST[2:0]	Sampling time setting	ADST[2:0]	Sampling time	0x7	R/W			
			0x7	9 cycles					
			0x6	8 cycles					
			0x5	7 cycles					
			0x4	6 cycles					
			0x3	5 cycles					
			0x2	4 cycles					
			0x1	3 cycles					
			0x0	2 cycles					

D[15:14] Reserved

D[13:11] ADCE[2:0]: End Channel Select Bits

変換終了チャンネルをチャンネル番号(0~7)で設定します。(デフォルト: 0x0 = AIN0)

1回のA/D変換で、ADCS[2:0]で設定したチャンネルからADCE[2:0]で設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCS[2:0]とADCE[2:0]に同じチャンネル番号を設定してください。

表20.6.2 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャンネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

D[10:8] ADCS[2:0]: Start Channel Select Bits

変換開始チャンネルをチャンネル番号(0~7)で設定します。(デフォルト: 0x0 = AIN0)

D7 STMD: Conversion Result Storing Mode Bit

ADD[15:0]への変換結果の格納方法を選択します。

1(R/W): 左寄せモード(10ビット変換結果 → ADD[15:6]、ADD[5:0] = 0)

0(R/W): 右寄せモード(10ビット変換結果 → ADD[9:0]、ADD[15:10] = 0) (デフォルト)

D6 ADMS: Conversion Mode Select Bit

A/D変換モードを選択します。

1(R/W): 連続変換モード

0(R/W): 1回変換モード (デフォルト)

ADMSに1を書き込むことによりA/D変換器は連続変換モードに設定され、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

ADMSが0の場合は1回変換モードで動作し、ADCS[2:0]とADCE[2:0]で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

D[5:4] ADTS[1:0]: Conversion Trigger Select Bits

A/D変換を開始させるトリガ方法を選択します。

表20.6.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	16ビットタイマCh.1
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合は、ポート機能選択ビットにより#ADTRG端子の設定を行ってください(“入出力ポート(P)”の章を参照)。外部トリガ選択時は、#ADTRG入力の立ち下がりエッジを検出するとA/D変換を開始します。

16ビットタイマ(T16)Ch.1を使用する場合は、タイマのアンダーフロー信号がトリガとなりますので、16ビットタイマで周期およびその他の設定を行ってください。

D3 Reserved**D[2:0] ADST[2:0]: Sampling Time Setting Bits**

アナログ入力のサンプリング時間を設定します。

表20.6.4 サンプリング時間の設定

ADST[2:0]	サンプリング時間 (A/D変換クロックサイクル)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

A/D Control/Status Register (ADC10_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	—	reserved	—	—	—	0 when being read.
		D14–12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x7	0x0	R	
		D11	—	reserved	—	—	—	0 when being read.
		D10	ADIBS	ADC10 status	1 Busy 0 Idle	1 0	0 R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	1 0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed 0 Run/Stand-by	1 0	R	Reset when ADC10_ADD is read.
		D7–6	—	reserved	—	—	—	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable 0 Disable	1 0	R/W	
		D4	ADCIE	Conversion completion int. enable	1 Enable 0 Disable	1 0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	ADCTL	A/D conversion control	1 Start 0 Stop	1 0	R/W	
		D0	ADEN	ADC10 enable	1 Enable 0 Disable	1 0	R/W	

D15 Reserved**D[14:12] ADICH[2:0]: Conversion Channel Indicator Bits**

A/D変換中のチャンネル番号(0~7)を示します。(デフォルト: 0x0 = AIN0)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

D11 Reserved**D10 ADIBS: ADC10 Status Bit**

A/D変換器の状態を示します。

1(R): 変換中

0(R): 変換終了/待機中(デフォルト)

ADIBSはトリガ入力エッジ(サンプリング開始時)で1にセットされ、変換終了(ADCTL → 0)によって0にリセットされます。

D9 ADOWE: Overwrite Error Flag Bit

ADD[15:0]/ADC10_ADDレジスタの読み出し前の変換結果が上書きされたことを示します。

1(R): オーバーライトエラー(割り込み要因あり)

0(R): エラーなし(割り込み要因なし)(デフォルト)

1(W): フラグをリセット

0(W): 無効

複数または単一のチャンネルを連続的にA/D変換している場合、ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、ADOWEが1にセットされます。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。

ADOWEはADC10割り込み要因の1つです。ADOIEが1(割り込み許可)に設定されていれば、ADOWEがセットされた時点でITCに対し、変換データオーバーライトエラー割り込み要求が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ADOWEは1の書き込みによりリセットされます。

D8 ADCF: Conversion Completion Flag Bit

A/D変換が終了したことを示します。

1(R): 変換終了(割り込み要因あり)

0(R): 変換中または待機中(割り込み要因なし)(デフォルト)

A/D変換が終了し、変換データがADD[15:0]に格納されると1にセットされます。

ADCFはADC10割り込み要因の1つです。ADCIEが1(割り込み許可)に設定されていれば、ADCFがセットされた時点でITCに対し、変換終了割り込み要求が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。ADCFはADD[15:0]を読み出すと0にリセットされます。ADCFがセットされている状態で次の変換が終了するとオーバーライトエラー(ADOWE参照)になりますので、その前にADD[15:0]を読み出してADCFをリセットしてください。オーバーライトエラーが発生した場合もADCFは変換終了によりセットされます。

D[7:6] Reserved

20 A/D変換器 (ADC10)

D5 ADOIE: Overwrite Error Interrupt Enable Bit

変換データオーバーライトエラー割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止 (デフォルト)

ADOIEを1に設定すると変換データオーバーライトエラー割り込みが許可され、0に設定すると割り込みが禁止されます。

D4 ADCIE: Conversion Completion Interrupt Enable Bit

変換終了割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止 (デフォルト)

ADCIEを1に設定すると変換終了割り込みが許可され、0に設定すると割り込みが禁止されます。

D[3:2] Reserved

D1 ADCTL: A/D Conversion Control Bit

A/D変換を制御します。

1(W): ソフトウェアトリガ

0(W): A/D変換停止

1(R): 変換中

0(R): 変換終了/待機中 (デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADCTLに1を書き込みます。

他のトリガ方式の場合は、ハードウェアがADCTLを1にセットします。

A/D変換中、ADCTLは1を保持します。1回変換モード時は、指定のチャンネルのA/D変換が終了するとADCTLは0に戻り、A/D変換回路が停止します。連続変換モードのA/D変換を停止させるにはADCTLに0を書き込んでください。

ADENが0の場合はトリガを受け付けません。

D0 ADEN: ADC10 Enable Bit

A/D変換動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止 (デフォルト)

ADENに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADENが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。ただし、A/D変換中にADENを0にしてもA/D変換は停止しません。A/D変換を停止させる場合はADCTLに0を書き込んでください。なお、モードや開始/終了チャンネルなどのA/D変換器の設定を行う場合は誤動作を避けるため、ADENを0に設定してから行ってください。

A/D Clock Control Register (ADC10_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Clock Control Register (ADC10_CLK)	0x5386 (16 bits)	D15-4	-	reserved	-		-	-	0 when being read.
		D3-0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					0xf	reserved			
					0xe	1/32768			
					0xd	1/16384			
					0xc	1/8192			
					0xb	1/4096			
					0xa	1/2048			
					0x9	1/1024			
					0x8	1/512			
					0x7	1/256			
					0x6	1/128			
					0x5	1/64			
					0x4	1/32			
					0x3	1/16			
					0x2	1/8			
					0x1	1/4			
			0x0	1/2					

D[15:4] Reserved

D[3:0] **ADDF[3:0]: A/D Converter Clock Division Ratio Select Bits**

A/D変換クロックを生成するための、PCLKの分周比を選択します。

表20.6.5 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

注: A/D変換器を使用する場合は、クロックジェネレータ(CLG)からの周辺モジュールクロック(PCLK)の出力をOnにして、A/D変換器を動作させるためのクロックを供給しておく必要があります。

21 R/F変換器(RFC)

21.1 RFCモジュールの概要

S1C17711は、2系統の変換チャネルを持つR/F変換器(RFC)を内蔵しており、CR発振方式のA/D変換器として使用できます。抵抗性または容量性センサ(サーミスタや湿度センサ等)、および少数の受動部品(抵抗、容量)を接続するだけで簡単に温湿度計を実現することができます。

RFCモジュールの主な機能と特長を以下に示します。

- 変換方式: 抵抗 - 周波数変換型
- 変換チャネル数: 最大2チャネル
- 発振モード: DC発振モード(抵抗性センサ)
AC発振モード(抵抗性センサ)
DC発振モード(容量性センサ)
- カウンタ長: 24ビット
- 5種類の割り込みを発生可能: 基準発振完了割り込み
センサA発振完了割り込み
センサB発振完了割り込み
計測カウンタオーバーフローエラー割り込み
タイムベースカウンタオーバーフローエラー割り込み

図21.1.1に、RFCモジュールの構成を示します。

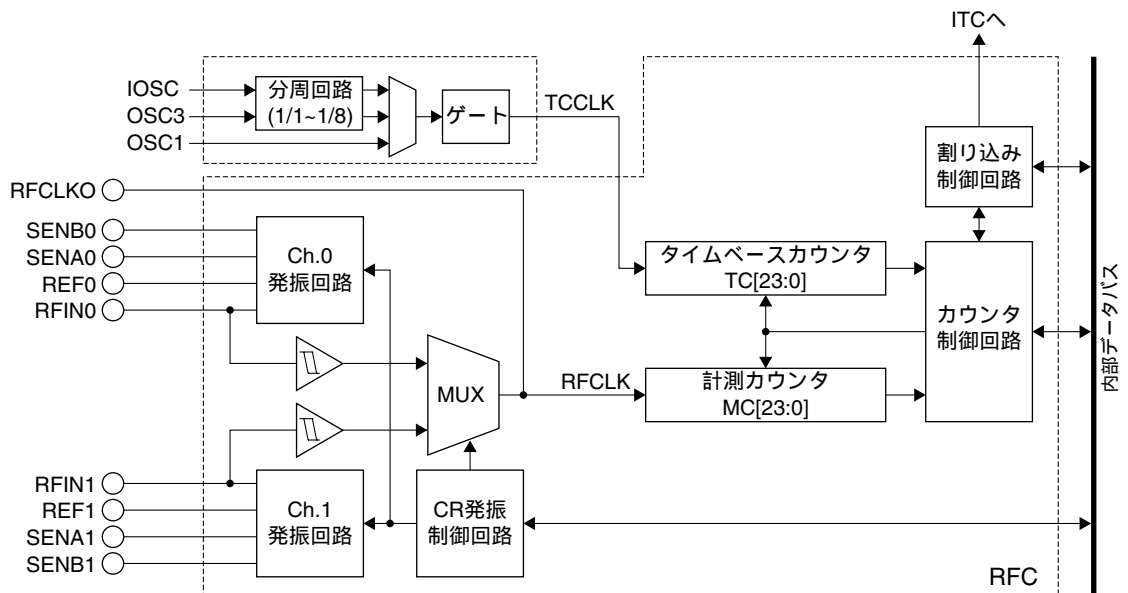


図21.1.1 R/F変換器の構成

R/F変換器に接続されたセンサの抵抗値/容量値は、CR発振回路によって周波数(RFCLK)に変換されます。この周波数を計測カウンタで一定時間カウントすることにより、センサ値に相当するデジタル値が得られます。R/F変換器には、測定時間を内部クロック(TCCLK)のカウントにより作り出すタイムベースカウンタも内蔵されています。また、センサをCR発振させるセンサ発振に加え、外的要因による変化の少ない基準素子をCR発振させる基準発振を行うことで、電圧変化や製造ばらつきといった誤差要因を取り除き、高精度の計測を実現します。CR発振回路は、通常のDC駆動に加え、AC駆動、外部クロック入力をサポートしており、多くのセンサに対応可能です。

21.2 RFC入出力端子

表21.2.1にRFCの入出力端子の一覧を示します。

表21.2.1 R/F変換器の入出力端子

端子名	I/O	本数	機能
SENB0/SENB1	I/O	2	センサB発振制御端子(注1)
SENA0/SENA1	I/O	2	センサA発振制御端子(注1)
REF0/REF1	I/O	2	基準発振制御端子(注1)
RFIN0/RFIN1	I/O	2	RFCLK入力および発振制御端子(注2)
RFCLKO	O	1	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

- 注: 1. ポート機能切り換え時は、端子がハイインピーダンスになります。
 2. RFIN_x端子はポート機能切り換え時にV_{SS}になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

R/F変換器の入出力端子は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをR/F変換器の入出力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

21.3 動作クロック

RFCモジュールには、動作クロックを制御するクロックソースセレクタ、分周回路、ゲート回路が組み込まれています。

注: R/F変換器の設定は動作クロック(TCCLK)の供給開始後に行ってください。クロックが供給されないと、R/F変換器は正常に動作しません。

クロックソースの選択

クロックソースは、CLKSRC[1:0]/RFC_CLKレジスタを使用してIOSC、OSC3、OSC1から選択します。

表21.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x1)

クロック分周比の選択

クロックソースがOSC1の場合

OSC1をクロックソースとして選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままTCCLKとして使用されます。

クロックソースがIOSCまたはOSC3の場合

IOSCまたはOSC3をクロックソースとして選択した場合、CLKDIV[1:0]/RFC_CLKレジスタで分周比を選択します。

表21.3.2 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

タイムベースカウンタはここで選択したクロックをカウント用に使用します。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように注意する必要があります。

クロックイネーブル

クロック供給は、CLKEN/RFC_CLKレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のとおり生成されたクロックがRFC回路に送られます。RFCの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

21.4 動作モード

RFCモジュールには、RFC内部発振回路を使用する3つの発振モードと、外部入力クロックを測定するモードがあります。また、CR発振クロック(RFCLK)の周波数を確認するため、モニタ機能および連続発振機能を持っています。これらのモードは、チャンネルごとに設定可能です。

21.4.1 発振モード

RFC内部発振回路を使用する測定では、接続した基準素子とセンサを同じ時間だけ発振させ、それぞれの発振周波数をカウントします。2つのカウント値の差からセンサ値をソフトウェアで算出することができます。R/F変換器はDC印加が可能な抵抗性センサや容量性センサ、AC印加を必要とする抵抗性センサに対応しています。RFC内部発振回路は、これらのセンサに合わせてSMODE[1:0]/RFC_CTLレジスタで指定する以下の3種類の発振モードで動作します。

表21.4.1.1 発振モードの選択

SMODE[1:0]	発振モード
0x3	Reserved
0x2	容量性センサ測定用DC発振モード
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

(デフォルト: 0x0)

抵抗性センサ測定用DC発振モード (SMODE[1:0] = 0x0、デフォルト)

DC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。DC印加が可能な抵抗性センサを接続した場合は、このモードに設定してください。このモードに設定すると、1つのチャンネルに抵抗性センサを2つ接続可能です。また、基準抵抗と基準容量をそれぞれ1個ずつ接続します。

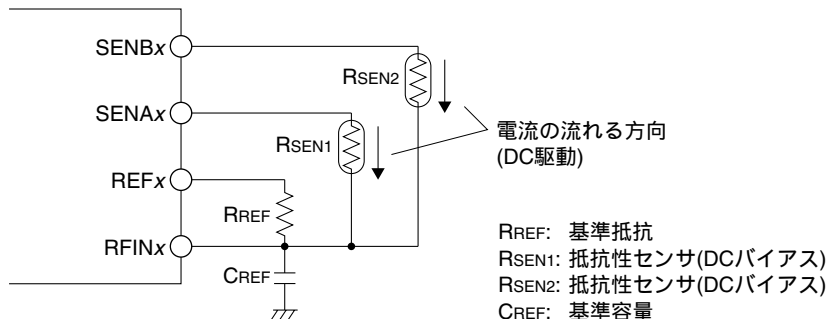


図21.4.1.1 抵抗性センサ測定用DC発振モードの接続例

抵抗性センサを1つしか使用しない場合、使用しない端子をオープンにしてください。

抵抗性センサ測定用AC発振モード (SMODE[1:0] = 0x1)

AC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。AC印加が必要な抵抗性センサを接続した場合は、このモードに設定してください。このモードでは、1つのチャンネルに抵抗性センサを1つのみ接続可能です。また、基準抵抗と基準容量をそれぞれ1個ずつ接続します。

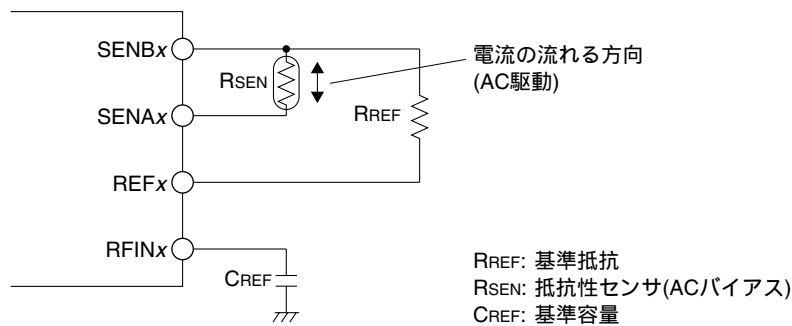


図21.4.1.2 抵抗性センサ測定用AC発振モードの接続例

容量性センサ測定用DC発振モード(SMODE[1:0] = 0x2)

DC駆動によって基準容量と容量性センサを発振させて測定を行うモードです。DC印加が可能な容量性センサを接続した場合は、このモードに設定してください。このモードでは、1つのチャンネルに容量性センサを1つのみ接続可能です。また、基準抵抗と基準容量をそれぞれ1個ずつ接続します。

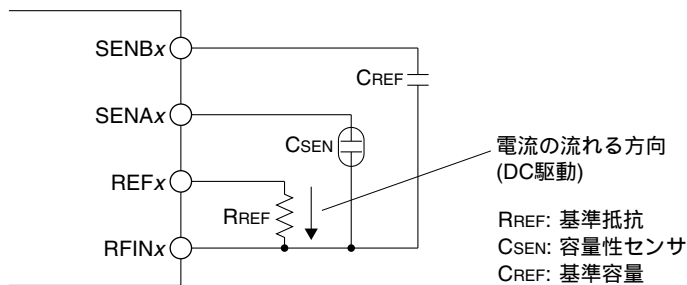


図21.4.1.3 容量性センサ測定用DC発振モードの接続例

21.4.2 外部クロック入力モード(イベントカウンタモード)

このモードでは、外部発振回路などからクロックパルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、三角波、サイン波の入力も可能です(シュミット入力のしきい値については“電気的特性”を参照してください)。

この機能は、EVTEN/RFC_CTLレジスタを1に設定すると有効になります。測定制御手順は内部発振回路使用時と同様です。

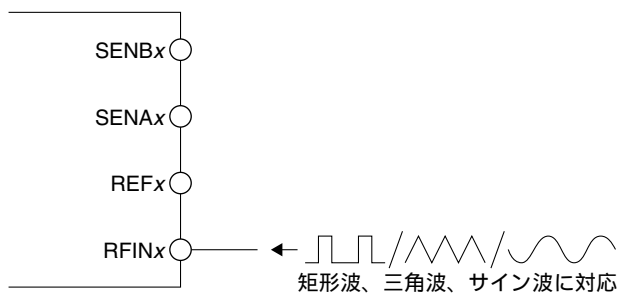


図21.4.2.1 外部クロック入力

使用しない端子はオープンにしてください。

21.4.3 CR発振クロック周波数測定用機能

CR発振クロック(RFCLK)モニタ機能

変換動作中のCR発振クロック(RFCLK)を外部モニタのためにRFCLKO端子から出力することができます。これを、CR発振周波数を測定に使用できます。

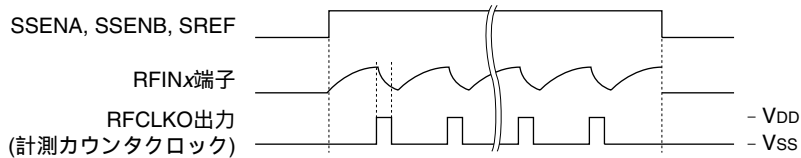


図21.4.3.1 CR発振クロック(RFCLK)波形

連続発振機能

センサおよび基準素子によるCR発振は、停止条件で自動的に終了します。CONEN/RFC_CTLレジスタを1に設定すると連続発振機能が有効となり、発振をソフトウェアで停止するまでCR発振を継続することができます。この機能をCR発振クロックモニタ機能と併用することで、容易なCR発振クロックの周波数測定が可能になります。

21.5 RFCカウンタ

R/F変換器には2種類のカウンタが内蔵されています。1つは基準素子とセンサの発振クロックをカウントする計測カウンタ(MC)、もう1つはTCCLKクロックをカウントするタイムベースカウンタ(TC)です。

計測カウンタ(MC)

計測カウンタは初期値のプリセットが可能な24ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、ICの製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

タイムベースカウンタ(TC)

タイムベースカウンタは初期値のプリセットが可能な24ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間にTCCLKによるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが0になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウント値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。

基準素子とセンサの抵抗値/容量値がまったく同じ場合、<初期値> = <センサ発振終了時のカウンタ値>となります(誤差がない場合)。計測カウンタに設定する初期値を小さくすると測定精度が上がります。ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります(測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に0x0に設定しておきます。

21.6 変換動作

R/F変換器の変換動作は動作モードにかかわらず、チャンネルごとに初期設定→基準発振→センサ発振の手順で制御します。R/F変換器の2チャンネルは個別に制御可能ですが、2つを同時に動作させることはできません。以下、この制御手順を説明します。

説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。基準発振とセンサ発振のどちらを行うか、およびカウンタに設定する初期値などは使用目的に合わせて選択してください。

21.6.1 初期設定

クロックと端子の設定

- (1) R/F変換器の動作クロック(TCCLK)を選択し、クロック供給を開始させます。(21.3節参照)
- (2) R/F変換器で使用する端子を汎用入出力からR/F変換器用に切り換えます。“入出力ポート(P)”の章を参照してください。

R/F変換器のチャンネルとモードの設定

- (1) RFCEN/RFC_CTLレジスタを1に設定して、R/F変換器を有効にします。
- (2) CHSEL/RFC_CTLレジスタで変換を行うチャンネルを選択します。CHSELを0(デフォルト)に設定するとチャンネル0、1に設定するとチャンネル1が選択されます。
- (3) SMODE[1:0]/RFC_CTLレジスタで発振モードを設定してください。(21.4.1節参照)

21.6.2 基準発振の制御

先に基準抵抗/容量による発振を行い、センサを同じ時間発振させるための値をタイムベースカウンタから取得します。

- (1) MC[23:0]/RFC_MC(H/L)レジスタ(計測カウンタ)に初期値(0x0 - n)を設定します。(21.5節参照)
- (2) TC[23:0]/RFC_TC(H/L)レジスタ(タイムベースカウンタ)を0x0に設定します。
- (3) RFC_IFLGレジスタの割り込みフラグOVTCIF、EREFIFに1を書き込んでリセットします。
- (4) SREF/RFC_TRGレジスタを1に設定し、基準発振を開始させます。
基準抵抗/容量による発振が始まり、CR発振回路は計測カウンタにクロックを出力します。
計測カウンタは設定された初期値からCR発振クロックでカウントアップを開始します。タイムベースカウンタは0x0からTCCLKでカウントアップを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) 計測カウンタまたはタイムベースカウンタがオーバーフロー(0xfffff → 0x0)すると、SREFが0にリセットされ、基準発振が自動的に終了します。
- (6-1) 計測カウンタがオーバーフローした場合は正常終了で、EREFIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でタイムベースカウンタの値(TC[23:0] = X)を読み出してメモリに保存しておきます。割り込みを使用しない場合は、EREFIFがセットされたことを確認して同様の処理を行ってください。
- (6-2) タイムベースカウンタがオーバーフローした場合は異常終了で、OVTCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVTCIFの状態を確認して同様の処理を行ってください。

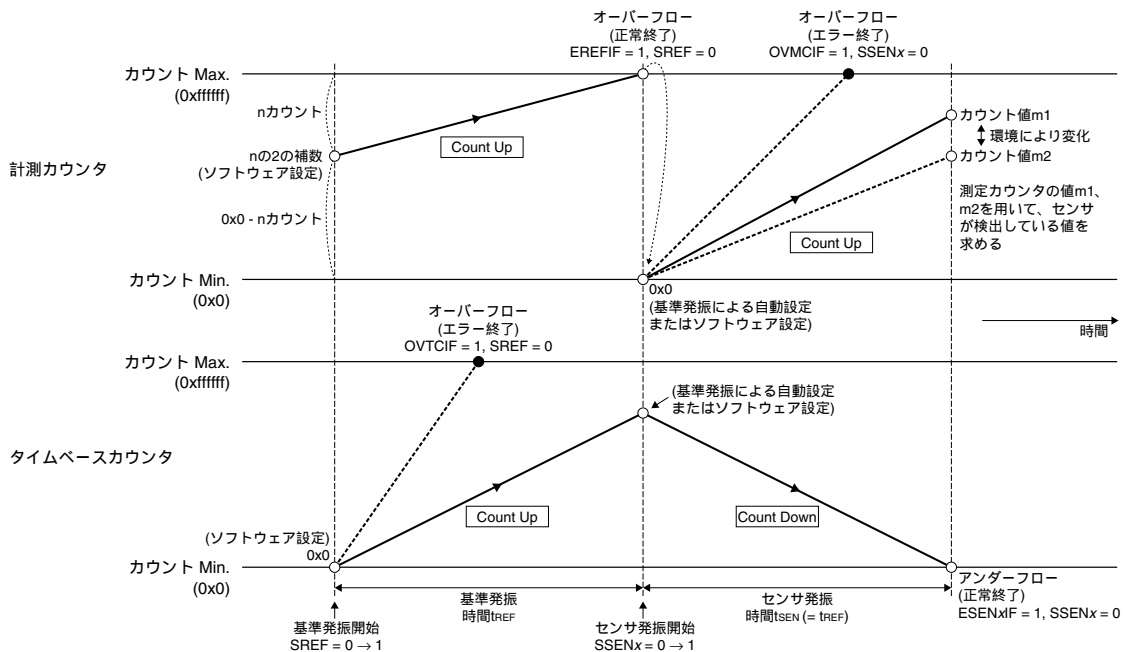


図21.6.2.1 基準発振/センサ発振によるカウンタの動作

21.6.3 センサ発振の制御

基準発振で取得したタイムベースカウンタ値の時間だけセンサによる発振を行い、発振クロックを計測カウンタでカウントします。

- (1) MC[23:0](計測カウンタ)に0x0を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (2) TC[23:0](タイムベースカウンタ)に基準発振でカウントされたタイムベースカウンタの値(X)を書き込んで初期化します。基準発振終了直後の場合は、特に設定する必要はありません。
- (3) RFC_IFLGレジスタの割り込みフラグOVMCIF、ESENBF、ESENAIFに1を書き込んでリセットします。
- (4) SSENA/RFC_TRGレジスタ(センサA)またはSSENB/RFC_TRGレジスタ(センサB)を1に設定し、センサ発振を開始させます。
センサによる発振が始まり、CR発振回路は計測カウンタにクロックを出力します。計測カウンタは0x0からCR発振クロックでカウントアップを開始します。タイムベースカウンタは設定された初期値(X)からTCCLKでカウントダウンを開始します。

注: 制御ビットの設定に関する制限や注意事項については、“制御レジスタ詳細”内の説明を参照してください。条件によっては、正しく設定されない場合があります。

- (5) タイムベースカウンタが0x0になるか、あるいは計測カウンタがオーバーフローすると(0xffff → 0x0)、SSENAまたはSSENBが0にリセットされ、センサ発振が自動的に終了します。
- (6-1) タイムベースカウンタが0x0になった場合は正常終了で、ESENAIF(センサA)またはESENBF(センサB)が1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中で計測カウンタの値(MC[23:0] = m)を読み出して検出結果を処理します。割り込みを使用しない場合は、ESENAIFまたはESENBFがセットされたことを確認して同様の処理を行ってください。
- (6-2) 計測カウンタがオーバーフローした場合は異常終了で、OVMCIFが1にセットされます。この時点で割り込みを発生させることができますので、割り込み処理ルーチンの中でエラー処理を行ってください。割り込みを使用しない場合は、OVMCIFの状態を確認して同様の処理を行ってください。

21.6.4 強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始したRFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

21.6.5 変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \approx m$ になります。このときの、 n と m との差が誤差になります。誤差要因として、外付け部品や基板の寄生素子の影響の他に、温度、電圧、ICの製造ばらつきなどが挙げられます。これらの誤差の目安については、“電気的特性”を参照してください。

21.7 RFC割り込み

RFCモジュールには、以下の5種類の割り込みを発生させる機能があります。

- 基準発振完了割り込み
- センサA発振完了割り込み
- センサB発振完了割り込み
- 計測カウンタオーバーフローエラー割り込み
- タイムベースカウンタオーバーフローエラー割り込み

RFCモジュールは上記の5種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、割り込みフラグを読み出してください。

基準発振完了割り込み

この割り込みを使用するには、EREFIE/RFC_IMSKレジスタを1に設定します。EREFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローにより基準発振が正常終了すると、EREFIF/RFC_IFLGレジスタを1にセットします。基準発振完了割り込みが許可されていれば(EREFIE = 1)、これと同時に割り込み要求がITCに出力されます。

センサA発振完了割り込み

この割り込みを使用するには、ESENAIE/RFC_IMSKレジスタを1に設定します。ESENAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサA発振が正常終了すると、ESENAIF/RFC_IFLGレジスタを1にセットします。センサA発振完了割り込みが許可されていれば(ESENAIE = 1)、これと同時に割り込み要求がITCに出力されます。

センサB発振完了割り込み

この割り込みを使用するには、ESENBIE/RFC_IMSKレジスタを1に設定します。ESENBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタが0x0になり、センサB発振が正常終了すると、ESENBIF/RFC_IFLGレジスタを1にセットします。センサB発振完了割り込みが許可されていれば(ESENBIE = 1)、これと同時に割り込み要求がITCに出力されます。

計測カウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVMCIE/RFC_IMSKレジスタを1に設定します。OVMCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器は計測カウンタのオーバーフローによりセンサ発振が異常終了すると、OVMCIF/RFC_IFLGレジスタを1にセットします。計測カウンタオーバーフローエラー割り込みが許可されていれば(OVMCIE = 1)、これと同時に割り込み要求がITCに出力されます。

タイムベースカウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVTCIE/RFC_IMSKレジスタを1に設定します。OVTCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

R/F変換器はタイムベースカウンタのオーバーフローにより基準発振が異常終了すると、OVTCIF/RFC_IFLGレジスタを1にセットします。タイムベースカウンタオーバーフローエラー割り込みが許可されていれば(OVTCIE = 1)、これと同時に割り込み要求がITCに出力されます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- RFC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、割り込みフラグをリセットする必要があります。割り込みフラグは1の書き込みによりリセットされます。
 - 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

21.8 制御レジスタ詳細

表21.8.1 RFCレジスタ一覧

アドレス	レジスタ名		機能
0x5067	RFC_CLK	RFC Clock Control Register	動作クロックの選択
0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御
0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御
0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ
0x53a6	RFC_MCH	RFC Measurement Counter High Register	
0x53a8	RFC_TCL	RFC Time Base Counter Low Register	タイムベースカウンタデータ
0x53aa	RFC_TCH	RFC Time Base Counter High Register	
0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込み許可/禁止
0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、R/F変換器のレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

RFC Clock Control Register (RFC_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	CLKDIV [1:0]	RFC clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
D3-2	CLKSRC [1:0]	RFC clock source select	CLKSRC[1:0]	Clock source	0x1	R/W			
0x3			reserved						
0x2			OSC3						
0x1			OSC1						
D1	–	reserved	–	–	–	–	0 when being read.		
D0	CLKEN		RFC clock enable	1 Enable	0 Disable	0	R/W		

D[7:6] Reserved

D[5:4] CLKDIV[1:0]: RFC Clock Division Ratio Select Bits

クロックソースにIOSCまたはOSC3を使用する場合に、カウントクロックを生成する分周比を選択します。

表21.8.2 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] CLKSRC[1:0]: RFC Clock Source Select Bits

クロックソースを選択します。

表21.8.3 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3
0x1	OSC1
0x0	IOSC

(デフォルト: 0x1)

D1 Reserved

D0 CLKEN: RFC Clock Enable Bit

TCCLKクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択されたクロックがR/Fコンバータに送られます。

RFC Control Register (RFC_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	-	reserved	-		-	-	0 when being read.	
		D7	CONEN	Continuous oscillation enable	1 Enable	0 Disable	0	R/W		
		D6	EVTEN	Event counter mode enable	1 Enable	0 Disable	0	R/W		
		D5-4	SMODE[1:0]	Sensor oscillation mode select	SMODE[1:0]		Sensor	0x0	R/W	
					0x3	reserved				
					0x2	DC capacitive				
					0x1	AC resistive				
			0x0	DC resistive						
		D3-2	-	reserved	-		-	-	0 when being read.	
		D1	CHSEL	Conversion channel select	1 Ch.1	0 Ch.0	0	R/W		
		D0	RFECN	RFC enable	1 Enable	0 Disable	0	R/W		

D[15:8] Reserved

D7 CONEN: Continuous Oscillation Enable Bit

CR発振の自動停止を禁止して、連続発振を可能にします。

1(R/W): 連続発振許可

0(R/W): 連続発振禁止(デフォルト)

CONENを1に設定すると、基準発振/センサ発振の停止条件を無効としてCR発振を停止させないようにすることができます。この場合も発振を開始するには、RFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)を1に設定してください。発振を停止するにはこれらのビットを0に設定します。

この機能をCR発振クロックモニタ機能と併用することで、CR発振クロック周波数を容易に測定することができます。

D6 EVTEN: Event Counter Mode Enable Bit

外部クロック入力モード(イベントカウンタモード)を有効にします。

1(R/W): 外部クロック入力モード

0(R/W): 通常モード(デフォルト)

EVTENを1に設定すると、RFIN_x端子への外部クロック入力が可能になります。ただし、変換動作を行うためには、内部発振時と同様に、RFC_TRGレジスタのSREF(基準発振)、SSENA(センサA発振)、またはSSENB(センサB発振)による発振開始(変換開始)制御が必要です。

注: EVTENを1に設定する前に、外部クロックを入力しないでください。RFIN_x端子は、端子機能をR/F変換器用に切り換えた時点でV_{SS}にプルダウンされます。

D[5:4] SMODE[1:0]: Sensor Oscillation Mode Select Bits

発振モードを設定します。

表21.8.4 発振モードの選択

SMODE[1:0]	発振モード
0x3	Reserved
0x2	容量性センサ測定用DC発振モード
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

(デフォルト: 0x0)

発振モードの詳細については、21.4.1節を参照してください。

D[3:2] Reserved**D1 CHSEL: Conversion Channel Select Bit**

変換チャンネルを設定します。

1(R/W): Ch.1

0(R/W): Ch.0 (デフォルト)

本レジスタのD[7:4]の設定とRFC_TRGレジスタによる発振制御は、このビットで指定されているチャンネルに対して有効です。

D0 RFCEN: RFC Enable Bit

R/F変換器の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RFCENを1に設定すると変換動作が行える状態になります。RFCENが0の場合、RFC_TRGレジスタによる発振制御操作は無効になります。

RFC Oscillation Trigger Register (RFC_TRG)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	-	reserved	-			-	-	0 when being read.	
		D2	SSENB	Sensor B oscillation control/status	1	Start/Run	0	Stop	0		R/W
		D1	SSENA	Sensor A oscillation control/status	1	Start/Run	0	Stop	0		R/W
		D0	SREF	Reference oscillation control/status	1	Start/Run	0	Stop	0		R/W

D[15:3] Reserved**D2 SSENB: Sensor B Oscillation Control/Status Bit**

センサBのCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

センサBは抵抗性センサAC発振モード、容量性センサDC発振モードでは使用できません。

D1 SSENA: Sensor A Oscillation Control/Status Bit

センサAのCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

D0 SREF: Reference Oscillation Control/Status Bit

基準素子のCR発振を制御します。また、CR発振の状態を示します。

1(W): 発振開始

0(W): 発振停止

1(R): 発振中

0(R): 停止中(デフォルト)

21 R/F変換器 (RFC)

- 注: • RFCEN/RFC_CTLレジスタが0(変換操作禁止)の場合、SREF、SSENA、SSENBはすべて無効になります。
- SMODE[1:0]/RFC_CTLレジスタが0x1(抵抗性センサAC発振モード)または0x2(容量性センサDC発振モード)のときに、SSENBに1を書き込んでも発振を開始しません。
 - 発振を開始させる場合は必ずSREF、SSENA、SSENBの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。
 - SREF、SSENA、SSENBで発振を開始させる前に、必ずRFC_IFLGレジスタの割り込みフラグ(EREFIF、ESENAIF、ESENBIFF、OVMCIF、OVTCIF)をリセットしてください。

RFC Measurement Counter Low and High Registers (RFC_MCL, RFC_MCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15-8 D7-0	- MC[23:16]	reserved Measurement counter high-order 8-bit data	- 0x0-0xff	- 0x0	- R/W	0 when being read.

D[7:0]/RFC_MCH, D[15:0]/RFC_MCL

MC[23:0]: Measurement Counter Bits

計測カウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

- 注: 計測カウンタにデータを設定する場合は、必ず下位の値(MC[15:0]/RFC_MCLレジスタ)から先に書き込んでください。上位の値(MC[23:16]/RFC_MCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

RFC Time Base Counter Low and High Registers (RFC_TCL, RFC_TCH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15-0	TC[15:0]	Time base counter low-order 16-bit data	0x0-0xffff	0x0	R/W	
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15-8 D7-0	- TC[23:16]	reserved Time base counter high-order 8-bit data	- 0x0-0xff	- 0x0	- R/W	0 when being read.

D[7:0]/RFC_TCH, D[15:0]/RFC_TCL

TC[23:0]: Time Base Counter Bits

タイムベースカウンタのデータの書き込み/読み出しができます。(デフォルト: 0x0)

- 注: タイムベースカウンタにデータを設定する場合は、必ず下位の値(TC[15:0]/RFC_TCLレジスタ)から先に書き込んでください。上位の値(TC[23:16]/RFC_TCHレジスタ)を先に書き込むと、正しい値に設定されない場合があります。

RFC Interrupt Mask Register (RFC_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15-5	-	reserved	-	-	-	0 when being read.
		D4	OVTICIE	TC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W	
D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable 0 Disable	0	R/W			

D[15:5] Reserved

- D4 OVTICIE: TC Overflow Error Interrupt Enable Bit**
 タイムベースカウンタオーバーフロー割り込みを許可/禁止します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)
- D3 OVMCIE: MC Overflow Error Interrupt Enable Bit**
 計測カウンタオーバーフローエラー割り込みを許可/禁止します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)
- D2 ESENBIE: Sensor B Oscillation Completion Interrupt Enable Bit**
 センサB発振完了割り込みを許可/禁止します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)
- D1 ESENAIE: Sensor A Oscillation Completion Interrupt Enable Bit**
 センサA発振完了割り込みを許可/禁止します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)
- D0 EREFIE: Reference Oscillation Completion Interrupt Enable Bit**
 基準発振完了割り込みを許可/禁止します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

RFC Interrupt Flag Register (RFC_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.	
		D4	OVTICIF	TC overflow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	OVMCIF	MC overflow error interrupt flag			0	R/W	
		D2	ESENBIF	Sensor B oscillation completion interrupt flag			0	R/W	
		D1	ESENAIF	Sensor A oscillation completion interrupt flag			0	R/W	
		D0	EREFIF	Reference oscillation completion interrupt flag			0	R/W	

D[15:5] Reserved

- D4 OVTICIF: TC Overflow Error Interrupt Flag Bit**
 タイムベースカウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効
- OVTICIFはタイムベースカウンタのオーバーフローにより基準発振が異常終了すると1にセットされます。OVTICIFは1の書き込みによりリセットされます。
- D3 OVMCIF: MC Overflow Error Interrupt Flag Bit**
 計測カウンタオーバーフローエラー割り込み要因の発生状態を示す割り込みフラグです。
 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効
- OVMCIFは計測カウンタのオーバーフローによりセンサ発振が異常終了すると1にセットされます。OVMCIFは1の書き込みによりリセットされます。

D2 ESENBIF: Sensor B Oscillation Completion Interrupt Flag Bit

センサB発振完了割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

ESENBIFはタイムベースカウンタが0x0になり、センサB発振が正常終了すると1にセットされます。ESENBIFは1の書き込みによりリセットされます。

D1 ESENAIF: Sensor A Oscillation Completion Interrupt Flag Bit

センサA発振完了割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

ESENAIFはタイムベースカウンタが0x0になり、センサA発振が正常終了すると1にセットされます。ESENAIFは1の書き込みによりリセットされます。

D0 EREFIF: Reference Oscillation Completion Interrupt Flag Bit

基準発振完了割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

EREFIFは計測カウンタのオーバーフローにより基準発振が正常終了すると1にセットされます。EREFIFは1の書き込みによりリセットされます。

22 電源電圧検出回路(SVD)

22.1 SVDモジュールの概要

S1C17711はV_{DD}端子に供給される電源電圧を監視するSVD(電源電圧検出)回路を内蔵しています。電源電圧がソフトウェアで設定した検出レベルより低下した場合に割り込みを発生させることができます。検出結果をソフトウェアによって読み出すことも可能です。

SVDモジュールの主な機能と特長を以下に示します。

- 検出する電源電圧: V_{DD}
- 検出電圧レベル: 15レベル(1.8V~3.2V)
- 割り込み: 1系統(電源電圧低下検出割り込み)

図22.1.1にSVDモジュールの構成を示します。

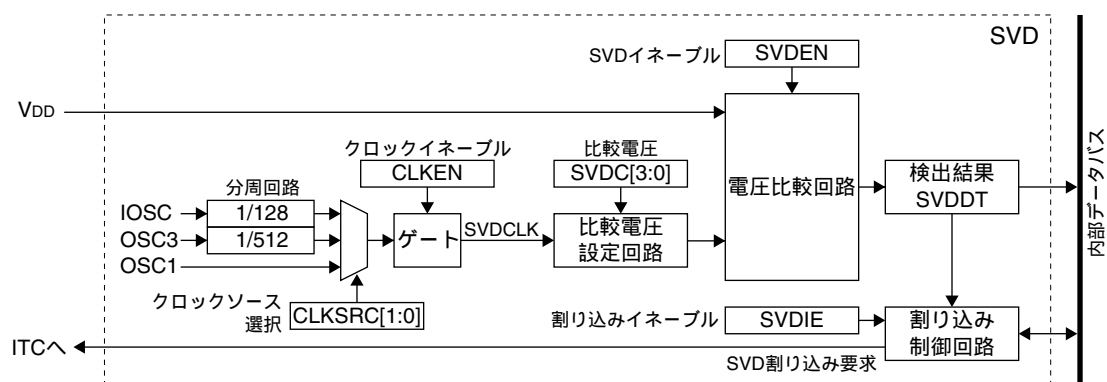


図22.1.1 SVD回路の構成

22.2 動作クロック

SVDモジュールには、動作クロックを制御するクロックソースセレクタ、分周回路、ゲート回路が組み込まれています。

クロックソースの選択

クロックソースは、CLKSRC[1:0]/SVD_CLKレジスタを使用してIOSC、OSC3、OSC1から選択します。

表22.2.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3/512
0x1	OSC1
0x0	IOSC/128

(デフォルト: 0x1)

OSC1をクロックソースとして選択した場合、OSC1クロック(Typ. 32.768kHz)がそのままSVDCLKとして使用されます。

IOSCをクロックソースとして選択した場合、IOSCクロックを1/128に分周してSVDCLKが生成されます。

OSC3をクロックソースとして選択した場合、OSC3クロックを1/512に分周してSVDCLKが生成されます。

クロックイネーブル

クロック供給は、CLKEN/SVD_CLKレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択したクロックがSVD回路に送られます。SVD回路の動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。SVDCLKが供給されていないと、SVD回路は電圧レベルの検出はできません。ただし、SVDCLKが停止している場合でもSVD制御レジスタはアクセス可能です。

22.3 比較電圧の設定

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(V_{DD})の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。比較電圧はSVDC[3:0]/SVD_CMPレジスタによって表22.3.1の15種類から選択できます。

表22.3.1 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	3.2V
0xe	3.1V
0xd	3.0V
0xc	2.9V
0xb	2.8V
0xa	2.7V
0x9	2.6V
0x8	2.5V
0x7	2.4V
0x6	2.3V
0x5	2.2V
0x4	2.1V
0x3	2.0V
0x2	1.9V
0x1	1.8V
0x0	Reserved

(デフォルト: 0x0)

22.4 SVDの制御

SVD回路による電源電圧の検出動作はSVDEN/SVD_ENレジスタに1を書き込むことによって開始し、0を書き込むことによって停止します。

検出結果はSVDDT/SVD_RSLTレジスタから読み出すことができます。

検出結果とSVDDTの読み出し値は次のとおりです。

- 電源電圧(V_{DD}) ≥ 比較電圧の場合、SVDDT = 0
- 電源電圧(V_{DD}) < 比較電圧の場合、SVDDT = 1

また、SVD割り込みを許可してSVDENを1に設定した場合、電源電圧が比較電圧を下回り、検出結果が1となった時点で割り込みが発生します。この割り込みを利用して、電池消耗の表示や重負荷保護の設定を行うことが可能です。割り込みの制御については次節を参照してください。

なお、一時的な電圧低下で割り込みが発生した場合、その後電圧が比較値以上に戻っても割り込みは解除されません。割り込み処理ルーチン内で、SVDDTを読み出して確認してください。

注: • SVDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[3:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの応答時間については、“電気的特性”を参照してください。

- SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

22.5 SVD割り込み

SVDモジュールには、電源電圧の低下を検出した場合に割り込みを発生させる機能があります。

電源電圧低下検出割り込み

この割り込み要求は、SVD動作中(SVDEN/SVD_ENレジスタ = 1)に電源電圧(V_{DD})の検出値が比較電圧より低くなった時点で発生し、SVDモジュール内の割り込みフラグSVDIF/SVD_IFLGレジスタを1にセットします。セットされたSVDIFは、その後電源電圧が比較値以上に戻ってもリセットされません。この割り込みを使用するには、SVDIE/SVD_IMSKレジスタを1に設定します。SVDIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。SVDIEが1(割り込み許可)に設定されている状態で、SVDIFが1にセットされるとSVDモジュールは割り込み要求をITCに出力します。ITCとSIC17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- SVD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、SVDIEによってSVD割り込みを許可する前に、SVDIFをリセットしてください。

22.6 制御レジスタ詳細

表22.6.1 SVDレジスタ一覧

アドレス	レジスタ名		機能
0x5066	SVD_CLK	SVD Clock Control Register	動作クロックの選択
0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
0x5101	SVD_CMP	SVD Comparison Voltage Register	比較電圧の設定
0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SVDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SVD Clock Control Register (SVD_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Clock Control Register (SVD_CLK)	0x5066 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.	
		D3-2	CLKSRC [1:0]	SVD clock source select	CLKSRC[1:0]	Clock source	0x1	R/W	
					0x3	reserved	—	—	
					0x2	OSC3/512			
0x1	OSC1								
0x0	IOSC/128								
D1	—	reserved	—	—	—	—	0 when being read.		
D0	CLKEN	SVD clock enable	1 Enable	0 Disable	0	R/W			

D[7:4] **Reserved**

D[3:2] **CLKSRC[1:0]: SVD Clock Source Select Bits**

SVD回路のクロックソースを選択します。

表22.6.2 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	Reserved
0x2	OSC3/512
0x1	OSC1
0x0	IOSC/128

(デフォルト: 0x1)

22 電源電圧検出回路(SVD)

OSC1をクロックソースとして選択した場合、OSC1クロック(Typ. 32.768kHz)がそのままSVDCLKとして使用されます。IOSCをクロックソースとして選択した場合、IOSCクロックを1/128に分周してSVDCLKが生成されます。OSC3をクロックソースとして選択した場合、OSC3クロックを1/512に分周してSVDCLKが生成されます。

D1 **Reserved**

D0 **CLKEN: SVD Clock Enable Bit**

SVD回路動作クロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択されたクロックがSVD回路に送られます。

SVD Enable Register (SVD_EN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7-1	-	reserved	-		-	-	0 when being read.
		D0	SVDEN	SVD enable	1 Enable	0 Disable	0	R/W	

D[7:1] **Reserved**

D0 **SVDEN: SVD Enable Bit**

SVD回路の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SVDENを1に設定すると電源電圧の検出を開始し、0に設定すると停止します。

注: • SVDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[3:0]を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの応答時間については、“電気的特性”を参照してください。

• SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

SVD Comparison Voltage Register (SVD_CMP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7-4	-	reserved	-		-	-	0 when being read.
		D3-0	SVDC[3:0]	SVD comparison voltage select	SVDC[3:0]	Voltage	0x0	R/W	
					0xf	3.2 V			
					0xe	3.1 V			
					0xd	3.0 V			
					0xc	2.9 V			
					0xb	2.8 V			
					0xa	2.7 V			
					0x9	2.6 V			
					0x8	2.5 V			
					0x7	2.4 V			
					0x6	2.3 V			
					0x5	2.2 V			
					0x4	2.1 V			
					0x3	2.0 V			
					0x2	1.9 V			
					0x1	1.8 V			
			0x0	reserved					

D[7:4] **Reserved**

D[3:0] **SVDC[3:0]: SVD Comparison Voltage Select Bits**

電圧低下を検出するための比較電圧を15種類から選択します。

表22.6.3 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	3.2V
0xe	3.1V
0xd	3.0V
0xc	2.9V
0xb	2.8V
0xa	2.7V
0x9	2.6V
0x8	2.5V
0x7	2.4V
0x6	2.3V
0x5	2.2V
0x4	2.1V
0x3	2.0V
0x2	1.9V
0x1	1.8V
0x0	Reserved

(デフォルト: 0x0)

SVD回路はSVDC[3:0]によって設定した比較電圧と電源電圧(V_{DD})の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。

SVD Detection Result Register (SVD_RSLT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	SVDDT	SVD detection result	1 Low 0 Normal	×	R	

D[7:1] Reserved

D0 SVDDT: SVD Detection Result Bit

電源電圧の検出結果が読み出せます。

1(R): 電源電圧(V_{DD}) < 比較電圧

0(R): 電源電圧(V_{DD}) ≥ 比較電圧

SVDEN/SVD_ENレジスタ = 1の間、SVD回路は電源電圧(V_{DD})をSVDC[3:0]/SVD_CMPレジスタで設定した電圧値と比較します。SVDDTを読み出すことにより、現在の電源電圧の状態を確認できます。

SVD Interrupt Mask Register (SVD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	SVDDIE	SVD interrupt enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved

D0 SVDDIE: SVD Interrupt Enable Bit

電源電圧低下検出時の割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

SVDDIEを1に設定するとITCへのSVD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

SVD Interrupt Flag Register (SVD_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7-1	–	reserved	–		–	–	0 when being read.
		D0	SVDIF	SVD interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 **SVDIF: SVD Interrupt Flag Bit**

電源電圧低下検出割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

SVDIFはSVDモジュールの割り込みフラグで、電源電圧の低下を検出すると1にセットされます。SVDIFは1の書き込みによりリセットされます。

23 オンチップデバグ (DBG)

23.1 リソース要件とデバグツール

デバグ用ワークエリア

デバグを行うには、64バイトのデバグ用ワークエリアが必要です。ワークエリアのアドレスは“メモリマップ、バス制御”の章を参照してください。

このデバグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバグツール

デバグは、S1C17711のデバグ端子にICDmini(S5U1C17001H)を接続し、パソコン上のデバグからデバグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini (S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバグ端子

ICDmini(S5U1C17001H)との接続に以下のデバグ端子を使用します。

表23.1.1 デバグ端子一覧

端子名	I/O	本数	機能
DCLK	O	1	オンチップデバグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	1	オンチップデバグデータ入出力端子 デバグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	1	オンチップデバグステータス信号出力端子 デバグ中のプロセッサの状態を出力します。

オンチップデバグの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子を兼用しており、初期状態ではデバグ端子に設定されます。デバグ機能を使用しない場合は、ポート機能選択ビットの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

23.2 デバグブレーク時の動作状態

brk命令の実行、またはDSIO端子へのブレーク信号(Low)入力によりデバグ割り込みが発生すると、S1C17コアはデバグモードに入ります。この状態はret命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバグ中でも動作するように変更することができます。

PCLKで動作する周辺回路は、DBRUN1/MISC_DMODE1レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

PCLK以外で動作する周辺回路は、DBRUN2/MISC_DMODE2レジスタを1に設定するとデバグ中でも動作し、0(デフォルト)に設定した場合は停止します。

一部例外があり、SPI、I2CS、T16Aなどを外部入力クロックで動作させた場合、デバグ中に動作を停止することはできません。

LCDドライバのみ、デバグ割り込み発生時の状態を継続します。

23.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17711では以下の機能拡張を行っています。

デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17711ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR/MISC_IRAMSZレジスタで選択します。DBADRが0(デフォルト)の場合は0xffffc00番地、1に設定すると0x0番地が選択されます。

命令ブレーク本数の追加

S1C17コアは2本の命令ブレーク(ハードウェアPCブレーク)に対応しています。S1C17711ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- IBE2/DCRレジスタ: 命令ブレーク#2を有効に設定
- IBE3/DCRレジスタ: 命令ブレーク#3を有効に設定
- IBE4/DCRレジスタ: 命令ブレーク#4を有効に設定
- IBAR2[23:0]/IBAR2レジスタ: 命令ブレークアドレス#2の設定
- IBAR3[23:0]/IBAR3レジスタ: 命令ブレークアドレス#3の設定
- IBAR4[23:0]/IBAR4レジスタ: 命令ブレークアドレス#4の設定

なお、5本のハードウェアPCブレークを使用するには、S5U1C17001C(Ver. 1.2.1)以降に含まれるデバッグが必要でです。

23.4 制御レジスタ詳細

表23.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名	機能
0x4020	MISC_DMODE1	Debug Mode Control Register 1
0x5322	MISC_DMODE2	Debug Mode Control Register 2
0x5326	MISC_IRAMSZ	IRAM Size Select Register
0xffff90	DBRAM	Debug RAM Base Register
0xffffa0	DCR	Debug Control Register
0xffffb8	IBAR2	Instruction Break Address Register 2
0xffffbc	IBAR3	Instruction Break Address Register 3
0xffffd0	IBAR4	Instruction Break Address Register 4

以下、デバッグ用のレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

Debug Mode Control Register 1 (MISC_DMODE1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1 Run 0 Stop	0	R/W	
		D0	-	reserved	-	-	-	0 when being read.

D[7:2] Reserved

D1 **DBRUN1: Run/Stop Select Bit in Debug Mode**

デバッグモード時におけるPCLKで動作する周辺回路の状態を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

DBRUN1を1に設定すると、PCLKで動作する周辺回路はデバッグモード時も動作します。DBRUN1を0に設定すると、S1C17コアがデバッグモードになった時点でPCLKで動作する周辺回路は停止します。デバッグ中に動作を継続したい場合は、DBRUN1を1に設定してください。

D0 **Reserved**

Debug Mode Control Register 2 (MISC_DMODE2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	

D[15:1] **Reserved**

D0 **DBRUN2: Run/Stop Select Bit in Debug Mode (except PCLK peripheral circuits)**

デバッグモード時におけるPCLK以外で動作する周辺回路の状態を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

DBRUN2を1に設定すると、PCLK以外で動作する周辺回路はデバッグモード時も動作します。DBRUN2を0に設定すると、S1C17コアがデバッグモードになった時点でPCLK以外で動作する周辺回路は停止します。デバッグ中に動作を継続したい場合は、DBRUN2を1に設定してください。一部例外があり、SPI、I2CS、T16Aなどを外部入力クロックで動作させた場合、デバッグ中に動作を停止することはできません。LCDドライバのみ、デバッグ割り込み発生時の状態を継続します。

IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W		
		D7	—	reserved	—	—	—	—	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x2 (= 4KB)	0x2	R		
		D3	—	reserved	—	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size	0x5 512B 0x4 1KB 0x3 2KB 0x2 4KB Other reserved	0x2	R/W	

D[15:9] **Reserved**

D8 **DBADR: Debug Base Address Select Bit**

デバッグ割り込み発生時の分岐先アドレスを選択します。

1(R/W): 0x0

0(R/W): 0xffc00(デフォルト)

D7 **Reserved**

D[6:4] **IRAMACTSZ[2:0]: IRAM Actual Size Bits**

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x2)

D3 **Reserved**

D[2:0] **IRAMSZ[2:0]: IRAM Size Select Bits**

使用する内蔵RAMのサイズを選択します。

表23.4.2 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x5	512B
0x4	1KB
0x3	2KB
0x2	4KB
その他	Reserved

(デフォルト: 0x2)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタを0x96以外に設定してください。

Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	-	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0xfc0	0x fc0	R	

D[31:24] 未使用 (0固定)

D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits

デバッグ用ワークエリア (64バイト) の先頭アドレスが格納されるリードオンリレジスタです。

Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1	Enable	0	Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1	Enable	0	Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1	Enable	0	Disable	0	R/W	
		D4	DR	Debug request flag	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1	Enable	0	Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1	Enable	0	Disable	0	R/W	
		D1	SE	Single step enable	1	Enable	0	Disable	0	R/W	
		D0	DM	Debug mode	1	Debug mode	0	User mode	0	R	

D7 IBE4: Instruction Break #4 Enable Bit

命令ブレイク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR4レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D6 IBE3: Instruction Break #3 Enable Bit

命令ブレイク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR3レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D5 IBE2: Instruction Break #2 Enable Bit

命令ブレイク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR2レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D4 DR: Debug Request Flag Bit

外部からのデバッグ要求の有無を示します。

- 1(R): 発生
- 0(R): なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバッグ処理ルーチンをretld命令で終了する前にクリアしておく必要があります。

D3 IBE1: Instruction Break #1 Enable Bit

命令ブレイク#1を許可/禁止します。

- 1(R/W): 許可
- 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR1レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D2 IBE0: Instruction Break #0 Enable Bit

命令ブレイク#0を許可/禁止します。

- 1(R/W): 許可
- 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR0レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D1 SE: Single Step Enable Bit

シングルステップ動作を許可/禁止します。

- 1(R/W): 許可
- 0(R/W): 禁止(デフォルト)

D0 DM: Debug Mode Bit

プロセッサの動作モード(デバッグモードまたはユーザモード)を示します。

- 1(R): デバッグモード
- 0(R): ユーザモード(デフォルト)

Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits

命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 3 (IBAR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits

命令ブレークアドレス#4を設定します。(デフォルト: 0x000000)

24 乗除算器 (COPRO)

24.1 概要

S1C17711は乗除算機能を提供するコプロセッサを内蔵しています。

乗除算器の主な機能と特長を以下に示します。

- 乗算: 符号付き/符号なし乗算をサポート
(16ビット×16ビット=32ビット)
1サイクルで実行可能
- 積和演算 (MAC): 符号付き積和演算をサポート、オーバーフロー検出機能付き
(16ビット×16ビット+32ビット=32ビット)
1サイクルで実行可能
- 除算: 符号付き/符号なし除算をサポート
(16ビット÷16ビット=16ビット、剰余=16ビット)
17~20サイクルで実行可能

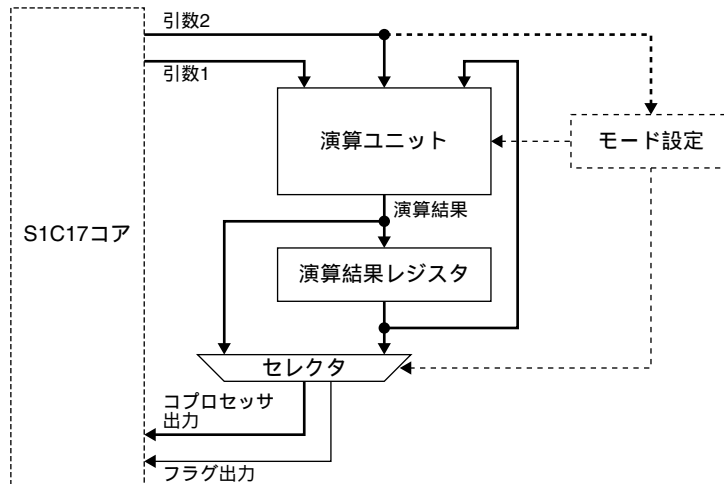


図24.1.1 乗除算器ブロック図

24.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表24.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7  imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

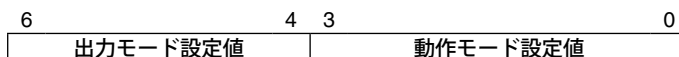


図24.2.1 モード設定レジスタ

表24.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2~0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
0xa~0xf	Reserved		

24.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“1d.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

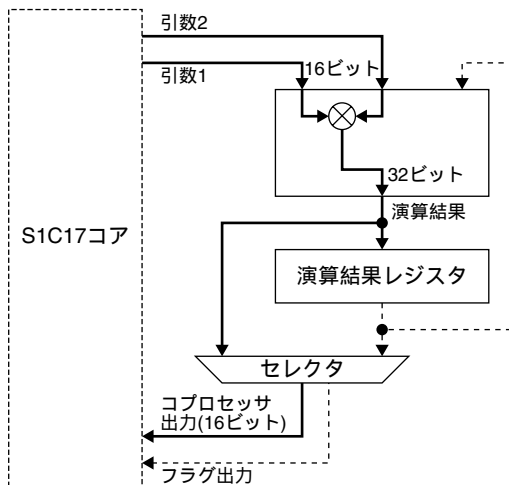


図24.3.1 乗算モードのデータ経路

表24.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[15:0]		
0x14 または 0x15	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

24.4 除算

除算機能は、“B(16ビット) ÷ C(16ビット) = A(16ビット), 余り D(16ビット)”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

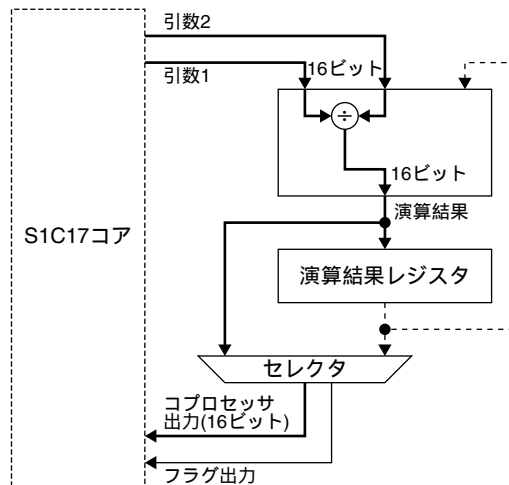


図24.4.1 除算モードのデータ経路

表24.4.1 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[15:0](商)		
0x18 または 0x19	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[31:16](余り)		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[31:16](余り)		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

24.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

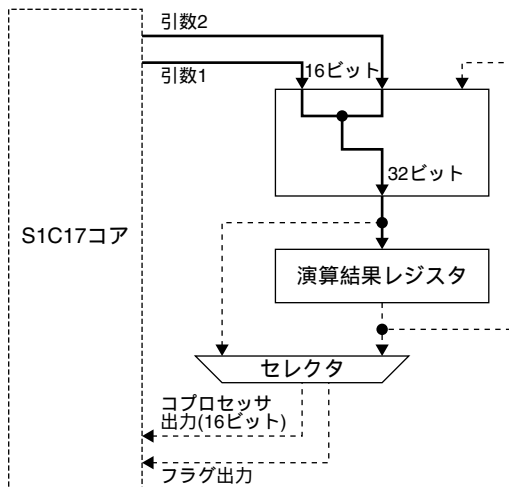


図24.5.1 初期化モード時のデータ経路

表24.5.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	—	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。

演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

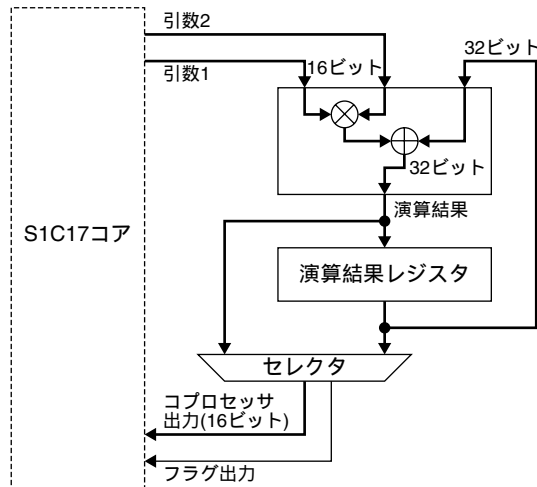


図24.5.2 積和演算モード時のデータ経路

表24.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs + \text{res}[31:0]$ $\%rd \leftarrow \text{res}[15:0]$	オーバーフローが発生した場合 psr (CVZN) $\leftarrow 0b0100$	演算結果レジスタは他の演算によって書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16 + \text{res}[31:0]$ $\%rd \leftarrow \text{res}[15:0]$		
0x17	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs + \text{res}[31:0]$ $\%rd \leftarrow \text{res}[31:16]$	それ以外 psr (CVZN) $\leftarrow 0b0000$	
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16 + \text{res}[31:0]$ $\%rd \leftarrow \text{res}[31:16]$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および演算 f 結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表24.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

24.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

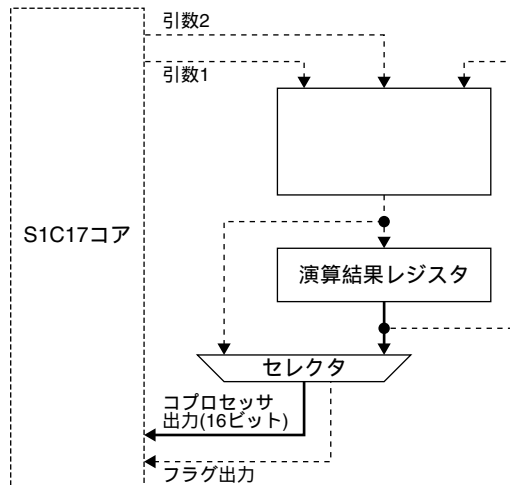


図24.6.1 演算結果読み出しモードのデータ経路

表24.6.1 演算結果読み出しモードの動作

モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

25 電気的特性

25.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3~4.0	V
アナログ電源電圧	AV _{DD}	AV _{DD} = V _{DD}	-0.3~4.0	V
液晶電源電圧	VC ₄		-0.3~6.0	V
入力電圧	V _I		-0.3~V _{DD} + 0.3	V
出力電圧	V _O		-0.3~V _{DD} + 0.3	V
高レベル出力電流	IOH	1端子	-5	mA
		全端子合計	-20	mA
低レベル出力電流	IOL	1端子	5	mA
		全端子合計	20	mA
許容損失 *1	V _O		200	mW
動作温度	T _a		-25~70	°C
保存温度	T _{stg}		-65~150	°C
半田付け温度・時間	T _{sol}		260°C, 10秒(リード部)	-

*1 プラスチックパッケージの場合

25.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{DD}	通常動作モード	1.8		3.6	V
		Flashプログラミングモード	2.7		3.6	V
アナログ電源電圧	AV _{DD}	AV _{DD} = V _{DD}	1.8		3.6	V
動作周波数	f _{OSC3}	水晶/セラミック発振	0.2		8.2	MHz
	f _{OSC1}	水晶発振		32.768		kHz
V _{SS} ~V _{D1} 間キャパシタ *1	C ₁			0.1		μF
V _{SS} ~V _{C1} 間キャパシタ *1	C ₂			0.1		μF
V _{SS} ~V _{C2} 間キャパシタ *1	C ₃			0.1		μF
V _{SS} ~V _{C3} 間キャパシタ *1	C ₄			0.1		μF
V _{SS} ~V _{C4} 間キャパシタ *1	C ₅			0.1		μF
CA~CB間キャパシタ *1	C ₆			0.1		μF
CA~CC間キャパシタ *1	C ₇			0.1		μF
CD~CE間キャパシタ *1	C ₈			0.1		μF

*1 LCDドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}~V_{C4}およびCA~CEは開放としてください。

25.3 消費電流

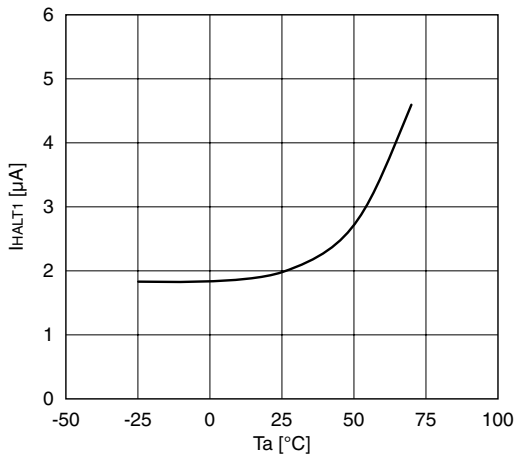
特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C₁~C₈ = 0.1μF, LCDパネル負荷なし,
 PCKEN[1:0] = 0x3 (ON), VD1MD = 0, FLCYC[2:0] = 0x4 (1サイクル), CCLKGR[1:0] = 0x0 (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	I _{SLP}	OSC1 = OFF, IOSC = OFF, OSC3 = OFF		1.0	3.0	μA
HALT時消費電流	I _{HALT1}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, PCKEN[1:0] = 0x0 (OFF)		2.0	4.0	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF		3.0	6.0	μA
	I _{HALT2}	OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz (セラミック)		450	650	μA
	I _{HALT3}	OSC1 = 32kHz, IOSC = ON, OSC3 = OFF		200	300	μA
動作時消費電流 *1	I _{EXE1}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, CPU = OSC1		12	20	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, CCLKGR[1:0] = 0x2 (ギア比1/4), CPU = OSC1		7	10	μA
	I _{EXE2}	OSC1 = 32kHz, IOSC = OFF, OSC3 = 1MHz (セラミック), CPU = OSC3		400	600	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz (セラミック), CPU = OSC3		2800	3500	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz (セラミック), CCLKGR[1:0] = 0x2 (ギア比1/4), CPU = OSC3		1400	2100	μA
	I _{EXE3}	OSC1 = 32kHz, IOSC = ON, OSC3 = OFF, CPU = IOSC		1000	1400	μA
	I _{EXE11}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, VD1MD = 1, CPU = OSC1		30	40	μA
	I _{EXE21}	OSC1 = 32kHz, IOSC = OFF, OSC3 = 1MHz (セラミック), VD1MD = 1, CPU = OSC3		750	1100	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz (セラミック), VD1MD = 1, CPU = OSC3		4800	6000	μA
	I _{EXE31}	OSC1 = 32kHz, IOSC = ON, OSC3 = OFF, VD1MD = 1, CPU = IOSC		1800	2400	μA
重負荷保護モード [△] 動作時消費電流 *1	I _{EXE1H}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, CPU = OSC1, HVLD = 1		20	30	μA

*1 “ALU命令60.5%、分岐命令17%、メモリリード12%、メモリアイト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値です。

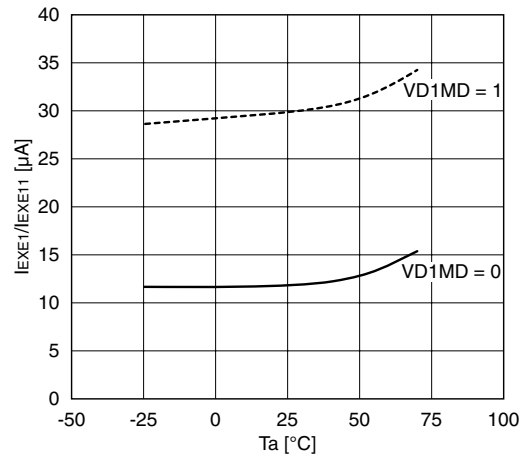
HALT時 消費電流対温度特性 (OSC1動作時)

OSC1 = 32.768kHz水晶, IOSC = OFF, OSC3 = OFF,
 PCKEN[1:0] = 0x0, VD1MD = 0, CCLKGR[1:0] = 0x0, Typ.値



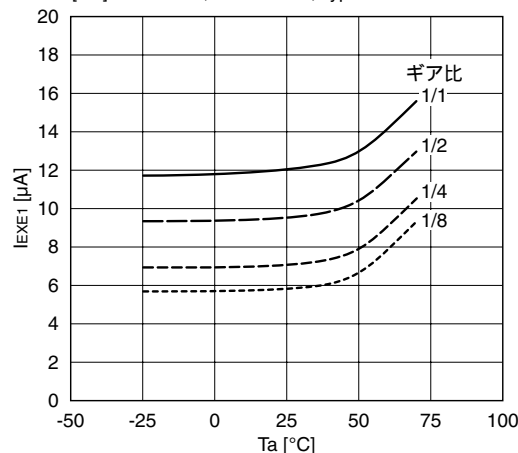
OSC1動作時 消費電流対温度特性

OSC1 = 32.768kHz水晶, IOSC = OFF, OSC3 = OFF,
 PCKEN[1:0] = 0x3, CCLKGR[1:0] = 0x0, Typ.値

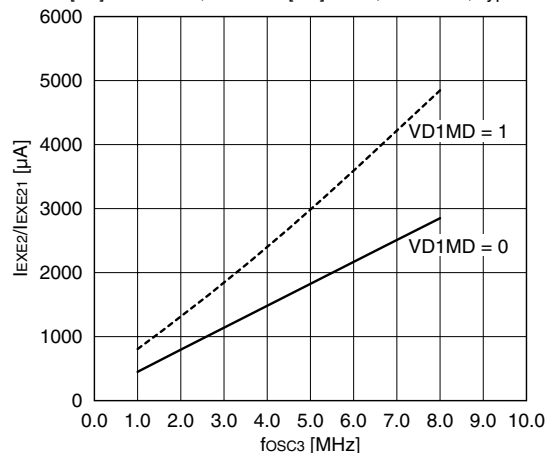


OSC1+クロックギア動作時 消費電流対温度特性

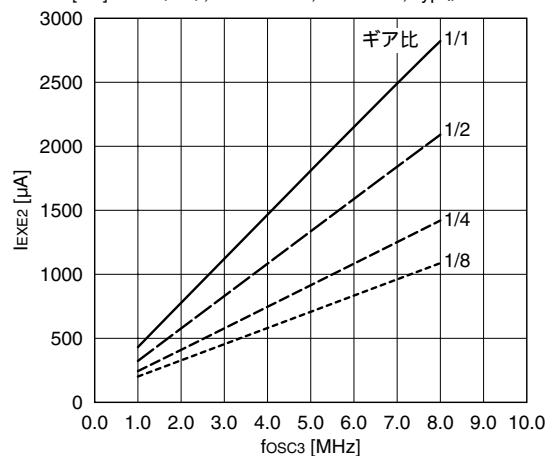
OSC1 = 32.768kHz水晶, IOOSC = OFF, OSC3 = OFF,
PCKEN[1:0] = 0x3 (ON), VD1MD = 0, Typ.値

**OSC3動作時 消費電流対周波数特性**

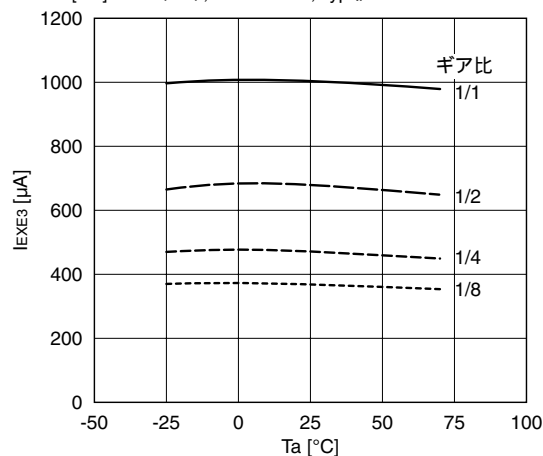
OSC3 = 水晶/セラミック, IOOSC = OFF, OSC1 = OFF,
PCKEN[1:0] = 0x3 (ON), CCLKGR[1:0] = 0x0, Ta = 25°C, Typ.値

**OSC3+クロックギア動作時 消費電流対周波数特性**

OSC3 = 水晶/セラミック, IOOSC = OFF, OSC1 = OFF,
PCKEN[1:0] = 0x3 (ON), VD1MD = 0, Ta = 25°C, Typ.値

**IOOSC+クロックギア動作時 消費電流対温度特性**

IOOSC = 内蔵発振, OSC1 = OFF, OSC3 = OFF,
PCKEN[1:0] = 0x3 (ON), VD1MD = 0, Typ.値



25.4 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。推奨振動子についてはAppendix Eを参照してください。

OSC1水晶発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C_{D1} = 内蔵, R_{I1} = 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}				3	s
内蔵ドレイン容量	C _{D1}	チップの場合		10		pF
内蔵帰還抵抗	R _{I1}			10		MΩ

OSC3水晶発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C_{G3} = C_{D3} = 15pF, R_{I3} = 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}				20	ms
内蔵帰還抵抗	R _{I3}			1		MΩ

25 電気的特性

OSC3セラミック発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $R_{I3} =$ 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}				1	ms
内蔵帰還抵抗	R_{I3}			1		$M\Omega$

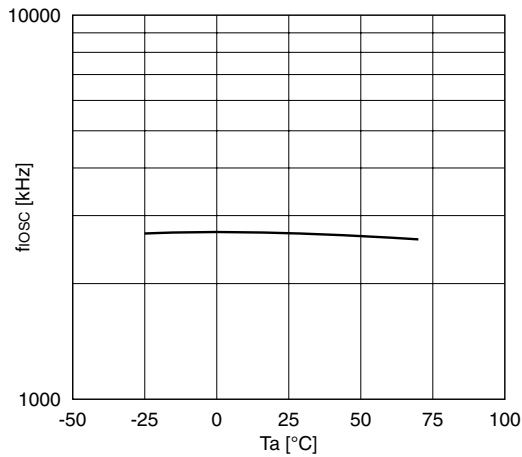
IOSC発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

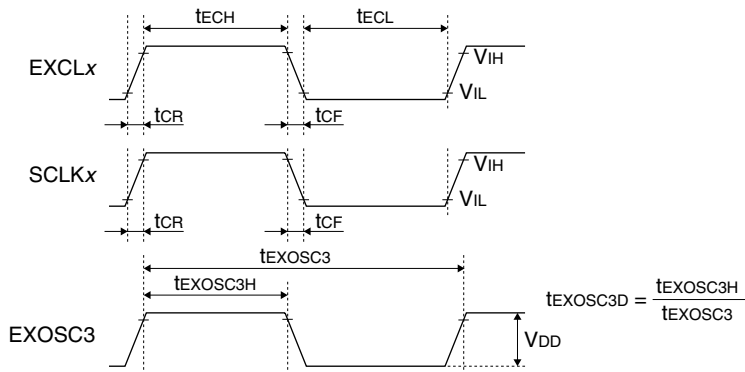
項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}				5	μs
発振周波数	f_{iOSC}	通常動作時	2.16	2.70	3.24	MHz

IOSC発振周波数対温度特性

Typ.値



25.5 外部クロック入力特性



特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$, $T_a = -25\sim 70^\circ C$

項目	記号	Min.	Typ.	Max.	単位
EXCLx入力High/パルス幅	t_{ECH}	60			ns
EXCLx入力Low/パルス幅	t_{ECL}	60			ns
UART転送レート	R_U			460800	bps
UART転送レート (IrDAモード時)	R_{UirDA}			115200	bps
入力立ち上がり時間	t_{CR}			80	ns
入力立ち下がり時間	t_{CF}			80	ns
EXOSC3外部クロックサイクル時間	t_{EXOSC3}	125			ns
EXOSC3外部クロック入力デューティ	$t_{EXOSC3D}$	46		54	%

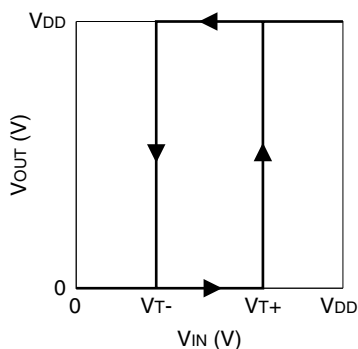
25.6 入出力端子特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	P_{XX}	$0.8V_{DD}$		V_{DD}	V
低レベル入力電圧	V_{IL}	P_{XX}	0		$0.2V_{DD}$	V
高レベルシュミット入カスレシヨルド電圧	V_{T1+}	#RESET	$0.5V_{DD}$		$0.9V_{DD}$	V
低レベルシュミット入カスレシヨルド電圧	V_{T1-}	#RESET	$0.1V_{DD}$		$0.5V_{DD}$	V
高レベルシュミット入カスレシヨルド電圧*1	V_{T2+}	P_{XX}	$0.5V_{DD}$		$0.9V_{DD}$	V
低レベルシュミット入カスレシヨルド電圧*1	V_{T2-}	P_{XX}	$0.1V_{DD}$		$0.5V_{DD}$	V
ヒステリシス電圧	ΔV_T	P_{XX} , #RESET	0.1			V
高レベル出力電流	I_{OH}	P_{XX} , $V_{OH} = 0.9V_{DD}$			-0.5	mA
低レベル出力電流	I_{OL}	P_{XX} , $V_{OL} = 0.1V_{DD}$	0.5			mA
リーク電流	I_{LEAK}	P_{XX} , #RESET	-100		100	nA
入力プルアップ抵抗	R_{IN}	P_{XX} , #RESET	100		500	k Ω
端子容量	C_{IN}	P_{XX} , $V_{IN} = 0V$, $f = 1MHz$, $T_a = 25^\circ C$			15	pF
リセットLowパルス幅	t_{SR}	$V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$	100			μs
動作電源電圧	V_{SR}		1.8			V
パワーオンリセット時間	t_{PSR}		1.0			ms

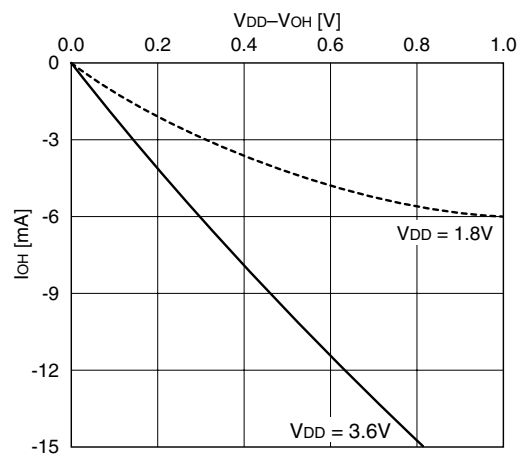
*1 シュミット入力を有効にした場合

シュミット入カスレシヨルド電圧



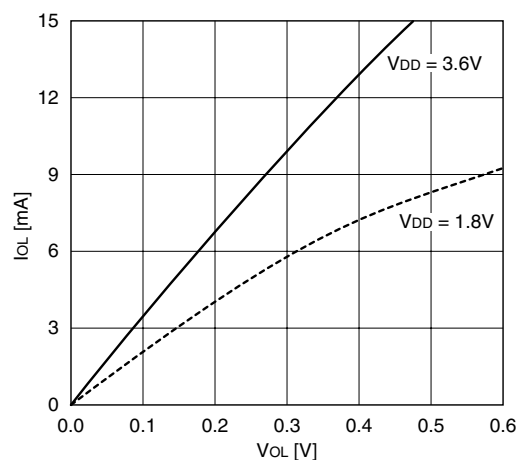
高レベル出力電流特性

$T_a = 70^\circ C$, Max. 値

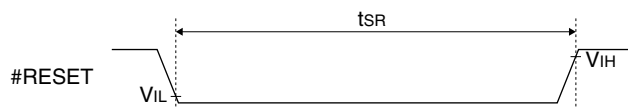


低レベル出力電流特性

$T_a = 70^\circ C$, Min. 値



リセットパルス



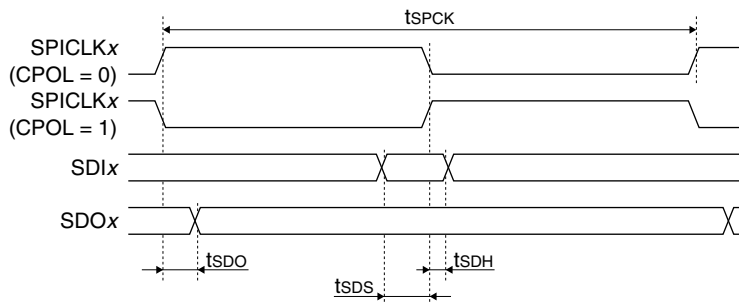
25 電気的特性

パワーオンリセットタイミング



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、#RESET端子を0.1V_{DD}以下に落としてください。

25.7 SPI特性



マスターモード時

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -25~70°C

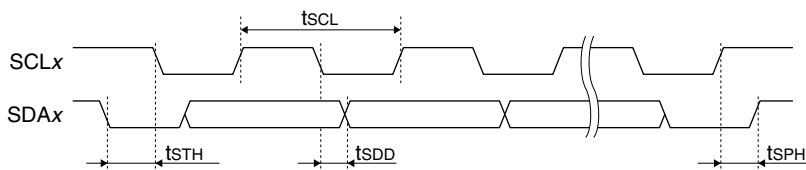
項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500			ns
SDIxセットアップ時間	tSDS	70			ns
SDIxホールド時間	tSDH	10			ns
SDOx出力遅延時間	tSDO			20	ns

スレーブモード時

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -25~70°C

項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	tSPCK	500			ns
SDIxセットアップ時間	tSDS	10			ns
SDIxホールド時間	tSDH	10			ns
SDOx出力遅延時間	tSDO			80	ns

25.8 I²C特性



特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -25~70°C

項目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	tSCL	2500			ns
スタートコンディションホールド時間	tSTH	1/f _{sys}			ns
データ出力遅延時間	tSDD	1/f _{sys}			ns
ストップコンディションホールド時間	tSPH	1/f _{sys}			ns

* f_{sys}: システム動作クロック周波数

25.9 LCDドライバ特性

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。

LCD駆動電圧

特記なき場合: $V_{DD} = 2.9\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1\sim C_8 = 0.1\mu F$, 市松模様出力時, パネル負荷なし, $VCSEL = 1$ (V_{C2} 基準)

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧 (V_{C2} 基準選択時)	V_{C1}	$V_{SS}\sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.240 \times V_{C4}(Typ.)$		$0.260 \times V_{C4}(Typ.)$	V	
	V_{C2}	$V_{SS}\sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.482 \times V_{C4}(Typ.)$		$0.524 \times V_{C4}(Typ.)$	V	
	V_{C3}	$V_{SS}\sim V_{C3}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.710 \times V_{C4}(Typ.)$		$0.786 \times V_{C4}(Typ.)$	V	
	V_{C4}	$V_{SS}\sim V_{C4}$ 間に $1M\Omega$ の負荷抵抗を接続	LC[3:0] = 0x0	Typ. \times 0.94	3.58	Typ. \times 1.06	V
			LC[3:0] = 0x1		3.70		V
			LC[3:0] = 0x2		3.82		V
			LC[3:0] = 0x3		3.94		V
			LC[3:0] = 0x4		4.06		V
			LC[3:0] = 0x5		4.18		V
			LC[3:0] = 0x6		4.30		V
			LC[3:0] = 0x7		4.42		V
			LC[3:0] = 0x8		4.53		V
			LC[3:0] = 0x9		4.65		V
			LC[3:0] = 0xa		4.77		V
			LC[3:0] = 0xb		4.89		V
			LC[3:0] = 0xc		5.01		V
			LC[3:0] = 0xd		5.13		V
LC[3:0] = 0xe	5.25	V					
LC[3:0] = 0xf	5.37	V					

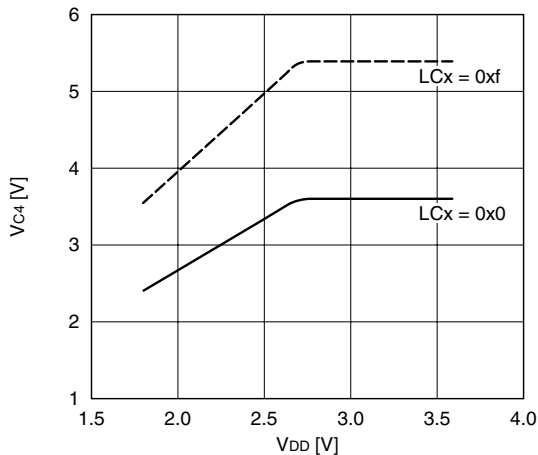
特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1\sim C_8 = 0.1\mu F$, 市松模様出力時, パネル負荷なし, $VCSEL = 0$ (V_{C1} 基準)

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧 (V_{C1} 基準選択時)	V_{C1}	$V_{SS}\sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.252 \times V_{C4}(Typ.)$		$0.273 \times V_{C4}(Typ.)$	V	
	V_{C2}	$V_{SS}\sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.484 \times V_{C4}(Typ.)$		$0.526 \times V_{C4}(Typ.)$	V	
	V_{C3}	$V_{SS}\sim V_{C3}$ 間に $1M\Omega$ の負荷抵抗を接続	$0.731 \times V_{C4}(Typ.)$		$0.809 \times V_{C4}(Typ.)$	V	
	V_{C4}	$V_{SS}\sim V_{C4}$ 間に $1M\Omega$ の負荷抵抗を接続	LC[3:0] = 0x0	Typ. \times 0.94	3.44	Typ. \times 1.06	V
			LC[3:0] = 0x1		3.55		V
			LC[3:0] = 0x2		3.67		V
			LC[3:0] = 0x3		3.78		V
			LC[3:0] = 0x4		3.90		V
			LC[3:0] = 0x5		4.01		V
			LC[3:0] = 0x6		4.13		V
			LC[3:0] = 0x7		4.24		V
			LC[3:0] = 0x8		4.36		V
			LC[3:0] = 0x9		4.47		V
			LC[3:0] = 0xa		4.59		V
			LC[3:0] = 0xb		4.70		V
			LC[3:0] = 0xc		4.82		V
			LC[3:0] = 0xd		4.93		V
LC[3:0] = 0xe	5.05	V					
LC[3:0] = 0xf	5.16	V					

25 電氣的特性

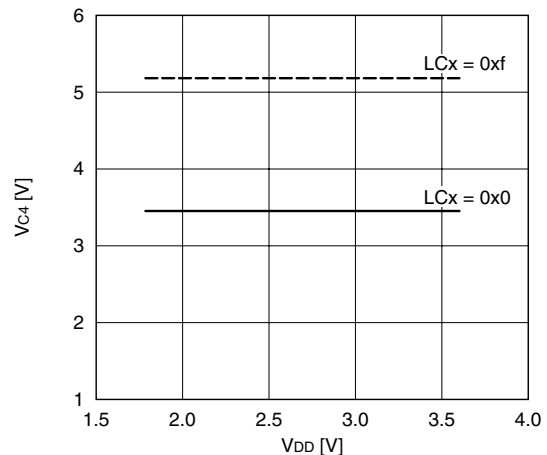
LCD駆動電圧対電源電圧特性 (V_{C2}基準選択時)

V_{SS}~V_{C4}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)
Ta = 25°C, Typ.値



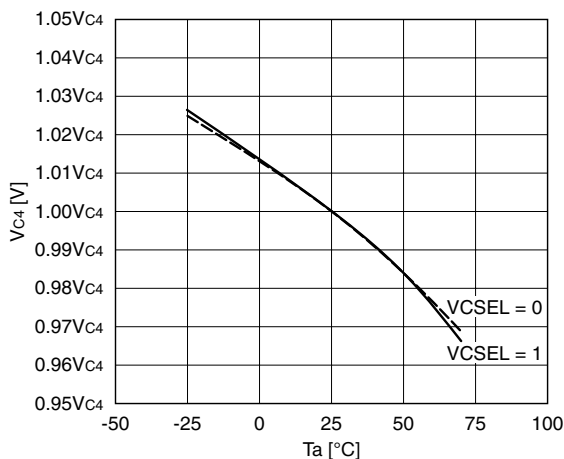
LCD駆動電圧対電源電圧特性 (V_{C1}基準選択時)

V_{SS}~V_{C4}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)
Ta = 25°C, Typ.値



LCD駆動電圧対温度特性

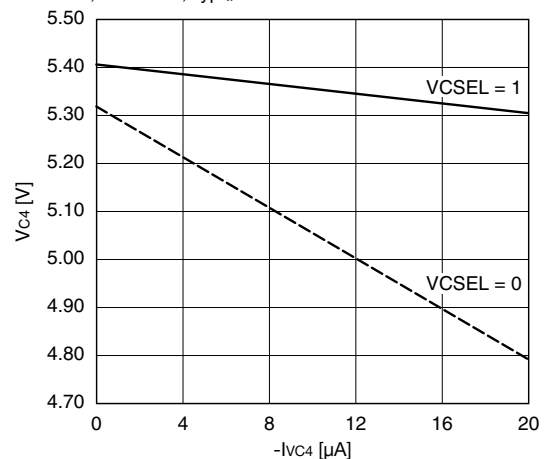
LCx = 0xf, Typ.値 (V_{C2}基準、V_{C1}基準)



LCD駆動電圧対負荷特性

V_{C4}端子のみに負荷を接続した場合

LCx = 0xf, Ta = 25°C, Typ.値



SEG/COM出力特性

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -25~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
セグメント, コモン出力電流	ISEGH	SEG _{xx} , COM _{xx} , V _{SEGH} = V _{C4} - 0.1V			-5	μA
	ISEGL	SEG _{xx} , COM _{xx} , V _{SEGL} = 0.1V	5			μA

LCDドライバ回路消費電流

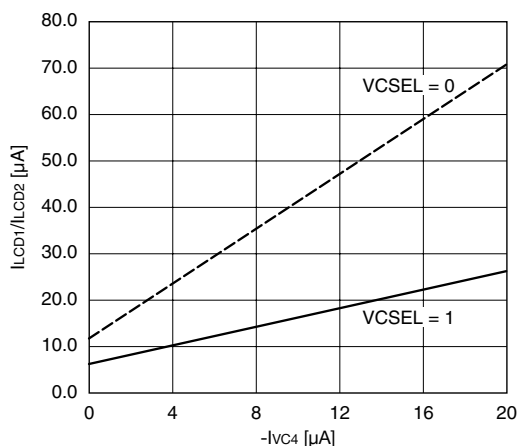
特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C₁~C₈ = 0.1μF, LCD/パネル負荷なし,
PCKEN[1:0] = 0x0 (OFF), FLCYC[2:0] = 0x4 (1サイクル), CCLKGR[1:0] = 0x0 (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
V _{C2} 基準LCD回路電流 ^{*1}	ILCD2	DSPC[1:0] = 0x1 (市松模様), LC[3:0] = 0xf, OSC1 = 32kHz, V _{DD} = 2.9~3.6V, VCSEL = 1		7	11	μA
重負荷保護モード V _{C2} 基準LCD回路電流 ^{*1}	ILCD2H	DSPC[1:0] = 0x1 (市松模様), LC[3:0] = 0xf, OSC1 = 32kHz, V _{DD} = 2.9~3.6V, LHVLD = 1, VCSEL = 1		18	25	μA
V _{C1} 基準LCD回路電流 ^{*1}	ILCD1	DSPC[1:0] = 0x1 (市松模様), LC[3:0] = 0xf, OSC1 = 32kHz, V _{DD} = 1.8~3.6V, VCSEL = 0		14	21	μA
重負荷保護モード V _{C1} 基準LCD回路電流 ^{*1}	ILCD1H	DSPC[1:0] = 0x1 (市松模様), LC[3:0] = 0xf, OSC1 = 32kHz, V _{DD} = 1.8~3.6V, LHVLD = 1, VCSEL = 0		21	29	μA

*1 LCD回路動作時にHALT時/動作時消費電流に加算されます。消費電流は、表示パターン、パネル負荷によって増加します。

LCD消費電流対負荷特性

V_{C4} 端子のみに負荷を接続した場合
 $V_{DD} = 3.6V$, $T_a = 25^\circ C$, Typ.値



25.10 A/D変換器特性

アナログ特性

特記なき場合: $V_{DD} = AV_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$, $ADST[2:0] = 0x7$ (9サイクル)

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—			10		bit
A/D変換クロック周波数	f_{ADCLK}		16		2000	kHz
サンプリングレート *1	f_{SMP}		0.8		100	ksps
ゼロスケール誤差	EZS				± 3	LSB
フルスケール誤差	EFS				± 3	LSB
積分直線性誤差 *2	EINL	$AV_{DD} = 2.7\sim 3.6V$			± 1.5	LSB
		$AV_{DD} = 1.8\sim 3.6V$			± 2.0	LSB
微分直線性誤差	EDNL				± 1.0	LSB
アナログ入力抵抗	RAIN				11	kΩ
アナログ入力容量	CAIN				20	pF

*1 Min.値はA/D変換器クロック周波数 $f_{ADCLK} = 16kHz$ の場合。Max.値はA/D変換器クロック周波数 $f_{ADCLK} = 2MHz$ の場合

*2 積分直線性誤差は、エンドポイントラインで測定されています。

A/D変換器消費電流

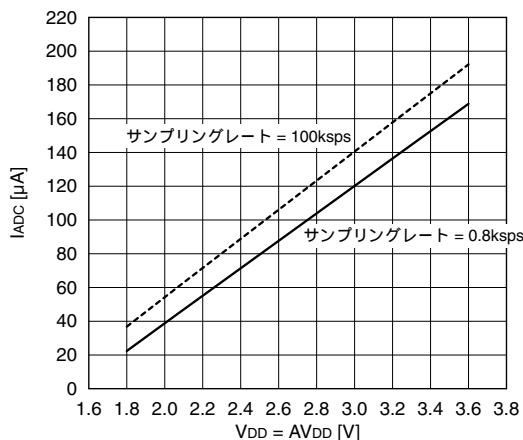
特記なき場合: $V_{DD} = AV_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $ADST[2:0] = 0x7$ (9サイクル), $PCKEN[1:0] = 0x3$ (ON), $A_{IN} = AV_{DD}/2V$

項目	記号	条件	Min.	Typ.	Max.	単位
A/D変換器動作電流 *1	I_{ADC}	$V_{DD} = AV_{DD} = 3.6V$, $f_{SMP} = 100ksps$		200	350	μA

*1 A/D変換動作時にHALT時 ($PCKEN[1:0] = 0x3$ (ON)のみ) /動作時消費電流に加算されます。

A/D変換器消費電流対電圧特性

$A_{IN} = AV_{DD}/2V$, $T_a = 25^\circ C$, Typ.値



25.11 R/F変換器特性

アナログ特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
基準/センサ発振周波数 *1	f_{RFCLK}		1		4000	kHz
基準/センサ発振周波数IC偏差 *2	$\Delta f_{RFCLK}/\Delta IC$	抵抗性センサDC/AC 発振モード	$V_{DD} = 3.6V$	-25	25	%
			$V_{DD} = 1.8V$	-50	50	%
		容量性センサDC発振モード	$V_{DD} = 3.6V$	-25	25	%
			$V_{DD} = 1.8V$	-50	50	%
基準抵抗/抵抗性センサ抵抗値 *3	R_{REF}, R_{SEN}	抵抗性センサDC/容量性センサDC 発振モード	1			k Ω
		抵抗性センサAC発振モード	10			k Ω
		容量性センサDC発振モード	100		2000	pF
タイムベースカウンタクロック周波数	f_{TCCLK}				8.2	MHz
RFIN端子高レベルシュミット入力電圧	V_{T+}		$0.5 \cdot V_{DD}$		$0.9 \cdot V_{DD}$	V
RFIN端子低レベルシュミット入力電圧	V_{T-}		$0.1 \cdot V_{DD}$		$0.5 \cdot V_{DD}$	V

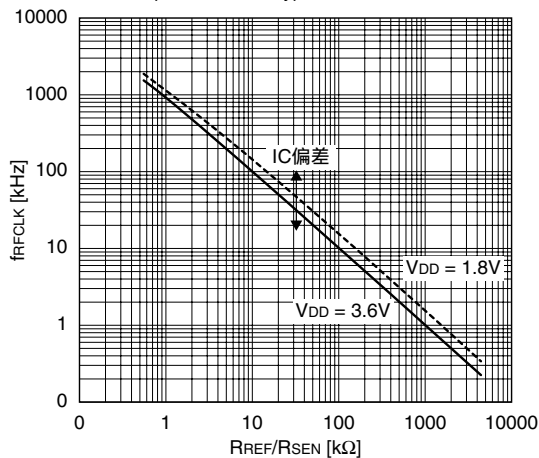
*1 1kHz以下の周波数に設定すると、リークによるばらつきの影響により周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

*3 この範囲外の抵抗/容量でもCR発振します(グラフ参照)。ただし、基板やICの寄生素子の影響により周波数の周波数IC偏差が大きくなる可能性があります。

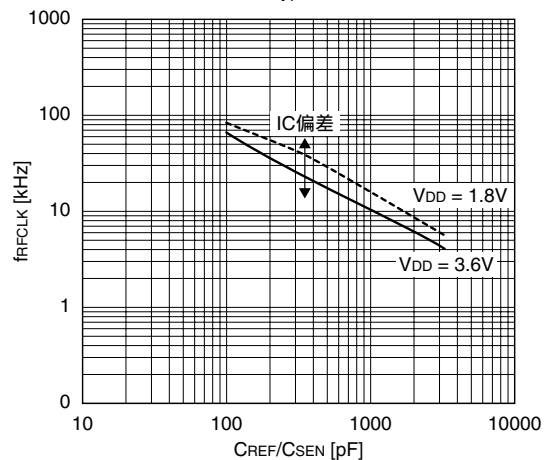
RFC基準/センサ発振周波数対抵抗特性 (抵抗性センサDC/AC発振モード)

$C_{REF}/C_{SEN} = 1000pF$, $T_a = 25^\circ C$, Typ.値



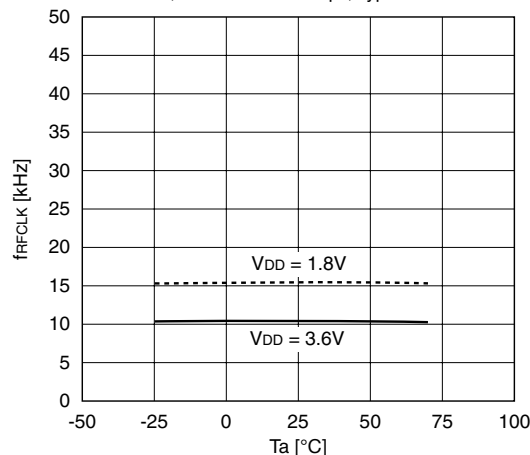
RFC基準/センサ発振周波数対容量特性 (容量性センサDC発振モード)

$R_{REF}/R_{SEN} = 100k\Omega$, $T_a = 25^\circ C$, Typ.値



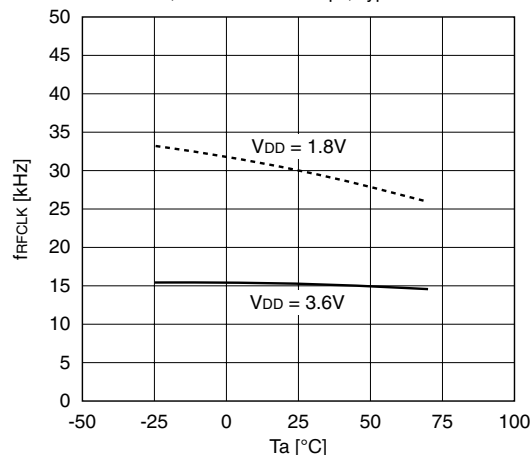
RFC基準/センサ発振周波数対温度特性 (抵抗性センサDC/AC発振モード)

$R_{REF}/R_{SEN} = 100k\Omega$, $C_{REF}/C_{SEN} = 1000pF$, Typ.値



RFC基準/センサ発振周波数対温度特性 (容量性センサDC発振モード)

$R_{REF}/R_{SEN} = 100k\Omega$, $C_{REF}/C_{SEN} = 1000pF$, Typ.値



R/F変換器消費電流

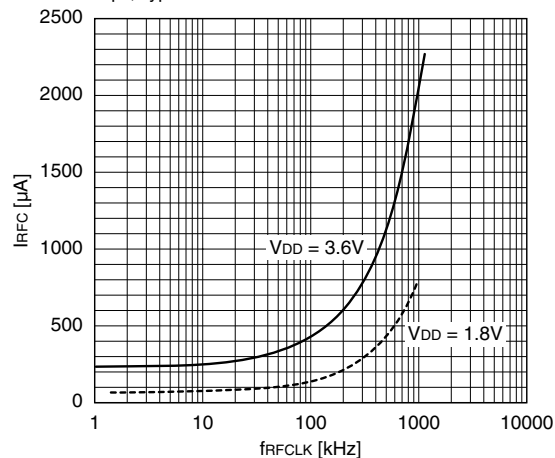
特記なき場合: $V_{DD} = 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $PCKEN[1:0] = 0x0$ (OFF), $C_{REF}/C_{SEN} = 1000pF$, $R_{REF}/R_{SEN} = 100k\Omega$

項目	記号	条件	Min.	Typ.	Max.	単位
R/F変換器動作電流*1	I_{RFC}	抵抗性センサDC/AC発振モード		250	300	μA
		容量性センサDC発振モード		270	350	μA

*1 R/F変換器使用時にHALT時/動作時消費電流に加算されます。 V_{DD} 、基準容量/センサ容量、基準/センサ発振周波数によって消費電流は異なります。

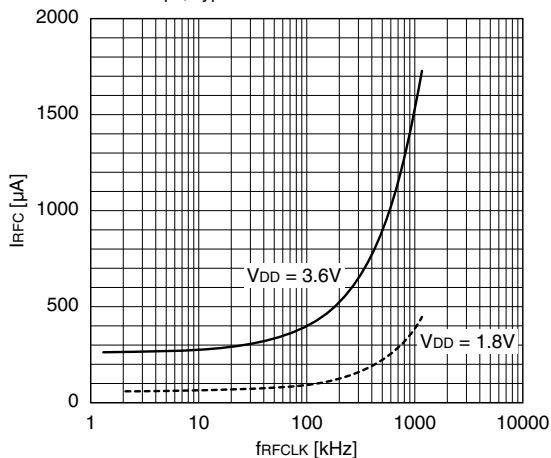
RFC基準/センサ発振消費電流対周波数特性 (抵抗性センサDC/AC発振モード)

$C_{REF} = 1000pF$, Typ.値



RFC基準/センサ発振消費電流対周波数特性 (容量性センサDC発振モード)

$C_{REF}/C_{SEN} = 1000pF$, Typ.値



25.12 SVD回路特性

アナログ特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

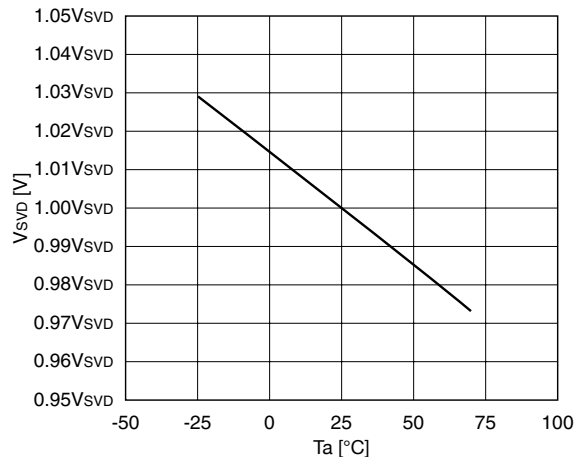
項目	記号	条件	Min.	Typ.	Max.	単位
SVD電圧	V_{SVD}	$SVDC[3:0] = 0x0$		–		V
		$SVDC[3:0] = 0x1$		1.8		V
		$SVDC[3:0] = 0x2$		1.9		V
		$SVDC[3:0] = 0x3$		2.0		V
		$SVDC[3:0] = 0x4$		2.1		V
		$SVDC[3:0] = 0x5$		2.2		V
		$SVDC[3:0] = 0x6$		2.3		V
		$SVDC[3:0] = 0x7$		2.4		V
		$SVDC[3:0] = 0x8$	Typ. × 0.96	2.5	Typ. × 1.04	V
		$SVDC[3:0] = 0x9$		2.6		V
		$SVDC[3:0] = 0xa$		2.7		V
		$SVDC[3:0] = 0xb$		2.8		V
		$SVDC[3:0] = 0xc$		2.9		V
		$SVDC[3:0] = 0xd$		3.0		V
		$SVDC[3:0] = 0xe$		3.1		V
$SVDC[3:0] = 0xf$		3.2		V		
SVD回路イネーブル時応答時間 *1	t_{SVDEN}				500	μs
SVD回路応答時間 *2	t_{SVD}				60	μs

*1 $SVDEN$ を0から1に変更後、安定した検出結果が得られるまでに必要な時間です。

*2 $SVDC[3:0]$ を変更後、安定した検出結果が得られるまでに必要な時間です。

SVD電圧対温度特性

$SVDC[3:0] = 0xf$, Typ.値



SVD回路消費電流

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流 *1	I_{SVD}	$V_{DD} = 3.6V$, $SVDC[3:0] = 0x1$		8	15	μA

*1 SVD回路動作時に動作時消費電流/重負荷保護モード動作時消費電流に加算されます。

25.13 Flashメモリ特性

アナログ特性

特記なき場合: $V_{DD} = 2.7\sim 3.6V$ ($VD1MD = 1$), $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
消去時間 *1	tSE	4Kバイト消去			25	ms
書き込み時間 *1	tBP	16ビット書き込み			20	μs
書き換え回数 *2	CFEP	データ保持10年保証時	1000			回

*1 データ転送およびベリファイを含み、消去/書き込み開始制御時間を除く

*2 消去+書き込み、または重複書き込みを1回とする

Flashメモリ消費電流

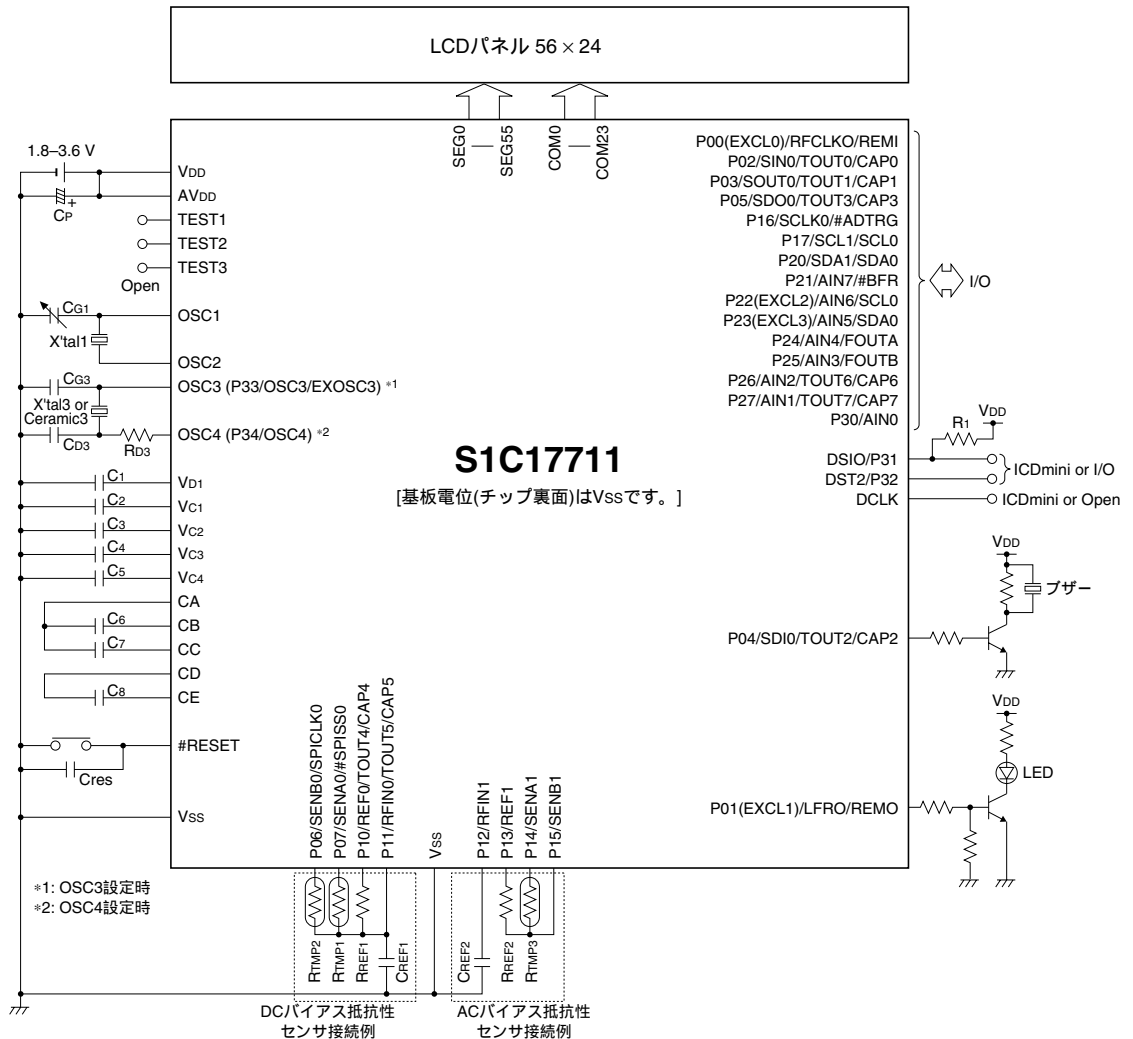
特記なき場合: $V_{DD} = 2.7\sim 3.6V$ ($VD1MD = 1$), $V_{SS} = 0V$, $T_a = 25^\circ C$, $FLCYC[2:0] = 0x4$ (1サイクル), $CCLKGR[1:0] = 0x0$ (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
Flashメモリ消去電流 *1	IFERS	8MHz CPU動作時, $VD1MD = 1$		7	14	mA
Flashメモリプログラミング電流 *2	IFPRG	8MHz CPU動作時, $VD1MD = 1$		7	14	mA

*1 自己プログラミングの消去動作時に動作時消費電流に加算されます。

*2 自己プログラミングのプログラム動作時に動作時消費電流に加算されます。

26 基本外部結線図



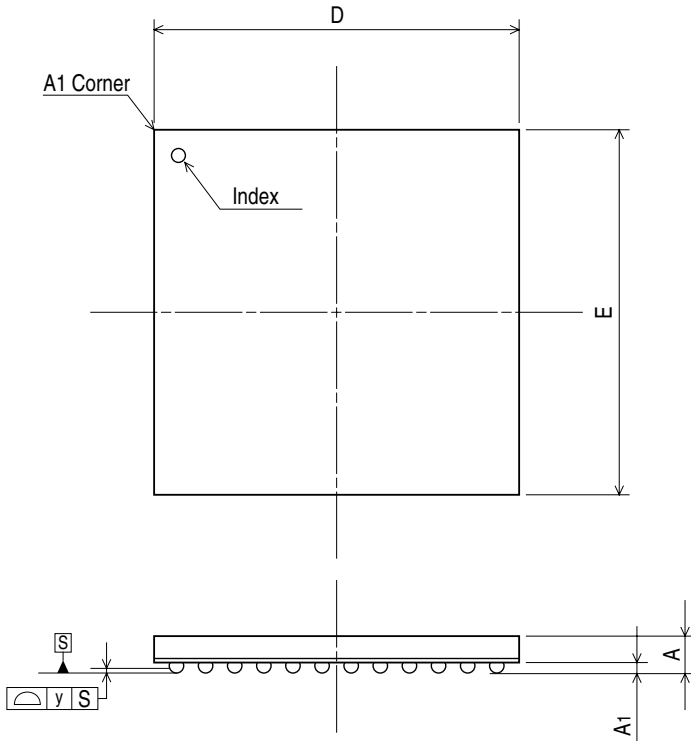
外付部品例

シンボル	名称	推奨値	シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz	CP	バイパスキャパシタ	0.47μF
CG1	トリマキャパシタまたは固定キャパシタ	0~25pF	C1	Vd1安定化キャパシタ	0.1μF
X'tal3	水晶振動子	0.2~8MHz	C2~C5	Vc1~Vc4安定化キャパシタ	0.1μF
Ceramic3	セラミック振動子	0.2~8MHz	C6~C8	昇圧キャパシタ	0.1μF
Rd3	ドレイン抵抗	*	R1	DSIOプルアップ抵抗	10kΩ
CG3	ゲートキャパシタ	*	CREF1~2	基準キャパシタ	-
Cd3	ドレインキャパシタ	*	RREF1~2	基準抵抗	-
Cres	パワーオンリセット用キャパシタ	0.47μF	RTMP1~3	抵抗性センサ	-

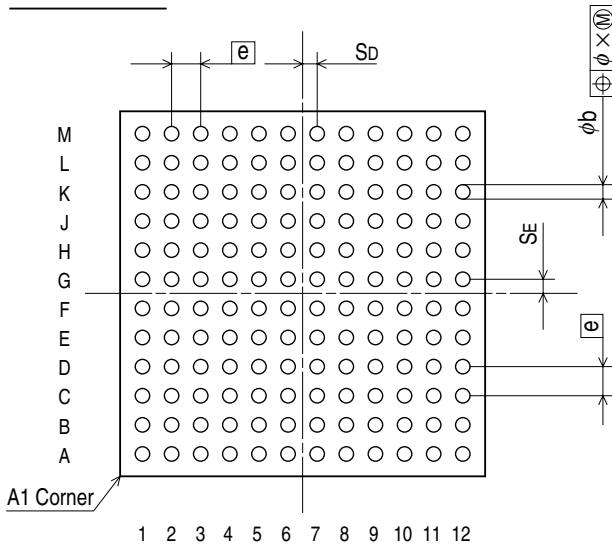
* 推奨値はAppendixの“推奨振動子”を参照してください。

VFBGA10H-144パッケージ

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	10	-
E	-	10	-
A	-	-	1.2
A1	-	0.3	-
e	-	0.8	-
b	0.38	-	0.48
x	-	-	0.08
y	-	-	0.1
S _D	-	0.4	-
S _E	-	0.4	-

Appendix A I/Oレジスタ一覧

内蔵周辺回路エリア 1 (0x4000~0x43ff)

周辺回路	アドレス	レジスタ名	機能
MISCレジスタ (8ビットデバイス)	0x4020	MISC_DMODE1	Debug Mode Control Register 1 デバッグモード時の周辺回路動作選択 (PCLK)
UART (IrDA付き) Ch.0 (8ビットデバイス)	0x4100	UART_ST0	UART Ch.0 Status Register 転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD0	UART Ch.0 Transmit Data Register 送信データ
	0x4102	UART_RXD0	UART Ch.0 Receive Data Register 受信データ
	0x4103	UART_MOD0	UART Ch.0 Mode Register 転送データ形式の設定
	0x4104	UART_CTL0	UART Ch.0 Control Register データ転送の制御
	0x4105	UART_EXP0	UART Ch.0 Expansion Register IrDAモードの設定
	0x4106	UART_BR0	UART Ch.0 Baud Rate Register ボーレートの設定
	0x4107	UART_FMD0	UART Ch.0 Fine Mode Register ファインモードの設定
16ビットタイマ Ch.0 (16ビットデバイス)	0x4200	T16_CLK0	T16 Ch.0 Count Clock Select Register カウントクロックの選択
	0x4202	T16_TR0	T16 Ch.0 Reload Data Register リロードデータの設定
	0x4204	T16_TC0	T16 Ch.0 Counter Data Register カウンタデータ
	0x4206	T16_CTL0	T16 Ch.0 Control Register タイマモードの設定とタイマのRUN/STOP
	0x4208	T16_INT0	T16 Ch.0 Interrupt Control Register 割り込みの制御
16ビットタイマ Ch.1 (16ビットデバイス)	0x4220	T16_CLK1	T16 Ch.1 Count Clock Select Register カウントクロックの選択
	0x4222	T16_TR1	T16 Ch.1 Reload Data Register リロードデータの設定
	0x4224	T16_TC1	T16 Ch.1 Counter Data Register カウンタデータ
	0x4226	T16_CTL1	T16 Ch.1 Control Register タイマモードの設定とタイマのRUN/STOP
	0x4228	T16_INT1	T16 Ch.1 Interrupt Control Register 割り込みの制御
16ビットタイマ Ch.2 (16ビットデバイス)	0x4240	T16_CLK2	T16 Ch.2 Count Clock Select Register カウントクロックの選択
	0x4242	T16_TR2	T16 Ch.2 Reload Data Register リロードデータの設定
	0x4244	T16_TC2	T16 Ch.2 Counter Data Register カウンタデータ
	0x4246	T16_CTL2	T16 Ch.2 Control Register タイマモードの設定とタイマのRUN/STOP
	0x4248	T16_INT2	T16 Ch.2 Interrupt Control Register 割り込みの制御
16ビットタイマ Ch.3 (16ビットデバイス)	0x4260	T16_CLK3	T16 Ch.3 Count Clock Select Register カウントクロックの選択
	0x4262	T16_TR3	T16 Ch.3 Reload Data Register リロードデータの設定
	0x4264	T16_TC3	T16 Ch.3 Counter Data Register カウンタデータ
	0x4266	T16_CTL3	T16 Ch.3 Control Register タイマモードの設定とタイマのRUN/STOP
	0x4268	T16_INT3	T16 Ch.3 Interrupt Control Register 割り込みの制御
割り込み コントローラ (16ビットデバイス)	0x4306	ITC_LV0	Interrupt Level Setup Register 0 P0、P1割り込みレベルの設定
	0x4308	ITC_LV1	Interrupt Level Setup Register 1 SWT、CT割り込みレベルの設定
	0x430a	ITC_LV2	Interrupt Level Setup Register 2 T16A Ch.2、SVD割り込みレベルの設定
	0x430c	ITC_LV3	Interrupt Level Setup Register 3 LCD、T16A Ch.0割り込みレベルの設定
	0x430e	ITC_LV4	Interrupt Level Setup Register 4 T16 Ch.0、Ch.1割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5 T16 Ch.2、T16 Ch.3/T16A Ch.3割り込みレベルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6 UART Ch.0割り込みレベルの設定
	0x4314	ITC_LV7	Interrupt Level Setup Register 7 SPI Ch.0、I2CM割り込みレベルの設定
	0x4316	ITC_LV8	Interrupt Level Setup Register 8 REMC、T16A Ch.1割り込みレベルの設定
	0x4318	ITC_LV9	Interrupt Level Setup Register 9 ADC10、RFC割り込みレベルの設定
	0x431a	ITC_LV10	Interrupt Level Setup Register 10 P2、P3割り込みレベルの設定
	0x431c	ITC_LV11	Interrupt Level Setup Register 11 I2CS割り込みレベルの設定
SPI Ch.0 (16ビットデバイス)	0x4320	SPI_ST0	SPI Ch.0 Status Register 転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register 送信データ
	0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register 受信データ
	0x4326	SPI_CTL0	SPI Ch.0 Control Register SPIモードとデータ転送許可の設定
I ² Cマスタ (16ビットデバイス)	0x4340	I2CM_EN	I ² C Master Enable Register I ² Cマスタモジュールイネーブル
	0x4342	I2CM_CTL	I ² C Master Control Register I ² Cマスタの制御と転送状態の表示
	0x4344	I2CM_DAT	I ² C Master Data Register 送受信データ
	0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register I ² Cマスタ割り込みの制御
I ² Cスレーブ (16ビットデバイス)	0x4360	I2CS_TRNS	I ² C Slave Transmit Data Register I ² Cスレーブ送信データ
	0x4362	I2CS_RECV	I ² C Slave Receive Data Register I ² Cスレーブ受信データ
	0x4364	I2CS_SADRS	I ² C Slave Address Setup Register I ² Cスレーブアドレスの設定
	0x4366	I2CS_CTL	I ² C Slave Control Register I ² Cスレーブの制御
	0x4368	I2CS_STAT	I ² C Slave Status Register I ² Cスレーブのバスステータスの表示
	0x436a	I2CS_ASTAT	I ² C Slave Access Status Register I ² Cスレーブのアクセスステータスの表示
	0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register I ² Cスレーブ割り込みの制御

内蔵周辺回路エリア 2 (0x5000~0x5fff)

周辺回路	アドレス	レジスタ名	機能	
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ストップウォッチ タイマ (8ビットデバイス)	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
クロック ジェネレータ (8ビットデバイス) (LCD, SVD, RFC, T16A, UART)	0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
	0x5061	CLG_CTL	Oscillation Control Register	発振制御
	0x5063	LCD_CLK	LCD Clock Select Register	LCDクロックの選択
	0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
	0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
	0x5066	SVD_CLK	SVD Clock Control Register	SVD動作クロックの選択
	0x5067	RFC_CLK	RFC Clock Control Register	RFC動作クロックの選択
	0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A Ch.0クロックの制御
	0x5069	T16A_CLK1	T16A Clock Control Register Ch.1	T16A Ch.1クロックの制御
	0x506a	T16A_CLK2	T16A Clock Control Register Ch.2	T16A Ch.2クロックの制御
	0x506b	T16A_CLK3	T16A Clock Control Register Ch.3	T16A Ch.3クロックの制御
	0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの選択
	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
LCDドライバ (8ビットデバイス)	0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
	0x50a1	LCD_CADJ	LCD Contrast Adjustment Register	コントラストの制御
	0x50a2	LCD_CCTL	LCD Clock Control Register	LCD駆動デューティの選択
	0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
	0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
	0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット
SVD回路 (8ビットデバイス)	0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
	0x5101	SVD_CMP	SVD Comparison Voltage Register	比較電圧の設定
	0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
	0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
	0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット
電源回路 (8ビットデバイス)	0x5120	VD1_CTL	V _{D1} Control Register	V _{D1} 電圧と重負荷保護モードの制御
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力イネーブル
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出力イネーブル
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
	0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
	0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力イネーブル
	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_OEN	P2 Output Enable Register	P2ポート出力イネーブル
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御
0x5225	P2_IMSK	P2 Port Interrupt Mask Register	P2ポート割り込みマスクの設定	
0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register	P2ポート割り込みエッジの選択	

周辺回路	アドレス	レジスタ名		機能
Pポート& ポートMUX (8ビットデバイス)	0x5227	P2_IFLG	P2 Port Interrupt Flag Register	P2ポート割り込み発生状態の表示/リセット
	0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
	0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力カインェブル
	0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
	0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
	0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出力カインェブル
	0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x5234	P3_SM	P3 Port Schmitt Trigger Control Register	P3ポートのシュミットトリガ制御
	0x5235	P3_IMSK	P3 Port Interrupt Mask Register	P3ポート割り込みマスクの設定
	0x5236	P3_EDGE	P3 Port Interrupt Edge Select Register	P3ポート割り込みエッジの選択
	0x5237	P3_IFLG	P3 Port Interrupt Flag Register	P3ポート割り込み発生状態の表示/リセット
	0x5238	P3_CHAT	P3 Port Chattering Filter Control Register	P3ポートチャタリング除去制御
	0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力カインェブル
	0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
	0x52a1	P04_07PMUX	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
	0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
	0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
	0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
	0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
	0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x52a7	P34PMUX	P34 Port Function Select Register	P34ポート機能の選択	
MISCレジスタ (16ビットデバイス)	0x5320	MISC_FL	FLASHC/SRAMC Control Register	FLASHC/SRAMCアクセス条件設定
	0x5322	MISC_DM0DE2	Debug Mode Control Register 2	デバッグモード時の周辺回路動作選択 (PCLK以外)
	0x5324	MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護
	0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
	0x5328	MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定
	0x532a	MISC_TTBRLH	Vector Table Address High Register	
	0x532c	MISC_PSR	PSR Register	S1C17コアPSRの読み出し
IRリモート コントローラ (16ビットデバイス)	0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
	0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
	0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
	0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御
	0x5380	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
A/D変換器 (16ビットデバイス)	0x5382	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
	0x5384	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
	0x5386	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御
	0x53a0	RFC_CTL	RFC Control Register	R/F変換器の制御
R/F変換器 (16ビットデバイス)	0x53a2	RFC_TRG	RFC Oscillation Trigger Register	発振の制御
	0x53a4	RFC_MCL	RFC Measurement Counter Low Register	計測カウンタデータ
	0x53a6	RFC_MCH	RFC Measurement Counter High Register	
	0x53a8	RFC_TCL	RFC Time Base Counter Low Register	タイムベースカウンタデータ
	0x53aa	RFC_TCH	RFC Time Base Counter High Register	
	0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込み許可/禁止
	0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
16ビットPWM タイマCh.0 (16ビットデバイス)	0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
	0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャAデータ
	0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャBデータ
	0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
	0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register	カウンタの制御
16ビットPWM タイマCh.1 (16ビットデバイス)	0x5422	T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ
	0x5424	T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5426	T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャAデータ
	0x5428	T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャBデータ
	0x542a	T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止
	0x542c	T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
16ビットPWM タイマCh.2 (16ビットデバイス)	0x5440	T16A_CTL2	T16A Counter Ch.2 Control Register	カウンタの制御
	0x5442	T16A_TC2	T16A Counter Ch.2 Data Register	カウンタデータ
	0x5444	T16A_CCCTL2	T16A Comparator/Capture Ch.2 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5446	T16A_CCA2	T16A Compare/Capture Ch.2 A Data Register	コンペアA/キャプチャAデータ
	0x5448	T16A_CCB2	T16A Compare/Capture Ch.2 B Data Register	コンペアB/キャプチャBデータ
	0x544a	T16A_IEN2	T16A Compare/Capture Ch.2 Interrupt Enable Register	割り込みの許可/禁止
	0x544c	T16A_IFLG2	T16A Compare/Capture Ch.2 Interrupt Flag Register	割り込み発生状態の表示/リセット
16ビットPWM タイマCh.3 (16ビットデバイス)	0x5460	T16A_CTL3	T16A Counter Ch.3 Control Register	カウンタの制御
	0x5462	T16A_TC3	T16A Counter Ch.3 Data Register	カウンタデータ
	0x5464	T16A_CCCTL3	T16A Comparator/Capture Ch.3 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5466	T16A_CCA3	T16A Compare/Capture Ch.3 A Data Register	コンペアA/キャプチャAデータ
	0x5468	T16A_CCB3	T16A Compare/Capture Ch.3 B Data Register	コンペアB/キャプチャBデータ
	0x546a	T16A_IEN3	T16A Compare/Capture Ch.3 Interrupt Enable Register	割り込みの許可/禁止
	0x546c	T16A_IFLG3	T16A Compare/Capture Ch.3 Interrupt Flag Register	割り込み発生状態の表示/リセット

コアI/O予約エリア (0xffff84~0xffffd0)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4100~0x4107, 0x506c

UART (with IrDA) Ch.0

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
UART Ch.0 Status Register (UART_ST0)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.	
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W		
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W		
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W		
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R		
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R		Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R		
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R		
UART Ch.0 Transmit Data Register (UART_TXD0)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R/W				
UART Ch.0 Receive Data Register (UART_RXD0)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R	Older data in the buffer is read out first.			
UART Ch.0 Mode Register (UART_MOD0)	0x4103 (8 bits)	D7-5	-	reserved	-		-	-	-	0 when being read.		
		D4	CHLN	Character length select	1	8 bits	0	7 bits	0	R/W		
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W		
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W		
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W		
		D0	-	reserved	-		-	-	-	-	0 when being read.	
UART Ch.0 Control Register (UART_CTL0)	0x4104 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W		
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W		
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W		
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W		
		D3-2	-	reserved	-		-	-	-	-	0 when being read.	
		D1	RBFIF	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W		
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W		

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Ch.0 Expansion Register (UART_EXP0)	0x4105 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.	
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W		
UART Ch.0 Baud Rate Register (UART_BR0)	0x4106 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff	0x0	R/W		
UART Ch.0 Fine Mode Register (UART_FMD0)	0x4107 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.	
		D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.	
UART Ch.0 Clock Control Register (UART_CLK0)	0x506c (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.	
		D5-4	CLKDIV [1:0]	Clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W			
				0x3	External clock				
				0x2	OSC3				
				0x1	OSC1				
				0x0	IOSC				
		D1	—	reserved	—	—	—	0 when being read.	
		D0	CLKEN	Count clock enable	1 Enable 0 Disable	0	R/W		

0x4200-0x4208

16-bit Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16 Ch.0 Count Clock Select Register (T16_CLK0)	0x4200 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.	
		D3-0	DF[3:0]	Count clock division ratio select	DF[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
0x0	1/1								
T16 Ch.0 Reload Data Register (T16_TR0)	0x4202 (16 bits)	D15-0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
T16 Ch.0 Counter Data Register (T16_TC0)	0x4204 (16 bits)	D15-0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
T16 Ch.0 Control Register (T16_CTL0)	0x4206 (16 bits)	D15-5	—	reserved	—	—	—	Do not write 1.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3-2	—	reserved	—	—	—	0 when being read.	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		
T16 Ch.0 Interrupt Control Register (T16_INT0)	0x4208 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.	
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W		
		D7-1	—	reserved	—	—	—	0 when being read.	
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4220–0x4228

16-bit Timer Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16 Ch.1 Count Clock Select Register (T16_CLK1)	0x4220 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK	
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
			0x3	1/8					
			0x2	1/4					
			0x1	1/2					
			0x0	1/1					
T16 Ch.1 Reload Data Register (T16_TR1)	0x4222 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
T16 Ch.1 Counter Data Register (T16_TC1)	0x4224 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
T16 Ch.1 Control Register (T16_CTL1)	0x4226 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		
T16 Ch.1 Interrupt Control Register (T16_INT1)	0x4228 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4240–0x4248

16-bit Timer Ch.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16 Ch.2 Count Clock Select Register (T16_CLK2)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK	
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
			0x3	1/8					
			0x2	1/4					
			0x1	1/2					
			0x0	1/1					
T16 Ch.2 Reload Data Register (T16_TR2)	0x4242 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
T16 Ch.2 Counter Data Register (T16_TC2)	0x4244 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
T16 Ch.2 Control Register (T16_CTL2)	0x4246 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16 Ch.2 Interrupt Control Register (T16_INT2)	0x4248 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	–	
		D7-1	–	reserved	–	–	–	–	0 when being read.
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4260–0x4268**16-bit Timer Ch.3**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16 Ch.3 Count Clock Select Register (T16_CLK3)	0x4260 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.	
		D3-0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK	
					0xf reserved				
					0xe 1/16384				
					0xd 1/8192				
					0xc 1/4096				
					0xb 1/2048				
					0xa 1/1024				
					0x9 1/512				
					0x8 1/256				
					0x7 1/128				
					0x6 1/64				
					0x5 1/32				
					0x4 1/16				
			0x3 1/8						
			0x2 1/4						
			0x1 1/2						
			0x0 1/1						
T16 Ch.3 Reload Data Register (T16_TR3)	0x4262 (16 bits)	D15-0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
T16 Ch.3 Counter Data Register (T16_TC3)	0x4264 (16 bits)	D15-0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
T16 Ch.3 Control Register (T16_CTL3)	0x4266 (16 bits)	D15-5	–	reserved	–	–	–	Do not write 1.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	–	
		D3-2	–	reserved	–	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	–	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	–	
T16 Ch.3 Interrupt Control Register (T16_INT3)	0x4268 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	–	
		D7-1	–	reserved	–	–	–	–	0 when being read.
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4306–0x431c**Interrupt Controller**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10-8	ILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W	–	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	–	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10-8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	–	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	–	
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10-8	ILV5[2:0]	SVD interrupt level	0 to 7	0x0	R/W	–	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ILV4[2:0]	T16A Ch.2 interrupt level	0 to 7	0x0	R/W	–	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10-8	ILV7[2:0]	T16A Ch.0 interrupt level	0 to 7	0x0	R/W	–	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ILV6[2:0]	LCD interrupt level	0 to 7	0x0	R/W	–	
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10-8	ILV9[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	–	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ILV8[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	–	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	ILV11[2:0]	T16 Ch.3/T16A Ch.3 interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV10[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	ILV15[2:0]	I2CM interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV14[2:0]	SPI Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	ILV17[2:0]	T16A Ch.1 interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV16[2:0]	REMC interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	ILV19[2:0]	RFC interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV18[2:0]	ADC10 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 10 (ITC_LV10)	0x431a (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	ILV21[2:0]	P3 interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV20[2:0]	P2 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 11 (ITC_LV11)	0x431c (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV22[2:0]	I2CS interrupt level	0 to 7	0x0	R/W	

0x4320-0x4326

SPI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2	SPBSY	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle 1 ss = L 0 ss = H	0	R	
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
SPI Ch.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Ch.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Ch.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.2 0 PCLK/4	0	R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W			

0x4340-0x4346

I2C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I2C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	I2CMEN	I2C master enable	1 Enable 0 Disable	0	R/W	
I2C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7-5	—	reserved	—	—	—	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
	D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W		
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x4360–0x436c

I²C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I ² C slave transmit data	0–0xff	0x0	R/W	
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I ² C slave address	0–0x7f	0x0	R/W	
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state 0 Normal	0	R/W	
		D7	I2CSEN	I ² C slave enable	1 Enable 0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset 0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK 0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable 0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On 0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On 0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On 0 Off	0	R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active 0 Standby	0	R/W	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow	1 Occurred 0 Not occurred	0	R/W	
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W	
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready 0 Not ready	0	R	
		D3	TXEMP	Transmit data empty	1 Empty 0 Not empty	0	R	
		D2	BUSY	I ² C bus status	1 Busy 0 Free	0	R	
		D1	SELECTED	I ² C slave select status	1 Selected 0 Not selected	0	R	
		D0	R/W	Read/write direction	1 Output 0 Input	0	R	
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x5000–0x5003

Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CTRST	Clock timer reset	1 Reset 0 Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	CTRUN	Clock timer run/stop control	1 Run 0 Stop	0	R/W	
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7–0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag			0	R/W	
		D1	CTIF2	2 Hz interrupt flag			0	R/W	
		D0	CTIF1	1 Hz interrupt flag			0	R/W	

0x5020-0x5023

Stopwatch Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	SWTRST	Stopwatch timer reset	1 Reset	0 Ignored	0	W	
		D3-1	-	reserved	-	-	-	-	
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run	0 Stop	0	R/W	
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9		0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9		0	R	
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2	SIE1	1 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag			0	R/W	
		D0	SIF100	100 Hz interrupt flag			0	R/W	

0x5040-0x5041

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	WDTRST	Watchdog timer reset	1 Reset	0 Ignored	0	W	
		D3-0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010	R/W	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1 Reset	0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred	0 Not occurred	0	R	

0x5060-0x5081

Clock Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.		
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0]	Clock source	0x0	R/W		
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-6	IOSCW[1:0]	IOSC wait cycle select	IOSCW[1:0]	Wait cycle	0x0	R/W		
						0x3				8 cycles
						0x2				16 cycles
						0x1			32 cycles	
	D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0]	Wait cycle	0x0	R/W			
					0x3			128 cycles		
					0x2			256 cycles		
D3	-	reserved	-	-	-	-	-	0 when being read.		
									D2	IOSCEN
D1	OSC1EN	OSC1 enable	1 Enable	0 Disable	0	R/W				
D0	OSC3EN	OSC3 enable	1 Enable	0 Disable	0	R/W				

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUTA Control Register (CLG_FOUTA)	0x5064 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	FOUTAD [1:0]	FOUTA clock division ratio select	FOUTAD[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	reserved			
					0x2	1/4			
					0x1	1/2			
D3-2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W			
D1	–	reserved	–	–	–	–	0 when being read.		
D0	FOUTAE	FOUTA output enable	1 Enable	0 Disable	0	R/W			
FOUTB Control Register (CLG_FOUTB)	0x5065 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	FOUTBD [1:0]	FOUTB clock division ratio select	FOUTBD[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	reserved			
					0x2	1/4			
					0x1	1/2			
D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W			
D1	–	reserved	–	–	–	–	0 when being read.		
D0	FOUTBE	FOUTB output enable	1 Enable	0 Disable	0	R/W			
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.	
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
0x1	Not allowed								
0x0	Disable								
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.	
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W	
					0x3	1/8			
					0x2	1/4			
0x1	1/2								
0x0	1/1								

0x5063, 0x50a0–0x50a6

LCD Driver

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Select Register (LCD_CLK)	0x5063 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6-4	LCKDV[2:0]	LCD clock division ratio select	LCKDV[2:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x7-0x5	reserved			
					0x4	1/512			
					0x3	1/256			
D3-2	LCKSRC [1:0]	LCD clock source select	LCKSRC[1:0]	Clock source	0x1	R/W			
D1	–	reserved	–	–	–	–	0 when being read.		
D0	LCKEN	LCD clock enable	1 Enable	0 Disable	0	R/W			
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7	SEGREV	Segment output assignment control	1 Normal	0 Reverse	1	R/W	
		D6	COMREV	Common output assignment control	1 Normal	0 Reverse	1	R/W	
		D5	DSPAR	Display memory area control	1 Area 1	0 Area 0	0	R/W	
		D4	DSPREV	Reverse display control	1 Normal	0 Reverse	1	R/W	
		D3-2	–	reserved	–	–	–	–	0 when being read.
		D1-0	DSPC[1:0]	LCD display control	DSPC[1:0]	Display	0x0	R/W	
0x3	All off								
0x2	All on								
0x1	Normal display								
0x0	Display off								
LCD Contrast Adjustment Register (LCD_CADJ)	0x50a1 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3-0	LC[3:0]	LCD contrast adjustment	LC[3:0]	Display	0x7	R/W	
					0xf	Dark			
:	:								
0x0	Light								

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7-4	FRMCNT[3:0]	Frame frequency control	FRMCNT[3:0] = $\frac{f_{CLK} \times \text{duty}}{4 \times f_{LFR}} - 1$	0x3	R/W		
		D3-2	—	reserved	—	—	—	0 when being read.	
		D1-0	LDUTY[1:0]	LCD duty select	LDUTY[1:0]	Duty	0x3	R/W	
					0x3	1/24	0x2	reserved	0x1
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	LHVLD	LCD heavy load protection mode	1 On 0 Off	0	R/W		
		D3-1	—	reserved	—	—	—	0 when being read.	
		D0	VCSEL	Vc reference voltage select	1 Vc2 0 Vc1	0	R/W		
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.	
		D0	FRMIE	Frame signal interrupt enable	1 Enable 0 Disable	0	R/W		
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.	
		D0	FRMIF	Frame signal interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.	

0x5066, 0x5100-0x5104

SVD Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks																												
SVD Clock Control Register (SVD_CLK)	0x5066 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.																												
		D3-2	CLKSRC [1:0]	SVD clock source select	CLKSRC[1:0]	Clock source	0x1	R/W																												
					0x3	reserved	0x2	OSC3/512	0x1	OSC1	0x0	IOSC/128																								
		D1	—	reserved	—	—	—	—	0 when being read.																											
D0	CLKEN	SVD clock enable	1 Enable 0 Disable	0	R/W																															
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.																												
		D0	SVDEN	SVD enable	1 Enable 0 Disable	0	R/W																													
SVD Comparison Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.																												
		D3-0	SVDC[3:0]	SVD comparison voltage select	SVDC[3:0]	Voltage	0x0	R/W																												
					0xf	3.2 V	0xe	3.1 V	0xd	3.0 V	0xc	2.9 V	0xb	2.8 V	0xa	2.7 V	0x9	2.6 V	0x8	2.5 V	0x7	2.4 V	0x6	2.3 V	0x5	2.2 V	0x4	2.1 V	0x3	2.0 V	0x2	1.9 V	0x1	1.8 V	0x0	reserved
					D7-1	—	reserved	—	—	—	—	0 when being read.																								
					D0	SVDDT	SVD detection result	1 Low 0 Normal	x	R																										
					SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.																							
							D0	SV DIE	SVD interrupt enable	1 Enable 0 Disable	0	R/W																								
					SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.																							
							D0	SV DIF	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.																							

0x5120

Power Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Vd1 Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.	
		D5	LHVLD	Vd1 heavy load protection mode	1 On 0 Off	0	R/W		
		D4	—	reserved	—	—	0	R/W	
		D3-1	—	reserved	—	—	—	—	0 when being read.
		D0	VD1MD	Flash erase/programming mode	1 Flash (2.5 V) 0 Norm.(1.8 V)	0	R/W		

0x5200–0x52a7

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7–0	P0IN[7:0]	P0[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7–0	P0OUT[7:0]	P0[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7–0	P0OEN[7:0]	P0[7:0] port output enable	1	Enable	0 Disable	0	R/W	
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	
P0 Port Schmitt Trigger Control Register (P0_SM)	0x5204 (8 bits)	D7–0	P0SM[7:0]	P0[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0 Disable (CMOS)	1 (0xff)	R/W	
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7–0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0 Disable	0	R/W	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7–0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0 Rising edge	0	R/W	
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7–0	P0IF[7:0]	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–		–	–	–	0 when being read.
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W		
					0x7	16384/fPCLK	0x0	R/W		
					0x6	8192/fPCLK				
			0x5	4096/fPCLK						
			0x4	2048/fPCLK						
			0x3	1024/fPCLK						
			0x2	512/fPCLK						
			0x1	256/fPCLK						
			0x0	None						
		D3	–	reserved	–		–	–	–	0 when being read.
		D2–0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W		
					0x7	16384/fPCLK				
					0x6	8192/fPCLK				
					0x5	4096/fPCLK				
					0x4	2048/fPCLK				
					0x3	1024/fPCLK				
					0x2	512/fPCLK				
					0x1	256/fPCLK				
					0x0	None				
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	–	reserved	–		–	–	–	0 when being read.
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W		
					0x3	P0[3:0] = 0				
					0x2	P0[2:0] = 0				
			0x1	P0[1:0] = 0						
			0x0	Disable						
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7–0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0 Disable	1 (0xff)	R/W	
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7–0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7–0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7–0	P1OEN[7:0]	P1[7:0] port output enable	1	Enable	0 Disable	0	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
P1 Port Schmitt Trigger Control Register (P1_SM)	0x5214 (8 bits)	D7-0	P1SM[7:0]	P1[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W		
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7-0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W		
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7-0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W		
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7-0	P1IF[7:0]	P1[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	—	reserved	—	—	—	—	—	—	0 when being read.	
		D6-4	P1CF2[2:0]	P1[7:4] chattering filter time	P1CF2[2:0]	Filter time	0	R/W				
						0x7	16384/fPCLK	0x0	R/W			
						0x6	8192/fPCLK					
				0x5	4096/fPCLK							
				0x4	2048/fPCLK							
				0x3	1024/fPCLK							
				0x2	512/fPCLK							
				0x1	256/fPCLK							
				0x0	None							
		D3	—	reserved	—	—	—	—	—	—	0 when being read.	
		D2-0	P1CF1[2:0]	P1[3:0] chattering filter time	P1CF1[2:0]	Filter time	0x0	R/W				
						0x7	16384/fPCLK					
						0x6	8192/fPCLK					
						0x5	4096/fPCLK					
						0x4	2048/fPCLK					
						0x3	1024/fPCLK					
						0x2	512/fPCLK					
						0x1	256/fPCLK					
						0x0	None					
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7-0	P1IEN[7:0]	P1[7:0] port input enable	1	Enable	0	Disable	1 (0xff)	R/W		
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7-0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R		
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7-0	P2OUT[7:0]	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W		
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7-0	P2OEN[7:0]	P2[7:0] port output enable	1	Enable	0	Disable	0	R/W		
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7-0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W		
P2 Port Schmitt Trigger Control Register (P2_SM)	0x5224 (8 bits)	D7-0	P2SM[7:0]	P2[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W		
P2 Port Interrupt Mask Register (P2_IMSK)	0x5225 (8 bits)	D7-0	P2IE[7:0]	P2[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W		
P2 Port Interrupt Edge Select Register (P2_EDGE)	0x5226 (8 bits)	D7-0	P2EDGE[7:0]	P2[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W		
P2 Port Interrupt Flag Register (P2_IFLG)	0x5227 (8 bits)	D7-0	P2IF[7:0]	P2[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2 Port Chattering Filter Control Register (P2_CHAT)	0x5228 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	P2CF2[2:0]	P2[7:4] chattering filter time	P2CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
0x5	4096/fPCLK								
		0x4	2048/fPCLK						
		0x3	1024/fPCLK						
		0x2	512/fPCLK						
		0x1	256/fPCLK						
		0x0	None						
		D3	–	reserved	–	–	–	0 when being read.	
		D2–0	P2CF1[2:0]	P2[3:0] chattering filter time	P2CF1[2:0]	Filter time	0x0	R/W	
0x7	16384/fPCLK								
0x6	8192/fPCLK								
		0x5	4096/fPCLK						
		0x4	2048/fPCLK						
		0x3	1024/fPCLK						
		0x2	512/fPCLK						
		0x1	256/fPCLK						
		0x0	None						
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7–0	P2IEN[7:0]	P2[7:0] port input enable	1 Enable	0 Disable	1 (0xff)	R/W	
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3IN[4:0]	P3[4:0] port input data	1 1 (H)	0 0 (L)	×	R	
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3OUT[4:0]	P3[4:0] port output data	1 1 (H)	0 0 (L)	0	R/W	
P3 Port Output Enable Register (P3_OEN)	0x5232 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.	
		D5	–	reserved	–	–	–	1 when being read.	
		D4–0	P3OEN[4:0]	P3[4:0] port output enable	1 Enable	0 Disable	0	R/W	
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3PU[4:0]	P3[4:0] port pull-up enable	1 Enable	0 Disable	1 (0x1f)	R/W	
P3 Port Schmitt Trigger Control Register (P3_SM)	0x5234 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3SM[4:0]	P3[4:0] port Schmitt trigger input enable	1 Enable (Schmitt)	0 Disable (CMOS)	1 (0x1f)	R/W	
P3 Port Interrupt Mask Register (P3_IMSK)	0x5235 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3IE[4:0]	P3[4:0] port interrupt enable	1 Enable	0 Disable	0	R/W	
P3 Port Interrupt Edge Select Register (P3_EDGE)	0x5236 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3EDGE[4:0]	P3[4:0] port interrupt edge select	1 Falling edge	0 Rising edge	0	R/W	
P3 Port Interrupt Flag Register (P3_IFLG)	0x5237 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3IF[4:0]	P3[4:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P3 Port Chattering Filter Control Register (P3_CHAT)	0x5238 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	P3CF2[2:0]	P34 chattering filter time	P3CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
		0x5	4096/fPCLK						
		0x4	2048/fPCLK						
		0x3	1024/fPCLK						
		0x2	512/fPCLK						
		0x1	256/fPCLK						
		0x0	None						
		D3	–	reserved	–	–	–	0 when being read.	
		D2–0	P3CF1[2:0]	P3[3:0] chattering filter time	P3CF1[2:0]	Filter time	0x0	R/W	
0x7	16384/fPCLK								
0x6	8192/fPCLK								
		0x5	4096/fPCLK						
		0x4	2048/fPCLK						
		0x3	1024/fPCLK						
		0x2	512/fPCLK						
		0x1	256/fPCLK						
		0x0	None						
P3 Port Input Enable Register (P3_IEN)	0x523a (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4–0	P3IEN[4:0]	P3[4:0] port input enable	1 Enable	0 Disable	1 (0x1f)	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[3:0] Port Function Select Register (P00_03PMUX)	0x52a0 (8 bits)	D7-6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT1/CAP1			
					0x1	SOUT0			
		D5-4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT0/CAP0			
					0x1	SIN0			
D3-2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	REMO					
			0x1	LFRO					
D1-0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	REMI					
			0x1	RFCKO					
P0[7:4] Port Function Select Register (P04_07PMUX)	0x52a1 (8 bits)	D7-6	P07MUX[1:0]	P07 port function select	P07MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SPISS0			
					0x1	SENA0			
		D5-4	P06MUX[1:0]	P06 port function select	P06MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SPICK0			
					0x1	SENB0			
D3-2	P05MUX[1:0]	P05 port function select	P05MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	TOUT3/CAP3					
			0x1	SDO0					
D1-0	P04MUX[1:0]	P04 port function select	P04MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	TOUT2/CAP2					
			0x1	SDI0					
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7-6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	REF1			
		D5-4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	RFIN1			
D3-2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	TOUT5/CAP5					
			0x1	RFIN0					
D1-0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	TOUT4/CAP4					
			0x1	REF0					
					0x0				

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7-6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	SCL0			
							0x1	SCL1			
							0x0	P17			
		D5-4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	#ADTRG			
					0x1	SCLK0					
					0x0	P16					
D3-2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	reserved					
					0x1	SENB1					
					0x0	P15					
D1-0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	reserved					
					0x1	SENA1					
					0x0	P14					
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	SDA0			
							0x1	AIN5			
							0x0	P23/EXCL3			
		D5-4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	SCL0			
					0x1	AIN6					
					0x0	P22/EXCL2					
D3-2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	#BFR					
					0x1	AIN7					
					0x0	P21					
D1-0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	SDA0					
					0x1	SDA1					
					0x0	P20					
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7-6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	TOUT7/CAP7			
							0x1	AIN1			
							0x0	P27			
		D5-4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
							0x2	TOUT6/CAP6			
					0x1	AIN2					
					0x0	P26					
D3-2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	FOUTB					
					0x1	AIN3					
					0x0	P25					
D1-0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
					0x2	FOUTA					
					0x1	AIN4					
					0x0	P24					

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks				
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7-6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W				
					0x3 reserved	EXOSC3						
					0x2 reserved	OSC3						
					0x1 reserved	P33						
		D5-4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W				
					0x3 reserved	reserved						
					0x2 reserved	P32						
					0x1 reserved	DST2						
					0x0							
		D3-2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W				
					0x3 reserved	reserved						
					0x2 reserved	P31						
					0x1 reserved	DSIO						
					0x0							
		D1-0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W				
					0x3 reserved	reserved						
					0x2 reserved	reserved						
					0x1 reserved	AIN0						
					0x0	P30						
P34 Port Function Select Register (P34PMUX)	0x52a7 (8 bits)	D7-2	-	reserved	-	-	-	-	0 when being read.			
		D1-0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W				
					0x3 reserved	reserved						
					0x2 reserved	reserved						
					0x1 reserved	OSC4						
					0x0	P34						

0x4020, 0x5320-0x532c

MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.		
		D1	DBRUN1	Run/stop select in debug mode	1 Run	0 Stop	0	R/W		
		D0	-	reserved	-	-	-	-	0 when being read.	
FLASHC/SRAMC Control Register (MISC_FL)	0x5320 (16 bits)	D15-13	-	reserved	-	-	-	0 when being read.		
		D12	SRRVS	SRAMC bit order reverse	1 Reverse	0 Normal	0	R/W		
		D11-10	-	reserved	-	-	-	-	0 when being read.	
		D9-8	SRCYC[1:0]	SRAMC access cycle	SRCYC[1:0]		Access cycle	0x3	R/W	
					0x3	5 cycles				
					0x2	4 cycles				
0x1	3 cycles									
	0x0	2 cycles								
D7-3	-	reserved	-	-	-	-	0 when being read.			
D2-0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]	Read cycle	0x3	R/W				
			0x7-0x5 reserved							
			0x4	1 cycle						
			0x3	5 cycles						
			0x2	4 cycles						
			0x1	3 cycles						
			0x0	2 cycles						
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	-	reserved	-	-	-	0 when being read.		
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run	0 Stop	0	R/W		
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15-0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326-0x532a). Writing another value set the write protection.		0x0	R/W		
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	-	reserved	-	-	-	0 when being read.		
		D8	DBADR	Debug base address select	1 0x0	0 0xfffc00	0	R/W		
		D7	-	reserved	-	-	-	-	0 when being read.	
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x2 (= 4KB)		0x2	R		
		D3	-	reserved	-	-	-	-	0 when being read.	
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0]		Size	0x2	R/W	
0x5	512B									
0x4	1KB									
0x3	2KB									
0x2	4KB									
	Other	reserved								
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff		0x80	R/W		
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0		0x0	R		

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address High Register (MISC_TTBH)	0x532a (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0-0xf	0x0	R/W	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

0x5340-0x5346

IR Remote Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15-12	CGCLK[3:0]	Carrier generator clock division ratio select	CGCLK[3:0]	Division ratio	0x0	R/W	Source clock = PCLK	
					LCCLK[3:0]					0xf reserved
										0xe 1/16384
										0xd 1/8192
										0xc 1/4096
										0xb 1/2048
			0xa 1/1024							
			0x9 1/512							
			0x8 1/256							
			0x7 1/128							
	0x6 1/64									
	0x5 1/32									
	0x4 1/16									
	0x3 1/8									
	0x2 1/4									
	0x1 1/2									
	0x0 1/1									
	D11-8	LCCLK[3:0]	Length counter clock division ratio select	–	–	0x0	R/W			
	D7-2	–	reserved	–	–	–	–	0 when being read.		
	D1	REMDM	REMC mode select	1 Receive 0 Transmit	0	R/W				
	D0	REMCEN	REMC enable	1 Enable 0 Disable	0	R/W				
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.		
		D13-8	REMCCL[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W			
		D7-6	–	reserved	–	–	–	–	0 when being read.	
		D5-0	REMCCH[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W			
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15-8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W			
		D7-1	–	reserved	–	–	–	0 when being read.		
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W			
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.		
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
		D9	REMRIF	Rising edge interrupt flag	–	–	0	R/W		
		D8	REMUIF	Underflow interrupt flag	–	–	0	R/W		
		D7-3	–	reserved	–	–	–	–	0 when being read.	
		D2	REMFIE	Falling edge interrupt enable	1 Enable 0 Disable	0	R/W			
		D1	REMRIE	Rising edge interrupt enable	1 Enable 0 Disable	0	R/W			
D0	REMUIE	Underflow interrupt enable	1 Enable 0 Disable	0	R/W					

0x5380-0x5386

A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15-0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
A/D Trigger/ Channel Select Register (ADC10_TRG)	0x5382 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.		
		D13-11	ADCE[2:0]	End channel select	0x0 to 0x7	0x0	R/W			
		D10-8	ADCS[2:0]	Start channel select	0x0 to 0x7	0x0	R/W			
		D7	STMD	Conversion result storing mode	1 ADD[15:6] 0 ADD[9:0]	0	R/W			
		D6	ADMS	Conversion mode select	1 Continuous 0 Single	0	R/W			
		D5-4	ADTS[1:0]	Conversion trigger select	ADTS[1:0] Trigger	0x0	R/W			
		D3	–	reserved	–	–	–		0 when being read.	
		D2-0	ADST[2:0]	Sampling time setting	ADST[2:0] Sampling time	0x7 9 cycles 0x6 8 cycles 0x5 7 cycles 0x4 6 cycles 0x3 5 cycles 0x2 4 cycles 0x1 3 cycles 0x0 2 cycles	0x7	R/W		
		A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	–	reserved	–	–	–	0 when being read.
				D14-12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x7	0x0	R	0 when being read.
D11	–			reserved	–	–	–			
D10	ADIBS			ADC10 status	1 Busy 0 Idle	0	R	Reset by writing 1.		
D9	ADOWE			Overwrite error flag	1 Error 0 Normal	0	R/W			
D8	ADCF			Conversion completion flag	1 Completed 0 Run/Stand-by	0	R	Reset when ADC10_ADD is read.		
D7-6	–			reserved	–	–	–	0 when being read.		
D5	ADOIE			Overwrite error interrupt enable	1 Enable 0 Disable	0	R/W			
D4	ADCIIE			Conversion completion int. enable	1 Enable 0 Disable	0	R/W			
D3-2	–			reserved	–	–	–	0 when being read.		
D1	ADCTL	A/D conversion control	1 Start 0 Stop	0	R/W					
D0	ADEN	ADC10 enable	1 Enable 0 Disable	0	R/W					
A/D Clock Control Register (ADC10_CLK)	0x5386 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.		
		D3-0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0] Division ratio	0x0	R/W	Source clock = PCLK		
					0xf reserved					
					0xe 1/32768					
					0xd 1/16384					
					0xc 1/8192					
					0xb 1/4096					
					0xa 1/2048					
					0x9 1/1024					
					0x8 1/512					
					0x7 1/256					
					0x6 1/128					
					0x5 1/64					
					0x4 1/32					
					0x3 1/16					
					0x2 1/8					
					0x1 1/4					
			0x0 1/2							

0x5067, 0x53a0–0x53ae

R/F Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Clock Control Register (RFC_CLK)	0x5067 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	CLKDIV [1:0]	RFC clock division ratio select	CLKDIV[1:0] Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
	D3-2	CLKSRC [1:0]	RFC clock source select	CLKSRC[1:0] Clock source	0x1	R/W		
				0x3 reserved				
				0x2 OSC3				
				0x1 OSC1				
				0x0 IOSC				
	D1	–	reserved	–	–	–	0 when being read.	
	D0	CLKEN	RFC clock enable	1 Enable 0 Disable	0	R/W		

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7	CONEN	Continuous oscillation enable	1 Enable	0 Disable	0	R/W	
		D6	EVTEN	Event counter mode enable	1 Enable	0 Disable	0	R/W	
		D5-4	SMODE[1:0]	Sensor oscillation mode select	SMODE[1:0]	Sensor	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved DC capacitive AC resistive DC resistive			
		D3-2	–	reserved	–	–	–	–	0 when being read.
		D1	CHSEL	Conversion channel select	1 Ch.1	0 Ch.0	0	R/W	
D0	RFCEN	RFC enable	1 Enable	0 Disable	0	R/W			
RFC Oscillation Trigger Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	–	reserved	–	–	–	0 when being read.	
		D2	SSENB	Sensor B oscillation control/status	1 Start/Run	0 Stop	0	R/W	
		D1	SSENA	Sensor A oscillation control/status	1 Start/Run	0 Stop	0	R/W	
		D0	SREF	Reference oscillation control/status	1 Start/Run	0 Stop	0	R/W	
RFC Measurement Counter Low Register (RFC_MCL)	0x53a4 (16 bits)	D15-0	MC[15:0]	Measurement counter low-order 16-bit data	0x0-0xffff	0x0	R/W		
RFC Measurement Counter High Register (RFC_MCH)	0x53a6 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7-0	MC[23:16]	Measurement counter high-order 8-bit data	0x0-0xff	0x0	R/W		
RFC Time Base Counter Low Register (RFC_TCL)	0x53a8 (16 bits)	D15-0	TC[15:0]	Time base counter low-order 16-bit data	0x0-0xffff	0x0	R/W		
RFC Time Base Counter High Register (RFC_TCH)	0x53aa (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7-0	TC[23:16]	Time base counter high-order 8-bit data	0x0-0xff	0x0	R/W		
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.	
		D4	OVRTCIE	TC overflow error interrupt enable	1 Enable	0 Disable	0	R/W	
		D3	OVMCIE	MC overflow error interrupt enable	1 Enable	0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation completion interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation completion interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	EREFIE	Reference oscillation completion interrupt enable	1 Enable	0 Disable	0	R/W	
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.	
		D4	OVRTCIF	TC overflow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D3	OVMCIF	MC overflow error interrupt flag			0	R/W	
		D2	ESENBIF	Sensor B oscillation completion interrupt flag			0	R/W	
		D1	ESENAIF	Sensor A oscillation completion interrupt flag			0	R/W	
		D0	EREFIF	Reference oscillation completion interrupt flag			0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
T16A Clock Control Register Ch.0 (T16A_CLK0)	0x5068 (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio OSC3 or OSC1	0x0	R/W		
					0xf	–				–
					0xe	1/16384				–
					0xd	1/8192				–
					0xc	1/4096				–
		0xb	1/2048	–						
		0xa	1/1024	–						
		0x9	1/512	–						
		0x8	1/256	1/256						
		0x7	1/128	1/128						
		0x6	1/64	1/64						
		0x5	1/32	1/32						
		0x4	1/16	1/16						
		0x3	1/8	1/8						
		0x2	1/4	1/4						
		0x1	1/2	1/2						
		0x0	1/1	1/1						
		D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W		
					0x3	External clock				
					0x2	OSC3				
					0x1	OSC1				
					0x0	IOSC				
		D1	MULTIMD	Multi-comparator/capture mode select	1 Multi	0 Normal	0	R/W		
		D0	CLKEN	Count clock enable	1 Enable	0 Disable	0	R/W		
T16A Counter Ch.0 Control Register (T16A_CTL0)	0x5400 (16 bits)	D15–6	–	reserved	–	–	–	–	0 when being read.	
		D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.	0x0	R/W		
					0x3	Ch.3				
					0x2	Ch.2				
					0x1	Ch.1				
		0x0	Ch.0							
		D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W		
		D2	TRMD	Count mode select	1 One-shot	0 Repeat	0	R/W		
		D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W	0 when being read.	
		D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W		
T16A Counter Ch.0 Data Register (T16A_TC0)	0x5402 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R			
T16A Comparator/Capture Ch.0 Control Register (T16A_CCCTL0)	0x5404 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W		
					0x3	↑ and ↓				
					0x2	↓				
					0x1	↑				
					0x0	None				
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W		
					0x3	cmp B: ↑ or ↓				
					0x2	cmp A: ↑ or ↓				
					0x1	cmp A: ↑, B: ↓				
					0x0	Off				
		D11–10	–	reserved	–	–	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W		
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W		
D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge	0x0	R/W				
				0x3				↑ and ↓		
				0x2				↓		
				0x1				↑		
				0x0				None		
D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W				
			0x3	cmp B: ↑ or ↓						
			0x2	cmp A: ↑ or ↓						
			0x1	cmp A: ↑, B: ↓						
			0x0	Off						
D3–2	–	reserved	–	–	–	–	–	0 when being read.		
D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W				
D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W				
T16A Comparator/Capture Ch.0 A Data Register (T16A_CCA0)	0x5406 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/Capture Ch.0 B Data Register (T16A_CCB0)	0x5408 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W		
T16A Comparator/Capture Ch.0 Interrupt Enable Register (T16A_IEN0)	0x540a (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.	
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W		
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W		
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W		
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W		
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W		
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W		
T16A Comparator/Capture Ch.0 Interrupt Flag Register (T16A_IFLG0)	0x540c (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.	
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
		D3	CAPBIF	Capture B interrupt flag			0	R/W	
		D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

0x5069, 0x5420–0x542c**16-bit PWM Timer Ch.1**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Clock Control Register Ch.1 (T16A_CLK1)	0x5069 (8 bits)	D7-4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0] Division ratio OSC3 or OSC1 IOSC	0x0	R/W	
					0xf – –			
					0xe 1/16384 – –			
					0xd 1/8192 – –			
					0xc 1/4096 – –			
					0xb 1/2048 – –			
					0xa 1/1024 – –			
					0x9 1/512 – –			
					0x8 1/256 1/256			
					0x7 1/128 1/128			
					0x6 1/64 1/64			
					0x5 1/32 1/32			
					0x4 1/16 1/16			
					0x3 1/8 1/8			
					0x2 1/4 1/4			
					0x1 1/2 1/2			
					0x0 1/1 1/1			
		D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0] Clock source	0x0	R/W	
					0x3 External clock			
					0x2 OSC3			
					0x1 OSC1			
					0x0 IOSC			
		D1	–	reserved	–	–	–	
		D0	CLKEN	Count clock enable	1 Enable 0 Disable	0	R/W	
T16A Counter Ch.1 Control Register (T16A_CTL1)	0x5420 (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5-4	CCABCNT [1:0]	Counter select	CCABCNT[1:0] Counter Ch.	0x0	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TRMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
T16A Counter Ch.1 Data Register (T16A_TC1)	0x5422 (16 bits)	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
T16A Comparator/ Capture Ch.1 Control Register (T16A_CCCTL1)	0x5424 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W		
					0x3	↑ and ↓				
					0x2	↓				
				0x1	↑					
				0x0	None					
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W		
					0x3	cmp B: ↑ or ↓				
					0x2	cmp A: ↑ or ↓				
					0x1	cmp A: ↑, B: ↓				
					0x0	Off				
	D11-10	—	reserved	—	—	—	—	0 when being read.		
	D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0	R/W	
	D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W	
	D7-6	CAPATR G[1:0]	Capture A trigger select	CAPATR G[1:0]	Trigger edge	0x0	R/W			
					0x3	↑ and ↓				
					0x2	↓				
					0x1	↑				
					0x0	None				
	D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W			
					0x3	cmp B: ↑ or ↓				
					0x2	cmp A: ↑ or ↓				
					0x1	cmp A: ↑, B: ↓				
					0x0	Off				
	D3-2	—	reserved	—	—	—	—	0 when being read.		
	D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W	
	D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W	
T16A Comparator/ Capture Ch.1 A Data Register (T16A_CCA1)	0x5426 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W			
T16A Comparator/ Capture Ch.1 B Data Register (T16A_CCB1)	0x5428 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W			
T16A Comparator/ Capture Ch.1 Interrupt Enable Register (T16A_IEN1)	0x542a (16 bits)	D15-6	—	reserved	—	—	—	—	0 when being read.	
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1	Enable	0	Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1	Enable	0	Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1	Enable	0	Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1	Enable	0	Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W
T16A Comparator/ Capture Ch.1 Interrupt Flag Register (T16A_IFLG1)	0x542c (16 bits)	D15-6	—	reserved	—	—	—	—	0 when being read.	
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W
		D4	CAPAOWIF	Capture A overwrite interrupt flag	1		0		R/W	
		D3	CAPBIF	Capture B interrupt flag	1		0		R/W	
		D2	CAPAIF	Capture A interrupt flag	1		0		R/W	
		D1	CBIF	Compare B interrupt flag	1		0		R/W	
		D0	CAIF	Compare A interrupt flag	1		0		R/W	
										Reset by writing 1.

0x506a, 0x5440–0x544c

16-bit PWM Timer Ch.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks				
T16A Clock Control Register Ch.2 (T16A_CLK2)	0x506a (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio OSC3 or IOSC	0x0	R/W				
					0xf	–	–					
					0xe	1/16384	–					
					0xd	1/8192	–					
					0xc	1/4096	–					
					0xb	1/2048	–					
					0xa	1/1024	–					
					0x9	1/512	–					
					0x8	1/256	1/256					
					0x7	1/128	1/128					
0x6	1/64	1/64										
0x5	1/32	1/32										
0x4	1/16	1/16										
0x3	1/8	1/8										
0x2	1/4	1/4										
0x1	1/2	1/2										
0x0	1/1	1/1										
T16A Counter Ch.2 Control Register (T16A_CTL2)	0x5440 (16 bits)	D15–6	–	reserved	–	–	–	–	0 when being read.			
					D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]		Counter Ch.	0x0	R/W
								0x3		Ch.3		
								0x2		Ch.2		
0x1	Ch.1											
0x0	Ch.0											
D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W						
D2	TRMD	Count mode select	1 One-shot	0 Repeat	0	R/W						
D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W	0 when being read.					
D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W						
T16A Counter Ch.2 Data Register (T16A_TC2)	0x5442 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R					
T16A Comparator/ Capture Ch.2 Control Register (T16A_CCCTL2)	0x5444 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W				
					0x3	↑ and ↓						
					0x2	↓						
					0x1	↑						
		0x0	None									
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W				
					0x3	cmp B: ↑ or ↓						
					0x2	cmp A: ↑ or ↓						
					0x1	cmp A: ↑, B: ↓						
		0x0	Off									
		D11–10	–	reserved	–	–	–	–	0 when being read.			
					D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W	
D8	CCBMD				T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W			
D7–6	CAPATRG [1:0]				Capture A trigger select	CAPATRG[1:0]	Trigger edge	0x0	R/W			
		0x3	↑ and ↓									
		0x2	↓									
		0x1	↑									
0x0	None											
D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W						
			0x3	cmp B: ↑ or ↓								
			0x2	cmp A: ↑ or ↓								
			0x1	cmp A: ↑, B: ↓								
0x0	Off											
D3–2	–	reserved	–	–	–	0 when being read.						
D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W						
D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W						
T16A Comparator/ Capture Ch.2 A Data Register (T16A_CCA2)	0x5446 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W					
T16A Comparator/ Capture Ch.2 B Data Register (T16A_CCB2)	0x5448 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W					

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
T16A Comparator/Capture Ch.2 Interrupt Enable Register (T16A_IEN2)	0x544a (16 bits)	D15-6	-	reserved	-		-	-	0 when being read.	
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1	Enable	0	Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1	Enable	0	Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1	Enable	0	Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1	Enable	0	Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W
D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W		
T16A Comparator/Capture Ch.2 Interrupt Flag Register (T16A_IFLG2)	0x544c (16 bits)	D15-6	-	reserved	-		-	-	0 when being read.	
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W
		D4	CAPAOWIF	Capture A overwrite interrupt flag					0	R/W
		D3	CAPBIF	Capture B interrupt flag					0	R/W
		D2	CAPAIF	Capture A interrupt flag					0	R/W
		D1	CBIF	Compare B interrupt flag					0	R/W
D0	CAIF	Compare A interrupt flag					0	R/W		

0x506b, 0x5460-0x546c

16-bit PWM Timer Ch.3

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
T16A Clock Control Register Ch.3 (T16A_CLK3)	0x506b (8 bits)	D7-4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio	0x0	R/W			
						OSC3 or OSC1					
						0xf				-	-
						0xe				1/16384	-
						0xd				1/8192	-
						0xc				1/4096	-
						0xb				1/2048	-
						0xa				1/1024	-
						0x9				1/512	-
						0x8				1/256	1/256
0x7	1/128	1/128									
0x6	1/64	1/64									
0x5	1/32	1/32									
0x4	1/16	1/16									
0x3	1/8	1/8									
0x2	1/4	1/4									
0x1	1/2	1/2									
0x0	1/1	1/1									
T16A Counter Ch.3 Control Register (T16A_CTL3)	0x5460 (16 bits)	D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W			
						0x3				External clock	
						0x2				OSC3	
						0x1				OSC1	
						0x0				IOSC	
D1	-	reserved	-	-							
D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W			
T16A Counter Ch.3 Data Register (T16A_TC3)	0x5462 (16 bits)	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff		0x0	R			
					0x3					Counter Ch.3	
					0x2					Ch.2	
					0x1					Ch.1	
					0x0					Ch.0	
D3	CBUFEN	Compare buffer enable	1	Enable	0	Disable	0	R/W			
D2	TRMD	Count mode select	1	One-shot	0	Repeat	0	R/W			
D1	PRESET	Counter reset	1	Reset	0	Ignored	0	W	0 when being read.		
D0	PRUN	Counter run/stop control	1	Run	0	Stop	0	R/W			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.3 Control Register (T16A_CCCTL3)	0x5464 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W	
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	0x0	R/W	
		D11–10	–	reserved	–	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W	
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W	
		D7–6	CAPATRГ [1:0]	Capture A trigger select	CAPATRГ[1:0]	Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W	
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	0x0	R/W	
		D3–2	–	reserved	–	–	–	–	0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W	
		D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W	
T16A Comparator/ Capture Ch.3 A Data Register (T16A_CCA3)	0x5466 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W		
T16A Comparator/ Capture Ch.3 B Data Register (T16A_CCB3)	0x5468 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W		
T16A Comparator/ Capture Ch.3 Interrupt Enable Register (T16A_IEN3)	0x546a (16 bits)	D15–6	–	reserved	–	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W	
	D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W		
T16A Comparator/ Capture Ch.3 Interrupt Flag Register (T16A_IFLG3)	0x546c (16 bits)	D15–6	–	reserved	–	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	
		D3	CAPBIF	Capture B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	
		D2	CAPAIF	Capture A interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	
		D0	CAIF	Compare A interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	

0xffff84–0xffffd0

S1C17 Core I/O

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7–0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R		
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R		
		D23–0	DBRAM[23:0]	Debug RAM base address	0xc0	0x fc0	R		
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R	
Instruction Break Address Register 1 (IBAR1)	0xffffb4 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.	
		D23–0	IBAR1[23:0]	Instruction break address #1 IBAR123 = MSB IBAR10 = LSB	0x0 to 0xfffff	0x0	R/W		
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.	
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W		

Appendix A I/Oレジスター一覧

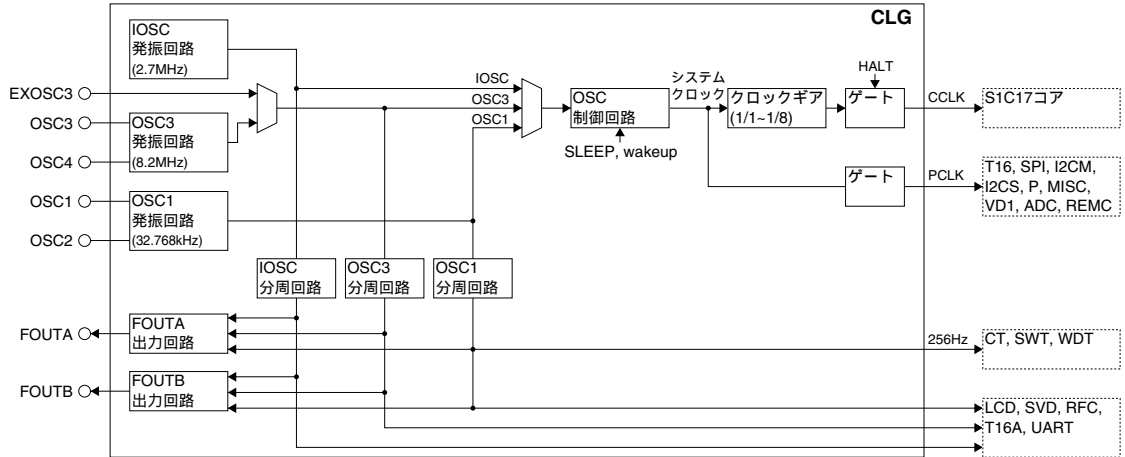
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	-	reserved	-	-	-	0 when being read.
		D23-0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	-	reserved	-	-	-	0 when being read.
		D23-0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

B.1 クロック制御によるパワーセーブ

図B.1.1にS1C17711のクロックシステムを示します。



図B.1.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ（全クロックの停止）

- `slp`命令の実行
システム全体を停止可能な場合は、`slp`命令を実行します。CPUはSLEEPモードとなり、すべての発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します(*)。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。
- * 外部入力クロック(EXOSC3)を有効にしている場合は、SLEEPモードとなった場合でもOSC3分周回路からLCD、SVD、RFC、T16A、UARTへのクロック供給は停止しません。SLEEPモード時には外部クロックを停止してください。

システムクロック

- 低速クロックソースの選択(CLGモジュール)
システムクロックソースに低速な発振回路を選択します。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- 不要な発振回路の停止(CLGモジュール)
システムクロックソースとしている発振回路を動作させ、可能であれば他の発振回路を停止します。OSC1をシステムクロックとし、IOSCおよびOSC3発振回路を停止することで、消費電流をより低減できます。

CPUクロック(CCLK)

- `halt`命令の実行
表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、`halt`命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路は`halt`命令実行時の状態を維持します。このため、LCDドライバや、割り込みを使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してから`halt`命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

- 低速クロックギアを選択(CLGモジュール)
 CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1~1/8に減速することができます。アプリケーションに必要な最低限の速度でCPUを動作させることにより、消費電流を低減できます。

周辺クロック(PCLK)

- PCLKの停止(CLGモジュール)
 以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKを使用する周辺モジュール

- UART Ch.0
- 16ビットタイマ Ch.0~3
- SPI Ch.0
- I²Cマスタ
- I²Cスレーブ
- 電源制御回路
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- MISCレジスタ
- IRリモートコントローラ
- A/D変換器

以下の周辺モジュール/機能に、PCLKは必要ありません。

PCLKを使用しない周辺モジュール/機能

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- LCDドライバ
- SVD回路
- R/F変換器
- 16ビットPWMタイマ Ch.0~3
- FOUTA/FOUTB出力

クロック制御とCPUの起動/停止方法を表B.1.1に示します。

表B.1.1 クロック制御一覧

消費電流	OSC1	IOSC/OSC3	CPU(CCLK)	PCLK周辺	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作(1/1)	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作	動作		
高 ↓	発振	発振 (システムCLK)	動作(1/1)	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動
 入出力ポート割り込み、デバッグ割り込み(ICD強制ブレーク発行)により起動します。
2. OSC1周辺回路による起動
 計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマの割り込みにより起動します。
3. PCLK周辺回路による起動
 PCLK周辺回路の割り込みにより起動します。

B.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

内部定電圧回路

- 内部動作電圧 V_{DI} を2.5Vに設定すると消費電流が増加します。
通常動作時は V_{DI} を1.8Vに設定し、Flashプログラミング時のみ2.5Vに切り換えてください。
- 内部定電圧回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。動作が安定しない場合のみOnにしてください。

LCD系定電圧回路

- VCSELを0(V_{C1} 基準)に設定すると消費電流が増加します。
電源電圧 V_{DD} が2.9Vより高いときはVCSELを1(V_{C2} 基準)に設定してください。
- LCD系定電圧回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。表示が安定しない場合のみOnにしてください。
- LCDの表示を行わないときはLCDの駆動をOffにしてください。

電源電圧検出(SVD)回路

- SVD回路を動作させると消費電流が増加します。
電源電圧の検出が不要な場合はOffにしてください。

Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

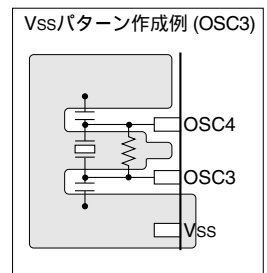
発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。
FOUTBまたはFOUTA端子の出力をオシロスコープなどで確認します。
OSC3の出力波形の品質をFOUTA/B出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。
OSC1波形の品質をFOUTA/B出力で確認します。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

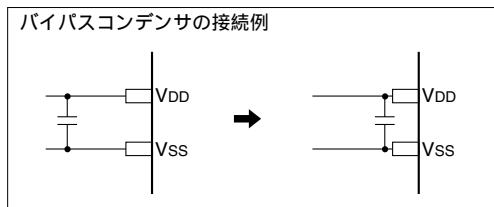
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

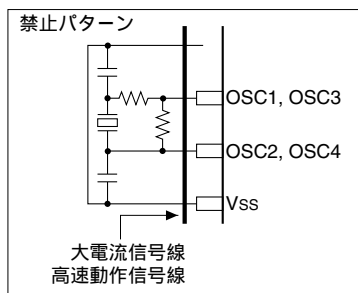
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からVDDおよびVSS端子へはできるだけ短くかつ太いパターンで接続してください。
- VDD-VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の3点について確認してみてください。

(1) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。製品版では、DSIO端子をVDDに直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、100~500kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なりセット動作が行えない場合があります。

回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

(3) VDD、VSS電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実に考えられます。

上記のDSIO、#RESET入力回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

- (A)まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。
- (B)基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- (4)ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- (5)実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- (1)入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタは初期状態(プルアップあり、入力)にしてください。
- (2)OSC1、OSC2、OSC3、OSC4端子
OSC1発振回路を使用しない場合、OSC1およびOSC2端子はオープンにしてください。OSC3発振回路を使用しない場合、OSC3およびOSC4端子は、入出力ポート端子に設定してください。制御レジスタは初期状態(発振Off)にしてください。
- (3)Vc1~4、CA~CE、SEGx、COMx端子
LCDドライバを使用しない場合はオープンにしてください。制御レジスタは初期状態(表示Off)にしてください。また、LCDドライバを使用する場合も、結線の必要がないSEGxとCOMx端子はオープンにしてください。

その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては、機械的ダメージのほか、

- (1)実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2)半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;      Vector table
; =====
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00      0x00      reset          ...(2)
.long unalign_handler ; 0x01      0x04      unalign
.long nmi_handler   ; 0x02      0x08      NMI
.long int03_handler ; 0x03      0x0c      -
.long p0_handler    ; 0x04      0x10      P0 port
.long p1_handler    ; 0x05      0x14      P1 port
.long swt_handler   ; 0x06      0x18      SWT
.long ct_handler    ; 0x07      0x1c      CT
.long t16a_2_handler ; 0x08      0x20      T16A ch2
.long svd_handler   ; 0x09      0x24      SVD
.long lcd_handler   ; 0x0a      0x28      LCD
.long t16a_0_handler ; 0x0b      0x2c      T16A ch0
.long t16_0_handler ; 0x0c      0x30      T16 ch0
.long t16_1_handler ; 0x0d      0x34      T16 ch1
.long t16_2_handler ; 0x0e      0x38      T16 ch2
.long t16_3_t16a_3_handler ; 0x0f      0x3c      T16 ch3/T16A ch3
.long uart_0_handler ; 0x10      0x40      UART ch0
.long int11_handler ; 0x11      0x44      -
.long spi_0_handler ; 0x12      0x48      SPI ch0
.long i2cm_handler  ; 0x13      0x4c      I2C master
.long remc_handler  ; 0x14      0x50      REMC
.long t16a_1_handler ; 0x15      0x54      T16A ch1
.long adc10_handler ; 0x16      0x58      ADC10
.long rfc_handler   ; 0x17      0x5c      RFC
.long p2_handler    ; 0x18      0x60      P2 port
.long p3_handler    ; 0x19      0x64      P3 port
.long i2cs_handler  ; 0x1a      0x68      I2C slave
.long int1b_handler ; 0x1b      0x6c      -
.long int1c_handler ; 0x1c      0x70      -
.long int1d_handler ; 0x1d      0x74      -
.long int1e_handler ; 0x1e      0x78      -
.long int1f_handler ; 0x1f      0x7c      -
; =====
;      Program code
; =====
.text                                               ...(3)
.align 1

BOOT:
; ===== Initialize =====
; ---- Stack pointer -----
Xld.a  %sp, 0x0f00                                     ...(4)
; ---- Memory controller -----
Xld.a  %r1, 0x5320      ; MISC register base address
; FLASHC
Xld.a  %r0, 0x04        ; 1 cycle access
ld.b   [%r1], %r0      ; [0x5320] <= 0x04          ...(5)
; SRAMC
Xld.a  %r0, 0x00        ; 2 cycle access
ext    0x01
ld.b   [%r1], %r0      ; [0x5321] <= 0x01          ...(6)

```

Appendix D 初期化ルーチン

```
        ; ===== Main routine =====
        ...

; =====
;      Interrupt handler
; =====

; ----- Address unalign -----
unalign_handler:
    ...

; ----- NMI -----
nmi_handler:
    ...
```

- (1) ベクタテーブルを `.vector` セクションに配置するために `.rodata` セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
`intXX_handler` はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは `.text` セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flash コントローラのアクセスサイクル数を設定します。
S1C17711 では 1 サイクルアクセスに設定可能です。
 (“メモリマップ, バス制御”の章を参照)
- (6) SRAM コントローラのアクセス条件を設定します。
 (“メモリマップ, バス制御”の章を参照)

Appendix E 推奨振動子

最適な各発振回路定数は実装条件、使用する電圧条件等により変化します。実装回路上での評価を各振動子メーカーにご依頼ください。

(1) OSC1水晶振動子

発振周波数 [kHz]	メーカー	品番
32.768	エプソントヨコム株式会社	MC-146 (表面実装)
32.768	エプソントヨコム株式会社	C-002RX (リードタイプ)

(2) OSC3水晶振動子

発振周波数 [MHz]	メーカー	品番
4.0	エプソントヨコム株式会社	MA-406 (表面実装)
8.0	エプソントヨコム株式会社	MA-406 (表面実装)

(3) OSC3セラミック振動子

発振周波数 [MHz]	メーカー	品番
1.0	株式会社 村田製作所	CSBLA1M00J58-B0 (リードタイプ)
	株式会社 村田製作所	CSBFB1M00J58-R1 (表面実装)
2.0	株式会社 村田製作所	CSTCC2M00G56-R0 (表面実装)
4.0	株式会社 村田製作所	CSTLS4M00G56-B0 (リードタイプ)
	株式会社 村田製作所	CSTCR4M00G55-R0 (表面実装)
8.0	株式会社 村田製作所	CSTLS8M00G56-B0 (リードタイプ)
	株式会社 村田製作所	CSTCE8M00G55-R0 (表面実装)

注: 実装回路上での評価は各振動子メーカーにご依頼ください。

(4) C_{G3}/C_{D3}/R_{D3}推奨値

名称	周波数 [MHz]	品番	C _{G3} [pF]	C _{D3} [pF]	R _{D3} [Ω]
X'tal3	4.0	MA-406 (CL: 16pF)	27	27	0
	8.0	MA-406 (CL: 12pF)	18	18	0
Ceramic3	1.0	CSBFB1M00J58-R1	100	100	6.8k
		CSBLA1M00J58-B0	100	100	6.8k
	2.0	CSTCC2M00G56-R0	(47)*	(47)*	0
	4.0	CSTCR4M00G55-R0	(39)*	(39)*	0
		CSTLS4M00G56-B0	(47)*	(47)*	0
	8.0	CSTCE8M00G55-R0	(33)*	(33)*	0
CSTLS8M00G56-B0		(47)*	(47)*	0	

* () は振動子に内蔵されている容量を表しています。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411905500	全ページ	新規制定
411905501	7-9	CLG: FOUTA/FOUTB出力 図7.7.2修正
	8-4, 8-10	P: 入出力ポートのチャタリング除去機能 (旧)なし (新)注: • チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、... SLEEPモード移行前にチャタリング除去機能を無効にしてください。
	10-5	T16A: コンペアバッファ (旧) CBUFENが1に設定されている場合も ... コンペアバッファがアクセスされます。 (新) 比較値はT16A_CCAxまたは ... CBUFENの設定にかかわらず、コンペアレジスタがアクセスされます。
	14-7	UART: データ受信制御 (旧) (2) RDRY = 1, RD2B = 0 ... この読み出しによりバッファ内のデータはクリアされ、RDRYフラグもリセットされます。 ... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、読み出されたバッファデータはクリアされ ... オーバーランエラーが発生し、シフトレジスタのデータは新しいデータで上書きされます。 (新) (2) RDRY = 1, RD2B = 0 ... この読み出しによりRDRYフラグがリセットされます。 ... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、RD2Bフラグがリセットされます。... 受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。... オーバーランエラーが発生し、最後の受信データを読み出すことはできません。
	15-2	SPI: SPIクロック (旧) スレープモードでは、... 入力クロックは微分されPCLKクロックとの同期用に使用されます。 (新) スレープモードでは、SPICLKx端子からSPIクロックを入力します。
	15-4	SPI: データ送信タイミングチャート 図15.5.1削除 SPI: データ送信制御 (旧)なし (新)注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、... (図15.5.1追加) ... データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。
	15-5	SPI: データ送受信タイミングチャート 図15.5.2修正 SPI: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を ... SPRBFフラグが0になっていることを確認してください。 SPENを0に設定すると、... 転送中のデータは保証されません。 (新) データ転送(送信と受信の両方)を ... SPBSYフラグが0になっていることを確認してください。 データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。
	15-7	SPI: SPI Ch.x Transmit Data Register (SPI_TXDx) (旧)なし (新)注: データの送受信を行う場合、... 書き込みはSPENを1に設定した後に行ってください。
	16-2	I2CM: I2Cの接続例 図16.2.1追加 I2CM: 同期クロック(転送速度の制限) (旧)なし (新)なお、クロックストレッチを行う ... 最大200kbpsに制限されますので注意してください。
	16-3	I2CM: スレープアドレスの送信 (旧) ... 10ビットの場合はソフトウェア制御により2回の送信を行います。 ... (新) ... 10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。 ... I2CM: スレープアドレスと転送方向を指定する送信データ 図16.5.2修正
	16-4	I2CM: データ受信制御 (旧) データはMSBを先頭に、クロックの立ち上がりエッジで順次シフトレジスタに取り込まれます。 RXEはD6の取り込み時に0にリセットされます。 (新) データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。 RXEはD7の取り込み時に0にリセットされます。
	16-5	I2CM: データ送受信の終了(ストップコンディションの生成) (旧) また、ストップコンディションの生成は予約が可能です。... STPを1に設定してください。 (新) STPへの1の書き込みは、... 終了するまでの時間が経過した後、STPへ1を書き込んでください。 I2CM: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を終了後は、... 転送中のデータは保証されません。 (新) ストップコンディションを生成した後は、... SCL0とSDA0の出力レベル、および転送中のデータは保証されません。
	16-5, 16-6	I2CM: タイミングチャート 図16.5.6~図16.5.9修正

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411905501	16-8	I2CM: I ² C Master Control Register (I2CM_CTL) - (D1) STP: Stop Control Bit (旧) TXE、RXE、またはSTRTのいずれかが1の場合、STPは無効です。 (新) 削除
	16-9	I2CM: I ² C Master Data Register (I2CM_DAT) - (D10) RXE: Receive Execution Bit (旧) RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。 (新) RXEはD7がシフトレジスタに取り込まれた時点で0にリセットされます。
	17-1	I2CS: I2CSモジュールの構成 図17.1.1修正 I2CS: I2CS端子一覧 - SCL1 表17.2.1修正
	17-2	I2CS: I ² Cの接続例 図17.2.1追加 I2CS: #BFR端子入力によるバス解放要求 (旧) 機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)5クロック以上のパルス幅が必要)によりBFREQ/I2CS_STATレジスタが1にセットされます。 (新) 機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ/I2CS_STATレジスタが1にセットされます。
	17-3	I2CS: クロックストレッチ機能 (旧) なし (新) なお、クロックストレッチ動作を行ったときの...動作クロック(PCLK)周波数によって変わります。
	17-4	I2CS: データ送受信の開始 (旧) BUSYとSELECTEDのどちらのステータスビットも、...検出するまで1を保持します。 (新) BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。
	17-4, 17-5, 17-10	I2CS: データ送信 (旧) なし (新) 非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。
	17-5, 17-13	I2CS: データ送信時の注意事項 (旧) 注: 下記の条件がすべて成立している状態で、... 1. I ² Cバスに複数のスレーブを接続している。... 4. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。 (新) 注: 下記の条件がすべて成立している状態で、... 1. 通信レートを320kbps以上に設定している。... 3. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。
	17-7, 17-8	I2CS: タイミングチャート 図17.5.5~図17.5.8修正
	17-9	I2CS: バスステータス割り込み (旧) 7. DA_STOP/I2CS_STATレジスタ:...ストップコンディションを検出した場合に1にセット (新) 7. DA_STOP/I2CS_STATレジスタ:...ストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
	17-15	I2CS: I ² C Slave Status Register (I2CS_STAT) - (D0) DA_STOP: Stop Condition Detect Bit (旧) ストップコンディションを検出したことを示します。 ...次のスタートコンディションに待機するため、I ² Cの通信プロセスを初期化します。 (新) ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。 ...I2CSモジュールはDA_STOPを1にセットします。同時にI ² Cの通信プロセスを初期化します。
	17-16	I2CS: I ² C Slave Access Status Register (I2CS_ASTAT) - (D1) SELECTED: I ² C Slave Select Status Bit (旧) 1にセットされたSELECTEDはストップコンディションの検出によりリセットされます。 (新) 1にセットされた...またはリピーテッドスタートコンディションの検出によりリセットされます。
	20-1	ADC: ADC10モジュールの概要 (旧) サンプリングレート: 最大100ksp/s (新) サンプリングレート: f _{ADCLK} /13~f _{ADCLK} /20 [sps] (f _{ADCLK} : A/D変換クロック周波数)
	20-5	ADC: サンプリングレートの計算式 (旧) なし (新) サンプリング時間とサンプリングレートとの関係を以下に示します。 サンプリングレート[sps] = ...
	20-12	ADC: A/D Control/Status Register (ADC10_CTL) - (D1) ADCTL: A/D Conversion Control Bit (旧) ADENが0(A/D変換禁止状態)の場合はADCTLが0に固定され、トリガは受け付けません。 (新) ADENが0の場合はトリガを受け付けません。
	25-4	電気的特性: IOSC発振周波数対温度特性 グラフ修正 電気的特性: 外部クロック入力特性 (EXCLx入力High/Lowパルス幅) (旧) 2/fsys [s] (新) 60 [ns]
	26-1	基本外部結線図: プザー回路 図修正

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL(06)6120-6000(代表) FAX(06)6120-6100

ドキュメントコード：411905502
2010年3月 作成 ㊦
2011年3月 改訂