

**S1D13742 Mobile Graphics  
Engine  
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

---

# 目次

<b>1. はじめに</b> . . . . .	<b>1</b>
1.1 適用範囲 . . . . .	1
1.2 概要説明 . . . . .	1
<b>2. 特長</b> . . . . .	<b>2</b>
2.1 内蔵フレームバッファ . . . . .	2
2.2 CPUインタフェース . . . . .	2
2.3 入力データフォーマット . . . . .	2
2.4 ディスプレイのサポート . . . . .	2
2.5 表示モード . . . . .	2
2.6 表示機能 . . . . .	3
2.7 クロックソース . . . . .	3
2.8 その他 . . . . .	3
<b>3. 機能ブロック図</b> . . . . .	<b>4</b>
<b>4. 端子配置図</b> . . . . .	<b>5</b>
4.1 端子配置図 . . . . .	5
4.2 端子説明 . . . . .	6
4.2.1 Intel 80ホストインタフェース . . . . .	7
4.2.2 LCDインタフェース . . . . .	8
4.2.3 クロック . . . . .	9
4.2.4 その他 . . . . .	9
4.2.5 電源およびグラウンド . . . . .	10
4.3 構成オプションの要約 . . . . .	11
<b>5. 端子マッピング</b> . . . . .	<b>12</b>
5.1 Intel 80データ端子 . . . . .	12
5.2 LCDインタフェースの端子マッピング . . . . .	13
5.3 LCDインタフェースデータ端子 . . . . .	14
<b>6. DC特性</b> . . . . .	<b>15</b>
6.1 絶対最大定格 . . . . .	15
6.2 推奨動作条件 . . . . .	15
6.3 電気的特性 . . . . .	16
<b>7. AC特性</b> . . . . .	<b>19</b>
7.1 クロックタイミング . . . . .	19
7.1.1 入力クロック . . . . .	19
7.1.2 PLLクロック . . . . .	20
7.2 リセットタイミング . . . . .	22
7.3 ホストインタフェースのタイミング . . . . .	23

7.3.1	Intel 80インタフェースのタイミング - 1.8V	23
7.3.2	Intel 80インタフェースのタイミング - 3.3V	25
7.3.3	Hi-Z状態への遷移時間の定義	27
7.4	LCDインタフェース	28
7.4.1	TFT電源投入シーケンス	29
7.4.2	TFT電源切断シーケンス	30
7.4.3	18/36ビットTFTパネルのタイミング	31
<b>8.</b>	<b>クロック</b>	<b>33</b>
8.1	クロックの説明	33
8.2	PLL機能ブロック図	34
8.3	クロックと機能	35
8.4	SYSCLKとPCLKの設定	36
<b>9.</b>	<b>レジスタ</b>	<b>37</b>
9.1	レジスタマッピング	37
9.2	レジスタセット	38
9.3	レジスタの説明	39
9.3.1	読み出し専用構成レジスタ	39
9.3.2	クロック構成レジスタ	40
9.3.3	パネル構成レジスタ	45
9.3.4	入力モードレジスタ	48
9.3.5	表示モードレジスタ	53
9.3.6	ウィンドウの設定	57
9.3.7	メモリアクセス	59
9.3.8	ガンマ補正レジスタ	61
9.3.9	その他のレジスタ	63
9.3.10	汎用IO端子レジスタ	65
<b>10.</b>	<b>フレームレートの計算</b>	<b>67</b>
<b>11.</b>	<b>Intel 80の8ビットインタフェースのカラーフォーマット</b>	<b>68</b>
11.1	16bppモード (RGB 5:6:5) 65,536色	68
11.2	18bpp (RGB 6:6:6) 262,144色	69
11.3	24bpp (RGB 8:8:8) 16,777,216色	70
<b>12.</b>	<b>Intel 80の16ビットインタフェースのカラーフォーマット</b>	<b>71</b>
12.1	16bpp (RGB 5:6:5) 65,536色	71
12.2	18bppモード1 (RGB 6:6:6) 262,144色	72
12.3	18bppモード2 (RGB 6:6:6) 262,144色	73
12.4	24bppモード1 (RGB 8:8:8) 16,777,216色	74
12.5	24bppモード2 (RGB 8:8:8) 16,777,216色	75
<b>13.</b>	<b>YUVタイミング</b>	<b>76</b>
13.1	Intel 80の8ビットインタフェースでのYUV 4:2:2	77

13.2	Intel 80の8ビットインタフェースでのYUV 4:2:0奇数ライン	77
13.3	Intel 80の8ビットインタフェースでのYUV 4:2:0偶数ライン	78
13.4	Intel 80の16ビットインタフェースでのYUV 4:2:2	79
13.5	Intel 80の16ビットインタフェースでのYUV 4:2:0奇数ライン	80
13.6	Intel 80の16ビットインタフェースでのYUV 4:2:0偶数ライン	81
<b>14.</b>	<b>ガンマ補正ルックアップテーブルアーキテクチャ</b>	<b>82</b>
14.1	ガンマ補正のプログラム例	83
<b>15.</b>	<b>表示データフォーマット</b>	<b>84</b>
<b>16.</b>	<b>SwivelView™</b>	<b>88</b>
16.1	概念	88
16.2	90° SwivelView™	88
16.2.1	レジスタのプログラミング	88
16.3	180° SwivelView™	89
16.3.1	レジスタのプログラミング	89
16.4	270° SwivelView™	90
16.4.1	レジスタのプログラミング	90
<b>17.</b>	<b>ホストインタフェース</b>	<b>91</b>
17.1	Intel 80インタフェースの使用	91
17.1.1	レジスタライト手順	91
17.1.2	レジスタリード手順	92
17.1.3	新しいウィンドウアパーチャのライト手順	93
17.1.4	複数ウィンドウのオープン	95
17.1.5	各メモリ位置の読み出し	95
<b>18.</b>	<b>ダブルバッファの説明</b>	<b>96</b>
18.1	ダブルバッファコントローラ	96
<b>19.</b>	<b>S1D13742とTFTパネルのインタフェース接続</b>	<b>98</b>
19.1	概要	98
19.1.1	LCDインタフェース	98
19.1.2	352 x 416 TFTパネル用のS1D13742のレジスタ設定	98
19.1.3	800 x 480 TFTパネル用のS1D13742のレジスタ設定	100
19.2	ホストバスタイミング	102
19.2.1	352 x 416 TFTパネルのホストバスタイミング	103
19.2.2	800 x 480 TFTパネルのホストバスタイミング	104
19.3	パネルのタイミング	105
19.3.1	352 x 416パネルのパネルタイミング	106
19.3.2	800 x 480パネルのパネルタイミング	106
19.4	Play.exeスクリプト例	107
19.5	参考資料	113
19.5.1	文書	113

---

<b>20. PLL電源の指針</b> . . . . .	<b>114</b>
20.1 PLL電源配置のガイドライン . . . . .	114
<b>21. メカニカルデータ</b> . . . . .	<b>116</b>
<b>22. 参考資料</b> . . . . .	<b>118</b>
• <b>改訂履歴表</b> . . . . .	<b>119</b>

---

## 1. はじめに

### 1.1 適用範囲

本書は、LCDコントローラS1D13742のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13742 Mobile Graphics Engine Hardware Functional Specificationが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、  
[http://www.epson.jp/device/semicon/product/lcd\\_controllers/index.htm](http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm)  
<http://vdc.epson.com/>  
からダウンロードできます。

### 1.2 概要説明

S1D13742は、768KBのディスプレイバッファを内蔵したカラー LCD用グラフィックスコントローラです。S1D13742は、8/16ビットインテル80系CPUアーキテクチャをサポートする一方で、ディスプレイメモリにおいて高性能のバンド幅を実現し、高速な画面更新を可能にしています。

ディスプレイ画像の回転を必要とする製品は、SwivelView™機能を利用することができます。これは、ハードウェアによりディスプレイメモリを回転するものでソフトウェアは意識しなくてもよいものです。解像度は、800 x 480のシングルバッファと352 x 416のダブルバッファをサポートしています。

S1D13742は、ダブルバッファを使用してストリーミングビデオ画面を更新する間の画像ティアリングを防いでいます。

## 2. 特長

---

## 2. 特長

### 2.1 内蔵フレームバッファ

- 768KBの内蔵SRAMディスプレイバッファ

### 2.2 CPUインタフェース

- 8/16ビットIntel 80インタフェース（ディスプレイまたはレジスタのデータで使用）
- チップセレクトをデバイスの選択に使用しています。選択していないとき、入力されたデータ/コマンドは無視されます。

### 2.3 入力データフォーマット

- RGB: 8:8:8、6:6:6、5:6:5（8:8:8は、16bppまたは18bppに切り捨てられます）
- YUV 4:2:2、4:2:0（内部YUV/RGBコンバータにて16bppまたは18bppとして格納される）

#### 注

すべての入力データは、ディスプレイバッファに格納される前に、内部で同じフォーマットに変換する必要があります。異なるデータタイプを、共通のディスプレイバッファの中で併用することはできません。

### 2.4 ディスプレイのサポート

- アクティブマトリクスTFTインタフェース
  - 18/36ビットインタフェース
  - 最大800 x 480の解像度をサポート

### 2.5 表示モード

- 16/18ビット/ピクセル（bpp）の階調をサポート
- 16bpp/18bpp変換：次の3つの方法のいずれかで、入力データを16bppから18bppに変換できます。
  1. RGB（5:6:5）の最上位ビットをコピーして、赤と青の成分用に新しい最下位ビットを作成します。この変換はメモリに格納する前に行います。このため、16bppと18bppの入力データを併用することができます。
  2. ガンマ補正ルックアップテーブル（LUT）：8ビット64ワードのLUTが3つあります。メモリに格納されたデータは、これらのテーブルのインデックスとして使用することができます。LUTはディスプレイ側に置かれるため、メモリに格納されたデータに影響を与えません。
  3. メモリに格納されたRGB（5:6:5）：LUTはバイパスされます。ディスプレイがメモリから読み出す間に、赤と青用に最上位ビットを最上位ビットにコピーします。



## 2.6 表示機能

- ディスプレイの書き込みはすべて、ウィンドウのオーバーチャ/位置によって処理され、ディスプレイの全体更新または部分更新を行います。ウィンドウの座標はすべて、表示画像の左上コーナーを基準とします（回転表示でも左上コーナーが維持されるため、ホスト側で変換を行う必要はありません）。
- SwivelView™：ディスプレイ画像を反時計回りに90°、180°、270°ハードウェア回転。表示ウィンドウはすべて独立して回転できます。このモードを有効にするためにプログラムを追加する必要はありません。
- ストリーミング入力時の画像ティアリングを防ぐためにダブルバッファが利用可能です。サポートされる解像度は、384KB以内に収まる必要があります（利用可能な全ディスプレイバッファの1/2）。標準解像度は352 x 416です。
- ピクセルダブリング：水平方向と垂直方向の線形補間によりシングルウィンドウをスムーズに2倍にします。
- ピクセルハーヴィング：ウィンドウの数に制限はありません。

## 2.7 クロックソース

- プログラム可能な内部PLL
- 単一発振器入力：CLKI
- CLKIをCLKOUTから出力可能（CLKOUTEN端子を出力に関連付け）
  - ディセーブルのときCLKOUT = 0

## 2.8 その他

- ハードウェア/ソフトウェアのパワーセーブモード
- パワーセーブモードをイネーブル/ディセーブルにする入力端子
- 汎用入力/出力端子が利用可能（GPIO[7:0]）
  - 選択可能なGPIO入力にINT端子を関連付け
- パッケージ：QFP20 144端子パッケージ

### 3. 機能ブロック図

### 3. 機能ブロック図

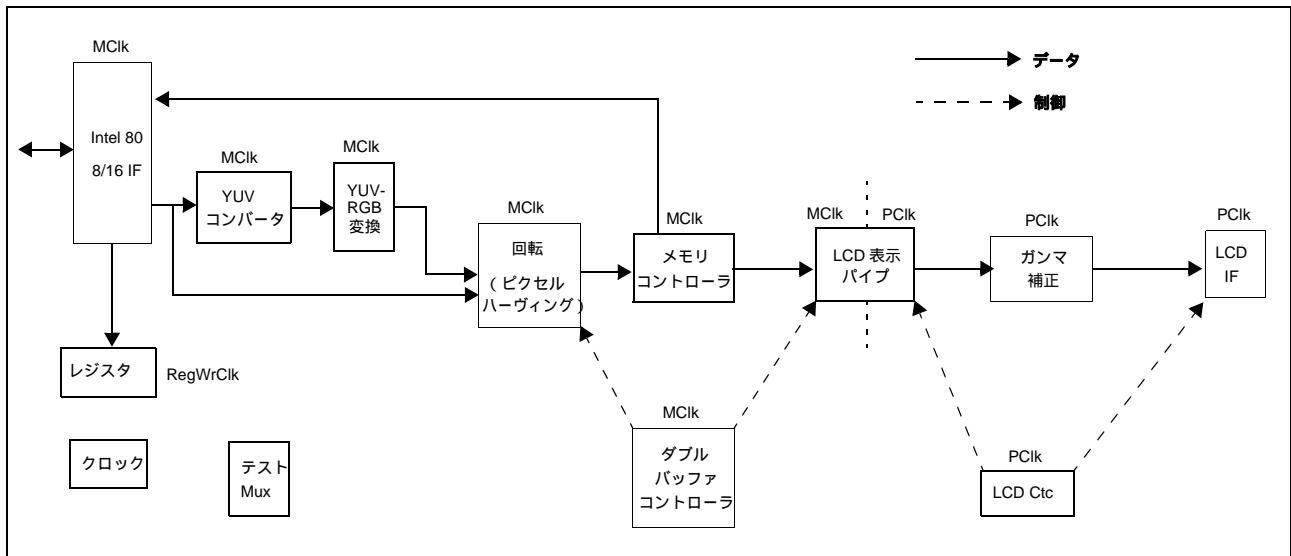


図3.1 機能ブロック図

4. 端子配置図

4.1 端子配置図

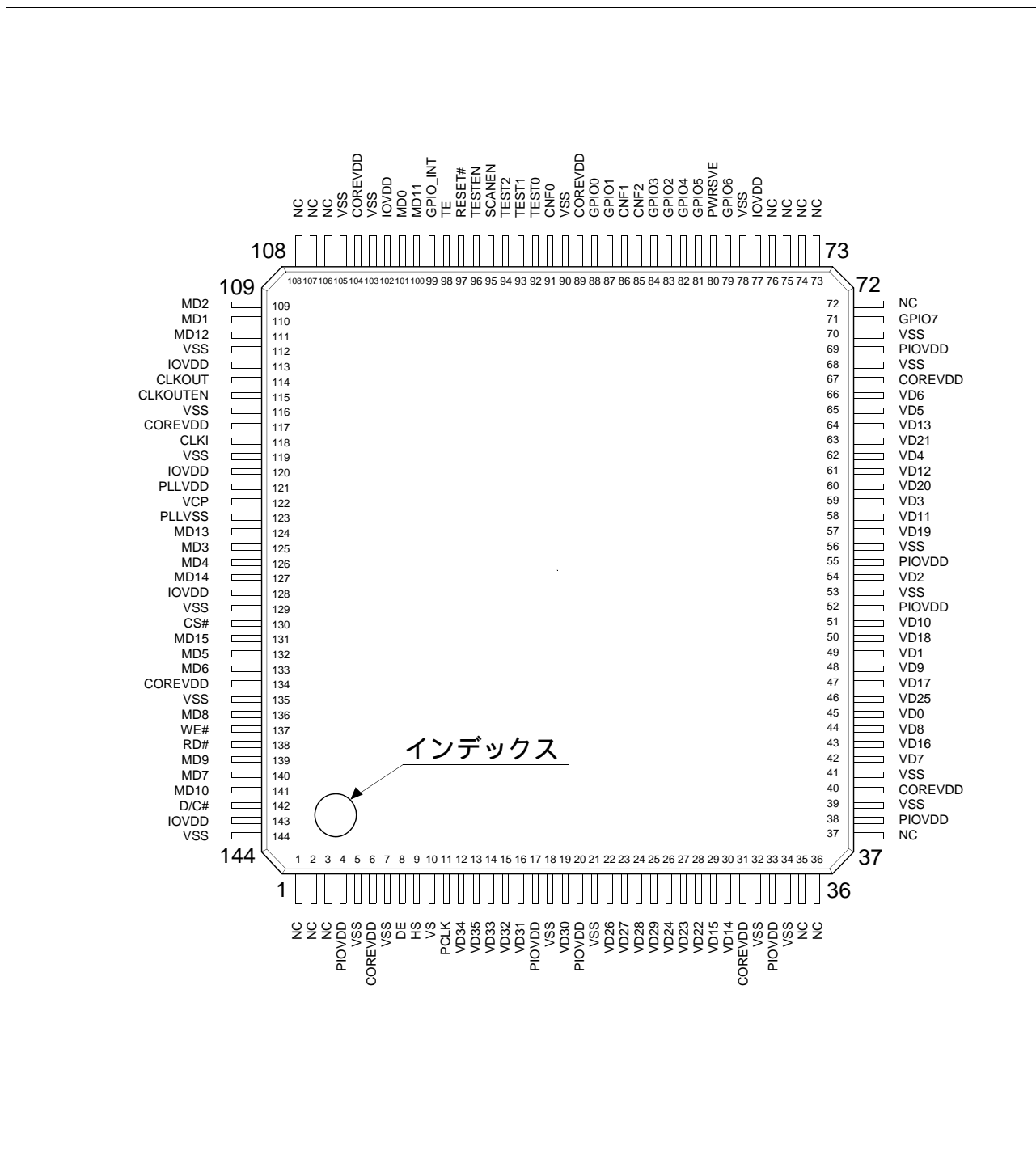


図4.1 S1D13742 QFP20の端子配置図（上から見た図）

## 4. 端子配置図

### 4.2 端子説明

略語の意味：

#### 端子のタイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

#### RESET#/パワーセーブステータス

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）

表4.1 セルの説明

セル	説明
HI	H系（注1）LVCMOS（注3）入力バッファ
HIS	H系LVCMOSシュミット入力バッファ
HID	H系LVCMOS入力バッファ（プルダウン抵抗付き）
HO	H系LVCMOS出力バッファ
HB	H系LVCMOS双方向バッファ
HBD	H系LVCMOS双方向バッファ（プルダウン抵抗付き）
HB_DSEL	H系LVCMOS双方向バッファ（ドライブセクタ付き）
LIDS	L系（注2）LVCMOSシュミット入力バッファ（プルダウン抵抗付き）
LITR	L系トランスペアレント入力バッファ

#### 注

1. H系はIOVDDおよびPIOVDDです（6.「DC特性」を参照してください）。
2. L系はCOREVDDです（6.「DC特性」を参照してください）。
3. LVCMOSは低電圧CMOSです（6.「DC特性」を参照してください）。

## 4.2.1 Intel 80ホストインタフェース

表4.2 ホストインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
MD[15:0]	IO	131、127、124、111、100、141、139、136、140、133、132、126、125、109、110、101	HB	IOVDD	Z	Z	Intel 80データライン <ul style="list-style-type: none"> <li>S1D13742B00では、CNF1によって8ビットバスインタフェースが選択されている場合、MD[15:8]は内部抵抗によりLowにプルダウンされます。</li> <li>S1D13742B01では、CNF1によって8ビットバスインタフェースが選択されている場合、MD[15:8]はVSSに接続する必要があります。</li> </ul> <b>注：</b> CNF0端子を使用して、ホストデータラインをスワップすることができます(すなわち、MD15 = MD0)。詳細については、11ページの4.3「構成オプションの要約」を参照してください。
WE#	I	137	HI	IOVDD	入力	入力	この入力端子は、ライトイネーブル信号です。
RD#	I	138	HI	IOVDD	入力	入力	この入力端子は、リードイネーブル信号です。
CS#	I	130	HI	IOVDD	入力	入力	この入力端子は、チップセレクト信号です。
D/C#	I	142	HI	IOVDD	入力	入力	この入力端子は、Intel 80のアドレスまたはデータのいずれかを選択するために使用されます。
TE	O	98	HO	IOVDD	L	L	ティアリング効果：この端子は、ディスプレイに対して、VSYNC、HSYNC、または論理和演算の組み合わせ状態を反映します。
GPIO_INT	O	99	HO	IOVDD	L	出力	この割り込み端子は、入力または出力として構成されているとき、選択したGPIO端子に関連付けられます。割り込み機能はパワーセーブに影響されません。動作の説明については、65ページの9.3.10「汎用IO端子レジスタ」を参照してください。
RESET#	I	97	HI	IOVDD	入力	入力	このアクティブLow入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。

## 4. 端子配置図

### 4.2.2 LCDインタフェース

表4.3 LCDインタフェースの端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
VD[35:0]	IO	13、12、14、 15、16、19、 25、24、23、 22、46、26、 27、28、63、 60、57、50、 47、43、29、 30、64、61、 58、51、48、 44、42、66、 65、62、59、 54、49、45	HB_ DSEL	PIOVDD	L	L	<p>パネルデータビット35～0。VD[35:0]はすべてのモードで使用されます。2ピクセル/クロックモードでは、VD[17:0]は、2ピクセル/クロック動作で送信される1番目のピクセルを表します。</p> <p><b>注：</b>VDデータスワップビットであるREG[14h]のビット7を使用して、パネルデータラインをスワップすることができます(すなわち、VD23 = VD0)。</p> <p><b>注：</b>VD出力ドライブは、CNF2端子を使用して2.5mAまたは6.5mAを選択可能です。詳細については、11ページの4.3「構成オプションの要約」を参照してください。</p>
VS	O	10	HO	PIOVDD	H	L	この出力端子は、垂直同期パルスです。
HS	O	9	HO	PIOVDD	H	L	この出力端子は、水平同期パルスです。
PCLK	O	11	HO	PIOVDD	CLKI	L	この出力端子は、データクロックです。
DE	O	8	HO	PIOVDD	L	L	この出力端子は、データイネーブルです。

**注**

LCDインタフェースでは設定可能なIOドライブをサポートするために、別々の電源レール (PIOVDD) が必要です。詳細については、11ページの4.3「構成オプションの要約」のCNF2の説明を参照してください。

**注**

VD[35:0]の入力は、製造試験でのみ使用されます。

## 4.2.3 クロック

表4.4 クロック入力の端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
CLKI	I	118	HIS	IOVDD	入力	入力	PLL動作のためのMHz入力、またはPLLがバイパスされる場合のMHz入力 入力周波数範囲：1MHz～33MHz
CLKOUT	O	114	HO	IOVDD	L	CLKI	この出力端子は、CLKOUTENによってイネーブルにした場合、CLKI端子を表します。ディセーブルにすると、出力はLowになります。 <b>注：</b> この出力はさまざまなパワーセーブモードに影響されません。
CLKOUTEN	I	115	HI	IOVDD	入力	入力	この端子は、CLKOUT端子をイネーブル/ディセーブルにします。

## 4.2.4 その他

表4.5 その他の端子説明

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
CNF[2:0]	I	85、86、91	HI	IOVDD	入力	入力	これらの入力は、電源投入の構成用に使われます。詳細については、11ページの4.3「構成オプションの要約」を参照してください。 <b>注：</b> これらの端子は、IOVDDまたはVSSに直接接続する必要があります。
TESTEN	I	96	LIDS	IOVDD	—	—	この端子はテストイネーブル入力で、製造試験でのみ使用します。 この端子は、通常動作では未接続のままにしておく必要があります。
GPIO[7:0]	IO	71、79、81、82、84、83、87、88	HBD	IOVDD	L	プルダウンアクティブ	これらの端子は汎用IO端子です。これらの端子は、REG[64h]を使用して制御できる内部プルダウン抵抗を備えています。
PWRSVE	I	80	HI	IOVDD	入力	入力	この端子は、スタンバイパワーセーブモードをイネーブル/ディセーブルにします。 この端子を使用しないときは、VSSに接続する必要があります。

## 4. 端子配置図

表4.5 その他の端子説明 (続き)

端子名	端子タイプ	端子#	セル	IO電圧	RESET#状態	パワーセーブステータス	説明
TEST[2:0]	I	94、93、92	HID	IOVDD	—	—	これらはテスト機能端子であり、製造試験でのみ使用します。 これらの端子は、通常動作では未接続のままにしておく必要があります。
SCANEN	I	95	HID	IOVDD	—	—	この端子はテストスキャンイネーブル入力であり、製造試験でのみ使用します。 この端子は、通常動作では未接続のままにしておく必要があります。
VCP	I	122	LITR	PLLVDD	—	—	この端子はPLL VCPテスト端子であり、製造試験でのみ使用します。 この端子は、通常動作では未接続のままにしておく必要があります。
NC	—	1、2、3、35、36、37、72、73、74、75、76、106、107、108	—	—	—	—	これらの端子は接続されません。

### 4.2.5 電源およびグラウンド

表4.6 電源およびグラウンドの端子説明

端子名	端子タイプ	端子#	セル	説明
COREVDD	P	6、31、40、67、89、104、117、134	P	コア電源
IOVDD	P	77、102、113、120、128、143	P	ホストインタフェース用のIO電源
PIOVDD	P	4、17、20、33、38、52、55、69	P	パネルインタフェース用のIO電源
PLLVDD	P	121	P	PLL電源
PLLVSS	P	123	P	PLL用のGND
VSS	P	5、7、18、21、32、34、39、41、53、56、68、70、78、90、103、105、112、116、119、129、135、144	P	GND



## 4.3 構成オプションの要約

注：これらの端子は、電源投入の構成用に使用される端子でIOVDDまたはVSSに直接接続する必要があります。CNF[2:0]の状態はいつでも変更できます。

表4.7 電源投入/リセットオプションの要約

構成入力	電源投入/リセット状態	
	1 (IOVDDに接続)	0 (VSSに接続)
CNF0	ホストデータラインは通常です。 CNF1 = 1の場合、D15 = D15など CNF1 = 0の場合、D7 = D7など CNF1 = 0の場合、D7 = D7など	ホストデータラインはスワップされます。 CNF1 = 1の場合、D15 = D0など CNF1 = 0の場合、D7 = D0など
CNF1	ホストデータは16ビット	ホストデータは8ビット
CNF2	PIOVDD出力電流( $I_{OL2}$ ) = 6.5mA	PIOVDD出力電流( $I_{OL2}$ ) = 2.5mA

## 注

CNF1=0のとき、すべてのレジスタアクセスは8ビットのみです。  
CNF1 = 1 (16ビット) のとき、Memory Data Portを除いてすべてのレジスタアクセスは8ビットのみです (データバスの最上位バイトは無視されます)。  
Memory Data Portへのアクセスは16ビットです。

## 5. 端子マッピング

### 5. 端子マッピング

#### 5.1 Intel 80データ端子

この機能はCNF[1:0]によって制御されます。

**表5.1 S1D13742B00 Intel 80データ端子マッピング**

端子名	16ビットデータ スワップなし (CNF1=1、CNF0=1)	16ビットデータ スワップあり (CNF1=1、CNF0=0)	8ビットデータ スワップなし (CNF1=0、CNF0=1)	8ビットデータ スワップあり (CNF1=0、CNF0=0)
MD15	MD15	MD0	内部抵抗によって Lowにプルダウン	内部抵抗によって Lowにプルダウン
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD8	MD8	MD7	内部抵抗によって Lowにプルダウン	内部抵抗によって Lowにプルダウン
MD7	MD7	MD8	MD7	MD0
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD0	MD0	MD15	MD0	MD7

**表5.2 S1D13742B01 Intel 80データ端子マッピング**

端子名	16ビットデータ スワップなし (CNF1=1、CNF0=1)	16ビットデータ スワップあり (CNF1=1、CNF0=0)	8ビットデータ スワップなし (CNF1=0、CNF0=1)	8ビットデータ スワップあり (CNF1=0、CNF0=0)
MD15	MD15	MD0	Hi-Z	Hi-Z
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD8	MD8	MD7	Hi-Z	Hi-Z
MD7	MD7	MD8	MD7	MD0
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MD0	MD0	MD15	MD0	MD7

## 5.2 LCDインタフェースの端子マッピング

表5.3 モード1およびモード2のLCDインタフェースの端子マッピング

端子名	16bpp				18bpp			
	シングル (18ビット)		ダブル (36ビット)		シングル (18ビット)		ダブル (36ビット)	
	通常	スワップ	通常	スワップ	通常	スワップ	通常	スワップ
VS	垂直同期							
HS	水平同期							
PCLK	ピクセルクロック							
DE	データイネーブル							
VD0	B4	R4	B4	R4	B0	R5	B0	R5
VD1	B0	R3	B0	R3	B1	R4	B1	R4
VD2	B1	R2	B1	R2	B2	R3	B2	R3
VD3	B2	R1	B2	R1	B3	R2	B3	R2
VD4	B3	R0	B3	R0	B4	R1	B4	R1
VD5	B4	R4	B4	R4	B5	R0	B5	R0
VD6	G0	G5	G0	G5	G0	G5	G0	G5
VD7	G1	G4	G1	G4	G1	G4	G1	G4
VD8	G2	G3	G2	G3	G2	G3	G2	G3
VD9	G3	G2	G3	G2	G3	G2	G3	G2
VD10	G4	G1	G4	G1	G4	G1	G4	G1
VD11	G5	G0	G5	G0	G5	G0	G5	G0
VD12	R4	B4	R4	B4	R0	B5	R0	B5
VD13	R0	B3	R0	B3	R1	B4	R1	B4
VD14	R1	B2	R1	B2	R2	B3	R2	B3
VD15	R2	B1	R2	B1	R3	B2	R3	B2
VD16	R3	B0	R3	B0	R4	B1	R4	B1
VD17	R4	B4	R4	B4	R5	B0	R5	B0
VD18	L固定	L固定	B4	R4	L固定	L固定	B0	R5
VD19	L固定	L固定	B0	R3	L固定	L固定	B1	R4
VD20	L固定	L固定	B1	R2	L固定	L固定	B2	R3
VD21	L固定	L固定	B2	R1	L固定	L固定	B3	R2
VD22	L固定	L固定	B3	R0	L固定	L固定	B4	R1
VD23	L固定	L固定	B4	R4	L固定	L固定	B5	R0
VD24	L固定	L固定	G0	G5	L固定	L固定	G0	G5
VD25	L固定	L固定	G1	G4	L固定	L固定	G1	G4
VD26	L固定	L固定	G2	G3	L固定	L固定	G2	G3
VD27	L固定	L固定	G3	G2	L固定	L固定	G3	G2
VD28	L固定	L固定	G4	G1	L固定	L固定	G4	G1
VD29	L固定	L固定	G5	G0	L固定	L固定	G5	G0
VD30	L固定	L固定	R4	B4	L固定	L固定	R0	B5
VD31	L固定	L固定	R0	B3	L固定	L固定	R1	B4
VD32	L固定	L固定	R1	B2	L固定	L固定	R2	B3
VD33	L固定	L固定	R2	B1	L固定	L固定	R3	B2
VD34	L固定	L固定	R3	B0	L固定	L固定	R4	B1
VD35	L固定	L固定	R4	B4	L固定	L固定	R5	B0

## 5. 端子マッピング

### 5.3 LCDインタフェースデータ端子

この機能はREG[14h]ビット7によって制御されます。

表5.4 LCDインタフェースデータ端子マッピング

端子名	36ビットデータ スワップなし REG[14] b7=0	36ビットデータ スワップあり REG[14] b7=1	18ビットデータ スワップなし REG[14] b7=0	18ビットデータ スワップあり REG[14] b7=1
VD35	VD35	VD0	L固定	L固定
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
VD18	VD18	VD17	L固定	L固定
VD17	VD17	VD18	VD17	VD0
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
VD0	VD0	VD35	VD0	VD17

## 6. DC特性

### 6.1 絶対最大定格

表6.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V <sub>DD</sub>	コア電源電圧	VSS - 0.3 ~ 2.0	V
PLL V <sub>DD</sub>	PLL電源電圧	VSS - 0.3 ~ 2.0	V
IO V <sub>DD</sub>	ホストIO電源電圧	COREVDD ~ 4.0	V
PIO V <sub>DD</sub>	パネルIO電源電圧	COREVDD ~ 4.0	V
V <sub>IN</sub>	入力信号電圧	VSS - 0.3 ~ IOVDD + 0.3	V
V <sub>OUT</sub>	出力信号電圧	VSS - 0.3 ~ IOVDD + 0.3	V
I <sub>OUT</sub>	出力信号電流	±10	mA

### 6.2 推奨動作条件

表6.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V <sub>DD</sub>	コア電源電圧	VSS = 0 V	1.40	1.50	1.60	V
PLL V <sub>DD</sub>	PLL電源電圧	VSS = 0 V	1.40	1.50	1.60	V
IO V <sub>DD</sub>	ホストIO電源電圧	VSS = 0 V	1.65	—	3.6	V
PIO V <sub>DD</sub>	パネルIO電源電圧	VSS = 0 V	1.65	—	3.6	V
V <sub>IN</sub>	入力電圧	—	VSS	—	IOVDD	V
T <sub>OPR</sub>	動作温度	—	-40	+25	+85	°C

#### 注

各種のVDD端子の順序に関して、特別な電源オン/オフの要件はありません。IO信号についても特別な要件はありません。ただし、入力を浮動状態にしないようにしてください。入力信号が有効なサイクルで起動された場合に、S1D13742はそのサイクルをデコードします。

## 6. DC 特性

### 6.3 電気的特性

以下は、IOVDDでVSS = 0V、T<sub>OPR</sub> = -40 ~ +85 の場合の特性です。

表6.3 電気的特性 (IOVDDまたはPIOVDD = 1.8V ± 0.15V)

記号	パラメータ	条件	Min	Typ	Max	単位
I <sub>QALL</sub>	静止電流	CLKIが停止 (GND)、スリープモードがイネーブル、全電源がアクティブ	—	100	—	μA
I <sub>PLL</sub>	PLL電流	f <sub>PLL</sub> = 54MHz	—	500	1000	μA
I <sub>CORE</sub>	動作ピーク電流	COREVDD電源端子	—	—	62	mA
P <sub>CORE</sub>	コア標準動作電源	(注1)	—	9.15	—	mW
P <sub>PLL</sub>	PLL標準動作電源		—	0.7	—	mW
P <sub>PIO</sub>	PIO標準動作電源		—	2.8	—	mW
P <sub>HIO</sub>	HIO標準動作電源		—	0.018	—	mW
P <sub>CORE</sub>	コア標準動作電源	(注2)	—	10.9	—	mW
P <sub>PLL</sub>	PLL標準動作電源		—	0.77	—	mW
P <sub>PIO</sub>	PIO標準動作電源		—	2.124	—	mW
P <sub>HIO</sub>	HIO標準動作電源		—	0.001	—	mW
I <sub>Iz</sub>	入力リーク電流	—	-5	—	5	μA
I <sub>Oz</sub>	出力リーク電流	—	-5	—	5	μA
IOV <sub>OH2</sub>	高レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OH2</sub> = -2.5mA	IOVDD - 0.40	—	IOVDD	V
PIOV <sub>OH2</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -2.5mA	PIOVDD - 0.40	—	PIOVDD	V
PIOV <sub>OH4</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -6.5mA	PIOVDD - 0.40	—	PIOVDD	V
IOV <sub>OL2</sub>	低レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OL2</sub> = 2.5mA	VSS	—	0.40	V
PIOV <sub>OL2</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 2.5mA	VSS	—	0.40	V
PIOV <sub>OL4</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 6.5mA	VSS	—	0.40	V
IOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	1.27	—	—	V
PIOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	1.27	—	—	V
IOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.57	V
PIOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.57	V
IOV <sub>T+</sub>	ポジティブトリガ電圧	CMOSシュミット	0.57	—	1.56	V
IOV <sub>T-</sub>	ネガティブトリガ電圧	CMOSシュミット	0.33	—	1.27	V
IOV <sub>H</sub>	ヒステリシス電圧	CMOSシュミット	0.24	—	—	V
R <sub>PU1</sub>	ブルアップ抵抗タイプ1	V <sub>I</sub> = VSS	40	100	240	kΩ
R <sub>PD1</sub>	ブルダウン抵抗タイプ1	V <sub>I</sub> = VDD	40	100	240	kΩ
R <sub>PU2</sub>	ブルアップ抵抗タイプ2	V <sub>I</sub> = VSS	80	200	480	kΩ
R <sub>PD2</sub>	ブルダウン抵抗タイプ2	V <sub>I</sub> = VDD	80	200	480	kΩ
C <sub>IO</sub>	端子の静電容量	f = 1MHz、VDD = 0V	—	—	8	pF

#### 注

- 標準動作電流の環境：  
4分周PCLKを備えた352 x 416 K2 TFTパネル。PLLからのSYSCLK = 48.5MHz、PLLソースは19.2MHzのCLKI入力から。18bpp記憶装置。  
COREVDDとPLLVDIは1.5V、IOVDDとPIOVDDは1.8V。
- 標準動作電流の環境：  
3分周PCLKを備えた800 x 480 TFTパネル。PLLからのSYSCLK = 59MHz、PLLソースは12MHzのCLKI入力から。16bpp記憶装置。  
COREVDDとPLLVDIは1.5V、IOVDDとPIOVDDは1.8V。

以下は、IOVDDでVSS = 0V、T<sub>OPR</sub> = -40 ~ +85 の場合の特性です。

**表6.4 電気的特性 (IOVDDまたはPIOVDD = 2.8V ± 0.14V)**

記号	パラメータ	条件	Min	Typ	Max	単位
I <sub>QALL</sub>	静止電流	CLKIが停止 (GND)、スリープモードがイネーブル、全電源がアクティブ	—	120	—	μA
I <sub>PLL</sub>	PLL電流	f <sub>PLL</sub> = 54MHz	—	500	1000	μA
I <sub>CORE</sub>	動作ピーク電流	COREVDD電源端子	—	—	62	mA
I <sub>Iz</sub>	入力リーク電流	—	-5	—	5	μA
I <sub>Oz</sub>	出力リーク電流	—	-5	—	5	μA
IOV <sub>OH2</sub>	高レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OH2</sub> = -3.6mA	IOVDD - 0.40	—	IOVDD	V
PIOV <sub>OH2</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -3.6mA	PIOVDD - 0.40	—	PIOVDD	V
PIOV <sub>OH4</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -10.8mA	PIOVDD - 0.40	—	PIOVDD	V
IOV <sub>OL2</sub>	低レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OL2</sub> = 3.6mA	VSS	—	0.40	V
PIOV <sub>OL2</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 3.6mA	VSS	—	0.40	V
PIOV <sub>OL4</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 10.8mA	VSS	—	0.40	V
IOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	1.75	—	—	V
PIOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	1.75	—	—	V
IOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.70	V
PIOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.70	V
IOV <sub>T+</sub>	ポジティブトリガ電圧	CMOSシュミット	0.93	—	2.36	V
IOV <sub>T-</sub>	ネガティブトリガ電圧	CMOSシュミット	0.53	—	1.92	V
IOV <sub>H</sub>	ヒステリシス電圧	CMOSシュミット	0.40	—	—	V
R <sub>PU1</sub>	プルアップ抵抗タイプ1	V <sub>I</sub> = VSS	24	60	144	kΩ
R <sub>PD1</sub>	プルダウン抵抗タイプ1	V <sub>I</sub> = VDD	24	60	144	kΩ
R <sub>PU2</sub>	プルアップ抵抗タイプ2	V <sub>I</sub> = VSS	48	120	288	kΩ
R <sub>PD2</sub>	プルダウン抵抗タイプ2	V <sub>I</sub> = VDD	48	120	288	kΩ
C <sub>IO</sub>	端子の静電容量	f = 1MHz、VDD = 0V	—	—	8	pF

### 注

- 標準動作電流の環境：  
4分周PCLKを備えた352 x 416 K2 TFTパネル。PLLからのSYSCLK=48.5MHz、PLLソースは19.2MHzのCLKI入力から。18bpp記憶装置。  
COREVDDとPLLVDVは1.5V、IOVDDとPIOVDDは2.8V。
- 標準動作電流の環境：  
3分周PCLKを備えた800 x 480 TFTパネル。PLLからのSYSCLK = 59MHz、PLLソースは12MHzのCLKI入力から。16bpp記憶装置。  
COREVDDとPLLVDVは1.5V、IOVDDとPIOVDDは2.8V。

## 6. DC 特性

以下は、IOVDDでVSS = 0V、T<sub>OPR</sub> = -40 ~ +85 の場合の特性です。

**表6.5 電気的特性 (IOVDDまたはPIOVDD = 3.3V ± 0.3V)**

記号	パラメータ	条件	Min	Typ	Max	単位
I <sub>QALL</sub>	静止電流	静止状態	—	160	—	μA
I <sub>PLL</sub>	PLL電流	f <sub>PLL</sub> = 54MHz	—	500	1000	μA
I <sub>CORE</sub>	動作ピーク電流	COREVDD電源端子	—	—	62	mA
I <sub>Iz</sub>	入力リーク電流	—	-5	—	5	μA
I <sub>Oz</sub>	出力リーク電流	—	-5	—	5	μA
IOV <sub>OH2</sub>	高レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OH2</sub> = -4.0mA	IOVDD - 0.40	—	IOVDD	V
PIOV <sub>OH2</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -4.0mA	PIOVDD - 0.40	—	PIOVDD	V
PIOV <sub>OH4</sub>	高レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OH2</sub> = -12.0mA	PIOVDD - 0.40	—	PIOVDD	V
IOV <sub>OL2</sub>	低レベル出力電圧	IOV <sub>DD</sub> = min I <sub>OL2</sub> = 4.0mA	VSS	—	0.40	V
PIOV <sub>OL2</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 4.0mA	VSS	—	0.40	V
PIOV <sub>OL4</sub>	低レベル出力電圧	PIOV <sub>DD</sub> = min I <sub>OL2</sub> = 12.0mA	VSS	—	0.40	V
IOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	2.20	—	—	V
PIOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	2.20	—	—	V
IOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.80	V
PIOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	0.80	V
IOV <sub>T+</sub>	ポジティブトリガ電圧	CMOSシュミット	1.40	—	2.70	V
IOV <sub>T-</sub>	ネガティブトリガ電圧	CMOSシュミット	0.60	—	1.80	V
IOV <sub>H</sub>	ヒステリシス電圧	CMOSシュミット	0.45	—	—	V
R <sub>PU1</sub>	ブルアップ抵抗タイプ1	V <sub>I</sub> = VSS	20	50	120	kΩ
R <sub>PD1</sub>	ブルダウン抵抗タイプ1	V <sub>I</sub> = VDD	20	50	120	kΩ
R <sub>PU2</sub>	ブルアップ抵抗タイプ2	V <sub>I</sub> = VSS	40	100	240	kΩ
R <sub>PD2</sub>	ブルダウン抵抗タイプ2	V <sub>I</sub> = VDD	40	100	240	kΩ
C <sub>IO</sub>	端子の静電容量	f = 1MHz、VDD = 0V	—	—	8	pF



## 7. AC特性

条件：

IOVDD = PIOVDD = 1.8V ± 0.15V、または2.8V ± 0.14V

$T_A = -40 \sim 85$

シュミットとCLKIを除くすべての入力について $T_{rise}$ と $T_{fall}$ は $\leq 50\text{ns}$  (10% ~ 90%) でなければなりません。

すべてのシュミットについて $T_{rise}$ と $T_{fall}$ は $\leq 5\text{ms}$  (10% ~ 90%) でなければなりません。

$C_L = 8\text{pF} \sim 30\text{pF}$  (MD[15:0])

$C_L = 15\text{pF}$  (TE、GPIO\_INT、CLKOUT)

$C_L = 30\text{pF}$  (LCDパネル / GPIOインタフェース)

### 7.1 クロックタイミング

#### 7.1.1 入力クロック

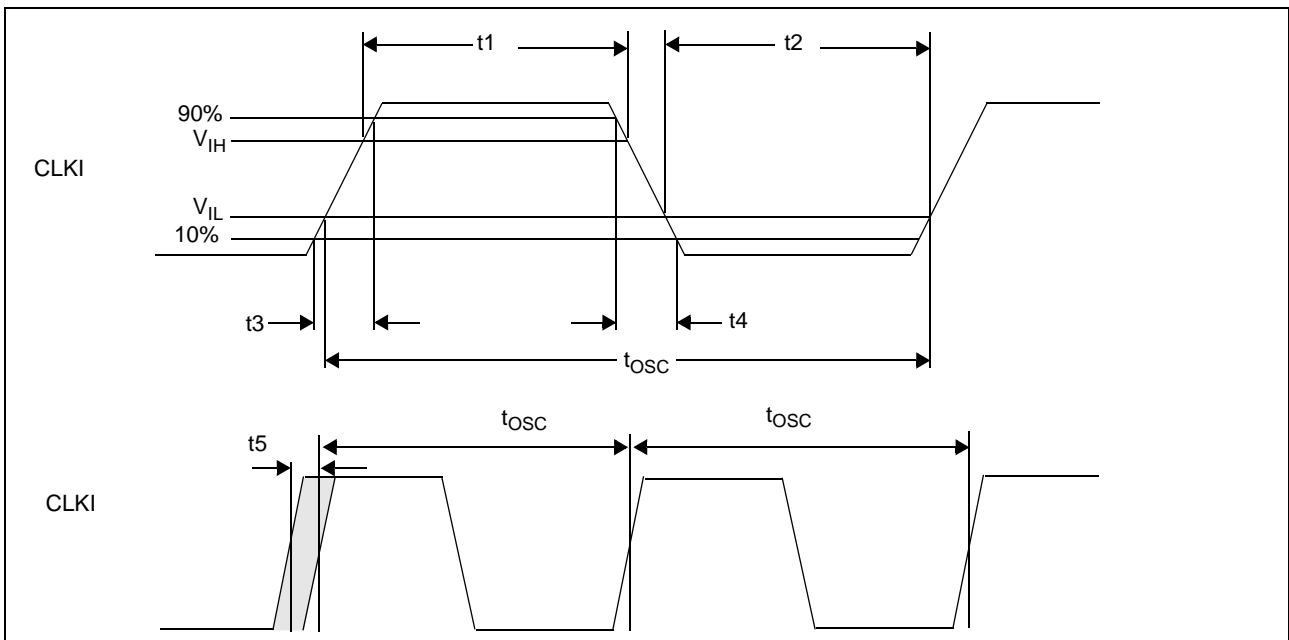


図7.1 クロック入力要件 (CLKI)

## 7. AC 特性

H : 表7-1 クロック入力要件 (CLKI)

記号	パラメータ	Min	Typ	Max	単位
f <sub>OSC</sub> (注6)	入力クロック周波数 - システムクロックとしてPLLを使用	1	—	66	MHz
	入力クロック周波数 - システムクロックとしてCLKIを使用	0	—	68.90	MHz
t <sub>OSC</sub>	入力クロック周期	—	1/f <sub>OSC</sub>	—	μs
t1	入力クロックHIGHパルス幅	0.4t <sub>OSC</sub>	—	0.6t <sub>OSC</sub>	μs
t2	入力クロックLOWパルス幅	0.4t <sub>OSC</sub>	—	0.6t <sub>OSC</sub>	μs
t3	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	5.0	ns
t4	入力クロック立ち下がり時間 (90% ~ 10%)	—	—	5.0	ns
t5	入力クロック周期ジッタ (注2、4、5)	-300		300	ps
t6 (注1)	入力クロックサイクルジッタ (注3、4、5)	-300		300	ps

### 注

1.  $t6 = 2 \cdot t_{OSC}$
2. 入力クロック周期ジッタは、クロックセンターを基準としたときの変位です。
3. 入力クロックサイクルジッタは、隣接するサイクル間の周期差です。
4. ジッタの特性は、t5およびt6の両方の特性を満たす必要があります。
5. 入力デューティサイクルは重要ではなく、40/60が可能です。
6. 補正動作に必要となるシステムクロックの最小周波数は、Intel 80インタフェースのサイクル長に依存します。詳細については、36ページの8.4「SYSCLKとPCLKの設定」を参照してください。

### 7.1.2 PLLクロック

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッタを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。入力クロック波形のジッタはできるだけ少なくなるようにしてください。

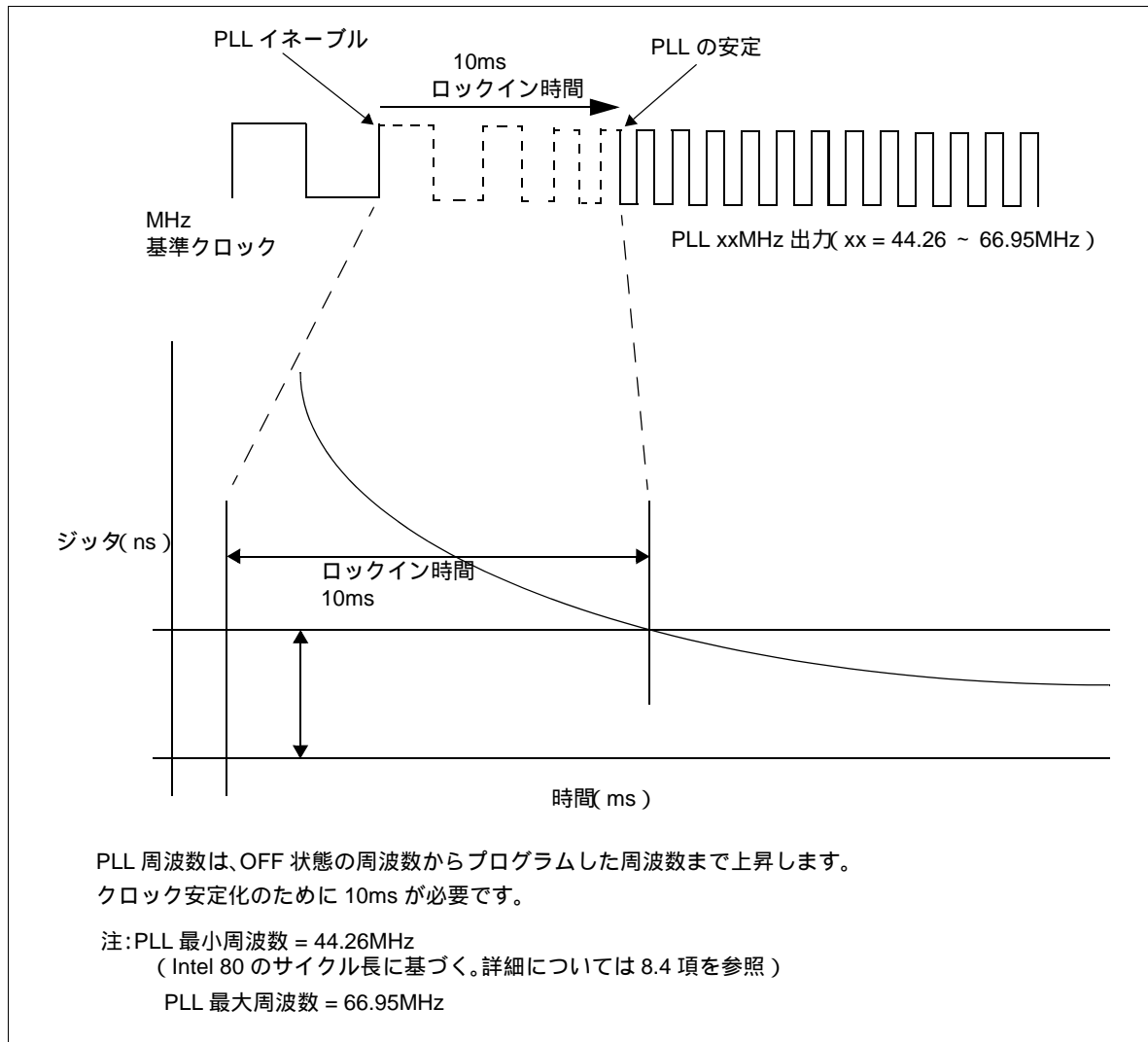


図7.2 PLL起動時間

表7.2 PLLクロック要件

記号	パラメータ	Min	Max	単位
$f_{PLL}$	PLL出力クロックの周波数	44.26 (注1)	66.95	MHz
$t_{PJref}$	PLL出力クロックの周期ジッタ	-3	3	%
$t_{PDuty}$	PLL出力クロックのデューティサイクル	40	60	%
$t_{PStal}$	PLL出力の安定時間	—	10	ms

## 注

- 1 36ページの8.4「SYSCLKとPCLKの設定」を参照してください。

## 7. AC 特性

### 7.2 リセットタイミング

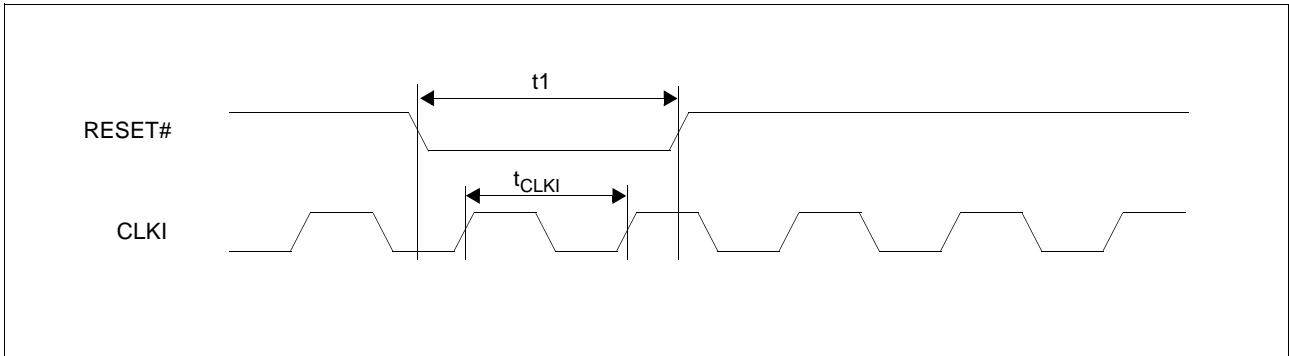


図7.3 S1D13742のリセットタイミング

表7.3 S1D13742のリセットタイミング

記号	パラメータ	Min	Max	単位
$t_1$	アクティブリセットパルス幅	1	—	CLKI

## 7.3 ホストインタフェースのタイミング

## 7.3.1 Intel 80インタフェースのタイミング - 1.8V

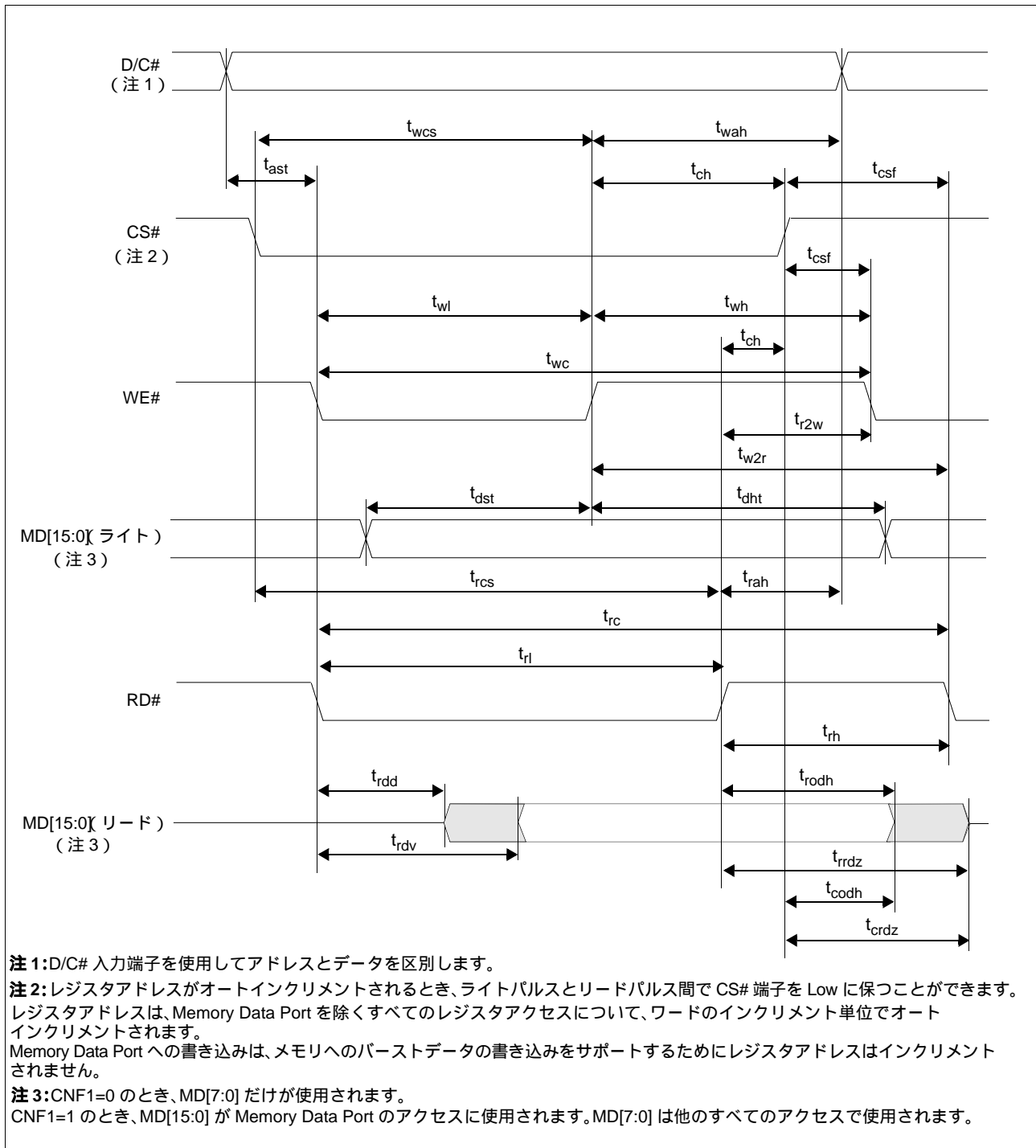


図7.4 Intel 80の入力AC特性 - 1.8V

## 7. AC 特性

表7.4 Intel 80の入力AC特性 - 1.8V

信号	記号	パラメータ	Min	Max	単位	説明	
D/C#	$t_{ast}$	アドレスのセットアップ時間 (リード/ライト)	1	—	ns		
	$t_{wah}$	アドレスのホールド時間 (ライト)	5	—	ns		
	$t_{rah}$	アドレスのホールド時間 (リード)	29	—	ns		
CS#	$t_{wcs}$	チップセレクトのセットアップ時間 (ライト)	$t_{wl}$	—	ns		
	$t_{rcs}$	チップセレクトのセットアップ時間 (リード)	$t_{rl}$	—	ns		
	$t_{ch}$	チップセレクトのホールド時間 (リード/ライト)	0	—	ns		
	$t_{csf}$	チップセレクトの待機時間 (リード/ライト)	1	—	ns		
WE#	$t_{wc}$	レジスタのライトサイクル	12	—	ns		
		LUTのライトサイクル	$2SYSCLK + 1$	—	ns		
		メモリのライトサイクル	$2SYSCLK + 1$	—	ns		
	$t_{wl}$	パルスLow期間	5	—	ns		
	$t_{wh}$	パルスHigh期間	$t_{wc} - t_{wl}$	—	ns		
$t_{w2r}$	WR#立ち上がりエッジ RD#立ち下がりエッジ	11	—	ns	(注1)		
RD#	$t_{r2w}$	RD#立ち上がりエッジ WR#立ち下がりエッジ	26	—	ns	(注2)	
	$t_{rc}$	リードサイクル	$t_{rl} + t_{rh}$	—	ns		
	$t_{rl}$	パルスLow期間	$t_{rdv}$	—	ns		
	$t_{rh}$	レジスタのパルスHigh期間	35	—	ns		
		メモリとLUTのパルスHigh期間	$1SYSCLK + 26$	—	ns		
MD[15:0] (注3)	$t_{dst}$	ライトデータのセットアップ時間	4	—	ns		
	$t_{dht}$	ライトデータのホールド時間	5	—	ns		
	$t_{rodh}$	RD#立ち上がりエッジからのリードデータホールド時間	11	—	ns		
	$t_{rrdz}$	RD#立ち上がりエッジ MD Hi-Z	—	31	ns		
	$t_{codh}$	CS#立ち上がりエッジからのリードデータホールド時間	1	—	ns		
	$t_{rdv}$	$t_{crdz}$	CS#立ち上がりエッジ MD Hi-Z	—	8	ns	
			RD#立ち下がりエッジ レジスタのMDが有効	—	16	ns	CL=30pF
		RD#立ち下がりエッジ LUTのMDが有効	—	$4SYSCLK + 26$	ns		
		RD#立ち下がりエッジ メモリのMDが有効	—	$5SYSCLK + 19$	ns		
		$t_{rdv}$	RD#立ち下がりエッジ レジスタのMDが有効	—	11	ns	CL = 8pF
			RD#立ち下がりエッジ LUTのMDが有効	—	$4SYSCLK + 21$	ns	
$t_{rdv}$	RD#立ち下がりエッジ メモリのMDが有効	—	$5SYSCLK + 14$	ns			
	$t_{rdd}$	RD#立ち下がりエッジ MDの駆動	4	—	ns	CL=30pF	
$t_{rdd}$	RD#立ち下がりエッジ MDの駆動	3	—	ns	CL = 8pF		

### 注

1. ライトサイクル後のリードサイクルでは、RD#の立ち下がりエッジ後、最大 $t_{rdd}$ だけMD[15:0]をHi-zにする必要があります。
2. リードサイクル後のライトサイクルでは、RD#の立ち上がりエッジ後、 $t_{rrdz}$ までホストによってMD[15:0]を駆動しないようにしてください。
3. CNF1=0のとき、MD[7:0]だけが使用されます。CNF1=1のとき、MD[15:0]を使用するときのMemory Data Portを除いて、すべてのアクセスでMD[7:0]が使用されます。

## 7.3.2 Intel 80インタフェースのタイミング - 3.3V

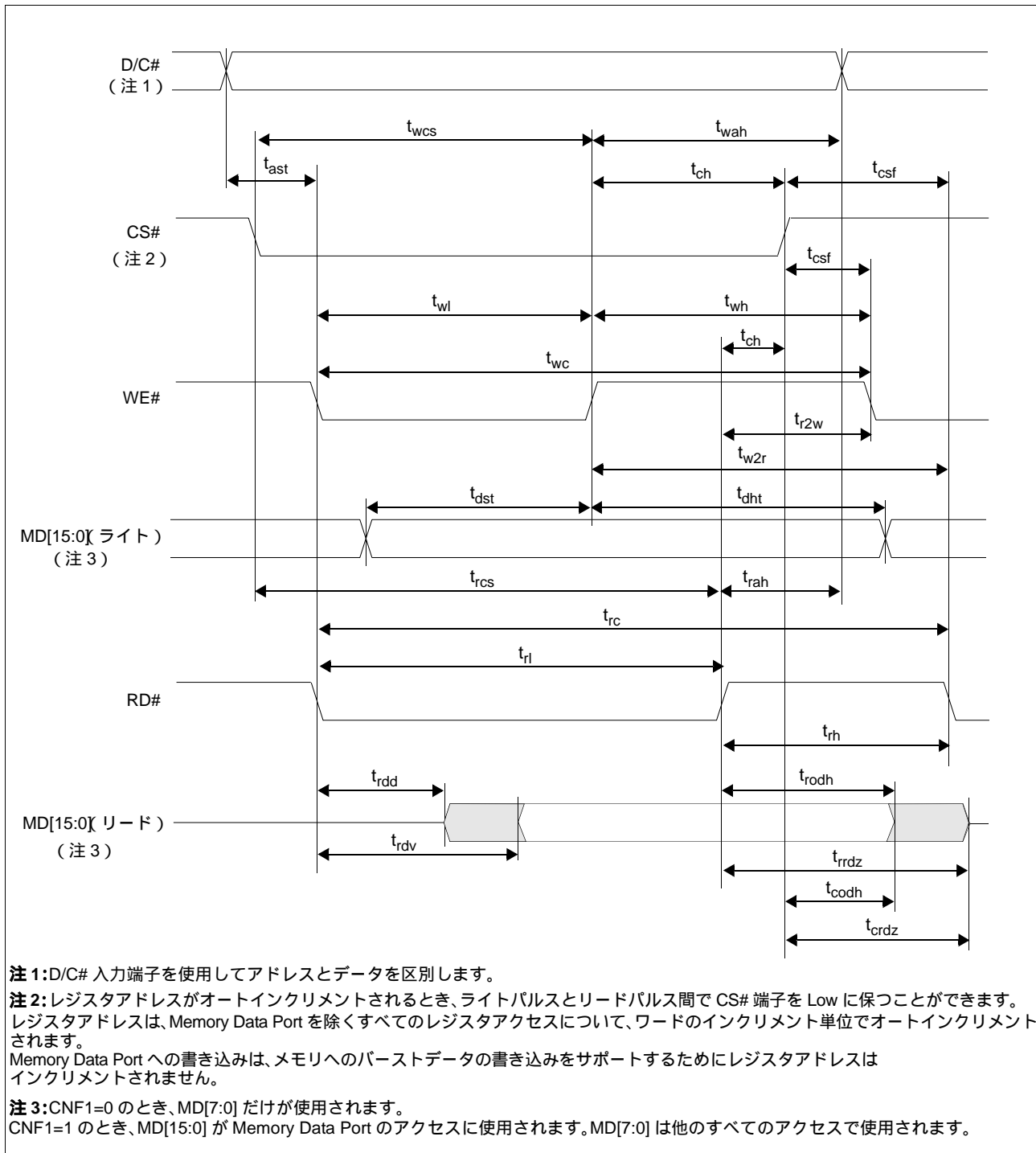


図7.5 Intel 80の入力AC特性 - 3.3V

## 7. AC 特性

表7.5 Intel 80の入力AC特性 - 3.3V

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	$t_{ast}$	アドレスのセットアップ時間 (リード/ライト)	1	—	ns	
	$t_{wah}$	アドレスのホールド時間 (ライト)	5	—	ns	
	$t_{rah}$	アドレスのホールド時間 (リード)	29	—	ns	
CS#	$t_{wcs}$	チップセレクトのセットアップ時間 (ライト)	$t_{wl}$	—	ns	
	$t_{rcs}$	チップセレクトのセットアップ時間 (リード)	$t_{rl}$	—	ns	
	$t_{ch}$	チップセレクトのホールド時間 (リード/ライト)	0	—	ns	
	$t_{csf}$	チップセレクトの待機時間 (リード/ライト)	1	—	ns	
WE#	$t_{wc}$	レジスタのライトサイクル	12	—	ns	
		LUTのライトサイクル	$2SYSCCLK + 1$	—	ns	
		メモリのライトサイクル	$2SYSCCLK + 1$	—	ns	
	$t_{wl}$	パルスLow期間	5	—	ns	
	$t_{wh}$	パルスHigh期間	$t_{wc} - t_{wl}$	—	ns	
$t_{w2r}$	WR#立ち上がりエッジ RD#立ち下がりエッジ	16	—	ns	(注1)	
RD#	$t_{r2w}$	RD#立ち上がりエッジ WR#立ち下がりエッジ	26	—	ns	(注2)
	$t_{rc}$	リードサイクル	$t_{rl} + t_{rh}$	—	ns	
	$t_{rl}$	パルスLow期間	$t_{rdv}$	—	ns	
		レジスタのパルスHigh期間	36	—	ns	
	$t_{rh}$	メモリとLUTのパルスHigh期間	$1SYSCCLK + 26$	—	ns	
MD[15:0] (注3)	$t_{dst}$	ライトデータのセットアップ時間	4	—	ns	
	$t_{dht}$	ライトデータのホールド時間	5	—	ns	
	$t_{rodh}$	RD#立ち上がりエッジからのリードデータホールド時間	11	—	ns	
	$t_{rrdz}$	RD#立ち上がりエッジ MD Hi-Z	—	31	ns	
	$t_{codh}$	CS#立ち上がりエッジからのリードデータホールド時間	1	—	ns	
	$t_{crdz}$	CS#立ち上がりエッジ MD Hi-Z	—	8	ns	
	$t_{rdv}$	RD#立ち下がりエッジ レジスタのMDが有効	—	11	ns	CL=30pF
		RD#立ち下がりエッジ LUTのMDが有効	—	$4SYSCCLK + 21$	ns	
		RD#立ち下がりエッジ メモリのMDが有効	—	$5SYSCCLK + 14$	ns	
		RD#立ち下がりエッジ レジスタのMDが有効	—	9	ns	CL = 8pF
		RD#立ち下がりエッジ LUTのMDが有効	—	$4SYSCCLK + 18$	ns	
RD#立ち下がりエッジ メモリのMDが有効		—	$5SYSCCLK + 11$	ns		
$t_{rdd}$	RD#立ち下がりエッジ MDの駆動	3	—	ns	CL=30pF	
	RD#立ち下がりエッジ MDの駆動	2	—	ns	CL = 8pF	

### 注

1. ライトサイクル後のリードサイクルでは、RD#の立ち下がりエッジ後、最大 $t_{rdd}$ だけMD[15:0]をHi-zにする必要があります。
2. リードサイクル後のライトサイクルでは、RD#の立ち上がりエッジ後、 $t_{rrdz}$ までホストによってMD[15:0]を駆動しないようにしてください。
3. CNF1=0のとき、MD[7:0]だけが使用されます。CNF1=1のとき、MD[15:0]を使用するときのMemory Data Portを除いて、すべてのアクセスでMD[7:0]が使用されます。



## 7.3.3 Hi-Z状態への遷移時間の定義

高速信号のハイインピーダンスの測定は困難であるため、High/LowからHi-Zへの遷移時間は以下のように規定されています。

- HighからHi-Zへの遅延時間： $t_{pHZ}$   
Pch-MOSFETの最終段のゲート電圧が $0.8 \times IOVDD$ に変わるとき（Pch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。  
内部ロジック遅延 +  $t_{pHZ}$ （HighからHi-Z）
- LowからHi-Zへの遅延時間： $t_{pLZ}$   
Nch-MOSFETの最終段のゲート電圧が $0.2 \times IOVDD$ に変わるとき（Nch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。  
内部ロジック遅延 +  $t_{pLZ}$ （LowからHi-Z）

トライステート出力セルの最終段の機能モデルは、図7.6「Hi-Z状態への遷移時間の定義」に示されています。

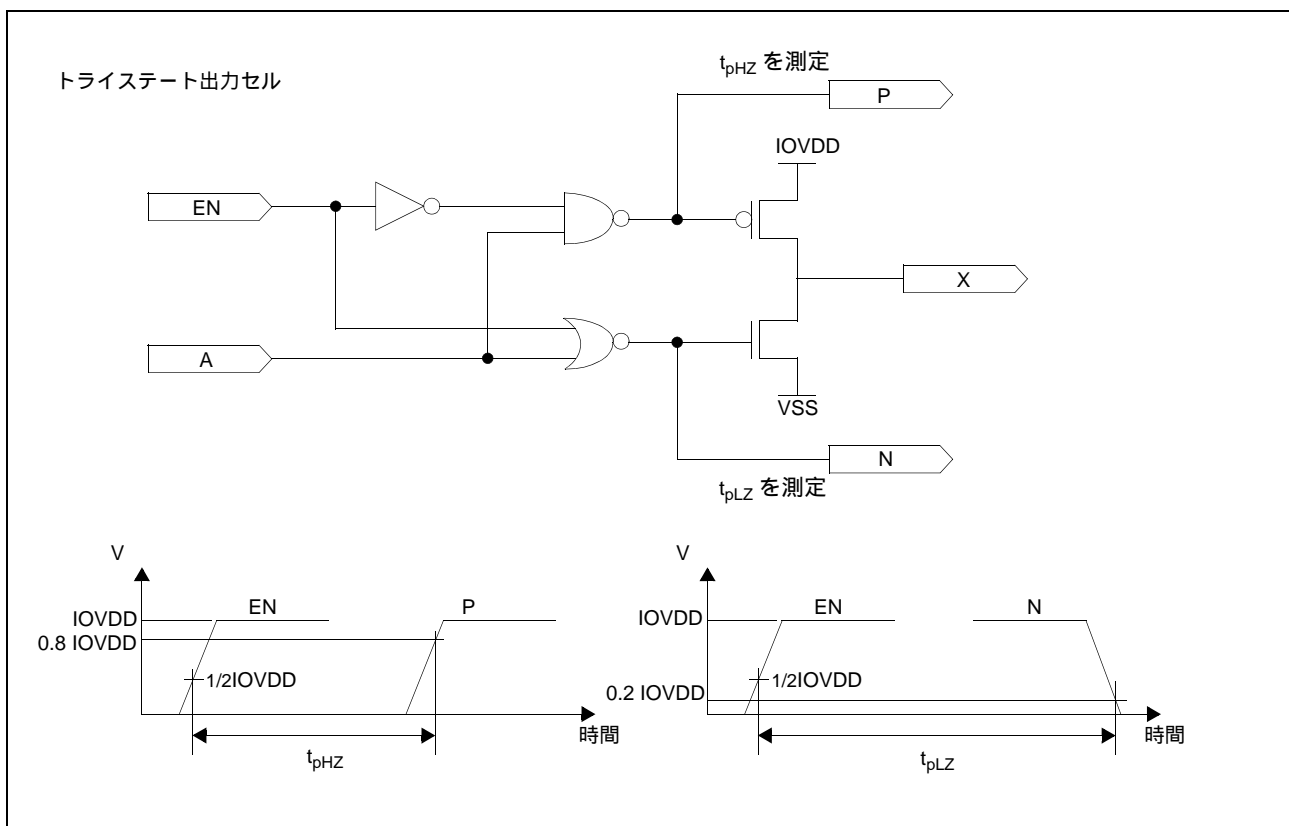


図7.6 Hi-Z状態への遷移時間の定義

## 7. AC 特性

### 7.4 LCDインタフェース

フラットパネルディスプレイを駆動するために必要なタイミングパラメータを以下に示します。サポートされる各パネルタイプのタイミングの詳細をこの項で説明します。

注

すべてのタイミングは、図7.10「18/36ビットTFTのACタイミング」の1/2PIOVDDレベルに対して測定しています。

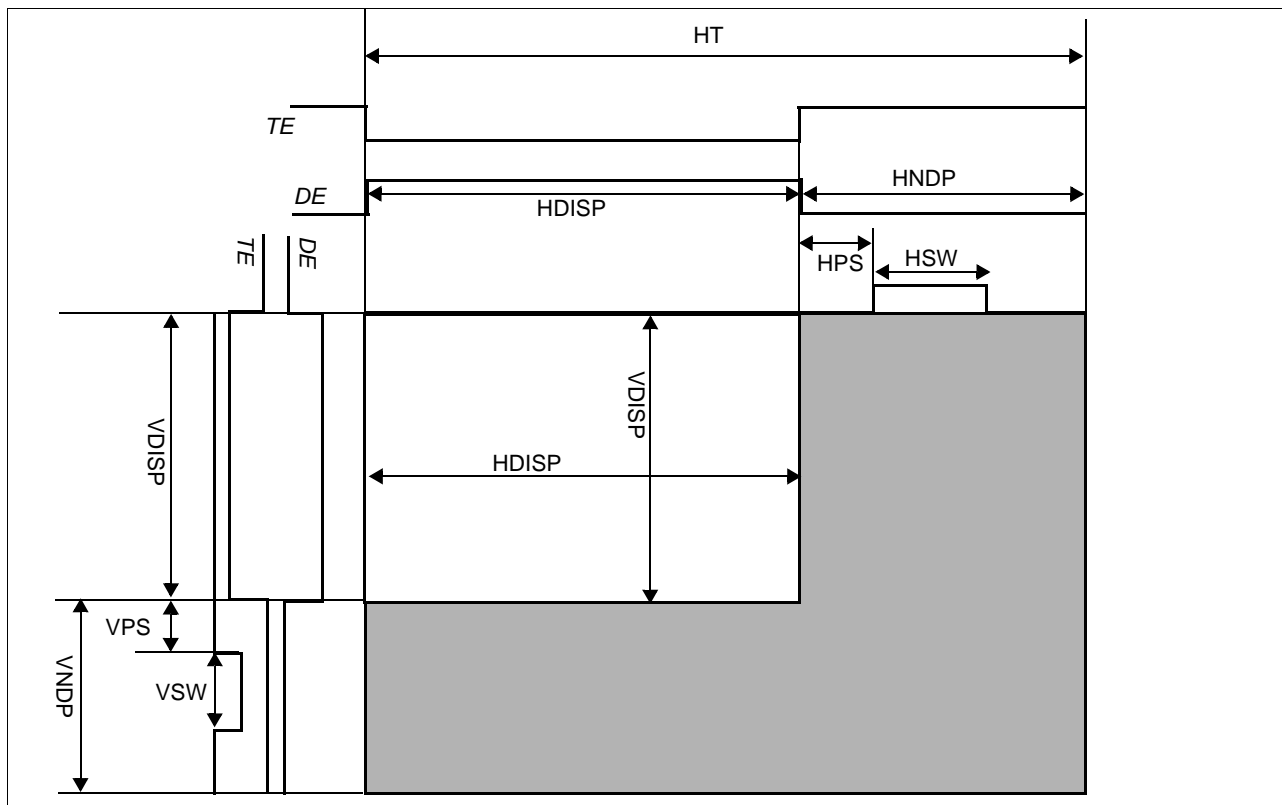


図7.7 パネルのタイミングパラメータ

表7.6 パネルのタイミングパラメータ定義とレジスタの要約

記号	説明	対象レジスタ	単位
HDISP	水平表示期間	(REG[16h]ビット6-0) x 8	Ts
HNDP	水平非表示期間	(REG[18h]ビット6~0)	
HPS	HSパルス開始位置	(REG[22h]ビット6~0)	
HSW	HSパルス幅	(REG[20h]ビット6~0)	
VDISP	垂直表示期間	(REG[1Ch]ビット1~0, REG[1Ah]ビット7~0)	ライン (HT)
VNDP	垂直非表示期間	(REG[1Eh]ビット7~0)	
VPS	VSパルス開始位置	(REG[26h]ビット7~0)	
VSW	VSパルス幅	(REG[24h]ビット6~0)	

注

$TS = 1/PCLK$

## 7.4.1 TFT電源投入シーケンス

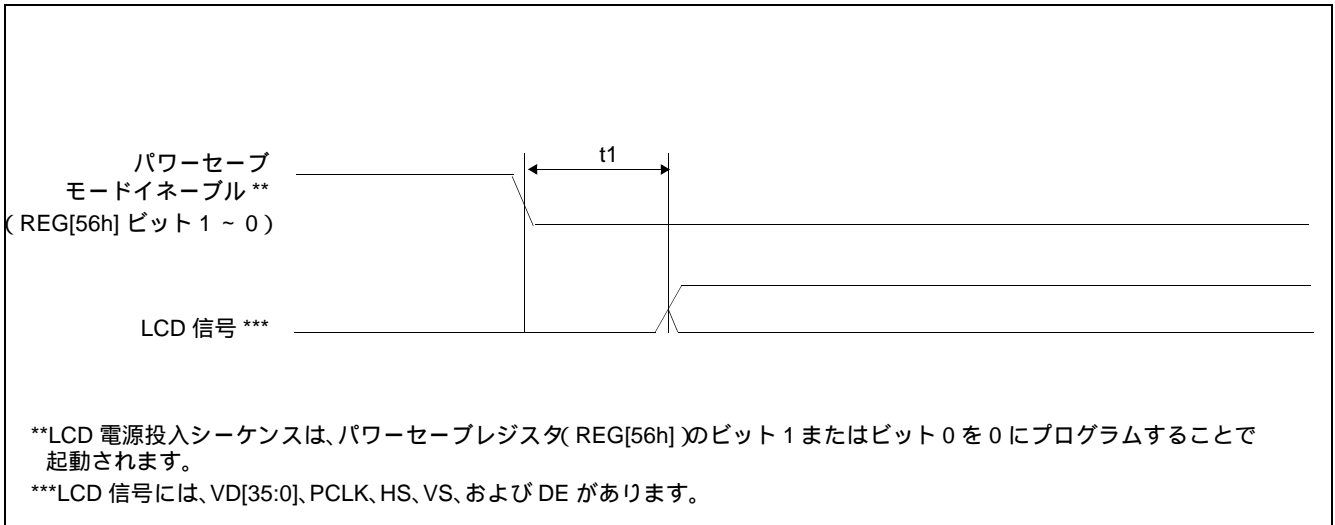


図7.8 TFT電源投入シーケンスのタイミング

表7.7 TFT電源投入シーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	パワーセーブモードがディセーブル LCD信号がアクティブ	0	20	ns

## 7. AC 特性

### 7.4.2 TFT電源切断シーケンス

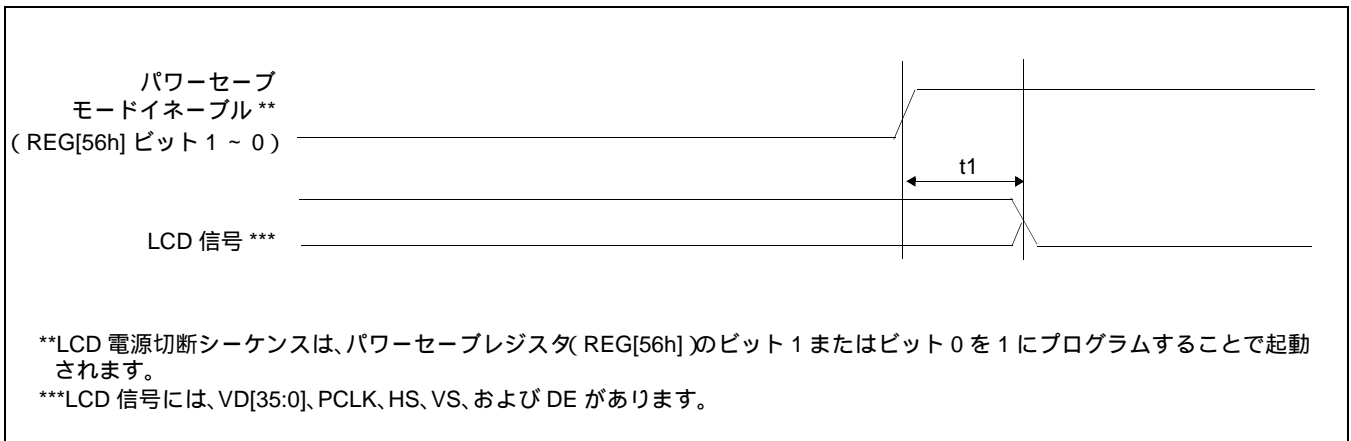


図7.9 TFT電源切断シーケンスのタイミング

表7.8 TFT電源切断シーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	パワーセーブモードがイネーブル LCD信号がLow	0	20	ns

## 7.4.3 18/36ビットTFTパネルのタイミング

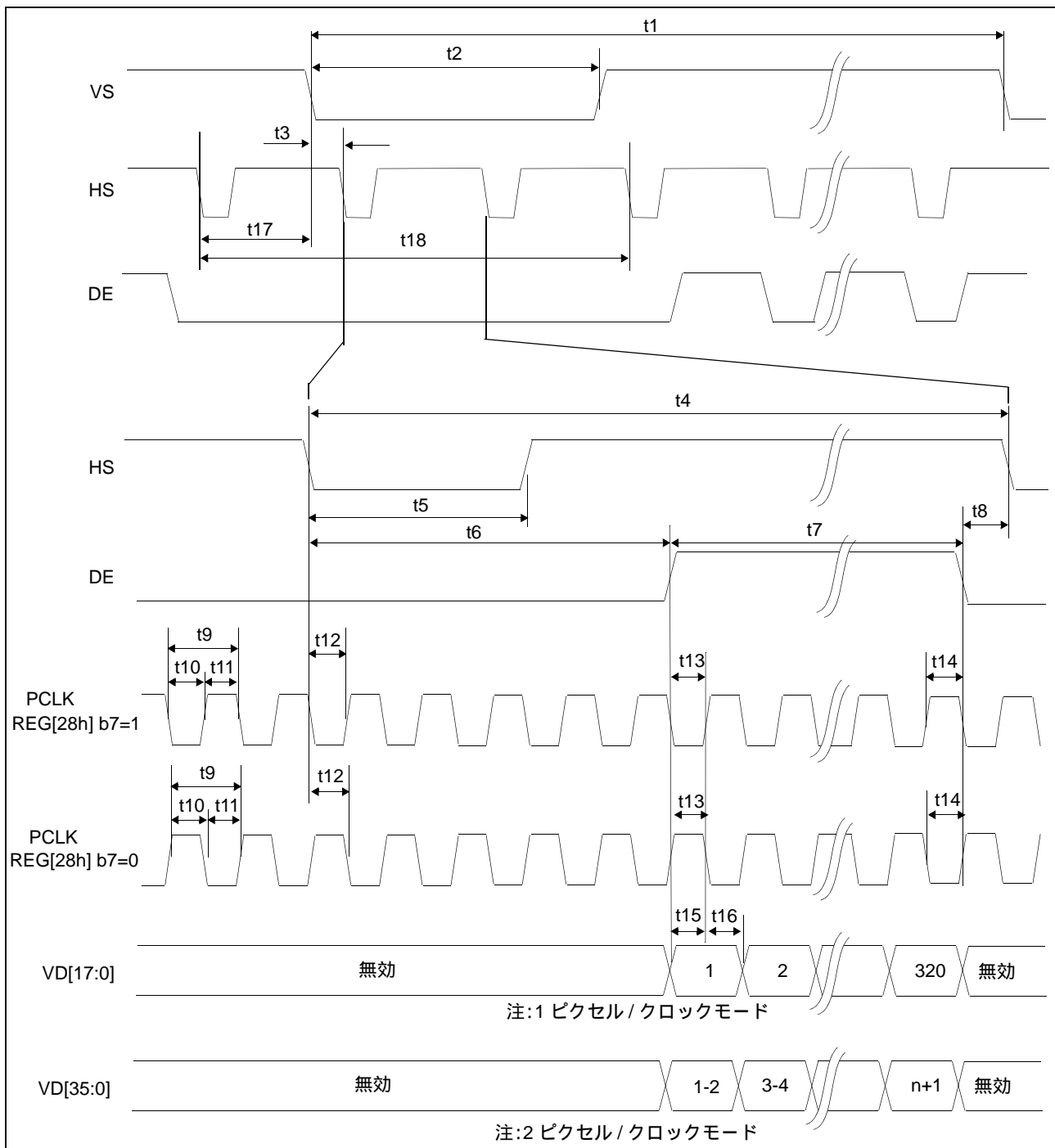


図7.10 18/36ビットTFTのACタイミング

## 注

HS、VS、およびPCLKにはすべて、レジスタ経由の極性選択ビットが備わっています。

## 7. AC 特性

表7.9 18/36ビットTFTのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	VSサイクル時間	—	VDISP + VNDP	—	ライン
t2	VSパルス幅Low	—	VSW	—	ライン
t3	VS立ち下がりエッジ HS立ち下がりエッジの位相差	—	HPS	—	Ts
t4	HSサイクル時間	—	HDISP + HNDP	—	Ts
t5	HSパルス幅Low	—	HSW	—	Ts
t6	HS立ち下がりエッジ DEアクティブ	—	HNDP-HPS	—	Ts
t7	DEパルス幅	—	HDISP	—	Ts
t8	DE立ち下がりエッジ HS立ち下がりエッジ	—	HPS	—	Ts
t9	PCLK周期	1	—	—	Ts
t10	PCLKパルス幅Low	0.5	—	—	Ts
t11	PCLKパルス幅High	0.5	—	—	Ts
t12	HSセットアップ PCLKアクティブエッジ	0.5	—	—	Ts
t13	DE PCLK立ち上がりエッジのセットアップ時間	0.5	—	—	Ts
t14	PCLKアクティブエッジからのDEホールド	0.5	—	—	Ts
t15	データセットアップ PCLKアクティブエッジ	0.5	—	—	Ts
t16	PCLKアクティブエッジからのデータホールド	0.5	—	—	Ts
t17	DEストップセットアップ VS開始	—	VPS	—	Ts
t18	垂直非表示期間	—	VNDP	—	Ts

1. Ts = ピクセルクロック周期

### 注

36ビットモードで、データは常にPCLKの適正なエッジで立ち上がります。このモードでは、PCLKの周波数はプログラムした内部値の1/2になります。HSとVSが常にデータと同じPCLKのエッジ上で立ち上がるようにしたい場合は、HNDP、HSW、およびHSSを同じ値でプログラムする必要があります。

## 8. クロック

## 8.1 クロックの説明

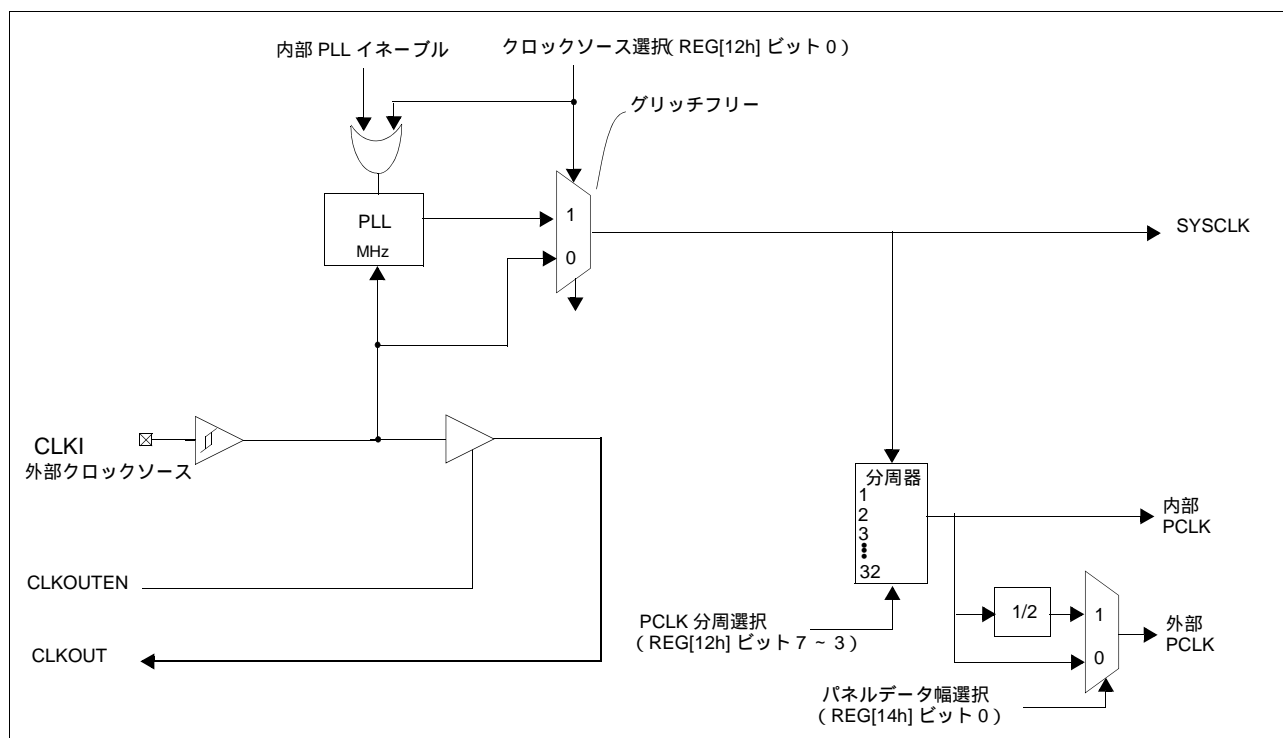


図8.1 S1D13742のクロック機能ブロック図

## 8. クロック

### 8.2 PLL機能ブロック図

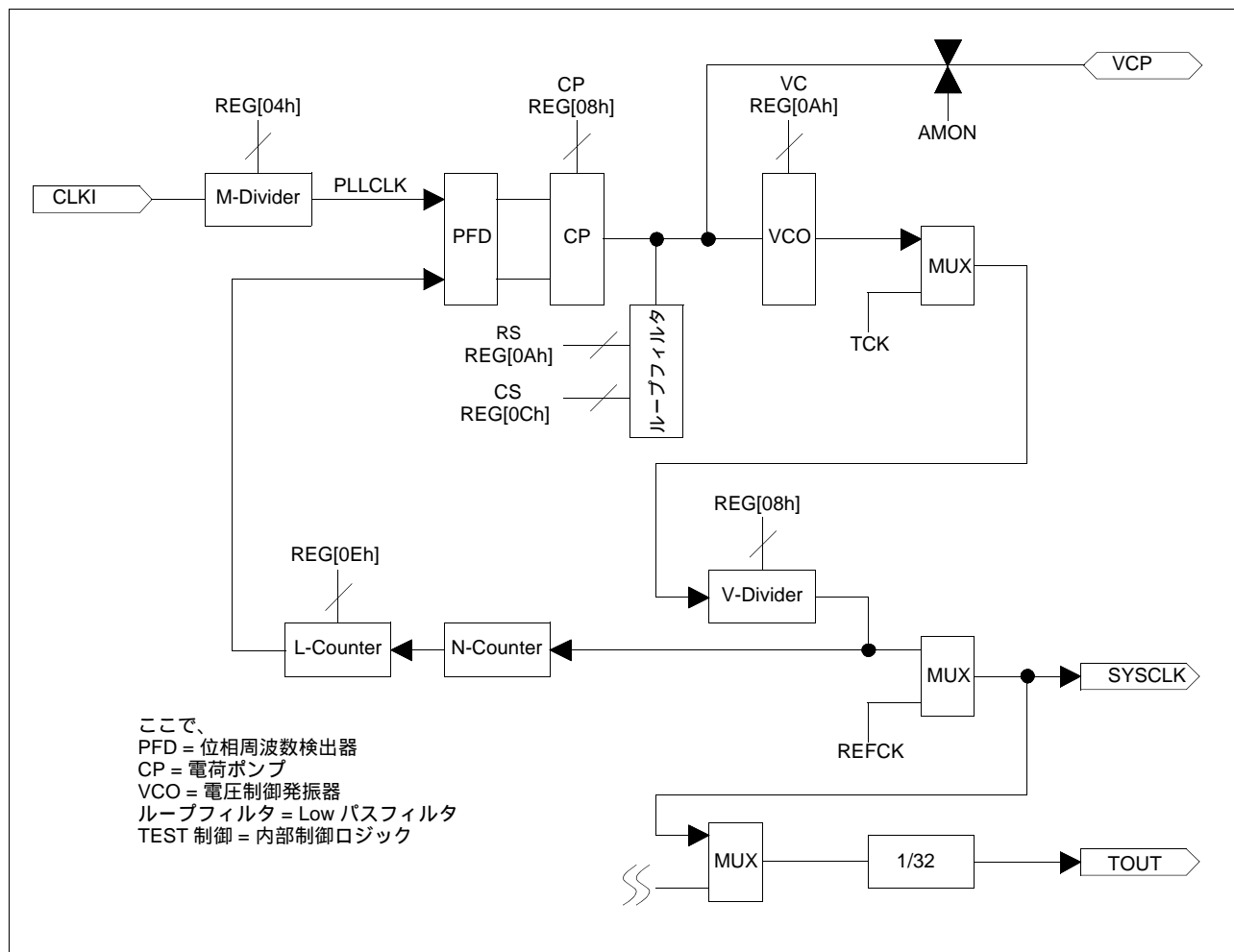


図8.2 PLL機能ブロック図



### 8.3 クロックと機能

この表は、S1D13742の以下の機能に必要な内部クロックを一覧で示しています。

内部クロックの要件

機能	内部SYSCLK	内部PCLK
レジスタのリード/ライト	不可	不可
メモリのリード/ライト	可	不可
ルックアップテーブルレジスタの リード/ライト	可	不可
パワーセーブ	不可	不可
LCD出力	可	可

#### 注

S1D13742が単独でバスサイクルからクロックを生成するため、レジスタアクセスでは内部クロックを必要としません。

## 8. クロック

### 8.4 SYSCLKとPCLKの設定

システムクロックの周期 $T_{SYSCLK}$ は、以下の範囲内になるように設定してください。

For PLL:  $14.94\text{ns} < T_{SYSCLK} < (T_{BBC} - 0.914) \times 0.485\text{ ns}$

For CLKI:  $14.50\text{ns} < T_{SYSCLK} < (T_{BBC} - 0.914) \times 0.5\text{ns}$

ここで、 $T_{BBC}$ は、Intel 80インタフェースの最小連続サイクル時間です。

たとえば、このIntel 80インタフェースの最小連続サイクル時間が $5 \times 9.5 = 47.5\text{ns}$ のとき、次のようになります。

For PLL:  $14.94\text{ns} < T_{SYSCLK} < 22.594\text{ns}$

For CLKI:  $14.50\text{ns} < T_{SYSCLK} < 23.293\text{ns}$

したがって、

For PLL:  $44.26\text{MHz} < f_{SYSCLK} < 66.95\text{MHz}$

For CLKI:  $42.94\text{MHz} < f_{SYSCLK} < 68.96\text{MHz}$

希望するPCLKの周波数 $f_{PCLK}$ を実現できるように $T_{SYSCLK}$ を設定するときには、注意が必要です。PCLKはSYSCLKの整数分周バージョンです。以下のグラフは、 $T_{BBC} = 47.5\text{ns}$ の場合の、PCLKの任意の値に対するSYSCLKの推奨設定値を示しています。

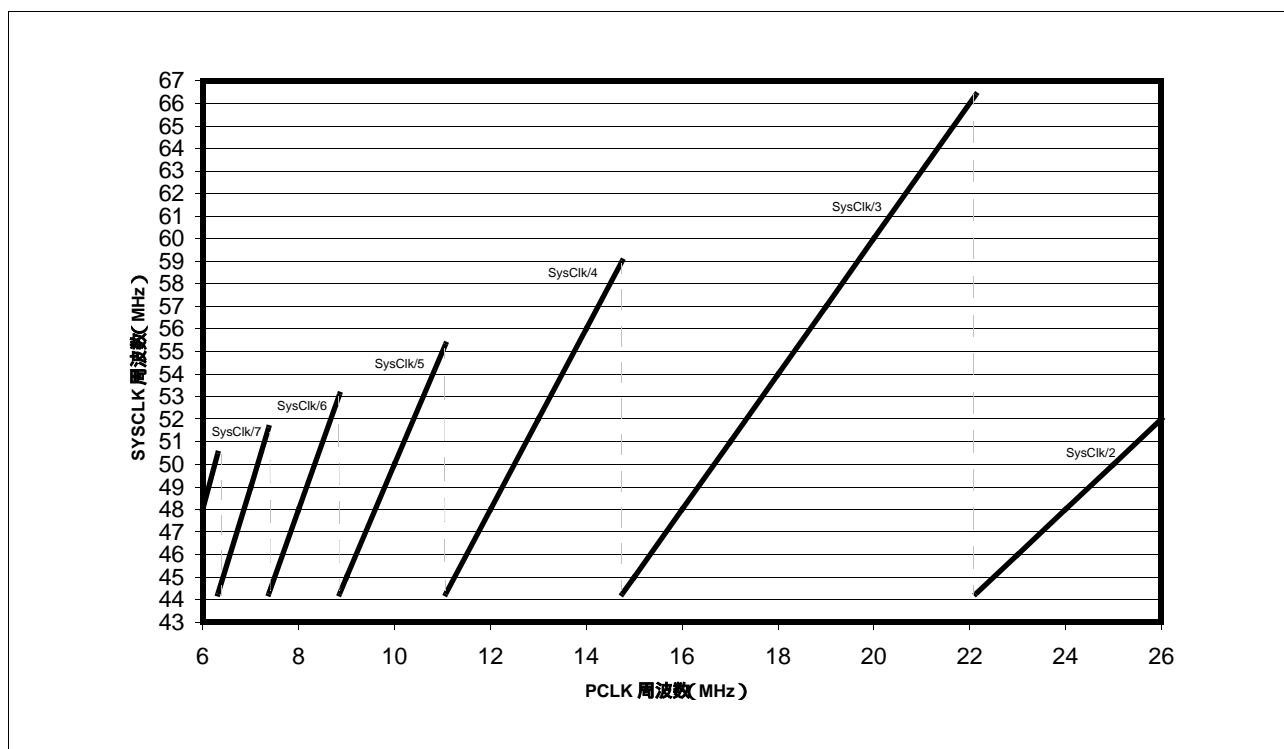


図8.3 希望のPCLKに対するSYSCLKの設定値

---

## 9. レジスタ

この項では、S1D13742のレジスタにアクセスする方法およびその場所について説明します。また、各レジスタの配置と使用方法についても詳細に説明しています。

レジスタ空間に対するバーストデータの書き込みがサポートされています。これは、Memory Data Port Register (REG[48h~49h]) およびGamma Correction Table Data Register (REG[54h]) を除くすべてのレジスタのライトアクセスに適用されます。これら2つのレジスタに書き込むと、必ず内蔵メモリのアドレスだけがオートインクリメントされます。

### 9.1 レジスタマッピング

レジスタとメモリはすべてIntel 80インタフェース経由でアクセスされます。16ビット (CNF1=1の場合) または8ビット (CNF1=0の場合) でアクセスされるMemory Data Port (REG[48h~49h]) 以外は、すべて8ビットでのみアクセスされます。

## 9. レジスタ

### 9.2 レジスタセット

S1D13742のレジスタを以下の表に示します。

表9.1 S1D13742レジスタセット

レジスタページ		レジスタページ	
<b>読み出し専用構成レジスタ</b>			
REG[00h] Revision Code Register	39	REG[02h] Configuration Readback Register	39
<b>クロック構成レジスタ</b>			
REG[04h] PLL M-Divider Register	40	REG[06h] PLL Setting Register 0	41
REG[08h] PLL Setting Register 1	41	REG[0Ah] PLL Setting Register 2	41
REG[0Ch] PLL Setting Register 3	42	REG[0Eh] PLL Setting Register 4	42
REG[10h]	43	REG[12h] Clock Source Select Register	43
<b>パネル構成レジスタ</b>			
REG[14h] Panel Type Register	45	REG[16h] Horizontal Display Width Register (HDISP)	45
REG[18h] Horizontal Non-Display Period Register (HNDP)	45	REG[1Ah] Vertical Display Height Register 0 (VDISP)	46
REG[1Ch] Vertical Display Height Register 1 (VDISP)	46	REG[1Eh] Vertical Non-Display Period Register (VNDP)	46
REG[20h] HS Pulse Width Register (HSW)	46	REG[22h] HS Pulse Start Position Register 0 (HPS)	47
REG[24h] VS Pulse Width Register (VSW)	47	REG[26h] VS Pulse Start Position Register 0 (VPS)	47
REG[28h] PCLK Polarity Register	47		
<b>入力モードレジスタ</b>			
REG[2Ah] Input Mode Register	48	REG[2Ch] Input YUV/RGB Translate Mode Register 0	50
REG[2Eh] YUV/RGB Translate Mode Register 1	51	REG[30h] U Data Fix Register	52
REG[32h] V Data Fix Register	52		
<b>表示モードレジスタ</b>			
REG[34h] Display Mode Register	53	REG[36h] Special Effects Register	54
<b>ウィンドウの設定</b>			
REG[38h] Window X Start Position Register 0	57	REG[3Ah] Window X Start Position Register 1	57
REG[3Ch] Window Y Start Position Register 0	57	REG[3Eh] Window Y Start Position Register 1	57
REG[40h] Window X End Position Register 0	58	REG[42h] Window X End Position Register 1	58
REG[44h] Window Y End Position Register 0	58	REG[46h] Window Y End Position Register 1	58
<b>メモリアクセス</b>			
REG[48h] Memory Data Port Register 0	59	REG[49h] Memory Data Port Register 1	59
REG[4Ah] Memory Read Address Register 0	60	REG[4Ch] Memory Read Address Register 1	60
REG[4Eh] Memory Read Address Register 2	60		
<b>ガンマ補正レジスタ</b>			
REG[50h] Gamma Correction Enable Register	61	REG[52h] Gamma Correction Table Index Register	62
REG[54h] Gamma Correction Table Data Register	62		
<b>その他のレジスタ</b>			
REG[56h] Power Save Register	63	REG[58h] Non-Display Period Control / Status Register	63
<b>汎用IO端子レジスタ</b>			
REG[5Ah] General Purpose IO Pins Configuration Register 0	65	REG[5Ch] General Purpose IO Pins Status/Control Register 0	65
REG[5Eh] GPIO Positive Edge Interrupt Trigger Register	65	REG[60h] GPIO Negative Edge Interrupt Trigger Register	66
REG[62h] GPIO Interrupt Status Register	66	REG[64h] GPIO Pull Down Control Register 0	66

### 9.3 レジスタの説明

すべての予約ビットは、デフォルト値に設定する必要があります。予約ビットにデフォルト以外の値を書き込むと、不定の結果を生じる場合があります。n/aというマークの付いたビットは、ハードウェア上の効果はありません。他に指定がない限り、すべてのレジスタビットは、電源投入リセットの間に0に設定されます。

#### 9.3.1 読み出し専用構成レジスタ

REG[00h] Revision Code Register							
Default = 80h (S1D13742B00)または81h (S1D13742B01)							Read Only
製品コードビット5-0					改訂コードビット1-0		
7	6	5	4	3	2	1	0

bits 7-2                   製品コードビット[5:0]  
これらのビットは、製品コードを示す読み出し専用ビットです。製品コードは、100000bです。

bits 1-0                   改訂コードビット[1:0]  
これらのビットは、改訂コードを示す読み出し専用ビットです。S1D13742B00用の改訂コードは00b、S1D13742B01用の改訂コードは01bです。

REG[02h] Configuration Readback Register							
Default = xxh						Read Only	
n/a					CNF2ステータス	CNF1ステータス	CNF0ステータス
7	6	5	4	3	2	1	0

bits 2-0                   CNF[2:0]ステータス  
これらの読み出し専用ステータスビットは、構成端子CNF[2:0]のステータスを返します。

## 9. レジスタ

### 9.3.2 クロック構成レジスタ

REG[04h] PLL M-Divider Register							Read/Write
Default = 00h							
PLLロックビット (RO)	n/a	M-Dividerビット5-0					
7	6	5	4	3	2	1	0

bit 7 PLLロックビット（読み出し専用）  
このビットが0のとき、PLL出力は安定していません。この状態では、ディスプレイバッファへのリード/ライトアクセスは禁止されます。  
このビットが1のとき、PLL出力は安定しています。

bits 5-0 M-Dividerビット[5:0]  
これらのビットは、CLKIと、PLLへの入力クロックとの分周比を決定します。

**注**  
PLLへの内部入力クロック（PLLCLK）は、1MHz～2MHzの間でなければなりません。CLKIに応じて、これらのビットを設定する必要があります。

**注**  
20hより大きな値は許されません。

表9.2 PLL M-Divideの選択

REG[04h]ビット5～0	M-Divide比
0h	1:1
01h	2:1
02h	3:1
03h	4:1
•	•
•	•
•	•
20h	33:1
21h～3Fh	Reserved

---

<b>REG[06h] PLL Setting Register 0</b>							Read/Write
Default = 00h							
PLL設定レジスタ0ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値F8hでプログラムする必要があります。

<b>REG[08h] PLL Setting Register 1</b>							Read/Write
Default = 00h							
PLL設定レジスタ1ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値80hでプログラムする必要があります。

<b>REG[0Ah] PLL Setting Register 2</b>							Read/Write
Default = 00h							
PLL設定レジスタ2ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値28hでプログラムする必要があります。

## 9. レジスタ

REG[0Ch] PLL Setting Register 3							
Default = 00h							Read/Write
PLL設定レジスタ3ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値00hでプログラムする必要があります。

REG[0Eh] PLL Setting Register 4							
Default = 00h							Read/Write
n/a	L-Counterビット6~0						
7	6	5	4	3	2	1	0

bits 6-0

L-Counterビット[6:0]

これらのビットは、PLL出力 (MHz) の構成に使用されるものであり、次の式に従って設定する必要があります。

$$\begin{aligned} \text{PLL出力} &= (\text{L-Counter} + 1) \times \text{PLLCLK} \\ &= \text{LL} \times \text{PLLCLK} \end{aligned}$$

ここで、

PLL出力は、目的のPLL出力周波数 (MHz) です。

L-Counterは、このレジスタの値 (10進数) です。

PLLCLKは、PLLへの内部入力クロック (MHz) です。

PLL出力周波数に対する制限については、36ページの8.4「SYSCLKとPCLKの設定」を参照してください。

表9.3 PLLの設定例

ターゲット周波数 (MHz)	LL	CLKI 入力クロック (MHz)	M-Divider REG[04] ビット5~0	M-Divide比	PLLCLK (MHz)	POUT (MHz)
53	53	12	0Bh	12:1	1.0	53
60	60	12	0Bh	12:1	1.0	60
•	•	•	•	•	•	•
53	53	19.2	12h	19:1	1.0105	53.53
60	60	19.2	12h	19:1	1.0105	60.63



<b>REG[10h]</b> Default = 00h								Read/Write
7	6	5	4	3	2	1	0	n/a

このレジスタへの書き込みはハードウェアに影響を与えません。オートインクリメント時に、このレジスタへのダミーの書き込みを行う必要があります。

<b>REG[12h] Clock Source Select Register</b> Default = 00h								Read/Write
7	6	5	4	3	2	1	0	PCLK分周選択ビット4~0 n/a SYSCLKソースの選択

bits 7-3

PCLK分周選択ビット[4:0]

これらのビットは、パネルクロック（PCLK）の分周比を指定します。PCLKのクロックソースはSYSCLKです。

得られるクロック周波数はすべて、分周比に関係なく50/50のデューティサイクルを維持します。

表9.4 PCLK分周比の選択

REG[0012h]ビット7~3	PCLK分周比
00h	Reserved
01h	2:1
02h	3:1
03h	4:1
04h	5:1
05h	6:1
06h	7:1
07h	8:1
08h	9:1
09h	10:1
0Ah	11:1
0Bh	12:1
0Ch	13:1
0Dh	14:1
0Eh	15:1
0Fh	16:1
10h	17:1
11h	18:1
•	•
•	•
•	•
1Fh	32:1

## 9. レジスタ

---

bit 0

### SYSCLKソースの選択

このビットはコントローラのシステムクロック (SYSCLK) ソースを選択します。

このビットが0のとき、SYSCLKソースは外部CLKI入力です。

このビットが1のとき、SYSCLKソースは内部PLL入力です。

PLLをSYSCLKソース (ビット0 = 1) として選択する場合、このビットを設定する前に、REG[06h]、REG[08h]、REG[0Ah]、REG[0Ch]、REG[0Eh]、およびREG[10h]を使用してPLLを構成する必要があります。

### 注

PLLをシステムクロック (SYSCLK) ソースとして使用するには、まずスリープモードをイネーブルにして、REG[56h]ビット1 = 1にする必要があります。いったんスリープモードになれば、REG[04h]とREG[0Eh]を変更して希望のPLL周波数を設定することができます。REG[04h]とREG[0Eh]の設定が完了すれば、REG[12h]ビット0 = 1に設定することでPLLをシステムクロックソースに選択することができます。PLL出力は、スリープモードを終了した後にのみ (REG[56h]ビット1 = 0)、アクティブになります。PLL出力は10msec後に安定します。ディスプレイメモリまたはガンマ補正テーブルは、PLL出力が安定するまでアクセスしないでください。REG[04h]ビット7のPLLロックビットを使用すると、PLL出力が安定しているかどうかを確認することができます。

## 9.3.3 パネル構成レジスタ

REG[14h] Panel Type Register							Read/Write
Default = 00h							
VDデータスワップ	6	5	4	3	2	1	パネルデータ幅
7							0

bit 7 VDデータスワップ  
このビットが0のとき、データラインは標準です（すなわち、出力端子VD35 = VD35など）。  
このビットが1のとき、データラインはスワップされています（すなわち、出力端子VD35 = VD0など）。

**注**

データスワップは常にアクティブな出力端子の最上位ビットから始まり最下位ビットで終わります。14ページの「LCDインタフェースデータ端子」を参照してください。

bit 0 パネルデータ幅  
このビットが0のとき、LCDインタフェースは18ビットで構成されます。  
このビットが1のとき、LCDインタフェースは36ビットで構成されます。

REG[16h] Horizontal Display Width Register (HDISP)							Read/Write
Default = 00h							
n/a	6	5	4	水平表示期間ビット6~0		0	
7							

bits 6-0 水平表示期間ビット[6:0]  
これらのビットは、8ピクセル解像度でLCDパネルの水平表示期間（HDISP）を指定します。

水平表示期間のピクセル数 = (REG[16h]ビット6~0) x 8

**注**

8ピクセルの最小値（1にプログラムされたレジスタ）

REG[18h] Horizontal Non-Display Period Register (HNDP)							Read/Write
Default = 00h							
n/a	6	5	4	水平非表示期間ビット6~0		0	
7							

bits 6-0 水平非表示期間ビット[6:0]  
これらのビットは、水平非表示期間をピクセル数で指定します。36ビット幅パネルの場合、外部PCLKごとに2つのピクセルがあります。

次式を使用してHNDPを計算します。  
HNDP = (REG[18h]ビット6~0)

**注**

最小水平非表示期間は、3ピクセル（REG[18h]ビット6~0 = 03h）です。  
HS Start + HS Width <= HNDP

## 9. レジスタ

REG[1Ah] Vertical Display Height Register 0 (VDISP)							
Default = 01h							Read/Write
垂直表示期間ビット7~0							
7	6	5	4	3	2	1	0

REG[1Ch] Vertical Display Height Register 1 (VDISP)							
Default = 00h							Read/Write
n/a				垂直表示期間ビット9~8			
7	6	5	4	3	2	1	0

REG[1Ch] bits 1-0

REG[1Ah] bits 7-0

垂直表示期間ビット[9:0]

これらのビットは、1ライン解像度でLCDパネルの垂直表示期間を指定します。  
垂直表示期間のライン数 = (REG[1Ch]ビット1~0、REG[1Ah]ビット7~0)

**注**

最小値 = 1ライン

REG[1Eh] Vertical Non-Display Period Register (VNDP)							
Default = 01h							Read/Write
垂直非表示期間ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

垂直非表示期間ビット[7:0]

これらのビットは、1ライン解像度でパネルの垂直非表示期間を指定します。

**注**

最小値 = 2ライン

REG[20h] HS Pulse Width Register (HSW)							
Default = 00h							Read/Write
HSパルス極性		HPパルス幅ビット6~0					
7	6	5	4	3	2	1	0

bit 7

HSパルス極性

このビットは、水平同期信号の極性を選択します。このビットはパネルの水平同期信号に従って設定されます。

このビットが0のとき、水平同期信号はアクティブLowです。

このビットが1のとき、水平同期信号はアクティブHighです。

bits 6-0

HSパルス幅ビット[6:0]

これらのビットは、1ピクセル解像度でパネルの水平同期信号の幅を指定します。水平同期信号は通常HSで、パネルのタイプに依存します。これらのビットの最小値は1です。

HSパルス幅のピクセル数 = (REG[20h]ビット6~0)

36ビット幅パネルの場合、外部PCLKごとに2つのピクセルがあります。

REG[22h] HS Pulse Start Position Register 0 (HPS)							
Default = 00h							Read/Write
n/a	HSパルス開始位置ビット6~0						
7	6	5	4	3	2	1	0

bits 6-0 HSパルス開始位置ビット[6:0]  
 これらのビットは、水平非表示期間の開始を基準として、水平同期信号の開始位置を1ピクセル解像度で指定します。36ビット幅パネルの場合、外部PCLKごとに2つのピクセルがあります。

$$\text{HPS} = (\text{REG}[22\text{h}] \text{ビット} 6 \sim 0)$$

REG[24h] VS Pulse Width Register (VSW)							
Default = 00h							Read/Write
VSパルス極性	n/a	VSパルス幅ビット5~0					
7	6	5	4	3	2	1	0

bit 7 VSパルス極性  
 このビットは、垂直同期信号の極性を選択します。このビットはパネルの垂直同期信号に従って設定されます。  
 このビットが0のとき、垂直同期信号はアクティブLowです。  
 このビットが1のとき、垂直同期信号はアクティブHighです。

bits 5-0 VSパルス幅ビット[5:0]  
 これらのビットは、1ピクセル解像度でパネルの垂直同期信号の幅を指定します。垂直同期信号は通常VSで、パネルのタイプに依存します。

$$\text{VSパルス幅のライン数} = \text{REG}[24\text{h}] \text{ビット} 5 \sim 0$$

REG[26h] VS Pulse Start Position Register 0 (VPS)							
Default = 00h							Read/Write
VSパルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0 VSパルス開始位置ビット[7:0]  
 これらのビットは、垂直非表示期間の開始を基準として、垂直同期信号の開始位置を1ピクセル解像度で指定します。

次式を使用してVPSを計算します。

$$\text{VPS} = (\text{REG}[26\text{h}] \text{ビット} 7 \sim 0)$$

REG[28h] PCLK Polarity Register							
Default = 00h							Read/Write
PCLK極性	n/a						
7	6	5	4	3	2	1	0

bit 7 PCLK極性  
 このビットが0のとき、PCLKは立ち上がりエッジでデータ遷移を出力します。  
 このビットが1のとき、PCLKは立ち下がりエッジでデータ遷移を出力します。

## 9. レジスタ

### 9.3.4 入力モードレジスタ

REG[2Ah] Input Mode Register							Read/Write
Default = 01h							
メモリデータ フォーマット	n/a			入力データフォーマット			
7	6	5	4	3	2	1	0

bit 7

#### メモリデータフォーマット

このビットは、データをどのようにメモリに格納するのかを決定します。

このビットが0のとき、メモリに格納されるデータは16bppです。この場合、18bppの入力データは16bppに切り捨てられます。

このビットが1のとき、メモリに格納されるデータは18bppです。この場合、16bppの入力データ（ビット3～0で決定される）は18bppに拡張されます。

#### 注

18bppモードでは、\$A0000hより上位のメモリは、各18ビットピクセルの2ビット用に予約されています。したがって、サポートされる最大表示解像度は、次式で計算することができます。

$X \times Y \times 2 = 640\text{KB}$

16bppモードでは、全768KBのディスプレイバッファが利用可能なため、最大表示解像度は、 $X \times Y \times 2 = 768\text{KB}$ になります。

bits 4-0

入力データフォーマットビット[3:0]

表9.5 入力データタイプの選択

REG[2Ah]ビット3~0	入力データフォーマット
0000	Reserved
0001	RGB 5:6:5
0010	RGB 6:6:6モード1
0011	RGB 8:8:8モード1 (LSBは16bppまたは18bppに切り捨てられます)
0100	Reserved
0101	Reserved
0110	RGB 6:6:6モード2
0111	RGB 8:8:8モード2 (LSBは16bppまたは18bppに切り捨てられます)
1000	YUV 4:2:2
1001	YUV 4:2:0
1010 • • • 1111	Reserved

**注**

YUV 4:2:2とYUV 4:2:0の設定値については、画像幅をそれぞれ2および4の倍数にしてください。YUV 4:2:0については、高さを2の倍数にしてください。RGB 6:6:6とRGB 8:8:8のモード1では、画像幅が奇数の場合、各ラインの最後のワードの赤のピクセルデータは無視されます。赤のピクセルデータは、次の転送で、緑のデータとともに再度書き込む必要があります。72ページの図12.2「18bppモード1 (RGB 6:6:6) 262,144色」または74ページの図12.4「24bppモード1 (RGB 8:8:8) 16,777,216色」を参照してください。

**注**

入力データフォーマットとメモリデータフォーマットの詳細については、68ページの11.「Intel 80の8ビットインタフェースのカラーフォーマット」、71ページの12.「Intel 80の16ビットインタフェースのカラーフォーマット」および76ページの13.「YUVタイミング」を参照してください。

## 9. レジスタ

REG[2Ch] Input YUV/RGB Translate Mode Register 0							Read/Write
Default = 00h							
Reserved	YUV/RGBコンバータ リセット	UV固定ビット1~0		n/a			
7	6	5	4	3	2	1	0

- bit 7                      Reserved  
このビットのデフォルト値は0です。
- bit 6                      YUV/RGBコンバータリセット  
このビットは、YUV/RGBコンバータ (YRC) のソフトウェアリセットを実行します。リセットを実行するには、1を書き込んでリセットに入ってから、0を書き込んでリセット状態から戻ります。  
読み出しの場合：  
このビットが0のとき、YRCはリセット状態ではありません。  
このビットが1のとき、YRCはリセット状態です。  
書き込みの場合：  
このビットに0を書き込むと、YRCをリセット状態から戻します。  
このビットに1を書き込むと、YRCのソフトウェアリセットを開始します。
- bits 5-4                      UV固定選択ビット[1:0]  
このビットは、YUV/RGBコンバータ (YRC) へのUV入力を制御します。

**表9.6 UV固定の選択**

REG[2Ch]ビット5~4	YUV/GRBコンバータへのUV入力
00	元のUデータ、元のVデータ
01	Uデータ = REG[30h]ビット7~0、元のVデータ
10	元のUデータ、Vデータ = REG[032h]ビット7~0
11	Uデータ = REG[30h]ビット7~0、Vデータ = REG[032h]ビット7~0



REG[2Eh] YUV/RGB Translate Mode Register 1							Read/Write
Default = 05h							
Reserved		YUV入力データタイプ選択ビット1~0		Reserved		YUV/RGB転送モードビット2~0	
7	6	5	4	3	2	1	0

bits 7-6

Reserved

これらのビットのデフォルト値は0です。

bits 5-4

YUV入力データタイプ選択ビット[1:0]

これらのビットは、YUV/RGBコンバータ（YRC）へのYUV入力のデータタイプを指定します。

表9.7 YUVデータタイプの選択

REG[2Eh]ビット5~4	YRC入力データ範囲
00	0 Y 255 -128 U 127 -128 V 127
01	16 Y 235 -113 U 112 -113 V 112
10	0 Y 255 0 U 255 0 V 255
11	16 Y 235 16 U 240 16 V 240

bit 3

Reserved

このビットのデフォルト値は0です。

bits 2-0

YUV/RGB転送モードビット[2:0]

これらのビットはYUV/RGB転送モードを指定します。各種仕様について推奨される設定が用意されています。

表9.8 YUV/RGB転送モードの選択

REG[2Eh]ビット2~0	YUV/RGB仕様
000	Reserved
001	ITU-R BT.709に推奨
010	Reserved
011	Reserved
100	ITU-R BT.470-6システムMに推奨
101 (デフォルト)	ITU-R BT.470-6の他のすべてのシステムに推奨 (ITU-R BT.601-5に推奨)
110	SMPTE 170M
111	SMPTE 240M (1987)

## 9. レジスタ

---

### REG[30h] U Data Fix Register

Default = 00h

Read/Write

Uデータ固定ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

Uデータ固定ビット[7:0]

これらのビットは、UV固定選択ビットが01または11 (REG[2Ch]ビット5~4 = 01または11) に設定されているときにのみ有効です。YUV/RGBコンバータデータのUデータ入力はこのビットの値に固定されます。

### REG[32h] V Data Fix Register

Default = 00h

Read/Write

Vデータ固定ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

Vデータ固定ビット[7:0]

これらのビットは、UV固定選択ビットが10または11 (REG[2Ch]ビット5~4 = 10または11) に設定されているときにのみ有効です。YUV/RGBコンバータデータのVデータ入力はこのビットの値に固定されます。

## 9.3.5 表示モードレジスタ

REG[34h] Display Mode Register							Read/Write	
Default = 00h								
表示ブランク	n/a					ウィンドウSwivelViewモード選択ビット		
7	6	5	4	3	2	1	0	
						1~0		

bit 7 表示ブランク  
 このビットが0のとき、LCD表示パイプラインはイネーブルです。  
 このビットが1のとき、LCD表示パイプラインはディセーブルで、すべてのLCDデータ出力は強制的に0にされます（すなわち、画面が消去されます）。

bits 1-0 ウィンドウSwivelViewモード選択ビット[1:0]  
 これらのビットは、以下のさまざまなSwivelView™の方向を選択します。

表9.9 SwivelView™モード選択オプション

REG[34h]ビット1~0	SwivelViewの方向
00	0°（通常）
01	90°
10	180°
11	270°

## 注

ディスプレイバッファに書き込む前に回転が行われるため、アクティブ表示に書き込まれるすべてのウィンドウは独立して回転することができます。

## 9. レジスタ

REG[36h] Special Effects Register							Read/Write	
Default = 00h								
ウィンドウ データタイプ 7	ダブルバッファ イネーブル 6	n/a				ウィンドウピクセルサイズ 変更ビット1~0		
		5	4	3	2	1	0	

bit 7

### ウィンドウデータタイプ

このビットが0のとき、ホストから書き込まれるデータはシングルバッファのみを対象としています。

このビットが1のとき、ホストから書き込まれるデータはダブルバッファを対象としています。

入力データフォーマットがYUV 4:2:0 ( REG[2Ah]ビット4~0 = 1001 ) の場合、YYCがビジー ( REG[58h] bit 4 = 1 ) の間は、ウィンドウデータタイプを変更しないようにしてください。

### 注

このビットはウィンドウを書き込む前に設定してください。ウィンドウ座標は内部でラッチされて、表示サイクル中に表示パイプで使用されます。

### 注

このビット設定は、イネーブル( bit 6 = 1 ) のときのダブルバッファに必要です。

### 注

ダブルバッファがイネーブルの間は、ウィンドウの座標を変更しないようにしてください。

表9.10 ウィンドウデータタイプ/バッファの選択

REG[36h]ビット7	REG[36h]ビット6	ユースケース
0	0	シングルバッファウィンドウ ( 表示のいずれの場所においてもダブルバッファリングがない )
0	1	シングルバッファウィンドウを書き込むのにこれを使用します。同時に以前に定義したダブルバッファウィンドウのティアリングを防止します。
1	0	Reserved
1	1	ダブルバッファのデータを書き込むのにこれを使用します。

bit 6

**ダブルバッファイネーブル**

このビットは、ダブルバッファをイネーブルにします。

このビットが0のとき、ダブルバッファはディセーブルです。

このビットが1のとき、ダブルバッファはイネーブルです。この機能は、表示サイズと色深度によって決まるメモリサイズが、ディスプレイバッファで許されるサイズの1/2以内に納まる場合にのみ利用できます。

イネーブルにすると、この機能はストリーミング入力ソースを対象とし、ディスプレイ更新時の画像ティアリングを防止します。

**注**

このビットはウィンドウを書き込む前に設定してください。ウィンドウ座標は内部でラッチされて、表示サイクル中に表示パイプで使用されます。

**注**

ダブルバッファがイネーブルの間は、ウィンドウの座標を変更しないようにしてください。

**注**

ダブルバッファできるのは1つのウィンドウだけです。他のウィンドウはすべてシングルバッファになります。

**表9.11 ウィンドウデータタイプの選択**

REG[36h]ビット7	REG[36h]ビット6	ユースケース
0	0	シングルバッファウィンドウ（表示のいずれの場所においてもダブルバッファリングがない）
0	1	シングルバッファウィンドウを書き込むのにこれを使用します。同時に以前に定義したダブルバッファウィンドウのティアリングを防止します。
1	0	Reserved
1	1	ダブルバッファのデータを書き込むのにこれを使用します。

## 9. レジスタ

bits 1-0

ウィンドウピクセルサイズ変更ビット[1:0]

表9.12 ウィンドウピクセルサイズの変更

REG[36h]ビット1~0	結果
00	サイズ変更なし
01	ピクセルダブリング
10	ピクセルハーヴィング
11	Reserved

**注**

これらのビットはウィンドウを書き込む前に設定してください。ウィンドウ座標は内部でラッチされて、表示サイクル中に表示パイプで使用されます。

**注**

ピクセルダブリングできるのは1つのアクティブウィンドウだけです。ピクセルダブリングの設計では、水平方向と垂直方向線形補間によりスムーズな2倍化を実現しています。

**注**

サイズ変更は、左上コーナーを基準に行われます。

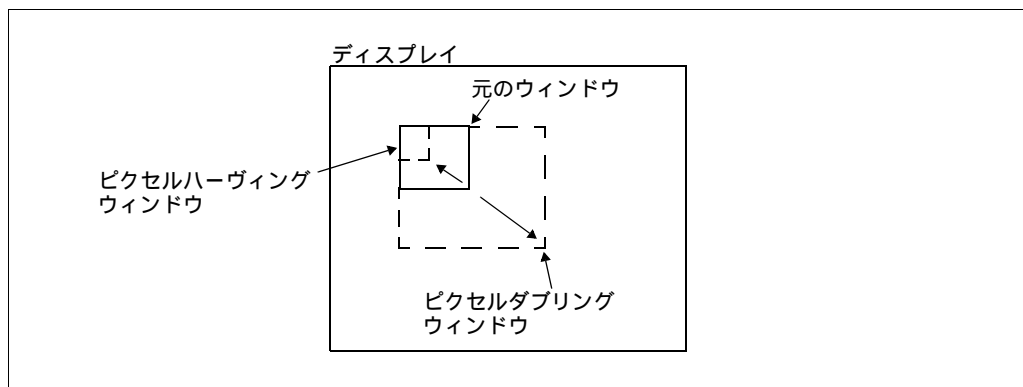


図9.1 サイズ変更例

**注**

現在のピクセルダブリングウィンドウのピクセルダブリングを停止するには、以下のいずれかを実行します。

1. ピクセルダブリングウィンドウの任意の部分に新しいウィンドウを上書きします。
2. 新しいピクセルダブリングウィンドウを書き込みます。

## 9.3.6 ウィンドウの設定

<b>REG[38h] Window X Start Position Register 0</b>							
Default = 00h							
ウィンドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

Read/Write

<b>REG[3Ah] Window X Start Position Register 1</b>							
Default = 00h							
n/a				ウィンドウX開始位置ビット9~8			
7	6	5	4	3	2	1	0

Read/Write

REG[3Ah] bits 1-0

REG[38h] bits 7-0

ウィンドウX開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナーを基準にしてウィンドウのX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

**注**

ピクセルダブリングまたはピクセルハーヴィングがイネーブルのときは、あらかじめサイズを変更した座標を用いてこれらのレジスタをプログラムするようにしてください。

<b>REG[3Ch] Window Y Start Position Register 0</b>							
Default = 00h							
ウィンドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

Read/Write

<b>REG[3Eh] Window Y Start Position Register 1</b>							
Default = 00h							
n/a				ウィンドウY開始位置ビット9~8			
7	6	5	4	3	2	1	0

Read/Write

REG[3Eh] bits 1-0

REG[3Ch] bits 7-0

ウィンドウY開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナーを基準にしてウィンドウのY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

**注**

ピクセルダブリングまたはピクセルハーヴィングがイネーブルのときは、あらかじめサイズを変更した座標を用いてこれらのレジスタをプログラムするようにしてください。

## 9. レジスタ

<b>REG[40h] Window X End Position Register 0</b>							
Default = 00h							Read/Write
ウィンドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

<b>REG[42h] Window X End Position Register 1</b>							
Default = 00h							Read/Write
n/a				ウィンドウX終了位置ビット9~8			
7	6	5	4	3	2	1	0

REG[42h] bits 1-0

REG[40h] bits 7-0

ウィンドウX終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナーを基準にしてウィンドウのX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

### 注

ピクセルダブリングまたはピクセルハーヴィングがイネーブルのときは、あらかじめサイズを変更した座標を用いてこれらのレジスタをプログラムするようにしてください。

<b>REG[44h] Window Y End Position Register 0</b>							
Default = 00h							Read/Write
ウィンドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

<b>REG[46h] Window Y End Position Register 1</b>							
Default = 00h							Read/Write
n/a				ウィンドウY終了位置ビット9~8			
7	6	5	4	3	2	1	0

REG[46h] bits 1-0

REG[44h] bits 7-0

ウィンドウY終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナーを基準にしてウィンドウのY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

### 注

ピクセルダブリングまたはピクセルハーヴィングがイネーブルのときは、あらかじめサイズを変更した座標を用いてこれらのレジスタをプログラムするようにしてください。



## 9.3.7 メモリアクセス

<b>REG[48h] Memory Data Port Register 0</b>							
Default = XXh							
Read/Write							
メモリデータポートビット7-0							
7	6	5	4	3	2	1	0

<b>REG[49h] Memory Data Port Register 1</b>							
Default = XXh							
Read/Write							
メモリデータポートビット15-8							
7	6	5	4	3	2	1	0

REG[48h] bits 7-0

メモリデータポートビット[7:0]  
これらはデータワードの最下位ビットを指定します。

REG[49h] bits 7-0

メモリデータポートビット[15:8]  
これらはデータワードの最上位ビットを指定します。

**注**

CNF1 = 0 (8ビットインタフェース) の場合、REG[49h]は使用されません。  
メモリからのデータリードバックはバイトスワップされます(すなわち、12 34 56 78をメモリに書き込んだ場合、データリードバックは34 12 78 56になります)。

**注**

バーストデータの書き込みは、このレジスタを通じてサポートされます。レジスタのオートインクリメントは、このアドレスに到達すると自動的にディセーブルにされます。このレジスタに書き込むと、必ず内蔵メモリのアドレスだけがオートインクリメントされます。

**注**

ウィンドウデータを書き込む前にパネル寸法レジスタを設定しておく必要があります。

**注**

定義したウィンドウに最後のピクセルを書くと、このレジスタは自動的にウィンドウの最初のピクセルを指します。このためポインタの再初期化は必要ありません。

## 9. レジスタ

<b>REG[4Ah] Memory Read Address Register 0</b>								Read/Write
Default = 00h								
メモリアドレスビット7~0								
7	6	5	4	3	2	1	0	
<b>REG[4Ch] Memory Read Address Register 1</b>								Read/Write
Default = 00h								
メモリアドレスビット15~8								
7	6	5	4	3	2	1	0	
<b>REG[4Eh] Memory Read Address Register 2</b>								Read/Write
Default = 00h								
n/a			メモリアドレスビット19~16					
7	6	5	4	3	2	1	0	

REG[4Eh] bits 3-0

REG[4Ch] bits 7-0

REG[4Ah] bits 7-0

メモリアドレスビット[19:0]

これらのビットは、個々のメモリ位置の読み出しにのみ使用されます。

個々のメモリ位置の書き込みはサポートされていません。

メモリアクセスの完了後、このレジスタはオートインクリメントされます。

メモリを読み出すには、以下の操作を行います。

- このレジスタを指し示すようにレジスタアドレスの書き込みを行います。
- 続いてメモリアドレスをセットアップするための3つのデータを書き込みます。
- Memory Data Port ( REG[48h ~ 49h] ) を読み出します。

### 注

すべての書き込みデータは、Memory Data Portとウィンドウ座標を使用します。

### 注

Intel 80の16ビットインタフェースでは、最下位ビットは使用されません（データはワード境界で取り出されます）。

Intel 80の8ビットインタフェースでは、最下位ビットが使用されます（データはバイト境界で取り出されます）。

## 9.3.8 ガンマ補正レジスタ

## 注

ガンマ補正はルックアップテーブル (LUT) として実装されています。RGB入力データ (入力がYUVの場合、最初にRGBに変換されます) を使用して、プログラムされたテーブルから値を検索します。ガンマLUTはディスプレイの読み出し経路に配置されており、18ビット (各チャンネルの6つの最上位ビット) の出力はLCDインタフェースに入力されます。

## 注

画像異常を引き起こすことになるため、表示期間中は、画像ガンマ補正テーブルにアクセスしないようにしてください。LUTの更新はすべて、非表示期間中に、あるいはLUTがディセーブルで未使用のときに行うようにしてください。

REG[50h] Gamma Correction Enable Register							Read/Write											
Default = 00h																		
n/a			7		6		5		4		3		2		1		0	
												ルックアップテーブルアクセスモード ビット1-0		ガンマ補正 イネーブル				

bits 2-1

ルックアップテーブルアクセスモードビット[1:0]

表9.13 ルックアップテーブルアクセスモード

REG[50h]ビット2~1	説明
00	赤色、緑色、および青色のすべてのテーブルに書き込みが行われます。赤色テーブルに対する読み出しが行われます。
01	赤色テーブルに対する読み出しと書き込みが行われます。
10	緑色テーブルに対する読み出しと書き込みが行われます。
11	青色テーブルに対する読み出しと書き込みが行われます。

bit 0

## ガンマ補正イネーブル

このビットが0のとき、ガンマ補正はディセーブルで、入力データはガンマ補正ルックアップテーブルをバイパスします。この場合、16bppとして格納されたデータは、赤色と青色の最上位ビットをコピーして新しい最下位ビットを作成することで自動的に18bppに変換されます。これはディスプレイの読み出し時に実行されるので、追加のメモリを必要としません。

このビットが1のとき、ガンマ補正はイネーブルで、入力データはガンマ補正ルックアップテーブルを通過します。

## 注

画像異常を引き起こすことになるため、表示期間中は、画像ガンマ補正テーブルにアクセスしないようにしてください。LUTの更新はすべて、非表示期間中に、あるいはLUTがディセーブルで未使用のときに行うようにしてください。

## 9. レジスタ

REG[52h] Gamma Correction Table Index Register							
Default = 00h							Read/Write
n/a		ガンマ補正テーブルインデックスビット5-0					
7	6	5	4	3	2	1	0

bits 5-0                      ガンマ補正テーブルインデックスビット[5:0]  
これらのビットは、次のリード/ライトを開始するときの、ガンマ補正ルックアップテーブルのインデックスを指定します。

REG[54h] Gamma Correction Table Data Register							
Default = XXh							Read/Write
ガンマ補正テーブルデータビット7-0							
7	6	5	4	3	2	1	0

bits 7-0                      ガンマ補正テーブルデータビット[7:0]  
Gamma Correction Table Dataレジスタに書き込むと、内部テーブルへのインデックスがオートインクリメントされます。テーブルの更新を継続して行うため、Gamma Correction Table Indexレジスタに1度だけ書き込む必要があります。Gamma Correction Table Dataレジスタに書き込むたびにインデックスは1つずつインクリメントされます。

**注**  
ビット7およびビット6はLUTに対してプログラムされていますが、LUTからの最終出力ではこれらのビットは無視されます。

**注**  
オートインクリメント書き込みを使用して、各LUTの64か所のすべての位置が書き込まれます。5:6:5の場合、赤色と青色のLUTの最初の32の位置が使用されます。

## 9.3.9 その他のレジスタ

REG[56h] Power Save Register							Read/Write	
Default = 00h								
PWRSVE入力端子機能	n/a					スリープモード イネーブル/ ディセーブル	スタンバイモード イネーブル/ ディセーブル	
7	6	5	4	3	2	1	0	

bit 7 PWRSVE入力端子機能  
このビットが0のとき、PWRSVE端子はビット1と論理和演算されます（いずれかを1に設定することでスリープモードがイネーブルになります）。  
このビットが1のとき、PWRSVE端子はビット0と論理和演算されます（いずれかを1に設定することでスタンバイモードがイネーブルになります）。

bit 1 スリープモードイネーブル/ディセーブル  
このビットが0のとき、スリープモードはディセーブルです（通常動作）。  
このビットが1のとき、スリープモードはイネーブルです。

スリープモードはPLLを含むすべての内部ブロックをディセーブルにします。スリープモードがディセーブルのとき（Low）、メモリアクセスを試行できるようになるまでPLLは約10msecのロック時間を必要とします。PLLが安定すると、PLLロックビットのREG[04]ビット7を読み出して確認することができます。

bit 0 スタンバイモードイネーブル/ディセーブル  
このビットが0のとき、スタンバイモードはディセーブルです（通常動作）。  
このビットが1のとき、スタンバイモードはイネーブルです。

スタンバイモードは、PLLを除くすべての内部ブロックをディセーブルにします。このモードを使用すると、スタンバイがディセーブルのとき、即座にチップにアクセスすることができます。

**注**

PWRSVE入力端子を使用すると、スタンバイモードをイネーブル/ディセーブルにすることもできます。

REG[58h] Non-Display Period Control / Status Register							Read/Write	
Default = 00h								
垂直非表示期間 ステータス (RO)	水平非表示期間 ステータス (RO)	VSとHSの論理和 ステータス (RO)	YYCの最後の ライン	n/a	TE出力端子 イネーブル	TE出力端子機能選択ビット1~0		
7	6	5	4	3	2	1	0	

bit 7 垂直非表示期間ステータス  
これは読み出し専用のステータスビットです。  
このビットが0のとき、LCDパネル出力は垂直非表示期間にあります。  
このビットが1のとき、LCDパネル出力は垂直表示期間にあります。

**注**

VNDPは、あるフレームの最後のラインの最後のピクセルと次のフレームの最初のラインの最初のピクセルとの間の時間と定義されます。

## 9. レジスタ

- bit 6 水平非表示期間ステータス  
これは読み出し専用のステータスビットです。  
このビットが0のとき、LCDパネル出力は水平非表示期間にあります。  
このビットが1のとき、LCDパネル出力は水平表示期間にあります。
- 注**  
HNDPは、ライン $n$ の最後のピクセルとライン $n+1$ の最初のピクセルとの間の時間と定義されます。
- bit 5 VSとHSの論理和ステータス  
このビットは読み出し専用のステータスビットです。  
このビットが0のとき、LCDパネル出力は、水平非表示期間または垂直非表示期間にあります。  
このビットが1のとき、LCDパネル出力は表示期間にあります。
- bit 4 YYCの最後のライン  
入力データタイプがYUV 4:2:0の場合、Intel 80インタフェースが現在のウィンドウの最後のピクセルを書き込んだ後、このビットはMClkの5クロックだけHighになります。  
このビットはYYCがアイドル状態になるとLowになります。この時点で新しいウィンドウを書き込むことができます。  
異なる寸法やフォーマットで連続するウィンドウの書き込みを行うとき、最初のウィンドウがYUV 4:2:0のときは、2番目のウィンドウを書き始める前にこのビットがLowであることを確認してください。
- 注**  
このビットが設定されるまで、フレームの最後のバイト/ワードのWE#の立ち上がりエッジから最大5SYSCLKかかります。
- bit 2 TE出力端子イネーブル  
このビットが0のとき、TE出力端子はディセーブルです。  
このビットが1のとき、TE出力端子はイネーブルです。
- bits 1-0 TE出力端子機能選択ビット[1:0]

表9.14 TE出力端子機能選択

REG[58h]ビット1~0	TE出力端子機能
00	Reserved
01	水平非表示期間
10	垂直非表示期間
11	HSとVSの論理和

## 9.3.10 汎用IO端子レジスタ

REG[5Ah] General Purpose IO Pins Configuration Register 0							Read/Write
Default = 00h							
GPIO7構成	GPIO6構成	GPIO5構成	GPIO4構成	GPIO3構成	GPIO2構成	GPIO1構成	GPIO0構成
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]構成

このビットが0のとき（通常動作）、対応するGPIOは入力端子として構成されま  
す。

このビットが1のとき、対応するGPIOは出力端子として構成されます。

**注**

入力または出力として構成されているとき、対応するGPIOは、選択可能な割  
り込みトリガ条件（REG[5E]と[60]を参照）に基づいて割り込み（GPIO\_INT）  
が生成されるよう構成することもできます。

REG[5Ch] General Purpose IO Pins Status/Control Register 0							Read/Write
Default = 00h							
GPIO7ステータス	GPIO6ステータス	GPIO5ステータス	GPIO4ステータス	GPIO3ステータス	GPIO2ステータス	GPIO1ステータス	GPIO0ステータス
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]ステータス

対応するGPIOが出力として構成されているとき、このビットに1を書き込むと  
出力はHighになり、0を書き込むとLowになります。

対応するGPIOが入力として構成されているとき、このビットを読み出すと、そ  
のままの値を返します。

**注**

出力として構成されているときでも、GPIO\_INT端子はこのレジスタに適切な  
値を書き込むことで切り替えることができます（REG[5E]、[60]によってイネー  
ブルにされている場合）。

REG[5Eh] GPIO Positive Edge Interrupt Trigger Register							Read/Write
Default = 00h							
GPIO7ポジティブ エッジ割り込みトリ ガ	GPIO6ポジティブ エッジ割り込みトリ ガ	GPIO5ポジティブ エッジ割り込みトリ ガ	GPIO4ポジティブ エッジ割り込みトリ ガ	GPIO3ポジティブ エッジ割り込みトリ ガ	GPIO2ポジティブ エッジ割り込みトリ ガ	GPIO1ポジティブ エッジ割り込みトリ ガ	GPIO0ポジティブ エッジ割り込みトリ ガ
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]ポジティブエッジ割り込みトリガ

これらのビットを1に設定すると、対応する割り込みがイネーブルにされます。  
このビットは、対応するGPIO割り込みがポジティブエッジでトリガされるかど  
うか（GPIO<sub>x</sub>端子が0から1に変わるとき）を決定します。

このビットが0のとき、対応するGPIO割り込み（GPIO\_INT）はディセーブルで  
す。

このビットが1のとき、対応するGPIO割り込み（GPIO\_INT）はポジティブエッ  
ジでトリガされます。

トリガされると、GPIO\_INT端子は0から1に切り替わります。GPIO\_INT端子は、  
対応するGPIO割り込みステータスビット（REG[62]）をクリアすることでクリ  
アされます（非アクティブ状態（0））。

## 9. レジスタ

REG[60h] GPIO Negative Edge Interrupt Trigger Register							Read/Write
Default = 00h							
GPIO7ネガティブ エッジ割り込みトリ ガ	GPIO6ネガティブ エッジ割り込みトリ ガ	GPIO5ネガティブ エッジ割り込みトリ ガ	GPIO4ネガティブ エッジ割り込みトリ ガ	GPIO3ネガティブ エッジ割り込みトリ ガ	GPIO2ネガティブ エッジ割り込みトリ ガ	GPIO1ネガティブ エッジ割り込みトリ ガ	GPIO0ネガティブ エッジ割り込みトリ ガ
7	6	5	4	3	2	1	0

bits 7-0

### GPIO[7:0]ネガティブエッジ割り込みトリガ

これらのビットを1に設定すると、対応する割り込みがイネーブルにされます。このビットは、対応するGPIO割り込みがネガティブエッジでトリガされるどうか（GPIO<sub>x</sub>端子が1から0に変わるとき）を決定します。

このビットが0のとき、対応するGPIO<sub>x</sub>割り込み（GPIO\_INT）はディセーブルです。

このビットが1のとき、対応するGPIO<sub>x</sub>割り込み（GPIO\_INT）はネガティブエッジでトリガされます。

トリガされると、GPIO\_INT端子は0から1に切り替わります。GPIO\_INT端子は、対応するGPIO割り込みステータスビット（REG[62]）をクリアすることでクリアされず（非アクティブ状態（0））。

REG[62h] GPIO Interrupt Status Register							Read/Write
Default = 00h							
GPIO7割り込み ステータス	GPIO6割り込み ステータス	GPIO5割り込み ステータス	GPIO4割り込み ステータス	GPIO3割り込み ステータス	GPIO2割り込み ステータス	GPIO1割り込み ステータス	GPIO0割り込み ステータス
7	6	5	4	3	2	1	0

bits 7-0

### GPIO[7:0]割り込みステータス

割り込み（GPIO\_INT）を生成するように構成されている場合、このステータスビットは、割り込みを生成したGPIOを示します。このステータスビットをクリアするには、このビットに2回書き込みを行う必要があります。最初は1を、2回目は0を書き込みます。

### 注

ステータスをクリアすると、GPIO\_INT端子も切り替わって0に戻ります。ただし、元の割り込み条件がまだGPIO入力端子に存在する場合、即座にGPIO\_INTが再びセットされます。

REG[64h] GPIO Pull Down Control Register 0							Read/Write
Default = FFh							
GPIO7プルダウン 制御	GPIO6プルダウン 制御	GPIO5プルダウン 制御	GPIO4プルダウン 制御	GPIO3プルダウン 制御	GPIO2プルダウン 制御	GPIO1プルダウン 制御	GPIO0プルダウン 制御
7	6	5	4	3	2	1	0

bits 7-0

### GPIO[7:0]プルダウン制御

すべてのGPIO端子は内部プルダウン抵抗を備えています。これらのビットは、プルダウン抵抗の状態を個別に制御します。

このビットが0のとき、対応するGPIO端子のプルダウン抵抗はインアクティブです。

このビットが1のとき、対応するGPIO端子のプルダウン抵抗はアクティブです。



---

## 10. フレームレートの計算

次式を使用してディスプレイのフレームレートを計算します。

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HT}) \times (\text{VT})}$$

ここで、

$f_{\text{PCLK}}$  = PCLK周波数 (Hz)

HT = 水平トータル期間  
= 水平表示期間 + 水平非表示期間

VT = 垂直トータル期間  
= 垂直表示期間 + 垂直非表示期間

### 注

パネルタイミングパラメータの定義については、28ページの7.4「LCDインタフェース」を参照してください。

## 11. Intel 80 の 8 ビットインタフェースのカラーフォーマット

### 11. Intel 80の8ビットインタフェースのカラーフォーマット

#### 11.1 16bppモード (RGB 5:6:5) 65,536色

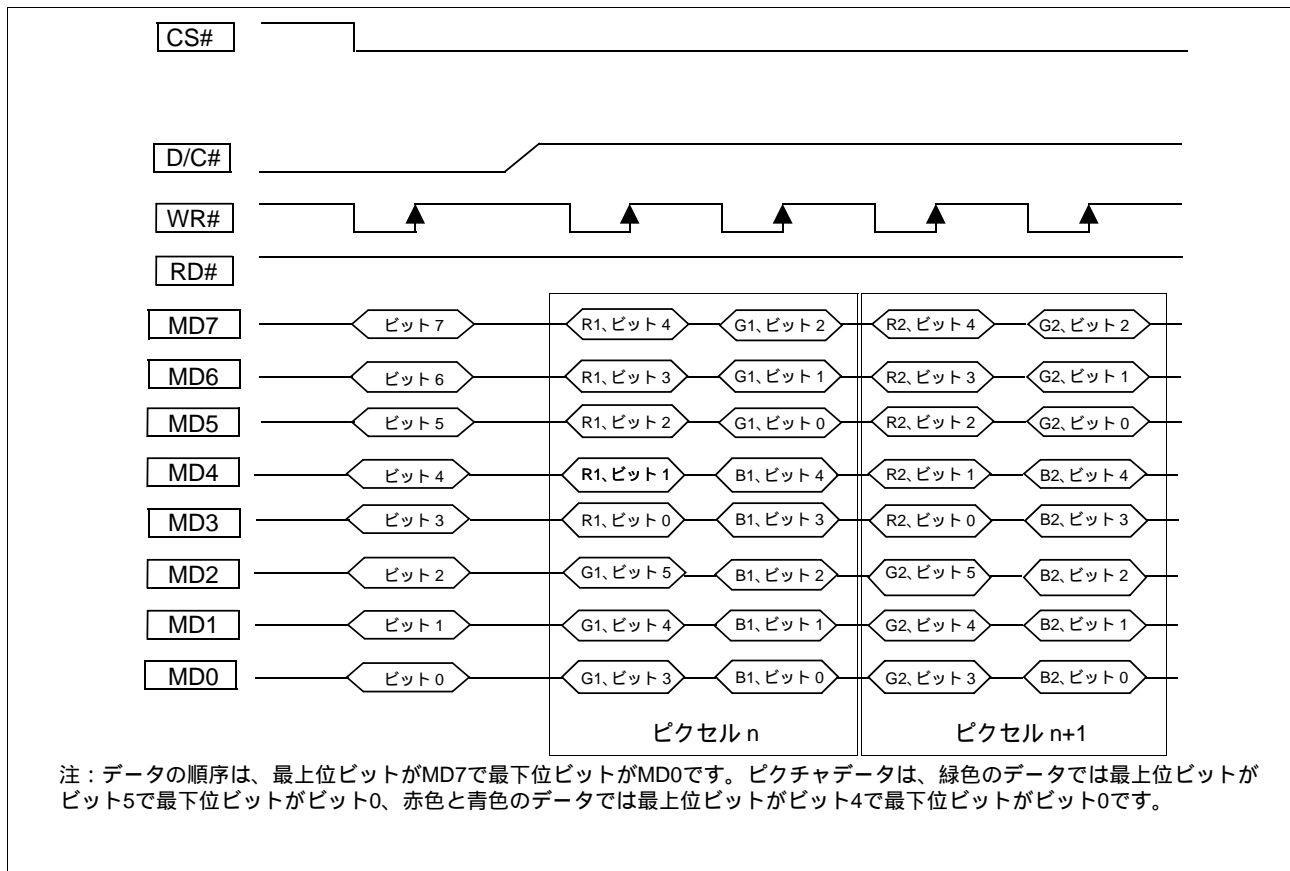


図11.1 16bppモード (RGB 5:6:5) 65,536色

# 11. Intel 80 の 8 ビットインタフェースのカラーフォーマット

## 11.2 18bpp (RGB 6:6:6) 262,144色

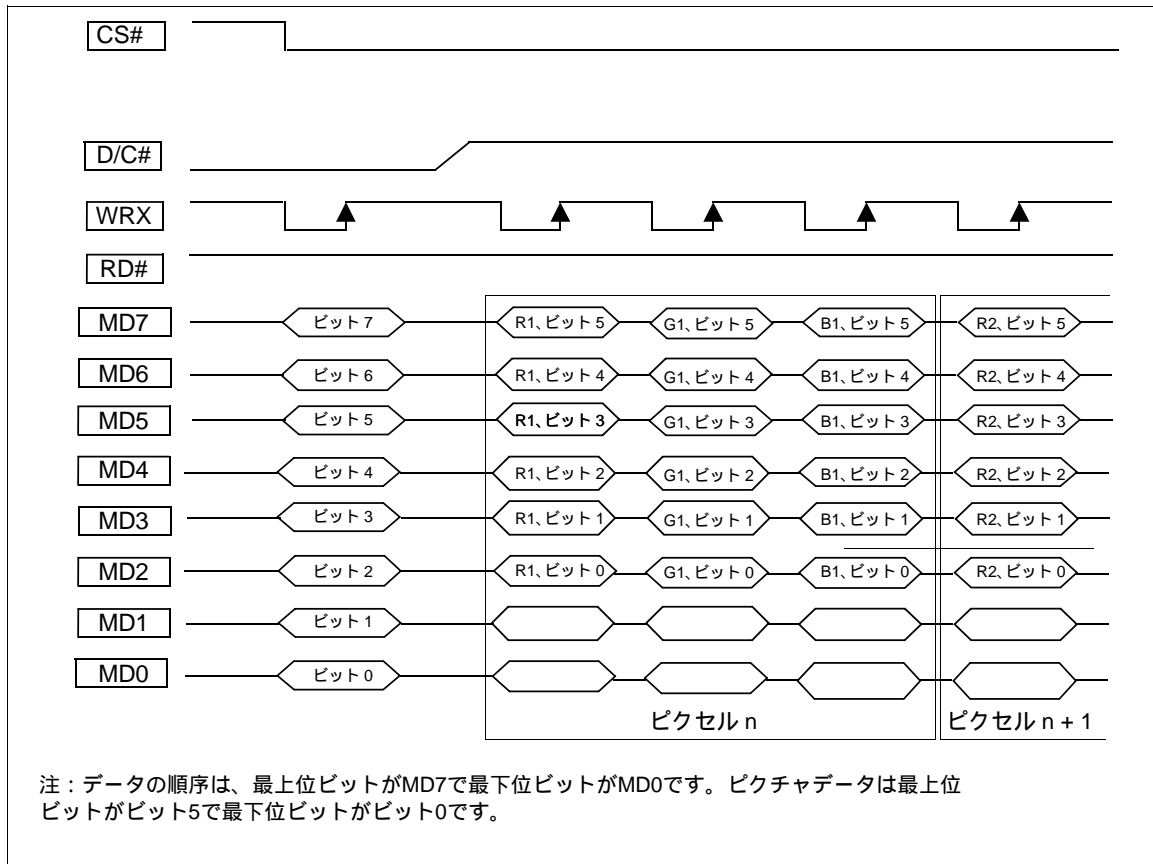


図11.2 18bpp (RGB 6:6:6) 262,144色

## 11. Intel 80 の 8 ビットインタフェースのカラーフォーマット

### 11.3 24bpp (RGB 8:8:8) 16,777,216色

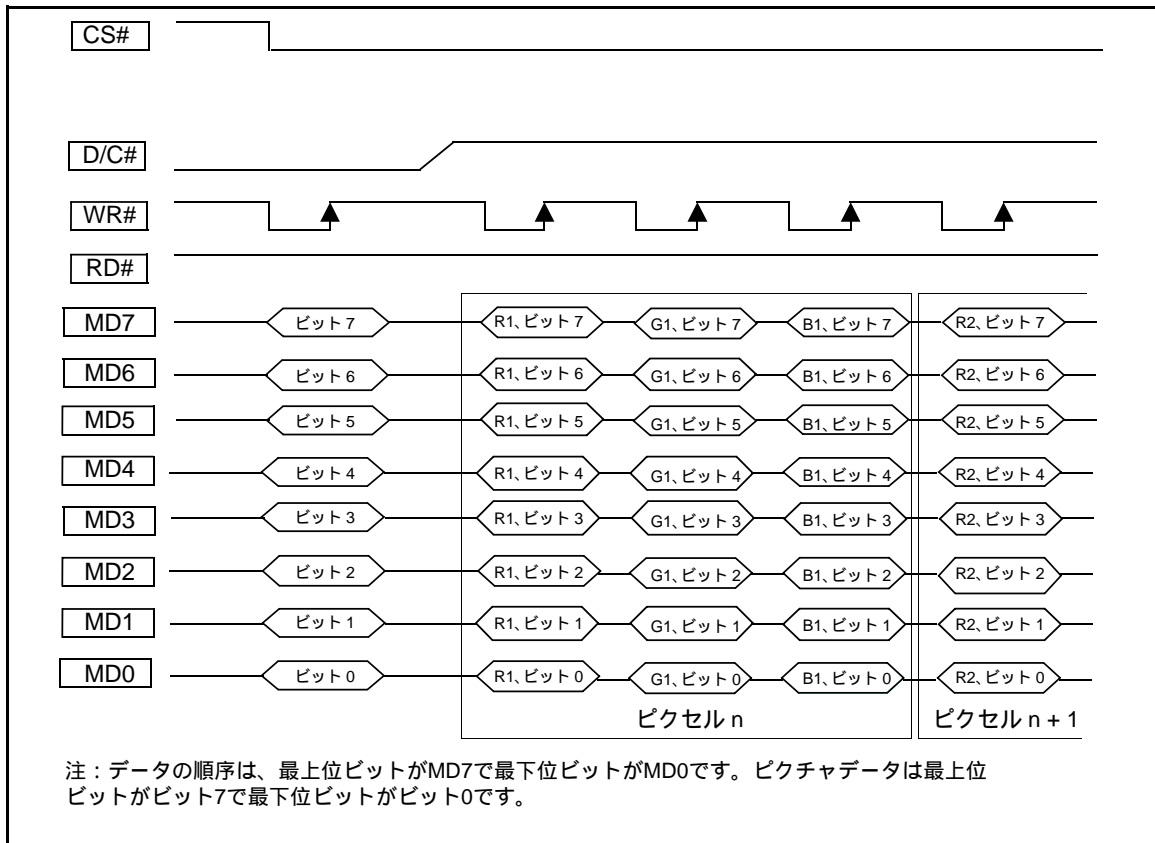


図11.3 24bpp (RGB 8:8:8) 16,777,216色

## 12. Intel 80の16ビットインタフェースのカラーフォーマット

### 12.1 16bpp ( RGB 5:6:5 ) 65,536色

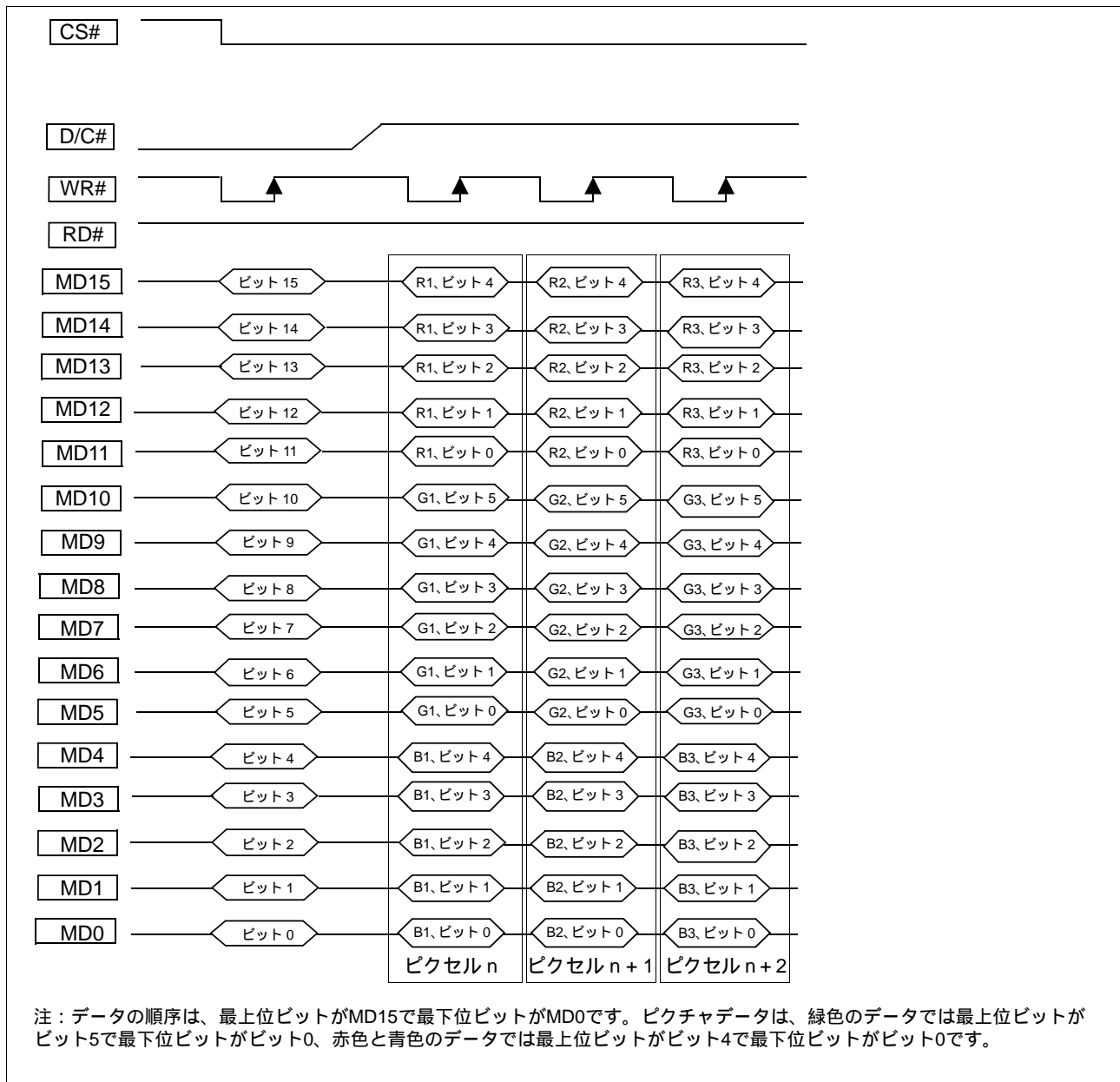


図12.1 16bpp ( RGB 5:6:5 ) 65,536色

## 12. Intel 80 の 16 ビットインタフェースのカラーフォーマット

### 12.2 18bppモード1 (RGB 6:6:6) 262,144色

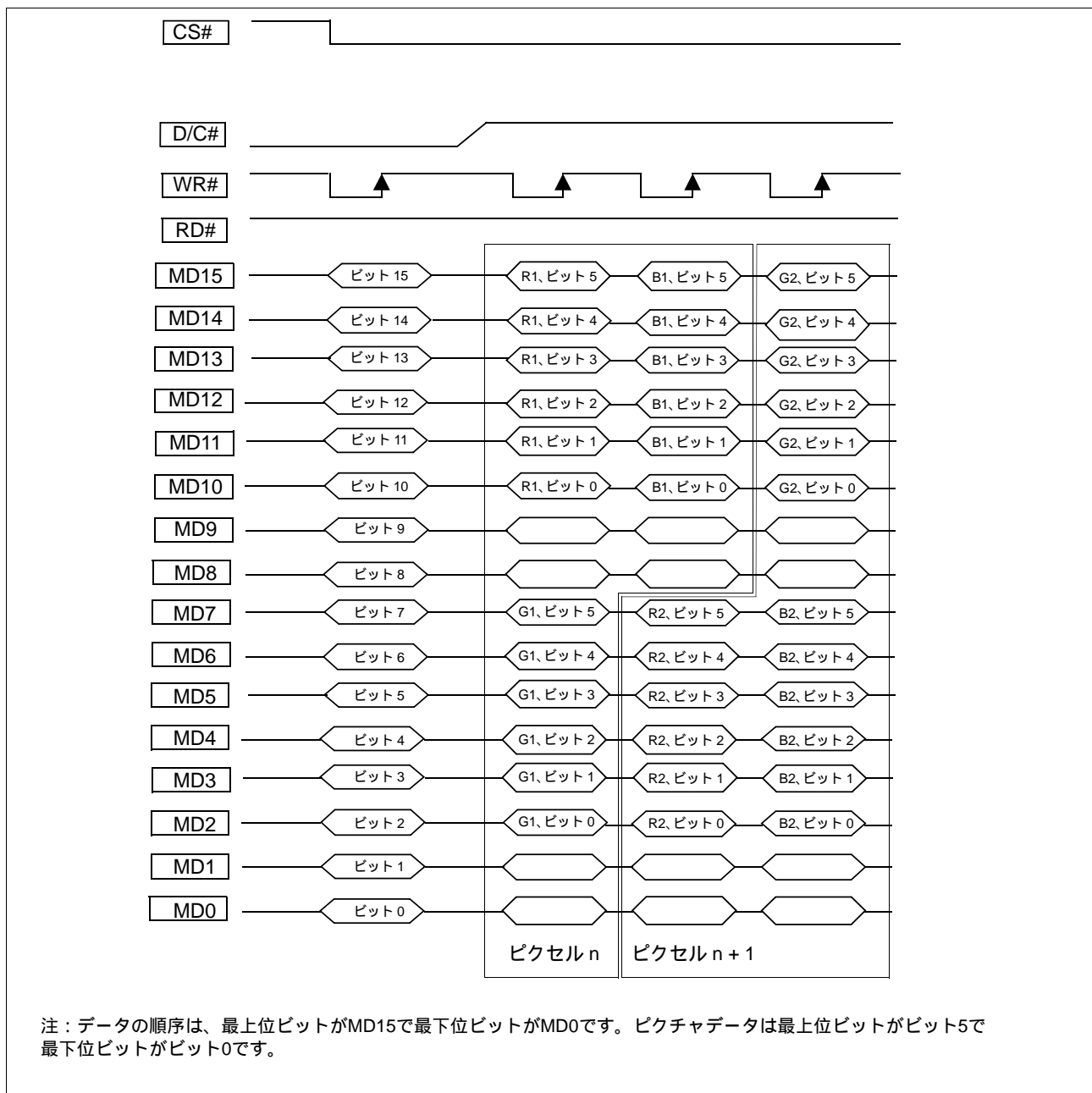


図12.2 18bppモード1 (RGB 6:6:6) 262,144色

## 12. Intel 80 の 16 ビットインタフェースのカラーフォーマット

### 12.3 18bppモード2 (RGB 6:6:6) 262,144色

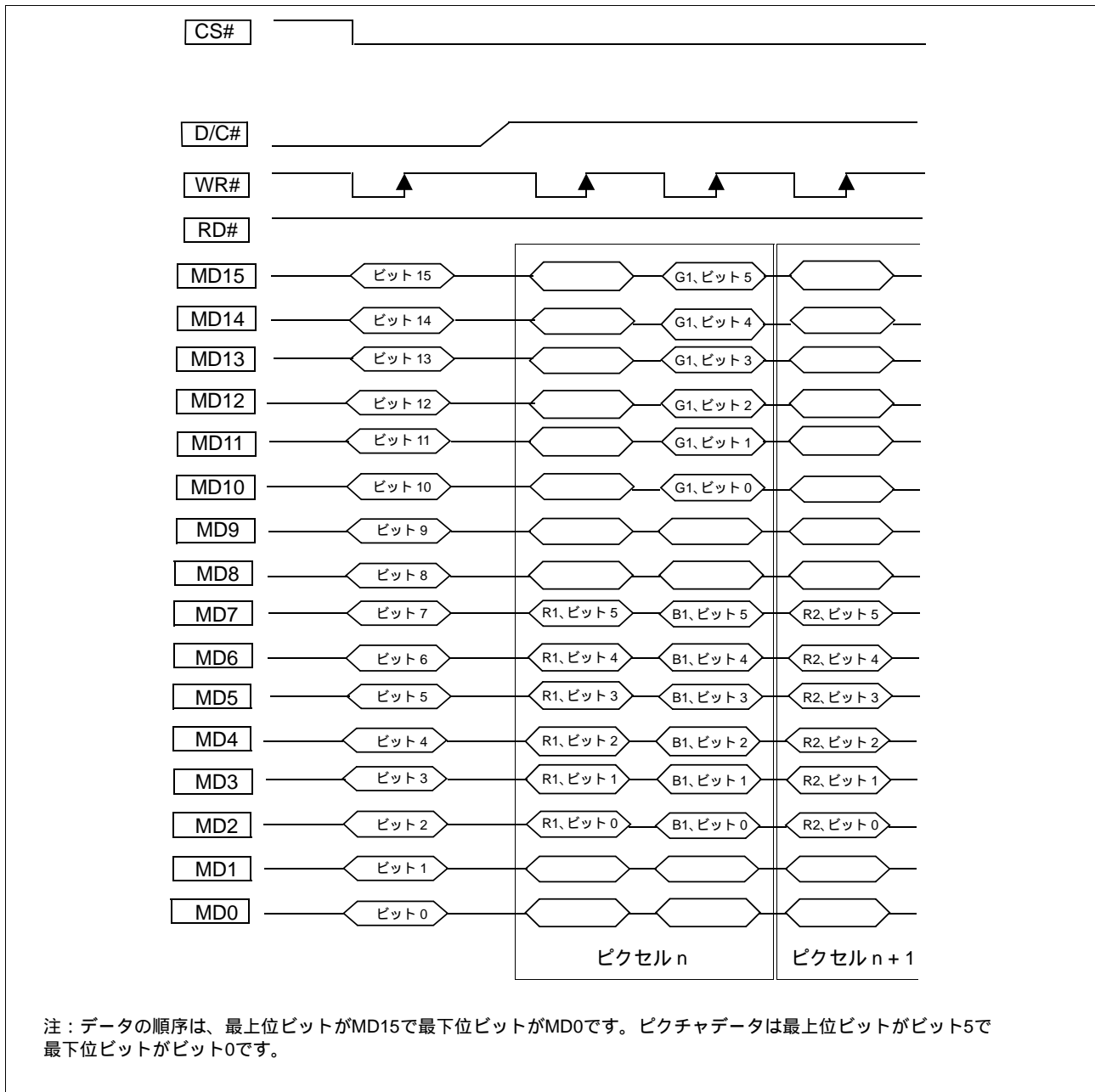


図12.3 18bppモード2 (RGB 6:6:6) 262,144色

## 12. Intel 80 の 16 ビットインタフェースのカラーフォーマット

### 12.4 24bppモード1 (RGB 8:8:8) 16,777,216色

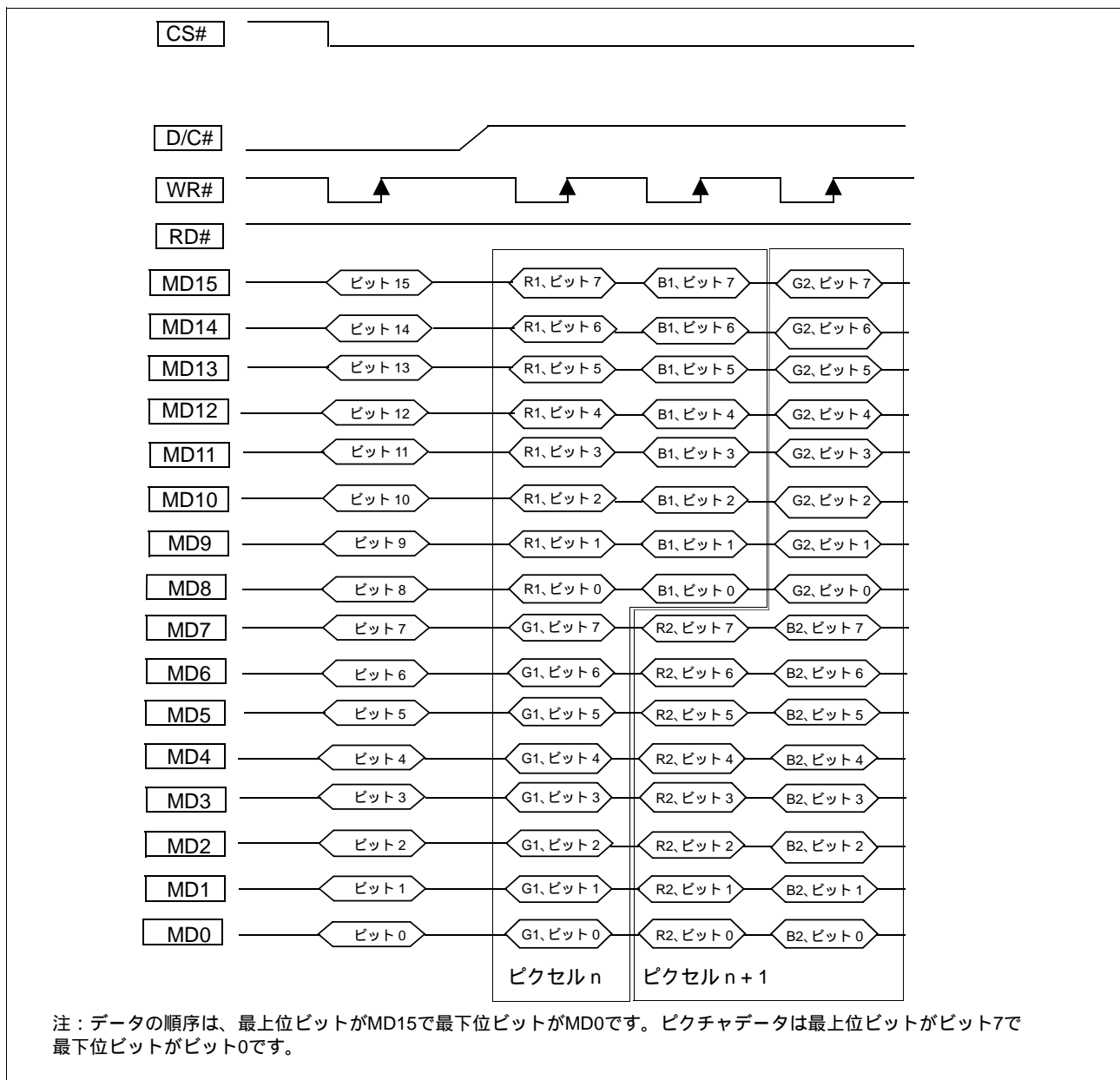


図12.4 24bppモード1 (RGB 8:8:8) 16,777,216色



12.5 24bppモード2 (RGB 8:8:8) 16,777,216色

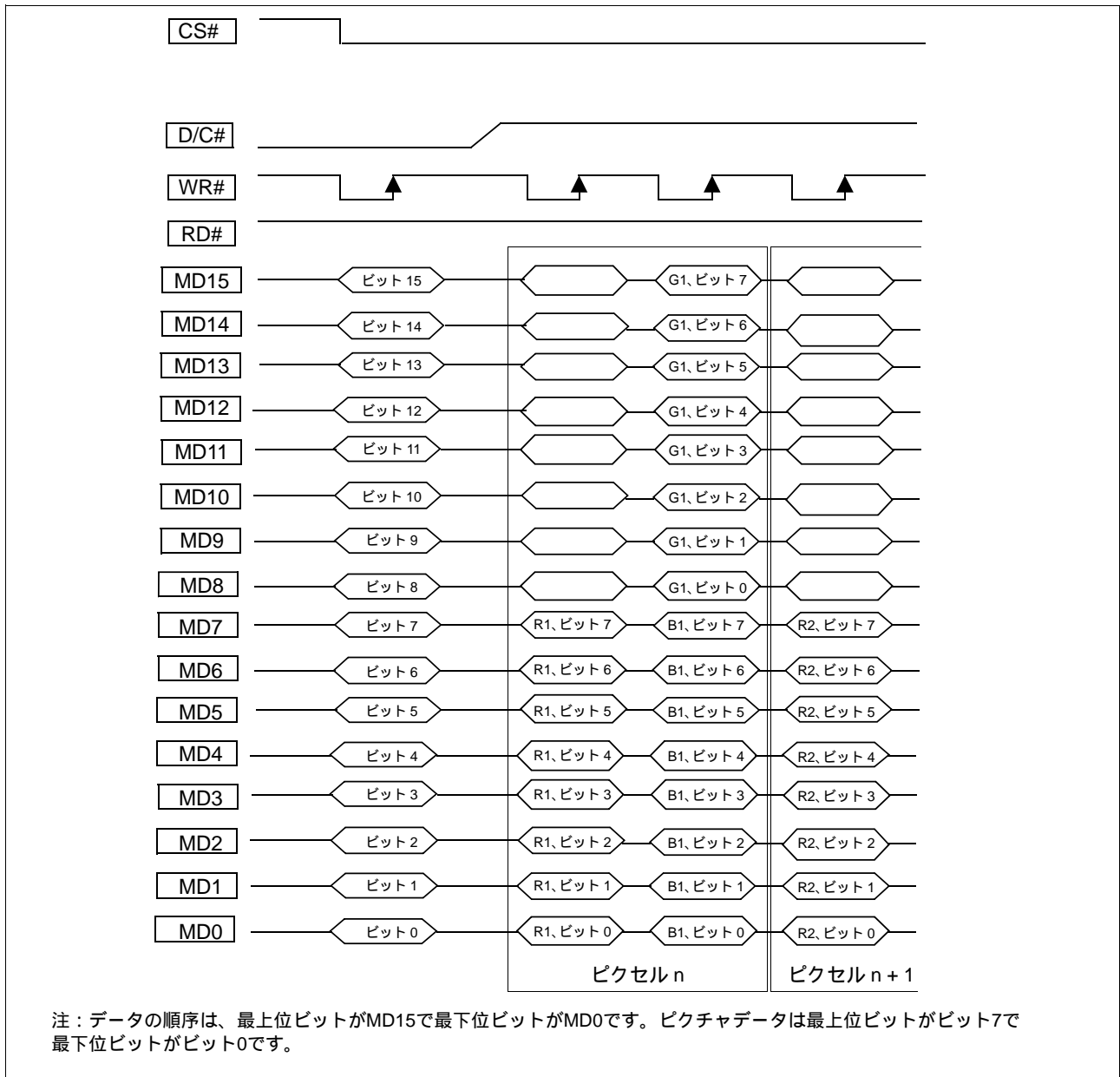


図12.5 24bppモード2 (RGB 8:8:8) 16,777,216色

## 13. YUV タイミング

### 13. YUV タイミング

#### フォーマットの定義

- ラインごとのピクセル数は常に偶数です。
- $Y_C B_C R_C$  色空間は、ITU-R BT601.4で定義されています。
- YUV 4:2:2フォーマット  
 $U_{11} Y_{11} V_{11} Y_{12} U_{13} Y_{13} V_{13} Y_{14} \dots$
- YUV 4:2:0フォーマット  
奇数ライン :  $U Y_{11} Y_{12} \dots$   
偶数ライン :  $V Y_{21} Y_{22} \dots$

#### 注

ウィンドウがYUVデータ用にセットアップされているとき、データは、奇数ラインで始まり、奇数ラインと偶数ラインが交互に入れ替わる必要があります。

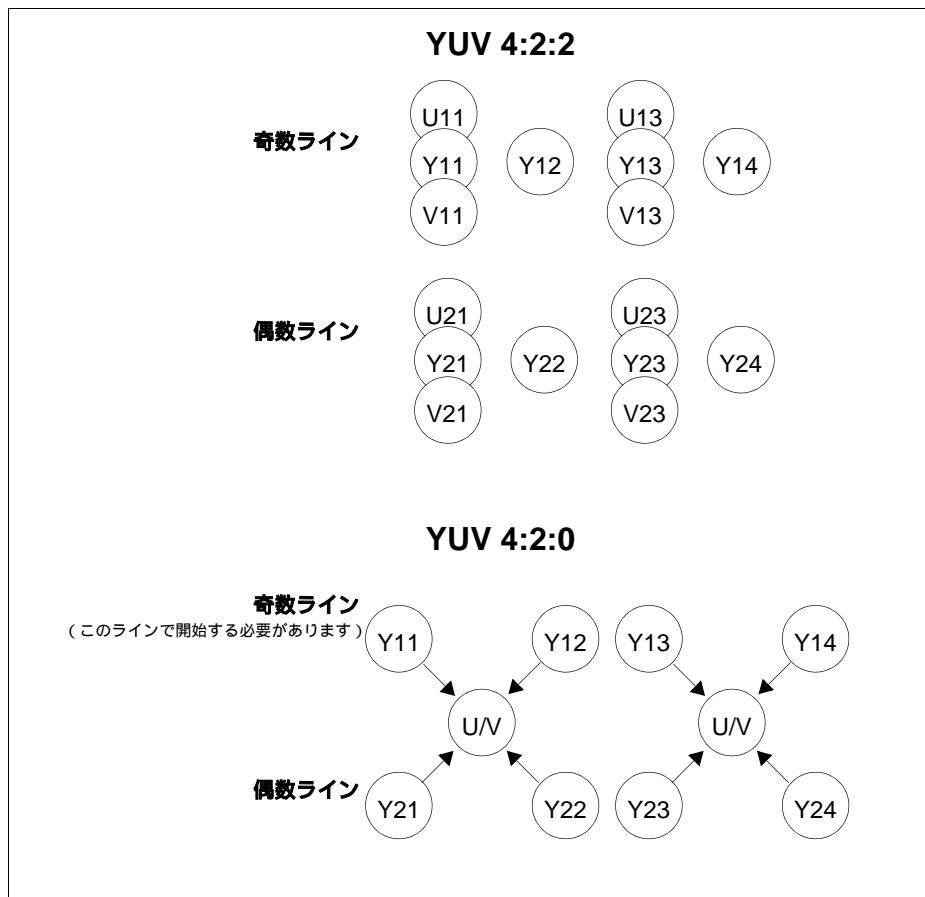


図13.1 YUVフォーマット定義

13.1 Intel 80の8ビットインタフェースでのYUV 4:2:2

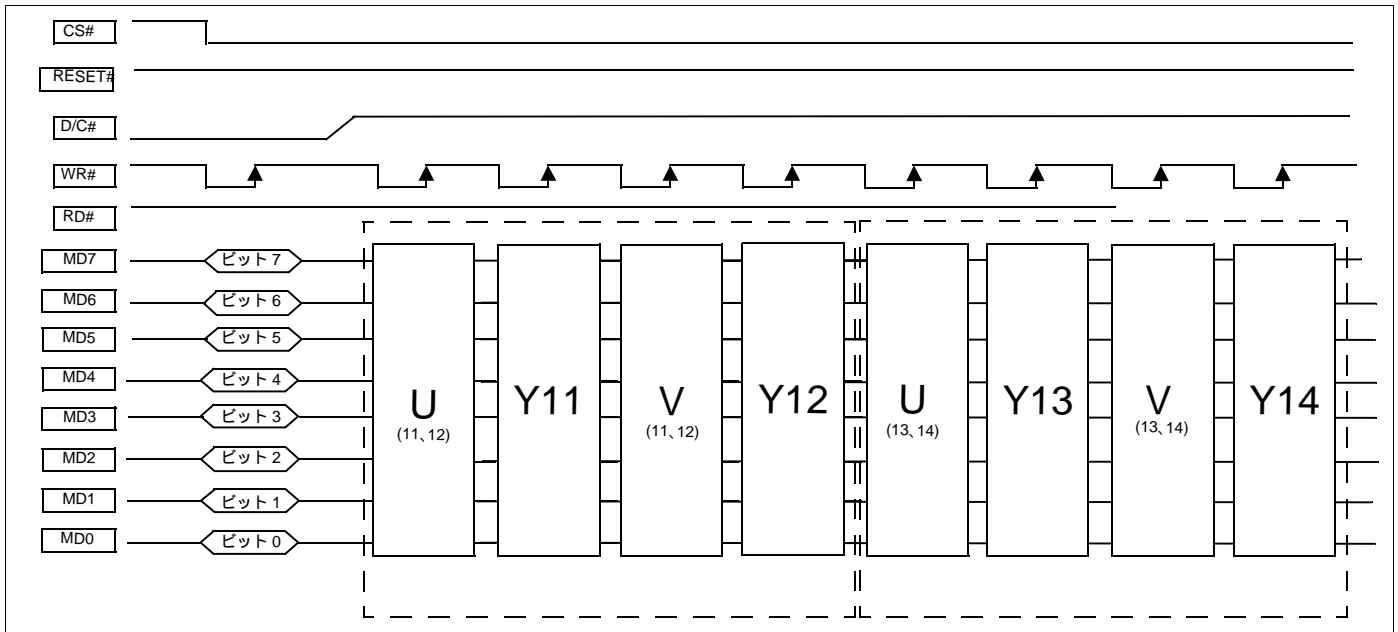


図13.2 Intel 80の8ビットインタフェースでのYUV 4:2:2

13.2 Intel 80の8ビットインタフェースでのYUV 4:2:0奇数ライン

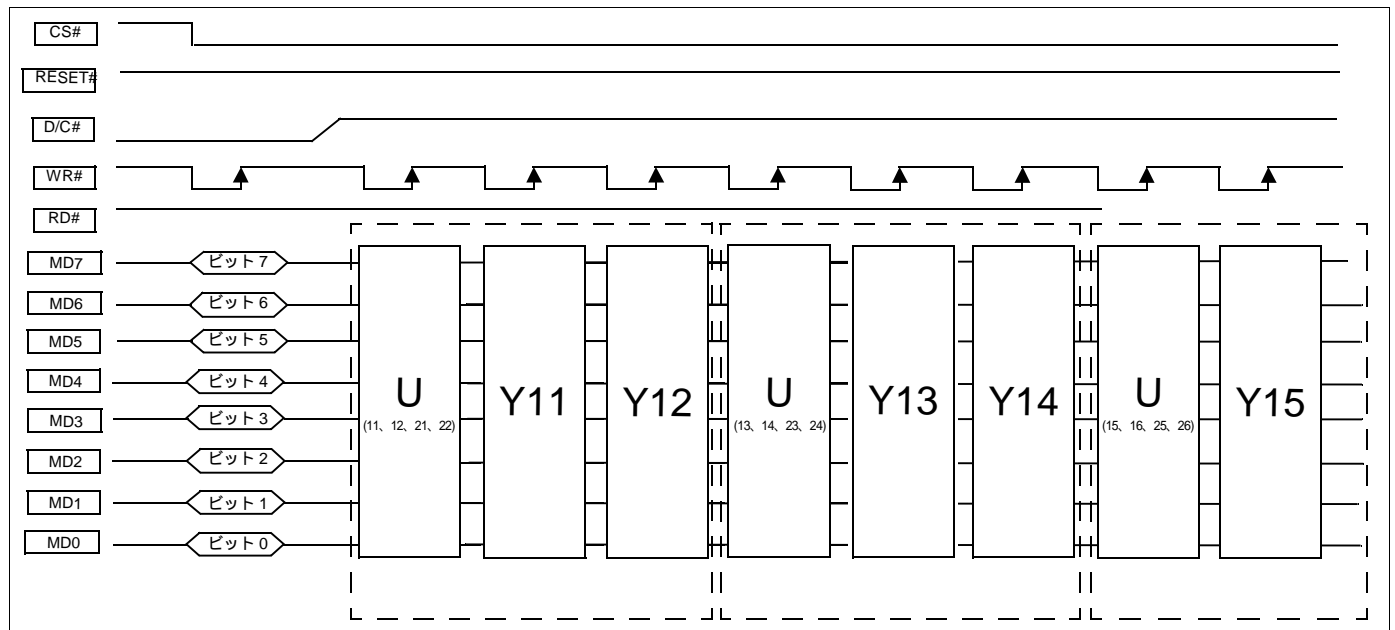


図13.3 Intel 80の8ビットインタフェースでのYUV 4:2:0奇数ライン

## 13. YUV タイミング

### 13.3 Intel 80の8ビットインタフェースでのYUV 4:2:0偶数ライン

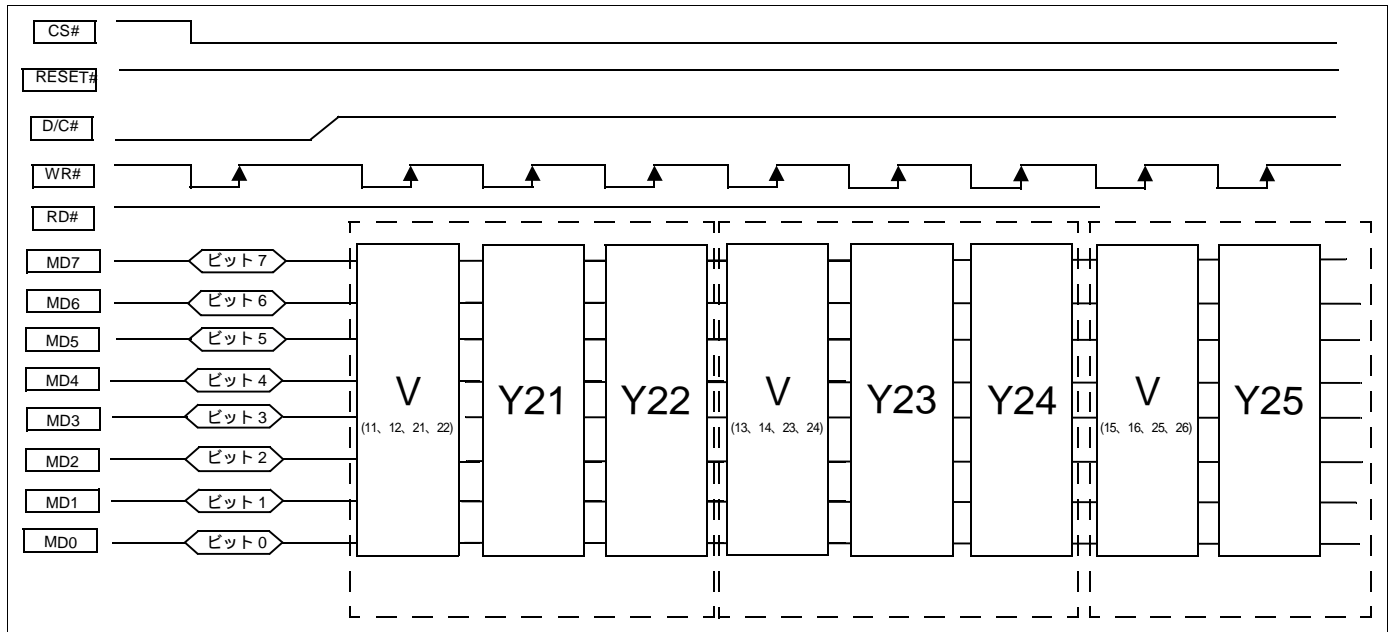


図13.4 Intel 80の8ビットインタフェースでのYUV 4:2:0偶数ライン

13.4 Intel 80の16ビットインタフェースでのYUV 4:2:2

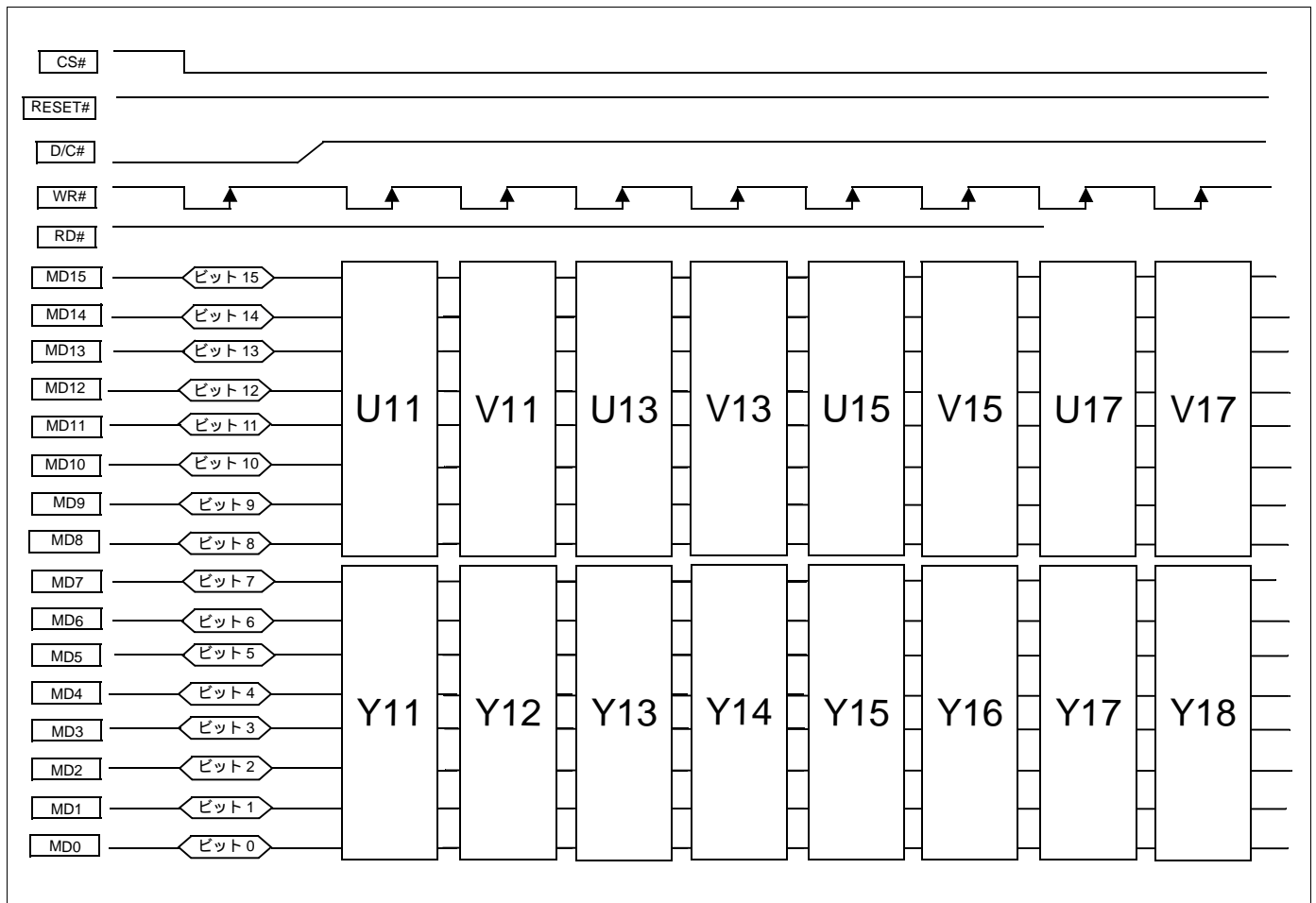


図13.5 Intel 80の16ビットインタフェースでのYUV 4:2:2

## 13. YUV タイミング

### 13.5 Intel 80の16ビットインタフェースでのYUV 4:2:0奇数ライン

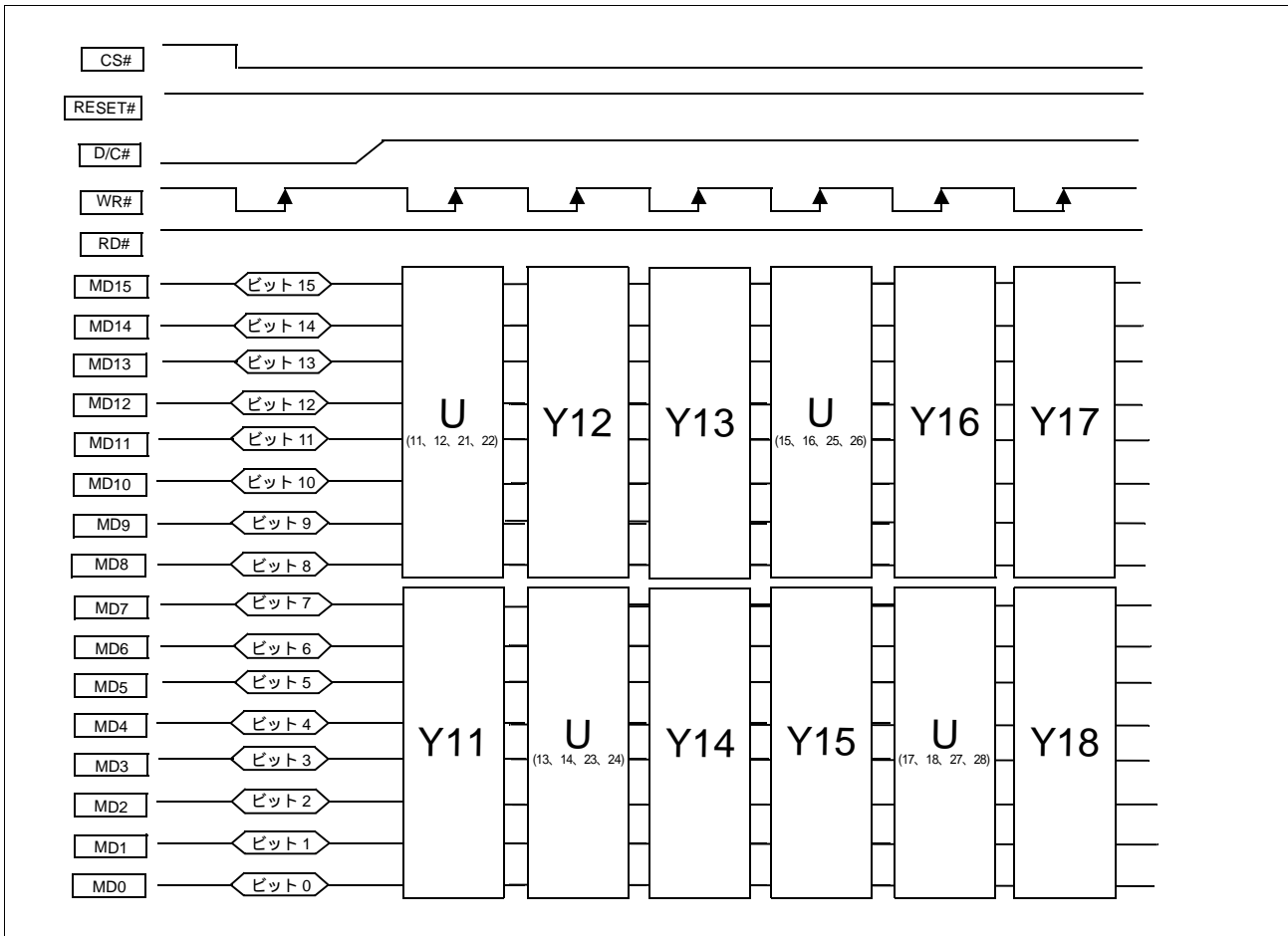


図13.6 Intel 80の16ビットインタフェースでのYUV 4:2:0奇数ライン

13.6 Intel 80の16ビットインタフェースでのYUV 4:2:0偶数ライン

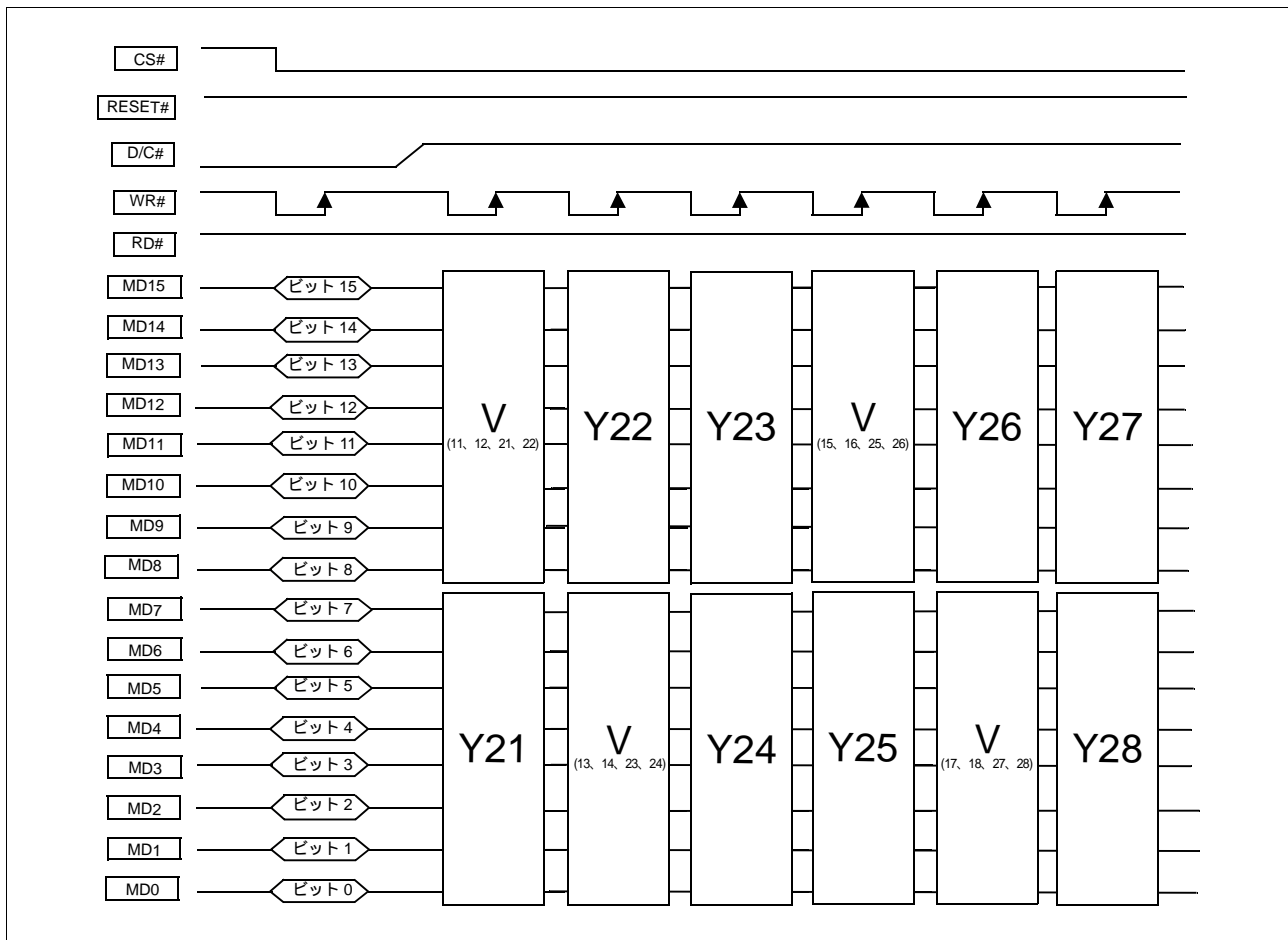


図13.7 Intel 80の16ビットインタフェースでのYUV 4:2:0偶数ライン

## 14. ガンマ補正ルックアップテーブルアーキテクチャ

### 14. ガンマ補正ルックアップテーブルアーキテクチャ

以下の図は、表示データの出力経路を示すことのみを目的としています。

次の図は、ルックアップテーブル (LUT) を使用する18bppのアーキテクチャを示しています。

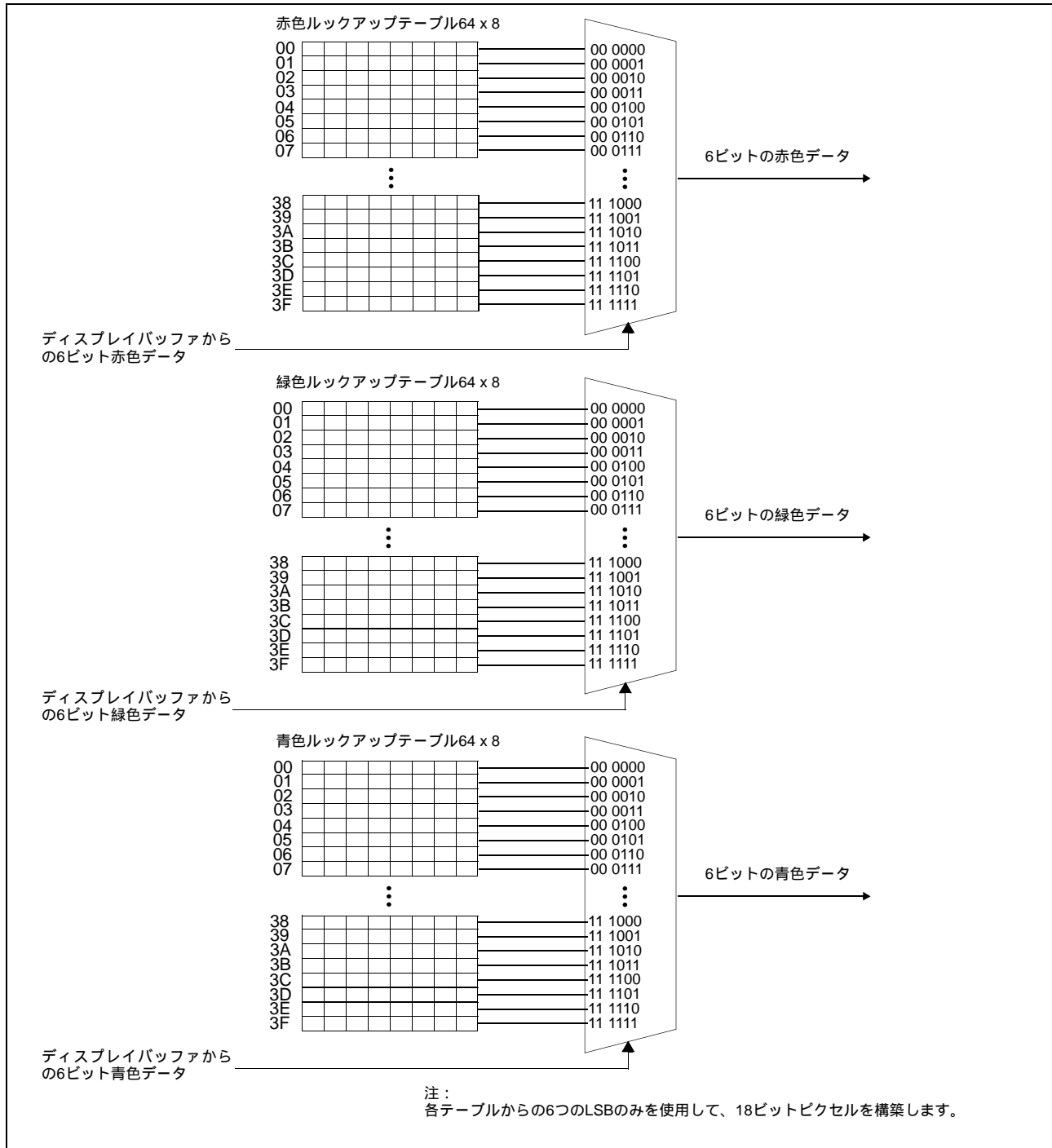


図14.1 ルックアップテーブルアーキテクチャ



### 14.1 ガンマ補正のプログラム例

- アクセス時の画像異常を避けるため、LUT をディセーブルにするか、非表示期間であることを確認します。
- Gamma Correction Enable Registerのレジスタ「アドレス」を書き込みます。
- LUTアクセスモードを設定するためのデータを書き込みます。
- 「x」へのLUTインデックスを設定するためのデータを書き込みます（オートインクリメントがすでにイネーブルにされているため、LUT Indexレジスタのアドレスに書き込む必要はありません）。
- Gamma Correction Dataレジスタにデータを書き込みます（インデックス「x」のデータ値）。
- Gamma Correction Dataレジスタにデータを書き込みます（インデックス「x + 1」のデータ値）。
- すべてが完了するまで続行します（64か所）。5:6:5の場合でも、オートインクリメントを使用するときは、各RGB LUTの64か所すべてをプログラムする必要があります。
- ガンマ補正をイネーブルにします。

## 15. 表示データフォーマット

### 15. 表示データフォーマット

表15.1 36ビットデータフォーマット（スワップなし）

	サイクルカウント				
	1	2	3	...	n
VD35	$R_1^5$	$R_3^5$	$R_5^5$	...	$R_{n+1}^5$
VD34	$R_1^4$	$R_3^4$	$R_5^4$	...	$R_{n+1}^4$
VD33	$R_1^3$	$R_3^3$	$R_5^3$	...	$R_{n+1}^3$
VD32	$R_1^2$	$R_3^2$	$R_5^2$	...	$R_{n+1}^2$
VD31	$R_1^1$	$R_3^1$	$R_5^1$	...	$R_{n+1}^1$
VD30	$R_1^0$	$R_3^0$	$R_5^0$	...	$R_{n+1}^0$
VD29	$G_1^5$	$G_3^5$	$G_5^5$	...	$G_{n+1}^5$
VD28	$G_1^4$	$G_3^4$	$G_5^4$	...	$G_{n+1}^4$
VD27	$G_1^3$	$G_3^3$	$G_5^3$	...	$G_{n+1}^3$
VD26	$G_1^2$	$G_3^2$	$G_5^2$	...	$G_{n+1}^2$
VD25	$G_1^1$	$G_3^1$	$G_5^1$	...	$G_{n+1}^1$
VD24	$G_1^0$	$G_3^0$	$G_5^0$	...	$G_{n+1}^0$
VD23	$B_1^5$	$B_3^5$	$B_5^5$	...	$B_{n+1}^5$
VD22	$B_1^4$	$B_3^4$	$B_5^4$	...	$B_{n+1}^4$
VD21	$B_1^3$	$B_3^3$	$B_5^3$	...	$B_{n+1}^3$
VD20	$B_1^2$	$B_3^2$	$B_5^2$	...	$B_{n+1}^2$
VD19	$B_1^1$	$B_3^1$	$B_5^1$	...	$B_{n+1}^1$
VD18	$B_1^0$	$B_3^0$	$B_5^0$	...	$B_{n+1}^0$
VD17	$R_0^5$	$R_2^5$	$R_4^5$	...	$R_n^5$
VD16	$R_0^4$	$R_2^4$	$R_4^4$	...	$R_n^4$
VD15	$R_0^3$	$R_2^3$	$R_4^3$	...	$R_n^3$
VD14	$R_0^2$	$R_2^2$	$R_4^2$	...	$R_n^2$
VD13	$R_0^1$	$R_2^1$	$R_4^1$	...	$R_n^1$
VD12	$R_0^0$	$R_2^0$	$R_4^0$	...	$R_n^0$
VD11	$G_0^5$	$G_2^5$	$G_4^5$	...	$G_n^5$
VD10	$G_0^4$	$G_2^4$	$G_4^4$	...	$G_n^4$
VD9	$G_0^3$	$G_2^3$	$G_4^3$	...	$G_n^3$
VD8	$G_0^2$	$G_2^2$	$G_4^2$	...	$G_n^2$
VD7	$G_0^1$	$G_2^1$	$G_4^1$	...	$G_n^1$
VD6	$G_0^0$	$G_2^0$	$G_4^0$	...	$G_n^0$
VD5	$B_0^5$	$B_2^5$	$B_4^5$	...	$B_n^5$
VD4	$B_0^4$	$B_2^4$	$B_4^4$	...	$B_n^4$
VD3	$B_0^3$	$B_2^3$	$B_4^3$	...	$B_n^3$
VD2	$B_0^2$	$B_2^2$	$B_4^2$	...	$B_n^2$
VD1	$B_0^1$	$B_2^1$	$B_4^1$	...	$B_n^1$
VD0	$B_0^0$	$B_2^0$	$B_4^0$	...	$B_n^0$

表15.2 36ビットデータフォーマット（スワップあり）

	サイクルカウント				
	1	2	3	...	n
VD35	$B_0^0$	$B_2^0$	$B_4^0$	...	$B_n^0$
VD34	$B_0^1$	$B_2^1$	$B_4^1$	...	$B_n^1$
VD33	$B_0^2$	$B_2^2$	$B_4^2$	...	$B_n^2$
VD32	$B_0^3$	$B_2^3$	$B_4^3$	...	$B_n^3$
VD31	$B_0^4$	$B_2^4$	$B_4^4$	...	$B_n^4$
VD30	$B_0^5$	$B_2^5$	$B_4^5$	...	$B_n^5$
VD29	$G_0^0$	$G_2^0$	$G_4^0$	...	$G_n^0$
VD28	$G_0^1$	$G_2^1$	$G_4^1$	...	$G_n^1$
VD27	$G_0^2$	$G_2^2$	$G_4^2$	...	$G_n^2$
VD26	$G_0^3$	$G_2^3$	$G_4^3$	...	$G_n^3$
VD25	$G_0^4$	$G_2^4$	$G_4^4$	...	$G_n^4$
VD24	$G_0^5$	$G_2^5$	$G_4^5$	...	$G_n^5$
VD23	$R_0^0$	$R_2^0$	$R_4^0$	...	$R_n^0$
VD22	$R_0^1$	$R_2^1$	$R_4^1$	...	$R_n^1$
VD21	$R_0^2$	$R_2^2$	$R_4^2$	...	$R_n^2$
VD20	$R_0^3$	$R_2^3$	$R_4^3$	...	$R_n^3$
VD19	$R_0^4$	$R_2^4$	$R_4^4$	...	$R_n^4$
VD18	$R_0^5$	$R_2^5$	$R_4^5$	...	$R_n^5$
VD17	$B_1^0$	$B_3^0$	$B_5^0$	...	$B_{n+1}^0$
VD16	$B_1^1$	$B_3^1$	$B_5^1$	...	$B_{n+1}^1$
VD15	$B_1^2$	$B_3^2$	$B_5^2$	...	$B_{n+1}^2$
VD14	$B_1^3$	$B_3^3$	$B_5^3$	...	$B_{n+1}^3$
VD13	$B_1^4$	$B_3^4$	$B_5^4$	...	$B_{n+1}^4$
VD12	$B_1^5$	$B_3^5$	$B_5^5$	...	$B_{n+1}^5$
VD11	$G_1^0$	$G_3^0$	$G_5^0$	...	$G_{n+1}^0$
VD10	$G_1^1$	$G_3^1$	$G_5^1$	...	$G_{n+1}^1$
VD9	$G_1^2$	$G_3^2$	$G_5^2$	...	$G_{n+1}^2$
VD8	$G_1^3$	$G_3^3$	$G_5^3$	...	$G_{n+1}^3$
VD7	$G_1^4$	$G_3^4$	$G_5^4$	...	$G_{n+1}^4$
VD6	$G_1^5$	$G_3^5$	$G_5^5$	...	$G_{n+1}^5$
VD5	$R_1^0$	$R_3^0$	$R_5^0$	...	$R_{n+1}^0$
VD4	$R_1^1$	$R_3^1$	$R_5^1$	...	$R_{n+1}^1$
VD3	$R_1^2$	$R_3^2$	$R_5^2$	...	$R_{n+1}^2$
VD2	$R_1^3$	$R_3^3$	$R_5^3$	...	$R_{n+1}^3$
VD1	$R_1^4$	$R_3^4$	$R_5^4$	...	$R_{n+1}^4$
VD0	$R_1^5$	$R_3^5$	$R_5^5$	...	$R_{n+1}^5$

## 15. 表示データフォーマット

表15.3 18ビットデータフォーマット（スワップなし）

	サイクルカウント				
	1	2	3	...	n
VD[35:18]	L固定				
VD17	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
VD16	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD15	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD14	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD13	$R_0^1$	$R_1^1$	$R_2^1$	...	$R_n^1$
VD12	$R_0^0$	$R_1^0$	$R_2^0$	...	$R_n^0$
VD11	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD10	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD9	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD8	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD7	$G_0^1$	$G_1^1$	$G_2^1$	...	$G_n^1$
VD6	$G_0^0$	$G_1^0$	$G_2^0$	...	$G_n^0$
VD5	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD4	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD3	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD2	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
VD1	$B_0^1$	$B_1^1$	$B_2^1$	...	$B_n^1$
VD0	$B_0^0$	$B_1^0$	$B_2^0$	...	$B_n^0$

表15.4 18ビットデータフォーマット（スワップあり）

	サイクルカウント				
	1	2	3	...	n
VD[35:18]	L固定				
VD17	$B_0^0$	$B_1^0$	$B_2^0$	...	$B_n^0$
VD16	$B_0^1$	$B_1^1$	$B_2^1$	...	$B_n^1$
VD15	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
VD14	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD13	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD12	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD11	$G_0^0$	$G_1^0$	$G_2^0$	...	$G_n^0$
VD10	$G_0^1$	$G_1^1$	$G_2^1$	...	$G_n^1$
VD9	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD8	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD7	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD6	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD5	$R_0^0$	$R_1^0$	$R_2^0$	...	$R_n^0$
VD4	$R_0^1$	$R_1^1$	$R_2^1$	...	$R_n^1$
VD3	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD2	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD1	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD0	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$

## 16. SwivelView™

### 16.1 概念

大部分のコンピュータの表示は、ランドスケープ方向、すなわち左から右に、上から下にリフレッシュされます。コンピュータの画像も同じ方法で格納されます。SwivelView™は、LCDの表示画像を反時計回りに90°、180°、または270°回転するように設計されています。回転はハードウェア内で行われ、ユーザーは、ディスプレイバッファの書き込みを意識する必要はありません。回転をハードウェアで処理することによって、SwivelView™は、表示画像のソフトウェア回転よりも優れた性能を提供します。

実際のアドレス変換はホストの書き込み中に行われるため、回転したままでメモリに格納されます。この回転ロジックの設計のおかげで、S1D13742に書き込まれるすべてのウィンドウは、互いに独立して回転することができます。

### 16.2 90° SwivelView™

以下の図は、どのように320 x 480のポートレート画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でS1D13742に書き込まれます。表示は、次のようにB-D-A-Cの方向でリフレッシュされます。

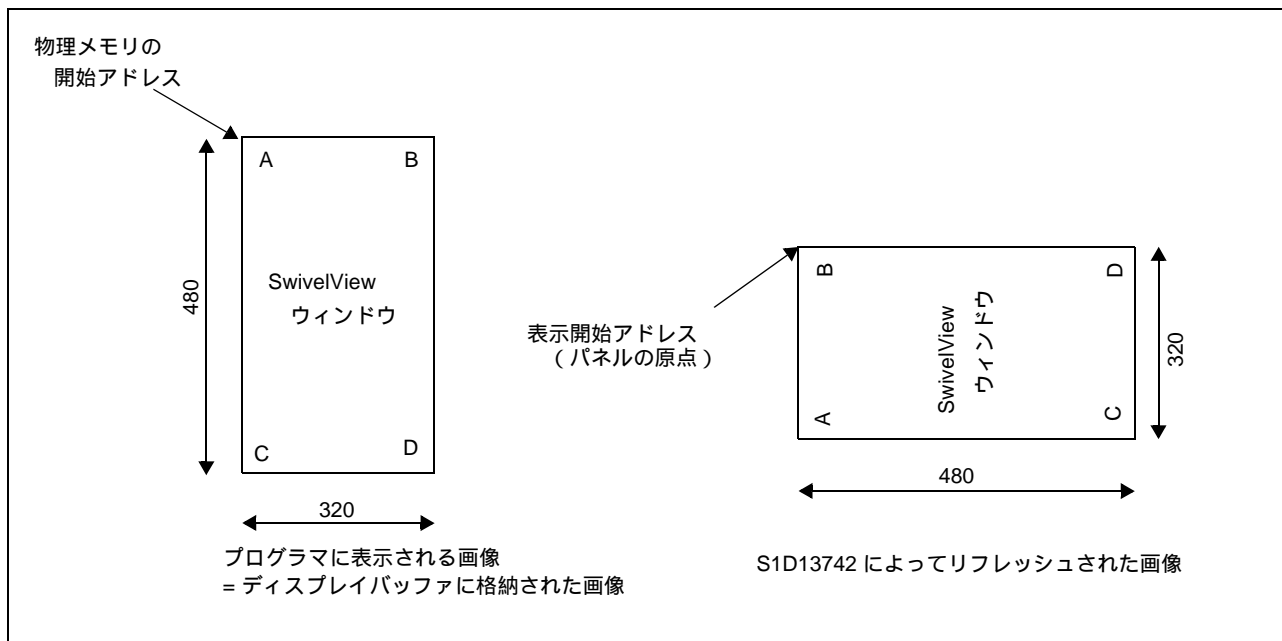


図16.1 画面の画像と90° SwivelViewでリフレッシュされた画像との関係

#### 16.2.1 レジスタのプログラミング

回転そのものをイネーブルにする以外に、特別なプログラミング要件はありません。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。

### 16.3 180° SwivelView™

以下の図は、どのように480 x 320のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でS1D13742に書き込まれます。表示は、次のようにD-C-B-Aの方向でリフレッシュされます。

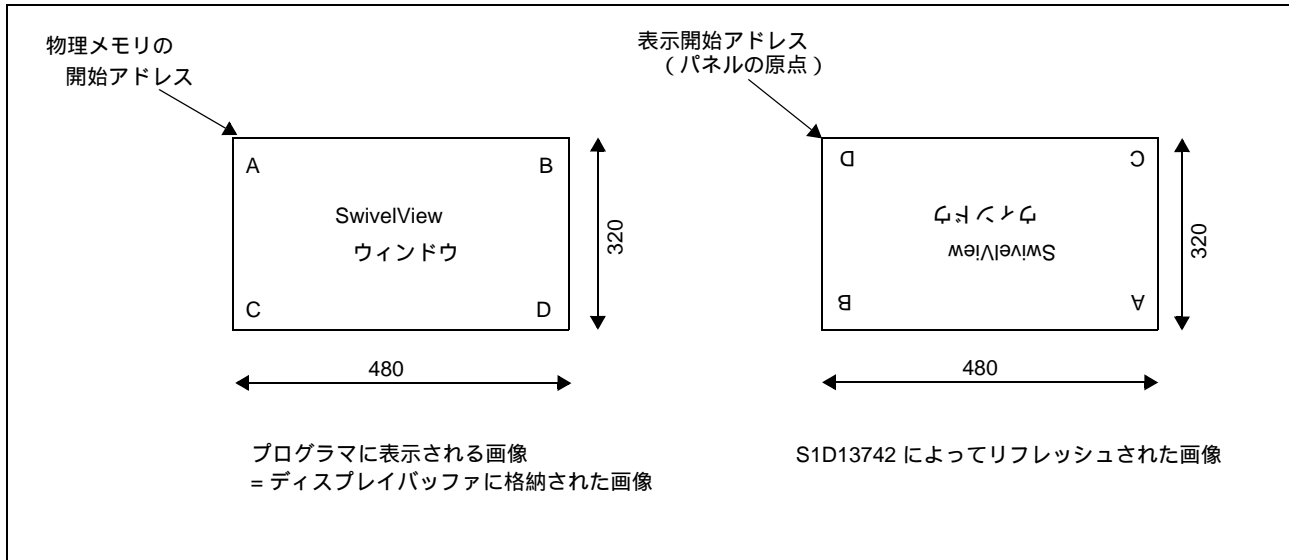


図16.2 画面の画像と180° SwivelViewでリフレッシュされた画像との関係

#### 16.3.1 レジスタのプログラミング

回転そのものをイネーブルにする以外に、特別なプログラミング要件はありません。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。

16.4 270° SwivelView™

以下の図は、どのように320 x 480のポートレート画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でS1D13742に書き込まれます。表示は、次のようにC-A-D-Bの方向でリフレッシュされます。

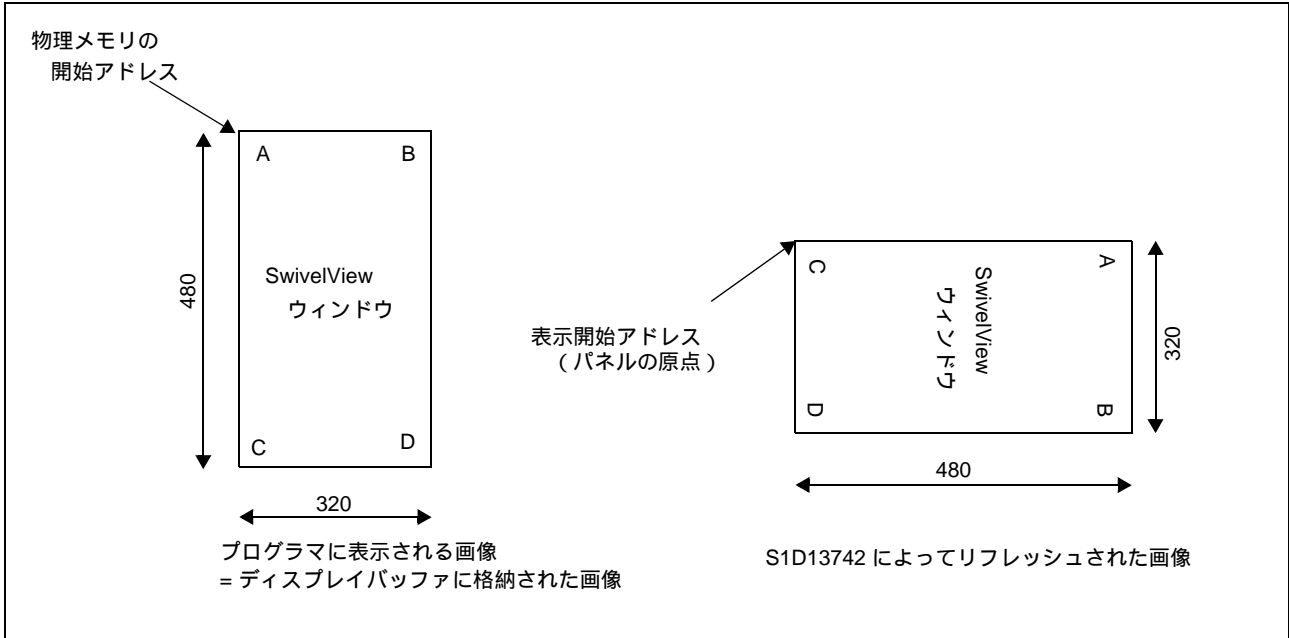


図16.3 画面の画像と270° SwivelViewでリフレッシュされた画像との関係

16.4.1 レジスタのプログラミング

回転そのものをイネーブルにする以外に、特別なプログラミング要件はありません。開始アドレスとラインオフセットはすべてハードウェアによって自動的に計算されます。



---

## 17. ホストインタフェース

### 17.1 Intel 80インタフェースの使用

Intel 80ホストインタフェースを通じてS1D13742にアクセスするには、複数ステップの処理を必要とします。すべてのレジスタとメモリは、レジスタ空間を経由してアクセスされます。

#### 注

すべてのレジスタアクセスは、Memory Data Portを除いて8ビットアクセスのみです。ホストインタフェースが16ビット幅の場合、最下位ビット(MD[7:0])は、Memory Data Portを除くすべてのレジスタで使用されます。Memory Data Port( REG[48h, 49h] )は、CNF1 = 0 ( REG[49h]は使用しない) の場合は8ビットで処理され、CNF1 = 1の場合は16ビットで処理されます。

最初に「アドレスライト」を一度だけ実行し、レジスタアドレスを設定します。次に「データリード/ライト」を実行し、「アドレスライト」サイクルで指定したレジスタまたはメモリに対して格納する、または読み出すデータを指定します。その後続くデータリード/ライトは、レジスタアドレスを変更するアドレスライトがなければ、レジスタアドレスまたは内部メモリアドレス(Memory Data Portにアクセスする場合)をオートインクリメントしません。

ウィンドウアパーチャに表示データを書き込むには、ウィンドウの座標を設定し、次にウィンドウを満たすために必要なDisplay Memory Data Portへのバーストデータを書き込みます。このシーケンスでは、内蔵メモリのアドレス指定は自動で行われます(例を参照してください)。Memory Data Portは、アドレスライトの数を最小限に抑えるため、ウィンドウ座標の直後に置かれます。

表示データを読み出すには、Memory Address Port(3バイト)にアドレスライトを実行した後、Memory Data Portからデータを読み出します。その後のデータリードによって、内部メモリアドレスはオートインクリメントされます。

#### 17.1.1 レジスタライト手順

1. アドレスライトを実行し、レジスタアドレスのビット7~0を設定します。
2. データライトを実行し、レジスタを更新します。
3. 追加のデータライトがサポートされています。この場合、レジスタアドレスはオートインクリメントされます。

## 17. ホストインタフェース

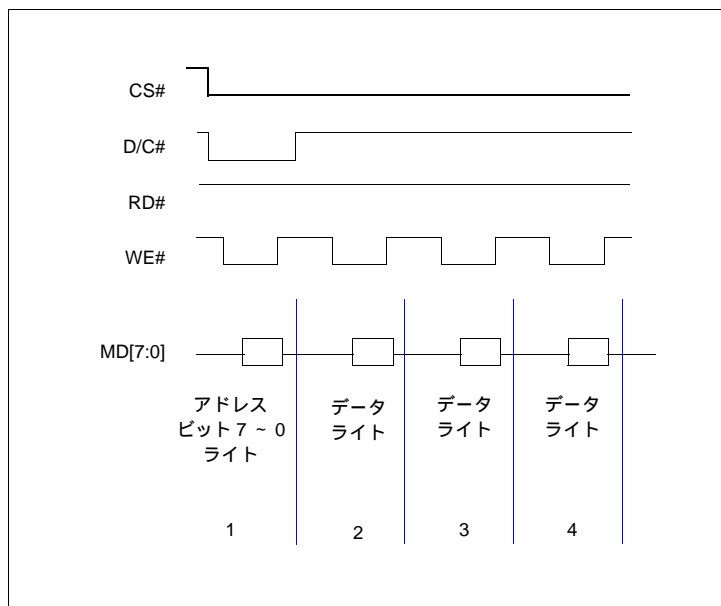


図17.1 レジスタライト手順の例

### 17.1.2 レジスタリード手順

1. アドレスライトを実行し、レジスタアドレスのビット7~0を設定します。
2. データリードを実行し、レジスタの値を取得します。
3. 追加のデータリードがサポートされています。この場合、レジスタアドレスはオートインクリメントされます。

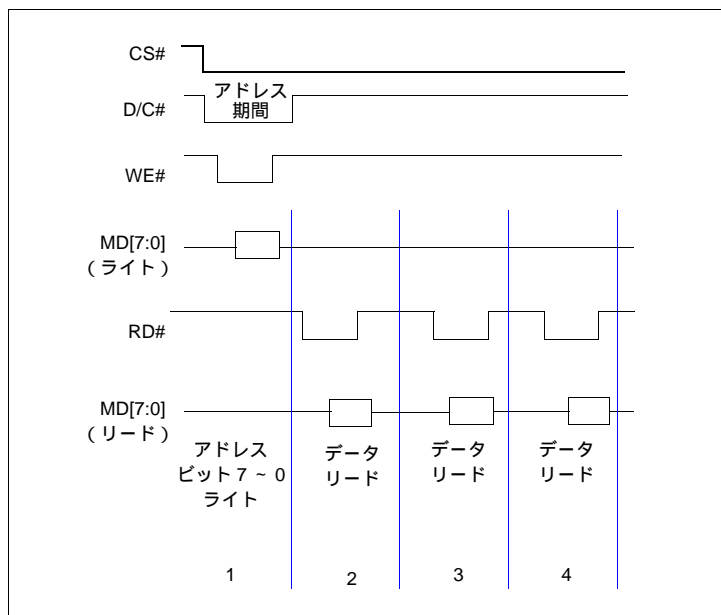


図17.2 レジスタリード手順の例

### 17.1.3 新しいウィンドウオーバーチャのライト手順

S1D13742には、ウィンドウデータをバースト処理するときの設定アクセスを最小限に抑える特別な手順があります。

1. ウィンドウデータを書き込む前にウィンドウの設定レジスタを設定しておく必要があります。
2. アドレスライトを実行して、最初のWindow Register ( Window X Start Position ) を指示します。
3. 次の8つの8ビットレジスタに、8つのデータライトを実行します(これにより、すべてのウィンドウ座標が設定されます)。

#### 注

この場合、レジスタアドレスは、Memory Data Port Registerに到達するまでオートインクリメントされます。

4. バーストデータライトを実行してウィンドウを満たします(レジスタアドレスはすでにMemory Data Portを指示しています)。

Memory Data Port Registerは、Window X Start Positionから9番目のレジスタアドレスに配置されています。Memory Data Portに書き込むと、必ず内蔵メモリのアドレスだけがオートインクリメントされます。

## 17. ホストインタフェース

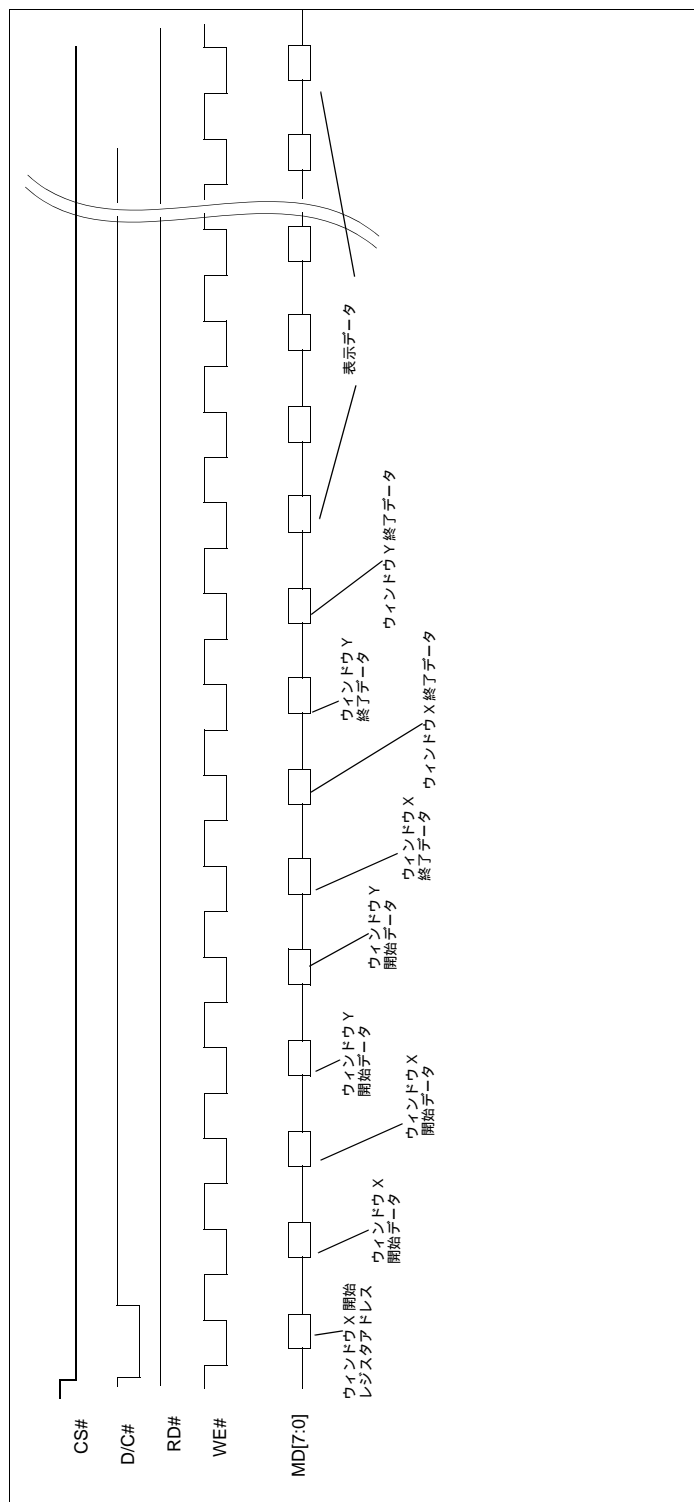


図17.3 連続メモリライトシーケンス例

### 17.1.4 複数ウィンドウのオープン

1. 新しい各ウィンドウの新ウィンドウ座標を用いて上記の手順(新しいウィンドウアパーチャのライト手順)を繰り返します。
2. 非ピクセルダブリングウィンドウは、最後に書き込まれた、トップと見なされるウィンドウと重なり合うことができます。

#### 既存のウィンドウ座標を使用してウィンドウを更新

3. アドレスライトを実行してMemory Data Portを指示します。
4. バーストデータ書き込みを実行してウィンドウを更新します。

#### 注

この場合、ウィンドウアパーチャの以前の座標が使用されます。Memory Data Portに書き込むと、必ず内蔵メモリのアドレスだけがオートインクリメントされます。

### 17.1.5 各メモリ位置の読み出し

#### 注

この機能はテスト目的専用で、システムの実用的なサービスを提供するものではありません。

1. メモリデータフォーマットを16bppに設定します。
2. 読み出すメモリ位置の物理アドレスをMemory Read Address Register(16ビットバス用、このアドレスのLSBは無視されます)に書き込みます。
3. Memory Data Port Registerから読み出します。
4. Memory Data Port Registerから連続的に読み出すことで、Memory Read Address Register内のアドレスがインクリメントされ、これによってバースト読み出しをサポートしています。

#### 注

各18ビット値の最上位2ビットにアクセスするためには、その物理アドレスを知る必要があります。最上位2ビットは下位16ビットとは異なる位置に格納されているからです。

## 18. ダブルバッファの説明

### 18.1 ダブルバッファコントローラ

ダブルバッファは、ストリーミングビデオデータのティアリングを防止するために用意されています。すべての静止（ビデオでない）画像データは、常にフレームバッファの上半分（バッファ1）に書き込まれます。ビデオが入力されているとき、最初のフレームはダブルバッファの下半分（バッファ2）に書き込まれます。2番目のフレームはバッファ1に書き込まれます。ビデオデータが入力されているとき、LCDに送出される画像の静止部分は、常にバッファ1から取り出されます。ビデオウィンドウのソースは、バッファ1またはバッファ2のいずれか（最後に更新を完了した方のバッファ）から取り出されます。

バッファのリード/ライトポインタの切り替えは、垂直非表示期間の先頭でフレーム当たり1回だけ行うことができます。ポインタは、ビデオフレームの更新が最後の出力フレーム期間内に完了し、かつ新たなビデオフレームが現時点で書き込まれていない場合にのみ切り替わります。このため、ユーザーがビデオデータフレームの書き込みを終了するたびに、次の垂直非表示期間まで待ってから次のフレームを書き込む必要があります。これは、TE端子を使用するか、あるいは垂直表示期間ステータス（REG[58h]ビット7）をポーリングすることで実行できます。あるいは、最大入力ビデオフレームレートがLCDフレームレートの半分であること、および1ビデオフレームを書き込みバースト長がLCDの1フレーム期間よりも短いことをユーザーが保証できれば、垂直非表示期間を確認する必要はありません。ポインタの切り替わりに注意を払わない場合は、フレーム落ちが発生する場合があります。

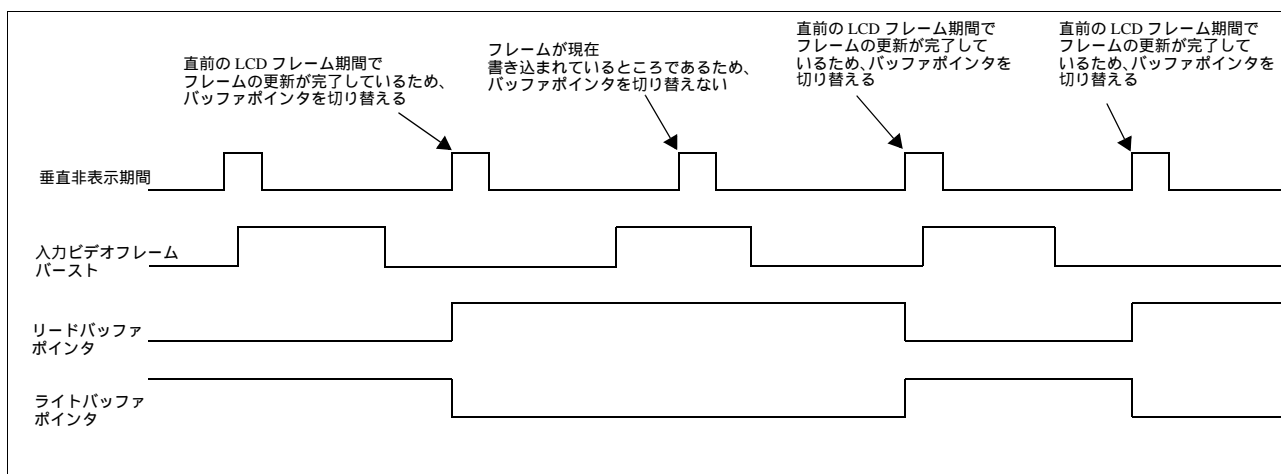


図18.1 バッファポインタの切り替え

ダブルバッファ機能を使用するには、以下を実行します。

- Special Effect Register REG[36h]ビット7～6を11に設定する。
- Window Position Register REG[38h]～REG[46h]を設定する。
- ビデオデータをMemory Data Port REG[48h]～REG[49h]に書き込む。

ビデオストリームの途中で、ダブルバッファがイネーブルの間に静止ウィンドウを更新することも可能です。これには、以下を実行します。

- ビデオデータの現在のフレームの最終ピクセルを書き込む。
- Special Effect Register REG[36h]ビット7～6を01に設定する。
- Window Position Register REG[38h]～REG[46h]を設定する。

- 静止データをMemory Data Port REG[48h] ~ REG[49h]に書き込む。

これにより、ダブルバッファ処理されたウィンドウのティアリングを防止できると同時に、任意の時点で静止画像を書き込むことができるようになります。静止ウィンドウが書き込まれると、ユーザーは、ダブルバッファ機能を使用するための上記の手順に従うことによって、ストリーミングビデオデータの書き込みに戻ることができます。

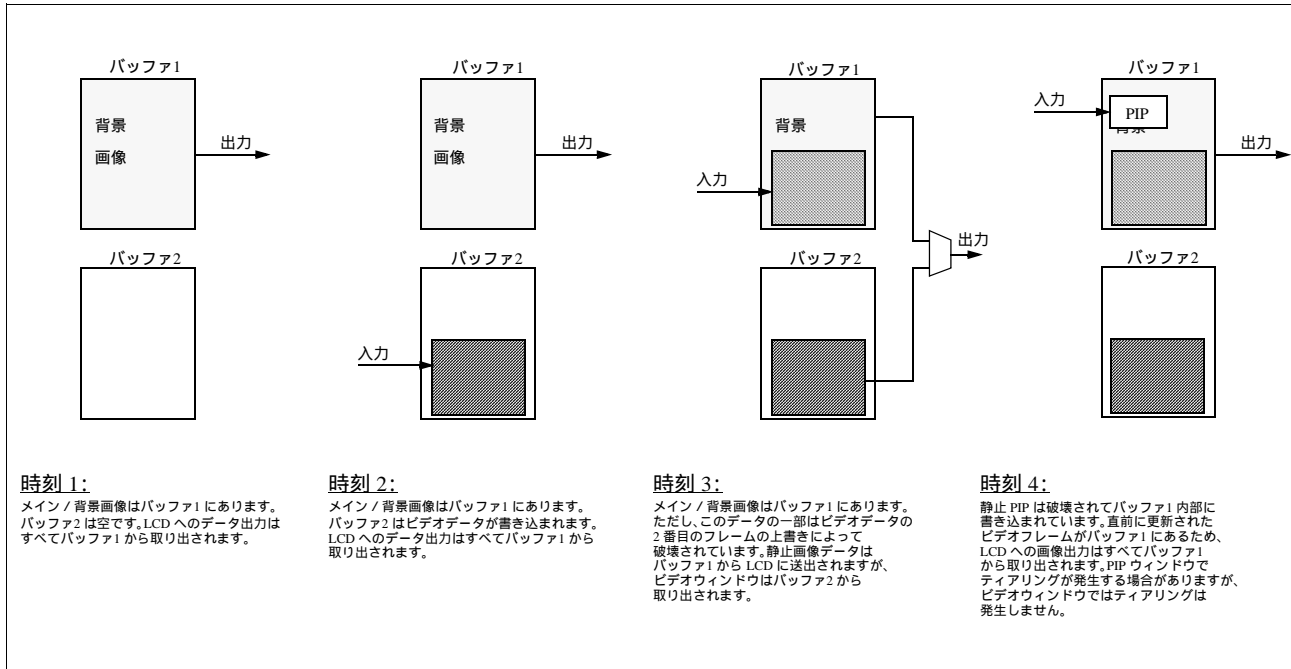


図18.2 ダブルバッファの例

ダブルバッファにはいくつかの制限事項があります。

- ビデオストリームの入力中にユーザーがビデオウィンドウの全面または部分的に静止 PIPを置きたい場合を考えます。ユーザーはPIPを書き込むことができますが、ビデオストリームが継続されていると、ビデオストリームはPIPを上書きして破壊してしまうため、PIPがビデオウィンドウの下にあるかのように表示されます。
- 最後のビデオフレームが送出された後にビデオストリームが停止する場合を考えます。最後のビデオフレームはLCD上で表示され続けることとなります。この最後のフレームはバッファ2に格納されているものとします。ここでユーザーがダブルバッファをディセーブルにすると、バッファの読み出しポインタは即座にバッファ1をリセットします。これは、最後のフレームの代わりに、2番目のフレームから最後のフレームまでが表示されるようになるということです。
- ユーザーは、ビデオデータの書き込みフレーム間の垂直非表示期間を待つ必要があります。あるいは最大入力フレームレートがLCDフレームレートの半分であること、またビデオデータのフレームのバーストライトにかかる時間がLCDフレームの1期間よりも短くする必要があります。
- 一度にダブルバッファできるのは1つのウィンドウだけです。

## 19. S1D13742 と TFT パネルのインタフェース接続

### 19. S1D13742とTFTパネルのインタフェース接続

この章では、S1D13742 Mobile Graphics Engineと352 x 416または800 x 480 TFTパネルとの間のインタフェース接続に必要なハードウェアとソフトウェアの環境について説明します。

この章で述べる設計は、このようなインタフェースの実装方法の例として示すものです。

#### 19.1 概要

S1D13742は三洋電機株式会社のLC13015を直接サポートしているため、追加のハードウェアは不要で、プログラムは最小限ですみます。S1D13742のレジスタ設定とLCDインタフェースを以下に示します。

##### 19.1.1 LCDインタフェース

表19.1 端子マッピング

S1D13742 端子名	S1D13742 端子番号	LCD13015 端子名
HS	D9	HS
VS	D10	VS
PCLK	D11	PCLK
DE	C11	DE
VD[17:0]	J8、J9、J10、J11、K4、K5、 K6、K7、K8、K9、K10、L3、 L4、L5、L6、L7、L8、L9	R5、R4、R3、R2、R1、R0、 G5、G4、G3、G2、G1、 G0、B5、B4、B3、B2、B1、 B0

##### 19.1.2 352 x 416 TFTパネル用のS1D13742のレジスタ設定

###### 注

以下の表に示したレジスタは、パネル固有のタイミング問題に関連するレジスタです。他のすべてのレジスタはここでは示していません。

###### 注

ウィンドウをYUVデータ用に設定するときは、データは奇数ラインから開始し、必ず奇数ラインと偶数ラインを交互に入れ替える必要があります。



表19.2 352 x 416 TFTパネル用のレジスタ設定例

レジスタ	値	説明
全レジスタ	デフォルト	リセット後、すべてのレジスタはデフォルト値に設定
REG[56h]	02h	スリープモードに移行（またはPWRSVE端子を使用）
REG[04h]	12h	PLL M-Dividerの設定、CLKI = 19.2MHz、PLL入力クロック = CLKI/19 = 1.01MHz
REG[06h]	F8h	
REG[08h]	80h	
REG[0Ah]	28h	
REG[0Ch]	00h	
REG[0Eh]	2Fh	LL = 48、得られるSYSCLK = LL x PLL入力クロック = 48MHz
REG[12h]	19h	PCLK分周の設定、PCLK = 12.1MHz、SYSCLKソース = PLLに設定
REG[14h]	0h	パネルデータのスワップなし、18ビットパネル
REG[16h]	2Ch	HDP = 352ピクセル
REG[18h]	5Ah	HNDP = 90ピクセル
REG[1Ah]	A0h	VDP = 416ライン
REG[1Ch]	01h	
REG[1Eh]	06h	VNDP = 6ライン
REG[20h]	14h	HSパルス幅 = 20ピクセル
REG[22h]	2Dh	HS開始位置 = 45ピクセル
REG[24h]	02h	VS幅 = 2ライン
REG[26h]	01h	VS開始位置 (VFP) = 1ライン
REG[28h]	80h	PCLK極性：立ち下がりエッジでデータを出力
REG[2Ah]	01h	メモリを16bppに設定、入力データモードをRGB 5:6:5に設定
REG[56h]	00h	スリープモードをディセーブルにする
REG[04h]ビット7	-	PLLがロックするまで待機 - REG[04h]ビット7をポーリング
REG[38h]	00h	ウィンドウX開始位置 = 0
REG[3Ah]	00h	
REG[3Ch]	00h	ウィンドウY開始位置 = 0
REG[3Eh]	00h	
REG[40h]	5Fh	ウィンドウX終了位置 = 351
REG[42h]	01h	
REG[44h]	9Fh	ウィンドウY終了位置 = 415
REG[46h]	01h	
REG[48h]	Memory Data PortのREG[48h]とREG[49h]に画像データを書き込みます。画像は直ちにLCD上に現れます。	
REG[49h]		

**注**

上記の値は例として示したものです。この例では、CLKI = 19.2MHzであること、およびSYSCLKの生成にPLLを使用することを前提としています。実際の設定は変わる可能性があります。LCDパネルのタイミング要件の範囲内にとどまります。

## 19. S1D13742 と TFT パネルのインタフェース接続

### 19.1.3 800 x 480 TFTパネル用のS1D13742のレジスタ設定

**注**

以下の表に示したレジスタは、パネル固有のタイミング問題に関連するレジスタです。他のすべてのレジスタはここでは示していません。

**注**

ウィンドウをYUVデータ用に設定するときは、データは奇数ラインから開始し、必ず奇数ラインと偶数ラインを交互に入れ替える必要があります。

**表19.3 800 x 480 TFTパネル用のレジスタ設定例**

レジスタ	値	説明
全レジスタ	デフォルト	リセット後、すべてのレジスタはデフォルト値に設定
REG[56h]	02h	スリープモードに移行 (またはPWRSVE端子を使用)
REG[04h]	0Bh	PLL M-Dividerの設定、CLKI = 12MHz、PLL入力クロック = CLKI/12 = 1.0MHz
REG[06h]	F8h	
REG[08h]	80h	
REG[0Ah]	28h	
REG[0Ch]	00h	
REG[0Eh]	2Dh	LL = 45、得られるSYSCLK = LL x PLL入力クロック = 45MHz
REG[12h]	09h	PCLK分周の設定、PCLK = 22.5MHz、SYSCLKソース = PLLに設定
REG[14h]	0h	パネルデータのスワップなし、18ビットパネル
REG[16h]	64h	HDP = 800ピクセル
REG[18h]	14h	HNDP = 20ピクセル
REG[1Ah]	E0h	VDP = 480ライン
REG[1Ch]	01h	
REG[1Eh]	06h	VNDP = 6ライン
REG[20h]	14h	HSパルス幅 = 20ピクセル
REG[22h]	2Dh	HS開始位置 = 45ピクセル
REG[24h]	02h	VS幅 = 2ライン
REG[26h]	01h	VS開始位置 (VFP) = 1ライン
REG[28h]	80h	PCLK極性: 立ち下がりエッジでデータを出力
REG[2Ah]	01h	メモリを16bppに設定、入力データモードをRGB 5:6:5に設定
REG[56h]	00h	スリープモードをディセーブルにする
REG[04h]ビット7	-	PLLがロックするまで待機 - REG[04h]ビット7をポーリング
REG[38h]	00h	ウィンドウX開始位置 = 0
REG[3Ah]	00h	
REG[3Ch]	00h	ウィンドウY開始位置 = 0
REG[3Eh]	00h	
REG[40h]	1Fh	ウィンドウX終了位置 = 799
REG[42h]	03h	
REG[44h]	DFh	ウィンドウY終了位置 = 479
REG[46h]	01h	
REG[48h]	Memory Data PortのREG[48h]とREG[49h]に画像データを書き込みます。画像は直ちにLCD上に現れます。	
REG[49h]		

### 注

前記の値は例として示したものです。この例では、CLKI = 12MHzであること、およびSYSCLKの生成にPLLを使用することを前提にしています。実際の設定は変わる可能性があります。LCDパネルのタイミング要件の範囲内にとどまります。

## 19. S1D13742 と TFT パネルのインタフェース接続

### 19.2 ホストバスタイミング

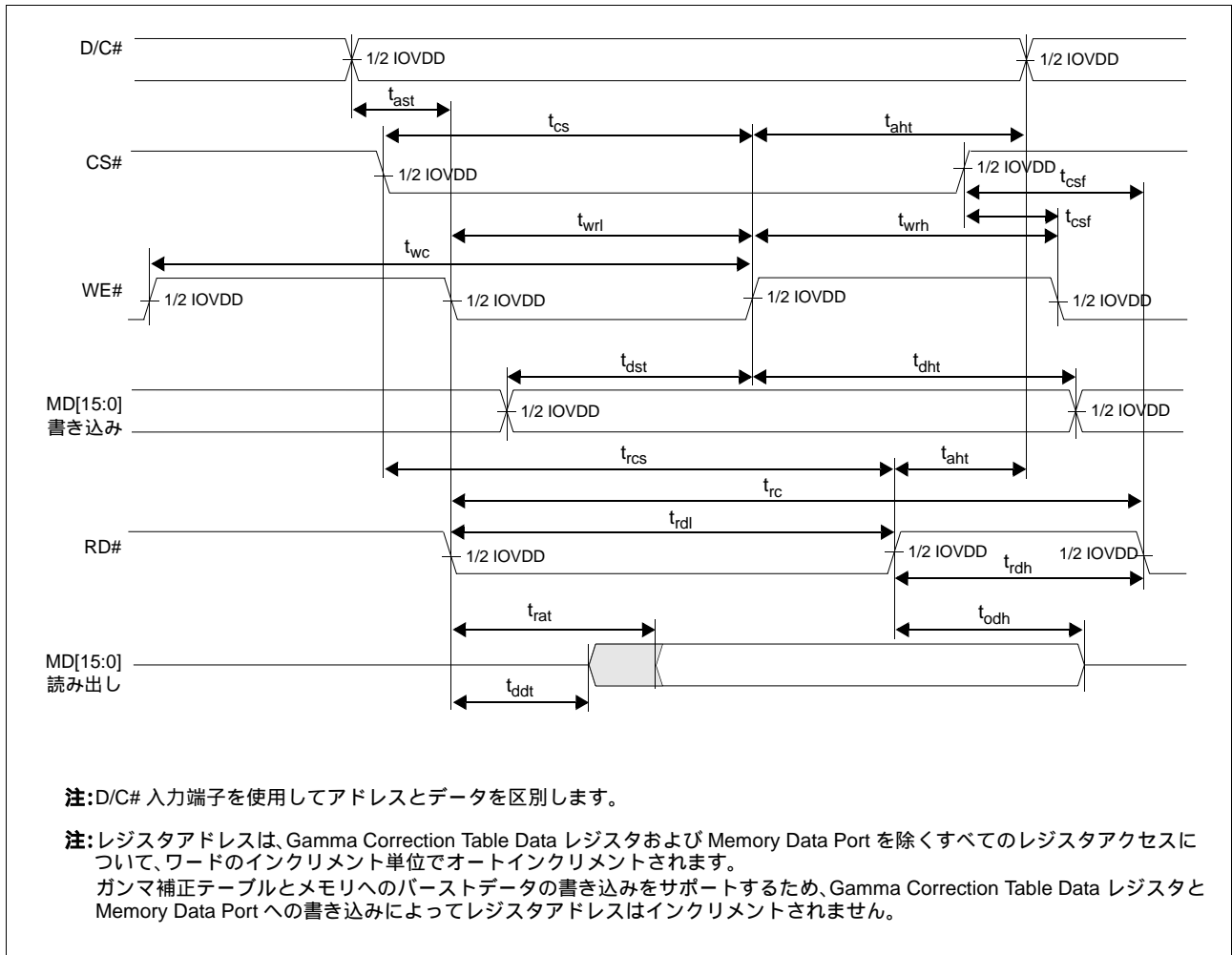


図19.1 Intel 80の入力AC特性

## 19.2.1 352 x 416 TFTパネルのホストバスタイミング

表19.4 Intel 80の入力AC特性 (352 x 416パネルのタイミング)

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	$t_{ast}$	アドレスのセットアップ時間	1.4	-	ns	
	$t_{aht}$	アドレスのホールド時間	0.3	-	ns	
CS#	$t_{cs}$	チップセレクトのセットアップ時間 (ライト)	$0.6 + twrl$	-	ns	
	$t_{rcs}$	チップセレクトのセットアップ時間 (リード)	$1.3 + trdl$	-	ns	
	$t_{csf}$	チップセレクトの待機時間	9.2	-	ns	
WE#	$t_{wc}$	ライトサイクル (立ち上がりエッジから次の立ち上がりエッジまで)	42.6	-	ns	
	$t_{wrh}$	パルスHigh期間	(注1)	-		
	$t_{wrl}$	パルスLow期間	0.1	-	ns	
RD#	$t_{rc}$	レジスタのリードサイクル	42.6	-	ns	
		メモリのリードサイクル	$122.1 + trdh$	-	ns	
		LUTのリードサイクル	$108.1 + trdh$	-	ns	
	$t_{rdh}$	パルスHigh期間	(注2)	-		
	$t_{rdl}$	レジスタのパルスLow期間	10.2	-	ns	
		メモリのパルスLow期間	122.1	-	ns	
LUTのパルスLow期間		108.1	-	ns		
MD[15:0]	$t_{dst}$	データのセットアップ時間	0.3	-	ns	最大CL = 30pF の場合 最小CL = 8pF の場合
	$t_{dht}$	データのホールド時間	6.4	-	ns	
	$t_{rat}$ (注)	リードの立ち下がりエッジ レジスタのデータが有効	-	12.2	ns	
		リードの立ち下がりエッジ メモリのデータが有効	-	122.1	ns	
		リードの立ち下がりエッジ LUTのデータが有効	-	108.1	ns	
	$t_{odh}$ (注)	リードのホールド時間	10.7	32.1	ns	
$t_{ddt}$ (注)	リード立ち下がりエッジ データの駆動	3.0	12.3	ns		

SYSCLK = 48MHz、PCLK = 12MHz、CLKI = 12MHz

## 注

- $t_{wrh}$  minは、 $t_{wc}$ を満たす十分な長さが必要です。
- $t_{rdh}$  minは、 $t_{rc}$ を満たす十分な長さが必要です。

## 19. S1D13742 と TFT パネルのインタフェース接続

### 19.2.2 800 x 480 TFTパネルのホストバスタイミング

表19.5 Intel 80の入力AC特性 (800 x 480パネルのタイミング)

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	$t_{ast}$	アドレスのセットアップ時間	1.4	-	ns	
	$t_{aht}$	アドレスのホールド時間	0.3	-	ns	
CS#	$t_{cs}$	チップセレクトのセットアップ時間 (ライト)	$0.6 + twrl$	-	ns	
	$t_{rcs}$	チップセレクトのセットアップ時間 (リード)	$1.3 + trdl$	-	ns	
	$t_{csf}$	チップセレクトの待機時間	9.2	-	ns	
WE#	$t_{wc}$	ライトサイクル (立ち上がりエッジから次の立ち上がりエッジまで)	34.8	-	ns	
	$t_{wrh}$	パルスHigh期間	(注1)	-		
	$t_{wrl}$	パルスLow期間	0.1	-	ns	
RD#	$t_{rc}$	レジスタのリードサイクル	34.8	-	ns	
		メモリのリードサイクル	$102.7 + trdh$	-	ns	
		LUTのリードサイクル	$92.5 + trdh$	-	ns	
	$t_{rdh}$	パルスHigh期間	(注2)	-		
	$t_{rdl}$	レジスタのパルスLow期間	10.2	-	ns	
		メモリのパルスLow期間	102.7	-	ns	
LUTのパルスLow期間		92.5	-	ns		
MD[15:0]	$t_{dst}$	データのセットアップ時間	0.3	-	ns	最大CL = 30pF の場合 最小CL = 8pF の場合
	$t_{dht}$	データのホールド時間	6.4	-	ns	
	$t_{rat}$ (注)	リードの立ち下がりエッジ レジスタの データが有効	-	12.2	ns	
		リードの立ち下がりエッジ メモリのデータが有効	-	102.7	ns	
		リードの立ち下がりエッジ LUTのデータが有効	-	92.5	ns	
	$t_{odh}$ (注)	リードのホールド時間	10.7	32.1	ns	
$t_{ddt}$ (注)	リード立ち下がりエッジ データの駆動	3.0	12.3	ns		

SYSCLK = 59 MHz、PCLK = 19.67MHz、CLKI = 12MHz

#### 注

- $t_{wrh}$  minは、 $t_{wc}$ を満たす十分な長さが必要です。
- $t_{rdh}$  minは、 $t_{rc}$ を満たす十分な長さが必要です。

19.3 パネルのタイミング

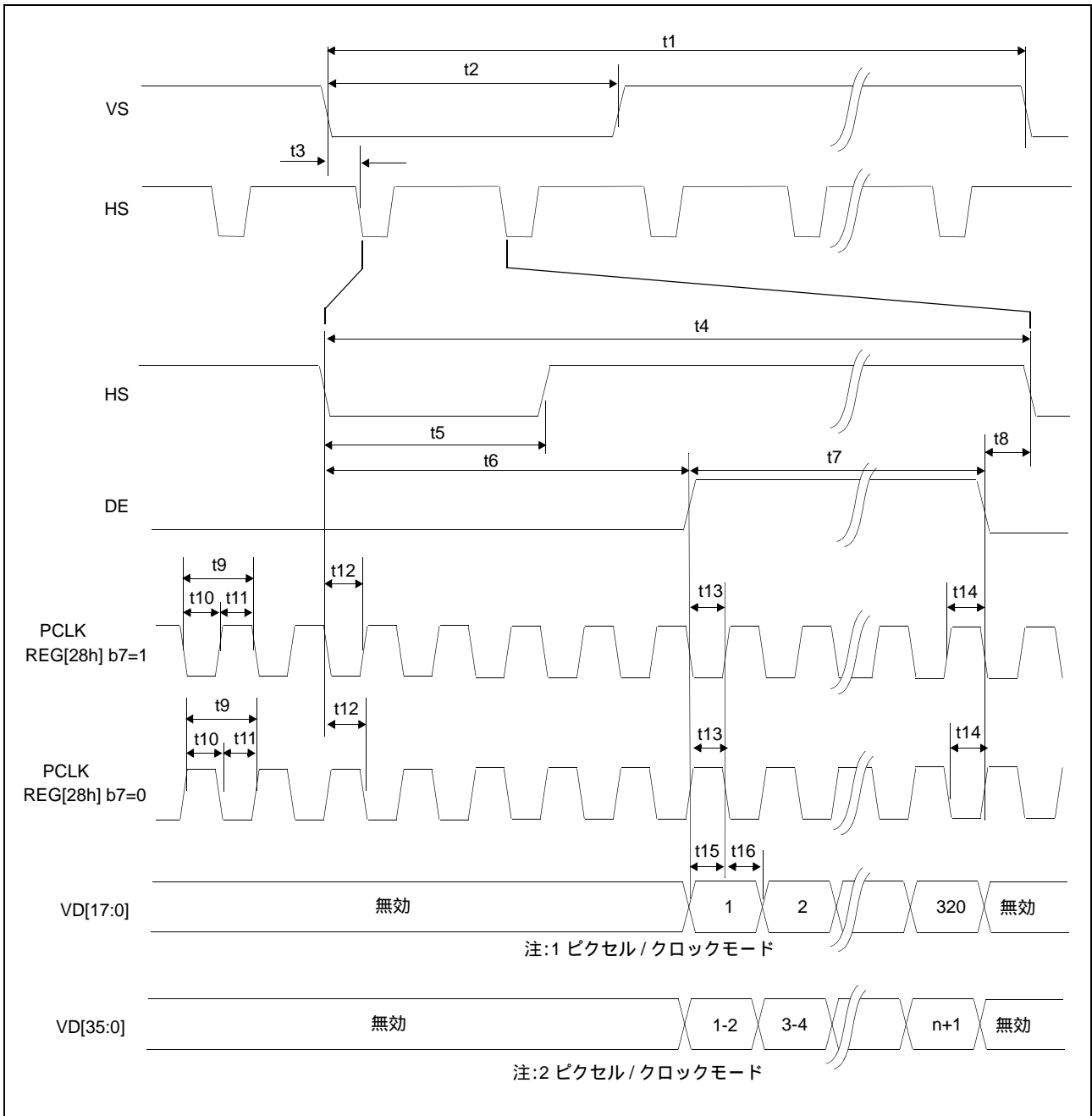


図19.2 18/36ビットTFTのACタイミング

## 19. S1D13742 と TFT パネルのインタフェース接続

### 19.3.1 352 x 416パネルのパネルタイミング

表19.6 18/36ビットTFTのACタイミング (352 x 416パネルタイミング)

記号	パラメータ	Min	Typ	Max	単位
t1	VSサイクル時間		15.54	-	ms
t2	VSパルス幅Low		73.67	-	μs
t3	VS立ち下がりエッジ HS立ち下がりエッジの位相差	0	-	36.75	μs
t4	HSサイクル時間		36.83	-	μs
t5	HSパルス幅Low		1.67	-	μs
t6	HS立ち下がりエッジ DEアクティブ		3.75	-	μs
t7	DEパルス幅		29.3	-	μs
t8	DE立ち下がりエッジ HS立ち下がりエッジ		3.75	-	μs
t9	PCLK周期 (注1)	83.3	-	-	ns
t10	PCLKパルス幅Low	41.7	-	-	ns
t11	PCLKパルス幅High	41.7	-	-	ns
t12	HSセットアップ PCLK立ち下がりエッジ	41.7	-	-	ns
t13	DE PCLK立ち上がりエッジのセットアップ時間	41.7	-	-	ns
t14	PCLK立ち上がりエッジからのDEホールド	41.7	-	-	ns
t15	データセットアップ PCLK立ち上がりエッジ	41.7	-	-	ns
t16	PCLK立ち上がりエッジからのデータホールド	41.7	-	-	ns

#### 注

1. Ts = ピクセルクロック周期 = 83.3ns (12MHz PCLK)

### 19.3.2 800 x 480パネルのパネルタイミング

表19.7 18/36ビットTFTのACタイミング (800 x 480パネルタイミング)

記号	パラメータ	Min	Typ	Max	単位
t1	VSサイクル時間		20.34	-	ms
t2	VSパルス幅Low		83.4	-	μs
t3	VS立ち下がりエッジ HS立ち下がりエッジの位相差	0	-	41.63	μs
t4	HSサイクル時間		41.68	-	μs
t5	HSパルス幅Low		1.02	-	μs
t6	HS立ち下がりエッジ DEアクティブ		966	-	ns
t7	DEパルス幅		40.67	-	μs
t8	DE立ち下がりエッジ HS立ち下がりエッジ		50.84	-	ns
t9	PCLK周期 (注1)	50.84	-	-	ns
t10	PCLKパルス幅Low	25.42	-	-	ns
t11	PCLKパルス幅High	25.42	-	-	ns
t12	HSセットアップ PCLK立ち下がりエッジ	25.42	-	-	ns
t13	DE PCLK立ち上がりエッジのセットアップ時間	25.42	-	-	ns
t14	PCLK立ち上がりエッジからのDEホールド	25.42	-	-	ns
t15	データセットアップ PCLK立ち上がりエッジ	25.42	-	-	ns
t16	PCLK立ち上がりエッジからのデータホールド	25.42	-	-	ns

#### 注

1. Ts = ピクセルクロック周期 = 50.84 (19.67PCLK)



## 19.4 Play.exeスクリプト例

以下のスクリプト例は、PLAY.EXEプログラム用に作成されたものです。スクリプトDemo.txtは、S1D13742を初期化し、次に水平の棒をさまざまに回転して表示した後、PIP+ウィンドウを表示します。

Demo.txt

```

verbose cmd:off out:on set:off
halt 0

'=====
' _DEMO_.txt - Play script for 13742 to demonstrate various features.
'
' This demonstration code is written in the Play.exe script language so that
' various steps can be easily observed. Some steps such as the initialization
' and the memory fills use Play intrinsic commands. These operation of these
' commands are easily determined.
'=====

' Initialize the registers to the default state by
' running the register list generated by 13742CFG
'-----
init

' Set the window to the full screen and clear the display
'-----
SetWin.txt
f WIN 0

' ROTATE 0
'-----
print "Color bars at SwivelView 0\n"
x 34 0
DrawBarsA.txt
Pause.txt

' ROTATE 90
' NOTE: There is a bug with the Fill WINDOW command in
'       Play which causes the 90 and 270 degree fills
'       to be filled incorrectly. This will be corrected.
'-----
print "Color bars at SwivelView 90\n"
x 34 1
DrawBarsB.txt
Pause.txt

' ROTATE 180
'-----
print "Color bars at SwivelView 180\n"
x 34 2
DrawBarsA.txt
Pause.txt

```

## 19. S1D13742 と TFT パネルのインタフェース接続

---

```
' ROTATE 270
' NOTE:There is a bug with the Fill WINDow command in
'       Play which causes the 90 and 270 degree fills
'       to be filled incorrectly.This will be corrected.
'-----
print "Color bars at SwivelView 270\n"
x 34 3
DrawBarsB.txt
Pause.txt

' PIP
'-----
print "Draw Color bars in a PIP (small window)\n"

x 34 0
SetWin.txt
f WIN 0

DrawBarsA.txt
DrawPIP.txt 50 50 100 128
Pause.txt

section END
```

## DrawBarsA.txt

```
verbose cmd:off out:on set:off

'=====
' DrawBars.txt - Play script for the 13742
'
' This script draws eight equally sized horizontal
' bars on the display.
'=====

set $Height ((reg[1C] << 8) + (reg[1A]))
set $Lines ($Height / 8)
set $StartX 0
set $StartY 0
set $EndX width
set $EndY $Lines

set $Color 0
set $Bars 8

section LOOP

SetWin.txt $StartX $StartY $EndX $EndY

f WIN $Color

set $StartY ($StartY + $Lines)
set $EndY ($EndY + $Lines)
set $Color ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars!=0 then goto LOOP
```

## 19. S1D13742 と TFT パネルのインタフェース接続

---

### DrawBarsB.txt

```
verbose cmd:off out:on set:off

'=====
' DrawBarsB.txt - Play script for the 13742
'
' This script draws horizontal bars in SwivelView 90 and SwivelView 270
' display modes.
'=====

set $Height (reg[16] * 8)
set $Lines ($Height / 8)
set $StartX 0
set $StartY 0
set $EndX height
set $EndY $Lines

set $Color 0
set $Bars 8

section LOOP

SetWin.txt $StartX $StartY $EndX $EndY

f WIN $Color

set $StartY ($StartY + $Lines)
set $EndY ($EndY + $Lines)
set $Color ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars!=0 then goto LOOP
```

### DrawPIP.txt

```
verbose cmd:off out:on set:off

'=====
' DrawPIP.txt - Play script for the 13742
'
' This script draws eight equally sized horizontal bars on the display.
'=====

set $StartX arg[1].nt
set $StartY arg[2].nt
set $Width   arg[3].nt
set $Height arg[4].nt

set $Lines ($Height / 8)

set $Color 0
set $Bars 8

section LOOP

SetWin.txt $StartX $StartY $Width $Lines

f WIN $Color

set $StartY ($StartY + $Lines)
set $Color ($Color + 0821)

set $Bars ($Bars - 1)
if $Bars!=0 then goto LOOP
```

### Pause.txt

```
verbose cmd:off out:on set:off
halt 0

print "Paused . . . press any key to continue\n"
input line
```

## 19. S1D13742 と TFT パネルのインタフェース接続

---

### SetWin.txt

```
verbose cmd:off out:on set:off

'-----
' SetWin.txt - Play script for the 13742
'
' This script is functionally identical to the Play command 'win'.Call this
' script to set the 13742 window co-ordinates as specified by the arguments.
'
' Syntax:SetWin X Y W H
' Where:X - Left edge window X position
'         Y - Top edge window Y position
'         W - Window width
'         H - Window height
'
' Example:SetWin 0 0 100 100
'           Sets the window to start at 0,0 and end at 100, 100
'
'           SetWin
'           Sets the window size to the size of the display
'
' win SX:0 SY:0 EX:width EY:height
'-----

' Set the default window values to the display size.
set $SX 0
set $SY 0
set $EX (width - 1)
SET $EY (height - 1)

' Use non-default values ONLY if all four arguments are given
if (argn!=5) then goto SETWINDOW

set $SX arg[1].n
set $SY arg[2].n
set $EX (arg[1].n + arg[3].n - 1)
set $EY (arg[2].n + arg[4].n - 1)

section SETWINDOW

' Change the register window settings

x 38 $SX
x 3A ($SX >> 8)

x 3C $SY
x 3E ($SY >> 8)

x 40 $EX
x 42 ($EX >> 8)

x 44 $EY
x 46 ($EY >> 8)
```

### 19.5 参考資料

#### 19.5.1 文書

- 三洋電機株式会社、ディスプレイカンパニー 『*LC13015 Low Temperature P-Si TFT-LCD Specification*』、文書番号LC13015-040302
- Epson Research and Development, Inc.、『*S1D13742 Hardware Functional Specification*』、文書番号X63A-A-001-xx

## 20. PLL 電源の指針

## 20.1 PLL 電源配置のガイドライン

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッタを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

以下のガイドラインに従うと、PLLの電源がきれいになり、よりクリーンで安定したクロックが得られます。これらのガイドラインを部分的に実行しても有効な結果が得られます。

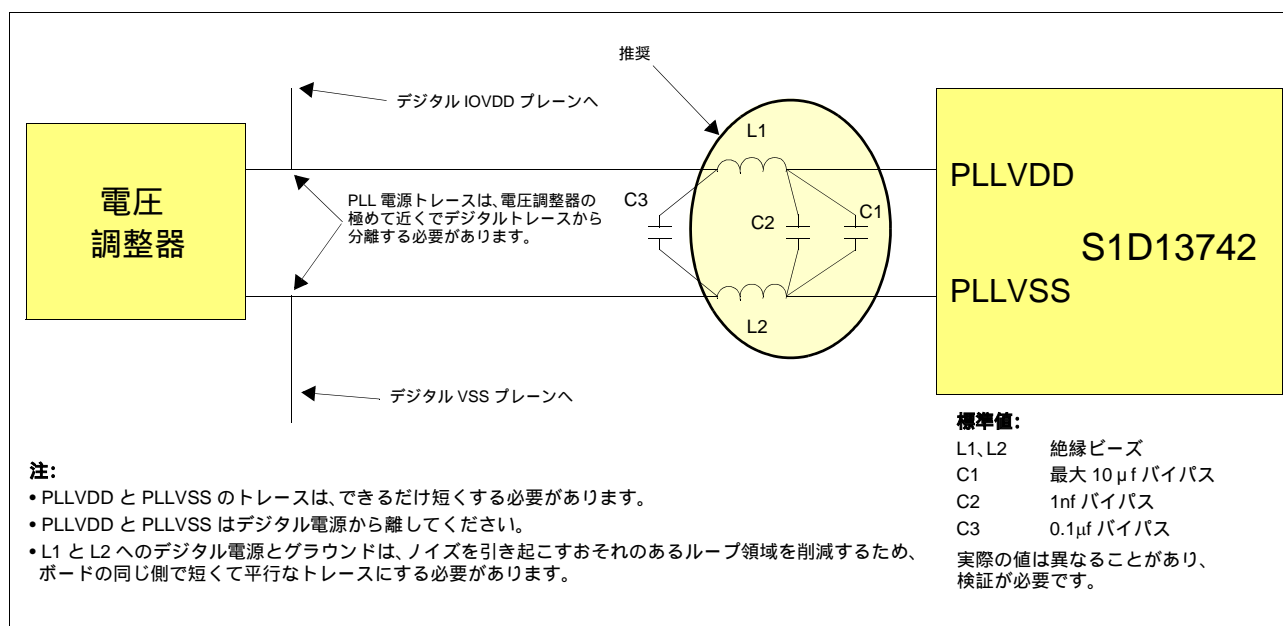


図20.1 PLL電源の配置

- 絶縁ビーズ (L1とL2) は間にごくわずかな隙間を空けて、互いに平行に配置します。バイパス容量 (C2とC3) は両方とも、コイルにできるだけ近づける必要があります。C3から電源プレーンへのトレースは、間に少し隙間を空けてボードの同じ側で短くて平行なトレースにする必要があります。ここで大きなループ領域があるとノイズを引き起こすこととなります。ボード上に電圧調整器がある場合は、これらの電源トレースを電源プレーンまで這わせるのではなく、直接、調整器まで這わせるようにしてください (この場合も平行なトレースに関する上記の規則に従ってください)。
- バイパス容量 (C2) をグラウンド絶縁コイル (L2) に接続するときのアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中央ポイントになります。C2からPLLVSS端子への1本の短いトレースを除き、いずれの部品もMGE (PLLVSS) のアナロググラウンド端子に直接接続されていません。大きなバイパス容量 (C1) のグラウンド側も、スターポイントに直接接続する必要があります。
- アナロググラウンドに使用されるこのスタートポロジの規則は、L2をC2に接続するときのアナログ電源の接続にも適用されます。
- トレースの長さはすべてできるだけ短くする必要があります。



- 可能であれば、ボードの同じ外層にすべての PLL トレースを這わせませす。唯一の例外は C1 であり、必要であればボードの反対側に配置することができます。C1 は、他の部品のようにアナロググラウンドと電源スターポイントの近くに配置する必要はありません。
- 可能であれば、PLL 領域の下に（PLL 部品とトレースの下の領域）、局部プレーンだけが含まれるようにしてください。全体アナログプレーンは、C2（バイパス）パッドに接地する必要があります。このプレーンは、大きすぎると機能しなくなります。このプレーンは厳密には、同じボード領域の他の層の信号とのカップリングに対抗する静電シールドになります。このようなアナログプレーンが不可能な場合は、PLL 部品の下の層が、信号層ではなくデジタル電源プレーンになるようにしてください。
- 可能であれば、各層の PLL 端子のビアのすぐ隣りに他のボード信号ラインを這わせないようにしてください。
- 可能な限り、特にアナロググラウンドと C2 の両側の電源スター接続部には、厚いトレースを使用してください。トレースが部品のパッドと同程度の幅になるようにしてください。トレースが薄いと誘導性が増大します。

製造規則によって、推奨したグラウンドと電源スター接続部の引き回しが禁止される可能性があります。たとえば、1つのパッドに4つの幅の広いトレースが集まると、コンデンサのパッドの周りのすべての銅トレースの熱作用のせいで、組み立て時にリフロー不良の問題が生じることになります。1つの解決策として、パッドに1つのトレースだけを接続し、次にこの幅の広いトレースに他のすべてのトレースをパッドからできるだけ近い場所で接続します。別の解決策として、トレースをパッドに接続し、パッドの周りにサーマルリリーフを設けて銅の接続部の一部を削除します。最終的には、ボードを製造できるようにすることも必要であり、これによって最善の努力が受け入れられることになります。

## 21. メカニカルデータ

### 21. メカニカルデータ

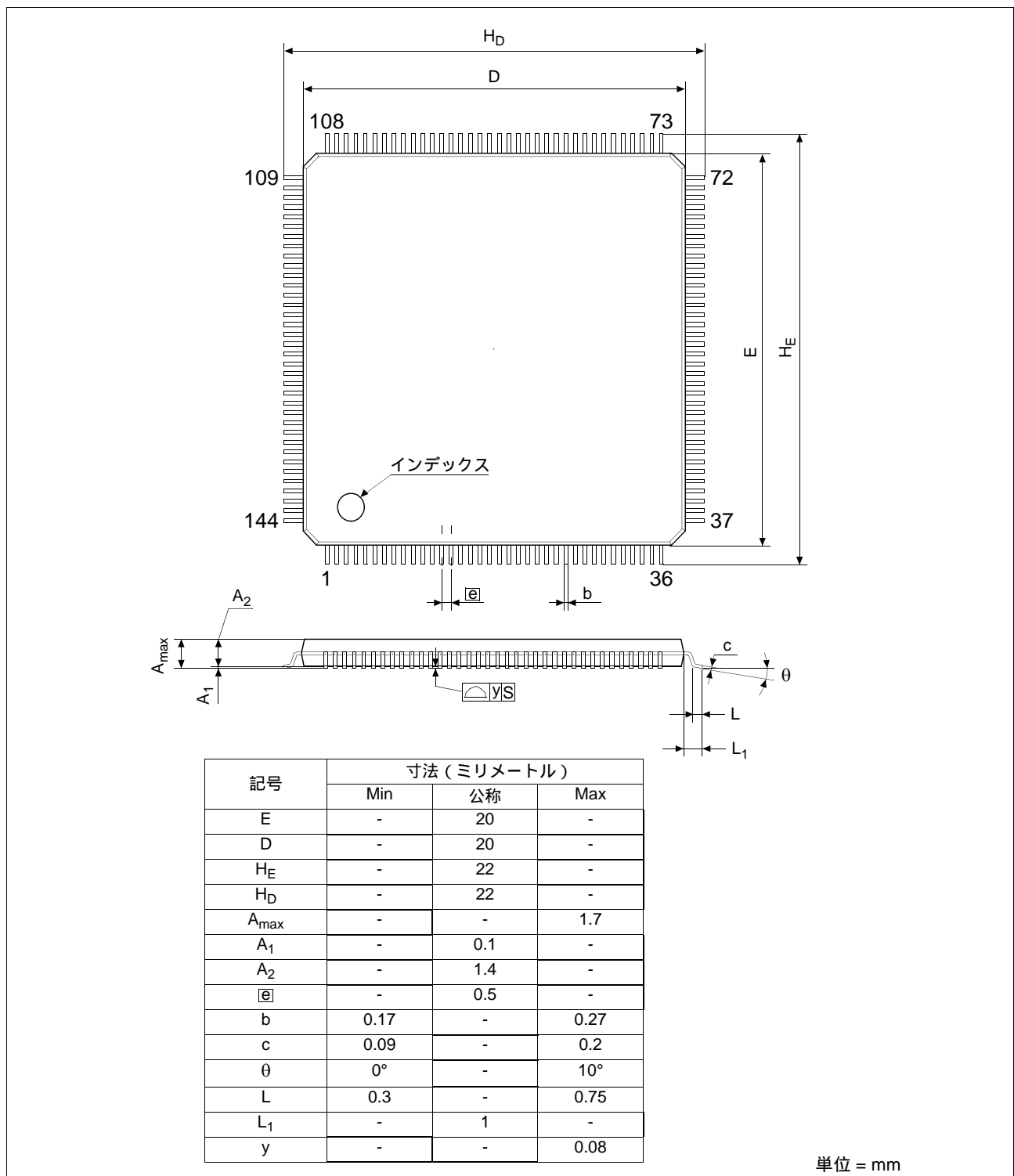


図21.1 S1D13742 QFP20 144端子パッケージ

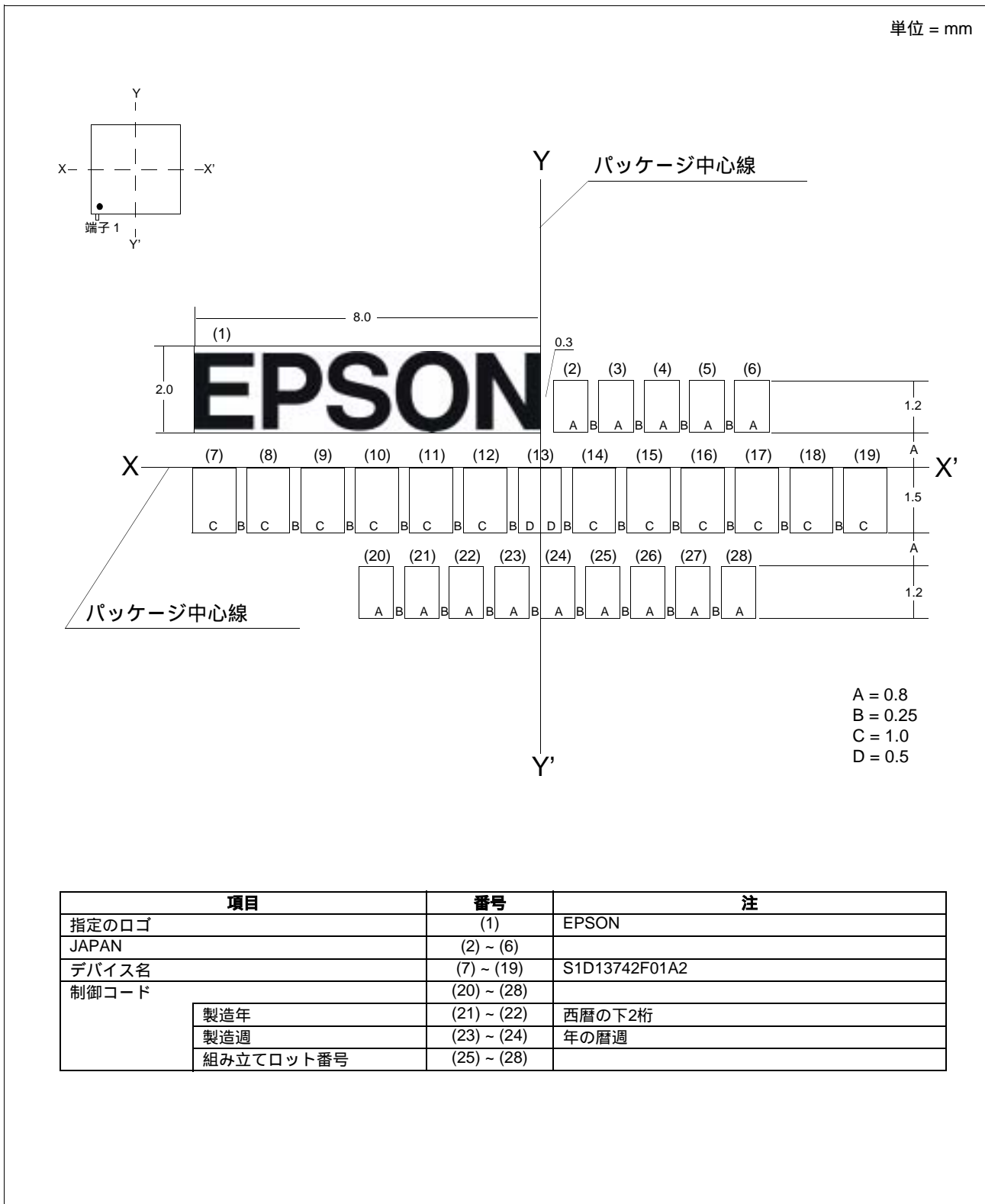


図21.2 S1D13742 QFP 144端子パッケージのマーキング

## 22. 参考資料

---

### 22. 参考資料

以下の文書には、S1D13742に関連する追加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、Epson Research and Developmentのウェブサイト [www.erd.epson.com](http://www.erd.epson.com) でご覧いただけます。

- 『S1D13742 Product Brief (S1D13742の製品概要)』(X63A-C-001-xx)
- 『S5U13742P00C100 Evaluation Board User Manual (S5U13742P00C100評価ボードユーザーマニュアル)』(X63A-G-002-xx)

## 改訂履歴表

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 6.01	2007/11/1	全ページ	新規	新規制定
Rev. 6.2	2010/1/18	全ページ	-	前リビジョンからの変更内容を赤字で示します。
		P1	変更	1.1 適用範囲 記述を変更。
		P36	追加	8.4 SYSCLKとPCLKの設定 CLKIの設定範囲を追加。
			削除	23. 販売およびテクニカルサポートを削除。
Rev.6.3	2012/2/29	全ページ	削除	FCBGAパッケージを削除

## セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

---

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 411316802  
2007年 11月 作成  
2012年 2月 改訂