

ディスプレイコントローラ
S1D13513
テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

- 1.) 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 2.) 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
- 3.) 特性値の数値の大小は、数直線上の大小関係で表しています。
- 4.) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事情途に使用する目的をもって製品および弊社が提供する技術を費消、再販または輸出等しないでください。
- 5.) 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
- 6.) 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	概要説明	1
1.3	パッケージ制約	2
2.	特長	3
2.1	メモリ	3
2.2	CPUインタフェース	3
2.3	パネルインタフェースサポート	4
2.4	表示機能	5
2.5	クロックソース	6
2.6	2Dアクセラレータ	7
2.7	スプライトエンジン	7
2.8	コマンドFIFO	8
2.9	カメラインタフェース	8
2.10	その他	9
3.	システム構成図	10
4.	ブロック図	12
5.	端子構成	13
5.1	S1D13513端子配置図	14
5.1.1	QFP22 208ピンの端子配置	14
5.1.2	PBGA 256ピンの端子配置	15
5.2	端子説明	16
5.2.1	ホストインタフェース	17
5.2.2	LCDインタフェース	21
5.2.3	SDRAMインタフェース	24
5.2.4	GPIO／マルチファンクションインタフェース	26
5.2.5	その他	33
5.2.6	電源とグラウンド	34
5.3	コンフィギュレーションオプションの概要	35
5.4	ホストバスインタフェースの端子割り付け	38
5.5	LCDインタフェースの端子割り付け	42
5.6	GPIOの端子割り付け	44
5.7	YUVデジタル出カインタフェースの端子割り付け	45
5.8	カメラインタフェースの端子割り付け	45
5.9	I2Cインタフェースの端子割り付け	46
5.10	PWMインタフェースの端子割り付け	46
5.11	キーパッドインタフェースの端子割り付け	47

6. DC特性	48
7. AC特性	50
7.1 クロックタイミング	50
7.1.1 入力クロック	50
7.1.2 内部クロック	52
7.1.3 PLLクロック	53
7.2 電源シーケンス	54
7.2.1 電源構成	54
7.2.2 パワーオンシーケンス	55
7.2.3 パワーオフシーケンス	56
7.3 RESET#タイミング	57
7.4 ホストバスインタフェースタイミング	58
7.4.1 ダイレクト/インダイレクト80タイプ1	58
7.4.2 ダイレクト/インダイレクト80タイプ2	60
7.4.3 ダイレクト/インダイレクト68	62
7.4.4 汎用 (C33)	64
7.4.5 Renesas SH4	66
7.4.6 Renesas SH3	68
7.4.7 MIPS/ISA (NEC VR41xx)	70
7.4.8 Freescale MC68000	72
7.4.9 Freescale MC68030	74
7.4.10 Freescale MPC555 (非バーストモード)	76
7.4.11 フィリップスPR31500/PR31700/東芝TX3912	80
7.4.12 シリアルホスト	82
7.4.13 シリアルホストインタフェースバーストモード	84
7.5 パワーシーケンス	84
7.6 パネルインタフェースタイミング	85
7.6.1 汎用TFTパネルタイミング	85
7.6.2 HR-TFTパネルタイミング	88
7.6.3 ND-TFD 8ビットシリアルインタフェースタイミング	91
7.6.4 ND-TFD 9ビットシリアルインタフェースタイミング	92
7.6.5 a-Si TFTシリアルインタフェースタイミング	93
7.6.6 uWIREシリアルインタフェースタイミング	94
7.6.7 24ビットシリアルインタフェースタイミング	95
7.6.8 YUVデジタル出力	96
7.6.9 シングルモノクロ8ビットパネルタイミング	98
7.6.10 シングルカラー8ビットパネルタイミング (タイプ2)	101
7.7 カメラインタフェースタイミング	104
7.7.1 カメラインタフェースYUVタイミング (8ビットデータバスモード)	104
7.7.2 カメラインタフェースYUVタイミング (16ビットデータバスモード)	105

7.7.3	カメラインタフェースJPEGタイミング	106
7.7.4	ストロボ制御出力タイミング	107
7.8	SDRAMインタフェースタイミング	108
7.9	I2Cインタフェースタイミング	112
7.10	キーパッドインタフェースタイミング	114
8.	メモリマップ	116
8.1	ダイレクトアドレス指定を使用したメモリアクセス	116
8.2	インダイレクトアドレス指定を使用したメモリアクセス	118
8.3	IOマップ	118
9.	クロック	119
9.1	クロックの概要	119
9.2	PLLプログラミングの例	120
10.	レジスタ	121
10.1	レジスタマッピング	121
10.2	レジスタセット	123
10.3	レジスタの制限	129
10.4	レジスタの説明	130
10.4.1	ホストインタフェースレジスタ	130
10.4.2	システム制御レジスタ	142
10.4.3	LCDパネル設定レジスタ	163
10.4.4	HR-TFT設定レジスタ	175
10.4.5	LCD表示モードレジスタ	178
10.4.6	GPIOレジスタ	202
10.4.7	スプライトレジスタ	213
10.4.8	スプライトエンジンレジスタ	230
10.4.9	2D BitBLTレジスタ	239
10.4.10	メモリコントローラレジスタ	264
10.4.11	カメラインタフェースレジスタ	273
10.4.12	リサイザー操作レジスタ	290
10.4.13	YUVキャプチャモジュールレジスタ	302
10.4.14	YUVキャプチャ FIFOレジスタ	309
10.4.15	YRCレジスタ	316
10.4.16	PWMレジスタ	324
10.4.17	I2Cレジスタ	332
10.4.18	DMA制御レジスタ	355
10.4.19	コマンドFIFO (BitBLTおよびスプライト用) レジスタ	366
10.4.20	キーパッドインタフェースレジスタ	367
11.	パワーセーブモード	372
11.1	パワーオン/パワーオフシーケンス	372

11.2	動作モード	373
11.2.1	電源投入	373
11.2.2	リセット	374
11.2.3	スタンバイモード	374
11.2.4	パワーセーブモード	374
11.2.5	通常モード	374
11.2.6	パワーオフ	374
11.3	パワーセーブモードの機能	376
12.	データフォーマット	377
12.1	メモリデータフォーマット	377
13.	表示機能	381
13.1	SwivelView™	381
13.1.1	0° SwivelView	382
13.1.2	180° SwivelView	383
13.2	ミラー表示	384
13.2.1	0° SwivelViewのミラー表示	385
13.2.2	SwivelViewモードでのミラー表示	386
13.3	ガンマ補正	387
13.3.1	ガンマLUTバンクの選択	389
13.3.2	ガンマLUTのプログラミング	390
13.4	擬似カラーモード	391
14.	リサイザー	392
14.1	リサイザーの説明	392
14.2	トリミング機能	393
14.3	スケーリング機能	394
14.3.1	奇数スケーリング	394
14.3.2	偶数スケーリング	395
14.3.3	平均法	395
14.3.4	スケーリング後のピクセル数を計算する方法	396
15.	2D BitBLTエンジン	397
15.1	概要	397
15.2	BitBLTの用語と定義	398
16.	スプライトエンジン	401
16.1	スプライトのデータ経路	402
16.2	Zオーダーリング透過を伴う16スプライト	403
16.3	Zオーダーリングアルファブレンディングを伴う16スプライト	404
16.4	スプライトごとに16のシーケンス	406
16.5	基準点に基づく90°、180° および270° 回転+ミラー	407
16.6	スプライト表示の向きと位置決め	408

16.7	任意角度の回転	413
16.7.1	任意回転がディisableされたスプライトの例	413
16.7.2	任意回転がイnableされたスプライトの例	415
16.8	プログラミングフロー	418
16.9	イメージフォーマットコンバータ	422
17.	コマンドFIFO	423
18.	SDRAMインタフェース	425
18.1	SDRAMの初期化	425
18.1.1	標準SDRAMの初期化	425
18.1.2	モバイルSDRAMの初期化	426
18.2	メモリバンド幅	427
19.	パルス幅変調 (PWM)	428
19.1	PWM回路の概要	428
19.2	その他の注意事項	432
20.	ホストインタフェース	433
20.1	ハードウェア構成	433
20.1.1	バスタイプ (CNF6)	433
20.1.2	チップ選択 (1CS#と2CS#)	433
20.1.3	エンディアンモード	434
20.1.4	CNF[4:0]-ホストバスインタフェースのタイプ	434
20.1.5	シリアルホストインタフェースのクロック極性	435
20.2	ホストバスタイムアウト機能	436
20.2.1	ホスト読み出し/書き込みサイクルタイムアウト	436
20.2.2	ホストWAIT#長さタイムアウト	437
20.3	インダイレクトインタフェース	438
20.3.1	レジスタアクセスのインダイレクトアドレス指定	439
20.3.2	レジスタアクセス	441
20.3.3	メモリアクセス	442
20.4	先読み機能	443
20.5	シリアルインタフェース	445
20.5.1	内容	445
20.5.2	バーストモードの動作	447
20.5.3	データ転送の例	448
20.5.4	インダイレクトレジスタアドレス自動インクリメントシリアルの場合	451
20.5.5	シリアルホスト電圧の選択	452
20.6	ビッグエンディアンホストインタフェースのレジスタアクセス	453
21.	LCDパネルインタフェース	454
21.1	TFT/ND-TFDパネル	455
21.1.1	TFT/ND-TFDデータ出力フォーマット	455

21.1.2	RGBシリアルコマンドインタフェース	456
21.1.3	TFT/ND-TFDプログラミングフロー	457
21.2	HR-TFTパネル	458
21.2.1	HR-TFTデータ出力フォーマット	458
21.2.2	HR-TFTインタフェース端子	459
21.2.3	HR-TFTプログラミングフロー	459
21.3	パッシブパネル	460
21.3.1	パッシブパネルデータ出力フォーマット	460
21.3.2	パッシブパネルプログラミングフロー	461
21.4	YUVデジタル出力	462
21.4.1	YUVデジタルデータ出力フォーマット	462
21.4.2	YUVデジタル出力プログラミングフロー	462
22.	カメラインタフェース	464
22.1	プログラミングフロー	466
22.2	フレームキャプチャ割り込み	469
22.3	ストロボ制御信号	470
22.3.1	ストロボパルスの生成	470
22.3.2	ストロボタイミング	472
23.	I2Cインタフェース	473
23.1	プログラミングフロー	474
24.	キーパッドインタフェース	477
24.1	キーパッドインタフェースの接続例	477
24.2	キースキャン	478
24.3	プログラミングフローの例	480
25.	水晶発振器回路	482
26.	設計指針	483
26.1	PLL電源レイアウトの基準	483
27.	メカニカルデータ	485
28.	参考資料	487

1. はじめに

1.1 適用範囲

本書は、ディスプレイコントローラS1D13513のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13513 Display Controller Hardware Functional Specificationが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、

http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm

<http://vdc.epson.com/>

からダウンロードできます。

1.2 概要説明

S1D13513は、LCDやテレビへの出力が可能なグラフィックスコントローラです。外付けSDRAMに対応するためのメモリインタフェースや、多様なCPUパネルへのダイレクト接続を実現するためのインタフェースをサポートしています。またカメラポートとして8ビット×2もしくは16ビット×1のYUV入力をサポートしています。S1D13513の仕様およびアーキテクチャは、携帯端末やOA機器、FA機器、車載機器などの組み込みシステムの要求を満たすよう設計されています。

S1D13513に搭載されているスプライトや2D BitBLTのグラフィックアクセラレータ機能は、CPUの負荷を軽減するだけでなく、描画速度の向上を実現します。さらにマルチウィンドウ、アルファブレンディング、ガンマ補正およびミラー/回転表示などの機能を有しており、メイン/PIP1/PIP2ウィンドウ上に様々な画像を構成することが可能です。

S1D13513はMicrosoft社のWindows CE OSを第一のターゲットとして設計していますが、特定のCPUやOSに依存することのない多様なアプリケーションに最適な表示ソリューションを提供します。

1. はじめに

1.3 パッケージ制約

S1D13513は、PBGA 256ピンとQFP22 208ピンの2つのパッケージが用意されています。ただし、QFPパッケージは、ピン数が少なく、S1D13513の機能の中でサポートしていないものがあります。S1D13513のQFPパッケージでは以下の機能が使用できません。

- ×32SDRAMはサポートしていません（×16SDRAMのみ）
- 256Mビット（32Mバイト）と512Mビット（64Mバイト）の容量のSDRAMはサポートしていません
- 24ビットTFTはサポートしていません（最大18ビットTFT）
- Camera2インタフェースは使用できません（YUVデジタル出力で多重化されたCamera1インタフェースのみ）
- キーパッドインタフェースは使用できません
- INT2#はサポートしていません（INT1#のみ）

2. 特長

2.1 メモリ

- 表示バッファとして外部SDRAMまたはモバイルSDRAMを使用（メモリは内蔵していません）
 - 特定の2D BitBLT機能とスプライト機能に外部メモリが使用可能
 - メモリにダイレクトまたはインダイレクトアクセスモードを使ってアドレス可能
 - 最初の 1M バイトメモリに対するリニアアクセスと残りの領域を 4 つの 256K バイトウィンドウに構成可能
- SDRAMインタフェース
 - 最大100MHzのSDRAMバスクロックをサポート
 - ×16および×32のSDRAMインタフェースをサポート（×32はPBGAパッケージのみ）
 - 8/16/32/64Mバイトの4バンクSDRAMをサポート（32/64MバイトはPBGAパッケージのみ）
 - 8/16/32/64Mバイトの4バンクモバイルSDRAM（32/64MバイトはPBGAパッケージのみ）
 - 低電力設計
 - 自己リフレッシュモードへの自動復帰

注

メモリ使用量の基準は、427ページの項18.2「メモリバンド幅」を参照してください。

2.2 CPUインタフェース

- 以下の16ビットCPUインタフェースのダイレクトおよびインダイレクトインタフェースをサポート
 - 汎用MPUバスインタフェース
 - Renesas SH-4/SH-3
 - MIPS/ISAバスインタフェース
 - FreeScale MC68K バス1型インタフェース
 - FreeScale MC68K バス2型インタフェース
 - FreeScale Power PCバスインタフェース
 - フィリップスPR31500/PR31700（16ビットメモリアクセスのみ）
 - 東芝TX3912（16ビットメモリアクセスのみ）
 - バースト転送付きFreeScale MPC555
- シリアルホストインタフェース
- レジスタは、M/R# 入力がメモリまたはレジスタアドレス空間を選択するようにメモリマッピング

2. 特長

2.3 パネルインタフェースサポート

- RGBインタフェースシングルパネル
 - カラー TFTパネル
 - 16/18/24ビットインタフェース (QFPパッケージでは24ビットパネルをサポートしません)
 - 汎用TFT/TFDインタフェース
 - HR-TFTインタフェース
 - パッシブパネル
 - 8ビットモノクロ (パッシブパネルではPIP2ウィンドウをサポートしません)
 - 8ビットカラータイプ2 (パッシブパネルではPIP2ウィンドウをサポートしません)
 - パッシブパネルにはさらに最大表示サイズの制限があります。詳しくはEPSON販売代理店までお問い合わせください
- オプションのシリアルコマンドインタフェースをサポート
 - TFT w/ μ ワイヤインタフェース (16ビット)
 - EPSON ND-TFD 4ピンインタフェース (8ビット)
 - EPSON ND-TFD 3ピンインタフェース (9ビット)
 - 8/24ビットコマンドインタフェース
- パネル解像度の例
 - メモリ使用量の基準は、427ページの項18.2「メモリバンド幅」を参照してください
- 外部ビデオエンコーダ (ADV7170) によりNTSC/PAL形式のTVをサポートするYUVデジタル出力 (YUV 4:2:2)

2.4 表示機能

- マルチウィンドウ（レイヤ）をサポート
 - メインウィンドウとPIP1ウィンドウ（イネーブルされた場合）がビューポート（ボトムレイヤ）を構成
 - 8/16/32ビット/ピクセル（bpp）色深度
 - ビューポートではアルファブレンディングは非サポート
 - ミラー機能と180° 回転機能
 - メインウィンドウまたはPIP1ウィンドウを二重バッファすることが可能
 - オプションのガンマ補正機能
 - PIP2ウィンドウ（イネーブルされた場合）はトップレイヤ（パッシブパネルではPIP2をサポートしません）
 - 8/16/32ビット/ピクセル（bpp）色深度
 - オプションのアルファブレンディング機能（アルファマップを含む ARGB 1:5:5:5/ARGB 4:4:4:4/ARGB 8:8:8:8フォーマット）
 - オプションの透過機能
 - ミラー機能と180° 回転機能
 - PIP2ウィンドウをダブルバッファすることが可能
 - オプションのガンマ補正機能
- ミラーと回転
 - ミラー機能は、表示画像を水平方向に反転
 - ビューポート（メイン／PIPウィンドウ）とPIP2ウィンドウの独立制御
 - 回転機能は、表示画像を反時計方向に180° 回転
 - ビューポート（メイン／PIPウィンドウ）とPIP2ウィンドウの独立制御
- ダブルバッファのサポート
 - メイン／PIP1／PIP2 ウィンドウからダブルバッファウィンドウを選択可能（ダブルバッファできるのは1度に1つのウィンドウだけです）
 - フロントバッファとバックバッファの自動切り替え
 - カメラインタフェースまたはスプライトエンジンからの画像データソースが可能
- アルファブレンディング
 - ビューポート（メイン+PIP1）とPIP2ウィンドウ間のアルファブレンディングをサポート
 - 8ビット一定アルファ値
 - アルファマップによる動的アルファブレンディング
 - 透過機能との組み合わせ

2. 特長

- ガンマ補正
 - メイン／PIP1／PIP2ウィンドウのガンマ補正選択可能
 - シングルポートSRAMを用いた2つのガンマ補正ルックアップテーブル（バンクAとバンクB）
 - RGB成分ごとに独立での色補正
 - ビューポート（メイン+PIP1ウィンドウ）をLUTバンク間で動的に切り替え可能
 - 非同期のテーブルアクセス
- 擬似色拡張
 - 非同期のテーブルアクセス
 - 2×2ディザーマトリクス
 - 2×2 FRM
 - 誤差拡散
 - 2ビット減色
- スプライトエンジンを用いてハードウェアカーソルが使用可能
- PIP1またはPIP2ウィンドウにCamera1またはCamera2 YUV画像を表示可能
- 割り込みをサポート
 - マスク可能な非表示期間（Vsync）割り込み
 - Vsync割り込み発行の遅延をライン数で設定可能

2.5 クロックソース

- 2つの組み込みPLL
 - PLL1ソース：BUSCLK、CLKI3、OSCI1/OSCO1、OSCI2/OSCO2
 - PLL2ソース：BUSCLK、CLKI3、OSCI1/OSCO1、OSCI2/OSCO2
- 2つの水晶振動子入力：OSCI1/OSCO1とOSCI2/OSCO2
- 4つのデジタル入力：BUSCLK、CLKI3、CMCLKIN1、CMCLKIN2
- クロック出力：MEMCLK、CMCLKOUT1、CMCLKOUT2

2.6 2Dアクセラレータ

- 8/16/32ビット/ピクセル (bpp) 色深度をサポート
- 発信元または送信先に対する線形または矩形のデータ転送
- 次の64ビット2D BitBLTエンジン

Write BitBLT (色拡張機能付き)	Move BitBLT (ROP機能付き)
Write BitBLT (透過機能付き)	Move BitBLT (透過機能付き)
Read BitBLT	Solid Fill BitBLT
Move BitBLT (逆方向オプション付き)	Pattern Fill BitBLT (透過機能付き)
Move BitBLT (色拡張機能付き)	
Move BitBLT (クリッピングオプション付き)	
Move BitBLT (アルファブレンディング機能付き)	

2.7 スプライトエンジン

- スプライトエンジンは、次の機能をサポートする2Dアニメーションアクセラレータです
 - 最大16スプライト。各スプライトは順次最大16フレームを表示
 - アルファブレンディングと透過機能に使用されるスプライトごとのZオーダー値
 - スプライトごとに固有の画像回転およびミラー設定
 - スプライトごとの任意の回転設定がオプションで可能
 - スプライトソースフォーマット: RGB 5:6:5、ARGB 1:5:5:5、ARGB 4:4:4:4、ARGB 8:8:8:8
 - スプライト出力フォーマット: RGB 3:3:2、RGB 5:6:5、RGB 8:8:8
 - 最大1280×1280のスプライト表示サイズ
 - 最大8192×8192のスプライト仮想画像サイズ
 - アルファブレンディング
 - 最大256パターンの連続アニメーション機能

2. 特長

2.8 コマンドFIFO

- コマンドFIFOは、BitBLTおよびSpriteコマンドの発行時のCPU負荷を軽減
 - 最大64エントリが可能
- BitBLTコマンドとSpriteコマンドをコマンドFIFO内に混在可能。ただし、BitBLTエンジンとスプライトエンジンを同時に動作させることは不可
- コマンドFIFOは次のコマンドをできるだけすばやくBitBLT／スプライトエンジンに自動的に送信
- レジスタ空間に書き込むことによりコマンドがFIFOに送信

2.9 カメラインタフェース

- デュアルポートカメラインタフェース
 - 2つの8ビットカメラインタフェースまたは1つの16ビットカメラインタフェースとして設定可能
 - YUV 4:2:2入力形式（8または16ビット）
 - JPEG対応カメラから生JPEGデータをオプションでキャプチャ可能
 - ITU-R BT656（CCIR-656）YUVフォーマットをサポート
 - カメラストロボ機能
- デュアルリサイザーによりCaptureパスとViewパスの両方のYUVデータのサイズ変更が可能
- YUV画像データをSDRAMにYUV 4:2:2フォーマットとして「キャプチャ」し、保存することが可能
- YUV画像データをLCDまたはTVに表示することが可能

注

QFPパッケージではCamera2の8ビット入力とCamera1の16ビット入力は使用できません。

2.10 その他

- 20～50MHzホストバスクロックをサポート
- 最大50MHzの内部システムクロックをサポート
- 2つのIRQ出力端子（INT2#端子はPBGAパッケージでのみ使用可能）
 - IRQソース（VSYNC、Delayed VSYNC、BitBLT done、Sprite doneなど）
- I2Cインタフェース（一般にカメラをプログラムするために使用）
- PWM：バックライト制御用4チャンネル
- キーパッドインタフェース（PBGAパッケージでのみ使用可能）
 - 5×5マトリックスサポート
- ソフトウェアによるパワーセーブモードの開始
- モジュール不要時クロックが動的にオフ
- 汎用入出力端子（GPIO）が使用可能
- オペレーティングシステムに非依存
- 電源：
 - 入出力は3.3V±0.3Vで動作
 - HOSTインタフェースは1.8V±0.15Vで動作可能
 - コアは1.8V±0.15Vで動作
- パッケージタイプ：
 - PBGA 256ピンパッケージ（17×17×1.3mm、ボールピッチ：1.0mm）
 - QFP22 208ピンパッケージ（28×28×1.4mm、ピンピッチ：0.5mm）

注

QFPパッケージにはS1D13513の機能の中でサポートしていないものがあります。詳しくは、2ページの項1.3「パッケージ制約」を参照してください。

3. システム構成図

3. システム構成図

以下の図は代表的なシステム構成例です。端子説明と端子配置の詳細は、13ページの項5.「端子構成」を参照してください。

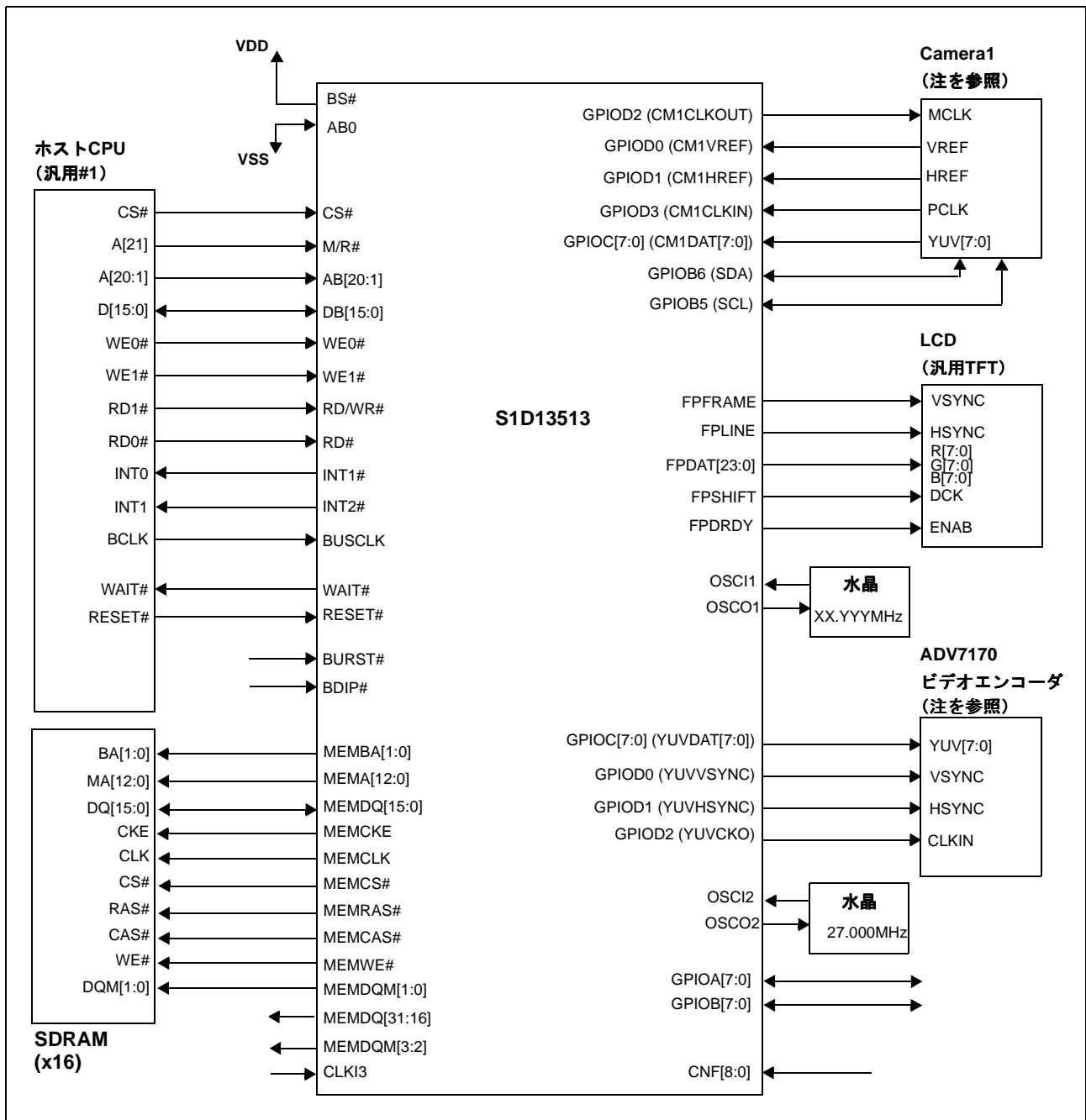


図3-1 システム構成例1

注

上記のシステム構成例では、Camera1とADV7170ビデオエンコーダを同時にアクティブにできません。

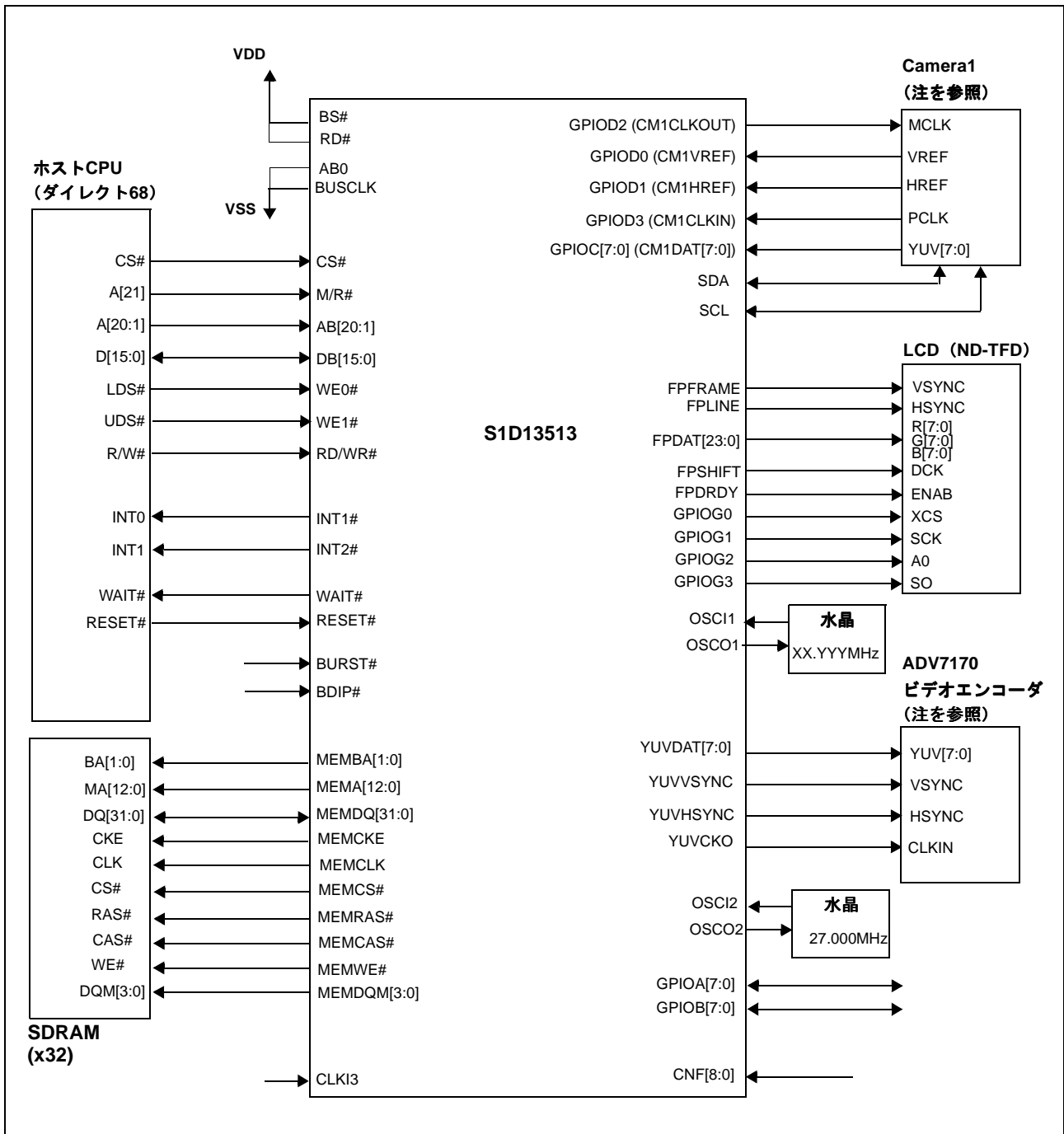


図3-2 システム構成例2

注

上記のシステム構成例では、Camera1とADV7170のビデオエンコーダを同時にアクティブにできません。

4. ブロック図

4. ブロック図

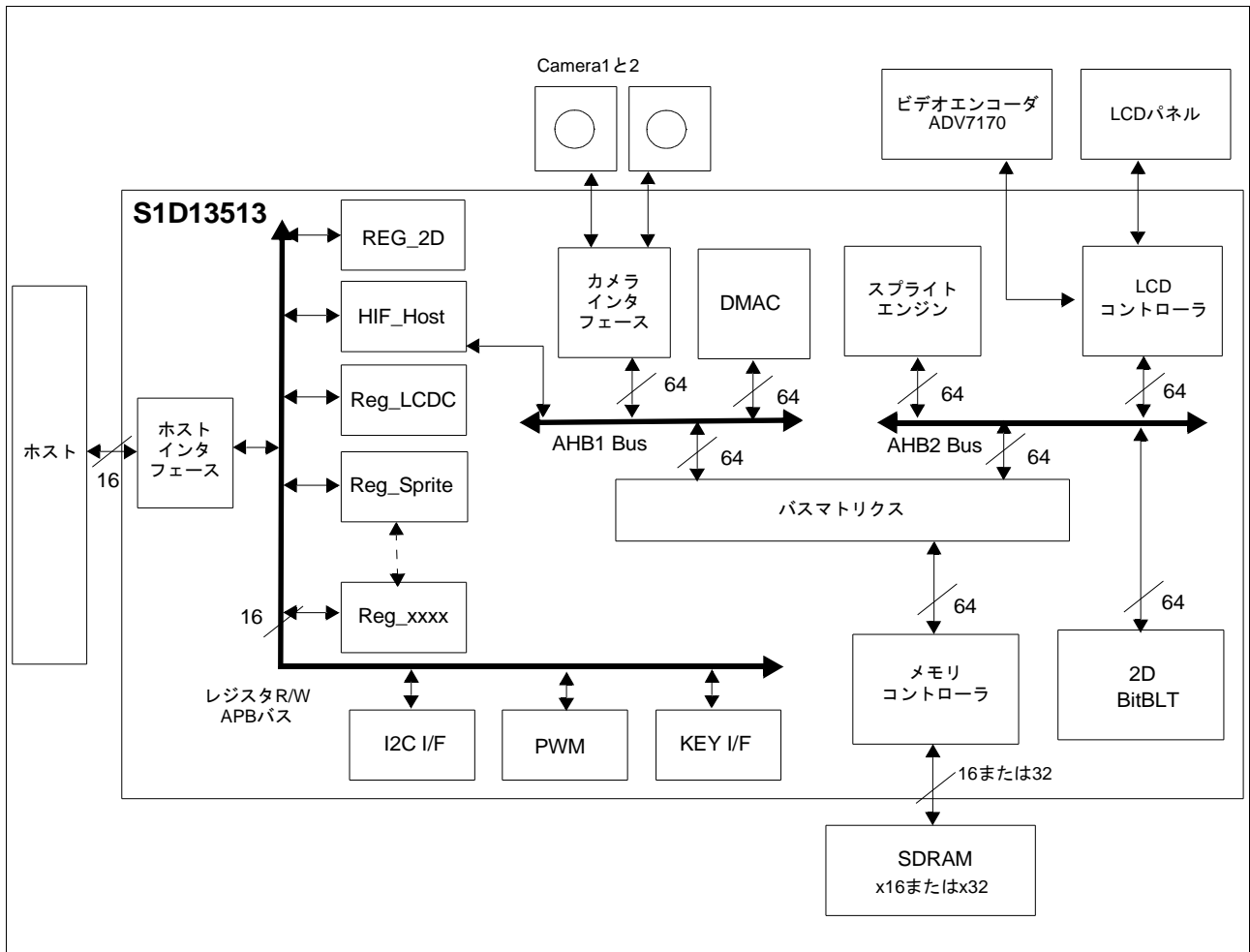


図4-1 ブロック図

5. 端子構成

S1D13513は次の2つのパッケージを提供します。

- PFBGA 256ピン
- QFP22 208ピン

ただし、QFPパッケージはピン数が少なく、S1D13513の機能の中でサポートしていないものがあります。QFP制約の概要は、2ページの項1.3「パッケージ制約」を参照してください。

5. 端子構成

5.1 S1D13513端子配置図

5.1.1 QFP22 208ピンの端子配置

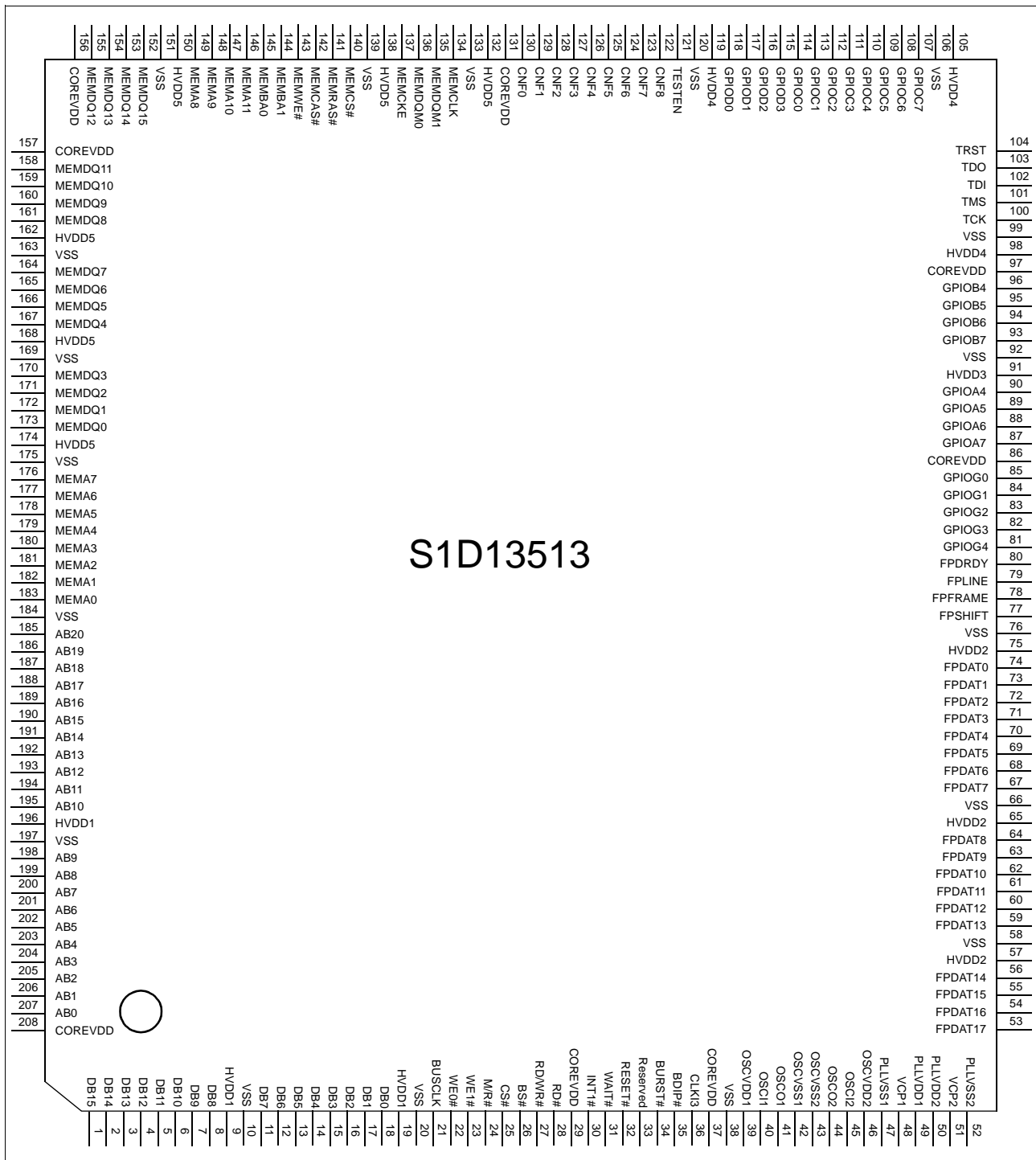


図5-1 QFP22-208端子配置

5.1.2 PBGA 256ピンの端子配置

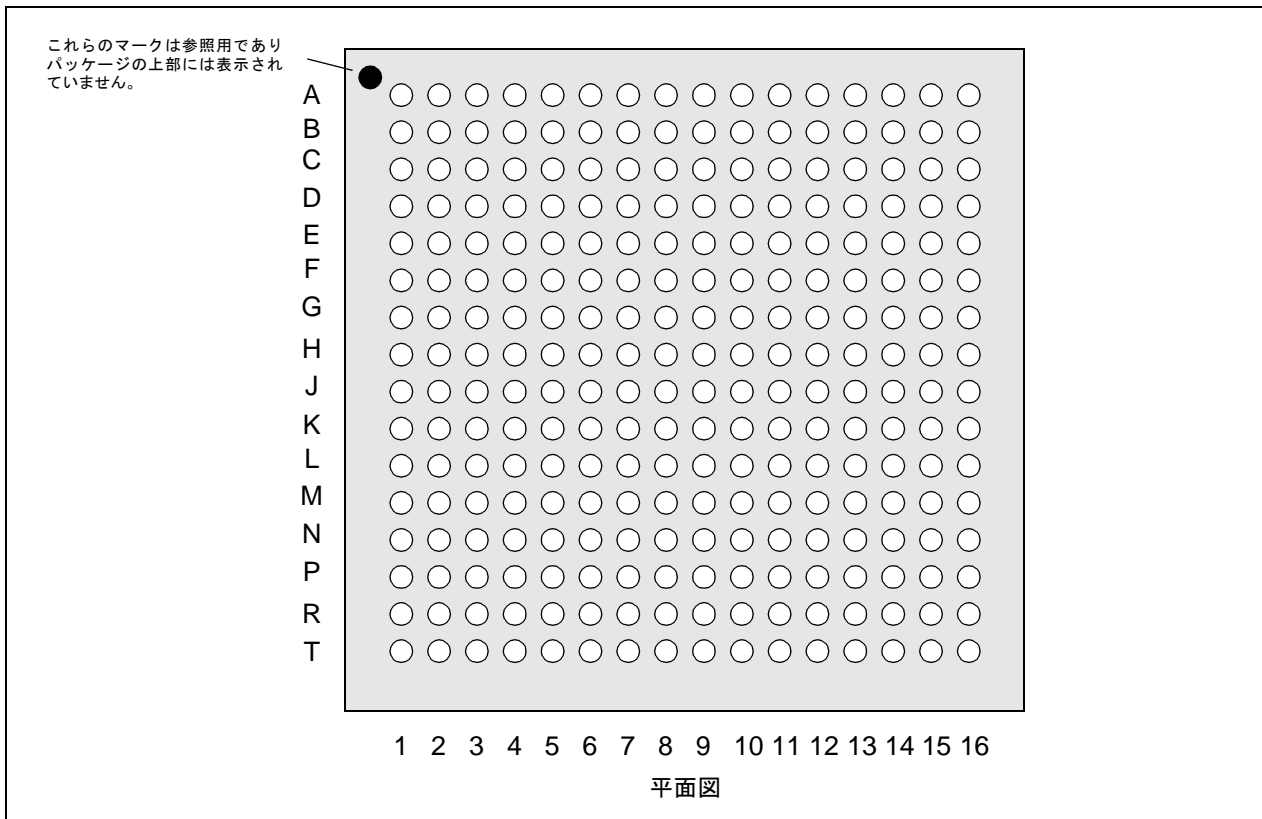


図5-2 PBGA 256ピンの端子配置

表5-1 PBGA 256ピンの端子配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
A	VSS	AB1	AB3	AB7	AB8	AB14	AB15	MEMA4	MEMA7	MEMDQ1	MEMDQ22	MEMDQ7	MEMDQ24	MEMDQ10	MEMDQ27	VSS	A
B	AB0	AB2	AB4	AB6	AB9	AB13	AB19	MEMA3	HVDD5	MEMDQ2	MEMDQ4	MEMDQ23	MEMDQ25	MEMDQ26	MEMDQ11	MEMDQ12	B
C	DB15	DB14	COREVDD	AB5	AB10	AB11	AB16	MEMA2	MEMDQ0	MEMDQ3	MEMDQ21	HVDD5	MEMDQ9	COREVDD	MEMDQ28	MEMDQ29	C
D	DB13	DB11	DB12	VSS	HVDD1	AB12	AB18	VSS	MEMDQ16	MEMDQ19	MEMDQ5	MEMDQ8	VSS	MEMDQ13	MEMDQ14	MEMDQ31	D
E	DB7	HVDD1	DB9	DB10	DB8	AB17	AB20	MEMA1	MEMA6	MEMDQ18	MEMDQ20	MEMDQ6	MEMDQ30	MEMDQ15	HVDD5	MEMA8	E
F	DB1	DB3	DB5	DB6	DB4	COREVDD	DB2	MEMA0	MEMA5	MEMDQ17	COREVDD	MEMA9	MEMA10	MEMA11	MEMA12	MEMBA0	F
G	M/R#	BUSCLK	DB0	HVDD1	WE1#	CS#	VSS	VSS	VSS	VSS	HVDD5	MEMBA1	VSS	MEMCAS#	MEMRAS#	MEMWE#	G
H	WE0#	RD/WR#	BS#	RD#	INT1#	INT2#	VSS	VSS	VSS	VSS	MEMCS#	HVDD5	MEMDQM0	MEMDQM1	MEMDQM2	MEMCKE	H
J	VSS	WAIT#	RESET#	BURST#	予備	BDIP#	VSS	VSS	VSS	VSS	MEMDQM3	HVDD5	CNF1	CNF3	CNF0	MEMCLK	J
K	CLK3	VSS	COREVDD	FPDAT23	FPDAT19	FPDAT7	VSS	VSS	VSS	VSS	CNF2	CNF5	VSS	CNF8	CNF6	CNF4	K
L	OSCI1	OSCO1	OSCVSS1	OSCVDD1	HVDD2	COREVDD	FPDAT5	HVDD2	GPIOG0	GPIOA6	COREVDD	HVDD4	GIPOD1	GIPOD2	TESTEN	CNF7	L
M	OSCI2	OSCO2	OSCVDD2	OSCVSS2	FPDAT10	FPDAT6	FPDAT0	FPDRDY	GPIOA7	GPIOA5	GPIOB7	GPIOC1	HVDD4	GPIOC4	GPIOD3	GPIOD0	M
N	VCP1	PLLSS1	VSS	FPDAT17	FPDAT11	VSS	FPDAT1	GPIOG4	VSS	GPIOA1	GPIOB6	TDI	VSS	GPIOC5	GPIOC3	GPIOC0	N
P	PLLVDD1	PLLVDD2	COREVDD	FPDAT16	FPDAT20	FPDAT9	FPDAT4	FPSHIFT	GPIOG1	GPIOA0	GPIOB1	TCK	TRST	COREVDD	GPIOC6	GPIOC2	P
R	VCP2	PLLSS2	FPDAT22	FPDAT14	FPDAT18	FPDAT8	FPDAT3	FPFRAME	GPIOG2	GPIOA2	HVDD3	GPIOB2	GPIOB0	TMS	TDO	GPIOC7	R
T	VSS	FPDAT15	FPDAT21	FPDAT13	FPDAT12	HVDD2	FPDAT2	FPLINE	GPIOG3	GPIOA3	GPIOA4	GPIOB3	GPIOB5	GPIOB4	HVDD4	VSS	T

5. 端子構成

5.2 端子説明

キー：

端子タイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

RESET#状態

H	=	Highレベル出力
L	=	Lowレベル出力
Z	=	ハイインピーダンス（Hi-Z）
1	=	プルアップ抵抗の入力
0	=	プルダウン抵抗の入力
#	=	アクティブLowレベル

表5-2 セル説明

セル	説明
ILTR	低電圧トランスペアレント入力
OLTR	低電圧トランスペアレント出力
IC	LVC MOS入力
ICD1	プルダウン抵抗付きLVC MOS入力（50kΩ@3.3V）
ICD2	プルダウン抵抗付きLVC MOS入力（100kΩ@3.3V）
ICU1	プルアップ抵抗付きLVC MOS入力（50kΩ@3.3V）
ICS	LVC MOSシュミット入力
ICSD1	プルダウン抵抗付きLVC MOSシュミット入力（50kΩ@3.3V）
ICSP1	プルアップ抵抗付きLVC MOSシュミット入力（50kΩ@3.3V）
ICSP2	プルアップ抵抗付きLVC MOSシュミット入力（100kΩ@3.3V）
OTLN4	Lowノイズ出力バッファ（4mA@3.3VおよびdeltaV=0.4V）
OTLN8	Lowノイズ出力バッファ（8mA@3.3VおよびdeltaV=0.4V）
BLNC4D1	プルダウン抵抗付きLowノイズLVC MOS IOバッファ（4mA@3.3V）（50kΩ@3.3V）
BLNC4D2	プルダウン抵抗付きLowノイズLVC MOS IOバッファ（4mA@3.3V）（100kΩ@3.3V）
BLNC4P1	プルアップ抵抗付きLowノイズLVC MOS IOバッファ（4mA@3.3V）（50kΩ@3.3V）
BLNCS4D1	プルダウン抵抗付きLowノイズLVC MOSシュミットIOバッファ（4mA@3.3V）（50kΩ@3.3V）
P	電源

5.2.1 ホストインタフェース

多数のホストインタフェース端子は、CNF[6:0]端子を用いて選択されるホストバスインタフェースに対応する様々な機能を備えています (35ページの項5.3「コンフィギュレーションオプションの概要」を参照)。各ホストバスインタフェースの端子割り付けと端子の機能を確認するには、38ページの表5-11「ホストバスインタフェースの端子割り付け1 (ダイレクトインタフェース)」、39ページの表5-12「ホストバスインタフェースの端子割り付け2 (インダイレクトインタフェース)」、40ページの表5-13「ホストバスインタフェースの端子割り付け3 (ダイレクトインタフェース)」、および41ページの表5-14「ホストバスインタフェースの端子割り付け4 (インダイレクトインタフェース)」を参照してください。

表5-3 ホストインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
AB[20:0]	I	185~195、 198~207	E7、B7、 D7、E6、 C7、A7、 A6、B6、 D6、C6、 C5、B5、 A5、A4、 B4、C4、 B3、A3、 B2、A2、B1	ICD1	HVDD1	Z	これらの入力端子は、システムアドレス端子20~0です。 各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。
DB[15:0]	IO	1~8,11~ 18	C1、C2、 D1、D3、 D2、E4、 E3、E5、 E1、F4、 F3、F5、 F2、F7、 F1、G3	BLNC4D1	HVDD1	Z	これらの入出力端子は、システムデータバス端子15~0です。 各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。
CS#	I	25	G6	ICU1	HVDD1	Z	この入力端子は、チップセレクトです。CNF[4:0]を用いて選択されたホストバスインタフェースに対応する複数の機能があります。 <ul style="list-style-type: none"> 1 CS#モードでは、この端子はチップセレクト信号 (CS#) を入力します。 2 CS#モードでは、この端子はメモリチップセレクト信号 (CSM#) を入力します。 シリアルホストインタフェースが選択されたとき、この端子はシリアルホストチップセレクト (SCS#) です。 各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。

5. 端子構成

表5-3 ホストインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
M/R#	I	24	G1	ICU1	HVDD1	Z	<p>この入力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 1 CS#モードでは、この端子は表示バッファ空間またはレジスタアドレス空間を選択します。M/R#がHighに設定されたときに表示バッファがアクセスされ、M/R#がLowに設定されたときにレジスタがアクセスされます。 2 CS#モードでは、この端子はレジスタチップセレクト (CSR#) を入力します。 インダイレクトホストバスインタフェースとシリアルホストバスインタフェースの場合は、内部プルダウン抵抗がイネーブルされ、この端子は未接続のままにしてください。 シリアルホストバスインタフェースの場合は、内部プルダウン抵抗がイネーブルされ、この端子は未接続のままにしてください。 <p>各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p>
RD#	I	28	H4	ICU1	HVDD1	Z	<p>この入力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用インタフェースでは、この端子は下位バイト読み出しコマンド (RD0#) です。 ダイレクト/インダイレクト 68 インタフェースでは、この端子はVDDに接続してください。 ダイレクト/インダイレクト 80 タイプ1およびタイプ2インタフェースでは、この端子は読み出しイネーブル信号 (RD#) です。 他のすべてのインタフェースの端子機能の詳細は、各ホストの仕様書を参照してください。 <p>各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p>
RD/WR#	I	27	H2	ICU1	HVDD1	Z	<p>この入力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用インタフェースでは、この端子は上位バイト読み出しコマンド (RD1#) です。 ダイレクト/インダイレクト 68 インタフェースでは、この端子は読み出し/書き込み信号 (R/W#) です。 ダイレクト/インダイレクト 80 タイプ1インタフェースでは、この端子は書き込みイネーブル信号 (WE#) です。 ダイレクト/インダイレクト 80 タイプ2インタフェースでは、この端子はVDDに接続してください。 他のすべてのインタフェースの端子機能の詳細は、各ホストの仕様書を参照してください。 <p>各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p>

表5-3 ホストインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
WE0#	I	22	H1	ICU1	HVDD1	Z	<p>この入力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用インタフェースでは、この端子は下位バイト書き込みイネーブル信号 (WE0#) です。 ダイレクト/インダイレクト 68 インタフェースでは、この端子は下位データストロープ (LDS#) です。 ダイレクト/インダイレクト 80 タイプ1インタフェースでは、この端子は下位バイトイネーブル信号 (LBE#) です。 ダイレクト/インダイレクト 80 タイプ2インタフェースでは、この端子は下位バイト書き込みイネーブル信号 (WEL#) です。 他のすべてのインタフェースの端子機能の詳細は、各ホストの仕様書を参照してください。 <p>各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p>
WE1#	IO	23	G5	BLNC4P1	HVDD1	Z	<p>この入出力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用インタフェースでは、この端子は上位バイト書き込みイネーブル信号 (WE1#) です。 ダイレクト/インダイレクト 68 インタフェースでは、この端子は上位データストロープ (UDS#) です。 ダイレクト/インダイレクト 80 タイプ1インタフェースでは、この端子は上位バイトイネーブル信号 (UBE#) です。 ダイレクト/インダイレクト 80 タイプ2インタフェースでは、この端子は上位バイト書き込みイネーブル信号 (WEU#) です。 他のすべてのインタフェースの端子機能の詳細は、各ホストの仕様書を参照してください。 <p>各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p> <p>注：MPC555ホストインタフェースでは、この端子はバースト出力抑制 (BI#) です。</p>
BS#	I	26	H3	ICU1	HVDD1	Z	<p>この入力端子には複数の機能があります。各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。</p>
BURST#	I	34	J4	ICU1	HVDD1	Z	<p>MPC555ホストインタフェースでは、このピンの内部プルアップが無効になりますので、このピンを使わない場合はHVDD1に接続する必要があります。他のすべてのホストインタフェースでは、内部プルアップが有効になりますので、この端子は未接続にしてください。</p>

5. 端子構成

表5-3 ホストインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
BDIP#	I	35	J6	ICU1	HVDD1	Z	MPC555ホストインタフェースでは、このピンの内部プルアップが無効になりますので、このピンを使わない場合はHVDD1に接続する必要があります。他のすべてのホストインタフェースでは、内部プルアップが有効になりますので、この端子は未接続にしてください。
WAIT#	O	31	J2	OTLN4	HVDD1	Z	この出力端子は、データ転送中にアクティブに駆動され、システムを強制的に待ち状態にします。この端子は、データ転送完了を示すときに非アクティブに駆動されます。WAIT#は、データ転送完了後にハイインピーダンス状態に解放されます。アクティブ極性は、CNF[4:0]を用いて選択されたホストバスインタフェースにより設定されます。各ホストバスインタフェースの端子設定の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。
RESET#	I	32	J3	ICS	HVDD1	1	このアクティブLow入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的に非アクティブ状態にします。 注 ：RESET#タイミングの詳細は、57ページの項7.3「RESET#タイミング」と54ページの項7.2「電源シーケンス」を参照してください。
BUSCLK	I	21	G2	ICU1	HVDD1	Z	この入力クロックは、通常、ホストCPUバスインタフェースの外部クロックソースとして使用されます。各ホストバスインタフェースの端子機能の詳細は、38ページの項5.4「ホストバスインタフェースの端子割り付け」を参照してください。 S1D13513クロック構造の詳細は、119ページの項9.「クロック」を参照してください。
INT1#	O	30	H5	OTLN4	HVDD1	Z	この出力端子は、S1D13513からの第1 IRQ出力です。イネーブルされたとき (REG[002Ah]ビット15=1b)、すべての内部IRQ要求をホストに出力することができます。出力と極性はREG[002Ah]を用いて設定可能です。
INT2#	O	—	H6	OTLN4	HVDD1	Z	この出力端子は、S1D13513からの第2 IRQ出力であり、すべての内部IRQ要求をホストに出力することができます。さらに、特定の割り込みの専用出力として設定することができます (REG[0022h]を参照)。出力と極性はREG[002Ah]を使って設定可能です。 注 ：QFPパッケージはINT2#をサポートしていません。

5.2.2 LCDインタフェース

各パネルタイプの端子割り付けの概要は、42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照してください。

注

QFPパッケージは24ビットのパネルをサポートしていません。

表5-4 LCDインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
FPDAT[23:18]	IO	—	K4、R3、T3、P5、K5、R5	BLNCS4D1	HVDD2	0	<p>これらの入出力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> 24ビットパネル（REG[0800h]ビット10～8＝011b）では、これらのビットはパネルデータビット23～18です。REG[0C1Eh]ビット11～0を555hに設定することによってGPIOH[5:0]を24ビットパネル用に設定しなければならないことに注意してください。 18ビットパネル（REG[0800h]ビット10～8＝001bまたは010b）では、これらの端子を汎用IO端子（GPIOH[5:0]）として使用することができます。これらの端子をGPIOとして設定する詳細については、44ページの項5.6「GPIOの端子割り付け」を参照してください。 パッシブパネルでは、これらの端子は、汎用IO端子（GPIOH[5:0]）として使用することができます。これらの端子をGPIOとして設定する詳細については、44ページの項5.6「GPIOの端子割り付け」を参照してください。 <p>注：これらの端子は、REG[0468h]ビット13～8を用いて制御される内部プルダウン抵抗を備えています。</p> <p>注：QFPパッケージは24ビットTFTパネルをサポートしていません。</p>
FPDAT[17:0]	O	53～56、59～64、67～74	N4、P4、T2、R4、T4、T5、N5、M5、P6、R6、K6、M6、L7、P7、R7、T7、N7、M7	OTLN4	HVDD2	L	<p>これらの出力端子は、パネルデータビット17～0です。</p> <p>各パネルタイプの端子の使用方法は、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。</p>
FPFRAME	O	78	R8	OTLN4	HVDD2	L	この出力端子は、LCDパネルのフレームパルスです。
FPLINE	O	79	T8	OTLN4	HVDD2	L	この出力端子は、LCDパネルのラインパルスです。
FPSHIFT	O	77	P8	OTLN4	HVDD2	L	この出力端子は、LCDパネルのシフトクロックです。

5. 端子構成

表5-4 LCDインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
FPDRDY	O	80	M8	OTLN4	HVDD2	L	この出力端子には次の複数の機能があります。 <ul style="list-style-type: none"> • TFTパネルでは表示イネーブル (DRDY) • パッシブ LCD パネルでは LCD バックプレーンバイアス信号 (MOD)
GPIOG4	IO	81	N8	BLNCS4D1	HVDD2	0	この入出力端子には次の複数の機能があります。 <ul style="list-style-type: none"> • REG[0C1Ah]ビット9~8=00bのとき、この端子は汎用入力です。(デフォルト) • REG[0C1Ah]ビット9~8=01bのとき、この端子はHR-TFTパネル (SPR) に使用されます。 • REG[0C1Ah]ビット9~8=10bのとき、この端子は汎用出力です。 • REG[0C1Ah]ビット9~8=11bのとき、この端子は、シリアルコマンドインタフェース (42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照) を備えたTFTパネルに使用されます。 <p>注: この端子は、REG[0468h]ビット4を用いて制御される内部ブルダウン抵抗を備えています。</p>
GPIOG3	IO	82	T9	BLNCS4D1	HVDD2	0	この入出力端子には次の複数の機能があります。 <ul style="list-style-type: none"> • REG[0C1Ah]ビット7~6=00bのとき、この端子は汎用入力です。(デフォルト) • REG[0C1Ah]ビット7~6=01bのとき、この端子はHR-TFTパネル (SPL) に使用されます。 • REG[0C1Ah]ビット7~6=10bのとき、この端子は汎用出力です。 • REG[0C1Ah]ビット7~6=11bのとき、この端子は、シリアルコマンドインタフェースを備えたTFTパネルに使用されず (42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照)。 <p>注: この端子は、REG[0468h]ビット3を用いて制御される内部ブルダウン抵抗を備えています。</p>

表5-4 LCDインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOG2	IO	83	R9	BLNCS4D1	HVDD2	0	<p>この入出力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C1Ah]ビット5~4=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C1Ah]ビット5~4=01bのとき、この端子はHR-TFTパネル (REV) に使用されます。 REG[0C1Ah]ビット5~4=10bのとき、この端子は汎用出力です。 REG[0C1Ah]ビット5~4=11bのとき、この端子は、シリアルコマンドインタフェースを備えたTFTパネルに使用されます (42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照)。 <p>注: この端子は、REG[0468h]ビット2を用いて制御される内部プルダウン抵抗を備えています。</p>
GPIOG1	IO	84	P9	BLNCS4D1	HVDD2	0	<p>この入出力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C1Ah]ビット3~2=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C1Ah]ビット3~2=01bのとき、この端子はHR-TFTパネル (CLS) に使用されます。 REG[0C1Ah]ビット3~2=10bのとき、この端子は汎用出力です。 REG[0C1Ah]ビット3~2=11bのとき、この端子は、シリアルコマンドインタフェースを備えたTFTパネルに使用されます (42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照)。 <p>注: この端子は、REG[0468h]ビット1を用いて制御される内部プルダウン抵抗を備えています。</p>

5. 端子構成

表5-4 LCDインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOG0	IO	85	L9	BLNCS4D1	HVDD2	0	<p>この入出力端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C1Ah]ビット1~0=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C1Ah]ビット1~0=01bのとき、この端子はHR-TFTパネル (PS) に使用されます。 REG[0C1Ah]ビット1~0=10bのとき、この端子は汎用出力です。 REG[0C1Ah]ビット1~0=11bのとき、この端子は、シリアルコマンドインタフェースを備えたTFTパネルに使用されます (42ページの表5-15「TFTパネルのLCDインタフェースの端子割り付け」を参照)。 <p>注：この端子は、REG[0468h]ビット0を用いて制御される内部プルダウン抵抗を備えています。</p>

5.2.3 SDRAMインタフェース

表5-5 SDRAMインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
MEMA12	O	—	F15	OTLN4	HVDD5	L	<p>この出力端子は、SDRAMバンクの行/列マッピングに使用されます。</p> <p>注：QFPパッケージは、256Mビットまたは512MビットのSDRAMをサポートしていません。</p>
MEMA[11:0]	O	146~149、176~183	F14、F13、F12、E16、A9、E9、F9、A8、B8、C8、E8、F8	OTLN4	HVDD5	L	これらの出力端子は、SDRAMバンクの行/列アドレスマッピングに使用されます。
MEMBA[1:0]	O	144~145	G12、F16	OTLN4	HVDD5	L	これらの出力端子は、SDRAMバンクアドレスを選択するために使用されます。
MEMCS#	O	140	H11	OTLN4	HVDD5	H	この出力端子はSDRAM用のチップセレクトです。
MEMRAS#	O	141	G15	OTLN4	HVDD5	H	この出力端子はSDRAM用のRAS#です。
MEMCAS#	O	142	G14	OTLN4	HVDD5	H	この出力端子はSDRAM用のCAS#です。
MEMWE#	O	143	G16	OTLN4	HVDD5	H	この出力端子はSDRAM用の書き込みイネーブルです。
MEMDQ[31:16]	IO	—	D16、E13、C16、C15、A15、B14、B13、A13、B12、A11、C11、E11、D10、E10、F10、D9	BLNC4D2	HVDD5	0	<p>これらの入出力端子は、×32SDRAM構成に使用される上位データバスです。×16SDRAM構成では、これらの端子は内部プルダウン抵抗を備えているため、未接続にしてください。</p> <p>注：QFPパッケージは×32SDRAMをサポートしません。</p>

表5-5 SDRAMインタフェースの端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
MEMDQ[15:0]	IO	152~155、 158~161、 164~167、 170~173	E14、D15、 D14、B16、 B15、A14、 C13、D12、 A12、E12、 D11、B11、 C10、B10、 A10、C9	BLNC4D2	HVDD5	0	これらの入出力端子は、SDRAM用のデータバスです。これらは、×16と×32の両方の構成に使用されます。これらの端子は、内部プルダウン抵抗を備えています。
MEMDQM[3:2]	O	—	J11、H15	OTLN4	HVDD5	L	これらの出力端子は、×32SDRAM構成に使用される上位バイトイネーブルです。×16SDRAM構成では、これらの端子は未接続のままにしてください。 注： QFPパッケージは×32SDRAMをサポートしません。
MEMDQM[1:0]	O	135~136	H14、H13	OTLN4	HVDD5	L	これらの出力端子は、SDRAM用のバイトイネーブルです。これらは、×16と×32の両方の構成に使用されます。
MEMCLK	O	134	J16	OTLN8	HVDD5	H	この出力端子はSDRAM用のクロックです。
MEMCKE	O	137	H16	OTLN4	HVDD5	H	この出力端子はSDRAM用のクロックイネーブルです。

5. 端子構成

5.2.4 GPIO／マルチファンクションインタフェース

S1D13513は、汎用IO端子を使用する多くの機能をサポートしています。使用可能な場合はREG[0C00h]～REG[0C1Eh]を用いてすべてのGPIO端子を、入力、出力、非GPIO機能#1または非GPIO機能#2として構成することができます。すべてのGPIO端子の機能の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

QFPパッケージは、すべてのGPIO端子を備えているわけではありません。QFPパッケージにない端子のCamera2インタフェースやキーパッドインタフェースなどの機能はサポートしていません。

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOA7	IO	87	M9	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット15～14=00bのとき、この端子は汎用入力です。 (デフォルト) REG[0C02h]ビット15～14=01bのとき、この端子はPWM赤出力 (PWMR) です。 REG[0C02h]ビット15～14=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット15～14=11bのとき、この端子はCamera2データ端子7入力 (CM2DAT7) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOA6	IO	88	L10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット13～12=00bのとき、この端子は汎用入力です。 (デフォルト) REG[0C02h]ビット13～12=01bのとき、この端子はPWM緑出力 (PWVG) です。 REG[0C02h]ビット13～12=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット13～12=11bのとき、この端子はCamera2データ端子6入力 (CM2DAT6) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOA5	IO	89	M10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット11～10=00bのとき、この端子は汎用入力です。 (デフォルト) REG[0C02h]ビット11～10=01bのとき、この端子はPWM青出力 (PWVB) です。 REG[0C02h]ビット11～10=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット11～10=11bのとき、この端子はCamera2データ端子5入力 (CM2DAT5) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOA4	IO	90	T11	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット9～8=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C02h]ビット9～8=01bのとき、この端子はキーパッドインタフェース入力 (KEYX4) です。 REG[0C02h]ビット9～8=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット9～8=11bのとき、この端子はCamera2データ端子4入力 (CM2DAT4) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOA3	IO	—	T10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット7～6=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C02h]ビット7～6=01bのとき、この端子はキーパッドインタフェース入力 (KEYX3) です。 REG[0C02h]ビット7～6=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット7～6=11bのとき、この端子はCamera2データ端子3入力 (CM2DAT3) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOA2	IO	—	R10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット5～4=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C02h]ビット5～4=01bのとき、この端子はキーパッドインタフェース入力 (KEYX2) です。 REG[0C02h]ビット5～4=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット5～4=11bのとき、この端子はCamera2データ端子2入力 (CM2DAT2) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>

5. 端子構成

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOA1	IO	—	N10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット3～2=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C02h]ビット3～2=01bのとき、この端子はキーパッドインタフェース入力 (KEYX1) です。 REG[0C02h]ビット3～2=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット3～2=11bのとき、この端子はCamera2データ端子1入力 (CM2DAT1) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOA0	IO	—	P10	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C02h]ビット1～0=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C02h]ビット1～0=01bのとき、この端子はキーパッドインタフェース入力 (KEYX0) です。 REG[0C02h]ビット1～0=10bのとき、この端子は汎用出力です。 REG[0C02h]ビット1～0=11bのとき、この端子はCamera2データ端子0入力 (CM2DAT0) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOB7	IO	93	M11	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット15～14=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット15～14=01bのとき、この端子はPWM白出力 (PWMW) です。 REG[0C06h]ビット15～14=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット15～14=11bのとき、この端子はカメラストロボ出力 (CMSTROUT) です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOB6	IO	94	N11	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット13~12=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット13~12=01bのとき、この端子は、I2Cインタフェース（擬似オープンドレイン端子）用のSDAです。 REG[0C06h]ビット13~12=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット13~12=11bのとき、この端子は予備です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOB5	IO	95	T13	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット11~10=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット11~10=01bのとき、この端子はI2Cインタフェース（擬似オープンドレイン端子）用のSCLです。 REG[0C06h]ビット11~10=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット11~10=11bのとき、この端子は予備です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOB4	IO	96	T14	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット9~8=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット9~8=01bのとき、この端子はキーパッドインタフェース入力 (KEYY4) です。 REG[0C06h]ビット9~8=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット9~8=11bのとき、この端子は予備です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>

5. 端子構成

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOB3	IO	—	T12	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット7～6=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット7～6=01bのとき、この端子はキーパッドインタフェース入力 (KEYY3) です。 REG[0C06h]ビット7～6=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット7～6=11bのとき、この端子はCamera2インタフェース (CM2VREF) の垂直同期入力です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOB2	IO	—	R12	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット5～4=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット5～4=01bのとき、この端子はキーパッドインタフェース入力 (KEYY2) です。 REG[0C06h]ビット5～4=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット5～4=11bのとき、この端子はCamera2インタフェース (CM2HREF) の水平同期入力です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOB1	IO	—	P11	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット3～2=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット3～2=01bのとき、この端子はキーパッドインタフェース入力 (KEYY1) です。 REG[0C06h]ビット3～2=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット3～2=11bのとき、この端子はCamera2インタフェース (CM2CLKOUT) のマスタークロック出力です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOB0	IO	—	R13	BLNCS4D1	HVDD3	Z	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C06h]ビット1~0=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C06h]ビット1~0=01bのとき、この端子はキーパッドインタフェース入力 (KEYY0) です。 REG[0C06h]ビット1~0=10bのとき、この端子は汎用出力です。 REG[0C06h]ビット1~0=11bのとき、この端子はCamera2インタフェース (CM2CLKIN) のカメラクロック入力です。 <p>注：この端子のプルダウン抵抗は、テストモードでのみアクティブです。</p>
GPIOC[7:0]	IO	107~114	R16、P15、N14、M14、N15、P16、M12、N16	BLNCS4D1	HVDD4	0	<p>これらの端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C0Ah] からの適切なビットが 00b に設定されたとき、対応する端子が汎用入力です。(デフォルト) REG[0C0Ah] からの適切なビットが 01b に設定されたとき、対応する端子が、外部ビデオエンコーダ用の YUV デジタル出力端子 (YUVDAT[7:0]) です。 REG[0C0Ah] からの適切なビットが 10b に設定されたとき、対応する端子が汎用出力です。 REG[0C0Ah] からの適切なビットが 11b に設定されたとき、対応する端子がCamera1データ端子 (CM1DAT[7:0]) です。 <p>注：これらの端子は、REG[0464h]ビット7~0を用いて制御される内部プルダウン抵抗を備えています。</p>
GPIOD3	IO	115	M15	BLNCS4D1	HVDD4	0	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C0Eh]ビット7~6=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C0Eh]ビット7~6=01bのとき、この端子は、PWMインタフェース (AUDIN) のデジタル音声入力です。 REG[0C0Eh]ビット7~6=10bのとき、この端子は汎用出力です。 REG[0C0Eh]ビット7~6=11bのとき、この端子はCamera1インタフェース (CM1CLKIN) のカメラクロック入力です。 <p>注：この端子は、REG[0464h]ビット11を用いて制御される内部プルダウン抵抗を備えています。</p>

5. 端子構成

表5-6 GPIO／マルチファンクション端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
GPIOD2	IO	116	L14	BLNCS4D1	HVDD4	0	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C0Eh]ビット5～4=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C0Eh]ビット5～4=01bのとき、この端子は外部ビデオエンコーダ(YUVCLKO)のクロック出力です。 REG[0C0Eh]ビット5～4=10bのとき、この端子は汎用出力です。 REG[0C0Eh]ビット5～4=11bのとき、この端子はCamera1インタフェース(CM1CLKOUT)のマスタークロック出力です。 <p>注：この端子は、REG[0464h]ビット10を用いて制御される内部プルダウン抵抗を備えています。</p>
GPIOD1	IO	117	L13	BLNCS4D1	HVDD4	0	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C0Eh]ビット3～2=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C0Eh]ビット3～2=01bのとき、この端子は外部ビデオエンコーダ(YUVHSYNC)の水平同期です。 REG[0C0Eh]ビット3～2=10bのとき、この端子は汎用出力です。 REG[0C0Eh]ビット3～2=11bのとき、この端子はCamera1インタフェース(CM1HREF)の水平同期入力です。 <p>注：この端子は、REG[0464h]ビット9を用いて制御される内部プルダウン抵抗を備えています。</p>
GPIOD0	IO	118	M16	BLNCS4D1	HVDD4	0	<p>この端子には次の複数の機能があります。</p> <ul style="list-style-type: none"> REG[0C0Eh]ビット1～0=00bのとき、この端子は汎用入力です。(デフォルト) REG[0C0Eh]ビット1～0=01bのとき、この端子は外部ビデオエンコーダ(YUVVSYNC)の垂直同期です。 REG[0C0Eh]ビット1～0=10bのとき、この端子は汎用出力です。 REG[0C0Eh]ビット1～0=11bのとき、この端子はCamera1インタフェース(CM1VREF)の垂直同期入力です。 <p>注：この端子は、REG[0464h]ビット8を用いて制御される内部プルダウン抵抗を備えています。</p>

5.2.5 その他

表5-7 その他の端子説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	電源	RESET#状態	説明
CNF[8:0]	I	122~130	K14、L16、K15、K12、K16、J14、K11、J13、J15	ICD2	HVDD4	0	これらの入力、S1D13513のコンフィギュレーションに使用するため、IOVDDまたはVSSに接続してください。これらの端子の状態は、RESET#でラッチされます。これらの端子は、リセット後にソフトウェアによりディスエーブルすることができます。内部プルダウン抵抗を備えています (REG[046Eh]を参照)。詳細は、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。
OSCI1	I	40	L1	ILTR	OSCVDD1	0/1	水晶振動子入力。外部発振回路またはクロックジェネレータを使用する場合は、その出力をこの端子に接続してください。クロック構造の詳細は、119ページの項9.「クロック」を参照してください。
OSCO1	O	41	L2	OLTR	OSCVDD1	H	水晶振動子出力。外部発振器を使用する場合は、この端子は未接続にしてください。クロック構造の詳細は、119ページの項9.「クロック」を参照してください。
OSCI2	I	45	M1	ILTR	OSCVDD2	0/1	水晶振動子入力。外部発振器回路またはクロックジェネレータを使用する場合は、その出力をこの端子に接続してください。通常、この入力は、ビデオエンコーダに27MHzを供給するために使用されます。クロック構造の詳細は、119ページの項9.「クロック」を参照してください。
OSCO2	O	44	M2	OLTR	OSCVDD2	H	水晶振動子出力。外部発振器を使用する場合は、この端子は未接続にしてください。クロック構造の詳細は、119ページの項9.「クロック」を参照してください。
CLKI3	I	36	K1	IC	HVDD1	0/1	クロック入力。通常、この入力は、PLL1を介してSDRAMクロックに使用されます。
TESTEN	I	121	L15	ICSD1	HVDD4	0	この入力端子はテストだけに使用するため、通常動作では未接続にしてください。
VCP1	O	48	N1	OLTR	PLLVDD1	Z	この出力はテストだけに使用するため、通常動作では未接続にしてください。
VCP2	O	51	R1	OLTR	PLLVDD2	Z	この出力はテストだけに使用するため、通常動作では未接続にしてください。
TCK	I	100	P12	ICSP1	HVDD4	1	バウンダリスキャンテスト用の JTAG インタフェース端子。
TMS	I	101	R14	ICSP1	HVDD4	1	バウンダリスキャンテスト用の JTAG インタフェース端子。
TDI	I	102	N12	ICSP1	HVDD4	1	バウンダリスキャンテスト用の JTAG インタフェース端子。
TDO	O	103	R15	OTLN4	HVDD4	L	バウンダリスキャンテスト用の JTAG インタフェース端子。
TRST	I	104	P13	ICSP2	HVDD4	1	バウンダリスキャンテスト用の JTAG インタフェース端子。通常動作ではVSSまたはRESET#に接続してください。

5. 端子構成

5.2.6 電源とグラウンド

表5-8 電源およびグラウンド端子の説明

端子名	端子タイプ	QFPピン#	PBGAボール#	セル	RESET#状態	説明
COREVDD	P	29、37、86、97、131、156、157、208	C3、C14、F6、F11、K3、L6、L11、P3、P14	P	—	コアVDD
HVDD1	P	9、19、196	D5、E2、G4、	P	—	HOSTインタフェース用のIOVDD
HVDD2	P	57、65、75	L5、L8、T6	P	—	LCDパネルインタフェース用のIOVDD
HVDD3	P	91	R11	P	—	Camera1用のIOVDD
HVDD4	P	98、105、119	L12、M13、T15	P	—	Camera2、GPIO、その他用のIOVDD
HVDD5	P	132、138、150、162、168、174	B9、C12、E15、G11、H12、J12	P	—	SDRAMインタフェース用のIOVDD
VSS	P	10、20、38、58、66、76、92、99、106、120、133、139、151、163、169、175、184、197	A1、A16、D4、D8、D13、G7~G10、G13、H7~H10、J1、J7~J10、K2、K7~K10、K13、N3、N6、N9、N13、T1、T16	P	—	共通グラウンド
OSCVDD1	P	39	L4	P	—	OSC1用のVDD
OSCVSS1	P	42	L3	P	—	OSC1用のGND
OSCVDD2	P	46	M3	P	—	OSC2用のVDD
OSCVSS2	P	43	M4	P	—	OSC2用のGND
PLLVD1	P	49	P1	P	—	PLL1用のアナログVDD
PLLVS1	P	47	N2	P	—	PLL1用のアナログGND
PLLVD2	P	50	P2	P	—	PLL2用のアナログVDD
PLLVS2	P	52	R2	P	—	PLL2用のアナログGND

5.3 コンフィギュレーションオプションの概要

これらの端子は、S1D13513のコンフィギュレーションに使用され、外部プルアップ抵抗を用いて接続されるか (1)、内部プルダウン抵抗を使用する場合はオープンのままにしてください (0)。CNF[8:0]の状態は、RESET#の立ち上がりエッジでのみ有効です。他のときの状態変更は無効です。外部プルアップ抵抗を使用するときに定電流を遮断するには、対応するプルダウン抵抗をディスエーブルしてください (REG[046Eh]を参照)。

注

CNF端子は、ホストバスインタフェースを選択し、インタフェースがリトルエンディアンであるかビッグエンディアンであるかを決定します。

ビッグエンディアンホストインタフェースが選択されたとき、レジスタは、各レジスタ内で上位データバイトと下位データバイトを「バイトスワップ」するようにアクセスしてください。この条件の詳細は、453ページの項20.6「ビッグエンディアンホストインタフェースのレジスタアクセス」を参照してください。

5. 端子構成

表5-9 CNF6=0のパワーオン/リセットオプションの概要

S1D13513 構成入力	パワーオン/リセット状態					
	1 (IO V _{DD} に接続)			0 (V _{SS} に接続)		
CNF[8:7]	PLL1クロックソースを以下のように選択してください。					
	CNF8	CNF7	PLL1クロックソース			
	0	0	CLKI3端子			
	0	1	BUSCLK端子			
	1	0	OSC1クロック			
1	1	OSC2クロック				
CNF6	表5-10を参照。			表5-9を参照。		
CNF5	インダイレクトアクセス			ダイレクトアクセス		
CNF[4:0]	ホストバスインタフェースを以下のように選択してください。					
	CNF4	CNF3	CNF2	CNF1	CNF0	ホストバス
	0	0	0	0	0	汎用リトルエンディアン：トライステートを有するアクティブLow WAIT#
	0	0	0	0	1	汎用リトルエンディアン：常時駆動のアクティブLow WAIT#
	0	0	0	1	0	汎用リトルエンディアン：トライステートを有するアクティブHigh WAIT#
	0	0	0	1	1	予備
	0	0	1	0	0	汎用ビッグエンディアン：トライステートを有するアクティブLow WAIT#
	0	0	1	0	1	汎用ビッグエンディアン：常時駆動のアクティブLow WAIT#
	0	0	1	1	0	汎用ビッグエンディアン：トライステートを有するアクティブHigh WAIT#
	0	0	1	1	1	予備
	0	1	0	0	0	MIPS/ISAリトルエンディアン：トライステートを有するアクティブLow WAIT#
	0	1	0	0	1	MIPS/ISAリトルエンディアン：常時駆動のアクティブLow WAIT#
	0	1	0	1	0	MIPS/ISAリトルエンディアン：トライステートを有するアクティブHigh WAIT#
	0	1	0	1	1	予備
	0	1	1	0	0	MC68000ビッグエンディアン：トライステートを有するアクティブHigh WAIT#
	0	1	1	0	1	予備
	0	1	1	1	0	MC68030ビッグエンディアン：トライステートを有するアクティブHigh WAIT#
	0	1	1	1	1	予備
	1	0	0	0	0	PR31500/31700/TX3912リトルエンディアン：トライステートを有するアクティブLow WAIT#（16ビットメモリアクセスのみ）
	1	0	0	0	1	PR31500/31700/TX3912リトルエンディアン：常時駆動のアクティブLow WAIT#（16ビットメモリアクセスのみ）
	1	0	0	1	0	予備
	1	0	0	1	1	予備
	1	0	1	0	0	予備
	1	0	1	0	1	予備
	1	0	1	1	0	MPC555ビッグエンディアン：トライステートを有するアクティブHigh WAIT#
	1	0	1	1	1	予備
	1	1	0	0	0	SH3リトルエンディアン：トライステートを有するアクティブLow WAIT#
	1	1	0	0	1	SH3リトルエンディアン：常時駆動のアクティブLow WAIT#
	1	1	0	1	0	SH4リトルエンディアン：トライステートを有するアクティブHigh WAIT#
	1	1	0	1	1	予備
	1	1	1	0	0	SH3ビッグエンディアン：トライステートを有するアクティブLow WAIT#
	1	1	1	0	1	SH3ビッグエンディアン：常時駆動のアクティブLow WAIT#
	1	1	1	1	0	SH4ビッグエンディアン：トライステートを有するアクティブHigh WAIT#
1	1	1	1	1	予備	

注

ビッグエンディアンモードは、インダイレクトインタフェースではサポートしていません。

表5-10 CNF6=1のパワーオン/リセットオプションの概要

S1D13513 構成入力	パワーオン/リセット状態																																																																																																																																																																																																							
	1 (IO V _{DD} に接続)	0 (V _{SS} に接続)																																																																																																																																																																																																						
CNF[8:7]	PLL1クロックソースを以下のように選択してください。 <table border="1"> <thead> <tr> <th>CNF8</th> <th>CNF7</th> <th>PLL1クロックソース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CLKI3端子</td> </tr> <tr> <td>0</td> <td>1</td> <td>BUSCLK端子</td> </tr> <tr> <td>1</td> <td>0</td> <td>OSC1クロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>OSC2クロック</td> </tr> </tbody> </table>		CNF8	CNF7	PLL1クロックソース	0	0	CLKI3端子	0	1	BUSCLK端子	1	0	OSC1クロック	1	1	OSC2クロック																																																																																																																																																																																							
CNF8	CNF7	PLL1クロックソース																																																																																																																																																																																																						
0	0	CLKI3端子																																																																																																																																																																																																						
0	1	BUSCLK端子																																																																																																																																																																																																						
1	0	OSC1クロック																																																																																																																																																																																																						
1	1	OSC2クロック																																																																																																																																																																																																						
CNF6	表5-10を参照。	表5-9を参照。																																																																																																																																																																																																						
CNF5	ビッグエンディアン (注1を参照)	リトルエンディアン																																																																																																																																																																																																						
CNF[4:0]	ホストバスインタフェースを以下のように選択してください。 <table border="1"> <thead> <tr> <th>CNF4</th> <th>CNF3</th> <th>CNF2</th> <th>CNF1</th> <th>CNF0</th> <th>ホストバス</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>パラレルダイレクト80タイプ2 : 1 CS# (注2を参照)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>予備</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>パラレルインダイレクト80タイプ2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>パラレルダイレクト80タイプ1 : 1 CS#</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>パラレルダイレクト68 : 1 CS#</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>パラレルインダイレクト80タイプ1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>パラレルインダイレクト68</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>パラレルダイレクト80タイプ2 : 2 CS# (注2を参照)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>予備</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>パラレルダイレクト80タイプ1 : 2 CS#</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>パラレルダイレクト68 : 2 CS#</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>HVDD1でのシリアル : 立ち下がりエッジでデータが有効</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>HVDD2でのシリアル : 立ち下がりエッジでデータが有効</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>HVDD1でのシリアル : 立ち上がりエッジでデータが有効</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>HVDD2でのシリアル : 立ち上がりエッジでデータが有効</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>予備</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>予備</td> </tr> </tbody> </table>		CNF4	CNF3	CNF2	CNF1	CNF0	ホストバス	0	0	0	0	0	パラレルダイレクト80タイプ2 : 1 CS# (注2を参照)	0	0	0	0	1	予備	0	0	0	1	0	パラレルインダイレクト80タイプ2	0	0	0	1	1	予備	0	0	1	0	0	パラレルダイレクト80タイプ1 : 1 CS#	0	0	1	0	1	パラレルダイレクト68 : 1 CS#	0	0	1	1	0	パラレルインダイレクト80タイプ1	0	0	1	1	1	パラレルインダイレクト68	0	1	0	0	0	パラレルダイレクト80タイプ2 : 2 CS# (注2を参照)	0	1	0	0	1	予備	0	1	0	1	0	予備	0	1	0	1	1	予備	0	1	1	0	0	パラレルダイレクト80タイプ1 : 2 CS#	0	1	1	0	1	パラレルダイレクト68 : 2 CS#	0	1	1	1	0	予備	0	1	1	1	1	予備	1	0	0	0	0	HVDD1でのシリアル : 立ち下がりエッジでデータが有効	1	0	0	0	1	HVDD2でのシリアル : 立ち下がりエッジでデータが有効	1	0	0	1	0	予備	1	0	0	1	1	予備	1	0	1	0	0	予備	1	0	1	0	1	予備	1	0	1	1	0	予備	1	0	1	1	1	予備	1	1	0	0	0	HVDD1でのシリアル : 立ち上がりエッジでデータが有効	1	1	0	0	1	HVDD2でのシリアル : 立ち上がりエッジでデータが有効	1	1	0	1	0	予備	1	1	0	1	1	予備	1	1	1	0	0	予備	1	1	1	0	1	予備	1	1	1	1	0	予備	1	1	1	1	1	予備
CNF4	CNF3	CNF2	CNF1	CNF0	ホストバス																																																																																																																																																																																																			
0	0	0	0	0	パラレルダイレクト80タイプ2 : 1 CS# (注2を参照)																																																																																																																																																																																																			
0	0	0	0	1	予備																																																																																																																																																																																																			
0	0	0	1	0	パラレルインダイレクト80タイプ2																																																																																																																																																																																																			
0	0	0	1	1	予備																																																																																																																																																																																																			
0	0	1	0	0	パラレルダイレクト80タイプ1 : 1 CS#																																																																																																																																																																																																			
0	0	1	0	1	パラレルダイレクト68 : 1 CS#																																																																																																																																																																																																			
0	0	1	1	0	パラレルインダイレクト80タイプ1																																																																																																																																																																																																			
0	0	1	1	1	パラレルインダイレクト68																																																																																																																																																																																																			
0	1	0	0	0	パラレルダイレクト80タイプ2 : 2 CS# (注2を参照)																																																																																																																																																																																																			
0	1	0	0	1	予備																																																																																																																																																																																																			
0	1	0	1	0	予備																																																																																																																																																																																																			
0	1	0	1	1	予備																																																																																																																																																																																																			
0	1	1	0	0	パラレルダイレクト80タイプ1 : 2 CS#																																																																																																																																																																																																			
0	1	1	0	1	パラレルダイレクト68 : 2 CS#																																																																																																																																																																																																			
0	1	1	1	0	予備																																																																																																																																																																																																			
0	1	1	1	1	予備																																																																																																																																																																																																			
1	0	0	0	0	HVDD1でのシリアル : 立ち下がりエッジでデータが有効																																																																																																																																																																																																			
1	0	0	0	1	HVDD2でのシリアル : 立ち下がりエッジでデータが有効																																																																																																																																																																																																			
1	0	0	1	0	予備																																																																																																																																																																																																			
1	0	0	1	1	予備																																																																																																																																																																																																			
1	0	1	0	0	予備																																																																																																																																																																																																			
1	0	1	0	1	予備																																																																																																																																																																																																			
1	0	1	1	0	予備																																																																																																																																																																																																			
1	0	1	1	1	予備																																																																																																																																																																																																			
1	1	0	0	0	HVDD1でのシリアル : 立ち上がりエッジでデータが有効																																																																																																																																																																																																			
1	1	0	0	1	HVDD2でのシリアル : 立ち上がりエッジでデータが有効																																																																																																																																																																																																			
1	1	0	1	0	予備																																																																																																																																																																																																			
1	1	0	1	1	予備																																																																																																																																																																																																			
1	1	1	0	0	予備																																																																																																																																																																																																			
1	1	1	0	1	予備																																																																																																																																																																																																			
1	1	1	1	0	予備																																																																																																																																																																																																			
1	1	1	1	1	予備																																																																																																																																																																																																			

注

1. ビッグエンディアンモードを選択したとき (CNF5=1)、メモリアクセスだけがバイトスワップします。レジスタアクセスはスワップしません。
2. ビッグエンディアンモード (CNF5=1) は、インダイレクト80、インダイレクト68およびシリアルインタフェースではサポートしていません。

5. 端子構成

5.4 ホストバスインタフェースの端子割り付け

表5-11 ホストバスインタフェースの端子割り付け1 (ダイレクトインタフェース)

S1D13513 端子名	汎用	Renesas SH3/SH4	MIPS/ISA	FreeScale MC68000	FreeScale MC68030	Freescale MPC555	Philips PR31500 PR31700 ³	東芝 TX3912 ³
AB20	A20	A20	LatchA20	A20	A20	A11	ALE	ALE
AB19	A19	A19	SA19	A19	A19	A12	/CARDREG	CARDREG*
AB18	A18	A18	SA18	A18	A18	A13	/CARDIORD	CARDIORD*
AB17	A17	A17	SA17	A17	A17	A14	/CARDIOWR	CARDIOWR*
AB[16:13]	A[16:13]	A[16:13]	SA[16:13]	A[16:13]	A[16:13]	A[15:18]	VDDIに接続	VDDIに接続
AB[12:1]	A[12:1]	A[12:1]	SA[12:1]	A[12:1]	A[12:1]	A[19:30]	A[12:1]	A[12:1]
AB0	VSSIに接続 ¹	VSSIに接続 ¹	SA0	LDS#	A0	A31	A0	A0
DB[15:8]	D[15:8]	D[15:8]	SD[15:8]	D[15:8]	D[31:24]	D[0:7]	D[23:16]	D[23:16]
DB[7:0]	D[7:0]	D[7:0]	SD[7:0]	D[7:0]	D[23:16]	D[8:15]	D[31:24]	D[31:24]
WE0#	WE0#	WE0#	MEMW#	VDDIに接続	SIZ0	TSIZ1	/WE	WE*
WE1#	WE1#	WE1#	SBHE#	UDS#	DS#	BI#	/CARDxCSH	CARDxCSH*
M/R#	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	VDDIに接続	VDDIに接続
CS#	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	CSn#	VDDIに接続	VDDIに接続
BS#	VDDIに接続	BS#	VDDIに接続	AS#	AS#	TS#	VDDIに接続	VDDIに接続
RD/WR#	RD1#	RD/WR#	VDDIに接続	R/W#	R/W#	RD/WR#	/CARDxCSL	CARDxCSL*
RD#	RD0#	RD#	MEMR#	VDDIに接続	SIZ1	TSIZ0	/RD	RD*
BUSCLK	BCLK	CKIO	CLK	CLK	CLK	CLKOUT	DCLKOUT	DCLKOUT
INT1#	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子
INT2#	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子
WAIT#	WAIT#	WAIT#/ RDY#	IOCHRDY	DTACK#	DSACK1#	TA#	/CARDxWAIT	CARDxWAIT*
RESET#	RESET#	RESET#	反転リセット	RESET#	RESET#	RESET#	RESET#	PON*
BURST#	未接続	未接続	未接続	未接続	未接続	BURST#	未接続	未接続
BDIP#	未接続	未接続	未接続	未接続	未接続	BDIP#	未接続	未接続
FPDAT18 ²	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0
FPDAT19 ²	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1
FPDAT20 ²	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2
FPDAT21 ²	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3
FPDAT22 ²	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4
FPDAT23 ²	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5

1. AB0は、S1D13513内部回路には使用されていません。このモードでは、VSSまたはVDDIに接続してください。
2. FPDAT[23:18]はS1D13513のQFPパッケージでは使用できません。
3. 16ビットメモリアクセスだけがサポートされます。
4. BURST#ピンおよびBDIP#ピンをホストCPUに接続しない場合はVDDIに接続してください。

表5-12 ホストバスインタフェースの端子割り付け2 (インダイレクトインタフェース)

S1D13513 端子名	汎用	Renesas SH3/SH4	MIPS/ISA	FreeScale MC68000	FreeScale MC68030	Freescale MPC555	Philips PR31500 PR31700 ³	東芝 TX3912 ³
AB20	未接続	未接続	未接続	未接続	未接続	未接続	ALE	ALE
AB19	未接続	未接続	未接続	未接続	未接続	未接続	/CARDREG	CARDREG*
AB18	未接続	未接続	未接続	未接続	未接続	未接続	/CARDIORD	CARDIORD*
AB17	未接続	未接続	未接続	未接続	未接続	未接続	/CARDIOWR	CARDIOWR*
AB[16:13]	未接続	未接続	未接続	未接続	未接続	未接続	VDDIに接続	VDDIに接続
AB[12:3]	未接続	未接続	未接続	未接続	未接続	未接続	未接続	未接続
AB[2:1]	A[2:1]	A[2:1]	SA[2:1]	A[2:1]	A[2:1]	A[29:30]	A[2:1]	A[2:1]
AB0	VSSIに接続 ¹	VSSIに接続 ¹	VSSIに接続	LDS#	A0	VSSIに接続	VSSIに接続	VSSIに接続
DB[15:8]	D[15:8]	D[15:8]	SD[15:8]	D[15:8]	D[31:24]	D[0:7]	D[23:16]	D[23:16]
DB[7:0]	D[7:0]	D[7:0]	SD[7:0]	D[7:0]	D[23:16]	D[8:15]	D[31:24]	D[31:24]
WE0#	WE0#	WE0#	MEMW#	VDDIに接続	SIZ0	TSIZ1	/WE	WE*
WE1#	WE1#	WE1#	SBHE#	UDS#	DS#	BI#	/CARDxCSSH	CARDxCSSH*
M/R#	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	VDDIに接続	VDDIに接続
CS#	外部デコード	外部デコード	外部デコード	外部デコード	外部デコード	CSn#	VDDIに接続	VDDIに接続
BS#	VDDIに接続	BS#	VDDIに接続	AS#	AS#	TS#	VDDIに接続	VDDIに接続
RD/WR#	RD1#	RD/WR#	VDDIに接続	R/W#	R/W#	RD/WR#	/CARDxCSL	CARDxCSL*
RD#	RD0#	RD#	MEMR#	VDDIに接続	SIZ1	TSIZ0	/RD	RD*
BUSCLK	BCLK	CKIO	CLK	CLK	CLK	CLKOUT	DCLKOUT	DCLKOUT
INT1#	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子
INT2#	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子	INT端子
WAIT#	WAIT#	WAIT#/RDY#	IOCHRDY	DTACK#	DSACK1#	TA#	/CARDxWAIT	CARDxWAIT*
RESET#	RESET#	RESET#	反転リセット	RESET#	RESET#	RESET#	RESET#	PON*
BURST#	未接続	未接続	未接続	未接続	未接続	BURST#	未接続	未接続
BDIP#	未接続	未接続	未接続	未接続	未接続	BDIP#	未接続	未接続
FPDAT182	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0	GPIOH0
FPDAT192	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1	GPIOH1
FPDAT202	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2	GPIOH2
FPDAT212	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3	GPIOH3
FPDAT222	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4	GPIOH4
FPDAT232	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5	GPIOH5

1. AB0は、S1D13513内部回路には使用されていません。このモードでは、VSSかVDDのいずれかに接続してください。
2. FPDAT[23:18]は、S1D13513のQFPパッケージでは使用できません。
3. 16ビットメモリアクセスだけをサポートします。
4. BURST#ピンおよびBDIP#ピンをホストCPUに接続しない場合はVDDに接続してください。

5. 端子構成

表5-13 ホストバスインタフェースの端子割り付け3 (ダイレクトインタフェース)

S1D13513 端子名	ダイレクト68	ダイレクト80 タイプ1	ダイレクト80 タイプ2
AB[20:1]	A[20:1]	A[20:1]	A[20:1]
AB0	VSSIに接続	VSSIに接続	VSSIに接続
DB[15:0]	D[15:0]	D[15:0]	D[15:0]
WE0#	LDS#	LBE#	WEL#
WE1#	UDS#	UBE#	WEU#
M/R#	アドレス (1CS#)、 チップ/選択	アドレス (1CS#)、 チップ/選択	アドレス (1CS#)、 チップ/選択
CS#	CS#	CS#	CS#
BS#	VDDIに接続	VDDIに接続	VDDIに接続
RD/WR#	R/W#	WE#	HVDD1
RD#	HVDD1	RD#	RD#
BUSCLK	VSSIに接続	VSSIに接続	VSSIに接続
INT1#	INT端子	INT端子	INT端子
INT2#	INT端子	INT端子	INT端子
WAIT#	WAIT#	WAIT#	WAIT#
RESET#	RESET#	RESET#	RESET#
BURST#	未接続	未接続	未接続
BDIP#	未接続	未接続	未接続
FPDAT18 ¹	GPIOH0	GPIOH0	GPIOH0
FPDAT19 ¹	GPIOH1	GPIOH1	GPIOH1
FPDAT20 ¹	GPIOH2	GPIOH2	GPIOH2
FPDAT21 ¹	GPIOH3	GPIOH3	GPIOH3
FPDAT22 ¹	GPIOH4	GPIOH4	GPIOH4
FPDAT23 ¹	GPIOH5	GPIOH5	GPIOH5

1. FPDAT[23:18]は、S1D13513のQFPパッケージでは使用できません。

表5-14 ホストバスインタフェースの端子割り付け4（インダイレクトインタフェース）

S1D13513 端子名	インダイレクト 68	インダイレクト 80タイプ1	インダイレクト 80タイプ2	HVDD1の シリアル	HVDD2の シリアル
AB[20:3]	未接続	未接続	未接続	未接続	未接続
AB2	A2	A2	A2	未接続	未接続
AB1	A1	A1	A1	未接続	未接続
AB0	VSSに接続	VSSに接続	VSSに接続	SA0	VSSに接続
DB[15:2]	D[15:2]	D[15:2]	D[15:2]	未接続	未接続
DB1	D1	D1	D1	SO	未接続
DB0	D0	D0	D0	SI	VSSに接続
WE0#	LDS#	LBE#	WEL#	未接続	未接続
WE1#	UDS#	UBE#	WEU#	未接続	未接続
M/R#	未接続	未接続	未接続	未接続	未接続
CS#	CS#	CS#	CS#	SCS#	VSSに接続
BS#	VDDIに接続	VDDIに接続	VDDIに接続	未接続	未接続
RD/WR#	R/W#	WE#	HVDD1	未接続	未接続
RD#	HVDD1	RD#	RD#	未接続	未接続
BUSCLK	VSSに接続	VSSに接続	VSSに接続	SCLK	VSSに接続
INT1#	INT端子	INT端子	INT端子	INT端子	INT端子
INT2#	INT端子	INT端子	INT端子	INT端子	INT端子
WAIT#	WAIT#	WAIT#	WAIT#	未接続	未接続
RESET#	RESET#	RESET#	RESET#	RESET#	RESET#
BURST#	未接続	未接続	未接続	未接続	未接続
BDIP#	未接続	未接続	未接続	未接続	未接続
FPDAT18 ¹	GPIOH0	GPIOH0	GPIOH0	GPIOH0	SCS#
FPDAT19 ¹	GPIOH1	GPIOH1	GPIOH1	GPIOH1	SCLK
FPDAT20 ¹	GPIOH2	GPIOH2	GPIOH2	GPIOH2	SA0
FPDAT21 ¹	GPIOH3	GPIOH3	GPIOH3	GPIOH3	SO
FPDAT22 ¹	GPIOH4	GPIOH4	GPIOH4	GPIOH4	SI
FPDAT23 ¹	GPIOH5	GPIOH5	GPIOH5	GPIOH5	0（プルダウン）

1. FPDAT[23:18]は、S1D13513のQFPパッケージでは使用できません。

5. 端子構成

5.5 LCDインタフェースの端子割り付け

表5-15 TFTパネルのLCDインタフェースの端子割り付け

S1D13513 端子名	カラーアクティブ (TFT) パネル														
	汎用TFT			ND-TFD			a-Si TFT			uWire付きTFT			シャープHR-TFT		
	24 ビット	18 ビット	16 ビット	24 ビット	18 ビット	16 ビット	24 ビット	18 ビット	16 ビット	24 ビット	18 ビット	16 ビット	24 ビット	18 ビット	16 ビット
FPFRAME	VSYNC			VSYNC			VSYNC			VSYNC			SPS		
FPLINE	HSYNC			HSYNC			HSYNC			HSYNC			LP		
FPSHIFT	DCK			DCK			DCK			DCK			DCLK		
FPDRDY	ENAB			ENAB			ENAB			ENAB			駆動0		
FPDAT0	R7	R5	R4	R7	R5	R4	R7	R5	R4	R7	R5	R4	R7	R5	R4
FPDAT1	R6	R4	R3	R6	R4	R3	R6	R4	R3	R6	R4	R3	R6	R4	R3
FPDAT2	R5	R3	R2	R5	R3	R2	R5	R3	R2	R5	R3	R2	R5	R3	R2
FPDAT3	G7	G5	G5	G7	G5	G5	G7	G5	G5	G7	G5	G5	G7	G5	G5
FPDAT4	G6	G4	G4	G6	G4	G4	G6	G4	G4	G6	G4	G4	G6	G4	G4
FPDAT5	G5	G3	G3	G5	G3	G3	G5	G3	G3	G5	G3	G3	G5	G3	G3
FPDAT6	B7	B5	B4	B7	B5	B4	B7	B5	B4	B7	B5	B4	B7	B5	B4
FPDAT7	B6	B4	B3	B6	B4	B3	B6	B4	B3	B6	B4	B3	B6	B4	B3
FPDAT8	B5	B3	B2	B5	B3	B2	B5	B3	B2	B5	B3	B2	B5	B3	B2
FPDAT9	R4	R2	R1	R4	R2	R1	R4	R2	R1	R4	R2	R1	R4	R2	R1
FPDAT10	R3	R1	R0	R3	R1	R0	R3	R1	R0	R3	R1	R0	R3	R1	R0
FPDAT11	R2	R0	0	R2	R0	0	R2	R0	0	R2	R0	0	R2	R0	0
FPDAT12	G4	G2	G2	G4	G2	G2	G4	G2	G2	G4	G2	G2	G4	G2	G2
FPDAT13	G3	G1	G1	G3	G1	G1	G3	G1	G1	G3	G1	G1	G3	G1	G1
FPDAT14	G2	G0	G0	G2	G0	G0	G2	G0	G0	G2	G0	G0	G2	G0	G0
FPDAT15	B4	B2	B1	B4	B2	B1	B4	B2	B1	B4	B2	B1	B4	B2	B1
FPDAT16	B3	B1	B0	B3	B1	B0	B3	B1	B0	B3	B1	B0	B3	B1	B0
FPDAT17	B2	B0	0	B2	B0	0	B2	B0	0	B2	B0	0	B2	B0	0
FPDAT18 ¹	R1	0	0	R1	0	0	R1	0	0	R1	0	0	R1	0	0
FPDAT19 ¹	R0	0	0	R0	0	0	R0	0	0	R0	0	0	R0	0	0
FPDAT20 ¹	G1	0	0	G1	0	0	G1	0	0	G1	0	0	G1	0	0
FPDAT21 ¹	G0	0	0	G0	0	0	G0	0	0	G0	0	0	G0	0	0
FPDAT22 ¹	B1	0	0	B1	0	0	B1	0	0	B1	0	0	B1	0	0
FPDAT23 ¹	B0	0	0	B0	0	0	B0	0	0	B0	0	0	B0	0	0
GPIOG0	GPIOG0			XCS			SSTB			LCDCS			PS		
GPIOG1	GPIOG1			SCK			SCLK			SCLK			CLS		
GPIOG2	GPIOG2			A0			駆動0			駆動0			REV		
GPIOG3	GPIOG3			SO			SDATA			SDO			SPL		
GPIOG4	GPIOG4			駆動0			駆動0			駆動0			SPR		

注

- FPDAT[23:18]端子は、QFPパッケージでは使用できません。

表5-16 パッシブパネルのLCDインタフェースの端子割り付け

S1D13513 端子名	モノクロパネル	カラーパッシブ パネル
	単一8ビット	単一8ビット 形式2
FPFRAME	FPFRAME	FPFRAME
FPLINE	FPLINE	FPLINE
FPSHIFT	FPSHIFT	FPSHIFT
FPDRDY	MOD	MOD
FPDAT0	D0	D0
FPDAT1	D1	D1
FPDAT2	D2	D2
FPDAT3	D3	D3
FPDAT4	D4	D4
FPDAT5	D5	D5
FPDAT6	D6	D6
FPDAT7	D7	D7
FPDAT8	駆動0	駆動0
FPDAT9	駆動0	駆動0
FPDAT10	駆動0	駆動0
FPDAT11	駆動0	駆動0
FPDAT12	駆動0	駆動0
FPDAT13	駆動0	駆動0
FPDAT14	駆動0	駆動0
FPDAT15	駆動0	駆動0
FPDAT16	駆動0	駆動0
FPDAT17	駆動0	駆動0
FPDAT18 ¹	GPIOH0	GPIOH0
FPDAT19 ¹	GPIOH1	GPIOH1
FPDAT20 ¹	GPIOH2	GPIOH2
FPDAT21 ¹	GPIOH3	GPIOH3
FPDAT22 ¹	GPIOH4	GPIOH4
FPDAT23 ¹	GPIOH5	GPIOH5
GPIOG0	GPIOG0	GPIOG0
GPIOG1	GPIOG1	GPIOG1
GPIOG2	GPIOG2	GPIOG2
GPIOG3	GPIOG3	GPIOG3
GPIOG4	GPIOG4	GPIOG4

注

1. FPDAT[23:18]端子は、QFPパッケージでは使用できません。

5. 端子構成

5.6 GPIOの端子割り付け

GPIO端子は、S1D13513が対応している種々のインタフェースに使用されます。以下の表は、各GPIO端子の使い方の概要です。同じGPIO端子を共用することになるために、インタフェースの特定の組み合わせを選択できない場合があります。たとえば、PWMインタフェースは、Camera2インタフェースと同時に使用することができません。

表5-17 GPIOの端子割り付けの概要

S1D13513端子名	制御	GPIO入力	機能#1	GPIO出力	機能#2
GPIOA7	REG[0C02h]ビット15~14	00b: GPIOA7	01b: PWMR	10b: GPIOA7	11b: CM2DAT7
GPIOA6	REG[0C02h]ビット13~12	00b: GPIOA6	01b: PWMG	10b: GPIOA6	11b: CM2DAT6
GPIOA5	REG[0C02h]ビット11~10	00b: GPIOA5	01b: PWMB	10b: GPIOA5	11b: CM2DAT5
GPIOA4	REG[0C02h]ビット9~8	00b: GPIOA4	01b: KEYX4	10b: GPIOA4	11b: CM2DAT4
GPIOA3 ¹	REG[0C02h]ビット7~6	00b: GPIOA3	01b: KEYX3	10b: GPIOA3	11b: CM2DAT3
GPIOA2 ¹	REG[0C02h]ビット5~4	00b: GPIOA2	01b: KEYX2	10b: GPIOA2	11b: CM2DAT2
GPIOA1 ¹	REG[0C02h]ビット3~2	00b: GPIOA1	01b: KEYX1	10b: GPIOA1	11b: CM2DAT1
GPIOA0 ¹	REG[0C02h]ビット1~0	00b: GPIOA0	01b: KEYX0	10b: GPIOA0	11b: CM2DAT0
GPIOB7	REG[0C06h]ビット15~14	00b: GPIOB7	01b: PWMW	10b: GPIOB7	11b: CMSTROUT
GPIOB6	REG[0C06h]ビット13~12	00b: GPIOB6	01b: SDA	10b: GPIOB6	11b: 予備
GPIOB5	REG[0C06h]ビット11~10	00b: GPIOB5	01b: SCL	10b: GPIOB5	11b: 予備
GPIOB4	REG[0C06h]ビット9~8	00b: GPIOB4	01b: KEYY4	10b: GPIOB4	11b: 予備
GPIOB3 ¹	REG[0C06h]ビット7~6	00b: GPIOB3	01b: KEYY3	10b: GPIOB3	11b: CM2VREF
GPIOB2 ¹	REG[0C06h]ビット5~4	00b: GPIOB2	01b: KEYY2	10b: GPIOB2	11b: CM2HREF
GPIOB1 ¹	REG[0C06h]ビット3~2	00b: GPIOB1	01b: KEYY1	10b: GPIOB1	11b: CM2CLKOUT
GPIOB0 ¹	REG[0C06h]ビット1~0	00b: GPIOB0	01b: KEYY0	10b: GPIOB0	11b: CM2CLKIN
GPIOC[7:0]	REG[0C0Ah]ビット15~0	00: GPIOC[7:0]	01b: YUVDATA[7:0]	10: GPIOC[7:0]	11b: CM1DAT[7:0]
GIPOD3	REG[0C0Eh]ビット7~6	00: GIPOD3	01b: AUDIN	10: GIPOD3	11b: CM1CLKIN
GIPOD2	REG[0C0Eh]ビット5~4	00: GIPOD2	01b: YUVCLKO	10: GIPOD2	11b: CM1CLKOUT
GIPOD1	REG[0C0Eh]ビット3~2	00: GIPOD1	01b: YUVHSYNC	10: GIPOD1	11b: CM1HREF
GIPOD0	REG[0C0Eh]ビット1~0	00: GIPOD0	01b: YUVVSYNC	10: GIPOD0	11b: CM1VREF
GPIOG[4:0] ²	REG[0C1Ah]ビット9~0	00: GPIOG[4:0]	01b: HR-TFTサポート	10: GPIOG[4:0]	11b: シリアルパネル インタフェース サポート
GPIOH[5:0] ³	REG[0C1Eh]ビット11~10	00: GPIOH[5:0]	01b: 24ビットTFT サポート	10: GPIOH[5:0]	11b: 予備

	PWMインタフェース		YUVデジタル出力インタフェース
	キーパッドインタフェース		Camera1インタフェース
	I2Cインタフェース		Camera2インタフェース

注

- GPIOA[3:0]およびGPIOB[3:0]端子は、QFPパッケージでは使用できません。したがって、この端子に関連する機能もQFPパッケージでは使用できません。
- GPIOG[4:0]端子は、主に拡張TFTのサポートに使用されますが、汎用TFTが使用されるときに汎用IO端子として使用できる場合があります。LCD端子の割り付けについては、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。
- GPIOH[5:0]は、FPDAT[23:18]端子と多重化され、24本すべてのパネルデータラインを必要としないパネルを使用するときは、汎用IO端子として使用できることがあります。LCD端子の割り付けについては、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。

5.7 YUVデジタル出力インタフェースの端子割り付け

S1D13513は、YUVデジタル出力インタフェースを用いて、YUV 4:2:2データをTV表示用の外部ビデオエンコーダに出力することができます。YUVデジタル出力インタフェースがGPIO端子の一部を他のインタフェースと共用することに注意してください。インタフェースの特定の組み合わせが可能かどうかを確認するには、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表5-18 YUV出力インタフェースの端子割り付け

S1D13513端子名	YUVデジタル出力信号名	説明
GPIOC[7:0]	YUVDATA[7:0]	外部ビデオエンコーダ用のYUVデジタルデータ出力
GPIOD2	YUVCLKO	外部ビデオエンコーダ用のクロック出力
GPIOD1	YUVHSYNC	外部ビデオエンコーダ用の水平同期
GPIOD0	YUVVSYNC	外部ビデオエンコーダ用の垂直同期

5.8 カメラインタフェースの端子割り付け

S1D13513は、カメラインタフェースを用いて、外部カメラモジュールからYUVデータ（またはJPEG対応カメラからのJPEGデータ）を受け取ることができます。カメラインタフェースがGPIO端子の一部を他のインタフェースと共有することに注意してください。インタフェースの特定の組み合わせが可能かどうかを確認するには、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表5-19 カメラインタフェースの端子割り付け (8ビットデータバスモード)

S1D13513端子名	カメラ信号名	説明
GPIOA[7:0]	CM2DAT[7:0]	Camera2インタフェース用のデータ入力
GPIOB7	CMSTROUT	カメラインタフェース用のストロボ信号
GPIOB3	CM2VREF	Camera2インタフェース用の垂直同期入力
GPIOB2	CM2HREF	Camera2インタフェース用の水平同期入力
GPIOB1	CM2CLKOUT	Camera2インタフェース用のマスタークロック出力
GPIOB0	CM2CLKIN	Camera2インタフェース用のピクセルクロック入力
GPIOC[7:0]	CM1DAT[7:0]	Camera1インタフェース用のデータ入力
GPIOD3	CM1CLKIN	Camera1インタフェース用のピクセルクロック入力
GPIOD2	CM1CLKOUT	Camera1インタフェース用のマスタークロック出力
GPIOD1	CM1HREF	Camera1インタフェース用の水平同期入力
GPIOD0	CM1VREF	Camera1インタフェース用の垂直同期入力

注

Camera2インタフェースは、QFPパッケージでは使用できません。

5. 端子構成

表5-20 カメラインタフェースの端子割り付け (16ビットデータバスモード)

S1D13513端子名	カメラ信号名	説明
GPIOA[7:0]	CM2DAT[7:0]	カメラインタフェース用の下位8ビットデータ入力
GPIOB7	CMSTROUT	カメラインタフェース用のストロボ信号
GPIOC[7:0]	CM1DAT[7:0]	カメラインタフェース用の上位8ビットデータ入力
GIOD3	CM1CLKIN	カメラインタフェース用のピクセルクロック入力
GIOD2	CM1CLKOUT	カメラインタフェース用のマスタークロック出力
GIOD1	CM1HREF	カメラインタフェース用の水平同期入力
GIOD0	CM1VREF	カメラインタフェース用の垂直同期入力

注

Camera2インタフェースは、QFPパッケージでは使用できません。

5.9 I2Cインタフェースの端子割り付け

I2Cインタフェースは、GPIO端子の一部を他のインタフェースと共用します。インタフェースの特定の組み合わせが可能かどうかを確認するには、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表5-21 I2Cインタフェースの端子割り付け

S1D13513端子名	I2C信号名	説明
GPIOB6	SDA	I2Cデータ
GPIOB5	SCL	I2Cデータクロック

5.10 PWMインタフェースの端子割り付け

PWMインタフェースは、GPIO端子の一部を他のインタフェースと共用します。インタフェースの特定の組み合わせが可能かどうかを確認するには、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表5-22 PWMインタフェースの端子割り付け

S1D13513端子名	PWM信号名	説明
GPIOA7	PWMR	PWM赤出力
GPIOA6	PWMG	PWM緑出力
GPIOA5	PWMB	PWM青出力
GPIOB7	PWMW	PWM白出力
GIOD3	AUDIN	PWM回路用のデジタル音声入力

5.11 キーパッドインタフェースの端子割り付け

キーパッドインタフェース端子は、最大5×5のキーパッドデバイスから入力を受け取るために使用されます。キーパッドインタフェースは、GPIO端子の一部を他のインタフェースと共有します。インタフェースの特定の組み合わせが可能かどうか確認するには、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表5-23 キーパッドインタフェースの端子割り付け

S1D13513端子名	PWM信号名	説明
GPIOA4	KEYX4	X軸ピン4
GPIOA3	KEYX3	X軸ピン3
GPIOA2	KEYX2	X軸ピン2
GPIOA1	KEYX1	X軸ピン1
GPIOA0	KEYX0	X軸ピン0
GPIOB4	KEYY4	Y軸ピン4
GPIOB3	KEYY3	Y軸ピン3
GPIOB2	KEYY2	Y軸ピン2
GPIOB1	KEYY1	Y軸ピン1
GPIOB0	KEYY0	Y軸ピン0

注

キーパッドインタフェースは、QFPパッケージでは使用できません。

6. DC特性

6. DC特性

注

1. S1D13513に電源電圧を加えるときは、 $H V_{DD}$ と同時かそれより前に、チップにコア V_{DD} を印加してください。そうしないとチップが破損する恐れがあります。
2. コア V_{DD} 、OSC V_{DD} およびPLL V_{DD} は、 $H V_{DD}$ 以下にしてください。

表6-1 絶対最大定格

記号	パラメータ	定格	単位
コア V_{DD}	電源電圧	$V_{SS}-0.3\sim 2.5$	V
$H V_{DD}$	電源電圧	$V_{SS}-0.3\sim 4.0$	V
OSC V_{DD}	電源電圧	$V_{SS}-0.3\sim 2.1$	V
PLL V_{DD}	電源電圧	$V_{SS}-0.3\sim 2.1$	V
V_{IN}	入力電圧	$V_{SS}-0.3\sim H V_{DD}+0.5$	V
V_{OUT}	出力電圧	$V_{SS}-0.3\sim H V_{DD}+0.5$	V
T_{STG}	保存温度	$-65\sim 150$	°C

表6-2 推奨動作条件

記号	パラメータ	条件	MIN	TYP	MAX	単位
コア V_{DD}	電源電圧	$V_{SS}=0 V$	1.65	1.8	1.95	V
$H V_{DD1}$	電源電圧	$V_{SS}=0 V$	3.0	3.3	3.6	V
$H V_{DD2}$	電源電圧	$V_{SS}=0 V$	3.0	3.3	3.6	V
$H V_{DD3}$	電源電圧	$V_{SS}=0 V$	3.0	3.3	3.6	V
$H V_{DD4}$	電源電圧	$V_{SS}=0 V$	3.0	3.3	3.6	V
$H V_{DD5}$	電源電圧	$V_{SS}=0 V$	3.0	3.3	3.6	V
OSC V_{DD1}	電源電圧	$V_{SS}=0 V$	1.65	1.8	1.95	V
OSC V_{DD2}	電源電圧	$V_{SS}=0 V$	1.65	1.8	1.95	V
PLL V_{DD1}	電源電圧	$V_{SS}=0 V$	1.65	1.8	1.95	V
PLL V_{DD2}	電源電圧	$V_{SS}=0 V$	1.65	1.8	1.95	V
V_{IN}	入力電圧	OSCI1, OSCI2	V_{SS}	—	コア V_{DD}	V
		他のIO端子	V_{SS}	—	入出力 V_{DD}	V
T_{OPR}	動作温度		-40	25	85	°C

表6-3 電気的特性 (標準VDD=3.3V)

記号	パラメータ	条件	MIN	TYP	MAX	単位
I_{DD3}	静的消費電流	静止状態		150		μA
I_{IZ}	入力リーク電流	$V_I=0\text{V}$ または V_{DD}	-5	—	5	μA
I_{OZ}	出力リーク電流	$V_O=0\text{V}$ または V_{DD}	-5	—	5	μA
I_{OH2}	高レベル出力電流	$V_{OH}=H V_{DD}-0.4\text{V}$	-4	—	—	mA
I_{OH3}	高レベル出力電流	$H V_{DD}=\text{min}$	-8	—	—	mA
I_{OL2}	低レベル出力電流	$V_{OL}=0.4\text{V}$	4	—	—	mA
I_{OL3}	低レベル出力電流	$H V_{DD}=\text{min}$	8	—	—	mA
V_{IH}	高レベル入力電圧	LVC MOSレベル、 $H V_{DD}=\text{max}$	2.2	—	$H V_{DD} + 0.3$	V
V_{IL}	低レベル入力電圧	LVC MOSレベル、 $H V_{DD}=\text{min}$	-0.3	—	0.8	V
V_{T+}	正トリガ電圧	LVC MOSシュミット	1.4	—	2.7	V
V_{T-}	負トリガ電圧	LVC MOSシュミット	0.6	—	1.8	V
V_H	ヒステリシス電圧	LVC MOSシュミット	0.3	—	—	V
R_{PU}	プルアップ抵抗	$V_I=0\text{V}$ 、タイプ1	25	50	120	$\text{k}\Omega$
		$V_I=0\text{V}$ 、タイプ2	50	100	240	$\text{k}\Omega$
R_{PD}	プルダウン抵抗	$V_I=H V_{DD}$ 、タイプ1	25	50	120	$\text{k}\Omega$
		$V_I=H V_{DD}$ 、タイプ2	50	100	240	$\text{k}\Omega$
C_I	入力端子容量	$F=1\text{MHz}$ 、 $H V_{DD}=0\text{V}$	—	—	8	pF
C_O	出力端子容量	$F=1\text{MHz}$ 、 $H V_{DD}=0\text{V}$	—	—	8	pF
C_{IO}	双方向端子容量	$F=1\text{MHz}$ 、 $H V_{DD}=0\text{V}$	—	—	8	pF

7. AC特性

7. AC特性

条件：

IO $V_{DD} = 3.3V \pm 10\%$

$T_A = -25^\circ C \sim 85^\circ C$

すべての入力の T_{rise} と T_{fall} は5ns（10%～90%）以下であること。

通常、 $C_L = 50pF$ （CPUインタフェース）

$C_L = 30pF$ （LCDパネルインタフェース）

$C_L = 15pF$ （ディスプレイメモリインタフェース）

7.1 クロックタイミング

7.1.1 入力クロック

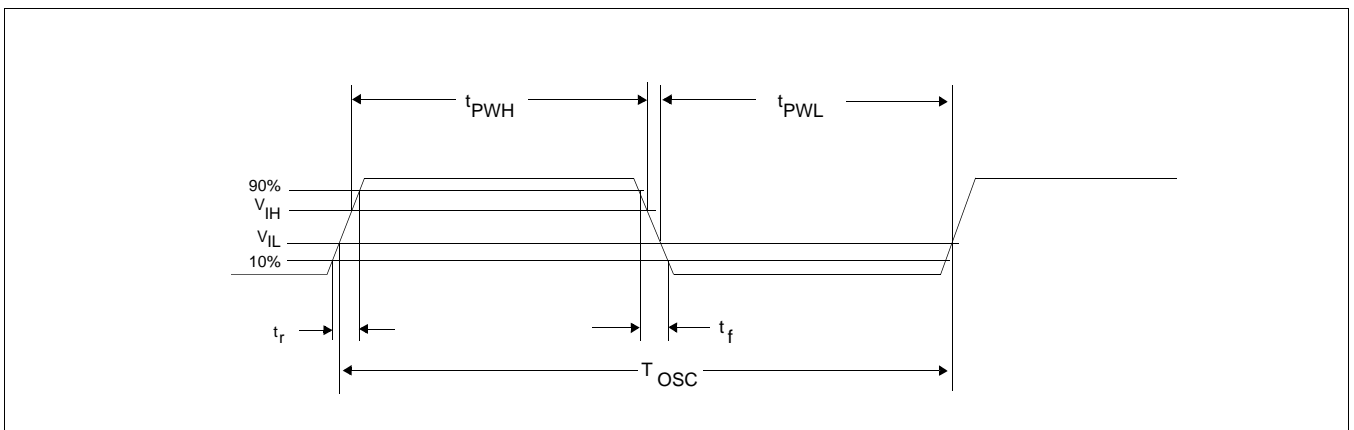


図7-1 OSC1/OSC2/CLKI3/BUSCLKのクロック要件

表7-1 クロック入力として使用されるとき時のOSC1/OSC2/CLKI3/BUSCLKのクロック要件

記号	パラメータ	MIN	TYP	MAX	単位
f_{OSC1}	OSC1の入カクロック周波数	5	—	65	MHz
T_{OSC1}	OSC1の入カクロック周期	—	$1/f_{OSC1}$	—	ns
f_{OSC2}	OSC2の入カクロック周波数	5	—	27	MHz
T_{OSC2}	OSC2の入カクロック周期	—	$1/f_{OSC2}$	—	ns
f_{CLKI3}	CLKI3の入カクロック周波数	5	—	100	MHz
T_{CLKI3}	CLKI3の入カクロック周期	—	$1/f_{CLKI3}$	—	ns
f_{BUSCLK}	BUSCLKの入カクロック周波数 (注を参照)	5	—	50	MHz
T_{BUSCLK}	BUSCLKの入カクロック周期 (注を参照)	—	$1/f_{BUSCLK}$	—	ns
t_{PWH}	入カクロックパルス幅High	0.4	—	0.6	T_{OSC}
t_{PWL}	入カクロックパルス幅Low	0.4	—	0.6	T_{OSC}
t_f	入カクロック立ち下がり時間 (10%~90%)	—	—	0.2	T_{OSC}
t_r	入カクロック立ち上がり時間 (10%~90%)	—	—	0.2	T_{OSC}

注

S1D13513をBUSCLKが必要なホストインタフェースモード(CNF6=0)で使用する場合、S1D13513が通常動作モードの間はBUSCLKを入力してください。

表7-2 水晶発振器入力として使用されるとき時のOSC1/OSC2のクロック要件

記号	パラメータ	MIN	TYP	MAX	単位
f_{OSC1}	OSC1の入カクロック周波数	5	—	20	MHz
T_{OSC1}	OSC1の入カクロック周期	—	$1/f_{OSC1}$	—	ns
f_{OSC2}	OSC2の入カクロック周波数	5	—	27	MHz
T_{OSC2}	OSC2の入カクロック周期	—	$1/f_{OSC2}$	—	ns
t_{PWH}	入カクロックパルス幅High	0.4	—	0.6	T_{OSC}
t_{PWL}	入カクロックパルス幅Low	0.4	—	0.6	T_{OSC}
t_f	入カクロック立ち下がり時間 (10%~90%)	—	—	0.2	T_{OSC}
t_r	入カクロック立ち上がり時間 (10%~90%)	—	—	0.2	T_{OSC}

注

最大許容クロックジッタは300 psです。

7. AC特性

7.1.2 内部クロック

以下の項では、S1D13513内部クロックの一部の最低／最高値を示します。内部クロックのさらに詳しい情報は、119ページの項9.「クロック」を参照してください。

表7-3 Internal Clock Requirements

記号	パラメータ	MIN	MAX	単位
f_{BCLK}	バスクロック周波数	20	50 (注1、2)	MHz
$f_{SDRAMCLK}$	SDRAMクロック周波数	—	100	MHz
f_{SYSCLK}	システムクロック周波数	20	50	MHz

1. S1D13513の最大バスクロック周波数は50MHzです。ただし、ホストバスインタフェースの中には50MHzの最大周波数をサポートしていないものもあります。各ホストバスインタフェースのタイミングについては、58ページの項7.4「ホストバスインタフェースタイミング」を参照してください。
2. S1D13513をBUSCLKが必要なホストインタフェースモード(CNF6=0)で使用する場合、S1D13513が通常動作モードの間はBUSCLKを入力してください。

7.1.3 PLLクロック

PLL回路はアナログ回路であり、入力クロック波形や電源のノイズの影響を大きく受けます。クロックまたは電源のノイズは、PLL回路の動作を不安定にしたりジッタを大きくしたりすることがあります。

このようなノイズの制約のため、PLL用の電源トレースまたは電源プレーンを他の電源のそれらから離しておいてください。電源のノイズをできるだけ少なくするために、フィルタリングも使用してください。入力クロック波形のジッタは、できるだけ小さくしてください。

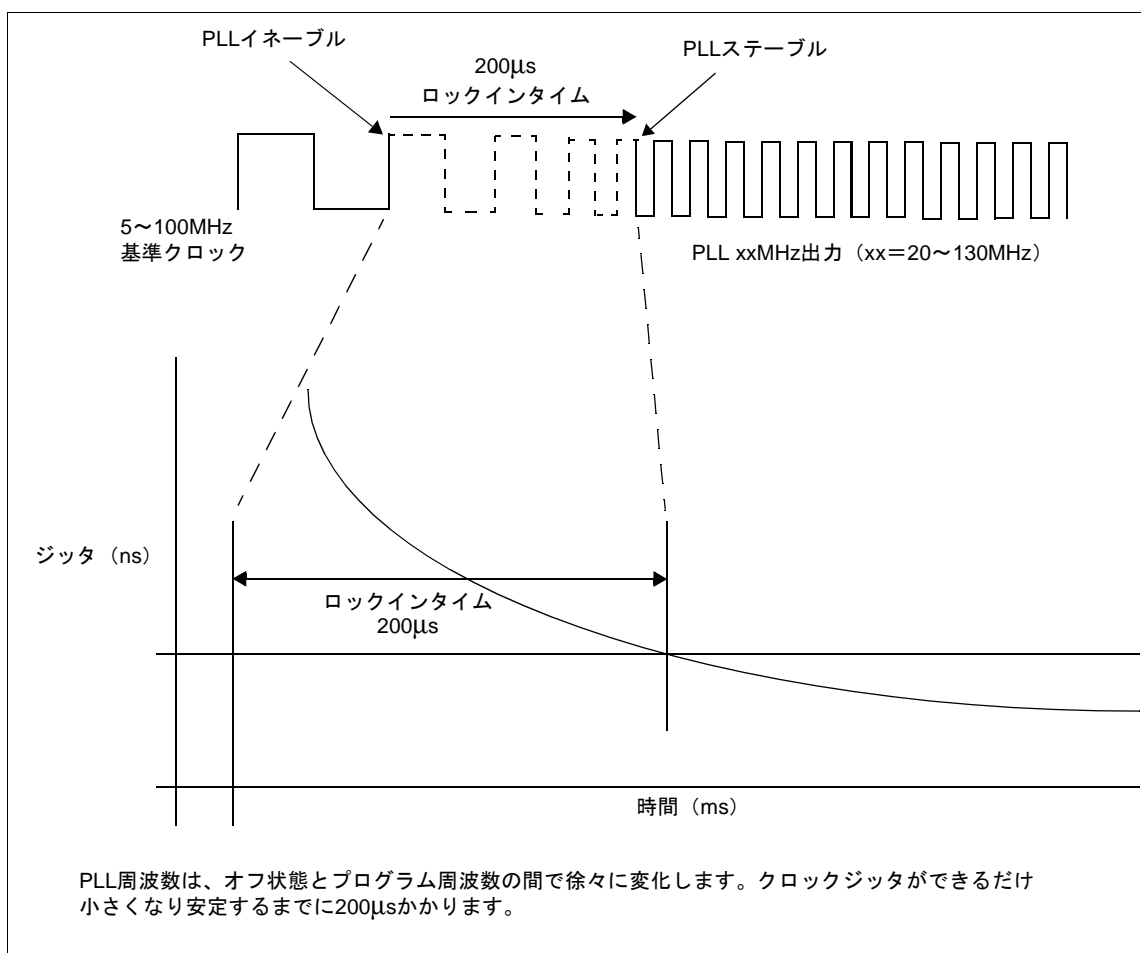


図7-2 PLL起動時間

表7-4 PLLクロック要件

記号	パラメータ	MIN	MAX	単位
f_{PLL}	PLL出力クロック周波数	20	130	MHz
t_{pStal}	PLL出力安定時間	—	200	µs

7. AC特性

7.2 電源シーケンス

7.2.1 電源構成

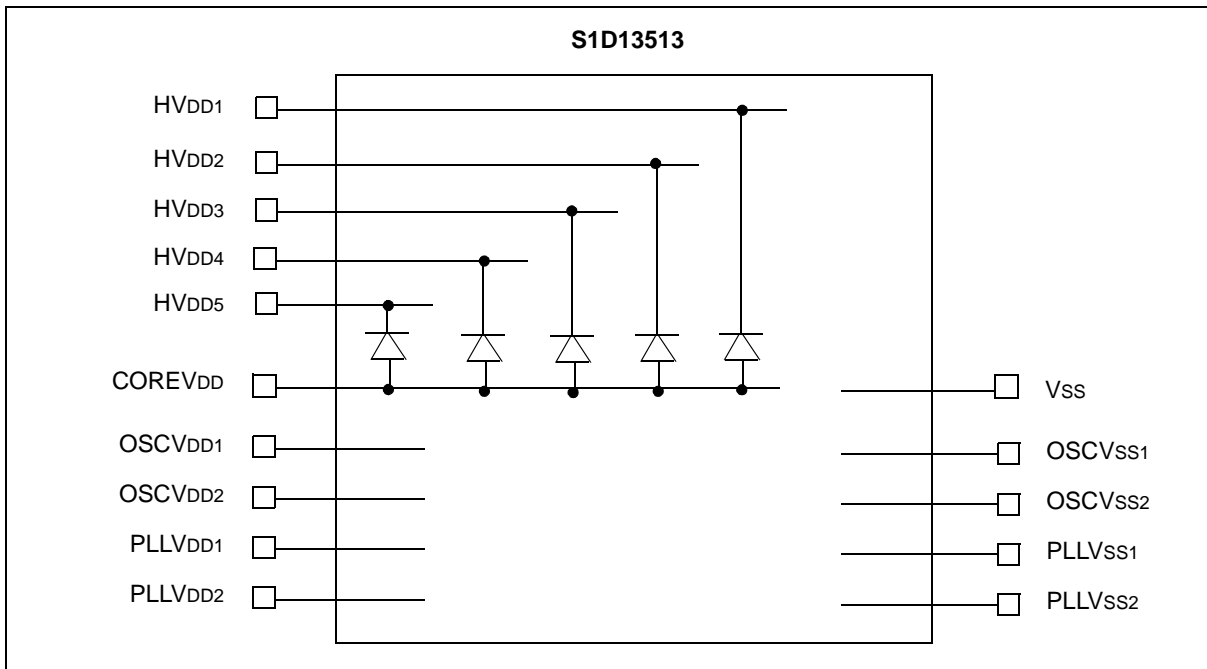


図7-3 内部電源構成

7.2.2 パワーオンシーケンス

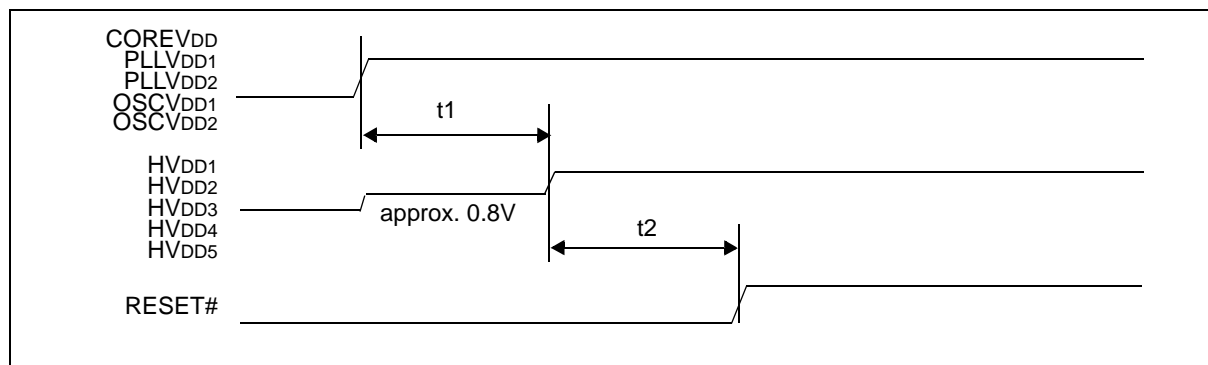


図7-4 パワーオンシーケンス

表7-5 パワーオンシーケンス

記号	パラメータ	MIN	MAX	単位
t1	COREVDD、OSCVDD1、OSCVDD2、PLLVDD1、PLLVDD2がオンになってからHVDD1~HVDD5がオンになるまでの遅延	0	500	ms
t2	HVDD1~HVDD5オンからディアサートされたRESET#	50	—	ns

1. Tck=システムクロック周期
2. RESET#信号はグリッチ除去回路を使用しており、リセットが生成されるまでに50nsのアクティブなRESET#パルス幅を必要とします（57ページの項7.3「RESET#タイミング」を参照）。

7. AC特性

7.2.3 パワーオフシーケンス

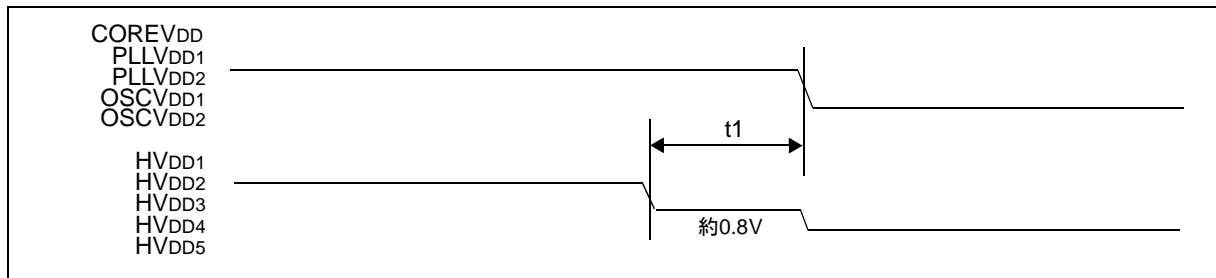


図7-5 パワーオフシーケンス

表7-6 パワーオフシーケンス

記号	パラメータ	MIN	MAX	単位
t1	HV _{DD1} ～HV _{DD5} がオフになってからCOREV _{DD} 、OSCV _{DD1} 、OSCV _{DD2} 、PLLV _{DD1} 、PLLV _{DD2} がオフになるまでの遅延	0	500	ms

7.3 RESET#タイミング

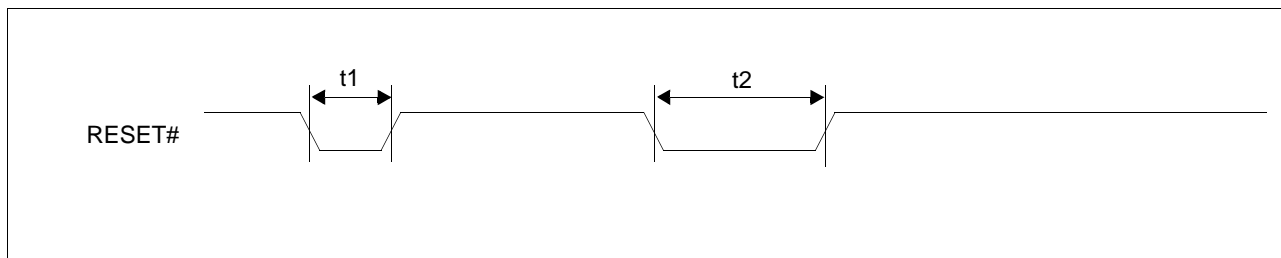


図7-6 S1D13513 RESET#タイミング

表7-7 S1D13513 RESET#タイミング

記号	パラメータ	MIN	MAX	単位
t1	無視されるリセットパルス幅	—	2	ns
t2	アクティブリセットパルス幅	50	—	ns

7. AC特性

7.4 ホストバスインタフェースタイミング

7.4.1 ダイレクト/インダイレクト80タイプ1

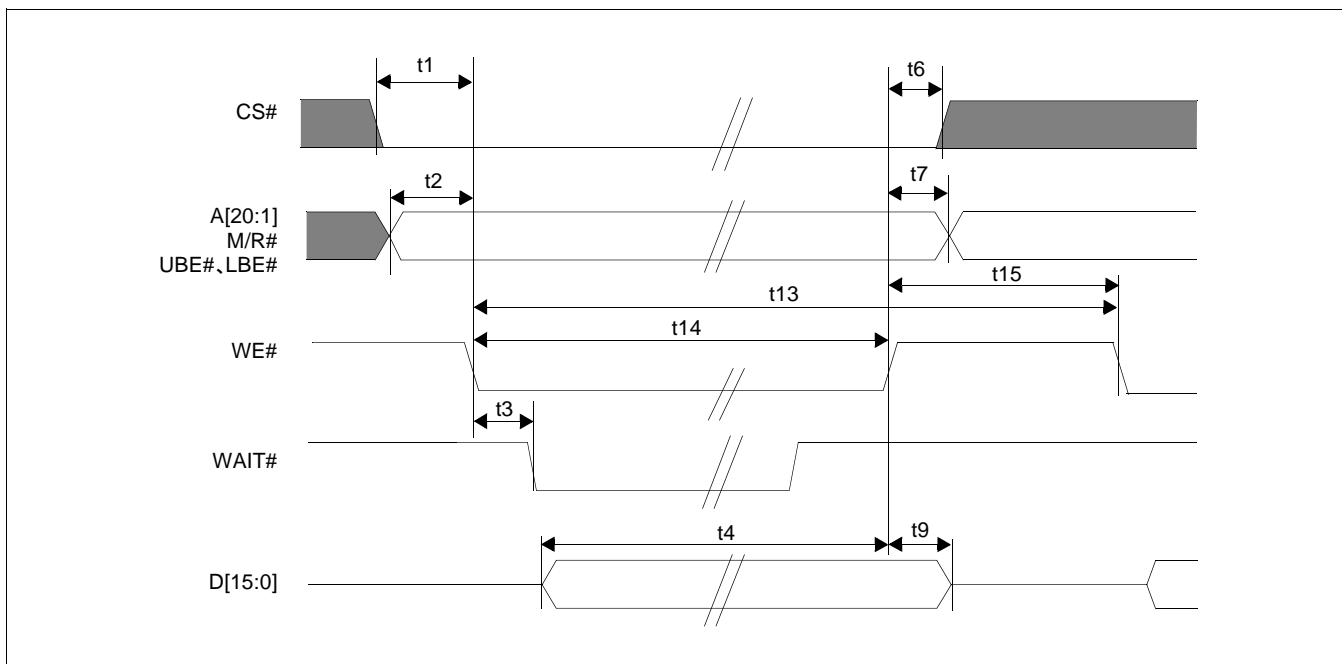


図7-7 ダイレクト/インダイレクト80タイプ1ホストインタフェースライトタイミング

表7-8 ダイレクト/インダイレクト80タイプ1ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → WE#立ち下がりエッジ	5	—	ns
t2	A[20:1]、M/R#、UBE#、LBE#セットアップ時間 → WE#立ち下がりエッジ	5	—	ns
t3	WE#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t4	D[15:0]セットアップ時間 → WE#立ち上がりエッジ	15	—	ns
t6	WE#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	WE#立ち上がりエッジ → A[20:1]、M/R#、UBE#、LBE#ホールド時間	4	—	ns
t9	WE#立ち上がりエッジからのD[15:0]ホールド時間	5	—	ns
t13	WE#サイクル時間	4.5	—	Ts (注1)
t14	WE#パルスアクティブ時間	3	—	Ts
t15	WE#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

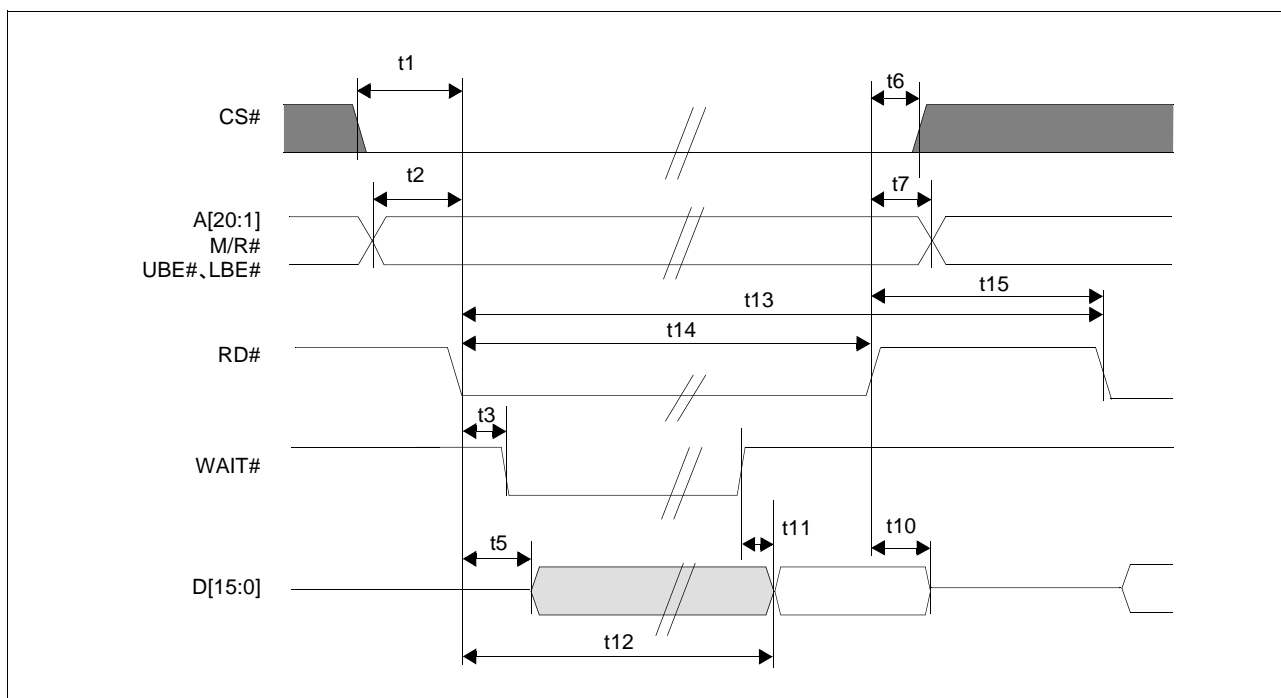


図7-8 ダイレクト/インダイレクト80タイプ1ホストインタフェースリードタイミング

表7-9 ダイレクト/インダイレクト80タイプ1ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → RD#立ち下がりエッジ	5	—	ns
t2	A[20:1]、M/R#、UBE#、LBE#セットアップ時間 → RD#立ち下がりエッジ	5	—	ns
t3	RD#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t5	RD#立ち下がりエッジ → D[15:0]の駆動	4	—	ns
t6	RD#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	RD#立ち上がりエッジ → A[20:1]、M/R#、UBE#、LBE#ホールド時間	4	—	ns
t10	RD#立ち上がりエッジからのD[15:0]ホールド時間	1	10	ns
t11	WAIT#立ち上がりエッジ → WAIT#がアサートされた場合の有効データ	—	10	ns
t12	RD#立ち下がりエッジ → WAIT#がアサートされない場合の有効データ	—	20	ns
t13	RD#サイクル時間	4.5	—	Ts (注1)
t14	RD#パルスアクティブ時間	3	—	Ts
t15	RD#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

7. AC特性

7.4.2 ダイレクト/インダイレクト80タイプ2

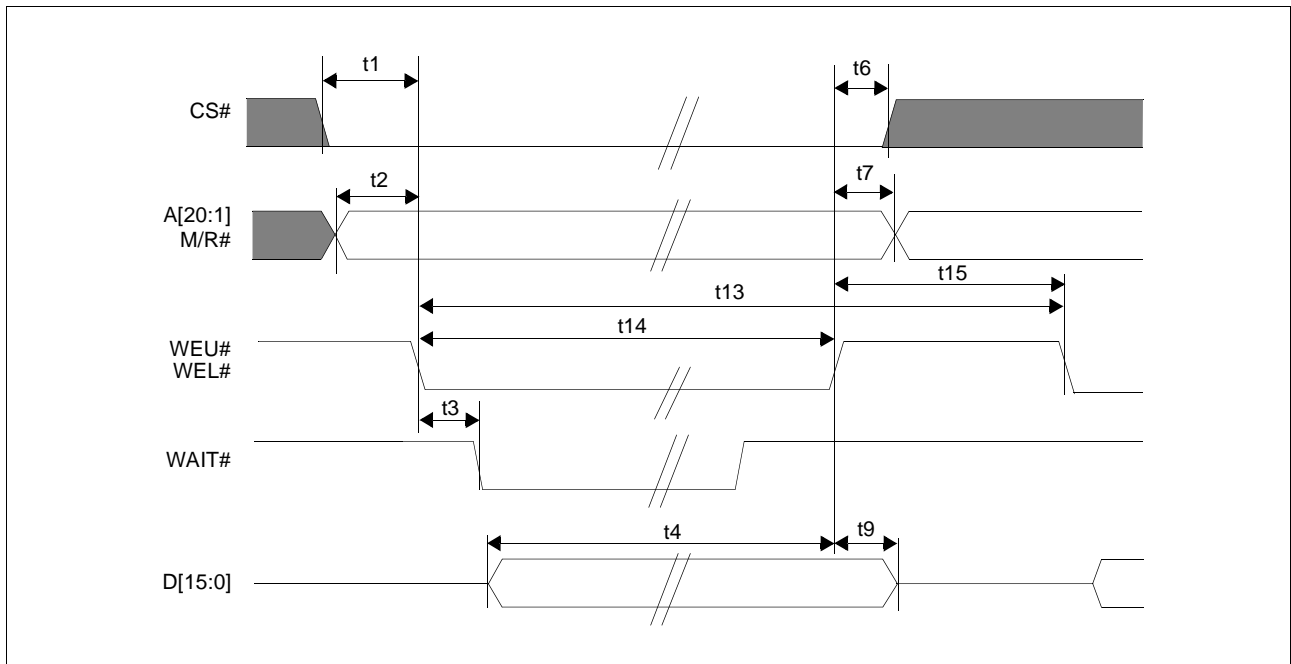


図7-9 ダイレクト/インダイレクト80タイプ2ホストインタフェースライトタイミング

表7-10 ダイレクト/インダイレクト80タイプ2ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → WEU#、WEL#立ち下がりエッジ	9	—	ns
t2	A[20:1]、M/R#セットアップ時間 → WEU#、WEL#立ち下がりエッジ	9	—	ns
t3	WEU#、WEL#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t4	D[15:0]セットアップ時間 → WEU#、WEL#立ち上がりエッジ	15	—	ns
t6	WEU#、WEL#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	WEU#、WEL#立ち上がりエッジ → A[20:1]、M/R#ホールド時間	4	—	ns
t9	WEU#、WEL#立ち上がりエッジからのD[15:0]ホールド時間	5	—	ns
t13	WEU#、WEL#サイクル時間	4.5	—	Ts (注1)
t14	WEU#、WEL#パルスアクティブ時間	3	—	Ts
t15	WEU#、WEL#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

注

ダイレクト80タイプ2インタフェースではビッグエンディアンモード (CNF5=1) をサポートしていません。

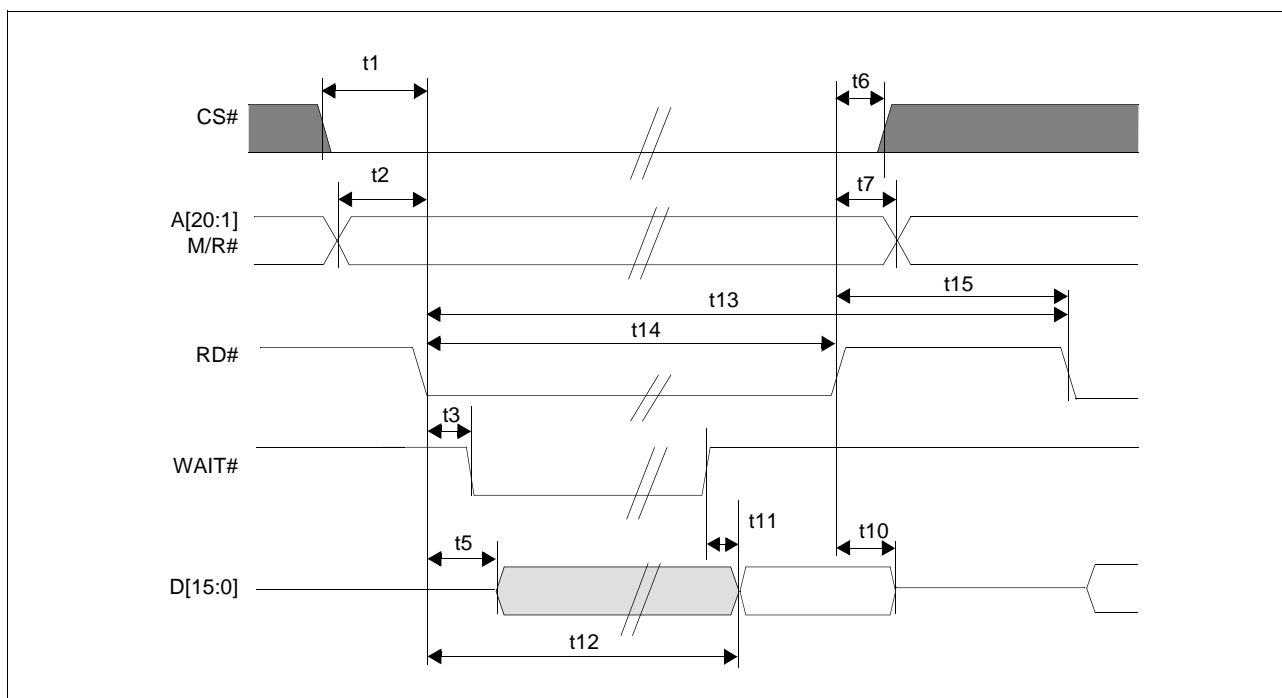


図7-10 ダイレクト/インダイレクト80タイプ2ホストインタフェースリードタイミング

表7-11 ダイレクト/インダイレクト80タイプ2ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → RD#立ち下がりエッジ	9	—	ns
t2	A[20:1]、M/R#セットアップ時間 → RD#立ち下がりエッジ	9	—	ns
t3	RD#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t5	RD#立ち下がりエッジ → D[15:0]の駆動	4	—	ns
t6	RD#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	RD#立ち上がりエッジ → A[20:1]、M/R#ホールド時間	4	—	ns
t10	RD#立ち上がりエッジからのD[15:0]ホールド時間	1	10	ns
t11	WAIT#立ち上がりエッジ → WAIT#がアサートされた場合の有効データ	—	10	ns
t12	RD#立ち下がりエッジ → WAIT#がアサートされない場合の有効データ	—	20	ns
t13	RD#サイクル時間	4.5	—	Ts (注1)
t14	RD#パルスアクティブ時間	3	—	Ts
t15	RD#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

注

ダイレクト80タイプ2インタフェースではビッグエンディアンモード (CNF5=1) をサポートしていません。

7. AC特性

7.4.3 ダイレクト/インダイレクト68

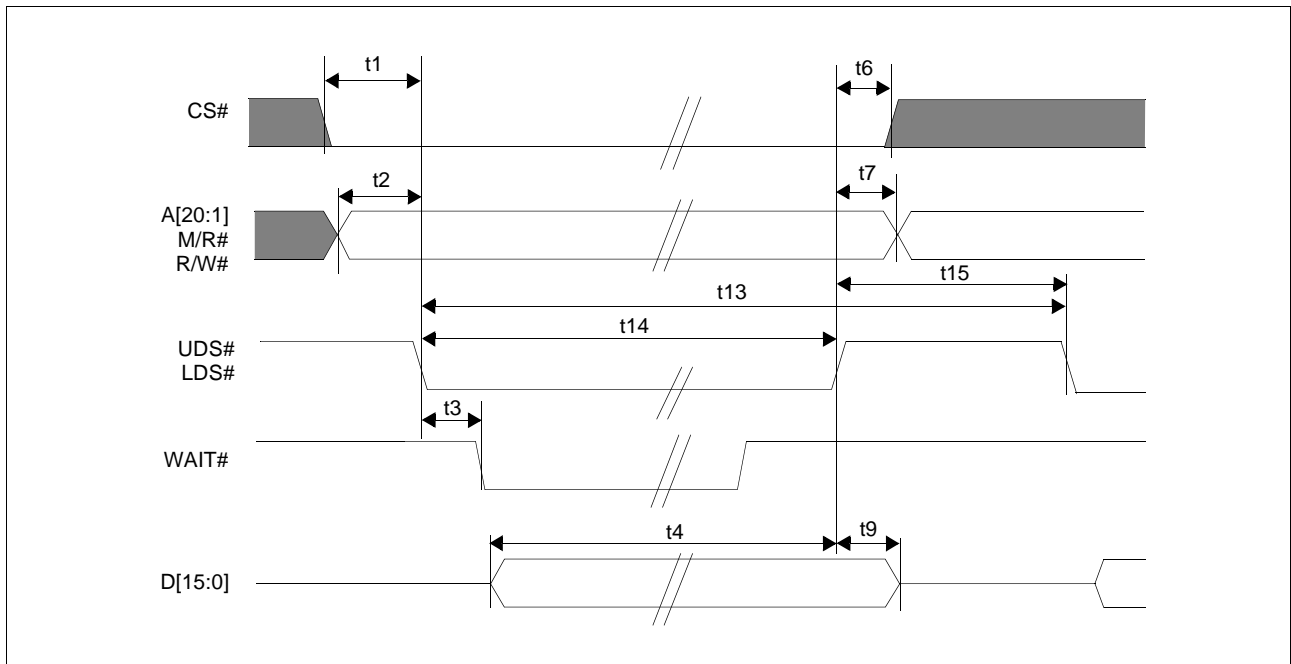


図7-11 ダイレクト/インダイレクト68ホストインタフェースライトタイミング

表7-12 ダイレクト/インダイレクト68ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → UDS#、LDS#立ち下がりエッジ	9	—	ns
t2	A[20:1]、M/R#、R/W#セットアップ時間 → UDS#、LDS#立ち下がりエッジ	9	—	ns
t3	UDS#、LDS#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t4	D[15:0]セットアップ時間 → UDS#、LDS#立ち上がりエッジ	15	—	ns
t6	UDS#、LDS#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	UDS#、LDS#立ち上がりエッジ → A[20:1]、M/R#、R/W#ホールド時間	4	—	ns
t9	UDS#、LDS#立ち上がりエッジからのD[15:0]ホールド時間	5	—	ns
t13	UDS#、LDS#サイクル時間	4.5	—	Ts (注1)
t14	UDS#、LDS#パルスアクティブ時間	3	—	Ts
t15	UDS#、LDS#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

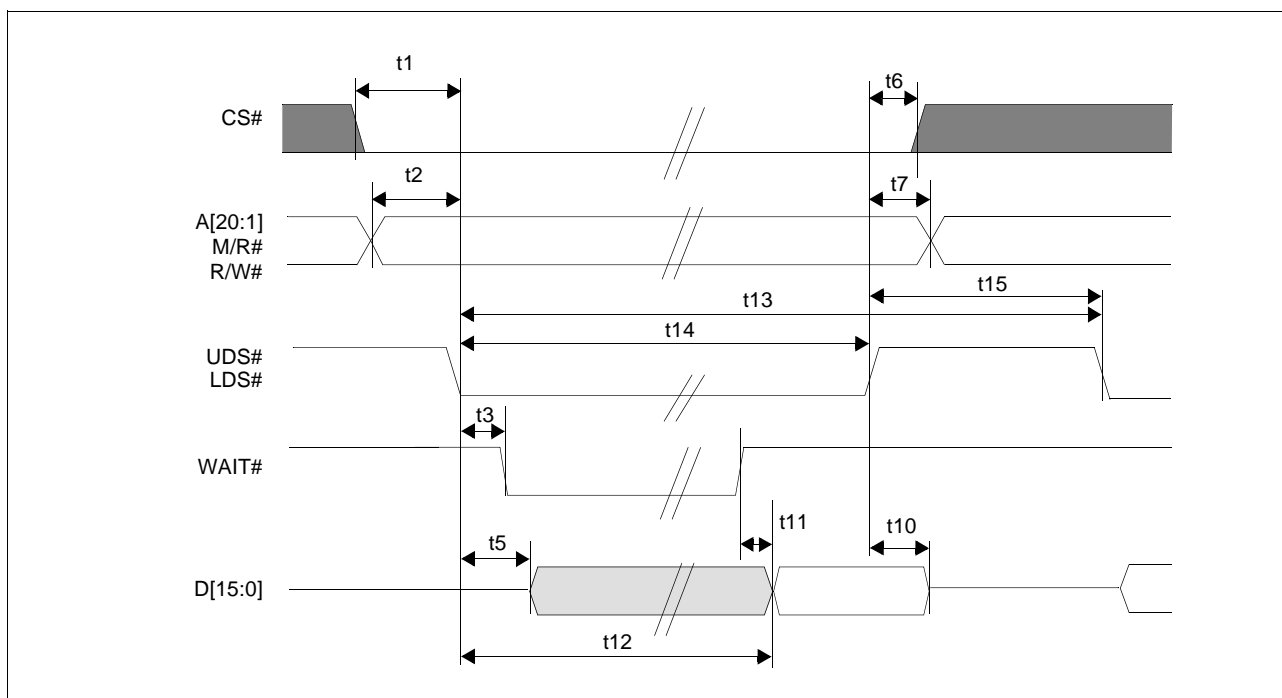


図7-12 ダイレクト/インダイレクト68ビットインタフェースリードタイミング

表7-13 ダイレクト/インダイレクト68ビットインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
t1	CS#セットアップ時間 → UDS#、LDS#立ち下がりエッジ	9	—	ns
t2	A[20:1]、M/R#、R/Wセットアップ時間 → UDS#、LDS#立ち下がりエッジ	9	—	ns
t3	UDS#、LDS#立ち下がりエッジ → WAIT#がLowに駆動	—	19	ns
t5	UDS#、LDS#立ち下がりエッジ → D[15:0]の駆動	4	—	ns
t6	UDS#、LDS#立ち上がりエッジ → CS#ホールド時間	4	—	ns
t7	UDS#、LDS#立ち上がりエッジ → A[20:1]、M/R#、R/Wホールド時間	4	—	ns
t10	UDS#、LDS#立ち上がりエッジからのD[15:0]ホールド時間	1	10	ns
t11	WAIT#がアサートされた場合のWAIT#立ち上がりエッジ → 有効データ	—	10	ns
t12	WAIT#がアサートされない場合のUDS#、LDS#立ち下がりエッジ → 有効データ	—	20	ns
t13	UDS#、LDS#サイクル時間	4.5	—	Ts (注1)
t14	UDS#、LDS#パルスアクティブ時間	3	—	Ts
t15	UDS#、LDS#パルス非アクティブ時間	1.5	—	Ts

1. Ts=システムクロック周期

7. AC特性

7.4.4 汎用 (C33)

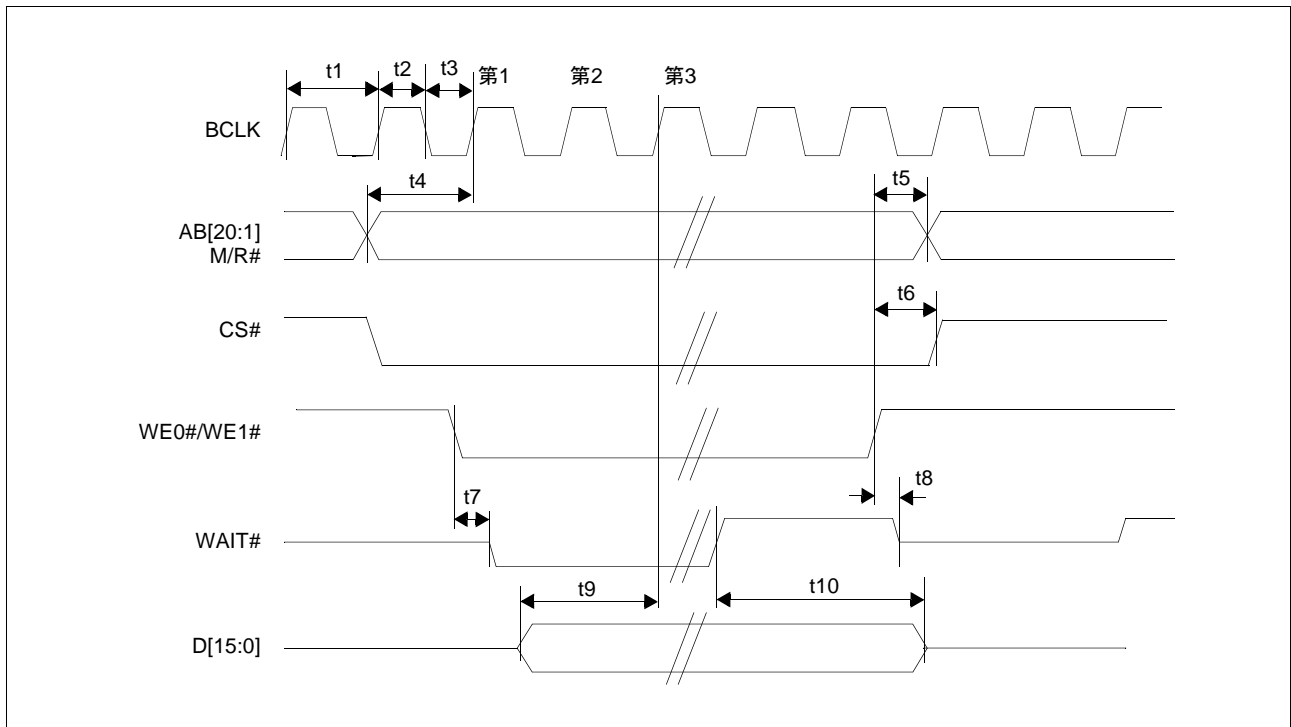


図7-13 汎用ホストインタフェースライトタイミング

表7-14 汎用ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{BCLK}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{\text{BCLK}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	A[20:1]、M/R#セットアップ → CS#=0、WE0#とWE1#=0の場合の最初のBCLK	4	—	ns
t5	WE0#、WE1#の立ち上がりエッジからのA[20:1]、M/R#ホールド	0	—	ns
t6	WE0#、WE1#の立ち上がりエッジからのCS#ホールド	0	—	ns
t7	WE0#、WE1#の立ち下がりエッジ → WAIT#がLowに駆動	3	13	ns
t8	WE0#、WE1#の立ち上がりエッジ → WAIT#トライステート	3	11	ns
t9	D[15:0]セットアップ → CS#=0、WE0#とWE1#=0の場合の第3のBCLK	0	—	ns
t10	D[15:0]ホールド	0	—	ns

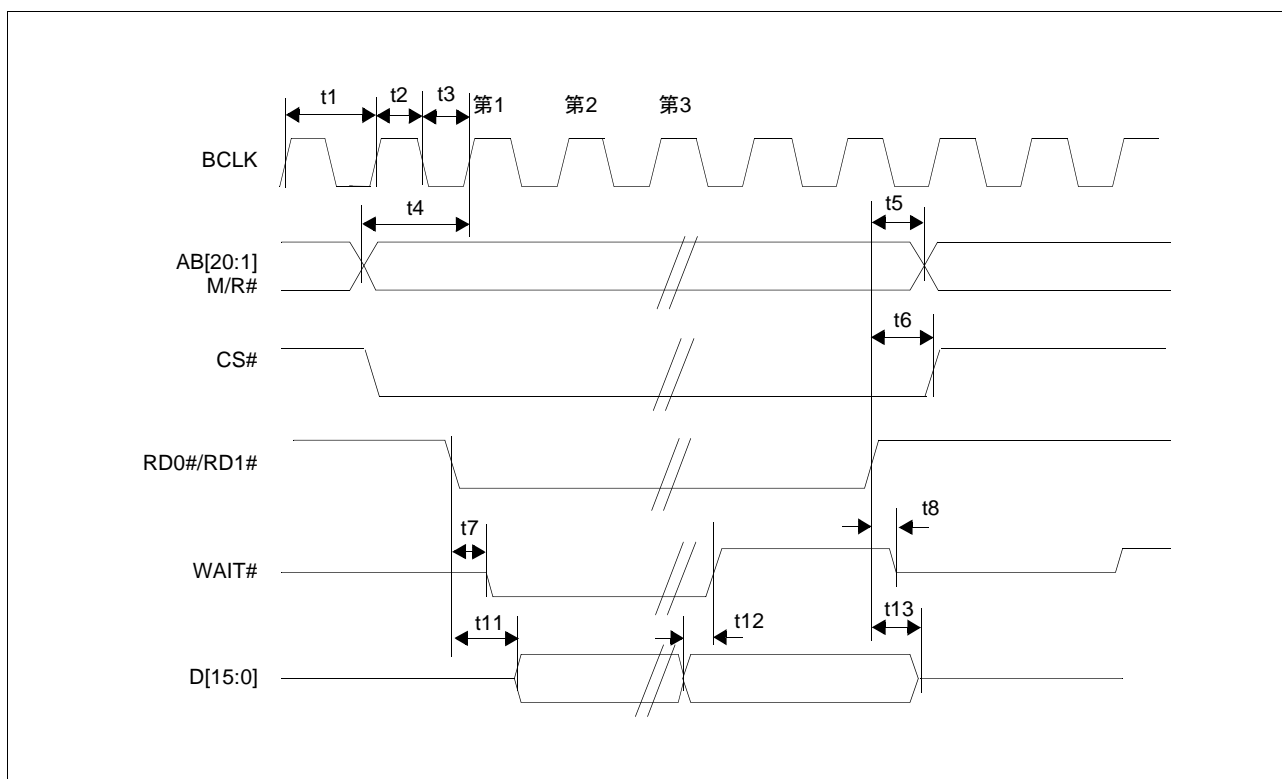


図7-14 汎用ホストインタフェースリードタイミング

表7-15 汎用ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{BCLK}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{\text{BCLK}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	A[20:1]、M/R#セットアップ → CS#=0、RD0#とRD1#=0の場合の最初のBCLK	4	—	ns
t5	RD0#、RD1#の立ち上がりエッジからのA[20:1]、M/R#ホールド	0	—	ns
t6	RD0#、RD1#の立ち上がりエッジからのCS#ホールド	0	—	ns
t7	RD0#、RD1#立ち下がりエッジ → WAIT#がLowに駆動	3	13	ns
t8	RD0#、RD1#の立ち上がりエッジ → WAIT#トライステート	3	11	ns
t11	立ち下がりエッジRD0#、RD1# → D[15:0]の駆動	3	—	ns
t12	D[15:0]セットアップ → WAIT#の立ち上がりエッジ	0	—	ns
t13	RD0#、RD1#の立ち上がりエッジ → D[15:0]トライステート	3	11	ns

7. AC特性

7.4.5 Renesas SH4

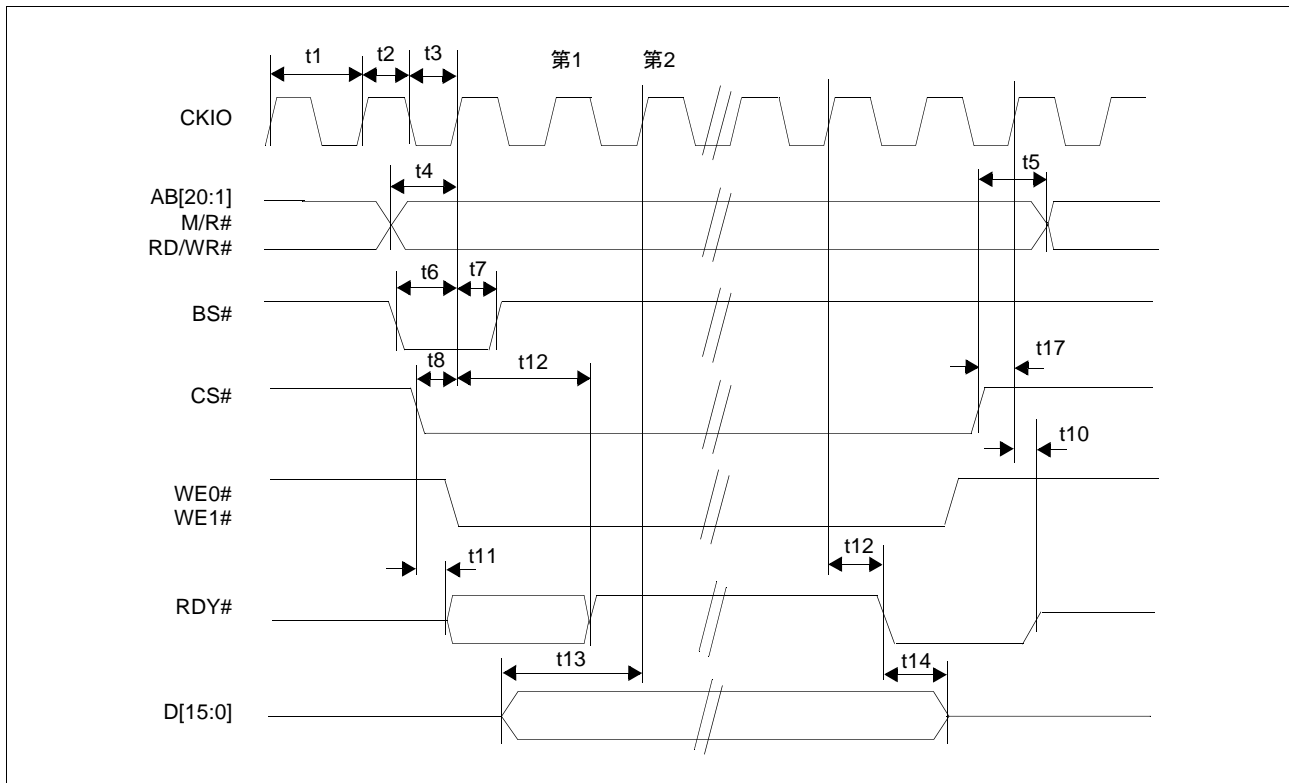


図7-15 Renesas SH4ホストインタフェースライトタイミング

表7-16 Renesas SH4ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{CKIO}	クロック周波数	—	50	MHz
t_1	クロック周期	$1/f_{CKIO}$	—	ns
t_2	クロックパルス幅High	7	—	ns
t_3	クロックパルス幅Low	7	—	ns
t_4	A[20:1]、M/R#、RD/WR#セットアップ → CKIO	4	—	ns
t_5	CS#からのA[20:1]、M/R#、RD/WR#ホールド	0	—	ns
t_6	BS#セットアップ	4	—	ns
t_7	BS#ホールド	3	—	ns
t_8	CS#セットアップ	4	—	ns
t_{10}	CKIO → RDY#トライステート	3	12	ns
t_{11}	立ち下がりエッジCS# → RDY#の駆動	3	11	ns
t_{12}	CKIO → RDY#遅延	4	13	ns
t_{13}	D[15:0]セットアップ → BS#後の第2のCKIO	0	—	ns
t_{14}	D[15:0]ホールド	5	—	ns
t_{17}	CS# Highセットアップ → CKIO	4	—	ns

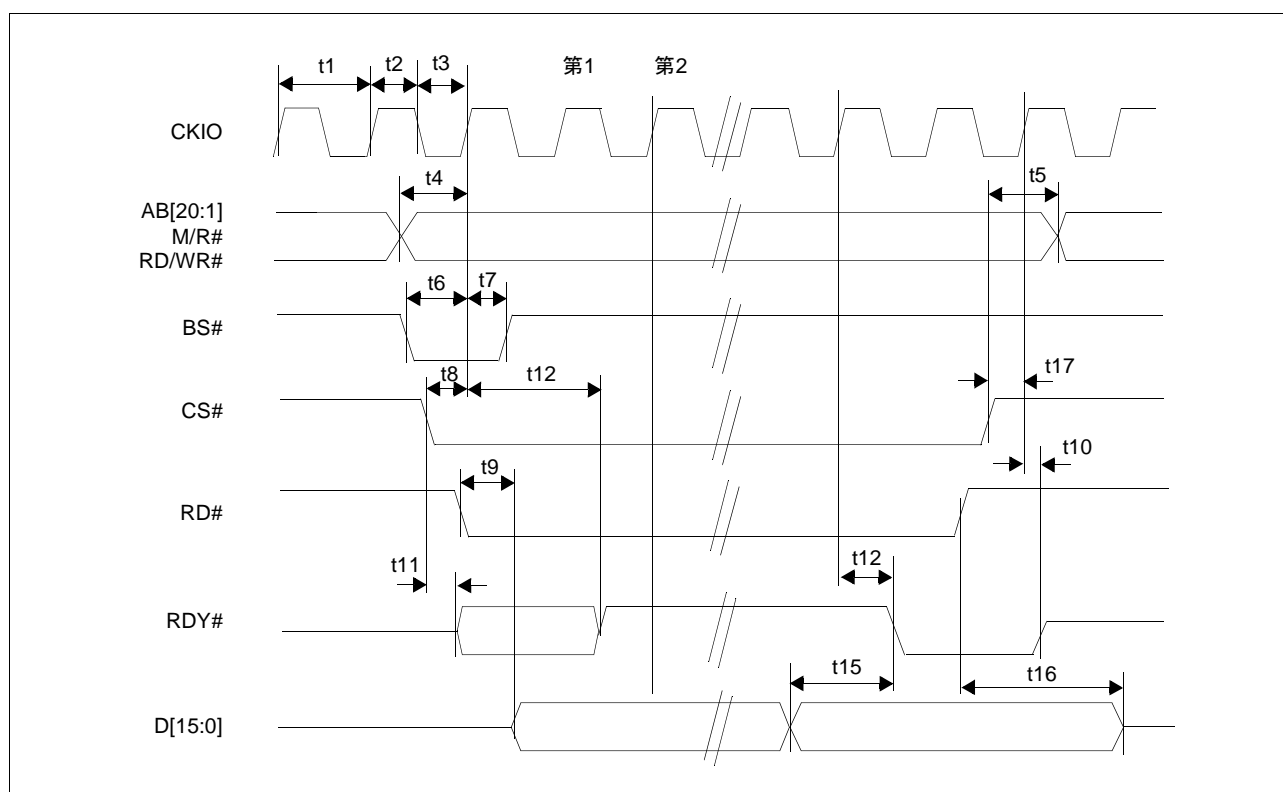


図7-16 Renesas SH4ホストインタフェースリードタイミング

表7-17 Renesas SH4ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{CKIO}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{CKIO}$	—	ns
t2	クロックパルス幅High	7	—	ns
t3	クロックパルス幅Low	7	—	ns
t4	A[20:1]、M/R#、RD/WR#セットアップ → CKIO	4	—	ns
t5	CS#からのA[20:1]、M/R#、RD/WR#ホールド	0	—	ns
t6	BS#セットアップ	4	—	ns
t7	BS#ホールド	3	—	ns
t8	CS#セットアップ	4	—	ns
t9	RD#の立ち下がりエッジ → D[15:0]の駆動	3	—	ns
t10	CKIO → RDY#トライステート	3	12	ns
t11	CS#の立ち下がりエッジ → WAIT#の駆動	3	11	ns
t12	CKIO → RDY#遅延	4	13	ns
t15	D[15:0]有効 → RDY#立ち下がりエッジ	0	—	ns
t16	RD#の立ち上がりエッジ → D[15:0]トライステート	3	12	ns
t17	CS# Highセットアップ → CKIO	4	—	ns

7. AC特性

7.4.6 Renesas SH3

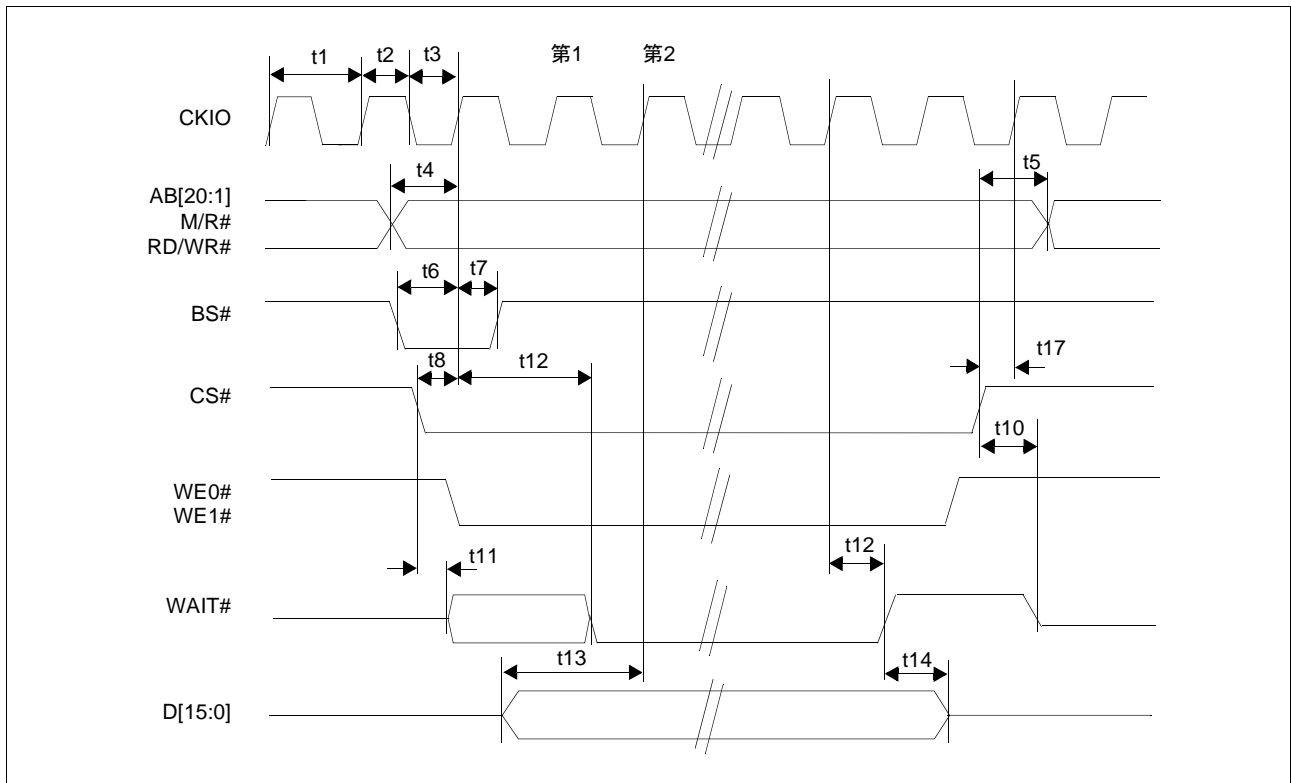


図7-17 Renesas SH3ホストインタフェースライトタイミング

表7-18 Renesas SH3ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{CKIO}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{CKIO}$	—	ns
t2	クロックパルス幅High	7	—	ns
t3	クロックパルス幅Low	7	—	ns
t4	A[20:1]、M/R#、RD/WR#セットアップ → CKIO	4	—	ns
t5	CS#からのA[20:1]、M/R#、RD/WR#ホールド	0	—	ns
t6	BS#セットアップ	4	—	ns
t7	BS#ホールド	3	—	ns
t8	CS#セットアップ	4	—	ns
t10	立ち上がりエッジCS# → WAIT#トライステート	3	12	ns
t11	立ち下がりエッジCS# → WAIT#の駆動	3	16	ns
t12	CKIO → WAIT#遅延	4	15	ns
t13	D[15:0]セットアップ → BS#後の第2のCKIO	0	—	ns
t14	D[15:0]ホールド	5	—	ns
t17	CS# Highセットアップ → CKIO	4	—	ns

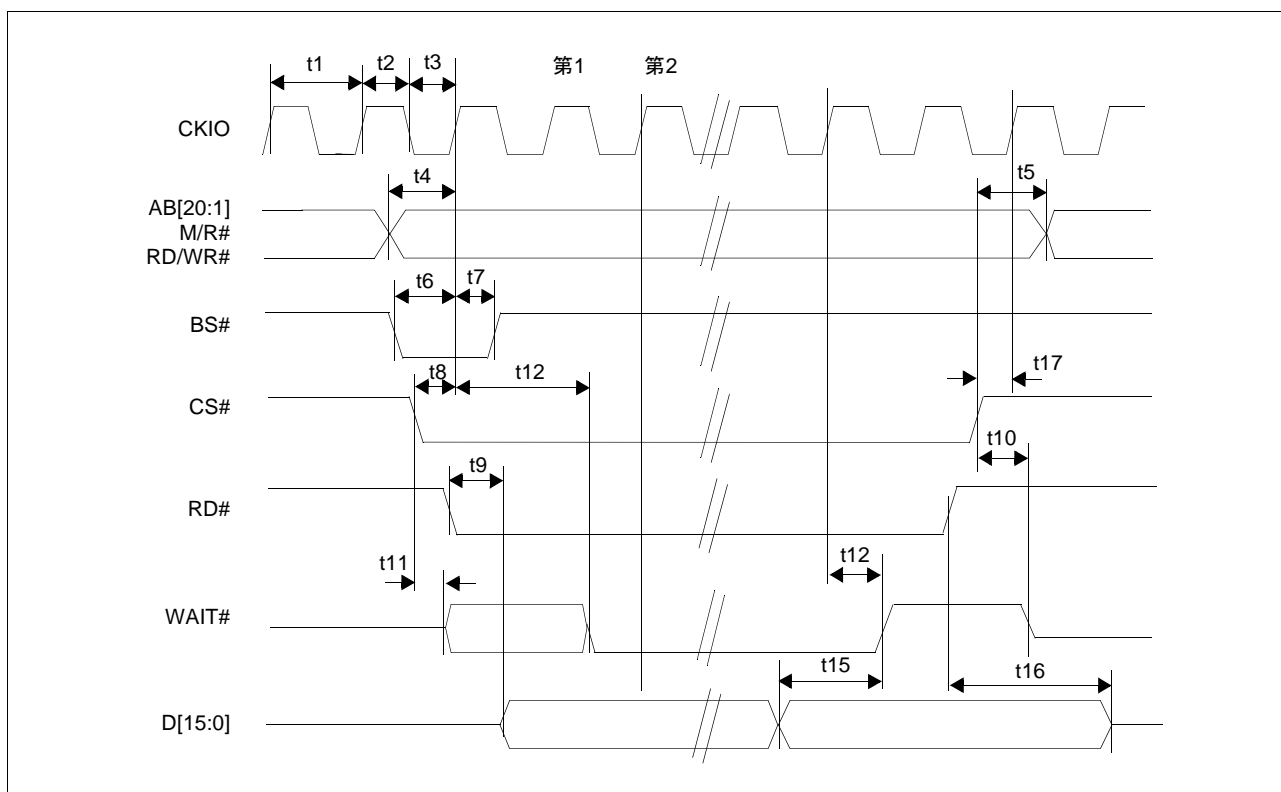


図7-18 Renesas SH3ホストインタフェースリードタイミング

表7-19 Renesas SH3ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{CKIO}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{CKIO}$	—	ns
t2	クロックパルス幅High	7	—	ns
t3	クロックパルス幅Low	7	—	ns
t4	A[20:1]、M/R#、RD/WR#セットアップ → CKIO	4	—	ns
t5	CS#からのA[20:1]、M/R#、RD/WR#ホールド	0	—	ns
t6	BS#セットアップ	4	—	ns
t7	BS#ホールド	3	—	ns
t8	CS#セットアップ	4	—	ns
t9	立ち下がりエッジRD# → D[15:0]の駆動	3	—	ns
t10	立ち上がりエッジCS# → WAIT#トライステート	3	12	ns
t11	立ち下がりエッジCS# → WAIT#の駆動	3	16	ns
t12	CKIO → WAIT#遅延	4	15	ns
t15	D[15:0]有効 → WAIT#立ち上がりエッジ	0	—	ns
t16	立ち上がりエッジRD# → D[15:0]トライステート	3	12	ns
t17	CS# Highセットアップ → CKIO	4	—	ns

7. AC特性

注

SH3 常時駆動のActive Low WAIT#モード(CNF[4:0]=11001または11101)では、WAIT#出力は、初期化プロセスの間は0になります。WAIT#はシステムクロックのON後に有効になります。この制限は、製品のレビジョンが00hまたは01hの場合に該当します。製品のレビジョンは”REG[0000h] bits 15-8 Product ID Register 0”でご確認ください。

7.4.7 MIPS/ISA (NEC VR41xx)

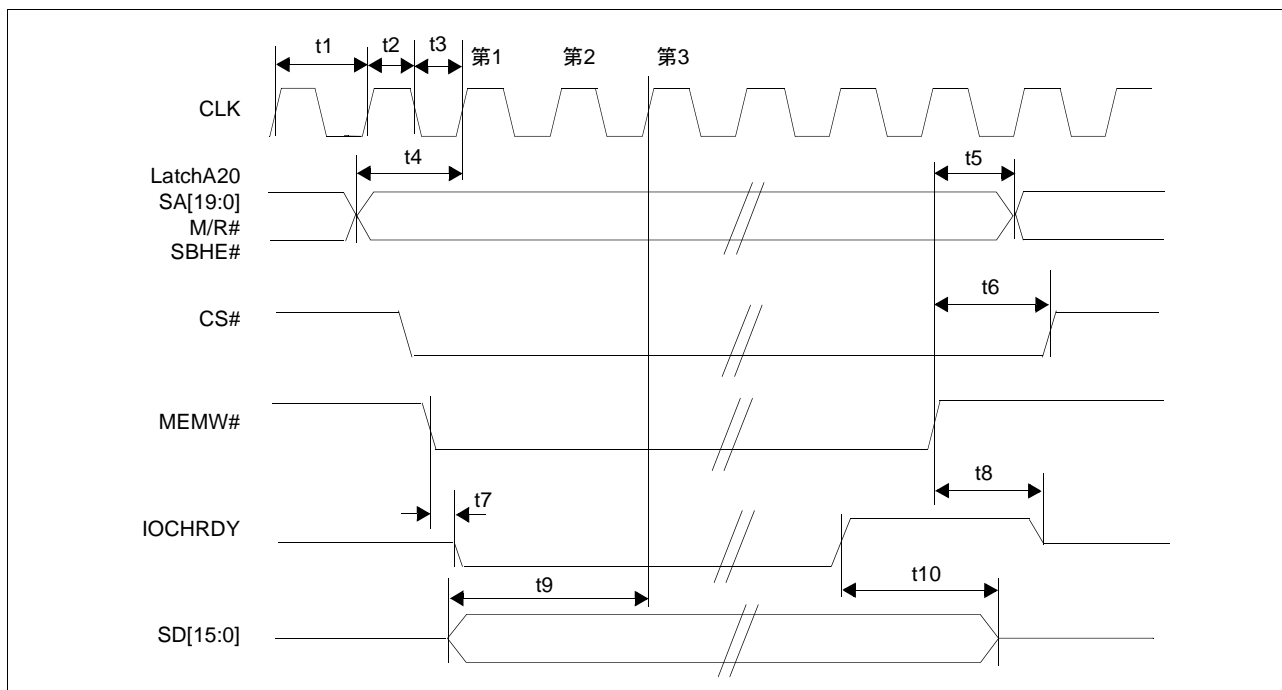


図7-19 MIPS/ISAホストインタフェースライトタイミング

表7-20 MIPS/ISAホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{\text{CLK}}$	—	ns
t2	クロックパルス幅High	7	—	ns
t3	クロックパルス幅Low	7	—	ns
t4	LatchA20、SA[19:0]、M/R#、SBHE#セットアップ → CS#=0でMEMW#=0の場合の第1のCLK	8	—	ns
t5	MEMW#の立ち上がりエッジからのLatchA20、SA[19:0]、M/R#、SBHE#ホールド	0	—	ns
t6	MEMW#の立ち上がりエッジからのCS#ホールド	0	—	ns
t7	MEMW#のいずれかの立ち下がりエッジ → IOCHRDYがLowに駆動	3	15	ns
t8	MEMW#のいずれかの立ち上がりエッジ → IOCHRDYトリステート	2	11	ns
t9	SD[15:0]セットアップ → CS#=0でMEMW#=0の場合の第3のCLK	0	—	ns
t10	SD[15:0]ホールド	5	—	ns

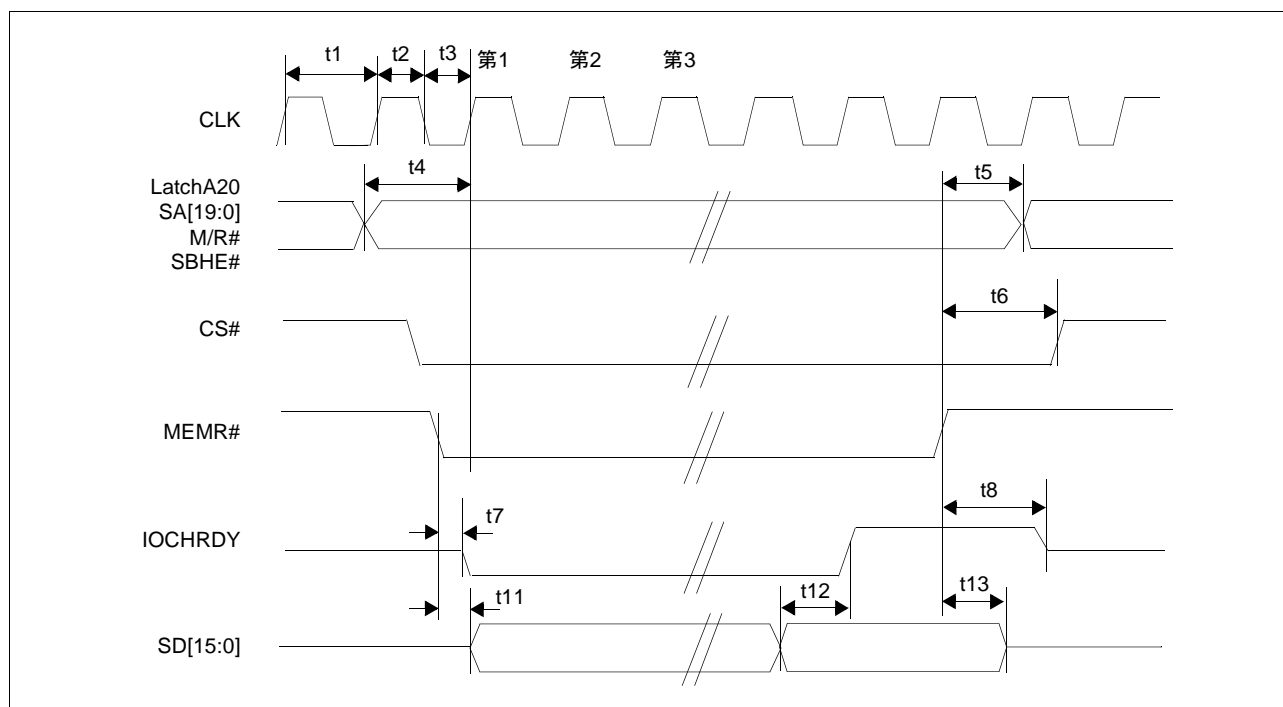


図7-20 MIPS/ISAホストインタフェースリードタイミング

表7-21 MIPS/ISAホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t_1	クロック周期	$1/f_{\text{CLK}}$	—	ns
t_2	クロックパルス幅High	7	—	ns
t_3	クロックパルス幅Low	7	—	ns
t_4	LatchA20、SA[19:0]、M/R#、SBHE#セットアップ → CS#=0でMEMR#=0の場合の最初のCLK	8	—	ns
t_5	MEMR#の立ち上がりエッジからのLatchA20、SA[19:0]、M/R#、SBHE#ホールド	0	—	ns
t_6	MEMR#の立ち上がりエッジからのCS#ホールド	0	—	ns
t_7	MEMR#の立ち下がりエッジ → IOCHRDYがLowに駆動	3	15	ns
t_8	MEMR#の立ち上がりエッジ → IOCHRDYトライステート	2	11	ns
t_{11}	立ち下がりエッジMEMR# → SD[15:0]の駆動	4	—	ns
t_{12}	SD[15:0]セットアップ → 立ち上がりエッジIOCHRDY	0	—	ns
t_{13}	MEMR#の立ち上がりエッジ → SD[15:0]トライステート	4	15	ns

7. AC特性

7.4.8 Freescale MC68000

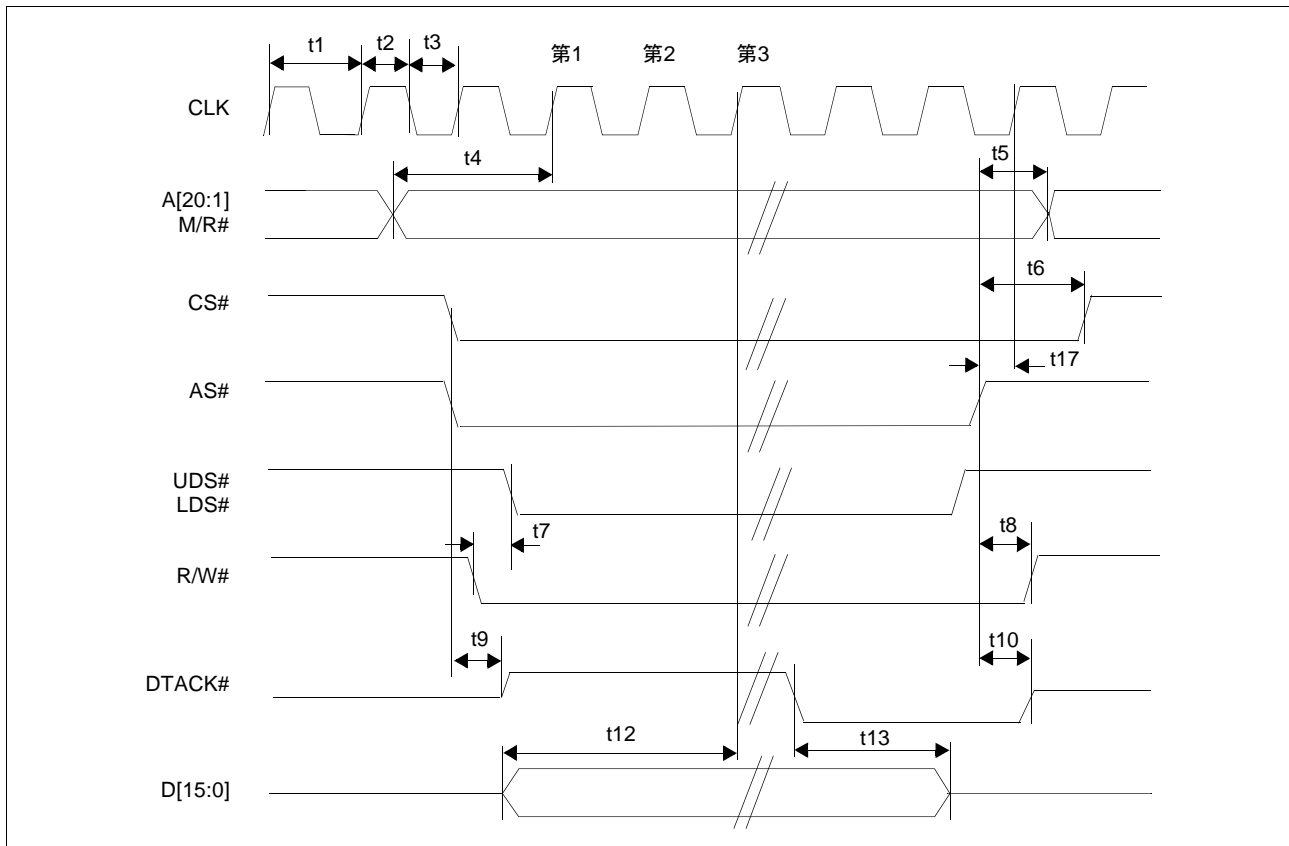


図7-21 Freescale MC68000ホストインタフェースライトタイミング

表7-22 Freescale MC68000ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t_1	クロック周期	$1/f_{\text{CLK}}$	—	ns
t_2	クロックパルス幅High	6	—	ns
t_3	クロックパルス幅Low	6	—	ns
t_4	A[20:1]、M/R#セットアップ → CS#=0、AS#=0、およびUDS#=0またはLDS#=0の場合の最初のCLK	7	—	ns
t_5	AS#からのA[20:1]、M/R#ホールド	0	—	ns
t_6	AS#からのCS#ホールド	0	—	ns
t_7	R/W#セットアップ → UDS#=0またはLDS#=0の前	10	—	ns
t_8	AS#からのR/W#ホールド	0	—	ns
t_9	AS#=0でCS#=0 → DTACK#がHighに駆動	1	—	ns
t_{10}	AS# High → DTACK# ハイインピーダンス	3	13	ns
t_{12}	CS#=0、AS#=0、およびUDS#=0またはLDS#=0の場合の第3のCLKからのD[15:0]ホールド	0	—	ns
t_{13}	DTACK#の立ち下がりエッジからのD[15:0]ホールド	0	—	ns
t_{17}	AS# Highセットアップ → CLK	6	—	ns

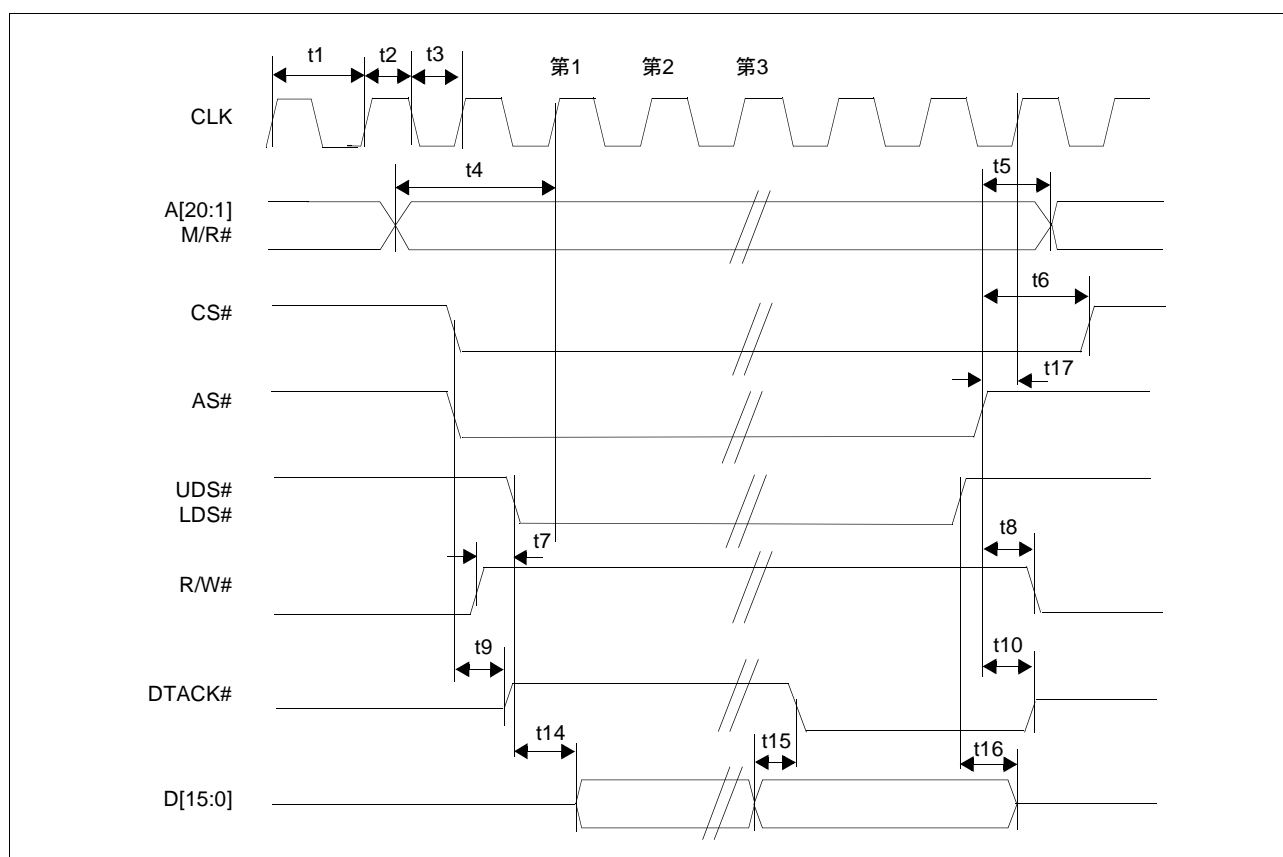


図7-22 Freescale MC68000ホストインタフェースリードタイミング

表7-23 Freescale MC68000ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{CLK}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	A[20:1]、M/R#セットアップ → CS#=0 AS#=0、およびUDS#=0またはLDS#=0の場合の最初のCLK	7	—	ns
t5	AS#からのA[20:1]、M/R#ホールド	0	—	ns
t6	AS#からのCS#ホールド	0	—	ns
t7	R/W#セットアップ → UDS#=0またはLDS#=0の前	10	—	ns
t8	AS#からのR/W#ホールド	0	—	ns
t9	AS#=0とCS#=0 → DTACK#がHighに駆動	1	—	ns
t10	AS# High → DTACK#ハイインピーダンス	3	13	ns
t14	UDS#=0またはLDS#=0の立ち下がりエッジ → D[15:0]の駆動	3	—	ns
t15	D[15:0]有効 → DTACK#立ち下がりエッジ	0	—	ns
t16	UDS#およびLDS# High → D[15:0]無効/ハイインピーダンス	4	15	ns
t17	AS# Highセットアップ → CLK	6	—	ns

7. AC特性

7.4.9 Freescale MC68030

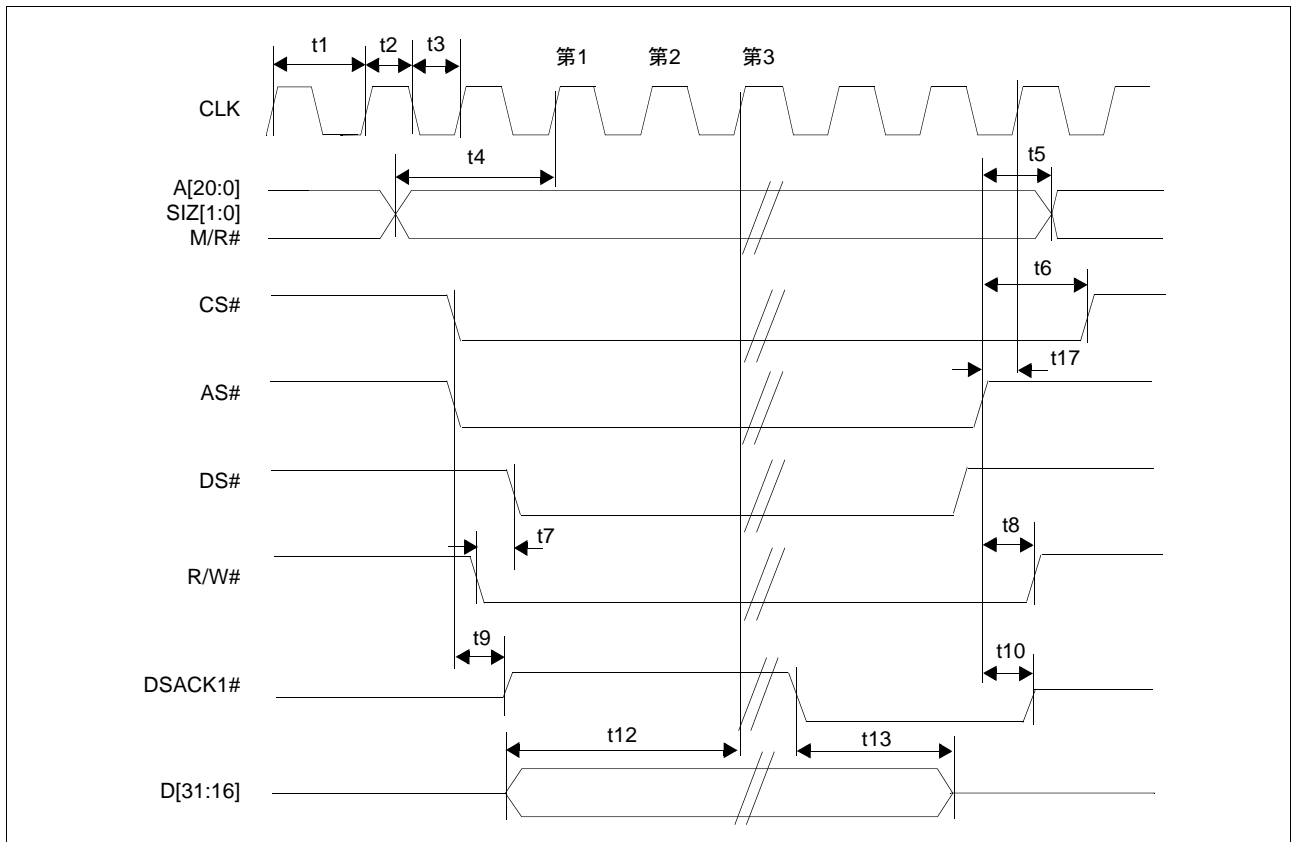


図7-23 Freescale MC68030ホストインタフェースライトタイミング

表7-24 Freescale MC68030ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t_1	クロック周期	$1/f_{\text{CLK}}$	—	ns
t_2	クロックパルス幅High	6	—	ns
t_3	クロックパルス幅Low	6	—	ns
t_4	A[20:1]、SIZ[1:0]、M/R#セットアップ → CS#=0、AS#=0、DS#=0の場合の最初のCLK	7	—	ns
t_5	AS#からのA[20:1]、SIZ[1:0]、M/R#ホールド	0	—	ns
t_6	AS#からのCS#ホールド	0	—	ns
t_7	R/W#セットアップ → DS#	10	—	ns
t_8	AS#からのR/W#ホールド	0	—	ns
t_9	AS#=0とCS#=0 → DSACK1#がHighに駆動	1	—	ns
t_{10}	AS# High → DSACK1#ハイインピーダンス	3	13	ns
t_{12}	D[31:16]有効 → CS#=0、AS#=0およびDS#=0の場合の第3のCLK	0	—	ns
t_{13}	DSACK1#の立ち下がりエッジからのD[31:16]ホールド	0	—	ns
t_{17}	AS# Highセットアップ → CLK	6	—	ns

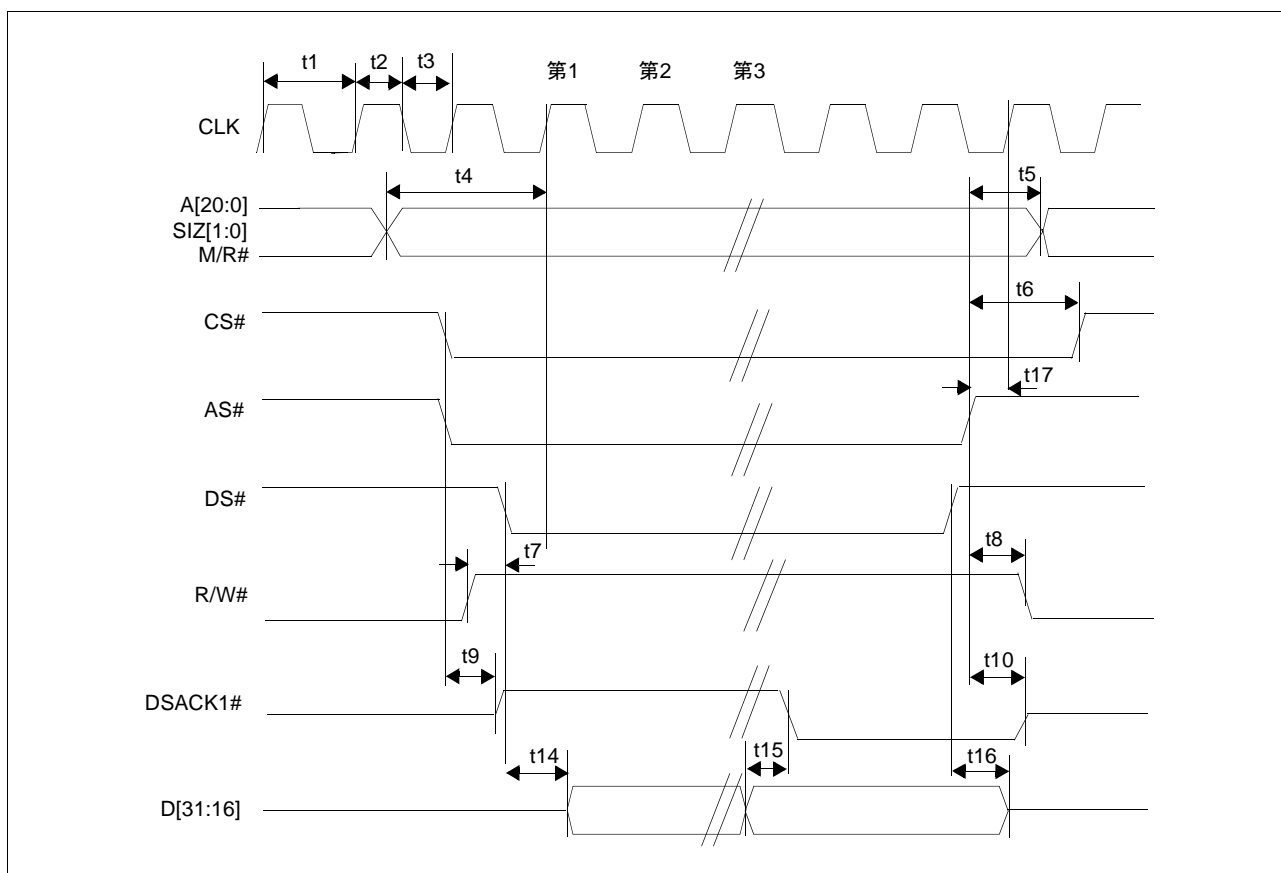


図7-24 Freescale MC68030ホストインタフェースリードタイミング

表7-25 Freescale MC68030ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{CLK}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{\text{CLK}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	A[20:1]、SIZ[1:0]、M/R#セットアップ → CS#=0、AS#=0、DS#=0の場合の最初のCLK	7	—	ns
t5	AS#からのA[20:1]、SIZ[1:0]、M/R#ホールド	0	—	ns
t6	AS#からのCS#ホールド	0	—	ns
t7	R/W#セットアップ → DS#	10	—	ns
t8	AS#からのR/W#ホールド	0	—	ns
t9	AS#=0とCS#=0 → DSACK1#がHighに駆動	1	—	ns
t10	AS# High → DSACK1#ハイインピーダンス	3	13	ns
t14	DS#=0の立ち下がリエッジ → D[31:16]の駆動	3	—	ns
t15	D[31:16]有効 → DSACK1#立ち下がリエッジ	0	—	ns
t16	DS# High → D[31:16]無効/ハイインピーダンス	4	15	ns
t17	AS# Highセットアップ → CLK	6	—	ns

7. AC特性

7.4.10 Freescale MPC555 (非バーストモード)

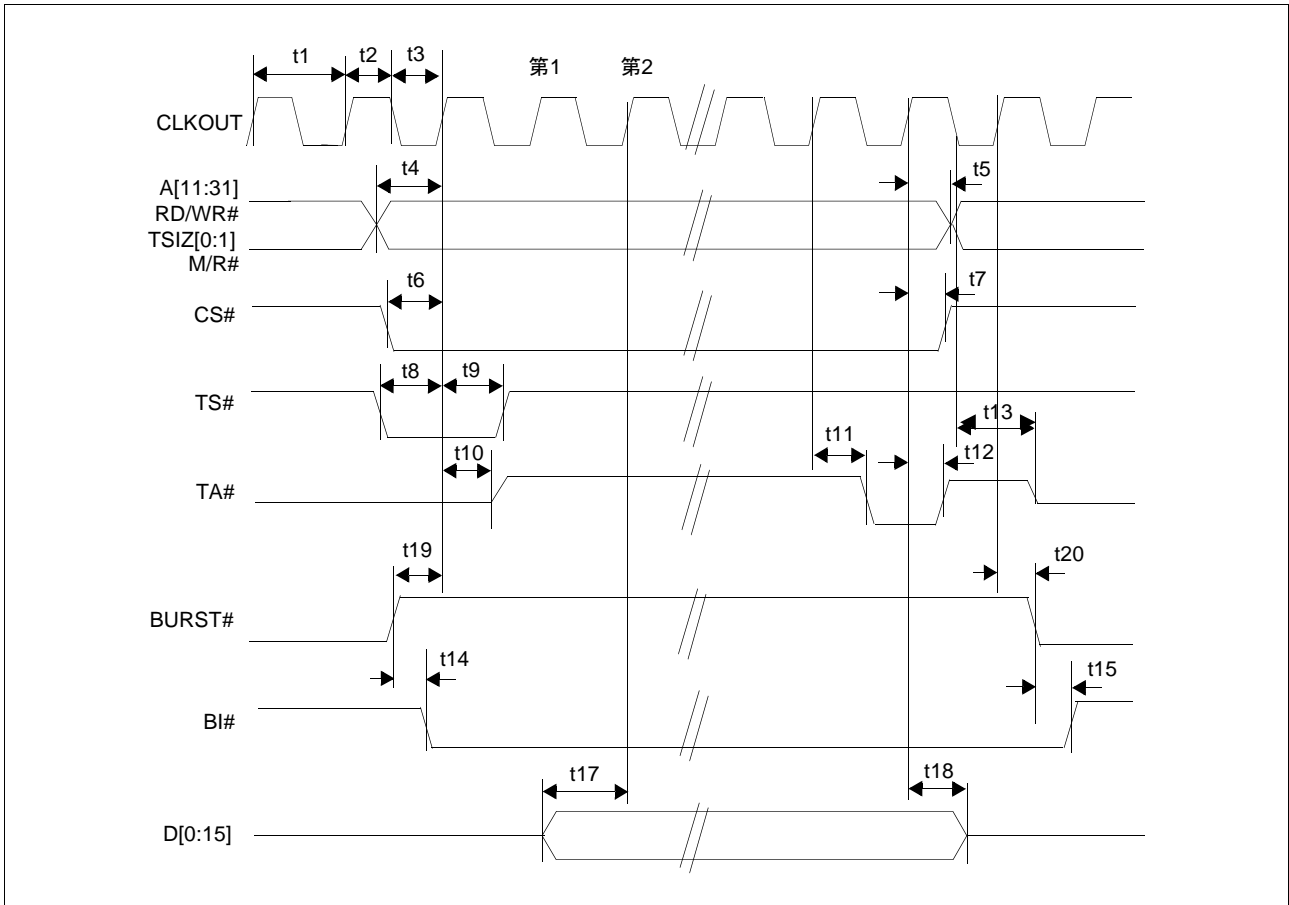


図7-25 Freescale MPC555ホストインタフェースライトタイミング (非バーストモード)

表7-26 Freescale MPC555ホストインタフェースライトタイミング (非バーストモード)

記号	パラメータ	MIN	MAX	単位
f_{CLKOUT}	クロック周波数	—	40	MHz
t1	クロック周期	$1/f_{\text{CLKOUT}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	AB[11:31]、RD/WR#、TSIZ[0:1]、M/R#セットアップ	3	—	ns
t5	AB[11:31]、RD/WR#、TSIZ[0:1]、M/R#ホールド	0	—	ns
t6	CS#セットアップ	0	—	ns
t7	CS#ホールド	3	—	ns
t8	TS#セットアップ	1	—	ns
t9	TS#ホールド	2	—	ns
t10	CLKOUT → TA#の駆動	4	—	ns
t11	CLKOUT → TA# Low	4	13	ns
t12	CLKOUT → TA# High	5	14	ns
t13	ネガティブエッジCLKOUT → TA#トリステート	3	12	ns
t14	BURST# High → BI# Low	5	15	ns
t15	BURST# Low → BI# High	3	12	ns
t17	DB[15:0]セットアップ → TS#=0の後の第2のCLKOUT	0	—	ns
t18	CLKOUT → DB[15:0]ホールド	2	—	ns
t19	BURST#セットアップ	5	—	ns
t20	BURST#ホールド	3	—	ns

7. AC特性

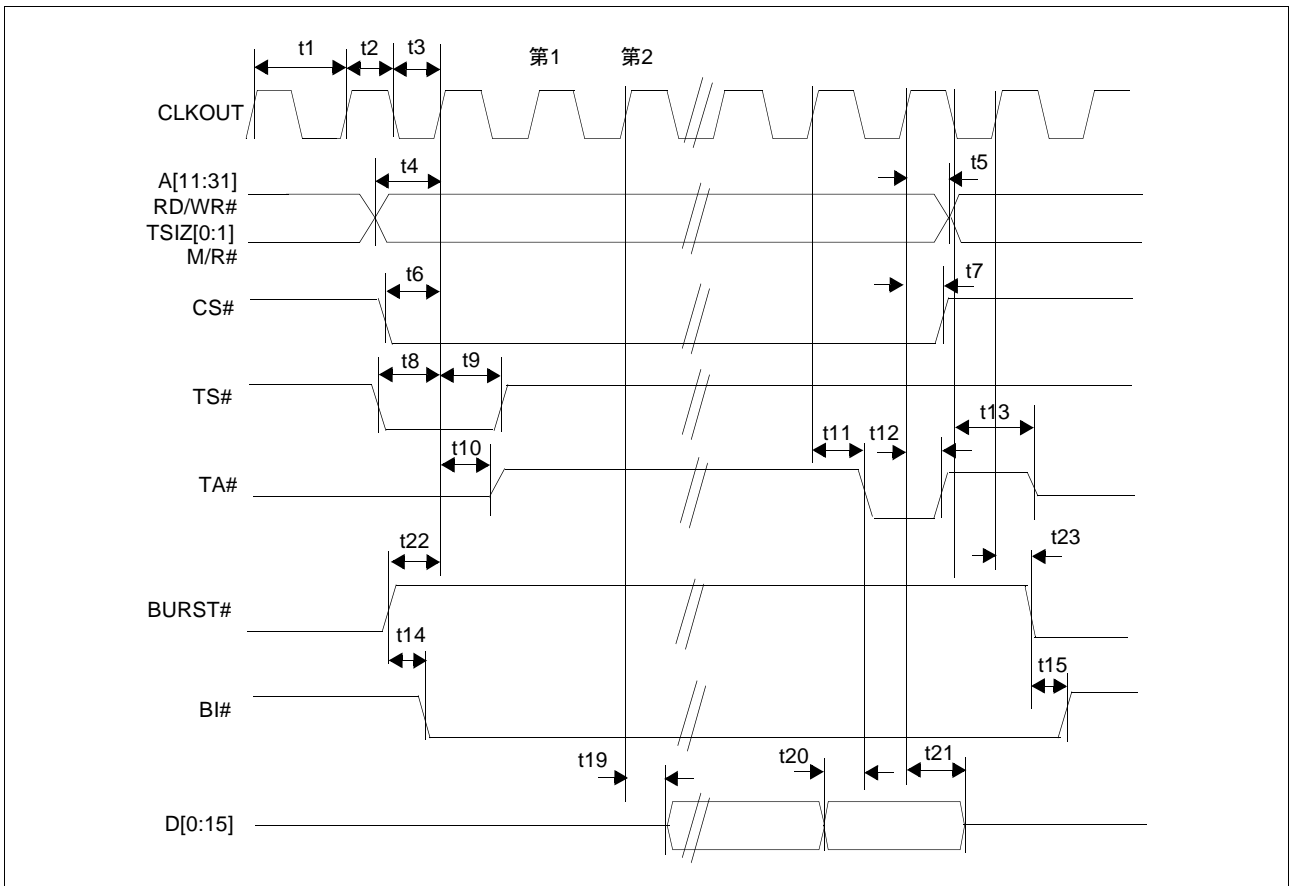


図7-26 Freescale MPC555ホストインタフェースリードタイミング (非バーストモード)

表7-27 Freescale MPC555ホストインタフェースリードタイミング (非バーストモード)

記号	パラメータ	MIN	MAX	単位
f_{CLKOUT}	クロック周波数	—	40	MHz
t1	クロック周期	$1/f_{\text{CLKOUT}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	AB[11:31]、RD/WR#、TSIZ[0:1]、M/R#セットアップ	3	—	ns
t5	AB[11:31]、RD/WR#、TSIZ[0:1]、M/R#ホールド	0	—	ns
t6	CS#セットアップ	0	—	ns
t7	CS#ホールド	3	—	ns
t8	TS#セットアップ	1	—	ns
t9	TS#ホールド	2	—	ns
t10	CLKOUT → TA#の駆動	4	—	ns
t11	CLKOUT → TA# Low	4	13	ns
t12	CLKOUT → TA# High	5	14	ns
t13	ネガティブエッジCLKOUT → TA#トリステート	3	12	ns
t14	BURST# High → BI# Low	5	15	ns
t15	BURST# Low → BI# High	3	12	ns
t19	CLKOUT → DBの駆動	-20	—	ns
t20	DB[15:0]有効 → TA#立ち下がりエッジ	0	—	ns
t21	CLKOUT → DB[15:0]トリステート	3	12	ns
t22	BURST#セットアップ	5	—	ns
t23	BURST#ホールド	3	—	ns

7. AC特性

7.4.11 フィリップスPR31500/PR31700/東芝TX3912

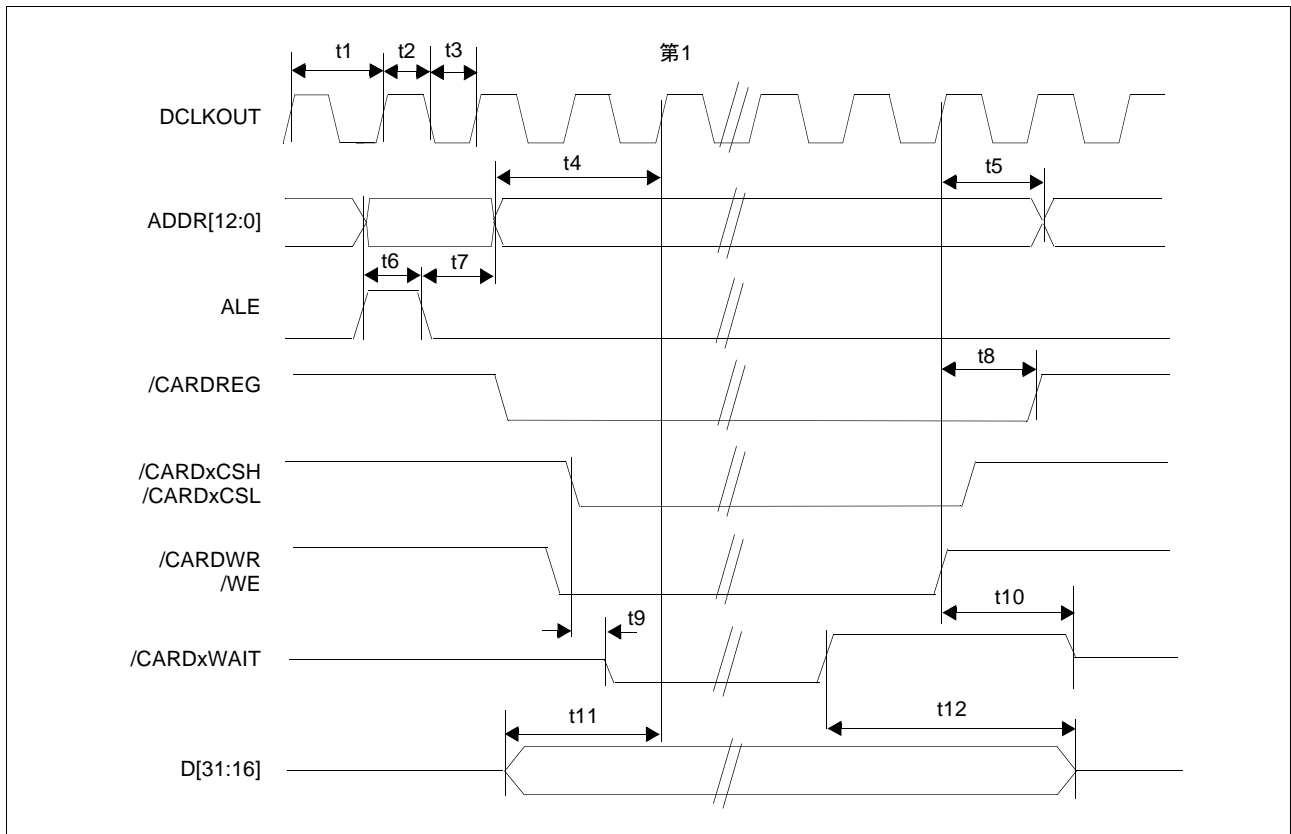


図7-27 フィリップスPR31500/PR31700/東芝TX3912ホストインタフェースライトタイミング

注

東芝TX3912では、アクティブLow信号は、信号名の前に「/」を付ける代わりに信号名の後に「*」を付けて示されます。

たとえば、PR31500信号/CARDREGは、TX3912信号CARDREG*と同じです。

表7-28 フィリップスPR31500/PR31700/東芝TX3912ホストインタフェースライトタイミング

記号	パラメータ	MIN	MAX	単位
$f_{DCLKOUT}$	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{DCLKOUT}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	ADDR[12:0]セットアップ → サイクルの第1のCLK	10	—	ns
t5	コマンド無効からのADDR[12:0]ホールド	5	—	ns
t6	ADDR[12:0]セットアップ → 立ち下がりエッジALE	10	—	ns
t7	立ち下がりエッジALEからのADDR[12:0]ホールド	5	—	ns
t8	コマンド無効からの/CARDREGホールド	0	—	ns
t9	チップ選択の立ち下がりエッジ → /CARDxWAITの駆動	0	15	ns
t10	コマンド無効 → /CARDxWAITトライステート	3	15	ns
t11	D[31:16]有効 → サイクルの最初のCLK	10	—	ns
t12	/CARDxWAITの立ち上がりエッジからのD[31:16]ホールド	0	—	ns

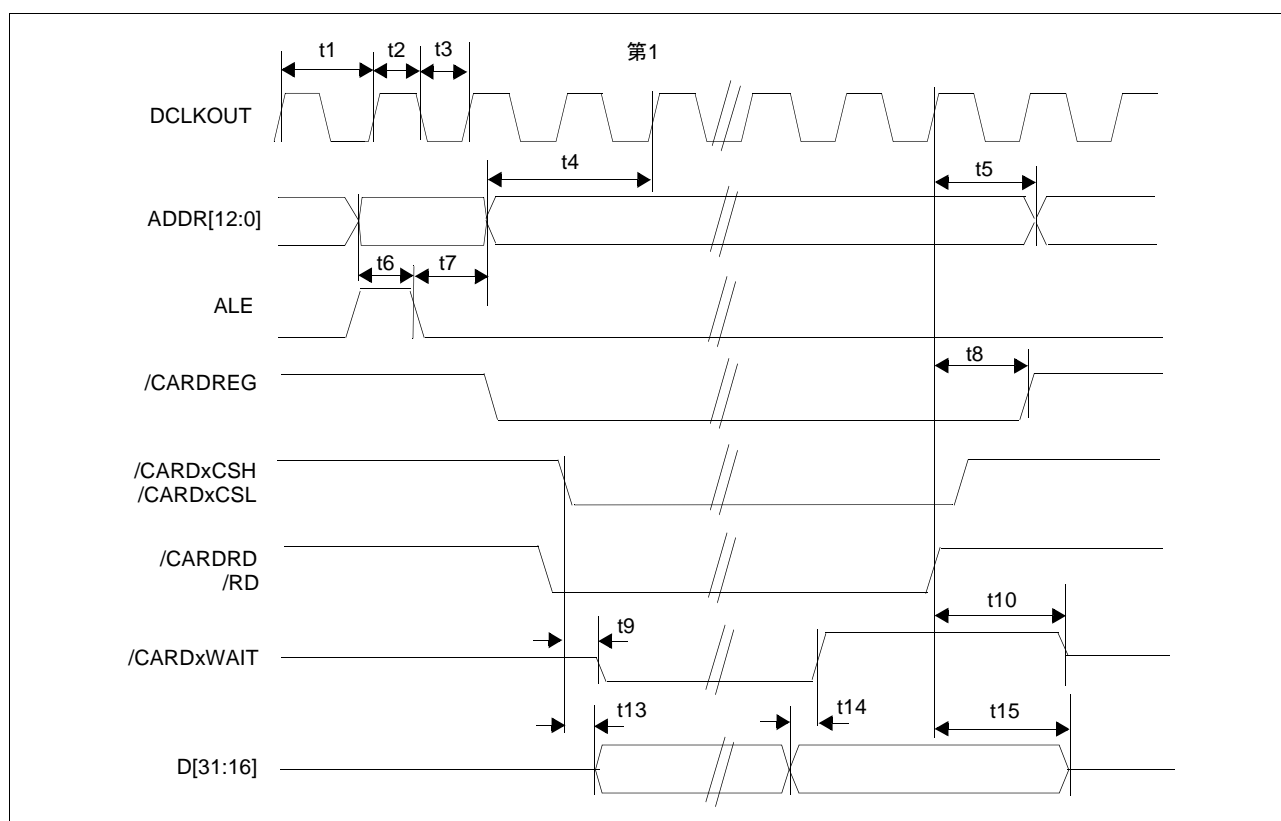


図7-28 フィリップスPR31500/PR31700/東芝TX3912ホストインタフェースリードタイミング

注

東芝TX3912では、アクティブLow信号は、信号名の前に「/」を付ける代わりに信号名の後に「*」を付けて示されます。

たとえば、PR31500信号/CARDREGは、TX3912信号CARDREG*と同じです。

表7-29 フィリップスPR31500/PR31700/東芝TX3912ホストインタフェースリードタイミング

記号	パラメータ	MIN	MAX	単位
f_{DCLKOUT}	クロック周波数	—	50	MHz
t1	クロック周期	$1/f_{\text{DCLKOUT}}$	—	ns
t2	クロックパルス幅High	6	—	ns
t3	クロックパルス幅Low	6	—	ns
t4	ADDR[12:0]セットアップ → サイクルの第1のCLK	10	—	ns
t5	コマンド無効からのADDR[12:0]ホールド	5	—	ns
t6	ADDR[12:0]セットアップ → 立ち下がりエッジALE	10	—	ns
t7	立ち下がりエッジALEからのADDR[12:0]ホールド	5	—	ns
t8	コマンド無効からの/CARDREGホールド	0	—	ns
t9	チップ選択の立ち下がりエッジ → /CARDxWAITの駆動	0	15	ns
t10	コマンド無効 → /CARDxWAITトリステート	3	15	ns
t13	チップ選択 → D[31:16]の駆動	1	—	ns
t14	D[31:16]セットアップ → 立ち上がりエッジ/CARDxWAIT	0	—	ns
t15	コマンド無効 → D[31:16]トリステート	4	15	ns

7. AC特性

7.4.12 シリアルホスト

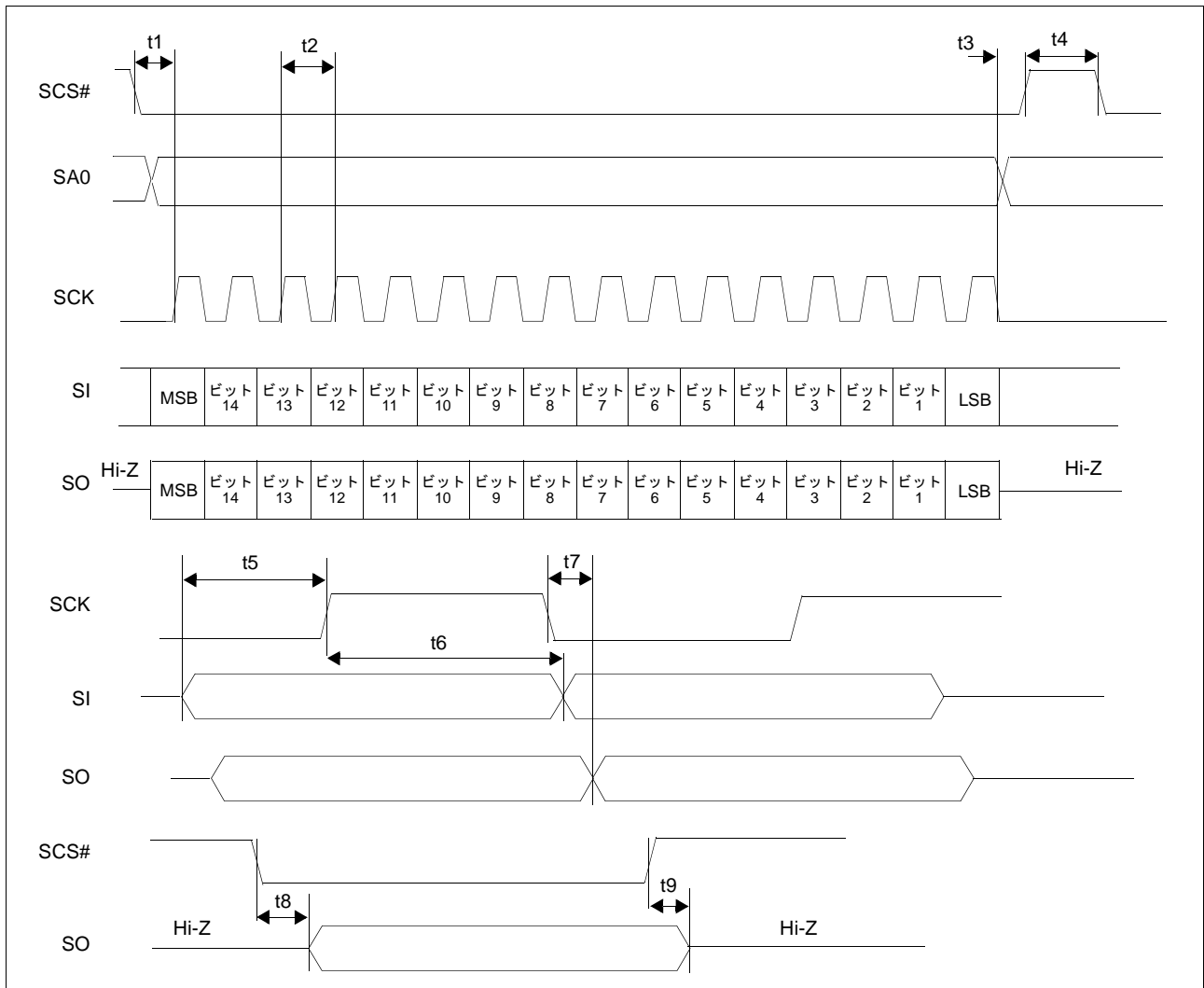


図7-29 SCKの立ち下がりエッジ上のデータバリッドのシリアルホストインタフェースタイミング

表7-30 SCKの立ち下がりエッジ上のデータバリッドのシリアルホストインタフェースタイミング

記号	パラメータ	MIN	MAX	単位
t1	SCS# Low、SA0アクティブ → SCKの立ち上がりエッジ	2	—	ns
t2	SCK周期	63	—	ns
t3	SCKの立ち下がりエッジ → SCS# High	5	—	ns
t4	SCS# Highパルス幅	1	—	SCK
t5	SIデータセットアップ時間 → SCKの立ち上がりエッジ	5	—	ns
t6	SCKの立ち上がりエッジからのSIデータホールド時間	5	—	ns
t7	SCKの立ち下がりエッジからのSOデータバリッド	—	14	ns
t8	SCS#の立ち下がりエッジ → SOアクティブ	—	13	ns
t9	SCS#の立ち上がりエッジ → SO Hi-Z	—	11	ns

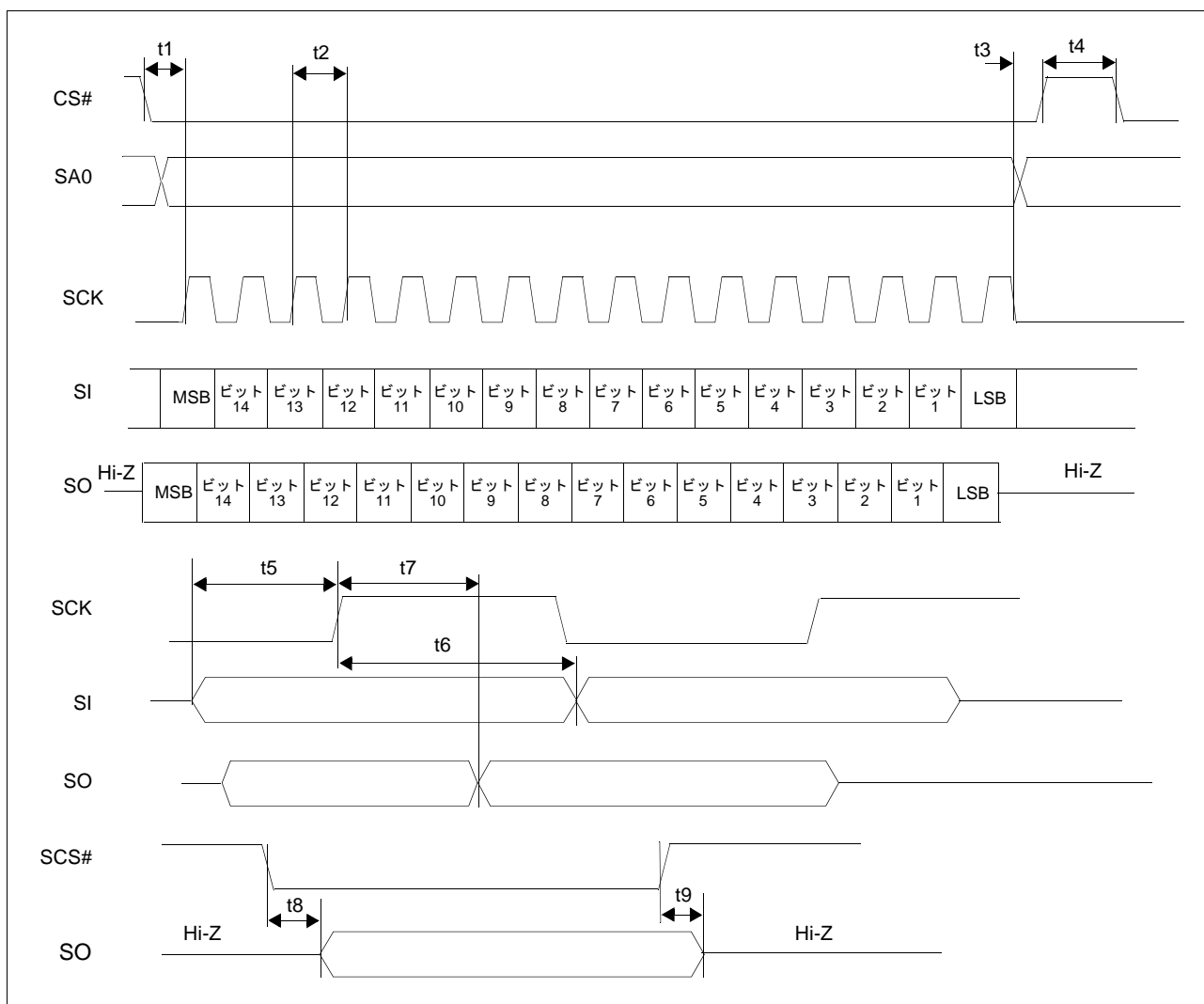


図7-30 SCKの立ち上がりエッジ上のデータバリッドのシリアルホストインタフェースタイミング

表7-31 SCKの立ち上がりエッジ上のデータバリッドのシリアルホストインタフェースタイミング

記号	パラメータ	MIN	MAX	単位
t1	SCS# Low、SA0アクティブ → SCKの立ち上がりエッジ	2	—	ns
t2	SCK周期	63	—	ns
t3	SCKの立ち下がりエッジ → SCS# High	5	—	ns
t4	SCS# Highパルス幅	1	—	SCK
t5	SIデータセットアップ時間 → SCKの立ち上がりエッジ	5	—	ns
t6	SCKの立ち上がりエッジからのSIデータホールド時間	5	—	ns
t7	SCKの立ち上がりエッジからのSOデータバリッド	—	14	ns
t8	SCS#の立ち下がりエッジ → SOアクティブ	—	13	ns
t9	SCS#の立ち上がりエッジ → SO Hi-Z	—	11	ns

7. AC特性

7.4.13 シリアルホストインタフェースバーストモード

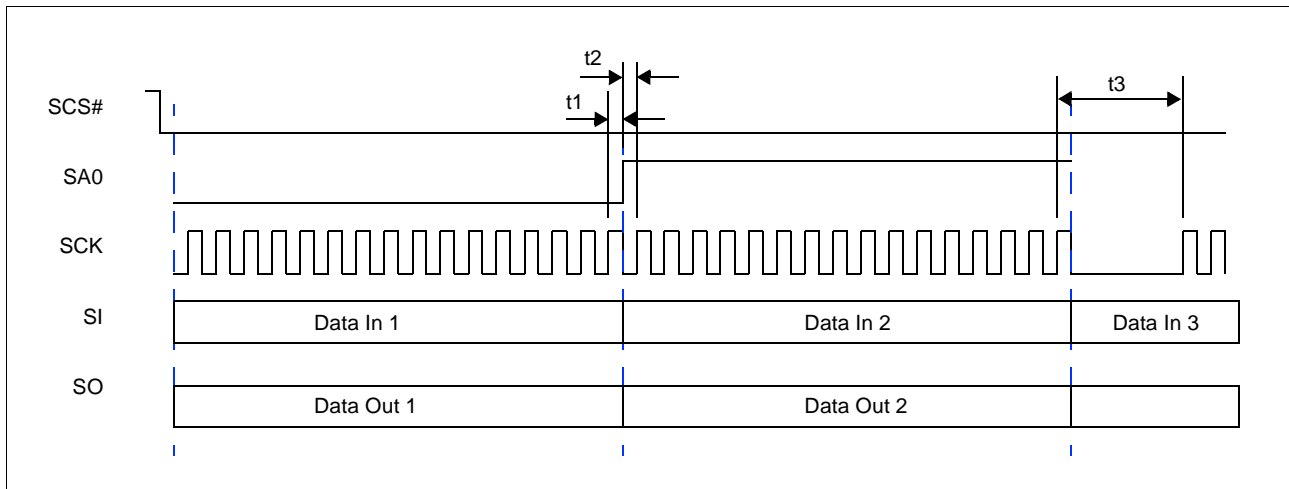


図7-31 シリアルホストインタフェースバーストモードタイミング

表7-32 シリアルホストインタフェースバーストモードタイミング

記号	パラメータ	MIN	MAX	単位
t1	SCKの立ち上がりエッジ後のSA0ホールド	3	SCK-t2	ns
t2	SA0セットアップ → SCKの立ち上がりエッジ	1	—	ns
t3	最終転送のSCKの立ち上がりエッジと次の転送の立ち上がりエッジとの間の時間	5	—	ns

7.5 パワーシーケンス

REG[0470h]ビット0=1bを設定すると、S1D13513がパワーセーブモードになります。内部的にはホストバスインタフェースのクロックだけがオンです。他のすべてのクロックはオフです。

7.6 パネルインタフェースタイミング

7.6.1 汎用TFTパネルタイミング

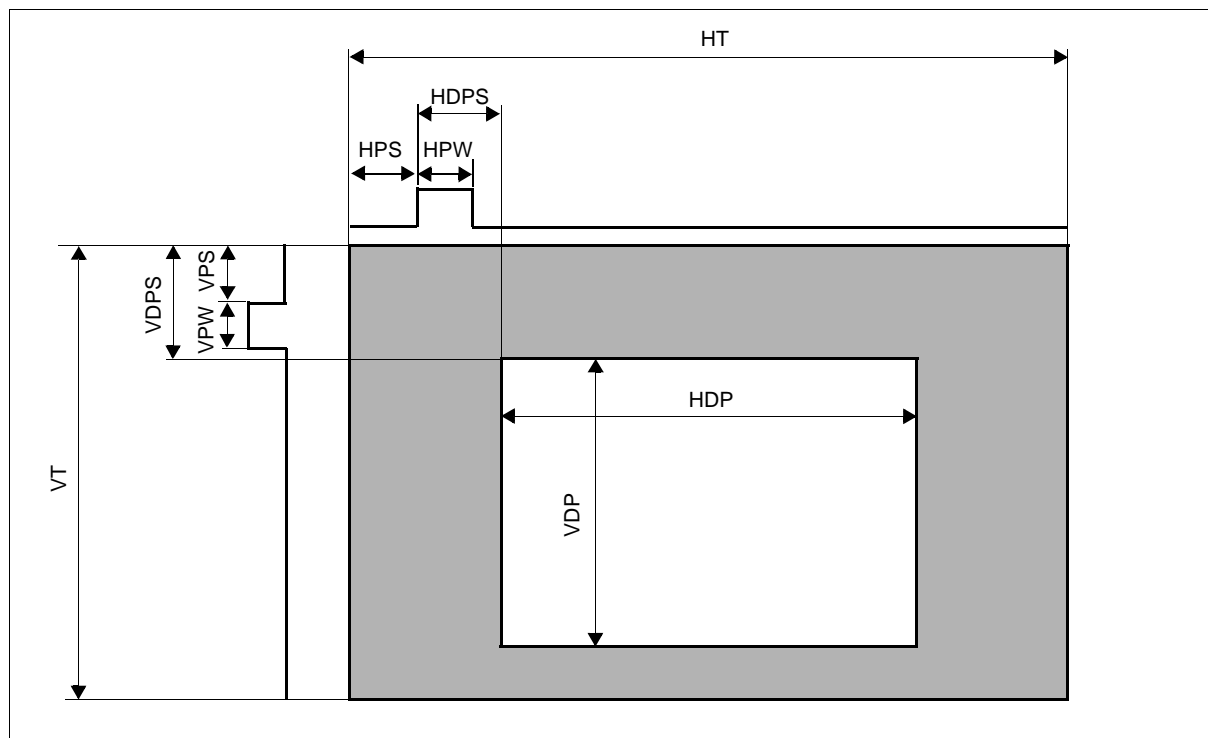


図7-32 汎用TFTパネルタイミング

表7-33 汎用TFTパネルタイミング

記号	Description	Derived From	単位
HT	全水平期間 (FPLINE期間)	REG[0802h]ビット11~0+1	Ts
HDP	水平表示期間	(REG[0804h]ビット10~0+1)×2	
HDPS	水平表示期間開始位置	REG[0806h]ビット11~0+1	
HPW	水平パルス (FPLINE) 幅	REG[0808h]ビット8~0+1	
HPS	水平パルス (FPLINE) 開始位置	REG[080Ah]ビット11~0	
VT	全垂直期間 (FPFRAME期間)	REG[080Ch]ビット11~0+1	ライン
VDP	垂直表示期間	REG[080Eh]ビット11~0+1	
VDPS	垂直表示期間開始位置	REG[0810h]ビット11~0	
VPW	垂直パルス (FPFRAME) 幅	REG[0812h]ビット4~0+1	
VPS	垂直パルス (FPFRAME) 開始位置	REG[0814h]ビット11~0	

1. すべてのパネルタイミングに、以下の式が成り立たなければなりません。

$$HDPS + HDP < HT$$

$$VDPS + VDP < VT$$

7. AC特性

汎用RGBタイプインタフェースパネル水平タイミング

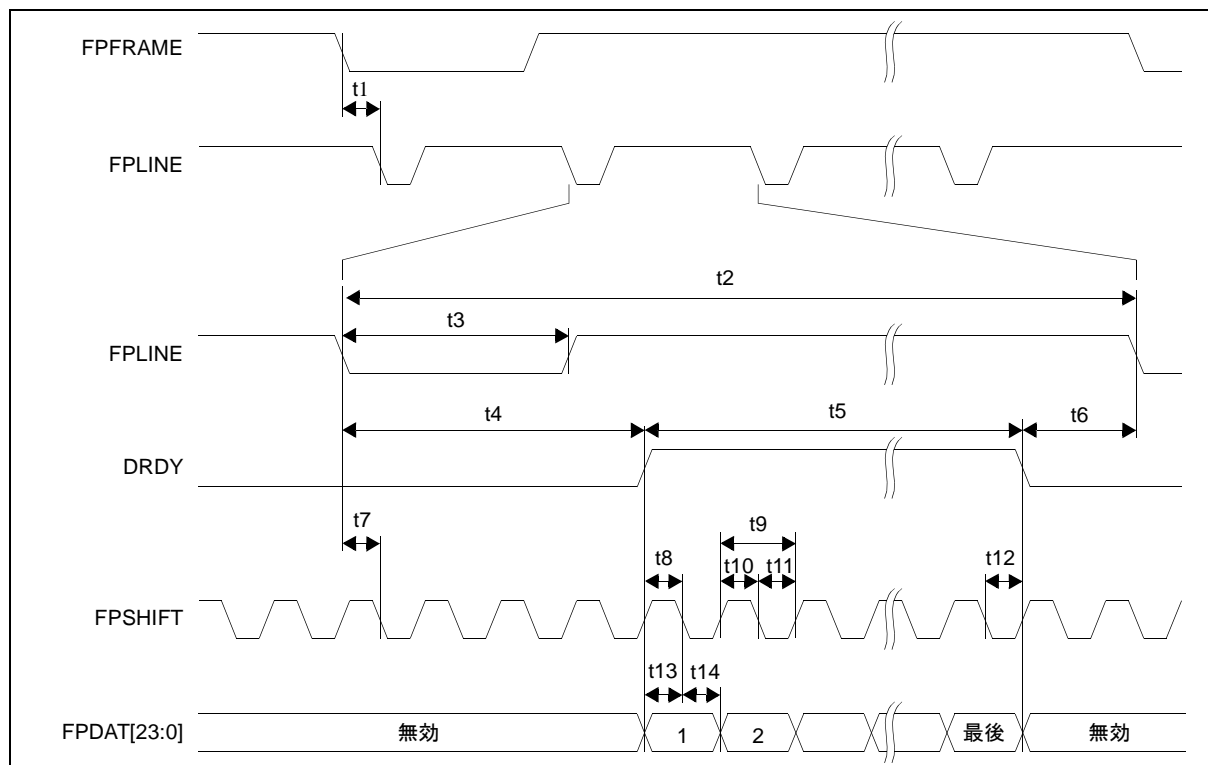


図7-33 汎用RGBタイプインタフェースパネル水平タイミング

表7-34 汎用RGBタイプインタフェースパネル水平タイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	FPFRAME立ち下がりエッジ → FPLINE立ち下がりエッジ	—	HPS	—	Ts (注1)
t2	全水平期間	—	HT	—	Ts
t3	FPLINEパルス幅	—	HPW	—	Ts
t4	FPLINE立ち下がりエッジ → DRDYアクティブ	—	HDPS	—	Ts
t5	水平表示期間	—	HDP	—	Ts
t6	DRDY立ち下がりエッジ → FPLINE立ち下がりエッジ	—	注2	—	Ts
t7	FPLINEセットアップ時間 → FPSHIFT立ち下がりエッジ	0.5Ts-1	0.5Ts	—	ns
t8	DRDYセットアップ → FPSHIFT立ち下がりエッジ	0.5Ts	—	—	ns
t9	FPSHIFT期間	—	1Ts	—	ns
t10	FPSHIFTパルス幅High	—	0.5Ts	—	ns
t11	FPSHIFTパルス幅Low	—	0.5Ts	—	ns
t12	FPSHIFT立ち下がりエッジからのDRDYホールド	0.5Ts-3	0.5Ts	—	ns
t13	データセットアップ → FPSHIFT立ち下がりエッジ	0.5Ts-1	0.5Ts	—	ns
t14	FPSHIFT立ち下がりエッジからのデータホールド	0.5Ts-3	0.5Ts	—	ns

1. Ts=ピクセルクロック周期
2. $t6_{typ} = t2 - t4 - t5$
3. 汎用TFTタイミングは以下の基準で行われます。
 FPSHIFTパルス極性が1b (REG[0800h]ビット7=1b) であり、したがって、すべてのパネルインタフェース信号はFPSHIFTの立ち上がりエッジで変化します。
 FPLINEパルス極性ビットは、アクティブLow (REG[0808h]ビット15=0b) です。
 FPFAMEパルス極性ビットは、アクティブLow (REG[0812h]ビット15=0b) です。

汎用RGBタイプインタフェースパネル垂直タイミング

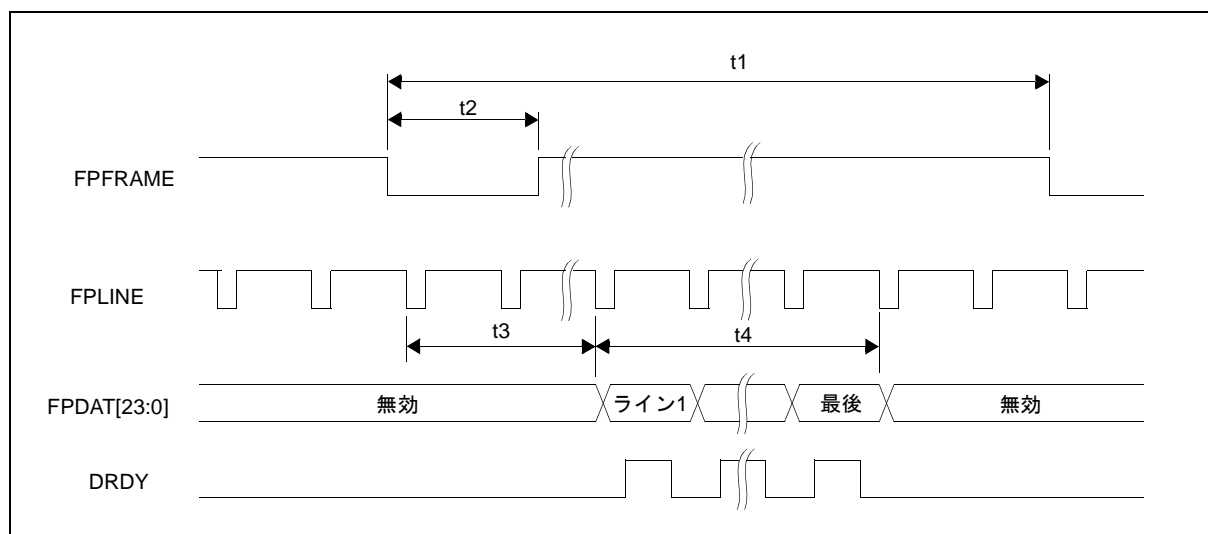


図7-34 汎用RGBタイプインタフェースパネル垂直タイミング

表7-35 汎用RGBタイプインタフェースパネル垂直タイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	全垂直期間	—	VT	—	ライン
t2	FPFRAMEパルス幅	—	VPW	—	ライン
t3	垂直表示開始位置 (注1)	—	注2	—	ライン
t4	垂直表示期間	—	VDP	—	ライン

1. t3は、フレームの始まりにある最初のFPLINEパルスからFPDATが有効になる前の最後のFPLINEパルスまで測定されます。
2. $t3_{typ} = VDPS - VPS$

7. AC特性

7.6.2 HR-TFTパネルタイミング

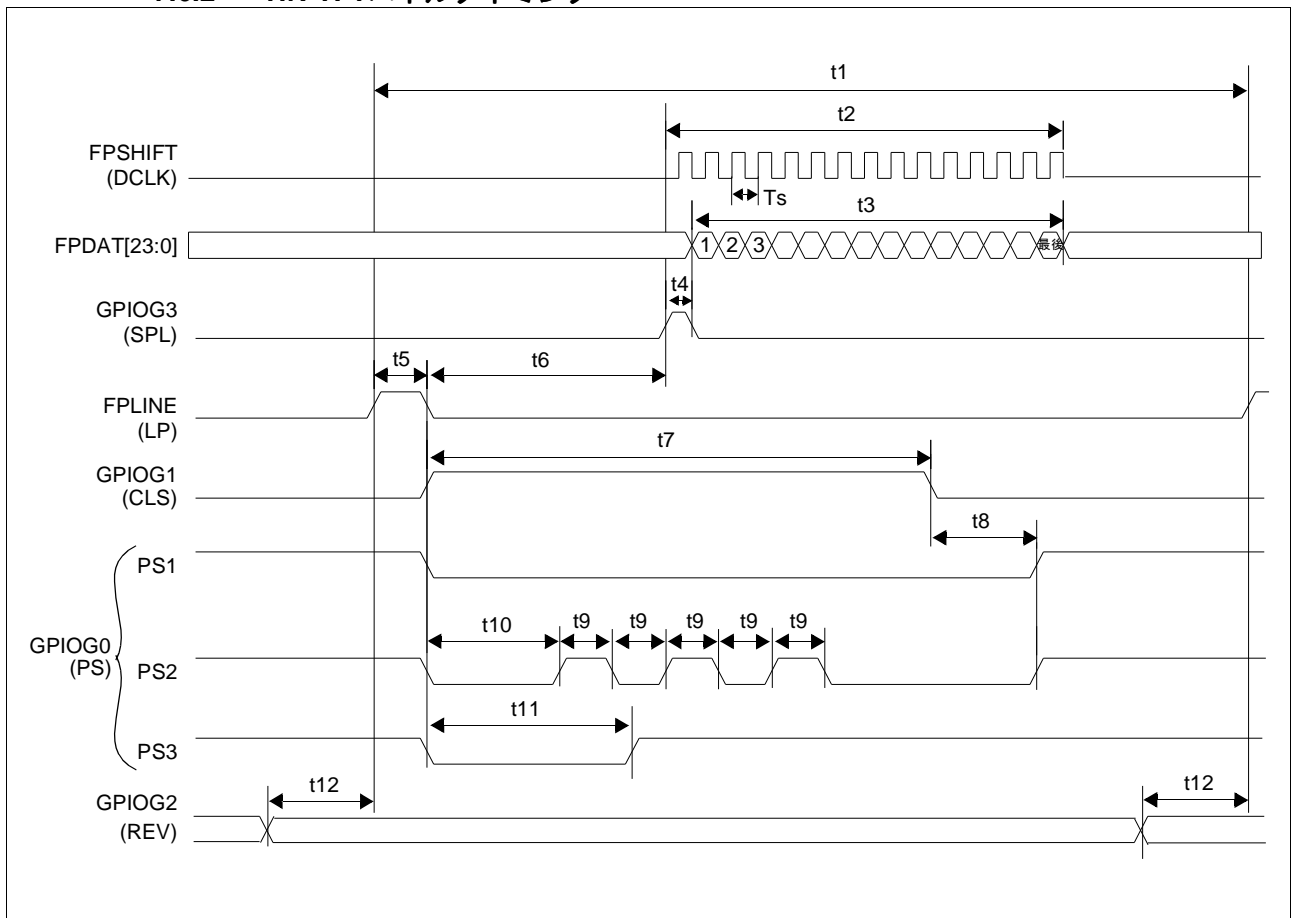


図7-35 HR-TFTパネル水平タイミング

表7-36 HR-TFTパネル水平タイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	全水平期間	—	注2	—	Ts (注1)
t2	FPSHIFTアクティブ	—	注3	—	Ts
t3	水平表示期間	—	注4	—	Ts
t4	SPLパルス幅	—	1	—	Ts
t5	FPLINEパルス幅	—	注5	—	Ts
t6	FPLINE立ち下がリエッジ → SPL立ち上がりエッジ	—	注6	—	Ts
t7	CLSパルス幅	—	注7	—	Ts
t8	CLS立ち下がリエッジ → GPIO0 (PS1) 立ち上がりエッジ	—	注8	—	Ts
t9	PS2トグル幅	—	注9	—	Ts
t10	PS2の最初の立ち下がリエッジ → GPIO0 (PS2) の最初の立ち上がりエッジ	—	注10	—	Ts
t11	PS3パルス幅	—	注11	—	Ts
t12	REVトグル位置 → FPLINE立ち上がりエッジ	—	注12	—	Ts

1. Ts=ピクセルクロック周期
2. $t1_{typ} = (\text{REG}[0802h] \text{ビット} 11 \sim 0) + 1$
3. $t2_{typ} = [((\text{REG}[0804h] \text{ビット} 10 \sim 0) + 1) \times 2] + 1$
4. $t3_{typ} = [(\text{REG}[0804h] \text{ビット} 10 \sim 0) + 1] \times 2$
5. $t5_{typ} = (\text{REG}[0808h] \text{ビット} 8 \sim 0) + 1$
6. $t6_{typ} = \text{REG}[0806h] \text{ビット} 11 \sim 0 - \text{REG}[0808h] \text{ビット} 8 \sim 0 + 2$
7. $t7_{typ} = (\text{REG}[0822h] \text{ビット} 10 \sim 0) > 0$
8. $t8_{typ} = (\text{REG}[0824h] \text{ビット} 7 \sim 0)$
9. $t9_{typ} = (\text{REG}[0828h] \text{ビット} 8 \sim 0) > 0$
10. $t10_{typ} = (\text{REG}[0826h] \text{ビット} 9 \sim 0) > 0$
11. $t11_{typ} = (\text{REG}[082Ah] \text{ビット} 8 \sim 0) > 0$
12. $t12_{typ} = \text{REG}[082Ch] \text{ビット} 6 \sim 0$
13. HR-TFTタイミングは以下の基準で行われます。
FPSHIFTパルス極性は0b (REG[0800h]ビット7=0b) であり、したがって、パネルインタフェース信号はすべてFPSHIFTの立ち下がリエッジで変化します。

7. AC特性

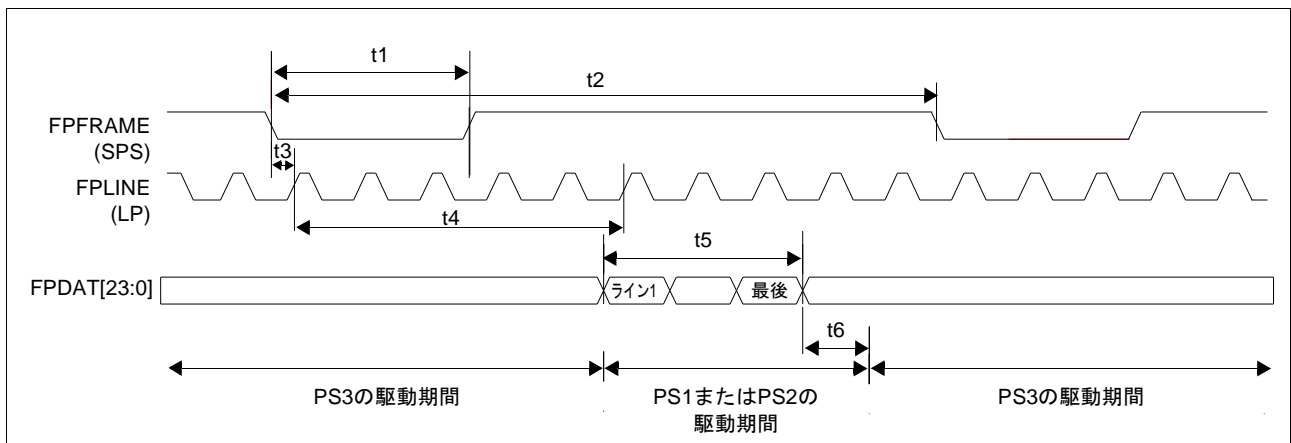


図7-36 HR-TFTパネル垂直タイミング

表7-37 HR-TFTパネル垂直タイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	FPFRAMEパルス幅	—	注2	—	ライン
t2	全垂直期間	—	注3	—	ライン
t3	FPFRAMEの立ち上がり／立ち下がりエッジ → FPLINE立ち上がりエッジ	—	1 (注4)	—	Ts (注1)
t4	垂直表示開始位置	—	注5	—	ライン
t5	垂直表示期間	—	注6	—	ライン
t6	PS1/2の追加駆動周期	—	注7	—	ライン

1. $T_s = \text{ピクセルクロック周期}$
2. $t1_{typ} = (\text{REG}[0812h] \text{ビット} 4 \sim 0) + 1$
3. $t2_{typ} = (\text{REG}[080Ch] \text{ビット} 11 \sim 0) + 1$
4. $t3_{typ} = (\text{REG}[080Ah] \text{ビット} 11 \sim 0)$
5. $t4_{typ} = \text{REG}[0810h] \text{ビット} 11 \sim 0 - \text{REG}[0814h] \text{ビット} 11 \sim 0$
6. $t5_{typ} = (\text{REG}[080Eh] \text{ビット} 11 \sim 0) + 1$
7. $t6_{typ} = (\text{REG}[082Eh] \text{ビット} 4 \sim 0)$

7.6.3 ND-TFD 8ビットシリアルインタフェースタイミング

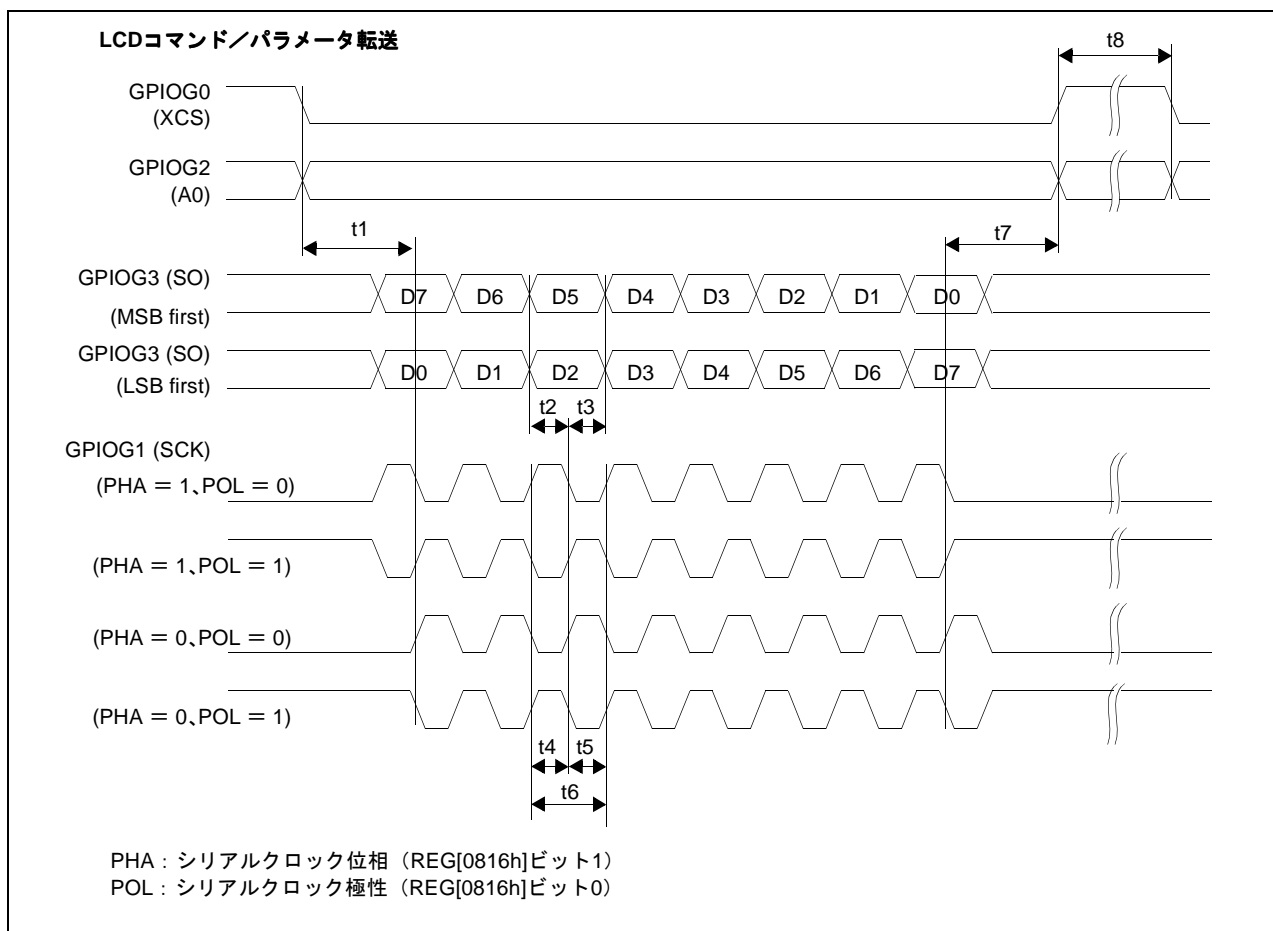


図7-37 ND-TFD 8ビットシリアルインタフェースタイミング

表7-38 ND-TFD 8ビットシリアルインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	チップ選択セットアップ時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s (注1)
t2	データセットアップ時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t3	データホールド時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t4	シリアルクロックパルス幅Low (High)	—	0.5	—	T_s
t5	シリアルクロックパルス幅High (Low)	—	0.5	—	T_s
t6	シリアルクロック周期	—	1	—	T_s
t7	コマンド/パラメータ転送のチップ選択ホールド時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s
t8	チップ選択ディアサート→リアサート	—	1	—	T_s

1. T_s = シリアルクロック周期

7. AC特性

7.6.4 ND-TFD 9ビットシリアルインタフェースタイミング

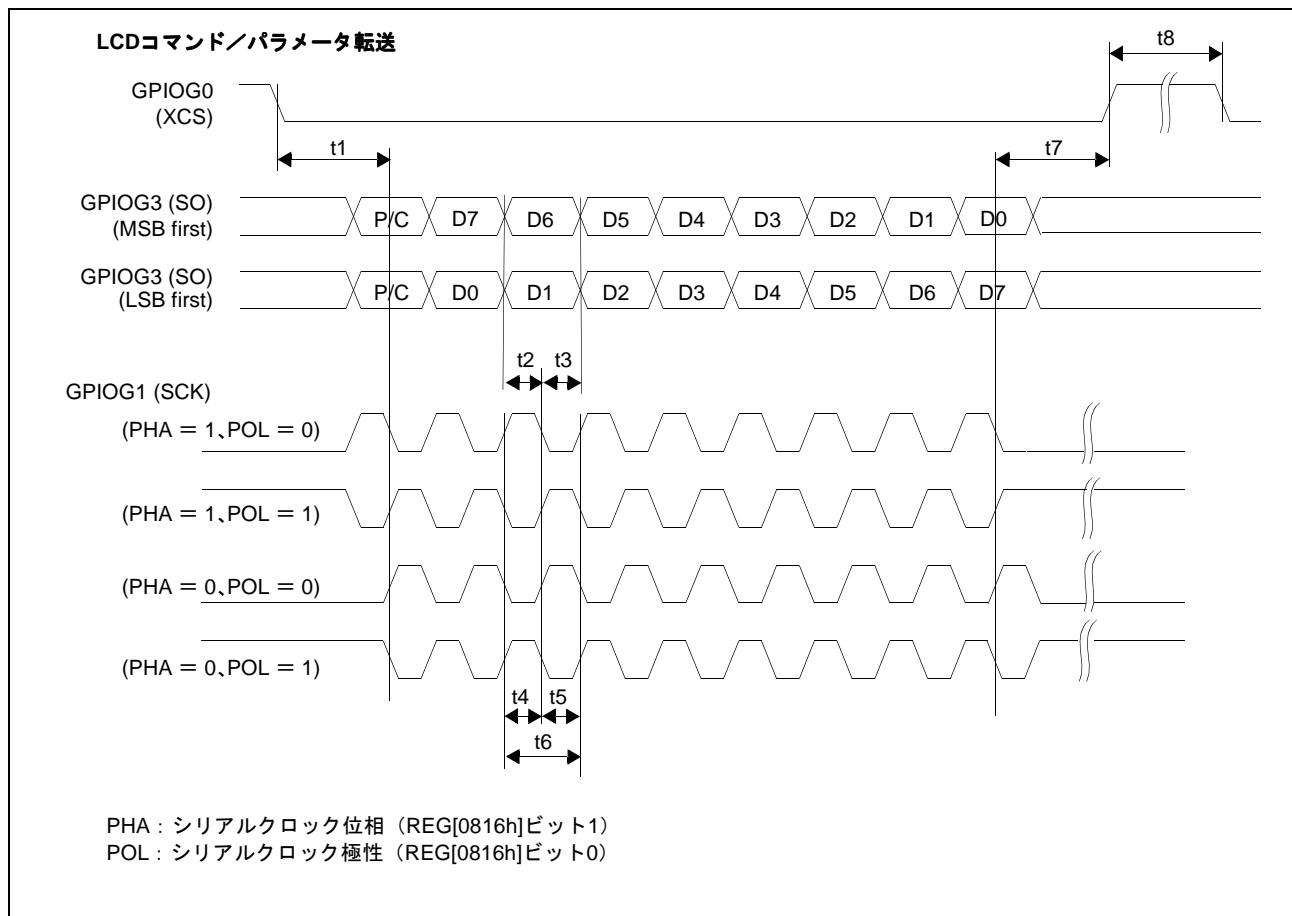


図7-38 ND-TFD 9ビットシリアルインタフェースタイミング

表7-39 ND-TFD 9ビットシリアルインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	チップ選択セットアップ時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s (注1)
t2	データセットアップ時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t3	データホールド時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t4	シリアルクロックパルス幅Low (High)	—	0.5	—	T_s
t5	シリアルクロックパルス幅High (Low)	—	0.5	—	T_s
t6	シリアルクロック周期	—	1	—	T_s
t7	コマンド/パラメータ転送のチップ選択ホールド時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s
t8	チップ選択ディアサート → リアサート	—	1	—	T_s

1. T_s = シリアルクロック周期

7.6.5 a-Si TFTシリアルインタフェースタイミング

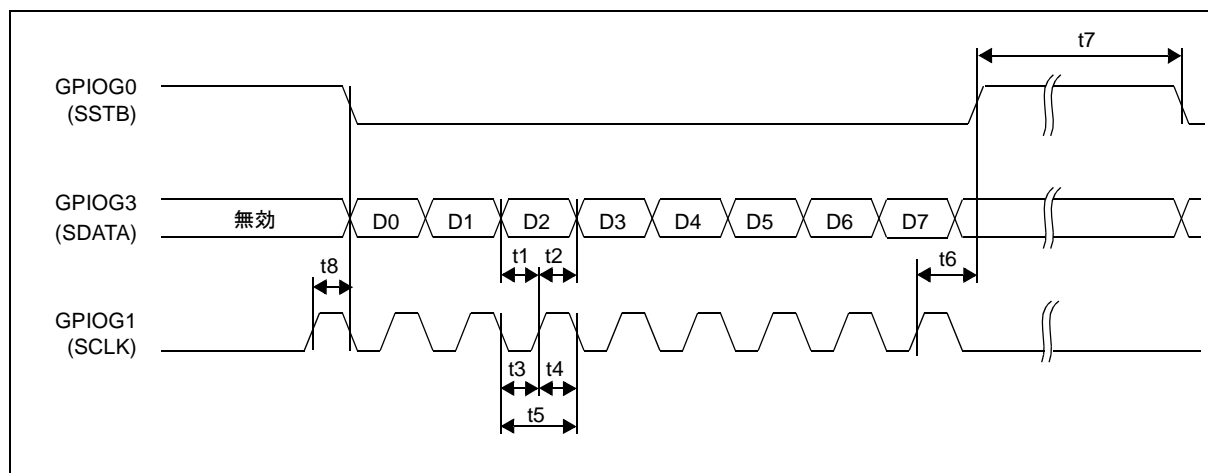


図7-39 a-Si TFTシリアルインタフェースタイミング

表7-40 a-Si TFTシリアルインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	データセットアップ時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s (注1)
t2	データホールド時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t3	シリアルクロックパルスLow期間	—	0.5	—	T_s
t4	シリアルクロックパルスHigh期間	—	0.5	—	T_s
t5	シリアルクロック周期	—	1	—	T_s
t6	チップ選択ホールド時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s
t7	チップ選択ディアサート → リアサート	—	注2	—	T_s
t8	SCLK立ち上がりエッジ → SSTB立ち下がりエッジ	$0.5T_s - 1$	—	$0.5T_s + 1$	T_s

1. T_s = シリアルクロック周期
2. この設定はソフトウェアに依存します。

7. AC特性

7.6.6 uWIREシリアルインタフェースタイミング

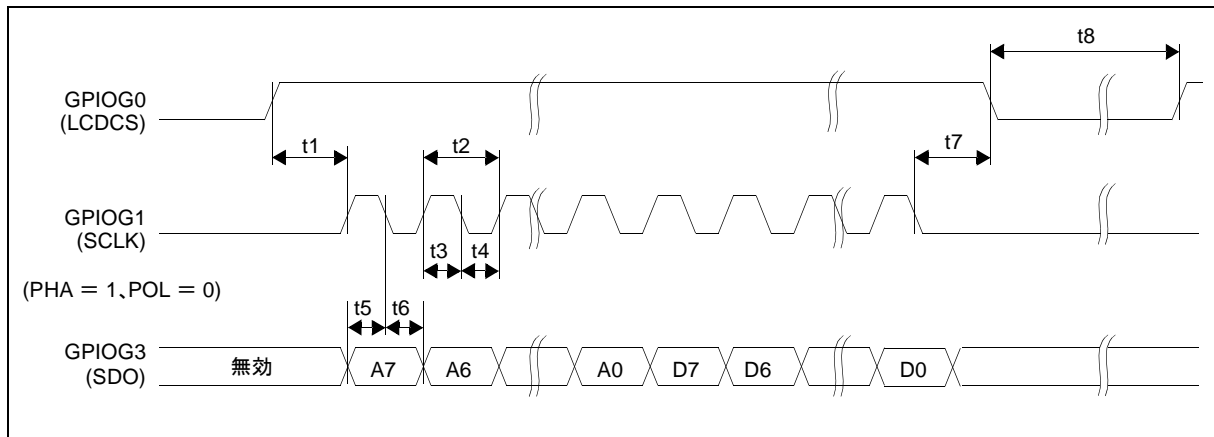


図7-40 uWIREシリアルインタフェースタイミング

表7-41 uWIREシリアルインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	チップ選択セットアップ時間	$1.0T_s - 1$	1	$1.0T_s + 1$	T_s (注1)
t2	シリアルクロック周期	—	1	—	T_s
t3	シリアルクロックパルス幅Low	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t4	シリアルクロックパルス幅High	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t5	データセットアップ時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t6	データホールド時間	$0.5T_s - 1$	0.5	$0.5T_s + 1$	T_s
t7	チップ選択ホールド時間	$1.5T_s - 1$	1.5	$1.5T_s + 1$	T_s
t8	チップ選択ディアサート→リアサート	—	注2	—	T_s

1. T_s =シリアルクロック周期
2. この設定はソフトウェアに依存します。

7.6.7 24ビットシリアルインタフェースタイミング

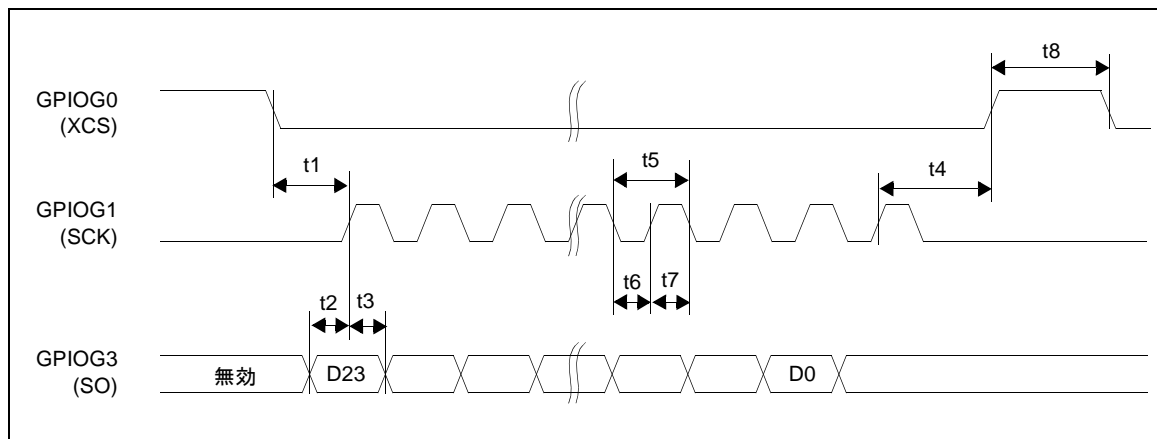


図7-41 24ビットシリアルインタフェースタイミング

表7-42 24ビットシリアルインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	チップ選択セットアップ時間	$1.5T_s - 1$	—	$1.5T_s + 1$	ns (注1)
t2	データセットアップ時間	$0.5T_s - 1$	—	$0.5T_s + 1$	ns
t3	データホールド時間	$0.5T_s - 1$	—	$0.5T_s + 1$	ns
t4	チップ選択ホールド時間	$1.5T_s - 1$	—	$1.5T_s + 1$	ns
t5	シリアルクロック周期	—	1	—	ns
t6	シリアルクロックパルスLow	—	0.5	—	ns
t7	シリアルクロックパルスHigh	—	0.5	—	ns
t8	チップ選択ディアサート→リアサート	—	注2	—	ns

1. T_s =シリアルクロック周期
2. この設定はソフトウェアに依存します。

7. AC特性

7.6.8 YUVデジタル出力

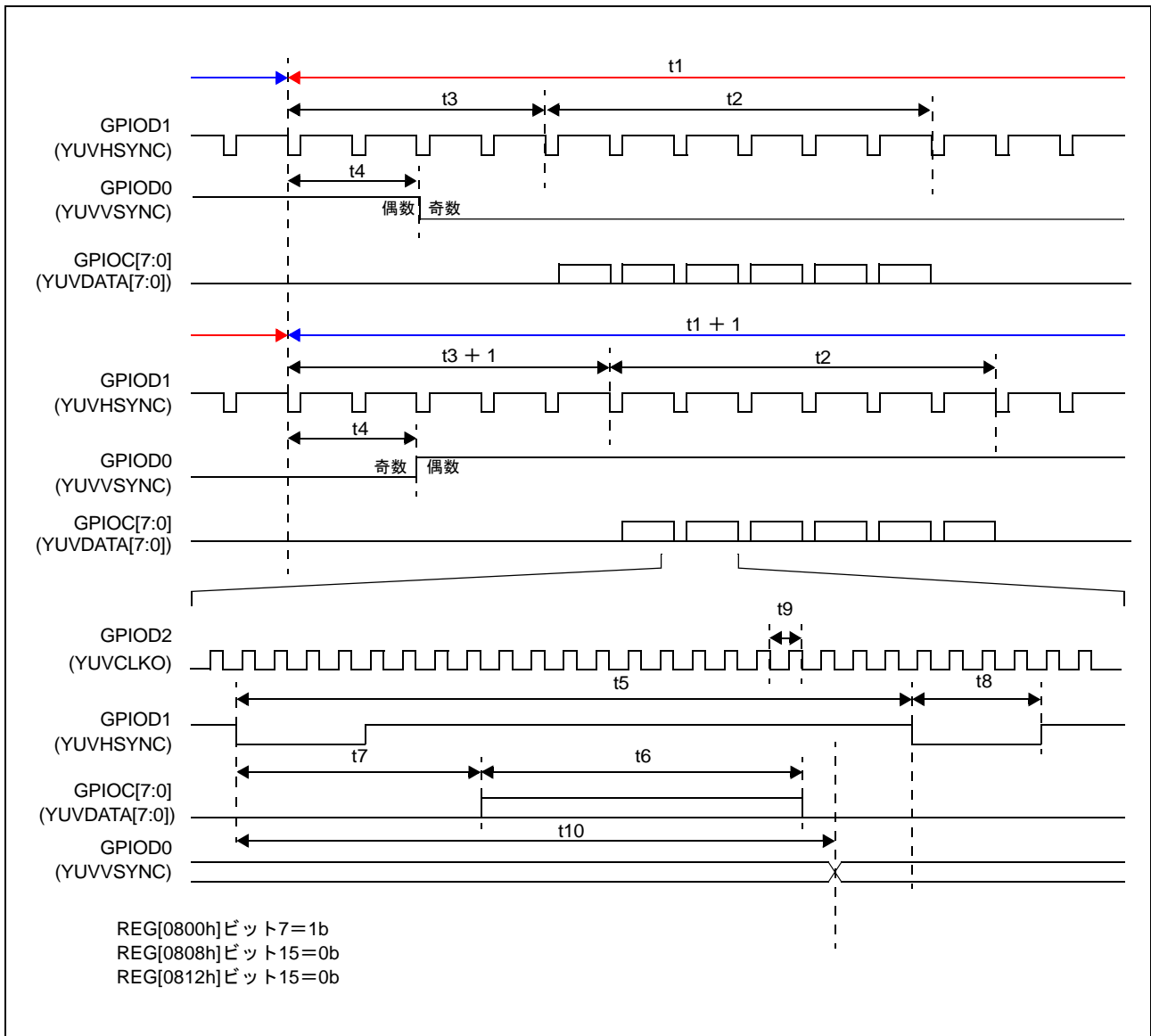


図7-42 YUVデジタル出カインタフェースタイミング

表7-43 YUVデジタル出カインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	全垂直期間 (偶数フィールド)	—	注2	—	ライン
t2	垂直表示期間 (フィールド)	—	注3	—	ライン
t3	垂直表示開始位置 (フィールド)	—	注4	—	ライン
t4	YUVVSYNC (GPIO0) 信号トグル位置	—	注5	—	ライン
t5	全水平期間	—	注6	—	CLOCK (注1)
t6	水平表示期間	—	注7	—	CLOCK
t7	水平表示開始位置	—	注8	—	CLOCK
t8	YUVHSYNC (GPIO1) 水平表示同期パルス幅	—	注9	—	CLOCK
t9	YUVCLKO (GPIO2) サイクル	—	1	—	CLOCK
t10	YUVHSYNC (GPIO1) 開始位置	—	注10	—	CLOCK

1. CLOCK=YUVCLKO期間
2. $t1_{typ} = \text{REG}[080Ch]$ ビット11~0+1
3. $t2_{typ} = \text{REG}[080Eh]$ ビット11~0+1
4. $t3_{typ} = \text{REG}[0810h]$ ビット11~0+1
5. $t4_{typ} = \text{REG}[0814h]$ ビット11~0
6. $t5_{typ} = \text{REG}[0802h]$ ビット11~0+1
7. $t6_{typ} = (\text{REG}[0804h]$ ビット10~0+1)×8
8. $t7_{typ} = \text{REG}[0806h]$ ビット11~0+1
9. $t8_{typ} = \text{REG}[0808h]$ ビット8~0+1
10. $t10_{typ} = (\text{REG}[0802h]$ ビット11~0+1)−REG[080Ah]ビット11~0

注

以上の設定は、ADV7170/ADV7177ビデオエンコーダがYUVデジタル出力と共に使用されるときに推奨されます。システムクロックは27MHzに設定してください。パネル出力がディスエーブルされるとき、YUVCLKO、YUVHSYNC、YUVVSYNCおよびYUVDATA[7:0]はLowに駆動されます。

7. AC特性

7.6.9 シングルモノクロ8ビットパネルタイミング

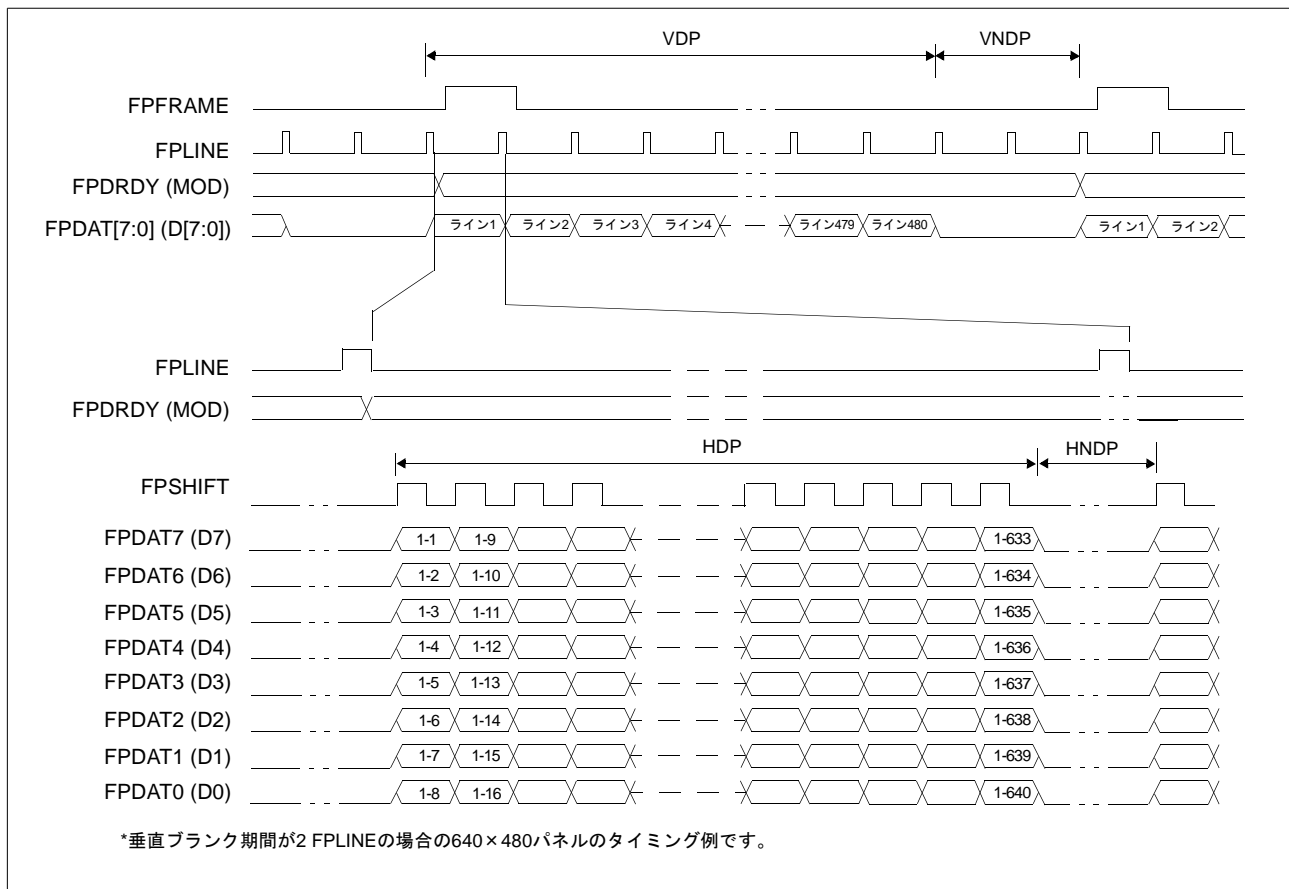


図7-43 シングルモノクロ8ビットパネルタイミング

- VDP = 垂直表示期間
 = (REG[080Eh]ビット11~0)+1ライン
- VNDP = 垂直非表示期間
 = VT - VDP
 = (REG[080Ch]ビット11~0) - (REG[080Eh]ビット11~0)ライン
- HDP = 水平表示期間
 = ((REG[0804h]ビット9~0)+1) × 2Tfpsshift
- HNDP = 水平非表示期間
 = (((REG[0802h]ビット11~0)+1) - (((REG[0804h]ビット9~0)+1) × 2)) ÷ 8Tfpsshift

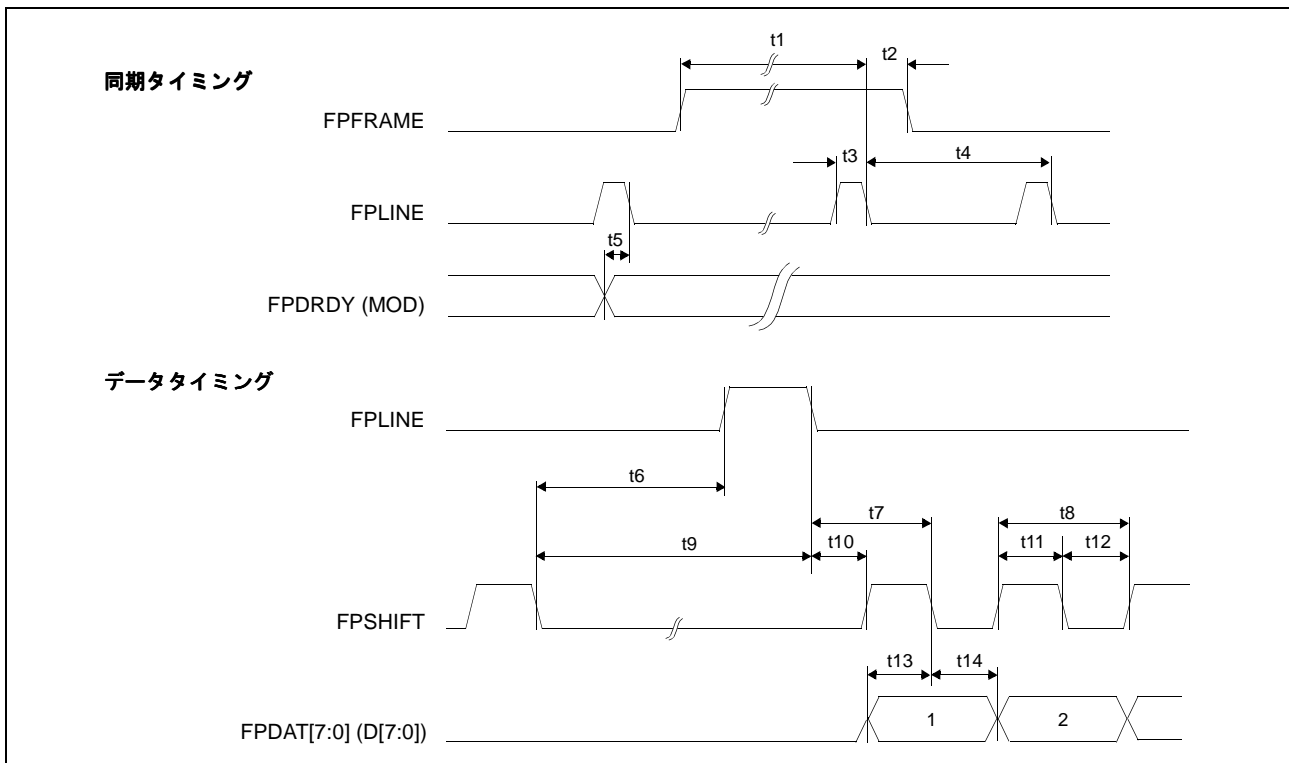


図7-44 シングルモノクロ8ビットパネルACタイミング

7. AC特性

表7-44 シングルモノクロ8ビットパネルACタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	FPFRAMEセットアップ → FPLINE立ち下がりエッジ		注3		Tfpshift
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド		注4		Tfpshift
t3	FPLINEパルス幅		注5		Tfpshift
t4	EPLINE期間		注6		Tfpshift
t5	FPLINE立ち下がりエッジからのMOD遅延		注7		Tfpshift
t6	FPSHIFT立ち下がりエッジ → FPLINE立ち上がりエッジ		注8		Tfpshift
t7	FPLINE立ち下がりエッジ → FPSHIFT立ち下がりエッジ		注9		Tfpshift
t8	FPSHIFT期間		8		Ts
t9	FPSHIFT立ち下がりエッジ → FPLINE立ち下がりエッジ		注10		Tfpshift
t10	FPLINE立ち下がりエッジ → FPSHIFT立ち上がりエッジ		注11		Tfpshift
t11	FPSHIFTパルス幅High		4		Ts
t12	FPSHIFTパルス幅Low		4		Ts
t13	FPDAT[7:0] (D[7:0]) セットアップ → FPSHIFT立ち下がりエッジ		4		Ts
t14	FPDAT[7:0] (D[7:0]) ホールド → FPSHIFT立ち下がりエッジ		4		Ts

1. Ts =LCDピクセルクロック周期
2. Tfpshift =T×8
3. t1 = (VPW−HT)+HPS+HPW
= [(REG[0812h]ビット4~0)×t4]+[(REG[080Ah]ビット11~0)÷8]+t3
4. t2 =HT−HPS−HPW
=t4−[(REG[080Ah]ビット11~0)÷8]−t3
5. t3 =HPW
= ((REG[0808h]ビット8~0)+1)÷8
6. t4 =HT
= ((REG[0802h]ビット11~0)+1)÷8
7. t5 =t3
8. t6 =HT−(HDP+HDPS)+0.5
=t4−[((REG[0804h]ビット9~0)+1)×2÷8−((REG[0806h]ビット11~0)+1)÷8]+0.5
9. t7 =t10+0.5
10. t9 =t6+t3
11. t10 =HDPS−HPW
= [(REG[0806h]ビット11~0)+1)÷8]−t3

7.6.10 シングルカラー 8ビットパネルタイミング (タイプ2)

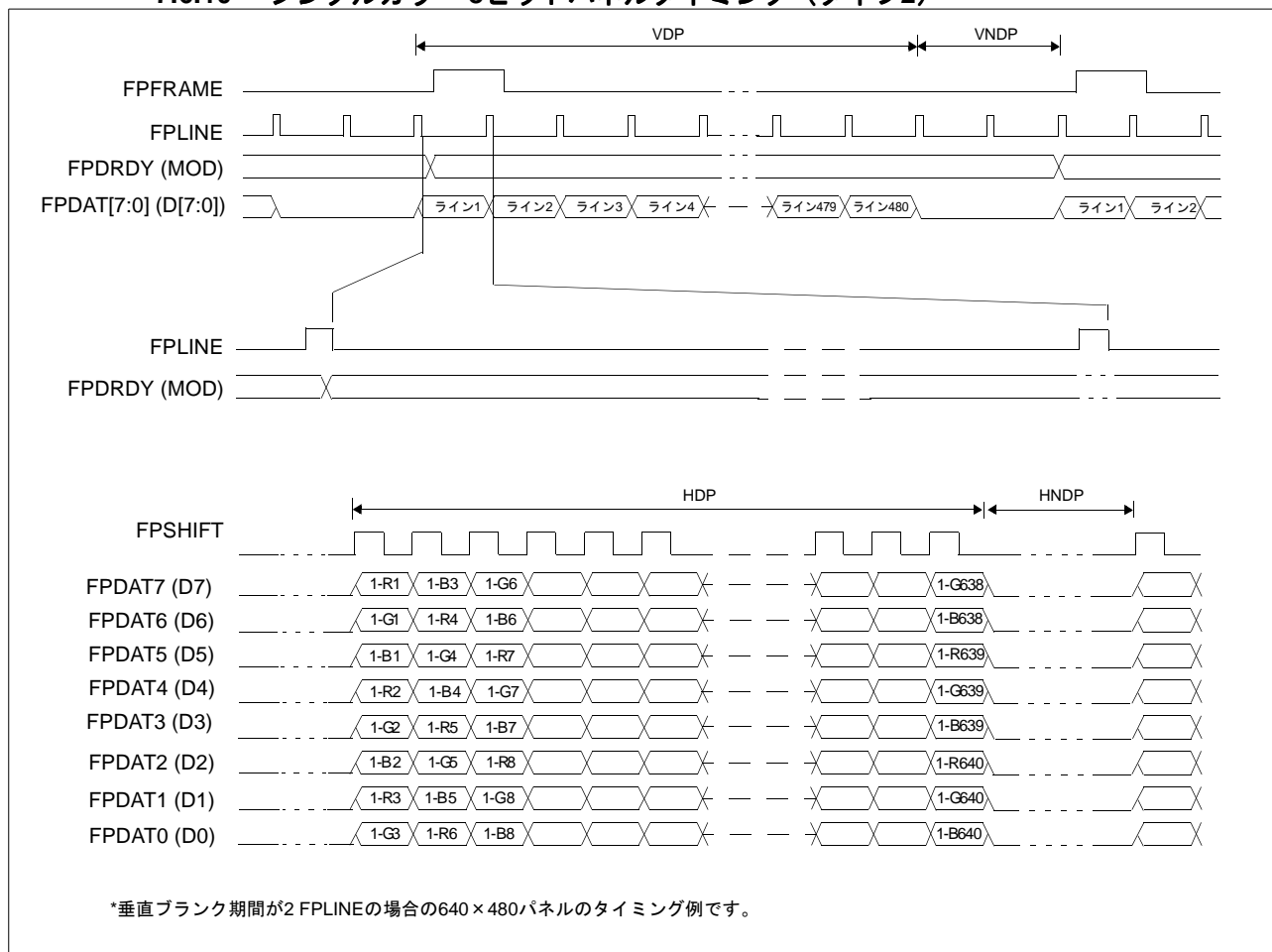


図7-45 シングルカラー 8ビットパネルタイミング (タイプ2)

VDP = 垂直表示期間

=(REG[080Eh]ビット11~0)+1ライン

VNDP = 垂直非表示期間

=VT-VDP

=(REG[080Ch]ビット11~0)-(REG[080Eh]ビット11~0)ライン

HDP = 水平表示期間

=((REG[0804h]ビット9~0)+1)×2×(3/8)FPSHIFT

HNDP = 水平非表示期間

=[((REG[0802h]ビット11~0)+1)-(((REG[804h]ビット9~0)+1)×3)]÷4FPSHIFT

7. AC特性

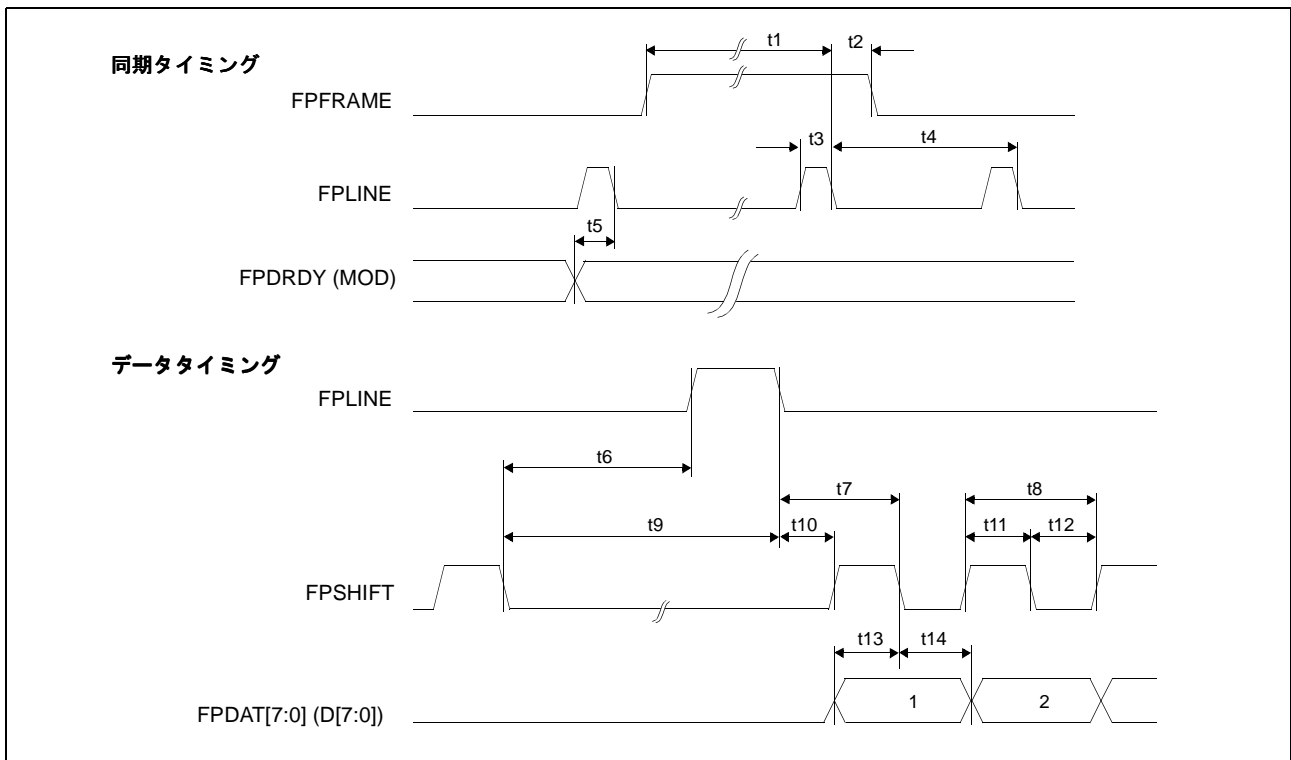


図7-46 シングルカラー 8ビットパネルACタイミング (タイプ2)

表7-45 シングルカラー 8ビットパネルACタイミング (タイプ2)

記号	パラメータ	MIN	TYP	MAX	単位
t1	FPFRAMEセットアップ → FPLINE立ち下がりエッジ		注3		Tfpshift
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド		注4		Tfpshift
t3	FPLINEパルス幅		注5		Tfpshift
t4	EPLINE期間		注6		Tfpshift
t5	MOD遅延 → FPLINE立ち下がりエッジ		注7		Tfpshift
t6	FPSHIFT立ち下がりエッジ → FPLINE立ち上がりエッジ		注8		Tfpshift
t7	FPLINE立ち下がりエッジ → FPSHIFT立ち下がりエッジ		注9		Tfpshift
t8	FPSHIFT期間		4		Ts
t9	FPSHIFT立ち下がりエッジ → FPLINE立ち下がりエッジ		注10		Tfpshift
t10	FPLINE立ち下がりエッジ → FPSHIFT立ち上がりエッジ		注11		Tfpshift
t11	FPSHIFTパルス幅High		2		Ts
t12	FPSHIFTパルス幅Low		2		Ts
t13	FPDAT[7:0] (D[7:0]) セットアップ → FPSHIFT立ち下がりエッジ		2		Ts
t14	FPDAT[7:0] (D[7:0]) ホールド → FPSHIFT立ち下がりエッジ	1	2		Ts

1. Ts = LCDピクセルクロック周期
2. Tfpshift = Ts × 4
3. t1 = (VPW - HT) + HPS + HPW
= [(REG[0812h]ビット4~0) × t4] + [(REG[080Ah]ビット11~0) ÷ 4] + t3
4. t2 = HT - HPS - HPW
= t4 - [(REG[080Ah]ビット11~0) ÷ 4] - t3
5. t3 = HPW
= ((REG[0808h]ビット8~0) + 1) ÷ 4
6. t4 = HT
= ((REG[0802h]ビット11~0) + 1) ÷ 4
7. t5 = t3
8. t6 = HT - (HDP + HDPS) + 0.5
= t4 - [(REG[0804h]ビット9~0) + 1] × 2 × (3 ÷ 8) - ((REG[0806h]ビット11~0) + 1) ÷ 4 + 0.5
9. t7 = t10 + 0.5
10. t9 = t6 + t3
11. t10 = HDPS - HPW
= [(REG[0806h]ビット11~0) + 1] ÷ 4 - t3

7. AC特性

7.7 カメラインタフェースタイミング

7.7.1 カメラインタフェースYUVタイミング (8ビットデータバスモード)

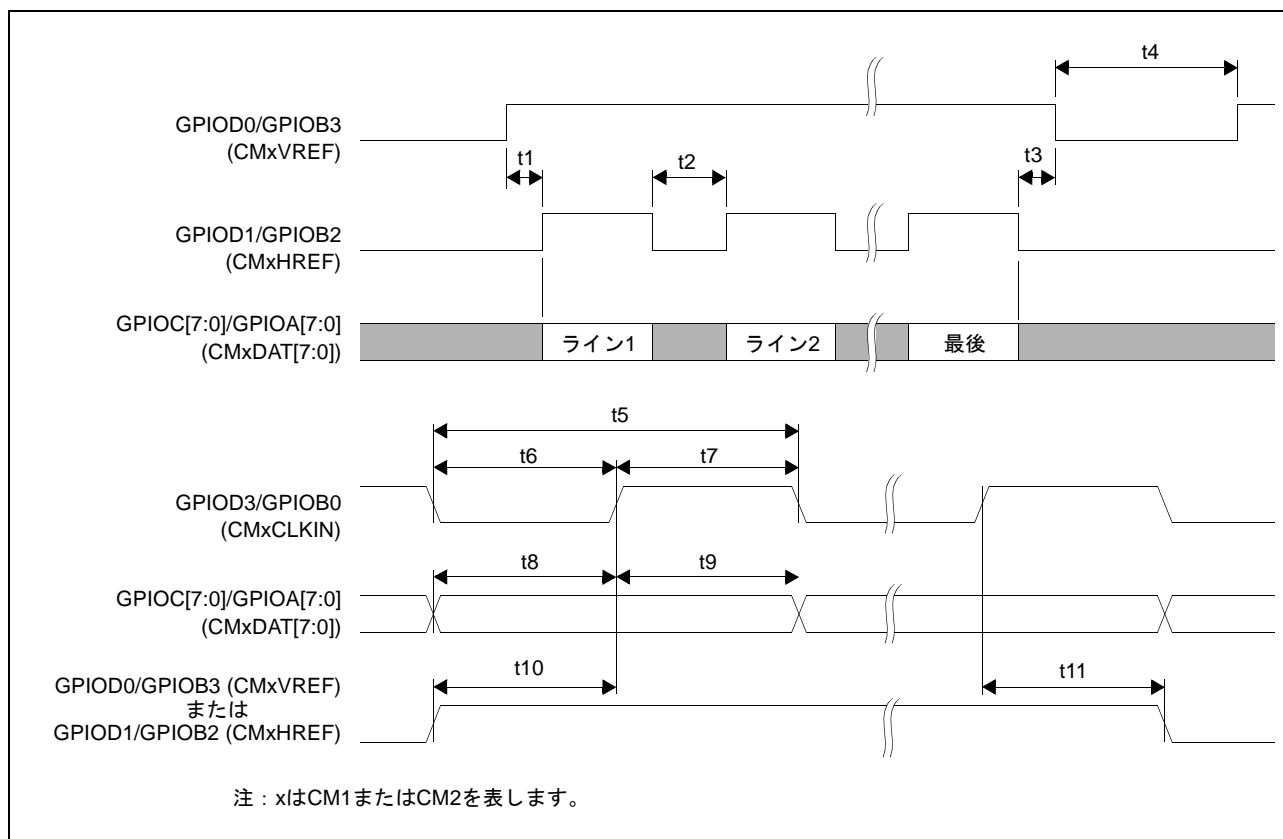


図7-47 カメラインタフェースYUVタイミング (8ビットデータバスモード)

表7-46 カメラインタフェースYUVタイミング (8ビットデータバスモード)

記号	パラメータ	MIN	MAX	単位
t1	CMxVREF立ち上がりエッジ → CMxHREF立ち上がりエッジ	0	—	Tc (注1)
t2	水平ブランク期間	4	—	Tc
t3	CMxHREF立ち下がりエッジ → CMxVREF立ち下がりエッジ	0	—	Tc
t4	垂直ブランク期間	4	—	Line
t5	カメラ入カクロック周期	3	—	Ts (注2)
t6	カメラ入カクロックパルス幅Low	1Ts+2	—	ns
t7	カメラ入カクロックパルス幅High	1Ts+2	—	ns
t8	データセットアップ時間	10	—	ns
t9	データホールド時間	10	—	ns
t10	CMxVREF、CMxHREFセットアップ時間	10	—	ns
t11	CMxVREF、CMxHREFホールド時間	10	—	ns

1. Tc=カメラブロック入カクロック周期
2. Ts=システムクロック周期

7.7.2 カメラインタフェースYUVタイミング (16ビットデータバスモード)

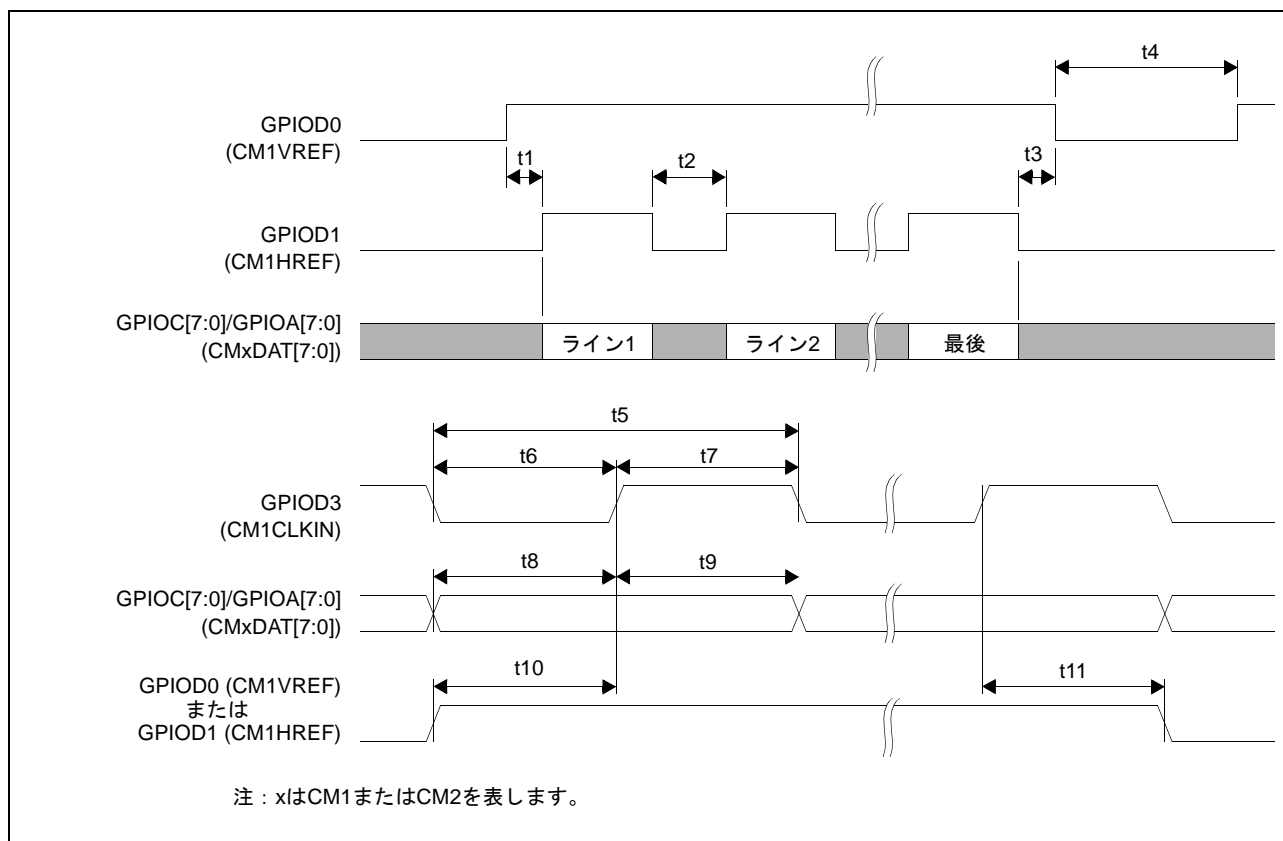


図7-48 カメラインタフェースYUVタイミング (16ビットデータバスモード)

表7-47 カメラインタフェースYUVタイミング (16ビットデータバスモード)

記号	パラメータ	MIN	MAX	単位
t1	CM1VREF立ち上がりエッジ → CM1HREF立ち上がりエッジ	0	—	Tc (注1)
t2	水平ブランク期間	4	—	Tc
t3	CM1HREF立ち下がりエッジ → CM1VREF立ち下がりエッジ	0	—	Tc
t4	垂直ブランク期間	4	—	Line
t5	カメラ入カクロック周期	6	—	Ts (注2)
t6	カメラ入カクロックパルス幅Low	$1T_s + 2$	—	ns
t7	カメラ入カクロックパルス幅High	$1T_s + 2$	—	ns
t8	データセットアップ時間	10	—	ns
t9	データホールド時間	10	—	ns
t10	CM1VREF、CM1HREFセットアップ時間	10	—	ns
t11	CM1VREF、CM1HREFホールド時間	10	—	ns

1. Tc=カメラブロック入カクロック周期
2. Ts=システムクロック周期

7. AC特性

7.7.3 カメラインタフェースJPEGタイミング

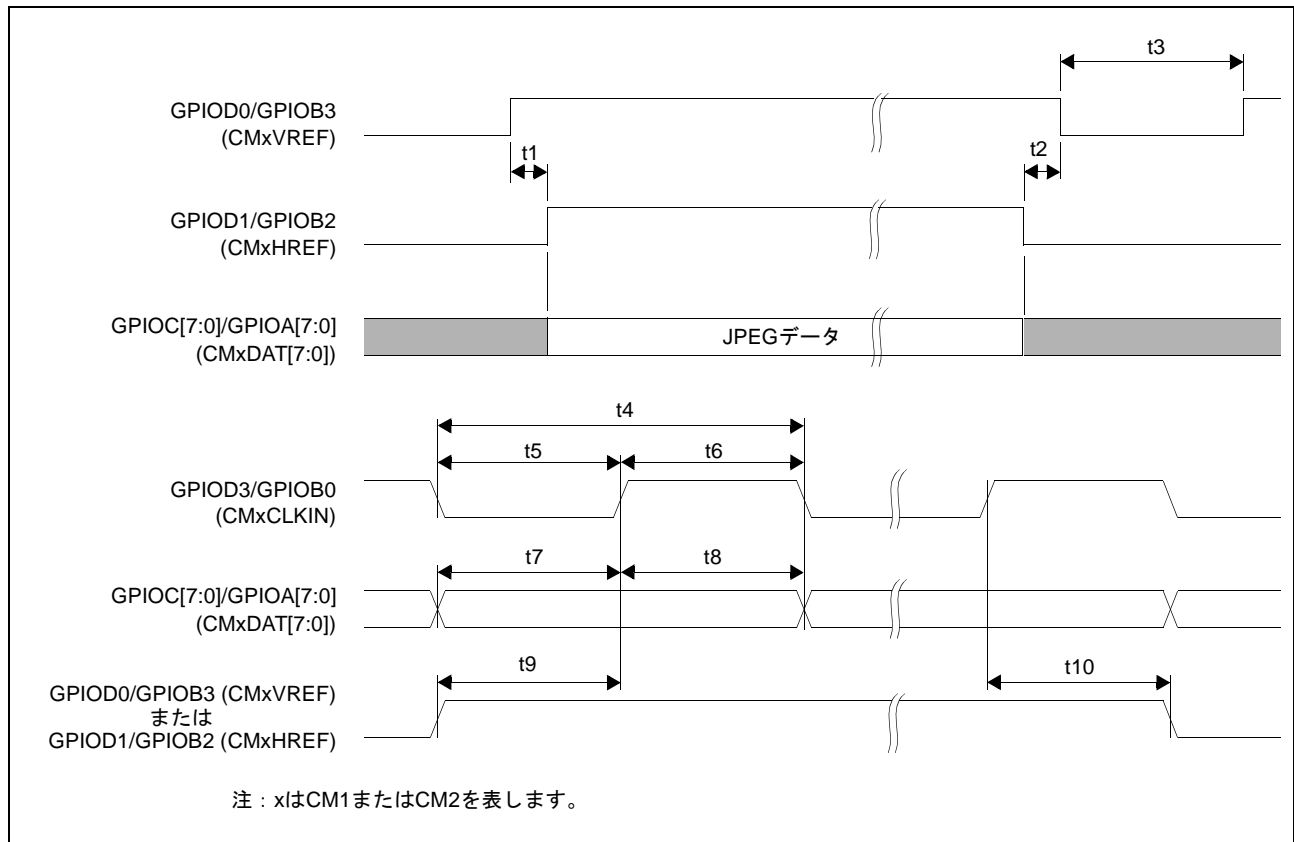


図7-49 カメラインタフェースJPEGタイミング

表7-48 カメラインタフェースJPEGタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	CMxVREF立ち上がりエッジ → CMxHREF立ち上がりエッジ	0	—	—	Tc (注1)
t2	CMxHREF立ち下がりエッジ → CMxVREF立ち下がりエッジ	0	—	—	Tc
t3	垂直ブランク期間	1	—	—	Tc
t4	カメラ入カクロック周期Tc	3	—	—	Ts (注2)
t5	カメラ入カクロックパルス幅Low	1.5	—	—	Ts
t6	カメラ入カクロックパルス幅High	1.5	—	—	Ts
t7	データセットアップ時間	15	—	—	ns
t8	データホールド時間	15	—	—	ns
t9	CMxVREF (CMxHREF) セットアップ時間	10	—	—	ns
t10	CMxVREF (CMxHREF) ホールド時間	10	—	—	ns

1. Tcはカメラブロック入カクロック周期です。
2. Tsはシステムクロック周期です。

7.7.4 ストロボ制御出力タイミング

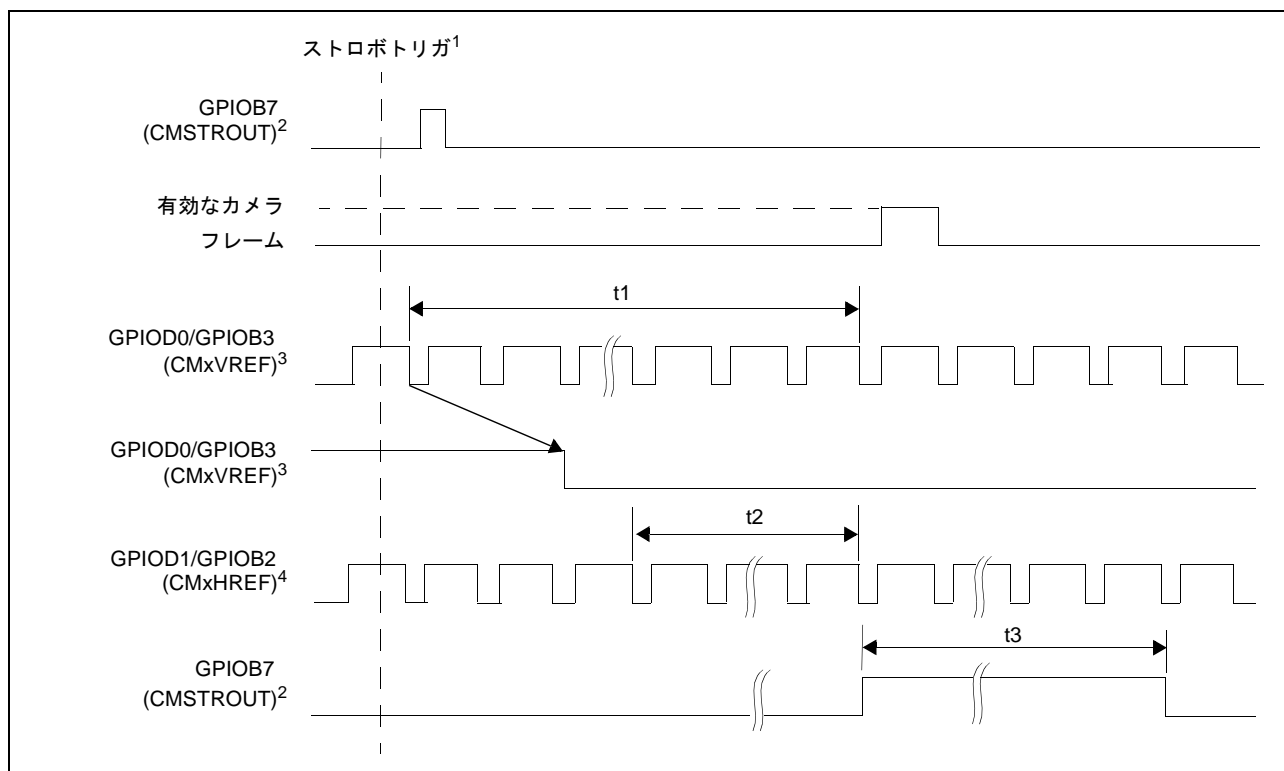


図7-50 ストロボ制御出力タイミング

注

1. ストロボトリガの詳細は、REG[2024h] ビット7～4のビットの説明と470ページの項22.3「ストロボ制御信号」を参照してください。
2. CMSTROUTアクティブセレクト：High (REG[2024h]ビット3～0=1011b)
3. CMxVREF アクティブセレクト：Low (REG[2002h] ビット1 = 0b または REG[2006h] ビット1=0b)
4. CMxHREF アクティブセレクト：Low (REG[2002h] ビット2 = 0b または REG[2006h] ビット2=0b)

表7-49 ストロボ制御出力タイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	ストロボトリガ後の最初のCMxVREF立ち下がりエッジ(アクティブHighの場合は立ち上がりエッジ)からのCMxVREF遅延	—	注1	—	Tcmv (注1)
t2	CMxVREFアクティブ後の最初のCMxHREF立ち下がりエッジ(アクティブHighの場合は立ち上がりエッジ)からのCMxHREF遅延	—	注2	—	Tcmh (注5)
t3	CMSTROUTアクティブパルス幅	—	注3	—	Tcmh

1. $t1_{typ} = \text{REG}[2024h]$ ビット7～4 (t1は、シングルフレームキャプチャモード (REG[2012h] ビット6=1b) では常に0であり、REG[2024h] ビット7～4は無視されます)
2. $t2_{typ} = (\text{REG}[2020h]$ ビット15～0)
3. $t3_{typ} = (\text{REG}[2022h]$ ビット15～0)+1
4. Tcmv=CMxVREF期間
5. Tcmh=CMxHREF期間

7. AC特性

7.8 SDRAMインタフェースタイミング

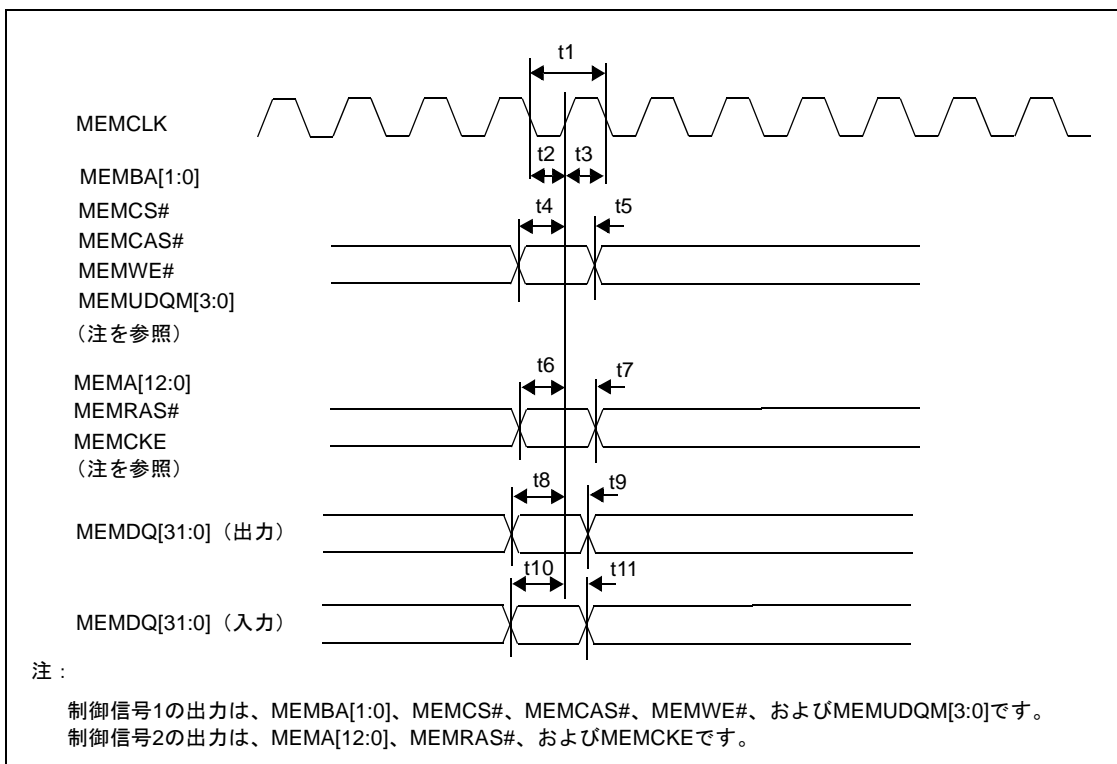


図7-51 SDRAMセットアップ/ホールドからMEMCLKへのタイミング

表7-50 SDRAMセットアップ/ホールドからMEMCLKへのタイミング

記号	パラメータ	MIN	MAX	単位
t1	MEMCLKサイクル時間	8	—	ns
t2	MEMCLK Lowパルス幅	3	—	ns
t3	MEMCLK Highパルス幅	3	—	ns
t4	制御信号1出力セットアップ時間 → MEMCLK (注を参照)	0.5Tc-1ns	—	Tc
t5	制御信号1出力ホールド時間 → MEMCLK (注を参照)	0.5	—	Tc
t6	制御信号2出力セットアップ時間 → MEMCLK (注を参照)	0.5Tc-2ns	—	Tc
t7	制御信号2出力ホールド時間 → MEMCLK (注を参照)	0.5	—	Tc
t8	MEMDQ[31:0]出力セットアップ時間 → MEMCLK	0.5Tc-2ns	—	Tc
t9	MEMDQ[31:0]出力ホールド時間 → MEMCLK	0.5Tc-2ns	—	Tc
t10	MEMDQ[31:0]入力セットアップ時間 → MEMCLK (注を参照)	3.6	—	ns
t11	MEMDQ[31:0]入力ホールド時間 → MEMCLK	0	—	ns

1. Tcは、MEMCLKサイクルの単位です。
2. MEMDQ[31:0]セットアップ時間 (t10) は、REG[1C00h]=11hによって規定される値です。

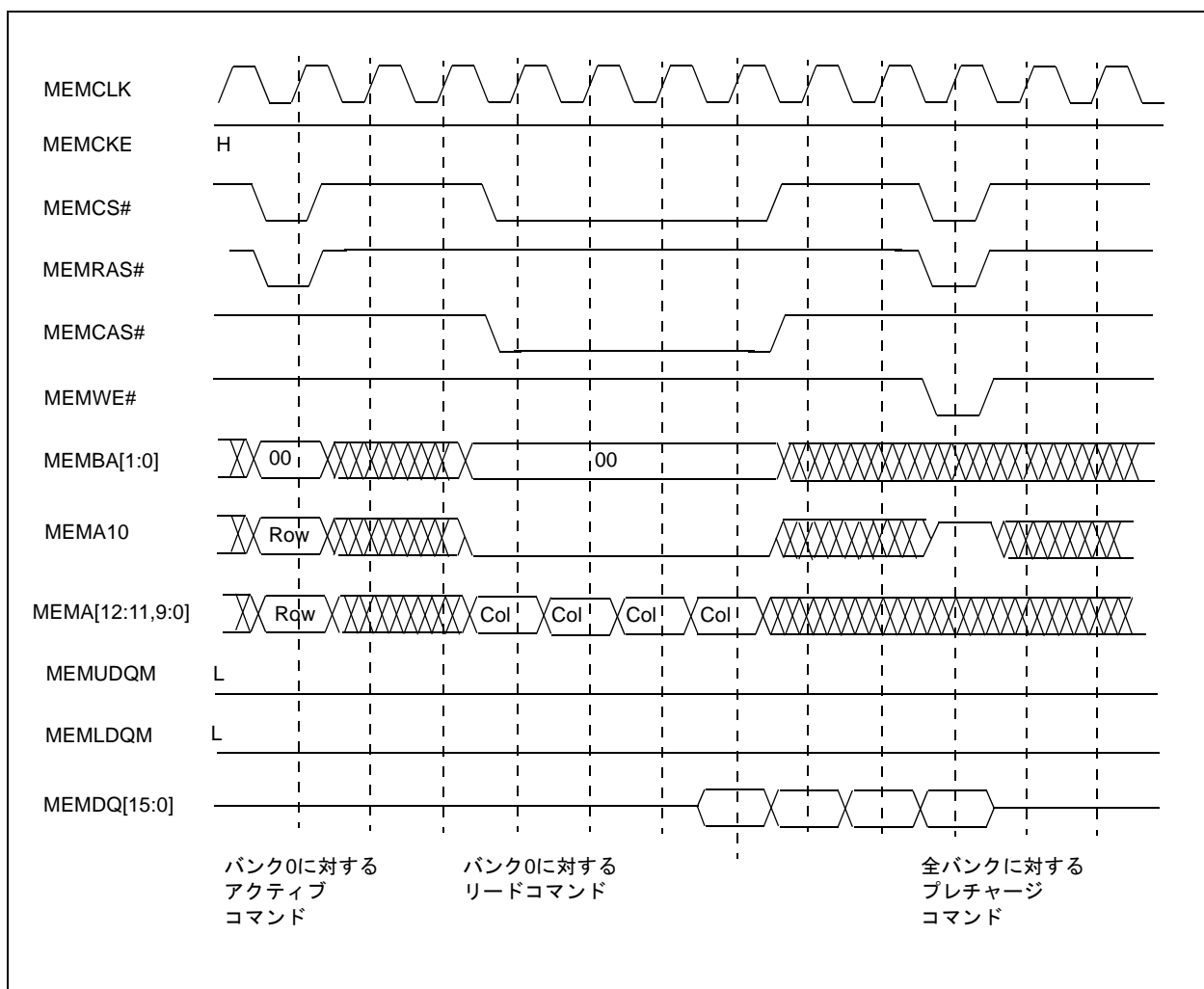


図7-52 SDRAMリードタイミング (例：リード長=4、CASレイテンシ=3)

注

バースト長はハードウェアで自動的に設定されます。

7. AC特性

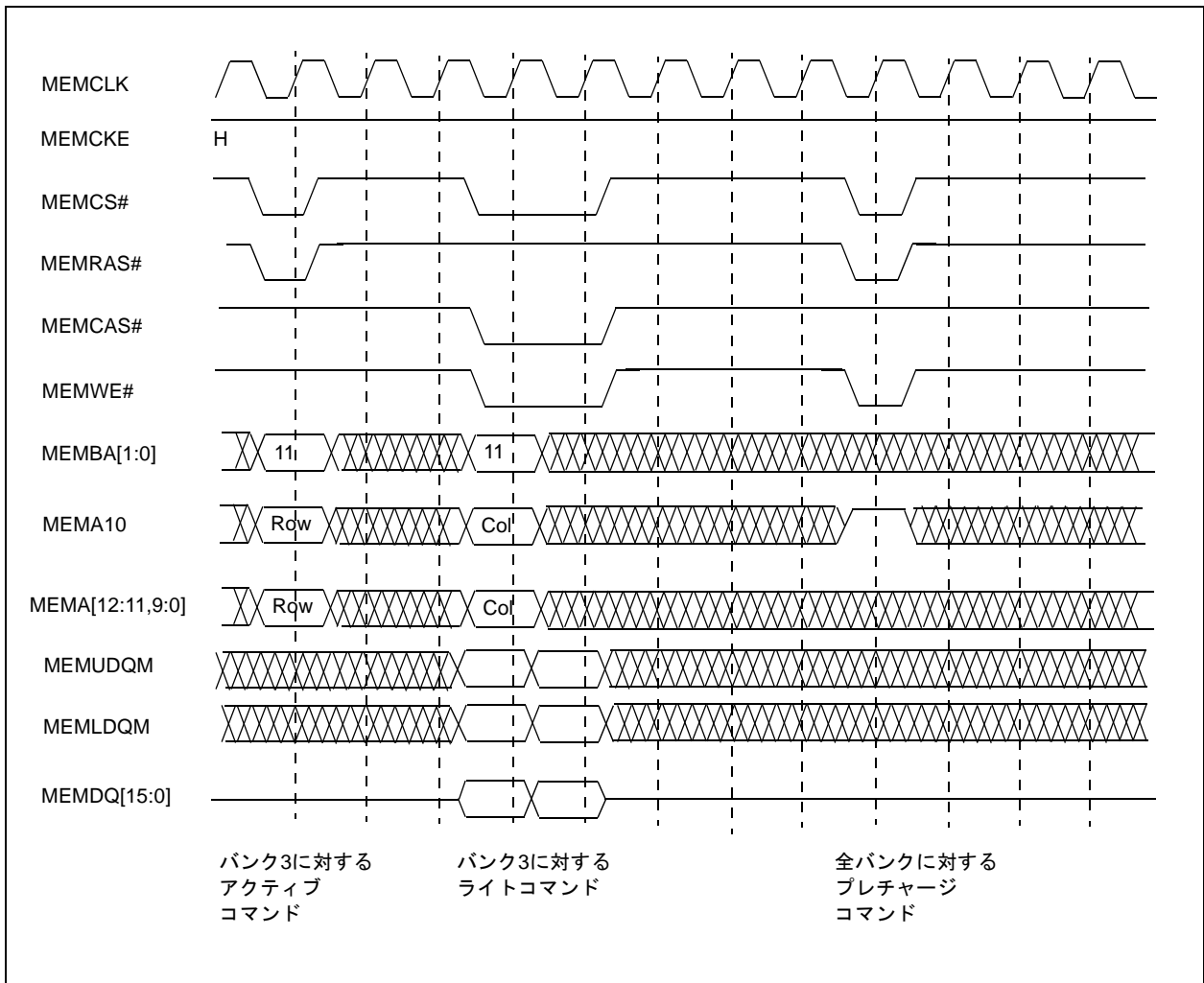


図7-53 SDRAMライトタイミング (例：ライト長=2)

注

バースト長はハードウェアで自動的に設定されます。

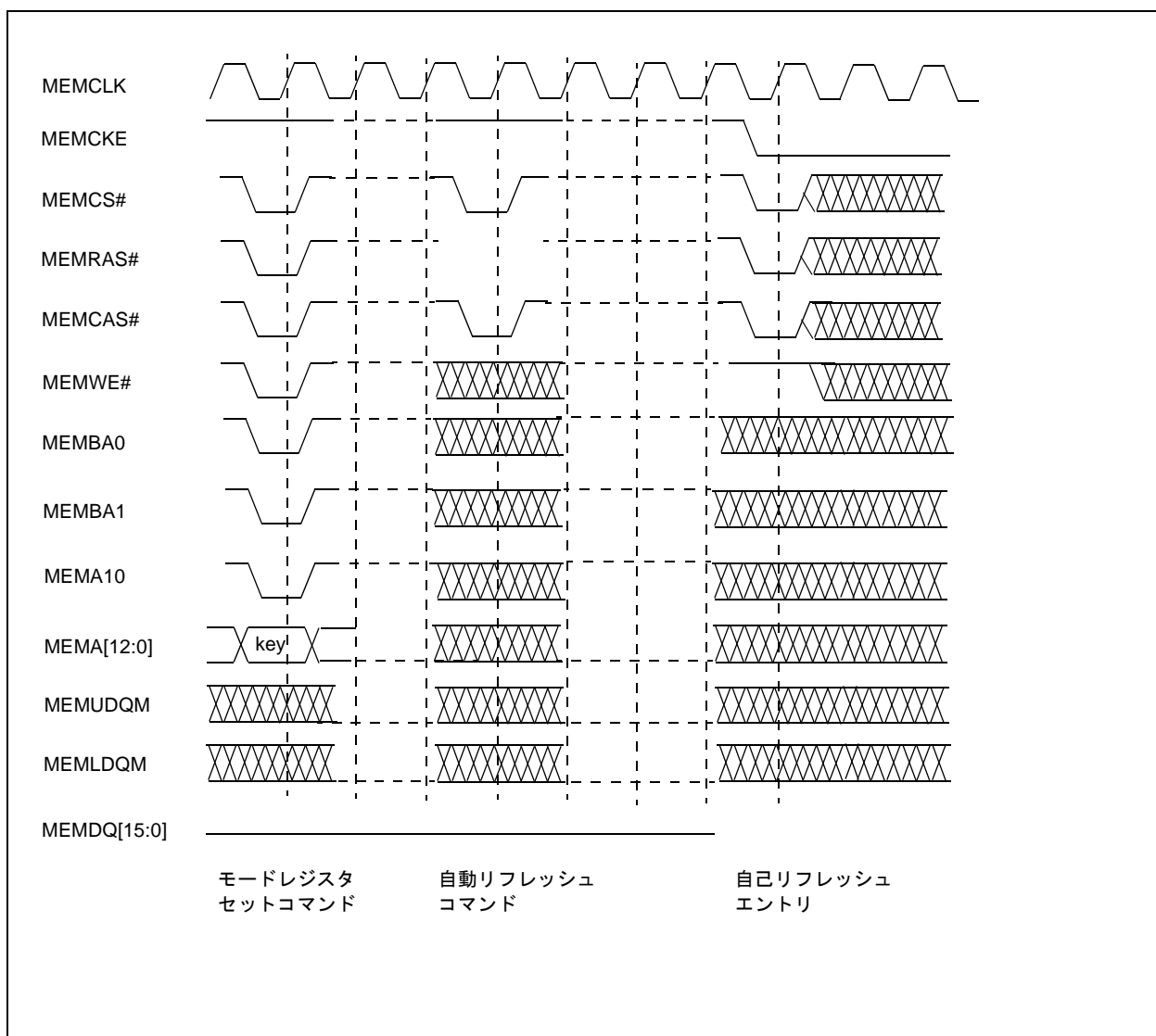


図7-54 モードレジスタセット/自動リフレッシュ/自動プレチャージタイミング

7. AC特性

7.9 I2Cインタフェースタイミング

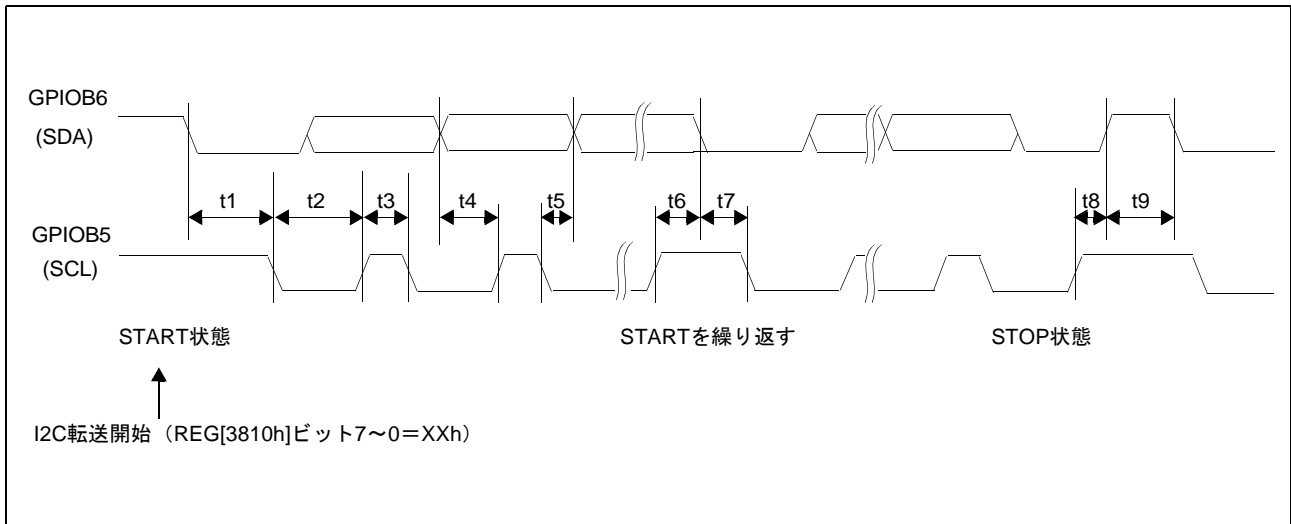


図7-55 I2Cインタフェースタイミング

注

I2C SDAとI2C SCLの立ち上がり時間は、使用される外部プルアップ抵抗とPCBの負荷容量によって決まります。

表7-51 スタンダードモードのI2Cインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	ホールド時間START状態	—	注2	—	I2CCLK (注1)
t2	I2C SCL Low時間	—	注3	—	I2CCLK
t3	I2C SCL High時間	—	注4	—	I2CCLK
t4	I2CDATACLK Highの前のリードデータセットアップ	1	—	—	I2CCLK
t5	I2C SCL Lowの後のデータホールド	1	—	—	I2CCLK
t6	セットアップ時間繰り返しSTART状態	—	注5	—	I2CCLK
t7	ホールド時間繰り返しSTART状態	注6	—	—	I2CCLK
t8	STOP状態のセットアップ時間	—	注7	—	I2CCLK
t9	STOP状態とSTART状態間のバス自由時間	—	注8	—	I2CCLK

1. I2CCLK = I2Cクロック周波数 = SYSCLK ÷ (REG[0430h]ビット7~0 + 1)
2. t1typ = (REG[3814h]ビット15~0) + 3
3. t2typ = (REG[3818h]ビット15~0) + 1
4. t3typ = (REG[3814h]ビット15~0) + 8
5. t6typ = (REG[3814h]ビット15~0) + (REG[3818h]ビット15~0) + 17
6. t7min = (REG[3814h]ビット15~0) + 2
7. t8typ = (REG[3814h]ビット15~0) + 7
8. t9typ = (REG[3818h]ビット15~0) + 10

表7-52 高速モードのI2Cインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
t1	ホールド時間START状態	—	注2	—	I2CCLK (注1)
t2	I2C SCL Low時間	—	注3	—	I2CCLK
t3	I2C SCL High時間	—	注4	—	I2CCLK
t4	I2CDATACLK Highの前のリードデータセットアップ	1	—	—	I2CCLK
t5	I2C SCL Lowの後のデータホールド	1	—	—	I2CCLK
t6	セットアップ時間繰り返しSTART状態	—	注5	—	I2CCLK
t7	ホールド時間繰り返しSTART状態	注6	—	—	I2CCLK
t8	STOP状態のセットアップ時間	—	注7	—	I2CCLK
t9	STOP状態とSTART状態の間のバス自由時間	—	注8	—	I2CCLK

1. I2CCLK = I2Cクロック周波数 = SYSCLK ÷ (REG[0430h]ビット7~0 + 1)
2. t1typ = (REG[381Ch]ビット15~0) + 3
3. t2typ = (REG[3820h]ビット15~0) + 1
4. t3typ = (REG[381Ch]ビット15~0) + 8
5. t6typ = (REG[381Ch]ビット15~0) + 135
6. t7min = (REG[381Ch]ビット15~0) + 2
7. t8typ = (REG[381Ch]ビット15~0) + 7
8. t9typ = 128

注

以下のレジスタには最小値があります。レジスタに最小値よりも小さい値を書き込むと、自動的に最小値がレジスタに書き込まれます。

REG[3814h] min = 0006h

REG[3818h] min = 0008h

REG[381Ch] min = 0006h

REG[3820h] min = 0008h

7. AC特性

7.10 キーパッドインタフェースタイミング

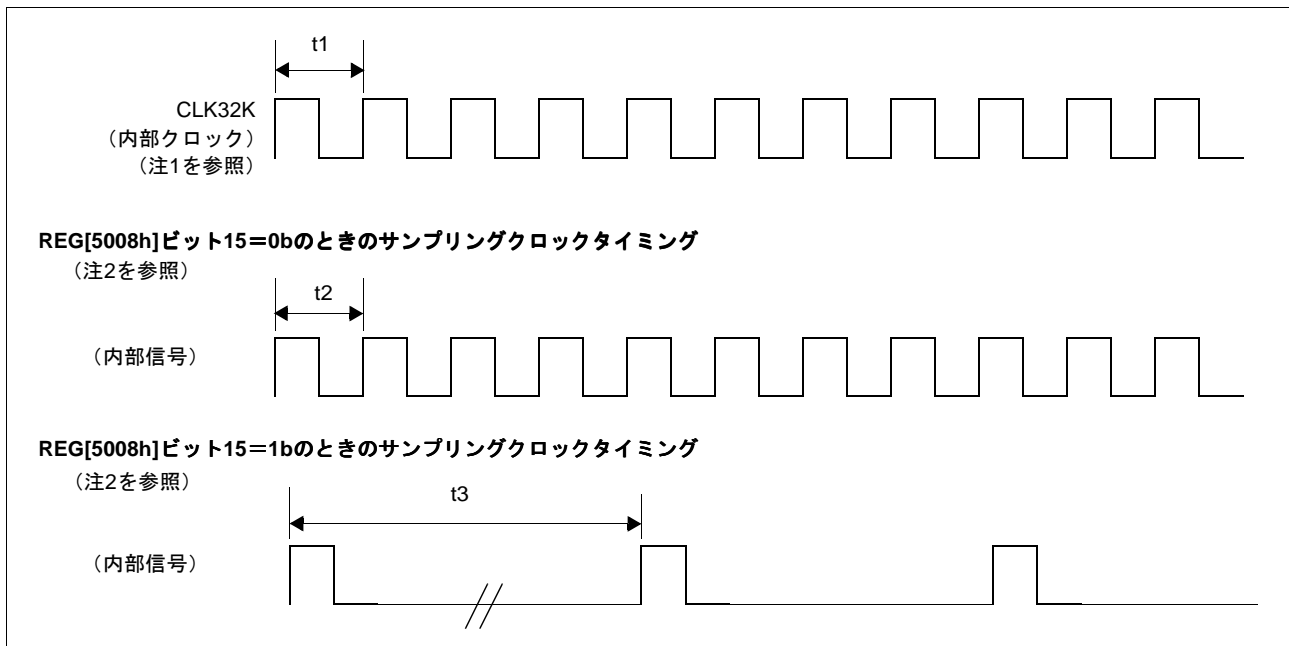


図7-56 キーパッドインタフェースベースタイミング

注

1. CLK32Kは、キーパッドインタフェースに使用される内部ケースクロックです。ユーザはこのクロックを見ることはできません。
2. サンプリングクロックは、キーパッドインタフェースの内部入力サンプリングクロックです。ユーザはこのクロックを見ることはできません。

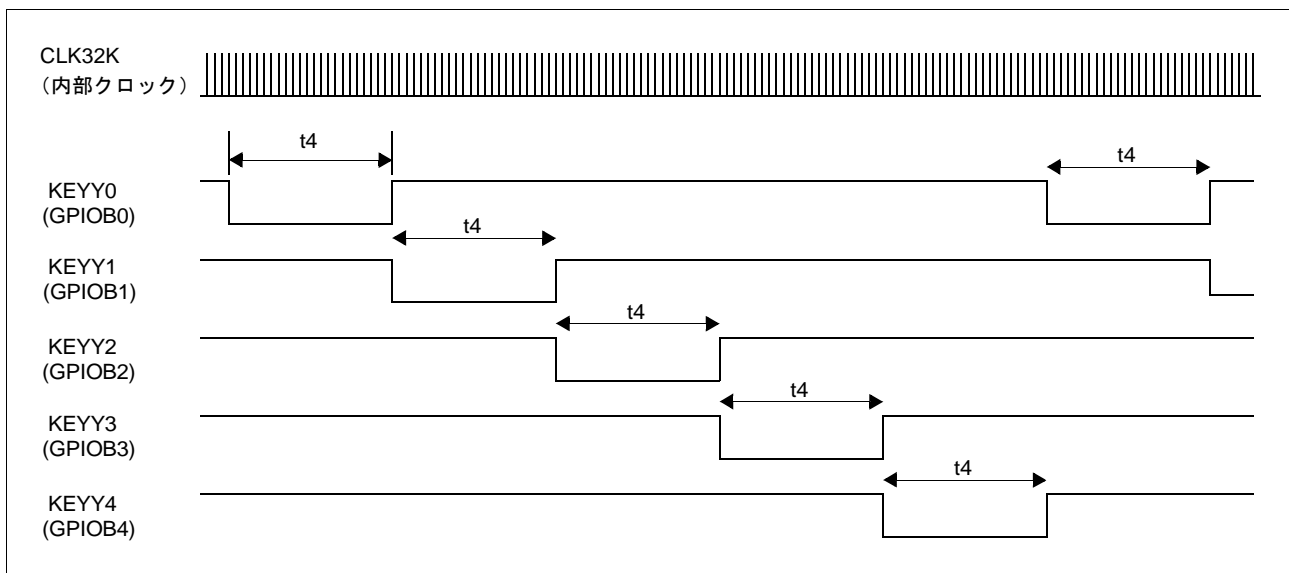


図7-57 キーパッドインタフェース駆動タイミング

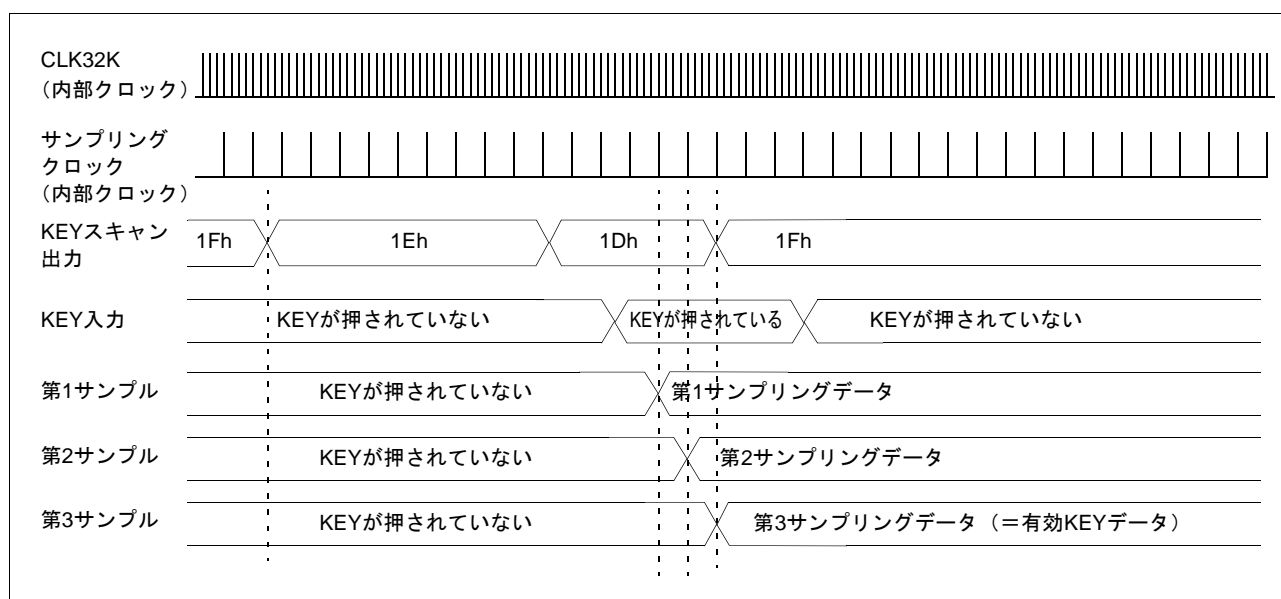


図7-58 キーパッドインタフェース入力タイミング

注

キーパッドデータは内部で3回サンプリングされます。3つのサンプルがすべて同じ場合、そのデータは有効なキーパッド入力データとして認められます。

表7-53 キーパッドインタフェースタイミング

記号	パラメータ	MIN	TYP	MAX	単位
f_{CLK32K}	32KHz等価クロック周波数		32		KHz
t1	CLK32K期間	—	$1/f_{\text{CLK32K}}$	—	us
t2	サンプリングクロックパルス幅 (t1と同じ)	—	$1/f_{\text{CLK32K}}$	—	us
t3	サンプリングクロックパルス幅	—	注2	—	CLK32K
t4	キー出力期間	—	注3	—	CLK32K

1) f_{CLK32K} の周波数は、REG[042Ch]によって指定されます。

2) t2typ、t3typは、REG[5006h]によって指定されます。

3) t4typは、REG[500Ah]によって指定されます。

8. メモリマップ

8. メモリマップ

S1D13513は、64Mビット（8Mバイト）、128Mビット（16Mバイト）、256Mビット（32Mバイト）、または512Mビット（64Mバイト）のいずれかの外部SDRAMあるいは外部モバイルSDRAMをサポートするSDRAMインタフェースを備えています。

メモリは、選択したアドレス指定方法に準じてアクセスしてください。

注

S1D13513ホストインタフェースは、「先読み」によってメモリアクセスを加速するメモリバッファを備えています。この先読み機能の詳細は、441ページの項20.4「先読み機能」を参照してください。

8.1 ダイレクトアドレス指定を使用したメモリアクセス

ダイレクトアドレス指定が選択されたときは（35ページの項5.3「コンフィギュレーションオプションの概要」を参照）、外部SDRAMの最初の1Mバイトをリニアにアドレス指定することができます。残りのメモリ（最大63Mバイト）は、SDRAMアドレス空間内にリダイレクトされる4つの256Kバイトページを使用してアクセスしてください（117ページの図8-1「ダイレクトアドレス指定を使用したメモリアクセス例（16Mバイトの例）」を参照してください）。

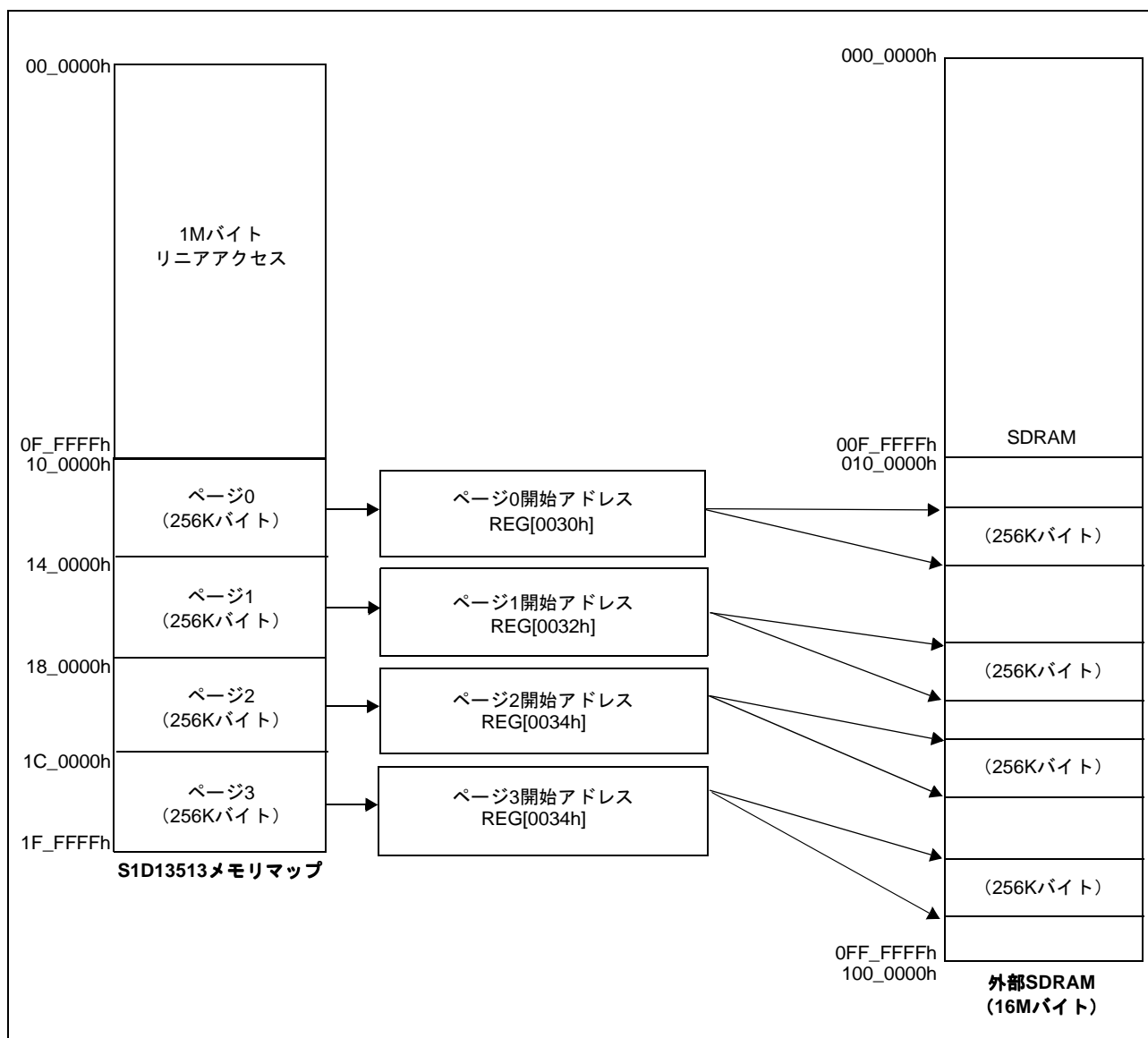


図8-1 ダイレクトアドレス指定を使用したメモリアクセス例 (16Mバイトの例)

8. メモリマップ

8.2 インダイレクトアドレス指定を使用したメモリアクセス

インダイレクトアドレス指定が選択されたときは(35ページの項5.3「コンフィギュレーションオプションの概要」を参照)、SDRAMメモリは、REG[0012h]~REG[0014h]で設定されたアドレスに従ってアドレス指定されます。アドレスサイズは、最大許容サイズのSDRAMメモリ全範囲へのアクセスが可能な大きさです。アドレスを設定した後で、メモリは、インダイレクトインタフェースメモリアクセスデータポートREG[0018h]によって読み/書きすることができます。メモリアクセスが完了すると、アドレスは自動的にインクリメントします。

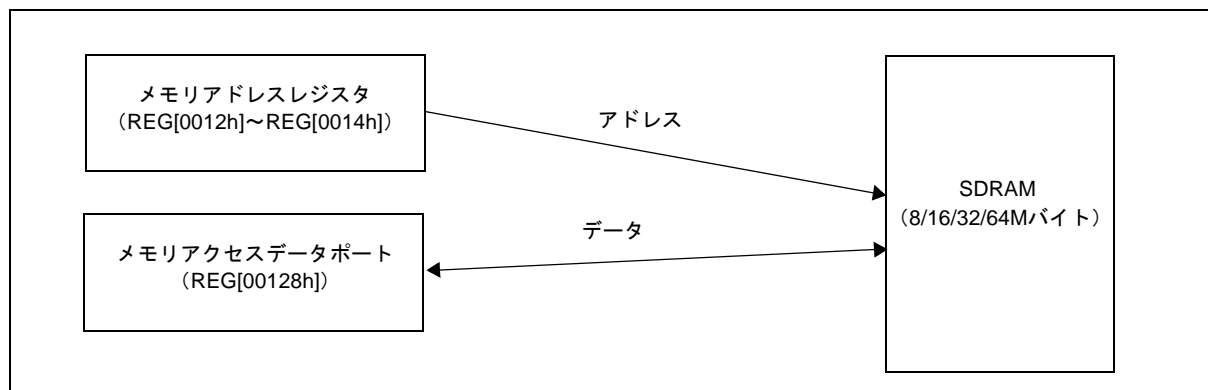


図8-2 外部メモリ (インダイレクトアクセス)

8.3 IOマップ

各入出力デバイスの機能レジスタにアクセスするには、122ページの表10-2「S1D13513レジスタマッピング」を参照してください。

9. クロック

9.1 クロックの概要

以下の図は、S1D13513内部クロックを論理的に表したものです。

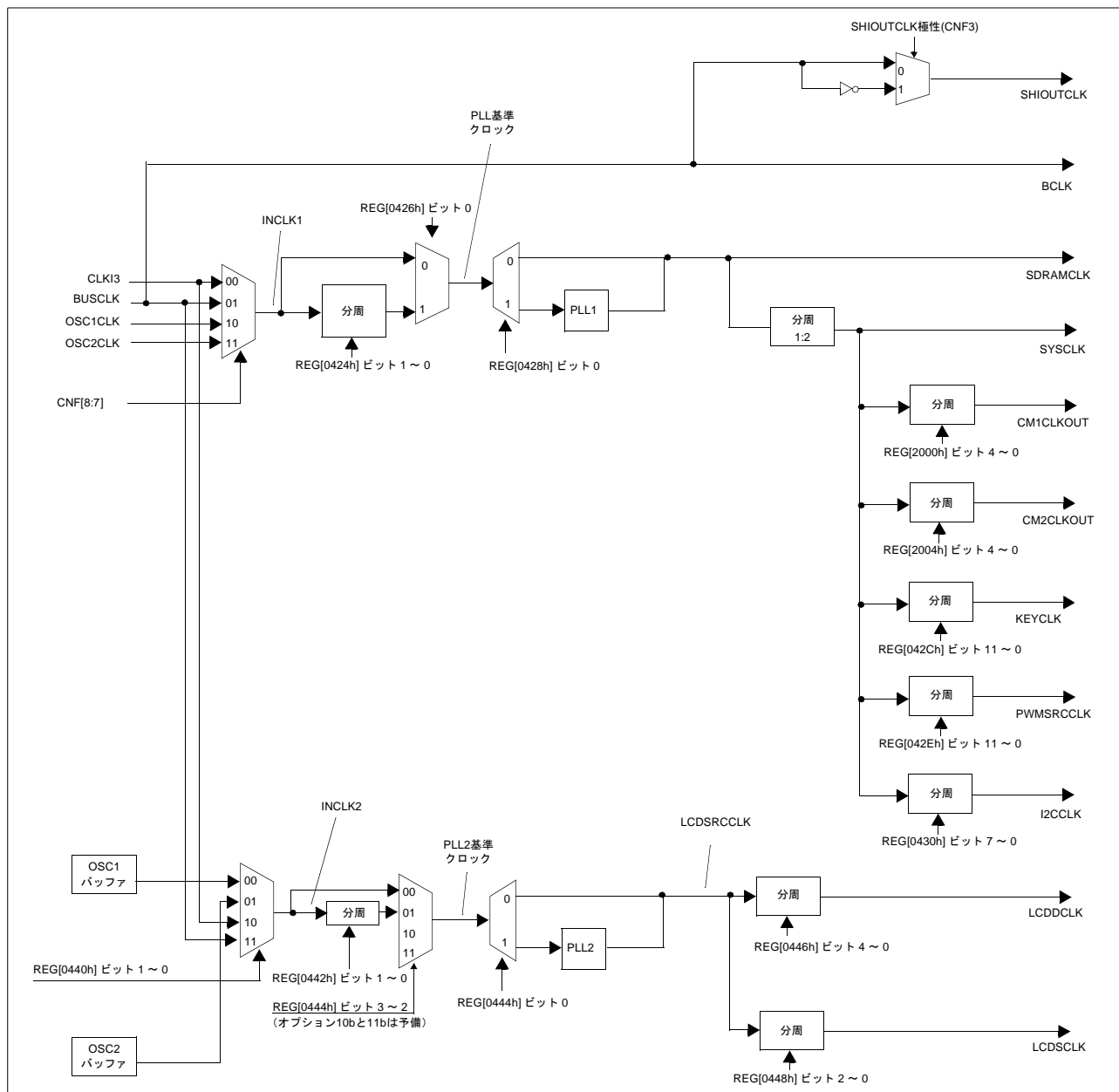


図9-1 クロック図

注

S1D13513をBUSCLKが必要なホストインタフェースモード(CNF6=0)で使用する
場合、S1D13513が通常動作モードの間はBUSCLKを入力してください。

9.2 PLLプログラミングの例

PLL1またはPLL2の周波数を変更するときはその前に、PLL1イネーブルビット (REG[0410h]ビット0) またはPLL2イネーブルビット (REG[0418h]ビット0) を用いて適宜PLLをディスエーブルしてください。PLLを変更した後にイネーブルすると、最大200 μ s間不安定になりますので注意してください。

例1: $f_{PLLREFCLK}=5\text{MHz}$ を用いてPLL2を $f_{PULO}=20\text{MHz}$ と設定します。

1. NNの値を求めます。
 $NN = f_{PULO} \div f_{PLL2REFCLK}$
 $NN = 20\text{MHz} \div 5\text{MHz}$
 $NN = 4$
PLL2のN個のマルチプライヤビット3~0を0011bに設定します (REG[0414h]ビット3~0を参照)。
2. VCO周波数を求めます。
 $f_{VCO} = f_{PULO} \times VV$
 $f_{VCO} = 20 \times 2$
 $f_{VCO} = 40\text{MHz}$
この場合、VVのデフォルト値2は次の条件を満たしません。
 $100\text{MHz} \leq f_{VCO} \leq 400\text{MHz}$

VVを8にすると条件を満たします ($20\text{MHz} \times 8 = 160\text{MHz}$)。
したがって、V分周ビット1~0を11bに設定してください (REG[0414h]ビット5~4を参照)。
3. $f_{VCO} = 160\text{MHz}$ のPLL2 VCビット3~0を設定します (REG[0414h]ビット11~8=0010b)。
4. $f_{PLL2REFCLK}$ が5MHzの場合のLowパスフィルタ抵抗を設定します。
PLL2 RS ビット3~0を1010bに設定します (REG[0414h]ビット15~12を参照)。

10. レジスタ

この章では、S1D13513レジスタにアクセスする方法とアクセスする場所について説明します。また、各レジスタのレイアウトと使用法を詳しく説明します。

注

ビッグエンディアンホストインタフェースを選択した場合は、453ページの項20.6「ビッグエンディアンホストインタフェースのレジスタアクセス」に示した手順に従ってレジスタにアクセスしてください。

10.1 レジスタマッピング

S1D13513レジスタはメモリマップされています。システムからの入力端子の状態がCS#=0、M/R#=0のとき、レジスタがアクセスされます。

表10-1 S1D13513メモリ/レジスタ選択

M/R#	アドレス	サイズ	機能
1	000000h~1FFFFFFh	2Mバイト	SDRAMメモリ空間
0	000000h~1FFFFFFh	2Mバイト	すべてのレジスタ空間

注

パワーセーブモードをイネーブルしたときは、同期レジスタとSDRAMメモリにアクセスしないでください。

10. レジスタ

レジスタ空間はAB[20:0]によってデコードされ、以下のようにマッピングされます。

表10-2 S1D13513レジスタマッピング

アドレス	タイプ	機能
0000h~0004h	非同期	ホストインタフェースレジスタ
0006h~0044h	同期	
0400h~0472h	非同期	システム制御レジスタ
0800h~081Ch	同期	LCDパネル設定レジスタ
081Eh~082Eh	同期	HR-TFT設定レジスタ
0830h~0870h	同期	LCD表示モードレジスタ
0C00h~0C2Ah	非同期	GPIOレジスタ
1000h~14FEh	同期	スプライトレジスタ
1700h~179Eh	同期	スプライトエンジンレジスタ
1800h~1AFEh	同期	2D BitBLTレジスタ
1C00h~1C14h	同期	メモリコントローラレジスタ
2000h~2046h	同期	カメラインタフェースレジスタ
2430h~246Eh	同期	リサイザ操作レジスタ
2800h~2876h	同期	YUVキャプチャモジュールレジスタ
3000h~3014h	同期	YRCレジスタ
3400h~3412h	同期	PWMレジスタ
3800h~38FEh	同期	I2Cレジスタ
3C00h~3C70h	同期	DMA制御レジスタ
4000h~4FFEh	同期	コマンドFIFO (BitBLTおよびスプライト用) レジスタ
5000h~500Eh	同期	キーパッドインタフェースレジスタ

10.2 レジスタセット

S1D13513レジスタは以下の表の通りです。

表10-3 S1D13513レジスタセット

レジスタ	ページ	レジスタ	ページ
ホストインタフェースレジスタ			
REG[0000h] Product ID Register 0	130	REG[0002h] Product ID Register 1	130
REG[0004h] Embedded Memory Size Register	130	REG[0006h]~REG[0010h]は予備	130
REG[0012h] Indirect Interface Memory Address Register 0	131	REG[0014h] Indirect Interface Memory Address Register 1	131
REG[0018h] Indirect Interface Memory Access Data Port Register	132	REG[001Ah] Memory Access Status Register	132
REG[0020h] Interrupt Status Register	132	REG[0022h] Interrupt Control Register	136
REG[0024h] Host Time-out Control Register	138	REG[0026h] Bus Error Interrupt Status Register	138
REG[0028h] Bus Error Interrupt Control Register	139	REG[002Ah] Interrupt Pin Control Register	139
REG[002Ch]~REG[002Eh]は予備	140	REG[0030h] SDRAM Host Page 0 Start Address Register	140
REG[0032h] SDRAM Host Page 1 Start Address Register	141	REG[0034h] SDRAM Host Page 2 Start Address Register	141
REG[0036h] SDRAM Host Page 3 Start Address Register	141	REG[0038h]~REG[0042h]は予備	141
REG[0044h] Host Configuration Register	142		
システム制御レジスタ			
REG[0400h]~REG[0404h]は予備	142	REG[0406h] Configuration Pins Status Register	143
REG[0408h] OSC1 Control Register	143	REG[040Ah] OSC2 Control Register	144
REG[040Ch] PLL1 Configuration Register 0	144	REG[040Eh] PLL1 Configuration Register 1	146
REG[0410h] PLL1 Control Register	146	REG[0412h]は予備	146
REG[0414h] PLL2 Configuration Register 0	147	REG[0416h] PLL2 Configuration Register 1	148
REG[0418h] PLL2 Control Register	149	REG[041Ah]~REG[0422h]は予備	149
REG[0424h] PLL1 Reference Clock Divide Select Register	149	REG[0426h] PLL1 Control Register 0	150
REG[0428h] PLL1 Control Register 1	150	REG[042Ch] Key Clock Control Register	151
REG[042Eh] PWM Source Clock Control Register	152	REG[0430h] I2C Clock Control Register	153
REG[0440h] PLL2 Control Register 0	153	REG[0442h] PLL2 Control Register 1	154
REG[0444h] PLL2 Control Register 2	154	REG[0446h] LCD Clock Control Register 0	156
REG[0448h] LCD Clock Control Register 1	157	REG[0460h] Software Reset Register	158
REG[0462h] Clock Enable Register	158	REG[0464h] GPIOC&D Pull-down Resistor Control Register	160
REG[0466h]は予備	160	REG[0468h] GPIOG&H Pull-down Resistor Control Register	160
REG[046Ah] MEMDQ Pull-down Resistor Control Register 0	161	REG[046Ch] MEMDQ Pull-down Resistor Control Register 1	161
REG[046Eh] CNF Pull-down Resistor Control Register	161	REG[0470h] Power Down Mode Control Register	162
REG[0472h] Bus Time-out Reset Control Register	162	REG[04A0h]~REG[04A2h]は予備	163
LCDパネル設定レジスタ			
REG[0800h] LCD Panel Type Select Register	163	REG[0802h] LCD Horizontal Total Register	166
REG[0804h] LCD Horizontal Display Period Register	167	REG[0806h] LCD Horizontal Display Period Start Position Register	167
REG[0808h] LCD Horizontal Pulse Width Register	168	REG[080Ah] LCD Horizontal Pulse Start Position Register	168
REG[080Ch] LCD Vertical Total Register	169	REG[080Eh] LCD Vertical Display Period Register	169
REG[0810h] LCD Vertical Display Period Start Position Register	169	REG[0812h] LCD Vertical Pulse Width Register	170
REG[0814h] Vertical Pulse Start Position Register	170	REG[0816h] LCD Serial Interface Configuration Register	170
REG[0818h] LCD Status Register	172	REG[081Ah] LCD VSYNC Interrupt Delay Register	173
REG[081Ch] LCD Serial Command/Parameter Register	173	REG[081Eh] MOD/Serial Command Register	174

10. レジスタ

表10-3 S1D13513レジスタセット (続き)

レジスタ	ページ	レジスタ	ページ
HR-TFT設定レジスタ			
REG[0820h] HR-TFT Configuration Register	175	REG[0822h] HR-TFT CLS Width Register	175
REG[0824h] HR-TFT PS1 Rising Edge Register	176	REG[0826h] HR-TFT PS2 Rising Edge Register	176
REG[0828h] HR-TFT PS2 Toggle Width Register	176	REG[082Ah] HR-TFT PS3 Signal Width Register	176
REG[082Ch] HR-TFT REV Toggle Point Register	177	REG[082Eh] HR-TFT PS1/2 End Register	177
LCD表示モードレジスタ			
REG[0830h] Display Mode Setting Register 0	178	REG[0832h] Display Mode Setting Register 1	180
REG[0834h] Display Mode Setting Register 2	183	REG[0836h] PIP2 Window Alpha Blending Mode Register	186
REG[0838h] PIP2 Window Transparent Key Color Red Register	188	REG[083Ah] PIP2 Window Transparent Key Color Green Register	188
REG[083Ch] PIP2 Window Transparent Key Color Blue Register	188	REG[083Eh] Gamma Control Register	189
REG[0840h] Gamma LUT Access Address Port Register	192	REG[0842h] Gamma LUT Access Data Port Register	192
REG[0844h] Pseudo Color Mode Register	193	REG[0846h] Display FIFO1 Threshold Register	194
REG[0848h] Display FIFO2 Threshold Register	194	REG[084Ah] PIP1 Window X Start Position Register	194
REG[084Ch] PIP1 Window X End Position Register	195	REG[084Eh] PIP1 Window Y Start Position Register	195
REG[0850h] PIP1 Window Y End Position Register	195	REG[0852h] PIP2 Window X Start Position Register	196
REG[0854h] PIP2 Window X End Position Register	196	REG[0856h] PIP2 Window Y Start Position Register	196
REG[0858h] PIP2 Window Y End Position Register	197	REG[085Ah] Main Window Front Buffer Start Address Register 0	197
REG[085Ch] Main Window Front Buffer Start Address Register 1	197	REG[085Eh] PIP1 Window Front Buffer Start Address Register 0	198
REG[0860h] PIP1 Window Front Buffer Start Address Register 1	198	REG[0862h] PIP2 Window Front Buffer Start Address Register 0	198
REG[0864h] PIP2 Window Front Buffer Start Address Register 1	198	REG[0866h] Main/PIP1/PIP2 Window Back Buffer Start Address Register 0	199
REG[0868h] Main/PIP1/PIP2 Window Back Buffer Start Address Register 1	199	REG[086Ah] Main Window Front Buffer Line Address Offset Register	199
REG[086Ch] PIP1 Window Front Buffer Line Address Offset Register	199	REG[086Eh] PIP2 Window Front Buffer Line Address Offset Register	200
REG[0870h] Main/PIP1/PIP2 Window Back Buffer Line Address Offset Register	200	REG[0880h] Color Conversion Control Register	200
REG[0882h]~REG[0892h] Color Conversion Matrix Coefficient Registers 0~8	201		
GPIOレジスタ			
REG[0C00h] GPIOA Data Register	202	REG[0C02h] GPIOA Pin Function Register	203
REG[0C04h] GPIOB Data Register	204	REG[0C06h] GPIOB Pin Function Register	204
REG[0C08h] GPIOC Data Register	205	REG[0C0Ah] GPIOC Pin Function Register	205
REG[0C0Ch] GPIOD Data Register	206	REG[0C0Eh] GPIOD Pin Function Register	206
REG[0C10h]~REG[0C16h]は予備	206	REG[0C18h] GPIOG Data Register	207
REG[0C1Ah] GPIOG Pin Function Register	207	REG[0C1Ch] GPIOH Data Register	208
REG[0C1Eh] GPIOH Pin Function Register	208	REG[0C20h]~REG[0C22h]は予備	208
REG[0C24h] GPIOA&B Interrupt Type Register	209	REG[0C26h] GPIOA&B Interrupt Polarity Register	210
REG[0C28h] GPIOA&B Interrupt Enable Register	211	REG[0C2Ah] GPIOA&B IRQ Status and Clear Register	212

表10-3 S1D13513レジスタセット (続き)

レジスタ	ページ	レジスタ	ページ
スプライトエンジンがイネーブルの場合のスプライトレジスタ			
REG[1xxxh +00h] Sprite #n General Control Register	214	REG[1xxxh +02h]は予備	216
REG[1xxxh +04h] Sprite #n Image Start Address Register 0	216	REG[1xxxh +06h] Sprite #n Image Start Address Register 1	216
REG[1xxxh +08h] Sprite #n Rotated Image Start Address Register 0	217	REG[1xxxh +0Ah] Sprite #n Rotated Image Start Address Register 1	217
REG[1xxxh +0Ch] Sprite #n X Position Register	217	REG[1xxxh +0Eh] Sprite #n Y Position Register	218
REG[1xxxh +10h] Sprite #n Frame Width Register	218	REG[1xxxh +12h] Sprite #n Frame Height Register	219
REG[1xxxh +14h] Sprite #n Reference Point X Offset Register	219	REG[1xxxh +16h] Sprite #n Reference Point Y Offset Register	220
REG[1xxxh +18h] Sprite #n Transparency Color/Texture Alpha Register	220	REG[1xxxh +1Ah] Sprite #n Color Format Register	221
REG[1xxxh +1Ch] Sprite #n Frame Sequence Register 0	222	REG[1xxxh +1Eh] Sprite #n Frame Sequence Register 1	222
REG[1xxxh +20h] Sprite #n Frame Sequence Register 2	222	REG[1xxxh +22h] Sprite #n Frame Sequence Register 3	222
REG[1xxxh +24h] Sprite #n Frame Sequence Register 4	222	REG[1xxxh +26h] Sprite #n Frame Sequence Register 5	222
REG[1xxxh +28h] Sprite #n Frame Sequence Register 6	222	REG[1xxxh +2Ah] Sprite #n Frame Sequence Register 7	222
REG[1xxxh +2Ch] Sprite #n Virtual Image Width Register	223	REG[1xxxh +2Eh] Sprite #n Virtual Image Height Register	224
REG[1xxxh +30h] Sprite #n X Scan Vector H Register 0	224	REG[1xxxh +32h] Sprite #n X Scan Vector H Register 1	224
REG[1xxxh +34h] Sprite #n Y Scan Vector H Register 0	225	REG[1xxxh +36h] Sprite #n Y Scan Vector H Register 1	225
REG[1xxxh +38h] Sprite #n X Scan Vector V Register 0	225	REG[1xxxh +3Ah] Sprite #n X Scan Vector V Register 1	225
REG[1xxxh +3Ch] Sprite #n Y Scan Vector V Register 0	226	REG[1xxxh +3Eh] Sprite #n Y Scan Vector V Register 1	226
REG[1xxxh +40h] Sprite #n X Scan Offset Register 0	226	REG[1xxxh +42h] Sprite #n X Scan Offset Register 1	226
REG[1xxxh +44h] Sprite #n Y Scan Offset Register 0	227	REG[1xxxh +46h] Sprite #n Y Scan Offset Register 1	227
REG[1xxxh +48h]~REG[1xxxh +5Eh]は予備	227		
イメージフォーマットコンバータがイネーブルの場合のスプライトレジスタ			
REG[1004h] IFC Source Image Address Register 0	228	REG[1006h] IFC Source Image Address Register 1	228
IFC Destination Image Address (REG[1710h]~REG[1712h]を参照)			228
REG[102Ch] IFC Image Width Register	229	REG[102Eh] IFC Image Height Register	229
スプライトエンジンレジスタ			
REG[1700h] Sprite Control Register	230	REG[1702h] Sprite Status Register	232
REG[1704h] Sprite Frame Sequence Trigger Control Register	233	REG[1706h] Sprite Interrupt Control Register	235
REG[1708h] Sprite Interrupt Status Register	235	REG[1710h] Sprite Frame Buffer 0 Start Address Register 0	236
REG[1712h] Sprite Frame Buffer 0 Start Address Register 1	236	REG[1714h] Sprite Frame Buffer 1 Start Address Register 0	237
REG[1716h] Sprite Frame Buffer 1 Start Address Register 1	237	REG[1718h]は予備	237
REG[1750h]~REG[1774h]は予備	237	REG[1780h]~REG[179Eh] Sprite #0~15 Frame Sequence Control Registers	237
2D BitBLTレジスタ			
REG[1800h] BitBLT Control Register 0	239	REG[1802h] BitBLT Control Register 1	239
REG[1804h] BitBLT Control Register 2	240	REG[1806h]は予備	241
REG[1808h] BitBLT Command Register	241	REG[180Ah] BitBLT Raster Operation Code Register	244
REG[1810h] BitBLT Source Base Address Register 0	245	REG[1812h] BitBLT Source Base Address Register 1	245
REG[1814h] BitBLT Source X Start Position Register	246	REG[1816h] BitBLT Source Y Start Position Register	247
REG[1818h] BitBLT Destination Base Address Register 0	248	REG[181Ah] BitBLT Destination Base Address Register 1	248
REG[181Ch] BitBLT Destination X Start Position Register	249	REG[181Eh] BitBLT Destination Y Start Position Register	250
REG[1820h] BitBLT Pattern Start Address Register 0	251	REG[1822h] BitBLT Pattern Start Address Register 1	251
REG[1824h] BitBLT Memory Address Offset Register	251	REG[1826h] BitBLT Width Register	252
REG[1828h] BitBLT Height Register	252	REG[1834h] BitBLT Clipping X Start Position Register	253
REG[1836h] BitBLT Clipping Y Start Position Register	254	REG[1838h] BitBLT Clipping Width Register	254
REG[1840h] BitBLT Clipping Height Register	255	REG[1842h] BitBLT Clipping Status Register	255
REG[1850h] BitBLT Background Color Register 0	256	REG[1852h] BitBLT Background Color Register 1	256

10. レジスタ

表10-3 S1D13513レジスタセット (続き)

レジスタ	ページ	レジスタ	ページ
REG[1854h] BitBLT Foreground Color Register 0	256	REG[1856h] BitBLT Foreground Color Register 1	256
REG[1860h] BitBLT Color Expansion Start Position Register	257	REG[1862h] BitBLT Color Expansion Bit Format Register	258
REG[1870h] BitBLT Alpha Blending Source Format Register	259	REG[1872h] BitBLT Constant Alpha Register	259
REG[1874h] BitBLT Alpha Value Selection Register	260	REG[1876h] BitBLT Alpha Combine Alpha Map Register	261
REG[1880h] BitBLT Interrupt Status Register	261	REG[1882h] BitBLT Interrupt Control Register	262
REG[1886h]は予備	262	REG[1890h] BitBLT FIFO Status Register 0	262
REG[1892h] BitBLT FIFO Status Register 1	262	REG[1894h] BitBLT FIFO Status Register 2	263
REG[1896h] BitBLT FIFO Data Port Register	263	REG[1900h]~REG[1AFEh] BitBLT Color Expansion LUT Data Registers	263
メモリコントローラレジスタ			
REG[1C00h] Memory Control Register	264	REG[1C02h] Memory Configuration Register 0	264
REG[1C04h] Memory Configuration Register 1	265	REG[1C06h] Memory Configuration Register 2	267
REG[1C08h] Memory Advanced Configuration Register	269	REG[1C0Ah] Memory Initialization Configuration Register	270
REG[1C0Ch] Memory Refresh Timer Register	271	REG[1C0Eh]は予備	271
REG[1C10h] SDRAM Mode Setting Value Register	271	REG[1C12h] Mobile SDRAM Configuration Register	271
REG[1C14h] Mobile SDRAM Extended Mode Setting Register	272		
カメラインタフェースレジスタ			
REG[2000h] Camera1 Clock Setting Register	273	REG[2002h] Camera1 Signal Setting Register	274
REG[2004h] Camera2 Clock Setting Register	276	REG[2006h] Camera2 Signal Setting Register	277
REG[2008h]~REG[200Eh]は予備	278	REG[2010h] Camera Mode Setting Register	279
REG[2012h] Camera Frame Setting Register	281	REG[2014h] Camera Control Register	283
REG[2016h] Camera Status Register	285	REG[2020h] Strobe Control Signal Output Delay Setting Register	287
REG[2022h] Strobe Control Signal Pulse Width Setting Register	287	REG[2024h] Strobe Setting Register	287
REG[2028h]~REG[202Eh]は予備	289		
リサイザ操作レジスタ			
REG[2430h] Global Resizer Control Register	290	REG[2432h]~REG[243Eh]は予備	291
REG[2440h] View Resizer Control Register	291	REG[2444h] View Resizer Start X Position Register	292
REG[2446h] View Resizer Start Y Position Register	292	REG[2448h] View Resizer End X Position Register	292
REG[244Ah] View Resizer End Y Position Register	293	REG[244Ch] View Resizer Scaling Rate Register	294
REG[244Eh] View Resizer Scaling Mode Register	296	REG[2460h] Capture Resizer Control Register	296
REG[2464h] Capture Resizer Start X Position Register	297	REG[2466h] Capture Resizer Start Y Position Register	298
REG[2468h] Capture Resizer End X Position Register	298	REG[246Ah] Capture Resizer End Y Position Register	298
REG[246Ch] Capture Resizer Scaling Rate Register	299	REG[246Eh] Capture Resizer Scaling Mode Register	301
YUVキャプチャモジュールレジスタ			
REG[2800h] YUV Capture Control Register	302	REG[2802h] YUV Capture Status Flag Register	303
REG[2804h] YUV Capture Raw Status Flag Register	305	REG[2806h] YUV Capture Interrupt Control Register	307
REG[2808h]は予備	307	REG[280Ah] YUV Capture Start/Stop Control Register	308
REG[280Ch]~REG[280Eh]は予備	308		
YUVキャプチャFIFOレジスタ			
REG[2820h] YUV Capture FIFO Control Register	309	REG[2822h] YUV Capture FIFO Status Register	311
REG[2824h] YUV Capture FIFO Size Register	312	REG[2826h] YUV Capture FIFO Read/Write Port Register	312
REG[2828h] YUV Capture FIFO Valid Data Size Register	313	REG[282Ah]~REG[282Ch]は予備	313
REG[282Eh] YUV Capture FIFO Extend Register	314	REG[2830h]~REG[2870h]は予備	314
REG[2872h] YUV Horizontal Size Register	314	REG[2874h] YUV Vertical Size Register	315
REG[2876h]は予備	315		

表10-3 S1D13513レジスタセット (続き)

レジスタ	ページ	レジスタ	ページ
YRCレジスタ			
REG[3000h] YRC Translate Mode Register	316	REG[3002h] YRC Write Start Address 0 Register 0	320
REG[3004h] YRC Write Start Address 0 Register 1	320	REG[3006h] YRC Write Start Address 1 Register 0	321
REG[3008h] YRC Write Start Address 1 Register 1	321	REG[300Ah]~REG[300Ch]は予備	321
REG[300Eh] YRC UV Data Fix Register	321	REG[3010h] YRC Rectangular Pixel Width Register	322
REG[3012h] YRC Rectangular Line Address Offset Register	322	REG[3014h] YRC Memory Configuration Register	323
PWMレジスタ			
REG[3400h] PWM Control Register	324	REG[3402h] PWM Clock Divide Register	327
REG[3404h] Red On/Off Control Register	327	REG[3406h] Green On/Off Control Register	328
REG[3408h] Blue On/Off Control Register	328	REG[340Ah] PWM Slope Register	329
REG[340Ch] PWM Duty Cycle Register	330	REG[340Eh] White LED Control Register	331
REG[3410h]~REG[3412h]は予備	331		
I2Cレジスタ			
REG[3800h] I2C Control Register	332	REG[3804h] I2C Target Address Register	333
REG[3808h]は予備	333	REG[3810h] I2C Receive/Transmit Data Buffer and Command Register	334
REG[3814h] I2C Standard Speed I2C Clock SCL High Count Register	335	REG[3818h] I2C Standard Speed I2C Clock SCL Low Count Register	336
REG[381Ch] I2C Fast Speed I2C Clock SCL High Count Register	337	REG[3820h] I2C Fast Speed I2C Clock SCL Low Count Register	338
REG[3824h]~REG[3828h]は予備	338	REG[382Ch] I2C Interrupt Status Register	339
REG[3830h] I2C Interrupt Enable Register	342	REG[3834h] I2C Interrupt Raw Status Register	344
REG[3838h] I2C Receive FIFO Threshold Register	347	REG[383Ch] I2C Transmit FIFO Threshold Register	347
REG[3840h] I2C Clear Combined and Individual Interrupt Register	347	REG[3844h] I2C Receive FIFO Underflow Interrupt Clear Register	348
REG[3848h] I2C Receive FIFO Overflow Interrupt Clear Register	348	REG[384Ch] I2C Transmit FIFO Overflow Interrupt Clear Register	348
REG[3850h]は予備	348	REG[3854h] I2C Transmit Abort Interrupt Clear Register	349
REG[3858h]は予備	349	REG[385Ch] I2C Busy Interrupt Clear Register	349
REG[3860h] I2C Stop Interrupt Clear Register	349	REG[3864h] I2C Start Interrupt Clear Register	350
REG[3868h]は予備	350	REG[386Ch] I2C Enable Register	350
REG[3870h] I2C Status Register	351	REG[3874h] I2C Transmit FIFO Level Register	352
REG[3878h] I2C Receive FIFO Level Register	352	REG[3880h] I2C Transmit Abort Source Register	352
REG[3888h]~REG[3890h]は予備	354	REG[38F4h]~REG[38FEh]は予備	354
DMA制御レジスタ			
REG[3C00h] DMA Channel 0 Source Address Register 0	355	REG[3C02h] DMA Channel 0 Source Address Register 1	355
REG[3C04h] DMA Channel 0 Destination Address Register 0	355	REG[3C06h] DMA Channel 0 Destination Address Register 1	355
REG[3C08h] DMA Channel 0 Transfer Count Register 0	356	REG[3C0Ah] DMA Channel 0 Transfer Count Register 1	356
REG[3C0Ch] DMA Channel 0 Control Register 0	356	REG[3C0Eh] DMA Channel 0 Control Register 1	358
REG[3C10h] DMA Channel 1 Source Address Register 0	359	REG[3C12h] DMA Channel 1 Source Address Register 1	359
REG[3C14h] DMA Channel 1 Destination Address Register 0	360	REG[3C16h] DMA Channel 1 Destination Address Register 1	360
REG[3C18h] DMA Channel 1 Transfer Count Register 0	360	REG[3C1Ah] DMA Channel 1 Transfer Count Register 1	360
REG[3C1Ch] DMA Channel 1 Control Register 0	361	REG[3C1Eh] DMA Channel 1 Control Register 1	363
REG[3C60h] DMA Channel Operating Select Register	363	REG[3C64h] DMA Channel Miscellaneous Register	364
REG[3C70h] DMA Channel Transfer Complete Control Register	364		

10. レジスタ

表10-3 S1D13513レジスタセット (続き)

レジスタ	ページ	レジスタ	ページ
コマンドFIFO (BitBLTおよびスプライト用) レジスタ			
コマンドFIFOレジスタは、スプライトレジスタとBitBLTレジスタ (REG[1000h]~REG[17FFh]とREG[1800h]~REG[1FFFh]) のオフセットをミラーしますが、REG[4000h]の基本アドレスから始まります。詳細は、366ページの項10.4.19「コマンドFIFO (BitBLTおよびスプライト用) レジスタ」を参照してください。			
キーパッドインタフェースレジスタ			
REG[5000h] Key Control Register	367	REG[5002h] Key Interface Interrupt Status Register	368
REG[5004h] Key Scan Data Register	369	REG[5006h] Key Scan Input Filter Clock Register	369
REG[5008h] Key GPI Control Register	369	REG[500Ah] Key Scan Output Control Register	370
REG[500Ch] Key Scan GPI Filtered Register	371	REG[500Eh] Key Scan Re-Enable Register	371

10.3 レジスタの制限

予備のビットはすべて、特に指定しない限り**0b**に設定してください。予備のビットに値を書き込むと誤動作することがあります。n/aと示したビットはハードウェアに影響を与えません。レジスタアクセスはすべて**16**ビットでアクセスしてください。

10. レジスタ

10.4 レジスタの説明

10.4.1 ホストインタフェースレジスタ

REG[0000h] Product ID Register 0								読み出し専用
デフォルト=0200h								
改訂コードビット7~0								
15	14	13	12	11	10	9	8	
予備								
7	6	5	4	3	2	1	0	

ビット15~8 改訂コードビット[7:0]
これらのビットは改訂コードを示します。
S1D13513の改訂コードは00hから始まります。たとえば、00hは第1ステップを示し、01hは第2ステップを示します。

ビット7~0 予備
S1D13513の場合、これらのビットは常に0000_0000b (00h)を返します。

REG[0002h] Product ID Register 1								読み出し専用
デフォルト=002Ch								
製品コードビット15~8								
15	14	13	12	11	10	9	8	
製品コードビット7~0								
7	6	5	4	3	2	1	0	

ビット15~0 製品コードビット[15:0]
これらのビットは製品コードを示します。
S1D13513の製品コードは002Chです。

REG[0004h] Embedded Memory Size Register								読み出し専用
デフォルト=0000h								
組み込みメモリサイズビット15~8								
15	14	13	12	11	10	9	8	
組み込みメモリサイズビット7~0								
7	6	5	4	3	2	1	0	

ビット15~0 組み込みメモリサイズビット[15:0]
これらのビットは、組み込みメモリのサイズを示します。S1D13513には組み込みメモリがないため、これらのビットは0000hを返します。

REG[0006h]~REG[0010h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0012h] Indirect Interface Memory Address Register 0							
デフォルト=0000h							読み出し／書き込み
インダイレクトインタフェースメモリアドレスビット15~8							
15	14	13	12	11	10	9	8
インダイレクトインタフェースメモリアドレスビット7~1							インダイレクト インタフェース メモリアクセス 読み出し／ 書き込み選択
7	6	5	4	3	2	1	

REG[0014h] Indirect Interface Memory Address Register 1							
デフォルト=0000h							読み出し／書き込み
予備	インダイレクトインタフェースメモリアドレスビット30~24						
15	14	13	12	11	10	9	8
インダイレクトインタフェースメモリアドレスビット23~16							
7	6	5	4	3	2	1	0

REG[0012h]ビット0 インダイレクトインタフェースメモリアクセス読み出し／書き込み選択
このビットは、**インダイレクトインタフェースモード**だけに使用されます。
このビットはインダイレクトインタフェースメモリアクセスデータポート
(REG[0018h]) からのメモリアクセスを読み出しアクセスにするか書き込みア
クセスにするかを選択します。
ビットが0bのときは、書き込みアクセスが行われます。(デフォルト)
このビットが1bのときは、読み出しアクセスが行われます。

REG[0014h]ビット15 予備
このビットのデフォルト値は0bです。

REG[0014h]ビット14~0

REG[0012h]ビット15~1

インダイレクトインタフェースメモリアドレスビット[30:1]
これらのビットは、**インダイレクトインタフェースモード**だけに使用されます。
これらのビットは、インダイレクトインタフェースが選択されたときに各メモ
リアクセスに使用されるアドレスを指定します。

REG[0014h]ビット9~0、REG[0012h]ビット15~1
=インダイレクトインタフェースメモリアドレスビット25~1

インダイレクトインタフェースを使用したメモリアクセスの詳細は、118ページ
の項8.2「インダイレクトアドレス指定を使用したメモリアクセス」を参照して
ください。

REG[0016h]は予備

このレジスタは予備です。書き込まないでください。

10. レジスタ

REG[0018h] Indirect Interface Memory Access Data Port Register							
デフォルト=0000h							
読み出し／書き込み							
インダイレクトインタフェースメモリアクセスデータポートビット15~8							
15	14	13	12	11	10	9	8
インダイレクトインタフェースメモリアクセスデータポートビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

インダイレクトインタフェースメモリアクセスデータポートビット[15:0]
 これらのビットは、インダイレクトインタフェースモードだけに使用されます。
 これらのビットは、インダイレクトインタフェースのメモリ読み出し／書き込みポートです。インダイレクトインタフェースの使い方の詳細は、438ページの項20.3「インダイレクトインタフェース」を参照してください。

REG[001Ah] Memory Access Status Register							
デフォルト= 0000h 読み出し専用							
メモリビジー	n/a						
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0

ビット 15

メモリービジー
 このビットが 0b のときは、メモリはアクセス可能です。データの読み出し／書き込みは Indirect Interface Memory Access Data Port (REG[0018h]) から可能です。読み出しアクセス終了後の最初のステータス確認でこの状態の場合は、その読み出しアクセスでのデータの読み出しが可能です。
 このビットが 1b のときは、メモリにアクセス中であることを示します。この期間は、新規のメモリアクセスはできません。

REG[001Ch]~REG[001Eh]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0020h] Interrupt Status Register							
デフォルト=0000h							
読み出し／書き込み							
n/a				YUVキャプチャ FIFO割り込み フラグ	予備	DMAC割り込み フラグ	I2C割り込みフラグ
15	14	13	12	11	10	9	8
キー割り込みフラグ	カメラ割り込み フラグ	BitBLT割り込み フラグ	スプライト 割り込みフラグ	GPIO割り込み フラグ	VSYNC割り込み フラグ	予備	ホスト割り込み フラグ
7	6	5	4	3	2	1	0

- ビット11 **YUVキャプチャ FIFO割り込みフラグ**
このビットは、YUVキャプチャ FIFOフラグのうちの1つがトリガされたときに発行されるYUV FIFO割り込みの状態を示します (REG[2802h]ビット10～8を参照)。このビットは、YUVキャプチャFIFO割り込みイネーブルビットREG[0022h]ビット11によってマスクされません。
このビットが0bのときは、YUVキャプチャ FIFO割り込みが発行されていません。
このビットが1bのときは、YUVキャプチャ FIFO割り込みが発行されています。
- このフラグをクリアするには、REG[2802h]ビット10～8のYUVキャプチャ FIFOフラグをクリアしてください。
- ビット10 予備
このビットのデフォルト値は0bです。
- ビット9 **DMAC割り込みフラグ**
このビットは、DMAチャンネル0またはDMAチャンネル1の転送が終了したときに発行されるDMAC割り込みの状態を示します (REG[3C0Ch]ビット1またはREG[3C1Ch]ビット1を参照)。このビットは、DMAC割り込みイネーブルビットREG[0022h]ビット9によってマスクされません。
このビットが0bのときは、DMAC割り込みが発行されていません。
このビットが1bのときは、DMAC割り込みが発行されています。
- このフラグをクリアするには、REG[3C0Ch]ビット1かREG[3C1Ch]ビット1のいずれかの適切なDMAチャンネル転送終了ビットをクリアしてください。
- ビット8 **I2C割り込みフラグ**
このビットは、I2C割り込み状態フラグがトリガ発行されるI2C割り込みの状態を示します (REG[382Ch]を参照)。このビットは、I2C割り込みイネーブルビットREG[0022h]ビット8によってマスクされません。
このビットが0bのときは、I2C割り込みが発行されていません。
このビットが1bのときは、I2C割り込みが発行されています。
- このフラグをクリアするには、REG[382Ch]またはREG[3834h]のI2C割り込み状態フラグをすべてクリアしてください。
- ビット7 **キー割り込みフラグ**
このビットは、キー割り込み状態フラグがトリガされたときに発行されるキーパッドインタフェース割り込みの状態を示します (REG[5002h]とREG[500Eh]を参照)。このビットは、キー割り込みイネーブルビットREG[0022h]ビット7によってマスクされません。
このビットが0bのときは、キー割り込みが発行されていません。
このビットが1bのときは、キー割り込みが発行されています。
- このフラグをクリアするには、REG[500Eh]ビット0に1bを書き込んでください。
- ビット6 **カメラ割り込みフラグ**
このビットは、フレームキャプチャが完了したときに発行されるカメラ割り込みの状態を示します (REG[2014h]ビット1を参照)。このビットは、カメラ割り込みイネーブルビットREG[0022h]ビット6によってマスクされません。
このビットが0bのときは、カメラ割り込みが発行されていません。
このビットが1bのときは、カメラ割り込みが発行されています。
- このフラグをクリアするには、REG[2016h]ビット1のフレームキャプチャ割り込み状態ビットをクリアしてください。

10. レジスタ

ビット5	<p>BitBLT割り込みフラグ このビットは、BitBLTが完了したときに発行されるBitBLT割り込みの状態を示します (REG[1880h]ビット0を参照)。このビットは、BitBLT割り込みイネーブルビットREG[0022h]ビット5によってマスクされません。 このビットが0bのときは、BitBLT割り込みが発行されていません。 このビットが1bのときは、BitBLT割り込みが発行されています。</p> <p>このフラグをクリアするには、REG[1880h]ビット0のBitBLT割り込み状態ビットをクリアしてください。</p>
ビット4	<p>スプライト割り込みフラグ このビットは、スプライト描画プロセスが完了したときに発行されるスプライト割り込みの状態を示します (REG[1708h]ビット1を参照)。このビットは、スプライト割り込みイネーブルビットREG[1706h]ビット1によってマスクされません。 このビットが0bのときは、スプライト割り込みが発行されていません。 このビットが1bのときは、スプライト割り込みが発行されています。</p> <p>このフラグをクリアするには、REG[1708h]ビット1のスプライト未処理割り込み状態ビットをクリアしてください。</p>
ビット3	<p>GPIO割り込みフラグ このビットは、GPIOAとGPIOBのどちらかの割り込み状態ビットが1bを返したときに発行されるGPIO割り込みの状態を示します (REG[0C2Ah]を参照)。このビットは、GPIO割り込みイネーブルビットREG[0022h]ビット3によってマスクされません。 このビットが0bのときは、GPIO割り込みが発行されていません。 このビットが1bのときは、GPIO割り込みが発行されています。</p> <p>このフラグをクリアするには、REG[0C2Ah]のGPIO割り込み状態ビットをクリアしてください。</p>
ビット2	<p>VSYNC割り込みフラグ このビットは、VSYNC割り込み状態ビットが1bを返したときに発行されるVSYNC割り込みの状態を示します (REG[0818h]ビット11を参照)。このビットは、VSYNC割り込みイネーブルビットREG[0022h]ビット2によってマスクされません。 このビットが0bのときは、VSYNC割り込みが発行されていません。 このビットが1bのときは、VSYNC割り込みが発行されています。</p> <p>このフラグをクリアするには、REG[0818h]ビット11のVSYNC割り込み状態ビットをクリアしてください。</p>
ビット1	<p>予備 このビットのデフォルト値は0bです。</p>

ビット0

ホスト割り込みフラグ

このビットは、ホスト読み出し／書き込みサイクルタイムアウト（REG[0026h]ビット1～0を参照）またはホストWAIT#長タイムアウト（REG[0472h]ビット2～0を参照）が生じたときに発行されるホスト割り込みの状態を示します。このビットは、ホスト割り込みイネーブルビットREG[0022h]ビット0によってマスクされません。タイムアウト機能の詳細は、436ページの項20.2「ホストバスタイムアウト機能」を参照してください。

このビットが0bのときは、ホスト割り込みが発行されていません。

このビットが1bのときは、ホスト割り込みが発行されています。

このフラグをクリアするには、REG[0026h]ビット1～0の割り込みフラグをクリアしてください。

10. レジスタ

REG[0022h] Interrupt Control Register							
デフォルト=0000h							
読み出し／書き込み							
n/a				YUVキャプチャ FIFO割り込み イネーブル	予備	DMAC割り込み イネーブル	I2C割り込み イネーブル
15	14	13	12	11	10	9	8
キー割り込み イネーブル	カメラ割り込み イネーブル	BitBLT割り込み イネーブル	スプライト 割り込み イネーブル	GPIO割り込み イネーブル	VSYNC割り込み イネーブル	予備	ホスト割り込み イネーブル
7	6	5	4	3	2	1	0

- ビット11 YUVキャプチャ FIFO割り込みイネーブル
このビットは、YUVキャプチャ FIFO割り込みがINT2#端子に割り込み要求を生成するかどうかを制御します。YUVキャプチャ FIFO割り込みの状態は、YUVキャプチャ FIFO割り込みフラグREG[0020h]ビット11によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。
- ビット10 予備
このビットのデフォルト値は0bです。
- ビット9 DMAC割り込みイネーブル
このビットは、DMAC割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。DMAC 割り込みの状態は、DMAC 割り込みフラグREG[0020h]ビット9によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。
- ビット8 I2C割り込みイネーブル
このビットは、I2C割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。I2C割り込みの状態は、I2C割り込みフラグREG[0020h]ビット8によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。
- ビット7 キー割り込みイネーブル
このビットは、キーパッドインタフェース割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。キー割り込みの状態は、キー割り込みフラグREG[0020h]ビット7によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。
- ビット6 カメラ割り込みイネーブル
このビットは、カメラ割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。カメラ割り込みの状態は、カメラ割り込みフラグREG[0020h]ビット6によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。
- ビット5 BitBLT割り込みイネーブル
このビットは、BitBLT割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。BitBLT 割り込みの状態は、BitBLT 割り込みフラグREG[0020h]ビット5によって示されます。
このビットが0bのときは、割り込み要求を生成しません。
このビットが1bのときは、割り込み要求を生成します。

ビット4	<p>スプライト割り込みイネーブル</p> <p>このビットは、スプライト割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。スプライト割り込みの状態は、スプライト割り込みフラグREG[0020h]ビット4によって示されます。</p> <p>このビットが0bのときは、割り込み要求を生成しません。</p> <p>このビットが1bのときは、割り込み要求を生成します。</p>
ビット3	<p>GPIO割り込みイネーブル</p> <p>このビットは、GPIO割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。GPIO割り込みの状態は、GPIO割り込みフラグREG[0020h]ビット3によって示されます。</p> <p>このビットが0bのときは、割り込み要求を生成しません。</p> <p>このビットが1bのときは、割り込み要求を生成します。</p>
ビット2	<p>VSYNC割り込みイネーブル</p> <p>このビットは、VSYNC割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。VSYNC 割り込みの状態は、VSYNC 割り込みフラグREG[0020h]ビット2によって示されます。</p> <p>このビットが0bのときは、割り込み要求を生成しません。</p> <p>このビットが1bのときは、割り込み要求を生成します。</p>
ビット1	<p>予備</p> <p>このビットのデフォルト値は0bです。</p>
ビット0	<p>ホストインタフェース割り込みイネーブル</p> <p>このビットは、ホスト割り込みがINT2#端子に割り込み要求を生成させるかどうかを制御します。ホスト割り込みの状態は、ホスト割り込みフラグREG[0020h]ビット0によって示されます。</p> <p>このビットが0bのときは、割り込み要求を生成しません。</p> <p>このビットが1bのときは、割り込み要求を生成します。</p>

10. レジスタ

REG[0024h] Host Time-out Control Register							
デフォルト=007Fh							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
ホストタイムアウトイネーブル	ホストタイムアウト値ビット6~0						
7	6	5	4	3	2	1	0

- ビット7 ホストタイムアウトイネーブル
このビットは、ホストバスインタフェースのバスタイムアウト機能を制御します。ホストバスタイムアウトは、ホストがSDRAMをアクセスするときに、ホストサイクルがホストタイムアウト値ビットREG[0024h]ビット6~0によって指定されたタイムアウト値を超えたときに生じます。詳細は、436ページの項20.2「ホストバスタイムアウト機能」を参照してください。
このビットが0bのとき、タイムアウト機能はディスエーブルされます。
このビットが1bのとき、タイムアウト機能はイネーブルされます。
- ビット6~0 ホストタイムアウト値ビット[6:0]
これらのビットは、ホストタイムアウト機能のタイムアウト値をシステムクロックで指定します。これらのビットが00hに設定されたときは、ホストタイムアウトは生じません。

REG[0026h] Bus Error Interrupt Status Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	予備 9	予備 8
n/a						メモリ読み出しエラー割り込みフラグ 1	メモリ書き込みエラー割り込みフラグ 0
7	6	5	4	3	2		

- ビット9 予備
このビットのデフォルト値は0bです。
- ビット8 予備
このビットのデフォルト値は0bです。
- ビット1 メモリ読み出しエラー割り込みフラグ
このビットは、読み出しアクセスが指定された時間内に値を返さないときに発行されるメモリ読み出しエラー割り込みの状態を示します（REG[0024h]ビット6~0を参照）。このビットは、メモリ読み出しエラー割り込みイネーブルビットによってマスクされ、REG[0028h]ビット1=1bのときだけ使用可能です。
このビットが0bのときは、メモリ読み出しエラー割り込みが発行されていません。
このビットが1bのときは、メモリ読み出しエラー割り込みが発行されています。
- ビット0 メモリ書き込みエラー割り込みフラグ
このビットは、書き込みアクセスが指定された時間内に完了しないときに発行されるメモリ書き込みエラー割り込みの状態を示します（REG[0024h]ビット6~0を参照）。このビットは、メモリ書き込みエラー割り込みイネーブルビットによってマスクされ、REG[0028h]ビット0=1bのときだけ使用可能です。
このビットが0bのときは、メモリ書き込みエラー割り込みが発行されていません。
このビットが1bのときは、メモリ書き込みエラー割り込みが発行されています。

REG[0028h] Bus Error Interrupt Control Register							
デフォルト=0000h						読み出し／書き込み	
15	14	13	n/a	12	11	10	9
7	6	5	n/a	4	3	2	1
							8
							0

- ビット9 予備
このビットのデフォルト値は0bです。
- ビット8 予備
このビットのデフォルト値は0bです。
- ビット1 メモリ読み出しエラー割り込みイネーブル
このビットは、メモリ読み出しエラー割り込みを制御します。この状態は、メモリ読み出しエラー割り込みフラグREG[0026h]ビット1によって示されます。このビットが0bのときは、割り込みがディスエーブルされます。このビットが1bのときは、割り込みがイネーブルされます。
- ビット0 メモリ書き込みエラー割り込みイネーブル
このビットは、メモリ書き込みエラー割り込みを制御します。この状態は、メモリ書き込みエラー割り込みフラグREG[0026h]ビット0によって示されます。このビットが0bのときは、割り込みがディスエーブルされます。このビットが1bのときは、割り込みがイネーブルされます。

REG[002Ah] Interrupt Pin Control Register							
デフォルト=0000h						読み出し／書き込み	
INT1#端子割り込みイネーブル 15	INT2#出力制御 14	INT1#出力制御 13	INT2#端子極性選択 12	INT1#端子極性選択 11	10	9	8
7	6	5	n/a	4	3	2	1
							0

- ビット15 INT1#端子割り込みイネーブル
このビットは、INT1#端子がホストに割り込み要求を送るかどうかを制御します。INT1#端子は、REG[0022h]の割り込みイネーブルによってマスクされません。このビットが0bのとき、INT1#端子はホストに割り込み要求を送りません（出力はディスエーブルされます）。このビットが1bのとき、INT1#端子はホストに割り込み要求を送ります（出力がイネーブルされます）。
- ビット14 INT2#出力制御
このビットは、INT2#端子の出力を制御します。概要は、140ページの表10-4「INT[2:1]#出力制御／端子極性選択の概要」を参照してください。このビットが0bで、INT2#端子極性選択ビットがアクティブLowになるように設定されたとき、INT2#は、非アクティブのときにHi-Zに駆動され、アクティブのときにLOWに駆動されます。このビットが0bで、INT2#端子極性選択ビットがアクティブHighになるように設定されたとき、INT2#は、非アクティブのときにLOWに駆動され、アクティブのときにHIGHに駆動されます。このビットが1bのとき、出力は常に、INT2#極性によりHIGHかLOWに駆動されます。

10. レジスタ

ビット13	<p>INT1#出力制御 このビットは、INT1#端子の出力を制御します。概要は、140ページの表10-4「INT[2:1]#出力制御／端子極性選択の概要」を参照してください。 このビットが0bで、INT1#端子極性選択ビットがアクティブLowになるように設定されたとき、INT1#は、非アクティブのときにHi-Zに駆動され、アクティブのときにLOWに駆動されます。 このビットが0bで、INT1#端子極性選択ビットがアクティブHighになるように設定されたとき、INT1#は、非アクティブのときにLOWに駆動され、アクティブのときにHIGHに駆動されます。 このビットが1bのとき、出力は常に、INT1#極性によりHIGHかLOWに駆動されます。</p>
ビット12	<p>INT2#端子極性選択 このビットは、INT2#端子の極性を選択します。概要は、140ページの表10-4「INT[2:1]#出力制御／端子極性選択の概要」を参照してください。 このビットが0bのとき、INT2#端子はアクティブLowです。 このビットが1bのとき、INT2#端子はアクティブHighです。</p>
ビット11	<p>INT1#端子極性選択 このビットは、INT1#端子の極性を選択します。概要は、140ページの表10-4「INT[2:1]#出力制御／端子極性選択の概要」を参照してください。 このビットが0bのとき、INT1#端子はアクティブLowです。 このビットが1bのとき、INT1#端子はアクティブHighです。</p>

表10-4 INT[2:1]#出力制御／端子極性選択の概要

REG[002Ah]ビット12～11	INT1#/INT2#割り込み状態	REG[002Ah]ビット14～13	
		00b	11b
00b	割り込み未発行	INT[2:1]#=HIGHZ	INT[2:1]#=HIGHに駆動
	割り込み発行	INT[2:1]#=LOWに駆動	INT[2:1]#=LOWに駆動
11b	割り込み未発行	INT[2:1]#=LOWに駆動	INT[2:1]#=LOWに駆動
	割り込み発行	INT[2:1]#=HIGHに駆動	INT[2:1]#=HIGHに駆動

REG[002Ch]～REG[002Eh]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0030h] SDRAM Host Page 0 Start Address Register									
デフォルト=0000h									
n/a								読み出し／書き込み	
n/a								SDRAMホストページ0開始アドレスビット25～24	
15	14	13	12	11	10	9	8		
SDRAMホストページ0開始アドレスビット23～18								n/a	
7	6	5	4	3	2	1	0		

ビット9～2	<p>SDRAMホストページ0開始アドレスビット[25:18] これらのビットは、ページ0のメモリ開始アドレスのビット25～18を指定します。このメモリ開始アドレスは、ホストCPUメモリアクセスをSDRAM内の256Kバイトウィンドウにリダイレクトします。ページ0は、メモリアドレス100000h～13FFFFhによってホストCPUからアクセスされます。外部SDRAMメモリへのアクセスの詳細は、116ページの項8.1「ダイレクトアドレス指定を使用したメモリアクセス」を参照してください。 REG[0030h]ビット9～2=SDRAMホストページ0開始アドレスビット[25:18]</p>
--------	---

REG[0032h] SDRAM Host Page 1 Start Address Register									
デフォルト=0000h									
読み出し／書き込み									
n/a								SDRAMホストページ1開始アドレスビット25~24	
15	14	13	12	11	10	9	8		
SDRAMホストページ1開始アドレスビット23~18								n/a	
7	6	5	4	3	2	1	0		

ビット9~2

SDRAMホストページ1開始アドレスビット[25:18]

これらのビットは、ページ1のメモリ開始アドレスのビット25~18を指定します。このメモリ開始アドレスは、ホストCPUメモリアクセスをSDRAM内の256Kバイトウィンドウにリダイレクトします。ページ1は、メモリアドレス140000h~17FFFFhによってホストCPUからアクセスされます。外部SDRAMメモリアクセスの詳細は、116ページの項8.1「ダイレクトアドレス指定を使用したメモリアクセス」を参照してください。

REG[0032h]ビット9~2=ホストSDRAMページ1開始アドレスビット[25:18]

REG[0034h] SDRAM Host Page 2 Start Address Register									
デフォルト=0000h									
読み出し／書き込み									
n/a								SDRAMホストページ2開始アドレスビット25~24	
15	14	13	12	11	10	9	8		
SDRAMホストページ2開始アドレスビット23~18								n/a	
7	6	5	4	3	2	1	0		

ビット9~2

SDRAMホストページ2開始アドレスビット[25:18]

これらのビットは、ページ2のメモリ開始アドレスのビット25~18を指定します。このメモリ開始アドレスは、ホストCPUメモリアクセスをSDRAM内の256Kバイトウィンドウにリダイレクトします。ページ2は、メモリアドレス180000h~1BFFFFhによってHOST CPUからアクセスされます。外部SDRAMメモリへのアクセスの詳細は、116ページの項8.1「ダイレクトアドレス指定を使用したメモリアクセス」を参照してください。

REG[0034h]ビット9~2=ホストSDRAMページ2開始アドレスビット[25:18]

REG[0036h] SDRAM Host Page 3 Start Address Register									
デフォルト=0000h									
読み出し／書き込み									
予備								SDRAMホストページ3開始アドレスビット25~24	
15	14	13	12	11	10	9	8		
SDRAMホストページ3開始アドレスビット23~18								n/a	
7	6	5	4	3	2	1	0		

ビット9~2

ホストSDRAMページ3開始アドレスビット[25:18]

これらのビットは、ページ3のメモリ開始アドレスのビット25~18を指定します。このメモリ開始アドレスは、ホストCPUメモリアクセスをSDRAM内の256Kバイトウィンドウにリダイレクトします。ページ3は、メモリアドレス1C0000h~1FFFFFhによってホストCPUからアクセスされます。外部SDRAMメモリへのアクセスの詳細は、116ページの項8.1「ダイレクトアドレス指定を使用したメモリアクセス」を参照してください。

REG[0036h]ビット7~0=ホストSDRAMページ3開始アドレスビット[25:18]

REG[0038h]~REG[0042h]は予備

これらのレジスタは予備です。書き込まないでください。

10. レジスタ

REG[0044h] Host Configuration Register									
デフォルト=0000h					読み出し／書き込み				
プリフェッチバッファ ディセーブル	n/a				予備	n/a			
15	14	13	12	11	10	9	8		
n/a			予備		予備		予備		
7	6	5	4	3	2	1	0		

ビット15 プリフェッチバッファディセーブル
 このビットは、メモリアクセスの加速に使われるプリフェッチバッファを使用するかどうかを制御します。プリフェッチバッファがイネーブルの場合、メモリのデータにコヒーレンシ問題が生ずる可能性があります。(441ページの項20.4「先読み機能」を参照してください。)
 このビットが0bのとき、プリフェッチバッファはイネーブルされます。(デフォルト)
 このビットが1bのとき、プリフェッチバッファはディセーブルされます。

1. メモリインダイレクトアクセスでは、プリフェッチバッファはイネーブルにしてください。
3. このビットは、製品のレビジョンが02hの場合のみ有効です。製品のレビジョンが00hまたは01hの場合はプリフェッチバッファはこのビットの設定に関わらず常にイネーブルされます。製品のレビジョンは”REG[0000h] bits 15-8 Product ID Register 0”でご確認ください。

ビット10 予備
 このビットは常に0bに設定してください。

ビット3-1 予備
 これらのビットは常に000bに設定してください。

ビット0 予備
 このビットは常に0bに設定してください。

10.4.2 システム制御レジスタ

REG[0400h]～REG[0404h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0406h] Configuration Pins Status Register								読み出し専用
デフォルト=xxxxh								
15	14	13	12	11	10	9	CNF8状態 8	
n/a								
CNF[7:0]状態								
7	6	5	4	3	2	1	0	

ビット8～0

CNF[8:0]状態ビット（読み出し専用）

これらのビットは、対応するS1D13513設定端子CNF[8:0]の現在の状態を示します。CNF[8:0]端子の状態は、RESET#の立ち上がりエッジでのみ有効です。CNF[8:0]端子の状態がRESET#の立ち上がりエッジの後で変更されると、その変更は無効ですが、その変更がこのレジスタに示されます。各設定端子の機能の詳細は、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。

REG[0408h] OSC1 Control Register								読み出し／書き込み
デフォルト=0000h								
15	14	13	12	11	10	9	8	
n/a								
n/a								OSC1イネーブル
7	6	5	4	3	2	1	0	

ビット0

OSC1イネーブル

このビットはOSC1を制御します。OSC1の代表的な用途は、PLL1ソースが使用できないときにパネルインタフェースのクロックソースを提供することです。クロック構造の詳細図は、119ページの図9-1「クロック図」を参照してください。このビットが0bのとき、OSC1はディスエーブルされます。（デフォルト）このビットが1bのとき、OSC1はイネーブルされます。

注

1. PLL2ソース（REG[0440h]ビット1～0=00b）としてOSC1を選択した場合は、OSC1をディスエーブルする前にLCD出力をディスエーブルしてください（REG[0830h]ビット0=0b）。
2. このビットは、ソフトウェアリセットによる影響を受けません。
3. OSC1をイネーブルした後は、発振器が安定するまで待ってから次のレジスタ書き込みを行ってください。発振器が安定するのに必要な時間は、実装された水晶振動子回路に依存することに注意してください。

10. レジスタ

REG[040Ah] OSC2 Control Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							OSC2イネーブル
7	6	5	4	3	2	1	0

ビット0

OSC2イネーブル

このビットはOSC2を制御します。OSC2の代表的な用途は、YUVデジタル出力用27MHzクロックソースを提供することです。クロック構造の詳細図は、119ページの図9-1「クロック図」を参照してください。

このビットが0bのとき、OSC2はディスエーブルされます。(デフォルト)
このビットが1bのとき、OSC2はイネーブルされます。

注

1. PLL2ソース (REG[0440h]ビット1~0=01b) としてOSC2を選択した場合は、OSC2をディスエーブルする前にLCD出力をディスエーブルしてください (REG[0830h]ビット0=0b)。
2. このビットは、ソフトウェアリセットによる影響を受けません。
3. OSC2をイネーブルした後、発振器が安定するまで待ってから次のレジスタ書き込みを行ってください。発振器が安定するのに必要な時間は、実装された水晶振動子回路に依存することに注意してください。

REG[040Ch] PLL1 Configuration Register 0							
デフォルト=0000h							読み出し／書き込み
PLL1 RSビット3~0				PLL1 VCビット3~0			
15	14	13	12	11	10	9	8
予備		PLL1 V分周ビット1~0		PLL1 Nマルチプライヤビット3~0			
7	6	5	4	3	2	1	0

注

PLL1に50MHzの基準クロックが入力されたとき、8311hを設定するとPLL2出力は100MHzになります。

ビット15~12

PLL1 RSビット[3:0]

これらのビットは、Lowパスフィルタ (LPF) 抵抗に使用するため、PLL1基準クロックの周波数に応じて設定してください。

表10-5 PLL1 RS設定

REG[040Ch]ビット15~12	PLL1基準クロック周波数
0000b~0111b	予備
1000b	$20\text{MHz} \leq f_{\text{PLL1REFCLK}} \leq 150\text{MHz}$
1001b	予備
1010b	$5\text{MHz} \leq f_{\text{PLL1REFCLK}} \leq 20\text{MHz}$
1011b~1111b	予備

ビット11～8

PLL1 VCビット[3:0]

これらのビットは、PLL1のアナログ調整ピンを設定するため、VCO周波数に従って設定してください。

表10-6 PLL1 VC構成

REG[040Ch]ビット11～8	PLL1 VCO周波数
0000b	予備
0001b	100MHz ≤ fVCO ≤ 120MHz
0010b	120MHz < fVCO ≤ 160MHz
0011b	160MHz < fVCO ≤ 200MHz
0100b	200MHz < fVCO ≤ 240MHz
0101b	240MHz < fVCO ≤ 280MHz
0110b	280MHz < fVCO ≤ 320MHz
0111b	320MHz < fVCO ≤ 360MHz
1000b	360MHz < fVCO ≤ 400MHz
1001b～1111b	予備

ビット7～6

予備

これらのビットのデフォルト値は00bです。

ビット5～4

PLL1 V分周ビット[1:0]

これらのビットは、VCO周波数を100MHz～400MHzに設定するためのV倍値です。以下の式に従って設定してください。

$$fVCO = fPLL1OUT \times VV$$

ここで、

fVCOは、MHzで表したVCOの周波数です。

fPLL1OUTは、MHzで表した希望するPLL1出力周波数です（Nマルチプライヤビットを参照）。VVは、次のようなV分周ビットに基づく値です。

表10-7 VV値

REG[040Ch]ビット5～4	VV値
00b	予備
01b	2
10b	4
11b	8

注

通常、VVは2に設定されます。fPLL1OUTが50MHzより低いときは、VVを4または8に設定してVCCOを安定させてください。また、得られたfVCOに従ってPLL1 VCビット（REG[040Ch]ビット11～8）を設定してください。VCO（fVCO）の周波数は、常に100MHz～400MHzにしてください。

10. レジスタ

ビット3～0

PLL1 Nマルチプライヤビット[3:0]

これらのビットは、以下の式に従ってPLL1の出力周波数を決定するために使用します。

$$f_{PLL1OUT} = f_{PLL1REFCLK} \times NN$$

ここで、

$f_{PLL1OUT}$ は、MHzで表した希望するPLL1出力周波数です。

$f_{PLL1REFCLK}$ は、MHzで表したPLL1基準クロック入力周波数です。

NNは、Nマルチプライヤ値+1です。

REG[040Eh] PLL1 Configuration Register 1

デフォルト=0000h

読み出し／書き込み

PLL1構成1ビット15～8							
15	14	13	12	11	10	9	8
PLL1構成1ビット7～0							
7	6	5	4	3	2	1	0

ビット15～0

PLL1構成1ビット[15:0]

これらのビットは、PLL1を構成するために使用します。0040hの推奨値に設定してください。

REG[0410h] PLL1 Control Register

デフォルト=0000h

読み出し／書き込み

n/a							
15	14	13	12	11	10	9	8
n/a							PLL1イネーブル
7	6	5	4	3	2	1	0

ビット0

PLL1イネーブル

このビットはPLL1を制御します。PLL1は、PLL1コンフィギュレーションレジスタREG[040Ch]～REG[040Eh]を変更する前にディスエーブルにしてください。

このビットが0bのとき、PLL1はディスエーブルされ、パワーダウン状態になります。(デフォルト)

このビットが1bのとき、PLL1はイネーブルされます。

REG[0412h]は予備

このレジスタは予備です。書き込まないでください。

REG[0414h] PLL2 Configuration Register 0

デフォルト=0000h

読み出し／書き込み

PLL2 RSビット3~0				PLL2 VCビット3~0			
15	14	13	12	11	10	9	8
予備		PLL2 V分周ビット1~0		PLL2 Nマルチプライヤビット3~0			
7	6	5	4	3	2	1	0

注

PLL2に5.95MHzの基準クロックが入力されたとき、A333hを設定するとPLL2出力は23.8MHzになります。

ビット15~12

PLL2 RSビット[3:0]

これらのビットは、Lowパスフィルタ（LPF）抵抗に使用するため、PLL2基準クロックの周波数に基づいて設定してください。

表10-8 PLL2 RS構成

REG[0414h]ビット15~12	PLL2基準クロック周波数
0000b~0111b	予備
1000b	$20\text{MHz} \leq f_{\text{PLL2REFCLK}} \leq 150\text{MHz}$
1001b	予備
1010b	$5\text{MHz} \leq f_{\text{PLL2REFCLK}} \leq 20\text{MHz}$
1011b~1111b	予備

ビット11~8

PLL2 VCビット[3:0]

これらのビットは、PLL2用のアナログ調整ピンを設定するため、VCO周波数に従って設定してください。

表10-9 PLL2 VC設定

REG[0414h]ビット11~8	PLL2 VCO周波数
0000b	予備
0001b	$100\text{MHz} \leq f_{\text{VCO}} \leq 120\text{MHz}$
0010b	$120\text{MHz} < f_{\text{VCO}} \leq 160\text{MHz}$
0011b	$160\text{MHz} < f_{\text{VCO}} \leq 200\text{MHz}$
0100b	$200\text{MHz} < f_{\text{VCO}} \leq 240\text{MHz}$
0101b	$240\text{MHz} < f_{\text{VCO}} \leq 280\text{MHz}$
0110b	$280\text{MHz} < f_{\text{VCO}} \leq 320\text{MHz}$
0111b	$320\text{MHz} < f_{\text{VCO}} \leq 360\text{MHz}$
1000b	$360\text{MHz} < f_{\text{VCO}} \leq 400\text{MHz}$
1001b~1111b	予備

ビット7~6

予備

これらのビットのデフォルト値は00bです。

10. レジスタ

ビット5～4

PLL2 V分周ビット[1:0]

これらのビットは、VCO周波数を100MHz～400MHzに設定するためのV倍値です。以下の式に従って設定してください。

$$fVCO = fPLL2OUT \times VV$$

ここで

fVCOは、MHzで表したVCOの周波数です。

fPLL2OUTは、MHzで表した希望するPLL2出力周波数です（Nマルチプライヤビットを参照）。VVは、次のようなV分周ビットに基づく値です。

表10-10 VV値

REG[0414h]ビット5～4	VV値
00b	予備
01b	2
10b	4
11b	8

注

通常、VVは2に設定されます。fPLL2OUTが50MHzより低いときは、VVを4または8に設定することによりVCCOを安定させてください。また、PLL2 VCビット（REG[0414h]ビット11～8）は、得られたfVCOに従って設定してください。VCO（fVCO）の周波数は、常に100MHz～400MHzにしてください。

ビット3～0

Nマルチプライヤビット[3:0]

これらのビットは、以下の式によりPLL2の出力周波数を決定するために使用されます。

$$fPLL2OUT = fPLL2REFCLK \times NN$$

ここで

fPLL2OUTは、MHzで表した希望するPLL2出力周波数です。

fPLL2REFCLKは、MHzで表したPLL2基準クロック入力周波数です。

NNは、Nマルチプライヤ値+1です。

REG[0416h] PLL2 Configuration Register 1							
デフォルト=0000h							
読み出し／書き込み							
PLL2構成1ビット15～8							
15	14	13	12	11	10	9	8
PLL2構成1ビット7～0							
7	6	5	4	3	2	1	0

ビット15～0

PLL2構成1ビット[15:0]

これらのビットは、PLL2を構成するために使用します。0040hの推奨値に設定してください。

REG[0418h] PLL2 Control Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							PLL2イネーブル
7	6	5	4	3	2	1	0

ビット0 PLL2イネーブル
 このビットはPLL2を制御します。PLL2は、PLL2 コンフィギュレーションレジスタ (REG[0414h]~REG[0416h]) を変更する前にディスエーブルにしてください。
 このビットが0bのとき、PLL2はディスエーブルされ、パワーダウン状態になります。(デフォルト)
 このビットが1bのとき、PLL2はイネーブルされます。

REG[041Ah]~REG[0422h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0424h] PLL1 Reference Clock Divide Select Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a						PLL1基準クロック分周選択ビット1~0	
7	6	5	4	3	2	1	0

ビット1~0 PLL1基準クロック分周選択ビット[1:0]
 これらのビットは、PLL1基準クロックに使用されるクロックに適用する分周比を決定します。PLL1基準クロックは、RESET#の立ち上がりエッジでCNF[8:7]ピンによって選択されたクロック入力から得られます。得られたクロックは、PLL1基準クロック (PLL1に入力される) として使用することも、PLL2基準クロック (PLL2に入力される) として使用することもできます。これらのオプションの詳細は、119ページの項9.「クロック」を参照してください。

表10-11 PLL1基準クロック分周比選択

REG[0424h]ビット1~0	PLL1ソース分周比
00b	1:1 (リセット後のデフォルト)
01b	1:2
10b	1:4
11b	1:8

10. レジスタ

REG[0426h] PLL1 Control Register 0							
デフォルト=0000h							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a							PLL1基準クロック 選択
7	6	5	4	3	2	1	0

ビット0

PLL1基準クロック選択

このビットは、PLL1基準クロックが、REG[0424h]ビット1～0によって制御された分周をするかどうかを選択します。

このビットが0bのとき、PLL1基準クロックは、CNF[8:7]端子によって選択されたクロックです。(デフォルト)

このビットが1bのとき、PLL1基準クロックは、REG[0424h]ビット1～0によって指定された分周クロックです。

REG[0428h] PLL1 Control Register 1							
デフォルト=0000h							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a							PLL1出力 イネーブル
7	6	5	4	3	2	1	0

ビット0

PLL1出力イネーブル

このビットは、SDRAMCLKとSYSCLKのソースとして使用されるPLL1の出力を制御します (SYSCLKは自動的にSDRAMCLKの1/2になります)。詳細は、119ページの項9.「クロック」を参照してください。

PLL1出力をイネーブルする前に、PLL1コンフィギュレーションレジスタ (REG[040Ch] ~ REG[040Eh]) は適切な値に設定してください。詳細は、REG[040Ch]~REG[040Eh]のビットの説明を参照してください。

このビットが0bのとき、PLL1出力はディスエーブルされます。(デフォルト)
このビットが1bのとき、PLL1出力はイネーブルされます。

注

PLL1出力がディスエーブルされる時、PLL1基準クロックをSDRAMCLKとSYSCLKのソースとして使用することができます。

PLL1をイネーブルするには、以下の手順に従ってください。

1. PLL1を目標周波数に対して設定し、REG[040Ch]～REG[040Eh]をプログラムします。
2. PLL1をイネーブルし、REG[0410h]ビット0=1bに設定します。
3. PLL1出力が安定するのを待ちます。
4. PLL1出力をイネーブルしREG[0428h]ビット0=1bにします。

REG[042Ch] Key Clock Control Register							
デフォルト=0000h							読み出し／書き込み
n/a			キーロック イネーブル	キーロック分周選択ビット11~8			
15	14	13	12	11	10	9	8
キーロック分周選択ビット7~0							
7	6	5	4	3	2	1	0

ビット12

キーロックイネーブル

このビットは、キーパッドインタフェースに使用されるクロック (KEYCLK) を制御します。クロックは、キーロック分周選択ビットREG[042Ch]ビット11~0を使ってSYSCLKから得られます。KEYCLKの詳細は、119ページの項9.「クロック」を参照してください。

このビットが0bのとき、キーパッドインタフェースクロック (KEYCLK) はディスエーブルされます。

このビットが1bのとき、キーパッドインタフェースクロック (KEYCLK) はイネーブルされます。

ビット11~0

キーロック分周選択ビット[11:0]

これらのビットは、キーパッドインタフェースクロック (KEYCLK) を決定するために使用される分周比を選択します。KEYCLK のソースクロックはSYSCLKです。KEYCLKの詳細は、119ページの項9.「クロック」を参照してください。

表10-12 キーパッドインタフェースクロック分周比選択

REG[042Ch]ビット11~0	分周比
000h	1:1
001h	1:2
002h	1:3
•	•
•	•
•	•
FFDh	1:4094
FFEh	1:4095
FFFh	1:4096

10. レジスタ

REG[042Eh] PWM Source Clock Control Register							
デフォルト=0000h							読み出し／書き込み
n/a			PWMソース クロック イネーブル	PWMソースクロック分周選択ビット11~8			
15	14	13	12	11	10	9	8
PWMソースクロック分周選択ビット7~0							
7	6	5	4	3	2	1	0

ビット12

PWMソースクロックイネーブル

このビットは、PWMインタフェースに使用されるクロック (PWMSRCCLK) を制御します。クロックは、PWMクロック分周選択ビットREG[042Eh]ビット11~0を使ってSYSCLKから得られます。PWMSRCCLKの詳細は、119ページの項9.「クロック」を参照してください。

このビットが0bのとき、PWMインタフェースクロック (PWMSRCCLK) はディスエーブルされます。

このビットが1bのとき、PWMインタフェースクロック (PWMSRCCLK) はイネーブルされます。

ビット11~0

PWMソースクロック分周選択ビット[11:0]

これらのビットは、PWMインタフェースクロック (PWMSRCCLK) を決定するために使用される分周比を選択します。PWMSRCCLKのソースクロックはSYSCLKです。PWMSRCCLKの詳細は、119ページの項9.「クロック」を参照してください。

表10-13 PWMソースクロック分周比選択

REG[042Eh]ビット11~0	分周比
000h	1:1
001h	1:2
002h	1:3
•	•
•	•
•	•
FFDh	1:4094
FFEh	1:4095
FFFh	1:4096

REG[0430h] I2C Clock Control Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
I2Cクロック分周選択ビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

I2Cクロック分周選択ビット[7:0]

これらのビットは、I2Cインタフェースクロック（I2CCLK）を決定するために使用される分周比を選択します。I2CCLKのソースクロックはSYSCLKです。I2CCLKの詳細は、119ページの項9.「クロック」を参照してください。

I2Cインタフェースクロック分周比=REG[0430h]ビット7~0+1

表10-14 I2Cインタフェースクロック分周比選択

REG[0430h]ビット7~0	分周比
00h	1:1
01h	1:2
02h	1:3
•	•
•	•
•	•
FDh	1:254
FEh	1:255
FFh	1:256

REG[0440h] PLL2 Control Register 0							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a						PLL2ソース選択ビット1~0	
7	6	5	4	3	2	1	0

ビット1~0

PLL2ソース選択ビット[1:0]

これらのビットは、PLL2ソースに使用されるクロックを選択します。PLL2ソースは、パネルインタフェースのために使用されるクロックを得るために使用されます。詳細は、119ページの項9.「クロック」を参照してください。

表10-15 PLL2ソース選択

REG[0440h]ビット1~0	PLL2ソース
00b (デフォルト)	OSC1クロック
01b	OSC2クロック
10b	CLKI3端子
11b	BUSCLK端子

10. レジスタ

REG[0442h] PLL2 Control Register 1											
デフォルト=0000h							読み出し／書き込み				
n/a											
15	14	13	12	11	10	9	8				
n/a							PLL2基準クロック分周選択ビット1~0				
7	6	5	4	3	2	1	0				

ビット1~0

PLL2基準クロック分周選択ビット[1:0]

これらのビットは、PLL2基準クロックに適用される分周比を決定します。PLL2基準クロックは、PLL2ソース選択ビットREG[0440h]ビット1~0によって選択されたクロック入力から得られます。得られたクロックは、PLL2基準クロック(PLL2に入力される)として使用されます。これらのオプションの詳細は、119ページの項9.「クロック」を参照してください。

表10-16 PLL2基準クロック分周比選択

REG[0442h]ビット1~0	PLL2基準クロック分周比
00b (デフォルト)	1:1
01b	1:2
10b	1:4
11b	1:8

REG[0444h] PLL2 Control Register 2											
デフォルト=0000h							読み出し／書き込み				
n/a											
15	14	13	12	11	10	9	8				
n/a							PLL2基準クロックソース選択ビット1~0				
7	6	5	4	3	2	1	0				
							PLL2出力イネーブル				

ビット3~2

PLL2基準クロックソース選択ビット[1:0]

これらのビットは、PLL2基準クロックのソースとするクロックを選択します。詳細は、119ページの項9.「クロック」を参照してください。

表10-17 PLL2基準クロックソース選択

REG[0444h]ビット3~2	PLL2基準クロックソース
00b (デフォルト)	PLL2ソース
01b	PLL2分周ソース (REG[0442h]ビット1~0を参照)
10b	予備
11b	予備

ビット0

PLL2出力イネーブル

このビットは、LCDDCLKまたはLCDSCLKを得るために使用されるPLL2の出力を制御します。詳細は、119ページの項9.「クロック」を参照してください。

PLL2 出力をイネーブルする前に、PLL2 コンフィギュレーションレジスタ (REG[0414h]~REG[0416h]) を適切な値に設定してください。詳細は、REG[0414h]~REG[0416h]のビットの説明を参照してください。

このビットが0bのとき、PLL2出力はディスエーブルされます。(デフォルト)
このビットが1bのとき、PLL2出力はイネーブルされます。

注

PLL2出力がディスエーブルされる時、PLL2基準クロックをLCDDCLKまたはLCDSCLKソースとして使用することができます。

PLL2をイネーブルするときは、以下の手順に従ってください。

1. PLL2基準クロック REG[0444h] ビット3～2に使用するクロックを選択します。
2. 必要に応じて REG[0408h]、REG[040Ah]、REG[0440h]、REG[0442h] を設定します。
3. PLL2を目標周波数に対して設定し、REG[0414h]～REG[0416h]をプログラムします。
4. PLL2をイネーブルし、REG[0418h]ビット0=1bに設定します。
5. PLL2出力が安定するのを待ちます。
6. PLL2出力をイネーブルし、REG[0444h]ビット0=1bにします。

10. レジスタ

REG[0446h] LCD Clock Control Register 0							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a			LCDDCLK分周選択ビット4~0				
7	6	5	4	3	2	1	0

ビット4~0

LCDDCLK分周選択ビット[4:0]

これらのビットは、REG[0444h]ビット0によって選択されるPLL2出力とPLL2基準クロックのどちらかからLCDパネルクロック (LCDDCLK) を生成するために使用される分周比を選択します。これらのビットを変更できるのは、LCDインタフェースが非アクティブで、REG[0830h]ビット2=0bのときだけです。

表10-18 LCDDCLK分周選択

REG[0446h]ビット4~0	LCDDCLK分周比	REG[0446h]ビット4~0	LCDDCLK分周比
00000b (00h)	予備	10000b (10h)	予備
00001b (01h)	1:2	10001b (11h)	1:18
00010b (02h)	予備	10010b (12h)	予備
00011b (03h)	1:4	10011b (13h)	1:20
00100b (04h)	予備	10100b (14h)	予備
00101b (05h)	1:6	10101b (15h)	1:22
00110b (06h)	予備	10110b (16h)	予備
00111b (07h)	1:8	10111b (17h)	1:24
01000b (08h)	予備	11000b (18h)	予備
01001b (09h)	1:10	11001b (19h)	1:26
01010b (0Ah)	予備	11010b (1Ah)	予備
01011b (0Bh)	1:12	11011b (1Bh)	1:28
01100b (0Ch)	予備	11100b (1Ch)	予備
01101b (0Dh)	1:14	11101b (1Dh)	1:30
01110b (0Eh)	予備	11110b (1Eh)	予備
01111b (0Fh)	1:16	11111b (1Fh)	1:32

REG[0448h] LCD Clock Control Register 1							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				LCDSCLK分周選択ビット4~0			
7	6	5	4	3	2	1	0

ビット4~0

LCDSCLK分周選択ビット[4:0]

これらのビットは、REG[0444h]ビット0によって選択されるPLL2出力とPLL2基準クロックのどちらかからLCDシリアルコマンドインタフェース用のシリアルクロック (LCDSCLK) を生成するために使用される分周比を選択します。

表10-19 LCDSCLK分周選択

REG[0448h]ビット4~0	LCDSCLK分周比	REG[0448h]ビット4~0	LCDSCLK分周比
00000b (00h)	予備	10000b (10h)	予備
00001b (01h)	1:2	10001b (11h)	1:18
00010b (02h)	予備	10010b (12h)	予備
00011b (03h)	1:4	10011b (13h)	1:20
00100b (04h)	予備	10100b (14h)	予備
00101b (05h)	1:6	10101b (15h)	1:22
00110b (06h)	予備	10110b (16h)	予備
00111b (07h)	1:8	10111b (17h)	1:24
01000b (08h)	予備	11000b (18h)	予備
01001b (09h)	1:10	11001b (19h)	1:26
01010b (0Ah)	予備	11010b (1Ah)	予備
01011b (0Bh)	1:12	11011b (1Bh)	1:28
01100b (0Ch)	予備	11100b (1Ch)	予備
01101b (0Dh)	1:14	11101b (1Dh)	1:30
01110b (0Eh)	予備	11110b (1Eh)	予備
01111b (0Fh)	1:16	11111b (1Fh)	1:32

10. レジスタ

REG[0460h] Software Reset Register							
デフォルト=0000h							読み出し／書き込み
ソフトウェアリセットビット15~8							
15	14	13	12	11	10	9	8
ソフトウェアリセットビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

ソフトウェアリセットビット[15:0]

これらのビットは、S1D13513のソフトウェアリセットを実行するために使用されます。これらのビットに「A55Ah」の値を書き込むと、同期レジスタはすべてそのデフォルト値にリセットされます。このレジスタによるソフトウェアリセットは、外部SDRAMメモリの内容を修正しません。

注

このレジスタに書き込まれたA55Ah以外のすべてのデータはリードバックすることができます。

REG[0462h] Clock Enable Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a		コマンドFIFO CLK イネーブル	予備	PCLKイネーブル	HCLK2イネーブル	HCLK1イネーブル	予備
7	6	5	4	3	2	1	0

ビット5

コマンドFIFO CLKイネーブル

このビットは、コマンドFIFOに対する読み出し／書き込みアクセスに使用される内部クロックを制御します。

このビットが0bのとき、コマンドFIFO CLKはディスエーブルされます。

このビットが1bのとき、コマンドFIFO CLKはイネーブルされます。

ビット4

予備

このビットのデフォルト値は0bです。

ビット3

PCLKイネーブル

このビットは、同期レジスタに対する読み出し／書き込みアクセスに使用される内部クロックを制御します。このビットは、PLLが安定した後で、同期レジスタのいずれかにアクセスする前にイネーブルにしてください(121ページの項10.1「レジスタマッピング」を参照)。同期レジスタを使用しない場合、このビットをディスエーブルするとさらに節電することができます。

このビットが0bのとき、PCLKはディスエーブルされます。

このビットが1bのとき、PCLKはイネーブルされます。

ビット2

HCLK2イネーブル

このビットは、LCDCとSDRAMに使用される内部クロックを制御します。このビットは、PLLが安定した後で、LCDCとSDRAMのどちらかを使用する前にイネーブルにしてください。どちらも使用しない場合は、このビットをディスエーブルするとさらに節電することができます。

このビットが0bのとき、HCLK2はディスエーブルされます。

このビットが1bのとき、HCLK2はイネーブルされます。

ビット1	<p>HCLK1イネーブル</p> <p>このビットは、YUV、YRC、ホスト、カメラおよびSDRAMアクセスに使用される内部クロックを制御します。このビットは、PLLが安定した後で、これらのインタフェースのいずれかにアクセスまたは設定を行う前にイネーブルにしてください。これらのインタフェースのいずれをも使用しない場合、このビットをディスエーブルするとさらに節電することができます。</p> <p>このビットが0bのとき、HCLK1はディスエーブルされます。</p> <p>このビットが1bのとき、HCLK1はイネーブルされます。</p>
ビット0	<p>予備</p> <p>このビットのデフォルト値は0bです。</p>

10. レジスタ

REG[0464h] GPIOC&D Pull-down Resistor Control Register							
デフォルト=0000h							読み出し／書き込み
n/a			GPIOD[3:0]プルダウン制御ビット3~0				
15	14	13	12	11	10	9	8
GPIOC[7:0]プルダウン制御ビット7~0							
7	6	5	4	3	2	1	0

ビット11~8

GPIOD[3:0]プルダウン制御ビット[3:0]

これらのビットは、それぞれ対応するGPIOD[3:0]端子のプルダウン抵抗を制御します。GPIOD[3:0]端子の可能な使用法については、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」と44ページの項5.6「GPIOの端子割り付け」を参照してください。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。(リセット後のデフォルト)

このビットが1bのとき、対応するプルダウン抵抗がディスエーブルされます。

ビット7~0

GPIOC[7:0]プルダウン制御ビット[7:0]

これらのビットは、それぞれ対応するGPIOC[7:0]端子のプルダウン抵抗を制御します。GPIOC[7:0]端子の可能な使用法については、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」と44ページの項5.6「GPIOの端子割り付け」を参照してください。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。(リセット後のデフォルト)

このビットが1bのときは、対応するプルダウン抵抗がディスエーブルされます。

REG[0466h]は予備

このレジスタは予備です。書き込まないでください。

REG[0468h] GPIOG&H Pull-down Resistor Control Register							
デフォルト=0000h							読み出し／書き込み
n/a		GPIOH[5:0]プルダウン制御ビット5~0					
15	14	13	12	11	10	9	8
n/a		GPIOG[4:0]プルダウン制御ビット4~0					
7	6	5	4	3	2	1	0

ビット13~8

GPIOH[5:0]プルダウン制御ビット[5:0]

これらのビットは、それぞれ対応するGPIOH[5:0]端子のプルダウン抵抗を制御します。GPIOH[5:0]端子の可能な使用法については、21ページの項5.2.2「LCDインタフェース」と44ページの項5.6「GPIOの端子割り付け」を参照してください。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。(リセット後のデフォルト)

このビットが1bのときは、対応するプルダウン抵抗がディスエーブルされます。

注

GPIOH[5:0]端子は、FPDAT[23:18]端子と多重化されており、24ビットパネルを使用するときは使用できません。

ビット4～0

GPIOG[4:0]プルダウン制御ビット[4:0]

これらのビットは、それぞれ対応するGPIOG[4:0]端子のプルダウン抵抗を制御します。GPIOH[4:0]端子の可能な使用法については、21ページの項5.2.2「LCDインタフェース」と44ページの項5.6「GPIOの端子割り付け」を参照してください。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。

(リセットの後のデフォルト)

このビットが1bのときは、対応するプルダウン抵抗がディスエーブルされます。

注

GPIOG[4:0]端子は、一部のパネルタイプによって使用され、汎用IO端子として使用できない場合があります。

REG[046Ah] MEMDQ Pull-down Resistor Control Register 0

デフォルト=0000h

読み出し／書き込み

MEMDQ[15:8]プルダウン制御ビット15～8							
15	14	13	12	11	10	9	8
MEMDQ[7:0]プルダウン制御ビット7～0							
7	6	5	4	3	2	1	0

REG[046Ch] MEMDQ Pull-down Resistor Control Register 1

デフォルト=0000h

読み出し／書き込み

MEMDQ[31:24]プルダウン制御ビット31～24							
15	14	13	12	11	10	9	8
MEMDQ[23:16]プルダウン制御ビット23～16							
7	6	5	4	3	2	1	0

ビット15～0

MEMDQ[31:0]プルダウン制御ビット[31:0]

これらのビットは、それぞれ対応するMEMDQ[31:0]端子のプルダウン抵抗を制御します。端子の詳細は、24ページの項5.2.3「SDRAMインタフェース」を参照してください。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。

(リセット後のデフォルト)

このビットが1bのときは、対応するプルダウン抵抗がディスエーブルされます。

REG[046Eh] CNF Pull-down Resistor Control Register

デフォルト=0000h

読み出し／書き込み

n/a							CNF8プルダウン制御ビット8
15	14	13	12	11	10	9	8
CNF[7:0]プルダウン制御ビット7～0							
7	6	5	4	3	2	1	0

ビット8～0

CNF[8:0]プルダウン制御ビット[8:0]

これらのビットは、それぞれ対応するCNF[8:0]端子のプルダウン抵抗を制御します。CNF[8:0]端子は、SID13513の設定に使用されます(35ページの項5.3「コンフィギュレーションオプションの概要」を参照)。設定情報は、RESETでラッチされます。次に、必要に応じてプルダウン抵抗をディスエーブルして、プルダウン抵抗により定電流を切断することができます(すなわち、プルアップ抵抗がCNF端子に取り付けられているとき)。

このビットが0bのときは、対応するプルダウン抵抗がイネーブルされます。

(リセット後のデフォルト)

このビットが1bのときは、対応するプルダウン抵抗がディスエーブルされます。

10. レジスタ

REG[0470h] Power Down Mode Control Register							
デフォルト=0001h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							パワーセーブ モードイネーブル
7	6	5	4	3	2	1	0

ビット0

パワーセーブモードイネーブル

このビットは、ソフトウェアによるパワーセーブモードの状態を制御します。パワーセーブモードがディスエーブルされたとき、S1D13513は通常動作します。パワーセーブモードがイネーブルされたとき、S1D13513は節電状態で動作します。この状態では、すべてのIOクロックがディスエーブルされますが、ホストインタフェースバスクロックはイネーブルされたままです。このビットが0bのとき、パワーセーブモードはディスエーブルされます。このビットが1bのとき、パワーセーブモードはイネーブルされます。

注

パワーセーブモードがイネーブルされたとき、同期レジスタ（121ページの項10.1「レジスタマッピング」を参照）とSDRAMメモリにはアクセスしないでください。

REG[0472h] Bus Time-out Reset Control Register							
デフォルト=0001h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a					バスタイムアウト リセット割り込み フラグ (RO)	バスタイムアウト リセット割り込み ディスエーブル	バスタイムアウト リセット ディスエーブル
7	6	5	4	3	2	1	0

ビット2

バスタイムアウトリセット割り込みフラグ（読み出し専用）

このビットは、バスタイムアウトリセットが発行されたかどうかを示します。このビットは、バスタイムアウトリセット割り込みイネーブルビットREG[0472h]ビット1によってマスクされ、バスタイムアウトリセット割り込みイネーブルをディスエーブルすることにより（REG[0472h]ビット1=1b）クリアされます。このビットが0bのときは、バスタイムアウトリセットが発行されていません。このビットが1bのときは、バスタイムアウトリセットが発行されています。

ビット1

バスタイムアウトリセット割り込みディスエーブル

このビットは、バスタイムアウトリセット割り込みを制御します。バスタイムアウトリセット割り込みの状態は、バスタイムアウトリセット割り込みフラグビットREG[0472h]ビット2によって示されます。このビットが0bのときは、バスタイムアウトリセット割り込みがイネーブルされます。このビットが1bのときは、バスタイムアウトリセット割り込みがディスエーブルされます。

ビット0 バスタイムアウトリセットディスエーブル
 このビットは、バスタイムアウトが生じた後でS1D13513をリセットすることができるバスタイムアウトリセット機能を制御します。詳細は、436ページの項20.2「ホストバスタイムアウト機能」を参照してください。
 このビットが0bのときは、バスタイムアウトリセット機能はイネーブルされ、WAIT#が2048～3072PLL1基準クロック（CNF[8:7]によって選択された）より長く保持された場合に、S1D13513をリセットする前までWAIT#を解放します。
 このビットが1bのときは、バスタイムアウトリセット機能はディスエーブルされます。（デフォルト）

REG[04A0h]～REG[04A2h]は予備

これらのレジスタは予備です。書き込まないでください。

10.4.3 LCDパネル設定レジスタ

注

LCDパネルインタフェースによって使用されるいくつかの端子は、GPIO機能端子と多重化されています。したがって、LCDパネルインタフェースをイネーブルする前に、適切なGPIO端子をLCDパネルインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[0800h] LCD Panel Type Select Register						読み出し／書き込み		
デフォルト=0000h								
予備 15	パッシブパネル選択 14	パッシブパネルタイプ選択ビット2～0			パネルデータバス幅ビット2～0			
		13	12	11	10	9	8	
FPSHIFT極性選択 7		n/a			TFTパネルタイプ選択ビット2～0			
	6	5	4	3	2	1	0	

ビット15 予備
 このビットのデフォルト値は0bです。

ビット14 パッシブパネル選択
 このビットは、LCDパネルインタフェースを設定するパネルタイプを選択します。
 このビットが0bのときは、TFTパネルサポートが選択されます。
 このビットが1bのときは、パッシブパネルサポートが選択されます。

注

このビットは、LCD出力がディスエーブルされ、REG[0830h]ビット0=0bのときのみ修正してください。

10. レジスタ

ビット13～11

パッシブパネルタイプ選択ビット[2:0]
パッシブパネルが選択されたとき (REG[0800h]ビット14=1b)、これらのビットは、LCDパネルインタフェースに接続されたパッシブパネルのタイプを選択します。

表10-20 パッシブパネルタイプ選択

REG[0800h]ビット13～11	パッシブパネルタイプ
000b	シングルモノクロ形式 (注1および2)
001b	予備
010b	シングルカラーフォーマットタイプ2 (注1および3)
011b～111b	予備

注

- パッシブパネルが選択されているとき (REG[0800h] ビット 14 = 1b)、FPSHIFTのクロック出力は次のようになります。
シングルモノクロタイプSTN (REG[0800h]ビット13～11=000b) では $LCDDCLK \div 8$
シングルカラータイプ2 STN 8ビット (REG[0800h]ビット13～11=010b) では $LCDDCLK \div 4$
- シングルモノクロタイプが選択されたときにすべての階調を表示するには、擬似カラーモードを有効モード (REG[0844h]=01h、02hまたは04h) に設定し、REG[083Eh]ビット2を1bに設定してください。8bpp、16bppまたは32bppで表示される階調の最大数は64です。
- シングルカラータイプ2を選択したときにすべての色を表示するには、擬似カラーモードを有効モード (REG[0844h]=01h、02h、または04h) に設定してください。32bppの場合の色の最大数は262,144です。

ビット10～8

パネルデータバス幅ビット[2:0]
これらのビットは、選択したパネルのデータバス幅を選択するために使用されます。

表10-21 パネルデータバス幅選択

REG[0800h]ビット10～8	パネルデータバス幅	
	TFTパネル	パッシブパネル
000b	予備	予備
001b	16ビット	8ビット
010b	18ビット	予備
011b	24ビット	予備
100b～111b	予備	予備

ビット7

FPSHIFT極性選択

このビットは、RGB タイプパネルのシフトクロックの極性を選択します (FPSHIFT を反転させる)。このビットには、パッシブパネル選択ビット (REG[0800h]ビット14) の設定により様々な効果があります。パッシブパネル選択ビットに対する変更は、LCD 出力がディスエーブルされているとき (REG[0830h]ビット0=0b) だけ行うよう注意してください。LCD出力がイネーブルされているときにパッシブパネル選択ビットに変更を行うと、FPSHIFT信号は、LCD信号の残りの部分と位相がずれることがあります。

TFTパネルまたはYUVデジタル出力 (REG[0800h]ビット14=0b) の場合、このビットが0bのとき、パネルインタフェース信号はすべて、TFTパネルではFPSHIFTの立ち下がりエッジで変化し、あるいはYUVデジタル出力ではYUVCLKO (GPIOD2) の立ち下がりエッジで変化します。このビットが1bのとき、パネルインタフェース信号はすべて、TFTパネルではFPSHIFTの立ち上がりエッジで変化し、あるいはYUVデジタル出力ではYUVCLKO (GPIOD2) の立ち上がりエッジで変化します。

パッシブパネル (REG[0800h]ビット14=1b) の場合、このビットが0bのとき、パネルインタフェース信号はすべてFPSHIFTの立ち上がりエッジで変化します。このビットが1bのとき、パネルインタフェース信号はすべてFPSHIFTの立ち下がりエッジで変化します。

注

シフトクロック (FPSHIFT) の極性は、LCD出力がアクティブ (REG[0830h]ビット1=1b) の間に変更できません。極性の変更が必要な場合は、以下の手順で行ってください。

1. LCD出力をディスエーブルします (REG[0830h]ビット0=0b)。
2. LCD インタフェースがアクティブでなくなるまで待ちます (REG[0830h]ビット2=0b)。
3. シフトクロックの希望する極性を設定します (REG[0800h]ビット7)。
4. LCD出力を再びイネーブルします (REG[0830h]ビット0=1b)

ビット2~0

TFTパネルタイプ選択ビット[2:0]

TFTパネルを選択したとき (REG[0800h]ビット14=0b)、これらのビットは、LCDパネルインタフェースに接続されているTFTパネルのタイプを選択します。シリアルコマンドインタフェースとHR-TFTパネルを使用するTFTパネルタイプの場合は、REG[0C1Ah]を使用して適切な機能が得られるようにGPIOG[4:0]端子を設定してください。この機能の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

表10-22 TFTパネルタイプ選択

REG[0800h]ビット2~0	TFTパネルタイプ選択
000b	汎用TFT/ND-TFD
001b	予備
010b	HR-TFT
011b	予備
100b	外部ビデオエンコーダ (ADV-7170) 用のYUVデジタル出力 (注を参照)
101b~111b	予備

10. レジスタ

注

YUVデジタル出力を選択した場合は、イネーブルしたウィンドウ（メイン、PIP1、PIP2）のbppモードをYUVデジタル出力に設定してください（REG[0832h]ビット10～8、6～4、2～0を参照）。またウィンドウのメモリをYUV 4:2:2で書き込んでください。YUVデジタル出力の詳細は、462ページの項21.4「YUVデジタル出力」を参照してください。

REG[0802h] LCD Horizontal Total Register							
デフォルト=0000h							読み出し／書き込み
n/a			全水平期間ビット11～8				
15	14	13	12	11	10	9	8
全水平期間ビット7～0							
7	6	5	4	3	2	1	0

ビット11～0

全水平期間ビット[11:0]

これらのビットは、全水平期間（FPLINE）をピクセルクロック周期で指定します。

全水平期間は、水平表示期間と水平非表示期間の合計です。

$$\text{REG}[0802\text{h}] \text{ビット} 11 \sim 0 = \text{全水平期間} - 1$$

モノクロシングルパッシブパネルでは、

$$\text{REG}[0802\text{h}] \text{ビット} 11 \sim 0 = (\text{水平FPSHIFTクロック数} \times 8) - 1$$

8ビットカラータイプ2シングルパッシブパネルでは、

$$\text{REG}[0802\text{h}] \text{ビット} 11 \sim 0 = (\text{水平FPSHIFTクロック数} \times 4) - 1$$

注

このレジスタは、以下の式が成り立つようにプログラムしてください。

$$\text{HT} \geq \text{HDP} + \text{HNDP}$$

REG[0804h] LCD Horizontal Display Period Register							
デフォルト=0000h							読み出し／書き込み
15	14	n/a	12	11	10	9	8
水平表示期間ビット10~8							
水平表示期間ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

水平表示期間ビット[10:0]

これらのビットは、水平表示期間を2ピクセル解像度で指定します。水平表示期間は、水平非表示期間を十分にとれるように全水平期間より短くしてください。

$$\text{REG}[0804\text{h}] \text{ビット} 10 \sim 0 = (\text{水平表示期間} \div 2) - 1$$

注

- このレジスタは、以下の式が成り立つようにプログラムしてください。
 $HT \geq HDP + HNDP$
- パッシブパネル（REG[0800h]ビット14=1b）の場合、水平表示期間は、モノクロシングルパッシブパネルの8倍、8ビットカラータイプ2シングルパッシブパネルの4倍にしてください。

REG[0806h] LCD Horizontal Display Period Start Position Register							
デフォルト=0000h							読み出し／書き込み
15	14	n/a	12	11	10	9	8
水平表示期間開始位置ビット11~8							
水平表示期間開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

水平表示期間開始位置ビット[11:0]

これらのビットは、水平表示期間開始位置をピクセルクロック周期で指定します。

TFTでは、

$$\text{REG}[0806\text{h}] \text{ビット} 11 \sim 0 = \text{水平表示期間開始位置} - 1$$

モノクロシングルパッシブパネルでは、

$$\text{REG}[0806\text{h}] \text{ビット} 11 \sim 0 = (\text{水平表示期間開始位置} \times 8) - 1$$

8ビットカラータイプ2シングルパッシブパネルでは、

$$\text{REG}[0806\text{h}] \text{ビット} 11 \sim 0 = (\text{水平表示期間開始位置} \times 4) - 1$$

YUVデジタル出力では、

$$\text{REG}[0806\text{h}] \text{ビット} 11 \sim 0 = (\text{水平表示期間開始位置} \times 2) - 1$$

10. レジスタ

REG[0808h] LCD Horizontal Pulse Width Register							
デフォルト=0000h							読み出し／書き込み
水平極性選択	n/a						水平パルス幅ビット8
15	14	13	12	11	10	9	8
水平パルス幅ビット7~0							
7	6	5	4	3	2	1	0

ビット15 水平極性選択
 このビットは、水平同期信号（FPLINE）の極性を選択します。
 このビットが0bのとき、水平同期信号（FPLINE）はアクティブLowです。
 (デフォルト)
 このビットが1bのとき、水平同期信号（FPLINE）はアクティブHighです。

ビット8~0 水平パルス幅ビット[8:0]
 これらのビットは、水平同期信号（FPLINE）のパルス幅をピクセルクロック周期で指定します。
 REG[0808h]ビット8~0=水平パルス幅-1

モノクロシングルパッシブパネルでは、
 REG[0808h]ビット8~0=(水平パルス幅×8)-1
 8ビットのカラータイプ2シングルパッシブパネルでは、
 REG[0808h]ビット8~0=(水平パルス幅×4)-1

REG[080Ah] LCD Horizontal Pulse Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a				水平パルス開始位置ビット11~8			
15	14	13	12	11	10	9	8
水平パルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0 水平パルス開始位置ビット[11:0]
 これらのビットは、水平同期パルス（FPLINE）の開始位置をピクセルクロック周期で指定します。
 REG[080Ah]ビット11~0=水平パルス開始位置

モノクロシングルパッシブパネルでは、
 REG[080Ah]ビット11~0=水平パルス開始位置×8
 8ビットのカラータイプ2シングルパッシブパネルでは、
 REG[080Ah]ビット11~0=水平パルス開始位置×4

REG[080Ch] LCD Vertical Total Register								
デフォルト=0000h								
読み出し／書き込み								
15	14	n/a	13	12	11	10	9	8
全垂直期間ビット7~0								
7	6	5	4	3	2	1	0	

ビット11~0 全垂直期間ビット[11:0]
 これらのビットは、全垂直期間（FPFRAME）をラインで指定します。全垂直期間は、垂直表示期間と垂直非表示期間の合計です。
 REG[080Ch]ビット11~0=全垂直期間（ライン）-1

注

これらのビットは、000hをより大きい値に設定してください。

REG[080Eh] LCD Vertical Display Period Register								
デフォルト=0000h								
読み出し／書き込み								
15	14	n/a	13	12	11	10	9	8
垂直表示期間ビット7~0								
7	6	5	4	3	2	1	0	

ビット11~0 垂直表示期間ビット[11:0]
 これらのビットは、垂直表示期間をラインで指定します。垂直表示期間は、垂直非表示期間を十分にとれるように全垂直期間より短くしてください。
 REG[080Eh]ビット11~0=垂直表示期間（ライン）-1

注

これらのビットは、FFFhより小さい値に設定してください。

REG[0810h] LCD Vertical Display Period Start Position Register								
デフォルト=0000h								
読み出し／書き込み								
15	14	n/a	13	12	11	10	9	8
垂直表示期間開始位置ビット7~0								
7	6	5	4	3	2	1	0	

ビット11~0 垂直表示期間開始位置ビット[11:0]
 これらのビットは、垂直表示期間開始位置をラインで指定します。
 REG[0810h]ビット11~0=垂直表示期間開始位置（ライン）

10. レジスタ

REG[0812h] LCD Vertical Pulse Width Register							
デフォルト=0000h							読み出し／書き込み
垂直極性選択 15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

ビット15 垂直極性選択
このビットは、垂直同期信号（FPFRAME）の極性を選択します。
このビットが0bのとき、垂直同期信号（FPFRAME）はアクティブLowです。（デフォルト）
このビットが1bのとき、垂直同期信号（FPFRAME）はアクティブHighです。

ビット4～0 垂直パルス幅ビット[4:0]
これらのビットは、垂直同期信号（FPFRAME）のパルス幅をラインで指定します。
REG[0812h]ビット4～0=の垂直パルス幅（ライン）-1

REG[0814h] Vertical Pulse Start Position Register							
デフォルト=0000h							読み出し／書き込み
15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

ビット11～0 垂直パルス開始位置ビット[11:0]
これらのビットは、垂直同期パルス（FPFRAME）の開始位置をラインで指定します。
REG[0814h]ビット11～0=垂直パルス開始位置（ライン）

REG[0816h] LCD Serial Interface Configuration Register							
デフォルト=0000h							読み出し／書き込み
予備 15	14	13	12	11	10	9	8
LCDシリアルコマンドタイプビット2～0 7	6	5	LCDシリアル コマンド方向 4	3	2	LCDシリアル クロック位相 1	LCDシリアル クロック極性 0

ビット15 予備
このビットのデフォルト値は0bです。

ビット7～5 LCDシリアルコマンドタイプビット[2:0]
これらのビットは、シリアルコマンドタイプを決定します。ACタイミングについては、91ページの項7.6.3「ND-TFD 8ビットシリアルインタフェースタイミング」、92ページの項7.6.4「ND-TFD 9ビットシリアルインタフェースタイミング」、93ページの項7.6.5「a-Si TFTシリアルインタフェースタイミング」、および94ページの項7.6.6「uWIREシリアルインタフェースタイミング」を参照してください。

表10-23 LCDシリアルコマンドタイプ選択

REG[0816h]ビット7～5	LCDシリアルコマンドタイプ
000b	ND-TFT 4ピンシリアル (8ビットシリアルデータ)
001b	ND-TFD 3ピンシリアル (9ビットシリアルデータ)
010b	a-Si TFTシリアル (8ビットシリアルデータ)
011b	予備
100b	μWireシリアル (16ビットシリアルデータ)
101b	24ビットシリアルデータ
110b～111b	予備

ビット4

LCDシリアルコマンド方向

このビットは、シリアルコマンドビット方向を決定します。
このビットが0bのとき、MSB（最上位ビット）が先頭です。（デフォルト）
このビットが1bのとき、LSB（最下位ビット）が先頭です。

注

タイミングの詳細は、85ページの項7.6「パネルインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

ビット1

LCDシリアルクロック位相

このビットは、シリアルクロック位相を指定します。シリアルクロックの位相と極性の設定の概要は、171ページの表10-24「シリアルクロックの位相と極性」を参照してください。

注

タイミングの詳細は、85ページの項7.6「パネルインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

ビット0

LCDシリアルクロック極性

このビットは、シリアルクロック極性を指定します。シリアルクロックの位相と極性の設定の概要は、171ページの表10-24「シリアルクロックの位相と極性」を参照してください。

表10-24 シリアルクロックの位相と極性

REG[0816h]ビット1	REG[0816h]ビット0	有効データ	クロックアイドル状態
0b	0b	シリアルクロックの立ち上がりエッジ	Low
	1b	シリアルクロックの立ち下がりエッジ	High
1b	0b	シリアルクロックの立ち下がりエッジ	Low
	1b	シリアルクロックの立ち上がりエッジ	High

注

タイミングの詳細は、85ページの項7.6「パネルインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

10. レジスタ

REG[0818h] LCD Status Register							
デフォルト=0000h							読み出し／書き込み
VSYNC割り込み イネーブル	n/a			VSYNC割り込み 状態	VSYNC割り込み マスク ディスエーブル	n/a	
15	14	13	12	11	10	9	8
n/a							VNDP状態 (RO)
7	6	5	4	3	2	1	0

- ビット15** **VSYNC割り込みイネーブル**
 このビットは、VSYNC割り込みをホストCPUインタフェースに出力するかどうかを制御します。
 このビットが0bのとき、割り込み状態はホストCPUに出力されません。
 このビットが1bのとき、割り込み状態はホストCPUに出力されます。
- ビット11** **VSYNC割り込み状態**
 このビットは、VSYNC割り込みの状態を示します。VSYNC割り込みは、VSYNC割り込みマスクビットREG[0818h]ビット10を使用してマスク（またはディスエーブル）することができます。
 このビットが0bのときは、VSYNC割り込みが発行されていません。
 このビットが1bのときは、VSYNC割り込みが発行されています。
- このビットをクリアするには、このビットに1bを書き込んでください。
- ビット10** **VSYNC割り込みマスクディスエーブル**
 このビットは、VSYNC割り込みがマスクされているかどうかを判定します。VSYNC割り込みの状態は、VSYNC割り込み状態ビットREG[0818h]ビット11によって示されます。
 このビットが0bのとき、VSYNC割り込みはマスクされます（割り込みは設定されません）。
 このビットが1bのとき、VSYNC割り込みはマスクされません（割り込みが設定されます）。
- ビット0** **VNDP状態（読み出し専用）**
 このビットは、LCDパネルが垂直表示期間にあるか垂直非表示期間にあるかを示します。このビットを使用するには、設定するVNDPが1ラインより多くなければなりません。
 このビットが0bのとき、LCDパネル出力は垂直表示期間にあります。
 このビットが1bのとき、LCDパネル出力は垂直非表示期間にあります。

注

このビットは、データ出力の最後の水平ラインからデータ出力が再開する1ライン前までの期間です。

REG[081Ah] LCD VSYNC Interrupt Delay Register							
デフォルト=0000h							読み出し／書き込み
n/a			LCD VSYNC割り込み遅延ビット11~8				
15	14	13	12	11	10	9	8
LCD VSYNC割り込み遅延ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

LCD VSYNC割り込み遅延ビット[11:0]

これらのビットは、VSYNC割り込み発行タイミング遅延をフレームの最初からのライン数で指定します。

注

YUVデジタル出力 (REG[0800h] ビット2~0=100b) では、割り込みは偶数フレームの場合だけ発行します。

REG[081Ch] LCD Serial Command/Parameter Register							
デフォルト=0000h							読み出し／書き込み
LCDシリアルコマンドビット7~0				LCDシリアルパラメータビット7~0			
15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

ビット15~8

LCDシリアルコマンドビット[7:0]

これらのビットは、24ビットシリアルインタフェースとuWireシリアルインタフェースパネルにのみ使用されます。これらのインタフェースのどちらかがイネーブルされたとき (REG[0816h] ビット7~5を参照)、これらのビットは、LCDシリアルインタフェースに対するコマンドのビット7~0 (CD[15:8]) として使用されます。他のパネルの場合、ビット8は、LCDシリアルパラメータビット (REG[081Ch] ビット7~0) がコマンドを含むかデータを含むかを判定するためだけに使用されます。

注

このシリアルコマンドは、REG[081Ch]が書き込まれた後でパネルモジュールに出されます。

ビット7~0

LCDシリアルパラメータビット[7:0]

これらのビットは、LCDシリアルインタフェースに対するパラメータを指定します。24ビットシリアルインタフェースモードがイネーブルされたとき (REG[0816h] ビット7~5=101b)、これらのビットは、LCDシリアルインタフェースに対するコマンドのビット7~0 (CD[7:0]) として使用されます。

10. レジスタ

REG[081Eh] MOD/Serial Command Register							
デフォルト=0000h							読み出し／書き込み
LCDシリアルコマンドビット15~8							
15	14	13	12	11	10	9	8
MODレートビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

LCDシリアルコマンドビット[15:8]

これらのビットは、24ビットシリアルインタフェースパネルだけに使用されま
す。24ビットシリアルインタフェースモードをイネーブルしたとき
(REG[0816h]ビット7~5=101b)、これらのビットは、LCDシリアルインタ
フェースに対するコマンドのビット15~8 (CD[23:16]) として使用されます。シ
リアルコマンドは、REG[081Ch]を書き込んだ後でパネルモジュールに出されま
す。したがって、これらのビットは、REG[081Ch]に書き込む前に設定してくだ
さい。

ビット7~0

MODレートビット[7:0]

これらのビットは、パッシブLCDパネルだけに使用されます (REG[0800h]ビッ
ト14=1b)。

これらのビットが00hのとき、MOD出力信号 (FPDRDY) はすべてのFPFRAME
でトグルします。0でない値*n*のとき、MOD出力信号 (FPDRDY) は*n*回のFPLINE
ごとにトグルします。

10.4.4 HR-TFT設定レジスタ

注

LCDパネルインタフェースによって使用されるいくつかの端子はGPIO機能端子と多重化されています。したがって、LCDパネルインタフェースをイネーブする前に、適切なGPIO端子をLCDパネルインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[0820h] HR-TFT Configuration Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a					予備	HR-TFT PSモード	HR-TFTミラー選択
7	6	5	4	3	2	1	0

- ビット2 予備
このビットのデフォルト値は0bです。
- ビット1 HR-TFT PSモード
これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。このビットは、PS信号に使用されるタイミングを選択します。PSタイミング (PS1、PS2、PS3) を選択することにより、HR-TFTパネルの電力をさらに節電することができます。
このビットが0bのとき、PS信号はPS1タイミングを使用します。
このビットが1bのとき、PS信号はPS2タイミングを使用します。
- ビット0 HR-TFTミラー選択
このビットは、HR-TFTミラー機能を制御します。
このビットが0bのときは、通常画像が表示されます (SPLが使用されてSPR=0)。
このビットが1bのときは、ミラー画像が表示されます (SPL=0でSPRが使用されます)。

REG[0822h] HR-TFT CLS Width Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
HR-TFT CLSパルス幅ビット7~0					HR-TFT CLSパルス幅ビット10~8		
7	6	5	4	3	2	1	0

- ビット10~0 HR-TFT CLSパルス幅ビット[10:0]
これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、CLS信号の幅をPCLK数で決定します。

10. レジスタ

REG[0824] HR-TFT PS1 Rising Edge Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
HR-TFT PS1立ち上がりエッジビット7~0							
7	6	5	4	3	2	1	0

ビット7~0 PS1立ち上がりエッジビット[7:0]
 これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、CLS立ち下がりエッジとPS1立ち上がりエッジの間をPCLK数で決定します。

REG[0826h] HR-TFT PS2 Rising Edge Register							
デフォルト=0000h							読み出し／書き込み
n/a							HR-TFT PS2立ち上がりエッジビット9~8
15	14	13	12	11	10	9	8
HR-TFT PS2立ち上がりエッジビット7~0							
7	6	5	4	3	2	1	0

ビット9~0 HR-TFT PS2立ち上がりエッジビット[9:0]
 これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、LP立ち下がりエッジと最初のPS2立ち上がりエッジの間をPCLK数で決定します。

REG[0828h] HR-TFT PS2 Toggle Width Register							
デフォルト=0000h							読み出し／書き込み
n/a							HR-TFT PS2トグル幅ビット8
15	14	13	12	11	10	9	8
HR-TFT PS2トグル幅ビット7~0							
7	6	5	4	3	2	1	0

ビット8~0 HR-TFT PS2トグル幅ビット[8:0]
 これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、トグル前のPS2信号の幅をPCLK数で決定します。

REG[082Ah] HR-TFT PS3 Signal Width Register							
デフォルト=0000h							読み出し／書き込み
n/a							HR-TFT PS3信号幅ビット8
15	14	13	12	11	10	9	8
HR-TFT PS3信号幅ビット7~0							
7	6	5	4	3	2	1	0

ビット8~0 HR-TFT PS3信号幅ビット[8:0]
 これらのビットは、HR-TFTパネル専用で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、PS3信号の幅をPCLK数で決定します。

REG[082Ch] HR-TFT REV Toggle Point Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
HR-TFT回転トグルビット6~0							
n/a	7	6	5	4	3	2	1
							0

ビット6~0

HR-TFT REVトグルビット[6:0]

これらのビットは、**HR-TFTパネル専用**で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、LP信号前にREV信号をトグルする幅をPCLK数で決定します。

REG[082Eh] HR-TFT PS1/2 End Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
HR-TFT PS1/2エンドビット4~0							
n/a	7	6	5	4	3	2	1
							0

ビット4~0

HR-TFT PS1/2エンドビット[4:0]

これらのビットは、**HR-TFTパネル専用**で (REG[0800h]ビット2~0=010b)、他のパネルタイプには無効です。これらのビットは、PS信号を垂直非表示期間内にどれだけ続けるかをライン数で決定します。

10. レジスタ

10.4.5 LCD表示モードレジスタ

注

LCDパネルインタフェースによって使用されるいくつかの端子は、GPIO機能端子と多重化されています。したがって、LCDパネルインタフェースをイネーブルする前に、適切なGPIO端子をLCDパネルインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[0830h] Display Mode Setting Register 0					読み出し／書き込み		
デフォルト=0000h							
水平ダブリングイネーブル 15	n/a 14	表示バッファ 手動選択 13	表示バッファ状態 (RO) 12	n/a 11	表示モード選択ビット2~0 10 9 8		
LCDソフトウェア リセット (WO) 7	表示ブランク イネーブル 6	ビデオ反転 イネーブル 5	予備 4	n/a 3	LCD/YUV出力状態 (RO) 2	n/a 1	LCD/YUV出力 イネーブル 0

注

このレジスタ内のビットに加えた変更は、現在のフレームの終了後に有効になります。

- ビット15 水平ダブリングイネーブル
このビットは、水平ダブリング機能を制御します。このビットは、YUV出力が指定されたときだけ使用されます。
このビットが0bのときは、水平ダブリングがディスエーブルされます。
このビットが1bのときは、水平ダブリングがイネーブルされます。
- ビット13 表示バッファ手動選択
ダブルバッファが、指定されたウィンドウに対してディスエーブルされたとき (REG[0834h]ビット15とREG[0834h]ビット14~13を参照)、このビットは、どのバッファを表示するかの手動選択を可能にします。このビットは、ダブルバッファがイネーブルされたとき (REG[0834h]ビット15=1b) は無効です。
このビットが0bのときは、フロントバッファが表示されます。
このビットが1bのときは、バックバッファが表示されます。
- ビット12 表示バッファ状態 (読み出し専用)
ダブルバッファが、指定されたウィンドウに対してディスエーブルされたとき (REG[0834h]ビット15とREG[0834h]ビット14~13を参照)、このビットは、現在のどのバッファが表示されているかを示します。ダブルバッファがイネーブルされているときは、このビットは、スプライトエンジンがソースとして選択されたとき (REG[0834h]ビット12~11=00b) だけ有効です。
このビットが0bのとき、フロントバッファが表示されます。
このビットが1bのとき、バックバッファが表示されます。

ビット10～8 表示モード選択[2:0]
 これらのビットは、表示モードを選択します。表示の分断を防ぐために、表示モード設定の変更は、REG[0818h]ビット0または割り込み状態 (REG[0818h]ビット11を参照) によって示された非表示期間の間だけにしてください。詳しくは、REG[0818h]ビット15、REG[0818h]ビット10およびREG[081Ah]のレジスタ説明を参照してください。

表10-25 表示モード選択

REG[0830h]ビット10～8	表示モード
000b	メインウィンドウのみ
001b	メインウィンドウ+PIP1ウィンドウ (注を参照)
010b	メインウィンドウ+PIP2ウィンドウ
011b	メインウィンドウ+PIP1+PIP2ウィンドウ (注を参照)
100b～111b	予備

注

PIP1ウィンドウY開始位置 (REG[084Eh]ビット10～0) は、PIP1ウィンドウをディスエーブルする前に0に設定してください。

ビット7 LCDソフトウェアリセット (書き込み専用)
 このビットは、LCD制御モジュールのソフトウェアリセットを行います。すべてのLCDインタフェースの端子はリセット状態になり、REG[0800h]～REG[0870h]は、そのデフォルト値にリセットされます。
 このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
 このビットに1bを書き込むと、LCD制御モジュールのソフトウェアリセットが実行されます。

ビット6 表示ブランクイネーブル
 このビットは、すべての表示データ出力をLowにすることによって表示を消します。表示制御信号はすべてそのまま変更されません。
 このビットが0bのとき、表示はアクティブです。
 このビットが1bのとき、表示は消されます。

ビット5 ビデオ反転イネーブル
 このビットは、すべての表示データ出力を反転させることによって表示を反転させます。表示制御信号はすべてそのまま変更されません。このビットは、表示ブランクがイネーブルされている場合 (REG[0830h]ビット6=1b) には無効です。
 このビットが0bのとき、表示データは変更されません (通常)。
 このビットが1bのとき、表示データは反転されます。

ビット4 予備
 このビットのデフォルト値は0bです。

ビット2 LCD/YUV出力状態 (読み出し専用)
 このビットは、S1D13513がLCDまたはYUVインタフェースに出力しているかどうかを示します。
 このビットが0bのとき、LCD/YUV出力はアクティブではありません。
 このビットが1bのとき、LCD/YUV出力はアクティブです。

10. レジスタ

ビット0 LCD/YUV出力イネーブル
 このビットは、LCD/YUVインタフェースでLCD/YUV制御信号と表示データを出力するかどうかを制御します。REG[0800h]ビット2~0は、表示データ出力にLCDまたはYUVインタフェースが選択されているかどうかを制御します。
 このビットが0bのとき、LCD/YUV出力がディスエーブルされます。
 このビットが1bのとき、LCD/YUV出力がイネーブルされます。

REG[0832h] Display Mode Setting Register 1						
デフォルト=0000h				読み出し／書き込み		
PIPウィンドウ優先順位制御	n/a			PIP2ウィンドウARGB形式選択	PIP2ウィンドウbpp選択ビット2~0	
15	14	13	12	11	10	9 8
n/a	PIP1ウィンドウbpp選択ビット2~0			n/a	メインウィンドウbpp選択ビット2~0	
7	6	5	4	3	2	1 0

ビット15 PIPウィンドウ優先順位制御
 このビットは、どのPIPウィンドウを最上層にするかを決定します。
 このビットが0bのときは、PIP2が最上層です。(デフォルト)
 このビットが1bのときは、PIP1が最上層です。

ビット11 PIP2ウィンドウARGB形式選択
 このビットは、PIP2ウィンドウ表示データを表示バッファに記憶するフォーマットを選択します。
 このビットが0bのとき、表示データはRGBとして記憶されます。(通常)
 このビットが1bのとき、表示データはARGBとして記憶されます。

ビット10～8

PIP2ウィンドウbpp選択ビット[2:0]

これらのビットは、PIP2ウィンドウの色深度（ビット/ピクセル）を選択します。以下の表は、PIP2ウィンドウに使用できる色深度と、データが表示バッファにどのように記憶されるかをまとめたものです。表示データは、PIP2ウィンドウ ARGB形式選択ビットREG[0832h]ビット11の設定に基づいて、RGBとARGBのどちらでも記憶することができます。

表10-26 PIP2ウィンドウbpp選択

REG[0832h]ビット10～8	色深度 (bpp)	RGBフォーマット REG[0832h]ビット11=0b	ARGBフォーマット REG[0832h]ビット11=1b
000b	8bpp	RGB 3:3:2	予備
001b	16bpp	RGB 5:6:5	ARGB 1:5:5:5
010b	16bpp	YUVデジタル出力 (注3)	ARGB 4:4:4:4
011b	32bpp	RGB 8:8:8アンパック	予備
100b	32bpp	予備	ARGB 8:8:8:8
101b～111b		予備	

注

1. シングルカラータイプ2パネルが選択され（REG[0800h]ビット13～11＝010b）、擬似カラーモードがイネーブルされたとき（REG[0844h]=01h、02hまたは04h）、表示色の最大数は、32bpp RGBまたは32bpp ARGBで262,144です。16bpp RGBまたは16bpp ARGBでは、表示色の最大数は65,536です。
2. シングルモノクロパネルが選択され（REG[0800h]ビット13～11＝000b）、擬似カラーモードがイネーブルされたとき（REG[0844h]=01h、02h、または04h）、表示階調の最大数は、8/16/32bpp RGB/ARGBで64です。
3. YUVデジタル出力を選択したときは（REG[0800h]ビット2～0＝100b）、これらのビットを010bに設定してください。YUVデジタル出力の詳細は、462ページの項21.4「YUVデジタル出力」を参照してください。

10. レジスタ

ビット6～4

PIP1ウィンドウbpp選択ビット[2:0]

これらのビットは、PIP1ウィンドウの色深度（ビット/ピクセル）を選択します。以下の表は、PIP1ウィンドウに使用できる色深度と、データが表示バッファにどのように記憶されるかをまとめたものです。

表10-27 PIP1ウィンドウbpp選択

REG[0832h]ビット6～4	色深度 (bpp)	表示バッファ形式
000b	8bpp	RGB 3:3:2
001b	16bpp	RGB 5:6:5
010b	YUVデジタル出力（注3）	
011b	32bpp	RGB 8:8:8アンパック
100b	予備	
101b～111b	予備	

注

1. シングルカラータイプ2パネルが選択され（REG[0800h]ビット13～11＝010b）、擬似カラーモードがイネーブルされたとき（REG[0844h]=01h、02hまたは04h）、表示色の最大数は32bpp RGBで262,144です。16bpp RGBでは、表示色の最大数は65,536です。
2. シングルモノクロパネルが選択され（REG[0800h]ビット13～11＝000b）、擬似カラーモードがイネーブルされたとき（REG[0844h]=01h、02hまたは04h）、表示階調の最大数は、8/16/32bpp RGBで64です。
3. YUVデジタル出力を選択したときは（REG[0800h]ビット2～0＝100b）、これらのビットを010bに設定してください。YUVデジタル出力の詳細は、462ページの項21.4「YUVデジタル出力」を参照してください。

ビット2～0

メインウィンドウbpp選択ビット[2:0]

これらのビットは、メインウィンドウの色深度（ビット/ピクセル）を選択します。以下の表は、メインウィンドウに使用できる色深度と、データが表示バッファにどのように記憶されるかをまとめたものです。

表10-28 メインウィンドウbpp選択

REG[0832h]ビット2～0	色深度 (bpp)	表示バッファ形式
000b	8bpp	RGB 3:3:2
001b	16bpp	RGB 5:6:5
010b	YUVデジタル出力（注3）	
011b	32bpp	RGB 8:8:8アンパック
100b	予備	
101b～111b	予備	

注

1. シングルカラータイプ2パネルが選択され（REG[0800h]ビット13～11＝010b）、擬似カラーモードがイネーブルされたとき（REG[0844h]＝01h、02hまたは04h）、表示色の最大数は32bpp RGBで262,144です。16bpp RGBでは、表示色の最大数は65,536です。
2. シングルモノクロパネルが選択され（REG[0800h]ビット13～11＝000b）、擬似カラーモードがイネーブルされたとき（REG[0844h]＝01h、02hまたは04h）、表示階調の最大数は、8/16/32bpp RGBで64です。
3. YUVデジタル出力を選択したときは（REG[0800h]ビット2～0＝100b）、これらのビットを010bに設定してください。YUVデジタル出力の詳細は、462ページの項21.4「YUVデジタル出力」を参照してください。

REG[0834h] Display Mode Setting Register 2					読み出し／書き込み		
デフォルト＝0000h							
ダブルバッファイネーブル	ダブルバッファウィンドウ選択ビット1～0		ダブルバッファ書き込みソース選択ビット1～0		PIP2ウィンドウミラーイネーブル	PIP2ウィンドウSwivelViewモード選択ビット1～0	
15	14	13	12	11	10	9	8
n/a					ビューポート（メイン+PIP1）ミラーイネーブル	ビューポート（メイン+PIP1）SwivelView選択ビット1～0	
7	6	5	4	3	2	1	0

ビット15

ダブルバッファイネーブル

このビットは、選択したウィンドウ上の画像を安定させるためにフロントバッファとバックバッファを「自動的に」切り替えるダブルバッファ機能を制御します。この機能は、カメラや他の高速データソースからのストリーミングを処理するように設計されています。

ダブルバッファをイネーブルする前に、ダブルバッファ書き込みソース選択ビット（REG[0834h]ビット12～11）を使用してデータソースを選択してください。宛先ウィンドウは、ダブルバッファウィンドウ選択ビット（REG[0834h]ビット14～13）を使用して選択してください。

このビットが0bのときは、ダブルバッファがディスエーブルされます。

このビットが1bのときは、ダブルバッファがイネーブルされます。

10. レジスタ

ビット14～13

ダブルバッファウィンドウ選択ビット[1:0]
これらのビットは、ダブルバッファするウィンドウを選択します。

表10-29 ダブルバッファウィンドウ選択

REG[0834h]ビット14～13	ダブルバッファウィンドウ
00b	メインウィンドウ
01b	PIP1ウィンドウ
10b	PIP2ウィンドウ
11b	予備

ビット12～11

ダブルバッファ書き込みソース選択ビット[1:0]
これらのビットは、ダブルバッファを行うデータのソースを選択します。

表10-30 ダブルバッファ書き込みソース選択

REG[0834h]ビット12～11	ダブルバッファソース
00b	スプライトエンジン
01b	カメラインタフェース
10b	予備
11b	予備

注

ダブルバッファデータソースとしてカメラインタフェースを選択するときは、YRCをダブルバッファ書き込みモード (REG[3000h]ビット12=1b) に設定してください。YRC書き込み開始アドレス0 (REG[3002h]～REG[3004h]) は、選択したウィンドウフロントバッファアドレスと同じでなければならず、YRC書き込み開始アドレス1 (REG[3006h]～REG[3008h]) は、選択したウィンドウバックバッファアドレスと同じにしてください。

ビット10

PIP2ウィンドウミラーイネーブル

このビットは、PIP2ウィンドウのミラー表示機能を制御します。ミラー表示機能の詳細は、384ページの項13.2「ミラー表示」を参照してください。
このビットが0bのときは、PIP2ウィンドウのミラー表示がディスエーブルされます。
このビットが1bのときは、PIP2ウィンドウのミラー表示がイネーブルされます。

ビット9～8

PIP2ウィンドウSwivelViewモード選択ビット[1:0]

これらのビットは、PIP2 ウィンドウの SwivelView モードを選択します。SwivelView は、PIP2 ウィンドウの反時計回りのハードウェア回転です。SwivelView機能の詳細は、381ページの項13.1「SwivelView™」を参照してください。

表10-31 PIP2ウィンドウSwivelViewモード選択

REG[0834h]ビット9～8	PIP2ウィンドウSwivel View モード
00b	通常 (0°)
01b	予備
10b	180°
11b	予備

- ビット2 ビューポート（メイン+PIP1）ミラーイネーブル
このビットは、ビューポート（メイン+PIP1ウィンドウ）のミラー表示機能を制御します。ミラー表示機能の詳細は、384ページの項13.2「ミラー表示」を参照してください。
このビットが0bのとき、ビューポートのミラー表示はディスエーブルされます。このビットが1bのとき、ビューポートのミラー表示はイネーブルされます。
- ビット1～0 ビューポート（メイン+PIP1）SwivelViewモード選択ビット[1:0]
これらのビットは、ビューポート（メイン+PIP1）のSwivelViewモードを選択します。SwivelViewは、ビューポートの反時計回りのハードウェア回転です。SwivelView機能の詳細は、381ページの項13.1「SwivelView™」を参照してください。

表10-32 ビューポート（メイン+PIP1）SwivelViewモード選択

REG[0834h]ビット1～0	ビューポート（メイン+PIP1） SwivelViewモード
00b	通常（0°）
01b	予備
10b	180°
11b	予備

10. レジスタ

REG[0836h] PIP2 Window Alpha Blending Mode Register							読み出し／書き込み
デフォルト=0000h							
n/a	PIP2アルファマップ 値シフトイネーブル	PIP2アルファ ピクセルスワップ	PIP2ウィンドウ 透過イネーブル	n/a	PIP2ウィンドウアルファブレンディング モードビット1~0		PIP2ウィンドウ アルファ ブレンディング イネーブル
15	14	13	12	11	10	9	8
一定アルファ値ビット7~0							
7	6	5	4	3	2	1	0

ビット14

PIP2アルファマップ値シフトイネーブル

このビットは、アルファマップ値を1ビットずつ右にシフトします。たとえば、ARGB 1:5:5:5形式を選択した場合、変換された8ビットアルファ値は0h（0%混合）か80h（50%の混合）のいずれかです。このビットが1bに設定されたとき、新しいアルファ値はそれぞれ0hまたはC0h（75%混合）になります。このビットが0bのとき、アルファマップ値はシフトされません。このビットが1bのとき、アルファマップ値はシフトされます。

注

このビットは、アルファマップ値が0hのとき、あるいは一定値アルファブレンディングがイネーブルされたとき (REG[0836h]ビット10~9=00b) は無効です。

ビット13

PIP2アルファピクセルスワップ

このビットは、REG[0836h]ビット10~9で示されたアルファブレンディング式で2つのピクセルをスワップするかどうかを制御します。このビットが0bのとき、PIP2アルファピクセルスワッピングはディスエーブルされます。このビットが1bのとき、PIP2アルファピクセルスワッピングはイネーブルされ、式が次のように変更されます。

$$\text{出力ピクセル色} = (P_m \times \alpha) + P_p \times (1 - \alpha)$$

$$\alpha = \alpha_m \times \alpha_c$$

ここで

P_m = メインウィンドウ内のピクセルの色

P_p = PIP2ウィンドウ内のピクセルの色

α_m = アルファマップ内のアルファ値

α_c = REG[0836h]ビット7~0で指定した一定アルファ値

ビット12

PIP2ウィンドウ透過イネーブル

このビットは、PIP2ウィンドウの透過を制御します。このビットが0bのとき、透過はディスエーブルされます。このビットが1bのとき、透過はイネーブルされます。

ビット10~9

PIP2ウィンドウアルファブレンディングモードビット[1:0]

これらのビットは、PIP2ウィンドウに使用されるアルファブレンディングモードを決定します。

表10-33 PIP2ウィンドウアルファブレンディングモード選択

REG[0836h]ビット10~9	PIP2ウィンドウアルファブレンディングモード
00b	一定アルファブレンディング
01b	アルファマップとのブレンディング (ARGB形式)
10b	一定値およびアルファマップとのブレンディング (ARGB形式)
11b	予備

アルファブレンディングは、以下の式で定義されます。

$$\text{出力ピクセル色} = (\text{Pp} \times \alpha) + \text{Pm} \times (1 - \alpha)$$

$$\alpha = \alpha_m \times \alpha_c$$

ここで

Pm=メインウィンドウ内のピクセルの色

Pp=PIP2ウィンドウ内のピクセルの色

α_m =アルファマップ内のアルファ値

α_c =REG[0836h]ビット7~0によって指定された一定アルファ値

これらのビットが00bの場合は $a = \alpha_c$ です。これらのビットが01bの場合は $a = \alpha_m$ です。 a 値は、1に正規化され、0から1の範囲です。 α_m は、REG[0832h]ビット10~8によって指定されたARGB形式ピクセルデータにおいてアルファ値のビット幅によって量子化されます。たとえば、ARGB 1:5:5:5形式が選択された場合、 α_m は10進数の0または0.5です。ARGB 4:4:4:4が選択された場合、 α_m は1/16単位で0から15/16の範囲です。ARGB 8:8:8:8形式が選択された場合、 α_m は、1/256単位で0から255/256の範囲です。

アルファマップ値とのアルファブレンディングREG[0836h]ビット10~9が01bまたは10bのときは、ARGBデータフォーマットをイネーブルにしてください (REG[0832h]ビット11=1b)。

ビット8

PIP2ウィンドウアルファブレンディングイネーブル

このビットは、PIP2ウィンドウのアルファブレンディング機能を制御します。このビットが0bのとき、アルファブレンディングはディスエーブルされます。このビットが1bのとき、アルファブレンディングはイネーブルされます。

ビット7~0

一定アルファ値ビット[7:0]

これらのビットは、PIP2ウィンドウアルファブレンディングモードが一定アルファ値 (REG[0836h]ビット10~9=00bまたは10b) を必要とするときに使用される一定アルファ値を指定します。

10. レジスタ

REG[0838h] PIP2 Window Transparent Key Color Red Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
PIP2ウィンドウ透過キーカラー赤色ビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

PIP2ウィンドウ透過キーカラー赤色ビット[7:0]

これらのビットは、PIP2ウィンドウ透過イネーブルビットが設定されたとき (REG[0836h]ビット12=1b) だけ有効です。これらのビットは、透過キーカラーの赤色成分を設定します。

注

メインウィンドウ内のピクセルの色を赤色成分 (すなわち、8または16bpp) に8ビットより少ない数のビットを使用する形式と合わせるために、最下位ビットを0でパディングしてください。

REG[083Ah] PIP2 Window Transparent Key Color Green Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
PIP2ウィンドウ透過キーカラー緑色ビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

PIP2ウィンドウ透過キーカラー緑色ビット[7:0]

これらのビットは、PIP2ウィンドウ透過イネーブルビットが設定されたとき (REG[0836h]ビット12=1b) だけ有効です。これらのビットは、透過キーカラーの緑色成分を設定します。

注

メインウィンドウ内のピクセルの色を緑色成分 (すなわち、8または16bpp) に8ビットより少ない数のビットを使用する形式と合わせるために、最下位ビットを0でパディングしてください。

REG[083Ch] PIP2 Window Transparent Key Color Blue Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
PIP2ウィンドウ透過キーカラー青色ビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

PIP2のウィンドウ透過キーカラー青色ビット[7:0]

これらのビットは、PIP2ウィンドウ透過イネーブルビットが設定されたとき (REG[0836h]ビット12=1b) だけ有効です。これらのビットは、透過キーカラーの青色成分を設定します。

注

メインウィンドウ内のピクセルの色を青色成分 (すなわち、8または16bpp) に8ビットより少ない数のビットを使用する形式と合わせるために、最下位ビットを0でパディングしてください。

REG[083Eh] Gamma Control Register							
デフォルト=0000h						読み出し／書き込み	
n/a	メインウィンドウ ガンマLUTバイパス イネーブル	PIP2ウィンドウ ガンマLUT バイパス イネーブル	PIP1ウィンドウ ガンマLUT バイパス イネーブル	ガンマLUT PIPウィンドウ 選択ビット1~0		ガンマLUT書き込み色選択ビット1~0	
15	14	13	12	11	10	9	8
n/a		ガンマLUT表示バンク選択ビット1~0		入力データ 余剰ビット 拡張イネーブル	入力データ 余剰ビット クリップ ディスエーブル	ガンマLUT アドレス自動 インクリメント	ガンマLUT イネーブル
7	6	5	4	3	2	1	0

ビット14

メインウィンドウガンマLUTバイパスイネーブル

このビットは、メインウィンドウ画像を決定するためにガンマLUT表示バンク選択ビット（REG[083Eh]ビット5~4）によって選択されるガンマLUTを使用するかどうかを制御します。ガンマLUTが無視される時、ガンマ補正は行われません。

このビットが0bのときは、ガンマLUTが使用されます（無視されません）。

このビットが1bのときは、ガンマLUTが使用されません（無視されます）。

注

REG[083Eh]ビット11~10とビット5~4でウィンドウをガンマ表示に選択しない場合は、メインウィンドウのガンマLUTをイネーブルしないでください。

ビット13

PIP2ウィンドウガンマLUTバイパスイネーブル

このビットは、PIP2ウィンドウ画像を決定するために、ガンマLUT表示バンク選択ビット（REG[083Eh]ビット5~4）によって選択されたガンマLUTを使用するかどうかを制御します。ガンマLUTが無視される時、ガンマ補正は行われません。

このビットが0bのときは、ガンマLUTが使用されます（無視されません）。

このビットが1bのときは、ガンマLUTが使用されません（無視されます）。

注

REG[083Eh]ビット11~10とビット5~4でウィンドウをガンマ表示に選択しない場合は、PIP2ウィンドウのガンマLUTをイネーブルしないでください。

ビット12

PIP1ウィンドウガンマLUTバイパスイネーブル

このビットは、PIP1ウィンドウ画像を決定するために、ガンマLUT表示バンク選択ビット（REG[083Eh]ビット5~4）によって選択されるガンマLUTを使用するかどうかを制御します。ガンマLUTが無視される時、ガンマ補正は行われません。

このビットが0bのときは、ガンマLUTが使用されます（無視されません）。

このビットが1bのときは、ガンマLUTが使用されません（無視されます）。

注

REG[083Eh]ビット11~10とビット5~4でウィンドウをガンマ表示に選択しない場合は、PIP1ウィンドウのガンマLUTをイネーブルしないでください。

10. レジスタ

ビット11～10

ガンマLUT PIPウィンドウ選択ビット[1:0]

これらのビットは、REG[083Eh]ビット5～4=10bのときだけ有効です。

PIPウィンドウによって使用されるバンクBのガンマLUT表示バンク選択ビットを設定するき、これらのビットで、どのPIPウィンドウをガンマ補正するかを選択することができます。

表10-34 ガンマLUT PIPウィンドウ選択

REG[083Eh]ビット11～10	ガンマLUT PIPウィンドウ
00b	PIP1ウィンドウ+PIP2ウィンドウ
01b	PIP1ウィンドウ
10b	PIP2ウィンドウ
11b	予備

ビット9～8

ガンマLUT書き込み色選択ビット[1:0]

これらのビットは、ガンマLUTアクセスデータポートREG[0842h]にデータを書き込むときにガンマLUTのどのRGB成分を書き込むかを選択します。書き込むガンマLUTのアドレス（またはインデックス）は、ガンマLUTアクセスアドレスポートREG[0840h]によって選択されます。

オプション11bを選択すると、ガンマLUTの各成分（R、GおよびB）に同じデータ値が書き込まれます。

表10-35 ガンマLUT書き込み色選択

REG[083Eh]ビット9～8	ガンマLUT書き込み色
00b	赤色LUT書き込みイネーブル
01b	緑色LUT書き込みイネーブル
10b	青色LUT書き込みイネーブル
11b	全色LUT書き込みイネーブル

ビット5～4

ガンマLUT表示バンク選択ビット[1:0]

これらのビットは、ガンマLUTバンク（AおよびB）が表示のためにどのように使用され、ホストからどのようにアクセスされるかを決定します。ガンマLUTバンクを表示ウィンドウのガンマ補正に使用し、同時にホストがプログラムすることはできません。

表10-36 ガンマLUT表示バンク選択

REG[083Eh]ビット5~4	ガンマLUT表示バンク
00b	バンクAは、ビューポートのガンマ補正に使用されます（メイン+PIP1ウィンドウ）。 バンクBは、ホストインタフェースからのアクセスのためにイネーブルされます。
01b	バンクBは、ビューポートのガンマ補正に使用されます（メイン+PIP1ウィンドウ）。 バンクAは、ホストインタフェースからのアクセスのためにイネーブルされます。
10b	バンクAは、メインウィンドウのガンマ補正に使用されます。 バンクBは、選択されたPIPウィンドウのガンマ補正に使用されます（REG[083Eh]ビット11~10を参照）。 このモードでは、どのガンマLUTバンクもホストインタフェースからアクセスできません。
11b	バンクAとバンクBの両方とも、ホストインタフェースからアクセスできるようにイネーブルされます。ガンマLUTアクセスデータポート（REG[0842h]）を使用してガンマLUTに書き込むとき、ガンマLUTの両方のバンクに同じ値が書き込まれます。このモードではガンマLUTを読み出さないでください。 このモードでは、どのガンマLUTバンクもガンマ補正に使用できません。

ビット3 入力データ余剰ビット拡張イネーブル
このビットが0bのとき、ガンマ補正に入力される余剰データビットは、0にクリップされます。
このビットが1bのとき、ガンマ補正に入力される余剰データビットは、各色のMSBビットで埋められます。たとえば、表示バッファ形式がRGB 5:6:5で、パネルデータバス幅が18ビット（R'G'B' 666）である場合、MSBビットR[5]またはB[5]はそれぞれ、表示データビットの余剰ビットR'[6]またはB'[6]に入れられます。

ビット2 入力データ余剰ビットクリップディスエーブル
このビットが0bのときは、色変換後のガンマ補正前の時点で、表示データビットの余剰ビットが、表示バッファから読み出されるのではなくクリップされます。たとえば、表示バッファ形式がRGB 5:6:5で、パネルデータバス幅が18ビット（RGB 6:6:6）の場合、表示ビットの余剰ビットR'[0]、B'[0]はガンマ補正前にクリップされます。
このビットが1bのときは、ガンマ補正モジュールに入力されるすべてのデータビットはクリップされず、そのまま残されます。

注

パッシブモノクロパネルが選択されているとき（REG[0800h]ビット14=1bでREG[0800h]ビット13~11=000b）、このビットは、ガンマLUTが無視される（すなわちディスエーブルされている）場合でも1bに設定してください。

ビット1 ガンマLUTアドレス自動インクリメント
このビットは、ガンマLUTアクセスデータポート（REG[0842h]）へのそれぞれの書き込み前に、ガンマLUTアクセスアドレスポート（REG[0840h]）を設定しなければならないかどうかを決定します。
このビットが0bのときは、ガンマLUTのアドレスを各データ書き込み前に設定してください。
このビットが1bのときは、ガンマLUTの最初のアドレスだけを設定してください。その後の各データ書き込みでは、ガンマLUTアドレスは自動的にインクリメントされます。

10. レジスタ

ビット0

ガンマLUTイネーブル

このビットは、ガンマLUT機能を制御します。

このビットが0bのときは、ガンマLUTがディスエーブルされ、ガンマ補正は行われません。また、このモードでは、ガンマLUTはホストからアクセスできません。

このビットが1bのときは、ガンマLUTはイネーブルされ、REG[083Eh]内のビットで設定された通りに動作します。

REG[0840h] Gamma LUT Access Address Port Register							
デフォルト=0000h							書き込み専用
n/a							
15	14	13	12	11	10	9	8
ガンマLUTアクセスアドレスビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

ガンマLUTアクセスアドレスビット[7:0] (書き込み専用)

これらのビットは、ガンマLUTアクセスデータポート (REG[0842h]) を使ってアクセスされるガンマLUTのアドレス (またはインデックス) を指定します。複数のガンマLUT入力プログラムする場合は、ガンマLUTアクセスアドレスを最初のアドレスだけプログラムしなければなりません。ガンマLUTアドレス自動インクリメントビットを設定することができます (REG[083Eh]ビット1=1b)。自動インクリメントがイネーブルされたとき、ガンマ LUT に所定値 (REG[083Eh]ビット9~8を参照) を書き込んだ後で、アクセスアドレスは自動的にインクリメントされ、次の入力をすぐにプログラムすることができます。

注

ガンマLUTから読み出すとき、これらのビットは、ガンマLUTアクセスデータポートREG[0842h]のそれぞれの読み出し前にプログラムしてください。

REG[0842h] Gamma LUT Access Data Port Register							
デフォルト=XXXXh							読み出し/書き込み
n/a							
15	14	13	12	11	10	9	8
ガンマLUTアクセスデータビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

ガンマLUTアクセスデータビット[7:0]

これらのビットは、ガンマLUTアクセスアドレスポートREG[0840h]によって指定されたアドレス (またはインデックス) でガンマLUTに書き込まれるRGBデータ値を指定します。

注

LUT (ルックアップテーブル) はSRAM内にあり、不明のデフォルト値があります。ガンマLUTを使用する前にガンマLUTを初期化してください。

REG[0844h] Pseudo Color Mode Register								
デフォルト=0000h							読み出し／書き込み	
				n/a				
15	14	13	12	11	10	9	8	
				n/a	擬似カラーモードビット2~0			
7	6	5	4	3	2	1	0	

ビット2~0

擬似カラーモードビット[2:0]

これらのビットは、使用する擬似カラーモードを選択します。

表10-37 擬似カラーモード選択

REG[0844h]ビット2~0	擬似カラーモード
000b	ディスエーブル（各色成分はパネルデータバス幅に合わせて切り捨てられます）。
001b	2×2マトリクスディザイネーブル
010b	FRMイネーブル
011b	予備
100b	誤差拡散
101b~111b	予備

注

- パッシブパネルを選択したときは (REG[0800h]ビット14=1b)、擬似カラーモード動作がイネーブルされ、01h、02hまたは04hの設定は同じです。00hの設定では擬似カラーモード動作がディスエーブルされます。
- パッシブカラーパネルを選択したときは (REG[0800h]ビット14=1bおよびREG[0800h]ビット13~11=010b)、16bppで65,536色または32bppで262,144色を表示するように擬似カラーモードをイネーブルしてください (REG[0844h]=01h、02hまたは04h)。擬似カラーモードをディスエーブルした場合 (REG[0844h]=00h)、16bppと32bppの色の最大数は4,096です。
- パッシブモノクロパネルを選択したときは (REG[0800h]ビット14=1bおよびREG[0800h]ビット13~11=000b)、8bpp、16bppまたは32bppで64階調を表示するように擬似カラーモードをイネーブルしてください (REG[0844h]=01h、02hまたは04h)。擬似カラーモードをディスエーブルした場合 (REG[0844h]=00h)、8bpp、16bppまたは32bppの階調の最大数は16です。

10. レジスタ

REG[0846h] Display FIFO1 Threshold Register								
デフォルト=01FFh							読み出し／書き込み	
予備	n/a							表示FIFO1 Highスレシヨルドビット8
15	14	13	12	11	10	9	8	
表示FIFO1 Highスレシヨルドビット7~0								
7	6	5	4	3	2	1	0	

注

このレジスタは、通常、デフォルト値でご使用ください。

ビット15

予備

このビットのデフォルト値は0bです。

ビット8~0

表示FIFO1 Highスレシヨルドビット[8:0]

表示FIFO1の読み出しポインタと書き込みポインタの差がこの値より小さいとき、メモリ読み出し要求が生成されます。

REG[0848h] Display FIFO2 Threshold Register								
デフォルト=01FFh							読み出し／書き込み	
予備	n/a							表示FIFO2 Highスレシヨルドビット8
15	14	13	12	11	10	9	8	
表示FIFO2 Highスレシヨルドビット7~0								
7	6	5	4	3	2	1	0	

注

このレジスタは、通常、デフォルト値でご使用ください。

ビット15

予備

このビットのデフォルト値は0bです。

ビット8~0

表示FIFO2 Highスレシヨルドビット[8:0]

表示FIFO2の読み出しポインタと書き込みポインタの差がこの値より小さいとき、メモリ読み出し要求が生成されます。

REG[084Ah] PIP1 Window X Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP1ウィンドウX開始位置ビット10~8				
15	14	13	12	11	10	9	8
PIP1ウィンドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP1ウィンドウX開始位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP1ウィンドウのX開始位置を2ピクセル単位で決定します。原点を0,0と仮定します。

REG[084Ah]ビット10~0=PIP1ウィンドウX開始位置÷2

注

- このレジスタは、垂直非表示期間（REG[0818h]ビット0=1b）の間しか変更できません。
- PIP座標はパネル表示領域内に設定してください。
- パッシブパネルREG[0800h]ビット14=1bでは、PIP1ウィンドウX開始位置は8の倍数にしてください。

REG[084Ch] PIP1 Window X End Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP1ウィンドウX終了位置ビット10~8				
15	14	13	12	11	10	9	8
PIP1ウィンドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP1ウィンドウX終了位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP1ウィンドウのX終了位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$$\text{REG}[084\text{Ch}] \text{ビット} 10 \sim 0 = (\text{PIP1ウィンドウX終了位置} - 1) \div 2$$

注

- このレジスタは垂直非表示期間（REG[0818h]ビット0=1b）の間しか変更できません。
- PIP座標はパネル表示領域内に設定してください。
- パッシブパネルREG[0800h]ビット14=1bでは、PIP1ウィンドウX終了位置は8の倍数にしてください。

REG[084Eh] PIP1 Window Y Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP1ウィンドウY開始位置ビット10~8				
15	14	13	12	11	10	9	8
PIP1ウィンドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP1ウィンドウY開始位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP1ウィンドウのY開始位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$$\text{REG}[084\text{Eh}] \text{ビット} 10 \sim 0 = \text{PIP1ウィンドウY開始位置} \div 2$$

注

- このレジスタは垂直非表示期間（REG[0818h]ビット0=1b）の間しか変更できません。
- PIP1ウィンドウをディスエーブルする前にPIP1ウィンドウY開始位置を0hに設定してください。

REG[0850h] PIP1 Window Y End Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP1ウィンドウY終了位置ビット10~8				
15	14	13	12	11	10	9	8
PIP1ウィンドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP1ウィンドウY終了位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP1ウィンドウのY終了位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$$\text{REG}[0850\text{h}] \text{ビット} 10 \sim 0 = (\text{PIP1ウィンドウY終了位置} - 1) \div 2$$

注

このレジスタは、垂直非表示期間（REG[0818h]ビット0=1b）の間しか変更できません。

10. レジスタ

REG[0852h] PIP2 Window X Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP2ウィンドウX開始位置ビット10~8				
15	14	13	12	11	10	9	8
PIP2ウィンドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP2ウィンドウX開始位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP2ウィンドウのX開始位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$REG[0852h]$ ビット10~0=PIP2ウィンドウX開始位置÷2

注

パッシブパネル（REG[0800h]ビット14=1b）の場合、PIP2ウィンドウX開始位置は8の倍数にしてください。

REG[0854h] PIP2 Window X End Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP2ウィンドウX終了位置ビット10~8				
15	14	13	12	11	10	9	8
PIP2ウィンドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP2ウィンドウX終了位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP2ウィンドウのX終了位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$REG[0854h]$ ビット10~0=(PIP2ウィンドウX終了位置-1)÷2

注

パッシブパネル（REG[0800h]ビット14=1b）では、PIP2ウィンドウX終了位置は8の倍数にしてください。

REG[0856h] PIP2 Window Y Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP2ウィンドウY開始位置ビット10~8				
15	14	13	12	11	10	9	8
PIP2ウィンドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP2ウィンドウY開始位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP2ウィンドウのY開始位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$REG[0856h]$ ビット10~0=PIP2ウィンドウY開始位置÷2

REG[0858h] PIP2 Window Y End Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			PIP2ウィンドウY終了位置ビット10~8				
15	14	13	12	11	10	9	8
PIP2ウィンドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

PIP2ウィンドウY終了位置ビット[10:0]

これらのビットは、パネルの原点に対するPIP2ウィンドウのY終了位置を2ピクセル単位で決定します。原点を0,0と仮定します。

$$\text{REG}[0858\text{h}] \text{ビット} 10 \sim 0 = (\text{PIP2ウィンドウY終了位置} - 1) \div 2$$

REG[085Ah] Main Window Front Buffer Start Address Register 0							
デフォルト=0000h							読み出し／書き込み
メインウィンドウフロントバッファ開始アドレスビット15~8							
15	14	13	12	11	10	9	8
メインウィンドウフロントバッファ開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[085Ch] Main Window Front Buffer Start Address Register 1							
デフォルト=0000h							読み出し／書き込み
n/a						メインウィンドウフロントバッファ開始アドレスビット25~24	
15	14	13	12	11	10	9	8
メインウィンドウフロントバッファ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[085Ch]ビット9~0

REG[085Ah]ビット15~0

メインウィンドウフロントバッファ開始アドレスビット[25:0]

これらのビットは、メインウィンドウフロントバッファのメモリ開始アドレスをバイト単位で指定します。

注

32bppの場合 (REG[0832h]ビット2~0=011b)、ビット1~0を00bに設定してください。

16bppの場合 (REG[0832h]ビット2~0=001b)、ビット0を0bに設定してください。

10. レジスタ

REG[085Eh] PIP1 Window Front Buffer Start Address Register 0							
デフォルト=0000h							
読み出し／書き込み							
PIP1ウィンドウフロントバッファ開始アドレスビット15~8							
15	14	13	12	11	10	9	8
PIP1ウィンドウフロントバッファ開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[0860h] PIP1 Window Front Buffer Start Address Register 1							
デフォルト=0000h							
読み出し／書き込み							
n/a						PIP1ウィンドウフロントバッファ 開始アドレスビット25~24	
15	14	13	12	11	10	9	8
PIP1ウィンドウフロントバッファ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[0860h] ビット9~0

REG[085Eh] ビット15~0

PIP1ウィンドウフロントバッファ開始アドレスビット[25:0]

これらのビットは、PIP1ウィンドウフロントバッファのメモリ開始アドレスをバイト単位で指定します。

注

32bppの場合 (REG[0832h] ビット6~4=011b)、ビット1~0を00bに設定してください。

16bppの場合 (REG[0832h] ビット6~4=001b)、ビット0を0bに設定してください。

REG[0862h] PIP2 Window Front Buffer Start Address Register 0							
デフォルト=0000h							
読み出し／書き込み							
PIP2ウィンドウフロントバッファ開始アドレスビット15~8							
15	14	13	12	11	10	9	8
PIP2ウィンドウフロントバッファ開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[0864h] PIP2 Window Front Buffer Start Address Register 1							
デフォルト=0000h							
読み出し／書き込み							
n/a						PIP2ウィンドウフロントバッファ 開始アドレスビット25~24	
15	14	13	12	11	10	9	8
PIP2ウィンドウフロントバッファ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[0864h] ビット9~0

REG[0862h] ビット15~0

PIP2ウィンドウフロントバッファ開始アドレスビット[25:0]

これらのビットは、PIP2のウィンドウフロントバッファのメモリ開始アドレスをバイト単位で指定します。

注

32bppの場合 (REG[0832h] ビット10~8を参照)、ビット1~0を00bに設定してください。

16bppの場合 (REG[0832h] ビット10~8を参照)、ビット0を0bに設定してください。

REG[0866h] Main/PIP1/PIP2 Window Back Buffer Start Address Register 0							
デフォルト=0000h							
読み出し／書き込み							
メイン/PIP1/PIP2ウィンドウバックバッファ開始アドレスビット15~8							
15	14	13	12	11	10	9	8
メイン/PIP1/PIP2ウィンドウバックバッファ開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[0868h] Main/PIP1/PIP2 Window Back Buffer Start Address Register 1							
デフォルト=0000h							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
メイン/PIP1/PIP2ウィンドウバックバッファ開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[0868h] ビット9~0

REG[0866h] ビット15~0

メイン/PIP1/PIP2ウィンドウバックバッファ開始アドレスビット[25:0]
これらのビットは、メイン/PIP1/PIP2バックバッファのメモリ開始アドレスをバイト単位で指定します。

注

32bppの場合（REG[0832h]を参照）、ビット1~0を00bに設定してください。
16bppの場合（REG[0832h]を参照）、ビット0を0bに設定してください。

REG[086Ah] Main Window Front Buffer Line Address Offset Register							
デフォルト=0000h							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
メインウィンドウフロントバッファラインアドレスオフセットビット13~8							
メインウィンドウフロントバッファラインアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット13~0

メインウィンドウフロントバッファラインアドレスオフセットビット[13:0]
これらのビットは、メインウィンドウフロントバッファに使用されるメモリ内のある表示ラインの先頭から次の表示ラインの先頭までのオフセットをバイト単位で指定します。

REG[086Ch] PIP1 Window Front Buffer Line Address Offset Register							
デフォルト=0000h							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
PIP1ウィンドウフロントバッファラインアドレスオフセットビット13~8							
PIP1ウィンドウフロントバッファラインアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット13~0

PIP1ウィンドウフロントバッファラインアドレスオフセットビット[13:0]
これらのビットは、PIP1ウィンドウフロントバッファに使用されるメモリ内のある表示ラインの先頭から次の表示ラインの先頭までのオフセットをバイト単位で指定します。

注

このレジスタは、垂直非表示期間（REG[0818h]ビット0=1b）の間しか変更できません。

10. レジスタ

REG[086Eh] PIP2 Window Front Buffer Line Address Offset Register							
デフォルト=0000h							読み出し／書き込み
n/a		PIP2ウィンドウフロントバッファラインアドレスオフセットビット13~8					
15	14	13	12	11	10	9	8
PIP2ウィンドウフロントバッファラインアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット13~0 PIP2ウィンドウフロントバッファラインアドレスオフセットビット[13:0]
これらのビットは、PIP2のウィンドウフロントバッファに使用されるメモリ内のある表示ラインの先頭から次の表示ラインの先頭までのオフセットをバイト単位で指定します。

REG[0870h] Main/PIP1/PIP2 Window Back Buffer Line Address Offset Register							
デフォルト=0000h							読み出し／書き込み
n/a		メイン/PIP1/PIP2ウィンドウバックバッファラインアドレスオフセットビット13~8					
15	14	13	12	11	10	9	8
メイン/PIP1/PIP2ウィンドウバックバッファラインアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット13~0 メイン/PIP1/PIP2ウィンドウバックバッファラインアドレスオフセットビット[13:0]
これらのビットは、メイン/PIP1/PIP2ウィンドウバックバッファに使用されるメモリ内のある表示ラインの先頭から次の表示ラインの先頭までのオフセットをバイト単位で指定します。

REG[0880h] Color Conversion Control Register								
デフォルト=0000h							読み出し／書き込み	
n/a								
15	14	13	12	11	10	9	8	
UVオフセットイネーブル	n/a		カラー変換ウィンドウ選択ビット1~0			n/a		カラー変換イネーブル
7	6	5	4	3	2	1	0	

ビット7 UVオフセットイネーブル
このビットが0bのとき、UVオフセットはディスエーブルされます。
このビットが1bのとき、UVオフセットはイネーブルされます。

ビット4~3 カラー変換ウィンドウ選択ビット[1:0]
カラー変換がイネーブルされたとき (REG[0880h]ビット0=1b)、これらのビットは、カラー変換を適用するウィンドウを選択します。

表10-38 カラー変換ウィンドウ選択

REG[0880h]ビット4~3	カラー変換が適用されるウィンドウ
00b	メイン、PIP1およびPIP2ウィンドウ
01b	PIP1ウィンドウのみ
10b	PIP2ウィンドウのみ
11b	PIP1とPIP2のウィンドウのみ

ビット0 カラー変換イネーブル
このビットはカラー変換機能を制御します。
このビットが0bのときは、カラー変換がディスエーブルされます (すなわち無視されます)。
このビットが1bのときは、カラー変換がイネーブルされます。

REG[0882h]~REG[0892h] Color Conversion Matrix Coefficient Registers 0~8							
デフォルト=0000h						読み出し/書き込み	
15	14	n/a	12	11	10	9	8
カラー変換マトリックス係数Xのビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

カラー変換マトリックス係数Xのビット[10:0]

これらのビットは、カラー変換に使用されるマトリックス係数を構成します。
ビット10は符号ビット、ビット9~8は整数、ビット7~0は少数部分です。

10. レジスタ

10.4.6 GPIOレジスタ

注

GPIO機能の端子はすべて、他の機能の端子と多重化されています。実装に必要な機能に従ってリセット後にGPIO端子を設定してください。端子の詳細な説明は、13ページの項5.「端子構成」を参照してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[0C00h] GPIOA Data Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
GPIOAデータビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

GPIOAデータビット[7:0]

これらのビットは、対応するGPIOA[7:0]端子の設定により異なる使われ方をします。GPIOAx端子の設定を決定するときは、GPIOA Pin FunctionレジスタREG[0C02h]を参照してください。

読み出し：

GPIOAx端子が入力として設定されると、対応するGPIOAデータビットは端子の入力状態を示します。たとえば、GPIOA7がHighの場合、GPIOAデータビット7は1bを返します。

GPIOAx端子が出力として設定されると、対応するGPIOAデータビットはレジスタビットの値を示します。

書き込み：

GPIOAx端子が出力として設定されると、対応するGPIOAデータビットは端子の出力レベルを制御します。たとえば、GPIOAデータビット7を1bに設定すると、GPIOA7はHighを出力します。

REG[0C02h] GPIOA Pin Function Register							
デフォルト=0000h				読み出し／書き込み			
GPIOA7モードビット1~0		GPIOA6モードビット1~0		GPIOA5モードビット1~0		GPIOA4モードビット1~0	
15	14	13	12	11	10	9	8
GPIOA3モードビット1~0		GPIOA2モードビット1~0		GPIOA1モードビット1~0		GPIOA0モードビット1~0	
7	6	5	4	3	2	1	0

ビット15~0

GPIOAxモードビット[1:0]

それぞれのGPIOA[7:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOAx端子の機能（またはモード）を指定します。各GPIOAx端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-39 GPIOAx端子機能

GPIOAxモードビット1~0	GPIOAx端子機能
00b（デフォルト）	GPIOAxは入力として設定されます。
01b	GPIOAxは非GPIO機能#1に設定されます。
10b	GPIOAxは出力として設定されます。
11b	GPIOAxは非GPIO機能#2に設定されます。

10. レジスタ

REG[0C04h] GPIOB Data Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
GPIOBデータビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

GPIOBデータビット[7:0]

これらのビットは、対応するGPIOB[7:0]端子の設定により異なる使われ方をします。GPIOB_x端子の設定を決定するときは、GPIOB Pin FunctionレジスタREG[0C06h]を参照してください。

読み出し：

GPIOB_x端子が入力として設定されたとき、対応するGPIOBデータビットは端子の入力状態を示します。たとえば、GPIOB7がHighの場合、GPIOBデータビット7は1bを返します。

GPIOB_x端子が出力として設定されたとき、対応するGPIOBデータビットはレジスタビットの値を示します。

書き込み：

GPIOB_x端子が出力として設定されたとき、対応するGPIOBデータビットは端子の出力レベルを制御します。たとえば、GPIOBデータビット7が1bに設定された場合、GPIOB7はHighを出力します。

REG[0C06h] GPIOB Pin Function Register							
デフォルト=0000h							読み出し／書き込み
GPIOB7モードビット1~0		GPIOB6モードビット1~0		GPIOB5モードビット1~0		GPIOB4モードビット1~0	
15	14	13	12	11	10	9	8
GPIOB3モードビット1~0		GPIOB2モードビット1~0		GPIOB1モードビット1~0		GPIOB0モードビット1~0	
7	6	5	4	3	2	1	0

ビット15~0

GPIOB_xモードビット[1:0]

それぞれのGPIOB[7:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOB_x端子の機能（またはモード）を指定します。各GPIOB_x端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-40 GPIOB_x端子機能

GPIOB _x モードビット1~0	GPIOB _x 端子機能
00b（デフォルト）	GPIOB _x は入力として設定されます。
01b	GPIOB _x は非GPIO機能#1に設定されます。
10b	GPIOB _x は出力として設定されます。
11b	GPIOB _x は非GPIO機能#2に設定されます。

注

GPIOB[6:4]では、非GPIO機能#2は予備です。選択しないでください。

REG[0C08h] GPIOC Data Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
GPIOCデータビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

GPIOCデータビット[7:0]

これらのビットは、対応するGPIOC[7:0]端子の設定により異なる使われ方をします。GPIOCx端子の設定を決定するときは、GPIOC Pin FunctionレジスタREG[0C0Ah]を参照してください。

読み出し：

GPIOCx端子が入力として設定されたとき、対応するGPIOCデータビットは、端子の入力状態を示します。たとえば、GPIOC7がHighの場合、GPIOCデータビット7は1bを返します。

GPIOCx端子が出力として設定されたとき、対応するGPIOCデータビットは、レジスタビットの値を示します。

書き込み：

GPIOCx端子が出力として設定されたとき、対応するGPIOCデータビットは、端子の出力レベルを制御します。たとえば、GPIOCデータビット7が1bに設定された場合、GPIOC7はHighを出力します。

REG[0C0Ah] GPIOC Pin Function Register							
デフォルト=0000h							読み出し／書き込み
GPIOC7モードビット1~0		GPIOC6モードビット1~0		GPIOC5モードビット1~0		GPIOC4モードビット1~0	
15	14	13	12	11	10	9	8
GPIOC3モードビット1~0		GPIOC2モードビット1~0		GPIOC1モードビット1~0		GPIOC0モードビット1~0	
7	6	5	4	3	2	1	0

ビット15~0

GPIOCxモードビット[1:0]

それぞれのGPIOC[7:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOCx端子の機能（またはモード）を指定します。それぞれのGPIOCx端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-41 GPIOCx端子機能

GPIOCxモードビット1~0	GPIOCx端子機能
00b (デフォルト)	GPIOCxは入力として設定されます。
01b	GPIOCxは非GPIO機能#1に設定されます。
10b	GPIOCxは出力として設定されます。
11b	GPIOCxは非GPIO機能#2に設定されます。

10. レジスタ

REG[0C0Ch] GPIOD Data Register								
デフォルト=0000h							読み出し／書き込み	
				n/a				
15	14	13	12	11	10	9	8	
				n/a	GPIODデータビット3~0			
7	6	5	4	3	2	1	0	

ビット3~0

GPIODデータビット[3:0]

これらのビットは、対応するGPIOD[3:0]端子の設定により異なる使われ方をします。GPIOD_x端子の設定を決定するときは、GPIOD Pin FunctionレジスタREG[0C0Eh]を参照してください。

読み出し：

GPIOD_x端子が入力として設定されたとき、対応するGPIODデータビットは、端子の入力状態を示します。たとえば、GPIOD3がHighの場合、GPIODデータビット3は1bを返します。

GPIOD_x端子が出力として設定されたとき、対応するGPIODデータビットはレジスタビットの値を示します。

書き込み：

GPIOD_x端子が出力として設定されたとき、対応するGPIODデータビットは、端子の出力レベルを制御します。たとえば、GPIODデータビット3が1bに設定された場合、GPIOD3はHighを出力します。

REG[0C0Eh] GPIOD Pin Function Register								
デフォルト=0000h							読み出し／書き込み	
				n/a				
15	14	13	12	11	10	9	8	
GPIOD3モードビット1~0		GPIOD2モードビット1~0		GPIOD1モードビット1~0		GPIOD0モードビット1~0		
7	6	5	4	3	2	1	0	

ビット7~0

GPIOD_xモードビット[1:0]

それぞれのGPIOD[3:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOD_x端子の機能（またはモード）を指定します。それぞれのGPIOD_x端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-42 GPIOD_x端子機能

GPIOD _x モードビット1~0	GPIOD _x 端子機能
00b (デフォルト)	GPIOD _x は入力として設定されます。
01b	GPIOD _x は非GPIO機能#1に設定されます。
10b	GPIOD _x は出力として設定されます。
11b	GPIOD _x は非GPIO機能#2に設定されます。

REG[0C10h]~REG[0C16h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0C18h] GPIOG Data Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				GPIOGデータビット4~0			
7	6	5	4	3	2	1	0

ビット4~0

GPIOGデータビット[4:0]

これらのビットは、対応するGPIOG[4:0]端子の設定により異なる使われ方をします。GPIOG_x端子の設定を決定するときは、GPIOG Pin FunctionレジスタREG[0C1Ah]を参照してください。

読み出し：

GPIOG_x端子が入力として設定されたとき、対応するGPIOGデータビットは端子の入力状態を示します。たとえば、GPIOG4がHighの場合、GPIOGデータビット4は1bを返します。

GPIOG_x端子が出力として設定されたとき、対応するGPIOGデータビットはレジスタビットの値を示します。

書き込み：

GPIOG_x端子が出力として設定されたとき、対応するGPIOGデータビットは端子の出力レベルを制御します。たとえば、GPIOGデータビット4が1bに設定された場合、GPIOG4はHighを出力します。

REG[0C1Ah] GPIOG Pin Function Register							
デフォルト=0000h							読み出し／書き込み
n/a							GPIOG4モードビット1~0
15	14	13	12	11	10	9	8
GPIOG3モードビット1~0		GPIOG2モードビット1~0		GPIOG1モードビット1~0		GPIOG0モードビット1~0	
7	6	5	4	3	2	1	0

ビット9~0

GPIOG_xモードビット[1:0]

それぞれのGPIOG[4:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOG_x端子の機能（またはモード）を指定します。それぞれのGPIOG_x端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-43 GPIOG_x端子機能

GPIOG _x モードビット1~0	GPIOG _x 端子機能
00b (デフォルト)	GPIOG _x は入力として設定されます。
01b	GPIOG _x は非GPIO機能#1に設定されます。
10b	GPIOG _x は出力として設定されます。
11b	GPIOG _x は非GPIO機能#2に設定されます。

10. レジスタ

REG[0C1Ch] GPIOH Data Register							
デフォルト=00XXh							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a		GPIOHデータビット5~0					
7	6	5	4	3	2	1	0

ビット5~0

GPIOHデータビット[5:0]

これらのビットは、対応するGPIOH[5:0]端子の設定により異なる使われ方をします。GPIOHx端子の設定を決定するときは、GPIOH Pin FunctionレジスタREG[0C1Eh]を参照してください。

読み出し：

GPIOHx端子が入力として設定されたとき、対応するGPIOHデータビットは端子の入力状態を示します。たとえば、GPIOH5がHighの場合、GPIOHデータビット5は1bを返します。

GPIOHx端子が出力として設定されたとき、対応するGPIOHデータビットはレジスタビットの値を示します。

書き込み：

GPIOHx端子が出力として設定されたとき、対応するGPIOHデータビットは端子の出力レベルを制御します。たとえば、GPIOHデータビット5が1bに設定された場合、GPIOH5はHighを出力します。

REG[0C1Eh] GPIOH Pin Function Register							
デフォルト=0000h							読み出し／書き込み
n/a				GPIOH5モードビット1~0		GPIOH4モードビット1~0	
15	14	13	12	11	10	9	8
GPIOH3モードビット1~0		GPIOH2モードビット1~0		GPIOH1モードビット1~0		GPIOH0モードビット1~0	
7	6	5	4	3	2	1	0

ビット11~0

GPIOHxモードビット[1:0]

それぞれのGPIOH[5:0]端子を入力、出力または2つの非GPIO機能の一方として設定することができます。これらのビットは、対応するGPIOHx端子の機能（またはモード）を指定します。それぞれのGPIOHx端子に割り当てられた非GPIO機能の詳細は、26ページの項5.2.4「GPIO／マルチファンクションインタフェース」を参照してください。

表10-44 GPIOHx端子機能

GPIOHxモードビット1~0	GPIOHx端子機能
00b（デフォルト）	GPIOHxは入力として設定されます。
01b	GPIOHxは非GPIO機能#1に設定されます。
10b	GPIOHxは出力として設定されます。
11b	GPIOHxは非GPIO機能#2に設定されます。

REG[0C20h]~REG[0C22h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[0C24h] GPIOA&B Interrupt Type Register							
デフォルト=0000h							読み出し／書き込み
GPIOB割り込みタイプ選択ビット7~0							
15	14	13	12	11	10	9	8
GPIOA割り込みタイプ選択ビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

GPIOB割り込みタイプ選択ビット[7:0]

これらのビットは、GPIOB[7:0]端子と関連付けられた割り込みのトリガタイプを個別に制御します。割り込み機能は、REG[0C28h]を使って制御されます。このビットが0bのとき、割り込みはレベルトリガを使用します。このビットが1bのとき、割り込みはエッジトリガを使用します。

たとえば、ビット15が1bのとき、GPIOB7端子と関連付けられた割り込みはエッジトリガを使用します。

注

これらのビットを変更する前に、REG[0C2Ah]を使って未処理の割り込みをすべてクリアしてください。

ビット7~0

GPIOA割り込みタイプ選択ビット[7:0]

これらのビットは、GPIOA[7:0]端子と関連付けられた割り込みのトリガタイプを個別に制御します。割り込み機能は、REG[0C28h]を使って制御されます。このビットが0bのとき、割り込みはレベルトリガを使用します。このビットが1bのとき、割り込みはエッジトリガを使用します。

たとえば、ビット0が0bのとき、GPIOA0端子と関連付けられた割り込みはレベルトリガを使用します。

注

これらのビットのいずれかを変更するときはその前に、REG[0C2Ah]を使って未処理の割り込みをすべてクリアしてください。

10. レジスタ

REG[0C26h] GPIOA&B Interrupt Polarity Register							
デフォルト=0000h							読み出し／書き込み
GPIOB割り込み極性選択ビット7~0							
15	14	13	12	11	10	9	8
GPIOA割り込み極性選択ビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

GPIOB割り込み極性選択ビット[7:0]

これらのビットは、GPIOB[7:0]端子と関連付けられた割り込みの極性を個別に制御します。割り込み機能は、REG[0C28h]を使って制御されます。このビットが0bのとき、割り込みは、Highのとき（レベルトリガの場合）、または立ち上がりするとき（エッジトリガの場合）にトリガされます。このビットが1bのとき、割り込みは、Lowのとき（レベルトリガの場合）、または立ち下がりするとき（エッジトリガの場合）にトリガされます。

注

これらのビットのいずれかを変更するときはその前に、REG[0C2Ah]を使って未処理の割り込みをすべてクリアしてください。

ビット7~0

GPIOA割り込み極性選択ビット[7:0]

これらのビットは、GPIOA[7:0]端子と関連付けられた割り込みの極性を個別に制御します。割り込み機能は、REG[0C28h]を使って制御されます。このビットが0bのとき、割り込みは、Highのとき（レベルトリガの場合）、または立ち上がりするとき（エッジトリガの場合）にトリガされます。このビットが1bのとき、割り込みは、Lowのとき（レベルトリガの場合）、または立ち下がりするとき（エッジトリガの場合）にトリガされます。

注

これらのビットのいずれかを変更するときはその前に、REG[0C2Ah]を使って未処理の割り込みをすべてクリアしてください。

REG[0C28h] GPIOA&B Interrupt Enable Register

デフォルト=0000h

読み出し／書き込み

GPIOB割り込みイネーブルビット7~0							
15	14	13	12	11	10	9	8
GPIOA割り込みイネーブルビット7~0							
7	6	5	4	3	2	1	0

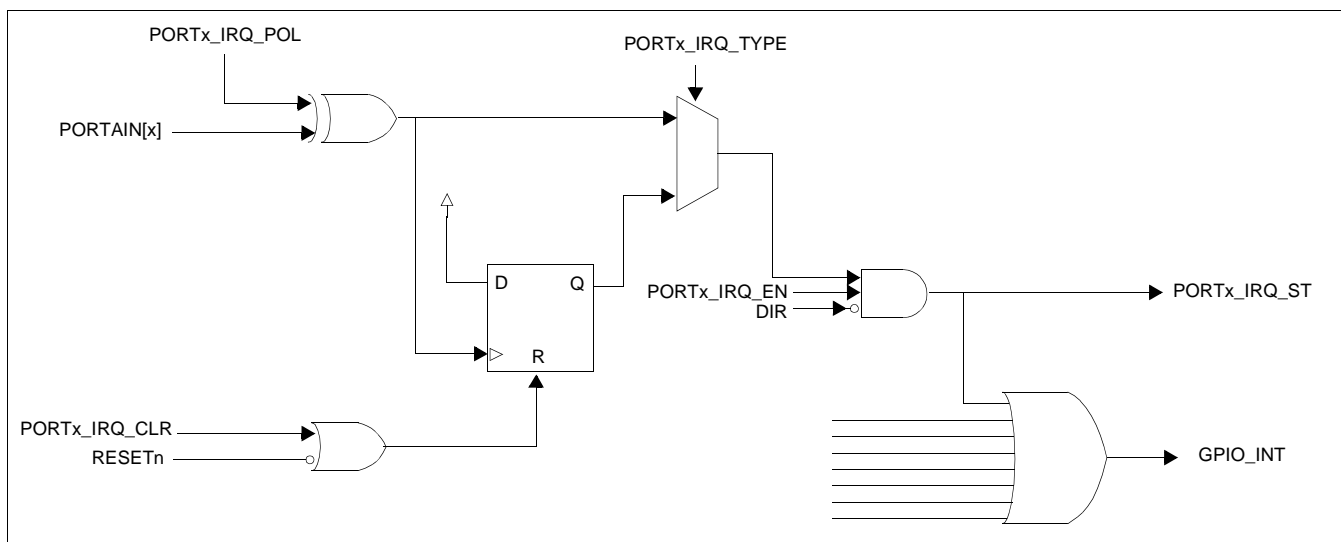


図10-1 GPIOAおよびGPIOB割り込みロジック

ビット15~8

GPIOB割り込みイネーブルビット[7:0]

これらのビットの設定に基づいて、GPIOB[7:0]端子は割り込みを生成することができます。各ビットは、対応するGPIOB[7:0]端子の割り込みをイネーブルするかどうかを制御します。たとえば、ビット7を1bに設定すると、GPIOB7端子の割り込みがイネーブルされます。それぞれの割り込みの状態は、REG[0C2Ah]内のビットによって示されます。割り込みをイネーブルする前に、割り込みタイプ (REG[0C24h]) と割り込み極性 (REG[0C26h]) を設定してください。このビットが0bのとき、GPIOB_xと関連付けられた割り込みがディスエーブルされます。このビットが1bのとき、GPIOB_xと関連付けられた割り込みがイネーブルされます。

ビット7~0

GPIOA割り込みイネーブルビット[7:0]

これらのビットの設定に基づいて、GPIOA[7:0]端子は割り込みを生成することができます。各ビットは、対応するGPIOA[7:0]端子の割り込みをイネーブルするかどうかを制御します。たとえば、ビット7を1bに設定すると、GPIOA7端子の割り込みがイネーブルされます。各割り込みの状態は、REG[0C2Ah]内のビットによって示されます。割り込みをイネーブルする前に、割り込みタイプ (REG[0C24h]) と割り込み極性 (REG[0C26h]) を設定してください。このビットが0bのとき、GPIOA_xと関連付けられた割り込みがディスエーブルされます。このビットが1bのとき、GPIOA_xと関連付けられた割り込みがイネーブルされます。

10. レジスタ

REG[0C2Ah] GPIOA&B IRQ Status and Clear Register							
デフォルト=0000h							読み出し／書き込み
GPIOB割り込み状態ビット7~0							
15	14	13	12	11	10	9	8
GPIOA割り込み状態ビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

GPIOB割り込み状態ビット[7:0]

REG[0C28h]を使って割り込みをイネーブルしたとき、これらのビットは対応するGPIOB[7:0]割り込みの状態を示します。たとえば、ビット7の読み出しはGPIOB7割り込みの状態を示します。

このビットが0bのとき、割り込みが発行されていません。

このビットが1bのとき、割り込みが発行されています。

割り込み状態ビットをクリアするには、対応するビットに1bを書き込み、次に0bを書き込んでください。

ビット7~0

GPIOA割り込み状態ビット[7:0]

REG[0C28h]を使って割り込みをイネーブルしたとき、これらのビットは、対応するGPIOA[7:0]割り込みの状態を示します。たとえば、ビット7の読み出しはGPIOA7割り込みの状態を示します。

このビットが0bのとき、割り込みが発行されていません。

このビットが1bのとき、割り込みが発行されています。

割り込み状態ビットをクリアするには、対応するビットに1bを書き込み、次に0bを書き込んでください。

10.4.7 スプライトレジスタ

スプライトレジスタは、イメージフォーマットコンバータイネーブルビット (REG[1700h]ビット8) の設定により2つの異なる使われ方をします。このレジスタを同時に2つの機能に使用することはできません。

スプライトモジュールがスプライトエンジンモードに設定された場合 (REG[1700h]ビット8=0b)、スプライト#0~#15の個々のスプライトの特性を定義するために、REG[1000h]~REG[15FEh]がスプライトエンジンによって使用されます。このモードについては、213ページの項「スプライトエンジンがイネーブルの場合のスプライトレジスタ」のレジスタの説明を参照してください。

スプライトモジュールがイメージフォーマットコンバータモードに設定された場合 (REG[1700h]ビット8=1b)、イメージフォーマットコンバータに必要なパラメータを指定するためにREG[1000h]~REG[100Ah]が使用されます。このモードについては、228ページの項「イメージフォーマットコンバータがイネーブルの場合のスプライトレジスタ」のレジスタの説明を参照してください。

スプライトエンジンがイネーブルの場合のスプライトレジスタ

スプライトモジュールがスプライトエンジンモードに設定された場合 (REG[1700h]ビット8=0b)、スプライト#0~#15の個々のスプライトの特性を定義するために、これらのレジスタがスプライトエンジンによって使用されます。これらのレジスタは、必ずスプライトエンジンがアイドル状態のとき (REG[1702h]ビット15=0b) に修正してください。このモードでは、同じ組のレジスタが各スプライトに繰り返され、以下のようにマッピングされます。スプライト#0~#15レジスタはすべて、未定義の値ですので、スプライトをイネーブルする前に要求値でプログラムしてください。

注

REG[1000h]~REG[15FFh]はSRAMで構成されており、スプライト操作の前に0000hに初期化してください。

10. レジスタ

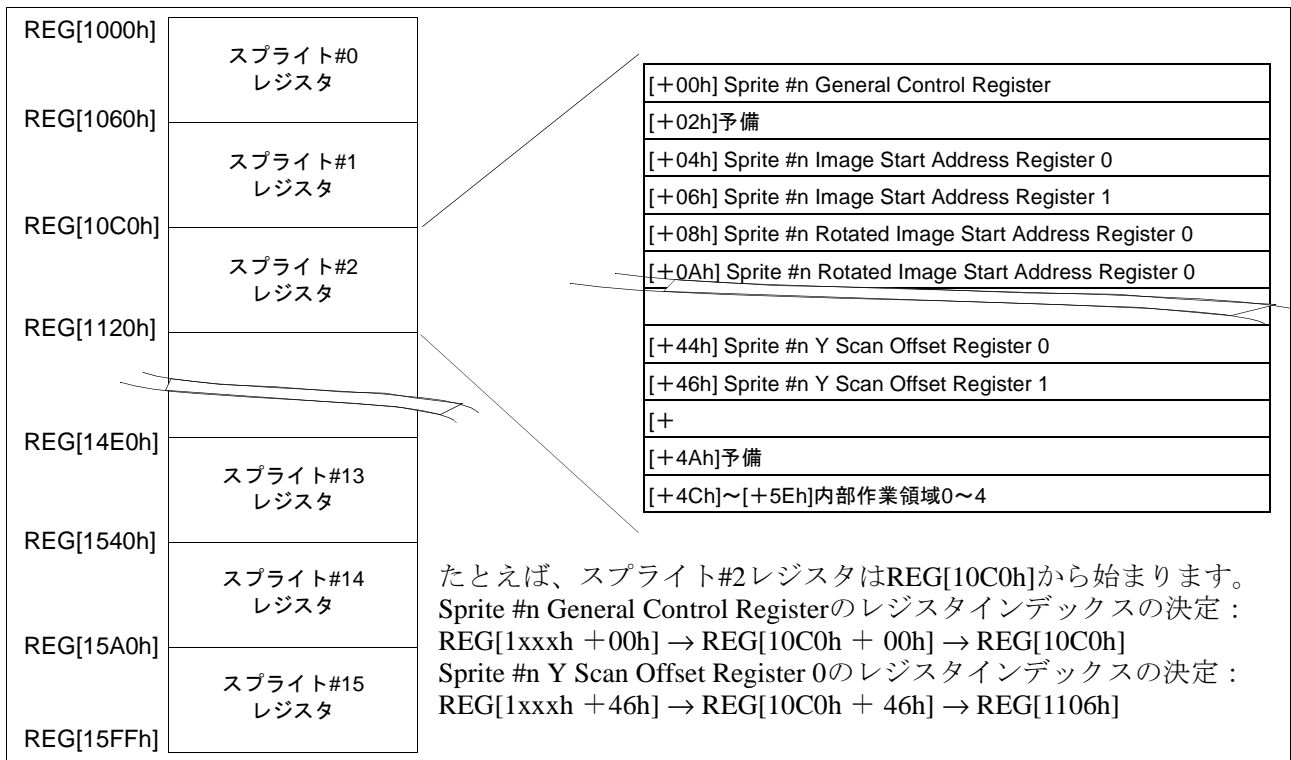


図10-2 スプライト#0~#15レジスタマッピング

REG[1xxxh + 00h] Sprite #n General Control Register							
デフォルト=XXXXh							
読み出し/書き込み							
スプライト#n Zオーダービット3~0				スプライト#n回転ビット1~0		スプライト#n ミラーイネーブル	スプライト#n 透過イネーブル
15	14	13	12	11	10	9	8
スプライト#n任意回 転イネーブル	n/a					スプライト#n イメージフォー マット	スプライト#n イネーブル
7	6	5	4	3	2	1	0

ビット15~12

スプライト#n Zオーダービット[3:0]

これらのビットは、スプライト#nと関連付けられ、アルファブレンディング機能と透過機能のスプライト優先順位を決定するZオーダーを指定します。Zオーダー値の範囲は、最上（前景）を示すFhから最下（背景）を示す0hまでです。複数のスプライトに同じZオーダーが割り当てられた場合は、大きい番号が付けられたスプライトが小さい番号が付けられたスプライトよりも優先されます。スプライト#0は背景として使用され、最も低いZオーダーに設定してください。スプライト#0は、表示ウィンドウと同じフレームサイズにしてください (REG[1xxxh + 10h]~REG[1xxxh + 12h])。

ビット11~10

スプライト#n回転ビット[1:0]
これらのビットは、スプライト#n画像に適用される時計回り方向の回転を指定します。

表10-45 スプライト#n回転

REG[1xxxh+00h]ビット11~10	スプライト#n回転
00b	0° 回転
01b	90° 回転
10b	180° 回転
11b	270° 回転

注

- 任意回転がイネーブルされた場合 (REG[1xxxh+00h]ビット7) は、これらのビットを00bに設定してください (0° 回転)。
- スプライトのフレームサイズが実効サイズより小さい場合は、メモリ内の画像の左上部分が表示されます。90° または270° の場合は、元の非回転画像の左下部分が回転画像の左上になるので、その部分が表示されます。詳細は、408ページの図16-9「スプライトフレームサイズがスプライト実効サイズより小さい場合」を参照してください。詳細は、408ページの図16-9「スプライトフレームサイズがスプライト実効サイズより小さい場合」を参照してください。
- これらのビットがスプライト#0に使用された (すなわち、背景スプライトが回転された) 場合、スプライトエンジン出力の描画ウィンドウも回転されます。

ビット9

スプライト#nミラーイネーブル
このビットは、スプライト#nの水平ミラー機能を制御します。
このビットが0bのとき、ミラーはディスエーブルされます。
このビットが1bのとき、ミラーはイネーブルされます。

ビット8

スプライト#n透過イネーブル
このビットは、スプライト#nの透過機能を制御します。ピクセルが透明なとき、Zオーダーでその下にある次の可視ピクセルが見えるようになります。
このビットが0bのとき、透過はディスエーブルされます。
このビットが1bのとき、透過はイネーブルされます。

注

スプライト#0 (背景) には透明ピクセルがあってはなりません。

ビット7

スプライト#n任意回転イネーブル
このビットは、任意回転をスプライト#nに適用できるかどうかを制御します。
任意回転は、スプライト#n回転ビット (REG[1xxxh+00h]ビット11~10) を00bに設定した場合 (0° 回転) だけイネーブルしてください。
このビットが0bのとき、任意回転がディスエーブルされます。
このビットが1bのとき、任意回転がイネーブルされます。

ビット1

スプライト#n画像データフォーマット
このビットは、スプライト#n画像のデータフォーマットを選択します。一般に任意回転が必要ないときは、ストリームデータフォーマットが使用されます。任意回転をイネーブルしたとき (REG[1xxxh+00h]ビット7=1b) は、8×8タイルデータフォーマットを選択してください。
このビットが0bのとき、ストリームデータフォーマットが選択されます。
このビットが1bのとき、8×8タイルフォーマットが選択されます。

10. レジスタ

注

8×8タイルフォーマットは、8の倍数の任意回転で使用される仮想画像寸法を有するスプライトだけに使用することを推奨します。

ビット0

スプライト#n#イネーブル

このビットは、関連付けられたスプライト（すなわち、スプライト#n）を制御します。スプライト操作をトリガする前に最低1つのスプライトをイネーブルしてください。

このビットが0bのとき、スプライトはディスエーブルされます。

このビットが1bのとき、スプライトはイネーブルされます。

REG[1xxxh +02h]は予備

このレジスタは使用されていません。書き込まないでください。

REG[1xxxh +04h] Sprite #n Image Start Address Register 0							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n画像開始アドレスビット15~8							
15	14	13	12	11	10	9	8
スプライト#n 画像開始アドレス ビット7	予備						
7	6	5	4	3	2	1	0

REG[1xxxh +06h] Sprite #n Image Start Address Register 1							
デフォルト=XXXXh							読み出し／書き込み
予備				スプライト#n画像開始アドレスビット26~24			
15	14	13	12	11	10	9	8
スプライト#n画像開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1xxxh +06]ビット10~0

REG[1xxxh +04]ビット15~7

スプライト#n画像開始アドレスビット[26:7]

これらのビットは、0° または180° 回転が選択されたときにスプライト#n画像のメモリ開始アドレスのビット26~7を指定します。それぞれの画像開始アドレスは、256バイト境界で揃えてください。

REG[1xxxh +04h]ビット6~0

予備

これらのビットは、000_0000bに設定してください。

REG[1xxxh +06h]ビット15~11

予備

これらのビットは、0_0000bに設定してください。

REG[1xxxh +08h] Sprite #n Rotated Image Start Address Register 0							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n回転画像開始アドレスビット15~8							
15	14	13	12	11	10	9	8
スプライト#n回転画像開始アドレスビット7	予備						
7	6	5	4	3	2	1	0

REG[1xxxh +0Ah] Sprite #n Rotated Image Start Address Register 1							
デフォルト=XXXXh							読み出し／書き込み
予備				スプライト#n回転画像開始アドレスビット26~24			
15	14	13	12	11	10	9	8
スプライト#n回転画像開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1xxxh +0A]ビット10~0

REG[1xxxh +08]ビット15~7

スプライト#n回転画像開始アドレスビット[26:7]

これらのビットは、90° または270° 回転が選択されたときにスプライト#n回転画像のメモリ開始アドレスのビット26~7を指定します。各画像開始アドレスは256バイト境界で揃えてください。

注

回転が使用されない場合は、回転画像を記憶する必要はありません。

REG[1xxxh +08h]ビット6~0

予備

これらのビットは、000_0000bに設定してください。

REG[1xxxh +0Ah]ビット15~11

予備

これらのビットは、0_0000bに設定してください。

REG[1xxxh +0Ch] Sprite #n X Position Register							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n X位置符号ビット5~0				スプライト#n X位置ビット10~8			
15	14	13	12	11	10	9	8
スプライト#n X位置ビット7~0							
7	6	5	4	3	2	1	0

ビット15~11

スプライト#n X位置符号ビット[5:0]

これらのビットは、X位置が左上角に対して負かどうかを判定する拡張符号ビットです。ビット15だけが使用されます。

ビット10~0

スプライト#n X位置ビット[10:0]

これらのビットは、表示領域の左上角に対するスプライト#nのスプライト基準点のX位置を指定します。位置の値が負のとき、スプライトは表示を任意の方向に動かすことができます。

10. レジスタ

REG[1xxxh +0Eh] Sprite #n Y Position Register							
デフォルト=XXXXh							読み出し／書き込み
Sprite #n Y位置符号ビット5~0				Sprite #n Y位置ビット10~8			
15	14	13	12	11	10	9	8
Sprite #n Y位置ビット7~0							
7	6	5	4	3	2	1	0

ビット15~11 Sprite #n Y位置符号ビット[5:0]
 これらのビットは、Y位置が左上角に対して負であるかどうかを判定する拡張符号ビットです。ビット15だけが使用されます。

ビット10~0 Sprite #n Y位置ビット[10:0]
 これらのビットは、表示領域の左上角に対するSprite #nのSprite基準点のY位置を指定します。位置の値が負のとき、Spriteは表示を任意の方向に動かすことができます。

REG[1xxxh +10h] Sprite #n Frame Width Register							
デフォルト=XXXXh							読み出し／書き込み
n/a				Sprite #nフレーム幅ビット10~8			
15	14	13	12	11	10	9	8
Sprite #nフレーム幅ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0 Sprite #nフレーム幅ビット[10:0]
 これらのビットは、Spriteを描く領域の幅をピクセルで指定します。これらのビットは、次の式が成り立つようにプログラムしてください。
 $1 \leq \text{フレーム幅} \leq 1280$

注

1. フレーム幅は、任意回転がイネーブルされた場合（REG[1xxxh +00h]ビット7=1b）を除き、実効幅以下にしてください。
2. Spriteのフレームサイズが実効サイズより小さい場合は、メモリ内の画像の左上部分が表示されます。90° または270° の場合は、元の非回転画像の左下部分が回転画像の左上になるので、その部分が表示されます。詳細は、408ページの図16-9「SpriteフレームサイズがSprite実効サイズより小さい場合」を参照してください。
3. Sprite #0のフレーム幅は、表示領域と同じサイズにしてください。
4. REG[1xxx+00h]ビット11~10を使ってSprite #0の回転を指定する（すなわち、背景Spriteを回転する）場合、Spriteエンジン出力の描画ウィンドウも回転します。

REG[1xxxh +12h] Sprite #n Frame Height Register							
デフォルト=XXXXh							読み出し／書き込み
n/a			Sprite #n フレーム高さビット10~8				
15	14	13	12	11	10	9	8
Sprite #n フレーム高さビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

Sprite #n フレーム高さビット[10:0]

これらのビットは、Spriteを描く領域の高さをピクセルで指定します。これらのビットは、次の式が成り立つようにプログラムしてください。

$$1 \leq \text{フレーム高さ} \leq 1024$$

注

1. フレーム高さは、任意回転がイネーブルされた場合 (REG[1xxxh+00h] ビット7=1b) を除き、実効高さ以下にしてください。
2. Spriteのフレームサイズが実効サイズより小さい場合は、メモリ内の画像の左上部分が表示されます。90° または270° の場合は、元の非回転画像の左下部分が回転画像の左上になるので、その部分が表示されます。詳細は、408ページの図16-9「SpriteフレームサイズがSprite実効サイズより小さい場合」を参照してください。
3. Sprite #0のフレーム高さは、表示領域と同じサイズにしてください。
4. REG[1xxx+00h] ビット11~10を使ってSprite #0の回転を指定する（すなわち、背景Spriteを回転する）場合、Spriteエンジン出力の描画ウィンドウも回転します。

REG[1xxxh +14h] Sprite #n Reference Point X Offset Register							
デフォルト=XXXXh							読み出し／書き込み
Sprite #n 基準点Xオフセット符号ビット5~0				Sprite #n 基準点Xオフセットビット10~8			
15	14	13	12	11	10	9	8
Sprite #n 基準点Xオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット15~11

Sprite #n 基準点Xオフセット符号ビット[5:0]

これらのビットは、基準点XオフセットがSpriteの左上角に対して負であるかどうかを判定する拡張符号ビットです。ビット15だけが使用されます。

ビット10~0

Sprite #n 基準点Xオフセットビット[10:0]

これらのビットは、Spriteの左上角に対する基準点Xオフセットを指定します。

注

このビットを設定すると、基準点を使ってSpriteの位置を設定し照会することができます。基準点は、すべての変形（回転とミラー）の「中心」としても働きます。必要に応じて、基準点をSpriteの境界の外に定義することもできます。

10. レジスタ

REG[1xxxh +16h] Sprite #n Reference Point Y Offset Register							
デフォルト=XXXXh							読み出し／書き込み
Sprite #n基準点Yオフセット符号ビット5~0				Sprite #n基準点Yオフセットビット10~8			
15	14	13	12	11	10	9	8
Sprite #n基準点Xオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット15~11 Sprite #n基準点Yオフセット符号ビット[5:0]
 これらのビットは、基準点YオフセットがSpriteの左上角に対して負であるかどうかを判定する拡張符号ビットです。ビット15だけが使用されます。

ビット10~0 Sprite #n基準点Yオフセットビット[10:0]
 これらのビットは、Spriteの左上角に対する基準点Yオフセットを指定します。

注

このビットを設定すると、基準点を使ってSpriteの位置を設定し照会することができます。基準点は、すべての変形（回転とミラー）の「中心」としても働きます。必要に応じて、基準点をSpriteの境界の外に定義することができます。

REG[1xxxh +18h] Sprite #n Transparency Color/Texture Alpha Register							
デフォルト=XXXXh							読み出し／書き込み
Sprite #n透過カラー／テクスチャアルファビット15~8							
15	14	13	12	11	10	9	8
Sprite #n透過カラー／テクスチャアルファビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 Sprite #n透過カラー／テクスチャアルファビット[15:0]
 これらのビットは、Spriteの透過カラー／テクスチャアルファを指定します。RGB 5:6:5の場合、透過カラーはビット15~0を使って定義されます。SpriteデータがARGB 1:5:5:5の場合、これらのビットは、アルファ値を次の表に示したようなアルファインデックス値に基づいて定義します。

表10-46 透過カラー／テクスチャアルファ

REG[1xxxh +18h]	画像		
	RGB 5:6:5	ARGB 1:5:5:5	ARGB 4:4:4:4 / ARGB 8:8:8:8
ビット15~8	透過ピクセルコード (16ビット)	A=1のときのアルファ値 (8ビット)	無効
ビット7~0		A=0のときのアルファ値 (8ビット)	

REG[1xxxh +1Ah] Sprite #n Color Format Register							
デフォルト=XXXXh							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							Sprite #n Color Format Bit 1 ~ 0
7	6	5	4	3	2	1	0

ビット1~0

Sprite #n Color Format Bit [1:0]
これらのビットは、Spriteのカラーフォーマットを決定します。

表10-47 Sprite #nカラーフォーマット選択

REG[1xxxh +1Ah]	カラーフォーマット	Sprite透過カラー
00b	RGB 5:6:5 (16bpp)	透過カラー (REG[1xxxh+18h]を参照)
01b	ARGB 1:5:5:5 (16bpp)	テクスチャアルファ (REG[1xxxh+18h]を参照)
10b	ARGB 4:4:4:4 (16bpp)	使用しない
11b	ARGB 8:8:8:8 (32bpp)	使用しない

10. レジスタ

REG[1xxxh +1Ch] Sprite #n Frame Sequence Register 0							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス1フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス0フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +1Eh] Sprite #n Frame Sequence Register 1							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス3フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス2フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +20h] Sprite #n Frame Sequence Register 2							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス5フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス4フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +22h] Sprite #n Frame Sequence Register 3							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス7フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス6フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +24h] Sprite #n Frame Sequence Register 4							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス9フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス8フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +26h] Sprite #n Frame Sequence Register 5							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス11フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス10フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +28h] Sprite #n Frame Sequence Register 6							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス13フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス12フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +2Ah] Sprite #n Frame Sequence Register 7							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#nシーケンス15フレーム番号ビット7~0							
15	14	13	12	11	10	9	8
スプライト#nシーケンス14フレーム番号ビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh + 2A] ビット15～8

REG[1xxxh + 2A] ビット7～0

REG[1xxxh + 28] ビット15～8

REG[1xxxh + 28] ビット7～0

REG[1xxxh + 26] ビット15～8

REG[1xxxh + 26] ビット7～0

REG[1xxxh + 24] ビット15～8

REG[1xxxh + 24] ビット7～0

REG[1xxxh + 22] ビット15～8

REG[1xxxh + 22] ビット7～0

REG[1xxxh + 20] ビット15～8

REG[1xxxh + 20] ビット7～0

REG[1xxxh + 1E] ビット15～8

REG[1xxxh + 1E] ビット7～0

REG[1xxxh + 1C] ビット15～8

REG[1xxxh + 1C] ビット7～0

スプライト#nシーケンスXフレーム番号ビット[7:0]

スプライト #n シーケンスがディスエーブルされたとき (REG[1780h] ~ REG[179Eh]を参照)、これらのビットは無視されます。

スプライト#nシーケンスがイネーブルされたとき (REG[1780h]~REG[179Eh]を参照)、これらのビットは、シーケンスXに使用されるフレームのメモリ内へのインデックスを決定します。たとえば、スプライト#nシーケンス0フレーム番号ビットが0000_0111bの場合、シーケンス0にフレーム7が使用されます。

注

REG[1782h]~REG[179Eh] ビット1～0=10bの場合、REG[1xxxh+1Ch] ビット7～0は、次のスプライト操作に使用されるフレーム番号を示します。

REG[1xxxh + 2Ch] Sprite #n Virtual Image Width Register								読み出し／書き込み
デフォルト=XXXXh								
n/a		スプライト#n仮想画像幅ビット13～8						
15	14	13	12	11	10	9	8	
スプライト#n仮想画像幅ビット7～0								
7	6	5	4	3	2	1	0	

ビット13～0

スプライト#n仮想画像幅ビット[13:0]

これらのビットは、スプライト仮想画像の水平サイズ（すなわち幅）をピクセルで指定します。仮想画像は実際の表示領域より大きくてもかまいません。

注

これらのビットは、次の式が成り立つようにプログラムしてください。

1 ≤ 仮想画像幅 ≤ 8192

10. レジスタ

REG[1xxxh + 2Eh] Sprite #n Virtual Image Height Register							
デフォルト=XXXXh							読み出し／書き込み
n/a		スプライト#n仮想画像高さビット13~8					
15	14	13	12	11	10	9	8
スプライト#n仮想画像高さビット7~0							
7	6	5	4	3	2	1	0

ビット13~0

スプライト#n仮想画像高さビット[13:0]

これらのビットは、スプライト仮想画像の垂直サイズ（すなわち高さ）をピクセルで指定します。仮想画像は、実際の表示領域より大きくてもかまいません。

注

これらのビットは、次の式が成り立つようにプログラムしてください。

$$1 \leq \text{仮想画像幅} \leq 8192$$

REG[1xxxh + 30h] Sprite #n X Scan Vector H Register 0							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n XスキャンベクトルHビット15~8							
15	14	13	12	11	10	9	8
スプライト#n XスキャンベクトルHビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh + 32h] Sprite #n X Scan Vector H Register 1							
デフォルト=XXXXh							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a	スプライト#n XスキャンベクトルHビット22~16						
7	6	5	4	3	2	1	0

REG[1xxxh + 32h]ビット6~0

REG[1xxxh + 30h]ビット15~0

スプライト#n XスキャンベクトルHビット[22:0]

これらのビットは、スプライトのXスキャンベクトルHビットを[1.13.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1,13,9] S.I.F.は、1ビットの符号、13ビットの整数値および9ビットの小数值を示します。

REG[1xxxh +34h] Sprite #n Y Scan Vector H Register 0							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#n YスキャンベクトルHビット15~8							
15	14	13	12	11	10	9	8
スプライト#n YスキャンベクトルHビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +36h] Sprite #n Y Scan Vector H Register 1							
デフォルト=XXXXh							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
スプライト#n YスキャンベクトルHビット22~16							
n/a	7	6	5	4	3	2	1
7	6	5	4	3	2	1	0

REG[1xxxh +36h] ビット6~0

REG[1xxxh +34h] ビット15~0

スプライト#n YスキャンベクトルHビット[22:0]

これらのビットは、スプライトのYスキャンベクトルHビットを[1.13.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1,13,9] S.I.Fは、1ビットの符号、13ビットの整数値および9ビットの小数値を示します。

REG[1xxxh +38h] Sprite #n X Scan Vector V Register 0							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#n XスキャンベクトルVビット15~8							
15	14	13	12	11	10	9	8
スプライト#n XスキャンベクトルVビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +3Ah] Sprite #n X Scan Vector V Register 1							
デフォルト=XXXXh							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
スプライト#n XスキャンベクトルVビット22~16							
n/a	7	6	5	4	3	2	1
7	6	5	4	3	2	1	0

REG[1xxxh +3Ah] ビット6~0

REG[1xxxh +38h] ビット15~0

スプライト#n XスキャンベクトルVビット[22:0]

これらのビットは、スプライトのXスキャンベクトルVビットを[1.13.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1,13,9] S.I.Fは、1ビットの符号、13ビットの整数値および9ビットの小数値を示します。

10. レジスタ

REG[1xxxh +3Ch] Sprite #n Y Scan Vector V Register 0							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#n YスキャンベクトルVビット15~8							
15	14	13	12	11	10	9	8
スプライト#n YスキャンベクトルVビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +3Eh] Sprite #n Y Scan Vector V Register 1							
デフォルト=XXXXh							
読み出し／書き込み							
n/a							
15	14	13	12	11	10	9	8
スプライト#n YスキャンベクトルVビット22~16							
n/a	7	6	5	4	3	2	1
7	6	5	4	3	2	1	0

REG[1xxxh +3Eh]ビット6~0

REG[1xxxh +3Ch]ビット15~0

スプライト#n YスキャンベクトルVビット[22:0]

これらのビットは、スプライトのYスキャンベクトルVビットを[1.13.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1,13,9] S.I.F.は、1ビットの符号、13ビットの整数値および9ビットの小数値を示します。

REG[1xxxh +40h] Sprite #n X Scan Offset Register 0							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#n Xスキャンオフセットビット15~8							
15	14	13	12	11	10	9	8
スプライト#n Xスキャンオフセットビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +42h] Sprite #n X Scan Offset Register 1							
デフォルト=XXXXh							
読み出し／書き込み							
スプライト#n Xスキャンオフセットビット31~24							
15	14	13	12	11	10	9	8
スプライト#n Xスキャンオフセットビット23~16							
7	6	5	4	3	2	1	0

REG[1xxxh +42h]ビット15~0

REG[1xxxh +40h]ビット15~0

スプライト#n Xスキャンオフセットビット[31:0]

これらのビットは、スプライトのXスキャンオフセットビットを[1.22.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1.22.9] S.I.F.は、1ビットの符号、22ビットの整数値および9ビットの小数値を示します。

REG[1xxxh +44h] Sprite #n Y Scan Offset Register 0							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n Yスキャンオフセットビット15~8							
15	14	13	12	11	10	9	8
スプライト#n Yスキャンオフセットビット7~0							
7	6	5	4	3	2	1	0

REG[1xxxh +46h] Sprite #n Y Scan Offset Register 1							
デフォルト=XXXXh							読み出し／書き込み
スプライト#n Yスキャンオフセットビット31~24							
15	14	13	12	11	10	9	8
スプライト#n Yスキャンオフセットビット23~16							
7	6	5	4	3	2	1	0

REG[1xxxh +46h] ビット15~0

REG[1xxxh +44h] ビット15~0

スプライト#n Yスキャンオフセットビット[31:0]

これらのビットは、スプライトのYスキャンオフセットビットを[1.22.9] S.I.F形式で指定します。これらのビットは、スプライトの任意角度の回転に使用されます。413ページの項16.7「任意角度の回転」を参照してください。

注

[1.22.9] S.I.F.は、1ビットの符号、22ビットの整数値および9ビットの小数值を示します。

REG[1xxxh +48h]~REG[1xxxh +5Eh]は予備

これらのレジスタは予備です。書き込まないでください。

10. レジスタ

イメージフォーマットコンバータがイネーブルの場合のスプライトレジスタ

イメージフォーマットコンバータ (IFC) がイネーブルされたとき (REG[1700h] ビット8=1b)、これらのレジスタは、イメージフォーマットコンバータに必要なパラメータのいくつかを指定するために使用します。

REG[1004h] IFC Source Image Address Register 0							
デフォルト=0000h							読み出し/書き込み
IFCソース画像アドレスビット15~8							
15	14	13	12	11	10	9	8
IFCソース画像アドレスビット7~1							n/a
7	6	5	4	3	2	1	0

REG[1006h] IFC Source Image Address Register 1							
デフォルト=0000h							読み出し/書き込み
n/a			IFCソース画像アドレスビット26~24				
15	14	13	12	11	10	9	8
IFCソース画像アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1006h] ビット10~0

REG[1004h] ビット15~1

IFCソース画像アドレスビット[26:1]

IFC (イメージフォーマットコンバータ) がイネーブルされたときは (REG[1700h] ビット8=1b)、これらのビットは、変換する画像のソース画像アドレスを指定します。IFCソース画像アドレスは、4バイト単位に設定してください (ビット1~0を00bに設定してください)。

IFC Destination Image Address (REG[1710h]~REG[1712h]を参照)

イメージフォーマットコンバータ (IFC) 宛先アドレスを制御するために使用されるレジスタは、REG[1710h]~REG[1712h]にあります。ビットの詳細な説明は、230ページの項10.4.8「スプライトエンジンレジスタ」のSprite Frame Buffer 0 Start Addressレジスタを参照してください。

REG[102Ch] IFC Image Width Register							
デフォルト=0000h							
読み出し／書き込み							
n/a		IFC画像幅ビット13~8					
15	14	13	12	11	10	9	8
IFC画像幅ビット7~0							
7	6	5	4	3	2	1	0

ビット13~0

IFC画像幅ビット[13:0]

IFC (イメージフォーマットコンバータ) がイネーブルされたとき (REG[1700h] ビット8=1b)、これらのビットは、変換する画像の幅を指定します。この値は、次の式が成り立つようにプログラムしてください。

$$1 \leq \text{画像幅} \leq 8192$$

注

サポートする最大水平サイズは、16bppでは8192ピクセル、32bppでは2048ピクセルです。

REG[102Eh] IFC Image Height Register							
デフォルト=0000h							
読み出し／書き込み							
n/a		IFC画像高さビット13~8					
15	14	13	12	11	10	9	8
IFC画像高さビット7~0							
7	6	5	4	3	2	1	0

ビット13~0

IFC画像高さビット[13:0]

IFC (イメージフォーマットコンバータ) がイネーブルされたとき (REG[1700h] ビット8=1b)、これらのビットは、変換する画像の高さを指定します。この値は、次の式が成り立つようにプログラムしてください。

$$1 \leq \text{画像高さ} \leq 8192$$

10. レジスタ

10.4.8 スプライトエンジンレジスタ

REG[1700h] Sprite Control Register							読み出し／書き込み
デフォルト=0000h							
スプライトソフト ウェアリセット	予備	n/a					イメージ フォーマット コンバータ イネーブル
15	14	13	12	11	10	9	
スプライト 個別カラー フォーマット イネーブル	n/a	スプライト共通カラーフォーマット ビット1~0		フレームバッファカラーフォーマット ビット1~0		ダブルフレーム バッファイネーブル	スプライト モジュール イネーブル
7	6	5	4	3	2	1	0

ビット15 スプライトソフトウェアリセット
このビットは、スプライトモジュールのソフトウェアリセットを行い、レジスタREG[1700h]～REG[1716h]およびREG[1780h]～REG[179Eh]をそのデフォルト値にリセットします。このビットは、スプライトレジスタ（REG[1xxxh+00h]～REG[1xxxh+5Eh]）をクリアしません。
このビットが0bのときは、ハードウェアに影響を及ぼしません。
このビットが1bのときは、スプライトモジュールはリセットされます。

ビット14 予備
このビットのデフォルト値は0bです。

ビット8 イメージフォーマットコンバータイネーブル
このビットは、スプライトモジュールを設定する操作モード（スプライトエンジンモードまたはイメージフォーマットコンバータ（IFC）モード）を選択します。このビットは、選択されたモードを有効にしません。
このビットが0bのとき、スプライトエンジンモードが選択されます。スプライトエンジンを作動させるには、スプライトモジュールイネーブルビットに1bを書き込んでください（REG[1700h]ビット0=1b）。
このビットが1bのとき、イメージフォーマットコンバータモードが選択されます。イメージフォーマットコンバータ（IFC）を作動させるには、手動トリガビットに1bを書き込んでください（REG[1704h]ビット0=1b）。

注

IFCをイネーブルするには、REG[1700h]ビット8とREG[1700h]ビット0を両方とも1bに設定してください。

ビット7 スプライト個別カラーフォーマットイネーブル
このビットは、すべてのスプライトにスプライト共通カラーフォーマットビット（REG[1700h]ビット5～4）で指定されたものと同じカラーフォーマットを共有させるか、または各スプライトに特定のカラーフォーマットを関連付けるかを決定します。
このビットが0bのとき、すべてのスプライトは、スプライト共通カラーフォーマットビット（REG[1700h]ビット5～4）によって指定されたものと同じカラーフォーマットを共有します。
このビットが1bのとき、各スプライト（最大16）は、個別のカラーフォーマットがSprite #n Color Formatレジスタによって指定されます（REG[1xxxh+1Ah]を参照）。

ビット5～4 スプライト共通カラーフォーマットビット[1:0]
これらのビットは、スプライト個別カラーフォーマットビットが0bに設定されたときにすべてのスプライトと関連付けられるカラーフォーマットを指定します。これらのビットは、個別カラーフォーマットが選択されているとき（REG[1700h]ビット7=1b）は使用されません。

表10-48 スプライト共通カラーフォーマット選択

REG[1700h]ビット5~4	カラーフォーマット
00b (デフォルト)	RGB 5:6:5 (16bpp)
01b	ARGB 1:5:5:5 (16bpp)
10b	ARGB 4:4:4:4 (16bpp)
11b	ARGB 8:8:8:8 (32bpp)

注

イメージフォーマットコンバータモードが選択されているとき (REG[1700h]ビット8=1b)、これらのビットは、16bppと32bppを区別するために使用されます。

ビット3~2

フレームバッファカラーフォーマットビット[1:0]
これらのビットは、表示バッファに書き込まれたときに「合成された」ピクセルのカラーフォーマットを決定します。

表10-49 フレームバッファカラーフォーマット選択

REG[1700h]ビット3~2	カラーフォーマット
00b (デフォルト)	RGB 5:6:5 (16bpp)
01b	RGB 3:3:2 (8bpp)
10b	RGB 8:8:8 (24bpp)
11b	予備

ビット1

ダブルフレームバッファイネーブル
このビットは、スプライトフレームを描画するためにスプライトエンジンによって使用されるフレームバッファの数を制御します。ダブルフレームバッファモードが選択されたときは、スプライトフレームバッファ 0開始アドレス (REG[1710h]~REG[1712h]) とスプライトフレームバッファ 1開始アドレス (REG[1714h]~REG[1716h]) によって指定された2つのフレームバッファが使用されます。シングルフレームバッファモードが選択されたときは、スプライトフレームバッファ 0開始アドレス (REG[1710h]~REG[1712h]) によって指定された1つのフレームバッファだけが使用されます。
このビットが0bのときは、シングルフレームバッファモードが選択されます。(デフォルト)
このビットが1bのときは、ダブルフレームバッファモードが選択されます。

ビット0

スプライトモジュールイネーブル
このビットは、スプライトモジュールを制御します。
このビットが0bのときは、スプライトモジュールがディスエーブルされます。スプライト/スプライトエンジン/IFCレジスタには書き込まないでください。(デフォルト)
このビットが1bのときは、スプライトモジュールがイネーブルされ、イメージフォーマットコンバータイネーブルビットが0bに設定されたとき (REG[1700h]ビット8=0b) にスプライトエンジンが作動します。

注

IFCをイネーブルするには、REG[1700h]ビット8とREG[1700h]ビット0を両方とも1bに設定してください。

10. レジスタ

REG[1702h] Sprite Status Register							
デフォルト=8000h							読み出し専用
スプライト状態	n/a						
15	14	13	12	11	10	9	8
n/a						予備	n/a
7	6	5	4	3	2	1	0

ビット15

スプライト状態（読み出し専用）

このビットは、スプライトモジュールの状態を示します。スプライトモジュールは、現在のスプライト操作が完了するとアイドル状態になります。新しい操作のトリガを受け取ったときに再びビジー状態になります。アイドル時間は、イネーブルするスプライトの数、スプライトサイズ、トリガモード、リフレッシュレートなどに依存します。

このビットが0bのとき、スプライトモジュールはアイドル状態です。

このビットが1bのとき、スプライト操作は実行されています。

注

スプライトレジスタ（REG[1xxxh+00h]～REG[1xxxh+46h]）は、スプライトエンジンがアイドル状態のとき（REG[1702h]ビット15=0b）だけ書き込まれます。

ビット1

予備

このビットのデフォルト値は0bです。

REG[1704h] Sprite Frame Sequence Trigger Control Register							
デフォルト=0000h						読み出し／書き込み	
n/a			スプライトトリガモードビット2~0				
15	14	13	12	11	10	9	8
スプライト番号ビット3~0				n/a	前フレーム	次フレーム	手動トリガ
7	6	5	4	3	2	1	0

ビット10~8 スプライトトリガモードビット[2:0]
これらのビットは、スプライト操作をどのようにトリガするかを制御します。

表10-50 スプライトトリガモード選択

REG[1704h]ビット10~8	スプライトトリガモード
000b	手動トリガビットREG[1704h]ビット0を使ってスプライト操作を手動でトリガします。
001b	1VSYNCごとに新しいスプライト操作をトリガすることができます。
010b	2VSYNCごとに新しいスプライト操作をトリガすることができます。
011b	3VSYNCごとに新しいスプライト操作をトリガすることができます。
100b	4VSYNCごとに新しいスプライト操作をトリガすることができます。
101b	5VSYNCごとに新しいスプライト操作をトリガすることができます。
110b	予備
111b	予備

注

1. スプライト操作を1VSYNCから5VSYNCごとにトリガするように設定した場合は、次のスプライト操作を行う前にスプライト割り込み未処理状態をクリアしてください (REG[1708h]ビット1=1b)。
2. スプライト操作を1VSYNCから5VSYNCごとにトリガするように設定した場合、特に高速なLCDDCLK設定の場合に、実際のスプライト操作が、設定した間隔より長くかかる場合があります。

ビット7~4

スプライト番号ビット[3:0]
手動スプライトトリガを選択したとき (REG[1704h]ビット10~8=000b)、これらのビットは、(16種類のスプライトのうち) どのスプライトを手動で制御するかを指定します。スプライト番号を選択した後で、前フレームビット (REG[1704h]ビット2)、次フレームビット (REG[1704h]ビット1) および手動トリガビット (REG[1704h]ビット0) を使ってフレームシーケンスを制御することができます。

ビット2

前フレーム
手動スプライトトリガを選択したとき (REG[1704h]ビット10~8=000b)、このビットは、スプライト番号ビットREG[1704h]ビット7~4によって指定されたスプライトの前フレームまでディクリメントします。
このビットが0bのときは、フレームは変更されません。
このビットが1bのときは、指定したスプライトのフレームシーケンス番号 (REG[1704h]ビット7~4を参照) がディクリメント (-1) されます。

注

前フレームビットと手動トリガビットを同時に設定しないでください。たとえば、REG[1704h]=00x5hの設定は無効です。

10. レジスタ

ビット1

次フレーム

手動スプライトトリガを選択したとき (REG[1704h]ビット10~8=000b)、このビットは、スプライト番号ビットREG[1704h]ビット7~4によって指定されたスプライトの次フレームまでインクリメントします。

このビットが0bのときは、フレームは変更されません。

このビットが1bのときは、指定したスプライトのフレームシーケンス番号 (REG[1704h]ビット7~4を参照) がインクリメント (+1) されます。

注

次フレームと手動トリガビットを同時に設定しないでください。たとえば、REG[1704h]=00x3hの設定は無効です。

ビット0

手動トリガ

手動スプライトトリガを選択したとき (REG[1704h]ビット10~8=000b)、このビットは、新しいスプライト操作を手動でトリガするために使用されます。

このビットが0bのとき、スプライト操作はトリガされません。

このビットが1bのとき、新しいスプライト操作がトリガされます。

注

1. イメージフォーマットコンバータ (IFC) モードを選択したとき (REG[1700h]ビット8=1b)、イメージコンバータ機能は、このビットを1bに設定したときに始動します。
2. イメージフォーマットコンバータを行うときは、新しいイメージフォーマットコンバータを始める前に変換が終わったことを確認してください (REG[1704h]ビット1を参照)。
3. 次フレーム/前フレームビットを手動トリガビットと同時に設定しないでください。たとえば、REG[1704h]=00x3hまたは00x5hの設定は無効です。

REG[1706h] Sprite Interrupt Control Register								
デフォルト=0000h							読み出し／書き込み	
15	14	13	12	11	10	9	8	
n/a							スプライト割り込み イネーブル	n/a
7	6	5	4	3	2	1	0	

ビット1 スプライト割り込みイネーブル
 このビットは、スプライト操作またはイメージフォーマットコンバータが完了したときに行うスプライト割り込みを制御します。
 このビットが0bのとき、スプライト割り込みはディスエーブルされます。
 このビットが1bのとき、スプライト割り込みはイネーブルされます。

REG[1708h] Sprite Interrupt Status Register								
デフォルト=0000h							読み出し／書き込み	
15	14	13	12	11	10	9	8	
n/a							スプライト割り込み 未処理状態	n/a
7	6	5	4	3	2	1	0	

ビット1 スプライト割り込み状態
 このビットは、スプライト操作またはイメージフォーマットコンバータが完了したときに発行されるスプライト割り込みの状態を示します。
 このビットが0bのとき、スプライト割り込みが発行されていません。
 このビットが1bのとき、スプライト割り込みが発行されています。

この状態ビットをクリアするには、このビットに1bを書き込んでください。

注

スプライト操作を1VSYNCから5VSYNCごとにとりがするように設定した場合は (REG[1704h]ビット10~8=001b~101b)、次のスプライト操作を行う前にスプライト割り込み状態をクリアしてください。

10. レジスタ

REG[1710h] Sprite Frame Buffer 0 Start Address Register 0							
デフォルト=0000h							読み出し／書き込み
スプライトフレームバッファ 0開始アドレスビット15~8							
15	14	13	12	11	10	9	8
スプライトフレームバッファ 0開始アドレスビット7~3				n/a			
7	6	5	4	3	2	1	0

REG[1712h] Sprite Frame Buffer 0 Start Address Register 1							
デフォルト=0000h							読み出し／書き込み
n/a				スプライトフレームバッファ 0開始アドレスビット26~24			
15	14	13	12	11	10	9	8
スプライトフレームバッファ 0開始アドレスビット23~16							
7	6	5	4	3	2	1	0

このレジスタは、スプライトエンジンがイネーブルされているか、イメージフォーマットコンバータ (IFC) がイネーブルされているかによって異なる使われ方をします (REG[1700h]ビット8を参照)。

スプライトエンジンがイネーブルされた場合 (REG[1700h]ビット8=0b)

REG[1712h]ビット10~0

REG[1710h]ビット15~3

スプライトフレームバッファ 0開始アドレスビット[26:3]

これらのビットは、スプライト操作に使用されるスプライトフレームバッファ 0のメモリ開始アドレスのビット26~3を指定します。スプライトフレームバッファ 0は、ダブルフレームバッファモードとシングルフレームバッファモードの両方に使用されます (REG[1700h]ビット1を参照)。

イメージフォーマットコンバータ (IFC) がイネーブルされた場合 (REG[1700h]ビット8=1b)

REG[1712h]ビット10~0

REG[1710h]ビット15~7

IFC宛先画像アドレスビット[26:7]

これらのビットは、変換して得られる画像の宛先画像アドレスを指定します。16bppモードでは、ビット26~7が使用されます (ビット6~0は000_0000bに設定してください)。32bppモードでは、ビット26~8だけが使用されます (ビット7~0は0000_0000bに設定してください)。

イメージフォーマットコンバータが完了した後で、これらのビットは自動的に更新されます。値の変換を行う画像データのすぐ後ろなどの要件を満たすアドレスによってビットが変換後に更新され、前述の無効ビットフィールド=0が示されます。最初に変換を行う前にこのレジスタを1回設定するだけです。また、変換を行うそれぞれ個々の画像の最初のアドレスが必要な場合は、各変換が完了したすぐ後でこのレジスタを読み出すだけです。

REG[1714h] Sprite Frame Buffer 1 Start Address Register 0							
デフォルト=0000h							
読み出し／書き込み							
スプライトフレームバッファ 1開始アドレスビット15~8							
15	14	13	12	11	10	9	8
スプライトフレームバッファ 1開始アドレスビット7~3				n/a			
7	6	5	4	3	2	1	0

REG[1716h] Sprite Frame Buffer 1 Start Address Register 1							
デフォルト=0000h							
読み出し／書き込み							
n/a				スプライトフレームバッファ 1開始アドレスビット26~24			
15	14	13	12	11	10	9	8
スプライトフレームバッファ 1開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1716h]ビット10~0

REG[1714h]ビット15~3

スプライトフレームバッファ 1開始アドレスビット[26:3]
これらのビットは、スプライト操作に使用するスプライトフレームバッファ 1のメモリ開始アドレスのビット26~3を指定します。スプライトフレームバッファ 1は、ダブルフレームバッファモードを選択したとき (REG[1700h]ビット1=1b) だけ使用されます。

REG[1718h]は予備

このレジスタは予備です。書き込まないでください。

REG[1750h]~REG[1774h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[1780h]~REG[179Eh] Sprite #0~15 Frame Sequence Control Registers							
デフォルト=0000h							
読み出し／書き込み							
スプライト#0~15フレームシーケンス長さビット3~0				スプライト#0~15フレームインデックスビット3~0			
15	14	13	12	11	10	9	8
n/a			スプライト#0~15操作VSYNCトリガカウントビット2~0			スプライト#0~15フレームシーケンスモードビット1~0	
7	6	5	4	3	2	1	0

以下のレジスタは、対応するスプライト#のフレームシーケンス制御に使用されます。下のビットの説明はスプライト#nで示しています。ここで、nは、制御したいスプライト#nによる0~15の数です。

表10-51 スプライト#0~15フレームシーケンス制御レジスタの概要

レジスタ	対応するスプライト	レジスタ	対応するスプライト
REG[1780h]	スプライト#0	REG[1790h]	スプライト#8
REG[1782h]	スプライト#1	REG[1792h]	スプライト#9
REG[1784h]	スプライト#2	REG[1794h]	スプライト#10
REG[1786h]	スプライト#3	REG[1796h]	スプライト#11
REG[1788h]	スプライト#4	REG[1798h]	スプライト#12
REG[178Ah]	スプライト#5	REG[179Ah]	スプライト#13
REG[178Ch]	スプライト#6	REG[179Ch]	スプライト#14
REG[178Eh]	スプライト#7	REG[179Eh]	スプライト#15

10. レジスタ

- ビット15～12 スプライト#nフレームシーケンス長さビット[3:0]
 スプライト#nフレームシーケンスモードビットが01bと等しいとき（ビット1～0=01b）、これらのビットは、スプライト#nのフレームシーケンスの長さを指定します。
 REG[17xxh]ビット15～12=シーケンスのフレームの総数-1
- ビット11～8 スプライト#nフレームインデックスビット[3:0]
 これらのビットは、次のスプライト操作トリガでスプライト#nに与えられるフレームインデックスを示します。また、このレジスタからの読み出しは、VSYNCでトリガされたスプライト操作が使用されていない場合の現行フレームのフレームインデックスを示します。このフレームインデックスは、このスプライトではREG[1704h]ビット2～1の前フレーム/次フレームビットによって変更されていません。
- 注**
 REG[1780h]～REG[179Eh]ビット1～0=10bのとき、このフィールドは無効として扱われます。
- ビット4～2 スプライト#n操作VSYNCトリガカウンタビット[2:0]
 これらのビットは、次のフレームを描画する前に必要なVSYNCスプライト操作トリガの数を決定します。これらのビットが入力されているときは、次のスプライト操作トリガによって現行フレームインデックスが再び描画されます。
 REG[17xxh]ビット4～2=VSYNCスプライト操作トリガの総数-1
- ビット1～0 スプライト#nフレームシーケンスモードビット[1:0]
 これらのビットは、スプライト#nのフレームシーケンスモードを選択します。

表10-52 スプライト#nフレームシーケンスモード選択

REG[17xxh]ビット1～0	フレームシーケンスモード選択
00b	フレームシーケンス番号は無効です。スプライト#nシーケンス0フレーム番号ビット (REG[1xxxh+1Ch]ビット7～0) によって指定されたパターンを常に表示します。
01b	フレームシーケンスは有効です。スプライト#n現行フレームインデックスビット (REG[17xxh]ビット11～8) をフレームシーケンス更新タイミングごとに更新します。
10b	フレームインクリメントは有効です。フレームシーケンス更新タイミングごとに、最小値としてREG[1xxxh+1Eh]ビット7～0内のスプライト#nシーケンス2フレーム番号を使用し、最大値としてREG[1xxxh+1Eh]ビット15～8内のスプライト#nシーケンス3フレーム番号を使用し、REG[1xxxh+1Ch]ビット7～0内のスプライト#nシーケンス0フレーム番号ビットを増分します。 注：この設定は、REG[1704h]ビット7～4およびビット0を使って手動でトリガする操作のスプライトには使用しないでください。
11b	予備

10.4.9 2D BitBLTレジスタ

REG[1800h] BitBLT Control Register 0							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							BitBLT制御
7	6	5	4	3	2	1	0

ビット0

BitBLT制御

このビットは、2D BitBLTエンジンによって処理する操作を制御し、新しいBitBLTを開始するために使用されます。BitBLTが完了した後で、このビットは自動的に0bにクリアされます。

読み出し：

このビットが0bのとき、BitBLTは処理されていません。

このビットが1bのとき、BitBLTは処理されています。

書き込み：

このビットに0bの書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むとBitBLTが始まります。

REG[1802h] BitBLT Control Register 1							
デフォルト=0000h							書き込み専用
n/a							
15	14	13	12	11	10	9	8
n/a							BitBLT ソフトウェア リセット
7	6	5	4	3	2	1	0

ビット0

BitBLTソフトウェアリセット（書き込み専用）

このビットは、2D BitBLTエンジンとすべてのBitBLTレジスタ（REG[1800h]～REG[1AFEh]）のソフトウェアリセットを実行します。このビットは、ソフトウェアリセットが完了したときに自動的に0bにリセットされます。

このビットに0bを書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むと、2D BitBLTエンジンのソフトウェアリセットが行われます。

10. レジスタ

REG[1804h] BitBLT Control Register 2							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				BitBLTカラーフォーマット 選択ビット1~0		宛先BitBLTメモリ モード選択	ソースBitBLT メモリモード選択
7	6	5	4	3	2	1	0

ビット3~2

BitBLTカラーフォーマット選択ビット[1:0]
これらのビットは、2D BitBLTのカラーフォーマットを選択します。

表10-53 BitBLTカラーフォーマット選択

REG[1804h]ビット3~2	カラーフォーマット
00b	8bpp
01b	16bpp
10b	32bpp
11b	予備

注

Bit-BLTコマンドレジスタ (REG[1808h]) によって制御されるBitBLT機能のいずれかを特定の操作に対してイネーブルしたときに、ビットの使い方が変化することがあります。色拡張をイネーブルした場合 (REG[1808h]ビット5=1b) は、これらのビットを00b (8bpp) または01b (16bpp) に設定してください。アルファ結合をイネーブルした場合 (REG[1808h]ビット14=1b) は、アルファマップが使用され、これらのビットは無効です。アルファブレンディングをイネーブルした場合 (REG[1808h]ビット15=1b) は、アルファブレンディングソース形式ビット (REG[1870h]ビット1~0) が使用され、これらのビットは無効です。

ビット1

宛先BitBLTメモリモード選択

このビットは、BitBLT宛先データをメモリにどのように記憶するかを決定します。BitBLT宛先開始アドレスは、BitBLT宛先基本アドレス (REG[1818h]~REG[181Ah])、BitBLT宛先X開始位置 (REG[181Ch])、およびBitBLT宛先Y開始位置 (REG[181Eh]) によって指定されます。このビットが0bのとき、BitBLT宛先データはメモリの矩形領域として記憶されます。このメモリモードが選択されたとき、BitBLT Memory Address Offsetレジスタ (REG[1824h]) は、あるラインの最初から次のラインまでのオフセットを指定するメモリアドレスオフセットでプログラムしてください。このビットが1bのとき、BitBLT宛先データは、隣接した線形メモリブロックとして記憶されます。

注

1. Read BitBLTを選択したとき (REG[1808h]ビット2~0=001b) は、このビットを定義してください。また、ソースBitBLTメモリモード選択ビット (REG[1804h]ビット0) は不要です。
2. Pattern Fill BitBLTを選択したとき (REG[1808h]ビット2~0=100b) 、このビットは無視されます。

ビット0 ソースBitBLTメモリモード選択
 このビットは、BitBLTソースデータをメモリにどのように記憶するかを決定します。BitBLTソース開始アドレスは、BitBLTソース基本アドレス (REG[1810h]～REG[1812h])、BitBLTソースX開始位置 (REG[1814h])、およびBitBLTソースY開始位置 (REG[1816h]) によって指定されます。
 このビットが0bのとき、BitBLTソースデータはメモリの矩形領域として記憶されます。このメモリモードが選択されたとき、BitBLT Memory Address Offsetレジスタ (REG[1824h]) は、あるラインの最初から次のラインまでのオフセットを指定するメモリアドレスオフセットでプログラムしてください。
 このビットが1bのとき、BitBLTソースデータは、隣接する線形メモリブロックとして記憶されます。

注

1. Move BitBLTを選択したとき (REG[1808h]ビット2～0=010b) は、宛先BitBLTメモリモード選択ビットとこのビットを両方とも、適切なメモリモードでプログラムしてください。
2. Write、Read、Solid FillまたはPattern Fill BitBLTを選択したとき (REG[1808h]ビット2～0=000b、001b、011bまたは100b) は、このビットが無視されます。

REG[1806h]は予備

このレジスタは予備です。書き込まないでください。

REG[1808h] BitBLT Command Register						
デフォルト=0000h				読み出し／書き込み		
アルファブレンディングイネーブル 15	アルファ結合イネーブル 14	クリッピングイネーブル 13	予備			
ROPイネーブル 7	逆方向イネーブル 6	色拡張イネーブル 5	透過イネーブル 4	n/a 3	BitBLTビット2～0 2 1 0	

ビット15 アルファブレンディングイネーブル
 このビットは、アルファマップ機能によるアルファブレンディングを制御します。アルファブレンディングは、Move BitBLTを選択しているとき (REG[1808h]ビット2～0=010b) だけイネーブルすることができます。
 このビットが0bのとき、アルファブレンディング機能はディスエーブルされます。
 このビットが1bのとき、アルファブレンディング機能はイネーブルされます。

ビット14 アルファ結合イネーブル
 このビットは、アルファ結合機能を制御します。アルファ結合は、Write BitBLTを選択したとき (REG[1808h]ビット2～0=000h) だけイネーブルすることができます。
 このビットが0bのとき、アルファ結合機能はディスエーブルされます。
 このビットが1bのとき、アルファ結合機能はイネーブルされます。

ビット13 クリッピングイネーブル
 このビットは、クリッピング機能を制御します。クリッピングは、Move BitBLTを選択したとき (REG[1808h]ビット2～0=010h) だけイネーブルすることができます。クリッピングの詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。
 このビットが0bのとき、クリッピング機能はディスエーブルされます。
 このビットが1bのとき、クリッピング機能はイネーブルされます。

10. レジスタ

注

クリッピング機能をイネーブルしたときは、宛先BitBLTメモリモード選択ビット (REG[1804h]ビット1) とソースBitBLTメモリモード選択ビット (REG[1804h]ビット0) を両方とも0bに設定して方形メモリモードを指定してください。

ビット12～8

予備

これらのビットのデフォルト値は0_0000bです。

ビット7

ROPイネーブル

このビットは、ROP (ラスト演算) 機能を制御します。ROPは、Write BitBLTまたはMove BitBLTを選択したとき (REG[1808h]ビット2～0=000bまたは010b) だけイネーブルすることができます。適用するROPは、ROPコードビットREG[180Ah]ビット7～0を使って選択されます。ROPパターンのアドレスは、BitBLTパターン開始アドレスビットREG[1820h]～REG[1822h]によって定義されます。

このビットが0bのとき、ROP機能はディスエーブルされます。

このビットが1bのとき、ROP機能はイネーブルされます。

ビット6

逆方向イネーブル

このビットは、逆方向機能を制御します。Move BitBLTを選択したとき (REG[1808h]ビット2～0=010b) だけ逆方向機能をイネーブルすることができます。

このビットが0bのとき、逆方向機能はディスエーブルされます。

このビットが1bのとき、逆方向機能はイネーブルされます。

注

逆方向機能をイネーブルしたときは、宛先BitBLTメモリモード選択ビット (REG[1804h]ビット1) とソースBitBLTメモリモード選択ビット (REG[1804h]ビット0) の両方を同じメモリモード (0,0または1,1) に設定してください。1,0または0,1の組み合わせはサポートしていません。

ビット5

色拡張イネーブル

このビットは色拡張機能を制御します。色拡張機能は、Write BitBLTまたはMove BitBLTを選択したとき (REG[1808h]ビット2～0=000bまたは010b) だけイネーブルすることができます。

このビットが0bのとき、色拡張機能はディスエーブルされます。

このビットが1bのとき、色拡張機能はイネーブルされます。

注

色拡張が1bppで幅が8のWrite BitBLTの場合は、ビット15～8だけを使用しますが、データポートに16ビットを書き込む必要があります。幅が16を超える場合は、追加のデータを書き込むためにデータポートへの追加の書き込みが必要です。

ビット4

透過イネーブル

このビットは、Write BitBLTまたはMove BitBLTを選択したとき (REG[1808h]ビット2～0=000bまたは010b) だけイネーブルすることができる透過機能を制御します。

このビットが0bのとき、透過機能はディスエーブルされます。

このビットが1bのとき、透過機能はイネーブルされます。

ビット2～0

BitBLTビット[2:0]

これらのビットは、実行する2D BitBLTを指定します。Write BitBLTとMove BitBLTは、以下の表に示したように他のBitBLT機能と組み合わせることができます。各機能の説明は、REG[1808h]ビット15～4のビットの説明を参照してください。

表10-54 BitBLTの概要

REG[1808h]ビット2～0	BitBLT	アルファブレンディング	クリッピング	ROP	透過	アルファ結合	色拡張	逆方向
000b	Write ^{1, 6}	—	—	—	√ ²	√	√	—
001b	Read ^{3, 6}	—	—	—	—	—	—	—
010b	Move ^{4, 5}	√	√	√	√	—	√	√
011b	Solid Fill ⁶	—	—	—	—	—	—	—
100b	透過付き Pattern Fill ^{5, 6}	—	—	—	—	—	—	—
101b～111b	予備	—	—	—	—	—	—	—

注

- Write BitBLTを選択したときは、色拡張機能と透過機能は一緒に使用することができますが、これらの他は、一度に1つのBitBLT機能しかイネーブルすることができません。
 - 色拡張機能とトランスペアレント機能は8bppの場合だけ一緒に使用することができます。
- トランスペアレント機能によるWrite BitBLT操作は8bppと16bppだけに対応しています。ROP機能をイネーブルした状態でWrite BitBLTを選択したときは、以下のROPコードはサポートされません：00h、05h、0Ah、0Fh、50h、55h、5Ah、5Fh、A0h、A5h、AAh、AFh、F0h、F5h、FAh、FFh (REG[180Ah]を参照)。REG[1842h]ビット1 (Write NOP) も参照してください。
- Read BitBLTを選択したときは、BitBLTソースレジスタの代わりに、BitBLT宛先基本アドレス (REG[1818h]～REG[181Ah])、BitBLT宛先X開始位置 (REG[1814h])、およびBitBLT宛先Y開始位置 (REG[1816h]) が使用されます。
- Move BitBLTを選択したときは、色拡張機能と透過機能、ROP機能と逆方向機能は一緒に使用することができますが、これらの他は、一度に1つのBitBLT機能しかイネーブルすることができません。
 - 色拡張機能とトランスペアレント機能は8bppの場合だけ一緒に使用することができます。
 - ROP機能と逆方向機能を一緒に使用することができます。
- 各Pattern Fill BitBLT操作の前にBitBLTソフトウェアリセット (REG[1802h]ビット0=1b) を行ってください (8bppの場合のみ必要)。
- 8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。
- Move BitBLTを選択し色拡張機能を一緒に使用する場合のBitBLTの最小幅は8ピクセルです。

10. レジスタ

REG[180Ah] BitBLT Raster Operation Code Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
ROPコードビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

ROPコードビット[7:0]

これらのビットは、BitBLTに適用する論理演算を定義するROP（ラスト演算）コードを指定します。得られたピクセル色は以下のように定義されます。

$$Pc = \{ \text{ROP_Code}[7] \& (Cpat \& Csrc \& Cdst) \}$$

$$| \{ \text{ROP_Code}[6] \& (Cpat \& Csrc \& \sim Cdst) \}$$

$$| \{ \text{ROP_Code}[5] \& (Cpat \& \sim Csrc \& Cdst) \}$$

$$| \{ \text{ROP_Code}[4] \& (Cpat \& \sim Csrc \& \sim Cdst) \}$$

$$| \{ \text{ROP_Code}[3] \& (\sim Cpat \& Csrc \& Cdst) \}$$

$$| \{ \text{ROP_Code}[2] \& (\sim Cpat \& Csrc \& \sim Cdst) \}$$

$$| \{ \text{ROP_Code}[1] \& (\sim Cpat \& \sim Csrc \& Cdst) \}$$

$$| \{ \text{ROP_Code}[0] \& (\sim Cpat \& \sim Csrc \& \sim Cdst) \}$$

ここで

Pc=ROP結果のピクセル色

ROP_Code=Pat、SrcおよびDstに対する論理演算

Cpat=パターンのピクセル色

Csrc=ソースのピクセル色

Cdst=宛先のピクセル色

注

ROP機能をイネーブルした状態でWrite BitBLTを選択したとき（REG[1808h]を参照）は、以下のROPコードはサポートされません：00h、05h、0Ah、0Fh、50h、55h、5Ah、5Fh、A0h、A5h、AAh、AFh、F0h、F5h、FAh、FFh。詳細は、REG[1842h]のレジスタ説明を参照してください。

REG[1810h] BitBLT Source Base Address Register 0							
デフォルト=0000h							読み出し／書き込み
BitBLTソース基本アドレスビット15~8							
15	14	13	12	11	10	9	8
BitBLTソース基本アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[1812h] BitBLT Source Base Address Register 1							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTソース基本アドレスビット26~24				
15	14	13	12	11	10	9	8
BitBLTソース基本アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1812h]ビット10~0

REG[1810h]ビット15~0

BitBLTソース基本アドレスビット[26:0]

これらのビットは、BitBLTに使用されるBitBLTソース領域の左上角の基本アドレスをバイトで指定します。これらのビットは、以下の計算を使用して実際のBitBLTソース開始アドレスを決定するために、BitBLTソースX開始位置 (REG[1814h]) およびBitBLTソースY開始位置 (REG[1816h]) と一緒に使用されます。

BitBLTソース開始アドレス

= ソース基本アドレス + ($X_{src} \times (\text{バイト/ピクセル})$) + ($Y_{src} \times \text{アドレスオフセット}$)

= REG[1812h], REG[1810h] + (REG[1814h] × (バイト/ピクセル)) + (REG[1816h] × REG[1824h])

BitBLTソース開始アドレスの詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

10. レジスタ

REG[1814h] BitBLT Source X Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTソースX開始位置ビット11~8				
15	14	13	12	11	10	9	8
BitBLTソースX開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

BitBLTソースX開始位置ビット[11:0]

これらのビットは、BitBLTソースウィンドウが始まるBitBLTソース領域の左上角からのX開始位置を指定する2の補数値を構成します。これらのビットは、次の計算を使用して実際のBitBLTソース開始アドレスを決定するために、BitBLTソース基本アドレス（REG[1810h]~REG[1812h]）およびBitBLTソースY開始位置（REG[1816h]）と一緒に使用されます。

BitBLTソース開始アドレス

=ソース基本アドレス+(X_{src}×(バイト/ピクセル))+(Y_{src}×アドレスオフセット)

=REG[1812h], REG[1810h]+(REG[1814h]×(バイト/ピクセル))+(REG[1816h]×REG[1824h])

BitBLTソースX開始位置は、以下の範囲で設定してください。

-1280 ≤ BitBLTソースX開始位置 ≤ 1280

BitBLTソースX開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

1. これらのビットは、通常、クリッピングがイネーブルされたMove BitBLTだけに使用されます（REG[1808h]=2002h）。
2. 8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

REG[1816h] BitBLT Source Y Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTソースY開始位置ビット11~8				
15	14	13	12	11	10	9	8
BitBLTソースY開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

BitBLTソースY開始位置ビット[11:0]

これらのビットは、BitBLTソースウィンドウが始まるBitBLTソース領域の左上角からのY開始位置を指定する2の補数値を構成します。これらのビットは、次の計算を使用して実際のBitBLTソース開始アドレスを決定するために、BitBLTソース基本アドレス（REG[1810h]~REG[1812h]）およびBitBLTソースX開始位置（REG[1814h]）と一緒に使用されます。

BitBLTソース開始アドレス

=ソース基本アドレス+(X_{src} ×(バイト/ピクセル))+(Y_{src} ×アドレスオフセット)
 =REG[1812h], REG[1810h]+(REG[1814h]×(バイト/ピクセル))+ (REG[1816h]×REG[1824h])

BitBLTソースY開始位置は、以下の範囲で設定してください。

$$-1024 \leq \text{BitBLTソースY開始位置} \leq 1024$$

BitBLTソースY開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

1. これらのビットは、通常、クリッピングがイネーブルされたMove BitBLTだけに使用されます（REG[1808h]=2002h）。
2. 8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

10. レジスタ

REG[1818h] BitBLT Destination Base Address Register 0							
デフォルト=0000h							読み出し／書き込み
BitBLT宛先基本アドレスビット15~8							
15	14	13	12	11	10	9	8
BitBLT宛先基本アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[181Ah] BitBLT Destination Base Address Register 1							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLT宛先基本アドレスビット26~24				
15	14	13	12	11	10	9	8
BitBLT宛先基本アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[181Ah]ビット10~0

REG[1818h]ビット15~0

BitBLT宛先基本アドレスビット[26:0]

これらのビットは、BitBLTに使用されるBitBLT宛先領域の左上角の基本アドレスをバイトで指定します。これらのビットは、次の計算を使用して実際のBitBLT宛先開始アドレスを決定するために、BitBLT宛先X位置（REG[181Ch]）およびBitBLT宛先Y位置（REG[181Eh]）と一緒に使用されます。

BitBLT宛先開始アドレス

$$= \text{宛先基本アドレス} + (X_{\text{dst}} \times (\text{バイト/ピクセル})) + (Y_{\text{dst}} \times \text{アドレスオフセット})$$

$$= \text{REG}[181Ah], \text{REG}[1818h] + (\text{REG}[181Ch] \times (\text{バイト/ピクセル})) + (\text{REG}[181Eh] \times \text{REG}[1824h])$$

BitBLT宛先開始アドレスの詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

REG[181Ch] BitBLT Destination X Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLT宛先X開始位置ビット11~8				
15	14	13	12	11	10	9	8
BitBLT宛先X開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

BitBLT宛先X開始位置ビット[11:0]

これらのビットは、BitBLT宛先ウィンドウが始まるBitBLT宛先領域の左上角からのX開始位置を指定する2の補数値を構成します。これらのビットは、次の計算を使用して実際のBitBLT宛先開始アドレスを決定するために、BitBLT宛先基本アドレス (REG[1818h] ~ REG[181Ah]) および BitBLT 宛先 Y 開始位置 (REG[181Eh]) と一緒に使用されます。

BitBLT宛先開始アドレス

$$= \text{宛先基本アドレス} + (X_{\text{dst}} \times (\text{バイト/ピクセル})) + (Y_{\text{dst}} \times \text{アドレスオフセット})$$

$$= \text{REG}[181Ah], \text{REG}[1818h] + (\text{REG}[181Ch] \times (\text{バイト/ピクセル})) + (\text{REG}[181Eh] \times \text{REG}[1824h])$$

BitBLT宛先X開始位置は、以下の範囲で設定してください。

$$-1280 \leq \text{BitBLT宛先X開始位置} \leq 1280$$

BitBLT宛先X開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

- これらのビットは、通常、クリッピングがイネーブルされたMove BitBLTだけに使用されます (REG[1808h]=2002h)。
- 8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

10. レジスタ

REG[181Eh] BitBLT Destination Y Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLT宛先Y開始位置ビット11~8				
15	14	13	12	11	10	9	8
BitBLT宛先Y開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

BitBLT宛先Y開始位置ビット[11:0]

これらのビットは、BitBLT宛先ウィンドウが始まるBitBLT宛先領域の左上角からのY開始位置を指定する2の補数値を構成します。これらのビットは、次の計算を使用して実際のBitBLT宛先開始アドレスを決定するために、BitBLT宛先基本アドレス (REG[1818h] ~ REG[181Ah]) および BitBLT 宛先 Y 開始位置 (REG[181Eh]) と一緒に使用されます。

BitBLT宛先開始アドレス

$$= \text{宛先基本アドレス} + (X_{\text{dst}} \times (\text{バイト/ピクセル})) + (Y_{\text{dst}} \times \text{アドレスオフセット})$$

$$= \text{REG}[181Ah], \text{REG}[1818h] + (\text{REG}[181Ch] \times (\text{バイト/ピクセル})) + (\text{REG}[181Eh] \times \text{REG}[1824h])$$

BitBLT宛先Y開始位置は、以下の範囲で設定してください。

$$-1024 \leq \text{BitBLT宛先Y開始位置} \leq 1024$$

BitBLT宛先Y開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

1. これらのビットは、通常、クリッピングがイネーブルされたMove BitBLTだけに使用されます (REG[1808h]=2002h)。
2. 8bppのBitBLTでは、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。

REG[1820h] BitBLT Pattern Start Address Register 0							
デフォルト=0000h							読み出し／書き込み
BitBLTパターン開始アドレスビット15~8							
15	14	13	12	11	10	9	8
BitBLTパターン開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[1822h] BitBLT Pattern Start Address Register 1							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTパターン開始アドレスビット26~24				
15	14	13	12	11	10	9	8
BitBLTパターン開始アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[1822h] ビット10~0

REG[1820h] ビット15~0

BitBLTパターン開始アドレスビット[26:0]

BitBLTビットが、透過付きPattern Fill BitBLT (REG[1808h]ビット2~0=100b) に設定されたとき、これらのビットは、パターン基本アドレス、パターンラインオフセットおよびピクセルオフセットを指定するために使用されます。それぞれの値は、このレジスタフィールドの部分から決定され、以下の表に示したように選択カラーフォーマットにより異なります。また、これらのビットは、ROPをイネーブルしたとき (REG[1808h]ビット7=1b) にROPパターンのアドレスを定義するために使用されます。

表10-55 BitBLTパターン開始アドレスの概要

カラーフォーマット	パターン基本[26:0]	パターンラインオフセット[2:0]	ピクセルオフセット[4:0]
8bpp	パターン開始アドレス[26:7]+000_0000b	パターン開始アドレス[5:3]	00b+パターン開始アドレス[2:0]
16bpp	パターン開始アドレス[26:8]+0000_0000b	パターン開始アドレス[6:4]	0b+パターン開始アドレス[3:1]+0b
32bpp	パターン開始アドレス[26:9]+0_0000_0000b	パターン開始アドレス[7:5]	パターン開始アドレス[4:2]+00b

REG[1824h] BitBLT Memory Address Offset Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTメモリアドレスオフセットビット12~8				
15	14	13	12	11	10	9	8
BitBLTメモリアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット12~0

BitBLTメモリアドレスオフセットビット[12:0]

これらのビットは、BitBLTに使用するソースBitBLT領域と宛先BitBLT領域のラインnの最初のワードからラインn+1の最初のワードまでのメモリアドレスオフセットを指定します。これらのビットは、BitBLTがメモリの矩形領域に設定されたときだけアドレス計算に使用されます (REG[1804h]ビット1~0を参照)。

10. レジスタ

REG[1826h] BitBLT Width Register							
デフォルト=0001h							
読み出し／書き込み							
15	14	n/a	12	11	10	9	8
BitBLT幅ビット10~8							
BitBLT幅ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

BitBLT幅ビット[10:0]

これらのビットは、BitBLTの幅をピクセルで決定します。これらのビットは、ソースBitBLTウィンドウと宛先BitBLTウィンドウの両方に利用されます。BitBLT幅は、以下の範囲にしてください。

$$1 \leq \text{BitBLT幅} \leq 1280$$

注

1. これらのビットに0000hが書き込まれると、レジスタは自動的に0001hに設定されます。
2. 8bppのBitBLTの最初のピクセルは、偶数バイトから開始してください。またBitBLT幅は偶数ピクセルに設定してください。
3. Move BitBLTを選択し色拡張機能を一緒に使用する場合 (REG[1806h] bit2-0 = 010bかつREG[1808h] bit5 = 1b)には、BitBLTの最小幅は8ピクセルです。

REG[1828h] BitBLT Height Register							
デフォルト=0001h							
読み出し／書き込み							
15	14	n/a	12	11	10	9	8
BitBLT高さビット10~8							
BitBLT高さビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

BitBLT高さビット[10:0]

これらのビットは、BitBLTの高さをラインで指定します。これらのビットは、ソースBitBLTウィンドウと宛先BitBLTウィンドウの両方に利用されます。BitBLT高さは、以下の範囲で設定してください。

$$1 \leq \text{BitBLT高さ} \leq 1024$$

注

これらのビットに0000hが書き込まれると、レジスタは自動的に0001hに設定されます。

REG[1834h] BitBLT Clipping X Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a			BitBLTクリッピングX開始位置ビット10~8				
15	14	13	12	11	10	9	8
BitBLTクリッピングX開始位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

BitBLTクリッピングX開始位置ビット[10:0]

これらのビットは、BitBLTクリッピング領域が始まるBitBLT宛先基本アドレス (REG[1818h]~REG[181Ah]) からのX開始位置を指定します。これらのビットは、次の計算を使用して実際のBitBLTクリッピング開始アドレスを決定するために、BitBLT宛先基本アドレス (REG[1818h]~REG[181Ah]) およびBitBLTクリッピングY開始位置 (REG[1836h]) と一緒に使用されます。

BitBLTクリッピング開始アドレス

$$= \text{宛先基本アドレス} + (X_{\text{clip}} \times (\text{バイト/ピクセル})) + (Y_{\text{clip}} \times \text{アドレスオフセット})$$

$$= \text{REG}[1818\text{h}], \text{REG}[181\text{Ah}] + (\text{REG}[1834\text{h}] \times (\text{バイト/ピクセル})) + (\text{REG}[1836\text{h}] \times \text{REG}[1824\text{h}])$$

BitBLTクリッピングX開始位置は以下の範囲で設定してください。

$$0 \leq \text{BitBLT幅} \leq 1279$$

BitBLTクリッピングX開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

注

REG[1834h]ビット10~0をプログラムするときは、次の式が成り立たなければなりません。

$$\text{REG}[1834\text{h}] \text{ビット} 10 \sim 0 + \text{REG}[1838\text{h}] \text{ビット} 10 \sim 0 < ((\text{REG}[1824\text{h}] \text{ビット} 12 \sim 0) \div \text{バイト/ピクセル}) - 1$$

10. レジスタ

REG[1836h] BitBLT Clipping Y Start Position Register							読み出し／書き込み	
デフォルト=0000h								
n/a							BitBLTクリッピングY開始位置 ビット9~8	
15	14	13	12	11	10	9	8	
BitBLTクリッピングY開始位置ビット7~0								
7	6	5	4	3	2	1	0	

ビット9~0

BitBLTクリッピングY開始位置ビット[9:0]

これらのビットは、BitBLTクリッピング領域が始まるBitBLT宛先基本アドレス (REG[1818h]~REG[181Ah]) からのY開始位置を指定します。これらのビットは、次の計算を使用して実際のBitBLTクリッピング開始アドレスを決定するために、BitBLT宛先基本アドレス (REG[1818h]~REG[181Ah]) およびBitBLTクリッピングX開始位置 (REG[1834h]) と一緒に使用されます。

BitBLTクリッピング開始アドレス

$$= \text{宛先基本アドレス} + (X_{\text{clip}} \times (\text{バイト/ピクセル})) + (Y_{\text{clip}} \times \text{アドレスオフセット})$$

$$= \text{REG}[1818\text{h}], \text{REG}[181\text{Ah}] + (\text{REG}[1834\text{h}] \times (\text{バイト/ピクセル})) + (\text{REG}[1836\text{h}] \times \text{REG}[1824\text{h}])$$

BitBLTクリッピングY開始位置は、以下の範囲で設定してください。

$$0 \leq \text{BitBLT幅} \leq 1023$$

BitBLTクリッピングY開始位置の詳細は、398ページの項15.2「BitBLTの用語と定義」を参照してください。

REG[1838h] BitBLT Clipping Width Register							読み出し／書き込み	
デフォルト=0001h								
n/a							BitBLTクリッピング幅ビット10~8	
15	14	13	12	11	10	9	8	
BitBLTクリッピング幅ビット7~0								
7	6	5	4	3	2	1	0	

ビット10~0

BitBLTクリッピング幅ビット[10:0]

これらのビットは、BitBLTクリッピング領域の幅をピクセルで決定します。BitBLTクリッピング領域幅は、以下の範囲で設定してください。

$$1 \leq \text{BitBLTクリッピング幅} \leq 1280$$

注

- これらのビットに0000hを書き込むと、レジスタは自動的に0001hに設定されます。
- REG[1838h]ビット10~0をプログラムするときは、次の式が成り立たなければなりません。

$$\text{REG}[1834\text{h}] \text{ビット} 10 \sim 0 + \text{REG}[1838\text{h}] \text{ビット} 10 \sim 0 < ((\text{REG}[1824\text{h}] \text{ビット} 12 \sim 0) \div \text{バイト/ピクセル}) - 1$$

REG[1840h] BitBLT Clipping Height Register							
デフォルト=0001h							読み出し／書き込み
n/a			BitBLTクリッピング高さビット10~8				
15	14	13	12	11	10	9	8
BitBLTクリッピング高さビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

BitBLTクリッピング高さビット[10:0]

これらのビットは、BitBLTクリッピング領域の高さをラインで決定します。

BitBLTクリッピング領域高さは、以下の範囲で設定してください。

 $1 \leq \text{BitBLTクリッピング高さ} \leq 1024$ **注**

これらのビットに0000hを書き込むと、レジスタは自動的に0001hに設定されます。

REG[1842h] BitBLT Clipping Status Register							
デフォルト=0000h							読み出し専用
n/a							
15	14	13	12	11	10	9	8
n/a						予備	範囲外のBitBLTクリッピング
7	6	5	4	3	2	1	0

ビット1

予備

このビットは予備です。

ビット0

範囲外のBitBLTクリッピング（読み出し専用）

このビットは、BitBLTウィンドウが、REG[1818h]~REG[181Ah]とREG[1834h]~REG[1840h]によって定義されたようなクリッピング領域内にあるかどうかを示します。

このビットが0bのときは、BitBLTウィンドウまたはBitBLTウィンドウの一部が、指定されたクリッピング領域内にあります。

このビットが1bのときは、BitBLTウィンドウがすべて完全にクリッピング領域外にあります。

このビットをクリアするには、BitBLT制御ビットREG[1800h]ビット0に1bを書き込んで新しいBitBLTを開始してください。

10. レジスタ

REG[1850h] BitBLT Background Color Register 0							
デフォルト=0000h							読み出し／書き込み
BitBLT背景カラービット15~8							
15	14	13	12	11	10	9	8
BitBLT背景カラービット7~0							
7	6	5	4	3	2	1	0

REG[1852h] BitBLT Background Color Register 1							
デフォルト=0000h							読み出し／書き込み
BitBLT背景カラービット31~24							
15	14	13	12	11	10	9	8
BitBLT背景カラービット23~16							
7	6	5	4	3	2	1	0

REG[1852h]ビット15~0

REG[1850h]ビット15~0

BitBLT背景カラービット[31:0]

これらのビットは、透過BitBLTのキーカラーとして使用される背景色を指定します。色深度ごとに異なる数のビットを使用します。

32bpp (REG[1804h]ビット3~2=10b)の色深度には、ビット31~0がすべて使用されます。

16bpp (REG[1804h]ビット3~2=01b)の色深度には、ビット15~0だけが使用されます。

8bpp (REG[1804h]ビット3~2=10b)の色深度には、ビット7~0だけが使用されます。

REG[1854h] BitBLT Foreground Color Register 0							
デフォルト=0000h							読み出し／書き込み
BitBLT前景カラービット15~8							
15	14	13	12	11	10	9	8
BitBLT前景カラービット7~0							
7	6	5	4	3	2	1	0

REG[1856h] BitBLT Foreground Color Register 1							
デフォルト=0000h							読み出し／書き込み
BitBLT前景カラービット31~24							
15	14	13	12	11	10	9	8
BitBLT前景カラービット23~16							
7	6	5	4	3	2	1	0

REG[1856h]ビット15~0

REG[1854h]ビット15~0

BitBLT前景カラービット[31:0]

これらのビットは、Solid Fill BitBLT (REG[8008h]ビット2~0=011b) に使用される前景色を指定します。色深度ごとに異なる数のビットを使用します。

32bpp (REG[1804h]ビット3~2=10b)の色深度には、ビット31~0がすべて使用されます。

16bpp (REG[1804h]ビット3~2=01b)の色深度には、ビット15~0だけが使用されます。

8bpp (REG[1804h]ビット3~2=10b)の色深度には、ビット7~0だけが使用されます。

REG[1860h] BitBLT Color Expansion Start Position Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				色拡張開始ビット位置ビット2~0			
7	6	5	4	3	2	1	0

ビット2~0

色拡張開始ビット位置ビット[2:0]

これらのビットは、Write BitBLTまたはMove BitBLT時に、1ビット色拡張 (REG[1862h]ビット1-0=00b) がイネーブルのときに、開始ビット位置を指定します。

注

色拡張では、開始位置は、SrcStartAddr[0]+色拡張開始ビット位置 (すなわち、REG[1810h]ビット0+REG[1860h]ビット2~0) によって指定されます。これは、Move BitBLTとWrite BitBLTの両方に適用されます。

10. レジスタ

REG[1862h] BitBLT Color Expansion Bit Format Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							ソースビットフォーマットビット1~0
7	6	5	4	3	2	1	0

ビット1~0

ソースビットフォーマットビット[1:0]

これらのビットは、色拡張操作のソースのビットフォーマットを指定します。色拡張は、LUT (ルックアップテーブル) へのインデックスとしてソースを使ってMSBからLSBに実行されます。ただし、1ビットソースビットフォーマットでは、色拡張に使用されるLUTインデックスがバイトスワップされます。また、2/4/8ビットソースビットフォーマットでは、LUTインデックスが逆になります(ソースビットフィールド内でLSBからMSBの順です)。たとえば、2ビットのソースでは、01bのデータは、実際にはLUTインデックス1ではなくLUTインデックス2から色拡張します。

表10-56 ソースビットフォーマット選択

REG[1862h]ビット1~0	ソースビットフォーマット	データ例=1234h (0001 0010 0011 0100b)
00b	1ビット	色拡張は以下のLUTインデックスを使用します： 0h 0h 1h 1h 0h 1h 0h 0h 0h 0h 0h 1h 0h 0h 1h 0h
01b	2ビット	変換データ： 00 10 00 01 00 11 10 00 LUTインデックス： 0h 2h 0h 1h 0h 3h 2h 0h
10b	4ビット	変換データ： 1000 0100 1100 0010 LUTインデックス： 8h 4h Ch 2h
11b	8ビット	変換データ： 0100 1000 0010 1100 LUTインデックス： 48h 2Ch

注

LUT構造の詳細は、REG[1900h]~REG[1AFEh]のビットの説明を参照してください。

REG[1870h] BitBLT Alpha Blending Source Format Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							アルファブレンディングソース形式 ビット1~0
7	6	5	4	3	2	1	0

ビット1~0

アルファブレンディングソースフォーマットビット[1:0]

これらのビットは、アルファブレンディングをイネーブルしたとき (REG[1808h]ビット15=1b) に使用するソースデータのフォーマットを指定します。アルファブレンディングをイネーブルしたときは、これらのビットが使用され、BitBLTカラーフォーマット選択ビット (REG[1804h]ビット3~2) は無効です。

表10-57 アルファブレンディングソースフォーマット

REG[1870h]ビット1~0	ソースフォーマット	宛先	結果 (宛先)
00b	ARGB 1:5:5:5	RGB 5:6:5	RGB 5:6:5
01b	ARGB 4:4:4:4	RGB 5:6:5	RGB 5:6:5
10b	ARGB 8:8:8:8	RGB 5:6:5	RGB 5:6:5
11b	予備	予備	予備

REG[1872h] BitBLT Constant Alpha Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
一定アルファ値ビット7~0							
7	6	5	4	3	2	1	0

ビット7~0

一定アルファ値ビット[7:0]

これらのビットは、8ビットの一定アルファ値を指定します。アルファブレンディングをイネーブルしたとき (REG[1808h]ビット15=1b)、これらのビットは、宛先アルファ値ビット (REG[1874h]ビット9~8) およびソースアルファ値ビット (REG[1874h]ビット1~0) と一緒に使用されます。

注

ビット0は、アルファブレンディングでは無効です。

10. レジスタ

REG[1874h] BitBLT Alpha Value Selection Register							読み出し／書き込み	
デフォルト=0001h								
			n/a				宛先アルファ値ビット1~0	
15	14	13	12	11	10	9	8	
			n/a				ソースアルファ値ビット1~0	
7	6	5	4	3	2	1	0	

出力色は、次の式を使って計算します。

OutColor (RGB)

= ソースアルファ × ソースカラー (RGB) + 宛先アルファ × 宛先カラー (RGB)

宛先アルファ値とソースアルファ値の設定の多数の組み合わせが可能です。以下の表は、最も有効な設定または推奨設定の一覧です。

表10-58 宛先およびソースアルファ値の推奨設定

REG[1874h]ビット9~8および1~0	説明
0100b	ソース=アルファ、宛先=(1-アルファ)
0001b	ソース=(1-アルファ)、宛先=アルファ
1110b	ソース=一定アルファ、宛先=(1-一定アルファ))
1011b	ソース=(1-一定アルファ)、宛先=一定アルファ

ビット9~8

宛先アルファ値ビット[1:0]

これらのビットは、アルファブレンディングをイネーブルしたとき (REG[1808h]ビット15=1b) に使用する宛先アルファ値を指定します。

表10-59 宛先アルファ選択

REG[1874h]ビット9~8	宛先アルファ
00b	アルファ (アルファマップ内)
01b	1-アルファ
10b	一定アルファ
11b	1-一定アルファ

ビット1~0

ソースアルファ値ビット[1:0]

これらのビットは、アルファブレンディングをイネーブルしたとき (REG[1808h]ビット15=1b) に使用するソースアルファ値を指定します。

表10-60 ソースアルファ選択

REG[1874h]ビット1~0	ソースアルファ
00b	アルファ (アルファマップ内)
01b	1-アルファ
10b	一定アルファ
11b	1-一定アルファ

REG[1876h] BitBLT Alpha Combine Alpha Map Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							アルファマップビット1~0
7	6	5	4	3	2	1	0

ビット1~0

アルファマップビット[1:0]

これらのビットは、アルファ結合機能をイネーブルしたとき（REG[1808h]ビット14=1b）に使用するアルファ値のタイプ形式を選択します。アルファ結合を使用するとき、非アルファRGBマップは、新しいアルファ値（1/4/8ビット）をホストCPUからのソースとして書き込むときに新しいアルファRGBマップと置き換えられます。BitBLT FIFOデータポート（REG[1896h]ビット15~0）に書き込まれるアルファ値は、メモリに以下のように変換されます。

表10-61 Alpha結合マッピング

アルファマップ	Pixel ₀ アルファビット [msb:lsb]	Pixel ₁ アルファビット [msb:lsb]	Pixel _{(16/アルファマップ)-1} アルファビット [msb:lsb]
1	BLT FIFOビット15	BLT FIFOビット14	BLT FIFOビット0
4	BLT FIFOビット[12:15]	BLT FIFOビット[8:11]	BLT FIFOビット[0:3]
8	BLT FIFOビット[8:15]	BLT FIFOビット[0:7]	BLT FIFOビット[0:7]

REG[1880h] BitBLT Interrupt Status Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a							BitBLT割り込み状態
7	6	5	4	3	2	1	0

ビット0

BitBLT割り込み状態

このビットは、BitBLT転送が完了したときに発行されるBitBLT割り込みの状態を示します。このビットは、BitBLTイネーブルビットREG[1882h]ビット0によってマスクされません。

このビットが0bのとき、BitBLT割り込みは発行されていません。

このビットが1bのとき、BitBLT割り込みが発行されています。

この状態ビットをクリアするには、このビットに1bを書き込んでください。

10. レジスタ

REG[1882h] BitBLT Interrupt Control Register							
デフォルト=0001h							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a							BitBLT割り込みイネーブル
7	6	5	4	3	2	1	0

ビット0 BitBLT割り込みイネーブル
 このビットは、BitBLT割り込みが割り込み要求を出すかどうかを制御します。BitBLT転送が完了したときにBitBLT割り込みが行われます。このビットは、BitBLT割り込み状態ビットREG[1880h]ビット0によって示されるBitBLT割り込みの状態をマスクしません。
 このビットが0bのとき、BitBLT割り込みは割り込み要求を出しません。
 このビットが1bのとき、BitBLT割り込みは割り込み要求を出します。

REG[1886h]は予備

このレジスタは予備です。書き込まないでください。

REG[1890h] BitBLT FIFO Status Register 0							
デフォルト=0001h							読み出し専用
15	14	13	12	11	10	9	8
n/a							BitBLT FIFOフルフラグ
7	6	5	4	3	2	1	0
							BitBLT FIFOエンプティフラグ

ビット1 BitBLT FIFOフルフラグ（読み出し専用）
 このビットは、16エントリBitBLT FIFOがフルかどうかを示します。
 このビットが0bのとき、BitBLT FIFOはフルではありません。
 このビットが1bのとき、BitBLT FIFOはフルです。

ビット0 BitBLT FIFOエンプティフラグ（読み出し専用）
 このビットは、16エントリBitBLT FIFOがエンプティかどうかを示します。
 このビットが0bのとき、BitBLT FIFOはエンプティではありません。
 このビットが1bのとき、BitBLT FIFOはエンプティです。

REG[1892h] BitBLT FIFO Status Register 1							
デフォルト=0010h							読み出し専用
15	14	13	12	11	10	9	8
n/a				BitBLT FIFO可用書き込みエントリビット4~0			
7	6	5	4	3	2	1	0

ビット4~0 BitBLT FIFO可用書き込みエントリビット[4:0]（読み出し専用）
 これらのビットは、CPU書き込み操作のためにBitBLT FIFOに使用できる16ビット書き込みエントリの数を示します。BitBLT FIFOエントリの最大数は16です。

REG[1894h] BitBLT FIFO Status Register 2							
デフォルト=0000h							読み出し専用
n/a							
15	14	13	12	11	10	9	8
n/a			BitBLT FIFO可用読み出しエン트리ビット4~0				
7	6	5	4	3	2	1	0

ビット4~0 BitBLT FIFO可用読み出しエン트리ビット[4:0]（読み出し専用）
 これらのビットは、CPU読み出し操作のためにBitBLT FIFOで使用できる16ビット読み出しエントリの数を示します。BitBLT FIFOエントリの最大数は16です。

REG[1896h] BitBLT FIFO Data Port Register							
デフォルト=0000h							読み出し／書き込み
BitBLT FIFOデータポートビット15~8							
15	14	13	12	11	10	9	8
BitBLT FIFOデータポートビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 BitBLT FIFOデータポートビット[15:0]
 これらのビットは、16エントリBitBLT FIFOに対するデータの読み書きに使用されるデータポートです。Write BitBLTでは、このポートからBitBLT FIFOに適切なデータを書き込んでください。Read BitBLTでは、このポートからデータを読み出すことができます。

REG[1900h]~REG[1AFEh] BitBLT Color Expansion LUT Data Registers							
デフォルト=xxxxh							読み出し／書き込み
BitBLT色拡張LUTデータビット15~8							
15	14	13	12	11	10	9	8
BitBLT色拡張LUTデータビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 BitBLT色拡張LUTデータビット[15:0]
 これらのビットは、BitBLTに使用される色拡張データを定義します。このルックアップテーブル（LUT）には、REG[1900h]~REG[1AFEh]からの256個の16ビットエントリがあります。

注
 色拡張機能がイネーブルされたBitBLTを行っているときは、これらのレジスタを変更しないでください。

10. レジスタ

10.4.10 メモリコントローラレジスタ

REG[1C00h] Memory Control Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
SDRAM書き込み保護イネーブル	n/a	予備	予備	予備	予備		
7	6	5	4	3	2	1	0

注

このレジスタは、REG[1C02h]ビット0を使ってSDRAMメモリをイネーブルする前に11hに設定してください。

- ビット7 SDRAM書き込み保護イネーブル
このビットは、外部SDRAMメモリを書き込み保護にするかどうかを決定します。
このビットが0bのとき、書き込み保護はディスエーブルされます。(デフォルト)
このビットが1bのとき、書き込み保護はイネーブルされます。
- ビット5 予備
このビットは0bに設定してください。
- ビット4 予備
このビットは1bに設定してください。
- ビット3 予備
このビットは0bに設定してください。
- ビット2～0 予備
これらのビットは001bに設定してください。

REG[1C02h] Memory Configuration Register 0							
デフォルト=0002h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
メモリ初期化 (RO)	n/a				SDRAM外部バス幅ビット1～0		メモリーネーブル
7	6	5	4	3	2	1	0

- ビット7 メモリ初期化 (読み出し専用)
このビットは、外部SDRAMメモリの初期化状態を示します。SDRAM初期化プロセスが完了しているかどうかを判定するために、メモリーネーブルビット (REG[1C02h]ビット0) を使ってDRAMメモリを最初にイネーブルした後でこのビットをチェックしてください。
このビットが0bのとき、SDRAMはまだ初期化されていません。
このビットが1bのとき、SDRAMは初期化されており、REG[1C02h]ビット0=1bのときにアクセスすることができます。

注

SDRAMにアクセスするには、メモリ初期化ビットとメモリーネーブルビット (REG[1C02h]ビット0) を1bにしてください。

ビット2～1

SDRAM外部バス幅ビット[1:0]

これらのビットは、外部SDRAMメモリのバス幅を選択します。

表10-62 SDRAM外部バス幅選択

REG[1C02h]ビット2～1	SDRAM外部バス幅
00b	予備
01b	16ビット (デフォルト)
10b	32ビット
11b	予備

ビット0

メモリーネーブル

このビットは、外部SDRAMメモリーをイネーブルします。メモリーがまだ初期化されていない場合は、このビットを1bに設定すると初期化シーケンスがSDRAMに送られます。このビットを設定したときは、メモリー初期化ビット (REG[1C02h]ビット7) をチェックしてSDRAMメモリーにアクセスする前に初期化が完了していることを確認してください。

このビットが0bのとき、SDRAMメモリーはディスエーブルされます。

このビットが1bのとき、SDRAMメモリーはイネーブルされ、初期化プロセスが開始されます。SDRAMは、REG[1C02h]ビット7=1bに設定した後でアクセスすることができます。

注

1. SDRAMにアクセスするには、メモリー初期化ビット (REG[1C02h]ビット7) とメモリーネーブルビットを両方とも1bにしてください。
2. 消費電力を少なくするには、SDRAM インタフェースをディスエーブルする前にSDRAMを自己リフレッシュモードにしてください。
3. SDRAMメモリーをイネーブルする前にREG[1C00h]を11hに設定してください。

REG[1C04h] Memory Configuration Register 1

デフォルト=7AAFh

読み出し/書き込み

アクティブ-プレチャージサイクルビット3～0				自動リフレッシュ-アクティブサイクルビット3～0			
15	14	13	12	11	10	9	8
書き込み-プレチャージビット1～0		復帰-プレチャージビット1～0		RAS-CAS遅延ビット1～0		CASレイテンシビット1～0	
7	6	5	4	3	2	1	0

ビット15～12

アクティブ-プレチャージサイクルビット[3:0]

これらのビットは、外部SDRAMのアクティブ-プレチャージサイクルをMEMCLK周期で設定するために使用します。

アクティブ-プレチャージサイクル=REG[1C04h]ビット15～12+1

注

アクティブ-プレチャージサイクルが特定の操作に必要なサイクル数より小さい値に設定された場合は、この設定は無視されます。

10. レジスタ

ビット11～8

自動リフレッシュ-アクティブサイクルビット[3:0]

これらのビットは、SDRAMクロックサイクルでの最小時間長を制御します。アクティブコマンドを自動リフレッシュコマンドの後で発行することができます。

表10-63 自動リフレッシュ-アクティブサイクル時間

REG[1C04h]ビット11～8	リフレッシュ-アクティブ時間	REG[1C04h]ビット11～8	リフレッシュ-アクティブ時間
0000b	予備	1000b	9SDRAMクロック
0001b	予備	1001b	10SDRAMクロック
0010b	3SDRAMクロック	1010b (デフォルト)	11SDRAMクロック
0011b	4SDRAMクロック	1011b	12SDRAMクロック
0100b	5SDRAMクロック	1100b	13SDRAMクロック
0101b	6SDRAMクロック	1101b	14SDRAMクロック
0110b	7SDRAMクロック	1110b	15SDRAMクロック
0111b	8SDRAMクロック	1111b	16SDRAMクロック

ビット7～6

書き込み-プレチャージビット[1:0] (TWR)

これらのビットは、サイクル内の外部SDRAMの書き込み-プレチャージ値を設定するために使用します。

表10-64 書き込み-プレチャージ選択

REG[1C04h]ビット7～6	書き込み-プレチャージ
00b	予備
01b	2クロック
10b (デフォルト)	3クロック
11b	4クロック

注

- 書き込み-プレチャージ値は次の場合のみ有効です。
RAS-CAS遅延+書き込み-プレチャージ時間+最初の書き込みラッチから最後の書き込みラッチまでの時間 > アクティブ-プレチャージ時間 (REG[1C04h]ビット15～12を参照)。
- 書き込み-プレチャージを2クロックに設定した場合は、RAS-CAS遅延を3クロックに設定してください (REG[1C04h]ビット3～2=11b)。

ビット5～4

復帰-プレチャージビット[1:0] (TRP)

これらのビットは、外部SDRAMの復帰-プレチャージ値をサイクルで設定するために使用します。

表10-65 復帰-プレチャージ選択

REG[1C04h]ビット5～4	復帰-プレチャージ
00b	予備
01b	2クロック
10b (デフォルト)	3クロック
11b	4クロック

ビット3～2

RAS-CAS遅延ビット[1:0] (TRCD)

これらのビットは、外部SDRAMのRAS#とCAS#間の遅延時間をサイクルで設定するために使用します。

表10-66 RAS-CAS遅延選択

REG[1C04h]ビット3～2	RAS-CAS遅延
00b	予備
01b	予備
10b	2クロック
11b (デフォルト)	3クロック

ビット1～0

CAS レイテンシビット[1:0]

これらのビットは、外部SDRAMのCASレイテンシをサイクルで設定するために使用します。

表10-67 CASレイテンシ選択

REG[1C04h]ビット1～0	CASレイテンシ
00b	予備
01b	予備
10b	2クロック
11b (デフォルト)	3クロック

REG[1C06h] Memory Configuration Register 2

デフォルト=C010h

読み出し／書き込み

予備	ダイナミック SDRAM CKE制御	n/a					
15	14	13	12	11	10	9	8
n/a	n/a	予備	予備	自動プレチャージ	メモリサイズビット1～0	予備	予備
7	6	5	4	3	2	1	0

ビット15

予備

このビットのデフォルト値は1bです。

ビット14

ダイナミックSDRAM CKE制御

このビットは、外部SDRAMメモリに対するクロックイネーブル (MEMCKE) をいつアサートするかを制御します。

このビットが0bのとき、クロックイネーブルは、SDRAMバス状態に関係なく常にアサートされます。

このビットが1bのとき、外部SDRAMへのクロックイネーブルは、SDRAMバスの状態によってHighまたはLowに駆動されます。(デフォルト)

ビット5～4

予備

これらのビットのデフォルト値は01bです。

ビット3

自動プレチャージ

このビットは、SDRAMメモリバンクをプレチャージするかどうかを制御します。

このビットが0bのとき、SDRAMメモリバンクはプレチャージされません。(デフォルト)

このビットが1bのとき、SDRAMメモリバンクはプレチャージされます。

10. レジスタ

ビット2~1

メモリサイズビット[1:0]

これらのビットは、S1D13513に接続された外部SDRAMメモリのサイズを設定します。

表10-68 メモリサイズ選択

REG[1C06h]ビット2~1	メモリサイズ
00b (デフォルト)	128Mビット
01b	256Mビット
10b	512Mビット
11b	64Mビット

以下の表は、各メモリインタフェース構成のアドレス幅の一覧です。

表10-69 メモリインタフェースアドレス幅

16ビットメモリインタフェース	メモリサイズ (REG[1C06h]ビット2~1)			
	64Mビット	128Mビット	256Mビット	512Mビット
列アドレス幅	8	9	9	10
バンクアドレス幅	2	2	2	2
行アドレス幅	12	12	13	13

32ビットメモリインタフェース	64Mビット	128Mビット	256Mビット	512Mビット
列アドレス幅	8	8	9	9
バンクアドレス幅	2	2	2	2
行アドレス幅	11	12	12	13

ビット0

予備

このビットのデフォルト値は0bです。

REG[1C08h] Memory Advanced Configuration Register							
デフォルト=0F1Ah							読み出し／書き込み
自己リフレッシュリエン트리サイクルカウントビット7~0							
15	14	13	12	11	10	9	8
n/a	予備				予備	自己リフレッシュリエン트리制御	自己リフレッシュモードイネーブル(WO)
7	6	5	4	3	2	1	0

ビット15~8

自己リフレッシュリエン트리サイクルカウントビット[7:0]

これらのビットは、SDRAMが自己リフレッシュモードに再び入るまでにさらなるアクセスなしで行わなければならないサイクル数を指定します。これは、読み出し／書き込みアクセスのためにSDRAMが自己リフレッシュモードから起動され、自己リフレッシュリエン트리制御ビットが1bに設定されたとき (REG[1C08h]ビット1=1b) に行われます。デフォルト値は0Fh、最小値は02hです。カウントクロックはMEMCLKの1/4を使用します。

自己リフレッシュリエン트리遅延=(REG[1C08h]ビット15~8)×4SDRAM
クロック

ビット6~3

予備

これらのビットのデフォルト値は0011bです。

ビット2

予備

このビットのデフォルト値は0bです。

ビット1

自己リフレッシュリエン트리制御

このビットは、SDRAMが読み出し／書き込みアクセスのために作動した後で再び自己リフレッシュモードに入るかどうかを制御します。この機能がイネーブルされた場合、SDRAMは、自己リフレッシュリエン트리サイクルカウンタービットREG[1C08h]ビット15~8で指定されたサイクル数の間さらなるアクセスがない場合に再び自己リフレッシュモードに入ります。

このビットが0bのとき、SDRAMは再び自己リフレッシュモードに入りません。(デフォルト)

このビットが1bのとき、SDRAMは、規定数のサイクルの間さらなるアクセスがない場合に再び自己リフレッシュモードに入ります。

注

REG[1C08h]ビット0を0bに設定することによってSDRAMが自己リフレッシュモードを終了した場合、SDRAMは、このビットを1bに設定した場合に再び自己リフレッシュに入ります。

ビット0

自己リフレッシュモードイネーブル (書き込み専用)

このビットは、SDRAMの自己リフレッシュモードを制御します。自己リフレッシュリエン트리制御ビットを1bに設定したとき (REG[1C08h]ビット1=1b)、SDRAMは、規定数のサイクル後に自動的に再び自己リフレッシュモードに入ります。

このビットが0bのとき、SDRAMは自己リフレッシュモードを終了します (ディスエーブルされる)。(デフォルト)

このビットが1bのとき、SDRAMは自己リフレッシュモードに入ります (イネーブルされる)。

注

終了自己リフレッシュ-アクティブ時間は3MEMCLKです。

データの破損を防ぐために、この時間が、自己リフレッシュモードに入るまでのSDRAM仕様に違反しないように注意してください。

10. レジスタ

REG[1C0Ah] Memory Initialization Configuration Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				SDRAM初期化 シーケンス	SDRAMロード モード	SDRAM自動 リフレッシュ	SDRAM全バンク プレチャージ
7	6	5	4	3	2	1	0

注

このレジスタは、初期化やプレチャージなどのSDRAMに対するコマンドの手動トリガを可能にします。通常の使用では、これらのビットを変更する必要はありません。

ビット3

SDRAM初期化シーケンス

このビットは、SDRAM初期化シーケンスを手動でトリガします。このビットが0bのとき、SDRAM初期化シーケンスは実行されません。(デフォルト)

このビットが1bのとき、SDRAM初期化シーケンスが実行されます。このビットは、書き込まれた後で自動的に0bにクリアされます。

注

- このビットは、SDRAMインタフェースがアイドル状態でない限り1bに設定しないでください。
- SDRAMが自己リフレッシュモードの間にこのビットを1bに設定すると、コマンドは、次のSDRAM読み出し／書き込み操作に進む次のコマンドとして送られます。

ビット2

SDRAMロードモード

このビットは、SDRAMに対するロードモードレジスタコマンドを手動でトリガします。通常の使用では、このビットを変更する必要はありません。このビットが0bのときは、ロードモードレジスタコマンドは発行されません。(デフォルト)

このビットが1bのときは、ロードモードレジスタコマンドがSDRAMに発行されます。このビットは、書き込まれた後で自動的に0bにクリアされます。

注

- このビットは、SDRAMインタフェースがアイドル状態でない限り1bに設定しないでください。
- SDRAMが自己リフレッシュモードの間にこのビットを1bに設定すると、コマンドは、次のSDRAM読み書き操作に進む次のコマンドとして送られます。

ビット1

SDRAM自動リフレッシュ

このビットは、プレチャージコマンドとそれに続くSDRAMに対する自動リフレッシュコマンドを手動でトリガします。通常の使用では、このビットを変更する必要はありません。

このビットが0bのとき、プレチャージコマンドと自動リフレッシュコマンドは発行されません。(デフォルト)

このビットが1bのとき、プレチャージコマンドと自動リフレッシュコマンドは、次のSDRAM操作で続いて発行されます。このビットは、書き込まれた後で自動的に0bにクリアされます。

ビット0

SDRAM全バンクプレチャージ

このビットは、SDRAMに対するプレチャージ全バンクコマンドを手動でトリガします。通常の使用では、このビットを変更する必要はありません。

このビットが0bのとき、プレチャージ全バンクコマンドは発行されません。
(デフォルト)

このビットが1bのとき、プレチャージ全バンクコマンドは、次のSDRAM操作で続いて発行されます。このビットは、書き込み後に自動的に0bにクリアされます。

REG[1C0Ch] Memory Refresh Timer Register

デフォルト=0411h

読み出し／書き込み

SDRAM自動リフレッシュタイマービット15~8							
15	14	13	12	11	10	9	8
SDRAM自動リフレッシュタイマービット7~0							
7	6	5	4	3	2	1	0

ビット15~0

SDRAM自動リフレッシュタイマービット[15:0]

これらのビットは、SDRAM自動リフレッシュサイクルの周期を制御します。これらのビットを4hより小さい値に設定しないでください。

自動リフレッシュサイクルの周期=REG[1C0Ch]ビット15~0+9MEMCLK周期
MEMCKE Highパルス1つ当たりのREFサイクル数は、REG[1C04h]ビット11~8によって制御されます。

REG[1C0Eh]は予備

このレジスタは予備です。書き込まないでください。

REG[1C10h] SDRAM Mode Setting Value Register

デフォルト=0000h

読み出し専用

SDRAMモード設定値ビット15~8							
15	14	13	12	11	10	9	8
SDRAMモード設定値ビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

SDRAMモード設定値ビット[15:0] (読み出し専用)

これらのビットは、SDRAMモードレジスタに書き込まれている値を示します。モードレジスタは、外部SDRAMの操作パラメータを指定します。

REG[1C12h] Mobile SDRAM Configuration Register

デフォルト=4000h

読み出し／書き込み

TRSCビット1~0		n/a					
15	14	13	12	11	10	9	8
モバイル選択	n/a	自動温度補償自己リフレッシュイネーブル	予備		部分アレイ自己リフレッシュ選択ビット2~0		
7	6	5	4	3	2	1	0

10. レジスタ

ビット15～14

TRSCビット[1:0]

これらのビットは、モバイルSDRAMを選択したとき（REG[1C12h]ビット7=1b）モードレジスタ設定サイクル間のクロック（モード設定と拡張モード設定の間のクロック）の数を指定します。

表10-70 モードレジスタ設定サイクル

REG[1C12h]ビット15～14	TRSC
00b	予備
01b	2クロック
10b	3クロック
11b	4クロック

ビット7

モバイル選択

このビットは、標準SDRAMを使用するかモバイルSDRAMを使用するかを選択します。このビットを設定したときは、SDRAMを初期化した後でモバイルSDRAM用のExtended Mode Settingレジスタがプログラムされます（REG[1C02h]ビット0を参照）。

このビットが0bのとき、標準SDRAMが選択されます。

このビットが1bのとき、モバイルSDRAMが選択されます。

ビット5

自動温度補償自己リフレッシュイネーブル

このビットは、自動温度補償自己リフレッシュ機能を制御します。

このビットが0bのとき、自動温度補償自己リフレッシュがディスエーブルされます。

このビットが1bのとき、自動温度補償自己リフレッシュがイネーブルされます。

ビット4～3

予備

このビットは00bに設定してください。

ビット2～0

部分アレイ自己リフレッシュ選択ビット[2:0]

これらのビットは、自己リフレッシュするモバイルSDRAMのバンクを制御します。これらのビットの値は、使用するモバイルSDRAMの要件に従ってプログラムしてください。詳細は、モバイルSDRAM仕様書を参照してください。

表10-71 部分アレイ自己リフレッシュ選択

REG[1C12h]ビット2～0	部分アレイ自己リフレッシュ
000b	全バンク
001b	バンクAとバンクB（BA1=0）
010b	バンクA（BA1=0とBA0=0）
011b～111b	予備

REG[1C14h] Mobile SDRAM Extended Mode Setting Register

デフォルト=0000h

読み出し専用

モバイルSDRAM拡張モード設定ビット15～8							
15	14	13	12	11	10	9	8
モバイルSDRAM拡張モード設定ビット7～0							
7	6	5	4	3	2	1	0

ビット15～0

モバイルSDRAM拡張モード設定ビット[15:0]（読み出し専用）

これらのビットは、SDRAM拡張モードレジスタに書き込む値を示します。拡張モードレジスタは、外部モバイルSDRAMの操作パラメータを指定します。

10.4.11 カメラインタフェースレジスタ

注

カメラインタフェースによって使用される端子は、GPIO機能端子と多重化されています。したがって、カメラインタフェースをイネーブルする前に、適切なGPIO端子をカメラインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[2000h] Camera1 Clock Setting Register							
デフォルト=0000h							読み出し／書き込み
15	14	13	12	11	10	9	8
				Camera1クロック分周選択ビット4~0			
7	6	5	4	3	2	1	0

ビット4~0

Camera1クロック分周選択ビット[4:0]

これらのビットは、システムクロックからCamera1クロック出力 (CM1CLKOUT) を生成するために使用する分周比を指定します。

表10-72 Camera1クロック分周比選択

REG[2000h]ビット4~0	Camera1クロック分周比	REG[2000h]ビット4~0	Camera1クロック分周比
00000b (デフォルト)	予備	10000b	17:1
00001b	予備	10001b	18:1
00010b	3:1	10010b	19:1
00011b	4:1	10011b	20:1
00100b	5:1	10100b	21:1
00101b	6:1	10101b	22:1
00110b	7:1	10110b	23:1
00111b	8:1	10111b	24:1
01000b	9:1	11000b	25:1
01001b	10:1	11001b	26:1
01010b	11:1	11010b	27:1
01011b	12:1	11011b	28:1
01100b	13:1	11100b	29:1
01101b	14:1	11101b	30:1
01110b	15:1	11110b	31:1
01111b	16:1	11111b	32:1

10. レジスタ

REG[2002h] Camera1 Signal Setting Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a	Camera1 インタフェース 選択	Camera1クロック モード選択	Camera1 YUVデータフォーマット選択 ビット1~0		CM1HREF アクティブ選択	CM1VREF アクティブ選択	CM1CLKIN アクティブ選択
7	6	5	4	3	2	1	0

ビット6 **Camera1インタフェース選択**
 このビットは、Camera1インタフェースタイプを選択します。
 このビットが0bのとき、Camera1インタフェースはYUV 4:2:2 8ビットに設定されます。
 このビットが1bのとき、Camera1インタフェースはYUV 4:2:2 16ビットに設定されます。

ビット5 **Camera1クロックモード選択**
 このビットは、Camera1インタフェース用のCM1DAT[7:0]の取り込んだYUVデータのサンプリングに使用するクロックのソースを決定します。
 このビットが0bのときは、取り込んだYUVデータのサンプリングにカメラインタフェースからの外部入力クロック（CM1CLKIN）を使用します。
 (デフォルト)
 このビットが1bのときは、取り込んだYUVデータのサンプリングに内部カメラクロック出力（CM1CLKOUT）を使用します。このカメラクロックモードのときは、Camera1クロック分周選択ビット（REG[2000h]ビット4~0）を2:1より大きい比率に設定してください。

ビット4~3 **Camera1 YUVデータフォーマット選択ビット[1:0]**
 これらのビットは、Camera1インタフェースのYUVデータシーケンス順序を指定します。

表10-73 YUVデータフォーマット選択

REG[2002h]ビット4~3	YUVデータフォーマット (8ビットフォーマット)	YUVデータフォーマット (16ビットフォーマット)
00b (デフォルト)	(最初) UYVY (最後)	(Camera1最初) UV (最後) (Camera2最初) YY (最後)
01b	(最初) VYUY (最後)	(Camera1最初) VU (最後) (Camera2最初) YY (最後)
10b	(最初) YUYV (最後)	(Camera1最初) YY (最後) (Camera2最初) UV (最後)
11b	(最初) YVYU (最後)	(Camera1最初) YY (最後) (Camera2最初) VU (最後)

ビット2 **CM1HREFアクティブ選択**
 このビットは、Camera1インタフェースのCM1HREFの極性を選択します。
 このビットが0bのとき、Camera1 HSYNC (CM1HREF) はアクティブLowであり、CM1HREF Highの場合にデータが有効です。
 このビットが1bのとき、Camera1 HSYNC (CM1HREF) はアクティブHighであり、CM1HREF Lowの場合にデータが有効です。

注

このビットは、カメラインタフェースがディisableされている間（REG[2010h]ビット0=0b）しか修正できません。

ビット1

CM1VREFアクティブ選択

このビットは、Camera1インタフェースのCM1VREFの極性を選択します。
このビットが0bのとき、Camera1 VSYNC (CM1VREF) はアクティブLowであり、CM1VREF Highの場合にデータが有効です。
このビットが1bのとき、Camera1 VSYNC (CM1VREF) はアクティブHighであり、CM1VREF Lowの場合にデータが有効です。

注

このビットは、カメラインタフェースがディスエーブルされている間 (REG[2010h]ビット0=0b) しか修正できません。

ビット0

CM1CLKINアクティブ選択

このビットは、入力データをラッチするために使用されるCM1CLKINのエッジを選択します。CM1CLKINは、Camera1インタフェースに使用されます。
このビットが0bのとき、SID13513は、CM1CLKINの立ち上がりエッジで入力データをラッチします。
このビットが1bのとき、SID13513は、CM1CLKINの立ち下がりエッジで入力データをラッチします。

注

このビットは、カメラインタフェースがディスエーブルされている間 (REG[2010h]ビット0=0b) しか修正できません。

10. レジスタ

REG[2004h] Camera2 Clock Setting Register							
デフォルト=0000h							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a				Camera2クロック分周選択ビット4~0			
7	6	5	4	3	2	1	0

ビット4~0

Camera2クロック分周選択ビット[4:0]

これらのビットは、システムクロックからCamera2クロック出力 (CM2CLKOUT) を生成するために使用する分周比を指定します。

表10-74 Camera2クロック分周比選択

REG[2004h]ビット4~0	Camera2クロック分周比	REG[2004h]ビット4~0	Camera2クロック分周比
00000b	予備	10000b	17:1
00001b	予備	10001b	18:1
00010b	3:1	10010b	19:1
00011b	4:1	10011b	20:1
00100b	5:1	10100b	21:1
00101b	6:1	10101b	22:1
00110b	7:1	10110b	23:1
00111b	8:1	10111b	24:1
01000b	9:1	11000b	25:1
01001b	10:1	11001b	26:1
01010b	11:1	11010b	27:1
01011b	12:1	11011b	28:1
01100b	13:1	11100b	29:1
01101b	14:1	11101b	30:1
01110b	15:1	11110b	31:1
01111b	16:1	11111b	32:1

REG[2006h] Camera2 Signal Setting Register						読み出し／書き込み	
デフォルト=0000h							
n/a							
15	14	13	12	11	10	9	8
予備		Camera2クロック モード選択	Camera2 YUVデータフォーマット選択 ビット1~0		CM2HREF アクティブ選択	CM2VREF アクティブ選択	CM2CLKIN アクティブ選択
7	6	5	4	3	2	1	0

ビット7~6 予備
これらのビットのデフォルト値は00bです。

ビット5 Camera2クロックモード選択
このビットは、Camera2インタフェース用のCM2DAT[7:0]の取り込んだYUVデータのサンプリングに使用するクロックのソースを決定します。
このビットが0bのとき、取り込んだYUVデータのサンプリングにカメラインタフェースからの外部入力クロック（CM2CLKIN）が使用されます。
（デフォルト）
このビットが1bのとき、取り込んだYUVデータのサンプリングに内部で分周されたシステムクロック（CM2CLKOUT）が使用されます。

ビット4~3 Camera2 YUVデータフォーマット選択ビット[1:0]
これらのビットは、Camera2インタフェースのYUVデータシーケンス順序を指定します。

表10-75 YUVデータフォーマット選択

REG[2006h]ビット4~3	YUVフォーマット
00b	(最初) UYVY (最後)
01b	(最初) VYUY (最後)
10b	(最初) YUYV (最後)
11b	(最初) YVYU (最後)

ビット2 CM2HREFアクティブ選択
このビットは、Camera2インタフェースのCM2HREFの極性を選択します。
このビットが0bのとき、Camera2 HSYNC（CM2HREF）はアクティブLowであり、CM2HREF Highの場合にデータが有効です。
このビットが1bのとき、Camera2 HSYNC（CM2HREF）はアクティブHighであり、CM2HREF Lowの場合にデータが有効です。

注

このビットは、カメラインタフェースがディisableされている間（REG[2010h]ビット0=0b）しか修正できません。

ビット1 CM2VREFアクティブ選択
このビットは、Camera2インタフェースにCM2VREFの極性を選択します。
このビットが0bのとき、Camera2 VSYNC（CM2VREF）はアクティブLowであり、CM2VREF Highの場合にデータが有効です。
このビットが1bのとき、Camera2 VSYNC（CM2VREF）はアクティブHighであり、CM2VREF Lowの場合にデータが有効です。

注

このビットは、カメラインタフェースがディisableされている間（REG[2010h]ビット0=0b）しか修正できません。

10. レジスタ

ビット0

CM2CLKINアクティブ選択

このビットは、入力データをラッチするために使用されるCM2CLKINのエッジを選択します。CM2CLKINは、Camera2インタフェースに使用されます。

このビットが0bのとき、S1D13513は、CM2CLKINの立ち上がりエッジで入力データをラッチします。

このビットが1bのとき、S1D13513は、CM2CLKINの立ち下がりエッジで入力データをラッチします。

注

このビットは、カメラインタフェースがディスエーブルされている間 (REG[2010h]ビット0=0b) しか修正できません。

REG[2008h]～REG[200Eh]は予備

これらのレジスタは予備です。書き込まないでください。

REG[2010h] Camera Mode Setting Register							
デフォルト=0000h							読み出し／書き込み
予備 15	予備 14	予備 13	予備 12	予備 11	予備 10	予備 9	YUVデータタイプ 8
ITU-R BT656 イネーブル 7	カメラモード選択ビット2~0			クロック出力ポート選択ビット2~0			カメラインタ フェースイネーブル 0
	6	5	4	3	2	1	

- ビット15 予備
このビットのデフォルト値は0bです。
- ビット14 予備
このビットのデフォルト値は0bです。
- ビット13 予備
このビットのデフォルト値は0bです。
- ビット12 予備
このビットのデフォルト値は0bです。
- ビット11~10 予備
これらのビットは00bに設定してください。
- ビット9 予備
このビットのデフォルト値は0bです。
- ビット8 YUVデータタイプ
このビットは、取り込んだカメラデータにUVオフセットを適用するかどうかを指定します。カメラのYUVデータタイプに応じて設定してください。一般にカメラモジュールはUVオフセットで出力するので、このビットは0bに設定してください。

表10-76 カメラ入力YUVデータタイプ選択

REG[2010h]ビット8	YUVデータタイプ	データ範囲1	データ範囲2
0b (デフォルト)	直二進数	$0 \leq U \leq 255$ $0 \leq V \leq 255$	$16 \leq Cb \leq 240$ $16 \leq Cr \leq 240$
1b	オフセット二進数	$-128 \leq U \leq 127$ $-128 \leq V \leq 127$	$-112 \leq Cb \leq 112$ $-112 \leq Cr \leq 112$

- ビット7 ITU-R BT656イネーブル
このビットは、アクティブなカメラインタフェースタイプを制御します。
このビットが0bのときは、通常のカメラインタフェースがアクティブです。このモードでは、HSYNC信号、VSYNC信号、クロック信号およびデータ信号は独立しています。(デフォルト)
このビットが1bのときは、ITU-R BT656カメラインタフェースがアクティブです。このモードでは、HSYNC信号とVSYNC信号の情報はデータ信号に埋め込まれます。

10. レジスタ

ビット6~4

カメラモード選択ビット[2:0]
これらのビットは、アクティブなカメラモードを選択します。

表10-77 カメラモード選択

REG[2010h]ビット6~4	アクティブカメラモード
000b	Camera1インタフェース入力がアクティブ
001b	Camera2インタフェース入力がアクティブ
010b~111b	予備

ビット3~1

クロック出力ポート選択ビット[2:0]
これらのビットは、アクティブクロック出力ポートを選択します。

表10-78 クロック出力ポート選択

REG[2010h]ビット3~1	アクティブクロック出力ポート
000b	REG[2010h]ビット6~4で選択された同じポートがアクティブ
001b	Camera1出力ポートのみアクティブ
010b	Camera2出力ポートのみアクティブ
011b	Camera1とCamera2の両方の出力ポートがアクティブ
100b	クロック出力は非アクティブ
101b~111b	予備

ビット0

カメラインタフェースイネーブル
このビットは、カメラインタフェースを制御します。カメラインタフェースがディスエーブルされると、クロックが停止され、カメラクロック出力がディスエーブルされます。
このビットが0bのとき、カメラインタフェースはディスエーブル (Low出力) されます。(デフォルト)
このビットが1bのとき、カメラインタフェースはイネーブルされます。

注

1. CMCLKOUTがトグルしているときにこのビットを0bに設定すると、すぐにCMCLKOUT信号がLowに駆動されます。
2. このビットを使ってカメラインタフェースをディスエーブルすると、カメラデータの一部分がクリアされずに、将来のカメラ/リサイザ操作に支障をきたす可能性があります。カメラをディスエーブルするときは、カメラインタフェースを初期化し、ディスエーブルするカメラインタフェースのソフトウェアリセットビット (REG[2014h]ビット0=1b) を使用することを推奨します。
この方法は、カメラインタフェースに関連する部分のデータをクリアします。

REG[2012h] Camera Frame Setting Register							
デフォルト=0000h							読み出し／書き込み
n/a		予備		n/a		Raw JPEG キャプチャモード イネーブル	
15	14	13	12	11	10	9	8
フレーム キャプチャ 割り込み選択	シングルフレーム キャプチャ選択	予備	フレームサンプリングモードビット2~0			フレームキャプチャ 割り込み極性	フレームキャプチャ 割り込みイネーブル
7	6	5	4	3	2	1	0

ビット12 予備
このビットのデフォルト値は0bです。

ビット8 Raw JPEGキャプチャモードイネーブル
このビットは、Raw JPEGキャプチャモードを制御します。カメラモジュールによっては、カメラから直接JPEG符号化データを出力できるものがあります。S1D13513がこのJPEGデータをキャプチャできるようにするには、このビットを1bに設定してください。
このビットが0bのとき、Raw JPEGキャプチャモードがディスエーブルされます。
このビットが1bのとき、Raw JPEGキャプチャモードがイネーブルされます。

注

- このビットは、VBLANKとデータキャプチャが停止されている間反映されません。Raw JPEGキャプチャモードは、カメラインタフェースがディスエーブルされている間（REG[2010h]ビット0=0b）はイネーブルできません。
- Raw JPEGキャプチャモードがイネーブルされている間は、ストロボ機能（REG[2020h]~REG[2024h]）を使用できません。
- Raw JPEGデータをキャプチャするときは、ファイルサイズが32ビットの倍数になるようにパディングされます。パディングは以下のように適用されます。

表10-79 Raw JPEGキャプチャデータパディング

ファイルサイズ	パディングファイル形式
4nバイト	(最初) 入力データ+FFFF_FFFFh (最後)
4n+1バイト	(最初) 入力データ+FF_FFFFh (最後)
4n+2バイト	(最初) 入力データ+FFFFh (最後)
4n+3バイト	(最初) 入力データ+FFh (最後)

ビット7 フレームキャプチャ割り込み選択
このビットは、フレームキャプチャ割り込みをいつアサートするかを選択します（REG[2012h]ビット0を参照）。
このビットが0bのとき、フレームキャプチャ割り込みは、有効フレームをキャプチャしている間アサートされます。
このビットが1bのとき、フレームキャプチャ割り込みは、有効フレームがキャプチャされカメラインタフェースがデータのキャプチャを停止した後アサートされます。

10. レジスタ

ビット6 シングルフレームキャプチャ選択
このビットは、シングルフレームキャプチャのフレームキャプチャモードを制御します。
このビットは、カメラインタフェースをイネーブルしてる間（REG[2010h]ビット0=1b）は変更しないでください。
このビットが0bのときは、カメラインタフェースから画像を連続的にキャプチャします。
このビットが1bのときは、次のフレームがキャプチャされ、カメラインタフェースはディスエーブルされます。

ビット5 予備
このビットのデフォルト値は0bです。

ビット4～2 フレームサンプリングモードビット[2:0]
これらのビットは、カメラデータサンプリングレートをフレームで制御します。

表10-80 フレームサンプリング制御選択

REG[2012h]ビット4～2	フレームサンプリングモード
000b	すべてのフレームをサンプリングします。
001b	2フレームのうちの1つをサンプリングします。
010b	3フレームのうちの1つをサンプリングします。
011b	4フレームのうちの1つをサンプリングします。
100b	5フレームのうちの1つをサンプリングします。
101b	6フレームのうちの1つをサンプリングします。
110b	7フレームのうちの1つをサンプリングします。
111b	フレームをサンプリングしません。

ビット1 フレームキャプチャ割り込み極性
このビットは、フレームキャプチャ割り込みのアサーションタイミングを制御します。
このビットが0bのときは、CMVREFがアクティブのときにフレームキャプチャ割り込みがアサートされます。（デフォルト）
このビットが1bのときは、CMVREFが非アクティブのときにフレームキャプチャ割り込みがアサートされます。

ビット0 フレームキャプチャ割り込みイネーブル
このビットは、フレームキャプチャ割り込みを生成するかどうかを制御します。
このビットが0bのときは、フレームキャプチャ割り込みがディスエーブルされます。（デフォルト）
このビットが1bのときは、フレームキャプチャ割り込みがイネーブルされます。

REG[2014h] Camera Control Register							
デフォルト=適用しない							書き込み専用
n/a					Raw JPEG キャプチャモード エラーフラグ クリア	ITU-R BT656エラー フラグ1クリア	ITU-R BT656エラー フラグ0クリア
15	14	13	12	11	10	9	8
n/a				フレーム キャプチャ停止	フレーム キャプチャ開始	フレームキャプチャ 割り込みフラグ クリア	カメラ インタフェース ソフトウェア リセット
7	6	5	4	3	2	1	0

- ビット10 Raw JPEGキャプチャモードエラーフラグクリア（書き込み専用）
このビットは、Raw JPEGキャプチャモードをイネーブルしたとき（REG[2012h]ビット8=1b）のみ有効です。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、Raw JPEGキャプチャモードエラーフラグ（REG[2016h]ビット10）がクリアされます。
- ビット9 ITU-R BT656エラーフラグ1クリア（書き込み専用）
このビットは、ITU-R BT656インタフェースモードがアクティブのとき（REG[2010h]ビット7=1b）のみ有効です。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、ITU-R BT656エラーフラグ1（REG[2016h]ビット9）はクリアされます。
- ビット8 ITU-R BT656エラーフラグ0クリア（書き込み専用）
このビットは、ITU-R BT656インタフェースモードがアクティブのとき（REG[2010h]ビット7=1b）のみ有効です。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、ITU-R BT656エラーフラグ0（REG[2016h]ビット8）がクリアされます。
- ビット3 フレームキャプチャ停止（書き込み専用）
このビットは、現在のカメラフレームが終了した後でカメラインタフェースからの画像フレームキャプチャを停止します。現在のカメラキャプチャ状態は、フレームキャプチャ開始/停止フラグ（REG[2016h]ビット2）によって示されます。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、現在のカメラフレーム後に画像フレームキャプチャを停止します。
- 注**
カメラインタフェースがフレームデータをアクティブにキャプチャしているときは、現在のカメラフレームが終了した後でカメラインタフェースをディスエーブルできるようにフレームキャプチャ停止を発行してください。
- ビット2 フレームキャプチャ開始（書き込み専用）
このビットは、次のカメラフレームのカメラインタフェースから画像フレームキャプチャを開始します。現在のカメラキャプチャ状態は、フレームキャプチャ開始/停止フラグ（REG[2016h]ビット2）によって示されます。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、次のカメラフレームの画像フレームキャプチャが開始されます。

10. レジスタ

注

1. ハードウェアリセットの後、あるいはシングルフレームキャプチャ選択ビットを連続キャプチャに設定したとき (REG[2012h]ビット6=0b) のカメラインタフェースのソフトウェアリセット (REG[2014h]ビット0) の後は、デフォルトのフレームキャプチャ状態は“START”です。
2. YUVキャプチャモード (REG[2800h]ビット3~1=011bおよび111b) では、シングルキャプチャモードを選択したとき (REG[2012h]ビット6=1b) にフレームをキャプチャするには、このビットを2回書き込んでください。

ビット1

フレームキャプチャ割り込みフラグクリア (書き込み専用)

このビットは、フレームキャプチャ割り込み状態ビット (REG[2016h]ビット1) をクリアします。

このビットに0bを書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むと、フレームキャプチャ割り込み状態がクリアされます。

ビット0

カメラインタフェースソフトウェアリセット (書き込み専用)

このビットは、カメラインタフェースロジックを初期化し、カメラインタフェースをディスエーブルします (REG[2010h]ビット0)。Camera Status Register (REG[2016h]) 以外のカメラインタフェースレジスタは、このビットによる影響を受けません。

このビットに0bを書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むと、カメラインタフェースが初期化されディスエーブルされます。

注

カメラインタフェースをディスエーブルするときは、このビットを使用することを推奨します。

REG[2016h] Camera Status Register							
デフォルト=0004h							読み出し専用
n/a					Raw JPEG キャプチャモード エラーフラグ	ITU-R BT656 エラーフラグ1	ITU-R BT656 エラーフラグ0
15	14	13	12	11	10	9	8
n/a	CMVREF状態	有効ストロボ フレーム状態	有効フレーム状態	フレーム キャプチャ ビジー状態	フレーム キャプチャ開始/ 停止フラグ	フレームキャプチャ 割り込みフラグ	n/a
7	6	5	4	3	2	1	0

- ビット10 Raw JPEGキャプチャモードエラーフラグ（読み出し専用）
このビットは、Raw JPEGキャプチャモードをイネーブルしているとき（REG[2012h]ビット8=1b）のみ有効です。
このビットが0bのとき、エラーは起きていません。
このビットが1bのとき、JPEGデータのエラーがカメラに表示されます（VSYNCがアクティブでHSYNC Highの間）。
- このフラグをクリアするには、Raw JPEGキャプチャモードエラーフラグクリアビットに1bを書き込んでください（REG[2014h]ビット10=1b）。
- ビット9 ITU-R BT656エラーフラグ1（読み出し専用）
このビットは、ITU-R BT656インタフェースモードがアクティブのとき（REG[2010h]ビット7=1b）のみ有効です。
このビットが0bのとき、エラーは起きていません。
このビットが1bのとき、リファレンスデコード操作で2ビットエラーが検出されます。
- このフラグをクリアするには、ITU-R BT656エラーフラグ1クリアビットに1bを書き込んでください（REG[2014h]ビット9=1b）。
- ビット8 ITU-R BT656エラーフラグ0（読み出し専用）
このビットは、ITU-R BT656インタフェースモードがアクティブのとき（REG[2010h]ビット7=1b）のみ有効です。
このビットが0bのとき、エラー訂正は行われていません。
このビットが1bのとき、リファレンスデコード操作で1ビットエラー訂正が検出されます。
- このフラグをクリアするには、ITU-R BT656エラーフラグ0クリアビットに1bを書き込んでください（REG[2014h]ビット8=1b）。
- ビット6 CMVREF状態（読み出し専用）
このビットは、カメラインタフェースからCMVREF入力の現在の状態を示します。
このビットが0bのとき、CMVREF入力はLowです。
このビットが1bのとき、CMVREF入力はHighです。

10. レジスタ

ビット5 有効ストロボフレーム状態（読み出し専用）
このビットは、ストロボ制御出力がフレームキャプチャ停止コマンドによってトリガされた後（REG[2014h]ビット3=1b）で、現行フレームが「有効データキャプチャ」フレームかどうかを示します。このビットは、カメラインタフェースが繰り返しキャプチャモードで動作している間（REG[2012h]ビット6=0b）だけ有効です。有効データキャプチャフレームは、ストロボキャプチャ遅延ビット（REG[2024h]ビット7~4）によって決定されます。詳細は、470ページの項22.3「ストロボ制御信号」を参照してください。
このビットが0bのとき、有効データはありません。
このビットが1bのとき、有効データは現在転送中です。

ビット4 有効なフレーム状態（読み出し専用）
このビットは、フレームサンプリングモードビット（REG[2012h]ビット4~2）に基づいてカメラインタフェースからの現行フレームが「有効」フレーム（カメラインタフェースによってキャプチャされた）かどうかを示します。
このビットが0bのときは、有効フレームは生じていません。
このビットが1bのときは、有効フレームが生じています。

以下の図は、3フレームごとにサンプリングした1フレームについて、フレームサンプリングモードビットを設定した場合（REG[2012h]ビット4~2=010b）の有効なフレーム状態ビットの例を示します。

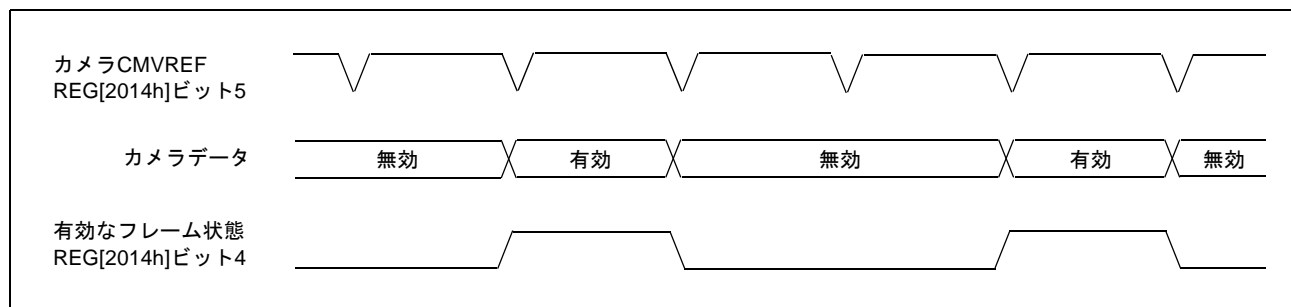


図10-3 有効なフレーム状態ビットの例

ビット3 フレームキャプチャビジー状態（読み出し専用）
このビットは、カメラインタフェースからのフレームキャプチャの状態を示します。
このビットが0bのとき、フレームはキャプチャされていません。
このビットが1bのとき、フレームはキャプチャされています。

ビット2 フレームキャプチャ開始/停止ステータス（読み出し専用）
このビットは、カメラフレーム開始/停止ビット（REG[2014h]ビット3~2）を監視します。
このビットが0bのとき、フレームキャプチャ起動コマンドはアサートされていません。
このビットが1bのとき、フレームキャプチャ起動コマンドはアサートされました。

注

デフォルトのフレームキャプチャ状態は、ハードウェアリセット後あるいはカメラインタフェースのソフトウェアリセット（REG[2014h]ビット0）の後は“開始”です。“停止”のフレームキャプチャ状態が必要な場合は、カメラインタフェース（REG[2010h]ビット0）をイネーブルする前に、フレームキャプチャ停止ビットを設定してください（REG[2014h]ビット4=1b）

ビット1 フレームキャプチャ割り込み状態（読み出し専用）
 このビットは、フレームキャプチャ割り込みの状態を示します。
 このビットが0bのときは、フレームキャプチャ割り込みが発行されていません。
 このビットが1bのときは、フレームキャプチャ割り込みが発行されています。

REG[2020h] Strobe Control Signal Output Delay Setting Register							
デフォルト=0000h							
読み出し／書き込み							
ストロボライン遅延タイミングビット15~8							
15	14	13	12	11	10	9	8
ストロボライン遅延タイミングビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 ストロボライン遅延タイミングビット[15:0]
 ストロボをイネーブルしたとき (REG[2024h]ビット0=1b)、これらのビットは、CMVREFアクティブ後のCMHREFの最初の立ち下がりエッジからストロボ制御信号 (CMSTROUT) 出力の最初までの遅延を、カメラインタフェース (CMHREF) からのライン数で指定します。ストロボ制御信号の詳細は、470ページの項22.3「ストロボ制御信号」を参照してください。

REG[2022h] Strobe Control Signal Pulse Width Setting Register							
デフォルト=0000h							
読み出し／書き込み							
ストロボパルス幅ビット15~8							
15	14	13	12	11	10	9	8
ストロボパルス幅ビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 ストロボパルス幅ビット[15:0]
 ストロボをイネーブルしたとき (REG[2024h]ビット0=1b)、これらのビットは、ストロボ制御信号 (CMSTROUT) パルス幅を、カメラインタフェース (CMHREF) からのライン数で指定します。ストロボ制御信号の詳細は、470ページの項22.3「ストロボ制御信号」を参照してください。
 ストロボパルス幅=REG[2022h]ビット15~0+1ライン

REG[2024h] Strobe Setting Register							
デフォルト=0000h							
読み出し／書き込み							
カメラストロボ要求フラグ (RO)	n/a			カメラストロボイネーブル	n/a		
15	14	13	12	11	10	9	8
ストロボキャプチャ遅延ビット3~0				予備	予備	ストロボアクティブ選択	ストロボポートイネーブル
7	6	5	4	3	2	1	0

ビット15 カメラストロボ要求フラグ（読み出し専用）
 このビットは、カメラがストロボを要求したかどうかを示します。カメラは、4カメラクロック周期の間HYSNC HighとVSYNC Lowを維持することによりストロボを要求することができます。このビットは、各カメラフレームの終わりにクリアされます。このビットを使って、カメラがフラッシュの発光をいつ要求しているかを検出することができます。
 このビットが0bのとき、カメラはカメラストロボをまだ要求していません。
 このビットが1bのとき、カメラはカメラストロボを要求しています。

10. レジスタ

ビット11 カメラストロボイネーブル
 このビットは、ストロボ機能をどのようにトリガするかを制御します。このビットをイネーブルしたとき、カメラは、4カメラクロック周期の間HSYNC HighとVSYNC Lowを維持することによってストロボをトリガすることができます。これにより、カメラは外部フラッシュをいつ発光させるかを制御することができます。
 このビットが0bのとき、ストロボ機能のカメラ制御はディスエーブルされます。このビットが1bのとき、ストロボ機能のカメラ制御はイネーブルされます。

ビット7～4 ストロボキャプチャ遅延ビット[3:0]
 これらのビットは、ストロボ制御信号出力を使用してキャプチャされたカメラフレームのタイミングを制御します。ストロボをイネーブルし（REG[2024h]ビット 0 = 1b）、カメラインタフェースが繰り返しキャプチャモード（REG[2012h]ビット6=0b）のとき、これらのビットは、ストロボ制御信号出力から以下のものまでの遅延フレームの数を指定します。

- 有効なカメラフレームキャプチャ（YUVキャプチャ）
- カメラインタフェースがキャプチャした最後のフレーム（ビューモード）

これらのビットは、カメラインタフェースがシングルフレームキャプチャモードのとき（REG[2012h]ビット6=1b）は無効であり、常に「遅延なし」に設定されます。

以下の表は、可能な遅延値をフレーム数で示します。

表10-81 ストロボキャプチャ遅延制御

REG[2024h]ビット7～4	遅延値	REG[2024h]ビット7～4	遅延値
0000b (デフォルト)	遅延なし	1000b	8フレーム
0001b	1フレーム	1001b	9フレーム
0010b	2フレーム	1010b	10フレーム
0011b	3フレーム	1011b	11フレーム
0100b	4フレーム	1100b	12フレーム
0101b	5フレーム	1101b	13フレーム
0110b	6フレーム	1110b	14フレーム
0111b	7フレーム	1111b	15フレーム

ビット3 予備
 このビットのデフォルト値は0bです。

ビット2 予備
 このビットのデフォルト値は0bです。

ビット1 ストロボアクティブ選択
 このビットは、ストロボ制御信号（CMSTROUT）のアクティブ極性を決定し、ストロボポート選択ビットの出力モードがストロボを設定した（REG[2024h]ビット0=1b）ときだけ有効になります。
 このビットが0bのとき、ストロボ制御信号はアクティブLowです。（デフォルト）このビットが1bのとき、ストロボ制御信号はアクティブHighです。

ビット0 ストロボポートイネーブル
 このビットは、GPIOB7をCMSTROUT（非GPIO機能#2）に設定したときに（REG[0C06h]ビット15～14=11b）、ストロボ出力（CMSTROUT）をイネーブルします。
 このビットが0bのとき、ストロボ出力はディスエーブルされます。このビットが1bのとき、ストロボ出力（フラッシュ）はイネーブルされます。この機能の詳細は、470ページの項22.3「ストロボ制御信号」を参照してください。ストロボ出力をイネーブルしたとき、CMSTROUTは、以下のビットによってトリガされたストロボパルスを出力します。

- 繰り返しキャプチャモード（REG[2014h]ビット2=1b）の場合は、フレームキャプチャ停止ビット
- シングルフレームキャプチャモード（REG[2014h]ビット3=1b）の場合は、フレームキャプチャ開始ビット

注

CMSTROUT機能を使用するときは、GPIOB7を「非GPIO機能#2」に設定してください（REG[0C06h]ビット15～14=11b）。

REG[2028h]～REG[202Eh]は予備

これらのレジスタは予備です。書き込まないでください。

10. レジスタ

10.4.12 リサイザー操作レジスタ

注

カメラインタフェースまたはホストインタフェースからデータを受け取っている間はリサイザー操作レジスタを変更しないでください。

REG[2430h] Global Resizer Control Register						読み出し／書き込み	
デフォルト=0000h							
15	14	13	12	11	リサイザーフレーム縮小 10	予備 9	予備 8
n/a		JPEGカメラデータ 入力イネーブル 5	予備 4	予備 3	n/a 2	カメラ表示制御ビット1~0 1 0	

- ビット10 リサイザーフレーム縮小
このビットは、リサイザーブロック内のフレーム縮小を制御します。
このビットが0bのとき、リサイザーは縮小を行いません。
このビットが1bのとき、リサイザーは1つおきのフレームを使ってフレーム縮小を行います。
- ビット9 予備
このビットのデフォルト値は0bです。
- ビット8 予備
このビットのデフォルト値は0bです。
- ビット5 JPEGカメラデータ入力イネーブル
このビットは、リサイザーがJPEG対応カメラからJPEG符号化データを受け取ることができるかどうかを制御します。
このビットが0bのとき、JPEG符号化データを入力できません。
このビットが1bのとき、JPEG符号化データを入力することができます。
- ビット4 予備
このビットのデフォルト値は0bです。
- ビット3 予備
このビットのデフォルト値は0bです。
- ビット1~0 カメラ表示制御ビット[1:0]
これらのビットは、YUVキャプチャモードをイネーブルしたとき (REG[2800h] ビット3~1=011bまたは111b) にカメラデータをどのように表示するかを制御します。

表10-82 カメラ表示制御選択

REG[2430h]ビット1~0	機能
00b	YUVキャプチャ: カメラインタフェースからのYUVデータは、YUV FIFOに連続的に書き込まれ、変換されたYUVデータ (YUV-RGBコンバータ) が、表示バッファに連続的に書き込まれます。
01b	YUVキャプチャ: カメラインタフェースからのYUVデータは、YUV FIFOに連続的に書き込まれます。シャッターがイネーブルされたときは (REG[280Ah]ビット0=1b)、カメラデータが表示バッファに書き込まれます。シャッターがディスエーブルされたときは (REG[280Ah]ビット0=0b)、カメラデータは表示バッファに書き込まれません。
10b	予備
11b	予備

REG[2432h]～REG[243Eh]は予備

これらのレジスタは予備です。書き込まないでください。

ビュー（表示）リサイザーレジスタ

REG[2440h] View Resizer Control Register							
デフォルト=0000h						読み出し／書き込み	
n/a							
15	14	13	12	11	10	9	8
ビューリサイザーソフトウェアリセット (WO)	n/a				ビューリサイザー独立水平／垂直スケーリングイネーブル	ビューリサイザーレジスタ更新VSYNCイネーブル	ビューリサイザーイネーブル
7	6	5	4	3	2	1	0

- ビット7** ビューリサイザーソフトウェアリセット（書き込み専用）
このビットは、ビューリサイザーロジックのソフトウェアリセットを行います。このビットに**0b**を書き込んでもハードウェアに影響を及ぼしません。リサイザーがアクティブの間にこのビットに**1b**を書き込むと（REG[2440h]ビット0=**1b**またはREG[2460h]ビット0=**1b**）、ビューリサイザーのソフトウェアリセットが行われます。
- ビット2** ビューリサイザー独立水平／垂直スケーリングイネーブル
このビットは、ビューリサイザーが、水平方向と垂直方向に同じ倍率を使用するか、個別の倍率を使用するかを決定します。このビットが**0b**のとき、水平倍率と垂直倍率は同じです。水平倍率と垂直倍率は両方ともREG[244Ch]ビット7～0によって制御されます。このビットが**1b**のとき、水平倍率と垂直倍率を個別に選択することができます。水平倍率はREG[244Ch]ビット7～0によって制御され、垂直倍率はREG[244Ch]ビット15～8によって制御されます。
- ビット1** ビューリサイザーレジスタ更新VSYNCイネーブル
このビットは、ビューリサイザーロジックがビューリサイザーレジスタにプログラムされた新しい値をすぐに使用するか、次のVSYNCが行われた後だけに使用するかを決定します。このビットが**0b**のとき、ビューリサイザーは新しいレジスタ値をすぐに使用します。このビットが**1b**のとき、ビューリサイザーは、新しいレジスタ値を使用するときに次のVSYNCが行われるまで以前のレジスタ値を使用します。

注

REG[2800h]ビット3～1=**001b**のときは、このビットを**0b**に設定してください。

- ビット0** ビューリサイザーイネーブル
このビットは、ビューリサイザーを制御します。このビットが**0b**のとき、ビューリサイザーはディスエーブルされます。このビットが**1b**のとき、ビューリサイザーはイネーブルされます。

注

- ビューリサイザーとキャプチャリサイザー（REG[2460h]ビット0）を同時にイネーブルしないでください。
- このビットとキャプチャリサイザーイネーブルビット（REG[2460h]ビット0）を両方とも**0b**に設定すると、リサイザーブロックへのクロックが自動的に停止されます。

10. レジスタ

REG[2444h] View Resizer Start X Position Register							
デフォルト=0000h							読み出し／書き込み
15	14	n/a	12	11	10	9	8
ビューリサイザ-開始X位置ビット10~8							
ビューリサイザ-開始X位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

ビューリサイザ-開始X位置ビット[10:0]

これらのビットは、ビューリサイザ-のX開始位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

注

トリミングとスケーリング後のリサイザ-出力サイズは、偶数ピクセルにしてください。

REG[2446h] View Resizer Start Y Position Register							
デフォルト=0000h							読み出し／書き込み
15	14	n/a	12	11	10	9	8
ビューリサイザ-開始Y位置ビット10~8							
ビューリサイザ-開始Y位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

ビューリサイザ-開始Y位置ビット[10:0]

これらのビットは、ビューリサイザ-のY開始位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

注

トリミングとスケーリング後のリサイザ-出力サイズは、偶数ピクセルにしてください。

REG[2448h] View Resizer End X Position Register							
デフォルト=027Fh							読み出し／書き込み
15	14	n/a	12	11	10	9	8
ビューリサイザ-終了X位置ビット10~8							
ビューリサイザ-終了X位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

ビューリサイザ-終了X位置ビット[10:0]

これらのビットは、ビューリサイザ-のX終了位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

注

トリミングとスケーリング後のリサイザ-出力サイズは、偶数ピクセルにしてください。

REG[244Ah] View Resizer End Y Position Register							
デフォルト=01DFh						読み出し／書き込み	
15	14	n/a	12	11	10	9	8
ビューリサイザ-終了Y位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

ビューリサイザ-終了Y位置ビット[10:0]

これらのビットは、ビューリサイザ-のY終了位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

注

トリミングとスケーリング後のリサイザ-出力サイズは、偶数ピクセルにしてください。

10. レジスタ

REG[244Ch] View Resizer Scaling Rate Register							
デフォルト=8080h							読み出し／書き込み
ビューリサイザ垂直倍率ビット7~0							
15	14	13	12	11	10	9	8
ビューリサイザ水平倍率ビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

ビューリサイザ垂直倍率ビット[7:0]

これらのビットは、REG[2440h]ビット2=1bのときのビューリサイザ垂直倍率を決定します。スケーリングモードによってはすべての倍率を使用できないものがあります (REG[244Eh]を参照)。

表10-83 ビューリサイザ垂直倍率選択

REG[244Ch]ビット15~8	ビューリサイザ垂直倍率			
	REG[244Eh] ビット1~0=00b	REG[244Eh] ビット1~0=01b	REG[244Eh] ビット1~0=10b	REG[244Eh] ビット1~0=11b
0000 0000b	予備	予備	予備	予備
0000 0001b	n/a	1/128	1/128	予備
0000 0010b	n/a	2/128	2/128	予備
0000 0011b	n/a	3/128	3/128	予備
0000 0100b	n/a	4/128	4/128	予備
0000 0101b	n/a	5/128	5/128	予備
0000 0110b	n/a	6/128	6/128	予備
0000 0111b	n/a	7/128	7/128	予備
0000 1000b	n/a	8/128	8/128	予備
0000 1001b	n/a	9/128	9/128	予備
0000 1010b	n/a	10/128	10/128	予備
0000 1011b	n/a	11/128	11/128	予備
0000 1100b	n/a	12/128	12/128	予備
0000 1101b	n/a	13/128	13/128	予備
0000 1110b	n/a	14/128	14/128	予備
0000 1111b	n/a	15/128	15/128	予備
0001 0000b	n/a	16/128	16/128	予備
0001 0001b	n/a	17/128	17/128	予備
0001 0010b	n/a	18/128	18/128	予備
0001 0011b	n/a	19/128	19/128	予備
0001 0100b	n/a	20/128	20/128	予備
0001 0101b	n/a	21/128	21/128	予備
0001 0110b	n/a	22/128	22/128	予備
0001 0111b	n/a	23/128	23/128	予備
0001 1000b	n/a	24/128	24/128	予備
0001 1001b	n/a	25/128	25/128	予備
0001 1010b	n/a	26/128	26/128	予備
0001 1011b	n/a	27/128	27/128	予備
0001 1100b	n/a	28/128	28/128	予備
0001 1101b	n/a	29/128	29/128	予備
0001 1110b	n/a	30/128	30/128	予備
0001 1111b	n/a	31/128	31/128	予備
0010 0000b	n/a	32/128	32/128	予備
0010 0001b~0011 1111b	n/a	33/128~63/128	33/128~63/128	予備
0100 0000b	n/a	64/128	64/128	予備
0100 0001b~0111 1111b	n/a	65/128~127/128	65/128~127/128	予備
1000 0000b	n/a	128/128	128/128	予備

ビット7～0

ビューリサイザー水平倍率ビット[7:0]

これらのビットは、REG[2440h]ビット2=1bのときにビューリサイザー水平倍率を決定します。REG[2440h]ビット2=0bのとき、これらのビットは、水平と垂直両方の倍率を指定します。スケーリングモードによってはすべての倍率を使用できないものがあります (REG[244Eh]を参照)。

表10-84 ビューリサイザー水平倍率選択

REG[244Ch]ビット7～0	ビューリサイザー水平倍率			
	REG[244Eh] ビット1～0=00b	REG[244Eh] ビット1～0=01b	REG[244Eh] ビット1～0=10b	REG[244Eh] ビット1～0=11b
0000 0000b	予備	予備	予備	予備
0000 0001b	n/a	1/128	1/128	予備
0000 0010b	n/a	2/128	2/128	予備
0000 0011b	n/a	3/128	予備	予備
0000 0100b	n/a	4/128	4/128	予備
0000 0101b	n/a	5/128	予備	予備
0000 0110b	n/a	6/128	予備	予備
0000 0111b	n/a	7/128	予備	予備
0000 1000b	n/a	8/128	8/128	予備
0000 1001b	n/a	9/128	予備	予備
0000 1010b	n/a	10/128	予備	予備
0000 1011b	n/a	11/128	予備	予備
0000 1100b	n/a	12/128	予備	予備
0000 1101b	n/a	13/128	予備	予備
0000 1110b	n/a	14/128	予備	予備
0000 1111b	n/a	15/128	予備	予備
0001 0000b	n/a	16/128	16/128	予備
0001 0001b	n/a	17/128	予備	予備
0001 0010b	n/a	18/128	予備	予備
0001 0011b	n/a	19/128	予備	予備
0001 0100b	n/a	20/128	予備	予備
0001 0101b	n/a	21/128	予備	予備
0001 0110b	n/a	22/128	予備	予備
0001 0111b	n/a	23/128	予備	予備
0001 1000b	n/a	24/128	予備	予備
0001 1001b	n/a	25/128	予備	予備
0001 1010b	n/a	26/128	予備	予備
0001 1011b	n/a	27/128	予備	予備
0001 1100b	n/a	28/128	予備	予備
0001 1101b	n/a	29/128	予備	予備
0001 1110b	n/a	30/128	予備	予備
0001 1111b	n/a	31/128	予備	予備
0010 0000b	n/a	32/128	32/128	予備
0010 0001b ~ 0011 1111b	n/a	33/128~63/128	予備	予備
0100 0000b	n/a	64/128	64/128	予備
0100 0001b ~ 0111 1111b	n/a	65/128~127/128	予備	予備
1000 0000b	n/a	128/128	128/128	予備

注

トリミングとスケーリング後のリサイザー出力サイズは、偶数ピクセルにしてください。

10. レジスタ

REG[244Eh] View Resizer Scaling Mode Register							
デフォルト=0000h							読み出し／書き込み
n/a				n/a			
15	14	13	12	11	10	9	8
n/a				予備		ビューリサイザースケーリングモード ビット1~0	
7	6	5	4	3	2	1	0

ビット3~2 予備
これらのビットのデフォルト値は00bです。

ビット1~0 ビューリサイザースケーリングモードビット[1:0]
これらのビットは、ビューリサイザースケーリングモードを決定します。スケーリングモードによってはすべての倍率を使用できないものがあります。スケーリングモードを選択する前に、ビューリサイザースケーリングモードビット（REG[244Ch]ビット15~8）および／またはビューリサイザースケーリングモードビット（REG[244Ch]ビット7~0）を有効な倍率に設定してください。対応していない倍率（予備またはn/a）でスケーリングモードをイネーブルすると、ビューリサイザースケーリングモードが無効になることがあります。

表10-85 ビューリサイザースケーリングモード選択

REG[244Eh]ビット1~0	ビューリサイザースケーリングモード
00b	リサイザースケーリングなし
01b	V/H縮小
10b	V：縮小、H：平均
11b	予備

注

トリミングとスケーリング後のリサイザースケーリング出力サイズは、偶数ピクセルにしてください。

キャプチャ（符号化）リサイザースケーリングレジスタ

REG[2460h] Capture Resizer Control Register								
デフォルト=0000h							読み出し／書き込み	
n/a				n/a				
15	14	13	12	11	10	9	8	
キャプチャ リサイザースフト ウェアリセット (WO)	n/a				キャプチャ リサイザースフト ウェアリセット イネーブル	キャプチャ リサイザースフト ウェアリセット イネーブル	キャプチャ リサイザースフト ウェアリセット イネーブル	キャプチャ リサイザースフト ウェアリセット イネーブル
7	6	5	4	3	2	1	0	

ビット7 キャプチャリサイザースフトウェアリセット（書き込み専用）
このビットは、キャプチャリサイザースフトウェアリセットのソフトウェアリセットを行います。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
リサイザースフトウェアリセットの間このビットに1bを書き込むと（REG[2440h]ビット0=1bまたはREG[2460h]ビット0=1b）、キャプチャリサイザースフトウェアリセットが行われます。

- ビット2 キャプチャリサイザー個別水平／垂直スケーリングイネーブル
このビットは、キャプチャリサイザーが水平方向と垂直方向に同じ倍率を使用するか、個別の倍率を使用するを決定します。
このビットが0bのとき、水平倍率と垂直倍率は同じです。水平倍率と垂直倍率は両方ともREG[246Ch]ビット7～0によって制御されます。
このビットが1bのとき、水平倍率と垂直倍率を個別に選択することができます。水平倍率はREG[246Ch]ビット7～0によって制御され、垂直倍率はREG[246Ch]ビット15～8によって制御されます。
- ビット1 キャプチャリサイザーレジスタ更新VSYNCイネーブル
このビットは、キャプチャリサイザーロジックが、キャプチャリサイザーレジスタにプログラムされた新しい値をすぐに使用するか、次のVSYNCが行われた後だけに使用するかを決定します。
このビットが0bのとき、キャプチャリサイザーは新しいレジスタ値をすぐに使用します。
このビットが1bのとき、キャプチャリサイザーは、新しいレジスタ値を使用するときに次のVSYNCが行われるまで以前のレジスタ値を使用します。
- ビット0 キャプチャリサイザーイネーブル
このビットは、キャプチャリサイザーを制御します。
このビットが0bのとき、キャプチャリサイザーはディスエーブルされます。
このビットが1bのとき、キャプチャリサイザーはイネーブルされます。

注

1. キャプチャリサイザーとビューリサイザー（REG[2440h]ビット0）を同時にイネーブルしないでください。
2. このビットとビューリサイザーイネーブルビット（REG[2440h]ビット0）を両方とも0bに設定すると、リサイザーブロックへのクロックが自動的に停止されます。

REG[2464h] Capture Resizer Start X Position Register							
デフォルト=0000h					読み出し／書き込み		
n/a			キャプチャリサイザー開始X位置ビット10～0				
15	14	13	12	11	10	9	8
キャプチャリサイザー開始X位置ビット7～0							
7	6	5	4	3	2	1	0

- ビット10～0 キャプチャリサイザー開始X位置ビット[10:0]
これらのビットは、キャプチャリサイザーのX開始位置を決定します。これらのビットは、392ページの項14.「リサイザー」の制限に従ってプログラムしてください。
YUVキャプチャ機能を使用するときは、以下の画像サイズの制限にご注意ください。

表10-86 YUVキャプチャのキャプチャリサイザーの制限

YUV形式	最小水平解像度	最小垂直解像度	最小サイズ
YUV 4:2:2	2ピクセルの倍数	1ラインの倍数	16ピクセル/8ライン
YUV 4:2:0	2ピクセルの倍数	2ラインの倍数	16ピクセル/16ライン

10. レジスタ

REG[2466h] Capture Resizer Start Y Position Register							
デフォルト=0000h							読み出し／書き込み
15	14	n/a	12	11	10	9	8
キャプチャリサイザ-開始Y位置ビット10~8							
キャプチャリサイザ-開始Y位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0 キャプチャリサイザ-開始Y位置ビット[10:0]
 これらのビットは、キャプチャリサイザ-のY開始位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

REG[2468h] Capture Resizer End X Position Register							
デフォルト=027Fh							読み出し／書き込み
15	14	n/a	12	11	10	9	8
キャプチャリサイザ-終了X位置ビット10~8							
キャプチャリサイザ-終了X位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0 キャプチャリサイザ-終了X位置ビット[10:0]
 これらのビットは、キャプチャリサイザ-のXの終了位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

REG[246Ah] Capture Resizer End Y Position Register							
デフォルト=01DFh							読み出し／書き込み
15	14	n/a	12	11	10	9	8
キャプチャリサイザ-終了Y位置ビット10~8							
キャプチャリサイザ-終了Y位置ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0 キャプチャリサイザ-終了Y位置ビット[10:0]
 これらのビットは、キャプチャリサイザ-のY終了位置を決定します。これらのビットは、392ページの項14.「リサイザ-」の制限に従ってプログラムしてください。

REG[246Ch] Capture Resizer Scaling Rate Register							
デフォルト=8080h							読み出し／書き込み
キャプチャリサイザ垂直倍率ビット7~0							
15	14	13	12	11	10	9	8
キャプチャリサイザ水平倍率ビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

キャプチャリサイザ垂直倍率ビット[7:0]

これらのビットは、REG[2460h]ビット2=1bのときのキャプチャリサイザ垂直倍率を決定します。スケーリングモードによってはすべての倍率を使用できない場合があります（REG[246Eh]を参照）。

表10-87 キャプチャリサイザ垂直倍率選択

REG[246Ch]ビット15~8	キャプチャリサイザ垂直倍率			
	REG[246Eh] ビット1~0=00b	REG[246Eh] ビット1~0=01b	REG[246Eh] ビット1~0=10b	REG[246Eh] ビット1~0=11b
0000 0000b	予備	予備	予備	予備
0000 0001b	n/a	1/128	1/128	予備
0000 0010b	n/a	2/128	2/128	予備
0000 0011b	n/a	3/128	3/128	予備
0000 0100b	n/a	4/128	4/128	予備
0000 0101b	n/a	5/128	5/128	予備
0000 0110b	n/a	6/128	6/128	予備
0000 0111b	n/a	7/128	7/128	予備
0000 1000b	n/a	8/128	8/128	予備
0000 1001b	n/a	9/128	9/128	予備
0000 1010b	n/a	10/128	10/128	予備
0000 1011b	n/a	11/128	11/128	予備
0000 1100b	n/a	12/128	12/128	予備
0000 1101b	n/a	13/128	13/128	予備
0000 1110b	n/a	14/128	14/128	予備
0000 1111b	n/a	15/128	15/128	予備
0001 0000b	n/a	16/128	16/128	予備
0001 0001b	n/a	17/128	17/128	予備
0001 0010b	n/a	18/128	18/128	予備
0001 0011b	n/a	19/128	19/128	予備
0001 0100b	n/a	20/128	20/128	予備
0001 0101b	n/a	21/128	21/128	予備
0001 0110b	n/a	22/128	22/128	予備
0001 0111b	n/a	23/128	23/128	予備
0001 1000b	n/a	24/128	24/128	予備
0001 1001b	n/a	25/128	25/128	予備
0001 1010b	n/a	26/128	26/128	予備
0001 1011b	n/a	27/128	27/128	予備
0001 1100b	n/a	28/128	28/128	予備
0001 1101b	n/a	29/128	29/128	予備
0001 1110b	n/a	30/128	30/128	予備
0001 1111b	n/a	31/128	31/128	予備
0010 0000b	n/a	32/128	32/128	予備
0010 0001b ~ 0011 1111b	n/a	33/128~63/128	33/128~63/128	予備
0100 0000b	n/a	64/128	64/128	予備
0100 0001b ~ 0111 1111b	n/a	65/128~127/128	65/128~127/128	予備
1000 0000b	n/a	128/128	128/128	予備

10. レジスタ

ビット7～0

キャプチャリサイザー水平倍率ビット[7:0]

これらのビットは、REG[2460h]ビット2=1bのときのキャプチャリサイザー水平倍率を決定します。REG[2460h]ビット2=0bのとき、これらのビットは、水平倍率と垂直倍率の両方を指定します。スケーリングモードによってはすべての倍率を使用できないものがあります (REG[246Eh]を参照)。

表10-88 キャプチャリサイザー水平倍率選択

REG[246Ch]ビット7～0	キャプチャリサイザー水平倍率			
	REG[246Eh] ビット1～0=00b	REG[246Eh] ビット1～0=01b	REG[246Eh] ビット1～0=10b	REG[246Eh] ビット1～0=11b
0000 0000b	予備	予備	予備	予備
0000 0001b	n/a	1/128	1/128	予備
0000 0010b	n/a	2/128	2/128	予備
0000 0011b	n/a	3/128	予備	予備
0000 0100b	n/a	4/128	4/128	予備
0000 0101b	n/a	5/128	予備	予備
0000 0110b	n/a	6/128	予備	予備
0000 0111b	n/a	7/128	予備	予備
0000 1000b	n/a	8/128	8/128	予備
0000 1001b	n/a	9/128	予備	予備
0000 1010b	n/a	10/128	予備	予備
0000 1011b	n/a	11/128	予備	予備
0000 1100b	n/a	12/128	予備	予備
0000 1101b	n/a	13/128	予備	予備
0000 1110b	n/a	14/128	予備	予備
0000 1111b	n/a	15/128	予備	予備
0001 0000b	n/a	16/128	16/128	予備
0001 0001b	n/a	17/128	予備	予備
0001 0010b	n/a	18/128	予備	予備
0001 0011b	n/a	19/128	予備	予備
0001 0100b	n/a	20/128	予備	予備
0001 0101b	n/a	21/128	予備	予備
0001 0110b	n/a	22/128	予備	予備
0001 0111b	n/a	23/128	予備	予備
0001 1000b	n/a	24/128	予備	予備
0001 1001b	n/a	25/128	予備	予備
0001 1010b	n/a	26/128	予備	予備
0001 1011b	n/a	27/128	予備	予備
0001 1100b	n/a	28/128	予備	予備
0001 1101b	n/a	29/128	予備	予備
0001 1110b	n/a	30/128	予備	予備
0001 1111b	n/a	31/128	予備	予備
0010 0000b	n/a	32/128	32/128	予備
0010 0001b ~ 0011 1111b	n/a	33/128 ~ 63/128	予備	予備
0100 0000b	n/a	64/128	64/128	予備
0100 0001b ~ 0111 1111b	n/a	65/128 ~ 127/128	予備	予備
1000 0000b	n/a	128/128	128/128	予備

REG[246Eh] Capture Resizer Scaling Mode Register							
デフォルト=0000h							読み出し／書き込み
n/a				n/a			
15	14	13	12	11	10	9	8
n/a				予備		キャプチャリサイザースケーリングモード ビット1~0	
7	6	5	4	3	2	1	0

ビット3~2

予備

これらのビットのデフォルト値は00bです。

ビット1~0

キャプチャリサイザースケーリングモードビット[1:0]

これらのビットは、キャプチャリサイザースケーリングモードを決定します。スケーリングモードによってはすべての倍率を使用できないものがあります。スケーリングモードを選択する前に、キャプチャリサイザースケーリングモードビット (REG[246Ch]ビット15~8) および/またはキャプチャリサイザースケーリングモードビット (REG[246Ch]ビット7~0) を有効な倍率に設定してください。対応していない倍率 (予備またはn/a) でスケーリングモードをイネーブルすると、キャプチャリサイザースケーリングモードが無効になることがあります。

表10-89 キャプチャリサイザースケーリングモード選択

REG[246Eh]ビット1~0	キャプチャリサイザースケーリングモード
00b	リサイザースケーリングなし
01b	V/H縮小
10b	V: 縮小、H: 平均
11b	予備

10. レジスタ

10.4.13 YUVキャプチャモジュールレジスタ

REG[2800h] YUV Capture Control Register							
デフォルト=0000h							読み出し／書き込み
15	14	13	12	11	10	9	8
予備				予備			予備
YUVキャプチャモジュールソフトウェアリセット (WO)	予備			YUVキャプチャデータフロー制御ビット2~0			YUVキャプチャモジュールイネーブル
7	6	5	4	3	2	1	0

ビット15~8

予備

これらのビットのデフォルト値は0000_0000bです。

ビット7

YUVキャプチャモジュールソフトウェアリセット（書き込み専用）

このビットは、YUVキャプチャモジュールロジックのソフトウェアリセットを行います。各YUVキャプチャ操作の前に、このビットを使ってYUVキャプチャモジュールをリセットしてください。このビットは、ビット10~8以外のREG[2802h]、ビット10~8以外のREG[2804h]、REG[2822h]、およびREG[2828h]~REG[282Ch]をリセットします。他のすべてのYUVキャプチャモジュールレジスタは、その以前の値を保持します。このビットは、YUVキャプチャモジュールソフトウェアリセットが完了した後で自動的に0bにリセットされます。

このビットに0bを書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むと、YUVキャプチャモジュールのソフトウェアリセットが行われます。

ビット6~4

予備

これらのビットのデフォルト値は000bです。

ビット3～1

YUVキャプチャデータフロー制御ビット[2:0]

これらのビットは、YUVキャプチャモジュールを介したデータフローを制御します。

表10-90 YUVキャプチャデータモード選択

REG[2800h]ビット3～1	データフローモード
000b	予備
001b	メモリからのYUVデータ入力 (YUV 4:2:2) メモリからのYUV 4:2:2形式画像データをYRC (YUV-RGBコンバータ) を介して送りメモリに書き込みます。(注1を参照)
010b	予備
011b	メモリへのYUVデータ出力 (YUV 4:2:2) YUV 4:2:2形式画像データをカメラインタフェースから受け取ってメモリに書き込みます。
100b～110b	予備
111b	メモリへのYUVデータ出力 (YUV 4:2:0) YUV 4:2:0形式画像データをカメラインタフェースから受け取ってメモリに書き込みます。(注2を参照)

注

- これらのビットが001bのときは、REG[2440h]ビット1を0bに設定してください。
- YUV 4:2:0キャプチャを実行するとき (REG[2800h]ビット3～1=111b)、キャプチャリサイザー水平サイズ (または幅) は4の倍数にしてください。

ビット0

YUVキャプチャモジュールイネーブル

このビットは、YUVキャプチャモジュールを制御します。

このビットが0bのときは、キャプチャモジュールがディスエーブルされ、クロックソースがディスエーブルされます。

このビットが1bのときは、キャプチャモジュールがイネーブルされ、クロックソースが供給されます。

REG[2802h] YUV Capture Status Flag Register

デフォルト=8080h

読み出し/書き込み

予備		YUVキャプチャ FIFOスレシヨルド状態 ビット1～0 (RO)		予備	YUVキャプチャ FIFOスレシヨルド トリガフラグ	YUVキャプチャ FIFOフルフラグ	YUVキャプチャ FIFOエンプティ フラグ
15	14	13	12	11	10	9	8
予備							
7	6	5	4	3	2	1	0

ビット15～14

予備

これらのビットのデフォルト値は10bです。

ビット13～12

YUVキャプチャ FIFOスレシヨルド状態ビット[1:0] (読み出し専用)

これらのビットは、現在YUVキャプチャ FIFO内にあるデータの量を示します。YUVキャプチャ FIFOサイズの設定に関しては、YUV Capture FIFO Sizeレジスタ (REG[2824h]) を参照してください。

表10-91 YUVキャプチャ FIFOスレシヨルド状態

REG[2802h]ビット13~12	YUVキャプチャ FIFOスレシヨルド状態
00b	データなし（エンプティと同じ）
01b	YUVキャプチャ FIFO+出力FIFOに3ダブルワード以上のデータがある
10b	特定のYUVキャプチャ FIFOサイズの1/4以上のデータがある
11b	特定のYUVキャプチャ FIFOサイズの1/2以上のデータがある

- ビット11 予備
このビットのデフォルト値は0bです。
- ビット10 YUVキャプチャ FIFOスレシヨルドトリガフラグ
このフラグは、YUVキャプチャ FIFO内のデータの量が、YUVキャプチャ FIFOトリガスレシヨルドビット（REG[2820h]ビット5~4）によって指定された条件を満たすときにアサートされます。このフラグは、YUVキャプチャ FIFOスレシヨルドトリガ割り込みイネーブルビットによってマスクされ、REG[2806h]ビット10=1bのときだけ使用可能です。
このビットが0bのとき、YUVキャプチャ FIFO内のデータの量はYUVキャプチャ FIFOトリガスレシヨルドより少なくなっています。
このビットが1bのとき、YUVキャプチャ FIFO内のデータの量はYUVキャプチャ FIFOトリガスレシヨルドに達しています。
- このビットをクリアするには、このビットに1bを書き込んでください。
- ビット9 YUVキャプチャ FIFOフルフラグ
このフラグは、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOが両方ともフルのときにアサートされます。YUVキャプチャ FIFO構造の詳細は、312ページの図10-6「YUVキャプチャ FIFO構造」を参照してください。このフラグは、YUVキャプチャ FIFOフル割り込みイネーブルビットによってマスクされ、REG[2806h]ビット9=1bのときだけ使用可能です。
このビットが0bのとき、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOはフルではありません。
このビットが1bのとき、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOはフルです。
- このビットをクリアするには、このビットに1bを書き込んでください。
- ビット8 YUVキャプチャ FIFOエンプティフラグ
このフラグは、YUVキャプチャ出力FIFOが3ダブルワードより少ないデータを含むときにアサートされます。YUVキャプチャ FIFO構造の詳細は、312ページの図10-6「YUVキャプチャ FIFO構造」を参照してください。このフラグは、YUVキャプチャ FIFOエンプティ割り込みイネーブルビットによってマスクされ、REG[2806h]ビット8=1bのときだけ使用可能です。
このビットが0bのとき、YUVキャプチャ出力FIFOは、3ダブルワード以上のデータを含んでいます。
このビットが1bのとき、YUVキャプチャ出力FIFOは、3ダブルワードより少ないデータを含んでいます。
- このビットをクリアするには、このビットに1bを書き込んでください。
- ビット7~0 予備
これらのビットのデフォルト値は、1000_0000bです。

REG[2804h] YUV Capture Raw Status Flag Register						読み出し専用	
デフォルト=8080h							
予備		未処理YUVキャプチャ FIFO スレシヨルド状態ビット1~0		予備	未処理YUVキャプチャ FIFO スレシヨルドトリガ フラグ	未処理YUVキャプチャ FIFO フルフラグ	未処理YUVキャプチャ FIFO エンプティフラグ
15	14	13	12	11	10	9	8
予備							
7	6	5	4	3	2	1	0

ビット15~14 予備
これらのビットのデフォルト値は10bです。

ビット13~12 未処理YUVキャプチャ FIFOスレシヨルド状態ビット[1:0]（読み出し専用）
これらのビットは、現在YUVキャプチャ FIFO内にあるデータの量を示します。
YUVキャプチャFIFOサイズの設定については、YUV Capture FIFO Sizeレジスタ（REG[2824h]）を参照してください。

表10-92 未処理YUVキャプチャ FIFOスレシヨルド状態

REG[2804h]ビット13~12	未処理YUVキャプチャ FIFOスレシヨルド状態
00b	データなし（エンプティと同じ）
01b	YUVキャプチャ FIFO+出力FIFOに3ダブルワード以上のデータがある
10b	特定のYUVキャプチャ FIFOサイズの1/4以上のデータがある
11b	特定のYUVキャプチャ FIFOサイズの1/2以上のデータがある

ビット11 予備
このビットのデフォルト値は0bです。

ビット10 未処理YUVキャプチャ FIFOスレシヨルドトリガフラグ（読み出し専用）
このフラグは、YUVキャプチャ FIFO内のデータの量が、YUVキャプチャ FIFOトリガスレシヨルドビット（REG[2820h]ビット5~4）によって指定された条件を満たすときにアサートされます。このフラグは、YUVキャプチャ FIFOスレシヨルドトリガ割り込みイネーブルビット（REG[2806h]ビット10）によってマスクされません。
このビットが0bのとき、YUVキャプチャFIFO内のデータの量はYUVキャプチャFIFOトリガスレシヨルドより少なくなっています。
このビットが1bのとき、YUVキャプチャFIFO内のデータの量はYUVキャプチャFIFOトリガスレシヨルドに達しています。

このビットをクリアするには、YUVキャプチャFIFOスレシヨルドトリガフラグ（REG[2802h]ビット10）に1bを書き込んでください。

10. レジスタ

ビット9

未処理YUVキャプチャ FIFOフルフラグ (読み出し専用)

このフラグは、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOが両方ともフルのときにアサートされます。YUVキャプチャ FIFO構造の詳細は、312ページの図10-6「YUVキャプチャ FIFO構造」を参照してください。このフラグは、YUVキャプチャ FIFOフル割り込みイネーブルビット (REG[2806h]ビット9) による影響を受けません。

このビットが0bのとき、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOはフルではありません。

このビットが1bのとき、YUVキャプチャ FIFOとYUVキャプチャ入力FIFOはフルです。

このフラグをクリアするには、YUVキャプチャ FIFOがフルでなくなったとき、あるいはYUVキャプチャモジュールのソフトウェアリセット (REG[2800h]ビット7=1b) の後で、YUVキャプチャ FIFOフルフラグ (REG[2802h]ビット9) に1bを書き込んでください。

ビット8

未処理YUVキャプチャ FIFOエンプティフラグ (読み出し専用)

このフラグは、YUVキャプチャ出力FIFOが2ダブルワードより少ないデータを含むときにアサートされます。YUVキャプチャ FIFO構造の詳細は、312ページの図10-6「YUVキャプチャ FIFO構造」を参照してください。このフラグは、YUVキャプチャ FIFOエンプティ割り込みイネーブルビット (REG[2806h]ビット8) による影響を受けません。

このビットが0bのとき、YUVキャプチャ出力FIFOは、2ダブルワード以上のデータを含んでいます。

このビットが1bのとき、YUVキャプチャ出力FIFOは、2ダブルワードより少ないデータを含んでいます。

このフラグをクリアするには、YUVキャプチャ FIFOがエンプティでなくなったとき、あるいはYUVキャプチャモジュールのソフトウェアリセットが行われた (REG[2800h] ビット7=1b) 後で、YUVキャプチャ FIFOエンプティフラグ (REG[2802h]ビット8) に1bを書き込んでください。

注

このビットは、YUVキャプチャ FIFOクリアビット (REG[2820h]ビット2) による影響を受けません。

ビット7~0

予備

これらのビットのデフォルト値は1000_0000bです。

REG[2806h] YUV Capture Interrupt Control Register					読み出し／書き込み		
デフォルト=0000h							
予備					YUVキャプチャ FIFOスレシヨルド トリガ割り込み イネーブル	YUVキャプチャ FIFOフル割り込み イネーブル	YUVキャプチャ FIFOエンプティ 割り込みイネーブル
15	14	13	12	11	10	9	8
予備							
7	6	5	4	3	2	1	0

ビット15～12

予備

これらのビットのデフォルト値は0_0000bです。

ビット10

YUVキャプチャ FIFOスレシヨルドトリガ割り込みイネーブル

このビットは、YUVキャプチャ FIFOスレシヨルドトリガ割り込みを制御します。この割り込みの状態は、YUVキャプチャ FIFOスレシヨルドトリガフラグビット (REG[2802h]ビット10) によって示されます。このビットが0bのとき、割り込みはディスエーブルされます。このビットが1bのとき、割り込みはイネーブルされます。

ビット9

YUVキャプチャ FIFOフル割り込みイネーブル

このビットは、YUVキャプチャ FIFOフル割り込みを制御します。この割り込みの状態は、YUVキャプチャ FIFOフルフラグビット (REG[2802h]ビット9) によって示されます。このビットが0bのとき、割り込みはディスエーブルされます。このビットが1bのとき、割り込みはイネーブルされます。

ビット8

YUVキャプチャ FIFOエンプティ割り込みイネーブル

このビットは、YUVキャプチャ FIFOエンプティ割り込みを制御します。この割り込みの状態は、YUVキャプチャ FIFOエンプティフラグビット (REG[2802h]ビット8) によって示されます。このビットが0bのとき、割り込みはディスエーブルされます。このビットが1bのとき、割り込みはイネーブルされます。

ビット7～0

予備

これらのビットのデフォルト値は0000_0000bです。

REG[2808h]は予備

このレジスタは予備です。書き込まないでください。

10. レジスタ

REG[280Ah] YUV Capture Start/Stop Control Register								書き込み専用
デフォルト=0000h								
15	14	13	12	11	10	9	8	
n/a								YUVキャプチャ開始/停止制御
7	6	5	4	3	2	1	0	

ビット0

YUVキャプチャ開始/停止制御（書き込み専用）

このビットは、YUVデータキャプチャをいつ開始または停止するかを制御します。

このビットに**0b**を書き込むと、YUVデータキャプチャは現行フレームの終わりで停止します。

このビットに**1b**を書き込むと、YUVデータキャプチャは次のフレームの最初で開始します。

注

連続的キャプチャモードでは、フレームが1つおきにキャプチャされます。

REG[280Ch]～REG[280Eh]は予備

これらのレジスタは予備です。書き込まないでください。

10.4.14 YUVキャプチャ FIFOレジスタ

REG[2820h] YUV Capture FIFO Control Register							
デフォルト=0000h						読み出し／書き込み	
				予備			
15	14	13	12	11	10	9	8
予備		YUVキャプチャ FIFOトリガ スレシヨルドビット1~0		予備	YUVキャプチャ FIFOクリア (WO)	n/a	YUVキャプチャ FIFO方向 (RO)
7	6	5	4	3	2	1	0

ビット15~6 予備
これらのビットのデフォルト値は00_0000_0000bです。

ビット5~4 YUVキャプチャ FIFOトリガスレシヨルドビット[1:0]
これらのビットは、特定の条件が満たされたときにYUVキャプチャ FIFOスレシヨルドトリガフラグ (REG[2802h]ビット10) を設定します。

表10-93 YUVキャプチャ FIFOトリガスレシヨルド選択

REG[2820h]ビット5~4	YUVキャプチャ FIFOトリガスレシヨルド
00b	トリガされない
01b	予備
10b	YUVキャプチャ FIFOが、特定のYUVキャプチャ FIFOサイズ (REG[2824h]ビット7~0) の1/4を超え、かつYUVキャプチャ FIFOサイズの1/2未満のデータを含むときにトリガする
11b	YUVキャプチャ FIFOが、特定のYUVキャプチャ FIFOサイズ (REG[2824h]ビット7~0) の1/2を超えるデータを含むときにトリガする

ビット3 予備
このビットのデフォルト値は0bです。

10. レジスタ

ビット2

YUVキャプチャ FIFOクリア (書き込み専用)

このビットは、YUVキャプチャ FIFOをクリアするために使用されます。YUVキャプチャ FIFOをクリアするときには、YUVキャプチャモジュールもリセットすること (REG[2800h]ビット7=1b) を推奨します。

このビットに0bを書き込んでもハードウェアに影響を及ぼしません。

このビットに1bを書き込むと、YUVキャプチャ FIFO、YUV Capture FIFO Read/Write Pointerレジスタ (REG[282Ah]~REG[282Ch])、およびYUV Capture FIFO Valid Data Sizeレジスタ (REG[2828h]) がクリアされます。

YUVキャプチャ FIFOをクリアするには、以下の手順に従ってください。

1. YUVキャプチャ FIFOをクリアします (REG[2820h]ビット2=1b)。
2. YUVキャプチャ FIFOがエンプティになるようにREG[2826h]からダミー読み出しを2回行います。
3. YUVキャプチャモジュールをリセットします (REG[2800h]ビット7=1b)。

注

このビットを使ってキャプチャ FIFOをクリアすると、未処理YUVキャプチャ FIFOエンプティフラグ (REG[2804h]ビット8) への影響がありません。

ビット0

YUVキャプチャ FIFO方向 (読み出し専用)

このビットは、YUVキャプチャ FIFOの設定を示します。

このビットが0bのとき、YUVキャプチャ FIFOは受信に設定されます。たとえば、受信モードは、カメラからYUVデータをキャプチャしメモリに記憶するときに使用されます。

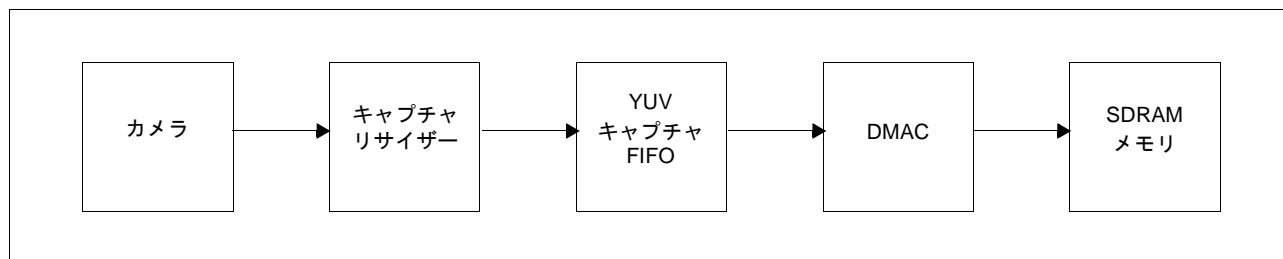


図10-4 YUVキャプチャ FIFO受信モードの例

このビットが1bのとき、YUVキャプチャ FIFOは送信に設定されます。たとえば、送信モードは、YRCを使ったRGBへの最終変換やLCDパネル上の表示のために、ホストからのYUVデータをメモリに書き込むときに使用されます。

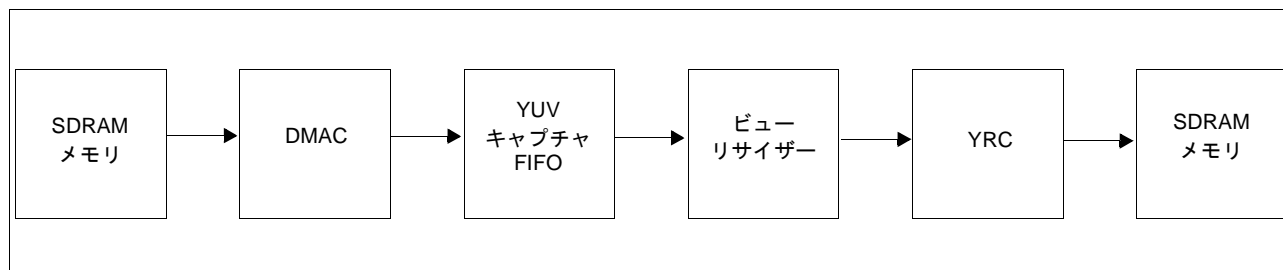


図10-5 YUVキャプチャ FIFO送信モードの例

REG[2822h] YUV Capture FIFO Status Register																															
デフォルト=8001h							読み出し専用																								
15				14				13				12				11				10				9				8			
7				6				5				4				3				2				1				0			
予備												YUVキャプチャ FIFOスレシヨルド状態 ビット1~0				YUVキャプチャ FIFOフル状態				YUVキャプチャ FIFOエンプティ 状態											

ビット15~4 予備
これらのビットのデフォルト値は1000_0000_0000bです。

ビット3~2 YUVキャプチャ FIFOスレシヨルド状態ビット[1:0]（読み出し専用）
これらのビットは、現在YUVキャプチャ FIFO内にあるデータの量を示します。
YUVキャプチャ FIFOサイズの設定については、YUV Capture FIFO Sizeレジスタ
(REG[2824h]) を参照してください。

表10-94 YUVキャプチャ FIFOスレシヨルド状態

REG[2822h]ビット3~2	YUVキャプチャ FIFOスレシヨルド状態
00b	データなし（エンプティと同じ）
01b	YUVキャプチャ FIFO+出力FIFO内に3ダブルワード以上のデータがある
10b	特定のYUVキャプチャ FIFOサイズの1/4を超えるデータがある
11b	特定のYUVキャプチャ FIFOサイズの1/2を超えるデータがある

ビット1 YUVキャプチャ FIFOフル状態（読み出し専用）
このビットは、YUVキャプチャ FIFOがフルかどうかを示します。
このビットが0bのとき、YUVキャプチャ FIFOはフルではありません。
このビットが1bのとき、YUVキャプチャ FIFOはフルです。

ビット0 YUVキャプチャ FIFOエンプティ状態（読み出し専用）
このビットは、YUVキャプチャ FIFOがエンプティであることを示します。
このビットが0bのとき、YUVキャプチャ FIFOはエンプティではありません。
このビットが1bのとき、YUVキャプチャ FIFOはエンプティです。

10. レジスタ

REG[2824h] YUV Capture FIFO Size Register								読み出し／書き込み
デフォルト=003Fh								
15	14	13	12	11	10	9	8	n.a
YUVキャプチャ FIFOサイズビット7~0								
7	6	5	4	3	2	1	0	

ビット7~0

YUVキャプチャ FIFOサイズビット[7:0]

これらのビットは、YUVキャプチャ FIFOサイズを4バイト単位で決定します。YUVキャプチャ FIFOの最大サイズは、小さい入力（2ダブルワード）と出力（4ダブルワード）FIFOに自動的に割り当てられた256バイトプラス24バイトです。YUVキャプチャ FIFOは、256バイトのデフォルト設定のままにすることを推奨します。YUVキャプチャ FIFOサイズを変更しなければならない場合は、次の式を使ってサイズを計算します。

$$\text{YUVキャプチャ FIFOサイズ} = (\text{REG}[2824\text{h}] \text{ビット7~0} + 7) \times 4 \text{バイト}$$

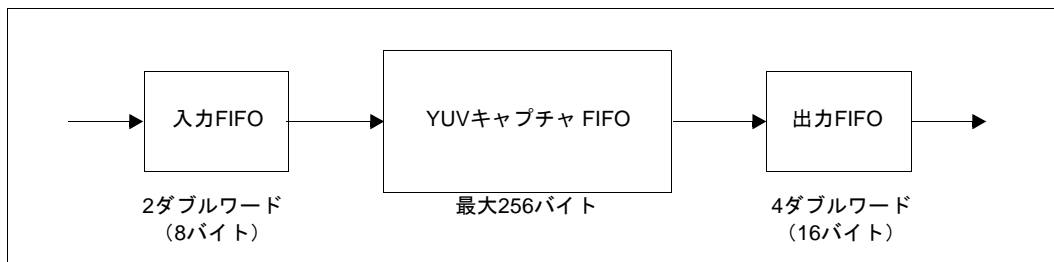


図10-6 YUVキャプチャ FIFO構造

REG[2826h] YUV Capture FIFO Read/Write Port Register								読み出し／書き込み
デフォルト=適用しない								
YUVキャプチャ FIFO読み出し／書き込みポートビット15~8								
15	14	13	12	11	10	9	8	
YUVキャプチャ FIFO読み出し／書き込みポートビット7~0								
7	6	5	4	3	2	1	0	

ビット15~0

YUVキャプチャ FIFO読み出し／書き込みポートビット[15:0]

これらのビットは、YUVキャプチャ FIFO用のアクセスポートです。YUV データがキャプチャインタフェースからメモリに出力される時 (REG[2800h]ビット3~1=011bまたは111b)、これらのビットは、DMAコントローラによるYUVキャプチャ FIFO読み出しデータポートとして使用されます。メモリ内のYUVデータが、表示メモリにRGBデータとして書き込まれる時 (REG[2800h]ビット3~1=001b)、これらのビットは、DMAコントローラによるYUVキャプチャ FIFO書き込みデータポートとして使用されます。

注

このレジスタは、DMAコントローラ (DMAC) だけがDMAアドレス3000_0000hでアクセスすることができます。

REG[2828h] YUV Capture FIFO Valid Data Size Register							
デフォルト=0000h							読み出し専用
YUVキャプチャ FIFO有効データサイズビット15~8							
15	14	13	12	11	10	9	8
YUVキャプチャ FIFO有効データサイズビット7~0							
7	6	5	4	3	2	1	0

ビット15~0 YUVキャプチャ FIFO有効データサイズビット[15:0] (読み出し専用)
 これらのビットは、REG[282Eh]ビット9~8と共に、YUVキャプチャ FIFOから読み出すことができる有効データサイズを32ビット(4バイト)単位で示します。

REG[282Ah]~REG[282Ch]は予備

これらのレジスタは予備です。書き込まないでください。

10. レジスタ

REG[282Eh] YUV Capture FIFO Extend Register								読み出し専用	
デフォルト=0000h									
n/a						YUVキャプチャ FIFO有効データサイズ ビット17~16			
15	14	13	12	11	10	9	8		
n/a		予備			n/a		予備		
15	14	5	4	15	14	1	0		

ビット9~8 YUVキャプチャ FIFO有効データサイズビット[17:16]（読み出し専用）
これらのビットは、YUVキャプチャ FIFO有効データサイズ（REG[2828h]）を18ビットに拡張します。

ビット5~4 予備
これらのビットのデフォルト値は00bです。

ビット1~0 予備
これらのビットのデフォルト値は00bです。

REG[2830h]~REG[2870h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[2872h] YUV Horizontal Size Register								書き込み専用	
デフォルト=0000h									
n/a						YUV水平サイズビット10~8			
15	14	13	12	11	10	9	8		
YUV水平サイズビット7~0									
7	6	5	4	3	2	1	0		

ビット10~0 YUV水平サイズビット[10:0]
これらのビットは、表示されるメモリ内のYUV画像の水平（すなわちX）サイズを指定します（YUV表示モード。REG[2800h]ビット3~1=001b）。これらのビットは、ビューリサイザ用の擬似Vsync/Hsync信号を提供するために使用されます。これらのビットは、YUVキャプチャモード（REG[2800h]ビット3~1=011bまたは111b）では無効です。

YUV水平サイズ=REG[2872h]ビット10~0+1

REG[2874h] YUV Vertical Size Register							
デフォルト=0000h							書き込み専用
n/a			YUV垂直サイズビット10~8				
15	14	13	12	11	10	9	8
YUV垂直サイズビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

YUV垂直サイズビット[10:0]

これらのビットは、表示されるメモリ内のYUV画像の垂直（すなわちY）サイズを指定します（YUV表示モード。REG[2800h]ビット3~1=001b）。これらのビットは、ビューリサイザ用の擬似Vsync/Hsync信号を提供するために使用されます。これらのビットは、YUVキャプチャモード（REG[2800h]ビット3~1=011bまたは111b）では無効です。

$$\text{YUV垂直サイズ} = \text{REG}[2874\text{h}] \text{ビット} 10 \sim 0 + 1$$
注

YUV 4:2:2表示（REG[2800h]ビット3~1=001b）を実行し、YUV水平サイズが256以下のときは（REG[2872h]ビット10~0 ≤ 256）、YUV垂直サイズも256以下にしてください（REG[2874h]ビット10~0 ≤ 256）。

REG[2876h]は予備

このレジスタは予備です。書き込まないでください。

10. レジスタ

10.4.15 YRCレジスタ

REG[3000h] YRC Translate Mode Register						
デフォルト=0605h						読み出し／書き込み
YRCバイパスモードイネーブル	YRC矩形書き込みモードイネーブル	予備	YRCフレームバッファ書き込みモード選択	YRC出力bpp選択ビット1~0		YRC YUV出力データフォーマット選択
15	14	13	12	11	10	9
YRCソフトウェアリセット	YRC UVフィックス選択ビット1~0		YRC入力データタイプ選択	n/a	YRC転送モードビット2~0	
7	6	5	4	3	2	1
						0

ビット15

YRCバイパスモードイネーブル

このビットは、YRCバイパスモードを制御し、YRC (YUV-RGBコンバータ) から外部SDRAMメモリへの書き込みだけに使用されます。YRCバイパスモードがディスエーブルされたとき、YRCは、カメラインタフェースからのYUVデータをRGB形式データに変換するために使用されます。RGB形式データは、LCDパネルに表示するためにSDRAMに記憶されます。YRCバイパスモードがイネーブルされたとき、YRCはバイパスされYUVデータがSDRAMメモリに直接送られます。

このビットが0bのとき、YRCバイパスモードはディスエーブルされます。(デフォルト)

このビットが1bのとき、YRCバイパスモードはイネーブルされます。

注

YRCは、ディスエーブルされたとき、取り込んだバイトデータをスワップします。YUVデータを標準値に戻すには、YRC YUV出力データフォーマット選択ビット (REG[3000h]ビット9) を1bに設定してください。YRCをバイパスする機能は、RGBデータを出力できるカメラに有効ことがあります。

ビット14

YRC矩形書き込みモードイネーブル

このビットは、YRC矩形書き込みモードを制御し、YRC (YUV-RGBコンバータ) から外部SDRAMメモリへの書き込みに使用されます。YRC矩形書き込みモードは、YRCソースデータがメモリ内の宛先領域のサイズと異なるサイズのときに使用してください。たとえば、矩形書き込みモードは、表示ウィンドウより小さいカメラ画像をメインウィンドウに配置する場合に使用されます。

このビットが0bのときは、線形書き込みモードが選択され、データは、YRC Write Start Address 0レジスタ (REG[3002h]~REG[3004h]) に基づいて、あるいはダブルバッファ書き込みモードがイネーブルされた場合 (REG[3002h]~REG[3008h]) に、メモリに順に書き込まれます。

このビットが1bのときは、矩形書き込みモードが選択され、データは、YRC Write Start Address 0レジスタ (REG[3002h]~REG[3004h])、YRC Rectangular Pixel Widthレジスタ (REG[3010h]) およびYRC Rectangular Line Address Offsetレジスタ (REG[3012h]) に基づいて書き込まれます。

注

YRC矩形書き込みモードは、シングルバッファ書き込みモード (REG[3000h]ビット12=0b) だけに対応しています。

ビット13

予備

このビットのデフォルト値は0bです。

ビット12

YRCフレームバッファ書き込みモード選択

このビットは、YRCがSDRAMメモリに書き込むときにフレームバッファを1つ使用するか2つ使用するかを選択し、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用されます。YRCダブルバッファ書き込みモードは、高速で動く画像のカメラ画像の「ティアリング」を防ぐために、表示ダブルバッファ機能（REG[0834h]を参照）と一緒に使用されます。

このビットが0bのときは、シングルバッファ書き込みモードが選択されます。シングルバッファ書き込みモードは、YRC Write Start Address 0レジスタ（REG[3002h]～REG[3004h]）を使用します。

このビットが1bのときは、ダブルバッファ書き込みモードが選択されます。ダブルバッファ書き込みモードは、YRC Write Start Address 0レジスタ（REG[3002h]～REG[3004h]）とYRC Write Start Address 1レジスタ（REG[3006h]～REG[3008h]）の両方を使用します。

注

ダブルバッファ書き込みモードを選択したとき（REG[3000h]ビット12=1b）、YRC矩形書き込みモード（REG[3000h]ビット14=1b）はサポートされません。

ビット11～10

YRC出力bpp選択ビット[1:0]

これらのビットは、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用されます。これらのビットは、YRCがYUVデータをRGBデータに変換するときのYRC出力の色深度をビット/ピクセル（bpp）で選択します。

表10-95 YRC出力bpp選択

REG[3000h]ビット11～10	YRC出力bpp
00b	16bpp
01b（デフォルト）	
10b	予備
11b	予備

ビット9

YRC YUV出力データフォーマット選択

このビットは、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用されます。このビットは、バイパスされたとき（REG[3000h]ビット15=1b）にYRC（YUV-RGBコンバータ）の出力データフォーマットを選択します。このビットは、YRCをイネーブルしたとき（REG[3000h]ビット15=0b）は無効です。

このビットが0bのときは、VYUY形式が選択されています。318ページの表10-96「VYUY出力データフォーマット（REG[3000h]ビット9=0b）」を参照してください。

このビットが1bのときは、YUYV形式が選択されています。318ページの表10-97「YUYV出力データフォーマット選択（REG[3000h]ビット9=1b）」を参照してください。

10. レジスタ

表10-96 VYUY出力データフォーマット (REG[3000h]ビット9=0b)

サイクル カウント	1	2	3	4	...	2n+1	2n+2
D15	V_0^7	U_0^7	V_2^7	U_2^7	...	V_{2n}^7	U_{2n}^7
D14	V_0^6	U_0^6	V_2^6	U_2^6	...	V_{2n}^6	U_{2n}^6
D13	V_0^5	U_0^5	V_2^5	U_2^5	...	V_{2n}^5	U_{2n}^5
D12	V_0^4	U_0^4	V_2^4	U_2^4	...	V_{2n}^4	U_{2n}^4
D11	V_0^3	U_0^3	V_2^3	U_2^3	...	V_{2n}^3	U_{2n}^3
D10	V_0^2	U_0^2	V_2^2	U_2^2	...	V_{2n}^2	U_{2n}^2
D9	V_0^1	U_0^1	V_2^1	U_2^1	...	V_{2n}^1	U_{2n}^1
D8	V_0^0	U_0^0	V_2^0	U_2^0	...	V_{2n}^0	U_{2n}^0
D7	Y_1^7	Y_0^7	Y_3^7	Y_2^7	...	Y_{2n+1}^7	Y_{2n}^7
D6	Y_1^6	Y_0^6	Y_3^6	Y_2^6	...	Y_{2n+1}^6	Y_{2n}^6
D5	Y_1^5	Y_0^5	Y_3^5	Y_2^5	...	Y_{2n+1}^5	Y_{2n}^5
D4	Y_1^4	Y_0^4	Y_3^4	Y_2^4	...	Y_{2n+1}^4	Y_{2n}^4
D3	Y_1^3	Y_0^3	Y_3^3	Y_2^3	...	Y_{2n+1}^3	Y_{2n}^3
D2	Y_1^2	Y_0^2	Y_3^2	Y_2^2	...	Y_{2n+1}^2	Y_{2n}^2
D1	Y_1^1	Y_0^1	Y_3^1	Y_2^1	...	Y_{2n+1}^1	Y_{2n}^1
D0	Y_1^0	Y_0^0	Y_3^0	Y_2^0	...	Y_{2n+1}^0	Y_{2n}^0

表10-97 YUYV出力データフォーマット選択 (REG[3000h]ビット9=1b)

サイクル カウント	1	2	3	4	...	2n+1	2n+2
D15	Y_0^7	Y_1^7	Y_2^7	Y_3^7	...	Y_{2n}^7	Y_{2n+1}^7
D14	Y_0^6	Y_1^6	Y_2^6	Y_3^6	...	Y_{2n}^6	Y_{2n+1}^6
D13	Y_0^5	Y_1^5	Y_2^5	Y_3^5	...	Y_{2n}^5	Y_{2n+1}^5
D12	Y_0^4	Y_1^4	Y_2^4	Y_3^4	...	Y_{2n}^4	Y_{2n+1}^4
D11	Y_0^3	Y_1^3	Y_2^3	Y_3^3	...	Y_{2n}^3	Y_{2n+1}^3
D10	Y_0^2	Y_1^2	Y_2^2	Y_3^2	...	Y_{2n}^2	Y_{2n+1}^2
D9	Y_0^1	Y_1^1	Y_2^1	Y_3^1	...	Y_{2n}^1	Y_{2n+1}^1
D8	Y_0^0	Y_1^0	Y_2^0	Y_3^0	...	Y_{2n}^0	Y_{2n+1}^0
D7	U_0^7	V_0^7	U_2^7	V_2^7	...	U_{2n}^7	V_{2n+1}^7
D6	U_0^6	V_0^6	U_2^6	V_2^6	...	U_{2n}^6	V_{2n+1}^6
D5	U_0^5	V_0^5	U_2^5	V_2^5	...	U_{2n}^5	V_{2n+1}^5
D4	U_0^4	V_0^4	U_2^4	V_2^4	...	U_{2n}^4	V_{2n+1}^4
D3	U_0^3	V_0^3	U_2^3	V_2^3	...	U_{2n}^3	V_{2n+1}^3
D2	U_0^2	V_0^2	U_2^2	V_2^2	...	U_{2n}^2	V_{2n+1}^2
D1	U_0^1	V_0^1	U_2^1	V_2^1	...	U_{2n}^1	V_{2n+1}^1
D0	U_0^0	V_0^0	U_2^0	V_2^0	...	U_{2n}^0	V_{2n+1}^0

- ビット8 予備
このビットのデフォルト値は0bです。
- ビット7 YRCソフトウェアリセット
このビットは、YRC（YUV-RGBコンバータ）ロジックのソフトウェアリセットを行います。
これはYRCレジスタには無効です。
このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
このビットに1bを書き込むと、YRCロジックのソフトウェアリセットが行われます。このビットを0bに戻さないとYRCを再び使用することはできません。
- ビット6～5 YRC UVフィックス選択ビット[1:0]
これらのビットは、Uデータ、Vデータまたはこれらの両方を、YRC UV Data Fixレジスタ（REG[300Eh]）に設定されたような所定値に「フィックス」できるようにすることによってYRC（YUV-RGBコンバータ）へのUV入力を制御します。これらのビットは、YRCがバイパスされたとき（REG[3000h]ビット15=1b）でもUVデータに影響を及ぼします。

表10-98 YRC UVフィックス選択

REG[3000h]ビット6～5	YRCへのUV入力
00b	オリジナルUデータ、オリジナルVデータ
01b	Uデータ=REG[300Eh]ビット15～8、オリジナルVデータ
10b	オリジナルUデータ、Vデータ=REG[300Eh]ビット7～0
11b	Uデータ=REG[300Eh]ビット15～8、Vデータ=REG[300Eh]ビット7～0

- ビット4 YRC入力データタイプ選択
このビットは、YRCへの入力データタイプを指定します（YUV-RGBコンバータ）。

表10-99 YRC入力データタイプの選択

REG[3000h]ビット4	入力データタイプ	データ範囲
0b	YUV	0 ≤ Y ≤ 255 0 ≤ U ≤ 255 0 ≤ V ≤ 255
1b	YCbCr	16 ≤ Y ≤ 235 16 ≤ U ≤ 240 16 ≤ V ≤ 240

REG[3000h]ビット4=0bの場合

$$Y' = Y$$

$$U' = U - 128$$

$$V' = V - 128$$

REG[3000h]ビット4=1bの場合

$$Y' = (Y - 16) \div (235 - 16) \times 255$$

$$U' = (Cb - 128) \div (240 - 16) \times 255$$

$$V' = (Cr - 128) \div (240 - 16) \times 255$$

10. レジスタ

これらの変換は、YRCへの入力が以下の制限を満たすように行われます。

$$0 \leq Y' \leq 255$$

$$-128 \leq U' \leq 127$$

$$-128 \leq V' \leq 127$$

YUVデータがYRCの制限を超えると、YRCは正しく機能せず、すべての値を255に設定します。

ビット2~0

YRC転送モードビット[2:0]

これらのビットは、YRC（YUV-RGBコンバータ）が使用する転送モードを指定します。様々な仕様での推奨設定は次の通りです。

表10-100 YRC転送モード選択

REG[3000h]ビット2~0	YUV-RGB仕様
000b	予備
001b	ITU-R BT.709に推奨
010b	予備
011b	予備
100b	ITU-R BT.470-6システムMに推奨
101b (デフォルト)	ITU-R BT.470-6システムB、Gに推奨 (ITU-R BT.601-5に推奨)
110b	SMPTE 170M
111b	SMPTE 240M(1987)

REG[3002h] YRC Write Start Address 0 Register 0

デフォルト=0000h

読み出し／書き込み

YRC書き込み開始アドレス0ビット15~8							
15	14	13	12	11	10	9	8
YRC書き込み開始アドレス0ビット7~0							
7	6	5	4	3	2	1	0

REG[3004h] YRC Write Start Address 0 Register 1

デフォルト=0000h

読み出し／書き込み

n/a						YRC書き込み開始アドレス0ビット25~24	
15	14	13	12	11	10	9	8
YRC書き込み開始アドレス0ビット23~16							
7	6	5	4	3	2	1	0

REG[3004h]ビット9~0

REG[3002h]ビット15~0

YRC書き込み開始アドレス0ビット[25:0]

これらのビットは、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用します。シングルバッファ書き込みモード（REG[3000h]ビット12=0b）では、これらのビットは、YRC（YUV-RGBコンバータ）がデータを書き込む開始アドレスを指定します。ダブルバッファ書き込みモード（REG[3000h]ビット12=1b）では、これらのビットは、YRCがデータを書き込む最初のバッファの開始アドレスを指定します。YRCは、データをメモリに32ビットブロックで書き込みます。したがって、このレジスタのビット1~0は00bに設定してください。

REG[3006h] YRC Write Start Address 1 Register 0							
デフォルト=0000h							
読み出し／書き込み							
YRC書き込み開始アドレス1ビット15~8							
15	14	13	12	11	10	9	8
YRC書き込み開始アドレス1ビット7~0							
7	6	5	4	3	2	1	0

REG[3008h] YRC Write Start Address 1 Register 1							
デフォルト=0000h							
読み出し／書き込み							
n/a						YRC書き込み開始アドレス1ビット 25~24	
15	14	13	12	11	10	9	8
YRC書き込み開始アドレス1ビット23~16							
7	6	5	4	3	2	1	0

REG[3008h]ビット9~0

REG[3006h]ビット15~0

YRC書き込み開始アドレス1ビット[25:0]

これらのビットは、YRC (YUV-RGBコンバータ) から外部SDRAMメモリへの書き込みだけに使用します。シングルバッファ書き込みモード (REG[3000h]ビット12=0b) では、これらのビットは使用されません。ダブルバッファ書き込みモード (REG[3000h]ビット12=1b) では、これらのビットは、YRCがデータを書き込む2番目のバッファの開始アドレスを指定します。YRCはデータをメモリに32ビットブロックで書き込みます。したがって、このレジスタのビット1~0は00bに設定してください。

REG[300Ah]~REG[300Ch]は予備

これらのレジスタは予備です。書き込まないでください。

REG[300Eh] YRC UV Data Fix Register							
デフォルト=0000h							
読み出し／書き込み							
YRC Uデータフィックスビット7~0							
15	14	13	12	11	10	9	8
YRC Vデータフィックスビット7~0							
7	6	5	4	3	2	1	0

ビット15~8

YRC Uデータフィックスビット[7:0]

これらのビットは、YRC UVフィックス選択ビットを01bまたは11bに設定したとき (REG[3000h]ビット6~5=01bまたは11b) だけ有効です。YRC (YUV-RGBコンバータ) に入力されるUデータがこれらのビットの値に固定されます。

ビット7~0

YRC Vデータフィックスビット[7:0]

これらのビットは、YRC UVフィックス選択ビットを10bまたは11bに設定したとき (REG[3000h]ビット6~5=10bまたは11b) だけ有効です。YRC (YUV-RGBコンバータ) に入力されるVデータはこれらのビットの値に固定されます。

10. レジスタ

REG[3010h] YRC Rectangular Pixel Width Register							
デフォルト=0000h							読み出し／書き込み
n/a			YRC矩形ピクセル幅ビット10~8				
15	14	13	12	11	10	9	8
YRC矩形ピクセル幅ビット7~0							
7	6	5	4	3	2	1	0

ビット10~0

YRC矩形ピクセル幅ビット[10:0]

これらのビットは、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用します。これらのビットは、YRC（YUV-RGBコンバータ）が方形書き込みモードに設定されているとき（REG[3000h]ビット14=1b）に書き込まれるデータの水平ピクセル幅を指定します。

色深度が16bppの場合、ビット10~1だけが使用されるので、矩形ピクセル幅は偶数ピクセルにしてください。

REG[3012h] YRC Rectangular Line Address Offset Register							
デフォルト=0000h							読み出し／書き込み
n/a			YRC矩形ラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8
YRC矩形ラインアドレスオフセットビット7~0							
7	6	5	4	3	2	1	0

ビット11~0

YRC矩形ラインアドレスオフセットビット[11:0]

これらのビットは、YRC（YUV-RGBコンバータ）から外部SDRAMメモリへの書き込みだけに使用します。これらのビットは、YRC（YUV-RGBコンバータ）が矩形書き込みモードに設定されたときに（REG[3000h]ビット14=1b）、現行の表示ラインの最初から次のラインの最初までのピクセル数を指定します。

色深度が16bppの場合、矩形ラインアドレスオフセットは偶数ピクセルにしてください（ビット11~1だけが使用されます）。

YRCがディスエーブルされたときは、ビット11~0がすべて使用されるので、矩形ラインアドレスオフセットは偶数ピクセルの場合も奇数ピクセルの場合もあります。

REG[3014h] YRC Memory Configuration Register							
デフォルト=0000h							読み出し専用
15	14	13	12	11	10	9	8
予備	n/a	n/a	予備	n/a	YRCフレームバッファ書き込みモード 状態ビット1~0 (RO)	YRC RAM インタフェース データ書き込み状態 (RO)	
7	6	5	4	3	2	1	0

ビット15 予備
このビットのデフォルト値は0bです。

ビット11 予備
このビットのデフォルト値は0bです。

ビット4 予備
このビットのデフォルト値は0bです。

ビット2~1 YRCフレームバッファ書き込みモード状態ビット[1:0] (読み出し専用)
これらのビットは、YRCがデータを書き込んでいるメモリ内のバッファを示します。

表10-101 YRCフレームバッファ書き込みモード状態

REG[3014h]ビット2~1	データ書き込みモード
00b	第1のバッファ (REG[3002h]~REG[3004h])
01b	第2のバッファ (REG[3006h]~REG[3008h])
10b~11b	予備

ビット0 YRCデータ書き込み状態 (読み出し専用)
このビットは、YRCがSDRAMメモリにデータを書き込んでいる状態を示します。
このビットが0bのとき、YRCは現在SDRAMメモリにデータを書き込んでいません。
このビットが1bのとき、YRCは現在SDRAMメモリにデータを書き込んでいます。

10. レジスタ

10.4.16 PWMレジスタ

注

PWMインタフェースによって使用される端子は、GPIO機能端子と多重化されています。したがって、PWMインタフェースをイネーブルする前に、適切なGPIO端子をPWMインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[3400h] PWM Control Register							
デフォルト=0000h							
読み出し／書き込み							
15	14	13	12	11	10	9	8
n/a	予備	AUDINアクティブ状態選択	AUDIN制御イネーブル	n/a	出力極性	PWM RGB出力イネーブル	PWM白出力イネーブル
7	6	5	4	3	2	1	0

注

REG[3400h]ビット11～8が0000bの場合（すべてのPWM出力がディスエーブルされている場合）は、電力を節約しカレントドレインを最小にするためにPWM回路全体へのクロックが動的にディスエーブルされます。

ビット15～12

予備

これらのビットのデフォルト値は0000bです。

ビット11

青イネーブル

このビットは、青色LED PWM出力を制御します。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。

このビットが0bのとき、PWMB出力はディスエーブルされます（極性反転回路がREG[3400h]ビット2によって指定される前にロジック0になる）。

このビットが1bのとき、PWMB出力はイネーブルされます。

注

赤イネーブルビット、緑イネーブルビットおよび青イネーブルビットがすべてディスエーブルされた場合は、428ページの項19.1「PWM回路の概要」に示した128クロック基準点が0にリセットされます。

ビット10

緑イネーブル

このビットは、緑色LED PWM出力を制御します。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。

このビットが0bのとき、PWMG出力はディスエーブルされます（極性反転回路がREG[3400h]ビット2によって指定される前にロジック0になる）。

このビットが1bのとき、PWMG出力はイネーブルされます。

注

赤イネーブルビット、緑イネーブルビットおよび青イネーブルビットがすべてディスエーブルされた場合は、428ページの項19.1「PWM回路の概要」に示した128クロック基準点が0にリセットされます。

ビット9 赤イネーブル
このビットは、赤色LED PWM出力を制御します。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。
このビットが0bのとき、PWMR出力はディスエーブルされます（極性反転回路がREG[3400h]ビット2によって指定される前にロジック0になる）。
このビットが1bのとき、PWMR出力はイネーブルされます。

注

赤イネーブルビット、緑イネーブルビットおよび青イネーブルビットがすべてディスエーブルされた場合は、428ページの項19.1「PWM回路の概要」に示した128クロック基準点が0にリセットされます。

ビット8 白イネーブル
このビットは、白色LED PWM出力を制御します。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。
このビットが0bのとき、PWMW出力はディスエーブルされます（極性反転回路がREG[3400h]ビット2によって指定される前にロジック0になる）。
このビットが1bのとき、PWMW出力はイネーブルされます。

ビット6 予備
このビットのデフォルト値は0bです。

ビット5 AUDINアクティブ状態選択
PWM出力のAUDIN制御がイネーブルされたとき（REG[3400h]ビット4=1b）、このビットは、デジタル音声入力AUDINのアクティブ状態を選択します。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。
このビットが0bのときは、デジタル音声入力HighのときカラーPWM出力がイネーブルされます。
このビットが1bのときは、デジタル音声入力LowのときカラーPWM出力がイネーブルされます。

注

GPIO3の機能を設定するときは、このビットをREG[0C0Eh]ビット7～6と一緒に使用してください。

ビット4 AUDIN制御イネーブル
このビットは、デジタル音声入力AUDINによる3つのカラーPWM出力（PWMB、PWMG、PWMR）の制御をイネーブル/ディスエーブルします。PWM端子の割り付けについては、46ページの項5.10「PWMインタフェースの端子割り付け」を参照してください。
このビットが0bのとき、デジタル音声入力はPWM出力を制御しません。
このビットが1bのとき、デジタル音声入力はPWM出力を制御します。

注

AUDIN入力を使用する前に、適切なGPIO端子をPWMインタフェース用に設定してください。

10. レジスタ

ビット2 出力極性
このビットは、4つのLED出力端子（カラーが3つと白が1つ）のすべてについて、PWM回路から出力されるデジタル値に対する出力端子の極性を指定します。
このビットが0bのとき、LED端子電圧は、PWM回路からロジック1が駆動されたときにLowに駆動され、PWM回路からロジック0が駆動されたときにHighになります。
このビットが1bのとき、LED出力端子は、PWM回路がロジック1を駆動しているときにHighに駆動されます。

ビット1 PWM RGB出力イネーブル
このビットは、3つのカラーLED PWM出力（PWMB、PWMG、PWMR）を制御します。
このビットが0bのとき、カラーLED PWM出力はHighに保持されます。
このビットが1bのとき、カラーLED PWM出力はイネーブルされます。

注

ビット0とビット1が両方とも0の場合（すなわち、両方のPWM出力がHighに保持される場合）は、すべてのPWMイネーブルビットがディスエーブルされた後で、（電力を節約しカレントドレインを最小にするために）PWM回路全体に対するクロックが断たれます（REG[3400h]ビット11～8を参照）。

ビット0 PWM白出力イネーブル
このビットは、白色LED PWM出力（PWMW）を制御します。
このビットが0bのとき、白色LED PWM出力がHighに保持されます。
このビットが1bのとき、白色LED PWM出力がイネーブルされます。

注

ビット0とビット1が両方とも0の場合（すなわち、両方のPWM出力がHighに保持される場合）は、すべてのPWMイネーブルビットがディスエーブルされた後で、（電力を節約しカレントドレインを最小にするために）PWM回路全体に対するクロックが断たれます（REG[3400h]ビット11～8を参照）。

REG[3402h] PWM Clock Divide Register							
デフォルト=0000h							
読み出し／書き込み							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0
n/a				PWMクロック分周選択ビット3~0			

ビット3~0

PWMクロック分周選択ビット[3:0]

これらのビットは、PWMR、PWMGおよびPWMB回路によって使用されるPWMクロックのクロック分周を選択します。PWMWには作用しません。PWMクロックのクロックソースは、内部クロックPWMSRCCLKです。PWMSRCCLKは、LEDパルスレートが0.5Hz~8Hzなるよう約16KHzのクロックを提供するように設定してください。PWMSRCCLKの詳細は、119ページの項9、「クロック」を参照してください。

表10-102 PWMクロック分周選択

REG[3402h]ビット3~0	PWMクロック分周比
0000b	1:1
0001b	2:1
0010b	4:1
0011b	6:1
0100b	8:1
0101b	10:1
0110b	12:1
0111b	14:1
1000b	16:1
1001b~1111b	予備 (PWMクロックが停止される)

REG[3404h] Red On/Off Control Register							
デフォルト=0000h							
読み出し／書き込み							
n/a	14	13	12	11	10	9	8
15	赤消灯ビット6~0						
n/a	6	5	4	3	2	1	0
7	赤点灯ビット6~0						

ビット14~8

赤消灯ビット[6:0]

これらのビットは、赤色LEDが消灯するポイントを128クロックパルスサイクルの始まりに対して指定します。この値は、REG[3404h]ビット6~0で指定された「赤点灯」値よりも大きくなければなりません。そうでないと誤動作することがあります。PWMの使用の詳細は、428ページの項19、「パルス幅変調 (PWM)」を参照してください。

REG[3404h]ビット14~8=オフタイム-1

注

7Fhの値を入力すると、LEDは、赤デューティサイクル (REG[340Ch]ビット3~0) の間じゅう点灯し続けます。

ビット6~0

赤点灯ビット[6:0]

これらのビットは、赤色LEDが点灯するポイントを128クロックパルスサイクルの始まりに対して指定します。値が0のとき、LEDは、128クロックサイクルが始まるとすぐにターンオンシーケンスを開始します。PWMの使用の詳細は、428ページの項19、「パルス幅変調 (PWM)」を参照してください。

10. レジスタ

REG[3406h] Green On/Off Control Register							
デフォルト=0000h							
読み出し／書き込み							
n/a	緑消灯ビット6~0						
15	14	13	12	11	10	9	8
n/a	緑点灯ビット6~0						
7	6	5	4	3	2	1	0

ビット14~8

緑消灯ビット[6:0]

これらのビットは、緑色LEDが消灯するポイントを128クロックパルスサイクルの始まりに対して指定します。この値は、REG[3406h]ビット6~0で指定された「緑点灯」値よりも大きくなければなりません。そうでないと誤動作することがあります。PWMの使用の詳細は、428ページの項19.「パルス幅変調 (PWM)」を参照してください。

REG[3406h]ビット14~8=オフタイム-1

注

7Fhの値を入力すると、LEDは、緑デューティサイクル (REG[340Ch]ビット7~4) の間じゅう点灯し続けます。

ビット6~0

緑点灯ビット[6:0]

これらのビットは、緑色LEDが点灯するポイントを128クロックパルスサイクルの始まりに対して指定します。値が0のとき、LEDは、128クロックサイクルが始まるとすぐにターンオンシーケンスを開始します。PWMの使用の詳細は、428ページの項19.「パルス幅変調 (PWM)」を参照してください。

REG[3408h] Blue On/Off Control Register							
デフォルト=0000h							
読み出し／書き込み							
n/a	青消灯ビット6~0						
15	14	13	12	11	10	9	8
n/a	青点灯ビット6~0						
7	6	5	4	3	2	1	0

ビット14~8

青消灯ビット[6:0]

これらのビットは、青色LEDが消灯するポイントを128クロックパルスサイクルの始まりに対して指定します。この値はREG[3408h]ビット6~0で指定された「青点灯」値よりも大きくなければなりません。そうでないと誤動作することがあります。PWMの使用の詳細は、428ページの項19.「パルス幅変調 (PWM)」を参照してください。

REG[3408h]ビット14~8=オフタイム-1

注

値7Fhを入力すると、LEDは、青デューティサイクル (REG[340Ch]ビット11~8) の間じゅう点灯し続けます。

ビット6~0

青点灯ビット[6:0]

これらのビットは、青色LEDが点灯するポイントを128クロックパルスサイクルの始まりに対して指定します。値が0のとき、LEDは、128クロックサイクルが始まるとすぐにターンオンシーケンスを開始します。PWMの使用の詳細は、428ページの項19.「パルス幅変調 (PWM)」を参照してください。

REG[340Ah] PWM Slope Register							
デフォルト=0000h							
				読み出し／書き込み			
n/a	LEDパルスカウンタ (M) ビット2~0			青勾配ビット3~0			
15	14	13	12	11	10	9	8
緑勾配ビット3~0				赤勾配ビット3~0			
7	6	5	4	3	2	1	0

注

下り勾配の前に色の最大デューティサイクルで割り切れない勾配を使用すると信号が非対称になります。

ビット14~12

LEDパルスカウンタ (M) ビット[2:0]

これらのビットは、勾配計算に使用されるM値を指定します。デューティサイクルは、128クロック幅LEDパルスのM+1個のクロックごとに値 $(1/16 \times N)$ だけ増加します。Nは、対応する赤 (ビット3~0)、緑 (ビット7~4) および青 (ビット11~8) の勾配ビットによって決定されます。これらのビットは、特定の色の勾配ビットが0に設定されたときは無効です。

REG[340Ah]ビット14~12=勾配計算のM値-1

ビット11~8

青勾配ビット[3:0]

これらのビットは、青色LEDが完全に消灯した状態からREG[340Ch]ビット11~8で指定された最大デューティサイクルまでデューティサイクルが変化する変化率を指定します。デューティサイクルは、128パルスカウンタの出力パルス (M+1) ごとに $(1/16 \times N)$ だけ増分します。Mは、REG[340Ah]ビット14~12で指定され、Nは、これらのビットによって表される10進値です。これらのビットを値0hに設定すると、デューティサイクルはすぐに完全に消灯した状態から、青デューティサイクルビット (REG[340Ch]ビット11~8) によって指定された最大デューティサイクルまで変化します。

ビット7~4

緑勾配ビット[3:0]

これらのビットは、緑色LEDが完全に消灯した状態からREG[340Ch]ビット7~4で指定された最大デューティサイクルまでデューティサイクルが変化する変化率を指定します。デューティサイクルは、128パルスカウンタの出力パルス (M+1) ごとに $(1/16 \times N)$ だけ増分します。Mは、REG[340Ah]ビット14~12で指定され、Nは、これらのビットによって表される10進値です。これらのビットを値0hに設定すると、デューティサイクルはすぐに、完全に消灯した状態から緑デューティサイクルビット (REG[340Ch]ビット7~4) で指定された最大デューティサイクルまで変化します。

ビット3~0

赤勾配ビット[3:0]

これらのビットは、赤色LEDが完全に消灯した状態からREG[340Ch]ビット3~0で指定された最大デューティサイクルまでデューティサイクルが変化する変化率を指定します。デューティサイクルは、128パルスカウンタの出力パルス (M+1) ごとに $(1/16 \times N)$ だけ増分します。Mは、REG[340Ah]ビット14~12で指定され、Nは、これらのビットによって表される10進値です。これらのビットを値0hに設定すると、デューティサイクルはすぐに、完全に消灯した状態から赤デューティサイクルビット (REG[340Ch]ビット3~0) で指定された最大デューティサイクルまで変化します。

10. レジスタ

REG[340Ch] PWM Duty Cycle Register							
デフォルト=0000h				読み出し／書き込み			
n/a				青デューティサイクルビット3~0			
15	14	13	12	11	10	9	8
緑デューティサイクルビット3~0				赤デューティサイクルビット3~0			
7	6	5	4	3	2	1	0

注

下り勾配の前に色の最大デューティサイクルで割り切れない勾配を使用すると信号が非対称になります。

ビット11~8

青デューティサイクルビット[3:0]

これらのビットは、パルスのピークでLEDが達する最大輝度を指定する「完全点灯」デューティサイクルを指定します。値Fhは、最大輝度（すなわち、連続点灯）を示します。値が0のとき、LEDは時間の1/16だけ点灯します。

注

青勾配（REG[340Ah]ビット11~8）が0でないときは、青デューティサイクルを1111b（Fh）に設定しないでください。

ビット7~4

緑デューティサイクルビット[3:0]

これらのビットは、パルスのピークでLEDが達する最大輝度を指定する「完全点灯」デューティサイクルを指定します。値Fhは、最大輝度（すなわち、連続点灯）を示します。値が0のとき、LEDは時間の1/16だけ点灯します。

注

緑勾配（REG[340Ah]ビット7~4）が0でないときは、緑デューティサイクルを1111b（Fh）に設定しないでください。

ビット3~0

赤デューティサイクルビット[3:0]

これらのビットは、パルスのピークでLEDが達する最大輝度を決定する「完全点灯」デューティサイクルを指定します。値Fhは、最大輝度（すなわち、連続点灯）を示します。値が0のときは、LEDは時間の1/16だけ点灯します。

注

赤勾配（REG[340Ah]ビット3~0）が0でないときは、赤デューティサイクルを1111b（Fh）に設定しないでください。

REG[340Eh] White LED Control Register							
デフォルト=0000h						読み出し／書き込み	
n/a		白色LEDデューティサイクルビット5~0					
15	14	13	12	11	10	9	8
n/a		白色LED周期ビット5~0					
7	6	5	4	3	2	1	0

ビット13~8

白色LEDデューティサイクルビット[5:0]

これらのビットは、白色LEDのデューティサイクルすなわち「点灯」時間を指定します。値00hは、REG[340Eh]ビット5~0で指定された周期ごとにLEDが「点灯」できる最も弱いLED輝度（最も短時間）を表します。白色LEDデューティサイクルを3Fhに設定すると、LEDは連続的に「点灯」します。

REG[340Eh]ビット13~8=白色LEDデューティサイクル-1

注

PWM白出カインーブルビット (REG[3400h]ビット0) または白イネーブルビット (REG[3400h]ビット8) を使って、白色LEDの出力を強制的に「消灯」状態にすることができます。

ビット5~0

白色LED周期ビット[5:0]

これらのビットは、白色LED PWM出力の周期を指定します。次の式から、白色LEDでは周波数範囲は1Hz~64Hzになります。

$$\text{PWM周期} = 256 \times 1 \div \text{PWMSRCCLK} \times ((\text{REG}[340\text{Eh}] \text{ビット} 5 \sim 0) + 1)$$

REG[3410h]~REG[3412h]は予備

これらのレジスタは予備です。書き込まないでください。

10. レジスタ

10.4.17 I2Cレジスタ

注

I2Cインタフェースによって使用される端子はGPIO機能端子と多重化されています。したがって、I2Cインタフェースを使用する前に、適切なGPIO端子をI2Cインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

REG[3800h] I2C Control Register (デフォルト=0065h)							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
n/a	予備	I2C再開イネーブル	n/a	予備	I2C速度選択ビット1~0		I2Cマスターイネーブル
7	6	5	4	3	2	1	0

注

これらのビットに書き込む前にI2Cをディスエーブルしてください (REG[386Ch] ビット1=0b)。I2Cがイネーブルされている場合、これらのビットへの書き込みは無効になります。

ビット6

予備

このビットに1bを設定してください。

ビット5

I2C再開イネーブル

このビットは、マスターが再開条件を送ることができるかどうかを指定します。再開条件の処理をサポートしていない古いスレーブによっては、再開条件をディスエーブルしなければならないものがあります。ただし、再開条件はいくつかのI2C操作に使用されるため、再開条件をディスエーブルすると、マスターは次の機能を実行できません。

- 1回の転送で複数のバイトを送る (スプリット)
- 転送内で方向を変える (スプリット)
- 開始バイトを送る

スプリット操作は、間に停止条件と開始条件がある複数のI2C転送に細分化されます。他の操作は全く行われず、送信中断割り込み (REG[382Ch] ビット6を参照) が行われます。

このビットが0bのとき、マスターは再開条件を送信することができません (ディスエーブルされる)。

このビットが1bのとき、マスターは再開条件を送信することができます (イネーブルされる)。(デフォルト)

ビット3

予備

このビットのデフォルト値は0bです。

ビット2～1

I2C速度選択ビット[1:0]

これらのビットは、I2Cインタフェースの処理速度を選択します。処理速度は、I2Cインタフェースがディスエーブルされているとき（REG[386Ch]ビット0=0b）だけ変更することができます。

表10-103 I2C速度選択

REG[3800h]ビット2～1	I2C速度
00b	予備
01b	標準モード（100kb）
10b	高速モード（400kb）
11b	予備

ビット0

I2Cマスターイネーブル

このビットは、I2Cマスターを制御し、I2Cインタフェースがディスエーブルされているとき（REG[386Ch]ビット0=0b）だけ変更することができます。

このビットが0bのとき、I2Cマスターはディスエーブルされます。

このビットが1bのとき、I2Cマスターはイネーブルされます。（デフォルト）

REG[3804h] I2C Target Address Register

(デフォルト=0055h)

読み出し／書き込み

n/a						予備	
15	14	13	12	11	10	9	8
I2Cターゲットスレーブアドレスビット6～0							
予備							
7	6	5	4	3	2	1	0

注

これらのビットに書き込む前に I2C をディスエーブルしてください（REG[386Ch]ビット1=0b）。I2Cがイネーブルされている場合、これらのビットへの書き込みは無効になります。

ビット9～7

予備

これらのビットのデフォルト値は000bです。

ビット6～0

I2Cターゲットスレーブアドレスビット[6:0]

これらのビットは、マスタートランザクションに使用される7ビットターゲットスレーブアドレスです。

REG[3808h]は予備

このレジスタは予備です。書き込まないでください。

10. レジスタ

REG[3810h] I2C Receive/Transmit Data Buffer and Command Register								読み出し／書き込み
(デフォルト=0000h)								
15	14	13	12	11	10	9	8	
I2Cデータビット7~0								I2Cコマンド (WO)
7	6	5	4	3	2	1	0	

ビット8

I2Cコマンド（書き込み専用）

このビットは、I2Cインタフェースが読み出しを行うか、書き込みを行うかを指定します。

このビットに0bを書き込むと、書き込み操作が選択されます。

このビットに1bを書き込むと、読み出し操作が選択されます。

ビット7~0

I2Cデータビット[7:0]

これらのビットは、I2Cバスとの間でやりとりされるデータを含みます。データの書き込みの場合（REG[3810h]ビット8=0b）は、転送前に送信するデータをこれらのビットに入れてください。データの読み出しの場合（REG[3810h]ビット8=1b）は、I2Cインタフェースから受け取ったデータをこれらのビットから読み出すことができます。

REG[3814h] I2C Standard Speed I2C Clock SCL High Count Register (デフォルト=0064h)								読み出し／書き込み
I2C標準速度SCL Highカウントビット15~8								
15	14	13	12	11	10	9	8	
I2C標準速度SCL Highカウントビット7~0								
7	6	5	4	3	2	1	0	

ビット15~0

I2C標準速度SCL Highカウントビット[15:0]

I2Cインタフェースの入出力タイミングを正常にするため、これらのビットを設定した後でないとI2Cバストランザクションを行えません。これらのビットは、標準速度のSCLクロックHigh周期カウントを設定します。これらのビットに書き込む前に、I2Cインタフェースをディスエーブルしてください（REG[386Ch]ビット0=0b）。そうでないと書き込みが無効になります。これらのビットの最小値は6です。6より小さい値を書き込むとその値は無視され、レジスタは6に設定されます。

$$\text{SCL Highカウント時間} = T_{I2C} \times (\text{REG}[3814h] \text{ビット} 15 \sim 0 + 8)$$

以下の表にいくつかの値の例を示します。

表10-104 I2C標準速度Highカウント値の例

I2Cクロック 周波数 (MHz)	T _{I2C} (ns)	REG[0430h]	I2C分周比	REG[3814h]	SCL High時間 (μs)
1	1000	0031h	50	0006h	14.00
2	500	0018h	25	0006h	7.00
5	200	0009h	10	000Ch	4.00
10	100	0004h	5	0020h	4.00
12.5	80	0003h	4	002Ah	4.00
16.6	60	0002h	3	003Bh	4.02
25	40	0001h	2	005Ch	4.00
50	20	0000h	1	00C0h	4.00

10. レジスタ

REG[3818h] I2C Standard Speed I2C Clock SCL Low Count Register							
(デフォルト=0076h)							読み出し／書き込み
I2C標準速度SCL Lowカウントビット15~8							
15	14	13	12	11	10	9	8
I2C標準速度SCL Lowカウントビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

I2C標準速度SCL Lowカウントビット[15:0]

I2Cインタフェースの入出力タイミングを正常にするため、これらのビットを設定した後でないとI2Cバストランザクションを行えません。これらのビットは、標準速度のSCLクロックLow周期カウントを設定します。これらのビットに書き込む前にI2Cインタフェースをディスエーブルしてください（REG[386Ch]ビット0=0b）。そうでないと書き込みが無効になります。これらのビットの最小値は8です。8より小さい値を書き込むとその値は無視され、レジスタは8に設定されます。

$$\text{SCL Lowカウント時間} = T_{I2C} \times (\text{REG}[3818\text{h}] \text{ビット} 15 \sim 0 + 1)$$

以下の表にいくつかの値の例を示します。

表10-105 I2C標準速度Lowカウント値の例

I2Cクロック 周波数 (MHz)	T _{I2C} (ns)	REG[0430h]	I2C分周比	REG[3818h]	SCL Low時間 (μs)
1	1000	0031h	50	0008h	9.00
2	500	0018h	25	0009h	5.00
5	200	0009h	10	0017h	4.80
10	100	0004h	5	002Eh	4.70
12.5	80	0003h	4	003Ah	4.72
16.6	60	0002h	3	004Eh	4.74
25	40	0001h	2	0074h	4.72
50	20	0000h	1	00EAh	4.70

REG[381Ch] I2C Fast Speed I2C Clock SCL High Count Register							
(デフォルト=000Fh)							読み出し／書き込み
I2C高速SCL Highカウントビット15~8							
15	14	13	12	11	10	9	8
I2C高速SCL Highカウントビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

I2C高速SCL Highカウントビット[15:0]

I2Cインタフェースの入出力タイミングを正常にするため、これらのビットを設定した後でないとI2Cバストランザクションを行えません。これらのビットは、高速のSCLクロックHigh周期カウントを設定します。高速モードでは、マスターコードと開始バイトまたはジェネラルコールを送信するために使用されます。これらのビットに書き込む前にI2Cインタフェースをディスエーブルしてください (REG[386Ch]ビット0=0b)。そうでないと書き込みは無効になります。これらのビットの最小値は6です。6より小さい値を書き込むとその値は無視され、レジスタは6に設定されます。

$$\text{SCL Highカウント時間} = T_{I2C} \times (\text{REG}[381\text{Ch}] \text{ビット} 15 \sim 0 + 8)$$

以下の表は値の例を示します。

表10-106 I2C高速Highカウント値の例

I2Cクロック 周波数 (MHz)	T _{I2C} (ns)	REG[0430h]	I2C分周比	REG[381Ch]	SCL High時間 (μs)
1	1000	0031h	50	0006h	14.00
2	500	0018h	25	0006h	7.00
5	200	0009h	10	0006h	2.80
10	100	0004h	5	0006h	1.40
12.5	80	0003h	4	0006h	1.12
16.6	60	0002h	3	0008h	0.96
25	40	0001h	2	0010h	0.96
50	20	0000h	1	0028h	0.96

10. レジスタ

REG[3820h] I2C Fast Speed I2C Clock SCL Low Count Register							
(デフォルト=0021h)							読み出し／書き込み
I2C高速SCL Lowカウントビット15~8							
15	14	13	12	11	10	9	8
I2C高速SCL Lowカウントビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

I2C高速SCL Lowカウントビット[15:0]

I2Cインタフェースの入出力タイミングを正常にするため、これらのビットを設定した後でないとI2Cバストランザクションを行えません。これらのビットは、高速のSCLクロックLow周期カウントを設定します。高速モードでは、マスターコードと開始バイトまたはジェネラルコールを送信するために使用されます。これらのビットに書き込む前にI2Cインタフェースをディスエーブルしてください (REG[386Ch]ビット0=0b)。そうでないと書き込みは無効になります。これらのビットの最小値は8です。8より小さい値を書き込むと値は無視され、レジスタは8に設定されます。

$$\text{SCL Lowカウント時間} = T_{I2C} \times (\text{REG}[3820\text{h}] \text{ビット} 15 \sim 0 + 1)$$

以下の表はいくつかの値の例を示します。

表10-107 I2C高速Lowカウント値の例

I2Cクロック 周波数 (MHz)	T _{I2C} (ns)	REG[0430h]	I2C分周比	REG[3820h]	SCL Low時間 (μs)
1	1000	0031h	50	0008h	9.00
2	500	0018h	25	0008h	4.50
5	200	0009h	10	0008h	1.80
10	100	0004h	5	000Dh	1.40
12.5	80	0003h	4	000Dh	1.12
16.6	60	0002h	3	000Fh	0.96
25	40	0001h	2	0017h	0.96
50	20	0000h	1	002Fh	0.96

REG[3824h]~REG[3828h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[382Ch] I2C Interrupt Status Register (デフォルト=0000h)								読み出し専用
n/a					I2C開始割り込み 状態 10	I2C停止割り込み 状態 9	I2Cビジー割り込み 状態 8	
15	14	13	12	11	10	9	8	
予備	I2C送信中断 割り込み状態	予備	I2C送信FIFO エンプティ 割り込み状態	I2C送信FIFO オーバーフロー 割り込み状態	I2C受信FIFOフル割 り込み状態	I2C受信FIFO オーバーフロー 割り込み状態	I2C受信FIFO アンダーフロー 割り込み状態	
7	6	5	4	3	2	1	0	

- ビット10** I2C開始割り込み状態（読み出し専用）
このビットは、I2Cインタフェース上で開始条件が生じたときにトリガされるI2C開始割り込みの状態を示します。このビットは、I2C開始割り込みイネーブルビットによってマスクされ、REG[3830h]ビット10=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのときは、I2C開始割り込みが発行されていません。このビットが1bのときは、I2C開始割り込みが発行されています。
- この状態ビットをクリアするには、I2C開始割り込みクリアビット（REG[3864h]ビット0）を読み出してください。
- ビット9** I2C停止割り込み状態（読み出し専用）
このビットは、I2Cインタフェースに停止条件が生じたときにトリガされるI2C停止割り込みの状態を示します。このビットは、I2C停止割り込みイネーブルビットによってマスクされ、REG[3830h]ビット9=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのときは、I2C停止割り込みが発行されていません。このビットが1bのときは、I2C停止割り込みが発行されています。
- この状態ビットをクリアするには、I2C停止割り込みクリアビット（REG[3860h]ビット0）を読み出してください。
- ビット8** I2Cビジー割り込み状態（読み出し専用）
このビットは、I2Cインタフェースがアクティブ（I2Cインタフェースがビジー状態）のときにトリガされるI2Cビジー割り込みの状態を示します。このビットは、I2Cビジー割り込みイネーブルビットによってマスクされ、REG[3830h]ビット8=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのときは、I2Cビジー割り込みが発行されていません。このビットが1bのときは、I2Cビジー割り込みが発行されています。
- この状態ビットをクリアするには、I2Cビジー割り込みクリアビット（REG[385Ch]ビット0）を読み出してください。
- ビット7** 予備
このビットのデフォルト値は0bです。

10. レジスタ

ビット6

I2C送信中断割り込み状態（読み出し専用）

このビットは、マスターの役割をするI2Cがホストから送信されたコマンドを完了できないときにトリガされるI2C送信中断割り込みの状態を示します。このビットは、I2C送信中断割り込みイネーブルビットによってマスクされ、REG[3830h]ビット6=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。

このビットが0bのときは、I2C送信中断割り込みが発行されていません。

このビットが1bのときは、I2C送信中断割り込みが発行されています。

この状態ビットをクリアするには、I2C送信中断割り込みクリアビット（REG[3854h]ビット0）を読み出してください。

割り込みを引き起こした特定の条件は、I2C Transmit Abort Sourceレジスタ（REG[3880h]）によって示され、以下の状態を識別します。

- アドレスを送信した後でスレーブがアクノリッジしない。
- アドレス指定されたスレーブがデータバイトをアクノリッジしない。
- アービトレーションが失われている。
- スレーブとして設定されるときだけマスターコマンドの送信を試みている。
- IC_CONレジスタ内のIC_RESTART_ENビットが0に設定され（再開条件がディスエーブルされ）、プロセッサが、再開条件を使用しないと実行できないI2C機能の実行を試みる。
- アクノリッジが高速マスターコードである。
- 開始バイトがアクノリッジされる。
- ジェネラルコールアドレスがアクノリッジされない。
- 読み出し要求割り込みが行われ、プロセッサが、TXバッファに以前に入れたデータをまだ送信していない場合。このデータは、もっと少ない数のバイトを要求したマルチバイトRD_REQを提供するように意図された可能性がある。あるいは、IC_RESTART_ENがディスエーブルされ、I2Cが、転送間のバスの制御を失い、スレーブトランスミッタとしてアクセスされた場合。
- ジェネラルコールコマンドが出された後で読み出しコマンドが出された場合。I2Cをディスエーブルすると通常の動作に戻る。
- RD_REQを提供する前にプロセッサが読み出しコマンドを出そうとした場合。このビットが設定されると、送信バッファと受信バッファの内容が消去されます。

ビット5

予備

このビットのデフォルト値は0bです。

- ビット4
- I2C送信FIFOエンプティ割り込み状態（読み出し専用）**
このビットは、送信FIFOレベルが、I2C送信FIFOスレシヨルドレベルビット（REG[383Ch]ビット2～0）によって指定されたレベル以下のときにトリガされるI2C送信FIFOエンプティ割り込みの状態を示します。このビットは、I2C送信FIFOエンプティ割り込みイネーブルビットによってマスクされ、REG[3830h]ビット4=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。
このビットが0bのときは、I2C送信FIFOエンプティ割り込みが発行されていません。
このビットが1bのときは、I2C送信FIFOエンプティ割り込みが発行されています。
- この状態ビットは、送信 FIFO レベルが送信 FIFO スレシヨルドレベル（REG[3874h]ビット3～0）より高くなると自動的にクリアされます。
送信FIFOレベル > REG[3874h]ビット3～0
- ビット3
- I2C送信FIFOオーバーフロー割り込み状態（読み出し専用）**
このビットは、送信FIFOが完全にフルになってホストがREG[3810h]に書き込むことによって別のI2Cコマンドを発行しようとするときにトリガされるI2C送信FIFOオーバーフロー割り込みの状態を示します。このビットは、I2C送信FIFOオーバーフロー割り込みイネーブルビットによってマスクされ、REG[3830h]ビット3=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。
このビットが0bのときは、I2C送信FIFOオーバーフロー割り込みが発行されていません。
このビットが1bのときは、I2C送信FIFOオーバーフロー割り込みが発行されています。
- この状態ビットをクリアするには、I2C送信FIFOオーバーフロー割り込みクリアビット（REG[384Ch]ビット0）を読み出してください。
- ビット2
- I2C受信FIFOフル割り込み状態（読み出し専用）**
このビットは、受信FIFOレベルが、I2C受信FIFOスレシヨルドレベルビット（REG[3838h]ビット2～0）によって指定されたレベルに達したかまたはそれを超えたときにトリガされるI2C受信FIFOフル割り込みの状態を示しています。このビットは、I2C受信FIFOフル割り込みイネーブルビットによってマスクされ、REG[3830h]ビット2=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。
このビットが0bのときは、I2C受信FIFOフル割り込みが発行されていません。
このビットが1bのときは、I2C受信FIFOフル割り込みが発行されています。
- この状態ビットは、受信 FIFO レベルが、受信 FIFO スレシヨルドレベル（REG[3878h]ビット3～0）より低くなると自動的にクリアされます。
受信FIFOレベル > REG[3878h]ビット3～0

10. レジスタ

ビット1 I2C受信FIFOオーバーフロー割り込み状態（読み出し専用）
 このビットは、受信FIFOが完全にフルになりデータがさらに到着したときにトリガされるI2C受信FIFOオーバーフロー割り込みの状態を示します。これが起こるとデータが失われます。このビットは、I2C受信FIFOオーバーフロー割り込みイネーブルビットによってマスクされ、REG[3830h]ビット1=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのときは、I2C受信FIFOオーバーフロー割り込みが発行されていません。このビットが1bのときは、I2C受信FIFOオーバーフロー割り込みが発行されています。

この状態ビットをクリアするには、I2C受信FIFOオーバーフロー割り込みクリアビット（REG[3848h]ビット0）を読み出してください。

ビット0 I2C受信FIFOアンダーフロー割り込み状態（読み出し専用）
 このビットは、ホストが、REG[3810h]から読み出すことによってエンプティ受信FIFOを読み出そうとするときにトリガされるI2C受信FIFOアンダーフロー割り込みの状態を示します。このビットは、I2C受信FIFOアンダーフロー割り込みイネーブルビットによってマスクされ、REG[3830h]ビット0=1bのときだけ使用できます。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのときは、I2C受信FIFOアンダーフロー割り込みが発行されていません。このビットが1bのときは、I2C受信FIFOアンダーフロー割り込みが発行されています。

この状態ビットをクリアするには、I2C受信FIFOアンダーフロー割り込みクリアビット（REG[3844h]ビット0）を読み出してください。

REG[3830h] I2C Interrupt Enable Register (デフォルト=08FFh)							
n/a				予備	I2C開始割り込みイネーブル	I2C停止割り込みイネーブル	I2Cビジー割り込みイネーブル
15	14	13	12	11	10	9	8
予備	I2C送信中断割り込みイネーブル	予備	I2C送信FIFOエンプティ割り込みイネーブル	I2C送信FIFOオーバーフロー割り込みイネーブル	I2C受信FIFOフル割り込みイネーブル	I2C受信FIFOオーバーフロー割り込みイネーブル	I2C受信FIFOアンダーフロー割り込みイネーブル
7	6	5	4	3	2	1	0

ビット11 予備
 このビットのデフォルト値は1bです。

ビット10 I2C開始割り込みイネーブル
 このビットは、I2C開始割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C開始割り込みはディスエーブルされます。このビットが1bのとき、I2C開始割り込みはイネーブルされます。

ビット9 I2C停止割り込みイネーブル
 このビットは、I2C停止割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C停止割り込みはディスエーブルされます。このビットが1bのとき、I2C停止割り込みはイネーブルされます。

ビット8	I2Cビジー割り込みイネーブル このビットは、I2Cビジー割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2Cビジー割り込みはディスエーブルされます。このビットが1bのとき、I2Cビジー割り込みはイネーブルされます。
ビット7	予備 このビットのデフォルト値は1bです。
ビット6	I2C送信中断割り込みイネーブル このビットは、I2C送信中断割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C送信中断割り込みはディスエーブルされます。このビットが1bのとき、I2C送信中断割り込みはイネーブルされます。
ビット5	予備 このビットのデフォルト値は1bです。
ビット4	I2C送信FIFOエンプティ割り込みイネーブル このビットは、I2C送信FIFOエンプティ割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C送信FIFOエンプティ割り込みはディスエーブルされます。このビットが1bのとき、I2C送信FIFOエンプティ割り込みはイネーブルされます。
ビット3	I2C送信FIFOオーバーフロー割り込みイネーブル このビットは、I2C送信FIFOオーバーフロー割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C送信FIFOオーバーフロー割り込みはディスエーブルされます。このビットが1bのとき、I2C送信FIFOオーバーフロー割り込みはイネーブルされます。
ビット2	I2C受信FIFOフル割り込みイネーブル このビットは、I2C受信FIFOフル割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C受信FIFOフル割り込みはディスエーブルされます。このビットが1bのとき、I2C受信FIFOフル割り込みはイネーブルされます。
ビット1	I2C受信FIFOオーバーフロー割り込みイネーブル このビットは、I2C受信FIFOオーバーフロー割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。このビットが0bのとき、I2C受信FIFOオーバーフロー割り込みはディスエーブルされます。このビットが1bのとき、I2C受信FIFOオーバーフロー割り込みはイネーブルされます。

10. レジスタ

ビット0 I2C受信FIFOアンダーフロー割り込みイネーブル
 このビットは、I2C受信FIFOアンダーフロー割り込みを制御し、REG[382Ch]内の対応する状態ビットをマスクします。未処理（非マスク）状態ビットはREG[3834h]にあります。
 このビットが0bのとき、I2C受信FIFOアンダーフロー割り込みはディスエーブルされます。
 このビットが1bのとき、I2C受信FIFOアンダーフロー割り込みはイネーブルされます。

REG[3834h] I2C Interrupt Raw Status Register (デフォルト=0000h)					読み出し専用		
n/a					I2C開始割り込み 未処理状態	I2C停止割り込み 未処理状態	I2Cビジー割り込み 未処理状態
15	14	13	12	11	10	9	8
予備	I2C送信中断 割り込み未処理状態	予備	I2C送信FIFO エンティ 割り込み 未処理状態	I2C送信FIFO オーバーフロー 割り込み 未処理状態	I2C受信FIFOフル割 り込み 未処理状態	I2C受信FIFO オーバーフロー 割り込み 未処理状態	I2C受信FIFO アンダーフロー 割り込み 未処理状態
7	6	5	4	3	2	1	0

ビット10 I2C開始割り込み未処理状態（読み出し専用）
 このビットは、I2Cインタフェースで開始条件が生じたときにトリガされるI2C開始割り込みの未処理状態を示します。このビットは、I2C開始割り込みイネーブルビット（REG[3830h]ビット10）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
 このビットが0bのときは、I2C開始割り込みが発行されていません。
 このビットが1bのときは、I2C開始割り込みが発行されています。

この状態ビットをクリアするには、I2C開始割り込みクリアビット（REG[3864h]ビット0）を読み出してください。

ビット9 I2C停止割り込み未処理状態（読み出し専用）
 このビットは、I2Cインタフェースに停止条件が生じたときにトリガされるI2C停止割り込みの未処理状態を示します。このビットは、I2C停止割り込みイネーブルビット（REG[3830h]ビット9）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
 このビットが0bのときは、I2C停止割り込みが発行されていません。
 このビットが1bのときは、I2C停止割り込みが発行されています。

この状態ビットをクリアするには、I2C停止割り込みクリアビット（REG[3860h]ビット0）を読み出してください。

ビット8 I2Cビジー割り込み未処理状態（読み出し専用）
 このビットは、I2Cインタフェースがアクティブ（I2Cインタフェースがビジー状態）のときにトリガされるI2Cビジー割り込みの未処理状態を示します。このビットは、I2Cインタフェースがアイドル状態に戻るかどうかにかかわらず、クリアされるまで設定されたままです。このビットは、I2Cビジー割り込みイネーブルビット（REG[3830h]ビット8）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
 このビットが0bのときは、I2Cビジー割り込みが発行されていません。
 このビットが1bのときは、I2Cビジー割り込みが発行されています。

この状態ビットをクリアするには、I2Cビジー割り込みクリアビット（REG[385Ch]ビット0）を読み出してください。

ビット7 予備
 このビットのデフォルト値は0bです。

ビット6

I2C送信中断割り込み未処理状態（読み出し専用）

このビットは、マスターの役割をするI2Cがホストから送信されたコマンドを完了できないときにトリガされるI2C送信中断割り込みの未処理状態を示します。このビットは、I2C送信中断割り込みイネーブルビット（REG[3830h]ビット6）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。このビットが0bのときは、I2C送信中断割り込みが発行されていません。このビットが1bのときは、I2C送信中断割り込みが発行されています。

この状態ビットをクリアするには、I2C 送信中断割り込みクリアビット（REG[3854h]ビット0）を読み出してください。

割り込みを引き起こした特定の条件は、I2C Transmit Abort Sourceレジスタ（REG[3880h]）によって示され、以下の状態を識別します。

- アドレスを送信した後でスレーブがアクノリッジしない。
- アドレス指定されたスレーブがデータバイトをアクノリッジしない。
- アービトレーションが失われている。
- スレーブとして設定されるときだけマスターコマンドの送信を試みている。
- IC_CON レジスタ内の IC_RESTART_EN ビットが0に設定され（再開条件がディスエーブルされ）、プロセッサが、再開条件を使用しないと実行できないI2C機能の実行を試みる。
- アクノリッジが高速マスターコードである。
- 開始バイトがアクノリッジされる。
- ジェネラルコールアドレスがアクノリッジされない。
- 読み出し要求割り込みが行われ、プロセッサが、TX バッファに以前に入れたデータをまだ送信していない場合。このデータは、もっと少ない数のバイトを要求したマルチバイトRD_REQを提供するように意図された可能性がある。あるいは、IC_RESTART_ENがディスエーブルされ、I2Cが、転送間のバスの制御を失い、スレーブトランスミッタとしてアクセスされた場合。
- ジェネラルコールコマンドが出された後で読み出しコマンドが出された場合。I2Cをディスエーブルすると通常の動作に戻る。
- RD_REQ を提供する前にプロセッサが読み出しコマンドを出そうとした場合。このビットが設定されると、送信バッファと受信バッファの内容が消去されます。

ビット5

予備

このビットのデフォルト値は0bです。

10. レジスタ

- ビット4** I2C送信FIFOエンプティ割り込み未処理状態（読み出し専用）
このビットは、送信FIFOレベルが、I2C送信FIFOスレシヨルドレベルビット（REG[383Ch]ビット2～0）によって指定されたレベル以下のときにトリガされるI2C送信FIFOエンプティ割り込みの未処理状態を示します。このビットは、I2C送信FIFOエンプティ割り込みイネーブルビット（REG[3830h]ビット4）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
このビットが0bのときは、I2C送信FIFOエンプティ割り込みが発行されていません。
このビットが1bのときは、I2C送信FIFOエンプティ割り込みが発行されています。
- この状態ビットは、送信FIFOレベルが送信FIFOスレシヨルドレベルより高くなると自動的にクリアされます。
REG[3874h]ビット3～0 > REG[383Ch]ビット2～0
- ビット3** I2C送信FIFOオーバーフロー割り込み未処理状態（読み出し専用）
このビットは、送信FIFOが完全にフルになってホストがREG[3810h]に書き込むことによって別のI2Cコマンドを出そうとするときにトリガされるI2C送信FIFOオーバーフロー割り込みの未処理状態を示します。このビットは、I2C送信FIFOオーバーフロー割り込みイネーブルビット（REG[3830h]ビット3）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
このビットが0bのときは、I2C送信FIFOオーバーフロー割り込みが発行されていません。
このビットが1bのときは、I2C送信FIFOオーバーフロー割り込みが発行されています。
- この状態ビットをクリアするには、I2C送信FIFOオーバーフロー割り込みクリアビット（REG[384Ch]ビット0）を読み出してください。
- ビット2** I2C受信FIFOフル割り込み未処理状態（読み出し専用）
このビットは、受信FIFOレベルが、I2C受信FIFOスレシヨルドレベルビット（REG[3838h]ビット2～0）によって指定されたレベルに達したかまたはそれを超えたときにトリガされるI2C受信FIFOフル割り込みの未処理状態を示します。このビットは、I2C受信FIFOフル割り込みイネーブルビット（REG[3830h]ビット2）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
このビットが0bのときは、I2C受信FIFOフル割り込みが発行されていません。
このビットが1bのときは、I2C受信FIFOフル割り込みが発行されています。
- この状態ビットは、受信FIFOレベルが、受信FIFOスレシヨルドレベル（REG[3878h]ビット3～0）より低くなると自動的にクリアされます。
REG[3878h]ビット3～0 < REG[3838h]ビット2～0
- ビット1** I2C受信FIFOオーバーフロー割り込み未処理状態（読み出し専用）
このビットは、受信FIFOが完全にフルになりデータがさらに到着したときにトリガされるI2C受信FIFOオーバーフロー割り込みの未処理状態を示します。これが起こるとデータが失われます。このビットは、I2C受信FIFOオーバーフロー割り込みイネーブルビット（REG[3830h]ビット1）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
このビットが0bのときは、I2C受信FIFOオーバーフロー割り込みが発行されていません。
このビットが1bのときは、I2C受信FIFOオーバーフロー割り込みが発行されています。
- この状態ビットをクリアするには、I2C受信FIFOオーバーフロー割り込みクリアビット（REG[3848h]ビット0）を読み出してください。

- ビット0** I2C受信FIFOアンダーフロー割り込み未処理状態（読み出し専用）
 このビットは、ホストが、REG[3810h]から読み出すことによってエンプティ受信FIFOを読み出そうとするときにトリガされるI2C受信FIFOアンダーフロー割り込みの未処理状態を示します。このビットは、I2C受信FIFOアンダーフロー割り込みイネーブルビット（REG[3830h]ビット0）によってマスクされません。マスク状態ビットはREG[382Ch]にあります。
 このビットが0bのときは、I2C受信FIFOアンダーフロー割り込みが発行されていません。
 このビットが1bのときは、I2C受信FIFOアンダーフロー割り込みが発行されています。
- この状態ビットをクリアするには、I2C受信FIFOアンダーフロー割り込みクリアビット（REG[3844h]ビット0）を読み出してください。

REG[3838h] I2C Receive FIFO Threshold Register								読み出し／書き込み
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2C受信FIFOスレシヨルドレベルビット2~0
7	6	5	4	3	2	1	0	

- ビット2~0** I2C受信FIFOスレシヨルドレベルビット[2:0]
 これらのビットは、I2C受信FIFOフル割り込みをトリガするスレシヨルドレベル（または、エントリ数）を制御します（REG[382Ch]ビット2を参照）。スレシヨルドレベルは、受信FIFOの深さより大きく設定できません。
 受信FIFOスレシヨルド=REG[3838h]ビット2~0+1

REG[383Ch] I2C Transmit FIFO Threshold Register								読み出し／書き込み
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2C送信FIFOスレシヨルドレベルビット2~0
7	6	5	4	3	2	1	0	

- ビット2~0** I2C送信FIFOスレシヨルドレベルビット[2:0]
 これらのビットは、I2C送信FIFOエンプティ割り込みをトリガするスレシヨルドレベル（または、エントリ数）を制御します（REG[382Ch]ビット4を参照）。スレシヨルドレベルは、送信FIFOの深さより大きく設定できません。
 送信FIFOスレシヨルド=REG[383Ch]ビット2~0

REG[3840h] I2C Clear Combined and Individual Interrupt Register								読み出し専用
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2C割り込みクリア
7	6	5	4	3	2	1	0	

- ビット0** I2C割り込みクリア（読み出し専用）
 このビットを読み出すと、組み合わせられた割り込み、すべての個別の割り込み（I2C送信FIFOエンプティおよびI2C受信FIFOフル割り込みを除く）、およびI2C Transfer Abort Sourceレジスタ（REG[3880h]）がクリアされます。

10. レジスタ

REG[3844h] I2C Receive FIFO Underflow Interrupt Clear Register								読み出し専用
(デフォルト=0000h)								
15	14	13	12	11	10	9	8	I2C受信FIFO アンダーフロー 割り込みクリア
n/a							0	
7	6	5	4	3	2	1	0	

ビット0 I2C受信FIFOアンダーフロー割り込みクリア（読み出し専用）
このビットを読み出すと、I2C受信FIFOアンダーフロー割り込み状態ビット（REG[382Ch]ビット0）とI2C受信FIFOアンダーフロー割り込み未処理状態ビット（REG[3834h]ビット0）がクリアされます。

REG[3848h] I2C Receive FIFO Overflow Interrupt Clear Register								読み出し専用
(デフォルト=0000h)								
15	14	13	12	11	10	9	8	I2C受信FIFO オーバーフロー 割り込みクリア
n/a							0	
7	6	5	4	3	2	1	0	

ビット0 I2C受信FIFOオーバーフロー割り込みクリア（読み出し専用）
このビットを読み出すと、I2C受信FIFOオーバーフロー割り込み状態ビット（REG[382Ch]ビット1）とI2C受信FIFOオーバーフロー割り込み未処理状態ビット（REG[3834h]ビット1）がクリアされます。

REG[384Ch] I2C Transmit FIFO Overflow Interrupt Clear Register								読み出し専用
デフォルト=0000h								
15	14	13	12	11	10	9	8	I2C送信FIFO オーバーフロー 割り込みクリア
n/a							0	
7	6	5	4	3	2	1	0	

ビット0 I2C送信FIFOオーバーフロー割り込みクリア（読み出し専用）
このビットを読み出すと、I2C送信FIFOオーバーフロー割り込み状態ビット（REG[382Ch]ビット3）とI2C送信FIFOオーバーフロー割り込み未処理状態ビット（REG[3834h]ビット3）がクリアされます。

REG[3850h]は予備

このレジスタは予備です。書き込まないでください。

REG[3854h] I2C Transmit Abort Interrupt Clear Register								読み出し専用
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2C送信中断 割り込みクリア
7	6	5	4	3	2	1	0	

ビット0 I2C送信中断割り込みクリア（読み出し専用）
このビットを読み出すと、I2C送信中断割り込み状態ビット（REG[382Ch]ビット6）、I2C送信中断割り込み未処理状態ビット（REG[3834h]ビット6）、およびI2C Transmit Abort Sourceレジスタ（REG[3880h]）がクリアされます。

REG[3858h]は予備

このレジスタは予備です。書き込まないでください。

REG[385Ch] I2C Busy Interrupt Clear Register								読み出し専用
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2Cビジー割り込み クリア
7	6	5	4	3	2	1	0	

ビット0 I2Cビジー割り込みクリア（読み出し専用）
このビットを読み出すと、I2Cビジー割り込み状態ビット（REG[382Ch]ビット8）とI2Cビジー割り込み未処理状態ビット（REG[3834h]ビット8）がクリアされます。

REG[3860h] I2C Stop Interrupt Clear Register								読み出し専用
(デフォルト=0000h)								
n/a								
15	14	13	12	11	10	9	8	
n/a								I2C停止割り込み クリア
7	6	5	4	3	2	1	0	

ビット0 I2C停止割り込みクリア（読み出し専用）
このビットを読み出すと、I2C停止割り込み状態ビット（REG[382Ch]ビット9）とI2C停止割り込み未処理状態ビット（REG[3834h]ビット9）がクリアされます。

10. レジスタ

REG[3864h] I2C Start Interrupt Clear Register (デフォルト=0000h)								読み出し専用
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	n/a I2C開始割り込み クリア

ビット0 I2C開始割り込みクリア（読み出し専用）
このビットを読み出すと、I2C開始割り込み状態ビット（REG[382Ch]ビット10）とI2C開始割り込み未処理状態ビット（REG[3834h]ビット10）がクリアされます。

REG[3868h]は予備

このレジスタは予備です。書き込まないでください。

REG[386Ch] I2C Enable Register (デフォルト=0000h)								読み出し／書き込み
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	n/a I2Cイネーブル

ビット0 I2Cイネーブル
このビットは、I2Cモジュールをイネーブルするかどうかを制御します。I2Cモジュールがアクティブ（REG[3870h]ビット0=1b）になっている間にI2Cモジュールをディスエーブルしないでください。
このビットが0bのとき、I2Cモジュールはディスエーブルされます。
このビットが1bのとき、I2Cモジュールはイネーブルされます。

注

I2Cモジュールをディスエーブルすると、送信FIFOと受信FIFOが両方ともクリアされます。

注

最終I2Cコマンドの後にI2Cモジュールをディスエーブルするには、次の手順に従ってください。

1. I2Cビジー割り込み状態をイネーブルし、REG[3820h]ビット8に1bを書き込みます。
2. REG[385Ch]を読み出してI2Cビジー割り込み状態をクリアします。
3. REG[3810h]に最終コマンドを書き込みます。
4. I2Cビジー割り込みがトリガされるのを待ちます（割り込み端子を使用するか、I2Cビジー割り込み状態（REG[382Ch]ビット8）を確認します）。
5. I2C インタフェースの I2C ビジー状態がアイドル状態になるのを待って、REG[3870h]ビット0=0bを読み出します。
6. I2Cモジュールをディスエーブルし、REG[386Ch]=0000hを書き込みます。
7. REG[385Ch]を読み出して、I2Cビジー割り込み状態をクリアします。

REG[3870h] I2C Status Register (デフォルト=0006h)								読み出し専用
n/a								
15	14	13	12	11	10	9	8	
n/a			受信FIFOフル状態	受信FIFO 非エンプティ状態	送信FIFO エンプティ状態	送信FIFO 非フル状態	I2Cビジー状態	
7	6	5	4	3	2	1	0	

- ビット4 受信FIFOフル状態（読み出し専用）
このビットは、受信FIFOの現在の「フル状態」を示します。受信FIFOが完全にフルのときに、このビットが設定されます。受信FIFOが1つ以上のエンプティロケーションを含むとき、このビットはクリアされます。
このビットが0bのとき、受信FIFOはフルではありません。
このビットが1bのとき、受信FIFOはフルです。
- ビット3 受信FIFO非エンプティ状態（読み出し専用）
このビットは、受信FIFOの現在の「エンプティ状態」を示します。受信FIFO内に1つ以上のエントリがあるときに、このビットが設定されます。受信FIFOが完全にエンプティのとき、このビットがクリアされます。ソフトウェアがこのビットをポーリングして、受信FIFOを完全にエンプティにすることができます。
このビットが0bのとき、受信FIFOはエンプティです。
このビットが1bのとき、受信FIFOはエンプティではありません。
- ビット2 送信FIFOエンプティ状態（読み出し専用）
このビットは、送信FIFOの現在の「エンプティ状態」を示します。送信FIFOが完全にエンプティのときに、このビットが設定されます。送信FIFO内に1つ以上の有効なエントリがあるとき、このビットはクリアされます。このビットフィールドは、割り込みを要求しません。
このビットが0bのとき、送信FIFOはエンプティではありません。
このビットが1bのとき、送信FIFOはエンプティです。
- ビット1 送信FIFO非フル状態（読み出し専用）
このビットは、送信FIFOの現在の「フル状態」を示します。送信FIFO内に1つ以上のエンプティロケーションがあるとき、このビットが設定されます。送信FIFOがフルのときに、このビットはクリアされます。
このビットが0bのとき、送信FIFOはフルです。
このビットが1bのとき、送信FIFOはフルではありません。
- ビット0 I2Cビジー状態（読み出し専用）
このビットは、I2Cインタフェースの現在の「ビジー状態」を示します。
このビットが0bのとき、I2Cインタフェースはアイドル状態です。
このビットが1bのとき、I2Cインタフェースはビジー状態です。

10. レジスタ

REG[3874h] I2C Transmit FIFO Level Register							
(デフォルト=0000h)							読み出し専用
n/a							
15	14	13	12	11	10	9	8
n/a				I2C送信FIFOレベルビット3~0			
7	6	5	4	3	2	1	0

ビット3~0

I2C送信FIFOレベルビット[3:0] (読み出し専用)

これらのビットは、I2C送信FIFO内に現在ある有効データエントリの数を示します。I2C送信FIFOは、I2Cがディスエーブルされ (REG[386Ch]ビット0=0b)、送信中断が行われたとき (REG[3834h]ビット6=1b)、またはスレーブバルク転送モードが中断されたときにクリアされます。FIFOレベルは、データを送信FIFOに入れたときにインクリメントし、データを取り出したときにディクリメントします。

REG[3878h] I2C Receive FIFO Level Register							
(デフォルト=0000h)							読み出し専用
n/a							
15	14	13	12	11	10	9	8
n/a				I2C受信FIFOレベルビット3~0			
7	6	5	4	3	2	1	0

ビット3~0

I2C受信FIFOレベルビット[3:0] (読み出し専用)

これらのビットは、I2C受信FIFO内に現在ある有効データエントリの数を示します。I2C受信FIFOは、I2Cがディスエーブルされたとき (REG[386Ch]ビット0=0b)、または送信中断が行われたとき (REG[3834h]ビット6=1b) にクリアされます。FIFOレベルは、データを受信FIFOに入れたときにインクリメントし、データを取り出したときにディクリメントします。

REG[3880h] I2C Transmit Abort Source Register							
(デフォルト=0000h)							読み出し/書き込み
スレーブのデータ送信要求	スレーブアービトレーション喪失	スレーブフラッシュ送信FIFO	アービトレーション喪失	マスターディスエーブル	n/a		
15	14	13	12	11	10	9	8
開始バイトアクリッジ	n/a	ジェネラルコール読み出し	ジェネラルコール無アクリッジ	送信データ無アクリッジ	n/a		7ビットアドレス無アクリッジ
7	6	5	4	3	2	1	0

注

これらのビットは、I2C送信中断割り込みの原因 (またはソース) を確認するために使用します (REG[382Ch]ビット6またはREG[3834h]ビット6を参照)。このレジスタは、ホストによって読み出されたとき、あるいはI2C割り込みクリアビットに1bが書き込まれたときにクリアされます (REG[3840h]ビット0)。

ビット15

スレーブのデータ送信要求

このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、スレーブがデータ送信を要求し、ユーザが送信FIFOに読み出しコマンドを書き込んだとき (9番目のビットが1b) に発生します。

このビットが0bのときは、このエラーが送信中断の原因ではありません。

このビットが1bのときは、このエラーが送信中断の原因です。

ビット14	<p>スレーブアービトレーション喪失 このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、データをリモートマスターに送っている間にスレーブがバスを失ったときに発生します。また、このエラーが起きたときにアービトレーション喪失ビットが設定されます (REG[3880h]ビット12=1b)。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット13	<p>スレーブフラッシュ送信FIFO このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、スレーブが読み出しコマンドを受け取ったときに送信FIFO内にデータがあり、スレーブが送信FIFO内の古いデータを消去するために送信を中断したときに発生します。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット12	<p>アービトレーション喪失 このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターがアービトレーションを失ったとき、すなわちスレーブアービトレーションビットが設定され (REG[3880h]ビット14=1b)、スレーブトランスミッタがアービトレーションを失った場合に発生します。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット11	<p>マスターディスエーブル このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、ユーザがマスターをディスエーブルしようとしたときに発生します。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット7	<p>開始バイトアクノリッジ このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターが開始バイトを送って開始バイトがアクノリッジされたとき (間違った挙動) に発生します。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット5	<p>ジェネラルコール読み出し このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターがジェネラルコールを送ったが、ユーザがジェネラルコールの次にバイトをバスから読み出すようにプログラムしているときに (9番目のビットが1bに設定された) 発生します。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット4	<p>ジェネラルコール無アクノリッジ このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターがジェネラルコールを送りバス上のスレーブがアクノリッジを返さないときに起きます。 このビットが0bのときは、このエラーが送信中断の原因ではありません。 このビットが1bのときは、このエラーが送信中断の原因です。</p>

10. レジスタ

ビット3	<p>送信データ無アクリッジ</p> <p>このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターがアドレスのアクリッジを受け取ったが、アドレスの次にデータバイトを送ったときにリモートスレーブからアクリッジを受け取らないときに起きます。</p> <p>このビットが0bのときは、このエラーが送信中断の原因ではありません。</p> <p>このビットが1bのときは、このエラーが送信中断の原因です。</p>
ビット0	<p>7ビットアドレス無アクリッジ</p> <p>このビットは、送信中断を引き起こしたエラーのタイプを示します。このエラーは、マスターが7ビットアドレッシングモードに設定され、送信されたアドレスにいずれのスレーブもアクリッジを返さないときに起きます。</p> <p>このビットが0bのときは、このエラーが送信中断の原因ではありません。</p> <p>このビットが1bのときは、このエラーが送信中断の原因です。</p>

REG[3888h]～REG[3890h]は予備

これらのレジスタは予備です。書き込まないでください。

REG[38F4h]～REG[38FEh]は予備

これらのレジスタは予備です。書き込まないでください。

10.4.18 DMA制御レジスタ

REG[3C00h] DMA Channel 0 Source Address Register 0							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル0ソースアドレスビット15~8							
15	14	13	12	11	10	9	8
DMAチャンネル0ソースアドレスビット7~0							
7	6	5	4	3	2	1	0

REG[3C02h] DMA Channel 0 Source Address Register 1							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル0ソースアドレスビット31~24							
15	14	13	12	11	10	9	8
DMAチャンネル0ソースアドレスビット23~16							
7	6	5	4	3	2	1	0

REG[3C02h]ビット15~0

REG[3C00h]ビット15~0

DMAチャンネル0ソースアドレスビット[31:0]

これらのビットは、チャンネル0でDMA転送を行うための32ビットソースアドレスを指定します。このアドレスは、転送データサイズと一致するメモリ境界上になければなりません（REG[3C0Ch]ビット4~3を参照）。たとえば、64ビット転送の場合は、REG[3C00h]ビット2~0は000bにしてください。それぞれの転送が成功した後で、このアドレスは、DMAチャンネル0ソースアドレスモードビット（REG[3C0Ch]ビット13~12）の設定に従って自動的に更新されます。

REG[3C04h] DMA Channel 0 Destination Address Register 0							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル0宛先アドレスビット15~8							
15	14	13	12	11	10	9	8
DMAチャンネル0宛先アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[3C06h] DMA Channel 0 Destination Address Register 1							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル0宛先アドレスビット31~24							
15	14	13	12	11	10	9	8
DMAチャンネル0宛先アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[3C06h]ビット15~0

REG[3C04h]ビット15~0

DMAチャンネル0宛先アドレスビット[31:0]

これらのビットは、チャンネル0でDMA転送を行うための32ビット宛先アドレスを指定します。このアドレスは、転送データサイズと一致するメモリ境界上になければなりません（REG[3C0Ch]ビット4~3を参照）。たとえば、64ビット転送の場合は、REG[3C04h]ビット2~0は000bにしてください。それぞれの転送が成功した後で、このアドレスは、DMAチャンネル0宛先アドレスモードビット（REG[3C0Ch]ビット15~14）の設定に従って自動的に更新されます。

10. レジスタ

REG[3C08h] DMA Channel 0 Transfer Count Register 0							
デフォルト=適用しない							書き込み専用
DMAチャンネル0転送カウントビット15~8							
15	14	13	12	11	10	9	8
DMAチャンネル0転送カウントビット7~0							
7	6	5	4	3	2	1	0

REG[3C0Ah] DMA Channel 0 Transfer Count Register 1							
デフォルト=適用しない							書き込み専用
n/a							
15	14	13	12	11	10	9	8
DMAチャンネル0転送カウントビット23~16							
7	6	5	4	3	2	1	0

REG[3C0Ah]ビット7~0

REG[3C08h]ビット15~0

DMAチャンネル0転送カウントビット[23:0]（書き込み専用）

これらのビットは、チャンネル0でDMA転送を行うための24ビット転送カウントを指定します。このカウントは、それぞれのDMA転送が成功した後で自動的にディクリメントされます。0から始まる場合は $2^{24}=16,777,216$ の転送を表します。0までディクリメントされるとDMA転送終了の標識としてDMA割り込み要求がトリガされます。

REG[3C0Ch] DMA Channel 0 Control Register 0							
デフォルト=0000							読み出し／書き込み
DMAチャンネル0宛先アドレスモード ビット1~0		DMAチャンネル0ソースアドレスモード ビット1~0		DMAチャンネル0リソースビット3~0			
15	14	13	12	11	10	9	8
予備	DMAチャンネル0 要求入力モード	予備	DMAチャンネル0転送サイズ ビット1~0		DMAチャンネル0 割り込み要求 イネーブル	DMAチャンネル0 転送終了	DMAチャンネル0 DMAイネーブル
7	6	5	4	3	2	1	0

ビット15~14

DMAチャンネル0宛先アドレスモードビット[1:0]

これらのビットは、DMA転送が成功した後でDMA Channel 0 Destination Addressレジスタ（REG[3C04h]~REG[3C06h]）を更新するための方法を選択します。

表10-108 DMAチャンネル0宛先アドレスモード選択

REG[3C0Ch]ビット15~14	DMAチャンネル0宛先アドレスモード
00b	固定（更新しない）
01b	転送データサイズにより増分（REG[3C0Ch]ビット4~3を参照） （8ビット：+1、16ビット：+2、32ビット：+4、64ビット：+8）
10b	転送データサイズにより減分（REG[3C0Ch]ビット4~3を参照） （8ビット：-1、16ビット：-2、32ビット：-4、64ビット：-8）
11b	予備

ビット13～12 DMAチャンネル0ソースアドレスモードビット[1:0]
これらのビットは、DMA転送が成功した後でDMA Channel 0 Source Addressレジスタ（REG[3C00h]～REG[3C02h]）を更新するための方法を選択します。

表10-109 DMAチャンネル0ソースアドレスモード選択

REG[3C0Ch]ビット13～12	DMAチャンネル0ソースアドレスモード
00b	固定（更新しない）
01b	転送データサイズにより増分（REG[3C0Ch]ビット4～3を参照） （8ビット：+1、16ビット：+2、32ビット：+4、64ビット：+8）
10b	転送データサイズにより減分（REG[3C0Ch]ビット4～3を参照） （8ビット：-1、16ビット：-2、32ビット：-4、64ビット：-8）
11b	予備

ビット11～8 DMAチャンネル0リソースビット[3:0]
これらのビットは、DMAチャンネル0に割り当てるIOデバイス（またはリソース）を指定します。

表10-110 DMAチャンネル0リソースマップ

REG[3C0Ch]ビット11～8	DMAチャンネル0リソース
0000b	YUVデータキャプチャ要求
0001b	メモリ-YRC（YUV-RGBコンバータ）要求
0010b	予備
0011b	予備
0100b～1110b	予備
1111b	ソフトウェア要求（SW要求）

ビット7 予備
このビットのデフォルト値は0bです。

ビット6 DMAチャンネル0要求入力モード
このビットは、REG[3C0Ch]ビット11～8によって指定されたリソースからのDMAチャンネル0 DMA要求信号の入力モードを指定します。
このビットが0bのとき、入力モードはアクティブLowです（レベルトリガ）。
このビットが1bのとき、入力モードは立ち下がりエッジです（エッジトリガ）。

ビット5 予備
このビットは0bに設定してください。

ビット4～3 DMAチャンネル0転送サイズビット[1:0]
これらのビットは、DMAチャンネル0の転送サイズを選択します。

表10-111 DMAチャンネル0転送サイズ選択

REG[3C0Ch]ビット4～3	DMAチャンネル0転送サイズ
00b	8ビット
01b	16ビット
10b	32ビット
11b	64ビット

10. レジスタ

- ビット2** **DMAチャンネル0割り込み要求イネーブル**
 このビットは、DMAチャンネル0上の転送が完了した後に割り込み要求を生成するかどうかを制御します。イネーブルした場合は、DMAチャンネル0転送カウント（REG[3C08h]～REG[3C0Ah]を参照）が0になったときに割り込みが行われます。
 このビットが0bのとき、割り込み要求はディスエーブルされます。
 このビットが1bのとき、割り込み要求はイネーブルされます。
- ビット1** **DMAチャンネル0転送終了**
 このビットは、DMAチャンネル0転送カウント（REG[3C08h]～REG[3C0Ah]を参照）が0までディクリメントしたときに起こるDMAチャンネル0上のすべての転送がいつ完了したかを示します。DMAチャンネル0上のDMA転送は、このビットがソフトウェアによってクリアされるまでディスエーブルされます。このビットは、DMAチャンネル0割り込み要求ソースフラグとしても使用することができます。
 このビットが0bのときは、DMAチャンネル0上で転送が処理中か、またはチャンネルがアイドル状態です。
 このビットが1bのときは、DMAチャンネル0上の転送が完了しました。

 このビットをクリアするには、このビットに0bを書き込んでください。
- ビット0** **DMAチャンネル0イネーブル**
 このビットは、DMAチャンネル0上の転送を制御します。
 読み出し：
 このビットが0bのとき、転送がディスエーブルされます。
 このビットが1bのとき、転送がトリガされました。
 書き込み：
 このビットへの0bの書き込みは無効です。
 REG[3C0Ch]ビット1=0bのときにこのビットに1bを書き込むと、DMA転送がトリガされます。

REG[3C0Eh] DMA Channel 0 Control Register 1							
デフォルト=0000				読み出し／書き込み			
n/a							
15	14	13	12	11	10	9	8
予備				DMAチャンネル0 アイドル遅延 イネーブル	予備	DMAチャンネル0 アクノリッジモード	DMAチャンネル0 アクノリッジレベル
7	6	5	4	3	2	1	0

- ビット7～4** 予備
 これらのビットのデフォルト値は0000bです。
- ビット3** **DMAチャンネル0アイドル遅延イネーブル**
 このビットは、装置から次の要求を受け入れる際の遅延をイネーブルするDMAチャンネル0アイドル遅延を制御します。これは、一部のターゲット装置に必要な場合があります。たとえば、メモリからIOデバイスに書き込み転送する場合はこのビットを1bに設定することを推奨します（入出力書き込み転送）。
 このビットが0bのとき、アイドル遅延はディスエーブルされます（通常動作）。
 このビットが1bのとき、アイドル遅延はイネーブルされます。
- ビット2** 予備
 このビットのデフォルト値は0bです。

- ビット1 DMAチャンネル0アクリッジモード
このビットは、DACK信号出力アクティブタイミングを選択します。
このビットが0bのとき、DACK信号は、DMA読み出しサイクルでアクティブです。
このビットが1bのとき、DACK信号は、DMA書き込みサイクルでアクティブです。
- ビット0 DMAチャンネル0アクリッジレベル
このビットは、DACK信号の出力極性を選択します。
このビットが0bのとき、DACK信号の出力極性はアクティブLowです。
このビットが1bのとき、DACK信号出力極性はアクティブHighです。

REG[3C10h] DMA Channel 1 Source Address Register 0							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル1ソースアドレスビット15～8							
15	14	13	12	11	10	9	8
DMAチャンネル1ソースアドレスビット7～0							
7	6	5	4	3	2	1	0

REG[3C12h] DMA Channel 1 Source Address Register 1							
デフォルト=適用しない							
読み出し／書き込み							
DMAチャンネル1ソースアドレスビット31～24							
15	14	13	12	11	10	9	8
DMAチャンネル1ソースアドレスビット23～16							
7	6	5	4	3	2	1	0

REG[3C12h]ビット15～0

REG[3C10h]ビット15～0

DMAチャンネル1ソースアドレスビット[31:0]

これらのビットは、チャンネル1でDMA転送を行うための32ビットソースアドレスを指定します。このアドレスは、転送データサイズと一致するメモリ境界上になければなりません（REG[3C1Ch]ビット4～3を参照）。たとえば、64ビット転送の場合、REG[3C10h]ビット2～0は000bにしてください。それぞれの転送が成功した後で、このアドレスは、DMAチャンネル1ソースアドレスモードビット（REG[3C1Ch]ビット13～12）の設定に従って自動的に更新されます。

10. レジスタ

REG[3C14h] DMA Channel 1 Destination Address Register 0							
デフォルト=適用しない							読み出し/書き込み
DMAチャンネル1宛先アドレスビット15~8							
15	14	13	12	11	10	9	8
DMAチャンネル1宛先アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[3C16h] DMA Channel 1 Destination Address Register 1							
デフォルト=適用しない							読み出し/書き込み
DMAチャンネル1宛先アドレスビット31~24							
15	14	13	12	11	10	9	8
DMAチャンネル1宛先アドレスビット23~16							
7	6	5	4	3	2	1	0

REG[3C16h]ビット15~0

REG[3C14h]ビット15~0

DMAチャンネル1宛先アドレスビット[31:0]

これらのビットは、チャンネル1でDMA転送を行うための32ビット宛先アドレスを指定します。このアドレスは、転送データサイズと一致するメモリ境界上になければなりません（REG[3C1Ch]ビット4~3を参照）。たとえば、64ビット転送の場合、REG[3C14h]ビット2~0は000bにしてください。それぞれの転送が成功した後で、このアドレスは、DMAチャンネル1宛先アドレスモードビット（REG[3C1Ch]ビット15~14）の設定に従って自動的に更新されます。

REG[3C18h] DMA Channel 1 Transfer Count Register 0							
デフォルト=適用しない							書き込み専用
DMAチャンネル1転送カウントビット15~8							
15	14	13	12	11	10	9	8
DMAチャンネル1転送カウントビット7~0							
7	6	5	4	3	2	1	0

REG[3C1Ah] DMA Channel 1 Transfer Count Register 1							
デフォルト=適用しない							書き込み専用
n/a							
15	14	13	12	11	10	9	8
DMAチャンネル1転送カウントビット23~16							
7	6	5	4	3	2	1	0

REG[3C1Ah]ビット7~0

REG[3C18h]ビット15~0

DMAチャンネル1転送カウントビット[23:0]（書き込み専用）

これらのビットは、チャンネル1でDMA転送を行うための24ビット転送カウントを指定します。このカウントは、それぞれのDMA転送が成功した後で自動的にディクリメントされます。0から始まる場合は $2^{24}=16,777,216$ の転送を表します。0までディクリメントするとDMA転送終了の指標としてDMA割り込み要求をトリガします。

REG[3C1Ch] DMA Channel 1 Control Register 0							
デフォルト=0000							読み出し／書き込み
DMAチャンネル1宛先アドレスモード ビット1~0		DMAチャンネル1ソースアドレスモードビット 1~0		DMAチャンネル1リソースビット3~0			
15	14	13	12	11	10	9	8
予備	DMAチャンネル1 要求入力モード	予備	DMAチャンネル1転送サイズビット1~0	予備	DMAチャンネル1 割り込み要求 イネーブル	DMAチャンネル1 転送終了	DMAチャンネル1 DMAイネーブル
7	6	5	4	3	2	1	0

ビット15~14

DMAチャンネル1宛先アドレスモードビット[1:0]

これらのビットは、DMA転送が成功した後でDMA Channel 1 Destination Addressレジスタ (REG[3C14h]~REG[3C16h]) の更新するための方法を選択します。

表10-112 DMAチャンネル1宛先アドレスモード選択

REG[3C1Ch]ビット15~14	DMAチャンネル1宛先アドレスモード
00b	固定 (更新しない)
01b	転送データサイズにより増分 (REG[3C1Ch]ビット4~3を参照) (8ビット: +1, 16ビット: +2, 32ビット: +4, 64ビット: +8)
10b	転送データサイズにより減分 (REG[3C1Ch]ビット4~3を参照) (8ビット: -1, 16ビット: -2, 32ビット: -4, 64ビット: -8)
11b	予備

ビット13~12

DMAチャンネル1ソースアドレスモードビット[1:0]

これらのビットは、DMA転送が成功した後でDMA Channel 1 Source Addressレジスタ (REG[3C10h]~REG[3C12h]) を更新するための方法を選択します。

表10-113 DMAチャンネル1ソースアドレスモード選択

REG[3C1Ch]ビット13~12	DMAチャンネル1ソースアドレスモード
00b	固定 (更新しない)
01b	転送データサイズにより増分 (REG[3C1Ch]ビット4~3を参照) (8ビット: +1, 16ビット: +2, 32ビット: +4, 64ビット: +8)
10b	転送データサイズにより減分 (REG[3C1Ch]ビット4~3を参照) (8ビット: -1, 16ビット: -2, 32ビット: -4, 64ビット: -8)
11b	予備

ビット11~8

DMAチャンネル1リソースビット[3:0]

これらのビットは、DMAチャンネル1に割り当てるIOデバイス (またはリソース) を指定します。

表10-114 DMAチャンネル1リソースマップ

REG[3C1Ch]ビット11~8	DMAチャンネル1リソース
0000b	YUVデータキャプチャ要求
0001b	メモリ-YRC (YUV-RGBコンバータ) 要求
0010b	予備
0011b	予備
0100b~1110b	予備
1111b	ソフトウェア要求 (SW要求)

10. レジスタ

- ビット7 予備
このビットのデフォルト値は0bです。
- ビット6 DMAチャンネル1要求入力モード
このビットは、REG[3C1Ch]ビット11～8によって指定されたリソースからのDMAチャンネル1 DMA要求信号の入力モードを指定します。
このビットが0bのとき、入力モードはアクティブLowです（レベルトリガ）。
このビットが1bのとき、入力モードは立ち下がりエッジです（エッジトリガ）。
- ビット5 予備
このビットは0bに設定してください。
- ビット4～3 DMAチャンネル1転送サイズビット[1:0]
これらのビットは、DMAチャンネル1の転送サイズを選択します。

表10-115 DMAチャンネル1転送サイズ選択

REG[3C1Ch]ビット4～3	DMAチャンネル1転送サイズ
00b	8ビット
01b	16ビット
10b	32ビット
11b	64ビット

- ビット2 DMAチャンネル1割り込み要求イネーブル
このビットは、DMAチャンネル1で転送が完了した後に割り込み要求を生成するかどうか制御します。イネーブルした場合は、DMAチャンネル1転送カウント (REG[3C18h]～REG[3C1Ah]を参照) が0になったときに割り込みが行われます。
このビットが0bのとき、割り込み要求はディスエーブルされます。
このビットが1bのとき、割り込み要求はイネーブルされます。
- ビット1 DMAチャンネル1転送終了
このビットは、DMAチャンネル1転送カウント (REG[3C18h]～REG[3C1Ah]を参照) が0までディクリメントしたときに起こるDMAチャンネル1上のすべての転送がいつ完了したかを示します。DMAチャンネル1上のDMA転送は、このビットがソフトウェアによってクリアされるまでディスエーブルされます。このビットは、DMAチャンネル1割り込み要求ソースフラグとしても使用することができます。
このビットが0bのときは、DMAチャンネル1上で転送が処理中か、またはチャンネルがアイドル状態です。
このビットが1bのときは、DMAチャンネル1上の転送が完了しました。

このビットをクリアするには、このビットに0bを書き込んでください。
- ビット0 DMAチャンネル1イネーブル
このビットは、DMAチャンネル1上の転送を制御します。
読み出し：
このビットが0bのとき、転送はディスエーブルされます。
このビットが1bのとき、転送はトリガされました。
書き込み：
このビットへの0bの書き込みは無効です。
REG[3C1Ch]ビット1=0bのときにこのビットに1bを書き込むとDMA転送がトリガされます。

REG[3C1Eh] DMA Channel 1 Control Register 1							
デフォルト=0000							読み出し／書き込み
n/a							
15	14	13	12	11	10	9	8
予備				DMAチャンネル1 アイドル遅延 イネーブル	予備	DMAチャンネル1 アクノリッジモード	DMAチャンネル1 アクノリッジレベル
7	6	5	4	3	2	1	0

- ビット7～4 予備
これらのビットのデフォルト値は0000bです。
- ビット3 **DMAチャンネル1アイドル遅延イネーブル**
このビットは、デバイスから次の要求を受け入れる際の遅延をイネーブルするDMAチャンネル1アイドル遅延を制御します。これは、一部のターゲット装置に必要な場合があります。たとえば、メモリからIOデバイスに書き込み転送する場合はこのビットを1bに設定することを推奨します（入出力書き込み転送）。このビットが0bのとき、アイドル遅延はディスエーブルされます（通常動作）。このビットが1bのとき、アイドル遅延はイネーブルされます。
- ビット2 予備
このビットのデフォルト値は0bです。
- ビット1 **DMAチャンネル1アクノリッジモード**
このビットは、DACK信号出力アクティブタイミングを選択します。このビットが0bのとき、DACK信号は、DMA読み出しサイクルでアクティブです。このビットが1bのとき、DACK信号は、DMA書き込みサイクルでアクティブです。
- ビット0 **DMAチャンネル1アクノリッジレベル**
このビットは、DACK信号の出力極性を選択します。このビットが0bのとき、DACK信号の出力極性はアクティブLowです。このビットが1bのとき、DACK信号の出力極性はアクティブHighです。

REG[3C60h] DMA Channel Operating Select Register								
デフォルト=0000							読み出し／書き込み	
n/a								
15	14	13	12	11	10	DMA優先順位 切り替えイネーブル	DMA優先順位 モード	
n/a							9	8
7	6	5	4	3	2	1	DMAグローバル イネーブル	
								0

- ビット9 **DMA優先順位切り替えイネーブル**
このビットは、DMA優先順位モードビットを切り替えるかどうかを指定します。このビットが0bのとき、優先順位切り替えはディスエーブルされます。このビットが1bのとき、優先順位切り替えはイネーブルされます。
- ビット8 **DMA優先順位モード**
このビットは、優先順位の高いDMAチャンネルを選択します。このビットが0bのとき、DMAチャンネル0の優先順位が高くなります。このビットが1bのとき、DMAチャンネル1の優先順位が高くなります。

10. レジスタ

ビット0 DMAグローバルイネーブル
 このビットは、両方のDMAチャンネル全体を制御します。
 このビットが0bのときは、DMAチャンネル0とDMAチャンネル1を両方ともディスエーブルされます。
 このビットが1bのときは、DMAチャンネル0とDMAチャンネル1を両方ともイネーブルされます。

注

このビットは、DMA転送をトリガする前にイネーブルしてください (REG[3C60h]ビット0=1b)。

REG[3C64h] DMA Channel Miscellaneous Register							
デフォルト=0000							読み出し／書き込み
DMAのソフトウェアリセット	n/a						
15	14	13	12	11	10	9	8
n/a						DMAチャンネル1極性	DMAチャンネル0極性
7	6	5	4	3	2	1	0

ビット15 DMACソフトウェアリセット
 このビットは、DMAコントローラのソフトウェアリセットを実行し、DMA制御レジスタ (REG[3C00h]~REG[3C70h]) をすべてデフォルト値にリセットします。
 このビットに0bを書き込んでもハードウェアに影響を及ぼしません。
 このビットに1bを書き込むと、DMAコントローラのソフトウェアリセットが行われます。

ビット1 DMAチャンネル1極性
 このビットは、DMAチャンネル1の極性を選択します。
 このビットが0bのとき、DMAチャンネル1の極性は正論理です。
 このビットが1bのとき、DMAチャンネル1の極性は負論理です。

ビット0 DMAチャンネル0極性
 このビットは、DMAチャンネル0の極性を選択します。
 このビットが0bのとき、DMAチャンネル0の極性は正論理です。
 このビットが1bのとき、DMAチャンネル0の極性は負論理です。

REG[3C70h] DMA Channel Transfer Complete Control Register							
デフォルト=0000							読み出し／書き込み
n/a		転送完了受け入れ時TEイネーブル設定	転送完了受け入れイネーブル	n/a			
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0

ビット13 転送完了受け入れ時TEイネーブル設定 (STTE)
 このビットが0bのときは、ディスエーブルです。
 このビットが1bのときは、イネーブルです。
 このビットに1bを書き込むと、割り込み要求ソースからの転送完了信号を受け入れ、転送終了 (TE) ビットを1bに設定します。
 このビットは、ビット12 (ENTE) を1bに設定したときだけ有効です。

ビット12

転送完了受け入れイネーブル (ENTE)

このビットが**0b**のときは、ディスエーブルです。

このビットが**1b**のときは、イネーブルです。

このビットに**1b**を書き込むと、割り込み要求ソースから転送完了信号を受け入れても、転送終了 (TE) ビットは**1b**に設定されません。

注

ENTEを**1b**に設定するには、ビット13 (STTE) に**1b**を書き込む必要があります。

10. レジスタ

10.4.19 コマンドFIFO (BitBLTおよびスプライト用) レジスタ

コマンドFIFOには専用のレジスタ空間がありません。コマンドFIFOにコマンドを入力するときは、REG[4000h]から始まるレジスタ空間を使用します。データをこの空間のレジスタに書き込むと、そのデータはコマンドFIFOに転送されてスプライトエンジンかBitBLTエンジンによって処理されるのを待ちます。

コマンドFIFOレジスタ空間 (REG[4000h]~REG[4FFFh]) 内のレジスタを読み出すと、現在のコマンドFIFO内にあるエントリの数が返されます。コマンドFIFOがemptyのとき、読み出しは40h (64) を返します。コマンドFIFOを使用しているときは、(64-使用されているエントリの数) を返します。

コマンドFIFO空間は、スプライトレジスタ (REG[1000h]~REG[17FFh]) とBitBLTレジスタ (REG[1800h]~REG[1FFFh]) と同じオフセットアドレスを使用してマッピングされます。たとえば、REG[4700h]に値を書き込むと、Sprite Controlレジスタ (REG[1700h]) を所定値でプログラムするコマンドがコマンドFIFOにロードされます。コマンドFIFOレジスタ空間は、次のようにマッピングされます。

表10-116 コマンドFIFOマッピング

コマンドFIFOアドレス範囲	空間の用途	対応するスプライト/BitBLTレジスタ
REG[4000h]~REG[47FFh]	コマンドFIFO用のスプライト入出力空間	REG[1000h]~REG[17FFh]
REG[4800h]~REG[4FFFh]	コマンドFIFO用のBitBLT入出力空間	REG[1800h]~REG[1FFFh]

コマンドFIFOの詳細は、423ページの項17.「コマンドFIFO」を参照してください。

注

コマンドFIFOにコマンドを読み書きするときは、その前にコマンドFIFO (REG[0462h]ビット5) のクロックをイネーブルしてください。

10.4.20 キーパッドインタフェースレジスタ

キーパッドインタフェースは、最大5×5マトリックスキーパッドからの入力に対応しています。キーパッドの接続の詳細とプログラミングの例は、477ページの項24.「キーパッドインタフェース」を参照してください。

キーパッド機能端子はすべてGPIO機能端子と多重化されています。キーパッドインタフェースを使用する前に、GPIOレジスタ (REG[0C00h]~REG[0C1Eh]) に代替機能を設定し、キーパッドインタフェース端子としてプログラムしなおしてください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

注

QFPパッケージではキーパッドインタフェースを使用することができません。

REG[5000h] Key Control Register							
デフォルト=0000h							読み出し／書き込み
キーパッド グローバル割り込み イネーブル	n/a						
15	14	13	12	11	10	9	8
n/a						キーパッド ドライブ出力極性 選択	キーパッド インタフェース イネーブル
7	6	5	4	3	2	1	0

- ビット15 キーパッドグローバル割り込みイネーブル
このビットは、キーパッドインタフェースのグローバル割り込みを制御します。このビットが0bのとき、グローバル割り込みはディスエーブルされます。(デフォルト)
このビットが1bのとき、グローバル割り込みはイネーブルされます。
- ビット1 キーパッドドライブ出力極性選択
このビットは、キーパッドインタフェースのドライブ出力の極性を選択します。このビットが0bのとき、ドライブ出力は標準です (Lowドライブ)。(デフォルト)
このビットが1bのとき、ドライブ出力は反転されます (Highドライブ)。
- ビット0 キーパッドインタフェースイネーブル
このビットは、キーパッドインタフェースを制御し、キーをサンプリングするかどうかを指定します。このビットが0bのとき、キーパッドインタフェースはディスエーブルされます。(デフォルト)
このビットが1bのとき、キーパッドインタフェースはイネーブルされ、キーがサンプリングされます。

注

キーパッドインタフェースがイネーブルされるとすぐにキースキャン出力が始まります。

10. レジスタ

REG[5002h] Key Interface Interrupt Status Register							
デフォルト=0000h							読み出し専用
キーパッド グローバル割り込み 未処理状態	n/a						
15	14	13	12	11	10	9	8
n/a			キースキャン入力 データ4未処理 割り込み状態	キースキャン入力 データ3未処理 割り込み状態	キースキャン入力 データ2未処理 割り込み状態	キースキャン入力 データ1未処理 割り込み状態	キースキャン入力 データ0未処理 割り込み状態
7	6	5	4	3	2	1	0

- ビット15 キーパッドグローバル割り込み未処理状態（読み出し専用）
このビットは、キーパッドインタフェースのグローバル割り込みの未処理状態を示します。
このビットが0bのときは、グローバル割り込みが発行されていません。
このビットが1bのときは、グローバル割り込みが発行されています。
- ビット4 キースキャン入力データ4未処理割り込み状態
このビットが0bのときは、割り込みが発行されていません（IRQなし）。
このビットが1bのときは、割り込みが発行されています（IRQソースビット）。
- ビット3 キースキャン入力データ3未処理割り込み状態
このビットが0bのときは、割り込みが発行されていません（IRQなし）。
このビットが1bのときは、割り込みが発行されています（IRQソースビット）。
- ビット2 キースキャン入力データ2未処理割り込み状態
このビットが0bのときは、割り込みが発行されていません（IRQなし）。
このビットが1bのときは、割り込みが発行されています（IRQソースビット）。
- ビット1 キースキャン入力データ1未処理割り込み状態
このビットが0bのときは、割り込みが発行されていません（IRQなし）。
このビットが1bのときは、割り込みが発行されています（IRQソースビット）。
- ビット0 キースキャン入力データ0未処理割り込み状態
このビットが0bのときは、割り込みが発行されていません（IRQなし）。
このビットが1bのときは、割り込みが発行されています（IRQソースビット）。

注

- これらのビットは、割り込みが行われたことを示し（ビット=1b）、キースキャンアウト開始ビット（REG[500Eh]ビット0）に1bを書き込んだ後でクリアされます。
- 5×5マトリックスのうちの1つのキーが押されたことを検出すると、スキャン出力は駆動を停止します。スキャン出力を再イネーブルするには、キースキャンアウト開始ビット（REG[500Eh]ビット0）に1bを書き込んでください。

REG[5004h] Key Scan Data Register							
デフォルト=1E00h							読み出し専用
15	14	13	12	11	10	9	8
n/a		キースキャンデータ出力ビット4~0					
7	6	5	4	3	2	1	0
n/a		キースキャンデータ入力ビット4~0					

ビット12~8 キースキャンデータ出力ビット[4:0]（読み出し専用）
 REG[5002h]レジスタ内の対応するビットが1bのとき、これらのビットを読み出すことによってキースキャンデータを使用できるようになります。
 割り込み状態ビットをクリアするには、REG[500Eh]ビット0を1bに設定することによってスキャンアウトを再開してください。

ビット4~0 キースキャンデータ入力ビット[4:0]
 REG[5002h]レジスタ内の対応するビットが1bのとき、これらのビットを読み出すことによってキースキャンデータを使用できるようになります。
 割り込み状態ビットをクリアするには、REG[500Eh]ビット0を1bに設定してスキャンアウトを再開してください。

REG[5006h] Key Scan Input Filter Clock Register							
デフォルト=0000h							読み出し/書き込み
15	14	13	12	11	10	9	8
キースキャンフィルタクロック周波数ビット15~8							
7	6	5	4	3	2	1	0
キースキャンフィルタクロック周波数ビット7~0							

ビット15~0 キースキャンフィルタクロック周波数ビット[15:0]
 これらのビットは、キースキャン入力フィルタをイネーブルしたとき（REG[5008h]ビット15=1b）の各キーパッド入力端子のキースキャンフィルタクロック周波数を指定します。キースキャン入力フィルタをイネーブルしたとき、キースキャンフィルタクロック周波数は、キースキャン出力駆動周波数の少なくとも3倍にしてください。（すなわち、REG[500Ah]+1 > (REG[5006h]+1) × 3）。

キースキャン入力フィルタをイネーブルしたとき、キースキャン入力データは、同じ値を続けて3回サンプリングするとキースキャン入力はその値に変わります。
 キースキャンフィルタクロック周波数

$$= \text{SYSCLK} \div (\text{REG}[042\text{Ch}] \text{ビット} 11 \sim 0 + 1) \div (\text{REG}[5006\text{h}] \text{ビット} 15 \sim 0 + 1)$$

REG[5008h] Key GPI Control Register							
デフォルト=0000h							読み出し/書き込み
キースキャン入力 フィルタイネーブル	14	13	12	11	10	9	8
15	n/a						
7	6	5	4	3	2	1	0
n/a		キースキャン入力極性選択ビット4~0					

ビット15 キースキャン入力フィルタイネーブル
 このビットは、キースキャン入力フィルタを制御します。
 このビットが0bのとき、入力フィルタはディスエーブルされます。
 このビットが1bのとき、入力フィルタはイネーブルされます。

10. レジスタ

ビット4～0

キースキャン入力極性選択ビット[4:0]
 このビットが0bのとき、入力極性は標準です。
 このビットが1bのとき、入力極性は反転されます(あるレベルの反転器により)。

注

キーパッド駆動極性がHigh (REG[5000h]ビット1=1b) の場合は、これらのビットを1Fhに設定してください。

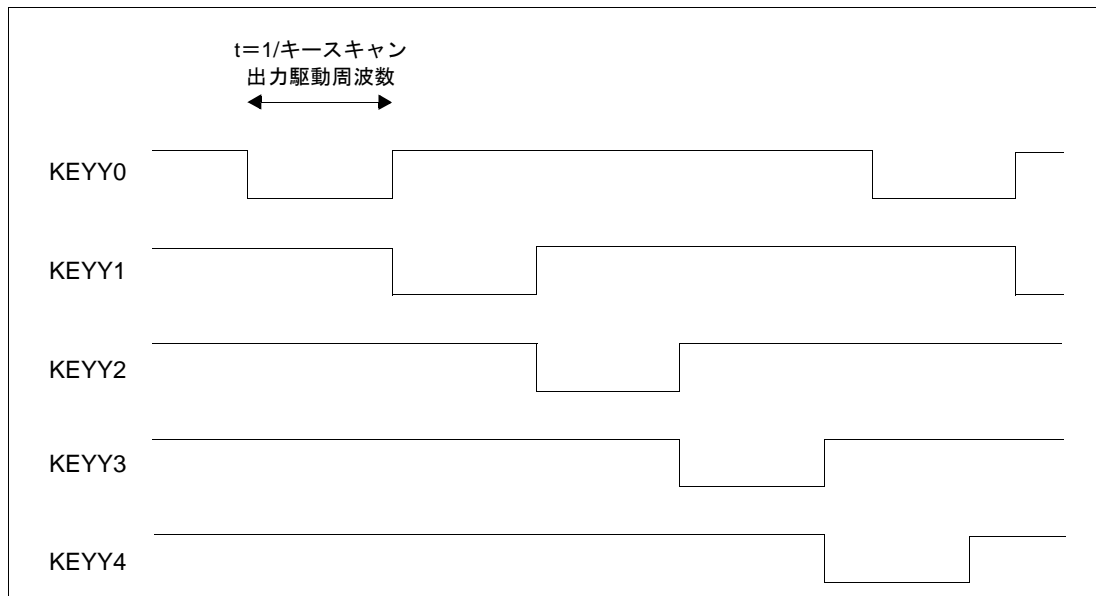
REG[500Ah] Key Scan Output Control Register								読み出し／書き込み
デフォルト=0000h								
キースキャン出力駆動周波数ビット15～8								
15	14	13	12	11	10	9	8	
キースキャン出力駆動周波数ビット7～0								
7	6	5	4	3	2	1	0	

ビット15～0

キースキャン出力駆動周波数ビット[15:0]
 これらのビットは、各キーパッド出力端子のキースキャン出力駆動周波数を指定します。キースキャン入力フィルタをイネーブ爾したときは、キースキャンフィルタクロック周波数を、キースキャン出力駆動周波数の少なくとも3倍にしてください。(すなわち、 $REG[500Ah]+1 > (REG[5006h]+1) \times 3$)

キースキャン出力駆動周波数

$$= \text{SYSCLK} \div (\text{REG}[042Ch] \text{ビット} 11 \sim 0 + 1) \div (\text{REG}[500Ah] \text{ビット} 15 \sim 0 + 1)$$



REG[500Ch] Key Scan GPI Filtered Register							
デフォルト=XX1Fh							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a		未処理GPI入力ビット4~0					
7	6	5	4	3	2	1	0
n/a		フィルタリングされたGPI入力ビット4~0					

ビット12~8 未処理GPI入力ビット[4:0]
これらのビットは、キースキャン入力（GPIOA[4:0]）に使用されるGPI（汎用入力）の未処理状態を示します。

ビット4~0 フィルタリングされたGPI入力ビット[4:0]
これらのビットは、キースキャン入力に使用されるGPI（汎用入力）のフィルタリングされた状態を示します。

REG[500Eh] Key Scan Re-Enable Register							
デフォルト=1E00h							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a		予備					
7	6	5	4	3	2	1	0
n/a							キースキャン アウト再開 (WO)

ビット12~8 予備
これらのビットのデフォルト値は1_1110bです。

ビット0 キースキャンアウト再開（書き込み専用）
このビットは、キーパッドインタフェースのスキャンアウトを再開します。スキャンアウト機能は、入力キーが押されたことをキーパッドインタフェースが検出したときにディスエーブルされます。新しいキーが押されたことを検知するためには、このビットを1bに設定するとスキャンアウト機能が再開されます。このビットに0bを書き込んでもハードウェアに影響を及ぼしません。このビットに1bを書き込むと、スキャンアウトが再開されます。

REG[5010h] Key Scan Active High Drive Register							
デフォルト=0100h							読み出し／書き込み
15	14	13	12	11	10	9	8
n/a		反転スキャンアウト値ビット4~0					
7	6	5	4	3	2	1	0
n/a		キースキャンデータ入力ビット4~0（アクティブHigh）					

ビット12~8 反転スキャンアウト値ビット[4:0]（読み出し専用）
これらのビットは、スキャン出力の反転値を指定します（スキャンアウト端子状態のNOT=アクティブHigh値）。

ビット4~0 キースキャンデータ入力ビット[4:0]
REG[5002h]レジスタ内の対応するビットが1bのときは、これらのビットを読み出すことによってキースキャンデータが使用可能になります。割り込み状態ビットをクリアするには、REG[500Eh]ビット0を1bに設定してスキャンアウトを再開してください。

11. パワーセーブモード

11. パワーセーブモード

11.1 パワーオン／パワーオフシーケンス

S1D13513には、以下のパワーオン／パワーオフシーケンスを推薦します。

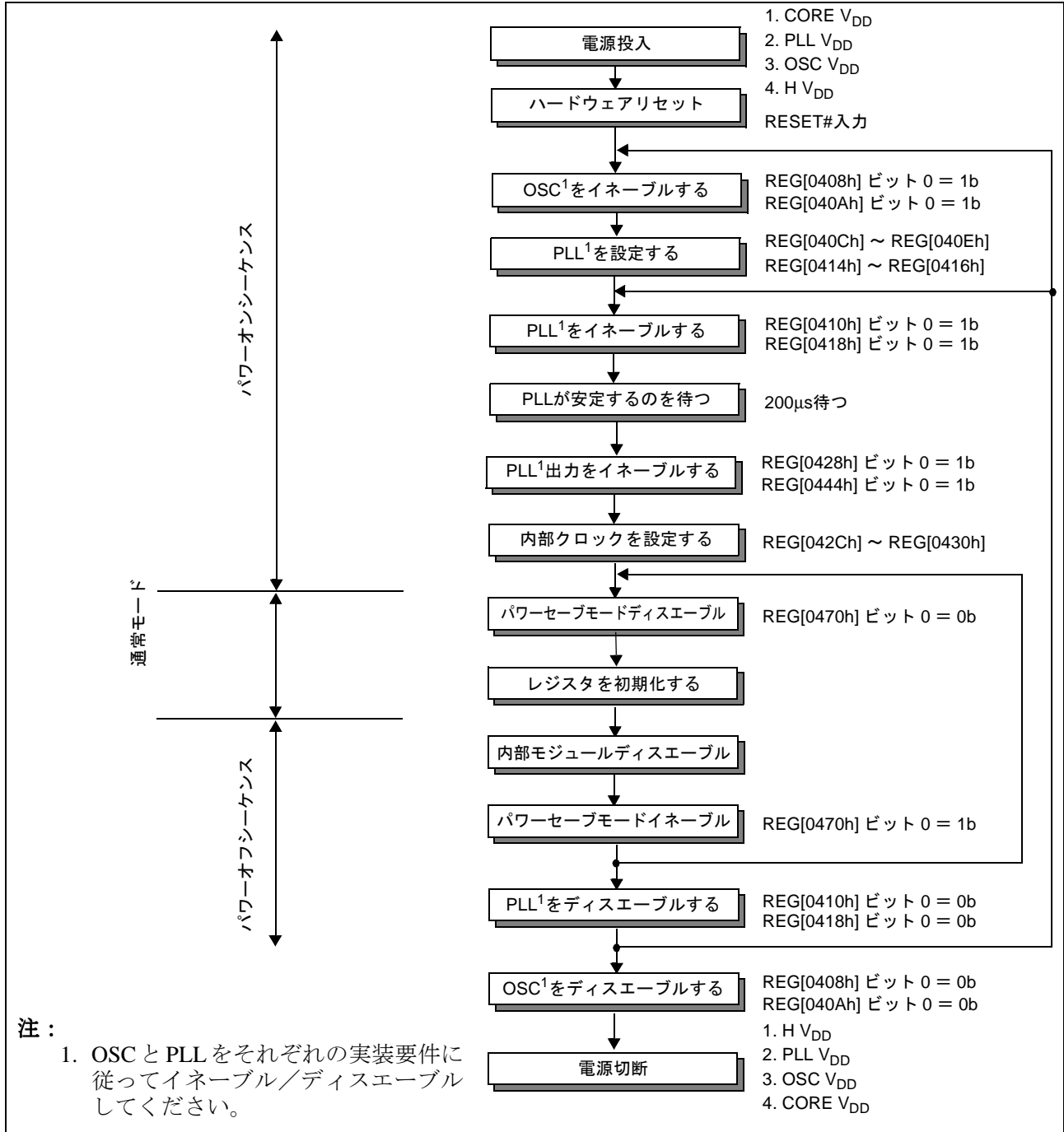


図11-1 パワーオン／パワーオフシーケンス

11.2 動作モード

S1D13513は以下のモードで動作します。

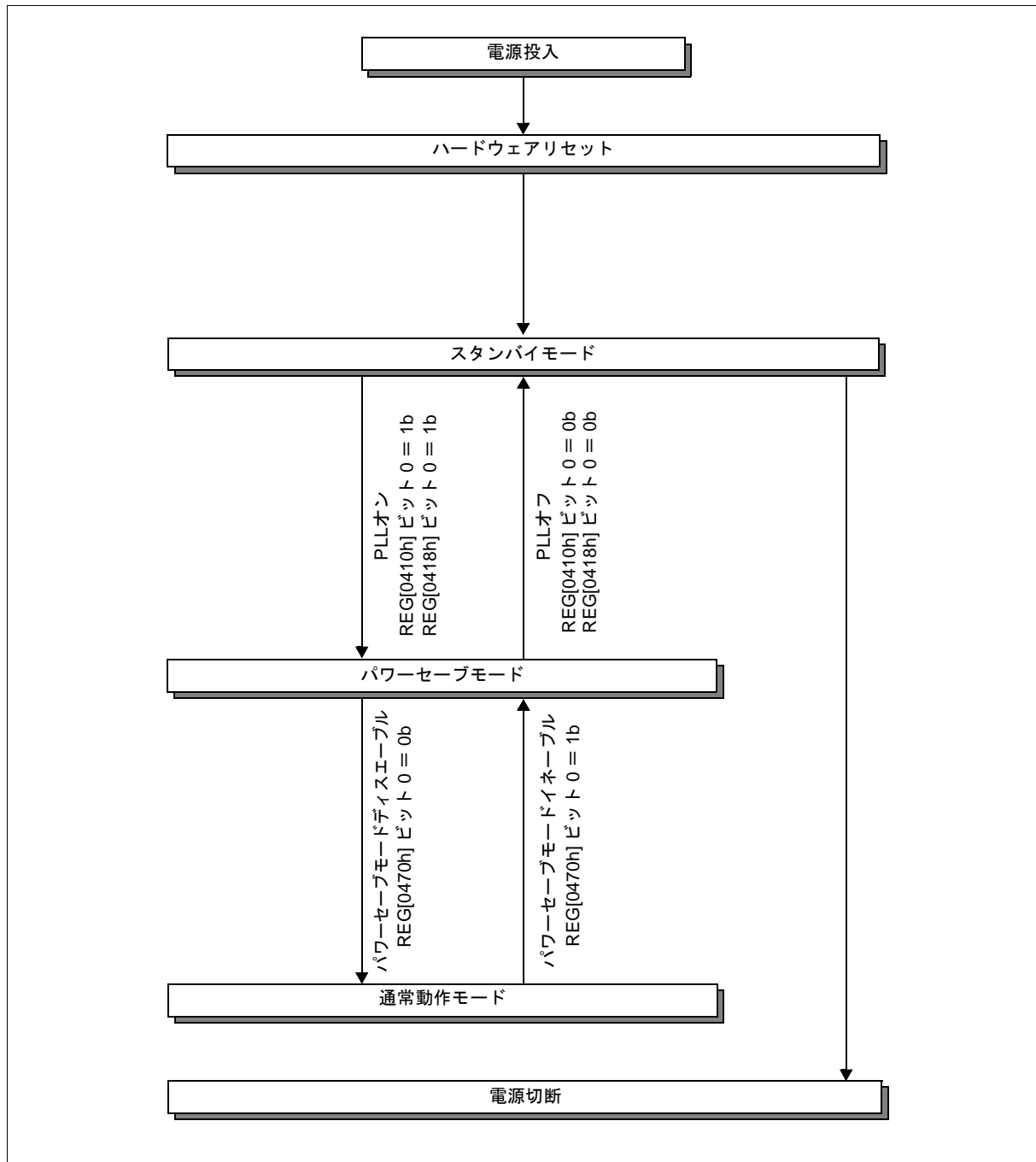


図11-2 動作モード

11.2.1 電源投入

S1D13513の電源を投入するときは、以下の手順に従ってください。

1. CORE V_{DD} をオン、OSC V_{DD} とPLL V_{DD} をオン。

11. パワーセーブモード

2. $H V_{DD}$ (HVDD1~HVDD5) をオン。

注

$H V_{DD}$ は、 $CORE V_{DD}$ がイネーブルされ、かつ $H V_{DD}$ がイネーブルされていないときに0.8Vです。

11.2.2 リセット

電源投入後、外部クロックサイクル（「パワーオン」の項と「RESET#タイミング」の項を参照）2つ分の長さのアクティブLowハードウェアリセットパルスを送るS1D13513 RESET#端子に入力してください。すべてのレジスタはハードウェアリセットによってリセットされます。RESET#信号を解放した後すぐにClock Settingレジスタが使用できるようになります。

REG[0460h]に値A55Ahを書き込むとソフトウェアリセットがイネーブルされます。同期レジスタはすべてそのデフォルト値にリセットされます（121ページの項10.1「レジスタマッピング」を参照）。

11.2.3 スタンバイモード

スタンバイモードでは、すべての内部クロックの供給が停止されPLLがディスエーブルされるため、電力消費は最小になります。電源をオフにしたりPLLレジスタを設定したりする前にはこのモードにしてください。

スタンバイモードでは、非同期レジスタ（121ページの項10.1「レジスタマッピング」を参照）にアクセスすることができます。

11.2.4 パワーセーブモード

パワーセーブモードでは、すべての内部クロックの供給が停止されます。内部クロック（REG[042Ch]~REG[0430h]）を設定するときはその前にこのモードにしてください。また、PLL出力をイネーブルした後で安定するまでに最大200 μ sの遅延があることがあります。この間S1D13513はパワーセーブモードにしてください。

パワーセーブモードでは、非同期レジスタ（121ページの項10.1「レジスタマッピング」を参照）にアクセスすることができます。

注

パワーセーブモードをイネーブルしたときは、同期レジスタとSDRAMメモリにアクセスしないでください。

11.2.5 通常モード

通常モードではすべての機能が利用可能です。ただし、使用中でないモジュールへのクロックは動的に停止されます。通常モードからパワーセーブモードをイネーブルする（REG[0470h]ビット0=1b）前に、メモリコントローラがアイドル状態（REG[1C02h]ビット7=1b）であることを確認してください。

11.2.6 パワーオフ

S1D13513の電源を切るには、以下の手順に従ってください。

1. $H V_{DD}$ (HVDD1~HVDD5) をオフ。
2. $OSC V_{DD}$ および $PLL V_{DD}$ をオフ、 $CORE V_{DD}$ をオフ。

注

H V_{DD}は、CORE V_{DD}がイネーブルされ、かつH V_{DD}がイネーブルされていないときに0.8Vです。

11. パワーセーブモード

11.3 パワーセーブモードの機能

S1D13513を節電状態にするために、次のステップを実行してください。

1. SDRAMを「自己リフレッシュモード」にします。
 - a. REG[1C06h]ビット14=1bを設定します。
 - b. REG[1C08h]ビット1～0=11bを設定します。
2. パワーセーブモードをイネーブルします。
 - a. REG[0470h]=0001hを設定します。

S1D13513を通常動作モードに戻すときは、次のステップを実行してください。

1. パワーセーブモードをディスエーブルします。
 - a. REG[0470h]=0000hを設定します。
2. SDRAMの「自己リフレッシュモード」を終了します。
 - a. REG[1C06h]ビット14=0bを設定します。
 - b. REG[1C08h]ビット1～0=00bを設定します。
 - c. REG[1C0Ah]=0002hを設定します（自動リフレッシュを実行します）。

12. データフォーマット

12.1 メモリデータフォーマット

S1D13513は、メインウィンドウとPIP1ウィンドウ用に8/16/32bppの色深度をサポートしています。選択された色深度はそれぞれ、メインウィンドウbpp選択ビット（REG[0832h]ビット2～0）とPIP1ウィンドウbpp選択ビット（REG[0832h]ビット6～4）によって制御されます。画像データは、以下の表に示したようにメモリに記憶されます。8bppの場合は、 R_0^2 が、ピクセル0のRデータの最上位ビットを定義します。

表12-1 8bpp (RGB 3:3:2) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	R_1^2	R_1^1	R_1^0	G_1^2	G_1^1	G_1^0	B_1^1	B_1^0	R_0^2	R_0^1	R_0^0	G_0^2	G_0^1	G_0^0	B_0^1	B_0^0
0002h	R_3^2	R_3^1	R_3^0	G_3^2	G_3^1	G_3^0	B_3^1	B_3^0	R_2^2	R_2^1	R_2^0	G_2^2	G_2^1	G_2^0	B_2^1	B_2^0
0004h	R_5^2	R_5^1	R_5^0	G_5^2	G_5^1	G_5^0	B_5^1	B_5^0	R_4^2	R_4^1	R_4^0	G_4^2	G_4^1	G_4^0	B_4^1	B_4^0
0006h	R_7^2	R_7^1	R_7^0	G_7^2	G_7^1	G_7^0	B_7^1	B_7^0	R_6^2	R_6^1	R_6^0	G_6^2	G_6^1	G_6^0	B_6^1	B_6^0

表12-2 16bpp (RGB 5:6:5) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	R_0^4	R_0^3	R_0^2	R_0^1	R_0^0	G_0^5	G_0^4	G_0^3	G_0^2	G_0^1	G_0^0	B_0^4	B_0^3	B_0^2	B_0^1	B_0^0
0002h	R_1^4	R_1^3	R_1^2	R_1^1	R_1^0	G_1^5	G_1^4	G_1^3	G_1^2	G_1^1	G_1^0	B_1^4	B_1^3	B_1^2	B_1^1	B_1^0
0004h	R_2^4	R_2^3	R_2^2	R_2^1	R_2^0	G_2^5	G_2^4	G_2^3	G_2^2	G_2^1	G_2^0	B_2^4	B_2^3	B_2^2	B_2^1	B_2^0
0006h	R_3^4	R_3^3	R_3^2	R_3^1	R_3^0	G_3^5	G_3^4	G_3^3	G_3^2	G_3^1	G_3^0	B_3^4	B_3^3	B_3^2	B_3^1	B_3^0

表12-3 32bpp (RGB 8:8:8) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	G_0^7	G_0^6	G_0^5	G_0^4	G_0^3	G_0^2	G_0^1	G_0^0	B_0^7	B_0^6	B_0^5	B_0^4	B_0^3	B_0^2	B_0^1	B_0^0
0002h	—	—	—	—	—	—	—	—	R_0^7	R_0^6	R_0^5	R_0^4	R_0^3	R_0^2	R_0^1	R_0^0
0004h	G_1^7	G_1^6	G_1^5	G_1^4	G_1^3	G_1^2	G_1^1	G_1^0	B_1^7	B_1^6	B_1^5	B_1^4	B_1^3	B_1^2	B_1^1	B_1^0
0006h	—	—	—	—	—	—	—	—	R_1^7	R_1^6	R_1^5	R_1^4	R_1^3	R_1^2	R_1^1	R_1^0

注

カラーパッシブパネル用に設定されたとき（REG[0800h]ビット14=1bおよびREG[0800h]ビット13～11=010b）、32bppで表示される色の最大数は262,144です。ガンマLUTを使用しないときは、 $R[7:2]$ 、 $G[7:2]$ および $B[7:2]$ だけが表示に使用されます。ガンマLUTを使用するときは、LUTインデックスの指定にすべてのデータビットが使用されますが、表示にはガンマLUT出力データビット[7:2]だけが使用されます（LUT出力データビット[1:0]は使用されません）。

12. データフォーマット

8bpp、16bppまたは32bppで表示される階調の最大数は64です。モノクロピクセルデータはD[7:0]ですが、表示にはD[7:2]だけが使用されます（D[1:0]は使用されません）。ガンマLUTを使用する場合は、LUTインデックスの指定にすべてのデータビットが使用されますが、表示にはLUT出力データビット[7:2]だけが使用されます（LUT出力データビット[1:0]は使用されません）。

表12-4 モノクロパッシブパネルの8bpp形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	D ₁ ⁷	D ₁ ⁶	D ₁ ⁵	D ₁ ⁴	D ₁ ³	D ₁ ²	D ₁ ¹	D ₁ ⁰	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	D ₀ ⁴	D ₀ ³	D ₀ ²	D ₀ ¹	D ₀ ⁰
0002h	D ₃ ⁷	D ₃ ⁶	D ₃ ⁵	D ₃ ⁴	D ₃ ³	D ₃ ²	D ₃ ¹	D ₃ ⁰	D ₂ ⁷	D ₂ ⁶	D ₂ ⁵	D ₂ ⁴	D ₂ ³	D ₂ ²	D ₂ ¹	D ₂ ⁰
0004h	D ₅ ⁷	D ₅ ⁶	D ₅ ⁵	D ₅ ⁴	D ₅ ³	D ₅ ²	D ₅ ¹	D ₅ ⁰	D ₄ ⁷	D ₄ ⁶	D ₄ ⁵	D ₄ ⁴	D ₄ ³	D ₄ ²	D ₄ ¹	D ₄ ⁰
0006h	D ₇ ⁷	D ₇ ⁶	D ₇ ⁵	D ₇ ⁴	D ₇ ³	D ₇ ²	D ₇ ¹	D ₇ ⁰	D ₆ ⁷	D ₆ ⁶	D ₆ ⁵	D ₆ ⁴	D ₆ ³	D ₆ ²	D ₆ ¹	D ₆ ⁰

表12-5 モノクロパッシブパネルの16bpp形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	—	—	D ₀ ⁴	D ₀ ³	D ₀ ²	—	—	—	D ₀ ¹	D ₀ ⁰	—	—	—
0002h	D ₁ ⁷	D ₁ ⁶	D ₁ ⁵	—	—	D ₁ ⁴	D ₁ ³	D ₁ ²	—	—	—	D ₁ ¹	D ₁ ⁰	—	—	—
0004h	D ₂ ⁷	D ₂ ⁶	D ₂ ⁵	—	—	D ₂ ⁴	D ₂ ³	D ₂ ²	—	—	—	D ₂ ¹	D ₂ ⁰	—	—	—
0006h	D ₃ ⁷	D ₃ ⁶	D ₃ ⁵	—	—	D ₃ ⁴	D ₃ ³	D ₃ ²	—	—	—	D ₃ ¹	D ₃ ⁰	—	—	—

表12-6 モノクロパッシブパネルの32bpp形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	D ₀ ⁴	D ₀ ³	D ₀ ²	—	—	—	—	—	D ₀ ¹	D ₀ ⁰	—	—	—	—	—	—
0002h	—	—	—	—	—	—	—	—	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	—	—	—	—	—
0004h	D ₁ ⁴	D ₁ ³	D ₁ ²	—	—	—	—	—	D ₁ ¹	D ₁ ⁰	—	—	—	—	—	—
0006h	—	—	—	—	—	—	—	—	D ₁ ⁷	D ₁ ⁶	D ₁ ⁵	—	—	—	—	—

12. データフォーマット

PIP2ウィンドウは、標準の8/16/32bppの色深度の他に、アルファブレンディングに使用されるARGBをサポートしています。PIP2ウィンドウARGB形式選択ビット（REG[0832h]ビット11）は、ARGB形式とRGB形式のどちらを指定するかを決定し、PIP2ウィンドウbpp選択ビット（REG[0832h]ビット10～8）は、実際の形式を選択します。ARGBデータフォーマットの場合、画像データはメモリに以下に示したように記憶されます。

表12-7 16bpp (ARGB 1:5:5:5) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	A ₀ ⁰	R ₀ ⁴	R ₀ ³	R ₀ ²	R ₀ ¹	R ₀ ⁰	G ₀ ⁴	G ₀ ³	G ₀ ²	G ₀ ¹	G ₀ ⁰	B ₀ ⁴	B ₀ ³	B ₀ ²	B ₀ ¹	B ₀ ⁰
0002h	A ₁ ⁰	R ₁ ⁴	R ₁ ³	R ₁ ²	R ₁ ¹	R ₁ ⁰	G ₁ ⁴	G ₁ ³	G ₁ ²	G ₁ ¹	G ₁ ⁰	B ₁ ⁴	B ₁ ³	B ₁ ²	B ₁ ¹	B ₁ ⁰
0004h	A ₂ ⁰	R ₂ ⁴	R ₂ ³	R ₂ ²	R ₂ ¹	R ₂ ⁰	G ₂ ⁴	G ₂ ³	G ₂ ²	G ₂ ¹	G ₂ ⁰	B ₂ ⁴	B ₂ ³	B ₂ ²	B ₂ ¹	B ₂ ⁰
0006h	A ₃ ⁰	R ₃ ⁴	R ₃ ³	R ₃ ²	R ₃ ¹	R ₃ ⁰	G ₃ ⁴	G ₃ ³	G ₃ ²	G ₃ ¹	G ₃ ⁰	B ₃ ⁴	B ₃ ³	B ₃ ²	B ₃ ¹	B ₃ ⁰

表12-8 16bpp (ARGB 4:4:4:4) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	A ₀ ³	A ₀ ²	A ₀ ¹	A ₀ ⁰	R ₀ ³	R ₀ ²	R ₀ ¹	R ₀ ⁰	G ₀ ³	G ₀ ²	G ₀ ¹	G ₀ ⁰	B ₀ ³	B ₀ ²	B ₀ ¹	B ₀ ⁰
0002h	A ₁ ³	A ₁ ²	A ₁ ¹	A ₁ ⁰	R ₁ ³	R ₁ ²	R ₁ ¹	R ₁ ⁰	G ₁ ³	G ₁ ²	G ₁ ¹	G ₁ ⁰	B ₁ ³	B ₁ ²	B ₁ ¹	B ₁ ⁰
0004h	A ₂ ³	A ₂ ²	A ₂ ¹	A ₂ ⁰	R ₂ ³	R ₂ ²	R ₂ ¹	R ₂ ⁰	G ₂ ³	G ₂ ²	G ₂ ¹	G ₂ ⁰	B ₂ ³	B ₂ ²	B ₂ ¹	B ₂ ⁰
0006h	A ₃ ³	A ₃ ²	A ₃ ¹	A ₃ ⁰	R ₃ ³	R ₃ ²	R ₃ ¹	R ₃ ⁰	G ₃ ³	G ₃ ²	G ₃ ¹	G ₃ ⁰	B ₃ ³	B ₃ ²	B ₃ ¹	B ₃ ⁰

表12-9 32bpp (ARGB 8:8:8:8) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	G ₀ ⁷	G ₀ ⁶	G ₀ ⁵	G ₀ ⁴	G ₀ ³	G ₀ ²	G ₀ ¹	G ₀ ⁰	B ₀ ⁷	B ₀ ⁶	B ₀ ⁵	B ₀ ⁴	B ₀ ³	B ₀ ²	B ₀ ¹	B ₀ ⁰
0002h	A ₀ ⁷	A ₀ ⁶	A ₀ ⁵	A ₀ ⁴	A ₀ ³	A ₀ ²	A ₀ ¹	A ₀ ⁰	R ₀ ⁷	R ₀ ⁶	R ₀ ⁵	R ₀ ⁴	R ₀ ³	R ₀ ²	R ₀ ¹	R ₀ ⁰
0004h	G ₁ ⁷	G ₁ ⁶	G ₁ ⁵	G ₁ ⁴	G ₁ ³	G ₁ ²	G ₁ ¹	G ₁ ⁰	B ₁ ⁷	B ₁ ⁶	B ₁ ⁵	B ₁ ⁴	B ₁ ³	B ₁ ²	B ₁ ¹	B ₁ ⁰
0006h	A ₁ ⁷	A ₁ ⁶	A ₁ ⁵	A ₁ ⁴	A ₁ ³	A ₁ ²	A ₁ ¹	A ₁ ⁰	R ₁ ⁷	R ₁ ⁶	R ₁ ⁵	R ₁ ⁴	R ₁ ³	R ₁ ²	R ₁ ¹	R ₁ ⁰

注

カラーパッシュパネル用に設定されたとき（REG[0800h]ビット14=1bおよびREG[0800h]ビット13～11=010b）、32bppで表示される色の最大数は262,144です。ガンマLUTを使用しないときは、表示にR[7:2]、G[7:2]およびB[7:2]だけが使用されます。ガンマLUTを使用する場合は、LUTインデックスの指定にすべてのデータビットが使用されますが、表示にはガンマLUT出力データビット[7:2]だけが使用されます（LUT出力データビット[1:0]は使用されません）。

12. データフォーマット

8bpp、16bppまたは32bppで表示される階調の最大数は64です。モノクロピクセルデータはD[7:0]ですが、表示にはD[7:2]だけが使用されます（D[1:0]は使用されません）。ガンマLUTを使用する場合は、LUTインデックスの指定にすべてのデータビットが使用されますが、表示にはLUT出力データビット[7:2]だけが使用されます（LUT出力データビット[1:0]は使用されません）。

表12-10 16bpp (ARGB 1:5:5:5) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	A ₀ ⁰	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	—	—	D ₀ ⁴	D ₀ ³	D ₀ ²	—	—	D ₀ ¹	D ₀ ⁰	—	—	—
0002h	A ₁ ⁰	D ₁ ⁷	D ₁ ⁶	D ₁ ⁵	—	—	D ₁ ⁴	D ₁ ³	D ₁ ²	—	—	D ₁ ¹	D ₁ ⁰	—	—	—
0004h	A ₂ ⁰	D ₂ ⁷	D ₂ ⁶	D ₂ ⁵	—	—	D ₂ ⁴	D ₂ ³	D ₂ ²	—	—	D ₂ ¹	D ₂ ⁰	—	—	—
0006h	A ₃ ⁰	D ₃ ⁷	D ₃ ⁶	D ₃ ⁵	—	—	D ₃ ⁴	D ₃ ³	D ₃ ²	—	—	D ₃ ¹	D ₃ ⁰	—	—	—

表12-11 16bpp (ARGB 4:4:4:4) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	A ₀ ³	A ₀ ²	A ₀ ¹	A ₀ ⁰	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	—	D ₀ ⁴	D ₀ ³	D ₀ ²	—	D ₀ ¹	D ₀ ⁰	—	—
0002h	A ₁ ³	A ₁ ²	A ₁ ¹	A ₁ ⁰	D ₁ ⁷	D ₁ ⁶	D ₁ ⁵	—	D ₁ ⁴	D ₁ ³	D ₁ ²	—	D ₁ ¹	D ₁ ⁰	—	—
0004h	A ₂ ³	A ₂ ²	A ₂ ¹	A ₂ ⁰	D ₂ ⁷	D ₂ ⁶	D ₂ ⁵	—	D ₂ ⁴	D ₂ ³	D ₂ ²	—	D ₂ ¹	D ₂ ⁰	—	—
0006h	A ₃ ³	A ₃ ²	A ₃ ¹	A ₃ ⁰	D ₃ ⁷	D ₃ ⁶	D ₃ ⁵	—	D ₃ ⁴	D ₃ ³	D ₃ ²	—	D ₃ ¹	D ₃ ⁰	—	—

表12-12 32bpp (ARGB 8:8:8:8) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	D ₀ ⁴	D ₀ ³	D ₀ ²	—	—	—	—	—	D ₀ ¹	D ₀ ⁰	—	—	—	—	—	—
0002h	A ₀ ⁷	A ₀ ⁶	A ₀ ⁵	A ₀ ⁴	A ₀ ³	A ₀ ²	A ₀ ¹	A ₀ ⁰	D ₀ ⁷	D ₀ ⁶	D ₀ ⁵	—	—	—	—	—
0004h	D ₁ ⁴	D ₁ ³	D ₁ ²	—	—	—	—	—	D ₁ ¹	D ₁ ⁰	—	—	—	—	—	—
0006h	A ₁ ⁷	A ₁ ⁶	A ₁ ⁵	A ₁ ⁴	A ₁ ³	A ₁ ²	A ₁ ¹	A ₁ ⁰	D ₁ ⁷	D ₁ ⁶	D ₁ ⁴	—	—	—	—	—

表12-13 16 Bpp (YUV4:2:2) 形式データ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	Y ₀ ⁷	Y ₀ ⁶	Y ₀ ⁵	Y ₀ ⁴	Y ₀ ³	Y ₀ ²	Y ₀ ¹	Y ₀ ⁰	U ₀ ⁷	U ₀ ⁶	U ₀ ⁵	U ₀ ⁴	U ₀ ³	U ₀ ²	U ₀ ¹	U ₀ ⁰
0002h	Y ₁ ⁷	Y ₁ ⁶	Y ₁ ⁵	Y ₁ ⁴	Y ₁ ³	Y ₁ ²	Y ₁ ¹	Y ₁ ⁰	V ₀ ⁷	V ₀ ⁶	V ₀ ⁵	V ₀ ⁴	V ₀ ³	V ₀ ²	V ₀ ¹	V ₀ ⁰
0004h	Y ₂ ⁷	Y ₂ ⁶	Y ₂ ⁵	Y ₂ ⁴	Y ₂ ³	Y ₂ ²	Y ₂ ¹	Y ₂ ⁰	U ₂ ⁷	U ₂ ⁶	U ₂ ⁵	U ₂ ⁴	U ₂ ³	U ₂ ²	U ₂ ¹	U ₂ ⁰
0006h	Y ₃ ⁷	Y ₃ ⁶	Y ₃ ⁵	Y ₃ ⁴	Y ₃ ³	Y ₃ ²	Y ₃ ¹	Y ₃ ⁰	V ₂ ⁷	V ₂ ⁶	V ₂ ⁵	V ₂ ⁴	V ₂ ³	V ₂ ²	V ₂ ¹	V ₂ ⁰

13. 表示機能

S1D13513は、PIP2ウィンドウとビューポート（メイン+PIP1）の両方のSwivelView機能とミラー機能をサポートしています。これらの機能は、Display Mode Setting Register 2（REG[0834h]）を使って制御されます。これらの機能については、以下の項で説明します。

13.1 SwivelView™

ほとんどのコンピュータディスプレイは、左から右、上から下にリフレッシュされます。コンピュータ画像は同じように記憶されます。SwivelViewは、LCD上の表示画像を反時計回り方向に180°回転させるように設計されています。

この回転は、ハードウェアで行われ、表示バッファのすべての読み書きがユーザに意識されることなく行われます。これは、表示リフレッシュ中に画像を回転させることにより実現されます。したがって、ホストCPUの読み出し/書き込みの際にアドレス変換を必要としないため、画像は、実際に表示バッファ内で回転されません。回転をハードウェアで処理するため、SwivelViewは、ソフトウェアで表示画像を回転させるよりも性能が優れています。

SwivelView機能は、ビューポート（メイン+PIP1）用にREG[0834h]ビット1～0を使って、PIP2ウィンドウ用にREG[0834h]ビット9～8を使って、あるいはこれらの両方を使って制御することができます。

13. 表示機能

13.1.1 0° SwivelView

以下の図は、0° SwivelViewを選択したときの表示バッファに記憶された画像とLCDパネルに表示される画像との関係を表しています。画像は、S1D13513表示バッファにA-B-C-Dの向きに書き込まれます。一方、LCDディスプレイは、D-C-B-Aの向きにリフレッシュされます。

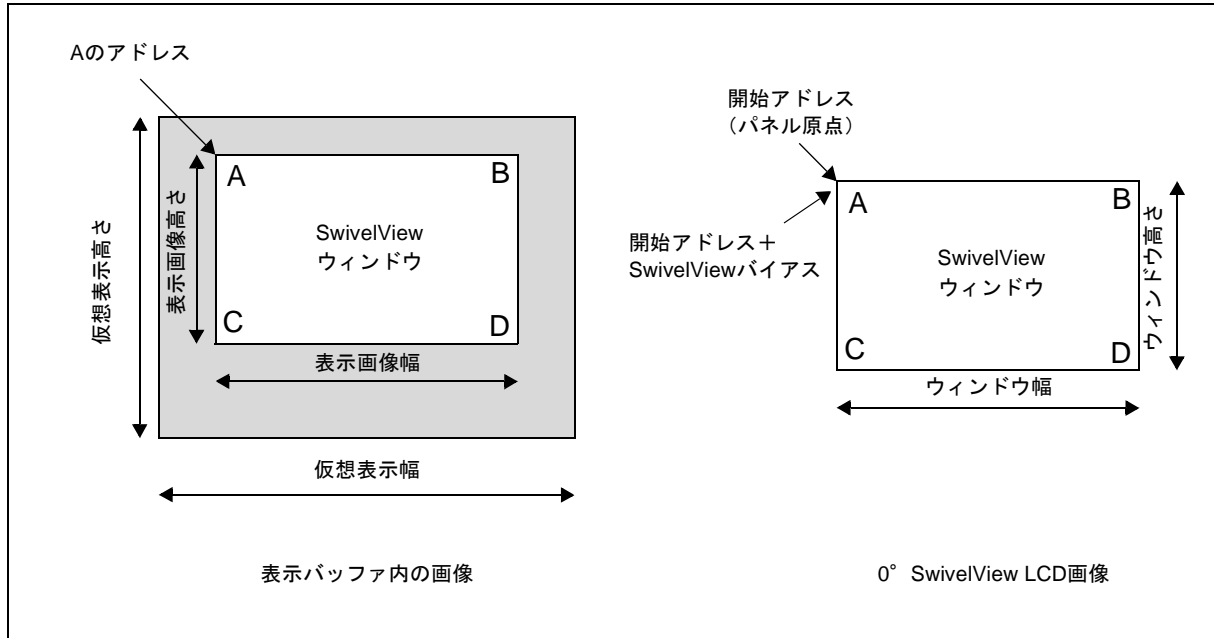


図13-1 0° SwivelViewの表示バッファ画像とLCD画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「A」から始まります。したがって、Start Addressレジスタをピクセル「A」のアドレスでプログラムし、SwivelViewバイアスを0に設定してください。

SwivelViewバイアス=0

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイトカウントとして設定されます。

ラインアドレスオフセット=仮想画像幅×bpp÷8

特定ピクセルのメモリアドレス

ビューポートまたはPIP2ウィンドウの任意の位置におけるピクセルのアドレスを計算するには、次の式を使用してください。

メモリアドレス(X,Y)=[(X-1)+(Y-1)×仮想パネル高さ]×bpp÷8

13.1.2 180° SwivelView

以下の図は、180° SwivelViewをイネーブルしたときの表示バッファに記憶された画像とLCDパネルに表示される画像の関係を表しています。画像は、S1D13513表示バッファにA-B-C-Dの向きに書き込まれます。一方、LCDディスプレイは、D-C-B-Aの向きにリフレッシュされます。

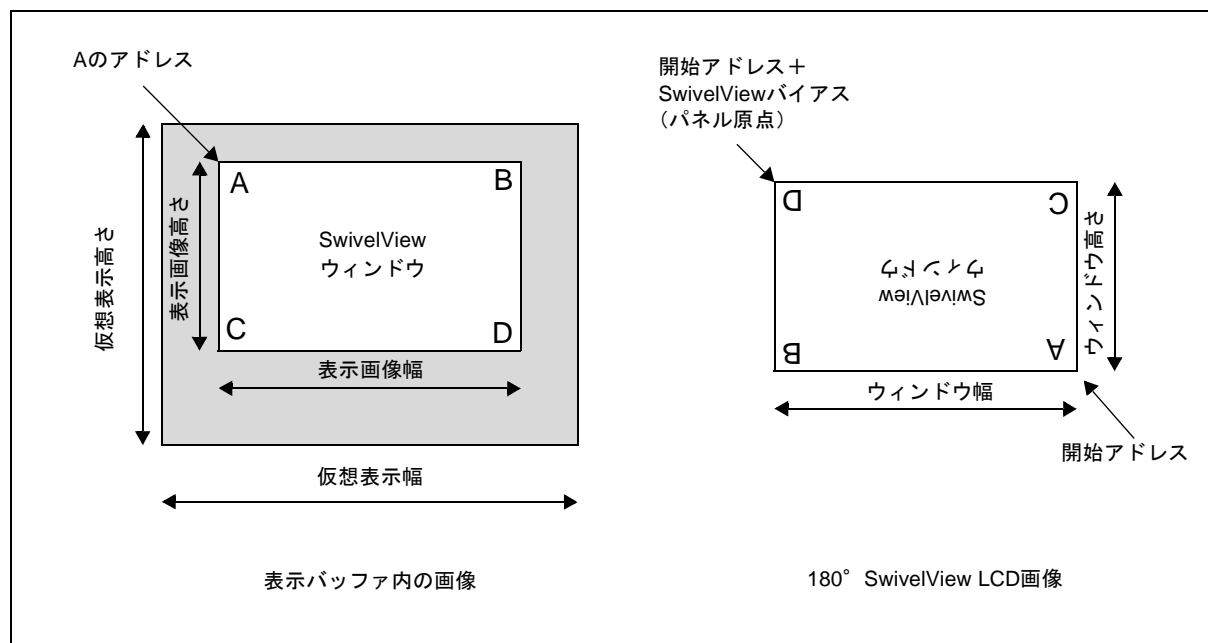


図13-2 180° SwivelViewの表示バッファ画像とLCD画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「D」から始まります。したがって、Start Addressレジスタをピクセル「A」のアドレスでプログラムし、SwivelViewバイアスを次のようにプログラムしてください。

$$\text{SwivelViewバイアス} = \text{ラインアドレスオフセット} \times \text{ウィンドウ高さ} - (\text{bpp} \div 8)$$

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイトカウントとして設定されます。

$$\text{ラインアドレスオフセット} = \text{仮想画像幅} \times \text{bpp} \div 8$$

任意ピクセルのメモリアドレス

ビューポートまたはPIP2ウィンドウの任意の位置におけるピクセルのアドレスを計算するには、次の式を使用してください。

$$\text{メモリアドレス}(X,Y) = [(X-1) + (Y-1) \times \text{仮想パネル高さ}] \times \text{bpp} \div 8$$

13. 表示機能

13.2 ミラー表示

ほとんどのコンピュータディスプレイは、左から右、上から下にリフレッシュされます。コンピュータ画像は同じように記憶されます。ミラー表示は、表示を右から左にリフレッシュし、それにより表示を「ミラー化」するように設計されています。ミラー表示はハードウェアによって実行され、表示バッファに記憶された表示データの変更は不要です。画像をハードウェアでミラー化するため、ミラー表示は、同じ画像をソフトウェアでミラー化するよりも性能が優れています。

ミラー表示は、ビューポート（メイン+PIP1）用にREG[0834h]ビット2を使って、PIP2ウィンドウ用にREG[0834h]ビット10を使って、あるいはこれらの両方を使ってイネーブルすることができます。

13.2.1 0° SwivelViewのミラー表示

以下の図は、回転を選択していないとき（0° SwivelView）の表示バッファに記憶された画像とLCDパネルに表示される画像の関係を表しています。画像は、S1D13513表示バッファにA-B-C-Dの向きに書き込まれます。一方、LCDディスプレイは、B-A-D-Cの向きにリフレッシュされます。

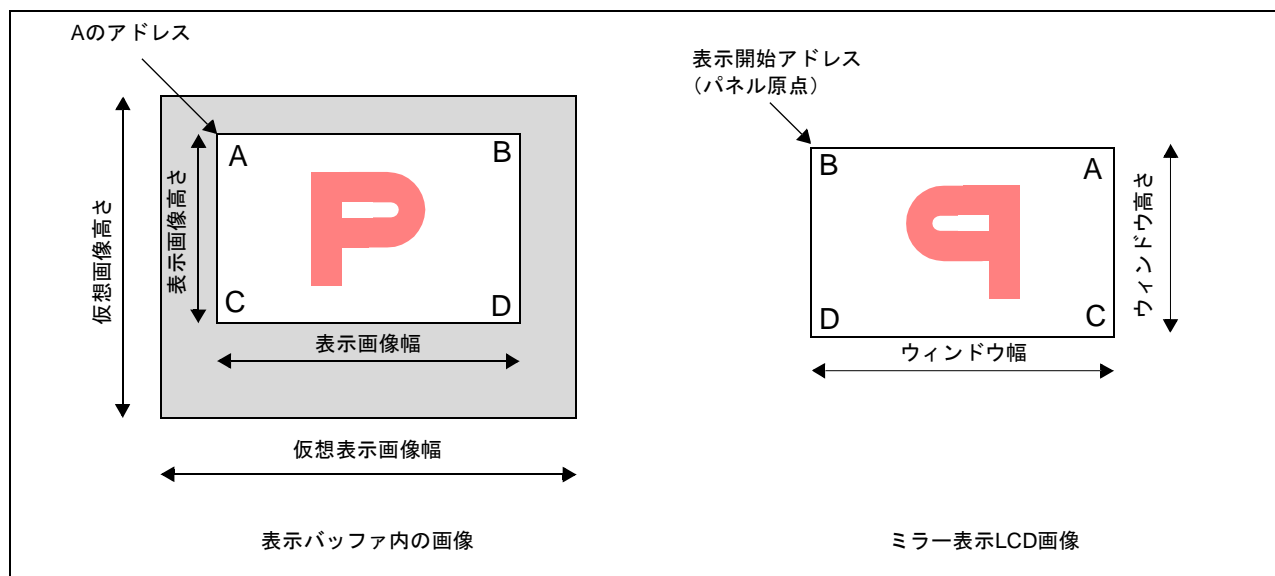


図13-3 表示バッファ画像とミラー表示のLCD画像（0° SwivelView）の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「B」から始まります。したがって、Display Start Addressレジスタは、ピクセル「B」のアドレスでプログラムしてください。

表示開始アドレス=Aのアドレス+ラインアドレスオフセット-(bpp÷8)

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりバイトの数に設定されます。

ラインアドレスオフセット=仮想画像幅×bpp÷8

13. 表示機能

13.2.2 SwivelViewモードでのミラー表示

ミラー表示とSwivelViewの両方をイネーブールしたとき、画像は、ミラー表示機能が実施された後でSwivelView機能によって回転されます。表示開始アドレスを表示画像の左上角のピクセルに設定してください。

180° SwivelViewを伴うミラー表示

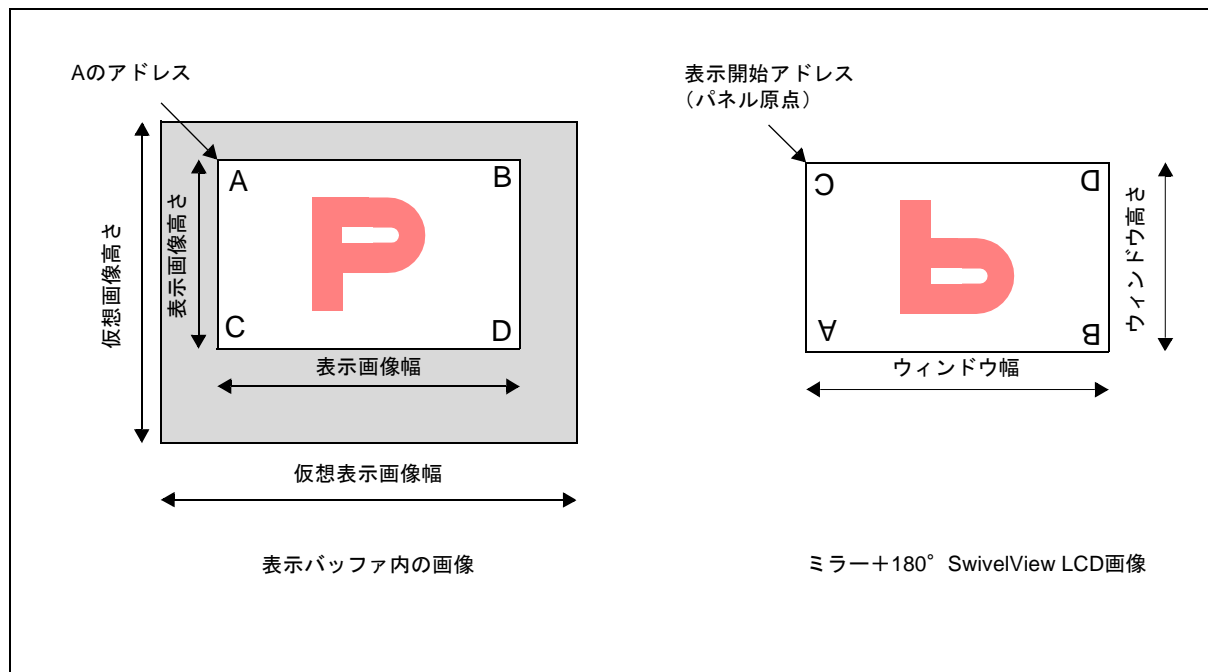


図13-4 180° SwivelView表示を伴うミラー表示

13.3 ガンマ補正

S1D13513は、バンクAとバンクBと呼ばれる2つのルックアップテーブル（LUT）を使ってガンマ補正を行います。各LUTには、色成分RGBごとに256（8ビット）のエントリがあります。ガンマ補正に使用されるバンクは、REG[083Eh]ビット5～4を使って選択されます。

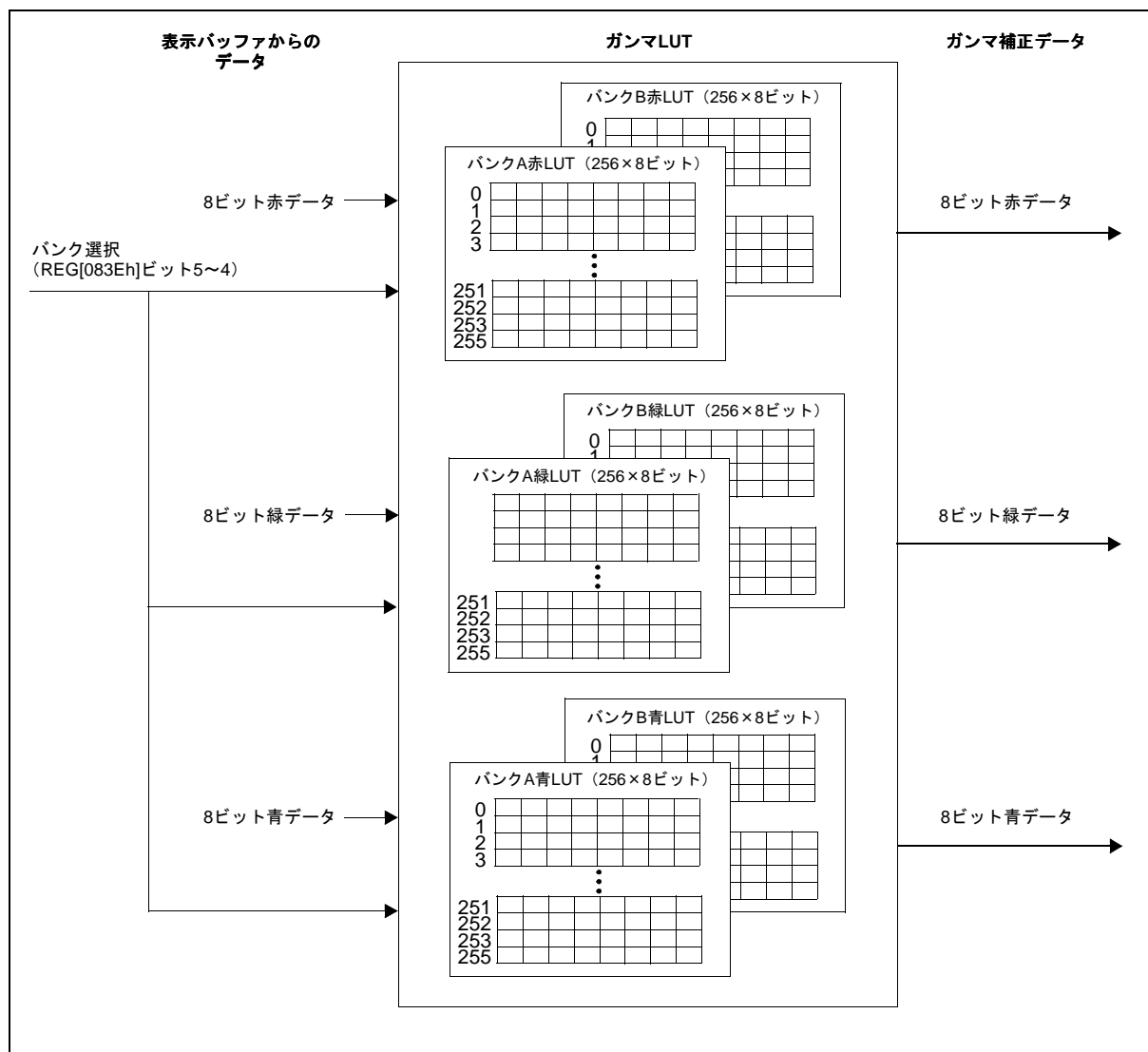


図13-5 カラーモードのガンマLUTアーキテクチャ

注

16bppと8bppでは、LUTインデックスに必要とされるエクストラビットは、入力データエクストラビット拡張イネーブルビット（REG[083Eh]ビット3）の設定に従って作成されます。

13. 表示機能

モノクロモード (REG[0800h]ビット14=1bとREG[0800h]ビット13~11=000b) では、緑ルックアップテーブルだけが使用されます。カラーモードと同じように、S1D13513は、バンクAとバンクBと呼ばれる2つのルックアップテーブル (LUT) を使ってガンマ補正を実行します。各LUTにはピクセルごとに256 (8ビット) のエントリがあります。ガンマ補正に使用されるバンクは、REG[083Eh]ビット5~4を使って選択されます。

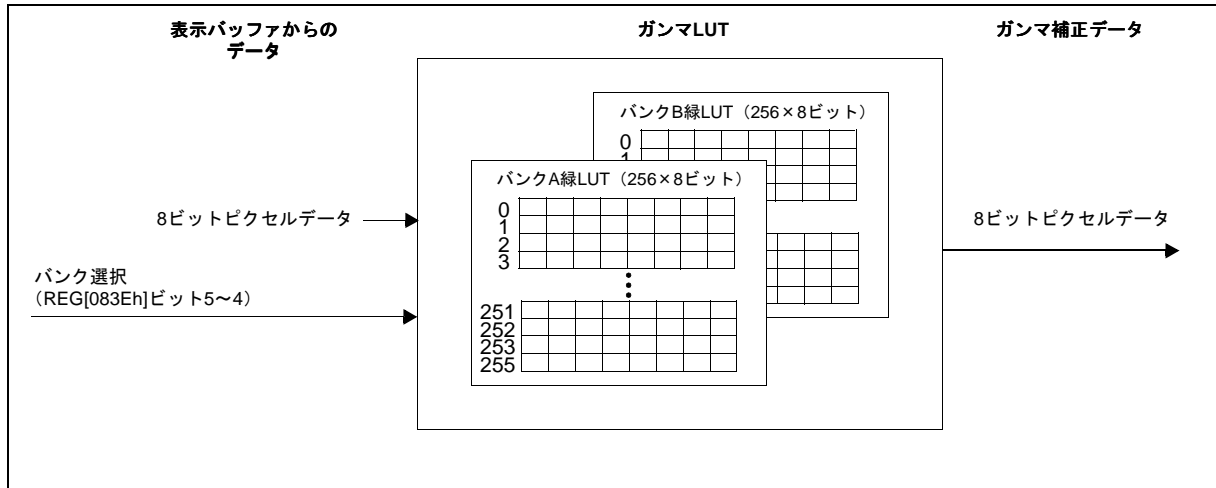


図13-6 モノクロモードのガンマLUTアーキテクチャ

13.3.1 ガンマLUTバンクの選択

バンクAデータまたはバンクBデータを使ってガンマ補正するウィンドウ（メイン、PIP1、またはPIP2）を決定するバンク選択モード（REG[083Eh]ビット5～4を参照）は4つあります。その中の2つのモードは、一方のバンクをプログラムしている間に他方のバンクを使ってガンマ補正するモードです。3つ目のモードでは、2つのバンクに基づいて2つのウィンドウをガンマ補正することができ、4つ目のモードでは、両方のバンクを一緒にプログラムすることができます。

次のバンク選択モードを使用することができます。

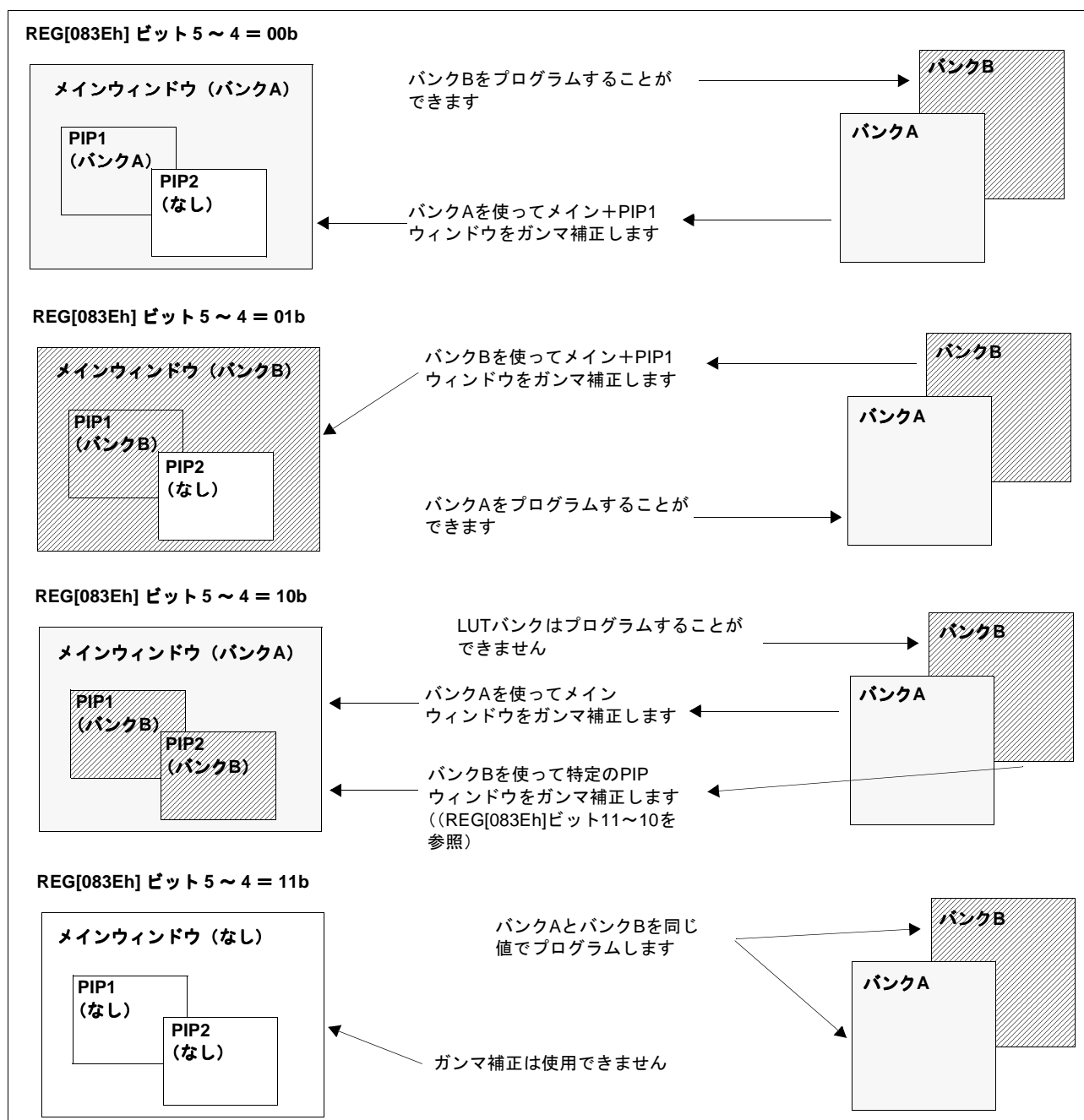


図13-7 ガンマLUTバンクの選択

13. 表示機能

13.3.2 ガンマLUTのプログラミング

ガンマLUTをプログラムするには、以下の手順に従ってください。

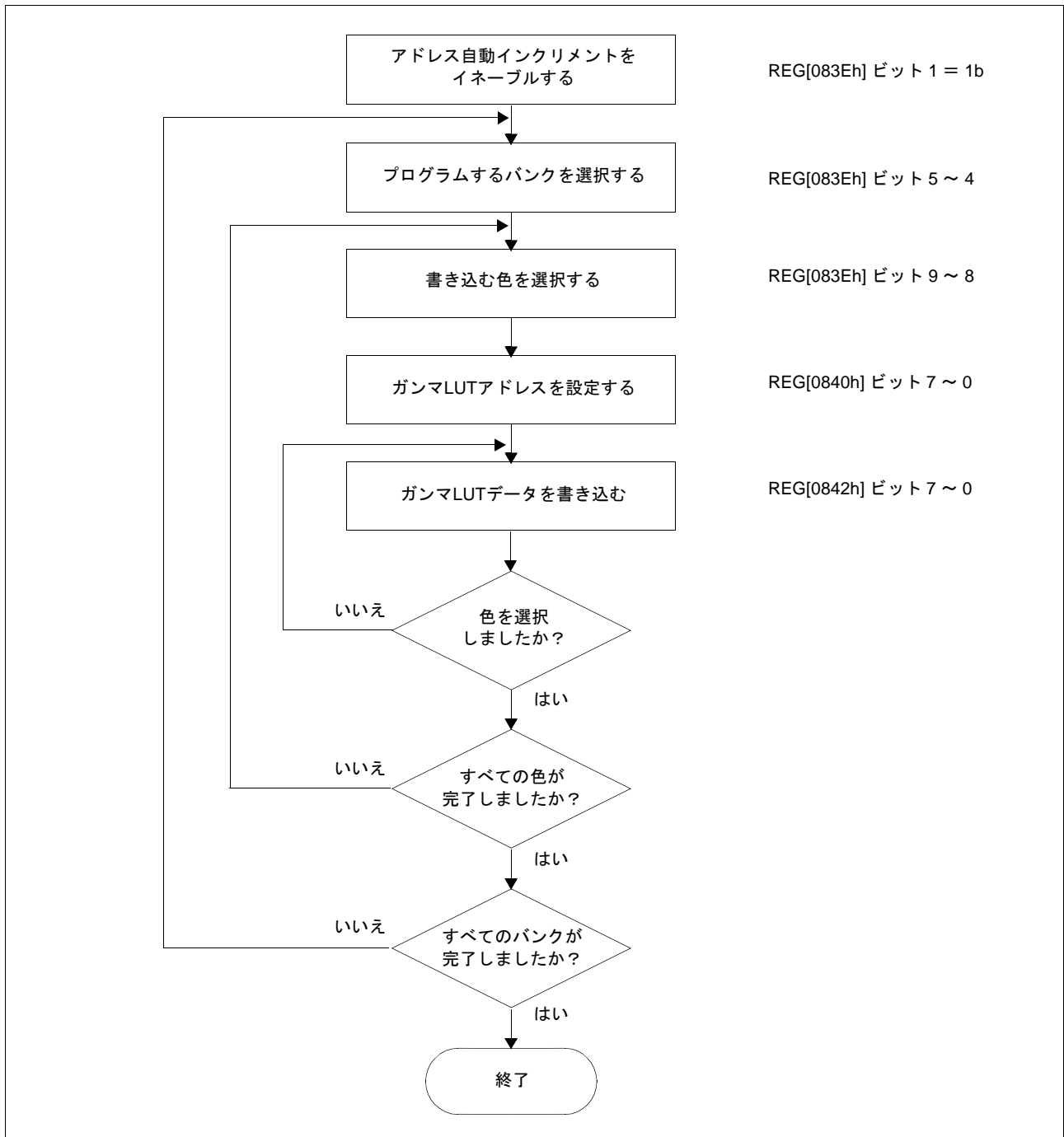


図13-8 ガンマLUTプログラミングのフローチャート

13.4 擬似カラーモード

S1D13513は、パネルへの出力によって画像の色深度が低下したときの画像色品質の変化を最小にするために使用される擬似カラーモードをサポートしています。これは、データバス幅が表示出力サイズより小さいパネルに必要です。たとえば、S1D13513が、16ビットTFTパネルに設定されている場合、内部表示画像データは、RGB 8:8:8 (24ビット) ですが、パネルに出力するにはRGB 5:6:5 (16ビット) に変換しなければなりません。

擬似カラーモードをディisableしたとき (REG[0844h]ビット2~0=000b) は、各色成分 (RGB) はパネルのデータバス幅に合わせて切り捨てられます。イenableしたときは、次の選択が可能です。

- 2×2マトリックスディザー—REG[0844h]ビット2~0=001b
- FRM—REG[0844h]ビット2~0=010b
- 誤差拡散—REG[0844h]ビット2~0=100b

最適な擬似カラーモードを決定するためには、実装ごとに目視評価が必要な場合があります。

注

S1D13513がパッシブパネル (REG[0800h]ビット14=1b) に設定されたとき、擬似カラーモード機能はディザリングとして働きます。

ディザリングをディisableしたとき (REG[0844h]=000b)、各色成分は最大16階調を表示することができます。すなわち、カラーパッシブパネルは最大4096色を表示し、モノクロパネルは最大16階調を表示します。ディザリング操作は一種類しかなく、これは、REG[0844h]を0以外の値 (01h、02hまたは04h) に設定することによってイenableされます。

ディザリングをイenableしたとき、各色成分は最大64階調を表示することができます。すなわち、カラーパッシブパネルは最大262,144色を表示し、モノクロパネルは最大64階調を表示します。

14. リサイザー

14. リサイザー

S1D13513は、リサイザーモジュールによって、SDRAMからのYUVカメラ入力データとYUVデータのサイズを変更することができます。画像データを表示するビューリサイザーと、画像データをキャプチャするキャプチャリサイザーの2つのリサイザーがあります。両方のリサイザーを同時に使用することができます。リサイザーは、トリミング機能とスケーリング機能を使って画像データを「リサイズ」します。

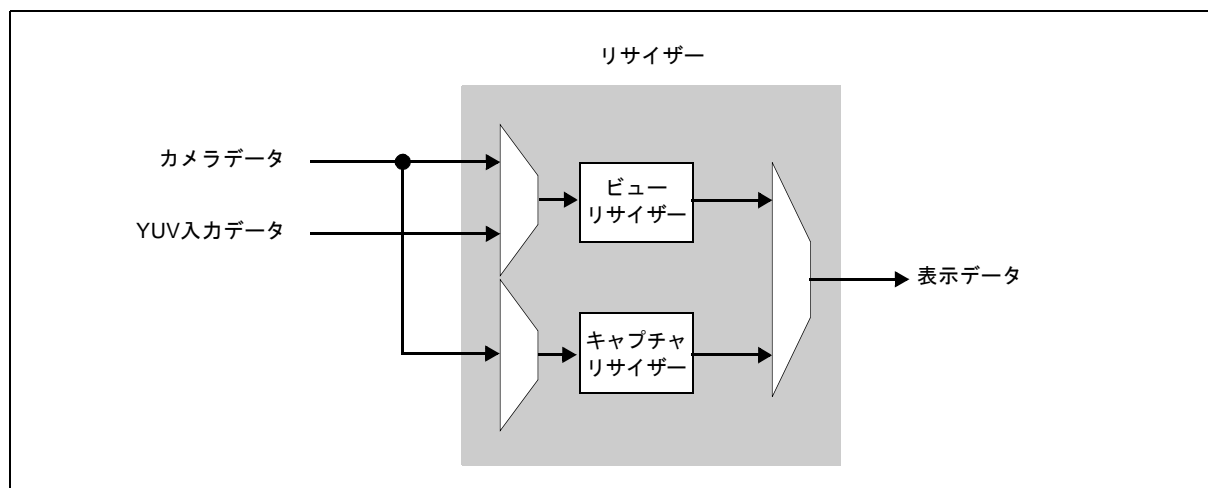


図14-1 リサイザーのブロック図

14.1 リサイザーの説明

ビューリサイザーは、LCDディスプレイに表示されるYUVデータをリサイズするために使用されます。ビューリサイザーは、カメラインタフェースからYUV入力を受け取ることも、SDRAMからYUVデータを受け取ることもできます。

キャプチャリサイザーは、キャプチャされSDRAMメモリに入れられるYUVデータをリサイズするために使用されます。キャプチャリサイザーは、カメラインタフェースだけから入力を受け取ります。

表14-1 リサイザーの選択

用途	ビューリサイザー	キャプチャリサイザー
カメラ画像表示	使用可	使用可
SDRAMからのYUV画像データ	使用可	使用不可

14.2 トリミング機能

トリミング機能は、画像のクロッピングと似ており、画像の不要部分を「削除」します。トリミングは、Resizer X/Y Start/End Positionレジスタ（REG[2444h]～REG[244Ah]またはREG[2464h]～REG[246Ah]）を使って制御されます。これらのレジスタにプログラムされる開始アドレスと終了アドレスは、実際のカメラ映像のサイズによって制限され、この実際のサイズより大きな値に設定することはできません。Start PositionレジスタとEnd Positionレジスタは、1ピクセル増分で設定されます。

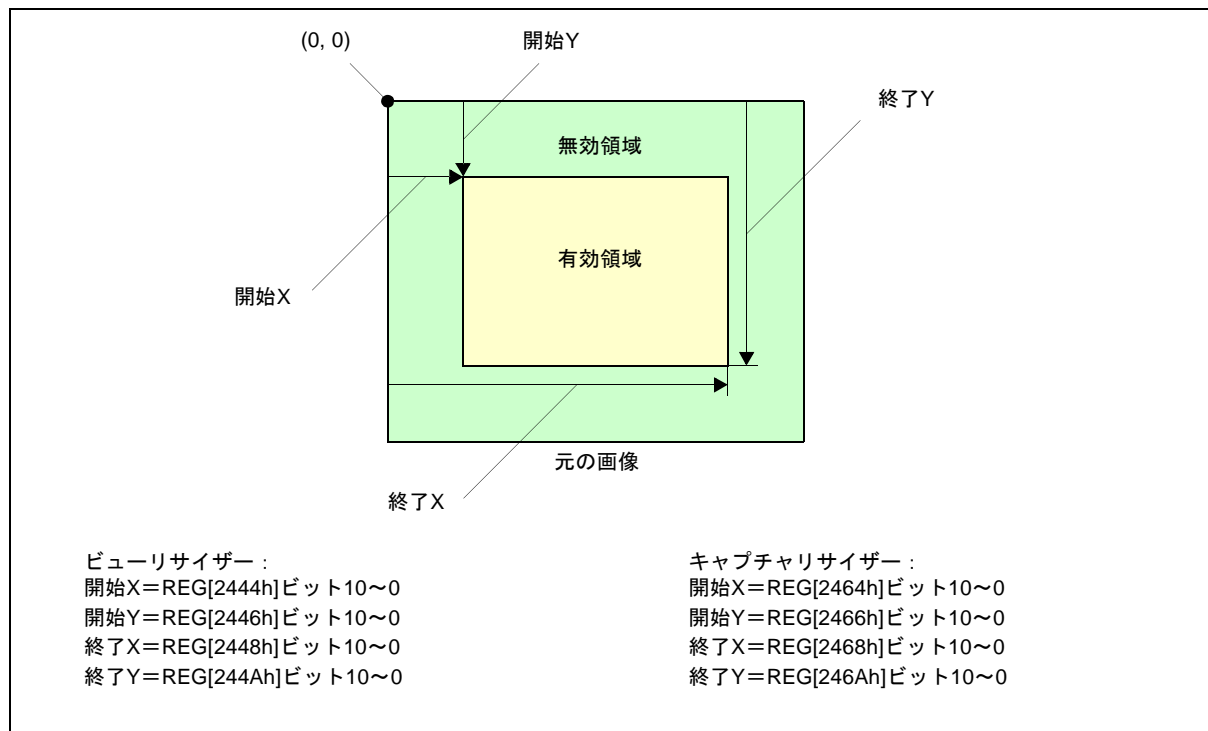


図14-2 トリミング機能

14. リサイザー

14.3 スケーリング機能

スケーリング機能は、トリミング処理の後で実施され、画像に適用したい圧縮比を指定します。スケーリング機能は、水平方向と垂直方向に独立で、128/128～1/128の倍率を使用することができます。1/2、1/4、1/8、1/16、1/32、1/64、1/128のスケーリングでは、水平方向だけを平均化することができます。

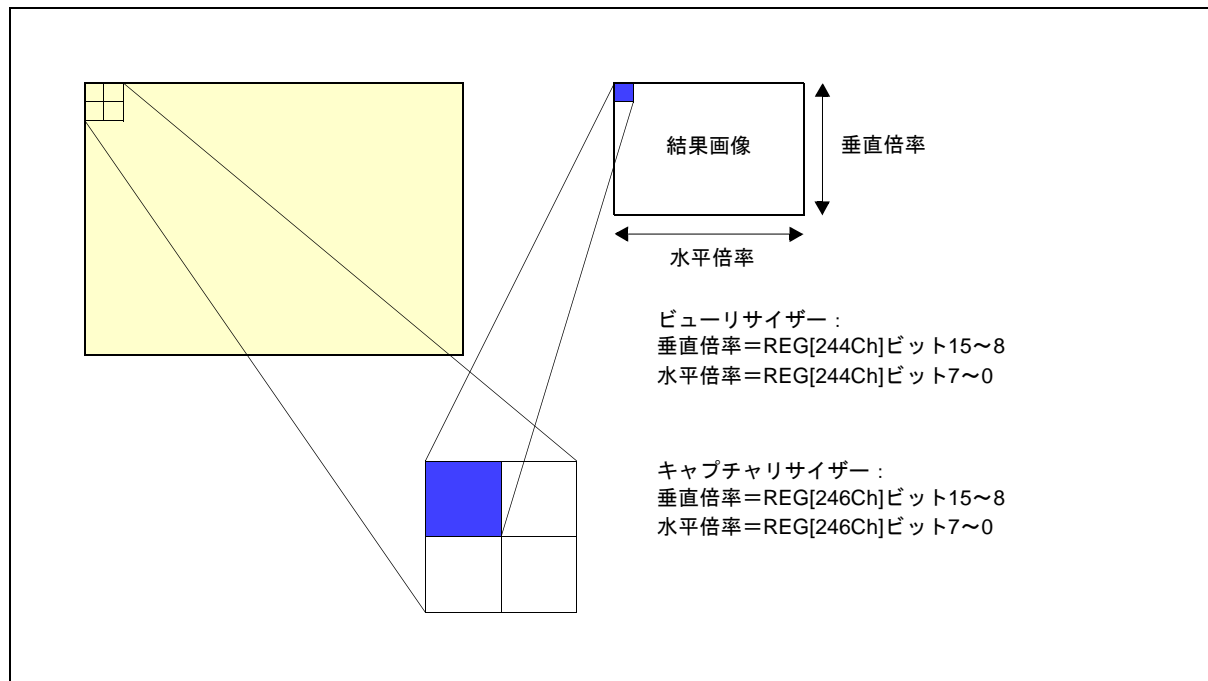


図14-3 スケーリング機能

14.3.1 奇数スケーリング

奇数スケーリングでは、ブロックの中心から1ピクセルを抽出します。水平方向と垂直方向の両方で縮小法を使用します。

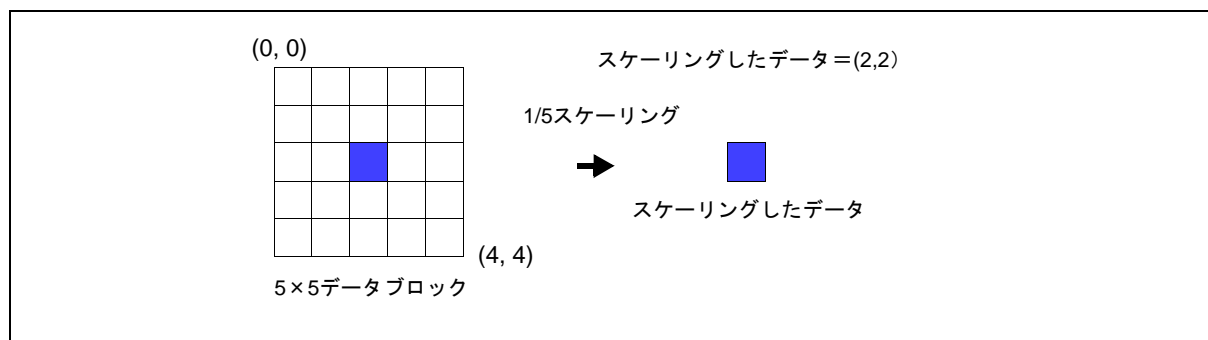


図14-4 奇数スケーリング (例：1/5スケーリング)

14.3.2 偶数スケーリング

偶数スケーリングでは、(図示したように) ブロックの中心から1ピクセルを抽出します。水平方向と垂直方向の両方で縮小法を使用します。

注

倍率が1/2、1/4、1/8、1/16、1/32、1/64および1/128の場合は、水平平均法を使用することができます (395ページの項14.3.3「平均法」を参照)。

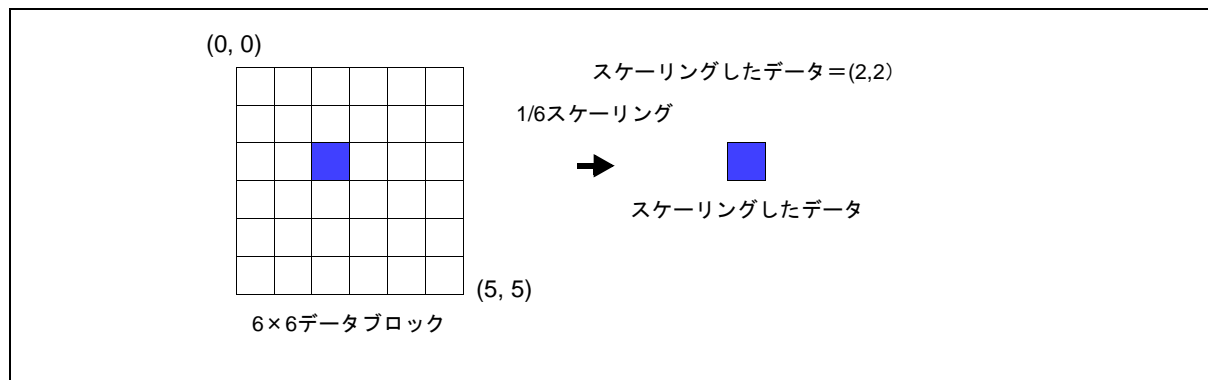


図14-5 偶数スケーリング (例: 1/6スケーリング)

14.3.3 平均法

倍率が1/2、1/4、1/8、1/16、1/32、1/64および1/128の場合、ブロックの中心から1ピクセルを抽出します (図示したように)。ただし、水平方向は平均化機能を使用して算出されます。垂直方向は縮小法を使用します。

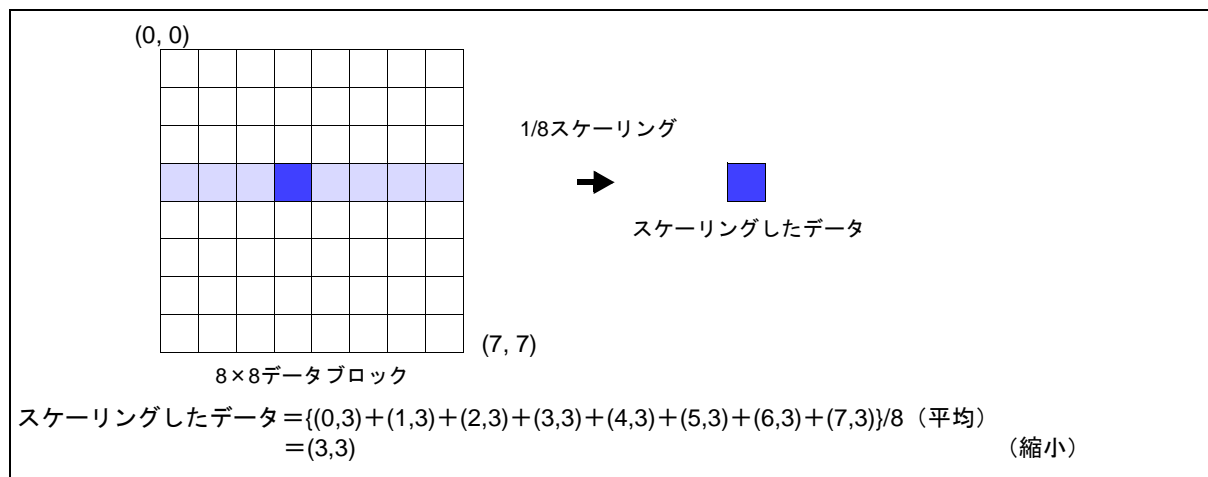


図14-6 平均法 (例: 1/8スケーリング)

14. リサイザー

14.3.4 スケーリング後のピクセル数を計算する方法

定義：(単位：ピクセル)

1. トリミング後のサイズは、水平方向が「A」、垂直方向が「B」です。
2. スケーリング後のサイズは、水平方向が「a」、垂直方向が「b」です。
3. 縮小率は水平方向が「X/128」、垂直方向が「Y/128」です。

$a = (A \times X / 128)$ の整数値

$b = (B \times Y / 128)$ の整数値

注

YUV形式ではaとbの計算方法は同じです。

ただし、リサイズ後のサイズaとbは、次の関係を満たさなければなりません。

YUV 4:2:2：単位はaが2ピクセル、bが1ピクセルです。

YUV 4:2:0：aとbの両方とも単位は2ピクセルです。

15. 2D BitBLTエンジン

15.1 概要

BitBLTエンジンの目的は、ピクセルデータをCPUと表示メモリ間で移動したり表示メモリ内で移動したりする際のCPUの負荷を軽減することです。

ピクセルデータの場所を移すために、次の5つのBitBLT（ビットブロック転送）が使用されます。

- **Write BitBLT** : CPUから表示メモリにピクセルデータを移します。
- **Read BitBLT** : 表示メモリからCPUにピクセルデータを移します。
- **Move BitBLT** : 表示メモリ内のある場所から別の場所にピクセルデータを移します。
- **Pattern Fill BitBLT** : 表示メモリ内でピクセルパターンを移動し何度か複製して大きい画像を作成します。
- **Solid Fill BitBLT** : 表示メモリ内の場所をデータパターンで埋めます。

BitBLTエンジンは、また、いくつかのデータ機能をBitBLT機能のいくつかと組み合わせてピクセルデータに実行することができます。

- **色拡張** : フォントビットパターンの色深度を大きくします。
- **ROP** : ピクセルデータにブール関数を実行します。
- **透過** : 透過色と一致しない色のピクセルデータだけを書き込みます。

BitBLTエンジンは、8bpp、16bppまたは24bpp（32bpp）のピクセルデータのいくつかの色深度を処理することができます。

次の表は、様々なBitBLTで使用できる機能を示します。これらの機能の使用方法の詳細については、REG[1808h]ビット2-0を参照してください。

表15-1 有効なBitBLTの概要

BitBLT	REG [1808h] ビット2-0	ROP	透過	アルファ ブレンディング	クリッピング	アルファ 結合	色拡張	逆方向
Write	000b		X			X	X	
Read	001b							
Move	010b	X	X	X	X		X	X
Solid Fill	011b							
透過を伴うPattern Fill	100b							
予備	101b							
予備	110b							
予備	111b							

15. 2D BitBLTエンジン

15.2 BitBLTの用語と定義

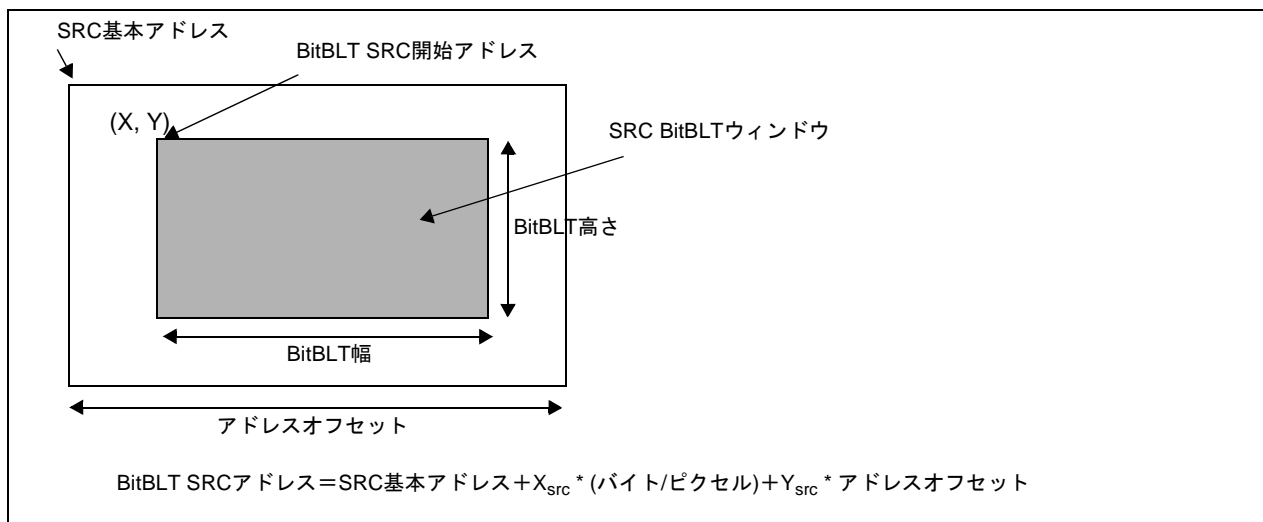


図15-1 BitBLTソース領域の定義

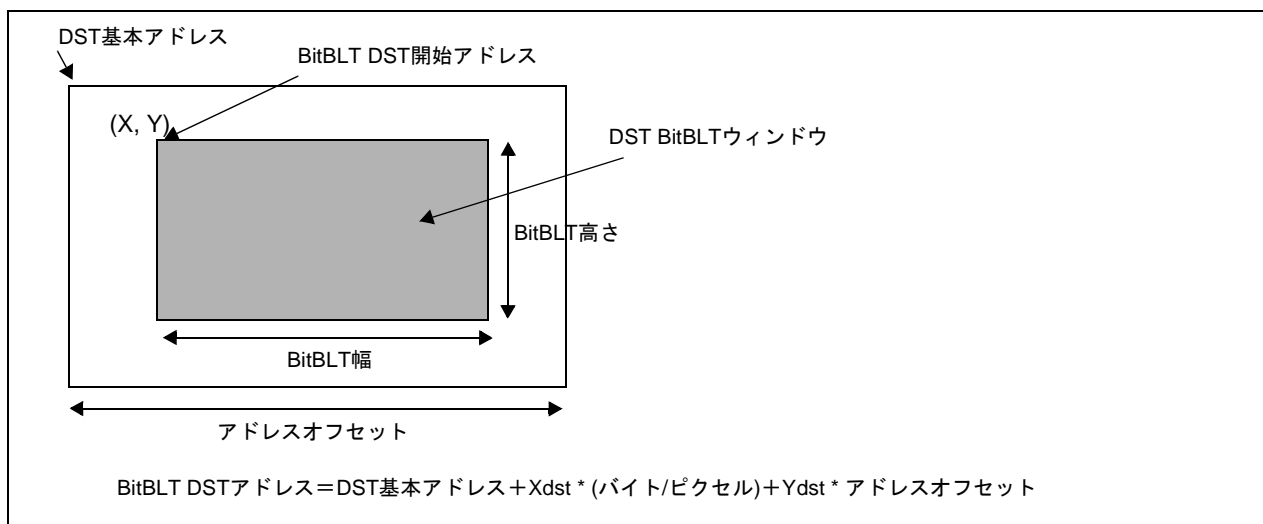


図15-2 BitBLT宛先領域の定義

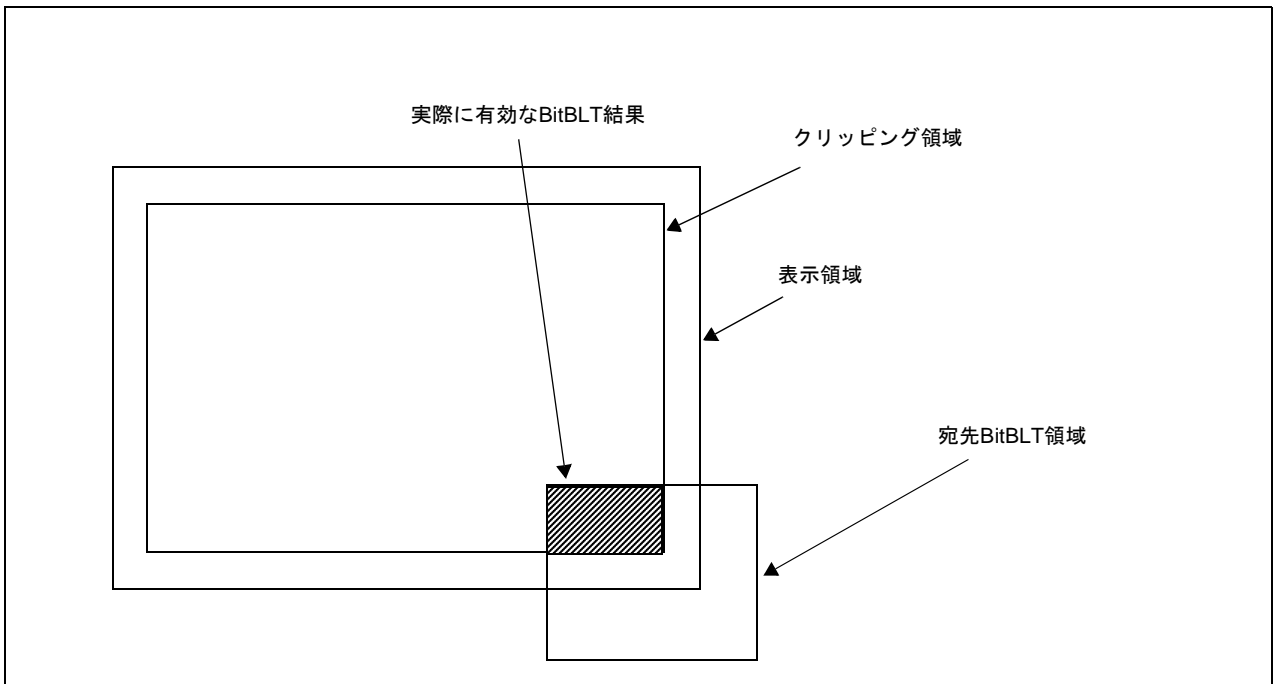


図15-3 BitBLTクリッピング画像

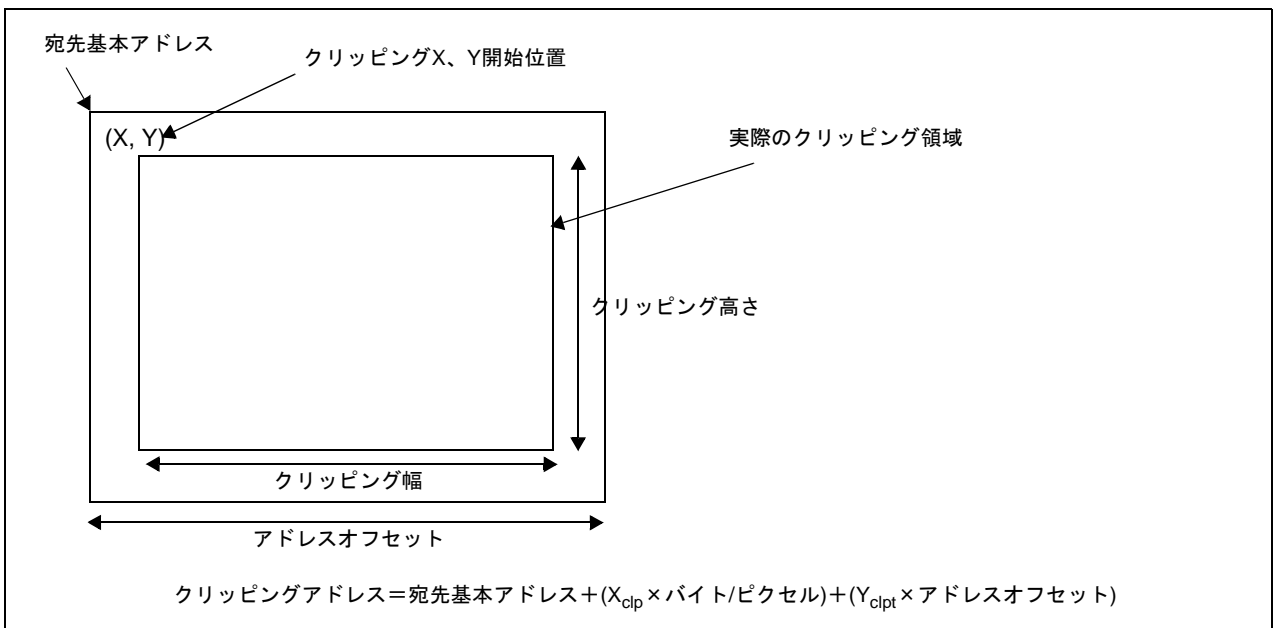


図15-4 クリッピング領域の定義

15. 2D BitBLTエンジン

アドレスオフセット	バイトで表した表示の幅（すなわち、メインウィンドウ幅またはPIP ⁺ ウィンドウ幅）。ソースと宛先はメモリアドレスオフセットを共有します。
SRC開始アドレス	バイトで指定されたBitBLTウィンドウソースの左上角。アドレスの計算は図を参照。
DST開始アドレス	バイトで指定されたBitBLTウィンドウ宛先の左上角。アドレスの計算は図を参照。
X _{src} 位置	SRC BitBLTウィンドウの左上角からのX位置値。
Y _{src} 位置	SRC BitBLTウィンドウの左上角からのY位置値。
X _{dst} 位置	DST BitBLTウィンドウの左上角からのX位置値。
Y _{dst} 位置	DST BitBLTウィンドウの左上角からのY位置値。
BitBLT幅	ピクセルで表したBitBLTの幅。このパラメータはソースと宛先で共用されます。
BitBLT高さ	ピクセルで表したBitBLTの高さ。
BitBLTウィンドウ	処理する表示メモリの領域。
クリッピング領域	BitBLTの結果の転送が有効になっている領域。クリッピング領域の外側はBitBLTが行われません。
クリッピング開始アドレス	バイトで指定されたクリッピング領域の左上角。アドレスの計算は図を参照。
X _{clip} 位置	クリッピング領域ウィンドウの左上角からのX位置値。
Y _{clip} 位置	クリッピング領域ウィンドウの左上角からのY位置値。

それぞれのBitBLTに結果データのソースと宛先があります。ソースはデータを読み出す場所です。宛先はデータを書き込む場所です。

16. スプライトエンジン

S1D13513は、独立したオブジェクトベースのグラフィックスを必要とする携帯用ゲームや他のアプリケーションの性能を強化するスプライトエンジンを備えています。スプライトエンジンを使うと、そのようなオブジェクトを「スプライト」として定義して、背景画像を修正することなく別の画像の上で簡単に動かすことができます。

S1D13513スプライトエンジンには、次のような特長があります。

- Java 2 Micro Edition用のMIDP v2.0スプライトに準拠。
- 最大16の個別のスプライトを同時に表示可能。メイン画像はスプライト#0として定義されます。
- スプライト#0は、実際の表示サイズより大きい仮想画像をサポート。
- プログラム可能なスプライトサイズレジスタ：各スプライトのサイズを変更することができます。このサイズは、SDRAMの使用可能なメモリ量によってのみ制限されます。
- 個別のスプライトX、Y位置レジスタ：スプライトが表示の各サイドから徐々に外れることができるように、表示のすべてのエッジの位置を負にすることができます。
- 個別のスプライトZオーダー（各スプライトには、スプライトが重なったときにどのスプライトが上に見えるようにするかを指定するZオーダーが関連付けられています）。
- すべてのARGB形式スプライトはアルファブレンディングをサポート。
- スプライト画像データは、RGB 5:6:5、ARGB 1:5:5:5、ARGB 4:4:4:4、またはARGB 8:8:8:8の4つの異なるカラーフォーマットを使用可能。
- スプライト回転／ミラー機能。
 - メイン表示の向きに依存しないスプライト回転。
 - プログラム可能な回転基準点（スプライトの左上角からのX/Yオフセットによる。これらのオフセットは両方とも正でも負でもかまいません）
 - オプションの任意角度の回転。
- スプライトフレームシーケンスはスプライトごとに最大16のフレームをサポート。フレームシーケンス長は1から16で、任意の順序で指定することができます。シングルフレームを様々な場所で2回以上続けて繰り返すことができます。シーケンスをレジスタビットによって手動であるいはプログラム可能な数のVSyncsごとに進めることができます。
- スプライト画像はSDRAMに記憶されます。
- 15fpsを超えるフレームレート。
- 記憶されている0度と90度のスプライト画像だけから任意の組み合わせの回転とミラー化を生成可能。
- シングルバッファとダブルバッファの両方をサポート。

16. スプライトエンジン

16.1 スプライトのデータ経路

すべての個々のスプライトはSDRAMに記憶されます。スプライトデータは、パネルに表示させるために必要に応じてSDRAMから読み出されSDRAM内で合成されます。ダブルバッファを使ってティアリングを小さくしフレームレートを速くすることができます。

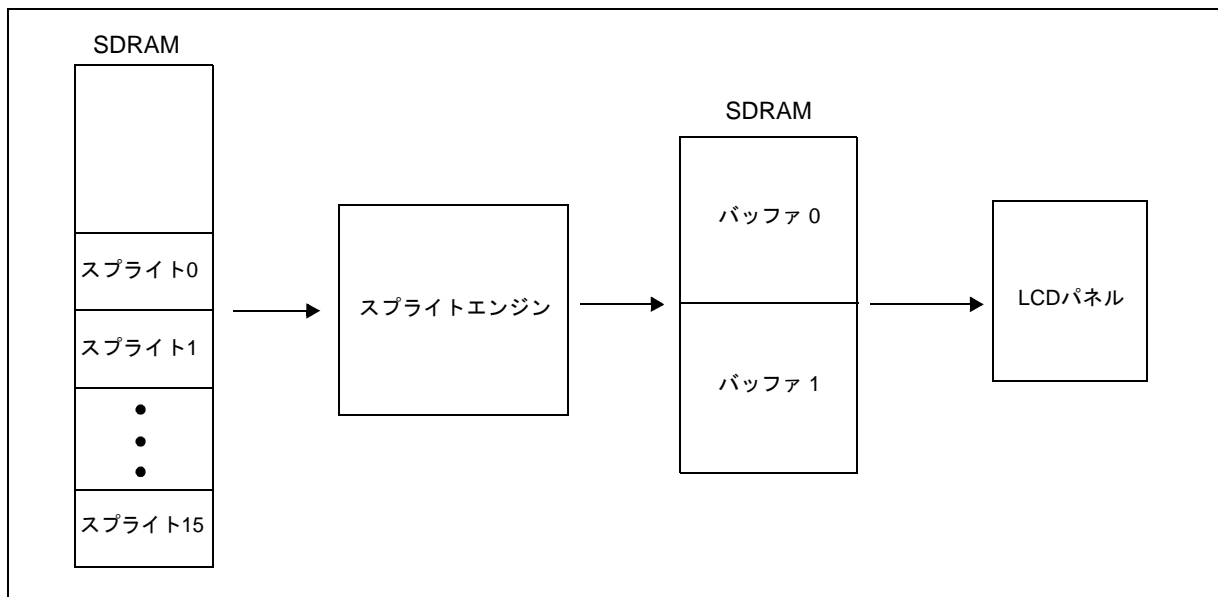


図16-1 スプライトのデータ経路

16.2 Zオーダーリング透過を伴う16スプライト

各スプライトにはZオーダーが関連付けられています。このZオーダーは、スプライトがメイン画面や他のスプライトと重なったときに表示されるスプライトの部分指定するために使用されます。

注

スプライト#0は背景として使用され、透過ピクセルを含むことができません。



図16-2 Zオーダーの例

RGB 5:6:5形式を選択したときは、1つのプログラム可能な透過色を関連付けることができます。透過を利用すると、不規則な形状の画像を背景の上に表示することができます。



図16-3 透過を伴うZオーダーの例

16.3 Zオーダーリングアルファブレンディングを伴う16スプライト

S1D13513スプライトエンジンは、ゲームなどのアプリケーションの表現をさらに強化するアルファブレンディングをサポートしています。アルファブレンディングは、コンピュータグラフィックスで使用されて透過効果を作り出します。この技術は、ガラスや液体のオブジェクトを表現するグラフィックスに有効で、半透明の前景を背景色と組み合わせて混合することによって行われます。また、ある画像が別の画像に徐々に変化するアニメーションにも使用できます。

注

スプライト#0は背景として使用され、アルファ値FFh（不透明）を有するピクセルしか含むことができません。

S1D13513スプライトエンジンは、8ビットのアルファ値（ARGB 8:8:8:8）を使用するアルファブレンディングをサポートしています。

- ARGB 1:5:5:5 : 1つのアルファビットが2つのプログラム可能な索引付き8ビットアルファ値を指します。
- ARGB 4:4:4:4 : 4つのビットが実際のアルファ値を表します。

次の式は、使用されるアルファブレンディング法を表します。

$$[r, g, b]_{\text{blended}} = \alpha[r, g, b]_{\text{foreground}} + (1 - \alpha)[r, g, b]_{\text{background}}$$

ここで

$[r, g, b]$ は、赤、緑および青のカラーチャネル、 α は重み係数です。

重み係数値の範囲は0～1です（S1D13513スプライトエンジンでは0～255と表されます）。0に設定したとき、前景は完全に透過されます。1に設定したとき、背景は完全に透過されません。これらの間の値はすべて、前景と背景の混合率を指定します。



図16-4 アルファ値0、0.5および1のアルファブレンディング

S1D13513スプライトエンジンは、最大16のスプライトをアルファブレンディングすることができます。Zオーダーは、アルファブレンディング操作ごとに前景と背景に表示されるスプライトを指定します。



図16-5 アルファブレンディングを伴うZオーダー

16. スプライトエンジン

16.4 スプライトごとに16のシーケンス

イネーブルされたとき、一連のフレームを次々と表示することができます。シーケンスのトリガを、レジスタ書き込み（すなわち、次フレーム）またはフレームごとにプログラム可能なVSYNCの数として設定することができます。それぞれのスプライトには、個別のシーケンス画像、シーケンス長、VSync数、およびシーケンスイネーブルビットがあります。また、すべてのスプライトにフレームシーケンスレジスタがあり、フレームシーケンスレジスタは、スプライト内の16のフレームのそれぞれに対するインデックスを含んでいます。シーケンス長とVSync数をプログラムすることにより、様々なアニメーション効果を実現することができます。スプライトの16フレーム内で同じ画像を繰り返すこともできます。

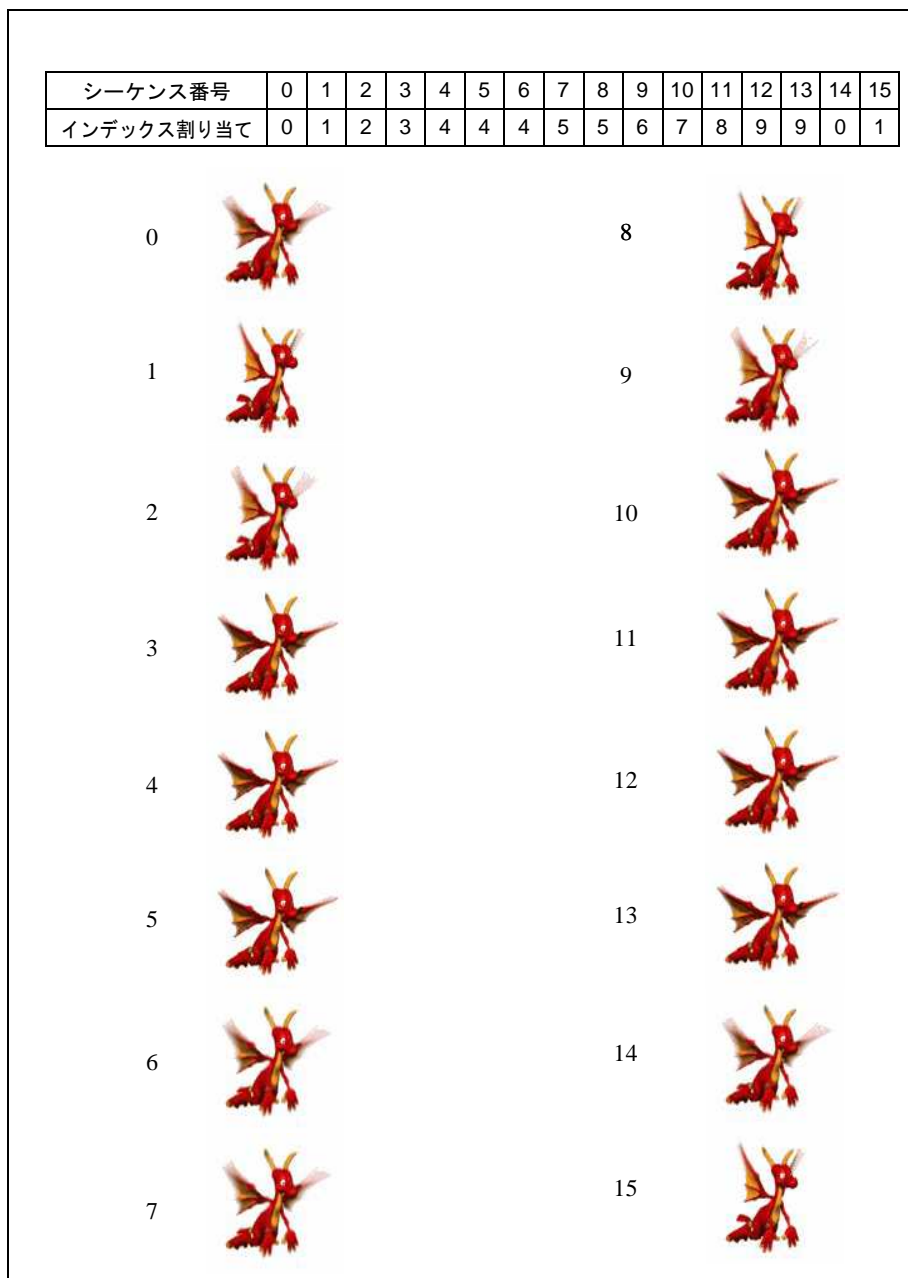


図16-6 スプライトシーケンスの例

16.5 基準点に基づく90°、180° および270° 回転+ミラー

各スプライトを個別に回転（90°、180°、270°）させたり、ミラー化したりすることができます。生成されるスプライトの向きはメイン表示の向きに依存しません。

各スプライトにプログラム可能な回転基準点があります。常に画像の中心を基準にして回転させる他の設計と違い、ユーザは回転軸として画面上の任意の点をプログラムすることができます。この基準点は、スプライト領域の外側でもかまいません。

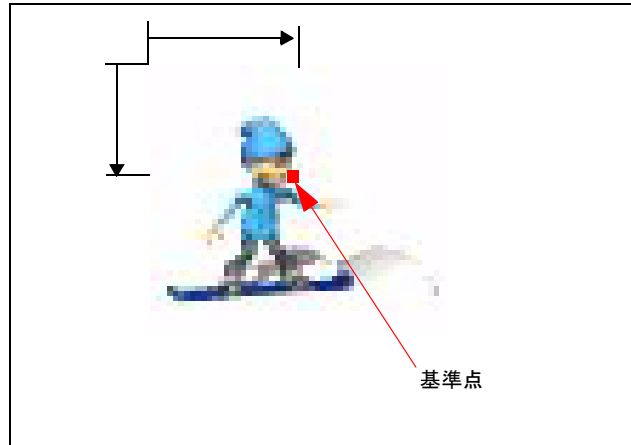


図16-7 スプライト基準点

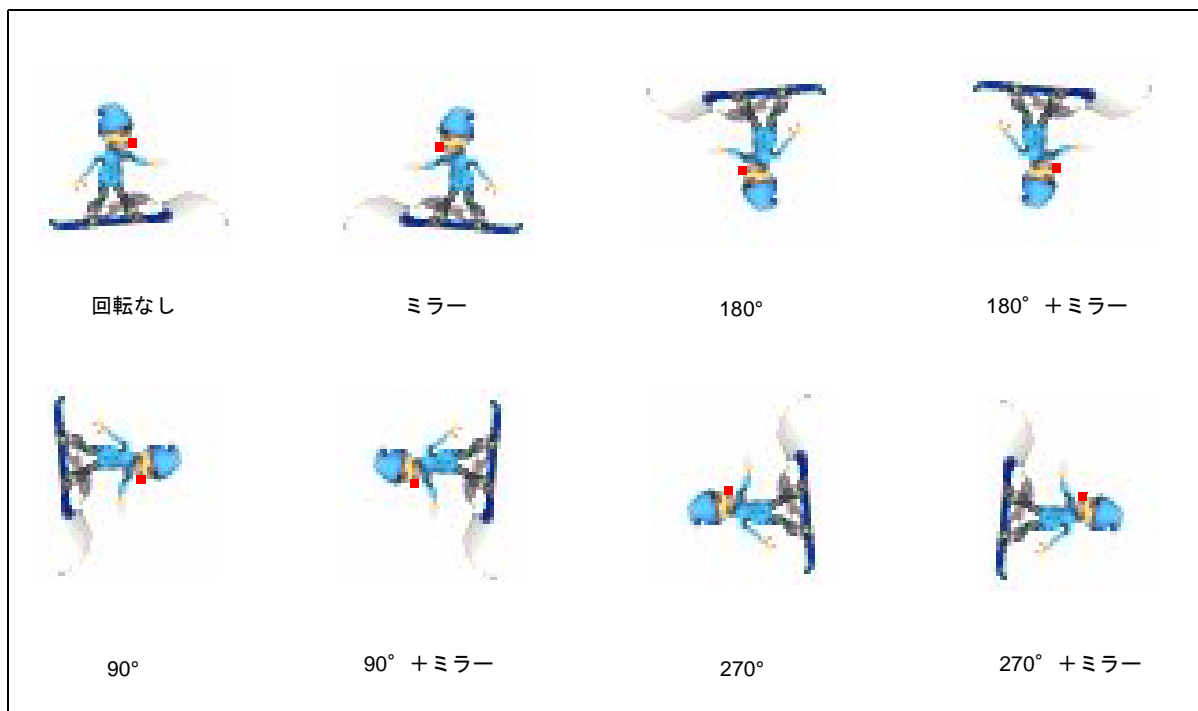


図16-8 スプライトの回転とミラー化の例

16. スプライトエンジン

16.6 スプライト表示の向きと位置決め

SDRAMフレームバッファに描画されるスプライトフレームは、スプライト#0の寸法で指定されます。したがって、SDRAMメモリサイズはスプライト#0によって定義され、スプライト#1～#15の位置は、スプライト#0のフレーム幅と高さパラメータによって定義される方形を基準に描画されます。

描画されたスプライトフレームを画面のメインまたはPIP⁺ウィンドウに表示するために、メインまたはPIP⁺ウィンドウの寸法とメモリ開始アドレスは、スプライト#0のフレーム寸法とスプライトフレームバッファ開始アドレスに一致しなければなりません。

次の図は、フレームバッファに描画するためのスプライトのサイズと位置を決める方法を表しています。回転とミラー化のいくつかの組み合わせの例を表しています。この例では、大きな方形が表示領域を表し、小さな方形がスプライトフレームを表しています。図では以下の値を仮定します。

- A= スプライトの左上角に対する基準点のXオフセット
- B= スプライトの左上角に対する基準点のYオフセット
- C= 表示の左上角に対するスプライト位置（基準点）のXオフセット
- D= 表示の左上角に対するスプライト位置（基準点）のYオフセット
- E= 回転/ミラー化後の表示上のスプライトの新しい有効なX始点
- F= 回転/ミラー化後の表示上のスプライトの新しい有効なY始点
- G= スプライトのフレーム幅-A
- H= スプライトのフレーム高さ-B
- I= 回転/ミラー化後の表示上のスプライトの新しい有効なX終点
- J= 回転/ミラー化後の表示上のスプライトの新しい有効なY終点

注

スプライトのフレームサイズが実効サイズより小さい場合は、メモリ内の画像の左上部分が表示されます。90° または270° の場合は、元の非回転画像の左下部分が回転画像の左上になるので、その部分が表示されます。

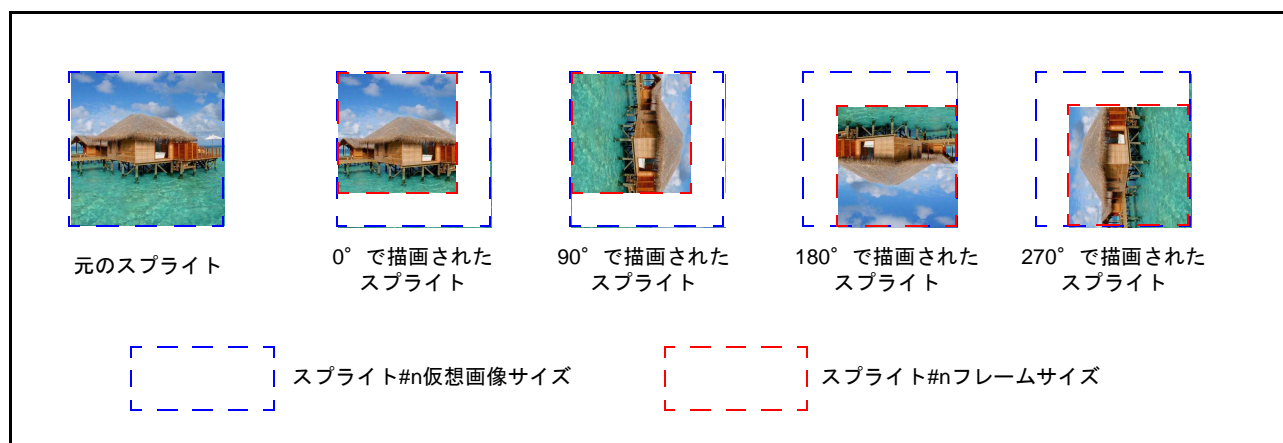


図16-9 スプライトフレームサイズがスプライト実効サイズより小さい場合

ミラーがディスエーブルされた0° 回転

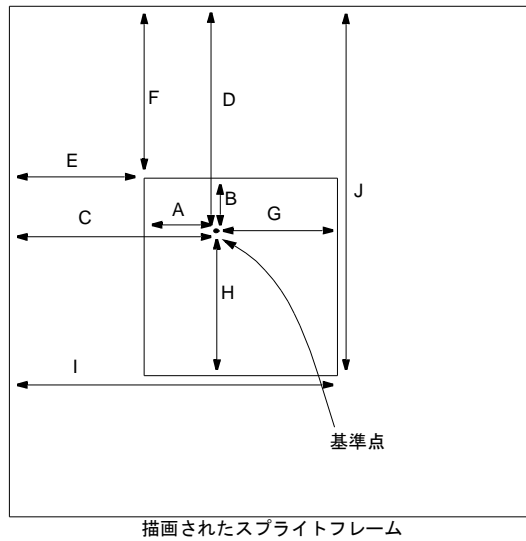


図16-10 ミラーがディスエーブルされた0° 回転のスプライト表示

$$E = C - A \qquad F = D - B$$

$$I = C + G \qquad J = D + H$$

ミラーがディスエーブルされた90° 回転

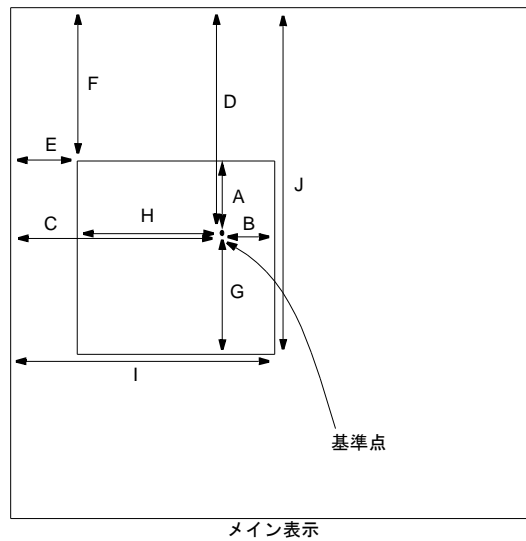


図16-11 ミラーがディスエーブルされた90° 回転のスプライト表示

$$E = C - H \qquad F = D - A$$

$$I = C + B \qquad J = D + G$$

16. スプライトエンジン

ミラーがディスエーブルされた180° 回転

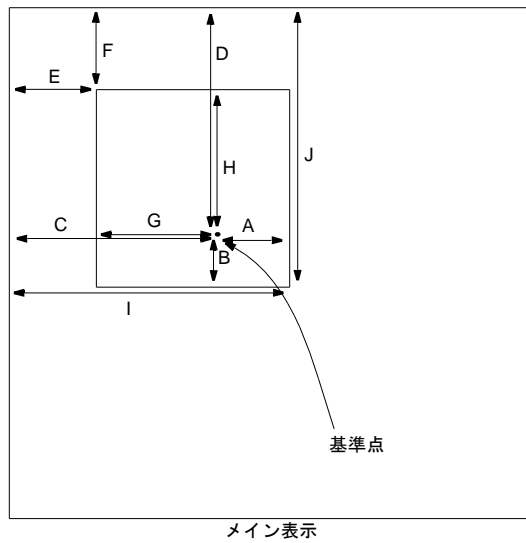


図16-12 ミラーがディスエーブルされた180° 回転のスプライト表示

$$E = C - G$$

$$F = D - H$$

$$I = C + A$$

$$J = D + B$$

ミラーがディスエーブルされた270° 回転

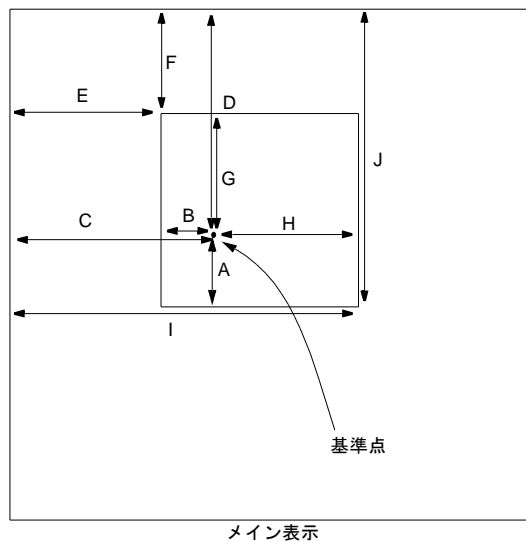


図16-13 ミラーがディスエーブルされた270° 回転のスプライト表示

$$E = C - B$$

$$F = D - G$$

$$I = C + H$$

$$J = D + A$$

ミラーがイネーブルされた0° 回転（左↔右）

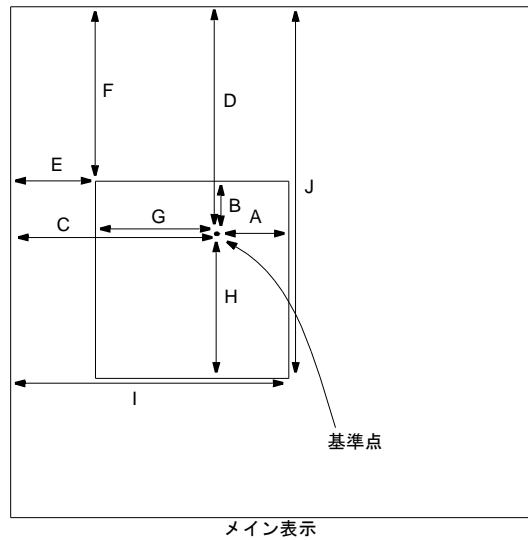


図16-14 ミラーがイネーブルされた0° 回転のスプライト表示

$$E = C - G$$

$$F = D - B$$

$$I = C + A$$

$$J = D + H$$

ミラーがイネーブルされた90° 回転

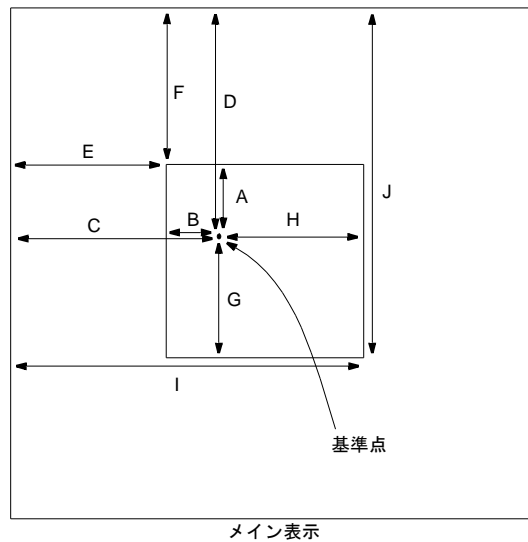


図16-15 ミラーがイネーブルされた90° 回転のスプライト表示

$$E = C - B$$

$$F = D - A$$

$$I = C + H$$

$$J = D + G$$

16. スプライトエンジン

ミラーがイネーブルされた180° 回転

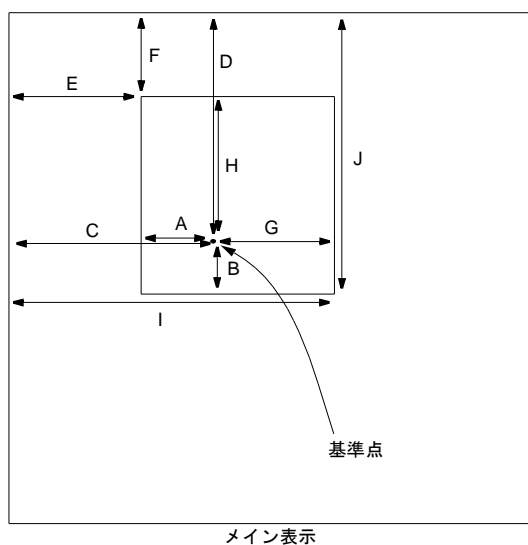


図16-16 ミラーがイネーブルされた180° 回転のスプライト表示

$$E = C - A$$

$$F = D - H$$

$$I = C + G$$

$$J = D + B$$

ミラーがイネーブルされた270° 回転

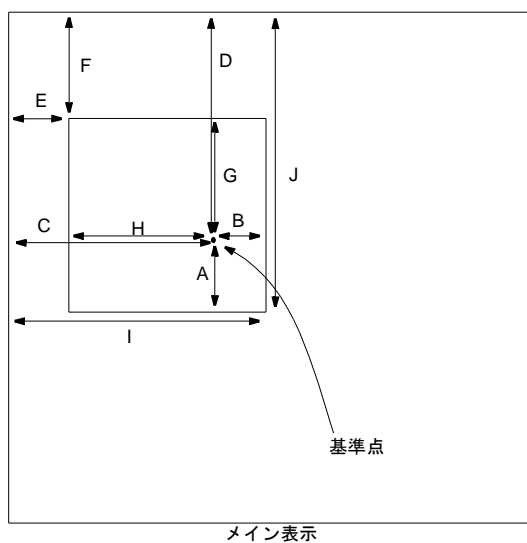


図16-17 ミラーがイネーブルされた270° 回転のスプライト表示

$$E = C - H$$

$$F = D - G$$

$$I = C + B$$

$$J = D + A$$

16.7 任意角度の回転

16.7.1 任意回転がディスエーブルされたスプライトの例

次の例では、任意回転がディスエーブルされた（REG[1xxxh+00h]ビット7=0b）4×4スプライト画像のスプライトパラメータを設定します。

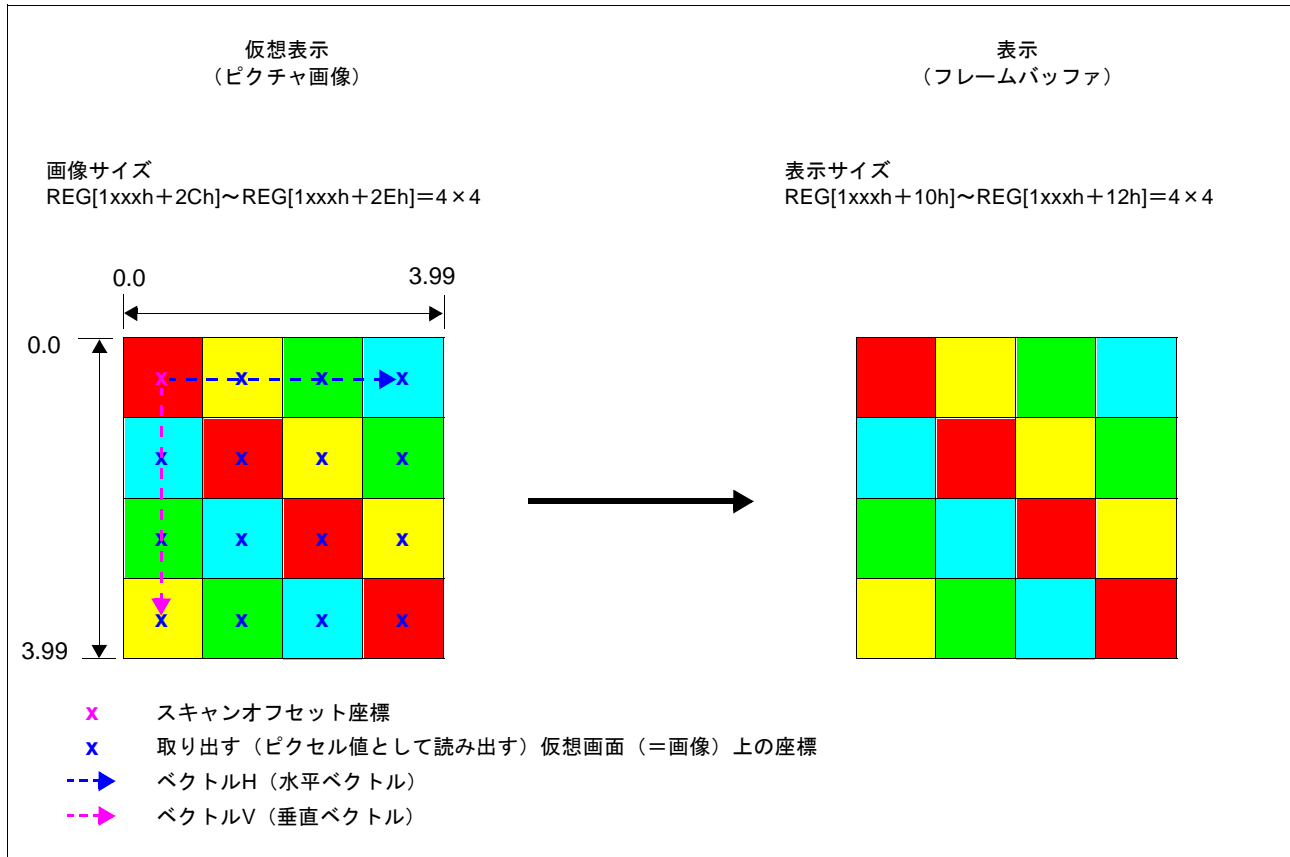


図16-18 任意回転がディスエーブルされたスプライトの例

任意回転をディスエーブルしたとき（REG[1xxxh+00h]ビット7=0b）は、X/Y Scan Vector/Offsetレジスタ（REG[1xxxh+30h]~REG[1xxxh+46h]）を設定する必要はありません。これらの値は、スプライト操作が行われる前に内部で生成されます。



スプライト操作を実行するとき、スプライトエンジンは、xからピクセルデータを取り出してフレームバッファに描画し始めます。次に、ベクトルH（水平ベクトル）で定義された次のピクセルのピクセルデータを取り出し、それをフレームバッファに描画します。スプライトが、表示Xサイズによって定義された4つのピクセルを描画した後で、取り出す座標がベクトルV（垂直ベクトル）に従って移動します。

スプライトエンジンは、Yサイズに達するまで、次のピクセルデータを取り出し、それをフレームバッファに描画し続けます。

16. スプライトエンジン

次の表は、前述の例のためにプログラムする実際の値の一覧です。

表16-1 任意回転がディスエーブルされたスプライトの例

項目	パラメータ値	レジスタ設定
x	Xスキャンオフセット=0.5 Yスキャンオフセット=0.5	REG[1xxxh+42h], REG[1xxxh+40]=00000100h (1.22.9形式で0.5) REG[1xxxh+46h], REG[1xxxh+44]=00000100h (1.22.9形式で0.5)
	XスキャンベクトルH=1.0 YスキャンベクトルH=0.0	REG[1xxxh+32h], REG[1xxxh+30]=000200h (1.13.9形式で1.0) REG[1xxxh+36h], REG[1xxxh+34]=000000h (1.13.9形式で0.0)
	XスキャンベクトルV=0.0 YスキャンベクトルV=1.0	REG[1xxxh+3Ah], REG[1xxxh+38]=000000h (1.13.9形式で0.0) REG[1xxxh+3Eh], REG[1xxxh+3C]=000200h (1.13.9形式で1.0)
画像サイズ	仮想画像幅=4 仮想画像高さ=4	REG[1xxxh+2Ch]=4 REG[1xxxh+2Eh]=4
表示サイズ	フレーム幅=4 フレーム高さ=4	REG[1xxxh+10h]=4 REG[1xxxh+12h]=4

注

固定ゼロ点値から1.13.9または1.22.9形式に変換するときには、9ビット左にシフトしてください。たとえば、0.5を1.22.9形式に変換するには、次のように行います。

$$0.5 \times 200h = 256 = 00000100h$$

16.7.2 任意回転がイネーブルされたスプライトの例

次の例では、任意回転がイネーブルされた（REG[1xxxh+00h]ビット7=1b）4×4スプライト画像のスプライトパラメータを設定します。

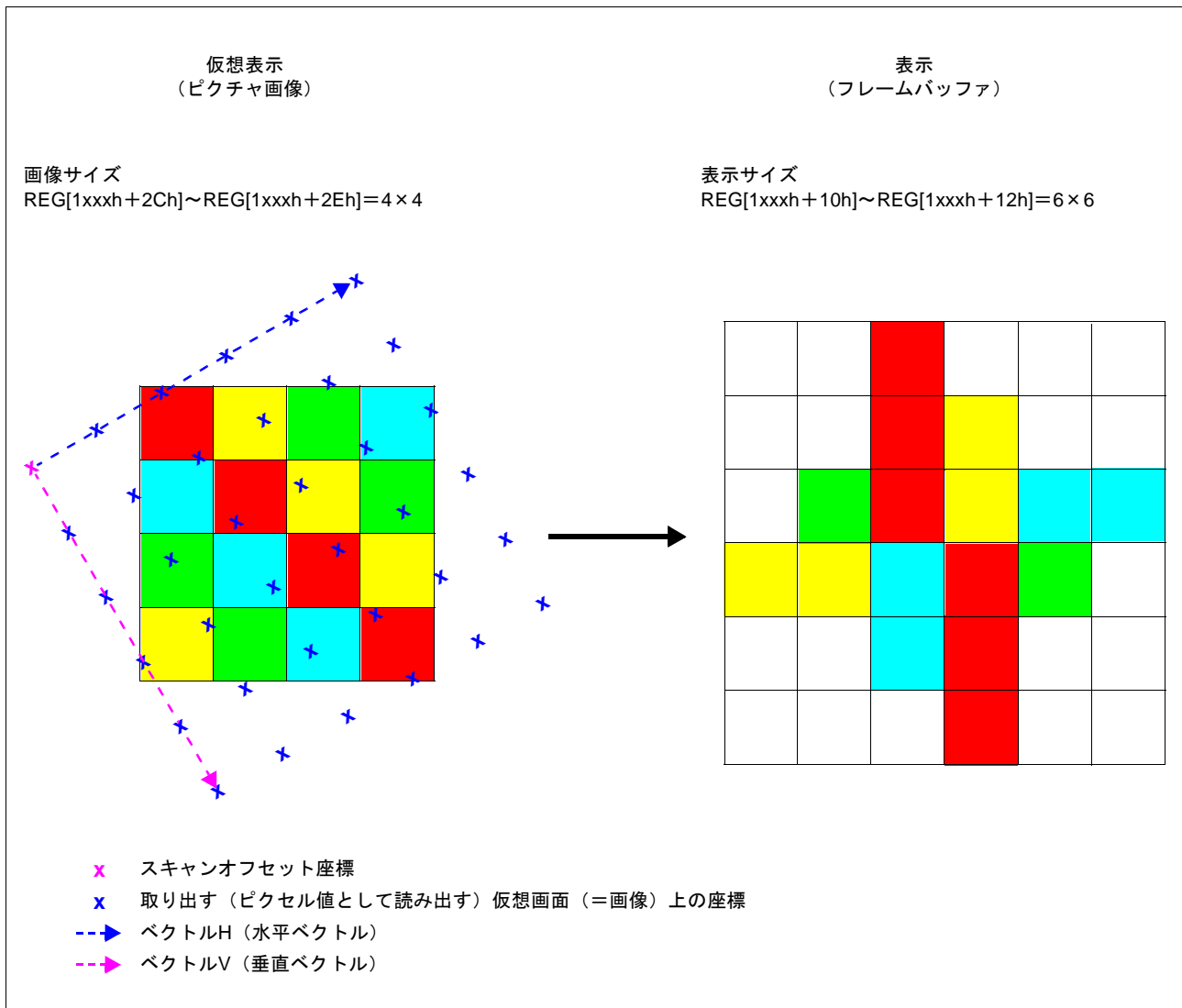


図16-19 任意回転がイネーブルされたスプライトの例

上記の図は、30°の任意角度右回転の4×4スプライト画像の例を表しています。小さい画像を回転させると画像が多少ゆがむことに注意してください。

16. スプライトエンジン

スプライト画像を回転させるときは、回転させたスプライト画像の全体が入るように表示サイズを拡張してください。このサイズは、外接する正方形のサイズが最も大きくなる45°回転された画像に必要なサイズを基準にして決定されます。次の式から必要なサイズを計算することができます。

必要な表示幅=元のスプライト幅×2の平方根

必要な表示高さ=元のスプライト高さ×2の平方根

4×4スプライトの場合は、幅と高さの両方に次の計算が適用されます。

$$4 \times \sqrt{2} \approx 5.66$$

この例では、幅と高さを両方とも整数値に切り上げてください（5.66→6）。したがって、表示サイズを6×6にプログラムしてください。回転させたスプライト画像を描画するのにかかる時間の長さは表示サイズに比例するため、「安全」なサイズを多く見積もるのではなく最小限必要な表示サイズを計算することが重要です。

表16-2 任意回転がイネーブルされたスプライトの例

項目	パラメータ値	レジスタ設定
X	Xスキャンオフセット≒-1.415（下の式を参照） Yスキャンオフセット≒1.085（下の式を参照）	REG[1xxxh + 42h], REG[1xxxh + 40]=FFFFD2Ch REG[1xxxh + 46h], REG[1xxxh + 44]=000022Bh
	XスキャンベクトルH≒0.866（下の式を参照） YスキャンベクトルH≒-0.5（下の式を参照）	REG[1xxxh + 32h], REG[1xxxh + 30]=0001BBh REG[1xxxh + 36h], REG[1xxxh + 34]=FFFF00h
	XスキャンベクトルV=0.5（下の式を参照） YスキャンベクトルV≒0.866（下の式を参照）	REG[1xxxh + 3Ah], REG[1xxxh + 38]=0000FFh REG[1xxxh + 3Eh], REG[1xxxh + 3C]=0001BBh
画像サイズ	仮想画像幅=4 仮想画像高さ=4	REG[1xxxh + 2Ch]=4 REG[1xxxh + 2Eh]=4
表示サイズ	フレーム幅=6 フレーム高さ=6	REG[1xxxh + 10h]=6 REG[1xxxh + 12h]=6

式

以下の式は、416ページの表16-2「任意回転がイネーブルされたスプライトの例」に示したX/Yスキャンベクトル/オフセット値の計算に使用されます。

XスキャンベクトルH = $\cos(-\theta) \div X$ （拡大率）

YスキャンベクトルH = $\sin(-\theta) \div Y$ （拡大率）

XスキャンベクトルV = $-\sin(-\theta) \div X$ （拡大率）

YスキャンベクトルV = $\cos(-\theta) \div Y$ （拡大率）

Xスキャンオフセット = (画像Xサイズ ÷ 2) - ((XスキャンベクトルH × (表示Xサイズ - 1)) + (XスキャンベクトルV × (表示Xサイズ - 1))) ÷ 2

Yスキャンオフセット = (画像Yサイズ ÷ 2) - ((YスキャンベクトルH × (表示Yサイズ - 1)) + (YスキャンベクトルV × (表示Yサイズ - 1))) ÷ 2

注

サイズを2倍にする場合の拡大率は2.0、サイズを半分にする場合は0.5です。

以下の図は、X/Yスキャンオフセットの計算の仕方を表したものです。

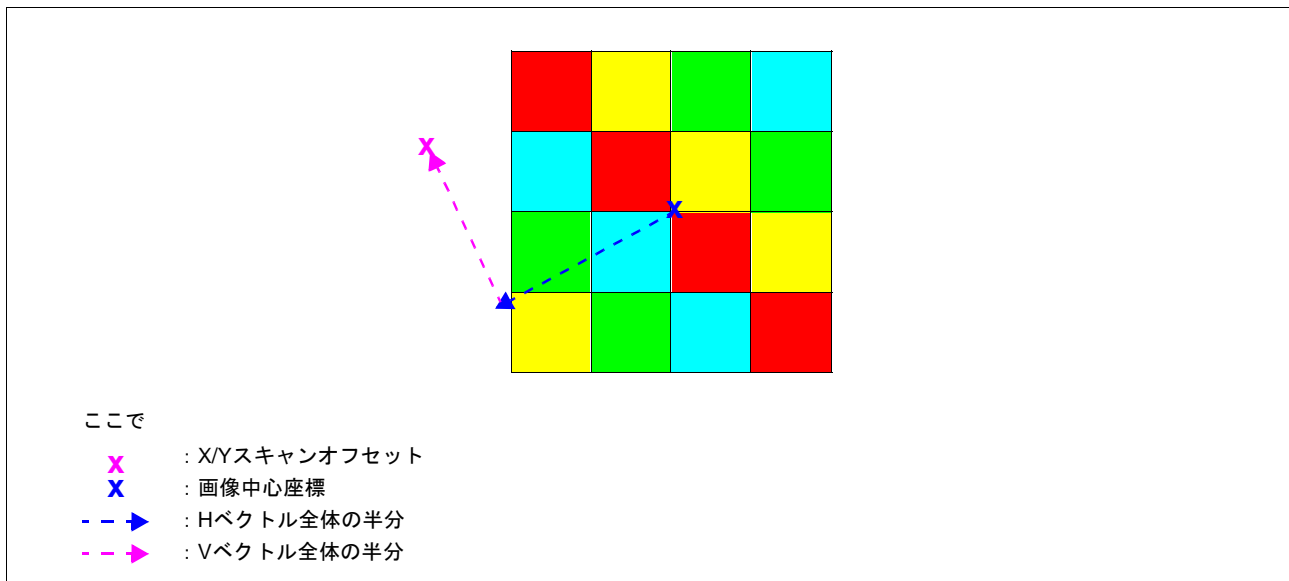


図16-20 X/Yスキャンオフセットの計算

上記の式で、回転させた画像のH方向とV方向の拡大率を別々に設定することができます。H方向とV方向の拡大率が異なるとき、画像は長方形に変換されます。式により、菱形や平行四辺形に変換することもできます。

16. スプライトエンジン

16.8 プログラミングフロー

スプライトエンジンをプログラムする一般的な手順は次の通りです。

1. スプライトカラーフォーマットを設定します
2. スプライトトリガ制御を設定します
3. スプライト割り込みを設定します
4. 各スプライトのフレームシーケンス長とトリガカウントを設定します
5. スプライトフレームバッファ開始アドレスを設定します
6. イネーブルしたそれぞれのスプライトに、
 - a. Zオーダー、回転、ミラーを設定します
 - b. 透過と透過キーカラーを指定します（適用可能な場合）
 - c. スプライトSDRAM開始アドレスを指定します（イネーブルされた場合は回転も）
 - d. スプライトのフレームサイズ、位置および基準点を指定します
 - e. スプライトフレームデータをSDRAMにロードします

スプライトモジュールをイネーブルし、それぞれのスプライトデータをSDRAMにロードした後で、手動スプライトペイントを行うかTFT垂直同期信号に基づいて自動ペイントを行うことによって、SDRAM内のフレームバッファにスプライトデータを描画することができます。手動トリガモードでは、スプライトペイントは、REG[1704h]ビット0を使ってトリガされます。非手動トリガモードでは、スプライトはトリガカウントとスプライトペイントトリガの設定に基づいて更新されます。

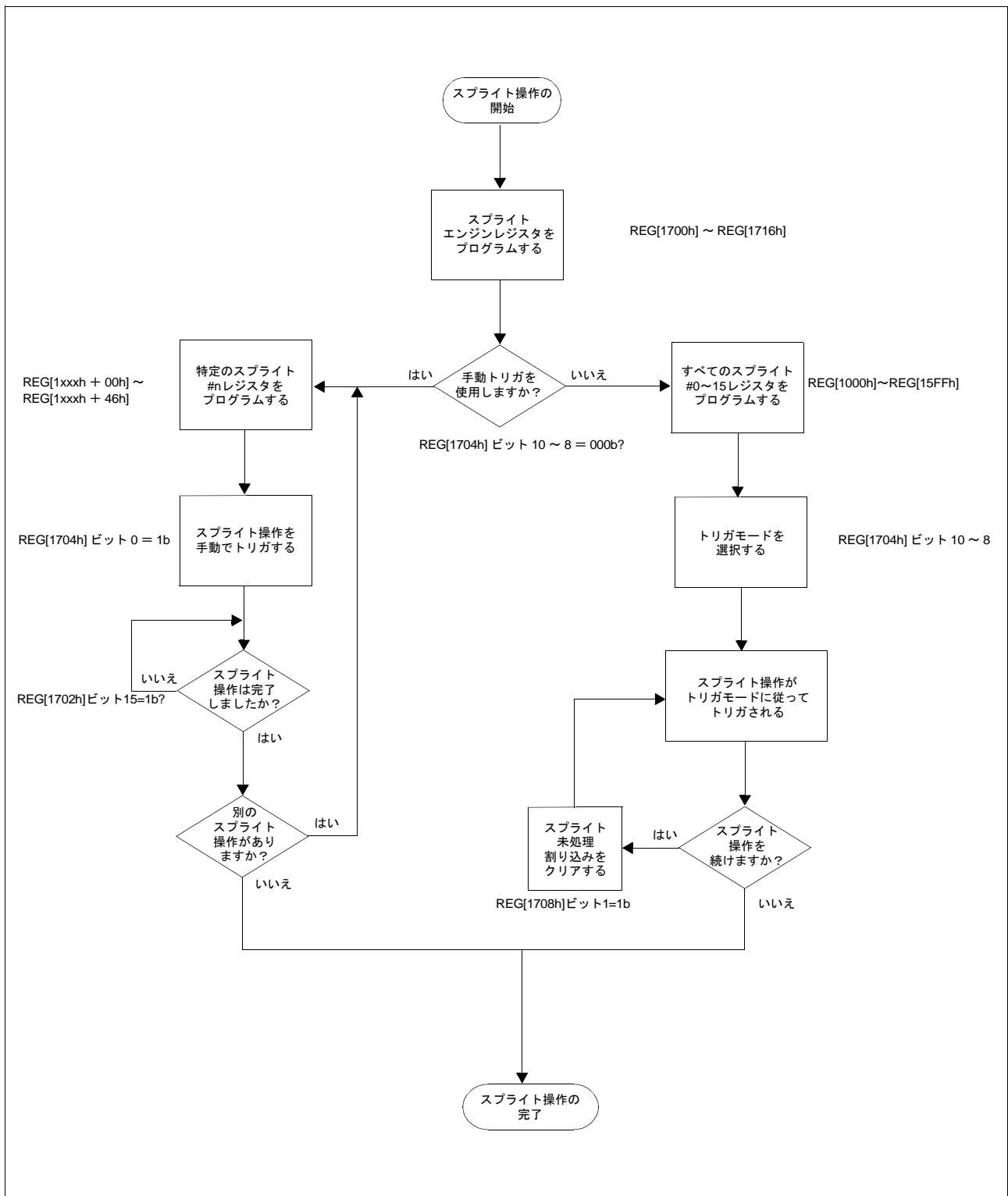


図16-21 スプライト操作フロー

16. スプライトエンジン

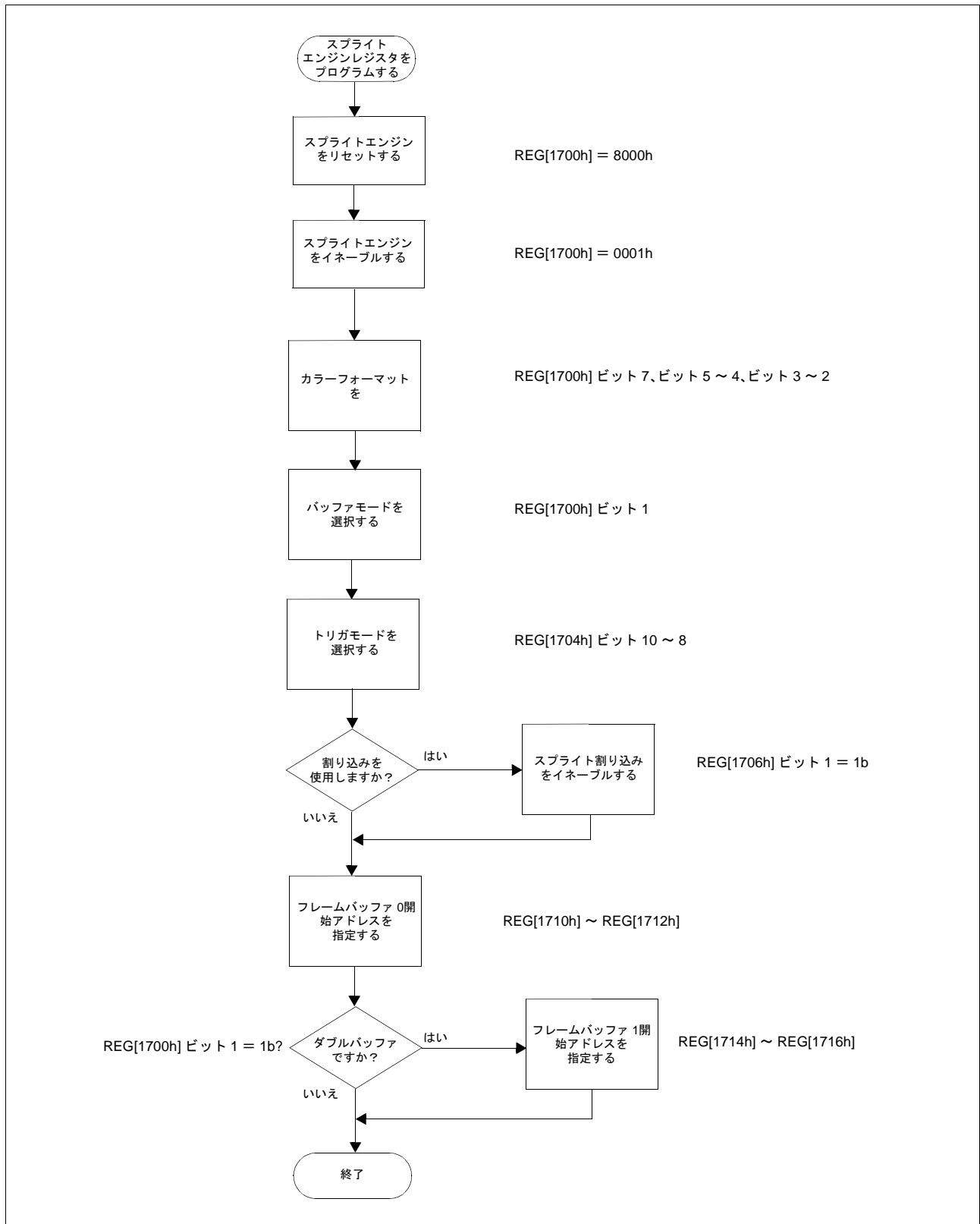


図16-22 スプライトエンジンレジスタのプログラミングフロー

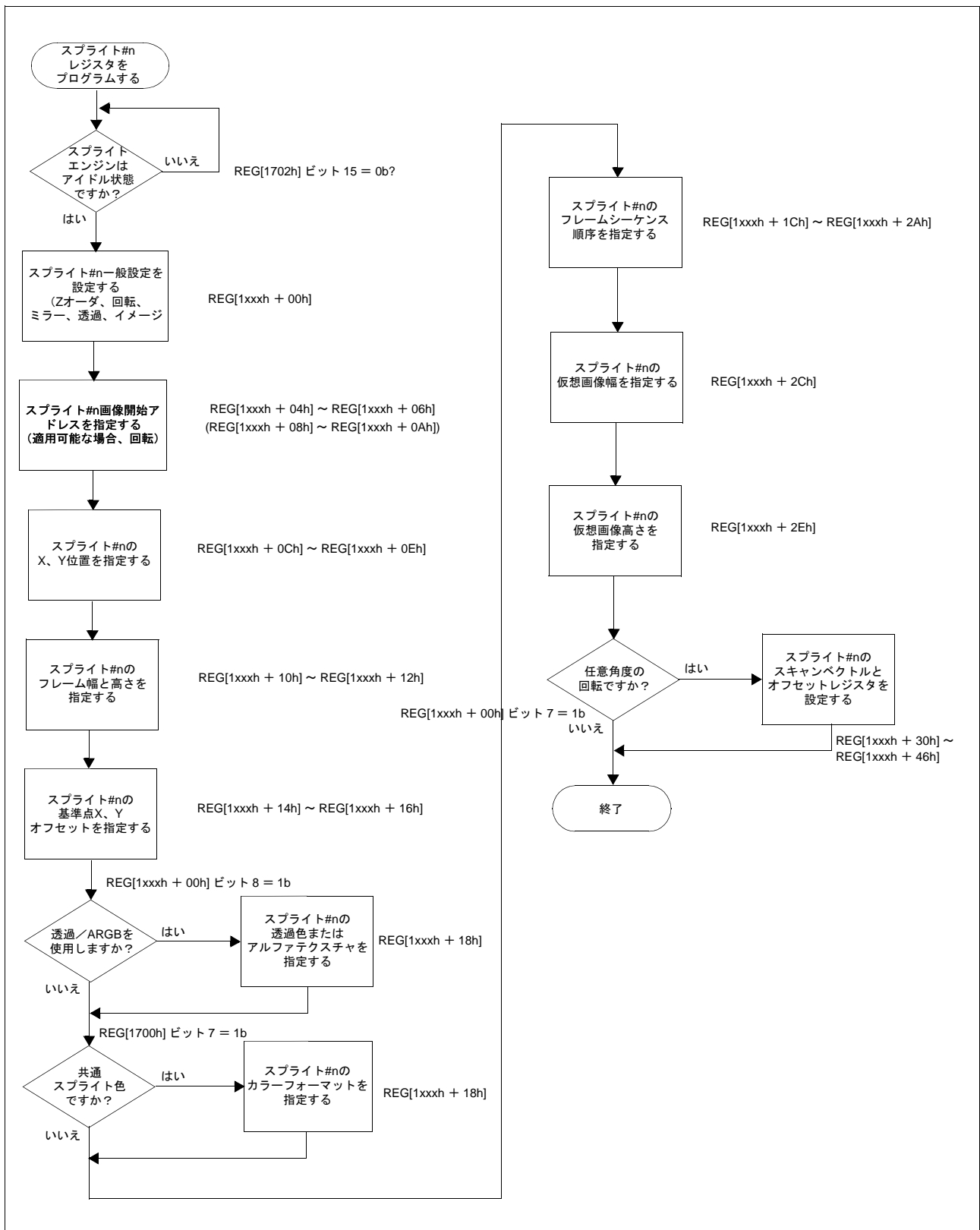


図16-23 スプライト#nレジスタのプログラミングフロー

16. スプライトエンジン

16.9 イメージフォーマットコンバータ

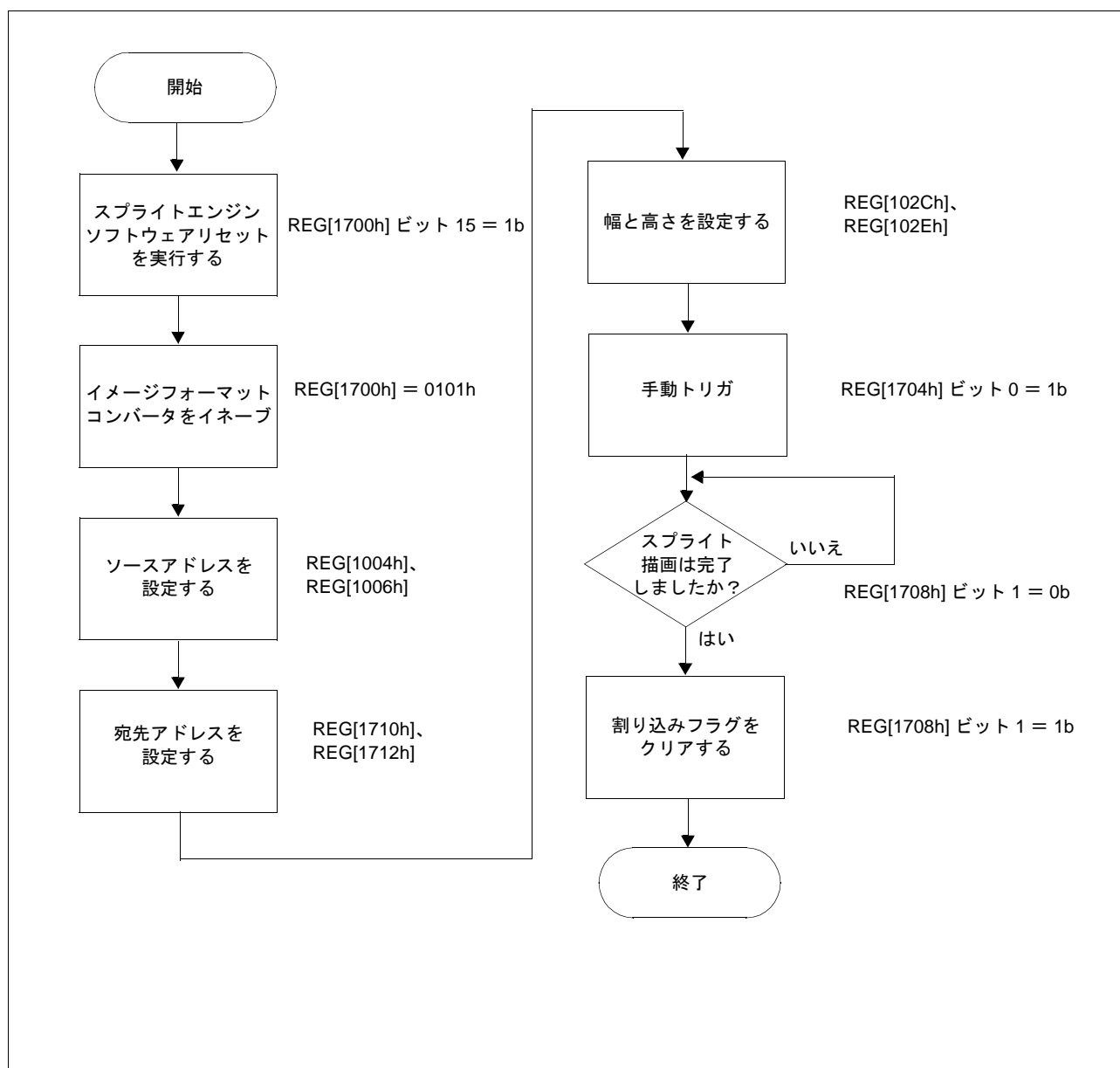


図16-24 イメージフォーマットコンバータシーケンスの例

注

イメージフォーマットコンバータを実行するときは、新しいイメージフォーマットコンバータを始める前に、変換が完了している（REG[1708h]ビット1を参照）ことを確認してください。

17. コマンドFIFO

S1D13513は、多数のスプライトコマンドやBitBLTコマンドを発行するときのCPU負荷を軽減するように設計されたコマンドFIFOを備えています。コマンドFIFOを使用することによって、コマンドFIFOロジックがコマンド（すなわち、BitBLTの開始）による固有の遅延を内部で処理できるようになります。これにより、ソフトウェアとホストはコマンドによって負荷が増えることはありません。

注

スプライトエンジンやBitBLTエンジンを初めて使用するときは、このコマンドFIFOにコマンド読み出し／書き込みアクセスをする前にコマンドFIFOのクロックイネーブル（REG[0462h]ビット5）をイネーブルし、レジスタを直接プログラムしてください。その後のコマンド／パラメータは、コマンドFIFOに入れてコマンドFIFOロジックがスプライト操作とBitBLTによる固有の「ビジー」状態を自動的に処理できるようにしてください。

コマンドFIFOは、最大64のコマンドエントリを含むことができ、スプライトエンジンに対するコマンドとBitBLTエンジンに対するコマンドを混合することができます。ただし、スプライトエンジンとBitBLTエンジンは同時に動作することはできません。たとえば、スプライトエンジンは、BitBLTエンジンがプログラムされている間にスプライト操作を実行できますが、BitBLTエンジンがBitBLTを実行しているときには同時にスプライトを描画することはできません。

コマンドFIFOは、REG[4000h]～REG[4FFFh]のレジスタ空間に書き込むことによりアクセスされます。この空間は、REG[1000h]～REG[17FFh]のスプライトレジスタとREG[1800h]～REG[1FFFh]のBitBLTレジスタと同じオフセットアドレスを使ってマッピングされます。

コマンドFIFOレジスタ空間（REG[4000h]～REG[4FFFh]）内のいずれかのレジスタを読み出すと、そのときコマンドFIFO内にあるエントリの数を返します。コマンドFIFOがエンプティのときに読み出すと40h（64）を返します。コマンドFIFOが使用されているときは、（64－使用しているエントリの数）を返します。

REG[4000h]～REG[4FFFh]のレジスタが書き込まれると、「コマンド」に変換されコマンドFIFOに入れます。各コマンドは、次のような3つの部分から構成されます。

表17-1 命令構造

1ビット	10ビット	16ビット
スプライト／BitBLT	アドレス	データ

最初のビットは、コマンドがスプライトエンジン（ビット=1）用かBitBLTエンジン（ビット=0）用かを定義します。10ビットのアドレスは、適切なエンジンが使用可能になったときにプログラムするレジスタを指定します。最後に、データ部分には、指定されたレジスタに書き込む値が入ります。

17. コマンドFIFO

スプライトエンジンとBitBLTエンジンのどちらかがアイドル状態のときは、そのエンジンに予定されていた次のコマンドが実行されます。これにより、コマンドFIFOに格納されるときに、選択されたデータ値が指定されたレジスタインデックスに書き込まれます。コマンドによっては、完了する（すなわち、BitBLTを開始する）のに短時間しかかからないものもあります。この間、コマンドFIFOは自動的に、発行されたコマンドが終了するのを待ってから、そのエンジン用の次のコマンドを実行します。

以下の図は、スプライトエンジンレジスタとBitBLTエンジンレジスタをプログラムするために使用できるパスを示しています。ソフトウェアがポーリングや割り込みを使って一部の「コマンド」の遅延を管理するようにレジスタを直接プログラムすることができます。あるいは、コマンドFIFOを使用して、「コマンド」を内部のキューに入れてソフトウェアが遅延を管理しなくてもよいようにレジスタをプログラムすることもできます。

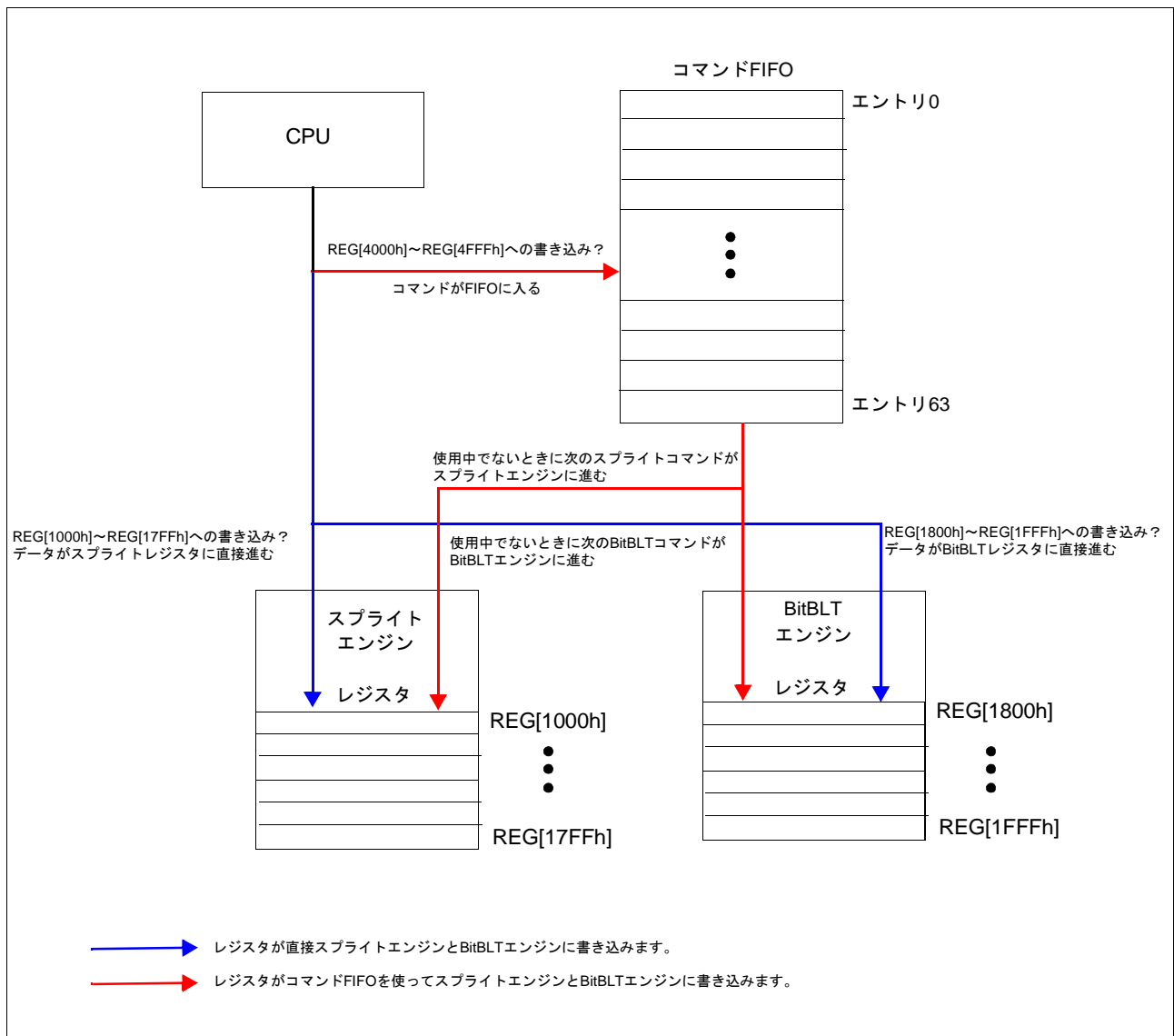


図17-1 コマンドFIFOの例

18. SDRAMインタフェース

S1D13513 SDRAMは、外付けSDRAMまたはモバイルSDRAMを使用するように設計されています。これは、8/16/32/64Mバイト（64/128/256/512Mビット）サイズのSDRAMを使用できる×16および×32SDRAMインタフェースをサポートしています。S1D13513はメモリを内蔵していません。

注

×32SDRAMインタフェースと32/64MバイトサイズのSDRAMは、PBGAパッケージのみ対応可能です。

S1D13513は、表示バッファと2D BitBLT／スプライト機能の一部に外付けSDRAMを使用します。ダイレクトアクセスモードでもインダイレクトアクセスモードでもアドレス可能です。メモリのアドレス指定の詳細は、116ページの項8.「メモリマップ」を参照してください。

18.1 SDRAMの初期化

SDRAMを使用する前にSDRAM Configurationレジスタ（REG[1C00h]～REG[1C14h]）を使ってSDRAMを初期化してください。初期化シーケンスは、標準SDRAMを使用するかモバイルSDRAMを使用するかにより異なります。タイプごとのSDRAMの推奨初期化手順は、次の項で説明します。

18.1.1 標準SDRAMの初期化

標準SDRAMを初期化するときは、次の手順に従ってください。
特定のSDRAM要件の詳細は、SDRAM仕様書を参照してください。

1. SDRAMの電源投入後少なくとも100 μ s間待ってください。
（詳細は、SDRAM仕様書を参照してください。）
2. 使用するSDRAMの要件に従ってMemory Cofiguration Register 1（REG[1C04h]）を設定します。
3. SDRAMメモリサイズとクロック設定に従ってMemory Cofiguration Register 2（REG[1C06h]）を設定します。
4. SDRAMバス幅に従ってMemory Cofiguration Register 0（REG[1C02h]）を設定します。同じ書き込み中にSDRAMをイネーブルすることができます（REG[1C02h]ビット0）。SDRAMをイネーブルするとSDRAMの初期化処理が始まります。
5. メモリ初期化ビットが1bに戻るまで（REG[1C02h]ビット7=1b）待ってください。
6. これでSDRAMを使用することができます。

18. SDRAMインタフェース

18.1.2 モバイルSDRAMの初期化

モバイルSDRAMを初期化するには次の手順に従ってください。特定のモバイルSDRAM要件の詳細は、モバイルSDRAM仕様書を参照してください。

1. モバイルSDRAMの電源投入後少なくとも100 μ s間待ってください。
(詳細は、モバイルSDRAM仕様書を参照してください)。
2. 使用するモバイルSDRAMの要件に従ってMemory Cofiguration Register 1 (REG[1C04h]) を設定します。
3. モバイル SDRAM メモリサイズとクロック設定に従って Memory Cofiguration Register 2 (REG[1C06h]) を設定します。
4. 使用しているモバイルSDRAM拡張モードによりモバイルSDRAM設定レジスタ (REG[1C12h]) を設定します。モバイル SDRAM を使用するときはREG[1C12h]のビット7を1bに設定してください。
5. モバイルSDRAMバス幅に従ってMemory Cofiguration Register 0 (REG[1C02h]) を設定します。同じ書き込み中にモバイルSDRAMをイネーブルすることができます (REG[1C02h]ビット0)。モバイルSDRAMをイネーブルすると初期化処理が始まります。
6. メモリ初期化ビットが1bに戻るまで (REG[1C02h]ビット7=1b) 待ってください。
7. これでモバイルSDRAMを使用することができます。

18.2 メモリバンド幅

SDRAMに対するアクセスを必要とする多数のS1D13513モジュールがあります。特定の実装に必要なS1D13513モジュールの数が多すぎると、すべてのモジュールがSDRAMに適切にアクセスするために必要な全バンド幅が足りなくなることがあります。このような状況によって表示が劣化することがあります。

使用可能なバンド幅の量は、16ビットと32ビットのメモリアンタフェース設定によって異なります。以下の表は、最小限のモジュールが要求されたときに各解像度でサポートされる最大色深度 (bpp) を示しています。

表18-1 解像度と色深度の基準

解像度	色深度	
	16ビットメモリアンタフェース	32ビットメモリアンタフェース
1024 × 768	16bpp (注を参照)	16bpp
800 × 600	16bpp (注を参照)	16bpp
640 × 480	16bpp	32bpp

注

解像度1024×768と800×600の表示では、メインウィンドウだけしか使用できません。PIPウィンドウを使用したい場合は、32ビットメモリアンタフェースを使用してください。

複数のモジュール（すなわち、カメラインタフェース、2D BitBLTおよびスプライト）を必要とする実装の場合は、上記の表に示した解像度が得られない場合があることに注意してください。指定された解像度と色深度が必要で、表示の乱れが生じる場合は、全水平期間 (HT) パラメータをパネルの最大値まで大きくしてください。それでも表示の乱れがなくなる場合は、LCDコントローラよりも優先順位の高いモジュールの使用を停止しなければならないことがあります。S1D13513は、各モジュールに次のようなアクセス優先順位を与えています。

1. DMA (最高優先順位)
2. カメラインタフェース
3. ホストインタフェース
4. LCDコントローラ
5. 2D BitBLT
6. スプライト操作 (最低優先順位)

19. パルス幅変調 (PWM)

19. パルス幅変調 (PWM)

19.1 PWM回路の概要

PWM回路は、近似16KHz PWMSRCCLKクロックによって動作します。REG[3402h]のクロック分周器でこのPWMクロックを最大16で分割してPWMクロックを生成することができます。このPWMクロックは、PWMサイクルの周波数の16倍であり、PWMサイクルは、PWM Duty Cycleレジスタ (REG[340Ch]) にプログラムされているような可変デューティサイクルです。

回路は、LEDを、完全に消灯した状態からPWM Duty Cycleレジスタ (REG[340Ch]) にプログラムされたデューティサイクルまでパルス化することができます。LEDパルスは、周波数がPWMクロックの1/16のPULSE_clkの128クロックごとに生成されます。

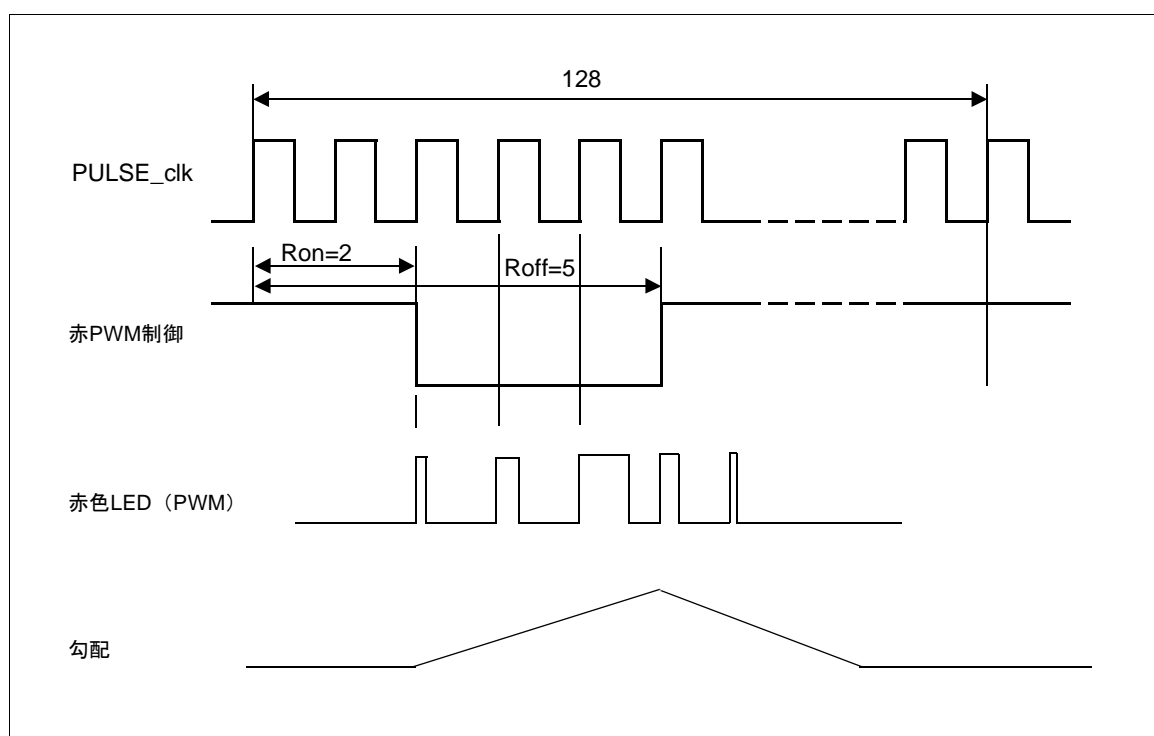


図19-1 PWMタイミングの例

上記の図では、Red onレジスタが2にプログラムされ、Red offレジスタが5にプログラムされています。勾配レジスタに0でない値があると、PWMデューティサイクルは、0からPWM Duty Cycleレジスタ (REG[340Ch]) にプログラムされた最大デューティサイクルまで上昇します。

上記の例では、PWM回路がその最大デューティサイクルに達しない場合がある（まだ上昇している）ことに注意してください。Red offレジスタが、勾配が完全に最大PWMデューティサイクルに達することができない時間値でプログラムされている場合は、単純に切り捨てられて、上に示したように下がり始めます。また、PWM Slopeレジスタ (REG[340Ah]) が値「0」でプログラムされている場合は、PWM出力はすぐに、完全な消灯状態から、PWM Duty Cycleレジスタ (REG[340Ch]) にプログラムされた最大PWM値になり、（中間PWMデューティサイクル値を経て減少することなく）次に完全な消灯状態になることに注意してください。

次ページは、別の例であり、勾配が最大デューティサイクルに達し、時間Red offになるまでそのままです。3つのPWM回路がすべて128クロック周期で同期され、そのサイクルが互いに同期されていることに注意してください。設定Red on及びRed offは、3つのカラーLEDオン/オフ周期を互いに調整するために使用されます。

19. パルス幅変調 (PWM)

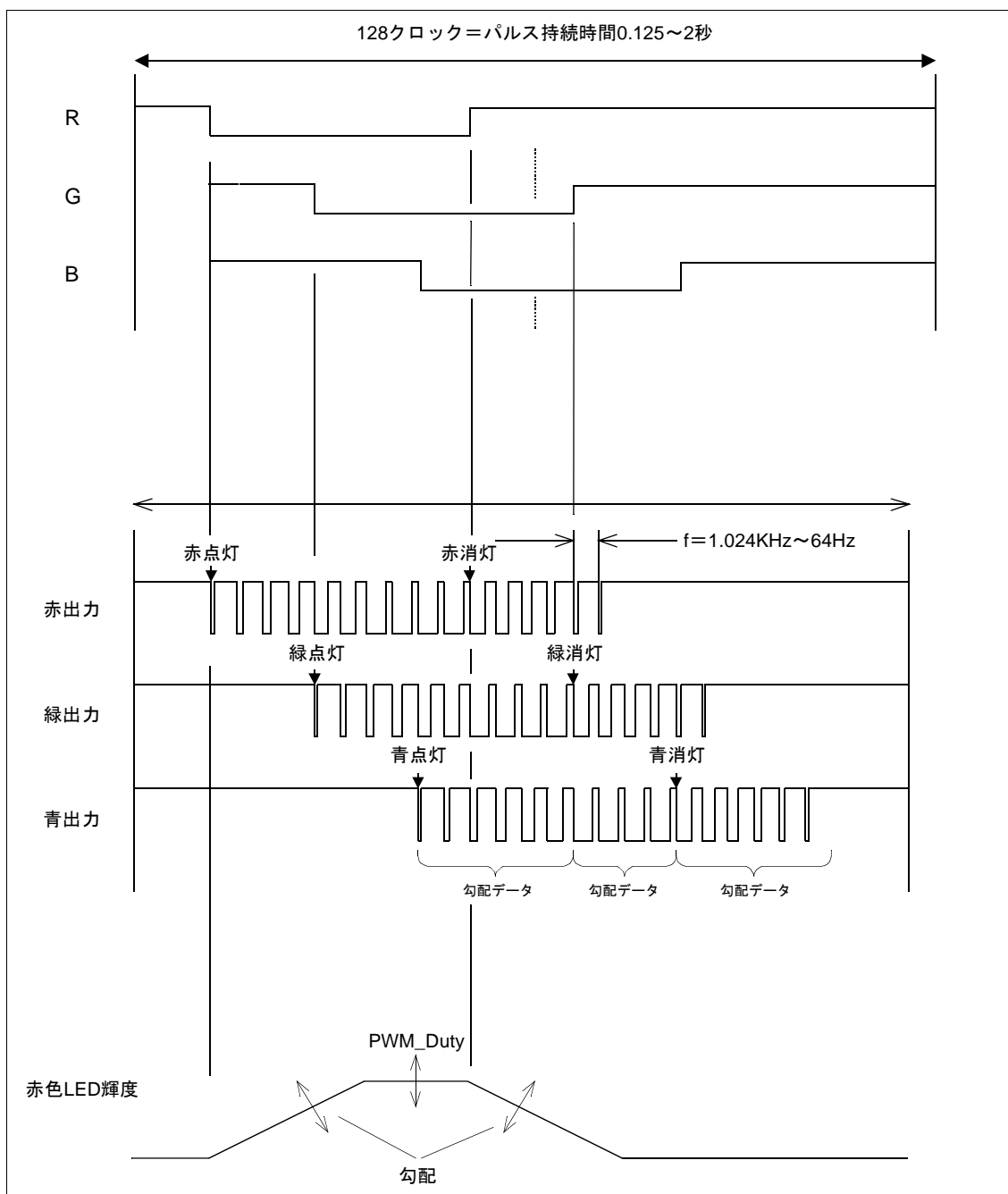


図19-2 PWMタイミング図

白PWM回路は、勾配とパルスを生成する回路がない点がカラーの3つの回路と少し異なります。この回路は、単純に特定のPWMデューティサイクルまでオンにされるか、完全にオフにされます。

白PWM回路のクロックソースはPWMSRCCLKです。白出力の周期とデューティサイクルは、White LED Controlレジスタ (REG[340Eh]) によって制御されます。これにより、白PWM出力の周波数範囲は1Hz~64Hzになり、64のデューティサイクルが可能です。

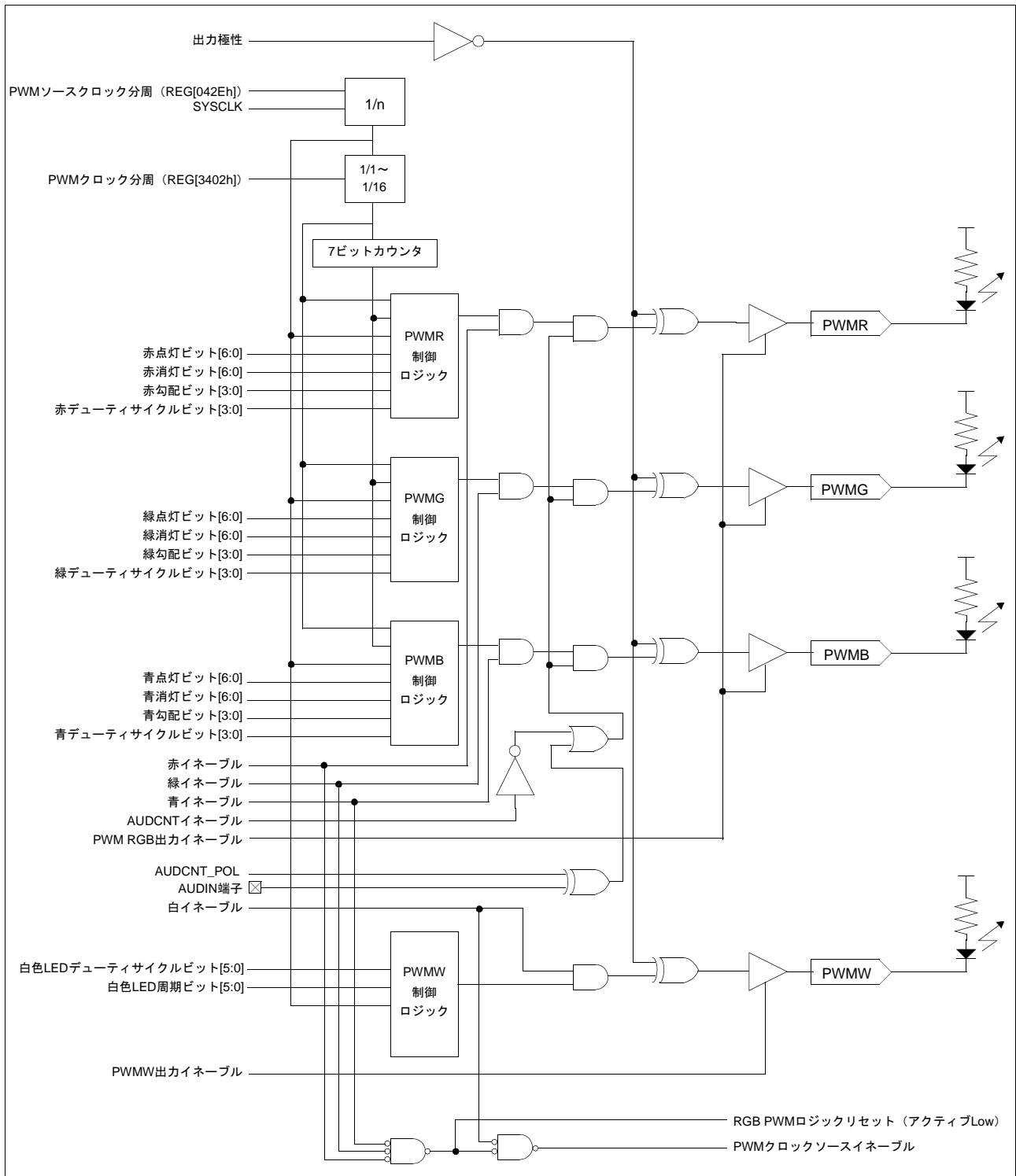


図19-3 PWMブロック図

19. パルス幅変調 (PWM)

19.2 その他の注意事項

- PWM回路は、使用中でないとき、すなわちユーザが使用したいと思わないときは完全に遮断され、PWM回路がアイドル状態のときの電力効率の低下はありません。たとえば、REG[3400h]ビット11～8=0000bの場合は、この回路からのカレントドレインを防ぐためにPWM回路へのクロックは完全に停止されます。
- HVDD3は、出力電圧を出力ドライバ (R,G,B,W) に供給するために使用されます。
- RGB回路に使用されているすべてのPWMカウンタと状態マシンは、赤、緑、青PWMイネーブルビット (REG[3400h]ビット9、10および11) がすべてオフになったときにその初期状態にリセットされます (すなわち、PWM基準カウンタをリセットするには3つをすべて0にしてください)。ハードウェアには、ソフトウェアによって変更されたレジスタ値を再サンプリングする同期回路が内蔵されていないため、PWMレジスタを変更する際はR、G、B PWM回路の電源をオフにしておくことを推奨します。これは厳密な要件ではありませんが、回路は最終的に次の128カウントサイクルで適正な状態にリセットされますが、PWM回路が動作中にPWMレジスタが途中で修正されると異常な視覚パターンが現れることがあります。
- AUDIN端子は、外部入力端子を設けることによってPWM出力をさらに適切に制御することができます。この入力端子および関連したイネーブルビットは、PWM回路後のPWM出力段を直接制御します。

20. ホストインタフェース

20.1 ハードウェア構成

S1D13513は、CNF[8:0]端子を使って設定されます。この端子は、プルアップ抵抗を介してHighに接続されるか、直接VSSに接続してください。これらの設定端子は、ホストバスインタフェースのタイプ、チップ選択モード、エンディアンモードおよびクロックモードを選択するために使用されます。RESET#の立ち上がりエッジにおけるCNF[8:0]の状態が、S1D13513の設定を決定します。他の時にCNF[8:0]の状態を変更しても効果はありません。

設定オプションの概要は、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。

20.1.1 バスタイプ (CNF6)

S1D13513は、バスクロックのあるホストインタフェースバスとバスクロックのないホストインタフェースバスの2つのタイプのホストバスインタフェースをサポートしています。CNF6=0のときは、バスクロックのあるホストインタフェースが選択されます。CNF6=1のときは、バスクロックのないホストインタフェースが選択されます。サポートしているCPUバスタイプの詳しいリストは、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。

20.1.2 チップ選択 (1CS#と2CS#)

S1D13513は、2つのタイプのチップ選択モードをサポートしています。各モードの可用性はCNF[5:0]の設定を参照してください (35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください)。

1CS#モードでは、CS#端子はS1D13513のチップ選択に使用され、M/R#端子はメモリとレジスタ空間の空間選択に使用されます。

2CS#モードでは、CS#端子はS1D13513のメモリチップ選択信号 (CSM#)として使用され、MR#端子はS1D13513のレジスタチップ選択信号(CSR#)として使用されます。

注

CPUバスタイプによっては2つのCS#モードをサポートしていないものもあります。

20. ホストインタフェース

20.1.3 エンディアンモード

S1D13513は、ビッグエンディアンモードとリトルエンディアンモードをサポートしています。エンディアンモードは、ホストデータベースを操作するバイトレーンバスに影響を及ぼします。

CNF6=0のときは、各CNF[4:0]組み合わせが、選択されたホストバスタイプのエンディアンモードを指定します。

CNF6=1のときは、エンディアンモードを指定するためにCNF5が次のように使用されます。

CNF5=0：リトルエンディアン

CNF5=1：ビッグエンディアン

概要は、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。

注

ビッグエンディアンホストインタフェースを選択したとき、メモリアクセスはバイトスワップされます。レジスタアクセスはスワップされません。したがって、各レジスタ内の上位データバイトと下位データバイトを「バイトスワップ」する方法を使用してレジスタにアクセスしなければなりません。この要件の詳細は、453ページの項20.6「ビッグエンディアンホストインタフェースのレジスタアクセス」を参照してください。

20.1.4 CNF[4:0]-ホストバスインタフェースのタイプ

S1D13513は、汎用バス、ISAバス、MPC555、SH3、SH4、および従来のモード80とモード68のインタフェースを含む様々なホストCPUバスタイプをサポートしています。

モード80には、読み出し／書き込み信号の異なる組み合わせを使用する2種類があります（タイプ1とタイプ2）。タイプ1とタイプ2の平行ホストインタフェースは、ダイレクトアドレス指定とインダイレクトアドレス指定のどちらも使用することができます。

ダイレクトアドレス指定を選択したとき、アドレスはAB[20:1]端子で指定されます。インダイレクトアドレス指定は、インデックスレジスタを使ってアドレスを指定します。

使用可能なホストバスインタフェースの概要は、35ページの項5.3「コンフィギュレーションオプションの概要」を参照してください。

20.1.5 シリアルホストインタフェースのクロック極性

立ち下がりエッジか立ち上がりエッジのどちらかでデータを有効にすることにより、シリアルホストインタフェースをHVDD1またはHVDD2に設定することができます。

表20-1 シリアルホストインタフェースの設定

CNF[4:0]	HOSTインタフェースタイプ	有効エッジ
10000b	ホストVDD (HVDD1) のシリアルインタフェース	立ち下がりエッジでデータ有効化
10001b	パネルVDD (HVDD2) のシリアルインタフェース	立ち下がりエッジでデータ有効化
11000b	ホストVDD (HVDD1) のシリアルインタフェース	立ち上がりエッジでデータ有効化
11001b	パネルVDD (HVDD2) のシリアルインタフェース	立ち上がりエッジでデータ有効化

20. ホストインタフェース

20.2 ホストバスタイムアウト機能

S1D13513は、2つのタイプのホストバスタイムアウトを検出することができます。この機能をイネーブルすると、タイムアウト状態が生じたときにホスト割り込みフラグ (REG[0020h] ビット0) が設定されます。

20.2.1 ホスト読み出し／書き込みサイクルタイムアウト

このタイプのホストバスタイムアウトでは、SDRAMに対するホストの読み出し／書き込みアクセスが指定回数を超えたときにタイムアウトが生じます。このタイムアウト機能は、ダイレクトホストバスインタフェースモードとインダイレクトホストバスインタフェースモードの両方でサポートされます。このタイムアウト機能が行われるようにするには、PCLKイネーブル (REG[0462h] ビット3) とHCLK1イネーブル (REG[0462h] ビット1) の両方をイネーブルしてください。

このホストバスタイムアウトは、REG[0024h] ビット7=1bのときにイネーブルされます。ホストタイムアウト値はシステムクロックで指定され、ホストタイムアウト値ビット (REG[0024h] ビット6～0) を使って設定されます。SDRAMに対するホストアクセスがこの値を超えると、REG[0020h] ビット0のホスト割り込みフラグが設定されます。

さらに、割り込みを使用してエラーのタイプを決定することができます。メモリ読み出しエラー割り込みとメモリ書き込みエラー割り込み (REG[0028h] ビット1～0 を参照) をイネーブルすると、ホストタイムアウトが生じたときにREG[0026h] に適切なフラグが設定されます。割り込みを処理した後で、対応するビットに1bを書き込むことによって、REG[0026h] の状態フラグをクリアすることができます。

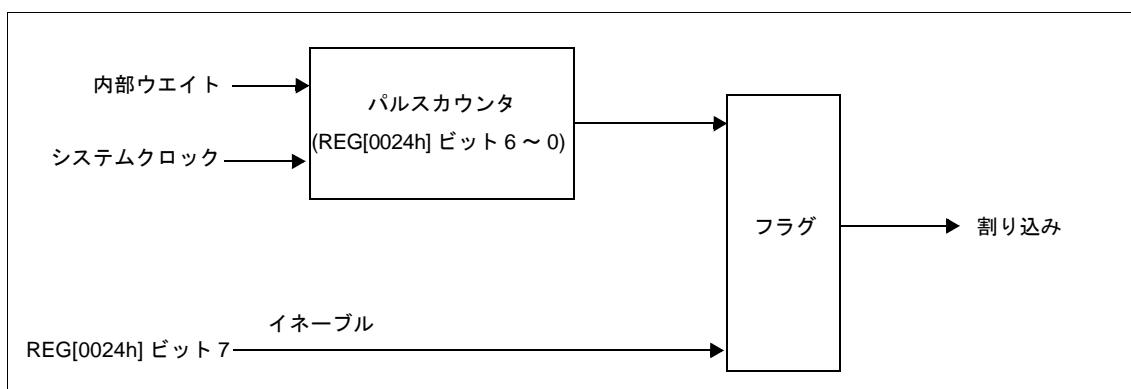


図20-1 ホスト読み出し／書き込みサイクルタイムアウト機能

20.2.2 ホストWAIT#長さタイムアウト

このタイプのホストバスタイムアウトでは、S1D13513が2000ソースクロックより長くWAIT#を保持した場合にタイムアウトが生じます。このタイムアウト機能は、ダイレクトホストバスインタフェースモードとインダイレクトホストバスインタフェースモードの両方でサポートされます。ソースクロックは、CNF[8:7]端子を使って選択されます。

このホストバスタイムアウトは、デフォルトではディスエーブルされます。ただし、この機能を使って、バスタイムアウトリセットディスエーブルビットを0bに設定する（REG[0472h]ビット0=0b）ことによって、このタイムアウトが生じたときに自動的にリセットされるようにS1D13513を設定することができます。イネーブルされたとき、バスタイムアウトリセット割り込みフラグは、タイムアウト状態が生じ割り込みがイネーブルされた場合にREG[0472h]ビット2に設定されます（REG[0472h]ビット1を参照）。このフラグは、バスタイムアウトリセット割り込み（REG[0472h]ビット1=1b）をディスエーブルすることによりクリアすることができます。

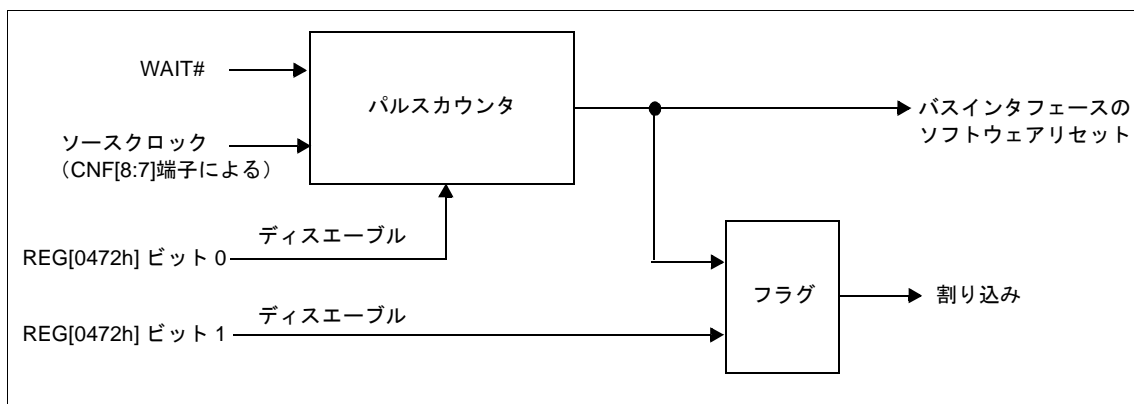


図20-2 ホストWAIT#長タイムアウト機能

20. ホストインタフェース

20.3 インダイレクトインタフェース

S1D13513は、様々なレジスタ／メモリアドレス指定方法を使用するインダイレクトホストインタフェースをサポートしています。以下の項では、それぞれのアクセスタイプのシーケンスの例を説明します。

表20-2 インダイレクトインタフェースポート

AB[2]	AB[1]	RD_x	WR_x	レジスタ名
0	0	0	1	インデックスレジスタ
0	0	1	0	インデックスレジスタ
0	1	0	1	状態レジスタ
0	1	1	0	予備
1	0	0	1	データレジスタ
1	0	1	0	データレジスタ
1	1	0	1	予備
1	1	1	0	予備

注

RD_x、WR_xの名前は、ホストバスのタイプにより異なることがあります。

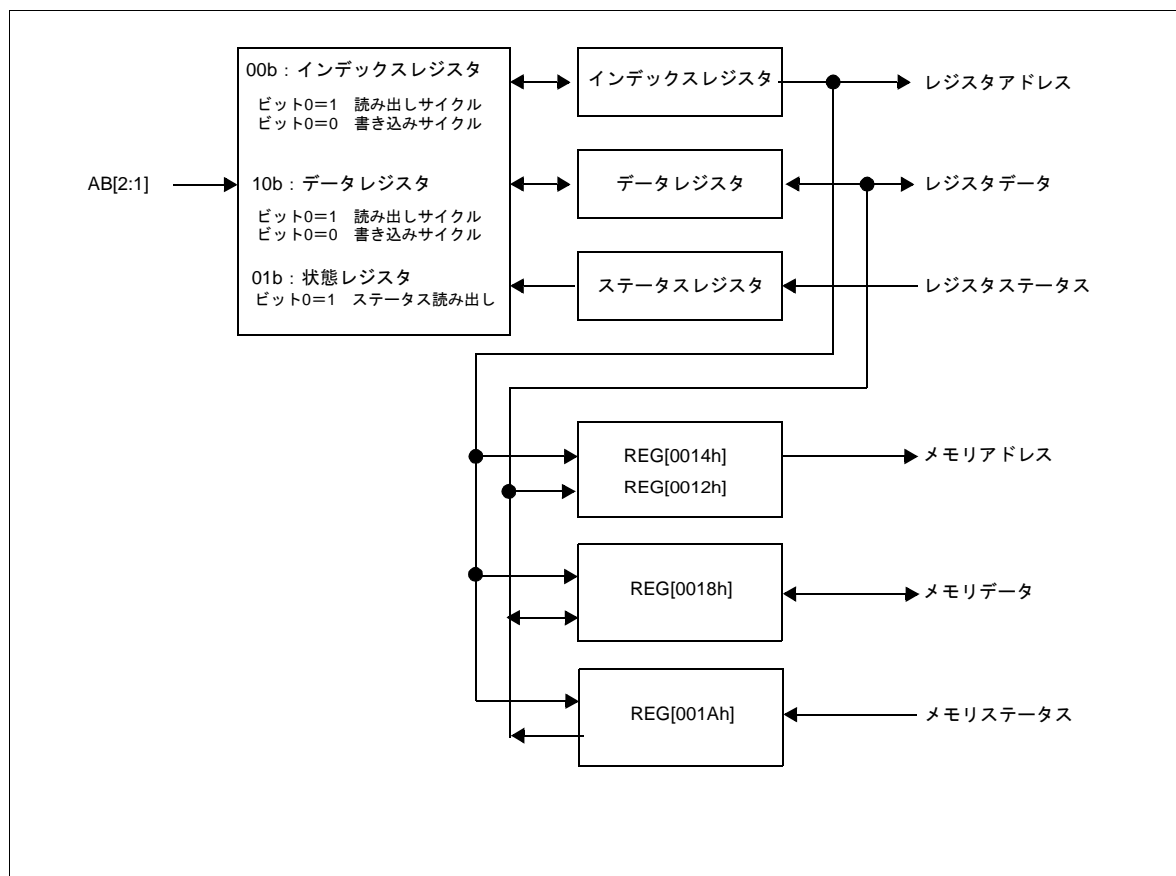


図20-3 インダイレクトインタフェースのブロック図

20.3.1 レジスタアクセスのインダイレクトアドレス指定

AB[2:1]=00b Indirect Interface Index Register								読み出し／書き込み
デフォルト=0000h								
レジスタアドレスビット15~8								
15	14	13	12	11	10	9	8	
レジスタアドレスビット7~1								読み出し／ 書き込み サイクル選択
7	6	5	4	3	2	1	0	

- ビット15~1 レジスタアドレスビット[15:1]
これらのビットは、**パラレルインダイレクトインタフェースモード**だけに使用します。
これらのビットは、インダイレクトインタフェースのレジスタアドレスを設定します。
- ビット0 読み出し／書き込みサイクル選択
このビットは、**パラレルインダイレクトインタフェースモード**だけに使用します。
このビットは、次のデータポートアクセスで読み出しを行うか書き込みを行うかを選択します。
このビットが0のときは、書き込みを行います。
このビットが1のときは、読み出しを行います。

AB[2:1]=01b Indirect Interface Status Register								読み出し専用
デフォルト=0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a								メモリ状態
7	6	5	4	3	2	1	0	

- ビット0 メモリ状態（読み出し専用）
このビットは、**パラレルインダイレクトインタフェースモード**だけに使用します。
このビットは、メモリコントローラの状態を示します。メモリにアクセスする前にこのビットの状態を確認してください。ただし、連続的にメモリアクセスを確認する必要はありません。
このビットが0bのとき、メモリコントローラはアイドル状態で、ホストCPUはメモリにアクセスすることができます。
このビットが1bのとき、メモリコントローラはビジー状態で、ホストCPUはメモリにアクセスすることができません。

20. ホストインタフェース

AB[2:1] = 10b Indirect Interface Data Port Register							
デフォルト=0000h							読み出し／書き込み
インダイレクトインタフェースデータポートビット15~8							
15	14	13	12	11	10	9	8
インダイレクトインタフェースデータポートビット7~0							
7	6	5	4	3	2	1	0

ビット15~0

インダイレクトインタフェースデータポートビット[15:0]

これらのビットは、**パラレルインダイレクトインタフェースモード**だけに使用します。

これらのビットは、**Indirect Interface Index Register (AB[2:1]=00b)** のビット151によって指定されるレジスタアドレスへの読み出し／書き込みデータ転送に使用します。

20.3.2 レジスタアクセス

インダイレクトホストインタフェースを選択したときは、次に手順に従ってレジスタアクセスを行ってください。

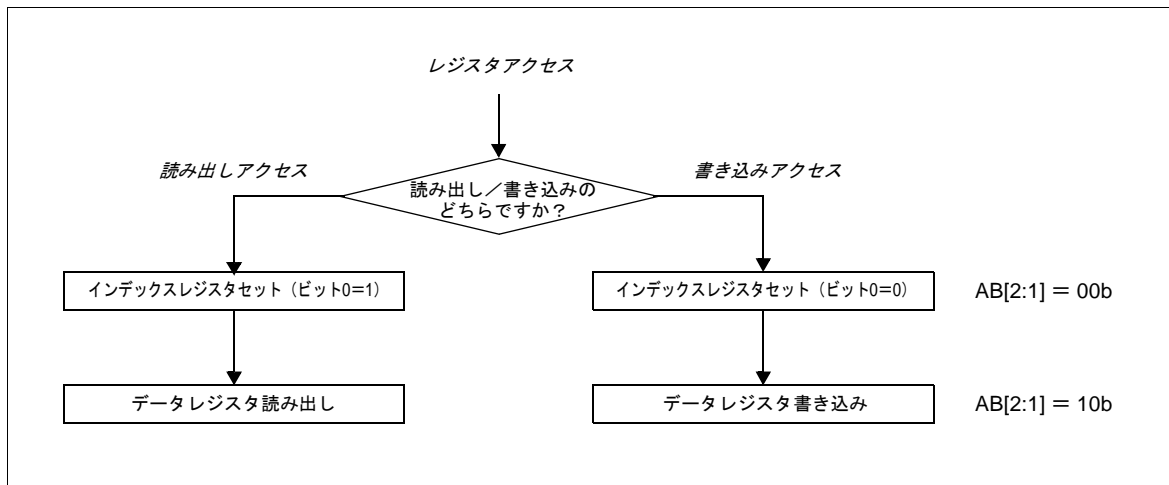


図20-4 レジスタアクセス

20. ホストインタフェース

20.3.3 メモリアクセス

インダイレクトホストインタフェースを選択したときは、次の手順に従ってメモリアクセスを行ってください。メモリ読み出しエラーまたは書き込みエラーが生じるときは、バイトにアクセスできないので、アドレスを設定し直して再起動してください。

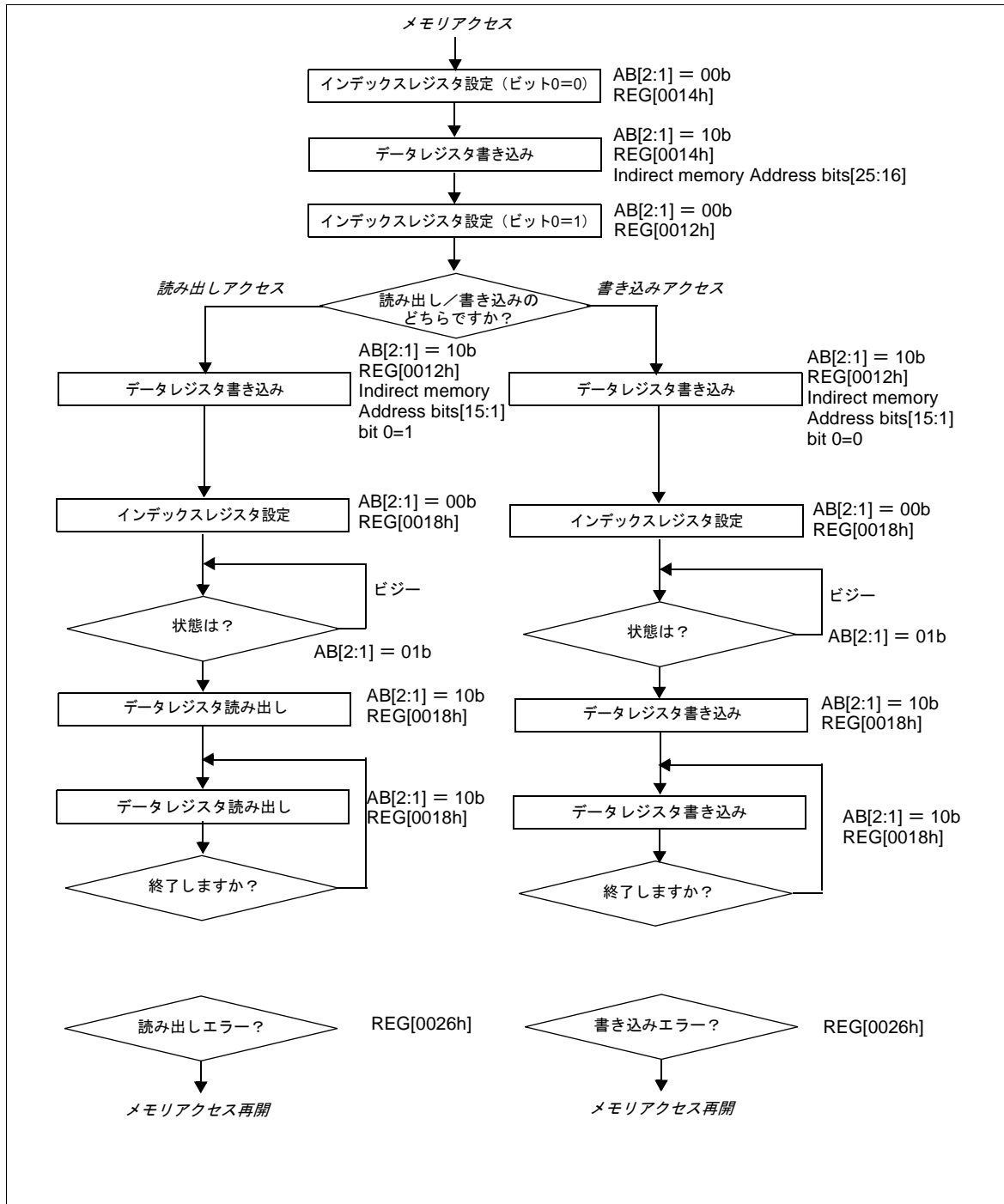


図20-5 メモリアクセス

20.4 先読み機能

ホストインタフェースには、「先読み」によってメモリアクセスを加速するプリフェッチバッファがあります。

ホストインタフェースから読み出しが1回行われるとき、S1D13513は、バースト転送を使用してメモリを内部的に読み出します。読み出したデータは、プリフェッチバッファに保存されます。次の読み出しアドレスが、前回の読み出しアドレスの+2であれば、ホストインタフェースは、新しくメモリ読み出しアクセスをすることなくデータをすぐに返すことができます。この方法によって、メモリアドレスが+2ずつ増加して連続して読み出される場合においては、アクセス速度が速くなります。

次の場合にプリフェッチバッファはクリアされます。

- メモリ書き込みアクセスが行われた場合
- 次の読み出しアドレスが、前の読み出しアドレスに2を加えたアドレスでない場合

注

製品のレビジョンが00hまたは01hの場合(レビジョン02hでない場合)は、ホストCPUがSDRAMデータを連続して読み出す場合、次の読み出しアドレスが、前回の読み出しアドレスの+2の場合を除き、各リードサイクル間にダミーのライトサイクルを挿入する必要があります。もし、この追加のダミーのライトサイクルが挿入されなければ、ホストは間違ったデータの読み出しを行う可能性があります。製品レビジョンは”REG[0000h] Product ID Register 0”でご確認ください。

プリフェッチバッファで考えられる問題点について

特殊なユースケースとして、カメラ、BitBLT、DMACあるいはSpriteなどの内部機能ブロックが、ホストの読み出そうとしているメモリアドレス領域内に同時にデータを書く場合、先読み機能のためにデータの不一致が発生することがあります。この問題は、すでにプリフェッチバッファにキャプチャーされているデータと、各内部機能ブロックが更新したデータとが一致しないため、ホストが間違ったデータを読み出すということから発生します。

このようなデータの干渉問題が起こった場合、システムは、先読みされたデータを無効にする必要があります。この問題の解決方法は、ホストインタフェースの種類：ダイレクトかインダイレクト(パラレルまたはシリアル)かにより異なります。

ダイレクトインタフェースの場合

ダイレクトインタフェースでデータの干渉問題が発生した場合、先読されたデータはメモリのダミーリードまたはダミーライトを行うことでクリアされます。またS1D13513のレビジョン02hについては、REG[0044h] bit 15 = 1bに設定することでプリフェッチバッファをディセーブルにすることができます。ただし、プリフェッチバッファをディセーブルにすると、メモリー読み出しのパフォーマンスが低下します。

インダイレクトインタフェースの場合

インダイレクトインタフェース(パラレルまたはシリアル)でデータの干渉問題が発生した場合、先読みされたデータは各読み出し後にREG[0018h]からダミーライトを行う(このときREG[0012h] bit 0 = 1bに設定する必要があります)ことでクリアされます。インダイレクトインタフェースではプリフェッチバッファのディセーブルはできません。

20. ホストインタフェース

データ干渉問題の例

例えば、ホストがメモリアドレス0000h～01FEhからデータを読み出し、内部ハードウェア（カメラYRC、DMAC、BitBLTまたはスプライト）がデータをそのブロックからメモリアドレス0200h～03FEhに書き込む場合を想定します。この場合、内部ハードウェアがデータを0200h～03FEhに書き込んだ後で、次にホストCPUがメモリアドレス0200hを読み出すときに、上記データの不一致が発生する可能性があります。

20.5 シリアルインタフェース

S1D13513は、パラレルダイレクト、パラレルインダイレクト、およびシリアルインダイレクトの3つのタイプのホストCPUインタフェースをサポートしています。シリアルホストインタフェースは、パラレルインターフェイスとは異なるレジスタ/メモリアドレス指定方法を使用します。以下の項では、アクセスタイプごとの手順の例を示します。

20.5.1 内容

S1D13513シリアルホストインタフェースは、次の機能をサポートしています。

- 16ビット転送
 - 最大周波数16MHz
 - 書き込み/読み出しデータ転送
 - シングル転送
 - メモリへのバースト転送
 - インダイレクトインタフェース状態の読み出し
 - MSBを最初に送る
 - HVDD1またはHVDD2上の選択可能なシリアルホスト接続
- シリアルインタフェースには次の5つの信号が使用されます。
- SI : シリアルデータ入力
 - SO : シリアルデータ出力
 - SCK : シリアルクロック
 - CS#/SCS# : シリアルチップ選択
 - SA0 : コマンド/データ選択 (0=コマンド、1=データ)

20. ホストインタフェース

SA0コマンド/データ端子は、データ転送とコマンド転送を区別するために使用されます。コマンド転送は、読み出し、書き込み、または状態取得転送を開始するために次のように使用されます。

表20-3 シリアルホストインタフェースコマンド

コマンド	値	機能
CMD_WRITE	0000h	書き込みサイクル開始
CMD_READ	4000h	読み出しサイクル開始
CMD_END	8000h	サイクル終了
CMD_STATUS	C000h	インダイレクトインタフェース状態の読み出し

シリアルホストインタフェースは、S1D13513内のインダイレクトデータバスを使ってレジスタアドレスと読み出し/書き込みデータを設定します。シリアルホストインタフェースは、CMD_STATUSコマンドを使って読み出すことができる **Indirect Interface Status Register** にアクセスすることができます。これはメモリ状態を返します。

シリアルデータ出力端子 (SO) は、CS#がHighのときにHi-Zで、CS#がLowのときにアクティブです。

20.5.2 バーストモードの動作

シリアルホストインタフェースバーストモードでは、CS#ラインをLowに保持してS1D13513との間でデータをやりとりし続けることができます。

CS#は、各16ビット転送間でLowに保持されてもよくトグルされてもよいのですが、コマンド部分を転送する前にHighからLowに変更しなければなりません。

次の図は、CS#がLowに保持されたときのバーストモードを示します。

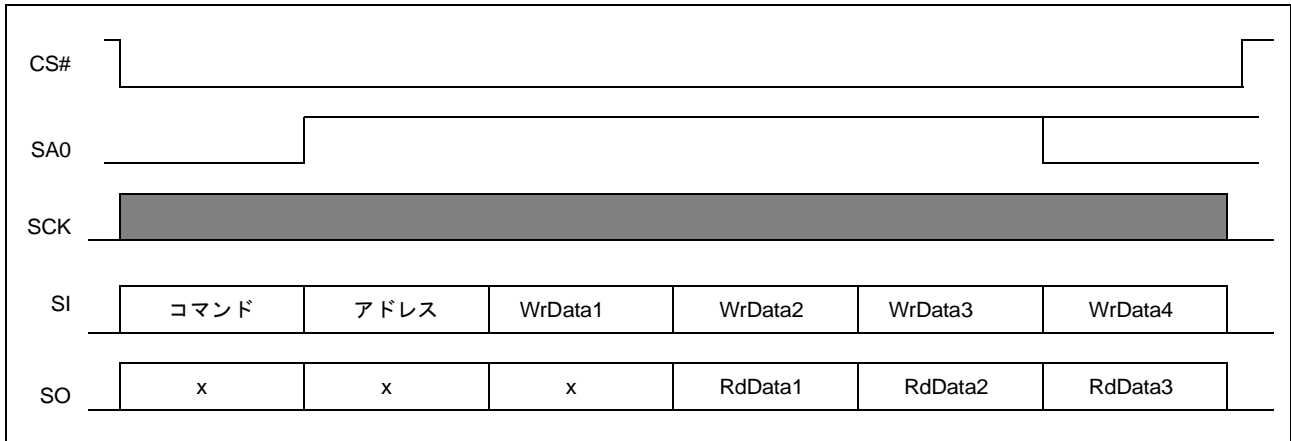


図20-6 CS#がLowに保持された場合のシリアルホストインタフェースバーストモード

次の図は、CS#がトグルしているときのバーストモードを示します。

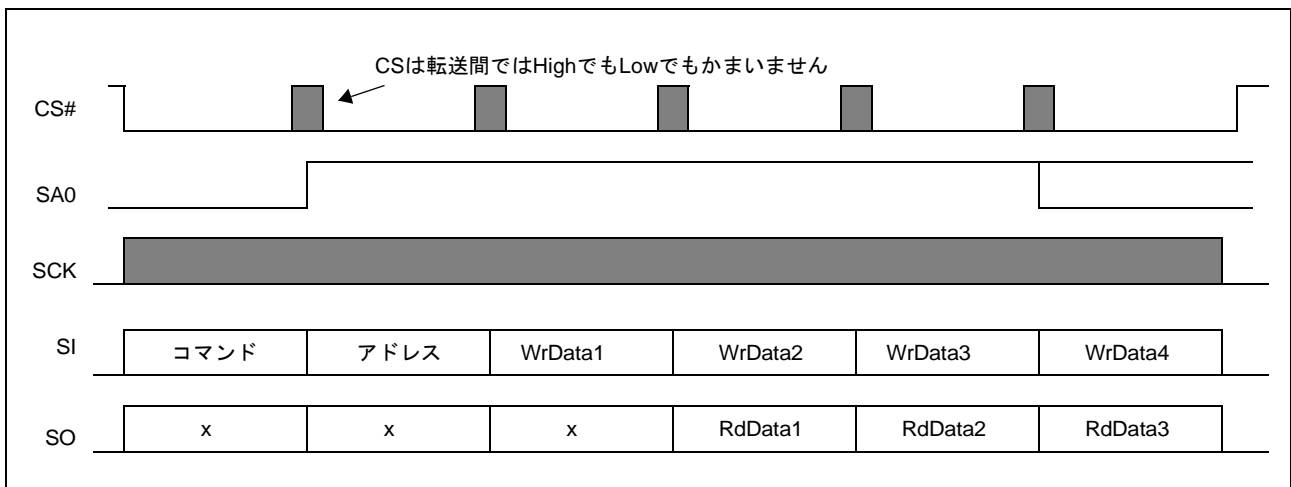


図20-7 CS#がトグルしている場合のシリアルホストインタフェースバーストモード

注

CS#は、転送間でHighになる場合は、最後のビットと最初のビットの間の少なくとも1つのSCK周期の間Highに保持してください。

20. ホストインタフェース

20.5.3 データ転送の例

以下の例で、Xは未知のデータです。

シングルデータの書き込み

1. 書き込みコマンドを送ります。
2. データを書き込むレジスタアドレスを送ります。
3. 書き込むデータを送ります。

表20-4 シングルデータの書き込み

SA0	送信データ	受信データ
0	CMD_WRITE	X
1	データを書き込むレジスタアドレス	X
1	書き込むデータ	X
0	CMD_END	

バーストデータの書き込み

1. 書き込みコマンドを送ります。
2. データを書き込むレジスタアドレスを送ります。
3. 書き込むデータを送ります。
4. データがすべて書き込まれるまでステップ3を繰り返します。

表20-5 バーストデータの書き込み

SA0	送信データ	受信データ
0	CMD_WRITE	X
1	データを書き込むレジスタアドレス	X
1	書き込むデータ	X
1	書き込むデータ	X
...
1	書き込むデータ	X
0	CMD_END	

シングルデータの読み出し

1. 読み出しコマンドを送ります。
2. データを読み出すレジスタアドレスを送ります。
3. 値を書き込みます。これにより、読み出し操作が実行され、指定されたアドレスからデータが取り込まれます。
4. 読み出し終了コマンドを送ります。これにより、以前に取り込んだデータが返され、レジスタアドレスから別の読み出しが行われません。

表20-6 シングルデータの読み出し

SA0	送信データ	受信データ
0	CMD_READ	X
1	データを読み出すレジスタアドレス	X
1	0	X
0	CMD_END	以前の読み出しからデータを読み出す

バーストデータの読み出し

1. 読み出しコマンドを送ります。
2. データを読み出すレジスタアドレスを送ります。
3. 値を書き込みます。これにより、読み出し操作が実行され、指定されたアドレスからデータが取り込まれます。
4. 別の値を書き込みます。これにより、以前の読み出しによって取り込まれたデータが返され、データを取り込む同じアドレスに別の読み出しが実行されます。
5. 1つを除くすべてのデータが読み出されるまでステップ4を繰り返します。
6. 読み出し終了コマンドを送ります。これにより、以前に取り込んだデータが返され、レジスタアドレスからの別の読み出しが実行されません。

表20-7 バーストデータの読み出し

SA0	送信データ	受信データ
0	CMD_READ	X
1	データを読み出すレジスタアドレス	X
1	0	X
1	0	以前の読み出しからデータを読み出す
1	...	以前の読み出しからデータを読み出す
...
0	CMD_END	以前の読み出しからデータを読み出す

20. ホストインタフェース

インダイレクトインタフェース状態の読み出し

1. 状態コマンドを送ります。
2. 読み出し終了コマンドを送ります。これによりインダイレクト状態が返されます。

表20-8 インダイレクトインタフェース状態の読み出し

SA0	送信データ	受信データ
0	CMD_STATUS	X
0	CMD_END	インダイレクト状態

注

Indirect Interface Statusレジスタに返される情報の詳細は、439ページの項20.3.1「レジスタアクセスのインダイレクトアドレス指定」を参照してください。

20.5.4 インダイレクトレジスタアドレス自動インクリメントシリアルの場合

アドレス400hで始まるLUT1への8ワードの書き込み

ホストバスサイクル	S1D13513操作
コマンド書き込みを送る	
アドレスを400hに設定する	インダイレクトアドレスを0400hに設定する
データ=1234hを送る	アドレス0400hに1234hを書き込む
データ=0056hを送る	アドレス0402hに0056hを書き込む
データ=789Ahを送る	アドレス0404hに789Ahを書き込む
データ=00BChを送る	アドレス0406hに00BChを書き込む

アドレス210hと212hに2ワードを書き込み、次にアドレス218hと21Ahに2ワードを書き込む

ホストバスサイクル	S1D13513操作
コマンド書き込みを送る	
アドレスを0210hに設定する	インダイレクトアドレスを0210hに設定する
データ=1234hを送る	アドレス0210hに1234hを書き込む
データ=5678hを送る	アドレス0212hに5678hを書き込む
コマンド書き込みを送る	
アドレスを0218hに設定する	インダイレクトアドレスを0218hに設定する
データ=1234hを送る	アドレス0218hに1234hを書き込む
データ=5678hを送る	アドレス021Ahに5678hを書き込む

アドレス220h～224hから3ワードを読み出す

ホストバスサイクル	S1D13513操作
コマンド読み出しを送る	
アドレスを0220hに設定する	インダイレクトアドレスを0220hに設定する
ダミーデータを読み出す	アドレス0220hから読み出す
アドレス220hからデータを読み出す	アドレス0222hから読み出す
アドレス222hからデータを読み出す	アドレス0224hから読み出す
コマンド読み出し終了および読み出しを送る	
アドレス224hからのデータ	

20. ホストインタフェース

20.5.5 シリアルホスト電圧の選択

ホストプロセッサは、CNF[4:0]の設定によって、HVDD1のホスト端子に接続することもHVDD2のFPDAT端子に接続することもできます。CNF[4:0]が10000bと11000bのときは、HVDD1にシリアルホスト接続が選択されます。CNF[4:0]が10001bと11001bのときは、HVDD2にシリアルホスト接続が選択されます。RESET#の立ち上がりエッジで設定がラッチされるため、CNF設定は電源投入前に選択してください。

20.6 ビッグエンディアンホストインタフェースのレジスタアクセス

ビッグエンディアンホストインタフェースを選択したときは（35ページの項5.3「コンフィギュレーションオプションの概要」を参照）、各レジスタ内の上位データバイトと下位データバイトを「バイトスワップ」する方法を使用してレジスタにアクセスしてください。この要件は、読み出しアクセスと書き込みアクセスの両方にあてはまります。

たとえば、リトルエンディアンホストからS1D13513製品コードを読み出すと、上位バイト（ビット15～8）から00hと下位バイト（ビット7～0）から2Chが返されます。これにより、130ページの項10.4.1「ホストインタフェースレジスタ」のREG[0002h]の説明と全く同じように002Chの製品コードが得られます。調整が行なわれない場合、ビッグエンディアンホストは、同じレジスタを読み出して上位バイトから2Chと下位バイトから00hの製品コードを返します。これにより、S1D13513を正しく表していない製品コード2C00hが生成されます。レジスタ書き込みも調整しなければなりません。そうでないとS1D13513が間違っ設定されます。

以下のコードは、必要なバイトスワップを実行できる方法の例です。

```
#define BIG_ENDIAN
#undef LITTLE_ENDIAN

#if defined(LITTLE_ENDIAN) && !defined(BIG_ENDIAN)

    #define BYTE_SWAP(x) (x)

#elif defined(BIG_ENDIAN) && !defined(LITTLE_ENDIAN)

    #define BYTE_SWAP(x) (((UInt16)(x) & 0xFF) << 8) | (((UInt16)(x) &
    0xFF00) >> 8))

#else

#error "Please define either BIG_ENDIAN or LITTLE_ENDIAN."

#endif

UInt16 seReadReg16( UInt32 Index )
{
    UInt16 val= *(UInt16*)(gRegisterAddress + Index);
    return BYTE_SWAP(val);
}

void seWriteReg16( UInt32 Index, UInt16 Value )
{
    *(UInt16*)(gRegisterAddress + Index)=(UInt16)(BYTE_SWAP(Value));
}
```

21. LCDパネルインタフェース

21. LCDパネルインタフェース

S1D13513は、以下のLCDパネルタイプを含むシングルパネルに出力するために、外付けSDRAMメモリに画像データを記憶します。

注

QFPパッケージでは24ビットパネルはサポートしていません。

- 16/18/24ビットTFT/ND-TFD（シリアルコマンドインタフェースサポートを含む）
 - ND-TFD 4ピンインタフェース（8ビット）
 - ND-TFD 3ピンインタフェース（9ビット）
 - μ ワイヤTFTインタフェース（16ビット）
 - 24ビットシリアルインタフェース
 - シリアルコマンドインタフェースは、ビット方向、位相および極性を設定可能
- 16/18/24ビットHR-TFT
- 8ビットモノクロまたはカラータイプ2パッシブパネル
- YUVデジタル出力
 - 外部ビデオエンコーダによりテレビに対応するためにYUV 4:2:2を出力可能
- サポートする解像度は、427ページの項18.2「メモリバンド幅」を参照してください。

注

パッシブパネルには最大表示サイズの制限があります。詳細はEPSON代理店にお問い合わせください。

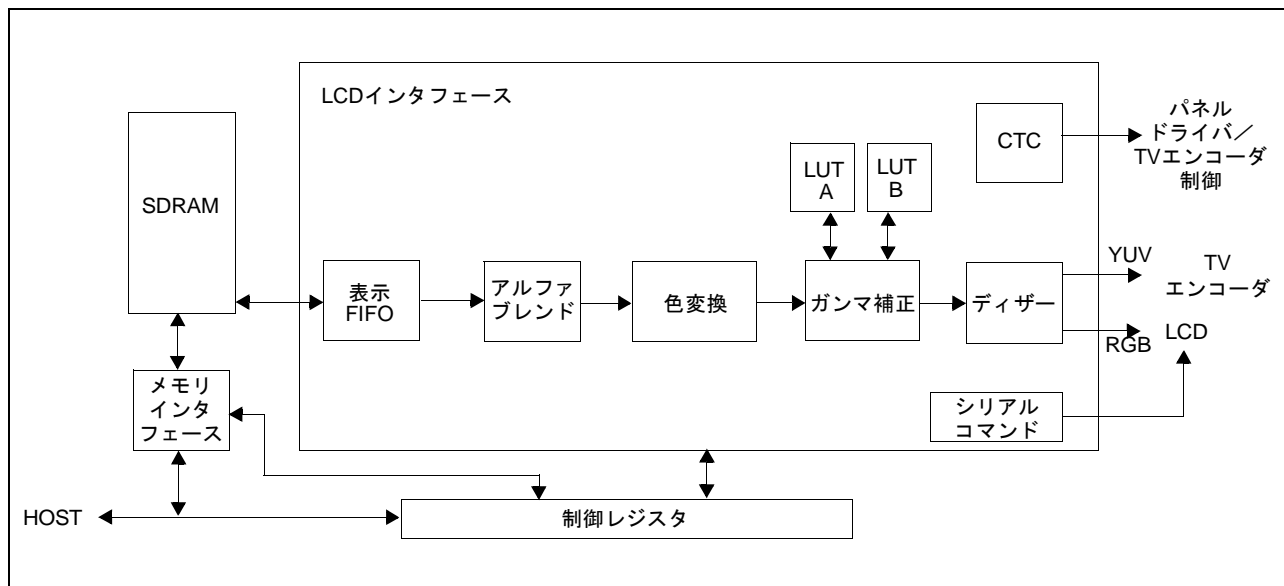


図21-1 LCDインタフェースの概要

21.1 TFT/ND-TFDパネル

REG[0800h]ビット14=0bでREG[0800h]ビット2~0=000bのときに、TFT/ND-TFD RGBインタフェースパネルを選択します。16、18および24ビットのデータバス幅をサポートしており、REG[0800h]ビット10~8を使って選択します。TFTパネルタイプによっては、シリアルコマンドインタフェースを使ってコマンド/パラメータ情報をパネルに送るものがあります。シリアルコマンドインタフェースのタイプは、REG[0816h]ビット7~5を使って選択します。

端子割り付けの詳細は、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。

21.1.1 TFT/ND-TFDデータ出力フォーマット

各パネルデータバス幅のデータ出力フォーマットは、次の通りです。

- 16ビットRGBインタフェースLCDパネルRGB 5:6:5 (REG[0800h]ビット10~8=001b)
- 18ビットRGBインタフェースLCDパネルRGB 6:6:6 (REG[0800h]ビット10~8=010b)
- 24ビットRGBインタフェースLCDパネルRGB 8:8:8 (REG[0800h]ビット10~8=011b)

表21-1 16/18/24ビットTFT/ND-TFDデータ出力フォーマット

S1D13513端子	16ビット	18ビット	24ビット
FPDAT0	R ⁴	R ⁵	R ⁷
FPDAT1	R ³	R ⁴	R ⁶
FPDAT2	R ²	R ³	R ⁵
FPDAT3	G ⁵	G ⁵	G ⁷
FPDAT4	G ⁴	G ⁴	G ⁶
FPDAT5	G ³	G ³	G ⁵
FPDAT6	B ⁴	B ⁵	B ⁷
FPDAT7	B ³	B ⁴	B ⁶
FPDAT8	B ²	B ³	B ⁵
FPDAT9	R ¹	R ²	R ⁴
FPDAT10	R ⁰	R ¹	R ³
FPDAT11	Low	R ⁰	R ²
FPDAT12	G ²	G ²	G ⁴
FPDAT13	G ¹	G ¹	G ³
FPDAT14	G ⁰	G ⁰	G ²
FPDAT15	B ¹	B ²	B ⁴
FPDAT16	B ⁰	B ¹	B ³
FPDAT17	Low	B ⁰	B ²
FPDAT18	Low	Low	R ¹
FPDAT19	Low	Low	R ⁰
FPDAT20	Low	Low	G ¹
FPDAT21	Low	Low	G ⁰
FPDAT22	Low	Low	B ¹
FPDAT23	Low	Low	B ⁰

21. LCDパネルインタフェース

21.1.2 RGBシリアルコマンドインタフェース

シリアルコマンドインタフェースを備えたRGBインタフェースパネルを選択すると（REG[0816h]ビット7～5を参照）、GPIOG[3:0]端子が、シリアルコマンドインタフェースのタイプに応じて使用されます。

- 汎用TFTパネル（REG[0816h]ビット7～5=XXXb）
- ND-TFD 4ピンパネル（REG[0816h]ビット7～5=000b）
- ND-TFD 3ピンパネル（REG[0816h]ビット7～5=001b）
- a-Si TFTパネル（REG[0816h]ビット7～5=010b）
- μ ワイヤTFTパネル（REG[0816h]ビット7～5=100b）
- 24ビットシリアルデータRGBインタフェースLCDパネル（REG[0816h]ビット7～5=101b）

表21-2 RGBシリアルコマンドインタフェース端子の使用の概要

インタフェースタイプ	S1D13513端子			
	GPIOG0	GPIOG1	GPIOG2	GPIOG3
汎用TFT	—	—	—	—
ND-TFD 4ピン	XCS	SCK	A0	SO
ND-TFD 3ピン	XCS	SCK	—	SO
a-Si TFT	SSTB	SCLK	—	SDATA
μ ワイヤTFT	LCDCS	SCLK	—	SDO
24ビットシリアルTFT	XCS	SCK	—	SO

タイミングの詳細は、85ページの項7.6「パネルインタフェースタイミング」を参照してください。

21.1.3 TFT/ND-TFDプログラミングフロー

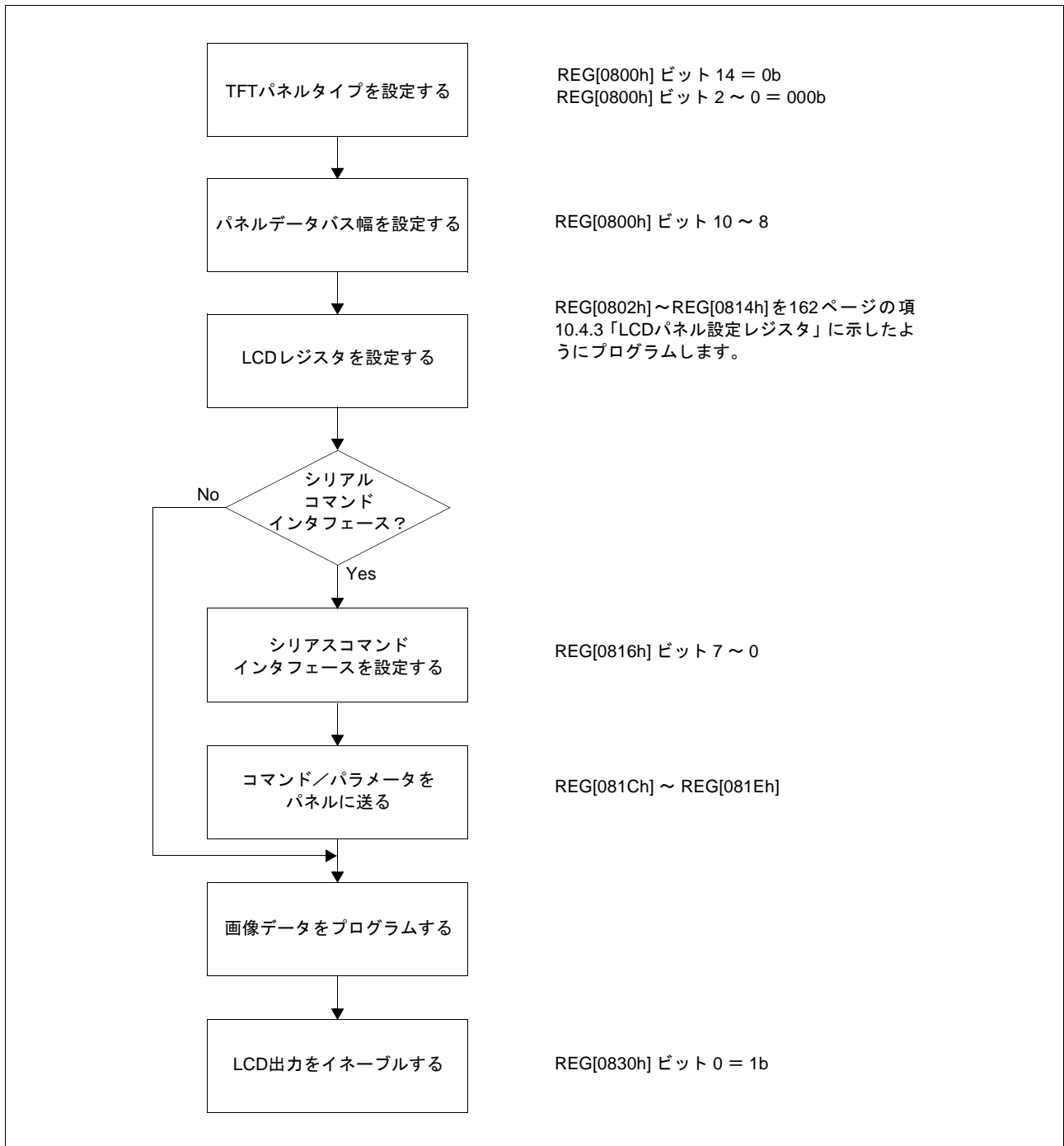


図21-2 TFT/ND-TFDプログラミングフロー

21. LCDパネルインタフェース

21.2 HR-TFTパネル

REG[0800h]ビット14=0bでREG[0800h]ビット2~0=010bのときに、HR-TFT RGBインタフェースパネルを選択します。16、18および24ビットのデータバス幅をサポートしており、REG[0800h]ビット10~8を使って選択します。HR-TFTパネルは、標準TFTインタフェースよりも多い端子を使用します（459ページの項21.2.2「HR-TFTインタフェース端子」を参照）。

端子割り付けの詳細は、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。

21.2.1 HR-TFTデータ出力フォーマット

各パネルデータバス幅のデータ出力フォーマットは、次の通りです。

- 16ビットRGBインタフェースLCDパネルRGB 5:6:5（REG[0800h]ビット10~8=001b）
- 18ビットRGBインタフェースLCDパネルRGB 6:6:6（REG[0800h]ビット10~8=010b）
- 24ビットRGBインタフェースLCDパネルRGB 8:8:8（REG[0800h]ビット10~8=011b）

表21-3 16/18/24ビットHR-TFTデータ出力フォーマット

S1D13513端子	16ビット	18ビット	24ビット
FPDAT0	R ⁴	R ⁵	R ⁷
FPDAT1	R ³	R ⁴	R ⁶
FPDAT2	R ²	R ³	R ⁵
FPDAT3	G ⁵	G ⁵	G ⁷
FPDAT4	G ⁴	G ⁴	G ⁶
FPDAT5	G ³	G ³	G ⁵
FPDAT6	B ⁴	B ⁵	B ⁷
FPDAT7	B ³	B ⁴	B ⁶
FPDAT8	B ²	B ³	B ⁵
FPDAT9	R ¹	R ²	R ⁴
FPDAT10	R ⁰	R ¹	R ³
FPDAT11	Low	R ⁰	R ²
FPDAT12	G ²	G ²	G ⁴
FPDAT13	G ¹	G ¹	G ³
FPDAT14	G ⁰	G ⁰	G ²
FPDAT15	B ¹	B ²	B ⁴
FPDAT16	B ⁰	B ¹	B ³
FPDAT17	Low	B ⁰	B ²
FPDAT18	Low	Low	R ¹
FPDAT19	Low	Low	R ⁰
FPDAT20	Low	Low	G ¹
FPDAT21	Low	Low	G ⁰
FPDAT22	Low	Low	B ¹
FPDAT23	Low	Low	B ⁰

21.2.2 HR-TFTインタフェース端子

HR-TFTパネルを選択したときは（REG[0800h]ビット2～0=010b）、GPIOG[4:0]端子が以下の信号を提供するために使用されます。

表21-4 HR-TFTインタフェースの概要

インタフェースタイプ	GPIOG0	GPIOG1	GPIOG2	GPIOG3	GPIOG4
HR-TFT	PS	CLS	REV	SPL	SPR

HR-TFTインタフェースのタイミングの詳細は、88ページの項7.6.2「HR-TFTパネルタイミング」を参照してください。

21.2.3 HR-TFTプログラミングフロー

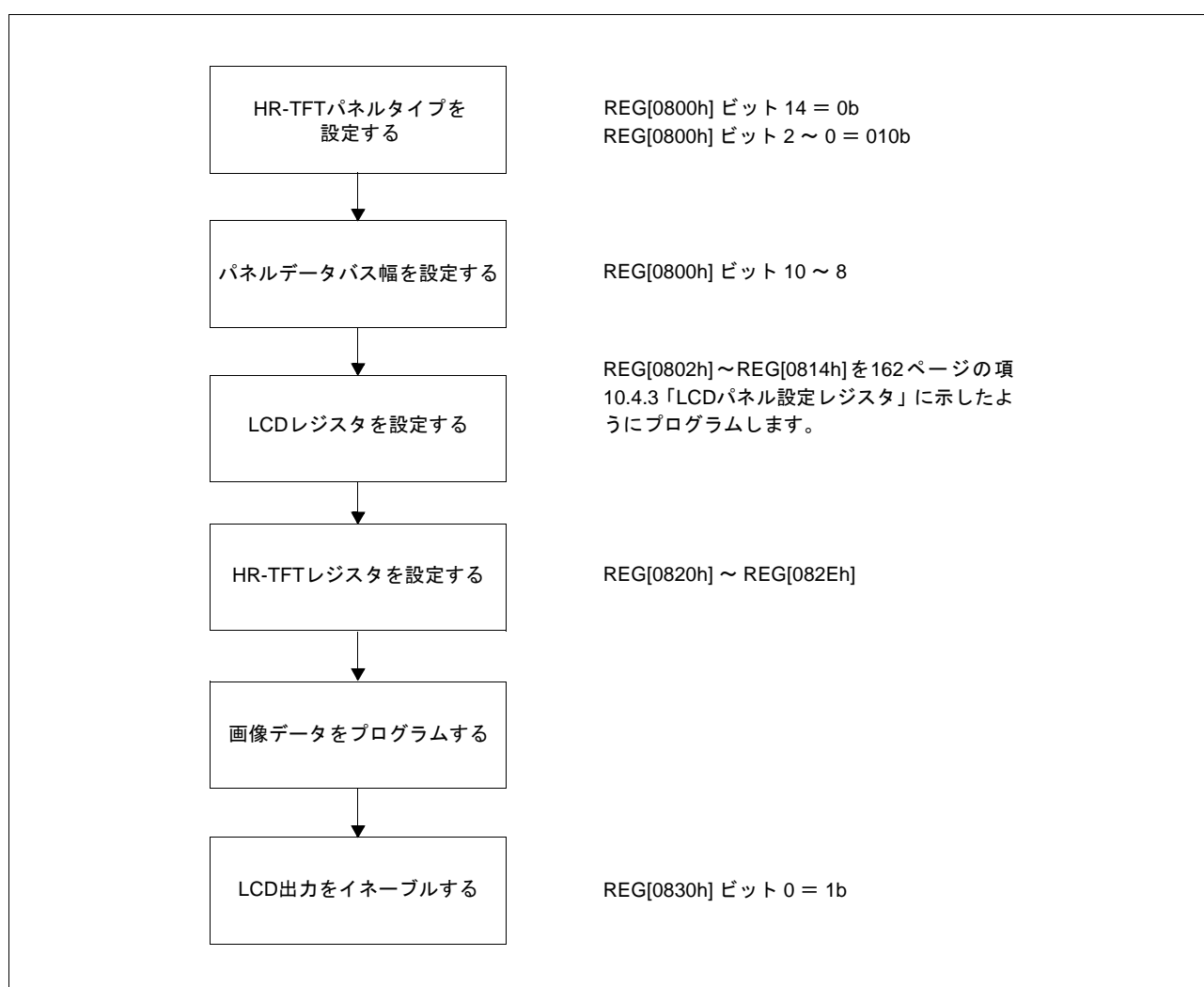


図21-3 HR-TFTプログラミングフロー

21. LCDパネルインタフェース

21.3 パッシブパネル

REG[0800h]ビット14=1bのときは、パッシブインタフェースパネルを選択します。パッシブパネルのタイプは、シングルモノクロでもシングルカラーフォーマットタイプ 2 (REG[0800h]ビット13~11) でも可能です。両方のタイプのパッシブパネルは8ビットデータバスを使用するため、REG[0800h]ビット10~8を001bに設定してください。

端子の割り付けの詳細は、42ページの項5.5「LCDインタフェースの端子割り付け」を参照してください。

21.3.1 パッシブパネルデータ出力フォーマット

パッシブパネルのデータ出力フォーマットは、次の通りです。

- シングルモノクロ (REG[0800h]ビット13~11=000b)
- シングルカラーフォーマットタイプ2 (REG[0800h]ビット13~11=010b)

表21-5 パッシブパネルデータ出力フォーマット

S1D13513端子	シングルモノクロ	シングルカラータイプ2
FPDAT0	D0	D0
FPDAT1	D1	D1
FPDAT2	D2	D2
FPDAT3	D3	D3
FPDAT4	D4	D4
FPDAT5	D5	D5
FPDAT6	D6	D6
FPDAT7	D7	D7
FPDAT8	駆動0	駆動0
FPDAT9	駆動0	駆動0
FPDAT10	駆動0	駆動0
FPDAT11	駆動0	駆動0
FPDAT12	駆動0	駆動0
FPDAT13	駆動0	駆動0
FPDAT14	駆動0	駆動0
FPDAT15	駆動0	駆動0

21.3.2 パッシブパネルプログラミングフロー

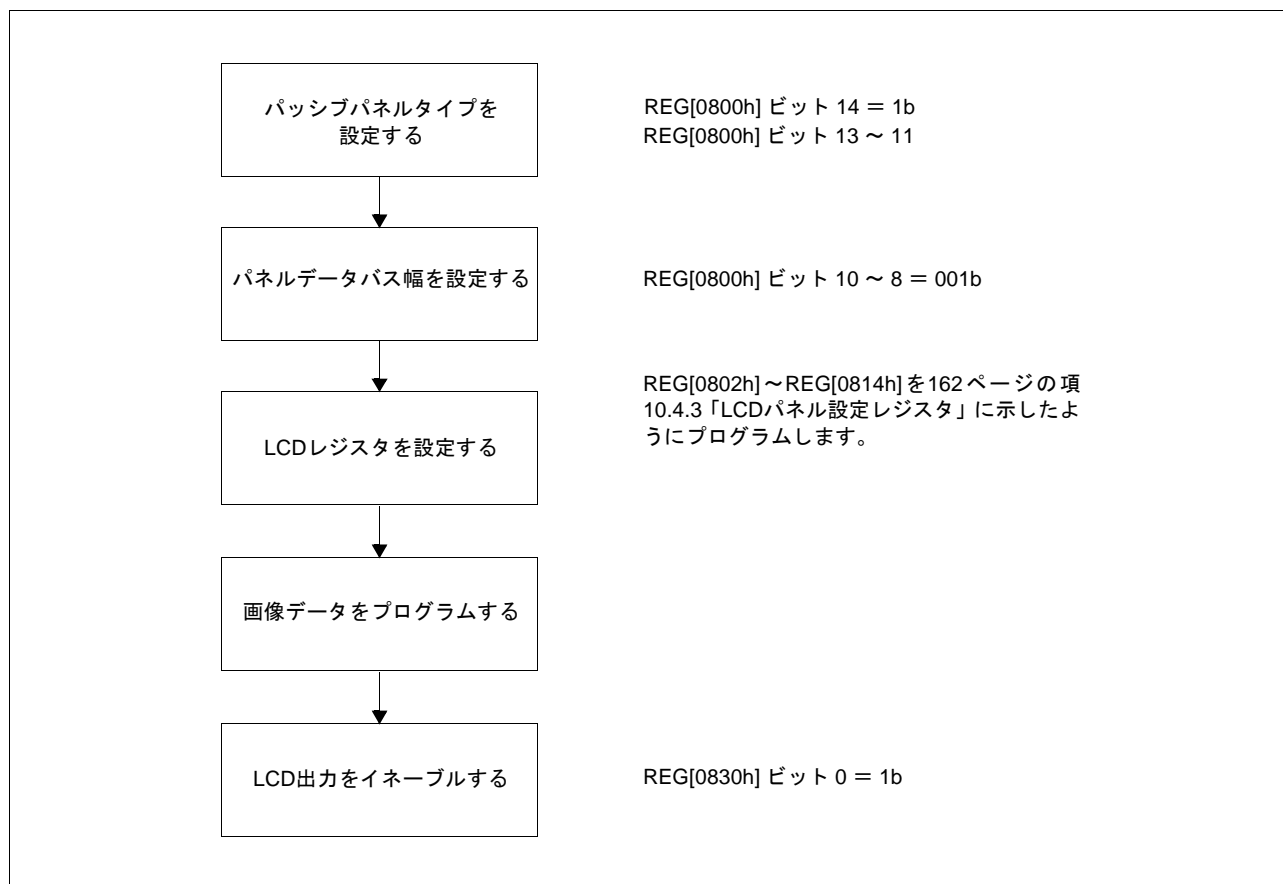


図21-4 パッシブパネルプログラミングフロー

21. LCDパネルインタフェース

21.4 YUVデジタル出力

YUVデジタル出力を使用して、REG[0800h]ビット2~0=100bのときにGPIOC[7:0]端子上にYUV 4:2:2データを出力させることができます。

端子の割り付けの詳細は、45ページの項5.7「YUVデジタル出力インタフェースの端子割り付け」を参照してください。ACタイミングの詳細は、96ページの項7.6.8「YUVデジタル出力」を参照してください。

21.4.1 YUVデジタルデータ出力フォーマット

次の情報は、YUVデジタル出力のデータ出力フォーマットを示します。

表21-6 YUVデジタルデータ出力フォーマット

サイクルカウント	1	2	3	4	5	...
D7	U_0^7	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D6	U_0^6	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D5	U_0^5	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D4	U_0^4	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D3	U_0^3	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D2	U_0^2	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D1	U_0^1	Y_0^7	V_0^7	Y_1^7	U_2^7	...
D0	U_0^0	Y_0^7	V_0^7	Y_1^7	U_2^7	...

21.4.2 YUVデジタル出力プログラミングフロー

次のページに示すフローチャートは、以下の例の場合のYUVデジタル出力の設定方法を示しています。TVエンコーダに出力するときは表示出力が2倍になりますのでご注意ください。

表示：360×242×16bpp

メインウィンドウ：360×242×16bpp

PIP1ウィンドウ：100×100×16bpp

PIP2ウィンドウ：100×100×16bpp

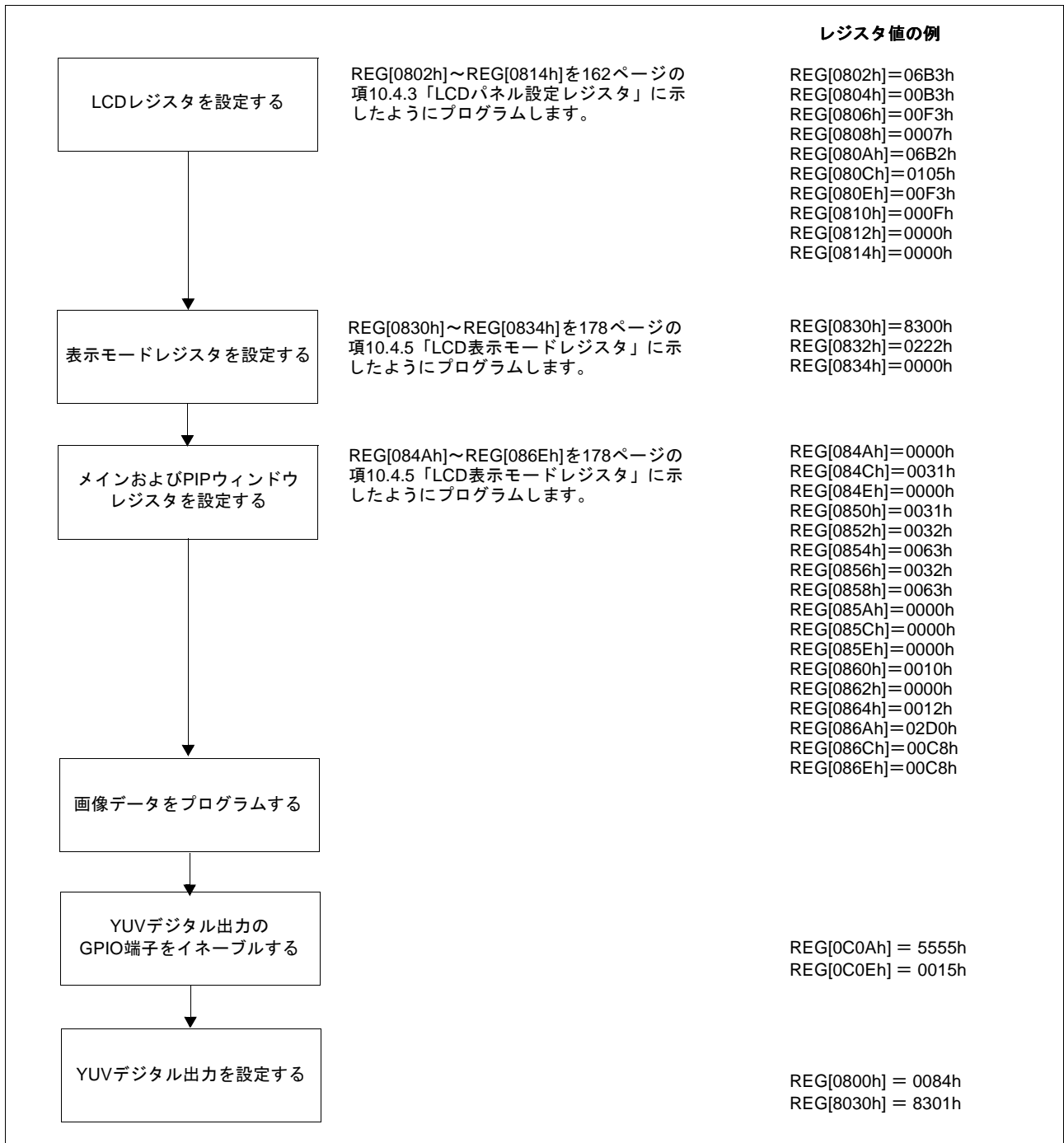


図21-5 YUVデジタル出力プログラミングフロー

22. カメラインタフェース

22. カメラインタフェース

S1D13513は、15fps、最大サイズ640×480（VGA）のカメラモジュールをサポートする2ポートのカメラインタフェースを備えています。カメラインタフェースには8ビットと16ビットのデータバスがあり、2つの8ビット入力ポートまたは1つの16ビット入力ポートを設定することができます。2つの8ビットポートに設定したときは、同時に1台のカメラしか使用できないことに注意してください。カメラの最大クロック周波数は8ビットデータバスモード時で16MHz、16ビットデータバスモード時で8MHzです。

注

Camera2インタフェースはQFPパッケージでは使用できません。

カメラインタフェースは、カメラクロックと同期したYUV 4:2:2フォーマットの画像データを受け取るように設計されています。また、JPEG対応カメラモジュールからRaw JPEGデータを受け取れるように設定することもできます。カメラモジュールからデータを受け取った後で、YUV-RGBコンバータ（YRC）に出力する前に、そのデータをビューリサイザまたはキャプチャリサイザ（392ページの項14.「リサイザ」を参照）を使って修正することができます。YRCは、YUVデータを表示用のRGBデータに変換することもでき、YRCを使わずにYUVデータを直接SDRAMに記憶することもできます。

以下の図は、カメラインタフェースの全体像を表しています。

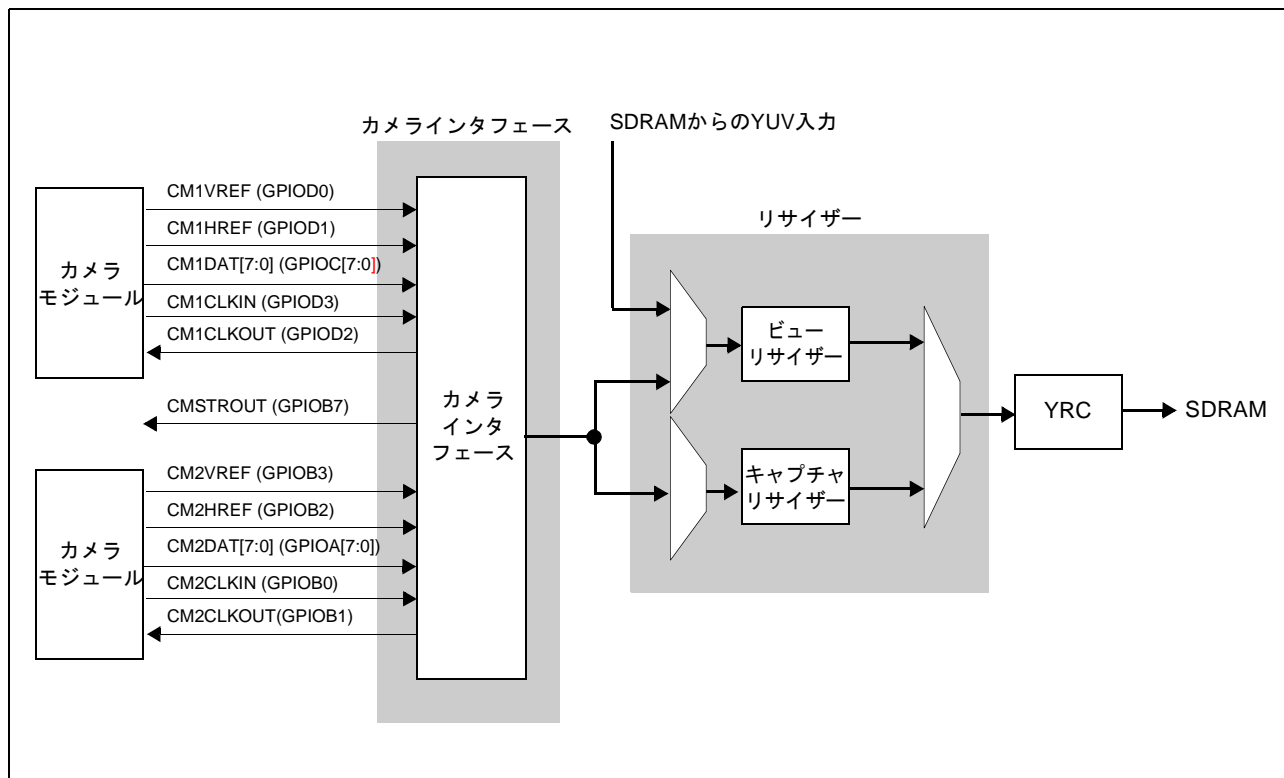


図22-1 カメラインタフェースの全体像 (8ビットデータバスモード)

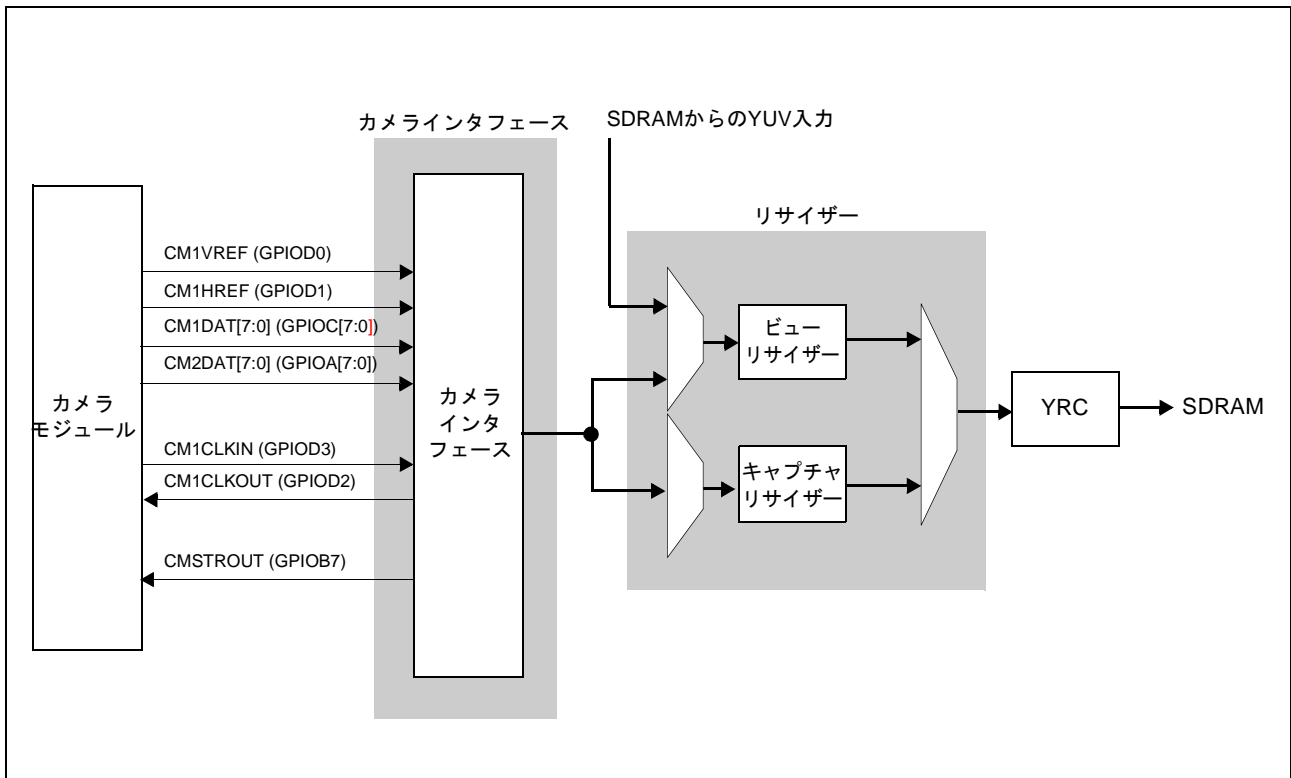


図22-2 カメラインタフェースの全体像 (16ビットデータバスモード)

カメラインタフェースは、S1D13513のGPIO端子を使って実装されます。いくつかのインタフェースも同様ですがGPIO端子を共有するため、インタフェースのいくつかの組み合わせは選択できない場合があります。可能な組み合わせの概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

カメラインタフェースをイネーブルする前に、GPIO設定レジスタ (REG[0C00h]~REG[0C0Eh]を参照) を使ってGPIO端子を適切に使用してください。カメラインタフェースの端子割り付けは、45ページの項5.8「カメラインタフェースの端子割り付け」を参照してください。

S1D13513が特定のカメラ実装をサポートしているかどうかを確認するには、104ページの項7.7「カメラインタフェースタイミング」に示したACタイミングの詳細を参照してください。

16ビットデータバスモードでは、REG[2010h] = 0001hに設定してください。

22. カメラインタフェース

22.1 プログラミングフロー

以下の図は、カメラからYUVデータをキャプチャするプログラミングフローの例です。

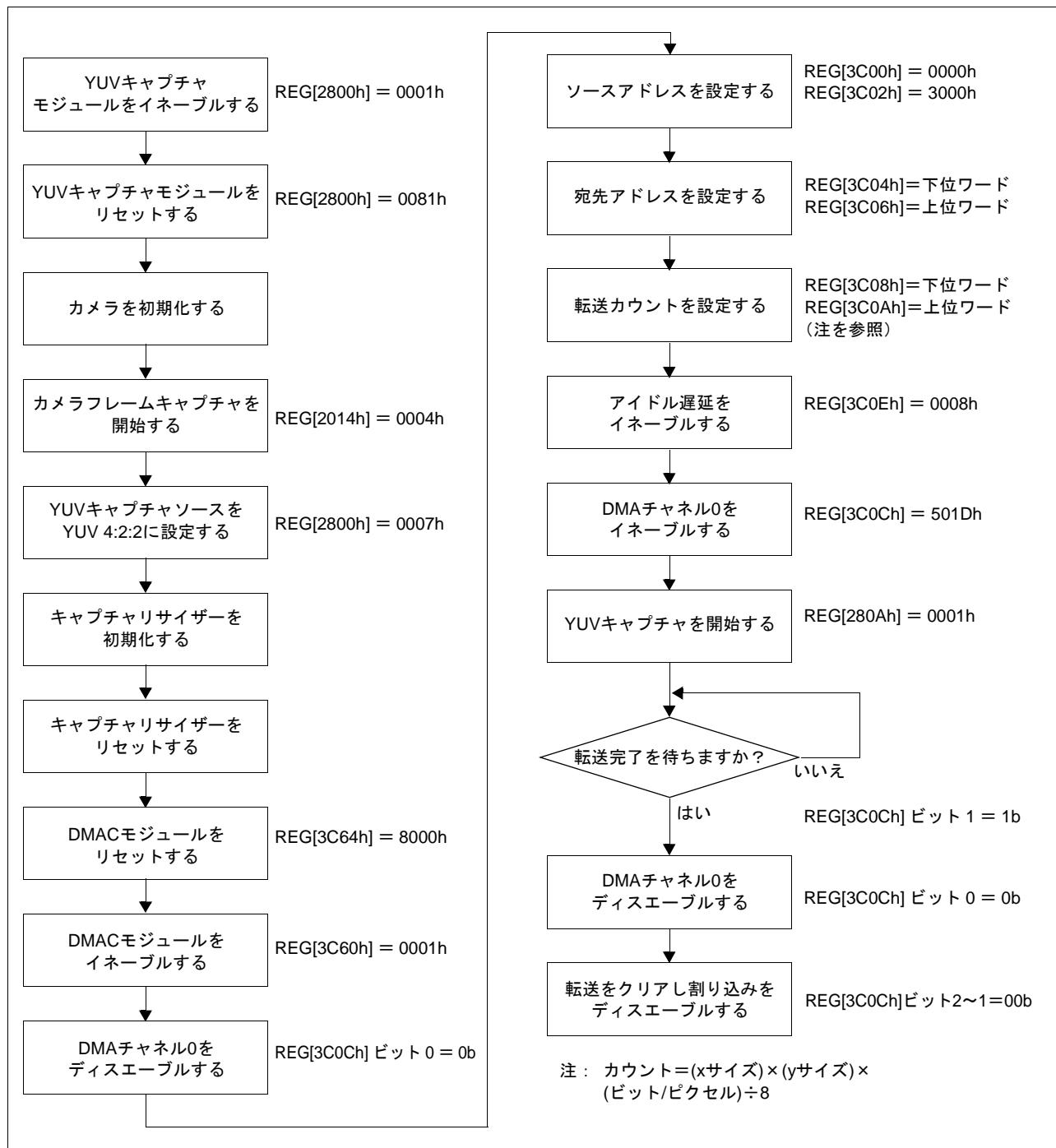


図22-3 カメラからのYUVキャプチャ

以下の図は、メモリからYUVデータをキャプチャするプログラミングフローの例です。

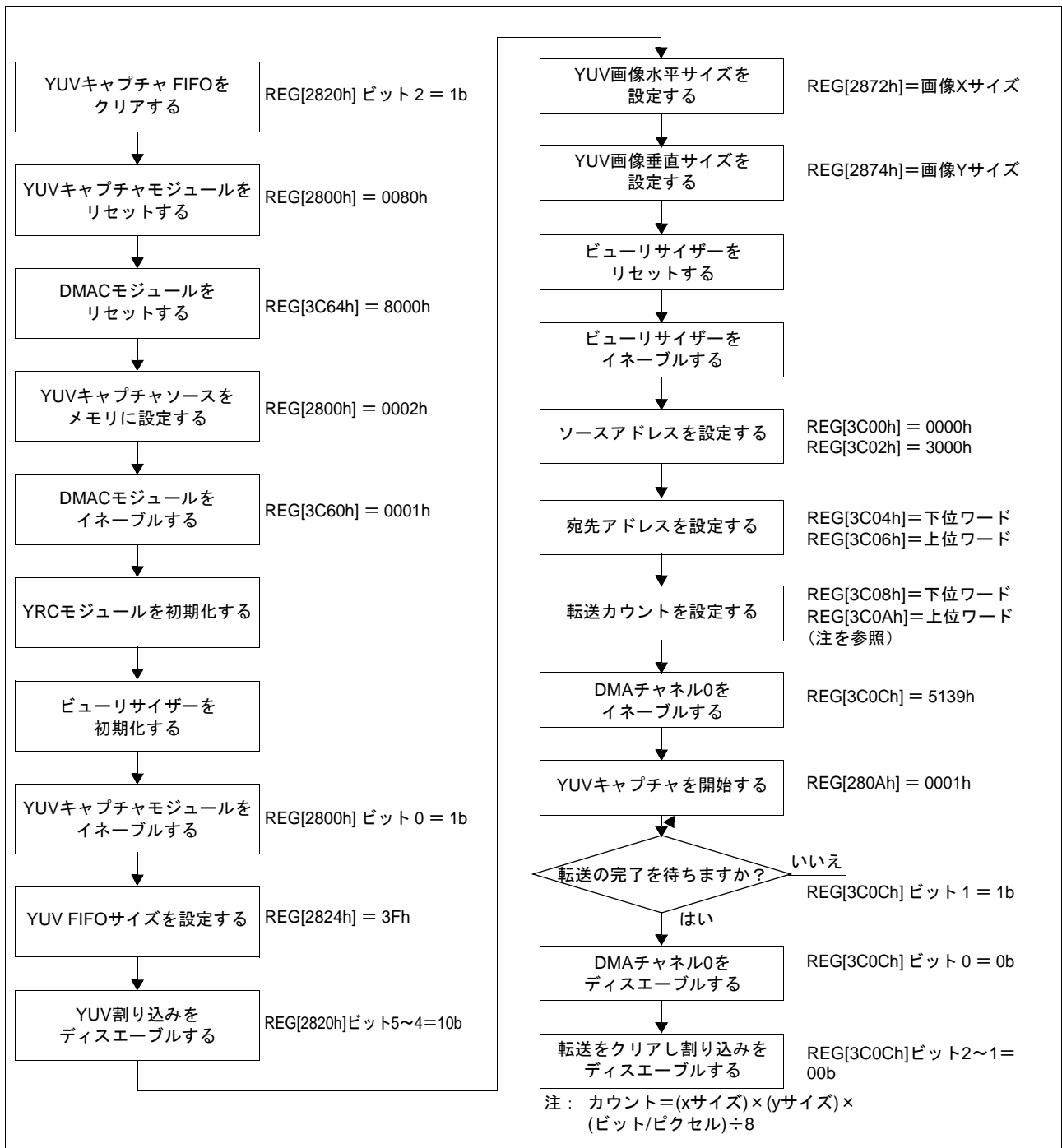


図22-4 メモリからのYUVキャプチャ

22. カメラインタフェース

以下の図は、JPEG対応カメラからJPEGデータをキャプチャするプログラミングフローの例です。

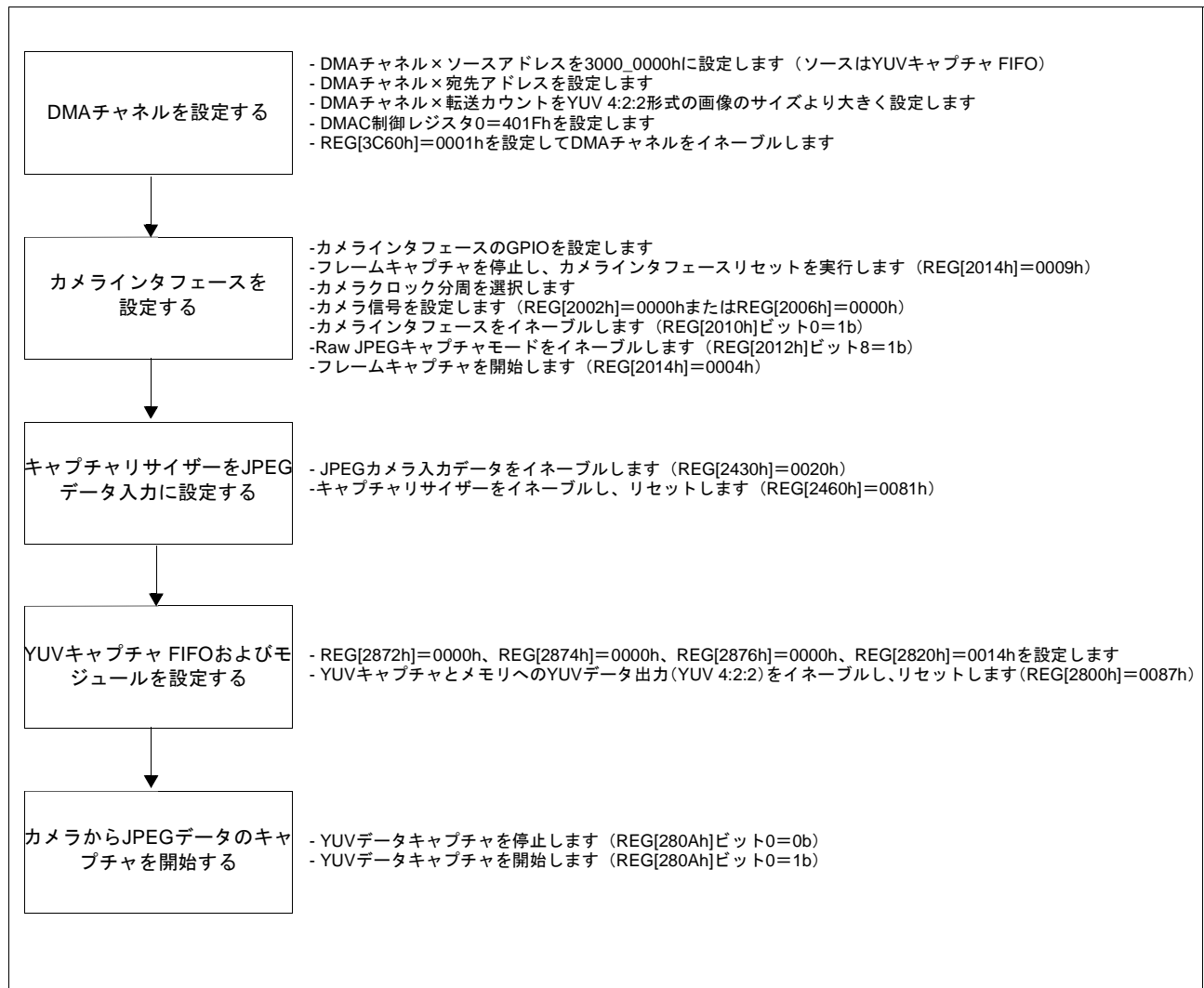


図22-5 カメラからのJPEGキャプチャ

22.2 フレームキャプチャ割り込み

カメラ画像データのキャプチャが完了したときに割り込みを生成することができます。この割り込み生成タイミングを、次に示したようにストロボ出力と同期させることができます。

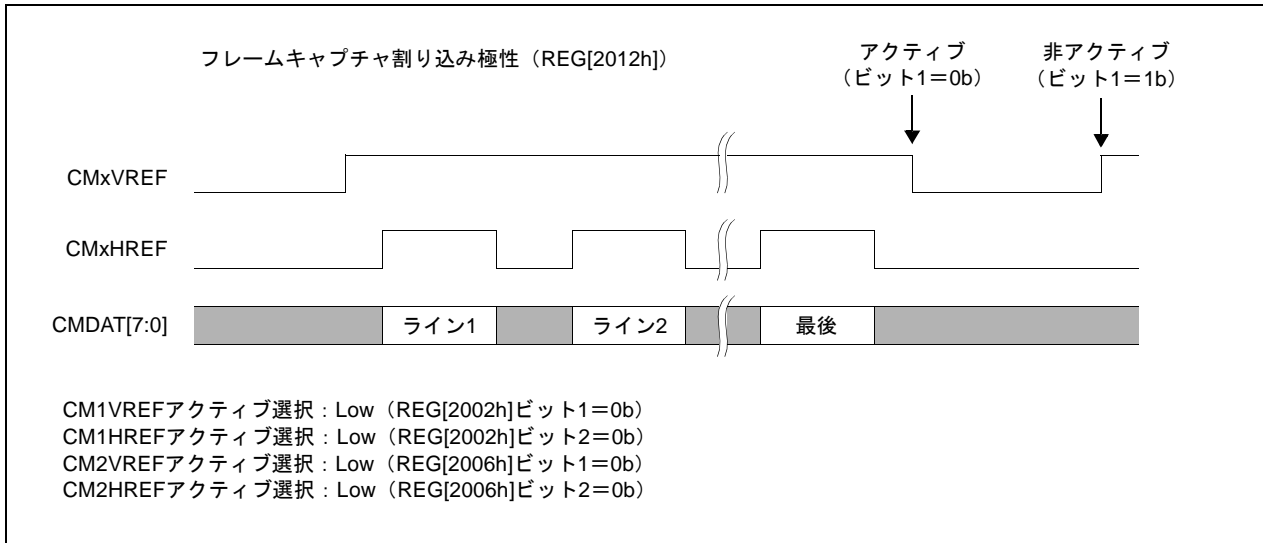


図22-6 フレームキャプチャ割り込み

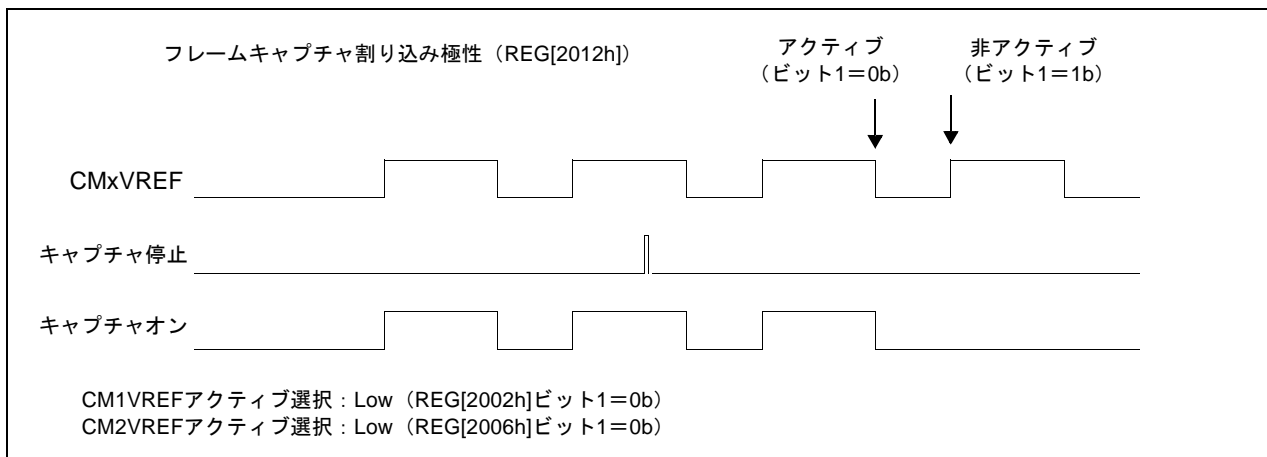


図22-7 フレームキャプチャ割り込み (キャプチャ停止)

22. カメラインタフェース

22.3 ストロボ制御信号

カメラインタフェースがイネーブルされているときはストロボ機能を使用できます。一般に、ストロボ信号は、外付けカメラフラッシュまたはカメラデータを制御し、カメラフラッシュが消えた後またはカメラデータ出力がイネーブルされた後で最適なカメラ画像をキャプチャまたは表示するためにカメラインタフェースと関連して使用されます。

ストロボ出力は、REG[2020h]～REG[2024h]を使って制御されます。ストロボ制御信号出力端子は、CMSTROUTです（GPIOB7を参照）。

22.3.1 ストロボパルスの生成

ストロボパルス（CMSTROUT）は次の2つの方法で生成することができます。

繰り返しキャプチャモードでのキャプチャの停止

1. 連続フレームキャプチャモード（REG[2012h]ビット6=0b）の場合はカメラインタフェースをイネーブルし、CMxVREFおよびCMxHREF信号が生成されるようにします。ITU-R BT656データフォーマットはイネーブルしないでください（REG[2010h]ビット7=0b）。
2. ストロボライン遅延タイミング（REG[2020h]）、ストロボパルス幅（REG[2022h]）、ストロボアクティブ選択（REG[2024h]ビット1）、およびストロボキャプチャ遅延（REG[2024h]ビット7～4）を設定します。
3. カメラフレームキャプチャ（REG[2014h]ビット3=1b）を停止することによってストロボ信号（CMSTROUT）をイネーブルします。キャプチャされる最後のカメラフレームは、ステップ2のストロボキャプチャ遅延制御に依存します。

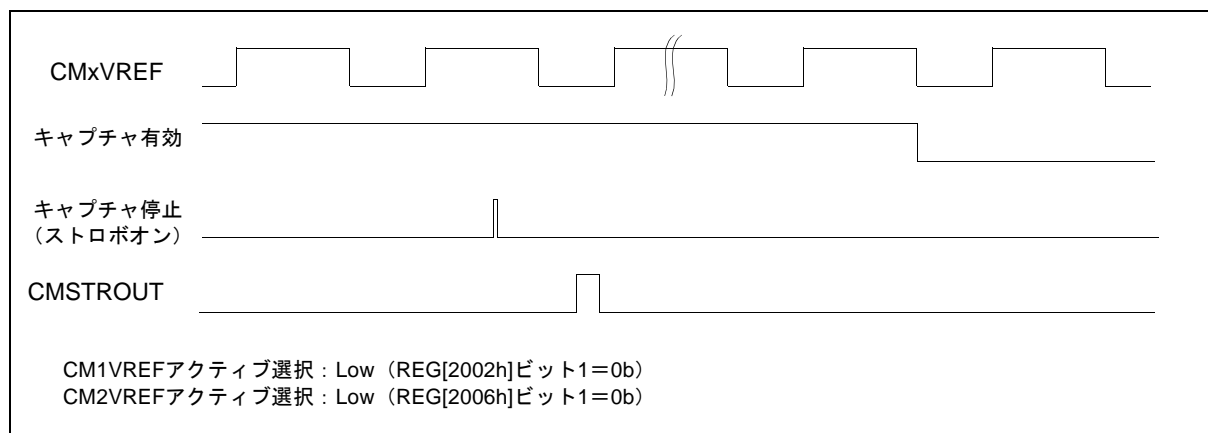


図22-8 ストロボ操作（連続キャプチャの停止）

シングルカメラフレームキャプチャ

1. シングルフレームキャプチャモード (REG[2012h]ビット6=1b) の場合はカメラインタフェースをイネーブルし、CMxVREFおよびCMxHREF信号が生成されるようにします。ITU-R BT656データフォーマットをイネーブルしないください (REG[2010h]ビット7=0b)。
2. ストロボライン遅延タイミング (REG[2020h])、ストロボパルス幅 (REG[2022h])、ストロボアクティブ選択 (REG[2024h]ビット1)、およびストロボキャプチャ遅延 (REG[2024h]ビット7~4) を設定します。
3. カメラフレーム (REG[2014h]ビット2=1b) をキャプチャすることによってストロボ信号 (CMSTROUT) をイネーブルします。キャプチャされたカメラフレームは、ストロボ信号のすぐ後に生成され、ステップ2のストロボキャプチャ遅延には依存しません。

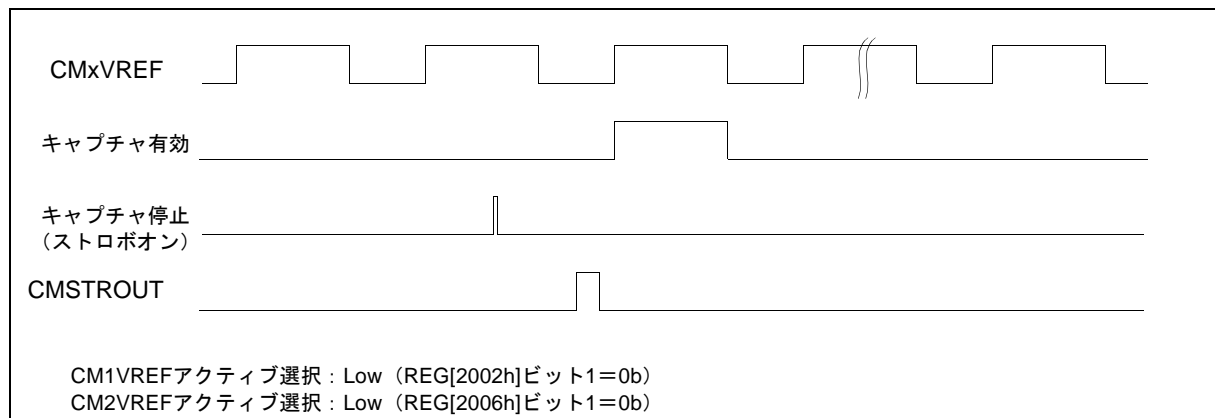


図22-9 ストロボ操作 (シングルフレームキャプチャ)

22. カメラインタフェース

22.3.2 ストロボタイミング

ストロボパルス (CMSTROUT) はCMxVREF立ち上がり後のCMxHREFの立ち下がりエッジから、ストロボライン遅延タイミングビット (REG[2020h]ビット15~0) によって指定された遅延後に始まります。

注

ライン遅延信号とパルス幅信号は両方とも、HREF信号が停止した場合に固有のタイミング遅延が生じるHREFをカウントすることによって指定されます。ライン遅延 (REG[2020h]) レジスタとパルス幅 (REG[2022h]) レジスタをプログラムするときは、この固有の遅延を考慮してください。

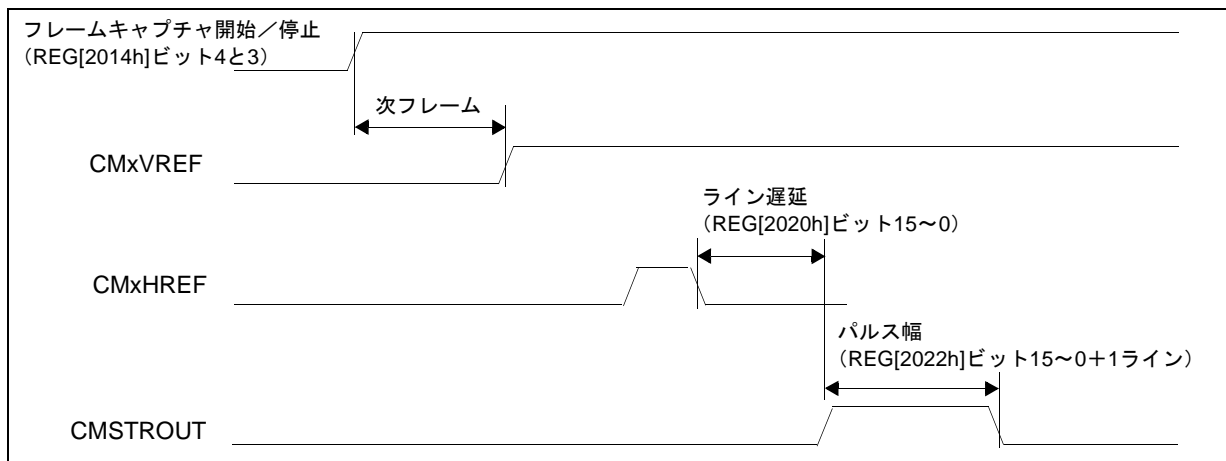


図22-10 ストロボ信号の出力タイミング

注

ライン遅延 (REG[2020h]ビット15~0) とパルス幅 (REG[2022h]ビット15~0) は、CMxVREF信号の周期より大きく設定することもできます。

23. I2Cインタフェース

S1D13513は、一般にカメラをプログラムするために使用されるI2Cインタフェースを備えています。インタフェースは、マスターモードだけをサポートしており、標準（100kb）と高速（400kb）の2つの速度に設定することができます。

I2Cインタフェースは、S1D13513のGPIO端子を使って実装されます。いくつかのインタフェースも同様ですが、I2Cインタフェース端子は他のインタフェースと機能を共有しないように設計されています。GPIO端子の組み合わせの概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

I2Cインタフェースをイネーブルする前に、GPIO設定レジスタを使ってGPIO端子を適切に設定してください（REG[0C06h]ビット13～10を参照）。I2Cインタフェースの端子割り付けについては、46ページの項5.9「I2Cインタフェースの端子割り付け」を参照してください。

S1D13513が特定のカメラ実装をサポートしているかどうかを確認するには、112ページの項7.9「I2Cインタフェースタイミング」のACタイミングの詳細を参照してください。

23. I2Cインタフェース

23.1 プログラミングフロー

以下の図は、I2C装置（8ビットデータ装置）にN個のバイトを書き込むプログラミングフローの例です。

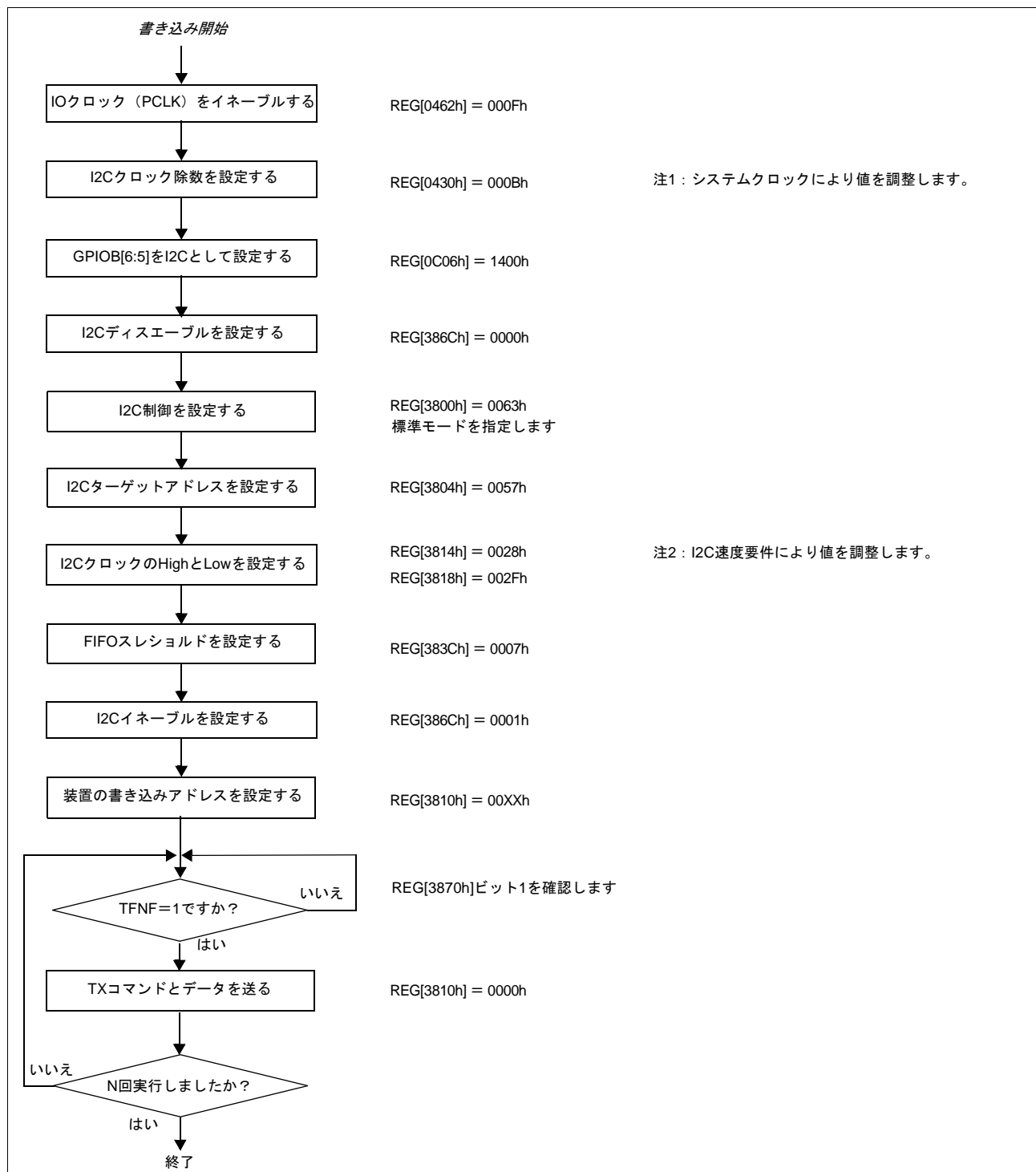


図23-1 I2Cインタフェース書き込みフローの例

以下の図は、I2C装置（8ビットデータ装置）からN個のバイトを読み出すプログラミングフローの例です。

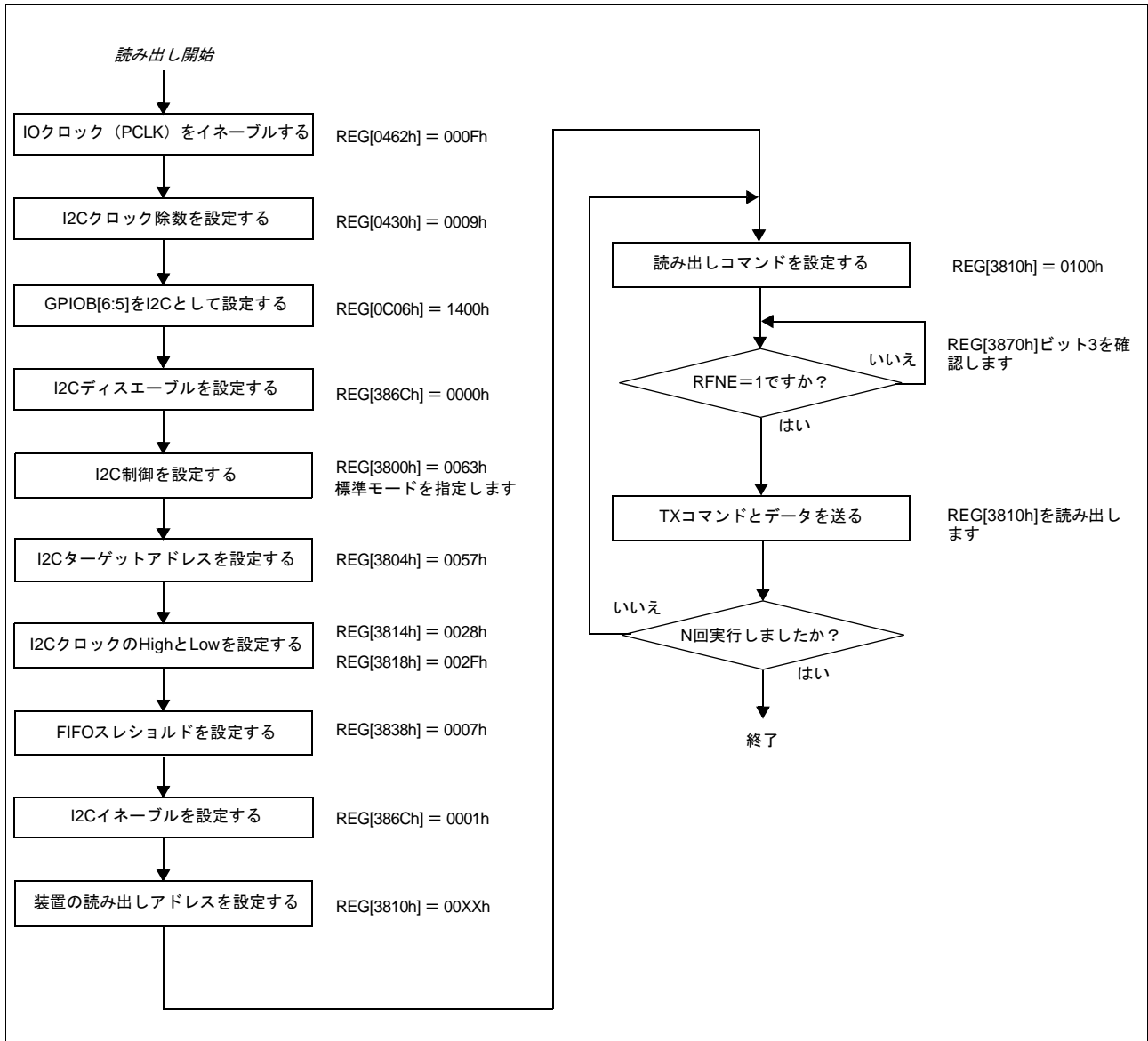


図23-2 I2Cインタフェース読み出しフローの例

23. I2Cインタフェース

以下の図は、I2Cモジュールをディスエーブルするプログラミングフローの例です。

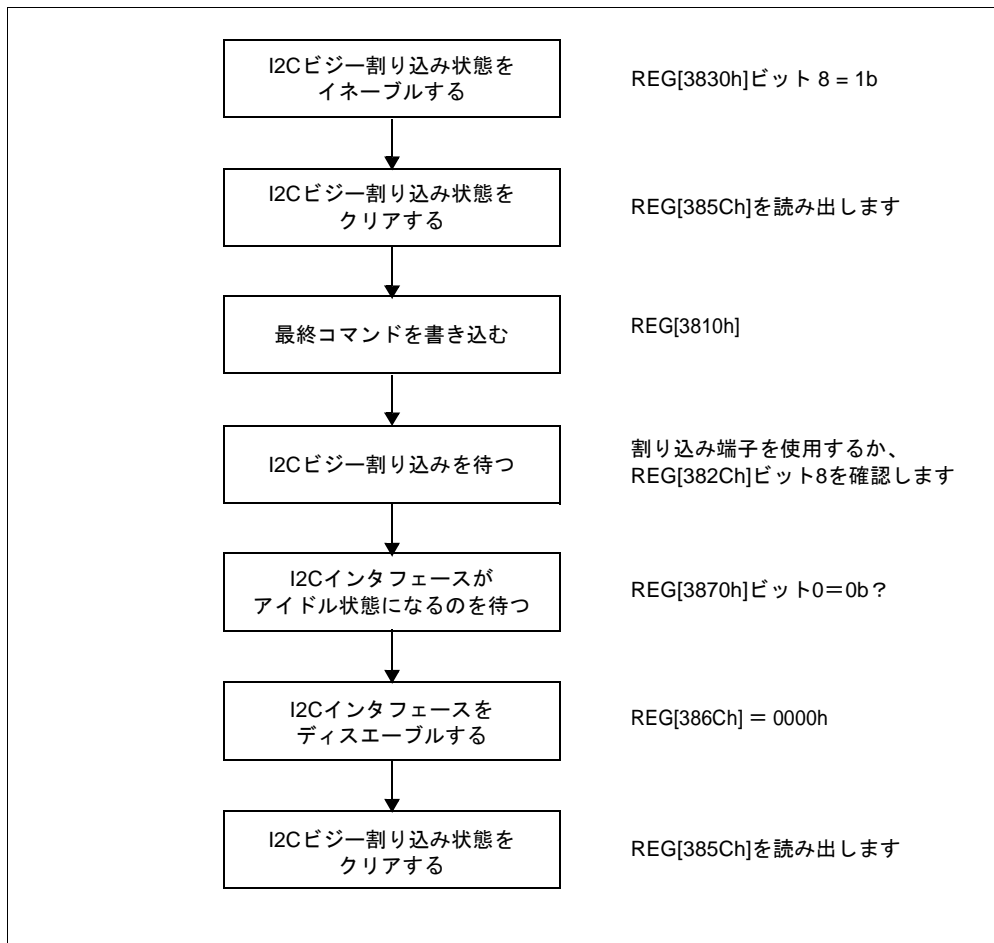


図23-3 I2Cモジュールディスエーブルシーケンス

24. キーボードインタフェース

S1D13513は、最大5×5のマトリクスをサポートするキーボードインタフェースを備えています。

注

キーボードインタフェースは、QFPパッケージでは使用できません。

24.1 キーボードインタフェースの接続例

キーボードインタフェースは、2組の端子を使ってS1D13513にデータ信号を送ります。5×5マトリクスの押されるキーを指定するためにKEYX[4:0]とKEYY[4:0]が使用されます。両方の組の端子はGPIO端子上で多重化されており、GPIOA[4:0]上ではKEYX[4:0]、GPIOB[4:0]上ではKEYY[4:0]になっています。キーボードインタフェースをイネーブルする前に、GPIO端子をキーボードインタフェース用に設定してください。GPIO端子の使用の概要は、44ページの項5.6「GPIOの端子割り付け」を参照してください。

逆電流による意図しないキーボード入力を防ぐために、以下の図のようにKEYY[4:0]端子とキーボードの間にダイオードを入れてください。

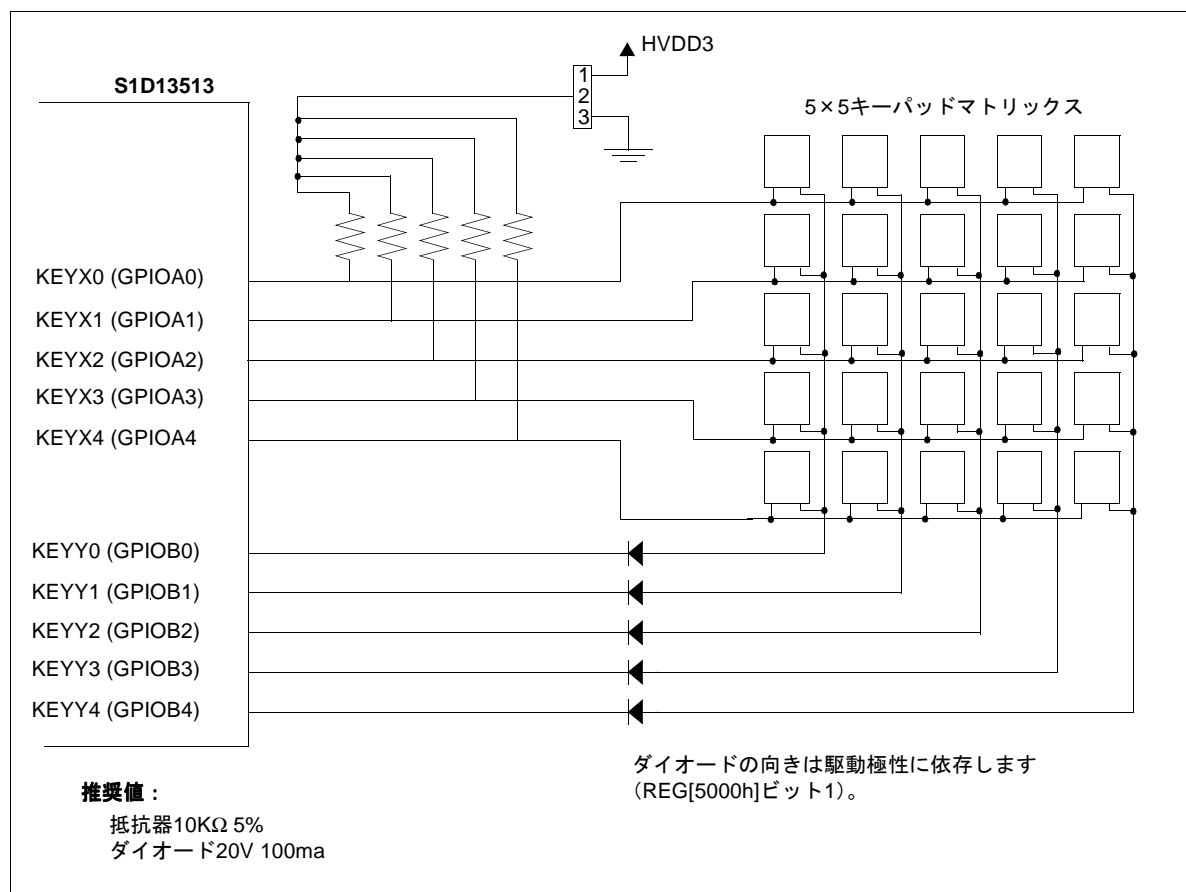


図24-1 キーボードインタフェースの接続例

24. キーパッドインターフェース

24.2 キースキャン

S1D13513は、以下の図に示したように1から25までのキープレスを検出します。インターフェースは、1度に1つのキープレスを検出するように設計されていますが、同じ列内のキー（たとえば、1、6、11、16、21）は同時に検出することができます。

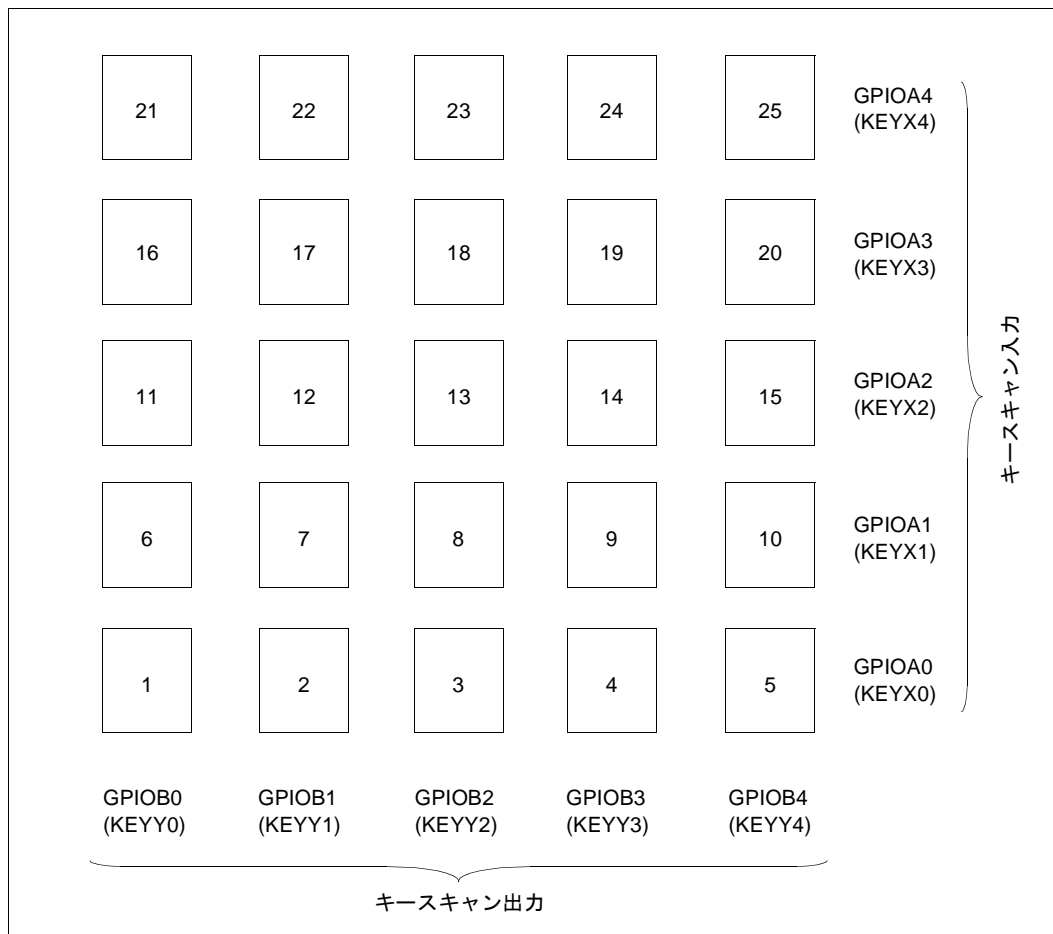


図24-2 キーパッドインターフェースの接続例

注

キープレスを検出した後は、キースキャンングをソフトウェアによって再開しなければなりません。

24. キーパッドインタフェース

キースキャンは、GPIOB0～GPIOB4のアクティブLowスキャンです。キー入力は、GPIOA端子にLow入力が生じたときに認識されます。以下の表は、それぞれの特定のキープレスごとのGPIO端子の適切な値とKey Scan Dataレジスタ (REG[5004h]) を示しています。

表24-1 キープレス値

キープレス	GPIOB[4:0]	GPIOA[4:0]	REG[5004h]	REG[5004h]
"1"	1Eh	1Eh	1E01h	0101h
"2"	1Dh	1Eh	1D01h	0201h
"3"	1Bh	1Eh	1B01h	0401h
"4"	17h	1Eh	1701h	0801h
"5"	0Fh	1Eh	0F01h	1001h
"6"	1Eh	1Dh	1E02h	0102h
"7"	1Dh	1Dh	1D02h	0202h
"8"	1Bh	1Dh	1B02h	0402h
"9"	17h	1Dh	1702h	0802h
"10"	0Fh	1Dh	0F02h	1002h
"11"	1Eh	1Bh	1E04h	0104h
"12"	1Dh	1Bh	1D04h	0204h
"13"	1Bh	1Bh	1B04h	0404h
"14"	17h	1Bh	1704h	0804h
"15"	0Fh	1Bh	0F04h	1004h
"16"	1Eh	17h	1E08h	0108h
"17"	1Dh	17h	1D08h	0208h
"18"	1Bh	17h	1B08h	0408h
"19"	17h	17h	1708h	0808h
"20"	0Fh	17h	0F08h	1008h
"21"	1Eh	0Fh	1E10h	0110h
"22"	1Dh	0Fh	1D10h	0210h
"23"	1Bh	0Fh	1B10h	0410h
"24"	17h	0Fh	1710h	0810h
"25"	0Fh	0Fh	0F10h	1010h

24. キーパッドインタフェース

24.3 プログラミングフローの例

以下のプログラミングフローは、キーパッドインタフェースを初期化するシーケンスの例です。

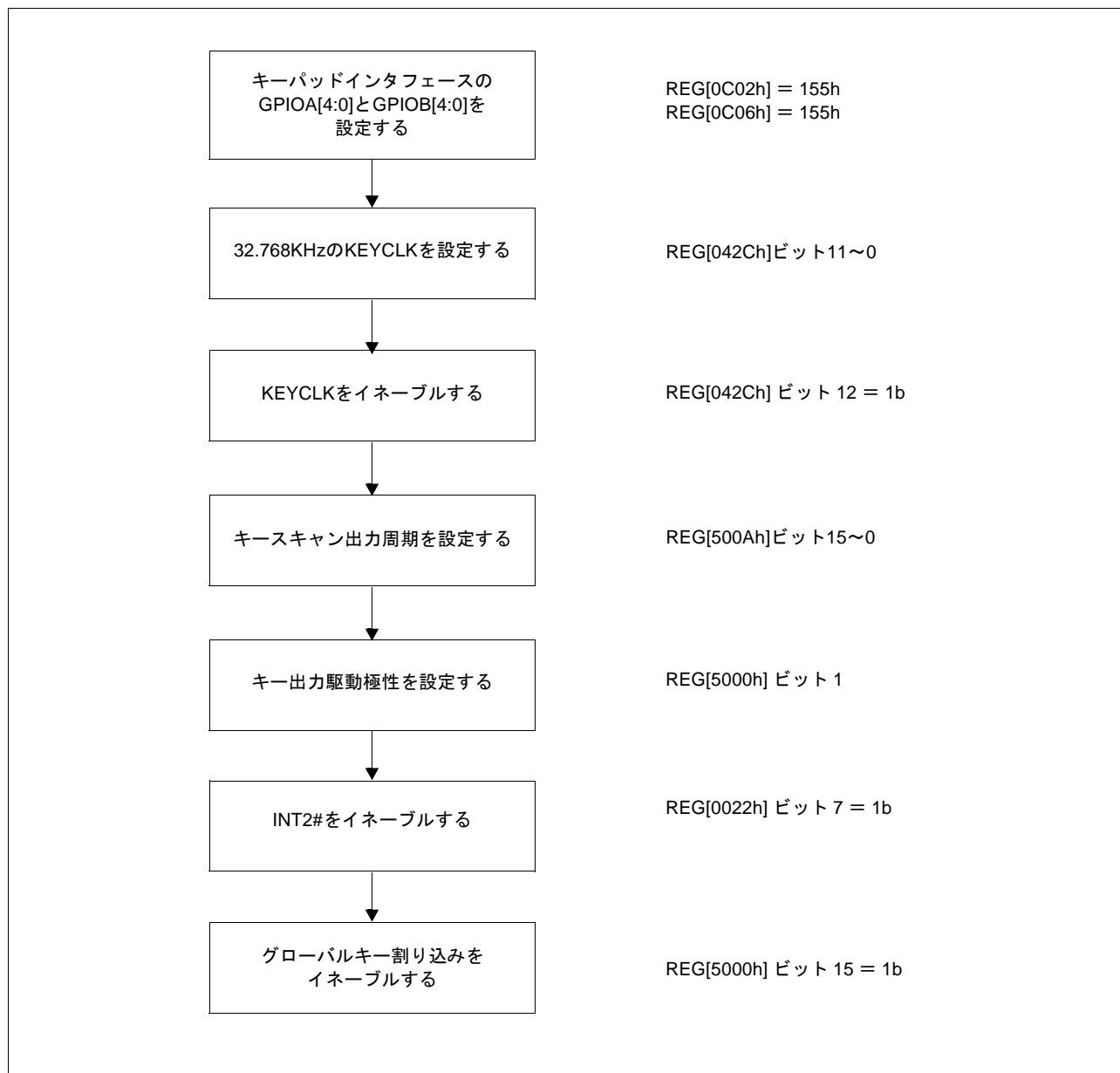


図24-3 キーパッドインタフェース初期設定のプログラミングフロー

24. キーボードインタフェース

以下のプログラミングフローは、キーボードインタフェースを使ってキープレスを検出する方法の例です。

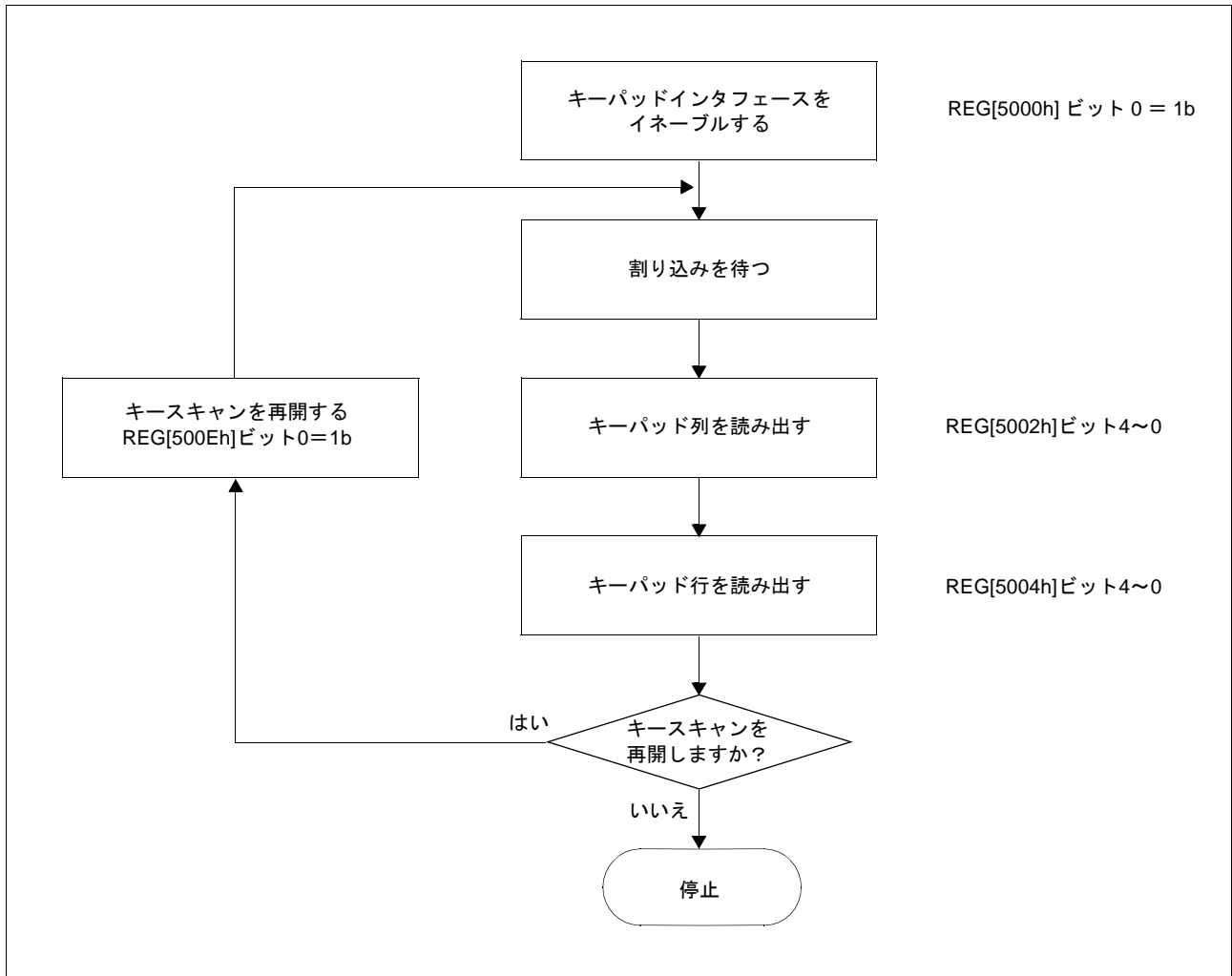


図24-4 キーボードインタフェースキー検出のプログラミングフロー

25. 水晶発振器回路

25. 水晶発振器回路

S1D13513は、クロックソースとして使用することができる2つの水晶発振回路を備えています。クロックの詳細は、119ページの項9.「クロック」を参照してください。

発振特性は、回路に使用されている部品（すなわち、水晶、Rf、Rd、Cg、Cd、および基板特性）に依存します。回路と部品の値の例は次の通りです。それぞれの実装に合わせて使用される実際の値を確認してください。

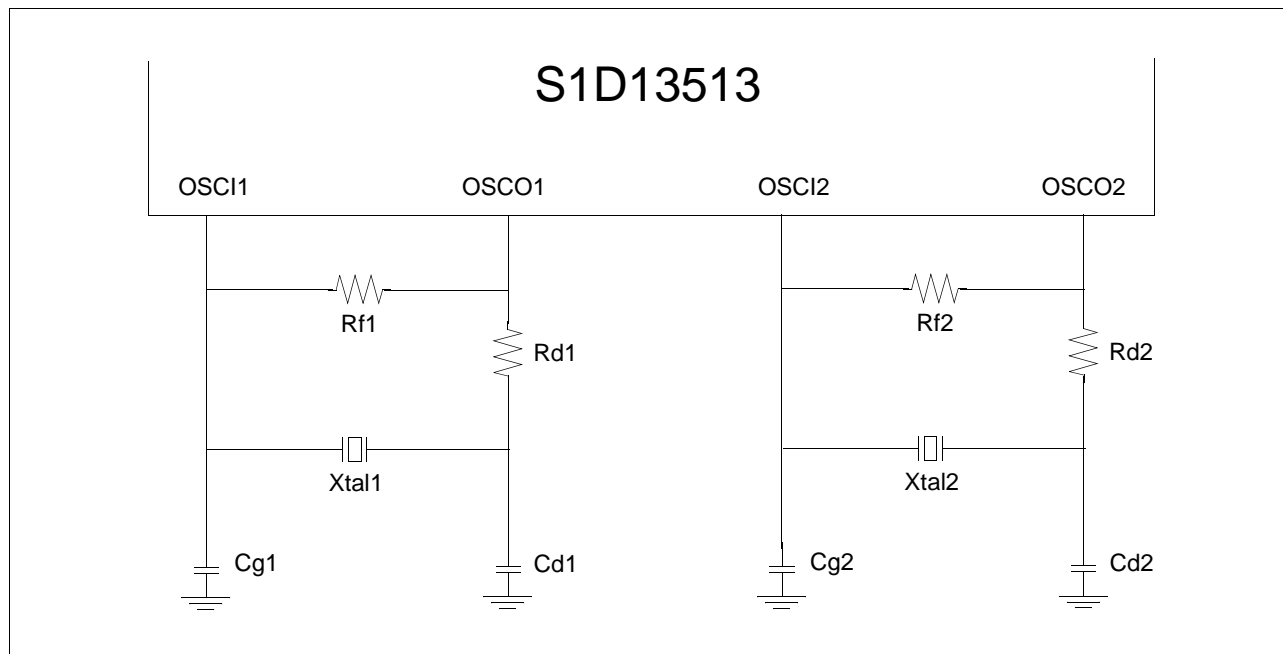


図25-1 推奨水晶発振器外部回路

表25-1 推奨水晶発振器外部回路パラメータ

記号	パラメータ	最小	TYP	MAX	単位
Rf1	Rf1	—	1	—	MΩ
Rd1	Rd1	—	0	—	W
Cg1	Cg1	—	10	—	pF
Cd1	Cd1	—	10	—	pF
水晶1	基本モード水晶	5	—	20	MHz
Rf2	Rf2	—	1	—	MΩ
Rd2	Rd2	—	0	—	W
Cg2	Cg2	—	5	—	pF
Cd2	Cd2	—	5	—	pF
水晶2	基本モード水晶	5	—	27	MHz

26. 設計指針

26.1 PLL電源レイアウトの基準

PLL回路は、アナログ回路であり、入力クロック波形や電源のノイズの影響を大きく受けま
す。クロックや電源にノイズがあると、PLL回路の動作が不安定になったりジッタが大き
くなったりすることがあります。

そのようなノイズの制約があるため、PLL用の電源トレースや電源プレーンを他の電源の
ものから分離するようにしてください。電源ノイズをできるだけ少なくするためにフィルタ
リングも使用してください。

次のような対策をとると、PLLの電源ノイズが少なくなり、その結果クロックのノイズが少
なくなり安定します。これらの対策のいくつかを実施するだけでも有効です。

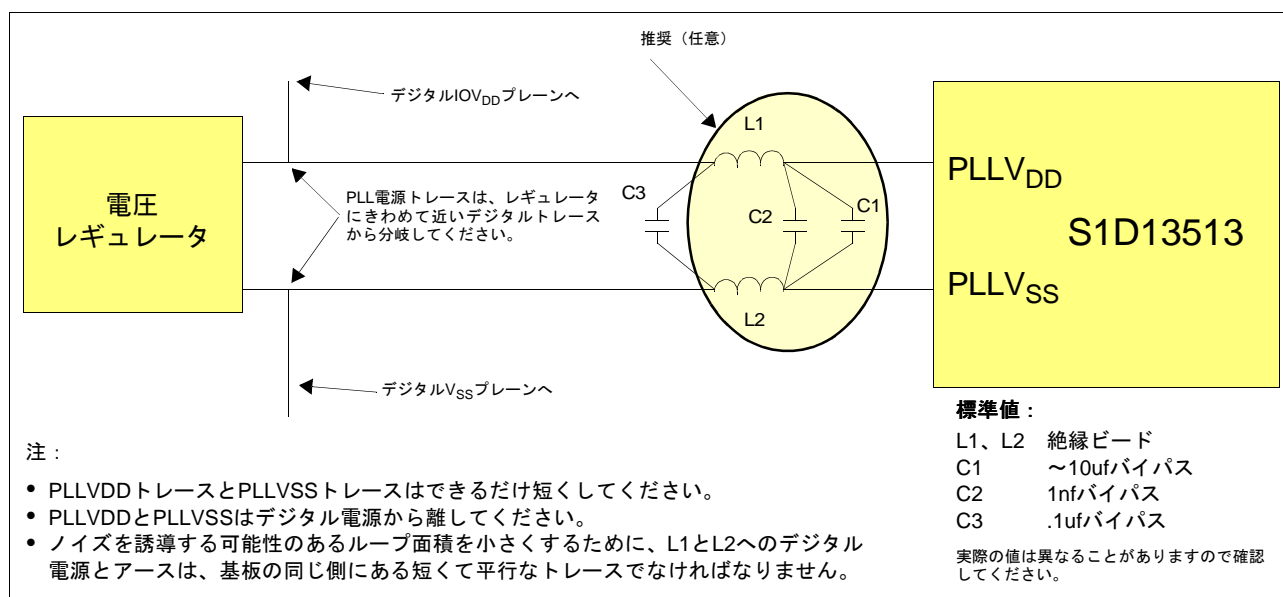


図26-1 PLL電源レイアウト

- フェライトビーズ（L1とL2）は、間隔が最小になるように互いに平行に配置してください。バイパスキャパシタ（C2とC3）は両方とも、インダクタにできるだけ近づけてください。C3から電源プレーンまでのトレースは、基板の同じ側にあり標準的に間隔が狭く短い平行なトレースにしてください。ループ面積を大きくするとノイズが発生します。基板上に電圧レギュレータがある場合は、電源トレースを電源プレーンまで引き回さずに電圧レギュレータに直接接続してください。（平行なトレースの上の規則にも従ってください）。

26. 設計指針

- バイパスキャパシタ (C2) がグラウンド絶縁インダクタ (L1) につながるアナロググラウンドポイントは、グラウンド星形トポロジのアナロググラウンド中心になります。C2からPLL V_{SS} 端子への1本の短いトレースを除いて、部品はいずれもS1D13513 (PLL V_{SS}) のアナロググラウンド端子に直接接続されません。大きなバイパスキャパシタ (C1) のグラウンド側にも星形ポイントへ直接接続してください。
- アナロググラウンドに使用されるのと同じ星形トポロジ規則が、L2とC2間アナログ電源接続にも適用されます。
- すべてのトレース長をできるだけ短くしてください。
- すべてのPLLトレースをできるだけ基板の同じ外側の層に配置してください。唯一の例外はC1です。C1は、必要に応じて基板の反対側に配置することができます。C1は、他の部品ほどアナロググラウンドや電源星形ポイントに近くなくてもかまいません。
- できるだけPLL領域の下 (PLL部品とトレースの下の領域) だけにプレーンの一部が入るようにしてください。連続したアナログプレーンをC2 (バイパス) パッドにグラウンド接続してください。このプレーンが大きすぎると効果がありません。厳密には、このプレーンは、同じ基板領域内の他の層の信号との結合を防ぐ静電気シールドです。そのようなアナログプレーンが利用できない場合は、信号層の代わりにPLL部品の下の層をデジタル電源プレーンにしてください。
- できるだけ層上の他の基板信号が PLL 端子ビアのすぐ近くを通らないようにしてください。
- 特にC2のどちらかの側へのアナロググラウンド接続と電源星形接続の場合は、できるだけ太いトレースを使用してください。トレースが細いほど誘導が大きくなるので、部品のパッドと同じくらいの幅にしてください。

製造上の制約によって、提案したようなグラウンド接続や電源星形接続ができない可能性があります。たとえば、4本の幅広いトレースが1つのパッドに集まると、キャパシタパッドのまわりのすべての銅トレースの熱の影響で、組み立て中にリフローの問題が生じる可能性があります。1つの解決策は、1本のトレースだけをそのパッドに接続し、他のすべてのトレースをパッドから最小距離でこの幅の広いトレースに接続することです。もう1つの解決策は、トレースをパッドに接続し、銅の接続を断つサーマルリリースをパッドのまわりに設けることです。最終的には基板も製造可能でなければならず、そのための最善の努力が必要となります。

27. メカニカルデータ

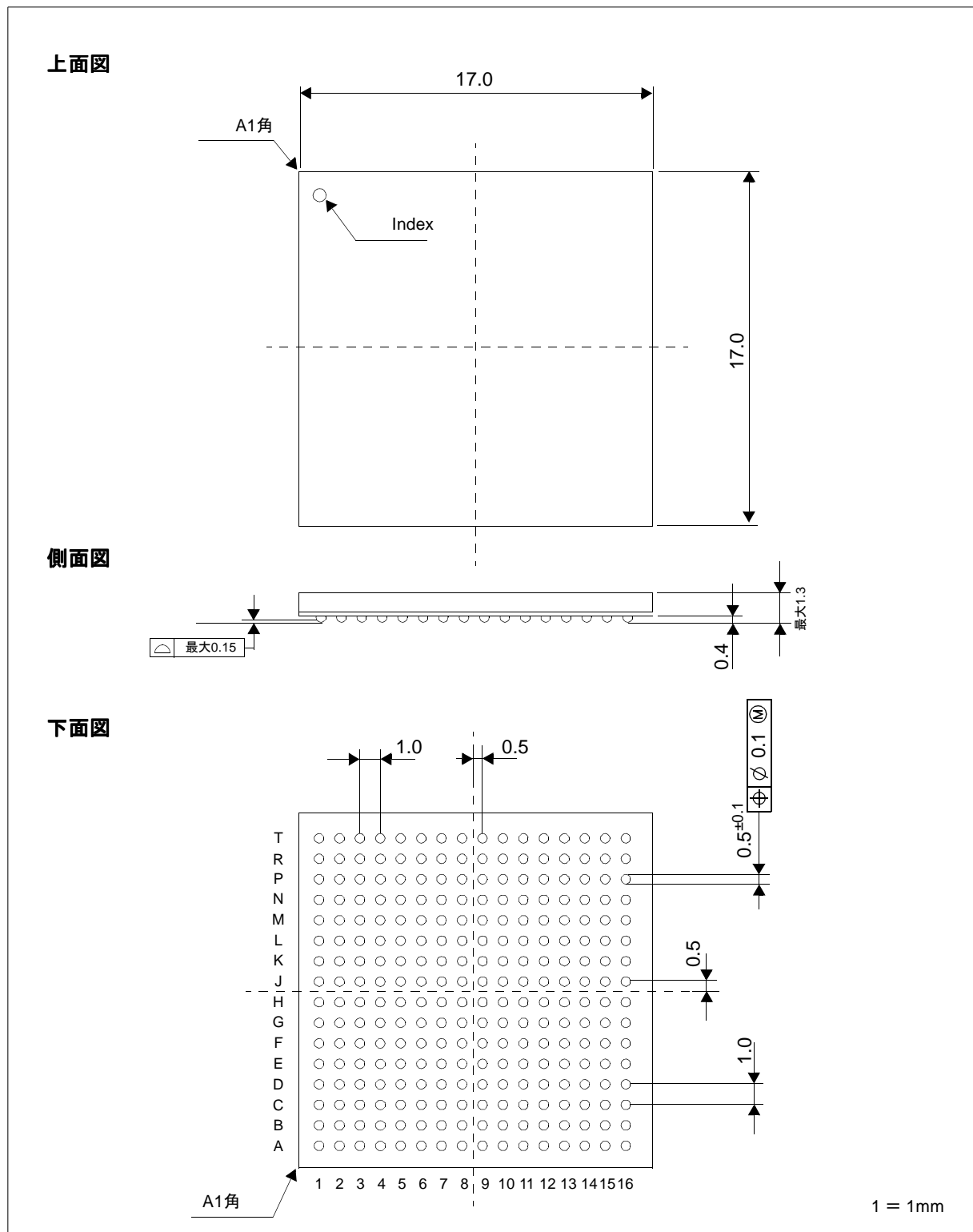


図27-1 S1D13513 PBGA 256ピンパッケージ

27. メカニカルデータ

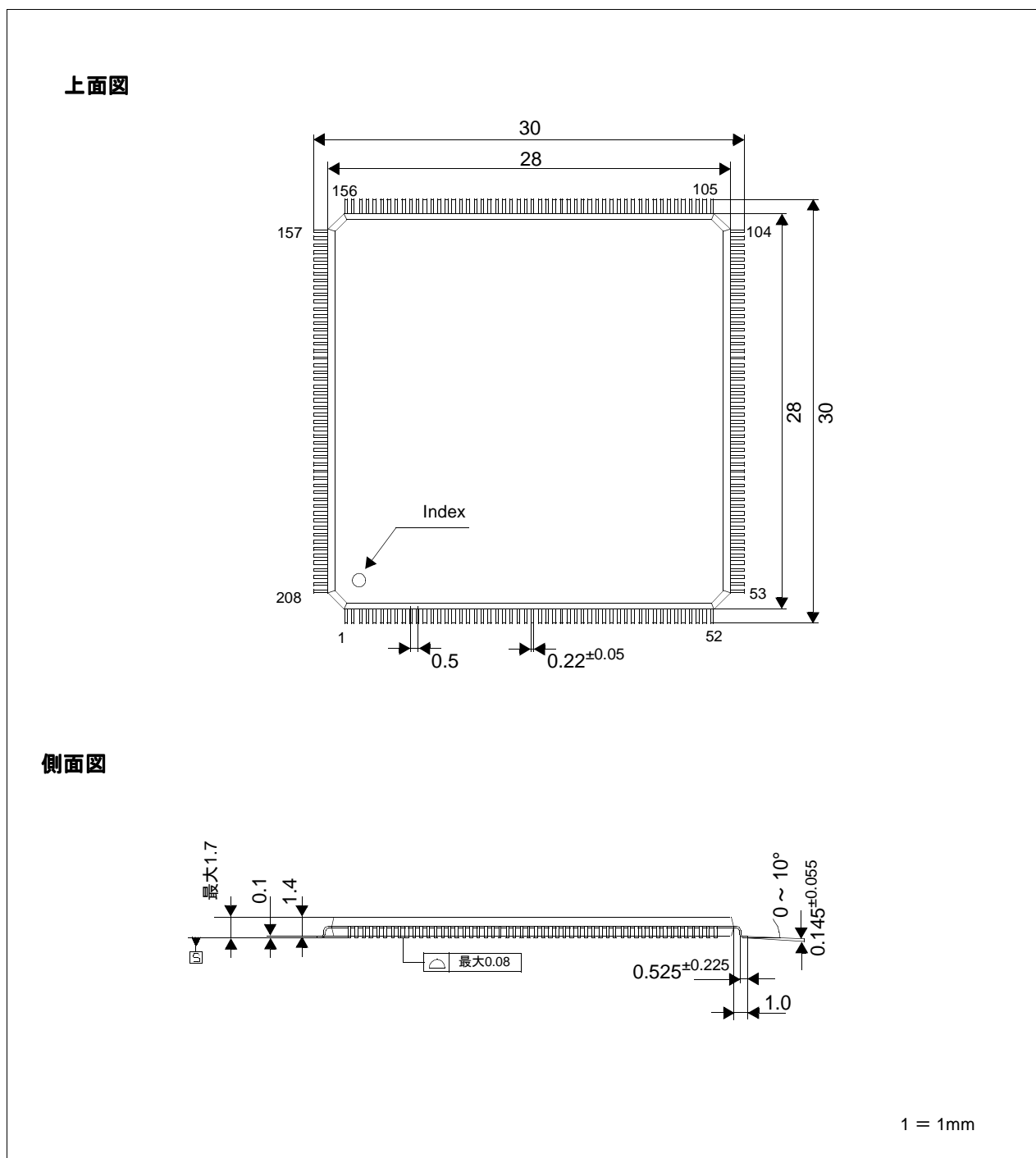


図27-2 S1D13513 QFP22 208ピンパッケージ

28. 参考資料

以下の文書には、S1D13513に関連する付加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、Epson Research and Developmentウェブサイト www.erd.epson.com でご覧いただけます。

- 『S1D13513 Product Brief (S1D13513の製品概要)』 (X78B-C-001-xx)
- 『S5U13513P00C100 Evaluation Board User Manual』 (X78A-G-003-xx)

改訂履歴

X78B-A-001-01 Rev. 1.0 - 新規

X78B-A-001-01 Rev. 1.4 - 2009年2月16日発行

- Freescale MPC556を削除。
- Freescale MPC821 を削除。
- 2.4 表示機能について、アルファブレンディングオプションの ARGB8:5:6:5 を削除。
- 5.2.1 ホストインタフェースの表 5-3 について、BURST# ピンの記述を変更。
- 5.2.1 ホストインタフェースの表 5-3 について、BDIP# ピンの記述を変更。
- 5.4 ホストバスインタフェースの端子割り付けで、表 5-11、表 5-12 に注 4 を追加。
- 7.1.3 PLL クロックで、PLL クロック出力周波数の最大値を 130MHz に変更。
- 7.4.6 Renesas SH3 について、表 7-19 の SH3 常時駆動 Active Low WAIT# モードに関する注 (製品レビジョン 00h および 01h のみが対象) を追加。
- 7.4.10 Freescale MPC555(非バーストモード) で、表 7-27 の t19 の最小値を 0ns から -20ns に変更。
- 7.4.12 シリアルホストおよび 7.4.13 シリアルホストバーストモードで、表 7-30 の CS# の表記を SCS# に変更。
- 7.4.12 シリアルホストおよび 7.4.13 シリアルホストバーストモードで、t2 の最小値 (SCK の周期) を 30ns から 63ns に変更。
- REG[0000h] について、デフォルト値を 0100h から 0200h に変更。
- REG[0020h] bit 6 について、このビットのクリア条件についての参照先を REG[2016h] bit 1 から REG[2014h] bit 1 に変更。
- REG[0044h] bit 15 を追加。プリフェッチバッファディセーブルの bit およびその説明を追加。
- REG[040Ch] について、PLL 設定値例の記述を修正。
- REG[0414h] について、PLL 設定値例の記述を修正。
- REG[0836h] bit 13 について、出力ピクセル色の算出式について、” ÷ 2” を削除。
- REG[0836h] bits 10-9 について、出力ピクセル色の算出式について、” ÷ 2” を削除。
- REG[102Ch] について、bit 説明の誤植を修正。
- REG[102Eh] について、bit 説明の誤植を修正。
- REG[1862h] について 1 bit ソースビットフォーマットの記述を修正。
- REG[244Eh] bits 1-0 について、ビューリサイザ垂直倍率ビットの記述を REG[244Eh] から REG[244Ch] に修正。
- REG[1808h] bits 2-0 について、注 6 を「8bpp の BitBLT では、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。」に変更。
- REG[1810h] - REG[181Eh] について、「8bpp の BitBLT では、開始位置を偶数ピクセルに設定してください。また、幅のピクセル数についても偶数に設定してください。」の記述を追加。
- REG[3010h] - REG[3012h] について、bit 説明のうち、色深度 32bpp の記述を削除。
- 11.1 パワーオン/パワーオフシーケンスで、図 11-10 の通常モード範囲に「レジスタを初期化する」を含めるよう修正。
- 20.4 先読み機能で、2 節目のホストインタフェースが新規のメモリ読み出しのアクセスなしでデータを返す条件を明記。
- 20.4 先読み機能で、プリフェッチバッファのクリア条件の項目を修正。
- 20.4 先読み機能で、プリフェッチバッファの制御ビットの記述を追加。
- 20.4 先読み機能で、ダイレクトおよびインダイレクトインタフェースの両者について、データ干渉問題を回避するための方法の注を追加。
- 20.5.1 シリアルインタフェースの内容で、ホストシリアルクロックの最大周波数の記述を 16MHz に変

更。

- 22.1 プログラミングフローで、図 22-2 および図 22-3 の注の誤植を修正。
- 10.4.11 カメラインタフェースレジスタで、表 10-72 が Camera1 の記述であることを明記。
- REG[3C08h] - REG[3C0Ah] で、誤植を修正。

X78B-A-001-01 Rev. 1.5 - 2009年8月20日発行

- ” 5.8 カメラインタフェースの端子割り付け ” で、表 5-20 カメラインタフェースの端子割り付け (16 ビットデータバスモード) ” を追加。
- ” 7.1.1 入力クロック ” で、” 表 7-1 クロック入力として使用されるときの OSC1/OSC2/CLKI3/BUSCLK のクロック要件 ” および ” 表 7-2 水晶発振器入力として使用されるときの OSC1/OSC2 のクロック要件 ” の tr と tf の最大値を ” 0.2Ts ” に変更。
- ” 7.6.1 汎用 TFT パネルタイミング ” で、” 表 7-34 汎用 RGB タイプインタフェースパネル水平タイミング ” の規定を変更。
- ” 7.7.1 カメラインタフェース YUV タイミング (8 ビットデータバスモード) ” で、” 8 ビットデータバスモード ” の記述を節、表、図のタイトルに追加。
- ” 7.7.2 カメラインタフェース YUV タイミング (16 ビットデータバスモード) ” を追加。
- ” REG[001Ah] ” を追加。
- ” REG[1808h] ビット 2 ~ 0 ” で、注 7 の記述を追加。
- ” REG[1826h] ” で、注 2 および注 3 の記述を追加。
- ” REG[2002h] ビット 4 ~ 3 ” で、” 表 10-73 YUV データフォーマット選択 ” に、” YUV データフォーマット (16 ビットフォーマット) ” の欄を追加。
- ” REG[2002h] ビット 2 ” で、誤植を訂正。
- ” 22. カメラインタフェース ” で、16 ビットデータバスモードの記述を追加。

X78B-A-001-01 Rev. 1.6 - 2010年5月20日発行

- ” 9.1 クロックの概要 ” で、WDTCLK の記述を ” 図 9-1 クロック図 ” から削除。

X78B-A-001-01 Rev. 1.7 - 2010年7月28日発行

- ” 10.4.7 スプライトレジスタ ” で、REG[1700h]bit8 の記述を明確化。
- ” 10.4.7 スプライトレジスタ ” で、図 10-2 スプライト #0 ~ #15 レジスタマッピングで、スプライト #15 レジスタのレジスタ範囲の誤植を訂正。

X78B-A-001-01 Rev. 1.8 - 2010年10月20日発行

- ” 2.6. 2D アクセラレータ ” で、誤記を修正。
- ” 5.2.4. GPIO / マルチファンクションインタフェース ” で、誤記を訂正。
- ” 6. DC 特性 ” で、VIN の条件を明記。
- ” 9.1. クロックの概要 ” で、誤記を修正。
- ” REG[0814] ” で、誤記を修正。
- ” REG[0846] ” で、注を追記。
- ” REG[0848] ” で、注を追記。
- ” REG[1xxxh+40h] ” で、誤記を修正。
- ” REG[1xxxh+44h] ” で、誤記を修正。
- ” 11.2.6. パワーオフ ” で、誤記を修正。
- ” 図 16-8 スプライトの回転とミラー化の例 ” で、180° および 180° + ミラーの図例を修正。
- ” 16.6. スプライト表示の向きと位置決め ” で、誤記を修正。
- ” 表 16-1 任意回転がディスエーブルされたスプライトの例 ” で、誤記を修正。

改訂履歴

- ” 16.7.2 任意回転がイネーブルされたスプライトの例” で、誤記を修正。
- ” 表 16-2 任意回転がイネーブルされたスプライトの例” で、誤記を修正。
- ” 16.8. プログラミングフロー” で誤記を修正。
- ” 図 16-9 イメージフォーマットコンバータシーケンスの例” で、誤記を修正。
- ” 20.1.2 チップ選択 (1CS# と 2CS#)” で、2CS# の記述を修正。
- ” 23.1. プログラミングフロー” で、誤記を修正。

X78B-A-001-01 Rev. 1.9 - 2011 年 2 月 7 日発行

- 前回からの変更箇所については赤文字で示しています。
- ” 表 7-1 クロック入力として使用されるときに OSC1/OSC2/CLKI3/BUSLK のクロック要件” で、fBUSCLK の最大値を 50MHz に修正。
- ” 11.2.6 パワーオフ” で、誤記を修正。
- ” 図 16-21 スプライト動作フロー” で、誤記を修正。
- ” 図 22-1、図 22-2 カメラインタフェースの全体像” で、誤記を修正。

X78B-A-001-01 Rev. 1.91 - 2014 年 12 月 5 日発行

- 前回からの変更箇所については赤文字で示しています。
- ” 図 20-5 メモリアクセス” で誤記を修正。

セイコーエプソン株式会社

マイクロデバイス事業部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411145506
2007年8月作成
2014年12月改訂