

EMBEDDED ARRAY

S1X60000 シリーズ
デザインガイド

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

©SEIKO EPSON CORPORATION 2011, All rights reserved.

目次

第1章 概要.....	1
1.1 特長.....	1
1.1.1 S1X60000 シリーズの概要.....	1
1.1.2 S1X60000 シリーズの内部構成.....	3
1.1.3 MSI の構成・種類.....	3
1.1.4 5V トレラント Fail-Safe セルの構成.....	3
1.1.5 入出力バッファの構成・種類.....	3
1.2 電気的特性・規格.....	4
1.2.1 スタンダードタイプ入出力バッファ (X タイプ) 使用時.....	4
1.2.2 5V トレラント Fail-Safe 対応入出力バッファ (XF タイプ) 使用時.....	10
1.3 静的消費電流の見積り方.....	16
1.3.1 ランダムロジック部の静的消費電流 (I _{QBC}).....	16
1.3.2 Basic Cell タイプ RAM の静的消費電流 (I _{QBM}).....	16
1.3.3 入出力バッファでの静的消費電流 (I _{QIO}).....	17
1.3.4 静的消費電流の温度特性.....	19
1.4 エンベデッドアレイの開発フローの概要.....	20
第2章 ゲート規模の見積り.....	22
2.1 回路の切り出し.....	22
2.2 使用ゲート数の見積り.....	22
2.3 入出力端子の見積り.....	22
2.4 Bulk 一覧.....	23
第3章 MSI セル.....	24
3.1 MSI のセル種.....	24
第4章 入出力バッファの種類と使用上の注意 (X タイプ).....	27
4.1 入出力バッファの種類.....	27
4.1.1 入出力バッファの選択.....	27
4.1.2 バスホールド回路.....	28
4.2 単一電源対応の入出力バッファ.....	29
4.2.1 入力バッファ.....	29
4.2.2 出力バッファ.....	30
4.2.3 双方向バッファ.....	32
4.2.4 Fail-Safe セル.....	34
4.2.5 Gated セル.....	36
4.3 2 電源対応の入出力バッファ.....	38
4.3.1 入力バッファ.....	38
4.3.2 出力バッファ.....	40
4.3.3 双方向バッファ.....	44
4.3.4 Fail-Safe セル.....	49
4.3.5 Gated セル.....	51
4.4 2 電源使用時の注意事項.....	52
4.4.1 2 電源対応の方法.....	52
4.4.2 2 電源使用時の電源.....	52
4.4.3 電源の投入・切断について.....	52
第5章 入出力バッファの種類と使用上の注意 (XF タイプ).....	53
5.1 入出力バッファの種類.....	53
5.1.1 入出力バッファの選択.....	53
5.1.2 バスホールド回路.....	54

5.2	2 電源対応の入出力バッファ	55
5.2.1	入力バッファ	55
5.2.2	出力バッファ	57
5.2.3	双方向バッファ	61
5.2.4	Fail-Safe セル	66
5.2.5	Gated セル	68
5.2.6	5V トレラント Fail-Safe セル	70
5.3	2 電源使用時の注意事項	73
5.3.1	2 電源対応の方法	73
5.3.2	2 電源使用時の電源	73
5.3.3	電源の投入・切断について	73
5.3.4	外部とのインタフェース	74
第6章	メモリブロック	76
6.1	Basic Cell タイプ RAM (非同期型)	76
6.1.1	特長	76
6.1.2	ワードビット構成とシミュレーションモデルとの対応	77
6.1.3	RAM サイズ	77
6.1.4	RAM の搭載可否判断	79
6.1.5	機能説明	80
6.1.6	遅延パラメータ	83
6.1.7	タイミングチャート	115
6.2	Basic Cell タイプ RAM (同期型)	117
6.2.1	特長	117
6.2.2	RAM のワードビット構成とセル名との対応	117
6.2.3	RAM サイズ	118
6.2.4	RAM の搭載可否判断	118
6.2.5	機能説明	119
6.2.6	タイミングチャート	123
6.2.7	遅延パラメータ	125
6.3	スタンダードタイプ 1 ポート RAM	141
6.3.1	特長	141
6.3.2	RAM サイズ	141
6.3.3	入出力信号とブロック図	142
6.3.4	動作真理値表	143
6.3.5	タイミングチャート	144
6.3.6	電気的特性	145
6.4	スタンダードタイプ Dual ポート RAM	147
6.4.1	特長	147
6.4.2	RAM サイズ	147
6.4.3	入出力信号とブロック図	148
6.4.4	動作真理値表	150
6.4.5	タイミングチャート	151
6.4.6	電気的特性	153
6.5	高密度タイプ 1 ポート RAM	155
6.5.1	特長	155
6.5.2	RAM サイズ	155
6.5.3	入出力信号とブロック図	156
6.5.4	動作真理値表	157

6.5.5	タイミングチャート	158
6.5.6	電気的特性	159
6.6	マスク ROM.....	161
6.6.1	特長	161
6.6.2	ROM サイズ.....	161
6.6.3	入出力信号とブロック図.....	162
6.6.4	動作真理値表.....	163
6.6.5	タイミングチャート	163
6.6.6	電気的特性	164
6.7	非存在アドレスへのアクセス禁止	165
第7章	伝播遅延時間とタイミング設計	166
7.1	Ta と Tj の関係に関する注意	166
7.2	伝播遅延時間の計算	166
7.3	仮想配線容量.....	167
7.4	伝播遅延時間の変動.....	170
7.5	FF（フリップフロップ）のセットアップ/ホールドタイム	172
第8章	消費電力の見積り	175
8.1	消費電力計算.....	175
8.1.1	内部セル (P _{int})	175
8.1.2	入力バッファ (P _i)	176
8.1.3	出力バッファ (P _o)	176
8.2	消費電力制限.....	177
第9章	回路設計.....	179
9.1	基本回路構成.....	179
9.1.1	入出力バッファの挿入	179
9.1.2	論理ゲートの出力負荷の制限.....	179
9.1.3	ワイヤードロジックの禁止	179
9.1.4	同期設計の推奨	180
9.2	微分回路の使用禁止	181
9.3	Clock Tree Synthesis	182
9.3.1	概要.....	182
9.3.2	デザインフロー	183
9.3.3	実施方法.....	184
9.3.4	制約と注意	186
9.3.5	Clock Tree Synthesis チェックシート.....	187
9.3.6	添付資料.....	188
9.4	高速動作回路の設計	191
9.5	メタステーブル (Metastable)	192
9.6	内部バスの構成	193
9.7	外部バスとの競合防止	195
9.8	ハザード対策.....	196
9.9	発振回路.....	197
9.9.1	発振回路の構成	197
9.9.2	発振回路を使用する場合の注意	199
9.10	Verilog-HDL/VHDL ネットリストの制限、制約事項について.....	200
9.10.1	Verilog-HDL/VHDL ネットリストの制限・制約.....	200
9.10.2	Verilog ネットリストの制限・制約.....	201
9.10.3	VHDL ネットリストの制限・制約.....	202

9.10.4	発振セル、AC/DC テスト回路用セル TCIR2 の記述について	202
9.10.5	クロックルートバッファの記述について	203
9.11	端子配置と同時動作	205
9.11.1	電源端子数の見積り	205
9.11.2	同時動作と電源追加	207
9.11.3	端子配置上の注意点	212
9.11.4	推奨ピン配列例	218
9.12	電源 Cut-off について (X タイプ)	219
9.12.1	単一電源仕様の場合	219
9.12.2	2 電源仕様の場合	219
9.13	電源 Cut-off について (XF タイプ)	221
9.13.1	Cut-off 時に使用できるセル種	221
第 10 章	テスト性を考慮した回路設計	224
10.1	回路初期化の考慮	224
10.2	テストパターン短縮化の考慮	224
10.3	DC テスト・AC テスト容易回路の構成	224
10.3.1	テスト回路の構成	224
10.4	メモリブロックのテスト回路	232
10.4.1	Basic Cell タイプ RAM	232
10.4.2	スタンダードタイプ 1 ポート RAM	237
10.4.3	スタンダードタイプ Dual ポート RAM	238
10.4.4	高密度タイプ RAM	238
10.4.5	マスク ROM	238
10.5	メモリ BIST 設計	240
10.5.1	メモリ BIST 回路ブロックの概要	240
10.5.2	メモリ BIST 回路テストシーケンスの概要	242
10.5.3	対応可能なメモリの種類	242
10.5.4	メモリ BIST 回路規模の見積り	242
10.5.5	メモリ BIST 回路設計について	243
10.5.6	その他	245
10.6	機能セルのテスト回路	251
10.6.1	テスト回路の構成	251
10.6.2	テストパターン	251
10.6.3	テスト回路情報	252
10.7	スキャン設計	253
10.7.1	スキャン回路について	253
10.7.2	スキャン設計フロー	254
10.7.3	設計ルール	255
	スキャン設計チェックシート (1/2)	262
	スキャン設計チェックシート (2/2)	263
10.8	バウンダリスキャン設計	264
10.8.1	バウンダリスキャン設計フロー	264
10.8.2	インストラクション	265
10.8.3	ゲート数の見積り	265
10.8.4	設計ルール	265
	バウンダリスキャンチェックシート	268
	デザイン情報シート (下記項目をご記入いただき、デザインリリースまでにご提出ください。)	269

第 11 章	テストパターン作成	270
11.1	テスト性の考慮	270
11.2	使用可能な入力波形	270
11.3	テストパターンの各種制限	271
11.3.1	テストレートおよびイベント数	271
11.3.2	入力ディレイ	271
11.3.3	パルス幅	271
11.3.4	入力波形フォーマット	271
11.3.5	ストローク	271
11.4	DC テストに対する注意点	272
11.5	発振回路使用時の注意点	274
11.6	AC テストについて	275
11.6.1	測定イベントに関する制約	275
11.6.2	AC テストの測定箇所に関する制約	275
11.6.3	測定するパスの遅延に関する制約	275
11.6.4	その他の制約	275
11.7	双方向端子のテストパターン制限	276
11.8	ハイインピーダンス状態の扱いに関する注意点	276
付録 A1	特性グラフ (X タイプ)	277
A1.1	入出力バッファ特性 (3.3V 動作時)	277
A1.1.1	入力バッファ特性 (3.3V±0.3V)	277
A1.1.2	入力貫通電流 (3.3V±0.3V)	278
A1.1.3	出力バッファ特性 (3.3V±0.3V)	281
A1.2	入出力バッファ特性 (2.5V 動作時)	289
A1.2.1	入力バッファ特性 (2.5V±0.2V)	289
A1.2.2	入力貫通電流 (2.5V±0.2V)	290
A1.2.3	出力バッファ特性 (2.5V±0.2V)	291
A1.3	入出力バッファ特性 (2.0V 動作時)	298
A1.3.1	入力バッファ特性 (2.0V±0.2V)	298
A1.3.2	入力貫通電流 (2.0V±0.2V)	299
A1.3.3	出力バッファ特性 (2.0V±0.2V)	300
付録 A2	特性グラフ (XF タイプ)	307
A2.1	入出力バッファ特性 (3.3V 動作時)	307
A2.1.1	入力バッファ特性 (3.3V±0.3V)	307
A2.1.2	入力貫通電流 (3.3V±0.3V)	308
A2.1.3	出力バッファ特性 (3.3V±0.3V)	311
A2.2	入出力バッファ特性 (2.5V 動作時)	319
A2.2.1	入力バッファ特性 (2.5V±0.2V)	319
A2.2.2	入力貫通電流 (2.5V±0.2V)	320
A2.2.3	出力バッファ特性 (2.5V±0.2V)	321
A2.3	入出力バッファ特性 (2.0V 動作時)	328
A2.3.1	入力バッファ特性 (2.0V±0.2V)	328
A2.3.2	入力貫通電流 (2.0V±0.2V)	329
A2.3.3	出力バッファ特性 (2.0V±0.2V)	330
A2.4	入出力バッファ特性 (5V トレラント Fail-Safe セル)	337
A2.4.1	入力バッファ特性 (3.3V±0.3V)	337
A2.4.2	入力貫通電流 (3.3V±0.3V)	337
A2.4.3	出力バッファ特性 (3.3V±0.3V)	338

This page is blank.

第1章 概要

セイコーエプソンの S1X60000 シリーズは、0.25 μ m プロセスを採用した超高速・超高集積を実現した CMOS タイプのエンベデッドアレイです。

1.1 特長

1.1.1 S1X60000 シリーズの概要

- 集積度 27.4K ゲート/mm²
- 動作速度
 - ◎ 内部ゲート
107ps (2.5V Typ.)、140ps (2.0V Typ.)
(2入力 NAND、F/O=1、標準配線負荷)
 - ◎ 入力バッファ
F/O=2、標準配線負荷、TYP.Condition

電圧	動作速度			単位
	Xタイプ	XFタイプ		
	3.3V 対応 入力バッファ (XHIBC)	3.3V 対応 入力バッファ (XFHIBC)	5V トレラント Fail-Safe 入力バッファ (XFHIBB)	
3.3V/2.5V	260	260	270	ps

電圧	動作速度			単位
	Xタイプ	XFタイプ		
	2.5V/2.0V 対応 入力バッファ (XIBC)	2.5V/2.0V 対応 入力バッファ (XFLIBC)	5V トレラント Fail-Safe 入力バッファ	
2.5V	270	270	—	ps
2.0V	360	360	—	ps

- ◎ 出力バッファ
C_L=15pF、TYP.Condition

電圧	動作速度			単位
	Xタイプ	XFタイプ		
	3.3V 対応 出力バッファ (XHOB3AT)	3.3V 対応 出力バッファ (XFHOB3AT)	5V トレラント Fail-Safe 出力バッファ (XFHOB3AT)	
3.3V/2.5V	1.5	1.5	1.9	ns

電圧	動作速度			単位
	Xタイプ	XFタイプ		
	2.5V/2.0V 対応 出力バッファ (XOB3AT)	2.5V/2.0V 対応 出力バッファ (XFLOB3AT)	5Vトレラント Fail-Safe 出力バッファ	
2.5V	1.6	1.6	—	ns
2.0V	2.3	2.3	—	ns

- プロセス 0.25 μ m 3/4/5層金属配線
- I/F レベル CMOS、LVTTL コンパチブル
- 入力モード CMOS、LVTTL、CMOS シュミット、LVTTL シュミット、PCI-3V、Gated 入力、Fail-Safe 入力
5Vトレラント Fail-Safe 入力 (XFタイプのみ)
プルアップ、プルダウン抵抗内蔵可能 (抵抗値各2種類)
- 出力モード ノーマル、3-ステート、双方向、Fail-Safe 出力、PCI-3V、5Vトレラント Fail-Safe 出力 (XFタイプのみ)
- 駆動出力 $I_{OL}=0.1、1、3、6、12\text{mA}$ 選択可能 (HV $_{DD}=3.3\text{V}$)
 $I_{OL}=0.1、1、3、6、9\text{mA}$ 選択可能 (V $_{DD}$ or LV $_{DD}=2.5\text{V}$)
 $I_{OL}=0.05、0.3、1、2、3\text{mA}$ 選択可能 (V $_{DD}$ or LV $_{DD}=2.0\text{V}$)
- メモリ
 - ◎ Basic Cell タイプ RAM
非同期1ポート、非同期2ポート
同期1ポート、同期2ポート
 - ◎ スタンダードタイプ RAM
同期1ポート、同期 Dual ポート
 - ◎ 高密度タイプ RAM
同期1ポート
 - ◎ ROM
同期
- レベルシフタ内蔵による2電源動作対応
内部ロジック：低電圧動作
入出力バッファ：高電圧、低電圧インタフェース混在可能

1.1.2 S1X60000 シリーズの内部構成

S1X60000 シリーズの構成は、図 1-1 に示すように MSI セル領域と入出力バッファ領域から成り立っています。

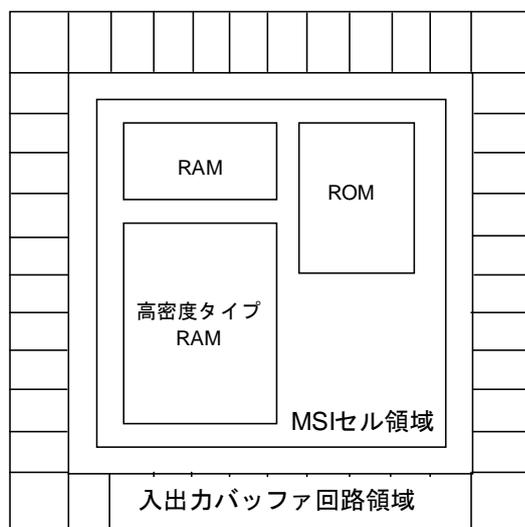


図 1-1 S1X60000 シリーズの概略構成

MSI セル領域では、希望する回路に応じて、さまざまな MSI セルやメモリを配置することができ、さらにこれらを相互に配線することで希望される回路を実現します。

入出力バッファ領域では、入力バッファや出力バッファ、双方向バッファ、電源セルが配置され、外部回路と S1X60000 シリーズ間で信号のやりとりがおこなわれます。

1.1.3 MSI の構成・種類

S1X60000 シリーズでは、エンベデッドアレイに対応するための Basic Cell タイプの MSI を用意しています。

また、メモリについては、Basic Cell タイプ RAM の他に、高集積な Cell Based タイプの RAM（1ポート、Dualポート、高密度1ポート）と ROM を用意しており、お客様のニーズに合わせて選択することが可能です。

なお、MSI のセル種の詳細については「第3章 MSI セル」を、メモリの詳細については「第6章 メモリブロック」を参照してください。

1.1.4 5V トレラント Fail-Safe セルの構成

S1X60000 シリーズの 5V トレラント Fail-Safe セルは特に専用の電源を設けることなく、5.0V の信号をインタフェースすることが可能となっております。

1.1.5 入出力バッファの構成・種類

S1X60000 シリーズでは、スタンダードタイプの入出力バッファ（X タイプ）と、5V トレラント Fail-Safe 対応の入出力バッファ（XF タイプ）を用意しています。

したがって、お客様の仕様に合わせて、どちらかを選択してください。（ただし、X タイプと XF タイプ を混在させることはできません。）

なお、入出力バッファの詳細については「第4章 入出力バッファの種類と使用上の注意（X タイプ）」および、「第5章 入出力バッファの種類と使用上の注意（XF タイプ）」を参照してください。

1.2 電気的特性・規格

1.2.1 スタンダードタイプ入出力バッファ（Xタイプ）使用時

表 1-1 絶対最大定格（単一電源の場合）

($V_{SS} = 0[V]$)

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.3~+3.0	V
入力電圧	V_I	-0.3~ $V_{DD}+0.5^{*1}$	V
出力電圧	V_O	-0.3~ $V_{DD}+0.5^{*1}$	V
出力電流／ピン	I_{OUT}	±30	mA
保存温度	T_{stg}	-65~+150	°C

注) *1: Nチャンネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては-0.3~+4.0V まで可

表 1-2 絶対最大定格（2電源の場合）

($V_{SS} = 0[V]$)

項目	記号	定格値	単位
電源電圧	HV_{DD}^{*3}	-0.3~+4.0	V
	LV_{DD}^{*3}	-0.3~+3.0	V
入力電圧	HV_I	-0.3~ $HV_{DD}+0.5^{*1}$	V
	LV_I	-0.3~ $LV_{DD}+0.5^{*2}$	V
出力電圧	HV_O	-0.3~ $HV_{DD}+0.5^{*1}$	V
	LV_O	-0.3~ $LV_{DD}+0.5^{*2}$	V
出力電流／ピン	I_{OUT}	±30	mA
保存温度	T_{stg}	-65~+150	°C

注) *1: Nチャンネルオープンドレイン双方向バッファ、入力バッファについては-0.3~+4.0V まで可

*2: Nチャンネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては-0.3~+4.0V まで可

*3: $HV_{DD} \geq LV_{DD}$

表 1-3 推奨動作条件（単一電源の場合 $V_{DD}=2.5V$ ） $(V_{SS}=0[V])$

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	2.30	2.50	2.70	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	0 -40	25 25	70^{*2} 85^{*3}	°C
入力立ち上がり時間（ノーマル入力） ^{*4}	t_{ri}	—	—	50	ns
入力立ち下がり時間（ノーマル入力） ^{*4}	t_{fa}	—	—	50	ns
入力立ち上がり時間（シュミット入力） ^{*4}	t_{ri}	—	—	5	ms
入力立ち下がり時間（シュミット入力） ^{*4}	t_{fa}	—	—	5	ms

注) *1: Nチャネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可

*2: この温度範囲は、 $T_j=0\sim+85$ [°C] を想定した推奨周囲温度です。

*3: この温度範囲は、 $T_j=-40\sim+125$ [°C] を想定した推奨周囲温度です。

*4: この時間は、電源電圧の 10%~90% の変化時間です。

表 1-4 推奨動作条件（単一電源の場合 $V_{DD}=2.0V$ ） $(V_{SS}=0[V])$

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	1.80	2.00	2.20	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	0 -40	25 25	70^{*2} 85^{*3}	°C
入力立ち上がり時間（ノーマル入力） ^{*4}	t_{ri}	—	—	100	ns
入力立ち下がり時間（ノーマル入力） ^{*4}	t_{fa}	—	—	100	ns
入力立ち上がり時間（シュミット入力） ^{*4}	t_{ri}	—	—	10	ms
入力立ち下がり時間（シュミット入力） ^{*4}	t_{fa}	—	—	10	ms

注) *1: Nチャネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可

*2: この温度範囲は、 $T_j=0\sim+85$ [°C] を想定した推奨周囲温度です。

*3: この温度範囲は、 $T_j=-40\sim+125$ [°C] を想定した推奨周囲温度です。

*4: この時間は、電源電圧の 10%~90% の変化時間です。

表 1-5 推奨動作条件 (2 電源の場合)

(V_{SS} = 0[V])

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV _{DD}	3.00	3.30	3.60	V
電源電圧 (低電圧)	LV _{DD}	2.30	2.50	2.70	V
入力電圧	HV _I	-0.3	—	HV _{DD} +0.3 ^{*1}	V
	LV _I	-0.3	—	LV _{DD} +0.3 ^{*2}	V
周囲温度	T _a	0	25	70 ^{*3}	°C
		-40	25	85 ^{*4}	
入力立ち上がり時間 (ノーマル入力) ^{*5}	t _{ri}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*5}	t _{fa}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*5}	t _{ri}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*5}	t _{fa}	—	—	5	ms

注) *1: N チャンネルオープンドレイン双方向バッファ、入力バッファについては 3.9V まで可
 *2: N チャンネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可
 *3: この温度範囲は、T_j=0~+85 [°C] を想定した推奨周囲温度です。
 *4: この温度範囲は、T_j=-40~+125 [°C] を想定した推奨周囲温度です。
 *5: この時間は、電源電圧の 10%~90%の変化時間です。

表 1-6 推奨動作条件 (2 電源の場合)

(V_{SS} = 0[V])

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV _{DD}	3.00	3.30	3.60	V
電源電圧 (低電圧)	LV _{DD}	1.80	2.00	2.20	V
入力電圧	HV _I	-0.3	—	HV _{DD} +0.3 ^{*1}	V
	LV _I	-0.3	—	LV _{DD} +0.3 ^{*2}	V
周囲温度	T _a	0	25	70 ^{*3}	°C
		-40	25	85 ^{*4}	
入力立ち上がり時間 (ノーマル入力) ^{*5}	Ht _{ri}	—	—	50	ns
	Lt _{ri}	—	—	100	
入力立ち下がり時間 (ノーマル入力) ^{*5}	Ht _{fa}	—	—	50	ns
	Lt _{fa}	—	—	100	
入力立ち上がり時間 (シュミット入力) ^{*5}	Ht _{ri}	—	—	5	ms
	Lt _{ri}	—	—	10	
入力立ち下がり時間 (シュミット入力) ^{*5}	Ht _{fa}	—	—	5	ms
	Lt _{fa}	—	—	10	

注) *1: N チャンネルオープンドレイン双方向バッファ、入力バッファについては 3.9V まで可
 *2: N チャンネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可
 *3: この温度範囲は、T_j=0~+85 [°C] を想定した推奨周囲温度です。
 *4: この温度範囲は、T_j=-40~+125 [°C] を想定した推奨周囲温度です。
 *5: この時間は、電源電圧の 10%~90%の変化時間です。

表 1-7 電気的特性

(HV_{DD}=3.3V±0.3V、V_{SS}=0V、T_a=-40~+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I _{LI}	—	-5	—	5	μA	
オフステートリーク電流	I _{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V _{OH}	I _{OH} =-0.1mA (Type S)、-1mA (Type M) -3mA (Type 1)、-6mA (Type 2) -12mA (Type 3) HV _{DD} =Min.	HV _{DD} -0.4	—	—	V	
低レベル出力電圧	V _{OL}	I _{OL} =0.1mA (Type S)、1mA (Type M) 3mA (Type 1)、6mA (Type 2) 12mA (Type 3) HV _{DD} =Min.	—	—	0.4	V	
高レベル入力電圧	V _{IH1}	CMOS レベル、HV _{DD} =Max.	2.2	—	—	V	
低レベル入力電圧	V _{IL1}	CMOS レベル、HV _{DD} =Min.	—	—	0.8	V	
高レベル入力電圧	V _{T1+}	CMOS シュミット	1.4	—	2.7	V	
低レベル入力電圧	V _{T1-}	CMOS シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V _{H1}	CMOS シュミット	0.3	—	—	V	
高レベル入力電圧	V _{IH2}	LVTTL レベル、HV _{DD} =Max	2.0	—	—	V	
低レベル入力電圧	V _{IL2}	LVTTL レベル、HV _{DD} =Min	—	—	0.8	V	
高レベル入力電圧	V _{T2+}	LVTTL シュミット	1.1	—	2.4	V	
低レベル入力電圧	V _{T2-}	LVTTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V _{H2}	LVTTL シュミット	0.1	—	—	V	
高レベル入力電圧 ^{*2}	V _{IH3}	PCI レベル、HV _{DD} =Max	1.8	—	—	V	
低レベル入力電圧 ^{*2}	V _{IL3}	PCI レベル、HV _{DD} =Min	—	—	0.9	V	
プルアップ抵抗	P _{PU}	V _I =0V	Type 1	30	60	(120) ^{*1} 144	kΩ
			Type 2	60	120	(240) ^{*1} 288	kΩ
プルダウン抵抗	P _{PD}	V _I =HV _{DD}	Type 1	30	60	(120) ^{*1} 144	kΩ
			Type 2	60	120	(240) ^{*1} 288	kΩ
高レベル出力電流 ^{*2}	I _{OH3}	PCI 対応、V _{OH} =0.90V、HV _{DD} =Min. V _{OH} =2.52V、HV _{DD} =Max.	-36 —	— —	— -115	mA	
低レベル出力電流 ^{*2}	I _{OL3}	PCI 対応、V _{OL} =1.80V、HV _{DD} =Min. V _{OL} =0.65V、HV _{DD} =Max.	48 —	— —	— 137	mA	
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =2.0V HV _{DD} =Min.	—	—	-20	μA	
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.8V HV _{DD} =Min.	—	—	17	μA	
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.8V HV _{DD} =Max.	-350	—	—	μA	
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =2.0V HV _{DD} =Max.	210	—	—	μA	
入力端子容量	C _I	f=1MHz、HV _{DD} =0V	—	—	10	pF	
出力端子容量	C _O	f=1MHz、HV _{DD} =0V	—	—	10	pF	
入出力端子容量	C _{IO}	f=1MHz、HV _{DD} =0V	—	—	10	pF	

注) *1: ()内の値は T_a=0~+70°Cの場合の値です。

*2: PCI 規格 Rev. 2.2 に準拠

表 1-8 電気的特性

(V_{DD} or $LV_{DD}=2.5V\pm 0.2V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim+85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-5	—	5	μA	
オフステートリーク電流	I_{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH} = -0.1mA$ (Type S)、 $-1mA$ (Type M) $-3mA$ (Type 1)、 $-6mA$ (Type 2) $-9mA$ (Type 3) $V_{DD} = \text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL} = 0.1mA$ (Type S)、 $1mA$ (Type M) $3mA$ (Type 1)、 $6mA$ (Type 2) $9mA$ (Type 3) $V_{DD} = \text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH1}	CMOS レベル、 $V_{DD} = \text{Max.}$	1.7	—	—	V	
低レベル入力電圧	V_{IL1}	CMOS レベル、 $V_{DD} = \text{Min.}$	—	—	0.7	V	
高レベル入力電圧	V_{T1+}	CMOS シュミット	0.8	—	1.9	V	
低レベル入力電圧	V_{T1-}	CMOS シュミット	0.5	—	1.3	V	
ヒステリシス電圧	V_{H1}	CMOS シュミット	0.1	—	—	V	
プルアップ抵抗	P_{PU}	$V_I = 0V$	Type 1	20	50	$(100)^{*1}$ 120	$k\Omega$
			Type 2	40	100	$(200)^{*1}$ 240	$k\Omega$
プルダウン抵抗	P_{PD}	$V_I = V_{DD}$	Type 1	20	50	$(100)^{*1}$ 120	$k\Omega$
			Type 2	40	100	$(200)^{*1}$ 240	$k\Omega$
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN} = 1.7V$ $V_{DD} = \text{Min.}$	—	—	-5	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN} = 0.5V$ $V_{DD} = \text{Min.}$	—	—	5	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応、 $V_{IN} = 0.5V$ $V_{DD} = \text{Max.}$	-280	—	—	μA	
低レベル反転電流	I_{BHLO}	バスホールド対応、 $V_{IN} = 1.7V$ $V_{DD} = \text{Max.}$	170	—	—	μA	
入力端子容量	C_I	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
出力端子容量	C_O	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	

注) *1 : ()内の値は $T_a = 0\sim+70^{\circ}C$ の場合の値です。

表 1-9 電気的特性

(V_{DD} or LV_{DD}=2.0V±0.2V、V_{SS}=0V、T_a=-40~+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I _{LI}	—	-5	—	5	μA	
オフステートリーク電流	I _{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V _{OH}	I _{OH} = -0.05mA (Type S)、-0.3mA (Type M) -1mA (Type 1)、-2mA (Type 2) -3mA (Type 3) V _{DD} =Min.	V _{DD} -0.2	—	—	V	
低レベル出力電圧	V _{OL}	I _{OL} = 0.05mA (Type S)、0.3mA (Type M) 1mA (Type 1)、2mA (Type 2) 3mA (Type 3) V _{DD} =Min.	—	—	0.2	V	
高レベル入力電圧	V _{IH1}	CMOS レベル、V _{DD} =Max.	1.6	—	—	V	
低レベル入力電圧	V _{IL1}	CMOS レベル、V _{DD} =Min.	—	—	0.3	V	
高レベル入力電圧	V _{T1+}	CMOS シュミット	0.4	—	1.6	V	
低レベル入力電圧	V _{T1-}	CMOS シュミット	0.3	—	1.4	V	
ヒステリシス電圧	V _{H1}	CMOS シュミット	0	—	—	V	
プルアップ抵抗	P _{PU}	V _I =0V	Type 1	30	70	200	kΩ
			Type 2	60	140	400	kΩ
プルダウン抵抗	P _{PD}	V _I =V _{DD}	Type 1	30	70	200	kΩ
			Type 2	60	140	400	kΩ
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =1.6V V _{DD} =Min.	—	—	-2	μA	
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.3V V _{DD} =Min.	—	—	2	μA	
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.3V V _{DD} =Max.	-100	—	—	μA	
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =1.6V V _{DD} =Max.	100	—	—	μA	
入力端子容量	C _I	f=1MHz、V _{DD} =0V	—	—	10	pF	
出力端子容量	C _O	f=1MHz、V _{DD} =0V	—	—	10	pF	
入出力端子容量	C _{IO}	f=1MHz、V _{DD} =0V	—	—	10	pF	

1.2.2 5V トレラント Fail-Safe 対応入出力バッファ (XF タイプ) 使用時

表 1-10 絶対最大定格 (2 電源の場合)

(V_{SS} = 0 [V])

項目	記号	定格値	単位
電源電圧	HV _{DD} ^{*3}	-0.3~+4.0	V
	LV _{DD} ^{*3}	-0.3~+2.5	V
入力電圧	HV _I	-0.3~HV _{DD} +0.5 ^{*1}	V
	LV _I	-0.3~LV _{DD} +0.5 ^{*2}	V
出力電圧	HV _O	-0.3~HV _{DD} +0.5 ^{*1}	V
	LV _O	-0.3~LV _{DD} +0.5 ^{*2}	V
出力電流/ピン	I _{out}	±30	mA
保存温度	T _{stg}	-65~+150	°C

注) *1 : N チャネルオープンドレイン双方向バッファ、入力バッファについては-0.3~+4.0V まで可
5V トレラント Fail-Safe セルについては-0.3~+5.5V まで可

*2 : N チャネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては
-0.3~+4.0V まで可

*3 : HV_{DD} ≥ LV_{DD}

表 1-11 推奨動作条件 (2 電源の場合)

(V_{SS} = 0[V])

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV _{DD}	3.00	3.30	3.60	V
電源電圧 (低電圧)	LV _{DD}	2.30	2.50	2.70	V
入力電圧	HV _I	-0.3	—	HV _{DD} +0.3 ^{*1}	V
	LV _I	-0.3	—	LV _{DD} +0.3 ^{*2}	V
周囲温度	T _a	0	25	70 ^{*3}	°C
		-40	25	85 ^{*4}	
入力立ち上がり時間 (ノーマル入力) ^{*5}	t _{ri}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*5}	t _{fa}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*5}	t _{ri}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*5}	t _{fa}	—	—	5	ms

注) *1: Nチャネルオープンドレイン双方向バッファ、入力バッファについては 3.9V まで可
5V トレラント Fail-Safe セルについては 5.5V まで可

*2: Nチャネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可

*3: この温度範囲は、T_j=0~+85 [°C] を想定した推奨周囲温度です。

*4: この温度範囲は、T_j=-40~+125 [°C] を想定した推奨周囲温度です。

*5: この時間は、電源電圧の 10%~90%の変化時間です。

表 1-12 推奨動作条件 (2 電源の場合)

(V_{SS} = 0[V])

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV _{DD}	3.00	3.30	3.60	V
電源電圧 (低電圧)	LV _{DD}	1.80	2.00	2.20	V
入力電圧	HV _I	-0.3	—	HV _{DD} +0.3 ^{*1}	V
	LV _I	-0.3	—	LV _{DD} +0.3 ^{*2}	V
周囲温度	T _a	0	25	70 ^{*3}	°C
		-40	25	85 ^{*4}	°C
入力立ち上がり時間 (ノーマル入力) ^{*5}	t _{ri}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*5}	t _{fa}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*5}	t _{ri}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*5}	t _{fa}	—	—	5	ms

注) *1: Nチャネルオープンドレイン双方向バッファ、入力バッファについては 3.9V まで可
5V トレラント Fail-Safe セルについては 5.5V まで可

*2: Nチャネルオープンドレイン双方向バッファ、入力バッファおよび Fail-Safe セルについては 3.9V まで可

*3: この温度範囲は、T_j=0~+85 [°C] を想定した推奨周囲温度です。

*4: この温度範囲は、T_j=-40~+125 [°C] を想定した推奨周囲温度です。

*5: この時間は、電源電圧の 10%~90%の変化時間です。

表 1-13 電気的特性 (1/2)

($HV_{DD}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim+85^{\circ}C$)

項目	記号	条件		Min.	Typ.	Max.	単位
入力リーク電流	I_{LI}	—		-5	—	5	μA
オフステートリーク電流	I_{OZ}	—		-5	—	5	μA
入力リーク電流 (5Vトレラント Fail-Safeセル)	I_{LIF}	$V_{IN}=5.5V$		-10	—	10	μA
オフステートリーク電流 (5Vトレラント Fail-Safeセル)	I_{OZF}	$V_{IN}=5.5V$		-10	—	10	μA
高レベル出力電圧 (通常セル)	V_{OH1}	$I_{OH} = -0.1mA$ (Type S)、 $-1mA$ (Type M) $-3mA$ (Type 1)、 $-6mA$ (Type 2) $-12mA$ (Type 3) $HV_{DD} = \text{Min.}$		HV_{DD} -0.4	—	—	V
高レベル出力電圧 (5Vトレラント Fail-Safeセル)	V_{OH2}	$I_{OH} = -3mA$ (Type 1)、 $-6mA$ (Type 2) $-12mA$ (Type 3) $HV_{DD} = \text{Min.}$		HV_{DD} -1.0	—	—	V
低レベル出力電圧	V_{OL1}	$I_{OL} = -0.1mA$ (Type S)、 $-1mA$ (Type M) $-3mA$ (Type 1)、 $-6mA$ (Type 2) $-12mA$ (Type 3) $HV_{DD} = \text{Min.}$		—	—	0.4	V
高レベル入力電圧	V_{IH1}	CMOS レベル、 $HV_{DD} = \text{Max.}$		2.2	—	—	V
低レベル入力電圧	V_{IL1}	CMOS レベル、 $HV_{DD} = \text{Min.}$		—	—	0.8	V
高レベル入力電圧	V_{T1+}	CMOS シュミット		1.4	—	2.7	V
低レベル入力電圧	V_{T1-}	CMOS シュミット		0.6	—	1.8	V
ヒステリシス電圧	V_{H1}	CMOS シュミット		0.3	—	—	V
高レベル入力電圧	V_{IH2}	LVTTTL レベル、 $HV_{DD} = \text{Max}$		2.0	—	—	V
低レベル入力電圧	V_{IL2}	LVTTTL レベル、 $HV_{DD} = \text{Min}$		—	—	0.8	V
高レベル入力電圧	V_{T2+}	LVTTTL シュミット		1.1	—	2.4	V
低レベル入力電圧	V_{T2-}	LVTTTL シュミット		0.6	—	1.8	V
ヒステリシス電圧	V_{H2}	LVTTTL シュミット		0.1	—	—	V
高レベル入力電圧 ^{*2}	V_{IH3}	PCI レベル、 $HV_{DD} = \text{Max}$		1.8	—	—	V
低レベル入力電圧 ^{*2}	V_{IL3}	PCI レベル、 $HV_{DD} = \text{Min}$		—	—	0.9	V
プルアップ抵抗	P_{PU}	$V_I = 0V$	TYPE 1	30	60	(120) ^{*1} 144	$k\Omega$
			TYPE 2	60	120	(240) ^{*1} 288	$k\Omega$
プルダウン抵抗	P_{PD}	$V_I = HV_{DD}$	TYPE 1	30	60	(120) ^{*1} 144	$k\Omega$
			TYPE 2	60	120	(240) ^{*1} 288	$k\Omega$

注) *1 : ()内の値は $T_a=0\sim+70^{\circ}C$ の場合の値です。

*2 : PCI 規格 Rev. 2.2 に準拠

表 1-13 電気的特性 (2/2)

(HV_{DD}=3.3V±0.3V、V_{SS}=0V、T_a=-40~+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル出力電流 ^{*2}	I _{OH3}	PCI 対応、V _V =0.90V、HV _{DD} =Min. V _{OH} =2.52V、HV _{DD} =Max.	-36 —	— —	— -115	mA mA
低レベル出力電流 ^{*2}	I _{OL3}	PCI 対応、V _{OL} =1.80V、HV _{DD} =Min. V _{OL} =0.65V、HV _{DD} =Max.	48 —	— —	— -137	mA mA
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =2.0V HV _{DD} =Min.	—	—	-20	μA
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.8V HV _{DD} =Min.	—	—	17	μA
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.8V HV _{DD} =Max.	-350	—	—	μA
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =2.0V HV _{DD} =Max.	210	—	—	μA
入力端子容量	C _I	f=1MHz、HV _{DD} =0V	—	—	12	pF
出力端子容量	C _O	f=1MHz、HV _{DD} =0V	—	—	12	pF
入出力端子容量	C _{IO}	f=1MHz、HV _{DD} =0V	—	—	12	pF

注) *2: PCI 規格 Rev. 2.2 に準拠

表 1-14 電気的特性

(LV_{DD}=2.5V±0.2V、V_{SS}=0V、T_a=-40~+85°C)

項目	記号	条件		Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}	—		-5	—	5	μA
オフステートリーク電流	I _{OZ}	—		-5	—	5	μA
高レベル出力電圧	V _{OH1}	I _{OH} = -0.1mA (Type S)、-1mA (Type M) -3mA (Type 1)、-6mA (Type 2) -9mA (Type3) LV _{DD} =Min.		LV _{DD} -0.4	—	—	V
低レベル出力電圧	V _{OL1}	I _{OL} = 0.1mA (Type S)、1mA (Type M) 3mA (Type 1)、6mA (Type 2) 9mA (Type3) LV _{DD} =Min.		—	—	0.4	V
高レベル入力電圧	V _{IH1}	CMOS レベル、LV _{DD} =Max.		1.7	—	—	V
低レベル入力電圧	V _{IL1}	CMOS レベル、LV _{DD} =Min.		—	—	0.7	V
高レベル入力電圧	V _{T1+}	CMOS シュミット		0.8	—	1.9	V
低レベル入力電圧	V _{T1-}	CMOS シュミット		0.5	—	1.3	V
ヒステリシス電圧	V _{H1}	CMOS シュミット		0.1	—	—	V
プルアップ抵抗	P _{PU}	V _I =0V	TYPE 1	20	50	(100) ^{*1} 120	kΩ
			TYPE 2	40	100	(200) ^{*1} 240	kΩ
プルダウン抵抗	P _{PD}	V _I = LV _{DD}	TYPE 1	20	50	(100) ^{*1} 120	kΩ
			TYPE 2	40	100	(200) ^{*1} 240	kΩ
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =1.7V LV _{DD} =Min.		—	—	-5	μA
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.5V LV _{DD} =Min.		—	—	5	μA
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.5V LV _{DD} =Max.		-280	—	—	μA
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =1.7V LV _{DD} =Max.		170	—	—	μA
入力端子容量	C _I	f=1MHz、LV _{DD} =0V		—	—	12	pF
出力端子容量	C _O	f=1MHz、LV _{DD} =0V		—	—	12	pF
入出力端子容量	C _{IO}	f=1MHz、LV _{DD} =0V		—	—	12	pF

注) *1 : ()内の値は T_a=0~+70°Cの場合の値です。

表 1-15 電気的特性

(LV_{DD}=2.0V±0.2V、V_{SS}=0V、T_a=-40~+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I _{LI}	—	-5	—	5	μA	
オフステートリーク電流	I _{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V _{OH1}	I _{OH} = -0.05mA (Type S)、-0.3mA (Type M) -1mA (Type 1)、-2mA (Type 2) -3mA (Type 3) LV _{DD} =Min.	LV _{DD} -0.2	—	—	V	
低レベル出力電圧	V _{OL1}	I _{OL} = 0.05mA (Type S)、0.3mA (Type M) 1mA (Type 1)、2mA (Type 2) 3mA (Type 3) LV _{DD} =Min.	—	—	0.2	V	
高レベル入力電圧	V _{IH1}	CMOS レベル、LV _{DD} =Max.	1.6	—	—	V	
低レベル入力電圧	V _{IL1}	CMOS レベル、LV _{DD} =Min.	—	—	0.3	V	
高レベル入力電圧	V _{T1+}	CMOS シュミット	0.4	—	1.6	V	
低レベル入力電圧	V _{T1-}	CMOS シュミット	0.3	—	1.4	V	
ヒステリシス電圧	V _{H1}	CMOS シュミット	0	—	—	V	
プルアップ抵抗	P _{PU}	V _I =0V	TYPE 1	30	70	200	kΩ
			TYPE 2	60	140	400	kΩ
プルダウン抵抗	P _{PD}	V _I =LV _{DD}	TYPE 1	30	70	200	kΩ
			TYPE 2	60	140	400	kΩ
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =1.6V LV _{DD} =Min.	—	—	-2	μA	
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.3V LV _{DD} =Min.	—	—	2	μA	
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.3V LV _{DD} =Max.	-100	—	—	μA	
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =1.6V LV _{DD} =Max.	100	—	—	μA	
入力端子容量	C _I	f=1MHz、LV _{DD} =0V	—	—	12	pF	
出力端子容量	C _O	f=1MHz、LV _{DD} =0V	—	—	12	pF	
入出力端子容量	C _{IO}	f=1MHz、LV _{DD} =0V	—	—	12	pF	

1.3 静的消費電流の見積り方

S1X60000 シリーズの静的消費電流の概算値は以下の方法にて求めることができます。

なお、静的消費電流を求めるさいには、環境温度 (T_a) = チップ温度 (T_j) を前提に計算を行ってください。

静的消費電流は各トランジスタのオフ電流によって決まります。Chip 全体の静的消費電流を一度に算出するのは困難なため、いくつかのブロックに分けて算出を行い、その総和を静的消費電流とします。

$$I_{\text{DS}} (T_j=85^\circ\text{C}) = I_{\text{QBC}} + I_{\text{QBM}} + I_{\text{QIO}}$$

1.3.1 ランダムロジック部の静的消費電流 (I_{QBC})

表 1-16 に S1X60000 シリーズにおける、1k ゲートあたりの静的消費電流値を示します。

表 1-16 1k ゲートあたりの静的消費電流値 ($T_j=85^\circ\text{C}$)

	$V_{\text{DD}}=2.70\text{V}$	$V_{\text{DD}}=2.20\text{V}$	単位
I_{QBC}	7.94×10^{-7}	6.35×10^{-7}	A

1.3.2 Basic Cell タイプ RAM の静的消費電流 (I_{QBM})

S1X60000 シリーズの Basic Cell タイプの主要な RAM の静的消費電流値の一覧を表 1-17 に示します。($V_{\text{DD}}=2.20\text{V}$ 、 $T_j=85^\circ\text{C}$ の値に関しては、下記値に $\times 0.8$ を掛けて求めてください。)

(ここに記載されていない RAM の静的消費電流値については、もっとも近い構成の RAM の静的消費電流値を代用してください。なお、詳細な静的消費電流値を希望される場合は、弊社営業担当までお問い合わせください。)

表 1-17 Basic Cell タイプ RAM の静的消費電流値
(1 ポート RAM / 2 ポート RAM 共通、 $V_{\text{DD}}=2.70\text{V}$ 、 $T_j=85^\circ\text{C}$)

●非同期型 RAM

	64Word	128Word	256Word	512Word	単位
8Bit	2.19×10^{-6}	3.73×10^{-6}	6.82×10^{-6}	12.99×10^{-6}	A
16Bit	3.08×10^{-6}	5.24×10^{-6}	9.54×10^{-6}	18.16×10^{-6}	A
32Bit	4.87×10^{-6}	8.25×10^{-6}	14.99×10^{-6}	28.48×10^{-6}	A
64Bit	8.46×10^{-6}	14.27×10^{-6}	25.89×10^{-6}	49.14×10^{-6}	A

●同期型 RAM

	64Word	128Word	192Word	256Word	単位
8Bit	2.19×10^{-6}	3.73×10^{-6}	5.27×10^{-6}	6.82×10^{-6}	A
16Bit	3.08×10^{-6}	5.24×10^{-6}	7.39×10^{-6}	9.54×10^{-6}	A
24Bit	3.98×10^{-6}	6.74×10^{-6}	9.51×10^{-6}	12.27×10^{-6}	A
32Bit	4.87×10^{-6}	8.25×10^{-6}	11.62×10^{-6}	14.99×10^{-6}	A

1.3.3 入出力バッファでの静的消費電流 (I_{QIO})

入出力バッファで流れる静的消費電流値については、下記計算式に表 1-18 の値を用いることにより概算値を求めることが可能です。

(入力バッファ、双方向バッファへの入力信号は、 V_{SS} か V_{DD} (LV_{DD} あるいは HV_{DD}) のいずれかに電位を固定してください。また、プルアップ抵抗、プルダウン抵抗付きバッファを選択されている場合は、その端子をオープン状態に設定してください。)

なお、2 電源仕様の場合は H 系、L 系それぞれの静的消費電流を求めてください。

注：NC 端子に V_{DD} (LV_{DD} あるいは HV_{DD}) を接続する場合は、電源セル数として NC 端子数も加算してください。

表 1-18 入出力バッファ 1 個あたりの静的消費電流値 ($T_j=85^\circ\text{C}$)

	静的消費電流値	単位
$V_{DD}=3.60\text{V}$	200×10^{-9}	A
$V_{DD}=2.70\text{V}$	50×10^{-9}	A
$V_{DD}=2.20\text{V}$	45×10^{-9}	A

入出力バッファの静的消費電流値 = (表 1-18 の値)
 × (出力セル数 + 双方向セル数 + V_{DD} (HV_{DD} or LV_{DD}) の電源セル数)

(計算例) 以下の条件の静的消費電流値を求めます。

- 電源電圧: $HV_{DD}/LV_{DD}=3.3V/2.5V$
- I/O セル

V_{SS} :	12
HV_{DD} :	12
LV_{DD} :	12
H 系入力セル:	30
H 系出力セル:	40
H 系双方向セル:	60
L 系入力セル:	30
L 系出力セル:	20
L 系双方向セル:	40
- Basic Cell タイプ 2 ポート RAM: 256 word×16bit 4 個 (同期型 RAM)
128 word×8bit 6 個 (同期型 RAM)
- Logic 部ゲート数 1240k gates

2 電源仕様なので、まず LV_{DD} 系の静的消費電流を求めます。

Logic 部の静的消費電流値は表 1-16 より、

$$I_{QBC} = 7.94 \times 10^{-7} \times 1240 = 984.56 \times 10^{-6} \text{ [A]} \quad (V_{DD} = 2.7V, T_j = 85^\circ C)$$

となります。次に Basic Cell タイプ RAM の静的消費電流値を求めます。各 RAM1 個あたりの静的消費電流値は表 1-17 より、

$$256\text{Word} \times 16\text{Bit} \cdots 9.54 \times 10^{-6} \text{ [A]}$$

$$128\text{Word} \times 8\text{Bit} \cdots 3.73 \times 10^{-6} \text{ [A]}$$

となるので、Basic Cell タイプ RAM の静的消費電流値は、

$$\begin{aligned} I_{QBM} &= (9.54 \times 10^{-6} \times 4) + (3.73 \times 10^{-6} \times 6) \\ &= 38.16 \times 10^{-6} + 22.38 \times 10^{-6} \\ &= 60.54 \times 10^{-6} \text{ [A]} \quad (V_{DD} = 2.7V, T_j = 85^\circ C) \end{aligned}$$

となります。次に入出力バッファの静的消費電流値の式を用いて静的消費電流値を求めます。

$$I_{QIO} = 50 \times 10^{-9} \times (20 + 40 + 12) = 3.60 \times 10^{-6} \text{ [A]}$$

これまでに求めた静的消費電流値から LV_{DD} 系の静的消費電流値を求めます。

$$\begin{aligned} IQ(LV_{DD}) &= I_{QBC} + I_{QBM} + I_{QIO} \\ &= 984.56 \times 10^{-6} + 60.54 \times 10^{-6} + 3.6 \times 10^{-6} \\ &= 1048.7 \times 10^{-6} \text{ [A]} \end{aligned}$$

次に、 HV_{DD} 系の静的消費電流値を求めます。 HV_{DD} 系の静的消費電流値を求める場合は入出力バッファで流れる静的消費電流のみとなります。

$$IQ(HV_{DD}) = 200 \times 10^{-9} \times (40 + 60 + 12) = 22.40 \times 10^{-6} \text{ [A]}$$

以上の計算結果より求める静的消費電流値は、

$$IQ(LV_{DD}) = 1048.7 \times 10^{-6} \text{ [A]}$$

$$IQ(HV_{DD}) = 22.40 \times 10^{-6} \text{ [A]}$$

となります。

1.3.4 静的消費電流の温度特性

$T_j = 85$ [°C] 以外の温度での静的消費電流値を求める場合は、下記の式を用いることで概算値を求めることができます。

(ただし、 $T_j = -40 \sim +85$ [°C] の間のみとなります。 $T_j = 125$ [°C] の場合は、温度係数=7として計算してください。 $T_j = 85 \sim 125$ [°C] の場合は、別途弊社営業担当までお問い合わせください。)

$$\begin{aligned} I_{\text{DDS}}(T_j) &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times \text{温度係数} \\ &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times 10^{\frac{T_j-85}{7}} \end{aligned}$$

(ただし、 $T_j = 0 \sim 125^\circ\text{C}$)

(計算例)

$V_{\text{DD}} = 2.5\text{V} \pm 0.2\text{V}$ 、 $T_j = 85$ [°C] の静的消費電流が 630 [μA] の Chip で、 $T_j = 50$ [°C] の時の静的消費電流の概算値は

$$\begin{aligned} I_{\text{DDS}}(T_j=50^\circ\text{C}) &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times 10^{\frac{50-85}{7}} \\ &= 630 \times 0.261 \\ &= 164.43 \text{ [}\mu\text{A]} \end{aligned}$$

となります。

2 電源の場合には、使用する電圧に対応した静的消費電流の和がトータルの静的消費電流となります。

$$(HI_{\text{DDS}} + LI_{\text{DDS}})$$

1.4 エンベデッドアレイの開発フローの概要

エンベデッドアレイは、お客さまとセイコーエプソンが共同で開発するものです。お客さまはセイコーエプソンが提供するセルライブラリ、各種設計資料に基づき、システム設計～回路設計～テストパターン設計を行います。

インタフェースを行うさいには、付録データリリースチェックリストを基に、あらかじめチェックをしていただいたうえで、必要なデータ/ドキュメントを提出していただきます。

お客さまの方で、お手持ちの EDA ソフトウェアとセイコーエプソンが提供する EPITS*を使用して、シミュレーション、解析等を行っていただき、セイコーエプソンでは配置配線以降の作業を行います。

注) *: EPITS は Ms-Windows NT4.0、および SUN-Solaris プラットホーム上で動作する、セイコーエプソンの ASIC ライブラリキットです。

現在 EPITS でサポート可能な EDA ソフトウェアは以下のとおりです。

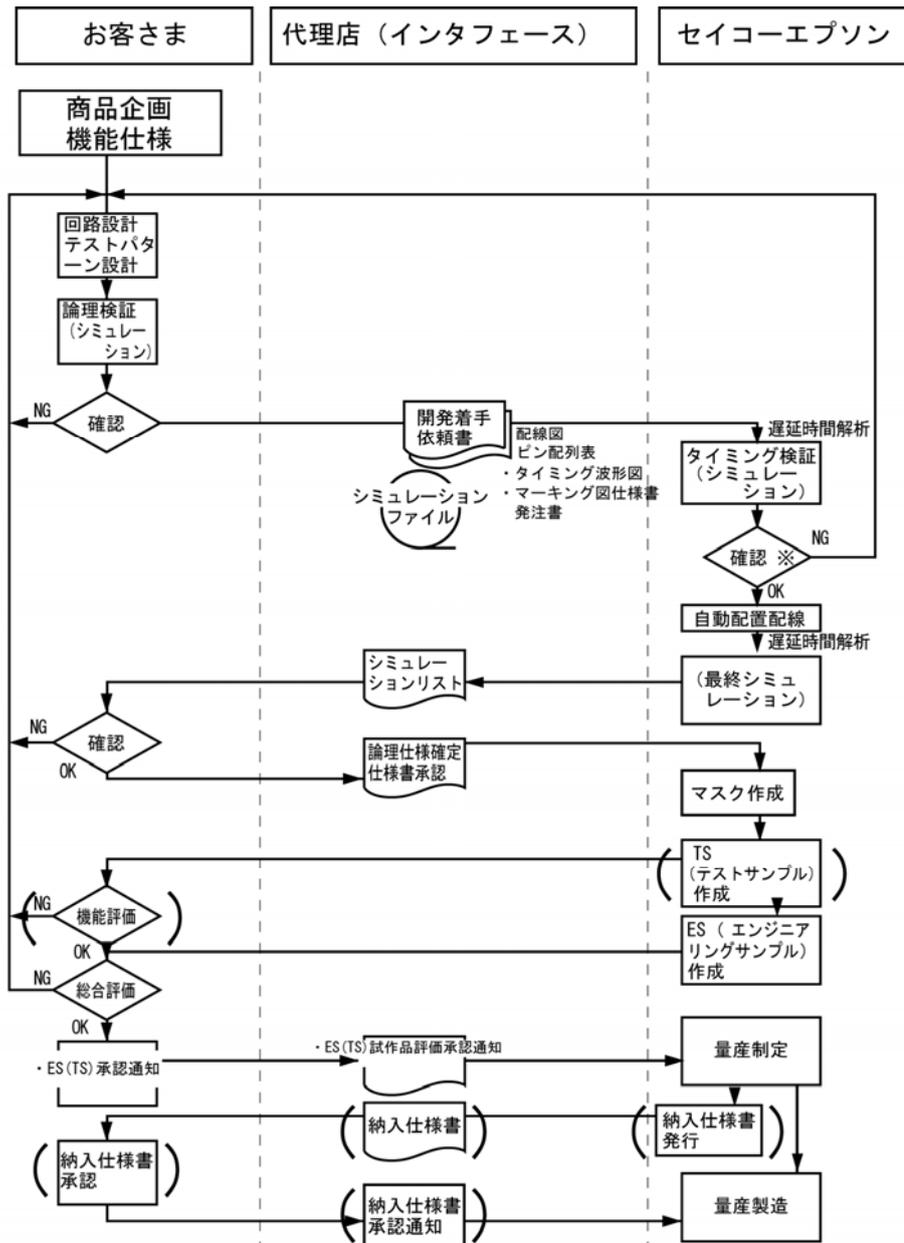
- Verilog-XL ^(*1)
- Design Compiler ^(*2)

注) *1 : Verilog-XL は米国 Cadence Design Systems 社の登録商標です。

*2 : Design Compiler は米国 Synopsys 社の登録商標です。

詳細は、弊社営業担当までお問い合わせください。

以下にエンベデッドアレイの開発手順のフローを示します。



() 内はお客さまからのご要望があるときのみ行います。

第 2 章 ゲート規模の見積り

この章では、お客さま作成のシステムから回路を切り出して回路規模の見積りを行い、概略の Bulk 規模を見積る方法および注意点について説明します。

2.1 回路の切り出し

お客さま作成のシステムから回路を切り出す場合には、次の点に注意して回路の切り出しを行ってください。

- 回路切り出し注意点
 - ① 回路規模
 - ② 入出力端子数
 - ③ 使用パッケージ
 - ④ 消費電力

一般に回路規模が大きくなると消費電力や入出力端子数が増加します。この場合には、無理に 1 Chip 化するよりも、複数の Chip に分けた方がトータルコストや消費電力などの点から良い場合もあります。

2.2 使用ゲート数の見積り

回路規模はセルのベーシックセル数 (BC 数) をカウントして総和を求めることで見積ります。各セルの BC 数は “Embedded Array S1X60000 Series MSI Cell Library” に記載していますので、そちらを参照して回路の総 BC 数を求めてください。

2.3 入出力端子の見積り

使用ゲート数の見積りの次に実際使用する入出力端子数を計算します。この時、Basic Cell タイプ RAM、Cell Based タイプの RAM、ROM などのテスト端子や電源ピンもカウントしておいてください。電源ピン数の見積りは「第 9 章 9.11 端子配置と同時動作」で述べる方法で行ってください。

2.4 Bulk 一覧

使用ゲート数、RAM および機能セル、入出力端子数（電源ピンを含む）、使用するパッケージにより、最適なマスタ（Bulk）が決定されます。

S1X60000 シリーズの主要な Bulk の一覧を表 2-1 に示します。

表 2-19 代表的な Bulk の一覧

Bulk	BC 数	PAD 数	ベーシックセル配列数		セル使用効率		
			X 方向	Y 方向	3 層	4 層	5 層
A	99,220	112	605	164	60	70	80
B	171,720	148	795	216	60	70	80
C	284,394	188	1,023	278	50	65	75
D	400,290	224	1,213	330	50	65	75
E	595,362	272	1,481	402	50	65	75
F	831,572	284	1,747	476	40	50	60
G	1,234,820	344	2,129	580	40	50	60
H	1,587,754	388	2,413	658	40	50	60
I	1,902,960	424	2,643	720	40	50	60
J	2,519,604	488	3,043	828	40	50	60

第3章 MSI セル

3.1 MSI のセル種

S1X60000 シリーズの MSI セル種の機能一覧を以下に示します。

なお、詳細な内容については弊社営業担当にお問い合わせください。

S1X60000 シリーズの機能一覧

- BUFFER
- INVERTER
- DELAY LINE
- AND GATE
INPUT (2/3/4) /INPUT (2/3/4) with Inverted Input (1/2/3)
INPUT (5/6/8)
- NAND GATE
INPUT (2/3/4) /INPUT (2/3/4) with Inverted Input (1/2/3)
INPUT (5/6/8)
- OR GATE
INPUT (2/3/4) /INPUT (2/3/4) with Inverted Input (1/2/3)
INPUT (5/6/8)
- NOR GATE
INPUT (2/3/4) /INPUT (2/3/4) with Inverted Input (1/2/3)
INPUT (5/6/8)
- EXCLUSIVE OR/NOR
INPUT (2/3)
- AND-NOR GATES
2-AND-NOR INPUT (3/4/6/8)
3-AND-NOR INPUT (4/6)
- AND-OR GATES
2-AND-OR INPUT (3/4/5/6/8)
3-AND-OR INPUT (4/5/6)
4-AND-OR INPUT (8)
- OR-AND GATES
2-OR-AND INPUT (3/4/5/6/8)
3-OR-AND INPUT (4/5/6)
4-OR-AND INPUT (8)
- OR-NAND GATES
2-AND-OR INPUT (3/4/8)
3-AND-OR INPUT (4/6)

- MULTI-FUNCTION GATES
 - 2-OR 2-AND 4-INPUT OR GATE
 - 2-AND 2-OR 4-INPUT AND GATE
 - 2-OR 2-NAND 4-INPUT OR GATE
 - 2-AND 2-NOR 4-INPUT AND GATE
- MAJORITY GATES
 - 2 of 3/Inverted 2 of 3
- TEST Function
 - Special Delay Cell for AC Testing
 - Test Mode Control Circuit
- CLOCK Tree
 - ROOT BUFFER
 - BUFFER/INVERTER
- GATED CLOCK
 - 2-INPUT AND GATE
 - 2-INPUT OR GATE
 - 2-INPUT NAND GATE
 - 2-INPUT NOR GATE
 - INVERTER
 - SELECTOR/MULTIPLEXER
- FLIP FLOPS
 - D-FLIP FLOP
 - SET/RESET
 - SYNCHRONOUS
 - Enabled
 - OUTPUT Q
 - NEGATIVE CLOCK
 - SCAN
 - QUADRUPLE (Reset/Reset and Q Output Only)
 - OCTAL (Reset/Reset and Q Output Only)
 - JK-FLIP FLOP
 - SET/RESET
 - OUTPUT Q
 - SCAN
 - RS-FLIP FLOP
 - NAND-TYPE/NOR-TYPE
- LATCHES
 - PRESET/RESET
 - OUTPUT M
 - NEGATIVE CLOCK
 - QUADRUPLE (Reset/Reset and M Output Only)
 - OCTAL with Enable
- ADDER
 - 1-Bit Full Adder/Power (2/4)
 - 4-Bit Full Adder
 - 4-Bit Full Adder with Fast Carry

- COMPARATORS
 - 4-Bit Magnitude Comparator with Enable
 - 8-Bit Magnitude Comparator with Enable
- COUNTERS
 - 4Bit Binary Up Counter with Reset, Load and Enable
 - 4Bit Binary Up Counter with Reset and Enable
 - 4Bit Binary Up/Down Counter with Load and Enable
 - 4Bit Binary Up/Down Counter with Reset, Load and Enable
- DECODERS
 - 3-LINE to 8-LINE
 - 2-LINE to 4-LINE
 - ENABLE
- SELECTORS/MULTIPLEXERS
 - 2-LINE to 1-LINE
 - 4-LINE to 1-LINE
 - ENABLE
 - QUADRUPLE 2-LINE to 1-LINE
 - ENABLE
 - NEGATIVE OUTPUT
- SHIFT REGISTERS
 - 8-Bit SI/PO Shift Register with Reset
 - 8-Bit SI/PO PI/SO Shift Register with Reset, Load and Enable
 - 4-Bit SI/PO PI/SO Shift Register with Reset, Load and Enable
 - 4-Bit Bi-Directional Universal Shift Register with Reset
- BUS CELLS
 - LATCH (QUADRUPLE/OCTAL)
 - 1Bit RAM
 - 3-STATE BUFFER
 - LOW ENABLE/HIGH ENABLE
 - BUS Driver

第4章 入出力バッファの種類と使用上の注意 (Xタイプ)

この章では S1X60000 シリーズ (Xタイプ) の入力バッファ、出力バッファ、双方向バッファの構成方法を詳しく説明します。

4.1 入出力バッファの種類

S1X60000 シリーズ (Xタイプ) では入力インタフェースレベル、シュミットトリガ入力の有無、プルアップ/プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等によって、多種多様なセルを用意しています。

以下の項目に着目して、最適な入出力バッファを選択してください。なお、入出力バッファは、単一電源 (2.5V or 2.0V) で使用する方法と 2 電源 (3.3V/2.5V or 3.3V/2.0V) で使用する方法の 2 とおりの使用方法がありますので注意してください。

4.1.1 入出力バッファの選択

(1) 入力バッファの選択

- a) 必要とするインタフェースレベルが CMOS レベルか、あるいは LVTTTL レベルか。
- b) シュミットトリガ入力を必要とするか、しないか。(ヒステリシス特性の要、不要)
- c) プルアップ/プルダウン抵抗付きを必要とするか、しないか。

(2) 出力バッファの選択

- a) 必要とする出力駆動電流の大きさ (I_{OL}/I_{OH})
- b) ノイズ対策を必要とするか、しないか。
- c) バスホールド回路を必要とするか、しないか。

(3) 双方向バッファの選択

入力バッファを選択する場合と出力バッファを選択する場合の両方の項目に着目して、選択してください。

- 入力インタフェースレベル

- ① $HV_{DD}=3.3V$ の場合

入力レベル

LVTTTL レベル、CMOS レベル、LVTTTL シュミット、CMOS シュミット、PCI-3V*

出力レベル

CMOS レベル、PCI-3V*

- ② V_{DD} or $LV_{DD}=2.5V$ の場合

入力レベル

CMOS レベル、CMOS シュミット

出力レベル

CMOS レベル

③ V_{DD} or $LV_{DD}=2.0V$ の場合

入力レベル

CMOS レベル、CMOS シュミット

出力レベル

CMOS レベル

注) 単一電源の場合、LVTTL レベル入力は使用できません。

*PCI インタフェースにつきましては、弊社営業担当までお問い合わせください。

- 出力駆動能力
電氣的特性 (表 1-7~1-9) をご覧ください。
- プルアップ/プルダウン抵抗
電氣的特性 (表 1-7~1-9) をご覧ください。

4.1.2 バスホールド回路

S1X60000 シリーズ (Xタイプ) では、出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えないようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないでください。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、表 1-7~表 1-9 を参照してください。

4.2 単一電源対応の入出力バッファ

単一電源で使用する場合、電源電圧は 2.5V または 2.0V のみとなります。

4.2.1 入力バッファ

表 4-1 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値		単位
	V _{DD} =2.5V	V _{DD} =2.0V	
Type 1	50	70	kΩ
Type 2	100	140	kΩ

表 4-20 入力バッファ一覧

セル名 ^{*1}	入カレベル	プルアップ/プルダウン抵抗の有無
XIBC XIBCP# XIBCD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XIBH XIBHP# XIBHD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は 1 または 2 でプルアップ、プルダウン抵抗値は 1: Type 1、2: Type 2 に対応します。
(詳細の値につきましては、表 4-1 を参照してください。)

4.2.2 出力バッファ

表 4-4、表 4-6 に出力バッファの一覧を示します。

表 4-3 I_{OH} 、 I_{OL} の各電圧における規格値

出力電流の種類	I_{OH}^{*1}/I_{OL}^{*2}		単位
	$V_{DD}=2.5V$	$V_{DD}=2.0V$	
Type S	-0.1/0.1	-0.05/0.05	mA
Type M	-1/1	-0.3/0.3	mA
Type 1	-3/3	-1/1	mA
Type 2	-6/6	-2/2	mA
Type 3	-9/9	-3/3	mA

注) *1 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V$)

*2 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$) or $0.2V$ ($V_{DD}=2.0V$)

表 4-4 出力バッファ一覧

Function	I_{OH}/I_{OL}	セル名 ^{*1,*2}
Normal output	Type S Type M Type 1 Type 2 Type 3	XOB#T
Normal output for high speed	Type 3	XOB3AT
Normal output for low noise	Type 3	XOB3BT
3-state output	Type S Type M Type 1 Type 2 Type 3	XTB#T
3-state output for high speed	Type 3	XTB3AT
3-state output for low noise	Type 3	XTB3BT
3-state output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3	XTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3	XTB3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、 I_{OH}/I_{OL} は S : TypeS、M : TypeM、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-3 を参照してください。)

*2 : 出力バッファについては、表 4-4 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-5 I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}		単位
	$V_{DD}=2.5V$	$V_{DD}=2.0V$	
Type 1	3	1	mA
Type 2	6	2	mA
Type 3	9	3	mA

注) *1 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V$)

表 4-6 N チャネルオープンドレイン出力バッファ一覧

Function	I_{OL}	セル名 ^{*1, *2}
Normal output	Type 1 Type 2 Type 3	XOD#T

注) *1 : #は 1・2・3 で、 I_{OL} は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-5 を参照してください。)

*2 : N チャネルオープンドレイン出力バッファについては、表 4-6 以外にテスト端子のない構成が考えられます。

テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.2.3 双方向バッファ

表 4-7、表 4-8 に双方向バッファの一覧を示します。

表 4-7 双方向バッファ一覧

入力レベル	Function	I_{OH}/I_{OL}	セル名 ^{*1,*2}
CMOS	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XBC#T
	Bi-directional output for high speed	Type 3	XBC3AT
	Bi-directional output for low noise	Type 3	XBC3BT
CMOS シュミット	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XBH#T
	Bi-directional output for high speed	Type 3	XBH3AT
	Bi-directional output for low noise	Type 3	XBH3BT
CMOS	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XBC\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XBC3BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XBH\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XBH3BHT

注) *1: #は S・M・1・2・3、\$は M・1・2・3 で、 I_{OH}/I_{OL} は S: TypeS、M: TypeM、1: Type 1、2: Type 2、3: Type 3 に対応します。

(詳細の値につきましては、表 4-3 を参照してください。)

*2: 双方向バッファについては、表 4-7 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-8 Nチャンネルオープンドレイン双方向バッファ一覧

入力レベル	Function	I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2 Type 3	XBDC#T
CMOS シュミット	Bi-directional output	Type 1 Type 2 Type 3	XBDH#T

注) *1: #は1・2・3で、I_{OL}は1: Type 1、2: Type 2、3: Type 3に対応します。

(詳細の値につきましては、表 4-5 を参照してください。)

*2: Nチャンネルオープンドレイン双方向バッファについては、表 4-8 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.2.4 Fail-Safe セル

4.2.4.1 概要

S1X60000 シリーズ (Xタイプ) の Fail-Safe セルは、電源が印加された状態であっても、電源電圧以上の信号をインタフェースすることを可能とします。

また、電源がカットオフされた状態のまま信号をインタフェースしてもリーク電流が流れないため、これまで以上にデザインの自由度を得ることができるようになります。

(2電源仕様では、LV_{DD}系のセルになります。)

4.2.4.2 特長

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができます。
- (2) 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、入力リーク電流は発生しません。
(ただし、プルアップ抵抗付きの入力バッファあるいは双方向バッファでは、回路の構成上 30 μ A 程度の入力リーク電流は発生します。)
- (3) 電源 Cut-off した状態で、外部から入力信号が印加されても、入力リーク電流は発生しません。
- (4) 入力レベルは CMOS レベル、CMOS シュミットレベルの 2 種類をリリースしています。
- (5) 完全 CMOS 構造ですので、消費電力を低く抑えられます。

4.2.4.3 使用上の注意点

- (1) 入力 I/O セルについて
 - 抵抗無し、あるいはプルダウン抵抗付きの入力バッファにつきましては、通常の入力バッファがそのまま Fail-Safe セルとして使用できます。
 - プルアップ抵抗付きの入力バッファが必要な場合は、必ず Fail-Safe セルを使用してください。
(ただし、回路の構成上 30 μ A 程度の入力リーク電流は発生します。)
- (2) 出力 I/O セルについて
 - 出力バッファが High-Z 状態あるいは、双方向バッファが入力 Mode になっている状態であれば、電源電圧が印加された状態で、電源電圧以上の入力信号が入力されても入力リーク電流は発生しません。
 - 出力 Mode の状態で、電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様、入力リーク電流が発生します。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
(電源電圧以上の“HIGH”レベルが必要な場合は、オープンドレインタイプの入出力バッファを使用し、外部にてプルアップ抵抗で“HIGH”レベルに引き上げてください。)
- (3) LSI 動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safe セルに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

4.2.4.4 セルー一覧

表 4-9 Fail-Safe 入力バッファ一覧

セル名 ^{*1, *2}	入力レベル	プルアップ抵抗の有無
XIBBP#	CMOS	プルアップ抵抗
XIBGP#	CMOS シュミット	プルアップ抵抗

注) *1: #は1または2で、プルアップ抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 4-1 を参照してください。)

表 4-10 Fail-Safe 出力バッファ一覧

Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
3-state output	Type 1 Type 2	XTBF#T
3-state output for high speed	Type 3	XTBF3AT
3-state output for low noise	Type 3	XTBF3BT

注) *1: #は1または2で、I_{OH}/I_{OL}は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 4-3 を参照してください。)

*2: Fail-Safe 出力バッファについては、表 4-10 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-11 Fail-Safe 双方向バッファ一覧

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2	XBB#T
	Bi-directional output for high speed	Type 3	XBB3AT
	Bi-directional output for low noise	Type 3	XBB3BT
CMOS シュミット	Bi-directional output	Type 1 Type 2	XBG#T
	Bi-directional output for high speed	Type 3	XBG3AT
	Bi-directional output for low noise	Type 3	XBG3BT

注) *1: #は1・2で、I_{OH}/I_{OL}は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 4-3 を参照してください。)

*2: Fail-Safe 双方向バッファについては、表 4-11 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.2.5 Gated セル

4.2.5.1 概要

S1X60000 シリーズ (Xタイプ) の Gated I/O セルは、プルアップまたはプルダウン回路を使用することなく、これまで不可能であった端子への入力をフロート状態、すなわち High-Z 状態とすることを可能とします。また、2電源のデザインで高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。コントロール信号が“HIGH”レベルで遮断処理を行うタイプと、“LOW”レベルで遮断処理を行うタイプが用意されておりますので、デザインに応じて、どちらのレベルで遮断処理を行うか選択が可能です。

4.2.5.2 特長

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができますので、デザインに自由度があります。
- (2) 2電源のデザインで高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。ただし、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。
- (3) プルアップまたはプルダウン回路を使用することなく、入力を High-Z 状態とすることができます。
- (4) Gated I/O セルは回路の構成上、2電源仕様での入力レベルは HV_{DD} 系ではなく LV_{DD} 系の CMOS レベルになります。
- (5) コントロール信号が“HIGH”レベルで遮断処理を行うタイプと、“LOW”レベルで遮断処理を行うタイプが用意されています。
- (6) 完全 CMOS 構造ですので、消費電力を低く抑えられます。

4.2.5.3 使用上の注意点

- (1) Gated I/O セルを使用して入力を High-Z 状態とするときは、端子の入力が High-Z 状態になる前に、Gated I/O セルのコントロールを用いて、遮断操作を行う必要があります。これを行わないで、入力を High-Z 状態にすると、通常タイプのセル同様に大電流が流れ、素子を破壊することになります。逆に、入力が High-Z 状態のままコントロールを用いて、接続操作を行う時も同様です。このような場合のデバイス内部に取り込まれる論理レベルは保証できません。
- (2) Gated I/O セルを使用して高電位側 (HV_{DD}) の電源を Cut-Off するときも、(1) 同様の処理が必要です。この処理を行わなかった場合には、デバイス内部に取り込まれる論理レベルは保証できません。また、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。

4.2.5.4 セル一覧

表 4-12 Gated 入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗の有無
XIBA XIBAP# XIBAD#	CMOS (AND Type)	なし プルアップ抵抗 プルダウン抵抗
XIBO XIBOP# XIBOD#	CMOS (OR Type)	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は 1 または 2 で、プルアップ、プルダウン抵抗値は 1: Type 1、2: Type 2 に対応します。
(詳細の値につきましては、表 4-1 を参照してください。)

表 4-13 Gated 双方向バッファ一覧

入力レベル		Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	AND Type	Bi-directional output	Type 1 Type 2 Type 3	XBA#T
		Bi-directional output for high speed	Type 3	XBA3AT
		Bi-directional output for low noise	Type 3	XBA3BT
	OR Type	Bi-directional output	Type 1 Type 2 Type 3	XBO#T
		Bi-directional output for high speed	Type 3	XBO3AT
		Bi-directional output for low noise	Type 3	XBO3BT

注) *1: #は 1・2・3 で、I_{OH}/I_{OL}は 1: Type 1、2: Type 2、3: Type 3 に対応します。
(詳細の値につきましては、表 4-3 を参照してください。)

*2: Gated 双方向バッファについては、表 4-13 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.3 2 電源対応の入出力バッファ

2 電源を供給して使用する場合には 2 電源対応専用の入出力バッファをお使いください。(単一電源用の入出力バッファはお使いになれませんので注意が必要です。)

また、単一電源用の入出力バッファと 2 電源対応専用の入出力バッファを混在で使用することはできません。ただし、テスト用バッファ (XITST1) は 2 電源、単一電源共通のバッファとなっております。(XF タイプの入出力バッファとも混在で使用することはできません。)

(1) HV_{DD} 系の入出力バッファ

HV_{DD} 系の入出力バッファには 3.3V の信号を入力する入力バッファ、3.3V 振幅の信号を出力する出力バッファ、および 3.3V の信号を入力し、3.3V 振幅の信号を出力することのできる双方向バッファがあります。

(2) LV_{DD} 系の入出力バッファ

LV_{DD} 系の入出力バッファには 2.5V (または 2.0V) の信号を入力する入力バッファ、2.5V (または 2.0V) 振幅の信号を出力する出力バッファ、および 2.5V (または 2.0V) の信号を入力し、2.5V (または 2.0V) 振幅の信号を出力することのできる双方向バッファがあります。LV_{DD} 系の双方向バッファには HV_{DD} 系の信号を入力すると LV_{DD} 系のバッファ内の保護ダイオードに過大な電流が流れ、品質を低下させることとなりますので LV_{DD} 以上の電圧を印加しないでください。(この場合は、「第 4 章 4.3.4 Fail-Safe セル」で述べる Fail-Safe セルを使用してください。)

4.3.1 入力バッファ

(1) HV_{DD} 系の入力バッファ

入力バッファは入力セルのみで構成されています。

HV_{DD} 系の入力バッファは、入力の初段を HV_{DD} 系の入力回路で構成し次段を LV_{DD} 系の回路で構成しており、HV_{DD} 系の信号を LV_{DD} 系の信号に変換してから MSI セル (内部セル領域) へ信号を供給します。

表 4-15 に HV_{DD} 系の入力バッファの一覧を示します。

表 4-14 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値 (HV _{DD} =3.3V)	単位
Type 1	60	kΩ
Type 2	120	kΩ

表 4-15 HV_{DD}系入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗の有無
XHIBC XHIBCP# XHIBCD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XHIBT XHIBTP# XHIBTD#	LVTTTL LVTTTL LVTTTL	なし プルアップ抵抗 プルダウン抵抗
XHIBH XHIBHP# XHIBHD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗
XHIBS XHIBSP# XHIBSD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 プルダウン抵抗
XHIBPB XHIBPBP# XHIBPBD#	PCI-3V PCI-3V PCI-3V	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2でプルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 4-14 を参照してください。)

(2) LV_{DD}系の入力バッファ

入力バッファは入力セルのみで構成されます。表 4-17 に LV_{DD}系の入力バッファの一覧を示します。

表 4-16 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値		単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	
Type 1	50	70	kΩ
Type 2	100	140	kΩ

表 4-17 LV_{DD}系入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗の有無
XLIBC XLIBCP# XLIBCD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XLIBH XLIBHP# XLIBHD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2でプルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 4-16 を参照してください。)

4.3.2 出力バッファ

(1) HV_{DD}系の出力バッファ

表 4-19、表 4-21 に HV_{DD}系の出力バッファの一覧を示します。

表 4-18 I_{OH}、I_{OL}の各電圧における規格値

出力電流の種類	I _{OH} ^{*1} /I _{OL} ^{*2} (HV _{DD} =3.3V)	単位
Type S	-0.1/0.1	mA
Type M	-1/1	mA
Type 1	-3/3	mA
Type 2	-6/6	mA
Type 3	-12/12	mA

注) *1 : V_{OH}=HV_{DD}-0.4V

*2 : V_{OL}=0.4V

表 4-19 HV_{DD}系出力バッファ一覧

Function	I _{OL} /I _{OH}	セル名 ^{*1,*2}
Normal output	Type S Type M Type 1 Type 2 Type 3	XHOB#T
Normal output for high speed	Type 3	XHOB3AT
Normal output for low noise	Type 3	XHOB3BT
Normal output fot PCI	PCI-3V	XHOBPBT
3-state output	Type S Type M Type 1 Type 2 Type 3	XHTB#T
3-state output for high speed	Type 3	XHTB3AT
3-state output for low noise	Type 3	XHTB3BT
3-state output fot PCI	PCI-3V	XHTBPBT
3-state output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XHTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3	XHTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3	XHTB3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL}は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-18 を参照してください。)

*2 : 出力バッファについては、表 4-19 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-20 I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1} ($HV_{DD}=3.3V$)	単位
Type 1	3	mA
Type 2	6	mA
Type 3	12	mA

注) *1 : $V_{OL}=0.4V$

表 4-21 HV_{DD} 系 N チャネルオープンドレイン出力バッファ一覧

Function	I_{OL}	セル名 ^{*1,*2}
Normal output	Type 1 Type 2 Type 3	XHOD#T

注) *1 : #は 1・2・3 で、 I_{OL} は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-20 を参照してください。)

*2 : N チャネルオープンドレイン出力バッファについては、表 4-21 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

(2) LV_{DD}系の出力バッファ

表 4-23、表 4-25 に LV_{DD}系の出力バッファの一覧を示します。

表 4-22 I_{OH}、I_{OL}の各電圧における規格値

出力電流の種類	I _{OH} ^{*1} /I _{OL} ^{*2}		単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	
Type S	-0.1/0.1	-0.05/0.05	mA
Type M	-1/1	-0.3/0.3	mA
Type 1	-3/3	-1/1	mA
Type 2	-6/6	-2/2	mA
Type 3	-9/9	-3/3	mA

注) *1 : V_{OH}=LV_{DD}-0.4V (LV_{DD}=2.5V) or LV_{DD}-0.2V (LV_{DD}=2.0V)

*2 : V_{OL}=0.4V (LV_{DD}=2.5V) or 0.2V (LV_{DD}=2.0V)

表 4-23 LV_{DD}系出力バッファ一覧

Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
Normal output	Type S Type M Type 1 Type 2 Type 3	XLOB#T
Normal output for high speed	Type 3	XLOB3AT
Normal output for low noise	Type 3	XLOB3BT
3-state output	Type S Type M Type 1 Type 2 Type 3	XLTB#T
3-state output for high speed	Type 3	XLTB3AT
3-state output for low noise	Type 3	XLTB3BT
3-state output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XLTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3	XLTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3	XLTB3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL} は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-22 を参照してください。)

*2 : 出力バッファについては、表 4-23 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-24 I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}		単位
	$LV_{DD}=2.5V$	$LV_{DD}=2.0V$	
Type 1	3	1	mA
Type 2	6	2	mA
Type 3	9	3	mA

注) *1 : $V_{OL}=0.4V$ ($LV_{DD}=2.5V$) or $0.2V$ ($LV_{DD}=2.0V$)

表 4-25 LV_{DD} 系 N チャネルオープンドレイン出力バッファ一覧

Function	I_{OL}	セル名 ^{*1, *2}
Normal output	Type 1 Type 2 Type 3	XLOD#T

注) *1 : #は 1・2・3 で、 I_{OL} は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-24 を参照してください。)

*2 : N チャネルオープンドレイン出力バッファについては、表 4-25 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.3.3 双方向バッファ

(1) HV_{DD}系の双方向バッファ

表 4-26、表 4-27 に HV_{DD}系の双方向バッファの一覧を示します。

表 4-26 HV_{DD}系双方向バッファ一覧 (1/2)

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1,*2}
LVTTL	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XHBT#T
	Bi-directional output for high speed	Type 3	XHBT3AT
	Bi-directional output for low noise	Type 3	XHBT3BT
CMOS	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XHBC#T
	Bi-directional output for high speed	Type 3	XHBC3AT
	Bi-directional output for low noise	Type 3	XHBC3BT
PCI	Bi-directional output for PCI	PCI-3V	XHBPBT
LVTTL シュミット	Bi-directional	Type S Type M Type 1 Type 2 Type 3	XHBS#T
	Bi-directional output for high speed	Type 3	XHBS3AT
	Bi-directional output for low noise	Type 3	XHBS3BT
CMOS シュミット	Bi-directional	Type S Type M Type 1 Type 2 Type 3	XHBH#T
	Bi-directional output for high speed	Type 3	XHBH3AT
	Bi-directional output for low noise	Type 3	XHBH3BT

注) *1: #は S・M・1・2・3 で、I_{OH}/I_{OL} は S: Type S、M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します。

(詳細の値につきましては、表 4-18 を参照してください。)

*2: 双方向バッファについては、表 4-26 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-26 HV_{DD}系双方向バッファ一覧 (2/2)

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1,*2}
LVTTTL	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XHBT#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XHBT3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XHBT3BHT
CMOS	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XHBC#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XHBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XHBC3BHT
LVTTTL シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XHBS#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XHBS3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XHBS3BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XHBH#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XHBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XHBH3BHT

注) *1: #は M・1・2・3 で、I_{OH}/I_{OL}は M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します。
(詳細の値につきましては、表 4-18 を参照してください。)

*2: 双方向バッファについては、表 4-26 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-27 HV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧

入力レベル	Function	I _{OL}	セル名 ^{*1, *2}
LVTTTL	Bi-directional output	Type 1 Type 2 Type 3	XHBDT#T
CMOS	Bi-directional output	Type 1 Type 2 Type 3	XHBDC#T
LVTTTL シュミット	Bi-directional output	Type 1 Type 2 Type 3	XHBDS#T
CMOS シュミット	Bi-directional output	Type 1 Type 2 Type 3	XHBDH#T

注) *1 : #は 1・2・3 で、I_{OL}は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-20 を参照してください。)

*2 : N チャンネルオープンドレイン双方向バッファについては、表 4-27 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

(2) LV_{DD} 系の双方向バッファ

表 4-28、表 4-29 に LV_{DD} 系の双方向バッファの一覧を示します。

表 4-28 LV_{DD} 系双方向バッファ一覧

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XLBC#T
	Bi-directional output for high speed	Type 3	XLBC3AT
	Bi-directional output for low noise	Type 3	XLBC3BT
CMOS シュミット	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XLBH#T
	Bi-directional output for high speed	Type 3	XLBH3AT
	Bi-directional output for low noise	Type 3	XLBH3BT
CMOS	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XLBC\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XLBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XLBC3BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XLBH\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XLBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XLBH3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL} は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-22 を参照してください。)

*2 : 双方向バッファについては、表 4-28 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-29 LV_{DD}系 N チャネルオープンドレイン双方向バッファ一覧

入力レベル	Function	I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2 Type 3	XLBDC#T
CMOS シュミット	Bi-directional output	Type 1 Type 2 Type 3	XLBDH#T

注) *1 : #は 1・2・3 で、I_{OL}は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 4-24 を参照してください。)

*2 : N チャネルオープンドレイン双方向バッファについては、表 4-29 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.3.4 Fail-Safe セル

4.3.4.1 概要

2 電源の Fail-Safe セルの概要につきましては、「第4章 4.2.4.1 概要」を参照してください。
(2 電源仕様では、LV_{DD}系のセルになります。)

4.3.4.2 特長

2 電源の Fail-Safe セルの特長につきましては、「第4章 4.2.4.2 特長」を参照してください。

4.3.4.3 使用上の注意点

2 電源の Fail-Safe セルの使用上の注意点につきましては、「第4章 4.2.4.3 使用上の注意点」を参照してください。

4.3.4.4 セル一覧

表 4-30 Fail-Safe 入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ抵抗の有無
XLIBBP#	CMOS	プルアップ抵抗
XLIBGP#	CMOS シュミット	プルアップ抵抗

注) *1: #は 1 または 2 で、プルアップ抵抗値は 1: Type 1、2: Type 2 に対応します。
(詳細の値につきましては、表 4-16 を参照してください。)

表 4-31 Fail-Safe 出力バッファ一覧

Function	I _{OH} /I _{OL}	セル名 ^{*1,*2}
3-state output	Type 1 Type 2	XLTFB#T
3-state output for high speed	Type 3A	XLTFB3AT
3-state output for low noise	Type 3B	XLTFB3BT

注) *1: #は 1 または 2 で、I_{OH}/I_{OL}は 1: Type 1、2: Type 2 に対応します。
(詳細の値につきましては、表 4-22 を参照してください。)

*2: Fail-Safe 出力バッファについては、表 4-31 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 4-32 Fail-Safe 双方向バッファ一覧

入力レベル	Function	I_{OH}/I_{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2	XLBB#T
	Bi-directional output for high speed	Type 3	XLBB3AT
	Bi-directional output for low noise	Type 3	XLBB3BT
CMOS シュミット	Bi-directional output	Type 1 Type 2	XLBG#T
	Bi-directional output for high speed	Type 3	XLBG3AT
	Bi-directional output for low noise	Type 3	XLBG3BT

注) *1 : #は 1 または 2 で、 I_{OH}/I_{OL} は 1 : Type 1、2 : Type 2 に対応します。

(詳細の値につきましては、表 4-22 を参照してください。)

*2 : Fail-Safe 双方向バッファについては、表 4-32 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.3.5 Gated セル

4.3.5.1 概要

2 電源の Gated セルの概要につきましては、「第 4 章 4.2.5.1 概要」を参照してください。
(2 電源仕様では、HV_{DD}系のセルになります。)

4.3.5.2 特長

2 電源の Gated セルの特長につきましては、「第 4 章 4.2.5.2 特長」を参照してください。

4.3.5.3 使用上の注意点

2 電源の Gated セルの使用上の注意点につきましては、「第 4 章 4.2.5.3 使用上の注意点」を参照してください。

4.3.5.4 セル一覧

表 4-33 Gated セル入力バッファ一覧

セル名 ^{*1, *2}	入力レベル	プルアップ/プルダウン抵抗の有無
XHIBA XHIBAP# XHIBAD#	CMOS (AND Type)	なし プルアップ抵抗 プルダウン抵抗
XHIBO XHIBOP# XHIBOD#	CMOS (OR Type)	なし プルアップ抵抗 プルダウン抵抗

注) *1 : #は 1 または 2 で、プルアップ、プルダウン抵抗値は 1 : Type 1、2 : Type 2 に対応します。
(詳細の値につきましては、表 4-14 を参照してください。)

表 4-34 Gated セル双方向バッファ一覧

入力レベル		Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	AND Type	Bi-directional output	Type 1 Type 2 Type 3	XHBA#T
		Bi-directional output for high speed	Type 3	XHBA3AT
		Bi-directional output for low noise	Type 3	XHBA3BT
	OR Type	Bi-directional output	Type 1 Type 2 Type 3	XHBO#T
		Bi-directional output for high speed	Type 3	XHBO3AT
		Bi-directional output for low noise	Type 3	XHBO3BT

注) *1 : #は 1・2・3 で、I_{OH}/I_{OL}は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。
(詳細の値につきましては、表 4-18 を参照してください。)

*2 : Gated 双方向バッファについては、表 4-34 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

4.4 2 電源使用時の注意事項

S1X60000 シリーズは2電源を供給することにより、入出力バッファごとに3.3V、2.5V、2.0Vのいずれかの信号とのインタフェースを可能にしています。内部セル領域は2.5Vあるいは2.0Vの単一電源で動作します。

4.4.1 2電源対応の方法

S1X60000 シリーズは内部動作電圧と異なる電圧の信号をインタフェースすることが可能です。異電源系とインタフェースする方法は以下の2とおりがあります。

- 単一電源の場合

単一電源では、Nch オープンドレインタイプのバッファまたは、Fail-Safeセルを使用することにより、電源電圧より高い電圧の信号を入力することができます。しかし、電源電圧より高い電圧の信号を出力することはできません。この場合 Nch オープンドレインタイプのバッファと外付けのプルアップ抵抗を組み合わせることで対応します。

- 2電源を供給する場合

専用の2電源対応入力バッファを使用することにより、内部動作電圧より高い電圧の信号を入力することができます。2電源用出力バッファを使うことにより内部動作電圧より高い信号を出力することも可能です。

4.4.2 2電源使用時の電源

異なる2種類の電源を与える場合には、HV_{DD}とLV_{DD}の2つの電源セルを用います。HV_{DD}はHV_{DD}系の入出力バッファの電源として使い、LV_{DD}はLV_{DD}系入出力バッファと内部セル用に使用します。電源電圧は常に次式を満たすことが必要です。

$$HV_{DD} \geq LV_{DD}$$

$HV_{DD} < LV_{DD}$ となった場合の動作保証はできませんので注意してください。動作条件として次の条件を推奨します。

$$HV_{DD} = 3.3V, LV_{DD} = 2.5V$$

$$HV_{DD} = 3.3V, LV_{DD} = 2.0V$$

4.4.3 電源の投入・切断について

2電源仕様の場合は、下記の順序で電源投入・切断を行ってください。

電源投入時：LV_{DD} (MSI部) オン → HV_{DD} (I/O部) オン → 入力信号オン

電源切断時：入力信号オフ → HV_{DD} (I/O部) オフ → LV_{DD} (MSI部) オフ

注1) LV_{DD}が切断されている状態でHV_{DD}のみを継続的(1sec以上)に印加することは、LSI信頼性上の問題が生じますので避けてください。また、1sec以内であっても、下記のような問題を引き起こす事があります。

- ① この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- ② この期間はHV_{DD}系の回路が不定状態となり、HV_{DD}系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注2) HV_{DD}をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行ってください。

第5章 入出力バッファの種類と使用上の注意 (XF タイプ)

この章では、S1X60000 シリーズ (XF タイプ) の入力バッファ、出力バッファ、双方向バッファの構成方法を詳しく説明します。

5.1 入出力バッファの種類

S1X60000 シリーズ (XF タイプ) では入力インタフェースレベル、シュミットトリガ入力の有無、プルアップ/プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等によって、多種多様なセルを用意しています。

以下の項目に着目して、最適な入出力バッファを選択してください。なお、入出力バッファは、2電源 (3.3V/2.5V または 3.3V/2.0V) での使用のみとなりますので注意してください。

5.1.1 入出力バッファの選択

- (1) 入力バッファの選択
 - a) 5V 信号へのインタフェースを必要とするか、しないか。
 - b) 必要とするインタフェースレベルが CMOS レベルか、あるいは LVTTL レベルか。
 - c) シュミットトリガ入力を必要とするか、しないか。(ヒステリシス特性の要、不要)
 - d) プルアップ/プルダウン抵抗付きを必要とするか、しないか。
- (2) 出力バッファの選択
 - a) 外部で 5V へのプルアップを行うか、行わないか。
 - b) 必要とする出力駆動電流の大きさ (I_{OL}/I_{OH})
 - c) ノイズ対策を必要とするか、しないか。
 - d) バスホールド回路を必要とするか、しないか。

(3) 双方向バッファの選択

入力バッファを選択する場合と出力バッファを選択する場合の両方の項目に着目して、選択してください。

- 入力インタフェースレベル

① $HV_{DD}=3.3V$ の場合

入力レベル

LVTTL レベル、CMOS レベル、LVTTL シュミット、CMOS シュミット、PCI-3V*

出力レベル

CMOS レベル、PCI-3V*

② $LV_{DD}=2.5V$ の場合

入力レベル

CMOS レベル、CMOS シュミット

出力レベル

CMOS レベル

③ $LV_{DD}=2.0V$ の場合

入力レベル

CMOS レベル、CMOS シュミット

出力レベル

CMOS レベル

注) *PCI インタフェースにつきましては、弊社営業担当までお問い合わせください。

- 出力駆動能力
電气的特性 (表 1-13~1-15) をご覧ください。
- プルアップ/プルダウン抵抗
電气的特性 (表 1-13~1-15) をご覧ください。

5.1.2 バスホールド回路

S1X60000 シリーズ (XFタイプ) では、出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えぬようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないでください。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、表 1-13~表 1-15 を参照してください。

5.2 2 電源対応の入出力バッファ

S1X60000 シリーズ (XF タイプ) の入出力バッファは、2 電源対応専用となります。(X タイプの入出力バッファとは混在で使用することはできません。)

(1) HV_{DD} 系の入出力バッファ

HV_{DD} 系の入出力バッファには 3.3V の信号を入力する入力バッファ、3.3V 振幅の信号を出力する出力バッファ、および 3.3V の信号を入力し、3.3V 振幅の信号を出力することのできる双方向バッファがあります。また、5.0V 振幅の信号を入力することのできる 5V トレラント Fail-Safe セルも用意してあります。

(2) LV_{DD} 系の入出力バッファ

LV_{DD} 系の入出力バッファには 2.5V (または 2.0V) の信号を入力する入力バッファ、2.5V (または 2.0V) 振幅の信号を出力する出力バッファ、および 2.5V (または 2.0V) の信号を入力し、2.5V (または 2.0V) 振幅の信号を出力することのできる双方向バッファがあります。LV_{DD} 系の双方向バッファには HV_{DD} 系の信号を入力すると LV_{DD} 系のバッファ内の保護ダイオードに過大な電流が流れ、品質を低下させることとなりますので LV_{DD} 以上の電圧を印加しないでください。(この場合は、「第 5 章 5.2.4 Fail-Safe セル」で述べる Fail-Safe セルを使用してください。)

5.2.1 入力バッファ

(1) HV_{DD} 系の入力バッファ

入力バッファは入力セルのみで構成されています。

HV_{DD} 系の入力バッファは、入力の初段を HV_{DD} 系の入力回路で構成し次段を LV_{DD} 系の回路で構成しており、HV_{DD} 系の信号を LV_{DD} 系の信号に変換してから MSI セル (内部セル領域) へ信号を供給します。

表 5-2 に HV_{DD} 系の入力バッファの一覧を示します。

表 5-1 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値 (HV _{DD} =3.3V)	単位
Type 1	60	kΩ
Type 2	120	kΩ

表 5-2 HV_{DD}系入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗の有無
XFHIBC XFHIBCP# XFHIBCD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XFHIBT XFHIBTP# XFHIBTD#	LVTTTL LVTTTL LVTTTL	なし プルアップ抵抗 プルダウン抵抗
XFHIBH XFHIBHP# XFHIBHD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗
XFHIBS XFHIBSP# XFHIBSD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 プルダウン抵抗
XFHIBPB XFHIBPBP# XFHIBPBD#	PCI-3V PCI-3V PCI-3V	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2で、プルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-1 を参照してください。)

(2) LV_{DD}系の入力バッファ

入力バッファは入力セルのみで構成されます。表 5-4 に LV_{DD}系の入力バッファの一覧を示します。

表 5-3 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン抵抗の種類	抵抗値		単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	
Type 1	50	70	kΩ
Type 2	100	140	kΩ

表 5-4 LV_{DD}系入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗の有無
XFLIBC XFLIBCP# XFLIBCD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XFLIBH XFLIBHP# XFLIBHD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2で、プルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-3 を参照してください。)

5.2.2 出力バッファ

(1) HV_{DD}系の出力バッファ

表 5-6、表 5-8 に HV_{DD}系の出力バッファの一覧を示します。

表 5-5 I_{OH}、I_{OL}の各電圧における規格値

出力電流の種類	I _{OH} ^{*1} /I _{OL} ^{*2} (HV _{DD} =3.3V)	単位
Type S	-0.1/0.1	mA
Type M	-1/1	mA
Type 1	-3/3	mA
Type 2	-6/6	mA
Type 3	-12/12	mA

注) *1 : V_{OH}=HV_{DD}-0.4V

*2 : V_{OL}=0.4V

表 5-6 HV_{DD}系出力バッファ一覧

Function	I _{OL} /I _{OH}	セル名 ^{*1,*2}
Normal output	Type S Type M Type 1 Type 2 Type 3	XFHOB#T
Normal output for high speed	Type 3	XFHOB3AT
Normal output for low noise	Type 3	XFHOB3BT
Normal output for PCI	PCI-3V	XFHOBPBT
3-state output	Type S Type M Type 1 Type 2 Type 3	XFHTB#T
3-state output for high speed	Type 3	XFHTB3AT
3-state output for low noise	Type 3	XFHTB3BT
3-state output for PCI	PCI-3V	XFHTBPBT
3-state output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFHTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3	XFHTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3	XFHTB3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL}は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-5 を参照してください。)

*2 : 出力バッファについては、表 5-6 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-7 I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1} ($HV_{DD}=3.3V$)	単位
Type 1	3	mA
Type 2	6	mA
Type 3	12	mA

注) *1 : $V_{OL}=0.4V$

表 5-8 HV_{DD} 系 N チャネルオープンドレイン出力バッファ一覧

Function	I_{OL}	セル名 ^{*1,*2}
Normal output	Type 1 Type 2 Type 3	XFHOD#T

注) *1 : #は 1・2・3 で、 I_{OL} は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-7 を参照してください。)

*2 : N チャネルオープンドレイン出力バッファについては、表 5-8 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

(2) LV_{DD}系の出力バッファ

表 5-10、表 5-12 に LV_{DD}系の出力バッファの一覧を示します。

表 5-9 I_{OH}、I_{OL}の各電圧における規格値

出力電流の種類	I _{OH} ^{*1} /I _{OL} ^{*2}		単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	
Type S	-0.1/0.1	-0.05/0.05	mA
Type M	-1/1	-0.3/0.3	mA
Type 1	-3/3	-1/1	mA
Type 2	-6/6	-2/2	mA
Type 3	-9/9	-3/3	mA

注) *1 : V_{OH}=LV_{DD}-0.4V (LV_{DD}=2.5V) or LV_{DD}-0.2V (LV_{DD}=2.0V)

*2 : V_{OL}=0.4V (LV_{DD}=2.5V) or 0.2V (LV_{DD}=2.0V)

表 5-10 LV_{DD}系出力バッファ一覧

Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
Normal output	Type S Type M Type 1 Type 2 Type 3	XFLOB#T
Normal output for high speed	Type 3	XFLOB3AT
Normal output for low noise	Type 3	XFLOB3BT
3-state output	Type S Type M Type 1 Type 2 Type 3	XFLTB#T
3-state output for high speed	Type 3	XFLTB3AT
3-state output for low noise	Type 3	XFLTB3BT
3-state output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFLTB\$HT
3-state output for high speed (Bus hold circuit)	Type 3	XFLTB3AHT
3-state output for low noise (Bus hold circuit)	Type 3	XFLTB3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL}は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-9 を参照してください。)

*2 : 出力バッファについては、表 5-10 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-11 I_{OL} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}		単位
	$LV_{DD}=2.5V$	$LV_{DD}=2.0V$	
Type 1	3	1	mA
Type 2	6	2	mA
Type 3	9	3	mA

注) *1 : $V_{OL}=0.4V$ ($LV_{DD}=2.5V$) or $0.2V$ ($LV_{DD}=2.0V$)

表 5-12 LV_{DD} 系 N チャネルオープンドレイン出力バッファ一覧

Function	I_{OL}	セル名 ^{*1, *2}
Normal output	Type 1 Type 2 Type 3	XFLOD#T

注) *1 : #は 1・2・3 で、 I_{OL} は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-11 を参照してください。)

*2 : N チャネルオープンドレイン出力バッファについては、表 5-12 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

5.2.3 双方向バッファ

(1) HV_{DD}系の双方向バッファ

表 5-13、表 5-14 に HV_{DD}系の双方向バッファの一覧を示します。

表 5-13 HV_{DD}系双方向バッファ一覧 (1/2)

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
LVTTL	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XFHBT#T
	Bi-directional output for high speed	Type 3	XFHBT3AT
	Bi-directional output for low noise	Type 3	XFHBT3BT
CMOS	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XFHBC#T
	Bi-directional output for high speed	Type 3	XFHBC3AT
	Bi-directional output for low noise	Type 3	XFHBC3BT
PCI	Bi-directional output for PCI	PCI-3V	XFHBPBT
LVTTL シュミット	Bi-directional	Type S Type M Type 1 Type 2 Type 3	XFHBS#T
	Bi-directional output for high speed	Type 3	XFHBS3AT
	Bi-directional output for low noise	Type 3	XFHBS3BT
CMOS シュミット	Bi-directional	Type S Type M Type 1 Type 2 Type 3	XFHBH#T
	Bi-directional output for high speed	Type 3	XFHBH3AT
	Bi-directional output for low noise	Type 3	XFHBH3BT

注) *1: #は S・M・1・2・3 で、I_{OH}/I_{OL}は S: Type S、M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します。

(詳細の値につきましては、表 5-5 を参照してください。)

*2: 双方向バッファについては、表 5-13 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-13 HV_{DD}系双方向バッファ一覧 (2/2)

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
LVTTTL	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFHBT#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFHBT3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFHBT3BHT
CMOS	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFHBC#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFHBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFHBC3BHT
LVTTTL シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFHBS#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFHBS3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFHBS3BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFHBH#HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFHBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFHBH3BHT

注) *1: #は M・1・2・3 で、I_{OH}/I_{OL} は M: Type M、1: Type 1、2: Type 2、3: Type 3 に対応します。
(詳細の値につきましては、表 5-5 を参照してください。)

*2: 双方向バッファについては、表 5-13 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-14 HV_{DD}系 N チャネルオープンドレイン双方向バッファ一覧

入力レベル	Function	I _{OL}	セル名 ^{*1,*2}
LVTTTL	Bi-directional output	Type 1 Type 2 Type 3	XFHBDT#T
CMOS	Bi-directional output	Type 1 Type 2 Type 3	XFHBDC#T
LVTTTL シュミット	Bi-directional output	Type 1 Type 2 Type 3	XFHBDS#T
CMOS シュミット	Bi-directional output	Type 1 Type 2 Type 3	XFHBDH#T

注) *1 : #は 1・2・3 で、I_{OL}は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-7 を参照してください。)

*2 : N チャネルオープンドレイン双方向バッファについては、表 5-14 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

(2) LV_{DD}系の双方向バッファ

表 5-15、表 5-16 に LV_{DD}系の双方向バッファの一覧を示します。

表 5-15 LV_{DD}系双方向バッファ一覧

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XFLBC#T
	Bi-directional output for high speed	Type 3	XFLBC3AT
	Bi-directional output for low noise	Type 3	XFLBC3BT
CMOS シュミット	Bi-directional output	Type S Type M Type 1 Type 2 Type 3	XFLBH#T
	Bi-directional output for high speed	Type 3	XFLBH3AT
	Bi-directional output for low noise	Type 3	XFLBH3BT
CMOS	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFLBC\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFLBC3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFLBC3BHT
CMOS シュミット	Bi-directional output (Bus hold circuit)	Type M Type 1 Type 2 Type 3	XFLBH\$HT
	Bi-directional output for high speed (Bus hold circuit)	Type 3	XFLBH3AHT
	Bi-directional output for low noise (Bus hold circuit)	Type 3	XFLBH3BHT

注) *1 : #は S・M・1・2・3、\$は M・1・2・3 で、I_{OH}/I_{OL}は S : Type S、M : Type M、1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-9 を参照してください。)

*2 : 双方向バッファについては、表 5-15 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-16 LV_{DD}系 N チャネルオープンドレイン双方向バッファ一覧

入力レベル	Function	I _{OL}	セル名 ^{*1,*2}
CMOS	Bi-directional output	Type 1 Type 2 Type 3	XFLBDC#T
CMOS シュミット	Bi-directional output	Type 1 Type 2 Type 3	XFLBDH#T

注) *1 : #は 1・2・3 で、I_{OL}は 1 : Type 1、2 : Type 2、3 : Type 3 に対応します。

(詳細の値につきましては、表 5-11 を参照してください。)

*2 : N チャネルオープンドレイン双方向バッファについては、表 5-16 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

5.2.4 Fail-Safe セル

5.2.4.1 概要

S1X60000 シリーズ (XF タイプ) の Fail-Safe セルは電源が印加された状態であっても、電源電圧以上の信号をインタフェースすることを可能とします。

また、電源が Cut-Off された状態のまま信号をインタフェースしてもリーク電流が流れないため、これまで以上にデザインの自由度を得ることができるようになります。

(仕様は、LV_{DD} 系のセルになります。)

5.2.4.2 特長

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができます。
- (2) 電源が印加されている状態で、電源電圧以上の入力信号が印加されても入力リーク電流が発生しません。
(ただし、プルアップ抵抗付きの入力バッファあるいは双方向バッファでは、回路の構成上 30 μ A 程度の入力リーク電流は発生します。)
- (3) 電源 Cut-Off した状態で、外部から入力信号が印加されても、入力リークは発生しません。
- (4) 入力レベルは CMOS レベル、CMOS シュミットレベルの 2 種類をリリースしています。
- (5) 完全 CMOS 構造ですので、消費電力を低く抑えられます。

5.2.4.3 使用上の注意点

- (1) 入力 I/O セルについて
 - 抵抗無し、あるいはプルダウン抵抗付きの入力バッファにつきましては、通常の入力バッファがそのまま Fail-Safe セルとして使用できます。
 - プルアップ付きの入力バッファが必要な場合は、必ず Fail-Safe セルを使用してください。
(ただし、回路の構成上 30 μ A 程度の入力リーク電流は発生します。)
- (2) 出力 I/O セルについて
 - 出力バッファが High-Z 状態あるいは、双方向バッファが入力 Mode になっている状態であれば、電源電圧が印加された状態で、電源電圧以上の入力信号が入力されても入力リーク電流は発生しません。
 - 出力 Mode の状態で、電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様、入力リーク電流が発生します。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
(電源電圧以上の“HIGH”レベルが必要な場合は、Open-drain タイプの出力バッファまたは双方向バッファを使用し、外部にてプルアップ抵抗で“HIGH”レベルに引き上げてください。)
- (3) LSI 動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safe セルに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

5.2.4.4 セルー一覧

表 5-17 Fail-Safe 入力バッファ一覧

セル名 ^{*1}	入力レベル	プルアップ抵抗の有無
XFLIBBP#	CMOS	プルアップ抵抗
XFLIBGP#	CMOS シュミット	プルアップ抵抗

注) *1: #は1または2で、プルアップ抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-3 を参照してください。)

表 5-18 Fail-Safe 出力バッファ一覧

Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
3-state output	Type 1 Type 2	XFLTBF#T
3-state output for high speed	Type 3	XFLTBF3AT
3-state output for low noise	Type 3	XFLTBF3BT

注) *1: #は1または2で、I_{OH}/I_{OL}は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-9 を参照してください。)

*2: Fail-Safe 出力バッファについては、表 5-18 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-19 Fail-Safe 双方向バッファ一覧

入力レベル	Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2	XFLBB#T
	Bi-directional output for high speed	Type 3	XFLBB3AT
	Bi-directional output for low noise	Type 3	XFLBB3BT
CMOS シュミット	Bi-directional output	Type 1 Type 2	XFLBG#T
	Bi-directional output for high speed	Type 3	XFLBG3AT
	Bi-directional output for low noise	Type 3	XFLBG3BT

注) *1: #は1または2で、I_{OH}/I_{OL}は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-9 を参照してください。)

*2: Fail-Safe 双方向バッファについては、表 5-19 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

5.2.5 Gated セル

5.2.5.1 概要

S1X60000 シリーズ (XF タイプ) の Gated I/O セルは、プルアップまたはプルダウン回路を使用することなく、これまで不可能であった端子への入力をフロート状態、すなわち High-Z 状態とすることを可能とします。また、高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意されておりますので、デザインに応じて、どちらのレベルで遮断処理を行うか選択が可能です。

(仕様は、HV_{DD} 系のセルになります。)

5.2.5.2 特長

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができますので、デザインに自由度があります。
- (2) 高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。ただし、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。
- (3) プルアップまたはプルダウン回路を使用することなく、入力を High-Z 状態とすることができます。
- (4) Gated I/O セルは回路の構成上、入力レベルは HV_{DD} 系ではなく LV_{DD} 系の CMOS レベルになります。
- (5) コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意されています。
- (6) 完全 CMOS 構造ですので、消費電力を低く抑えられます。

5.2.5.3 使用上の注意点

- (1) Gated I/O セルを使用して入力を High-Z 状態とするときは、端子の入力が High-Z 状態になる前に、Gated I/O セルのコントロールを用いて、遮断操作を行う必要があります。これを行わないで、入力を High-Z 状態にすると、通常タイプのセル同様に大電流が流れ、素子を破壊することになります。逆に、入力が High-Z 状態のままコントロールを用いて、接続操作を行う時も同様です。このような場合のデバイス内部に取り込まれる論理レベルは保証できません。
- (2) Gated I/O セルを使用して高電位側 (HV_{DD}) の電源を Cut-Off するときも、(1) 同様の処理が必要です。この処理を行わなかった場合には、デバイス内部に取り込まれる論理レベルは保証できません。また、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。

5.2.5.4 セル一覧

表 5-20 Gated セル入力バッファ一覧

セル名 ^{*1, *2}	入力レベル	プルアップ/プルダウン抵抗の有無
XFHIBA XFHIBAP# XFHIBAD#	CMOS (AND Type)	なし プルアップ抵抗 プルダウン抵抗
XFHIBO XFHIBOP# XFHIBOD#	CMOS (OR Type)	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2で、プルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-1 を参照してください。)

表 5-21 Gated セル双方向バッファ一覧

入力レベル		Function	I _{OH} /I _{OL}	セル名 ^{*1, *2}
CMOS	AND Type	Bi-directional output	Type 1 Type 2 Type 3	XFHBA#T
		Bi-directional output for high speed	Type 3	XFHBA3AT
		Bi-directional output for low noise	Type 3	XFHBA3BT
	OR Type	Bi-directional output	Type 1 Type 2 Type 3	XFHBO#T
		Bi-directional output for high speed	Type 3	XFHBO3AT
		Bi-directional output for low noise	Type 3	XFHBO3BT

注) *1: #は1・2・3で、I_{OH}/I_{OL}は1: Type 1、2: Type 2、3: Type 3に対応します。
(詳細の値につきましては、表 5-5 を参照してください。)

*2: Gated 双方向バッファについては、表 5-21 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

5.2.6 5V トレラント Fail-Safe セル

5.2.6.1 概要

S1X60000 シリーズ (XF タイプ) の 5V トレラント Fail-Safe セルは、特に専用の電源を設けることなく、5.0V の信号をインタフェースすることを可能とします。

また、HV_{DD}系の電源が Cut-Off された状態でも 5.0V の入力信号を受けることが可能で、これまで以上にデザインの自由度を得ることができます。(ただし、LV_{DD}系の電源は 2.5V または 2.0V の電圧が印加されている必要があります。)

5.2.6.2 特徴

- (1) 使用数や配置に制限はなく、お客さまの必要に応じて配置することができます。
- (2) 特に専用の電源を設けることなく、外部から 5.0V の信号をインタフェースすることが可能です。
- (3) 出力 Mode で “HIGH” レベルを出力しているさいに、外部から 5.0V の信号が印加されても入力リーク電流は発生しません。また、プルアップ抵抗付の入力バッファにおいても、入力リーク電流は発生しません。
- (4) HV_{DD}系の電源を Cut-Off した状態で、5.0V の入力信号が印加されても、入力リーク電流は発生しません。(ただし、LV_{DD}系の電源は 2.5V または 2.0V の電圧が印加されている必要があります。)
- (5) 入力レベルは CMOS レベル、CMOS シュミットレベルの 2 種類をリリースしております。
- (6) 完全 CMOS 構造ですので、消費電力を低く抑えられます。

5.2.6.3 使用上の注意点

- (1) HV_{DD}系の電源を Cut-Off した状態で、5.0V の入力信号を印加する場合は、回路の構成上、LV_{DD}系の電源に必ず 2.5V または 2.0V の電圧を印加してください。
- (2) 入力 I/O セルについて
 - HV_{DD}系の電源を Cut-Off した状態で 5.0V の入力信号を印加するさいは、5.0V の入力信号が印加される前に、コントロール端子 “C” を “LOW” レベルに設定する必要があります。
 - コントロール信号は、Cut-Off モード以外は必ず “HIGH” レベルに設定しておいてください。コントロール信号を “LOW” レベルのまま端子に “LOW” レベルが印加されると、入力バッファ内で貫通電流が流れ続けます。
- (3) 出力 I/O セルについて
 - 回路の構成上 5.0V の “HIGH” レベル信号は出力されません。したがって 5.0V 出力が必要なさいは外部にて 5.0V のプルアップ抵抗を付加してください。

5.2.6.4 セル一覧

表 5-22 5V トレラント Fail-Safe セル入力バッファ一覧

セル名 ^{*1, *2}	入力レベル	プルアップ/プルダウン抵抗の有無
XFHIBB XFHIBBP# XFHIBBD#	CMOS CMOS CMOS	なし プルアップ抵抗 プルダウン抵抗
XFHIBG XFHIBGP# XFHIBGD#	CMOS シュミット CMOS シュミット CMOS シュミット	なし プルアップ抵抗 プルダウン抵抗

注) *1: #は1または2で、プルアップ、プルダウン抵抗値は1: Type 1、2: Type 2に対応します。
(詳細の値につきましては、表 5-1 を参照してください。)

表 5-23 I_{OH} 、 I_{OL} の各電圧における規格値

出力電流の種類	I_{OH}^{*1}/I_{OL}^{*2} ($HV_{DD}=3.3V$)	単位
Type 1	-3/3	mA
Type 2	-6/6	mA
Type 3	-12/12	mA

注) *1: $V_{OH}=HV_{DD}-1.0V$

*2: $V_{OL}=0.4V$

表 5-24 5V トレラント Fail-Safe セル出力バッファ一覧

Function	I_{OH}/I_{OL}	セル名 ^{*1, *2}
Normal output	Type 1 Type 2	XFHOB#T
Normal output for high speed	Type 3	XFHOB#3AT
Normal output for low noise	Type 3	XFHOB#3BT
3-state output	Type 1 Type 2	XFH#T#T
3-state output for high speed	Type 3	XFH#T#3AT
3-state output for low noise	Type 3	XFH#T#3BT

注) *1: #は1または2で、 I_{OH}/I_{OL} は1: Type 1、2: Type 2に対応します。

(詳細の値につきましては、表 5-23 を参照してください。)

*2: 5V トレラント Fail-Safe 出力バッファについては、表 5-24 以外にテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

表 5-25 5V トレラント Fail-Safe セル双方向バッファ一覧

入力レベル	Function	I_{OH}/I_{OL}	セル名 ^{*1, *2}
CMOS	Bi-directional output	Type 1 Type 2	XFHBB#T
	Bi-directional output for high speed	Type 3	XFHBB3AT
	Bi-directional output for low noise	Type 3	XFHBB3BT
CMOS シュミット	Bi-directional output	Type 1 Type 2	XFHBG#T
	Bi-directional output for high speed	Type 3	XFHBG3AT
	Bi-directional output for low noise	Type 3	XFHBG3BT

注) *1 : #は 1 または 2 で、 I_{OH}/I_{OL} は 1 : Type 1、2 : Type 2 に対応します。

(詳細の値につきましては、表 5-23 を参照してください。)

*2 : 5V トレラント Fail-Safe 双方向バッファについては、表 5-25 以外にプルアップ抵抗、プルダウン抵抗が付いた構成やテスト端子のない構成が考えられます。テスト端子のない構成の使用を希望される場合には、弊社営業担当までお問い合わせください。

5.3 2 電源使用時の注意事項

S1X60000 シリーズ (XF タイプ) は 2 電源を供給することにより、入出力バッファごとに 5.0V、3.3V、2.5V、2.0V のいずれかの信号とのインタフェースを可能にしています。内部セル領域は 2.5V あるいは 2.0V の単一電源で動作します。

5.3.1 2 電源対応の方法

S1X60000 シリーズ (XF タイプ) では HV_{DD} 系の入力バッファを使用することにより、内部動作電圧より高い電圧の信号を入力することができます。2 電源用出力バッファを使うことにより内部動作電圧より高い信号を出力することも可能です。

5.3.2 2 電源使用時の電源

異なる 2 種類の電源を与える場合には、HV_{DD} と LV_{DD} の 2 つの電源セルを用います。HV_{DD} は HV_{DD} 系の入出力バッファの電源として使い、LV_{DD} は LV_{DD} 系入出力バッファと内部セル用に使用します。電源電圧は常に次式を満たすことが必要です。

$$HV_{DD} \geq LV_{DD}$$

HV_{DD} < LV_{DD} となった場合の動作保証はできませんので注意してください。動作条件として次の条件を推奨します。

$$HV_{DD} = 3.3V、LV_{DD} = 2.5V$$

$$HV_{DD} = 3.3V、LV_{DD} = 2.0V$$

5.3.3 電源の投入・切断について

2 電源仕様の場合は、下記の順序で電源投入・切断を行ってください。

電源投入時：LV_{DD} (MSI部) オン → HV_{DD} (I/O部) オン → 入力信号オン

電源切断時：入力信号オフ → HV_{DD} (I/O部) オフ → LV_{DD} (MSI部) オフ

注 1) LV_{DD} が切断されている状態で HV_{DD} のみを継続的 (1sec 以上) に印加することは、LSI 信頼性上の問題が生じますので避けてください。また、1sec 以内であっても、下記のような問題を引き起こす事があります。

- ① この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- ② この期間は HV_{DD} 系の回路が不定状態となり、HV_{DD} 系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注 2) HV_{DD} をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行ってください。

5.3.4 外部とのインタフェース

外部の LSI との接続においては、下記表を参考に接続を行ってください。

5.3.4.1 HV_{DD}に電源が供給されている場合

表 5-26 3.3V 系の LSI と接続する場合の例

接続先 LSI	S1X60000 シリーズ	接続の可否	備考
3.3V 系出力バッファ	3.3V 入力バッファ	○	—
	5V トレラント Fail-Safe 入力バッファ	○	—
3.3V 系入力バッファ	3.3V 出力バッファ	○	—
	5V トレラント Fail-Safe 出力バッファ	○	必要に応じて 3.3V への Pull-Up 抵抗を付加してください。
3.3V 双方向バッファ	3.3V 双方向バッファ	○	—
	5V トレラント Fail-Safe 双方向バッファ	○	必要に応じて 3.3V への Pull-Up 抵抗を付加してください。

表 5-27 5.0V 系の LSI と接続する場合の例

接続先 LSI	S1X60000 シリーズ	接続の可否	備考
5.0V 系出力バッファ	3.3V 入力バッファ	×	—
	5V トレラント Fail-Safe 入力バッファ	○	—
5.0V 系入力バッファ	3.3V 出力バッファ	×	ただし、5.0V TTL セルへの接続は可能です。
	5V トレラント Fail-Safe 出力バッファ	○	外部にて 5.0V への Pull-Up 抵抗が必要となります。 (5.0V TTL セルの場合は不要)
5.0V 双方向バッファ	3.3V 双方向バッファ	×	—
	5V トレラント Fail-Safe 双方向バッファ	○	外部にて 5.0V への Pull-Up 抵抗が必要となります。

5.3.4.2 HV_{DD} に電源が供給されていない場合 ($LV_{DD}=2.5V$ または $2.0V$)

なお、ここでは HV_{DD} 電源が Cut-Off されている期間においても、外部の LSI から信号が入力されてくるケースを想定しています。

表 5-28 3.3V 系の LSI と接続する場合の例

接続先 LSI	S1X60000 シリーズ	接続の可否	備考
3.3V 系出力バッファ	3.3V 入力バッファ	○	Gated セルを使用してください。ただし、プルアップ抵抗付きの入力バッファは使用できません。
	LV_{DD} 系 Fail-Safe 入力バッファ	○	ただし、プルアップ抵抗付きの入力バッファでは、 $30\mu A$ 程度の入力リーク電流が流れます。
	5V トレラント Fail-Safe 入力バッファ	○	—
3.3V 双方向バッファ	3.3V 双方向バッファ	×	—
	5V トレラント Fail-Safe 双方向バッファ	○	必要に応じて 3.3V への Pull-Up 抵抗を付加してください。

表 5-29 5.0V 系の LSI と接続する場合の例

接続先 LSI	S1X60000 シリーズ	接続の可否	備考
5.0V 系出力バッファ	3.3V 入力バッファ	×	—
	LV_{DD} 系 Fail-Safe 入力バッファ	×	—
	5V トレラント Fail-Safe 入力バッファ	○	—
5.0V 双方向バッファ	3.3V 双方向バッファ	×	—
	5V トレラント Fail-Safe 双方向バッファ	○	外部にて 5.0V への Pull-Up 抵抗が必要となります。

第6章 メモリブロック

S1X60000 シリーズでは、メモリブロックのサポートを行っております。このメモリブロックにはメモリの容量、機能などにより、以下の種類があります。

- ① Basic Cell タイプ RAM (1ポート、2ポート)、非同期型
- ② Basic Cell タイプ RAM (1ポート、2ポート)、同期型
- ③ スタンダードタイプ 1ポート RAM、同期型
- ④ スタンダードタイプ Dualポート RAM、同期型
- ⑤ 高密度タイプ 1ポート RAM、同期型
- ⑥ マスク ROM、同期型

6.1 Basic Cell タイプ RAM (非同期型)

S1L60000 シリーズでは、1ポート RAM および 2ポート RAM をサポートしています。

6.1.1 特長

- (1) 1ポート RAM
 - クロック非同期型
 - 完全スタティック動作
 - 1リード/ライトアドレスポート、1入力データポート、1出力データポート
 - ワード数は 16ワード刻みで 16Word～512Word、ビット数は 1ビット刻みで 1Bit～64Bit の範囲で構成可能
 - 最大構成：32Kbits/module
- (2) 2ポート RAM
 - クロック非同期型
 - 完全スタティック動作
 - 1リードアドレスポート、1ライトアドレスポート、1入力データポート、1出力データポート
 - ワード数は 16ワード刻みで 16Word～512Word、ビット数は 1ビット刻みで 1Bit～64Bit の範囲で構成可能
 - 最大構成：32Kbits/module

6.1.2 ワードビット構成とシミュレーションモデルとの対応

RAMの遅延パラメータは、ワードビット構成により変化します。したがって、ワードビット構成に対応したシミュレーションモデルを用意しています。

1ポートRAMおよび2ポートRAMのワードビット構成に対応するシミュレーションモデルをそれぞれ表6-1、表6-2に示します。

ワードビットの構成可能範囲を越えるRAMが必要な場合は、複数のRAMを組み合わせて構成してください。

表 6-1 1ポートRAMのワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	16~64	80~128	144~192	208~256	272~320	336~384	400~448	464~512
1~16	RAM1P1	RAM1P5	RAM1P9	RAM1P13	RAM1P17	RAM1P21	RAM1P25	RAM1P29
17~32	RAM1P2	RAM1P6	RAM1P10	RAM1P14	RAM1P18	RAM1P22	RAM1P26	RAM1P30
33~48	RAM1P3	RAM1P7	RAM1P11	RAM1P15	RAM1P19	RAM1P23	RAM1P27	RAM1P31
49~64	RAM1P4	RAM1P8	RAM1P12	RAM1P16	RAM1P20	RAM1P24	RAM1P28	RAM1P32

表 6-2 2ポートRAMのワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	16~64	80~128	144~192	208~256	272~320	336~384	400~448	464~512
1~16	RAM2P1	RAM2P5	RAM2P9	RAM2P13	RAM2P17	RAM2P21	RAM2P25	RAM2P29
17~32	RAM2P2	RAM2P6	RAM2P10	RAM2P14	RAM2P18	RAM2P22	RAM2P26	RAM2P30
33~48	RAM2P3	RAM2P7	RAM2P11	RAM2P15	RAM2P19	RAM2P23	RAM2P27	RAM2P31
49~64	RAM2P4	RAM2P8	RAM2P12	RAM2P16	RAM2P20	RAM2P24	RAM2P28	RAM2P32

6.1.3 RAMサイズ

RAMのX方向サイズ、Y方向サイズおよび使用するBC数は、次の各々の式で計算します。

(1) 1ポートRAM

X方向サイズ： $RX = 3 \times \text{Word} / 2 + 20$

Y方向サイズ： $RY = 2 \times \text{Bit} + 12$ ($16 \leq \text{Word} \leq 256$)

： $RY = 2 \times \text{Bit} + 13$ ($256 < \text{Word} \leq 512$)

BC数： $\text{RAMBCS} = RX \times RY$

表 6-3 1ポートRAMの構成例とBC数

ビット数 ワード数	8	16	32	64
64	3,248 (116×28)	5,104 (116×44)	8,816 (116×76)	16,240 (116×140)
128	5,936 (212×28)	9,328 (212×44)	16,112 (212×76)	29,680 (212×140)
256	11,312 (404×28)	17,776 (404×44)	30,704 (404×76)	56,560 (404×140)
512	22,852 (788×29)	35,460 (788×45)	60,676 (788×77)	111,108 (788×141)

(2) 2ポート RAM

X 方向サイズ : $RX=3 \times \text{Word}/2+20$

Y 方向サイズ : $RY=2 \times \text{Bit}+15$ ($16 \leq \text{Word} \leq 256$)

: $RY=2 \times \text{Bit}+17$ ($256 < \text{Word} \leq 512$)

BC 数 : $\text{RAMBCS}=RX \times RY$

表 6-4 2ポート RAM の構成例と BC 数

ビット数 ワード数	8	16	32	64
64	3,596 (116×31)	5,452 (116×47)	9,164 (116×79)	16,588 (116×143)
128	6,572 (212×31)	9,964 (212×47)	16,748 (212×79)	30,316 (212×143)
256	12,524 (404×31)	18,988 (404×47)	31,916 (404×79)	57,772 (404×143)
512	26,004 (788×33)	38,612 (788×49)	63,828 (788×81)	114,260 (788×145)

6.1.4 RAM の搭載可否判断

RAM を搭載する場合には、搭載しようとするマスタのベーシックセル配列数が X 方向、Y 方向ともに RAM のサイズを上回っている必要があります。

RAM を複数個使用する場合には RAM ブロックどうしを上下左右に隣り合わせるレイアウトになります。前節の計算式には、RAM 周りの配線領域は含めておりませんので、単純に RXSIZE、RYSIZE をそれぞれに足した値で搭載可否を判断することはできません。図 6-1 に示すように x 方向に Bit/2 (小数点切り上げ) BC、Y 方向に上下 1BC の配線領域を加えて搭載可否の目安としてください。

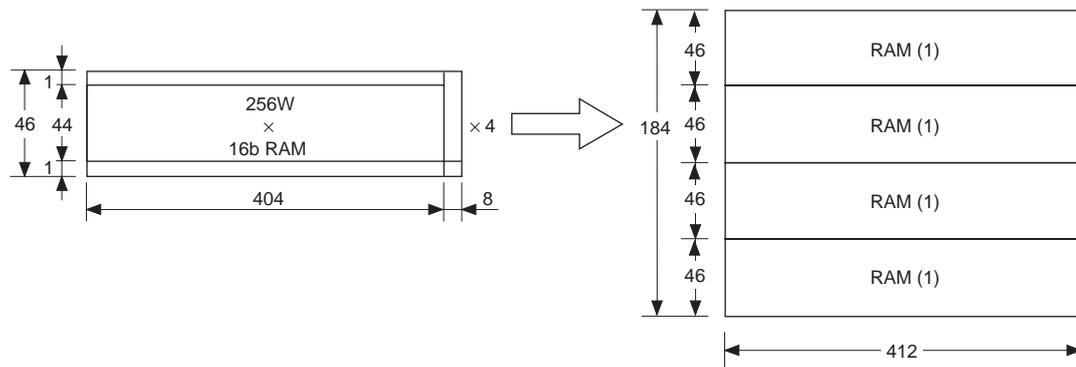


図 6-1 RAM レイアウト例

6.1.5 機能説明

(1) 1ポート RAM

表 6-5-1 1ポート RAM の信号説明

信号名	I/O	FUNCTION
CS	IN	チップセレクト信号、H : RAM アクティブ
RW	IN	リード/ライト信号、H : リード、L : ライト
A0, A1, ..., A (m-1)	IN	リード/ライトアドレスポート、A0 : LSB
D0, D1, ..., D (n-1)	IN	データ入力ポート、D0 : LSB
Y0, Y1, ..., Y (n-1)	OUT	データ出力ポート、Y0 : LSB

表 6-5-2 1ポート RAM の FI、FO

	FI												FO
	A0	A1	A2	A3	A4	A5	A6	A7	A8	CS	RW	D*	Y*
16~64	1LU	1LU	1LU	1LU	1LU	1LU				1LU	1LU	2LU	28.9LU
80~128	1LU			1LU	1LU	2LU	28.9LU						
144~256	1LU	2LU	2LU	2LU	1LU	1LU	1LU	1LU		1LU	1LU	2LU	28.9LU
272~512	1LU	2LU	2LU	2LU	2LU	2LU	2LU	1LU	1LU	1LU	1LU	2LU	28.9LU

Y*の K は IN4 相当

表 6-6 1ポート RAM 真理値表

CS	RW	A0, A1, ..., A (m-1)	Y0, Y,1 ..., Y (n-1)	モード
0	X	X	Unknown	待機
1	0	ステイブル	Unknown	書き込み
1	1	ステイブル	読み出しデータ	読み出し

X : HIGH または LOW

- データの読み出し

データは、CS を “HIGH”、RW を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- (1) CS を “HIGH” に保ち、アドレスをセットし、RW に “LOW” レベルパルスを加える。
- (2) RW を “LOW” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

いずれの場合も、パルスの後エッジにて RAM 内にラッチされます。

- 待機状態

CS が“LOW” の場合には1ポートRAMは待機状態になり、データを保持するだけになります。RAM内での消費電流はリーク電流のみになり、ほぼ“0”になります。

(2) 2ポートRAM

表 6-7-1 2ポートRAMの信号説明

信号名	I/O	Function
CS	IN	チップセレクト信号、H : RAM アクティブ
RD	IN	リード信号、H : リードイネーブル
WR	IN	ライト信号、H : ライトイネーブル
RA0, ... RA (m-1)	IN	リードアドレスポート、RA0 : LSB
WA0, ... WA (m-1)	IN	ライトアドレスポート、WA0 : LSB
D0, D1, ... D (n-1)	IN	データ入力ポート、D0 : LSB
Y0, Y1, ... Y (n-1)	OUT	データ出力ポート、Y0 : LSB

表 6-7-2 2ポートRAMのFI、FO

	FI													FO	
	RA0/ WA0	RA1/ WA1	RA2/ WA2	RA3/ WA3	RA4/ WA4	RA5/ WA5	RA6/ WA6	RA7/ WA7	RA8/ WA8	CS	RD	WR	D*	Y*	
64	1LU	1LU	1LU	1LU	1LU	1LU				1LU	1LU	1LU	2LU	28.9LU	
128	1LU			1LU	1LU	1LU	2LU	28.9LU							
256	1LU	2LU	2LU	2LU	1LU	1LU	1LU	1LU		1LU	1LU	1LU	2LU	28.9LU	
512	1LU	2LU	2LU	2LU	2LU	2.1LU	2LU	1LU	1LU	1LU	1LU	1LU	2LU	28.9LU	

Y*のKはIN4相当

表 6-8 2ポートRAM 真理値表

CS	RD	WR	RA0, ..., RA (n-1)	WA0, ..., WA (m-1)	Y0, ..., Y (n-1)	モード
0	X	X	X	X	Unknown	待機
1	0	0	X	X	Unknown	待機
1	0	1	X	ステイブル	Unknown	書き込み
1	1	0	ステイブル	X	読み出しデータ	読み出し
1	1	1	ステイブル	ステイブル	読み出しデータ	読み書き

X : HIGH または LOW

- データの読み出し

データは、CS を “HIGH”、RD を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- (1) CS を “HIGH” に保ち、アドレスをセットし、WR に “HIGH” レベルパルスを加える。
- (2) WR を “HIGH” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

- データの読み書き

リードアドレスとライトアドレスを用いて、読み出しと書き込みを同時に行うことができます。ただし、同一アドレスへの読み出しと書き込みの同時動作は禁止です。また、6.1.6 節の遅延パラメータに記載されているリードサイクルのアクセスタイムは、すでに書き込みが終了しているデータを対象としています。

- 待機状態

次の 2 とおりの場合には 2 ポート RAM は待機状態になりデータを保持するだけになります。RAM 内での消費電流はリーク電流のみになり、ほぼ ‘0’ になります。

- (1) CS が “LOW” のとき。
- (2) CS が “HIGH”、RD が “LOW”、WR が “LOW” のとき。

6.1.6 遅延パラメータ

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-9 1ポート/2ポート RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	4.605	—	5.239	—	5.519	—	6.203	—	ns
アドレスアクセスタイム	t_{ACC}	—	4.605	—	5.239	—	5.519	—	6.203	
CS アクセスタイム	t_{ACS}	—	4.605	—	5.239	—	5.519	—	6.203	
RW アクセスタイム	t_{ARW}	—	4.605	—	5.239	—	5.519	—	6.203	
CS アクティブタイム	t_{RCS}	4.605	—	5.239	—	5.519	—	6.203	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

表 6-9 1ポート/2ポート RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/RA M2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	5.668	—	6.302	—	6.581	—	7.266	—	ns
アドレスアクセスタイム	t_{ACC}	—	5.668	—	6.302	—	6.581	—	7.266	
CS アクセスタイム	t_{ACS}	—	5.668	—	6.302	—	6.581	—	7.266	
RW アクセスタイム	t_{ARW}	—	5.668	—	6.302	—	6.581	—	7.266	
CS アクティブタイム	t_{RCS}	5.668	—	6.302	—	6.581	—	7.266	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-9 1ポート/2ポート RAM リードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.731	—	7.365	—	7.644	—	8.328	—	ns
アドレスアクセスタイム	t_{ACC}	—	6.731	—	7.365	—	7.644	—	8.328	
CS アクセスタイム	t_{ACS}	—	6.731	—	7.365	—	7.644	—	8.328	
RW アクセスタイム	t_{ARW}	—	6.731	—	7.365	—	7.644	—	8.328	
CS アクティブタイム	t_{RCS}	6.731	—	7.365	—	7.644	—	8.328	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

表 6-9 1ポート/2ポート RAM リードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	7.794	—	8.428	—	8.707	—	9.391	—	ns
アドレスアクセスタイム	t_{ACC}	—	7.794	—	8.428	—	8.707	—	9.391	
CS アクセスタイム	t_{ACS}	—	7.794	—	8.428	—	8.707	—	9.391	
RW アクセスタイム	t_{ARW}	—	7.794	—	8.428	—	8.707	—	9.391	
CS アクティブタイム	t_{RCS}	7.794	—	8.428	—	8.707	—	9.391	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-9 1ポート/2ポート RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.856	—	9.490	—	9.770	—	10.454	—	ns
アドレスアクセスタイム	t_{ACC}	—	8.856	—	9.490	—	9.770	—	10.454	
CS アクセスタイム	t_{ACS}	—	8.856	—	9.490	—	9.770	—	10.454	
RW アクセスタイム	t_{ARW}	—	8.856	—	9.490	—	9.770	—	10.454	
CS アクティブタイム	t_{RCS}	8.856	—	9.490	—	9.770	—	10.454	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

表 6-9 1ポート/2ポート RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	9.919	—	10.553	—	10.832	—	11.517	—	ns
アドレスアクセスタイム	t_{ACC}	—	9.919	—	10.553	—	10.832	—	11.517	
CS アクセスタイム	t_{ACS}	—	9.919	—	10.553	—	10.832	—	11.517	
RW アクセスタイム	t_{ARW}	—	9.919	—	10.553	—	10.832	—	11.517	
CS アクティブタイム	t_{RCS}	9.919	—	10.553	—	10.832	—	11.517	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-9 1ポート/2ポート RAM リードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	10.982	—	11.616	—	11.895	—	12.579	—	ns
アドレスアクセスタイム	t_{ACC}	—	10.982	—	11.616	—	11.895	—	12.579	
CS アクセスタイム	t_{ACS}	—	10.982	—	11.616	—	11.895	—	12.579	
RW アクセスタイム	t_{ARW}	—	10.982	—	11.616	—	11.895	—	12.579	
CS アクティブタイム	t_{RCS}	10.982	—	11.616	—	11.895	—	12.579	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

表 6-9 1ポート/2ポート RAM リードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	12.045	—	12.679	—	12.958	—	13.642	—	ns
アドレスアクセスタイム	t_{ACC}	—	12.045	—	12.679	—	12.958	—	13.642	
CS アクセスタイム	t_{ACS}	—	12.045	—	12.679	—	12.958	—	13.642	
RW アクセスタイム	t_{ARW}	—	12.045	—	12.679	—	12.958	—	13.642	
CS アクティブタイム	t_{RCS}	12.045	—	12.679	—	12.958	—	13.642	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	—	0.153	—	0.212	—	0.272	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	—	0.153	—	0.212	—	0.272	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	—	0.153	—	0.212	—	0.272	—	

(1) 2.5V 仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-10 1ポート/2ポート RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.776	—	3.624	—	4.520	—	5.396	—	ns
ライトパルス幅	t_{WP}	1.347	—	2.223	—	3.101	—	3.977	—	
CS アクティブタイム	t_{WCS}	1.347	—	2.223	—	3.101	—	3.977	—	
アドレスセットアップタイム	t_{AS}	0.481	—	0.481	—	0.481	—	0.481	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.671	—	2.374	—	3.078	—	3.781	—	

表 6-10 1ポート/2ポート RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.924	—	3.799	—	4.677	—	5.553	—	ns
ライトパルス幅	t_{WP}	1.425	—	2.300	—	3.178	—	4.054	—	
CS アクティブタイム	t_{WCS}	1.425	—	2.300	—	3.178	—	4.054	—	
アドレスセットアップタイム	t_{AS}	0.561	—	0.561	—	0.561	—	0.561	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.731	—	2.434	—	3.138	—	3.841	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-10 1ポート/2ポート RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.092	—	3.968	—	4.846	—	5.722	—	ns
ライトパルス幅	t_{WP}	1.513	—	2.389	—	3.267	—	4.143	—	
CS アクティブタイム	t_{WCS}	1.513	—	2.389	—	3.267	—	4.143	—	
アドレスセットアップタイム	t_{AS}	0.641	—	0.641	—	0.641	—	0.641	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.791	—	2.495	—	3.198	—	3.901	—	

表 6-10 1ポート/2ポート RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.273	—	4.148	—	5.026	—	5.902	—	ns
ライトパルス幅	t_{WP}	1.614	—	2.489	—	3.367	—	4.243	—	
CS アクティブタイム	t_{WCS}	1.614	—	2.489	—	3.367	—	4.243	—	
アドレスセットアップタイム	t_{AS}	0.721	—	0.721	—	0.721	—	0.721	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.851	—	2.555	—	3.258	—	3.961	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$, $T_a=-40\sim +85^{\circ}C$)

表 6-10 1ポート/2ポート RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.397	—	4.272	—	5.150	—	6.026	—	ns
ライトパルス幅	t_{WP}	1.679	—	2.554	—	3.432	—	4.308	—	
CS アクティブタイム	t_{WCS}	1.679	—	2.554	—	3.432	—	4.308	—	
アドレスセットアップタイム	t_{AS}	0.780	—	0.780	—	0.780	—	0.780	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.895	—	2.593	—	3.296	—	4.000	—	

表 6-10 1ポート/2ポート RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.558	—	4.443	—	5.311	—	6.188	—	ns
ライトパルス幅	t_{WP}	1.764	—	2.639	—	3.517	—	4.394	—	
CS アクティブタイム	t_{WCS}	1.764	—	2.639	—	3.517	—	4.394	—	
アドレスセットアップタイム	t_{AS}	0.856	—	0.856	—	0.856	—	0.856	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.952	—	2.650	—	3.353	—	4.057	—	

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-10 1ポート/2ポート RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.720	—	4.595	—	5.473	—	6.349	—	ns
ライトパルス幅	t_{WP}	1.850	—	2.725	—	3.603	—	4.479	—	
CS アクティブタイム	t_{WCS}	1.850	—	2.725	—	3.603	—	4.479	—	
アドレスセットアップタイム	t_{AS}	0.932	—	0.932	—	0.932	—	0.932	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.009	—	2.707	—	3.410	—	4.113	—	

表 6-10 1ポート/2ポート RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.880	—	4.755	—	5.633	—	6.509	—	ns
ライトパルス幅	t_{WP}	1.935	—	2.810	—	3.688	—	4.564	—	
CS アクティブタイム	t_{WCS}	1.935	—	2.810	—	3.688	—	4.564	—	
アドレスセットアップタイム	t_{AS}	1.007	—	1.007	—	1.007	—	1.007	—	
アドレスホールドタイム	t_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.066	—	2.764	—	3.467	—	4.170	—	

(2) 2.5V 仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-11 1ポート/2ポート RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	4.356	—	4.956	—	5.220	—	5.868	—	ns
アドレスアクセスタイム	t_{ACC}	—	4.356	—	4.956	—	5.220	—	5.868	
CS アクセスタイム	t_{ACS}	—	4.356	—	4.956	—	5.220	—	5.868	
RW アクセスタイム	t_{ARW}	—	4.356	—	4.956	—	5.220	—	5.868	
CS アクティブタイム	t_{RCS}	4.356	—	4.956	—	5.220	—	5.868	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

表 6-11 1ポート/2ポート RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	5.362	—	5.961	—	6.226	—	6.873	—	ns
アドレスアクセスタイム	t_{ACC}	—	5.362	—	5.961	—	6.226	—	6.873	
CS アクセスタイム	t_{ACS}	—	5.362	—	5.961	—	6.226	—	6.873	
RW アクセスタイム	t_{ARW}	—	5.362	—	5.961	—	6.226	—	6.873	
CS アクティブタイム	t_{RCS}	5.362	—	5.961	—	6.226	—	6.873	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-11 1ポート/2ポートRAMリードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.367	—	6.967	—	7.231	—	7.878	—	ns
アドレスアクセスタイム	t_{ACC}	—	6.367	—	6.967	—	7.231	—	7.878	
CSアクセスタイム	t_{ACS}	—	6.367	—	6.967	—	7.231	—	7.878	
RWアクセスタイム	t_{ARW}	—	6.367	—	6.967	—	7.231	—	7.878	
CSアクティブタイム	t_{RCS}	6.367	—	6.967	—	7.231	—	7.878	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

表 6-11 1ポート/2ポートRAMリードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	7.372	—	7.972	—	8.236	—	8.884	—	ns
アドレスアクセスタイム	t_{ACC}	—	7.372	—	7.972	—	8.236	—	8.884	
CSアクセスタイム	t_{ACS}	—	7.372	—	7.972	—	8.236	—	8.884	
RWアクセスタイム	t_{ARW}	—	7.372	—	7.972	—	8.236	—	8.884	
CSアクティブタイム	t_{RCS}	7.372	—	7.972	—	8.236	—	8.884	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-11 1ポート/2ポート RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.378	—	8.977	—	9.242	—	9.889	—	ns
アドレスアクセスタイム	t_{ACC}	—	8.378	—	8.977	—	9.242	—	9.889	
CS アクセスタイム	t_{ACS}	—	8.378	—	8.977	—	9.242	—	9.889	
RW アクセスタイム	t_{ARW}	—	8.378	—	8.977	—	9.242	—	9.889	
CS アクティブタイム	t_{RCS}	8.378	—	8.977	—	9.242	—	9.889	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

表 6-11 1ポート/2ポート RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	9.383	—	9.983	—	10.247	—	10.894	—	ns
アドレスアクセスタイム	t_{ACC}	—	9.383	—	9.983	—	10.247	—	10.894	
CS アクセスタイム	t_{ACS}	—	9.383	—	9.983	—	10.247	—	10.894	
RW アクセスタイム	t_{ARW}	—	9.383	—	9.983	—	10.247	—	10.894	
CS アクティブタイム	t_{RCS}	9.383	—	9.983	—	10.247	—	10.894	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-11 1ポート/2ポートRAMリードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	10.388	—	10.988	—	11.252	—	11.900	—	ns
アドレスアクセスタイム	t_{ACC}	—	10.388	—	10.988	—	11.252	—	11.900	
CSアクセスタイム	t_{ACS}	—	10.388	—	10.988	—	11.252	—	11.900	
RWアクセスタイム	t_{ARW}	—	10.388	—	10.988	—	11.252	—	11.900	
CSアクティブタイム	t_{RCS}	10.388	—	10.988	—	11.252	—	11.900	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

表 6-11 1ポート/2ポートRAMリードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	11.394	—	11.993	—	12.257	—	12.905	—	ns
アドレスアクセスタイム	t_{ACC}	—	11.394	—	11.993	—	12.257	—	12.905	
CSアクセスタイム	t_{ACS}	—	11.394	—	11.993	—	12.257	—	12.905	
RWアクセスタイム	t_{ARW}	—	11.394	—	11.993	—	12.257	—	12.905	
CSアクティブタイム	t_{RCS}	11.394	—	11.993	—	12.257	—	12.905	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.099	—	0.163	—	0.226	—	0.289	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.099	—	0.163	—	0.226	—	0.289	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.099	—	0.163	—	0.226	—	0.289	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-12 1ポート/2ポート RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.617	—	3.444	—	4.275	—	5.104	—	ns
ライトパルス幅	t_{WP}	1.275	—	2.102	—	2.933	—	3.762	—	
CS アクティブタイム	t_{WCS}	1.275	—	2.102	—	2.933	—	3.762	—	
アドレスセットアップタイム	t_{AS}	0.455	—	0.455	—	0.455	—	0.455	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.581	—	2.246	—	2.911	—	3.577	—	

表 6-12 1ポート/2ポート RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.766	—	3.594	—	4.424	—	5.253	—	ns
ライトパルス幅	t_{WP}	1.348	—	2.176	—	3.006	—	3.835	—	
CS アクティブタイム	t_{WCS}	1.348	—	2.176	—	3.006	—	3.835	—	
アドレスセットアップタイム	t_{AS}	0.531	—	0.531	—	0.531	—	0.531	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.638	—	2.303	—	2.968	—	3.633	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-12 1ポート/2ポート RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.926	—	3.754	—	4.584	—	5.413	—	ns
ライトパルス幅	t_{WP}	1.432	—	2.260	—	3.090	—	3.919	—	
CS アクティブタイム	t_{WCS}	1.432	—	2.260	—	3.090	—	3.919	—	
アドレスセットアップタイム	t_{AS}	0.607	—	0.607	—	0.607	—	0.607	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.694	—	2.360	—	3.025	—	3.690	—	

表 6-12 1ポート/2ポート RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.096	—	3.923	—	4.754	—	5.583	—	ns
ライトパルス幅	t_{WP}	1.527	—	2.354	—	3.185	—	4.014	—	
CS アクティブタイム	t_{WCS}	1.527	—	2.354	—	3.185	—	4.014	—	
アドレスセットアップタイム	t_{AS}	0.682	—	0.682	—	0.682	—	0.682	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.751	—	2.416	—	3.082	—	3.747	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$, $T_a=0\sim +70^{\circ}C$)

表 6-12 1ポート/2ポート RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.213	—	4.041	—	4.872	—	5.701	—	ns
ライトパルス幅	t_{WP}	1.588	—	2.416	—	3.247	—	4.076	—	
CS アクティブタイム	t_{WCS}	1.588	—	2.416	—	3.247	—	4.076	—	
アドレスセットアップタイム	t_{AS}	0.738	—	0.738	—	0.738	—	0.738	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.793	—	2.453	—	3.118	—	3.784	—	

表 6-12 1ポート/2ポート RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.366	—	4.194	—	5.024	—	5.853	—	ns
ライトパルス幅	t_{WP}	1.669	—	2.497	—	3.327	—	4.156	—	
CS アクティブタイム	t_{WCS}	1.669	—	2.497	—	3.327	—	4.156	—	
アドレスセットアップタイム	t_{AS}	0.810	—	0.810	—	0.810	—	0.810	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.847	—	2.507	—	3.172	—	3.837	—	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-12 1ポート/2ポート RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.518	—	4.345	—	5.176	—	6.005	—	ns
ライトパルス幅	t_{WP}	1.750	—	2.577	—	3.408	—	4.237	—	
CS アクティブタイム	t_{WCS}	1.750	—	2.577	—	3.408	—	4.237	—	
アドレスセットアップタイム	t_{AS}	0.881	—	0.881	—	0.881	—	0.881	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.900	—	2.560	—	3.226	—	3.891	—	

表 6-12 1ポート/2ポート RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.670	—	4.498	—	5.329	—	6.157	—	ns
ライトパルス幅	t_{WP}	1.830	—	2.658	—	3.489	—	4.317	—	
CS アクティブタイム	t_{WCS}	1.830	—	2.658	—	3.489	—	4.317	—	
アドレスセットアップタイム	t_{AS}	0.953	—	0.953	—	0.953	—	0.953	—	
アドレスホールドタイム	t_{AH}	0.887	—	0.887	—	0.887	—	0.887	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.954	—	2.614	—	3.280	—	3.945	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$, $T_a=-40\sim +85^{\circ}C$)

表 6-13 1ポート/2ポート RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.804	—	7.736	—	8.134	—	9.109	—	ns
アドレスアクセスタイム	t_{ACC}	—	6.804	—	7.736	—	8.134	—	9.109	
CS アクセスタイム	t_{ACS}	—	6.804	—	7.736	—	8.134	—	9.109	
RW アクセスタイム	t_{ARW}	—	6.804	—	7.736	—	8.134	—	9.109	
CS アクティブタイム	t_{RCS}	6.804	—	7.736	—	8.134	—	9.109	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 6-13 1ポート/2ポート RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.450	—	9.382	—	9.781	—	10.755	—	ns
アドレスアクセスタイム	t_{ACC}	—	8.450	—	9.382	—	9.781	—	10.755	
CS アクセスタイム	t_{ACS}	—	8.450	—	9.382	—	9.781	—	10.755	
RW アクセスタイム	t_{ARW}	—	8.450	—	9.382	—	9.781	—	10.755	
CS アクティブタイム	t_{RCS}	8.450	—	9.382	—	9.781	—	10.755	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-13 1ポート/2ポートRAMリードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	10.096	—	11.028	—	11.427	—	12.402	—	ns
アドレスアクセスタイム	t_{ACC}	—	10.096	—	11.028	—	11.427	—	12.402	
CSアクセスタイム	t_{ACS}	—	10.096	—	11.028	—	11.427	—	12.402	
RWアクセスタイム	t_{ARW}	—	10.096	—	11.028	—	11.427	—	12.402	
CSアクティブタイム	t_{RCS}	10.096	—	11.028	—	11.427	—	12.402	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 6-13 1ポート/2ポートRAMリードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	11.743	—	12.675	—	13.074	—	14.048	—	ns
アドレスアクセスタイム	t_{ACC}	—	11.743	—	12.675	—	13.074	—	14.048	
CSアクセスタイム	t_{ACS}	—	11.743	—	12.675	—	13.074	—	14.048	
RWアクセスタイム	t_{ARW}	—	11.743	—	12.675	—	13.074	—	14.048	
CSアクティブタイム	t_{RCS}	11.743	—	12.675	—	13.074	—	14.048	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-13 1ポート/2ポート RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	13.389	—	14.321	—	14.720	—	15.694	—	ns
アドレスアクセスタイム	t_{ACC}	—	13.389	—	14.321	—	14.720	—	15.694	
CS アクセスタイム	t_{ACS}	—	13.389	—	14.321	—	14.720	—	15.694	
RW アクセスタイム	t_{ARW}	—	13.389	—	14.321	—	14.720	—	15.694	
CS アクティブタイム	t_{RCS}	13.389	—	14.321	—	14.720	—	15.694	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 6-13 1ポート/2ポート RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	15.036	—	15.967	—	16.366	—	17.341	—	ns
アドレスアクセスタイム	t_{ACC}	—	15.036	—	15.967	—	16.366	—	17.341	
CS アクセスタイム	t_{ACS}	—	15.036	—	15.967	—	16.366	—	17.341	
RW アクセスタイム	t_{ARW}	—	15.036	—	15.967	—	16.366	—	17.341	
CS アクティブタイム	t_{RCS}	15.036	—	15.967	—	16.366	—	17.341	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-13 1ポート/2ポート RAM リードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	16.682	—	17.614	—	18.013	—	18.987	—	ns
アドレスアクセスタイム	t_{ACC}	—	16.682	—	17.614	—	18.013	—	18.987	
CS アクセスタイム	t_{ACS}	—	16.682	—	17.614	—	18.013	—	18.987	
RW アクセスタイム	t_{ARW}	—	16.682	—	17.614	—	18.013	—	18.987	
CS アクティブタイム	t_{RCS}	16.682	—	17.614	—	18.013	—	18.987	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 6-13 1ポート/2ポート RAM リードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	18.328	—	19.260	—	19.659	—	20.633	—	ns
アドレスアクセスタイム	t_{ACC}	—	18.328	—	19.260	—	19.659	—	20.633	
CS アクセスタイム	t_{ACS}	—	18.328	—	19.260	—	19.659	—	20.633	
RW アクセスタイム	t_{ARW}	—	18.328	—	19.260	—	19.659	—	20.633	
CS アクティブタイム	t_{RCS}	18.328	—	19.260	—	19.659	—	20.633	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-14 1ポート/2ポート RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.807	—	6.341	—	7.878	—	9.413	—	ns
ライトパルス幅	t_{WP}	2.720	—	4.254	—	5.791	—	7.326	—	
CS アクティブタイム	t_{WCS}	2.720	—	4.254	—	5.791	—	7.326	—	
アドレスセットアップタイム	t_{AS}	0.696	—	0.696	—	0.696	—	0.696	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.652	—	3.712	—	4.773	—	5.834	—	

表 6-14 1ポート/2ポート RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.008	—	6.542	—	8.079	—	9.614	—	ns
ライトパルス幅	t_{WP}	2.822	—	4.356	—	5.893	—	7.428	—	
CS アクティブタイム	t_{WCS}	2.822	—	4.356	—	5.893	—	7.428	—	
アドレスセットアップタイム	t_{AS}	0.795	—	0.795	—	0.795	—	0.795	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.744	—	3.804	—	4.866	—	5.926	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-14 1ポート/2ポート RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.238	—	6.772	—	8.309	—	9.844	—	ns
ライトパルス幅	t_{WP}	2.953	—	4.487	—	6.024	—	7.559	—	
CS アクティブタイム	t_{WCS}	2.953	—	4.487	—	6.024	—	7.559	—	
アドレスセットアップタイム	t_{AS}	0.894	—	0.894	—	0.894	—	0.894	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.836	—	3.897	—	4.958	—	6.019	—	

表 6-14 1ポート/2ポート RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.497	—	7.031	—	8.568	—	10.103	—	ns
ライトパルス幅	t_{WP}	3.113	—	4.647	—	6.184	—	7.719	—	
CS アクティブタイム	t_{WCS}	3.113	—	4.647	—	6.184	—	7.719	—	
アドレスセットアップタイム	t_{AS}	0.993	—	0.993	—	0.993	—	0.993	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.928	—	3.989	—	5.050	—	6.111	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-14 1ポート/2ポート RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.711	—	7.245	—	8.752	—	10.317	—	ns
ライトパルス幅	t_{WP}	3.223	—	4.757	—	6.294	—	7.829	—	
CS アクティブタイム	t_{WCS}	3.223	—	4.757	—	6.294	—	7.829	—	
アドレスセットアップタイム	t_{AS}	1.097	—	1.097	—	1.097	—	1.097	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.009	—	4.069	—	5.131	—	6.191	—	

表 6-14 1ポート/2ポート RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.941	—	7.475	—	9.012	—	10.547	—	ns
ライトパルス幅	t_{WP}	3.353	—	4.887	—	6.424	—	7.959	—	
CS アクティブタイム	t_{WCS}	3.353	—	4.887	—	6.424	—	7.959	—	
アドレスセットアップタイム	t_{AS}	1.197	—	1.197	—	1.197	—	1.197	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.098	—	4.159	—	5.220	—	6.281	—	

(3) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$)

表 6-14 1ポート/2ポート RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	6.171	—	7.705	—	9.242	—	10.777	—	ns
ライトパルス幅	t_{WP}	3.483	—	5.017	—	6.554	—	8.089	—	
CS アクティブタイム	t_{WCS}	3.483	—	5.017	—	6.554	—	8.089	—	
アドレスセットアップタイム	t_{AS}	1.297	—	1.297	—	1.297	—	1.297	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.188	—	4.249	—	5.310	—	6.371	—	

表 6-14 1ポート/2ポート RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	6.400	—	7.934	—	9.471	—	11.006	—	ns
ライトパルス幅	t_{WP}	3.613	—	5.147	—	6.684	—	8.219	—	
CS アクティブタイム	t_{WCS}	3.613	—	5.147	—	6.684	—	8.219	—	
アドレスセットアップタイム	t_{AS}	1.396	—	1.396	—	1.396	—	1.396	—	
アドレスホールドタイム	t_{AH}	1.391	—	1.391	—	1.391	—	1.391	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.278	—	4.339	—	5.400	—	6.461	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-15 1ポート/2ポート RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.455	—	7.339	—	7.717	—	8.642	—	ns
アドレスアクセスタイム	t_{ACC}	—	6.455	—	7.339	—	7.717	—	8.642	
CS アクセスタイム	t_{ACS}	—	6.455	—	7.339	—	7.717	—	8.642	
RW アクセスタイム	t_{ARW}	—	6.455	—	7.339	—	7.717	—	8.642	
CS アクティブタイム	t_{RCS}	6.455	—	7.339	—	7.717	—	8.642	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

表 6-15 1ポート/2ポート RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.017	—	8.901	—	9.279	—	10.204	—	ns
アドレスアクセスタイム	t_{ACC}	—	8.017	—	8.901	—	9.279	—	10.204	
CS アクセスタイム	t_{ACS}	—	8.017	—	8.901	—	9.279	—	10.204	
RW アクセスタイム	t_{ARW}	—	8.017	—	8.901	—	9.279	—	10.204	
CS アクティブタイム	t_{RCS}	8.017	—	8.901	—	9.279	—	10.204	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-15 1ポート/2ポートRAMリードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	9.579	—	10.463	—	10.841	—	11.766	—	ns
アドレスアクセスタイム	t_{ACC}	—	9.579	—	10.463	—	10.841	—	11.766	
CSアクセスタイム	t_{ACS}	—	9.579	—	10.463	—	10.841	—	11.766	
RWアクセスタイム	t_{ARW}	—	9.579	—	10.463	—	10.841	—	11.766	
CSアクティブタイム	t_{RCS}	9.579	—	10.463	—	10.841	—	11.766	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

表 6-15 1ポート/2ポートRAMリードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	11.141	—	12.025	—	12.403	—	13.328	—	ns
アドレスアクセスタイム	t_{ACC}	—	11.141	—	12.025	—	12.403	—	13.328	
CSアクセスタイム	t_{ACS}	—	11.141	—	12.025	—	12.403	—	13.328	
RWアクセスタイム	t_{ARW}	—	11.141	—	12.025	—	12.403	—	13.328	
CSアクティブタイム	t_{RCS}	11.141	—	12.025	—	12.403	—	13.328	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-15 1ポート/2ポート RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	12.703	—	13.587	—	13.965	—	14.889	—	ns
アドレスアクセスタイム	t_{ACC}	—	12.703	—	13.587	—	13.965	—	14.889	
CS アクセスタイム	t_{ACS}	—	12.703	—	13.587	—	13.965	—	14.889	
RW アクセスタイム	t_{ARW}	—	12.703	—	13.587	—	13.965	—	14.889	
CS アクティブタイム	t_{RCS}	12.703	—	13.587	—	13.965	—	14.889	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

表 6-15 1ポート/2ポート RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	14.264	—	15.149	—	15.527	—	16.451	—	ns
アドレスアクセスタイム	t_{ACC}	—	14.264	—	15.149	—	15.527	—	16.451	
CS アクセスタイム	t_{ACS}	—	14.264	—	15.149	—	15.527	—	16.451	
RW アクセスタイム	t_{ARW}	—	14.264	—	15.149	—	15.527	—	16.451	
CS アクティブタイム	t_{RCS}	14.264	—	15.149	—	15.527	—	16.451	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-15 1ポート/2ポートRAMリードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	15.826	—	16.711	—	17.089	—	18.013	—	ns
アドレスアクセスタイム	t_{ACC}	—	15.826	—	16.711	—	17.089	—	18.013	
CSアクセスタイム	t_{ACS}	—	15.826	—	16.711	—	17.089	—	18.013	
RWアクセスタイム	t_{ARW}	—	15.826	—	16.711	—	17.089	—	18.013	
CSアクティブタイム	t_{RCS}	15.826	—	16.711	—	17.089	—	18.013	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

表 6-15 1ポート/2ポートRAMリードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	17.388	—	18.272	—	18.651	—	19.575	—	ns
アドレスアクセスタイム	t_{ACC}	—	17.388	—	18.272	—	18.651	—	19.575	
CSアクセスタイム	t_{ACS}	—	17.388	—	18.272	—	18.651	—	19.575	
RWアクセスタイム	t_{ARW}	—	17.388	—	18.272	—	18.651	—	19.575	
CSアクティブタイム	t_{RCS}	17.388	—	18.272	—	18.651	—	19.575	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.192	—	0.271	—	0.351	—	0.430	—	
CSディスエーブル後 出力ホールドタイム	t_{OHCS}	0.192	—	0.271	—	0.351	—	0.430	—	
RWディスエーブル後 出力ホールドタイム	t_{OHRW}	0.192	—	0.271	—	0.351	—	0.430	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-16 1ポート/2ポート RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.560	—	6.016	—	7.474	—	8.930	—	ns
ライトパルス幅	t_{WP}	2.580	—	4.036	—	5.494	—	6.950	—	
CS アクティブタイム	t_{WCS}	2.580	—	4.036	—	5.494	—	6.950	—	
アドレスセットアップタイム	t_{AS}	0.661	—	0.661	—	0.661	—	0.661	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.516	—	3.522	—	4.529	—	5.535	—	

表 6-16 1ポート/2ポート RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.750	—	6.206	—	7.664	—	9.120	—	ns
ライトパルス幅	t_{WP}	2.677	—	4.133	—	5.591	—	7.047	—	
CS アクティブタイム	t_{WCS}	2.677	—	4.133	—	5.591	—	7.047	—	
アドレスセットアップタイム	t_{AS}	0.754	—	0.754	—	0.754	—	0.754	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.603	—	3.609	—	4.616	—	5.623	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-16 1ポート/2ポート RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.969	—	6.424	—	7.882	—	9.338	—	ns
ライトパルス幅	t_{WP}	2.802	—	4.257	—	5.715	—	7.171	—	
CS アクティブタイム	t_{WCS}	2.802	—	4.257	—	5.715	—	7.171	—	
アドレスセットアップタイム	t_{AS}	0.848	—	0.848	—	0.848	—	0.848	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.691	—	3.697	—	4.704	—	5.710	—	

表 6-16 1ポート/2ポート RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.214	—	6.670	—	8.128	—	9.584	—	ns
ライトパルス幅	t_{WP}	2.953	—	4.409	—	5.867	—	7.323	—	
CS アクティブタイム	t_{WCS}	2.953	—	4.409	—	5.867	—	7.323	—	
アドレスセットアップタイム	t_{AS}	0.942	—	0.942	—	0.942	—	0.942	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.778	—	3.784	—	4.791	—	5.798	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-16 1ポート/2ポート RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5,418	—	6,873	—	8,331	—	9,788	—	ns
ライトパルス幅	t_{WP}	3,058	—	4,513	—	5,971	—	7,428	—	
CS アクティブタイム	t_{WCS}	3,058	—	4,513	—	5,971	—	7,428	—	
アドレスセットアップタイム	t_{AS}	1,041	—	1,041	—	1,041	—	1,041	—	
アドレスホールドタイム	t_{AH}	1,319	—	1,319	—	1,319	—	1,319	—	
データセットアップタイム	t_{DS}	0,000	—	0,000	—	0,000	—	0,000	—	
データホールドタイム	t_{DH}	2,854	—	3,860	—	4,867	—	5,874	—	

表 6-16 1ポート/2ポート RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5,635	—	7,091	—	8,549	—	10,005	—	ns
ライトパルス幅	t_{WP}	3,181	—	4,637	—	6,095	—	7,551	—	
CS アクティブタイム	t_{WCS}	3,181	—	4,637	—	6,095	—	7,551	—	
アドレスセットアップタイム	t_{AS}	1,135	—	1,135	—	1,135	—	1,135	—	
アドレスホールドタイム	t_{AH}	1,319	—	1,319	—	1,319	—	1,319	—	
データセットアップタイム	t_{DS}	0,000	—	0,000	—	0,000	—	0,000	—	
データホールドタイム	t_{DH}	2,940	—	3,946	—	4,953	—	5,959	—	

(4) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$)

表 6-16 1ポート/2ポート RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.853	—	7.309	—	8.767	—	10.223	—	ns
ライトパルス幅	t_{WP}	3.304	—	4.760	—	6.218	—	7.674	—	
CS アクティブタイム	t_{WCS}	3.304	—	4.760	—	6.218	—	7.674	—	
アドレスセットアップタイム	t_{AS}	1.230	—	1.230	—	1.230	—	1.230	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.025	—	4.031	—	5.038	—	6.044	—	

表 6-16 1ポート/2ポート RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	6.071	—	7.527	—	8.985	—	10.441	—	ns
ライトパルス幅	t_{WP}	3.427	—	4.883	—	6.341	—	7.797	—	
CS アクティブタイム	t_{WCS}	3.427	—	4.883	—	6.341	—	7.797	—	
アドレスセットアップタイム	t_{AS}	1.325	—	1.325	—	1.325	—	1.325	—	
アドレスホールドタイム	t_{AH}	1.319	—	1.319	—	1.319	—	1.319	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	3.110	—	4.116	—	5.123	—	6.130	—	

6.1.7 タイミングチャート

(1) 1ポート RAM

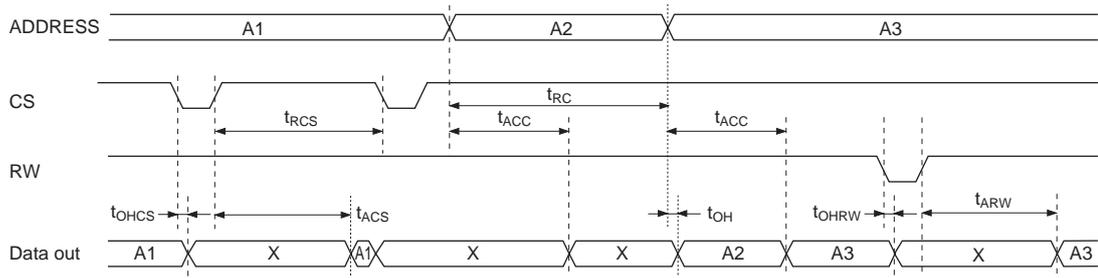


図 6-2 リードサイクル

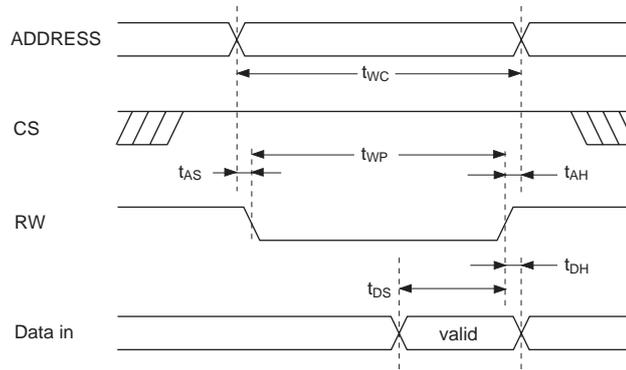


図 6-3 ライトサイクル (RW 制御)

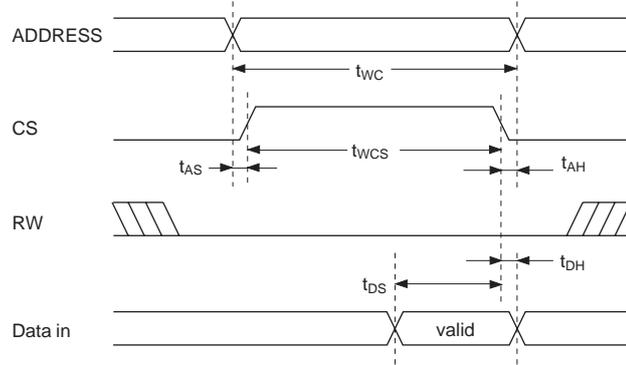


図 6-4 ライトサイクル (CS 制御)

(2) 2ポートRAM

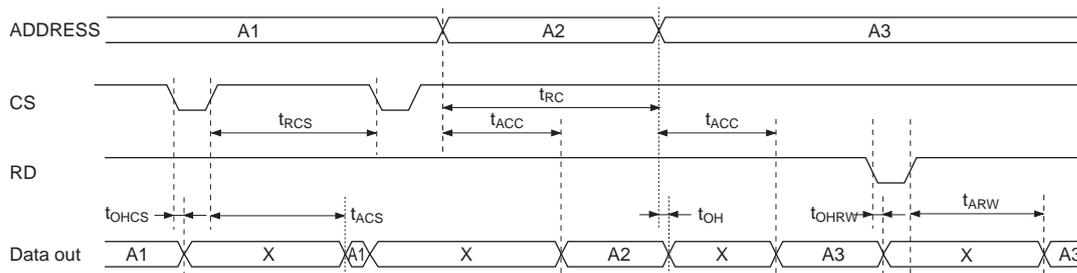


図 6-5 リードサイクル

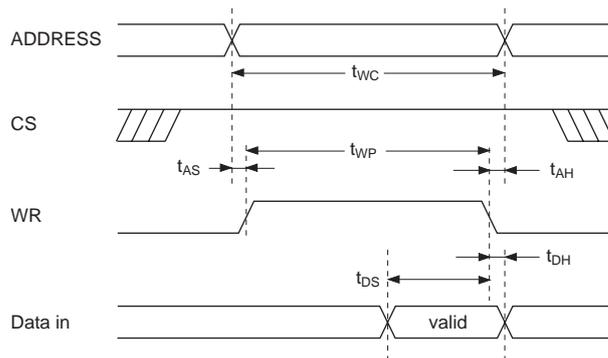


図 6-6 ライトサイクル (WR 制御)

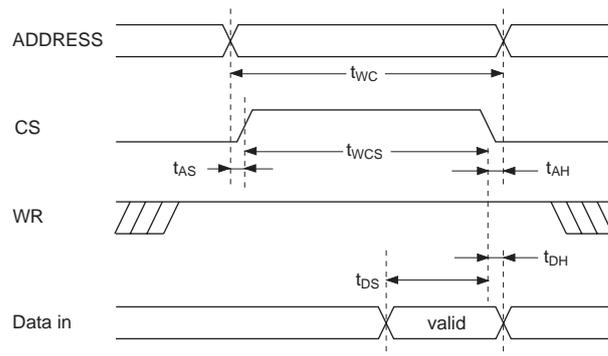


図 6-7 ライトサイクル (CS 制御)

6.2 Basic Cell タイプ RAM（同期型）

S1X60000 シリーズでは、6.1 項に記載のクロック非同期型 RAM に加えて、クロック同期型の RAM をサポートしています。チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。

6.2.1 特長

- クロック同期型 1 ポート RAM および 2 ポート RAM を用意。
- チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能
- データの入力ポートと出力ポートは分離
- ワード数は 4Word 刻みで 16 から 256Word、ビット数は 1Bit 刻みで 1~32Bit の範囲で構成可能
- 最大構成：8Kbits/module

6.2.2 RAM のワードビット構成とセル名との対応

クロック同期型 RAM の遅延パラメータは、Word/Bit 構成により変化します。したがって、Word/Bit 構成に対応したセルを個別にご用意しております。クロック同期型 RAM をご使用のさいは、ご使用いただく RAM の 1 ポート/2 ポート、Word/Bit 構成を弊社営業担当者までお知らせください。

1 ポート RAM および 2 ポート RAM の代表的な Word/Bit 構成に対応するセル名を、それぞれ表 6-17、表 6-18 に示します。同期型 RAM のセル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

1port RAM “SJ XXX YY”

2port RAM “SK XXX YY” XXX:Word 数（16 進数）、YY : Bit 数（16 進数）

Word/Bit 構成が構成可能範囲を超える同期型 RAM が必要な場合は、複数個の同期型 RAM を組み合わせて構成してください。

表 6-17 1 ポート RAM（クロック同期型）の Word/Bit 構成によるセル名対応表

	64Word	128Word	192Word	256Word
8Bit	SJ04008	SJ08008	SJ0C008	SJ10008
16Bit	SJ04010	SJ08010	SJ0C010	SJ10010
24Bit	SJ04018	SJ08018	SJ0C018	SJ10018
32Bit	SJ04020	SJ08020	SJ0C020	SJ10020

表 6-18 2 ポート RAM（クロック同期型）の Word/Bit 構成によるセル名対応表

	64Word	128Word	192Word	256Word
8Bit	SK04008	SK08008	SK0C008	SK10008
16Bit	SK04010	SK08010	SK0C010	SK10010
24Bit	SK04018	SK08018	SK0C018	SK10018
32Bit	SK04020	SK08020	SK0C020	SK10020

6.2.3 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用するベーシックセル数は次の各々の式で計算します。

(1) 1ポート RAM

$$\text{X 方向サイズ} : \text{RX} = \frac{27 + 7 \times \text{Word 数}}{4} + 8$$

$$\text{Y 方向サイズ} : \text{RY} = \frac{\alpha + 7 + \text{Bit 数} \times 2}{2} + 2$$

$$\text{ベーシックセル数} : \text{RAMBCS} = \text{RX} \times \text{RY}$$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 3、 $36 \leq \text{Word 数} \leq 256$ の場合 : 4

表 6-19 1ポート RAM の構成例とベーシックセル数

	8Bit	16Bit	24Bit	32Bit
32Word	2,548	4,004	5,460	6,916
64Word	4,263	6,615	8,967	11,319
128Word	7,511	11,655	15,799	19,943
256Word	14,007	21,735	29,463	37,191

(2) 2ポート RAM

$$\text{X 方向サイズ} : \text{RX} = \frac{24 + 7 \times \text{Word 数}}{4} + 8$$

$$\text{Y 方向サイズ} : \text{RY} = \frac{\alpha + 7 + \text{Bit 数} \times 2}{2} + 2$$

$$\text{ベーシックセル数} : \text{RAMBCS} = \text{RX} \times \text{RY}$$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 4、 $36 \leq \text{Word 数} \leq 256$ の場合 : 6

表 6-20 2ポート RAM の構成例とベーシックセル数

	8Bit	16Bit	24Bit	32Bit
32Word	2,552	3,960	5,368	6,776
64Word	4,464	6,768	9,072	11,376
128Word	7,936	12,032	16,128	20,224
256Word	14,880	22,560	30,240	37,920

6.2.4 RAM の搭載可否判断

RAM (クロック同期型) の各マスタへの搭載可否判断については、6.1.4 項の記述内容をご参照ください。

6.2.5 機能説明

6.2.5.1 1ポートRAM（クロック同期型）

(1) 入出力信号とブロック図

表 6-21 1ポートRAM（クロック同期型）の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	クロック入力（CK）の立ち上がりエッジ（L→H）でチップ選択（XCS）、ライトイネーブル（XWE）、アドレス入力（A0～An）、データ入力（D0～Dn）をラッチし、RAM 内部にとりこみます。
XCS	チップ選択	クロック入力（CK）の立ち上がりエッジでラッチされます。ラッチされた値がLの時に動作を開始します。
XWE	ライトイネーブル	クロック入力（CK）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は書き込み、Hの時は読み出し動作を行いません。
A0～An	アドレス入力	クロック入力（CK）の立ち上がりエッジでラッチされます。
D0～Dn	データ入力	クロック入力（CK）の立ち上がりエッジでラッチされます。ライトイネーブル（XWE）がLの時メモリセルに書き込まれます。
Y0～Yn	データ出力	読み出し時にはクロック入力（CK）の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時には書き込みデータがCKに同期してこの端子に出力されます。よって、書き込み時には先にリードされたデータが保持されないことにご注意ください。

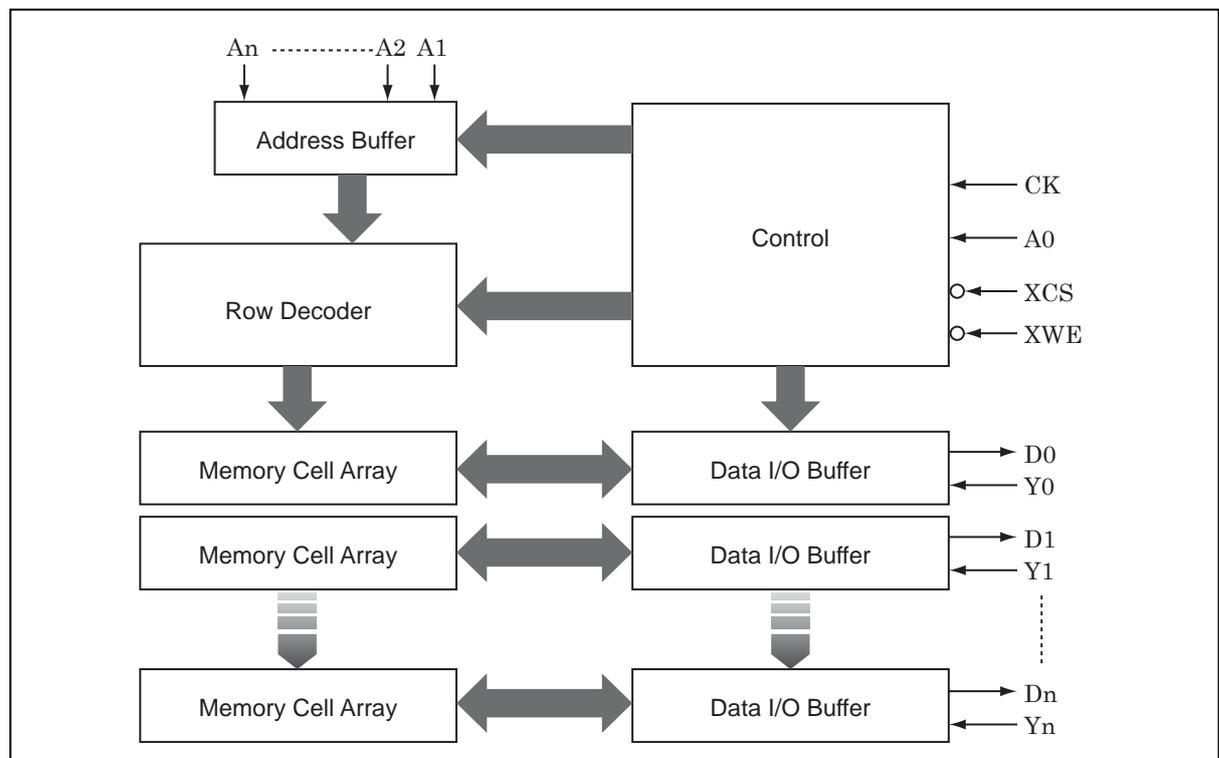


図 6-8 1ポートRAM（クロック同期型）のブロック図

(2) 動作説明

書き込みはクロック入力（CK）が立ち上がる前に、チップ選択（XCS）、ライトイネーブル（XWE）をイネーブル（L）にし、アドレス入力（A0～An）とデータ入力（D0～Dn）をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力、データ入力のすべての信号がラッチされ書き込み動作を開始します。クロック入力の次の立ち上がりまではデータ出力端子（Y0～Yn）から書き込みデータが出力されます。

読み出しはクロック入力（CK）が立ち上がる前に、チップ選択（XCS）をイネーブル（L）に、ライトイネーブル（XWE）をディセーブル（H）にし、アドレス入力（A0～An）をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータが出力端子（Y0～Yn）から出力されます。

表 6-22 1ポートRAM（クロック同期型）の動作真理値表

CK	XCS	XWE	出力の状態	動作モード
L→H	L	H	Read Data	読み出し
L→H	L	L	Write Data	書き込み
L→H	H	L or H	Data Hold	スタンバイ

6.2.5.2 2ポートRAM（クロック同期型）

(1) 入出力信号とブロック図

第1ポートは書き込み、第2ポートは読み出し専用です。ポートごとにクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

第1ポートのライトイネーブル（XWA）、第2ポートのリードイネーブル（XRB）がともに‘H’をラッチしている時はスタンバイ状態となります。

表 6-23 2ポートRAM（クロック同期型）の信号説明

第1ポート用信号（書き込み専用）

入出力信号		機能説明
記号	名前	
CKA	クロック入力	クロック入力（CKA）の立ち上がりエッジ（L→H）でライトイネーブル（XWA）、アドレス入力（AA0～AA _n ）、データ入力（D0～D _n ）をラッチし、RAM 内部にとりこみます。
XWA	ライトイネーブル	クロック入力（CKA）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は書き込み動作を行いません。
AA0～AA _n	アドレス入力	クロック入力（CKA）の立ち上がりエッジでラッチされます。
D0～D _n	データ入力	クロック入力（CKA）の立ち上がりエッジでラッチされます。ライトイネーブル（XWA）がLの時メモリセルに書き込まれます。

第2ポート用信号（読み出し専用）

入出力信号		機能説明
記号	名前	
CKB	クロック入力	クロック入力（CKB）の立ち上がりエッジ（L→H）でリードイネーブル（XRB）、アドレス入力（AB0～AB _n ）をラッチし、RAM 内部にとりこみます。
XRB	リードイネーブル	クロック入力（CKB）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は読み出し動作を行いません。
AB0～AB _n	アドレス入力	クロック入力（CKB）の立ち上がりエッジでラッチされます。
Y0～Y _n	データ出力	クロック入力（CKB）の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。

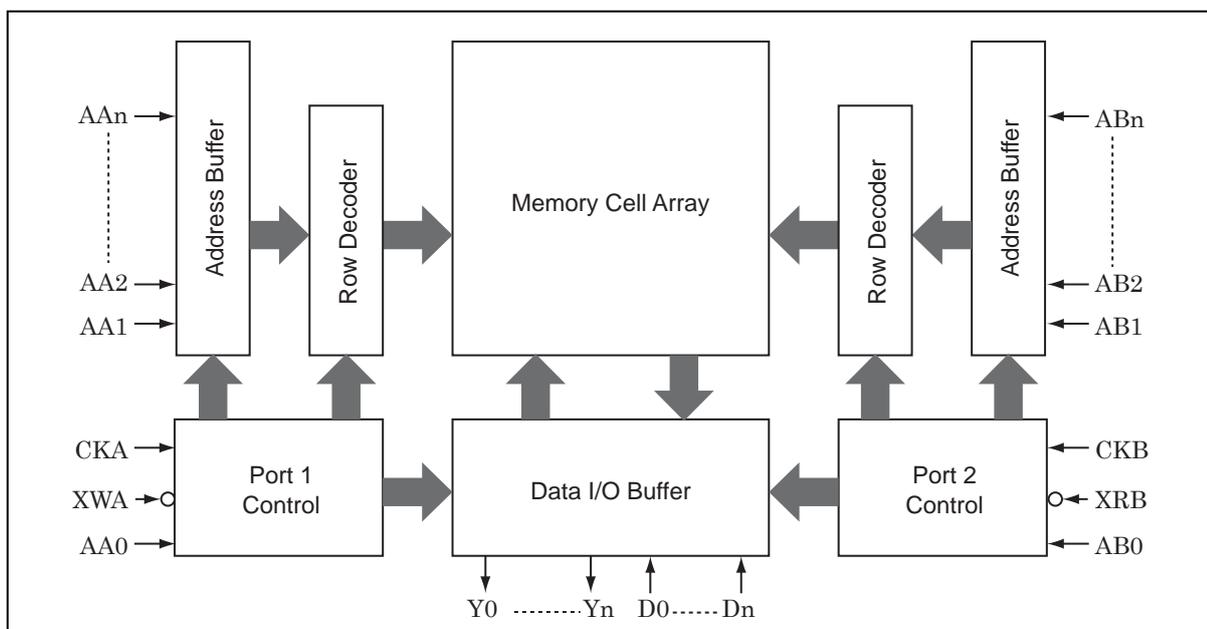


図 6-9 2ポート RAM (クロック同期型) のブロック図

(2) 動作説明

書き込みはクロック入力 (CKA) が立ち上がる前に、ライトイネーブル (XWA) をイネーブル (L) にし、アドレス入力 (AA0~AAn) とデータ入力 (D0~Dn) をセットします。クロック入力 (CKA) の立ち上がりで、ライトイネーブル (XWA)、アドレス入力 (AA0~AAn)、データ入力 (D0~Dn) のすべての信号がラッチされ書き込み動作を開始します。

読み出しはクロック入力 (CKB) が立ち上がる前に、リードイネーブル (XRB) をイネーブル (L) にし、アドレス入力 (AB0~ABn) をセットします。クロック入力 (CKB) の立ち上がりで、リードイネーブル (XRB)、アドレス入力 (AB0~ABn) のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロック入力 (CKB) の立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

表 6-24 2ポート RAM (クロック同期型) の動作真理値表

(第1ポート (書き込み専用) 動作真理値表)

CKA	XWA	動作モード
L→H	H	スタンバイ
L→H	L	書き込み

(第2ポート (読み出し専用) 動作真理値表)

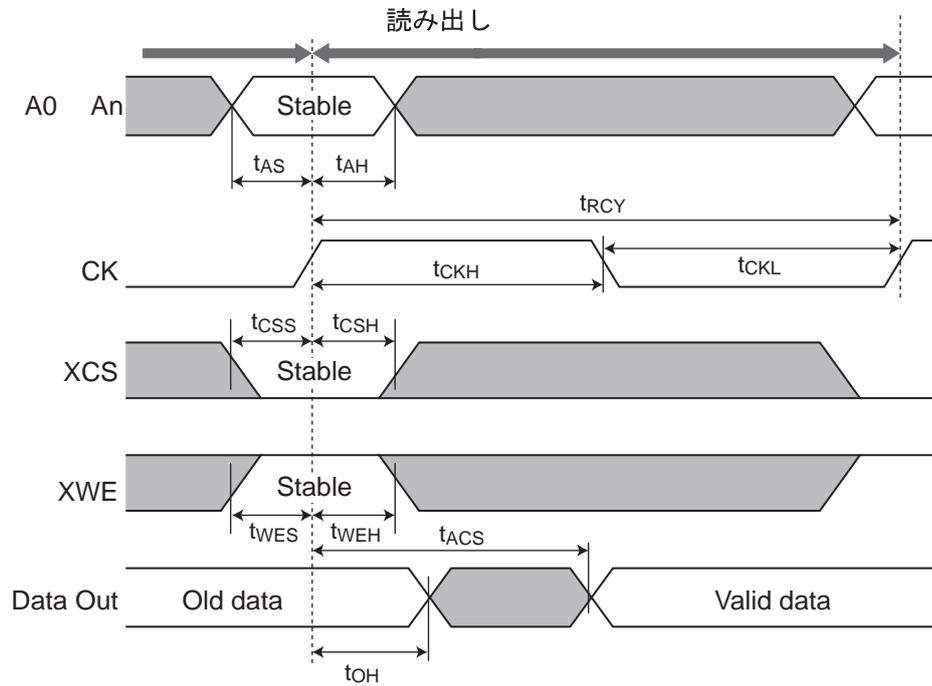
CKB	XRB	出力の状態	動作モード
L→H	H	Data Hold	スタンバイ
L→H	L	Read Data	読み出し

なお、書き込みと読み出しを同一メモリに同時に行った場合は、メモリへのデータの書き込みは行われますが、読み出しデータは不定となります。

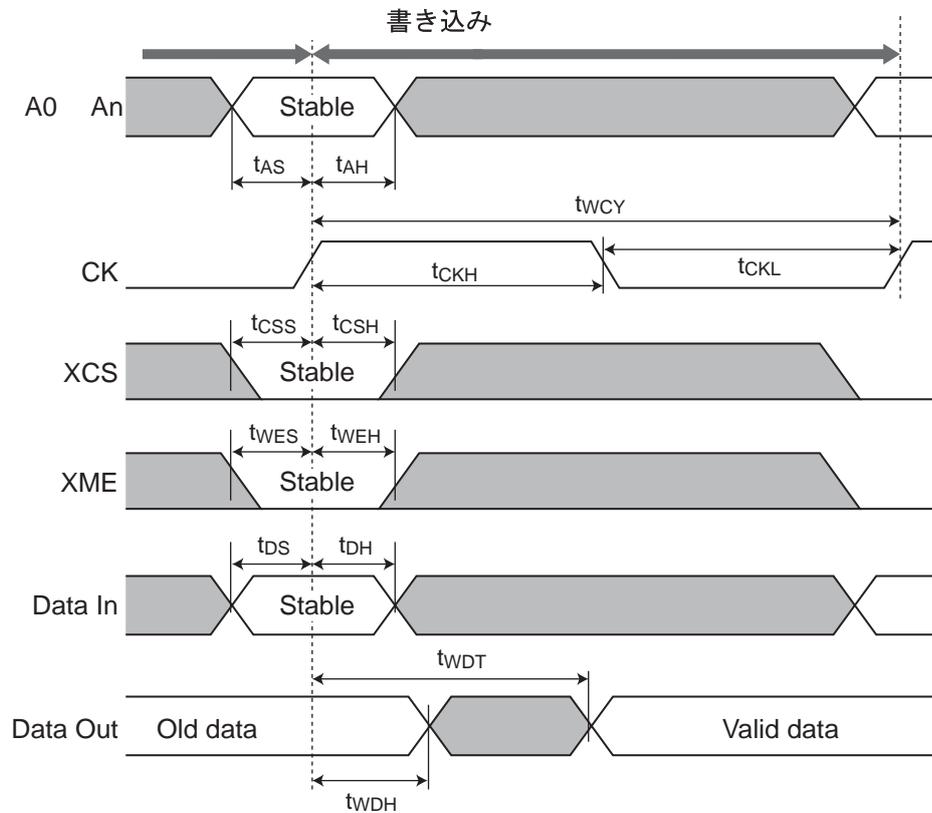
6.2.6 タイミングチャート

(1) 1ポート RAM

- 読み出し時

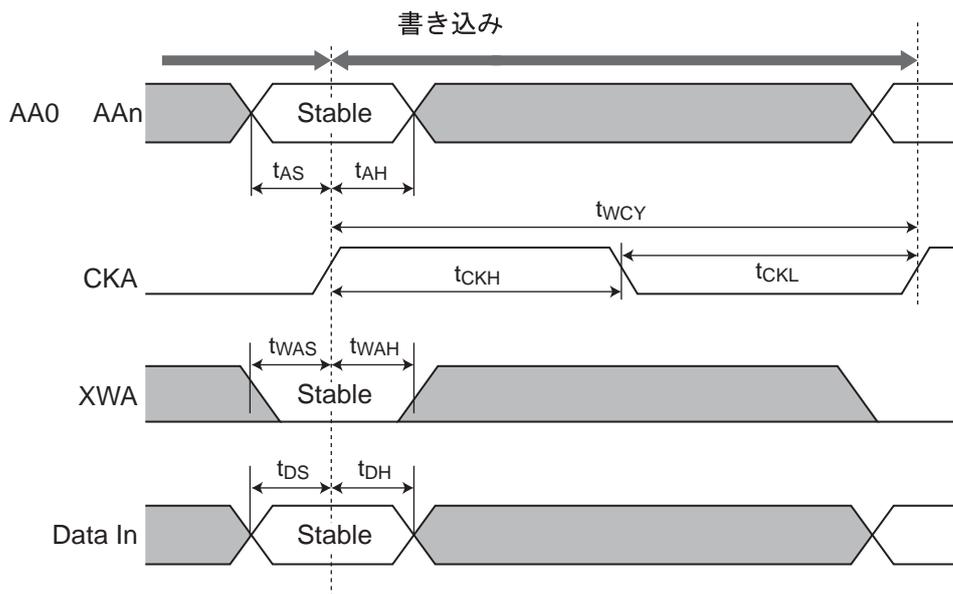


- 書き込み時

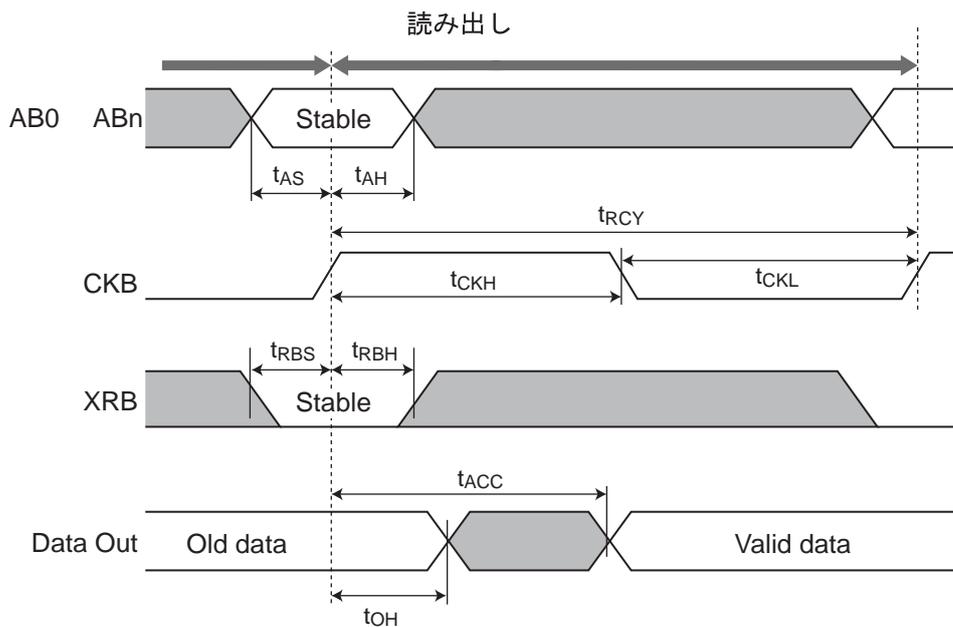


(2) 2ポート RAM

• 第1ポート



• 第2ポート



6.2.7 遅延パラメータ

(1) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^\circ C$) 64Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	3.957	—	4.023	—	4.110	—	4.193	ns
リードサイクルタイム	t_{RCY}	3.957	—	4.023	—	4.110	—	4.193	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRБ セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRБ ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.624	—	0.650	—	0.666	—	0.680	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.602	—	3.712	—	3.826	—	3.940	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.299	—	1.338	—	1.367	—	1.397	—	
ライトデータスルータイム	t_{WDT}	—	3.602	—	3.712	—	3.826	—	3.940	

(2) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$) 64Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	3.743	—	3.806	—	3.887	—	3.966	ns
リードサイクルタイム	t_{RCY}	3.743	—	3.806	—	3.887	—	3.966	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.669	—	0.696	—	0.713	—	0.728	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.407	—	3.512	—	3.619	—	3.727	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.391	—	1.433	—	1.465	—	1.497	—	
ライトデータスルータイム	t_{WDT}	—	3.407	—	3.512	—	3.619	—	3.727	

(3) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$) 128Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	4.995	—	5.060	—	5.132	—	5.241	ns
リードサイクルタイム	t_{RCY}	4.995	—	5.060	—	5.132	—	5.241	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.641	—	0.659	—	0.675	—	0.693	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.685	—	3.807	—	3.909	—	4.018	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.341	—	1.376	—	1.426	—	1.433	—	
ライトデータスルータイム	t_{WDT}	—	3.685	—	3.807	—	3.909	—	4.018	

(4) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$, $T_a=0\sim +70^{\circ}C$) 128Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} , t_{ACC}	—	4.725	—	4.787	—	4.855	—	4.958	ns
リードサイクルタイム	t_{RCY}	4.725	—	4.787	—	4.855	—	4.958	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.686	—	0.706	—	0.723	—	0.742	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.486	—	3.601	—	3.698	—	3.801	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.437	—	1.474	—	1.528	—	1.536	—	
ライトデータスルータイム	t_{WDT}	—	3.486	—	3.601	—	3.698	—	3.801	

(5) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$) 192Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	6.076	—	6.133	—	6.198	—	6.268	ns
リードサイクルタイム	t_{RCY}	6.076	—	6.133	—	6.198	—	6.268	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.652	—	0.671	—	0.690	—	0.705	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.748	—	3.857	—	3.970	—	4.077	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.372	—	1.407	—	1.440	—	1.467	—	
ライトデータスルータイム	t_{WDT}	—	3.748	—	3.857	—	3.970	—	4.077	

(6) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$, $T_a=0\sim +70^{\circ}C$) 192Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} , t_{ACC}	—	5.748	—	5.802	—	5.863	—	5.929	ns
リードサイクルタイム	t_{RCY}	5.748	—	5.802	—	5.863	—	5.929	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.698	—	0.719	—	0.739	—	0.756	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.546	—	3.649	—	3.755	—	3.857	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.470	—	1.507	—	1.543	—	1.572	—	
ライトデータスルータイム	t_{WDT}	—	3.546	—	3.649	—	3.755	—	3.857	

(7) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=-40\sim +85^{\circ}C$) 256Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	7.004	—	7.073	—	7.138	—	7.208	ns
リードサイクルタイム	t_{RCY}	7.004	—	7.073	—	7.138	—	7.208	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.652	—	0.672	—	0.690	—	0.705	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.794	—	3.901	—	4.004	—	4.118	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.398	—	1.431	—	1.464	—	1.491	—	
ライトデータスルータイム	t_{WDT}	—	3.794	—	3.901	—	4.004	—	4.118	

(8) 2.5V仕様 ($V_{DD}=2.3\sim 2.7V$ 、 $T_a=0\sim +70^{\circ}C$) 256Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	6.626	—	6.690	—	6.752	—	6.818	ns
リードサイクルタイム	t_{RCY}	6.626	—	6.690	—	6.752	—	6.818	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.000	—	1.000	—	1.000	—	1.000	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.698	—	0.720	—	0.739	—	0.756	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.589	—	3.690	—	3.787	—	3.895	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.000	—	1.000	—	1.000	—	1.000	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE セットアップタイム	t_{WES}	1.000	—	1.000	—	1.000	—	1.000	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.000	—	1.000	—	1.000	—	1.000	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.000	—	1.000	—	1.000	—	1.000	—	
ライトデータホールドタイム	t_{WDH}	1.498	—	1.534	—	1.568	—	1.598	—	
ライトデータスルータイム	t_{WDT}	—	3.589	—	3.690	—	3.787	—	3.895	

(9) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$) 64Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	5.630	—	5.725	—	5.848	—	5.966	ns
リードサイクルタイム	t_{RCY}	5.630	—	5.725	—	5.848	—	5.966	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.758	—	0.789	—	0.808	—	0.825	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.125	—	5.282	—	5.445	—	5.607	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.577	—	1.624	—	1.660	—	1.697	—	
ライトデータスルータイム	t_{WDT}	—	5.125	—	5.282	—	5.445	—	5.607	

(10) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=0\sim +70^{\circ}C$) 64Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	5.341	—	5.431	—	5.548	—	5.660	ns
リードサイクルタイム	t_{RCY}	5.341	—	5.431	—	5.548	—	5.660	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.802	—	0.836	—	0.856	—	0.874	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	4.862	—	5.011	—	5.165	—	5.319	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.670	—	1.720	—	1.758	—	1.797	—	
ライトデータスルータイム	t_{WDT}	—	4.862	—	5.011	—	5.165	—	5.319	

(11) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$) 128Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	7.108	—	7.200	—	7.302	—	7.458	ns
リードサイクルタイム	t_{RCY}	7.108	—	7.200	—	7.302	—	7.458	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.778	—	0.800	—	0.820	—	0.841	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.243	—	5.417	—	5.563	—	5.718	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.629	—	1.671	—	1.732	—	1.741	—	
ライトデータスルータイム	t_{WDT}	—	5.243	—	5.417	—	5.563	—	5.718	

(12) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$, $T_a=0\sim +70^{\circ}C$) 128Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} , t_{ACC}	—	6.743	—	6.831	—	6.928	—	7.075	ns
リードサイクルタイム	t_{RCY}	6.743	—	6.831	—	6.928	—	7.075	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.823	—	0.847	—	0.868	—	0.891	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	4.974	—	5.139	—	5.277	—	5.425	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.725	—	1.769	—	1.834	—	1.843	—	
ライトデータスルータイム	t_{WDT}	—	4.974	—	5.139	—	5.277	—	5.425	

(13) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$) 192Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	8.646	—	8.727	—	8.820	—	8.919	ns
リードサイクルタイム	t_{RCY}	8.646	—	8.727	—	8.820	—	8.919	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.792	—	0.815	—	0.837	—	0.857	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.333	—	5.489	—	5.648	—	5.801	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.666	—	1.709	—	1.748	—	1.782	—	
ライトデータスルータイム	t_{WDT}	—	5.333	—	5.489	—	5.648	—	5.801	

(14) 2.0V仕様 (V_{DD}=1.8~2.2V、T_a=0~+70°C) 192Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t _{ACS} 、t _{ACC}	—	8.203	—	8.280	—	8.368	—	8.462	ns
リードサイクルタイム	t _{RCY}	8.203	—	8.280	—	8.368	—	8.462	—	
クロックハイパルス幅	t _{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t _{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t _{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t _{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t _{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t _{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t _{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t _{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t _{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t _{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t _{OH}	0.838	—	0.863	—	0.887	—	0.907	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t _{WCY}	5.060	—	5.207	—	5.359	—	5.504	—	ns
クロックハイパルス幅	t _{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t _{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t _{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t _{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t _{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t _{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t _{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t _{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t _{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t _{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t _{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t _{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t _{WDH}	1.764	—	1.809	—	1.851	—	1.887	—	
ライトデータスルータイム	t _{WDT}	—	5.060	—	5.207	—	5.359	—	5.504	

(15) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$ 、 $T_a=-40\sim +85^{\circ}C$) 256Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} 、 t_{ACC}	—	9.967	—	10.064	—	10.156	—	10.256	ns
リードサイクルタイム	t_{RCY}	9.967	—	10.064	—	10.156	—	10.256	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.792	—	0.815	—	0.837	—	0.857	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.398	—	5.551	—	5.697	—	5.859	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.698	—	1.738	—	1.777	—	1.811	—	
ライトデータスルータイム	t_{WDT}	—	5.398	—	5.551	—	5.697	—	5.859	

(16) 2.0V仕様 ($V_{DD}=1.8\sim 2.2V$, $T_a=0\sim +70^{\circ}C$) 256Word

1ポートRAM/2ポートRAM リードサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS} , t_{ACC}	—	9.455	—	9.548	—	9.636	—	9.730	ns
リードサイクルタイム	t_{RCY}	9.455	—	9.548	—	9.636	—	9.730	—	
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XRB セットアップタイム	t_{RBS}	1.500	—	1.500	—	1.500	—	1.500	—	
XRB ホールドタイム	t_{RBH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
アウトプットホールドタイム	t_{OH}	0.873	—	0.899	—	0.924	—	0.945	—	

1ポートRAM/2ポートRAM ライトサイクル AC特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.121	—	5.266	—	5.405	—	5.559	—	ns
クロックハイパルス幅	t_{CKH}	0.500	—	0.500	—	0.500	—	0.500	—	
クロックローパルス幅	t_{CKL}	0.500	—	0.500	—	0.500	—	0.500	—	
XCS セットアップタイム	t_{CSS}	1.500	—	1.500	—	1.500	—	1.500	—	
XCS ホールドタイム	t_{CSH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスセットアップタイム	t_{AS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE セットアップタイム	t_{WES}	1.500	—	1.500	—	1.500	—	1.500	—	
XWE ホールドタイム	t_{WEH}	0.000	—	0.000	—	0.000	—	0.000	—	
XWA セットアップタイム	t_{WAS}	1.500	—	1.500	—	1.500	—	1.500	—	
XWA ホールドタイム	t_{WAH}	0.000	—	0.000	—	0.000	—	0.000	—	
アドレスホールドタイム	t_{AH}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	0.000	—	0.000	—	0.000	—	0.000	—	
データセットアップタイム	t_{DS}	1.500	—	1.500	—	1.500	—	1.500	—	
ライトデータホールドタイム	t_{WDH}	1.798	—	1.841	—	1.882	—	1.918	—	
ライトデータスルータイム	t_{WDT}	—	5.121	—	5.266	—	5.405	—	5.559	

6.3 スタンダードタイプ1ポートRAM

6.3.1 特長

- 1ポートRAMとして回路、レイアウトパターンを専用設計することで占有面積を縮小しています（AL配線は3層を使用）。
- メモリ容量の構成可能範囲が広く（128～64kbit）、レイアウト形状の縦横比もフレキシブルに選択できます。さらに大容量のメモリが必要な場合は複数個のメモリマクロを使用します。
- アクセスが高速である上に低消費電流です。
- チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。
- データの入力ポートと出力ポートが分離されています。
- バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択することができます。
- データ出力部にラッチ回路を備えており、読み出したデータは次のサイクルまで継続出力されます。

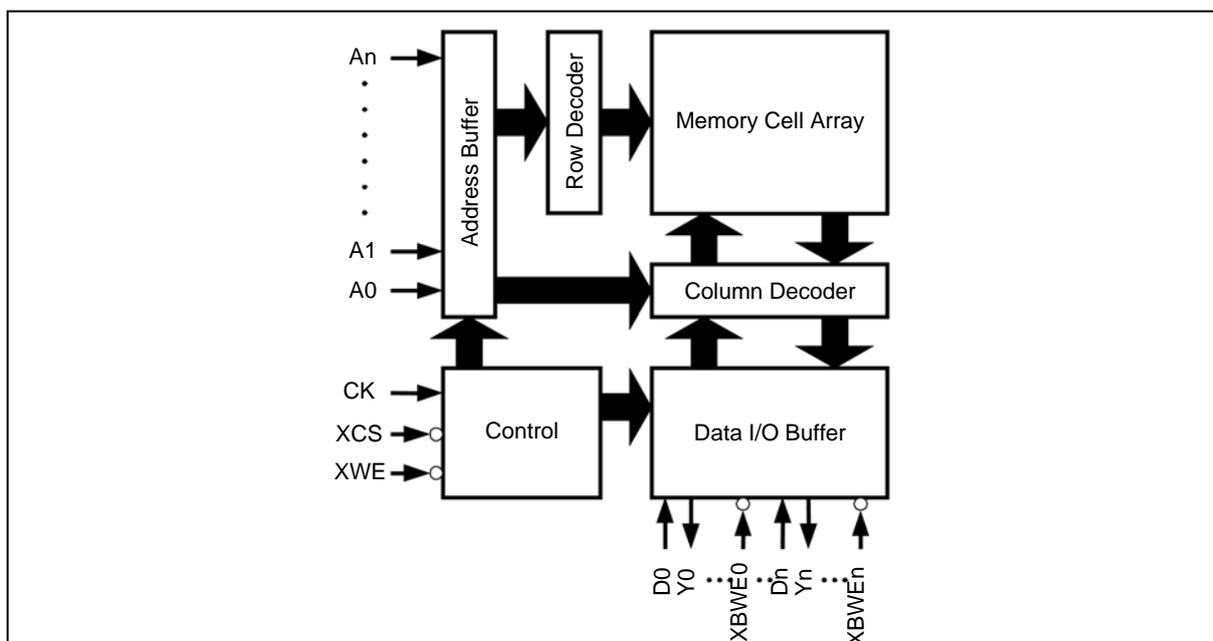
6.3.2 RAM サイズ

スタンダードタイプ1ポートRAMのサイズは、ワード/ビット構成によって複雑に変わるため、詳細につきましては弊社営業担当までお問い合わせください。

6.3.3 入出力信号とブロック図

入出力信号		機能説明
記号	名前	
CK	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWEn)、アドレス入力 (A0～An)、データ入力 (D0～Dn) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時書き込み動作を、H の時読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCS	チップ選択	クロック (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時メモリは動作を開始します。
XWE	ライトイネーブル	クロック (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEn	バイトライトイネーブル	クロック (CK) の立ち上がりエッジでラッチされます。データの 1 バイトごとに 1 つのバイトライトイネーブル信号が割り当てられます。XWE が L の時、XBWEn が L であるバイトのみデータの書き込みが行われます。 XBWE0---D0～D7 XBWE1---D8～D15 XBWE2---D16～D23 XBWE3---D24～D31
A0～An	アドレス入力	アドレスはクロック (CK) の立ち上がりエッジでラッチされます。
D0～Dn	データ入力	書き込みデータはクロック (CK) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
Y0～Yn	データ出力	読み出し時にはクロック (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

ブロック図



S1X60K 1Port RAM (Byte Write Option)

6.3.4 動作真理値表

書き込みはクロック (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWE0~XBWE3) をイネーブル (L) にし、アドレス (A0~An) と入力データ (D0~Dn) をセットします。クロックの立ち上がりで、チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス入力、データ入力のすべての入力信号がラッチされ書き込み動作を開始します。この期間中はデータ出力 (Y0~Yn) からは書き込み中のデータが出力されます。クロックの立ち下がりで書き込み動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス (A0~An) をセットします。クロックの立ち上がりで、チップ選択、ライトイネーブル、アドレス入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータがデータ出力から出力されます。クロックの立ち下がりで読み出し動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力からデータが継続して出力されます。

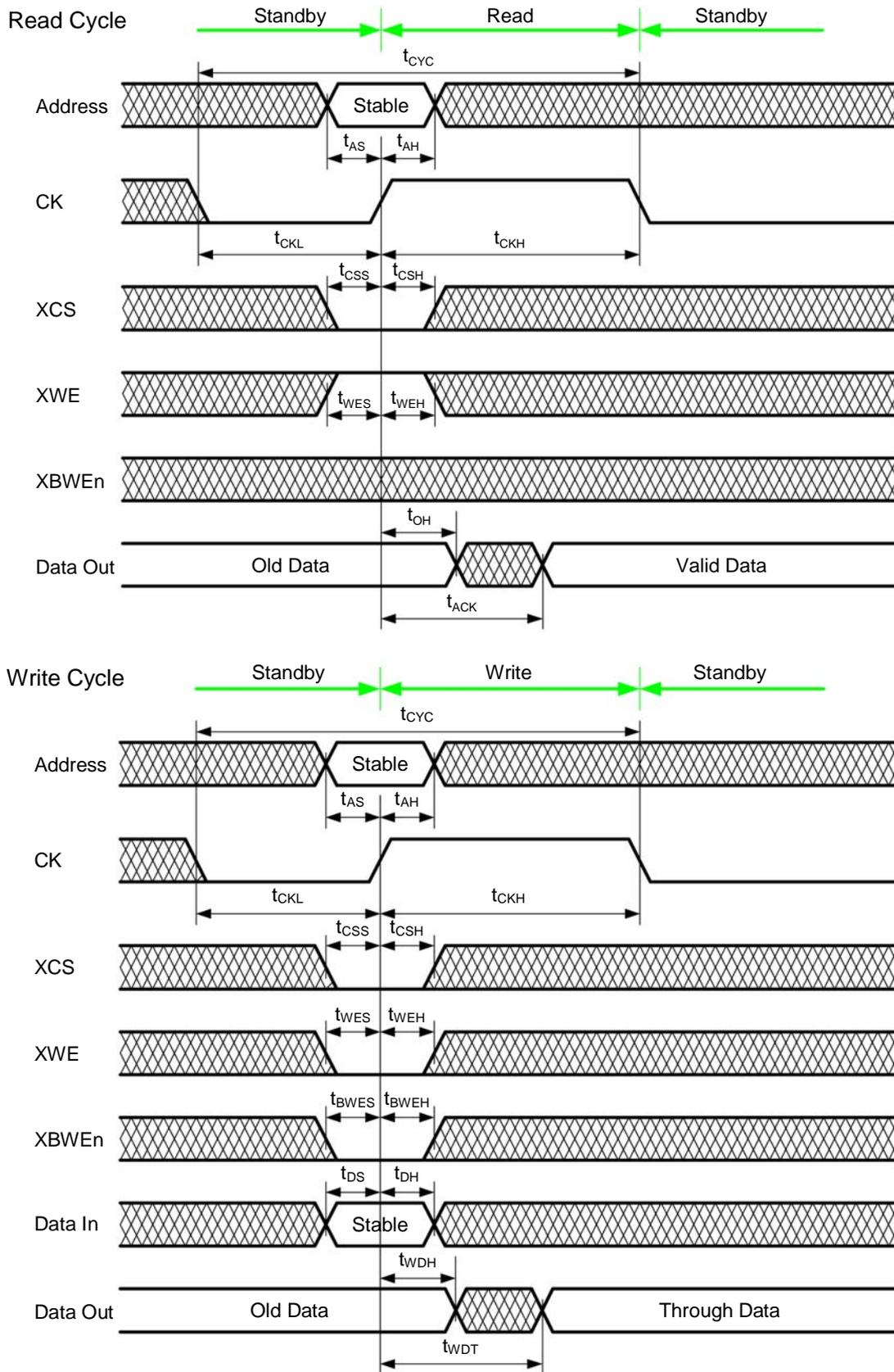
動作真理値表

CK	XCS	XWE	XBWE0	XBWE1	XBWE2	XBWE3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	D0~D31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	D0~D7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	D8~D15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	D16~D23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	D24~D31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data hold	スタンバイ

*1: データ出力 (Y0~Yn) の状態は、データ入力 (D0~Dn) に入力された値が出力されます。

ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWE0~XBWE3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

6.3.5 タイミングチャート



6.3.6 電気的特性

消費電流（メモリ構成：8kWord×8Dataの場合）

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	1000	—	—	700	—	nA
Active Current	IDDA	—	160	—	—	130	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	125	—	—	75	MHz
CK Access Time	t _{ACK}	—	3.4	6.2	—	4.8	9.6	nS
CK High Width Time	t _{CKH}	4.0	—	—	6.6	—	—	nS
CK Low Width Time	t _{CKL}	3.2	—	—	4.4	—	—	nS
Cycle Time	t _{CYC}	8.0	—	—	13.2	—	—	nS
CS Setup Time	t _{CSS}	2.6	—	—	4.2	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.6	—	—	4.2	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	2.6	—	—	4.2	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	2.6	—	—	4.2	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	1.8	—	—	nS
Data Setup Time	t _{DS}	2.6	—	—	4.2	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	0.3	—	—	0.5	—	—	nS
Write Data Through Time	t _{WDT}	—	—	3.0	—	—	4.2	nS

消費電流（メモリ構成：8kWord×8Dataの場合）

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—	—	—	—	nA
Active Current	IDDA	—	160	—	—	130	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	135	—	—	78	MHz
CK Access Time	t _{ACK}	—	3.4	5.8	—	4.8	9.2	nS
CK High Width Time	t _{CKH}	3.8	—	—	6.4	—	—	nS
CK Low Width Time	t _{CKL}	3.0	—	—	4.0	—	—	nS
Cycle Time	t _{CYC}	7.6	—	—	12.8	—	—	nS
CS Setup Time	t _{CSS}	2.4	—	—	4.0	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.4	—	—	4.0	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	2.4	—	—	4.0	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	2.4	—	—	4.0	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	1.8	—	—	nS
Data Setup Time	t _{DS}	2.4	—	—	4.0	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	0.3	—	—	0.5	—	—	nS
Write Data Through Time	t _{WDT}	—	—	2.8	—	—	4.0	nS

6.4 スタンダードタイプ Dual ポート RAM

6.4.1 特長

- Dual ポート RAM として回路、レイアウトパターンを専用設計することで占有面積を縮小しています（AL 配線は 3 層を使用）。
- メモリ容量の構成可能範囲が広く（1k～64kbit）、レイアウト形状の縦横比もフレキシブルに選択できます。さらに大容量のメモリが必要な場合は複数個のメモリマクロを使用します。
- アクセスが高速である上に低消費電流です。
- バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択することが可能です。
- チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。
- データの入力ポートと出力ポートが分離されています。
- データ出力部にラッチ回路を備えており、読み出したデータは次のサイクルまで継続出力されます。

6.4.2 RAM サイズ

スタンダードタイプ Dual ポート RAM のサイズは、ワード/ビット構成によって複雑に変わるため、詳細につきましては弊社営業担当までお問い合わせください。

6.4.3 入出力信号とブロック図

第1のポートと第2のポートはそれぞれ「読み出し／書き込み」が可能です。ポートごとにクロック入力が備わっており、おのおのを独立した周波数とタイミングで動作させることができます。

同じメモリセルを2つのポートから同時にアクセスすることはできません。これに対する調停機能、ビジー信号等が必要な場合はマクロ外のゲートアレイ部で回路を構成する必要があります。(同時にアクセスした場合はそのサイクルの動作、および該当メモリセルのデータが不定になります。)

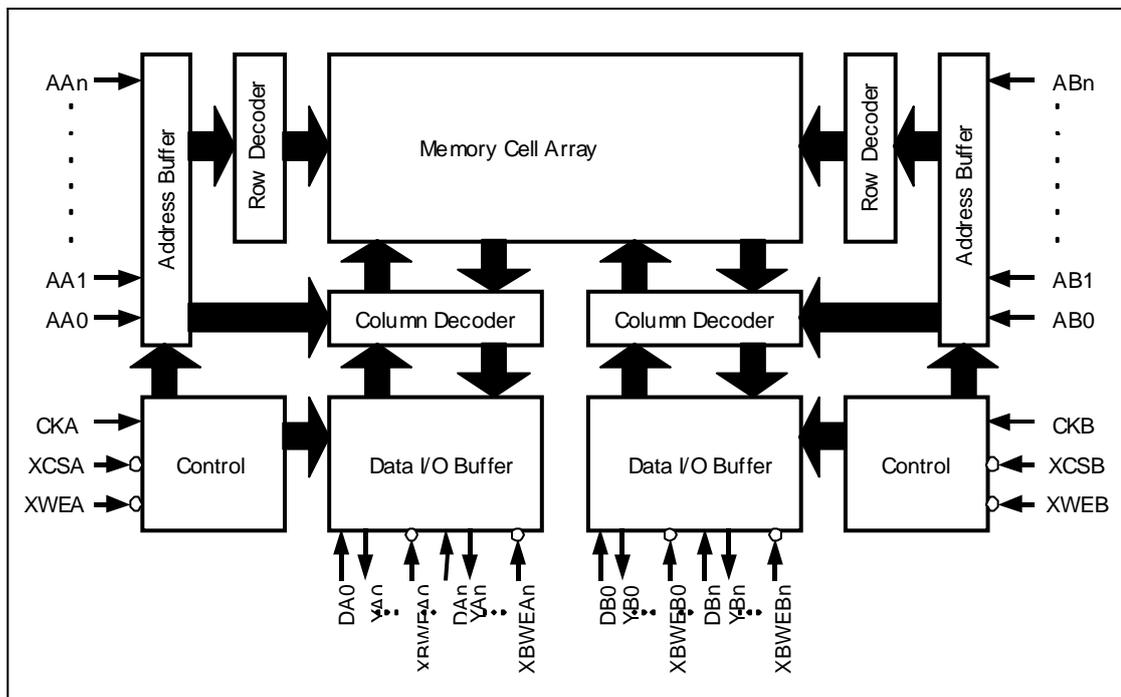
第1ポート用信号（読み出し／書き込み）

入出力信号		機能説明
記号	名前	
CKA	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCSA)、ライトイネーブル (XWEA)、バイトライトイネーブル (XBWEAn)、アドレス入力 (AA0~AA _n)、データ入力 (DA0~DA _n) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時書き込み動作を、H の時読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCSA	チップ選択	クロック (CKA) の立ち上がりエッジでラッチされます。ラッチされた値が L の時メモリは動作を開始します。
XWEA	ライトイネーブル	クロック (CKA) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEAn	バイトライトイネーブル	クロック (CKA) の立ち上がりでラッチされます。データの 1 バイトごとに 1 つのバイトライトイネーブル信号が割り当てられます。XWEA が L の時、XBWEAn が L であるバイトのみデータ書き込みが行われます。 XBWEA0---DA0~DA7 XBWEA1---DA8~DA15 XBWEA2---DA16~DA23 XBWEA3---DA24~DA31
AA0~AA _n	アドレス入力	アドレスはクロック (CKA) の立ち上がりエッジでラッチされます。
DA0~DA _n	データ入力	書き込みデータはクロック (CKA) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
YA0~YA _n	データ出力	読み出し時にはクロック (CKA) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

第2ポート用信号（読み出し／書き込み）

入出力信号		機能説明
記号	名前	
CKB	クロック入力	立ち上がりエッジ（L→H）でチップ選択（XCSB）、ライトイネーブル（XWEB）、バイトライトイネーブル（XBWEBn）、アドレス入力（AB0～ABn）、データ入力（DB0～DBn）をラッチし、ラッチしたチップ選択信号がLの時に動作を開始します。動作期間中は、ラッチしたライトイネーブルがLの時書き込み動作を、Hの時読み出し動作を行います。次の立ち上がりエッジで動作を終了します。
XCSB	チップ選択	クロック（CKB）の立ち上がりエッジでラッチされます。ラッチされた値がLの時メモリは動作を開始します。
XWEB	ライトイネーブル	クロック（CKB）の立ち上がりエッジでラッチされます。ラッチされた値がLの時は書き込み、Hの時は読み出し動作を行います。
XBWEBn	バイトライトイネーブル	クロック（CKB）の立ち上がりエッジでラッチされます。データの1バイトごとに1つのバイトライトイネーブル信号が割り当てられます。XWEBがLの時、XBWEBnがLであるバイトのみデータ書き込みが行われます。 XBWEB0---DB0～DB7 XBWEB1---DB8～DB15 XBWEB2---DB16～DB23 XBWEB3---DB24～DB31
AB0～ABn	アドレス入力	アドレスはクロック（CKB）の立ち上がりエッジでラッチされます。
DB0～DBn	データ入力	書き込みデータはクロック（CKB）の立ち上がりエッジでラッチされメモリセルに書き込まれます。
YB0～YBn	データ出力	読み出し時にはクロック（CKB）の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

ブロック図



S1X60K Dual Port RAM (Byte Write Option)

6.4.4 動作真理値表

書き込みはクロック (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB)、ライトイネーブル (XWEA および XWEB)、バイトライトイネーブル (XBWEA0~3 および XBWEB0~3) をイネーブル (L) にし、アドレス (AA0~Aan および AB0~ABn) と入力データ (DA0~Dan および DB0~DBn) をセットします。クロックの立ち上がりで、チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス入力、データ入力のすべての入力信号がラッチされ書き込み動作を開始します。この期間中はデータ出力 (YA0~Yan および YB0~YBn) からは書き込み中のデータが出力されます。クロックの立ち下がり書き込み動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。

読み出しはクロック (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB) をイネーブル (L) に、ライトイネーブル (XWEA および XWEB) ディセーブル (H) にし、アドレス (AA0~Aan および AB0~ABn) をセットします。クロックの立ち上がりで、チップ選択、ライトイネーブル、アドレス入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータがデータ出力から出力されます。クロックの立ち下がり読み出し動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力からデータが継続して出力されません。

第1ポート 動作真理値表

CKA	XCSA	XWEA	XBWEA0	XBWEA1	XBWEA2	XBWEA3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DA0~DA31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DA0~DA7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	DA8~DA15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	DA16~DA23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	DA24~DA31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data hold	スタンバイ

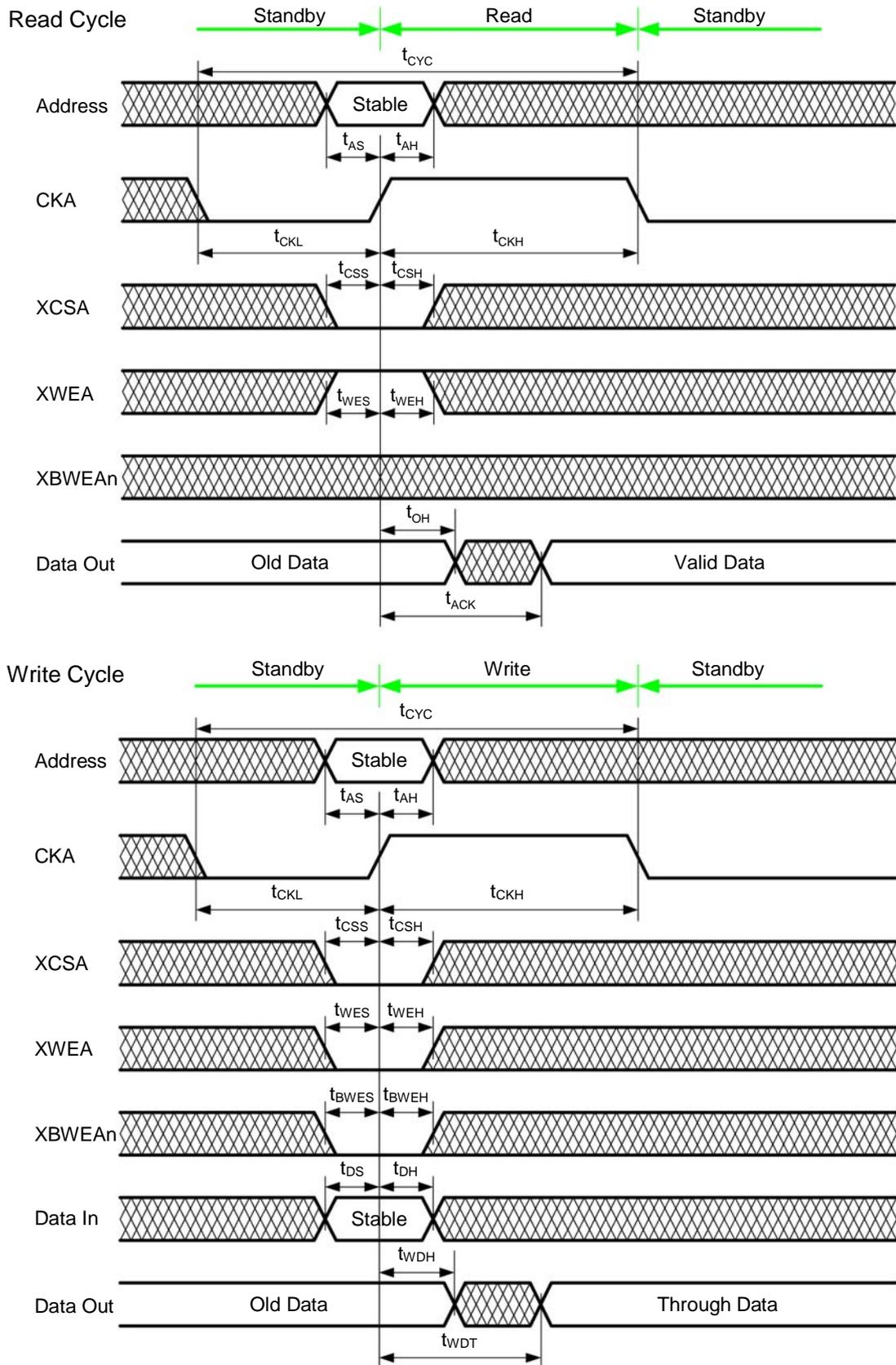
第2ポート 動作真理値表

CKB	XCSB	XWEB	XBWEB0	XBWEB1	XBWEB2	XBWEB3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DB0~DB31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DB0~DB7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	DB8~DB15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	DB16~DB23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	DB24~DB31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data hold	スタンバイ

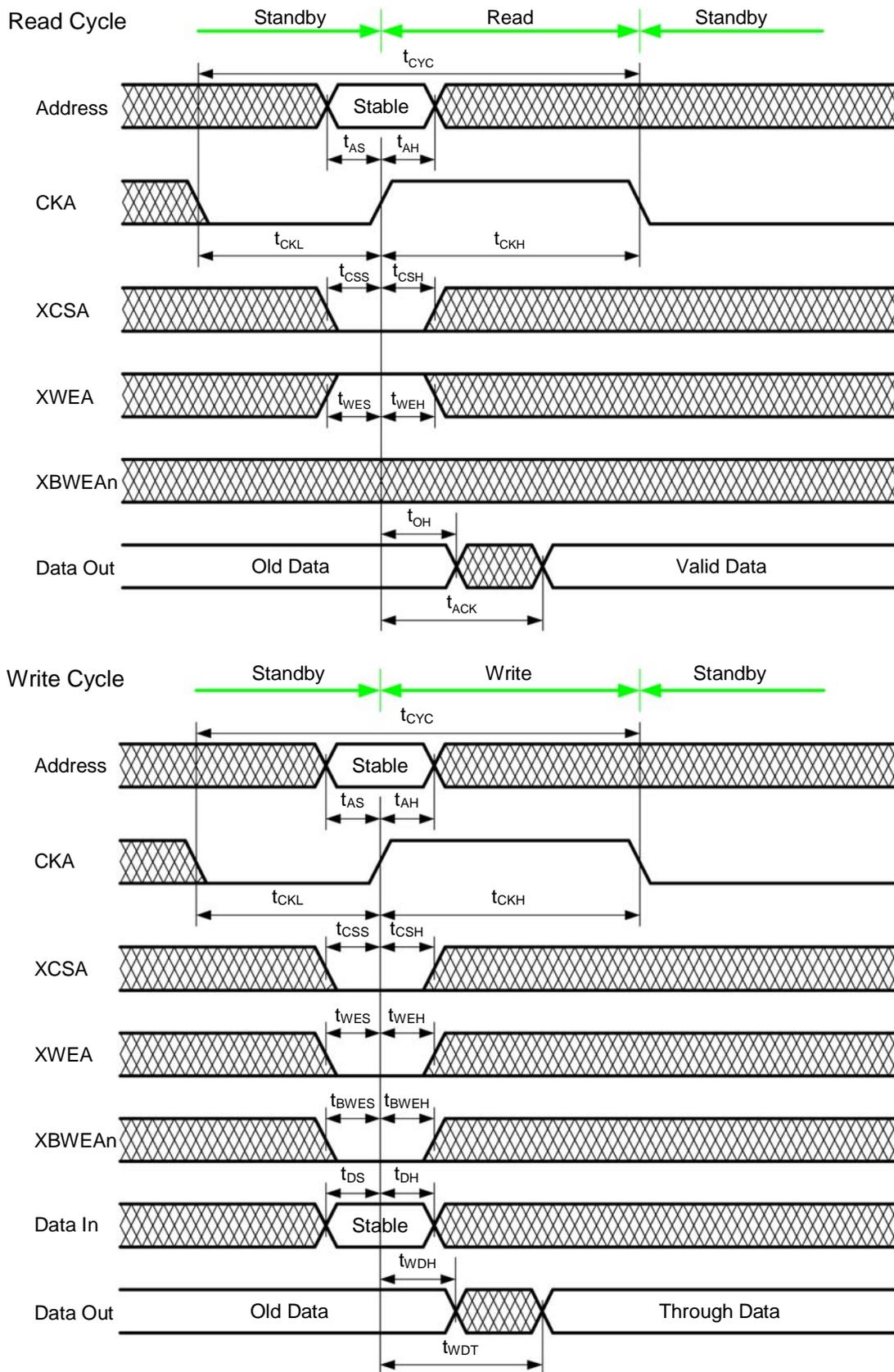
*1: データ出力 (YA0~YAn および YB0~YBn) の状態は、データ入力 (DA0~Dan および DB0~DBn) に入力された値が出力されます。ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWEA0~XBWEA3 および XBWEB0~XBWEB3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

6.4.5 タイミングチャート

第1ポート



第2ポート



6.4.6 電気的特性

消費電流（メモリ構成：8kWord×8Dataの場合）

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—		—		nA
Active Current	IDDA	—	260	—		210		μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	119	—	—	71	MHz
CK Access Time	t _{ACK}	—	4.0	7.2	—	5.4	10.8	nS
CK High Width Time	t _{CKH}	4.2	—	—	7.0	—	—	nS
CK Low Width Time	t _{CKL}	3.6	—	—	5.4	—	—	nS
Cycle Time	t _{CYC}	8.4	—	—	14.0	—	—	nS
CS Setup Time	t _{CSS}	3.8	—	—	5.0	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	3.8	—	—	5.0	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	3.8	—	—	5.0	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	3.8	—	—	5.0	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	2.0	—	—	nS
Data Setup Time	t _{DS}	3.8	—	—	5.0	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	0.3	—	—	0.5	—	—	nS
Write Data Through Time	t _{WDT}	—	—	3.8	—	—	5.2	nS

消費電流（メモリ構成：8kWord×8Dataの場合）

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—		—		nA
Active Current	IDDA	—	260	—		210		μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	128	—	—	74	MHz
CK Access Time	t _{ACK}	—	4.0	6.8	—	5.4	10.4	nS
CK High Width Time	t _{CKH}	4.0	—	—	6.8	—	—	nS
CK Low Width Time	t _{CKL}	3.6	—	—	5.0	—	—	nS
Cycle Time	t _{CYC}	8.0	—	—	13.6	—	—	nS
CS Setup Time	t _{CSS}	3.8	—	—	4.8	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	3.8	—	—	4.8	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	3.8	—	—	4.8	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	3.8	—	—	4.8	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	2.0	—	—	nS
Data Setup Time	t _{DS}	3.8	—	—	4.8	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	0.3	—	—	0.5	—	—	nS
Write Data Through Time	t _{WDT}	—	—	3.6	—	—	5.0	nS

6.5 高密度タイプ1ポートRAM

6.5.1 特長

- 1ポートRAMとして回路、レイアウトパターンを専用設計することで占有面積を縮小しています。
- アクセスが高速である上に低消費電流です。
- チップ選択、ライトイネーブル、アドレス、データ、バイトライトイネーブル入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。
- データの入力ポートと出力ポートが分離されています。
- バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択することができます。
- データ出力部にラッチ回路を備えており、読み出したデータは次のサイクルまで継続出力されます。

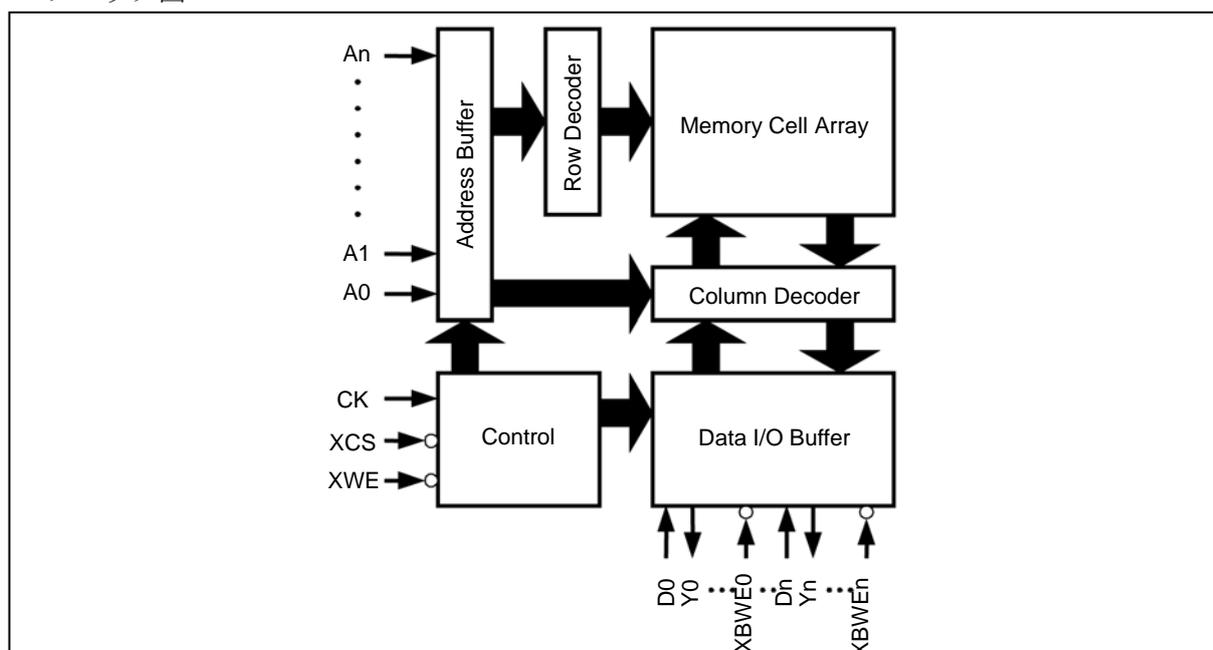
6.5.2 RAM サイズ

高密度タイプ1ポートRAMのサイズは、ワード/ビット構成によって複雑に変わるため、詳細につきましては弊社営業担当までお問い合わせください。

6.5.3 入出力信号とブロック図

入出力信号		機能説明
記号	名前	
CK	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWEn)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時書き込み動作を、H の時読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCS	チップ選択	クロック (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時メモリは動作を開始します。
XWE	ライトイネーブル	クロック (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEn	バイトライトイネーブル	クロック (CK) の立ち上りエッジでラッチされます。データの1バイトごとに1つのバイトライトイネーブル信号が割り当てられます。XWE が L の時、XBWEn が L であるバイトのみデータの書き込みが行われます。 XBWE0---D0~D7 XBWE1---D8~D15 XBWE2---D16~D23 XBWE3---D24~D31
A0~An	アドレス入力	アドレスはクロック (CK) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	書き込みデータはクロック (CK) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

ブロック図



S1X60K High Density 1Port RAM (Byte Write Option)

6.5.4 動作真理値表

書き込みはクロック (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWE0~XBWE3) をイネーブル (L) にし、アドレス (A0~An) と入力データ (D0~Dn) をセットします。クロックの立ち上りで、チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス入力、データ入力のすべての入力信号がラッチされ書き込み動作を開始します。この期間中はデータ出力端子 (Y0~Yn) からは書き込み中のデータが出力されます。クロックの立ち下がり書き込み動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス (A0~An) をセットします。クロックの立ち上りで、チップ選択、ライトイネーブル、アドレス入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上りからアクセスタイム経過した後データがデータ出力から出力されます。クロックの立ち下がり読み出し動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後も出力端子からデータが継続して出力されます。

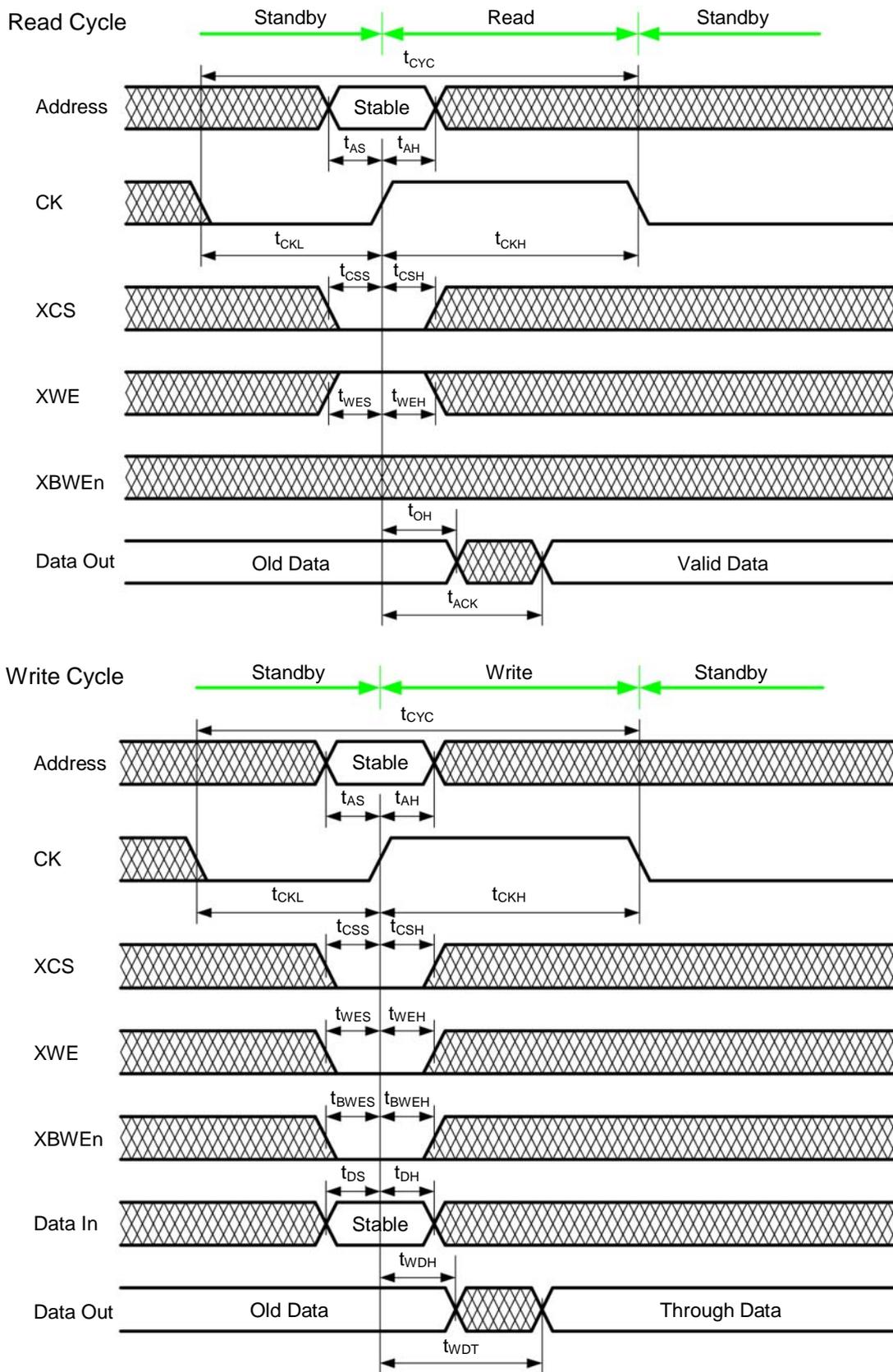
動作真理値表

CK	XCS	XWE	XBWE0	XBWE1	XBWE2	XBWE3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	D0~D31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	D0~D7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	D8~D15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	D16~D23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	D24~D31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data hold	スタンバイ

*1 : 出力の状態 (Y0~Yn) は、データ (D0~Dn) に入力された値が出力されます。

ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWE0~XBWE3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

6.5.5 タイミングチャート



6.5.6 電気的特性

消費電流（メモリ構成：32kWord×16Dataの場合）

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—	—	—	—	nA
Active Current	IDDA	—	250	—	—	200	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V -40～+85°C			2.0V±0.2V -40～+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	71	—	—	40	MHz
CK Access Time	t _{ACK}	—	5.8	10.8	—	8.2	17.2	nS
CK High Width Time	t _{CKH}	7.0	—	—	12.2	—	—	nS
CK Low Width Time	t _{CKL}	3.6	—	—	4.0	—	—	nS
Cycle Time	t _{CYC}	14.0	—	—	24.4	—	—	nS
CS Setup Time	t _{CSS}	2.2	—	—	3.8	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.2	—	—	3.8	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	2.2	—	—	3.8	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	2.2	—	—	3.8	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	2.6	—	—	4.0	—	—	nS
Data Setup Time	t _{DS}	2.2	—	—	3.8	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	1.0	—	—	1.2	—	—	nS
Write Data Through Time	t _{WDT}	—	—	4.0	—	—	6.6	nS

消費電流（メモリ構成：32kWord×16Dataの場合）

パラメータ	記号	2.5V±0.2V 0～+70°C			2.0V±0.2V 0～+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—	—	—	—	nA
Active Current	IDDA	—	250	—	—	200	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V 0～+70°C			2.0V±0.2V 0～+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	76	—	—	42	MHz
CK Access Time	t _{ACK}	—	5.8	10.0	—	8.2	16.4	nS
CK High Width Time	t _{CKH}	6.6	—	—	11.8	—	—	nS
CK Low Width Time	t _{CKL}	3.2	—	—	3.8	—	—	nS
Cycle Time	t _{CYC}	13.2	—	—	23.6	—	—	nS
CS Setup Time	t _{CSS}	2.2	—	—	3.8	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.0	—	—	3.8	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
WE Setup Time	t _{WES}	2.0	—	—	3.8	—	—	nS
WE Hold Time	t _{WEH}	0	—	—	0	—	—	nS
BWE Setup Time	t _{BWES}	2.0	—	—	3.8	—	—	nS
BWE Hold Time	t _{BWEH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	2.6	—	—	4.0	—	—	nS
Data Setup Time	t _{DS}	2.0	—	—	3.8	—	—	nS
Data Hold Time	t _{DH}	0	—	—	0	—	—	nS
Write Data Hold Time	t _{WDH}	1.0	—	—	1.2	—	—	nS
Write Data Through Time	t _{WDT}	—	—	3.8	—	—	6.2	nS

6.6 マスク ROM

6.6.1 特長

- マスク ROM として回路、レイアウトパターンを専用設計することで占有面積を縮小しています（AL 配線は3層を使用）。
- データのプログラムが製造工程の終端近く（HOLA）で行われるため TAT を短くできます。
- メモリ容量の構成可能範囲が広く（1k～256kbit）、レイアウト形状の縦横比もフレキシブルに選択できます。さらに大容量のメモリが必要な場合は複数個のメモリマクロを使用します。
- アクセスが高速である上に低消費電流です。
- 低電圧の広い電圧範囲で動作可能です。
- チップ選択、アドレス入力部にラッチ回路を備えており、クロックに同期した高速動作が可能です。
- データ出力部にラッチ回路を備えており、読み出したデータは次のサイクルまで継続出力されます。

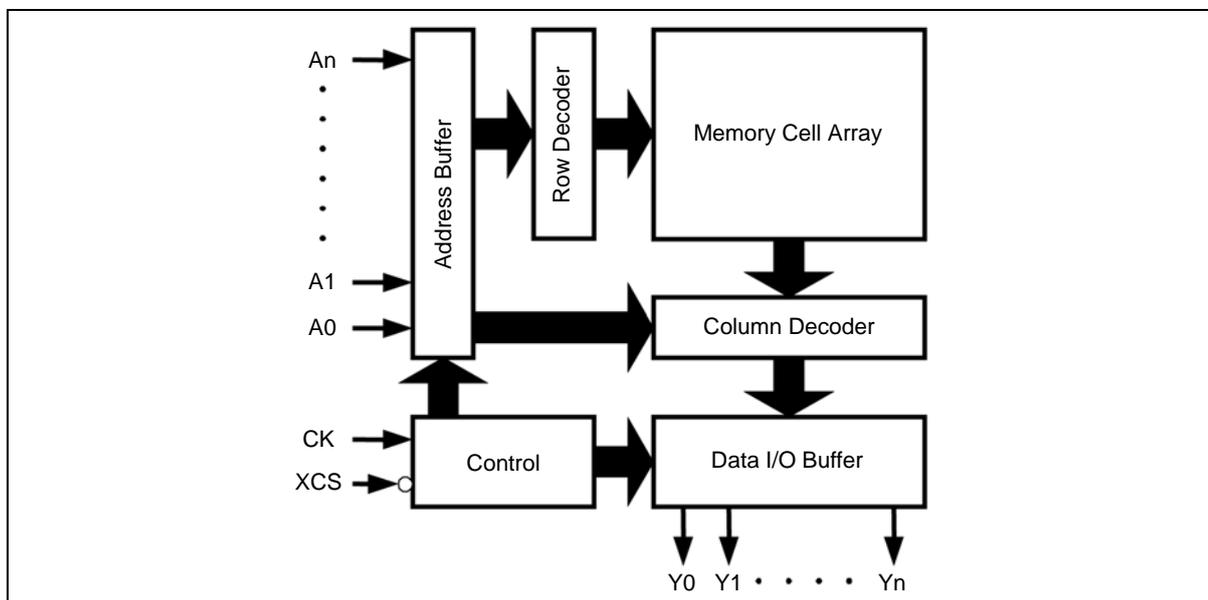
6.6.2 ROM サイズ

ROM のサイズは、ワード/ビット構成によって複雑に変わるため、詳細につきましては弊社営業担当までお問い合わせください。

6.6.3 入出力信号とブロック図

入出力信号		機能説明
記号	名前	
CK	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCS)、アドレス入力 (A0～An) をラッチし、この時ラッチしたチップ選択信号が L の時に読み出し動作を開始します。
XCS	チップ選択	クロック (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時メモリは読み出し動作を開始します。
A0～An	アドレス入力	アドレスはクロック (CK) の立ち上がりエッジでラッチされます。
Y0～Yn	データ出力	クロック (CK) の立ち上がりエッジからアクセス時間だけ経過した後、メモリセルからデータが読み出されて出力されます。

ブロック図



S1X60000 Mask ROM

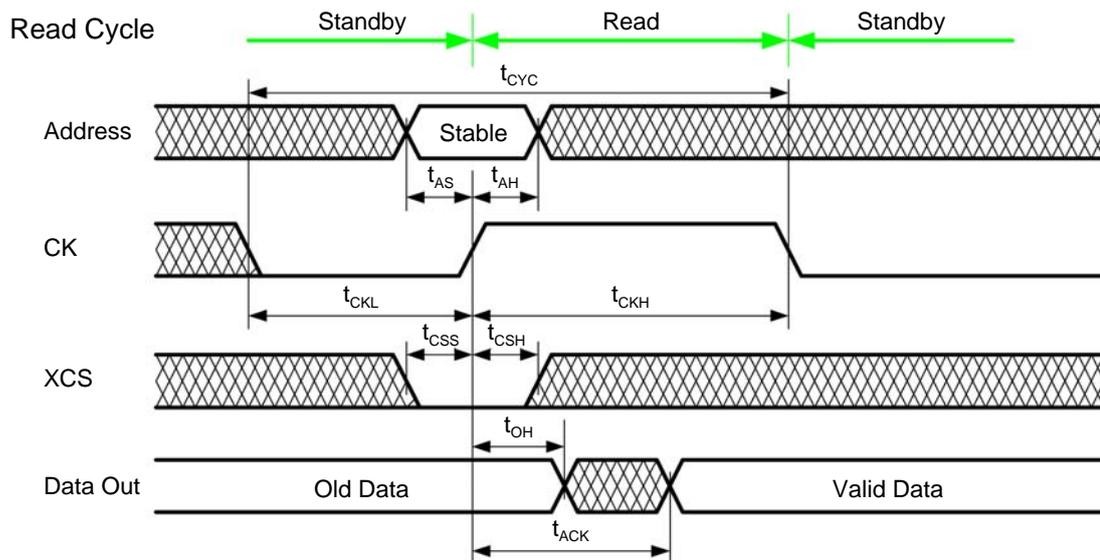
6.6.4 動作真理値表

読み出しはクロック (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) にし、アドレス (A0~An) をセットします。クロックの立ち上がりで、チップ選択、アドレス入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータがデータ出力から出力されます。クロックの立ち下がりです読み出し動作は終了し、入力信号のラッチは解除されるとともにメモリはスタンバイ状態になります。読み出し動作が終了しメモリがスタンバイになった後もデータ出力からデータが継続して出力されます。

動作真理値表

CK	XCS	出力の状態	動作モード
L	X	Data hold	スタンバイ
L→H	L	Read Data	読み出し
L→H	H	Data hold	スタンバイ
H→L	X	Data hold	スタンバイ

6.6.5 タイミングチャート



6.6.6 電気的特性

消費電流（メモリ構成：32kWord×8Dataの場合）

パラメータ	記号	2.5V±0.2V -40~+85°C			2.0V±0.2V -40~+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—	—	—	—	nA
Active Current	IDDA	—	175	—	—	130	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V -40~+85°C			2.0V±0.2V -40~+85°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	fc	—	—	66	—	—	40	MHz
CK Access Time	t _{ACK}	—	5.4	9.4	—	7.0	14.0	nS
CK High Width Time	t _{CKH}	7.6	—	—	12.4	—	—	nS
CK Low Width Time	t _{CKL}	2.8	—	—	3.2	—	—	nS
Cycle Time	t _{CYC}	15.2	—	—	24.8	—	—	nS
CS Setup Time	t _{CSS}	2.6	—	—	3.0	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.6	—	—	3.0	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	2.0	—	—	nS

消費電流（メモリ構成：32kWord×16Dataの場合）

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Standby Current	IDDS	—	—	—	—	—	—	nA
Active Current	IDDA	—	175	—	—	130	—	μA/MHz

AC 特性

パラメータ	記号	2.5V±0.2V 0~+70°C			2.0V±0.2V 0~+70°C			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Clock Frequency	f _c	—	—	71	—	—	42	MHz
CK Access Time	t _{ACK}	—	5.4	8.6	—	7.0	13.2	nS
CK High Width Time	t _{CKH}	7.0	—	—	12.0	—	—	nS
CK Low Width Time	t _{CKL}	2.6	—	—	3.0	—	—	nS
Cycle Time	t _{CYC}	14.0	—	—	24.0	—	—	nS
CS Setup Time	t _{CSS}	2.4	—	—	2.8	—	—	nS
CS Hold Time	t _{CSH}	0	—	—	0	—	—	nS
Address Setup Time	t _{AS}	2.4	—	—	2.8	—	—	nS
Address Hold Time	t _{AH}	0	—	—	0	—	—	nS
Output Hold Time	t _{OH}	1.0	—	—	2.0	—	—	nS

6.7 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに Read 動作を行なった場合は、対象となるワード線が存在せず、すべてのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、

- ① すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、RAM の出力が全ビット“不定”となってしまいます。
- ② すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

等の状態が起こります。したがって、非存在アドレスへのアクセスに関しては禁止します。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

第7章 伝播遅延時間とタイミング設計

伝播遅延時間 T_{pd} は、電源電圧、周囲温度および、プロセス条件により変動します。また、出力負荷（配線容量やファンアウト数）、入力波形のなまり、入力論理レベル、ミラー効果等の回路構成によっても変動します。

S1X60000 シリーズでは、これらの変動要因を考慮したディレイ・カリキュレータを導入し、精度の高い遅延計算環境を提供しています。したがって、後述する手順にしたがって“S1X60000 Series Cell Library”に記載の数値を使用して、お客さまが簡易的に計算した伝播遅延時間の値とは必ずしも一致しませんので、あらかじめご承知ください。

7.1 T_a と T_j の関係に関する注意

基本的に、CMOS IC の遅延は、 T_j （ジャンクション温度）によって変動します。かたや、一般的に IC の仕様は T_a で表されます。しかし、 T_j と T_a の関係は一定ではなく、その IC のパッケージの熱抵抗や消費電力によって変わります（詳細は「8.2 消費電力制限」を参照してください）。

ASIC の場合、パッケージと消費電力は回路やアプリケーション毎に異なり、厳密には T_a での仕様検討が困難になります。そこで、弊社の S1X60000 シリーズでは以下の目安で設計初期の検証を行っていただけるように遅延ライブラリを用意しています。

* $T_a=0 \sim 70[^\circ\text{C}]$ 用として、 $T_j=0 \sim 85[^\circ\text{C}]$ ライブラリ

* $T_a=-40 \sim 85[^\circ\text{C}]$ 用として、 $T_j=-40 \sim 125[^\circ\text{C}]$ ライブラリ

もちろん、パッケージと消費電力の見積りによって、 T_a と T_j の関係が大きく変わる場合には、 $T_j=-40 \sim 125[^\circ\text{C}]$ ライブラリを $T_a=0 \sim 70[^\circ\text{C}]$ 用として運用させていただくことや、別の条件を付加させていただく場合もありますことをご了承願います。

7.2 伝播遅延時間の計算

以下に示す計算式は、伝播遅延時間の計算を簡易的に行うための遅延計算式です。この計算式では、負荷容量が大きいほど遅延誤差は大きくなり、ディレイ・カリキュレータの結果よりも小さな値となりますので、あくまで目安としてご使用ください。

(1) 入力セルと内部セルの遅延時間

入力セルおよび、内部セルの伝播遅延時間 T_{pd} は、無負荷時のセル固有の遅延時間 T_0 と、セルの出力に接続する配線負荷容量と入力負荷容量による負荷遅延の合計によって算出します。すなわち、伝播遅延時間 T_{pd} は次の式によって求められます。

$$T_{pd} = T_0 + K \times (\Sigma \text{Load A} + \text{Load B}) \cdots \text{(式 7-1)}$$

T_0 : 無負荷時のセル固有遅延 [ps]

K : 負荷遅延係数 [ps/LU]

Load A : 接続するセルの入力負荷容量 [LU]

Load B : 配線負荷容量 [LU]

注 1) T_0 および K の値は動作電圧、周囲温度および、プロセス条件によって異なります。“S1X60000 Series Cell Library”に記載されている値をご使用ください。

注 2) 単位系の“LU”は、Load Unit の略です。S1X60000 シリーズではインバータセル (IN1) の入力ピンのゲート容量を 1LU と定義しています。

(2) 出力セルの遅延時間

出力セルの伝播遅延時間 T_{pd} は、無負荷時の出力セル固有の遅延時間 T_0 と、外部出力端子に接続する負荷容量 C_L から次の式によって求められます。

$$T_{pd} = T_0 + K \times C_L \div 10 \quad \dots \text{(式 7-2)}$$

T_0 : 無負荷時の出力セル固有遅延 [ps]

K : 出力セル負荷遅延係数 [ps/10pF]

C_L : 外部出力端子に接続する負荷容量 [pF]

7.3 仮想配線容量

回路設計の段階では、回路の接続情報に基づいた配置配線が行われていませんので、負荷として接続する配線長が確定していません。そのため、配置配線前の段階では、あらかじめ統計的処理によって準備されている配線容量（仮想配線容量）を用いて伝播遅延時間の計算を行います。

S1X60000 シリーズでは、出力 1 分岐あたりの仮想配線容量を、配線層数と Gate 数に対応して用意しています。これを、表 7-1 に示します。

表 7-1 1 分岐当りの仮想配線容量（単位：LU）

Gate 数	3 層配線	4 層配線	5 層配線
1000	2.056	2.062	2.057
5000	2.063	2.068	2.064
10000	2.071	2.076	2.072
20000	2.087	2.092	2.088
40000	2.119	2.125	2.120
60000	2.152	2.157	2.153
80000	2.184	2.190	2.185
100000	2.217	2.222	2.218
200000	2.379	2.385	2.380
400000	2.703	2.710	2.704
600000	3.027	3.035	3.029
800000	3.351	3.360	3.353
1000000	3.675	3.685	3.677
1200000	3.999	4.010	4.001
1400000	4.323	4.335	4.326
1600000	4.648	4.660	4.650
1800000	4.972	4.985	4.974
2000000	5.296	5.310	5.299

伝播遅延時間の計算例

(1) 入力セルおよび、内部セルの遅延時間

図7-1に回路の例を示し、各パスの伝播遅延時間の概略計算方法について説明します。

また、表7-2は“S1X60000 Series Cell Library”に記載されている各特性値を抽出したものです。これらの回路は全体が20,000ゲート規模の回路であるとします。

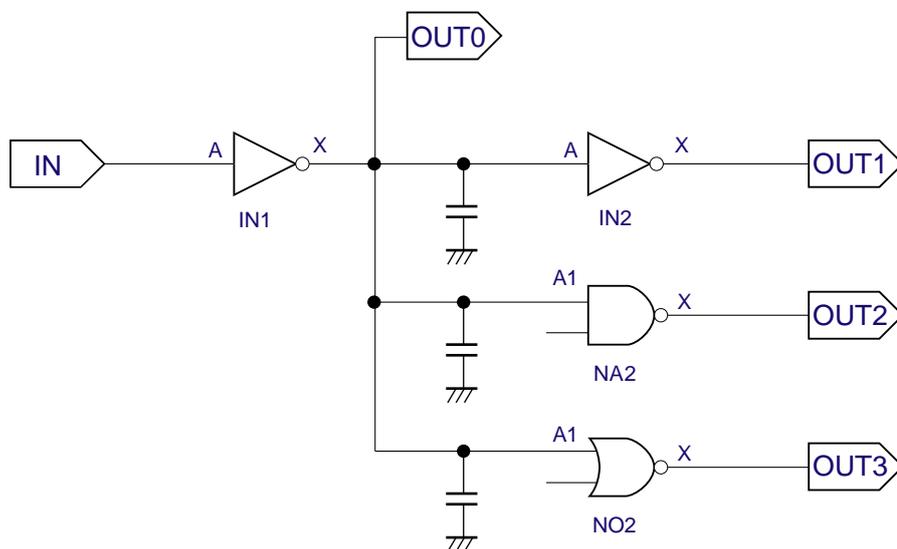


図7-1 内部セル伝播遅延時間計算の回路例

表7-2 各セルの特性値（電源電圧2.5V）

Cell	Input		Output		Delay Characteristics (Typ.)				
	Pin	Fan-In [LU]	Pin	Fan-Out [LU]	From	To	Parameter	T ₀ [ps]	K [ps/LU]
IN1	A	1.0	X	14.4	A	X	t _{pLH}	43	18.7
							t _{pHL}	44	10.2
IN2	A	2.0	X	28.9	A	X	t _{pLH}	36	9.3
							t _{pHL}	37	5.1
NA2	A1	0.9	X	14.2	A	X	t _{pLH}	57	18.9
							t _{pHL}	50	16.0
NO2	A1	1.1	X	7.3	A	X	t _{pLH}	56	36.0
							t _{pHL}	53	10.2

セル IN1 の出力ピン X には、IN2 (A ピン)、NA2 (A1 ピン)、NO2 (A1 ピン) がそれぞれ接続していますので、表7-2よりセルの入力負荷容量 Load A の合計は次のようになります。

$$\begin{aligned} \Sigma \text{ Load A} &= \text{IN2 (A ピンの Fan-In)} + \text{NA2 (A1 ピンの Fan-In)} \\ &\quad + \text{NO2 (A1 ピンの Fan-In)} \\ &= 2.0 + 0.9 + 1.1 = 4.0 \text{ [LU]} \end{aligned}$$

また、配線負荷容量 Load B は仮想配線容量を用いて計算します。ここでは3層配線を用いて配置配線が行われるものと仮定すると、回路が20,000ゲート規模の仮想配線容量は表7-1より2.087 [LU] となります。セル IN1 の出力ピン X は3分岐していますので、配線負荷容量 Load B は次のようになります。

$$\text{Load B} = 2.087 \times 3 = 6.261 \text{ [LU]}$$

したがって、式 (7-1) を用いて、IN1 の Typ.条件時の遅延は次のように計算されます。

ここで“↑”は立ち上がり (Rise)、“↓”は立ち下がり (Fall) を示します。また、この場合の立ち上がり、立ち下がり は出力ピン X の遷移状態を表します。

$$\begin{aligned} T_{pd} (\text{A} \downarrow \rightarrow \text{X} \uparrow) &= T_0 (\uparrow) + K (\uparrow) \times (\Sigma \text{ Load A} + \text{Load B}) \\ &= 43 + 18.7 \times (4.0 + 6.261) \\ &= 234.9 \text{ [ps]} \end{aligned}$$

$$\begin{aligned} T_{pd} (\text{A} \uparrow \rightarrow \text{X} \downarrow) &= T_0 (\downarrow) + K (\downarrow) \times (\Sigma \text{ Load A} + \text{Load B}) \\ &= 44 + 10.2 \times (4.0 + 6.261) \\ &= 148.7 \text{ [ps]} \end{aligned}$$

次に IN から OUT1、OUT2、OUT3 までのパス遅延を計算します。この場合、OUT1、OUT2、OUT3 はそれぞれ無負荷状態であるため、上記の遅延値にセルの固有遅延が加算されます。またこの場合、各出力の立ち上がり、立ち下がり極性には注意をして計算してください。

- ① パス IN→OUT1 の遅延 = IN1 (A→X 遅延) + IN2 (A→X 遅延)

$$\begin{aligned} T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT1} \uparrow) &= T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT0} \downarrow) + T_{pd} (\text{OUT0} \downarrow \rightarrow \text{OUT1} \uparrow) \\ &= 148.7 + 36 \\ &= 184.7 \text{ [ps]} \end{aligned}$$

$$\begin{aligned} T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT1} \downarrow) &= T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT0} \uparrow) + T_{pd} (\text{OUT0} \uparrow \rightarrow \text{OUT1} \downarrow) \\ &= 234.9 + 37 \\ &= 271.9 \text{ [ps]} \end{aligned}$$

- ② パス IN→OUT2 の遅延 = IN1 (A→X 遅延) + NA2 (A1→X 遅延)

$$\begin{aligned} T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT2} \uparrow) &= T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT0} \downarrow) + T_{pd} (\text{OUT0} \downarrow \rightarrow \text{OUT2} \uparrow) \\ &= 148.7 + 57 \\ &= 205.7 \text{ [ps]} \end{aligned}$$

$$\begin{aligned} T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT2} \downarrow) &= T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT0} \uparrow) + T_{pd} (\text{OUT0} \uparrow \rightarrow \text{OUT2} \downarrow) \\ &= 234.9 + 50 \\ &= 284.9 \text{ [ps]} \end{aligned}$$

- ③ パス IN→OUT3 の遅延 = IN1 (A→X 遅延) + NO2 (A1→X 遅延)

$$\begin{aligned} T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT3} \uparrow) &= T_{pd} (\text{IN} \uparrow \rightarrow \text{OUT0} \downarrow) + T_{pd} (\text{OUT0} \downarrow \rightarrow \text{OUT3} \uparrow) \\ &= 148.7 + 56 \\ &= 204.7 \text{ [ps]} \end{aligned}$$

$$\begin{aligned} T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT3} \downarrow) &= T_{pd} (\text{IN} \downarrow \rightarrow \text{OUT0} \uparrow) + T_{pd} (\text{OUT0} \uparrow \rightarrow \text{OUT3} \downarrow) \\ &= 234.9 + 53 \\ &= 287.9 \text{ [ps]} \end{aligned}$$

(2) 出力セルの遅延時間

図 7-2 に回路の例を示し、伝播遅延時間の概略計算方法について説明します。Chip 外部の出力端子容量には 100pF が付加されているとします。

また、表 7-3 はセル HOB3 のセルライブラリに記載されている 2 電源出力セルの各特性値を抽出したものです。

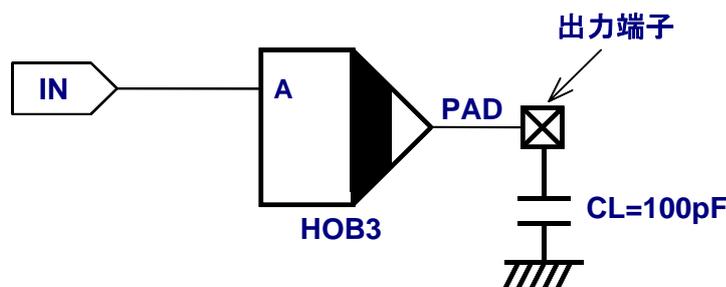


図 7-2 出力セル伝播遅延時間計算の回路例

表 7-3 出力セルの特性値（電源電圧 HV_{DD}=3.3V/LV_{DD}=2.5V）

セル名	Input		Output		Delay Characteristics (Typ.)				
	Pin	Fan-In [LU]	Pin	Fan-Out [LU]	From	To	Parameter	T ₀ [ps]	K [ps/10pF]
HOB3	A	3.3	PAD	—	A	PAD	t _{pLH}	2406	166.7
							t _{pHL}	1712	211.6

出力セル HOB3 の Typ.条件時の遅延時間 T_{pd} は式 (7-2) を用いて次のように計算されます。

ここで“↑”は立ち上がり (Rise)、“↓”は立ち下がり (Fall)を示します。また、この場合の立ち上がり、立ち下がりには出力ピン PAD の遷移状態を表します。

$$\begin{aligned} T_{pd} (\text{IN} \uparrow \rightarrow \text{PAD} \uparrow) &= T_0 (\uparrow) + K (\uparrow) \times 100 (\text{pF}) \div 10 \\ &= 2406 + 166.7 \times 100 (\text{pF}) \div 10 \\ &= 4073 [\text{ps}] \end{aligned}$$

$$\begin{aligned} T_{pd} (\text{IN} \downarrow \rightarrow \text{PAD} \downarrow) &= T_0 (\downarrow) + K (\downarrow) \times 100 (\text{pF}) \div 10 \\ &= 1712 + 211.6 \times 100 (\text{pF}) \div 10 \\ &= 3828 [\text{ps}] \end{aligned}$$

7.4 伝播遅延時間の変動

(式 7-1) に示す入力セルと内部セルの遅延時間、(式 7-2) に示す出力セルの遅延時間の計算に使用される T₀ および、K の値は、動作電圧、周囲温度およびプロセス条件によって異なり、Min/Typ/Max それぞれの条件ごとに“S1X60000 Series MSI Cell Library”に記載されています。Min/Typ/Max 条件とは以下を指しますので、目的に合った条件の値をご使用ください。

Min 条件：	V _{DD} =最高値、	T _a =最低値、	プロセス=Fast
Typ 条件：	V _{DD} =中心値、	T _a =25°C、	プロセス=中心値
Max 条件：	V _{DD} =最低値、	T _a =最高値、	プロセス=Slow

この Min および、Max 条件の遅延値は、V_{DD}、T_a およびプロセスがばらついても、回路遅延が目的の仕様範囲内であることを確認するために重要です。

また、Typ 条件から、Min/Max 条件の遅延値のばらつきを表す係数 (M) は、(式 7-3) を用いて算出することができます。

$$M = MV \times MT \times MP \quad \dots (\text{式 7-3})$$

MV：電源電圧変動係数
 MT：周囲温度変動係数
 MP：プロセス変動係数

表 7-4 に標準の遅延ばらつき係数 M を示します。また、参考として MSI セルの MV 及び、MT を示すグラフを、図 7-3 に示します。

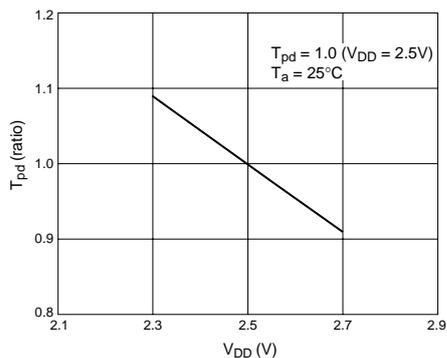
表 7-4 に示す標準の電源電圧範囲、周囲温度範囲以外の扱いにつきましては、弊社営業担当までお問い合わせください。

表 7-4 遅延ばらつき係数 M

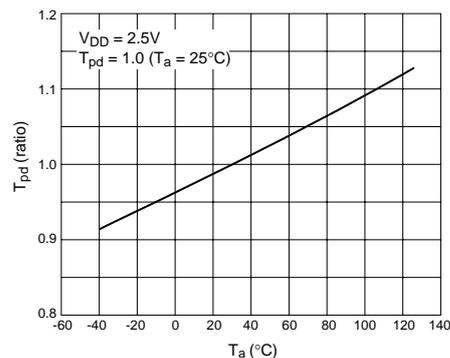
条件		M 値 ($T_a=0\sim+70^{\circ}\text{C}^{*1}$)			M 値 ($T_a=-40\sim+85^{\circ}\text{C}^{*2}$)		
		Min.	Typ.	Max.	Min.	Typ.	Max.
入出力バッファ	$HV_{DD}=3.3\text{V}\pm 0.3\text{V}$	0.72	1.00	1.39	0.68	1.00	1.44
	V_{DD} or $LV_{DD}=2.5\text{V}\pm 0.2\text{V}$	0.72	1.00	1.45	0.68	1.00	1.53
	V_{DD} or $LV_{DD}=2.0\text{V}\pm 0.2\text{V}$	0.69	1.00	1.53	0.65	1.00	1.56
MSI セル	$V_{DD}=2.5\text{V}\pm 0.2\text{V}$	0.75	1.00	1.40	0.70	1.00	1.48
	$V_{DD}=2.0\text{V}\pm 0.2\text{V}$	0.72	1.00	1.48	0.68	1.00	1.56

*1 : この温度範囲は、 $T_j=0\sim+85^{\circ}\text{C}$ を想定したものです。

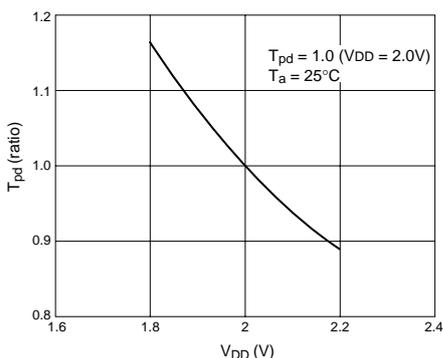
*2 : この温度範囲は、 $T_j=-40\sim+125^{\circ}\text{C}$ を想定したものです。



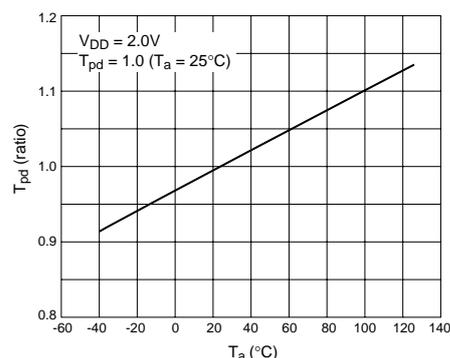
伝播時間—電源電圧特性



伝播時間—周囲温度特性



伝播時間—電源電圧特性



伝播時間—周囲温度特性

図 7-3 MSI セルの遅延特性

7.5 FF (フリップフロップ) のセットアップ/ホールドタイム

構成した回路が所望の論理で正しく動作するためには、FF および FF を用いた MSI の順序回路で印加される信号のタイミングが重要なポイントになります。この信号に深くかかわっているのが FF のセットアップタイムとホールドタイムです。セットアップタイムに間に合わないタイミングで入力されたデータや、ホールドタイムを守らずに変化したデータは、FF 回路に正しく書き込むことはできませんので、それらの値を考慮してタイミング設計する必要があります。

① 最小パルス幅

FF および FF を用いた MSI で、入力パルス波形の前端と後端の時間幅の最小値をいいます。この値よりも狭い幅のパルスが入力に印加された場合、信号として無効になるばかりでなく、誤動作を起こすことがあります。

最小パルス幅には次の 3 つがあります。

- クロック信号の最小パルス幅
- セット信号の最小パルス幅
- リセット信号の最小パルス幅

② セットアップタイム

FF および FF を用いた MSI で、データを正常に読み込むためにクロックパルスの有効エッジ変化以前にデータの状態を設定しておく必要があります、これに必要な時間をセットアップタイムといいます。

③ ホールドタイム

FF および FF を用いた MSI で、データを正常に読み込むためにクロックパルスの有効なエッジが入った後にデータの状態を保持しておく必要があります、これに必要な時間をホールドタイムといいます。

④ リリースタイム (セットアップ)

FF および FF を用いた MSI で、セット/リセットの入力の状態が解除されてからクロックパルスを変化させることができるまでの時間をリリースタイム (セットアップ) といいます。

⑤ リムーバルタイム (ホールド)

FF および FF を用いた MSI で、クロックパルスが入った後にセット/リセットの入力の状態を保持しておく必要があります、この時間をリムーバルタイム (ホールド) といいます。

⑥ セットリセットのセットアップタイム (リカバリ)

FF および FF を用いた MSI で、セットの入力の状態が解除されてからリセットの入力を立ち上げることができるまでの時間をセットリセットのセットアップタイムといいます。

⑦ セットリセットのホールドタイム (リカバリ)

FF および FF を用いた MSI で、リセット信号を立ち上げた後、次にセット信号を立ち上げるまでには信号状態を保持しておく必要があります。この時間をセットリセットのホールドタイムといいます。

なお、シミュレーション時のタイミングエラーメッセージにつきましては、各ツールのマニュアルを参照してください。

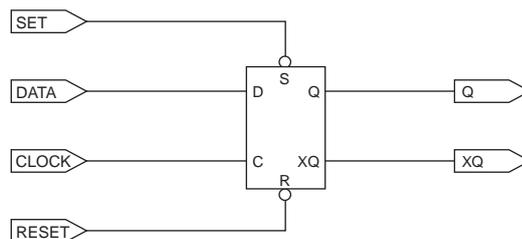


図 7-4 DFSR

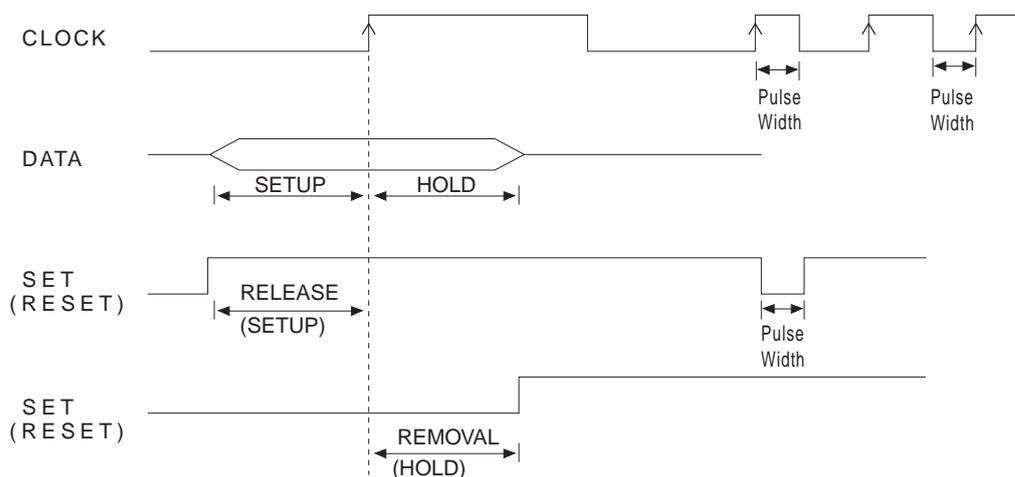


図 7-5 タイミング波形図 1 (①~⑤)についての説明図)

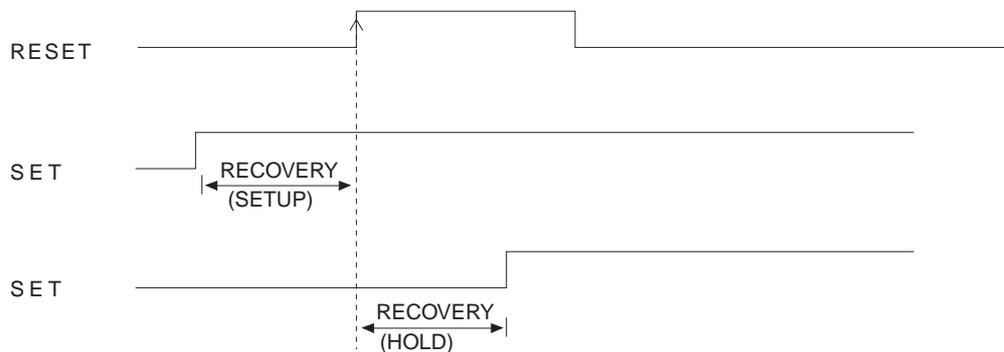


図 7-6 タイミング波形図 2 (⑥~⑦)についての説明図)

S1X60000 シリーズの FF のセットアップ/ホールドタイムは “S1X60000 Series MSI Cell Library” に記載してあります。実際にご使用になる場合は、各セルごとの特性を参照してください。

第 8 章 消費電力の見積り

CMOS の LSI は、動作していない時にはほとんど電流は流れません。しかし、動作時には動作周波数に応じた電力を消費します。消費電力が大きくなると LSI Chip の温度が上昇します。この温度が上昇しすぎると LSI の品質上悪影響がでてきます。

そのため消費電力を計算して、Chip の許容消費電力に収まっているかどうか確認が必要になります。

ここでは、S1X60000 シリーズの Chip 全体の消費電力計算方法について説明します。

8.1 消費電力計算

CMOS 回路の消費電力は、一般的にその動作周波数、負荷容量、電源電圧に依存します。(アナログ回路等で定常電流が流れる特殊なもの除きます。)

Chip 全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロックごとの消費電力を求め、その総和を求めます。次に入力バッファ、出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

求める総消費電力 P_{total} は、以下の式で求めます。

$$P_{total} = P_{int} + P_i + P_o$$

P_{int} : 内部回路の消費電力

P_i : 入力バッファの消費電力

P_o : 出力バッファの消費電力

8.1.1 内部セル (P_{int})

内部セルの消費電力は、使用ゲート数、セル使用効率、動作周波数およびその動作周波数で動作するセルの割合によって異なり、次のように計算されます。

$$P_{int} = \sum_{i=1}^K \{ (Nb \times U) \times f_i \times S_{pi} \times K_{pint} \} [W]$$

Nb : 回路の総 BC 数

U : セル使用効率

f_i : I 番目の動作周波数 [MHz]

S_{pi} : 全セル中、動作周波数 f_i [MHz] で動作する BC の割合

(システムの内容にもよりますが、20~30%を目安としてください。)

K_{pint} : 1BC あたりの消費電力、表 8-1 を参照してください。

表 8-1 S1X60000 シリーズ 1 BC あたりの K_{pint}

V_{DD} (TYP)	K_{pi}
$V_{DD}=2.5V$ 、 $LV_{DD}=2.5V$	0.18 μ W/MHz
$V_{DD}=2.0V$ 、 $LV_{DD}=2.0V$	0.11 μ W/MHz

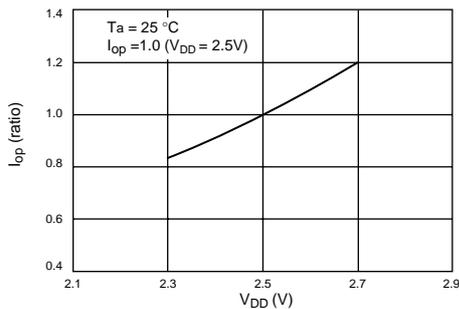


図 8-1

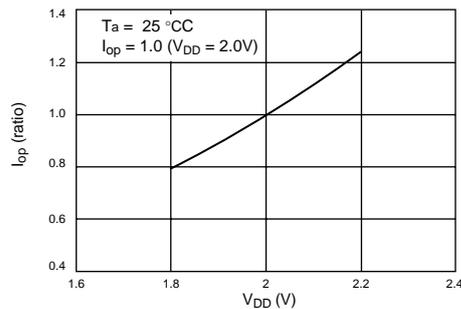


図 8-2

8.1.2 入力バッファ (Pi)

入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に K_{pi} [μ W/MHz] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (K_{pi} \times f_i) \quad [\mu W]$$

f_i : I 番目の入力バッファの動作周波数 [MHz]

K_{pi} : 入力バッファの電圧係数 (表 8-2 を参照してください。)

表 8-2 S1X60000 シリーズの入力セル K_{pi}

V_{DD} (TYP)	K_{pi}
HV _{DD} =3.3V	3.8 μ W/MHz
V_{DD} =2.5V、LV _{DD} =2.5V	2.6 μ W/MHz
V_{DD} =2.0V、LV _{DD} =2.0V	1.6 μ W/MHz

8.1.3 出力バッファ (Po)

出力バッファの消費電力は、直流負荷の場合 (抵抗性の負荷、接続先が TTL デバイスの場合など) と、交流負荷の場合 (容量性の負荷、接続先が CMOS デバイスの場合など) で異なります。

直流消費電力を P_{DC} 、交流消費電力を P_{AC} とすると、求める出力バッファの消費電力 P_o は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

8.1.3.1 交流消費電力 (PAC)

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_L \times (V_{DD})^2\}$$

f_i : 出力バッファの動作周波数 [Hz]

C_L : 出力負荷容量 [F]

V_{DD} : 電源電圧 [V]

8.1.3.2 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD}^* - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、P_{DCH}と P_{DCL}の比は出力信号の Duty 比で決まります。

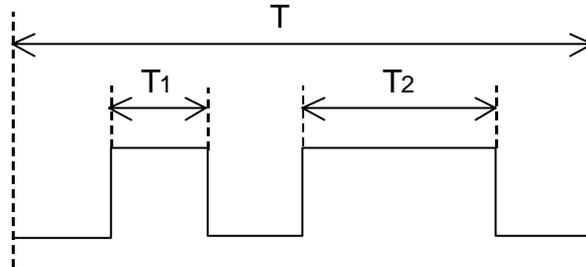


図 8-3 Duty Cycle の例

図 8-3 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$= \sum_{i=1}^K \{ (V_{DD}^* - V_{OH_i}) \times I_{OH_i} \times \text{Duty H} \} + \sum_{i=1}^K [V_{OL_i} \times I_{OL_i} \times \text{Duty L}]$$

* 2 電源の場合は HV_{DD} あるいは LV_{DD}

8.2 消費電力制限

LSI では消費電力にしたがって LSI の Chip 温度が上昇します。パッケージに搭載された状態では LSI の Chip 温度はその周囲温度 T_a、パッケージの熱抵抗 θ_{j-a} および消費電力 PD から計算できます。

$$\text{Chip 温度 } (T_j) = T_a + (PD \times \theta_{j-a}) \text{ (}^\circ\text{C)}$$

T_j の最大許容温度は、設計段階の最終確認に使用する遅延条件によって変わります。具体的には、T_a = 0 ~ 70 [°C] を想定した遅延条件の場合の最大 T_j は、85°C です。また、T_a = -40 ~ 85 [°C] を想定した遅延条件では、125°C です。つきましては、ご希望の条件の最大 T_j 以下を目安にご使用ください。

各パッケージの熱抵抗は、表 8-3 を参照してください。表 8-3 の熱抵抗の値は、基板への実装状態や強制空冷の有無によって大きく変動します。

表 8-3 各パッケージの熱抵抗

パッケージタイプ	PIN 数	Θ_{j-a} (°C/W)			Θ_{j-c} (°C/W)	備考
		0 m/s	1 m/s	2 m/s		
QFP5	—	36	32	30	8	実装基板：JEDEC STD ボード (114.3x76.2x1.6mm、4layer) リードフレーム：Cu 条件により以下の範囲で変化します。 ・ Θ_{j-a} で最大±15°C/W ・ Θ_{j-c} で最大±3°C/W
QFP8	—	27	24	23	8	
QFP10	—	23	21	20	8	
QFP12	—	51	46	44	6	
QFP13	—	48	45	43	6	
QFP14	—	44	41	39	6	
QFP15	—	41	39	37	6	
QFP20	—	36	33	31	6	
QFP21	—	34	31	29	6	
QFP22	—	27	24	23	6	
QFP23	—	26	24	23	8	
TQFP12	—	53	47	45	4	
TQFP13	—	47	44	42	4	
TQFP14	—	43	40	38	4	
TQFP15	—	42	36	34	4	
TQFP24	—	39	37	35	4	
PBGA1U 2layer	256	24	21	20	4	実装基板：JEDEC STD ボード (114.3x76.2x1.6mm、4layer) 条件により以下の範囲で変化します。 ・ Θ_{j-a} で最大±10°C/W ・ Θ_{j-c} で最大±3°C/W
PBGA1U 4layer	256	19	17	16	4	
PBGA3U 2layer	324	23	20	18	5	
PBGA3U 4layer	484	18	15	14	5	
PBGA4U 2layer	256	22	19	18	6	
PBGA6U 2layer	388	19	17	16	6	
PBGA6U 4layer	388	14	12	11	6	
PFBGA7	—	34	31	30	3	実装基板：JEDEC STD ボード (114.5x101.5x1.6mm、4layer) 条件により以下の範囲で変化します。 ・ Θ_{j-a} で最大±10°C/W ・ Θ_{j-c} で最大±2°C/W
PFBGA8	—	31	28	27	3	
PFBGA10	—	30	22	21	3	
PFBGA12	—	24	21	20	3	
PFBGA14	—	22	20	19	3	
PFBGA16	—	20	18	17	3	

* 各数値は定量値ではありません。参考値としてお取扱いください。

第9章 回路設計

9.1 基本回路構成

9.1.1 入出力バッファの挿入

LSI 外部と LSI 内部の信号のやり取りを行うさいには、入出力バッファを経由する必要があります。必ず外部端子と内部セルの間には入力バッファや出力バッファを挿入してください。

これは CMOS-LSI は静電気などに非常に弱いためであり、その保護回路が入出力バッファには内蔵されています。

9.1.2 論理ゲートの出力負荷の制限

CMOS 回路は、出力の負荷容量が大きくなるにしたがい、信号の伝播遅延時間 (t_{pd}) が大きくなるとともに、信号波形の立ち上がり、立ち下がり時間 (t_{slew}) も長くなるという性質があります。

論理ゲートの出力負荷容量が過剰になると、特定の回路ノードで信号遅延が集中して動作速度が制限されたり、論理ゲートの伝播遅延時間のシミュレーション精度が悪化して誤動作を引き起こす可能性があります。また、信号の変化期間が長くなることにより、ノイズの影響を受けやすくなる場合もあります。

回路設計段階での論理ゲートの負荷を適切にするために、**Fan-Out** 制限と呼ばれる接続可能な負荷の制限が設けられています。すなわち、個々の論理ゲートの入力端子にはインバータセル (IN1) の入力容量を 1 としたときの相対的な入力容量である **Fan-In** が定義されており、**Fan-Out** 制限は、各論理ゲートの出力端子に接続可能な **Fan-In** の総数として表されます。各論理ゲートの出力端子に接続する **Fan-In** 数の総和が、その出力端子の **Fan-Out** 制限を超えないように回路設計を行ってください。また、高速 (動作周波数 60MHz 以上) の **Clock Line** のように、高速動作させる論理ゲートの出力端子には、通常の **Fan-Out** 制限値の半分程度を目安に回路設計を行ってください。

実際の LSI の論理ゲートの出力端子の負荷容量は、次段のゲートの入力容量の他に信号の配線容量も加わります。正確な配線容量は回路の配置配線により決まるため、場合によっては配置配線のさいに特定のノードに大きな負荷容量が加わることがあります。各回路ノードの負荷状況は t_{slew} の出力結果によって判断することができます。これが規格値を超えていた場合は制限値内に抑えるために回路修正をお願いする場合がありますのであらかじめご了承ください。配置配線後の負荷容量の増大を抑えるため、単一ノードでの回路の分岐数をできるだけ少なくしたり、分岐がある場合は **Fan-Out** が大きいバッファを使用するようにしてください。

9.1.3 ワイヤードロジックの禁止

本シリーズは CMOS トランジスタを使用しているため、バイポーラのようにワイヤードロジックを構成することはできません。そのため図 9-1 のように、セルの出力端子同士を接続することはできません。出力端子同士の接続が許されているのは BUS 回路構成の場合のみです。

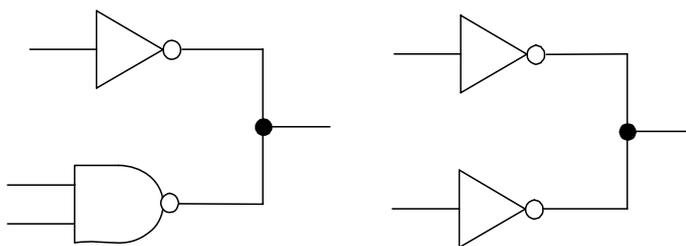


図 9-1 ワイヤードロジックの禁止の例

9.1.4 同期設計の推奨

論理回路設計には、基本的にすべてのレジスタのクロック信号を共通にする同期設計を推奨します。同期設計は、レジスタ間のタイミングが単純になり高速な回路に向いている、クロック・ツリー・シンセシス、DFT、STA のような各種 EDA ツールが利用できる、テクノロジー固有の特性に依存しないため回路を再利用しやすいなど、多くのメリットがあります。

同期回路とは、理想的には次のような回路を指します。

1. 回路中のすべてのレジスタが 1 つのクロック信号の片方のエッジで動作する。
2. 組み合わせ回路によるフィードバック・ループがない。(図 9-2 参照)
3. 回路の遅延を利用したパルス発生回路がない。(図 9-3 参照)
4. システム・リセット以外の非同期リセットを使わない。(非同期セットも同様)

現実には全レジスタを 1 つのクロック信号で動作させるような回路設計は難しいと思われませんが、クロック信号の数をできるだけ少なくすることをお勧めします。クロック信号の数が多く、クロック信号同士の関係が複雑なほど、前述のような EDA ツールのオペレーションを含めた所要時間は長くなり、しかも満足できる出力結果を得られない可能性が高くなります。

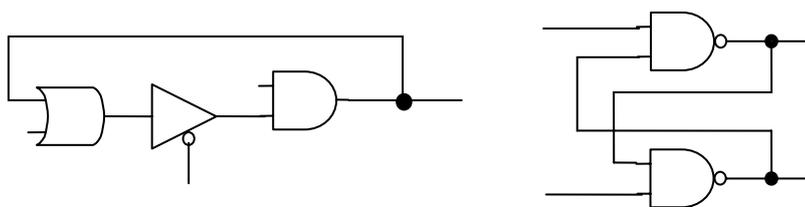


図 9-2 フィードバック・ループの例

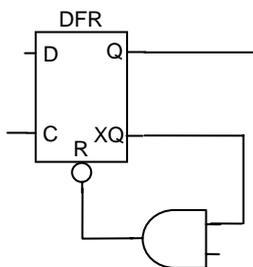


図 9-3 遅延を利用したパルス発生回路の例

9.2 微分回路の使用禁止

LSI の各素子の伝播遅延時間 (t_{pd}) は、使用環境（電圧、温度など）や製造条件より変動します。そのため図 9-4 のような t_{pd} の相対時間差を利用した微分回路では、使用環境や製造条件によっては十分なパルス幅が得られず、回路の誤動作の原因になります。

微分回路を使用する場合には、図 9-4 の回路は使用せずに、図 9-5 のような FF を利用した回路を使用してください。

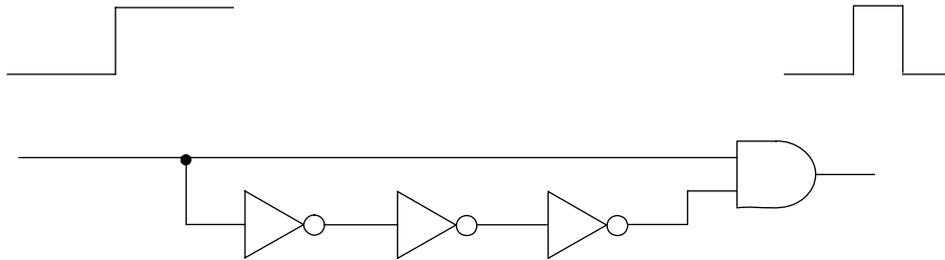


図 9-4 悪い微分回路の例

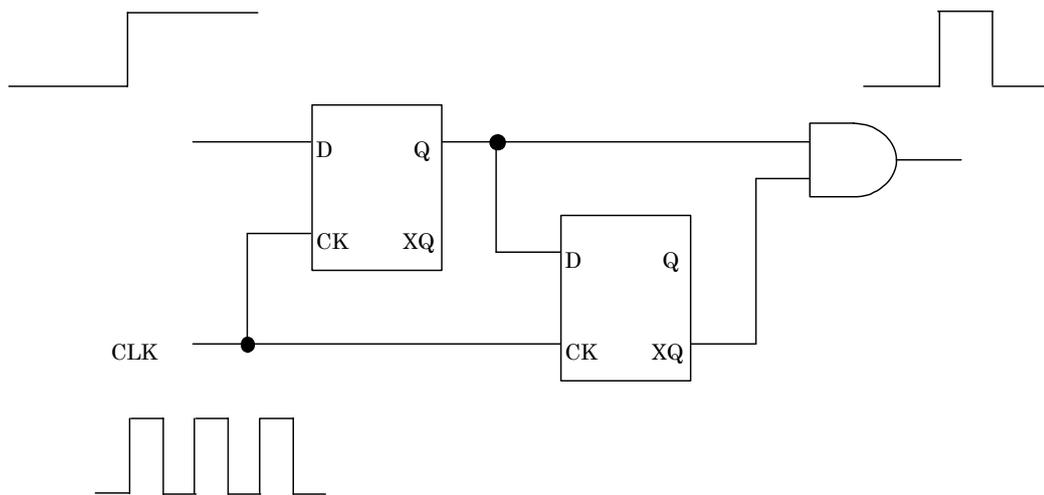


図 9-5 FF を利用した微分回路の例

9.3 Clock Tree Synthesis

9.3.1 概要

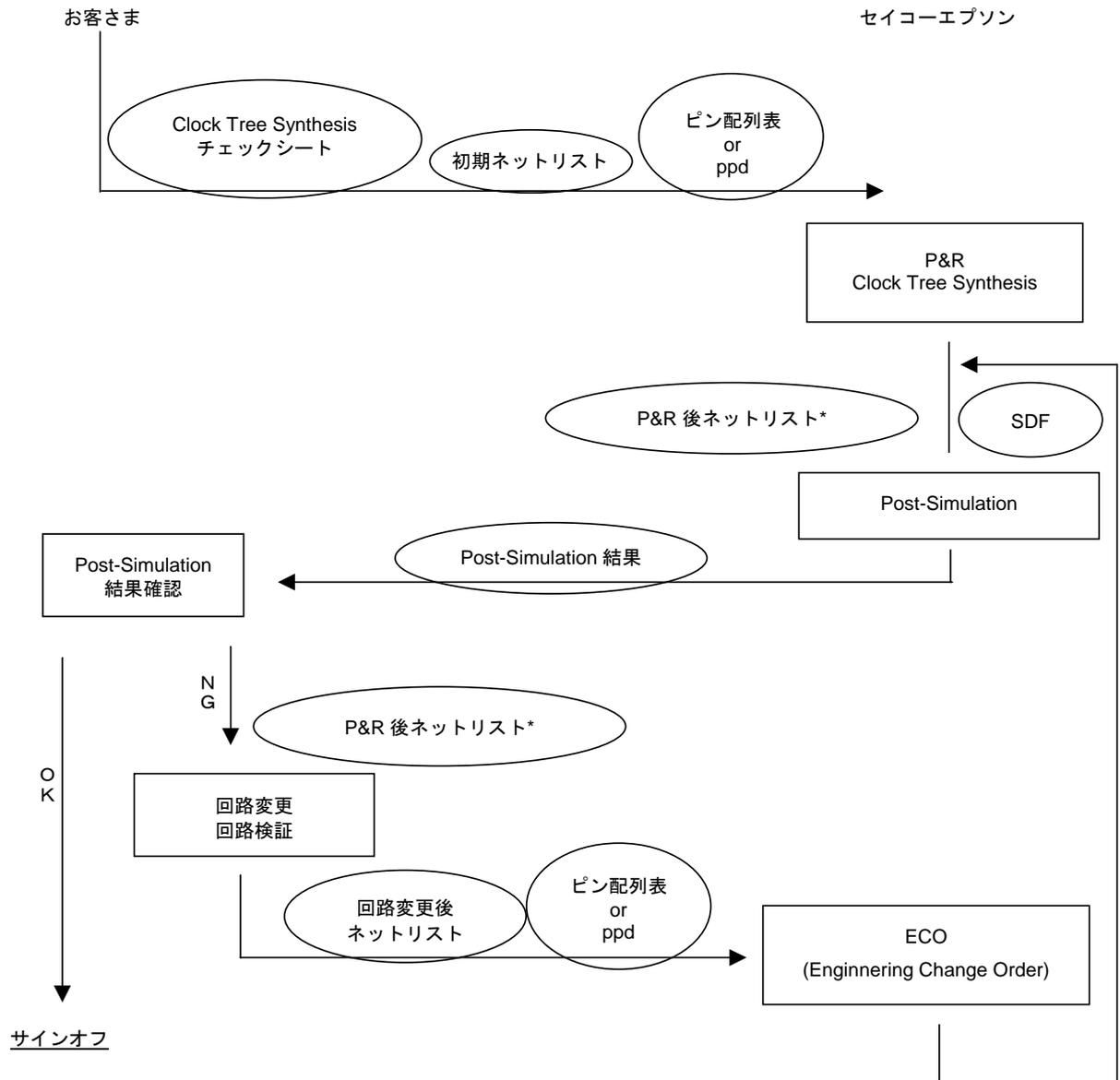
Clock Tree Synthesis は Clock Line の Skew 値と遅延値を最適化すべく、Buffer 群の Tree を自動挿入するサービスです。お客さまご自身で Clock Line の Fan-Out 調整等のために Clock Tree を挿入されるケースがありますが、その場合はそれらが配置配線ツールによって任意に配置配線されてしまうため、結果的に Clock Skew と配線遅延が大きくなってしまいます。そのためお客さまご自身で、Clock Line 中に Fan-Out 調整用の Buffer を入れずに、このサービスの適用を受けてください。

また Clock Line において Gating Cell(単純ゲート)が入っている回路においても、Clock Line の Skew 値と遅延値を最適化する事が可能です。

ここで Clock Tree Synthesis を行うにあたり、次の3つの目的のためにお客さまご自身にて専用 Buffer や専用 Gating Cell を Clock Line に挿入していただく必要があります。

- ① Clock Tree Synthesis を施す場所を判定する。
- ② 挿入される Clock Tree の遅延値を想定して、仮配線レベルの Simulation (Pre-Simulation) を実施する。
- ③ 正確な Post-Simulation を実施するために、挿入された Clock Tree を遅延情報に置き換えて Back Annotate する。

9.3.2 デザインフロー



(ECO とは回路変更が入った個所のみ配置配線を実施する手法のことです。)

[注意・その他]

- P&R 後のネットリストには、Clock Tree Synthesis で追加された Buffer が入っています。
- Post-Simulation には、Clock Tree Synthesis で追加された Buffer が入っているネットリストと sdf を用います。
- Post-Simulation 結果が NG の場合には、P&R 後のネットリストを修正してください。初期ネットリストを修正した場合には、P&R がやり直しとなります。
- Clock Net 部（専用 Buffer、専用 Gating Cell、DFF）の回路変更を実施すると、基本的に P&R がやり直しとなります。Clock Net 部の変更が必要な場合には、弊社までご相談ください。

9.3.3 実施方法

Clock Tree Synthesis 専用 Buffer につきましては、後述の表 9-2 専用 Buffer から、また Gated Clock Tree Synthesis 専用 Gating Cell につきましては、表 9-3 専用 Gating Cell から選択してください。また 9.3.4 項の制約と注意を考慮した上で参考回路図 1 をご参考の上、ご選択いただいた専用 Buffer または専用 Gating Cell を挿入してください。

また論理合成による設計の場合には、専用 Buffer や専用 Gating Cell の自動挿入はできませんので、直接ネットリストにて記述してください。またそのさいに、専用 Buffer や専用 Gating Cell を挿入した Clock Line に別の Buffer 等が合成されないように、Design Compiler では、以下のコマンドを実行してください。

```
set_dont_touch_network clock_name
```

表 9-1 Skew 値の目安

Fan-Out 数の目安	Gating Cell 無し	Gating Cell 有り
0~500	±200ps	±300ps
500~3000	±250ps	±400ps
3000~10000	±300ps	±500ps
10000~	±350ps	±600ps

[注意]

- Skew 値の目安は、回路の規模、配線の混雑度、クロックの本数等によって増減しますので、ご了承ください。
- Gating セルの段数は 1 段、個数は 20 個以内としてください。
- Gating Cell ありの Skew 値の目安は、段数 1 段で個数 20 個以内の場合です。
- Gating Cell の段数と個数が多い場合には、Post-Simulation で Skew が原因となったタイミングエラーが発生することがあります。開発日程に遅延を生じさせないためにも、Gating セルの使用を最小限にしてください。

表 9-2 専用 Buffer

S1X60000 シリーズ		
セル名	T ₀ Max (ns)	Fan-Out 数の目安
CRBF2	2.00	0~500
CRBF3	3.00	500~3000
CRBF4	4.00	3000~10000
CRBF5	5.00	10000~
CRBF6	6.00	
CRBF7	7.00	
CRBF8	8.00	

[注意]

- これらのセルの Pre-Simulation 時の K 値 (Fan-Out による遅延値) は、0 に設定されています。
- これらのセルの Fan-Out 数は、無限大に設定されています。
- Fan-Out 数に対する遅延値は、デザインの規模又は使用効率等によって変動しますので、目安として設計をお願いします。

表 9-3 専用 Gating Cell セル名

回路構成 (Function)	セル名
AND	CAD2V
OR	COR2V
2-1 セレクター	CAO24AV
NAND	CNA2V
NOR	CNO2V
2-1 セレクター	CAN24AV
INVERTER	CGIN4
Latch ベース AND	CLAD2V
Latch ベース OR	CLOR2V
テスト端子付き Latch ベース AND	CLPSAD2V
テスト端子付き Latch ベース OR	CLPSOR2V

Gating Cell のなかに、Latch ベースの Gating Cell を提供しています。本セルを使用した場合、クロック配線における信号切り替え時のグリッジを伝播しないためクロック信号が安定する利点があります。

Latch ベースの Gating Cell の Function 構成は、S1X60000 Cell Library を参照してください。

[注意]

- これらのセルの Pre-Simulation 時の遅延値 (T_0) は、0 に設定されています。
- これらのセルの Pre-Simulation 時の K 値 (Fan-Out による遅延値) は、0 に設定されています。
- これらのセルの Fan-Out 数は、無限大に設定されています。

9.3.4 制約と注意

- Clock Tree Synthesis を実施すると、Clock Tree Synthesis 対象のゲート数から約 10～30%増加します。
- Gating セルの個数が多い場合に、Post-Simulation で Skew が原因となったタイミングエラーが発生することがあります。開発日程に遅延を生じさせないためにも、Gating セルの使用を最小限にしてください。
- 専用 Buffer と専用 Gating Cell は、Clock Tree Synthesis 以外の目的には使用できません。
- Clock Tree Synthesis は、Data Line やその他の Control 信号にも使用できます。しかし Synthesis を施す Net が増えると、結果として Skew や遅延が大きくなります。したがって、Synthesis する Net は 10 本を限度としていただき、クリティカルで Fan-Out の大きい Net に限定してください。
- Fan-Out の小さい Net に Clock Tree Synthesis を施すと、遅延や Skew が大きくなる可能性があります。対象は、数十以上の Fan-Out の Net に限定してください。
- Clock Line 中に専用 Gating Cell 以外のセルが入っていると Pre-Simulation にて Skew が発生してしまいます。したがって、Clock Line 中には専用 Gating Cell 以外のセルを入れないでください。
- 専用 Gating Cell は、必ず専用 Buffer と組み合わせて使用してください。誤って専用 Gating Cell のみを使用した場合、Skew 値と遅延値の最適化は行えませんので、あらかじめご了承ください。
- 1 つの Clock Net に入る専用 Gating Cell 数が増えますと、Skew 値や遅延値が大きくなります。したがって、専用 Gating Cell のセル数は 20 個を Max. としてください。
- 専用 Gating Cell の段数が増えますと、Skew 値や遅延値が大きくなります。したがって、専用 Gating Cell の段数は 1 段までとしてください。
- デフォルトの Skew 調整は、DFF、ラッチセル等 Clock ピンがあるセルが対象となっています。DFF、ラッチセル等以外の Clock ピンがないセルに対して、Skew 調整が必要な場合は、弊社までお問い合わせください。
- Clock Tree Synthesis を使用している Net がメガセルの入力ピンに接続されている場合に、Skew 調整はメガセルの入力 PIN までが、Skew 調整の対象となります。
- 専用 Buffer を多段には入れないでください。もし Clock Net 中に専用 Buffer が入っていると、Skew と遅延の最適化は行えませんので、ご了承ください。

9.3.5 Clock Tree Synthesis チェックシート

Clock Tree Synthesis を実施させていただきたくて、以下の情報をご提示いただきますよう、よろしくお願い申し上げます。

●ターゲット Skew 値とターゲット遅延値

CRBF*のインスタンス名	ターゲットの Skew (Max.) 値 (SIM 条件 : MAX)	ターゲットの遅延値 (Min./Max.) (SIM 条件 : MAX)

[注意]

- ターゲットの値は、Synthesis する場合の目安にさせていただくものです。必ずしも本値を満足できるとは限りませんので、あらかじめご了承ください。
- Clock Line の本数は、10 本以内ですか。 Yes・No
 - Clock Net 内に専用 Gating Cell が入っていますか。 Yes・No
上記 2 の質問が、Yes の場合は、3～8 までの質問も回答をお願いします。
 - Clock Net1 本あたりに入っている専用 Gating Cell 個数は 20 個以内ですか。 Yes・No
 - 専用 Gating Cell の段数は、1 段以内ですか。 Yes・No
 - Clock Net 内に専用 Buffer が入っていませんか。 Yes・No
 - Clock Net 内に専用 Gating Cell 以外のセルが入っていませんか。 Yes・No
Yes の場合は、セル名を以下に明記してください。

[注意]

- 例えば、3 入力 AND を特殊 Gating Cell として取り扱う場合には、すべての Clock Line において、3 入力 AND が特殊 Gating Cell として取り扱われます。
 - DFF、ラッチ等は特殊 Gating Cell としては、取り扱うことはできません。
- DFF、ラッチ以外のセルを対象に Skew 調整を実施しますか。 Yes・No
Yes の場合は、セル名/入力ピン名も明記してください。

セル名： _____ ピン名： _____ セル名： _____ ピン名： _____

[注意]

- 例えば、インバータを Skew 対象とした場合に、すべての Clock Line において、インバータのセルが Skew 調整の対象となります。
- 添付 参考回路 2 のような回路構成が存在しますか。 Yes・No

[注意]

- 図中 A 部の DFF と B 部の DFF 両方の Clock Net に対しては、Skew の最適化を行うことができません。A 部の DFF と B 部の DFF 両方の Skew 調整が必要な場合には、参考回路図 2 を参考に“CAO24AV”を追加してください。
- 添付 参考回路 3 のような回路構成は存在しますか。 Yes・No

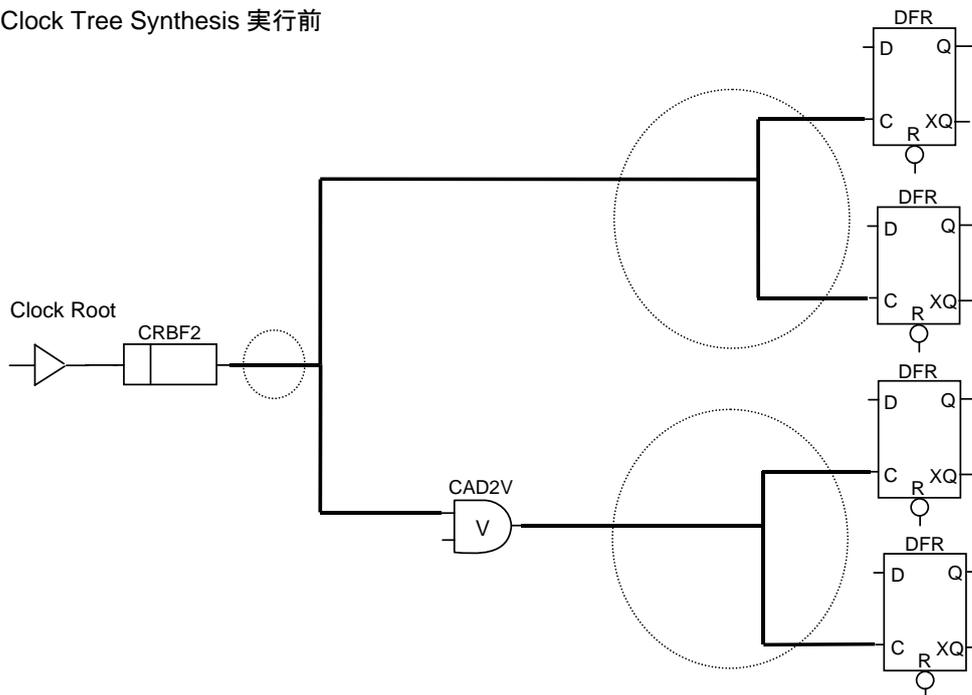
[注意]

- 図中 A 部の DFF は、Clock Root A と Clock Root B の両方から駆動されています。A 部の DFF に対して、Clock Root A と Clock Root B の両方の Skew 調整を行うことはできません。参考回路 3 では、Clock Root B の“CRBF”を削除する必要があります。

9.3.6 添付資料

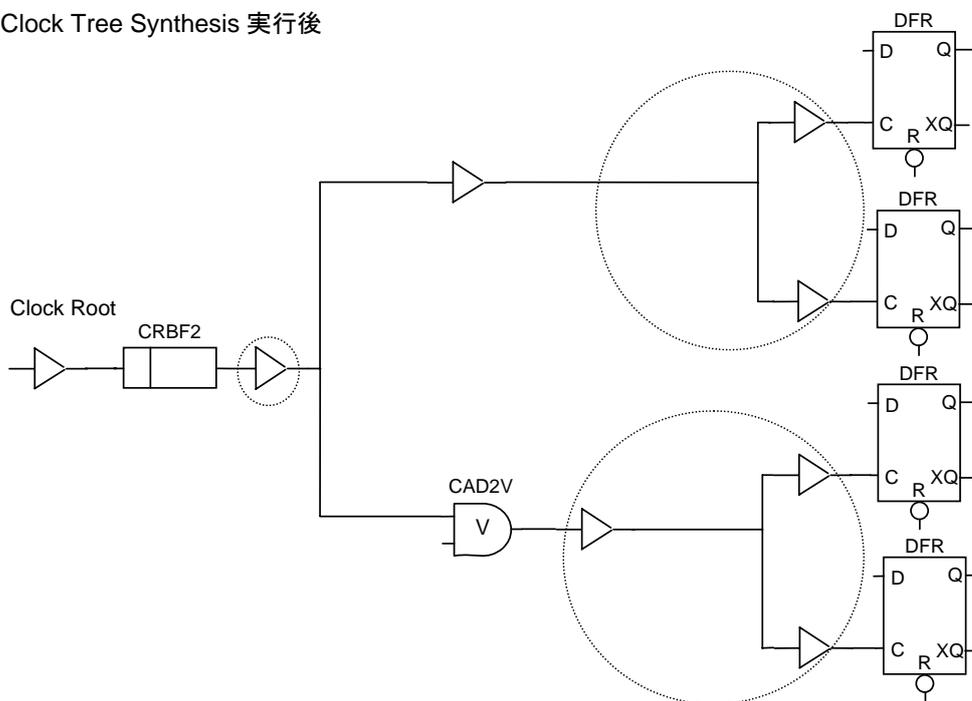
9.3.6.1 Clock Tree Synthesis 実行イメージ

Clock Tree Synthesis 実行前



Clock Tree Synthesis は、太線部の Skew 値の最適化を行います。

Clock Tree Synthesis 実行後

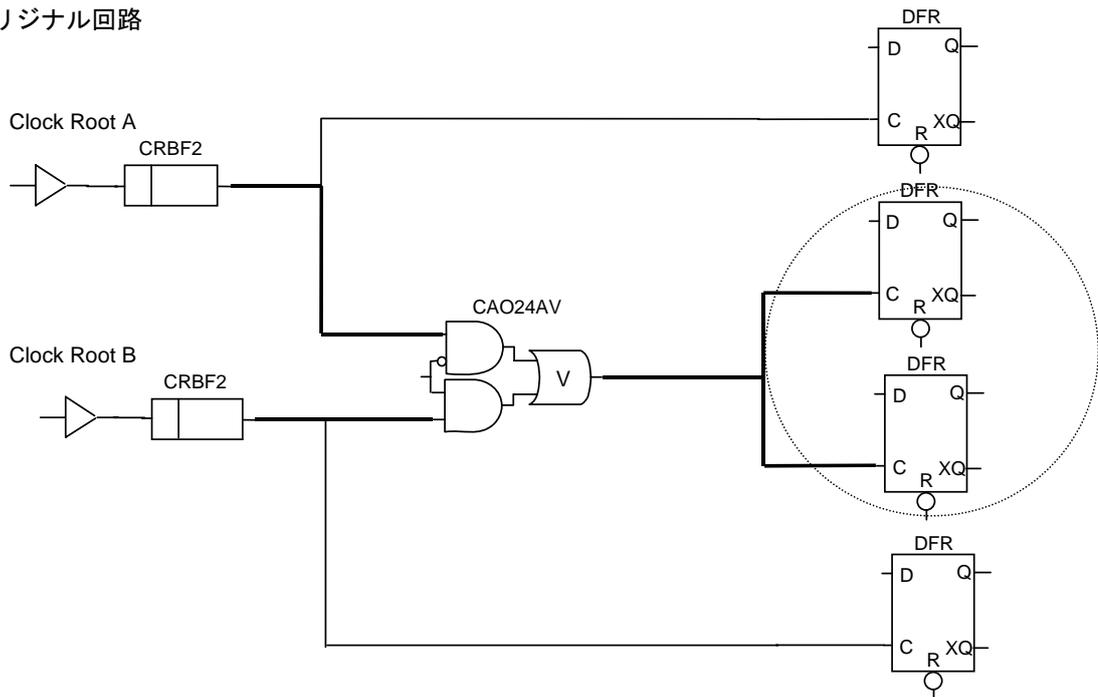


参考回路図 1

上記の回路の様に、Clock Tree Synthesis を行うと点線部に Buffer が挿入されます。

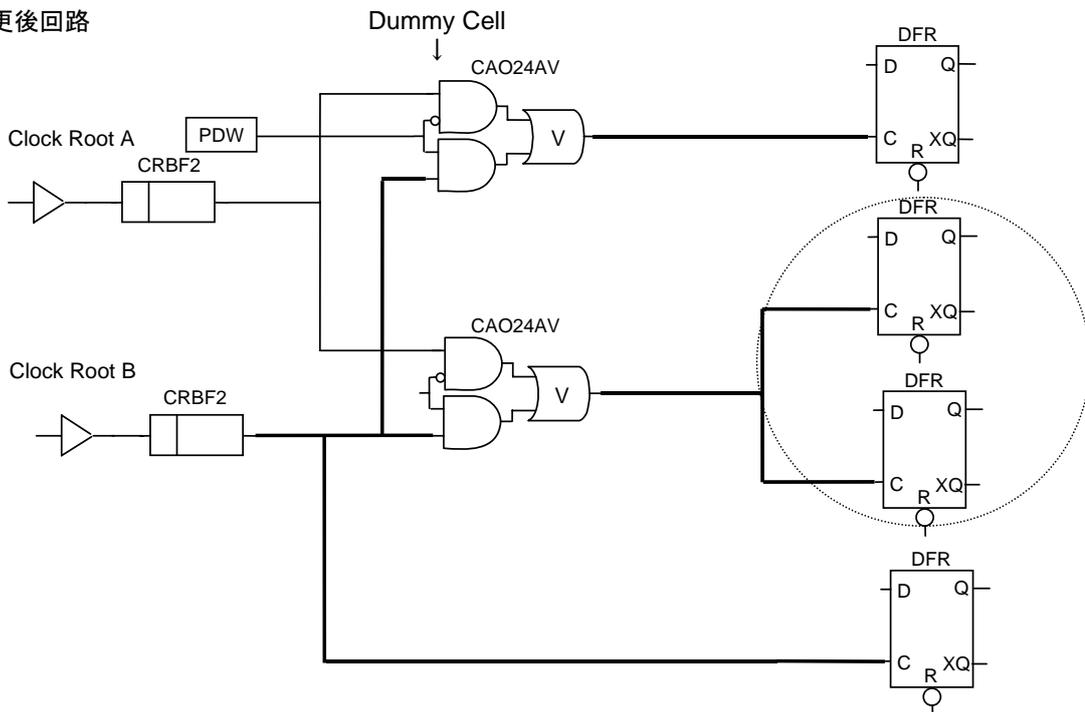
9.3.6.2 問題のある回路の処理例 1

オリジナル回路



太線部に接続された DFF は、Clock Root A、B の両方から駆動されているために、Clock Tree Synthesis を実行することができません。

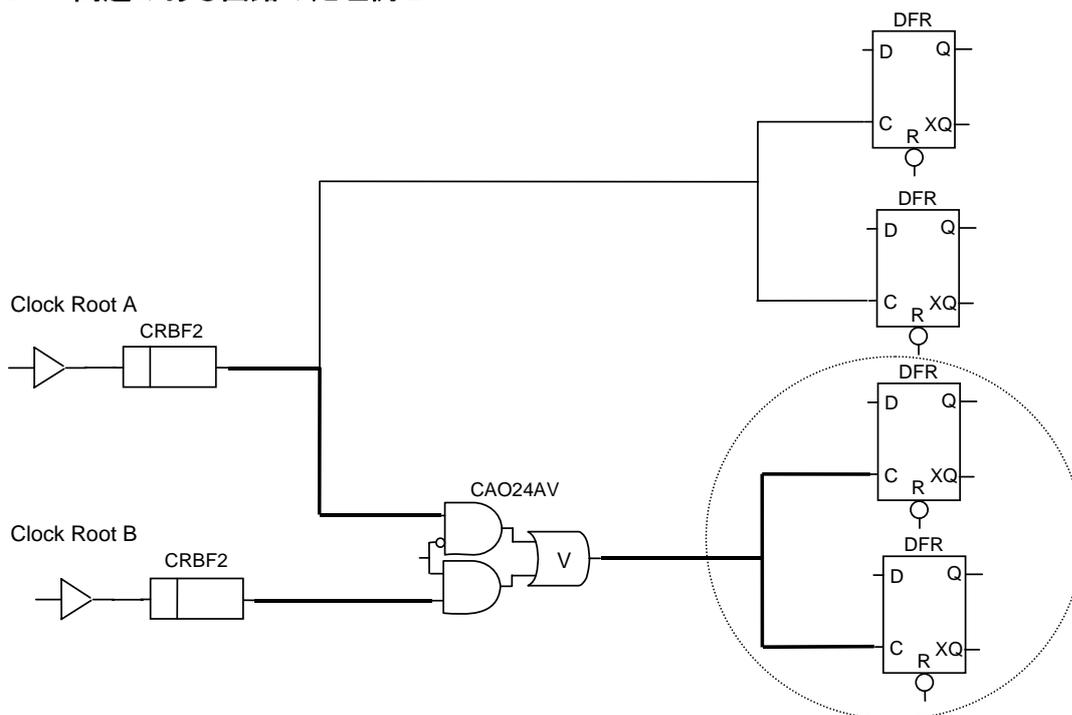
変更後回路



参考回路図 2

オリジナルな回路の場合に丸点線部の DFF は、“Clock Root A” と “Clock Root B” から駆動されています。このような回路の場合には、Clock Tree Synthesis を行うことができません。このような回路例の場合には、修正後の回路のようにダミーの “CAO24AV” を入れてください。また Clock Tree Synthesis は、太線部の Skew 値の最適化を行います。

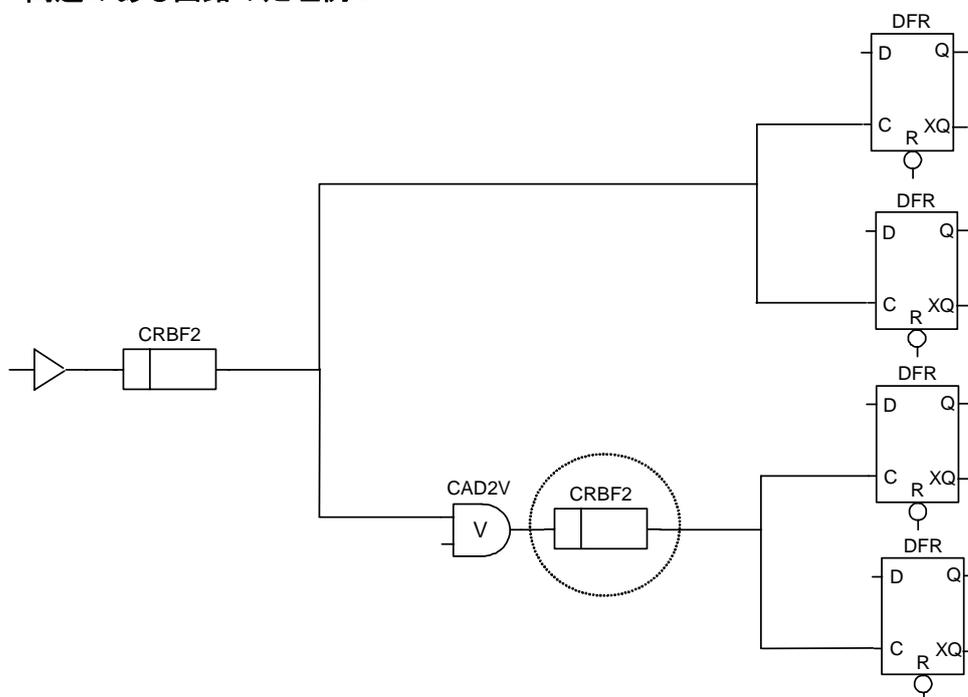
9.3.6.3 問題のある回路の処理例 2



参考回路図 3

上記の回路において、点線で囲まれた DFF は、“Clock Root A” と “Clock Root B” 両方から駆動されています。このような回路の場合には、Clock Tree Synthesis を行うことができません。このような回路の場合には、“Clock Root B” に入っている “CRBF” セルを削除してください。

9.3.6.4 問題のある回路の処理例 3



参考回路図 4

上記の回路図では、CAD2V のセルの後段に CRBF2 セルが入っており、専用 Buffer が多段となっています。CAD2V の後段の CRBF2 セルは必要としないので、削除をお願いします。

9.4 高速動作回路の設計

高速動作（動作周波数 60MHz 以上）では、1 サイクルあたりの時間が短くなるため、伝播遅延時間に対して動作可能な遅延時間とのマージンが小さくなります。したがって、以下にあげる注意点を設計段階に考慮いただき、伝播遅延を最小にする対策を講じることが必要となります。

<伝播遅延を最小とするための対策>

- NOR 系の使用を避け、NAND 系で構成してください。*1
- 多入力論理素子の多用をしないでください。*1
- 分岐数が多い箇所については、1 ドライブ素子あたりの分岐が少なくなるツリー構造を採用ください。*2

最大でも分岐数は 10 以下に抑えてください。

- 高速動作（動作周波数 60MHz 程度を目安にご考慮ください）させる論理素子の出力端子や、要求される遅延が厳しい回路には、通常の Fan-Out 制限値の半分から 1/3 程度を目安に回路設計を行ってください。*2
- モジュールの切り口や、マクロ、I/O へ接続される論理素子は、高ドライブタイプを採用ください。*2
- タイミング余裕度が多い箇所は、積極的に制約から外してください。（合成は、制約に対しタイミング的に厳しいパスから最適化を行う傾向にあるため、タイミング制約上不必要な制約を極力削除することで、走行時間も短縮できます。なお、やむを得ずタイミング余裕度が少ない回路や、タイミング違反を起こしている回路が存在する場合には、事前にご相談ください。）

注) *1：駆動能力が“HIGH”レベルと“LOW”レベルで異なるため、NOR 系よりも NAND 系で構成する方が、遅延時間が少なく構成できます。同じく多入力論理素子を除いて構成することでも遅延時間を短縮できます。

*2：実際の LSI の回路レイアウトでは、負荷容量として次段の素子の入力容量だけでなく信号の配線容量も加わります。正確な配線容量は回路の配置配線によって決まるため、配置配線の結果、特定のノードに大きな負荷容量が加わることがあります。配置配線後の負荷容量の増大を抑えるため、単一ノードでの回路の分岐数をできるだけ少なくするようにしてください。

9.5 メタステーブル (Metastable)

FFやラッチセルの入力信号において、クロックとデータのセットアップ、ホールド時間、クロックとセットあるいはリセットのリリース、リムーバル時間のタイミング規格に違反している場合、FFやラッチセルの出力信号は、ある一定の時間、発振または、“HIGH”レベルでも“LOW”レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は“HIGH”あるいは“LOW”レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ/ホールド、リリース/リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとってください。

S1X60000 シリーズでは、セットアップ/ホールド、リリース/リムーバル時間の規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

T_{pd} : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をしてください。

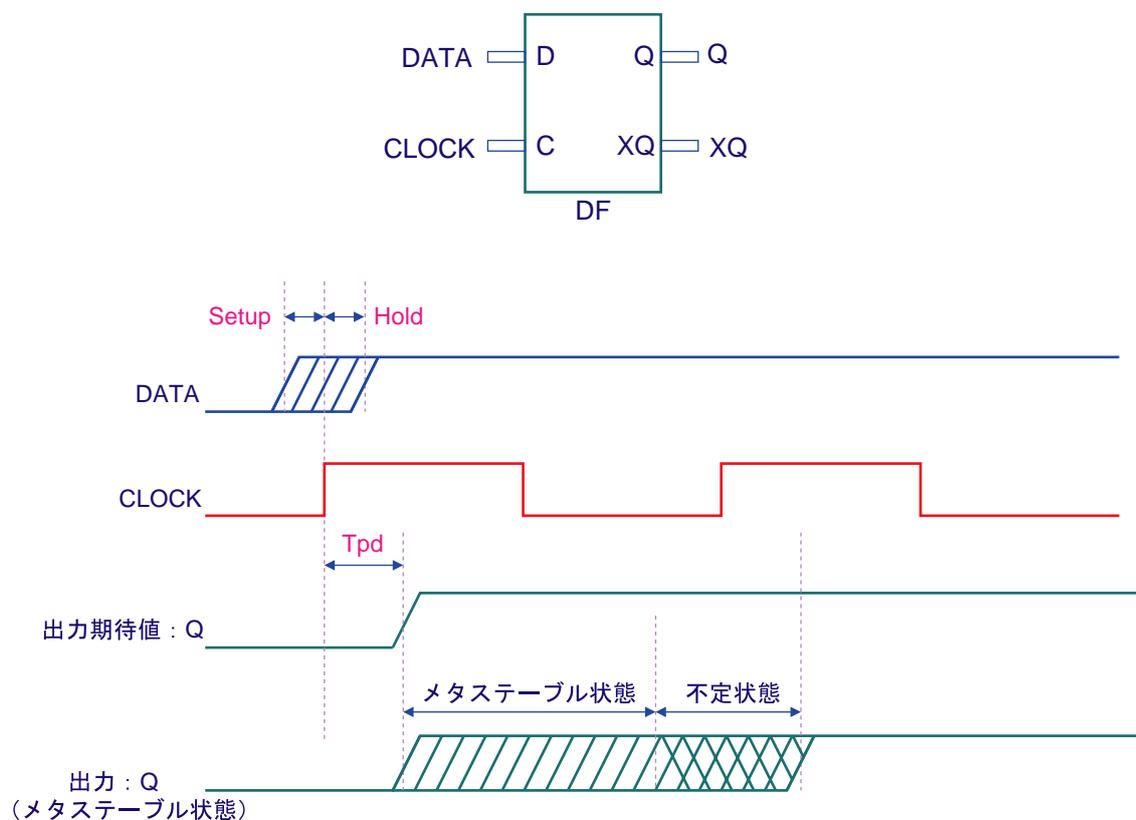


図 9-6 DF のメタステーブル状態

9.6 内部バスの構成

バス回路は 3-state 論理回路で構成され、バスの制御信号を操作することによって、バスに接続されている出力の 1 つをアクティブ状態にして（他の出力はハイインピーダンス状態）、1 本の伝送信号線を時間ごとに分割して共有するものです。

ここでは、内部トライステートバッファを使用し、構築する内部バス回路の注意点について記します。

- バスセルはバス回路以外に使用できません。（本シリーズのバスセルは表 9-4 参照）
- バス回路を構成するさいには、バスラッチセル BLT* をバスに付加してください。
- 1 本のバスに接続されるバスセルの中で、アクティブ状態（0 または 1）にできるものは 1 出力だけで、他のバスセルの出力はハイインピーダンス状態（Z）でなければなりません。
*1
- 1 本のバスに接続できるバスセルは Fan-Out 制限値以内としてください。*2
- バス回路は Fan-Out の関係からも伝播遅延時間が大きくなる傾向にあり、高速動作には不向きとなります。*2
- バスラッチセルにより保持されるデータはフローティング防止のみとし、論理信号として使用しないでください。*3
- テストパターン作成時においてもバスの初期状態が容易に定まるように作成してください。
*4
- 1 サイクル内で、バスの制御信号切り換えは 1 回のみとしてください。

注) *1：1 本のバスに接続されるバスセルの中で、同時に複数のバスセルがアクティブ状態（0 または 1）になる状態では、出力の電位が不安定な状態になるとともに、V_{DD} ~ GND 間に定常的に貫通電流が流れてしまいますので、この制限事項を必ず守ってください。

*2：内部バス上の負荷が過大すぎますと配線長の増大、接続先の増加により、信号の立ち上がり、立ち下がり時間が増加し、論理シミュレーションでの遅延時間と実デバイスの遅延時間に差が生じやすくなります。

*3：1 本のバスに接続されるバスセルが、すべてハイインピーダンス状態（Z）となっても、バスラッチセルによりデータは保持されますが、動作時に影響を与えぬように保持能力は抑えてあります。保持されているデータ出力を有効なデータとして使用しないでください。

*4：バスの制御性が高まるようテスト端子を付加するなどし、テスト性を向上するように構成してください。

表 9-4 S1X60000 シリーズのバスセル一覧

セルタイプ	セル名		
	1BIT	4BIT	8BIT
Bus latches	BLT1	BLT4	BLT8
Bus driver	TSB、TSB4、 TSB8、TSBP	T244H	T244
Inverting bus driver	TSV、TSV4、 TSV8、TSVP	T240H	T240
Transparent latches with reset and 3-state output	—	T373H	T373
D-flip flops with reset and 3-state output	—	T374H	T374
1-bit RAM	RM1	—	—

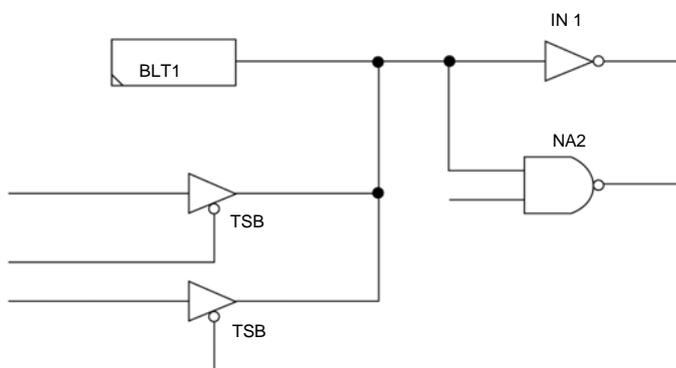


図 9-7 バスセル回路構成例

9.7 外部バスとの競合防止

ゲートアレイと他の LSI を使用するシステム上で、バス構成により接続される場合は、内部バスの構成の項に記載の注意事項の他に、プルアップ/プルダウン抵抗の設置などの対策を講じてください。なお、外部バスのフローティングを防止するために、プルアップ/プルダウン抵抗つき入出力セルやバスホールド機能つき入出力セル(*)を使用することもできます。

未対策で使用されますと、場合によっては入力レベルが定まらないために、ファンクション不良や入力リーク電流増加の原因になりますのでご注意ください。

* : バスホールド回路

S1X60000 シリーズでは、出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力 Buffer を用意しています。

ただし、通常の動作に影響を与えぬようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないでください。もし、外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては電気的特性の項を参照してください。

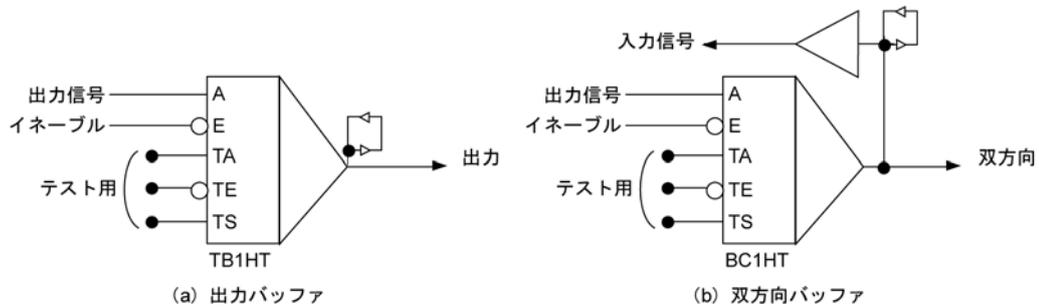


図 9-8 バスホールド回路シンボルの一例

9.8 ハザード対策

NAND ゲートや NOR ゲートなどのゲートを組み合わせた回路やデコーダセルなどでは、ゲートの遅延時間の差によって非常に短いパルスが発生することがあります。この短いパルスをハザードと呼び、このハザードが FF（フリップフロップ）のクロック端子やリセット端子に入力されると誤動作の原因になります。

そのためハザードが発生しそうな回路では、ハザードが伝播しないような回路構成にしたり、デコーダ回路は“Enable”端子付のものを使用するといったような注意が必要です。

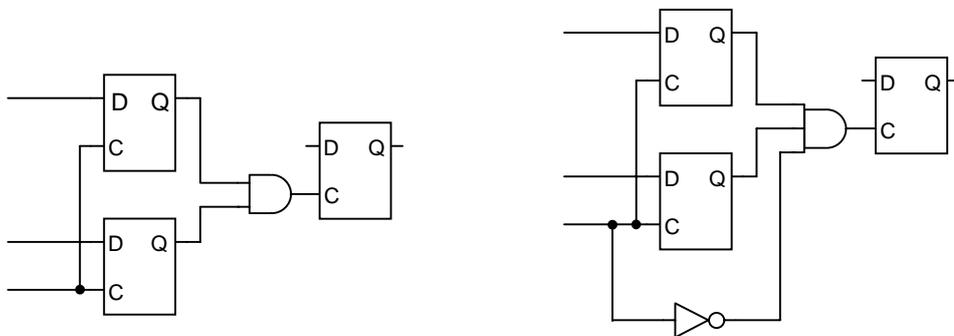


図 9-9 ハザード対策例

9.9 発振回路

9.9.1 発振回路の構成

発振回路を構成するための発振専用セルには、水晶発振用と CR 発振用があります。さらに水晶発振用には常時発振タイプと間欠発振タイプがあり、それぞれ内部セル領域に配置されるものと I/O セル領域に配置されるものがあります。発振回路構成は使用する発振セルにより以下ようになります。

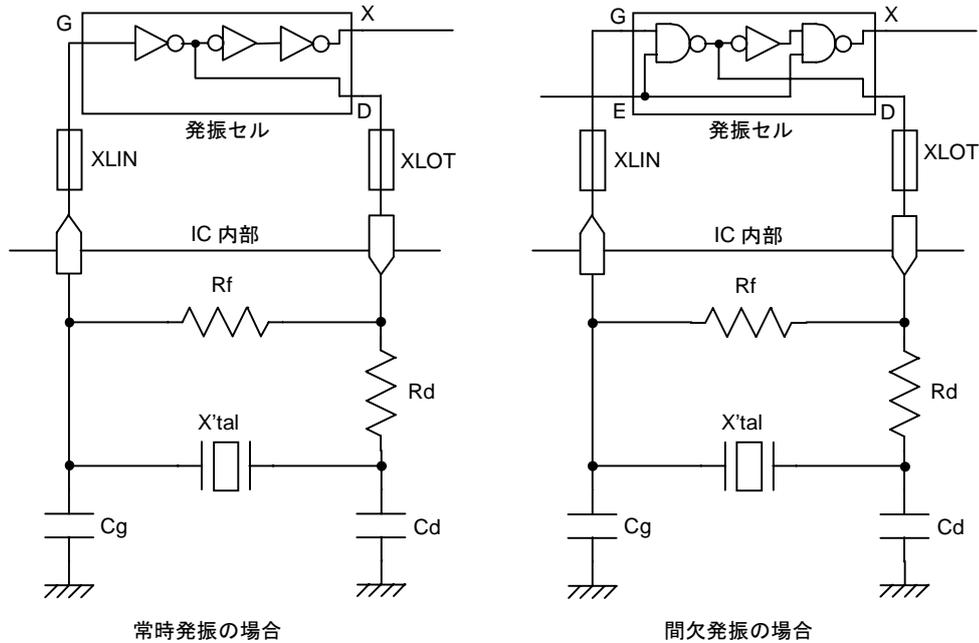


図 9-10 水晶発振回路（内部セルタイプ）

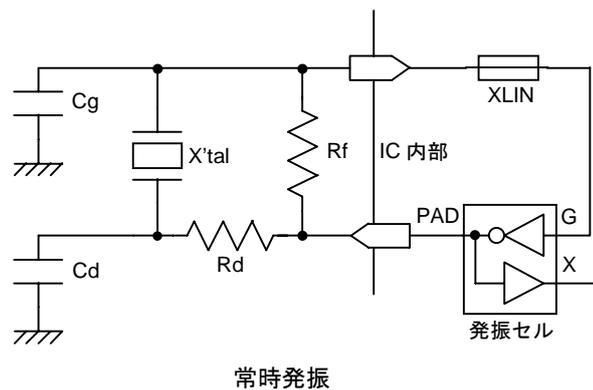


図 9-11 水晶発振回路（I/O セルタイプ）

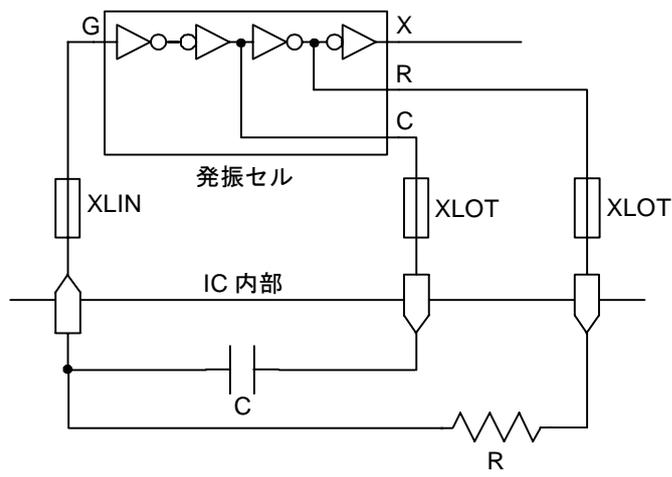


図 9-12 CR 発振回路

9.9.2 発振回路を使用する場合の注意

(1) ピン配列

- 発振回路の入出力ピンは隣接させて配置し、その両側を電源ピン (V_{DD} 、 V_{SS}) ではさみます。
- 発振回路の入出力ピンは、他の出力ピンから離して配置してください。特に、発振波形と同相あるいは逆相の出力からは離して配置してください。このような出力はパッケージの対辺に配置するようにしてください。
- 発振回路の入出力ピンは、クロックなど高速で動作する入力端子から離して配置してください。
- 発振回路の入出力ピンはできるだけパッケージの辺の中心に配置します。
- 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置してください。
- BGA 等エリアアレイパッケージを使用する場合のピン配列は弊社営業担当までお問い合わせください。

(2) テストパターンの作成

発振回路使用時のテストパターン作成方法については、「第11章 11.5 発振回路使用時の注意点」をご参照ください。

(3) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせください。

(4) 外付け抵抗、コンデンサ値の設定

発振特性は、その回路の構成要素 (IC、 X_{tal} 、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、外付けの R_f 、 R_d や C_g 、 C_d の値は、実際の基盤上に各部品を実装させた状態で十分な評価を行い最適なものを選んでください。

(5) 保証のレベル

発振特性は、その回路の構成要素 (IC、 X_{tal} 、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客さまにおいて ES サンプルで十分な評価を行って確認していただく必要があります。

(6) 2電源での発振回路の構成

発振回路の構成は基本的に単一電源の場合と変わりません。発振セルは LVDD 系の電源に接続されるため入出力セル XLIN、XLOT は、それぞれ XLLIN、XLLLOT を使用してください。また、5V トレラント I/O セルを使用している場合は、それぞれ XFLLIN、XFLLLOT を使用してください。

(7) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル X の信号) の波形を予め特定することは困難なため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立上りと立下りの両方を利用した回路を使用することは避けてください。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立上りあるいは立下りのいずれか一方を利用した回路を使用してください。

9.10 Verilog-HDL/VHDL ネットリストの制限、制約事項について

セイコーエプソンへインタフェースされる Verilog-HDL/VHDL ネットリストは、純粋なゲートレベル・ネットリスト（機能・動作記述を含まない）の形でなければなりません。セイコーエプソン ASIC を Verilog-HDL/VHDL にて開発されるさいの制限・制約は以下のとおりです。

9.10.1 Verilog-HDL/VHDL ネットリストの制限・制約

① 外部端子名（I/O 端子）

- すべて大文字にて記述。
- 文字数制限 2～32 文字。
- バス記述は禁止。
- 使用可能文字 英数字と ‘_’ のみ、ただし、先頭文字は英字のみ。
- 使用禁止文字列例：
 - 2INPUT : 先頭文字が数字で始まっている。
 - ¥2INPUT : 文字列の先頭に ‘¥’ が付いている。
 - InputA : 文字列に小文字が含まれている。
 - _INPUTA : 文字列が ‘_’ で始まっている。
 - INA [3:0] : 外部端子名にバスを使用している。
 - INA [3] : 外部端子名にバスを使用している。

② 内部端子名（バスのネット名も含む）

大文字・小文字の混合を許していますが、以下のような使用方法は禁止しています。

例：“RESET”と“Reset”の混合など

- 文字数制限 2～32 文字。
- 使用可能文字 英数字と ‘_’、 “[]”（Verilog バスブラケット）および、“ () ”（VHDL バスブラケット）。ただし、先頭は英字のみ。

③ モジュール名

システム上、モジュール名の大文字・小文字の判別は行っていますが、デザインルール上、混同は禁止しています。

例：“AND”と“And”の混合など

セルの大文字・小文字は区別されますので、大文字・小文字を間違えないようにしてください。

④ モジュールの最上位におけるバス記述は禁止しています。

例：

DATA [0:3]、DATA [3]、DATA [2]などは禁止です。
DATA0、DATA1、DATA2などは、すべて許されています。

⑤ 入出力セルは同一ライブラリ・シリーズを使用し、異なるシリーズのセルを混在して使用することはできません。

- ⑥ ビヘイビア、RTL、C 言語などによる動作記述は許されておりません。ネットリスト内にその様な記述が存在した場合、それらは無効になります。
- ⑦ 各シリーズのライブラリのタイムスケールの精度はすべて 1ps です。

9.10.2 Verilog ネットリストの制限・制約

- ① ゲートレベル Verilog ネットリスト中での assign および tran による記述は禁止します。
- ② Verilog ネットリストにおける接続記述はセルのピン名リファレンスによる接続をしてください。

例：

可：IN2 inst_1 (.A(inst_2),.X(inst_3));

不可：IN2 inst_1 (net1,net2);

- ③ フリップ・フロップの動作記述として Verilog コマンドの force などを使用することはできません。

例：force logic.signal=0;

- ④ シノプシス・デザイン・コンパイラより生成されたゲードレベル・ネットリストの先頭に、タイムスケールの記述を追加します。このタイムスケールは、セイコーエプソン Verilog ライブラリに記述されている値と同じ値にしてください。各シリーズのタイムスケールはすべて 1ps となっています。

例：`timescale 1ps/1ps

- ⑤ セイコーエプソンでは、同一モジュール内にて

input A [0] ;

wire ¥A [0] ;

のようなバスのシングルポートと、そのポートに“¥”を付けてエスケープした名前の混在を禁止しています。

- ⑥ 以下の文字列は、Verilog の予約語ですのでユーザー定義名としての使用を禁止しています。

always	and	assign	begin	buf	bufif0
bufif1	case	design	default	defparam	disable
else	end	endcase	endfunction	endmodule	endtask
event	for	force	forever	fork	function
highz0	highz1	if	initial	inout	input
integer	join	large	medium	module	nand
negedge	nor	not	notif0	notif1	or
output	parameter	posedge	pull0	pull1	reg
release	repeat	scalared	small	specify	strong0
strong1	supply0	supply1	task	time	tri
tri0	tri1	trinand	trior	trireg	vectored
wait	wand	weak0	weak1	while	wire
wor	xor	xnor			

9.10.3 VHDL ネットリストの制限・制約

- ① 9.10.1 ①の制約に加えて次のような文字列も使用禁止です。またセイコーエプソンでは、TEXTIO パッケージを用いてシミュレーションを行いますので、TEXTIO パッケージで使用している関数名をユーザー定義することはできません。

INPUTA_ : 文字列が ‘_’ で終わっている。

INPUT__A : ‘_’ が 2 文字以上連続している。

read : TEXTIO パッケージにて使用。

write : TEXTIO パッケージにて使用。

- ② 以下の文字列は、VHDL の予約語ですのでユーザー定義名としての使用を禁止しています。

abs	access	after	alias	all
and	architecture	array	assert	attribute
begin	block	body	buffer	bus
case	component	configuration	constant	disconnect
downto	else	elsif	end	entity
exit	file	for	function	generate
generic	guarded	if	in	inout
is	label	library	linkage	loop
map	mod	nand	new	next
nor	not	null	of	on
open	or	others	out	package
port	procedure	process	range	record
register	rem	report	return	select
severity	signal	subtype	then	to
transport	type	units	until	use
variable	wait	when	while	with
xor				

- ③ セイコーエプソンのツールおよびユーティリティの使用のため、VHDL フォーマットを Verilog フォーマットに変換する必要があります。そのため 9.10.2 ⑥の Verilog の予約語も使用禁止になります。

9.10.4 発振セル、AC/DC テスト回路用セル TCIR2 の記述について

発振セルはインスタンス化して記述していただくとともに、合成時、発振セルの外部端子接続ネットにバッファが挿入されない様、入力および出力ネットに対して、set_dont_touch コマンドで dont_touch 属性を付けてください。

AC/DC テスト回路用セル TCIR2 はハードマクロで用意されていますので、例のようにゲート記述していただくようお願いします。

---VerilogHDL 記述例---

```
OSC1 inst1 (.G(gate_in), .D(drain_out), .X(clk_out));
TCIR2 inst2 (.TM0(i_net0), .TM1(i_net1), .TM2(i_net2), .TM3(i_net3),
            .TST(i_net4), .MS(MS), .TD(TD), .TE(TE), .TS(TS), .TAC(TAC));
```

---VHDL 記述例---

```
inst1 : OSC1 port map (G=> gate_in, D=> drain_out, X=> clk_out);
inst2 : TCIR2 port map (TM0=> i_net0, TM1=> i_net1, TM2=> i_net2,
                      TM3=> i_net3, TST=> i_net4,
                      MS=> MS, TD=> TD, TE=> TE, TS=> TS, TAC=> TAC);
```

9.10.5 クロックルートバッファの記述について

クロックルートバッファは、できるだけ上位の階層で挿入するようにし、Gated Cellが多段につながらないように階層設計をしてください。

RTL 記述において、クロックルートバッファおよび Gated Cell は、Gated Cell を直書きしていただくようお願いします。

RTL シミュレーションにおいて、弊社ゲートライブラリを使用される場合は、クロックルートバッファにディレイがありますので、入力ディレイを十分取ったテストパターンを作るようにしてください。

-----Verilog 記述-----

```
module TOP (CLK, RESET, ....., );
  input CLK, RESET, ... ;
  output OUT1, OUT2, ... ;
```

```
IBC pad1 (.PAD(CLK), .X(iCLK) );
CRBF2 U0_CRBF2 (.A(iCLK), .X(wCLK) );
```

·
·

```
CLKGEN U_CLKGEN (.CLK(wCLK), .ACLK(ACLK), .BCLK(BCLK) ...);
AIF U_AIF (.ACLK(ACLK), .....);
BIF U_BIF (.BCLK(BCLK), .....);
```

```
endmodule
```

```
module CLKGEN (CLK, ACLK, BCLK);
  input CLK;
  output ACLK, BCLK ;
```

```
CAD2V GATEDCLKAND0 (.A1(CLK), .A2(A_gate),.X(ACLK) );
CAD2V GATEDCLKAND1 (.A1(CLK), .A2(B_gate),.X(BCLK) );
```

...

```
endmodule
```

```
-----VHDL 記述-----
library IEEE;
library s1x60000_typ;

use IEEE.std_logic_1164.all
use s1x60000_typ.primitives_tables.all;
use s1x60000_typ.mos_switches.all;

entity TOP is
  port ( CLK    ; in std_logic ;
        RESET ; in std_logic ;
        ...
        );
end TOP;
architecture RTL of TOP is

  component IBC
    port ( PAD : in std_logic; X: out std_logic);
  end component;
  component CRBF2
    port ( A : in std_logic; X: out std_logic);
  component CLKGEN
    port ( CLK, ACLK, BCLK : in std_logic; ... );
  end component;
  component AIF
    port (... );
  end component;
  signal
    wCLK, .....;

  begin

  PAD1 : IBC port map ( PAD=> CLK, X=> iCLK );
  PAD2 :
  U_CLKGEN : CLKGEN port map ( CLK=> wCLK, ACLK=> ACLK, ... );
  U_AIF : AIF port map (ACLK=> ACLK, ... );

end RTL;
```

9.11 端子配置と同時動作

この項では、端子配置の注意点および、出力バッファ動作時の電源追加について記述します。

9.11.1 電源端子数の見積り

電源端子は LSI の消費電力、出力バッファ数によって、必要な本数を見積る必要があります。特に出力バッファは、そのスイッチング時にかなり大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

LSI に必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

(1) 単一電源の場合

消費電流を I_{DD} [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下ようになります。

$N_{IDD} \geq I_{DD} \div 50$ (対) : V_{DD} 端子と V_{SS} 端子を 1 対として、1 対あたり 50mA の供給が可能

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入してください。

I_{DD} …「第 8 章 8.1 消費電力計算」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

(2) 2 電源の場合

2 電源仕様の場合も電源 (HV_{DD} 系、 LV_{DD} 系の電源両方) 1 対あたりに流せる許容電流の大きさは単一電源の場合と同様です。必要な電源対の数は HV_{DD} 系と LV_{DD} 系で分けて求めてください。

① HV_{DD} 電源端子数

HV_{DD} 系の消費電流を $I_{DD} (HV_{DD})$ [mA] とすると、この消費電流 $I_{DD} (HV_{DD})$ のための電源端子数 $N_{IDD} (HV_{DD})$ は、

$N_{IDD} (HV_{DD}) \geq I_{DD} (HV_{DD}) / 50$: 1 端子あたり 50mA の供給が可能

② LV_{DD} 電源端子数

LV_{DD} 系の消費電流を $I_{DD} (LV_{DD})$ [mA] とすると、この消費電流 $I_{DD} (LV_{DD})$ のための電源端子数 $N_{IDD} (LV_{DD})$ は、

$N_{IDD} (LV_{DD}) \geq I_{DD} (LV_{DD}) / 50$: 1 端子あたり 50mA の供給が可能

③ V_{SS} 電源端子数

$N_{IDD} (V_{SS}) \geq \{I_{DD} (HV_{DD}) + I_{DD} (LV_{DD})\} / 50$: 1 端子あたり 50mA の供給が可能

注) 1 : 電源端子 HV_{DD} 、 LV_{DD} 、 V_{SS} はいずれも、最低でも各辺 1 端子の 4 端子以上は挿入してください。

I_{DD} …「第 8 章 8.1 消費電力計算」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

3：出力の同時変化に対する電源追加はHV_{DD}系出力バッファとLV_{DD}系出力バッファとで区別し、各々の電源系に対しHV_{DD}、LV_{DD}、V_{SS}端子の追加を行ってください。

(計算例) 下記に電源端子数の見積り例を示します。

第 8 章をもとに得られた消費電力で、下記の値の IC で電源端子数の見積りを行います。

- 電源電圧：HV_{DD} / LV_{DD} = 3.3V / 2.5V
- 消費電力：P (HV_{DD}) = 224 [mW]
P (LV_{DD}) = 684 [mW]

と仮定します。

(1) HV_{DD} 電源端子数の見積り

HV_{DD} 電源端子数を N_{IDD} (HV_{DD}) とすると

$$\begin{aligned} N_{IDD} (HV_{DD}) &= 224 \text{ [mW]} \div 3.3 \text{ [V]} \div 50 \text{ [mA]} \\ &= 1.36 \text{ [本]} \end{aligned}$$

電源端子は最低でも各辺 1 端子の挿入になりますので、HV_{DD} 電源端子の本数は 4 本となります。

(2) LV_{DD} 電源端子数の見積り

LV_{DD} 電源端子数を N_{IDD} (LV_{DD}) とすると

$$\begin{aligned} N_{IDD} (LV_{DD}) &= 684 \text{ [mW]} \div 2.5 \text{ [V]} \div 50 \text{ [mA]} \\ &= 5.47 \text{ [本]} \end{aligned}$$

したがって、LV_{DD} 電源端子の本数は 6 本となります。

(3) V_{SS} 電源端子数の見積り

V_{SS} 電源端子数を N_{IDD} (V_{SS}) とすると

$$\begin{aligned} N_{IDD} (V_{SS}) &= \{ 224 \text{ [mW]} \div 3.3 \text{ [V]} + 684 \text{ [mW]} \div 2.5 \text{ [V]} \} \div 50 \text{ [mA]} \\ &= 6.83 \text{ [本]} \end{aligned}$$

したがって、V_{SS} 電源端子の本数は 7 本となります。

(ただし、V_{SS} については、HV_{DD} 電源端子、LV_{DD} 電源端子と対に配置することを推奨します。)

最終的な、それぞれの端子数は、

HV_{DD} 電源端子：4 本

LV_{DD} 電源端子：6 本

V_{SS} 電源端子：7 本

となります。

9.11.2 同時動作と電源追加

出力バッファを同時にスイッチングしたときに発生するノイズにより LSI の誤動作がおこる場合があります。ここでは、同時動作について説明を行い、同時動作によるノイズを抑えるための端子配置の注意点について説明を行います。

9.11.2.1 同時動作による誤動作について

多数の出力バッファがそれぞれ同時に変化するとき、負荷容量による過渡的な充放電がシステムの基盤、およびパッケージのリードフレームやボンディングワイヤのインダクタンスに作用し、ノイズが発生します。

発生するノイズは以下の式で表されます。

$$V_n = L \times \frac{di}{dt} \quad \dots \text{式①}$$

V_n : ノイズ電圧

L : 電源インダクタンス成分

$\frac{di}{dt}$: 過渡電流

ここで、過渡電流は同時動作の本数、電流駆動力、負荷容量に比例して大きくなる傾向にあるため、ノイズ電圧の発生電圧は以下の要素によって変化します。

- ① 電源の本数
- ② 同時動作する出力バッファの本数
- ③ 同時動作する出力バッファの駆動能力
- ④ 同時動作する出力バッファの負荷容量

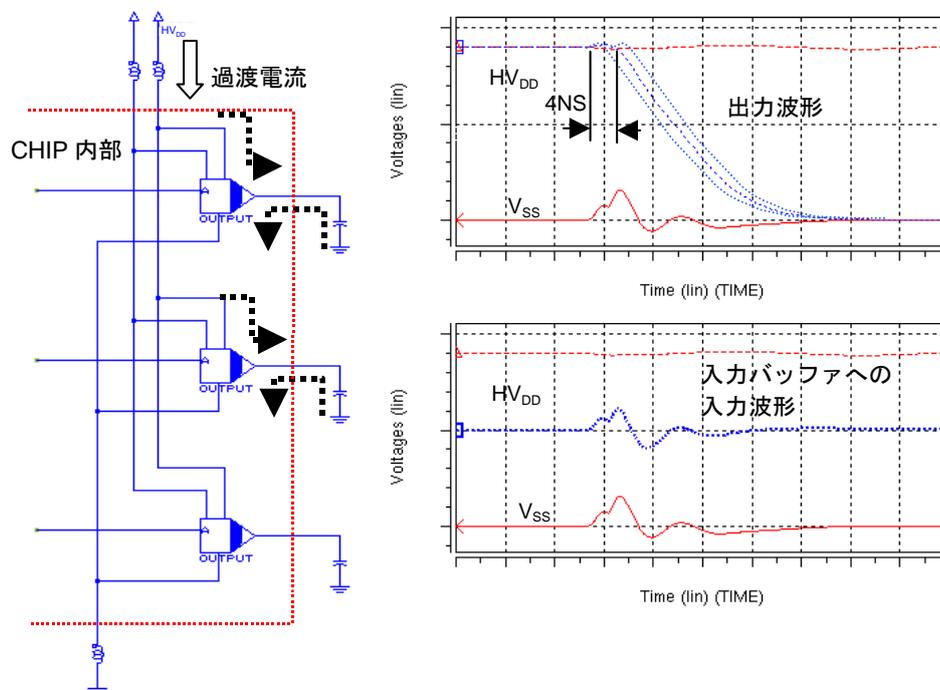


図 9-13 同時動作によるノイズ

表 9-5 H系出力セル $HV_{DD}=3.3V\pm 0.3V$

TYPE	負荷容量				
	30pf	50pf	100pf	150pf	200pf
Type S Type M Type 1	0.077	0.083	0.091	0.100	0.100
Type 2	0.100	0.111	0.125	0.143	0.143
Type 3	0.200	0.250	0.250	0.333	0.333

表 9-6 H系出力セル $HV_{DD}=3.3V\pm 0.3V$ (PCI 使用時)

TYPE	負荷容量				
	30pf	50pf	100pf	150pf	200pf
Type S Type M Type 1	0.125	0.143	0.167	0.167	0.167
Type 2	0.167	0.200	0.200	0.250	0.250
Type 3	0.250	0.333	0.333	0.333	0.333
PCI	0.167	0.200	0.200	0.250	0.250

注) 閉ループ内に PCI3V セルが存在する場合

表 9-7 L系出力セル V_{DD} or $LV_{DD}=2.5\pm 0.2V$

TYPE	負荷容量				
	30pf	50pf	100pf	150pf	200pf
Type S Type M Type 1	0.077	0.083	0.091	0.100	0.100
Type2	0.167	0.200	0.200	0.250	0.250
Type3	0.250	0.333	0.333	0.333	0.333

表 9-8 L系出力セル V_{DD} or $LV_{DD}=2.0V\pm 0.2V$

TYPE	負荷容量				
	30pf	50pf	100pf	150pf	200pf
Type S Type M Type 1	0.050	0.054	0.059	0.065	0.065
Type 2	0.084	0.100	0.100	0.125	0.125
Type 3	0.162	0.216	0.216	0.216	0.216

(計算例) 以下のような条件、PIN 配置で同時動作が起こる場合の判定を行います。

- 電源電圧仕様 : 3.3V/2.5V
- 入力インターフェース : H 系 LVTTL
L 系 CMOS

PIN No.	使用セル	出力負荷容量 (pF)
①	V _{SS}	
②	HV _{DD}	
③	LV _{DD}	
④	H 系 TYPE 2	125
⑤	H 系 TYPE 3	100
⑥	H 系 TYPE 3	175
⑦	HV _{DD}	
⑧	L 系 TYPE 1	75
⑨	L 系 TYPE 3	150
⑩	LV _{DD}	
⑪	V _{SS}	

まず、表 9-5、表 9-7 を用いるため、出力負荷容量を切り上げます。

④ 125pF → 150pF

⑤ 100pF → 100pF

⑥ 175pF → 200pF

⑧ 75pF → 100pF

⑨ 150pF → 150pF

- HV_{DD} 間 (②~⑦) の判定をおこないます。

HV_{DD} 間の閉ループ内にある H 系出力セルは、④、⑤、⑥となります。

入力インターフェース、電源電圧から表 9-5 の係数を使用して判定を行います。

$$\sum_k mk = 0.143 + 0.250 + 0.333 = 0.726$$

この結果により、HV_{DD} 間における閉ループは判定基準を満足しています。

- LV_{DD} 間 (③~⑩) の判定を行います。

LV_{DD} 間の閉ループ内にある L 系出力セルは、⑧、⑨となります。

入力インターフェース、電源電圧から表 9-7 の係数を使用して判定を行います。

$$\sum_k mk = 0.091 + 0.333 = 0.424$$

この結果により、LV_{DD} 間における閉ループは判定基準を満足しています。

- V_{SS} 間 (①~⑪) の判定を行います。

V_{SS} 間の閉ループ内にある出力セルは、④、⑤、⑥、⑧、⑨となります。

入力インターフェース、電源電圧から H 系出力セルは表 9-5 の係数を、L 系出力セルは表 9-7 の係数を使用して判定を行います。

$$\sum_k mk = 0.143 + 0.250 + 0.333 + 0.091 + 0.333 = 1.150$$

この結果により、同時動作によるノイズ制限を満足していません。

そこで、⑪V_{SS}を⑧と⑨の間に移動し閉ループ間のセルを④、⑤、⑥、⑧となるように PIN 配置を変更します。

PIN No.	使用セル	出力負荷容量 (pF)
①	V _{SS}	
②	HV _{DD}	
③	LV _{DD}	
④	H 系 TYPE 2	125
⑤	H 系 TYPE 3	100
⑥	H 系 TYPE 3	175
⑦	HV _{DD}	
⑧	L 系 TYPE 1	75
⑪	V _{SS} ←	
⑨	L 系 TYPE 3	150
⑩	LV _{DD}	

← V_{SS}を移動

上記の PIN 配置で V_{SS} 間の判定を行います。

$$\sum_k mk = 0.143 + 0.250 + 0.333 + 0.091 = 0.817$$

以上により、この V_{SS} 間の閉ループは判定基準を満足するようになります。

ただし、V_{SS}を移動したことにより、⑨から下の V_{SS}間の閉ループに注意してください。

9.11.3 端子配置上の注意点

使用するパッケージが決まりましたら、端子配置を決定します。S1X60000 シリーズの各パッケージの電源ピン、使用可能入出力端子数は所定の“ピン配列表”記入用紙を参照してください。

端子配置が決まりましたら所定の用紙に端子配列を記述した“ピン配列表”をセイコーエプソンまで提出してください。セイコーエプソンでは、お客さまより提出していただいた“ピン配列表”にしたがって配置配線を行いますので十分確認の上、ご提出願います。

なお、所定の“ピン配列表”記入用紙は弊社営業担当までお問い合わせください。

ピン配列表は LSI の品質を左右する重要な仕様の一つです。特に、ノイズによる誤動作を避けるために重要です。ノイズはシミュレーション等で確認することが困難な現象です。

お客さまの LSI が原因不明の誤動作を起こさないよう以下に説明しますので、内容を十分検討の上ピン配列を作成されることをお勧めします。

9.11.3.1 固定電源ピン

パッケージの組み合わせにより、電源にしか使用できないピンがあります。ピンの固定方法も V_{DD} 固定、 V_{SS} 固定がありますので、パッケージ選択のさいには“ピン配列表”記入用紙で確認してください。

9.11.3.2 ピン配列上の注意事項

ピン配列は LSI の論理機能や電気的特性に影響をおよぼすことがあります。更に LSI の組立上あるいはセルや Bulk の構成上等によって、ピンの配置に制約があることがあります。そこでピン配列を検討する上で注意を必要とする電源電流、入力ピン、出力ピンの分離、クリティカル信号、プルアップ・プルダウン抵抗入力、出力同時動作、大電流ドライバなどの項目について説明します。

(1) 電源電流 (I_{DD} 、 I_{SS})

電源電流 (I_{DD} 、 I_{SS}) は、動作状態において電源ピンに流れる電源の許容値を規定しています。この許容値を超えた電流が流れると、LSI 内部の電源配線の電流密度が高くなりすぎ、LSI の信頼性の低下や破壊を起こすことがあります。また、LSI 内部の電圧が電流と配線抵抗により発生する電圧分だけ上昇または下降してしまいます。これによりファンクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。そのためには、回路を設計するさいに消費電力を見積り、各電源ピンに流れる電流が許容値を超えないような電源ピン数を確保する必要があります。電源ピンについては、「第9章 9.11.1 電源端子数の見積り」を参照してください。また、この電源ピンは一箇所に集中させず、分散させて配置します。

ただし、最終的な電源ピン数は上記による電源ピンに加えて、ノイズ対策等のための追加電源ピン数を合わせた電源ピン数が必要となります。追加電源ピン数については「第9章 9.11.2 同時動作と電源追加」を参照してください。

(2) 出力セルの動作によって発生するノイズ

出力セルの動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

a) 電源ラインに発生するノイズ

電源ラインに発生するノイズは出力が多数動作した場合に問題となり、LSIの入力スレッシュホールドレベルの変化を起し、誤動作の原因となります。この電源ラインのノイズは、出力セルの同時動作によって大きな電流が電源ラインに流れることによって発生します。

電源ノイズは特にインダクタンス成分が影響します。よって、LSIの等価回路は図9-15のように表すことができます。この回路図で出力が“HIGH”→“LOW”に変化したときには出力ピンから電流がLSI内部に流れ込み、LSIのパッケージ等による等価インダクタンスL2を通じて電流が流れます。このとき、等価インダクタンスL2によってLSI内部のV_{SS}電源ラインの電圧が変化します。このV_{SS}電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンスL2によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

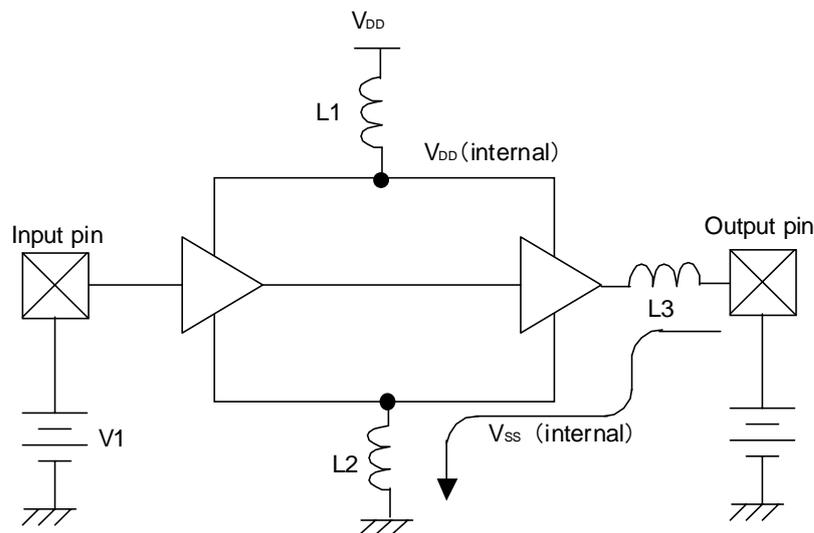


図 9-15 LSI の等価回路

b) オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力ピンについている等価インダクタンスによって発生します。図9-15のL3がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が“LOW”または“HIGH”になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力セルを使用するのが最も効果的で、負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。よって、特に駆動能力の大きいセルを使用するときには注意が必要です。

(3) 入力ピン、出力ピンの分離

ピン配列上で入力ピンのグループを出力ピンのグループから分離することは、ノイズの影響を軽減させるための重要なテクニックです。

入力ピンおよび入力状態の双方向はノイズの影響を受けやすいので、できる限り出力ピンと混在させず、入力ピン群 (Input pins)、出力ピン群 (Output pins)、双方向ピン群 (Bi-directional pins) それぞれを電源ピン (V_{DD} 、 V_{SS}) で分けて配置してください。

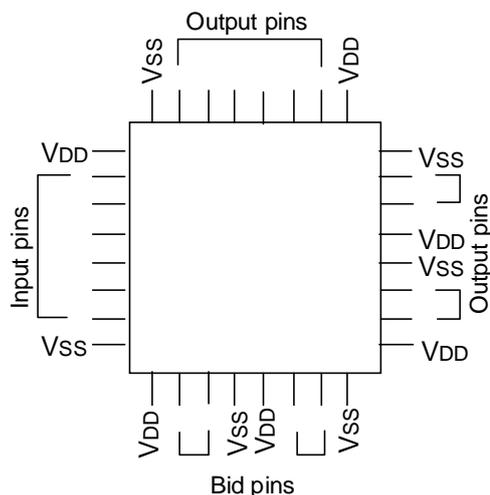


図 9-16 入力ピン、出力ピンの分離例

(4) クリティカル信号

クロックの入力ピンや高速で動作する出力ピンなどのクリティカル信号については、以下の点に注意してピンの配置を行ってください。

- a) クロック系、リセット系などのノイズの影響を小さくする必要のあるピンは、出力ピンから離し電源ピンの近くに配置してください。(図 9-17)
- b) 発振回路の入出力ピン (OSCIN、OSCOOUT) はお互い近くに配置し、電源ピン (V_{DD} 、 V_{SS}) で挟んでください。また、発振回路と同期する出力ピンを近くに配置しないでください。(図 9-18)
- c) 高速で動作する入力、出力ピンは Chip (パッケージ) 辺中央付近に配置してください。(図 9-17)
- d) 特定の入力ピンから出力ピンまでの遅延値がお客さまの仕様に対し余裕がない場合には、これらの入出力ピンを近傍に配置してください。(図 9-17)

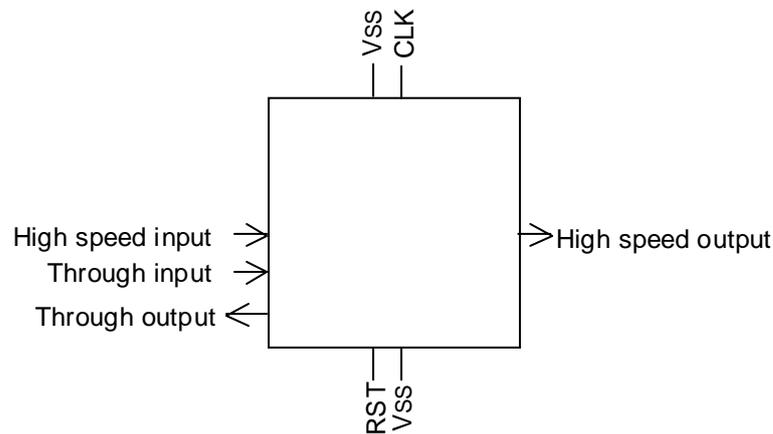


図 9-17 クリティカル信号配置例 1

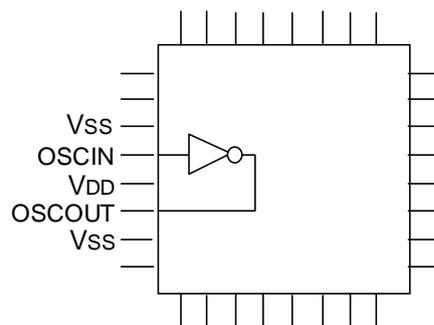


図 9-18 クリティカル信号配置例 2

(5) プルアップ/プルダウン抵抗入力

プルアップ/プルダウン抵抗値は、約数十 k Ω ~数百 k Ω と比較的大きく、その構造上電源電圧に依存性があります。

したがって、テストピンとしての使用目的等で解放状態で使用する場合には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の 1 つとなる場合がありますので、次の点に注意してください。

- a) 高速入力信号ピン (クロック入力ピン等) からなるべく離して配置してください。
(図 9-19)
- b) 出力信号ピン (特に大電流出力ピン) から離して配置してください。(図 9-20)
なお、配置上の注意以前に、次の点についても併せてご検討ください。
 - 可能な限り基板 (PCB) 上でプルアップ/プルダウンの処理を行ってください。
 - なるべく抵抗値の小さいものを選択してください。

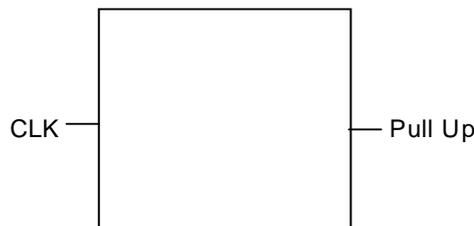


図 9-19 プルアップピン、プルダウンピン配置例 1

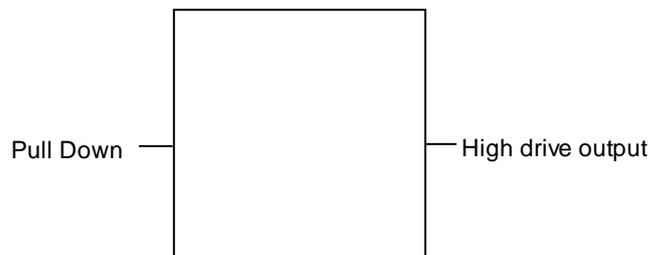


図 9-20 プルアップ、プルダウン配置例 2

(6) 出力同時動作

複数の出力ピンが同時変化するさいにノイズが発生し、LSI が誤動作を起こすことがあります。出力ピンを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化をする出力ピン群に電源ピンを追加してください。追加に必要な電源ピンの数、および追加電源ピンの配置方法は、「第9章 9.11.2 同時動作と電源追加」を参照してください。

そのノイズを低減するために、一方の出力セル群の前段にディレイ用のセルを追加することにより、出力セルの同時変化を減らすことができノイズも低減できます。(図 9-22)

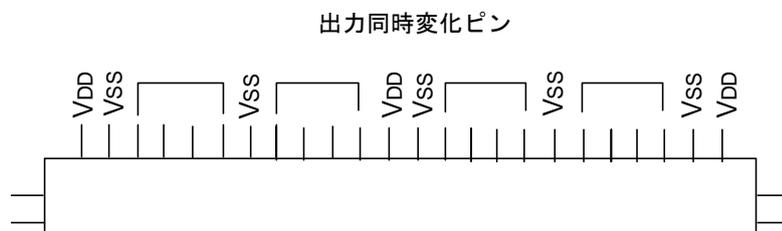


図 9-21 電源ピンの追加例

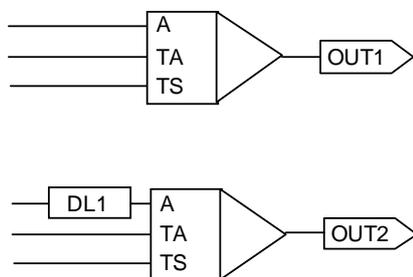


図 9-22 ディレイセルの追加例

(7) 大電流ドライバ

大電流ドライバ (IOL=12mA、PCI) の出力を使用するさいには、以下の制約を守りピンの配置を行ってください。

a) 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズにより LSI が誤動作することがあります。

大電流ドライバを使用する場合には、そのピン付近に電源ピンを配置し、大電流ドライバ用の電源を確保してください。（図 9-23）

b) 低ノイズプリドライバ

大電流ドライバの出力バッファの動作時に発生するノイズの量を低減するために、低ノイズ対応の出力バッファ、双方向バッファを用意してあります。詳細については、「第4章 入出力バッファの種類と使用上の注意 (Xタイプ)」または「第5章 入出力バッファの種類と使用上の注意 (XFタイプ)」を参照してください。

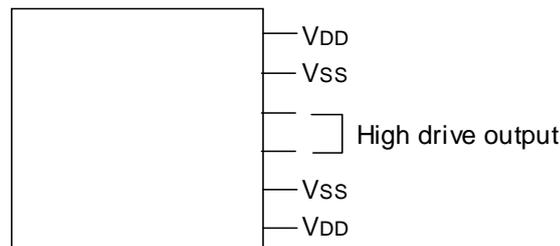


図 9-23 電源強化例

(8) その他の注意事項

a) NC ピン (non-connection)

通常、NC ピンについては、基板上ではオープンにしておいてください。なお、プリント基板に実装する場合などで、NC ピンに接続を行う場合は、必ず V_{SS} (GND) に接続を行ってください。

NC ピンを信号配線あるいは V_{DD} (HV_{DD} あるいは LV_{DD}) に接続した場合、Chip 内でリーク電流が発生してしまう場合があります。（「第1章 1.3.3 入出力バッファでの静的消費電流 (I_{QIO})」参照）

b) TAB 吊りピン

TAB 吊りピンとは、パッケージのピンが直接 LSI の基盤に接続されているピンのことです。このピンは、前記の理由から外部から電源を与えなくても V_{SS} (GND) のレベルになっています。通常このピンについては、基板上でオープンにしておいてください。

9.11.4 推奨ピン配列例

ピン配列は、LSI を正常に動作させるうえで重要なポイントとなります。以下に、この章で説明した内容を総合的に考慮したピン配列の図（図 9-24）を示しますので、参考にしてピン配列を決定してください。

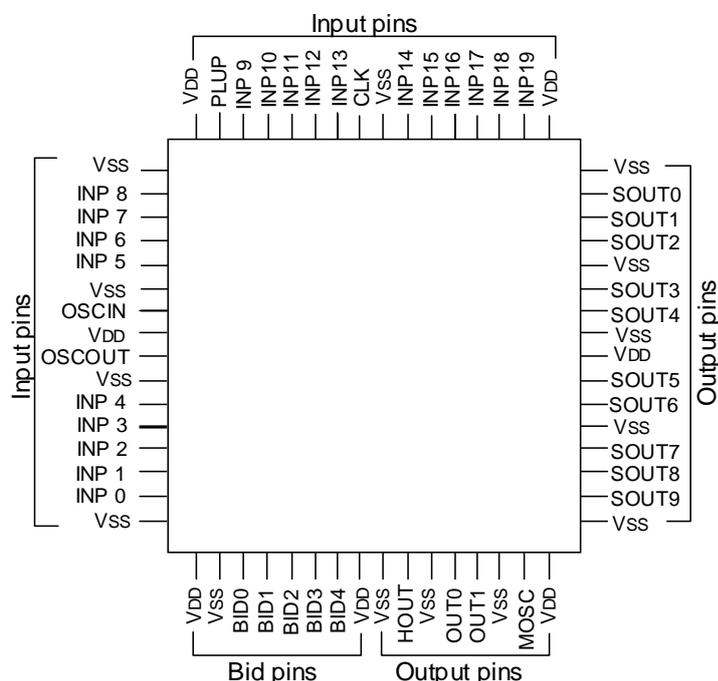


図 9-24 推奨ピン配列例

パッケージの上辺、左辺には入力ピン、右辺には同時変化をする出力ピン、下辺には双方向ピンおよびその他の出力ピンを配置してあります。

表 9-9 ピン配列例の説明

配置	ピン名	ピン名の説明	各ピン配置の詳細説明
上辺	PLUP	プルアップ用入力ピン	ノイズの影響の少ない位置に配置
	CLK	クロック用入力ピン	パッケージ中央付近、電源ピンの近くに配置
左辺	OSCIN	発振用ピン	パッケージ中央付近、電源ピンの近くに配置
	OSCOU		パッケージ中央付近、電源ピンの近くに配置
	INP0~19	入力ピン	電源ピンで他ピンと分離して配置
右辺	SOUT0~9	同時変化出力ピン	電源ピンで他ピンと分離し、電源ピンを追加
下辺	BID0~4	双方向ピン	電源ピンで他ピンと分離して配置
	MOSC	発振モニター用出力ピン	発信用ピンから離し、電源ピンの近くに配置
	HOUT	高駆動出力ピン	電源ピンを近くに配置
	OUT01	出力ピン	電源ピンで他ピンと分離して配置
全体	V _{DD}	V _{DD} 電源ピン	
	V _{SS}	V _{SS} (GND) 電源ピン	

9.12 電源 Cut-off について (X タイプ)

S1X60000 シリーズ (X タイプ) で電源 Cut-off 仕様に対応した Chip を作成するさいには、以下の点に注意して作成を行ってください。

9.12.1 単一電源仕様の場合

- (1) 電源 Cut したさいに外部からの入力信号も High-Z となる場合

基本的には、すべての入出力バッファを使用することが可能です。電源分離を行い、一部の領域の電源を Cut-off する場合でも、外部からの信号が印加されない場合は、すべての入出力バッファの使用が可能です。

(ただし、内部セル領域も含め、関係する回路すべての電源が Cut-off されている必要があります。)

- (2) 電源 Cut-off したさいに外部から入力信号が印加される場合。あるいは、外部にプルアップ抵抗が存在する場合

電源を Cut-off した状態で外部から入力信号を印加した場合は、使用する入出力バッファの種類によってはリーク電流が発生してしまいます。

したがって、この仕様の場合は、下記の入出力バッファは使用できません。

- プルアップ抵抗付きの入力バッファ。ただし、Fail-Safe セルは除きます。
- Fail-Safe セル以外の出力バッファ。ただし、オープンドレインタイプは使用できません。
- Fail-Safe セル以外の双方向バッファ。ただし、オープンドレインタイプは使用できません。

(電源分離を行って一部の領域の電源を Cut-off する場合も、該当する領域には上記の入出力バッファは使用することができません。)

9.12.2 2 電源仕様の場合

- (1) HV_{DD} を供給したまま LV_{DD} を Cut-off する場合

この仕様については、HV_{DD} 系の出力バッファあるいは HV_{DD} 系の双方向バッファの出力モードがコントロールできなくなり、最悪の場合、貫通電流が流れ続ける危険性があります。したがって、この仕様の電源 Cut-off は行わないでください。

- (2) LV_{DD} を供給したまま HV_{DD} を Cut-off する場合

- a) HV_{DD} 電源を Cut-off したさいに外部からの入力も High-Z となる場合

- LV_{DD} 系セル

L 系の入力バッファも High-Z となる場合は、プルアップ／プルダウン抵抗付きセルを使用してください。

L 系の入力が High-Z にならない場合は特に制限はありません。

- HV_{DD} 系セル

Gated セルを使用してください。内部回路でコントロール端子“C”をコントロールすることで入力初段での電流が流れないように設定できます。

b) HV_{DD} 電源を Cut-off したさいに外部から入力信号が印加される場合、あるいは外部にプルアップ抵抗が存在する場合

- LV_{DD} 系セル

L 系の入力バッファが High-Z となる場合は、プルアップ/プルダウン抵抗付きセルを使用してください。

L 系の入力が高-Zにならない場合は特に制限はありません。

- HV_{DD} 系セル

出力バッファについては、オープンドレインタイプのセルを使用してください。また、入力バッファにつきましては Gated セルを使用してください。(ただし、プルアップ抵抗付きの入力バッファは使用できません。) 内部回路でコントロール端子“C”をコントロールすることで入力初段での電流が流れないように設定できます。双方向バッファにつきましてはこのモードでの使用はできません。

上記の Gated セルの詳細については「第 4 章 4.2.5 Gated セル」を参照してください。また、電源分離を行って一部の領域の電源を Cut-off する場合も、該当する領域には上記の入出力バッファ以外は使用することができません。

(3) HV_{DD} と LV_{DD} をともに Cut-off する場合

a) 電源を Cut-off したさいに外部からの入力も High-Z となる場合

基本的にはすべての入出力バッファを使用することが可能です。電源分離を行い、一部の領域の電源を Cut-off する場合でも、外部からの信号が印加されない場合は、すべての入出力バッファの使用が可能となります。

(ただし、内部セル領域も含め、関係する回路すべての電源が Cut-off されている必要があります。)

b) 電源を Cut-off したさいに外部から入力信号が印加される場合、あるいは外部にプルアップ抵抗が存在する場合

- LV_{DD} 系セル

電源を Cut-off した状態で外部から入力信号を印加した場合は、使用する入出力バッファの種類によってはリーク電流が発生してしまいます。

したがって、この仕様の場合は、下記の入出力バッファは使用できません。

- プルアップ抵抗付きの入力バッファ。ただし、Fail-Safe セルは除きます。
- Fail-Safe セル以外の出力バッファ。ただし、オープンドレインタイプは使用できません。
- Fail-Safe セル以外の双方向バッファ。ただし、オープンドレインタイプは使用できません。

- HV_{DD} 系セル

LV_{DD} 系セルと同様、使用する入出力バッファの種類によってはリーク電流が発生してしまいます。この仕様の際は、下記の入出力バッファは使用できません。

- プルアップ抵抗付きの入力バッファ
- オープンドレインタイプ以外の出力バッファ
- オープンドレインタイプ以外の双方向バッファ

(電源分離を行って一部の領域の電源を Cut-off する場合も、該当する領域には上記の入出力バッファは使用することができません。)

9.13 電源 Cut-off について (XF タイプ)

S1X60000 シリーズ (XF タイプ) で電源 Cut-off 仕様に対応した Chip を作成するさいには、以下の点に注意して作成を行ってください。

9.13.1 Cut-off 時に使用できるセル種

- (1) HV_{DD} を供給したまま LV_{DD} を Cut-off する場合

この仕様については、HV_{DD} 系の出力バッファあるいは HV_{DD} 系の双方向バッファの出力モードがコントロールできなくなり、最悪の場合、貫通電流が流れ続ける危険性があります。したがって、この仕様の電源 Cut-off は行わないでください。

- (2) LV_{DD} を供給したまま HV_{DD} を Cut-off する場合

- a) HV_{DD} 電源を Cut-off したさいに外部からの入力も High-Z となる場合

- LV_{DD} 系セル

L 系の入力バッファも High-Z となる場合は、プルアップ/プルダウン抵抗付きセルを使用してください。

L 系の入力が High-Z にならない場合は特に制限はありません。

- HV_{DD} 系セル

Gated セルを使用してください。内部回路でコントロール端子“C”をコントロールすることで入力初段での電流が流れないように設定できます。

- 5V トレラント Fail-Safe セル

5V トレラント Fail-Safe セルはすべてのセルが使用可能で、内部回路でコントロール端子“C”を“LOW”に制御することで入力回路に流れる電流を遮断することができます。(このとき、出力端子“X”には“HIGH”が出力されません。)

なお、5V トレラント Fail-Safe セルのコントロール端子“C”は通常動作のさいには必ず“HIGH”に固定しておいてください。

- b) HV_{DD} 電源を Cut-off したさいに外部から入力信号が印加される場合、あるいは外部にプルアップ抵抗が存在する場合

- LV_{DD} 系セル

L 系の入力バッファも High-Z となる場合は、プルアップ/プルダウン抵抗付きセルを使用してください。

L 系の入力が High-Z にならない場合は特に制限はありません。

- HV_{DD} 系セル

- ① 入力信号が HV_{DD} 系の入力信号の場合、出力バッファについては、オープンドレインタイプのセルを使用してください。

また、入力バッファにつきましては Gated セルを使用してください。双方向バッファにつきましてはこのモードでの使用はできません。

- ② 入力信号が 5.0V 信号の場合、あるいは外部に 5.0V へのプルアップ抵抗が存在する場合、HV_{DD} 系セルはすべて使用することはできません。

- 5V トレラント Fail-Safe セル

5V トレラント Fail-Safe セルはすべてのセルが使用可能で、内部回路でコントロール端子“C”を“LOW”に制御することで入力回路に流れる電流を遮断することができます。（このとき、出力端子“X”には“HIGH”が出力されます。）入力信号も HV_{DD} 系信号、5.0V 信号いずれも入力可能です。

なお、5V トレラント Fail-Safe セルのコントロール端子“C”は通常動作のさいは必ず“HIGH”に固定しておいてください

(3) HV_{DD} と LV_{DD} をともに Cut-off する場合

a) 電源を Cut-off したさいに外部からの入力も High-Z となる場合

基本的にはすべての入出力バッファを使用することが可能です。電源分離を行い、一部の領域の電源を Cut-off する場合でも、外部からの信号が印加されない場合は、すべての入出力バッファの使用が可能となります。

（ただし、内部セル領域も含め、関係する回路すべての電源が Cut-off されている必要があります。）

b) 電源を Cut-off したさいに外部から入力信号が印加される場合、あるいは外部にプルアップ抵抗が存在する場合

- LV_{DD} 系セル

電源を Cut-off した状態で外部から入力信号を印加した場合は、使用する入出力バッファの種類によってはリーク電流が発生してしまいます。

したがって、この仕様の場合は、下記の入出力バッファは使用できません。

- プルアップ抵抗付きの入力バッファ。ただし、Fail-Safe セルは除きます。
- Fail-Safe セル以外の出力バッファ。ただし、オープンドレインタイプは使用できません。
- Fail-Safe セル以外の双方向バッファ。ただし、オープンドレインタイプは使用できません。

- HV_{DD} 系セル

① 入力信号が HV_{DD} 系の入力信号の場合、LV_{DD} 系セルと同様、使用する入出力バッファの種類によってはリーク電流が発生してしまいます。この仕様の際は、下記の入出力バッファは使用できません。

- 3V-PCI セル、およびプルアップ抵抗付きの入力バッファ
- オープンドレインタイプ以外の出力バッファ
- オープンドレインタイプ以外の双方向バッファ

（電源分離をおこなって一部の領域の電源を Cut-off する場合も、該当する領域には上記の入出力バッファは使用することができません。）

② 入力信号が 5.0V 信号の場合、あるいは外部に 5.0V へのプルアップ抵抗が存在する場合、HV_{DD} 系セルはすべて使用することはできません。

- 5Vトレラント Fail-safe セル

- ① 入力信号が HV_{DD} 系の入力信号の場合、5Vトレラント Fail-safe セルはすべてのセルが使用可能です。

なお、5Vトレラント Fail-safe セルのコントロール端子“C”は通常動作のさいは必ず“HIGH”に固定しておいてください。

- ② 入力信号が 5.0V 信号の場合、あるいは外部に 5.0V へのプルアップ抵抗が存在する場合、5Vトレラント Fail-Safe セルはすべて使用できません。

第 10 章 テスト性を考慮した回路設計

IC 出荷時には、LSI テスタを使用して製品テストを行っています。そのため、テスト性を考慮した回路設計が必要です。回路設計ではあらかじめ、以下の点に考慮してください。なお、本章は JTAG 回路との併用には対応していません。JTAG 対応のさいには、「第 10 章 10.8 バウンダリスキャン設計」を参照の上、DC テストが可能なテストパターンの作成が必要です。また、テスト回路の追加ができない場合は、弊社営業担当までお問い合わせの上ご確認ください。

10.1 回路初期化の考慮

回路の中には、多くの FF（フリップフロップ）が使用されていますが、LSI テスタでテストする時や、シミュレーションを行う時にはすべての FF の初期状態は X（不定）です。そのため、回路構成によっては、回路の初期化が不可能であったり、初期化するために膨大なテストパターンが必要となることがあります。そこで、回路設計にあたっては、リセット付きの FF を使用するなどして回路の初期化が容易に行えるようにしてください。

10.2 テストパターン短縮化の考慮

回路規模の増加にともない、テストパターンも膨大になる傾向があります。しかし、以下に示す LSI テスタによる制限がありますので注意してください。

テストパターン 1 本あたりのイベント数	: 256K イベント以内
テストパターンの本数	: 30 本以内
テストパターンの総イベント数	: 1M イベント以内

この制限は、DC テスト用のテストパターンで、Z 検定用のテストパターン、テスト回路用のテストパターン、また、弊社で用意させていただく ROM やメガセル用テストパターンを含んだ値です。ROM やメガセル用のテストパターンの本数およびイベント数は、弊社営業担当までお問い合わせください。なお、RAM 用テストパターンにつきましては、お客さまがご用意された参考パターンは制約に含みますが、弊社で用意させていただく RAM の全パターン検証用のテストパターンは制約には含みません。

回路設計に当たっては、多段のカウンタの途中からクロックを入力できるようなテスト端子を設けたり、LSI 内部の信号をモニタできるようなテスト端子を追加したりしテスト性を向上させ、テストパターンの短縮が図れる回路設計を行ってください。

10.3 DC テスト・AC テスト容易回路の構成

S1X60000 シリーズは、DC テストおよび AC テスト等の出荷時の試験を効率良く行えるように、テスト回路を構成し、お客さまの回路に追加していただくことが必要となります。テスト回路の追加ができない場合は、弊社営業担当までお問い合わせの上ご確認ください。

10.3.1 テスト回路の構成

図 10-1 に、テストモードコントロール回路“TCIR2”の回路構成を示します。

図 10-2 にテストモードコントロール回路“TCIR2”を使用したテスト回路と 2 ワード×2 ビット（実際にはこの構成は存在しません）の RAM のテスト回路の具体例を示します。この回路および以下の①～④の内容を参考にしてテスト回路を構成してください。また、RAM、機能セルを含む場合には「第 10 章 10.4 メモリブロックのテスト回路」、「第 10 章 10.6 機能セルのテスト回路」の項も併せてご確認ください。

① テスト端子の追加および選定

テスト回路の構成のため以下の 4 種類のテスト端子を追加・選定してください。

- テストモード切換入力端子 : 1 本
- テストモード選択入力端子 : 4 本
- AC テスト用モニタ出力端子 : 1 本
- DC テスト(入力電圧レベル)用モニタ出力端子 : 1 本

表 10-1 テスト端子制約一覧

テスト端子の種類	端子数	端子名 (例)	制約事項等
テストモード切換入力端子	1 本	TSTEN	専用入力端子。入力バッファは ITST1 を使用。 H: テストモード L: 通常モード
テストモード選択入力端子	4 本	INP0~INP3	ユーザーファンクション兼用可能入力端子。双方向端子との兼用は不可。クリティカルパスを持つ入力端子との兼用は避ける。
AC テスト用モニタ出力端子	1 本	OUT3	ユーザーファンクション兼用可能出力端子。Nch オープンドレインセルとの兼用は不可。出力バッファの Type S、Type M は使用不可。
DC テスト用モニタ出力端子	1 本	OUT4	ユーザーファンクション兼用可能出力端子。双方向端子、3-state 端子 Nch オープンドレイン端子との兼用は不可。
出力端子、双方向端子	—	—	テストモード付き出力バッファ。(双方向バッファを使用)

● DC テストについて

すべての入力・出力端子が DC 特性に関する仕様を満たしているかを測定します。テスト回路がない場合には DC 特性の測定が可能となるテストパターンを作成していただく必要があるため、テストパターン作成に多大な工数がかかる事になります。テスト回路を使用する事によりテストパターン作成が容易になり DC 特性の測定も容易となります。

● AC テストについて

Pin to Pin (入力端子～出力端子) の遅延を測定します。LSI テスタにて実動作周波数の検定を行えない場合、ある特定のパス遅延を測定する事により動作速度を保証します。また、セイコーエプソン推奨のテスト回路“TCIR2”をご使用の場合には、AC テスト用モニタ出力端子により、専用の AC パスを測定する事により、ロット間ばらつきの評価を行います。推奨テスト回路“TCIR2”は、被測定素子遅延とバイパス遅延の測定値の差分判定を行っていますので、テスト回路の Chip 内配置や、Chip 外部の測定条件に依存せずに、常に一定の遅延測定が可能となっています。

② テストモードコントロール回路の追加と接続

a: テストモードコントロール回路“TCIR2”を配置してください。

b: テストモード切替入力バッファ“ITST1”の出力端子 (X) および (LG) は、“TCIR2”の入力端子 (TST) および (ILG) にそれぞれ接続してください。

- c: テストモード選択入力端子の入力バッファの出力端子は、テストモードコントロール回路“TCIR2”の入力端子に接続してください。
- INP0 の入力バッファの X 端子は、“TCIR2”の TM0 端子に接続
 - INP1 の入力バッファの X 端子は、“TCIR2”の TM1 端子に接続
 - INP2 の入力バッファの X 端子は、“TCIR2”の TM2 端子に接続
 - INP3 の入力バッファの X 端子は、“TCIR2”の TM3 端子に接続
- d: テストモードコントロール回路“TCIR2”の出力端子は、入出力バッファの入力端子に接続してください。
- “TCIR2”の TAC 端子は、AC テスト用モニタ出力端子 (OUT3) の TA 端子に接続してください。
 - “TCIR2”の OLG 端子は、DC テスト用モニタ出力端子 (OUT4) の TA 端子に接続してください。
 - “TCIR2”の TD 端子は、AC,DC テスト用モニタ出力端子 (OUT3、OUT4) を除くすべての入出力バッファの TA 端子に接続してください。
 - “TCIR2”の TE 端子は、3-state 端子 (OUT2) および双方向端子 (BID1) の入出力バッファの TE 端子に接続してください。
 - “TCIR2”の TS 端子は、すべての入出力バッファの TS 端子に接続してください。
 - “TCIR2”の MS 端子は、RAM、機能セルを含む場合に各マクロ制御に使用することが可能です。
- e: 入出力バッファの TA、TE、TS 端子へ接続される信号がファンアウト制限を超えても無視してください。

③ 代表的なテストモードの設定例

a: DC テスト

- 静的消費電流測定モード*1

TSTEN … “HIGH”

*1: 搭載するマクロに静的消費電流測定モードが存在する場合、別途、測定モードを準備する必要があります。

- 出力特性 (V_{OH}/V_{OL}) 測定モード

TSTEN … “HIGH”

INP0 … “LOW”

INP1 … “HIGH” および、 “LOW”

INP2 … “LOW”

測定端子*2 … “HIGH” および、 “LOW”

*2: DC テスト用モニタ出力端子を除く全出力および、全双方向端子が対象。

- 入力特性 (V_{IH}/V_{IL}) 測定モード

TSTEN … “HIGH”

測定端子*3 … “LOW”

非測定端子 … “HIGH”

DC テスト用モニタ端子 … “HIGH” および、 “LOW”

*3: TSTEN を除く、全入力および、全双方向端子が対象。

- リーク電流測定モード

TSTEN	… “HIGH”
INP0	… “HIGH”
INP1	… “LOW”
INP2	… “HIGH”
測定端子*4	… “HIGH” および、“LOW”
3-state 端子、Nch オープンドレイン端子	… ハイインピーダンス

*4 : INP0～2 を除く、全入力、全 3-state 出力および、全双方向端子が対象。

b : 専用 AC テスト

- 専用 AC パス測定モード

TSTEN	… “HIGH”
INP0	… “LOW”
INP1	… “LOW”
INP2*5	… “HIGH” への変化および、“LOW” への変化 (被測定素子への入力信号)
INP3*5	… “HIGH” (ディレイセル遅延) および、“LOW” (バイパス遅延) の選択 (被測定素子の選択端子)

*5 : INP3 で被測定素子を選択した後、次以降のイベントで INP2 を変化させてください。INP2 と INP3 が同時変化するパターンでは正確な遅延測定が行えない場合があります。図 10-3 テストオプション時のテストパターン作成例を参照してください。

c : マクロテスト

- マクロテストモード

TSTEN	… “HIGH”
INP0	… “HIGH”
INP1	… “LOW”
INP2	… “LOW”
テストモード時マクロ制御端子*6	… マクロの機能による
テストモード時マクロ観測端子*6	… マクロの動作による

*6 : テストモード時にマクロ用に割り当てた兼用端子

表 10-2 テスト回路真理値表

INPUT						OUTPUT					
TST	ILG	TM3	TM2	TM1	TM0	TS	TD	TE	TAC	OLG	MS
0	x	x	x	x	x	0	0	0	0	0	0
1	1	x	x	x	x	1	x	x	x	1	x
1	0	x	x	x	x	1	x	x	x	0	x
1	x	x	1	1	1	1	1	1	1	x	0
1	x	x	1	1	0	1	1	1	1	x	0
1	x	x	1	0	1	1	1	1	1	x	0
1	x	x	0	1	1	1	1	1	1	x	0
1	x	x	0	0	1	1	1	0	1	x	1
1	x	x	0	1	0	1	1	0	1	x	0
1	x	0	1	0	0	1	0	0	1	x	0
1	x	0	0	0	0	1	0	0	0	x	0
1	x	1	1	0	0	1	0	0	1	x	0
1	x	1	0	0	0	1	0	0	0	x	0

④ テストパターンの作成

DC テストおよび AC テストを効率よく行えるように、テスト回路を設計していただくと同時にテストパターンも設計していただく必要があります。図 10-2 のテスト回路例に対するテストパターンの具体例を図 10-3 に示します。次に示す事項に注意してテストパターンを作成してください。

- a. 例に示すようなテストパターンは、回路の検証用のパターンとは別に作成してください。
- b. このテストパターンには、回路で使用している全端子を記述する必要があります。
- c. AC テストに関して、ディレイセル遅延とバイパス遅延の双方を測定するためのテストパターンが必要です。図 10-3 を参考に各々のモードで 2 つのパルスを入力するようにテストパターンを作成してください。
- d. 回路の機能検証用のパターンにもテストモード切換端子 (TSTEN) を記述してください。その場合、通常モードとなるようにテストモード切換端子 (TSTEN) の入力レベルは、“0”としてください。
- e. テストモード切換端子 (TSTEN) の入力レベルが“1”の時、すべてのプルアップ／プルダウン抵抗が非能動状態となります。

⑤ テストモードコントロール回路“TCIR2”の回路構成

図 10-1 は、弊社が推奨いたしますテストモードコントロール回路“TCIR2”を使用したテスト回路の構成です。テストモードコントロール回路“TCIR2”は、回路全体をテストモードに設定し、LSI の DC テストおよび AC テストを効率良く実現します。

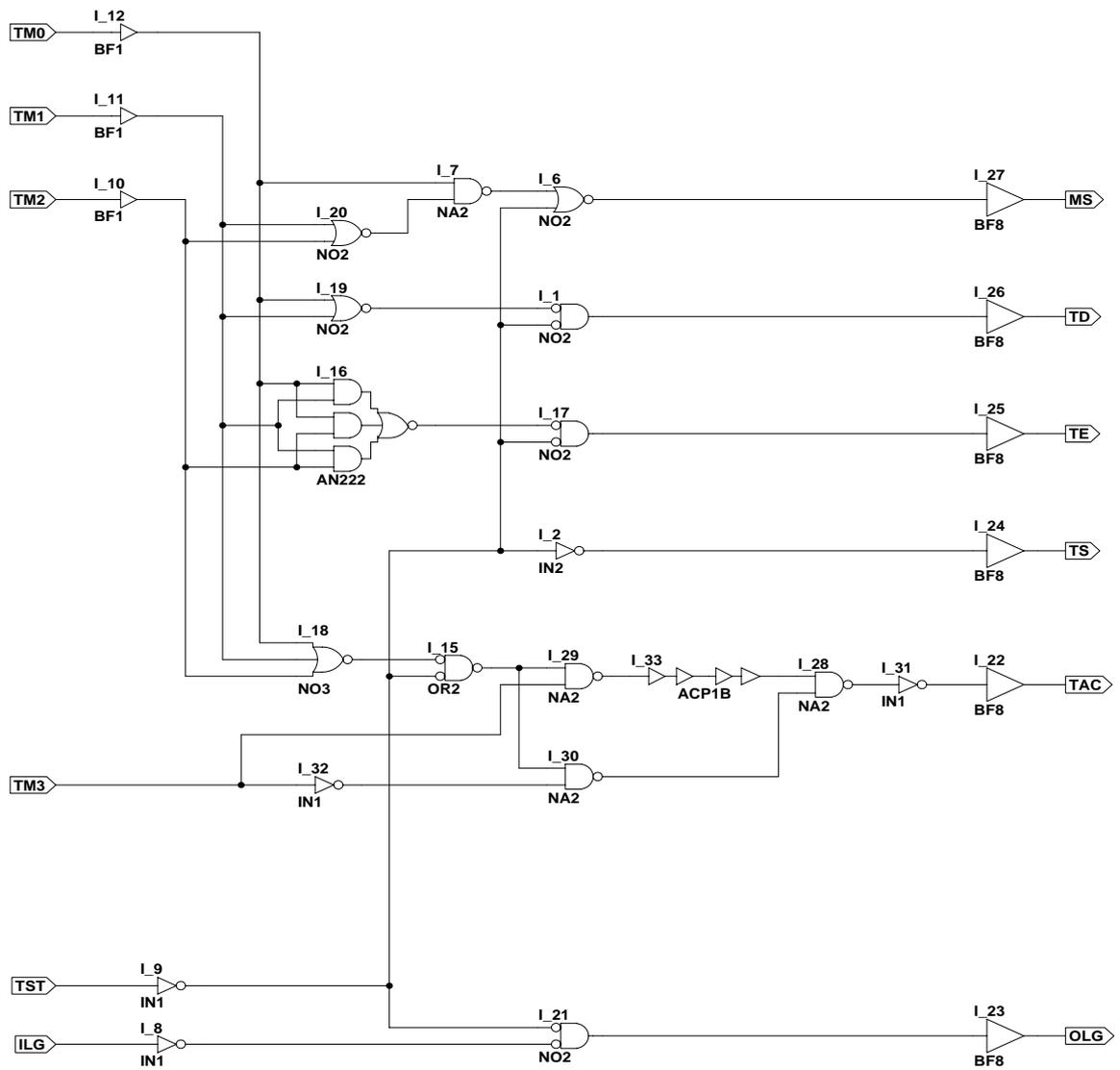


図 10-1 TCIR2 の内部回路

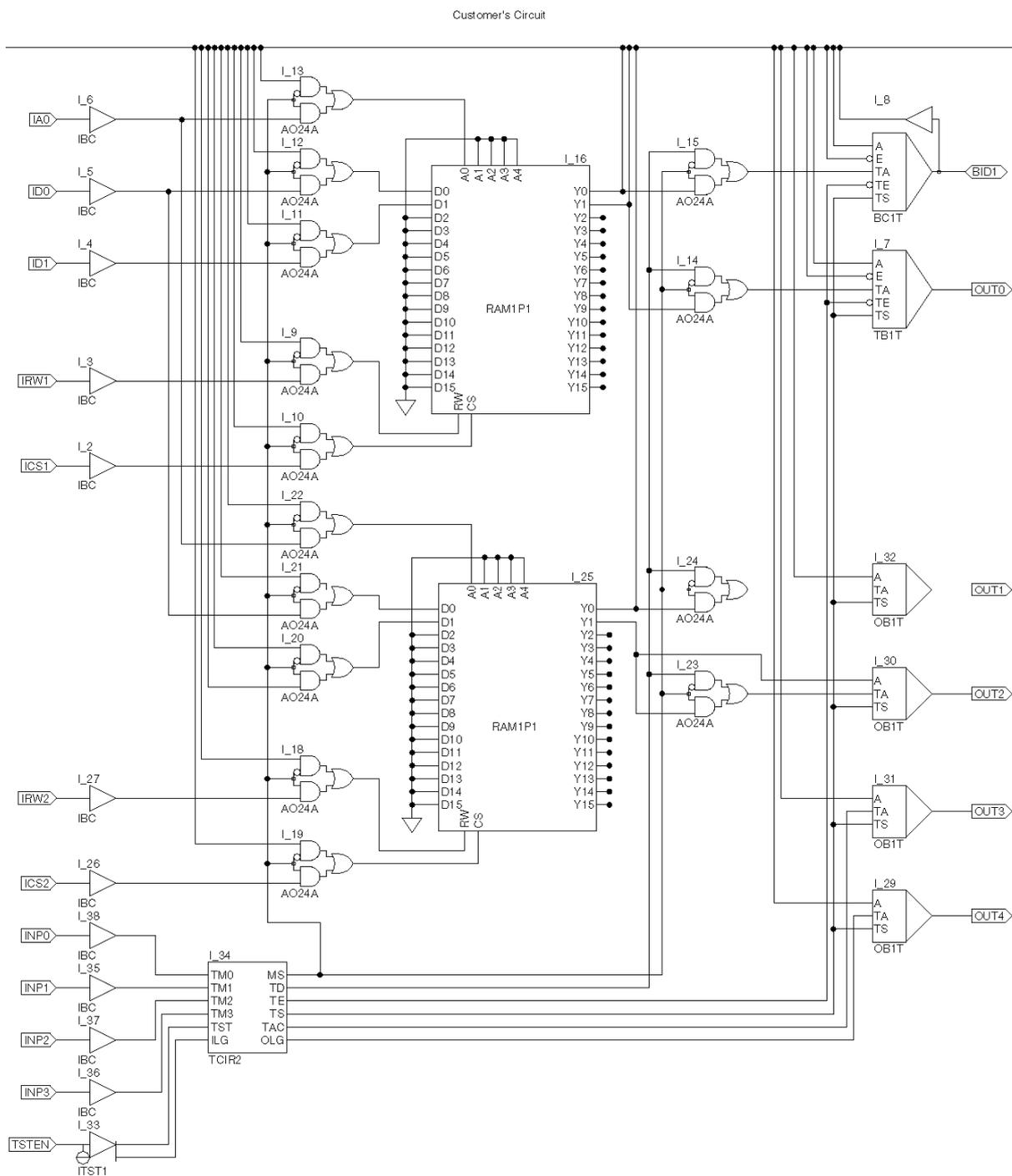


図 10-2 テスト回路の具体例

●APF フォーマットの例

```

# EXAMPLE of Test Pattern for AC & DC Test by TCIR2
$RATE 200000
$RESOLUTION 0.001ns
$STROBE 185000
$NODE
TSTEN          ID  0
INP0           I  0
INP1           I  0
INP2           I  20000    #差分測定
INP3           I  0
IA0            I  0
ID0            I  0
ID1            I  0
ICS1           I  0
ICS2           I  0
IRW1           I  0
IRW2           I  0
BID1           B  0
OUT0           0
OUT1           0
OUT2           0
OUT3           0
OUT4           0
$ENDNODE
$PATTERN
#      TIIIIIIIIIIIB00000
#      SNNNNADDCCRRRIUUUUU
#      TPPPP001SSWWDTTTTT
#      E0123  1212101234
#      N
#
#      IIIIIIIIIIIIB00000
#      U
#
0 0000.....XXXXXX
1 1000.....LLLLLX : 専用 AC パス測定 1 (バイパス)
2 1001.....LLLLHX   ↑
3 1000.....LLLLLX   ↑
4 10001.....LLLLLX : 専用 AC パス測定 2 (ディレイパス)
5 10011.....LLLLHX   ↑
6 10001.....LLLLLX   ↑
7 11010.....0ZH HHX : オフステートリーク電流測定
8 11010.....1ZH HHX   ↑
9 10000.....LLLLLX : 出力特性測定
10 10100.....HHHHHX   ↑
$ENDPATTERN
#
# EOF
注) ‘.’ は、1 か 0 です。

```

図 10-3 テストオプション時のテストパターン作成例

10.4 メモリブロックのテスト回路

10.4.1 Basic Cell タイプ RAM

RAM を使用した場合には製品出荷のさいに全ビットのテストを行う必要があります。そのため、RAM を使用した場合には、その RAM の入出力端子を外部ピンから直接アクセスできるようなテスト回路を組み込んでください。

なお、テスト用の入出力端子は通常の入出力端子と兼用することができますので、テスト回路を追加しても端子が増えることはありません。

RAM テスト中はすべての双方向端子が出力状態になりますので、入力に割り当てることはできません。入力端子が不足している場合には、対象となる双方向の TE 端子にコントロール回路を付加し、対応してください。

また、複数個の RAM を使用した場合は、基本的にはそれぞれの RAM の入出力端子は、それぞれ別の外部ピンに割り当てることをお勧めします。ただし、外部ピン数が足りない場合は、RAM の入出力端子をテスト回路により共通の外部端子に割り当てることも可能です。

図 10-2 のテスト回路の具体例では、非テストモードの時は通常動作を行い、テストモードにすると、外部ピン ICS1~2、IRW1~2、ID0~1 および IAO から直接 RAM にデータを書き込めるようになり、同時に RAM の出力を外部ピン AY0 および AY1 に読み出せるようになっていきます。

双方向ピンや 3-state 出力ピンに RAM の入出力端子を割り当てることも可能ですが、RAM テスト時において双方向ピンの状態が入力か出力かどちらかに固定している必要があります。ただし、静的消費電流測定ができなくなるため、プルアップ付き入力バッファを CS に割り当てないようにしてください。

10.4.1.1 RAM のテストパターン

RAM を使用した場合はテスト回路を組み込んだあと、通常状態とテスト状態の両状態におけるテストパターンを作る必要があります。通常状態でユーザー回路との接続を確認し、テスト状態でテスト回路が正しく組み込まれているかを確認します。また、セイコーエプソンで RAM のテストパターンを作成するさいにテンプレートとして用いるテストパターンの作成をお願いします。尚、Basic Cell タイプの RAM には非同期型 1 ポートおよび 2 ポートと同期型 1 ポートおよび 2 ポートが存在し、各々テストパターンの作成方法が異なります。非同期型 RAM のテストパターンの作成要領を図 10-4、10-5 に、同期型 RAM のテストパターン作成要領を図 10-6、10-7 に示します。

このテストパターンは、セイコーエプソンで 1 Port RAM テストを行う場合のテンプレートとして使用します。

<APF フォーマットの例>

```

$RATE 200000
$STROBE 185000
$RESOLUTION 0.001ns

$NODE
INPA I 0
INPB I 0
INPC I 0
INPD I 0
INPE I 0
INPF I 0
INPG I 0
INPH N 20000 120000
INPI I 0
TESTEN I 0
.
.
OUTA 0
OUTB 0
OUTC 0
OUTD 0
.
$ENDNODE

$PATTERN
# AAADDDDRC YYY
# 0120123WS 0123
#
0 0001010101..XXXX..
1 0001010N11..XXXX..
2 0001010111..HLHL..
3 1011111101..XXXX..
4 1011111N11..XXXX..
5 1011111111..HHHH..
6 1110101101..XXXX..
7 1110101N11..XXXX..
8 1110101111..LHLH..
    
```

シミュレーションを行うために、全ての I/O ピンを記述してください。
 下図のタイミング図を参考にして十分余裕のあるタイミングを設定してください。

コメントを付けておくと便利です。

テストモードを設定するためにシーケンスが必要な場合は、そのパターンも入力してください。

- ① 最下位アドレス・中程のアドレス・最上位アドレスにアクセスしてください。
- ② 1 アクセスは、3 イベント（テスター・サイクル）で構成してください。
 最初のイベントで、データとアドレスをセットしてください。
 次のイベントで、ライトしてください。
 3 イベント目で、リードしてください。
- ③ ライト動作が 1 イベントで完結できるように、RW 信号には RZ 波形を用いてください。
- ④ 書き込むデータは、各アドレスで変えてください。
- ⑤ シミュレーション結果が期待する結果と同じになることを確認してください。

タイミング図

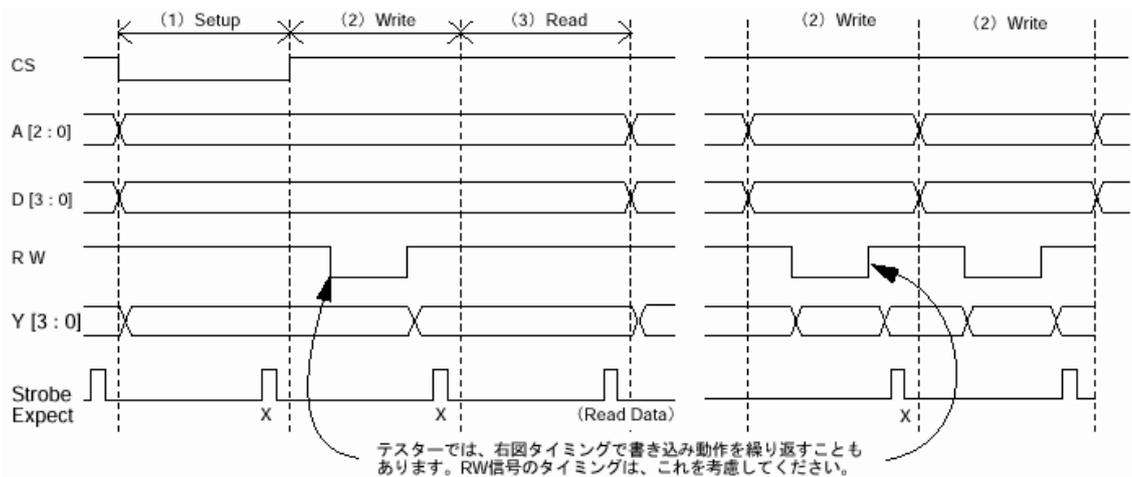


図 10-4 1 ポート RAM 用テストパターンの作成要領

このテストパターンは、セイコーエプソンで2Port RAMテストを行う場合のテンプレートとして使用します。

<APFフォーマットの例>

```

$RATE 200000
$STROBE 185000
$RESOLUTION 0.001ns

$NODE
INPA I 0
INPB I 0
INPC I 0
INPD I 0
INPE I 0
INPF I 0
INPG I 0
INPH I 0
INPI I 0
INPJ I 0
INPK I 0
INPL P 20000 120000
INPM I 0
TESTEN I 0
.
.
OUTA 0
OUTB 0
OUTC 0
OUTD 0
.
$ENDNODE
$PATTERN
# RRRWW
# AAAAAADDDDRWC..YYYY..
# 0120120123DRS..0123..
#
0 00000010100001.XXXX..
1 00000010100P11.XXXX..
2 00000011111011.HLHL..
3 10110111110001.XXXX..
4 10110111110P11.XXXX..
5 10110100001011.HHHH..
6 11111101010001.XXXX..
7 11111101010P11.XXXX..
8 11111111111011.LHLH..
    
```

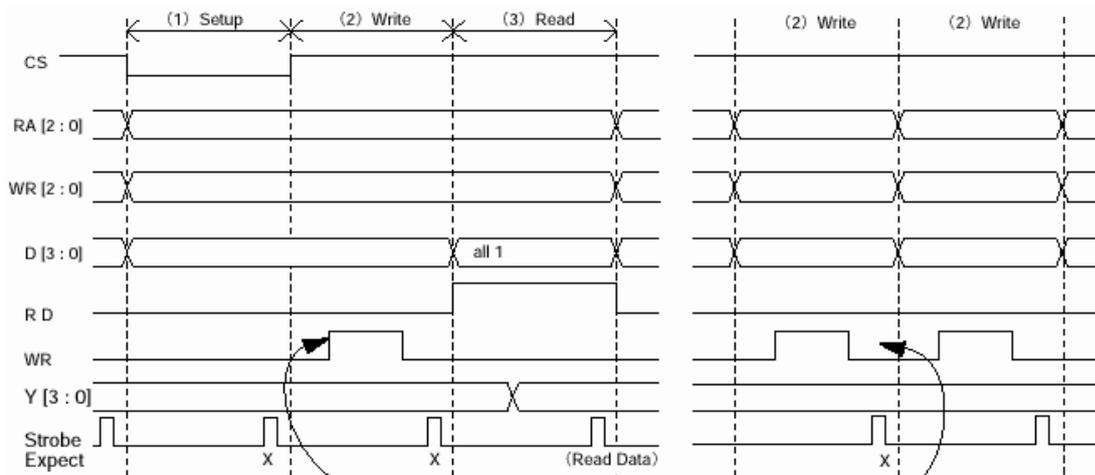
シミュレーションを行うために、全てのI/Oピンを記述してください。
 下図のタイミング図を参考にして十分余裕のあるタイミングを設定してください。

コメントを付けておくと便利です。

テストモードを設定するためにシーケンスが必要な場合は、そのパターンも入力してください。

- ① 最下位アドレス・中程のアドレス・最上位アドレスにアクセスしてください。
- ② 1アクセスは、3イベント（テスター・サイクル）で構成してください。
最初のイベントで、データとアドレスをセットしてください。
次のイベントで、ライトしてください。
3イベント目で、リードしてください。
- ③ ライト動作が1イベントで完了できるように、RW信号にはRZ波形を用いてください。
- ④ 書き込むデータは、各アドレスで変えてください。
- ⑤ シミュレーション結果が期待する結果と同じになることを確認してください。
- ⑥ リード時には、データを全ビット1としてください。ただし、書き込むデータが全ビット1の場合は、リード時のデータは全ビット0としてください。

タイミング図

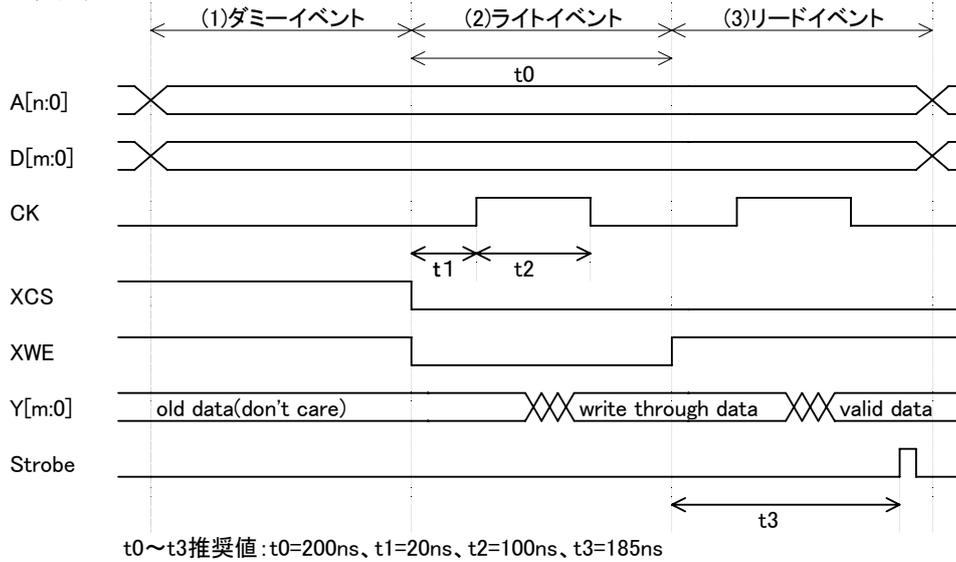


テスターでは、右図タイミングで書き込み動作を繰り返すこともあります。WR信号のタイミングは、これを考慮してください。

図 10-5 2ポート RAM 用テストパターンの作成要領

●このテストパターンは、セイコーエプソンにてテストを行う場合のテンプレートとなります。

・タイミングチャート



・APFフォーマットの例(16ワードx4ビットの場合)

```

$RATE 200000
$STROBE 185000
$RESOLUTION 0.001ns
$NODE
IA3 I 0
IA2 I 0
IA1 I 0
IA0 I 0
ICK P 20000 120000
IXCS I 0
IXWE I 0
ID3 I 0
ID2 I 0
ID1 I 0
ID0 I 0
...
OY3 O
OY2 O
OY1 O
OY0 O
$ENDNODE

$PATTERN
# AAAACXXDDDD...YYYY
# 3210KCW3210...3210
# SE
0 00000010000...XXXX
1 0000P100000...XXXX
2 0000P110000...LLLL
3 01010010101...XXXX
4 0101P100101...XXXX
5 0101P110101...LHLH
6 11110011111...XXXX
7 1111P101111...XXXX
8 1111P111111...HHHH
$ENDPATTERN
    
```

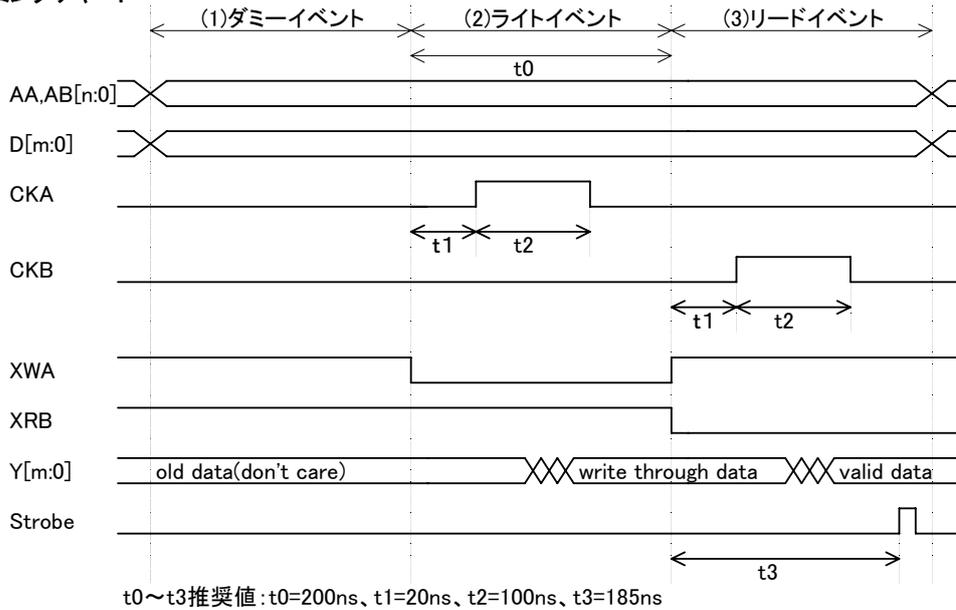
シミュレーションを行うために、全てのI/Oピンを記述してください。

- ①ダミーイベント・ライトイベント・リードイベントで1アクセス(1テストサイクル)としこれを最下位・中間・最上位アドレスの順序で3回行ってください。
- ②ダミーイベントの最初で、アドレス、データを設定し、ライトイベントでライトし、リードイベントでリードをそれぞれ行ってください。
- ③CKはパルス(RZ波形)で与えてください。
- ④ライトするデータは各アクセスごとに変わってください。
- ⑤テストモード設定シーケンスがある場合は、0イベント以前に挿入して下さい。(イベント番号の付け直しが必要です。)
- ⑥本テストパターン作成後、必ず論理シミュレーションにて確認を行ってください。シミュレーションを行うとダミーイベント時の出力(old data)及びライトイベント時の出力(write through data)が見られますが、検定不要であるため不定(X)に書き換えた後テスターへインタフェースすることを推奨します。

図 10-6 1ポート RAM (同期型) 用テストパターンの作成要領

●このテストパターンは、セイコーエプソンにてテストを行う場合のテンプレートとなります。

・タイミングチャート



・APFフォーマットの例(16ワードx4ビットの場合)

```

$RATE 200000
$STROBE 185000
$RESOLUTION 0.001ns
$NODE
IA3 I 0
IA2 I 0
IA1 I 0
IA0 I 0
ICKA P 20000 120000
IXWA I 0
ID3 I 0
ID2 I 0
ID1 I 0
ID0 I 0
...
IAB3 I 0
IAB2 I 0
IAB1 I 0
IAB0 I 0
ICKB P 20000 120000
IXRB I 0
OY3 O
OY2 O
OY1 O
OY0 O
$ENDNODE

$PATTERN
# AAAACXDDDD...AAAACXYYYY
# AAAAKW3210...BBBBKR3210
# 3210AE ...3210BB
0 0000010000...000001XXXX
1 0000P00000...000001XXXX
2 0000010000...0000P0LLLL
3 0101010101...010101XXXX
4 0101P00101...010101XXXX
5 0101010101...0101P0LHLH
6 1111011111...111101XXXX
7 1111P01111...111101XXXX
8 1111011111...1111P0HHHH
$ENDPATTERN
    
```

シミュレーションを行うために、全てのI/Oピンを記述してください。

- ①ダミーイベント・ライトイベント・リードイベントで1アクセス(1テストサイクル)としこれを最下位・中間・最上位アドレスの順序で3回行ってください。
- ②ダミーイベントの最初で、アドレス、データを設定し、ライトイベントでライトし、リードイベントでリードをそれぞれ行ってください。
- ③CKIはパルス(RZ波形)で与えてください。
- ④ライトするデータは各アクセスごとに変わってください。
- ⑤テストモード設定シーケンスがある場合は、0イベント以前に挿入してください。(イベント番号の付け直しが必要です。)
- ⑥本テストパターン作成後、必ず論理シミュレーションにて確認を行ってください。シミュレーションを行うとダミーイベント時の出力(old data)及びライトイベント時の出力(write through data)が見られますが、検定不要であるため不定(X)に書き換えた後テスターヘインタフェースすることを推奨します。

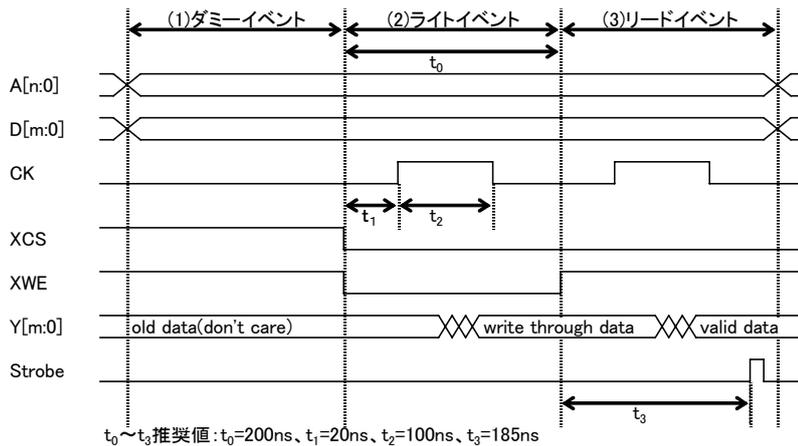
図 10-7 2ポート RAM (同期型) 用テストパターンの作成要領

10.4.2 スタンダードタイプ 1 ポート RAM

スタンダードタイプ 1 ポート RAM の場合も Basic Cell タイプ RAM と同様に、外部端子から直接アクセスが可能なテスト回路を組み込み、通常状態とテスト状態両方のテストパターン作成を行ってください。(テスト状態用テストパターンは弊社 RAM 専用テストパターンを作成するさいのテンプレートとなります。詳細は、「第 10 章 10.4.1 Basic Cell タイプ RAM」の項を参照してください。)

スタンダードタイプ 1 ポート RAM のテスト状態用テストパターンに関しては、以下の作成要領にしたがって作成をお願い致します。

- このテストパターンは、セイコーエプソンにてテストを行う場合のテンプレートとなります。
- ・タイミングチャート



・APFフォーマットの例(16ワード×4ビットの場合)

```

$RATE 200000
$STROBE 185000
$RESOLUTION 0.001ns
$NODE
IA3 I 0
IA2 I 0
IA1 I 0
IA0 I 0
ICK P 20000 120000
IXCS I 0
IXWE I 0
ID3 I 0
ID2 I 0
ID1 I 0
ID0 I 0
...
OY3 O
OY2 O
OY1 O
OY0 O
$ENDNODE

$PATTERN
# AAAACXDDDD...YYYY
# 3210KCW3210...3210
# SE
0 00000010000...XXXX
1 0000P100000...XXXX
2 0000P110000...LLLL
3 01010010101...XXXX
4 0101P100101...XXXX
5 0101P110101...LHLH
6 11110011111...XXXX
7 1111P101111...XXXX
8 1111P111111...HHHH
$ENDPATTERN
                
```

シミュレーションを行うために、全てのI/Oピンを記述してください。

- ①ダミーイベント・ライトイベント・リードイベントで1アクセス(1テスターサイクル)としこれを最下位・中間・最上位アドレスの順序で3回行ってください。
- ②ダミーイベントの最初で、アドレス、データを設定し、ライトイベントでライトし、リードイベントでリードをそれぞれ行ってください。
- ③CKはパルス(RZ波形)で与えてください。
- ④ライトするデータは各アクセス毎に変えてください。
- ⑤テストモード設定シーケンスがある場合は、0イベント以前に挿入してください。(イベント番号の付け直しが必要です。)
- ⑥本テストパターン作成後、必ず論理シミュレーションにて確認を行ってください。シミュレーションを行うとダミーイベント時の出力(old data)およびライトイベント時の出力(write through data)が見られますが、検定不要であるため不定(X)に書き換えた後テスタヘインタフェースすることを推奨します。

図 10-8 スタンダードタイプ 1 ポート RAM のテストパターン作成要項

10.4.3 スタンダードタイプ Dual ポート RAM

スタンダードタイプ Dual ポート RAM の場合も Basic Cell タイプ RAM と同様に、外部端子から直接アクセスが可能なテスト回路を組み込み、通常状態とテスト状態両方のテストパターン作成を行ってください。(テスト状態用テストパターンは弊社 RAM 専用テストパターンを作成するさいのテンプレートとなります。(詳細は、「第 10 章 10.4.1 Basic Cell タイプ RAM」の項を参照してください。))

スタンダードタイプ Dual ポート RAM のテスト状態用テストパターンに関しては、基本的に「第 10 章 10.4.2 スタンダードタイプ 1 ポート RAM」と同様ですが、ポートの使用状況にしたがい以下のように作り分けを行ってください。

- ① Dual ポート (A、B 両ポート : ライト+リード) として使用している場合、以下 2 本のテストパターンを作成する。*
 - テストパターン 1 : A ポートからライト、A ポートからリード
 - テストパターン 2 : B ポートからライト、B ポートからリード
- ② 2 ポート (A ポート : ライト、B ポート : リード) として使用している場合、以下 1 本のテストパターンを作成する。
 - テストパターン 1 : A ポートからライト、B ポートからリード
- ③ 3 ポート (A ポート : ライト+リード、B ポート : リード) として使用している場合、以下 2 本のテストパターンを作成する。*
 - テストパターン 1 : A ポートからライト、A ポートからリード
 - テストパターン 2 : A ポートからライト、B ポートからリード

* 同一アドレスへの同時アクセスが起こる可能性があるため、テストパターン 1、2 を同一のテストパターン内に記述することは推奨しておりません。

10.4.4 高密度タイプ RAM

高密度タイプ RAM の場合も Basic Cell タイプ RAM と同様に、外部端子から直接アクセスが可能なテスト回路を組み込み、通常状態とテスト状態両方のテストパターン作成を行ってください。(テスト状態用テストパターンは弊社 RAM 専用テストパターンを作成するさいのテンプレートとなります。詳細は、「第 10 章 10.4.1 Basic Cell タイプ RAM」の項を参照してください。))

高密度タイプ RAM のテスト状態用テストパターンに関しては、基本的に「第 10 章 10.4.2 スタンダードタイプ 1 ポート RAM」と同様です。

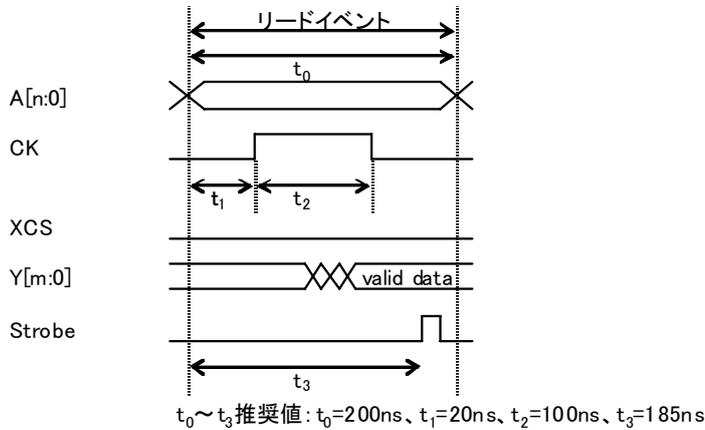
10.4.5 マスク ROM

マスク ROM の場合も Basic Cell タイプ RAM と同様に、外部端子から直接アクセスが可能なテスト回路を組み込み、通常状態とテスト状態両方のテストパターン作成を行う必要があります。(詳細は、「第 10 章 10.4.1 Basic Cell タイプ RAM」の項を参照してください。))

マスク ROM のテスト状態用テストパターンに関しては、以下の作成要領にしたがって全アドレスのデータ読み出しができるように作成をお願いいたします。

●このテストパターンは、セイコーエプソンにてテストを行う場合のテンプレートとなります。

・タイミングチャート



・APFフォーマットの例(16ワード×4ビットの場合)

```

$RATE 20000
$STROBE 18500
$RESOLUTION 0.001ns
$NODE
IA3 I 0
IA2 I 0
IA1 I 0
IA0 I 0
ICK P 20000 120000
IXCS I 0
...
OY3 O
OY2 O
OY1 O
OY0 O
$ENDNODE

$PATTERN
# AAAACX...YYYY
# 3210KC...3210
# S
0 0000P0...LLHH
1 0001P0...LLHL
2 0010P0...LLLL
3 0011P0...LHLL
...
12 1100P0...HHHL
13 1101P0...HHLH
14 1110P0...HLHH
15 1111P0...LHHH
$ENDPATTERN
                
```

シミュレーションを行うために、全てのI/Oピンを記述してください。

①上記リードイベントを基本として、全アドレスに対してリード動作を行ってください。アドレスの変化は任意の順序で行って構いません。
 ②CKはパルス(RZ波形)で与えてください。クロックを止める必要はありません。
 ③テストモード設定シーケンスがある場合は、Oイベント以前に挿入してください。(イベント番号の付け直しが必要です。)

図 10-9 マスク ROM のテストパターン作成要項

10.5 メモリ BIST 設計

S1X60000 シリーズでは、内蔵メモリのテスト回路としてメモリ自己診断回路であるメモリ BIST (Built in self Test) を採用することが可能です。メモリ BIST を採用することにより、

- お客さまによるメモリテスト回路設計が不要
- メモリテスト用外部端子の削減が可能
- メモリ的高速実動作テストが可能
- LSI テスタにおけるメモリテスト時間の削減が可能

といったメリットが期待できます。また Chip 全体の故障検出率を向上するとの観点から、メモリの入力に対してバイパス回路 (トランスペアレント回路) を設ける等、多彩なオプション機能を備えています。(*1)

注) *1: 故障検出率の向上に当たっては、バイパス回路挿入後に別途 SCAN 化を行う必要があります。Chip 全体に対して SCAN 対応を行う場合には、メモリ BIST においてもバイパス回路対応することを標準としています。

10.5.1 メモリ BIST 回路ブロックの概要

本メモリ BIST ではメモリの周辺に“カラー (collar)”と呼ばれる回路と、このカラーを制御する“コントローラ (controller)”と呼ばれる回路を生成します。メモリが複数ある場合には、複数のカラーを生成しますがそれらを 1 個のコントローラで制御することが可能です (オーバーベッド軽減のため)。

また必要に応じてメモリの入力に対してバイパス回路を付加すること、または故障診断機能を付加することが可能です。なお、いかなる場合でもメモリ入力に対して挿入される素子はマルチプレクサー一段分に抑えられます。メモリ BIST を挿入した回路ブロックは図 10-10 のようなイメージとなり、バイパス回路は図 10-11 のようなイメージとなります (いずれも同期型 SRAM への適用イメージ図)。

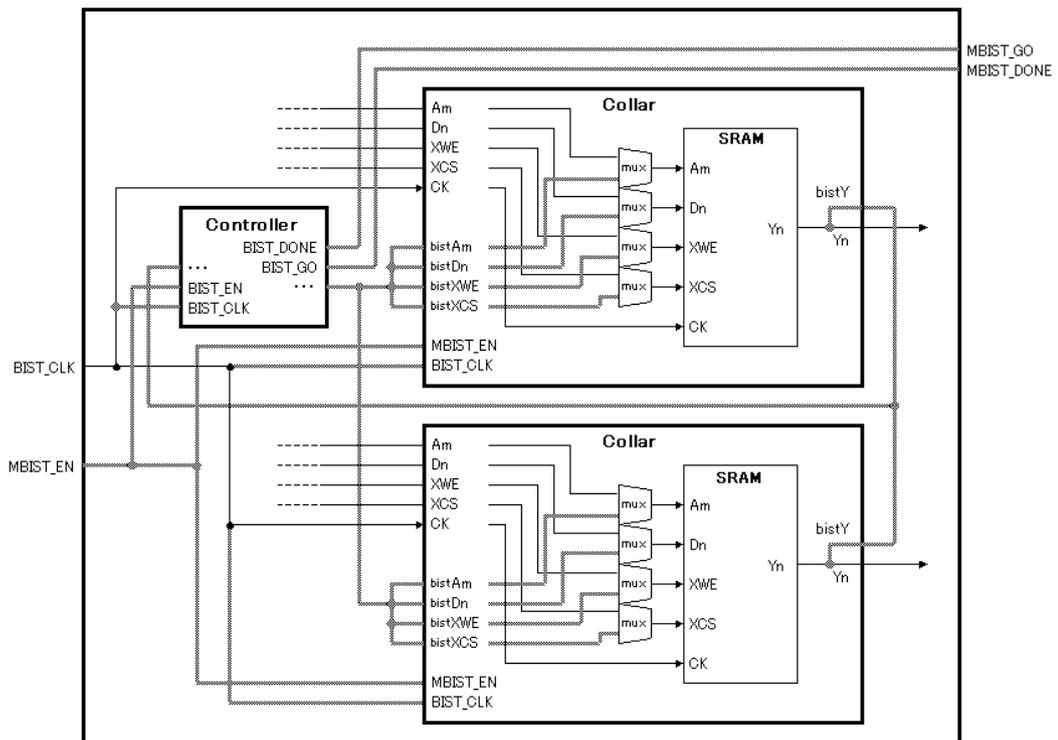


図 10-10 メモリ BIST 回路挿入後のブロック図

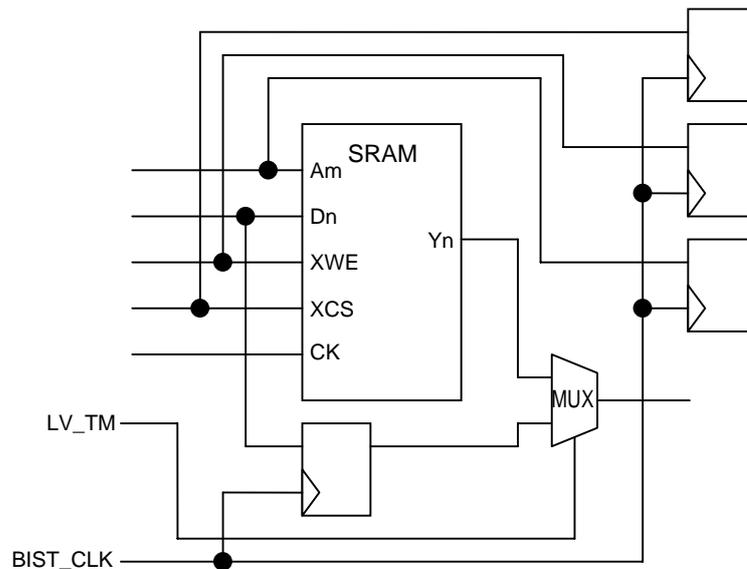


図 10-11 バイパス回路

10.5.2 メモリ BIST 回路テストシーケンスの概要

メモリ BIST およびメモリに対してクロックを与え、イネーブル信号 (MBIST_EN) を“LOW”レベル→“HIGH”レベルとした時点でメモリテストが開始されます。テスト開始直後、テスト判定信号 (MBIST_GO) は“HIGH”レベル、テスト終了信号 (MBIST_DONE) は“LOW”レベルとなります。テストが正常に行われている場合、テストの終了まで判定信号、終了信号に変化はありません。逆にテストに問題が起こった場合には判定信号は“LOW”レベルとなります (いったん“LOW”レベルになった判定信号は“HIGH”レベルには復帰しません)。終了信号が“HIGH”レベルとなった時点でテストは終了となりますが、この時判定信号が“HIGH”を保持していれば正常終了、“LOW”を保持していればテストに問題があったこととなります。メモリ BIST のテストシーケンスは図 10-12 のようなイメージとなります。

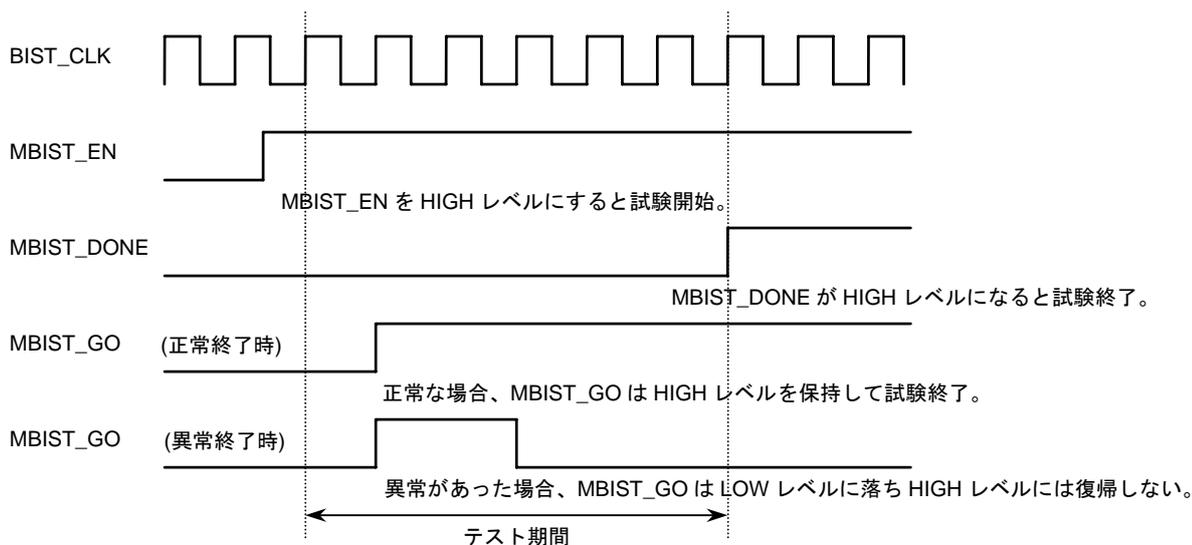


図 10-12 メモリ BIST 回路のテストシーケンス

10.5.3 対応可能なメモリの種類

本メモリ BIST に適合する弊社メモリの種類は以下のとおりです。^{(*)2}

- Basic Cell タイプの同期型 1 ポート/2 ポート SRAM
- スタンダードタイプの同期型 1 ポート/Dual ポート SRAM
- 高密度タイプ、高密度大容量タイプの同期型 1 ポート SRAM
- 同期型マスク ROM ^{(*)3}

注) ^{*}2: 上記以外のメモリでも BIST 対応可能な場合があります。詳細は弊社までお問い合わせください。

^{*}3: マスク ROM の場合、期待値をシグニチャ化して BIST 回路内に持つため、ROM データが変更となる場合には BIST 回路を再度作成する必要があります。

10.5.4 メモリ BIST 回路規模の見積り

メモリ BIST 回路の回路規模に関しては、メモリの種類および個数、テストの構成、BIST 回路オプション、また論理合成の制約等により大きく異なりますので、詳細に関しては弊社までお問い合わせください。概見積りに関しては、表 10-3 にメモリ BIST 回路の代表的な事例とその回路規模に関して掲載しますのでこちらをご利用ください。

表 10-3 代表的なメモリ BIST 回路の回路規模

メモリ構成事例	個数	カラーのゲート数	コントローラのゲート数	合計
同期 1 ポート 1024 ワード×8 ビット	5	1210	1553	2763
同期 1 ポート 1024 ワード×8 ビット	10	2420	1723	4143
同期 1 ポート 1024 ワード×8 ビット	20	4840	1888	6728
同期 1 ポート 1024 ワード×8 ビット	40	9680	2219	11899
同期 1 ポート 1024 ワード×32 ビット	5	2970	3471	6441
同期 1 ポート 1024 ワード×32 ビット	10	5940	4081	10021
同期 1 ポート 1024 ワード×32 ビット	20	11880	4624	16504
同期 1 ポート 1024 ワード×32 ビット	40	23760	5766	29526
同期 Dual ポート 1024 ワード×8 ビット	5	2500	1571	4071
同期 Dual ポート 1024 ワード×8 ビット	10	5000	1745	6745
同期 Dual ポート 1024 ワード×8 ビット	20	10000	1910	11910
同期 Dual ポート 1024 ワード×8 ビット	40	2000	2254	22254
同期 Dual ポート 1024 ワード×32 ビット	5	6335	3491	9826
同期 Dual ポート 1024 ワード×32 ビット	10	12670	4102	16772
同期 Dual ポート 1024 ワード×32 ビット	20	25340	4646	29986
同期 Dual ポート 1024 ワード×32 ビット	40	50680	5802	56482

- 上記ゲート数はベーシックセルタイプの MSI セルを用いて論理合成を行った結果です。
- 各事例とも、コントローラは 1 個にて構成しています。
- 各事例とも、(SCAN 対応のため) バイパス回路を付加しています。
- 1 ポートと Dual ポートが混在した場合は、①カラーについては両方を加算したゲート数、②コントローラについては Dual ポートのみのゲート数として見積りをしてください。

10.5.5 メモリ BIST 回路設計について

弊社では、お客さまより提出していただいた RTL またはゲートレベルのネットリストに対してメモリ BIST を挿入しますが、この設計を容易に進めるため、お客さまの回路設計時にご注意いただきたい点があります。

1) メモリ BIST 用テスト入出力端子

メモリ BIST では、BIST_CLK には通常メモリクロック (システムクロック) を割り当てます。したがってメモリ BIST で必要なテスト入出力端子は基本的に以下の 3 端子となります。^{(*)3}

- MBIST_EN (モード設定信号) : 入力端子 … 専用端子化を推奨 (条件を満たせば兼用端子化も可能)
- MBIST_GO (テスト判定信号) : 出力端子 … 兼用端子化可能
- MBIST_DONE (テスト終了信号) : 出力端子 … 兼用端子化可能

また、バイパス回路対応時には以下の端子が必要となりますが、Chip 全体への SCAN 化に当たり別途割り当てられている場合には必要ありません。

- LV_TM (SCAN モード設定信号) : 入力端子 … Chip 全体の SCAN モード設定端子との兼用端子化可能

設計を容易に進めるために、MBIST_EN は専用端子化することをお薦めします。MBIST_EN を兼用化するには、お客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- MBIST_EN=0 (通常動作モード) とし、BIST_CLK (=メモリクロック) を 2 発以上与えることが可能
- 上記動作の後、MBIST_EN=1 (BIST モード) とし、BIST_CLK (=メモリクロック) を与え続けることが可能

2) 通常動作時の制約事項

メモリ BIST を適用した場合メモリ周辺に回路が付加されますが、この周辺回路は BIST モードだけでなく通常動作においても初期化が必要となります。(初期化を行わないと simulation 上、メモリへのアクセスが不可能となります。) したがってお客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。(*4)

- MBIST_EN=0 (通常動作モード) とし、BIST_CLK (=メモリクロック) を 2 発以上与えることが可能

3) メモリクロックのスキュー調整

メモリ BIST 回路 (カラー、コントローラ) は複数の順序回路で構成されるため、メモリのクロック信号と BIST 回路 (カラー、コントローラ) 内部の FF へのクロック信号間でスキュー調整を行う必要があります。したがって、メモリ BIST を適用するメモリのクロックに関してはクロックツリーシンセシスの対象として設計を行ってください。さらに詳細な設計内容に関しては以下の事例を参照してください。

- ① メモリ動作に関連するシステムクロックが複数存在する場合には、各クロックごとに 1 個の BIST コントローラを割り当て (全体的に見れば、BIST コントローラは複数)、スキュー調整するのが一般的です。この場合には、各メモリクロックごとにスキュー調整が可能な回路構成にしてください。
- ② メモリ動作に関連するシステムクロックが複数存在する場合でも、BIST モードにおいてクロックを一本化することが可能な場合には、BIST コントローラ 1 個でメモリ BIST 回路を構成することが可能です。この場合には BIST モードにおいてすべてのメモリへのクロックスキューが調整可能な回路構成にしてください。
- ③ マルチポートメモリにおいて各ポートへのクロックが異なる場合には、マルチプレクサを挿入してスキュー調整を行う必要があります。この場合には、選択したクロック以外のクロックに対してマルチプレクサを挿入してください。

注) *3 : BIST 回路単体では BIST_CLK が必要となりますが、初期化およびスキュー調整等の必要性から通常はメモリクロック (システムクロック) 等の内部信号を割り当てます。また BIST コントローラが複数の構成となる場合には、MBIST_GO、MBIST_DONE を BIST コントローラの数分割り当てる必要があります。なお、MBIST_EN は一本で構いません。

*4 : お客さまが回路の初期化を伴っても構いません。回路構成が不可能な場合には、弊社までお問い合わせください。

10.5.6 その他

- メモリ BIST を適用するに当たり、階層設計に関する制約はありません。お客様の回路において、メモリは任意の階層に存在して構いません。
- お客様の回路内にメモリ BIST を適用するメモリと適用しないメモリがあっても構いません。
- メモリ BIST 挿入に当たり、事前検討のため仮 RTL または仮ネットリストをご提出ください。事前検討に必要な期間は 3 日程度となります。事前検討が済んだ後の BIST 回路挿入に必要な期間は 1 日程度となります。また、メモリ BIST 挿入を簡便に進めるために、仮 RTL または仮ネットリストの提出と同時に添付のチェックシートをご提出ください。

●チェックシート

- ① 回路ブロック概略図の準備をしましたか？ Yes/No
- ② 回路内にメモリ BIST 用セルの記述をしましたか？ Yes/No
- ③ BIST 時のメモリクロックの一本化は行いましたか？ Yes/No (ただし一本化は必須事項ではありません。)
- ④ BIST 時のマルチポートメモリへのクロックの共通化は行いましたか？ Yes/No
- ⑤ SRAM 情報

メモリタイプ	メモリのインスタンス名	メモリクロックのネット名*

* クロックを BIST 用に一本化対応または MUX 対応した場合には、BIST 用モードについて記述

- ⑥ テスト端子情報

端子名	外部端子名等
BIST_CLK	兼用入力端子名： クロックネット名：、モジュールのインスタンス名： モード設定：
MBIST_EN	専用入力端子名： ネット名：
MBIST_GO	兼用出力端子名： MUX のインスタンス名：
MBIST_DONE	兼用出力端子名： MUX のインスタンス名：

●チェックシートの説明

① 回路ブロック概略図

図 10-13 に示すようなメモリのクロックに関する概略図を準備してください。

- メモリクロックを一本化しない場合
(マルチポートメモリへのクロックは共通化)
- メモリクロックを一本化する場合
(マルチポートメモリへのクロックは共通化)

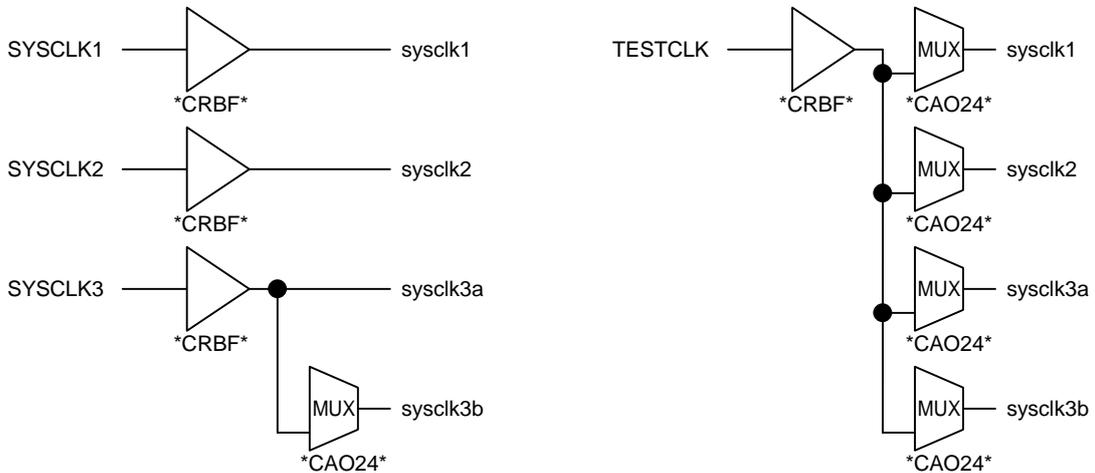
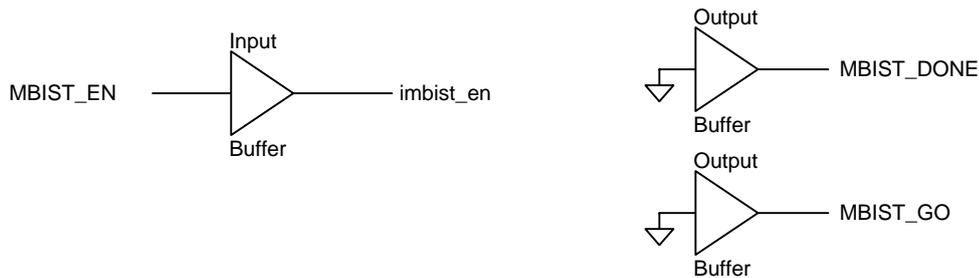


図 10-13 ブロック概略図

② 回路記述

メモリ BIST 専用テスト端子および兼用時のマルチプレクサについては、お客さまの回路設計時点で RTL またはネットリスト内に記述してください。そのさい、専用入力端子についてはその出力をオープンとし、専用出力端子についてはその入力をプルダウンとして記述してください。また兼用時のマルチプレクサでは、選択信号を MBIST_EN 系とし BIST 側の入力はプルダウンとして記述してください。回路記述のイメージに関しては図 10-14 のようになります。

- MBIST_EN、MBIST_GO、MBIST_DONE を専用端子化する場合



- MBIST_EN を専用端子化、MBIST_GO、MBIST_DONE を兼用端子化する場合

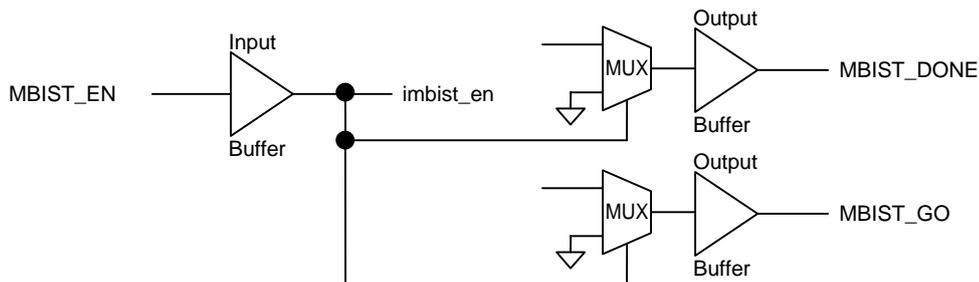


図 10-14 回路記述イメージ図

③ BIST 時のメモリクロックの一本化

メモリクロックが複数ある場合で、メモリ BIST モードにおいてクロックが一本化されるような回路の場合にその旨をお知らせください。さらに詳細な情報は以降の⑤ ⑥に記載してください。

④ BIST 時のマルチポートメモリへのクロックの共通化

マルチポートメモリが存在する場合は、各ポートのクロックが等しいか、またはメモリ BIST のモードでクロックが共通化される必要があります。共通化を行った場合にはその旨をお知らせください。さらに詳細な情報は以降の⑤ ⑥に記載してください。

⑤ SRAM 情報

チェックシート記述例に示すような SRAM に関する情報を記載してください。

⑥ テスト端子情報

チェックシート記述例に示すようなテスト端子に関する情報を記載してください。

●チェックシートの記述例 1 … メモリクロックの一本化あり
(マルチポートメモリクロックの共通化あり)

- ① 回路ブロック概略図の準備をしましたか? Yes/No
- ② 回路内にメモリ BIST 用セルの記述をしましたか? Yes/No
- ③ BIST 時のメモリクロックの一本化は行いましたか? Yes/No(ただし一本化は必須事項ではありません。)
- ④ BIST 時のマルチポートメモリへのクロックの共通化は行いましたか? Yes/No
- ⑤ SRAM 情報

メモリタイプ	メモリのインスタンス名	メモリクロックのネット名*
1 ポート 1024 ワード×8 ビット	top.sys1.sram1	sysclk1
1 ポート 1024 ワード×8 ビット	top.sys1.sram2	sysclk1
1 ポート 1024 ワード×8 ビット	top.sys2.sram3	sysclk2
1 ポート 1024 ワード×8 ビット	top.sys2.sram4	sysclk2
Dual ポート 512 ワード×16 ビット	top.sys3.sram5	sysclk3a、sysclk3b

* クロックを BIST 用に一本化対応または MUX 対応した場合には、BIST 用モードについて記述

- ⑥ テスト端子情報

端子名	外部端子名等
BIST_CLK	兼用入力端子名 : TESTCLK クロックネット名 : sysclk1、モジュールのインスタンス名 : sys1 クロックネット名 : sysclk2、モジュールのインスタンス名 : sys2 クロックネット名 : sysclk3a および sysclk3b、モジュールのインスタンス名 : sys3 モード設定 : TEST=1、MBIST_EN=1 でクロックの一本化と共通化
MBIST_EN	専用入力端子名 : MBIST_ENABLE ネット名 : imbist_en
MBIST_GO	兼用出力端子名 : SIGNAL1 MUX のインスタンス名 : go_mux
MBIST_DONE	兼用出力端子名 : SIGNAL2 MUX のインスタンス名 : done_mux

●チェックシートの記述例 2 … メモリクロックの一本化なし
(マルチポートメモリクロックの共通化あり)

- ① 回路ブロック概略図の準備をしましたか? Yes/No
- ② 回路内にメモリ BIST 用セルの記述をしましたか? Yes/No
- ③ BIST 時のメモリクロックの一本化は行いましたか? YesNo(ただし一本化は必須事項ではありません。)
- ④ BIST 時のマルチポートメモリへのクロックの共通化は行いましたか? Yes/No

⑤ SRAM 情報

メモリアイプ	メモリのインスタンス名	メモリクロックのネット名*
1 ポート 1024 ワード×8 ビット	top.sys1.sram1	sysclk1
1 ポート 1024 ワード×8 ビット	top.sys1.sram2	sysclk1
1 ポート 1024 ワード×8 ビット	top.sys2.sram3	sysclk2
1 ポート 1024 ワード×8 ビット	top.sys2.sram4	sysclk2
Dual ポート 512 ワード×16 ビット	top.sys3.sram5	sysclk3a、sysclk3b

* クロックを BIST 用に一本化対応または MUX 対応した場合には、BIST 用モードについて記述

⑥ テスト端子情報

端子名	外部端子名等
BIST_CLK	兼用入力端子名 : SYSCLK1 クロックネット名 : sysclk1、モジュールのインスタンス名 : sys1 モード設定 : なし
	兼用入力端子名 : SYSCLK2 クロックネット名 : sysclk2、モジュールのインスタンス名 : sys2 モード設定 : なし
	兼用入力端子名 : SYSCLK3 クロックネット名 : sysclk3a、sysclk3b モジュールのインスタンス名 : sys3 モード設定 : MBIST_EN=1 でクロック共通化
MBIST_EN	専用入力端子名 : MBIST_ENABLE ネット名 : imbist_en
MBIST_GO	兼用出力端子名 : SIGNAL1 MUX のインスタンス名 : go_mux1
	兼用出力端子名 : SIGNAL2 MUX のインスタンス名 : go_mux2
	兼用出力端子名 : SIGNAL3 MUX のインスタンス名 : go_mux3
MBIST_DONE	兼用出力端子名 : SIGNAL4 MUX のインスタンス名 : done_mux1
	兼用出力端子名 : SIGNAL5 MUX のインスタンス名 : done_mux2
	兼用出力端子名 : SIGNAL6 MUX のインスタンス名 : done_mux3

10.6 機能セルのテスト回路

機能セルを使用した場合、回路全体（ユーザー回路も含めた）の動作確認をするには、膨大なテストパターンと時間がかかります。そのため、RAM と同様に、機能セルおよび、ユーザー回路が単体で動作確認できるように、テスト回路を設計していただく必要があります。

テスト回路の設計にあたっては、下記の点に注意して設計をしてください。また、詳細については機能セルデザインガイドを参照してください。

10.6.1 テスト回路の構成

- ① 各々の機能セルが、ユーザー回路と分離でき、ブロックごとに測定できるようにテスト回路を追加して機能セルの端子を外部端子に出してください。
- ② 機能セルの入力を V_{SS} や V_{DD} に固定する場合でも、テスト回路を設けてテスト入力ができるようにしてください。
- ③ 機能セルの出力端子を使用しない場合でも、テスト回路を設けて、機能セルの全出力を外部端子から観測できるようにしてください。
- ④ 機能セルの複数の出力端子または入力端子をまとめて一つのテスト兼用端子として使用しないでください。
- ⑤ 機能セルをテストするためのテスト回路に順序回路を使用しないでください。
- ⑥ テスト入力端子からの入力信号を反転させて機能セルに入力しないでください。同様に、機能セルの出力信号を、反転させてテスト出力端子に出力しないでください。
- ⑦ 機能セルの入力端子、および出力端子が直接 IC の端子として出されている場合、テスト回路を設ける必要はありません。

10.6.2 テストパターン

テストパターンは大きく分けて 3 種類あります。

- 1) ユーザー回路のみをテストするテストパターン
- 2) 回路全体をテストするテストパターン
- 3) 機能セルのみをテストするテストパターン

お客さまに作成していただくテストパターンは、1、2 項目のテストパターンです。3 項目のテストパターンは、作成する必要はありません。セイコーエプソンの既存のテストパターンを使用します。

なお、機能セルのテストパターン（既存のテストパターン）は、お客さまに公開いたしませんのであらかじめご了承ください。

10.6.3 テスト回路情報

シミュレーション時および出荷検査時に機能セルをテストするために必要となりますので、テスト回路について次の情報を提出してください。

- ① テストモードにおいて機能セルの端子が IC のどの端子に接続されているかを明記してください。
- ② 一つのテスト端子に複数の機能セルがテストできるようにテスト回路が構成されている場合、テストモードと、選択される機能セル名との対応付けを明記してください。
- ③ 特に同じ機能セルを複数使用した場合、図面上の機能セル名に通し番号を付け、どの機能セルのテスト端子かを明記してください。
- ④ テストモードへの切り替え方法を明記してください。

機能セルを使用されるお客さまは、あわせて“機能セルデザインガイド”を必ずご参照くださいますようお願いいたします。

10.7 スキャン設計

製品の市場不良混入率を抑えるためには、ロジックを活性化するテストパターンを用いたテストが必要です。しかし、大規模なデザインではその作業に多大な工数を必要とします。スキャン設計は、この問題を解決する手法です。一定のルールに基づいたデザインを構築し、ATPG (Auto Test Pattern Generation) を実施する事によって、故障検出率を高めるテストパターンを生成します。

本章では、スキャン化、および ATPG サービスをご利用いただくための設計ルールについて記します。スキャン化を実施するにはデザイン構成が大きく影響しますので設計当初からこれらのルールにしたがった設計を行う事は重要です。もしルールにしたがわないデザインが含まれる場合は、ATPG の目的を損なう恐れがあるため本サービスをご利用いただけませんのでご注意ください。

10.7.1 スキャン回路について

設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

[注意] ATPG が生成するテストパターンは仕様を確認するものではありません。
トランスペアレントラッチはスキャン化されません。

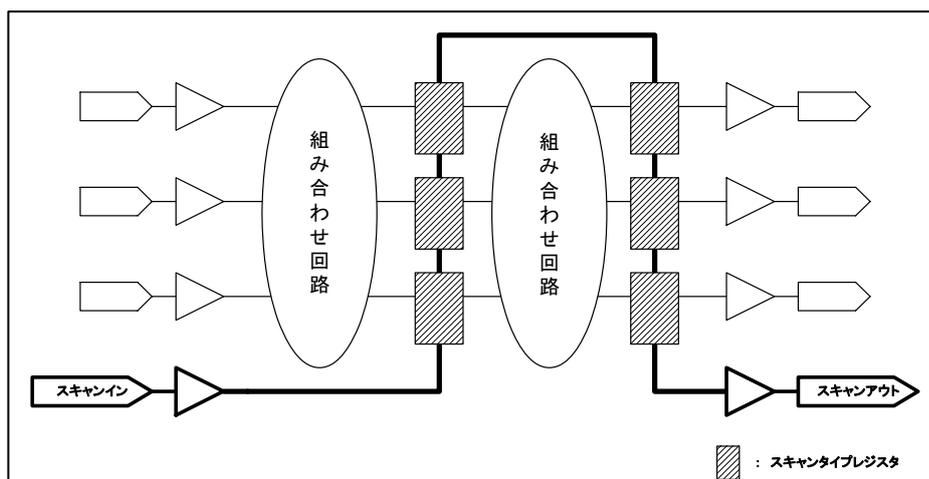


図 10-15 スキャン回路の例

10.7.2 スキャン設計フロー

弊社にてスキャン化および、ATPG を実施する場合のフローを示します。お客さまがスキャン化もしくは、ATPG を実施される場合は、別途お問い合わせください。

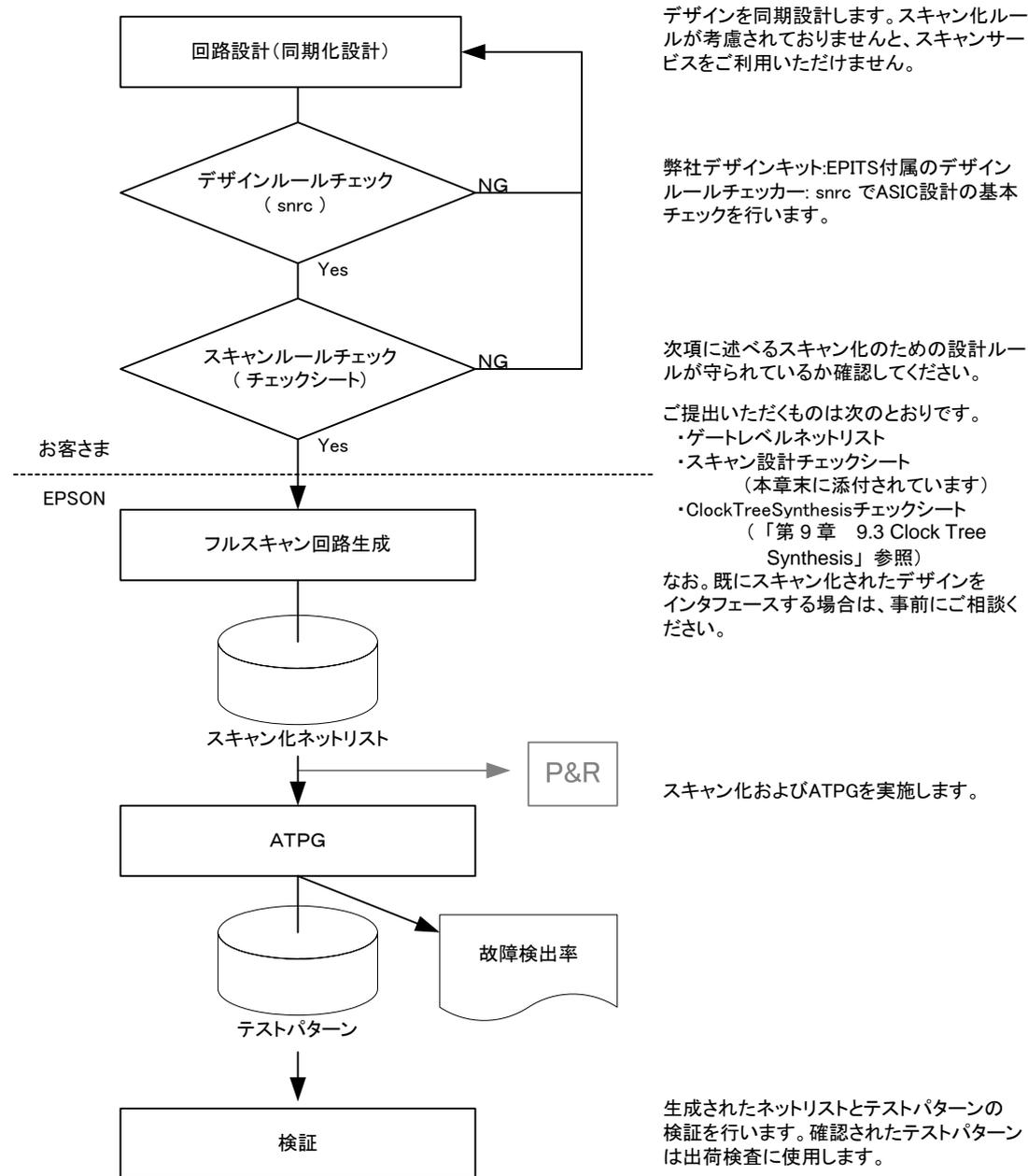


図 10-16 スキャン化デザインフロー

10.7.3 設計ルール

スキャン化サービスをご利用いただくさいの設計ルールを示します。故障検出率の目標が 90% 以上の場合、本文中の件をすべてデザインに反映させてください。また、デザインをインタフェースされるさいには、本章末に添付しております、「スキャン設計チェックシート」をご提出ください。

a. スキャン外部端子

スキャン化を行うさいには、次に示す外部端子がすべて必要となります。

- スキャンイネーブル入力端子 (SCANEN) 【専用端子】

通常のデータパス (パラレル動作) とスキャンパス (シフト動作) を切り替える外部入力専用端子です。通常機能やその他のモード機能との共用はできません。外部専用端子として入力セルと外部端子をデザイン内に準備してください。内部の接続は弊社にて行います。

- スキャンデータ入力端子 【共用可能】

スキャン化により置換されたスキャンレジスタにデータをセットするための外部入力端子です。スキャンレジスタの数に応じて複数本必要となります。目安としては、300～500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ出力端子と同数必要です。

この端子は通常時に使用する外部入力端子との共用が可能です。ただし、クロック端子、非同期セット/リセット端子、アナログ信号入力端子は使用できません。また、共用する事でそのネットの Fan-Out が増加します。クリティカルパスへの共用は避けてください。

スキャンデータ入力端子は、スキャン化のさいに弊社にて接続を行います。接続可能な外部入力端子名をご指定ください。ご指定のない場合は弊社担当者が割り当てを行います。

- スキャンデータ出力端子 【共用可能】

スキャン化により置換されたスキャンレジスタから観測データを出力するための外部出力端子です。スキャンレジスタの数に応じて複数本必要になります。目安としては、300～500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ入力端子と同数必要です。

この端子は通常時に使用する外部出力端子との共用が可能です。(2-state タイプの出力端子を推奨します)。ただし、アナログ信号出力端子は使用できません。また、共用する事でそのネットのセル段数が増加します。クリティカルパスへの共用は避けてください。

スキャンデータ出力端子は、スキャン化のさいに弊社にて接続を行います。接続可能な外部出力端子名をご指定ください。ご指定のない場合は弊社担当者が割り当てを行います。

- スキャンクロック入力端子 【通常クロックと同一、もしくは専用端子】

ATPG により生成されたテストパターンにおけるクロック入力端子です。弊社スキャンセルは MUX スキャンタイプを採用しておりますので、通常時に使用されるシステムクロックと同一である事が一般的ですが、内部生成クロックが存在する場合には、スキャン専用クロック端子が必要となる場合があります。詳しくは、「第 10 章 10.7.3-b クロックの設計」を参照してください。

- ATPG イネーブル入力端子 (ATPGEN) 【専用端子】

ATPG の走行モードをアクティブにする外部入力端子です。状態を固定しておかなければならないデザインが存在する場合や、内部論理が不安定になるブロック (シミュレーション時にブラックボックスとなるブロックを含む)、機能マクロ、および RAM セルの出力は、この端子で値を固定 (確定) させる必要があります。これを怠りますと故障検出率は著しく低下します。

この端子は専用端子として準備してください。

b. クロックの設計

スキャン化を行うためにはクロック設計が非常に重要です。クロック設計が複雑であると故障検出率の低下を招くだけに留まらず生成したテストパターンが不安定になり、スキャン / ATPG 本来の目的が達成されませんので、同期回路を基本とします。次に示すルールにしたがった設計を行ってください。

また、クロックラインには、CTS (Clock Tree Synthesis) が必須となります。詳しくは、「第 9 章 9.3 Clock Tree Synthesis」を参照してください。

- 外部から直接制御可能な構造にする【必須】

スキャンクロックは外部入力端子からクロック波形が崩れることなくレジスタに到達しなければなりません。通常動作のさいに内部生成クロックが存在しても構いませんが、ATPG を走行するモードでは、論理的に内部生成クロックが存在しないような構造が必要です。図 10-17~10-20 に例を示します。

§ 理想的なクロック

図 10-17 は、理想的なクロック設計の例です。このように設計初期より、すべてのレジスタが外部入力端子から供給されるように設計されていますと、CTS の処理を施すのみでスキャン設計のためのクロックライン修正は必要ありません。クロックラインの修正は回路全体のタイミングに影響することから、設計当初からスキャン設計を意識することが重要です。

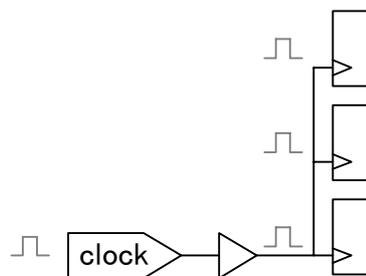


図 10-17 理想的なクロック

§ 内部生成クロックの処理 1

内部生成クロックが使用されている場合は、図 10-18 のようにクロック生成部分をバイパスする回路を設け、かつ、ATPG 走行モードに対して CTS 処理を施すデザインを追加してください。ただし、この処理ではクロックラインに MUX セルが追加されますので、他システムのクロックとのタイミング調整に支障が出る場合があります、採用には注意が必要です。

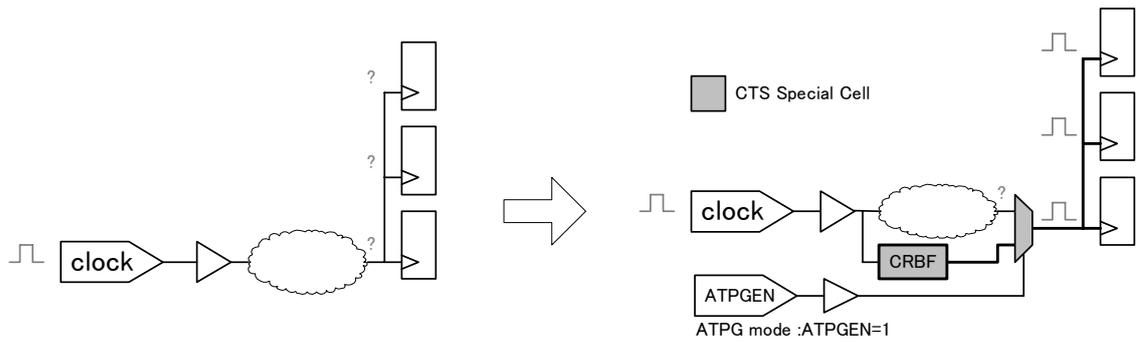


図 10-18 内部生成クロックの処理

§ 内部生成クロックの処理 2 (クロックゲーティングの処置)

内部生成クロックにおいて、クロックライン上にセルを追加しないためには、クロック信号をゲートしているイネーブルライン側をコントロールする方法があります。図 10-19 は、その例です。この方法を採用すると、図 10-18 のように MUX をクロックライン上に配置する必要がなくなり、比較的クロックスキューの小さなデザインが構築できる有効な手段です。

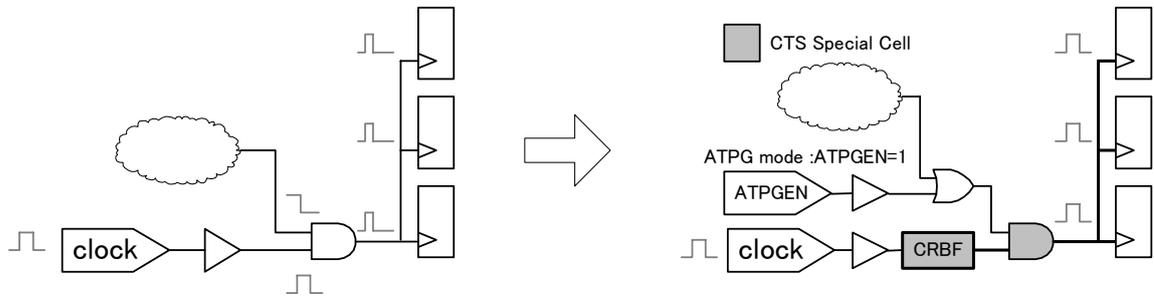


図 10-19 クロックゲーティングの処置

§ 複数クロックグループの関連

内部生成クロックを含め、複数のクロックシステムを持つデザインでは、それらの関係により処置方法が限定される場合があります。異なるクロックを使用するブロック間に物理的に接続関係がない場合には問題ありませんが、もしデザイン仕様上、フォールスパス（物理的な結線はあるが通常動作時には論理的に通信がない場合、もしくは論理合成時にタイミングを考慮していない場合）や、マルチサイクルパス（非同期通信として数回のラッチミスを許容した仕様の場合）としている場合には、十分注意が必要です。

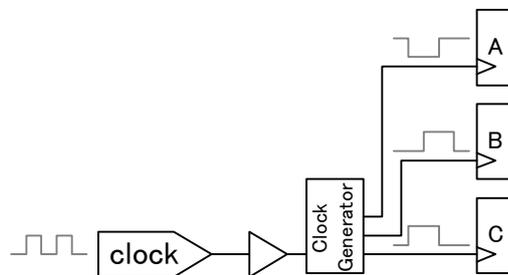


図 10-20 (a) 複数の内部生成クロックを持つ例

図 10-20 (b) は、ブロック A、B、C 間に物理的な結線が存在しない場合の対策例です。物理的な結線が存在しないので、クロックを一括で処理しても各グループでのスキューを CTS で解決すれば ATPG 走行時のタイミングは安定します。

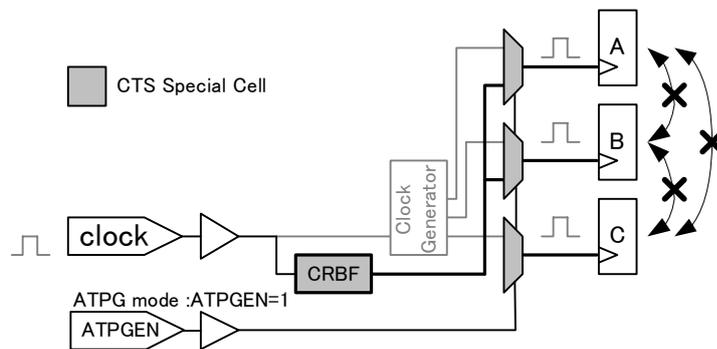


図 10-20 (b) 複数の内部生成クロック対策例 1
(ブロック同士の結線が存在しない場合)

* この例では、3つのクロックを一括に CTS 対策を施す事でスキャンチェーン構築を効率的に行うことを想定した方法です。

しかし、物理的な接続がある場合は、たとえ仕様上問題がないとしても ATPG のためには対策が必要です。図 10-20 (c) はその場合の処置例です。ATPG はランダムにパターンを発生させるため、仕様上ありえないフォールスパスを経由する動作も引き起こします。この場合、A、B、C 間のデータパスに関するタイミングは保証できません。そこで、内部生成クロックごとにタイミングを制御できるよう、これらクロックを各々外部にバイパスさせます。また、これらのバイパスクロック端子は専用端子とすることを推奨します。どうしても共通端子とする場合には、その共通端子から入力されるクロック信号がレジスタ以外に伝播しないようゲートしなければなりません(図 10-20 (d) 参照)。また、この時そのネットの値は固定されるので故障検出率は低下します。

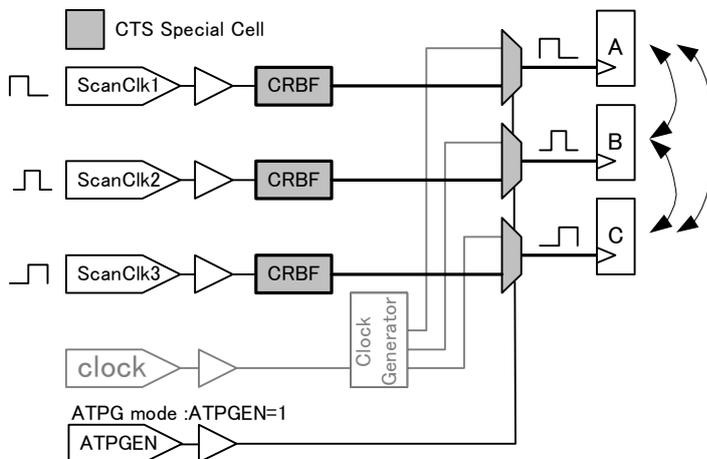


図 10-20 (c) 複数の内部生成クロック対策例 2
(ブロック同士の結線が存在する場合)

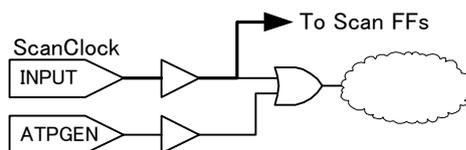


図 10-20 (d) 共通端子によるスキャンクロック処理例

● クロックの本数はできるだけ少なく【推奨】

上記のようにクロックが複数存在すると、デザインの変更／追加やタイミングの再検証項目の増加など、お客さまの作業が増加します。また、テストパターン長の増加や故障検出率低下の要因となります。できる限りクロック系統を削減したデザインを構築しておくことで、より一層効率的になります。

● Rise エッジと Fall エッジの混在はできるだけ少なく【推奨】

各クロックにおいて、Rise/Fall 両エッジを使用していると、スキャン作業、ATPG 走行が非効率的になる場合があります。場合によっては検出率の低下を招きます。スキャンクロックはできるだけ片エッジのみを使用して設計することを推奨します。

● スキャンクロック信号とデータ信号は完全に分離する【推奨】

スキャンクロック信号とデータ信号は完全に分離してください。スキャンクロック信号がデータラインに影響を及ぼす場合、クロック信号とデータ信号が別々にコントロールできないため故障が検出できません。

c. レジスタの非同期セット／リセット信号【必須】

FF およびトランスペアレントラッチセルの非同期セット／リセットは、すべて外部から直接制御されるような回路を推奨します。もし、デザイン内部で生成された信号を用いる場合は、次の点を考慮してください。

- 少なくともスキャンイネーブル中はアクティブになってはいけません。
- 内部生成された非同期セット／リセット信号を用いる場合、ミニマムパルスが発生しないよう FF の出力から組み合わせ論理を介さず直接使用してください。もし組み合わせ論理を介した信号を使用する場合は、グレイコードを用いる等の対策を施してください。

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

d. トランスペアレントラッチの取り扱い【推奨】

トランスペアレントラッチはスキャンセルへの置換は行いません。故障検出率向上には非効率的なためできるだけ使用しないようにしてください。

使用する場合には、次の点を考慮してください。

- クロック信号は「b. クロックの設計」に準じたクロック対策を実施してください。
- 同一クロックラインに接続されている他のレジスタと OffState のレベルを一致させてください。

例：FF が Rise 動作 (ReturnToZero) の場合、“LOW” レベルでスルー。FF が Fall 動作 (ReturnToOne) の場合、“HIGH” レベルでスルーになるようにします。

ただし、スキャンクロックが両エッジ使用されていたり複数存在する場合は、デザイン構成によって改善されない場合があります。この場合、次の対策を施してください。

- 前述 2 点が考慮できない場合は、ATPG を走行するモードではスルー状態に固定されるようにしてください。この時フィードバックループが発生しないよう注意が必要です。

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

e. 使用できないセルやデザイン【必須】

スキャン設計では、次のセルの使用を禁止します。

<使用禁止セル>

- RS ラッチセル
- 非同期セット／リセット両機能を持つ FF
- マルチビット FF セル
- スキャンタイプ FF

<使用禁止回路>

- コンビネーションナルフィードバックループ（外部双方向端子を経由するものを含む）
- 微分回路（パルスジェネレータ）
- 自己リセット回路
- 順序制御による ATPG モード（ATPG イネーブル入力端子で制御してください。）

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

f. 機能マクロ、RAMセルを使用する場合【推奨】

ATPG ではブラックボックスとして扱いますので、そのマクロの前段の観測、後段のコントロールができません。これにより故障検出率が著しく低下します。対策として、マクロセルの直前／直後にはスキャン化が行える FF を挿入しておくことで大幅に改善できます（図 10-21 (a)）。もしも、仕様の的に不可能な場合は、マクロをバイパスするモードを設け、かつ、出力を固定する回路を構成してください（図 10-21 (b)）。

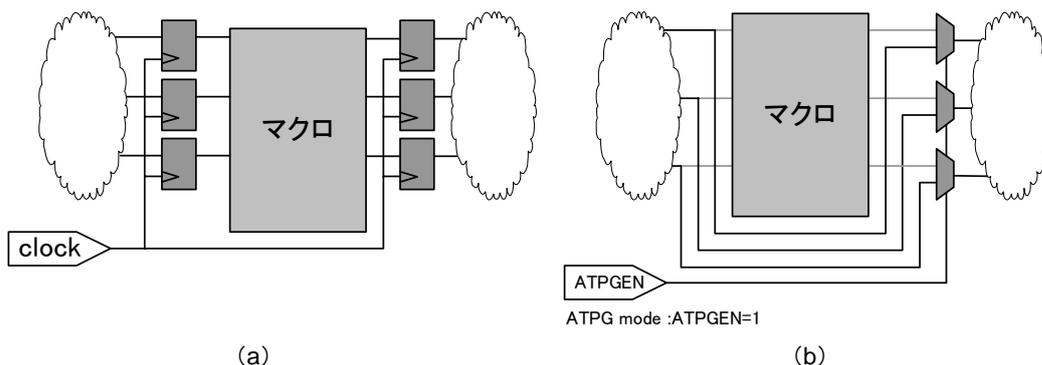


図 10-21 マクロセルの処理例

g. 内部バス【推奨】

内部 3-state セルを用いたバス回路は使用せず、セクタ論理で設計することをお勧めします。使用する場合には、ATPG の走行モードでは、切り替えが行われないよう 1 ラインのみがアクティブになるように固定してください。（使用した場合、バス回路は値が固定されるため故障検出率が低下します。）

h. 各種コントロール付き外部セル【必須】

S1X60000 シリーズの外部入力セル、および外部双方向セルには、各種のコントロール端子を持つタイプが存在します。これらの端子は、ATPG イネーブル入力端子を用いて固定する必要があります。下記にしたがい処理を行ってください。

- ゲーティング信号（C 端子）

ATPG イネーブル入力端子（ATPGEN）を用いてスルー状態に固定してください。
（ATPGEN=Active 時、C=1）

i. その他

- 弊社でのスキャン化作業日数（スキャン挿入～検証）は、デザインルールにしたがったネットリストをいただいてから約 7 日です。
- スキャン設計では CTS 対応が必須です。「第 9 章 9.3 Clock Tree Synthesis」に添付されている「Clock Tree Synthesis チェックシート」もご提出ください。

スキャン設計チェックシート (1/2)

このチェックシートは、スキャン化、および ATPG サービスをご利用いただくさいにご確認いただく内容です。このシートに記載し弊社までご提出ください。ご提出いただけない場合には、本サービスをご利用いただけませんのでご注意ください。

スキャン設計に関する情報およびデザインチェックの結果は、次のとおりです。

ご記入日： 200 年 月 日

貴社名： _____

お名前： _____ 様

●デザイン情報

- トップブロック名： _____
- 目標の故障検出率： _____ %

●端子情報

- ATPG イネーブル端子名と有効エッジ (Rise/Fall)

端子名 1： _____ Rise / Fall

端子名 2： _____ Rise / Fall

端子名 3： _____ Rise / Fall

- スキャンイネーブル端子名とアクティブレベル (“HIGH” / “LOW”)

端子名： _____ “HIGH” / “LOW”

端子名 2： _____ “HIGH” / “LOW”

端子名 3： _____ “HIGH” / “LOW”

- スキャンクロック入力端子名とアクティブレベル (“HIGH” / “LOW”)

端子名 1： _____ “HIGH” / “LOW”

端子名 2： _____ “HIGH” / “LOW”

端子名 3： _____ “HIGH” / “LOW”

- スキャンデータ入力端子名

端子名： _____

- スキャンデータ出力端子名

端子名： _____

- 非同期セット／リセット端子名とアクティブレベル (“HIGH” / “LOW”)

端子名 1： _____ “HIGH” / “LOW”

端子名 2： _____ “HIGH” / “LOW”

端子名 3： _____ “HIGH” / “LOW”

スキャン設計チェックシート (2/2)

●チェック項目 (各項目をチェックしてください。)

- スキャンクロック端子は、第 10 章 10.7.3-b 記載のルールにしたがい対処されています。
- レジスタの非同期セット／リセットは、第 10 章 10.7.3-c 記載のルールにしたがい対処されています。
- トランスペアレントラッチ (いずれかにチェック)
 - 使用していません。
 - 第 10 章 10.7.3-d 記載のルールにしたがい対処されています。
 - 第 10 章 10.7.3-d にしたがい対処していないので故障検出率の低下を了承します。
 - その他 : _____
- 第 10 章 10.7.3-e 記載の使用禁止セル、使用禁止回路は存在していません。
- 機能マクロや RAM セル (いずれかにチェック)
 - 使用していません。
 - 第 10 章 10.7.3-f にしたがい対処されています。
 - 第 10 章 10.7.3-f にしたがい対処していないので故障検出率の低下を了承します。
 - その他 : _____
- 内部 3-state バス (いずれかにチェック)
 - 使用していません。
 - 第 10 章 10.7.3-g にしたがい対処しています。
 - 第 10 章 10.7.3-g にしたがい対処していないので故障検出率の低下を了承します。
 - その他 : _____
- 各種コントロール端子付き外部セル (いずれかにチェック)
 - 使用していません。
 - 第 10 章 10.7.3-h にしたがい対処しています。
 - 第 10 章 10.7.3-h にしたがい対処していないので故障検出率の低下を了承します。
 - その他 : _____
- その他
 - _____
 - _____
 - _____
 - _____

10.8 バウンダリスキャン設計

弊社バウンダリスキャン (JTAG) 挿入サービスは、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリスキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。また、挿入したバウンダリスキャン用ファンクションパターンは弊社で作成しますので、お客さま側でのバウンダリスキャン回路に関するパターン作成は必要はありません。

10.8.1 バウンダリスキャン設計フロー

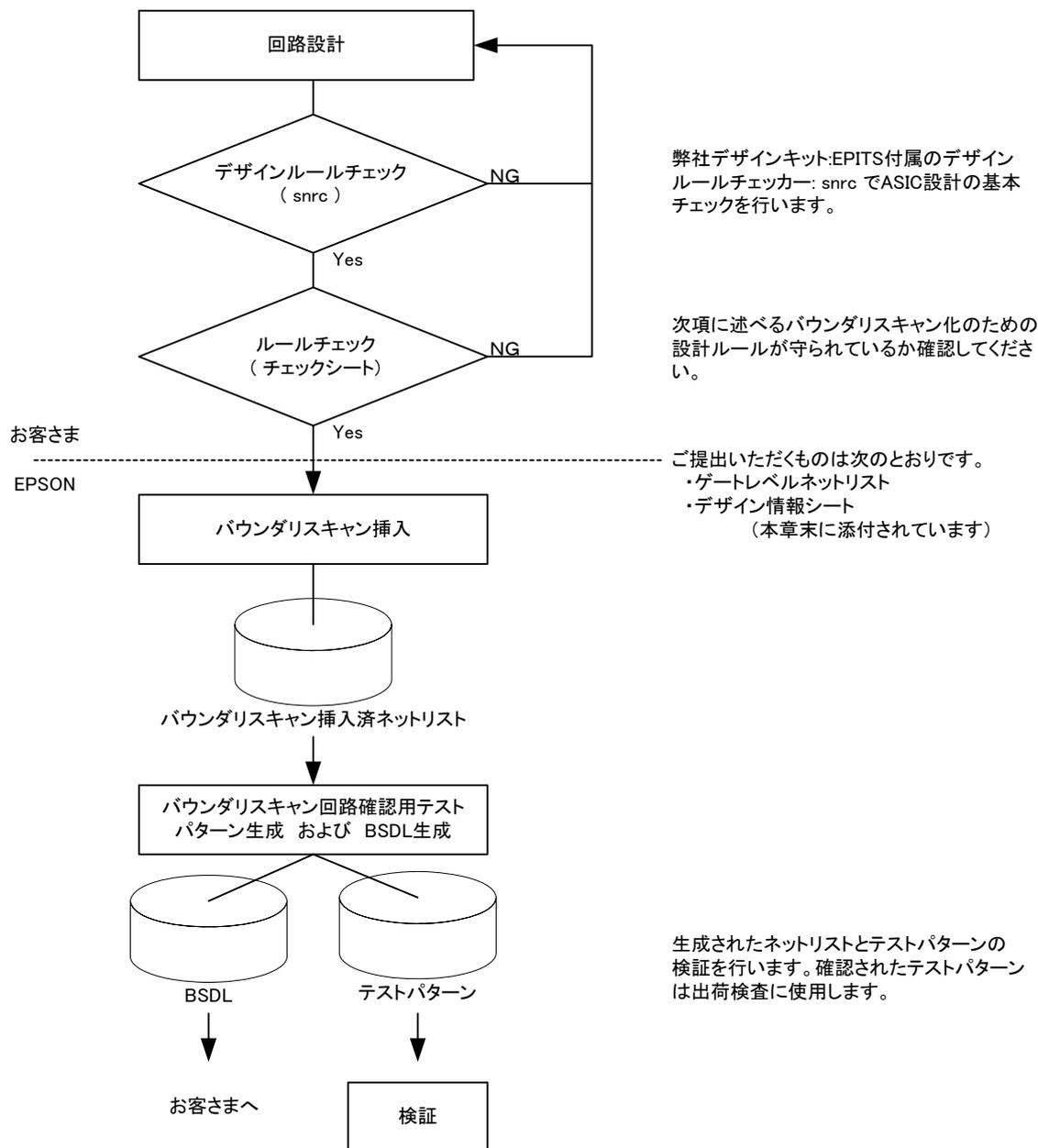


図 10-22 バウンダリスキャン化デザインフロー

10.8.2 インストラクション

以下のバウンダリスキャンインストラクションに対応いたします。

表 10-4 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能 ^(*)
HIGHZ	任意選択可能 ^(*)
IDCODE	0...01

注) *1: 特に要求のない場合は弊社でアサインします。また他コードとの重複はできません。

また、インストラクションのビット幅は 2~32 ビットの範囲で選択可能です。特に要求のない場合は、弊社にて決定します。

10.8.3 ゲート数の見積り

バウンダリスキャン挿入によるゲート数の増加に関しては、ASIC シリーズや対応するインストラクションやビット幅などにより前後します。ゲート数の見積りのさいには以下の情報を用いて概算してください。

表 10-5 ゲート数見積り (SOG 換算)

バウンダリスキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時: 約 30 (BC/端子) オブザーブ専用セル使用時: 約 15 (BC/端子)
2-state 出力端子	約 35 (BC/端子)
3-state 出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

10.8.4 設計ルール

このサービスをご利用いただくにあたっては、下記の制約事項にしたがい論理回路を設計していただく必要があります。データリリース前には必ず本項末の「バウンダリスキャンチェックシート」を用いて回路情報をご確認いただき、デザイン情報シートをご提出ください。また、制約に違反された回路が存在した場合は、このサービスをご利用いただけませんのでご注意ください。

a. DC テスト・AC テスト容易回路との共存禁止

「第 10 章 10.3 DC テスト・AC テスト容易回路の構成」で述べた、テスト容易回路との共存はできません。バウンダリスキャンに対応するさいには、DC テスト・AC テスト容易回路は挿入しないでください。

b. 外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- 使用可能なキャラクタは、英数字 (a~z、A~Z、0~9) および “_” (アンダスコア) のみです。
- 大文字と小文字の区別はされません。(CLK と clk は同一と見なされます)
- 先頭文字は英字でなければなりません。(悪い例 0CLK、_CLK)
- アンダスコアは続けて使用できません。(悪い例 SYS_CLK)
- 文字列がアンダスコアで終了してはいけません。(悪い例 CLK_)

c. 専用外部端子の準備

バウンダリスキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行ってください。

- クロック (TCK)

バウンダリスキャン回路用のクロック用端子です。入力セルを用意し、その出力ポートは、どこにも接続しないようにします。
- モードセレクト (TMS)

バウンダリスキャン回路用のモードセレクト用端子です。入力セルを使用し、その出力ポートは、どこにも接続しないようにします。また、この時使用する入力セルは、プルアップ付き入力セルを使用してください。
- データ入力 (TDI)

バウンダリスキャン回路用のスキャンデータ入力端子です。入力セルを使用し、その出力ポートは、どこにも接続しないようにします。また、この時使用する入力セルは、プルアップ付き入力セルを使用してください。
- データ出力 (TDO)

バウンダリスキャン回路用のスキャンデータ出力端子です。3-state 出力セルを使用し、その入力ポートは、プルダウンしておいてください。
- リセット (TRST)

バウンダリスキャン回路用の非同期リセット用端子です。入力セルを使用し、その出力ポートは、どこにも接続しないようにします。また、この時使用する入力セルは、プルアップ付き入力セルを使用してください。

```
IBC U1 (.PAD(TCK)); // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS)); // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO), .A(1'b0), .E(1'b0)); // TB1: 3-state 出力セル
```

図 10-2 専用端子記述の例 (verilog 記述)

d. 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成としてください。また、バウンダリスキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置してください。
- その他の論理は、できるだけ一階層下のサブブロックに納めてください。

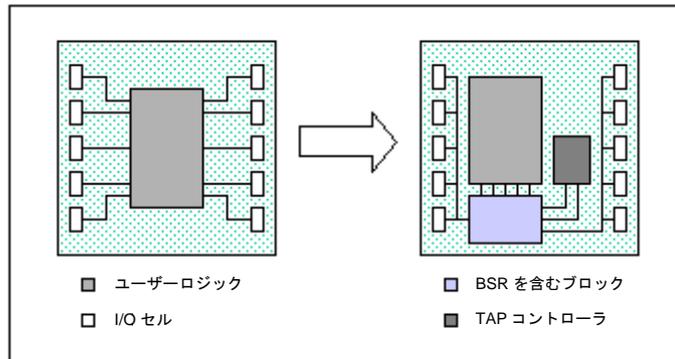


図 10-24 階層ブロック構成イメージ

e. I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O セル
- Gated 入力セル
- オープンドレイン出力セル
- プルアップ/プルダウン抵抗付き I/O セル

f. アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリスキャンセルを挿入しません。

g. マルチボンディング、マルチパッド

マルチボンディング、マルチパッドを使用した場合は対応できません。

バウンダリスキャンチェックシート

本章のチェック項目は、弊社にインタフェースされる前までにご確認いただき、次ページの情報を弊社までご提出ください。また、チェック項目に違反する回路がある場合や、情報に漏れがありますとサービスをご利用いただけません。

ネットリストをお出しいただく前に以下の項目をご確認ください。

- (a) インストラクションに関する対応可能範囲は、表 10-4 のとおりです。
- (b) 「第 10 章 10.3 DC テスト・AC テスト容易回路」との併用はできません。
- (c) 外部端子名は「第 10 章 10.8.4-b 外部端子に使用できる文字例」に準拠していることをご確認ください。
- (d) 専用端子について
 - (ア) 5 本の専用端子が既にネットリスト上に存在していることをご確認ください。
 - (イ) TMS、TDI、TRST に相当する端子は、プルアップ付き入力セルを使用してください。
 - (ウ) TDO に相当する端子には、3-state 出力セルを使用してください。
 - (エ) 専用端子が他機能と共用されていないことをご確認ください。
- (e) I/O セルは、最上位階層に配置してください。
- (f) 第 10 章 10.8.4-e 記載の I/O セルを使用しないでください。
- (g) 発振回路用入出力端子等のアナログ信号を扱う外部端子には、バウンダリスキャンセルを挿入できません。
- (h) マルチボンディング、マルチパッドを採用していないことをご確認ください。

デザイン情報シート (下記項目をご記入いただき、デザインリリースまでにご提出ください。)

バウンダリスキャン設計に関する情報は、次のとおりです。

ご記入日： 200 年 月 日

貴社名： _____

お名前： _____ 様

●デザイン情報

➤ トップブロック名： _____

1. ご希望のインストラクション (ご希望のものにチェック)

<input type="checkbox"/> 必須命令	→ コードは表 10-4 に準拠
<input type="checkbox"/> CLAMP 命令	→ ご希望のコード _____ (*1)
<input type="checkbox"/> HIGHZ 命令	→ ご希望のコード _____ (*1)
<input type="checkbox"/> IDCODE 命令	→ コードは表 10-4 に準拠
2. インストラクションビット幅 (ご希望のものにチェック)

<input type="checkbox"/> 指定なし	→ 弊社にて決定します。
<input type="checkbox"/> 指定あり	→ ビット幅 _____ ビット (*2)
3. バウンダリスキャンセル選択

お客さまが任意にバウンダリスキャンセルを選択されたい場合のみ、以下に情報を記載してください。特に記載がない場合も弊社で次の処理を施します。

- システムクロックや非同期リセットピンにオブザーブ専用バウンダリセルを使用する場合があります。
- アナログ信号を扱う入力および出力端子にはバウンダリスキャンセルの挿入は行いません。

◆ オブザーブ専用バウンダリスキャンを用いる外部端子名

◆ バウンダリスキャンセルの挿入を希望しない外部端子名

◆ その他

◆ 専用端子情報 (各端子に相当する端子名を記述してください。)

TCK : _____ TMS : _____ TDI : _____ TDO : _____ TRST : _____

◆ ユーザー回路情報

システムクロック名： _____

非同期リセット名： _____

トップブロック名： _____

サブブロック名 (*3)： _____

注) *1：他コードと重複しないように設定してください。特にご希望がない場合は弊社で割り当てます。また、ビット幅は「2. インストラクションビット幅」の項目と合わせてください。

*2：ビット幅は、2～32 ビットの範囲で指定してください。

*3：トップブロックの直下に存在するサブブロックをすべて記述してください。また、遅延調整などで任意に挿入したバッファやダイレイ素子などがトップブロックに存在する場合は、そのインスタンス名も記入してください。

第 11 章 テストパターン作成

お客さまからいただく、IC の仕様確認用テストパターンには、あまり制約はありません。例えば、現実的な時間で IC 単体でシミュレーションが終了するのであれば、IC の仕様確認用テストパターンの長さには制約はありません。

しかし、製品の出荷テスト用のテストパターンは、テスターの能力などによって制約があります。そのため、出荷テスト用のテストパターンは、IC の仕様確認用のテストパターンを以下の制約に合うよう、弊社にて変更して作成いたします。つきましては、IC の仕様確認用テストパターンの作成時から、以下の制約をご考慮くださいますようお願いいたします。

11.1 テスト性の考慮

テストパターンは製品の出荷検査に使用されるため、LSI の内部回路のすべてをテストできるように作成しなければなりません。もし、LSI の内部回路に未テストの部分があると製品出荷時にその部分のテストを行うことができないので、不良品が出荷される危険性があります。

しかし、一般に LSI の内部すべてをテストすることは難しいので、回路設計の段階からテスト性を考慮することが重要です。

また、セイコーエプソン推奨のテスト回路を挿入することにより、テストパターンに要求される DC テスト等の諸条件を容易に設定することが可能になります。詳細は、「第 10 章 10.3 DC テスト・AC テスト容易回路の構成」をご参照ください。

11.2 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や LSI テスタでのテスト時には、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

- NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

- RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生させることができますので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

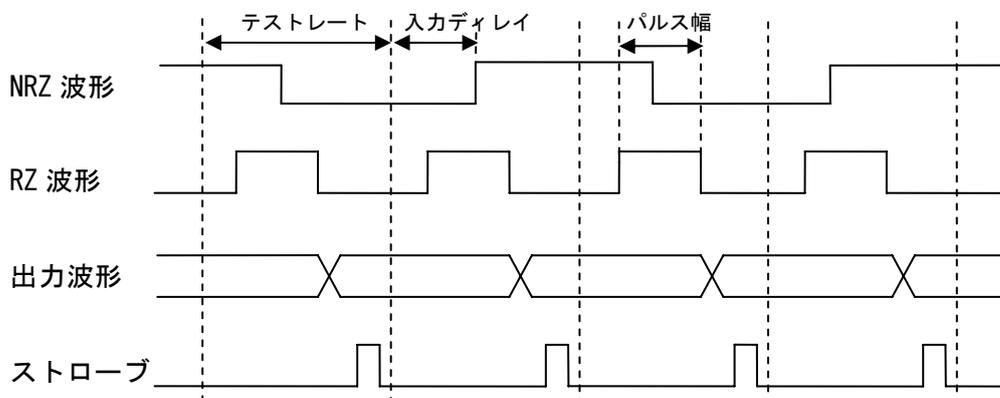


図 11-1 タイミング設定上の制限

11.3 テストパターンの各種制限

この章では、出荷テスト用テストパターンの制約を説明します。

11.3.1 テストレートおよびイベント数

以下に、テストレートと、イベント数の制限を記します。

テストレート：	100nsec 以上、1nsec 単位（標準：200nsec）
テストパターン 1 本あたりのイベント数：	256K イベント以内
テストパターンの本数：	30 本以内
テストパターンの総イベント数：	1M イベント以内

11.3.2 入力ディレイ

以下に、入力ディレイに関する制約を記します。

(a) 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えてください。また、ストロブポイントの制限については「第 11 章 11.3.5 ストロブ」を参照してください。

$$0\text{nsec} \leq \text{入力ディレイ値} < \text{ストロブポイント}$$

(b) 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3nsec 以上の差をつけてください。

(c) 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8 種類以内にしてください。ここで、0nsec 遅延も 1 種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

11.3.3 パルス幅

RZ 波形のパルス幅は、15nsec 以上取ってください。

11.3.4 入力波形フォーマット

入力波形は、0、1、P、N の値を取ることができます。ここで、P と N は、RZ 波形におけるパルスの入力を表しています。また、P と N の値はひとつのテストパターン内で、同一の端子に対して 0 と P または、1 と N の組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ 波形を入力することができます。

11.3.5 ストロブ

ストロブに関する制限は以下のとおりです。

- (a) ストロブはテストパターンごとに 1 種類のみ定義できます。
- (b) ストロブの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30nsec 以上後になるようにしてください。
- (c) ストロブの最大値は、(テストレート - 15nsec) よりも小さくしてください。
- (d) ストロブは、1nsec 単位で設定してください。

11.4 DC テストに対する注意点

テストパターンは function (機能) テストに用いられるだけでなく、出力電圧の測定といった DC テストにも使用されます。以下の DC テストが行えるように、テストパターンを作成してください。しかし、「第 10 章 10.3 DC テスト・AC テスト容易回路の構成」をご採用くださいますと、この章で説明するテストパターンをご用意いただく必要はありません。

DC テストは LSI の DC パラメータを検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロブ以後状態が変化してはいけません。

測定する DC パラメータは以下の項目です。

(a) 出力特性テスト (V_{OH} 、 V_{OL})

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを無限に延ばしても変化がないようなものでなければなりません。

(b) 静的消費電流テスト (I_{DDs})

静的消費電流とは、入力が定常状態にあるときの LSI の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないような状態で測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- (1) 入力端子がすべて定常状態であること。
- (2) 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- (3) 回路の中で発振等、動作部分がないこと。
- (4) 内部 3-state バッファ (内部バス) がフローティングまたはコンテンションしていないこと。
- (5) RAM、ROM およびメガセルが電流の流れる状態になっていないこと。
- (6) プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- (7) プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。
- (8) プルダウン抵抗付き双方向端子が入力状態であるかまたは“LOW”レベルを出力していること。

(c) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ/プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に V_{DD} レベルまたは V_{SS} レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 V_{DD} レベル(“HIGH”レベル)を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、LSI が意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで V_{DD} レベルを印加するテストを行い、“LOW”が印加されているイベントで V_{SS} レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

入力電流テストはさらに以下のように分類されます。

(1) 入力リーク電流テスト (I_{IH} 、 I_{IL})

プルアップ/プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を I_{IH} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を I_{IL} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

(2) プルアップ電流テスト (I_{PU})

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

(3) プルダウン電流テスト (I_{PD})

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

(4) オフステートリーク電流 (I_{OZ})

オープンドレインおよび 3-state 出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に V_{DD} レベルの電圧を与えたとき、 V_{SS} レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

11.5 発振回路使用時の注意点

一般的に下図のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

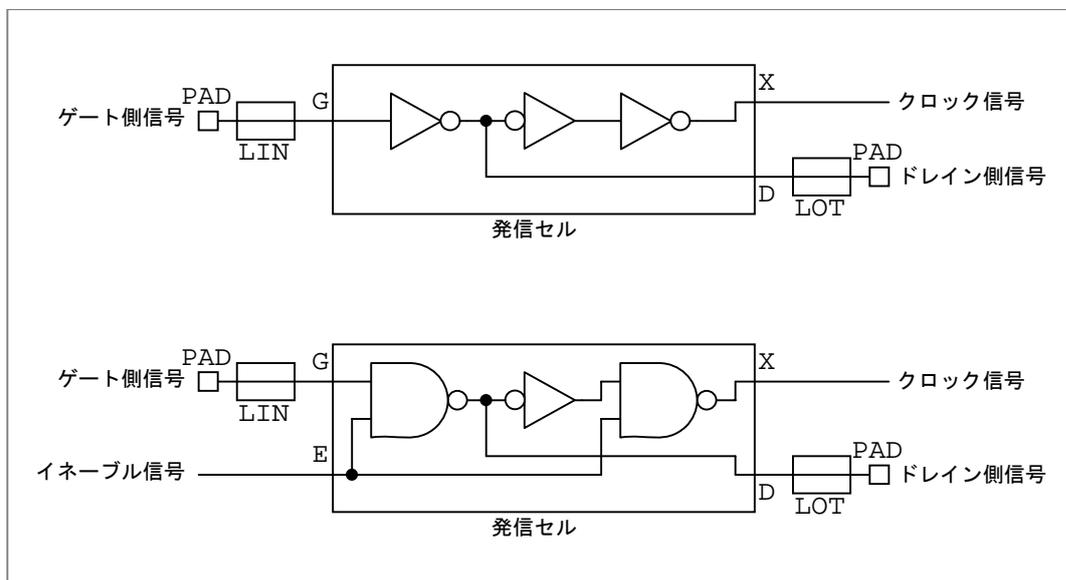


図 11-2 発振回路例

そこで、シミュレーションの状態をテストで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NAND ゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロークがテストレートの最後にあれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意してください。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないでください。

11.6 AC テストについて

AC テストは、ある入力端子の変化が起こってからそれが出力端子に伝搬するまでの時間を測定します。AC テストの測定パスはお客様に選択していただいたパスを用います。しかし、「第 10 章 10.3 DC テスト・AC テスト容易回路の構成」をご採用くださいますと、この章で説明する AC パスをご用意いただく必要はありません。

11.6.1 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子(変化のあった出力端子)の変化点は一箇所だけである必要があります。(RZ 波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません) また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。(Z が関係する変化は測定できません)

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と LSI テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、LSI の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

11.6.2 AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にしてください。

11.6.3 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30nsec 以上かつストロブポイント以下に設定してください。

11.6.4 その他の制約

- (1) 発振回路からのパスは、指定しないでください。
- (2) 内部 3-state の回路 (内部バス) を通らないパスを指定してください。
- (3) 測定パスの入力バッファから出力バッファの間に他の双方向セルを通るパスを指定しないでください。
- (4) 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一してください。

11.7 双方向端子のテストパターン制限

双方向端子はテストの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回 (2 回以上) 行うことができません。したがって双方向セルの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をしてください。

11.8 ハイインピーダンス状態の扱いに関する注意点

弊社では CMOS デバイスでの入力端子のハイインピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイインピーダンスに関する対策としまして、プルアップ/プルダウン抵抗付きの I/O セルをリリースしています。ただし、下記の理由からシミュレーションにおいてプルアップ/プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ/プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

〈プルアップ/プルダウン抵抗の伝播遅延を考慮していない理由について〉

外部負荷容量により遅延が大きく変動するするため

プルアップ/プルダウン抵抗は、ハイインピーダンス状態によるフローティングゲートを回避することのみを目的としているため

弊社では上記内容を、シミュレーション前にツールによりテストパターンのチェックを行い、ハイインピーダンス状態を表す Z が検出された場合には、テストパターンを修正いただいています。

このさいに、前記理由からプルアップ/プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

〈対策〉

テストパターンのチェックで双方向端子のすべての Z をエラーで警告します。(3-state、オープンドレイン等の出力端子で表現される Z は除きます)

入力パターンを修正する手段として、前記双方向端子の Z はプルアップ抵抗付きであれば 1 を、プルダウン抵抗付きであれば 0 に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、X が表現されているさいに、入力モードとなった場合につきましては、プルアップ/プルダウン抵抗の有無に関わらず、シミュレーションでは X を伝搬し、シミュレーション結果には?を表します。“?”は修正いただき、改めてシミュレーションを行います。

表 11-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

付録 A1 特性グラフ (X タイプ)

A1.1 入出力バッファ特性 (3.3V 動作時)

A1.1.1 入力バッファ特性 (3.3V±0.3V)

- 標準セル入力バッファ

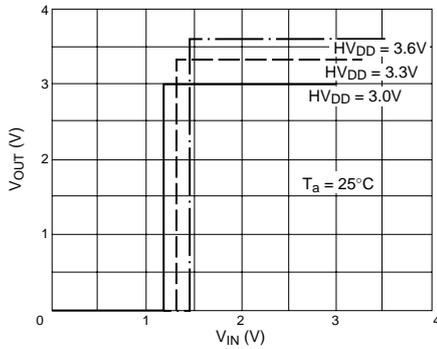


図 A1-1 入力特性 (LVTTTL)

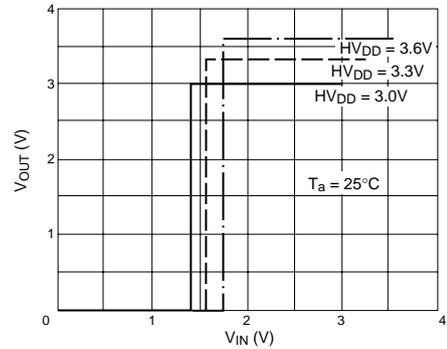


図 A1-2 入力特性 (CMOS)

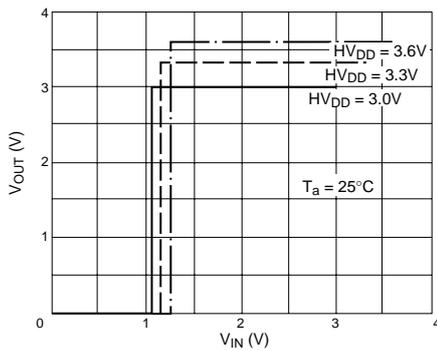


図 A1-3 入力特性 (PCI-3V)

- シュミットトリガーセル入力バッファ

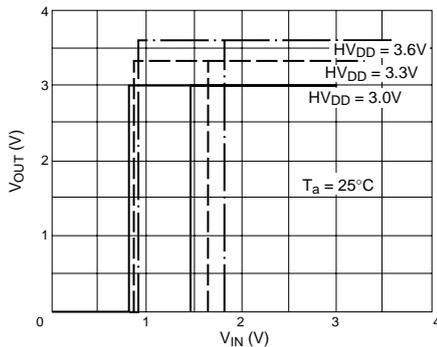


図 A1-4 入力特性 (LVTTTL Schmitt)

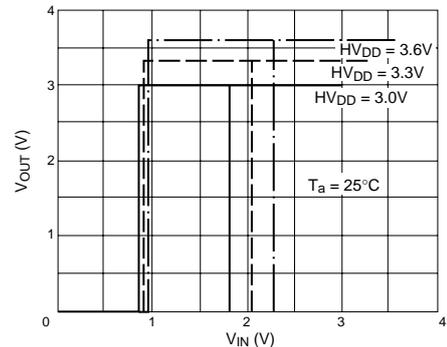


図 A1-5 入力特性 (CMOS Schmitt)

A1.1.2 入力貫通電流 (3.3V±0.3V)

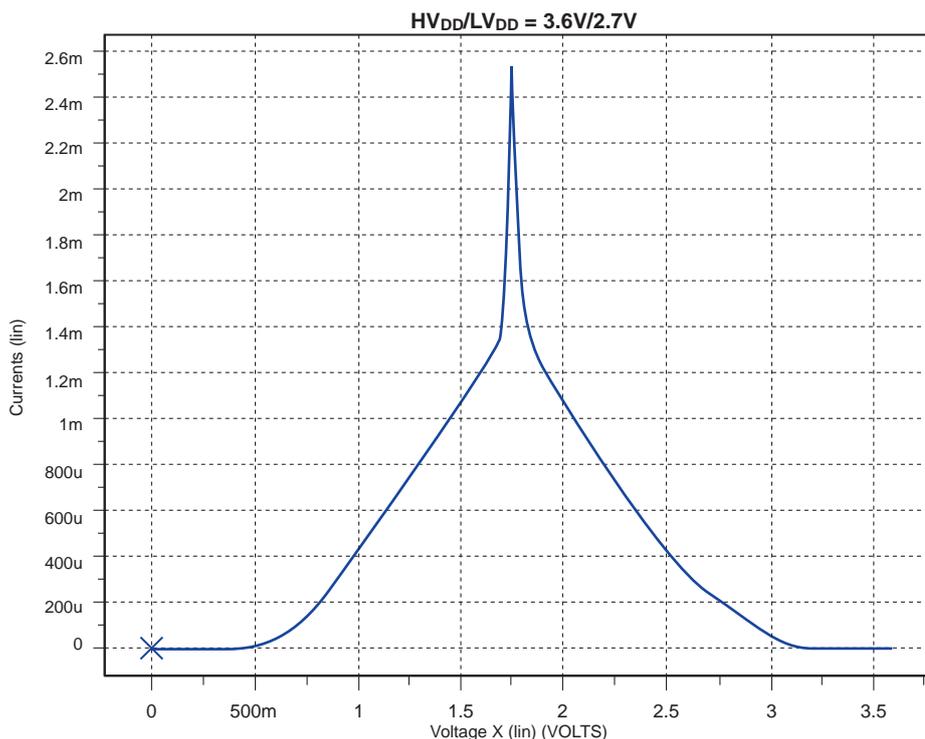


図 A1-6 入力貫通電流 (CMOS)

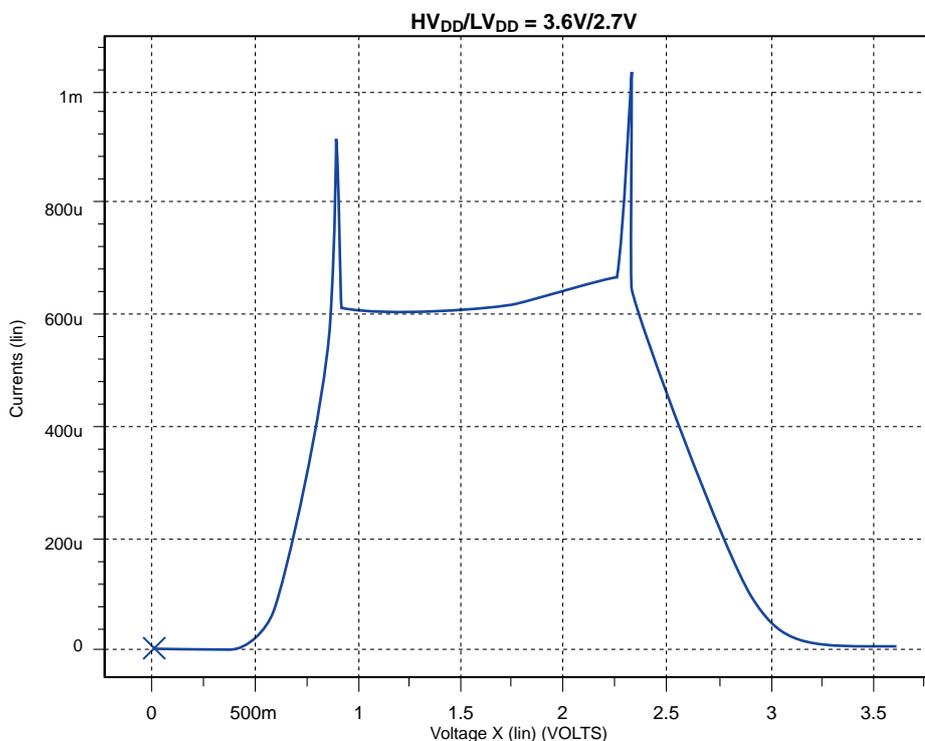


図 A1-7 入力貫通電流 (CMOS Schmitt)

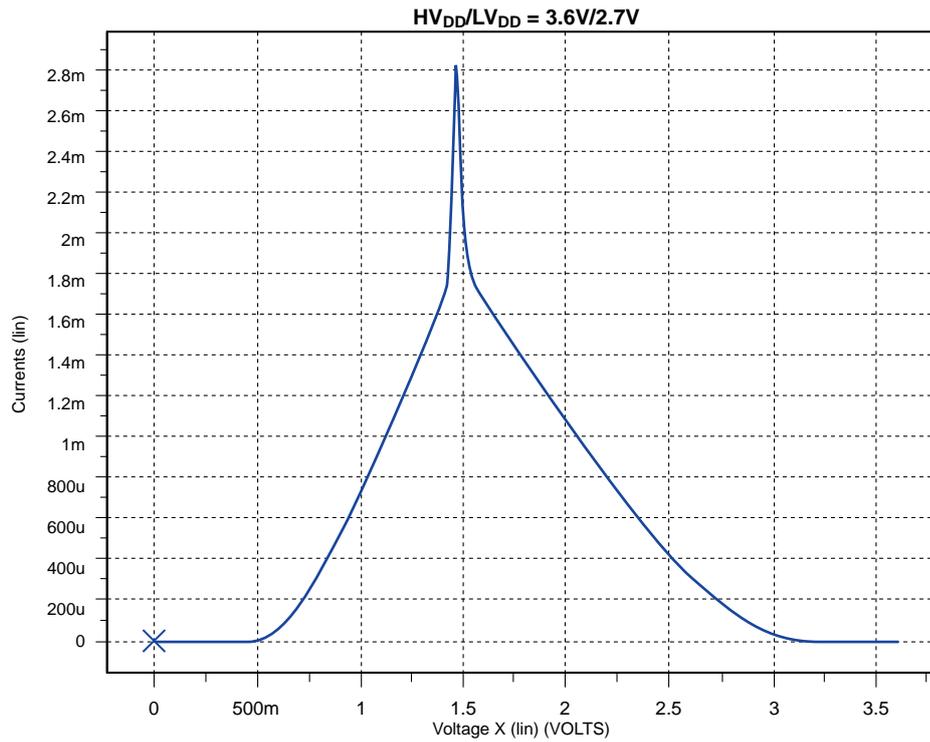


図 A1-8 入力貫通電流 (LVTTTL)

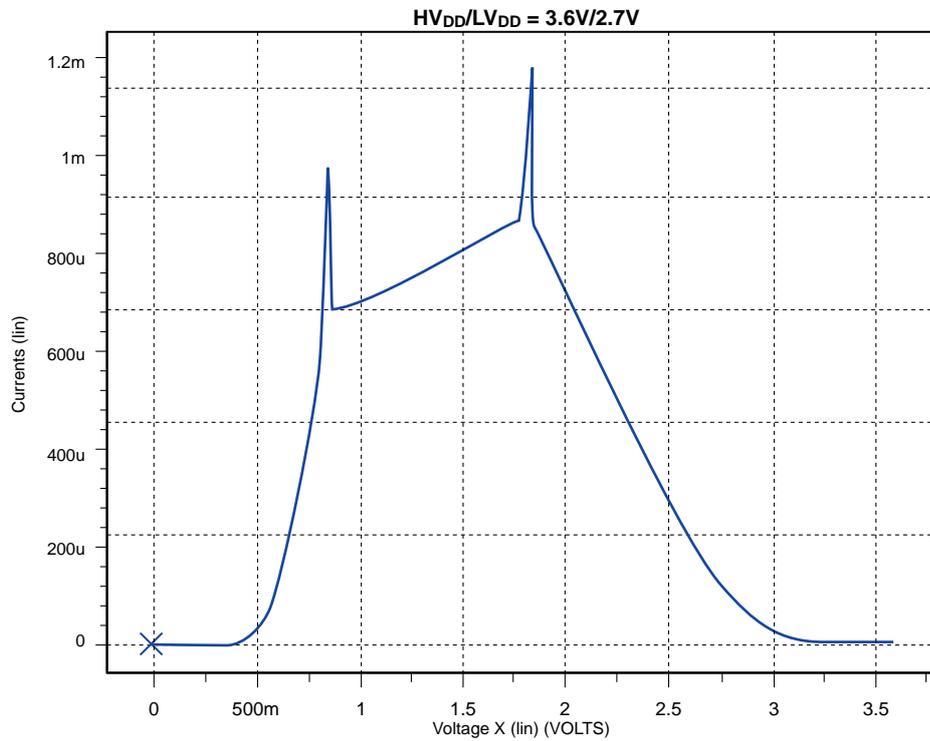


図 A1-9 入力貫通電流 (LVTTTL Schmitt)

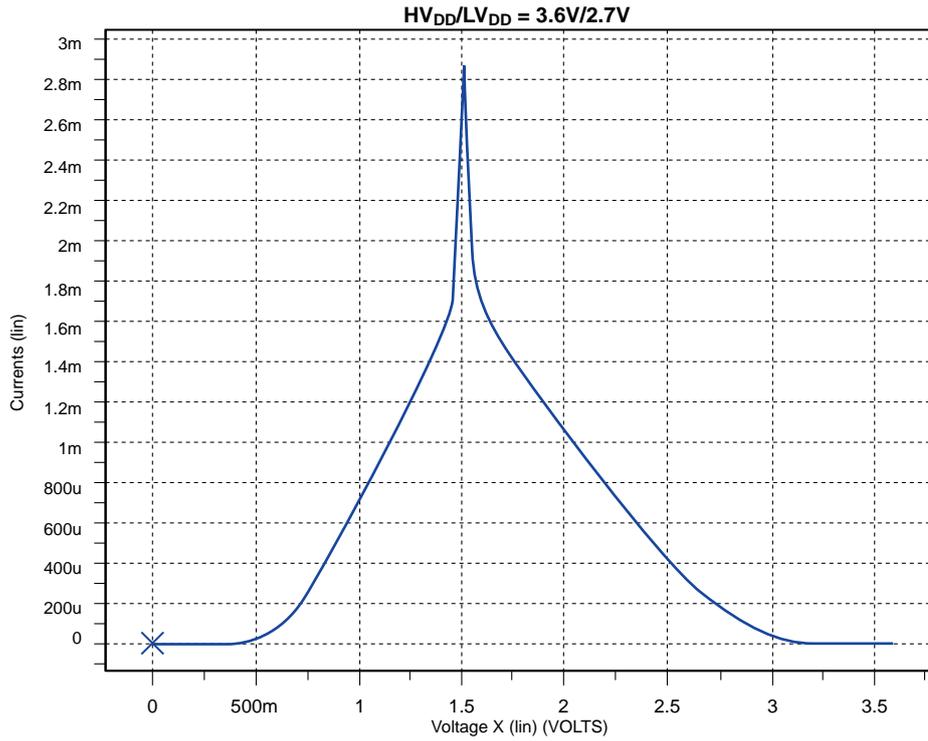


図 A1-10 入力貫通電流 (PCI)

A1.1.3 出力バッファ特性 (3.3V±0.3V)

(1) 出力バッファ規格一覧表

表 A1-1 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-12	12	mA
PCI	PCI 規格に準ずる		mA

注) *1 : $V_{OH}=HV_{DD}-0.4V$ ($HV_{DD}=3.3V$)*2 : $V_{OL}=0.4V$ ($HV_{DD}=3.3V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

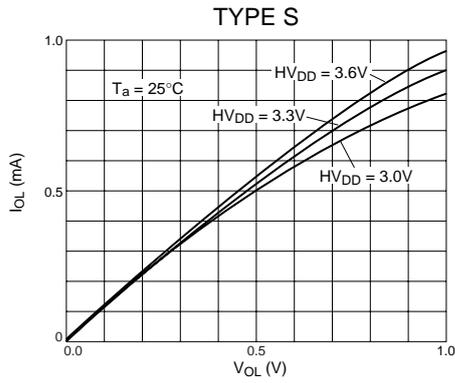


図 A1-11

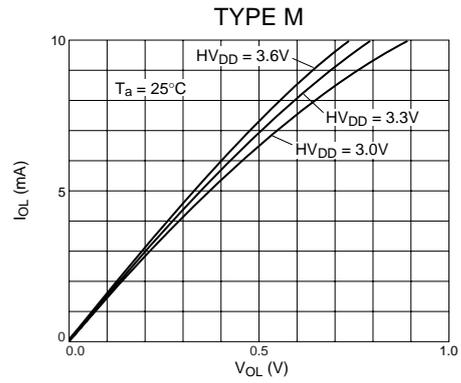


図 A1-12

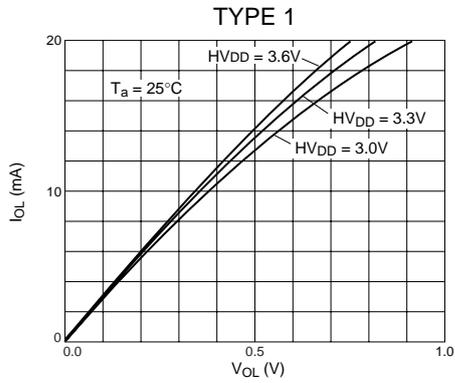


図 A1-13

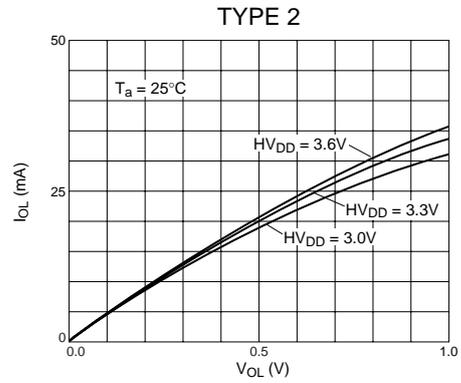


図 A1-14

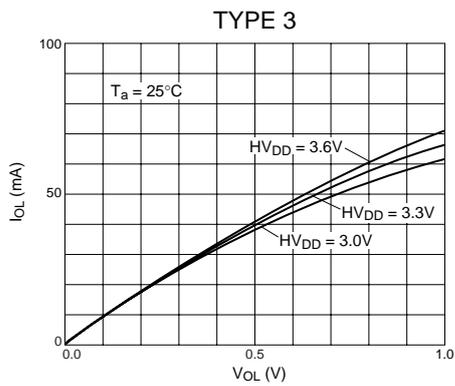


図 A1-15

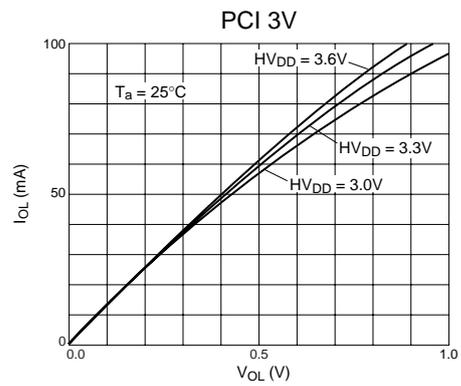


図 A1-16

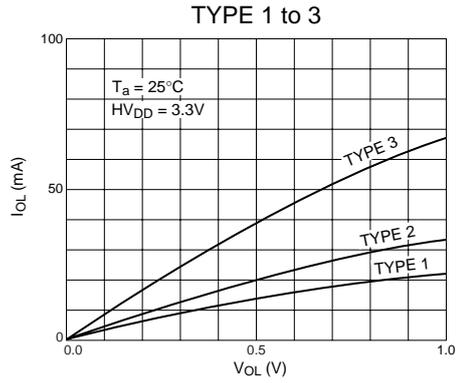


図 A1-17

● I_{OH} - V_{OH}

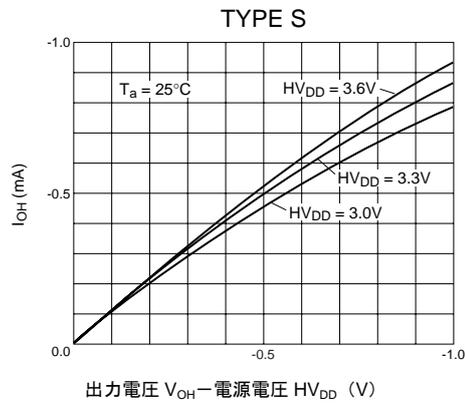


図 A1-18

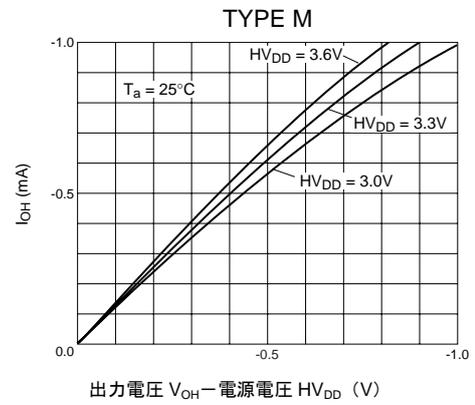


図 A1-19

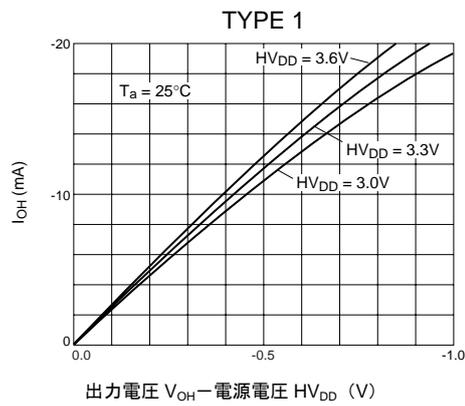


図 A1-20

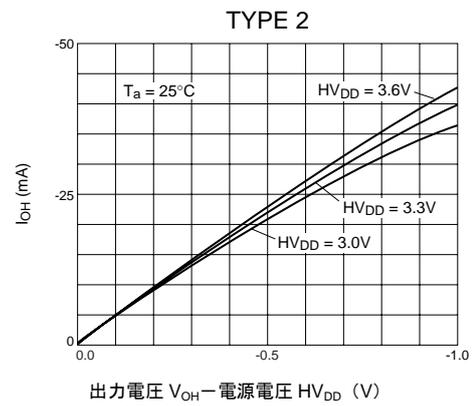


図 A1-21

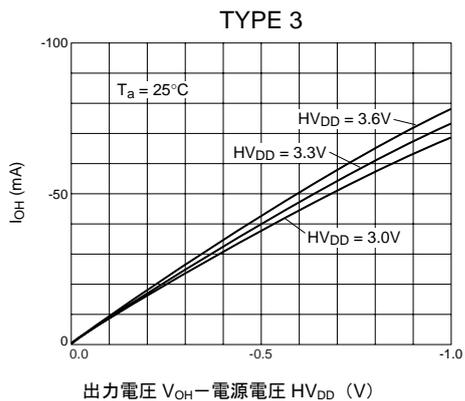


図 A1-22

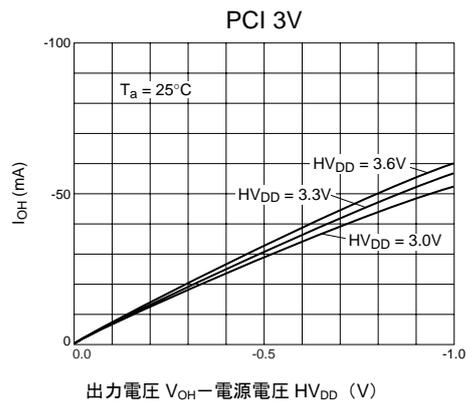


図 A1-23

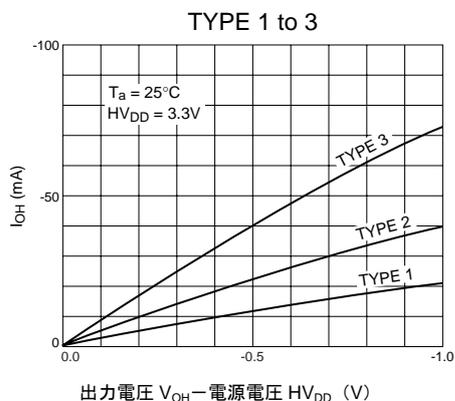


図 A1-24

(3) I_{OL} 、 I_{OH} 温度特性

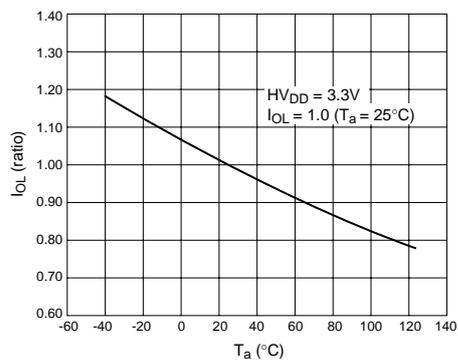


図 A1-25 周囲温度 (T_a) - 出力電流 (I_{OL})

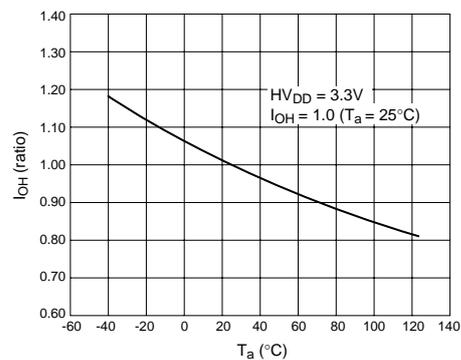


図 A1-26 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間—出力負荷容量 (C_L)

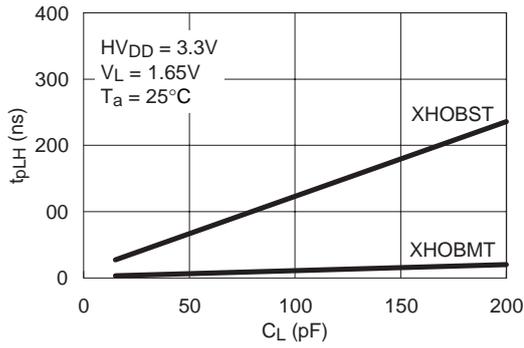


図 A1-27 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

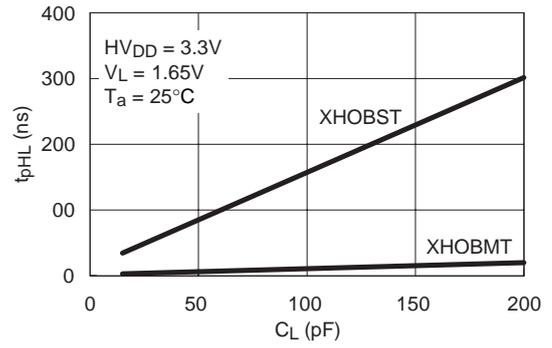


図 A1-28 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

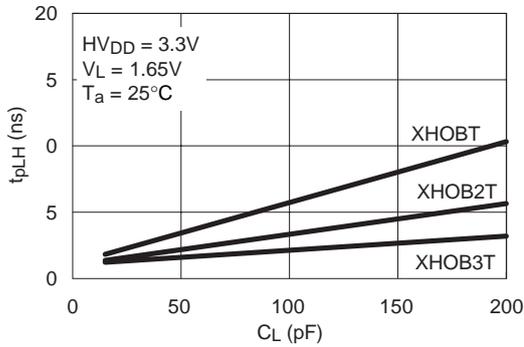


図 A1-29 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

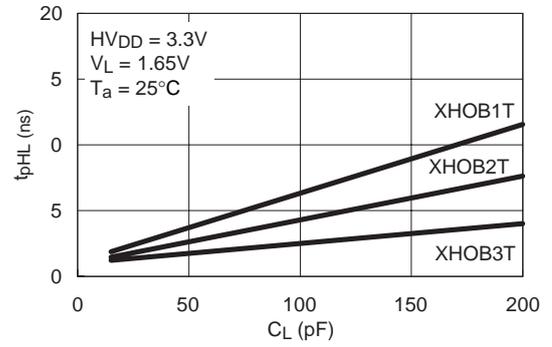


図 A1-30 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

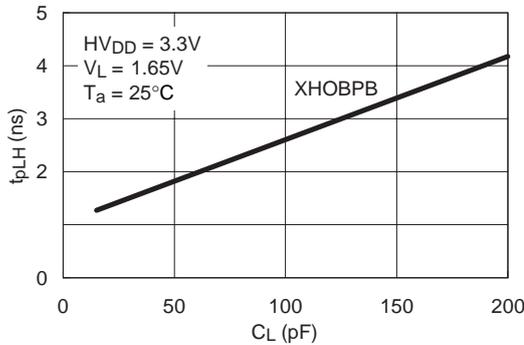


図 A1-31 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

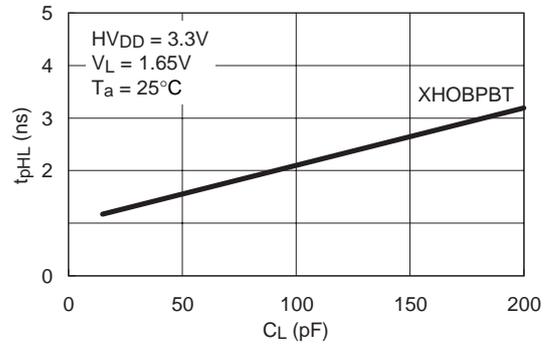


図 A1-32 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

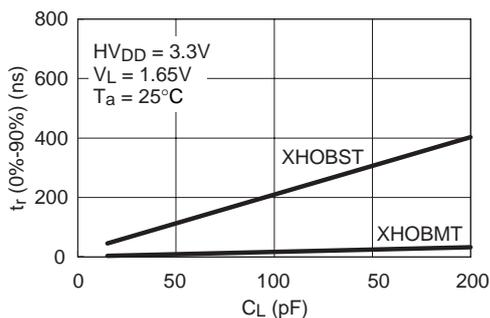


図 A1-33 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

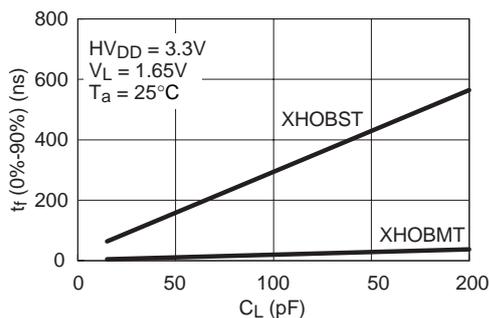


図 A1-34 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

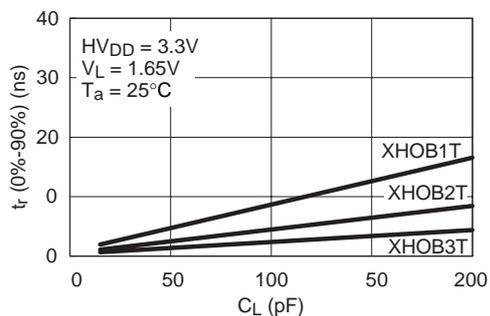


図 A1-35 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

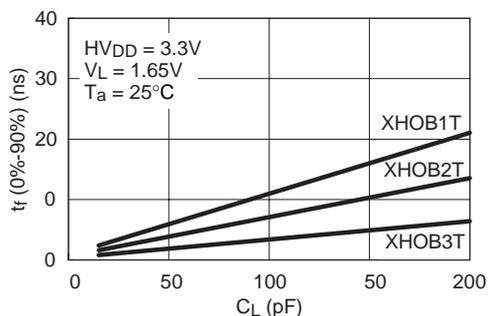


図 A1-36 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

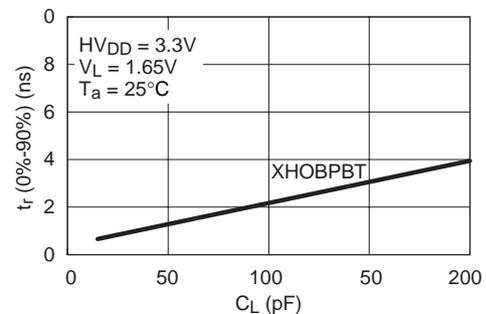


図 A1-37 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

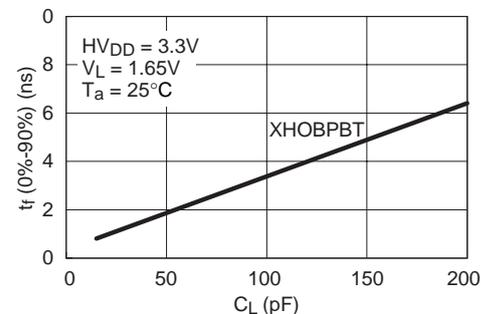


図 A1-38 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

●プルアップ特性

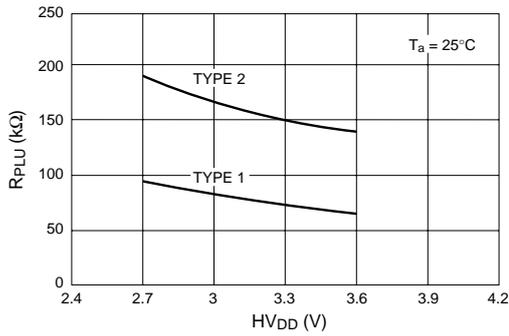


図 A1-39 プルアップ抵抗 HV_{DD} 依存性

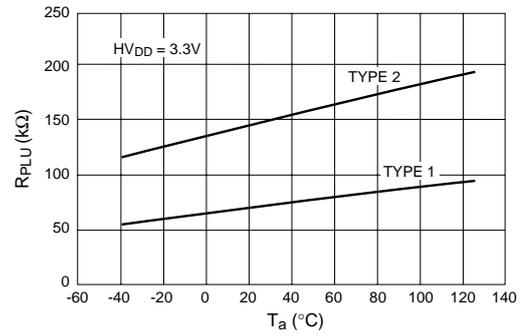


図 A1-40 プルアップ抵抗周囲温度依存性

●プルダウン特性

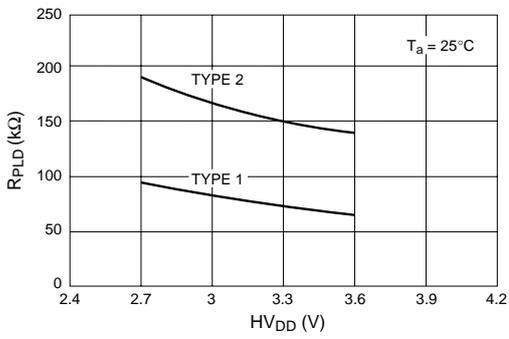


図 A1-41 プルダウン抵抗 HV_{DD} 依存性

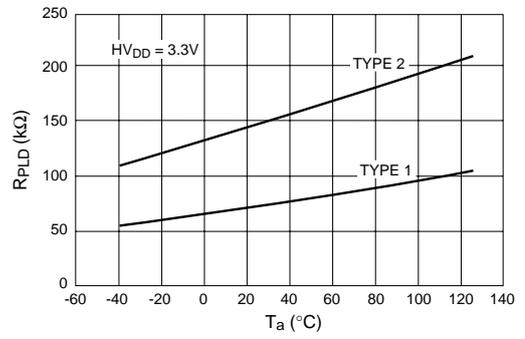


図 A1-42 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

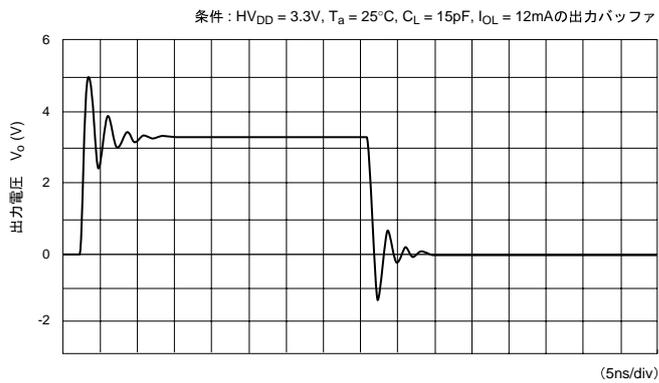


図 A1-43 出力波形 (XHOB3AT)

●Normal Type

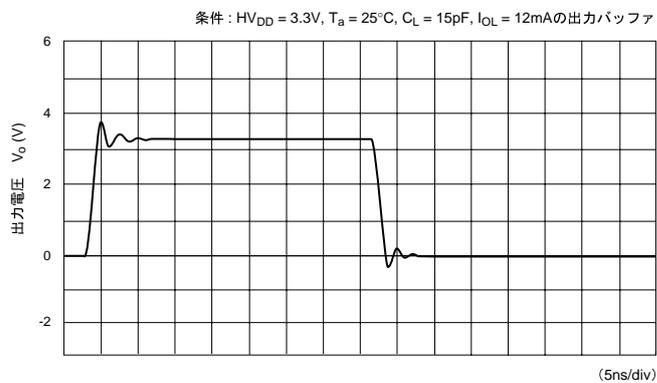


図 A1-44 出力波形 (XHOB3T)

●Low Noise Type

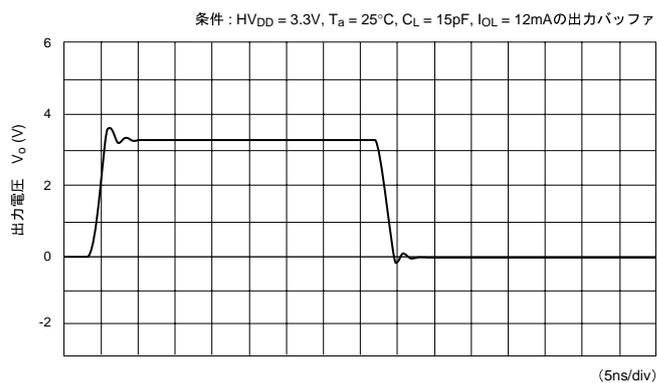


図 A1-45 出力波形 (XHOB3BT)

A1.2 入出力バッファ特性 (2.5V 動作時)

A1.2.1 入力バッファ特性 (2.5V±0.2V)

- 標準セル入力バッファ

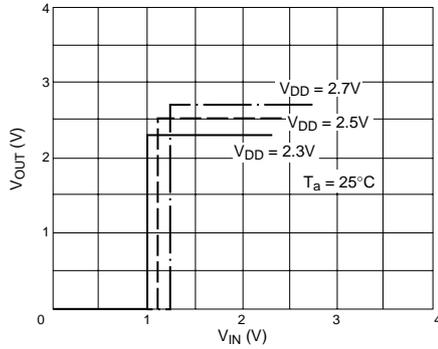


図 A1-46 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

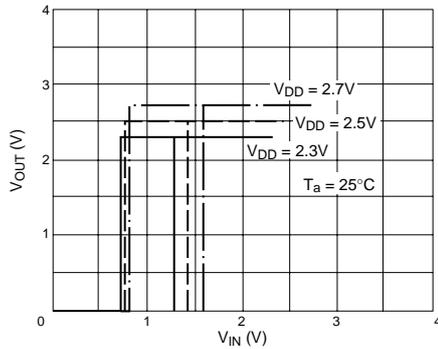


図 A1-47 入力特性 (CMOS Schmitt)

A1.2.2 入力貫通電流 (2.5V±0.2V)

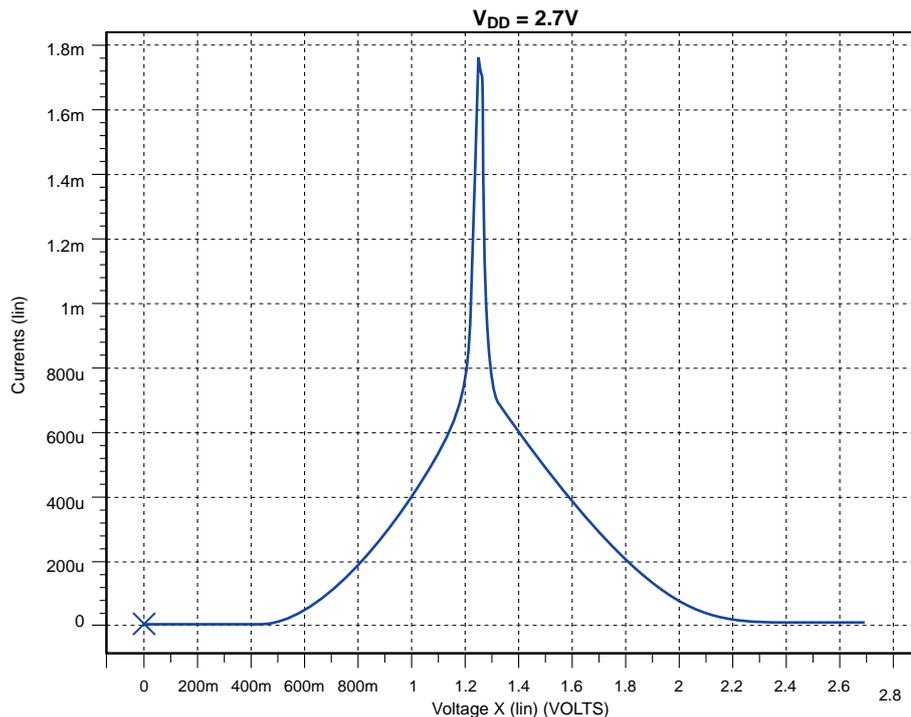


図 A1-48 入力貫通電流 (CMOS)

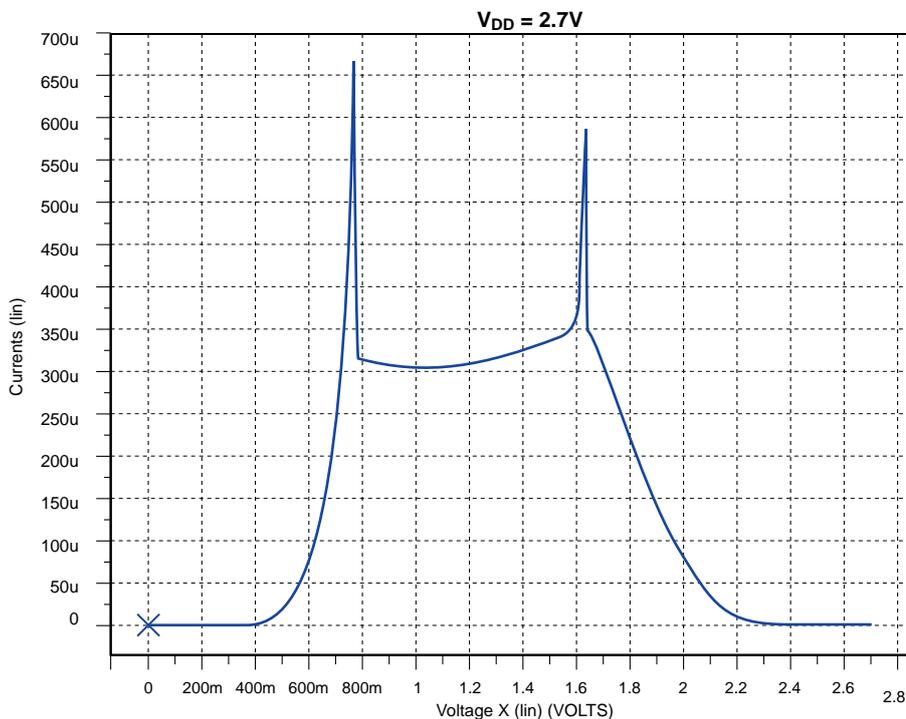


図 A1-49 入力貫通電流 (CMOS Schmitt)

A1.2.3 出力バッファ特性 (2.5V±0.2V)

(1) 出力バッファ規格一覧表

表 A1-2 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-9	9	mA

注) *1 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$)*2 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

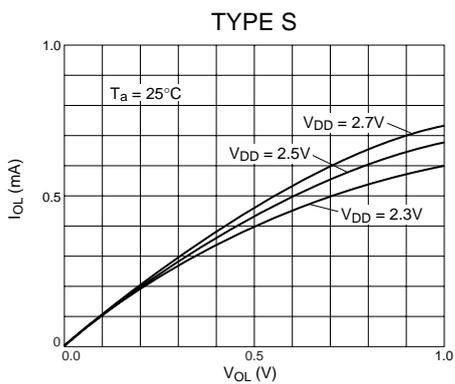


図 A1-50

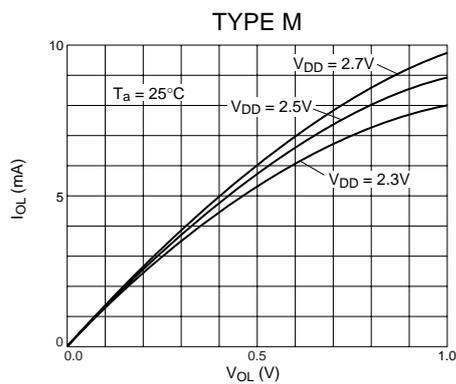


図 A1-51

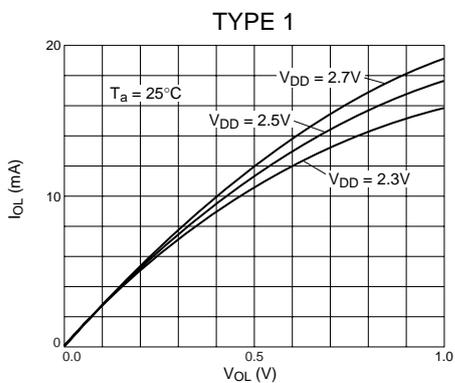


図 A1-52

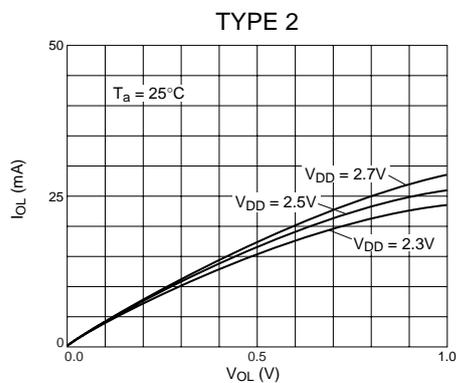


図 A1-53

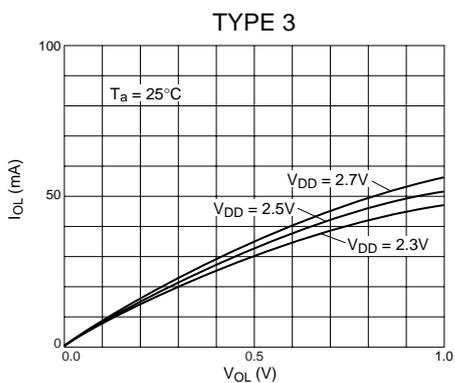


図 A1-54

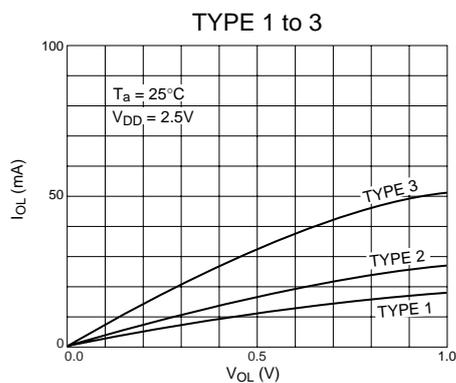


図 A1-55

● I_{OH} - V_{OH}

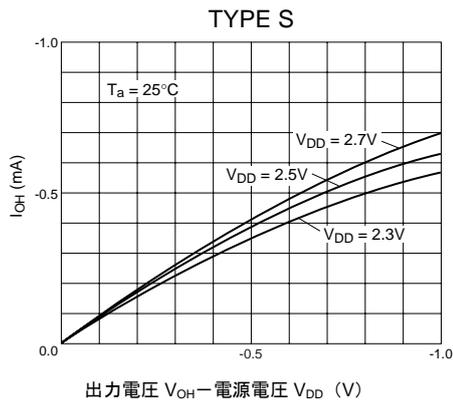


図 A1-56

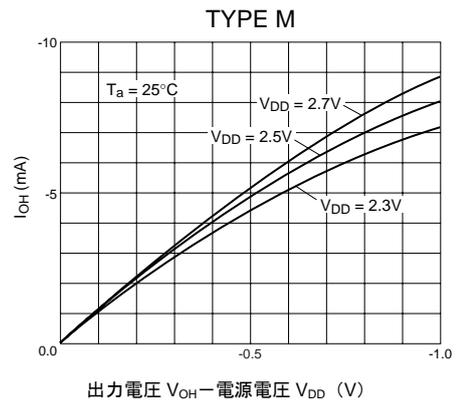


図 A1-57

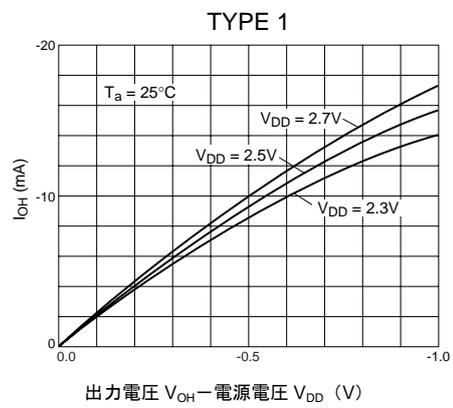


図 A1-58

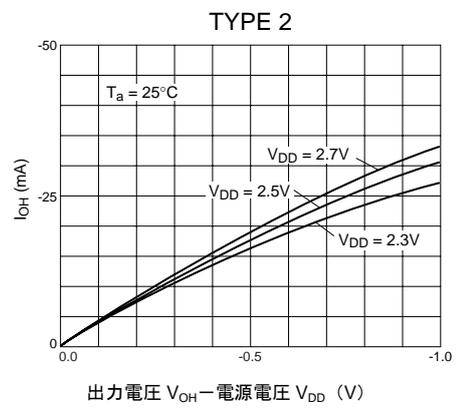


図 A1-59

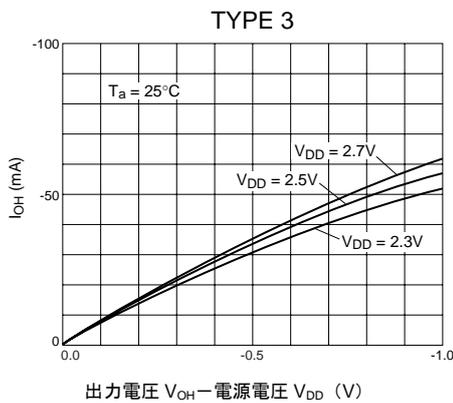
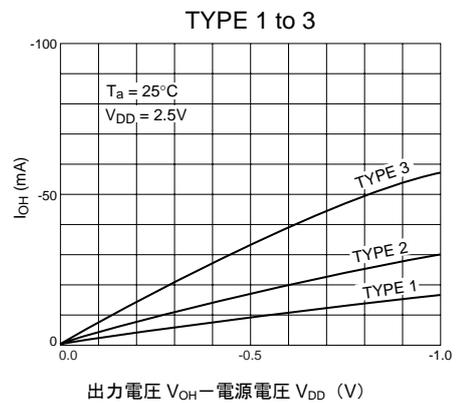


図 A1-60



A1-61

(3) I_{OL} 、 I_{OH} 温度特性

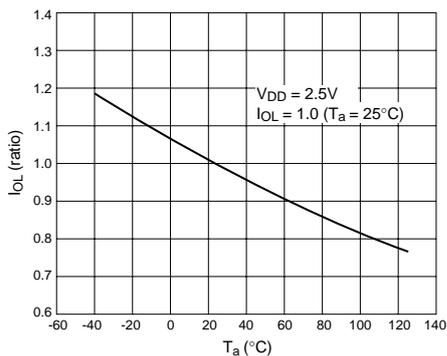


図 A1-62 周囲温度 (T_a) - 出力電流 (I_{OL})

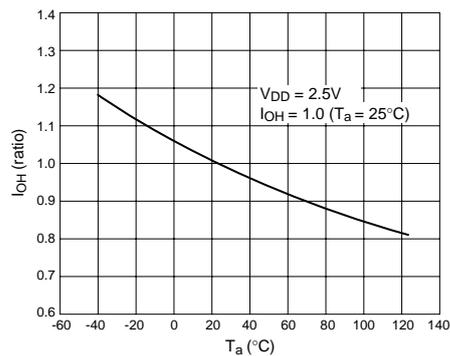


図 A1-63 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間 - 出力負荷容量 (C_L)

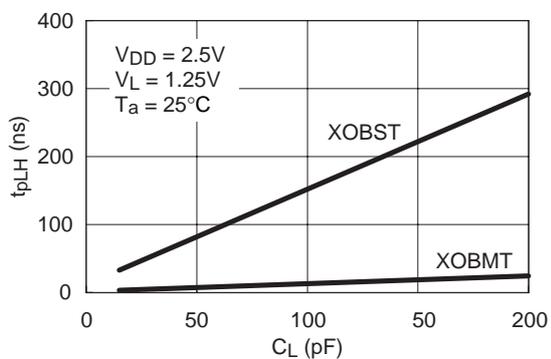


図 A1-64 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

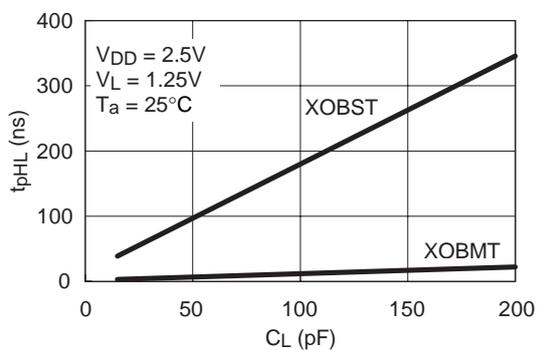


図 A1-65 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

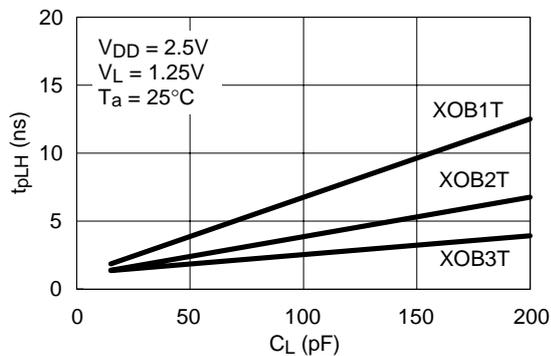


図 A1-66 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

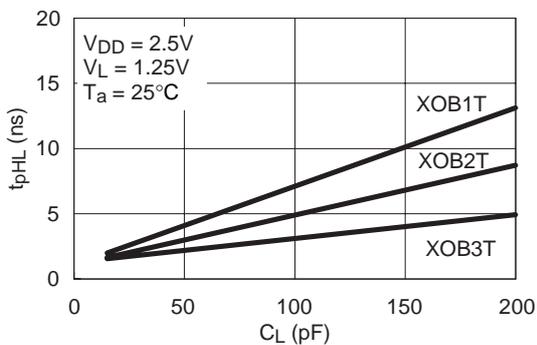


図 A1-67 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

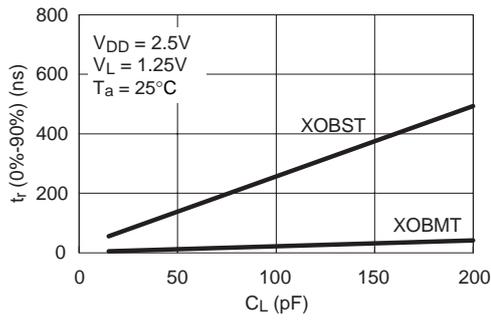


図 A1-68 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

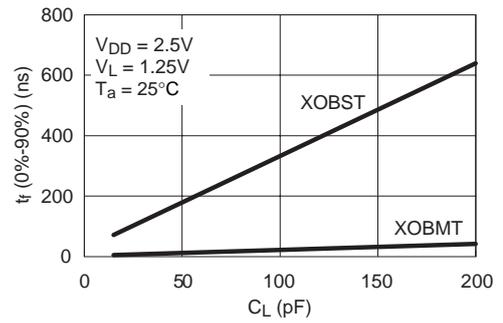


図 A1-69 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

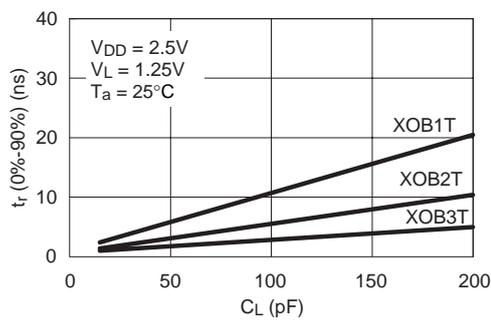


図 A1-70 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

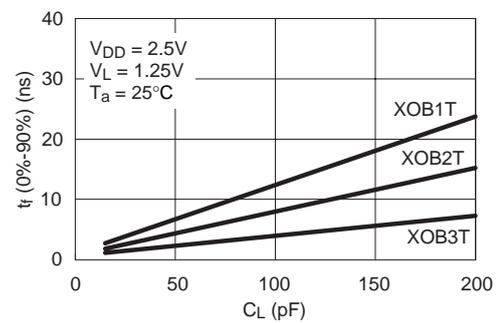


図 A1-71 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

●プルアップ特性

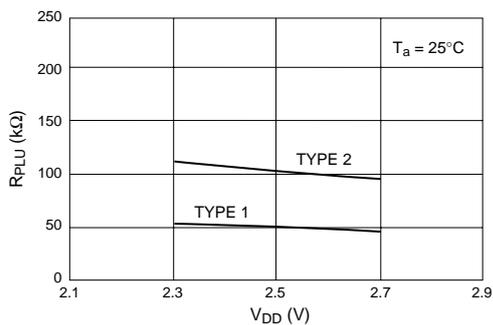


図 A1-72 プルアップ抵抗 V_{DD} 依存性

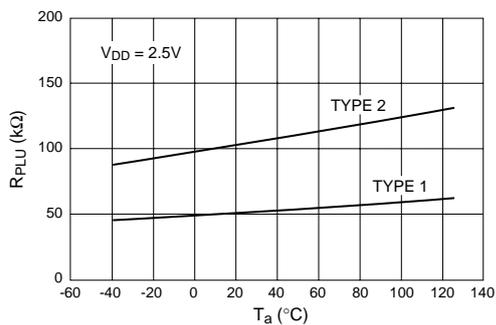


図 A1-73 プルアップ抵抗周囲温度依存性

●プルダウン特性

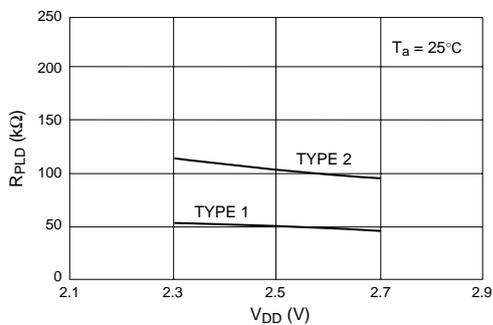


図 A1-74 プルダウン抵抗 V_{DD} 依存性

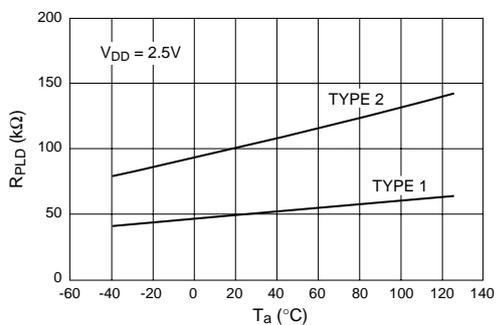


図 A1-75 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

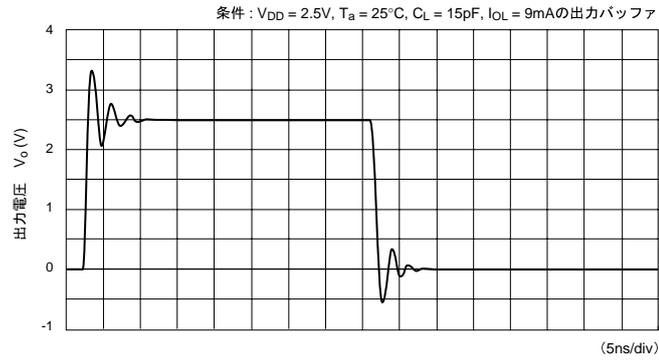


図 A1-76 出力波形 (XOB3AT)

●Normal Type

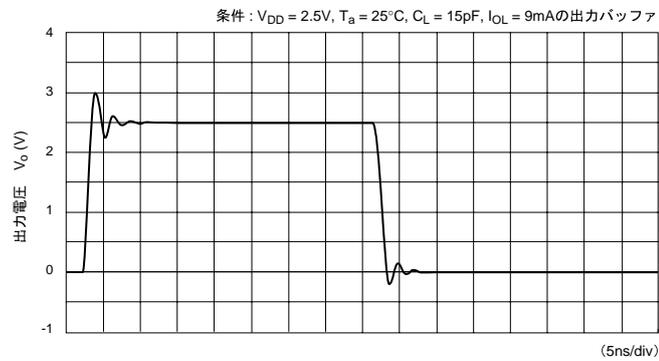


図 A1-77 出力波形 (XOB3T)

●Low Noise Type

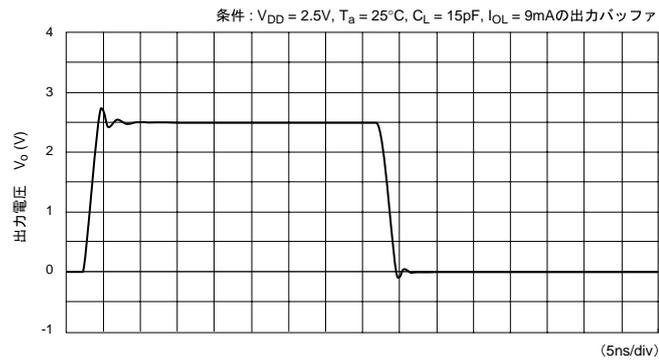


図 A1-78 出力波形 (XOB3BT)

A1.3 入出力バッファ特性 (2.0V 動作時)

A1.3.1 入力バッファ特性 (2.0V±0.2V)

- 標準セル入力バッファ

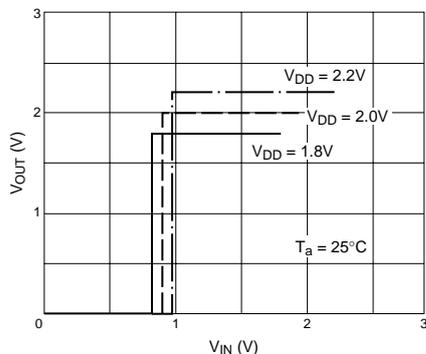


図 A1-79 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

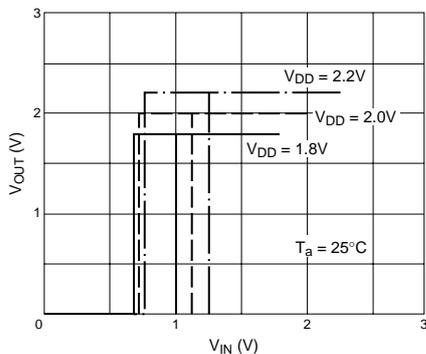


図 A1-80 入力特性 (CMOS Schmitt)

A1.3.2 入力貫通電流 (2.0V±0.2V)

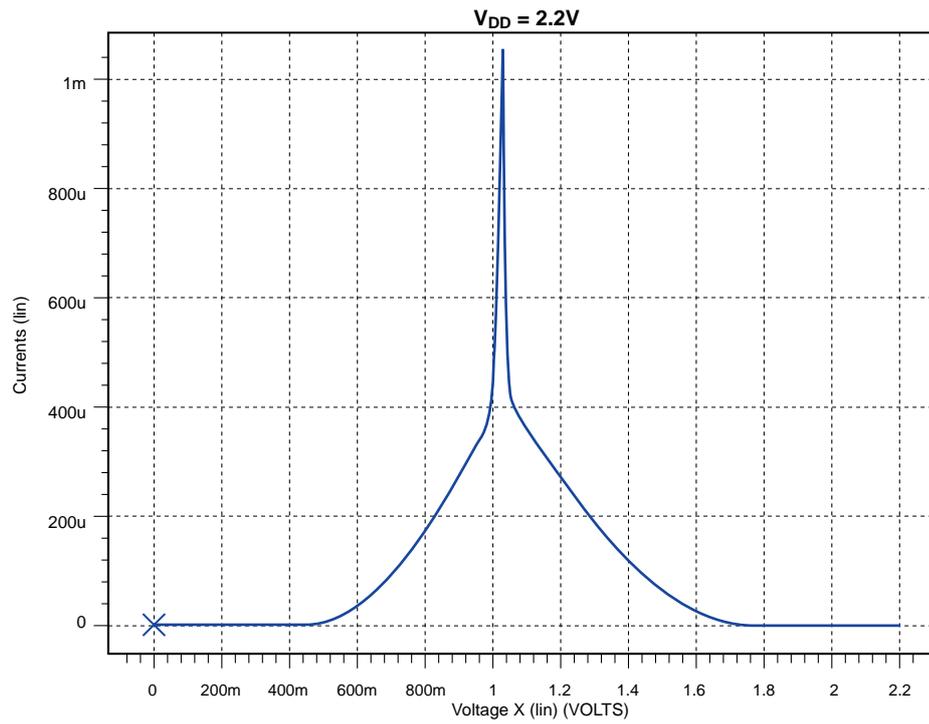


図 A1-81 入力貫通電流 (CMOS)

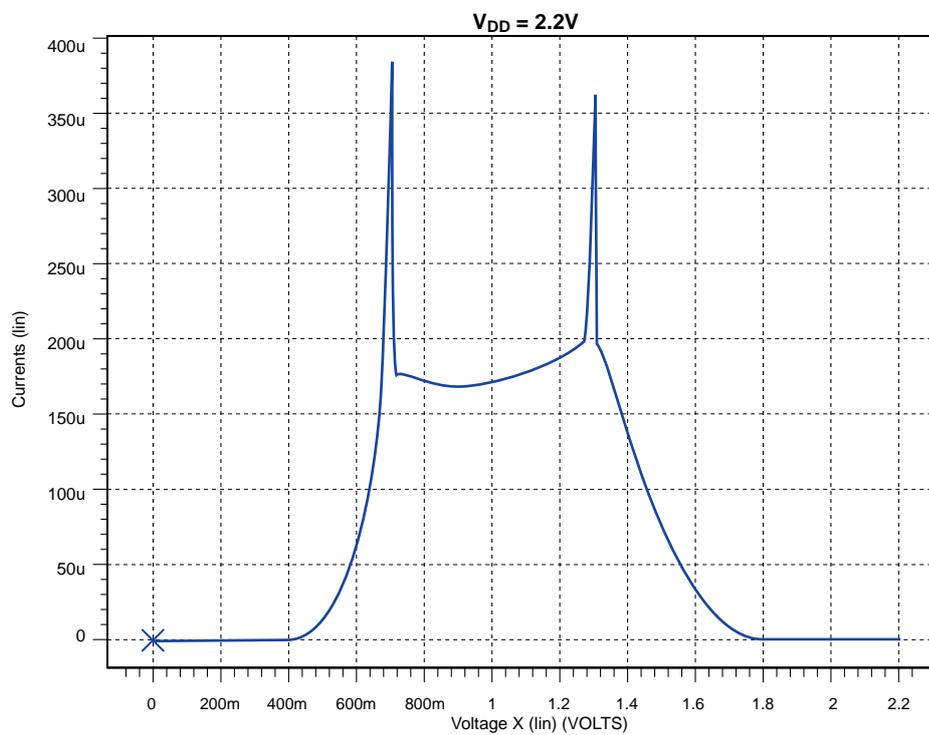


図 A1-82 入力貫通電流 (CMOS Schmitt)

A1.3.3 出力バッファ特性 (2.0V±0.2V)

(1) 出力バッファ規格一覧表

表 A1-3 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.05	0.05	mA
Type M	-0.3	0.3	mA
Type 1	-1	1	mA
Type 2	-2	2	mA
Type 3	-3	3	mA

注) *1 : $V_{OH}=V_{DD}-0.2V$ ($V_{DD}=2.0V$)

*2 : $V_{OL}=0.2V$ ($V_{DD}=2.0V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

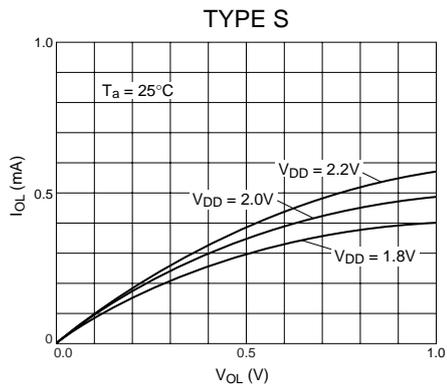


図 A1-83

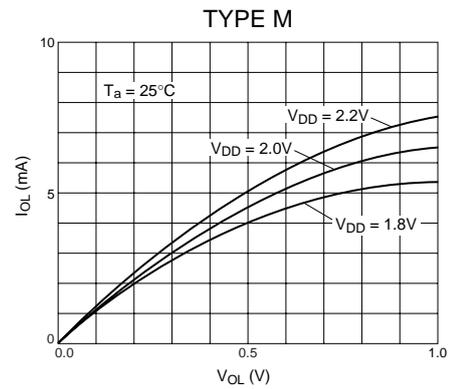


図 A1-84

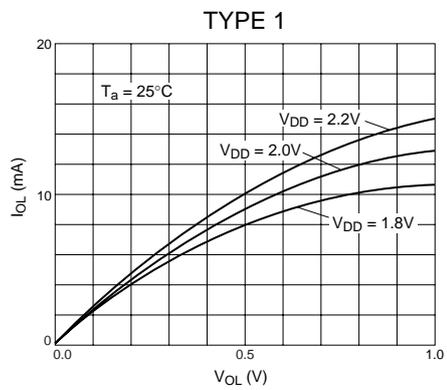


図 A1-85

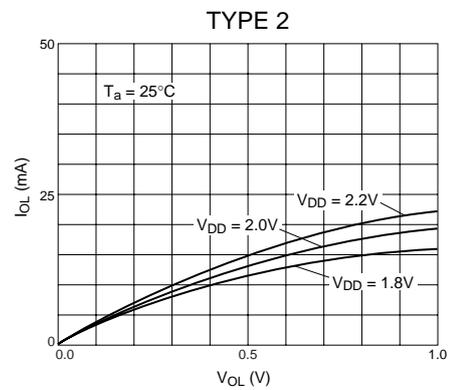


図 A1-86

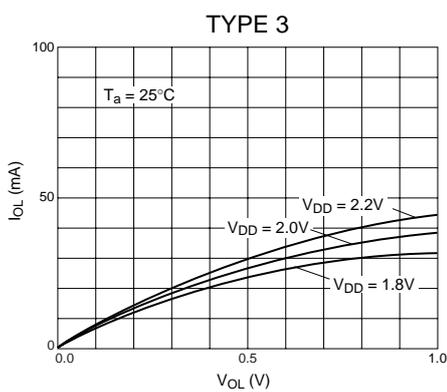


図 A1-87

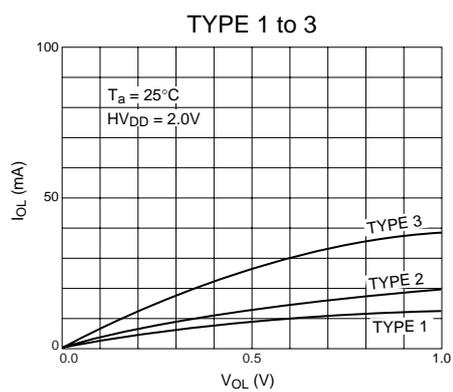


図 A1-88

● I_{OH} - V_{OH}

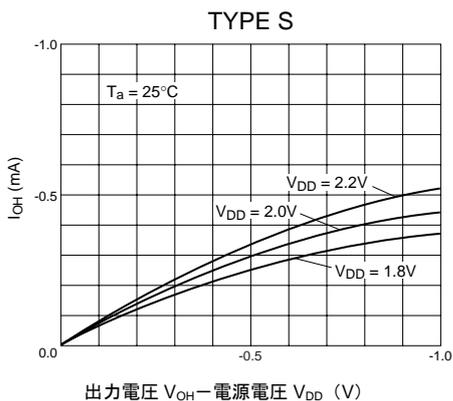


図 A1-89

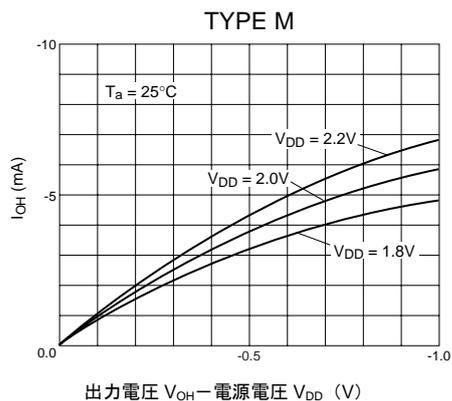


図 A1-90

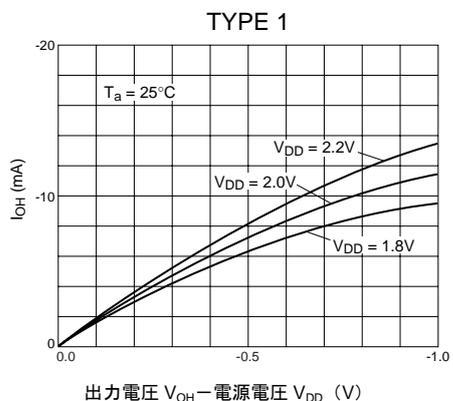


図 A1-91

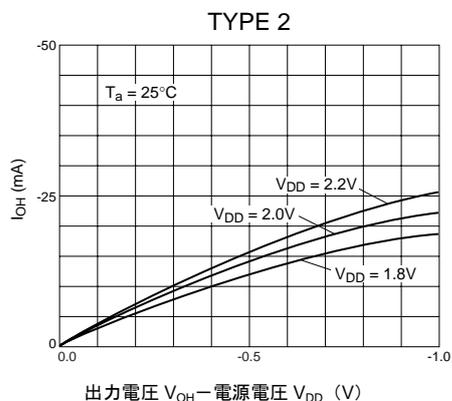


図 A1-92

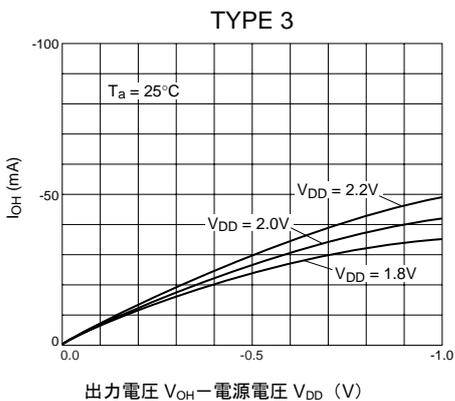


図 A1-93

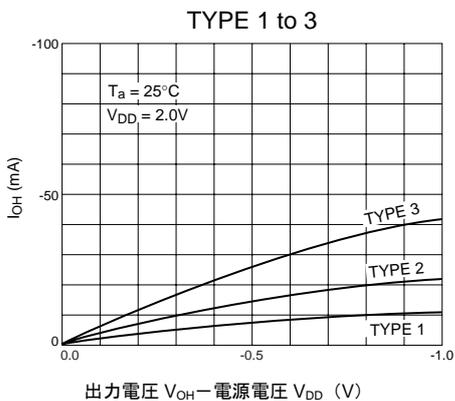


図 A1-94

(3) I_{OL} 、 I_{OH} 温度特性

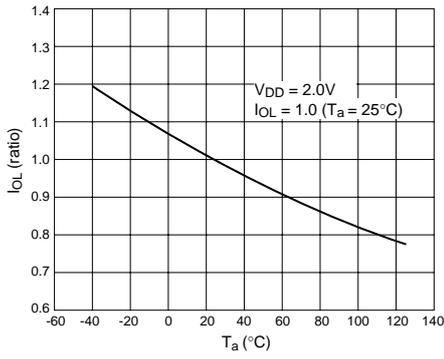


図 A1-95 周囲温度 (T_a) - 出力電流 (I_{OL})

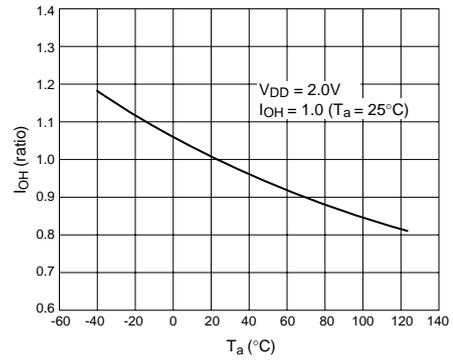


図 A1-96 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間 - 出力負荷容量 (C_L)

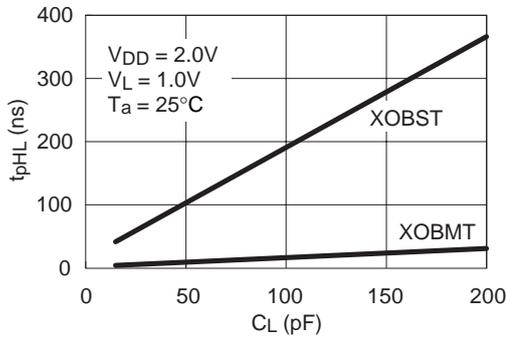


図 A1-97 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

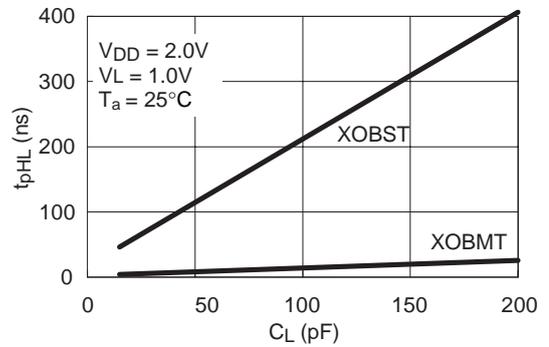


図 A1-98 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

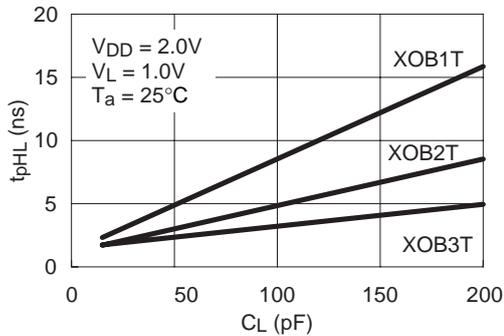


図 A1-99 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

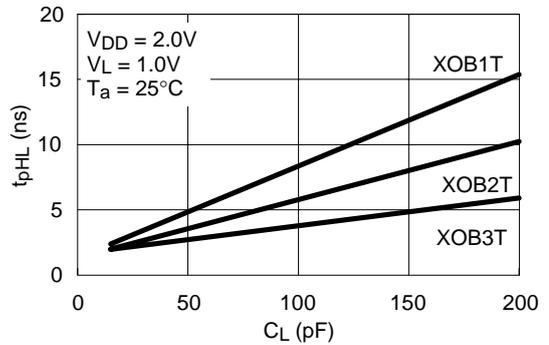


図 A1-100 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

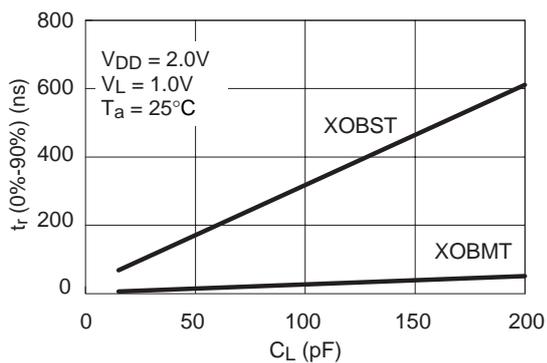


図 A1-101 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

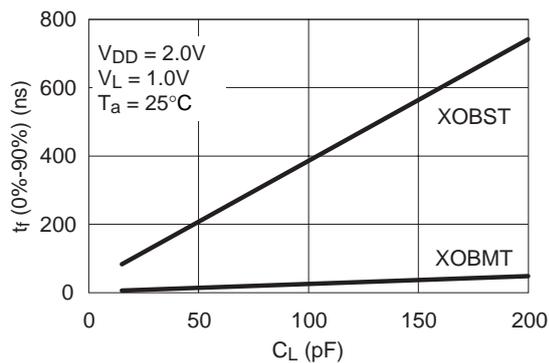


図 A1-102 立ち下がり時間 (t_r) VS. 出力負荷容量 (C_L)

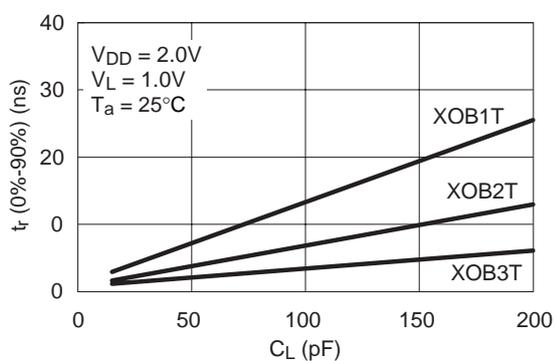


図 A1-103 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

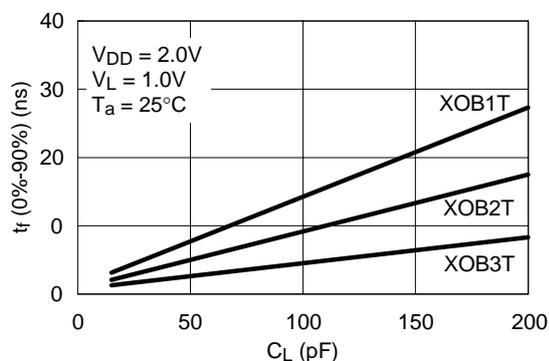


図 A1-104 立ち下がり時間 (t_r) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

●プルアップ特性

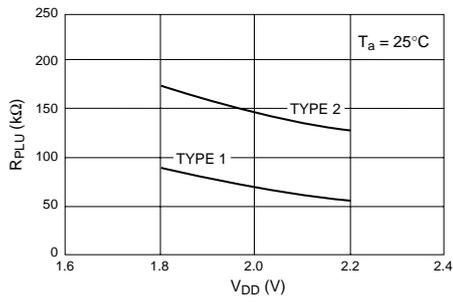


図 A1-105 プルアップ抵抗 V_{DD} 依存性

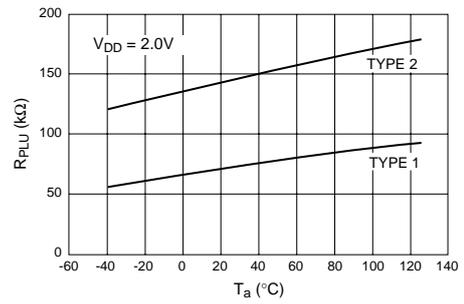


図 A1-106 プルアップ抵抗周囲温度依存性

●プルダウン特性

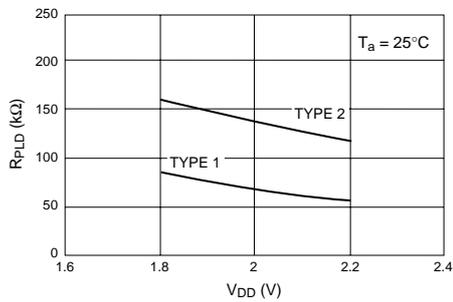


図 A1-107 プルダウン抵抗 V_{DD} 依存性

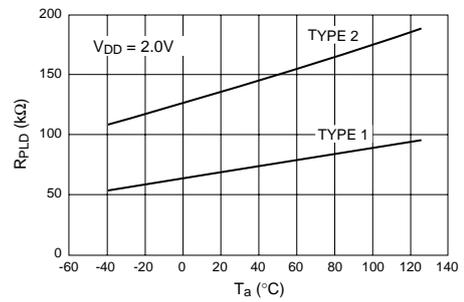


図 A1-108 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

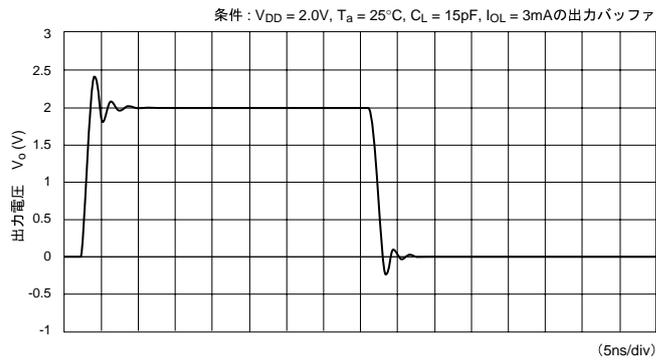


図 A1-109 出力波形 (XOB3AT)

●Normal Type

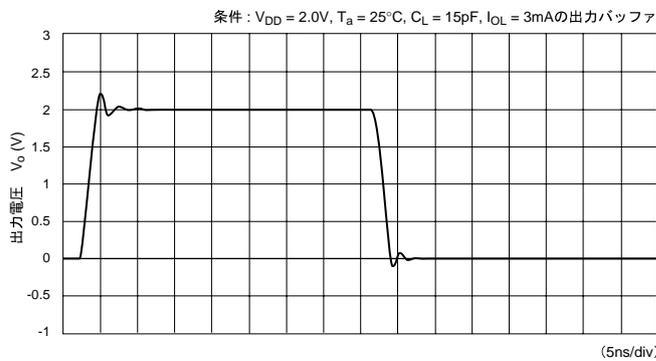


図 A1-110 出力波形 (XOB3T)

●Low Noise Type

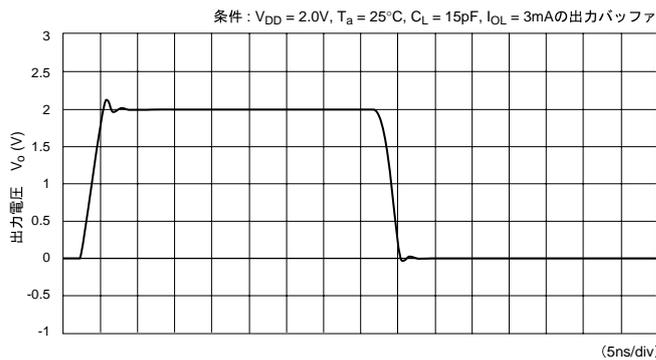


図 A1-111 出力波形 (XOB3BT)

付録 A2 特性グラフ (XF タイプ)

A2.1 入出力バッファ特性 (3.3V 動作時)

A2.1.1 入力バッファ特性 (3.3V±0.3V)

- 標準セル入力バッファ

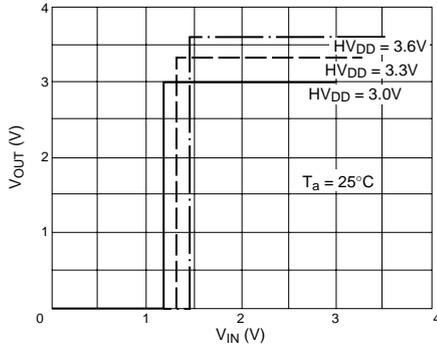


図 A2-1 入力特性 (LVTTTL)

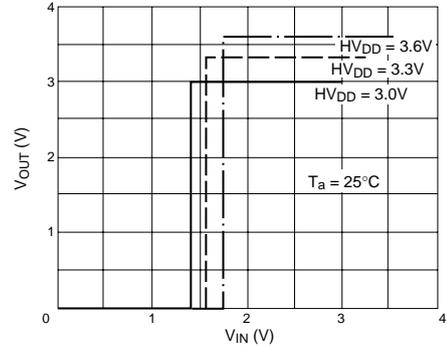


図 A2-2 入力特性 (CMOS)

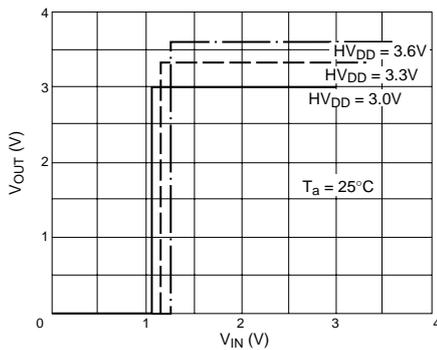


図 A2-3 入力特性 (PCI-3V)

- シュミットトリガーセル入力バッファ

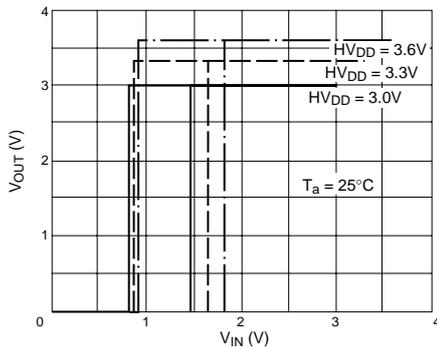


図 A2-4 入力特性 (LVTTTL Schmitt)

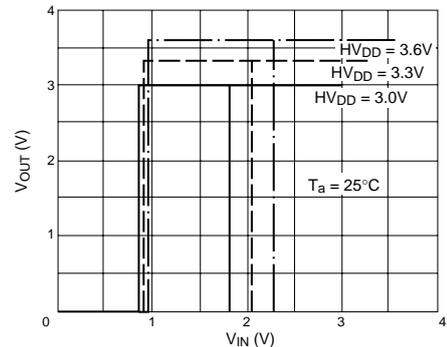


図 A2-5 入力特性 (CMOS Schmitt)

A2.1.2 入力貫通電流 (3.3V±0.3V)

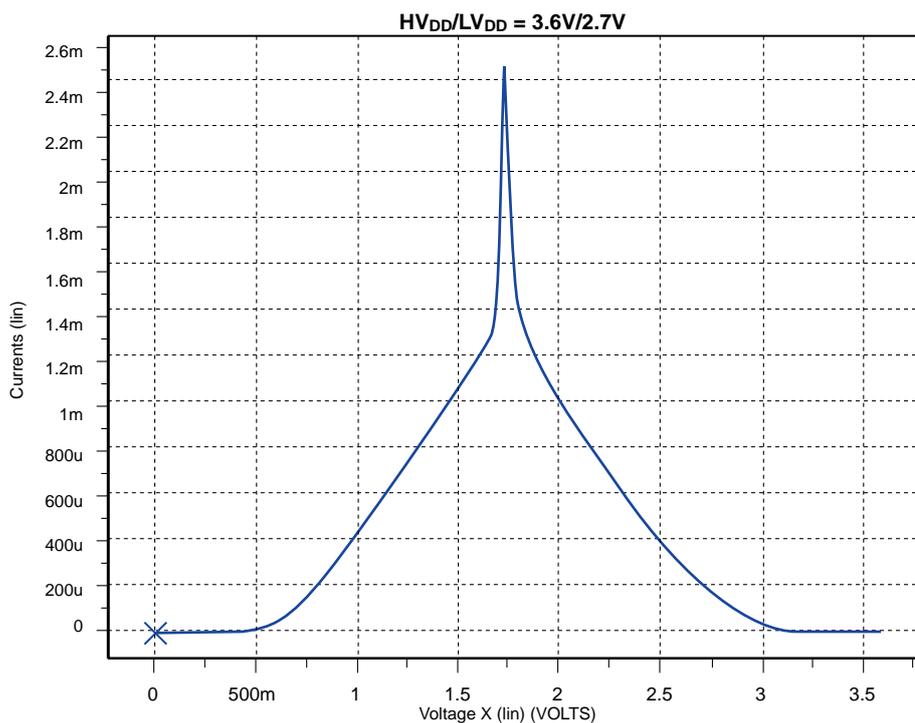


図 A2-6 入力貫通電流 (CMOS)

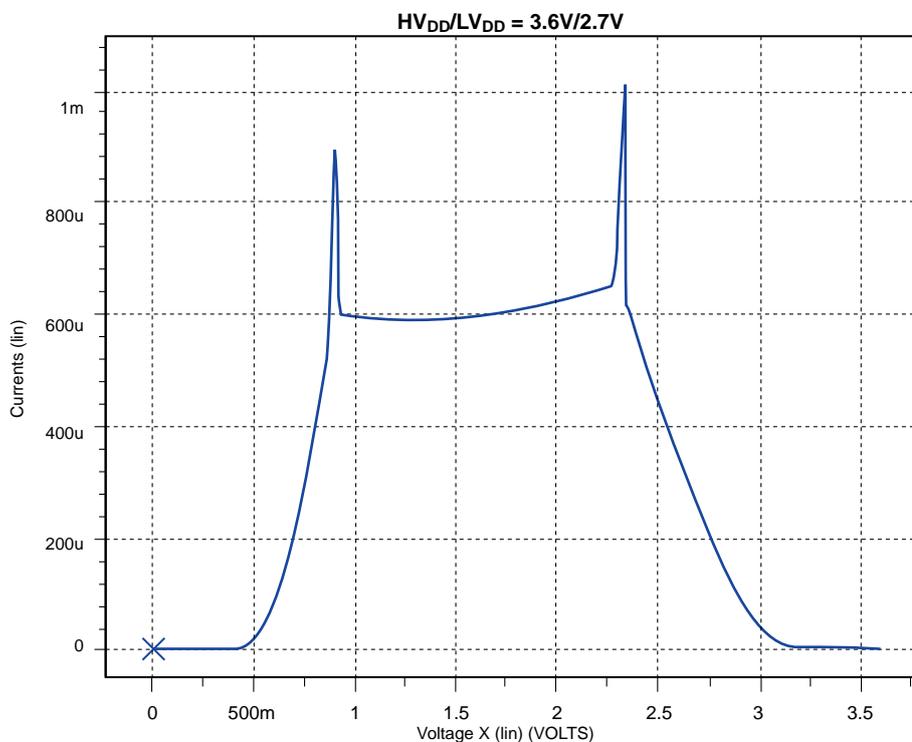


図 A2-7 入力貫通電流 (CMOS Schmitt)

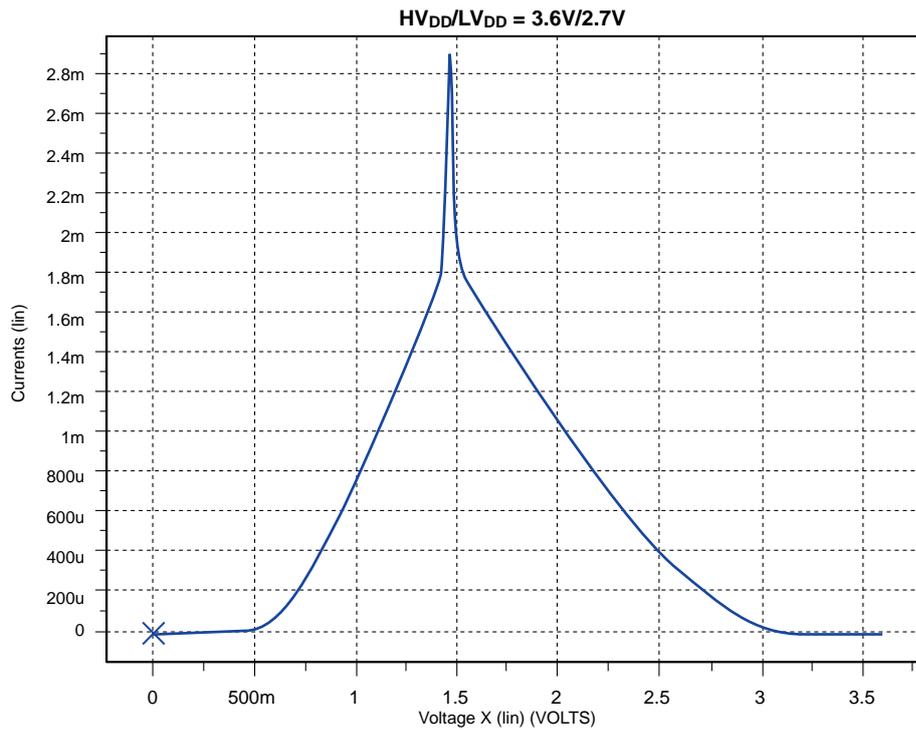


図 A2-8 入力貫通電流 (LVTTL)

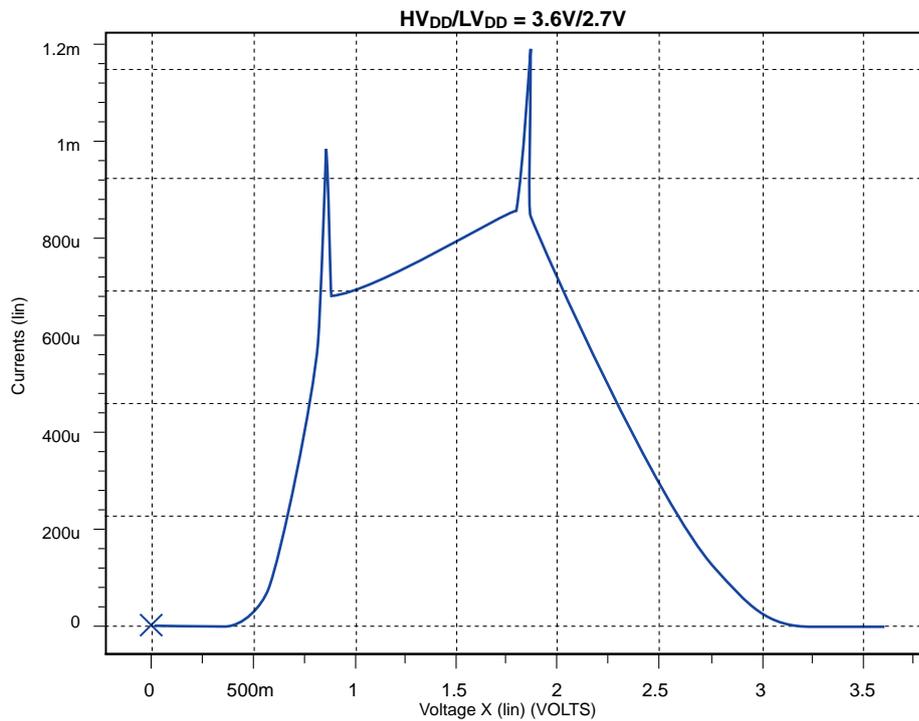


図 A2-9 入力貫通電流 (LVTTL Schmitt)

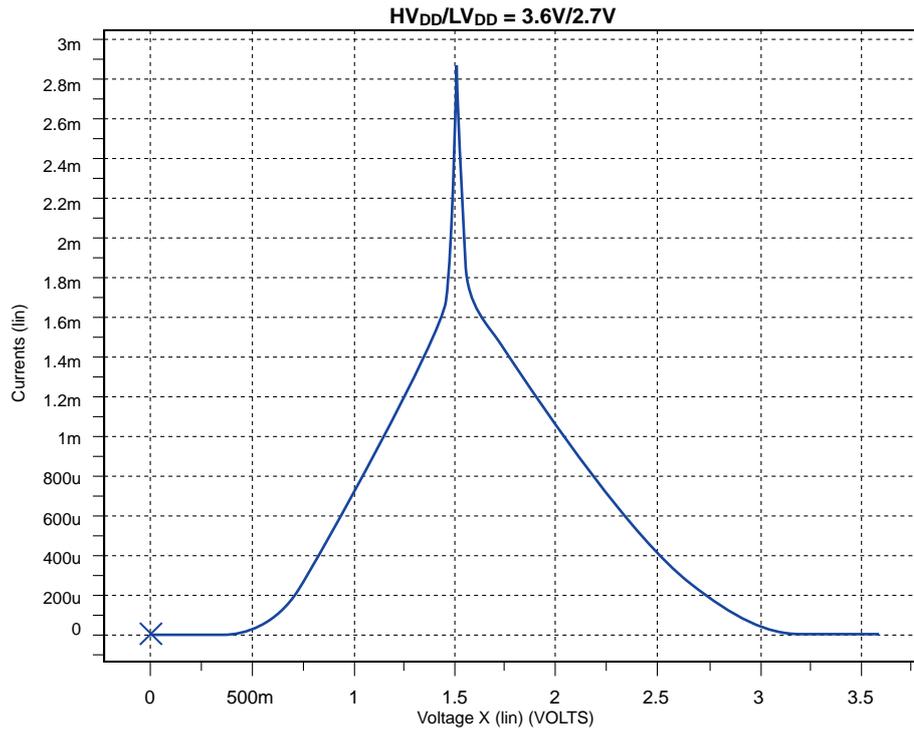


図 A2-10 入力貫通電流 (PCI)

A2.1.3 出力バッファ特性 (3.3V±0.3V)

(1) 出力バッファ規格一覧表

表 A2-1 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-12	12	mA
PCI	PCI 規格に準ずる		mA

注) *1 : $V_{OH}=HV_{DD}-0.4V$ ($HV_{DD}=3.3V$)*2 : $V_{OL}=0.4V$ ($HV_{DD}=3.3V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

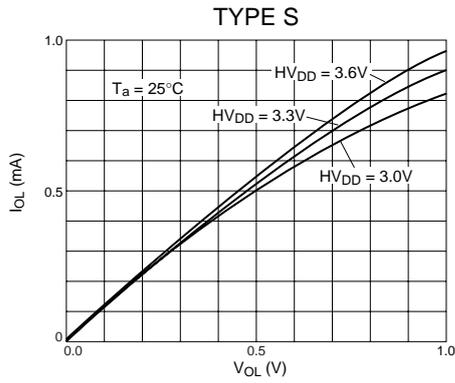


図 A2-11

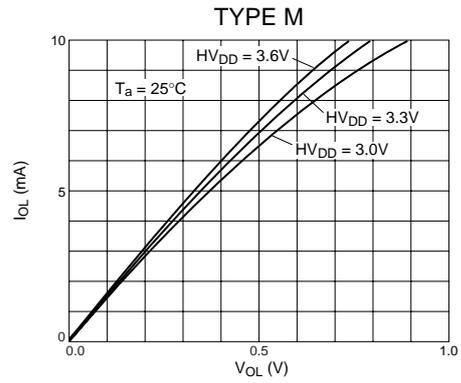


図 A2-12

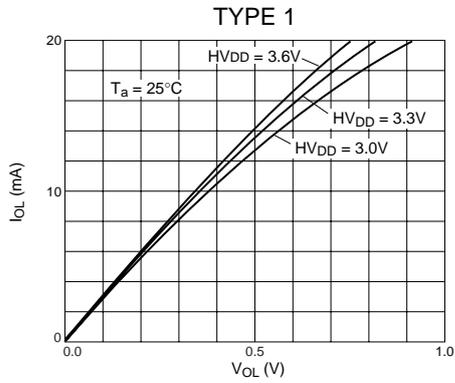


図 A2-13

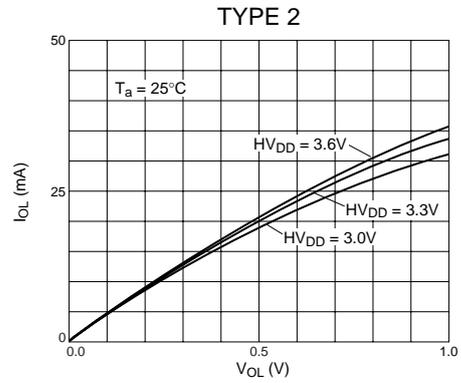


図 A2-14

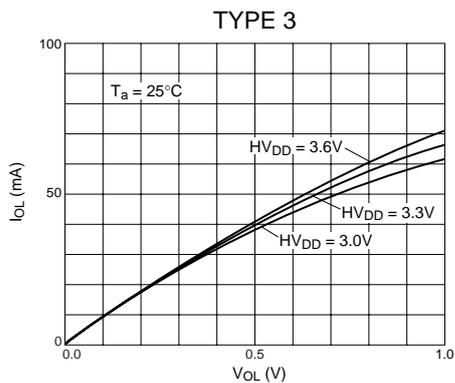


図 A2-15

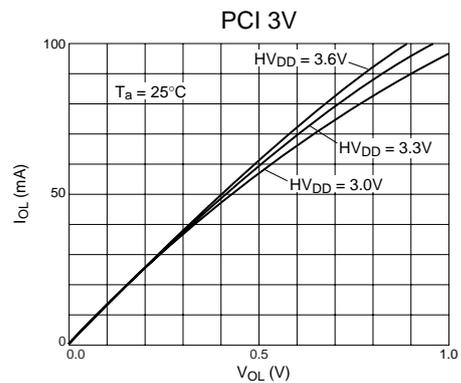


図 A2-16

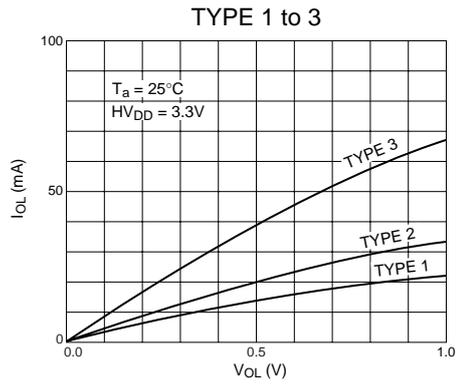


図 A2-17

● I_{OH} - V_{OH}

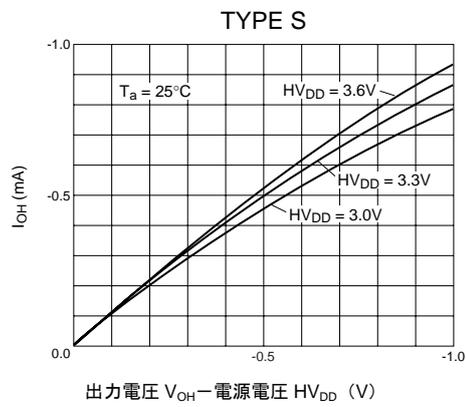


図 A2-18

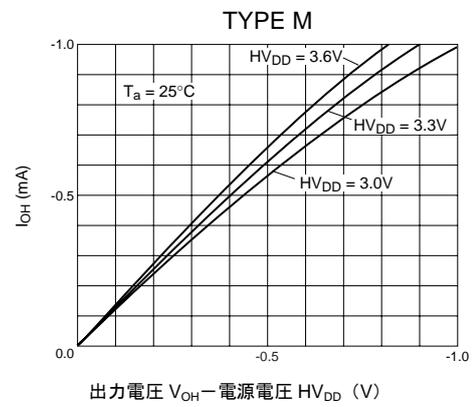


図 A2-19

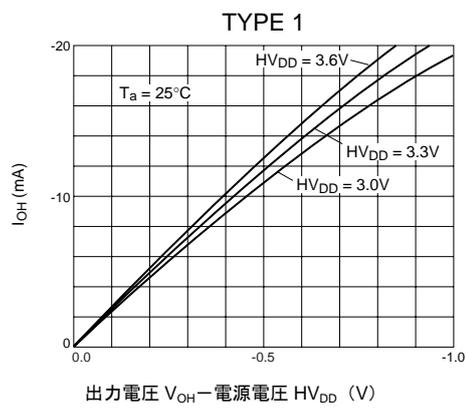


図 A2-20

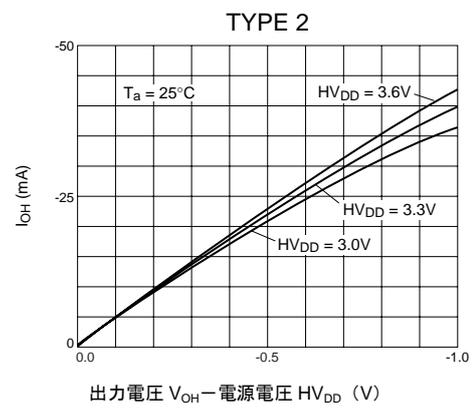


図 A2-21

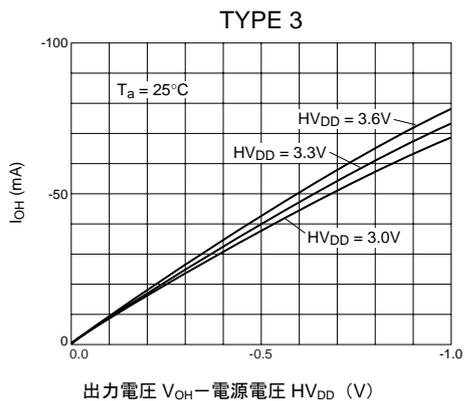


図 A2-22

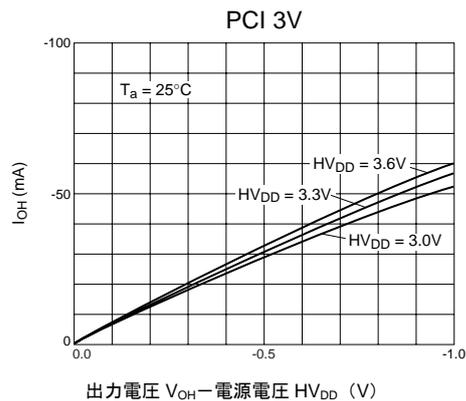


図 A2-23

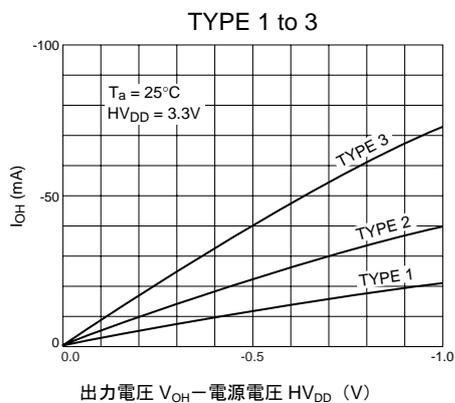


図 A2-24

(3) I_{OL} 、 I_{OH} 温度特性

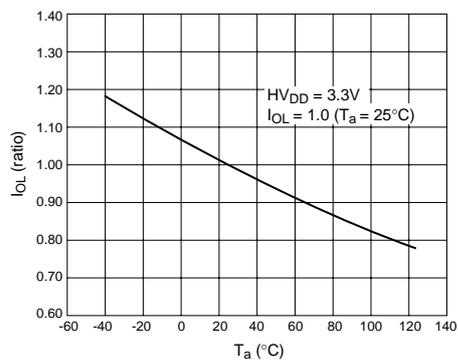


図 A2-25 周囲温度 (T_a) - 出力電流 (I_{OL})

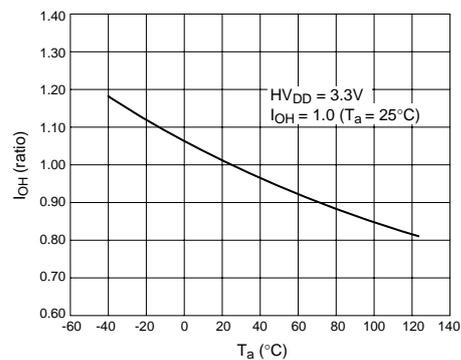


図 A2-26 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間－出力負荷容量 (C_L)

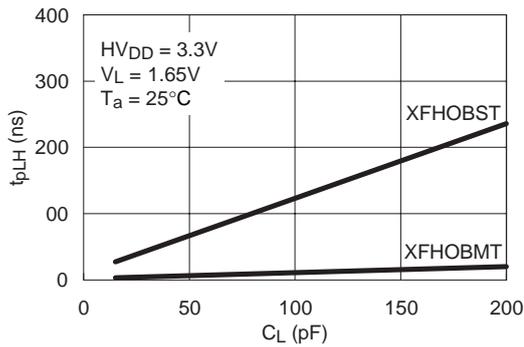


図 A2-27 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

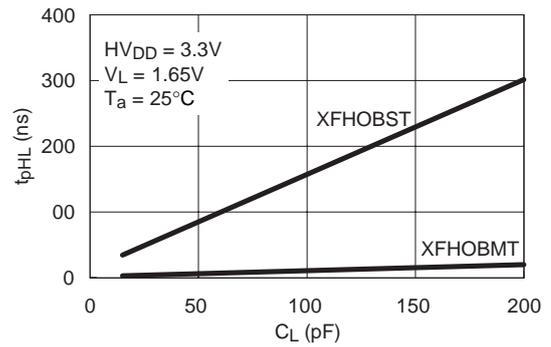


図 A2-28 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

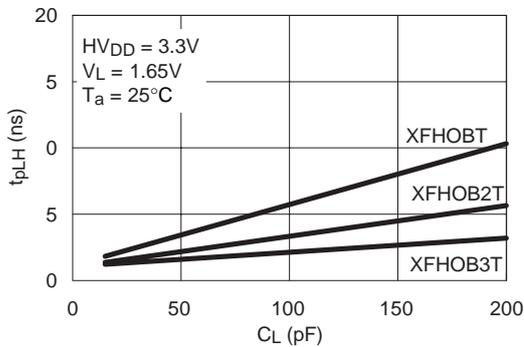


図 A2-29 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

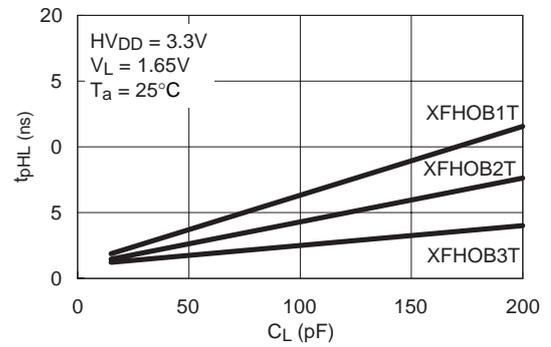


図 A2-30 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

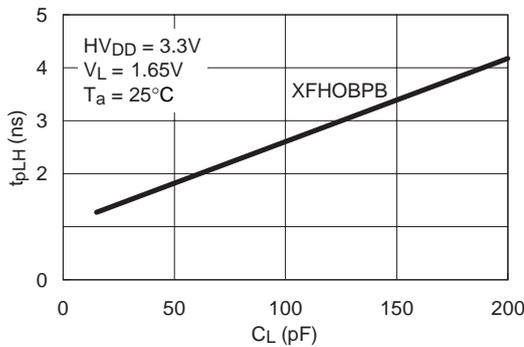


図 A2-31 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

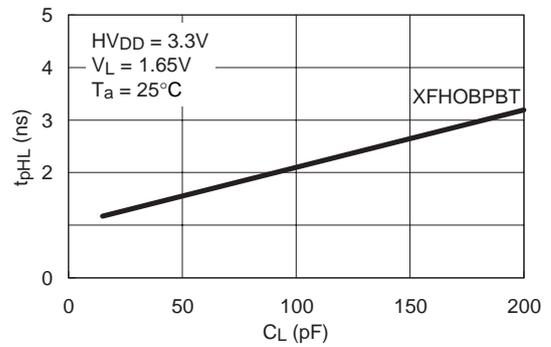


図 A2-32 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

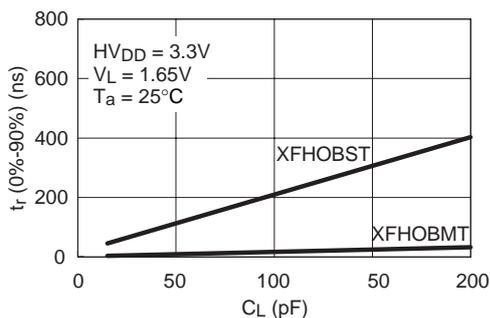


図 A2-33 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

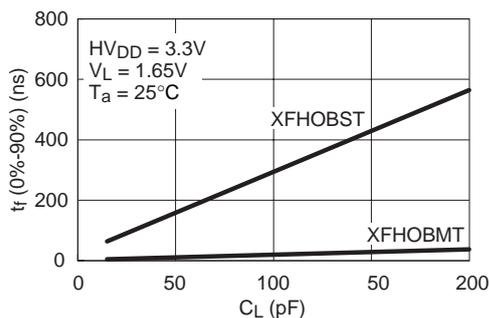


図 A2-34 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

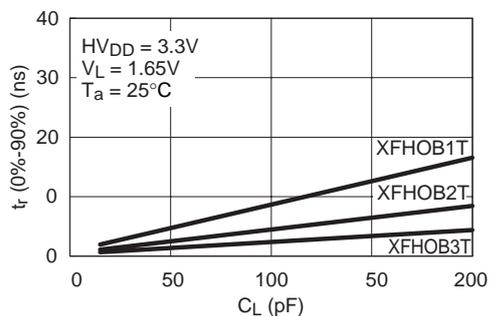


図 A2-35 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

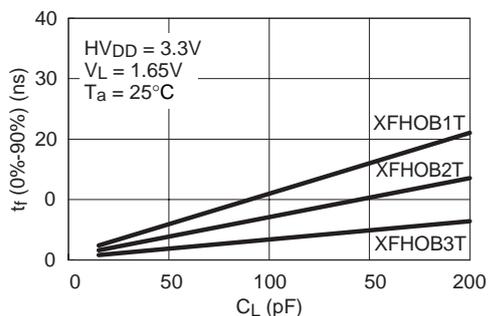


図 A2-36 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

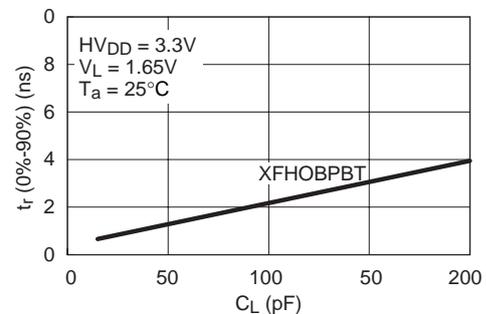


図 A2-37 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

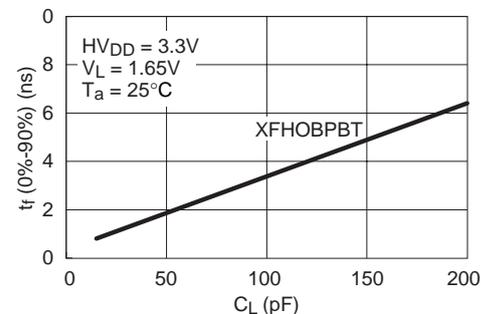


図 A2-38 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

●プルアップ特性

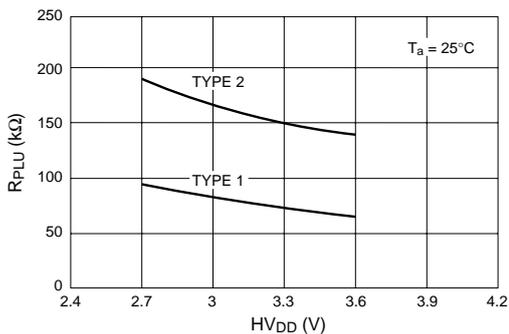


図 A2-39 プルアップ抵抗 HV_{DD} 依存性

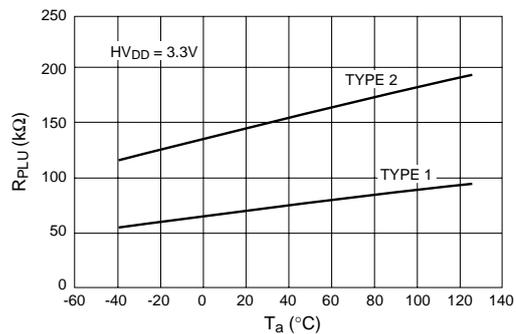


図 A2-40 プルアップ抵抗周囲温度依存性

●プルダウン特性

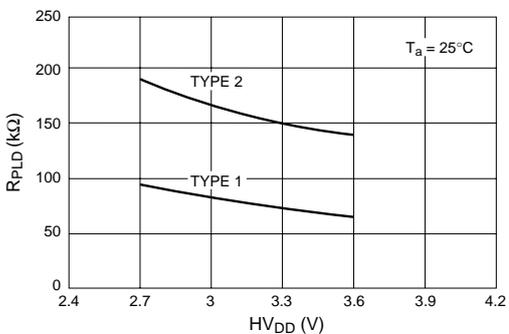


図 A2-41 プルダウン抵抗 HV_{DD} 依存性

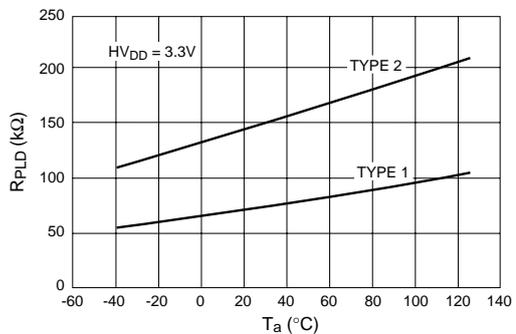


図 A2-42 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

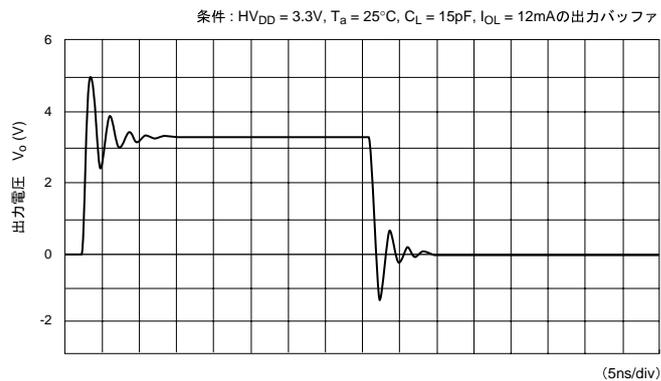


図 A2-43 出力波形 (XFHOB3AT)

●Normal Type

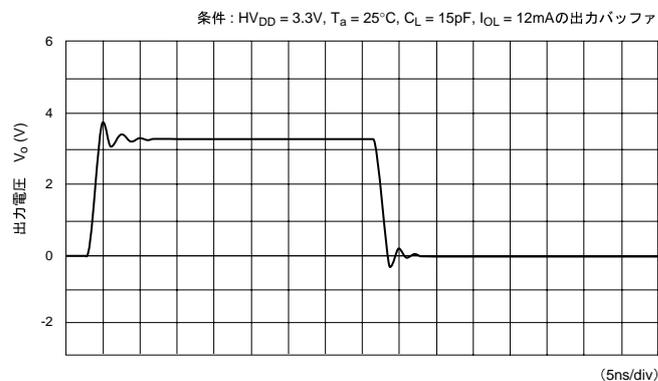


図 A2-44 出力波形 (XFHOB3T)

●Low Noise Type

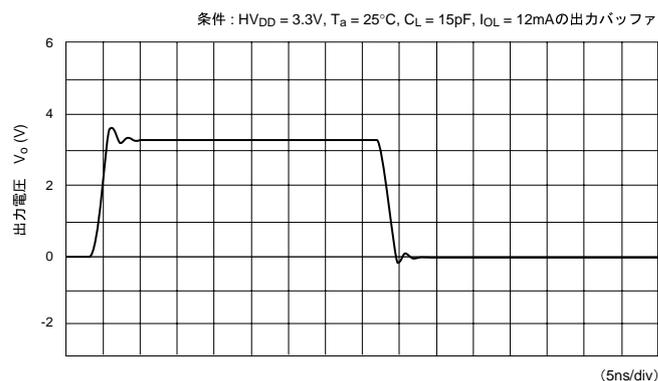


図 A2-45 出力波形 (XFHOB3BT)

A2.2 入出力バッファ特性 (2.5V 動作時)

A2.2.1 入力バッファ特性 (2.5V±0.2V)

- 標準セル入力バッファ

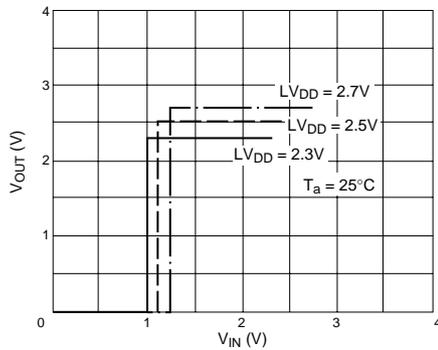


図 A2-46 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

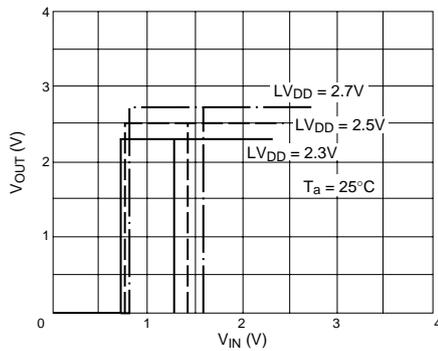


図 A2-47 入力特性 (CMOS Schmitt)

A2.2.2 入力貫通電流 (2.5V±0.2V)

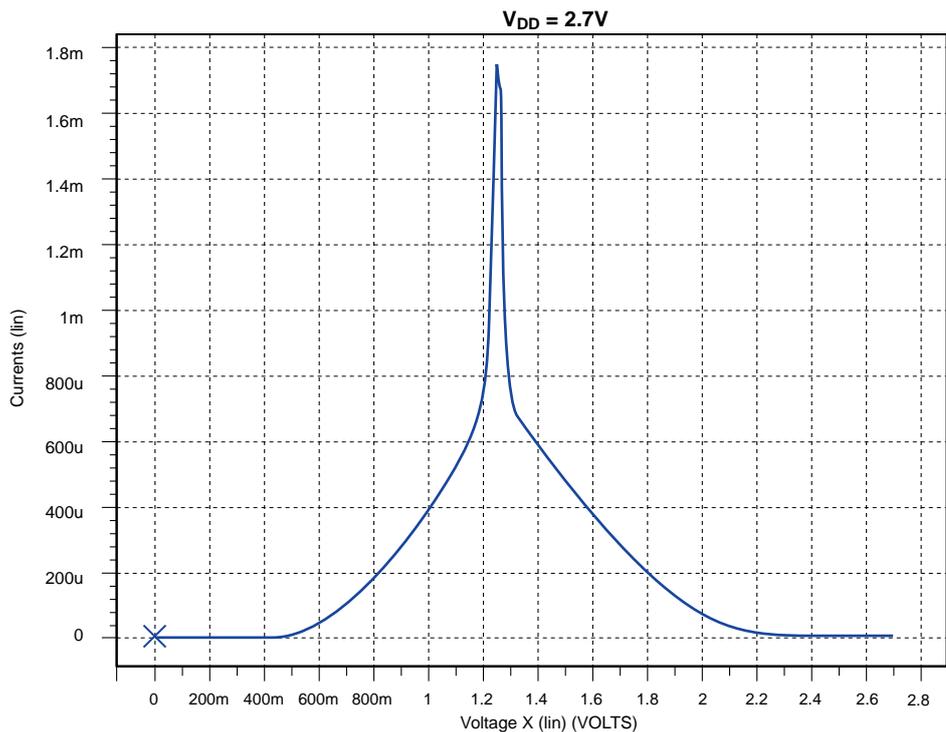


図 A2-48 入力貫通電流 (CMOS)

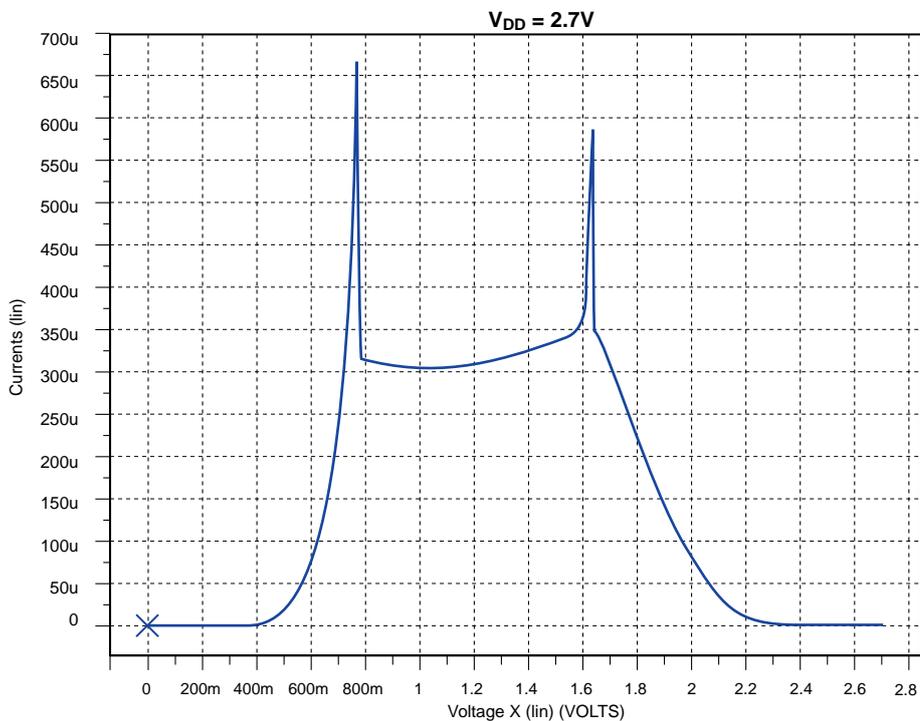


図 A2-49 入力貫通電流 (CMOS Schmitt)

A2.2.3 出力バッファ特性 (2.5V±0.2V)

(1) 出力バッファ規格一覧表

表 A2-2 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-9	9	mA

注) *1 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$)

*2 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

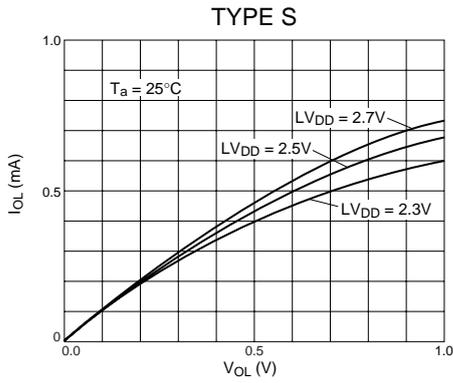


図 A2-50

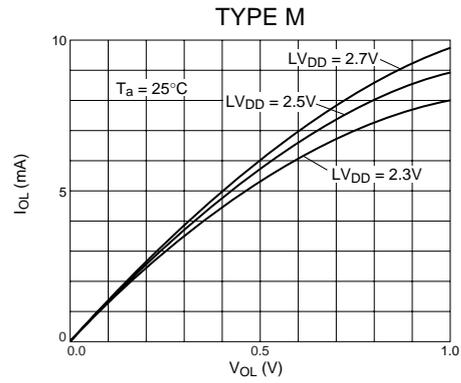


図 A2-51

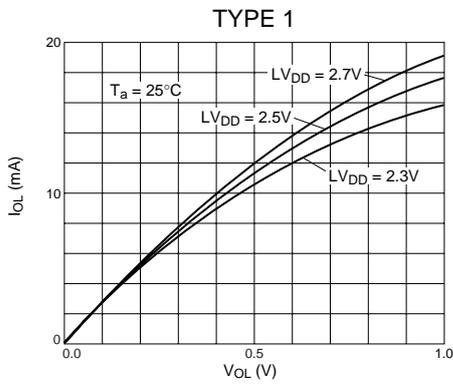


図 A2-52

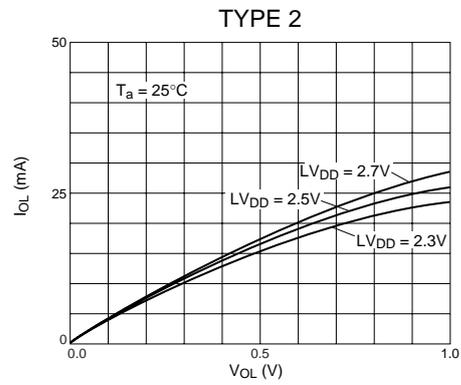


図 A2-53

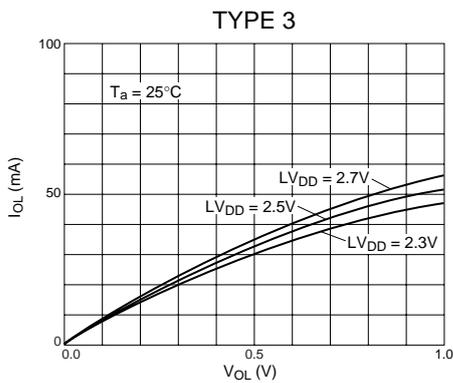


図 A2-54

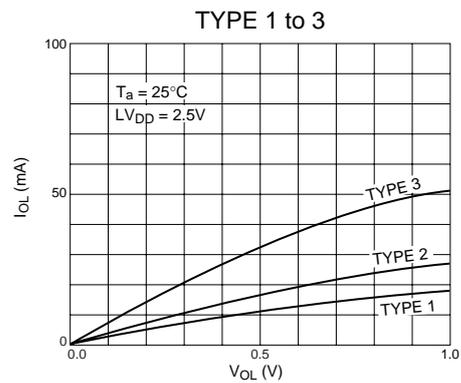


図 A2-55

● I_{OH} - V_{OH}

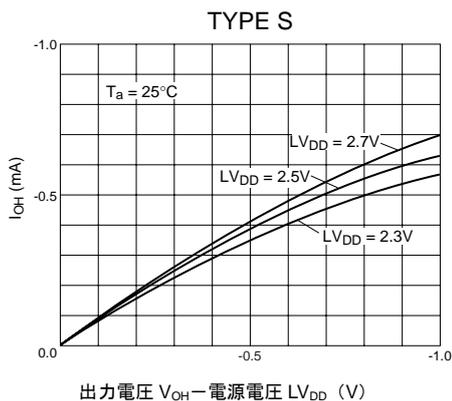


図 A2-56

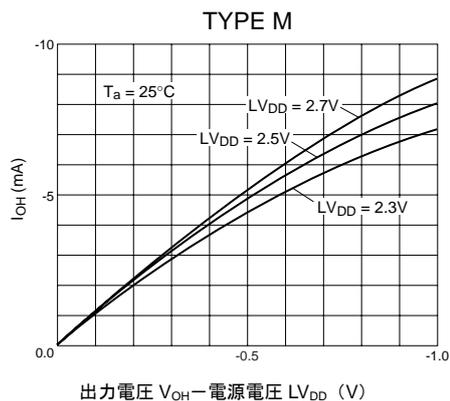


図 A2-57

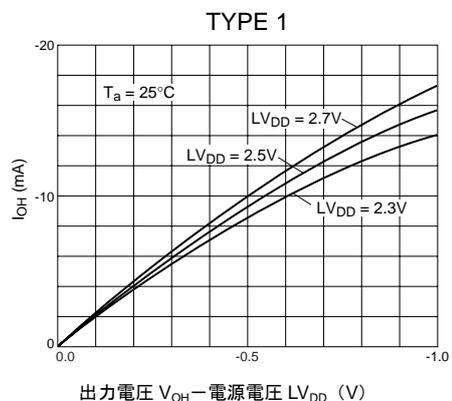


図 A2-58

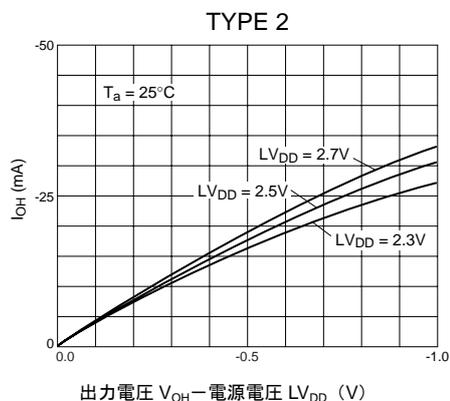


図 A2-59

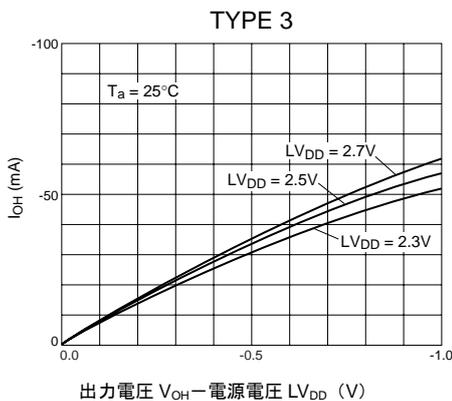
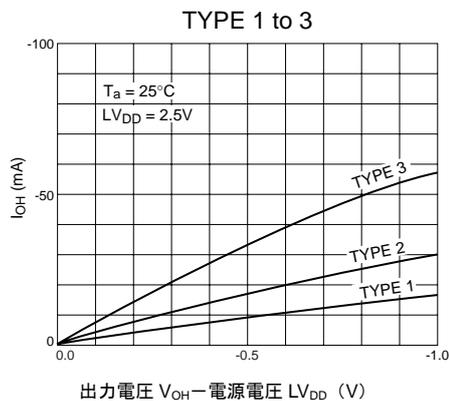


図 A2-60



A2-61

(3) I_{OL} 、 I_{OH} 温度特性

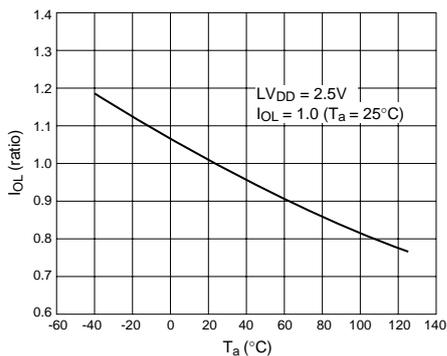


図 A2-62 周囲温度 (T_a) - 出力電流 (I_{OL})

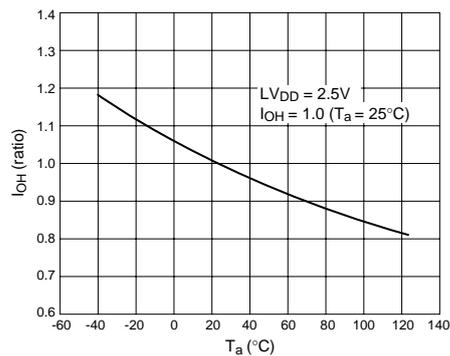


図 A2-63 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間 - 出力負荷容量 (C_L)

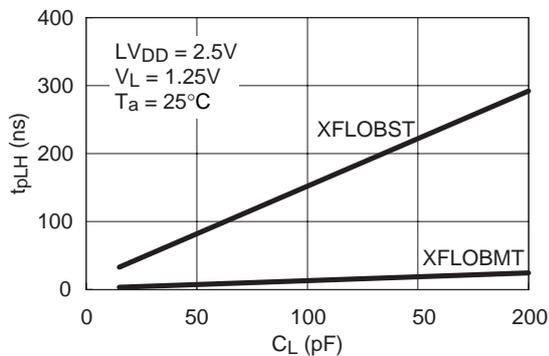


図 A2-64 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

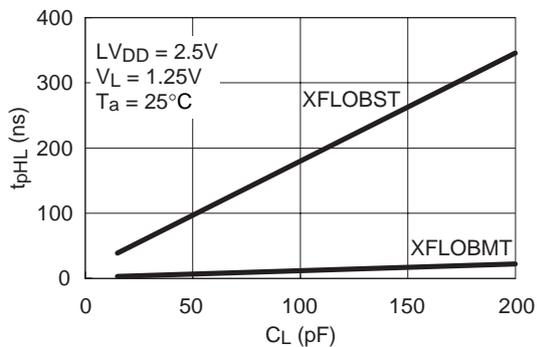


図 A2-65 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

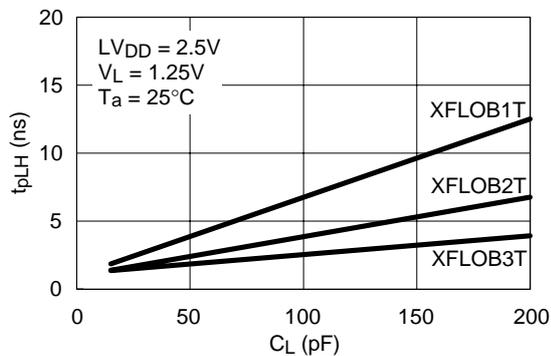


図 A2-66 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

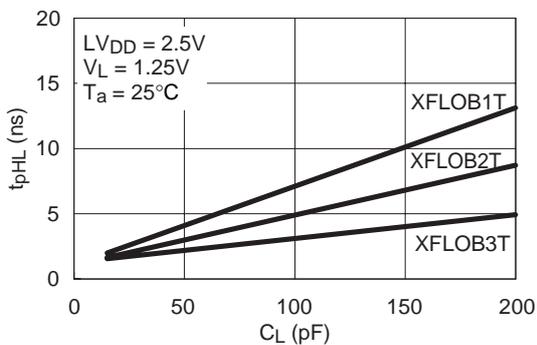


図 A2-67 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (CL)

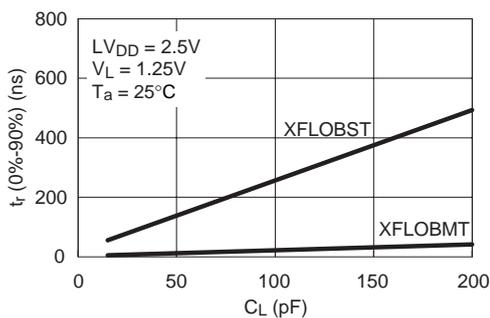


図 A2-68 立ち上がり時間 (tr) VS. 出力負荷容量 (CL)

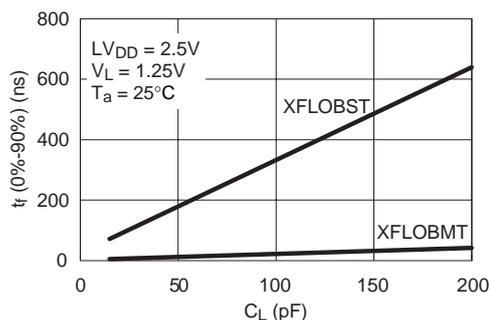


図 A2-69 立ち下がり時間 (tf) VS. 出力負荷容量 (CL)

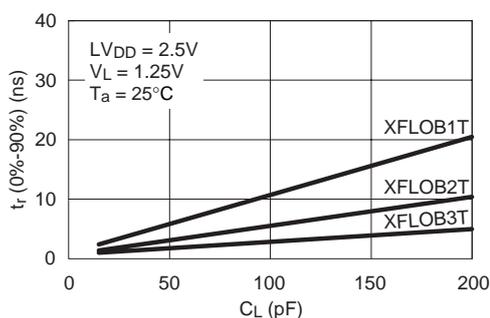


図 A2-70 立ち上がり時間 (tr) VS. 出力負荷容量 (CL)

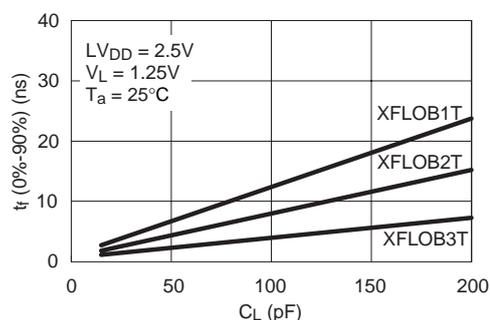


図 A2-71 立ち下がり時間 (tf) VS. 出力負荷容量 (CL)

(6) プルアップ/プルダウン特性

●プルアップ特性

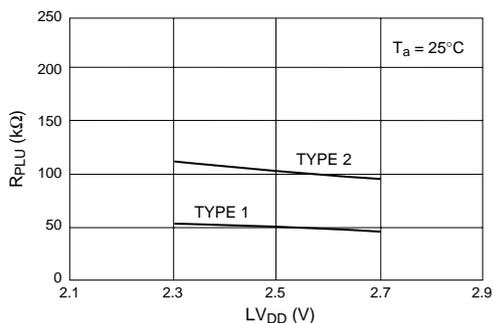


図 A2-72 プルアップ抵抗 LV_{DD} 依存性

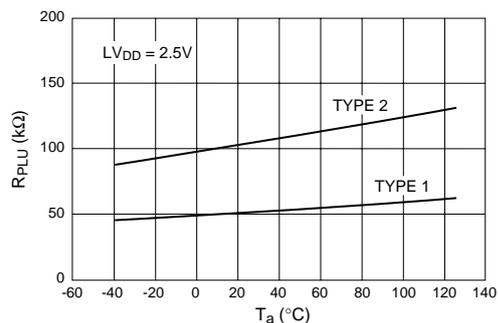


図 A2-73 プルアップ抵抗周囲温度依存性

●プルダウン特性

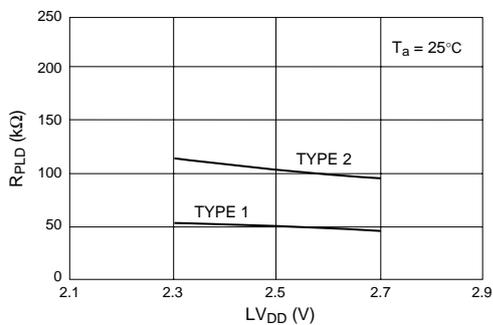


図 A2-74 プルダウン抵抗 LV_{DD} 依存性

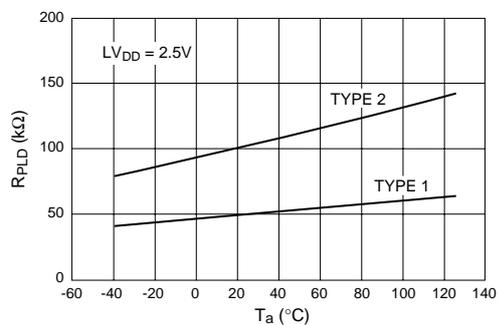


図 A2-75 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

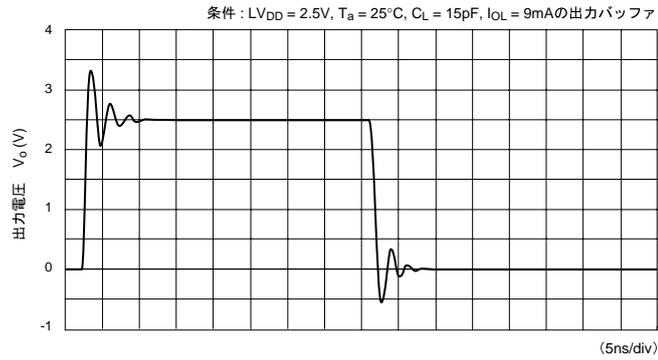


図 A2-76 出力波形 (XFLOB3AT)

●Normal Type

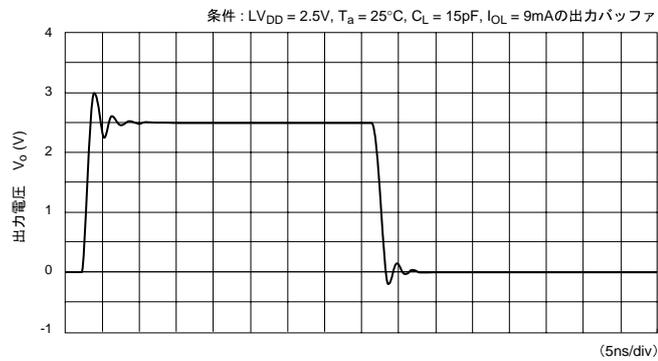


図 A2-77 出力波形 (XFLOB3T)

●Low Noise Type

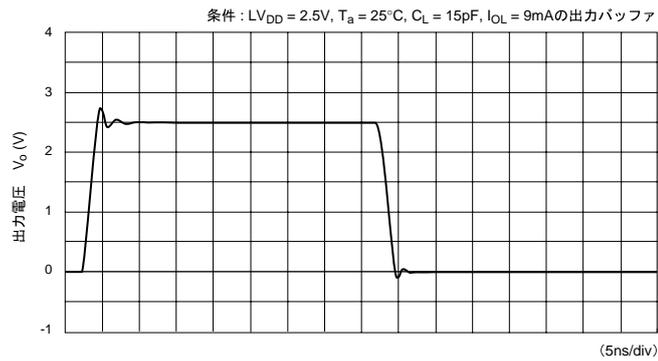


図 A2-78 出力波形 (XFLOB3BT)

A2.3 入出力バッファ特性 (2.0V 動作時)

A2.3.1 入力バッファ特性 (2.0V±0.2V)

- 標準セル入力バッファ

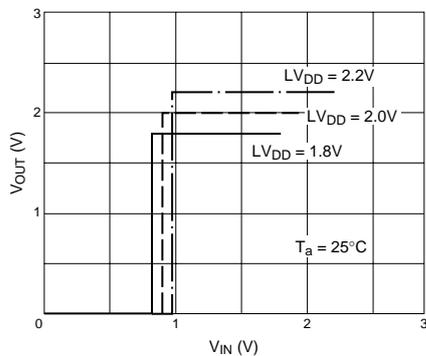


図 A2-79 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

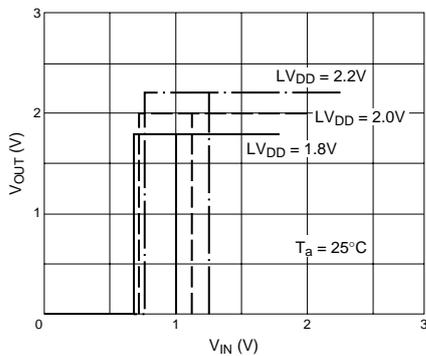


図 A2-80 入力特性 (CMOS Schmitt)

A2.3.2 入力貫通電流 (2.0V±0.2V)

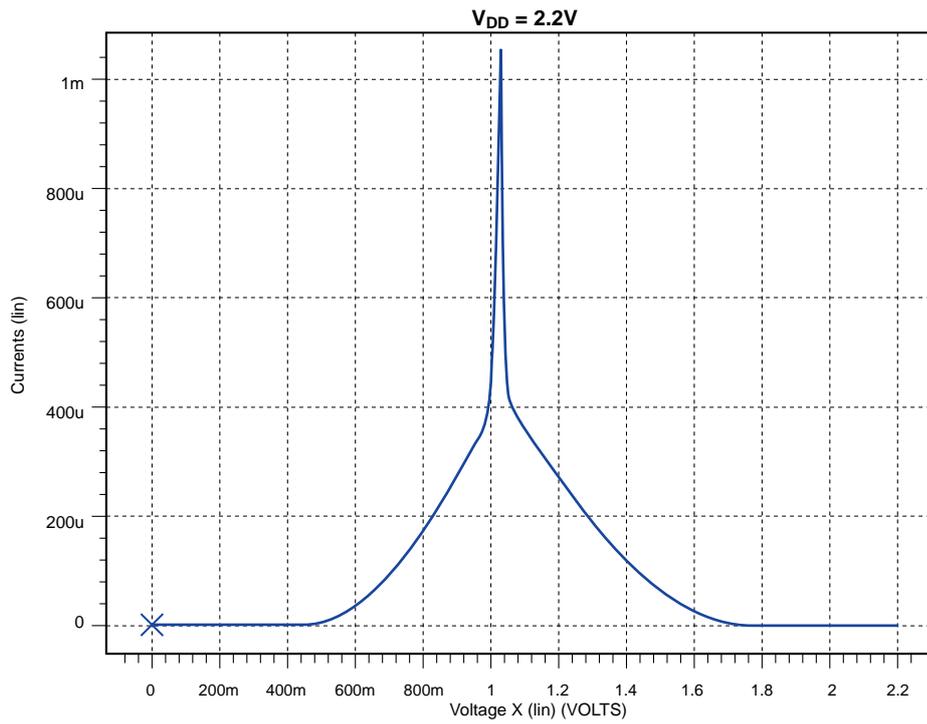


図 A2-81 入力貫通電流 (CMOS)

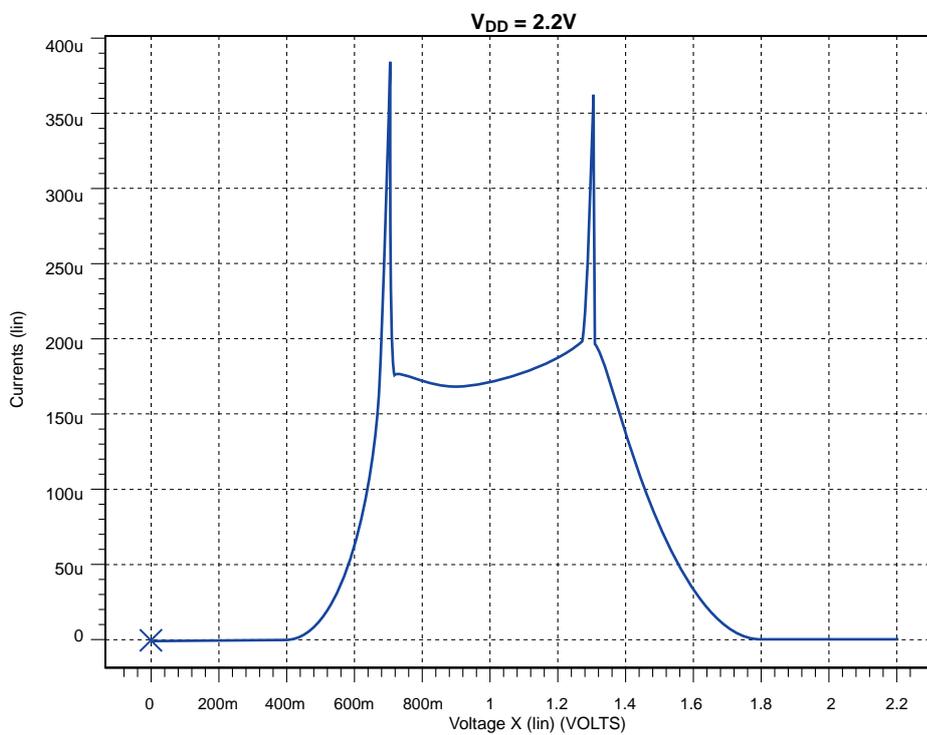


図 A2-82 入力貫通電流 (CMOS Schmitt)

A2.3.3 出力バッファ特性 (2.0V±0.2V)

(1) 出力バッファ規格一覧表

表 A2-3 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.05	0.05	mA
Type M	-0.3	0.3	mA
Type 1	-1	1	mA
Type 2	-2	2	mA
Type 3	-3	3	mA

注) *1 : $V_{OH}=V_{DD}-0.2V$ ($V_{DD}=2.0V$)*2 : $V_{OL}=0.2V$ ($V_{DD}=2.0V$)

(2) I_{OL} - V_{OL} 、 I_{OH} - V_{OH}

● I_{OL} - V_{OL}

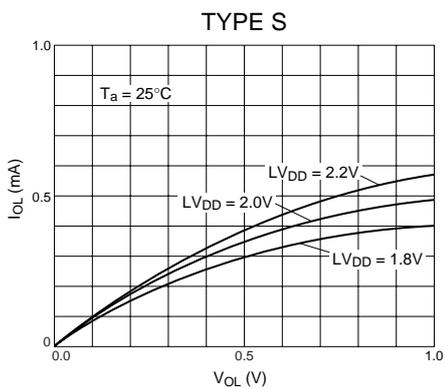


図 A2-83

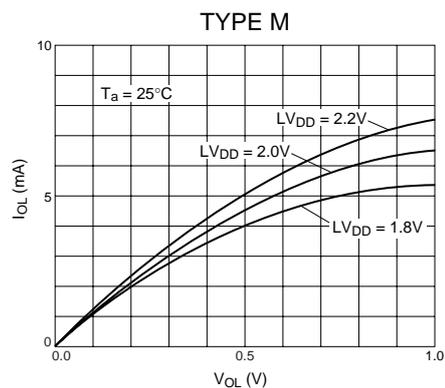


図 A2-84

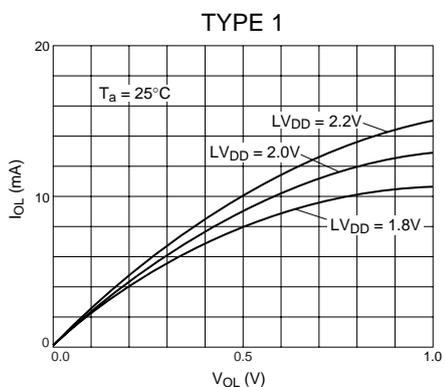


図 A2-85

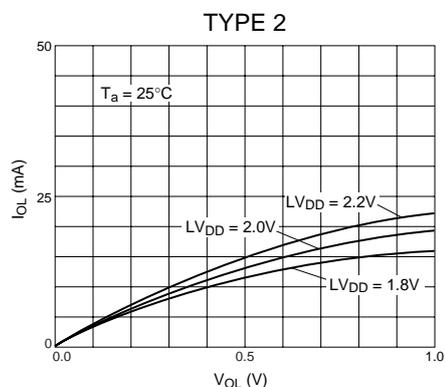


図 A2-86

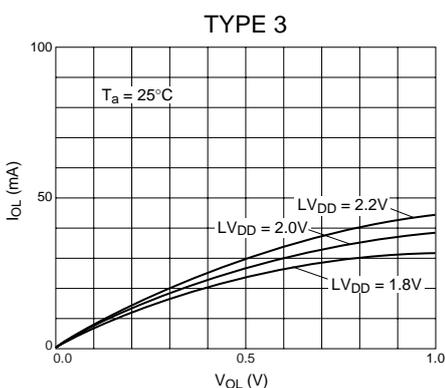


図 A2-87

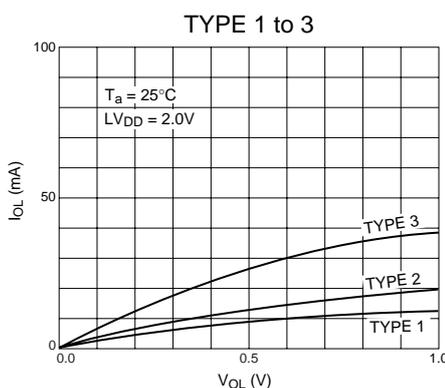


図 A2-88

● I_{OH} - V_{OH}

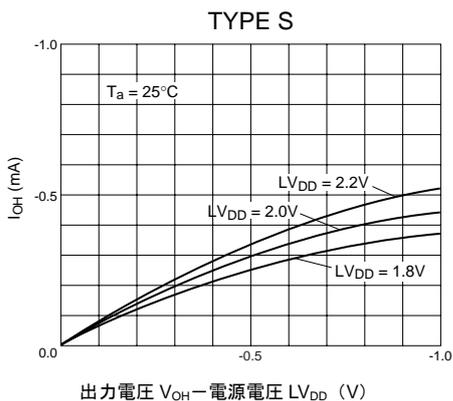


図 A2-89

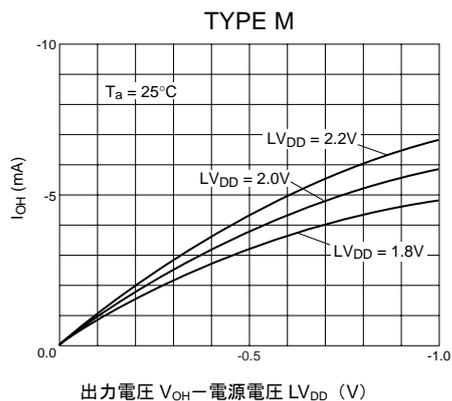


図 A2-90

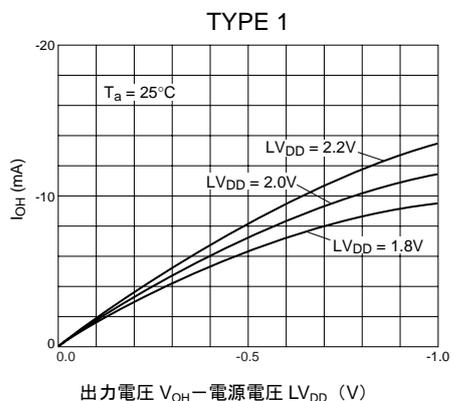


図 A2-91

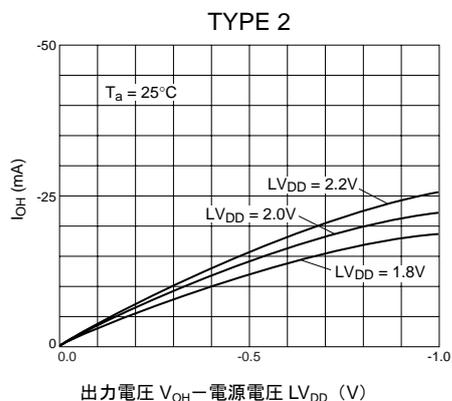


図 A2-92

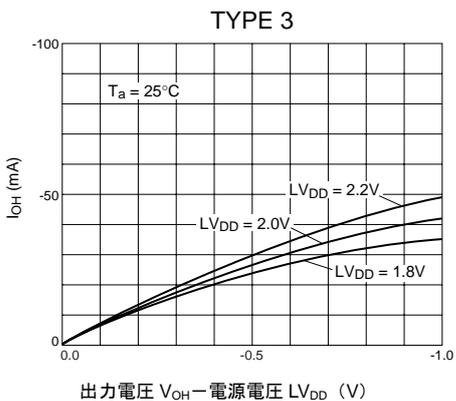


図 A2-93

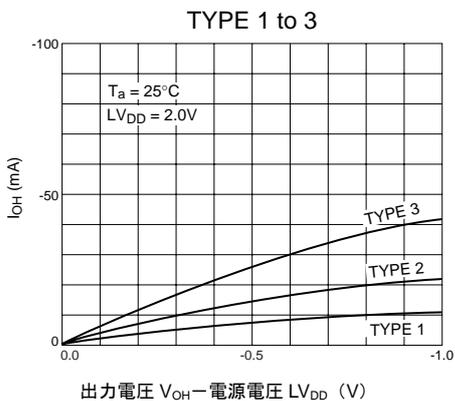


図 A2-94

(3) I_{OL} 、 I_{OH} 温度特性

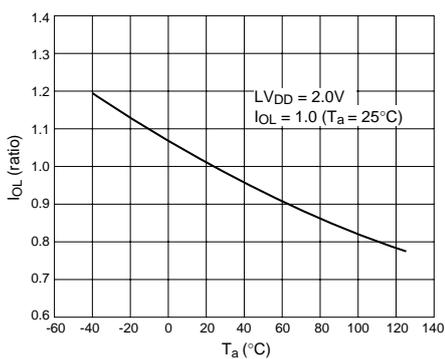


図 A2-95 周囲温度 (T_a) - 出力電流 (I_{OL})

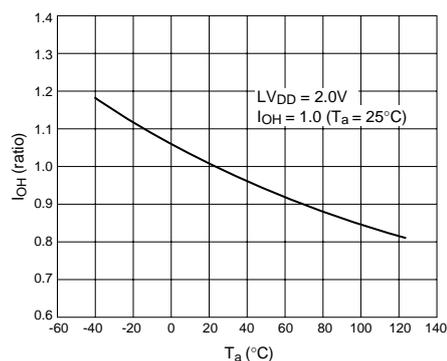


図 A2-96 周囲温度 (T_a) - 出力電流 (I_{OH})

(4) 出力遅延時間 - 出力負荷容量 (C_L)

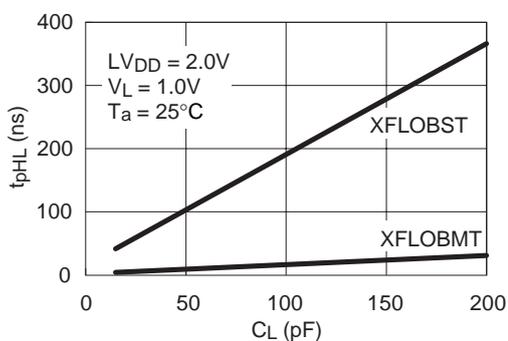


図 A2-97 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

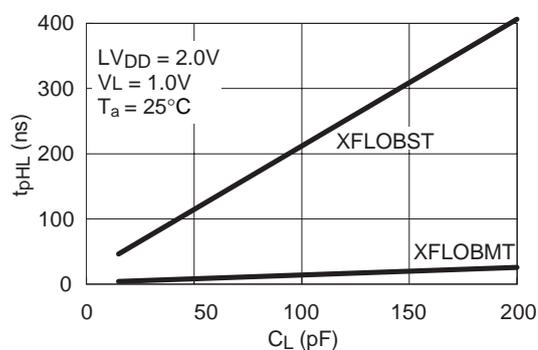


図 A2-98 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

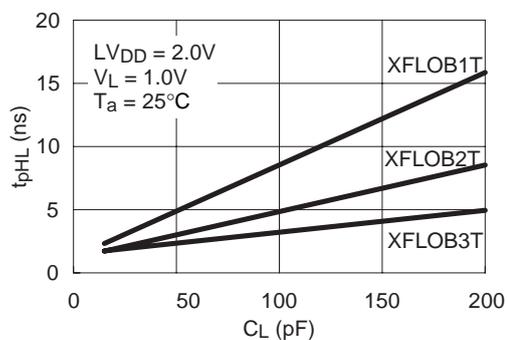


図 A2-99 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

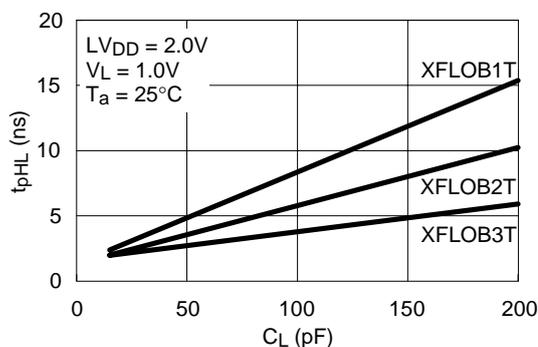


図 A2-100 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

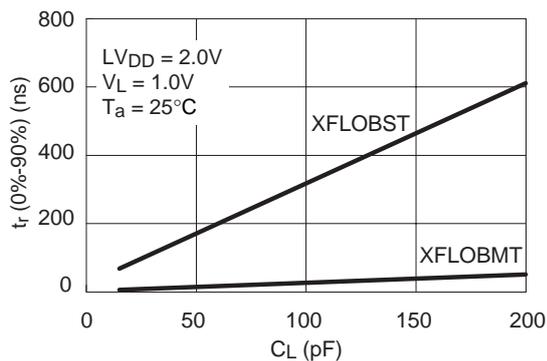


図 A2-101 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

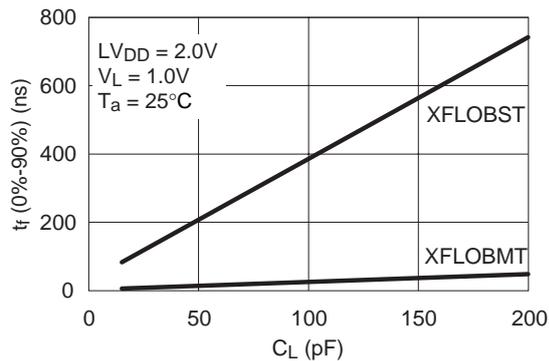


図 A2-102 立ち下がり時間 (t_r) VS. 出力負荷容量 (C_L)

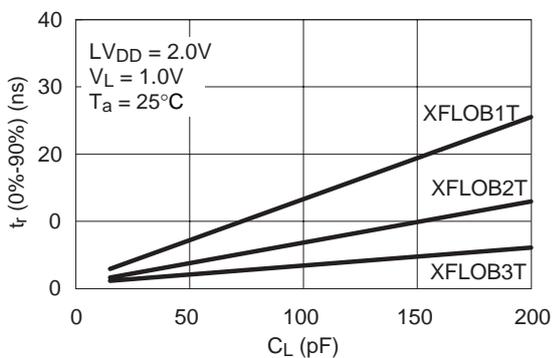


図 A2-103 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

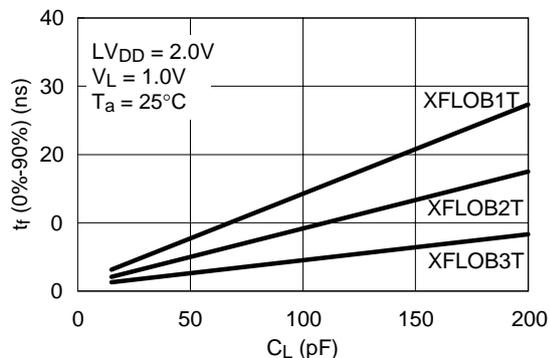


図 A2-104 立ち下がり時間 (t_r) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

●プルアップ特性

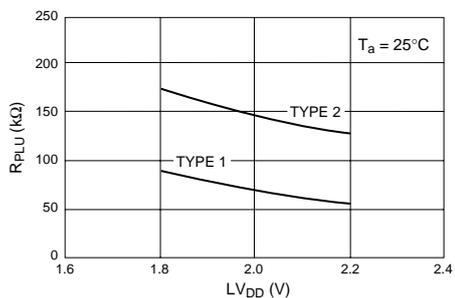


図 A2-105 プルアップ抵抗 LV_{DD} 依存性

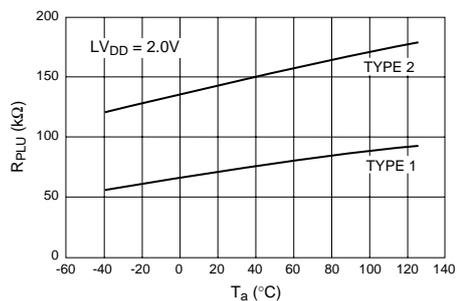


図 A2-106 プルアップ抵抗周囲温度依存性

●プルダウン特性

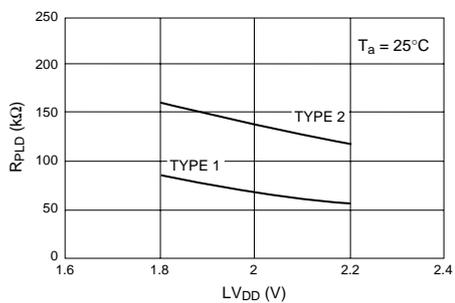


図 A2-107 プルダウン抵抗 LV_{DD} 依存性

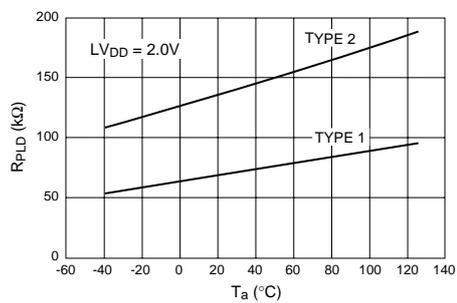


図 A2-108 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

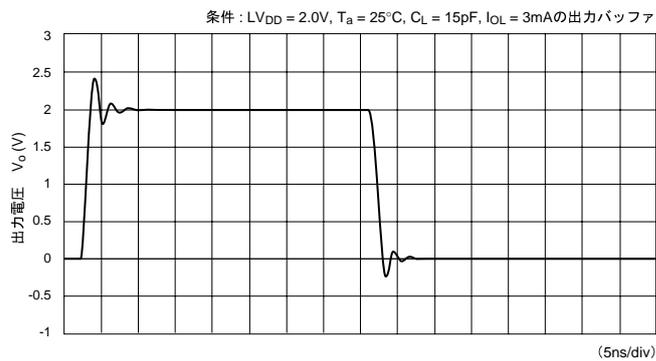


図 A2-109 出力波形 (XFLOB3AT)

●Normal Type

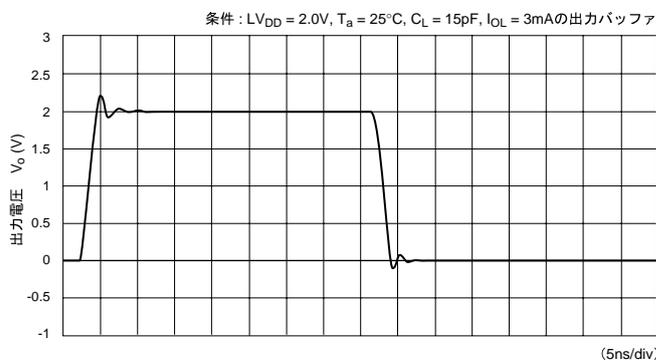


図 A2-110 出力波形 (XFLOB3T)

●Low Noise Type

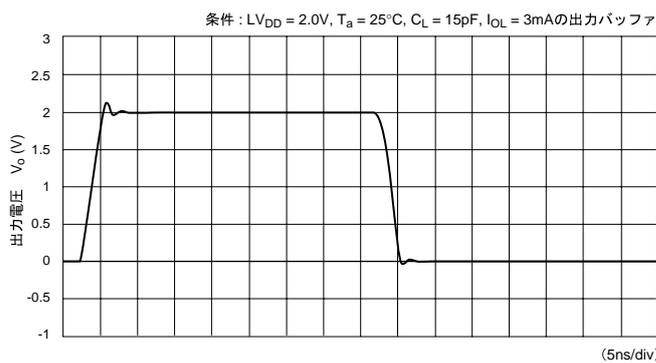


図 A2-111 出力波形 (XFLOB3BT)

A2.4 入出力バッファ特性 (5V トレラント Fail-Safe セル)

A2.4.1 入力バッファ特性 (3.3V±0.3V)

S1X60000シリーズでの5Vトレラント Fail-Safeセルの入力バッファにつきましてはNormal入力バッファと同様の特性を示しますので、「付録 A2.1.1 入力バッファ特性 (3.3V±0.3V)」を参照してください。

A2.4.2 入力貫通電流 (3.3V±0.3V)

S1X60000シリーズでの5Vトレラント Fail-Safeセルの入力バッファにつきましてはNormal入力バッファと同様の特性を示しますので、「付録 A2.1.2 入力貫通電流 (3.3V±0.3V)」を参照してください。

A2.4.3 出力バッファ特性 (3.3V±0.3V)

S1X60000 シリーズの 5V トレラント Fail-Safe セルは 5V 信号のインタフェースを実現するために、図 A2-112 に示すように Control 回路が挿入されています。したがって、通常セルと異なる I_{OL} 、 I_{OH} 特性となりますので、仕様のさいには注意してください。

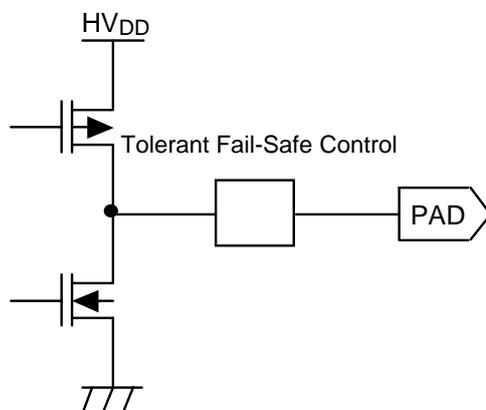


図 A2-112 5V トレラント Fail-Safe セルの出力バッファ構造

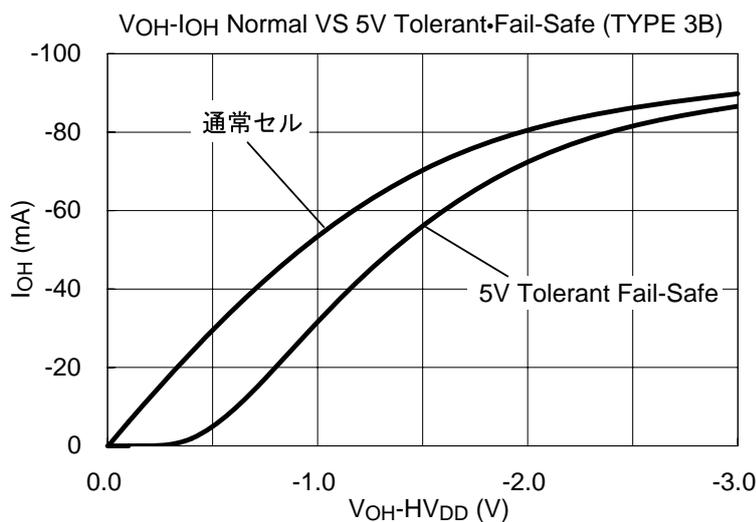


図 A2-113 5V トレラント Fail-Safe セルと通常セルの比較

- (1) 出力バッファ規格一覧表

表 A2-4 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-12	12	mA

注) *1 : $V_{OH} = HV_{DD} - 1.0V$ ($HV_{DD} = 3.3V$)

*2 : $V_{OL} = 0.4V$ ($HV_{DD} = 3.3V$)

(2) $I_{OL}-V_{OL}$ 、 $I_{OH}-V_{OH}$

● $I_{OL}-V_{OL}$

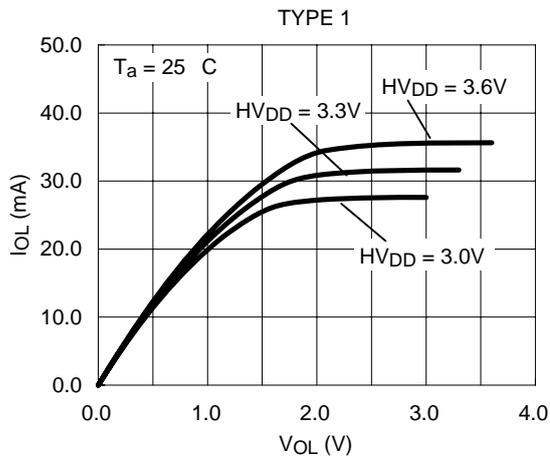


図 A2-114

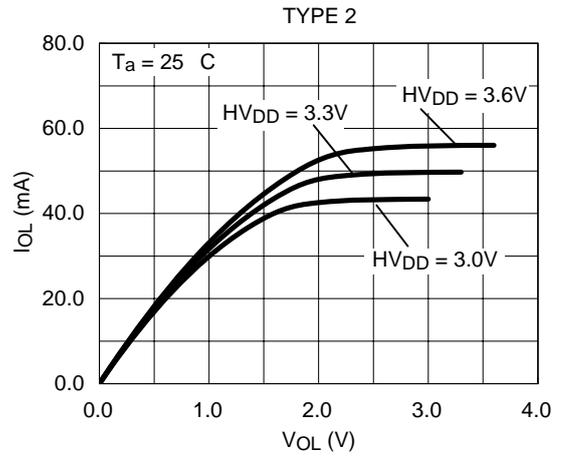


図 A2-115

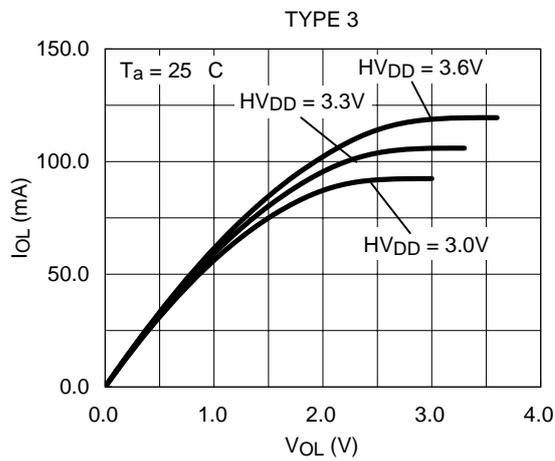


図 A2-116

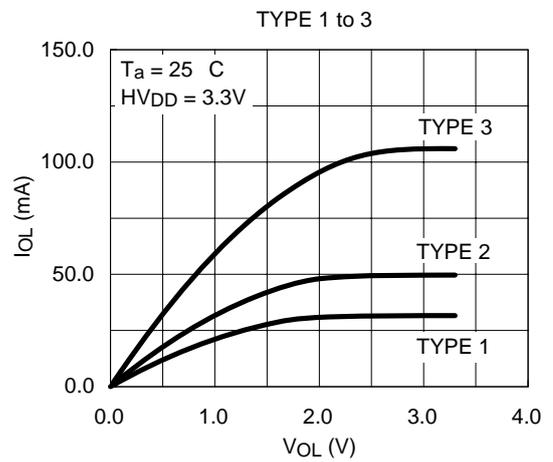


図 A2-117

● I_{OH} - V_{OH}

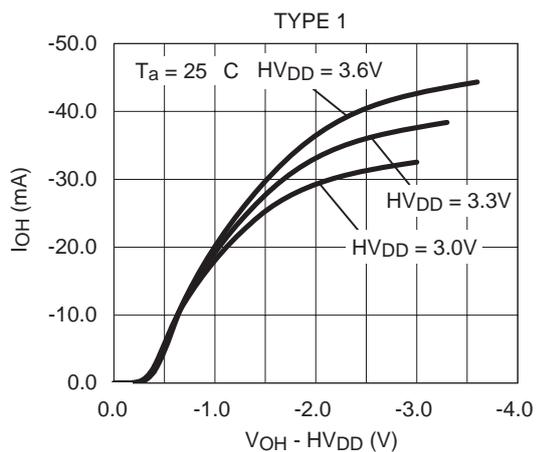


図 A2-118

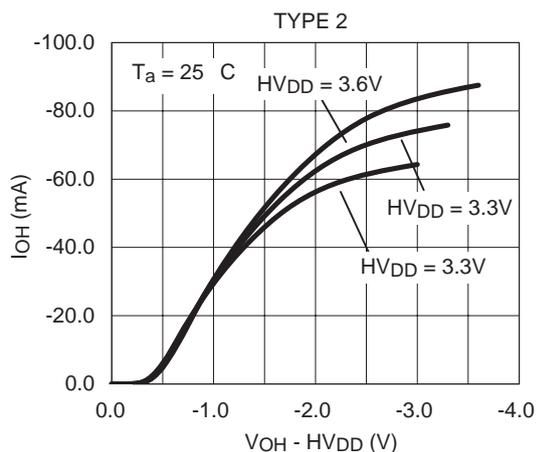


図 A2-119

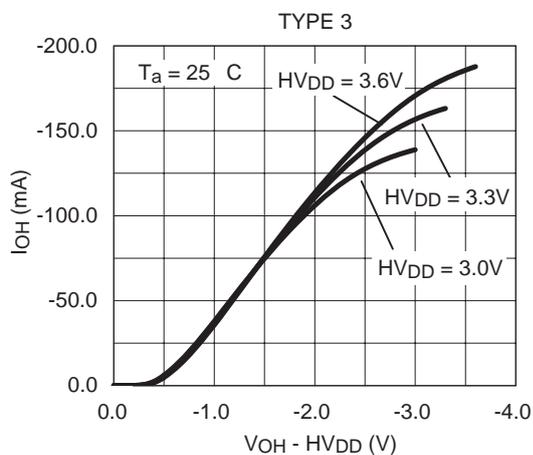


図 A2-120

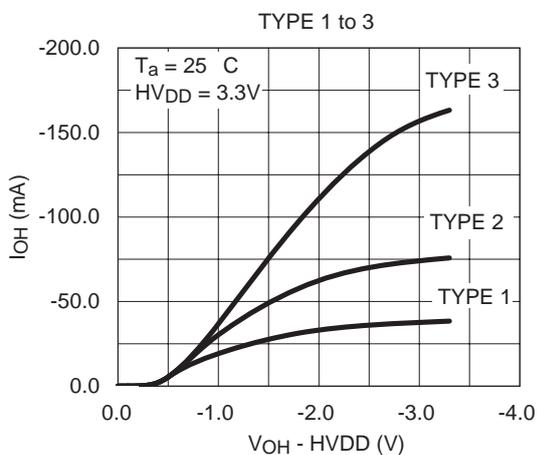


図 A2-121

(3) I_{OL} 、 I_{OH} 温度特性

I_{OH} 、 I_{OL} の温度特性につきましては通常セルの出力バッファと同様の特性を示しますので、「付録 A2.1.3 出力バッファ特性 (3.3V±0.3V) (3) I_{OL} 、 I_{OH} 温度特性」を参照してください。

(4) 出力遅延時間－出力負荷容量 (C_L)

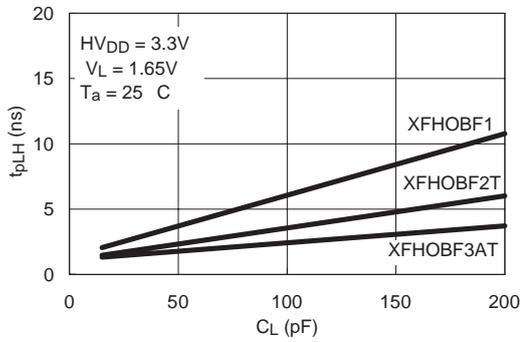


図 A2-122 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

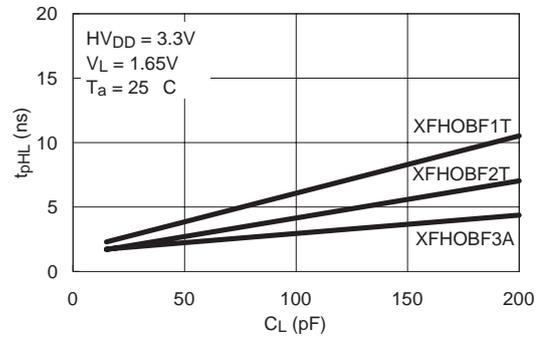


図 A2-123 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

S1X60000 シリーズの 5V トレラント Fail-Safe セルは 5V 信号のインタフェースを実現するために、図 A2-124 に示すように Control 回路が挿入されています。したがって、通常セルと異なる t_r、t_f 特性となりますので、使用のさいには注意してください。

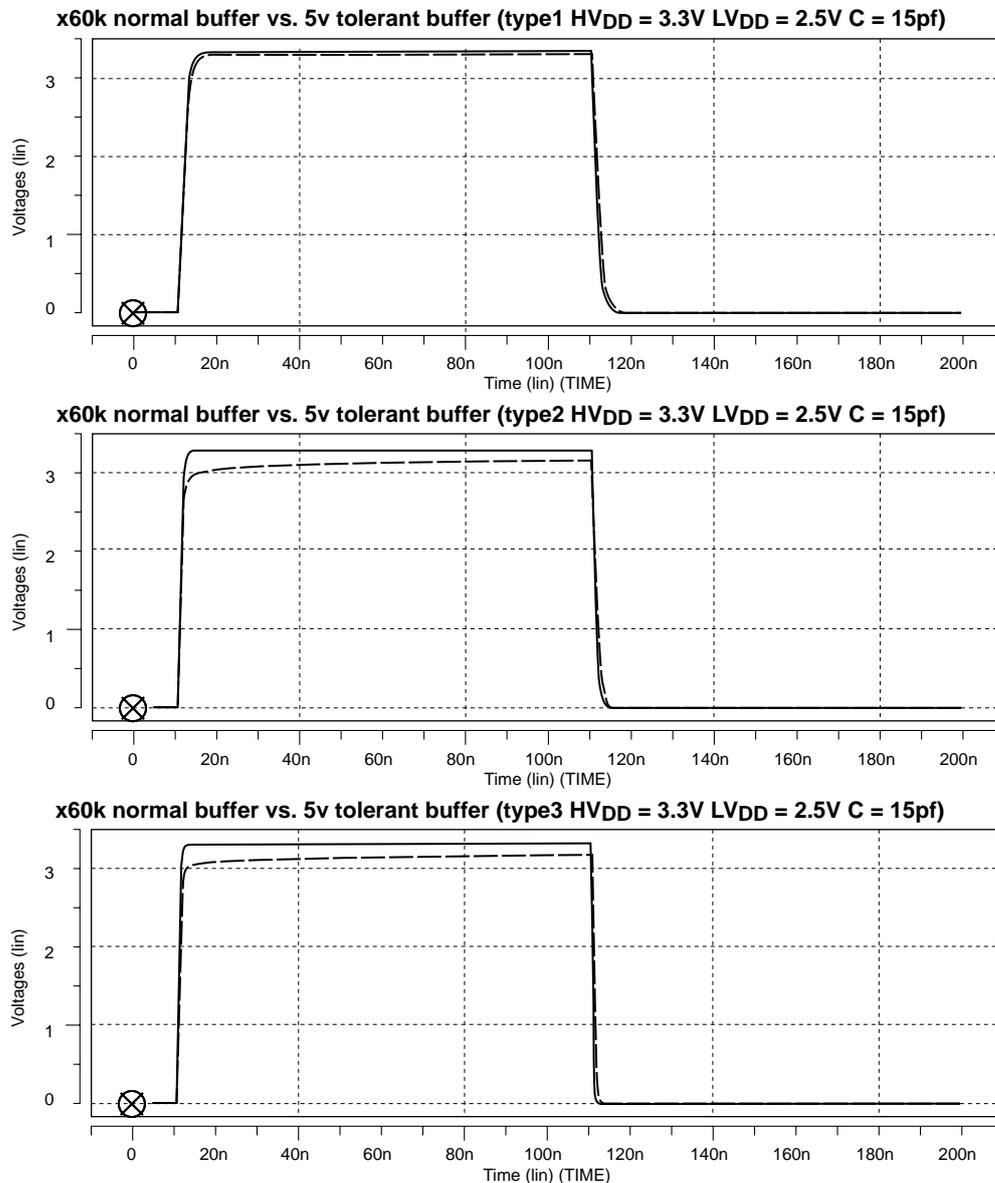


図 A2-124 5V トレラント Fail-Safe セルと通常セルの比較

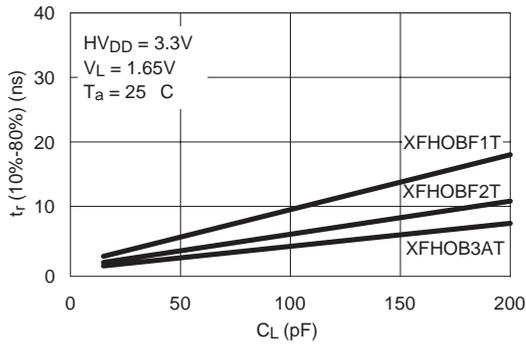


図 A2-125 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

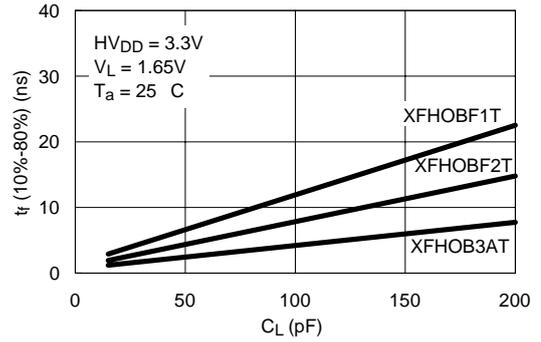


図 A2-126 立ち下がり時間 (t_r) VS. 出力負荷容量 (C_L)

(6) プルアップ/プルダウン特性

プルアップ/プルダウン特性につきましては通常セルの出力バッファと同様の特性を示しますので、「付録 A2.1.3 出力バッファ特性 (3.3V±0.3V) (6) プルアップ/プルダウン特性」を参照してください。

(7) 出力波形

● High Speed

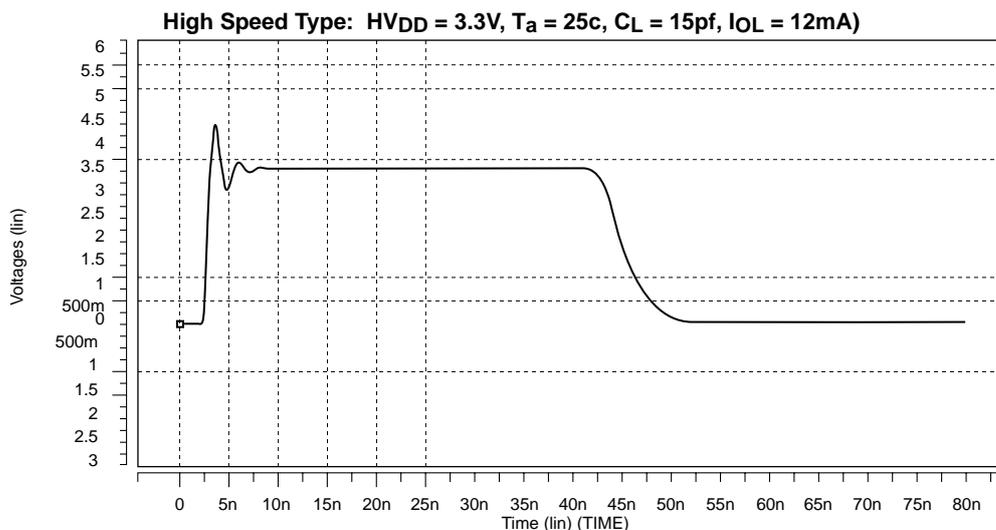


図 A2-127 出力波形 (XFHOBF3AT)

● Low Noise

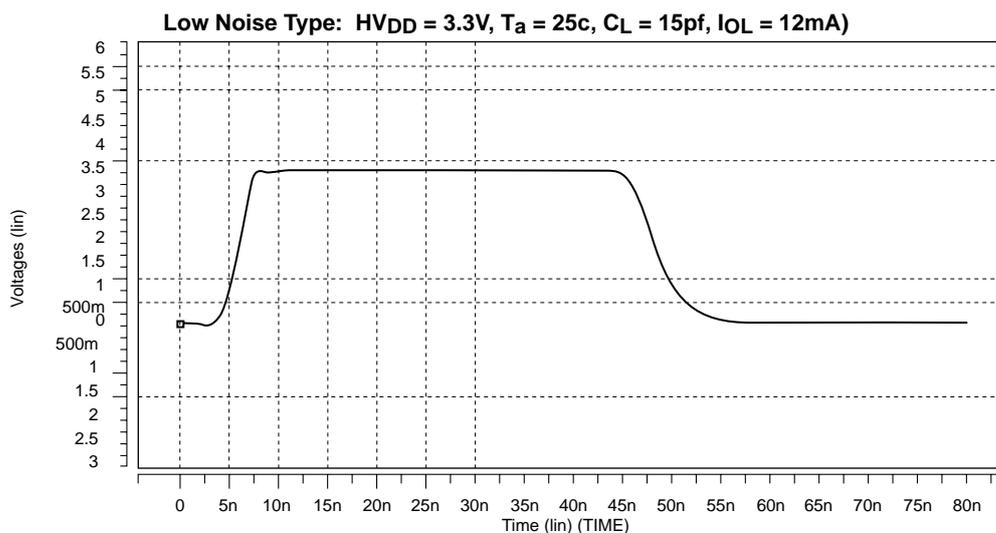


図 A2-128 出力波形 (XFHOBF3BT)

(8) 出力波形 (3.3V インタフェース)

図 A2-130～132 に示される波形は、図 A2-129 の条件の出力波形を示します。

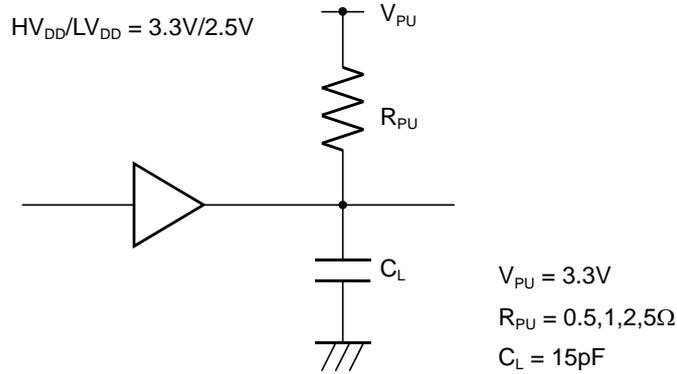


図 A2-129 評価回路

●Type 1

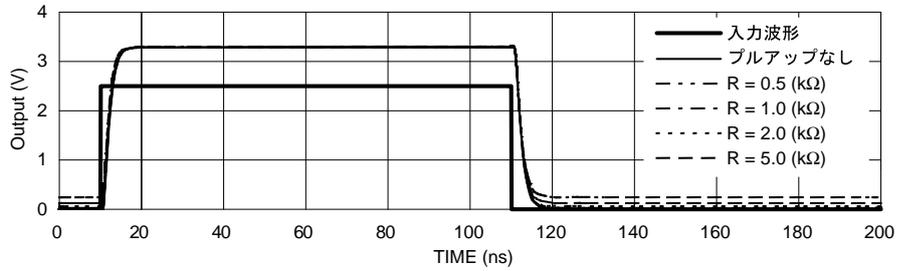


図 A2-130 出力波形 (XFHOBF1T)

●Type 2

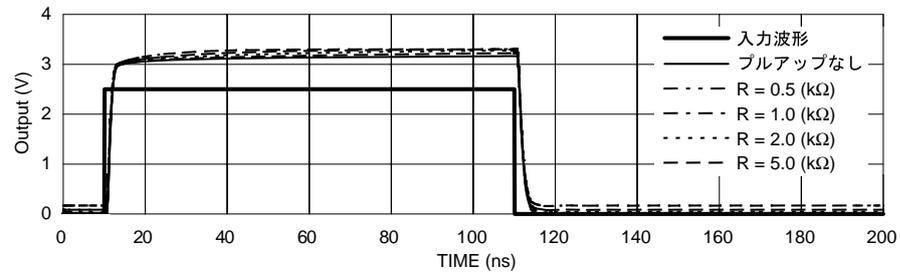


図 A2-131 出力波形 (XFHOBF2T)

●Type 3

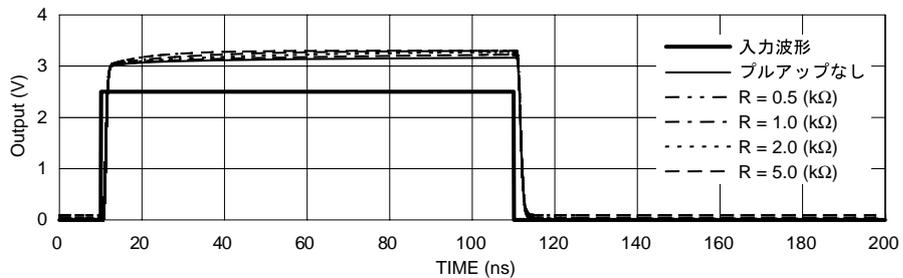


図 A2-132 出力波形 (XFHOBF3AT)

(9) 出力波形 (5V インタフェース)

図 A2-134~136 に示される波形は、図 A2-133 の条件の出力波形を示します。

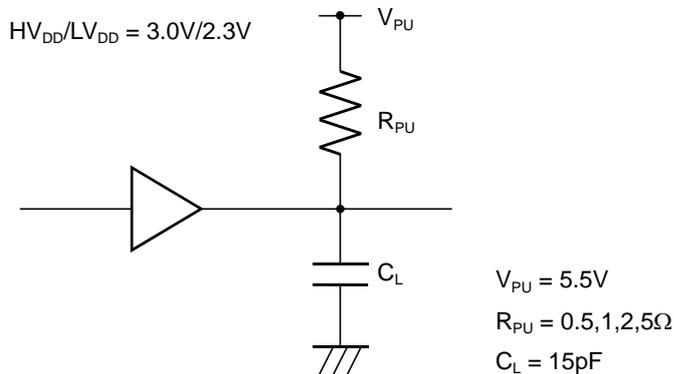


図 A2-133 評価回路

●Type 1

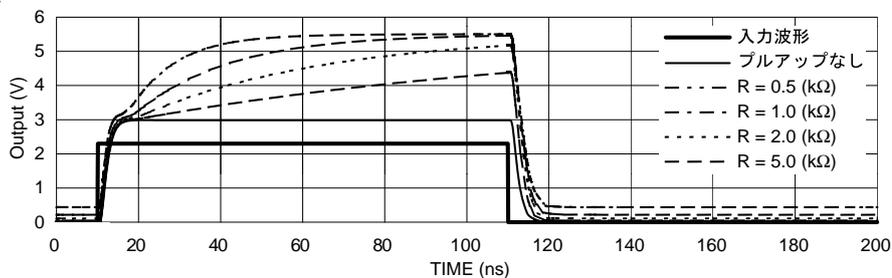


図 A2-134 出力波形 (XFHOBF1T)

●Type 2

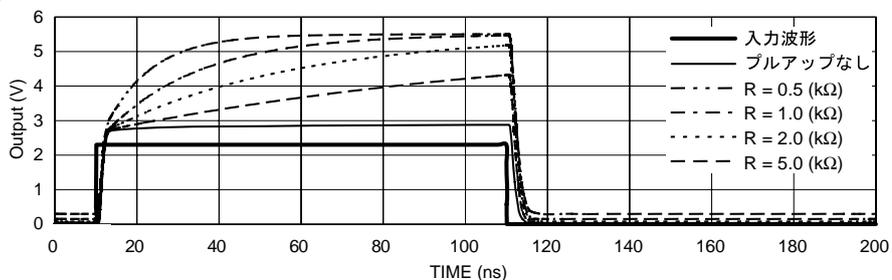


図 A2-135 出力波形 (XFHOBF2T)

●Type 3

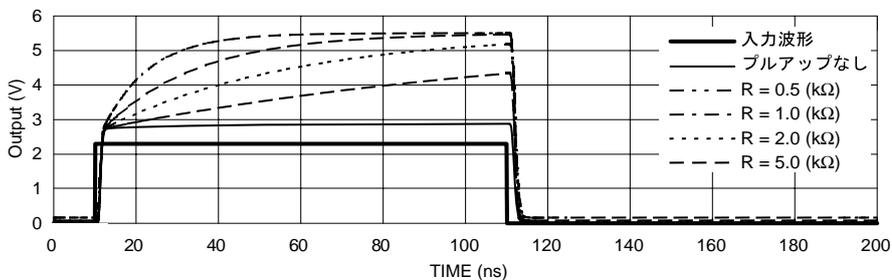


図 A2-136 出力波形 (XFHOBF3AT)

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 404624202
2003年 10月 作成
2011年 08月 改訂