

## S1C31 マニュアル 正誤表

項目 Appendix D ノイズ対策			
対象マニュアル	発行 No.	項目	ページ
S1C31D50/D51 テクニカルマニュアル	413699302	Appendix D ノイズ対策	AP-D-1
S1C31W65 テクニカルマニュアル	414063200	Appendix D ノイズ対策	AP-D-1
S1C31W73 テクニカルマニュアル	414076200	Appendix D ノイズ対策	AP-D-1
(誤) 記述なし			
(正) <b>電源などの駆動能力が高い信号と接続する入力端子のノイズ対策</b> 電源や駆動能力が高いデバイスの出力と直接接続している端子がある場合、これらの端子にノイズが入る事により大電流が流れ込む可能性があります。そのような場合は、端子保護のために30Ω以上の抵抗を直列に挿入して下さい。実装基板で評価のうえ抵抗値を決定して下さい。VREFA端子に電源を直接接続する場合は100Ωの抵抗を直列に挿入して下さい。この時、ADCの特性に関しては影響ありません。			

## S1C31 マニュアル 正誤表

項目 RDWAIT 設定変更時の制限			
対象マニュアル	発行 No.	項目	ページ
S1C31W65 テクニカルマニュアル	414063200	4.8 制御レジスタ	4-10
S1C31W73 テクニカルマニュアル	414076200	4.9 制御レジスタ	4-11
S1C31W74 テクニカルマニュアル	413374400	4.9 制御レジスタ	4-10
S1C31D01 テクニカルマニュアル	413520300	4.8 制御レジスタ	4-12
S1C31D50/D51 テクニカルマニュアル	413699302	4.8 制御レジスタ	4-10
<p>(誤) <b>制御レジスタ</b></p> <p><b>FLASHC Flash Read Cycle Register</b></p> <p>Bits1-0 RDWAIT[1:0]</p> <p>これらのビットは、Flash メモリリード時のバスアクセスサイクル数を設定します。</p> <p>注: FLASHWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。</p>			
<p>(正) <b>制御レジスタ</b></p> <p><b>FLASHC Flash Read Cycle Register</b></p> <p>Bits1-0 RDWAIT[1:0]</p> <p>これらのビットは、Flash メモリリード時のバスアクセスサイクル数を設定します。</p> <p>注: ・FLASHWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。          ・FLASHCWAIT.RDWAIT[1:0]ビットを 0x2 から 0x1 に設定変更する場合、その直後に NOP を  <u>2 命令入れてください。</u></p> <p>(プログラム例)</p> <pre>FLASHC-&gt;WAIT_b.RDWAIT = 1; asm("NOP"); asm("NOP"); CLG-&gt;OSC_b.IOSCCEN = 0;</pre>			

## S1C31 マニュアル 正誤表

項目 命令キャッシュ			
対象マニュアル	発行 No.	項目	ページ
S1C31W65 テクニカルマニュアル	414063200	1.1 特長 4.7 命令キャッシュ 4.8 制御レジスタ	1-1 4-9 4-10
S1C31W73 テクニカルマニュアル	414076200	1.1 特長 4.7 命令キャッシュ 4.9 制御レジスタ	1-1 4-9 4-10
S1C31D50/D51 テクニカルマニュアル	413699302	1.1 特長 4.6 命令キャッシュ 4.8 制御レジスタ	1-1 4-9 4-10
<b>(誤) 特長</b>			
<b>内蔵RAM</b>			
命令キャッシュ	512バイト		
<b>(正) 特長</b>			
<b>内蔵RAM</b>			
命令キャッシュ	512バイト	※本製品では使用禁止です。	
<b>(誤) 命令キャッシュ</b>			
<p>本 IC は命令キャッシュを搭載しています。キャッシュ機能を有効にすることで Flash メモリへのアクセス頻度が抑えられ、消費電流の低減につながります。</p> <p>この機能を有効にするには、CASHECTL.CACHEEN ビットを 1 に設定してください。またこのビットを 0 に設定すると、キャッシュに格納されている命令コードをクリアすることができます。</p>			
<b>(正) 命令キャッシュ</b>			
<p>本 IC は命令キャッシュを搭載しています。キャッシュ機能を有効にすることで Flash メモリへのアクセス頻度が抑えられ、消費電流の低減につながります。</p> <p>この機能を有効にするには、CASHECTL.CACHEEN ビットを 1 に設定してください。またこのビットを 0 に設定すると、キャッシュに格納されている命令コードをクリアすることができます。</p> <p><u>注： 本製品では命令キャッシュ機能の使用を禁止します。</u></p>			

**(誤) 制御レジスタ****CACHE Control Register**

Bit0 CACHEEN

このビットは、命令キャッシュ機能をイネーブルにします。

1(R/W): 命令キャッシュイネーブル

0(R/W): 命令キャッシュディスエーブル

**(正) 制御レジスタ****CACHE Control Register**

Bit0 CACHEEN

このビットは、命令キャッシュ機能をイネーブルにします。

1(R/W): 命令キャッシュイネーブル

0(R/W): 命令キャッシュディスエーブル

注： 本製品では命令キャッシュ機能の使用を禁止とするため、本ビットは必ず0にしてください。

## S1C31 マニュアル 正誤表

項目 リアルタイムクロックの有効範囲外の値をセットした場合の補正動作			
対象マニュアル	発行 No.	項目	ページ
S1C31W65 テクニカルマニュアル	414063200	10.4.2 リアルタイムクロックカウンタの動作	10-4
S1C31W73 テクニカルマニュアル	414076200	10.4.2 リアルタイムクロックカウンタの動作	10-4
S1C31W74 テクニカルマニュアル	413374400	10.4.2 リアルタイムクロックカウンタの動作	10-4
S1C31D01 テクニカルマニュアル	413520300	10.4.2 リアルタイムクロックカウンタの動作	10-4
S1C31D50/D51 テクニカルマニュアル	413699302	10.4.2 リアルタイムクロックカウンタの動作	10-4
<p>(誤)</p> <p><b>有効範囲外の値をセットした場合の補正動作</b></p> <p>年、曜日、時(24H モード時)カウンタに、有効範囲外の値をセットすると、次のカウントアップで0にクリアされます。月、日、時(12H モード時)カウンタに、有効範囲外の値をセットすると、次のカウントアップタイミングで1にセットされます。</p>			
<p>(正)</p> <p><b>有効範囲外の値をセットした場合の補正動作</b></p> <p>年、曜日、時(24H モード時)カウンタに、有効範囲外の値をセットすると、次の<u>カウンタ</u>のカウントアップで0にクリアされます。月、日、時(12H モード時)カウンタに、有効範囲外の値をセットすると、次の<u>カウンタ</u>のカウントアップタイミングで1にセットされます。</p> <p><b>注：</b><u>RTCMON.RTCMOH ビット=0 &amp; RTCMON.RTCMOL[3:0]ビット=0x0 の設定を禁止します。</u></p>			

## S1C31 マニュアル 正誤表

項目 FLASHC Flash Read Cycle Register			
対象マニュアル	発行 No.	項目	ページ
S1C31W73 テクニカルマニュアル	414076200	4.9 制御レジスタ FLASHC Flash Read Cycle Register	4-11
(誤)			
表4.9.1 Flashリード時バスアクセスサイクル数の設定			
FLASHCWAIT. RDWAIT[1:0]ビット	バスアクセス サイクル数	システムクロック周波数	
		PWGACTL. REGSELビット = 0	PWGACTL. REGSELビット = 1
0x3	4	2.1 MHz (max.)	33 MHz (max.)
0x2	3		
0x1	2	1.05 MHz (max.)	16 MHz (max.)
0x0	1		
(正)			
表4.9.1 Flashリード時バスアクセスサイクル数の設定			
FLASHCWAIT. RDWAIT[1:0]ビット	バスアクセス サイクル数	システムクロック周波数	
		PWGACTL. REGSELビット = 0	PWGACTL. REGSELビット = 1
0x3	4	2.2 MHz (max.)	33.3 MHz (max.)
0x2	3		
0x1	2	1.2 MHz (max.)	17.1 MHz (max.)
0x0	1		