

## S1C17 ファミリテクニカルマニュアル正誤表

項目 出荷形態の一部新規受付終了																		
対象マニュアル	発行 No.	項目	ページ															
S1C17801 テクニカルマニュアル	411390603	ラインアップ	I -1-1															
		出荷形態	I -1-6															
<p>(誤)</p> <p style="text-align: center;">表 I.1.1 ラインアップ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;"></th> <th style="width: 25%;">Flash ROMサイズ</th> <th style="width: 25%;">RAMサイズ</th> <th style="width: 45%;">パッケージ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">128Kバイト</td> <td rowspan="4" style="text-align: center;">4K + 2K*バイト</td> <td style="text-align: center;">TQFP15-128pin</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">PFBGA7U-144</td> </tr> <tr> <td style="text-align: center;">3</td> <td rowspan="2" style="text-align: center;">96Kバイト</td> <td style="text-align: center;">TQFP15-128pin</td> </tr> <tr> <td style="text-align: center;">4</td> <td style="text-align: center;">PFBGA7U-144</td> </tr> </tbody> </table> <p>*2KバイトRAMはVRAMとして使用可能(独立電源によるバッテリーバックアップが可能)</p>					Flash ROMサイズ	RAMサイズ	パッケージ	1	128Kバイト	4K + 2K*バイト	TQFP15-128pin	2	PFBGA7U-144	3	96Kバイト	TQFP15-128pin	4	PFBGA7U-144
	Flash ROMサイズ	RAMサイズ	パッケージ															
1	128Kバイト	4K + 2K*バイト	TQFP15-128pin															
2			PFBGA7U-144															
3	96Kバイト		TQFP15-128pin															
4			PFBGA7U-144															
<p>(正)</p> <p style="text-align: center;">表 I.1.1 ラインアップ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;"></th> <th style="width: 25%;">Flash ROMサイズ</th> <th style="width: 25%;">RAMサイズ</th> <th style="width: 45%;">パッケージ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">128Kバイト</td> <td rowspan="4" style="text-align: center;">4K + 2K*バイト</td> <td style="text-align: center;">TQFP15-128pin</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">PFBGA7U-144 #1</td> </tr> <tr> <td style="text-align: center;">3</td> <td rowspan="2" style="text-align: center;">96Kバイト</td> <td style="text-align: center;">TQFP15-128pin</td> </tr> <tr> <td style="text-align: center;">4</td> <td style="text-align: center;">PFBGA7U-144 #1</td> </tr> </tbody> </table> <p>*2KバイトRAMはVRAMとして使用可能(独立電源によるバッテリーバックアップが可能) #1 : PFBGA7U-144 は新規受付終了</p>					Flash ROMサイズ	RAMサイズ	パッケージ	1	128Kバイト	4K + 2K*バイト	TQFP15-128pin	2	PFBGA7U-144 #1	3	96Kバイト	TQFP15-128pin	4	PFBGA7U-144 #1
	Flash ROMサイズ	RAMサイズ	パッケージ															
1	128Kバイト	4K + 2K*バイト	TQFP15-128pin															
2			PFBGA7U-144 #1															
3	96Kバイト		TQFP15-128pin															
4			PFBGA7U-144 #1															
<p>(誤)</p> <p style="margin-left: 20px;"><b>出荷形態</b></p> <ul style="list-style-type: none"> <li>• TQFP15-128pin(14mm × 14mm × 1.2mm、端子間ピッチ: 0.4mm)</li> <li>• PFBGA7U-144(7mm × 7mm × 1.2mm、ボール間ピッチ: 0.5mm)</li> </ul>																		
<p>(正)</p> <p style="margin-left: 20px;"><b>出荷形態</b></p> <ul style="list-style-type: none"> <li>• TQFP15-128pin(14mm × 14mm × 1.2mm、端子間ピッチ: 0.4mm)</li> <li>• PFBGA7U-144(7mm × 7mm × 1.2mm、ボール間ピッチ: 0.5mm) #1</li> </ul> <p>#1 : PFBGA7U-144 は新規受付終了</p>																		

## S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CM 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	20.2 I2C マスタ入出力端子	20-2
S1C17611 テクニカルマニュアル	411882201	20.2 I2C マスタ入出力端子	20-2
S1C17701 テクニカルマニュアル	411089703	20.2 I2C 入出力端子	20-2
S1C17704 テクニカルマニュアル	411511803	20.2 I2C 入出力端子	20-2
S1C17706 テクニカルマニュアル	412026301	17.2 I2CM 入出力端子	17-1
S1C17001 テクニカルマニュアル	411412002	20.2 I2C 入出力端子	252
S1C17002 テクニカルマニュアル	411554302	V.2.2 I2C マスタ入出力端子	V-2-2
S1C17003 テクニカルマニュアル	411635002	20.2 I2C マスタ入出力端子	20-2
S1C17501 テクニカルマニュアル	411525502	VI.2.2 I2C 入出力端子	VI-2-2
S1C17801 テクニカルマニュアル	411390602	VI.2.2 I2C 入出力端子	VI-2-2
S1C17803 テクニカルマニュアル	411820701	20.2 I2CM 入出力端子	20-1

(追加)

注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。

The diagram illustrates the I2C bus configuration. On the left, a box labeled 'I2CM' has two output lines: 'SCL0' (Serial Clock Line) and 'SDA0' (Serial Data Line). These lines are connected to two 'I2Cスレーブ' (I2C Slave) devices. Each slave device is connected to both the SCL0 and SDA0 lines. Additionally, the SCL0 and SDA0 lines are connected to a common VDD supply through resistors, representing pull-up resistors. The VDD supply is shown at the top of the diagram with a zigzag resistor symbol.

## S1C17 ファミリテクニカルマニュアル正誤表

項目 ポート入力割り込みについて			
対象マニュアル	発行 No.	項目	ページ
S1C17501 テクニカルマニュアル	411525502	IV.1 割り込みコントローラ(ITC) VII.1.5 ポート入力割り込み	IV-1-1 VII-1-3
S1C17801 テクニカルマニュアル	411390603	IV.1 割り込みコントローラ(ITC) VII.1.5 ポート入力割り込み	IV-1-1 VII-1-3
<p><b>VII-1-3 ページ</b> S1C17501 テクニカルマニュアル  <b>VII-1-3 ページ</b> S1C17801 テクニカルマニュアル</p> <p>(誤)</p> <p><b>VII.1.5 ポート入力割り込み</b></p> <hr/> <p>GPIOモジュールは8本の割り込み系列(ポート入力割り込み0~7)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。割り込み条件についても、入力信号のエッジ(立ち上がりエッジまたは立ち下がりエッジ)で割り込みを発生させるか、レベル(HighレベルまたはLowレベル)によって発生させるか、割り込みコントローラ(ITC)で選択可能です。</p> <p>図 VII.1.5.1 にポート入力割り込み回路の構成を示します。</p>			
<p>(正)</p> <p><b>VII.1.5 ポート入力割り込み</b></p> <hr/> <p>GPIOモジュールは8本の割り込み系列(ポート入力割り込み0~7)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。割り込みは、レベル(HighレベルまたはLowレベル)によって発生させることができ、設定は割り込みコントローラ(ITC)で行います。</p> <p>図 VII.1.5.1 にポート入力割り込み回路の構成を示します。</p>			

VII-1-4 ページ S1C17501 テクニカルマニュアル  
VII-1-4 ページ S1C17801 テクニカルマニュアル

(誤)

## VII.1.5.2 割り込みコントローラの制御レジスタ

### トリガモードと極性の選択

割り込みコントローラ(ITC)は、ポート割り込み要求をパルス信号とレベル信号のどちらでも受け付けられるように、パルストリガモードとレベルトリガモードの2つの割り込みモードを持っています。トリガモードは、ITC\_EL $V_x$ レジスタ(0x4306~0x430c)のEITG $x$ ビットで選択できます。EITG $x$ を1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

また、ITCに入力するポート入力割り込み要求信号の極性もITC\_EL $V_x$ レジスタ(0x4306~0x430c)内のEITP $x$ ビットで選択できます。EITP $x$ を1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

.....

これらのレジスタにより、ポート入力割り込み条件は表VII.1.5.2.2のようになります。

表VII.1.5.2.2 ポート入力割り込み条件

EITG $x$	EITP $x$	ポート入力割り込み条件
1	1	Highレベル
1	0	Lowレベル
0	1	立ち上がりエッジ
0	0	立ち下がりエッジ

(正)

## VII.1.5.2 割り込みコントローラの制御レジスタ

### トリガモードと極性の選択

割り込みコントローラ(ITC)は、ポート割り込み要求をレベル信号を受け付けられるように、レベルトリガモードの割り込みモードを持っています。

トリガモードは、ITC\_EL $V_x$ レジスタ(0x4306~0x430c)のEITG $x$ ビットで選択できます。EITG $x$ を1に設定することでレベルトリガモードが選択されます。EITG $x$ のデフォルトは0になっていますので、割り込みを使用する場合は1に変更して使用します。

また、ITCに入力するポート入力割り込み要求信号の極性もITC\_EL $V_x$ レジスタ(0x4306~0x430c)内のEITP $x$ ビットで選択できます。EITP $x$ を1に設定するとアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定するとアクティブLow(レベルトリガモード時)が選択されます。

.....

これらのレジスタにより、ポート入力割り込み条件は表VII.1.5.2.2のようになります。

表VII.1.5.2.2 ポート入力割り込み条件

EITG $x$	EITP $x$	ポート入力割り込み条件
1	1	Highレベル
1	0	Lowレベル
0	1	未サポート
0	0	未サポート

VII-1-11 ページ S1C17501 テクニカルマニュアル

VII-1-11 ページ S1C17801 テクニカルマニュアル

(誤)

### VII.1.7 注意事項

---

.....

- ・パルストリガ割り込みモードを選択した場合、割り込みを確実に発生させるには、システムクロックの1サイクル以上のパルス幅を持つ信号を入力する必要があります。

(正)

### VII.1.7 注意事項

---

.....

- ・~~パルストリガ割り込みモードを選択した場合、割り込みを確実に発生させるには、システムクロックの1サイクル以上のパルス幅を持つ信号を入力する必要があります。~~
- ・レベル割り込みは、割り込みを発生させる機器とハンドシェイクが必要です。S1C17 コアが割り込みを受け付けるまで外部機器はレベルを保持し、受付後、外部機器に対してackを返すようにしてください。

IV-1-2 ページ S1C17501 テクニカルマニュアル

IV-1-2 ページ S1C17801 テクニカルマニュアル

(誤)

(正)の取消部分のないもの。

(正)

表 IV.1.2.1 ベクタテーブル

ベクタNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	・ #RESET 端子へのLow 入力・ ウォッチドッグタイマオーバーフロー*2	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	・ #NMI 端子へのLow 入力・ ウォッチドッグタイマオーバーフロー*2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ(reserved)	Cコンパイラのエミュレーションライブラリが使用	5
4 (0x04)	TTBR + 0x10	ポート入力割り込み0	Px0入力(立ち上がり/下がりエッジまたはH/Lレベル)	High *1 ↑
5 (0x05)	TTBR + 0x14	ポート入力割り込み1	Px1入力(立ち上がり/下がりエッジまたはH/Lレベル)	
6 (0x06)	TTBR + 0x18	ポート入力割り込み2	Px2入力(立ち上がり/下がりエッジまたはH/Lレベル)	
7 (0x07)	TTBR + 0x1c	ポート入力割り込み3	Px3入力(立ち上がり/下がりエッジまたはH/Lレベル)	
8 (0x08)	TTBR + 0x20	MFT 割り込み	・ コンペアマッチ・ ビリオドマッチ ・ ADC プロテクション入力 ・ ポートプロテクション入力	
9 (0x09)	TTBR + 0x24	reserved	-	
10 (0x0a)	TTBR + 0x28	A/D変換器割り込み	範囲外(上限/下限)	
11 (0x0b)	TTBR + 0x2c		変換完了	
12 (0x0c)	TTBR + 0x30	CLG_T16U0 タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
13 (0x0d)	TTBR + 0x34	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
14 (0x0e)	TTBR + 0x38	CLG_T8S タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
15 (0x0f)	TTBR + 0x3c	CLG_T8I タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
16 (0x10)	TTBR + 0x40	UART(HrDA)CH.0 割り込み	・ 送信バッファエンプティ ・ 受信バッファフル ・ 受信エラー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
17 (0x11)	TTBR + 0x44	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
18 (0x12)	TTBR + 0x48	SPI CH.0 割り込み	・ 送信バッファエンプティ・ 受信バッファフル	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
19 (0x13)	TTBR + 0x4c	I2C割り込み	・ 送信バッファエンプティ・ 受信バッファフル	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
20 (0x14)	TTBR + 0x50	RTC 割り込み	1/64 秒、1秒、1分、または1時間カウントアップ	
21 (0x15)	TTBR + 0x54	PT8 CH.0 割り込み	タイマ0アンダーフロー	
22 (0x16)	TTBR + 0x58	PT8 CH.1 割り込み	タイマ1アンダーフロー	
23 (0x17)	TTBR + 0x5c	PT8 CH.2 割り込み	タイマ2アンダーフロー	
24 (0x18)	TTBR + 0x60	PT8 CH.3 割り込み	タイマ3アンダーフロー	
25 (0x19)	TTBR + 0x64	LCDC 割り込み	・ フレームエンド ・ SPI 転送終了 ・ DMA 転送終了	
26 (0x1a)	TTBR + 0x68	SPI CH.1 割り込み	・ 送信バッファエンプティ・ 受信バッファフル	
27 (0x1b)	TTBR + 0x6c	USB 割り込み	USB 割り込み	
28 (0x1c)	TTBR + 0x70	I2S割り込み	・ I2S FIFO エンプティ	
29 (0x1d)	TTBR + 0x74		・ I2S FIFO フル	
30 (0x1e)	TTBR + 0x78	REMC 割り込み	・ エンベロープカウンタアンダーフロー ・ REMC_IN 立ち上がりエッジ検出 ・ REMC_IN 立ち下がりエッジ検出	
31 (0x1f)	TTBR + 0x7c	reserved	-	↓ Low *1

IV-1-2 ページ S1C17501 テクニカルマニュアル

IV-1-2 ページ S1C17801 テクニカルマニュアル

(誤)

(正)の取消部分のないもの。

(正)

表 IV.1.3.2.1 ハードウェア割り込み要因と割り込みフラグ

ハードウェア割り込み要求	割り込みフラグ
I2C割り込み: 送信バッファEMPTY/受信バッファフル	IIFT7(D15/ITC_IFLG レジスタ)
SPI CH.0 割り込み: 送信バッファEMPTY/受信バッファフル	IIFT6(D14/ITC_IFLG レジスタ)
UART 割り込み: 送信バッファEMPTY/受信バッファフル/受信エラー	IIFT4(D12/ITC_IFLG レジスタ)
CLG.T8I タイマ割り込み: タイマアンダーフロー	IIFT3(D11/ITC_IFLG レジスタ)
CLG.T8S タイマ割り込み: タイマアンダーフロー	IIFT2(D10/ITC_IFLG レジスタ)
CLG.T16U0 タイマ割り込み: タイマアンダーフロー	IIFT0(D8/ITC_IFLG レジスタ)
ポート入力割り込み7: Px7立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT7(D7/ITC_IFLG レジスタ)
ポート入力割り込み6: Px6立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT6(D6/ITC_IFLG レジスタ)
ポート入力割り込み5: Px5立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT5(D5/ITC_IFLG レジスタ)
ポート入力割り込み4: Px4立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT4(D4/ITC_IFLG レジスタ)
ポート入力割り込み3: Px3立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT3(D3/ITC_IFLG レジスタ)
ポート入力割り込み2: Px2立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT2(D2/ITC_IFLG レジスタ)
ポート入力割り込み1: Px1立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT1(D1/ITC_IFLG レジスタ)
ポート入力割り込み0: Px0立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT0(D0/ITC_IFLG レジスタ)
REMC 割り込み: エンベロープカウンタアンダーフロー/入力立ち上がりエッジ/入力立ち下がりエッジ	AIFT14(D14/ITC_AIFLG レジスタ)
I2S割り込み: I2S FIFO フル	AIFT13(D13/ITC_AIFLG レジスタ)
I2S割り込み: I2S FIFO EMPTY	AIFT12(D12/ITC_AIFLG レジスタ)
USB 割り込み: USB 割り込み	AIFT11(D11/ITC_AIFLG レジスタ)
SPI CH.1 割り込み: 送信バッファEMPTY/受信バッファフル	AIFT10(D10/ITC_AIFLG レジスタ)
LCDC 割り込み: フレームエンド/SPI 転送終了/DMA 転送終了	AIFT9(D9/ITC_AIFLG レジスタ)
PT8 CH.3 割り込み: タイマアンダーフロー	AIFT8(D8/ITC_AIFLG レジスタ)
PT8 CH.2 割り込み: タイマアンダーフロー	AIFT7(D7/ITC_AIFLG レジスタ)
PT8 CH.1 割り込み: タイマアンダーフロー	AIFT6(D6/ITC_AIFLG レジスタ)
PT8 CH.0 割り込み: タイマアンダーフロー	AIFT5(D5/ITC_AIFLG レジスタ)
RTC 割り込み: 1/64 秒、1秒、1分、または1時間カウントアップ	AIFT4(D4/ITC_AIFLG レジスタ)
ADC 割り込み: 変換終了	AIFT3(D3/ITC_AIFLG レジスタ)
ADC 割り込み: 範囲外	AIFT2(D2/ITC_AIFLG レジスタ)
MFT 割り込み: コンペアマッチ/ピリオドマッチ/保護入力	AIFT0(D0/ITC_AIFLG レジスタ)

IV-1-7 ページ S1C17501 テクニカルマニュアル

IV-1-7 ページ S1C17801 テクニカルマニュアル

(誤)

#### IV.1.3.5 割り込みのトリガモード

ポート入力割り込みにはパルストリガモードおよびレベルトリガモードの2つのトリガモードが用意されており、ITCはポート入力割り込み要求をパルス信号またはレベル信号として受け付けることができます。トリガモードはITC\_ELV<sub>x</sub>レジスタ(0x4306~0x430c)内のEITG<sub>x</sub>ビットで選択できます。EITG<sub>x</sub>を1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。また、ITCに入力するこれらの割り込み要求信号の極性もITC\_ELV<sub>x</sub>レジスタ(0x4306~0x430c)内のEITP<sub>x</sub>ビットで選択できます。EITP<sub>x</sub>を1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

(正)

#### IV.1.3.5 割り込みのトリガモード

ポート入力割り込みには~~パルストリガモードおよび~~レベルトリガモード~~の2つのトリガモード~~が用意されており、ITCはポート入力割り込み要求を~~パルス信号または~~レベル信号として受け付けることができます。トリガモードはITC\_ELV<sub>x</sub>レジスタ(0x4306~0x430c)内のEITG<sub>x</sub>ビットで選択できます。EITG<sub>x</sub>を1に設定するとレベルトリガモードが選択されます。また、ITCに入力するこれらの割り込み要求信号の極性もITC\_ELV<sub>x</sub>レジスタ(0x4306~0x430c)内のEITP<sub>x</sub>ビットで選択できます。EITP<sub>x</sub>を1に設定すると~~正極性パルス/立ち上がりエッジ(パルストリガモード時)~~  
~~または~~アクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると~~負極性パルス/立ち下がりエッジ(パルストリガモード時)~~  
~~または~~アクティブLow(レベルトリガモード時)が選択されます。



IV-1-27、28 ページ S1C17501 テクニカルマニュアル

IV-1-27、28 ページ S1C17801 テクニカルマニュアル

(誤)

**0x4306: External Interrupt Level Setup Register 0 (ITC\_ELVO)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
External Interrupt Level Setup Register0 (ITC_ELVO)	0x4306 (16 bits)	D15-14	–	reserved		–	–	0 when being read.	
		D13	<b>EITP1</b>	Port interrupt 1 trigger polarity	1	Positive   0 Negative	0	R/W	
		D12	<b>EITG1</b>	Port interrupt 1 trigger mode	1	Level   0 Pulse	0	R/W	
		D11	–	reserved		–	–	–	0 when being read.
		D10-8	<b>EILV1[2:0]</b>	Port interrupt 1 level		0 to 7	0x0	R/W	
		D7-6	–	reserved		–	–	–	0 when being read.
		D5	<b>EITP0</b>	Port interrupt 0 trigger polarity	1	Positive   0 Negative	0	R/W	
		D4	<b>EITG0</b>	Port interrupt 0 trigger mode	1	Level   0 Pulse	0	R/W	
		D3	–	reserved		–	–	–	0 when being read.
		D2-0	<b>EILV0[2:0]</b>	Port interrupt 0 level		0 to 7	0x0	R/W	

.....

**D13 EITP1: Port Interrupt 1 Trigger Polarity Bit**

ポート割り込み1信号の極性を選択します。

1 (R/W): 正極性/アクティブHigh

0 (R/W): 負極性/アクティブLow(デフォルト)

パルストリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求として正極性パルスを出力します。0に設定されている場合は負極性パルスを出力します。レベルトリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求としてアクティブHighの信号を出力します。0に設定されている場合はアクティブLowの信号を出力します。

**D12 EITG1: Port Interrupt 1 Trigger Mode Bit**

ポート割り込み1のトリガモードを選択します。

1 (R/W): レベルトリガモード

0 (R/W): パルストリガモード(デフォルト)

パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。指定極性のパルスが検出されると、ITCは割り込みフラグ (EIFT<sub>x</sub>) を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ (EIFT<sub>x</sub>) を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。

レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ (EIFT<sub>x</sub>) はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ (EIFT<sub>x</sub>) をリセットすることはできません。したがって、割り込み発生源モジュールが、S1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

.....

**D5 EITP0: Port Interrupt 0 Trigger Polarity Bit**

ポート割り込み0信号の極性を選択します。

1 (R/W): 正極性/アクティブHigh

0 (R/W): 負極性/アクティブLow(デフォルト)

EITP1 (D13)の説明を参照してください。

**D4 EITG0: Port Interrupt 0 Trigger Mode Bit**

ポート割り込み0のトリガモードを選択します。

1 (R/W): レベルトリガモード

0 (R/W): パルストリガモード(デフォルト)

EITG1 (D12)の説明を参照してください。

(正)

**0x4306: External Interrupt Level Setup Register 0 (ITC\_ELVO)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
External Interrupt Level Setup Register0 (ITC_ELVO)	0x4306 (16 bits)	D15-14	-	reserved		-	-	0 when being read.	
		D13	EITP1	Port interrupt 1 trigger polarity	1 Active high 0 Active low	0	R/W		
		D12	EITG1	Port interrupt 1 trigger mode	1 Level 0 No support	0	R/W		
		D11	-	reserved		-	-	0 when being read.	
		D10-8	EILV1[2:0]	Port interrupt 1 level		0 to 7	0x0	R/W	
		D7-6	-	reserved		-	-	0 when being read.	
		D5	EITP0	Port interrupt 0 trigger polarity	1 Active high 0 Active low	0	R/W		
		D4	EITG0	Port interrupt 0 trigger mode	1 Level 0 No support	0	R/W		
		D3	-	reserved		-	-	0 when being read.	
		D2-0	EILV0[2:0]	Port interrupt 0 level		0 to 7	0x0	R/W	

.....

**D13 EITP1: Port Interrupt 1 Trigger Polarity Bit**

ポート割り込み1信号の極性を選択します。

1 (R/W): ~~正極性~~/アクティブHigh

0 (R/W): ~~負極性~~/アクティブLow(デフォルト)

~~パルストリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求として正極性パルスを出力します。0に設定されている場合は負極性パルスを出力します。レベルトリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求としてアクティブHighの信号を出力します。0に設定されている場合はアクティブLowの信号を出力します。~~

**D12 EITG1: Port Interrupt 1 Trigger Mode Bit**

ポート割り込み1のトリガモードを選択します。

1 (R/W): レベルトリガモード

0 (R/W): ~~未サポート~~(デフォルト)

~~パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。指定極性のパルスが検出されると、ITCは割り込みフラグ(EIFT<sub>x</sub>)を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ(EIFT<sub>x</sub>)を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。~~

レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ(EIFT<sub>x</sub>)はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ(EIFT<sub>x</sub>)をリセットすることはできません。したがって、割り込み発生源モジュールが、S1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

.....

**D5 EITP0: Port Interrupt 0 Trigger Polarity Bit**

ポート割り込み0信号の極性を選択します。

1 (R/W): ~~正極性~~アクティブHigh

0 (R/W): ~~負極性~~アクティブLow (デフォルト)

EITP1 (D13)の説明を参照してください。

**D4 EITG0: Port Interrupt 0 Trigger Mode Bit**

ポート割り込み0のトリガモードを選択します。

1 (R/W): レベルトリガモード

0 (R/W): ~~未サポート~~ (デフォルト)

EITG1 (D12)の説明を参照してください。

IV-1-29 ページ S1C17501 テクニカルマニュアル

IV-1-29 ページ S1C17801 テクニカルマニュアル

(誤)

### 0x4308: External Interrupt Level Setup Register 1 (ITC\_ELv1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register1 (ITC_ELv1)	0x4308 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.
		D13	<b>EITP3</b>	Port interrupt 3 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	<b>EITG3</b>	Port interrupt 3 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10-8	<b>EILV3[2:0]</b>	Port interrupt 3 level	0 to 7	0x0	R/W	
		D7-6	–	reserved	–	–	–	0 when being read.
		D5	<b>EITP2</b>	Port interrupt 2 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	<b>EITG2</b>	Port interrupt 2 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2-0	<b>EILV2[2:0]</b>	Port interrupt 2 level	0 to 7	0x0	R/W	

.....

#### D13 EITP3: Port Interrupt 3 Trigger Polarity Bit

ポート割り込み3信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

#### D12 EITG3: Port Interrupt 3 Trigger Mode Bit

ポート割り込み3のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

.....

#### D5 EITP2: Port Interrupt 2 Trigger Polarity Bit

ポート割り込み2信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

#### D4 EITG2: Port Interrupt 2 Trigger Mode Bit

ポート割り込み2のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

(正)

### 0x4308: External Interrupt Level Setup Register 1 (ITC\_ELv1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
External Interrupt Level Setup Register1 (ITC_ELv1)	0x4308 (16 bits)	D15-14	–	reserved		–	–	0 when being read.	
		D13	<b>EITP3</b>	Port interrupt 3 trigger polarity	1 Active high 0 Active low	0	R/W		
		D12	<b>EITG3</b>	Port interrupt 3 trigger mode	1 Level 0 No support	0	R/W		
		D11	–	reserved		–	–	0 when being read.	
		D10-8	<b>EILV3[2:0]</b>	Port interrupt 3 level		0 to 7	0x0	R/W	
		D7-6	–	reserved		–	–	0 when being read.	
		D5	<b>EITP2</b>	Port interrupt 2 trigger polarity	1 Active high 0 Active low	0	R/W		
		D4	<b>EITG2</b>	Port interrupt 2 trigger mode	1 Level 0 No support	0	R/W		
		D3	–	reserved		–	–	0 when being read.	
		D2-0	<b>EILV2[2:0]</b>	Port interrupt 2 level		0 to 7	0x0	R/W	

.....

#### D13 EITP3: Port Interrupt 3 Trigger Polarity Bit

ポート割り込み3信号の極性を選択します。  
1 (R/W): ~~正極性~~/アクティブHigh  
0 (R/W): ~~負極性~~/アクティブLow (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITP1 (D13)の説明を参照してください。

#### D12 EITG3: Port Interrupt 3 Trigger Mode Bit

ポート割り込み3のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITG1 (D12)の説明を参照してください。

.....

#### D5 EITP2: Port Interrupt 2 Trigger Polarity Bit

ポート割り込み2信号の極性を選択します。  
1 (R/W): ~~正極性~~/アクティブHigh  
0 (R/W): ~~負極性~~/アクティブLow (デフォルト)

ITC\_ELv0レジスタ(0x4306)のEITP1 (D13)の説明を参照してください。

#### D4 EITG2: Port Interrupt 2 Trigger Mode Bit

ポート割り込み2のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)  
ITC\_ELv0レジスタ(0x4306)のEITG1 (D12)の説明を参照してください。

IV-1-30 ページ S1C17501 テクニカルマニュアル

IV-1-30 ページ S1C17801 テクニカルマニュアル

(誤)

### 0x430a: External Interrupt Level Setup Register 2 (ITC\_ELW2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
External Interrupt Level Setup Register 2 (ITC_ELW2)	0x430a (16 bits)	D15-14	–	reserved		–	–	–	0 when being read.
		D13	EITP5	Port interrupt 5 trigger polarity	1   Positive   0   Negative	0	R/W		
		D12	EITG5	Port interrupt 5 trigger mode	1   Level   0   Pulse	0	R/W		
		D11	–	reserved		–	–	–	0 when being read.
		D10-8	EILV5[2:0]	Port interrupt 5 level		0 to 7	0x0	R/W	
		D7-6	–	reserved		–	–	–	0 when being read.
		D5	EITP4	Port interrupt 4 trigger polarity	1   Positive   0   Negative	0	R/W		
		D4	EITG4	Port interrupt 4 trigger mode	1   Level   0   Pulse	0	R/W		
		D3	–	reserved		–	–	–	0 when being read.
		D2-0	EILV4[2:0]	Port interrupt 4 level		0 to 7	0x0	R/W	

.....

#### D13 EITP5: Port Interrupt 5 Trigger Polarity Bit

ポート割り込み5信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELW0レジスタ(0x4306)のEITP1 (D13)の説明を参照してください。

#### D12 EITG5: Port Interrupt 5 Trigger Mode Bit

ポート割り込み5のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)  
ITC\_ELW0レジスタ(0x4306)のEITG1 (D12)の説明を参照してください。

.....

#### D5 EITP4: Port Interrupt 4 Trigger Polarity Bit

ポート割り込み4信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELW0レジスタ(0x4306)のEITP1 (D13)の説明を参照してください。

#### D4 EITG4: Port Interrupt 4 Trigger Mode Bit

ポート割り込み4のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)  
  
ITC\_ELW0レジスタ(0x4306)のEITG1 (D12)の説明を参照してください。

(正)

**0x430a: External Interrupt Level Setup Register 2 (ITC\_ELW2)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 2 (ITC_ELW2)	0x430a (16 bits)	D15-14	-	reserved	-	-	-	0 when being read.
		D13	EITP5	Port interrupt 5 trigger polarity	1 Active high 0 Active low	0	R/W	
		D12	EITG5	Port interrupt 5 trigger mode	1 Level 0 No support	0	R/W	
		D11	-	reserved	-	-	-	0 when being read.
		D10-8	EILV5[2:0]	Port interrupt 5 level	0 to 7	0x0	R/W	
		D7-6	-	reserved	-	-	-	0 when being read.
		D5	EITP4	Port interrupt 4 trigger polarity	1 Active high 0 Active low	0	R/W	
		D4	EITG4	Port interrupt 4 trigger mode	1 Level 0 No support	0	R/W	
		D3	-	reserved	-	-	-	0 when being read.
		D2-0	EILV4[2:0]	Port interrupt 4 level	0 to 7	0x0	R/W	

.....

**D13 EITP5: Port Interrupt 5 Trigger Polarity Bit**

ポート割り込み5信号の極性を選択します。  
1 (R/W): ~~正極性~~アクティブHigh  
0 (R/W): ~~負極性~~アクティブLow (デフォルト)

ITC\_ELW0レジスタ (0x4306) のEITP1 (D13) の説明を参照してください。

**D12 EITG5: Port Interrupt 5 Trigger Mode Bit**

ポート割り込み5のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)

ITC\_ELW0レジスタ (0x4306) のEITG1 (D12) の説明を参照してください。

.....

**D5 EITP4: Port Interrupt 4 Trigger Polarity Bit**

ポート割り込み4信号の極性を選択します。  
1 (R/W): ~~正極性~~アクティブHigh  
0 (R/W): ~~負極性~~アクティブLow (デフォルト)

ITC\_ELW0レジスタ (0x4306) のEITP1 (D13) の説明を参照してください。

**D4 EITG4: Port Interrupt 4 Trigger Mode Bit**

ポート割り込み4のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)

ITC\_ELW0レジスタ (0x4306) のEITG1 (D12) の説明を参照してください。

IV-1-31 ページ S1C17501 テクニカルマニュアル

IV-1-31 ページ S1C17801 テクニカルマニュアル

(誤)

### 0x430c: External Interrupt Level Setup Register 3 (ITC\_ELVS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register3 (ITC_ELVS)	0x430c (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.
		D13	EITP7	Port interrupt 7 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG7	Port interrupt 7 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10-8	EILV7[2:0]	Port interrupt 7 level	0 to 7	0x0	R/W	
		D7-6	–	reserved	–	–	–	0 when being read.
		D5	EITP6	Port interrupt 6 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG6	Port interrupt 6 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2-0	EILV6[2:0]	Port interrupt 6 level	0 to 7	0x0	R/W	

.....

#### D13 EITP7: Port Interrupt 7 Trigger Polarity Bit

ポート割り込み7信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELVSレジスタ(0x430c)のEITP1 (D13)の説明を参照してください。

#### D12 EITG7: Port Interrupt 7 Trigger Mode Bit

ポート割り込み7のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)

ITC\_ELVSレジスタ(0x430c)のEITG1 (D12)の説明を参照してください。

.....

#### D5 EITP6: Port Interrupt 6 Trigger Polarity Bit

ポート割り込み6信号の極性を選択します。  
1 (R/W): 正極性/アクティブHigh  
0 (R/W): 負極性/アクティブLow (デフォルト)

ITC\_ELVSレジスタ(0x430c)のEITP1 (D13)の説明を参照してください。

#### D4 EITG6: Port Interrupt 6 Trigger Mode Bit

ポート割り込み6のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): パルストリガモード (デフォルト)

ITC\_ELVSレジスタ(0x430c)のEITG1 (D12)の説明を参照してください。



(正)

### 0x430c: External Interrupt Level Setup Register 3 (ITC\_EL3)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
External Interrupt Level Setup Register3 (ITC_EL3)	0x430c (16 bits)	D15-14	–	reserved	–		–	–	0 when being read.	
		D13	EITP7	Port interrupt 7 trigger polarity	1	Active high	0	Active low	0	R/W
		D12	EITG7	Port interrupt 7 trigger mode	1	Level	0	No support	0	R/W
		D11	–	reserved	–		–	–	–	0 when being read.
		D10-8	EILV7[2:0]	Port interrupt 7 level	0 to 7		0x0	R/W		
		D7-6	–	reserved	–		–	–	–	0 when being read.
		D5	EITP6	Port interrupt 6 trigger polarity	1	Active high	0	Active low	0	R/W
		D4	EITG6	Port interrupt 6 trigger mode	1	Level	0	No support	0	R/W
		D3	–	reserved	–		–	–	–	0 when being read.
		D2-0	EILV6[2:0]	Port interrupt 6 level	0 to 7		0x0	R/W		

.....

#### D13 EITP7: Port Interrupt 7 Trigger Polarity Bit

ポート割り込み7信号の極性を選択します。  
1 (R/W): ~~正極性~~アクティブHigh  
0 (R/W): ~~負極性~~アクティブLow (デフォルト)

ITC\_EL3レジスタ (0x430c) のEITP1 (D13) の説明を参照してください。

#### D12 EITG7: Port Interrupt 7 Trigger Mode Bit

ポート割り込み7のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)  
ITC\_EL3レジスタ (0x430c) のEITG1 (D12) の説明を参照してください。

.....

#### D5 EITP6: Port Interrupt 6 Trigger Polarity Bit

ポート割り込み6信号の極性を選択します。  
1 (R/W): ~~正極性~~アクティブHigh  
0 (R/W): ~~負極性~~アクティブLow (デフォルト)

ITC\_EL3レジスタ (0x430c) のEITP1 (D13) の説明を参照してください。

#### D4 EITG6: Port Interrupt 6 Trigger Mode Bit

ポート割り込み6のトリガモードを選択します。  
1 (R/W): レベルトリガモード  
0 (R/W): ~~未サポート~~ (デフォルト)  
ITC\_EL3レジスタ (0x430c) のEITG1 (D12) の説明を参照してください。

(誤)

(正)の取消部分のないもの。

(正)

表IV.1.8.1 割り込みに必要なクロック設定

クロック系統	CMUレジスタ 設定有効範囲	クロック供給状態		割り込み発生に必要なクロック設定																						
		通常動作時		通常/HALT時									SLEEP時													
		通常動作時	HALT時	AMI	DBG	NMI	MFT	ADC	T16	T8	UART	SPI	PC	PORT	RTC	PT8	LCDC	SPI	USB	FS	REMC	DBG	NMI	PORT	RTC	
PCLK	通常/HALT	REG	REG																							
LCDC_SAPB_CLK	通常/HALT	REG	REG																							
LCDC_HIF	通常/HALT	REG	REG																							
USB_CLK	通常/HALT	REG	REG																*6							
USB_SAPB_CLK	通常/HALT	REG	REG																*6							
FLASHC	HALT	停止不可	REG																							
MFT_CLK	通常/HALT	REG	REG																							
PTB_CLK	通常/HALT	REG	REG																							
SRAMC_CLK	通常/HALT	REG	REG																							
RTC_SAPB_CLK	通常/HALT	REG	REG																							
PORT_CLK	通常/HALT	REG	REG																							
WDT_CLK	通常/HALT	REG	REG																							
ADC_CLK	通常/HALT	REG	REG																							
REMC_CLK	通常/HALT	REG	REG																							
SPI_CLK	通常/HALT	REG	REG																							
CPU	-	停止不可	停止	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/
RTC	-	停止不可*1	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	停止不可*1	停止不可*2	
OSC1発振回路	通常/HALT	REG	REG																							
OSC3発振回路	通常/HALT	REG	REG																							

REG: レジスタにより設定可能  
O: 割り込みを発生させるために供給必須クロック  
AMI: アドレス不意例外  
\*1: 周辺モジュールにて機能をディセーブルに設定することで停止します。  
\*2: 外部入力固定した場合は発振しません。  
\*3: WDTよりNMIを発生させる場合はクロック供給が必要です。  
\*4: ストリークが割り込み発生時のみ必要です。  
\*5: レジスタ設定後には不要です。(レベルトリガ割り込みのみ)  
\*6: ストリーク状態からのVBUS\_ChangedおよびNonAllによる割り込みクロックは不要です。他は必要です。  
\*7: システムのクロックとして使用されるOSC1またはOSC3発振回路が、SLEEP時以外に動作する必要がありません。

(誤)

(正)の取消部分のないもの。

(正)

表IV1.8.1 割り込みが必要なクロック設定

クロック系統	CMUレジスタ 設定有効範囲	クロック供給状態										割り込み発生に必要なクロック設定																																							
		通常動作時					HALT時					SLEEP時					通常HALT時					SLEEP時																													
		REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG																				
PCLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG										
USB_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG					
USB_SAPB_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG					
FLASHC	HALT	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可					
MFT_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
P18_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
SRAMC_CLK	HALT	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可					
RTC_SAPB_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
PORT_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
WDT_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
ADC_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
REMC_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
SPL_CLK	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG
CPU	-	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可					
RTC	-	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可					
OSC1発振回路	-	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可	停止不可					
OSC3発振回路	通常/HALT	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG	REG

REG: レジスタにより設定可能  
 ○: 割り込みを発生させるために供給必須クロック  
 AMI: アドレス不整例外  
 \*1: 周辺モジュールにて機能をディセーブルに設定することで停止します。  
 \*2: 外部入力固定した場合は発振しません。  
 \*3: WDTよりNMIを発生させる場合はクロック供給が必要です。  
~~\*4: レジスタ設定後には必要です。(レベルトリガ割り込みのみ)~~  
 \*5: レジスタ設定後には必要です。(レベルトリガ割り込みのみ)  
 \*6: ストーズ状態からのVBUS\_ChangedおよびNonJLによる割り込みクロックは不要です。他は必要です。  
 \*7: システムのクロックとして使用されるOSC1またはOSC3発振回路が、SLEEP時以外に動作する必要がある場合があります。