

S1C17 ファミリテクニカルマニュアル正誤表

項目 LCD 駆動電圧			
対象マニュアル	発行 No.	項目	ページ
S1C17701 テクニカルマニュアル	412445600	26.4 アナログ回路特性	26-3
S1C17702 テクニカルマニュアル	411602402	27.4 アナログ回路特性	27-3
S1C17704 テクニカルマニュアル	411511804	26.4 アナログ回路特性	26-3
S1C17705/703 テクニカルマニュアル	411706502	25.9 LCD ドライバ特性	25-10
S1C17706 テクニカルマニュアル	412026301	27.9 LCD ドライバ特性	27-7

(誤)

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^{\circ}C$, $C_1\sim C_{11} = 0.1\mu F$, 市松模様出力時, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	V _{C1}	V _{SS} ~V _{C1} 間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V
	V _{C2}	V _{SS} ~V _{C2} 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V
	V _{C3}	V _{SS} ~V _{C3} 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V
	V _{C4}	V _{SS} ~V _{C4} 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V
	V _{C5}	V _{SS} ~V _{C5} 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0 LC[3:0] = 0x1	4.20 4.30		V V

(正)

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^{\circ}C$, $C_1\sim C_{11} = 0.1\mu F$, 市松模様出力時, パネル負荷なし

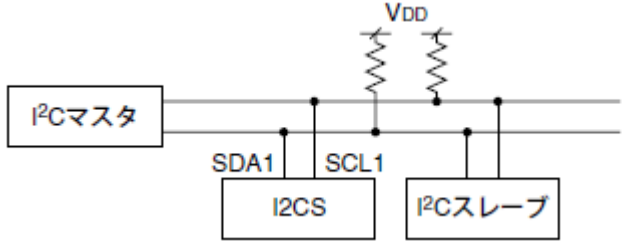
項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	V _{C1}	V _{SS} ~V _{C1} 間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V
	V _{C2}	V _{SS} ~V _{C2} 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V
	V _{C3}	V _{SS} ~V _{C3} 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V
	V _{C4}	V _{SS} ~V _{C4} 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V
	V _{C5}	V _{SS} ~V _{C5} 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0 LC[3:0] = 0x1	4.20 4.30		V V

S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CS 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	21.2 I2C スレーブ入出力端子	21-2
S1C17611 テクニカルマニュアル	411882201	21.2 I2C スレーブ入出力端子	21-2
S1C17706 テクニカルマニュアル	412026301	18.2 I2CS 入出力端子	18-1
S1C17002 テクニカルマニュアル	411554302	V.3.2 I2C スレーブ入出力端子	V-3-2
S1C17003 テクニカルマニュアル	411635002	21.2 I2C スレーブ入出力端子	21-2
S1C17803 テクニカルマニュアル	411820701	21.2 I2CS 入出力端子	21-1

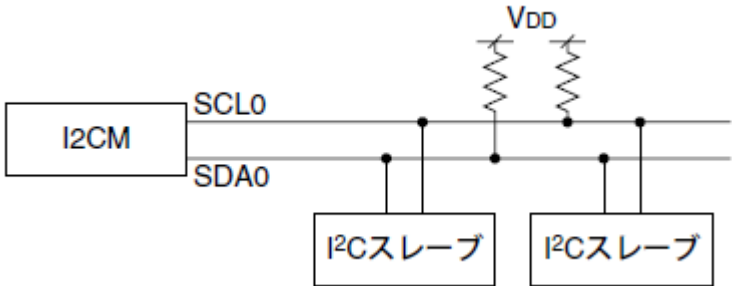
(追加)

注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。



The diagram illustrates the I2C bus configuration. An I2C master is connected to the SDA1 and SCL1 lines. These lines are also connected to an I2CS (I2C Slave) and an I2Cスレーブ (I2C Slave). The SDA1 and SCL1 lines are pulled up to VDD using resistors, ensuring they reach the High level when not driven by the master.

S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CM 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	20.2 I2C マスタ入出力端子	20-2
S1C17611 テクニカルマニュアル	411882201	20.2 I2C マスタ入出力端子	20-2
S1C17701 テクニカルマニュアル	411089703	20.2 I2C 入出力端子	20-2
S1C17704 テクニカルマニュアル	411511803	20.2 I2C 入出力端子	20-2
S1C17706 テクニカルマニュアル	412026301	17.2 I2CM 入出力端子	17-1
S1C17001 テクニカルマニュアル	411412002	20.2 I2C 入出力端子	252
S1C17002 テクニカルマニュアル	411554302	V.2.2 I2C マスタ入出力端子	V-2-2
S1C17003 テクニカルマニュアル	411635002	20.2 I2C マスタ入出力端子	20-2
S1C17501 テクニカルマニュアル	411525502	VI.2.2 I2C 入出力端子	VI-2-2
S1C17801 テクニカルマニュアル	411390602	VI.2.2 I2C 入出力端子	VI-2-2
S1C17803 テクニカルマニュアル	411820701	20.2 I2CM 入出力端子	20-1
<p>(追加)</p> <p>注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。</p> 			

S1C17 シリーズテクニカルマニュアル正誤表

項目 24.5 間欠動作

対象マニュアル	発行 No.	項目	ページ
S1C17706	412026301	24.5 間欠動作	24-3
		SVD Comparison Voltage Register (SVD_CMP)	24-6

24-3 ページ S1C17706 テクニカルマニュアル

24-6 ページ S1C17706 テクニカルマニュアル

(誤)

24.5 間欠動作

表 24.5.2 間欠動作モードの検出結果判定回数の選択

SVDSC[1:0]	検出結果判定
0x3	連続 4 回検出
0x2	連続 3 回検出
0x1	連続 2 回検出
0x0	連続 1 回検出

(デフォルト 0x0)

制御レジスタ詳細

D[5:4] SVDSC: SVD Sampling Result Count Bits

間欠動作モード時、検出結果で連続 1 の回数がいくつになったら、SVDIF/SVD_IFG レジスタを 1 にするかを設定します。

表 24.7.4 間欠動作モードの検出結果判定回数の選択

SVDSC[1:0]	検出結果判定
0x3	連続 4 回検出
0x2	連続 3 回検出
0x1	連続 2 回検出
0x0	連続 1 回検出

(デフォルト 0x0)

(正)

24.5 間欠動作

表 24.5.2 間欠動作モードの検出結果判定回数の選択

SVDSC[1:0]	検出結果判定
0x3	連続 8 回検出
0x2	連続 4 回検出

0x1	連続 2 回検出
0x0	連続 1 回検出

(デフォルト 0x0)

制御レジスタ詳細

D[5:4] SVDSC:SVD Sampling Result Count Bits

間欠動作モード時、検出結果で連続 1 の回数がいくつになったら、SVDIF/SVD_IFG レジスタを 1 にするかを設定します。

表 24.7.4 間欠動作モードの検出結果判定回数の選択

SVDSC[1:0]	検出結果判定
0x3	連続 8 回検出
0x2	連続 4 回検出
0x1	連続 2 回検出
0x0	連続 1 回検出

(デフォルト 0x0)

S1C17 シリーズテクニカルマニュアル正誤表

項目 SEG Terminal Control Register

対象マニュアル	発行 No.	項目	ページ
S1C17706	412026301	SEG Terminal Control Register (LCD_SEGC)	21-25

21-25 ページ S1C17706 テクニカルマニュアル

(誤)

SEG Terminal Control Register (LCD_SEGC)

Setting

NCLINE[4:0]	Reverse line
0xf	31 lines
:	:
0x1	1line
0x0	Normal

D[4:0] SEG n Line[4:0] Reverse Drive Selection Bits

n ライン交流反転駆動の許可と、反転ライン数を設定します。

表 21.9.8 反転ライン数の選択

NLINE[4:0]	反転ライン数
0xF	31 ライン
:	:
0x1	1 ライン
0x0	通常

(正)

SEG Terminal Control Register (LCD_SEGC)

Setting

NCLINE[4:0]	Reverse line
0x1f	31 lines
:	:
0x1	1line
0x0	Normal

D[4:0] SEG n Line[4:0] Reverse Drive Selection Bits

n ライン交流反転駆動の許可と、反転ライン数を設定します。

表 21.9.8 反転ライン数の選択

NLINE[4:0]	反転ライン数
0x1F	31 ライン
⋮	⋮
0x1	1 ライン
0x0	通常

S1C17 シリーズテクニカルマニュアル正誤表

項目 COM 出力パーシャル駆動			
対象マニュアル	発行 No.	項目	ページ
S1C17706	412026301	21.5.4 COM 出力パーシャル駆動	21-11
21-11 ページ S1C17706 テクニカルマニュアル			
(誤)			
COM*DEN/LCD_COM0-3 レジスタを 1 に設定することによって、表示データ RAM の内容にかかわらず、任意の COM 出力を OFF 波形出力(消灯波形)にすることができます。これにより、表示が必要な箇所を制限し、低消費電力化を実現することができます。			
(正)			
COM*DEN/LCD_COM0-3 レジスタを 0 に設定することによって、表示データ RAM の内容にかかわらず、任意の COM 出力を OFF 波形出力(消灯波形)にすることができます。これにより、表示が必要な箇所を制限し、低消費電力化を実現することができます。			

S1C17 シリーズテクニカルマニュアル正誤表

項目 T16A/T16A2 の CBUFEN レジスタについて			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	13.8 制御レジスタ詳細	13-15
S1C17705/703 テクニカルマニュアル	411706502	10.8 制御レジスタ詳細	10-18
S1C17706 テクニカルマニュアル	412026301	10.8 制御レジスタ詳細	10-17
S1C17711 テクニカルマニュアル	411905502	10.8 制御レジスタ詳細	10-14
S1C17554/564 テクニカルマニュアル	411914302	11.8 制御レジスタ詳細	11-14
S1C17651 テクニカルマニュアル	412120500	12.8 制御レジスタ詳細	12-13
13-15 ページ S1C17624/604/622/602/621 テクニカルマニュアル 10-17 ページ S1C17706 テクニカルマニュアル 12-13 ページ S1C17651 テクニカルマニュアル			
(誤) D3 CBUFEN: Compare Buffer Enable Bit コンペアバッファを有効/無効に設定します。 1(R/W): 有効 0(R/W): 無効(デフォルト) CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。 CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。 注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。			
(正) D3 CBUFEN: Compare Buffer Enable Bit コンペアバッファを有効/無効に設定します。			

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。

CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。

10-18 ページ S1C17705/703 テクニカルマニュアル

10-14 ページ S1C17711 テクニカルマニュアル

11-14 ページ S1C17554/564 テクニカルマニュアル

(誤)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。

(正)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。