

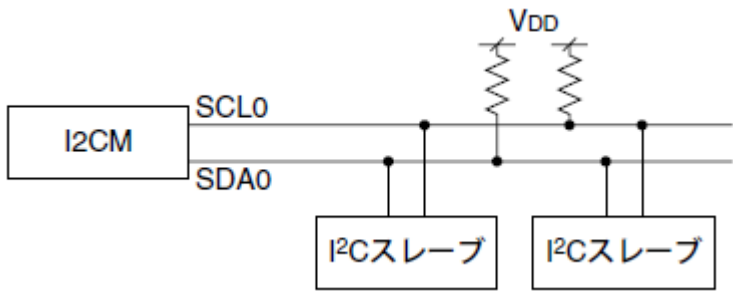
S1C17 ファミリテクニカルマニュアル正誤表

項目 出荷形態の一部新規受付終了			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	出荷形態	1-2
(誤)			
●出荷形態			
• TQFP13-64 10mm×10mmボディー、0.5mmピッチ			
• VFBGA8H-81 8mm×8mmボディー、0.8mmピッチ			
• ペアチップ100μmピッチ			
(正)			
●出荷形態			
• TQFP13-64 10mm×10mmボディー、0.5mmピッチ			
• VFBGA8H-81 8mm×8mmボディー、0.8mmピッチ #1			
• ペアチップ100μmピッチ			
#1 : VFBGA8H-81 は新規受付終了			

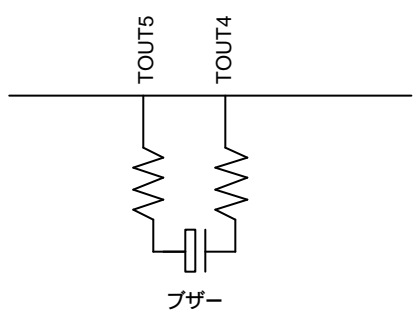
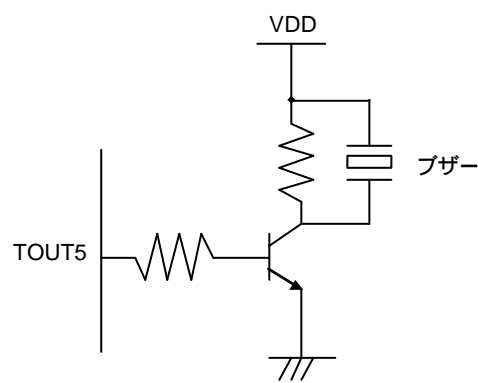
S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CS 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	21.2 I2C スレーブ入出力端子	21-2
S1C17611 テクニカルマニュアル	411882201	21.2 I2C スレーブ入出力端子	21-2
S1C17706 テクニカルマニュアル	412026301	18.2 I2CS 入出力端子	18-1
S1C17002 テクニカルマニュアル	411554302	V.3.2 I2C スレーブ入出力端子	V-3-2
S1C17003 テクニカルマニュアル	411635002	21.2 I2C スレーブ入出力端子	21-2
S1C17803 テクニカルマニュアル	411820701	21.2 I2CS 入出力端子	21-1
<p>(追加)</p> <p>注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。</p> <div style="text-align: center;"> <p>The diagram illustrates an I2C bus configuration. On the left, a box labeled 'I2Cマスタ' (I2C Master) is connected to two horizontal lines representing the SDA and SCL buses. The SDA line is labeled 'SDA1' and the SCL line is labeled 'SCL1'. Below these lines, two boxes represent the 'I2CS' and 'I2Cスレーブ' (I2C Slave). Two pull-up resistors are shown connected to the SDA and SCL lines, with their other ends connected to a supply voltage labeled 'VDD'.</p> </div>			

S1C17 ファミリテクニカルマニュアル正誤表

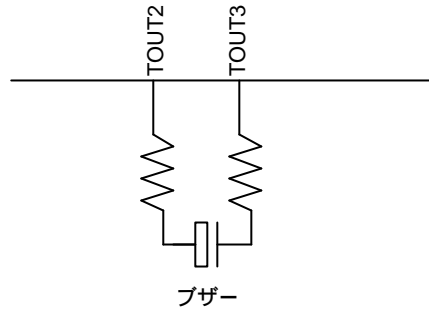
項目 I2CM 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	20.2 I2C マスタ入出力端子	20-2
S1C17611 テクニカルマニュアル	411882201	20.2 I2C マスタ入出力端子	20-2
S1C17701 テクニカルマニュアル	411089703	20.2 I2C 入出力端子	20-2
S1C17704 テクニカルマニュアル	411511803	20.2 I2C 入出力端子	20-2
S1C17706 テクニカルマニュアル	412026301	17.2 I2CM 入出力端子	17-1
S1C17001 テクニカルマニュアル	411412002	20.2 I2C 入出力端子	252
S1C17002 テクニカルマニュアル	411554302	V.2.2 I2C マスタ入出力端子	V-2-2
S1C17003 テクニカルマニュアル	411635002	20.2 I2C マスタ入出力端子	20-2
S1C17501 テクニカルマニュアル	411525502	VI.2.2 I2C 入出力端子	VI-2-2
S1C17801 テクニカルマニュアル	411390602	VI.2.2 I2C 入出力端子	VI-2-2
S1C17803 テクニカルマニュアル	411820701	20.2 I2CM 入出力端子	20-1
<p>(追加)</p> <p>注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。</p> 			

S1C17 マニュアル 正誤表

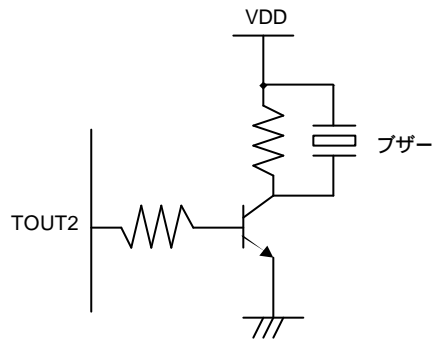
項目 基本外部結線図		
対象マニュアル	発行 No.	項目番号
S1C17705	411706500	P26-1
S1C17711	411905500	P26-1
S1C17121	411790500	P29-1
S1C17601	411806000	P29-1
S1C17611	411882200	P29-1
S1C17621/602/622/604/624	411914800	P30-1
P26-1(S1C17705)		
<p>(誤)</p> <div style="text-align: center;">  </div>		
<p>(正)</p> <div style="text-align: center;">  </div>		

P26-1(S1C17711)

(誤)



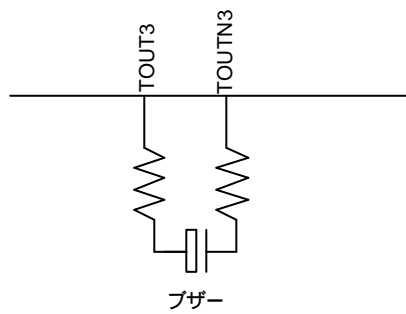
(正)



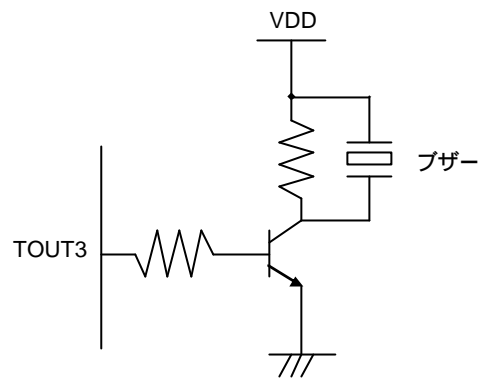
P29-1(S1C17121, S1C17601, S1C17611)

P30-1(S1C17621/602/622/604/624)

(誤)



(正)



S1C17 マニュアル 正誤表

項目 SPI クロックについて		
対象マニュアル	発行 No.	項目番号
S1C17121	411790500	P19-3
S1C17702	411602400	P19-3
S1C17003	411635001	P19-3
S1C17601	411806000	P19-3
S1C17705	411706500	P15-2
S1C17621/S1C17602/S1C17622/ S1C17604/S1C17624	411914800	P19-3
P19-3(S1C17121,S1C17702,S1C17003,S1C17601)		
<p>(誤)</p> <p>マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは $PCLK \cdot 1/4$ のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。</p> <p>16 ビットタイマ Ch.1 出カクロックと $PCLK \cdot 1/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出カクロック、0 に設定すると $PCLK \cdot 1/4$ クロックが選択されます。</p> <p>*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)</p> <p>16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”11 16 ビットタイマ(T16)”を参照してください。</p> <div style="text-align: center;"> <p style="margin-left: 100px;">PCLK</p> <p style="margin-left: 100px;">16ビットタイマ Ch.1出カクロック または PCLK・1/4</p> <p style="margin-left: 100px;">SPIクロック(SPICLK出力)</p> </div>		

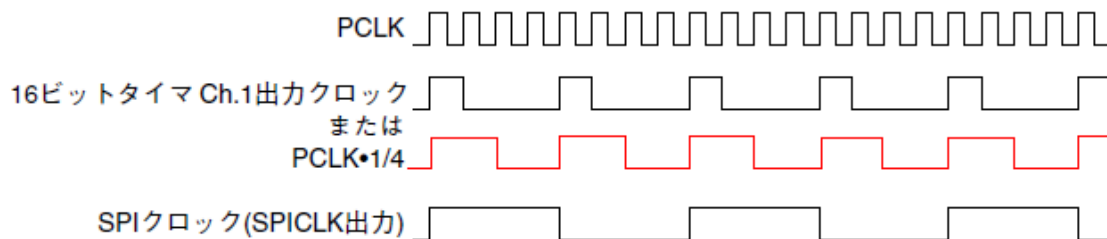
(正)

マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは $PCLK \cdot 1/4$ のクロックを **SPI クロックとして使用しません使用して SPI クロックを生成します**。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.1 出力クロックと $PCLK \cdot 1/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出力クロック、0 に設定すると $PCLK \cdot 1/4$ クロックが選択されます。

*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)

16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”11 16 ビットタイマ(T16)”を参照してください。



P15-2(S1C17705)

(誤)

マスターモードの SPI は、16 ビットタイマ Ch.2 が出力するクロックまたは $PCLK/4$ のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.2 出力クロックと $PCLK/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTLx レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.2 出力クロック、0 に設定すると $PCLK/4$ クロックが選択されます。

16 ビットタイマ Ch.2 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”16 ビットタイマ(T16)”の章を参照してください。

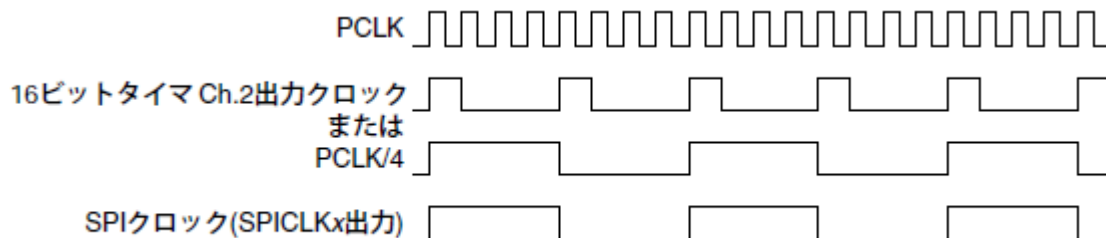


図15.3.1 マスタモードのSPIクロック

(正)

マスターモードのSPIは、16ビットタイマ Ch.2 が出力するクロックまたは PCLK/4 のクロックを **SPI クロック**として使用します使用して SPI クロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.2 出力クロックと PCLK/4 クロックのどちらを使用するかについては MCLK (D9/SPI_GTLx レジスタ)で選択します。MCLKを1に設定すると16ビットタイマ Ch.2 出力クロック、0に設定するとPCLK/4 クロックが選択されます。

16ビットタイマCh.2を使用すると、転送レートをプログラマブルに設定できます。16ビットタイマの制御については、“16ビットタイマ(T16)”の章を参照してください。

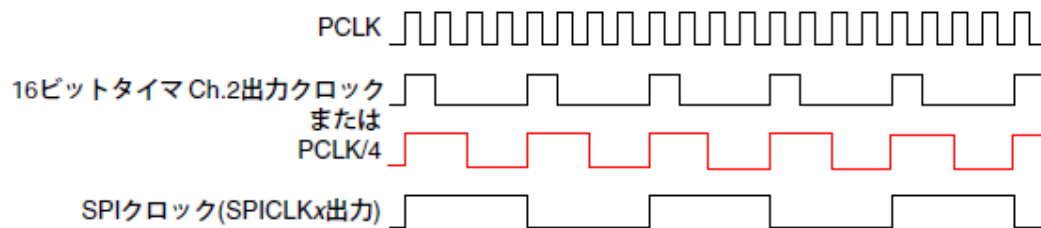


図15.3.1 マスタモードのSPIクロック

P19-3(S1C17621/S1C17602/S1C17622/S1C17604/S1C17624)

(誤)

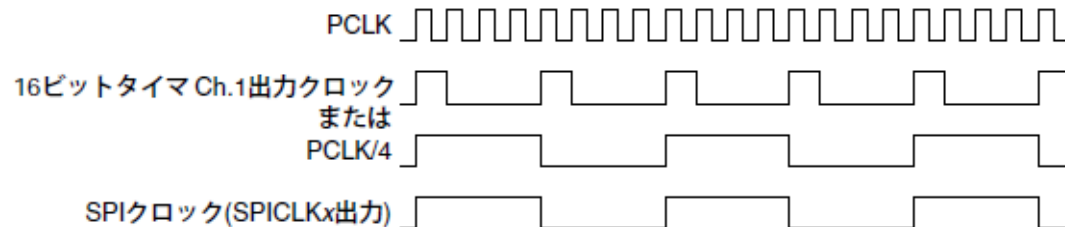


図19.3.1 マスタモードのSPIクロック

(正)

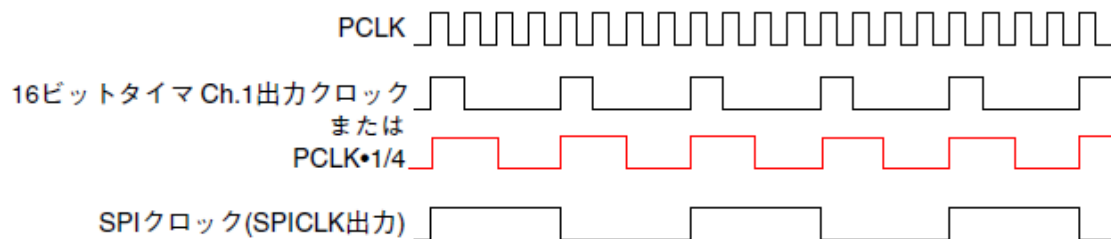


図19.3.1 マスタモードのSPIクロック

S1C17 マニュアル 正誤表

項目 入出力ポートのチャタリング除去機能 (P)			
対象マニュアル	発行 No.	項目	ページ
S1C17121	411790501	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-20
		10.9 注意事項	10-32
S1C17554/564	411914300	8.5 チャタリング除去機能	8-4
		8.8 制御レジスタ詳細	8-10
S1C17601	411806000	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-19
		10.9 注意事項	10-28
S1C17611	411882200	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-19
		10.9 注意事項	10-28
S1C17624/604/622/602/621	411914800	9.6 P0 と P1 ポートのチャタリング除去機能	9-5
		9.9 制御レジスタ詳細	9-11
S1C17705	411706500	8.6 P0~P3 ポートのチャタリング除去機能	8-4
		8.9 制御レジスタ詳細	8-10
S1C17711	411905500	8.6 P0~P3 ポートのチャタリング除去機能	8-4
		8.9 制御レジスタ詳細	8-10

(正)

- (1)チャタリング除去機能の注記に追加
- (2)制御レジスタ詳細の“Px_CHATレジスタ”の注記に追加
- (3)注意事項のP0、P1ポートチャタリング除去回路に追加 (S1C17121/601/611)

・チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

S1C17 マニュアル 正誤表

項目 I2CS データ送信時の制御			
対象マニュアル	発行 No.	項目	ページ
S1C17002	411554301	V.3.5 データ送受信の制御	V-3-7
S1C17003	411635001	21.5 データ送受信の制御	21-7
S1C17121	411790501	21.5 データ送受信の制御	21-7
S1C17554/564	411914300	18.5 データ送受信の制御	18-4
S1C17601	411806000	21.5 データ送受信の制御	21-7
S1C17611	411882200	21.5 データ送受信の制御	21-7
S1C17624/604/622/602/621	411914800	21.5 データ送受信の制御	21-4
S1C17705	411706500	17.5 データ送受信の制御	17-4
S1C17711	411905500	17.5 データ送受信の制御	17-4

(誤)

データ送信

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック(SCL*入カクロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

(正)

データ送信

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック(SCL*入カクロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。
非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後も送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

S1C17 マニュアル 正誤表

項目 UART 割り込み信号の注釈について			
対象マニュアル	発行 No.	項目	ページ
S1C17704 テクニカルマニュアル	411511802	18.10 注意事項	18-21
S1C17702 テクニカルマニュアル	411602401	18.10 注意事項	18-21
S1C17705 テクニカルマニュアル	411706500	14.9 制御レジスタ詳細	14-11
S1C17601 テクニカルマニュアル	411806000	18.10 注意事項	18-21
S1C17602 テクニカルマニュアル	411620000	18.10 注意事項	18-21
S1C17611 テクニカルマニュアル	411882200	18.10 注意事項	18-21
S1C17121 テクニカルマニュアル	411790501	18.10 注意事項	18-21
S1C17003 テクニカルマニュアル	411790501	18.10 注意事項	18-21
<p>(誤)</p> <p>S1C17705</p> <ul style="list-style-type: none"> ・ UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLレジスタの RXEN以外のビットすべて (RBF_I, TIEN, RIEN, REIEN, TEIEN) <p>S1C17704/702/601/602/611/121/003</p> <ul style="list-style-type: none"> ・ UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLレジスタの RXEN以外のビットすべて (RBF_I, TIEN, RIEN, REIEN) 			
<p>(正)</p> <ul style="list-style-type: none"> • UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLxレジスタのRBF_Iビット 			

S1C17 マニュアル 正誤表

項目 I2CM 割り込み			
対象マニュアル	発行 No.	項目	ページ
S1C17701 テクニカルマニュアル	411089702	I2C 割り込み	20-11
S1C17704 テクニカルマニュアル	411511802	I2C 割り込み	20-11
S1C17702 テクニカルマニュアル	411602401	I2C 割り込み	20-10
S1C17705 テクニカルマニュアル	411706500	I2CM 割り込み	16-6
S1C17601 テクニカルマニュアル	411806000	I2C マスター割り込み	20-10
S1C17602 テクニカルマニュアル	411620000	I2C マスター割り込み	20-10
S1C17611 テクニカルマニュアル	411882200	I2C マスター割り込み	20-10
S1C17121 テクニカルマニュアル	411790501	I2C マスター割り込み	20-10
S1C17001 テクニカルマニュアル	411412001	I2C 割り込み	259
S1C17003 テクニカルマニュアル	411635001	I2C マスター割り込み	20-10
<p>(誤)</p> <p>送信バッファエンプティ割り込み</p> <p>この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。</p> <p>受信バッファフル割り込み</p> <p>この割り込みを使用するには、RINTE/I2CM_ICTL レジスタを 1 に設定します。RINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。受信バッファフル割り込みが許可されていれば(RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0]にロードされた時点で割り込み要求が ITC に出力されます。</p> <p>ITC については、“割り込みコントローラ(ITC)”の章を参照してください</p>			
<p>(正)</p> <p>送信バッファエンプティ割り込み</p> <p>この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT</p>			

レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。

送信バッファEMPTY割り込みは、データ送信時のみ、発生します。

・送信バッファEMPTY割り込みのクリア方法

RTDT/I2CM_DAT にデータをライトします。

TXE/I2CM_DAT=0 とした場合、データは送信されず、割り込みクリアのみ行います。

受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM_ICTL レジスタを 1 に設定します。RINTE が 0 (デフォルト) に設定されていると、この要因による割り込み要求は ITC に送られません。

受信バッファフル割り込みが許可されていれば (RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0] にロードされた時点で割り込み要求が ITC に出力されます。

受信バッファフル割り込みは、データ受信時のみ、発生します。

・受信バッファフル割り込みのクリア方法

RTDT/I2CM_DAT からデータをリードします。

注: I2CM の割り込み発生時、I2C マスターのシーケンス処理に応じて送信バッファEMPTY割り込みと受信バッファフル割り込みを判断して下さい。送信バッファEMPTY割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。

ITC については、“割り込みコントローラ (ITC)” の章を参照してください。

S1C17 マニュアル 正誤表

項目 重負荷保護機能			
対象マニュアル	発行 No.	項目	ページ
S1C17702 テクニカルマニュアル	411602401	4.4 重負荷保護機能	4-5
S1C17705 テクニカルマニュアル	411706500	4.5 重負荷保護機能	4-4
S1C17601 テクニカルマニュアル	411806000	4.4 重負荷保護機能	4-4
S1C17602 テクニカルマニュアル	411620000	4.4 重負荷保護機能	4-4
S1C17611 テクニカルマニュアル	411882200	4.4 重負荷保護機能	4-4
<p>(誤)</p> <p>内部定電圧回路は HVLD/VD1_CTL レジスタに 1 を書き込むと重負荷保護モードになり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。</p>			
<p>(正)</p> <p>内部定電圧回路は HVLD/VD1_CTL レジスタに 1 を書き込むと重負荷保護モードになり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。以下のような動作処理で、不安定な動作が見られる場合は、重負荷保護モードを設定してください。</p> <ul style="list-style-type: none">● ポート出力によりダイオードやブザーなど、大電流が流れるものの駆動をするとき(ダイオードやブザーを駆動中、重負荷保護モードを保持)● システムクロックの高速クロックと低速クロックへの切り替えで大きな消費電流差があるとき(切り替え直前から、切り替え完了の後、数 10usec 経過するまでの間、重負荷保護モードを保持)● HALT/SLEEP モードとその解除で大きな消費電流差があり、その頻繁な繰り返しを実施しているとき(切り替え処理を繰り返している間、重負荷保護モードを保持) <p>注： 重負荷保護モードの解除は、必ず不安定な動作を起こす処理が終了してから行ってください。また、不安定な処理を繰り返し行う場合は、その処理を繰り返す間、重負荷保護モード状態を保持し続けるようプログラミングしてください。</p>			

S1C17 マニュアル 正誤表

項目 UART RXEN=0 時の受信バッファの状態			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806000	18 UART	18-7, 18-19, 18-21
P18-7(S1C17601)			
(誤)			
RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
(正)			
RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
P 18-19(S1C17601)			
(誤)			
D0 RXEN: UART Enable Bit			
UART によるデータ送受信を許可します。			
1(R/W): 許可			
0(R/W): 禁止(デフォルト)			
UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。			
RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
(正)			
D0 RXEN: UART Enable Bit			
UART によるデータ送受信を許可します。			
1(R/W): 許可			
0(R/W): 禁止(デフォルト)			
UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。			
RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
P 18-21(S1C17601)			

(誤)

• RXEN を 0 に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

(正)

• RXEN を 0 に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

S1C17 マニュアル 正誤表

項目 UART 受信エラーフラグのリセット方法			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806000	18 UART	18-14
P 18-14(S1C17601)			
(誤)			
D6 FER: Framing Error Flag Bit			
フレーミングエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。			
FER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
D5 PER: Parity Error Flag Bit			
パリティエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。			
PER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
D4 OER: Overrun Error Flag Bit			
オーバーランエラーが発生しているか否かを示します。			
1(R): エラー発生			

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

(正)

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。

FER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは ~~RXEN/UART_CTLxレジスタを 0 に設定する~~ ことによりリセットされます。