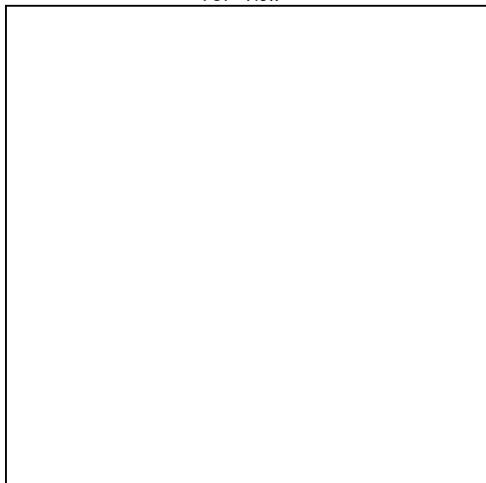


S1C17 シリーズテクニカルマニュアル正誤表

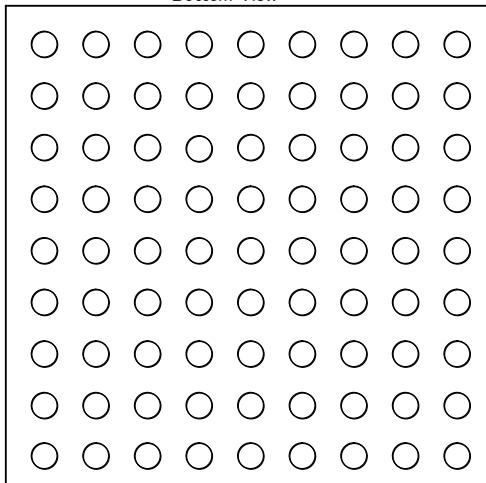
項目 出荷形態 VFBGA5H-81 追加			
対象マニュアル	発行 No.	項目	ページ
S1C17554/564 テクニカルマニュアル	411914303	1.1 特長 1.3.2 S1C17564 端子配置図 1.3.3 端子説明 26 パッケージ	1-2 1-9 1-12 26-1
1.1 特長 (P.1-2)			
(誤) 出荷形態 -			
(正) 出荷形態 VFBGA5H-81 (5mm x 5mm x 1.0mm, ball pitch: 0.5mm)			
1.3.2 S1C17564 端子配置図 (P.1-9)			
(誤) -			
(正) 次頁追加			

S1C17564 端子配置図(VFBGA5H-81)

TOP View



Bottom View



TOP View

	1	2	3	4	5	6	7	8	9
A	NC	P00 AIN0	P02 AIN2 US_SSI0	AVDD	VSS	P42 SCLK0 TOUT1 CAP1	P40 SIN0 TOUT6 CAP6	#RESET	NC
B	P10 SDIO	P01 AIN1	P03 AIN3 US_SSI1	P32 TOUT4 CAP4 FOUTA	HVDD	P41 SOUT0 TOUT7 CAP7	LVDD	REGEN	VSS
C	P12 SPICLK0	P50 US_SDIO	P11 SDO0	VSS	P17 SCL0	P45 (EXCL0) SDAO	VIN	VOUT	P23 (EXCL2) SDI2
D	LVDD	P13 #SPISS0 TOUT5 CAP5	HVDD	VSS	VSS	VSS	P22 (EXCL1) FOUTB	P21 TOUT3 CAP3	P20 TOUT2 CAP2
E	P51 US_SDO0	P14 SIN1 SDI1	P15 SOUT1 SDO1	VSS	VSS	VSS	HVDD	VSS	OSC4
F	P16 SCLK1 SPICLK1	P43 SDA1 REMI	P44 SCL1 REMO	VSS	VSS	VSS	P54 US_SDO1	VSS	OSC3
G	HVDD	P24 (EXCL3) SDO2	VSS	LVDD	DST2 P37	TEST	P34 REMO #SPISS1	VPP	OSC2
H	VSS	P25 #BFR #SPISS2	P26 SDA1	HVDD	P53 US_SDI1	LVDD	P33 REMI SPICLK2	VSS	OSC1
J	NC	P52 US_SCK0	P27 SCL1	P30 TOUT0 CAP0	P31 #BFR ADTRG	DSIO P36	DCLK P35	P55 US_SCK1	NC

1.3.3 端子説明 (P.1-12)

(誤)

-

(正)

名称	I/O	初期状態	機能	S1C17564 VFBGA
HVDD	-	-	I/O電源端子(1.85~5.5V)	B5, D3, E7, G1, H4
LVDD	-	-	コア電源端子(1.85~1.95V)	D1, G4, H6, B7
VSS	-	-	GND端子	A5, B9, C4, D4, D5, D6, E4, E5, E6, E8, F4, F5, F6, F8, G3, H1, H8
VPP	-	-	Flashプログラミング/消去電源端子(7/7.5V)(通常動作時はオープン)	G8
AVDD	-	-	アナログ電源端子(2.7~5.5V)	A4
VIN	-	-	レギュレータ入力端子(2.0~5.5V)	C7
VOUT	-	-	レギュレータ出力端子(1.8V)	C8
REGEN	I	I	レギュレータイネーブル入力端子	B8
OSC3	I	I	OSC3発振入力端子/外部クロック(LVDDレベル)入力端子	F9
OSC4	O	O	OSC3発振出力端子	E9
OSC1	I	I	OSC1発振入力端子/外部クロック(LVDDレベル)入力端子	H9
OSC2	O	O	OSC1発振出力端子	G9
#RESET	I	I(Pull-up)	イニシャルリセット入力端子	A8
TEST	I	I(Pull-down)	テスト用入力端子(通常動作時はVSSに接続)	G6
P00	I/O	I(Pull-up)	入出力ポート端子	A2
AIN0	I		A/D変換器 Ch.0アナログ信号入力端子	
P01	I/O	I(Pull-up)	入出力ポート端子	B2
AIN1	I		A/D変換器 Ch.1アナログ信号入力端子	
P02	I/O	I(Pull-up)	入出力ポート端子	A3
AIN2	I		A/D変換器 Ch.2アナログ信号入力端子	
US_SSI0	I/O		USI Ch.0データ入出力端子(S1C17564)	
P03	I/O	I(Pull-up)	入出力ポート端子	B3
AIN3	I		A/D変換器 Ch.3アナログ信号入力端子	
US_SSI1	I/O		USI Ch.1データ入出力端子(S1C17564)	
P10	I/O	I(Pull-up)	入出力ポート端子	B1
SDI0	I		SPI Ch.0データ入力端子	
P11	I/O	I(Pull-up)	入出力ポート端子	C3
SDO0	O		SPI Ch.0データ出力端子	
P12	I/O	I(Pull-up)	入出力ポート端子	C1
SPICLK0	I/O		SPI Ch.0クロック入出力端子	
P13	I/O	I(Pull-up)	入出力ポート端子	D2
#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子	
TOUT5	O		T16A Ch.2 TOUT B信号出力端子	
CAP5	I		T16A Ch.2キャプチャBトリガ信号入力端子	
P14	I/O	I(Pull-up)	入出力ポート端子	E2
SIN1	I		UART Ch.1データ入力端子	
SDI1	I		SPI Ch.1データ入力端子	
P15	I/O	I(Pull-up)	入出力ポート端子	E3
SOUT1	O		UART Ch.1データ出力端子	
SDO1	O		SPI Ch.1データ出力端子	
P16	I/O	I(Pull-up)	入出力ポート端子	F1
SCLK1	I		UART Ch.1外部クロック入力端子	
SPICLK1	I/O		SPI Ch.1クロック入出力端子	
P17	I/O	I(Pull-up)	入出力ポート端子	C5
SCL0	I/O		I2CマスタSCL入出力端子	
P20	I/O	I(Pull-up)	入出力ポート端子	D9
TOUT2	O		T16A Ch.1 TOUT A信号出力端子	
CAP2	I		T16A Ch.1キャプチャAトリガ信号入力端子	
P21	I/O	I(Pull-up)	入出力ポート端子	D8
TOUT3	O		T16A Ch.1 TOUT B信号出力端子	
CAP3	I		T16A Ch.1キャプチャBトリガ信号入力端子	
P22 (EXCL1)	I/O	I(Pull-up)	入出力ポート端子(T16A Ch.1外部クロック入力端子)	D7
FOUTB	O		クロック出力端子	
P23 (EXCL2)	I/O	I(Pull-up)	入出力ポート端子(T16A Ch.2外部クロック入力端子)	C9
SDI2	I		SPI Ch.2データ入力端子	
P24 (EXCL3)	I/O	I(Pull-up)	入出力ポート端子(T16A Ch.3外部クロック入力端子)	G2
SDO2	O		SPI Ch.2データ出力端子	
P25	I/O	I(Pull-up)	入出力ポート端子	H2
#BFR	I		I2Cスレーブバス解放要求入力端子	
#SPISS2	I		SPI Ch.2スレーブセレクト信号入力端子	
P26	I/O	I(Pull-up)	入出力ポート端子	H3
SDA1	I/O		I2Cスレーブデータ入出力端子	
P27	I/O	I(Pull-up)	入出力ポート端子	J3
SCL1	I/O		I2CスレーブSCL入出力端子	
P30	I/O	I(Pull-up)	入出力ポート端子	J4
TOUT0	O		T16A Ch.0 TOUT A信号出力端子	
CAP0	I		T16A Ch.0キャプチャAトリガ信号入力端子	
P31	I/O	I(Pull-up)	入出力ポート端子	J5

#BFR	I	I2Cスレーブバス解放要求入力端子 A/D変換器外部トリガ入力端子		
P32	I/O	I(Pull-up)	入出力ポート端子 T16A Ch.2 TOUT A信号出力端子	B4
	O		T16A Ch.2キャプチャAトリガ信号入力端子	
	I		クロック出力端子	
	O			
P33	I/O	I(Pull-up)	入出力ポート端子 REMC入力端子	H7
	I		SPI CLK2入出力端子	
	I/O		入出力ポート端子 REMC出力端子	
P34	I/O	I(Pull-up)	SPI Ch.1スレーブセレクト信号入力端子	G7
	O		O(H) オンチップデバッグクロック出力端子	
	I		入出力ポート端子	
P35	O	I(Pull-up)	オンチップデバッグデータ入出力端子	J6
	I/O		入出力ポート端子	
	I/O		O(L) オンチップデバッグステータス出力端子	
P36	O	I(Pull-up)	入出力ポート端子	G5
	I/O		UART Ch.0データ入力端子	
	I		T16A Ch.3 TOUT A信号出力端子	
P37	O	I(Pull-up)	T16A Ch.3キャプチャAトリガ信号入力端子	A7
	I/O		入出力ポート端子	
	I		UART Ch.0データ出力端子	
P38	I	I(Pull-up)	T16A Ch.3 TOUT B信号出力端子	B6
	O		T16A Ch.3キャプチャBトリガ信号入力端子	
	I		入出力ポート端子	
P39	I/O	I(Pull-up)	UART Ch.0外部クロック入力端子	A6
	I		T16A Ch.0 TOUT B信号出力端子	
	I		T16A Ch.0キャプチャBトリガ信号入力端子	
P40	I/O	I(Pull-up)	入出力ポート端子	F2
	O		UART Ch.0データ入出力端子	
	I		REMC入力端子	
P41	I/O	I(Pull-up)	入出力ポート端子	F3
	O		UART Ch.0データ出力端子	
	O		T16A Ch.3 TOUT B信号入力端子	
P42	I/O	I(Pull-up)	入出力ポート端子	C6
	I		T16A Ch.0外部クロック入力端子	
	O		T16A Ch.0 TOUT B信号入力端子	
P43	I/O	I(Pull-up)	入出力ポート端子	C2
	I/O		I2Cスレーブデータ入出力端子	
	I		REMC出力端子	
P44	I/O	I(Pull-up)	入出力ポート端子	E1
	I/O		I2CスレーブSCL入出力端子	
	O		REMC出力端子	
P45 (EXCLO)	I/O	I(Pull-up)	入出力ポート端子 (T16A Ch.0外部クロック入力端子)	J2
	I/O		I2Cマスターデータ入出力端子	
P50	I/O	I(Pull-up)	入出力ポート端子	H5
	US SDIO		USI Ch.0データ入出力端子 (S1C17564)	
	O		USI Ch.0データ出力端子 (S1C17564)	
P51	I/O	I(Pull-up)	入出力ポート端子	F7
	US SDO0		USI Ch.0クロック入出力端子 (S1C17564)	
	O		USI Ch.1データ入出力端子 (S1C17564)	
P52	I/O	I(Pull-up)	入出力ポート端子	J8
	US SCK0		USI Ch.0クロック入出力端子 (S1C17564)	
	O		USI Ch.1データ出力端子 (S1C17564)	
P53	I/O	I(Pull-up)	入出力ポート端子	A1, A9, J1, J9
	US SDH		USI Ch.1データ入出力端子 (S1C17564)	
	O		USI Ch.1データ出力端子 (S1C17564)	
P54	I/O	I(Pull-up)	入出力ポート端子	F1
	US SDO1		USI Ch.1クロック入出力端子 (S1C17564)	
P55	I/O	I(Pull-up)	入出力ポート端子	J8
	US SCK1		USI Ch.1データ出力端子 (S1C17564)	
N.C.			未使用端子*	

* 未使用端子についても基板上にランドパターンを設け実装してください。

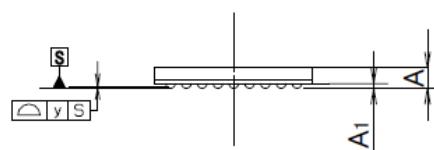
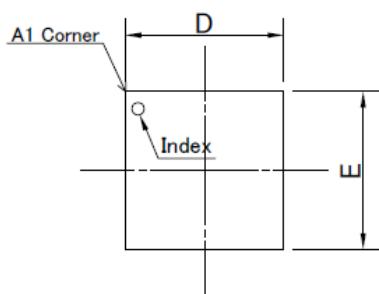
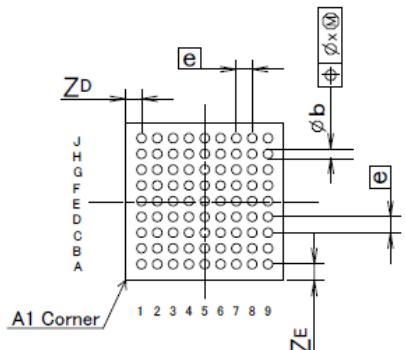
26 パッケージ (P.26-1)

(誤)

-

(正)

追加

Top ViewBottom View

Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	5	-
E	-	5	-
A	-	-	1.0
A ₁	-	0.23	-
[e]	-	0.5	-
b	0.26	-	0.36
x	-	-	0.08
y	-	-	0.1
Z _D	-	0.5	-
Z _E	-	0.5	-

1 = 1mm

S1C17 マニュアル正誤表

項目 USI/USIL AC 特性					
対象マニュアル	発行 No.	項目	ページ		
S1C17554/564 テクニカルマニュアル	411914303	24.11 USI 特性(S1C17564)	24-8		

24-8

(誤)

SPI マスタモード(8 または 9 ビット, ノーマルモード)

特記なき場合: HVDD = 1.65~5.5V, VSS = 0V, Ta = -40~85° C

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 + tPCLK	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns

SPI マスタモード(8 または 9 ビット, ファストモード)

特記なき場合: HVDD = 1.65~5.5V, VSS = 0V, Ta = -40~85° C

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns

(正)

SPI マスタモード(8 または 9 ビット, ノーマルモード)

特記なき場合: HVDD = 1.65~5.5V, VSS = 0V, Ta = -40~85° C

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	(85 + tPCLK) x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns

SPI マスタモード(8 または 9 ビット, ファストモード)

特記なき場合: HVDD = 1.65~5.5V, VSS = 0V, Ta = -40~85° C

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns

S1C17 シリーズテクニカルマニュアル正誤表

項目 T16A/T16A2 の CBUFEN レジスタについて			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	13.8 制御レジスタ詳細	13-15
S1C17705/703 テクニカルマニュアル	411706502	10.8 制御レジスタ詳細	10-18
S1C17706 テクニカルマニュアル	412026301	10.8 制御レジスタ詳細	10-17
S1C17711 テクニカルマニュアル	411905502	10.8 制御レジスタ詳細	10-14
S1C17554/564 テクニカルマニュアル	411914302	11.8 制御レジスタ詳細	11-14
S1C17651 テクニカルマニュアル	412120500	12.8 制御レジスタ詳細	12-13
13-15 ページ S1C17624/604/622/602/621 テクニカルマニュアル 10-17 ページ S1C17706 テクニカルマニュアル 12-13 ページ S1C17651 テクニカルマニュアル			
(誤)			
D3 CBUFEN: Compare Buffer Enable Bit コンペアバッファを有効/無効に設定します。 1(R/W): 有効 0(R/W): 無効(デフォルト) CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。 CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。 注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。			
(正)			
D3 CBUFEN: Compare Buffer Enable Bit コンペアバッファを有効/無効に設定します。			

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFENを1に設定するとコンペアバッファが有効になり、コンパレータはコンペアA、コンペアBレジスタの代わりにコンペアA、コンペアBバッファとカウンタ値を比較してコンペアA、コンペアB信号を生成します。ソフトウェアでコンペアA、コンペアBレジスタに書き込んだ比較値は、コンペアB信号が発生した時点でコンペアA、コンペアBバッファにロードされます。

CBUFENを0に設定するとコンペアバッファが無効となり、コンパレータはコンペアA、コンペアBレジスタとカウンタ値を比較してコンペアA、コンペアB信号を生成します。

注: CBUFENの設定は、カウンタが停止中(**CLKEN** = 0)に行ってください。

10-18 ページ S1C17705/703 テクニカルマニュアル

10-14 ページ S1C17711 テクニカルマニュアル

11-14 ページ S1C17554/564 テクニカルマニュアル

(誤)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。

バッファの内容は、コンペアB信号が発生した時点でコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込みがコンペアAおよびコンペアBレジスタに対して直接行われます。

注: CBUFENの設定は、カウンタが停止中(**PRUN** = 0)に行ってください。

(正)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。

バッファの内容は、コンペアB信号が発生した時点でコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込みがコンペアAおよびコンペアBレジスタに対して直接行われます。

注: CBUFENの設定は、カウンタが停止中(**CLKEN** = 0)に行ってください。