

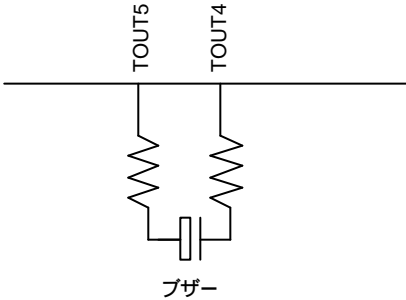
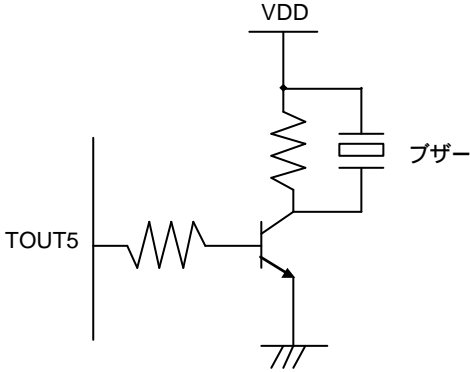
## S1C17 ファミリテクニカルマニュアル正誤表

項目 出荷形態の一部新規受付終了			
対象マニュアル	発行 No.	項目	ページ
S1C17121 テクニカルマニュアル	411790502	出荷形態	1-2
(誤)			
●出荷形態			
• TQFP14-100      12mm×12mmボディー、0.4mmピッチ			
• VFBGA7H-144    7mm×7mmボディー、0.5mmピッチ			
• ペアチップ 100μmピッチ			
(正)			
●出荷形態			
• TQFP14-100      12mm×12mmボディー、0.4mmピッチ			
• VFBGA7H-144    7mm×7mmボディー、0.5mmピッチ    #1			
• ペアチップ 100μmピッチ			
#1 : VFBGA7H-144 は新規受付終了			

## S1C17 ファミリテクニカルマニュアル正誤表

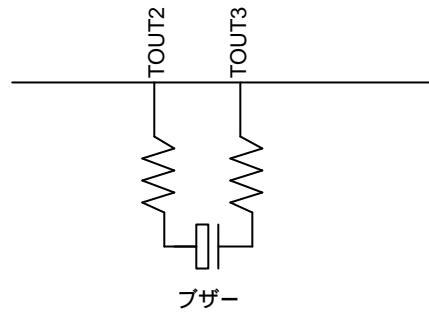
項目 重負荷保護機能			
対象マニュアル	発行 No.	項目	ページ
S1C17121 テクニカルマニュアル	411790502	4.4 重負荷保護機能	4-4
(誤)			
内部定電圧回路は HVLD(D5/VD1_CTL レジスタ)に 1 を書き込むと重負荷保護モードとなり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。			
* HVLD: VD1 Heavy Load Protection Mode Bit in the VD1 Control (VD1_CTL) Register (D5/0x5120)			
LCD 系定電圧回路は LHVLD(D4/LCD_VREG レジスタ)に 1 を書き込むと重負荷保護モードとなり、VC1～VC3 出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。			
* LHVLD: LCD Heavy Load Protection Mode Bit in the LCD Voltage Regulator Control (LCD_VREG) Register (D4/0x50a3)			
注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。			
(正)			
内部定電圧回路は HVLD(D5/VD1_CTL レジスタ)に 1 を書き込むと重負荷保護モードとなり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。			
* HVLD: VD1 Heavy Load Protection Mode Bit in the VD1 Control (VD1_CTL) Register (D5/0x5120)			
LCD 系定電圧回路は LHVLD(D4/LCD_VREG レジスタ)に 1 を書き込むと重負荷保護モードとなり、VC1～VC3 出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。			
* LHVLD: LCD Heavy Load Protection Mode Bit in the LCD Voltage Regulator Control (LCD_VREG) Register (D4/0x50a3)			
注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。 <b>S1C17121 では、HVLDレジスタは使用できません。</b>			

## S1C17 マニュアル 正誤表

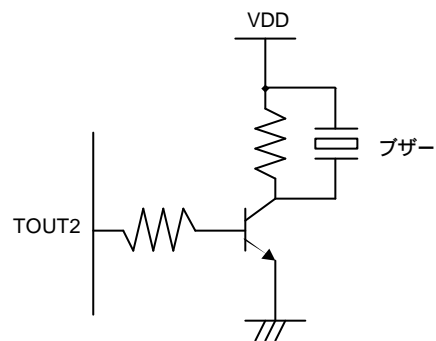
項目 基本外部結線図		
対象マニュアル	発行 No.	項目番号
S1C17705	411706500	P26-1
S1C17711	411905500	P26-1
S1C17121	411790500	P29-1
S1C17601	411806000	P29-1
S1C17611	411882200	P29-1
S1C17621/602/622/604/624	411914800	P30-1
<b>P26-1(S1C17705)</b>		
(誤)		
		
(正)		
		

**P26-1(S1C17711)**

(誤)



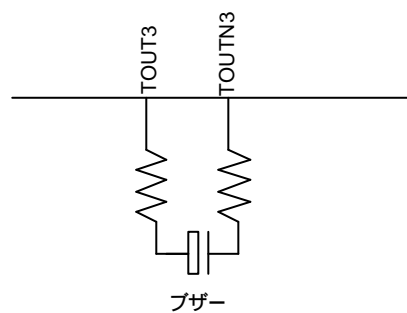
(正)



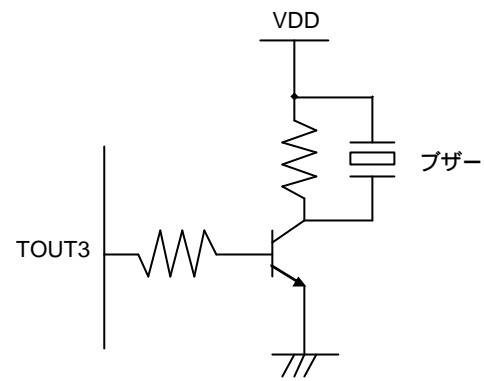
**P29-1(S1C17121, S1C17601, S1C17611)**

**P30-1(S1C17621/602/622/604/624)**

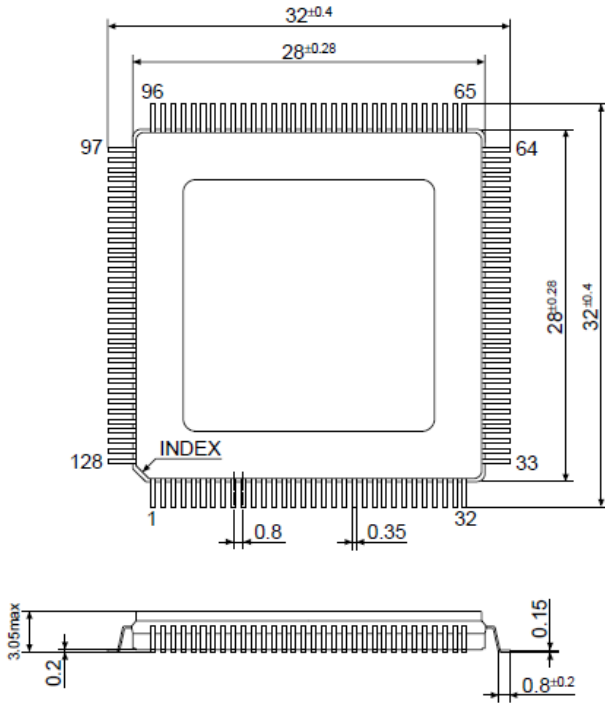
(誤)



(正)



## S1C17121 マニュアル 正誤表

項目 テストサンプル用セラミックパッケージ		
対象マニュアル	発行 No.	項目番号
S1C17121	411790500	P30-1
<p>(追加)</p> <p>QFP8-128pin</p> <p>(単位: mm)</p> 		

端子No.	名称	端子No.	名称
1	N.C.	65	VDD
2	SEG1	66	OSC4
3	N.C.	67	OSC3
4	SEG2	68	Vss
5	SEG3	69	Vd1
6	SEG4	70	OSC2
7	SEG5	71	OSC1
8	SEG6	72	#TEST
9	SEG7	73	#RESET
10	SEG8	74	N.C.
11	SEG9	75	P00/REMO
12	N.C.	76	N.C.
13	SEG10	77	P01/REMI
14	N.C.	78	P02/EXCL0
15	SEG11	79	N.C.
16	SEG12	80	P03/#ADTRG
17	N.C.	81	N.C.
18	SEG13	82	P04/SPICLK
19	SEG14	83	P05/SDO
20	SEG15	84	N.C.
21	SEG16	85	P06/SDI
22	SEG17	86	P07/#SPISS
23	SEG18	87	P10/SCLK0
24	SEG19	88	P11/SOUT0
25	SEG20	89	N.C.
26	SEG21	90	P12/SIN0
27	SEG22	91	N.C.
28	SEG23	92	P13/EXCL1/AIN7
29	SEG24	93	P14/EXCL2/AIN6
30	N.C.	94	P15/EXCL3/AIN5
31	SEG25	95	Vss
32	N.C.	96	AVDD
33	N.C.	97	P16/SCLK1/AIN4
34	SEG26	98	P17/AIN3
35	N.C.	99	P20/AIN2
36	SEG27	100	P21/AIN1
37	N.C.	101	P22/AIN0
38	SEG28	102	VDD
39	SEG29	103	P23/SENBO
40	SEG30	104	P24/SENA0
41	SEG31	105	P25/REF0
42	SEG32	106	P26/RFIN0
43	SEG33	107	Vss
44	SEG34	108	N.C.
45	SEG35	109	P27/SOUT1/RFIN1
46	N.C.	110	P30/SIN1/REF1
47	COM7/SEG36	111	N.C.
48	COM6/SEG37	112	P31/SCL0/SENA1
49	COM5/SEG38	113	P32/SDA0/SENBI
50	COM4/SEG39	114	P33/SCL1/SCL0
51	N.C.	115	N.C.
52	COM3	116	P34/SDA1/SDA0
53	COM2	117	P35/FOUT1/#BFR
54	COM1	118	P36/TOUT3/RFCLKO
55	COM0	119	P37/TOUTN3/LFRO/TOUT4
56	N.C.	120	N.C.
57	TEST2	121	P40/FOUTH
58	N.C.	122	P41
59	CB	123	P42
60	CA	124	N.C.
61	Vc3	125	P43
62	Vc2	126	N.C.
63	Vc1	127	SEG0
64	Vss	128	N.C.

## S1C17 マニュアル 正誤表

項目 SPI クロックについて		
対象マニュアル	発行 No.	項目番号
S1C17121	411790500	P19-3
S1C17702	411602400	P19-3
S1C17003	411635001	P19-3
S1C17601	411806000	P19-3
S1C17705	411706500	P15-2
S1C17621/S1C17602/S1C17622/ S1C17604/S1C17624	411914800	P19-3
<b>P19-3(S1C17121,S1C17702,S1C17003,S1C17601)</b>		
<p>(誤)</p> <p>マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは <math>PCLK \cdot 1/4</math> のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。</p> <p>16 ビットタイマ Ch.1 出力クロックと <math>PCLK \cdot 1/4</math> クロックのどちらを使用するかについては MCLK (D9/SPI_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出力クロック、0 に設定すると <math>PCLK \cdot 1/4</math> クロックが選択されます。</p> <p>*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)</p> <p>16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”11 16 ビットタイマ(T16)”を参照してください。</p> <div style="text-align: center;"> <p>PCLK</p> <p>16ビットタイマ Ch.1出力クロック または PCLK・1/4</p> <p>SPIクロック(SPICLK出力)</p> </div>		



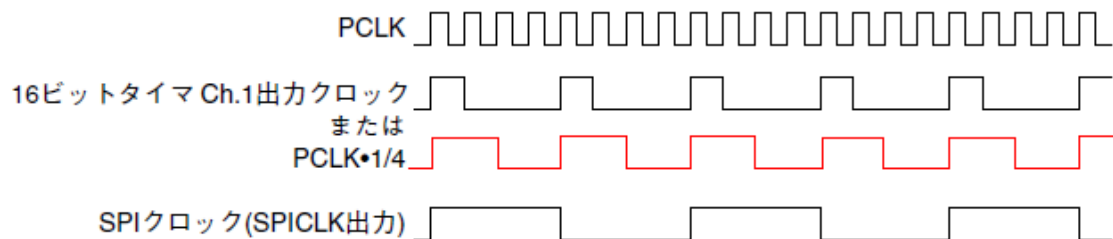
(正)

マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは  $PCLK \cdot 1/4$  のクロックを **SPI クロックとして使用します使用して SPI クロックを生成します**。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.1 出力クロックと  $PCLK \cdot 1/4$  クロックのどちらを使用するかについては MCLK (D9/SPI\_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出力クロック、0 に設定すると  $PCLK \cdot 1/4$  クロックが選択されます。

\*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI\_CTL) Register (D9/0x4326)

16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”11 16 ビットタイマ(T16)”を参照してください。



#### P15-2(S1C17705)

(誤)

マスターモードの SPI は、16 ビットタイマ Ch.2 が出力するクロックまたは  $PCLK/4$  のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.2 出力クロックと  $PCLK/4$  クロックのどちらを使用するかについては MCLK (D9/SPI\_CTLx レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.2 出力クロック、0 に設定すると  $PCLK/4$  クロックが選択されます。

16 ビットタイマ Ch.2 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”16 ビットタイマ(T16)”の章を参照してください。

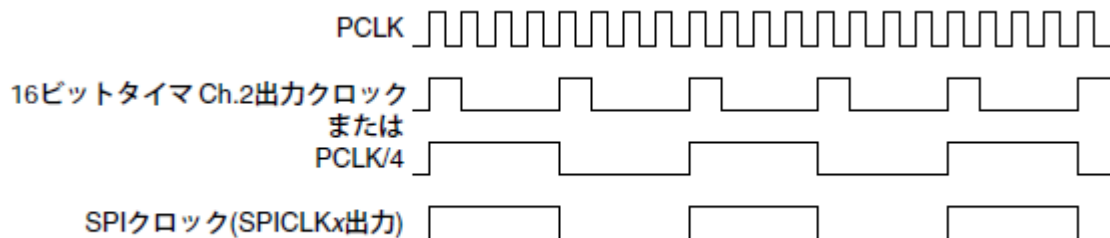


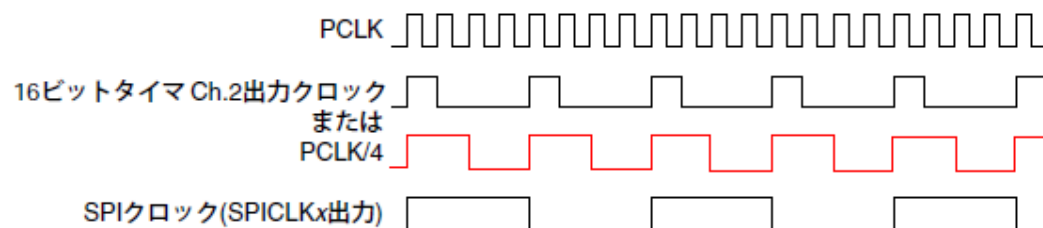
図15.3.1 マスタモードのSPIクロック

(正)

マスターモードの SPI は、16 ビットタイマ Ch.2 が出力するクロックまたは PCLK/4 のクロックを **SPI クロック**として使用します使用して **SPI クロック**を生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

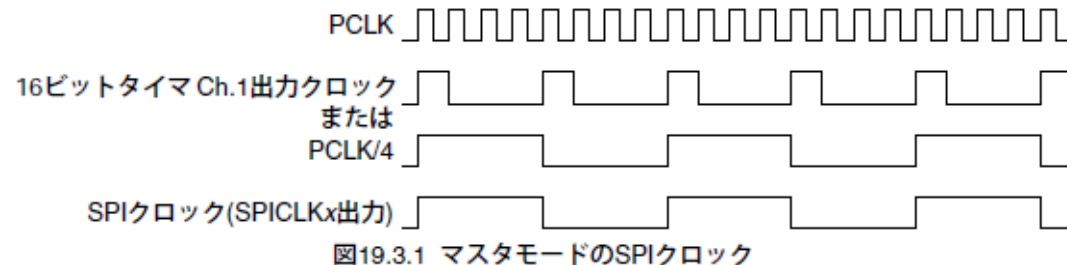
16 ビットタイマ Ch.2 出力クロックと PCLK/4 クロックのどちらを使用するかについては MCLK (D9/SPI\_CTLx レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.2 出力クロック、0 に設定すると PCLK/4 クロックが選択されます。

16 ビットタイマ Ch.2 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、“16 ビットタイマ(T16)”の章を参照してください。

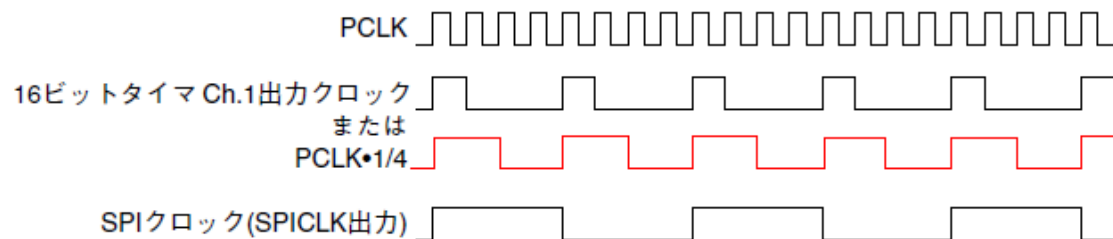


#### P19-3(S1C17621/S1C17602/S1C17622/S1C17604/S1C17624)

(誤)



(正)



## S1C17 マニュアル 正誤表

項目 入出力ポートのチャタリング除去機能 (P)			
対象マニュアル	発行 No.	項目	ページ
S1C17121	411790501	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-20
		10.9 注意事項	10-32
S1C17554/564	411914300	8.5 チャタリング除去機能	8-4
		8.8 制御レジスタ詳細	8-10
S1C17601	411806000	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-19
		10.9 注意事項	10-28
S1C17611	411882200	10.6 P0/P1 ポートのチャタリング除去機能	10-7
		10.8 制御レジスタ詳細	10-19
		10.9 注意事項	10-28
S1C17624/604/622/602/621	411914800	9.6 P0 と P1 ポートのチャタリング除去機能	9-5
		9.9 制御レジスタ詳細	9-11
S1C17705	411706500	8.6 P0～P3 ポートのチャタリング除去機能	8-4
		8.9 制御レジスタ詳細	8-10
S1C17711	411905500	8.6 P0～P3 ポートのチャタリング除去機能	8-4
		8.9 制御レジスタ詳細	8-10

(正)

- (1)チャタリング除去機能の注記に追加
- (2)制御レジスタ詳細の“Px\_CHATレジスタ”の注記に追加
- (3)注意事項のP0、P1ポートチャタリング除去回路に追加 (S1C17121/601/611)

・チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

## S1C17 マニュアル 正誤表

項目 I2CS データ送信時の制御			
対象マニュアル	発行 No.	項目	ページ
S1C17002	411554301	V.3.5 データ送受信の制御	V-3-7
S1C17003	411635001	21.5 データ送受信の制御	21-7
S1C17121	411790501	21.5 データ送受信の制御	21-7
S1C17554/564	411914300	18.5 データ送受信の制御	18-4
S1C17601	411806000	21.5 データ送受信の制御	21-7
S1C17611	411882200	21.5 データ送受信の制御	21-7
S1C17624/604/622/602/621	411914800	21.5 データ送受信の制御	21-4
S1C17705	411706500	17.5 データ送受信の制御	17-4
S1C17711	411905500	17.5 データ送受信の制御	17-4

(誤)

### データ送信

#### クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック(SCL\*入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。

#### クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF\_CLR/I2CS\_CTLレジスタを使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

(正)

## データ送信

### クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック(SCL\*入カクロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。  
非同期アドレス検出機能を使用する場合には、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

### クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後も送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF\_CLR/I2CS\_CTLレジスタを使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。  
TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合には、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

## S1C17 マニュアル 正誤表

項目 UART 割り込み信号の注釈について			
対象マニュアル	発行 No.	項目	ページ
S1C17704 テクニカルマニュアル	411511802	18.10 注意事項	18-21
S1C17702 テクニカルマニュアル	411602401	18.10 注意事項	18-21
S1C17705 テクニカルマニュアル	411706500	14.9 制御レジスタ詳細	14-11
S1C17601 テクニカルマニュアル	411806000	18.10 注意事項	18-21
S1C17602 テクニカルマニュアル	411620000	18.10 注意事項	18-21
S1C17611 テクニカルマニュアル	411882200	18.10 注意事項	18-21
S1C17121 テクニカルマニュアル	411790501	18.10 注意事項	18-21
S1C17003 テクニカルマニュアル	411790501	18.10 注意事項	18-21
(誤) S1C17705 ・ UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。 ..... - UART_CTLレジスタの RXEN以外のビットすべて(RBFI, TIEN, RIEN, REIEN, TEIEN) ..... S1C17704/702/601/602/611/121/003 ・ UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。 ..... - UART_CTLレジスタの RXEN以外のビットすべて(RBFI, TIEN, RIEN, REIEN) .....			
(正) ・ UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。 ..... - UART_CTLxレジスタのRBFIビット .....			

## S1C17 マニュアル 正誤表

項目 I2CM 割り込み			
対象マニュアル	発行 No.	項目	ページ
S1C17701 テクニカルマニュアル	411089702	I2C 割り込み	20-11
S1C17704 テクニカルマニュアル	411511802	I2C 割り込み	20-11
S1C17702 テクニカルマニュアル	411602401	I2C 割り込み	20-10
S1C17705 テクニカルマニュアル	411706500	I2CM 割り込み	16-6
S1C17601 テクニカルマニュアル	411806000	I2C マスター割り込み	20-10
S1C17602 テクニカルマニュアル	411620000	I2C マスター割り込み	20-10
S1C17611 テクニカルマニュアル	411882200	I2C マスター割り込み	20-10
S1C17121 テクニカルマニュアル	411790501	I2C マスター割り込み	20-10
S1C17001 テクニカルマニュアル	411412001	I2C 割り込み	259
S1C17003 テクニカルマニュアル	411635001	I2C マスター割り込み	20-10
( 誤 )			
<b>送信バッファエンプティ割り込み</b>			
この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。			
<b>受信バッファフル割り込み</b>			
この割り込みを使用するには、RINTE/I2CM_ICTL レジスタを 1 に設定します。RINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。受信バッファフル割り込みが許可されていれば(RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0]にロードされた時点で割り込み要求が ITC に出力されます。			
ITC については、“割り込みコントローラ(ITC)”の章を参照してください			
( 正 )			
<b>送信バッファエンプティ割り込み</b>			
この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT			

レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。

送信バッファエンプティ割り込みは、データ送信時にのみ、発生します。

・送信バッファエンプティ割り込みのクリア方法

RTDT/I2CM\_DAT にデータをライトします。

TXE/I2CM\_DAT=0 とした場合、データは送信されず、割り込みクリアのみ行います。

**受信バッファフル割り込み**

この割り込みを使用するには、RINTE/I2CM\_ICTL レジスタを 1 に設定します。RINTE が 0 (デフォルト) に設定されていると、この要因による割り込み要求は ITC に送られません。

受信バッファフル割り込みが許可されていれば (RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0] にロードされた時点で割り込み要求が ITC に出力されます。

受信バッファフル割り込みは、データ受信時にのみ、発生します。

・受信バッファフル割り込みのクリア方法

RTDT/I2CM\_DAT からデータをリードします。

**注: I2CM の割り込み発生時、I2C マスターのシーケンス処理に応じて送信バッファエンプティ割り込みと受信バッファフル割り込みを判断して下さい。送信バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。**

ITC については、“割り込みコントローラ (ITC)” の章を参照してください。



## S1C17 マニュアル 正誤表

項目 UART RXEN=0 時の受信バッファの状態			
対象マニュアル	発行 No.	項目	ページ
S1C17121 テクニカルマニュアル	411790500	18 UART	18-7, 18-19, 18-21
<b>P18-7(S1C17121)</b>			
(誤) RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
(正) RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
<b>P 18-19(S1C17121)</b>			
(誤) <b>D0 RXEN: UART Enable Bit</b> UART によるデータ送受信を許可します。 1(R/W): 許可 0(R/W): 禁止(デフォルト)  UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。 RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
(正) <b>D0 RXEN: UART Enable Bit</b> UART によるデータ送受信を許可します。 1(R/W): 許可 0(R/W): 禁止(デフォルト)  UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。 RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
<b>P 18-21(S1C17121)</b>			

(誤)

• RXEN を 0 に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。  
RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

(正)

• RXEN を 0 に設定して送受信を禁止すると、送~~受~~信データバッファがクリア(初期化)されます。  
RXENに0を書き込む前に、バッファ内に送信待ち~~または読み出し前~~のデータが残っていないことを確認してください。

## S1C17 マニュアル 正誤表

項目 UART 受信エラーフラグのリセット方法			
対象マニュアル	発行 No.	項目	ページ
S1C17121 テクニカルマニュアル	411790500	18 UART	18-14
<b>P 18-14(S1C17121)</b>			
(誤)			
<b>D6 FER: Framing Error Flag Bit</b>			
フレーミングエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。			
FER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
<b>D5 PER: Parity Error Flag Bit</b>			
パリティエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。			
PER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
<b>D4 OER: Overrun Error Flag Bit</b>			
オーバーランエラーが発生しているか否かを示します。			
1(R): エラー発生			

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは RXEN/UART\_CTLx レジスタを 0 に設定することによりリセットされます。

(正)

#### **D6 FER: Framing Error Flag Bit**

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。

FER は 1 を書き込む ~~か、あるいは RXEN/UART\_CTLx レジスタを 0 に設定する~~ ことによりリセットされます。

#### **D5 PER: Parity Error Flag Bit**

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART\_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PER は 1 を書き込む ~~か、あるいは RXEN/UART\_CTLx レジスタを 0 に設定する~~ ことによりリセットされます。

#### **D4 OER: Overrun Error Flag Bit**

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは ~~RXEN/UART\_CTLxレジスタを 0 に設定する~~ ことによりリセットされます。

## S1C17 シリーズ マニュアル 正誤表

項目: HSCLK 切替時の注意点の追加		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	7-5
S1C17602 テクニカルマニュアル	411620000	7-5
S1C17121 テクニカルマニュアル	411790500	7-5
<b>7-5</b>		
(誤) 注: HSCLKの選択を行なう場合は、IOSCおよびOSC3の両方がOnしている必要があります。両方がOnでない状態でHSCLKSELへの書き込みを行なってもHSCLKの切替は行なわれず、HSCLKSELの値も変化しません。		
(正) 注: HSCLKの選択を行なう場合は、IOSCおよびOSC3の両方がOnしている必要があります。両方がOnでない状態でHSCLKSELへの書き込みを行なってもHSCLKの切替は行なわれず、HSCLKSELの値も変化しません。また、HSCLKの切り替えを行う場合は <b>PCLKEN ビット (D[1:0]/0x5080)を 0x3 に設定してからHSCLKSELビットへの書き込みを行ってください。</b>		