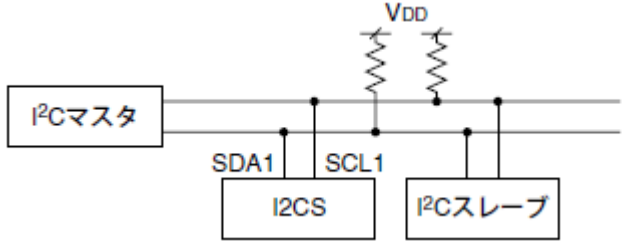


S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CS 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	21.2 I2C スレーブ入出力端子	21-2
S1C17611 テクニカルマニュアル	411882201	21.2 I2C スレーブ入出力端子	21-2
S1C17706 テクニカルマニュアル	412026301	18.2 I2CS 入出力端子	18-1
S1C17002 テクニカルマニュアル	411554302	V.3.2 I2C スレーブ入出力端子	V-3-2
S1C17003 テクニカルマニュアル	411635002	21.2 I2C スレーブ入出力端子	21-2
S1C17803 テクニカルマニュアル	411820701	21.2 I2CS 入出力端子	21-1

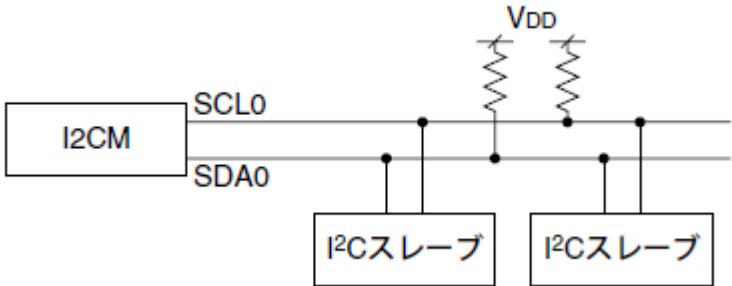
(追加)

注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。



The diagram illustrates the I2C bus configuration. An I2C master is connected to the SDA1 and SCL1 lines. These lines are also connected to an I2CS (I2C Slave) and an I2Cスレーブ (I2C Slave). The SDA1 and SCL1 lines are pulled up to VDD with resistors, ensuring they reach the High level when not driven by the master.

S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CM 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	20.2 I2C マスタ入出力端子	20-2
S1C17611 テクニカルマニュアル	411882201	20.2 I2C マスタ入出力端子	20-2
S1C17701 テクニカルマニュアル	411089703	20.2 I2C 入出力端子	20-2
S1C17704 テクニカルマニュアル	411511803	20.2 I2C 入出力端子	20-2
S1C17706 テクニカルマニュアル	412026301	17.2 I2CM 入出力端子	17-1
S1C17001 テクニカルマニュアル	411412002	20.2 I2C 入出力端子	252
S1C17002 テクニカルマニュアル	411554302	V.2.2 I2C マスタ入出力端子	V-2-2
S1C17003 テクニカルマニュアル	411635002	20.2 I2C マスタ入出力端子	20-2
S1C17501 テクニカルマニュアル	411525502	VI.2.2 I2C 入出力端子	VI-2-2
S1C17801 テクニカルマニュアル	411390602	VI.2.2 I2C 入出力端子	VI-2-2
S1C17803 テクニカルマニュアル	411820701	20.2 I2CM 入出力端子	20-1
(追加) 注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。			
			

S1C17 ファミリテクニカルマニュアル正誤表

項目 外部部品推奨値(OSC1 発振回路用外付け部品)

対象マニュアル	発行 No.	項目	ページ
S1C17002 テクニカルマニュアル	411554303	I.8 基本外部結線図	I-8-1
S1C17003 テクニカルマニュアル	411635002	27 基本外部結線図	27-1

I-8-1 ページ S1C17002 テクニカルマニュアル

27-1 ページ S1C17003 テクニカルマニュアル

(誤)

外付部品推奨値

OSC1 発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作 条件
					C _{O1} [pF]	C _{G1} [pF]	R _{f1} []	R _{d1} []	温度範囲 []
X 'tal1	水晶振動子	エプソントヨコム 株式会社	32.768k	MC-146(C _L =7.0pF)	7	7	1M	0	-40 ~ 85

(正)

外付部品推奨値

OSC1 発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作 条件
					C _{O1} [pF]	C _{G1} [pF]	R _{f1} []	R _{d1} []	温度範囲 []
X 'tal1	水晶振動子	セイコーエプソン 株式会社	32.768k	MC-146(C _L =7.0pF)	7	7	10M	0	-40 ~ 85

S1C17 ファミリテクニカルマニュアル正誤表

項目 T16E ファインモードについて			
対象マニュアル	発行 No.	項目	ページ
S1C17001 テクニカルマニュアル	411412003	13.6 クロック出力の制御	13-8
S1C17003 テクニカルマニュアル	411635002	13.6 クロック出力の制御	13-8
S1C17624/604/622/602/621 テクニカルマニュアル	411014802	12.7 クロック出力の制御	12-6
S1C17701 テクニカルマニュアル	411089704	13.6 クロック出力の制御	13-8
S1C17702 テクニカルマニュアル	411602402	13.6 クロック出力の制御	13-8
S1C17704 テクニカルマニュアル	411511804	13.6 クロック出力の制御	13-8
150 ページ S1C17001 テクニカルマニュアル 13-8 ページ S1C17003 テクニカルマニュアル 13-8 ページ S1C17701 テクニカルマニュアル 13-8 ページ S1C17702 テクニカルマニュアル 13-8 ページ S1C17704 テクニカルマニュアル			
「クロック出力ファインモードの設定」 の注意事項に、以下の記載を追加 (3) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用するください。			
12-6 ページ S1C17624/604/622/602/621 テクニカルマニュアル			
「クロック出力ファインモードの設定」 の注意事項に、以下の記載を追加 (4) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用するください。			

S1C17 シリーズテクニカルマニュアル正誤表

項目 SPI スレーブモード時の送信バッファエンプティ割り込み			
対象マニュアル	発行 No.	項目	ページ
S1C17003 テクニカルマニュアル	411635002	19.6 SPI 割り込み	19-8
		19.7 制御レジスタ詳細	19-13
		19.8 注意事項	19-15
S1C17705/703 テクニカルマニュアル	411706502	15.6 SPI 割り込み	15-5
		15.7 制御レジスタ詳細	15-8

19-8 ページ S1C17003 テクニカルマニュアル

(誤)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTLレジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBEビット(D0/SPI_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI 割り込みが送信バッファエンプティによるものかどうかについては、SPI 割り込み処理ルーチンでSPTBE フラグを読み出して確認してください。SPTBE が 1 であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

(正)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTLレジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBEビット(D0/SPI_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに

出力されます。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

19-13 ページ S1C17003 テクニカルマニュアル

(誤)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

(正)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIE を 0 に設定すると、送信データバッファエンプティによる SPI 割り込みは発生しません。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

19-15 ページ S1C17003 テクニカルマニュアル

(誤)

- ・ SPBSYフラグ(D2/SPI_STレジスタ)が1の間およびSPRBFフラグ(D1/SPI_STレジスタ)が1の間(データの送受信中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。

* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)

* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

- ・ SPI でデータの送受信を行っている最中に Read レジスタ(SPI_ST、SPI_RXD)に、Write アクセスを行わないで下さい。

(正)

- ・ SPBSYフラグ(D2/SPI_STレジスタ)が1の間およびSPRBFフラグ(D1/SPI_STレジスタ)が1の間(データの送受信中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。
 - * **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)
 - * **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)
- ・ SPIでデータの送受信を行っている最中に Read レジスタ(SPI_ST、SPI_RXD)に、Write アクセスを行わないで下さい。
- ・ **送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。**

15-5 ページ S1C17705/703テクニカルマニュアル

(誤)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

(正)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

15-8 ページ S1C17705/703テクニカルマニュアル

(誤)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

(正)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

注: 送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。