

S1R72V17***

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

総則

適用範囲

本仕様書は、セイコーエプソン株式会社 半導体事業部製 USB2.0 コントローラ
「S1R72V17B00A***/S1R72V17B00B***/S1R72V17F00C***」に適用します。

目次

1. 概要	1
2. 特長	1
3. ブロック図	2
3.1. Multi Transceiver Macro (MTM)	3
3.2. Oscillator	3
3.3. Device Serial Interface Engine (Device SIE)	3
3.4. Host Serial Interface Engine (Host SIE)	3
3.5. FIFO / FIFO Controller	3
3.6. CPU I/F Controller	3
3.7. DMA Controller	3
3.8. TestMUX	3
4. 端子配置図	4
5. 端子機能説明	6
6. 機能説明	9
6.1. USBデバイス／ホスト選択	10
6.1.1. USBデバイス／ホスト機能選択方法	10
6.1.2. USBポート状態変化検出ステータス	10
6.1.2.1. USBポート状態変化検出ステータスの使用例	10
6.1.2.1.1. デバイスポート変化ステータス	10
6.1.2.1.2. ホストポート変化ステータス	11
6.2. USBデバイス制御	12
6.2.1. エンドポイント	12
6.2.2. トランザクション	15
6.2.2.1. SETUPトランザクション	16
6.2.2.2. バルク／インタラプトOUTトランザクション	17
6.2.2.3. アイソクロナスOUTトランザクション	18
6.2.2.4. バルク／インタラプトINTトランザクション	18
6.2.2.5. アイソクロナスINTトランザクション	18
6.2.2.6. PINGトランザクション	19
6.2.3. コントロール転送	19
6.2.3.1. セットアップステージ	20
6.2.3.2. データステージ／ステータスステージ	21
6.2.3.3. 自動アドレス設定機能	21
6.2.3.4. デスクリプタ返信機能	21
6.2.4. バルク転送／インタラプト転送	21
6.2.5. データフロー	21
6.2.5.1. OUT転送	21
6.2.5.2. IN転送	22
6.2.6. バルクオンリーサポート	22
6.2.6.1. CBWサポート	22
6.2.6.2. CSWサポート	22
6.2.7. オート・ネゴシエーション機能	24
6.2.7.1. DISABLE	24
6.2.7.2. IDLE	24
6.2.7.3. WAIT_TIM3US	25
6.2.7.4. WAIT_CHIRP	25
6.2.7.5. WAIT_RSTEND	25
6.2.7.6. DET_SUSPEND	25
6.2.7.7. IN_SUSPEND	25
6.2.7.8. CHK_EVENT	25
6.2.7.9. WAIT_RESTORE	25
6.2.7.10. ERR	25
6.2.7.11. 各ネゴシエーション機能の単体説明	25
6.2.7.11.1. サスペンド検出 (HSモード)	25
6.2.7.11.2. サスペンド検出 (FSモード)	28
6.2.7.11.3. リセット検出 (HSモード)	29

6.2.7.11.4.	リセット検出 (FSモード)	30
6.2.7.11.5.	HS Detection Handshake.....	31
6.2.7.11.5.1.	FSのダウンストリームポートに繋がれた場合	32
6.2.7.11.5.2.	HSのダウンストリームポートに繋がれた場合	34
6.2.7.11.5.3.	スリープ中にリセットされた場合	36
6.2.7.11.6.	レジュームの発行	38
6.2.7.11.7.	レジュームの検出	40
6.2.7.11.8.	ケーブル挿入	42
6.3.	USBホスト制御	44
6.3.1.	チャンネル	44
6.3.1.1.	チャンネル概要	44
6.3.1.2.	コントロール専用チャンネル	45
6.3.1.3.	汎用チャンネル	46
6.3.1.4.	チャンネル使用例	47
6.3.1.4.1.	ストレージデバイスを1台接続した場合	47
6.3.1.4.2.	ハブを介してストレージデバイスを接続した場合	48
6.3.2.	スケジューリング	49
6.3.3.	トランザクション	50
6.3.3.1.	SETUPトランザクション	51
6.3.3.2.	バルクOUTトランザクション	52
6.3.3.3.	インタラプトOUTトランザクション	53
6.3.3.4.	バルクINTトランザクション	54
6.3.3.5.	インタラプトINTトランザクション	55
6.3.3.6.	PINGトランザクション	55
6.3.3.7.	low-speed (LS) トランザクション	57
6.3.3.8.	スプリットトランザクション	58
6.3.4.	コントロール転送	59
6.3.4.1.	セットアップステージ	60
6.3.4.2.	データステージ / ステータスステージ	60
6.3.4.3.	コントロール転送サポート機能	60
6.3.5.	バルク転送 / インタラプト転送	63
6.3.6.	データフロー	63
6.3.6.1.	OUT転送	63
6.3.6.2.	IN転送	63
6.3.7.	ゼロ長パケット自動発行機能	63
6.3.7.1.	バルク / インタラプトOUT転送のゼロ長パケット自動発行機能	64
6.3.8.	バルクオンリーサポート機能	65
6.3.9.	ホストステート管理サポート機能	68
6.3.9.1.	ホストステート	68
6.3.9.1.1.	IDLE	70
6.3.9.1.2.	WAIT_CONNECT	70
6.3.9.1.3.	DISABLED	70
6.3.9.1.4.	RESET	70
6.3.9.1.5.	OPERATIONAL	71
6.3.9.1.6.	SUSPEND	71
6.3.9.1.7.	RESUME	71
6.3.9.2.	検出機能	72
6.3.9.2.1.	VBUS異常検出	72
6.3.9.2.2.	切断検出	73
6.3.9.2.2.1.	HSデバイスが切断された場合	73
6.3.9.2.2.2.	FSまたはLSデバイスが切断された場合	74
6.3.9.2.3.	リモート・ウェークアップ検出	75
6.3.9.2.3.1.	HSデバイスが接続されている場合	75
6.3.9.2.3.2.	FSデバイスが接続されている場合	76
6.3.9.2.3.3.	LSデバイスが接続されている場合	77
6.3.9.2.4.	デバイスチャープ検出機能	78
6.3.9.2.4.1.	正しいデバイスのChirpを検出した場合	78
6.3.9.2.4.2.	異常なデバイスのChirpを検出した場合	79

6.3.9.2.5.	ポートエラー検出	80
6.3.9.3.	ホストステート管理サポート機能の単体説明	81
6.3.9.3.1.	GoIDLE	81
6.3.9.3.2.	GoWAIT_CONNECT	82
6.3.9.3.2.1.	FSデバイスが接続された場合	82
6.3.9.3.2.2.	LSデバイスが接続された場合	84
6.3.9.3.3.	GoDISABLED	86
6.3.9.3.3.1.	HSデバイスが接続されている場合	86
6.3.9.3.3.2.	FSデバイスが接続されている場合	87
6.3.9.3.3.3.	LSデバイスが接続されている場合	88
6.3.9.3.4.	GoRESET	89
6.3.9.3.4.1.	HSデバイスに対するリセット	89
6.3.9.3.4.2.	異常なデバイスのChirp検出	91
6.3.9.3.4.2.1.	チャープ完了ディセーブル(H_NegoControl_1.DisChirpFinish)設定が 0 の場合	91
6.3.9.3.4.2.2.	チャープ完了ディセーブル(H_NegoControl_1.DisChirpFinish)設定が 1 の場合	93
6.3.9.3.4.3.	FSデバイスに対するリセット	95
6.3.9.3.4.4.	LSデバイスに対するリセット	96
6.3.9.3.5.	GoOPERATIONAL	97
6.3.9.3.6.	GoSUSPEND	98
6.3.9.3.6.1.	HSデバイスが接続されている場合	98
6.3.9.3.6.2.	FSデバイスが接続されている場合	99
6.3.9.3.6.3.	LSデバイスが接続されている場合	100
6.3.9.3.7.	GoRESUME	101
6.3.9.3.7.1.	HSデバイスが接続されている場合	101
6.3.9.3.7.2.	FSデバイスが接続されている場合	103
6.3.9.3.7.3.	LSデバイスが接続されている場合	104
6.3.9.3.8.	GoWAIT_CONNECTtoDIS	105
6.3.9.3.9.	GoWAIT_CONNECTtoOP	106
6.3.9.3.9.1.	HSデバイスが接続されている場合	106
6.3.9.3.9.2.	FSまたはLSデバイスが接続されている場合	107
6.3.9.3.10.	GoRESETtoOP	108
6.3.9.3.10.1.	HSデバイスが接続されている場合	108
6.3.9.3.10.2.	FSまたはLSデバイスが接続されている場合	109
6.3.9.3.11.	GoSUSPENDtoOP	110
6.3.9.3.12.	GoRESUMETOOP	111
6.4.	パワーマネージメント機能	112
6.4.1.	SLEEP(スリープ)	112
6.4.2.	SNOOZE(スヌーズ)	113
6.4.3.	ACTIVE(アクティブ)	113
6.4.4.	CPU_Cutモード	113
6.5.	FIFO管理	114
6.5.1.	FIFOメモリマップ	114
6.5.2.	デスクリプタエリア	114
6.5.2.1.	デスクリプタエリアへのデータの書き込み	115
6.5.2.2.	デスクリプタエリアでのデータステージ(IN)の実行	115
6.5.3.	CBWエリア	115
6.5.3.1.	CBWエリア(USBデバイス時)	115
6.5.3.2.	CBWエリア(USBホスト時)	115
6.5.4.	CSWエリア	115
6.5.4.1.	CSWエリア(USBデバイス時)	115
6.5.4.2.	CSWエリア(USBホスト時)	115
6.5.5.	FIFOへのアクセス方法	116
6.5.5.1.	FIFOへのアクセス方法(RAM_Rd)	116
6.5.5.2.	FIFOへのアクセス方法(RAM_WrDoor)	116
6.5.5.3.	FIFOへのアクセス方法(レジスタアクセス)	116
6.5.5.4.	FIFOへのアクセス方法(DMA)	116
6.5.5.5.	FIFOへのアクセス制限	116
6.6.	CPUIF	118

6.6.1.	モード切り替え	118
6.6.2.	モード切り替えに際して	118
6.6.2.1.	16bit BE modeをご使用の場合	118
6.6.2.2.	8bit modeをご使用の場合	119
6.6.3.	ブロック構成	119
6.6.3.1.	REG(S1R72V17 Registers)	119
6.6.3.1.1.	同期レジスタアクセス(ライト)	119
6.6.3.1.2.	同期レジスタアクセス(リード)	119
6.6.3.1.3.	FIFOアクセス(ライト)	120
6.6.3.1.4.	FIFOアクセス(リード)	120
6.6.3.1.5.	FIFOアクセスの端数処理	121
6.6.3.1.6.	RAM_Rdアクセス	122
6.6.3.1.7.	非同期レジスタアクセス(ライト)	122
6.6.3.1.8.	非同期レジスタアクセス(リード)	122
6.6.3.2.	DMA(DMA ch.)	123
6.6.3.2.1.	基本機能	123
6.6.3.2.2.	端子設定	124
6.6.3.2.3.	カウントモード(ライト)	124
6.6.3.2.4.	カウントモード(リード)	126
6.6.3.2.5.	フリーランモード(ライト)	128
6.6.3.2.6.	フリーランモード(リード)	128
6.6.3.2.7.	REQアサートカウントオプション(ライト)	128
6.6.3.2.8.	REQアサートカウントオプション(リード)	129
6.6.3.2.9.	DMAのFIFOアクセス端数処理	129
7.	レジスタ	130
7.1.	デバイス／ホスト共通レジスタマップ	130
7.2.	デバイス・レジスタマップ	136
7.3.	ホスト・レジスタマップ	140
7.4.	デバイス／ホスト共通レジスタ詳細説明	145
7.4.1.	000h <i>MainIntStat (Main Interrupt Status)</i>	145
7.4.2.	001h <i>USB_DeviceIntStat (USB Device Interrupt Status)</i>	146
7.4.3.	002h <i>USB_HostIntStat (USB Host Interrupt Status)</i>	147
7.4.4.	003h <i>CPU_IntStat (CPU Interrupt Status)</i>	148
7.4.5.	004h <i>FIFO_IntStat (FIFO Interrupt Status)</i>	149
7.4.6.	008h <i>MainIntEnb (Main Interrupt Enable)</i>	150
7.4.7.	009h <i>USB_DeviceIntEnb (Device Interrupt Enable)</i>	151
7.4.8.	00Ah <i>USB_HostIntEnb (Host Interrupt Enable)</i>	152
7.4.9.	00Bh <i>CPU_IntEnb (CPU Interrupt Enable)</i>	153
7.4.10.	00Ch <i>FIFO_IntEnb (FIFO Interrupt Enable)</i>	154
7.4.11.	010h <i>RevisionNum (Revision Number)</i>	155
7.4.12.	011h <i>ChipReset (Chip Reset)</i>	156
7.4.13.	012h <i>PM_Control (Power Management Control)</i>	157
7.4.14.	014h <i>WakeupTim_H (Wakeup Time High)</i>	158
7.4.15.	015h <i>WakeupTim_L (Wakeup Time Low)</i>	158
7.4.16.	016h <i>H_USB_Control (Host USB Control)</i>	159
7.4.17.	017h <i>H_XcvrControl (Host Xcvr Control)</i>	160
7.4.18.	018h <i>D_USB_Status (Device USB Status)</i>	161
7.4.19.	019h <i>H_USB_Status (Host USB Status)</i>	162
7.4.20.	01Bh <i>MTM_Config (Multi Transceiver Macro Config)</i>	163
7.4.21.	01Fh <i>HostDeviceSel (Host Device Select)</i>	164
7.4.22.	020h <i>FIFO_Rd_0 (FIFO Read 0)</i>	165
7.4.23.	021h <i>FIFO_Rd_1 (FIFO Read 1)</i>	165
7.4.24.	022h <i>FIFO_Wr_0(FIFO Write 0)</i>	166
7.4.25.	023h <i>FIFO_Wr_1(FIFO Write 1)</i>	166
7.4.26.	024h <i>FIFO_RdRemain_H (FIFO Read Remain High)</i>	167
7.4.27.	025h <i>FIFO_RdRemain_L (FIFO Read Remain Low)</i>	167
7.4.28.	026h <i>FIFO_WrRemain_H (FIFO Write Remain High)</i>	168
7.4.29.	027h <i>FIFO_WrRemain_L (FIFO Write Remain Low)</i>	168

7.4.30.	028h FIFO_ByteRd(FIFO Byte Read)	169
7.4.31.	030h RAM_RdAdrs_H (RAM Read Address High).....	170
7.4.32.	031h RAM_RdAdrs_L (RAM Read Address Low)	170
7.4.33.	032h RAM_RdControl (RAM Read Control).....	171
7.4.34.	035h RAM_RdCount (RAM Read Counter).....	172
7.4.35.	038h RAM_WrAdrs_H (RAM Write Address High)	173
7.4.36.	039h RAM_WrAdrs_L (RAM Write Address Low).....	173
7.4.37.	03Ah RAM_WrDoor_0 (RAM Write Door 0)	174
7.4.38.	03Bh RAM_WrDoor_1 (RAM Write Door 1)	174
7.4.39.	040h RAM_Rd_00 (RAM Read 00)	175
7.4.40.	041h RAM_Rd_01 (RAM Read 01)	175
7.4.41.	042h RAM_Rd_02 (RAM Read 02)	175
7.4.42.	043h RAM_Rd_03 (RAM Read 03)	175
7.4.43.	044h RAM_Rd_04 (RAM Read 04)	175
7.4.44.	045h RAM_Rd_05 (RAM Read 05)	175
7.4.45.	046h RAM_Rd_06 (RAM Read 06)	175
7.4.46.	047h RAM_Rd_07 (RAM Read 07)	175
7.4.47.	048h RAM_Rd_08 (RAM Read 08)	175
7.4.48.	049h RAM_Rd_09 (RAM Read 09)	175
7.4.49.	04Ah RAM_Rd_0A (RAM Read 0A)	175
7.4.50.	04Bh RAM_Rd_0B (RAM Read 0B)	175
7.4.51.	04Ch RAM_Rd_0C (RAM Read 0C)	175
7.4.52.	04Dh RAM_Rd_0D (RAM Read 0D)	175
7.4.53.	04Eh RAM_Rd_0E (RAM Read 0E).....	175
7.4.54.	04Fh RAM_Rd_0F (RAM Read 0F)	175
7.4.55.	050h RAM_Rd_10 (RAM Read 10)	175
7.4.56.	051h RAM_Rd_11 (RAM Read 11).....	175
7.4.57.	052h RAM_Rd_12 (RAM Read 12)	175
7.4.58.	053h RAM_Rd_13 (RAM Read 13)	175
7.4.59.	054h RAM_Rd_14 (RAM Read 14)	175
7.4.60.	055h RAM_Rd_15 (RAM Read 15)	175
7.4.61.	056h RAM_Rd_16 (RAM Read 16)	175
7.4.62.	057h RAM_Rd_17 (RAM Read 17)	175
7.4.63.	058h RAM_Rd_18 (RAM Read 18)	175
7.4.64.	059h RAM_Rd_19 (RAM Read 19)	175
7.4.65.	05Ah RAM_Rd_1A (RAM Read 1A)	175
7.4.66.	05Bh RAM_Rd_1B (RAM Read 1B).....	175
7.4.67.	05Ch RAM_Rd_1C (RAM Read 1C)	175
7.4.68.	05Dh RAM_Rd_1D (RAM Read 1D)	175
7.4.69.	05Eh RAM_Rd_1E (RAM Read 1E).....	175
7.4.70.	05Fh RAM_Rd_1F (RAM Read 1F)	175
7.4.71.	061h DMA_Config (DMA Config).....	176
7.4.72.	062h DMA_Control (DMA Control)	177
7.4.73.	064h DMA_Remain_H (DMA FIFO Remain High).....	178
7.4.74.	065h DMA_Remain_L (DMA FIFO Remain Low)	178
7.4.75.	068h DMA_Count_HH (DMA Transfer Byte Counter High/High)	179
7.4.76.	069h DMA_Count_HL (DMA Transfer Byte Counter High/Low)	179
7.4.77.	06Ah DMA_Count_LH (DMA Transfer Byte Counter Low/High)	179
7.4.78.	06Bh DMA_Count_LL (DMA Transfer Byte Counter Low/Low)	179
7.4.79.	06Ch DMA_RdData_0 (DMA Read Data 0).....	180
7.4.80.	06Dh DMA_RdData_1 (DMA Read Data 1).....	180
7.4.81.	06Eh DMA_WrData_0 (DMA Write Data 0)	181
7.4.82.	06Fh DMA_WrData_1 (DMA Write Data 1)	181
7.4.83.	071h ModeProtect(Mode Protection).....	182
7.4.84.	073h ClkSelect (Clock Select).....	183
7.4.85.	075h CPU_Config (CPU Configuration)	184
7.4.86.	077h CPU_ChgEndian(CPU Change Endian).....	185
7.4.87.	080h AREA0StartAdrs_H (AREA 0 Start Address High)	186

7.4.88.	081h AREA0StartAdrs_L (AREA 0 Start Address Low).....	186
7.4.89.	082h AREA0EndAdrs_H (AREA 0 End Address High).....	187
7.4.90.	083h AREA0EndAdrs_L (AREA 0 End Address Low).....	187
7.4.91.	084h AREA1StartAdrs_H (AREA 1 Start Address High).....	188
7.4.92.	085h AREA1StartAdrs_L (AREA 1 Start Address Low).....	188
7.4.93.	086h AREA1EndAdrs_H (AREA 1 End Address High).....	189
7.4.94.	087h AREA1EndAdrs_L (AREA 1 End Address Low).....	189
7.4.95.	088h AREA2StartAdrs_H (AREA 2 Start Address High).....	190
7.4.96.	089h AREA2StartAdrs_L (AREA 2 Start Address Low).....	190
7.4.97.	08Ah AREA2EndAdrs_H (AREA 2 End Address High).....	191
7.4.98.	08Bh AREA2EndAdrs_L (AREA 2 End Address Low).....	191
7.4.99.	08Ch AREA3StartAdrs_H (AREA 3 Start Address High).....	192
7.4.100.	08Dh AREA3StartAdrs_L (AREA 3 Start Address Low).....	192
7.4.101.	08Eh AREA3EndAdrs_H (AREA 3 End Address High).....	193
7.4.102.	08Eh AREA3EndAdrs_L (AREA 3 End Address Low).....	193
7.4.103.	090h AREA4StartAdrs_H (AREA 4 Start Address High).....	194
7.4.104.	091h AREA4StartAdrs_L (AREA 4 Start Address Low).....	194
7.4.105.	092h AREA4EndAdrs_H (AREA 4 End Address High).....	195
7.4.106.	093h AREA4EndAdrs_L (AREA 4 End Address Low).....	195
7.4.107.	094h AREA5StartAdrs_H (AREA 5 Start Address High).....	196
7.4.108.	095h AREA5StartAdrs_L (AREA 5 Start Address Low).....	196
7.4.109.	096h AREA5EndAdrs_H (AREA 5 End Address High).....	197
7.4.110.	097h AREA5EndAdrs_L (AREA 5 End Address Low).....	197
7.4.111.	09Fh AREAnFIFO_Clr (AREA n FIFO Clear).....	198
7.4.112.	0A0h AREA0Join_0 (AREA 0 Join 0).....	199
7.4.113.	0A1h AREA0Join_1 (AREA 0 Join 1).....	200
7.4.114.	0A2h AREA1Join_0 (AREA 1 Join 0).....	201
7.4.115.	0A3h AREA1Join_1 (AREA 1 Join 1).....	202
7.4.116.	0A4h AREA2Join_0 (AREA 2 Join 0).....	203
7.4.117.	0A5h AREA2Join_1 (AREA 2 Join 1).....	204
7.4.118.	0A6h AREA3Join_0 (AREA 3 Join 0).....	205
7.4.119.	0A7h AREA3Join_1 (AREA 3 Join 1).....	206
7.4.120.	0A8h AREA4Join_0 (AREA 4 Join 0).....	207
7.4.121.	0A9h AREA4Join_1 (AREA 4 Join 1).....	208
7.4.122.	0AAh AREA5Join_0 (AREA 5 Join 0).....	209
7.4.123.	0ABh AREA5Join_1 (AREA 5 Join 1).....	210
7.4.124.	0AEh ClrAREAnJoin_0 (Clear AREA n Join 0).....	211
7.4.125.	0AFh ClrAREAnJoin_1 (Clear AREA n Join 1).....	212
7.5.	デバイス・レジスタ詳細説明.....	213
7.5.1.	0B0h D_SIE_IntStat (Device SIE Interrupt Status).....	213
7.5.2.	0B3h D_BulkIntStat (Device Bulk Interrupt Status).....	215
7.5.3.	0B4h D_EPrIntStat (Device EPr Interrupt Status).....	216
7.5.4.	0B5h D_EP0IntStat (Device EP0 Interrupt Status).....	217
7.5.5.	0B6h D_EPaIntStat (Device EPa Interrupt Status).....	218
7.5.6.	0B7h D_EPbIntStat (Device EPb Interrupt Status).....	219
7.5.7.	0B8h D_EPcIntStat (D_EPc Interrupt Status).....	220
7.5.8.	0B9h D_EPdIntStat (D_EPd Interrupt Status).....	221
7.5.9.	0BAh D_EPeIntStat (D_EPe Interrupt Status).....	222
7.5.10.	0BCh D_AlarmIN_IntStat_H (Device AlarmIN Interrupt Status High).....	223
7.5.11.	0BDh D_AlarmIN_IntStat_L (Device AlarmIN Interrupt Status Low).....	223
7.5.12.	0BEh D_AlarmOUT_IntStat_H (Device AlarmOUT Interrupt Status High).....	224
7.5.13.	0BFh D_AlarmOUT_IntStat_L (Device AlarmOUT Interrupt Status Low).....	224
7.5.14.	0C0h D_SIE_IntEnb (Device SIE Interrupt Enable).....	225
7.5.15.	0C3h D_BulkIntEnb (Device Bulk Interrupt Enable).....	226
7.5.16.	0C4h D_EPrIntEnb (Device EPr Interrupt Enable).....	227
7.5.17.	0C5h D_EP0IntEnb (Device EP0 Interrupt Enable).....	228
7.5.18.	0C6h D_EPaIntEnb (Device EPa Interrupt Enable).....	229
7.5.19.	0C7h D_EPbIntEnb (Device EPb Interrupt Enable).....	230

7.5.20.	C8h D_EPcIntEnb (Device EPc Interrupt Enable)	231
7.5.21.	0C9h D_EPdIntEnb (Device EPd Interrupt Enable).....	232
7.5.22.	0CAh D_EPeIntEnb (Device EPe Interrupt Enable)	233
7.5.23.	0CCh D_AlarmIN_IntEnb_H (Device AlarmIN Interrupt Enable High)	234
7.5.24.	0CDh D_AlarmIN_IntEnb_L (Device AlarmIN Interrupt Enable Low).....	234
7.5.25.	0CEh D_AlarmOUT_IntEnb_H (Device AlarmOUT Interrupt Enable High)	235
7.5.26.	0CFh D_AlarmOUT_IntEnb_L (Device AlarmOUT Interrupt Enable Low)	235
7.5.27.	0D0h D_NegoControl (Device Nego Control).....	236
7.5.28.	0D3h D_XcvrControl (Device Xcvr Control).....	237
7.5.29.	0D4h D_USB_Test (Device USB_Test)	238
7.5.30.	0D6h D_EPnControl (Device Endpoint Control)	239
7.5.31.	0D8h D_BulkOnlyControl (Device BulkOnly Control)	240
7.5.32.	0D9h D_BulkOnlyConfig (Device BulkOnly Configuration).....	241
7.5.33.	0E0h D_EP0SETUP_0 (Device EP0 SETUP 0).....	242
7.5.34.	0E1h D_EP0SETUP_1 (Device EP0 SETUP 1).....	242
7.5.35.	0E2h D_EP0SETUP_2 (Device EP0 SETUP 2).....	242
7.5.36.	0E3h D_EP0SETUP_3 (Device EP0 SETUP 3).....	242
7.5.37.	0E4h D_EP0SETUP_4 (Device EP0 SETUP 4).....	242
7.5.38.	0E5h D_EP0SETUP_5 (Device EP0 SETUP 5).....	242
7.5.39.	0E6h D_EP0SETUP_6 (Device EP0 SETUP 6).....	242
7.5.40.	0E7h D_EP0SETUP_7 (Device EP0 SETUP 7).....	242
7.5.41.	0E8h D_USB_Address (Device USB Address)	243
7.5.42.	0EAh D_SETUP_Control(Device SETUP Control).....	244
7.5.43.	0EEh D_FrameNumber_H (Device FrameNumber High).....	245
7.5.44.	0EFh D_FrameNumber_L (Device FrameNumber Low)	245
7.5.45.	0F0h D_EP0MaxSize (Device EP0 Max Packet Size)	246
7.5.46.	0F1h D_EP0Control (Device EP0 Control).....	247
7.5.47.	0F2h D_EP0ControlIN (Device EP0 Control IN).....	248
7.5.48.	0F3h D_EP0ControlOUT (Device EP0 Control OUT).....	249
7.5.49.	0F8h D_EPaMaxSize_H (Device EPa Max Packet Size High).....	250
7.5.50.	0F9h D_EPaMaxSize_L (Device EPa Max Packet Size Low)	250
7.5.51.	0FAh D_EPaConfig (Device EPa Configuration)	251
7.5.52.	0FCh D_EPaControl (Device EPa Control)	252
7.5.53.	100h D_EPbMaxSize_H (Device EPb Max Packet Size High).....	253
7.5.54.	101h D_EPbMaxSize_L (Device EPb Max Packet Size Low)	253
7.5.55.	102h D_EPbConfig_0 (Devie EPb Configuration 0)	254
7.5.56.	104h D_EPbControl (Device EPb Control).....	255
7.5.57.	108h D_EPcMaxSize_H (Device EPc Max Packet Size High)	256
7.5.58.	109h D_EPcMaxSize_L (Device EPc Max Packet Size Low).....	256
7.5.59.	10Ah D_EPcConfig_0 (Device EPc Configuration 0)	257
7.5.60.	10Ch D_EPcControl (Device EPc Control).....	258
7.5.61.	110h D_EPdMaxSize_H (Device EPd Max Packet Size High)	259
7.5.62.	111h D_EPdMaxSize_L (Device EPd Max Packet Size Low).....	259
7.5.63.	112h D_EPdConfig_0 (Devie EPd Configuration 0)	260
7.5.64.	114h D_EPdControl (Device EPd Control)	261
7.5.65.	118h D_EPeMaxSize_H (Device EPe Max Packet Size High)	262
7.5.66.	119h D_EPeMaxSize_L (Device EPe Max Packet Size Low).....	262
7.5.67.	11Ah D_EPeConfig_0 (Device EPe Configuration 0)	263
7.5.68.	11Ch D_EPeControl (Device EPc Control).....	264
7.5.69.	120h D_DescAdrs_H (Device Descriptor Address High).....	265
7.5.70.	121h D_DescAdrs_L (Device Descriptor Address Low)	265
7.5.71.	122h D_DescSize_H (Device Descriptor Size High)	266
7.5.72.	123h D_DescSize_L (Device Descriptor Size Low).....	266
7.5.73.	126h D_EP_DMA_Ctrl (Device EP DMA Control)	267
7.5.74.	128h D_EnEP_IN_H (Device Enable Endpoint-IN High).....	268
7.5.75.	129h D_EnEP_IN_L (Device Enable Endpoint-IN Low)	268
7.5.76.	12Ah D_EnEP_OUT_H (Device Enable Endpoint-OUT High).....	269
7.5.77.	12Bh D_EnEP_OUT_L (Device Enable Endpoint-OUT Low)	269

7.5.78.	12Ch D_EnEP_IN_ISO_H (Device Enable Endpoint-IN Isocronouse High).....	270
7.5.79.	12Dh D_EnEP_IN_ISO_L (Device Enable Endpoint-IN Isocronouse Low)	270
7.5.80.	12Eh D_EnEP_OUT_ISO_H (Device Enable Endpoint-OUT Isocronouse High)	271
7.5.81.	12Fh D_EnEP_OUT_ISO_L (Device Enable Endpoint-OUT Isocronouse Low).....	271
7.6.	ホスト・レジスタ詳細説明	272
7.6.1.	140h H_SIE_IntStat_0 (Host SIE Interrupt Status 0)	272
7.6.2.	141h H_SIE_IntStat_1 (SIE Host Interrupt Status 1)	273
7.6.3.	143h H_FrameIntStat (Host Frame Interrupt Status)	274
7.6.4.	144h H_CHrIntStat (Host CHr Interrupt Status)	275
7.6.5.	145h H_CH0IntStat (Host CH0 Interrupt Status)	276
7.6.6.	146h H_CHaIntStat (Host CHa Interrupt Status)	278
7.6.7.	147h H_CHbIntStat (Host CHb Interrupt Status)	280
7.6.8.	148h H_CHcIntStat (Host CHc Interrupt Status).....	282
7.6.9.	149h H_CHdIntStat (Host CHd Interrupt Status)	284
7.6.10.	14Ah H_CHeIntStat (Host CHe Interrupt Status)	286
7.6.11.	150h H_SIE_IntEnb_0 (Host SIE Interrupt Enable).....	288
7.6.12.	151h H_SIE_IntEnb_1(SIE Host Interrupt Enable 1).....	289
7.6.13.	152h Reserved	290
7.6.14.	153h H_FrameIntEnb(Host Frame Interrupt Enable).....	291
7.6.15.	154h H_CHrIntEnb(Host CHr Interrupt Enable).....	292
7.6.16.	155h H_CH0IntEnb(Host CH0 Interrupt Enable)	293
7.6.17.	156h H_CHaIntEnb (Host CHa Interrupt Enable).....	294
7.6.18.	157h H_CHbIntEnb (Host CHb Interrupt Enable)	295
7.6.19.	158h H_CHcIntEnb (Host CHc Interrupt Enable)	296
7.6.20.	159h H_CHdIntEnb (Host CHd Interrupt Enable).....	297
7.6.21.	15Ah H_CHeIntEnb (Host CHe Interrupt Enable).....	298
7.6.22.	160h H_NegoControl_0 (Host NegoControl 0).....	299
7.6.23.	162h H_NegoControl_1 (Host NegoControl 1).....	301
7.6.24.	164h H_USB_Test (Host USB_Test)	302
7.6.25.	170h H_CH0SETUP_0 (Host CH0 SETUP 0).....	303
7.6.26.	171h H_CH0SETUP_1 (Host CH0 SETUP 1).....	303
7.6.27.	172h H_CH0SETUP_2 (Host CH0 SETUP 2).....	303
7.6.28.	173h H_CH0SETUP_3 (Host CH0 SETUP 3).....	303
7.6.29.	174h H_CH0SETUP_4 (Host CH0 SETUP 4).....	303
7.6.30.	175h H_CH0SETUP_5 (Host CH0 SETUP 5).....	303
7.6.31.	176h H_CH0SETUP_6 (Host CH0 SETUP 6).....	303
7.6.32.	177h H_CH0SETUP_7 (Host CH0 SETUP 7).....	303
7.6.33.	17Eh H_FrameNumber_H (Host FrameNumber High).....	304
7.6.34.	17Fh H_FrameNumber_L (Host FrameNumber Low)	304
7.6.35.	180h H_CH0Config_0(Host Channel 0 Configuration0)	305
7.6.36.	181h H_CH0Config_1(Host Channel 0 Configuration1)	306
7.6.37.	183h H_CH0MaxPktSize (Host Channel 0 Max Packet Size)	307
7.6.38.	186h H_CH0TotalSize_H (Host Channel 0 Total Size High).....	308
7.6.39.	187h H_CH0TotalSize_L (Host Channel 0 Total Size Low)	308
7.6.40.	188h H_CH0HubAdrs (Host Channel 0 Hub Address)	309
7.6.41.	189h H_CH0FuncAdrs (Host Channel 0 Function Address).....	310
7.6.42.	18Bh H_CTL_SupportControl (Host ControlTransfer Support Control)	311
7.6.43.	18Eh H_CH0ConditionCode (Host Channel 0 Condition Code).....	312
7.6.44.	190h H_CHaConfig_0(Host Channel a Configuration0)	313
7.6.45.	191h H_CHaConfig_1(Host Channel a Configuration1)	314
7.6.46.	192h H_CHaMaxPktSize_H (Host Channel a Max Packet Size High)	315
7.6.47.	193h H_CHaMaxPktSize_L (Host Channel a Max Packet Size Low).....	315
7.6.48.	194h H_CHaTotalSize_HH (Host Channel a Total Size High-High).....	316
7.6.49.	195h H_CHaTotalSize_HL (Host Channel a Total Size High-Low)	316
7.6.50.	196h H_CHaTotalSize_LH (Host Channel a Total Size Low-High)	316
7.6.51.	197h H_CHaTotalSize_LL (Host Channel a Total Size Low-Low).....	316
7.6.52.	198h H_CHaHubAdrs (Host Channel a Hub Address)	318
7.6.53.	199h H_CHaFuncAdrs (Host Channel a Function Address).....	319

7.6.54.	19Ah H_CHaBO_SupporotCtl (Host CHa Bulk Only Transfer Supporot Control)	320
7.6.55.	19Bh H_CHaBO_CSW_RcvSize(Host CHa Bulk Only Transfer Supporot CSW Receive Data Size)	321
7.6.56.	19Ch H_CHaBO_OUT_EP_Ctl(Host CHa Bulk Only Transfer Supporot OUT Endpoint Control)	322
7.6.57.	19Dh H_CHaBO_IN_EP_Ctl(Host CHa Bulk Only Transfer Supporot IN Endpoint Control)	323
7.6.58.	19Eh H_CHaConditionCode (Host Channel a Condition Code)	324
7.6.59.	1A0h H_CHbConfig_0(Host Channel b Configuration0)	325
7.6.60.	1A1h H_CHbConfig_1(Host Channel b Configuration1)	326
7.6.61.	1A2h H_CHbMaxPktSize_H (Host Channel b Max Packet Size High)	327
7.6.62.	1A3h H_CHbMaxPktSize_L (Host Channel b Max Packet Size Low)	327
7.6.63.	1A4h H_CHbTotalSize_HH (Host Channel b Total Size High-High)	328
7.6.64.	1A5h H_CHbTotalSize_HL (Host Channel b Total Size High-Low)	328
7.6.65.	1A6h H_CHbTotalSize_LH (Host Channel b Total Size Low-High)	328
7.6.66.	1A7h H_CHbTotalSize_LL (Host Channel b Total Size Low-Low)	328
7.6.67.	1A8h H_CHbHubAdrs (Host Channel b Hub Address)	330
7.6.68.	1A9h H_CHbFuncAdrs (Host Channel b Function Address)	331
7.6.69.	1AAh H_CHbInterval_H(Host Channel b Interval High)	332
7.6.70.	1ABh H_CHbInterval_L(Host Channel b Interval Low)	332
7.6.71.	1AEh H_CHbConditionCode (Host Channel b Condition Code)	333
7.6.72.	1B0h H_CHcConfig_0(Host Channel c Configuration0)	334
7.6.73.	1B1h H_CHcConfig_1(Host Channel c Configuration1)	335
7.6.74.	1B2h H_CHcMaxPktSize_H (Host Channel c Max Packet Size High)	336
7.6.75.	1B3h H_CHcMaxPktSize_L (Host Channel c Max Packet Size Low)	336
7.6.76.	1B4h H_CHcTotalSize_HH (Host Channel c Total Size High-High)	337
7.6.77.	1B5h H_CHcTotalSize_HL (Host Channel c Total Size High-Low)	337
7.6.78.	1B6h H_CHcTotalSize_LH (Host Channel c Total Size Low-High)	337
7.6.79.	1B7h H_CHcTotalSize_LL (Host Channel c Total Size Low-Low)	337
7.6.80.	1B8h H_CHcHubAdrs (Host Channel c Hub Address)	339
7.6.81.	1B9h H_CHcFuncAdrs (Host Channel c Function Address)	340
7.6.82.	1BAh H_CHcInterval_H(Host Channel c Interval High)	341
7.6.83.	1BBh H_CHcInterval_L(Host Channel c Interval Low)	341
7.6.84.	1BEh H_CHcConditionCode (Host Channel c Condition Code)	342
7.6.85.	1C0h H_CHdConfig_0(Host Channel d Configuration0)	343
7.6.86.	1C1h H_CHdConfig_1(Host Channel d Configuration1)	344
7.6.87.	1C2h H_CHdMaxPktSize_H (Host Channel d Max Packet Size High)	345
7.6.88.	1C3h H_CHdMaxPktSize_L (Host Channel d Max Packet Size Low)	345
7.6.89.	1C4h H_CHdTotalSize_HH (Host Channel d Total Size High-High)	346
7.6.90.	1C5h H_CHdTotalSize_HL (Host Channel d Total Size High-Low)	346
7.6.91.	1C6h H_CHdTotalSize_LH (Host Channel d Total Size Low-High)	346
7.6.92.	1C7h H_CHdTotalSize_LL (Host Channel d Total Size Low-Low)	346
7.6.93.	1C8h H_CHdHubAdrs (Host Channel d Hub Address)	348
7.6.94.	1C9h H_CHdFuncAdrs (Host Channel d Function Address)	349
7.6.95.	1CAh H_CHdInterval_H(Host Channel d Interval High)	350
7.6.96.	1CBh H_CHdInterval_L(Host Channel d Interval Low)	350
7.6.97.	1CEh H_CHdConditionCode (Host Channel d Condition Code)	351
7.6.98.	1D0h H_CHeConfig_0(Host Channel e Configuration0)	352
7.6.99.	1D1h H_CHeConfig_1(Host Channel e Configuration1)	353
7.6.100.	1D2h H_CHeMaxPktSize_H (Host Channel e Max Packet Size High)	354
7.6.101.	1D3h H_CHeMaxPktSize_L (Host Channel e Max Packet Size Low)	354
7.6.102.	1D4h H_CHeTotalSize_HH (Host Channel e Total Size High-High)	355
7.6.103.	1D5h H_CHeTotalSize_HL (Host Channel e Total Size High-Low)	355
7.6.104.	1D6h H_CHeTotalSize_LH (Host Channel e Total Size Low-High)	355
7.6.105.	1D7h H_CHeTotalSize_LL (Host Channel e Total Size Low-Low)	355
7.6.106.	1D8h H_CHeHubAdrs (Host Channel e Hub Address)	357
7.6.107.	1D9h H_CHeFuncAdrs (Host Channel e Function Address)	358
7.6.108.	1DAh H_CHeInterval_H(Host Channel e Interval High)	359
7.6.109.	1DBh H_CHeInterval_L(Host Channel e Interval Low)	359
7.6.110.	1DEh H_CHeConditionCode (Host Channel e Condition Code)	360
8.	電気的特性	361

8.1.	絶対最大定格	361
8.2.	推奨動作条件	361
8.3.	DC特性.....	362
8.4.	AC特性.....	365
8.4.1.	RESETタイミング	365
8.4.2.	クロックタイミング	365
8.4.3.	CPU/DMA I/Fアクセスタイミング	366
8.4.3.1.	基本サイクル.....	366
8.4.3.2.	BEモードリードタイミング(DMA不使用時).....	367
8.4.3.3.	BEモードライトタイミング(DMA不使用時)	368
8.4.4.	USB I/Fタイミング	369
9.	接続例	370
9.1.	CPU I/F接続例.....	370
9.2.	USB I/F接続例.....	371
9.2.1.	PFBGA5UX60 の場合	371
9.2.2.	PFBGA8UX81 の場合	372
9.2.3.	QFP14-80 の場合	373
10.	外形寸法図.....	374
10.1.	PFBGA5UX60	374
10.2.	PFBGA8UX81	375
10.3.	QFP14-80	376
Appendix A	リトルエンディアンのCPUへの接続	377
Appendix B	エンドポイント切り替え時のトグル設定	388
Appendix C	HOST High-Speed動作時のSUSPENDについて	389
Appendix D	SetAddressリクエストの応答について	392
Appendix E	エンドポイント／チャンネルとFIFOエリアのジョインについて	394

1. 概要

S1R72V17 は USB2.0 準拠のハイスピードモードに対応する USB ホスト / デバイスコントローラ LSI です。ホストポートとデバイスポートが共通で、制御を切り替えることにより USB ホストまたは USB デバイスとして動作することが出来ます。

また、DMA-I/F を内蔵するポータブル機器に適した特長を持ちます。

2. 特長

《 USB2.0 デバイス機能 》

- HS(480Mbps)及び FS(12Mbps)転送サポート
- FS/HS ターミネーション内蔵(外付け回路不要)
- VBUS 5V I/F(外付け保護回路要)
- コントロール、バルク、インタラプト及びアイソクロナス転送をサポート
- 汎用(Bulk / Interrupt / Isochronoust転送用)5 本、及び、Endpoint 0 をサポート

《 USB2.0 ホスト機能 》

- HS(480Mbps), FS(12Mbps) 及び LS(1.5Mbps)転送サポート
- ダウンストリームポート用プルダウン抵抗内蔵(外付け回路不要)
- HS ターミネーション内蔵(外付け回路不要)
- コントロール、バルク及びインタラプト転送をサポート
- Channel 方式
Control 転送専用 Channel 1 本
汎用(Bulk / Interrupt 転送用)Channel 5 本
- USB パワースイッチインタフェース

《 CPU I/F 》

- 16bit 又は 8bit 幅の、汎用 CPU I/F に対応
- DMA 1ch. 搭載 (Multi-word 手順)
- Big Endian(Little Endian の CPU に対応するためのバススワップ機能を搭載)
- I/F 電圧変更可能(3.3V ~1.8V Typ)
- CPU カットモードにより、静止時の消費電流を低減

《 その他 》

- クロック入力 12MHz,24MHz、水晶発振子対応。(発振回路及び帰還抵抗1MΩ内蔵)
- 12MHz,24MHz,48MHz クロック入力対応専用端子
- 電源電圧 3.3V と 1.8V、及び、CPU I/F 電源の 3 電圧系統
- パッケージタイプ PFBGA5UX60(S1R72V17B00A***)
PFBGA8UX81(S1R72V17B00B***)
QFP14-80 (S1R72V17F00C***)
- 動作保証温度範囲 -40°C~85°C

※耐放射設計はされておりません

3. ブロック図

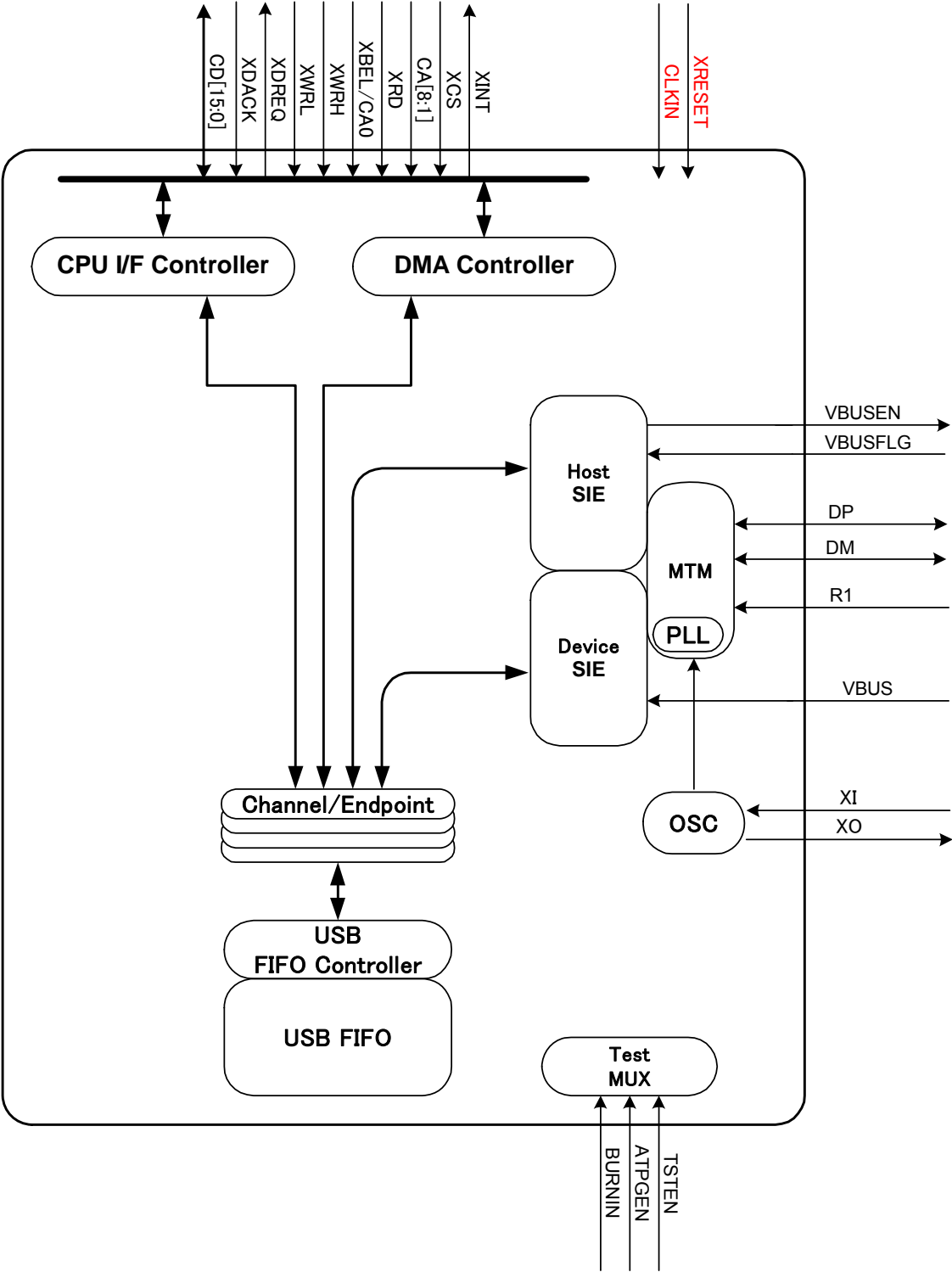


図 3-1 全体ブロック図

3.1. Multi Transceiver Macro (MTM)

USB ホスト/デバイス兼用の USB2.0 トランシーバマクロです。アナログ回路及び高速ロジック回路を持ち、HS モード(480Mbps)、FS モード(12Mbps)をサポートします。LS モード(1.5Mbps)のサポートは USB ホスト時のみとなります。

トランスミッタ、レシーバ、ターミネーション等を内蔵し、USB ホスト/デバイスインタフェースを実現します。

また、内蔵する PLL で HS 転送に必要な 480MHz クロックを生成します。PLL は、Oscillator かまたは外部からの CLKIN 入力を発振源とします。

3.2. Oscillator

入力クロックは 12MHz/24MHz の水晶発振子に対応可能です。帰還抵抗 1M Ω 内蔵。

3.3. Device Serial Interface Engine (Device SIE)

トランザクションの管理と、パケット生成を行います。

また、サスペンド・リジューム・リセット等の、バスイベントを制御します。

3.4. Host Serial Interface Engine (Host SIE)

トランザクションのスケジューリング、トランザクションの管理およびパケット生成を行います。

また、サスペンド・リジューム・リセット等の、バスイベントを生成します。

さらに、接続/切断状態の検出、および VBUS の制御(外付け USB パワースイッチとの連携による)を行います。

3.5. FIFO / FIFO Controller

チャンネル / エンドポイント用バッファです。

3.6. CPU I/F Controller

CPU I/F の PIO タイミングを制御し、レジスタアクセスを可能にします。

3.7. DMA Controller

CPU I/F の DMA タイミングを制御し、FIFO アクセスを可能にします。1 チャンネルの DMA を搭載します。

3.8. TestMUX

テスト回路です。

4. 端子配置図

4. 端子配置図

S1R72V17B00A/PFBGA5UX60
TOP View

	1	2	3	4	5	6	7	8
A	NC	LVDD	DP	DM	HVDD	R1	LVDD	BURNIN
B	VBUSFLG	VSS	HVDD	VSS	VSS	VSS	VSS	XI
C	VBUSEN	HVDD	VBUS	CA1	CA3	CD15	LVDD	XO
D	XRESET	XBEL	CA5			CD13	CVDD	CLKIN
E	CA2	CA4	XINT			CD4	CD11	CD14
F	CA7	CA8	XWRH	XDACK	CD3	CD7	CD10	CD12
G	CA6	LVDD	XRD	XDREQ	CD1	CD6	VSS	CD9
H	TESTEN	XCS	XWRL	CD0	CD2	CD5	CD8	ATPGEN

図 4-1 PFBGA5UX60 パッケージ端子配置図

S1R72V17B00B/PFBGA8UX81
TOP View

	1	2	3	4	5	6	7	8	9
A	NC	LVDD	HVDD	DP	DM	HVDD	R1	LVDD	NC
B	VSS	VSS	VBUS	VSS	VSS	VSS	VSS	VSS	XI
C	VBUSFLG	HVDD	LVDD	XBEL	CA1	CVDD	BURNIN	LVDD	XO
D	XRESET	VBUSEN	CA3	NC	NC	NC	CD12	CD15	CLKIN
E	CA2	VSS	CA4	NC	NC	NC	VSS	CD13	CD14
F	CVDD	CA5	CA8	NC	NC	NC	CD7	CD9	CD11
G	CA7	CA6	TESTEN	XCS	XDACK	CD0	CD4	CD8	CD10
H	LVDD	XINT	XWRL	XRD	CD1	CVDD	CD6	ATPGEN	LVDD
J	NC	VSS	XWRH	XDREQ	CD2	CD3	CD5	VSS	NC

図 4-2 PFBGA8UX81 パッケージ端子配置図

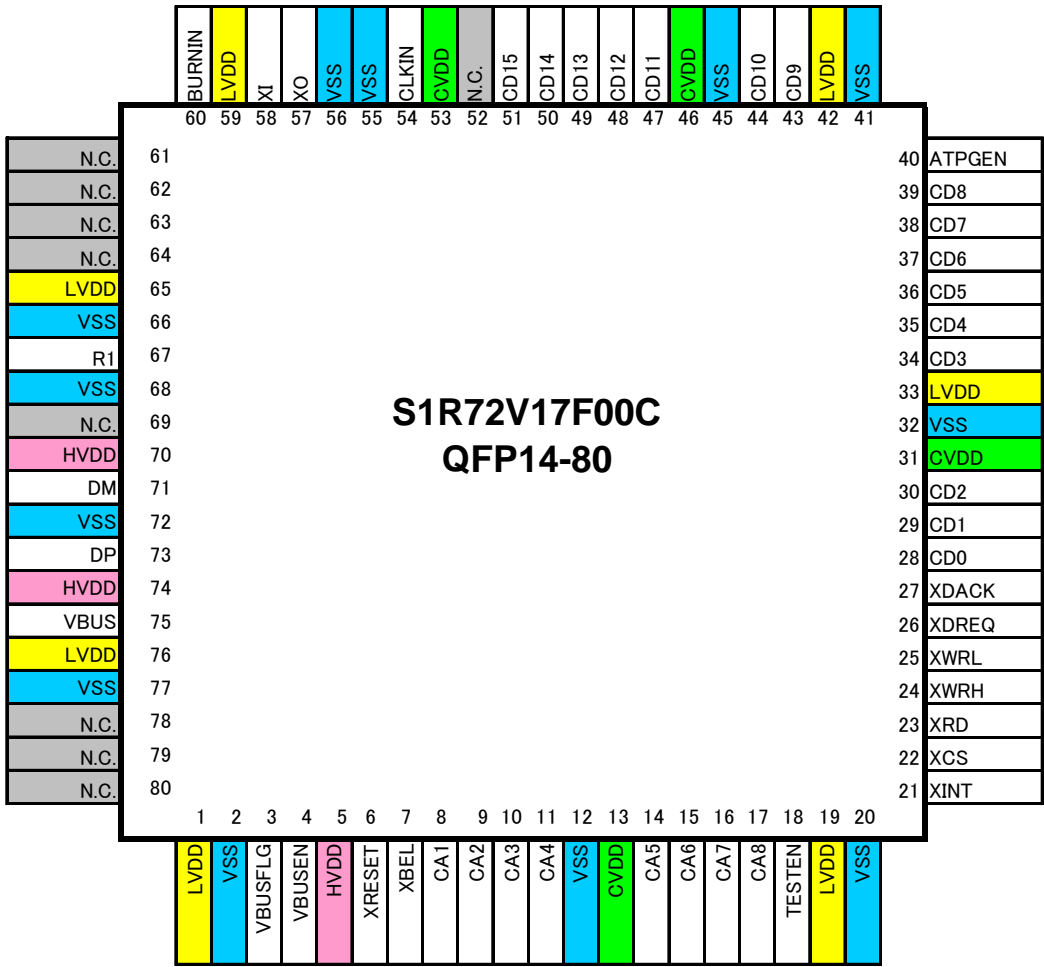


図 4-3 QFP14-80 パッケージ端子配置図

5. 端子機能説明

5. 端子機能説明

OSC

QFP14	PFBGA8	PFBGA5	名称	I/O	RESET	端子タイプ	端子説明
58	B9	B8	XI	IN	-	Analog	内部発振回路用入力 12MHz/24MHz
57	C9	C8	XO	OUT	-	Analog	内部発振回路用出力

本 LSI 内蔵のオシレータを使用する場合、XI,XO 端子に水晶発振子及び発振回路を接続し、CLKIN 端子を GND 電位に固定して下さい。また、CLKIN 端子からクロックを入力して使用する場合、XI 端子を GND 電位に固定し、XO 端子をオープンに処理して下さい。

TEST

QFP14	PFBGA8	PFBGA5	名称	I/O	RESET	端子タイプ	端子説明
18	G3	H1	TESTEN	IN	(PD)	PD	テスト端子 (Low 固定)
40	H8	H8	ATPGEN	IN	(PD)	PD	テスト端子 (Low 固定)
60	C7	A8	BURNIN	IN	(PD)	PD	テスト端子 (Low 固定)

PD: Pull Down

PU: Pull Up

USB

QFP14	PFBGA8	PFBGA5	名称	I/O	RESET	端子タイプ	端子説明
67	A7	A6	R1	IN	-	Analog	内部動作設定端子 6.2k Ω \pm 1%の抵抗を VSS 間に接続
73	A4	A3	DP	BI	Hi-Z	Analog	USB データライン Data+
71	A5	A4	DM	BI	Hi-Z	Analog	USB データライン Data-
3	C1	B1	VBUSFLG	IN	(PU)	Schmitt PU	USB パワースイッチ・フォールト検出信号 1: 正常 0: 異常
4	D2	C1	VBUSEN	OUT	Lo	2mA	USB パワースイッチ制御信号
75	B3	C3	VBUS	IN	(PD)	PD	USB デバイス・バス検出信号

PD: Pull Down

PU: Pull Up

CPU I/F

QFP14	PFBGA8	PFBGA5	名称	I/O	RESET	端子タイプ	端子説明		
Bus Mode ⇒							16bit Strobe mode	16bit BE mode	8bit mode
6	D1	D1	XRESET	IN	-	Schmitt	リセット信号		
54	D9	D8	CLKIN	IN	-	-	クロック入力		
23	H4	G3	XRD	IN	-	-	リード・ストロブ		
25	H3	H3	XWRL (XWR)	IN	-	-	ライト・ストロブ 下位	ライト・ストロブ	
24	J3	F3	XWRH (XBEH)	IN	-	-	ライト・ストロブ 上位	ハイ・バイト イネーブル	High 固定
22	G4	H2	XCS	IN	-	Schmitt	チップセレクト信号		
21	H2	E3	XINT	OUT	High	2mA (Tri-state)	割り込み出力信号		
26	J4	G4	XDREQ	OUT	High	2mA	DMA リクエスト		
27	G5	F4	XDACK	IN	-	-	DMA アクノリッジ		
7	C4	D2	XBEL (CA0)	IN	-	-	High or Low 固定	ロー・バイト イネーブル	アドレス 0
8	C5	C4	CA1	IN	-	-	CPU バスアドレス		
9	E1	E1	CA2	IN	-	-			
10	D3	C5	CA3	IN	-	-			
11	E3	E2	CA4	IN	-	-			
14	F2	D3	CA5	IN	-	-			
15	G2	G1	CA6	IN	-	-			
16	G1	F1	CA7	IN	-	-			
17	F3	F2	CA8	IN	-	-			
28	G6	H4	CD0	BI	Hi-Z	2mA	CPU データバス		
29	H5	G5	CD1	BI	Hi-Z	2mA			
30	J5	H5	CD2	BI	Hi-Z	2mA			
34	J6	F5	CD3	BI	Hi-Z	2mA			
35	G7	E6	CD4	BI	Hi-Z	2mA			
36	J7	H6	CD5	BI	Hi-Z	2mA			
37	H7	G6	CD6	BI	Hi-Z	2mA			
38	F7	F6	CD7	BI	Hi-Z	2mA			
39	G8	H7	CD8	BI	Hi-Z	2mA			
43	F8	G8	CD9	BI	Hi-Z	2mA			
44	G9	F7	CD10	BI	Hi-Z	2mA			
47	F9	E7	CD11	BI	Hi-Z	2mA			
48	D7	F8	CD12	BI	Hi-Z	2mA			
49	E8	D6	CD13	BI	Hi-Z	2mA			
50	E9	E8	CD14	BI	Hi-Z	2mA			
51	D8	C6	CD15	BI	Hi-Z	2mA			

XINT 端子は、レジスタ設定により、1/0 モードと Hi-Z/0 モードを選択できます。

CLKIN 端子からクロックを入力して使用する場合、XI 端子を GND 電位に固定し、XO 端子をオープンに処理して下さい。また、本 LSI 内蔵のオシレータを使用する場合、XI,XO 端子に水晶発振子及び発振回路を接続し、CLKIN 端子を GND 電位に固定して下さい。

PD: Pull Down

PU: Pull Up

5. 端子機能説明

POWER

QFP14	PFBGA8	PFBGA5	名称	電圧	端子説明
5,70,74	A3,A6,C2	A5,B3,C2	HVDD	3.3V	USB I/O 用電源
1,19,33,42,59,65,76	A2,A8,C3,C8,H1,H9	A2,A7,C7,G2	LVDD	1.8V	内部回路電源、TEST I/O 用電源、OSC 用電源
13,31,46,53	C6,F1,H6	D7	CVDD	3.3~1.8V	CPU-I/F I/O 用電源
2,12,20,32,41,45,55,56,66,68,72,77	B1,B2,B4,B5,B6,B7 , B8,E2,E7,J2,J8	B2,B4,B5,B6,B7,G7	VSS	0V	GND
52,61,62,63,64,69,78,79,80	A1,A9,D4,D5,D6,E4 , E5,E6,F4,F5,F6,J1,J9	A1	N.C.	0V	N.C.端子(GND に接続してください)

6. 機能説明

本 LSI の動作について説明します。

以下では、レジスタについて下記のルールで標記します。レジスタはバイト毎の名称で標記します。

- ・1 アドレス分のレジスタを指す場合の名称

レジスタ名+レジスタと標記します。

例:「MainIntStat レジスタ」

- ・個々のビットを指す場合の名称

レジスタ名. ビット名+ビット、或いは、ビット名+ビットと標記します。

例:「MainIntStat.CPU_IntStat ビット」

- ・エンドポイント毎にあるレジスタ

D_EPx{x=0,a-e}～レジスタ等と標記します。

例:「D_EPx{x=0,a-e}IntStat レジスタ」

- ・チャンネル毎にあるレジスタ

H_CHx{x=0,a-e}～レジスタ等と標記します。

例:「H_CHx{x=0,a-e}IntStat レジスタ」

- ・エリア毎にあるレジスタ

AREAn{n=0-5}～レジスタ等と標記します。

例:「AREAn{n=0-5}StartAdrs_H レジスタ」

6. 機能説明

6.1. USB デバイス／ホスト選択

本 LSI で USB を使用する場合、HostDeviceSel.HOSTxDEVICE ビットを設定し、USB デバイスと USB ホストのいずれか一方を選択して下さい。

USB デバイスを選択した場合（以下デバイス・モード）、共通レジスタおよびデバイス・レジスタのレジスタ・ビット及び機能が有効となります。

USB ホストを選択した場合（以下ホスト・モード）、共通レジスタおよびホスト・レジスタのレジスタ・ビット及び機能が有効となります。

6.1.1. USB デバイス／ホスト機能選択方法

USBデバイス／ホスト選択の設定項目を表 6-1 に示します。

レジスタマップ選択方法

表 6-1 USB デバイス／ホスト機能選択の設定項目

項目	レジスタ／ビット	説明
USB デバイス／ホスト 選択	HostDeviceSel. HOSTxDEVICE	USBデバイスとホストのいずれかを選択します。 選択した側のレジスタ、及び機能が使用可能です。

6.1.2. USB ポート状態変化検出ステータス

本 LSI には、USB ポート状態の検出機能があります。

これらは SLEEP / ACTIVE（パワーマネージメント項を参照）の両状態で使用できます。

6.1.2.1. USB ポート状態変化検出ステータスの使用例

デバイスポート変化ステータスおよびホストポート変化ステータスの使用例を示します。

6.1.2.1.1. デバイスポート変化ステータス

本ステータスは、デバイスポートの VBUS 端子の状態が変化したことを示します。

デバイスポート変化ステータス関連レジスタを表 6-2 に示します。

表 6-2 デバイスポート変化ステータス関連レジスタ

項目	レジスタ／ビット	説明
VBUS 端子変化 ステータス	USB_DeviceIntStat. VBUS_Changed	デバイスポートのVBUS端子の状態が変化したことを示します。
VBUS 端子変化 ステータスイネーブル	USB_DeviceIntEnb. EnVBUS_Changed	USB_DeviceIntStat. VBUS_Changed による MainIntStat.USB_DeviceIntStat ビットのアサートを許可／禁止します。
デバイスポート VBUS 状態	D_USB_Status. VBUS	デバイスポートのVBUS端子の状態を示します。

デバイスポート変化ステータスを使用する場合、F/W は(1)、(2)、(4)～(7)の処理を行います。

- (1) VBUS 端子変化ステータスをクリアします。
- (2) VBUS 端子変化ステータスイネーブルをセットします。
- (3) デバイスポートに VBUS の供給があると、VBUS 端子変化ステータスが発行されます。
- (4) VBUS 端子変化ステータスを確認します。
- (5) VBUS 端子変化ステータスをクリアします。
- (6) VBUS 端子変化ステータスイネーブルをクリアします。
- (7) デバイスポート VBUS 状態を確認します。デバイスポート VBUS 状態ビットが”1”であれば、VBUS が供給されている(デバイスポートにホストまたはハブが接続されている)状態と判断します。

6.1.2.1.2. ホストポート変化ステータス

本ステータスは、ホストポートのVBUSを制御しているパワードライバの状態を示します。

ホストポート変化ステータス関連レジスタを

表 6-3 に示します。

表 6-3 ホストポート変化ステータス関連レジスタ

項目	レジスタ／ビット	説明
VBUS 異常検出 ステータス	USB_HostIntStat. VBUS_Err	VBUSに異常が発生したことを示します。
VBUS 異常検出 ステータスイネーブル	USB_HostIntEnb. EnVBUS_Err	USB_HostIntStat. VBUS_Err による MainIntStat.USB_HostIntStatビットのアサートを許 可／禁止します。
VBUS イネーブル	H_USB_Control. VBUS_Enb	外部USBパワースイッチをイネーブルにします。
ホストポート VBUS 状態	H_USB_Status. VBUS_State	ホストポートのVBUSの状態(正常／異常)を示しま す。

VBUS 異常検出ステータスを検出した場合には、直ちに VBUS イネーブルを OFF にして VBUS のドライブを停止してください。

6. 機能説明

6.2. USB デバイス制御

ここでは、USB デバイス機能について説明します。

6.2.1. エンドポイント

本 LSI はコントロール転送用のエンドポイント(EP0)と、5 本の汎用エンドポイント(EPa, EPb, EPc, EPd, EPe)を持ちます。エンドポイント EPa, EPb, EPc, EPd, EPe は、それぞれに、バルク、インタラプト、アイソクロナス転送用のエンドポイントとして同時に使用できます。さらに、USB ホストからトランザクションが発行された時に、アラームを発生するアラームエンドポイント機能により、エンドポイント EP0 を除き、最大 15 の IN エンドポイントと最大 15 の OUT エンドポイントを持つことが可能です。アラームエンドポイント機能は、EPa,EPb,EPc,EPd,EPe に設定されたアクティブなエンドポイント以外の、任意のエンドポイントに対して発行されたトランザクションに対して、NAK 応答し、F/W に通知することが出来ます。

LSI の H/W は、エンドポイントを提供し、トランザクションの管理を行います。一方、USB に定義されるインタフェイス(以下、USB 定義インタフェイス)の管理機能を提供しません。USB 定義インタフェイスは、F/W で実装して下さい。デバイス固有のデスクリプタ定義に沿って、エンドポイントを適宜設定し、組み合わせて、USB 定義インタフェイスを構成してください。

各エンドポイントには、USB 定義インタフェイスによって決定される固定の基本設定項目と、転送毎に制御を行う可変の制御項目及びステータスがあります。基本設定項目は、チップ初期化時、または、USB 定義インタフェイスの切り替え時等に設定して下さい。

表 6-4 にエンドポイントEP0(デフォルトコントロールパイプ)の基本設定項目を示します。

エンドポイント EP0 は、IN 方向と OUT 方向とで、レジスタセットや FIFO 領域を共有します。エンドポイント EP0 におけるデータステージ及びステータスステージでは、その実行に際して、F/W によって、適宜データランザクションの方向を設定して下さい。

さらに、後述する FIFO エリアにジョインすることで、所望するトランザクションを実行できます。まず使用する FIFO エリアの領域を **AREA0StartAdrs_H,L**、**AREA0EndAdrs_H,L** にて確保し、**AREA0FIFO_Clr** にて FIFO エリアを初期化した後、使用する FIFO エリア **0** の **AREA0Join_1.JoinEP0CH0** をセットしてください。このジョインの処理を行うまでは、FIFO エリアを使用してのデータ転送が行えません。

表 6-4 エンドポイント EP0 の基本設定項目

項目	レジスタ/ビット	説明
マックスパケットサイズ	D_EP0MaxSize	マックスパケットサイズを、設定します。 FS 動作時:8,16,32,64 のいずれかの値に設定 HS 動作時:64 に設定
FIFO 領域	AREA0StartAdrs_H , AREA0StartAdrs_L , AREA0EndAdrs_H , AREA0EndAdrs_L	エンドポイント EP0 に割り当てる領域を、FIFO のアドレスで設定します。 FIFO 領域は、マックスパケットサイズ以上の領域を割り当てて下さい。 FIFO の領域割り当ての詳細は、機能説明の FIFO の項を参照して下さい。
FIFO 領域ジョイン	AREA0Join_1.JoinEP0CH0	エンドポイント EP0 を割り当てた領域に結合します。 エンドポイント EP0 は、AREA0 に結合して下さい。

表 6-5 に汎用エンドポイント (EPa, EPb, EPc, EPd, EPe) の基本設定項目を示します。エンドポイント EPa, EPb, EPc, EPd, EPe は、トランザクション方向とエンドポイントナンバーを任意に設定出来ますので、5 本までの独立したエンドポイントで同時にデータ転送が可能です。USB 定義インタフェースの定義内容に合わせて適宜設定し、また有効にすることによって、USB 定義インタフェースを構成して下さい。

エンドポイント EPa, EPb, EPc, EPd, EPe の FIFO 領域は、スタートアドレスおよびエンドアドレスにより設定します。さらに、後述する FIFO エリアにジョインすることで、所望するトランザクションを実行できます。まず使用する FIFO エリアの領域を **AREAn{n=1-5}StartAdrs_H,L**、**AREAn{n=1-5}EndAdrs_H,L** にて確保し、**AREAn{n=1-5}FIFO_Clr** にて FIFO エリアを初期化した後、使用する FIFO エリアの **AREAn{n=1-5}Join_1.JoinEPxCHx{x=a-e}** をセットしてください。このジョインの処理を行うまでは、FIFO エリアを使用してのデータ転送が行えません。

表 6-5 汎用エンドポイントの基本設定項目

項目	レジスタ/ビット	説明
トランザクション方向	D_EPx{x=a-e}Config.INxOUT	各エンドポイントの転送方向を設定します。
マックスパケットサイズ	D_EPx{x=a-e}MaxSize_H, D_EPx{x=a-e}MaxSize_L	各エンドポイントのマックスパケットサイズを設定します。 但し、バルク転送を行うエンドポイントでは、FS モード時は 8/16/32/64Byte のいずれか、HS モード時は 512Byte に設定して下さい。
エンドポイントナンバー	D_EPx{x=a-e}Config.EndpointNumber	各エンドポイントのエンドポイントナンバーを 0x1～0xF の間の任意の値に設定します。
トグルモード	D_EPx{x=a-e}Config.IntEP_Mode	インタラプト転送の動作モードを設定します。バルク転送を行うエンドポイントでは、方向に関らず、"0" に設定して下さい。 IN 方向のエンドポイントでは、トグルシーケンスのモードを設定します。 OUT 方向のエンドポイントでは、インタラプト転送を行う場合に、"0" にセットして下さい。
アイソクロナスモード	D_EPx{x=a-e}Config.ISO	アイソクロナス転送を行う際に"1" に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0" に設定してください。
FIFO 領域	AREAn{n=1-5}StartAdrs_H, AREAn{n=1-5}StartAdrs_L, AREAn{n=1-5}EndAdrs_H, AREAn{n=1-5}EndAdrs_L	各エンドポイントに割り当てる領域を、FIFO のアドレスで設定します。 FIFO 領域は、各チャネルのマックスパケットサイズ以上の領域を割り当てて下さい。また、FIFO 領域のサイズがデータ転送のスループットに影響します。 FIFO の領域割り当ての詳細は、機能説明の FIFO の項を参照して下さい。
FIFO 領域ジョイン	AREAn{n=1-5}Join_1.JoinEPxCHx{x=a-e}	各エンドポイントを割り当てた領域に結合します。 各エンドポイントは、下記組み合わせで、各領域に結合して下さい。但し、使用しないエンドポイントは FIFO 領域に結合しないで下さい。 <div style="text-align: right;"> エンドポイント EPa: AREA1 エンドポイント EPb: AREA2 エンドポイント EPc: AREA3 エンドポイント EPd: AREA4 エンドポイント EPe: AREA5 </div>

6. 機能説明

表 6-6 にアラームエンドポイントの基本設定項目を示します。このアラームエンドポイントは、現在汎用エンドポイントに割り当てられてはいないが、USB定義インタフェースにて定義したエンドポイントを実装するものです。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にすることによって、USB定義インタフェースを構成して下さい。

このアラームエンドポイントには、FIFO 領域は必要ありません。

表 6-6 アラームエンドポイントの基本設定項目

項目	レジスタ/ビット	説明
アラームエンドポイント有効	D_EnEP_IN_H.EnEPn{n=8-15}IN, D_EnEP_IN_L.EnEPn{n=1-7}IN, D_EnEP_OUT_H.EnEPn{n=8-15}OUT, D_EnEP_OUT_L.EnEPn{n=1-7}OUT	アラームエンドポイント有効にします。
アイソクロナスモード	D_EnEP_IN_ISO_H.EnEPn{n=8-15}IN_ISO, D_EnEP_IN_ISO_L.EnEPn{n=1-7}IN_ISO, D_EnEP_OUT_ISO_H.EnEPn{n=8-15}OUT_ISO, D_EnEP_OUT_ISO_L.EnEPn{n=1-7}OUT_ISO	アイソクロナス転送モードに設定する際に"1"に設定します。バルク転送、インタラプト転送に設定するエンドポイントでは、"0"に設定してください。

6.2.2. トランザクション

本 LSI は H/W でトランザクション実行機能と、F/W に対するトランザクション実行のためのインタフェースを提供します。F/W に対するインタフェースは、制御レジスタとステータスレジスタ、及び、ステータスによりアサートされる割り込み信号として実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の章を参照して下さい。

本 LSI は個々のトランザクション毎に、F/W に対してステータスを発行します。しかしながら、F/W は必ずしも、個々のトランザクションを管理する必要はありません。トランザクションへの応答を行う時に、FIFO を参照し、そのデータ数または空き数によって、データ転送を行えるか否かを判断して自動的に処理を行います。

例えば、OUT のエンドポイントであれば、F/W は、CPU インタフェース(レジスタリード)により、FIFO からデータを読み出して FIFO に空き領域を作り出すことによって、OUT トランザクションを自動的に連続して実行させることが出来ます。また、IN のエンドポイントであれば、F/W は、CPU インタフェース(レジスタライト)により、FIFO にデータを書き込んで FIFO に有効データを作り出すことによって、IN トランザクションを自動的に連続して実行させることが出来ます。

表 6-7 にエンドポイントEP0 のトランザクション制御に関する制御項目及びステータスを示します。

表 6-7 エンドポイント EP0 の制御項目及びステータス

項目	レジスタ/ビット	説明
トランザクション方向	D_EP0Control.INxOUT	データステージ及びステータスステージにおいて、転送方向を設定します。
デスクリプタ返信イネーブル	D_EP0Control.ReplyDescriptor	デスクリプタの自動応答を起動します。
デスクリプタ返信アドレス	D_DescAdrs_H, DescAdrs_L	デスクリプタの自動応答によって、返信を行うデータの FIFO 上の先頭アドレスを指定します。
デスクリプタサイズ	D_DescSize_H, DescSize_L	デスクリプタの自動応答によって、返信を行うデータ数を指定します。
制御禁止	D_SETUP_Control.ProtectEP0	このビットがセットされていると、EP0ControlIN 及び EP0ControlOUT レジスタの ForceNAK ビットと ForceSTALL ビットへのアクセスが行えません。 このビットは、RcvEP0SETUP ステータスが立つと、LSI の H/W によってセットされ、CPU によるレジスタアクセスでクリアできます。
ショートパケット送信イネーブル	D_EP0ControlIN.EnShortPkt	マックスパケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信した IN トランザクションが完結すると、クリアされます。
トグルシーケンスビット	D_EP0ControlIN.ToggleStat, D_EP0ControlOUT.ToggleStat	トグルシーケンスビットの状態を示します。SETUP ステージにより、自動的に初期化されます。
トグルセット	D_EP0ControlIN.ToggleSet, D_EP0ControlOUT.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	D_EP0ControlIN.ToggleClr, D_EP0ControlOUT.ToggleClr	トグルシーケンスビットをクリアします。
強制 NAK 応答	D_EP0ControlIN.ForceNAK, D_EP0ControlOUT.ForceNAK	FIFO のデータ数/空き数に関わらず、IN 又は OUT (PING を含む)トランザクションに NAK 応答します。
STALL 応答	D_EP0ControlIN.ForceSTALL, D_EP0ControlOUT.ForceSTALL	IN 又は OUT (PING を含む)トランザクションに STALL 応答します。
自動 ForceNAK セット	D_EP0ControlOUT.AutoForceNAK	OUT トランザクションの完結毎に、D_EP0ControlOUT.ForceNAK ビットをセットします。
SETUP 受信ステータス	USB_DeviceIntStat.RcvEP0SETUP	SETUP トランザクションが実行されたことを示します。
トランザクションステータス	D_EP0IntStat.OUT_ShortACK, D_EP0IntStat.IN_TranACK, D_EP0IntStat.OUT_TranACK, D_EP0IntStat.IN_TranNAK, D_EP0IntStat.OUT_TranNAK, D_EP0IntStat.IN_TranErr, D_EP0IntStat.OUT_TranErr	トランザクションの結果を示します。
デスクリプタ返信データステージ終了ステータス	D_EP0IntStat.DescriptorCmp	デスクリプタ自動応答のデータステージが終了したことを示します。

表 6-8 に、汎用エンドポイントEPa, EPb, EPc, EPd, EPeのトランザクション処理に関する制御項目とステータスを示します。

表 6-8 汎用エンドポイントの制御項目とステータス

6. 機能説明

項目	レジスタ/ビット	説明
自動 ForceNAK セット	D_EPx{x=a-e}Control.AutoForceNAK	OUT トランザクションの完結毎に、そのエンドポイントの D_EPx{x=a-e}Control.ForceNAK ビットをセットします。
ショートパケット送信イネーブル	D_EPx{x=a-e}Control.EnShortPkt	IN トランザクションに対し、マックスパケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信した IN トランザクションが完結すると、クリアされます。
ショートパケット受信による自動 ForceNAK セットの禁止	D_EPx{x=a-e}Control.DisAF_NAK_Short	OUT トランザクションにおいて、ショートパケットを受信すると、自動的にそのエンドポイントの D_EPx{x=a-e}Control.ForceNAK ビットをセットする機能(※)を禁止します。 ※:このビットにより禁止しない場合は有効になっています。
トグルシーケンスビット	D_EPx{x=a-e}Control.ToggleStat	トグルシーケンスビットの状態を示します。
トグルセット	D_EPx{x=a-e}Control.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	D_EPx{x=a-e}Control.ToggleClr	トグルシーケンスビットをクリアします。
強制 NAK 応答	D_EPx{x=a-e}Control.ForceNAK	FIFO のデータ数/空き数に関わらず、トランザクションに NAK 応答します。
STALL 応答	D_EPx{x=a-e}Control.ForceSTALL	トランザクションに STALL 応答します。
トランザクションステータス	D_EPx{x=a-e}IntStat.OUT_ShortACK, D_EPx{x=a-e}IntStat.IN_TrانACK, D_EPx{x=a-e}IntStat.OUT_TrانACK, D_EPx{x=a-e}IntStat.IN_TrانNAK, D_EPx{x=a-e}IntStat.OUT_TrانNAK, D_EPx{x=a-e}IntStat.IN_TrانErr, D_EPx{x=a-e}IntStat.OUT_TrانErr	トランザクションの結果を示します。

6.2.2.1. SETUP トランザクション

自ノードのエンドポイント EP0 宛での SETUP トランザクションは、無条件に実施します。(D_NegoControl.ActiveUSB ビットによって USB 機能は有効にされている必要が有ります。)

SETUP トランザクションが発行されると、データパケット(8Byte)の全ての内容を D_EP0SETUP_0~D_EP0SETUP_7 レジスタに格納し、ACK 応答します。また、SetAddress()リクエストを除き、F/W に対し RcvEP0SETUP ステータスを発行します。

SETUP トランザクション中にエラーが発生した場合には、応答せず、ステータスを発行しません。

SETUP トランザクションが完結すると、D_EP0ControlIN レジスタ及び D_EP0ControlOUT レジスタの ForceNAK ビットをセットし、ForceSTALL ビットをクリアします。また、ToggleStat ビットをセットします。また、D_SETUP_Control.ProtectEP0 ビットをセットします。F/W は、エンドポイント EP0 の設定を終え、次のステージに移行可能になったら、SETUP_Control.ProtectEP0 ビットをクリアし、D_EP0ControlIN レジスタまたは D_EP0ControlOUT レジスタにおいて、該当する方向の ForceNAK ビットをクリアして下さい。

図 6-1 にデバイス時のSETUPトランザクションの様子を図示します。(a)ホストが、このノードのエンドポイント 0 に宛てたSETUPトークンを発行します。(b)ホストは続けて、8Byte長のデータパケットを送信します。LSIはこのデータをD_EP0SETUP_0~D_EP0SETUP_7 レジスタに書き込みます。(c)LSIは自動的にACK応答します。また、自動設定するレジスタを設定し、F/W/に対しステータスを発行します。

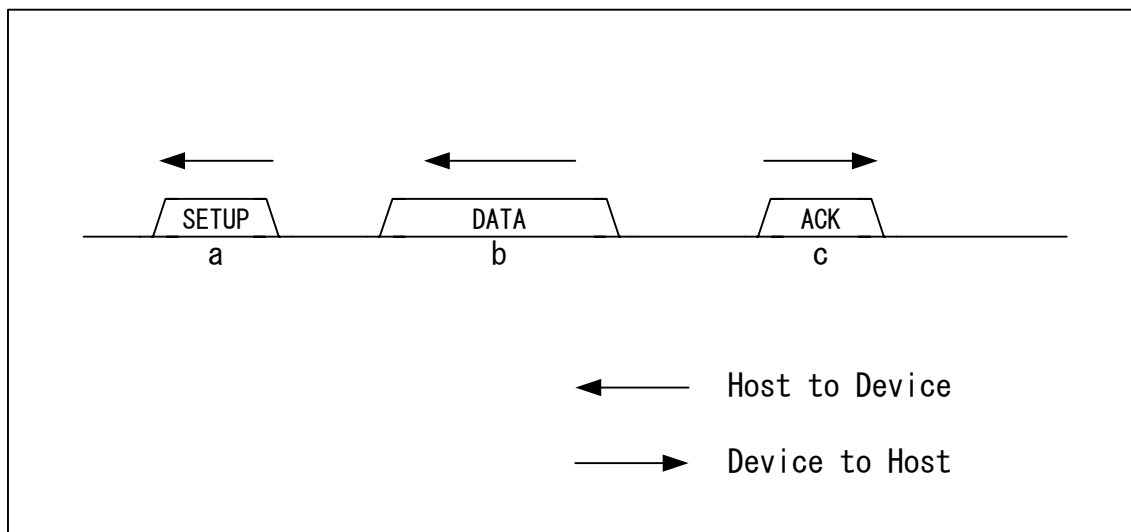


図 6-1 デバイス時の SETUP トランザクション

6.2.2.2. バルク/インタラプト OUT トランザクション

バルク及びインタラプト OUT トランザクションでは、FIFO の空き容量がマックスパケットサイズ以上有ると、データの受信を開始します。

バルク及びインタラプト OUT トランザクションにおいて、全てのデータが正常に受信できると、トランザクションを完結し、ACK または NYET 応答します。また、F/W に対し、該当するエンドポイントの OUT_TrانACK ステータス (D_EPx{x=0,a-e}IntStat.OUT_TrانACK ビット) を発行します。また、FIFO を更新して、データを受信済みとして、領域を確保します。

また、バルク及びインタラプト OUT トランザクションにおいて、ショートパケットの全てのデータを受信できると、上記のトランザクション完結処理に加え、OUT_ShortACK ステータス (D_EPx{x=0,a-e}IntStat.OUT_ShortACK ビット) を発行します。また、D_EPx{x=a-e}Control.DisAF_NAK_Short ビットがクリアされていると、そのエンドポイントの、D_EPx{x=a-e}ForceNAK ビットをセットします。

バルク及びインタラプト OUT トランザクションにおいて、トグルミスマッチが発生した場合、トランザクションに ACK 応答しますが、ステータスを発行しません。FIFO は更新されません。

バルク及びインタラプト OUT トランザクションにエラーが発生した場合、トランザクションに応答しません。また、OUT_TrانErr ステータス (D_EPx{x=0,a-e}IntStat.OUT_TrانErr ビット) を発行します。FIFO は更新されません。

バルク及びインタラプト OUT トランザクションにおいて、全てのデータを受信できなかった場合、トランザクションに NAK 応答します。また、OUT_TrانNAK ステータス (D_EPx{x=0,a-e}IntStat.OUT_TrانNAK ビット) を発行します。FIFO は更新されません。

図 6-2 に、デバイス時における完結する場合のバルクまたはインタラプト OUT トランザクションの様子を図示します。(a) ホストが、このノードに存在する OUT 方向のエンドポイントに宛てた OUT トークンを発行します。(b) ホストは続けて、マックスパケットサイズ以内のデータパケットを送信します。LSI はこのデータを、該当するエンドポイントの FIFO に書き込みます。(c) LSI はデータを受信できると、自動的に ACK 応答します。また、自動設定するレジスタを設定し、F/W に対しステータスを発行します。

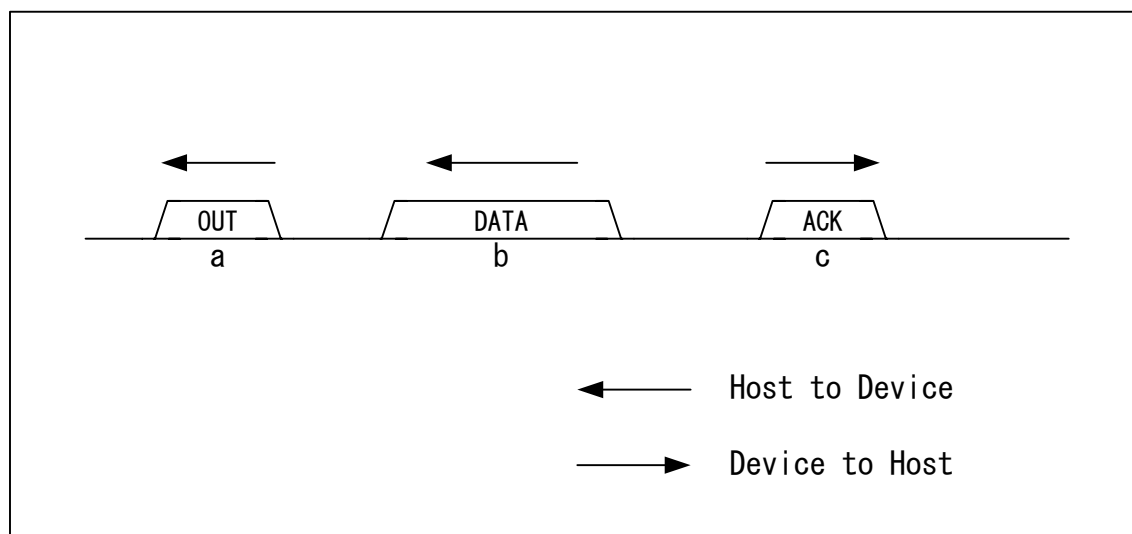


図 6-2 デバイス時の OUT トランザクション

6. 機能説明

6.2.2.3. アイソクロナス OUT トランザクション

アイソクロナス OUT トランザクションでは、FIFO の空き容量がマックスパケットサイズ以上有ると、データの受信を開始します。従いまして、CPU インタフェイスによるレジスタリードやDMAリード等によりFIFOのデータを読み出して、空き領域を作りながら受信をすることが出来るよう、FIFO をマックスパケットサイズの倍程度割り当てることにより、良好なスループットを提供します。

アイソクロナス OUT トランザクションにおいて、全てのデータが正常に受信できると、F/W に対し、該当するエンドポイントの OUT_TrانACK ステータス($EPx\{x=a-e\}IntStat.OUT_TranACK$ ビット)を発行します。また、FIFO を更新して、データを受信済みとして、領域を確保します。

アイソクロナス OUT トランザクションにおいて、マックスパケットサイズ未満の全てのデータを受信できると、上記のトランザクション完結処理に加え、OUT_ShortACK ステータス($EPx\{x=a-e\}IntStat.OUT_ShortACK$ ビット)を発行します。また、 $EPx\{x=a-e\}Control.DisAF_NAK_Short$ ビットがクリアされていると、そのエンドポイントの、 $EPx\{x=a-e\}ForceNAK$ ビットをセットします。

アイソクロナス OUT トランザクションにエラーが発生した場合、データを受信せず、FIFO を更新しません。また、OUT_TrانErr ステータス($EPx\{x=a-e\}IntStat.OUT_TranErr$ ビット)を発行します。

アイソクロナス OUT トランザクションにおいて、1パケット分の全てのデータを受信できなかった場合、OUT_TrانNAK ステータス($EPx\{x=a-e\}IntStat.OUT_TranNAK$ ビット)を発行します。FIFO は更新されません。

6.2.2.4. バルク/インタラプト IN トランザクション

IN 方向のバルク及びインタラプトのエンドポイントにおいて、FIFO にマックスパケットサイズ分のデータが有るか、または、F/W によってショートパケットの送信が許可されていると、IN トランザクションに応答して、データパケットを返信します。

ショートパケット(データ長ゼロのパケットを含む)の送信許可は、D_EP0Control.IN.EnShortPkt ビットまたは $D_EPx\{x=a-e\}Control.EnShortPkt$ ビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間、新たなデータをそのエンドポイントの FIFO に書き込まないようにして下さい。

エンドポイント EP0 では、ショートパケットを送信する IN トランザクションが完結すると、D_EP0Control.IN.ForceNAK ビットがセットされます。

データ返信した IN トランザクションで、ACK を受信すると、トランザクションを完結し、F/W に対し、IN_TrانACK ステータス($D_EPx\{x=0,a-e\}IntStat.IN_TranACK$ ビット)を発行します。また、FIFO を更新して、送信したデータを送信済みとして領域を開放します。

データ返信した IN トランザクションで、ACK を受信しないと、トランザクションを失敗と見なし、F/W に対し、IN_TrانErr ステータス($D_EPx\{x=0,a-e\}IntStat.IN_TranErr$ ビット)を発行します。また、FIFO を更新せず、領域を開放しません。

バルク及びインタラプトの IN 方向のエンドポイントにおいて、FIFO にマックスパケットサイズ分のデータが無く、かつ、ショートパケットの送信が許可されていないと、IN トランザクションに NAK 応答し、F/W に対し、IN_TrانNAK ステータス($D_EPx\{x=0,a-e\}IntStat.IN_TranNAK$ ビット)を発行します。また、FIFO を更新せず、領域を開放しません。

図 6-3 に、デバイス時における完結する場合のバルクまたはインタラプト IN トランザクションの様子を図示します。(a)ホストが、このノードに存在するIN方向のエンドポイントに宛てたINTークンを発行します。(b)LSIIは、このINトランザクションに応答できる場合、マックスパケットサイズ以内のデータパケットを送信します。(c)ホストはACK応答します。LSIIはACKを受信すると、自動設定するレジスタを設定し、F/Wに對しステータスを発行します。

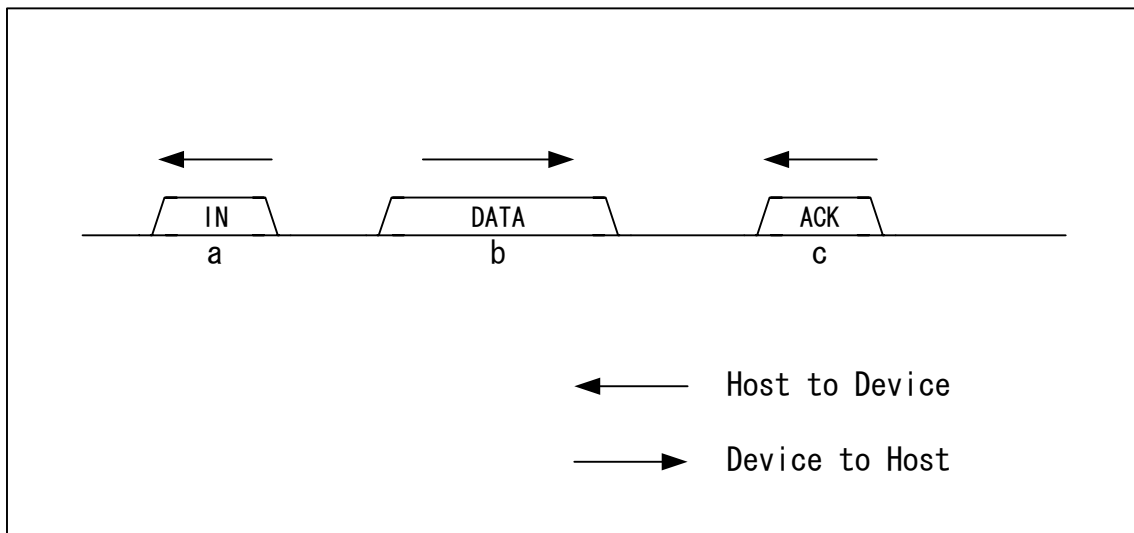


図 6-3 デバイス時の IN トランザクション

6.2.2.5. アイソクロナス IN トランザクション

IN 方向のアイソクロナスのエンドポイントにおいて、FIFO にマックスパケットサイズ分のデータが在るか、または、F/W によってショートパケットの送信が許可されていると、IN トランザクションに応答して、データパケットを返信します。

ショートパケット(データ長ゼロのパケットを含む)の送信許可は、 $EPx\{x=a-e\}Control.EnShortPkt$ ビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間、新たなデータをそのエンドポイントの FIFO に書き込まないようにして下さい。

アイソクロナス IN トランザクションにデータパケットを返信すると、トランザクションを完結し、F/W に対し、IN_TrانACK ステータス

(EPx{x=a-e}IntStat.IN_TrانACK ビット)を発行します。また、FIFO を更新して、送信したデータを送信済みとして領域を開放します。

アイソクロナスの IN 方向のエンドポイントにおいて、FIFO にマックスパケットサイズ分のデータが無く、かつ、ショートパケットの送信が許可されていないと、IN トランザクションにゼロ長データパケットで応答し、F/W に対し、IN_TrانNAK ステータス (EPx{x=a-e}IntStat.IN_TrانNAK ビット)を発行します。また、FIFO を更新せず、領域を開放しません。

6.2.2.6. PING トランザクション

バルクの OUT 方向のエンドポイントでは、HS 動作時に、PING トランザクションを実行します。

該当するエンドポイントの FIFO 空き容量がマックスパケットサイズ以上であった場合に、PING トランザクションに対して ACK 応答します。また、F/W に対して、ステータスを発行しません。

該当するエンドポイントの FIFO の空き容量がマックスパケットサイズ未満であった場合に、PING トランザクションに対して NAK 応答します。また、F/W に対し、OUT_TrانNAK ステータス (D_EPx{x=0,a-e}IntStat.OUT_TrانNAK ビット)を発行します。

PING トランザクションにおいては、FIFO が更新されることはありません。

図 6-4 に、デバイス時のPING トランザクションに対してACK応答する様子を図示します。(a)ホストが、このノードに存在するOUT方向のエンドポイントに宛てたPINGトークンを発行します。(b)LSIは、FIFOにマックスパケットサイズ分の空きがある場合、このPING トランザクションに対しACK応答します。また、F/W に対しステータスを発行します。

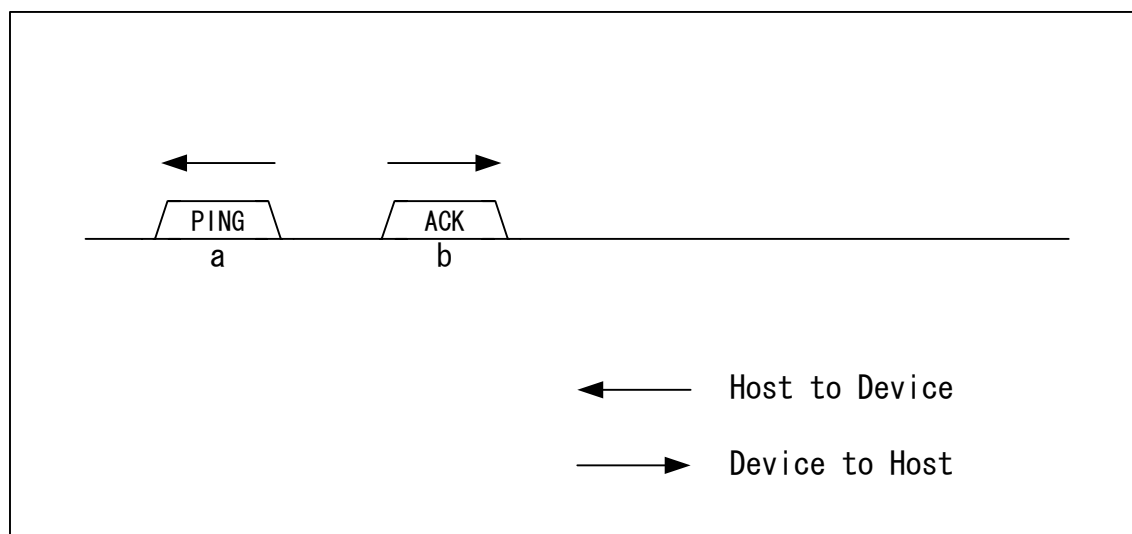


図 6-4 デバイス時の PING トランザクション

6.2.3. コントロール転送

エンドポイント EP0 におけるコントロール転送は、SetAddress()リクエストを除き、個々のトランザクションの組み合わせとして制御します。SetAddress()リクエストは、後述の自動アドレス設定機能により、自動的に処理されます。

図 6-5 にデバイス時のデータステージがOUT方向である場合のコントロール転送の様子を図示します。(a)ホストは、SETUP トランザクションによって、コントロール転送を開始します。デバイスのF/Wはリクエストの内容を解析して、データステージに応答する準備をします。(b)ホストはOUT トランザクションを発行して、データステージを行い、デバイスはデータを受信します。(c)ホストはIN トランザクションを発行して、ステータスステージを行い、デバイスはデータ長ゼロのパケットを返信します。

データステージの無いコントロール転送は、この例におけるデータステージが無い状態で実施されます。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。F/W は、IN_TrانNAK ステータス (D_EP0IntStat.IN_TrانNAK ビット)を監視して、データステージからステータスステージに移行するきっかけとして下さい。

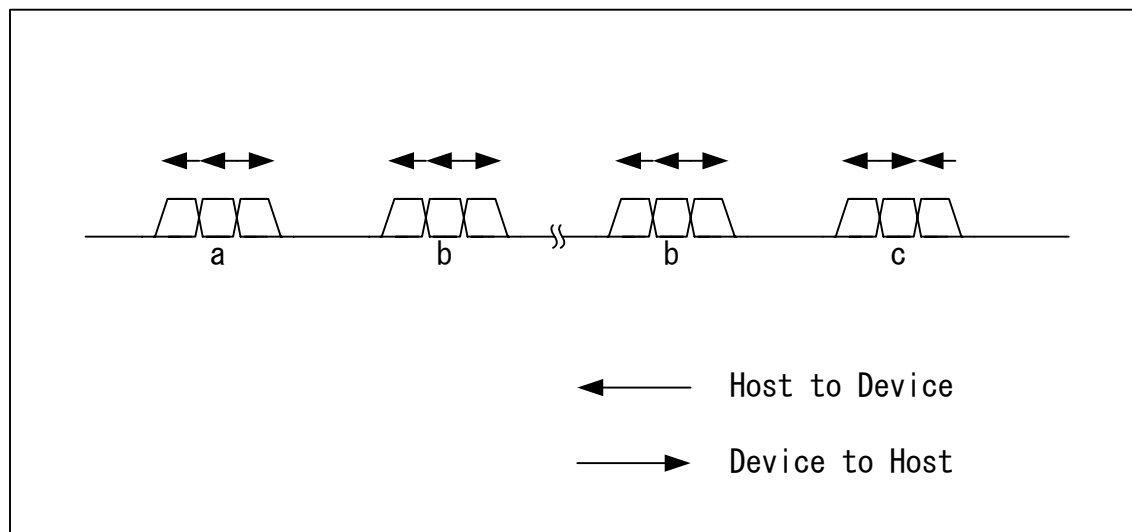


図 6-5 デバイス時のデータステージが OUT 方向のコントロール転送

図 6-6 にデバイス時のデータステージがIN方向である場合のコントロール転送の様子を図示します。(a)ホストは、SETUPトランザクションによって、コントロール転送を開始します。デバイスのF/Wはリクエストの内容を解析して、データステージに应答する準備をします。(b)ホストはINトランザクションを発行して、データステージを行い、デバイスはデータを送信します。(c)ホストはOUTトランザクションを発行して、ステータスステージを行い、デバイスはACK応答します。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。F/W は、OUT_TrانNAK ステータス(D_EP0IntStat.OUT_TrانNAK ビット)を監視して、データステージからステータスステージに移行するきっかけとして下さい。

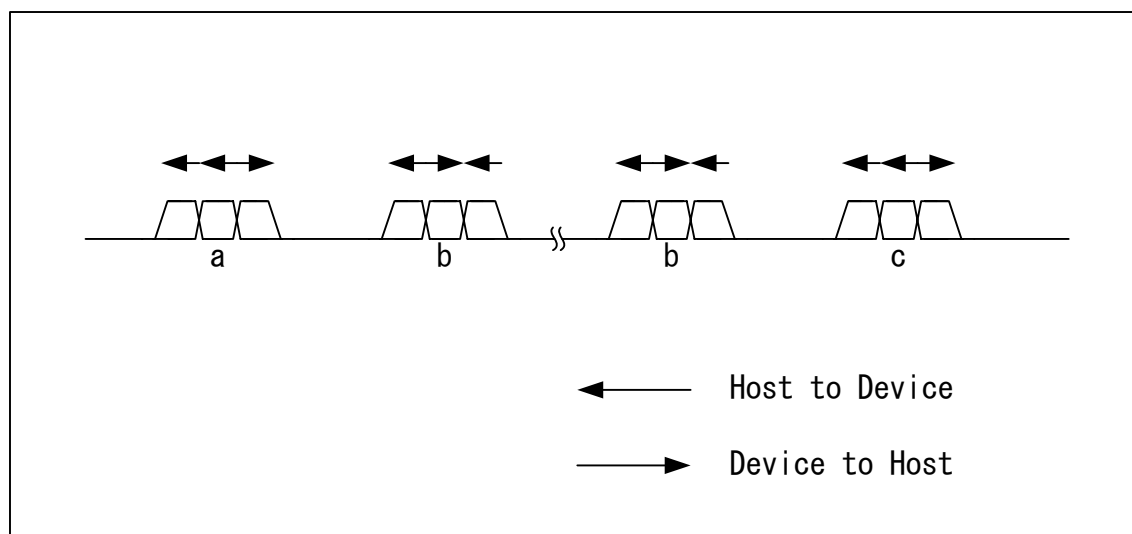


図 6-6 デバイス時のデータステージが IN 方向のコントロール転送

コントロール転送のデータステージ及びステータスステージは、通常の OUT 及び IN トランザクションを行いますので、NAK によるフロー制御が有効です。デバイスは定められた時間内に、応答する準備をすることが許されています。

6.2.3.1. セットアップステージ

自ノードに宛てられた SETUP トークンを受信すると、自動的にセットアップステージを実行します。なお、このセットアップステージは、エンドポイント EP0 が FIFO 領域にジョインされていない場合においても、無条件に実施します。

F/W は、RcvEP0SETUP ステータスをモニタし、D_EP0SETUP_0～D_EP0SETUP_7 レジスタによりリクエストを解析して、コントロール転送を制御して下さい。

受信したリクエストが、OUT 方向のデータステージが有るものであった場合、データステージに移行するため、D_EP0Control レジスタの INxOUT ビットをクリアして、エンドポイント EP0 を OUT 方向に設定して下さい。

受信したリクエストが、IN 方向のデータステージが有るものであった場合、データステージに移行するため、D_EP0Control レジスタの INxOUT ビットをセットして、エンドポイント EP0 を IN 方向に設定して下さい。

受信したリクエストが、データステージの無いものであった場合、ステータスステージに移行するため、D_EP0Control レジスタの INxOUT ビットをセットして、エンドポイント EP0 を IN 方向に設定して下さい。

6.2.3.2. データステージ/ステータスステージ

D_EP0SETUP_0~D_EP0SETUP_7 レジスタを読み出してリクエストを解析した内容に従って、次のステージに移行して下さい。

そのステージが OUT 方向である場合、D_EP0Control レジスタの INxOUT をクリアして OUT 方向に設定し、D_EP0ControlOUT レジスタを適宜設定して、ステージをコントロールして下さい。SETUP ステージ終了時は、ForceNAK ビットがセットされています。また、D_SETUP_Control.ProtectEP0 ビットがセットされています。

そのステージが IN 方向である場合、D_EP0Control レジスタの INxOUT をセットして IN 方向に設定し、D_EP0ControlIN レジスタを適宜設定して、ステージをコントロールして下さい。SETUP ステージ終了時は、ForceNAK ビットがセットされています。また、D_SETUP_Control.ProtectEP0 ビットがセットされています。

6.2.3.3. 自動アドレス設定機能

本 LSI には、エンドポイント EP0 におけるコントロール転送において、SetAddress()リクエストの処理を自動化する機能があります。なお、この自動アドレス設定機能は、エンドポイント EP0 が FIFO 領域にジョインされていない場合においても、無条件に実施します。

LSI の H/W は D_EP0SETUP_0~D_EP0SETUP_7 レジスタによってリクエストの内容を確認し、有効な SetAddress()リクエストで有った場合には、F/W に通知することなく、このリクエストのステータスステージの処理に移行します。ステータスステージが完了すると、USB_Address レジスタにアドレスを設定し、F/W に対し SetAddressCmp ステータス(D_SIE_IntStat.SetAddressCmp ビット)を発行します。

F/W は SetAddressCmp ステータスを監視し、これが発行されたら USB_Address レジスタにより、アドレスを確認できます。

6.2.3.4. デスクリプタ返信機能

本 LSI には、エンドポイント EP0 におけるコントロール転送において、GetDescriptor()等の複数回発行されデータを要求するリクエストに有効な、デスクリプタ返信機能があります。

データステージが IN 転送であるリクエストにおいて、F/W はこの機能を使用することが出来ます。

D_EP0ControlIN.ForceNAK ビットをクリアして、データステージへの応答を開始する前に、D_DescAdrs_H,L レジスタに FIFO のデスクリプタ領域内の、返信するデータの先頭アドレスを、また、D_DescSize_H,L レジスタに返信するデータの総バイト数を設定し、D_EP0Control.ReplyDescriptor ビットをセットして下さい。

デスクリプタ返信機能は、設定数のデータを送り終わるまで、データステージの IN トランザクションに응答してデータパケットを返信し、IN トランザクションを実行します。設定数のデータを送り終えた後に IN トランザクションが発行されると、NAK 応答します。マックスパケットサイズに対し端数のデータが存在すると、デスクリプタ返信機能は、D_EP0ControlIN.EnShortPkt をセットし、全てのデータを返信するまで、IN トランザクションに응答出来るようにします。

OUT トークンを受信し、ステータスステージへの移行を検知すると、D_EP0Control.ReplyDescriptor ビットをクリアし、F/W に対し DescriptorCmp ステータス(D_EP0IntStat.DescriptorCmp ビット)を発行します。DescriptorCmp ステータスを検知したら、F/W はステータスステージを行って下さい。

デスクリプタ領域については、機能説明の FIFO の項を参照して下さい。

6.2.4. バルク転送/インタラプト転送

汎用エンドポイント EPa, EPb, EPc, EPd, EPe におけるバルク転送、インタラプト転送は、データフロー(6.2.5 参照)としても、連続する個々のトランザクション(6.2.2 参照)としても制御できます。

6.2.5. データフロー

OUT 転送及び IN 転送の一般的なデータフローの制御について、説明します。

6.2.5.1. OUT 転送

OUT 転送によって受信したデータは、各エンドポイントのジョインした FIFO 領域上に書き込まれます。FIFO のデータを読み出すには、CPU インタフェイスによるレジスタ読み出し、CPU インタフェイスによる DMA 読み出しがあります。

CPU インタフェイスのレジスタリードにより、FIFO のデータを読み出すには、各エンドポイントのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}.Join_0.JoinCPU_Rd ビットにてただ一つのエンドポイントを選択して下さい。選択したエンドポイントの FIFO は、FIFO_Rd レジスタ、または、FIFO_ByteRd レジスタにより、受信順に読み出すことが出来ます。また、読み出し可能な FIFO のデータ数を、FIFO_RdRemain_H,L レジスタにより参照できます。空の FIFO を読み出すことはできませんので、必ず FIFO_RdRemain_H,L レジスタによりデータ数を確認し、その数を超えないように読み出して下さい。

CPU インタフェイスの DMA リードにより、FIFO のデータを読み出すには、各エンドポイントのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}.Join_0.JoinDMA ビットにてただ一つのエンドポイントを選択し、DMA_Control.Dir ビットに 1 を設定して下さい。選択したエンドポイントの FIFO は、CPU インタフェイスにおいて DMA 手順を実行することにより、受信順に読み出されます。また、FIFO の残りデータ数を、DMA_Remain_H,L レジスタで参照できます。FIFO が空になると、CPU インタフェイスは自動的に DMA を一時停止してフロー制御を行います。

FIFO にデータパケットを受信できる空き領域があれば、OUT トランザクションに自動的に응答して、データを受信できます。従って、F/W によって、個々のトランザクションについての制御を行うことなく、OUT 転送を行うことが出来ます。但し、D_EPx{x=a-e}Control.DisAF_NAK_Short ビットがクリアされている場合(初期値)、ショートパケット(データ長ゼロのパケットを含む)を受信した場合、そのエンドポイントの D_EPx{x=a-e}Control.ForceNAK ビットをセットしますので、次のデータ転送を行う準備が出来たら、D_EPx{x=a-e}Control.ForceNAK ビットをクリアして下さい。

6. 機能説明

6.2.5.2. IN 転送

IN 転送により送信するデータを、各エンドポイントのジョインした FIFO 領域上に書き込んで下さい。FIFO にデータを書き込むには、CPU インタフェイスによるレジスタ書き込みと、CPU インタフェイスによる DMA 書き込み方法があります。

CPU インタフェイスのレジスタライトにより、FIFO にデータを書き込むには、各エンドポイントのジョインした FIFO 領域と同一のエリアに `AREAn{n=0-5}.Join_0.JoinCPU_Rd` ビットにてただ一つのエンドポイントを選択して下さい。選択したエンドポイントの FIFO には、`FIFO_Wr レジスタ`、または ~~`FIFO_ByteWr レジスタ`~~により書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFO の空き容量を、`FIFO_WrRemain_H,L` レジスタにより参照できます。フル状態の FIFO へ書き込むことは出来ません。必ず `FIFO_WrRemain_H,L` レジスタにより空き数を確認し、その数を超えないように書き込んで下さい。

CPU インタフェイスの DMA ライトにより、FIFO にデータを書き込むには、各エンドポイントのジョインした FIFO 領域と同一のエリアに `AREAn{n=0-5}.Join_0.JoinDMA` ビットにてただ一つのエンドポイントを選択し、`DMA_Control.Dir` ビットに 0 を設定して下さい。選択したエンドポイントの FIFO は、CPU インタフェイスにおいて DMA の手順を実行することにより、書き込まれ、書き込み順にデータパケットで送信されます。FIFO がフルになると、CPU インタフェイスは自動的に DMA を一時停止してフロー制御を行います。

FIFO にマックスパケットサイズ以上のデータが有れば、IN トランザクションに自動的に応答して、データを送信できます。従って、F/W によって、個々のトランザクションについての制御を行うことなく、IN 転送を行うことが出来ます。但し、データ転送の最後にショートパケットを送信する必要がある場合、`EnShortPkt` ビットをセットして下さい。このビットはショートパケットを送信した IN トランザクションが完結することによってクリアされます。FIFO へのデータ書き込みが終了した時点でセットすることが可能です。

6.2.6. バルクオンリーサポート

本 LSI には、エンドポイント `EPa`, `EPb`, `EPc`, `EPd`, `EPe` におけるバルク転送において、USB Mass Storage Class(BulkOnly Transport Protocol)に固有の Command Block Wrapper(CBW)の受信及び Command Status Wrapper(CSW)の送信を補助する、バルクオンリーサポート機能があります。

`BulkOnlyConfig.EPx{x=a-e}.BulkOnly` ビットをセットすると、対象となるエンドポイントで、バルクオンリーサポート機能が有効になります。

バルクオンリーサポート機能の CBW サポート、または CSW サポートが実行されている間、エンドポイントに通常割り当てられた FIFO 領域ではなく、CBW 領域または CSW 領域として割り当てられている領域を使用して、パケットの受信(CBW)または送信(CSW)を行います。

6.2.6.1. CBW サポート

F/W は BulkOnly Transport Protocol のコマンドトランスポートを行うときに、CBW サポートを使用することが出来ます。`BulkOnlyConfig.EPx{x=a-e}.BulkOnly` ビットがセットされると、対応する OUT のエンドポイントで CBW サポートが有効になります。CBW サポートは、ただひとつのエンドポイントで有効になるように制御して下さい。CBW サポートが有効であるときに、`BulkOnlyControl.GoCBW_Mode` ビットをセットすると、CBW サポートが実行され、対象となるエンドポイントにおける OUT トランザクションで受信したデータを CBW として扱います。

データパケットのデータ長が CBW として期待される 31 バイト長であった場合には、データを CBW 領域に保存し、F/W に対し CBW 完了ステータス(`D_BulkIntStat.CBW_Cmp` ビット)を発行します。また、`D_BulkOnlyControl.GoCBW_Mode` ビットを自動的にクリアし、CBW サポートの実行が終了します。また、このとき `D_BulkOnlyControl.GoCSW_Mode` ビットがセットされていると、同時にクリアします。

データパケットのデータ長が、31 バイト長未満か、または、31 バイト長を超えた場合には、データを受信せず、F/W に対し CBW データ長エラーステータス(`D_BulkIntStat.CBW_LengthErr` ビット)を発行します。また、`D_BulkOnlyControl.GoCBW_Mode` ビットを自動的にクリアし、CBW サポートの実行を終了します。また、このとき `D_BulkOnlyControl.GoCSW_Mode` ビットがセットされていると、同時にクリアします。CBW_Err ステータスが発行された場合、BulkOnly Transport Protocol でフェーズミスマッチが発生していますので、F/W はエンドポイントを STALL するなどして、通信の復旧を行ってください。

対象となるエンドポイントで `D_EPx{x=a-e}.Control.ForceSTALL` がセットされ、OUT トランザクションに STALL 応答した場合には、F/W に対し CBW エラーステータス(`D_BulkIntStat.CBW_Err` ビット)を発行し、`D_BulkOnlyControl.GoCBW_Mode` ビットをクリアし、CBW サポートの実行が終了します。また、このとき `D_BulkOnlyControl.GoCSW_Mode` ビットがセットされていると、同時にクリアします。

OUT トランザクションに CRC エラーなどのトランザクションエラーが発生した場合は、データを受信せず F/W に対し CBW トランザクションエラーステータス(`D_BulkIntStat.CBW_TranErr` ビット)ステータスを発行します。この場合には、`D_BulkOnlyControl.GoCBW_Mode` ビットがクリアされず、CBW サポートの実行が継続します。また、このとき `D_BulkOnlyControl.GoCSW_Mode` ビットがセットされていてもクリアされません。

CBW 領域に受信したデータは、`RAM_Rd` 機能を用いて読み出すことが出来ます。

6.2.6.2. CSW サポート

F/W は BulkOnly Transport Protocol のステータストランスポートを行うときに、CSW サポートを使用することが出来ます。`D_BulkOnlyConfig.EPx{x=a-e}.BulkOnly` ビットがセットされると、対応する IN のエンドポイントで CSW サポートが有効になります。CSW サポートは、ただひとつのエンドポイントで有効になるように制御して下さい。CSW サポートが有効であるときに、`D_BulkOnlyControl.GoCSW_Mode` ビットをセットすると、CSW サポートが実行され、対象となるエンドポイントにおける IN トランザクションにおいて送信するデータを CSW とします。

IN トランザクションにおいて、13 バイトの CSW データをホストへ返信した後に、ホストからの ACK を受信してトランザクションを完結した場合には、F/W に対し CSW 完了ステータス(`D_BulkIntStat.CSW_Cmp` ビット)を発行します。また、`D_BulkOnlyControl.GoCSW_Mode` ビットを自動的にクリアして CSW サポートの実行を終了します。また、同時に `D_BulkOnlyControl.GoCBW_Mode` ビットをセットして CBW サポートの実行を開始します。

IN トランザクションにおいて、13 バイトのデータをホストへ返信した後に、ホストからの ACK が受信できなかった場合は、F/W に対し CSW エラーステータス(`D_BulkIntStat.CSW_Err` ビット)を発行します。この時、`D_BulkOnlyControl.GoCSW_Mode` ビットをクリアせずに CSW サポート

の実行を継続します。また、同時に H/W が D_BulkOnlyControl.GoCBW_Mode ビットをセットして CBW サポートの実行を開始します。即ち、この場合には、CSW サポートの実行と、CBW サポートの実行が同時に行われている状態となります。もし、ホストが CSW を受信できずエラーとなっていた場合には、CSW のリトライが行われますが、CSW サポートが実行中なので応答することができます。また、デバイスが ACK を受信できずにエラーとなった場合には、次の CBW が行われますが、CBW サポートが実行中なので、応答することができ、また、CBW サポートが行われることによって CSW サポートの実行が終了されます。

CSW 領域へは、RAM_WrDoor 機能を用いてデータを書き込むことができます。

6. 機能説明

6.2.7. オート・ネゴシエーション機能

サスペンド検出、リセット検出、HS Detection Handshake 実行、レジューム検出、リストア実行を USB バスの状態を逐次チェックしながら自動的にを行います。実際に何が行われたかは、各割り込み (DetectRESET、DetectSUSPEND、ChirpCmp、RestoreCmp) をチェックすることにより確認することが出来ます。

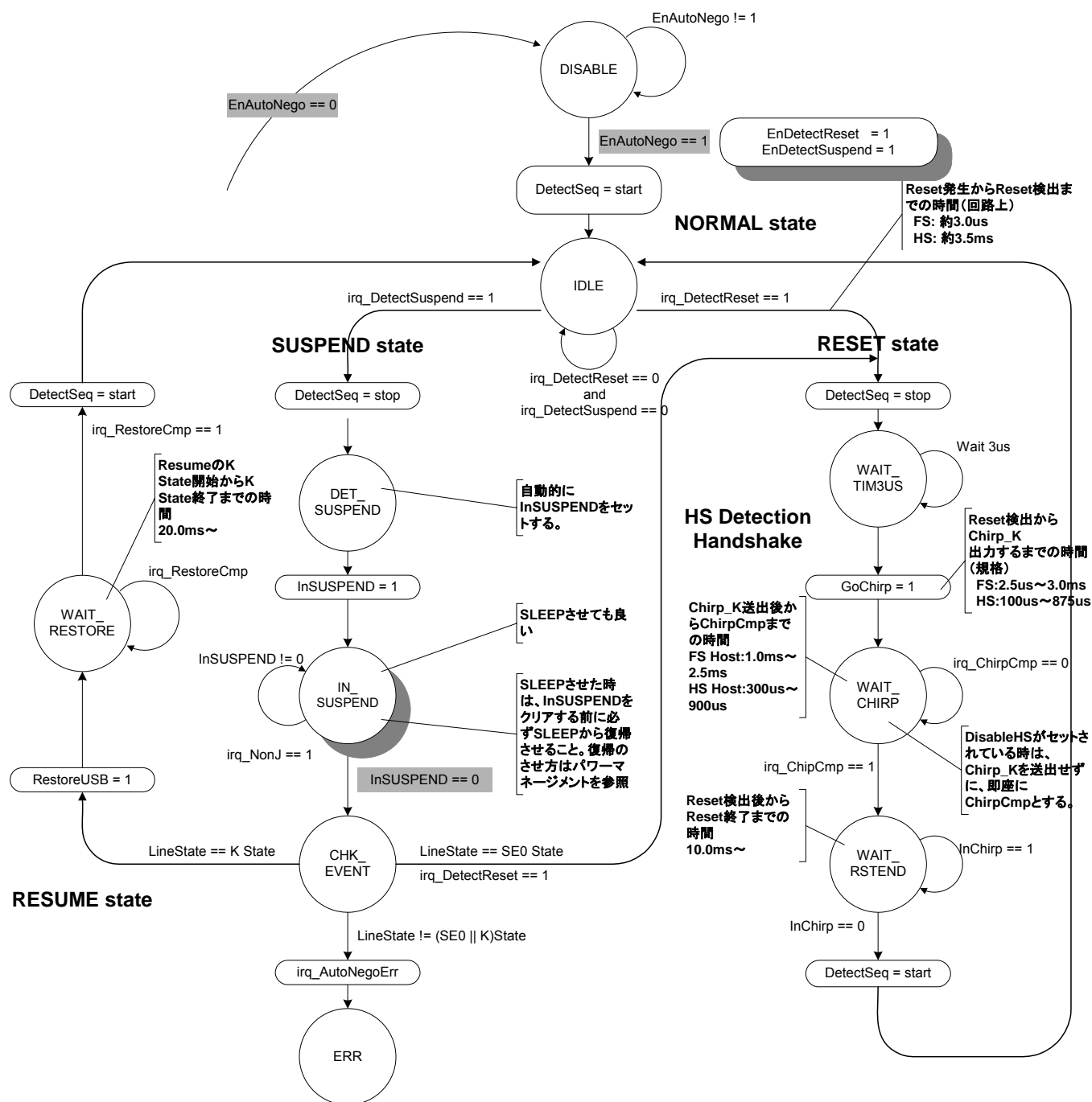


図 6-7 オート・ネゴシエータ

6.2.7.1. DISABLE

D_NegoControl.EnAutoNego ビットをクリアしている時に、このステートに入ります。

オート・ネゴシエーション機能を有効にする時には、D_NegoControl.EnAutoNego ビットをセットする前にリセット検出割り込み許可ビット (D_SIE_IntEnb.EnDetectRESET)、サスペンド検出割り込み許可ビット (D_SIE_IntEnb.EnDetectSUSPEND) をセットし、両イベント検出割り込みを許可してください。

オート・ネゴシエーション機能を有効にすると、内部イベント検出機能を有効にします。オート・ネゴシエーション機能を有効にしている間は、D_NegoControl.DisBusDetect ビットを絶対にセットしないでください。

6.2.7.2. IDLE

リセット検出待ち、サスペンド検出待ちをするステートです。

現在の USB スピードが HS の時には、USB バス上にバス・アクティビティが 3ms 以上検出できなかった場合に、一旦 FS のターミネーションを有効にし、FS-J が検出された場合はサスペンド、SE0 が検出された場合はリセットと判断します。現在のスピードが FS の時には、2.5us 以上

の SE0 が検出された場合はリセット、3ms 以上バス・アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、リセット検出割り込み、またはサスペンド検出割り込みが発生し、D_SIE_IntStat.DetectRESET ビット、または D_SIE_IntStat.DetectSUSPEND ビットがセットされます。

サスペンドと判断した場合、一旦イベント検出機能を停止し、DET_SUSPEND ステートに入ります。

リセットと判断した場合、一旦イベント検出機能を停止し、WAIT_TIM3US ステートに入ります。

6.2.7.3. WAIT_TIM3US

リセット検出後、HS Detection Handshake を実行するまでの時間を調整しています。一定時間経過後(約 3us 後)、WAIT_CHIRP ステートに入ります。

6.2.7.4. WAIT_CHIRP

D_NegoControl.GoChirp ビットを自動的にセットし、HS Detection Handshake を実行します。HS Detection Handshake が終了すると、Chirp 終了割り込みステータス(D_SIE_IntStat.ChirpCmp)がセットされ、WAIT_RSTEND ステートに入ります。HS Detection Handshake の詳細については、6.2.7.11.5 を参照してください。

また、D_NegoControl.DisableHS ビットをセットしている場合は、HS Detection Handshake を実行せずに、Chirp 終了割り込みステータス(D_SIE_IntStat.ChirpCmp)がセットされ、WAIT_RSTEND ステートに入ります。

なお、このステート終了後は、D_USB_Status.FSxHS ビットに設定された転送スピードにて動作することとなります。転送スピードが変化したことを検出する必要がある場合は、前述の Chirp 終了割り込みを有効にするために、D_SIE_IntEnb.EnChirpCmp ビットをセットしてください。

6.2.7.5. WAIT_RSTEND

リセット期間が終了するまで、このステートにて待ちます。HS 時はホストからの Chirp 送信(この IC にとっては受信)が終了したこと、FS 時は SE0 から J に遷移したことをもって、リセット期間の終了と判断します。

リセット期間終了と判断した後、イベント検出機能を有効にし、再度 IDLE ステートに入ります。

6.2.7.6. DET_SUSPEND

サスペンドと判断された場合に、自動的に D_NegoControl.InSUSPEND ビットがセットされ、IN_SUSPEND ステートに入ります。この D_NegoControl.InSUSPEND ビットによって、FS-J からのバスの遷移を検出する機能を有効にし、ホストからのレジューム及びリセットを検出できるようになります。

サスペンド中に実際に消費電流を軽減するかどうかは、アプリケーションに依存します。本 LSI では、消費電流軽減策(スリープ)を持っています。詳しい内容、さらには制御方法につきましては、パワーマネジメント機能(6.4)を参照してください。

また、この時サスペンド終了指示であるレジューム(FS-K)を検出するために、F/W にて D_SIE_IntEnb.EnNonJ ビットをセットし、NonJ 割り込みを許可してください。

6.2.7.7. IN_SUSPEND

NonJ 割り込みステータス(D_SIE_IntStat.NonJ)がセットされた場合サスペンドからの復帰指示であると判断し、D_NegoControl.InSUSPEND ビットを F/W にてクリアすると、CHK_EVENT ステートに入ります。

リモート・ウェイクアップ機能を有効にしているアプリケーションで、自発的にサスペンドから復帰する場合には、このステートの中で D_NegoControl.SendWakeUp ビットをセットし、1ms 以上、15ms 以下の間 FS-K を出力してください。

6.2.7.8. CHK_EVENT

USB ケーブル上をチェックし、FS-K を検出した場合レジュームであると判断し、SE0 を検出した場合リセットであると判断します。レジュームと判断した場合は、D_NegoControl.RestoreUSB ビットをセットし、サスペンド前の転送スピード(D_USB_Status.FSxHS の値に従う)に戻ります。リセットと判断した場合は、IDLE ステートからの遷移と同じく、一旦イベント検出機能を停止し、WAIT_TIM3US ステートに入ります。

もし、FS-K でも SE0 でも無いステートを検出した場合には、オート・ネゴシエーション・エラー割り込みステータス(D_SIE_IntStat.AutoNegoErr)ビットをセットし、ERR ステートに入ります。

6.2.7.9. WAIT_RESTORE

D_SIE_IntStat.RestoreCmp ビットがセットされると、イベント検出機能を有効にし、IDLE ステートに入ります。

6.2.7.10. ERR

一旦このステートに突入すると、オート・ネゴシエーション機能を停止させない限り、このステートから抜けません。このステートは、USB 規格上在りえません。

なお、どのステートにおいても、USB ケーブルが抜かれたことによる判断を行っていないため、もし USB ケーブルが抜かれた場合には、すぐにオート・ネゴシエーション機能を停止してください。

6.2.7.11. 各ネゴシエーション機能の単体説明

6.2.7.11.1. サスペンド検出(HS モード)

本 LSI が HS モードで動作している時に、3ms 以上送受信が何も検出されなかった場合(T1)、FS モードに自動的に移行します(HS のターミ

6. 機能説明

ネーションを無効にし、FS のターミネーション(Rpu)を有効にします)。この動作により DP は”H”になり、D_USB_Status.LineState [1:0]ビットで”J”を確認することができます(もし、”SE0”を検出した場合は、リセット(後述)となることに注意)。その後 T2 の時点で依然”J”が検出された場合、D_SIE_IntStat.DetectSUSPEND ビットがセットされます。

この時、D_SIE_IntEnb.EnDetectSUSPEND ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat がセットされている場合には、同時に XINT 信号がアサートされますので、USB のサスペンドステートであると判断します。以下の図では、スリープを行った時の動作を表しています)。

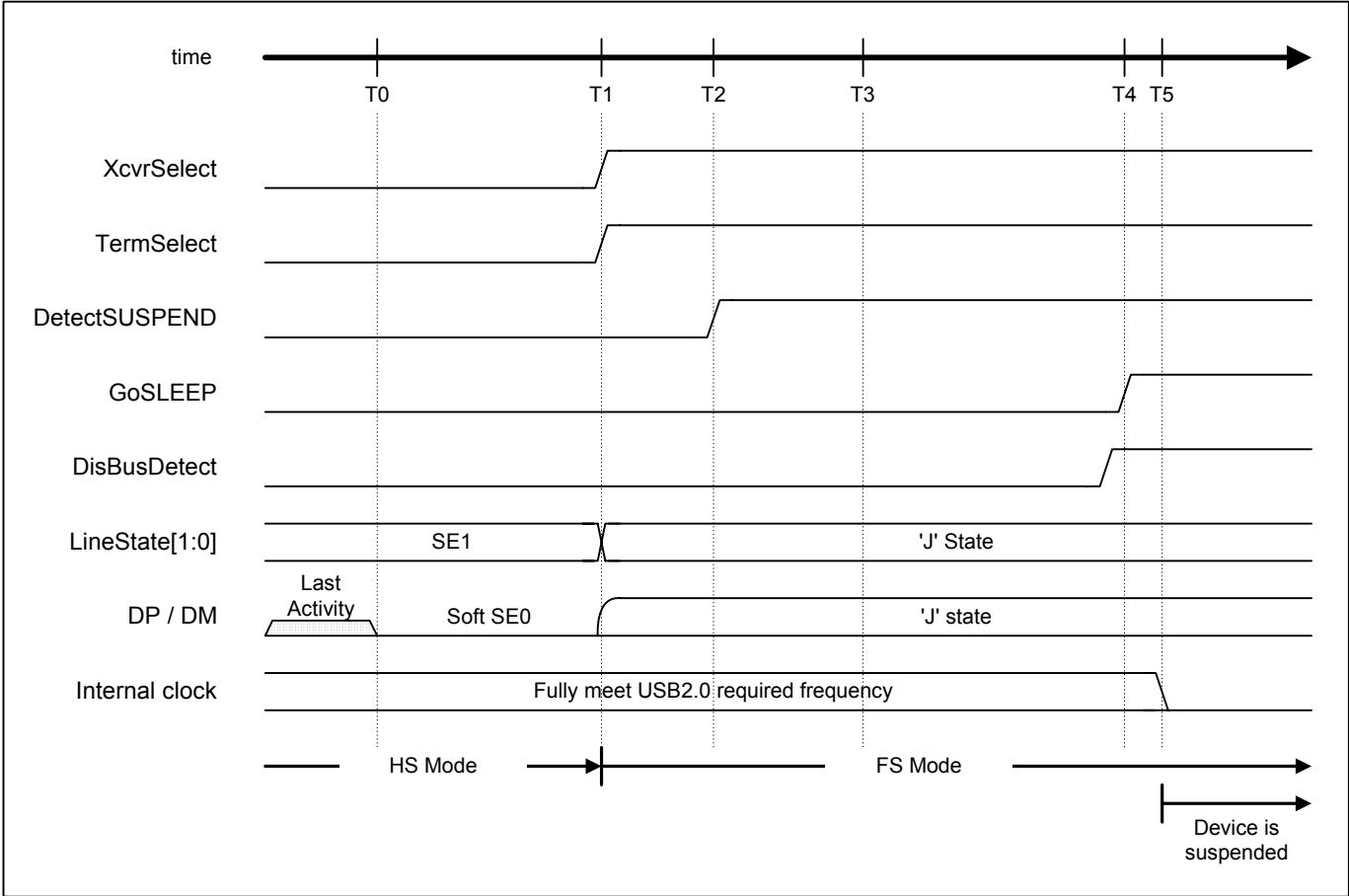


図 6-8 Suspend Timing (HS mode)

表 6-9 Suspend Timing Values (HS mode)

Timing Parameter	Description	Value
T0	最後のバス・アクティビティ。	0 (reference)
T1	この時点で依然バス・アクティビティが無い場合、XcvtSelect、TermSelect を'1'にセットし、HS モードから FS モードに切り替える。	HS Reset T0 + 3.0ms < T1 {T _{WTREV} } < HS Reset T0 + 3.125ms
T2	LineState [1:0] をサンプリングする。この時 'J' なら、DetectSUSPEND が'1'になり、USB のサスペンドステートと判断する。	T1 + 100us < T2 {T _{WTWRSTHS} } < T1 + 875us
T3	これより前では、RESUME を発行してはいけない。	HS Reset T0 + 5ms {T _{WTRSM} }
T4	完全にサスペンドに移行。これ以降は VBUS から USB で規定されたサスペンド電流以上を引っ張ってはいけない。 (スリープ移行前に、DisBusDetect を'1'にセット)	HS Reset T0 + 10ms {T _{2SUSP} }
T5	内部クロックが完全停止。	T5 < T4 + 10us

注: {} は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.2.7.11.2. サスペンド検出(FS モード)

本 LSI が FS モードで動作している時に、3ms 以上送受信が何も検出されなかった場合、または D_USB_Status.LineState [1:0]ビットに”J”を検出し続け(T1)、さらに T2 の時点で依然”J”が検出された場合、USB のサスペンドステートであると判断し、D_SIE_IntStat.DetectSUSPEND ビットがセットされます。

この時、D_SIE_IntEnb.EnDetectSUSPEND ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStatがセットされている場合には、同時に XINT 信号がアサートされます。以下の図では、スリープを行った時の動作を表しています。

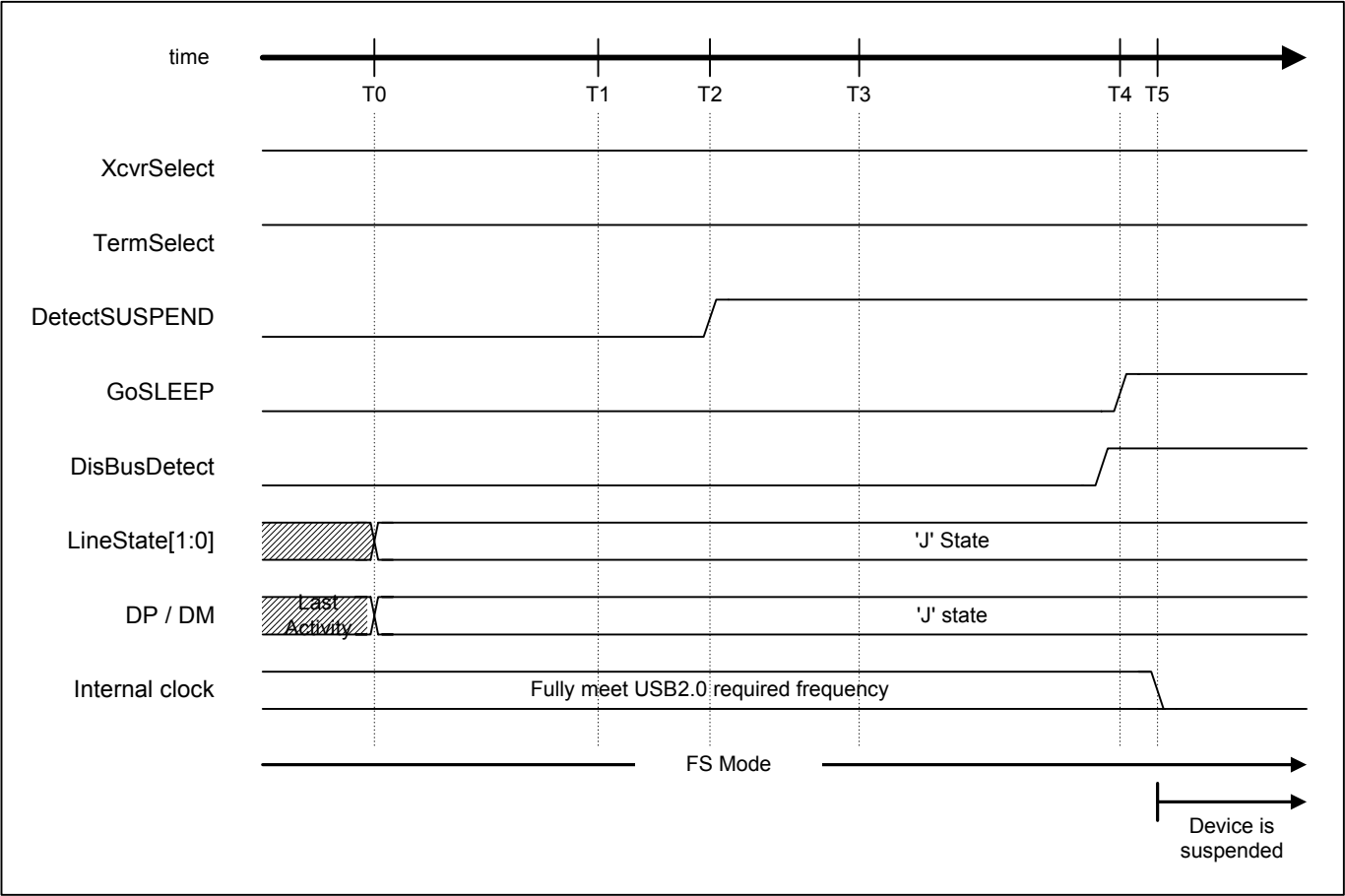


図 6-9 Suspend Timing (FS mode)

表 6-10 Suspend Timing Values (FS mode)

Timing Parameter	Description	Value
T0	最後のバス・アクティビティ。	0 (reference)
T1	この時点で依然バス・アクティビティが無い。	$T0 + 3.0ms < T1 \{T_{WTREV}\} < T0 + 3.125ms$
T2	LineState [1:0]をサンプリングする。この時'J'なら、DetectSUSPEND が'1'になり、USB のサスペンドステートと判断する。	$T1 + 100us < T2 \{T_{WTWRSTHS}\} < T1 + 875us$
T3	これより前では、RESUME を発行してはいけない。	$T0 + 5ms \{T_{WTRSM}\}$
T4	完全にサスペンドに移行。これ以降は VBUS から USB で規定されたサスペンド電流以上を引っ張ってはいけない。 (スリープ移行前に、DisBusDetect を'1'にセット)	$T0 + 10ms \{T_{2SUSP}\}$
T5	内部クロックが完全停止。	$T5 < T4 + 10us$

注: {}は、USB2.0 規格書で規格されている名称である。

6.2.7.11.3. リセット検出(HS モード)

本 LSI が HS モードで動作している時に、3ms 以上送受信が何も検出されなかった場合、FS モードに自動的に移行します(HS のターミネーションを無効にし、FS のターミネーション(Rpu)を有効にします)。この動作が行われても DP ラインは”L”になったままで、この結果 D_USB_Status.LineState [1:0] ビットでも”SE0”を検出することができます。T2 の時点で依然”SE0”が検出された場合には、D_SIE_IntStat.DetectRESET ビットがセットされます。

この時、D_SIE_IntEnb.EnDetectRESET ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat がセットされている場合には、同時に XINT 信号がアサートされますので、リセットの指示であると判断し、以降は、D_NegoControl.DisBusDetect ビットをセットした後に、HS Detection Handshake(後述)を行ってください。

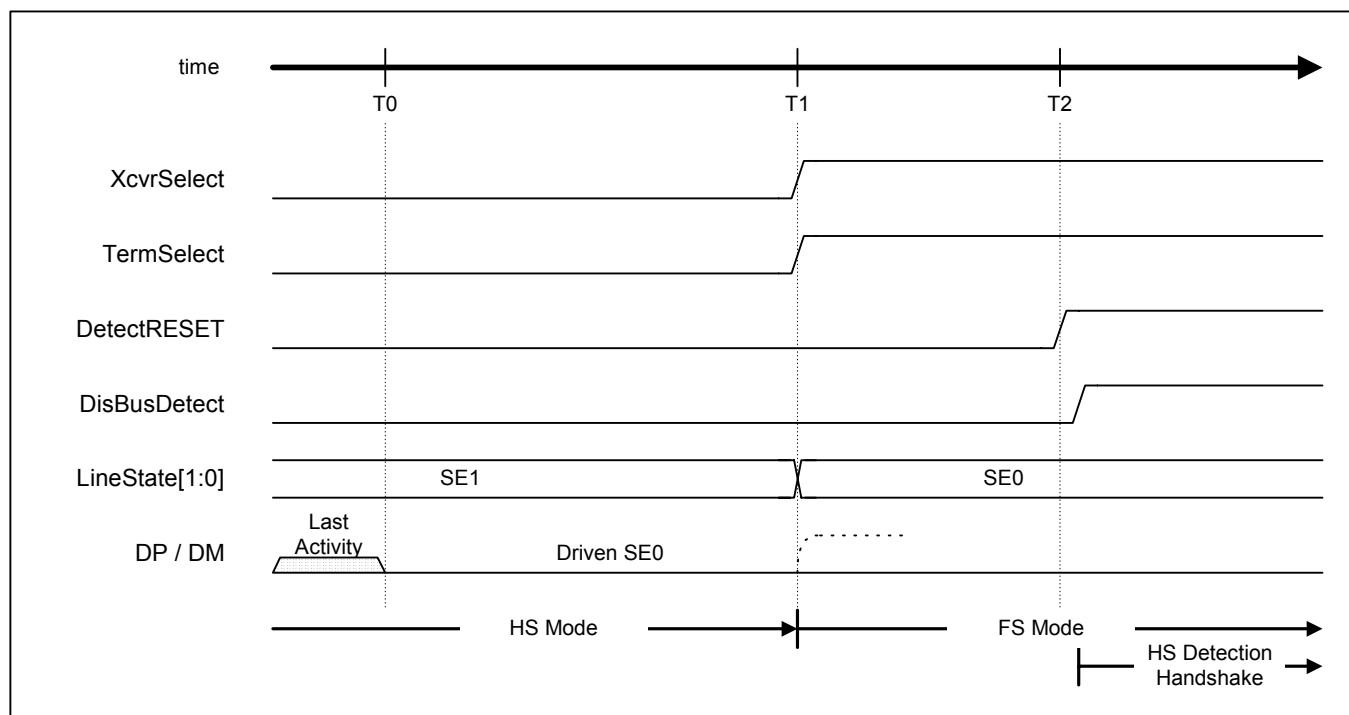


図 6-10 Reset Timing (HS mode)

表 6-11 Reset Timing Values (HS mode)

Timing Parameter	Description	Value
T0	最後のバス・アクティビティ。	0 (reference)
T1	この時点で依然バス・アクティビティが無い場合、XcvrSelect、TermSelect を'1'にセットし、HS モードから FS モードに切り替える。	HS Reset T0 + 3.0ms < T1 { T_{WTREV} } < HS Reset T0 + 3.125ms
T2	LineState [1:0]をサンプリングする。この時'SE0'なら、DetectRESET が'1'になり、リセットへの移行と判断する。 リセット指示の検出後、DisBusDetect を'1'にセットし、以降 HS Detection Handshake を行う。	$T1 + 100\mu s < T2 \{T_{WTWRSTHS}\} < T1 + 875\mu s$

注: {}は、USB2.0 規格書で規格されている名称である。

6.2.7.11.4. リセット検出(FS モード)

本 LSI が FS モードで動作している時に、2.5us 以上 D_USB_Status.LineState [1:0]ビットに"SE0"を検出し続けた場合には(T1)、D_SIE_IntStat.DetectRESET ビットがセットされます。

この時、D_SIE_IntEnb.EnDetectRESET ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat がセットされている場合には、同時に XINT 信号がアサートされますので、リセットの指示であると判断し、以降は D_NegoControl.DisBusDetect ビットをセットした後に、HS Detection Handshake(後述)を行ってください。

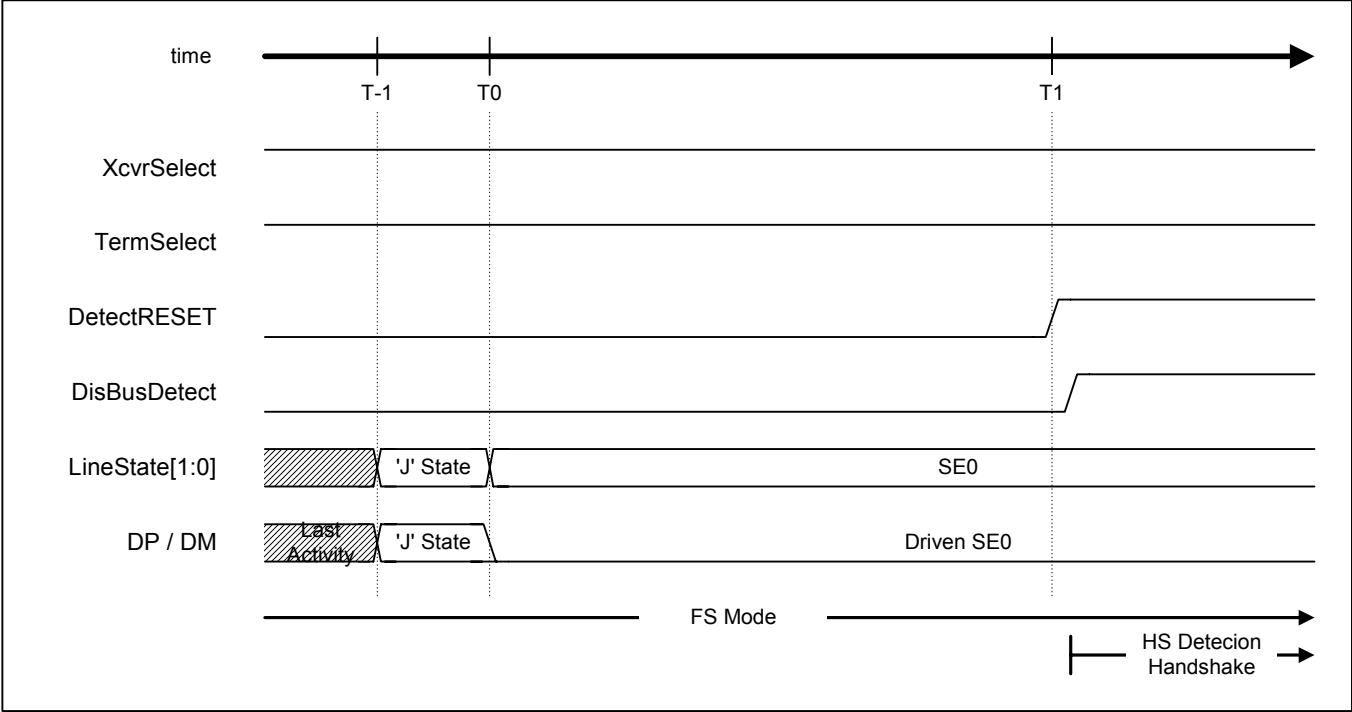


図 6-11 Reset Timing (FS mode)

表 6-12 Reset Timing Values (FS mode)

Timing Parameter	Description	Value
T-1	最後のバス・アクティビティ。	
T0	downstream port からのリセットの指示開始。	0 (reference)
T1	“SE0”が継続されている場合、DetectRESET が‘1’になり、リセットへの移行と判断する。 リセット指示の検出後、DisBusDetect を‘1’にセットし、以降 HS Detection Handshake を行う。	HS Reset T0 + 2.5us < T1 {T _{WTREV} }

注: {}は、USB2.0 規格書で規格されている名称である。

6.2.7.11.5. HS Detection Handshake

HS Detection Handshake は、サスペンド中、FS 動作中、或いは HS 動作中の 3 状態のいずれかから、downstream port からの"SE0"のアサートにより開始されます(上記状態からのリセットが開始された時)。詳細は、USB2.0 規格書を参照してください。

ここで、上記 3 状態から HS Detection Handshake に移行する方法について説明します。

本 LSI がサスペンド状態では、バス上に"SE0"を検出後直ちに HS Detection Handshake に移行してください。

本 LSI が FS モードで動作している状態では、2.5us 以上の"SE0"を検出後、HS Detection Handshake に移行してください。

本 LSI が HS モードで動作している状態では、3.0ms 以上の"SE0"を検出後、まず USB のサスペンド状態なのかリセットなのかを判断しなければならない為、一旦 FS モードに切り替わります。この時動作としては、D_XcvrControl.XcvrSelect、D_XcvrControl.TermSelect の両ビットを FS モードに切り替え、HS ターミネーションを無効にし、FS ターミネーションを有効にします。これらのモード切り替えは、3.125ms 以内に行われなければなりません。このモード切り替えから 100us 以上 875us 以内に D_USB_Status.LineState [1:0]ビットをチェックし、"J"なら USB のサスペンド状態として判断し、"SE0"ならリセットと判断します。この時、リセットと判断された場合には、その後 HS Detection Handshake に移行してください。

いずれの場合も、リセットは最小 10ms 存在しますが、移行する前の状態(HS もしくは FS)により、タイミングが多少異なります。ここでは、リセットが開始された時間を"HS Reset T0"として定義し、以降は、この"HS Reset T0"からの動作について説明します。

動作中の場合は内部クロックも充分静定しており問題ありませんが、サスペンド中にスリープさせていた場合には、リセット検出時には内部クロックが出力されていません。このため HS Detection Handshakeが行うために、必ず PM_Control.GoACTIVEビットを"1"にセットし、内部クロックを動作させてください。この動作の詳細は、パワーマネジメント機能(6.4)を参照してください。

6. 機能説明

6.2.7.11.5.1. FS のダウンストリームポートに繋がれた場合

本 LSI が、HS をサポートしていない downstream port に接続された時の動作を示します。HS Detection Handshake の開始時 (T0) では、D_XcvtControl.XcvtSelect と D_XcvtControl.TermSelect は両ビットともに FS モードでなければいけません (FS ターミネーション、即ち DP のプルアップ抵抗 (Rpu) を有効にし、HS ターミネーションを無効にします)。

まず、D_NegoControl.GoChirp ビットをセットします。すると D_XcvtControl.OpMode [1:0] ビットが "Disable Bit Stuffing and NRZI encoding" になり、"0" で埋め尽くされたデータが準備されます (T1)。これは、バス上に "HS K" (chirp) を送出するためのものです。また同時に、D_XcvtControl.XcvtSelect ビットが HS モードに設定され、かつ送信可能状態に設定されることで、downstream port に "HS K" (chirp) が送出されます。送出終了後、downstream port からの chirp を待ちます (T2)。通常、HS をサポートしている downstream port は、T3 から "HS K" "HS J" を連続的に送出してきますが (後述)、downstream port が HS をサポートしていない場合 (今回の場合) は、T4 の時点でも chirp を送出してこないため、D_XcvtControl.XcvtSelect ビットを FS モードに自動的に切り替え、D_NegoControl.GoChirp ビットがクリアされるとともに D_USB_Status.FSxHS ビットがセットされ、さらに D_SIE_IntStat.ChirpCmp ビットがセットされます。

この時、D_SIE_IntEnb.EnChirpCmp ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat がセットされている場合には、同時に XINT 信号がアサートされますので、HS Detection Handshake が終了したと判断してください。

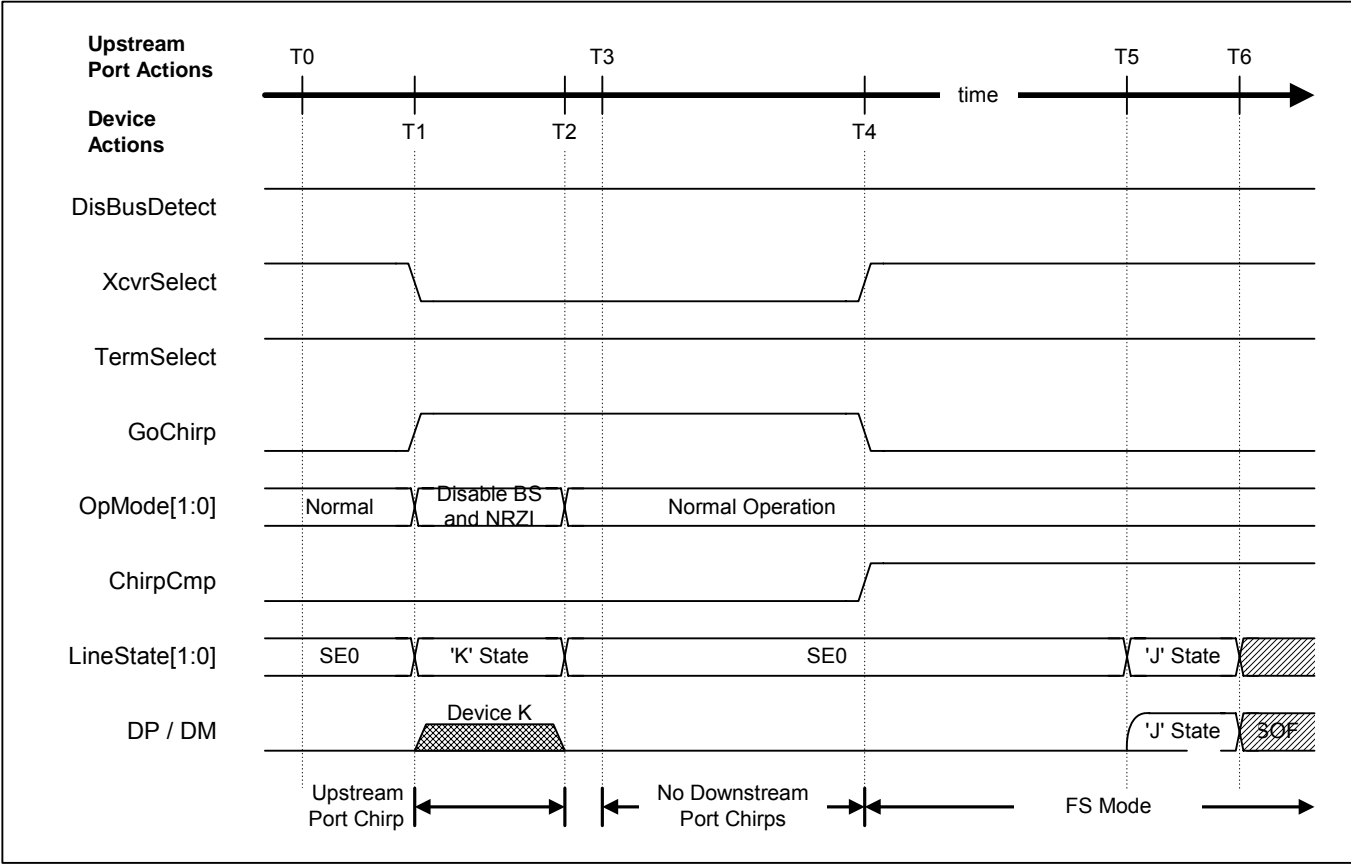


図 6-12 HS Detection Handshake Timing (FS mode)

表 6-13 HS Detection Handshake Timing Values (FS mode)

Timing Parameter	Description	Value
T0	HS Detection Handshake 開始。	0 (reference)
T1	HSトランシーバをイネーブルにし、GoChirpを'1'にセットして、Chirp Kを送出開始。	$T0 < T1 < \text{HS Reset } T0 + 6.0\text{ms}$
T2	Chirp K 送出終了。最小 1ms の間は送出しなければならない。	$T1 + 1.0\text{ms} \{T_{\text{UCH}}\} < T2 < \text{HS Reset } T0 + 7.0\text{ms} \{T_{\text{UCHEND}}\}$
T3	downstream port が HS をサポートしている場合、ここから Chirp K を送出開始する。	$T2 < T3 < T2 + 100\mu\text{s} \{T_{\text{WTDCH}}\}$
T4	Chirp を検出出来ない場合、この時点で FS モードに戻り、ChirpCmp が'1'にセットされ、リセットシーケンスが終了するのを待つ。	$T2 + 1.0\text{ms} < T4 \{T_{\text{WTFs}}\} < T2 + 2.5\text{ms}$
T5	リセットシーケンスの終了。	$\text{HS Reset } T0 + 10\text{ms} \{T_{\text{DRST (Min)}}\}$
T6	FS モードでの通常動作。	T6

注: {}は、USB2.0 規格書で規格されている名称である。

注: 最小 1ms の Chirp K を生成するために、66000 サイクル(内部クロック:60MHz)で判断する。

6. 機能説明

6.2.7.11.5.2. HS のダウンストリームポートに繋がれた場合

本 LSI が、HS をサポートしている downstream port に接続された時の動作を示します。HS Detection Handshake の開始時(T0)では、D_XcvrControl.XcvrSelectとD_XcvrControl.TermSelectは両ビットともにFSモードでなければなりません(FSターミネーション、即ちDPのプルアップ抵抗(Rpu)を有効にし、HSターミネーションを無効にします)。

まずはD_NegoControl.GoChirpビットをセットします。するとD_XcvrControl.OpMode [1:0]ビットが"Disable Bit Stuffing and NRZI encoding"になり、"0"で埋め尽くされたデータが準備されます(T1)。これは、バス上に"HS K"(chirp)を送出するためのものです。また同時に、D_XcvrControl.XcvrSelectビットがHSモードに設定され、かつ送信可能状態に設定されることで、downstream portに"HS K"(chirp)が送出されます。送出終了後、downstream portからのchirpを待ちます(T2)。ここではdownstream portはHSをサポートしているので、"HS K"(Chirp K)、"HS J"(Chirp J)を交互に連続して送出してきます(T3)。この状態をUSB_Status.LineState [1:0]ビットでChirp K-J-K-J-K-Jと最低6回検出したところで(T6)、XcvrControl.TermSelectビットをHSモードに自動的に切り替え(T7)、完全なHSモードに移行します。これと同時に、D_NegoControl.GoChirpビットがクリアされるとともにD_NegoStatus.FSxHSビットがクリアされ、さらにD_SIE_IntStat.ChirpCmpビットがセットされます。

この時、D_SIE_IntEnb.EnChirpCmpビットおよびUSB_DeviceIntEnb.EnD_SIE_IntStatビットがセットされ、MainIntEnb.EnUSB_DeviceIntStatがセットされている場合には、同時にXINT信号がアサートされますので、HS Detection Handshakeが終了したと判断してください。

このdownstream portからのChirp K、Chirp Jはバス・アクティビティとして認識し、USBのサスペンドステートと判断しないようにしなければなりません。そこで、HSモードでは、このChirp K、Chirp Jを逐次検出し、内部のSuspend Timerに取り込んでいます。

なお、Chirp K-J-K-J-K-Jを検出する為に、USB_Status.LineState [1:0]ビットを使用しています。通常のHSパケットと違い、Chirp K、Chirp Jは非常に遅い為、D_USB_Status.LineState [1:0]ビットを使用できます。しかし、本来のパケット受信時にD_USB_Status.LineState [1:0]ビットにバスの信号を載せると非常にノイズな為、D_XcvrControl.TermSelectビットがHSモードの時、バス・アクティビティがあると判断される場合には、D_USB_Status.LineState [1:0]ビットは"J"を、バス・アクティビティが無いと判断される場合には"SE0"を出力します。

次図で、T6の時点からChirpの高さが変わっているのは、D_XcvrControl.TermSelectビットによりデバイス側のHSターミネーションが有効になったことを表しています。通常、D_XcvrControl.TermSelectがFSモード時のChirpは約800mV、D_XcvrControl.TermSelectビットがHSモード時のChirp(HSの通常送受信パケットも同様)では、約400mVとなります。

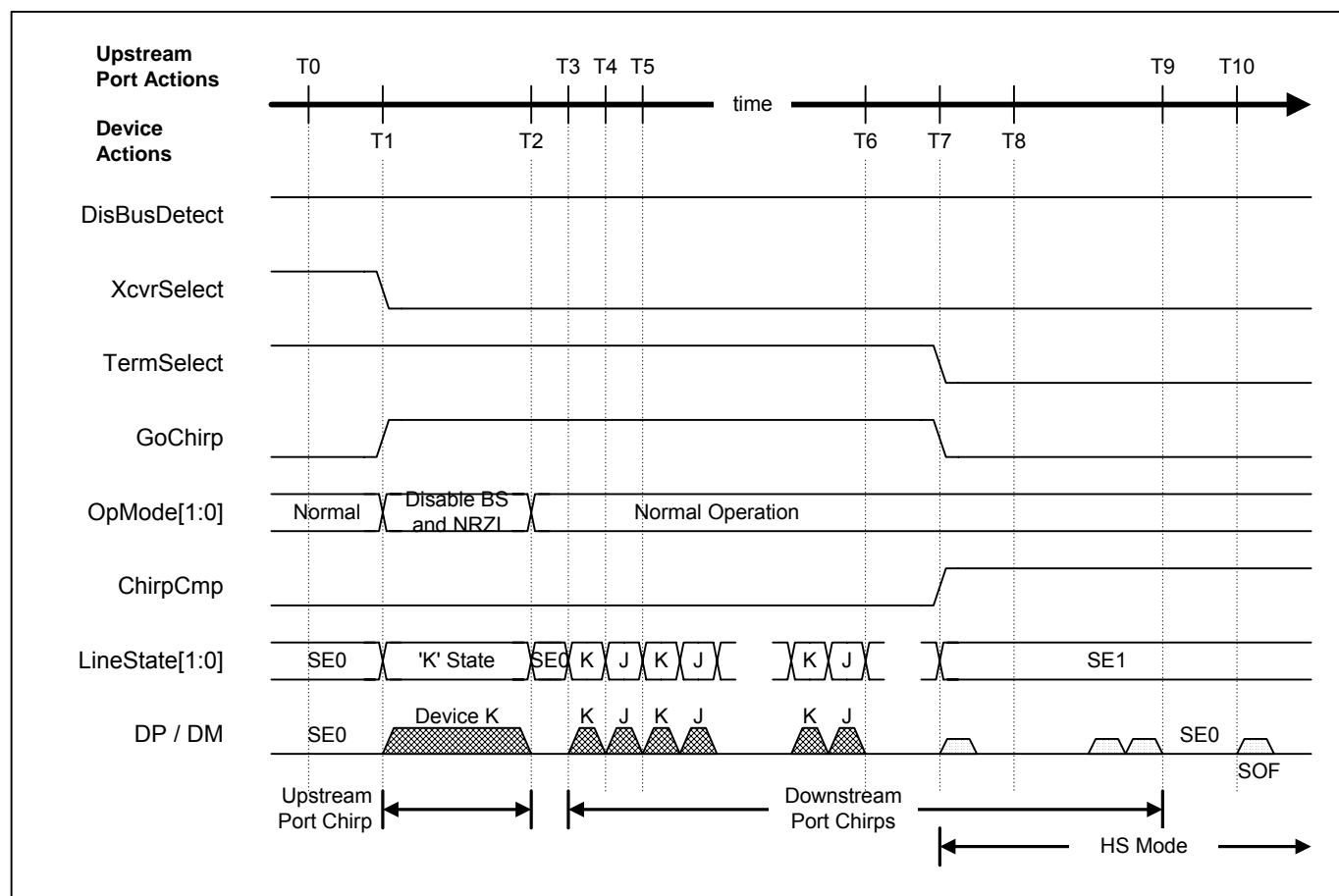


図 6-13 HS Detection Handshake Timing (HS mode)

表 6-14 HS Detection Handshake Timing Values (HS mode)

Timing Parameter	Description	Value
T0	HS Detection Handshake 開始。	0 (reference)
T1	HSトランシーバをイネーブルにし、GoChirpを'1'にセットして、Chirp Kを送出開始。	$T0 < T1 < \text{HS Reset } T0 + 6.0\text{ms}$
T2	Chirp K 送出終了。最小 1ms の間は送出しなければならない。	$T1 + 1.0\text{ms} \{T_{\text{UCH}}\} < T2 < \text{HS Reset } T0 + 7.0\text{ms} \{T_{\text{UCHEND}}\}$
T3	downstream port が最初の Chirp K をバスに送出。	$T2 < T3 < T2 + 100\mu\text{s} \{T_{\text{WTDCH}}\}$
T4	downstream port が Chirp K から Chirp J に切り替え送出。	$T3 + 40\mu\text{s} \{T_{\text{DCHBIT}} (\text{Min})\} < T4 < T3 + 60\mu\text{s} \{T_{\text{DCHBIT}} (\text{Max})\}$
T5	downstream port が Chirp J から Chirp K に切り替え送出。	$T4 + 40\mu\text{s} \{T_{\text{DCHBIT}} (\text{Min})\} < T5 < T4 + 60\mu\text{s} \{T_{\text{DCHBIT}} (\text{Max})\}$
T6	Chirp K-J-K-J-K-Jを検出。	T6
T7	Chirp K-J-K-J-K-Jを検出したことを受けて、FS ターミネーションを無効に、HS ターミネーションを有効にする。ChirpCmp が'1'にセットされる。さらに、リセットの終了を待つ。	$T6 < T7 < T6 + 500\mu\text{s}$
T8	Chirp K、Chirp J によりバス・アクティビティと認識される。ただし SYNC が検出できない為、パケット受信中与認識されることは無い。	T8
T9	downstream port からの Chirp K、Chirp J の送出終了。	$T10 - 500\mu\text{s} \{T_{\text{DCHSE0}} (\text{Max})\} < T9 < T10 - 100\mu\text{s} \{T_{\text{DCHSE0}} (\text{Min})\}$
T10	リセットシーケンスの終了。	$\text{HS Reset } T0 + 10\text{ms} \{T_{\text{DRST}} (\text{Min})\}$

注： {}は、USB2.0 規格書で規格されている名称である。

注： 最小 1ms の Chirp K を生成するために、66000 サイクル(内部クロック:60MHz)で判断する。

6. 機能説明

6.2.7.11.5.3. スリープ中にリセットされた場合

本 LSI は、スリープ状態では、発振回路が停止し、内部クロックは出力されていません。

スリープ状態で、リセットが検出された場合 (T0)、D_SIE_IntStat.NonJ ビットがセットされます。さらに、D_SIE_IntEnb.EnNonJ ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat ビットがセットされている場合には、同時に XINT 信号がアサートされます。この時、すぐさまスリープから復帰しリセットシーケンスに移行させる為に、PM_Control.GoACTIVE ビットを”1”にセットしてください (T1)。OSC 発振開始時間、及び PLL パワーアップ時間経過後 (T2)、PM_Control.PM_State [1:0]が”ACTIVE”になり、内部クロックが出力され始めます。この後 HS Detection Handshake (前述)を行ってください。

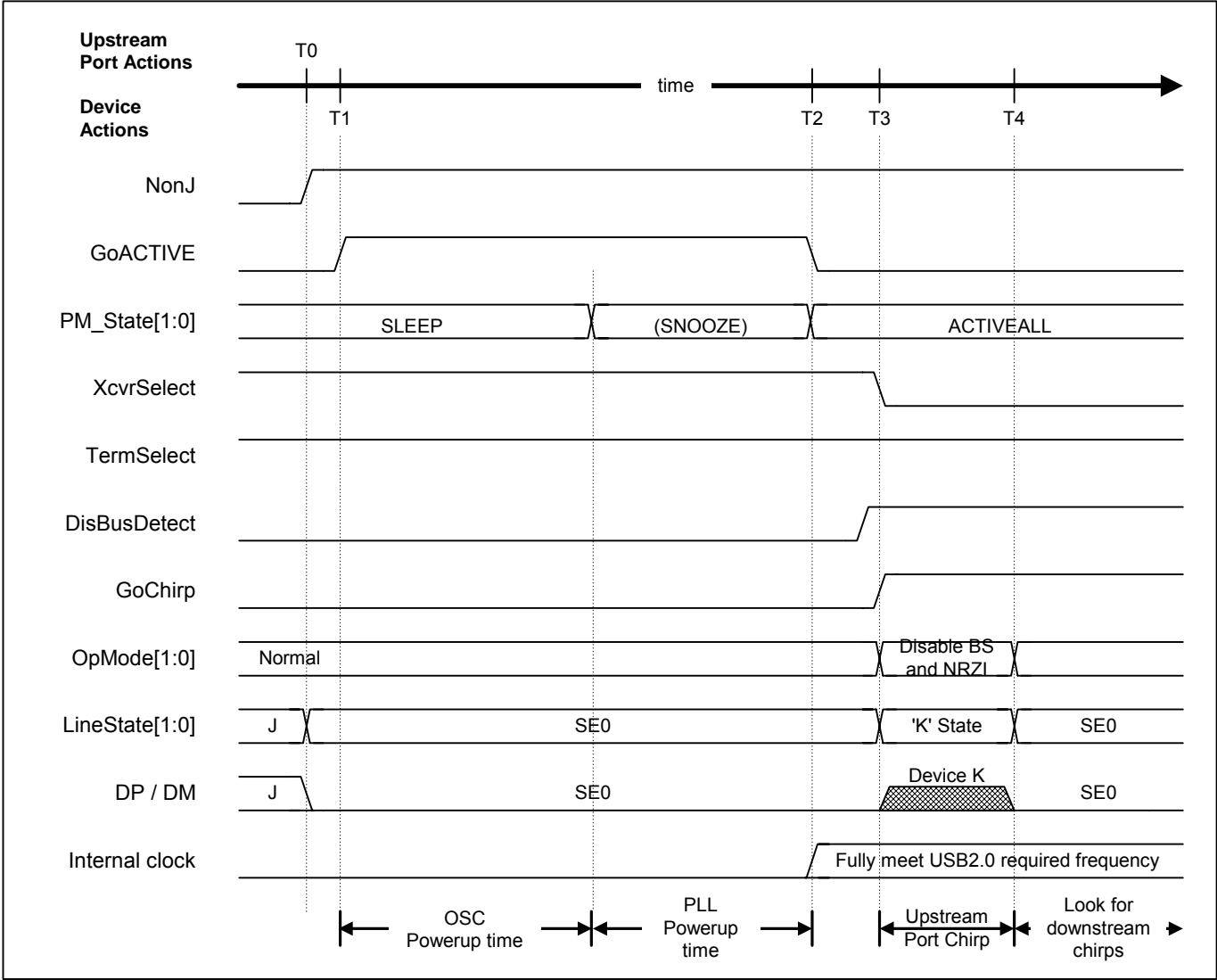


図 6-14 HS Detection Handshake Timing from Suspend

表 6-15 HS Detection Handshake Timing Values from Suspend

Timing Parameter	Description	Value
T0	NonJ が'1'にセットされ、LineState [1:0]で'SE0'を確認すると、スリープ中のリセットを検出。	0 (HS Reset T0)
T1	リセット検出後、GoACTIVE を'1'にセット。	T1
T2	PM_State が'ACTIVE'になり、GoACTIVE が完了。内部クロック出力安定。	$T1 + \text{OSC Powerup} + \text{PLL Powerup} < T2$
T3	GoChirp を'1'にセットし、chirp K をバスに送出。 (chirp K 送出前には DisBusDetect を'1'にセットする)	$T2 < T3 < \text{HS Reset T0} + 5.8\text{ms}$
T4	chirp K 送出を終了。	$T3 + 1.0\text{ms} \{T_{\text{UCH}}\} < T4 < \text{HS Reset T0} + 7.0\text{ms} \{T_{\text{UCHEND}}\}$

注： {}は、USB2.0 規格書で規格されている名称である。

注： 最小 1ms の Chirp K を生成するために、66000 サイクル（内部クロック：60MHz）で判断する。

6. 機能説明

6.2.7.11.6. レジュームの発行

ここでは、リモート・ウェイクアップがサポートされていて、かつホストからこのリモート・ウェイクアップを有効にされている時に、何らかの要因で、自らレジュームする方法を説明します。ただしリモート・ウェイクアップを行うことが可能なのは、バスがアイドルになってから少なくとも 5ms 経過してからでなくてはなりません。さらに、レジューム信号を出力してから 10ms 経過以前は、USB のサスペンド状態に入る前の電流を VBUS から引っ張ることはできません。

デバイスは、リモート・ウェイクアップする為に、まずスリープから復帰します。D_SIE_IntEnb.EnNonJ ビットをクリアし、PM_Control.GoACTIVE ビットをセットし(T0)、PLL パワーアップ時間経過後(T1)、PM_Control.PM_State [1:0]ビットが"ACTIVE"になると同時に内部クロックが出力され始めます。

その後、D_NegoControl.SendWakeup ビットをセットし、レジューム信号を送出します(T2)。この時、内部では、D_XcvtControl.OpMode [1:0]を"Disable Bit Stuffing and NRZI encoding"に設定し、送信データとして"0"を準備し、パケット送信状態にして、"K"(Resume 信号)を送出します。downstream port は、このレジューム信号を検出し、バス上に"K"(レジューム信号)を返してきます(T3)。

レジューム信号を送出し始めてから約 1ms 後、D_NegoControl.SendWakeup ビットをクリアすることによってバスに送出していたレジューム信号が停止されますが(T4)、この時点では downstream port が依然バスをレジューム信号にホールドしています。

そこで、D_NegoControl.RestoreUSB ビットをセットします。一定時間経過後、downstream port はレジューム信号の送出を停止し(T5)、2ビットの LS-EOP(2*SE0)を送出し、USB のサスペンド以前のスピードモードに切り替わります。これを検出した("K"でなくなった)ところで、D_XcvtControl.XcvtSelect、D_XcvtControl.TermSelect の両ビットが所望のモード(今回の場合 HS モード)に切り替えられ、D_NegoControl.RestoreUSB ビットがクリアされるとともに D_SIE_IntStat.RestoreCmp ビットがセットされます。この時、D_SIE_IntEnb.EnRestoreCmp ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat ビットがセットされている場合には、同時に XINT 信号がアサートされます。

ここで、USB のサスペンド開始時には、スピードモード(HS 又は FS)を、D_USB_Status.FSxHS ビットにて保存しており、レジュームにて復帰する場合には、この D_USB_Status.FSxHS ビットが示すモードに戻ります。この時、レジュームごとに HS Detection Handshake の必要はありません。ここでは USB のサスペンド以前のモードが HS モードであった場合についてのみ説明していることに注意してください。実際、FS モードの時には、T5 以降が通常の FS モードとなり、特に大きなシーケンスの変化はありません。

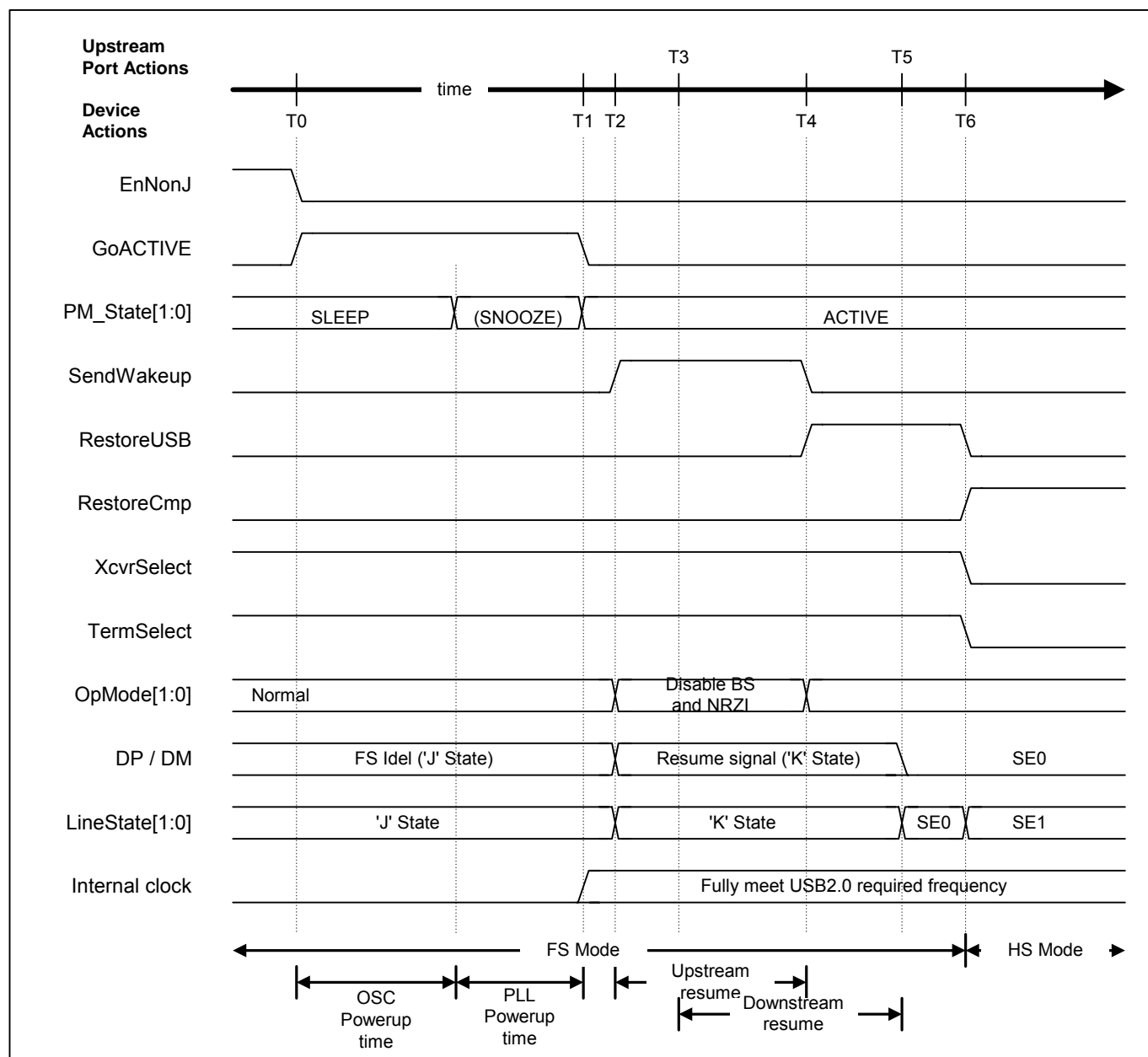


図 6-15 Assert Resume Timing (HS mode)

表 6-16 Assert Resume Timing Values (HS mode)

Timing Parameter	Description	Value
T0	レジューム開始。GoACTIVE を'1'にセット。 (レジューム開始前に EnNonJ を'0'にクリアすること)	0 (reference)
T1	PM_State が'ACTIVE'になり、GoACTIVE が完了。内部クロック出力安定。	$T0 + \text{OSC Powerup} + \text{PLL Powerup} < T1$
T2	SendWakeup を'1'にセットし、FS の"K"を送出開始。ここで、10ms 以内は USB のサスペンド以前の電流を引っ張ってはいけない。	$T0 < T2 < T0 + 10\text{ms}$
T3	downstream port が FS の"K"を返す。	$T2 < T3 < T2 + 1.0\text{ms}$
T4	SendWakeup を'0'にクリアし、FS の"K"送出を終了。LineState [1:0] により"K"を確認後、RestoreUSB を'1'にセットする。	$T2 + 1.0\text{ms} \{T_{\text{DRSMUP}}(\text{Min})\} < T4 < T2 + 15\text{ms} \{T_{\text{DRSMUP}}(\text{Max})\}$
T5	downstream port が FS の"K"送出を終了。	$T2 + 20\text{ms} \{T_{\text{DRSMDN}}\}$
T6	RestoreCmp が'1'になる。USB のサスペンド以前が HS モードであった場合、自動的に HS モードに移行。	$T5 + 1.33\mu\text{s} \{2 \text{ Low-speed bit times}\}$

注: {} は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.2.7.11.7. レジュームの検出

本 LSI がスリープしている時、バス上には"J"(D_USB_Status.LineState [1:0]は"J")が観測されます。バス上に"K"が観測された時は、downstream port からのウェイクアップの指示(レジューム指示)を受け取ったことになります(T0)。この時、D_SIE_IntStat.NonJ ビットがセットされます。この時、D_SIE_IntEnb.EnNonJ ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat ビットがセットされている場合には、同時に XINT 信号がアサートされます。

まず、PM_Control.GoACTIVE ビットを"1"にセットし(T1)、OSC 発振開始時間、及び PLL パワーアップ時間経過後(T2)、PM_Control.PM_State [1:0]が"ACTIVE"になると同時に内部クロックが出力され始めます。そこで、D_NegoControl.RestoreUSBをセットします。一定時間経過後、downstream port はレジューム信号の送出を停止し(T3)、USB のサスペンド以前のスピードモードに切り替わります。これを検出した("K"でなくなった)ところで、D_XcvtControl.XcvtSelect、D_XcvtControl.TermSelect の両ビットが所望のモード(今回の場合 HS モード)に切り替えられ、D_NegoControl.RestoreUSB ビットがクリアされるとともに D_SIE_IntStat.RestoreCmp ビットがセットされます。この時、D_SIE_IntEnb.EnRestoreCmp ビットおよび USB_DeviceIntEnb.EnD_SIE_IntStat ビットがセットされ、MainIntEnb.EnUSB_DeviceIntStat ビットがセットされている場合には、同時に XINT 信号がアサートされます。

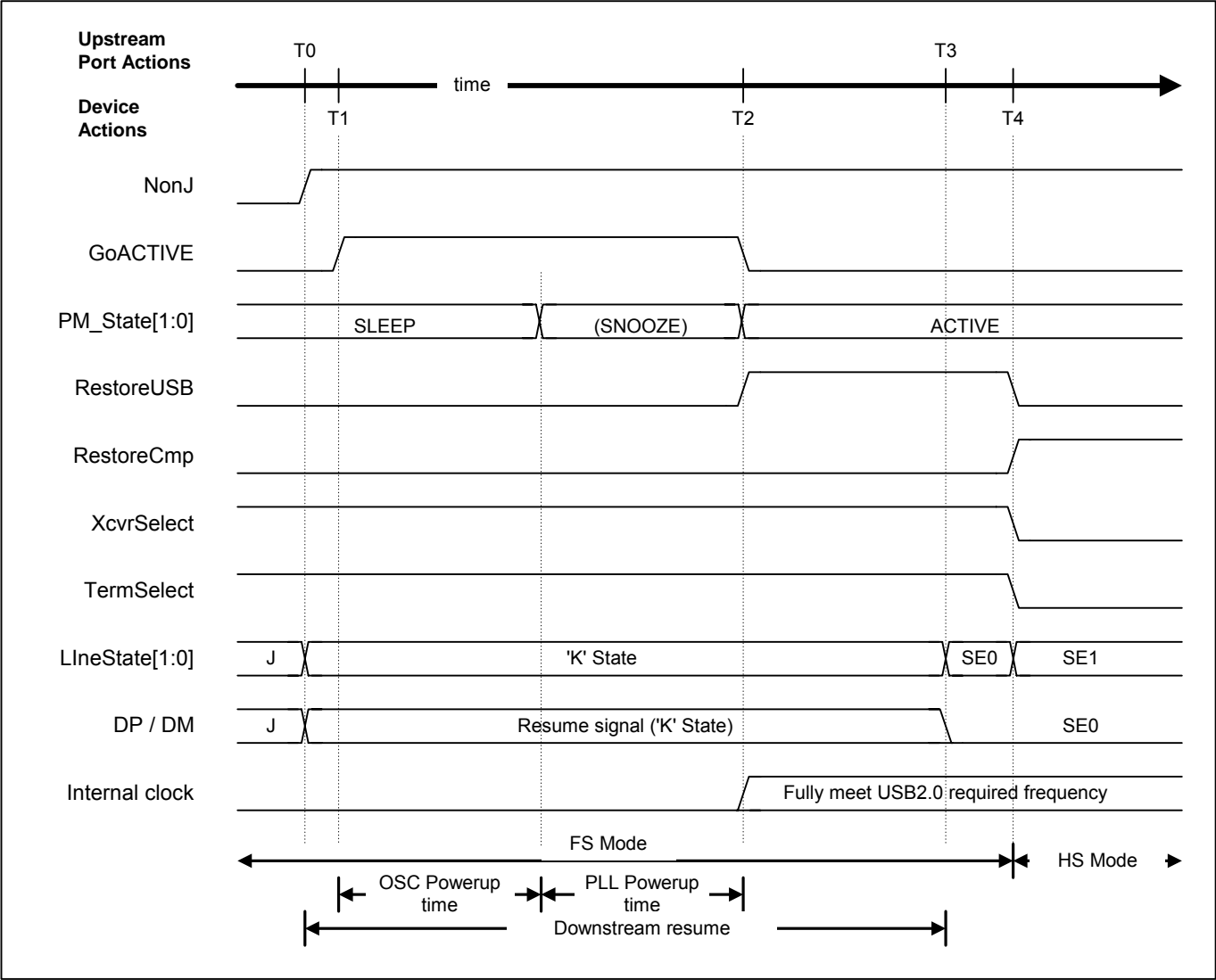


図 6-16 Detect Resume Timing (HS mode)

表 6-17 Detect Resume Timing Values (HS mode)

Timing Parameter	Description	Value
T0	downstream port が FS の "K" を送出。NonJ が '1' になる。	0 (reference)
T1	GoACTIVE を '1' にセット。	T1
T2	PM_State が 'ACTIVE' になり、GoACTIVE が完了。内部クロック出力安定。 LineState [1:0] で "K" を確認後、RestoreUSB を '1' にセットする。	$T1 + \text{OSC Powerup} + \text{PLL Powerup} < T2$
T3	downstream port が FS の "K" 送出を終了。同時に downstream port は USB のサスペンド以前の HS モードに移行。	$T2 + 20\text{ms} \{T_{\text{DRSMDN}}\}$
T4	USB のサスペンド以前が HS モードであった場合、自動的に HS モードに移行。	$T5 + 1.33\mu\text{s} \{2 \text{ Low-speed bit times}\}$

注: {} は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.2.7.11.8. ケーブル挿入

ここでは、ハブ又はホストに接続された場合、すなわちケーブルが挿入された場合を説明します。

ケーブルが抜かれている状態、もしくは繋がっていない状態に故意にしている時には、D_XcvrControl.XcvrSelect ビットは FS モード、D_XcvrControl.TermSelect ビットは HS モードを初期値としてください。

ケーブルが接続されていない状態 (T0) でケーブルが接続されると、V_{BUS} が "H" になり、同時に D_USB_Status.VBUS ビットがセットされます (T1)。この時スリープ状態にしていた場合は、PM_Control.GoACTIVE ビットを "1" にセットし (T2)、OSC 発振開始時間、及び PLL パワーアップ時間経過後 (T3)、PM_Control.PM_State [1:0] が "ACTIVE" になると同時に内部クロックが出力され始めます。その後、まずは FS デバイスが接続されたことにしなければならないため、一旦は FS モードになるために、D_XcvrControl.TermSelect ビットを FS モードにしてください (T4)。

その後、downstream port はリセットを送出し (T5)、ここから HS Detection Handshake が開始されます。

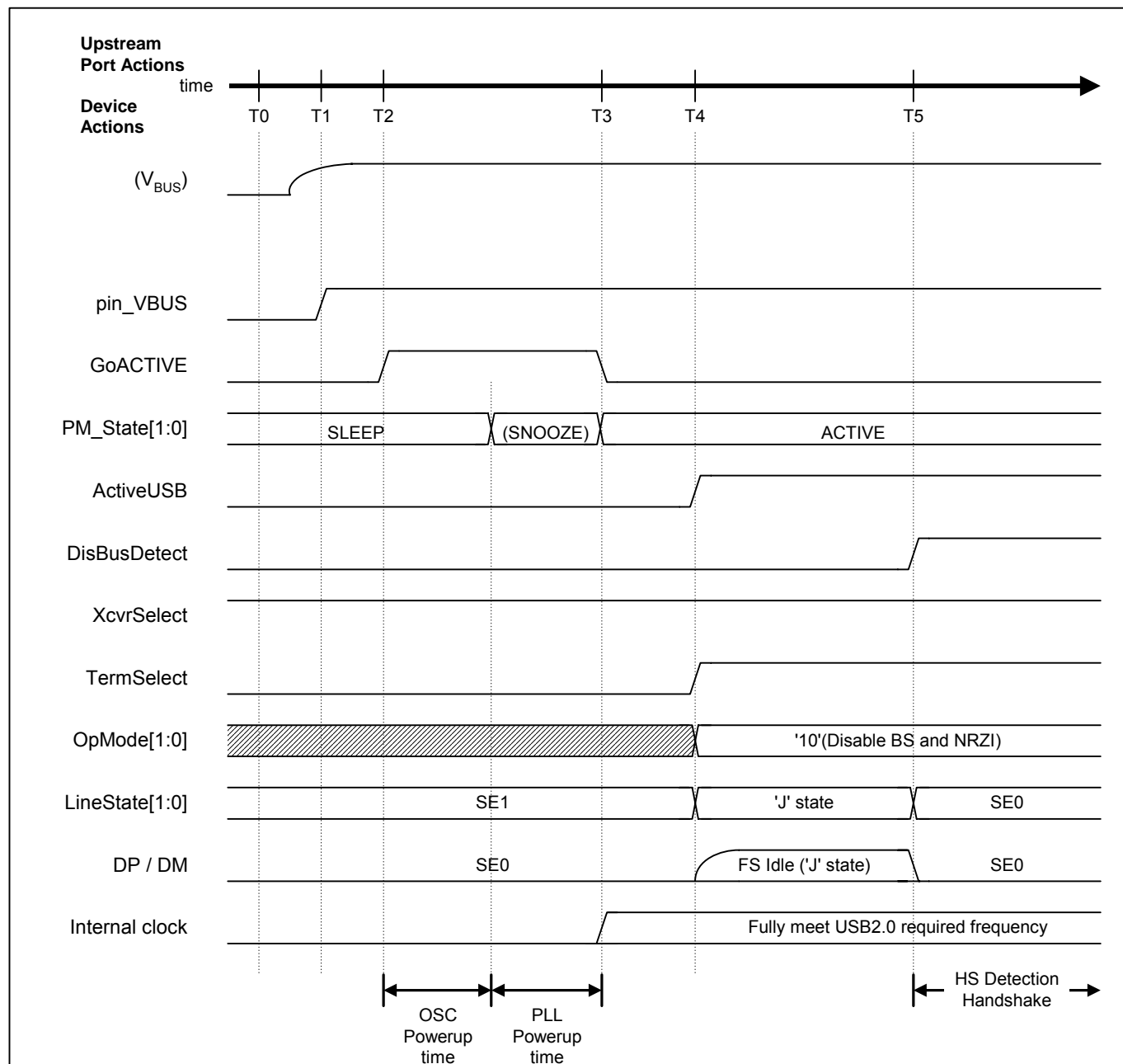


図 6-17 Device Attach Timing

表 6-18 Device Attach Timing Values

Timing Parameter	Description	Value
T0	ケーブルは挿入されていない。	0 (reference)
T1	ケーブルが挿入され、入力ピン VBUS が H になる。	T1
T2	GoACTIVE を '1' にセット。	T2
T3	PM_State が 'ACTIVE' になり、GoACTIVE が完了。内部クロック出力安定。	$T2 + \text{OSC Powerup} + \text{PLL Powerup} < T3$
T4	ActiveUSB を '1' にセット。TermSelect を '1' にセット。OpMode [1:0] を '00' に設定。 FS モードに移行。FS ターミネーションが有効。	$T1 + 100\text{ms} \{T_{\text{SIGATT}}\} < T4$
T5	downstream port からリセットが送出される。DisBusDetect を '1' にセット。	$T4 + 100\text{ms} \{T_{\text{ATTDDB}}\} < T5$

注: {} は、USB2.0 規格書で規格されている名称である。

6.3. USB ホスト制御

6.3.1. チャンネル

6.3.1.1. チャンネル概要

本 LSI では、パイプと1対1で対応するホスト側のバッファと、そのバッファを介して行われる転送の為の各種設定レジスタを、まとめてチャンネルと呼びます。

チャンネルには、IRP (I/O Request Packet) 単位で転送情報を設定します。チャンネルは設定された情報に基づき、IRP を自動的に複数のトランザクションに分割して実行します。チャンネルは IRP 単位で設定を切り替えることができますので、1 本のチャンネルで複数のエンドポイントに対応することが可能です。

図 6-18 にチャンネルの概念を示します。

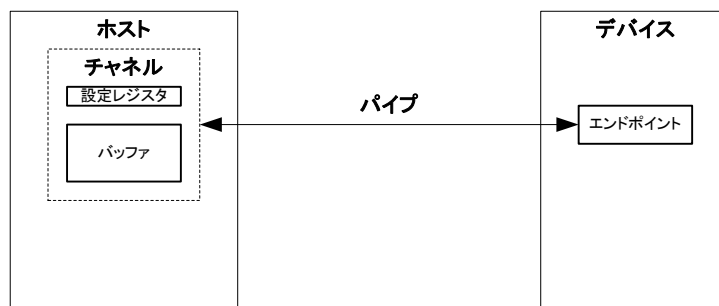


図 6-18 チャンネル概念図

F/W は、バッファおよび転送情報の設定を行ったうえで転送実行をセットします。転送実行をセットした後は、IRP データ数の処理が完了するまで、バッファにデータを書き込む (OUT 転送時)、バッファからデータを読み出す (IN 転送時) といった処理を行います。一方、H/W (チャンネル) は IRP を自動的に複数のトランザクションに分割して実行します。転送が完了すると、割り込みによって F/W に通知します。

各チャンネルのバッファは、後述する FIFO エリアにジョインすることで LSI に内蔵された RAM の任意の領域を割り当てることができます。

図 6-19 に転送を行う際の基本的な流れを示します。

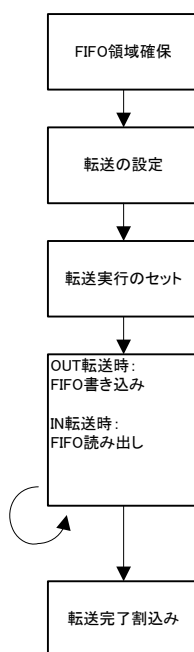


図 6-19 チャンネルの基本的な転送の手順

本 LSI はコントロール転送のみを行うチャンネル (CH0)、バルク転送のみを行うチャンネル (CHa)、バルク / インタラプト転送を行うチャンネル (CHb, CHc, CHd, CHe) の計 6 本のチャンネルを持ちます。ここでは、チャンネル CH0 をコントロール専用チャンネル、チャンネル CHa, CHb, CHc, CHd, CHe を汎用チャンネルと呼びます。

各チャンネルには、USB 定義インタフェースによって決定される固定の基本設定項目と、転送毎に制御を行う可変の制御項目及びステータスがあります。基本設定項目は、チップ初期化時、または、USB 定義インタフェースの切り替え時等に設定して下さい。また、後述する FIFO エリアにジョインすることで、チャンネルのバッファを確保して下さい。なお、同時に設定できるインタラプト転送の最大数は4本です。

各チャンネルが対応する転送タイプを表 6-19 に示します。

表 6-19 対応する転送タイプ

チャネル	対応する転送タイプ	備考
CH0	コントロール転送	コントロール転送サポート機能(後述)使用可
CHa	バルク転送	バルクオンリーサポート機能(後述)使用可
CHb, CHc, CHd, CHe	バルク転送 インタラプト転送	

6.3.1.2. コントロール専用チャネル

本 LSI では、コントロール専用チャネル(CH0)にてコントロール転送を行います。その為、複数のエンドポイントに対してコントロール転送を行う場合、チャネル CH0 を時分割して使用します。

チャネル CH0 には、USB 定義インタフェイスによって決定される固定の基本設定項目と、転送毎に制御を行う可変の制御項目及びステータスがあります。基本設定項目は、チップ初期化時、または、USB 定義インタフェイスの切り替え時等に設定して下さい。

さらに使用する FIFO エリアの領域を AREAn{n=0-5}StartAdrs_H,L、AREAn{n=0-5}EndAdrs_H,L にて確保し、AREAn{n=0-5}FIFO_Clr にて FIFO エリアを初期化した後、使用する FIFO エリアの AREAn{n=0-5}Join_1.JoinEP0CH0 をセットしてください。このジョインの処理を行うまでは、FIFO エリアを使用してのデータ転送が行えません。

表 6-20 にコントロール専用チャネル(CH0)の基本設定項目を示します。

表 6-20 コントロール専用チャネルの基本設定項目

項目	レジスタ/ビット	説明
転送速度	H_CH0Config_0.SpeedMode	チャネルCH0に対応するエンドポイントの転送速度(HS/FS/LS)を設定します。
トグルシーケンスビット	H_CH0Config_0.Toggle	トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行中、およびトランザクション完了後はトグルシーケンスビットの状態を示します。
トランザクション種別	H_CH0Config_1.TID	チャネル CH0 で発行するトランザクションの種別(SETUP/IN/OUT)を設定します。
マックスパケットサイズ	H_CH0MaxPktSize	マックスパケットサイズを、LS 動作時には8に、FS動作時には8,16,32,64のいずれかの値に設定します。また、HS 動作時には64に設定します。
USB アドレス	H_CH0FuncAdrs.FuncAdrs	チャネルCH0が管理するエンドポイントを含むファンクションのUSB アドレスを0x0~0xFの間の任意の値に設定します。
エンドポイントナンバー	H_CH0FuncAdrs.EP_Number	チャネル CH0 に対応するエンドポイントのエンドポイントナンバーを 0x0~0xF の間の任意の値に設定します。
ハブアドレス	H_CH0HubAdrs.HubAdrs	スプリットトランザクションを行うハブのUSBアドレスを設定します。
ポート番号	H_CH0HubAdrs.Port	スプリットトランザクションを行うハブのポート番号を設定します。
IRP データ数	H_CH0TotalSize_H, H_CH0TotalSize_L	チャネルCH0のIRPのデータ数をバイト単位で設定します。
FIFO 領域	AREAn{n=0-5}StartAdrs_H, AREAn{n=0-5}StartAdrs_L, AREAn{n=0-5}EndAdrs_H, AREAn{n=0-5}EndAdrs_L	チャネル CH0 に割り当てる領域を、FIFO のアドレスで設定します。 FIFO 領域は、チャネル CH0 のマックスパケットサイズ以上の領域を割り当て下さい。 FIFO の領域割り当ての詳細は、機能説明の FIFO の項を参照して下さい。
FIFO 領域ジョイン	AREAn{n=0-5}Join_1.JoinEP0CH0	チャネル CH0 を割り当てた領域に結合します。 コントロール転送サポート機能を使用する場合、チャネル CH0 は、AREA0 に結合して下さい。
セットアップデータ	H_CH0SETUP_x(x=0-7)	セットアップトランザクションで送信する 8 バイトのデータを設定します。

6. 機能説明

6.3.1.3. 汎用チャンネル

汎用チャンネルは、トランザクション方向と USB アドレスおよびエンドポイントナンバーを任意に設定出来ますので、同時に5本までのエンドポイントに対して 1 対 1 に対応させることが出来ます。また、コントロール専用チャンネルと同様にチャンネルを IRP 単位で時分割して使用することで、5本を越える数のエンドポイントとも転送を行うことが出来ます。

各チャンネルには、USB 定義インタフェースによって決定される固定の基本設定項目と、転送毎に制御を行う可変の制御項目及びステータスがあります。基本設定項目は、チップ初期化時、または、USB 定義インタフェースの切り替え時等に設定して下さい。さらに使用する FIFO エリアの領域を AREAn{n=0-5}StartAdrs_H,L、AREAn{n=0-5}EndAdrs_H,L にて確保し、AREAn{n=0-5}FIFO_Clr にて FIFO エリアを初期化した後、使用する FIFO エリアの AREAn{n=0-5}Join_1.JoinEPxCHx{x=a-e}をセットしてください。このジョインの処理を行うまでは、FIFO エリアを使用していないデータ転送が行えません。

表 6-21 に汎用チャンネルの基本設定項目を示します。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にすることによって、USB定義インタフェースを構成して下さい。

表 6-21 汎用チャンネルの基本設定項目

項目	レジスタ/ビット	説明
転送速度	H_CHx{x=a-e}Config_0.SpeedMode	各チャンネルに対応するエンドポイントの転送速度 (HS/FS/LS)を設定します。
トグルシーケンスビット	H_CHx{x=a-e}Config_0.Toggle	トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行中、およびトランザクション完了後はトグルシーケンスビットの状態を示します。
トランザクション種別	H_CHx{x=a-e}Config_1.TID	各チャンネルで発行するトランザクションの種別 (IN/OUT)を設定します。
転送種別	H_CHx{x=b-e}Config_1.TranType	各チャンネルの転送種別 (バルク、インタラプト)を設定します。
マックスパケットサイズ	H_CHx{x=a-e}MaxPktSize_H, H_CHx{x=a-e}MaxPktSize_L	各チャンネルのマックスパケットサイズを、1Byte～512Byte の間の任意の値に設定します。
ハブアドレス	H_CHx{x=a-e}HubAdrs.HubAdrs	スプリットトランザクションを行うハブのUSBアドレスを設定します。
ポート番号	H_CHx{x=a-e}HubAdrs.Port	スプリットトランザクションを行うハブのポート番号を設定します。
USB アドレス	H_CHx{x=a-e}FuncAdrs.FuncAdrs	各チャンネルが管理するエンドポイントを含むファクションのUSB アドレスを0x0～0xFの間の任意の値に設定します。
エンドポイントナンバー	H_CHx{x=a-e}FuncAdrs.EP_Number	各チャンネルに対応するエンドポイントのエンドポイントナンバーを 0x0～0xF の間の任意の値に設定します。
IRP データ数	H_CHx{x=a-e}TotalSize_HH, H_CHx{x=a-e}TotalSize_HL, H_CHx{x=a-e}TotalSize_LH, H_CHx{x=a-e}TotalSize_LL	各チャンネルのIRPのデータ数をバイト単位で設定します。
トークン発行間隔	H_CHx{x=b-e}Interval_H, H_CHx{x=b-e}Interval_L	インタラプト転送におけるトークン発行間隔(周期)を設定します。
FIFO 領域	AREAn{n=0-5}StartAdrs_H, AREAn{n=0-5}StartAdrs_L, AREAn{n=0-5}EndAdrs_H, AREAn{n=0-5}EndAdrs_L	各チャンネルに割り当てる領域を、FIFO のアドレスで設定します。 FIFO 領域は、各チャンネルのマックスパケットサイズ以上の領域を割り当てて下さい。また、FIFO 領域のサイズがデータ転送のスループットに影響します。 FIFO の領域割り当ての詳細は、機能説明の FIFO の項を参照して下さい。
FIFO 領域ジョイン	AREAn{n=0-5}Join_1.JoinEPxCHx{x=a-e}	各チャンネルを割り当てた領域に結合します。 バルクオンリーサポート機能を使用する場合、チャンネル CHa は、AREA1 に結合して下さい。

6.3.1.4. チャンネル使用例

6.3.1.4.1. ストレージデバイスを 1 台接続した場合

USB Mass Storage Class(BulkOnly Transport Protocol)に対応したストレージデバイス(例:ハードディスク)を接続した場合のチャンネル使用例を図 6-20 に示します。

このクラスで使用するバルクIN転送およびバルクOUT転送は逐次処理が可能です。コントロール転送のIRPはCH0 を使用します。一方、バルクIN転送のIRPおよびバルクOUT転送のIRPは、CHaを逐次的に使用します。CHaは、USB Mass Storage Class(BulkOnly Transport Protocol)のコマンドトランスポート(CBW)、データトランスポート、ステータストランスポート(CSW)の一連のトランスポート管理を自動で行う機能(6.3.8 参照)があり、転送におけるCPU負荷の低減と転送効率の向上を図ることができます。

なお、バルクオンリーサポート機能を使用する必要がない場合には、バルク IN 転送の IRP およびバルク OUT 転送の IRP を他の汎用チャンネルに個別(例えば CHb と CHc)に割り当てることも可能です。

H/Wは、チャンネルに設定されているIRPに対し転送のスケジューリング(6.3.2 参照)を行い、トランザクションを実行します。

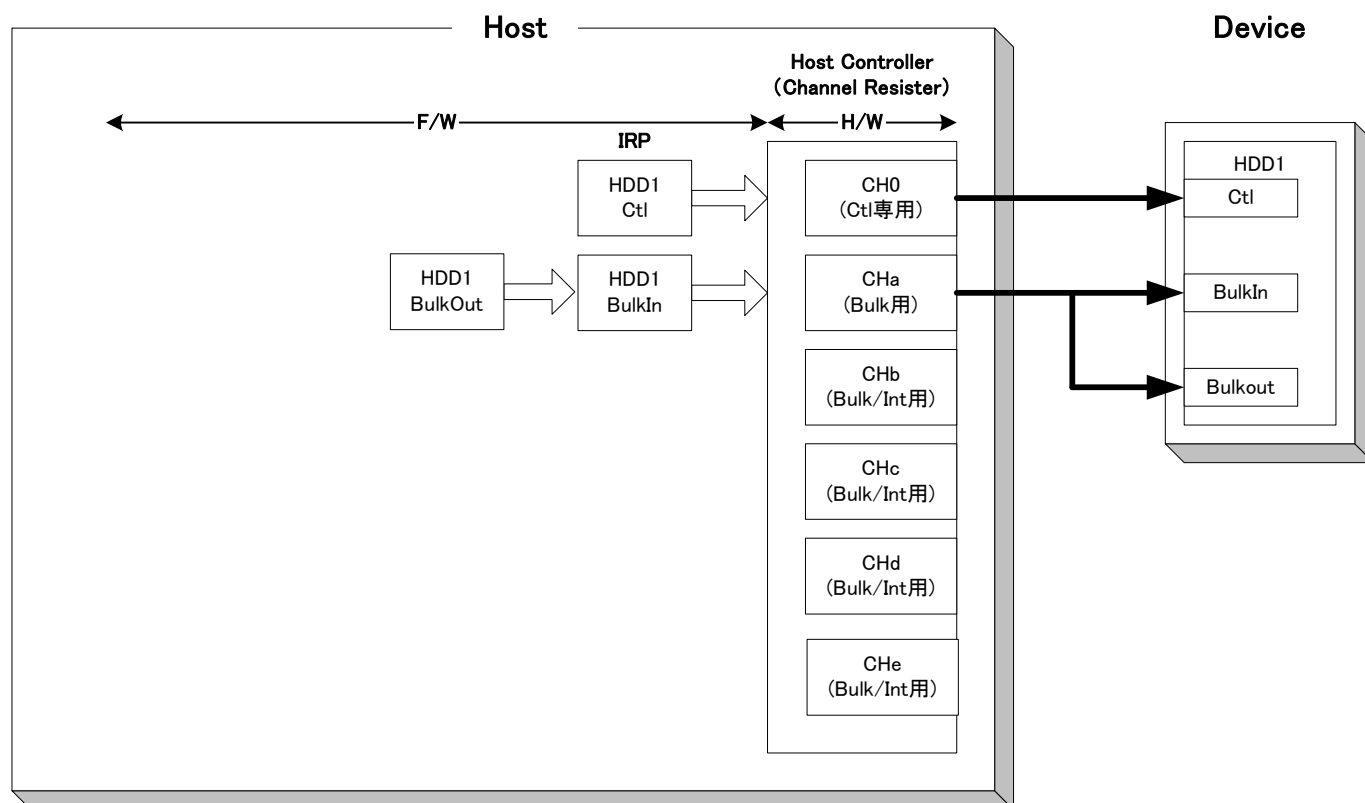


図 6-20 チャンネル使用例(ストレージデバイスを 1 台接続した場合)

6.3.1.4.2. ハブを介してストレージデバイスを接続した場合

USB Mass Storage Class(BulkOnly Transport Protocol)に対応したストレージデバイスを、ハブを介して接続した場合のチャンネル使用例を図 6-21 に示します。

このクラスで使用するバルクIN転送およびバルクOUT転送は逐次処理が可能です。コントロール転送のIRPはCH0 を使用します。インタラプティブIN転送のIRPは、汎用チャンネル(例えばCHe)に割り当てて使用します。一方、バルクIN転送のIRPおよびバルクOUT転送のIRPは、CHaを使用します。CHaは、USB Mass Storage Class(BulkOnly Transport Protocol)のコマンドトランスポート(CBW)、データトランスポート、ステータストランスポート(CSW)の一連のトランスポート管理を自動で行う機能(6.3.8 参照)があり、転送におけるCPU負荷の低減と転送効率の向上を図ることができます。

なお、バルクオンリーサポート機能を使用する必要がない場合には、バルク IN 転送の IRP およびバルク OUT 転送の IRP を汎用チャンネルに個別に割り当てることも可能です。

H/Wは、チャンネルに設定されているIRPに対し転送のスケジューリング(6.3.2 参照)を行い、トランザクションを実行します。

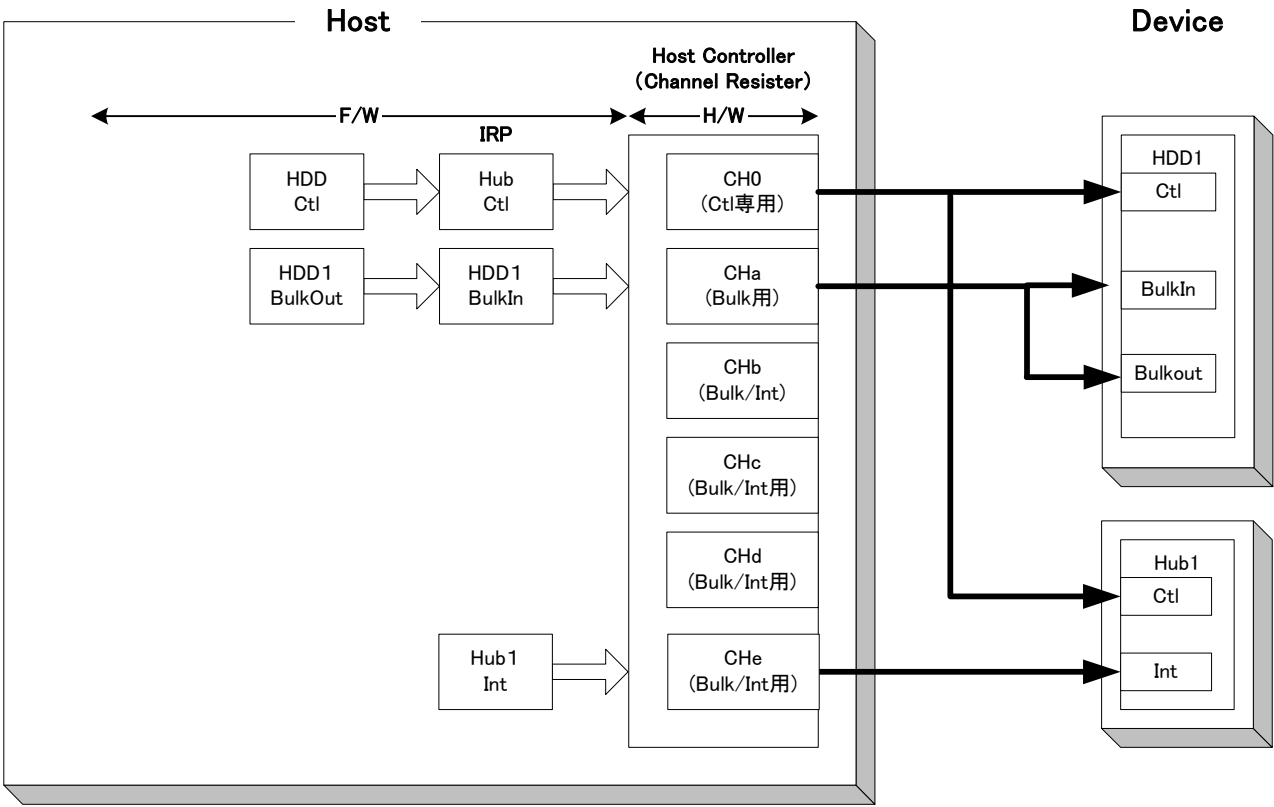


図 6-21 チャンネル使用例(ハブを介してストレージデバイスを1台接続した場合)

6.3.2. スケジューリング

H/W は転送実行(H_CHx{x=0,a-e}Config_0.TranGo)がセットされたチャンネルの中から一つを選択し、そのチャンネルに設定された転送の実行可否判断を行います。実行可能と判断すると、設定に従いトランザクションを一つ実行します。トランザクションが終了すると、H/W は別のチャンネルを選択し、同様に実行可否判断を行い、トランザクションを実行します。このようなチャンネルの選択、実行可否判断、トランザクションの実行を繰り返すことにより、H/W は複数のエンドポイントに対して転送を行います。

表 6-22 にチャンネルCH0 のスケジューリング制御に関する制御項目を、表 6-23 に汎用チャンネルのスケジューリング設定項目を示します。

表 6-22 チャンネル CH0 のスケジューリング設定項目

項目	レジスタ/ビット	説明
転送実行	H_CH0Config_0.TranGo	チャンネルCH0の転送実行を設定します。 チャンネルの設定に従い転送を行います。

表 6-23 汎用チャンネルのスケジューリング設定項目

項目	レジスタ/ビット	説明
転送実行	H_CHx{x=a-e}Config_0.TranGo	各チャンネルの転送実行を設定します。 各チャンネルの設定に従い転送を行います。

6.3.3. トランザクション

LSI は H/W でトランザクション実行機能と、F/W に対するトランザクション実行のためのインタフェイスを提供します。F/W に対するインタフェイスは、制御レジスタとステータスレジスタ、及び、ステータスによりアサートされる割り込み信号として実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の章を参照して下さい。

H/W はチャンネルを選択し、転送可否判断を行い、転送可能と判断した場合、チャンネルの設定に従ってトランザクションを実行します。また個々のトランザクション毎に、F/W に対してステータスを発行します。しかしながら、F/W は必ずしも、個々のトランザクションを管理する必要はありません。例えば、IN のチャンネルであれば、F/W は、CPU インタフェイス(レジスタリード)により、FIFO からデータを読み出して FIFO に空き領域を作り出すことによって、IN トランザクションを自動的に連続して実行させることができます。また、OUT のチャンネルであれば、F/W は、CPU インタフェイス(レジスタライト)により、FIFO にデータを書き込んで FIFO に有効データを作り出すことによって、OUT トランザクションを自動的に連続して実行させることができます。

表 6-24 にチャンネルCH0 のトランザクション制御に関する制御項目及びステータスを、表 6-25 に汎用チャンネル(CHa, CHb, CHc, CHd, CHe)のトランザクション処理に関する制御項目とステータスを示します。

表 6-24 チャンネル CH0 の制御項目及びステータス

項目	レジスタ/ビット	説明
トランザクションステータス	H_CH0IntStat.TotalSizeCmp, H_CH0IntStat.TranACK, H_CH0IntStat.TranErr, H_CH0IntStat.ChangeCondition	トランザクションの結果を示します。
トランザクションコンディションコード	H_CH0ConditionCode	トランザクション結果の詳細を示します。

表 6-25 汎用チャンネルの制御項目とステータス

項目	レジスタ/ビット	説明
トランザクションステータス	H_CHx{x=a-e}IntStat.TotalSizeCmp, H_CHx{x=a-e}IntStat.TranACK, H_CHx{x=a-e}IntStat.TranErr, H_CHx{x=a-e}IntStat.ChangeCondition	トランザクションの結果を示します。
トランザクションコンディションコード	H_CHx{x=a-e}ConditionCode	トランザクション結果の詳細を示します。

6.3.3.1. SETUP トランザクション

CH0 の基本設定レジスタにおいて、トランザクション種別 (H_CH0Config_1.TID) を SETUP に設定します。その他の基本設定項目を適宜設定し、H_CH0SETUP_0~7 レジスタにセットアップデータ (8Byte) を書き込み、転送実行 (H_CH0Config_0.TranGo) をセットすることにより、チャネルは H/W が行う USB 転送のスケジューリングの対象となり、該当チャネルが選択された場合、フレーム残り時間を判断し、SETUP トランザクションが実行されます。

SETUP トランザクションでは H_CH0SETUP_0~7 レジスタのデータが用いられ、データパケットのデータ長は 8Byte となります。SETUP トランザクションに対して ACK を受信すると、F/W に対し、ACK ステータス (H_CH0IntStat.TranACK ビット) を発行します。SETUP トランザクションに対して正常な応答を受信しない場合、リトライ処理を行います。エラーが 3 回連続して続く場合、H_CH0Control.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CH0ConnditionCode) を適宜設定します。そして、F/W に対し、ChangeCondition ステータス (H_CH0IntStat.ChangeCondition ビット) を発行します。

なお、この SETUP トランザクションは、チャネル CH0 が FIFO 領域にジョインされていない場合においても実行出来ます。

図 6-22 にホスト時の SETUP トランザクションの様子を図示します。(a) LSI が、このノードに存在するエンドポイント 0 に宛てた SETUP トークンを発行します。(b) LSI は続けて、8Byte 長のデータパケットを送信します。(c) LSI は ACK 受信により、該当するレジスタを自動設定し、F/W に対しステータスを発行します。

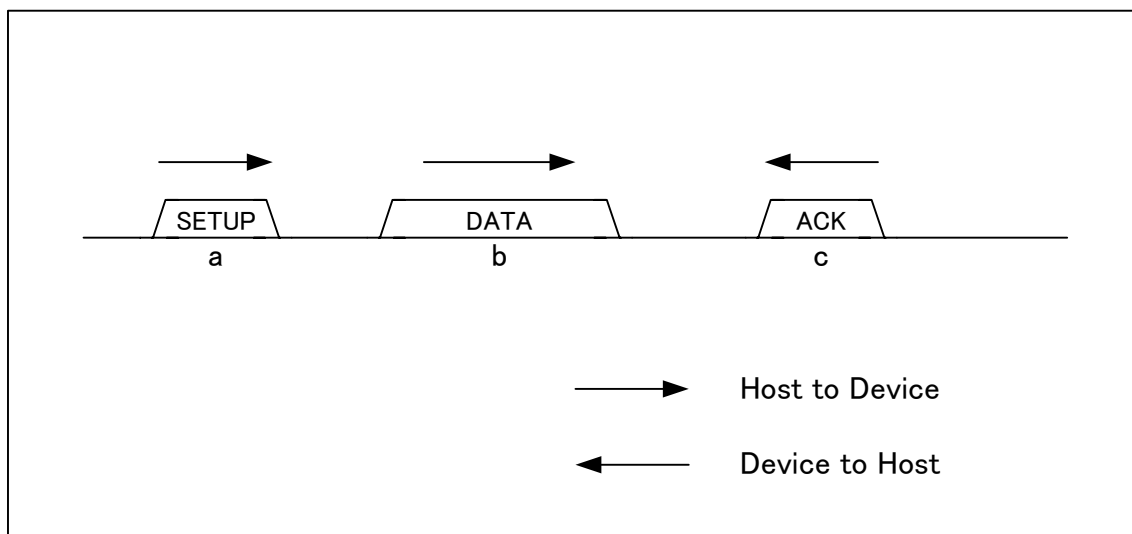


図 6-22 ホスト時の SETUP トランザクション

6.3.3.2. バルク OUT トランザクション

CHx の基本設定レジスタにおいて、転送種別 (H_CHx{x=b-e}Config_1.TranType) を Bulk、トランザクション種別 (H_CHx{x=a-e}Config_1.TID) を OUT に設定します。その他の基本設定項目を適宜設定し、転送実行 (H_CHx{x=a-e}Config_0.TranGo) をセットすることにより、チャンネルは H/W が行う USB 転送のスケジューリングの対象となり、該当チャンネルが選択された場合、FIFO の有効データ数及びフレーム残り時間を判断し、バルク OUT トランザクションが実行されます。なお、CHa はバルク転送のみに対応していますので転送種別の設定は必要ありません。

データパケットのデータ長は H_CHx{x=a-e}MaxPacketSize_H,L と H_CHx{x=a-e}TotalSize_HH,HL,LH,LL の値のうち小さい方の値となります。バルク OUT トランザクションに対して ACK を受信すると、F/W に対して ACK ステータス (H_CHx{x=a-e}IntStat.TranACK ビット) を発行します。また、FIFO を更新し、送信したデータを送信済みとして領域を開放します。バルク OUT トランザクションに対して NAK を受信した場合、FIFO は更新せず、領域も開放しません。その為、該当チャンネルが再び選択された場合、同じトランザクションを実行します。バルク OUT トランザクションに対して STALL を受信すると、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CHx{x=a-e}ConnditionCode) を STALL に設定します。そして F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。また、FIFO は更新せず、領域も開放しません。バルク OUT トランザクションに対して正常な応答を受信しない場合、FIFO は更新せず、領域も開放せず、コンディションコード (H_CHx{x=a-e}ConnditionCode) を RetryError に設定し、F/W に対し、TranErr ステータス (H_CHx{x=a-e}IntStat.TranErr ビット) を発行します。そしてリトライ処理を行います。エラーが 3 回連続して続く場合、H_CHx{x=a-e}Control.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CHx{x=a-e}ConnditionCode) を適宜設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。

図 6-23 に、ホスト時における完結する場合のバルク OUT トランザクションの様子を図示します。(a) LSI が、このノードに存在する OUT 方向のエンドポイントに宛てた OUT トークンを発行します。(b) LSI は続けて、マックスパケットサイズ以内のデータパケットを送信します。(c) LSI は ACK 受信により、該当するレジスタを自動設定し、F/W に対しステータスを発行します。

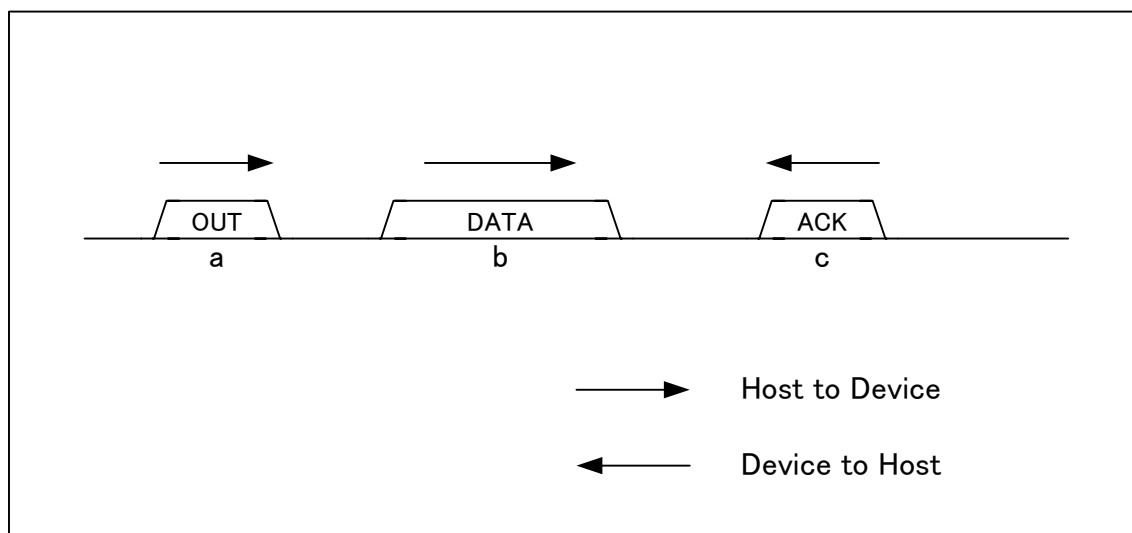


図 6-23 ホスト時の OUT トランザクション

6.3.3.3. インタラプト OUT トランザクション

CHx の基本設定レジスタにおいて、転送種別 (H_CHx{x=b-e}Config_1.TranType) を Interrupt、トランザクション種別 (H_CHx{x=b-e}Config_1.TID) を OUT に設定します。また、トークン発行間隔 (H_CHx{x=b-e}Interval_H,L) を設定し、その他の基本設定項目を適宜設定した後に転送実行 (H_CHx{x=b-e}Config_0.TranGo) をセットすることにより、チャネルは H/W が行う USB 転送のスケジューリングの対象となり、該当チャネルが選択された場合、トークン発行間隔 (H_CHx{x=b-e}Interval_H,L)、FIFO の有効データ数及びフレーム残り時間を判断し、インタラプト OUT トランザクションが実行されます。

データパケットのデータ長は H_CHx{x=b-e}MaxPacketSize_H,L と H_CHx{x=b-e}TotalSize_HH,HL,LH,LL の値のうち小さい方の値となります。インタラプト OUT トランザクションに対して ACK を受信すると、F/W に対し、ACK ステータス (H_CHx{x=b-e}IntStat.TranACK ビット) を発行します。また、FIFO を更新して、送信したデータを送信済みとして領域を開放します。インタラプト OUT トランザクションに対して NAK を受信した場合、FIFO は更新せず、領域も開放しません。その為、該当チャネルが再び選択された場合、同じトランザクションを実行します。インタラプト OUT トランザクションに対して STALL を受信すると、H_CHx{x=b-e}Config_0.TranGo を自動クリアすることで転送を終了し、そしてコンディションコード (H_CHx{x=b-e}ConnditionCode) を STALL に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。また、FIFO は更新せず、領域も開放しません。インタラプト OUT トランザクションに対して正常な応答を受信しない場合、FIFO は更新せず、領域も開放せず、コンディションコード (H_CHx{x=b-e}ConnditionCode) を RetryError に設定し、F/W に対し、TranErr ステータス (H_CHx{x=b-e}IntStat.TranErr ビット) を発行します。そしてリトライ処理を行います。エラーが 3 回連続して続く場合、H_CHx{x=b-e}Control.TranGo を自動クリアすることで転送を終了し、コンディションコード (CHx{x=b-e}ConnditionCode) を適宜設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。

6.3.3.4. バルク IN トランザクション

CHx の基本設定レジスタにおいて、転送種別 (H_CHx{x=a-e}Config_1.TranType) を Bulk、トランザクション種別 (H_CHx{x=a-e}Config_1.TID) を IN に設定します。その他の基本設定項目を適宜設定し、転送実行 (H_CHx{x=a-e}Config_0.TranGo) をセットすることにより、チャネルは H/W が行う USB 転送のスケジューリングの対象となり、該当チャネルが選択された場合、FIFO の空き容量及びフレーム残り時間を判断し、バルク IN トランザクションが実行されます。なお、CHa はバルク転送のみに対応していますので転送種別の設定は必要ありません。

受信するデータパケットの期待データ長は H_CHx{x=a-e}MaxPacketSize_H,L と H_CHx{x=a-e}TotalSize_HH,HL,LH,LL の値のうち小さい方の値となります。バルク IN トランザクションにおいて、全てのデータが正常に受信できると、ACK 応答し、トランザクションを完結します。また、F/W に対し、ACK ステータス H_CHx{x=a-e}IntStat.TranACK ビット) を発行します。更に、FIFO を更新して、データを受信済みとして領域を確保します。バルク IN トランザクションにおいて、受信データ長が期待データ長より小さい場合、H_CHx{x=a-e}Config_0.TranGo を自動クリアすることで転送を終了し、ACK 応答します。また、コンディションコード (H_CHx{x=a-e}ConnditionCode) を DataUnderrun に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。更に、FIFO を更新して、データを受信済みとして領域を確保します。バルク IN トランザクションにおいて、NAK を受信した場合、ステータスは発行しません。また、FIFO は更新しません。バルク IN トランザクションに対して STALL を受信すると、H_CHx{x=a-e}Config_0.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CHx{x=a-e}ConnditionCode) を STALL に設定します。そして F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。また、FIFO は更新しません。バルク IN トランザクションにおいて、受信データ長が期待データ長より大きい場合、H_CHx{x=a-e}Config_0.TranGo を自動クリアすることで転送を終了します。応答は行いません。また、コンディションコード H_CHx{x=a-e}ConnditionCode) を DataOverrun に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。FIFO は更新しません。バルク IN トランザクションにおいて、トグルミスマッチが発生した場合、ACK 応答します。また、コンディションコード (H_CHx{x=a-e}ConnditionCode) を RetryError に設定します。そして、F/W に対し、TranErr ステータス (H_CHx{x=a-e}IntStat.TranErr ビット) を発行します。FIFO は更新しません。バルク IN トランザクションにおいて、タイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー (予期せぬ PID 含む) が発生した場合、応答は行いません。また、コンディションコード (H_CHx{x=a-e}ConnditionCode) を RetryError に設定します。そして、F/W に対し、TranErr ステータス (H_CHx{x=a-e}IntStat.TranErr ビット) を発行します。FIFO は更新しません。コンディションコード (H_CHx{x=a-e}ConnditionCode) が RetryError に設定されるエラーが発生した場合、リトライ処理を行います。そして、エラーが 3 回連続して続く場合 H_CHx{x=a-e}Control.TranGo を自動クリアすることで転送を終了し、F/W に対し、ChangeCondition ステータス (H_CHx{x=a-e}IntStat.ChangeCondition ビット) を発行します。

図 6-24 に、ホスト時における完結する場合のバルク IN トランザクションの様子を図示します。(a) LSI が、このノードに存在する IN 方向のエンドポイントに宛てた IN トークンを発行します。(b) エンドポイントは、この IN トランザクションに回答できる場合、マックスパケットサイズ以内のデータパケットを送信します。(c) LSI は ACK 応答します。そして該当するレジスタを自動設定し、F/W に対しステータスを発行します。

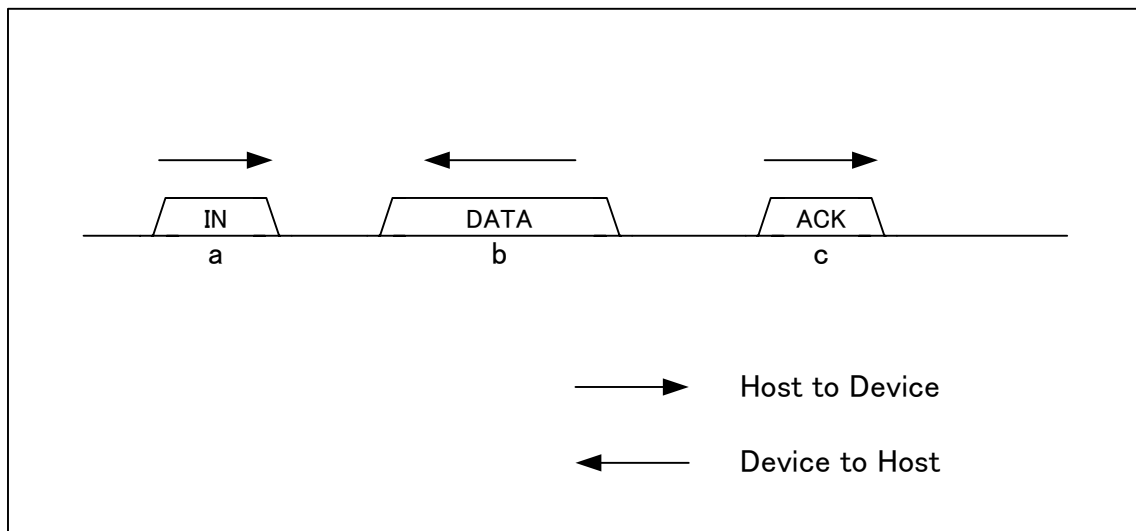


図 6-24 ホスト時の IN トランザクション

6.3.3.5. インタラプト IN トランザクション

CHx の基本設定レジスタにおいて、転送種別 (H_CHx{x=b-e}Config_1.TranType) を Interrupt、トランザクション種別 (H_CHx{x=b-e}Config_1.TID) を IN に設定します。また、トークン発行間隔 (H_CHx{x=b-e}Interval_H,L) を設定し、その他の基本設定項目を適宜設定し、転送実行 (H_CHx{x=b-e}Config_0.TranGo) をセットすることにより、チャネルは H/W が行う USB 転送のスケジューリングの対象となり、該当チャネルが選択された場合、トークン発行間隔 (H_CHx{x=b-e}Interval_H,L)、FIFO の空き容量及びフレーム残り時間を判断し、インタラプト IN トランザクションが実行されます。

受信するデータパケットの期待データ長は H_CHx{x=b-e}MaxPacketSize_H,L と H_CHx{x=b-e}TotalSize_HH,HL,LH,LL の値のうち小さい方の値となります。インタラプト IN トランザクションにおいて、全てのデータが正常に受信できると、ACK 応答し、トランザクションを完結します。また、F/W に対し、ACK ステータス (H_CHx{x=b-e}IntStat.TranACK ビット) を発行します。また、FIFO を更新して、データを受信済みとして領域を確保します。インタラプト IN トランザクションにおいて、受信データ長が期待データ長より小さい場合、H_CHx{x=b-e}Config_0.TranGo を自動クリアすることで転送を終了し、ACK 応答します。また、そしてコンディションコード (H_CHx{x=b-e}ConnditionCode) を DataUnderrun に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。また、FIFO を更新して、データを受信済みとして領域を確保します。インタラプト IN トランザクションにおいて、NAK を受信した場合、ステータスは発行しません。また、FIFO は更新しません。次のトランザクションは次の周期にて行います。インタラプト IN トランザクションに対して STALL を受信すると、H_CHx{x=b-e}Config_0.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CHx{x=b-e}ConnditionCode) を STALL に設定します。そして F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。また、FIFO は更新しません。パルク IN トランザクションにおいて、受信データ長が期待データ長より大きい場合、H_CHx{x=b-e}Config_0.TranGo を自動クリアすることで転送を終了します。応答は行いません。また、コンディションコード H_CHx{x=b-e}ConnditionCode) を DataOverrun に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。FIFO は更新しません。インタラプト IN トランザクションにおいて、トグルミスマッチが発生した場合、ACK 応答します。また、コンディションコード (H_CHx{x=b-e}ConnditionCode) を RetryError に設定します。そして、F/W に対し、TranErr ステータス (H_CHx{x=b-e}IntStat.TranErr ビット) を発行します。FIFO は更新しません。インタラプト IN トランザクションにおいて、タイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー (予期せぬ PID 含む) が発生した場合、応答は行いません。また、コンディションコード (H_CHx{x=b-e}ConnditionCode) を RetryError に設定します。そして、F/W に対し、TranErr ステータス (H_CHx{x=b-e}IntStat.TranErr ビット) を発行します。FIFO は更新しません。コンディションコード (H_CHx{x=b-e}ConnditionCode) が RetryError に設定されるエラーが発生した場合、次の周期にてリトライ処理を行います。そして、エラーが 3 回連続して続く場合 H_CHx{x=b-e}Control.TranGo を自動クリアすることで転送を終了し、F/W に対し、ChangeCondition ステータス (H_CHx{x=b-e}IntStat.ChangeCondition ビット) を発行します。

6.3.3.6. PING トランザクション

パルク OUT またはコントロール OUT トランザクションを行うチャネルでは、HS 動作時に、PING トランザクションを実行します。

OUT トランザクションに対して、NYET を受信した場合、NAK を受信した場合、または応答を受信しない場合、H/W は PING トランザクションを実行する状態に移行します。PING トランザクションに対して ACK を受信した場合、H/W は OUT トランザクションを行う状態に戻ります。F/W に対しステータスは発行しません。PING トランザクションに対して NAK を受信した場合、H/W は引き続き PING トランザクションを実行する状態となります。また、F/W に対しステータスは発行しません。PING トランザクションに対して STALL を受信した場合、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了し、コンディションコード (H_CHx{x=0,a-e}ConnditionCode) を STALL に設定します。そして、F/W に対し、ChangeCondition ステータス (H_CHx{x=0,a-e}IntStat.ChangeCondition ビット) を発行します。PING トランザクションに対して正常な応答を受信しない場合、コンディションコード (H_CHx{x=0,a-e}ConnditionCode) を RetryError に設定します。そして、F/W に対し、TranErr ステータス (H_CHx{x=0,a-e}IntStat.TranErr ビット) を発行します。この場合、リトライ処理を行います。そしてエラーが 3 回連続して続く場合、H_CHx{x=0,a-e}Control.TranGo を自動クリアすることで転送を終了し、F/W に対し、ChangeCondition ステータス (H_CHx{x=0,a-e}IntStat.ChangeCondition ビット) を発行します。

なお、PING トランザクションにおいては、FIFO が更新されることはありません。

図 6-25 に、ホスト時の PING トランザクションに対して ACK 応答する様子を図示します。(a) LSI は、このノードに存在する OUT 方向のエンドポイントに宛てた PING トークンを発行します。(b) デバイスは、エンドポイントにマックスパケットサイズ分の空きがある場合、この PING トランザクションに対し ACK 応答します。

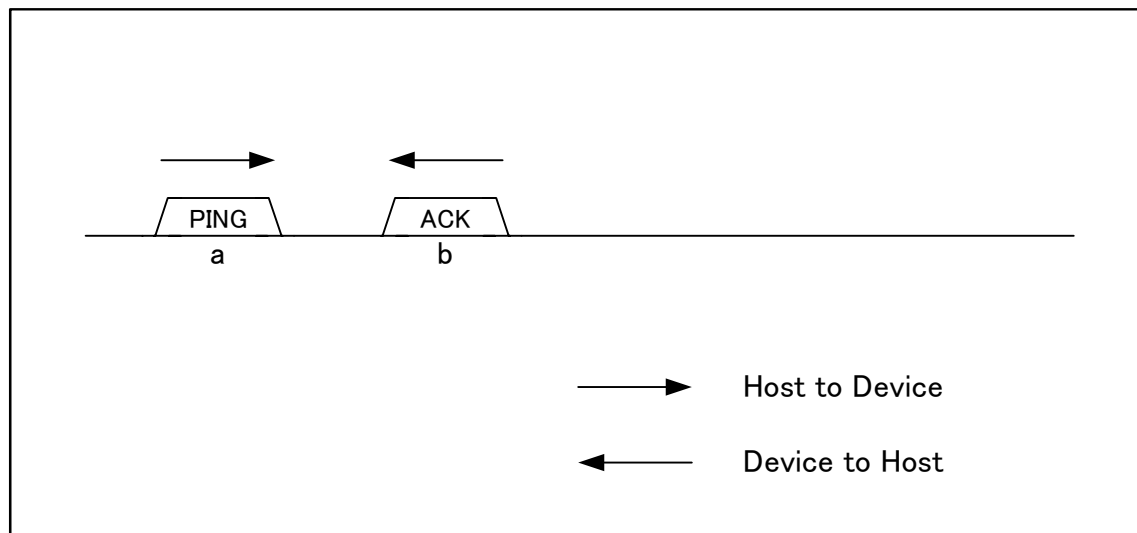


図 6-25 ホスト時の PING トランザクション

6.3.3.7. low-speed(LS)トランザクション

LS デバイスとの転送にはコントロール転送、またはインタラプト転送を使用します。

ダウンストリームポートに LS デバイスが接続された場合、ホストは LS にて動作します。使用するチャネルの転送速度 (H_CHx{x=0,a-e}Config_0.SpeedMode) を LS に設定することで LS bit time にてトランザクションを実行します。

一方、ダウンストリームポートに full-speed (FS) ハブが接続され、そのハブのダウンストリームポートに LS デバイスが接続された場合、ホストは FS にて動作します。使用するチャネルの転送速度 (H_CHx{x=0,a-e}Config_0.SpeedMode) を LS に設定することで、対応するエンドポイントへの全てのダウンストリーム・パケットの先頭にプリアンブルを伴って送信します。プリアンブルは FS bit time にて送信し、プリアンブルに続くダウンストリーム・パケットは LS bit time にて送信します。

図 6-26 に、完結する場合のインタラプトOUTトランザクションの様子を図示します。(a)LSIIは、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを先頭にプリアンブルを付与して発行します。(b)LSIは続けて、マックスパケットサイズ以内のデータパケットを先頭にプリアンブルを付与して送信します。(c)LSIIはACK受信により、該当するレジスタを自動設定し、F/WIに対しステータスを発行します。

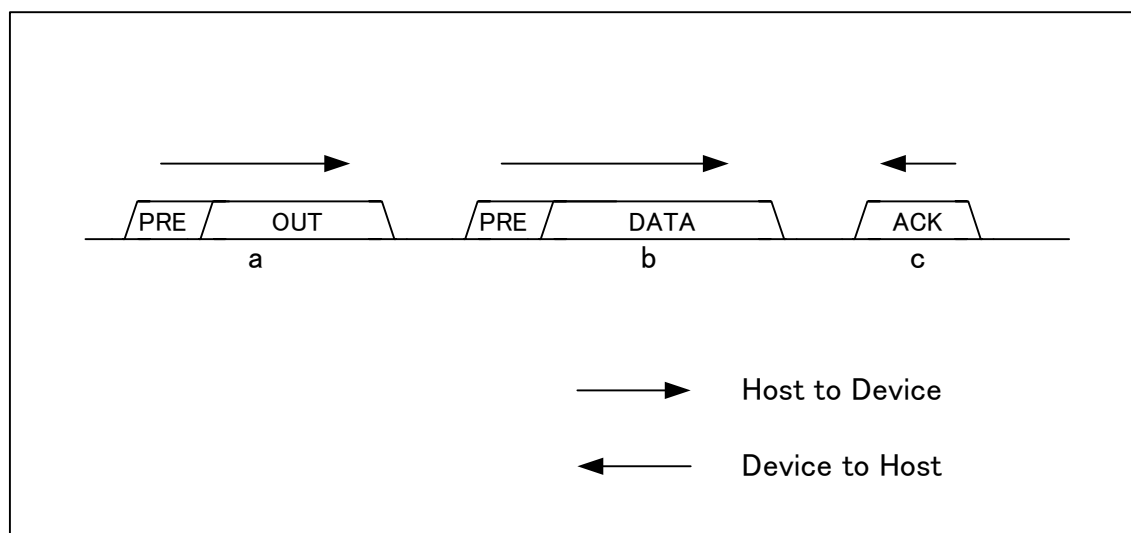


図 6-26 Preamble が付与された OUT トランザクション

図 6-27 に、完結する場合のインタラプトINTトランザクションの様子を図示します。(a)LSIIは、このノードに存在するIN方向のエンドポイントに宛てたINTトークンを先頭にプリアンブルを付与して発行します。(b)デバイスがマックスパケットサイズ以内のデータパケットを送信してきます。LSIはこのデータを該当するチャネルのFIFOに書き込みます。(c)LSIIはデータを受信出来るとACK応答を先頭にプリアンブルを付与して行います。また、該当するレジスタを自動設定し、F/WIに対しステータスを発行します。

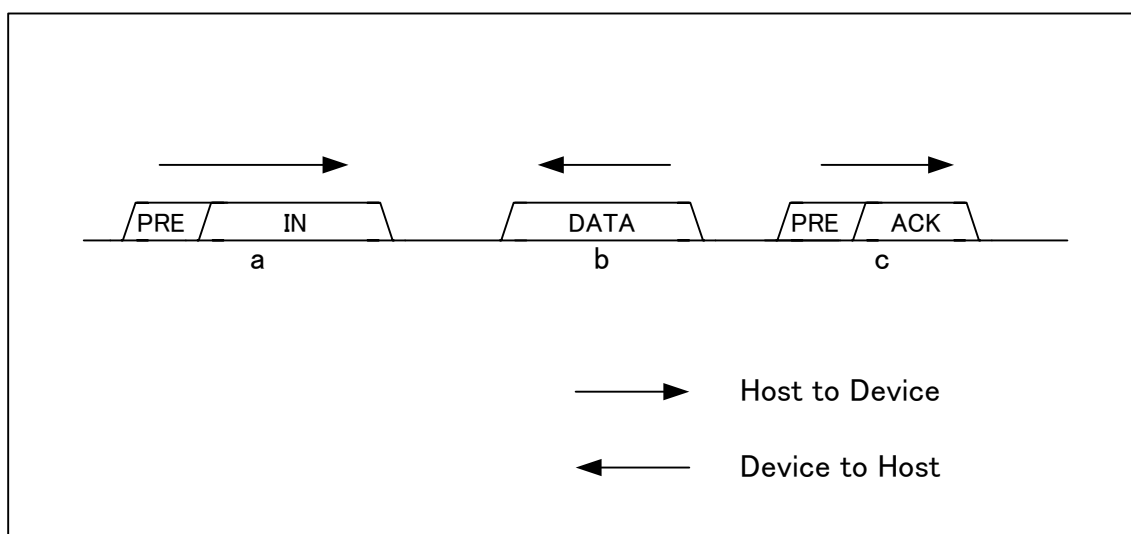


図 6-27 Preamble が付与された IN トランザクション

6.3.3.8. スプリットトランザクション

ダウンストリームポートに high-speed(HS)ハブが接続され、そのハブのダウンストリームポートに FS または LS デバイスが接続された場合、ホストは HS にて動作します。使用するチャネルの転送速度 (H_CHx{x=0,a-e}Config_0.SpeedMode)を FS または LS に設定することで、ハブとの間にて、対応するエンドポイントへのトランザクションをスプリットトランザクションで実行します。

該当チャネルにはハブアドレス(H_CHx{x=0,a-e}HubAdrs.HubAdrs)、ポート番号(H_CHx{x=0,a-e}HubAdrs.Port)を適切な値に設定します。スプリットトランザクションにおけるスタートスプリットトランザクション～コンプリートスプリットトランザクションのシーケンスは、H/W が制御します。F/W はスプリットトランザクションの個々のトランザクションを意識する必要はありません。スタートスプリットトランザクション～コンプリートスプリットトランザクションのシーケンスにおいて、最終コンプリートスプリットトランザクションが正常に完結した場合、F/W に対し、ACK ステータス (H_CHx{x=0,a-e}IntStat.TranACK ビット)を発行し、FIFO を更新します。一方、最終コンプリートスプリットトランザクション以外の個々のトランザクションの正常な完結では F/W に対してのステータスの発行は行いません。スタートスプリットトランザクション～コンプリートスプリットトランザクションのシーケンスにおいて、個々のトランザクションでエラーが発生した場合、コンディションコード (H_CHx{x=0,a-e}ConnditionCode)を RetryError に設定し、F/W に対し、TranErr ステータス (H_CHx{x=0,a-e}IntStat.TranErr ビット)を発行します。FIFO は更新しません。そしてリトライ処理を行います。エラーが 3 回連続して続く場合、H_CHx{x=0,a-e}Control.TranGo を自動クリアすることで転送を終了し、F/W に対し、ChangeCondition ステータス (H_CHx{x=0,a-e}IntStat.ChangeCondition ビット)を発行します。

6.3.4. コントロール転送

コントロール転送は、その各ステージを個々のトランザクションとして制御します。

図 6-28 にコントロール転送の制御の様子を図示します。F/WはSETUP, DATA, STATUSの各ステージを適宜設定することでコントロール転送をH/Wに実行させます。

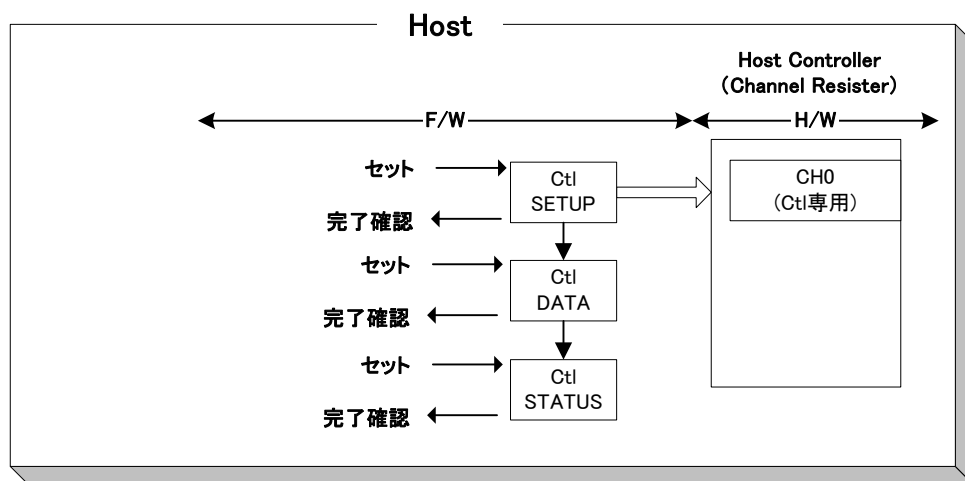


図 6-28 コントロール転送の制御

図 6-29 にホスト時のデータステージがOUT方向である場合のコントロール転送の様子を図示します。(a)ホストは、SETUPトランザクションによって、コントロール転送を開始します。(b)ホストはOUTトランザクションを発行して、データステージを行います。(c)ホストはINTトランザクションを発行して、ステータスステージを行います。

データステージの無いコントロール転送は、この例におけるデータステージが無い状態で実施されます。

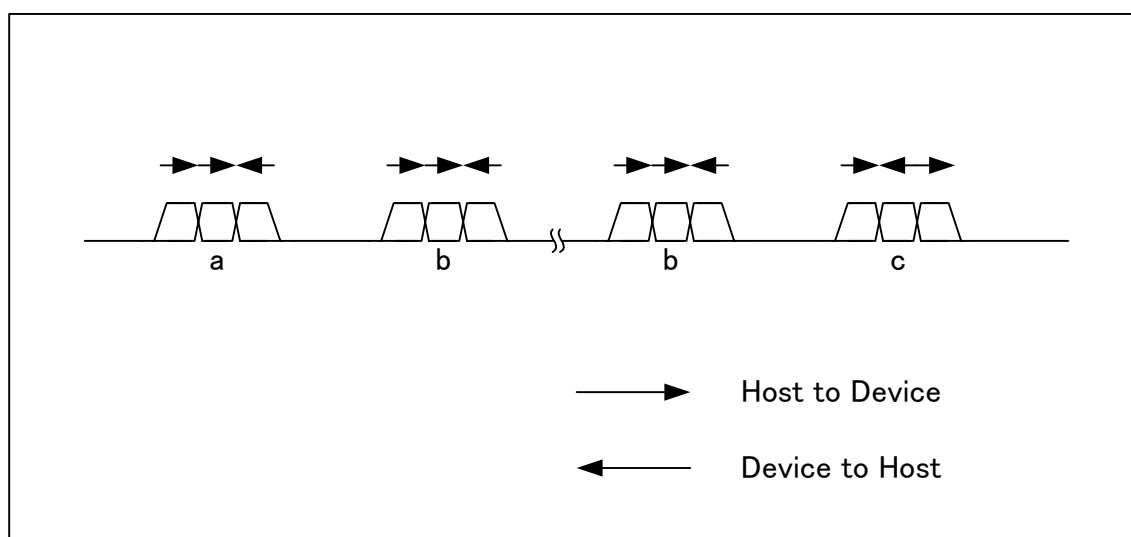


図 6-29 ホスト時のデータステージが OUT 方向のコントロール転送

図 6-30 にホスト時のデータステージがIN方向である場合のコントロール転送の様子を図示します。(a)ホストは、SETUPトランザクションによって、コントロール転送を開始します。(b)ホストはINTトランザクションを発行して、データステージを行います。(c)ホストはOUTトランザクションを発行して、ステータスステージを行います。

6. 機能説明

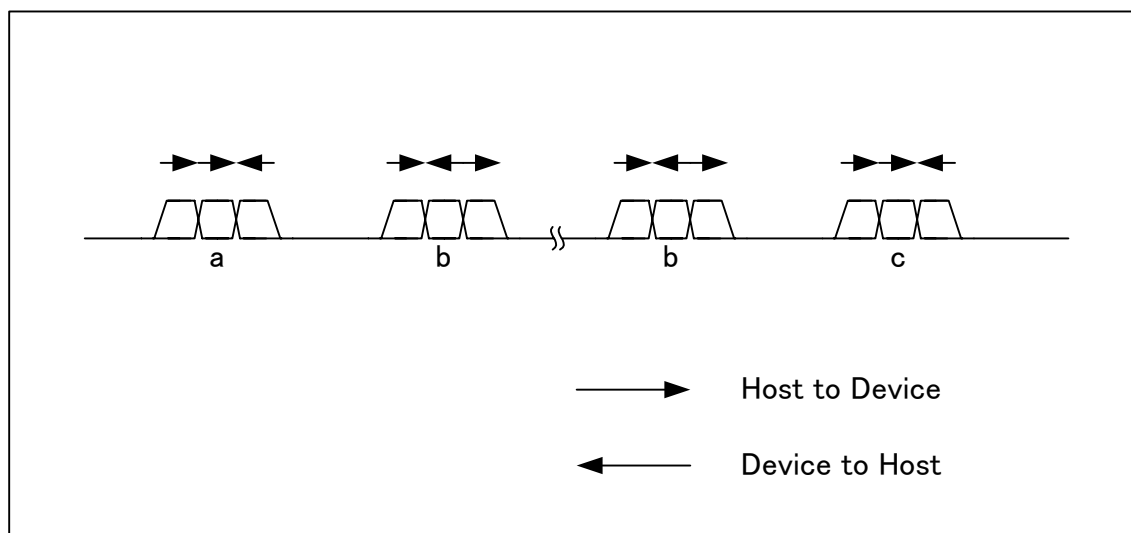


図 6-30 ホスト時のデータステージが IN 方向のコントロール転送

6.3.4.1. セットアップステージ

セットアップステージはセットアップトランザクションによって行います。詳細は機能説明のセットアップトランザクションの項を参照して下さい。

6.3.4.2. データステージ／ステータスステージ

セットアップステージ終了後、次のステージに移行してください。

そのステージが IN 方向である場合、トランザクション種別 (H_CH0Config_1.TID) を IN に設定し、その他の基本設定レジスタを適宜設定して、トランザクションを実行してください。

一方、そのステージが OUT 方向である場合、トランザクション種別 (H_CH0Config_1.TID) を OUT に設定し、その他の基本設定レジスタを適宜設定して、トランザクションを実行してください。

なお、ステータスステージを行う場合、IRP データ数(H CH0TotalSize H.L)を 0 に設定してトランザクションを実行してください。

6.3.4.3. コントロール転送サポート機能

本LSIIにはコントロール転送の一連のステージ管理を自動で行う機能があります。この機能を用いることにより、F/Wでは各ステージを個々のトランザクションとして管理する必要がなくなります。図 6-31 を参照。

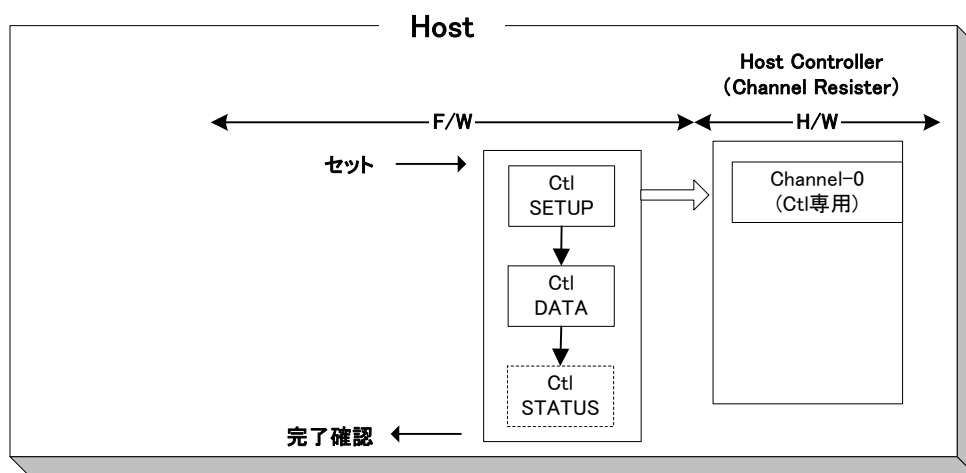


図 6-31 コントロール転送サポート機能の制御

コントロール転送サポート機能はチャンネルCH0にて有効です。この機能を使用した場合のコントロール転送は以下の(1)～(10)のようになります。F/Wは(1)～(4)、(7)の処理を行います。

- (1) チャンネル CH0 の以下の基本設定レジスタに適宜設定を行います。転送速度(H_CH0Config_0.SpeedMode)、マックスパケットサイズ (H_CH0MaxPktSize)、USB アドレス (H_CH0FuncAdrs.FuncAdrs)、エンドポイントナンバー (H_CH0FuncAdrs.EP_Number)、FIFO 領域 (AREA0StartAdrs_H,L, AREA0EndAdrs_H,L)、FIFO 領域ジョイン (AREA0Join_1.JoinEP0CH0)
- (2) セットアップレジスタ(H_CH0SETUP_0~7)にセットアップデータ(8Byte)を書き込みます。

- (3) データステージが OUT 方向の場合は CH0 にジョインした FIFO 領域に送信すべきデータを書き込みます。データステージが IN 方向の場合は CH0 にジョインした FIFO 領域をクリアします。
- (4) コントロール転送サポート実行 (H_CTL_SupportControl.CTL_SupportGo) をセットします。この時、コントロール転送ステージ (H_CTL_SupportControl.CTL_SupportState) の値は Idle (00b) として H_CTL_SupportControl レジスタにライトを行います。
- (5) SETUP レジスタのデータ (8Byte) を用いて SETUP トランザクションを実行します (セットアップステージ)。
- (6) SETUP データに基づき、データステージを実行します。
 - ・ SETUP データの bmRequestType の Bit7 が 0 の場合、FIFO のチャンネル CH0 エリアにあるデータを OUT トランザクションによって送信します (OUT 方向のデータステージ)。
 - ・ SETUP データの bmRequestType の Bit7 が 1 の場合、IN トランザクションを発行し、受信したデータを FIFO のチャンネル CH0 エリアに書き込みます (IN 方向のデータステージ)。
 - ・ データステージは SETUP データの wLength で示されるデータ数に対するトランザクションを行います。
 - ・ データステージが IN 方向の場合は、ショートパケットを受信すると受信したデータのデータサイズが SETUP データの wLength で指定されたサイズ未満であった場合も IN トランザクションの発行を停止します。
 - ・ SETUP データの wLength の値が 0x0000 の場合はデータステージは実行しません。
- (7) CH0 にジョインした FIFO 領域が SETUP データの wLength で示される値より小さい場合、F/W はデータステージのデータを分割して処理する必要があります。
 - ・ データステージが OUT 方向の場合、CH0 にジョインした FIFO 領域に送信するデータが無くなるとトランザクションは発行されなくなります。従って F/W は FIFO の空き領域を確認しながら、順次残りの送信データを FIFO に書き込む必要があります。
 - ・ データステージが IN 方向の場合、CH0 にジョインした FIFO 領域に空き領域が無くなるとトランザクションは発行されなくなります。従って F/W は FIFO の有効データ数を確認しながら順次受信したデータを FIFO から読み出し、FIFO に空き領域を作る必要があります。
- (8) SETUP データに基づき、ステータスステージを実行します。
 - ・ データステージが OUT 方向だった場合、IN トランザクションを発行します (IN 方向のステータスステージ)。
 - ・ データステージが IN 方向だった場合、SETUP データの wLength で示される分のデータを受信するかショートパケットを受信した為にトランザクションが発行されなくなった状態で、CH0 にジョインした FIFO 領域に存在する受信データが全て読み出され FIFO が空になると、ゼロ長パケットの OUT トランザクションを発行します (OUT 方向のステータスステージ)。
- (9) コントロール転送が正常に完了するとコントロール転送サポート実行 (H_CTL_SupportControl.CTL_SupportGo) を自動クリアし、コントロール転送終了ステータス (H_CH0IntStat.CTL_SupportCmp) を発行します。
- (10) コントロール転送の途中でトランザクションのエラーを検出すると、コントロール転送サポート実行 (CTL_SupportControl.CTL_SupportGo) を自動クリアすることでコントロール転送を中止し、コントロール転送停止ステータス (H_CH0IntStat.CTL_SupportStop) を発行します。そして、コントロール転送ステージ (H_CTL_SupportControl.CTL_SupportState) により、エラーが発生したステージを示します。また、コンディションコード (H_CH0ConnditionCode) を適切な値に設定し、ChangeCondition ステータス (H_CH0IntStat.ChangeCondition ビット) を発行します。

コントロール転送を中断する場合は、コントロール転送サポート実行 (H_CTL_SupportControl.CTL_SupportGo) をクリアします。コントロール転送の中断処理が終了するとステータスを発行します。この時、コントロール転送がステータスステージまで完了して中断処理が終了した場合はコントロール転送終了ステータス (H_CH0IntStat.CTL_SupportCmp) を発行します。コントロール転送が完了せずに中断処理が終了した場合はコントロール転送停止ステータス (H_CH0IntStat.CTL_SupportStop) を発行します。コントロール転送の中断したステージはコントロール転送ステージ (H_CTL_SupportControl.CTL_SupportState) により示します。中断したステージよりコントロール転送を再開する場合、コントロール転送ステージ (H_CTL_SupportControl.CTL_SupportState) を再開するステージに設定 (即ち中断したステージに設定を保持) し、コントロール転送サポート実行 (H_CTL_SupportControl.CTL_SupportGo) をセットします。

一方、新たなコントロール転送を行う場合は、コントロール転送ステージ (H_CTL_SupportControl.CTL_SupportState) に Idle (00b) を設定し、コントロール転送サポート実行 (H_CTL_SupportControl.CTL_SupportGo) をセットします。

コントロール転送サポート機能を実行中は、転送実行ビット (H_CH0Config_0.TranGo)、トグルシーケンスビット (H_CH0Config_0.Toggle)、トランザクション種別 (H_CH0Config_1.TID)、IRP データ数 (H_CH0TotalSize_H,L) は H/W により設定および更新しますので、これらに対する書き込みは行わないで下さい。

トランザクションのエラーについては、機能説明の各トランザクションの項を参照して下さい。

コントロール転送サポート機能の設定項目、ステータスを表 6-26 に示します。

表 6-26 コントロール転送サポート機能の制御項目及びステータス

項目	レジスタ/ビット	説明
コントロール転送サポート 実行	H_CTL_SupportControl.CTL_SupportGo	コントロール転送のステージの管理を自動で行います。 詳細については、機能説明のコントロール転送サポート機能の項を参照して下さい。
コントロール転送 ステージ	H_CTL_SupportControl.CTL_SupportState	コントロール転送サポート機能において、実行中のステージを示します。また、コントロール転送がエラーで中止された場合は、エラーが発生したステージを示します。
コントロール転送 実行結果	H_CH0IntStat.CTL_SupportCmp H_CH0IntStat.CTL_SupportStop	コントロール転送サポート機能によるコントロール転送の実行結果を示します。
トランザクション ステータス	H_CH0IntStat.TotalSizeCmp, H_CH0IntStat.TranACK, H_CH0IntStat.TranErr, H_CH0IntStat.ChangeCondition	トランザクションの結果を示します。
トランザクション コンディションコード	H_CH0ConditionCode.ConditionCode	トランザクション結果の詳細を示します。

6.3.5. バルク転送／インタラプト転送

CHaにおけるバルク転送、CHb, CHc, CHd, CHeにおけるバルク転送及びインタラプト転送はデータフロー(6.3.6 参照)としても、連続する個々のトランザクション(6.3.3 参照)としても制御できます。

6.3.6. データフロー

OUT 転送及び IN 転送の一般的なデータフローの制御について、説明します。

6.3.6.1. OUT 転送

H_CH0TotalSize_H,L または CHx{x=a-e}TotalSize_HH,HL,LH,LL に OUT 転送の総データ数を設定し、OUT 転送により送信するデータを、各チャンネルにジョインした FIFO 領域上に書き込んで下さい。FIFO にデータを書き込むには、CPU インタフェイスによるレジスタ書き込み、CPU インタフェイスによる DMA 書き込み方法があります。

CPU インタフェイスのレジスタライトにより、FIFO にデータを書き込むには、各チャンネルのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}Join_0.JoinCPU_Wrビットにてただ一つのチャンネルを選択して下さい。選択したチャンネルの FIFO には、FIFO_Wrレジスタにより書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFO の空き容量を、FIFO_WrRemain_H,L レジスタにより参照できます。フル状態の FIFO へ書き込むことは出来ません。必ず FIFO_WrRemain_H,L レジスタにより空き数を確認し、その数を超えないように書き込んで下さい。

CPU インタフェイスの DMA ライトにより、FIFO にデータを書き込むには、各チャンネルのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}Join_0.JoinDMA ビットにてただ一つのエンドポイントを選択し、DMA_Control.Dir ビットに 0 を設定して下さい。選択したエンドポイントの FIFO は、CPU インタフェイスにおいて DMA の手順を実行することにより、書き込まれ、書き込み順にデータパケットで送信されます。FIFO がフルになると、CPU インタフェイスは自動的に DMA を一時停止してフロー制御を行います。

OUT トランザクションで送信するデータパケットのサイズは、H_CH0TotalSize_H,L または H_CHx{x=a-e}TotalSize_HH,HL,LH,LL と H_CHx{x=0,a-e}MaxPktSize_H,L の値のうち小さい方となります。

FIFO にデータパケットのデータサイズ以上のデータが有れば、OUT トランザクションを実行し、データを送信します。また、H_CH0TotalSize_H,L または H_CHx{x=a-e}TotalSize_HH,HL,LH,LL は送信したデータサイズ分減算されます。そして、TotalSize がゼロになると、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了し、F/W に対し、TotalSizeCmp ステータス(H_CHx{x=0,a-e}IntStat.TotalSizeCmp ビット)を発行します。

このように、F/W によって個々のトランザクションについての制御を行うことなく、OUT 転送を行うことが出来ます。

6.3.6.2. IN 転送

H_CH0TotalSize_H,L または CHx{x=a-e}TotalSize_HH,HL,LH,LL に IN 転送の総データ数を設定して下さい。

IN トランザクションで受信するデータパケットの期待サイズは H_CH0TotalSize_H,L または H_CHx{x=a-e}TotalSize_HH,HL,LH,LL と H_CHx{x=0,a-e}MaxPktSize_H,L の値のうち小さい方となります。FIFO にマックスパケットサイズ以上の空き領域が有れば、IN トランザクション実行して、データを受信します。また、H_CH0TotalSize_H,L または H_CHx{x=0,a-e}TotalSize_HH,HL,LH,LL は受信したデータサイズ分減算されます。そして、TotalSize がゼロになると、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了し、F/W に対し、TotalSizeCmp ステータス(H_CHx{x=0,a-e}IntStat.TotalSizeCmp ビット)を発行します。

受信したデータパケットのサイズがデータパケットの期待サイズより大きい場合、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了します。応答は行いません。また、コンディションコード H_CHx{x=0,a-e}ConnditionCode)を DataOverrun に設定します。そして、F/W に対し、ChangeCondition ステータス(H_CHx{x=0,a-e}IntStat.ChangeCondition ビット)を発行します。FIFO は更新しません。

受信したデータパケットのサイズがデータパケットの期待サイズ未満であれば、H_CHx{x=0,a-e}Config_0.TranGo を自動クリアすることで転送を終了し、コンディションコード(H_CHx{x=0,a-e}ConnditionCode)を DataUnderrun に設定します。そして F/W に対し、ChangeCondition ステータス(H_CHx{x=0,a-e}IntStat.ChangeCondition ビット)を発行します。また、FIFO を更新して、データを受信済みとして領域を確保します。

このように、F/W によって個々のトランザクションについての制御を行うことなく、IN 転送を行うことが出来ます。

IN 転送によって受信したデータは、各チャンネルのジョインした FIFO 領域上に書き込まれます。FIFO のデータを読み出すには、CPU インタフェイスによるレジスタ読み出し、CPU インタフェイスによる DMA 読み出しがあります。

CPU インタフェイスのレジスタリードにより、FIFO のデータを読み出すには、各チャンネルのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}Join_0.JoinCPU_Rdビットにてただ一つのチャンネルを選択して下さい。選択したチャンネルの FIFO は、FIFO_Rdレジスタ、または、FIFO_ByteRd レジスタにより、受信順に読み出すことが出来ます。また、読み出し可能な FIFO のデータ数を、FIFO_RdRemain_H,L レジスタにより参照できます。空の FIFO を読み出すことはできませんので、必ず FIFO_RdRemain_H,L レジスタによりデータ数を確認し、その数を超えないように読み出して下さい。

CPU インタフェイスの DMA リードにより、FIFO のデータを読み出すには、各チャンネルのジョインした FIFO 領域と同一のエリアに AREAn{n=0-5}Join_0.JoinDMA ビットにてただ一つのエンドポイントを選択し、DMA_Control.Dir ビットに 1 を設定して下さい。選択したエンドポイントの FIFO は、CPU インタフェイスにおいて DMA 手順を実行することにより、受信順に読み出されます。また、FIFO の残りデータ数を、DMA_Remain_H,L レジスタで参照できます。FIFO が空になると、CPU インタフェイスは自動的に DMA を一時停止してフロー制御を行います。

6.3.7. ゼロ長パケット自動発行機能

OUT 転送を行うチャンネルにおいて、H_CHx{x=a-e}Config_1.AutoZeroLen ビットをセットすることにより、ゼロ長パケットを自動で発行する機能が有効になります。

6. 機能説明

ゼロ長パケット自動発行機能の設定項目を表 6-27 に示します。

表 6-27 ゼロ長パケット自動発行機能の制御項目

項目	レジスタ/ビット	説明
ゼロ長パケット 自動発行	H_CHx{x=a-e}Config_1.AutoZeroLen	ゼロ長パケットの自動発行機能を有効にします。OUT 転送の場合のみこのビットは有効です。

6.3.7.1. バルク／インタラプト OUT 転送のゼロ長パケット自動発行機能

バルク／インタラプト OUT 転送を実行しているチャンネルにおいて、H_CHx{x=a-e}TotalSize_HH,HL,LH,LL レジスタで設定したデータサイズの転送の最後のトランザクションのデータサイズがマックスパケットサイズに等しい場合、H_CHx{x=a-e}Config_0.TranGo の自動クリアは行いません。そして、再びこのチャンネルがスケジューリングされると OUT トランザクションをゼロ長パケットで実行します。このトランザクションが正常に完結すると、H_CHx{x=a-e}Config_0.TranGo を自動クリアすることで転送を終了し、F/W に対し、TotalSizeCmp ステータス (H_CHx{x=a-e}IntStat.TotalSizeCmp)を発行します。

6.3.8. バルクオンリーサポート機能

本LSIIには、USB Mass Storage Class(BulkOnly Transport Protocol)のコマンドトランスポート(CBW)、データトランスポート、ステータストランスポート(CSW)の一連のトランスポート管理を自動で行う機能があります。この機能を用いることにより、F/Wは各トランスポートの制御を個別に行う必要がなくなります。バルクオンリーサポート機能を用いた場合の制御の例、使用せずに各トランスポートを個別のトランザクションとして制御した場合の例を以下の 図 6-32 と 図 6-33 に図示します。

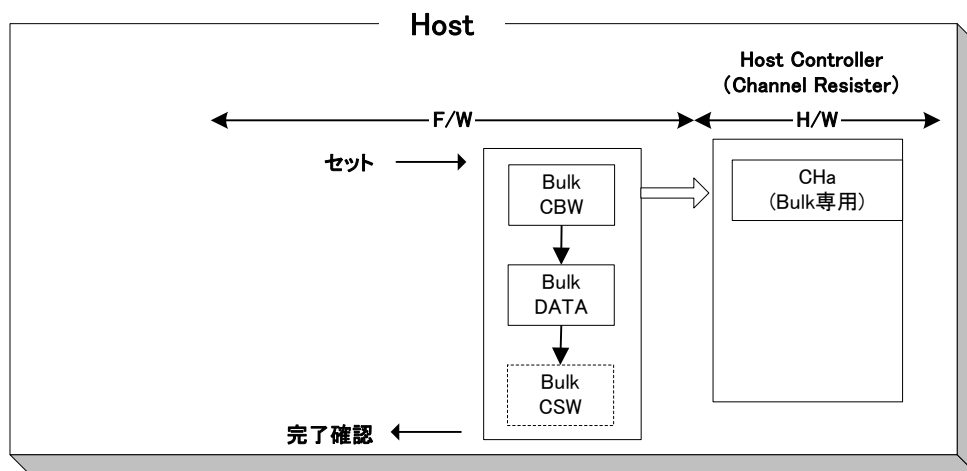


図 6-32 バルクオンリーサポート機能の制御

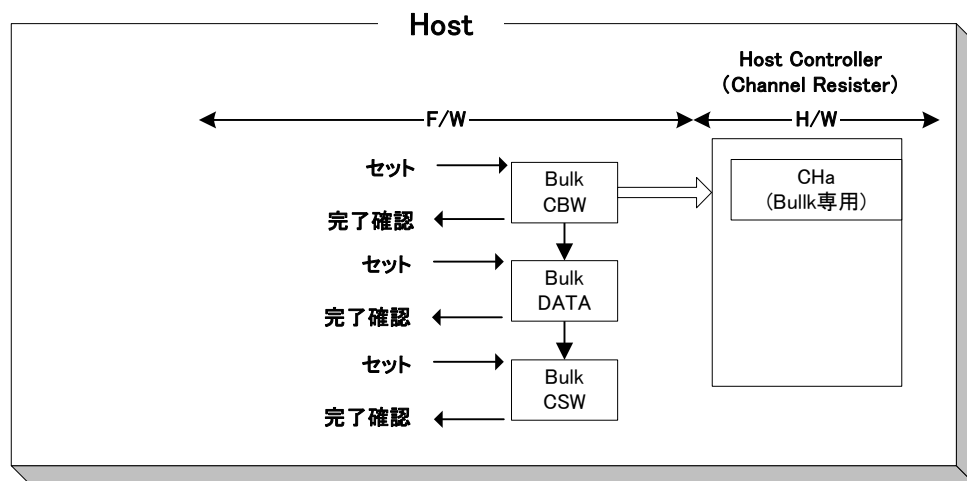


図 6-33 バルクオンリーサポート機能を使用しない場合の制御(参考)

バルクオンリーサポート機能はチャンネル CHa にて有効です。この機能を使用した場合のトランスポートの処理は以下の(1)～(11)のようになります。F/W は(1)～(5)の処理を行います。

- (1) チャンネル CHa の以下の基本設定レジスタに適宜設定を行います。

転送速度 (H_CHaConfig_0.SpeedMode)、マックス パケット サイズ (H_CHaMaxPktSize)、USB アドレス (H_CHaFuncAdrs.FuncAdrs)、FIFO 領域 (AREA1StartAdrs_H,L、AREA1EndAdrs_H,L)、FIFO 領域 ジョイン (AREA1Join_1.JoinEPaCh)

- (2) バルクオンリーサポート機能の以下の制御レジスタに適宜設定を行います。

OUT エンドポイントトグルシーケンス (H_CHaBO_OUT_EP_Ctl.OUT_Toggle)、OUT エンドポイントナンバー (H_CHaBO_OUT_EP_Ctl.OUT_EP_Number)、IN エンドポイントトグルシーケンス (H_CHaBO_IN_EP_Ctl.IN_Toggle)、IN エンドポイントナンバー (H_CHaBO_IN_EP_Ctl.IN_EP_Number)

- (3) FIFO の CBW エリアに CBW データ(31Byte)を書き込みます。

- (4) CHa にジョインした FIFO 領域に DMA の設定を行います。

- (5) バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo)をセットします。

この時、トランスポート状態 (H_CHaBO_SupportCtl. BO_TransportState)の値は Idle (00b)として H_CHaBO_SupportCtl レジスタにライトを行います。

- (6) CBW エリアのデータ(31Byte)を、OUT エンドポイントナンバー (H_CHaBO_OUT_EP_Ctl.OUT_EP_Number)で示される OUT 方向のエンドポイントに対して、バルク OUT トランザクションによって送信します (コマンドトランスポート)。

- (7) CBW データに基づき、データトランスポートを実行します。

・ CBW データの bmCBWFlags の Bit7 が 0 の場合、CHa にジョインした FIFO 領域にあるデータを、OUT エンドポイントナンバー (H_CHaBO_OUT_EP_Ctl.OUT_EP_Number)で示される OUT 方向のエンドポイントに対して、バルク OUT トランザク

6. 機能説明

ションによって送信します (OUT 方向のデータトランスポート)。

- CBW データの bmCBWFlags の Bit7 が 1 の場合、IN エンドポイントナンバー (H_CHaBO_IN_EP_Ctl.IN_EP_Number) で示される IN 方向のエンドポイントに対して、バルク IN トランザクションを発行し、受信したデータを CHa にジョインした FIFO 領域に書き込みます (IN 方向のデータトランスポート)。
- データトランスポートは CBW データの dCBWDataTransferLength で示されるデータ数に対してトランザクションを行います。
- データトランスポートが IN 方向の場合は、ショートパケットを受信すると受信したデータのデータサイズが CBW データの dCBWDataTransferLength で指定されたサイズ未満であった場合も IN トランザクションの発行を停止します。
- CBW データの dCBWDataTransferLength の値が 0x00000000 の場合はデータトランスポートは実行しません。

(8) IN エンドポイントナンバー (H_CHaBO_IN_EP_Ctl.IN_EP_Number) で示される IN 方向のエンドポイントに対して、バルク IN トランザクションを発行し、受信したデータを FIFO の CSW0 エリアに書き込みます (ステータストランスポート)。ステータストランスポートにおいて受信したデータ数はステータストランスポート受信データ数 (H_CHaBO_CSW_RcvSize.CSW_RcvDataSize) に反映します。

- データトランスポートが OUT 方向だった場合、データトランスポート終了後直ちにステータストランスポートを実行する状態になります。
- データトランスポートが IN 方向だった場合、CBW データの wCBWDataTransferLength で示される分のデータを受信するかショートパケットを受信した為にトランザクションが発行されなくなった状態で、CHa にジョインした FIFO 領域に存在する受信データが全て読み出され FIFO が空になると、ステータストランスポートを実行する状態になります。

(9) ステータストランスポートで受信した CSW データをチェックします。チェック内容は以下の通りです。

- 受信した CSW のデータ長が 13Byte であること。
- CSW の dCSWSignature が 0x53425355 であること。
- CSW の dCSWTag が CBW の dCBWTag と一致すること。
- BCSWStatus の値が 0x00 であること。

以上を一つでも満たさない場合、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) を自動クリアし、バルクオンリーサポート機能を停止します。またバルクオンリーサポート停止ステータス (H_CHaIntStat.BO_SupportStop) を発行します。CSW エリアに受信したデータは、RAM_Monitor 機能を用いて読み出すことができます。

(10) ステータストランスポートが正しく完結すると、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) を自動クリアし、バルクオンリーサポート終了ステータス (H_CHaIntStat.BO_SupportCmp) を発行します。

(11) それぞれのトランスポートにおいて、トランザクションのエラーを検出すると、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) を自動クリアすることでバルクオンリーサポート機能を停止し、バルクオンリーサポート停止ステータス (H_CHaIntStat.BO_SupportStop) を発行します。そして、トランスポート状態 (H_CHaBO_SupportCtl.BO_TransportState) により、エラーが発生したトランスポートを示します。また、コンディションコード (H_CHaConnditionCode) を適切な値に設定し、ChangeCondition ステータス (H_CHaIntStat.ChangeCondition ビット) を発行します。

バルクオンリーサポート機能を中断する場合は、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) をクリアします。バルクオンリーサポート機能の中断処理が終了するとステータスを発行します。この時、トランスポートがステータストランスポートまで完了して中断処理が終了した場合はバルクオンリーサポート完了ステータス (H_CHaIntStat.BO_SupportCmp) を発行します。トランスポートがステータストランスポートまで完了せずに中断処理が終了した場合はバルクオンリーサポート停止ステータス (H_CHaIntStat.BO_SupportStop) を発行します。中断したトランスポートはトランスポート状態 (H_CHaBO_SupportCtl.BO_TransportState) に示します。中断したトランスポートよりバルクオンリーサポート機能を再開する場合、トランスポート状態 (H_CHaBO_SupportCtl.BO_TransportState) を再開するトランスポートに設定 (即ち中断したトランスポートに設定を保持) し、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) をセットします。

一方、新たにバルクオンリーサポート機能を実行する場合は、トランスポート状態 (H_CHaBO_SupportCtl.BO_TransportState) に Idle (00b) を設定し、バルクオンリーサポート実行 (H_CHaBO_SupportCtl.BO_SupportGo) をセットします。

バルクオンリーサポート機能実行中は、転送実行ビット (H_CHaConfig_0.TranGo)、トグルシーケンスビット (H_CHaConfig_0.Toggle)、トランザクション種別 (H_CHaConfig_1.TID)、トータルサイズフリービット (H_CHaConfig_1.TotalSizeFree)、エンドポイント番号 (H_CHaFuncAdrs.EP_Number)、IRP データ数 (H_CHaTotalSize_HH,HL,LH,LL) は H/W により設定及び更新されていきますので、これらに対する書き込みは行わないで下さい。

トランザクションのエラーについては、機能説明の各トランザクションの項を参照して下さい。

FIFO の CBW エリア、CSW エリアについては、機能説明の FIFO の項を参照して下さい。

DMA については、機能説明の DMA の項を参照して下さい。

バルクオンリーサポート機能の設定項目、ステータスを表 6-28 に示します。

表 6-28 バルクオンリーサポート機能の設定項目、ステータス

項目	レジスタ/ビット	説明
バルクオンリーサポート実行	H_CHaBO_SupportCtl.BO_SupportGo	バルクオンリーサポート機能を実行します。 詳細については、機能説明のバルクオンリーサポート機能の項を参照して下さい。
OUT エンドポイントトグルシーケンス	H_CHaBO_OUT_EP_Ctl.OUT_Toggle	OUT エンドポイントのトグルシーケンスビットの初期値を設定します。また、トランザクション実行中、およびトランザクション完了後はOUTエンドポイントのトグルシーケンスビットの状態を示します。
OUT エンドポイントナンバー	H_CHaBO_OUT_EP_Ctl.OUT_EP_Number	OUT エンドポイントのエンドポイントナンバーを 0x0～0xF の間の任意の値に設定します。
IN エンドポイントトグルシーケンス	H_CHaBO_IN_EP_Ctl.IN_Toggle	IN エンドポイントのトグルシーケンスビットの初期値を設定します。また、トランザクション実行中、およびトランザクション完了後はIN エンドポイントのトグルシーケンスビットの状態を示します。
IN エンドポイントナンバー	H_CHaBO_IN_EP_Ctl.IN_EP_Number	IN エンドポイントのエンドポイントナンバーを 0x0～0xF の間の任意の値に設定します。
バルクオンリーサポート実行結果	H_CHaIntStat.BO_SupportCmp H_CHaIntStat.BO_SupportStop	バルクオンリーサポートの実行結果を示します。
トランザクションステータス	H_CHaIntStat.TotalSizeCmp, H_CHaIntStat.TranACK, H_CHaIntStat.TranErr, H_CHaIntStat.ChangeCondition	トランザクションの結果を示します。
トランザクションコンディションコード	H_CHaConditionCode	トランザクション結果の詳細を示します。
トランスポート状態	H_CHaBO_SupportCtl.BO_TransportState	バルクオンリーサポート機能の実行において、実行中のトランスポートを示します。また、トランスポートがエラーで中止された場合は、エラーが発生したトランスポートを示します。
ステータストランスポート受信データ数	H_CHaBO_CSW_RcvSize	ステータストランスポートでの受信データ数を示します。

6. 機能説明

6.3.9. ホスト状態管理サポート機能

6.3.9.1. ホストステート

ホストでは、上位からの要求およびバスの状態によりステートを遷移させる必要があります。そのため、ステート管理は F/W が行います。H/W は各ステートにおける各種設定およびネゴシエーションをサポートします。
ホストステートの遷移図を図 6-34 に、ホストステート管理サポート機能の設定項目およびステータスを表 6-29 に示します。

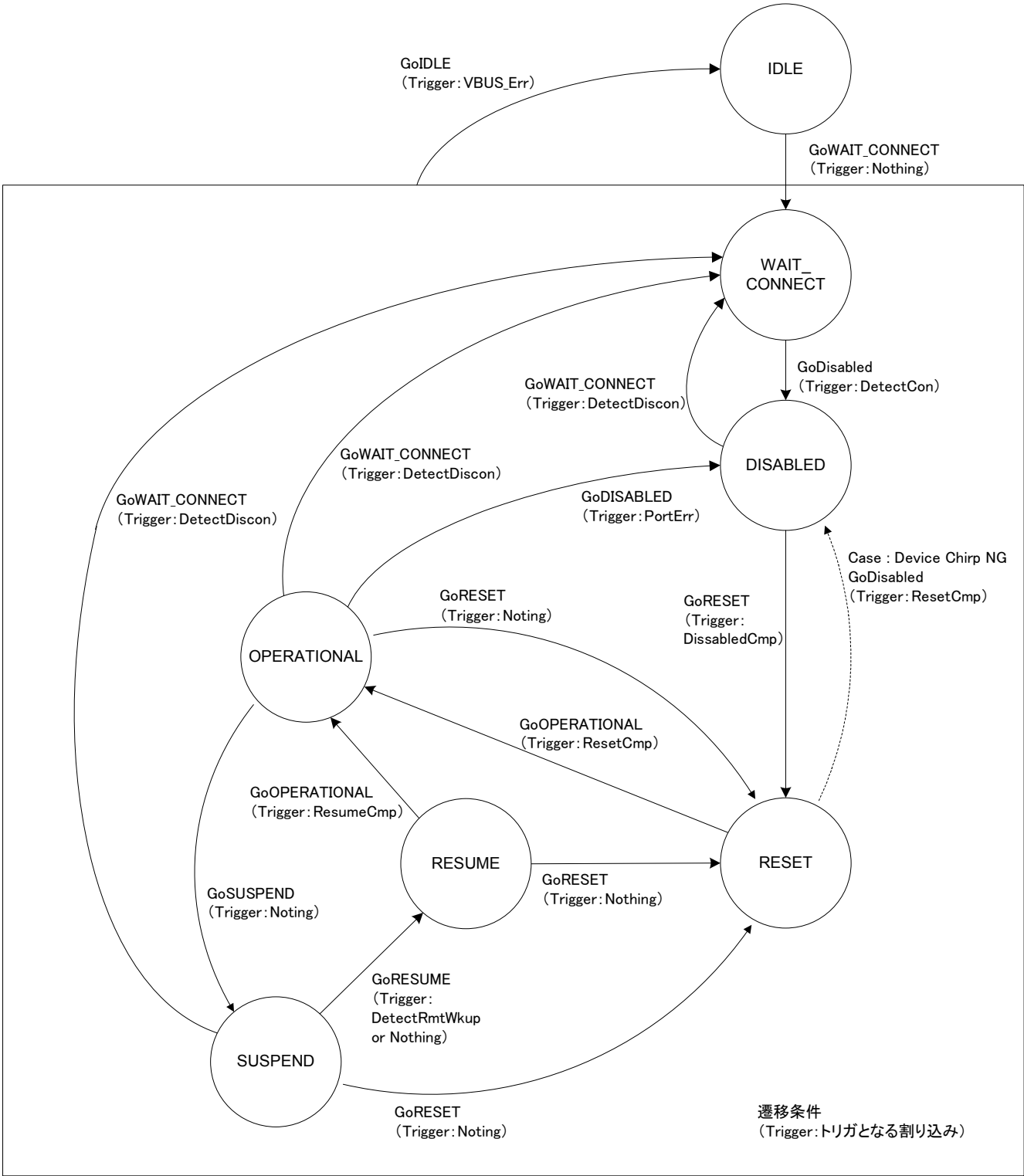


図 6-34 ホストステート遷移図

表 6-29 ホストステート管理サポート機能の設定項目およびステータス

項目	レジスタ/ビット	説明
ホストステート遷移実行	H_NegoControl_0. AutoMode	遷移させるホストステートを設定します。設定は以下のいずれかの項目になります。 GoIDLE GoWAIT_CONNECT GoDISABLED GoRESET GoOPERATIONAL GoSUSPEND GoRESUME GoWAIT_CONNECTtoDIS GoWAIT_CONNECTtoOP GoRESETtoOP GoRESUMetoOP GoSUSPENDtoOP
ホストステート遷移実行キャンセル	H_NegoControl_0. AutoModeCancel	現ホストステートでの処理を停止し、その状態で留まります。
ホストステートモニタ	H_NegoControl_0. HostState	現在のホストステート(下記)を示します。 IDLE WAIT_CONNECT DISABLED RESET OPERATIONAL SUSPEND RESUME
VBUS ステートモニタ	H_USB_Status. VBUS_State	VBUS の状態(正常/異常)を示します。
リモート・ウェークアップ受付許可	H_NegoControl_1. RmtWkupDetEnb	リモート・ウェークアップ受付を許可します。
チャープ完了ディセーブル	H_NegoControl_1.DisChirpFinish	デバイス Chirp が規定時間に完了しないときの動作モードを設定します。
VBUS 異常検出ステータス	H_SIE_IntStat_0. VBUS_Err	VBUS に異常が発生したことを示します。
接続検出ステータス	H_SIE_IntStat_0. DetectCon	ダウンストリームポートにデバイスが接続されたことを示します。
切断検出ステータス	H_SIE_IntStat_0. DetectDisCon	ダウンストリームポートからデバイスが切断されたことを示します。
リモート・ウェークアップ検出ステータス	H_SIE_IntStat_0. DetectRmtWkup	デバイスからのリモート・ウェークアップ信号を検出したことを示します。
デバイスチャープ正常検出ステータス	H_SIE_IntStat_0. DetectDevChirpOK	デバイスからのチャープ信号が正常であったことを示します。
デバイスチャープ異常検出ステータス	H_SIE_IntStat_0. DetectDevChirpNG	デバイスからのチャープ信号が異常であったことを示します。
リセット完了ステータス	H_SIE_IntStat_1. ResetCmp	USBリセットが正常に完了したことを示します。
サスペンド遷移完了ステータス	H_SIE_IntStat_1. SuspendCmp	サスペンドへの遷移が完了したことを示します。
レジューム完了ステータス	H_SIE_IntStat_1. ResumeCmp	レジュームが正常に完了したことを示します。
ポートスピード	H_NegoControl_1. PortSpeed	ダウンストリームポートの動作速度(HS/FS/LS)を示します。ポートに接続されたデバイスの動作
ラインステート	H_USB_Status. LineState	USBケーブル上の信号状態を示します。
トランシーバ選択	H_XcvrControl. XcvrSelect	HS/FS/LSのいずれかのトランシーバを選択して有効にします。
ターミナル選択	H_XcvrControl. TermSelect	HS/FSのいずれかのターミナルを選択して有効にします。
オペレーションモード	H_XcvrControl. OpMode	HTMのオペレーションモードを設定します。

6.3.9.1.1. IDLE

USB ホスト機能を初期化するステートで、ホスト機能をイネーブルとしたときのデフォルトステートです。

本ステート以外のステートにおいて、VBUS_Err を検出した時に、本ステートに遷移させる必要があります。

遷移を実行させるためには、H_NegoControl_0 レジスタに 0x80 (H_NegoControl_0. AutoModeCancel に 1、かつ H_NegoControl_0. AutoMode に 0x0) をライトして実行中ステートの動作を停止させます。H_NegoControl_0. AutoModeCancel ビットは停止処理が完了することで 0 になります (60MHz クロックで 6 サイクル程度必要) ので、H_NegoControl_0. AutoModeCancel ビットが 0 になるのを確認してから、同レジスタに 0x01 をライト (すなわちホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoIDLE を設定してください。そうすることで本ステートに入ります。

本ステートでは、以下の設定を自動的に実行します。

- ・ USB ホストのトランザクション実行機能を即時停止する。
- ・ ポートを FS モードにして NonDriving とする。
- ・ VBUSEN をオフする。
- ・ 接続検出、切断検出、リモート・ウェークアップ検出、デバイスチャープ検出の全検出機能をオフする。

6.3.9.1.2. WAIT_CONNECT

ダウンストリームポートにデバイスが接続されるのを待つステートです。

IDLE ステートにおいては上位からの要求により、OPERATIONAL および RESET の各ステートでデバイスの切断を検出した時は、一旦、本ステートに入り、相手の接続を待つ必要があります。

ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoWAIT_CONNECT を設定した時に、本ステートに入ります。

本ステートでは、まず以下の設定を自動的に実行します。

- ・ USB ホストのトランザクション実行機能を即時停止する。
- ・ ポートを FS モードにして PowerDown とする。
- ・ VBUSEN をオンする。
- ・ 接続検出、切断検出、リモート・ウェークアップ検出、デバイスチャープ検出の全検出機能をオフする。

次に、バスパワーデバイスの内部電源安定時間を待って、接続検出機能を自動的にオンにし、デバイスの接続を待ちます。このとき、VBUSEN をオンしてからデバイスの接続検出までの時間は、H/W では管理しておりません。この時間は、必要に応じて F/W にて管理してください。FS または HS デバイスが接続された場合、ラインステートが "J" として参照できます。一方、LS デバイスが接続された場合、ラインステートが "K" として参照できます。このいずれかの状態が 2.5us 以上継続されることでデバイスの接続を検出し、LS デバイスの接続を検出した場合には、ポートを LS モードにします。接続が検出されると、切断検出機能を自動的にオンします。

その後、デバウンスインターバル期間に切断が検出されない場合、F/W に対して接続検出ステータス (H_SIE_IntStat_0. DetectCon) を発行し、接続検出機能および切断検出機能を自動的にオフします。一方、切断が検出された場合、切断検出機能を自動的にオフし、自動的に接続検出からやり直します。

6.3.9.1.3. DISABLED

ダウンストリームポートにデバイスが接続された状態で、バス上での信号送受信を行わないステートです。

WAIT_CONNECT ステートで接続を検出した時、RESET ステートで異常なデバイスからの Chirp を検出した時、OPERATIONAL ステートでポートエラーを検出した時は、本ステートに入ります。

ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoDISABLED を設定した時に、本ステートに入ります。

本ステートでは、まず以下の設定を自動的に実行します。

- ・ 現トランザクションの完了を待って、USB ホストのトランザクション実行機能を停止する。
- ・ 本ステートに入る際に、HS モードであった場合はポートを FS モードにし、FS または LS モードの場合はポートは入る際のモードを持続する。
- ・ ポートを PowerDown とする。

次に、切断検出ディセーブル期間完了後に、以下の処理を自動的に実行します。

- ・ 切断検出機能をオンする。
- ・ ディセーブルド遷移完了ステータス (H_SIE_IntStat_1. DisabledCmp) を発行する。

6.3.9.1.4. RESET

ダウンストリームポートに USB リセットを発行するステートです。

DISABLED ステートでディセーブルド遷移完了ステータスが発行された時は、本ステートに入り USB リセットを発行します。

また、上位から要求があった場合には、USB のいかなるステート (OPERATIONAL, SUSPEND, RESUME) からでも、本ステートに遷移することができます。

ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoRESET を設定した時に、本ステートに入ります。

本ステートでは、まず以下の設定を自動的に実行します。

- ・ 現トランザクションの完了を待って、USB ホストのトランザクション実行機能を停止する。
- ・ ポートを HS モードにして NormalOperation とする (USB ケーブル上の信号にリセット信号 SE0 をドライブします)。
- ・ 接続検出、切断検出およびリモート・ウェークアップ検出機能をオフする。

- ・ デバイスチャープ検出機能をオンする。

デバイスからの Chirp はダウンストリームポートでの"HS K"により検出します。ラインステートがKとして 2.5us 以上継続することにより検出され、USB リセットの発行から規定時間以内に終了された場合に正常な Chirp として検出します。また、規定時間以内に終了されない場合には、異常な Chirp として検出します。

検出結果により以下の処理を自動的に行います。

(1) 正常なデバイスからの Chirp を検出した場合

デバイスからの Chirp 完了に伴い、ホストより"HS K"(Chirp K)、“HS J”(Chirp J)を交互に連続して送出します。ホストが Chirp の送出を完了した時点で、F/W に対し、リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します。

ポートは HS モードのままです。

(2) 異常なデバイスからの Chirp を検出した場合

規定時間を過ぎた時点で、F/Wに対し、デバイスチャープ異常検出ステータス(H_SIE_IntStat_0. DetectDevChirpNG)を発行します。その後の動作は、チャープ完了ディセーブル(H_NegoControl_1.DisChirpFinish)の設定により2つの動作モードが選択できます。詳細は異常なデバイスのチャープ検出項(6.3.9.3.4.2)を参照してください。

(3) デバイスからの Chirp を検出せず、接続相手が FS の場合

規定時間の USB リセットを発行した後、ポートを FS モードにします。

F/W に対し、リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します。

(4) 接続相手が LS の場合

規定時間の USB リセットを発行した後、ポートを LS モードにします。

F/W に対し、リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します。

6.3.9.1.5. OPERATIONAL

USB のトランザクションを実行するステートです。

RESET または RESUME の完了後、本ステートに入りトランザクションを実行します。

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoOPERATIONAL を設定した時に、本ステートに入ります。

本ステートでは、以下の設定を自動的に実行します。

- ・ ポートを NormalOperation とする。
- ・ USB ホストのトランザクション実行機能をイネーブルにする。
- ・ 切断検出機能をオンする。

6.3.9.1.6. SUSPEND

USB をサスペンドにするステートです。

USB のバスの使用を停止させるときに、OPERATIONAL から本ステートに遷移させます。

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPEND を設定した時に、本ステートに入ります。

本ステートでは、まず以下の設定を自動的に実行します。

- ・ 切断検出機能およびリモート・ウェークアップ検出機能をオフする。
- ・ 現トランザクションの完了を待って、USB ホストのトランザクション実行機能を停止する。
- ・ ポートが HS モードであった場合、FS モードに設定する。一方、FS モードまたは LS モードであった場合は、そのモードを維持する。
- ・ ポートを PowerDown とする。

次に、切断およびリモート・ウェークアップ検出ディセーブル期間完了後に、以下の処理を自動的に実行します。

- ・ 切断検出機能をオンする。
- ・ リモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)がイネーブルの場合、リモート・ウェークアップ検出機能をオンする。
- ・ サスペンド遷移完了ステータス(H_SIE_IntStat_1. SuspendCmp)を発行する。

さらに、リモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)がイネーブルの場合、リモート・ウェークアップ信号(2.5us 以上の"K"の継続)を検出することで、F/W に対し、リモート・ウェークアップ検出ステータス(H_SIE_IntStat_0. DetectRmtWkup)を発行します。

6.3.9.1.7. RESUME

ダウンストリームポートに USB レジューム信号を発行するステートです。

USB デバイスをサスペンド状態から復帰させるために、SUSPEND から本ステートに遷移させます。

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESUME を設定した時に、本ステートに入ります。

本ステートでは、切断およびリモート・ウェークアップ検出機能を自動的にオフします。そして、規定時間のレジューム信号(K)を発行します。レジューム信号の発行完了時に、ポートを SUSPEND に入る前のモード設定に戻し、NormalOperation とします。また、F/W に対し、レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します。

6. 機能説明

6.3.9.2. 検出機能

6.3.9.2.1. VBUS 異常検出

VBUSFLG 入力端子のレベル変化(H→L)により VBUS の異常を検出します。VBUS 異常を検出した場合の実行手順は以下のとおりです。下記(2)は本 LSI の H/W が自動的に実行します。

(1) VBUSFLG(外付け USB パワースイッチのエラー発生フラグ)入力端子が L(エラー発生)になります(T0)。

(2) F/W に対し、VBUS 異常検出ステータス(USB_HostIntStat. VBUS_Err)を発行します(T0)。

なお、ホストは VBUS の異常を検出すると、直ちに VBUS をオフする必要があります。そのため、F/W は、VBUS 異常検出ステータスを認識したら、H_NegoControl_0 レジスタに 0x80 (H_NegoControl_0. AutoModeCancel に 1、かつ H_NegoControl_0. AutoMode に 0x0)をライトして実行中ステートの動作を停止させます。H_NegoControl_0. AutoModeCancel ビットは停止処理が完了することで 0 になります(60MHz クロックで 6 サイクル程度必要)ので、H_NegoControl_0. AutoModeCancel ビットが 0 になるのを確認してから、同レジスタに 0x01 をライト(すなわちホストステート遷移実行(H_NegoControl_0. AutoMode)に GoIDLE を設定)してください。それにより IDLE ステートに遷移し、VBUSEN 端子論理がディセーブルとなり、VBUS をオフすることができます。

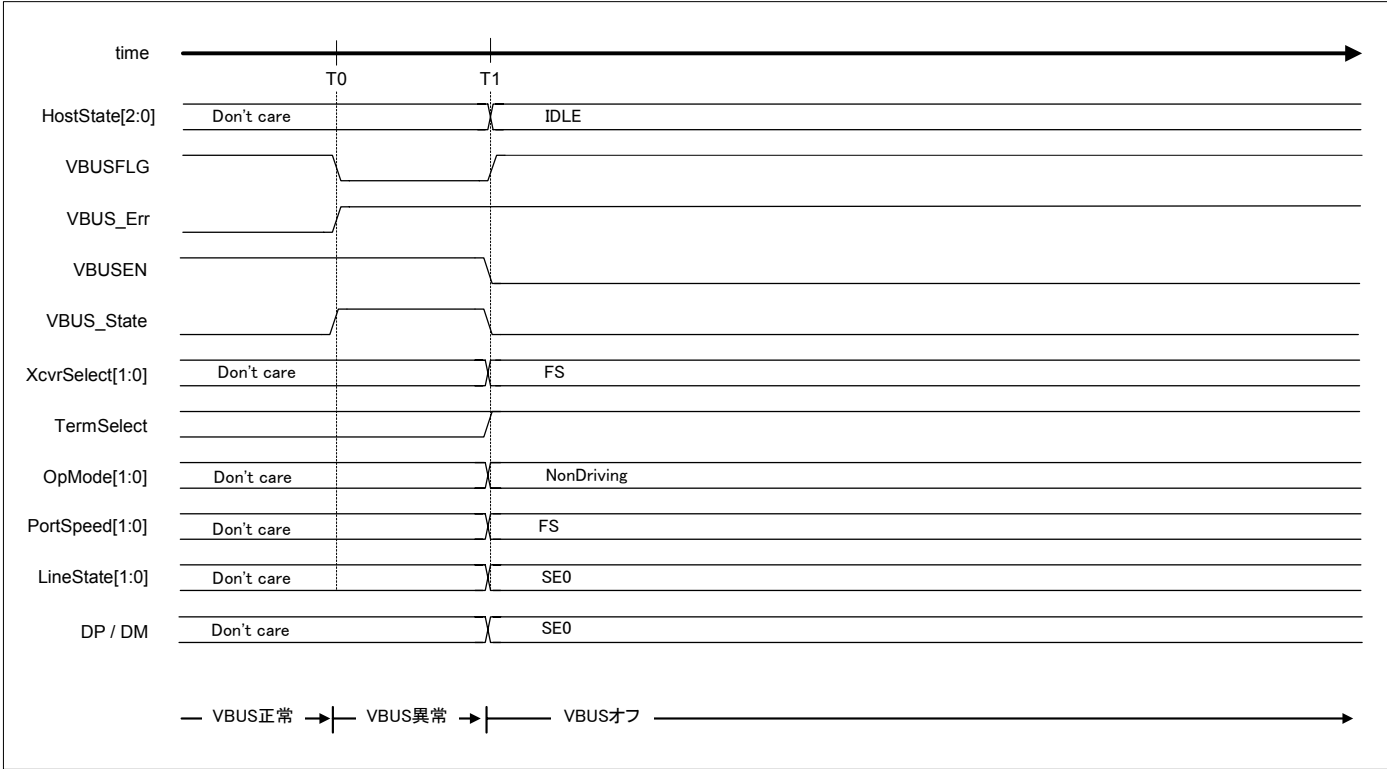


図 6-35 VBUS 異常検出 Timing

表 6-30 VBUS 異常検出 Timing Values

Timing Parameter	Description	Value
T0	VBUSFLG(外付け USB パワースイッチのエラー発生フラグ)入力端子が L(エラー)になる。 VBUS 異常検出ステータス(USB_HostIntStat. VBUS_Err)を発行する。 (H/W)	0 (reference)
T1(参考)	H_NegoControl_0 に 0x80 をライト後、0x01 をライトして IDLE ステートに遷移させる。(F/W)	T1

6.3.9.2.2. 切断検出

デバイスの切断検出を DISABLED、OPERATIONAL、SUSPEND の各ステートにおいて行います。

切断が検出された時、VBUS をオフせず、接続検出からやり直す場合にはホストステートを WAIT_CONNECT に遷移させてください。一方、VBUS をオフする場合にはホストステートを IDLE に遷移させてください。

6.3.9.2.2.1. HS デバイスが切断された場合

HS デバイスの切断は、OPERATIONAL ステートにて検出します。

HS デバイスが切断された場合の実行手順は以下のとおりです。下記(2)～(3)は本 LSI の H/W が自動的に実行します。

- (1) デバイスが切断されます(T0)。
- (2) uSOF(HS_SOF) の EOP 期間において切断検出を行い、3 回連続で切断を検出した場合に切断状態と判断します(T1)。
- (3) F/W に対し、切断検出ステータス(H_SIE_IntStat_0.DetectDiscon)を発行します(T1)。

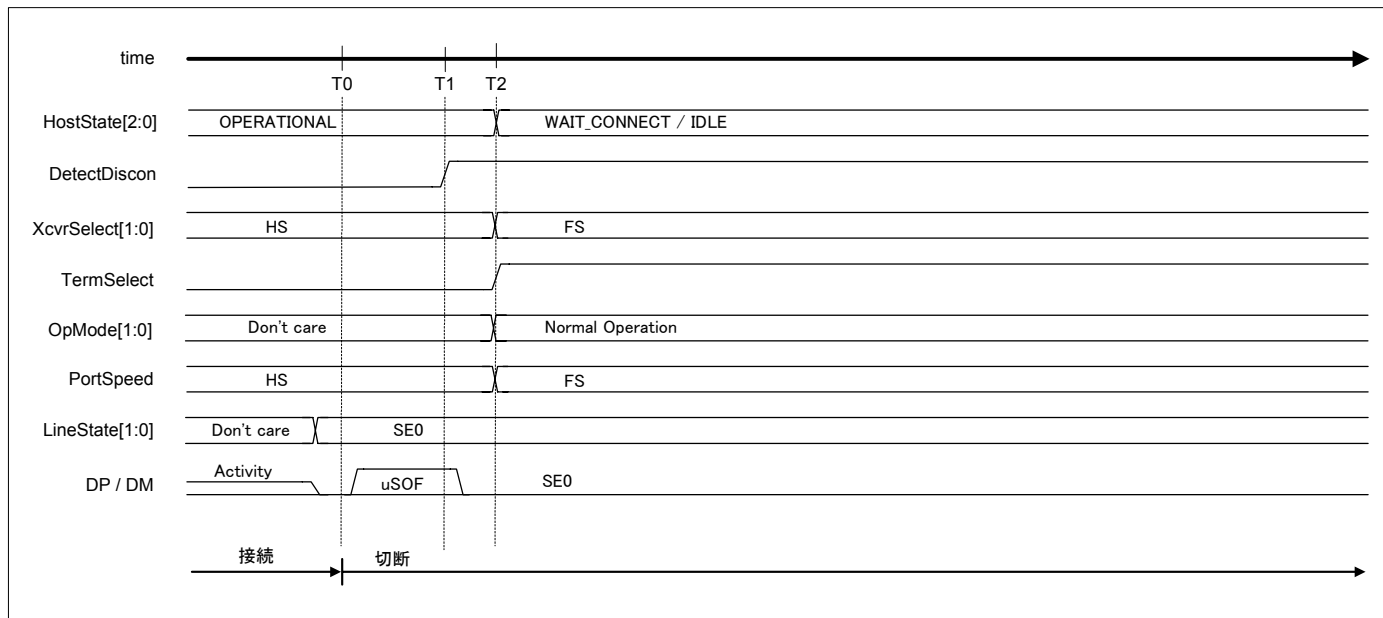


図 6-36 切断検出 Timing (HS mode)

表 6-31 切断検出 Timing Values (HS mode)

Timing Parameter	Description	Value
T0	デバイスが切断される。	0 (reference)
T1	切断検出ステータス(H_SIE_IntStat_0.DetectDiscon)を発行する。(H/W)	T1
T2(参考)	ホストステート遷移実行(H_NegoControl_0.AutoMode)にGoWAIT_CONNECTを設定する。(F/W)	T2

6. 機能説明

6.3.9.2.2.2. FS または LS デバイスが切断された場合

FS または LS デバイスの切断は、DISABLED、OPERATIONAL、SUSPEND ステートにて検出します。

FS または LS デバイスが切断された場合の実行手順は以下のとおりです。下記(2)～(3)は本 LSI の H/W が自動的に実行します。

(1) デバイスが切断されます(T0)。

(2) 信号線の状態から切断を検出します(T1)。

(3) F/W に対し、切断検出ステータス(H_SIE_IntStat_0. DetectDiscon)を発行します(T1)。

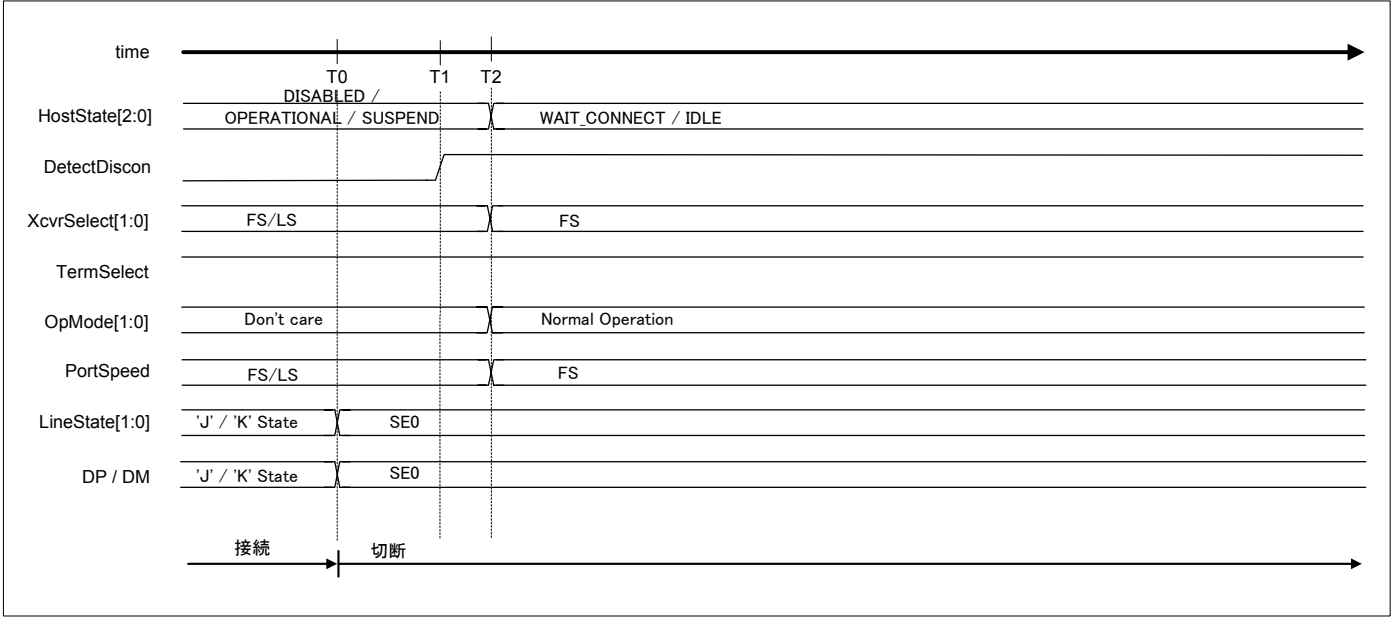


図 6-37 切断検出 Timing（FS または LS mode）

表 6-32 切断検出 Timing Values（FS または LS mode）

Timing Parameter	Description	Value
T0	デバイスが切断される。	0 (reference)
T1	切断検出ステータス(H_SIE_IntStat_0.DetectDiscon)を発行する。(H/W)	$T0 + 2.5\mu s < T1 \{T_{DDIS}\}$
T2(参考)	ホストステート遷移実行(H_NegoControl_0. AutoMode)にGoWAIT_CONNECTを設定する。(F/W)	規定なし

6.3.9.2.3. リモート・ウェークアップ検出

リモート・ウェークアップ受付許可 (H_NegoControl_1. RmtWkupDetEnb) がイネーブルの場合、SUSPEND ステートにおいてリモート・ウェークアップ検出を行います。

6.3.9.2.3.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(3)は本 LSI の H/W が自動的に実行します。

- (1) デバイスがリモート・ウェークアップ信号 (K) を送出開始します (T0)。
- (2) ホストがリモート・ウェークアップ信号 (K) を検出します (T1)。
- (3) F/W に対し、リモート・ウェークアップ検出ステータス (H_SIE_IntStat_0. DetectRmtWkup) を発行します (T1)。

なお、ホストはデバイスのリモート・ウェークアップ検出から 1ms 以内にレジューム信号 (K) を発行する必要があります。そのため、F/W は、リモート・ウェークアップ検出ステータスを直ちに認識し、ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoRESUME を 900us 以内に設定してください。

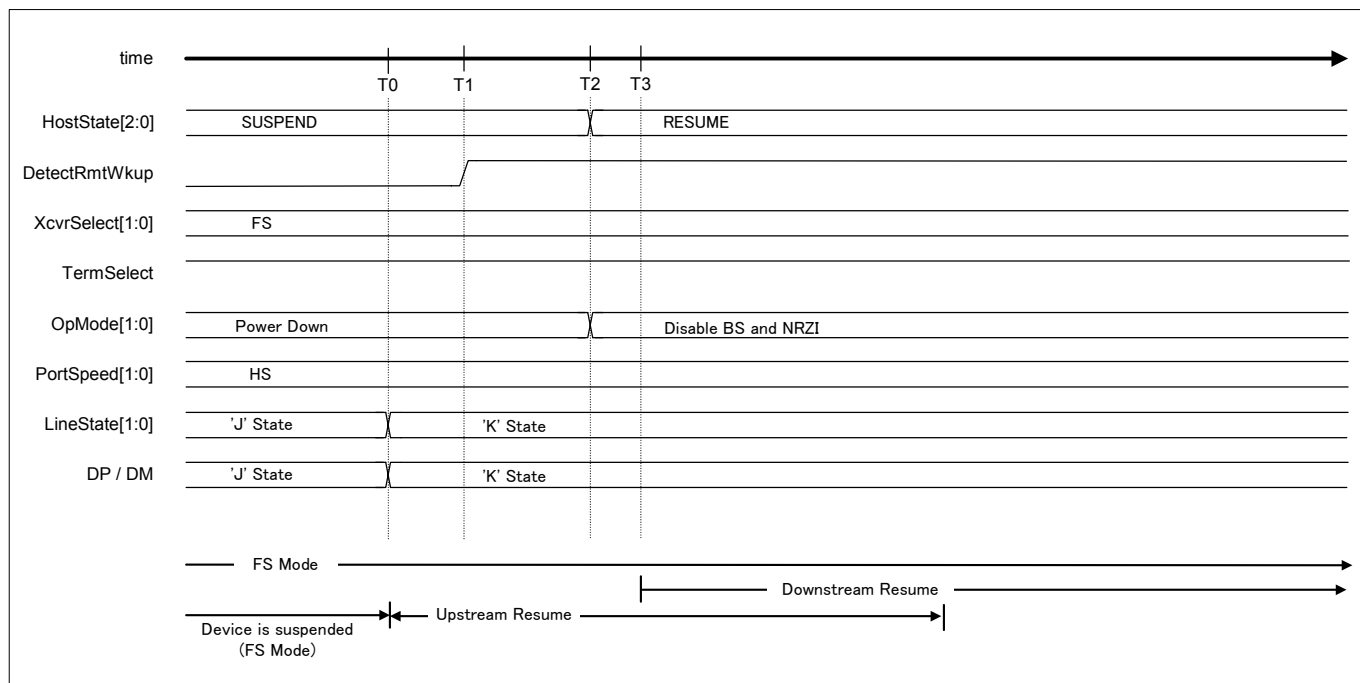


図 6-38 Remote Wakeup Timing (HS mode)

表 6-33 Remote Wakeup Timing Values (HS mode)

Timing Parameter	Description	Value
T0	デバイスがリモート・ウェークアップ信号 (K) を送出開始する。	0 (reference)
T1	リモート・ウェークアップ信号 (K) を検出する。 リモート・ウェークアップ検出ステータスを発行する。(H/W)	$T0 + 2.5\mu s\{T_{URLK}\} < T1$
T2(参考)	ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoRESUME を設定する。(F/W)	$T2 < T1 + 900\mu s$
T3(参考)	ホストがレジューム信号 (K) の発行を開始する。(H/W)	$T3 < T0 + 1ms\{T_{URSM}\}$

注: {} は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.3.9.2.3.2. FS デバイスが接続されている場合

FS デバイスが接続されている場合の実行手順は、HS デバイスが接続されている場合の実行手順と同じです。
実行手順は、HS デバイスが接続されている場合を参照してください。

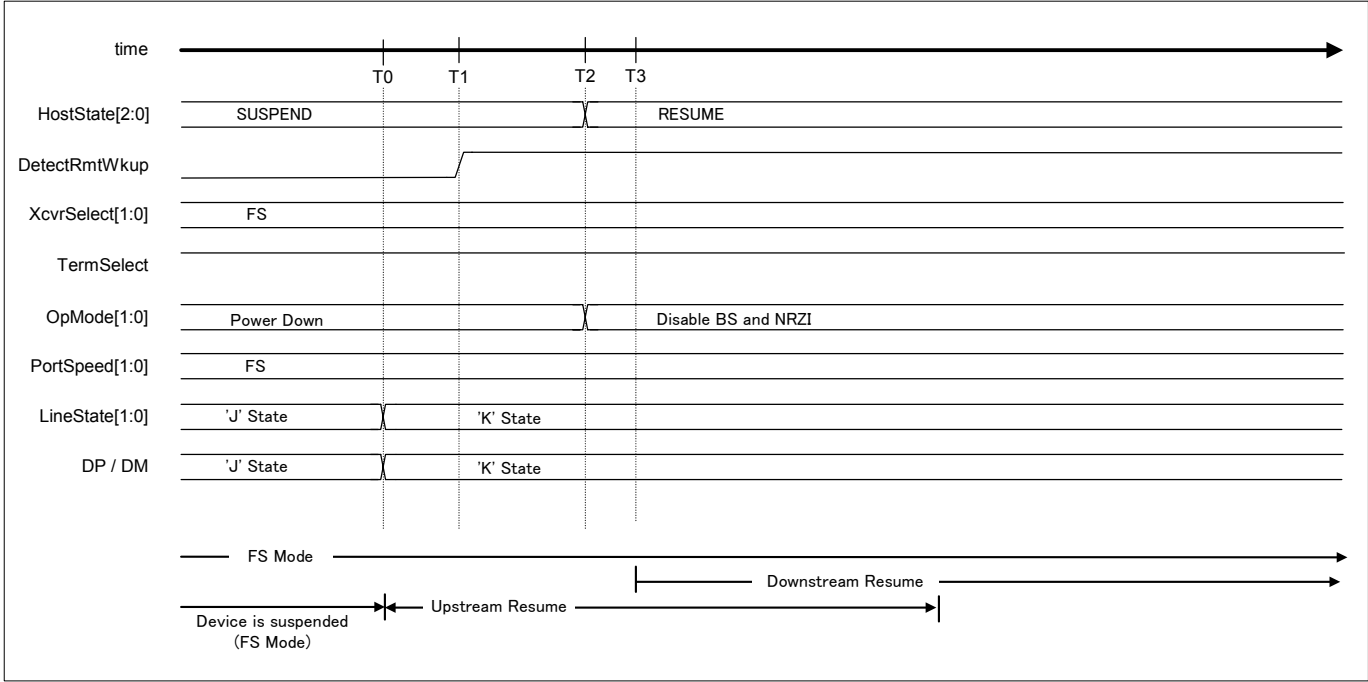


図 6-39 Remote Wakeup Timing (FS mode)

表 6-34 Remote Wakeup Timing Values (FS mode)

Timing Parameter	Description	Value
T0	デバイスがリモート・ウェイクアップ信号 (K) を送出開始する。	0 (reference)
T1	リモート・ウェイクアップ信号 (K) を検出する。 リモート・ウェイクアップ検出ステータスを発行する。(H/W)	$T0 + 2.5\mu s < T1 \{T_{URLK}\}$
T2 (参考)	ホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoRESUME を設定する。(F/W)	$T2 < T1 + 900\mu s$
T3 (参考)	ホストがレジューム信号 (K) の発行を開始する。(H/W)	$T3 < T0 + 1ms \{T_{URSM}\}$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.2.3.3. LS デバイスが接続されている場合

LS デバイスが接続されている場合の実行手順は、HS デバイスが接続されている場合の実行手順と同じです。

実行手順は、HS デバイスが接続されている場合を参照してください。

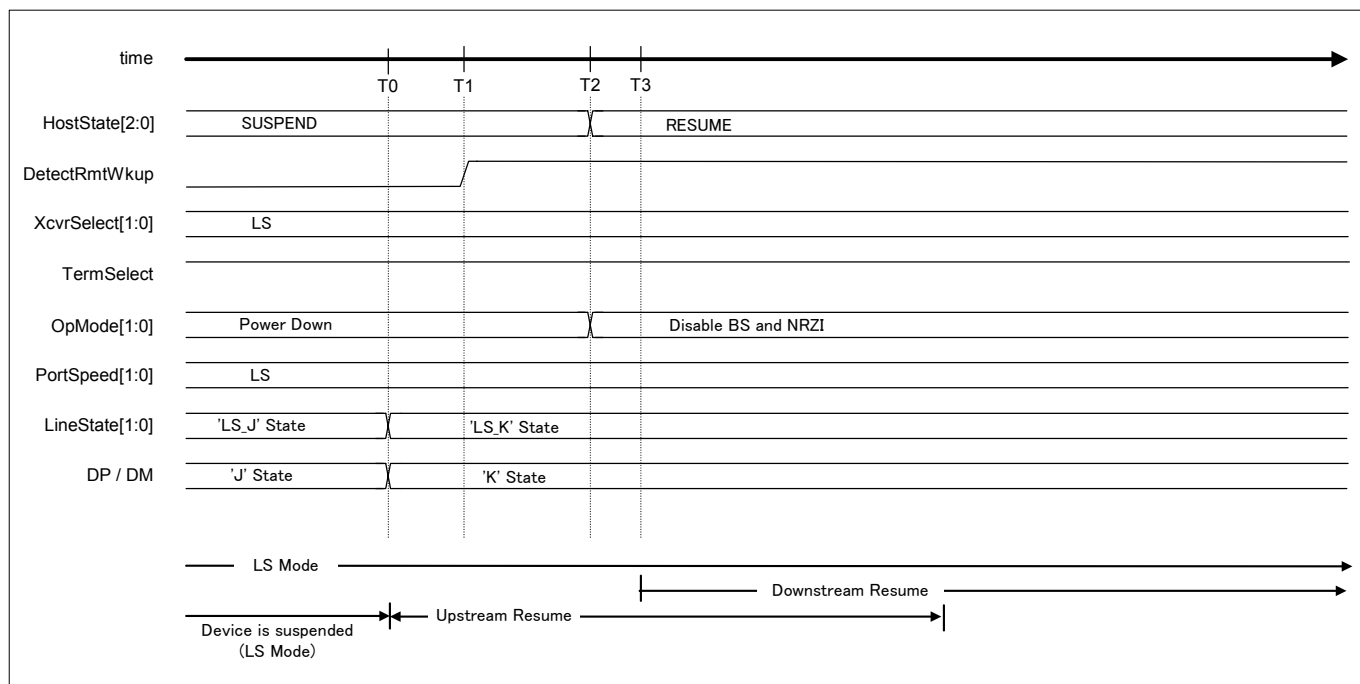


図 6-40 Remote Wakeup Timing (LS mode)

表 6-35 Remote Wakeup Timing Values (LS mode)

Timing Parameter	Description	Value
T0	デバイスがリモート・ウェイクアップ信号(K)を送出開始する。	0 (reference)
T1	リモート・ウェイクアップ信号(K)を検出する。 リモート・ウェイクアップ検出ステータスを発行する。(H/W)	$T0 + 2.5\mu s < T1 \{T_{URLK}\}$
T2(参考)	ホストステート遷移実行(H_NegoControl_0. AutoMode)にGoRESUMEを設定する。(F/W)	$T2 < T1 + 900\mu s$
T3(参考)	ホストがレジューム信号(K)の発行を開始する。(H/W)	$T3 < T0 + 1ms\{T_{URSM}\}$

注: []は、USB2.0 規格書で規格されている名称である。

6.3.9.2.4. デバイスチャープ検出機能

デバイスの Chirp を検出します。
デバイスチャープ検出機能は RESET ステートにてオンします。

6.3.9.2.4.1. 正しいデバイスの Chirp を検出した場合

- デバイスの Chirp を検出する手順は以下の通りです。
- (1) F/W がホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoRESET を設定します (T0)。
 - (2) デバイスチャープ検出機能をオンします (T0)。
 - (3) デバイスが Chirp を送出します (T1)。
 - (4) ラインステート (H_USB_Status. LineState[1:0]) に "K" が規定時間以上継続することでデバイスの Chirp を認識します (T2)。
 - (5) デバイスの Chirp がリセット開始から規定時間以内に終了する (ラインステート (H_USB_Status. LineState[1:0]) が "SE0" になる) ことをもってデバイスチャープ正常検出ステータス (H_SIE_IntStat0.DetectDevChirpOK) を発行します (T3)。
 - (6) デバイスの Chirp を検出するとデバイスチャープ検出機能をオフします (T3)。

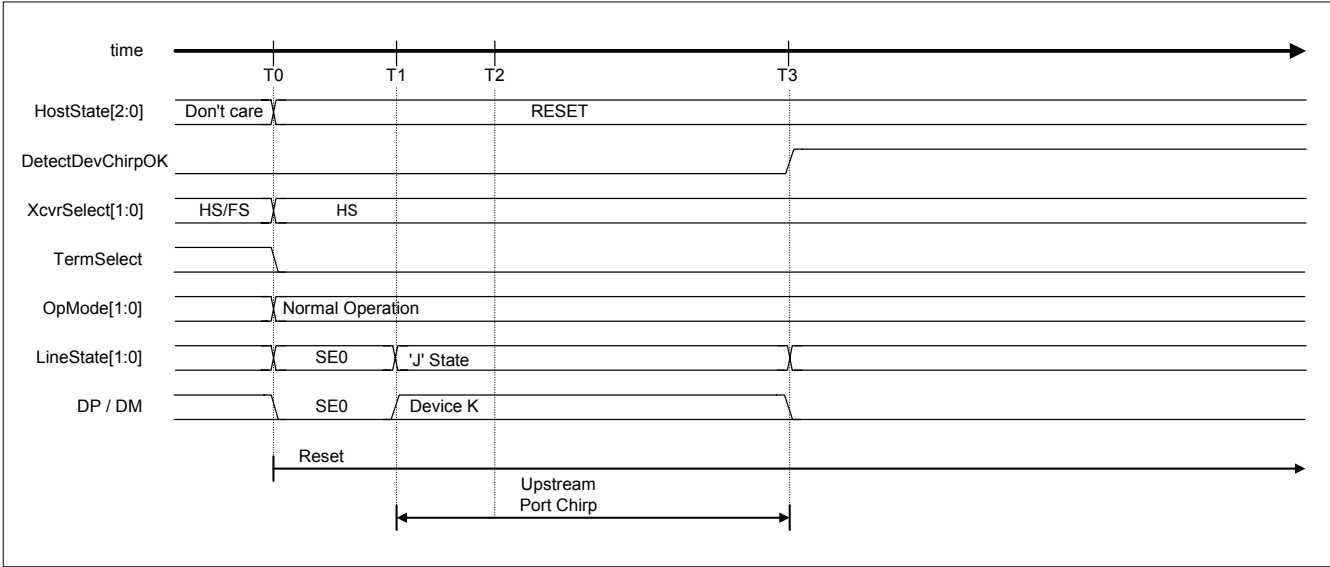


図 6-41 Device Chirp Timing

表 6-36 Device Chirp Timing Values

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W)	0 (reference)
T1	デバイスが Chirp を開始。	$T0 < T1 < T0 + 6.0\text{ms}$
T2	デバイスの Chirp を認識する。(H/W)	$T1 + 2.5\mu\text{s} \{T_{\text{FILT}}\} < T2$
T3	デバイスが Chirp を終了。 デバイスチャープ検出機能をオフする。 デバイスチャープ正常検出ステータス (DetectDevChirpOK) を発行する。(H/W)	$T1 + 1.0\text{ms} \{T_{\text{UCH}}\} < T3 < T0 + 7.0\text{ms} \{T_{\text{UCHEND}}\}$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.2.4.2. 異常なデバイスの Chirp を検出した場合

デバイスチャープ検出機能は、デバイスの Chirp が規定時間に終了しない場合を異常と見なし、ステータスを発行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0.AutoMode)に GoRESET を設定します(T0)。
- (2) デバイスチャープ検出機能をオンします(T0)。
- (3) デバイスが Chirp を送出します(T1)。
- (4) ラインステート(H_USB_Status.LineState[1:0])に"K"が規定時間以上継続することでデバイスの Chirp を認識します(T2)。
- (5) リセットの開始から規定時間以内にデバイスの Chirp が終了しないために異常と見なし、デバイスチャープ異常検出ステータス(H_SIE_IntStat_0.DetectDevChirpNG)を発行します(T3)
- (6) デバイスチャープ検出機能をオフします(T3)。

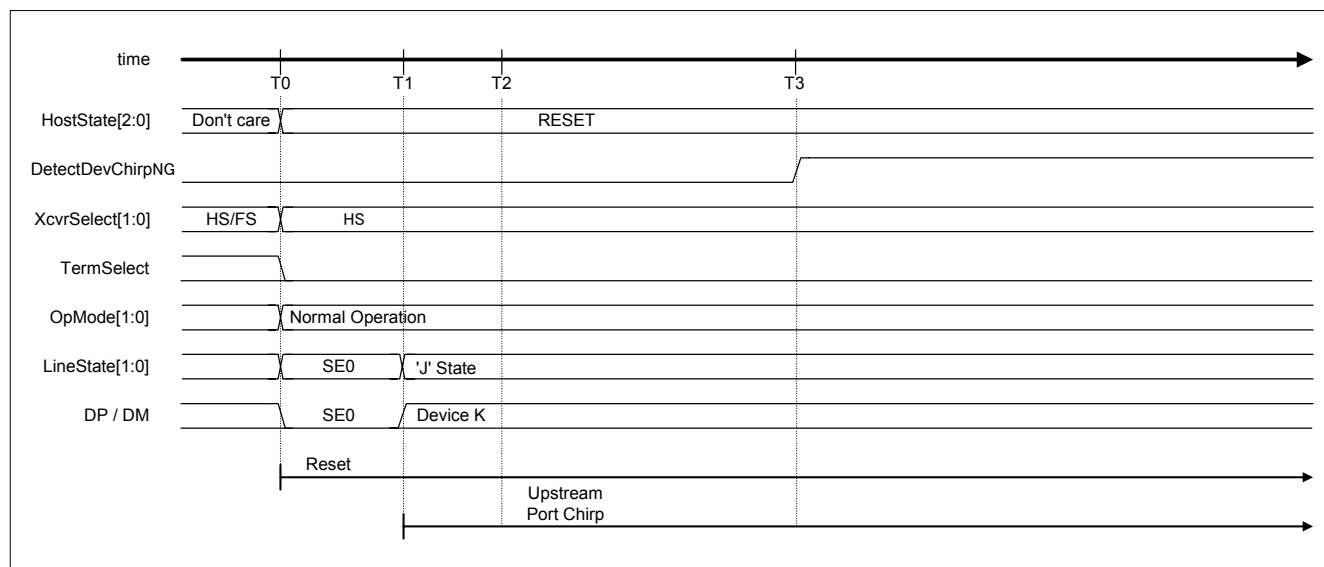


図 6-42 Device Chirp Timing(NG)

表 6-37 Device Chirp Timing(NG) Value

Timing Parameter	Description	Value
T0	H_NegoControl_0.AutoMode に GoRESET を設定する。(F/W)	0 (reference)
T1	デバイスが Chirp を開始。	$T0 < T1 < T0 + 6.0\text{ms}$
T2	デバイスの Chirp を認識する。(H/W)	$T1 + 2.5\mu\text{s} \{T_{\text{FILT}}\} < T2$
T3	デバイスチャープ異常検出ステータス(DetectDevChirpNG)を発行する。(H/W)	$T0 + 7\text{ms} \{T_{\text{UCHEND}}\} < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.3.9.2.5. ポートエラー検出

OPERATIONAL ステートにおいてポートエラーを検出します。

受信中のパケットにおいて、(マイクロ)フレームの終端に達しても EOP を検出できない場合に、ポートエラーと判断します。

ホストはポートエラーを検出すると、F/W に対してポートエラー検出ステータス(H_FrameIntStat.PortErr)を発行し、トランザクションを即時停止します。以降、SOF を含めトランザクションの発行は行いません。

ポートエラーが発生した場合、F/W は以下の処理を行ってください。

- (1) H_NegoControl_0.AutoMode に GoDISABLED を設定します。
- (2) H_NegoControl_0.ResetHTM に 1 を設定し、ホストランシーバマクロをリセットします。
- (3) 60MHz クロックで 3 サイクル以上の時間経過後、H_NegoControl_0.ResetHTM に 0 を設定し、ホストランシーバマクロのリセットを解除します。

6.3.9.3. ホストステート管理サポート機能の単体説明

6.3.9.3.1. GoIDLE

H_NegoControl_0 レジスタに 0x80 (H_NegoControl_0. AutoModeCancel に 1、かつ H_NegoControl_0. AutoMode に 0x0) をライトして実行中ステートの動作を停止させます。H_NegoControl_0. AutoModeCancel ビットは停止処理が完了することで 0 になります (60MHz クロックで 6 サイクル程度必要) ので、H_NegoControl_0. AutoModeCancel ビットが 0 になるのを確認してから、同レジスタに 0x01 (すなわちホストステート遷移実行 (H_NegoControl_0. AutoMode) に GoIDLE を設定) してください。そうすることで、IDLE 遷移に必要な処理を本 LSI の H/W が自動的に実行します。

下記 (3) ~ (8) は本 LSI の H/W が自動的に実行します。

- (1) H_NegoControl_0. AutoModeCancel に 0x80 (H_NegoControl_0. AutoModeCancel に 1、かつ H_NegoControl_0. AutoMode に 0x0) をライトします (T0)。
- (2) H_NegoControl_0. AutoModeCancel ビットが 0 になったことを確認し、H_NegoControl_0 に 0x01 (H_NegoControl_0. AutoMode に 0x1) をライトします (T1)。
- (3) ホストステートモニタ (H_NegoControl_0. HostState) を IDLE に設定します (T1)。
- (4) VBUSEN をオフします (T1)。
- (5) トランシーバ選択 (H_XcvtControl. XcvtSelect) とターミナル選択 (H_XcvtControl. TermSelect) を FS モードに設定します (T1)。
- (6) オペレーションモード (H_XcvtControl. OpMode[1:0]) を "NonDriving" に設定します (T1)。
- (7) USB ホストのトランザクション実行機能を即時停止します (T1)。
- (8) 接続検出、切断検出、リモート・ウェイクアップ検出、デバイスチャープ検出の全検出機能をオフします (T1)。

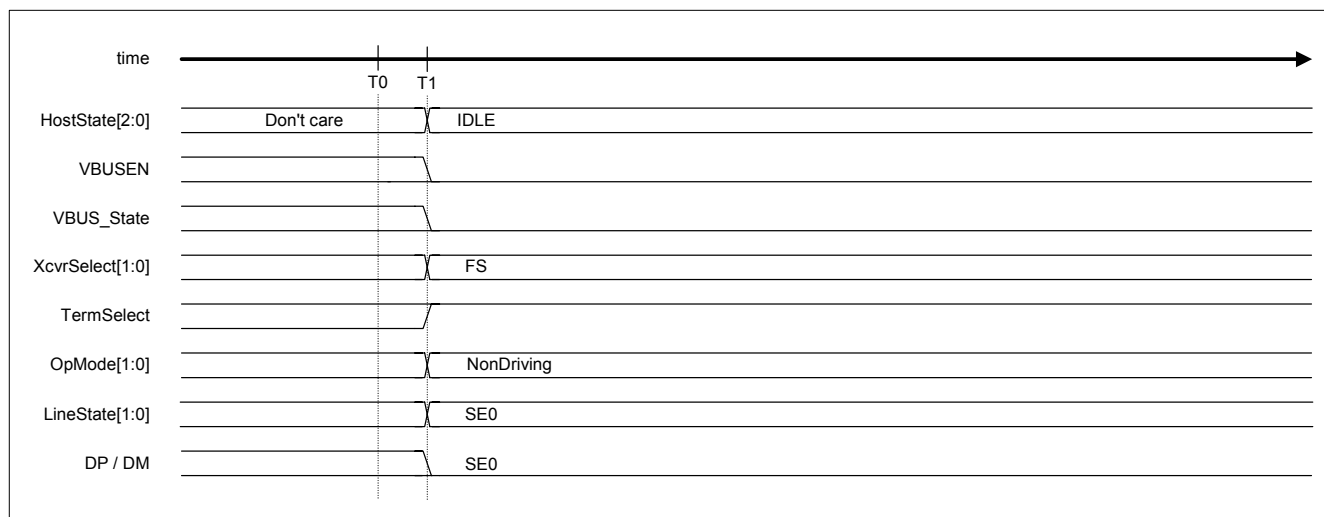


図 6-43 GoIDLE Timing

表 6-38 GoIDLE Timing Value

Timing Parameter	Description	Value
T0	実行中ステートの動作を停止する。(F/W)	0 (reference)
T1	ホストステート遷移実行キャンセルビットが 0 になったことを確認し、H_NegoControl_0. AutoMode に GoIDLE を設定する。(F/W) VBUSEN をオフする。 トランシーバ選択を FS モードに設定する。 ターミナル選択を FS モードに設定する。 オペレーションモードを "NonDriving" に設定する。 トランザクション実行機能を即時停止する。 接続検出、切断検出、リモート・ウェイクアップ検出、デバイスチャープ検出をオフする。(H/W)	$T0 + 5\text{cycle}(60\text{MHz}) < T1$

6.3.9.3.2. GoWAIT_CONNECT

ホストステート遷移実行(H_NegoControl0. AutoMode)に GoWAIT_CONNECT を設定すると、WAIT_CONNECT 遷移に必要な処理を本 LSI の H/W が自動的に実行します。

なお、HS デバイスはこの時点では FS デバイスとして接続します。その後に行われるリセット動作の HS Detection Handshake によって HS デバイスとして動作するようになります。

6.3.9.3.2.1. FS デバイスが接続された場合

FS デバイスが接続された場合の実行手順は以下のとおりです。下記(2)～(12)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECT を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を WAIT_CONNECT に設定します(T0)。
- (3) VBUSEN をオンします(T0)。
- (4) トランシーバ選択(H_XcvrControl. XcvrSelect)とターミナル選択(H_XcvrControl. TermSelect)を FS モードに設定します(T0)。
- (5) オペレーションモード(H_XcvrControl. OpMode[1:0])を”PowerDown”に設定します(T0)。
- (6) ポートスピード(H_NegoControl_1. PortSpeed[1:0])を FS に設定します(T0)。
- (7) デバイス内部電源の安定化の為に一定期間待ち、接続検出機能をオンします(T1)。
- (8) FS デバイスが接続されるとラインステート(H_USB_Status.LineState[1:0])に”J”が現れます(T2)。
- (9) ラインステート(H_USB_Status. LineState[1:0])の”J”が 2.5us 以上継続することをもって FS デバイスの接続と見なします(T3)。
- (10) 切断検出機能をオンします(T3)。
- (11) デバウンスインターバル期間中に切断が検出されない場合に接続検出ステータス(H_SIE_IntStat_0.DetectCon)を発行します(T4)。もし、この期間中に切断が検出された場合には、切断検出機能をオフにし、(8)に戻っての接続検出からやり直します。切断検出ステータス(H_SIE_IntStat_0.DetectDiscon)は発行しません。
- (12) 切断検出機能と接続検出機能をオフします(T4)。

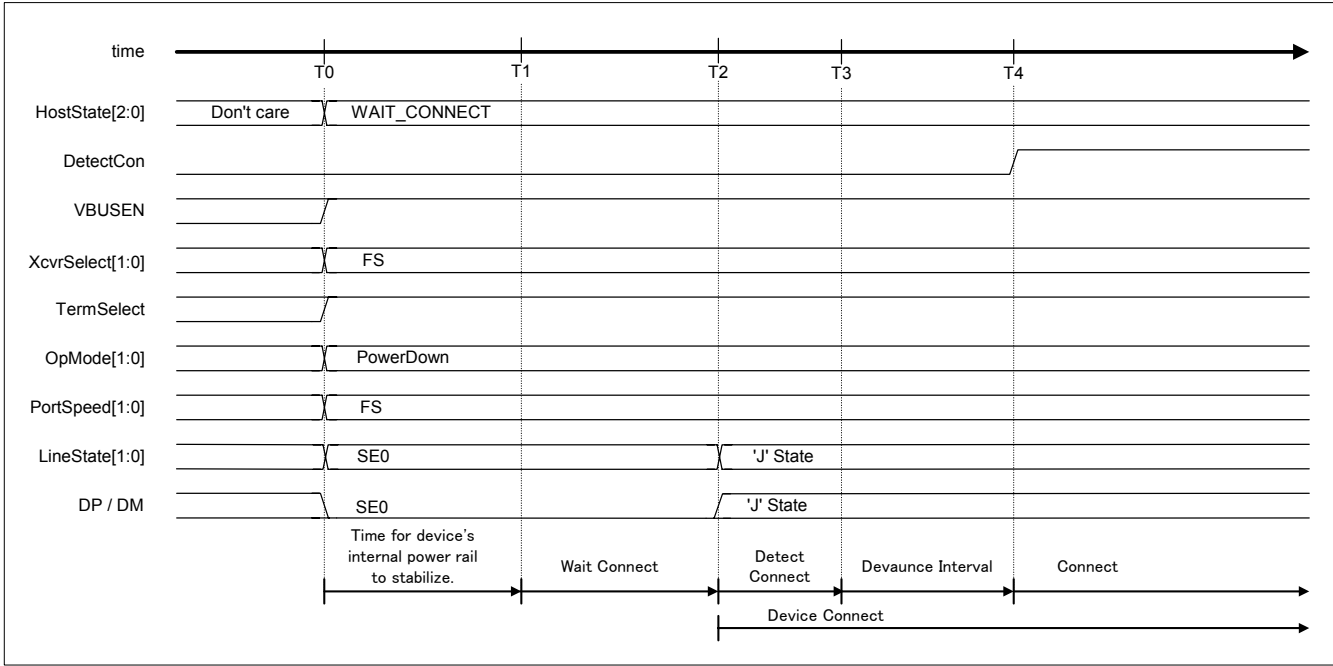


図 6-44 Device Attach Timing(FS mode)

表 6-39 Device Attach Timing Values(FS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoWAIT_CONNECT を設定する。(F/W)	0 (reference)
T1	接続検出機能をオンする。(H/W)	$T0 + 100\text{ms}\{T_{\text{SIGATT}}\} < T1$
T2	デバイスが接続される。	T2
T3	切断検出機能をオンする。(H/W)	$T2 + 2.5\mu\text{s}\{T_{\text{DCNN}}\} < T3$
T4	接続検出ステータス (DetectCon) を発行する。 切断検出機能と接続検出機能をオフする。(H/W)	$T3 + 100\text{ms}\{T_{\text{ATTDB}}\} < T4$

注: {} は、USB2.0 規格書で規格されている名称である。

6.3.9.3.2.2. LS デバイスが接続された場合

LS デバイスが接続された場合の実行手順は以下のとおりです。下記(2)～(14)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECT を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を WAIT_CONNECT に設定します(T0)。
- (3) VBUSEN をオンします(T0)。
- (4) トランシーバ選択(H_XcvrControl. XcvrSelect)とターミナル選択(H_XcvrControl. TermSelect)を FS モードに設定します(T0)。
- (5) オペレーションモード(H_XcvrControl. OpMode[1:0])を”PowerDown”に設定します(T0)。
- (6) ポートスピード(H_NegoControl_1. PortSpeed[1:0])を FS に設定します(T0)。
- (7) デバイス内部電源の安定化の為に 100ms 待ち、接続検出機能をオンします(T1)。
- (8) LS デバイスが接続されるとラインステート(H_USB_Status. LineState[1:0])に”K”が現れます(T2)。
- (9) ラインステート(H_USB_Status. LineState[1:0])の”K”が 2.5us 以上継続することをもって LS デバイスの接続と見なします(T3)。
- (10) トランシーバ選択(H_XcvrControl.XcvrSelect[1:0])を LS に設定します(T3)。このため、ラインステート(H_USB_Status. LineState[1:0])の極性が LS になり、ラインステート(H_USB_Status. LineState[1:0])には”J”が現れます。
- (11) ポートスピード(H_NegoControl_1. PortSpeed[1:0])を LS に設定します(T3)。
- (12) 切断検出機能をオンします(T3)。
- (13) デバウンスインターバル期間中に切断が検出されない場合に接続検出ステータス(SIE_IntStat_0.DetectCon)を発行します(T4)。もし、この期間中に切断が検出された場合には、切断検出機能をオフにし、トランシーバ選択(H_XcvrControl. XcvrSelect)とポートスピード(H_NegoControl_1. PortSpeed[1:0])をともに FS に設定し、(8)に戻っての接続検出からやり直します。切断検出ステータス(H_SIE_IntStat_0.DetectDiscon)は発行しません。
- (14) 切断検出機能と接続検出機能をオフします(T4)。

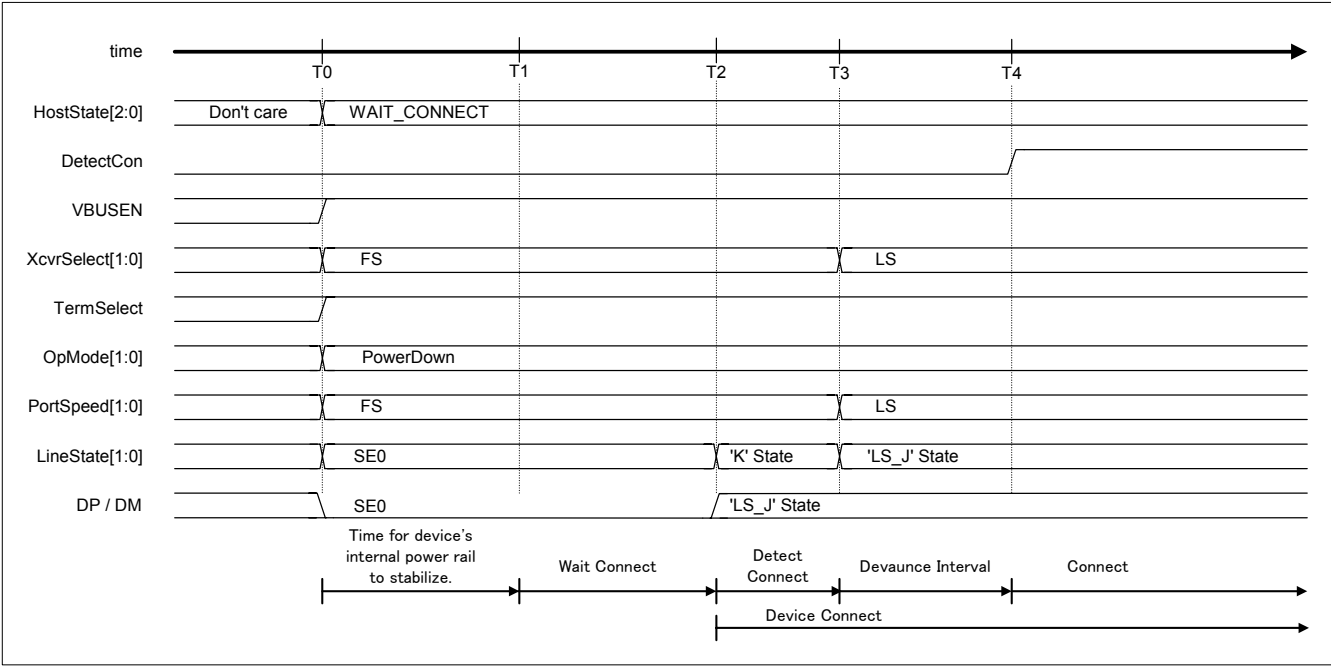


図 6-45 Device Attach Timing(LS mode)

表 6-40 Device Attach Timing Values(LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoWAIT_CONNECT を設定する。(F/W)	0 (reference)
T1	接続検出機能をオンする。(H/W)	$T0 + 100\text{ms}\{T_{\text{SIGATT}}\} < T1$
T2	デバイスが接続される。	T2
T3	切断検出機能をオンする。(H/W)	$T2 + 2.5\mu\text{s}\{T_{\text{DCNN}}\} < T3$
T4	接続検出ステータス (DetectCon) を発行する。(H/W) 切断検出機能と接続検出機能をオフする。(H/W)	$T3 + 100\text{ms}\{T_{\text{ATTDB}}\} < T4$

注: {} は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.3.9.3.3. GoDISABLED

ホストステート遷移実行(H_NegoControl0. AutoMode)に GoDISABLED を設定すると、ディセーブルド遷移に必要な処理を本 LSI の H/W が自動的に実行します。

WAIT_CONNECT ステートで接続を検出した時、RESET ステートで異常なデバイスからの Chirp を検出した時、OPERATIONAL ステートでポートエラーを検出した時は、本ステートに入ります。

6.3.9.3.3.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(6)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に Go DISABLED を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を DISABLED に設定します(T0)。
- (3) 切断検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、トランシーバ選択(H_XcvrControl. XcvrSelect)とターミナル選択(H_XcvrControl. TermSelect)とポートスピード(H_NegoControl_1.PortSpeed)を FS モードに、オペレーションモード(H_XcvrControl. OpMode[1:0])を"PowerDown"に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) F/W に対し、ディセーブルド遷移完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T3)。

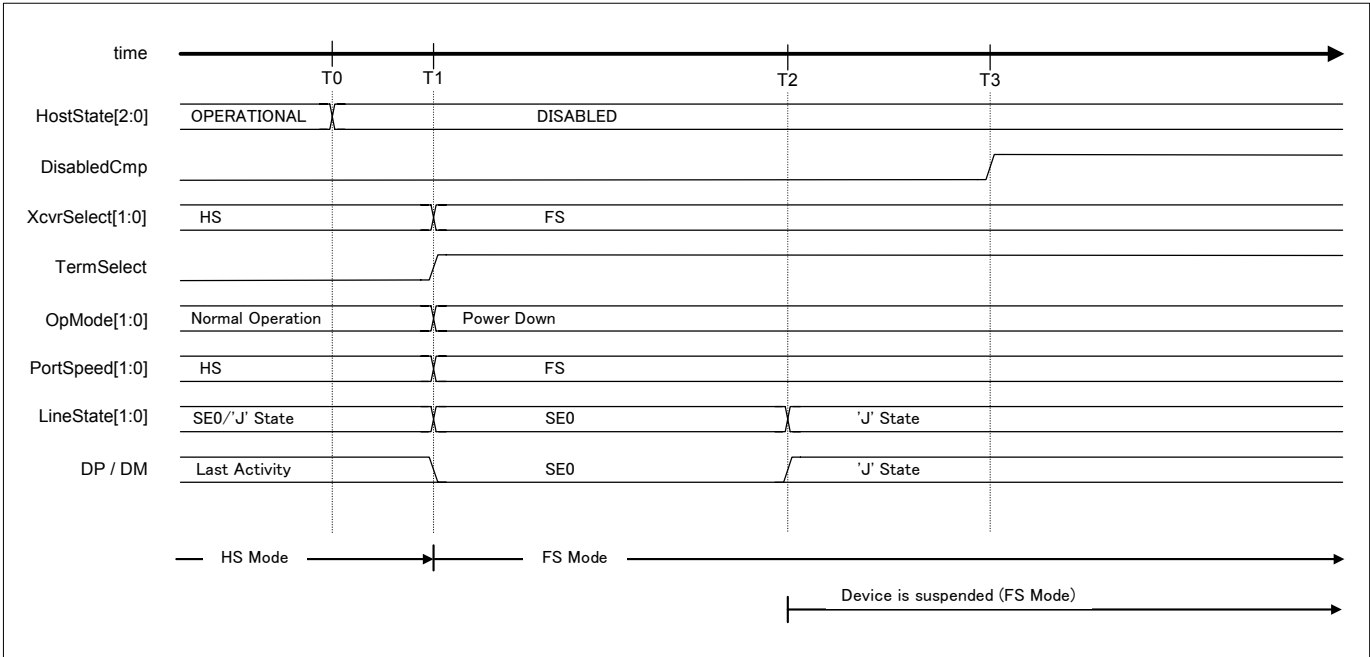


図 6-46 Disabled Timing (HS mode)

表 6-41 Disabled Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に Go DISABLED を設定する。(F/W) 切断検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、トランシーバ選択とターミナル選択ポートスピードを FS モードに、オペレーションモード(XcvrControl. OpMode[1:0])を"PowerDown"に設定する。(H/W)	T1
T2	デバイスがサスペンドを検出し、FS mode になる。	$T1 + 3.0ms < T2 \{T_{WTREV}\} < T1 + 3.125ms$
T3	切断検出機能をオンする。(H/W) ディセーブルド遷移完了ステータスを発行する。(H/W)	$T1 + 4ms < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.3.2. FS デバイスが接続されている場合

FS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(6)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoDISABLED を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を DISABLED に設定します(T0)。
- (3) 切断検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、オペレーションモード(H_XcvtControl. OpMode[1:0])を”PowerDown”に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) F/W に対し、ディセーブルド遷移完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T3)。

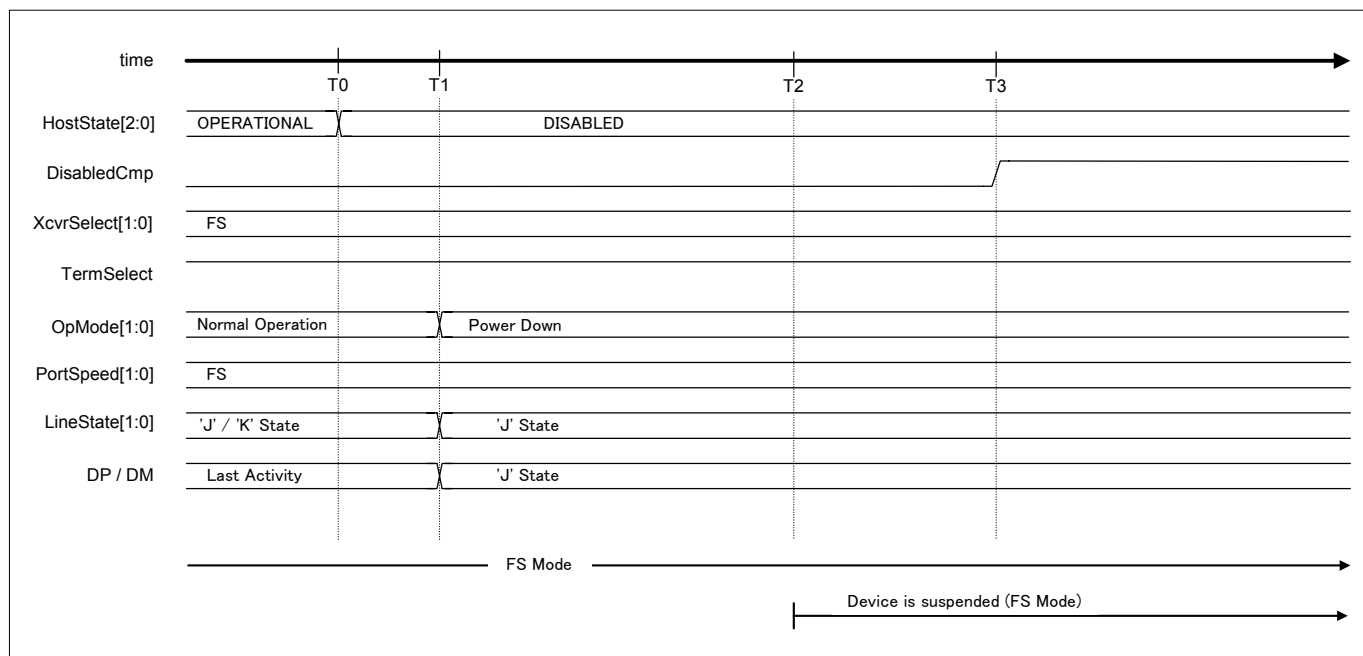


図 6-47 Disabled Timing (FS mode)

表 6-42 Disabled Timing Values (FS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoDisabled を設定する。(F/W) 切断検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、オペレーションモード (H_XcvtControl. OpMode[1:0])を”PowerDown”に設定する。 (H/W)	T1
T2	デバイスがサスペンドを検出する。	$T1 + 3.0\text{ms} < T2 \{T_{WTREV}\} < T1 + 3.125\text{ms}$
T3	切断検出機能をオンする。 ディセーブルド遷移完了ステータスを発行する。(H/W)	$T1 + 4\text{ms} < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.3.9.3.3.3. LS デバイスが接続されている場合

LS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(6)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoDISABLED を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を DISABLED に設定します(T0)。
- (3) 切断検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、オペレーションモード(H_XcvrControl. OpMode[1:0])を”PowerDown”に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) F/W に対し、ディセーブルド遷移完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T3)。

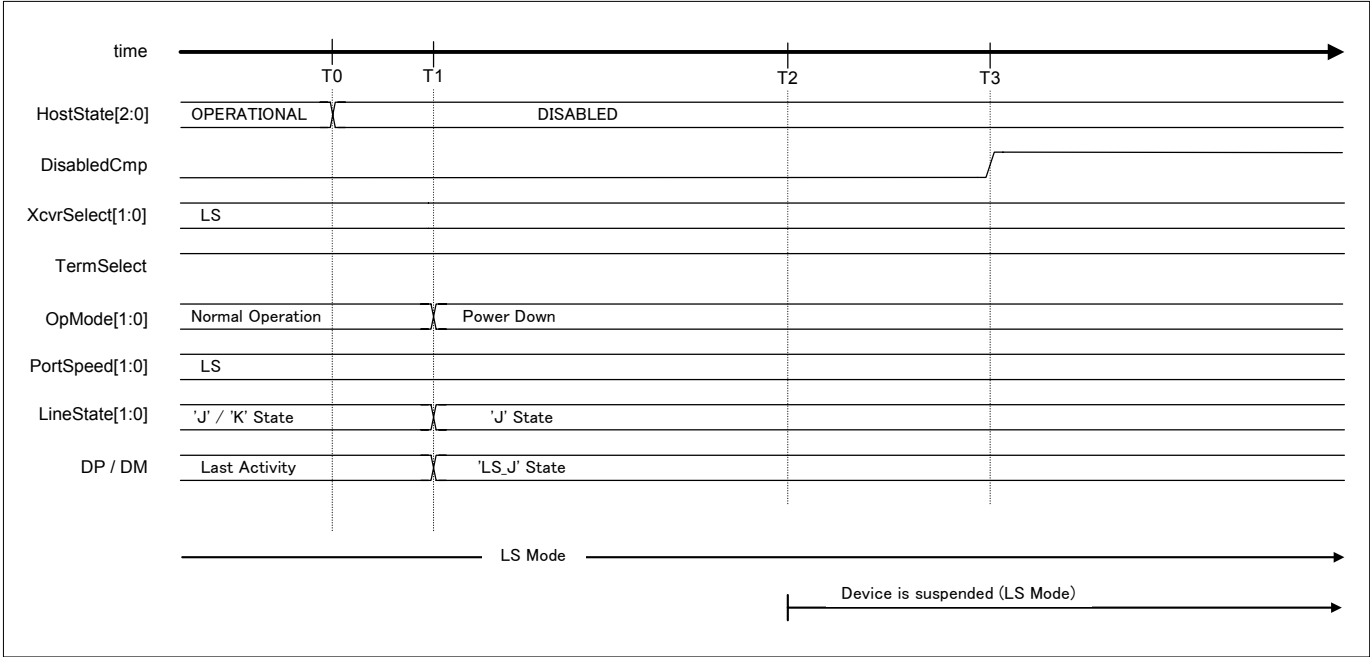


図 6-48 Disabled Timing (LS mode)

表 6-43 Disabled Timing Values (LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoDISABLED を設定する。(F/W) 切断検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、オペレーションモード (H_XcvrControl. OpMode[1:0]) を ”PowerDown” に設定する。(H/W)	T1
T2	デバイスがサスペンドを検出する。	$T1 + 3.0ms < T2 \{T_{WTREV}\} < T1 + 3.125ms$
T3	切断検出機能をオンする。 ディセーブルド遷移完了ステータスを発行する。(H/W)	$T1 + 4ms < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.4. GoRESET

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESET を設定すると、RESET 遷移に必要な処理を本 LSI の H/W が自動的に実行します。なお、OPERATIONAL から本ステートに遷移する場合には、H/W が現在実行中のトランザクション完了を待って RESET 処理を開始します。

6.3.9.3.4.1. HS デバイスに対するリセット

HS デバイスに対するリセットの実行手順は以下のとおりです。下記(2)～(14)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESET を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESET に設定します(T0)。
- (3) トランシーバ選択(H_XcvtControl. XcvtSelect)とターミナル選択(H_XcvtControl. TermSelect)を HS モードに設定します(T0)。
- (4) オペレーションモード(H_XcvtControl. OpMode[1:0])を"Normal"に設定します(T0)。
- (5) デバイスチャープ検出機能をオンします(T0)。
- (6) ラインステート(H_USB_Status. LineState[1:0])にアクティビティ有('J'ステートとして見える)が 2.5us 以上継続することでデバイスの Chirp を認識します。そしてデバイスの Chirp がリセット開始から規定時間以内に終了する(ラインステート(H_USB_Status. LineState[1:0])がアクティビティ無('SE0'として見える)となる)ことをもってデバイスチャープ正常検出ステータス(H_SIE_IntStat_0.DetectDevChirpOK)を発行します(T2)。
- (7) デバイスチャープ検出機能をオフします(T2)。
- (8) デバイスの Chirp 終了後、ホストは Chirp K を出力し始めます(T3)。
- (9) ホストは Chirp K から Chirp J に切り替えて出力します(T4)。
- (10) ホストは Chirp J から Chirp K に切り替えて出力します(T5)。以降ホストは Chirp K と Chirp J のシーケンスを交互に出力します。
- (11) デバイスはホストの Chirp を検出すると HS モードに移行します(T6)。T7 の時点から Chirp の高さが変わっているのは、デバイス側の HS ターミネーションが有効になったことを表しています。通常、デバイスが FS モード時の Chirp は約 800mV、HS モード時の Chirp では、約 400mV となります。
- (12) ホストは Chirp を終了します(T8)。
- (13) リセットを終了します(T9)。
- (14) リセット完了ステータス(H_SIE_IntStat_1.ResetCmp)を発行します(T9)。

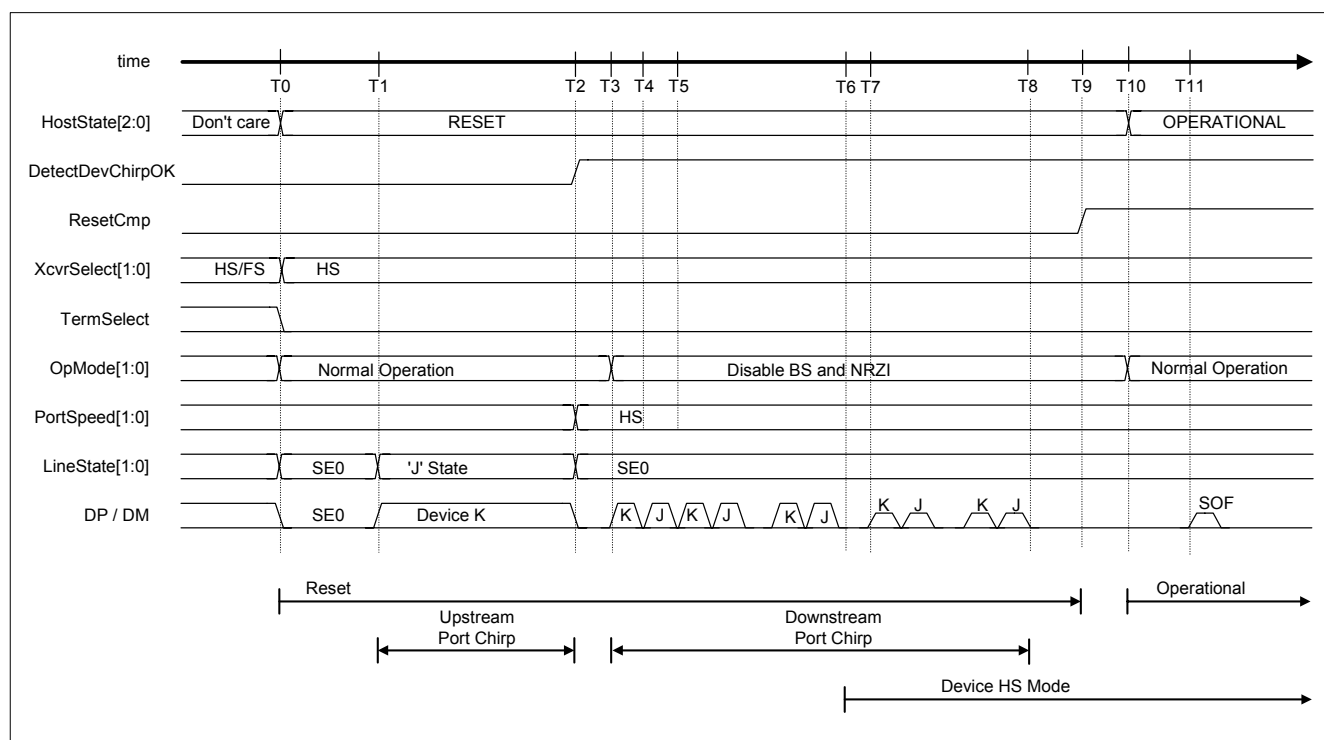


図 6-49 Reset Timing (HS mode)

表 6-44 Reset Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W) デバイスチャープ検出機能をオンする。(H/W)	0 (reference)
T1	デバイスが Chirp を開始。	$T0 < T1 < T0 + 6.0\text{ms}$
T2	デバイスが Chirp を終了。 ポートスピードを HS に設定する。 デバイスチャープ検出機能をオフする。 デバイスチャープ正常検出ステータス (DetectDevChirpOK) を発行する。(H/W)	$T1 + 1.0\text{ms} \{T_{UCH}\} < T2 < T0 + 7.0\text{ms} \{T_{UCHEND}\}$
T3	ホストが最初の Chirp (Chirp K) を出力する。(H/W)	$T2 < T3 < T2 + 100\mu\text{s} \{T_{WTDCH}\}$
T4	ホストが Chirp K から Chirp J に切り替えて出力する。(H/W)	$T3 + 40\mu\text{s} \{T_{DCHBIT}\} < T4 < T3 + 60\mu\text{s} \{T_{DCHBIT}\}$
T5	ホストが Chirp J から Chirp K に切り替えて出力する。(H/W)	$T4 + 40\mu\text{s} \{T_{DCHBIT}\} < T5 < T4 + 60\mu\text{s} \{T_{DCHBIT}\}$
T6	デバイスがホストの Chirp 検出する。	T6
T7	デバイスが HS モードに遷移。	$T6 < T7 < T6 + 500\mu\text{s}$
T8	ホストが Chirp を終了。(H/W)	$T3 + 50\text{ms} \{T_{DRSTR}\} < T8$
T9	リセットの終了。リセット終了ステータス (ResetCmp) を発行する。(H/W)	$T8 < T9 < T8 + 150\mu\text{s}$
T10(参考)	H_NegoControl_0. AutoMode に GoOPERATIONAL を設定する。(F/W)	$T10 < T9 + 200\mu\text{s}$
T11(参考)	最初の SOF が送出。(H/W)	$T10 + 120\mu\text{s} < T11 < T10 + 130\mu\text{s}$ $T8 + 100\mu\text{s} \{T_{DCHSE0}\} < T11 < T8 + 500\mu\text{s} \{T_{DCHSE0}\}$

注: {} は、USB2.0 規格書で規格されている名称である。

6.3.9.3.4.2. 異常なデバイスの Chirp 検出

HS Detection Handshake において、デバイスの Chirp が異常だった場合の動作を示します。チャープ完了ディセーブル (H_NegoControl_1.DisChirpFinish) の設定により2つの動作モードが選択できます。

6.3.9.3.4.2.1. チャープ完了ディセーブル (H_NegoControl_1.DisChirpFinish) 設定が 0 の場合

異常検出後にホストの Chirp を行いません。デバイスチャープ異常検出ステータスが発行された場合、F/W はリセット完了ステータス (H_SIE_IntStat_1.ResetCmp) の発行を待って、ホストステート遷移実行 (H_NegoControl_0.AutoMode) に GoDISABLED を設定し、ホストステートを DISABLED ステートに遷移させます。下記(2)～(9)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行 (H_NegoControl_0.AutoMode) に GoRESET を設定します (T0)。
- (2) ホストステートモニタ (H_NegoControl_0.HostState) を RESET に設定します (T0)。
- (3) トランシーバ選択 (H_XcvtControl.XcvtSelect) とターミナル選択 (H_XcvtControl.TermSelect) を HS モードに設定します (T0)。
- (4) オペレーションモード (H_XcvtControl.OpMode[1:0]) を "Normal" に設定します (T0)。
- (5) デバイスチャープ検出機能をオンします (T0)。
- (6) ラインステート (H_USB_Status.LineState[1:0]) にアクティビティ有 ('J'ステートとして見える) が 2.5us 以上継続することでデバイスの Chirp を認識します。しかし、リセット開始から規定時間以内にデバイスの Chirp が終了しないため異常とみなし、デバイスチャープ異常検出ステータス (H_SIE_IntStat_0.DetectDevChirpNG) を発行します (T2)。
- (7) デバイスチャープ検出機能をオフします (T2)。
- (8) リセットを終了します (T3)。
- (9) リセット完了ステータス (H_SIE_IntStat_1.ResetCmp) を発行します (T3)。

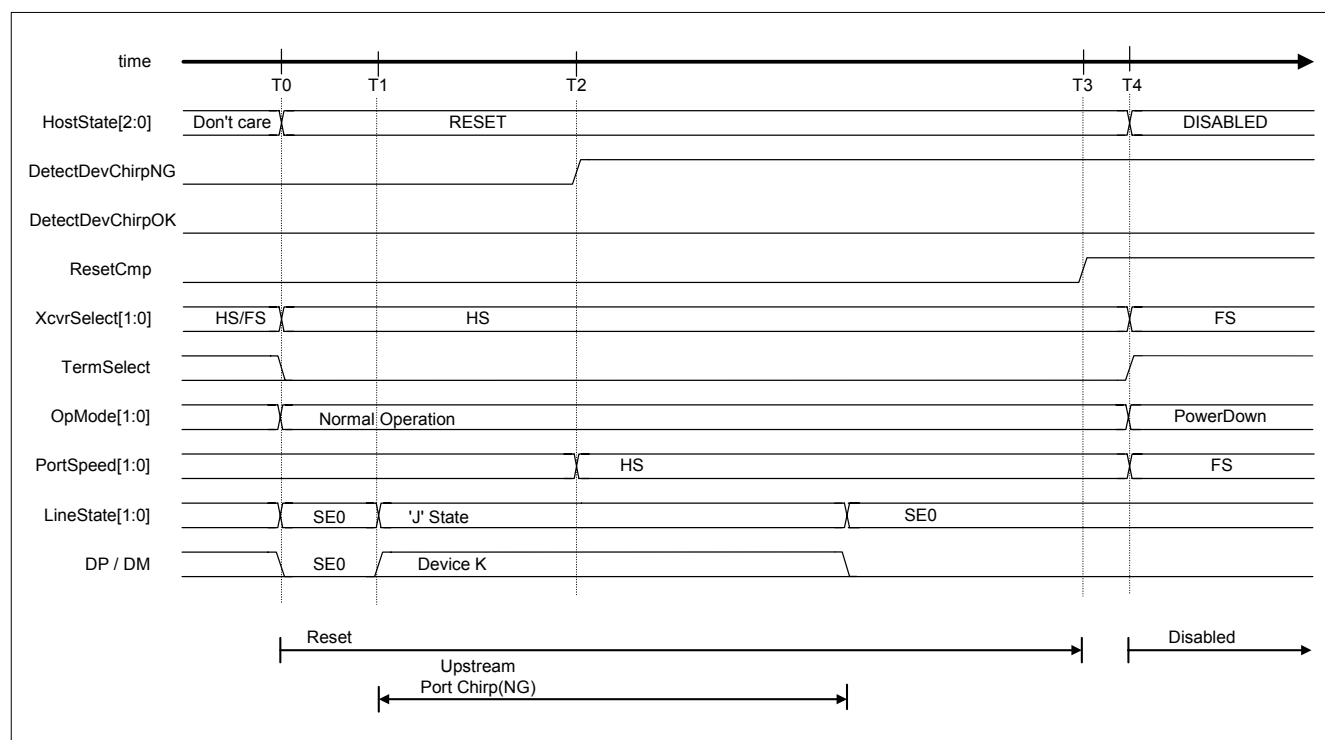


図 6-50 Detect Device Chirp NG Timing (チャープ完了ディセーブル設定 0)

表 6-45 Detect Device Chirp Timing Values(チャープ完了ディセーブル設定 0)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W) デバイスチャープ検出機能をオンする。(H/W)	0 (reference)
T1	デバイスが Chirp を開始。	$T0 < T1 < T0 + 6.0ms$
T2	デバイスチャープ異常検出ステータス (DetectDevChirpNG) を発行する。 デバイスチャープ検出機能をオフする。(H/W)	$T0 + 7ms\{T_{UCHEND}\} < T2$
T3	リセットの終了。リセット終了ステータス (ResetCmp) を発行する。 (H/W)	$T2 + 50ms\{T_{DRSTR}\} < T3$
T4(参考)	H_NegoControl_0. AutoMode に GoDISABLED を設定する。(F/W)	T4

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.4.2.2. チャープ完了ディセーブル(H_NegoControl_1.DisChirpFinish)設定が 1 の場合

異常検出後にデバイスの Chirp 完了を待ってホストの Chirp を行います。

本モード使用時に、リセット完了ステータス(H_SIE_IntStat_1.ResetCmp)を発行を待たずにホストステートを DISABLED ステートに移させる場合には、H_NegoControl_0 レジスタに 0x80 (H_NegoControl_0. AutoModeCancel に 1、かつ H_NegoControl_0. AutoMode に 0x0) をライトして実行中ステートの動作を停止させます。H_NegoControl_0. AutoModeCancel ビットは停止処理が完了することで 0 になります (60MHz クロックで 6 サイクル程度必要) ので、H_NegoControl_0. AutoModeCancel ビットが 0 になるのを確認してから、同レジスタに 0x03 をライト (すなわちホストステート遷移実行(H_NegoControl_0. AutoMode)に GoDISABLED を設定) してください。

下記 (2) ~ (15) は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESET を設定します (T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESET に設定します (T0)。
- (3) トランシーバ選択(H_XcvtControl. XcvtSelect)とターミナル選択(H_XcvtControl. TermSelect)を HS モードに設定します (T0)。
- (4) オペレーションモード(H_XcvtControl. OpMode[1:0])を "Normal" に設定します (T0)。
- (5) デバイスチャープ検出機能をオンします (T0)。
- (6) ラインステート(USB_Host_Status. LineState[1:0])にアクティビティ有('J' ステートとして見える)が 2.5us 以上継続することでデバイスの Chirp を認識します。しかし、リセット開始から規定時間以内にデバイスの Chirp が終了しないため異常とみなし、デバイスチャープ異常検出ステータス(H_SIE_IntStat_0.DetectDevChirpNG)を発行します (T2)。
- (7) デバイスチャープ検出機能をオフします (T2)。
- (8) デバイスの Chirp が終了する(ラインステート(H_USB_Status. LineState[1:0])がアクティビティ無('SE0' として見える)になる)ことをもってデバイスチャープ正常検出ステータス(H_SIE_IntStat_0.DetectDevChirpOK)を発行します (T3)。
- (9) デバイスの Chirp 終了後、ホストは Chirp K を出力し始めます (T4)。
- (10) ホストは Chirp K から Chirp J に切り替えて出力します (T5)。
- (11) ホストは Chirp J から Chirp K に切り替えて出力します (T6)。以降ホストは Chirp K と Chirp J のシーケンスを交互に出力します。
- (12) デバイスはホストの Chirp を検出すると HS モードに移行します (T7)。T8 の時点から Chirp の高さが変わっているのは、デバイス側の HS ターミネーションが有効になったことを表しています。通常、デバイスが FS モード時の Chirp は約 800mV、HS モード時の Chirp では、約 400mV となります。
- (13) ホストは Chirp を終了します (T9)。
- (14) リセットを終了します (T10)。
- (15) リセット完了ステータス(H_SIE_IntStat_1.ResetCmp)を発行します (T10)。

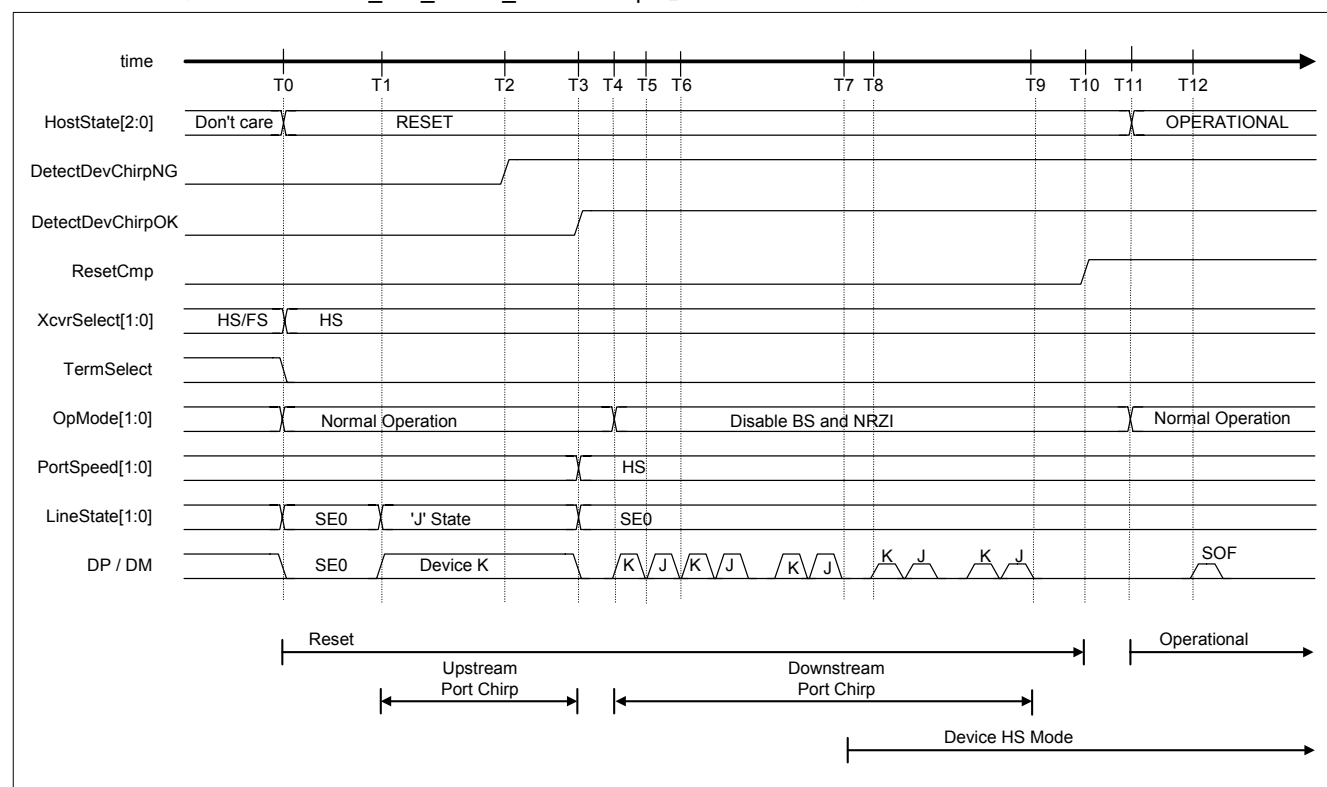


図 6-51 Detect Device Chirp NG Timing (チャープ完了ディセーブル設定 1)

表 6-46 Detect Device Chirp Timing Values (チャープ完了ディセーブル設定 1)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W) デバイスチャープ検出機能をオンする。(H/W)	0 (reference)
T1	デバイスが Chirp を開始。	$T0 < T1 < T0 + 6.0\text{ms}$
T2	デバイスチャープ異常検出ステータス (DetectDevChirpNG) を発行する。 デバイスチャープ検出機能をオフする。 (H/W)	$T0 + 7\text{ms}\{T_{UCHEND}\} < T2$
T3	デバイスが Chirp を終了。 ポートスピードを HS に設定する。 デバイスチャープ正常検出ステータス (DetectDevChirpOK) を発行する。 (H/W)	T3
T4	ホストが最初の Chirp (Chirp K) を出力する。(H/W)	$T3 < T4 < T3 + 100\text{us}\{T_{WTDCH}\}$
T5	ホストが Chirp K から Chirp J に切り替えて出力する。(H/W)	$T4 + 40\text{us}\{T_{DCHBIT}\} < T45 < T4 + 60\text{us}\{T_{DCHBIT}\}$
T6	ホストが Chirp J から Chirp K に切り替えて出力する。(H/W)	$T5 + 40\text{us}\{T_{DCHBIT}\} < T6 < T5 + 60\text{us}\{T_{DCHBIT}\}$
T7	デバイスがホストの Chirp 検出する。	T7
T8	デバイスが HS モードに遷移。	$T7 < T8 < T6 + 500\text{us}$
T9	ホストが Chirp を終了。(H/W)	$T4 + 50\text{ms}\{T_{DRSTR}\} < T9$
T10	リセットの終了。リセット終了ステータス (ResetCmp) を発行する。 (H/W)	$T9 < T10 < T9 + 150\text{us}$
T11(参考)	H_NegoControl_0. AutoMode に GoOPERATIONAL を設定する。 (F/W)	$T11 < T10 + 200\text{us}$
T12(参考)	最初の SOF が送出。(H/W)	$T11 + 120\text{us} < T12 < T11 + 130\text{us}$ $T9 + 100\text{us}\{T_{DCHSE0}\} < T12 < T9 + 500\text{us}\{T_{DCHSE0}\}$

注: {} は、USB2.0 規格書で規格されている名称である。

6.3.9.3.4.3. FS デバイスに対するリセット

FS デバイスに対するリセットの実行手順は以下のとおりです。下記(2)～(9)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESET を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESET に設定します(T0)。
- (3) トランシーバ選択(H_XcvtControl. XcvtSelect)とターミナル選択(H_XcvtControl. TermSelect)を HS モードに設定します(T0)。
- (4) オペレーションモード(H_XcvtControl. OpMode[1:0])を"Normal"に設定します(T0)。
- (5) デバイスチャープ検出機能をオンします(T0)。
- (6) デバイスの Chirp を検出せず、ポートスピード(H_NegoControl_1. PortSpeed[1:0])が HS/FS の為、相手デバイスが FS デバイスであると判断し、トランシーバ選択(H_XcvtControl. XcvtSelect)とポートスピード(H_NegoControl_1. PortSpeed[1:0])を FS に設定します(T1)。
- (7) デバイスチャープ検出機能をオフします(T1)。
- (8) ターミナル選択(H_XcvtControl. TermSelect)を FS に設定します(T2)。
- (9) リセット終了ステータス(H_SIE_IntStat_1.ResetCmp)を発行します(T3)。

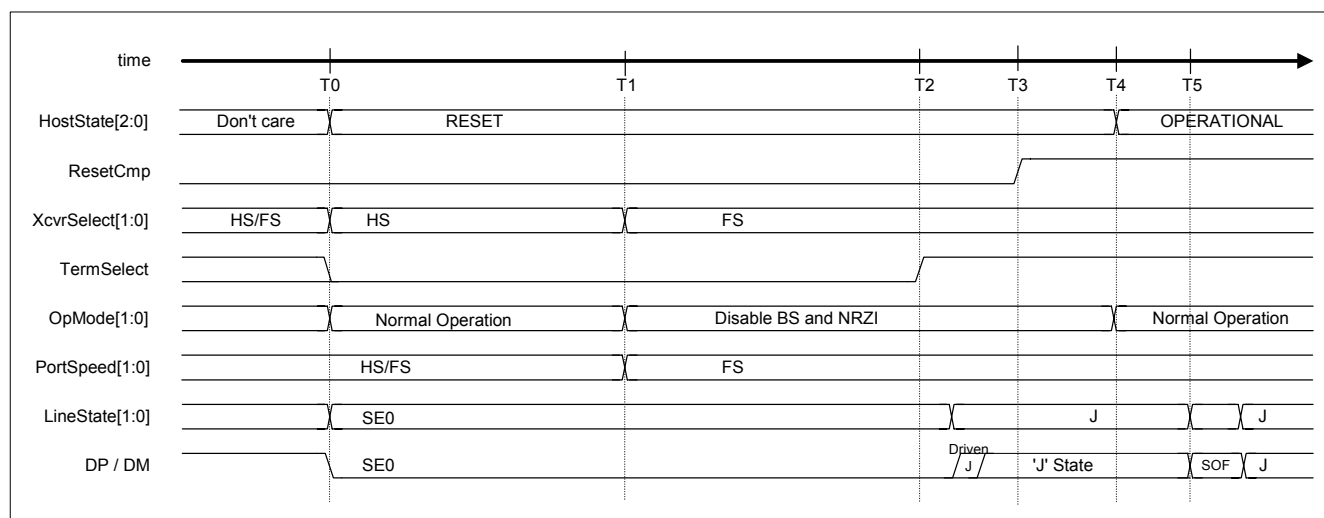


図 6-52 Reset Timing (FS mode)

表 6-47 Reset Timing Values (FS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W) デバイスチャープ検出機能をオンする。(H/W)	0 (reference)
T1	トランシーバ選択 FS に設定する。 ポートスピードを FS に設定する。 デバイスチャープ検出機能をオフする。(H/W)	$T0 + 7.0ms\{T_{UCHEND}\} < T1$
T2	ターミナル選択を FS に設定する。(H/W)	$T0 + 50ms\{T_{DRSTR}\} < T2$
T3	リセット完了ステータスを発行する。(H/W)	$T2 + 150\mu s < T3$
T4(参考)	H_NegoControl_0. AutoMode に GoOPERATIONAL を設定する。(F/W)	T4
T5(参考)	最初の SOF が送出。(H/W)	$T4 + 0.9ms < T5 < T4 + 1.1ms$ ($T5 < T2 + 3ms$)

注: {} は、USB2.0 規格書で規格されている名称である。

6.3.9.3.4.4. LS デバイスに対するリセット

LS デバイスに対するリセットの実行手順は以下のとおりです。下記(2)～(7)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESET を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESET に設定します(T0)。
- (3) トランシーバ選択(H_XcvrControl. XcvrSelect)とターミナル選択(H_XcvrControl. TermSelect)を HS モードに設定します(T0)。
- (4) オペレーションモード(H_XcvrControl. OpMode[1:0])を”Normal”に設定します(T0)。
- (5) ポートスピード(H_NegoControl_1. PortSpeed[1:0])がLS の為、トランシーバ選択(H_XcvrControl. XcvrSelect)をLS に設定します(T1)。
- (6) ターミナル選択(H_XcvrControl. TermSelect)を FS に設定します(T2)。
- (7) リセット終了ステータス(H_SIE_IntStat_1.ResetCmp)を発行します(T3)。

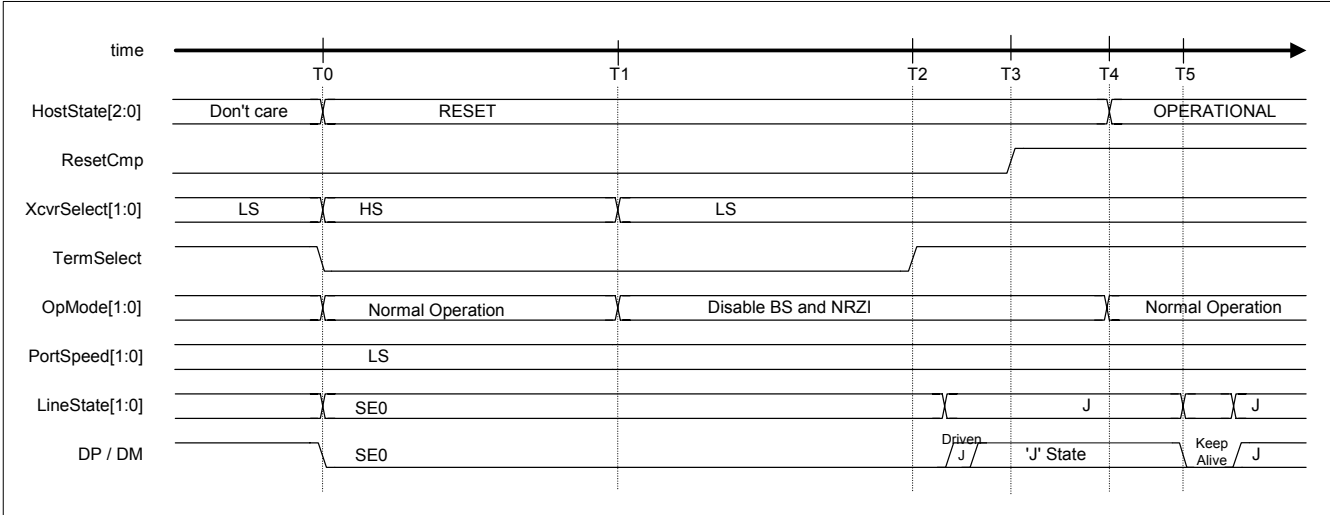


図 6-53 Reset Timing (LS mode)

表 6-48 Reset Timing Values (LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESET を設定する。(F/W)	0 (reference)
T1	トランシーバ選択 LS に設定する。(H/W)	$T0 + 7.0ms\{T_{UCHEND}\} < T1$
T2	ターミナル選択を FS に設定する。(H/W)	$T0 + 50ms\{T_{DRSTR}\} < T2$
T3	リセット完了ステータスを発行する。(H/W)	$T2 + 150us < T3$
T4(参考)	H_NegoControl_0. AutoMode に GoOPERATIONAL を設定する。(F/W)	T4
T5(参考)	最初の KeepAlive が送出。(H/W)	$T4 + 0.9ms < T5 < T4 + 1.1ms$ ($T5 < T2 + 3ms$)

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.5. GoOPERATIONAL

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoOPERATIONAL を設定すると、OPERATIONAL 遷移に必要な処理を本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoOPERATIONAL を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を OPERATIONAL に設定します(T0)。
- (3) オペレーションモード(H_XcvtControl. OpMode[1:0])を"Normal"に設定し、USB のトランザクションを実行する状態になります(T0)。
- (4) 切断検出機能をオンします(T0)。
- (5) ポートスピード(H_NegoControl_1. PortSpeed[1:0])が HS または FS に設定されている場合は最初の SOF、LS に設定されている場合は最初の KeepAlive が発行され(T1)、以降チャネルの設定に従って転送が行われます。

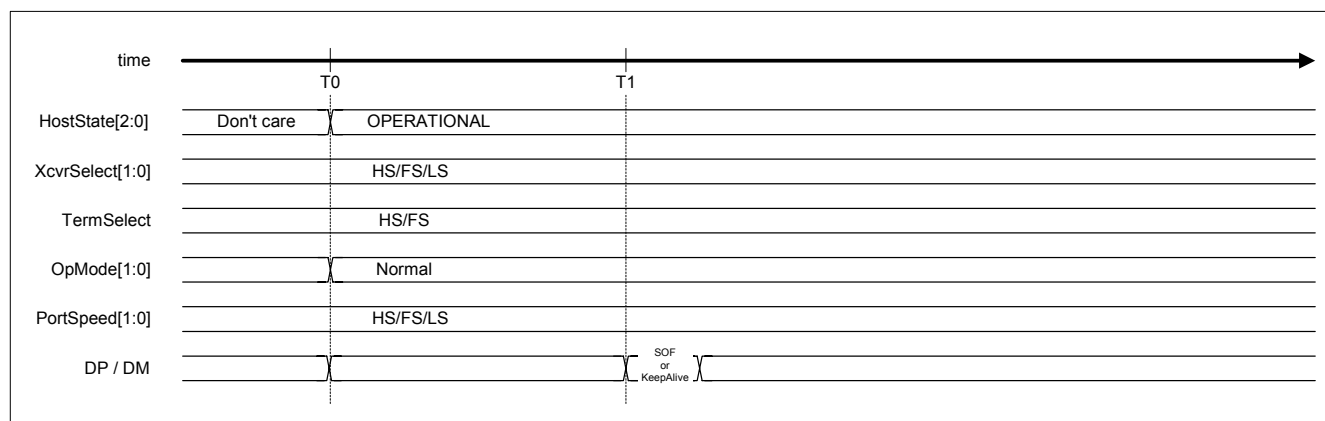


図 6-54 GoOPERATIONAL Timing

表 6-49 GoOPERATIONAL Timing Values

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoOPERATIONAL を設定する。(F/W)	0 (reference)
T1	最初の SOF(HS/FS)、または KeepAlive(LS)が送出。	$T0 + 120\mu s < T1(HS) < T0 + 130\mu s$ $T0 + 0.9ms < T1(FS, LS) < T0 + 1.1ms$

6.3.9.3.6. GoSUSPEND

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPEND を設定すると、サスペンド遷移に必要な処理を本 LSI の H/W が自動的に実行します。

6.3.9.3.6.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(7)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPEND を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を SUSPEND に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、トランシーバ選択(H_XcvtControl. XcvtSelect)とターミナル選択(H_XcvtControl. TermSelect)を FS モードに、オペレーションモード(H_XcvtControl. OpMode[1:0])を"PowerDown"に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) リモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)がイネーブルの場合、リモート・ウェークアップ検出機能をオンします(T3)。
- (7) F/W に対し、サスペンド遷移完了ステータス(H_SIE_IntStat_1. SuspendCmp)を発行します(T3)。

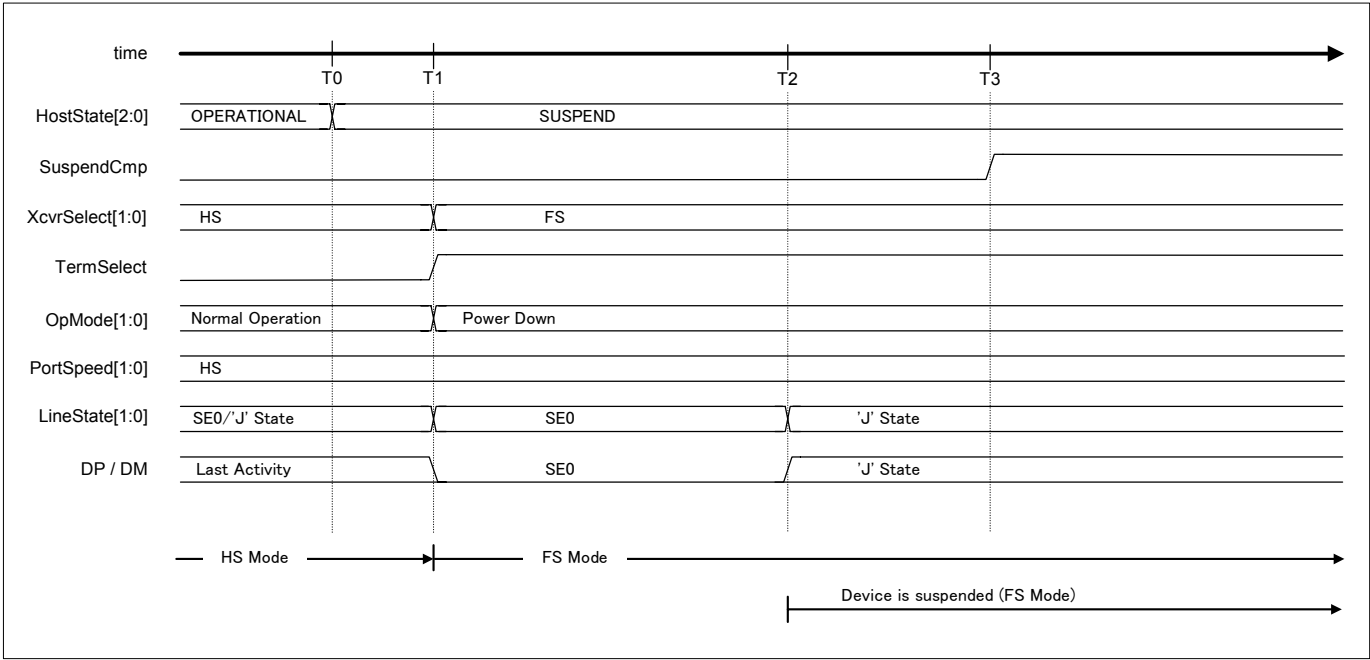


図 6-55 Suspend Timing (HS mode)

表 6-50 Suspend Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoSUSPEND を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、トランシーバ選択とターミナル選択を FS モードに、オペレーションモード(H_XcvtControl. OpMode[1:0])を"PowerDown"に設定する。(H/W)	T1
T2	デバイスがサスペンドを検出し、FS mode になる。	$T1 + 3.0ms < T2 \{T_{WTREV}\} < T1 + 3.125ms$
T3	切断検出機能をオンする。 リモート・ウェークアップ受付許可がイネーブルの場合、リモート・ウェークアップ検出機能をオンする。 サスペンド遷移完了ステータスを発行する。(H/W)	$T1 + 5ms\{T_{WTRSM}\} < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.6.2. FS デバイスが接続されている場合

FS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(7)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPEND を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を SUSPEND に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、オペレーションモード(H_XcvrControl. OpMode[1:0])を"PowerDown"に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) リモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)がイネーブルの場合、リモート・ウェークアップ検出機能をオンします(T3)。
- (7) F/W に対し、サスペンド遷移完了ステータス(H_SIE_IntStat_1. SuspendCmp)を発行します(T3)。

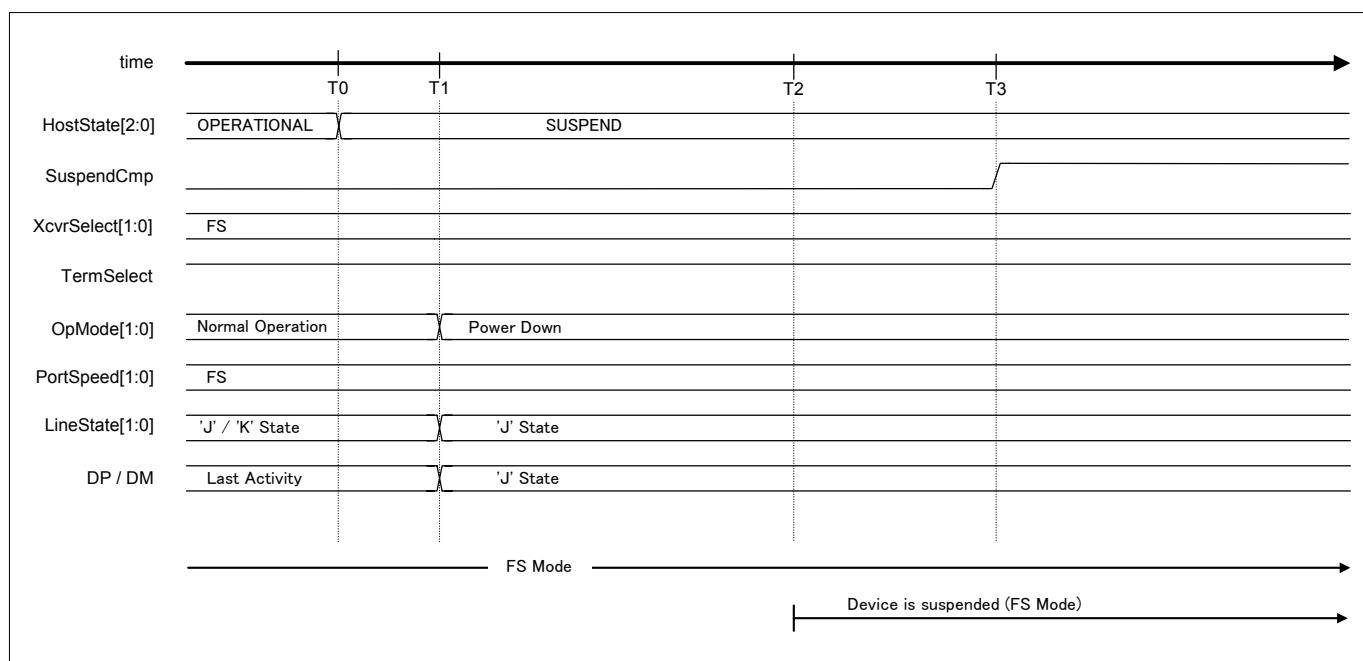


図 6-56 Suspend Timing (FS mode)

表 6-51 Suspend Timing Values (FS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoSUSPEND を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、オペレーションモード (H_XcvrControl. OpMode[1:0]) を "PowerDown" に設定する。(H/W)	T1
T2	デバイスがサスペンドを検出する。	$T1 + 3.0\text{ms} < T2 \{T_{WTREV}\} < T1 + 3.125\text{ms}$
T3	切断検出機能をオンする。 リモート・ウェークアップ受付許可がイネーブルの場合、リモート・ウェークアップ検出機能をオンする。 サスペンド遷移完了ステータスを発行する。(H/W)	$T1 + 5\text{ms}\{T_{WTRSM}\} < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.6.3. LS デバイスが接続されている場合

LS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(7)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPEND を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl0. HostState)を SUSPEND に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) 現在実行中のトランザクション完了を待って、オペレーションモード(H_XcvrControl. OpMode[1:0])を”PowerDown”に設定します(T1)。
- (5) 切断検出機能をオンします(T3)。
- (6) リモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)がイネーブルの場合、リモート・ウェークアップ検出機能をオンします(T3)。
- (7) F/W に対し、サスペンド遷移完了ステータス(H_SIE_IntStat_1. SuspendCmp)を発行します(T3)。

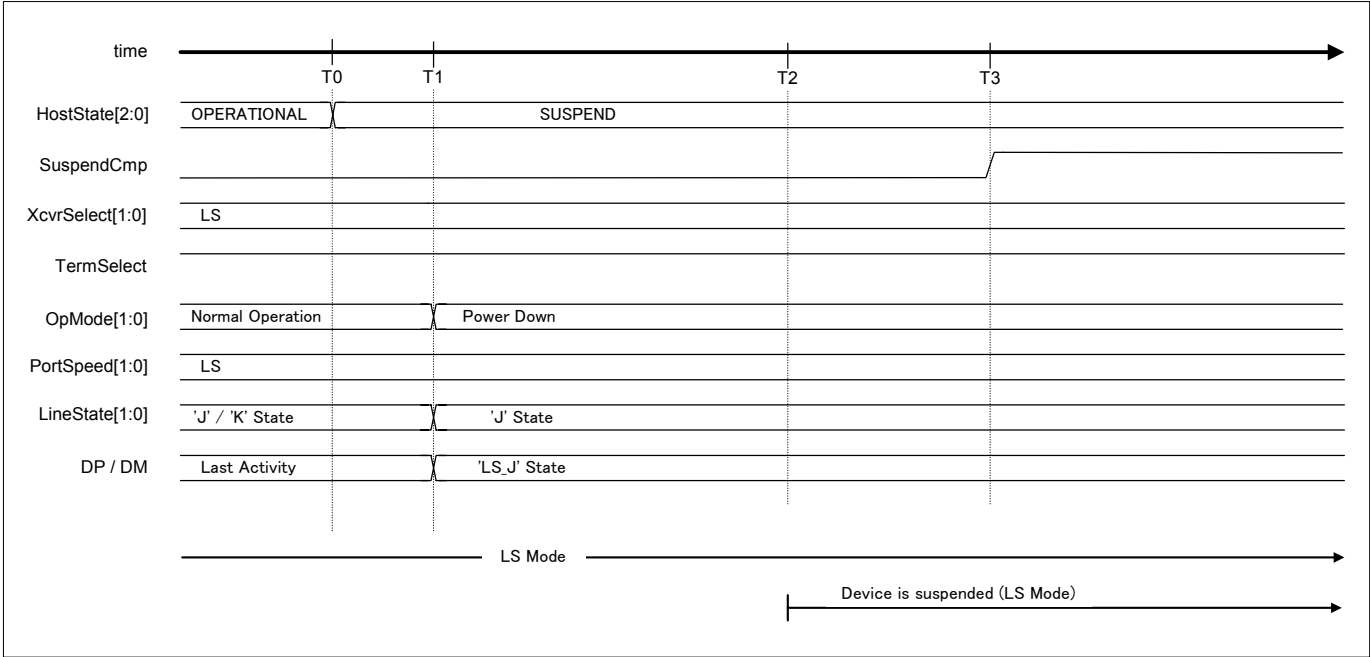


図 6-57 Suspend Timing (LS mode)

表 6-52 Suspend Timing Values (LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoSUSPEND を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。(H/W)	0 (reference)
T1	最後のバス・アクティビティ。完了後、オペレーションモード (H_XcvrControl. OpMode[1:0]) を ”PowerDown” に設定する。(H/W)	T1
T2	デバイスがサスペンドを検出する。	$T1 + 3.0ms < T2 \{T_{WTREV}\} < T1 + 3.125ms$
T3	切断検出機能をオンする。 リモート・ウェークアップ受付許可がイネーブルの場合、リモート・ウェークアップ検出機能をオンする。 サスペンド遷移完了ステータスを発行する。(H/W)	$T1 + 5ms\{T_{WTRSM}\} < T3$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.7. GoRESUME

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESUME を設定すると、レジューム遷移に必要な処理を本 LSI の H/W が自動的に実行します。

6.3.9.3.7.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(8)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に Go RESUME を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESUME に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) オペレーションモード(H_XcvtControl. OpMode)を”Disable BS and NRZI”に設定し、レジューム”K”信号発行を開始します(T0)。
- (5) レジューム”K”信号発行を完了します(T1)。
- (6) ターミナル選択(H_XcvtControl. TermSelect)を HS に設定します(T2)。
- (7) トランシーバ選択(H_XcvtControl. XcvtSelect)を HS に設定します(T3)。
- (8) F/W に対し、レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します(T3)。

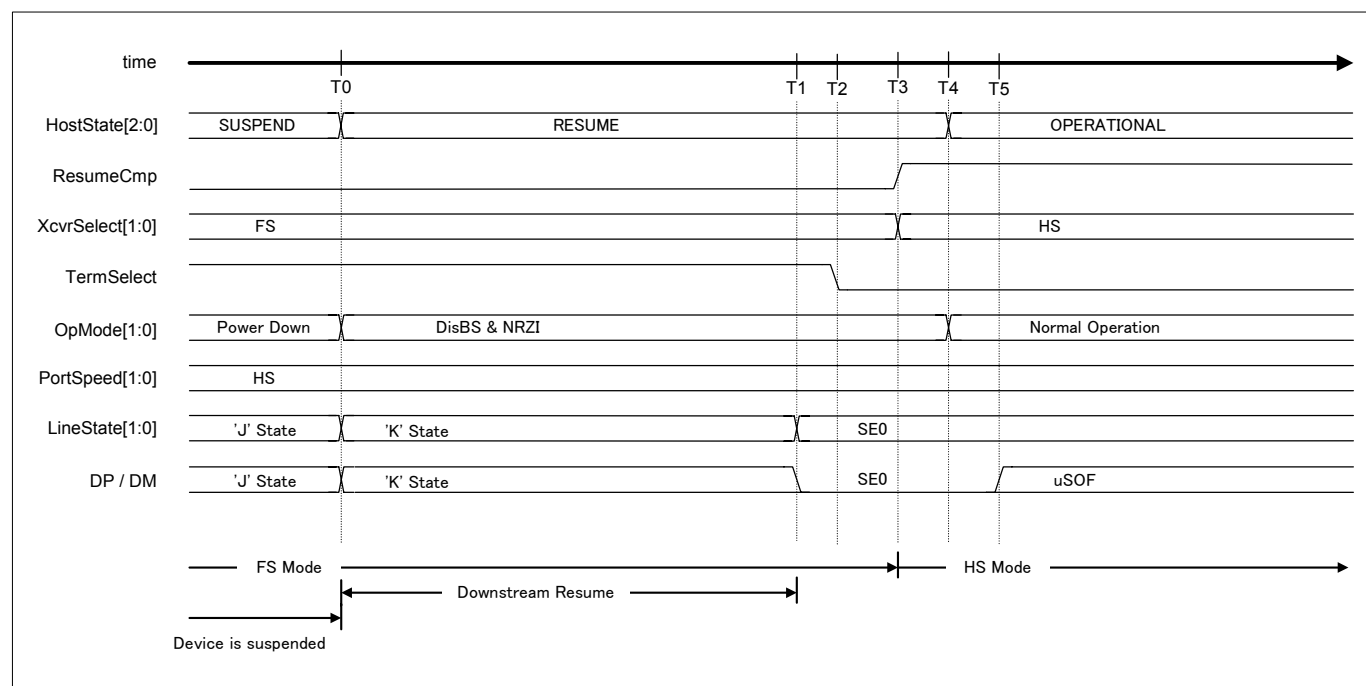


図 6-58 Resume Timing (HS mode)

表 6-53 Resume Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESUME を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。 オペレーションモードを"Disable BS and NRZI"に設定し、レジューム"K"信号の発行を開始する。(H/W)	0 (reference)
T1	レジューム"K"信号発行を完了する。 ターミナル選択を HS に設定する。(H/W)	$T0 + 20\text{ms}\{T_{\text{DRSMDN}}\} < T1$
T2	トランシーバ選択を HS に設定する。(H/W)	$T1 + 100\text{ns} < T2 < T1 + 2.0\text{us}$
T3	レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行する。(H/W)	$T1 + 90\text{us} < T3 < T1 + 110\text{us}$
T4(参考)	GoOPERATIONAL を設定する。(F/W) オペレーションモードを"NomalOperation"に設定する。(H/W)	T4
T5(参考)	最初のマイクロ SOF を発行する。(H/W)	$T5 < T1 + 3\text{ms}$ $T4 + 120\text{us} < T5 < T4 + 130\text{us}$

注: {} は、USB2.0 規格書で規格されている名称である。

6.3.9.3.7.2. FS デバイスが接続されている場合

FS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(6)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に Go RESUME を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESUME に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) オペレーションモード(H_XcvrControl. OpMode)を"Disable BS and NRZI"に設定し、レジューム"K"信号の発行を開始します(T0)。
- (5) レジューム"K"信号の発行を完了し(T1)、最後に LS bit time の EOP を付与します。
- (6) F/W に対し、レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します(T2)。

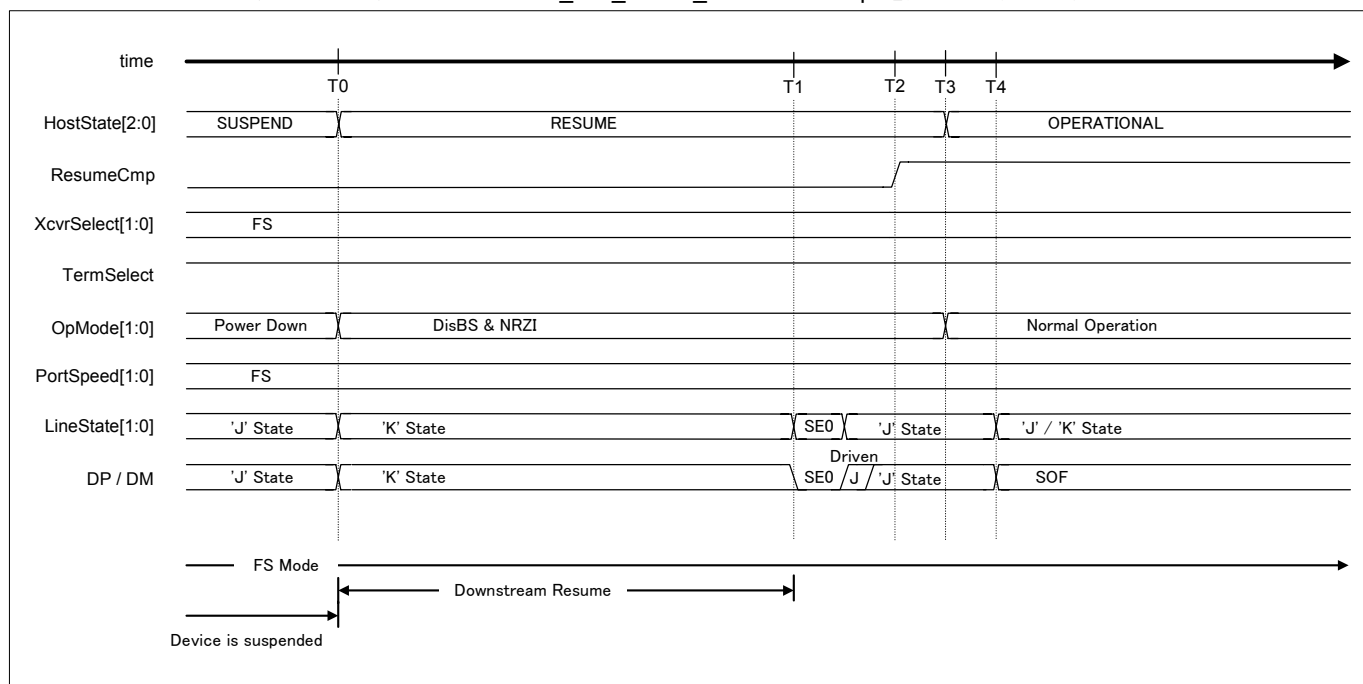


図 6-59 Resume Timing (FS mode)

表 6-54 Resume Timing Values (FS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESUME を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。 オペレーションモードを"Disable BS and NRZI"に設定し、レジューム"K"信号の発行を開始する。(H/W)	0 (reference)
T1	レジューム"K"信号の発行を完了し、最後に LS bit time の EOP を付与する。(H/W)	$T0 + 20ms\{T_{DRSMDN}\} < T1$
T2	レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行する。(H/W)	$T1 + 90us < T2 < T1 + 110us$
T3(参考)	GoOPERATIONAL を設定する。(F/W) オペレーションモードを"NormalOperation"に設定する。(H/W)	T3
T4(参考)	最初の SOF を発行する。(H/W)	$T4 < T1 + 3ms$ $T3 + 0.9ms < T4 < T3 + 1.1ms$

注: {}は、USB2.0 規格書で規格されている名称である。

6. 機能説明

6.3.9.3.7.3. LS デバイスが接続されている場合

LS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(6)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に Go RESUME を設定します(T0)。
- (2) ホストステートモニタ(H_NegoControl_0. HostState)を RESUME に設定します(T0)。
- (3) 切断検出機能およびリモート・ウェークアップ検出機能をオフします(T0)。
- (4) オペレーションモード(H_XcvrControl. OpMode)を”Disable BS and NRZI”に設定し、レジューム”K”信号の発行を開始します(T0)。
- (5) レジューム”K”信号の発行を完了し(T1)、最後に LS bit time の EOP を付与します。
- (6) F/W に対し、レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します(T2)。

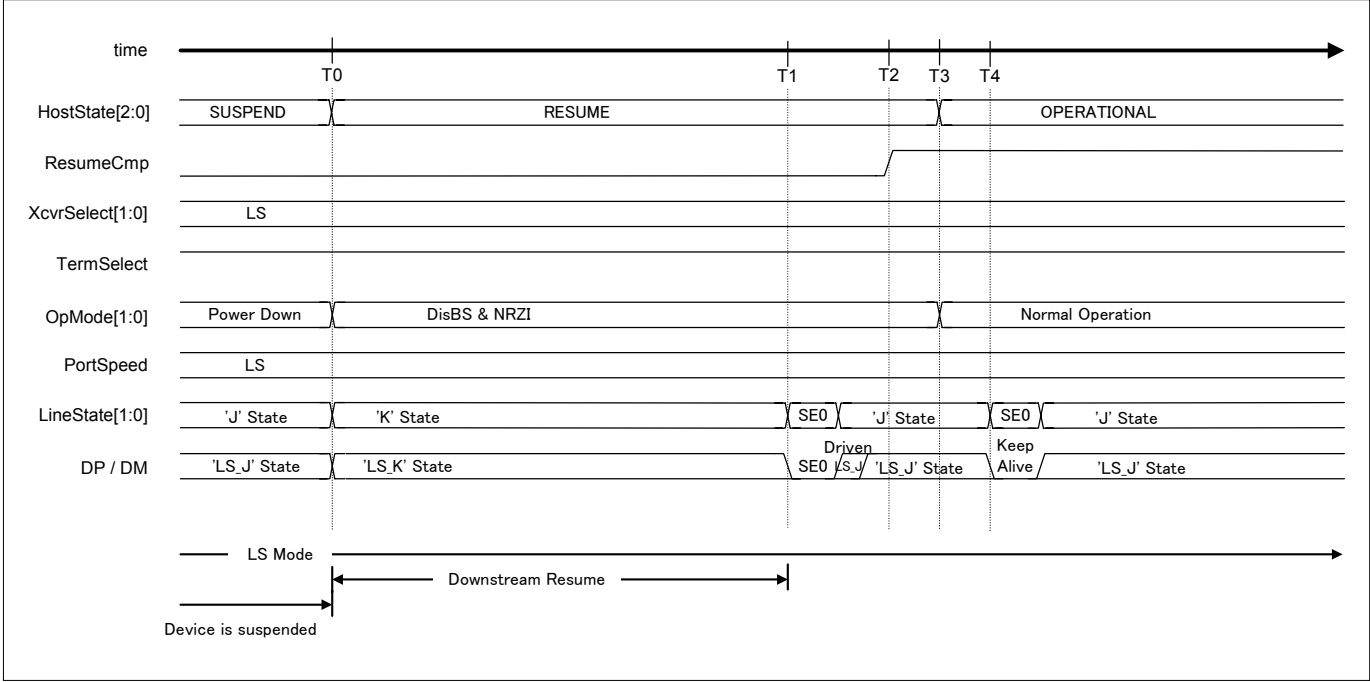


図 6-60 Resume Timing (LS mode)

表 6-55 Resume Timing Values (LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESUME を設定する。(F/W) 切断検出機能およびリモート・ウェークアップ検出機能をオフする。 オペレーションモードを”Disable BS and NRZI”に設定し、レジューム”K”信号の発行を開始する。(H/W)	0 (reference)
T1	レジューム”K”信号の発行を完了し、最後に LS bit time の EOP を付与する。(H/W)	$T0 + 20ms\{T_{DRSMDN}\} < T1$
T2	レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行する。(H/W)	$T1 + 90us < T2 < T1 + 110us$
T3(参考)	GoOPERATIONAL を設定する。(F/W) オペレーションモードを”NormalOperation”に設定する。(H/W)	T3
T4(参考)	最初の Keep Alive を発行する。(H/W)	$T4 < T1 + 3ms$ $T3 + 0.9ms < T4 < T3 + 1.1ms$

注: {}は、USB2.0 規格書で規格されている名称である。

6.3.9.3.8. GoWAIT_CONNECTtoDIS

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECTtoDIS を設定すると、WAIT_CONNECT ステートから DISABLED ステートに至る必要な処理を本 LSI の H/W が自動的に実行します。

実行手順は以下のとおりです。下記(2)～(5)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECTtoDIS を設定します(T0)。
- (2) GoWAIT_CONNECT と同等の処理を実行します(T0)。
- (3) 接続検出を行い、接続検出ステータス(H_SIE_IntStat_0. DetectCon)を発行します(T1)。
- (4) GoDISABLED と同等の処理を実行します(T1)。
- (5) ディセーブルド完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T2)。

なお、各ステートにおけるタイミングは、GoWAIT_CONNECT、GoDISABLED を実行した場合と同じです。タイミングの詳細は、GoWAIT_CONNECT、GoDISABLED の項を参照してください。

また、途中で異常(切断、VBUS 異常)を検出した場合の実行手順およびタイミングについては、切断検出、VBUS 異常の項を参照してください。

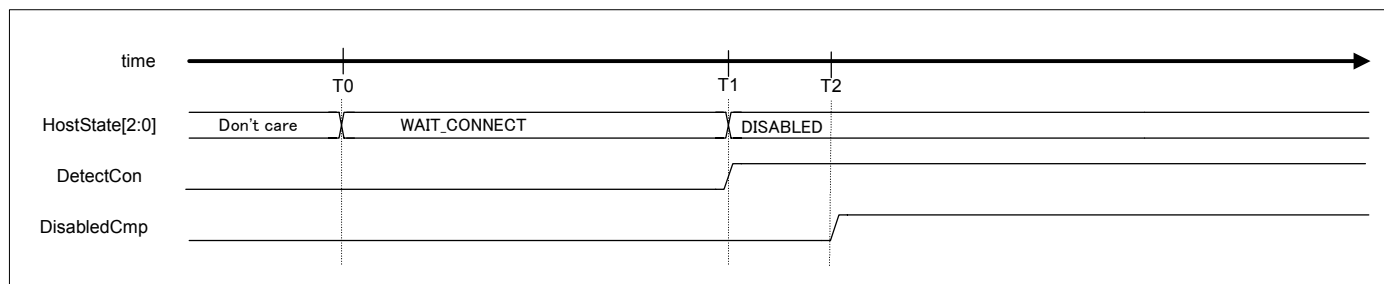


図 6-61 GoWAIT_CONNECTtoDIS Timing (HS mode)

表 6-56 GoWAIT_CONNECTtoDIS Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoWAIT_CONNECTtoOP を設定する。(F/W) GoWAIT_CONNECT と同等の処理を実行する。(H/W)	0 (reference)
T1	接続検出を行い、接続検出ステータスを発行する。 GoDISABLED と同等の処理を実行する。(H/W)	T1
T2	ディセーブルド完了ステータスを発行する。(H/W)	T2

6. 機能説明

6.3.9.3.9. GoWAIT_CONNECTtoOP

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECTtoOP を設定すると、WAIT_CONNECT ステートから OPERATIONAL ステートに至る必要な処理を本 LSI の H/W が自動的に実行します。

6.3.9.3.9.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(9)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECTtoOP を設定します(T0)。
- (2) GoWAIT_CONNECT と同等の処理を実行します(T0)。
- (3) 接続検出を行い、接続検出ステータス(H_SIE_IntStat_0. DetectCon)を発行します(T1)。
- (4) GoDISABLED と同等の処理を実行します(T1)。
- (5) ディセーブルド完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T2)。
- (6) GoRESET と同等の処理を実行します(T2)。
- (7) デバイスの Chirp を検出し、デバイスチャープ正常検出ステータス(H_SIE_IntStat_0. DetectDevChirpOK)を発行します(T3)。
- (8) リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します(T4)。
- (9) GoOPERATIONAL と同等の処理を実行します(T4)。

なお、各ステートにおけるタイミングは、GoWAIT_CONNECT、GoDISABLED、GoRESET、GoOPERATIONAL を実行した場合と同じです。タイミングの詳細は、GoWAIT_CONNECT、GoDISABLED、GoRESET、GoOPERATIONAL の項を参照してください。

また、途中で異常(切断、VBUS 異常、デバイスチャープ異常)を検出した場合の実行手順およびタイミングについては、切断検出、VBUS 異常、GoRESET の項を参照してください。

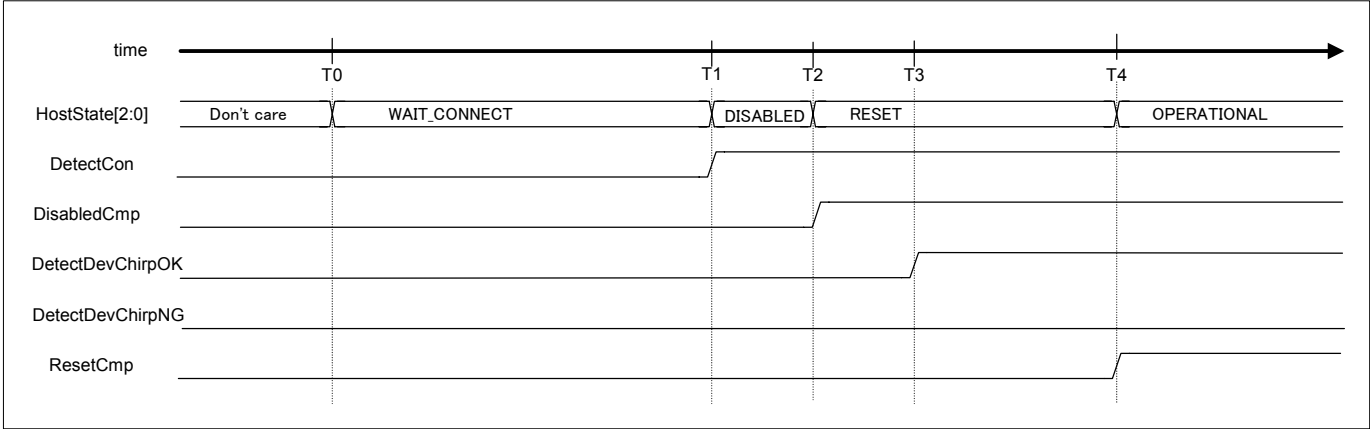


図 6-62 GoWAIT_CONNECTtoOP Timing (HS mode)

表 6-57 GoWAIT_CONNECTtoOP Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoWAIT_CONNECTtoOP を設定する。(F/W) GoWAIT_CONNECT と同等の処理を実行する。(H/W)	0 (reference)
T1	接続検出を行い、接続検出ステータスを発行する。 GoDISABLED と同等の処理を実行する。(H/W)	T1
T2	ディセーブルド完了ステータスを発行する。 GoRESET と同等の処理を実行する。(H/W)	T2
T3	デバイスチャープ検出を行い、デバイスチャープ正常検出ステータスを発行する。(H/W)	T3
T4	リセット完了ステータスを発行する。 GoOPERATIONAL と同等の処理を実行する。(H/W)	T4

6.3.9.3.9.2. FS または LS デバイスが接続されている場合

FS または LS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(9)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoWAIT_CONNECTtoOP を設定します(T0)。
- (2) GoWAIT_CONNECT と同等の処理を実行します(T0)。
- (3) 接続検出を行い、接続検出ステータス(H_SIE_IntStat_0. DetectCon)を発行します(T1)。
- (4) GoDISABLED と同等の処理を実行します(T1)。
- (5) ディセーブルド完了ステータス(H_SIE_IntStat_1. DisabledCmp)を発行します(T2)。
- (6) GoRESET と同等の処理を実行します(T2)。
- (7) デバイスの Chirp を検出しないため、デバイスチャープ正常／異常検出ステータス(H_SIE_IntStat_0. DetectDevChirpOK/NG)は発行しません(T3)。
- (8) リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します(T4)。
- (9) GoOPERATIONAL と同等の処理を実行します(T4)。

なお、各ステートにおけるタイミングは、GoWAIT_CONNECT、GoDISABLED、GoRESET、GoOPERATIONAL を実行した場合と同じです。タイミングの詳細は、GoWAIT_CONNECT、GoDISABLED、GoRESET、GoOPERATIONAL の項を参照してください。

また、途中で異常(切断、VBUS 異常)を検出した場合の実行手順およびタイミングについては、切断検出、VBUS 異常の項を参照してください。

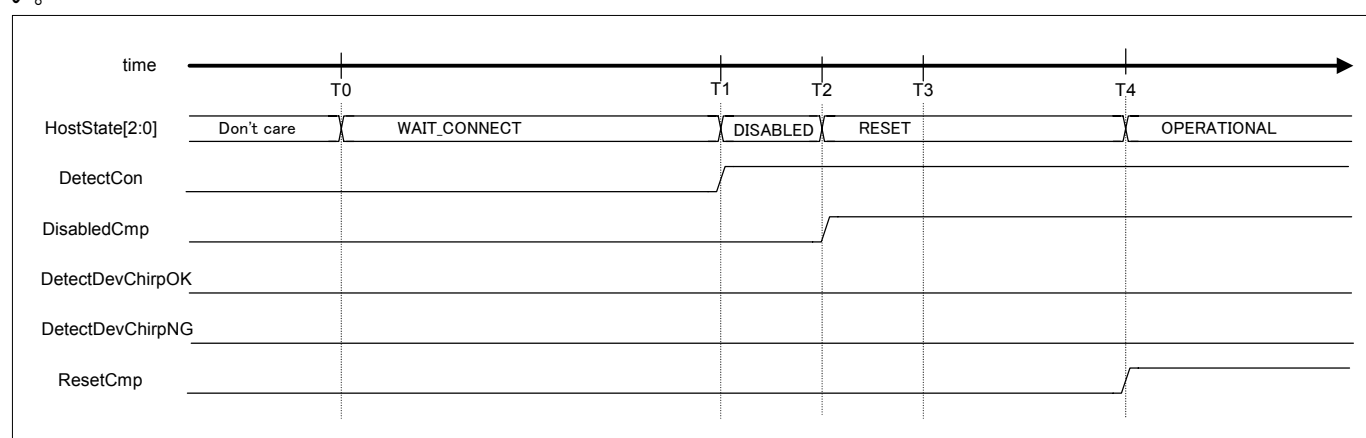


図 6-63 GoWAIT_CONNECTtoOP Timing (FS または LS mode)

表 6-58 GoWAIT_CONNECTtoOP Timing Values (FS または LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoWAIT_CONNECTtoOP を設定する。(F/W) GoWAIT_CONNECT と同等の処理を実行する。(H/W)	0 (reference)
T1	接続検出を行い、接続検出ステータスを発行する。 GoDISABLED と同等の処理を実行する。(H/W)	T1
T2	ディセーブルド完了ステータスを発行する。 GoRESET と同等の処理を実行する。(H/W)	T2
T3	デバイスチャープ非検出のため、デバイスチャープ正常／異常検出ステータスを発行しない。(H/W)	T3
T4	リセット完了ステータスを発行する。 GoOPERATIONAL と同等の処理を実行する。(H/W)	T4

6.3.9.3.10. GoRESETtoOP

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESETtoOP を設定すると、RESET ステートから OPERATIONAL ステートに至る必要な処理を本 LSI の H/W が自動的に実行します。

6.3.9.3.10.1. HS デバイスが接続されている場合

HS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(5)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESETtoOP を設定します(T0)。
- (2) GoRESET と同等の処理を実行します(T0)。
- (3) デバイスの Chirp を検出し、デバイスチャープ正常検出ステータス(H_SIE_IntStat_0. DetectDevChirpOK)を発行します(T1)。
- (4) リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します(T2)。
- (5) GoOPERATIONAL と同等の処理を実行します(T2)。

なお、各ステートにおけるタイミングは、GoRESET、GoOPERATIONAL を実行した場合と同じです。タイミングの詳細は、GoRESET、GoOPERATIONAL の項を参照してください。

また、途中で異常(VBUS 異常およびデバイスチャープ異常)を検出した場合の実行手順およびタイミングについては、VBUS 異常およびGoRESET の項を参照してください。

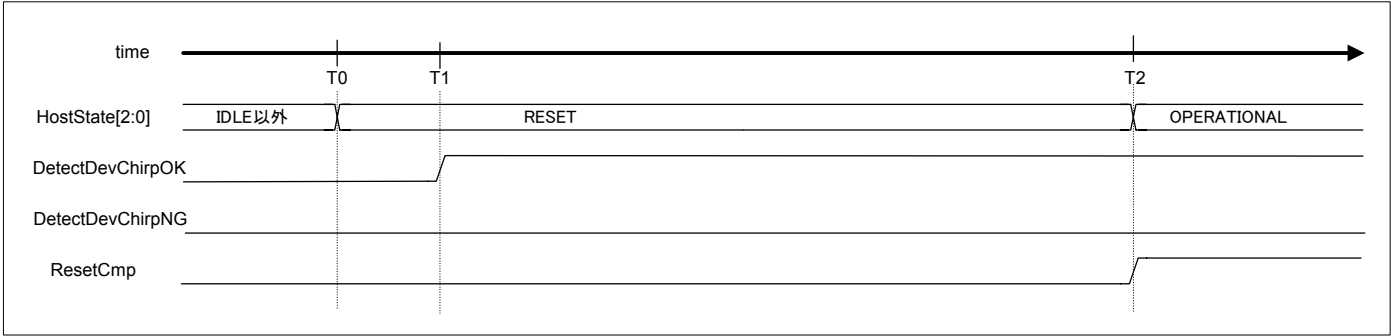


図 6-64 GoRESETtoOP Timing (HS mode)

表 6-59 GoRESETtoOP Timing Values (HS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESETtoOP を設定する。(F/W) GoRESET と同等の処理を実行する。(H/W)	0 (reference)
T1	デバイスチャープ検出を行い、デバイスチャープ正常検出ステータスを発行する。(H/W)	T1
T2	リセット完了ステータスを発行する。 GoOPERATIONAL と同等の処理を実行する。(H/W)	T2

6.3.9.3.10.2. FS または LS デバイスが接続されている場合

FS または LS デバイスが接続されている場合の実行手順は以下のとおりです。下記(2)～(5)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESETtoOP を設定します(T0)。
- (2) GoRESET と同等の処理を実行します(T0)。
- (3) デバイスの Chirp を検出しないため、デバイスチャープ正常／異常検出ステータス(H_SIE_IntStat_0. DetectDevChirpOK/NG)は発行しません(T1)。
- (4) リセット完了ステータス(H_SIE_IntStat_1. ResetCmp)を発行します(T2)。
- (5) GoOPERATIONAL と同等の処理を実行します(T2)。

なお、各ステートにおけるタイミングは、GoRESET、GoOPERATIONAL を実行した場合と同じです。タイミングの詳細は、GoRESET、GoOPERATIONAL の項を参照してください。

また、途中で異常(VBUS 異常)を検出した場合の実行手順およびタイミングについては、VBUS 異常の項を参照してください。

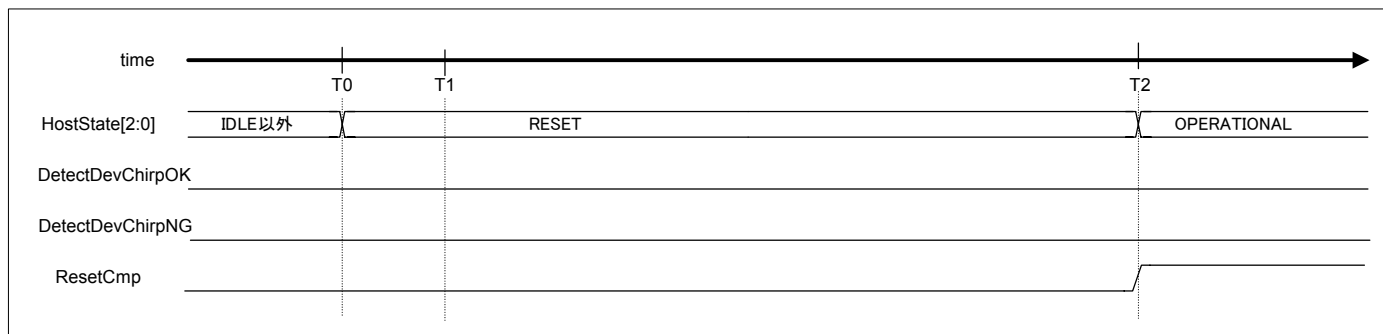


図 6-65 GoRESETtoOP Timing (FS または LS mode)

表 6-60 GoRESETtoOP Timing Values (FS または LS mode)

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESETtoOP を設定する。(F/W) GoRESET と同等の処理を実行する。(H/W)	0 (reference)
T1	デバイスチャープ非検出のため、デバイスチャープ正常／異常検出ステータスを発行しない。(H/W)	T1
T2	リセット完了ステータスを発行する。 GoOPERATIONAL と同等の処理を実行する。(H/W)	T2

6.3.9.3.11. GoSUSPENDtoOP

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPENDtoOP を設定すると、SUSPEND ステートから OPERATIONAL ステートに至る必要な処理を本 LSI の H/W が自動的に実行します。

GoSUSPENDtoOP を設定した場合は、リモート・ウェークアップ検出機能を H/W が自動的にオン／オフします(ただしリモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)には反映しません)ので、F/W がリモート・ウェークアップ受付許可(H_NegoControl_1. RmtWkupDetEnb)を操作する必要はありません。

なお、本設定を使用する際には、パワーマネジメント機能を使用しないでください。

本設定による実行手順は以下のとおりです。下記(2)～(7)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoSUSPENDtoOP を設定します(T0)。
- (2) GoSUSPEND と同等の処理を実行します(T0)。
- (3) サスペンド遷移完了ステータス(H_SIE_IntStat_1. SuspendCmp)を発行します(T1)。
- (4) リモート・ウェークアップを検出し、リモート・ウェークアップを検出ステータス(H_SIE_IntStat_0. DetectRmtWkup)を発行します(T2)。
- (5) GoRESUME と同等の処理を実行します(T2)。
- (6) レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します(T3)。
- (7) GoOPERATIONAL と同等の処理を実行します(T3)。

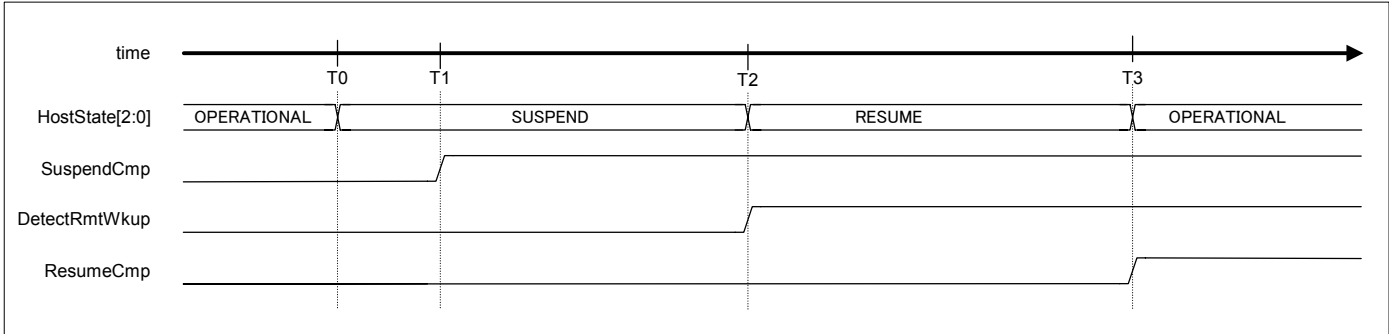


図 6-66 GoSUSPENDtoOP Timing

表 6-61 GoSUSPENDtoOP Timing Value

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoSUSPENDtoOP を設定する。(F/W) GoSUSPEND と同等の処理を実行する。(H/W)	0 (reference)
T1	サスペンド遷移完了ステータスを発行する。(H/W)	T1
T2	リモート・ウェークアップを検出し、リモート・ウェークアップ検出ステータスを発行する。GoRESUME と同等の処理を実行する。(H/W)	T2
T3	レジューム完了ステータスを発行する。GoOPERATIONAL と同等の処理を実行する。(H/W)	T3

6.3.9.3.12. GoRESUMetoOP

ホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESUMetoOP を設定すると、RESUME ステートから OPERATIONAL ステートに至る必要な処理を本 LSI の H/W が自動的に実行します。

本設定による実行手順は以下のとおりです。下記(2)～(4)は本 LSI の H/W が自動的に実行します。

- (1) F/W がホストステート遷移実行(H_NegoControl_0. AutoMode)に GoRESUMetoOP を設定します(T0)。
- (2) GoRESUME と同等の処理を実行します(T0)。
- (3) レジューム完了ステータス(H_SIE_IntStat_1. ResumeCmp)を発行します(T1)。
- (4) GoOPERATIONAL と同等の処理を実行します(T1)。

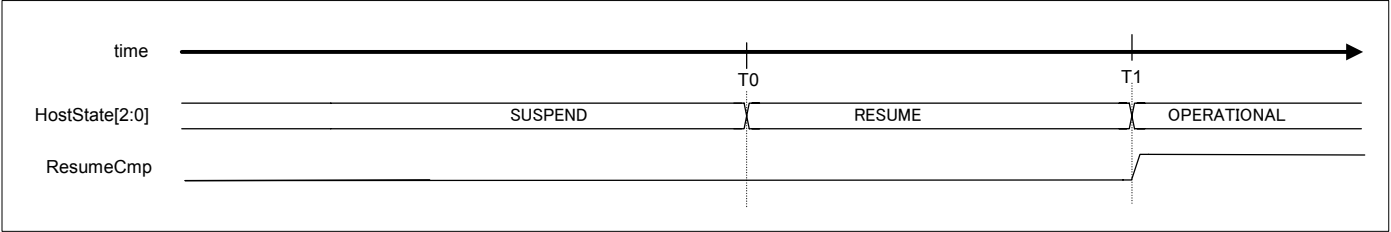


図 6-67 GoRESUMetoOP

表 6-62 GoRESUMetoOP Timing Value

Timing Parameter	Description	Value
T0	H_NegoControl_0. AutoMode に GoRESUMetoOP を設定する。(F/W) Go RESUME と同等の処理を実行する。(H/W)	0 (reference)
T1	レジューム完了ステータスを発行する。 GoOPERATIONAL と同等の処理を実行する。(H/W)	T1

6. 機能説明

6.4. パワーマネージメント機能

オシレータ、PLL の動作を制御し、スリープ、アクティブのステートを遷移します。ただし、スヌーズ・ステートはスリープ⇄アクティブのステート遷移時に経由するだけのステートです。他のステートに遷移する場合には、PM_Controlレジスタの GoSLEEP、GoACTIVE ビットをセットすることで開始され、任意の処理が行われた後終了します。現在、どのステートにいるかを確認するには、PM_Control.PM_State [1:0]を確認してください。また遷移終了時、MainIntStat.FinishedPM イベントが発生します。この時、MainIntEnb.EnFinishedPM ビットをセットしていれば、割り込み XINT が発生します。ただし、この PM_Control.PM_State [1:0]は、PM_Control レジスタの GoSLEEP、GoACTIVE ビットをセットしてから、MainIntStat.FinishedPM イベントが発生するまでは、正確なステートを表示できないことに注意してください。

アクティブ・ステート時に PM_Control.GoSLEEP ビットをセットした場合は、スヌーズ・ステートを經由し、スリープ・ステートに遷移し、完全に遷移終了した時点で Main_IntStat.FinishedPM イベントが発生します。またスリープ・ステート時に PM_Control.GoACTIVE ビットをセットした場合も、スヌーズ・ステートを經由し、アクティブ・ステートに遷移し、完全に遷移終了した時点で MainIntStat.FinishedPM イベントが発生します。

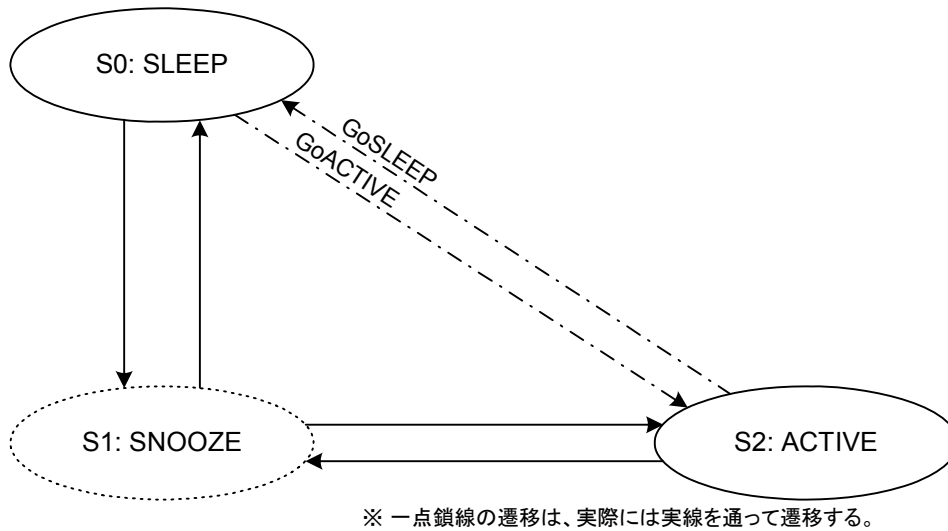


図 6-68 パワーマネージメント

6.4.1. SLEEP(スリープ)

オシレータが発振していない、または CLKIN 端子からの CLK 入力をゲートさせているステートです。したがって、このステートでは、PLL も発振していません。**斜体太字**のレジスタ及びビットはスリープ・ステートでも読み書き可能なレジスタです。**斜体文字**以外のレジスタにつきましては、アクティブ・ステートで無ければ読み書きできず、読むと全て 0 として読み出されてしまいます。

アクティブ・ステート中に PM_Control.GoSLEEP ビットをセットし、スリープに遷移する場合は、動作している内部 PLL を停止し、OSCCLK の内部への出力を停めた後に発振を停止します。

逆に、スリープ・ステート中に PM_Control.GoACTIVE ビットをセットし、スリープからスヌーズへ離脱する時には、オシレータが安定して発振するまで内部回路には OSCCLK を与えないように、発振安定時間ゲートしています。この発振安定時間は、発振セル、発振子、周辺回路及び基板によって変化しますので、WakeUpTim_H,L レジスタを用いて設定してください。

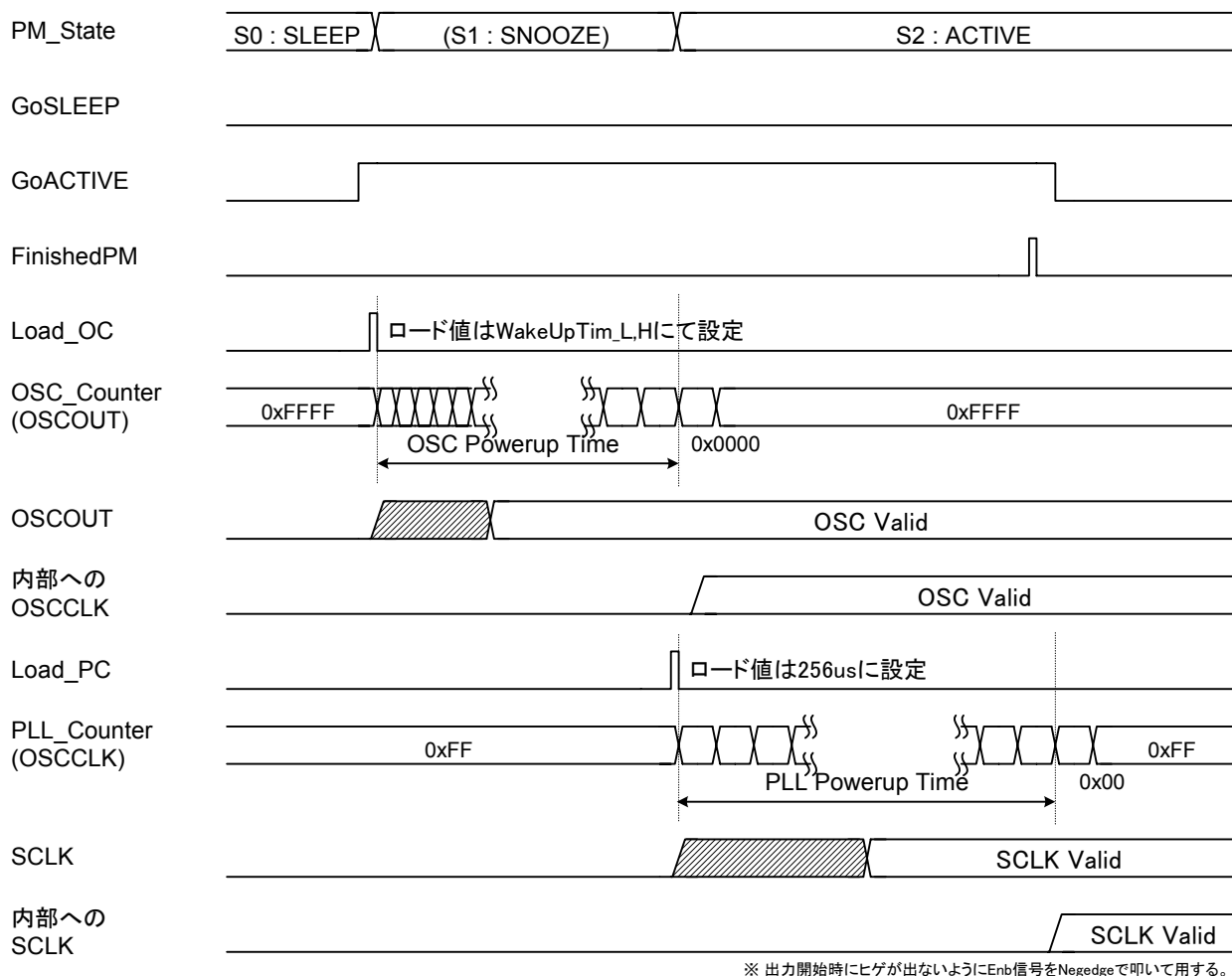


図 6-69 SLEEP ステートからの離脱 (GoACTIVE 時)

6.4.2. SNOOZE(スヌーズ)

オシレータは発振している状態で、PLL が発振していないステートです。スリープ⇄アクティブのステート遷移時に経由するだけのステートです。

スヌーズからアクティブへ離脱する時には、PLL が安定して発振するまで内部回路には SCLK を与えないように、PLL 安定時間(約 250us)ゲートします。

6.4.3. ACTIVE(アクティブ)

オシレータ、PLL が動作しているステートです。USB 転送を含む全てのデータ転送が可能です。

6.4.4. CPU_Cut モード

スリープ・ステートにおいて、PM_State.GoCPU_Cut ビットをセットすることで、XCS を除く CPU-I/F の信号の入力を IC 初段から停止します。これにより、スリープ・ステートで CPU-I/F が動作している場合においても、本 LSI の入力端子のスイッチングは行われず、完全停止状態(IQ 状態)とほぼ同等の低消費電力化が図れます。

この CPU_Cut モード状態から復帰するには、PM_Control レジスタをダミーリード(データは 0x00)してもらう事で、そのリード動作終了と同時に CPU_Cut モードから復帰します。この時、復帰動作を行うために XCS 信号の立ち上がり信号を使用しているため、ダミーリードの後には必ず XCS 信号がネゲート("H"になる)されるようにしてください。ダミーリード後に XCS 信号がネゲートされずに、すぐに他のレジスタをリード場合においては、依然 CPU_Cut モードが継続されています。

6.5. FIFO 管理

FIFO 管理について説明します。

6.5.1. FIFO メモリマップ

FIFO のメモリマップを以下に示します。

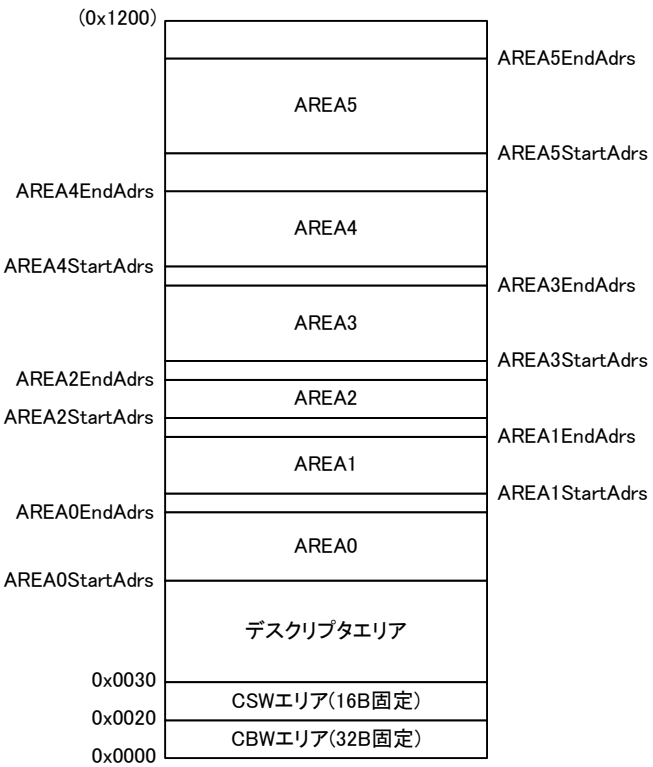


図 6-70 FIFO メモリマップ例

FIFOのメモリは、CBWエリア、CSWエリア、デスクリプタエリア、AREA0、AREA1、AREA2、AREA3、AREA4、AREA5 に分割して使用できます。CBWエリア、CSWエリアについては 図 6-70 のように固定領域が割り当てられます。一方その他のAREAn{n=0-5}についてはFIFOエリア設定レジスタ(AREAn{n=0-5}StartAdrs_H,L, AREAn{n=0-5}EndAdrs_H,L)で領域を柔軟に設定することが可能です。デスクリプタエリアは未使用の領域を自由に使用できます。

デスクリプタエリアは、USBデバイス時にデスクリプタ返信機能で使用する領域です。FIFOの未使用領域のどの位置からでも使用することが出来ます。実際の使用方法については、6.5.2 に後述します。全てのFIFO領域をデスクリプタ返信機能に使用設定することが可能となりますが、競合を避けるために、ここで表したエリアでのデスクリプタエリアの使用を推奨します。

CBWエリアは、USBデバイス時にバルクオンリーサポート機能のCBWサポートで使用する領域です。32 バイト確保されていますが、そのうち、アドレス 0x0000 から始まる 31 バイトの領域を使用します。実際の使用方法については、6.5.3.1 に後述します。また、このCBWエリアはUSBホスト時にはCHaのバルクオンリーサポート機能で使用する領域です。実際の使用方法については 6.5.3.2 に後述します。

CSWエリアは、USBデバイス時にバルクオンリーサポート機能のCSWサポートで使用する領域です。16 バイト確保されていますが、そのうち、アドレス 0x0020 から始まる 13 バイトの領域を使用します。実際の使用方法については、6.5.4.1 に後述します。また、このCSWエリアはUSBホスト時にはCHaのバルクオンリーサポート機能で使用する領域です。実際の使用方法については 6.5.4.2 に後述します。

AREA0、AREA1、AREA2、AREA3、AREA4、AREA5は、USB デバイス時はエンドポイント(EPx{x=0, a-e})とジョインすることにより使用可能な、汎用エンドポイントのエリアです。USB ホスト時には、同様にチャネル(CHx{x=0, a-e})に Join することで使用可能となります。ジョインするには、AREA ジョイン設定レジスタ(AREAn{n=0-5}Join_1)の JoinEPxCHx{x=0, a-e}ビットを設定します。~~なお、同じエンドポイント、チャネルを複数のエリアに同時にジョインしないで下さい。~~なお、エンドポイント及びチャネルと、FIFO エリアをジョインする組み合わせについては、Appendix E を参照して下さい。

AREA0、AREA1、AREA2、AREA3、AREA4、AREA5 それぞれのエリアは、FIFO として制御されており、データ格納数が保持されています。この保持された状態をクリアするためには、AREAnFIFO_Clr.ClearAREAn{n=0-5}の各ビットをセットして下さい。

なお、これらの状態クリアは、データ保持情報の初期化動作のみを行い、データは書き込みまたはクリアをしません。従って、このビットによりRAM 上のデータがクリアされることはありませんので、デスクリプタエリア内に記録された情報は消えることは無く、クリア後に再度データを書き込み直す必要はありません。

6.5.2. デスクリプタエリア

デスクリプタエリアは、USB デバイス時にデスクリプタ返信機能に使用するエリアです。デスクリプタ返信機能は、エンドポイント 0 において、データステージが IN 転送で行われる場合に使用することが出来ます。

IN 方向のデータステージを行う場合に、この領域内に書き込まれたデータの先頭アドレスと、返信するデータサイズを設定し、デスクリプタ返信機能を実行すると、自動的にデータステージが行われます。

デバイスデスクリプタ等、機器で一意に決定されるような内容を、電源投入後の初期設定時等にこのエリアに書き込んでおくことにより、リクエストを受け付けるとこのエリアのデータを返信するよう指示することが出来ます。リクエスト毎に EP0 エリアにデータを書き込む必要が無く、高速に応答することができます。

6.5.2.1. デスクリプタエリアへのデータの書き込み

デスクリプタエリアへデータを書き込むには、RAM_WrDoor 機能を使用します。書き込み開始アドレスを RAM_WrAdrs_H,L レジスタに設定し、RAM_WrDoor_0,1 レジスタにデータを書き込むことによって行います。RAM_WrAdrs_H,L レジスタの値は、一回の書き込み毎に、書き込みデータ数ずつ更新されますので、連続したアドレスにデータを書き込む場合には、RAM_WrDoor_0,1 レジスタに連続して書き込むことが出来ます。

なお、RAM_WrDoor_0,1 レジスタは書き込みのみ可能となっています。

6.5.2.2. デスクリプタエリアでのデータステージ(IN)の実行

書き込まれたデータを、デスクリプタ返信機能にて使用する場合には、D_DescAdrs_H,L レジスタに、データステージに送信するデータの先頭アドレスを設定し、返信するデータサイズを D_DescSize_H,L レジスタに設定した後、D_EP0Control.ReplyDescriptor ビットに1をセットします。また、D_EP0Control.INxOUT ビットに"1"をセットして、IN トランザクションを行えるようにします。また、データステージの IN トランザクションにデータパケットを返信出来るよう、D_SETUP_Control.ProtectEP0 をクリアしてから、D_EP0Control_IN.ForceNAK ビットをクリアするようご注意ください。

設定後、ホストからの IN トランザクションに応答し、マックスパケットサイズ(D_EP0MaxSize にて設定)に自動的に分割しながら、ホストに D_DescSize_H,L レジスタに設定されたデータ数までデータパケットを返信します。また、D_DescSize_H,L レジスタの値がマックスパケットサイズに満たない場合や、分割した後の残りのデータ数がマックスパケットサイズに満たない場合には、自動的にショートパケットとして送信します。

ホストから OUT トランザクションが発行されると、D_EP0Control.ReplyDescriptor をクリアし、D_EP0IntStat.DescriptorCmp がセットされます。F/W はステータスステージの処理に移行して下さい。

6.5.3. CBW エリア

6.5.3.1. CBW エリア(USB デバイス時)

CBW エリアは、USB デバイス時にバルクオンリーサポート機能の CBW サポートに使用するエリアです。Bulk OUT のエンドポイント(エンドポイント EPa, EPb, EPc, EPd, EPe)で、Bulk Only Transport Protocol のコマンドトランスポートを行うときに、このエリアに受信することが出来ます。こうすることにより、エンドポイントの FIFO にはデータだけを受信することが出来ます。

CBW サポートを実行している時に、対象となるエンドポイントで OUT トランザクションが行われ、データサイズが 31 バイトであると、CBW エリアに受信します。データ長が 31 バイトで無かった場合は、エラーステータスを発行し、データは破棄します。

CBW エリアに受信したデータを読み出すには、RAM_Rd 機能を使用します。RAM_RdControl.RAM_GoRdCBW_CSW ビットをセットすると、CBW エリアのデータが読み出されて RAM_Rd_00~RAM_Rd_1E レジスタにコピーされ、完了ステータス(CPU_IntStat.RAM_RdCmp ビット)が発行されます。

6.5.3.2. CBW エリア(USB ホスト時)

CBW エリアは、USB ホスト時にバルクオンリーサポート機能で使用するエリアです。チャネル CHa で、Bulk Only Transport Protocol のコマンドトランスポートを行う際に、これらのエリアから CBW データをデータパケットとして送信します。

データパケットを送信する前に、CBW エリアには 0x0000 から CBW データ(31 バイト)を用意して下さい。

CBW エリアにデータを書き込むには、RAM_WrDoor 機能を使用します。RAM_WrAdrs_H,L レジスタに、CBW エリアの先頭アドレス(0x0000)を書き、RAM_WrDoor_0,1 レジスタを介して 31 バイトの有効データを書き込みます。CBW エリアは 32 バイト確保されていますので、ワードアクセスで 32 バイト書き込んで、他の領域を侵すことは無く、問題ありません。

6.5.4. CSW エリア

6.5.4.1. CSW エリア(USB デバイス時)

CSW エリアは、USB デバイス時、バルクオンリーサポート機能の CSW サポートに使用するエリアです。Bulk IN のエンドポイント(エンドポイント EPa, EPb, EPc, EPd, EPe)で、Bulk Only Transport Protocol のステータストランスポートを行うときに、このエリアから送信することが出来ます。こうすることにより、エンドポイントの FIFO からはデータだけを送信することが出来ます。

CSW サポートを実行している時に、対象となるエンドポイントで IN トランザクションが行われると、CSW エリアから 13 バイトのデータをデータパケットとして送信します。

CSW エリアにデータを書き込むには、RAM_WrDoor 機能を使用します。RAM_WrAdrs_H,L レジスタに、CSW エリアの先頭アドレス(0x0020)を書き、RAM_WrDoor_0,1 レジスタを介して 13 バイトの有効データを書き込みます。CSW エリアは 16Byte 確保されていますので、ワードアクセスで 14 バイト書き込んで、他の領域を侵すことは無く、問題ありません。

6.5.4.2. CSW エリア(USB ホスト時)

CSW エリアは、USB ホスト時バルクオンリーサポート機能で使用するエリアです。チャネル CHa で、Bulk Only Transport Protocol のステータストランスポートを行う際に、このエリアに CSW データを受信します。こうすることにより、エンドポイントの FIFO にはデータだけを受信すること

6. 機能説明

が出来ます。

CSW エリアに受信したデータを読み出すには、RAM_Rd 機能を使用します。RAM_RdControl.RAM_GoRdCBW_CSW ビットをセットすると、CSW エリアのデータが読み出され、RAM_Rd_00~RAM_Rd_0C レジスタにコピーされ、完了ステータス(CPU_IntStat.RAM_RdCmp ビット)が発行されます。

6.5.5. FIFO へのアクセス方法

FIFO へのアクセス要因としては、CPU(レジスタ)、CPU(DMA)、USB が有ります。

6.5.5.1. FIFO へのアクセス方法(RAM_Rd)

FIFO に CPUIF の RAM_Rd レジスタによってリードアクセスする場合には、読み出しを行いたい FIFO 領域の先頭アドレスとデータサイズを RAM_RdAdrs_H,L レジスタ、RAM_RdCount レジスタに設定し、RAM_RdControl.RAM_GoRd ビットを設定して下さい。指定された FIFO 領域のデータを RAM_Rd レジスタから読み出し可能になると CPU_IntStat.RAM_RdCmp ビットが"1"にセットされます。RAM_RdCmp ビットを確認した後 RAM_Rd_00 ~ RAM_Rd_1F レジスタからデータを読み出してください。読み出されるデータは RAM_Rd_00 から順に格納されます。RAM_RdCount レジスタに設定したサイズが 32 バイトより小さい場合は、設定サイズ以降の RAM_Rd レジスタの値は無効となります。

RAM_Rd レジスタによる FIFO データの読み出しは、チャンネルの FIFO 領域の設定に関係なく、任意に行う事が出来ます。

RAM_Rd 機能動作中は、RAM_RdAdrs_H,L レジスタ、RAM_RdCount レジスタの値が逐次更新されます。RAM_Rd 機能を開始した後は CPU_IntStat.RAM_RdCmp ビットがセットされるまで、これらのレジスタへアクセスしないで下さい。RAM_Rd 機能動作中にこれらのレジスタを読み出した場合の値は保証されません。また、これらのレジスタに書き込みを行った場合、誤動作の原因となります。

6.5.5.2. FIFO へのアクセス方法(RAM_WrDoor)

FIFO に CPUIF の RAM_WrDoor_0,1 レジスタによってライトアクセスする場合には、書き込み開始アドレスを RAM_WrAdrs_H,L レジスタに設定し、RAM_WrDoor_0,1 レジスタにてデータを書き込むことによって行います。一回のライトアクセス毎に、自動的に RAM_WrAdrs_H,L レジスタは書き込み数ずつインクリメントされますので、連続したアドレスにデータを書き込む場合には、RAM_WrDoor_0,1 レジスタに連続して書き込むことが出来ます。

RAM_WrDoor_0,1 レジスタによる FIFO への書き込みは、チャンネルの FIFO 領域の設定に関係なく、任意に行う事が出来ます。

6.5.5.3. FIFO へのアクセス方法(レジスタアクセス)

FIFO に CPU のレジスタアクセスによってリードアクセスする場合には、いずれか 1 つのエリアに対して、AREAn{n=0-5}Join_0.JoinCPU_Rd に1をセットし、FIFO_Rd_0,1 レジスタ、または FIFO_ByteRd レジスタにて読み出しを行います。

また、FIFO に CPU のレジスタアクセスによってライトアクセスする場合には、いずれか 1 つのエリアに対して、AREAn{n=0-5}Join_0.JoinCPU_Wr に1をセットし、FIFO_Wr_0,1 レジスタ、~~または FIFO_ByteWr レジスタ~~に書き込みを行います。

FIFO_RdRemain_H,L レジスタは、JoinCPU_Rd にてただ 1 つ設定されたエリアにおいて、FIFO から読み出し可能なデータの残り数を表しています。また、FIFO_WrRemain_H,L レジスタは、JoinCPU_Wr にてただ 1 つ設定されたエリアにおいて、FIFO に書き込み可能なエリアの残り数を表しています。

ICE 等を使用して F/W のデバッグを行うに際し、レジスタのダンプ等を行う場合に、JoinCPU_Rd ビットのいずれかがセットされていると、レジスタのダンプ時に FIFO からデータを読み出されてしまうことに注意してください。

6.5.5.4. FIFO へのアクセス方法(DMA)

FIFO に CPU の DMA アクセスによってリードアクセスする場合には、AREAn{n=0-5}Join_0.JoinDMA ビットによりただ一つのエンドポイントを選択し、DMA_Control.Dir ビットに 1 を設定し、DMA 手順を実行して読み出しを行います。

また、FIFO に CPU の DMA アクセスによってライトアクセスする場合には、DMA の各チャンネルに付き、AREAn{n=0-5}Join_0.JoinDMA ビットによりただ一つのエンドポイントを選択し、DMA_Control.Dir ビットに 0 を設定し、DMA 手順を実行して書き込みを行います。

DMA_Remain_H,L レジスタは、DMA の各チャンネルについて、AREAn{n=0-5}Join_0.JoinDMA ビットによりただ一つ選択されたエンドポイントにおいて、FIFO から読み出し可能なデータの残り数を表しています。また、DMA の各チャンネルについて、AREAn{n=0-5}Join_0.JoinDMA ビットによりただ一つ選択されたエンドポイントにおいて、FIFO に書き込み可能なエリアの残り数を表しています。

6.5.5.5. FIFO へのアクセス制限

本 LSI の FIFO には、USB との送受信、CPU バスからのレジスタ書き込み、読み出し及び DMA を用いた書き込み、読み出しが同時に行われます。また、CPU バスからの読み出しについては、先読み処理を行っています。

これらのことから、それぞれのチャンネルにおける FIFO へのアクセス設定方法(Join)に対し、下記の排他ルールがあります。

- 一つのエリアに対する FIFO への書き込み要因は JoinCPU_Wr, JoinDMA, JoinEPxCHx{x=0,a-e}のうち一つしか設定できない。
- 一つのエリアに対する FIFO への読み出し要因は JoinCPU_Rd, JoinDMA, JoinEPxCHx{x=0,a-e}のうち一つしか設定できない。
- 一つのエリアには、JoinCPU_Wr, JoinCPU_Rd, JoinDMA のうちの一つしか設定できない。

また、USB からのアクセスに関して、下記の禁止事項があります。

- USB から書き込み中の FIFO エリアに対し、他の要因から書き込みを行ってはいけません。
- USB への読み出し中の FIFO エリアに対し、他の要因から読み出しを行ってはいけません。

例えば、USB デバイス時に OUT のエンドポイントを Join した FIFO エリアに対し、JoinCPU_Wr を設定して書き込むことが出来ますが、必ず OUT トランザクションが行われない状況で、CPU からの書き込みを行う必要があります。また、同様に IN のエンドポイントを Join した FIFO エリ

アに対し、JoinCPU_Rd を設定して読み出すことが出来ますが、必ず IN トランザクションが行われない状況で、CPU からの読み出しを行う必要があります。トランザクションが行われない状況には、ActiveUSB ビットがクリアされている場合、~~各エンドポイントの EnEndpoint がクリアされている場合~~や各エンドポイントが FIFO エリアにジョインされていない場合や、ForceNAK がセットされている場合などがあります。

6. 機能説明

6.6. CPUIF

6.6.1. モード切り替え

S1R72V17 の CPUIF は非同期 CPU に対応し、以下の 3 つの動作モードを持っております。

表 6-63 CPUIF 動作モード設定

動作モード	BusMode	Bus8x16	備考
16bit Strobe mode	0	0	デフォルト
16bit BE mode	1	*	BusMode ビットの設定優先
8bit mode	0	1	

各動作モードの切り替えは CPU_Config レジスタの BusMode ビット、Bus8x16 ビットの設定によって行います。CPU_Config レジスタの値は ModeProtect レジスタの設定によって誤書き込みに対するプロテクトをかけることができます。

実使用時には、電源投入直後にまず CPU_Config レジスタの設定を行い、次に ModeProtect レジスタを設定し、動作モードを決定して下さい。

また、S1R72V17 の CPUIF はバスの Swap 機能を持ちます。この機能を使用する場合は CPU_Config レジスタの初期設定時に CPU_Config.CPU_Endian ビットを設定して下さい。CPU_Config レジスタの設定では上記に加え、XINT の論理レベル及び出力モードの設定、XDREQ、XDACK の論理レベル設定、DMA の CS_Mode の設定を行う事が出来ます。

以下の説明においては、特に断りの無い限りデフォルト設定の 16bit Strobe mode、Bus Swap なしを基本として説明致します。

6.6.2. モード切り替えに際して

S1R72V17 は CPU_Config レジスタにより、ご使用の CPU に適合する CPU バスの動作モードに設定することが可能です。チップの初期状態は 16bit Strobe mode で動作しておりますので、16bit BE mode、または 8bit mode に切り替える際には以下の点にご注意下さい。

6.6.2.1. 16bit BE mode をご使用の場合

ご使用の CPU に合わせて 16bit BE mode を使用する場合、6.6.1 に示す通り、CPU_Config レジスタへの設定を第一に行って下さい。また、その際には図 6-71 に示す通り、必ず 075h 番地に対するバイトライトを行って下さい。この時、S1R72V17 は初期状態の 16bit Strobe mode で動作しており、CPU の chip select 信号と byte mask high 信号 (XCS と XWRH) に下図に示すようなスキューがある場合、有効なライト期間と見なして内部的に動作してしまう可能性があります。S1R72V17 ではこの様なスキューを除去する為のフィルタ回路 (min:1ns) を搭載しておりますが、ご使用の CPU の AC 特性をご確認の上、基板上での処理等により、この様なスキューが生じないようにして下さい。

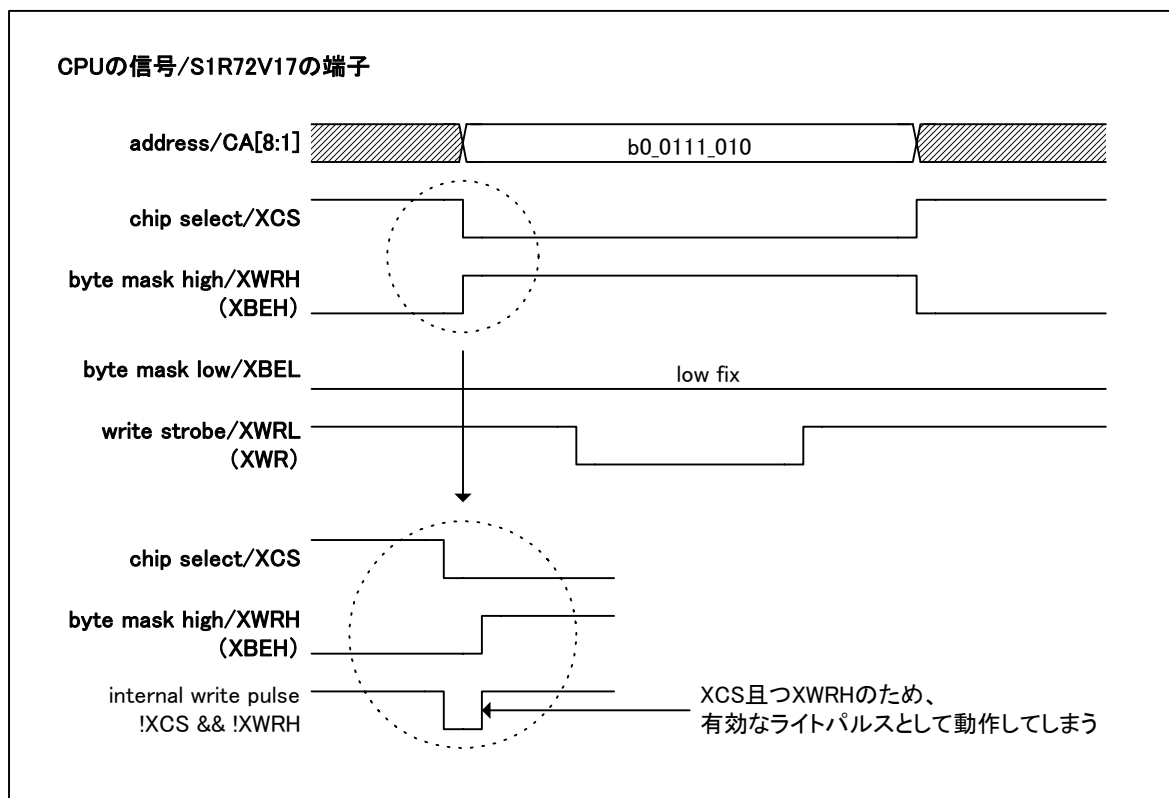


図 6-71 CPU_Config レジスタの初期設定

動作モードの設定完了後は内部的なライトパルス (internal write pulse) の生成条件が更新されますので、この様な制限はございません。

また、CPU_Config レジスタの設定前に、S1R72V17 にリードアクセスを行った場合、図 6-72 に示す通り、チップの内部ではリード動作とライト動作を同時に行ってしまいます。この場合の動作は保証されませんので、必ず CPU_Config レジスタの設定を第一に行って下さい。

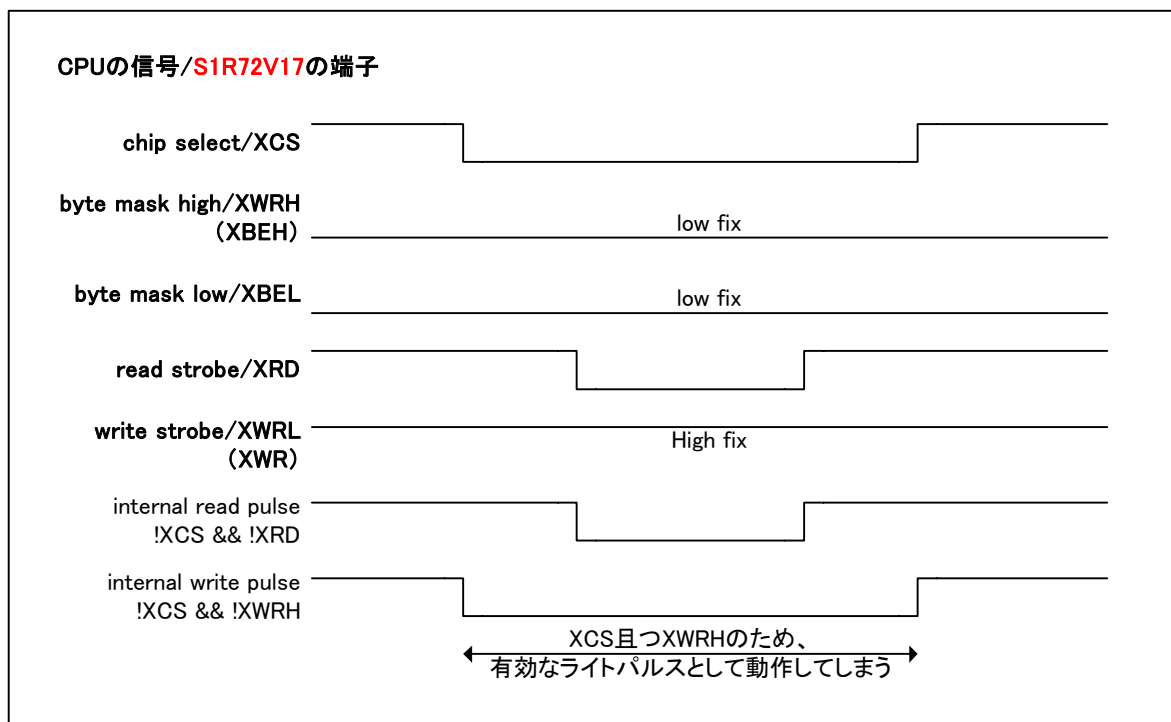


図 6-72 CPU_Config レジスタの初期設定前のリードアクセス

6.6.2.2. 8bit mode をご使用の場合

ご使用のCPUに合わせて 8bit modeを使用する場合、6.6.1 に示す通り、CPU_Configレジスタへの設定を第一に行ってください。CPU_Configレジスタの設定の前に、S1R72V17 にリードアクセスを行った場合、S1R72V17 は初期状態の 16bit Strobe modeで動作しておりますので、CD[15:0]全端子が出力状態になります。CD[15:8]をPull Up/Pull Down処理されている場合は特に問題ありませんが、これらの端子をVDD/GNDに直結している場合、電流消費が大幅に増大します。これを回避する為、必ずCPU_Configレジスタの設定を第一に行ってください。

6.6.3. ブロック構成

S1R72V17 CPUIF (以下、CPUIF) のブロック構成を 図 6-73 に示します。

REG/DMA の 2 ブロックから構成されます。

- ・ REG: S1R72V17 レジスタ領域へのアクセス制御
- ・ DMA: DMA チャンネル

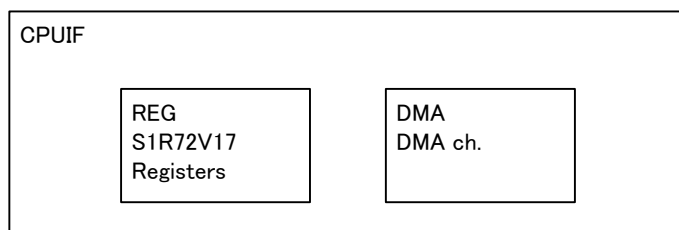


図 6-73 ブロック構成

6.6.3.1. REG(S1R72V17 Registers)

S1R72V17 レジスタ領域のアクセスを制御します。以下のアクセス機能が含まれます。

- ・ 同期レジスタアクセス
- ・ FIFO アクセス
- ・ RAM_Rd アクセス
- ・ 非同期レジスタアクセス

6.6.3.1.1. 同期レジスタアクセス(ライト)

内部クロックに同期して外部バスのデータをレジスタへ書き込みます。

6.6.3.1.2. 同期レジスタアクセス(リード)

リード(XCS、XRD 共にアサート)期間を出カイネーブル期間としてレジスタのデータを外部バスへ出力します。

レジスタのリード動作において、カウント値など 3 バイト以上 (8bit mode の場合 2 バイト以上) で意味を成すレジスタでは、アクセスサイクル間

6. 機能説明

のカウンタ値の桁上がり等により誤ったカウンタ値をリードしない様、最上位バイトのリードタイミングで下位バイトのレジスタの値を保持し、下位バイトのリード時には、この値を外部バスへ出力します。

6.6.3.1.3. FIFO アクセス(ライト)

FIFO ライトアクセスは FIFO_Wr_0,1、RAM_WrDoor_0,1 レジスタへの書き込みを意味します。8bit mode 動作の場合は FIFO_Wr_0,1 レジスタのどちらにアクセスを行っても FIFO への書き込みを行うことができます。RAM_WrDoor_0,1 に関しても同様です。

FIFO アクセス(ライト)には以下の制限事項があります。

- AREAn{n=0-5}Join_0.JoinCPU_Wr ビットを設定した後、FIFO_WrRemain_H,L レジスタで書き込み可能なデータ数を確認した上でアクセスを行って下さい。RAM_WrDoor_0,1 レジスタにはこの制限はございません。
- 16bit CPU を使用の場合は、基本的にワード(2 バイト)単位でアクセスを行って下さい。端数(奇数)バイトの書き込みを行う場合は FIFO のバイト境界を意識してストローブ信号を制御して下さい。詳細は"FIFO アクセスの端数処理"をご参照下さい。
- FIFO_Wr_0,1 レジスタへのライト直後に FIFO_WrRemain_H,L レジスタを確認しても正確な FIFO の空き領域を確認することが出来ません。必ず 1CPU サイクル以上の間隔を空けて確認してください。
- RAM_WrDoor_0,1 レジスタへのライト直後に RAM_WrAdrs_H,L レジスタを確認しても正確なアドレスを確認することが出来ません。必ず 1CPU サイクル以上の間隔を空けて確認してください。

6.6.3.1.4. FIFO アクセス(リード)

FIFO リードアクセスは FIFO_Rd_0,1 レジスタ、FIFO_ByteRd レジスタの読み出しを意味します。8bit mode 動作の場合は FIFO_Rd_0,1 レジスタ、FIFO_ByteRd レジスタのどのレジスタにアクセスを行っても同様に FIFO からの読み出しを行うことができます。

FIFO リードアクセスには、以下の制限事項があります。

- AREAn{n=0-5}Join_0.JoinCPU_Wr ビットを設定した後、FIFO_RdRemain_H,L レジスタで読み出し可能データ数及び RdRemainValid ビットを確認した上でアクセスを行って下さい。
- 16bit mode で使用の場合、ワード読みを行う場合は FIFO_Rd_0,1 レジスタを用いて行って下さい。バイト読みを行う場合は FIFO_ByteRd レジスタを用いて行って下さい。バイト境界が存在する場合はバイト読みを行って下さい。この場合に FIFO_Rd_0,1 レジスタを用いてワード読みを行った場合は片側にのみ有効なデータが出力されます。詳細は FIFO アクセスの端数処理"をご参照下さい。

6.6.3.1.5. FIFO アクセスの端数処理

端数(奇数)データを扱う場合のFIFOへのデータの格納状態とFIFOアクセスの関係を説明します。実際のFIFOは4byte幅ですが、この章の説明では簡易化のため2byte幅で表記致します。4byte/2byteによる動作の相違はありません。

【ライト動作】

基本的にはバイト境界の存在しない状態から書き込み動作を行う事を推奨致します。

AREAnFIFO_Clrレジスタのビットをセットする等行って、バイト境界の存在しない状態からワード書き込みを行い、奇数データが存在する場合は、連続するデータの最終バイト(データZ)のみHigh側に書き込んで下さい。この状態を図 6-74 の(1)に示します。USB等からはデータA, B, C, D, ...X, Y, Zの順に出力されます。

FIFOにバイト境界がある状態から書き込みを行う場合は、最初にLow側にデータを書き込み(データKの書き込み)、バイト境界を解消した後、ワード書き込み(データL, M)を行って下さい。この状態を図 6-74 の(2)に示します。

以上は、正常な書き込み動作です。

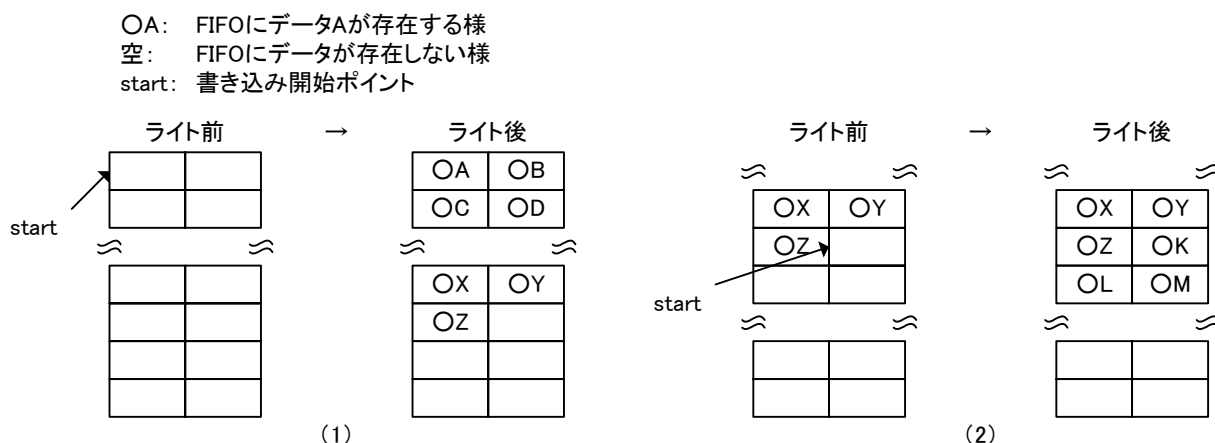


図 6-74 FIFO ライト処理(正常動作)

以下は注意が必要な書き込みを行った場合の動作です。

FIFOにバイト境界がある状態からワード書き込みを行った場合、High側の書き込みは無視されLow側のみ書き込みが行われます(図 6-75 の(3))。つまり、Low側にバイト書き込みを行ったときと同じ動作を行います。また、FIFOにバイト境界のある状態からHigh側にのみ書き込みを行った場合、その書き込みは無視されます(図 6-75 の(4))。

FIFOにバイト境界が無い状態からLow側にのみ書き込みを行った場合、その書き込みは無視されます(図 6-75 の(5))。また、FIFOにバイト境界が無く、且つ書き込み可能数が"1"の状態からワード書き込みを行った場合、Low側の書き込みは無視され、High側のみ書き込みが行われます(図 6-75 の(6))。つまり、High側にバイト書き込みを行ったときと同じ動作を行います。

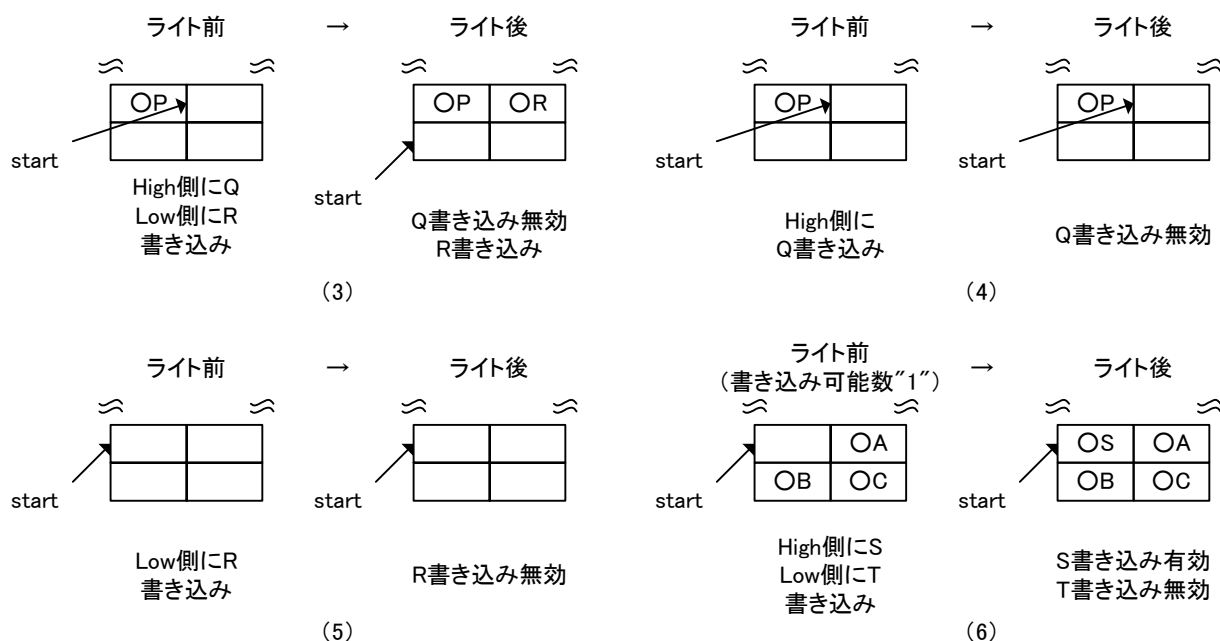


図 6-75 FIFO ライト処理(注意が必要な動作)

6. 機能説明

【リード動作】

バイト境界が無い場合は、FIFO_Rd_0,1 レジスタを用いたワード読み出し、FIFO_ByteRd レジスタを用いたバイト読み出し何れを行っても問題ありません。バイト境界がある場合は、FIFO_ByteRd レジスタを用いたバイト読み出しを行って下さい。一旦バイト境界を解消した後はワード読み出し、バイト読み出し何れを行っても問題ありません。

バイト境界が無い状態からのワード読み出しの様子を図 6-76 の(1)に示します。アクセス毎にデータA, B→データC, Dと読み出されます。また、バイト読み出しの様子を図 6-76 の(2)に示します。アクセス毎にデータA→データB→データC→データDと読み出されます。以上は正常な読み出し動作です。

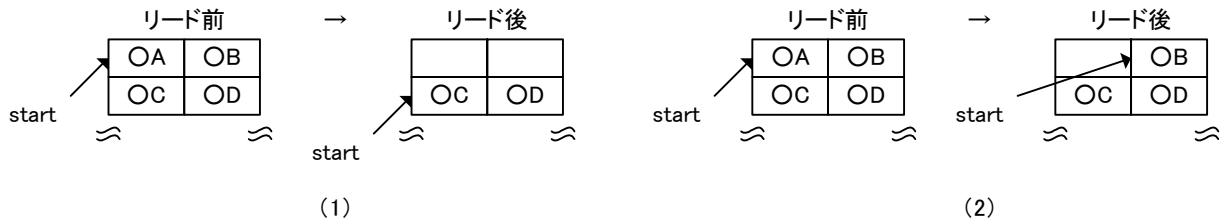


図 6-76 FIFO リード処理(正常動作)

以下は注意が必要な読み出しを行った場合の動作です。

図 6-77 の(3)はバイト境界がある状態から、FIFO_Rd_0,1 レジスタを用いてワード読み出しを行った場合の動作です。High側には不定のデータが出力され、Low側にデータJが出力されます。リードのポインタは1バイト分のみ進みます。図 6-77 の(4)はバイト境界が無いが残りデータが1バイトの状態から、FIFO_Rd_0,1 レジスタを用いてワード読み出しを行った場合の動作です。High側にはデータXが出力され、Low側には不定データが出力されます。リードのポインタは1バイト分のみ進みます。

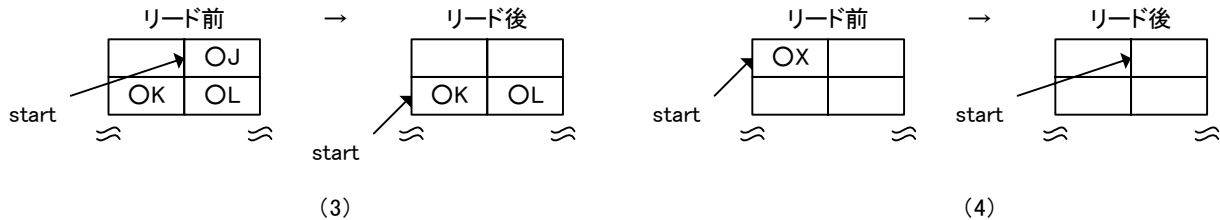


図 6-77 FIFO リード処理(注意が必要な動作)

上記より、端数処理のリード動作を行う場合の例を説明します。

- 1) USB から 64 バイト送られてきたデータを 31 バイト→33 バイトで読み出したい場合。
 - ① CPUIF は 64 バイトのレディをラッチして一連のリードシーケンスを開始する。
 - ② 30 バイト分のデータを FIFO_Rd_0,1 レジスタでワード読み、もしくは FIFO_ByteRd レジスタでバイト読みする。
 - ③ 31 バイト目のデータを FIFO_ByteRd レジスタでバイト読みする。→バイト境界発生。
 - ④ 32 バイト目のデータをバイト読みする。この場合 FIFO_ByteRd レジスタでのバイト読みを推奨します。FIFO_Rd_0,1 レジスタでのワード読みを行った場合は Low 側にデータが出力されます。→バイト境界解消。
 - ⑤ 残り 32 バイトのデータを FIFO_Rd_0,1 レジスタでワード読み、もしくは FIFO_ByteRd でバイト読みする。
- 2) JoinCPU_Rd がセットされている状態で USB から 31 バイト、33 バイトと送られてきたデータ 64 バイトを全て FIFO_Rd_0,1 レジスタでワード読みしたい場合。
 - ① USB から 31 バイトのデータを受信した時点で CPUIF は 31 バイトのレディをラッチして一連の動作シーケンスを開始する。
 - ② 30 バイト分のデータをワード読みする。
 - ③ キャッシュされている 31 バイト目のデータ(バイト境界)を解消するため、一旦ジョインを切り離す。
 - ④ 33 バイトのデータが USB から送られてきた後、再度ジョインする。(1+33 バイト)
 - ⑤ CPUIF は 34 バイトのレディをラッチして一連の動作シーケンスを開始する。
 - ⑥ 34 バイト分のデータをワード読みする。

6.6.3.1.6. RAM_Rd アクセス

同期レジスタリードと同様、リード(XCS、XRD 共にアサート)期間を出カイネーブル期間としてデータを外部バスへ出力します。詳細は FIFO へのアクセス方法(RAM_Rd)をご参照下さい。

6.6.3.1.7. 非同期レジスタアクセス(ライト)

外部ライト信号(XCS、XWRL,H)からライトパルスを作成して外部バスのデータをレジスタへ書き込みます。

6.6.3.1.8. 非同期レジスタアクセス(リード)

同期レジスタリードと同様、リード(XCS、XRD 共にアサート)期間を出カイネーブル期間としてレジスタのデータを外部バスへ出力します。

6.6.3.2. DMA(DMA ch.)

6.6.3.2.1. 基本機能

DMA の基本動作は以下の通りです。

【ライト動作】

FIFO に書き込み可能な空き領域がある場合に XDREQ をアサートし DMA 転送が可能になります。

【リード動作】

FIFO に読み出し可能なデータがあり、読み出し動作可能になると XDREQ をアサートし DMA 転送が可能になります。

DMA は二つの動作モードと一つの動作オプションを持ちます。

●カウントモード

設定されたカウント数分の DMA 転送を行います。

内部 FIFO に書き込み可能な空き領域／読み出し可能なデータがあり、且つ DMA_Count_HH,HL,LH,LL レジスタに残りカウントがある場合に XDREQ をアサートし DMA 転送が可能になります。

●フリーランモード

内部 FIFO に書き込み可能な空き領域／読み出し可能なデータがある場合に XDREQ をアサートし DMA 転送が可能になります。

●REQ アサートカウントオプション

CPU のバーストリード／バーストライトに対応するためのオプションです。このオプションは、カウントモード／フリーランモード何れでも使用が可能です。DMA_Config.ReqAssertCount [1:0]ビットに設定されたアサートカウント数以上の、書き込み可能な空き領域／読み出し可能なデータが FIFO にある場合に XDREQ をアサートし DMA 転送が可能になります。従って、基本的には一旦 XDREQ がアサートされると、設定されたアサートカウント数分の転送が保証されることになります。ただし、FIFO の空き領域／データが設定されたアサートカウント数未満の場合も、カウントモードに設定され、且つ FIFO の空き領域／データが残りカウント数以上の場合、XDREQ がアサートされます。この場合の保証される転送数は残りカウント数となります。

16bit mode の場合、DMA の基本はワード単位でのデータ処理となります。バイト単位でのデータ処理はカウントモードで且つ残りカウント数が"1"の時のみ行うことが出来ます。各々の動作モード、オプションにおける XDREQ のアサート条件、また XDREQ アサート時の転送可能数の関係を下表に示します。

表 6-64 動作モード、オプションと転送開始条件一覧

カウントモード・ReqAssertCountオプション使用時(16bit/8bitモード動作時共)

条件	カウントモード (Count>0)			
	Count \geq Req		Count<Req	
	Ready \geq Req	Ready<Req	Ready \geq Count	Ready<Count
XDREQ	アサート	ネゲート	アサート	ネゲート
転送可能数	Req	-	Count	-

フリーランモード・ReqAssertCountオプション使用時(16bit/8bitモード動作時共)

条件	フリーランモード	
	-	
	Ready \geq Req	Ready<Req
XDREQ	アサート	ネゲート
転送可能数	Req	-

カウントモード・ReqAssertCountオプション未使用時(16bitモード動作時)

条件	カウントモード (Count>0)		
	Count \geq Ready		Count<Ready
	Ready \geq 2	Ready<2	Ready \geq Count
XDREQ	アサート	ネゲート	アサート
転送可能数	Ready (Readyが奇数の場合はReady-1)	-	Count

フリーランモード・ReqAssertCountオプション未使用時(16bitモード動作時)

条件	フリーランモード	
	-	
	Ready \geq 2	Ready<2
XDREQ	アサート	ネゲート
転送可能数	Ready (Readyが奇数の場合はReady-1)	-

カウントモード・ReqAssertCountオプション未使用時(8bitモード動作時)

条件	カウントモード (Count>0)		
	Count \geq Ready		Count<Ready
	Ready \geq 1	Ready<1	Ready \geq Count
XDREQ	アサート	ネゲート	アサート
転送可能数	Ready	-	Count

フリーランモード・ReqAssertCountオプション未使用時(8bitモード動作時)

条件	フリーランモード	
	-	
	Ready \geq 1	Ready<1
XDREQ	アサート	ネゲート
転送可能数	Ready	-

※ 表中の Req は DMA_Config.ReqAssertCount の設定値を、Ready は FIFO の空き領域/データ数を、Count は DMA_Count_HH,HL,LH,LL の値を指しています。

6.6.3.2.2. 端子設定

CPU_Configレジスタの設定により、XDREQの論理レベル、XDACKの論理レベルを設定する事が出来ます。以下の説明では特に断りの無い限り、XDREQ,XDACK共に負論理で記述しております。

6.6.3.2.3. カウントモード(ライト)

【動作開始】

DMA_Count_HH,HL,LH,LLレジスタにカウント値を設定した後、DMA_Control.DMA_Goビットに"1"をセットして下さい。内部FIFOに書き込み可能な空き領域が2バイト以上(8bit modeの場合1バイト以上)あり、且つ残りカウントがある場合にXDREQをアサートしDMA転送が可能になります。FIFOに残り1バイトの空き領域しかない場合は、カウントモードに設定され、且つ残りカウント数が"1"の時のみXDREQがアサートされます。

奇数バイトの書き込みを行ってFIFOにバイト境界が発生した場合には、USB等からデータが転送された後に、FIFOクリアを行ってバイト境

界を解消し、次のライト動作を開始して下さい。例えば DMA から 31 バイト毎に書き込みを行い、USB から 31 バイト毎にデータを転送したい場合、(1)DMA カウント値を 31 に設定し 31 バイトデータを書き込む、(2)USB に 31 バイト分のデータが転送されるのを待つ、(3)USB から 31 バイト分のデータが転送されたのを確認した後 FIFO クリアする、以上の動作を繰り返し行って下さい。

動作停止となるまで DMA_Control.DMA_Running ビットに"1"が読めます。

【動作停止】

動作停止条件は以下の 2 つです。

- ・ DMA_Count_HH,HL,LH,LL レジスタに設定したカウント数分の DMA 転送が完了
- ・ DMA_Control.DMA_Stop ビットに"1"をライト

DMA 動作停止時に CPU_IntStat..DMA_Cmp ビットがセットされます。

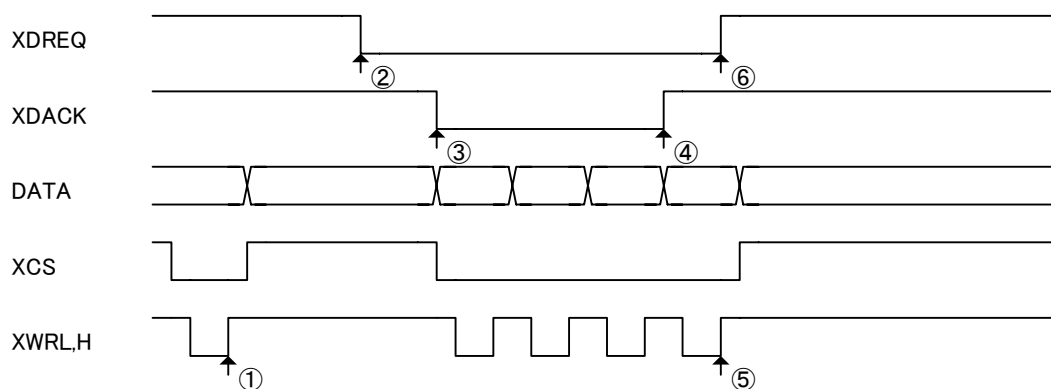
DMA_Count_HH,HL,LH,LL レジスタによる転送停止時は最終アクセスのストローブアサート期間に XDREQ をネゲートします。

DMA_Stop ビットによる転送停止時は、同期レジスタアクセスのライトタイミングでチップ内部動作を停止し、XDREQ をネゲートします。

DMA_Stop ビットによる DMA の停止を行う場合は、CPU 側の DMAC(マスタ)を先に停止して下さい。

カウントモードで転送を開始し、設定されたカウント数の転送完了前に DMA_Control.DMA_Stop ビットで転送を停止した場合の動作タイミングを図 6-78 に示します。

ex1.【転送開始条件】カウント(8バイト) < FIFOの空き容量(16バイト) 【転送停止条件】DMA_Stop



- ① DMA_Control.DMA_Go ビットへの"1"書き込みにより DMA 回路動作開始
- ② USB 等からデータが転送される事により FIFO に空き領域 (DMA_Ready) が出来 DMA_Ready を受けて XDREQ をアサート
- ③ XDACK がアサートされ DMA 転送開始
- ④ カウントモードの転送数完了前に、マスタ側を停止、XDACK をネゲート
- ⑤ DMA_Control.DMA_Stop ビットへの"1"書き込みにより DMA 回路停止
- ⑥ DMA 回路停止を受けて XDREQ ネゲート

図 6-78 カウントモードライトタイミング 1

6. 機能説明

カウントモードで転送を開始し、設定されたカウント数分の転送を完了しDMA転送が終了する場合の動作タイミングを図 6-79 に示します。

ex2.【転送開始条件】カウント(8バイト)>FIFOの空き容量(4バイト) 【転送停止条件】カウント0

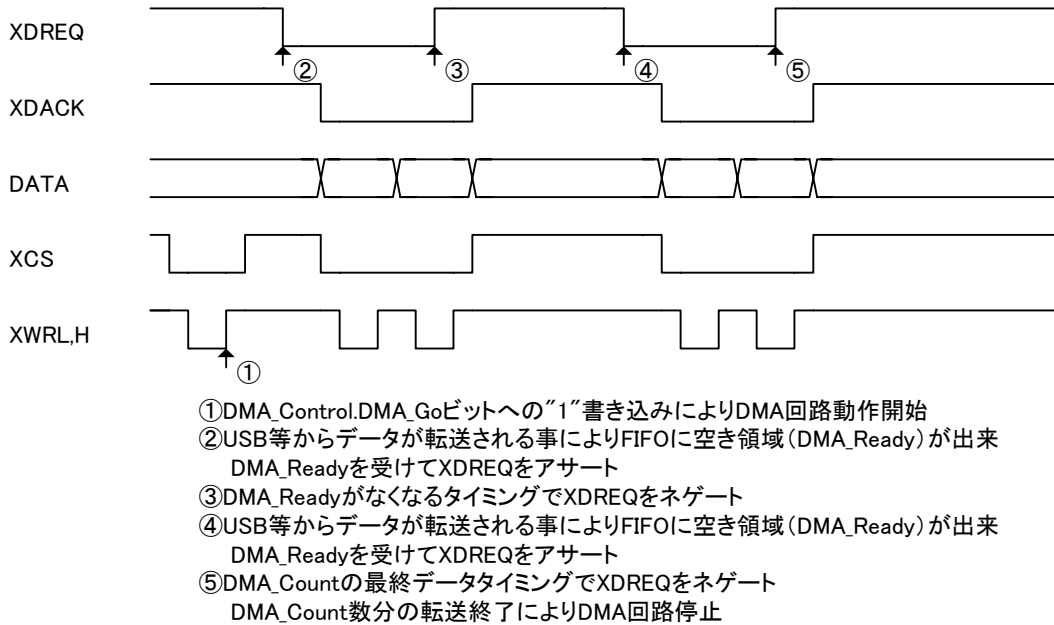


図 6-79 カウントモードライトタイミング 2

6.6.3.2.4. カウントモード(リード)

【動作開始】

DMA_Count_HH,HL,LH,LLレジスタにカウント値を設定した後、DMA_Control.DMA_Goビットに“1”をセットして下さい。内部FIFOに読み出し可能なデータが2バイト以上(8bit mode動作時は1バイト以上)あり、且つ残りカウントがある場合に、外部からのリードに対応可能になるとXDREQをアサートします。FIFOに残り1バイトしかデータがない場合はカウントモードに設定され、且つ残りカウント数が“1”の時のみXDREQがアサートされます。

デバイス動作時を例にしますと、カウントモードのリード動作ではDMA_Count_HH,HL,LH,LLレジスタに設定されたカウント数以上のデータが、そのDMAが接続されているエンドポイントのFIFOに貯まった時点で、ForceNAKビットを自動的に“1”にセットしNAK応答します。また、USBからショートパケットを受信した場合にもDisAF_NAK_Shortビットをセットしていなければ、該当するエンドポイントのForceNAKビットを自動的に“1”にセットしNAK応答します。

奇数バイトのリードを行ってバイト境界が発生した場合には、FIFOクリアを行ってバイト境界を解消してから次の転送を行って下さい。例えば、USBから31バイト毎にデータが転送され、DMAから31バイト毎にデータを読み出す場合、(1)USBから31バイトのデータを受信する(この時点でForceNAKがセットされ該当するエンドポイントはNAK応答する)、(2)DMAから31バイトのデータを読み出す、(3)FIFOクリアした後ForceNAKをクリアしUSBからの転送を受信可能にする、以上の動作を繰り返し行って下さい。

動作停止となるまでDMA_Control.DMA_Runningビットに“1”が読めます。

【動作停止】

動作停止条件は以下の2つです。

- ・DMA_Count_HH,HL,LH,LLレジスタに設定したカウント数分のDMA転送が完了
- ・DMA_Control.DMA_Stopビットに“1”をライト

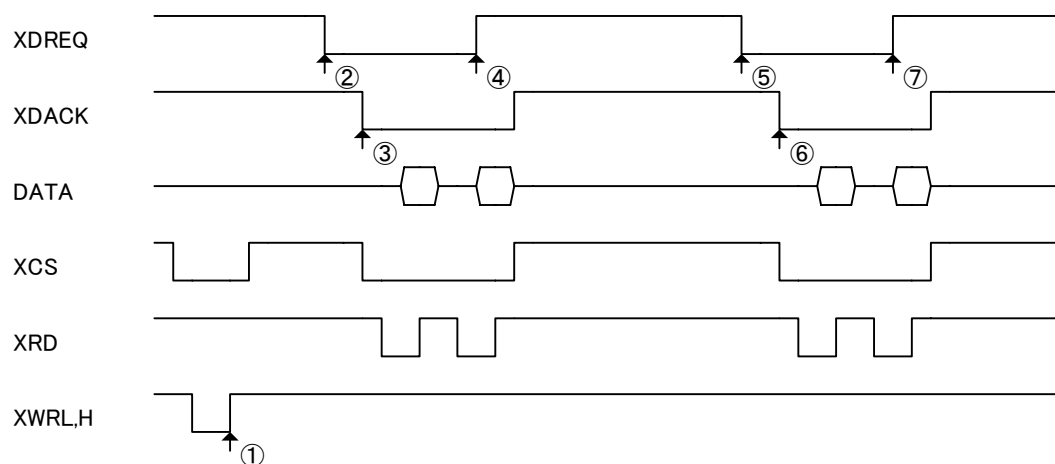
DMA_Count_HH,HL,LH,LLレジスタによる転送停止は最終アクセスのストローブ信号アサート期間にXDREQをネゲートします。

DMA_Stopビットによる転送停止は、同期レジスタアクセスのライトタイミングでチップ内部動作を停止し、XDREQをネゲートします。

DMA_StopビットによるDMAの停止を行う場合は、CPU側のDMAC(マスタ)を先に停止して下さい。

カウントモードで転送を開始し、設定されたカウント数分の転送を完了してDMA転送が終了する場合の動作タイミングを図 6-80 に示します。

ex.【転送開始】カウント(8バイト)>FIFOのデータ(4バイト) 【転送停止】カウント0



- ① DMA_Control.DMA_Goビットへの"1"書き込みによりDMA回路動作開始
- ② USB等からFIFOにデータが書き込まれ、
外部からデータ読み出し可能になることでXDREQをアサート
- ③ XDACKがアサートされDMA転送開始
- ④ FIFOデータが空になるタイミングでXDREQネゲート
- ⑤ USB等からFIFOにデータが書き込まれ、
外部からデータ読み出し可能になることでXDREQをアサート
- ⑥ XDACKがアサートされDMA転送開始
- ⑦ DMA_Countの最終データタイミングでXDREQネゲート

図 6-80 カウントモードリードタイミング

6. 機能説明

6.6.3.2.5. フリーランモード(ライト)

【動作開始】

DMA_Config.FreeRunビットをセットした後、DMA_Control.DMA_Goビットに"1"を書き込んで下さい。内部FIFOに書き込み可能な空き領域が2バイト以上(8bit mode 動作時は1バイト以上)ある場合にXDREQをアサートしDMA転送が可能になります。FIFOに残り1バイトの空き領域しかない場合はフリーランモードではXDREQがアサートされません。転送を行う場合はカウントモードの説明をご参照ください。

動作停止となるまでDMA_Control.DMA_Runningビットに"1"が読めます。

【動作停止】

動作停止条件は以下です。

- ・ DMA_Control.DMA_Stopビットに"1"をライト

DMA_Stopビットによる転送停止は、同期レジスタアクセスのライトタイミングでチップ内部動作を停止し、XDREQをネゲートします。DMA_StopビットによるDMAの停止を行う場合は、CPU側のDMAC(マスタ)を先に停止して下さい。

フリーランモードのDMA転送中にDMA_Count_HH,HL,LH,LLレジスタの値がオーバーフローすると、CPU_IntStat.DMA_Countupビットがセットされます。この場合もDMA転送は継続され、DMA_Count_HH,HL,LH,LLも継続してカウントされます。

動作タイミングはDMA_Count_HH,HL,LH,LLによる制限が無い事を除き、カウントモードと同等です。

6.6.3.2.6. フリーランモード(リード)

【動作開始】

DMA_Config.FreeRunビットをセットした後、DMA_Control.DMA_Goビットに"1"をセットして下さい。内部FIFOに読み出し可能なデータが2バイト以上(8bit mode 動作時は1バイト以上)あり、外部からのリードに対応可能になるとXDREQをアサートします。FIFOに残り1バイトしか有効なデータがない場合はDMA動作を開始しません。転送を行う場合はカウントモードの説明をご参照ください。

動作停止となるまでDMA_Control.DMA_Runningビットに"1"が読めます。

【動作停止】

動作停止条件は以下です。

- ・ DMA_Control.DMA_Stopビットに"1"をライト

DMA_Stopビットによる転送停止は、同期レジスタアクセスのライトタイミングでチップ内部動作を停止し、XDREQをネゲートします。DMA_StopビットによるDMAの停止を行う場合は、CPU側のDMAC(マスタ)を先に停止して下さい。

フリーランモードのDMA転送中にDMA_Count_HH,HL,LH,LLレジスタの値がオーバーフローすると、CPU_IntStat.DMA_Countupビットがセットされます。この場合もDMA転送は継続され、DMA_Count_HH,HL,LH,LLも継続してカウントされます。

動作タイミングはDMA_Count_HH,HL,LH,LLによる制限が無い事を除き、カウントモードと同等です。

6.6.3.2.7. REQアサートカウントオプション(ライト)

【動作開始】

DMA_Config.ReqAssertCount [1:0]ビットでアサートカウント数を設定した後、DMA_Control.DMA_Goビットに"1"をセットして下さい。内部FIFOに設定されたアサートカウント数以上の書き込み可能な空き領域がある場合にXDREQをアサートしDMA転送が可能になります。従って、一旦XDREQがアサートされると、設定されたアサートカウント数分の転送が保証されることになります。ただし、空き領域がアサートカウント数に満たない場合も、カウントモードに設定され、且つ残りカウント数以上の空き領域がある場合はXDREQをアサートします。この場合、転送可能数は、残りカウント数となります。

このモードでは、ReqAssertCount [1:0]ビットに設定された転送数毎に一旦XDREQがネゲートされます。

動作停止となるまでDMA_Control.DMA_Runningビットに"1"が読めます。

【動作停止】

動作停止条件はカウントモード、フリーランモードの説明をご参照ください。

ex.【転送開始】REQアサートカウント(8beat: 16byte)

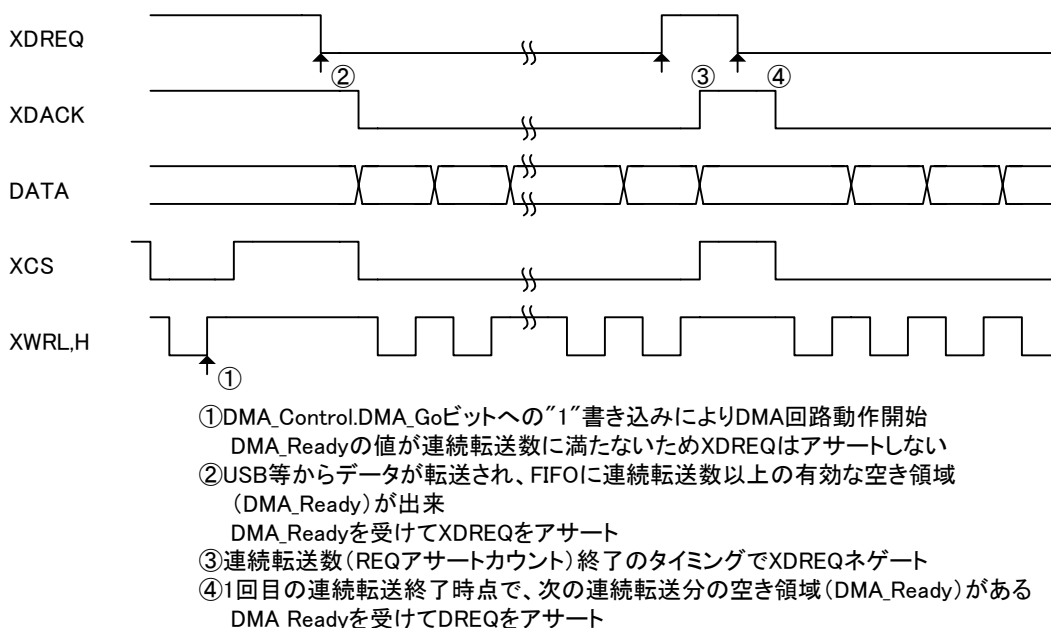


図 6-81 REQ アサートカウントオプションライトタイミング

6.6.3.2.8. REQ アサートカウントオプション(リード)

【動作開始】

DMA_Config.ReqAssertCount [1:0]ビットでアサートカウント数を設定した後、DMA_Control.DMA_Go ビットに“1”をセットして下さい。内部FIFOに設定されたアサートカウント数以上の読み出し可能なデータがあり外部からのリードに対応可能になると XDREQ をアサートし DMA 転送が可能になります。従って、一旦 XDREQ がアサートされると、設定されたアサートカウント数分の転送が保証されることになります。ただし、FIFOのデータがREQアサートカウント数に満たない場合も、カウントモードに設定され且つ残りカウント数以上のデータがある場合は、XDREQをアサートします。この場合、転送可能数は、残りカウント数となります。

このモードでは、ReqAssertCount [1:0]ビットに設定された転送数毎に一旦 XDREQ がネゲートされます。

動作停止となるまで DMA_Control.DMA_Running ビットに“1”が読めます。

【動作停止】

動作停止条件はカウントモード、フリーランモードの説明をご参照ください。

動作タイミングは 図 6-80、図 6-81 をご参照下さい。

6.6.3.2.9. DMA の FIFO アクセス端数処理

6.6.3.1.5“FIFOアクセスの端数処理”をご参照ください。DMAIにはバイト読み出しの口はございませんのでご注意ください。

7. レジスタ

7. レジスタ

レジスタは、デバイス／ホスト共通レジスタ、デバイス・レジスタ、ホスト・レジスタに分類されます。
リザーブレジスタ・ビットには”1”を書き込まないでください。

7.1. デバイス／ホスト共通レジスタマップ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。
それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x000	MainIntStat	R/(W)	0x00	<i>USB_DeviceIntStat</i>	<i>USB_HostIntStat</i>	CPU_IntStat	FIFO_IntStat				FinishedPM
0x001	USB_DeviceIntStat	R/(W)	0x00	<i>VBUS_Changed</i>		<i>D_SIE_IntStat</i>	D_BulkIntStat	RcvEP0SETUP		D_EP0IntStat	D_EPrintStat
0x002	USB_HostIntStat	R/(W)	0x00	<i>VBUS_Err</i>		H_SIE_IntStat_1	H_SIE_IntStat_0	H_FrameIntStat		H_CH0IntStat	H_CHrIntStat
0x003	CPU_IntStat	R/(W)	0x00	RAM_RdCmp						DMA_Countup	DMA_Cmp
0x004	FIFO_IntStat	R/(W)	0x00	FIFO_DMA_Cmp					FIFO_NotEmpty	FIFO_Full	FIFO_Empty
0x005			0xXX								
0x006			0xXX								
0x007			0xXX								
0x008	MainIntEnb	R/W	0x00	<i>EnUSB_DeviceIntStat</i>	<i>EnUSB_HostIntStat</i>	EnCPU_IntStat	EnFIFO_IntStat				EnFinishedPM
0x009	USB_DeviceIntEnb	R/W	0x00	<i>EnVBUS_Changed</i>		<i>EnD_SIE_IntStat</i>	EnD_BulkIntStat	EnRcvEP0SETUP		EnD_EP0IntStat	EnD_EPrintStat
0x00A	USB_HostIntEnb	R/W	0x00	<i>EnVBUS_Err</i>		EnH_SIE_IntStat_1	EnH_SIE_IntStat_0	EnH_FrameIntStat		EnH_CH0IntStat	EnH_CHrIntStat
0x00B	CPU_IntEnb	R/W	0x00	EnRAM_RdCmp						EnDMA_Countup	EnDMA_Cmp
0x00C	FIFO_IntEnb	R/W	0x00	EnFIFO_DMA_Cmp					EnFIFO_NotEmpty	EnFIFO_Full	EnFIFO_Empty
0x00D			0xXX								
0x00E			0xXX								
0x00F			0xXX								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x010	RevisionNum	R	0x10	RevisionNumber							
0x011	ChipReset	R/W	0x80	ResetMTM							AllReset
0x012	PM_Control	R/W	0x00	GoSLEEP	GoACTIVE	GoCPU_Cut				PM_State[1:0]	
0x013			0xXX								
0x014	WakeupTim_H	R/W	0x00	WakeupTim [15:8]							
0x015	WakeupTim_L	R/W	0x00	WakeupTim [7:0]							
0x016	H_USB_Control	R/W	0x00	VBUS_Enb							
0x017	H_XcvrControl	R/W	0x91	TermSelect	RemoveRPD	XcvrSelect[1:0]				OpMode[1:0]	
0x018	D_USB_Status	R/W	0xXX	VBUS	FSxHS					LineState[1:0]	
0x019	H_USB_Status	R	0xXX	VBUS_State						LineState[1:0]	
0x01A			0xXX								
0x01B	MTM_Config	R/W	0x00			MTM_SlopeValue [1:0]				MTM_TermValue [1:0]	
0x01C			0xXX								
0x01D			0xXX								
0x01E			0xXX								
0x01F	HostDeviceSel	R/W	0x00								HOSTxDEVICE

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x020	FIFO_Rd_0	R	0xXX	FIFO_Rd_0[7:0]							
0x021	FIFO_Rd_1	R	0xXX	FIFO_Rd_1[7:0]							
0x022	FIFO_Wr_0	W	0xXX	FIFO_Wr_0[7:0]							
0x023	FIFO_Wr_1	W	0xXX	FIFO_Wr_1[7:0]							
0x024	FIFO_RdRemain_	R	0x00	RdRemainValid			RdRemain[12:8]				
0x025	FIFO_RdRemain_	R	0x00	RdRemain[7:0]							
0x026	FIFO_WrRemain_	R	0x00				WrRemain[12:8]				
0x027	FIFO_WrRemain_	R	0x00	WrRemain[7:0]							
0x028	FIFO_ByteRd	R	0xXX	FIFO_ByteRd[7:0]							
0x029			0xXX								
0x02A			0xXX								
0x02B			0xXX								
0x02C			0xXX								
0x02D			0xXX								
0x02E			0xXX								
0x02F			0xXX								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
0x030	RAM_RdAdrs_H	R/W	0x00				RAM_RdAdrs[12:8]						
0x031	RAM_RdAdrs_L	R/W	0x00	RAM_RdAdrs[7:2]									
0x032	RAM_RdControl	R/W	0x00	RAM_GoRdCBW_CSW	RAM_GoRd								
0x033			0xXX										
0x034			0xXX										
0x035	RAM_RdCount	R/W	0x00	RAM_RdCount[5:2]									
0x036			0xXX										
0x037			0xXX										
0x038	RAM_WrAdrs_H	R/W	0x00				RAM_WrAdrs[12:8]						
0x039	RAM_WrAdrs_L	R/W	0x00	RAM_WrAdrs[7:0]									
0x03A	RAM_WrDoor_0	W	0xXX	RAM_WrDoor_0[7:0]									
0x03B	RAM_WrDoor_1	W	0xXX	RAM_WrDoor_1[7:0]									
0x03C			0xXX										
0x03D			0xXX										
0x03E			0xXX										
0x03F			0xXX										

7. レジスタ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x040	RAM_Rd_00	R	0x00	RAM_Rd_00[7:0]							
0x041	RAM_Rd_01	R	0x00	RAM_Rd_01[7:0]							
0x042	RAM_Rd_02	R	0x00	RAM_Rd_02[7:0]							
0x043	RAM_Rd_03	R	0x00	RAM_Rd_03[7:0]							
0x044	RAM_Rd_04	R	0x00	RAM_Rd_04[7:0]							
0x045	RAM_Rd_05	R	0x00	RAM_Rd_05[7:0]							
0x046	RAM_Rd_06	R	0x00	RAM_Rd_06[7:0]							
0x047	RAM_Rd_07	R	0x00	RAM_Rd_07[7:0]							
0x048	RAM_Rd_08	R	0x00	RAM_Rd_08[7:0]							
0x049	RAM_Rd_09	R	0x00	RAM_Rd_09[7:0]							
0x04A	RAM_Rd_0A	R	0x00	RAM_Rd_0A[7:0]							
0x04B	RAM_Rd_0B	R	0x00	RAM_Rd_0B[7:0]							
0x04C	RAM_Rd_0C	R	0x00	RAM_Rd_0C[7:0]							
0x04D	RAM_Rd_0D	R	0x00	RAM_Rd_0D[7:0]							
0x04E	RAM_Rd_0E	R	0x00	RAM_Rd_0E[7:0]							
0x04F	RAM_Rd_0F	R	0x00	RAM_Rd_0F[7:0]							

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x050	RAM_Rd_10	R	0x00	RAM_Rd_10[7:0]							
0x051	RAM_Rd_11	R	0x00	RAM_Rd_11[7:0]							
0x052	RAM_Rd_12	R	0x00	RAM_Rd_12[7:0]							
0x053	RAM_Rd_13	R	0x00	RAM_Rd_13[7:0]							
0x054	RAM_Rd_14	R	0x00	RAM_Rd_14[7:0]							
0x055	RAM_Rd_15	R	0x00	RAM_Rd_15[7:0]							
0x056	RAM_Rd_16	R	0x00	RAM_Rd_16[7:0]							
0x057	RAM_Rd_17	R	0x00	RAM_Rd_17[7:0]							
0x058	RAM_Rd_18	R	0x00	RAM_Rd_18[7:0]							
0x059	RAM_Rd_19	R	0x00	RAM_Rd_19[7:0]							
0x05A	RAM_Rd_1A	R	0x00	RAM_Rd_1A[7:0]							
0x05B	RAM_Rd_1B	R	0x00	RAM_Rd_1B[7:0]							
0x05C	RAM_Rd_1C	R	0x00	RAM_Rd_1C[7:0]							
0x05D	RAM_Rd_1D	R	0x00	RAM_Rd_1D[7:0]							
0x05E	RAM_Rd_1E	R	0x00	RAM_Rd_1E[7:0]							
0x05F	RAM_Rd_1F	R	0x00	RAM_Rd_1F[7:0]							

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x060			0xXX								
0x061	DMA_Config	R/W	0x00	FreeRun	DMA_Mode			ActiveDMA		ReqAssertCount [1:0]	
0x062	DMA_Control	R/W	0x00	DMA_Running			CounterClr	Dir		DMA_Stop	DMA_Go
0x063			0xXX								
0x064	DMA_Remain_H	R	0x00				DMA_Remain [12:8]				
0x065	DMA_Remain_L	R	0x00	DMA_Remain [7:0]							
0x066			0xXX								
0x067			0xXX								
0x068	DMA_Count_HH	R/W	0x00	DMA_Count [31:24]							
0x069	DMA_Count_HL	R/W	0x00	DMA_Count [23:16]							
0x06A	DMA_Count_LH	R/W	0x00	DMA_Count [15:8]							
0x06B	DMA_Count_LL	R/W	0x00	DMA_Count [7:0]							
0x06C	DMA_RdData_0	R	0xXX	DMA_RdData_0[7:0]							
0x06D	DMA_RdData_1	R	0xXX	DMA_RdData_1[7:0]							
0x06E	DMA_WrData_0	W	0xXX	DMA_WrData_0[7:0]							
0x06F	DMA_WrData_1	W	0xXX	DMA_WrData_1[7:0]							

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x070			0xXX								
0x071	ModeProtect	R/W	0x56	Protected[7:0][56 以外を書くとはプロテクト、0x56 で解除)							
0x072			0xXX								
0x073	ClkSelect	R/W	0x00	ClkSource						ClkFreq[1:0]	
0x074			0xXX								
0x075	CPU_Config	R/W	0x00	IntLevel	IntMode	DREQ_Level	DACK_Level	CS_Mode	CPU_Endian	BusMode	Bus8x16
0x076			0xXX								
0x077	CPU_ChgEndian	R	0xXX	このレジスタをダミーリードすることで、CPU_Config.CPU_Endian で切り替えたEndian になる。							
0x078			0xXX								
0x079			0xXX								
0x07A			0xXX								
0x07B			0xXX								
0x07C			0xXX								
0x07D			0xXX								
0x07E			0xXX								
0x07F			0xXX								

7. レジスタ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x080	AREA0StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x081	AREA0StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x082	AREA0EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x083	AREA0EndAdrs_L	R/W	0x00	EndAdrs[7:2]							
0x084	AREA1StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x085	AREA1StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x086	AREA1EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x087	AREA1EndAdrs_L	R/W	0x00	EndAdrs[7:2]							
0x088	AREA2StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x089	AREA2StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x08A	AREA2EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x08B	AREA2EndAdrs_L	R/W	0x00	EndAdrs[7:2]							
0x08C	AREA3StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x08D	AREA3StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x08E	AREA3EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x08F	AREA3EndAdrs_L	R/W	0x00	EndAdrs[7:2]							

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x090	AREA4StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x091	AREA4StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x092	AREA4EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x093	AREA4EndAdrs_L	R/W	0x00	EndAdrs[7:2]							
0x094	AREA5StartAdrs_H	R/W	0x00				StartAdrs[12:8]				
0x095	AREA5StartAdrs_L	R/W	0x00	StartAdrs[7:2]							
0x096	AREA5EndAdrs_H	R/W	0x00				EndAdrs[12:8]				
0x097	AREA5EndAdrs_L	R/W	0x00	EndAdrs[7:2]							
0x098			0xFF								
0x099			0xFF								
0x09A			0xFF								
0x09B			0xFF								
0x09C			0xFF								
0x09D			0xFF								
0x09E			0xFF								
0x09F	AREAnFIFO_Clr	W	0xFF			ClrAREA5	ClrAREA4	ClrAREA3	ClrAREA2	ClrAREA1	ClrAREA0

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0A0	AREA0Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0A1	AREA0Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0A2	AREA1Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0A3	AREA1Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0A4	AREA2Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0A5	AREA2Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0A6	AREA3Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0A7	AREA3Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0A8	AREA4Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0A9	AREA4Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0AA	AREA5Join_0	R/W	0x00	JoinFIFO_Stat					JoinDMA	JoinCPU_Rd	JoinCPU_Wr
0x0AB	AREA5Join_1	R/W	0x00			JoinEPeCHe	JoinEPdCHd	JoinEPcCHc	JoinEPbCHb	JoinEPaCHa	JoinEP0CH0
0x0AC											
0x0AD											
0x0AE	ClrAREAnJoin_0	W	0x00	ClrJoinFIFO_Stat					ClrJoinDMA	ClrJoinCPU_Rd	ClrJoinCPU_Wr
0x0AF	ClrAREAnJoin_1	W	0x00			ClrJoinEPeCHe	ClrJoinEPdCHd	ClrJoinEPcCHc	ClrJoinEPbCHb	ClrJoinEPaCHa	ClrJoinEP0CH0

7. レジスタ

7.2. デバイス・レジスタマップ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0B0	<i>D_SIE_IntStat</i>	R/(W)	0x00		<i>NonJ</i>	RcvSOF	DetectRESET	DetectSUSPEND	ChirpCmp	RestoreCmp	SetAddressCmp
0x0B1			0xFF								
0x0B2		R/(W)	0x00								
0x0B3	D_BulkIntStat	R/(W)	0x00	CBW_Cmp	CBW_LengthErr	CBW_Err		CSW_Cmp	CSW_Err		
0x0B4	D_EPIntStat	R	0x00	D_AlarmIN_IntStat	D_AlarmOUT_IntStat		D_EPIntStat	D_EPdIntStat	D_EPcIntStat	D_EPbIntStat	D_EPAIntStat
0x0B5	D_EP0IntStat	R/(W)	0x00	DescriptorCmp	OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0B6	D_EPAIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0B7	D_EPbIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0B8	D_EPcIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0B9	D_EPdIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0BA	D_EPeIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x0BB			0xFF								
0x0BC	D_AlarmIN_IntStat_H	R/(W)	0x00	AlarmEP15IN	AlarmEP14IN	AlarmEP13IN	AlarmEP12IN	AlarmEP11IN	AlarmEP10IN	AlarmEP9IN	AlarmEP8IN
0x0BD	D_AlarmIN_IntStat_L	R/(W)	0x00	AlarmEP7IN	AlarmEP6IN	AlarmEP5IN	AlarmEP4IN	AlarmEP3IN	AlarmEP2IN	AlarmEP1IN	
0x0BE	D_AlarmOUT_IntStat_H	R/(W)	0x00	AlarmEP15OUT	AlarmEP14OUT	AlarmEP13OUT	AlarmEP12OUT	AlarmEP11OUT	AlarmEP10OUT	AlarmEP9OUT	AlarmEP8OUT
0x0BF	D_AlarmOUT_IntStat_L	R/(W)	0x00	AlarmEP7OUT	AlarmEP6OUT	AlarmEP5OUT	AlarmEP4OUT	AlarmEP3OUT	AlarmEP2OUT	AlarmEP1OUT	

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0C0	<i>D_SIE_IntEnb</i>	R/W	0x00		<i>EnNonJ</i>	EnRcvSOF	EnDetectRESET	EnDetectSUSPEND	EnChirpCmp	EnRestoreCmp	EnSetAddressCmp
0x0C1			0xFF								
0x0C2		R/W	0x00								
0x0C3	D_BulkIntEnb	R/W	0x00	EnCBW_Cmp	EnCBW_LengthErr	EnCBW_Err		EnCSW_Cmp	EnCSW_Err		
0x0C4	D_EPIntEnb	R/W	0x00	EnD_AlarmIN_IntStat	EnD_AlarmOUT_IntStat		EnD_EPIntStat	EnD_EPdIntStat	EnD_EPcIntStat	EnD_EPbIntStat	EnD_EPAIntStat
0x0C5	D_EP0IntEnb	R/W	0x00	EnDescriptorCmp	EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0C6	D_EPAIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0C7	D_EPbIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0C8	D_EPcIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0C9	D_EPdIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0CA	D_EPeIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x0CB			0xFF								
0x0CC	D_AlarmIN_IntEnb_H	R/W	0x00	EnAlarmEP15IN	EnAlarmEP14IN	EnAlarmEP13IN	EnAlarmEP12IN	EnAlarmEP11IN	EnAlarmEP10IN	EnAlarmEP9IN	EnAlarmEP8IN
0x0CD	D_AlarmIN_IntEnb_L	R/W	0x00	EnAlarmEP7IN	EnAlarmEP6IN	EnAlarmEP5IN	EnAlarmEP4IN	EnAlarmEP3IN	EnAlarmEP2IN	EnAlarmEP1IN	
0x0CE	D_AlarmOUT_IntEnb_H	R/W	0x00	EnAlarmEP15OUT	EnAlarmEP14OUT	EnAlarmEP13OUT	EnAlarmEP12OUT	EnAlarmEP11OUT	EnAlarmEP10OUT	EnAlarmEP9OUT	EnAlarmEP8OUT
0x0CF	D_AlarmOUT_IntEnb_L	R/W	0x00	EnAlarmEP7OUT	EnAlarmEP6OUT	EnAlarmEP5OUT	EnAlarmEP4OUT	EnAlarmEP3OUT	EnAlarmEP2OUT	EnAlarmEP1OUT	

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0D0	D_NegoControl	R/W	0x00	DisBusDetect	EnAutoNego	InSUSPEND	DisableHS	SendWakeup	RestoreUSB	GoChirp	ActiveUSB
0x0D1			0xFF								
0x0D2			0xFF								
0x0D3	D_XcvtControl	R/W	0x41	TermSelect	XcvtSelect					OpMode [1:0]	
0x0D4	D_USB_Test	R/W	0x00	EnHS_Test				Test_SE0_NAK	Test_J	Test_K	Test_Packet
0x0D5			0xFF								
0x0D6	D_EPnControl	W	0xFF	AllForceNAK	EPnForceSTALL						
0x0D7			0xFF								
0x0D8	D_BulkOnlyControl	R/W	0x00	AutoForceNAK_CBW					GoCBW_Mode	GoCSW_Mode	
0x0D9	D_BulkOnlyConfig	R/W	0x00				EPeBulkOnly	EPdBulkOnly	EPcBulkOnly	EPbBulkOnly	EPaBulkOnly
0x0DA			0xFF								
0x0DB			0xFF								
0x0DC			0xFF								
0x0DD			0xFF								
0x0DE			0xFF								
0x0DF			0xFF								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0E0	D_EP0SETUP_0	R	0x00	SETUP 0[7:0]							
0x0E1	D_EP0SETUP_1	R	0x00	SETUP 1[7:0]							
0x0E2	D_EP0SETUP_2	R	0x00	SETUP 2[7:0]							
0x0E3	D_EP0SETUP_3	R	0x00	SETUP 3[7:0]							
0x0E4	D_EP0SETUP_4	R	0x00	SETUP 4[7:0]							
0x0E5	D_EP0SETUP_5	R	0x00	SETUP 5[7:0]							
0x0E6	D_EP0SETUP_6	R	0x00	SETUP 6[7:0]							
0x0E7	D_EP0SETUP_7	R	0x00	SETUP 7[7:0]							
0x0E8	D_USB_Address	R(W)	0x00	SetAddress	USB_Address [6:0]						
0x0E9			0xFF								
0x0EA	D_SETUP_Control	R/W	0x00								ProtectEP0
0x0EB			0xFF								
0x0EC			0xFF								
0x0ED			0xFF								
0x0EE	D_FrameNumber_H	R	0x00	Fn_Invalid					FrameNumber [10:8]		
0x0EF	D_FrameNumber_L	R	0x80	FrameNumber [7:0]							

7. レジスタ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0F0	D_EP0MaxSize	R/W	0x00	EP0MaxSize[6:3]							
0x0F1	D_EP0Control	R/W	0x00	INxOUT							ReplyDescriptor
0x0F2	D_EP0ControlIN	R/W	0x00		EnShortPkt		ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x0F3	D_EP0ControlOUT	R/W	0x00	AutoForceNAK			ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x0F4			0xXX								
0x0F5			0xXX								
0x0F6			0xXX								
0x0F7			0x00								
0x0F8	D_EPaMaxSize_H	R/W	0x00					EPaMaxSize[10:8]			
0x0F9	D_EPaMaxSize_L	R/W	0x00	EPaMaxSize[7:0]							
0x0FA	D_EPaConfig	R/W	0x00	INxOUT	IntEP_Mode	ISO		EndpointNumber[3:0]			
0x0FB			0xXX								
0x0FC	D_EPaControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x0FD			0xXX								
0x0FE			0xXX								
0x0FF			0xXX								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x100	D_EPbMaxSize_H	R/W	0x00						EPbMaxSize[10:8]		
0x101	D_EPbMaxSize_L	R/W	0x00	EPbMaxSize[7:0]							
0x102	D_EPbConfig	R/W	0x00	INxOUT	IntEP_Mode	ISO		EndpointNumber[3:0]			
0x103			0xXX								
0x104	D_EPbControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x105			0xXX								
0x106			0xXX								
0x107			0xXX								
0x108	D_EPcMaxSize_H	R/W	0x00						EPcMaxSize[10:8]		
0x109	D_EPcMaxSize_L	R/W	0x00	EPcMaxSize[7:0]							
0x10A	D_EPcConfig	R/W	0x00	INxOUT	IntEP_Mode	ISO		EndpointNumber[3:0]			
0x10B			0xXX								
0x10C	D_EPcControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x10D			0xXX								
0x10E			0xXX								
0x10F			0xXX								

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x110	D_EPdMaxSize_H	R/W	0x00						EPdMaxSize[10:8]		
0x111	D_EPdMaxSize_L	R/W	0x00	EPdMaxSize[7:0]							
0x112	D_EPdConfig	R/W	0x00	INxOUT	IntEP_Mode	ISO		EndpointNumber[3:0]			
0x113			0xFF								
0x114	D_EPdControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x115			0xFF								
0x116			0xFF								
0x117			0xFF								
0x118	D_EPeMaxSize_H	R/W	0x00						EPeMaxSize[10:8]		
0x119	D_EPeMaxSize_L	R/W	0x00	EPeMaxSize[7:0]							
0x11A	D_EPeConfig	R/W	0x00	INxOUT	IntEP_Mode	ISO		EndpointNumber[3:0]			
0x11B			0xFF								
0x11C	D_EPeControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x11D			0xFF								
0x11E			0xFF								
0x11F			0xFF								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
0x120	D_DescAdrs_H	R/W	0x00				DescAdrs[12:8]					
0x121	D_DescAdrs_L	R/W	0x00	DescAdrs [7:0]								
0x122	D_DescSize_H	R/W	0x00							DescSize [9:8]		
0x123	D_DescSize_L	R/W	0x00	DescSize [7:0]								
0x124			0xFF									
0x125			0xFF									
0x126	D_EP_DMA_Ctrl	R/W	0xFF	FIFO_Running	AutoEnShort							
0x127			0xFF									
0x128	D_EnEP_IN_H	R/W	0x00	EnEP15IN	EnEP14IN	EnEP13IN	EnEP12IN	EnEP11IN	EnEP10IN	EnEP9IN	EnEP8IN	
0x129	D_EnEP_IN_L	R/W	0x00	EnEP7IN	EnEP6IN	EnEP5IN	EnEP4IN	EnEP3IN	EnEP2IN	EnEP1IN		
0x12A	D_EnEP_OUT_H	R/W	0x00	EnEP15OUT	EnEP14OUT	EnEP13OUT	EnEP12OUT	EnEP11OUT	EnEP10OUT	EnEP9OUT	EnEP8OUT	
0x12B	D_EnEP_OUT_L	R/W	0x00	EnEP7OUT	EnEP6OUT	EnEP5OUT	EnEP4OUT	EnEP3OUT	EnEP2OUT	EnEP1OUT		
0x12C	D_EnEP_IN_ISO_H	R/W	0x00	EnEP15IN_ISO	EnEP14IN_ISO	EnEP13IN_ISO	EnEP12IN_ISO	EnEP11IN_ISO	EnEP10IN_ISO	EnEP9IN_ISO	EnEP8IN_ISO	
0x12D	D_EnEP_IN_ISO_L	R/W	0x00	EnEP7IN_ISO	EnEP6IN_ISO	EnEP5IN_ISO	EnEP4IN_ISO	EnEP3IN_ISO	EnEP2IN_ISO	EnEP1IN_ISO		
0x12E	D_EnEP_OUT_ISO_H	R/W	0x00	EnEP15OUT_ISO	EnEP14OUT_ISO	EnEP13OUT_ISO	EnEP12OUT_ISO	EnEP11OUT_ISO	EnEP10OUT_ISO	EnEP9OUT_ISO	EnEP8OUT_ISO	
0x12F	D_EnEP_OUT_ISO_L	R/W	0x00	EnEP7OUT_ISO	EnEP6OUT_ISO	EnEP5OUT_ISO	EnEP4OUT_ISO	EnEP3OUT_ISO	EnEP2OUT_ISO	EnEP1OUT_ISO		

下記レジスタの詳細は、「Appendix D」を参照して下さい。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x130	(Reserved)		0xXX								
0x131	D_ModeControl	W	0xXX	(Reserved)	(Reserved)	(Reserved)	SetAddressMode	(Reserved)	(Reserved)	(Reserved)	(Reserved)

0x132～0x1FF は Reserved です。

7. レジスタ

7.3. ホスト・レジスタマップ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x140	H_SIE_IntStat_0	R/(W)	0x00				DetectCon	DetectDiscon	DetectRmtWkup	DetectDevChirpOK	DetectDevChirpNG
0x141	H_SIE_IntStat_1	R/(W)	0x00					DisabledCmp	ResumeCmp	SuspendCmp	ResetCmp
0x142		R/(W)	0x00								
0x143	H_FrameIntStat	R/(W)	0x00						PortErr	FrameNumOver	SOF
0x144	H_CHrIntStat	R	0x00				H_CHeIntStat	H_CHdIntStat	H_CHcIntStat	H_CHbIntStat	H_CHaIntStat
0x145	H_CH0IntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition			CTL_SupportCmp	CTL_SupportStop
0x146	H_CHaIntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition			BO_SupportCmp	BO_SupportStop
0x147	H_CHbIntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition				
0x148	H_CHcIntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition				
0x149	H_CHdIntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition				
0x14A	H_CHeIntStat	R/(W)	0x00	TotalSizeCmp	TranACK	TranErr	ChangeCondition				
0x14B			0xFF								
0x14C			0xFF								
0x14D			0xFF								
0x14E			0xFF								
0x14F			0xFF								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x150	H_SIE_IntEnb_0	R/W	0x00				EnDetectCon	EnDetectDiscon	EnDetectRmtWkup	EnDetectDevChirpOK	EnDetectDevChirpNG
0x151	H_SIE_IntEnb_1	R/W	0x00					EnDisabledCmp	EnResumeCmp	EnSuspendCmp	EnResetCmp
0x152		R/W	0x00								
0x153	H_FrameIntEnb	R/W	0x00						EnPortErr	EnFrameNumOver	EnSOF
0x154	H_CHrIntEnb	R/W	0x00				EnH_CHeIntStat	EnH_CHdIntStat	EnH_CHcIntStat	EnH_CHbIntStat	EnH_CHaIntStat
0x155	H_CH0IntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition			EnCTL_SupportCmp	EnCTL_SupportStop
0x156	H_CHaIntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition			EnBO_SupportCmp	EnBO_SupportStop
0x157	H_CHbIntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition				
0x158	H_CHcIntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition				
0x159	H_CHdIntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition				
0x15A	H_CHeIntEnb	R/W	0x00	EnTotalSizeCmp	EnTranACK	EnTranErr	EnChangeCondition				
0x15B			0xFF								
0x15C			0xFF								
0x15D			0xFF								
0x15E			0xFF								
0x15F			0xFF								

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x160	H_NegoControl_0	R/W	0x1X	AutoModeCancel	HostState[2:0]			AutoMode[3:0]			
0x161			0xXX								
0x162	H_NegoControl_1	R/W	0x10			PortSpeed[1:0]				DisChirpFinish	RmtWkupDetEnb
0x163			0xXX								
0x164	H_USB_Test	R/W	0x00	EnHS_Test			Test_Force_Enable	Test_SE0_NAK	Test_J	Test_K	Test_Packet
0x165			0xXX								
0x166			0xXX								
0x167			0xXX								
0x168			0xXX								
0x169			0xXX								
0x16A			0xXX								
0x16B			0xXX								
0x16C			0xXX								
0x16D			0xXX								
0x16E			0xXX								
0x16F			0xXX								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x170	H_CH0SETUP_0	R/W	0x00	SETUP 0[7:0]							
0x171	H_CH0SETUP_1	R/W	0x00	SETUP 1[7:0]							
0x172	H_CH0SETUP_2	R/W	0x00	SETUP 2[7:0]							
0x173	H_CH0SETUP_3	R/W	0x00	SETUP 3[7:0]							
0x174	H_CH0SETUP_4	R/W	0x00	SETUP 4[7:0]							
0x175	H_CH0SETUP_5	R/W	0x00	SETUP 5[7:0]							
0x176	H_CH0SETUP_6	R/W	0x00	SETUP 6[7:0]							
0x177	H_CH0SETUP_7	R/W	0x00	SETUP 7[7:0]							
0x178			0xFF								
0x179			0xFF								
0x17A			0xFF								
0x17B			0xFF								
0x17C			0xFF								
0x17D			0xFF								
0x17E	H_FrameNumber_H	R	0xFF						FrameNumber[10:8]		
0x17F	H_FrameNumber_L	R	0x07	FrameNumber[7:0]							

7. レジスタ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x180	H_CH0Config_0	R/W	0x00	ACK_Cnt[3:0]				SpeedMode[1:0]		Toggle	TranGo
0x181	H_CH0Config_1	R/W	0x00	TID[1:0]							
0x182			0xXX								
0x183	H_CH0MaxPktSize	R/W	0x00		MaxPktSize[6:0]						
0x184			0xXX								
0x185			0xXX								
0x186	H_CH0TotalSize_H	R/W	0x00	TotalSize[15:8]							
0x187	H_CH0TotalSize_L	R/W	0x00	TotalSize[7:0]							
0x188	H_CH0HubAdrs	R/W	0x00	HubAdrs[3:0]					Port[2:0]		
0x189	H_CH0FuncAdrs	R/W	0x00	FuncAdrs[3:0]				EP_Number[3:0]			
0x18A			0xXX								
0x18B	H_CTL_SupportControl	R/W	0x00		CTL_SupportState[1:0]						CTL_SupportGo
0x18C			0xXX								
0x18D			0xXX								
0x18E	H_CH0ConditionCode	R	0x00		ConditonCode[2:0]						
0x18F			0xXX								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
0x190	H_CHaConfig_0	R/W	0x00	ACK_Cnt[3:0]					SpeedMode[1:0]		Toggle	TranGo
0x191	H_CHaConfig_1	R/W	0x00	TID[1:0]					AutoZeroLen		TotalSizeFree	
0x192	H_CHaMaxPktSize_H	R/W	0x00						(MaxPktSize[10])	MaxPktSize[9:8]		
0x193	H_CHaMaxPktSize_L	R/W	0x00	MaxPktSize[7:0]								
0x194	H_CHaTotalSize_HH	R/W	0x00	TotalSize[31:24]								
0x195	H_CHaTotalSize_HL	R/W	0x00	TotalSize[23:16]								
0x196	H_CHaTotalSize_LH	R/W	0x00	TotalSize[15:8]								
0x197	H_CHaTotalSize_LL	R/W	0x00	TotalSize[7:0]								
0x198	H_CHaHubAdrs	R/W	0x00	HubAdrs[3:0]						Port[2:0]		
0x199	H_CHaFuncAdrs	R/W	0x00	FuncAdrs[3:0]					EP_Number[3:0]			
0x19A	H_CHaBO_SupportCtl	R/W	0x00			BO_TransportState[1:0]				BO_SupportGo		
0x19B	H_CHaBO_CSW_RcvSize	R	0x00					CSW_RcvDataSize[3:0]				
0x19C	H_CHaBO_OUT_EP_Ctl	R/W	0x00					OUT_Toggle	OUT_EP_Number[3:0]			
0x19D	H_CHaBO_IN_EP_Ctl	R/W	0x00				IN_Toggle	IN_EP_Number[3:0]				
0x19E	H_CHaConditionCode	R	0x00		ConditonCode[2:0]							
0x19F			0xFF									

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
0x1A0	H_CHbConfig_0	R/W	0x00	ACK_Cnt[3:0]				SpeedMode[1:0]		Toggle	TranGo		
0x1A1	H_CHbConfig_1	R/W	0x00	TID[1:0]		TranType[1:0]		AutoZeroLen			TotalSizeFree		
0x1A2	H_CHbMaxPktSize_H	R/W	0x00						(MaxPktSize[10])	MaxPktSize[9:8]			
0x1A3	H_CHbMaxPktSize_L	R/W	0x00	MaxPktSize[7:0]									
0x1A4	H_CHbTotalSize_HH	R/W	0x00	TotalSize[31:24]									
0x1A5	H_CHbTotalSize_HL	R/W	0x00	TotalSize[23:16]									
0x1A6	H_CHbTotalSize_LH	R/W	0x00	TotalSize[15:8]									
0x1A7	H_CHbTotalSize_LL	R/W	0x00	TotalSize[7:0]									
0x1A8	H_CHbHubAdrs	R/W	0x00	HubAdrs[3:0]						Port[2:0]			
0x1A9	H_CHbFuncAdrs	R/W	0x00	FuncAdrs[3:0]					EP_Number[3:0]				
0x1AA	H_CHbInterval_H	R/W	0x00						Interval[10:8]				
0x1AB	H_CHbInterval_L	R/W	0x00	Interval[7:0]									
0x1AC			0xXX										
0x1AD			0xXX										
0x1AE	H_CHbConditionCode	R	0x00		ConditonCode[2:0]								
0x1AF			0xXX										

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1B0	H_CHcConfig_0	R/W	0x00	ACK_Cnt[3:0]				SpeedMode[1:0]		Toggle	TranGo
0x1B1	H_CHcConfig_1	R/W	0x00	TID[1:0]		TranType[1:0]		AutoZeroLen			TotalSizeFree
0x1B2	H_CHcMaxPktSize_H	R/W	0x00						(MaxPktSize[10])	MaxPktSize[9:8]	
0x1B3	H_CHcMaxPktSize_L	R/W	0x00	MaxPktSize[7:0]							
0x1B4	H_CHcTotalSize_HH	R/W	0x00	TotalSize[31:24]							
0x1B5	H_CHcTotalSize_HL	R/W	0x00	TotalSize[23:16]							
0x1B6	H_CHcTotalSize_LH	R/W	0x00	TotalSize[15:8]							
0x1B7	H_CHcTotalSize_LL	R/W	0x00	TotalSize[7:0]							
0x1B8	H_CHcHubAdrs	R/W	0x00	HubAdrs[3:0]					Port[2:0]		
0x1B9	H_CHcFuncAdrs	R/W	0x00	FuncAdrs[3:0]				EP_Number[3:0]			
0x1BA	H_CHcInterval_H	R/W	0x00						Interval[10:8]		
0x1BB	H_CHcInterval_L	R/W	0x00	Interval[7:0]							
0x1BC			0xXX								
0x1BD			0xXX								
0x1BE	H_CHcConditionCode	R	0x00		ConditonCode[2:0]						
0x1BF			0xXX								

7. レジスタ

SLEEP 時にでも読み書きできるレジスタを**太字斜体**で示します。

それ以外のレジスタは、ACTIVE 時に読み書きできます。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1C0	H_CHdConfig_0	R/W	0x00	ACK_Cnt[3:0]				SpeedMode[1:0]		Toggle	TranGo
0x1C1	H_CHdConfig_1	R/W	0x00	TID[1:0]		TranType[1:0]		AutoZeroLen			TotalSizeFree
0x1C2	H_CHdMaxPktSize_H	R/W	0x00						(MaxPktSize[10])	MaxPktSize[9:8]	
0x1C3	H_CHdMaxPktSize_L	R/W	0x00	MaxPktSize[7:0]							
0x1C4	H_CHdTotalSize_HH	R/W	0x00	TotalSize[31:24]							
0x1C5	H_CHdTotalSize_HL	R/W	0x00	TotalSize[23:16]							
0x1C6	H_CHdTotalSize_LH	R/W	0x00	TotalSize[15:8]							
0x1C7	H_CHdTotalSize_LL	R/W	0x00	TotalSize[7:0]							
0x1C8	H_CHdHubAdrs	R/W	0x00	HubAdrs[3:0]					Port[2:0]		
0x1C9	H_CHdFuncAdrs	R/W	0x00	FuncAdrs[3:0]				EP_Number[3:0]			
0x1CA	H_CHdInterval_H	R/W	0x00						Interval[10:8]		
0x1CB	H_CHdInterval_L	R/W	0x00	Interval[7:0]							
0x1CC			0xFF								
0x1CD			0xFF								
0x1CE	H_CHdConditionCode	R	0x00		ConditonCode[2:0]						
0x1CF			0xFF								

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
0x1D0	H_CHeConfig_0	R/W	0x00	ACK_Cnt[3:0]				SpeedMode[1:0]		Toggle	TranGo	
0x1D1	H_CHeConfig_1	R/W	0x00	TID[1:0]		TranType[1:0]		AutoZeroLen			TotalSizeFree	
0x1D2	H_CHeMaxPktSize_H	R/W	0x00						(MaxPktSize[10])	MaxPktSize[9:8]		
0x1D3	H_CHeMaxPktSize_L	R/W	0x00	MaxPktSize[7:0]								
0x1D4	H_CHeTotalSize_HH	R/W	0x00	TotalSize[31:24]								
0x1D5	H_CHeTotalSize_HL	R/W	0x00	TotalSize[23:16]								
0x1D6	H_CHeTotalSize_LH	R/W	0x00	TotalSize[15:8]								
0x1D7	H_CHeTotalSize_LL	R/W	0x00	TotalSize[7:0]								
0x1D8	H_CHeHubAdrs	R/W	0x00	HubAdrs[3:0]						Port[2:0]		
0x1D9	H_CHeFuncAdrs	R/W	0x00	FuncAdrs[3:0]					EP_Number[3:0]			
0x1DA	H_CHeInterval_H	R/W	0x00							Interval[10:8]		
0x1DB	H_CHeInterval_L	R/W	0x00	Interval[7:0]								
0x1DC			0xFF									
0x1DD			0xFF									
0x1DE	H_CHeConditionCode	R	0x00		ConditonCode[2:0]							
0x1DF			0xFF									

下記レジスタの詳細は、「Appendix C」を参照して下さい。

Address	Register Name	R/W	Reset	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x1F4	(Reserved)		0xFF								
0x1F5	H_Protect	R/W	0x00					PortSpeedWrEnb		TranEnb[1:0]	
0x1F6	H_Monitor	R	0x00								TranRunning
0x1F7	(Reserved)		0xFF								

0x1E0～0x1F3, 0x1F8～0x1FF は Reserved です。

7.4. デバイス／ホスト共通レジスタ詳細説明

7.4.1. 000h **MainIntStat (Main Interrupt Status)**

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	000h	MainIntStat	R	7: USB_DeviceIntStat	0: None	1: USB Device Interrupts	00h
			R	6: USB_HostIntStat	0: None	1: USB Host Interrupts	
			R	5: CPU_IntStat	0: None	1: CPU Interrupts	
			R	4: FIFO_IntStat	0: None	1: FIFO Interrupts	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			R (W)	0: FinishedPM	0: None	1: Detect FinishedPM	

本 LSI の割り込み要因を表示します。

このレジスタには割り込み要因を間接指示するビットと直接指示するビットがあります。割り込み要因を間接指示するビットは、それぞれに対応する割り込みステータスレジスタをリードすることにより、割り込み要因を直接指示するビットまで辿ることができます。割り込み要因を間接指示するビットは、リードオンリーであり、大元の割り込み要因を直接指示するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接指示しているビットは、書き込み可能であり、該当ビットに"1"を書き込むことにより、割り込み要因をクリアすることができます。MainIntEnb レジスタにより、対応するビットの割り込みがイネーブルにされている場合は、割り込み要因が "1" にセットされると XINT 端子がアサートされ、CPU に対して割り込みが発生します。該当する割り込み要因が全てクリアされると、XINT 端子がネゲートされます。

Bit7 USB_DeviceIntStat

割り込み要因を間接指示します。

USB_DeviceIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する **USB_DeviceIntEnb** レジスタのビットがイネーブルにされている時に"1"にセットされます。このビットは、SLEEP 中もリード有効です。

Bit6 USB_HostIntStat

割り込み要因を間接指示します。

USB_HostIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する **USB_HostIntEnb** レジスタのビットがイネーブルにされている時に"1"にセットされます。このビットは、SLEEP 中もリード有効です。

Bit5 CPU_IntStat

割り込み要因を間接指示します。

CPU_IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する CPU_IntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

Bit4 FIFO_IntStat

割り込み要因を間接指示します。

FIFO_IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する FIFO_IntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

Bit3-1 Reserved**Bit0 FinishedPM**

割り込み要因を直接指示します。

PM_Control レジスタで、GoSLEEP,GoActive,~~GoCPU_Cut~~を設定した場合、指示したそれぞれの状態に達したら、このビットは "1"にセットされます。このビットは SLEEP 中も有効です。

7. レジスタ

7.4.2. 001h *USB_DeviceIntStat (USB Device Interrupt Status)*

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	001h	USB_DeviceIntStat	R (W)	7: VBUS_Changed	0: None	1: VBUS is Changed	00h
				6:	0:	1:	
			R	5: D_SIE_IntStat	0: None	1: SIE Interrupts	
			R	4: D_BulkIntStat	0: None	1: Bulk Interrupts	
			R (W)	3: RcvEP0SETUP	0: None	1: Receive EP0 SETUP	
				2:	0:	1:	
			R	1: D_EP0IntStat	0: None	1: EP0 Interrupts	
			R	0: D_EPrIntStat	0: None	1: EPr Interrupts	

デバイス関連の割り込みを表示します。

このレジスタには割り込み要因を間接指示するビットと直接指示するビットがあります。割り込み要因を間接指示するビットは、それぞれに対応する割り込みステータスレジスタをリードすることにより、割り込み要因を直接指示するビットまで辿ることができます。割り込み要因を間接指示するビットは、リードオンリーであり、大元の割り込み要因を直接指示するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接指示しているビットは、書き込み可能であり、該当ビットに"1"を書き込むことにより、割り込み要因をクリアすることができます。

Bit7 **VBUS_Changed**

割り込み要因を直接指示します。

VBUS 端子の状態が変化した時に "1" にセットされます。

D_USB_Status レジスタの VBUS ビットによって VBUS の状態を確認して下さい。VBUS が"0"であれば、ケーブルが抜かれたことを示します。このビットは SLEEP 中も有効です。

Bit6 **Reserved**

Bit5 **D_SIE_IntStat**

割り込み要因を間接指示します。

D_SIE_IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_SIE_IntEnb レジスタのビットがイネーブルにされている時に"1"にセットされます。このビットは、SLEEP もリード有効です。

Bit4 **D_BulkIntStat**

割り込み要因を間接指示します。

D_BulkIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_BulkIntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

Bit3 **RcvEP0SETUP**

割り込み要因を直接指示します。

コントロール転送のセットアップステージが終了し、受信したデータが D_EP0SETUP_0~D_EP0SETUP_7 レジスタに格納されると"1"にセットされます。同時に D_EP0ControlIN, D_EP0ControlOUT レジスタの ForceSTALL ビットが"0"に D_EP0ControlIN, D_EP0ControlOUT レジスタの ForceNAK ビット、ToggleStat ビット、D_SETUP_Control レジスタの ProtectEP0 ビットが"1"に、自動的に設定されます。SetAddress()リクエストに対しては、AutoSetAddress 機能が自動応答し、このステータスはセットされません。

Bit2 **Reserved**

Bit1 **D_EP0IntStat**

割り込み要因を間接指示します。

D_EP0IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EP0IntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

Bit0 **D_EPrIntStat**

割り込み要因を間接指示します。

D_EPrIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPrIntEnb レジスタのビットがイネーブルにされている時、"1"にセットされます。

7.4.3. 002h **USB_HostIntStat (USB Host Interrupt Status)**

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	002h	USB_HostIntStat	R/(W)	7: VBUS_Err	0: None	1: VBUS Error	00h
				6:	0:	1:	
			R	5: H_SIE_IntStat1	0: None	1: SIE Interrupts1	
			R	4: H_SIE_IntStat0	0: None	1: SIE Interrupts0	
			R	3: H_FrameIntStat	0: None	1: Frame Interrupts	
				2:	0:	1:	
			R	1: H_CH0IntStat	0: None	1: CH0 Interrupts	
			R	0: H_CHrIntStat	0: None	1: CHr Interrupts	

ホスト関連の割り込みを表示します。

このレジスタには割り込み要因を間接指示するビットと直接指示するビットがあります。割り込み要因を間接指示するビットは、それぞれに対応する割り込みステータスレジスタをリードすることにより、割り込み要因を直接指示するビットまで辿ることができます。割り込み要因を間接指示するビットは、リードオンリーであり、大元の割り込み要因を直接指示するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接指示しているビットは、書き込み可能であり、該当ビットに"1"を書き込むことにより、割り込み要因をクリアすることができます。

Bit7 VBUS_Err

割り込み要因を直接指示します。このビットは SLEEP 中も有効です。

VBUSFLG 端子に外部接続の VBUS パワースイッチから VBUS 異常を知らせる信号 (High から Low への変化 Edge) が入力された時に "1" にセットされます。

H_USB_Status レジスタの VBUS_State ビットによって VBUSFLG 端子の状態を確認して下さい。

上記の異常信号とは、外部接続の VBUS パワースイッチの仕様によって異なりますので、その仕様をご確認下さい。

Bit6 Reserved**Bit5 H_SIE_IntStat1**

割り込み要因を間接指示します。

H_SIE_IntStat1 レジスタに割り込み要因があり、かつその割り込み要因に対応する H_SIE_IntEnb1 レジスタのビットがイネーブルにされている時に"1"にセットされます。

Bit4 H_SIE_IntStat0

割り込み要因を間接指示します。

H_SIE_IntStat0 レジスタに割り込み要因があり、かつその割り込み要因に対応する H_SIE_IntEnb0 レジスタのビットがイネーブルにされている時に"1"にセットされます。

Bit3 H_FrameIntStat

割り込み要因を間接指示します。

H_FrameIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_FrameIntEnb レジスタのビットがイネーブルにされている時に"1"にセットされます。

Bit2 Reserved**Bit1 H_CH0IntStat**

割り込み要因を間接指示します。

H_CH0IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CH0IntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

Bit0 H_CHrIntStat

割り込み要因を間接指示します。

H_CHrIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHrIntEnb レジスタのビットがイネーブルにされている時に "1" にセットされます。

7. レジスタ

7.4.4. 003h CPU_IntStat (CPU Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	003h	CPU_IntStat	R (W)	7: RAM_RdCmp	0: None	1: RAM Read Complete	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R (W)	1: DMA_CountUp	0: None	1: DMA Counter Overflow	
			R (W)	0: DMA_Cmp	0: None	1: DMA Complete	

CPU インタフェイス関連の割り込みを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

RAM_RdCmp

割り込み要因を直接指示します。
RAM_Rd 機能において、RAM からデータを読み出し、RAM_Rd_XX のデータが有効になったところで、"1"にセットされます。
- Bit6-2

Reseerved
- Bit1

DMA_CountUp

割り込み要因を直接指示します。
転送モードがフリーランモードで動作している時に、DMA_Count_HH,HL,LH,LL の値がオーバーフローした時に、"1"にセットされます。DMA_Count_HH,HL,LH,LL の値は 0 に戻り、DMA 動作は継続します。
- Bit0

DMA_Cmp

割り込み要因を直接指示します。
DMA 転送が停止されるか、或いは、指定された転送数が終了し、終了処理が完了した時に"1"にセットされます。

7.4.5. 004h FIFO_IntStat (FIFO Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	004h	FIFO_IntStat	R(W)	7: FIFO_DMA_Cmp	0: None	1: DMA Complete on FIFO	00h
				6:	0:	1	
				5:	0:	1	
				4:	0:	1	
				3:	0:	1:	
			R (W)	2: FIFO_NotEmpty	0: None	1: FIFO NotEmpty	
			R (W)	1: FIFO_Full	0: None	1: FIFO Full	
			R (W)	0: FIFO_Empty	0: None	1: FIFO Empty	

FIFO 関連の割り込みステータスを表示します。

全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 FIFO_DMA_Cmp

割り込み要因を直接指示します。

HostDeviceSel.HOSTxDEVICE=0 の時、DMA にジョインされているエンドポイントが IN 方向の場合、DMA 転送が終了した後に FIFO が空になると、"1"にセットされます。DMA にジョインされているエンドポイントが OUT 方向の場合、DMA 転送が終了すると、"1"にセットされます。

HostDeviceSel.HOSTxDEVICE=1 の時、DMA にジョインされているチャンネルが OUT 方向の場合、IDE の転送が終了した後に FIFO が空になると、"1"にセットされます。DMA にジョインされているチャンネルが IN 方向の場合、IDE の転送が終了すると、"1"にセットされます。

Bit6-3 Reseved**Bit2 FIFO_NotEmpty**

割り込み要因を直接指示します。

AREAn{n=0-5}Join_0.JoinFIFO_Stat ビットが"1"にセットされているときに、該当するチャンネルの FIFO 領域にデータが存在する状態になると、"1"にセットされます。

Bit1 FIFO_Full

割り込み要因を直接指示します。

AREAn{n=0-5}Join_0.JoinFIFO_Stat ビットが"1"にセットされているときに、該当するチャンネルの FIFO 領域が Full になると、"1"にセットされます。

Bit0 FIFO_Empty

割り込み要因を直接指示します。

AREAn{n=0-5}Join_0.JoinFIFO_Stat ビットが"1"にセットされているときに、該当するチャンネルの FIFO 領域が Empty になると、"1"にセットされます。

7. レジスタ

7.4.6. 008h MainIntEnb (Main Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	008h	MainIntEnb	R / W	7: <i>EnUSB_DeviceIntStat</i>	0: Disable	1: Enable	00h
			R / W	6: <i>EnUSB_HostIntStat</i>	0: Disable	1: Enable	
			R / W	5: EnCPU_IntStat	0: Disable	1: Enable	
			R / W	4: EnFIFO_IntStat	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1	
			R / W	0: <i>EnFinishedPM</i>	0: Disable	1: Enable	

MainIntStat レジスタの割り込み要因による割り込み信号(XINT)のアサートを許可／禁止するレジスタです。
対応するビットを"1"にセットすることで割り込みを許可します。
EnUSB_DeviceIntStat, EnUSB_HostIntStat, EnFinishedPM ビットは SLEEP 中も有効です。

7.4.7. 009h **USB_DeviceIntEnb (Device Interrupt Enable)**

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	009h	USB_DeviceIntEnb	R / W	7: EnVBUS_Changed	0: Disable	1: Enable	00h
				6:	0:	1:	
			R / W	5: EnD_SIE_IntStat	0: Disable	1: Enable	
			R / W	4: EnD_BulkIntStat	0: Disable	1: Enable	
			R / W	3: EnRcvEP0SETUP	0: Disable	1: Enable	
				2:	0:	1:	
			R / W	1: EnD_EP0IntStat	0: Disable	1: Enable	
			R / W	0: EnD_EPrIntStat	0: Disable	1: Enable	

USB_DeviceIntStat レジスタの割り込み要因による、MainIntStat レジスタの USB_DeviceIntStat ビットのアサートを許可／禁止します。
EnVBUS_Changed, EnD_SIE_IntStat ビットは SLEEP 中も有効です。

7. レジスタ

7.4.8. 00Ah *USB_HostIntEnb (Host Interrupt Enable)*

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	00Ah	<i>USB_HostIntEnb</i>	R / W	7: <i>EnVBUS_Err</i>	0: Disable	1: Enable	00h
			R / W	6:	0:	1:	
			R / W	5: EnH_SIE_IntStat1	0: Disable	1: Enable	
			R / W	4: EnH_SIE_IntStat0	0: Disable	1: Enable	
			R / W	3: EnH_FrameIntStat	0: Disable	1: Enable	
			R / W	2:	0:	1:	
			R / W	1: EnH_CH0IntStat	0: Disable	1: Enable	
			R / W	0: EnH_CHrIntStat	0: Disable	1: Enable	

USB_HostIntStat レジスタの割り込み要因による、MainIntStat レジスタの USB_HostIntStat ビットのアサートを許可／禁止します。
EnVBUS_Err ビットは SLEEP 中も有効です。

7.4.9. 00Bh CPU_IntEnb (CPU Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	00Bh	CPU_IntEnb	R / W	7: EnRAM_RdCmp	0: Disable	1: Enable	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: EnDMA_CountUp	0: Disable	1: Enable	
			R / W	0: EnDMA_Cmp	0: Disable	1: Enable	

CPU_IntStat レジスタの割り込み要因による、MainIntStat レジスタの CPU_IntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.4.10. 00Ch FIFO_IntEnb (FIFO Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	00Ch	FIFO_IntEnb	R / W	7: EnFIFO_DMA_Cmp	0: Disable	1: Enable	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: EnFIFO_NotEmpty	0: Disable	1: Enable	
			R / W	1: EnFIFO_Full	0: Disable	1: Enable	
			R / W	0: EnFIFO_Empty	0: Disable	1: Enable	

FIFO_IntStat レジスタの割り込み要因による、MainIntStat レジスタの FIFO_IntStat ビットのアサートを許可／禁止します。

7.4.11. 010h **RevisionNum** (Revision Number)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	010h	RevisionNum	R	7: RevisionNum [7]	Revision Number	10h
				6: RevisionNum [6]		
				5: RevisionNum [5]		
				4: RevisionNum [4]		
				3: RevisionNum [3]		
				2: RevisionNum [2]		
				1: RevisionNum [1]		
				0: RevisionNum [0]		

本 LSI のリビジョンナンバーを示します。このレジスタは SLEEP 中でもアクセス有効です。
現仕様に関してのリビジョンナンバーは、0x10 となっています。

7. レジスタ

7.4.12. 011h ChipReset (Chip Reset)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	011h	ChipReset	R / W	7: ResetMTM	0: None	1: MTM Reset	80h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			W	0: AllReset	0: None	1: Reset	

本 LSI をリセットします。
SLEEP 時でもアクセス有効です。

Bit7 ResetMTM
このビットに"1"をセットすると、本 LSI のトランシーバマクロ (MTM) を初期化します。
リセットを解除するには、このビットを"0"にクリアして下さい。

Bit6-1 Reserved

Bit0 AllReset
本 LSI の全回路をリセットします。外部リセット端子 (XRST) と同義です。
なお、このレジスタにリセット用途以外で、書き込みしないで下さい。
AC スペックに違反してこのレジスタにリセット用途以外の書き込みを行った場合、誤動作の原因となりますのでご注意下さい。

7.4.13. 012h PM_Control (Power Management Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	012h	PM_Control	R / W	7: GoSLEEP	0: Do nothing	1: Go to SLEEP
			R / W	6: GoACTIVE	0: Do nothing	1: Go to ACTIVE
			W	5: GoCPU_Cut	0: Do nothing	1: Go to CPU Cut mode
				4:	0:	1:
				3:	0:	1:
				2:	0:	1:
			R	1: PM_State[1]	Power Management State 00: SLEEP, 01: (SNOOZE), 11: ACTIVE	
				0: PM_State[0]		
						00h

本 LSI のパワーマネージメント関連の動作設定を行います。
このレジスタは SLEEP 中も有効です。

Bit7 GoSLEEP

ACTIVE ステートから SLEEP ステートへの移行を開始します。

ACTIVE ステート時に本ビットを"1"にセットすると、まず PLL の発振を停止し、その後オシレータの発振を停止し SLEEP ステートに移行します。

どのステートからの移行であっても、移行が完了し次第、本ビットは自動的にクリアされ、同時に MainIntStat.FinishedPM ビットがセットされます。

Bit6 GoACTIVE

SLEEP ステートから ACTIVE ステートへの移行を開始します。

SLEEP ステート時に本ビットを"1"にセットすると、オシレータの発振を開始し、オシレータ発振安定時間 (WakeupTim_H, L に設定された時間) 経過後、PLL の発振を開始し、PLL480 発振安定時間 (約 250us) 経過後、ACTIVE ステートに移行します。

どのステートからの移行であっても、移行が完了し次第、本ビットは自動的にクリアされ、同時に MainIntStat.FinishedPM ビットがセットされます。

Bit5 GoCPU_Cut

SLEEP ステート時、このビットをセットすることで、更に消費電流を低減する CPU_Cut モードに移行します。

SLEEP ステート完全移行後、このビットをセットすると、この CPU 書き込みステート終了と同時に、CPU インタフェイスの入力端子を XCS 端子を除き初段から OFF にします。これにより、XCS 端子以外の信号線が動作しようと、CPU インタフェイスの初段のドライバが OFF となっているため、不要な電力消費を抑えることが出来ます。

このモードから復帰するには、本レジスタをダミーリードしてください。ただし、この時、読み出されるデータは、リードデータは確定しませんので、注意してください。また、この復帰動作は、ダミーリード終了と同時に行われるため、必ず XCS が一旦ネゲート ("L" → "H") になるようにアクセスしてください。一般の CPU の場合、本 LSI 以外のアドレス空間をアクセスすると、このような動作が行われますので、ご参考下さい。

※本 LSI は SLEEP 中にアクセスできない割り込みステータス (以下、同期ステータス) により、SLEEP 中に XINT 信号がアサートされないようマスクしておりますが、SLEEP 解除と同時に XINT 端子がアサートされるのを回避するため、F/W により以下の処理を行って下さい。

<SLEEP 開始前>

同期ステータスを処理し、クリアする (∼IntStat)。

同期ステータスをディスエーブルにする (∼IntEnb)。

<SLEEP 解除後 (ACTIVE 開始後)>

同期ステータスをクリアする (∼IntStat)。

同期ステータスをイネーブルにする (∼IntEnb)。

Bit4-2 Reserved**Bit1-0 PM_State [1:0]**

電力モードのステートを表します。

00: SLEEP ステート (OSC オフ、PLL オフ)

01: (SNOOZE ステート) (OSC オン、PLL オフ)

11: ACTIVE ステート (OSC オン、PLL オン)

なお本ステートは、PM_Control.GoSLEEP / GoACTIVE をセットしてから MainIntStat.FinishedPM 割り込みステータスがセットされるまでは、該当ステートに向かい逐次変化致しますので、参照しないでください。

7. レジスタ

7.4.14. 014h WakeupTim_H (Wakeup Time High)

7.4.15. 015h WakeupTim_L (Wakeup Time Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	014h -015h	WakeupTim_H WakeupTim_L	 R / W	 WakeupTim [15:0]	 Wakeup Time [15:0]	 0000h

SLEEP ステートから SNOOZE ステートへ復帰する際のオシレータ発振安定時間を設定します。本レジスタは SLEEP 時にもアクセスが可能です。

SLEEP ステート時に、PM_Control.GoACTIVE ビットに"1"が書き込まれた際に、発振セルをイネーブルにし、オシレータの発振を開始します。この時、カウンタにこの WakeupTim_H,L の設定値をロードし、OSC の立ち上がりにてカウントダウンを始めます。カウントダウン終了後、内部 OSCCLK のゲートを開き、PLL 等の回路に CLK を送出開始します。

このオシレータ発振安定時間は、発振子、発振セル、基板、負荷容量等により変化します。もし、デバイス動作時において、USB の SUSPEND 時に SLEEP ステートまで落とす場合は、USB の RESET 検出から 5.1ms 以内に 60MHz±10%に内部 SCLK が安定していなければなりません。

したがって、オシレータ発振安定時間 + PLL 安定時間(250us 未満)の合計が 5.1ms 以下とならなければなりません。

7.4.16. 016h *H_USB_Control* (Host USB Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	016h	<i>H_USB_Control</i>	R / W	7: <i>VBUS_Enb</i>	0: Disable	1: Enable	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

ホスト に関する動作設定を行います。
このレジスタは SLEEP 中も有効です。

Bit7 *VBUS_Enb*

VBUSEN 端子(出力)の状態を設定します。デフォルトでローレベルです。

Bit6-0 **Reserved**

7. レジスタ

7.4.17. 017h H_XcvrControl (Host Xcvr Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	017h	H_XcvrControl	R / W	7: TermSelect	0: HS Termination	1: FS Termination
			R / W	6: RemoveRPD	0: RPD ON	1: RPD OFF
			R / W	4: XcvrSelect[1]	XcvrSelect[1:0]	
			R / W	4: XcvrSelect[0]		
				3:	0:	1:
				2:	0:	1:
			R / W	1: OpMode [1]	OpMode [1:0]	
				0: OpMode [0]		

ホストランシーバマクロに関する設定を行います。
このレジスタは SLEEP 中も有効です。

Bit7 TermSelect

HS または FS いずれかのターミネーションを選択して有効にします。

本ビットは、H_NogoControl_0.AutoMode を設定することにより H/W が自動的に設定を行いますので、設定を行わないでください。

Bit6 RemoveRPD

ホストデータラインである DP_A および DM_A 用内蔵プルダウン抵抗を ON/OFF します。

0: RPD ON

1: RPD OFF

本ビットは USB ホスト動作時 (SUSPEND も含む) においては、必ず"0" (ON) の設定のままで使用してください。本ビットを"0"から変化させますと、ホストデータラインの特性が変わり、USB における誤動作を引き起こす可能性がありますのでご注意ください。

Bit5-4 XcvrSelect[1:0]

HS、FS、LS のいずれかのランシーバを選択して有効にします。

00: High Speed トランシーバ

01: Full Speed トランシーバ

10: Reserved

11: Low Speed トランシーバ

本ビットは、H_NogoControl_0.AutoMode を設定することにより H/W が自動的に設定を行いますので、設定を行わないでください。

Bit3-2 Reserved

Bit1-0 OpMode

HTM のオペレーションモードを設定します。

本ビットは、H_NogoControl_0.AutoMode を設定することにより H/W が自動的に設定を行いますので、設定を行わないでください。

ただし、ACT_HOSTステート以外の状態でホストポートの信号ライン変化ステータスを検出する場合は、信号ライン変化ステータス項 (6.1.2.1.2) を参照のうえ、本ビットの設定を行ってください。

OpMode		
00	"Normal Operation"	通常使用状態
01	"Non-Driving"	非使用状態
10	"Disable Bitstuffing and NRZI encoding"	通常使用状態で Bitstuffing と NRZI encoding 機能ディセーブル状態
11	"Power-Down"	シングルエンドレシーバのみ使用する状態

7.4.18. 018h *D_USB_Status* (Device *USB_Status*)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	018h	<i>D_USB_Status</i>	R	7: <i>VBUS</i>	0: VBUS = L	1: VBUS = H	XXh
			R / W	6: FSxHS	0: HS mode	1: FS mode	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R	1: <i>LineState</i> [1]	Line State [1:0]		
				0: <i>LineState</i> [0]			

デバイスに関するステータスを表示します。

Bit7 *VBUS*

VBUS 端子の状態が表示されます。このビットは SLEEP 中でも有効です。

Bit6 *FSxHS*

現在の動作モードを示します。D_NegoControl.GoChirp ビットにより"HS Detection Handshake"(機能説明参照)を実行すると、自動的に設定されます。このビットを書き込むことにより動作モードを強制的に変更することも可能ですが、シミュレーション等で"HS Detection Handshake"を行わずに動作モードを切り替えたい場合にのみ、このビットを操作してください。

ケーブルアタッチ時に、"FS(1)"にセットして下さい。

このビットは SLEEP 中でも読み出すことが出来ますが、書き込みは ACTIVE 時になります。

Bit5-2 *Reserved***Bit1-0** *LineState* [1:0]

USB ケーブル上の信号状態を示します。このビットは SLEEP 中でも有効です。

D_XcvrControl レジスタの TermSelect ビットが"1"である時(FS ターミネーション選択時)、XcvrSelect ビットが "1" (FS トランシーバ選択時)であれば、DP/DM の FS レシーバの受信値を、XcvrSelect が"0"(HS トランシーバ選択時)であれば、HS レシーバの受信値を示します。

TermSelect が "0" である時は、USB のバス・アクティビティを示します。

LineState		
TermSelect	DP / DM	LineState [1:0]
0	Don't Care	バス・アクティビティ
1	SE0	0b00
1	J	0b01
1	K	0b10
1	SE1	0b11

7. レジスタ

7.4.19. 019h H_USB_Status (Host USB Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	019h	<i>H_USB_Status</i>	R	7: <i>VBUS_State</i>	0: VBUSFLG = High	1: VBUSFLG= Low	XXh
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R	1: <i>LineState [1]</i>	Line State [1:0]		
				0: <i>LineState [0]</i>			

ホストに関するステータスを表示します。
このレジスタは SLEEP 中も有効です。

Bit7 VBUS_State
VBUSFLG 端子の状態が表示されます。

Bit6-2 Reserved

Bit1-0 LineState [1:0]
USB ケーブル上の信号状態を示します。
H_XcvrControl レジスタの XcvrSelect[1:0]が"01"である時 (FS トランシーバ選択時) は DP/DM の FS レシーバの受信値を、11" である時 (LS トランシーバ選択時) は DP/DM の LS レシーバの受信値を示します。
XcvrSelect[1:0]が "00" である時 (HS トランシーバ選択時) は、USB のバス・アクティビティを示します。

LineState		
XcvrSelect[1:0]	DP / DM	LineState [1:0]
00	Don't Care	バス・アクティビティ アクティビティ有: 0b01 アクティビティ無: 0b00
01 または 11	SE0	0b00
01 または 11	J	0b01
01 または 11	K	0b10
01 または 11	SE1	0b11

(注)XcvrSelect[1:0]="10"のコードは Reserved のため、そのときの動作は保証いたしません。

7.4.20. 01Bh MTM_Config (Multi Transceiver Macro Config)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	01Bh	MTM_Config		7:	0:	1:	XXh
				6:	0:	1:	
			R / W	5: MTM_SlopeValue[1]	MTM Slope Value[1:0]		
			R / W	4: MTM_SlopeValue[0]			
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: MTM_TermValue[1]	MTM Termination Value[1:0]		
			R / W	0: MTM_TermValue[0]			

トランシーバマクロの調整値設定用レジスタです。

Bit7-6 **Reserved**

Bit5-4 **MTM_SlopeValue[1:0]**

HS トランスミッタのスルーレートを調整します。4 段階の調整が可能です。

00: 緩

01: ↑

10: ↓

11: 急

Bit3-2 **Reserved**

Bit1-0 **MTM_TermValue[1:0]**

HS 伝送路のターミネーションを調整します。4 段階の調整が可能です。

00: 高

01: ↑

10: ↓

11: 低

7. レジスタ

7.4.21. 01Fh HostDeviceSel (Host Device Select)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	01Fh	HostDeviceSel		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: HOSTxDEVICE	0: Device mode	1: Host mode	

USB のデバイス・モードまたはホスト・モードの設定を行います。
このレジスタは SLEEP 中も有効です。

Bit7-1 Reserved

Bit0 HOSTxDEVICE

USB のデバイス・モードまたはホスト・モードの設定を行います。

0: USB デバイス・モード

1: USB ホスト・モード

このビットによって、内部システムクロックを操作しています。HOSTxDEVICE が”0”の時、すなわち Device Mode の場合には、共通ブロックと USB のデバイスブロックへシステムクロックを供給し、USB のホストブロックへのシステムクロックを停止します。HOSTxDEVICE が”1”の時、すなわち Host Mode の場合には、共通ブロックと USB のホストブロックへシステムクロックを供給し、USB のデバイスブロックへのシステムクロックを停止します。

7.4.22. 020h FIFO_Rd_0 (FIFO Read 0)

7.4.23. 021h FIFO_Rd_1 (FIFO Read 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	020h	FIFO_Rd_0	R	7: FIFO_Rd_0 [7]	FIFO Read	XXh
				6: FIFO_Rd_0 [6]		
				5: FIFO_Rd_0 [5]		
				4: FIFO_Rd_0 [4]		
				3: FIFO_Rd_0 [3]		
				2: FIFO_Rd_0 [2]		
				1: FIFO_Rd_0 [1]		
				0: FIFO_Rd_0 [0]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	021h	FIFO_Rd_1	R	7: FIFO_Rd_1 [7]	FIFO Read	XXh
				6: FIFO_Rd_1 [6]		
				5: FIFO_Rd_1 [5]		
				4: FIFO_Rd_1 [4]		
				3: FIFO_Rd_1 [3]		
				2: FIFO_Rd_1 [2]		
				1: FIFO_Rd_1 [1]		
				0: FIFO_Rd_1 [0]		

020h.Bit7-0, 021h.Bit7-0 FIFO_Rd_0 [7:0], FIFO_Rd_1[7:0]

AREAn{n=0-5}Join_0.JoinCPU_Rd ビットがセットされている FIFO のデータを読み出せます。

FIFO にバイト境界がある場合に、このレジスタを読み出した場合は片側にのみ有効なデータが出力されます。詳細は機能説明”FIFO アクセスの端数処理”をご参照ください。

このレジスタを用いて FIFO のデータを読み出す場合は、必ず FIFO_RdRemain_H,L レジスタにより読み出し可能データ数を確認した後、リードを行ってください。

7. レジスタ

7.4.24. 022h FIFO_Wr_0(FIFO Write 0)

7.4.25. 023h FIFO_Wr_1(FIFO Write 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	022h	FIFO_Wr_0	W	7: FIFO_Wr_0 [7]	FIFO Write	XXh
				6: FIFO_Wr_0 [6]		
				5: FIFO_Wr_0 [5]		
				4: FIFO_Wr_0 [4]		
				3: FIFO_Wr_0 [3]		
				2: FIFO_Wr_0 [1]		
				1: FIFO_Wr_0 [1]		
				0: FIFO_Wr_0 [0]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	023h	FIFO_Wr_1	W	7: FIFO_Wr_1 [7]	FIFO Write	XXh
				6: FIFO_Wr_1 [6]		
				5: FIFO_Wr_1 [5]		
				4: FIFO_Wr_1 [4]		
				3: FIFO_Wr_1 [3]		
				2: FIFO_Wr_1 [2]		
				1: FIFO_Wr_1 [1]		
				0: FIFO_Wr_1 [0]		

022h.Bit7-0, 023h.Bit7-0 FIFO_Wr_0 [7:0], FIFO_Wr_1[7:0]

AREAn{n=0-5}Join_0.JoinCPU_Wr ビットがセットされている FIFO ヘデータを書き込めます。

FIFO にバイト境界がある場合に、このレジスタへ書き込んだ場合は片側のみ書き込みが行われます。詳細は機能説明”FIFO アクセスの端数処理”をご参照ください。

このレジスタを用いて FIFO ヘデータを書き込む場合は、必ず FIFO_WrRemain_H,L レジスタにより、書き込み可能データ数を確認した後、ライトを行ってください。

7.4.26. 024h FIFO_RdRemain_H (FIFO Read Remain High)

7.4.27. 025h FIFO_RdRemain_L (FIFO Read Remain Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	024h	FIFO_RdRemain_H	R	7: RdRemainValid	0:None	1: Read Remain Valid	00h
				6:	0:	1:	
				5:	0:	1:	
			R	4: RdRemain [12]	Read Remain High		
				3: RdRemain [11]			
				2: RdRemain [10]			
				1: RdRemain [9]			
				0: RdRemain [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	025h	FIFO_RdRemain_L	R	7: RdRemain [7]	Read Remain Low	00h
				6: RdRemain [6]		
				5: RdRemain [5]		
				4: RdRemain [4]		
				3: RdRemain [3]		
				2: RdRemain [2]		
				1: RdRemain [1]		
				0: RdRemain [0]		

024h.Bit7 RdRemainValid

AREAn{n=0-5}Join_0.JoinCPU_Rd ビットによって、CPU I/F に FIFO がジョインされかつ、FIFO_RdRemain の値が有効な場合に"1"にセットされます。

このビットがクリアされている場合の RdRemain の値は無効です。

024h.Bit6-5 Reserved

024h.Bit4-0, 025h.Bit7-0 RdRemain [12:0]

AREAn{n=0-5}Join_0.JoinCPU_Rd ビットによって、CPU I/F に接続している FIFO 内のリード可能なデータ数を示します。FIFO のリード可能なデータ数を取得する場合は、FIFO_RdRemain_H レジスタと FIFO_RdRemain_L レジスタを対でアクセスする必要があります。その際に、FIFO_RdRemain_H レジスタを先にアクセスして下さい。

7. レジスタ

7.4.28. 026h FIFO_WrRemain_H (FIFO Write Remain High)

7.4.29. 027h FIFO_WrRemain_L (FIFO Write Remain Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	026h	WrRemain_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R	4: WrRemain [12]	FIFO Write Remain High		
				3: WrRemain [11]			
				2: WrRemain [10]			
				1: WrRemain [9]			
				0: WrRemain [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	027h	WrRemain_L	R	7: WrRemain [7]	FIFO Write Remain Low	00h
				6: WrRemain [6]		
				5: WrRemain [5]		
				4: WrRemain [4]		
				3: WrRemain [3]		
				2: WrRemain [2]		
				1: WrRemain [1]		
				0: WrRemain [0]		

026h.Bit7-5 Reserved

026h.Bit4-0, 027h.Bit7-0 WrRemain [12:0]

AREAn{n=0-5}Join_0.JoinCPU_Wrビットによって、CPU I/F に接続している FIFO の空き容量を示します。ただし、FIFO への書き込み直後には正確な FIFO の空き容量を確認することは出来ません。1CPU サイクル以上の間隔を開けて FIFO の空き容量を確認して下さい。FIFO の空き容量を取得する場合は、FIFO_WrRemain_H レジスタと FIFO_WrRemain_L レジスタを対でアクセスする必要があります。その際に、FFIO_WrRemain_H レジスタを先にアクセスして下さい。

7.4.30. 028h FIFO_ByteRd(FIFO Byte Read)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	028h	FIFO_ByteRd	R	7: FIFO_ByteRd [7]	FIFO Byte Read	XXh
				6: FIFO_ByteRd [6]		
				5: FIFO_ByteRd [5]		
				4: FIFO_ByteRd [4]		
				3: FIFO_ByteRd [3]		
				2: FIFO_ByteRd [2]		
				1: FIFO_ByteRd [1]		
				0: FIFO_ByteRd [0]		

Bit7-0 FIFO_ByteRd [7:0]

AREAn{n=0-5}Join_0.JoinCPU_Rd ビットがセットされている FIFO のデータをバイト単位で読み出せます。このレジスタを用いて FIFO のデータを読み出す場合は、必ず FIFO_RdRemain_H,L レジスタにより読み出し可能データ数を確認した後、リードを行ってください。

7. レジスタ

7.4.31. 030h RAM_RdAdrs_H (RAM Read Address High)

7.4.32. 031h RAM_RdAdrs_L (RAM Read Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	030h	RAM_RdAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: RAM_RdAdrs [12]	RAM Read Address		
				3: RAM_RdAdrs [11]			
				2: RAM_RdAdrs [10]			
				1: RAM_RdAdrs [9]			
				0: RAM_RdAdrs [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	031h	RAM_RdAdrs_L	R / W	7: RAM_RdAdrs [7]	RAM Read Address	00h
				6: RAM_RdAdrs [6]		
				5: RAM_RdAdrs [5]		
				4: RAM_RdAdrs [4]		
				3: RAM_RdAdrs [3]		
				2: RAM_RdAdrs [2]		
				1:		
				0:		

030h.Bit7-5 Reserved

030h.Bit4-0, 031h.Bit7-2 RAM_RdAdrs[12:2]

RAM_Rd を行う先頭アドレスを設定します。このレジスタを設定した後、RAM_RdCount レジスタを設定し、RAM_RdControl レジスタのビットをセットして下さい。RAM_Rd 機能が開始します。このレジスタの値は、RAM_Rd 機能作動中は内部動作に応じて変化します。従って、一旦 RAM_RdControl レジスタのビットをセットして、RAM_Rd 機能を開始させた後は CPU_IntStat.RAM_RdCmp ビットがセットされるまでこのレジスタの値を読み出さないで下さい。RAM_Rd 機能作動中にこのレジスタを読み出した場合の値は保証されません。また、RAM_Rd 機能作動中にこのレジスタに書き込んだ場合、誤動作の原因となりますのでご注意ください。

031h.Bit1-0 Reserved

7.4.33. 032h RAM_RdControl (RAM Read Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	032h	RAM_RdControl	R / W	7: RAM_GoRdCBW_CSW	0: Do nothing	1: RAM Read CBW_CSW start	00h
			R / W	6: RAM_GoRd	0: Do nothing	1: RAM Read start	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

Bit7 RAM_GoRdCBW_CSW

デバイス動作時は CBW エリア、ホスト動作時は CSW エリアに受信したデータを読み出すために RAM_Rd 機能を開始するビットです。

デバイス動作時にこのビットに"1"を書き込むと、RAM_Rd 機能を開始し、CBW エリアからデータをリードします。RAM_Rd_00～RAM_Rd_1E レジスタの値が有効になると、CPU_IntStat.RAM_RdCmp ビットが"1"にセットされ、このビットが自動的にクリアされます。

ホスト動作時にこのビットに"1"を書き込むと、RAM_Rd 機能を開始し、CSW エリアからデータをリードします。RAM_Rd_00～RAM_Rd_0C レジスタの値が有効になると、CPU_IntStat.RAM_RdCmp ビットが"1"にセットされ、このビットが自動的にクリアされます。

いずれの場合も RAM_RdAdrs_H,L レジスタ、RAM_RdCount レジスタの設定は必要ありません。

RAM_GoRd ビットと同時にセットすると、本ビットの機能が優先されます。

Bit6 RAM_GoRd

RAM_Rd 機能を開始するビットです。

RAM_RdAdrs_H,L レジスタに RAM_Rd を行う先頭アドレスを設定した後、RAM_RdCount レジスタを設定し、このビットに"1"を書き込むと RAM_Rd 機能を開始します。指定された先頭アドレスから、指定されたカウント数分のデータをリードし RAM_Rd_xx{xx=00-1F}レジスタの値が有効になると CPU_IntStat.RAM_RdCmp ビットが"1"にセットされ、このビットが自動的にクリアされます。

RAM_GoRdCBW_CSW ビットと同時にセットすると、RAM_GoRdCBW_CSW ビットの機能が優先されます。

Bit5-0 Reserved

7. レジスタ

7.4.34. 035h RAM_RdCount (RAM Read Counter)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	035h	RAM_RdCount		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: RAM_RdCount [5]	RAM Read Counter		
				4: RAM_RdCount [4]			
				3: RAM_RdCount [3]			
				2: RAM_RdCount [2]			
				1:	0:	1:	
				0:	0:	1:	

Bit7-6 Reserved

Bit5-2 RAM_RdCount [5:2]

RAM_Rd 機能を用いて RAM_Rd_xx{xx=00~1F}レジスタにリードするデータ数を設定します。RAM_RdAdrs_H,L レジスタを設定した後、このレジスタをセットし、RAM_RdControl レジスタのビットをセットして RAM_Rd 機能を開始して下さい。このレジスタの値は、RAM_Rd 機能作動中は内部動作に応じて変化します。従って、一旦 RAM_RdControl レジスタのビットをセットして、RAM_Rd 機能を開始させた後は CPU_IntStat.RAM_RdCmp ビットがセットされるまでこのレジスタの値を読み出さないで下さい。RAM_Rd 機能作動中にこのレジスタを読み出した場合の値は保証されません。また、RAM_Rd 機能作動中にこのレジスタに書き込んだ場合、誤動作の原因となりますのでご注意ください。

このレジスタの最大設定数は 32 バイトです。32 バイトを超えるデータ数の設定は誤動作の原因となりますのでご注意ください。

Bit1-0 Reserved

7.4.35. 038h RAM_WrAdrs_H (RAM Write Address High)

7.4.36. 039h RAM_WrAdrs_L (RAM Write Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	038h	RAM_WrAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: RAM_WrAdrs [12]	RAM Write Address High	00h
				3: RAM_WrAdrs [11]		
				2: RAM_WrAdrs [10]		
				1: RAM_WrAdrs [9]		
				0: RAM_WrAdrs [8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	039h	RAM_WrAdrs_L	R / W	7: RAM_WrAdrs [7]	RAM Write Address Low	00h
				6: RAM_WrAdrs [6]		
				5: RAM_WrAdrs [5]		
				4: RAM_WrAdrs [4]		
				3: RAM_WrAdrs [3]		
				2: RAM_WrAdrs [2]		
				1: RAM_WrAdrs [1]		
				0: RAM_WrAdrs [0]		

RAM_WrDoor_H,L レジスタによる RAM へのライトを行うアドレスを指定します。

038h.Bit7-5

Reserved

038h.Bit4-0, 039h.Bit7-0

RAM_WrAdrs[12:0]

RAM への書き込みを行う際のアドレスを指定します。RAM_WrDoor_H,L レジスタへの書き込みバイト数に応じてアドレスはインクリメントされます。RAM_WrDoor_H,L レジスタ書き込み直後には正確な RAM_WrAdrsを確認する事は出来ませんので、1CPU サイクル以上の間隔を開けて、RAM_WrAdrsを確認して下さい。データの書き込みに関しては RAM_WrDoor_H,L レジスタの項を参照して下さい。

RAM_WrAdrs を参照する場合は、RAM_WrAdrs_H,RAM_WrAdrs_L の順に読み出してください。

7. レジスタ

7.4.37. 03Ah RAM_WrDoor_0 (RAM Write Door 0)

7.4.38. 03Bh RAM_WrDoor_1 (RAM Write Door 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	03Ah	RAM_WrDoor_0	W	7: RAM_WrDoor_0 [7]	RAM Write Door 0	XXh
				6: RAM_WrDoor_0 [6]		
				5: RAM_WrDoor_0 [5]		
				4: RAM_WrDoor_0 [4]		
				3: RAM_WrDoor_0 [3]		
				2: RAM_WrDoor_0 [2]		
				1: RAM_WrDoor_0 [1]		
				0: RAM_WrDoor_0 [0]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	03Bh	RAM_WrDoor_1	W	7: RAM_WrDoor_1 [7]	RAM Write Door 1	XXh
				6: RAM_WrDoor_1 [6]		
				5: RAM_WrDoor_1 [5]		
				4: RAM_WrDoor_1 [4]		
				3: RAM_WrDoor_1 [3]		
				2: RAM_WrDoor_1 [2]		
				1: RAM_WrDoor_1 [1]		
				0: RAM_WrDoor_1 [0]		

03Ah.Bit7-0, 03Bh.Bit7-0 RAM_WrDoor_0 [7:0], RAM_WrDoor_1 [7:0]

RAM へのライトを行う際のアクセスレジスタです。ライトオンリーのレジスタです。

書き込み開始前に、RAM_WrAdrs_H,L レジスタに、RAM のデータを書き込む先頭アドレスを設定して下さい。その後、このレジスタに書き込みを行えば、RAM_WrAdrs_H,L が自動的に書き込みバイト数に応じてインクリメントされ、順次書き込みが行えます。

USB デバイスの場合には、RAM_WrDoor_0,1 レジスタにより、デスク립タエリアおよび CSW0 エリアへのデータの書き込みを行います。RAM_WrDoor_0,1 レジスタによりデスク립タエリアへ書き込んだデータは、ReplyDescriptor の機能によって何度でも使用できます。即ち、このデータは Descriptor 返信機能によって、消される、または上書きされることは有りません。但し、Descriptor データを書き込んだ領域が、他のエンドポイントで確保されている領域と重なる場合には、データは上書きされることがあります。

USB ホストの場合には、RAM_WrDoor_0,1 レジスタにより、CBW0,1 エリアへのデータの書き込みを行います。

- 7.4.39. 040h RAM_Rd_00 (RAM Read 00)
 7.4.40. 041h RAM_Rd_01 (RAM Read 01)
 7.4.41. 042h RAM_Rd_02 (RAM Read 02)
 7.4.42. 043h RAM_Rd_03 (RAM Read 03)
 7.4.43. 044h RAM_Rd_04 (RAM Read 04)
 7.4.44. 045h RAM_Rd_05 (RAM Read 05)
 7.4.45. 046h RAM_Rd_06 (RAM Read 06)
 7.4.46. 047h RAM_Rd_07 (RAM Read 07)
 7.4.47. 048h RAM_Rd_08 (RAM Read 08)
 7.4.48. 049h RAM_Rd_09 (RAM Read 09)
 7.4.49. 04Ah RAM_Rd_0A (RAM Read 0A)
 7.4.50. 04Bh RAM_Rd_0B (RAM Read 0B)
 7.4.51. 04Ch RAM_Rd_0C (RAM Read 0C)
 7.4.52. 04Dh RAM_Rd_0D (RAM Read 0D)
 7.4.53. 04Eh RAM_Rd_0E (RAM Read 0E)
 7.4.54. 04Fh RAM_Rd_0F (RAM Read 0F)
 7.4.55. 050h RAM_Rd_10 (RAM Read 10)
 7.4.56. 051h RAM_Rd_11 (RAM Read 11)
 7.4.57. 052h RAM_Rd_12 (RAM Read 12)
 7.4.58. 053h RAM_Rd_13 (RAM Read 13)
 7.4.59. 054h RAM_Rd_14 (RAM Read 14)
 7.4.60. 055h RAM_Rd_15 (RAM Read 15)
 7.4.61. 056h RAM_Rd_16 (RAM Read 16)
 7.4.62. 057h RAM_Rd_17 (RAM Read 17)
 7.4.63. 058h RAM_Rd_18 (RAM Read 18)
 7.4.64. 059h RAM_Rd_19 (RAM Read 19)
 7.4.65. 05Ah RAM_Rd_1A (RAM Read 1A)
 7.4.66. 05Bh RAM_Rd_1B (RAM Read 1B)
 7.4.67. 05Ch RAM_Rd_1C (RAM Read 1C)
 7.4.68. 05Dh RAM_Rd_1D (RAM Read 1D)
 7.4.69. 05Eh RAM_Rd_1E (RAM Read 1E)
 7.4.70. 05Fh RAM_Rd_1F (RAM Read 1F)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	040h ~ -05Fh	RAM_Rd_00 ~ RAM_Rd_1F	R	7: RAM_Rd_xx [7]	RAM Read	00h
				6: RAM_Rd_xx [6]		
				5: RAM_Rd_xx [5]		
				4: RAM_Rd_xx [4]		
				3: RAM_Rd_xx [3]		
				2: RAM_Rd_xx [2]		
				1: RAM_Rd_xx [1]		
				0: RAM_Rd_xx [0]		

040h-05Fh.Bit7-0 RAM_Rd_xx [7:0]

RAM_Rd 機能を用いて RAM からリードしたデータを格納するレジスタです。RAM_RdAdrs_H,L レジスタ、RAM_RdCount レジスタを設定し、RAM_RdControl レジスタのビットを用いて RAM_Rd 機能を開始して下さい。本レジスタの値が有効になると FIFO_IntaStat.RAM_RdCmp ビットが”1”にセットされます。RAM_RdCount レジスタに設定した値が 32 バイト未満の場合、RAM からリードしたデータは RAM_Rd_00 から順に格納されます。RAM_RdCount レジスタに設定したカウント数以降のレジスタの値(例えば、カウント設定が”16”の場合、RAM_Rd_10~RAM_Rd_1F)は無効となります。

7. レジスタ

7.4.71. 061h DMA_Config (DMA Config)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	061h	DMA_Config	R / W	7: FreeRun	0: Count mode	1: FreeRun mode	00h
			R / W	6: DMA_Mode	0: Normal mode	1: Address Decode mode	
				5:	0:	1:	
				4:	0:	1:	
			R / W	3: ActiveDMA	0: DMA Inactive	1: DMA Active	
				2:	0:	1:	
			R / W	1: ReqAssertCount [1]	Request Assert Count		
				0: ReqAssertCount [0]			

DMA の動作モードを設定します。

Bit7 FreeRun

DMA の動作モードを設定します。

0: カウントモード

1: フリーランモード

Bit6 DMA_Mode

DMA のモードを設定します。

0: ホストからの XDACK をアクノリッジとして DMA 動作します。

1: ホストからの DMA_RdData/DMA_WrData レジスタに対するアクセスをアクノリッジとして DMA 動作します。

Bit5-4 Reserved

Bit3 ActiveDMA

DMA の DACK を有効にします。

0: DMA (DACK) 無効

1: DMA (DACK) 有効

Bit2 Reserved

Bit1-0 ReqAssertCount [1:0]

CPU のバーストリード／バーストライトに対応するための、REQ アサートカウントオプション設定ビットです。

XDREQ のアサートカウント数(転送バイト数)を設定します。設定されたアサートカウント数以上の書き込み可能な空き領域／読み出し可能なデータが FIFO にある場合に XDREQ をアサートします。設定されたアサートカウント数の DMA 転送を終了すると一旦 XDREQ をネゲートし、再度アサートカウント数以上の空き領域／データを確認した時点で XDREQ をアサートします。つまり、一回の XDREQ のアサートに対し、設定されたアサートカウント数分の転送を保証します。

ただし、カウントモードに設定され、且つ DMA_Count_HH,HL,LH,LL の残りカウント数が設定されたアサートカウント数より小さい場合は DMA_Count_HH,HL,LH,LL のカウント数が優先され、DMA_Count_HH,HL,LH,LL のカウント数以上の空き領域／データが FIFO にある場合に XDREQ をアサートします。

下表に DMA_Count_HH,HL,LH,LL (表では Count)、ReqAssertCount (表では Req)、FIFO の空き領域／データ (表では Ready) と XDREQ 信号及び転送可能数の関係を示します。

DMA_Count_HH,HL,LH,LL の残りカウントが"1"以上である事が必須条件です。

	Count>=Req		Count<Req	
	Ready>=Req	Ready<Req	Ready>=Count	Ready<Count
XDREQ	アサート	ネゲート	アサート	ネゲート
転送可能数	Req	-	Req	-

ReqAssertCount [1:0]	モード	
	16bit mode	8bit mode
0b00	Normal	Normal
0b01	16Byte(8Count)	16Byte(16Count)
0b10	32Byte(16Count)	32Byte(32Count)
0b11	64Byte(32Count)	64Byte(64Count)

00 (Normal) 設定時には REQ アサートカウントオプション未使用となります。

7.4.72. 062h DMA_Control (DMA Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	062h	DMA_Control	R	7: DMA_Running	0: DMA is not running	1: DMA is running	00h
				6:	0:	1:	
				5:	0:	1:	
			W	4: CounterClr	0: Do nothing	1: Clear DMA counter	
			R / W	3: Dir	0: CPU-IF → FIFO RAM	1: CPU-IF ← FIFO RAM	
				2:	0:	1:	
			W	1: DMA_Stop	0: Do nothing	1: Finish DMA	
			W	0: DMA_Go	0: Do nothing	1: Start DMA	

DMA の制御、及び状態を表示します。

Bit7 DMA_Running

DMA の転送中、このビットが"1"にセットされます。このビットが"1"である間は、AREAn{n=0-5}Join_0.JoinDMA ビットを書き換えることはできません。

Bit6-5 Reserved**Bit4 CounterClr**

このビットに"1"をセットすると、DMA_Count_HH,HL,LH,LL レジスタが 0x00 にクリアされます。DMA_Running ビットが"1"である時は、このビットへの書き込みは無視されます。

Bit3 Dir

DMA の転送方向を設定します。

0: CPU-IF → FIFO RAM (DMA ライト)

1: CPU-IF ← FIFO RAM (DMA リード)

Bit2 Reserved**Bit1 DMA_Stop**

このビットに"1"をセットすると、DMA の転送を終了します。DMA の転送を停止すると、DMA_Running ビットを"0"にクリアします。また、CPU_IntStat レジスタの DMA_Cmp ビットに"1"をセットします。DMA の転送を再開する場合、DMA_Running ビットまたは DMA_Cmp ビットを確認し、DMA が終了するのを待って行って下さい。

Bit0 DMA_Go

このビットを"1"にセットすると、DMA の転送を開始します。

7. レジスタ

7.4.73. 064h DMA_Remain_H (DMA FIFO Remain High)

7.4.74. 065h DMA_Remain_L (DMA FIFO Remain Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	064h	DMA_Remain_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R	4: DMA_Remain [12]	DMA FIFO Remain High	00h
				3: DMA_Remain [11]		
				2: DMA_Remain [10]		
				1: DMA_Remain [9]		
				0: DMA_Remain [8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	065h	DMA_Remain_L	R	7: DMA_Remain [7]	DMA FIFO Remain Low	00h
				6: DMA_Remain [6]		
				5: DMA_Remain [5]		
				4: DMA_Remain [4]		
				3: DMA_Remain [3]		
				2: DMA_Remain [2]		
				1: DMA_Remain [1]		
				0: DMA_Remain [0]		

064h.Bit7-5 Reserved

064h.Bit4-0, 065h.Bit7-0 DMA_Remain [12:0]

読み出しの場合、AREAn{n=0-5}Join_0.JoinDMA ビットによって DMA に接続している FIFO の残りデータ数を示します。

書き込みの場合、AREAn{n=0-5}Join_0.JoinDMA ビットによって DMA に接続している FIFO の空き容量を示します。

DMA 書き込みを行った直後にはこのレジスタで正しい FIFO の空き容量を参照する事が出来ません。1CPU サイクル以上の間隔を空けて FIFO の空き容量を確認してください。

このレジスタを読み出す場合は DMA_Remain_H,L の順に読み出してください。

7.4.75. 068h DMA_Count_HH (DMA Transfer Byte Counter High/High)

7.4.76. 069h DMA_Count_HL (DMA Transfer Byte Counter High/Low)

7.4.77. 06Ah DMA_Count_LH (DMA Transfer Byte Counter Low/High)

7.4.78. 06Bh DMA_Count_LL (DMA Transfer Byte Counter Low/Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	068h	DMA_Count_HH	R / W	7: DMA_Count [31]	DMA Transfer Byte Counter High-High	00h
				6: DMA_Count [30]		
				5: DMA_Count [29]		
				4: DMA_Count [28]		
				3: DMA_Count [27]		
				2: DMA_Count [26]		
				1: DMA_Count [25]		
				0: DMA_Count [24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	069h	DMA_Count_HL	R / W	7: DMA_Count [23]	DMA Transfer Byte Counter High-Low	00h
				6: DMA_Count [22]		
				5: DMA_Count [21]		
				4: DMA_Count [20]		
				3: DMA_Count [19]		
				2: DMA_Count [18]		
				1: DMA_Count [17]		
				0: DMA_Count [16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Ah	DMA_Count_LH	R / W	7: DMA_Count [15]	DMA Transfer Byte Counter Low-High	00h
				6: DMA_Count [14]		
				5: DMA_Count [13]		
				4: DMA_Count [12]		
				3: DMA_Count [11]		
				2: DMA_Count [10]		
				1: DMA_Count [9]		
				0: DMA_Count [8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Bh	DMA_Count_LL	R / W	7: DMA_Count [7]	DMA Transfer Byte Counter Low-Low	00h
				6: DMA_Count [6]		
				5: DMA_Count [5]		
				4: DMA_Count [4]		
				3: DMA_Count [3]		
				2: DMA_Count [2]		
				1: DMA_Count [1]		
				0: DMA_Count [0]		

カウントモード時に DMA の、転送データ長をバイト単位で設定します。最大 0xFFFF_FFFF バイトまで設定可能です。設定された値からダウンカウントします。本レジスタに転送数を設定した後、DMA_Control.DMA_Go ビットに"1"をセットして DMA 転送を起動してください。本レジスタに設定された転送 Byte 数の転送が終了すると、DMA 転送は終了します。フリーランモードの場合、設定された値からカウントアップします。DMA_Count_HH,HL,LH,LL レジスタの値がオーバーフローすると、CPU_IntStat レジスタの DMA_CountUp ビットに"1"をセットします。オーバーフロー後もカウントは継続されます。このモードでは、DMA の転送数が参照できます。

DMA 書き込みを行った直後は、このレジスタで正確なカウント数を確認することは出来ません。1CPU サイクル以上の間隔をあけて、カウント数を確認してください。このレジスタをリードする場合は DMA_Count_HH,HL,LH,LL の順に読み出してください。

7. レジスタ

7.4.79. 06Ch DMA_RdData_0 (DMA Read Data 0)

7.4.80. 06Dh DMA_RdData_1 (DMA Read Data 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Ch	DMA_RdData_0	R	7: DMA_RdData_0 [7]	DMA Read Data 0	XXh
				6: DMA_RdData_0 [6]		
				5: DMA_RdData_0 [5]		
				4: DMA_RdData_0 [4]		
				3: DMA_RdData_0 [3]		
				2: DMA_RdData_0 [2]		
				1: DMA_RdData_0 [1]		
				0: DMA_RdData_0 [0]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Dh	DMA_RdData_1	R	7: DMA_RdData_1 [7]	DMA Read Data 1	XXh
				6: DMA_RdData_1 [6]		
				5: DMA_RdData_1 [5]		
				4: DMA_RdData_1 [4]		
				3: DMA_RdData_1 [3]		
				2: DMA_RdData_1 [2]		
				1: DMA_RdData_1 [1]		
				0: DMA_RdData_1 [0]		

06Ch.Bit7-0, 06Dh.Bit7-0 DMA_RdData_0[7:0], DMA_RdData_1[7:0]

DMA_Config.DMA_Mode ビットが"1"にセットされている場合、このレジスタにアクセスする事で

AREAn{n=0-5}Join_0. JoinDMA ビットによって DMA に接続している FIFO のデータを読み出す事が出来ます。このとき、DMA_Control.Dir ビットは DMA リードに設定されている必要があります。

8bit Mode で動作する場合は、DMA_RdData_0, DMA_RdData_1 いずれにアクセスしても同様に DMA アクセスする事が出来ます。

7.4.81. 06Eh DMA_WrData_0 (DMA Write Data 0)

7.4.82. 06Fh DMA_WrData_1 (DMA Write Data 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Eh	DMA_WrData_0	W	7: DMA_WrData_0[7]	DMA Write Data 0	XXh
				6: DMA_WrData_0[6]		
				5: DMA_WrData_0[5]		
				4: DMA_WrData_0[4]		
				3: DMA_WrData_0[3]		
				2: DMA_WrData_0[2]		
				1: DMA_WrData_0[1]		
				0: DMA_WrData_0[0]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	06Fh	DMA_WrData_1	W	7: DMA_WrData_1[7]	DMA Write Data 1	XXh
				6: DMA_WrData_1[6]		
				5: DMA_WrData_1[5]		
				4: DMA_WrData_1[4]		
				3: DMA_WrData_1[3]		
				2: DMA_WrData_1[2]		
				1: DMA_WrData_1[1]		
				0: DMA_WrData_1[0]		

06Eh.Bit7-0, 06Fh.Bit7-0 DMA_WrData_0[7:0], DMA_WrData_1[7:0]

DMA_Config.DMA_Mode ビットが"1"にセットされている場合、このレジスタにアクセスする事で

AREAn{n=0-5}Join_0.JoinDMA ビットによって DMA に接続している FIFO にデータを書き込む事が出来ます。このとき、DMA_Control.Dir ビットは DMA ライトに設定されている必要があります。

8bit Mode で動作する場合は、DMA_WrData_H, DMA_WrData_L いずれにアクセスしても同様に DMA アクセスする事が出来ます。

7. レジスタ

7.4.83. 071h ModeProtect(Mode Protection)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	071h	ModeProtect	R / W	7: ModeProtect [7]	Mode Protection	56h
				6: ModeProtect [6]		
				5: ModeProtect [5]		
				4: ModeProtect [4]		
				3: ModeProtect [3]		
				2: ModeProtect [2]		
				1: ModeProtect [1]		
				0: ModeProtect [0]		

Bit7-0 ModeProtect [7:0]

CPU_Config レジスタ及び ClkSelect.ClkSelectビットレジスタの値を保護します。このレジスタに 56h を書き込むと CPU_Config レジスタ及び ClkSelect.ClkSelectビットレジスタへのライトアクセスが有効になります。

通常使用においては、CPU_Config レジスタ及び ClkSelect.ClkSelectビットレジスタを任意に設定した後、このレジスタに 56h 以外の値 (例えば 00h) を設定して、CPU_Config レジスタ及び ClkSelect.ClkSelectビットレジスタの設定を保護して下さい。

このビットは、SLEEP 中もアクセス有効です。

7.4.84. 073h ClkSelect (Clock Select)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	073h	ClkSelect	R / W	7: ClkSource	0: Xtal	1: CLKIN	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: ClkFreq[1]	Input clock frequency 00:12MHz, 01: 24MHz, 11: 48MHz		
				0: ClkFreq[0]			

本 LSI のクロックの初期設定を行います。

本 LSI を動作させる前に、必ず本レジスタの設定を行ってください。

なお、このレジスタは SLEEP 中も有効です。

Bit7 ClkSource

本 LSI にて使用するクロックを設定します。

ClkSource と ClkFreq の関係を以下の表に示します。

CPU_Cut モード時、CLKIN 端子の入力初段も他の CPU インタフェイス端子と同様に初段から OFF しています。

Bit6-2 Reserved**Bit1-0 ClkFreq [1:0]**

本 LSI にて使用するクロックの周波数を設定します。

ClkFreq と ClkSource の関係を以下の表に示します。

		ClkSource	
ClkFreq		0: 水晶振動子	1: CLKIN 端子
00	12MHz	○	○
01	24MHz	○	○
11	48MHz	×	○

○ ご使用になれます。

× ご使用になれません。

7. レジスタ

7.4.85. 075h CPU_Config (CPU Configuration)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	075h	CPU_Config	R / W	7: <i>IntLevel</i>	0: Low Active	1: High Active	00h
			R / W	6: <i>IntMode</i>	0: 1／0 mode	1: Hi-z／0 mode	
			R / W	5: <i>DREQ_Level</i>	0: Low Active	1: High Active	
			R / W	4: <i>DACK_Level</i>	0: Low Active	1: High Active	
			R / W	3: <i>CS_Mode</i>	0: DACK mode	1: CS mode	
			R / W	2: <i>CPU_Endian</i>	0: Do nothing	1: Bus Swap	
			R / W	1: <i>BusMode</i>	0: XWRH/L mode	1: XBEH/L mode	
			R / W	0: <i>Bus8x16</i>	0: 16bit mode	1: 8bit mode	

本 LSI の動作モードを設定します。
このビットは、SLEEP 中もアクセス有効です。

- Bit7

IntLevel

XINT の論理レベルを設定します。
0: 負論理
1: 正論理
- Bit6

IntMode

XINT の出力モードを設定します。
0: 1／0 モード
1: Hi-z／0 モード
- Bit5

DREQ_Level

XDREQ の論理レベルを設定します。
0: 負論理
1: 正論理
- Bit4

DACK_Level

XDACK の論理レベルを設定します。
0: 負論理
1: 正論理
- Bit3

CS_Mode

DMA の動作モードを設定します。
0: XDACK がアサートされているとき有効な DMA アクセスとして動作します。
1: XCS 且つ XDACK がアサートされているとき有効な DMA アクセスとして動作します。
- Bit2

CPU_Endian

16bit mode 時の CPU バスを設定します。8bit mode 時はこのビットをセットしないで下さい。
0: 偶数アドレスを上位側、奇数アドレスを下位側とします。
1: 偶数アドレスを下位側、奇数アドレスを上位側とします。

このビットの設定は、レジスタ書き込み後、077h 番地をダミーリードする事により有効になります。ChipReset.AllResetビットにて、回路のリセットを行った場合、レジスタの値は初期化されますが、その設定が有効になるのは、上述同様に 077h 番地をダミーリードした後になります。
- Bit1-0

BusMode, Bus8x16

CPU の動作モードを設定します。

動作モード	bit1.BusMode	bit0.Bus8x16
16bit Strobe mode	0	0
16bit BE mode	1	*
8bit mode	0	1

7.4.86. 077h CPU_ChgEndian(CPU Change Endian)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	077h	CPU_ChgEndian	R	7: CPU_ChgEndian[7]	CPU Change Endian	XXh
				6: CPU_ChgEndian[6]		
				5: CPU_ChgEndian[5]		
				4: CPU_ChgEndian[4]		
				3: CPU_ChgEndian[3]		
				2: CPU_ChgEndian[2]		
				1: CPU_ChgEndian[1]		
				0: CPU_ChgEndian[0]		

Bit7-0 CPU_ChgEndian [7:0]

このレジスタをダミーリードすることにより、CPU_Config.CPU_Endian で設定した Endian が有効になります。
このビットは、SLEEP 中もアクセス有効です。

7. レジスタ

7.4.87. 080h AREA0StartAdrs_H (AREA 0 Start Address High)

7.4.88. 081h AREA0StartAdrs_L (AREA 0 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	080h	AREA0StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA0 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
				0: StartAdrs[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	081h	AREA0StartAdrs_L	R / W	7: StartAdrs[7]	AREA0 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA0 で使用する FIFO の領域設定を行います。

080h.Bit7-5 Reserved
080h.Bit4-0, 081h.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA0 に割り当てる FIFO の先頭アドレスを設定します。
アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。
FIFO 領域 AREA0 に割り当てられる領域は、AREA0EndAdrs にて設定されたアドレスの 1 バイト前までとなります。
AREA0StartAdrs、AREA0EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA0 ビットを"1"にして FIFO 領域 AREA0 の FIFO をクリアして下さい。
なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA0 と他の FIFO 領域が重なった場合も、正常に動作しません。
本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

081h.Bit1-0 Reserved

7.4.89. 082h AREA0EndAdrs_H (AREA 0 End Address High)

7.4.90. 083h AREA0EndAdrs_L (AREA 0 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	082h	AREA0EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA0 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	083h	AREA0EndAdrs_L	R / W	7: EndAdrs[7]	AREA0 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA0 で使用する FIFO の領域設定を行います。

082h.Bit7-5 Reserved

082h.Bit4-0, 083h.Bit7-2 EndAdrs[12:2]

FIFO 領域 AREA0 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA0 に割り当てられる領域は、AREA0EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA0StartAdrs、AREA0EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA0 ビットを"1"にして FIFO 領域 AREA0 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA0 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

083h.Bit1-0 Reserved

7. レジスタ

7.4.91. 084h AREA1StartAdrs_H (AREA 1 Start Address High)

7.4.92. 085h AREA1StartAdrs_L (AREA 1 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	084h	AREA1StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA1 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
				0: StartAdrs[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	085h	AREA1StartAdrs_L	R / W	7: StartAdrs[7]	AREA1 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA1 で使用する FIFO の領域設定を行います。

084h.Bit7-5 Reserved
084h.Bit4-0, 085h.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA1 に割り当てる FIFO の先頭アドレスを設定します。
アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。
FIFO 領域 AREA1 に割り当てられる領域は、AREA1EndAdrs にて設定されたアドレスの 1 バイト前までとなります。
AREA1StartAdrs、AREA1EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA1 ビットを"1"にして FIFO 領域 AREA1 の FIFO をクリアして下さい。
なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA1 と他の FIFO 領域が重なった場合も、正常に動作しません。
本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

085h.Bit1-0 Reserved

7.4.93. 086h AREA1EndAdrs_H (AREA 1 End Address High)

7.4.94. 087h AREA1EndAdrs_L (AREA 1 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	086h	AREA1EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA1 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	087h	AREA1EndAdrs_L	R / W	7: EndAdrs[7]	AREA1 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA1 で使用する FIFO の領域設定を行います。

086h.Bit7-5 Reserved

086h.Bit4-0, 087h.Bit7-2 EndAdrs[12:2]

FIFO 領域 AREA1 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA1 に割り当てられる領域は、AREA1EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA1StartAdrs、AREA1EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA1 ビットを"1"にして FIFO 領域 AREA1 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA1 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

087h.Bit1-0 Reserved

7. レジスタ

7.4.95. 088h AREA2StartAdrs_H (AREA 2 Start Address High)

7.4.96. 089h AREA2StartAdrs_L (AREA 2 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	088h	AREA2StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA2 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
	0: StartAdrs[8]						

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	089h	AREA2StartAdrs_L	R / W	7: StartAdrs[7]	AREA2 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA2 で使用する FIFO の領域設定を行います。

088h.Bit7-5 Reserved
088h.Bit4-0, 089h.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA2 に割り当てる FIFO の先頭アドレスを設定します。
アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。
FIFO 領域 AREA2 に割り当てられる領域は、AREA2EndAdrs にて設定されたアドレスの 1 バイト前までとなります。
AREA2StartAdrs、AREA2EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA2 ビットを"1"にして FIFO 領域 AREA2 の FIFO をクリアして下さい。
なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA2 と他の FIFO 領域が重なった場合も、正常に動作しません。
本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

089h.Bit1-0 Reserved

7.4.97. 08Ah AREA2EndAdrs_H (AREA 2 End Address High)

7.4.98. 08Bh AREA2EndAdrs_L (AREA 2 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	08Ah	AREA2EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA2 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	08Bh	AREA2EndAdrs_L	R / W	7: EndAdrs[7]	AREA2 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA2 で使用する FIFO の領域設定を行います。

08Ah.Bit7-5 Reserved

08Ah.Bit4-0, 08Bh.Bit7-2 EndAdrs[12:2]

FIFO 領域 AREA2 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA2 に割り当てられる領域は、AREA2EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA2StartAdrs、AREA2EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA2 ビットを"1"にして FIFO 領域 AREA2 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA2 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

08Bh.Bit1-0 Reserved

7. レジスタ

7.4.99. 08Ch AREA3StartAdrs_H (AREA 3 Start Address High)

7.4.100. 08Dh AREA3StartAdrs_L (AREA 3 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	08Ch	AREA3StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA3 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
	0: StartAdrs[8]						

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	08Dh	AREA3StartAdrs_L	R / W	7: StartAdrs[7]	AREA3 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA3 で使用する FIFO の領域設定を行います。

08Ch.Bit7-5 Reserved

08Ch.Bit4-0, 08Dh.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA3 に割り当てる FIFO の先頭アドレスを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA3 に割り当てられる領域は、AREA3EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA3StartAdrs、AREA3EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA3 ビットを"1"にして FIFO 領域 AREA3 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA3 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

08Dh.Bit1-0 Reserved

7.4.101. 08Eh AREA3EndAdrs_H (AREA 3 End Address High)

7.4.102. 08Eh AREA3EndAdrs_L (AREA 3 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	08Eh	AREA3EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA3 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	08Fh	AREA3EndAdrs_L	R / W	7: EndAdrs[7]	AREA3 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA3 で使用する FIFO の領域設定を行います。

08Eh.Bit7-5 **Reserved****08Eh.Bit4-0, 08Fh.Bit7-2** **EndAdrs[12:2]**

FIFO 領域 AREA3 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA3 に割り当てられる領域は、AREA3EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA3StartAdrs、AREA3EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA3 ビットを"1"にして FIFO 領域 AREA3 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA3 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

08Fh.Bit1-0 **Reserved**

7. レジスタ

7.4.103. 090h AREA4StartAdrs_H (AREA 4 Start Address High)

7.4.104. 091h AREA4StartAdrs_L (AREA 4 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	090h	AREA4StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA4 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
				0: StartAdrs[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	091h	AREA4StartAdrs_L	R / W	7: StartAdrs[7]	AREA4 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA4 で使用する FIFO の領域設定を行います。

090h.Bit7-5 Reserved
090h.Bit4-0, 091h.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA4 に割り当てる FIFO の先頭アドレスを設定します。
アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。
FIFO 領域 AREA4 に割り当てられる領域は、AREA4EndAdrs にて設定されたアドレスの 1 バイト前までとなります。
AREA4StartAdrs、AREA4EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA4 ビットを"1"にして FIFO 領域 AREA4 の FIFO をクリアして下さい。
なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA4 と他の FIFO 領域が重なった場合も、正常に動作しません。
本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

091h.Bit1-0 Reserved

7.4.105. 092h AREA4EndAdrs_H (AREA 4 End Address High)

7.4.106. 093h AREA4EndAdrs_L (AREA 4 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	092h	AREA4EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA4 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	093h	AREA4EndAdrs_L	R / W	7: EndAdrs[7]	AREA4 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA4 で使用する FIFO の領域設定を行います。

092h.Bit7-5 **Reserved****092h.Bit4-0, 093h.Bit7-2** **EndAdrs[12:2]**

FIFO 領域 AREA4 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA4 に割り当てられる領域は、AREA4EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA4StartAdrs、AREA4EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA4 ビットを"1"にして FIFO 領域 AREA4 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA4 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

093h.Bit1-0 **Reserved**

7. レジスタ

7.4.107. 094h AREA5StartAdrs_H (AREA 5 Start Address High)

7.4.108. 095h AREA5StartAdrs_L (AREA 5 Start Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	094h	AREA5StartAdrs_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: StartAdrs[12]	AREA5 Start Address High		
				3: StartAdrs[11]			
				2: StartAdrs[10]			
				1: StartAdrs[9]			
	0: StartAdrs[8]						

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	095h	AREA5StartAdrs_L	R / W	7: StartAdrs[7]	AREA5 Start Address Low		00h
				6: StartAdrs[6]			
				5: StartAdrs[5]			
				4: StartAdrs[4]			
				3: StartAdrs[3]			
				2: StartAdrs[2]			
				1:	0:	1:	
				0:	0:	1:	

AREA5 で使用する FIFO の領域設定を行います。

094h.Bit7-5 Reserved
094h.Bit4-0, 095h.Bit7-2 StartAdrs[12:2]

FIFO 領域 AREA5 に割り当てる FIFO の先頭アドレスを設定します。
アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。
FIFO 領域 AREA5 に割り当てられる領域は、AREA5EndAdrs にて設定されたアドレスの 1 バイト前までとなります。
AREA5StartAdrs、AREA5EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA5 ビットを"1"にして FIFO 領域 AREA5 の FIFO をクリアして下さい。
なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA5 と他の FIFO 領域が重なった場合も、正常に動作しません。
本 LSI の内蔵 RAM は 4.5kB ですので、最大 0x1200 番地のアドレスをサポートしています。

095h.Bit1-0 Reserved

7.4.109. 096h AREA5EndAdrs_H (AREA 5 End Address High)

7.4.110. 097h AREA5EndAdrs_L (AREA 5 End Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	096h	AREA5EndAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: EndAdrs[12]	AREA5 End Address High	
				3: EndAdrs[11]		
				2: EndAdrs[10]		
				1: EndAdrs[9]		
				0: EndAdrs[8]		
						00h

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	097h	AREA5EndAdrs_L	R / W	7: EndAdrs[7]	AREA5 End Address Low	
				6: EndAdrs[6]		
				5: EndAdrs[5]		
				4: EndAdrs[4]		
				3: EndAdrs[3]		
				2: EndAdrs[2]		
				1:	0:	1:
				0:	0:	1:
						00h

AREA5 で使用する FIFO の領域設定を行います。

096h.Bit7-5 **Reserved****096h.Bit4-0, 097h.Bit7-2** **EndAdrs[12:2]**

FIFO 領域 AREA5 に割り当てる FIFO の最終アドレスの次のバイトを設定します。

アドレス値は、上位 12 ビット～2 ビットでの設定のため 4 バイト単位での指定になります。

FIFO 領域 AREA5 に割り当てられる領域は、AREA5EndAdrs にて設定されたアドレスの 1 バイト前までとなります。

AREA5StartAdrs、AREA5EndAdrs を設定した後は、必ず AREAnFIFO_Clr レジスタの ClrAREA5 ビットを"1"にして FIFO 領域 AREA5 の FIFO をクリアして下さい。

なお、ここで設定した領域より、ジョインした USB のデバイス/ホストの MaxSize が大きい場合には、正常に動作しません。また、FIFO 領域 AREA5 と他の FIFO 領域が重なった場合も、正常に動作しません。

本 LSI の内蔵 RAM は 4.5kB です、最大 0x1200 番地のアドレスをサポートしています。

097h.Bit1-0 **Reserved**

7. レジスタ

7.4.111. 09Fh AREAnFIFO_Clr (AREA n FIFO Clear)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	09Fh	AREAnFIFO_Clr		7:	0:	1:	XXh
				6:	0:	1:	
			W	5: AREA5FIFO_Clr	0: Do nothing	1: Clear AREA5 FIFO	
			W	4: AREA4FIFO_Clr	0: Do nothing	1: Clear AREA4 FIFO	
			W	3: AREA3FIFO_Clr	0: Do nothing	1: Clear AREA3 FIFO	
			W	2: AREA2FIFO_Clr	0: Do nothing	1: Clear AREA2 FIFO	
			W	1: AREA1FIFO_Clr	0: Do nothing	1: Clear AREA1 FIFO	
			W	0: AREA0FIFO_Clr	0: Do nothing	1: Clear AREA0FIFO	

該当する FIFO 領域 AREAn{n=0-5}の FIFO をクリアします。ライトオンリーのレジスタです。

このレジスタの各ビットは、"1"をセットされると FIFO をクリアする動作のみ行い、セットされた値は保持しません。

FIFO 領域 AREAn{n=0-5}に DMA がジョインされ、かつ、該当する DMA が起動中(DMA_Running ビットが"1"の間)に、該当するエンドポイントのビットを"1"にセットしないで下さい。

また、このレジスタは、データ保持情報の初期化動作のみを行い、データ自身を書き込みまたはクリアをしません。従って、このビットにより RAM 上のデータがクリアされることはありません。

7.4.112. 0A0h AREA0Join_0 (AREA 0 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A0h	AREA0Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	1: Join to FIFO Status	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: JoinDMA	0: Do nothing	1: Join to DMA	
			R / W	1: JoinCPU_Rd	0: Do nothing	1: Join to CPU Read	
			R / W	0: JoinCPU_Wr	0: Do nothing	1: Join to CPU Write	

FIFO 領域 AREA0 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA0 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA0 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA0 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA0 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.113. 0A1h AREA0Join_1 (AREA 0 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A1h	AREA0Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA0 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA0 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA0 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA0 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA0 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA0 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA0 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、想定外の動作を行うことがありますので、ご注意願います。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EP0 を FIFO 領域 AREA0 にジョインするようにして下さい。USB ホスト機能を使用し、コントロール転送サポート機能を使用する場合、チャンネル CH0 を FIFO 領域 AREA0 にジョインするようにして下さい。

7.4.114. 0A2h AREA1Join_0 (AREA 1 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	0A2h	AREA1Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	00h
				6:	0:	
				5:	0:	
				4:	0:	
				3:	0:	
			R / W	2: JoinDMA	0: Do nothing	
			R / W	1: JoinCPU_Rd	0: Do nothing	
			R / W	0: JoinCPU_Wr	0: Do nothing	

FIFO 領域 AREA1 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA1 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA1 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA1 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA1 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.115. 0A3h AREA1Join_1 (AREA 1 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A3h	AREA1Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA1 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA1 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA1 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA1 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA1 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA1 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA1 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、想定外の動作を行うことがありますので、ご注意願います。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EPa を FIFO 領域 AREA1 にジョインするようにして下さい。USB ホスト機能を使用し、パルクオンリーサポート機能を使用する場合、チャンネル CHa を FIFO 領域 AREA1 にジョインするようにして下さい。

7.4.116. 0A4h AREA2Join_0 (AREA 2 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A4h	AREA2Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	1: Join to FIFO Status	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: JoinDMA	0: Do nothing	1: Join to DMA	
			R / W	1: JoinCPU_Rd	0: Do nothing	1: Join to CPU Read	
			R / W	0: JoinCPU_Wr	0: Do nothing	1: Join to CPU Write	

FIFO 領域 AREA2 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA2 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA2 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA2 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA2 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.117. 0A5h AREA2Join_1 (AREA 2 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A5h	AREA2Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA2 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA2 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA2 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA2 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA2 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA2 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA2 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、想定外の動作を行うことがありますので、ご注意願います。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EPb を FIFO 領域 AREA2 にジョインするようにして下さい。

7.4.118. 0A6h AREA3Join_0 (AREA 3 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	0A6h	AREA3Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	00h
				6:	0:	
				5:	0:	
				4:	0:	
				3:	0:	
			R / W	2: JoinDMA	0: Do nothing	
			R / W	1: JoinCPU_Rd	0: Do nothing	
			R / W	0: JoinCPU_Wr	0: Do nothing	

FIFO 領域 AREA3 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA3 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA3 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA3 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA3 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.119. 0A7h AREA3Join_1 (AREA 3 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A7h	AREA3Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA3 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA3 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA3 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA3 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA3 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA3 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA3 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、想定外の動作を行うことがありますので、ご注意願います。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EPc を FIFO 領域 AREA3 にジョインするようにして下さい。

7.4.120. 0A8h AREA4Join_0 (AREA 4 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	0A8h	AREA4Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	00h
				6:	0:	
				5:	0:	
				4:	0:	
				3:	0:	
			R / W	2: JoinDMA	0: Do nothing	
			R / W	1: JoinCPU_Rd	0: Do nothing	
			R / W	0: JoinCPU_Wr	0: Do nothing	

FIFO 領域 AREA4 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA4 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA4 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA4 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA4 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.121. 0A9h AREA4Join_1 (AREA 4 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0A9h	AREA4Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA4 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA4 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA4 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA4 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA4 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA4 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA4 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、想定外の動作を行うことがありますので、ご注意願います。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EPd を FIFO 領域 AREA4 にジョインするようにして下さい。

7.4.122. 0AAh AREA5Join_0 (AREA 5 Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device / Host	0AAh	AREA5Join_0	R / W	7: JoinFIFO_Stat	0: Do nothing	00h
				6:	0:	
				5:	0:	
				4:	0:	
				3:	0:	
			R / W	2: JoinDMA	0: Do nothing	
			R / W	1: JoinCPU_Rd	0: Do nothing	
			R / W	0: JoinCPU_Wr	0: Do nothing	

FIFO 領域 AREA5 に接続するポートを設定します。

Bit7 JoinFIFO_Stat

FIFO 領域 AREA5 の FIFO の Full 及び Empty の状態を、FIFO_IntStat.FIFO_NotEmpty、FIFO_IntStat.FIFO_Full 及び FIFO_IntStat.FIFO_Empty でモニタできるようにします。

Bit6-3 Reserved**Bit2 JoinDMA**

FIFO 領域 AREA5 の FIFO で DMA の転送を行います。転送の方向は、DMA_Control.Dir ビットの設定によります。

Bit1 JoinCPU_Rd

FIFO 領域 AREA5 の FIFO で CPU レジスタアクセスのリード転送を行います。即ち FIFO_Rd_0,1 レジスタ、または、FIFO_ByteRd レジスタのリードが行われると、この FIFO 領域からデータが読み出されます。

Bit0 JoinCPU_Wr

FIFO 領域 AREA5 の FIFO で CPU レジスタアクセスのライト転送を行います。即ち FIFO_Wr_0,1 レジスタへのライトが行われると、この FIFO 領域にデータが書き込まれます。

JoinDMA ビットを設定した場合は、DMA_Control.Dir ビットが 1 のときは残りデータ数、0 のときは空き容量が、DMA_Remain_H,L レジスタにより、それぞれ参照できます。

JoinCPU_Rd, JoinCPU_Wr ビットを設定した場合は、FIFO_RdRemain_H,L、FIFO_WrRemain_H,L を参照し、FIFO_Rd_0,1、FIFO_ByteRd、FIFO_Wr_0,1 レジスタからデータを読み出し、または書き込みできます。

JoinDMA ビット、JoinCPU_Rd ビット、JoinCPU_Wr ビットは、同時に 1 ビットのみを"1"にセットしてください。複数のビットに対して、同時に"1"を書きこんだ場合、動作が不安定になる恐れがあります。

7. レジスタ

7.4.123. 0ABh AREA5Join_1 (AREA 5 Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0ABh	AREA5Join_1		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: JoinEPeCHe	0: Do nothing	1: Join to EPe / CHe	
			R / W	4: JoinEPdCHd	0: Do nothing	1: Join to EPd / CHd	
			R / W	3: JoinEPcCHc	0: Do nothing	1: Join to EPc / CHc	
			R / W	2: JoinEPbCHb	0: Do nothing	1: Join to EPb / CHb	
			R / W	1: JoinEPaCHa	0: Do nothing	1: Join to EPa / CHa	
			R / W	0: JoinEP0CH0	0: Do nothing	1: Join to EP0 / CH0	

FIFO 領域 AREA5 に接続するエンドポイント及びチャンネルを設定します。

Bit7-6 **Reserved**

Bit5 **JoinEPeCHe**

FIFO 領域 AREA5 にエンドポイント EPe もしくはチャンネル CHe を接続します。接続することで、エンドポイント EPe、チャンネル EPe を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit4 **JoinEPdCHd**

FIFO 領域 AREA5 にエンドポイント EPd もしくはチャンネル CHd を接続します。接続することで、エンドポイント EPd、チャンネル EPd を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit3 **JoinEPcCHc**

FIFO 領域 AREA5 にエンドポイント EPc もしくはチャンネル CHc を接続します。接続することで、エンドポイント EPc、チャンネル EPc を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit2 **JoinEPbCHb**

FIFO 領域 AREA5 にエンドポイント EPb もしくはチャンネル CHb を接続します。接続することで、エンドポイント EPb、チャンネル EPb を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit1 **JoinEPaCHa**

FIFO 領域 AREA5 にエンドポイント EPa もしくはチャンネル CHa を接続します。接続することで、エンドポイント EPa、チャンネル EPa を使用して、データ転送を伴うトランザクションを実行可能となります。

Bit0 **JoinEP0CH0**

FIFO 領域 AREA5 にエンドポイント EP0 もしくはチャンネル CH0 を接続します。接続することで、エンドポイント EP0、チャンネル EP0 を使用して、データ転送を伴うトランザクションを実行可能となります。

同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを同時に複数設定した場合には、トランザクション順によっては、誤動作の原因となります。基本的には、同一の FIFO 領域に JoinEPxCHx{x=0,a-e}ビットを設定行わないことを推奨致します。

USB デバイス機能を使用する場合、エンドポイント EPe を FIFO 領域 AREA5 にジョインするようにして下さい。

7.4.124. 0AEh ClrAREAnJoin_0 (Clear AREA n Join 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0AEh	ClrAREAnJoin_0	W	7: ClrJoinFIFO_Stat	0: Do nothing	1: Clear JoinFIFO_Stat	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			W	2: ClrJoinDMA	0: Do nothing	1: Clear JoinDMA	
			W	1: ClrJoinCPU_Rd	0: Do nothing	1: Clear JoinCPU_Rd	
			W	0: ClrJoinCPU_Wr	0: Do nothing	1: Clear JoinCPU_Wr	

各 FIFO 領域と該当するポートの接続をクリアします。ライトオンリーのレジスタです。

このレジスタのビットは、接続クリア後、自動的に"0"にクリアされます。

FIFO 領域がポートに接続 (AREAn{n=0-5}Join_0 レジスタの該当するビットが"1"にセット)され、且つ各ポートの起動中に、このレジスタのビットを"1"にセットしないで下さい。誤動作の原因となります。

7. レジスタ

7.4.125. 0AFh ClrAREAnJoin_1 (Clear AREA n Join 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device / Host	0AFh	ClrAREAnJoin_1		7:	0:	1:	00h
				6:	0:	1:	
			W	5: ClrJoinEPeCHe	0: Do nothing	1: Clear JoinEPeCHe	
			W	4: ClrJoinEPdCHd	0: Do nothing	1: Clear JoinEPdCHd	
			W	3: ClrJoinEPcCHc	0: Do nothing	1: Clear JoinEPcCHc	
			W	2: ClrJoinEPbCHb	0: Do nothing	1: Clear JoinEPbCHb	
			W	1: ClrJoinEPaCHa	0: Do nothing	1: Clear JoinEPaCHa	
			W	0: ClrJoinEP0CH0	0: Do nothing	1: Clear JoinEP0CH0	

各 FIFO 領域と該当するエンドポイント及びチャネルの接続をクリアします。ライトオンリーのレジスタです。

このレジスタのビットは、接続クリア後、自動的に"0"にクリアされます。

FIFO 領域がエンドポイント及びチャネルに接続 (AREAn{n=0-5}Join_1 レジスタの該当するビットが"1"にセット)され、且つ各エンドポイント及びチャネルのトランザクションが実行されている時に、このレジスタのビットを"1"にセットしないで下さい。誤動作の原因となります。

7.5. デバイス・レジスタ詳細説明

7.5.1. 0B0h D_SIE_IntStat (Device SIE Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	0B0h	D_SIE_IntStat		7:	0:	1:
			R (W)	6: NonJ	0: None	1: Detect Non J state
			R (W)	5: RcvSOF	0: None	1: Received SOF
			R (W)	4: DetectReset	0: None	1: Detect USB Reset
			R (W)	3: DetectSuspend	0: None	1: Detect USB Suspend
			R (W)	2: ChirpCmp	0: None	1: Chirp Complete
			R (W)	1: RestoreCmp	0: None	1: Restore Complete
			R (W)	0: SetAddressCmp	0: None	1: AutoSetAddress Complete

デバイス SIE 関連の割り込みを表示します。

全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 **Reserved**

Bit6 **NonJ**

割り込み要因を直接指示します。

USB バス上で J ステート以外の状態を検出すると"1"にセットされます。このビットは、本 LSI が SNOOZE 状態 (PM_Control レジスタの InSnooze ビットが"1") の時、及び AutoNegotiation 機能使用時に USB_Control レジスタの InSUSPEND ビットが"1"にセットされている時に有効です。

Bit5 **RcvSOF**

割り込み要因を直接指示します。

SOF トークンを受信すると"1"にセットされます。

Bit4 **DetectReset**

割り込み要因を直接指示します。

USB のリセットステートを検出すると"1"にセットされます。このビットがセットされている間は USB のサスペンドステートの検出ができません (DetectSUSPEND がセットされません)。

このリセット検出は、D_NegoControl レジスタの ActiveUSB ビットが "1" にセットされている時に有効です。

"HS"動作モードの場合は、バス・アクティビティが一定時間無くなると、USB のリセット／サスペンド検出のために FS ターミネーションを自動的に設定し、SE0 が検出されるとリセットと判断して、このビットが"1"にセットされます。

AutoNegotiation 機能を使用しない場合には、このビットが"1"にセットされた場合、継続するリセットを誤検出しないよう、D_NegoControl レジスタの DisBusDetect ビットを"1"にセットして USB のリセット／サスペンドステートの検出を無効にしてください。リセットに対する処理終了後に DisBusDetect ビットを"0"にクリアして USB のリセット／サスペンドステートの検出を有効にしてください。

リセット検出時、D_NegoControl レジスタの GoChirp ビットにより、"HS Detection Handshake" を開始することができます。

AutoNegotiation 機能については、D_NegoControl レジスタの EnAutoNego ビットの項を参照して下さい。

Bit3 **DetectSuspend**

割り込み要因を直接指示します。

USB のサスペンドステートを検出すると "1" にセットされます。このビットがセットされている間は USB のリセットステートの検出ができません (DetectRESET がセットされません)。

"HS" 動作モード の場合は、バス・アクティビティが一定時間無くなると、USB のリセット／サスペンド検出のために"FS"動作モードに自動的に設定されます。USB のサスペンドステートの検出後は、~~PM_Control0 レジスタの GoSnooze~~ ~~PM_Control.GoSLEEP~~ ビットを "1" にセットすることにより、本 LSI をスリープモード(内蔵 PLL 及びオシレータの発振を停止)にすることが出来ます。

Bit2 **ChirpCmp**

割り込み要因を直接指示します。

D_NegoControl レジスタの GoChirp ビットにより開始された"HS Detection Handshake"が完了すると"1" にセットされます。

割り込み発生後に D_USB_Status レジスタの FSxHS ビットをリードすることで、現在の動作モード (FS or HS) の判定をすることができます。

7. レジスタ

Bit1 RestoreCmp

割り込み要因を直接指示します。

D_NegoControl レジスタの RestoreUSB ビットにより開始された Restore 処理が終了すると"1"にセットされます。このビットが"1"にセットされると動作モード(FS or HS)が Suspend する前の状態に戻ります。

Bit0 SetAddressCmp

割り込み要因を直接指示します。

SetAddress()リクエストを受信すると、AutoSetAddress 機能(USB_Address レジスタ参照)が、そのコントロール転送の処理を自動的に行います。ステータスステージを行って SetAddress()リクエストに関わるコントロール転送が完了した時に、このステータスが"1"にセットされます。また、同時に D_USB_Address レジスタにアドレスがセットされます。

同期ビット(Bit5~0)は、パワーマネージメントが ACTIVE ステートであっても、HostDeviceSel.HOSTxDEVICE ビットが"0"、すなわち DEVICE モードでなければ、読み出し、書き込み(割り込み要因クリア)ができません。したがって、この状態から移行する場合には、これらの割り込みステータスにより割り込み信号 XINT がアサートされないよう、F/W にて以下の処理を行って下さい。

＜ACTIVE で DEVICE モードから移行する時＞

- 1) 割り込みステータスを処理し、クリアする(D_SIE_IntStat.Bit5~0)
- 2) 割り込みステータスをディスエーブルにする(D_SIE_IntEnb.Bit5~0)

＜ACTIVE で DEVICE モードに移行する時＞

- 3) 割り込みステータスをクリアする(D_SIE_IntStat.Bit5~0)
- 4) 割り込みステータスをイネーブルにする(D_SIE_IntEnb.Bit5~0)

7.5.2. 0B3h D_BulkIntStat (Device Bulk Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B3h	D_BulkIntStat	R (W)	7: CBW_Cmp	0: None	1: CBW Complete	00h
			R (W)	6: CBW_LengthErr	0: None	1: CBW Length Error	
			R (W)	5: CBW_Err	0: None	1: CBW Transaction Error	
			R (W)	4:	0:	1:	
			R (W)	3: CSW_Cmp	0: None	1: CSW Complete	
			R (W)	2: CSW_Err	0: None	1: CSW Error	
				1:	0:	1:	
				0:	0:	1:	

Bulk 転送機能関連の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 CBW_Cmp

割り込み要因を直接指示します。

CBW の 31 バイトを正常に受信できた時に"1"にセットされます。

Bit6 CBW_LengthErr

割り込み要因を直接指示します。

受信した CBW のパケット長が 31 バイト以外であった時に"1"にセットされます。

Bit5 CBW_Err

割り込み要因を直接指示します。

受信した CBW に CRC エラー等のトランザクションエラーを検出した時に"1"にセットされます。

Bit4 Reserved**Bit3 CSW_Cmp**

割り込み要因を直接指示します。

CSW の 13 バイトを正常に送信できた時に"1"にセットされます。

Bit2 CSW_Err

割り込み要因を直接指示します。

CSW の送信にエラーがあった時 (ACK が返ってこなかった時)に"1"にセットされます。

Bit1-0 Reserved

7. レジスタ

7.5.3. 0B4h D_EPIntStat (Device EPr Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B4h	D_EPIntStat	R	7: D_AlarmIN_IntStat	0: None	1: Alarm IN Interrupt	00h
			R	6: D_AlarmOUT_IntStat	0: None	1: Alarm OUT Interrupt	
				5:	0:	1:	
			R	4: D_EPeIntStat	0: None	1: EPe Interrupt	
			R	3: D_EPdIntStat	0: None	1: EPd Interrupt	
			R	2: D_EPcIntStat	0: None	1: EPc Interrupt	
			R	1: D_EPbIntStat	0: None	1: EPb Interrupt	
			R	0: D_EPaIntStat	0: None	1: EPa Interrupt	

エンドポイント EPr{r=a-e}、及び AlarmIN／AlarmOUT の割り込みを表示します。

Bit7 D_AlarmIN_IntStat

割り込み要因を間接指示します。

D_AlarmIN_IntStat_H,L レジスタに割り込み要因があり、かつその割り込み要因に対応する D_AlarmIN_IntEnb_H,L レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit6 D_AlarmOUT_IntStat

割り込み要因を間接指示します。

D_AlarmOUT_IntStat_H,L レジスタに割り込み要因があり、かつその割り込み要因に対応する D_AlarmOUT_IntEnb_H,L レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit5 Reserved

Bit4 D_EPeIntStat

割り込み要因を間接指示します。

D_EPeIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPeIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit3 D_EPdIntStat

割り込み要因を間接指示します。

D_EPdIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPdIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit2 D_EPcIntStat

割り込み要因を間接指示します。

D_EPcIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPcIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit1 D_EPbIntStat

割り込み要因を間接指示します。

D_EPbIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPbIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit0 D_EPaIntStat

割り込み要因を間接指示します。

D_EPaIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する D_EPaIntEnb レジスタのビットがイネーブルにされている時、"1"にセットされます。

7.5.4. 0B5h D_EP0IntStat (Device EP0 Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B5h	D_EP0IntStat	R (W)	7: DescriptorCmp	0: None	1: Descriptor Complete	00h
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short-Packet ACK	
			R (W)	5: IN_TrانACK	0: None	1: IN Transaction ACK	
			R (W)	4: OUT_TrانACK	0: None	1: OUT Transaction ACK	
			R (W)	3: IN_TrانNAK	0: None	1: IN Transaction NAK	
			R (W)	2: OUT_TrانNAK	0: None	1: OUT Transaction NAK	
			R (W)	1: IN_TrانErr	0: None	1: IN Transaction Error	
			R (W)	0: OUT_TrانErr	0: None	1: OUT Transaction Error	

エンドポイント EP0 の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 DescriptorCmp

割り込み要因を直接指示します。

Descriptor 返信機能において、DescriptorSize レジスタの設定数のデータを返信し終わると、"1"にセットされます。

また、DescriptorSize レジスタの設定数まで送信する前にステータスステージへ移行 (OUT トークンを受信) した場合には OUT_TrانNAK ビットと共に、"1"にセットされます。

Bit6 OUT_ShortACK

割り込み要因を直接指示します。

OUT トランザクションでショートパケットを受信し、ACK を返信した時、OUT_TrانACK と同時に"1" にセットされます。

Bit5 IN_TrانACK

割り込み要因を直接指示します。

IN トランザクションで ACK を受信した時、"1"にセットされます。

Bit4 OUT_TrانACK

割り込み要因を直接指示します。

OUT トランザクションで ACK を返信した時、"1"にセットされます。

Bit3 IN_TrانNAK

割り込み要因を直接指示します。

IN トランザクションで NAK を返信した時、"1"にセットされます。

Bit2 OUT_TrانNAK

割り込み要因を直接指示します。

OUT トランザクション及び PING トランザクションに対して NAK を返信した時、"1"にセットされます。

Bit1 IN_TrانErr

割り込み要因を直接指示します。

IN トランザクションにおいて STALL を返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。

Bit0 OUT_TrانErr

割り込み要因を直接指示します。

OUT トランザクションにおいて STALL を返信した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7. レジスタ

7.5.5. 0B6h D_EPaIntStat (Device EPa Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B6h	D_EPaIntStat		7:	0:	1:	00h
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short Packet ACK	
			R (W)	5: IN_TranACK	0: None	1: IN Transaction ACK	
			R (W)	4: OUT_TranACK	0: None	1: OUT Transaction ACK	
			R (W)	3: IN_TranNAK	0: None	1: IN Transaction NAK	
			R (W)	2: OUT_TranNAK	0: None	1: OUT Transaction NAK	
			R (W)	1: IN_TranErr	0: None	1: IN Transaction Error	
			R (W)	0: OUT_TranErr	0: None	1: OUT Transaction Error	

エンドポイント EPa の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 **Reserved**

Bit6 **OUT_ShortACK**

割り込み要因を直接指示します。

OUT トランザクションでショートパケットを受信し、ACK を返信した時、OUT_TranACK と同時に"1" にセットされます。

Bit5 **IN_TranACK**

割り込み要因を直接指示します。

IN トランザクションで ACK を受信した時、"1"にセットされます。

Bit4 **OUT_TranACK**

割り込み要因を直接指示します。

OUT トランザクションで ACK を返信した時、"1"にセットされます。

Bit3 **IN_TranNAK**

割り込み要因を直接指示します。

IN トランザクションで NAK を返信した時、"1"にセットされます。

Bit2 **OUT_TranNAK**

割り込み要因を直接指示します。

OUT トランザクション及び PING トランザクションに対して NAK を返信した時、"1"にセットされます。

Bit1 **IN_TranErr**

割り込み要因を直接指示します。

IN トランザクションにおいて STALL を返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。

Bit0 **OUT_TranErr**

割り込み要因を直接指示します。

OUT トランザクションにおいて STALL を返信した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7.5.6. 0B7h D_EPbIntStat (Device EPb Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B7h	D_EPbIntStat		7:	0:	1:	00h
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short Packet ACK	
			R (W)	5: IN_TranACK	0: None	1: IN Transaction ACK	
			R (W)	4: OUT_TranACK	0: None	1: OUT Transaction ACK	
			R (W)	3: IN_TranNAK	0: None	1: IN Transaction NAK	
			R (W)	2: OUT_TranNAK	0: None	1: OUT Transaction NAK	
			R (W)	1: IN_TranErr	0: None	1: IN Transaction Error	
			R (W)	0: OUT_TranErr	0: None	1: OUT Transaction Error	

エンドポイント EPb の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 **Reserved**

Bit6 **OUT_ShortACK**

割り込み要因を直接指示します。

OUT トランザクションでショートパケットを受信し、ACK を返信した時、OUT_TranACK と同時に"1" にセットされます。

Bit5 **IN_TranACK**

割り込み要因を直接指示します。

IN トランザクションで ACK を受信した時、"1"にセットされます。

Bit4 **OUT_TranACK**

割り込み要因を直接指示します。

OUT トランザクションで ACK を返信した時、"1"にセットされます。

Bit3 **IN_TranNAK**

割り込み要因を直接指示します。

IN トランザクションで NAK を返信した時、"1"にセットされます。

Bit2 **OUT_TranNAK**

割り込み要因を直接指示します。

OUT トランザクション及び PING トランザクションに対して NAK を返信した時、"1"にセットされます。

Bit1 **IN_TranErr**

割り込み要因を直接指示します。

IN トランザクションにおいて STALL を返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。

Bit0 **OUT_TranErr**

割り込み要因を直接指示します。

OUT トランザクションにおいて STALL を返信した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7. レジスタ

7.5.7. 0B8h D_EPcIntStat (D_EPc Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0B8h 0B8h	D_EPcIntStat		7:	0:	1:	00h
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short Packet ACK	
			R (W)	5: IN_TranACK	0: None	1: IN Transaction ACK	
			R (W)	4: OUT_TranACK	0: None	1: OUT Transaction ACK	
			R (W)	3: IN_TranNAK	0: None	1: IN Transaction NAK	
			R (W)	2: OUT_TranNAK	0: None	1: OUT Transaction NAK	
			R (W)	1: IN_TranErr	0: None	1: IN Transaction Error	
			R (W)	0: OUT_TranErr	0: None	1: OUT Transaction Error	

エンドポイント EPc の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

Reserved
- Bit6

OUT_ShortACK

割り込み要因を直接指示します。
OUTトランザクションでショートパケットを受信し、ACKを返信した時、OUT_TranACKと同時に"1"にセットされます。
- Bit5

IN_TranACK

割り込み要因を直接指示します。
INトランザクションでACKを受信した時、"1"にセットされます。
- Bit4

OUT_TranACK

割り込み要因を直接指示します。
OUTトランザクションでACKを返信した時、"1"にセットされます。
- Bit3

IN_TranNAK

割り込み要因を直接指示します。
INトランザクションでNAKを返信した時、"1"にセットされます。
- Bit2

OUT_TranNAK

割り込み要因を直接指示します。
OUTトランザクション及びPINGトランザクションに対してNAKを返信した時、"1"にセットされます。
- Bit1

IN_TranErr

割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。
- Bit0

OUT_TranErr

割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7.5.8. 0B9h D_EPdIntStat (D_EPd Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	0B9h 0B9h	D_EPdIntStat		7:	0:	1:
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short Packet ACK
			R (W)	5: IN_TrانACK	0: None	1: IN Transaction ACK
			R (W)	4: OUT_TrانACK	0: None	1: OUT Transaction ACK
			R (W)	3: IN_TrانNAK	0: None	1: IN Transaction NAK
			R (W)	2: OUT_TrانNAK	0: None	1: OUT Transaction NAK
			R (W)	1: IN_TrانErr	0: None	1: IN Transaction Error
			R (W)	0: OUT_TrانErr	0: None	1: OUT Transaction Error

エンドポイント EPd の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 **Reserved**

Bit6 **OUT_ShortACK**

割り込み要因を直接指示します。

OUT トランザクションでショートパケットを受信し、ACK を返信した時、OUT_TrانACK と同時に"1" にセットされます。

Bit5 **IN_TrانACK**

割り込み要因を直接指示します。

IN トランザクションで ACK を受信した時、"1"にセットされます。

Bit4 **OUT_TrانACK**

割り込み要因を直接指示します。

OUT トランザクションで ACK を返信した時、"1"にセットされます。

Bit3 **IN_TrانNAK**

割り込み要因を直接指示します。

IN トランザクションで NAK を返信した時、"1"にセットされます。

Bit2 **OUT_TrانNAK**

割り込み要因を直接指示します。

OUT トランザクション及び PING トランザクションに対して NAK を返信した時、"1"にセットされます。

Bit1 **IN_TrانErr**

割り込み要因を直接指示します。

IN トランザクションにおいて STALL を返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。

Bit0 **OUT_TrانErr**

割り込み要因を直接指示します。

OUT トランザクションにおいて STALL を返信した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7. レジスタ

7.5.9. 0BAh D_EPeIntStat (D_EPe Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0BAh	D_EPeIntStat		7:	0:	1:	00h
			R (W)	6: OUT_ShortACK	0: None	1: OUT Short Packet ACK	
			R (W)	5: IN_TranACK	0: None	1: IN Transaction ACK	
			R (W)	4: OUT_TranACK	0: None	1: OUT Transaction ACK	
			R (W)	3: IN_TranNAK	0: None	1: IN Transaction NAK	
			R (W)	2: OUT_TranNAK	0: None	1: OUT Transaction NAK	
			R (W)	1: IN_TranErr	0: None	1: IN Transaction Error	
			R (W)	0: OUT_TranErr	0: None	1: OUT Transaction Error	

エンドポイント EPe の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7 **Reserved**

Bit6 **OUT_ShortACK**

割り込み要因を直接指示します。

OUT トランザクションでショートパケットを受信し、ACK を返信した時、OUT_TranACK と同時に"1" にセットされます。

Bit5 **IN_TranACK**

割り込み要因を直接指示します。

IN トランザクションで ACK を受信した時、"1"にセットされます。

Bit4 **OUT_TranACK**

割り込み要因を直接指示します。

OUT トランザクションで ACK を返信した時、"1"にセットされます。

Bit3 **IN_TranNAK**

割り込み要因を直接指示します。

IN トランザクションで NAK を返信した時、"1"にセットされます。

Bit2 **OUT_TranNAK**

割り込み要因を直接指示します。

OUT トランザクション及び PING トランザクションに対して NAK を返信した時、"1"にセットされます。

Bit1 **IN_TranErr**

割り込み要因を直接指示します。

IN トランザクションにおいて STALL を返した場合、パケットにエラーがあった場合、及びハンドシェイクがタイムアウトになった場合に、"1"にセットされます。

Bit0 **OUT_TranErr**

割り込み要因を直接指示します。

OUT トランザクションにおいて STALL を返信した場合、及び、パケットにエラーがあった場合に、"1"にセットされます。

7.5.10. 0BCh D_AlarmIN_IntStat_H (Device AlarmIN Interrupt Status High)

7.5.11. 0BDh D_AlarmIN_IntStat_L (Device AlarmIN Interrupt Status Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0BCh	D_AlarmIN _IntStat_H	R (W)	7: AlarmEP15IN	0: Do nothing	1: EP15 received IN token	00h
			R (W)	6: AlarmEP14IN	0: Do nothing	1: EP14 received IN token	
			R (W)	5: AlarmEP13IN	0: Do nothing	1: EP13 received IN token	
			R (W)	4: AlarmEP12IN	0: Do nothing	1: EP12 received IN token	
			R (W)	3: AlarmEP11IN	0: Do nothing	1: EP11 received IN token	
			R (W)	2: AlarmEP10IN	0: Do nothing	1: EP10 received IN token	
			R (W)	1: AlarmEP9IN	0: Do nothing	1: EP9 received IN token	
			R (W)	0: AlarmEP8IN	0: Do nothing	1: EP8 received IN token	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0BDh	D_AlarmIN _IntStat_L	R (W)	7: AlarmEP7IN	0: Do nothing	1: EP7 received IN token	00h
			R (W)	6: AlarmEP6IN	0: Do nothing	1: EP6 received IN token	
			R (W)	5: AlarmEP5IN	0: Do nothing	1: EP5 received IN token	
			R (W)	4: AlarmEP4IN	0: Do nothing	1: EP4 received IN token	
			R (W)	3: AlarmEP3IN	0: Do nothing	1: EP3 received IN token	
			R (W)	2: AlarmEP2IN	0: Do nothing	1: EP2 received IN token	
			R (W)	1: AlarmEP1IN	0: Do nothing	1: EP1 received IN token	
				0:	0:	1:	

アラーム IN の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

全てのビットは、割り込み要因を直接指示しています。

D_EnEP_IN_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行 (IN トークンを受信) された場合、以下に示す応答を行い、該当するビットに"1"をセットします。なお、エンドポイント EP0 は、常に有効であるため、D_EP0 関連レジスタが適切に設定されていなかったり、AREAn{n=0-5}Join.JoinEP0CH0 ビットがどこの FIFO 領域に対しても設定されていない場合においても、同様の動作を行います。

この際、INトークンに対して行われる応答は、D_EnEP_IN_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストに対しゼロ長パケット応答し、"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。

本レジスタの該当ビットがセットされた場合には、D_EPx{x=0,a-e} 関連レジスタを適切に設定し、AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットを用いてエンドポイントを FIFO 領域にジョインし、トランザクションを実行可能にしてください。

7. レジスタ

7.5.12. 0BEh D_AlarmOUT_IntStat_H (Device AlarmOUT Interrupt Status High)

7.5.13. 0BFh D_AlarmOUT_IntStat_L (Device AlarmOUT Interrupt Status Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0BEh	D_AlarmOUT _IntStat_H	R (W)	7: AlarmEP15OUT	0: Do nothing	1: EP15 received OUT token	00h
			R (W)	6: AlarmEP14OUT	0: Do nothing	1: EP14 received OUT token	
			R (W)	5: AlarmEP13OUT	0: Do nothing	1: EP13 received OUT token	
			R (W)	4: AlarmEP12OUT	0: Do nothing	1: EP12 received OUT token	
			R (W)	3: AlarmEP11OUT	0: Do nothing	1: EP11 received OUT token	
			R (W)	2: AlarmEP10OUT	0: Do nothing	1: EP10 received OUT token	
			R (W)	1: AlarmEP9OUT	0: Do nothing	1: EP9 received OUT token	
			R (W)	0: AlarmEP8OUT	0: Do nothing	1: EP8 received OUT token	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0BFh	D_AlarmOUT _IntStat_L	R (W)	7: AlarmEP7OUT	0: Do nothing	1: EP7 received OUT token	00h
			R (W)	6: AlarmEP6OUT	0: Do nothing	1: EP6 received OUT token	
			R (W)	5: AlarmEP5OUT	0: Do nothing	1: EP5 received OUT token	
			R (W)	4: AlarmEP4OUT	0: Do nothing	1: EP4 received OUT token	
			R (W)	3: AlarmEP3OUT	0: Do nothing	1: EP3 received OUT token	
			R (W)	2: AlarmEP2OUT	0: Do nothing	1: EP2 received OUT token	
			R (W)	1: AlarmEP1OUT	0: Do nothing	1: EP1 received OUT token	
				0:	0:	1:	

アラーム OUT の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

全てのビットは、割り込み要因を直接指示しています。

D_EnEP_OUT_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行(OUTトークンを受信)された場合、以下に示す応答を行い、該当するビットに"1"をセットします。なお、エンドポイント EP0 は、常に有効であるため、D_EP0 関連レジスタが適切に設定されていなかったり、AREAn{n=0-5}Join.JoinEP0CH0 ビットがどこの FIFO 領域に対しても設定されていない場合においても、同様の動作を行います。

この際、OUT トークンに対して行われる応答は、D_EnEP_OUT_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストから送出されたデータを受け取らず且つハンドシェイクを応答しません。"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。デバイスが HS に設定され、ホストから PING トークンが発行された場合には、NAK 応答します。

本レジスタの該当ビットがセットされた場合には、D_EPx{x=0,a-e}関連レジスタを適切に設定し、AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットを用いてエンドポイントを FIFO 領域にジョインし、トランザクションを実行可能にしてください。

7.5.14. 0C0h *D_SIE_IntEnb* (Device SIE Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C0h	<i>D_SIE_IntEnb</i>		7:	0:	1:	00h
			R / W	6: <i>EnNonJ</i>	0: Disable	1: Enable	
			R / W	5: EnRcvSOF	0: Disable	1: Enable	
			R / W	4: EnDetectRESET	0: Disable	1: Enable	
			R / W	3: EnDetectSUSPEND	0: Disable	1: Enable	
			R / W	2: EnChirpCmp	0: Disable	1: Enable	
			R / W	1: EnRestoreCmp	0: Disable	1: Enable	
			R / W	0: EnSetAddressCmp	0: Disable	1: Enable	

D_SIE_IntStat レジスタの割り込み要因による、MainIntStat レジスタの D_SIE_IntStat ビットのアサートを許可／禁止します。
EnNonJ ビットは SLEEP 中も有効です。

7. レジスタ

7.5.15. 0C3h D_BulkIntEnb (Device Bulk Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C3h	D_BulkIntEnb	R / W	7: EnCBW_Cmp	0: Disable	1: Enable	00h
			R / W	6: EnCBW_LengthErr	0: Disable	1: Enable	
			R / W	5: EnCBW_Err	0: Disable	1: Enable	
				4:	0:	1:	
			R / W	3: EnCSW_Cmp	0: Disable	1: Enable	
			R / W	2: EnCSW_Err	0: Disable	1: Enable	
				1:	0:	1:	
				0:	0:	1:	

D_BulkIntStat レジスタの割り込み要因による、MainIntStat レジスタの D_BulkIntStat ビットのアサートを許可／禁止します。

7.5.16. 0C4h D_EPrIntEnb (Device EPr Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C4h	D_EPrIntEnb	R / W	7: EnD_AlarmIN_IntStat	0:	1:	00h
			R / W	6: EnD_AlarmOUT_IntStat	0:	1:	
				5:	0:	1:	
			R / W	4: EnD_EPeIntStat	0: Disable	1: Enable	
			R / W	3: EnD_EPdIntStat	0: Disable	1: Enable	
			R / W	2: EnD_EPcIntStat	0: Disable	1: Enable	
			R / W	1: EnD_EPbIntStat	0: Disable	1: Enable	
			R / W	0: EnD_EPaIntStat	0: Disable	1: Enable	

D_EPrIntStat レジスタの割り込み要因による、MainIntStat レジスタの D_EPrIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.5.17. 0C5h D_EP0IntEnb (Device EP0 Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C5h	D_EP0IntEnb	R / W	7: EnDescriptorCmp	0: Disable	1: Enable	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TrانACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TrانACK	0: Disable	1: Enable	
			R / W	3: EnIN_TrانNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TrانNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TrانErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TrانErr	0: Disable	1: Enable	

D_EP0IntStat レジスタの割り込み要因による、MainIntStat レジスタの D_EP0IntStat ビットのアサートを許可／禁止します。

7.5.18. 0C6h D_EPaIntEnb (Device EPa Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C6h	D_EPaIntEnb		7:	0:	1:	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TrAnACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TrAnACK	0: Disable	1: Enable	
			R / W	3: EnIN_TrAnNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TrAnNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TrAnErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TrAnErr	0: Disable	1: Enable	

D_EPaIntStat レジスタの割り込み要因による、D_EPrIntStat レジスタの EPaIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.5.19. 0C7h D_EPbIntEnb (Device EPb Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C7h	D_EPbIntEnb		7:	0:	1:	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TranACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TranACK	0: Disable	1: Enable	
			R / W	3: EnIN_TranNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TranNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TranErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TranErr	0: Disable	1: Enable	

D_EPbIntStat レジスタの割り込み要因による、D_EPbIntStat レジスタの EPbIntStat ビットのアサートを許可／禁止します。

7.5.20. C8h D_EPcIntEnb (Device EPc Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	C8h	D_EPcIntEnb		7:	0:	1:	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TranACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TranACK	0: Disable	1: Enable	
			R / W	3: EnIN_TranNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TranNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TranErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TranErr	0: Disable	1: Enable	

D_EPcIntStat レジスタの割り込み要因による、D_EPcIntStat レジスタの EPcIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.5.21. 0C9h D_EPdIntEnb (Device EPd Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0C9h	D_EPdIntEnb		7:	0:	1:	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TrانACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TrانACK	0: Disable	1: Enable	
			R / W	3: EnIN_TrانNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TrانNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TrانErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TrانErr	0: Disable	1: Enable	

D_EPdIntStat レジスタの割り込み要因による、D_EPIntStat レジスタの EPdIntStat ビットのアサートを許可／禁止します。

7.5.22. 0CAh D_EPeIntEnb (Device EPe Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0CAh	D_EPeIntEnb		7:	0:	1:	00h
			R / W	6: EnOUT_ShortACK	0: Disable	1: Enable	
			R / W	5: EnIN_TrانACK	0: Disable	1: Enable	
			R / W	4: EnOUT_TrانACK	0: Disable	1: Enable	
			R / W	3: EnIN_TrانNAK	0: Disable	1: Enable	
			R / W	2: EnOUT_TrانNAK	0: Disable	1: Enable	
			R / W	1: EnIN_TrانErr	0: Disable	1: Enable	
			R / W	0: EnOUT_TrانErr	0: Disable	1: Enable	

~~D_EPeIntStat~~D_EPeIntStat レジスタの割り込み要因による、D_EPrIntStat レジスタの ~~D_EPeIntStat~~D_EPeIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.5.23. 0CCh D_AlarmIN_IntEnb_H (Device AlarmIN Interrupt Enable High)

7.5.24. 0CDh D_AlarmIN_IntEnb_L (Device AlarmIN Interrupt Enable Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0CCh	D_AlarmIN _IntEnb_H	R / W	7: EnAlarmEP15IN	0: Disable	1: Enable	00h
			R / W	6: EnAlarmEP14IN	0: Disable	1: Enable	
			R / W	5: EnAlarmEP13IN	0: Disable	1: Enable	
			R / W	4: EnAlarmEP12IN	0: Disable	1: Enable	
			R / W	3: EnAlarmEP11IN	0: Disable	1: Enable	
			R / W	2: EnAlarmEP10IN	0: Disable	1: Enable	
			R / W	1: EnAlarmEP9IN	0: Disable	1: Enable	
			R / W	0: EnAlarmEP8IN	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0CDh	D_AlarmIN _IntEnb_L	R / W	7: EnAlarmEP7IN	0: Disable	1: Enable	00h
			R / W	6: EnAlarmEP6IN	0: Disable	1: Enable	
			R / W	5: EnAlarmEP5IN	0: Disable	1: Enable	
			R / W	4: EnAlarmEP4IN	0: Disable	1: Enable	
			R / W	3: EnAlarmEP3IN	0: Disable	1: Enable	
			R / W	2: EnAlarmEP2IN	0: Disable	1: Enable	
			R / W	1: EnAlarmEP1IN	0: Disable	1: Enable	
				0:	0:	1:	

D_AlarmIN_IntStat レジスタの割り込み要因による、D_EPIntStat レジスタの AlarmIN_IntStat ビットのアサートを許可／禁止します。

7.5.25. 0CEh D_AlarmOUT_IntEnb_H (Device AlarmOUT Interrupt Enable High)

7.5.26. 0CFh D_AlarmOUT_IntEnb_L (Device AlarmOUT Interrupt Enable Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0CEh	D_AlarmOUT _IntEnb_H	R / W	7: EnAlarmEP15OUT	0: Disable	1: Enable	00h
			R / W	6: EnAlarmEP14OUT	0: Disable	1: Enable	
			R / W	5: EnAlarmEP13OUT	0: Disable	1: Enable	
			R / W	4: EnAlarmEP12OUT	0: Disable	1: Enable	
			R / W	3: EnAlarmEP11OUT	0: Disable	1: Enable	
			R / W	2: EnAlarmEP10OUT	0: Disable	1: Enable	
			R / W	1: EnAlarmEP9OUT	0: Disable	1: Enable	
			R / W	0: EnAlarmEP8OUT	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0CFh	D_AlarmOUT _IntEnb_L	R / W	7: EnAlarmEP7OUT	0: Disable	1: Enable	00h
			R / W	6: EnAlarmEP6OUT	0: Disable	1: Enable	
			R / W	5: EnAlarmEP5OUT	0: Disable	1: Enable	
			R / W	4: EnAlarmEP4OUT	0: Disable	1: Enable	
			R / W	3: EnAlarmEP3OUT	0: Disable	1: Enable	
			R / W	2: EnAlarmEP2OUT	0: Disable	1: Enable	
			R / W	1: EnAlarmEP1OUT	0: Disable	1: Enable	
				0:	0:	1:	

D_AlarmOUT_IntStat レジスタの割り込み要因による、D_EPIntStat レジスタの AlarmOUT_IntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.5.27. 0D0h D_NegoControl (Device Nego Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D0h	D_NegoControl	R / W	7: DisBusDetect	0: Enable BusDetect	1: Disable BusDetect	00h
			R / W	6: EnAutoNego	0: Disable AutoNegotiation	1: Enable AutoNegotiation	
			R / W	5: InSUSPEND	0: Do nothing	1: Monitor NonJ	
			R / W	4: DisableHS	0: HS mode	1: Disable HS mode	
			R / W	3: SendWakeup	0: Do nothing	1:Send Remotewakeup Signal	
			R / W	2: RestoreUSB	0: Do nothing	1: Restore operation mode	
			R / W	1: GoChirp	0: Do nothing	1: Do Chirp sequence	
			R / W	0: ActiveUSB	0: Disactivate USB	1: Activate USB	

デバイスのネゴシエーション に関する動作設定を行います。

Bit7 DisBusDetect

このビットを"1"にセットすると、USB のリセット／サスペンドステートの自動検出を無効にします。このビットが"0"にクリアされている場合、USB のリセット／サスペンドステートの検出のため、USB バス上のバス・アクティビティを監視します。

"HS"モード時は、バス・アクティビティが 3ms の期間検出されない場合、自動的に"FS"モードに切り替えたのち、USB のリセットあるいはサスペンドステートの判定を行い、その後該当する割り込み要因 (DetectReset、DetectSuspend) をセットします。"FS"モード時はバス・アクティビティが 3ms の期間検出されない USB のサスペンドステートと判定し、また、2.5 μ s 以上の"SE0"を検出するとリセットと判断し、該当する割り込み要因をセットします。

DetectReset、DetectSuspend のビットが"1"にセットされたら DisBusDetect ビットを"1"にセットして USB のリセット／サスペンドステートが継続している間、検出を無効にして下さい。AutoNegotiation 機能を使用する場合、このビットに"1"をセットしないようにして下さい。

Bit6 EnAutoNego

AutoNegotiation 機能を有効にします。AutoNegotiation 機能は、リセット検出時に、スピードネゴシエーションが終了してスピードモードが決定するまでのシーケンスを自動化します。AutoNegotiation 機能の詳細は、動作説明の章を参照して下さい。

Bit5 InSUSPEND

AutoNegotiation 機能使用時に、USB のサスペンドステートを検出すると自動的に"1"にセットされ NonJ ステートの検出機能を有効にします。USB のサスペンドステートから復帰する場合には、このビットを"0"にクリアして下さい。

AutoNegotiation 機能を使用する場合の説明は、「機能説明 オート・ネゴシエーション機能」をご参照下さい。

Bit4 DisableHS

GoChirp が"1"にセットされた時に、このビットが"1"にセットされている時には、DeviceChirp を送出せずに強制的に FS モードとなり、ChirpCmp 割り込みを発生します。

Bit3 SendWakeup

このビットを"1"にセットすると、USB ポートに RemoteWakeup 信号(K)を出力します。

RemoteWakeup 信号の送出開始から 1ms 以上 15ms 以内経過後、このビットを"0"にクリアして送出を停止して下さい。

Bit2 RestoreUSB

USB のサスペンドステートからリジュームする際に、このビットを"1"にセットすると、USB のサスペンド前に保存された動作モード (FS or HS) に自動的に切り替えられ、該当する割り込み要因 (RestoreCmp) がセットされます。

このビットは、動作終了後自動的に"0"にクリアされます。

AutoNegotiation 機能を使用する場合、このビットの機能は自動的に制御されますので、このビットをセット／クリアしないで下さい。

Bit1 GoChirp

USB バスがリセット状態である場合に、このビットに"1"をセットすると、ホスト／ハブとの間で"HS Detection Handshake"を行い、XcvrControl レジスタの TermSelect ビット、XcvrSelect ビット及び USB_Status レジスタの FSxHS ビットが自動的に設定されます。動作終了と同時に割り込み要因 (ChirpCmp) がセットされます。

このビットは、動作終了後自動的に"0"にクリアされます。動作終了後 USBStauts レジスタの FSxHS ビットを参照することで、"HS Detection Handshake"の結果が確認できます。

AutoNegotiation 機能を使用する場合、このビットの機能は自動的に制御されますので、このビットをセット／クリアしないで下さい。

Bit0 ActiveUSB

本 LSI では、このビットがハードリセット後"0"にクリアされているため、USB デバイスの全機能を停止しています。本 LSI の設定終了後に、本ビットを"1"にセットすることで、USB デバイスとしての動作が可能となります。

7.5.28. 0D3h D_XcvtControl (Device Xcvt Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D3h	D_XcvtControl	R / W	7: TermSelect	0: HS Termination	1: FS Termination	41h
			R / W	6: XcvtSelect	0: HS Transceiver	1: FS Transceiver	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: OpMode [1]	OpMode [1:0]		
				0: OpMode [0]			

デバイスのトランシーバマクロに関する設定を行います。

Bit7 TermSelect

FS または HS いずれかのターミネーションを選択して有効にします。USB_Control レジスタの GoChirp ビットによって"HS detection handshake"を実行した場合、または、D_NegoControl レジスタの EnAutoNego ビットがセットされ、AutoNegotiation 機能が実行された場合、このビットは自動的に設定されます。

Bit6 XcvtSelect

FS または HS いずれかのトランシーバを選択して有効にします。D_NegoControl レジスタの GoChirp ビットによって"HS detection handshake"を実行した場合、または、D_NegoControl レジスタの EnAutoNego ビットがセットされ、AutoNegotiation 機能が実行された場合、このビットは自動的に設定されます。

Bit5-2 Reserved**Bit1-0 OpMode**

~~UTMMTM~~ のオペレーションモードを設定します。

USB ケーブルが抜かれている時(※)、USB のサスペンド状態になる時、またはテストモード時以外には、通常設定する必要がありません。

OpMode		
00	"Normal Operation"	通常使用状態
01	"Non-Driving"	USB ケーブルが抜かれている時にはこの状態にして下さい。
10	"Disable Bitstuffing and NRZI encoding"	USB テストモード時にはこの状態にしてください。
11	"Power-Down"	USB のサスペンド時にはこの状態にしてください。

※USB ケーブルが抜けている時には、このレジスタを"41h"にセットすることを推奨します。

7. レジスタ

7.5.29. 0D4h D_USB_Test (Device USB_Test)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D4h	D_USB_Test	R / W	7: EnHS_Test	0: Do nothing	1: EnHS_Test	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
			R / W	3: Test_SE0_NAK	0: Do nothing	1: Test_SE0_NAK	
			R / W	2: Test_J	0: Do nothing	1: Test_J	
			R / W	1: Test_K	0: Do nothing	1: Test_K	
			R / W	0: Test_Packet	0: Do nothing	1: Test_Packett	

デバイスの USB 2.0 のテストモードに関する動作設定を行います。SetFeature リクエストで指定されたテストモードに対応するビットを設定し、ステータスステージ終了後に EnHS_Test ビットに"1"をセットすることにより、USB2.0 の規格で定義されたテストモードの動作を行うようにして下さい。

Bit7 EnHS_Test

このビットに"1"をセットすると、D_USB_Test レジスタの下位 4 ビットのいずれかのビットに"1"が設定されている場合、そのビットに対応するテストモードに入ります。テストモードを行う際には、D_NegoControl レジスタの DisBusDetect ビットを"1"にして USB のサスペンドとリセットの検出を行わないようにする必要があります。また、D_NegoControl レジスタの EnAutoNego ビットを"0"にクリアして、AutoNegotiation 機能を無効して下さい。

また、テストモードへの移行は、SetFeature リクエストにおけるステータスステージの終了後に行うように、ご注意ください。

Bit6-4 Reserved

Bit3 Test_SE0_NAK

このビットを"1"に設定し、EnHS_Test ビットに"1"をセットすることにより、Test_SE0_NAK テストモードに入ることができます。

Bit2 TEST_J

このビットを"1"に設定し、EnHS_Test ビットに"1"をセットすることにより、Test_J テストモードに入ることができます。なお、このテストモードでは、EnHS_Test ビットを"1"にセットする前に、XcvtControl レジスタの、TermSelect 及び XcvtSelect をスピードに従って設定し、また、OpMode を"10" (Disable Bitstuffing and NRZI encoding) にセットして下さい。

Bit1 TEST_K

このビットを"1"に設定し、EnHS_Test ビットに"1"をセットすることにより、Test_K テストモードに入ることができます。なお、このテストモードでは、EnHS_Test ビットを"1"にする前に、XcvtControl レジスタの、TermSelect 及び XcvtSelect をスピードに従って設定し、また、OpMode を"10" (Disable Bitstuffing and NRZI encoding) にセットして下さい。

Bit0 Test_Packet

このビットを"1"に設定し、EnHS_Test ビットに "1" をセットすることにより、Test_Packet テストモードに入ることができます。

このテストモードは EP0 以外の任意のエンドポイントで使用できますので、下記の設定を行って下さい。

- 1) エンドポイント EPx{x=a-e}の MaxPacketSize を 64 以上、転送方向を IN に設定し、EndpointNumber を"0xF"に設定して、使用可能として下さい。また、エンドポイント EPx{x=a-e}の FIFO を 64Byte 以上、割り当てて下さい。

- 2) エンドポイントの設定を、上記 EPx{x=a-e}の設定と重複しないようにして下さい。

または、~~EPx{x=a-e}Config.EnEndpointAREAx{x=1-5}Join_1.JoinEPxCHx{x=a-e}~~ビットをクリアして下さい。

- 3) EPx{x=a-e}の FIFO をクリアし、下記のテストパケット用のデータをこの FIFO に書き込んで下さい。

~~D_EPx{x=a-e}IntStat~~ レジスタの IN_TranErr ビットを"0"にクリアして下さい。

- 4) Test Packet の送信完了の毎に、IN_TranErr ステータスが"1"にセットされます。

パケット送信テストモード時に FIFO に書き込むデータは以下の 53 バイトです。

00h, 00h, 00h, 00h, 00h, 00h, 00h, 00h,
00h, AAh, AAh, AAh, AAh, AAh, AAh, AAh,
AAh, EEh, EEh, EEh, EEh, EEh, EEh, EEh,
EEh, FEh, FFh, FFh, FFh, FFh, FFh, FFh,
FFh, FFh, FFh, FFh, FFh, 7Fh, BFh, DFh,
EFh, F7h, FBh, FDh, FCh, 7Eh, BFh, DFh,
EFh, F7h, FBh, FDh, 7Eh

テストパケット送出時に、SIE が PID と CRC を付加しますので、FIFO に書き込むデータは、USB 規格 Rev.2.0 に記載されているテストパケットデータのうち、DATA0 PID の次のデータから、CRC16 以外のデータまでとなります。

7.5.30. 0D6h D_EPnControl (Device Endpoint Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D6h	D_EPnControl	W	7: AllForceNAK	0: Do nothing	1: Set All ForceNAK	XXh
			W	6: EPrForceSTALL	0: Do nothing	1: Set EP's ForceSTALL	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

エンドポイントの動作設定を行います。ライトオンリーのレジスタです。

Bit7 AllForceNAK

全てのエンドポイントの ForceNAK ビットを"1"にセットします。

Bit6 EPrForceSTALL

エンドポイント EPa,EPb,EPc,EPd,EPe の ForceSTALL ビットを"1"にセットします。

Bit5-0 Reserved

7. レジスタ

7.5.31. 0D8h D_BulkOnlyControl (Device BulkOnly Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D8h	D_BulkOnlyControl	R / W	7:AutoForceNAK_CBW	0: None	1: AutoForceNAK after CBW	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: GoCBW_Mode	0: None	1: Begin CBW Mode	
			R / W	1: GoCSW_Mode	0: None	1: Begin CSW Mode	
				0:	0:	1:	

バルクオンリーサポート機能を制御します。

- Bit7

AutoForceNAK_CBW

このビットを"1"にセットすると、CBW サポートによって CBW の受信する OUT トランザクションが完了すると、該当するエンドポイントの ForceNAK ビットを"1"にセットします。
- Bit6-3

Reserved
- Bit2

GoCBW_Mode

このビットを"1"にセットすると、該当するエンドポイントで CBW サポートを実行します。CBW サポートを実行するエンドポイントについては、BulkOnlyConfig レジスタの項を参照して下さい。
- Bit1

GoCSW_Mode

このビットを"1"にセットすると、該当するエンドポイントで CSW サポートを実行します。CSW サポートを実行するエンドポイントについては、BulkOnlyConfig レジスタの項を参照して下さい。
- Bit0

Reserved

7.5.32. 0D9h D_BulkOnlyConfig (Device BulkOnly Configuration)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0D9h	D_BulkOnlyConfig		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: EPeBulkOnly	0: None	1: Enable BulkOnly on EPe	
			R / W	3: EPdBulkOnly	0: None	1: Enable BulkOnly on EPd	
			R / W	2: EPcBulkOnly	0: None	1: Enable BulkOnly on EPc	
			R / W	1: EPbBulkOnly	0: None	1: Enable BulkOnly on EPb	
			R / W	0: EPaBulkOnly	0: None	1: Enable BulkOnly on EPa	

バルクオンリーサポート機能を有効にします。

Bit7-5 Reserved**Bit4 EPeBulkOnly**

このビットを"1"にセットすると、エンドポイント EPe でバルクオンリーサポート機能が有効になります。バルクオンリーサポートが有効にされると、エンドポイント EPe が OUT のエンドポイントである場合、BulkOnlyControl.GoCBW_Mode ビットをセットすることによって、CBW サポートを行います。また、エンドポイント EPe が IN のエンドポイントである場合、BulkOnlyControl.GoCSW_Mode ビットをセットすることによって、CSW サポートを行います。

同時に 2 つ以上の OUT のエンドポイントでバルクオンリーサポート機能を有効にしないで下さい。

Bit3 EPdBulkOnly

このビットを"1"にセットすると、エンドポイント EPd でバルクオンリーサポート機能が有効になります。バルクオンリーサポートが有効にされると、エンドポイント EPd が OUT のエンドポイントである場合、BulkOnlyControl.GoCBW_Mode ビットをセットすることによって、CBW サポートを行います。また、エンドポイント EPd が IN のエンドポイントである場合、BulkOnlyControl.GoCSW_Mode ビットをセットすることによって、CSW サポートを行います。

同時に 2 つ以上の OUT のエンドポイントでバルクオンリーサポート機能を有効にしないで下さい。

Bit2 EPcBulkOnly

このビットを"1"にセットすると、エンドポイント EPc でバルクオンリーサポート機能が有効になります。バルクオンリーサポートが有効にされると、エンドポイント EPc が OUT のエンドポイントである場合、BulkOnlyControl.GoCBW_Mode ビットをセットすることによって、CBW サポートを行います。また、エンドポイント EPc が IN のエンドポイントである場合、BulkOnlyControl.GoCSW_Mode ビットをセットすることによって、CSW サポートを行います。

同時に 2 つ以上の OUT のエンドポイントでバルクオンリーサポート機能を有効にしないで下さい。

Bit1 EPbBulkOnly

このビットを"1"にセットすると、エンドポイント EPb でバルクオンリーサポート機能が有効になります。バルクオンリーサポートが有効にされると、エンドポイント EPb が OUT のエンドポイントである場合、BulkOnlyControl.GoCBW_Mode ビットをセットすることによって、CBW サポートを行います。また、エンドポイント EPb が IN のエンドポイントである場合、BulkOnlyControl.GoCSW_Mode ビットをセットすることによって、CSW サポートを行います。

同時に 2 つ以上の OUT のエンドポイントでバルクオンリーサポート機能を有効にしないで下さい。

Bit0 EPaBulkOnly

このビットを"1"にセットすると、エンドポイント EPa でバルクオンリーサポート機能が有効になります。バルクオンリーサポートが有効にされると、エンドポイント EPa が OUT のエンドポイントである場合、BulkOnlyControl.GoCBW_Mode ビットをセットすることによって、CBW サポートを行います。また、エンドポイント EPa が IN のエンドポイントである場合、BulkOnlyControl.GoCSW_Mode ビットをセットすることによって、CSW サポートを行います。

同時に 2 つ以上の OUT のエンドポイントでバルクオンリーサポート機能を有効にしないで下さい。

7. レジスタ

- 7.5.33. 0E0h D_EP0SETUP_0 (Device EP0 SETUP 0)
- 7.5.34. 0E1h D_EP0SETUP_1 (Device EP0 SETUP 1)
- 7.5.35. 0E2h D_EP0SETUP_2 (Device EP0 SETUP 2)
- 7.5.36. 0E3h D_EP0SETUP_3 (Device EP0 SETUP 3)
- 7.5.37. 0E4h D_EP0SETUP_4 (Device EP0 SETUP 4)
- 7.5.38. 0E5h D_EP0SETUP_5 (Device EP0 SETUP 5)
- 7.5.39. 0E6h D_EP0SETUP_6 (Device EP0 SETUP 6)
- 7.5.40. 0E7h D_EP0SETUP_7 (Device EP0 SETUP 7)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	0E0h -0E7h	D_EP0SETUP_0 -D_EP0SETUP_7	R	7: EP0SETUP_n [7]	Endpoint 0 SETUP Data 0 -Endpoint 0 SETUP Data 7	00h
				6: EP0SETUP_n [6]		
				5: EP0SETUP_n [5]		
				4: EP0SETUP_n [4]		
				3: EP0SETUP_n [3]		
				2: EP0SETUP_n [2]		
				1: EP0SETUP_n [1]		
				0: EP0SETUP_n [0]		

エンドポイント EP0 のセットアップステージで受信した 8 バイトのデータが、EP0SETUP_0 から順に格納されます。

- EP0SETUP_0**
BmRequestType がセットされます。
- EP0SETUP_1**
BRequest がセットされます。
- EP0SETUP_2**
Wvalue の下位 8 ビットがセットされます。
- EP0SETUP_3**
Wvalue の上位 8 ビットがセットされます。
- EP0SETUP_4**
WIndex の下位 8 ビットがセットされます。
- EP0SETUP_5**
WIndex の上位 8 ビットがセットされます。
- EP0SETUP_6**
WLength の下位 8 ビットがセットされます。
- EP0SETUP_7**
WLength の上位 8 ビットがセットされます。

7.5.41. 0E8h D_USB_Address (Device USB Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0E8h	D_USB_Address		7: SetAddress	0: none	1: Set USB Address	00h
			R (W)	6: USB_Address [6]	USB Address		
				5: USB_Address [5]			
				4: USB_Address [4]			
				3: USB_Address [3]			
				2: USB_Address [2]			
				1: USB_Address [1]			
				0: USB_Address [0]			

AutoSetAddress 機能により、USB アドレスが設定されます。

SetAddress()リクエストを受信すると、AutoSetAddress 機能はそのコントロール転送を自動的行います。AutoSetAddress 機能は、SetAddress()リクエストに関わるコントロール転送のステータスステージが完了し、USB_Address をセットした後に、SetAddressCmp ステータスを発行します。

Bit7 SetAddress

SetAddress リクエストの受信時にセットすると、同リクエストのステータスステージが完了した時に、USB_Address が自動的にセットされます。自動アドレス設定モードが無効の場合に、このビットの設定が有効になります。

Bit6-0 USB_Address

USB アドレスが設定されます。

AutoSetAddress 機能によって自動的に書き込まれます。

また、書き込みが可能ですが、SetAddress()リクエストを受信すると、再度自動的に書き換えます。

7. レジスタ

7.5.42. 0EAh D_SETUP_Control(Device SETUP Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0EAh	D_SETUP_Control		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: ProtectEP0	0: None	1: Protect EP0	

コントロール転送関係の設定をします。

Bit7-1 **Reserved**

Bit0 **ProtectEP0**

コントロール転送のセットアップステージが終了し、
受信したデータが D_EP0SETUP_0～D_EP0SETUP_7 レジスタに格納されると、"1"にセットされます。
同時に D_EP0ControlIN,D_EP0ControlOUT レジスタの ForceSTALL ビットが"0"に、ForceNAK ビットが"1"に、ToggleStat ビットが"1"に、自動的に設定されます。
ProtectEP0 ビットは SETUP トランザクションが行われるとセットされます。従って、SetAddress()リクエストに対してもセットされます。
このビットが 1"にセットされていると、EP0 の ForceNAK ビット、ForceSTALL ビットの設定変更ができません。

7.5.43. 0EEh D_FrameNumber_H (Device FrameNumber High)

7.5.44. 0EFh D_FrameNumber_L (Device FrameNumber Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0EEh	D_FrameNumber_H	R	7: FnInvalid	0: Frame number is valid	1: Frame number is not valid	80h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R	2: FrameNumber [10]	Frame Number High		
				1: FrameNumber [9]			
				0: FrameNumber [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	0EFh	D_FrameNumber_L	R	7: FrameNumber [7]	Frame Number Low	00h
				6: FrameNumber [6]		
				5: FrameNumber [5]		
				4: FrameNumber [4]		
				3: FrameNumber [3]		
				2: FrameNumber [2]		
				1: FrameNumber [1]		
				0: FrameNumber [0]		

SOF トークンを受信する毎に更新される、USB のフレームナンバーが表示されます。フレームナンバーを取得する場合は、FrameNumber_H と FrameNumber_L レジスタを対でアクセスする必要があります。その際に FrameNumber_H レジスタを先にアクセスして下さい。

0EEh.Bit7 FnInvalid

受信した SOF パケットにエラーが発生した時に、このビットが "1" にセットされます。

0EEh.Bit6-3 Reserved**0EEh.Bit2-0, 0EFh.Bit7-0 FrameNumber [10:0]**

受信した SOF パケットの FrameNumber が表示されます。

7. レジスタ

7.5.45. 0F0h D_EP0MaxSize (Device EP0 Max Packet Size)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0F0h	D_EP0MaxSize		7:	0:	1:	40h
			R / W	6: EP0MaxSize [6]	Endpoint [0] Max Packet Size		
				5: EP0MaxSize [5]			
				4: EP0MaxSize [4]			
				3: EP0MaxSize [3]			
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

 エンドポイント EP0 の設定を行います。

Bit7 **Reserved**

Bit6-3 **EP0MaxSize [6:3]**

 エンドポイント EP0 の MaxPacketSize を設定します。
 このエンドポイントは、以下のサイズから任意のサイズを選択して使用可能です。
 FS 時 8, 16, 32, 64 バイト
 HS 時 64 バイト

Bit2-0 **Reserved**

7.5.46. 0F1h D_EP0Control (Device EP0 Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0F1h	D_EP0Control	R / W	7: INxOUT	0: OUT	1: IN	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				R / W	0: ReplyDescriptor	0: Do nothing	
						1: Reply Descriptor	

エンドポイント EP0 の設定を行います。

Bit7 INxOUT

エンドポイント EP0 の転送方向を設定します。

セットアップステージで受信したリクエストを判断して、このビットに値を設定して下さい。

データステージがある場合は、このビットにデータステージにおける転送方向をセットして下さい。セットアップステージが完了することにより、D_EP0ControlIN 及び D_EP0ControlOUT レジスタの ForceNAK ビットがセットされるので、データステージ及びステータスステージの実行時にクリアして下さい。

データステージが終了したら、ステータスステージの方向に合わせて、このビットを設定しなおして下さい。データステージの転送方向が IN の場合は、ステータスステージは OUT 方向となりますので、このビットに"0"を設定して下さい。また、データステージの転送方向が OUT、またはデータステージがない場合は、ステータスステージは IN 方向となりますので、エンドポイント EP0 の FIFO をクリアして、このビットに"1"を設定して下さい。

このビットの設定値と異なる方向の IN または OUT トランザクションに対しては、NAK 応答します。但し、そのトランザクション方向に対応する D_EP0ControlIN または D_EP0ControlOUT レジスタの ForceSTALL ビットがセットされていると STALL 応答します。

Bit6-1 Reserved**Bit0 ReplyDescriptor**

Descriptor 返信機能を実行します。

このビットが"1"にセットされると、エンドポイント EP0 の IN トランザクションに応答して、FIFO から Descriptor データを、MaxPacketSize 分返信します。Descriptor データは、D_DescAdrs_H,L レジスタの設定値のアドレスを先頭にする、D_DescSize_H,L レジスタの設定サイズのデータを指します。これらの設定値は、Descriptor 返信機能の実行中に更新されますので、ReplyDescriptor ビットをセットする毎に設定して下さい。

1つのトランザクション毎に、D_DescAdrs_H,L レジスタは、送信したデータ数だけインクリメントされ、また、D_DescSize_H,L レジスタは、送信したデータ数だけデクリメントされます。

D_DescSize_H,L の設定数のデータを送信して終了した場合、及び、IN トランザクション以外のトランザクションが行われた場合には、Descriptor 返信機能は終了し、ReplyDescriptor ビットは"0"にクリアされ、D_EP0IntStat レジスタの DescriptorCmp ビットと D_EP0IntStat レジスタの IN_TranACK ビットに"1"がセットされます。

さらに詳細な説明は、動作説明の章を参照して下さい。

7. レジスタ

7.5.47. 0F2h D_EP0ControlIN (Device EP0 Control IN)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0F2h	D_EP0ControlIN		7:	0:	1:	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable short Packet	
				5:	0:	1:	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EP0 の IN トランザクションに関する動作設定及び状態表示を行います。

Bit7 **Reserved**

Bit6 **EnShortPkt**

このビットを"1"にセットすることで、エンドポイント EP0 の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。MaxPacketSize のパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 **Reserved**

Bit4 **ToggleStat**

エンドポイント EP0 の、IN トランザクションのトグルシーケンスビットの状態を示します。

Bit3 **ToggleSet**

エンドポイント EP0 の、IN トランザクションのトグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 **ToggleClr**

エンドポイント EP0 の、IN トランザクションのトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 **ForceNAK**

このビットを"1"にセットすると、FIFO のデータ数に関わらずエンドポイント EP0 の IN トランザクションに対して NAK 応答します。

セットアップステージが完了することによって、MainIntStatUSB_DeviceIntStat レジスタの RcvEP0SETUP ビットに"1"がセットされると、このビットは"1"にセットされ、RcvEP0SETUP ビットが"1"である間、このビットは"0"にクリアできません。また、ショートパケットを送信した IN トランザクションが完了した時、このビットは"1"にセットされます。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 **ForceSTALL**

このビットを"1"にセットすると、エンドポイント EP0 の IN トランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

セットアップステージが完了することによって、USB_DeviceIntStat レジスタの RcvEP0SETUP ビットに"1"がセットされると、このビットは"0"にクリアされ、RcvEP0SETUP ビットが"1"である間は、このビットを"1"にセットできません。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7.5.48. 0F3h D_EP0ControlOUT (Device EP0 Control OUT)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0F3h	D_EP0ControlOUT	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
				6:	0:	1:	
				5:	0:	1	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EP0 の OUT トランザクションに関する動作設定及び状態表示を行います。

Bit7 AutoForceNAK

エンドポイント EP0 の OUT トランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6-5 Reserved**Bit4 ToggleStat**

エンドポイント EP0 の、OUT トランザクションのトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EP0 の、OUT トランザクションのトグルシーケンスビットを "1" にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EP0 の、OUT トランザクションのトグルシーケンスビットを "0" にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO の空き容量に関わらずエンドポイント EP0 の OUT トランザクションに対して NAK 応答します。セットアップステージが完了することによって **USB_DeviceIntStat** レジスタの RcvEP0SETUP ビットに"1"がセットされると、このビットは"1"にセットされ、RcvEP0SETUP ビットが"1"である間はこのビットを"0"にクリアすることはできません。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EP0 の OUT トランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

セットアップステージが完了することによって、**USB_DeviceIntStat** レジスタの RcvEP0SETUP ビットに"1"がセットされると、このビットは"0"にクリアされ、RcvEP0SETUP ビットが"1"である間はこのビットを"1"にセットすることはできません。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7. レジスタ

7.5.49. 0F8h D_EPaMaxSize_H (Device EPa Max Packet Size High)

7.5.50. 0F9h D_EPaMaxSize_L (Device EPa Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0F8h	D_EPaMaxSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: MaxSize[10]	Endpoint [a] Max Packet Size		
				1: MaxSize [9]			
				0: MaxSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	0F9h	D_EPaMaxSize_L	R / W	7: MaxSize [7]	Endpoint [a] Max Packet Size	00h
				6: MaxSize [6]		
				5: MaxSize [5]		
				4: MaxSize [4]		
				3: MaxSize [3]		
				2: MaxSize [2]		
				1: MaxSize [1]		
				0: MaxSize [0]		


MaxPacketSize を設定します。

0F8h.Bit7-3 Reserved

0F8h.Bit2-0, 0F9h.Bit7-0 EPaMaxSize [10:0]

 エンドポイント EPa の MaxPacketSize を設定します。
 このエンドポイントをバルク転送用として使用する場合には、
 FS 時 8, 16, 32, 64 バイト
 HS 時 512 バイト
 のいずれかに設定して下さい。
 このエンドポイントをインタラプト転送用として使用する場合は、
 FS 時 64 バイトまで
 HS 時 512 バイトまで
 の任意の転送数が設定可能です。
 このエンドポイントをアイソクロナス転送用として使用する場合は、
 FS 時 1～1023 バイトまで
 HS 時 1～1024 バイトまで
 の任意の転送数が設定可能です。

7.5.51. 0FAh D_EPaConfig (Device EPa Configuration)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0FAh	D_EPaConfig 	R / W	7: INxOUT	0: OUT	1: IN	00h
			R / W	6: IntEP_Mode	0: Normal Toggle (IN) 0: Bulk OUT (OUT)	1: Always Toggle (IN) 1: Interrupt OUT (OUT)	
			R / W	5: ISO	0: Not Isochronous	1: Isochronous	
				4:	0:	1:	
			R / W	3: EndpointNumber [3]	Endpoint Number		
				2: EndpointNumber [2]			
				1: EndpointNumber [1]			
				0: EndpointNumber [0]			

エンドポイント EPa の設定を行います。

EndpointNumber と INxOUT の組み合わせが、他のエンドポイントと重複しないように設定して下さい。

Bit7 INxOUT

エンドポイントの転送方向を設定します。

Bit6 IntEP_Mode

Interrupt 転送に関する設定を行います。

Bulk のエンドポイントでは、このビットに"1"を設定しないで下さい。

このビットの設定は、エンドポイントの方向 (IN/OUT) によって異なります (エンドポイントの方向は Bit7 "INxOUT" によって設定されます)。

IN 方向 (INxOUT = 1) の場合、トグルシーケンスビットの動作モードを設定します。トグルシーケンスの動作モードは、アプリケーションに依存します。Interrupt IN のエンドポイントに対し、どちらかの動作モードを選択して下さい。

0: Normal toggle — 通常のトグルシーケンスを行います。

1: Always toggle — トランザクション毎に常にトグルします。

このモードについては、USB2.0 規格書 5.7.5 項をご参照下さい。

OUT 方向 (INxOUT = 0) の場合、このエンドポイントにおいて PING フローコントロールを行うか否かを設定します。Interrupt OUT のエンドポイントでは、このビットを"1"にセットして下さい。

0: Bulk OUT — Bulk OUT のエンドポイントはこの設定にして下さい。

1: Interrupt OUT — Interrupt OUT のエンドポイントはこの設定にして下さい。

Bit5 ISO

アイソクロナス転送を行う際に"1"に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0"に設定してください。

Bit4 Reserved**Bit3-0 EndpointNumber**

0x1~0xF の任意のエンドポイントナンバーを設定します。

7. レジスタ

7.5.52. 0FCh D_EPaControl (Device EPa Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	0FCh	D_EPaControl	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable Short Packet	
			R / W	5: DisAF_NAK_Short	0: Auto Force NAK Short	1 Disable Auto Force	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EPa の動作設定を行います。

Bit7 AutoForceNAK

エンドポイント EPa のトランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6 EnShortPkt

このビットを"1"にセットすることで、エンドポイント EPa の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 DisAF_NAK_Short

Auto Force NAK Short (以下、AF_NAK_Short※) 機能の有効／無効を設定します。

※正常な OUT トランザクション完結時に受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを"1"にセットする。デフォルトの設定は AF_NAK_Short 機能が有効です。

このビットを"1"にセットすると、AF_NAK_Short 機能が無効になります。

AutoForceNAK ビットが"1"にセットされている場合は、AutoForceNAK ビットが優先されます。

Bit4 ToggleStat

エンドポイント EPa のトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EPa トグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EPa のトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO のデータ数または空き容量に関わらずエンドポイント EPa のトランザクションに対して NAK 応答します。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EPa のトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7.5.53. 100h D_EPbMaxSize_H (Device EPb Max Packet Size High)

7.5.54. 101h D_EPbMaxSize_L (Device EPb Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	100h	D_EPbMaxSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: MaxSize[10]	Endpoint [b] Max Packet Size		
				1: MaxSize [9]			
				0: MaxSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	101h	D_EPbMaxSize_L	R / W	7: MaxSize [7]	Endpoint [b] Max Packet Size	00h
				6: MaxSize [6]		
				5: MaxSize [5]		
				4: MaxSize [4]		
				3: MaxSize [3]		
				2: MaxSize [2]		
				1: MaxSize [1]		
				0: MaxSize [0]		

MaxPacketSize を設定します。

100h.Bit7-3

Reserved

~~404~~100h.Bit2-0, 101h.Bit7-0 EPbMaxSize [10:0]

エンドポイント EPb の MaxPacketSize を設定します。

このエンドポイントをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このエンドポイントをインタラプト転送用として使用する場合は、

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

このエンドポイントをアイソクロナス転送用として使用する場合は、

FS 時 1～1023 バイトまで

HS 時 1～1024 バイトまで

の任意の転送数が設定可能です。

7. レジスタ

7.5.55. 102h D_EPbConfig_0 (Devie EPb Configuration 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	102h	D_EPbConfig	R / W	7: INxOUT	0: OUT	1: IN	00h
			R / W	6: IntEP_Mode	0: Normal Toggle (IN) 0: Bulk OUT (OUT)	1: Always Toggle (IN) 1: Interrupt OUT (OUT)	
			R / W	5: ISO	0: Not Isochronous	1: Isochronous	
				4:	0:	1:	
			R / W	3: EndpointNumber [3]	Endpoint Number		
				2: EndpointNumber [2]			
				1: EndpointNumber [1]			
				0: EndpointNumber [0]			

エンドポイント EPb の設定を行います。
EndpointNumber と INxOUT の組み合わせが、他のエンドポイントと重複しないように設定して下さい。

- Bit7 INxOUT**
エンドポイントの転送方向を設定します。
- Bit6 IntEP_Mode**
Interrupt 転送に関する設定を行います。
Bulk のエンドポイントでは、このビットに"1"を設定しないで下さい。
このビットの設定は、エンドポイントの方向 (IN/OUT) によって異なります (エンドポイントの方向は Bit7 "INxOUT" によって設定されます)。
IN 方向 (INxOUT = 1) の場合、トグルシーケンスビットの動作モードを設定します。トグルシーケンスの動作モードは、アプリケーションに依存します。Interrupt IN のエンドポイントに対し、どちらかの動作モードを選択して下さい。
0: Normal toggle — 通常のトグルシーケンスを行います。
1: Always toggle — トランザクション毎に常にトグルします。
このモードについては、USB2.0 規格書 5.7.5 項をご参照下さい。
OUT 方向 (INxOUT = 0) の場合、このエンドポイントにおいて PING フローコントロールを行うか否かを設定します。Interrupt OUT のエンドポイントでは、このビットを"1"にセットして下さい。
0: Bulk OUT — Bulk OUT のエンドポイントはこの設定にして下さい。
1: Interrupt OUT — Interrupt OUT のエンドポイントはこの設定にして下さい。
- Bit5 ISO**
アイソクロナス転送を行う際に"1"に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0"に設定してください。
- Bit4 Reserved**
- Bit3-0 EndpointNumber**
0x1~0xF の任意のエンドポイントナンバーを設定します。

7.5.56. 104h D_EPbControl (Device EPb Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	104h	D_EPbControl	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable Short Packet	
			R / W	5: DisAF_NAK_Short	0: Auto Force NAK Short	1 Disable Auto Force	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EPb の動作設定を行います。

Bit7 AutoForceNAK

エンドポイント EPb のトランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6 EnShortPkt

このビットを"1"にセットすることで、エンドポイント EPb の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 DisAF_NAK_Short

Auto Force NAK Short (以下、AF_NAK_Short※) 機能の有効／無効を設定します。

※正常な OUT トランザクション完結時に受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを"1"にセットする。デフォルトの設定は AF_NAK_Short 機能が有効です。

このビットを"1"にセットすると、AF_NAK_Short 機能が無効になります。

AutoForceNAK ビットが"1"にセットされている場合は、AutoForceNAK ビットが優先されます。

Bit4 ToggleStat

エンドポイント EPb のトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EPb トグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EPb のトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO のデータ数または空き容量に関わらずエンドポイント EPb のトランザクションに対して NAK 応答します。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EPb のトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7. レジスタ

7.5.57. 108h D_EPcMaxSize_H (Device EPc Max Packet Size High)

7.5.58. 109h D_EPcMaxSize_L (Device EPc Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	108h	D_EPcMaxSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: MaxSize[10]	Endpoint [c] Max Packet Size		
				1: MaxSize [9]			
				0: MaxSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	109h	D_EPcMaxSize_L	R / W	7: MaxSize [7]	Endpoint [c] Max Packet Size	00h
				6: MaxSize [6]		
				5: MaxSize [5]		
				4: MaxSize [4]		
				3: MaxSize [3]		
				2: MaxSize [2]		
				1: MaxSize [1]		
				0: MaxSize [0]		

MaxPacketSize を設定します。

108h.Bit7-3 Reserved

108h.Bit2-0, 109h.Bit7-0 EPcMaxSize [10:0]

 エンドポイント EPc の MaxPacketSize を設定します。
 このエンドポイントをバルク転送用として使用する場合には、
 FS 時 8, 16, 32, 64 バイト
 HS 時 512 バイト
 のいずれかに設定して下さい。
 このエンドポイントをインタラプト転送用として使用する場合は、
 FS 時 64 バイトまで
 HS 時 512 バイトまで
 の任意の転送数が設定可能です。
 このエンドポイントをアイソクロナス転送用として使用する場合は、
 FS 時 1～1023 バイトまで
 HS 時 1～1024 バイトまで
 の任意の転送数が設定可能です。

7.5.59. 10Ah D_EPcConfig_0 (Device EPc Configuration 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	10Ah	D_EPcConfig🔗	R / W	7: INxOUT	0: OUT	1: IN	00h
			R / W	6: IntEP_Mode	0: Normal Toggle (IN) 0: Bulk OUT (OUT)	1: Always Toggle (IN) 1: Interrupt OUT (OUT)	
			R / W	5: ISO	0: Not Isochronous	1: Isochronous	
				4:	0:	1:	
			R / W	3: EndpointNumber [3]	Endpoint Number		
				2: EndpointNumber [2]			
				1: EndpointNumber [1]			
				0: EndpointNumber [0]			

エンドポイント EPc の設定を行います。

EndpointNumber と INxOUT の組み合わせが、他のエンドポイントと重複しないように設定して下さい。

Bit7 INxOUT

エンドポイントの転送方向を設定します。

Bit6 IntEP_Mode

Interrupt 転送に関する設定を行います。

Bulk のエンドポイントでは、このビットに"1"を設定しないで下さい。

このビットの設定は、エンドポイントの方向 (IN/OUT) によって異なります (エンドポイントの方向は Bit7 "INxOUT" によって設定されます)。

IN 方向 (INxOUT = 1) の場合、トグルシーケンスビットの動作モードを設定します。トグルシーケンスの動作モードは、アプリケーションに依存します。Interrupt IN のエンドポイントに対し、どちらかの動作モードを選択して下さい。

0: Normal toggle — 通常のトグルシーケンスを行います。

1: Always toggle — トランザクション毎に常にトグルします。

このモードについては、USB2.0 規格書 5.7.5 項をご参照下さい。

OUT 方向 (INxOUT = 0) の場合、このエンドポイントにおいて PING フローコントロールを行うか否かを設定します。Interrupt OUT のエンドポイントでは、このビットを"1"にセットして下さい。

0: Bulk OUT — Bulk OUT のエンドポイントはこの設定にして下さい。

1: Interrupt OUT — Interrupt OUT のエンドポイントはこの設定にして下さい。

Bit5 ISO

アイソクロナス転送を行う際に"1"に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0"に設定してください。

Bit4 Reserved**Bit3-0 EndpointNumber**

0x1~0xF の任意のエンドポイントナンバーを設定します。

7. レジスタ

7.5.60. 10Ch D_EPcControl (Device EPc Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	10Ch	D_EPcControl	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable Short Packet	
			R / W	5: DisAF_NAK_Short	0: Auto Force NAK Short	1 Disable Auto Force	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EPc の動作設定を行います。

Bit7 AutoForceNAK

エンドポイント EPc のトランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6 EnShortPkt

このビットを"1"にセットすることで、エンドポイント EPc の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 DisAF_NAK_Short

Auto Force NAK Short (以下、AF_NAK_Short※) 機能の有効／無効を設定します。

※正常な OUT トランザクション完結時に受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを"1"にセットする。デフォルトの設定は AF_NAK_Short 機能が有効です。

このビットを"1"にセットすると、AF_NAK_Short 機能が無効になります。

AutoForceNAK ビットが"1"にセットされている場合は、AutoForceNAK ビットが優先されます。

Bit4 ToggleStat

エンドポイント EPc のトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EPc トグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EPc のトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO のデータ数または空き容量に関わらずエンドポイント EPc のトランザクションに対して NAK 応答します。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EPc のトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7.5.61. 110h D_EPdMaxSize_H (Device EPd Max Packet Size High)

7.5.62. 111h D_EPdMaxSize_L (Device EPd Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	110h	D_EPdMaxSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: MaxSize[10]	Endpoint [d] Max Packet Size		
				1: MaxSize [9]			
				0: MaxSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	111h	D_EPdMaxSize_L	R / W	7: MaxSize [7]	Endpoint [d] Max Packet Size	00h
				6: MaxSize [6]		
				5: MaxSize [5]		
				4: MaxSize [4]		
				3: MaxSize [3]		
				2: MaxSize [2]		
				1: MaxSize [1]		
				0: MaxSize [0]		

MaxPacketSize を設定します。

110h.Bit7-3

Reserved

~~110h~~110h.Bit2-0, 111h.Bit7-0 EPdMaxSize [10:0]

エンドポイント EPd の MaxPacketSize を設定します。

このエンドポイントをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このエンドポイントをインタラプト転送用として使用する場合は、

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

このエンドポイントをアイソクロナス転送用として使用する場合は、

FS 時 1～1023 バイトまで

HS 時 1～1024 バイトまで

の任意の転送数が設定可能です。

7. レジスタ

7.5.63. 112h D_EPdConfig_0 (Devie EPd Configuration 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	112h	D_EPdConfig🔗	R / W	7: INxOUT	0: OUT	1: IN	00h
			R / W	6: IntEP_Mode	0: Normal Toggle (IN) 0: Bulk OUT (OUT)	1: Always Toggle (IN) 1: Interrupt OUT (OUT)	
			R / W	5: ISO	0: Not Isochronous	1: Isochronous	
				4:	0:	1:	
			R / W	3: EndpointNumber [3]	Endpoint Number		
				2: EndpointNumber [2]			
				1: EndpointNumber [1]			
				0: EndpointNumber [0]			

エンドポイント EPd の設定を行います。

EndpointNumber と INxOUT の組み合わせが、他のエンドポイントと重複しないように設定して下さい。

Bit7 INxOUT

エンドポイントの転送方向を設定します。

Bit6 IntEP_Mode

Interrupt 転送に関する設定を行います。

Bulk のエンドポイントでは、このビットに"1"を設定しないで下さい。

このビットの設定は、エンドポイントの方向 (IN/OUT) によって異なります (エンドポイントの方向は Bit7 "INxOUT" によって設定されます)。

IN 方向 (INxOUT = 1) の場合、トグルシーケンスビットの動作モードを設定します。トグルシーケンスの動作モードは、アプリケーションに依存します。Interrupt IN のエンドポイントに対し、どちらかの動作モードを選択して下さい。

0: Normal toggle — 通常のトグルシーケンスを行います。

1: Always toggle — トランザクション毎に常にトグルします。

このモードについては、USB2.0 規格書 5.7.5 項をご参照下さい。

OUT 方向 (INxOUT = 0) の場合、このエンドポイントにおいて PING フローコントロールを行うか否かを設定します。Interrupt OUT のエンドポイントでは、このビットを"1"にセットして下さい。

0: Bulk OUT — Bulk OUT のエンドポイントはこの設定にして下さい。

1: Interrupt OUT — Interrupt OUT のエンドポイントはこの設定にして下さい。

Bit5 ISO

アイソクロナス転送を行う際に"1"に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0"に設定してください。

Bit4 Reserved

Bit3-0 EndpointNumber

0x1~0xF の任意のエンドポイントナンバーを設定します。

7.5.64. 114h D_EPdControl (Device EPd Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	114h	D_EPdControl	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable Short Packet	
			R / W	5: DisAF_NAK_Short	0: Auto Force NAK Short	1 Disable Auto Force	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EPd の動作設定を行います。

Bit7 AutoForceNAK

エンドポイント EPd のトランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6 EnShortPkt

このビットを"1"にセットすることで、エンドポイント EPd の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 DisAF_NAK_Short

Auto Force NAK Short (以下、AF_NAK_Short※) 機能の有効／無効を設定します。

※正常な OUT トランザクション完結時に受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを"1"にセットする。デフォルトの設定は AF_NAK_Short 機能が有効です。

このビットを"1"にセットすると、AF_NAK_Short 機能が無効になります。

AutoForceNAK ビットが"1"にセットされている場合は、AutoForceNAK ビットが優先されます。

Bit4 ToggleStat

エンドポイント EPd のトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EPd トグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EPd のトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO のデータ数または空き容量に関わらずエンドポイント EPd のトランザクションに対して NAK 応答します。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EPd のトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7. レジスタ

- 7.5.65. 118h D_EPeMaxSize_H (Device EPe Max Packet Size High)
7.5.66. 119h D_EPeMaxSize_L (Device EPe Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	118h	D_EPeMaxSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: MaxSize[10]	Endpoint [e] Max Packet Size		
				1: MaxSize [9]			
				0: MaxSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	119h	D_EPeMaxSize_L	R / W	7: MaxSize [7]	Endpoint [e] Max Packet Size	00h
				6: MaxSize [6]		
				5: MaxSize [5]		
				4: MaxSize [4]		
				3: MaxSize [3]		
				2: MaxSize [2]		
				1: MaxSize [1]		
				0: MaxSize [0]		

MaxPacketSize を設定します。

118h.Bit7-3 Reserved

118h.Bit2-0, 119h.Bit7-0 EPeMaxSize [10:0]

 エンドポイント EPe の MaxPacketSize を設定します。
 このエンドポイントをバルク転送用として使用する場合には、
 FS 時 8, 16, 32, 64 バイト
 HS 時 512 バイト
 のいずれかに設定して下さい。
 このエンドポイントをインタラプト転送用として使用する場合は、
 FS 時 64 バイトまで
 HS 時 512 バイトまで
 の任意の転送数が設定可能です。
 このエンドポイントをアイソクロナス転送用として使用する場合は、
 FS 時 1～1023 バイトまで
 HS 時 1～1024 バイトまで
 の任意の転送数が設定可能です。

7.5.67. 11Ah D_EPeConfig_0 (Device EPe Configuration 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	11Ah	D_EPeConfig_0	R / W	7: INxOUT	0: OUT	1: IN
			R / W	6: IntEP_Mode	0: Normal Toggle (IN) 0: Bulk OUT (OUT)	1: Always Toggle (IN) 1: Interrupt OUT (OUT)
			R / W	5: ISO	0: Not Isochronous	1: Isochronous
				4:	0:	1:
			R / W	3: EndpointNumber [3]	Endpoint Number	
				2: EndpointNumber [2]		
				1: EndpointNumber [1]		
				0: EndpointNumber [0]		
						00h

エンドポイント EPe の設定を行います。

EndpointNumber と INxOUT の組み合わせが、他のエンドポイントと重複しないように設定して下さい。

Bit7 INxOUT

エンドポイントの転送方向を設定します。

Bit6 IntEP_Mode

Interrupt 転送に関する設定を行います。

Bulk のエンドポイントでは、このビットに"1"を設定しないで下さい。

このビットの設定は、エンドポイントの方向 (IN/OUT) によって異なります (エンドポイントの方向は Bit7 "INxOUT" によって設定されます)。

IN 方向 (INxOUT = 1) の場合、トグルシーケンスビットの動作モードを設定します。トグルシーケンスの動作モードは、アプリケーションに依存します。Interrupt IN のエンドポイントに対し、どちらかの動作モードを選択して下さい。

0: Normal toggle — 通常のトグルシーケンスを行います。

1: Always toggle — トランザクション毎に常にトグルします。

このモードについては、USB2.0 規格書 5.7.5 項をご参照下さい。

OUT 方向 (INxOUT = 0) の場合、このエンドポイントにおいて PING フローコントロールを行うか否かを設定します。Interrupt OUT のエンドポイントでは、このビットを"1"にセットして下さい。

0: Bulk OUT — Bulk OUT のエンドポイントはこの設定にして下さい。

1: Interrupt OUT — Interrupt OUT のエンドポイントはこの設定にして下さい。

Bit5 ISO

アイソクロナス転送を行う際に"1"に設定します。バルク転送、インタラプト転送を行うエンドポイントでは、"0"に設定してください。

Bit4 Reserved**Bit3-0 EndpointNumber**

0x1~0xF の任意のエンドポイントナンバーを設定します。

7. レジスタ

7.5.68. 11Ch D_EPeControl (Device EPc Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	11Ch	D_EPeControl	R / W	7: AutoForceNAK	0: Do nothing	1: Auto Force NAK	00h
			R / W	6: EnShortPkt	0: Do nothing	1: Enable Short Packet	
			R / W	5: DisAF_NAK_Short	0: Auto Force NAK Short	1 Disable Auto Force	
			R	4: ToggleStat	Toggle sequence bit		
			W	3: ToggleSet	0: Do nothing	1: Set Toggle sequence bit	
			W	2: ToggleClr	0: Do nothing	1: Clear Toggle sequence bit	
			R / W	1: ForceNAK	0: Do nothing	1: Force NAK	
			R / W	0: ForceSTALL	0: Do nothing	1: Force STALL	

エンドポイント EPe の動作設定を行います。

Bit7 AutoForceNAK

エンドポイント EPe のトランザクションが正常に完結すると、このレジスタの ForceNAK ビットを"1"にセットします。

Bit6 EnShortPkt

このビットを"1"にセットすることで、エンドポイント EPe の IN トランザクションに対して、MaxPacketSize に満たない FIFO 内のデータをショートパケットとして送信することができます。ショートパケットを送信した IN トランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合は、このビットはクリアされません。

FIFO 内にデータが無い場合にこのビットを"1"にセットすると、ホストからの IN トークンに対して Zero 長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当 FIFO にデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFO へのデータ書き込みは行わないで下さい。

Bit5 DisAF_NAK_Short

Auto Force NAK Short (以下、AF_NAK_Short※) 機能の有効／無効を設定します。

※正常な OUT トランザクション完結時に受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを"1"にセットする。デフォルトの設定は AF_NAK_Short 機能が有効です。

このビットを"1"にセットすると、AF_NAK_Short 機能が無効になります。

AutoForceNAK ビットが"1"にセットされている場合は、AutoForceNAK ビットが優先されます。

Bit4 ToggleStat

エンドポイント EPe のトグルシーケンスビットの状態を示します。

Bit3 ToggleSet

エンドポイント EPe トグルシーケンスビットを"1"にセットします。ToggleClr ビットと同時にセットした場合、ToggleClr ビットの機能が優先されます。

Bit2 ToggleClr

エンドポイント EPe のトグルシーケンスビットを"0"にクリアします。ToggleSet ビットと同時にセットした場合、このビットの機能が優先されます。

Bit1 ForceNAK

このビットを"1"にセットすると、FIFO のデータ数または空き容量に関わらずエンドポイント EPe のトランザクションに対して NAK 応答します。

このビットを"1"にセットする際に、既にトランザクションが実行中である場合においては、そのトランザクションが終了するまでビットはセットされず、終了と同時にこのビットは"1"にセットされます。トランザクションが実行中で無い場合においては、即座に"1"にセットされます。

Bit0 ForceSTALL

このビットを"1"にセットすると、エンドポイント EPe のトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合、トランザクション開始から一定時間後のこのビットの設定は、次のトランザクションから有効になります。

7.5.69. 120h D_DescAdrs_H (Device Descriptor Address High)

7.5.70. 121h D_DescAdrs_L (Device Descriptor Address Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	120h	D_DescAdrs_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
			R / W	4: DescAdrs[12]	Descriptor Address	00h
				3: DescAdrs [11]		
				2: DescAdrs [10]		
				1: DescAdrs [9]		
				0: DescAdrs [8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	121h	D_DescAdrs_L	R / W	7: DescAdrs [7]	Descriptor Address	00h
				6: DescAdrs [6]		
				5: DescAdrs [5]		
				4: DescAdrs [4]		
				3: DescAdrs [3]		
				2: DescAdrs [2]		
				1: DescAdrs [1]		
				0: DescAdrs [0]		

Descriptor Adrs を指定します。

120h.Bit7-5

Reserved

120h.Bit4-0, 121h.Bit7-0 DescAdrs [12:0]

Descriptor 返信機能における、Descriptor 返信動作開始時の FIFO の先頭アドレスを指定します。

Descriptor Address は、Descriptor 返信機能に対して FIFO 領域を割り当てるものではありません。Descriptor Address は、FIFO の領域設定に関わらず、0x0000 から 0x11FF(4.5kByte)までの FIFO の全領域を指定することが出来ます。

Descriptor 返信時には、エンドポイント EP0 における IN トランザクション完了毎に、送信データ数の分だけ DescAdrs は更新されます。Descriptor 返信機能については、D_EP0Control レジスタの ReplyDescriptor の項を参照して下さい。

Descriptor 返信機能用の FIFO 領域は、明示的には割り当てませんので、D_DescAdrs_H,L レジスタと D_DescSize_H,L レジスタの指定によって、他のエンドポイントの FIFO との重複を避けて下さい。~~エンドポイント EP0 の予約された領域の終了アドレス (0x040) から CBW 領域の先頭アドレス (0x190) までの間が適切です。CSW 領域の予約された終了アドレス (0x0030) から、AREA0 ~5 で確保する領域の先頭アドレスまでの間が適切です。~~

Desriptor Address を参照する場合は、D_DescAdrs_H,D_DescAdrs_L の順に読み出して下さい。

7. レジスタ

7.5.71. 122h D_DescSize_H (Device Descriptor Size High)
7.5.72. 123h D_DescSize_L (Device Descriptor Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	122h	D_DescSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: DescSize [9]	Descriptor Size		
				0: DescSize [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	123h	D_DescSize_L	R / W	7: DescSize [7]	DescriptorSize	00h
				6: DescSize [6]		
				5: DescSize [5]		
				4: DescSize [4]		
				3: DescSize [3]		
				2: DescSize [2]		
				1: DescSize [1]		
				0: DescSize [0]		

Descriptor Size を指定します。

122h.Bit7-2 Reserved

122h.Bit1-0, 123h.Bit7-0 DescSize [9:0]

Descriptor Size には、Descriptor 返信機能において、返信する総データ数を指定します。Descriptor 返信機能については、D_EP0Control レジスタの ReplyDescriptor ビットの項を参照して下さい。

Descriptor Size には、FIFO のサイズ及び領域設定に関わらず、0x000 から 0x3FF までの値を指定することが出来ます。Descriptor 返信時には、エンドポイント EP0 における IN トランザクション完了毎に、送信データ数の分だけ DescSize は更新されます。

Descriptor 返信機能用の FIFO 領域は、明示的には割り当てませんので、D_DescAdrs_H,L レジスタと D_DescSize_H,L レジスタの指定によって、他のエンドポイントの FIFO との重複を避けて下さい。~~エンドポイント EP0 の予約された領域の終了アドレス (0x040) から GBW 領域の先頭アドレス (0x190) までの間を使用するようにして下さい。CSW 領域の予約された終了アドレス (0x0030) から、AREA0～5 で確保する領域の先頭アドレスまでの間が適切です。~~

Desriptor Size を参照する場合は、D_DescSize_H, D_DescSize_L の順に読み出して下さい。

7.5.73. 126h D_EP_DMA_Ctrl (Device EP DMA Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Device	126h	D_EP_DMA_Ctrl	R	7: FIFO_Running	0: FIFO is not running 1: FIFO is running	00h
			R / W	6: AutoEnShort	0: Do nothing 1: Auto Enable Short Packet	
				5:	0: 1:	
				4:	0: 1:	
				3:	0: 1:	
				2:	0: 1:	
				1:	0: 1:	
				0:	0: 1:	

DMA 転送時の、FIFO の状態の表示及び設定を行います。

Bit7 FIFO_Running

DMA に接続されたエンドポイントの FIFO が動作中であることを示します。DMA を起動すると"1"にセットされ、DMA が終了した後、FIFO が空になると"0"にクリアされます。

Bit6 AutoEnShort

DMA の終了時に、マックスパケットサイズに満たないデータ数が FIFO に残る場合に、そのエンドポイントの EnShortPkt ビットを"1"にセットします。

DMA に接続されたエンドポイントが IN 方向である場合に有効です。

Bit5-0 Reserved

7. レジスタ

7.5.74. 128h D_EnEP_IN_H (Device Enable Endpoint-IN High)

7.5.75. 129h D_EnEP_IN_L (Device Enable Endpoint-IN Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	128h	D_EnEP_IN_H	R / W	7: EnEP15IN	0: Disable	1: Enable	00h
			R / W	6: EnEP14IN	0: Disable	1: Enable	
			R / W	5: EnEP13IN	0: Disable	1: Enable	
			R / W	4: EnEP12IN	0: Disable	1: Enable	
			R / W	3: EnEP11IN	0: Disable	1: Enable	
			R / W	2: EnEP10IN	0: Disable	1: Enable	
			R / W	1: EnEP9IN	0: Disable	1: Enable	
			R / W	0: EnEP8IN	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	129h	D_EnEP_IN_L	R / W	7: EnEP7IN	0: Disable	1: Enable	00h
			R / W	6: EnEP6IN	0: Disable	1: Enable	
			R / W	5: EnEP5IN	0: Disable	1: Enable	
			R / W	4: EnEP4IN	0: Disable	1: Enable	
			R / W	3: EnEP3IN	0: Disable	1: Enable	
			R / W	2: EnEP2IN	0: Disable	1: Enable	
			R / W	1: EnEP1IN	0: Disable	1: Enable	
				0:	0:	1:	

デバイス時に IN として有効にするエンドポイントを設定します。

D_EnEP_IN_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行 (IN トークンを受信) された場合、以下に示す応答を行います。

この際、IN トークンに対して行われる応答は、D_EnEP_IN_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストに対しゼロ長パケット応答し、"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。

7.5.76. 12Ah D_EnEP_OUT_H (Device Enable Endpoint-OUT High)

7.5.77. 12Bh D_EnEP_OUT_L (Device Enable Endpoint-OUT Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Ah	D_EnEP_OUT_H	R / W	7: EnEP15OUT	0: Disable	1: Enable	00h
			R / W	6: EnEP14OUT	0: Disable	1: Enable	
			R / W	5: EnEP13OUT	0: Disable	1: Enable	
			R / W	4: EnEP12OUT	0: Disable	1: Enable	
			R / W	3: EnEP11OUT	0: Disable	1: Enable	
			R / W	2: EnEP10OUT	0: Disable	1: Enable	
			R / W	1: EnEP9OUT	0: Disable	1: Enable	
			R / W	0: EnEP8OUT	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Bh	D_EnEP_OUT_L	R / W	7: EnEP7OUT	0: Disable	1: Enable	00h
			R / W	6: EnEP6OUT	0: Disable	1: Enable	
			R / W	5: EnEP5OUT	0: Disable	1: Enable	
			R / W	4: EnEP4OUT	0: Disable	1: Enable	
			R / W	3: EnEP3OUT	0: Disable	1: Enable	
			R / W	2: EnEP2OUT	0: Disable	1: Enable	
			R / W	1: EnEP1OUT	0: Disable	1: Enable	
				0:	0:	1:	

デバイス時に OUT として有効にするエンドポイントを設定します。

D_EnEP_OUT_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行(OUT トークンを受信)された場合、以下に示す応答を行い、該当するビットに"1"をセットします。

この際、OUT トークンに対して行われる応答は、D_EnEP_OUT_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストから送出されたデータを受け取らず且つハンドシェイクを応答しません。"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。デバイスが HS に設定され、ホストから PING トークンが発行された場合には、NAK 応答します。

本レジスタの該当ビットがセットされた場合には、D_EPx{x=0,a-e}関連レジスタを適切に設定し、AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットを用いてエンドポイントを FIFO 領域にジョインし、トランザクションを実行可能にしてください。

7. レジスタ

7.5.78. 12Ch D_EnEP_IN_ISO_H (Device Enable Endpoint-IN Isocronouse High)

7.5.79. 12Dh D_EnEP_IN_ISO_L (Device Enable Endpoint-IN Isocronouse Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Ch	D_EnEP_IN _ISO_H	R / W	7: EnEP15IN_ISO	0: Disable	1: Enable	00h
			R / W	6: EnEP14IN_ISO	0: Disable	1: Enable	
			R / W	5: EnEP13IN_ISO	0: Disable	1: Enable	
			R / W	4: EnEP12IN_ISO	0: Disable	1: Enable	
			R / W	3: EnEP11IN_ISO	0: Disable	1: Enable	
			R / W	2: EnEP10IN_ISO	0: Disable	1: Enable	
			R / W	1: EnEP9IN_ISO	0: Disable	1: Enable	
			R / W	0: EnEP8IN_ISO	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Dh	D_EnEP_IN _ISO_L	R / W	7: EnEP7IN_ISO	0: Disable	1: Enable	00h
			R / W	6: EnEP6IN_ISO	0: Disable	1: Enable	
			R / W	5: EnEP5IN_ISO	0: Disable	1: Enable	
			R / W	4: EnEP4IN_ISO	0: Disable	1: Enable	
			R / W	3: EnEP3IN_ISO	0: Disable	1: Enable	
			R / W	2: EnEP2IN_ISO	0: Disable	1: Enable	
			R / W	1: EnEP1IN_ISO	0: Disable	1: Enable	
				0:	0:	1:	

デバイス時に IN として有効にするエンドポイントを、ISO モードとして設定します。

D_EnEP_IN_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行 (IN トークンを受信) された場合、以下に示す応答を行います。

この際、IN トークンに対して行われる応答は、D_EnEP_IN_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストに対しゼロ長パケット応答し、"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。

7.5.80. 12Eh D_EnEP_OUT_ISO_H (Device Enable Endpoint-OUT Isocronouse High)

7.5.81. 12Fh D_EnEP_OUT_ISO_L (Device Enable Endpoint-OUT Isocronouse Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Eh	D_EnEP_OUT_ISO_H	R / W	7: EnEP15OUT_ISO	0: Disable	1: Enable	00h
			R / W	6: EnEP14OUT_ISO	0: Disable	1: Enable	
			R / W	5: EnEP13OUT_ISO	0: Disable	1: Enable	
			R / W	4: EnEP12OUT_ISO	0: Disable	1: Enable	
			R / W	3: EnEP11OUT_ISO	0: Disable	1: Enable	
			R / W	2: EnEP10OUT_ISO	0: Disable	1: Enable	
			R / W	1: EnEP9OUT_ISO	0: Disable	1: Enable	
			R / W	0: EnEP8OUT_ISO	0: Disable	1: Enable	

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	12Fh	D_EnEP_OUT_ISO_L	R / W	7: EnEP7OUT_ISO	0: Disable	1: Enable	00h
			R / W	6: EnEP6OUT_ISO	0: Disable	1: Enable	
			R / W	5: EnEP5OUT_ISO	0: Disable	1: Enable	
			R / W	4: EnEP4OUT_ISO	0: Disable	1: Enable	
			R / W	3: EnEP3OUT_ISO	0: Disable	1: Enable	
			R / W	2: EnEP2OUT_ISO	0: Disable	1: Enable	
			R / W	1: EnEP1OUT_ISO	0: Disable	1: Enable	
				0:	0:	1:	

デバイス時に OUT として有効にするエンドポイントを設定します。

D_EnEP_OUT_H,L にて有効にしたエンドポイントのうち、D_EPx{x=0,a-e} 関連レジスタに適切な設定が行われ、且つ AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットにてジョイン設定しているエンドポイントを除いたエンドポイントに対し、ホストからトランザクションが発行(OUT トークンを受信)された場合、以下に示す応答を行い、該当するビットに"1"をセットします。

この際、OUT トークンに対して行われる応答は、D_EnEP_OUT_ISO_H,L の設定によって選択され、該当するビットが"1"にセットされているエンドポイントの場合には、ホストから送出されたデータを受け取らず且つハンドシェイクを応答しません。"0"にクリアされているエンドポイントの場合には、ホストに対し NAK 応答します。デバイスが HS に設定され、ホストから PING トークンが発行された場合には、NAK 応答します。

本レジスタの該当ビットがセットされた場合には、D_EPx{x=0,a-e}関連レジスタを適切に設定し、AREAn{n=0-5}Join.JoinEPxCHx{x=0,a-e}ビットを用いてエンドポイントを FIFO 領域にジョインし、トランザクションを実行可能にしてください。

7. レジスタ

7.6. ホスト・レジスタ詳細説明

7.6.1. 140h H_SIE_IntStat_0 (Host SIE Interrupt Status 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	140h	H_SIE_IntStat_0		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R (W)	4: DetectCon	0: None	1: Detect Connect	
			R (W)	3: DetectDiscon	0: None	1: Detect Disconnect	
			R (W)	2: DetectRmtWkup	0: None	1: Detect Remote WakeUp	
			R (W)	1: DetectDevChirpOK	0: None	1: Detect Device Chirp OK	
			R (W)	0: DetectDevChirpNG	0: None	1: Detect Device Chirp NG	

ホスト SIE 関連の割り込みを表示します。

全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7-5 Reserved

Bit4 DetectCon

割り込み要因を直接指示します。

USB ケーブルの接続が検出されると"1" にセットされます。

Bit3 DetectDiscon

割り込み要因を直接指示します。

USB ケーブルの切断が検出されると"1" にセットされます。

H_NegoControl_1.PortSpeed=="HS"であり、かつ、H_NegoControl_0.HostState=="SUSPEND"の時は、本検出機能は使用できません。

Bit2 DetectRmtWkup

割り込み要因を直接指示します。

Suspend 状態で、デバイスからの Remote WakeUp 信号を検出すると"1" にセットされます。

Bit1 DetectDevChirpOK

割り込み要因を直接指示します。

デバイスからのチャープ信号が正常であった場合に"1"にセットされます。

Bit0 DetectDevChirpNG

割り込み要因を直接指示します。

デバイスからのチャープ信号が異常であった場合に"1"にセットされます。

同期ビット(Bit4～0)は、パワーマネージメントが ACTIVE ステートであっても、HostDeviceSel.HOSTxDEVICE ビットが"1"、すなわち HOST モードでなければ、読み出し、書き込み(割り込み要因クリア)ができません。したがって、この状態から移行する場合には、これらの割り込みステータスにより割り込み信号 XINT がアサートされないよう、F/W にて以下の処理を行って下さい。

＜ACTIVE で HOST モードから移行する時＞

- 1) 割り込みステータスを処理し、クリアする(H_SIE_IntStat_0.Bit4～0)
- 2) 割り込みステータスをディスエーブルにする(H_SIE_IntEnb_0.Bit4～0)

＜ACTIVE で HOST モードに移行する時＞

- 3) 割り込みステータスをクリアする(H_SIE_IntStat_0.Bit4～0)
- 4) 割り込みステータスをイネーブルにする(H_SIE_IntEnb_0.Bit4～0)

7.6.2. 141h H_SIE_IntStat_1 (SIE Host Interrupt Status 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	141h	H_SIE_IntStat_1		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1	
				4:	0:	1:	
			R (W)	3: DisabledCmp	0: None	1: Disabled Complete	
			R (W)	2: ResumeCmp	0: None	1: Resume Complete	
			R (W)	1: SuspendCmp	0: None	1: Suspend Complete	
			R (W)	0: ResetCmp	0: None	1: Reset Complete	

ホスト SIE 関連の割り込みを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7-4 Reserved**Bit3 DisabledCmp**

割り込み要因を直接指示します。

H_NegoControl_0.AutoMode[3:0]に GoDISABLED を設定してステート管理機能を実行させた場合に、DISABLED ステートへの遷移が完了した時に"1" にセットされます。

Bit2 ResumeCmp

割り込み要因を直接指示します。

H_NegoControl_0.AutoMode[3:0]に GoRESUME を設定してステート管理機能を実行させた場合に、レジュームが正常に完了した時に"1" にセットされます。

Bit1 SuspendCmp

割り込み要因を直接指示します。

H_NegoControl_0.AutoMode[3:0]に GoSUSPEND を設定してステート管理機能を実行させた場合に、サスペンドへの遷移が完了した時に"1" にセットされます。

Bit0 ResetCmp

割り込み要因を直接指示します。

H_NegoControl_0.AutoMode[3:0]に GoRESET を設定してステート管理機能を実行させた場合に、USB リセットが正常に完了した時に"1" にセットされます。

同期ビット(Bit3~0)は、パワーマネジメントが ACTIVE ステートであっても、HostDeviceSel.HOSTxDEVICE ビットが"1"、すなわち HOST モードでなければ、読み出し、書き込み(割り込み要因クリア)が出来ません。

従って、この状態から以降する場合には、これらの割り込みステータスにより割り込み信号 XINT がアサートされないよう、F/W にて、以下の処理を行って下さい。

<ACTIVE で HOST モードから移行するとき>

- 1) 割り込みステータスを処理し、クリアする(H_SIE_IntStat_1.Bit3~0)
- 2) 割り込みステータスをディスエーブルにする(H_SIE_IntEnb_1.Bit3~0)

<ACTIVE で HOST モードに移行するとき>

- 3) 割り込みステータスをクリアする(H_SIE_IntStat_1.Bit3~0)
- 4) 割り込みステータスをイネーブルにする(H_SIE_IntEnb_1.Bit3~0)

7. レジスタ

7.6.3. 143h H_FrameIntStat (Host Frame Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	143h	H_FrameIntStat		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R (W)	2: PortErr	0: None	1: Port Error	
			R (W)	1: FrameNumOver	0: None	1: Frame Number Over	
			R (W)	0: SOF	0: None	1: SOF	

ホストのフレーム関連の割り込みを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

Bit7-3 **Reserved**

Bit2 **PortErr**
 割り込み要因を直接指示します。
 ホスト動作時にポートエラーが検出された場合に“1”にセットされます。

Bit2 **FrameNumOver**
 割り込み要因を直接指示します。
 フレームナンバーカウンタがオーバーフローした (FrameNumber_H レジスタの MSb(ビット 2)が“1”から“0”に変化した) 時に
 “1”にセットされます。FrameNumber_H、L レジスタではカウント桁数が不足する場合に、この割り込みをカウントすることによりそ
 れを補うことができます。

Bit0 **SOF**
 割り込み要因を直接指示します。
 転送スピードに応じて、下記の場合に“1”にセットされます。
 HS: ホストコントローラがマイクロフレーム 0 の SOF トークンを送信する時
 FS: ホストコントローラが SOF トークンを送信する時
 LS: ホストコントローラが keepalive を送信する時

7.6.4. 144h H_CHrIntStat (Host CHr Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	144h	H_CHrIntStat		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R	4: H_CHeIntStat	0: None	1: CHe Interrupt	
			R	3: H_CHdIntStat	0: None	1: CHd Interrupt	
			R	2: H_CHcIntStat	0: None	1: CHc Interrupt	
			R	1: H_CHbIntStat	0: None	1: CHb Interrupt	
			R	0: H_CHaIntStat	0: None	1: CHa Interrupt	

チャンネル CHr の割り込みを表示します。

Bit7-5 Reserved**Bit4 H_CHeIntStat**

割り込み要因を間接指示します。

H_CHeIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHeIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit3 H_CHdIntStat

割り込み要因を間接指示します。

H_CHdIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHdIntEnb レジスタのビットがイネーブルにされている時、"1"にセットされます。

Bit2 H_CHcIntStat

割り込み要因を間接指示します。

H_CHcIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHcIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit1 H_CHbIntStat

割り込み要因を間接指示します。

H_CHbIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHbIntEnb レジスタのビットがイネーブルにされている時、"1" にセットされます。

Bit0 H_CHaIntStat

割り込み要因を間接指示します。

H_CHaIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する H_CHaIntEnb レジスタのビットがイネーブルにされている時、"1"にセットされます。

7. レジスタ

7.6.5. 145h H_CH0IntStat (Host CH0 Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	145h	H_CH0IntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
			R (W)	1: CTL_SupportCmp	0: None	1: CTL_Support Cmplete	
			R (W)	0: CTL_SupportStop	0: None	1: CTL_Support Stop	

チャンネル CH0 の割り込みステータスを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位のパケット転送を正常に転送完了した時に、このビットが"1"にセットされます。
コントロール転送サポート機能動作時はセットアップステージ、データステージ、ステータスステージの各ステージが正常終了した場合にこのビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CH0Config_0.ACK_Cnt ビットに設定した回数の個別トランザクションを正常に転送完了した時に、このビットが"1"にセットされます。
コントロール転送サポート機能動作時はデータステージでのみこのビットは"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。
個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー（予期せぬ PID 含む）、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_CH0Config_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-2 Reserved**Bit1 CTL_SupportCmp**

割り込み要因を直接指示します。

コントロール転送サポート機能によるコントロール転送の全ステージが正常に完了した時に、このビットが"1"にセットされます。

また、H_CTL_SupportControl レジスタの CTL_SupportGo ビットをクリアすることによるコントロール転送サポート機能の停止処理において、ステータスステージが正常終了して停止処理が終了した場合、このビットが"1"にセットされます。

Bit0 CTL_SupportStop

割り込み要因を直接指示します。

コントロール転送サポート機能によるコントロール転送の途中で異常終了した時に、このビットが"1"にセットされます。

また、H_CTL_SupportControl レジスタの CTL_SupportGo ビットをクリアすることによるコントロール転送サポート機能の停止処理において、ステータスステージ以外のステージで停止処理が終了するか、ステータスステージでトランザクションがエラー終了した場合、このビットが"1"にセットされます。

7. レジスタ

7.6.6. 146h H_CHaIntStat (Host CHa Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	146h	H_CHaIntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
			R (W)	1: BO_SupportCmp	0: None	1: BO Support Complete	
			R (W)	0: BO_SupportStop	0: None	1: BO Support Stop	

チャンネル CHa の割り込みステータスを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位のパケット転送で正常に転送完了した時に、このビットが"1"にセットされます。
バルクオンリーサポート機能動作時は CBW トランスポート、データトランスポート、CSW トランスポートの各トランスポートが正常終了した場合にこのビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CHaConfig_0.ACK_Cnt ビットに設定した回数の個別トランザクションで正常に転送完了した時に、このビットが"1"にセットされます。
バルクオンリーサポート機能動作時はデータトランスポートでのみこのビットは"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー（予期せぬ PID 含む）、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_CHaConfig_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-2 Reserved**Bit1 BO_SupportCmp**

割り込み要因を直接指示します。

バルクオンリーサポート機能による転送で、ステータstransポートが正常に完了した時に、このビットが"1"にセットされます。

また、H_BO_SupportControl レジスタの BO_SupportGo ビットをクリアすることによるバルクオンリーサポート機能の停止処理において、CSW トランスポートが正常終了して停止処理が終了した場合、このビットが"1"にセットされます。

Bit0 BO_SupportStop

割り込み要因を直接指示します。

バルクオンリーサポート機能による転送で、いずれかの転送が異常終了した時に、このビットが"1"にセットされます。

また、H_BO_SupportControl レジスタの BO_SupportGo ビットをクリアすることによるバルクオンリーサポート機能の停止処理において、CSW トランスポート以外のトランスポートで停止処理が終了するか、CSW トランスポートでエラーを検出した場合、このビットが"1"にセットされます。

7. レジスタ

7.6.7. 147h H_CHbIntStat (Host CHb Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	147h	H_ChbIntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

チャンネル CHb の割り込みステータスを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位のパケット転送で正常に転送完了した時に、このビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CHbConfig_0.ACK_Cnt ビットに設定した回数の個別トランザクションで正常に転送完了した時に、このビットが"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー(予期せぬ PID 含む)、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_ChbConfig_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.8. 148h H_CHCIntStat (Host CHc Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	148h	H_CHCIntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

チャンネル CHc の割り込みステータスを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位のパケット転送で正常に転送完了した時に、このビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CHCConfig_0.ACK_Cnt ビットに設定した回数の個別トランザクションで正常に転送完了した時に、このビットが"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー(予期せぬ PID 含む)、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_CHcConfig_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.9. 149h H_CHdIntStat (Host CHd Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	149h	H_CHdIntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

チャンネル CHd の割り込みステータスを表示します。全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位のパケット転送で正常に転送完了した時に、このビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CHdConfig_0.ACK_Cnt ビットに設定した回数の個別トランザクションで正常に転送完了した時に、このビットが"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー(予期せぬ PID 含む)、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_ChdConfig_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.10. 14Ah H_CHeIntStat (Host CHe Interrupt Status)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	14Ah	H_CHeIntStat	R (W)	7: TotalSizeCmp	0: None	1: TotalSize Complete	00h
			R (W)	6: TranACK	0: None	1: Tran ACK	
			R (W)	5: TranErr	0: None	1: Tran Error	
			R (W)	4: ChangeCondition	0: None	1: Change Condition	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

チャンネル CHe の割り込みステータスを表示します。
全てのビットは"1"を書き込む事で割り込み要因をクリアできます。

- Bit7

TotalSizeCmp

割り込み要因を直接指示します。
IRP 単位の packets 転送で正常に転送完了した時に、このビットが"1"にセットされます。
- Bit6

TranACK

割り込み要因を直接指示します。
H_CHeConfig_0.ACK_Cnt ビットに設定した回数の個別トランザクションで正常に転送完了した時に、このビットが"1"にセットされます。
- Bit5

TranErr

割り込み要因を直接指示します。個別トランザクションがリトライエラー、すなわちタイムアウトエラー、CRC エラー、ビットスタッフィングエラー、PID エラー(予期せぬ PID 含む)、トグルミスマッチエラーのいずれかで完了した時に、このビットが"1"にセットされます。

Bit4 ChangeCondition

割り込み要因を直接指示します。

トランザクションにおいてコンディションコードのストール、データ・オーバーラン、データ・アンダーラン、3回連続のリトライエラーが発生した時に、このビットが"1"にセットされます。

また、F/W により H_CheConfig_0.TranGo ビットを引き上げた際もこのビットが"1"にセットされます。そのときの ConditionCode は最終トランザクションの結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくトグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.11. 150h H_SIE_IntEnb_0 (Host SIE Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	150h	H_SIE_IntEnb_0		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: EnDetectCon	0: Disable	1: Enable	
			R / W	3: EnDetectDiscon	0: Disable	1: Enable	
			R / W	2: EnDetectRmtWkup	0: Disable	1: Enable	
			R / W	1: EnDetectDevChirpOK	0: Disable	1: Enable	
			R / W	0: EnDetectDevChirpNG	0: Disable	1: Enable	

H_SIE_IntStat_0 レジスタの割り込み要因による、MainIntStat レジスタの H_SIE_IntStat_0 ビットのアサートを許可／禁止します。

7.6.12. 151h H_SIE_IntEnb_1(SIE Host Interrupt Enable 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	151h	H_SIE_IntEnb_1		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1	
				4:	0:	1: F	
			R / W	3: EnDisabledCmp	0: Disable	1: Enable	
			R / W	2: EnResumeCmp	0: Disable	1: Enable	
			R / W	1: EnSuspendCmp	0: Disable	1: Enable	
			R / W	0: EnResetCmp	0: Disable	1: Enable	

H_SIE_IntStat_1 レジスタの割り込み要因による、MainIntStat レジスタの H_SIE_IntStat_1 ビットのアサートを許可／禁止します。

7. レジスタ

7.6.13. 152h Reserved

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	152h	Reserved		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

7.6.14. 153h H_FrameIntEnb(Host Frame Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	153h	H_FrameIntEnb		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: EnPortErr	0: Disable	1: Enable	
			R / W	1: EnFrameNumOver	0: Disable	1: Enable	
			R / W	0: EnSOF	0: Disable	1: Enable	

H_FrameIntStat レジスタの割り込み要因による、MainIntStat レジスタの H_FrameIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.6.15. 154h H_CHrIntEnb(Host CHr Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	154h	H_CHrIntEnb		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: EnH_CHeIntStat	0: Disable	1: Enable	
			R / W	3: EnH_CHdIntStat	0: Disable	1: Enable	
			R / W	2: EnH_CHcIntStat	0: Disable	1: Enable	
			R / W	1: EnH_CHbIntStat	0: Disable	1: Enable	
			R / W	0: EnH_CHaIntStat	0: Disable	1: Enable	

H_CHrIntStat レジスタの割り込み要因による、MainIntStat レジスタの H_CHrIntStat ビットのアサートを許可／禁止します。

7.6.16. 155h H_CH0IntEnb(Host CH0 Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	155h	H_CH0IntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: EnCTL_SupportCmp	0: Disable	1: Enable	
			R / W	0: EnCTL_SupportStop	0: Disable	1: Enable	

H_CH0IntStat レジスタの割り込み要因による、MainIntStat レジスタの H_CH0IntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.6.17. 156h H_CHalntEnb (Host CHa Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	156h	H_CHalntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0: Disable	1:	
			R / W	1: EnBO_Support_Cmp	0: Disable	1: Enable	
			R / W	0: EnBO_Support_Stop	0: Disable	1: Enable	

H_CHalntStat レジスタの割り込み要因による、H_CHrlntStat レジスタの CHalntStat ビットのアサートを許可／禁止します。

7.6.18. 157h H_CHbIntEnb (Host CHb Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	157h	H_CHbIntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

H_CHbIntStat レジスタの割り込み要因による、H_CHbIntStat レジスタの CHbIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.6.19. 158h H_CHcIntEnb (Host CHc Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	158h	H_CHcIntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

H_CHcIntStat レジスタの割り込み要因による、H_CHrIntStat レジスタの CHcIntStat ビットのアサートを許可／禁止します。

7.6.20. 159h H_CHdIntEnb (Host CHd Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	159h	H_CHdIntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

H_CHdIntStat レジスタの割り込み要因による、H_CHrIntStat レジスタの CHdIntStat ビットのアサートを許可／禁止します。

7. レジスタ

7.6.21. 15Ah H_CHeIntEnb (Host CHe Interrupt Enable)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	15Ah	H_CHeIntEnb	R / W	7: EnTotalSizeCmp	0: Disable	1: Enable	00h
			R / W	6: EnTranACK	0: Disable	1: Enable	
			R / W	5: EnTranErr	0: Disable	1: Enable	
			R / W	4: EnChangeCondition	0: Disable	1: Enable	
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

H_CHeIntStat レジスタの割り込み要因による、H_CHrIntStat レジスタの CHeIntStat ビットのアサートを許可／禁止します。

7.6.22. 160h H_NegoControl_0 (Host NegoControl 0)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	160h	H_NegoControl_0	R / W	7: AutoModeCancel	0: None	1: Cancel
			R	6: HostState[2]	HostState[2:0]	
			R	5: HostState[1]		
			R	4: HostState[0]		
			W	3: AutoMode[3]	AutoMode[3:0]	
			W	2: AutoMode[2]		
			W	1: AutoMode[1]		
			W	0: AutoMode[0]		

ホストのネゴシエーション に関する動作設定を行います。

Bit7 AutoModeCancel

このビットを"1"にセットすると、ホストステート管理サポート機能の実行を停止して、そのステートに留まります (H_NegoControl_0. AutoMode および H_XcvrControl の設定を保持、信号ラインの状態を保持、内蔵タイマを停止、接続・切断・デバイス Chirp・リモートウェークアップの各検出機能を OFF します)。

- ・ホストステートを IDLE ステートに遷移させるとき、
 - ・デバイスからの Chirp に異常を検出しリセット完了ステータス (H_SIE_IntStat_1.ResetCmp) の発行を待たずにホストステートを DISABLED ステートに遷移させるとき、
 - ・H_USB_Test.EnHS_Test によりテストモードを実行するとき、
- 事前にこのビットによりホストステート管理サポート機能の実行を停止する必要があります。

このビットに"1"をセットすると、ホストステート管理サポート機能の停止処理を行い、停止処理が完了することで本ビットは"0"になります (60MHz クロックで 6 サイクル程度 必要)。上記の場合においては、本ビットが"0"になったことを確認してから、H_NegoControl_0. AutoMode の GoIDLE 設定または GoDISABLED 設定、あるいは H_USB_Test.EnHS_Test セットを行ってください。

Bit6-4 HostState[2:0]

ホストステート管理サポート機能実行時の現在のホストステートを示します。ステートは以下のいずれかの項目になります。

- 000: Reserved
- 001: IDLE
- 010: WAIT_CONNECT
- 011: DISABLED
- 100: USB_RESET
- 101: USB_OPERATIONAL
- 110: USB_SUSPEND
- 111: USB_RESUME

Bit3-0 AutoMode[3:0]

ホストステート管理サポート機能の実行で、遷移させるホストステートを設定します。

本レジスタはライトオンリーレジスタであり、以下のいずれかを設定します。

- 0001: GoIDLE (IDLE ステートに遷移させる)
- 0010: GoWAIT_CONNECT (WAIT_CONNECT ステートに遷移させる)
- 0011: GoDISABLED (DISABLED ステートに遷移させる)
- 0100: GoRESET (RESET ステートに遷移させる)
- 0101: GoOPERATIONAL (OPERATIONAL ステートに遷移させる)
- 0110: GoSUSPEND (SUSPEND ステートに遷移させる)
- 0111: GoRESUME (RESUME ステートに遷移させる)
- 1001: GoWAIT_CONNECTtoDIS (WAIT_CONNECT ステートから DISABLED ステートまで連続に遷移させる)
- 1010: GoWAIT_CONNECTtoOP (WAIT_CONNECT ステートから OPERATIONAL ステートまで連続に遷移させる)
- 1100: GoRESETtoOP (RESET ステートから OPERATIONAL ステートまで連続に遷移させる)
- 1110: GoSUSPENDtoOP (SUSPEND ステートから OPERATIONAL ステートまで連続に遷移させる)
- 1111: GoRESUMetoOP (RESUME ステートから OPERATIONAL ステートまで連続に遷移させる)
- 上記以外: Reserved

あるステートから IDLE ステートに遷移させる (GoIDLE を実行する) 場合には、以下の手順を実行してください。

- ・H_NegoControl_0 レジスタに 0x80 をライトします。
- ・H_NegoControl_0.AutoModeCancel ビットが 0 になることを確認します。

7. レジスタ

- H_NegoControl_0 レジスタに 0x01 をライトします。

7.6.23. 162h H_NegoControl_1 (Host NegoControl 1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	162h	H_NegoControl__1		7:	0:	1:	10h
				6:	0:	1:	
			R / W	5: PortSpeed[1]	PortSpeed[1:0]		
			R / W	4: PortSpeed[0]			
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: DisChirpFinish	0: Normal	1: DisableChirpFinish	
			R / W	0: RmtWkupDetEnb	0: Disable	1: Enable	

ホストのネゴシエーション に関する動作設定を行います。

(注)本レジスタの Reset 値は パワーマネージメントステートがACTIVE時に読める値です。それ以外のステートでは、Reset 値は 00h が読めます。

Bit7-6 **Reserved**

Bit5-4 **PortSpeed[1:0]**

転送スピードを表示・設定します。

00: High Speed

01: Full Speed

10: Reserved

11: Low Speed

Bit3-2 **Reserved**

Bit1 **DisChirpFinish**

デバイス Chirp が規定時間に完了しないときの動作モードを設定します。

0: デバイス Chirp 異常のステータスを上げた後、規定時間の USB Reset 送出により USB Reset を完了します。

1: デバイス Chirp 異常のステータスを上げた後、デバイス Chirp の完了を待ち、デバイス Chirp が完了するとホスト Chirp を

実行した後、USB Reset を完了します。

Bit0 **RmtWkupDetEnb**

リモートウェイクアップ検出機能の有効／無効を設定します。

7. レジスタ

7.6.24. 164h H_USB_Test (Host USB_Test)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	164h	H_USB_Test	R / W	7: EnHS_Test	0: Do nothing	1: EnHS_Test	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: Test_Force_Enable	0: Do nothing	1: Test_Force_Enable	
			R / W	3: Test_SE0_NAK	0: Do nothing	1: Test_SE0_NAK	
			R / W	2: Test_J	0: Do nothing	1: Test_J	
			R / W	1: Test_K	0: Do nothing	1: Test_K	
			R / W	0: Test_Packet	0: Do nothing	1: Test_Packett	

ホストの USB 2.0 のテストモードに関する動作設定を行います。

テストモードの実行は WAIT_CONNECT、DISABLED、SUSPEND のいずれかの状態で有効です。

これらのステートからテストモードに入る前には、各ステートの処理を停止する必要があります。テストモードに入る際には以下の手順を実行してください。

- ・全チャネルの TranGo ビット (H_CHx{x=0,a-e}Config_0.TranGo)、H_CTL_SupportControl.CTL_SupportGo、H_BO_SupportControl.BOSupportGo を"0"に設定します。
- ・H_NegoControl_0 レジスタに 0x80 をライトします。
- ・H_NegoControl_0.AutoModeCancel ビットが"0"になるのを確認します。
- ・本レジスタの下位 5 ビットのいずれかのビットと、EnHS_Test ビットとに、同時に"1"をセットします。

また、あるテストモードから他のテストモードに切り替えるとき、あるいはテストモードを終了させるときは、本レジスタに 0x00 をライトしてください。テストモードを終了し、ホストステートは IDLE となります。

Bit7 EnHS_Test

このビットと、H_USB_Test レジスタの下位 5 ビットのいずれかのビットとに、同時に"1"をセットすると、そのビットに対応するテストモードに入ります。

Bit6-5 Reserved

Bit4 Test_Force_Enable

このビットと、EnHS_Test ビットとに、同時に"1"をセットすることにより、TestForceEnable テストモードに入ることができます。このテストモードでは、ホストポートは HS モードにて SOF を送出し、切断検出が可能となります。

Bit3 Test_SE0_NAK

このビットと、EnHS_Test ビットとに、同時に"1"をセットすることにより、Test_SE0_NAK テストモードに入ることができます。このテストモードでは、ホストポートは HS モードにて受信状態となります。

Bit2 TEST_J

このビットと、EnHS_Test ビットとに、同時に"1"をセットすることにより、Test_J テストモードに入ることができます。このテストモードでは、ホストポートは HS モードにて"J"を送出します。

Bit1 TEST_K

このビットと、EnHS_Test ビットとに、同時に"1"をセットすることにより、Test_K テストモードに入ることができます。このテストモードでは、ホストポートは HS モードにて"K"を送出します。

Bit0 Test_Packet

このビットと、EnHS_Test ビットとに、同時に"1"をセットすることにより、Test_Packet テストモードに入ることができます。このテストモードは CH0 のみで使用できます。テストモードに入る前に CH0 の FIFO 領域を 64 バイトに設定し、CH0 の FIFO をクリアし、下記のテストパケット用のデータをこの FIFO に書き込んで下さい。それ以外は CH0 に関する設定は必要ありません。

パケット送信テストモード時に FIFO に書き込むデータは以下の 53 バイトです。

00h, 00h, 00h, 00h, 00h, 00h, 00h, 00h,
00h, AAh, AAh, AAh, AAh, AAh, AAh, AAh,
AAh, Eeh, Eeh, Eeh, Eeh, Eeh, Eeh, Eeh,
Eeh, FEh, FFh, FFh, FFh, FFh, FFh, FFh,
FFh, FFh, FFh, FFh, FFh, 7Fh, BFh, DFh,
EFh, F7h, FBh, FDh, FCh, 7Eh, BFh, DFh,
EFh, F7h, FBh, FDh, 7Eh

テストパケット送出時に、SIE が PID と CRC を付加しますので、FIFO に書き込むデータは、USB 規格 Rev.2.0 に記載されているテストパケットデータのうち、DATA0 PID の次のデータから、CRC16 以外のデータまでとなります。

- 7.6.25. 170h H_CH0SETUP_0 (Host CH0 SETUP 0)
 7.6.26. 171h H_CH0SETUP_1 (Host CH0 SETUP 1)
 7.6.27. 172h H_CH0SETUP_2 (Host CH0 SETUP 2)
 7.6.28. 173h H_CH0SETUP_3 (Host CH0 SETUP 3)
 7.6.29. 174h H_CH0SETUP_4 (Host CH0 SETUP 4)
 7.6.30. 175h H_CH0SETUP_5 (Host CH0 SETUP 5)
 7.6.31. 176h H_CH0SETUP_6 (Host CH0 SETUP 6)
 7.6.32. 177h H_CH0SETUP_7 (Host CH0 SETUP 7)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	170h -177h	H_CH0SETUP_0 -H_CH0SETUP_7	R/W	7: CH0SETUP_n [7]	Channel 0 SETUP Data 0 - Channel 0 SETUP Data 7	00h
				6: CH0SETUP_n [6]		
				5: CH0SETUP_n [5]		
				4: CH0SETUP_n [4]		
				3: CH0SETUP_n [3]		
				2: CH0SETUP_n [2]		
				1: CH0SETUP_n [1]		
				0: CH0SETUP_n [0]		

チャンネル CH0 のセットアップステージで送信する 8 バイトのデータを順にセットするレジスタです。

CH0SETUP_0

BmRequestType をセットします。

CH0SETUP_1

Brequest をセットします。

CH0SETUP_2

Wvalue の下位 8 ビットをセットします。

CH0SETUP_3

Wvalue の上位 8 ビットをセットします。

CH0SETUP_4

WIndex の下位 8 ビットをセットします。

CH0SETUP_5

WIndex の上位 8 ビットをセットします。

CH0SETUP_6

WLength の下位 8 ビットをセットします。

CH0SETUP_7

WLength の上位 8 ビットをセットします。

7. レジスタ

- 7.6.33. 17Eh H_FrameNumber_H (Host FrameNumber High)
- 7.6.34. 17Fh H_FrameNumber_L (Host FrameNumber Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	17Eh	H_FrameNumber_H		7:	0:	1:	07h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R/W	2: FrameNumber [10]	Frame Number High		
				1: FrameNumber [9]			
				0: FrameNumber [8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	17Fh	H_FrameNumber_L	R/W	7: FrameNumber [7]	Frame Number Low	FFh
				6: FrameNumber [6]		
				5: FrameNumber [5]		
				4: FrameNumber [4]		
				3: FrameNumber [3]		
				2: FrameNumber [2]		
				1: FrameNumber [1]		
				0: FrameNumber [0]		

SOF トークンを送信する毎に更新される、USB のフレームナンバーが表示されます。フレームナンバーを取得する場合は、H_FrameNumber_H と H_FrameNumber_L レジスタを対でアクセスする必要があります。その際に H_FrameNumber_H レジスタを先にアクセスして下さい。

(注)本レジスタの Reset 値は パワーマネージメントステートが ACTIVE 時に読める値です。それ以外のステートでは、Reset 値は 0000h が読めます。

17Eh.Bit7-3 Reserved

- 17Eh.Bit2-0, 17Fh.Bit7-0 **FrameNumber [10:0]**
- 送信する SOF パケットの FrameNumber が表示されます。

7.6.35. 180h H_CH0Config_0(Host Channel 0 Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	180h	H_CH0Config_0	R / W	7: ACK_Cnt[3]	Channel 0 ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel 0 Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CH0 の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CH0 で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CH0IntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

コントロール転送サポート機能実行中においてはデータステージのトランザクションのみカウントされ、セットアップステージ、ステータスステージのトランザクションはカウントされません。

Bit3-2 SpeedMode [1:0]

チャンネル CH0 で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にして下さい。

01: FS モード — FS デバイスの時はこの設定にして下さい。

10: Reserved — 本値の使用を禁止します。

11: LS モード — LS デバイスの時はこの設定にして下さい。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

Bit0 TranGo

このビットを"1"に設定するとチャンネル CH0 のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CH0 がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CH0TotalSize_H～L レジスタ で設定したバイト数を完了した時点で H_CH0IntStat レジスタの TotalSizeCmp ビットが "1" にセットされ、本ビットは自動的に"0"に戻ります。H_CH0IntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CH0ConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CH0IntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

コントロール転送サポート機能を使用する際はこのビットを設定する必要はありません。

7. レジスタ

7.6.36. 181h H_CH0Config_1(Host Channel 0 Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	181h	H_CH0Config_1	R / W	7: TID[1]	Channel 0 Transaction ID	00h
				6: TD[0]		
				5:	0:	
				4:	0:	
				3:	0:	
				2:	0:	
				1:	0:	
				0:	0:	

ホスト動作時にチャンネル CH0 の基本設定を行います。

Bit7-6 TID[1:0]

チャンネル CH0 で発行するトランザクションの種類 (SETUP、OUT、IN) を設定します。このビットの設定は CTL_SupportControl レジスタの CTL_SupporotGo ビットを "1" に設定してトランザクションを開始した時には無効になります。

- 00: SETUP — SETUP トークンを発行します。
- 01: OUT — OUT トークンを発行します。
- 10: IN — IN トークンを発行します。
- 11: Reserved — 本値の使用を禁止します。

コントロール転送サポート機能を使用する際はこのビットを設定する必要はありません。

Bit5-0 Reserved

7.6.37. 183h H_CH0MaxPktSize (Host Channel 0 Max Packet Size)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset	
Host	183h	H_CH0MaxPktSize		7:	0:	1:	00h	
			R / W	6: MaxPktSize[6]	Channel 0 Max Packet Size			
				5: MaxPktSize[5]				
				4: MaxPktSize[4]				
				3: MaxPktSize[3]				
				2: MaxPktSize[2]				
				1: MaxPktSize[1]				
				0: MaxPktSize[0]				

ホスト動作時にチャンネル CH0 の MaxPacketSize の設定を行います。

Bit7 **Reserved**

Bit6-0 **MaxPktSize[6:0]**

チャンネル CH0 の MaxPacketSize を設定します。

LS 時 8 バイト

FS 時 8, 16, 32, 64 バイト

HS 時 64 バイト

のいずれかに設定してください。

それ以外の値の設定は禁止します。

7. レジスタ

7.6.38. 186h H_CH0TotalSize_H (Host Channel 0 Total Size High)

7.6.39. 187h H_CH0TotalSize_L (Host Channel 0 Total Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	186h	H_CH0TotalSize_H	R / W	7: TotalSize[15]	Channel 0 Total Size High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	187h	H_CH0TotalSize_L	R / W	7: TotalSize[7]	Channel 0 Total Size Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CH0 で転送を行うデータの Total Size を設定します。

188h.Bit7-0, 189h.Bit7-0 TotalSize[15:0]

チャンネル CH0 における転送データの全バイト数(最大 65,535byte: 約 64Kbyte)を設定します。

H_CH0Config_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 15~8 (H_CH0TotalSize_H レジスタ)をリードすると bit 7~0 (H_CH0TotalSize_L レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CH0TotalSize_H、H_CH0TotalSize_L レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

SETUP トランザクションを行う場合、およびコントロール転送サポート機能を使用する場合は、このレジスタを設定する必要はありません。

7.6.40. 188h H_CH0HubAdrs (Host Channel 0 Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	188h	H_CH0HubAdrs	R / W	7: HubAdrs[3]	Channel 0 Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel 0 Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CH0 に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]

チャンネル CH0 で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved**Bit2-0 Port[2:0]**

チャンネル CH0 で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7. レジスタ

7.6.41. 189h H_CH0FuncAdrs (Host Channel 0 Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	189h	H_CH0FuncAdrs	R / W	7: FuncAdrs[3]	Channel 0 Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel 0 Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CH0 で転送を行うファクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]
チャンネル CH0 が管理するエンドポイントを含むファクションの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]
チャンネル CH0 で転送を行うエンドポイント番号を設定します。
0～15 までの任意の値が設定できます。

7.6.42. 18Bh H_CTL_SupportControl (Host ControlTransfer Support Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	18Bh	H_CTL_Support-Control		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: CTL_SupportState[1]	ControlTransfer Support State		
				4: CTL_SupportState[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: CTL_SupportGo	0: Stand by	1: Control Transfer Go	

ホスト動作時にチャンネル CH0 でコントロール転送を行う時の支援機能の設定を行います。

Bit7-6 Reserved**Bit5-4 CTL_SupportState[1:0]**

CTL_SupportGo ビットを"1"に設定し、コントロール支援機能を使用して転送を行っている時にどのステージを実行しているかを示します。

- 00: Idle — 転送未実行、または転送が正常に終了したことを示します。
- 01: Setup Stage — セットアップステージを実行していることを示します。
- 10: Data Stage — データステージを実行していることを示します。
- 11: Status Stage — ステータスステージを実行していることを示します。

Bit3-1 Reserved**Bit0 CTL_SupportGo**

このビットを"1"に設定するとチャンネル CH0 でコントロール転送支援機能により、セットアップステージ～(データステージ)～ステータスステージが自動的に行われます。

セットアップステージでは、SETUP トークンを自動的に送出し H_CH0SETUP_0～7 に設定したリクエストが送信されます。

次にデータステージがある場合は、指定された方向およびサイズでトランザクションが自動的に実行されます。

最後にステータスステージでは、データステージの有無および方向により、自動的に適当な PID のトークンを発行しゼロ長パケットの送受信が行われます。

以上のトランザクションおよびステージシーケンスが正常完了すると、H_CH0IntStat レジスタの CTL_SupportCmp ビットがセットされます。シーケンスの途中でパケットにエラーを検出した場合は、H_CH0IntStat レジスタの CTL_SupportStop ビットがセットされ、トランザクションは停止します。この時は、ConditionCode レジスタにその原因がセットされていますので参照して下さい。

コントロール転送が終了した場合(正常終了、エラー終了いずれの場合も)、このビットは自動的にクリアされます。

コントロール転送サポート機能を実行中にこのビットをクリアすることにより、コントロール転送を停止することが出来ます。コントロール転送がステータスステージで正常終了した場合は CTL_SupportCmp ビットがセットされます。これ以外の場合は CTL_SupportStop ビットがセットされます。コントロール転送が停止したステージは CTL_SupportState を参照して下さい。

7. レジスタ

7.6.43. 18Eh H_CH0ConditionCode (Host Channel 0 Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	18Eh	H_CH0ConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel 0 Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
	0:	0:	1:				

ホスト動作時にチャンネル CH0 の転送完了結果を示します。

Bit7 **Reserved**

Bit6-4 **ConditionCode[2:0]**

チャンネル CH0 で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NOERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 **Reserved**

7.6.44. 190h H_CHaConfig_0(Host Channel a Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	190h	H_CHaConfig_0	R / W	7: ACK_Cnt[3]	Channel [a] ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel [a] Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CHa の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CHa で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CHaIntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

バルクオンリーサポート機能実行中においてはデータトランスポートのトランザクションのみカウントされ、CBW トランスポート、CSW トランスポートのトランザクションはカウントされません。

Bit3-2 SpeedMode [1:0]

チャンネル CHa で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にして下さい。

01: FS モード — FS デバイスの時はこの設定にして下さい。

10-11: Reserved — 本値の使用を禁止します。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

バルクオンリーサポート機能を使用する際はこのビットを設定する必要はありません。

Bit0 TranGo

このビットを"1"に設定するとチャンネル CHa のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CHa がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CHaTotalSize_HH～LL レジスタ で設定したバイト数完了した時点で H_CHaIntStat レジスタの TranCmp ビットが"1" にセットされ、本ビットは自動的に"0"に戻ります。H_CHaIntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CHaConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CHaIntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

バルクオンリーサポート機能を使用する際はこのビットを設定する必要はありません。

7. レジスタ

7.6.45. 191h H_CHAConfig_1(Host Channel a Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	191h	H_CHAConfig_1	R / W	7: TID[1]	Channel a Transaction ID	00h
				6: TID[0]		
				5:	0: 1:	
				4:	0: 1:	
			R / W	3: AutoZerolen	0: Do nothing 1: Add Zerolen	
				2:	0: 1:	
				1:	0: 1:	
			R / W	0: TotalSizeFree	0: Do nothing 1: Total Size Free	

ホスト動作時にチャンネル CHa の基本設定を行います。

- Bit7-6

TID[1:0]

チャンネル CHa で発行するトランザクションの種類(OUT、IN)を設定します。このビットの設定は H_BO_SupportControl レジスタの BO_SupporotGo ビットを"1"に設定してトランザクションを開始した時には無効になります。

00: Reserved

01: OUT

10: IN

11: Reserved

— 本値の使用を禁止します。

— OUT トークンを発行します。

— IN トークンを発行します。

— 本値の使用を禁止します。

バルクオンリーサポート機能を使用する際はこのビットを設定する必要はありません。
- Bit5-4

Reserved
- Bit3

AutoZerolen

このビットに"1"を設定すると H_CHaTotalSizeHH~LL レジスタで設定したサイズの転送がちょうど Max Packet Size で完了した際に、ゼロ長パケットを最後に自動付与します。OUT 転送の場合のみこのビットは有効となります。
- Bit2-1

Reserved
- Bit0

TotalSizeFree

このビットに"1"を設定すると H_CHaTotalSizeHH~LL レジスタの設定値に関わりなく転送サイズが無限になります。

7.6.46. 192h H_CHaMaxPktSize_H (Host Channel a Max Packet Size High)

7.6.47. 193h H_CHaMaxPktSize_L (Host Channel a Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	192h	H_CHaMaxPktSize_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
				4:	0:	1:
				3:	0:	1:
				2:	0:	1:
			R / W	1: MaxPktSize[9]	Channel a Max Packet Size High	00h
				0: MaxPktSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	193h	H_CHaMaxPktSize_L	R / W	7: MaxPktSize[7]	Channel a Max Packet Size Low	00h
				6: MaxPktSize[6]		
				5: MaxPktSize[5]		
				4: MaxPktSize[4]		
				3: MaxPktSize[3]		
				2: MaxPktSize[2]		
				1: MaxPktSize[1]		
				0: MaxPktSize[0]		

ホスト動作時にチャンネル CHa の MaxPacketSize の設定を行います。

192h.Bit7-2 Reserved

リザーブ・ビットには"1"を書き込まないで下さい。

192h.Bit1-0, 193h.Bit7-0 MaxPktSize[9:0]

チャンネル CHa の MaxPacketSize を設定します。

FS 時 8, 16, 32, 64 バイト (バルクオンリーサポート機能を使用する場合は 32, 64 バイトのいずれか)

HS 時 512 バイト

のいずれかに設定してください。

それ以外の値の設定は禁止します。

7. レジスタ

7.6.48. 194h H_CHaTotalSize_HH (Host Channel a Total Size High-High)

7.6.49. 195h H_CHaTotalSize_HL (Host Channel a Total Size High-Low)

7.6.50. 196h H_CHaTotalSize_LH (Host Channel a Total Size Low-High)

7.6.51. 197h H_CHaTotalSize_LL (Host Channel a Total Size Low-Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	194h	H_CHaTotalSize_HH	R / W	7: TotalSize[31]	Channel a Total Size High-High	00h
				6: TotalSize[30]		
				5: TotalSize[29]		
				4: TotalSize[28]		
				3: TotalSize[27]		
				2: TotalSize[26]		
				1: TotalSize[25]		
				0: TotalSize[24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	195h	H_CHaTotalSize_HL	R / W	7: TotalSize[23]	Channel a Total Size High-Low	00h
				6: TotalSize[22]		
				5: TotalSize[21]		
				4: TotalSize[20]		
				3: TotalSize[19]		
				2: TotalSize[18]		
				1: TotalSize[17]		
				0: TotalSize[16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	196h	H_CHaTotalSize_LH	R / W	7: TotalSize[15]	Channel a Total Size Low-High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	197h	H_CHaTotalSize_LL	R / W	7: TotalSize[7]	Channel a Total Size Low-Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CHa で転送を行うデータの Total Size を設定します。

194h.Bit7-0, 195h.Bit7-0, 196h.Bit7-0, 197h.Bit7-0 TotalSize[31:0]

チャネル CHa における転送データの全バイト数(最大 4,294,967,295byte: 約 4Gbyte)を設定します。

H_CHaConfig_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 31～24 (H_CHaTotalSize_HH レジスタ)をリードすると bit 23～16 (H_CHaTotalSize_HL レジスタ)の値、bit 15～8 (H_CHaTotalSize_LH レジスタ)の値、bit 7～0 (H_CHaTotalSize_LL レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CHaTotalSize_HH、H_CHaTotalSize_HL、H_CHaTotalSize_LH、H_CHaTotalSize_LL レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

バルクオンリーサポート機能を使用する際はこのレジスタを設定する必要はありません。

7. レジスタ

7.6.52. 198h H_CHaHubAdrs (Host Channel a Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	198h	H_CHaHubAdrs	R / W	7: HubAdrs[3]	Channel a Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel a Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CHa に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]
チャンネル CHa で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved

Bit2-0 Port[2:0]
チャンネル CHa で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7.6.53. 199h H_CHaFuncAdrs (Host Channel a Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	199h	H_CHaFuncAdrs	R / W	7: FuncAdrs[3]	Channel a Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel a Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CHa で転送を行うファンクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]

チャンネル CHa が管理するエンドポイントを含むファンクションの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]

チャンネル CHa で転送を行うエンドポイント番号を設定します。
0～15 までの任意の値が設定できます。
バルクオンリーサポート機能を使用する際はこのビットを設定する必要はありません。

7. レジスタ

7.6.54. 19Ah H_CHaBO_SupporotCtl (Host CHa Bulk Only Transfer Supporot Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	19Ah	H_CHaBO_Support-Ctl		7:	0:	1:	00h
				6:	0:	1:	
			R / W	5: BO_TransportState[1]	Bulk Only Transfer Transport State		
				4: BO_TransportState[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: BO_SupportGo	0: Stand by	1: BO Transfer Go	

ホスト動作時にチャンネル CHa のバルクオンリーサポート機能の設定を行います。

Bit7-6 Reserved

Bit5-4 BO_TransportState[1:0]

BO_SupportGo ビットを”1”に設定し、バルクオンリーサポート機能を使用して転送を行っている時にどのトランスポートを実行しているかを示します。

- 00: Idle
- 転送未実行、または転送が正常に終了したことを示します。
- 01: CBW Transport
- CBW トランスポートを実行していることを示します。
- 10: Data Transport
- データトランスポートを実行していることを示します。
- 11: CSW Transport
- CSW トランスポートを実行していることを示します。

Bit3-1 Reserved

Bit0 BO_SupportGo

このビットを”1”に設定するとチャンネル CHa でバルクオンリーサポート機能により、CBW トランスポート～（データトランスポート）～CSW トランスポートが自動的に行われます。

CBW トランスポートでは、OUT トークンを自動的に送出し FIFO の CBW エリアに設定したデータが送信されます。

次にデータステージがある場合は、指定された方向およびサイズでデータトランスポートが自動的に実行されます。

最後に CSW トランスポートでは、IN トークンを自動的に送出し FIFO の CSW エリアにデータを受信します。

以上のトランスポートが正常完了すると、H_BO_SupportIntStat レジスタの Bo_SupportCmp ビットがセットされます。トランスポートの途中でパケットにエラーを検出した場合、および CSW の値が適切でない場合は H_CHaIntStat レジスタの BO_SupportStop ビットがセットされ、トランザクションは停止します。この時は、H_CHaConditionCode レジスタにその原因がセットされていますので参照して下さい。H_CHaIntStat レジスタの BO_SupportStop ビットが”1”に設定された時に ConditionCode の値が”000”である場合は、CSW の値が適切でないことを表しています。

一連のトランスポートが終了した場合(正常終了、エラー終了いずれの場合も)、このビットは自動的にクリアされます。

バルクオンリーサポート機能を実行中にこのビットをクリアすることにより、トランスポートの処理を停止することが出来ます。この場合、CSW トランスポートが正常終了した場合は BO_SupportCmp ビットが、それ以外は BO_SupportStop ビットがセットされます。停止したトランスポートは BO_TransportState にて確認してください。

7.6.55. 19Bh H_CHaBO_CSW_RcvSize(Host CHa Bulk Only Transfer Support CSW Receive Data Size)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	19Bh	H_CHaBO _CSW_RcvDataSize		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
			R	3: CSW_RcvDataSize[3]	CSW Resceive Data Size		
				2: CSW_RcvDataSize[2]			
				1: CSW_RcvDataSize[1]			
				0: CSW_RcvDataSize[0]			

ホスト動作時にチャンネル CHa のバルクオンリーサポート機能において、CSWトランスポート実行時の受信データ数を示します。

Bit7-4 Reserved

Bit3-0 CSW_RcvDataSize[3:0]

CSW の受信データ数を示します。

CSWトランスポートで13バイト未満のデータを受信した場合、このレジスタにより受信データ数を確認出来ます。

CSW トランスポートでハンドシェークを受信した場合、および CSW トランスポート以外の場合においては、このレジスタの値は意味を持ちません。

7. レジスタ

7.6.56. 19Ch H_CHaBO_OUT_EP_Ctl(Host CHa Bulk Only Transfer Support OUT Endpoint Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	19Ch	H_CHaBO _OUT_EP_Ctl		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: OUT_Toggle	0: Toggle0	1: Toggle1	
			R / W	3: OUT_EP_Number[3]	OUT EP Number		
				2: OUT_EP_Number[2]			
				1: OUT_EP_Number[1]			
				0: OUT_EP_Number[0]			

ホスト動作時にチャンネル CHa のバルクオンリーサポート機能の設定を行います。

Bit7-5 **Reserved**

Bit4 **OUT_Toggle**

H_CBW_Control レジスタの BO_SupportGo ビットを”1”に設定し、バルクオンリーサポート機能を使用して OUT 方向の転送 (CBWトランスポート、Data OUTトランスポート)を行う時のトグルシーケンスビットの初期値を設定します。

0: トグル 0

1: トグル 1

また、OUT 方向のトランスポートが正常終了した場合、トグルシーケンスビットをこのビットに自動的に保持します。

Bit3-0 **OUT_EP_Number[3:0]**

H_CBW_Control レジスタの BO_SupportGo ビットを”1”に設定し、バルクオンリーサポート機能を使用して OUT 方向の転送 (CBWトランスポート、Data OUTトランスポート)を行う時の転送先デバイスのエンドポイント番号を設定します。

0～15 までの任意の値が設定できます。

7.6.57. 19Dh H_CHaBO_IN_EP_Ctl(Host CHa Bulk Only Transfer Support IN Endpoint Control)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	19Dh	H_CHaBO_IN_EP_Ctl		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
			R / W	4: IN_Toggle	0: Toggle0	1: Toggle1	
			R / W	3: IN_EP_Number[3]	IN EP Number		
				2: IN_EP_Number[2]			
				1: IN_EP_Number[1]			
				0: IN_EP_Number[0]			

ホスト動作時にチャンネル CHa のバルクオンリーサポート機能の設定を行います。

Bit7-5 Reserved**Bit4 IN_Toggle**

H_CBW_Control レジスタの BO_SupportGo ビットを”1”に設定し、バルクオンリーサポート機能を使用して IN 方向の転送(CSW トランスポート、Data IN トランスポート)を行う時のトグルシーケンスビットの初期値を設定します。

0: トグル 0

1: トグル 1

また、IN 方向のトランスポートが正常終了した場合、トグルシーケンスビットをこのビットに自動的に保持します。

Bit3-0 IN_EP_Number[3:0]

H_CBW_Control レジスタの BO_SupportGo ビットを”1”に設定し、バルクオンリーサポート機能を使用して IN 方向の転送(CSW トランスポート、Data IN トランスポート)を行う時の転送先デバイスのエンドポイント番号を設定します。

0～15 までの任意の値が設定できます。

7. レジスタ

7.6.58. 19Eh H_CHaConditionCode (Host Channel a Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	19Eh	H_CHaConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel a Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

ホスト動作時にチャンネル CHa の転送完了結果を示します。

Bit7-4 ConditionCode[2:0]

チャンネル CHa で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none">最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理しますIRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します* データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none">最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none">デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT)エンドポイントからのデータパケットにCRCエラーが含まれているエンドポイントからのデータパケットにビット・スタッフィングエラーが含まれているエンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した受信PIDが無効またはPID値が定義されていないエンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7.6.59. 1A0h H_CHbConfig_0(Host Channel b Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	1A0h	CHbConfig_0	R / W	7: ACK_Cnt[3]	Channel b ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel b Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CHb の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CHb で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CHbIntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

Bit3-2 SpeedMode [1:0]

チャンネル CHb で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にして下さい。

01: FS モード — FS デバイスの時はこの設定にして下さい。

10: Reserved — 本値の使用を禁止します。

11: LS モード — LS デバイスの時はこの設定にして下さい。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

Bit0 TranGo

このビットを"1"に設定するとチャンネル CHb のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CHb がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CHbTotalSize_HH～LL レジスタ で設定したバイト数完了した時点で H_CHbIntStat レジスタの TranCmp ビットが"1"にセットされ、本ビットは自動的に"0"に戻ります。H_CHbIntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CHbConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CHbIntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

7. レジスタ

7.6.60. 1A1h H_CHbConfig_1(Host Channel b Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1A1h	H_CHbConfig_1	R / W	7: TID[1]	Channel b Transaction ID		00h
				6: TID[0]			
			R / W	5: TranType[1]	Channel b Transfer Type		
				4: TranType[0]			
			R / W	3: AutoZerolen	0: Do nothing	1: Add Zerolen	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: TotalSizeFree	0: Do nothing	1: Total Size Free	

ホスト動作時にチャンネル CHb の基本設定を行います。

Bit7-6 TID[1:0]

チャンネル CHb で発行するトランザクションの種類 (OUT、IN)を設定します。

- 00: Reserved
- 01: OUT
- 10: IN
- 11: Reserved
- 本値の使用を禁止します。
- OUTトークンを発行します。
- INトークンを発行します。
- 本値の使用を禁止します。

Bit5-4 TranType[1:0]

チャンネル CHb で行う転送の種別を設定します。

- 00: Reserved
- 01: Reserved
- 10: Bulk
- 11: Interrupt
- 本値の使用を禁止します。
- 本値の使用を禁止します。
- バルク転送を行います。
- インタラプト転送を行います。

Bit3 AutoZerolen

このビットに”1”を設定すると H_CHbTotalSizeHH～LL レジスタで設定したサイズの転送がちょうど Max Packet Size で完了した際に、ゼロ長パケットを最後に自動付与します。OUT 転送の場合のみこのビットは有効となります。

Bit2-1 Reserved

Bit0 TotalSizeFree

このビットに”1”を設定すると H_CHbTotalSizeHH～LL レジスタの設定値に関わりなく転送サイズが無限になります。

7.6.61. 1A2h H_CHbMaxPktSize_H (Host Channel b Max Packet Size High)

7.6.62. 1A3h H_CHbMaxPktSize_L (Host Channel b Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1A2h	H_CHbMaxPktSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: MaxPktSize[9]	Channel b Max Packet Size High		
				0: MaxPktSize[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A3h	H_CHbMaxPktSize_L	R / W	7: MaxPktSize[7]	Channel b Max Packet Size Low	00h
				6: MaxPktSize[6]		
				5: MaxPktSize[5]		
				4: MaxPktSize[4]		
				3: MaxPktSize[3]		
				2: MaxPktSize[2]		
				1: MaxPktSize[1]		
				0: MaxPktSize[0]		

ホスト動作時にチャンネル CHb の MaxPacketSize の設定を行います。

1A2h.Bit7-2 Reserved

リザーブ・ビットには"1"を書き込まないで下さい。

1A2h.Bit1-0, 1A3h.Bit7-0 MaxPktSize[9:0]

チャンネル CHb の MaxPacketSize を設定します。

このチャンネルをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このチャンネルをインタラプト転送用として使用する場合は、

LS 時 8 バイトまで

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

それ以外の値の設定は禁止します。

7. レジスタ

7.6.63. 1A4h H_CHbTotalSize_HH (Host Channel b Total Size High-High)

7.6.64. 1A5h H_CHbTotalSize_HL (Host Channel b Total Size High-Low)

7.6.65. 1A6h H_CHbTotalSize_LH (Host Channel b Total Size Low-High)

7.6.66. 1A7h H_CHbTotalSize_LL (Host Channel b Total Size Low-Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A4h	H_CHbTotalSize_HH	R / W	7: TotalSize[31]	Channel b Total Size High-High	00h
				6: TotalSize[30]		
				5: TotalSize[29]		
				4: TotalSize[28]		
				3: TotalSize[27]		
				2: TotalSize[26]		
				1: TotalSize[25]		
				0: TotalSize[24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A5h	H_CHbTotalSize_HL	R / W	7: TotalSize[23]	Channel b Total Size High-Low	00h
				6: TotalSize[22]		
				5: TotalSize[21]		
				4: TotalSize[20]		
				3: TotalSize[19]		
				2: TotalSize[18]		
				1: TotalSize[17]		
				0: TotalSize[16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A6h	H_CHbTotalSize_LH	R / W	7: TotalSize[15]	Channel b Total Size Low-High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A7h	H_CHbTotalSize_LL	R / W	7: TotalSize[7]	Channel b Total Size Low-Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CHb で転送を行うデータの Total Size を設定します。

1A4h.Bit7-0, 1A5h.Bit7-0, 1A6h.Bit7-0, 1A7h.Bit7-0 TotalSize[31:0]

チャンネル CHb における転送データの全バイト数(最大 4,294,967,295byte: 約 4Gbyte)を設定します。

H_CHbConfig_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 31～24 (H_CHbTotalSize_HH レジスタ)をリードすると bit 23～16 (H_CHbTotalSize_HL レジスタ)の値、bit 15～8 (H_CHbTotalSize_LH レジスタ)の値、bit 7～0 (H_CHbTotalSize_LL レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CHbTotalSize_HH、H_CHbTotalSize_HL、H_CHbTotalSize_LH、H_CHbTotalSize_LL レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

7. レジスタ

7.6.67. 1A8h H_CHbHubAdrs (Host Channel b Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1A8h	H_CHbHubAdrs	R / W	7: HubAdrs[3]	Channel b Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel b Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CHb に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]
チャンネル CHb で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved

Bit2-0 Port[2:0]
チャンネル CHb で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7.6.68. 1A9h H_CHbFuncAdrs (Host Channel b Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1A9h	H_CHbFuncAdrs	R / W	7: FuncAdrs[3]	Channel b Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel b Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CHb で転送を行うファンクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]

チャンネル CHb が管理するエンドポイントを含むファンクションの USB アドレスを設定します。

0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]

チャンネル CHb で転送を行うエンドポイント番号を設定します。

0～15 までの任意の値が設定できます。

7. レジスタ

7.6.69. 1AAh H_CHbInterval_H(Host Channel b Interval High)

7.6.70. 1ABh H_CHbInterval_L(Host Channel b Interval Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1AAh	H_CHbInterval_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: Interval[10]	Channel b Interrupt Transfer Interval High		
				1: Interval[9]			
				0: Interval[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1ABh	H_CHdInterval_L	R / W	7: Interval[7]	Channel b Interrupt Transfer Interval Low	00h
				6: Interval[6]		
				5: Interval[5]		
				4: Interval[4]		
				3: Interval[3]		
				2: Interval[2]		
				1: Interval[1]		
				0: Interval[0]		

ホスト動作時にチャンネル CHb でインタラプト転送を行う時のインターバル値を設定します。

1AAh.Bit7-3

Reserved

1AAh.Bit2-0, 1ABh.Bit7-0 **Interval[10:0]**

インタラプト転送のトークン発行間隔(周期)をこのレジスタにより指定します。下位 3 ビットはマイクロフレーム(125 μ s)単位で指定し、上位 7 ビットはフレーム(ms)単位で指定します。このレジスタの設定は H_CHbConfig1 レジスタの TranType ビットが"11" (インタラプト転送)の場合のみ有効です。また、このレジスタの"0d"の設定は無効となります。

トランザクションの再送時もこのレジスタの設定間隔で行います。

Interval[2:0] μ Frame — インターバルを 125 μ s 単位で指定します。1、2、4 マイクロフレームのいずれかに設定してください。それ以外の値の設定は禁止します。また、本ビットを設定する際は、Interval[10:3]はすべて"0"に設定してください。

Interval[10:3] Frame — インターバルを ms 単位で指定します。1~255 フレームの任意の値を設定できます。また、本ビットを設定する際は、Interval[2:0]はすべて"0"に設定してください。

7.6.71. 1AEh H_CHbConditionCode (Host Channel b Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1AEh	H_CHbConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel b Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

ホスト動作時にチャンネル CHb の転送完了結果を示します。

Bit7-4 ConditionCode[2:0]

チャンネル CHb で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します RP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.72. 1B0h H_CHcConfig_0(Host Channel c Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	1B0h	CHcConfig_0	R / W	7: ACK_Cnt[3]	Channel c ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel c Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CHc の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CHc で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CHcIntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

Bit3-2 SpeedMode [1:0]

チャンネル CHc で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にして下さい。

01: FS モード — FS デバイスの時はこの設定にして下さい。

10: Reserved — 本値の使用を禁止します。

11: LS モード — LS デバイスの時はこの設定にして下さい。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

Bit0 TranGo

このビットを"1"に設定するとチャンネル CHc のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CHc がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CHcTotalSize_HH～LL レジスタ で設定したバイト数完了した時点で H_CHcIntStat レジスタの TranCmp ビットが"1"にセットされ、本ビットは自動的に"0"に戻ります。H_CHcIntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CHcConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CHcIntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

7.6.73. 1B1h H_CHcConfig_1(Host Channel c Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	1B1h	H_CHcConfig_1	R / W	7: TID[1]	Channel c Transaction ID			00h
				6: TID[0]				
			R / W	5: TranType[1]	Channel c Transfer Type			
				4: TranType[0]				
			R / W	3: AutoZerolen	0: Do nothing	1: Add Zerolen		
				2:	0:	1:		
				1:	0:	1:		
			R / W	0: TotalSizeFree	0: Do nothing	1: Total Size Free		

ホスト動作時にチャンネル CHc の基本設定を行います。

Bit7-6 TID[1:0]

チャンネル CHb で発行するトランザクションの種類 (OUT、IN) を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: OUT — OUT トークンを発行します。
- 10: IN — IN トークンを発行します。
- 11: Reserved — 本値の使用を禁止します。

Bit5-4 TranType[1:0]

チャンネル CHb で行う転送の種別を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: Reserved — 本値の使用を禁止します。
- 10: Bulk — バルク転送を行います。
- 11: Interrupt — インタラプト転送を行います。

Bit3 AutoZerolen

このビットに"1"を設定すると H_CHcTotalSizeHH~LL レジスタで設定したサイズの転送がちょうど Max Packet Size で完了した際に、ゼロ長パケットを最後に自動付与します。OUT 転送の場合のみこのビットは有効となります。

Bit2-1 Reserved**Bit0 TotalSizeFree**

このビットに"1"を設定すると H_CHbTotalSizeHH~LL レジスタの設定値に関わりなく転送サイズが無限になります。

7. レジスタ

7.6.74. 1B2h H_CHcMaxPktSize_H (Host Channel c Max Packet Size High)

7.6.75. 1B3h H_CHcMaxPktSize_L (Host Channel c Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1B2h	H_CHcMaxPktSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: MaxPktSize[9]	Channel c Max Packet Size High		
				0: MaxPktSize[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B3h	H_CHcMaxPktSize_L	R / W	7: MaxPktSize[7]	Channel c Max Packet Size Low	00h
				6: MaxPktSize[6]		
				5: MaxPktSize[5]		
				4: MaxPktSize[4]		
				3: MaxPktSize[3]		
				2: MaxPktSize[2]		
				1: MaxPktSize[1]		
				0: MaxPktSize[0]		

ホスト動作時にチャンネル CHc の MaxPacketSize の設定を行います。

1B2h.Bit7-2 Reserved

リザーブ・ビットには"1"を書き込まないで下さい。

1B2h.Bit1-0, 1B3h.Bit7-0 MaxPktSize[9:0]

チャンネル CHc の MaxPacketSize を設定します。

このチャンネルをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このチャンネルをインタラプト転送用として使用する場合は、

LS 時 8 バイトまで

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

それ以外の値の設定は禁止します。

7.6.76. 1B4h H_CHcTotalSize_HH (Host Channel c Total Size High-High)

7.6.77. 1B5h H_CHcTotalSize_HL (Host Channel c Total Size High-Low)

7.6.78. 1B6h H_CHcTotalSize_LH (Host Channel c Total Size Low-High)

7.6.79. 1B7h H_CHcTotalSize_LL (Host Channel c Total Size Low-Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B4h	H_CHcTotalSize_HH	R / W	7: TotalSize[31]	Channel c Total Size High-High	00h
				6: TotalSize[30]		
				5: TotalSize[29]		
				4: TotalSize[28]		
				3: TotalSize[27]		
				2: TotalSize[26]		
				1: TotalSize[25]		
				0: TotalSize[24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B5h	H_CHcTotalSize_HL	R / W	7: TotalSize[23]	Channel c Total Size High-Low	00h
				6: TotalSize[22]		
				5: TotalSize[21]		
				4: TotalSize[20]		
				3: TotalSize[19]		
				2: TotalSize[18]		
				1: TotalSize[17]		
				0: TotalSize[16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B6h	H_CHcTotalSize_LH	R / W	7: TotalSize[15]	Channel c Total Size Low-High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B7h	H_CHcTotalSize_LL	R / W	7: TotalSize[7]	Channel c Total Size Low-Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CHc で転送を行うデータの Total Size を設定します。

7. レジスタ

1B4h.Bit7-0, 1B5h.Bit7-0, 1B6h.Bit7-0, 1B7h.Bit7-0 TotalSize[31:0]

チャンネル CHc における転送データの全バイト数(最大 4,294,967,295byte: 約 4Gbyte)を設定します。

H_CHcConfig_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 31～24 (H_CHcTotalSize_HH レジスタ)をリードすると bit 23～16 (H_CHcTotalSize_HL レジスタ)の値、bit 15～8 (H_CHcTotalSize_LH レジスタ)の値、bit 7～0 (H_CHcTotalSize_LL レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CHcTotalSize_HH、H_CHcTotalSize_HL、H_CHcTotalSize_LH、H_CHcTotalSize_LL レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

7.6.80. 1B8h H_CHcHubAdrs (Host Channel c Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1B8h	H_CHcHubAdrs	R / W	7: HubAdrs[3]	Channel c Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel c Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CHc に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]

チャンネル CHc で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved**Bit2-0 Port[2:0]**

チャンネル CHc で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7. レジスタ

7.6.81. 1B9h H_CHcFuncAdrs (Host Channel c Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1B9h	H_CHcFuncAdrs	R / W	7: FuncAdrs[3]	Channel c Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel c Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CHc で転送を行うファンクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]
チャンネル CHc が管理するエンドポイントを含むファンクションの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]
チャンネル CHc で転送を行うエンドポイント番号を設定します。
0～15 までの任意の値が設定できます。

7.6.82. 1BAh H_CHcInterval_H(Host Channel c Interval High)

7.6.83. 1BBh H_CHcInterval_L(Host Channel c Interval Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1BAh	H_CHcInterval_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: Interval[10]	Channel c Interrupt Transfer Interval High		
				1: Interval[9]			
				0: Interval[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1BBh	H_CHcInterval_L	R / W	7: Interval[7]	Channel c Interrupt Transfer Interval Low	00h
				6: Interval[6]		
				5: Interval[5]		
				4: Interval[4]		
				3: Interval[3]		
				2: Interval[2]		
				1: Interval[1]		
				0: Interval[0]		

ホスト動作時にチャンネル CHc でインタラプト転送を行う時のインターバル値を設定します。

1BAh.Bit7-3

Reserved

1BAh.Bit2-0, 1BBh.Bit7-0 Interval[10:0]

インタラプト転送のトークン発行間隔(周期)をこのレジスタにより指定します。下位 3 ビットはマイクロフレーム(125 μ s)単位で指定し、上位 7 ビットはフレーム(ms)単位で指定します。このレジスタの設定は H_CHcConfig1 レジスタの TranType ビットが"11"(インタラプト転送)の場合のみ有効です。また、このレジスタの"0d"の設定は無効となります。

トランザクションの再送時もこのレジスタの設定間隔で行います。

Interval[2:0] μ Frame — インターバルを 125 μ s 単位で指定します。1、2、4 マイクロフレームのいずれかに設定してください。それ以外の値の設定は禁止します。また、本ビットを設定する際は、Interval[10:3]はすべて"0"に設定してください。

Interval[10:3] Frame — インターバルを ms 単位で指定します。1~255 フレームの任意の値を設定できます。また、本ビットを設定する際は、Interval[2:0]はすべて"0"に設定してください。

7. レジスタ

7.6.84. 1BEh H_CHcConditionCode (Host Channel c Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1BEh	H_CHcConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel c Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

ホスト動作時にチャンネル CHc の転送完了結果を示します。

Bit7-4 ConditionCode[2:0]

チャンネル CHc で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7.6.85. 1C0h H_CHdConfig_0(Host Channel d Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	1C0h	CHdConfig_0	R / W	7: ACK_Cnt[3]	Channel d ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel d Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CHd の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CHd で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CHdIntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

Bit3-2 SpeedMode [1:0]

チャンネル CHd で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にしてください。

01: FS モード — FS デバイスの時はこの設定にしてください。

10: Reserved — 本値の使用を禁止します。

11: LS モード — LS デバイスの時はこの設定にしてください。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

Bit0 TranGo

このビットを"1"に設定するとチャンネル CHd のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CHd がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CHdTotalSize_HH～LL レジスタ で設定したバイト数完了した時点で H_CHdIntStat レジスタの TranCmp ビットが"1"にセットされ、本ビットは自動的に"0"に戻ります。H_CHdIntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CHdConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CHdIntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

7. レジスタ

7.6.86. 1C1h H_CHdConfig_1(Host Channel d Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1C1h	H_CHdConfig_1	R / W	7: TID[1]	Channel d Transaction ID		00h
				6: TID[0]			
			R / W	5: TranType[1]	Channel d Transfer Type		
				4: TranType[0]			
			R / W	3: AutoZerolen	0: Do nothing	1: Add Zerolen	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: TotalSizeFree	0: Do nothing	1: Total Size Free	

ホスト動作時にチャンネル CHd の基本設定を行います。

Bit7-6 TID[1:0]

チャンネル CHd で発行するトランザクションの種類 (OUT、IN) を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: OUT — OUT トークンを発行します。
- 10: IN — IN トークンを発行します。
- 11: Reserved — 本値の使用を禁止します。

Bit5-4 TranType[1:0]

チャンネル CHd で行う転送の種別を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: Reserved — 本値の使用を禁止します。
- 10: Bulk — バルク転送を行います。
- 11: Interrupt — インタラプト転送を行います。

Bit3 AutoZerolen

このビットに”1”を設定すると CHdTotalSizeHH～LL レジスタで設定したサイズの転送がちょうど Max Packet Size で完了した際に、ゼロ長/パケットを最後に自動付与します。OUT 転送の場合のみこのビットは有効となります。

Bit2-1 Reserved

Bit0 TotalSizeFree

このビットに”1”を設定すると H_CHdTotalSizeHH～LL レジスタの設定値に関わりなく転送サイズが無限になります。

7.6.87. 1C2h H_CHdMaxPktSize_H (Host Channel d Max Packet Size High)

7.6.88. 1C3h H_CHdMaxPktSize_L (Host Channel d Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1C2h	H_CHdMaxPktSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: MaxPktSize[9]	Channel d Max Packet Size High		
				0: MaxPktSize[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C3h	H_CHdMaxPktSize_L	R / W	7: MaxPktSize[7]	Channel d Max Packet Size Low	00h
				6: MaxPktSize[6]		
				5: MaxPktSize[5]		
				4: MaxPktSize[4]		
				3: MaxPktSize[3]		
				2: MaxPktSize[2]		
				1: MaxPktSize[1]		
				0: MaxPktSize[0]		

ホスト動作時にチャンネル CHd の MaxPacketSize の設定を行います。

1C2h.Bit7-2 Reserved

リザーブ・ビットには"1"を書き込まないで下さい。

1C2h.Bit1-0, 1C3h.Bit7-0 MaxPktSize[9:0]

チャンネル CHd の MaxPacketSize を設定します。

このチャンネルをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このチャンネルをインタラプト転送用として使用する場合は、

LS 時 8 バイトまで

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

それ以外の値の設定は禁止します。

7. レジスタ

7.6.89. 1C4h H_CHdTotalSize_HH (Host Channel d Total Size High-High)

7.6.90. 1C5h H_CHdTotalSize_HL (Host Channel d Total Size High-Low)

7.6.91. 1C6h H_CHdTotalSize_LH (Host Channel d Total Size Low-High)

7.6.92. 1C7h H_CHdTotalSize_LL (Host Channel d Total Size Low-Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C4h	H_CHdTotalSize_HH	R / W	7: TotalSize[31]	Channel d Total Size High-High	00h
				6: TotalSize[30]		
				5: TotalSize[29]		
				4: TotalSize[28]		
				3: TotalSize[27]		
				2: TotalSize[26]		
				1: TotalSize[25]		
				0: TotalSize[24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C5h	H_CHdTotalSize_HL	R / W	7: TotalSize[23]	Channel d Total Size High-Low	00h
				6: TotalSize[22]		
				5: TotalSize[21]		
				4: TotalSize[20]		
				3: TotalSize[19]		
				2: TotalSize[18]		
				1: TotalSize[17]		
				0: TotalSize[16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C6h	H_CHdTotalSize_LH	R / W	7: TotalSize[15]	Channel d Total Size Low-High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C7h	H_CHdTotalSize_LL	R / W	7: TotalSize[7]	Channel d Total Size Low-Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CHd で転送を行うデータの Total Size を設定します。

1C6h.Bit7-0, 1C7h.Bit7-0, 1C8h.Bit7-0, 1C9h.Bit7-0 TotalSize[31:0]

チャンネル CHd における転送データの全バイト数(最大 4,294,967,295byte: 約 4Gbyte)を設定します。

H_CHdConfig_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 31～24 (H_CHdTotalSize_HH レジスタ)をリードすると bit 23～16 (H_CHdTotalSize_HL レジスタ)の値、bit 15～8 (H_CHdTotalSize_LH レジスタ)の値、bit 7～0 (H_CHdTotalSize_LL レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CHdTotalSize_HH、H_CHdTotalSize_HL、H_CHdTotalSize_LH、H_CHdTotalSize_LL レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

7. レジスタ

7.6.93. 1C8h H_CHdHubAdrs (Host Channel d Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1C8h	H_CHdHubAdrs	R / W	7: HubAdrs[3]	Channel d Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel d Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CHd に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]
チャンネル CHd で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved

Bit2-0 Port[2:0]
チャンネル CHd で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7.6.94. 1C9h H_CHdFuncAdrs (Host Channel d Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1C9h	H_CHdFuncAdrs	R / W	7: FuncAdrs[3]	Channel d Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel d Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CHd で転送を行うファンクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]

チャンネル CHd が管理するエンドポイントを含むファンクションの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]

チャンネル CHd で転送を行うエンドポイント番号を設定します。
0～15 までの任意の値が設定できます。

7. レジスタ

7.6.95. 1CAh H_CHdInterval_H(Host Channel d Interval High)

7.6.96. 1CBh H_CHdInterval_L(Host Channel d Interval Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1CAh	H_CHdInterval_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
			R / W	2: Interval[10]	Channel d Interrupt Transfer Interval High		
				1: Interval[9]			
				0: Interval[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1CBh	H_CHdInterval_L	R / W	7: Interval[7]	Channel d Interrupt Transfer Interval Low	00h
				6: Interval[6]		
				5: Interval[5]		
				4: Interval[4]		
				3: Interval[3]		
				2: Interval[2]		
				1: Interval[1]		
				0: Interval[0]		

ホスト動作時にチャンネル CHd でインタラプト転送を行う時のインターバル値を設定します。

1CAh.Bit7-3

Reserved

1CAh.Bit2-0, 1CBh.Bit7-0 Interval[10:0]

インタラプト転送のトークン発行間隔(周期)をこのレジスタにより指定します。下位 3 ビットはマイクロフレーム(125 μ s)単位で指定し、上位 7 ビットはフレーム(ms)単位で指定します。このレジスタの設定は H_CHdConfig1 レジスタの TranType ビットが"11" (インタラプト転送)の場合のみ有効です。また、このレジスタの"0d"の設定は無効となります。

トランザクションの再送時もこのレジスタの設定間隔で行います。

Interval[2:0] μ Frame — インターバルを 125 μ s 単位で指定します。1、2、4 マイクロフレームのいずれかに設定してください。それ以外の値の設定は禁止します。また、本ビットを設定する際は、Interval[10:3]はすべて"0"に設定してください。

Interval[10:3] Frame — インターバルを ms 単位で指定します。1~255 フレームの任意の値を設定できます。また、本ビットを設定する際は、Interval[2:0]はすべて"0"に設定してください。

7.6.97. 1CEh H_CHdConditionCode (Host Channel d Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1CEh	H_CHdConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel d Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
	0:	0:	1:				

ホスト動作時にチャンネル CHd の転送完了結果を示します。

Bit7-4 ConditionCode[2:0]

チャンネル CHd で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

7. レジスタ

7.6.98. 1D0h H_CHeConfig_0(Host Channel e Configuration0)

Mode	Address	Register Name	R / W	Bit Symbol	Description			Reset
Host	1D0h	CHeConfig_0	R / W	7: ACK_Cnt[3]	Channel e ACK Count			00h
				6: ACK_Cnt[2]				
				5: ACK_Cnt[1]				
				4: ACK_Cnt[0]				
			R / W	3: SpeedMode[1]	Channel e Speed Mode			
				2: SpeedMode[0]				
			R / W	1: Toggle	0: Toggle0	1: Toggle1		
			R / W	0: TranGo	0: Stand by	1: Transaction Start		

ホスト動作時にチャンネル CHe の基本設定を行います。

Bit7-4 ACK_Cnt [3:0]

チャンネル CHe で行われる転送において、ACK をカウントする数を設定します。

設定された値だけ ACK をカウントすると、H_CHbIntStat レジスタの TranACK ビットがセットされます。

0000: 16 回の ACK をカウントします。

0001～1111: 1 回～15 回の ACK をカウントします。

Bit3-2 SpeedMode [1:0]

チャンネル CHe で転送を行うデバイスの動作モードを設定します。

00: HS モード — HS デバイスの時はこの設定にして下さい。

01: FS モード — FS デバイスの時はこの設定にして下さい。

10: Reserved — 本値の使用を禁止します。

11: LS モード — LS デバイスの時はこの設定にして下さい。

Bit1 Toggle

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0: トグル 0

1: トグル 1

Bit0 TranGo

このビットを"1"に設定するとチャンネル CHe のトランザクションを開始します。トランザクション開始後このビットを"0"にクリアするとトランザクション処理を停止させることができます。また、このビットはチャンネル CHe がトランザクション実行中か否かのステータスの意味も有します。

0: トランザクションを停止します(トランザクション停止中です)

1: トランザクションを開始します(トランザクション実行中です)

転送が H_CHeTotalSize_HH～LL レジスタ で設定したバイト数完了した時点で H_CHeIntStat レジスタの TranCmp ビットが"1" にセットされ、本ビットは自動的に"0"に戻ります。H_CHeIntStat レジスタの ChangeCondition ビットがセットされたような場合は"0"にリセットされます。この時は、H_CHeConditionCode レジスタにその原因がセットされていますので参照して下さい。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、H_CHeIntStat レジスタの ChangeCondition ビットがセットされます。トランザクションが停止されても、FIFO 中のデータ、(残りの)トータルサイズ、チャンネルに関する設定はそのままの状態となります。従って再びこのビットを"1"にセットすることによって、トランザクションを停止された時の続きから再開させることが可能です。(新たなトランザクションを行う場合は FIFO をクリアし、チャンネル情報の設定をし直してください。)

7.6.99. 1D1h H_CHeConfig_1(Host Channel e Configuration1)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset	
Host	1D1h	H_CHeConfig_1	R / W	7: TID[1]	Channel e Transaction ID		00h
				6: TID[0]			
			R / W	5: TranType[1]	Channel e Transfer Type		
				4: TranType[0]			
			R / W	3: AutoZerolen	0: Do nothing	1: Add Zerolen	
				2:	0:	1:	
				1:	0:	1:	
			R / W	0: TotalSizeFree	0: Do nothing	1: Total Size Free	

ホスト動作時にチャンネル CHe の基本設定を行います。

Bit7-6 TID[1:0]

チャンネル CHe で発行するトランザクションの種類 (OUT、IN) を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: OUT — OUT トークンを発行します。
- 10: IN — IN トークンを発行します。
- 11: Reserved — 本値の使用を禁止します。

Bit5-4 TranType[1:0]

チャンネル CHb で行う転送の種別を設定します。

- 00: Reserved — 本値の使用を禁止します。
- 01: Reserved — 本値の使用を禁止します。
- 10: Bulk — バルク転送を行います。
- 11: Interrupt — インタラプト転送を行います。

Bit3 AutoZerolen

このビットに"1"を設定すると CHeTotalSizeHH~LL レジスタで設定したサイズの転送がちょうど Max Packet Size で完了した際に、ゼロ長パケットを最後に自動付与します。OUT 転送の場合のみこのビットは有効となります。

Bit2-1 Reserved**Bit0 TotalSizeFree**

このビットに"1"を設定すると H_CHeTotalSizeHH~LL レジスタの設定値に関わりなく転送サイズが無限になります。

7. レジスタ

7.6.100. 1D2h H_CHeMaxPktSize_H (Host Channel e Max Packet Size High)

7.6.101. 1D3h H_CHeMaxPktSize_L (Host Channel e Max Packet Size Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1D2h	H_CHeMaxPktSize_H		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
				3:	0:	1:	
				2:	0:	1:	
			R / W	1: MaxPktSize[9]	Channel e Max Packet Size High		
				0: MaxPktSize[8]			

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D3h	H_CHeMaxPktSize_L	R / W	7: MaxPktSize[7]	Channel e Max Packet Size Low	00h
				6: MaxPktSize[6]		
				5: MaxPktSize[5]		
				4: MaxPktSize[4]		
				3: MaxPktSize[3]		
				2: MaxPktSize[2]		
				1: MaxPktSize[1]		
				0: MaxPktSize[0]		

ホスト動作時にチャンネル CHe の MaxPacketSize の設定を行います。

1D2h.Bit7-2 Reserved

リザーブ・ビットには"1"を書き込まないで下さい。

1D2h.Bit1-0, 1D3h.Bit7-0 MaxPktSize[9:0]

チャンネル CHe の MaxPacketSize を設定します。

このチャンネルをバルク転送用として使用する場合には、

FS 時 8, 16, 32, 64 バイト

HS 時 512 バイト

のいずれかに設定して下さい。

このチャンネルをインタラプト転送用として使用する場合は、

LS 時 8 バイトまで

FS 時 64 バイトまで

HS 時 512 バイトまで

の任意の転送数が設定可能です。

それ以外の値の設定は禁止します。

7.6.102. 1D4h H_CHeTotalSize_HH (Host Channel e Total Size High-High)

7.6.103. 1D5h H_CHeTotalSize_HL (Host Channel e Total Size High-Low)

7.6.104. 1D6h H_CHeTotalSize_LH (Host Channel e Total Size Low-High)

7.6.105. 1D7h H_CHeTotalSize_LL (Host Channel e Total Size Low-Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D4h	H_CHeTotalSize_HH	R / W	7: TotalSize[31]	Channel e Total Size High-High	00h
				6: TotalSize[30]		
				5: TotalSize[29]		
				4: TotalSize[28]		
				3: TotalSize[27]		
				2: TotalSize[26]		
				1: TotalSize[25]		
				0: TotalSize[24]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D5h	H_CHeTotalSize_HL	R / W	7: TotalSize[23]	Channel e Total Size High-Low	00h
				6: TotalSize[22]		
				5: TotalSize[21]		
				4: TotalSize[20]		
				3: TotalSize[19]		
				2: TotalSize[18]		
				1: TotalSize[17]		
				0: TotalSize[16]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D6h	H_CHeTotalSize_LH	R / W	7: TotalSize[15]	Channel e Total Size Low-High	00h
				6: TotalSize[14]		
				5: TotalSize[13]		
				4: TotalSize[12]		
				3: TotalSize[11]		
				2: TotalSize[10]		
				1: TotalSize[9]		
				0: TotalSize[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D7h	H_CHeTotalSize_LL	R / W	7: TotalSize[7]	Channel e Total Size Low-Low	00h
				6: TotalSize[6]		
				5: TotalSize[5]		
				4: TotalSize[4]		
				3: TotalSize[3]		
				2: TotalSize[2]		
				1: TotalSize[1]		
				0: TotalSize[0]		

ホスト動作時にチャンネル CHe で転送を行うデータの Total Size を設定します。

7. レジスタ

1D4h.Bit7-0, 1D5h.Bit7-0, 1D6h.Bit7-0, 1D7h.Bit7-0 TotalSize[31:0]

チャンネル CHe における転送データの全バイト数(最大 4,294,967,295byte: 約 4Gbyte)を設定します。

H_CHeConfig_0 レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残りの転送数を読み出すことができます。

bit 31～24 (H_CHeTotalSize_HH レジスタ)をリードすると bit 23～16 (H_CHeTotalSize_HL レジスタ)の値、bit 15～8 (H_CHeTotalSize_LH レジスタ)の値、bit 7～0 (H_CHeTotalSize_LL レジスタ)の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、H_CHeTotalSize_HH、H_CHeTotalSize_HL、H_CHeTotalSize_LH、H_CHeTotalSize_LL レジスタの順番にアクセスしてください。

また、TotalSize = 0 で OUT トランザクションを実行するとゼロ長パケットが送信されます。

7.6.106. 1D8h H_CHeHubAdrs (Host Channel e Hub Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1D8h	H_CHeHubAdrs	R / W	7: HubAdrs[3]	Channel e Hub Address		00h
				6: HubAdrs[2]			
				5: HubAdrs[1]			
				4: HubAdrs[0]			
				3:	0:	1:	
			R / W	2: Port[2]	Channel e Port Number		
				1: Port[1]			
				0: Port[0]			

ホスト動作時にチャンネル CHe に接続するハブの設定を行います。

Bit7 HubAdrs[3:0]

チャンネル CHe で転送を行うファンクションが接続されているハブの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3 Reserved**Bit2-0 Port[2:0]**

チャンネル CHe で転送を行うファンクションが接続されているハブのポートナンバーを設定します。
0～7 までの任意の値が設定できます。

7. レジスタ

7.6.107. 1D9h H_CHeFuncAdrs (Host Channel e Function Address)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1D9h	H_CHeFuncAdrs	R / W	7: FuncAdrs[3]	Channel e Function Address	00h
				6: FuncAdrs[2]		
				5: FuncAdrs[1]		
				4: FuncAdrs[0]		
			R / W	3: EP_Number[3]	Channel e Endpoint Number	
				2: EP_Number[2]		
				1: EP_Number[1]		
				0: EP_Number[0]		

ホスト動作時にチャンネル CHe で転送を行うファンクションのアドレス設定を行います。

Bit7-4 FuncAdrs[3:0]
チャンネル CHe が管理するエンドポイントを含むファンクションの USB アドレスを設定します。
0～15 までの任意の値が設定できます。

Bit3-0 EP_Number[3:0]
チャンネル CHe で転送を行うエンドポイント番号を設定します。
0～15 までの任意の値が設定できます。

7.6.108. 1DAh H_CHeInterval_H(Host Channel e Interval High)

7.6.109. 1DBh H_CHeInterval_L(Host Channel e Interval Low)

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1DAh	H_CHeInterval_H		7:	0:	1:
				6:	0:	1:
				5:	0:	1:
				4:	0:	1:
				3:	0:	1:
			R / W	2: Interval[10]	Channel e Interrupt Transfer Interval High	00h
				1: Interval[9]		
				0: Interval[8]		

Mode	Address	Register Name	R / W	Bit Symbol	Description	Reset
Host	1DBh	H_CHeInterval_L	R / W	7: Interval[7]	Channel e Interrupt Transfer Interval Low	00h
				6: Interval[6]		
				5: Interval[5]		
				4: Interval[4]		
				3: Interval[3]		
				2: Interval[2]		
				1: Interval[1]		
				0: Interval[0]		

ホスト動作時にチャンネル CHe でインタラプト転送を行う時のインターバル値を設定します。

1DAh.Bit7-3

Reserved

1DAh.Bit2-0, 1DBh.Bit7-0 Interval[10:0]

インタラプト転送のトークン発行間隔(周期)をこのレジスタにより指定します。下位 3 ビットはマイクロフレーム(125 μ s)単位で指定し、上位 7 ビットはフレーム(ms)単位で指定します。このレジスタの設定は H_CHeConfig1 レジスタの TranType ビットが"11"(インタラプト転送)の場合のみ有効です。また、このレジスタの"0d"の設定は無効となります。

トランザクションの再送時もこのレジスタの設定間隔で行います。

Interval[2:0] μ Frame — インターバルを 125 μ s 単位で指定します。1、2、4 マイクロフレームのいずれかに設定してください。それ以外の値の設定は禁止します。また、本ビットを設定する際は、Interval[10:3]はすべて"0"に設定してください。

Interval[10:3] Frame — インターバルを ms 単位で指定します。1~255 フレームの任意の値を設定できます。また、本ビットを設定する際は、Interval[2:0]はすべて"0"に設定してください。

7. レジスタ

7.6.110. 1DEh H_CHeConditionCode (Host Channel e Condition Code)

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1DEh	H_CHeConditionCode		7:	0:	1:	00h
			R	6: ConditionCode[2]	Channel e Condition Code		
				5: ConditionCode[1]			
				4: ConditionCode[0]			
				3:	0:	1:	
				2:	0:	1:	
				1:	0:	1:	
				0:	0:	1:	

ホスト動作時にチャンネル CHe の転送完了結果を示します。

Bit7-4 ConditionCode[2:0]

チャンネル CHe で転送が完了した場合の結果を示します。

Code	Meaning	Description
000	NoERROR ノーエラー	トランザクションがエラーなく完了した
001	STALL ストール	エンドポイントがストールPIDを返した
010	DATAOVERRUN データ・オーバーラン	<ul style="list-style-type: none"> 最大パケットサイズを越えるデータパケットを受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します IRP(TotalSize)を越えるデータ数を受信した * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します データパケットが最大パケットサイズ以下で、データパケットに含まれたデータグルが予期した値と一致していない場合、データ・オーバーランではなくグルミスマッチとして処理します
011	DATAUNDERRUN データ・アンダーラン	<ul style="list-style-type: none"> 最大パケットサイズ未満のデータパケットを受信し、且つデータ数がIRP(TotalSize)に満たない * CRCエラーやビット・スタッフィングエラーが同時に検出された場合はリトライエラーとして処理します
100	RETRYERROR リトライエラー	<ul style="list-style-type: none"> デバイスがトークンに規定時間以内に応答しない(IN)、または規定時間以内にハンドシェークを発信しない(OUT) エンドポイントからのデータパケットにCRCエラーが含まれている エンドポイントからのデータパケットにビット・スタッフィングエラーが含まれている エンドポイントからのPID検査ビットが、データPID(IN)またはハンドシェーク(OUT)に失敗した 受信PIDが無効またはPID値が定義されていない インタラプト転送のスプリットトランザクションにおいてERRハンドシェークを受信した インタラプト転送のスプリットトランザクションにおいてNYETハンドシェークを3回連続して受信した エンドポイントからのデータパケットに含まれたデータグルが、予期した値と一致していない(トグルミスマッチ)
その他	Reserved	

Bit3-0 Reserved

8. 電気的特性

8.1. 絶対最大定格

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	HVDD	VSS-0.3~4.0	V
	CVDD	VSS-0.3~4.0	V
	LVDD	VSS-0.3 ~ 2.5	V
入力電圧	HVI	VSS-0.3 ~ HVDD+0.5	V
	CVI ※1	VSS-0.3 ~ CVDD+0.5	V
	LVI ※2	VSS-0.3 ~ LVDD+0.5	V
	VVI ※3	VSS-0.3 ~ 6.0	V
出力電圧	HVO	VSS-0.3 ~ HVDD+0.5	V
	CVO ※1	VSS-0.3 ~ CVDD+0.5	V
出力電流／端子	IOUT	±10	mA
保存温度	Tstg	-65~150	°C

※1 CPU I/F

※2 TESTEN,ATPGEN,BURNIN,XI

※3 VBUS

8.2. 推奨動作条件

項目	記号	MIN	TYP	MAX	単位
電源電圧	HVDD	3.00	3.30	3.60	V
	CVDD	1.65	1.8~3.30	3.60	V
	LVDD	1.65	1.80	1.95	V
入力電圧	HVI	-0.3	-	HVDD+0.3	V
	CVI ※1	-0.3	-	CVDD+0.3	V
	LVI ※2	-0.3	-	LVDD+0.3	V
周囲温度	T _a	-40	25	85	°C

※1 CPU I/F

※2 TESTEN,ATPGEN,BURNIN,XI

本ICは下記順序で電源投入を行ってください。

LVDD(内部) →HVDD, CVDD(IO 部)

また、本 IC は下記順序で電源オフを行って下さい。

HVDD, CVDD(IO 部)→LVDD(内部)

注)

LVDD が切断されている状態で HVDD, CVDD のみを継続的(1Sec 以上)に印可することは Chip の信頼性上問題がありますので避けてください。

8. 電氣的特性

8.3.DC 特性

DC 状態における入力特性(推奨動作条件による)

項目	記号	条件	MIN	TYP	MAX	単位
電源供給電流						
電源電流	IDDH	HVDD=3.3V ※1	-	7.8	-	mA
	IDDCH	CVDD=3.3V ※1	-	1.4	-	mA
	IDDCL	CVDD=1.8V ※1	-	0.7	-	mA
	IDDL	LVDD=1.8V ※1	-	39.3	-	mA
静止電流 ※2						
電源電流	IDDS	VIN = HVDD, CVDD, LVDD or VSS HVDD=3.6V CVDD=3.6V LVDD = 1.95V	-	-	20	μA
入力リーク						
入力リーク電流	IL	HVDD=3.6V CVDD=3.6V LVDD=1.95V HVIH=HVDD CVIH=CVDD LVIH=LVDD VIL=VSS	-5	-	5	μA

※1: 推奨動作条件 (Ta = 25°C) による動作時概算電流値。

※2: Ta=25°C、双方向端子が入力状態である場合の静止電流値。

弊社動作環境下における、各パワーマネージメントでの消費電力実測値 (Ta = 25°C)

項目	条件	MIN	TYP	MAX	単位
CPU Cut (CPU バス動作時 ※1) ※2					
電源電力	HVDD = 3.3V CVDD = 1.8V LVDD = 1.8V	-	3.9	-	μW
SLEEP (CPU バス動作時 ※1) ※2					
電源電力	HVDD = 3.3V CVDD = 1.8V LVDD = 1.8V	-	10.0	-	μW
ACTIVE (USB デバイスとして動作時) ※3					
電源電力	HVDD = 3.3V CVDD = 1.8V LVDD = 1.8V	-	92.2	-	mW
ACTIVE (USB ホストとして動作時) ※4					
電源電力	HVDD=3.3V CVDD=1.8V LVDD=1.8V		97.6	-	mW

※1: CPU が CPU バス上に接続されているメモリ (SRAM や ROM 等) にアクセスしている状態。

※2: USB デバイスとして動作時、S1R72V17 が内蔵している DP プルアップ抵抗による消費電流値 (約 200 μA) を除く。

※3: USB デバイスとして PC に接続し、データを送受信している状態 (実転送レート 13.5MB/s)。

※4: USB ホストとして USB-HDD を接続し、データを送受信している状態 (実転送レート 12.6MB/s)。

DC 状態における入力特性(推奨動作条件による)(つづき)

入力特性 (LVCMOS)		端子名: TESTEN, ATPGEN, BURNIN				
"H"レベル入力電圧	VIH1	LVDD = 1.95V	1.27	-	-	V
"L"レベル入力電圧	VIL1	LVDD = 1.65V	-	-	0.57	V
入力特性 (LVCMOS)		端子名: CA[8:1], CD[15:0], XRD, XWRL, XWRH, XBEL, XDACK, CLKIN				
"H"レベル入力電圧	VIH2	CVDD=3.6V	2.2	-	-	V
"L"レベル入力電圧	VIL2	CVDD=3.0	-	-	0.8	V
"H"レベル入力電圧	VIH3	CVDD=1.95V	1.27	-	-	V
"L"レベル入力電圧	VIL3	CVDD=1.65V	-	-	0.57	V
シュミット入力特性 (USB:FS)		端子名: DP, DM				
"H"レベルトリガ電圧	VT+ (USB)	HVDD = 3.6V	1.1	-	1.8	V
"L"レベルトリガ電圧	VT- (USB)	HVDD = 3.0V	1.0	-	1.5	V
ヒステリシス電圧	ΔV (USB)	HVDD= 3.0V	0.1	-	-	V
入力特性 (USB:FS差動入力)		端子名: DP, DMのペア				
差動入力の感度	VDS (USB)	HVDD = 3.0V 差動入力電圧 0.8V~2.5V	-	-	0.2	V
入力特性 (VBUS)		端子名: VBUS				
"H"レベルトリガ電圧	VT+ (VBUS)	HVDD = 3.6V	1.86	-	2.85	V
"L"レベルトリガ電圧	VT- (VBUS)	HVDD = 3.0V	1.48	-	2.23	V
ヒステリシス電圧	ΔV (VBUS)	HVDD= 3.0V	0.31	-	0.64	V
入力特性 (シュミット)		端子名: VBUSFLG				
"H"レベルトリガ電圧	VT1+	HVDD = 3.6V	1.4	-	2.7	V
"L"レベルトリガ電圧	VT1-	HVDD = 3.0V	0.6	-	1.8	V
ヒステリシス電圧	ΔV	HVDD= 3.0V	0.3	-	-	V
入力特性 (シュミット)		端子名: XCS, XRESET				
"H"レベルトリガ電圧	VT1+	CVDD=3.6V	1.4	-	2.7	V
"L"レベルトリガ電圧	VT1-	CVDD=3.0V	0.6	-	1.8	V
ヒステリシス電圧	$\Delta V1$	CVDD=3.0V	0.3	-	-	V
"H"レベルトリガ電圧	VT2+	CVDD=1.95V	0.6	-	1.4	V
"L"レベルトリガ電圧	VT2-	CVDD=1.65V	0.3	-	1.1	V
ヒステリシス電圧	$\Delta V2$	CVDD=1.65V	0.2	-	-	V
入力特性		端子名: VBUSFLG				
プルアップ抵抗	RPLU2H	VI=VSS	50	100	240	k Ω
入力特性		端子名: VBUS				
プルダウン抵抗	RPLD3L	VI=5.0V	110	125	150	k Ω
入力特性		端子名: ATPGEN, BURNIN				
プルダウン抵抗	RPLD1L	VI=LVDD	24	60	150	k Ω
入力特性		端子名: TESTEN				
プルダウン抵抗	RPLD2L	VI=LVDD	48	120	300	k Ω

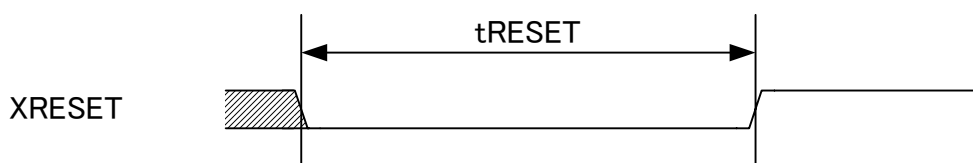
8. 電気的特性

項目	記号	条件	MIN	TYP	MAX	単位
出力特性	端子名: CD [15:0], XDREQ, XINT					
“H”レベル出力電圧	VOH1	CVDD = 3.0V IOH = -2.0mA	CVDD-0.4	-	-	V
“L”レベル出力電圧	VOL1	CVDD = 3.0V IOL = 2.0mA	-	-	VSS+0.4	V
“H”レベル出力電圧	VOH2	CVDD = 1.65V IOH = -1.0mA	CVDD-0.4	-	-	V
“L”レベル出力電圧	VOL2	CVDD = 1.65V IOL = 1.0mA	-	-	VSS+0.4	V
出力特性	端子名: VBUSEN					
“H”レベル出力電圧	VOH3	HVDD = 3.0V IOH = -2.0mA	HVDD-0.4	-	-	V
“L”レベル出力電圧	VOL3	HVDD = 3.0V IOL = 2.0mA	-	-	VSS+0.4	V
出力特性(USB:FS)	端子名: DP, DM					
“H”レベル出力電圧	VOH (USB)	HVDD = 3.0V	2.8	-	-	V
“L”レベル出力電圧	VOL (USB)	HVDD = 3.6V	-	-	0.3	V
出力特性(USB:HS)	端子名: DP, DM					
“H”レベル出力電圧	VHSOH (USB)	HVDD = 3.0V	360	-	-	mV
“L”レベル出力電圧	VHSOL (USB)	HVDD = 3.6V	-	-	10.0	mV
出力特性	端子名: CD[15:0], XINT					
OFF-STATEリーク電流	IOZ	CVDD=3.6V VOH = CVDD VOL = VSS	-5	-	5	μA

項目	記号	条件	MIN	TYP	MAX	単位
端子容量	端子名: 全入力端子					
入力端子容量	CI	f = 1MHz HVDD=CVDD=LVD D=VSS	-	-	8	pF
端子容量	端子名: 全出力端子					
出力端子容量	CO	f = 1MHz HVDD=CVDD=LVD D=VSS	-	-	8	pF
端子容量	端子名: 全入出力端子 (DP, DMを除く)					
入出力端子容量1	CIO1	f = 1MHz HVDD=UVDD=LVD D=VSS	-	-	8	pF
端子容量	端子名: DP, DM					
入出力端子容量2	CIO2	f = 1MHz HVDD=CVDD=LVD D=VSS	-	-	11	pF

8.4. AC 特性

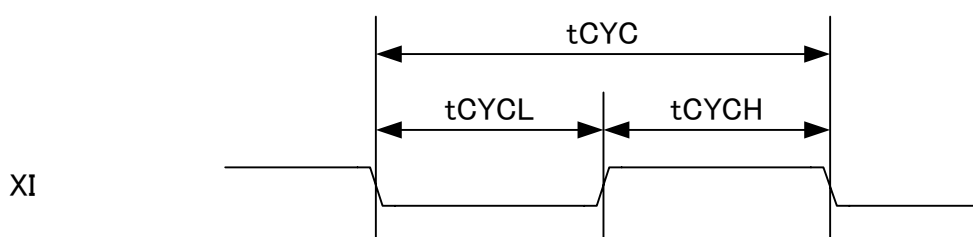
8.4.1. RESET タイミング



記号	説明	min	typ	max	単位
tRESET	リセットパルス幅	40	–	–	ns

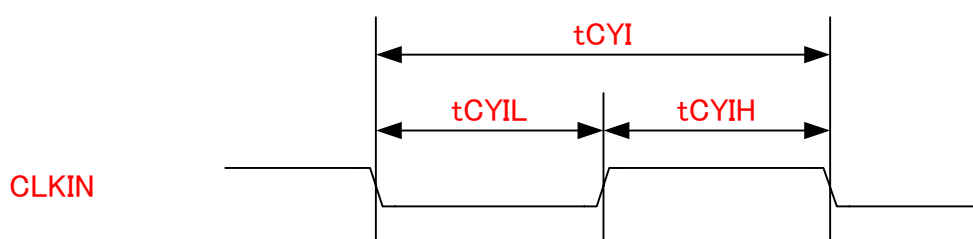
8.4.2. クロックタイミング

<内蔵オシレータ>



記号	説明	min	typ	max	単位
tCYC(*)	クロックサイクル(ClkFreq=0b00)	11.999	12	12.001	MHz
tCYC(*)	クロックサイクル(ClkFreq=0b01)	23.998	24	24.002	MHz
tCYCH tCYCL	クロックデューティ	45	–	55	%

<外部入力>

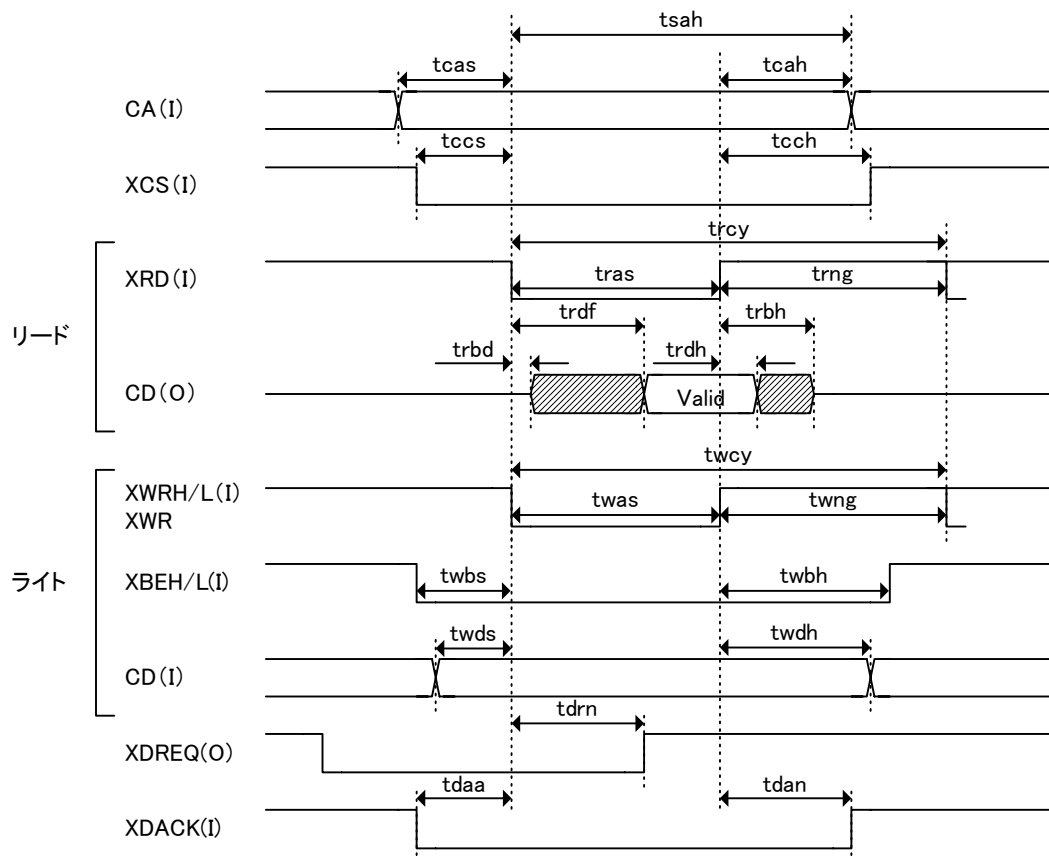


記号	説明	min	typ	max	単位
tCYI	クロックサイクル(ClkFreq=0b00)	11.999	12	12.001	MHz
tCYI	クロックサイクル(ClkFreq=0b01)	23.998	24	24.002	MHz
tCYI	クロックサイクル(ClkFreq=0b11)	47.996	48	48.004	MHz
tCYIH tCYIL	クロックデューティ	45	–	55	%

8. 電気的特性

8.4.3. CPU/DMA I/F アクセスタイミング

8.4.3.1. 基本サイクル



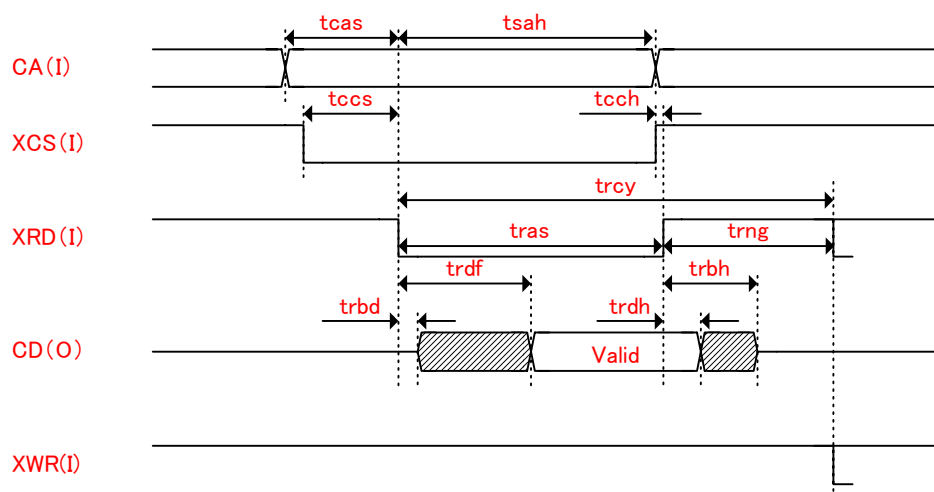
($C_L=30pF$)

記号	項目	min	typ	max	unit
t_{cas}	アドレスセットアップ時間	6	—	—	ns
t_{cah}	アドレスホールド時間(ストローブネゲーションから)	6	—	—	ns
t_{sah}	アドレスホールド時間(ストローブアサーションから)	55	—	—	ns
t_{ccs}	XCSセットアップ時間	6	—	—	ns
t_{cch}	XCSホールド時間	6	—	—	ns
t_{rcy}	リードサイクル	80	—	—	ns
t_{ras}	リードストローブアサート時間	40	—	—	ns
t_{trng}	リードストローブネゲート時間	25	—	—	ns
t_{trbd}	リードデータ出力開始時間	1	—	—	ns
t_{trdf}	リードデータ確定時間	—	—	35	ns
t_{trdh}	リードデータホールド時間	3	—	—	ns
t_{trbh}	リードデータ出力遅延時間	—	—	9	ns
t_{wcy}	ライトサイクル	80	—	—	ns
t_{was}	ライトストローブアサート時間	40	—	—	ns
t_{wnng}	ライトストローブネゲート時間	25	—	—	ns
t_{wbs}	ライトバイトイネーブルセットアップ時間	6	—	—	ns
t_{wbh}	ライトバイトイネーブルホールド時間	6	—	—	ns
t_{wds}	ライトデータセットアップ時間	0	—	—	ns
t_{wdh}	ライトデータホールド時間	0	—	—	ns
t_{tdrn}	XDREQネゲート遅延時間	—	—	35	ns
t_{daa}	XDACKセットアップ時間	6	—	—	ns
t_{dan}	XDACKホールド時間	6	—	—	ns

8.4.3.2. BE モードリードタイミング(DMA 不使用時)

DMA を使用しない場合、リード AC 規格の一部が緩和されます。

BEモードリードタイミング (DMA未使用時: DMA_Config.ActiveDMA及びDMA_Modeビット“0”の時)



(CL=30pF)

記号	項目	min	typ	max	unit
tcas	アドレスセットアップ時間	6	—	—	ns
tsah	アドレスホールド時間(ストローブアサーションから)	55	—	—	ns
tccs	XCSセットアップ時間	6	—	—	ns
tcch	XCSホールド時間 ※	—	0	—	ns
trcy	リードサイクル	80	—	—	ns
tras	リードストローブアサート時間	40	—	—	ns
trng	リードストローブネゲート時間	25	—	—	ns
trbd	リードデータ出力開始時間	1	—	—	ns
trdf	リードデータ確定時間	—	—	35	ns
trdh	リードデータホールド時間	3	—	—	ns
trbh	リードデータ出力遅延時間	—	—	9	ns

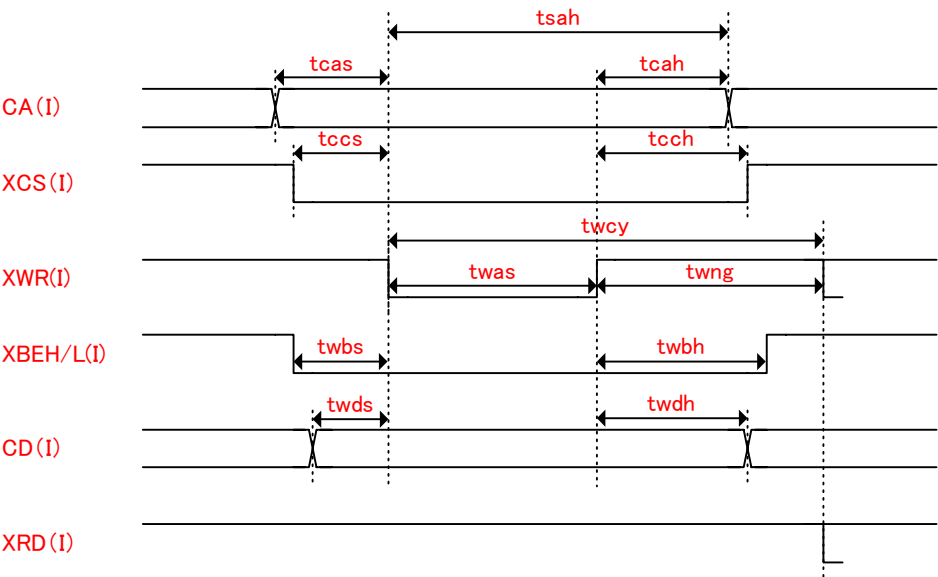
※: XCSネゲーションが、XRDのネゲーションよりも早い場合、tras, trdhはXCSネゲーションから規定されます。

8. 電気的特性

8.4.3.3. BE モードライトタイミング(DMA 不使用時)

DMA を使用しない場合、ライト AC 規格の一部が緩和されます。

BEモードライトタイミング (DMA未使用時 : DMA_Config.ActiveDMA及びDMA_Modeビット“0”の時)



(CL=30pF)

記号	項目	min	typ	max	unit
tcas	アドレスセットアップ時間	6	-	-	ns
tcch	アドレスホールド時間(ストローブネゲーションから)	6	-	-	ns
tsah	アドレスホールド時間(ストローブアサーションから)	55	-	-	ns
tccs	XCSセットアップ時間	6	-	-	ns
tcch	XCSホールド時間	6	-	-	ns
twcy	ライトサイクル	80	-	-	ns
twas	ライトストローブアサート時間	40	-	-	ns
twng	ライトストローブネゲート時間	25	-	-	ns
twbs	ライトバイトイネーブルセットアップ時間	6	-	-	ns
twbh	ライトバイトイネーブルホールド時間	6	-	-	ns
twds	ライトデータセットアップ時間	0	-	-	ns
twdh	ライトデータホールド時間	0	-	-	ns

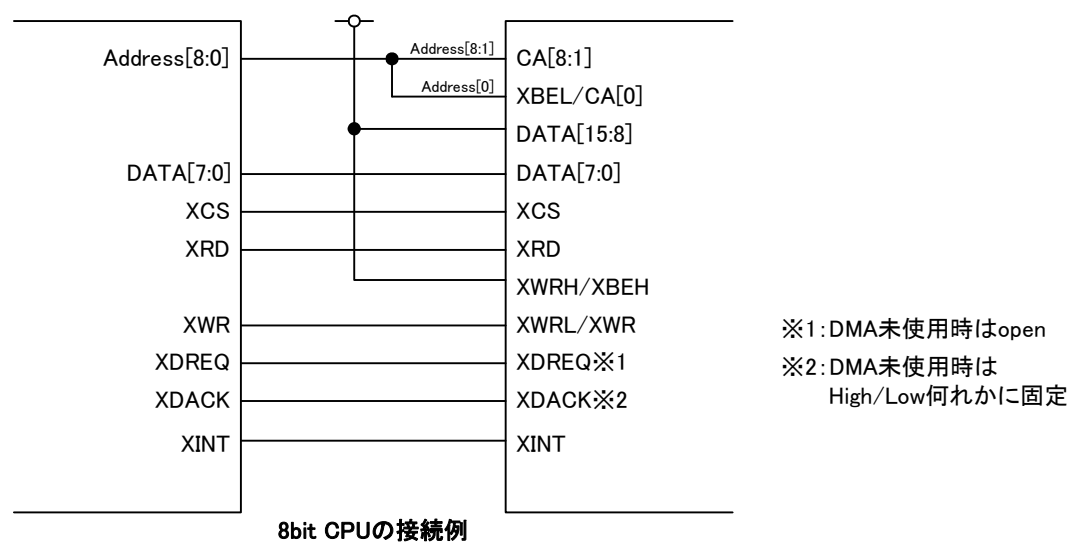
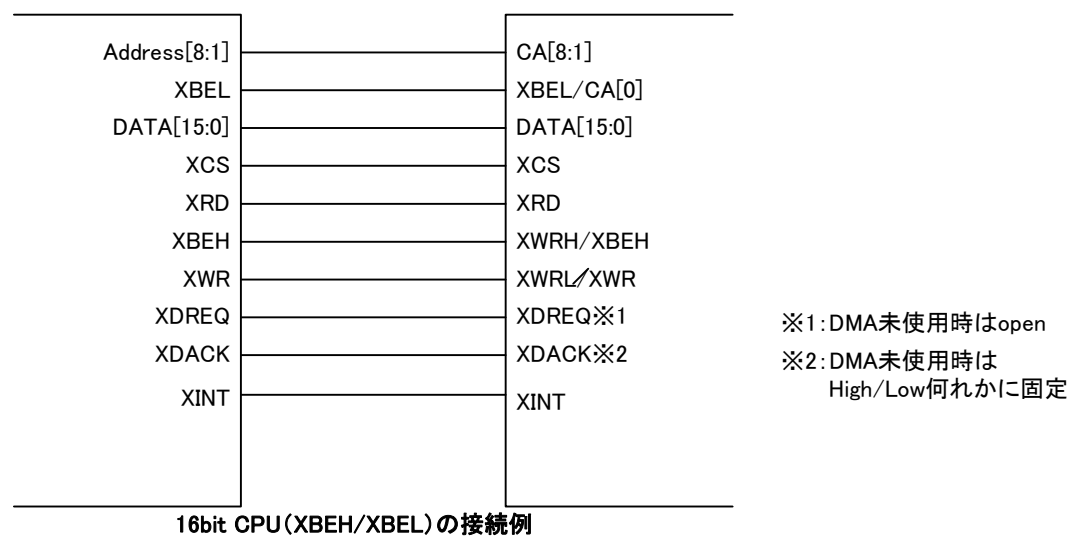
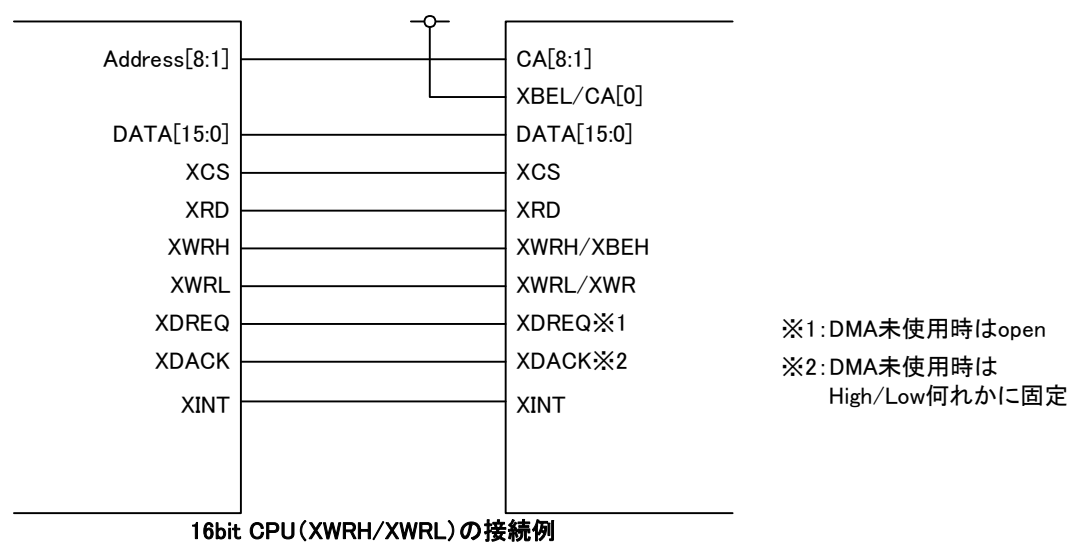
8.4.4. USB I/F タイミング

USB2.0 規格に準拠します。

9. 接続例

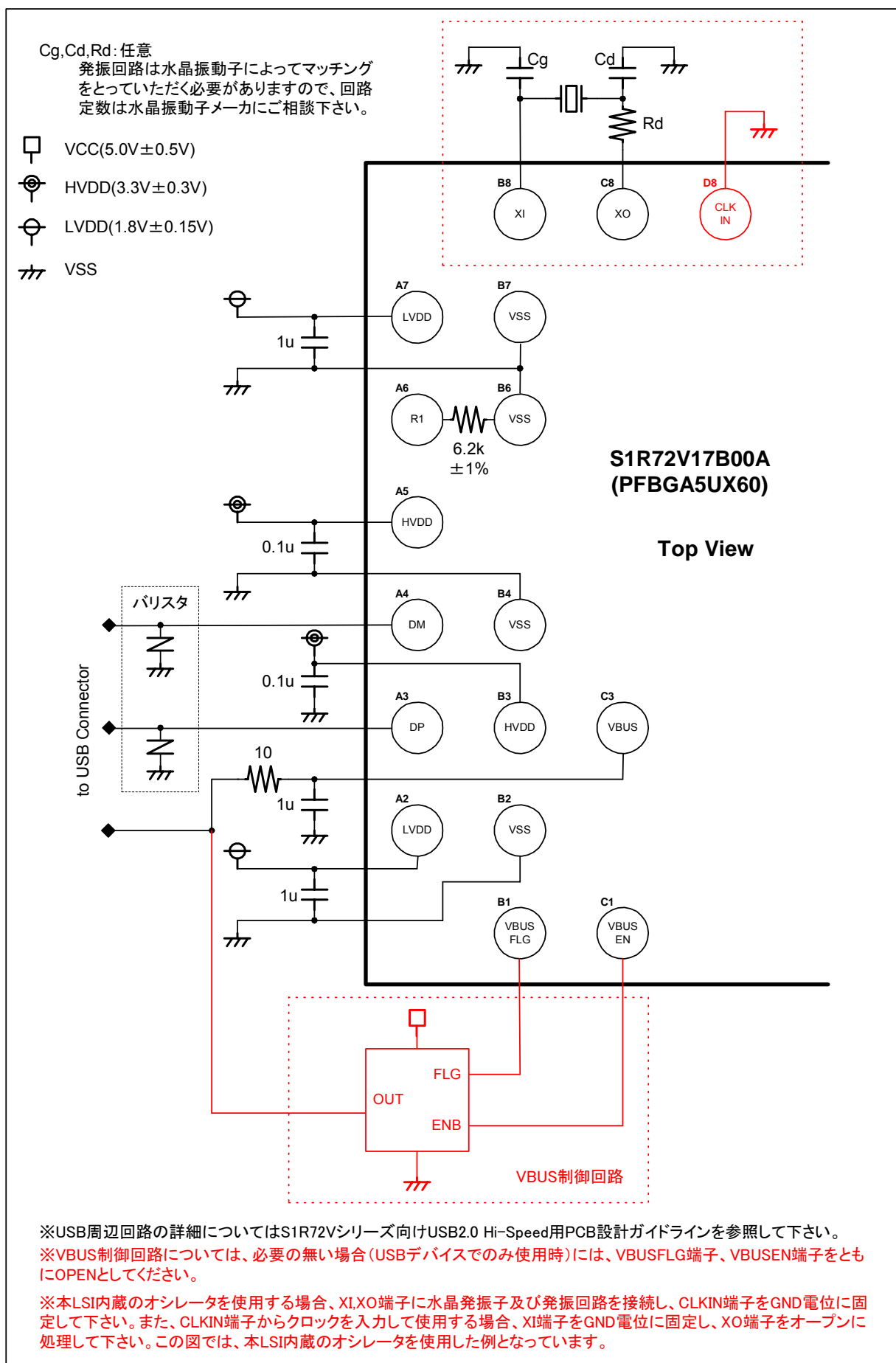
9. 接続例

9.1. CPU I/F 接続例



9.2. USB I/F 接続例

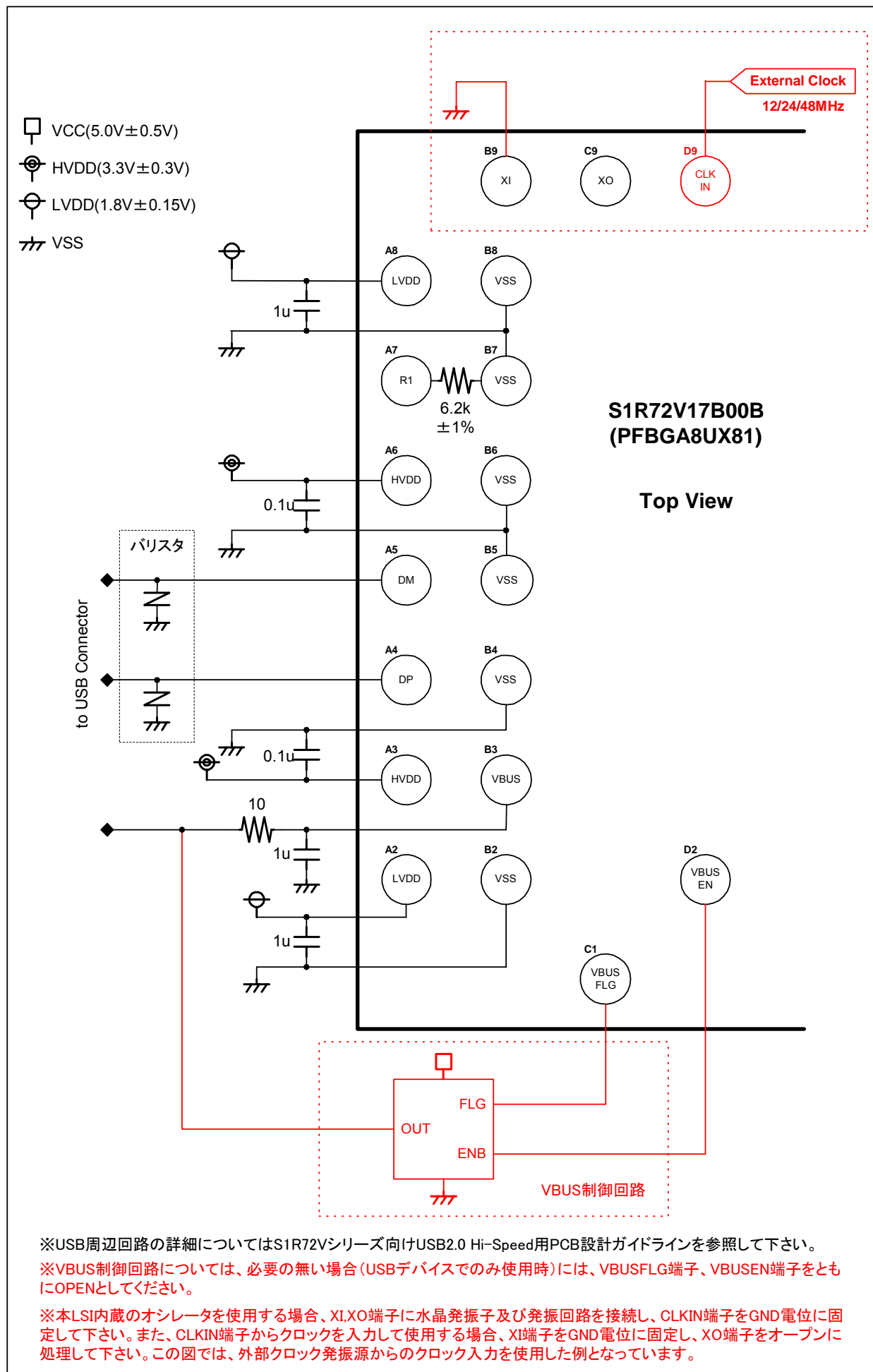
9.2.1. PFBGA5UX60 の場合



電源素子の性能は USB 信号波形品質影響を与える為、その選定には注意してください。

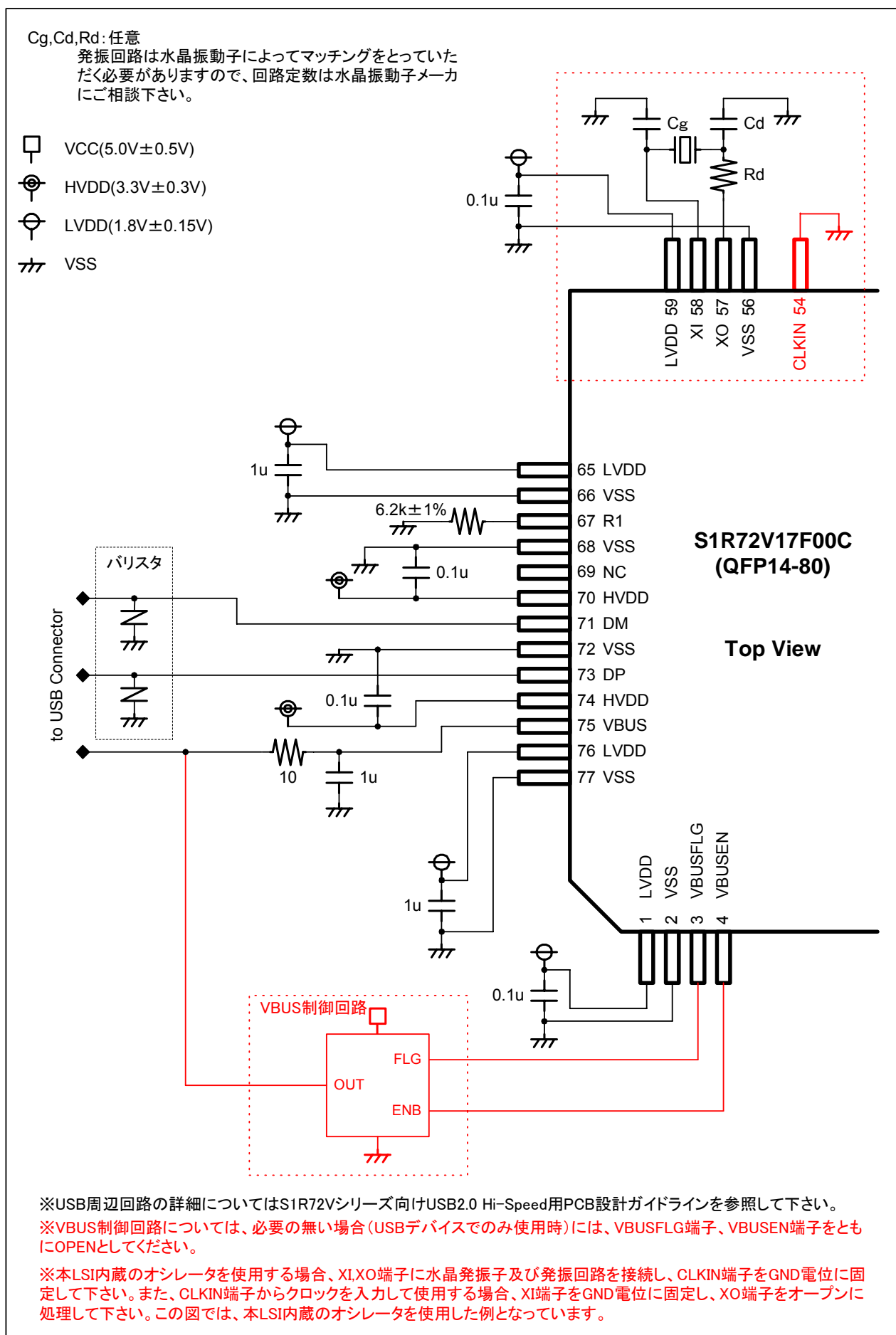
9. 接続例

9.2.2. PFBGA8UX81 の場合



電源素子の性能は USB 信号波形品質影響を与える為、その選定には注意してください。

9.2.3. QFP14-80 の場合

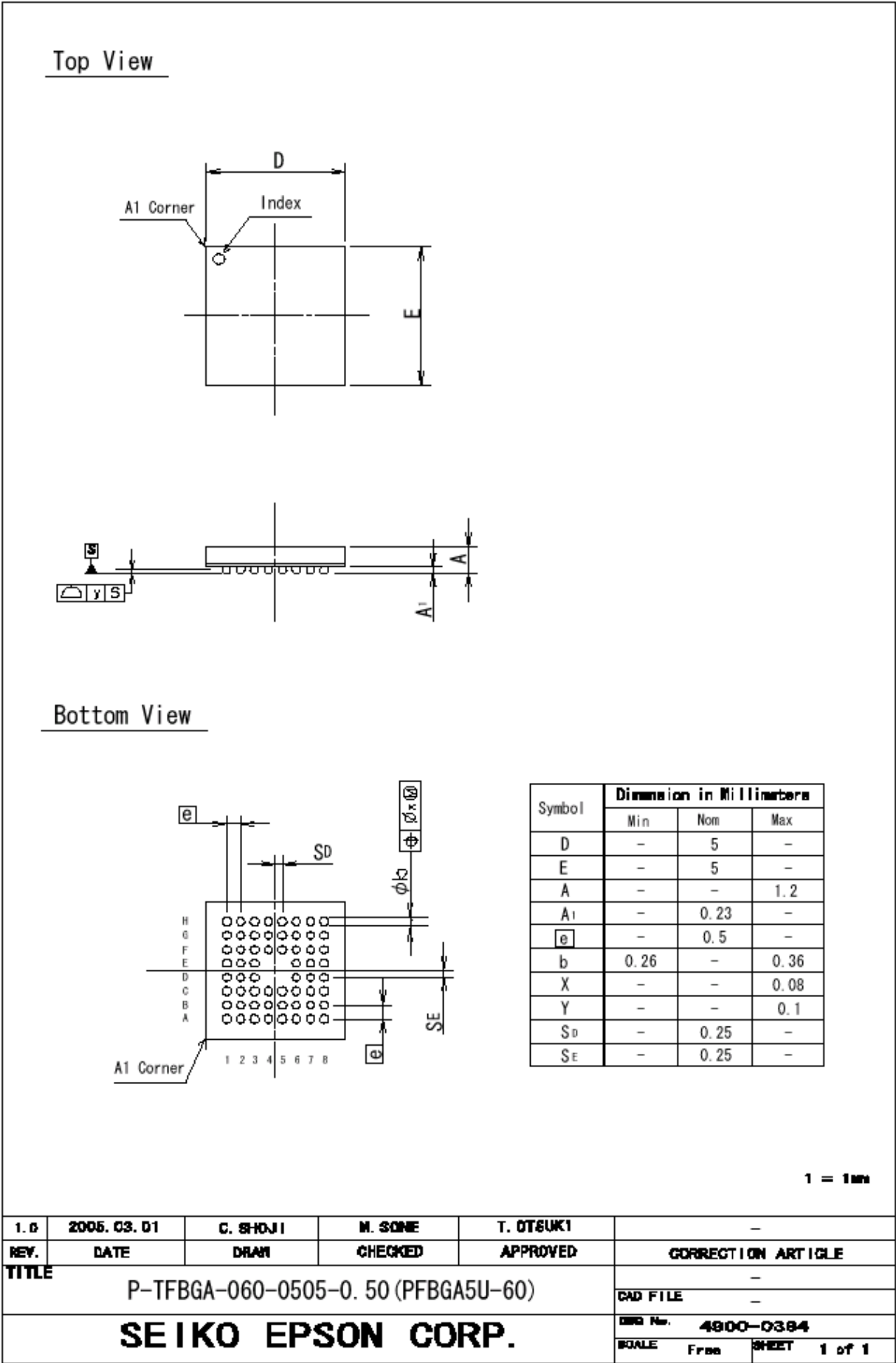


電源素子の性能は USB 信号波形品質影響を与える為、その選定には注意してください。

10. 外形寸法図

10. 外形寸法図

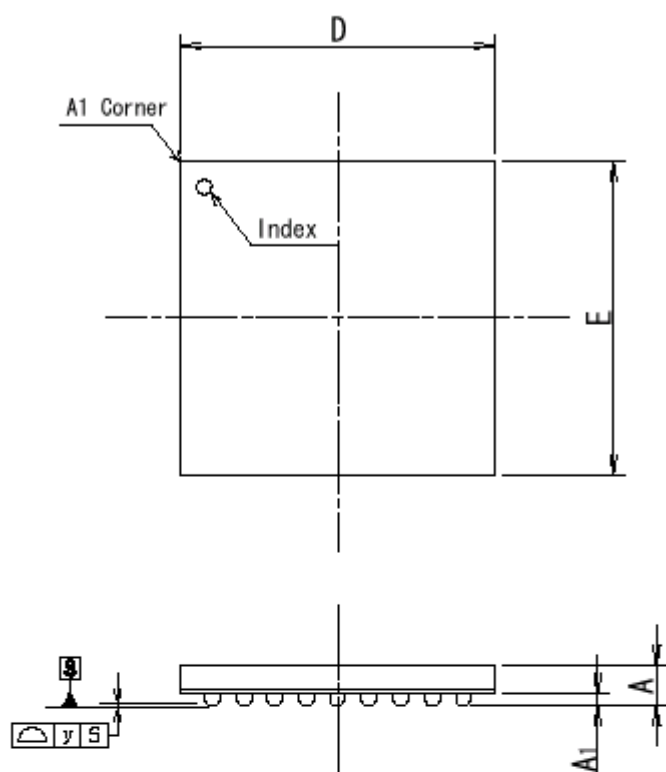
10.1. PFBGA5UX60



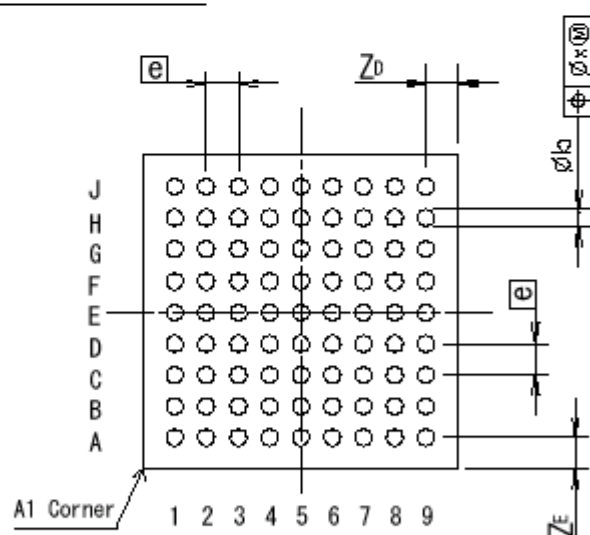
2900-0002-01 (Rev. 1. 1)

10.2. PFBGA8UX81

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	8	—
E	—	8	—
A	—	—	1.2
A ₁	—	0.3	—
e	—	0.8	—
b	0.38	—	0.48
x	—	—	0.08
y	—	—	0.1
Z _D	—	0.8	—
Z _E	—	0.8	—

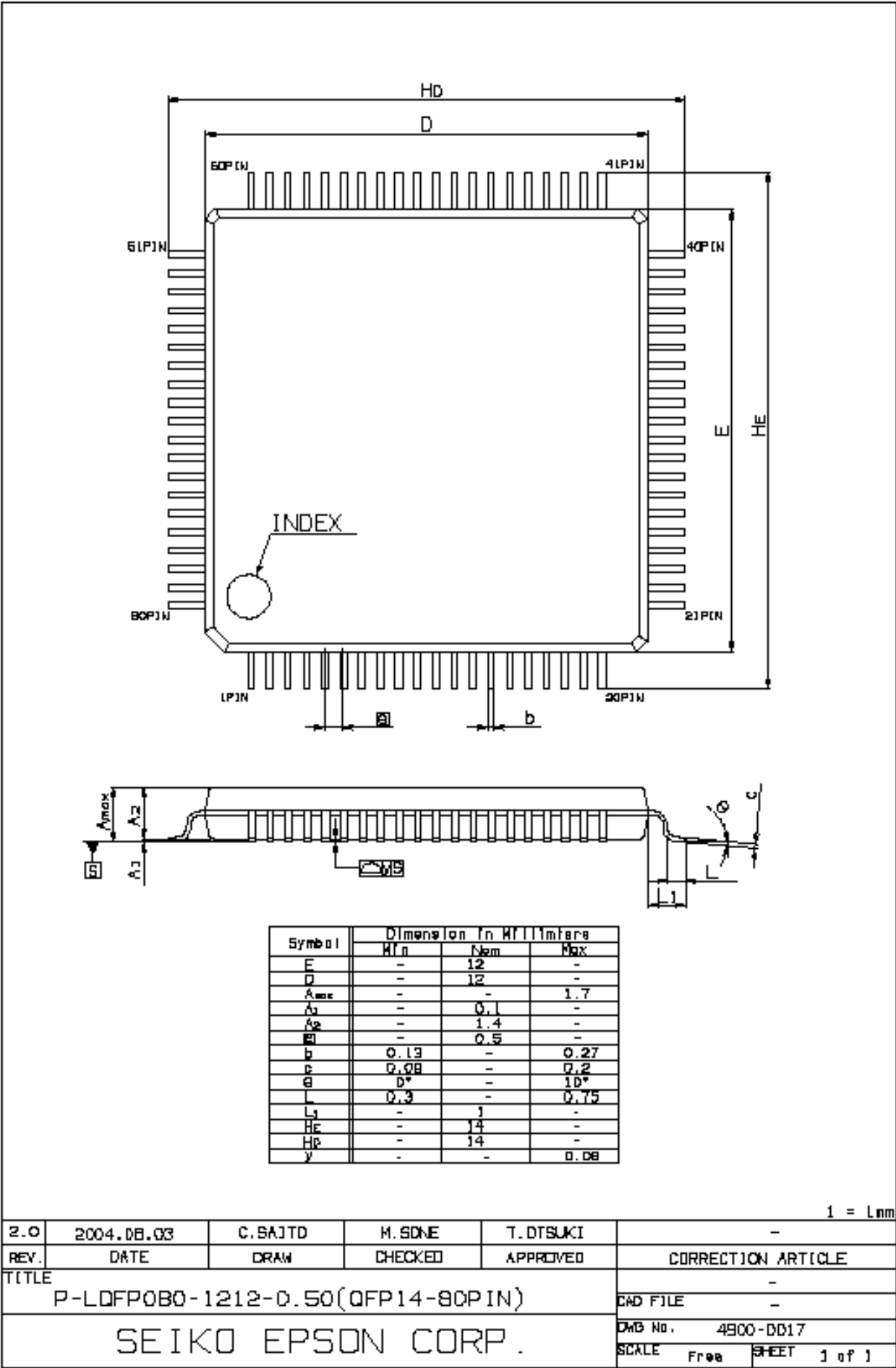
1 = 1mm

2.0	2004. 10. 10	C. SHOJI	M. SONE	T. OTSUKI	—
REV.	DATE	DRAW	CHECKED	APPROVED	CORRECTION ARTICLE
TITLE					—
P-TFBGA-081-0808-0. 80 (PFBGA8U-81)					DWG FILE
SEIKO EPSON CORP.					DWG No. 4900-0340
					SCALE Free SHEET 1 of 1

2900-0002-01 (Rev. 1. 1)

10. 外形寸法図

10.3. QFP14-80



2900-0002-01(Rev.1.1)

Appendix A リトルエンディアンの CPU への接続

S1R72V17 の内部バスはビッグエンディアンで構成されており、偶数アドレスが上位バイト、奇数アドレスが下位バイトとなっています。これに対して、リトルエンディアンの CPU に接続しての使用方法を説明致します。

<基板>

リトルエンディアンの CPU と S1R72V17 の端子は、データ・バスとライト制御信号につきましては端子名称のまま接続して下さい。すなわち CPU のデータ・バスのビット 15 からビット 8、即ち上位バイトには、S1R72V17 の CD15 から CD8 を接続し、CPU のデータ・バスのビット 7 からビット 0、即ち下位バイトには S1R72V17 の CD7 から CD0 を接続してください。また、ライト信号につきましても、ハイ、ローをそのまま接続してください。

なお、ご使用になられる CPU によってはライト信号自身の仕様が異なりますので、注意してください。

<F/W>

リトルエンディアンの CPU にて、S1R72V17 を動作させる時には、まず以下の手順を行ってください。

- ① CPU_Config.CPU_Endian ビットを"1"にセット

このレジスタのアドレス番地は S1R72V17 においては 0x075 に割り当てられていますが、②を行うまでは、リトルエンディアンの CPU においては、0x074 に割り当てられているように動作しています。これは、本 LSI の初期状態がビッグエンディアンであるために、ライト信号の上位、下位が逆転しているからです。

- ② 0x077 番地をリード

このリード動作によって、本 LSI は CPU のバスの上位と下位を切り替えます。①を実行しただけでは切り替わっていないことにご注意ください。したがって、このリード動作の後には、レジスタが下記レジスタマップに示す通りのアドレス番地となります。

なお、この設定を行った後、すべての内部レジスタが、Char もしくは Short にてアクセス可能となります。また CPU の DMAC を使用してのアクセスに対しても問題は御座いません(以下の表を参照)。

例 USB から 01_02_03_04_05_06 と順にデータを受け取った場合の FIFO_Rd_0/1 レジスタへのアクセス

Short にてアクセス	CPU のアクセス方法			
	ビッグエンディアン		リトルエンディアン	
	CD[15:8]	CD[7:0]	CD[15:8]	CD[7:0]
1st	01	02	02	01
2nd	03	04	04	03
3rd	05	06	06	05

ただし、Short より大きなサイズのレジスタにつきましては、Short にて分割アクセスして頂き、CPU のメモリ上にてキャストしてご使用ください。

Big Endian

Little Endian

LittleEndian 時に上位、下位が変わるレジスタ

共通レジスタ

0x000	MainIntStat
0x001	USB_DeviceIntStat
0x002	USB_HostIntStat
0x003	CPU_IntStat
0x004	FIFO_IntStat
0x005	
0x006	
0x007	
0x008	MainIntEnb
0x009	USB_DeviceIntEnb
0x00A	USB_HostIntEnb
0x00B	CPU_IntEnb
0x00C	FIFO_IntEnb
0x00D	
0x00E	
0x00F	

共通レジスタ

0x000	MainIntStat
0x001	USB_DeviceIntStat
0x002	USB_HostIntStat
0x003	CPU_IntStat
0x004	FIFO_IntStat
0x005	
0x006	
0x007	
0x008	MainIntEnb
0x009	USB_DeviceIntEnb
0x00A	USB_HostIntEnb
0x00B	CPU_IntEnb
0x00C	FIFO_IntEnb
0x00D	
0x00E	
0x00F	

0x010	RevisionNum
0x011	ChipReset
0x012	PM_Control
0x013	
0x014	WakeupTim_H
0x015	WakeupTim_L
0x016	H_USB_Control
0x017	H_XcvrControl
0x018	D_USB_Status
0x019	H_USB_Status
0x01A	
0x01B	MTM_Config
0x01C	
0x01D	
0x01E	
0x01F	HostDeviceSel

0x010	RevisionNum
0x011	ChipReset
0x012	PM_Control
0x013	
0x014	WakeupTim_L
0x015	WakeupTim_H
0x016	H_USB_Control
0x017	H_XcvrControl
0x018	D_USB_Status
0x019	H_USB_Status
0x01A	
0x01B	MTM_Config
0x01C	
0x01D	
0x01E	
0x01F	HostDeviceSel

0x020	FIFO_Rd_0
0x021	FIFO_Rd_1
0x022	FIFO_Wr_0
0x023	FIFO_Wr_1
0x024	FIFO_RdRemain_H
0x025	FIFO_RdRemain_L
0x026	FIFO_WrRemain_H
0x027	FIFO_WrRemain_L
0x028	FIFO_ByteRd
0x029	
0x02A	
0x02B	
0x02C	
0x02D	
0x02E	
0x02F	

0x020	FIFO_Rd_0
0x021	FIFO_Rd_1
0x022	FIFO_Wr_0
0x023	FIFO_Wr_1
0x024	FIFO_RdRemain_L
0x025	FIFO_RdRemain_H
0x026	FIFO_WrRemain_L
0x027	FIFO_WrRemain_H
0x028	FIFO_ByteRd
0x029	
0x02A	
0x02B	
0x02C	
0x02D	
0x02E	
0x02F	

0x030	RAM_RdAdrs_H
0x031	RAM_RdAdrs_L
0x032	RAM_RdControl
0x033	
0x034	
0x035	RAM_RdCount
0x036	
0x037	
0x038	RAM_WrAdrs_H
0x039	RAM_WrAdrs_L
0x03A	RAM_WrDoor_0
0x03B	RAM_WrDoor_1
0x03C	
0x03D	
0x03E	
0x03F	

0x030	RAM_RdAdrs_L
0x031	RAM_RdAdrs_H
0x032	RAM_RdControl
0x033	
0x034	
0x035	RAM_RdCount
0x036	
0x037	
0x038	RAM_WrAdrs_L
0x039	RAM_WrAdrs_H
0x03A	RAM_WrDoor_0
0x03B	RAM_WrDoor_1
0x03C	
0x03D	
0x03E	
0x03F	

0x040	RAM_Rd_00
0x041	RAM_Rd_01
0x042	RAM_Rd_02
0x043	RAM_Rd_03
0x044	RAM_Rd_04
0x045	RAM_Rd_05
0x046	RAM_Rd_06
0x047	RAM_Rd_07
0x048	RAM_Rd_08
0x049	RAM_Rd_09
0x04A	RAM_Rd_0A
0x04B	RAM_Rd_0B
0x04C	RAM_Rd_0C
0x04D	RAM_Rd_0D
0x04E	RAM_Rd_0E
0x04F	RAM_Rd_0F

0x040	RAM_Rd_00
0x041	RAM_Rd_01
0x042	RAM_Rd_02
0x043	RAM_Rd_03
0x044	RAM_Rd_04
0x045	RAM_Rd_05
0x046	RAM_Rd_06
0x047	RAM_Rd_07
0x048	RAM_Rd_08
0x049	RAM_Rd_09
0x04A	RAM_Rd_0A
0x04B	RAM_Rd_0B
0x04C	RAM_Rd_0C
0x04D	RAM_Rd_0D
0x04E	RAM_Rd_0E
0x04F	RAM_Rd_0F

0x050	RAM_Rd_10
0x051	RAM_Rd_11
0x052	RAM_Rd_12
0x053	RAM_Rd_13
0x054	RAM_Rd_14
0x055	RAM_Rd_15
0x056	RAM_Rd_16
0x057	RAM_Rd_17
0x058	RAM_Rd_18
0x059	RAM_Rd_19
0x05A	RAM_Rd_1A
0x05B	RAM_Rd_1B
0x05C	RAM_Rd_1C
0x05D	RAM_Rd_1D
0x05E	RAM_Rd_1E
0x05F	RAM_Rd_1F

0x050	RAM_Rd_10
0x051	RAM_Rd_11
0x052	RAM_Rd_12
0x053	RAM_Rd_13
0x054	RAM_Rd_14
0x055	RAM_Rd_15
0x056	RAM_Rd_16
0x057	RAM_Rd_17
0x058	RAM_Rd_18
0x059	RAM_Rd_19
0x05A	RAM_Rd_1A
0x05B	RAM_Rd_1B
0x05C	RAM_Rd_1C
0x05D	RAM_Rd_1D
0x05E	RAM_Rd_1E
0x05F	RAM_Rd_1F

0x060	
0x061	DMA_Config
0x062	DMA_Control
0x063	
0x064	DMA_Remain_H
0x065	DMA_Remain_L
0x066	
0x067	
0x068	DMA_Count_HH
0x069	DMA_Count_HL
0x06A	DMA_Count_LH
0x06B	DMA_Count_LL
0x06C	DMA_RdData_0
0x06D	DMA_RdData_1
0x06E	DMA_WrData_0
0x06F	DMA_WrData_1

0x060	
0x061	DMA_Config
0x062	DMA_Control
0x063	
0x064	DMA_Remain_L
0x065	DMA_Remain_H
0x066	
0x067	
0x068	DMA_Count_HL
0x069	DMA_Count_HH
0x06A	DMA_Count_LL
0x06B	DMA_Count_LH
0x06C	DMA_RdData_0
0x06D	DMA_RdData_1
0x06E	DMA_WrData_0
0x06F	DMA_WrData_1

0x070	
0x071	ModeProtect
0x072	
0x073	ClkSelect
0x074	
0x075	CPU_Config
0x076	
0x077	CPU_ChgEndian
0x078	
0x079	
0x07A	
0x07B	
0x07C	CPU_CacheErr
0x07D	CPU_BufWrErr
0x07E	TestStatus
0x07F	

0x070	
0x071	ModeProtect
0x072	
0x073	ClkSelect
0x074	
0x075	CPU_Config
0x076	
0x077	CPU_ChgEndian
0x078	
0x079	
0x07A	
0x07B	
0x07C	CPU_CacheErr
0x07D	CPU_BufWrErr
0x07E	TestStatus
0x07F	

0x080	AREA0StartAdrs_H
0x081	AREA0StartAdrs_L
0x082	AREA0EndAdrs_H
0x083	AREA0EndAdrs_L
0x084	AREA1StartAdrs_H
0x085	AREA1StartAdrs_L
0x086	AREA1EndAdrs_H
0x087	AREA1EndAdrs_L
0x088	AREA2StartAdrs_H
0x089	AREA2StartAdrs_L
0x08A	AREA2EndAdrs_H
0x08B	AREA2EndAdrs_L
0x08C	AREA3StartAdrs_H
0x08D	AREA3StartAdrs_L
0x08E	AREA3EndAdrs_H
0x08F	AREA3EndAdrs_L

0x080	AREA0StartAdrs_L
0x081	AREA0StartAdrs_H
0x082	AREA0EndAdrs_L
0x083	AREA0EndAdrs_H
0x084	AREA1StartAdrs_L
0x085	AREA1StartAdrs_H
0x086	AREA1EndAdrs_L
0x087	AREA1EndAdrs_H
0x088	AREA2StartAdrs_L
0x089	AREA2StartAdrs_H
0x08A	AREA2EndAdrs_L
0x08B	AREA2EndAdrs_H
0x08C	AREA3StartAdrs_L
0x08D	AREA3StartAdrs_H
0x08E	AREA3EndAdrs_L
0x08F	AREA3EndAdrs_H

0x090	AREA4StartAdrs_H
0x091	AREA4StartAdrs_L
0x092	AREA4EndAdrs_H
0x093	AREA4EndAdrs_L
0x094	AREA5StartAdrs_H
0x095	AREA5StartAdrs_L
0x096	AREA5EndAdrs_H
0x097	AREA5EndAdrs_L
0x098	
0x099	
0x09A	
0x09B	
0x09C	
0x09D	
0x09E	
0x09F	AREAnFIFO_Clr

0x090	AREA4StartAdrs_L
0x091	AREA4StartAdrs_H
0x092	AREA4EndAdrs_L
0x093	AREA4EndAdrs_H
0x094	AREA5StartAdrs_L
0x095	AREA5StartAdrs_H
0x096	AREA5EndAdrs_L
0x097	AREA5EndAdrs_H
0x098	
0x099	
0x09A	
0x09B	
0x09C	
0x09D	
0x09E	
0x09F	AREAnFIFO_Clr

0x0A0	AREA0Join_0
0x0A1	AREA0Join_1
0x0A2	AREA1Join_0
0x0A3	AREA1Join_1
0x0A4	AREA2Join_0
0x0A5	AREA2Join_1
0x0A6	AREA3Join_0
0x0A7	AREA3Join_1
0x0A8	AREA4Join_0
0x0A9	AREA4Join_1
0x0AA	AREA5Join_0
0x0AB	AREA5Join_1
0x0AC	
0x0AD	
0x0AE	ClrAREAnJoin_0
0x0AF	ClrAREAnJoin_1

0x0A0	AREA0Join_0
0x0A1	AREA0Join_1
0x0A2	AREA1Join_0
0x0A3	AREA1Join_1
0x0A4	AREA2Join_0
0x0A5	AREA2Join_1
0x0A6	AREA3Join_0
0x0A7	AREA3Join_1
0x0A8	AREA4Join_0
0x0A9	AREA4Join_1
0x0AA	AREA5Join_0
0x0AB	AREA5Join_1
0x0AC	
0x0AD	
0x0AE	ClrAREAnJoin_0
0x0AF	ClrAREAnJoin_1

デバイス用レジスタ (HOSTxDEVICE == 0)

0x0B0	D_SIE_IntStat
0x0B1	
0x0B2	
0x0B3	D_BulkIntStat
0x0B4	D_EPrIntStat
0x0B5	D_EP0IntStat
0x0B6	D_EPaIntStat
0x0B7	D_EPbIntStat
0x0B8	D_EPcIntStat
0x0B9	D_EPdIntStat
0x0BA	D_EPeIntStat
0x0BB	
0x0BC	D_AlarmIN_IntStat_H
0x0BD	D_AlarmIN_IntStat_L
0x0BE	D_AlarmOUT_IntStat_H
0x0BF	D_AlarmOUT_IntStat_L

デバイス用レジスタ (HOSTxDEVICE == 0)

0x0B0	D_SIE_IntStat
0x0B1	
0x0B2	
0x0B3	D_BulkIntStat
0x0B4	D_EPrIntStat
0x0B5	D_EP0IntStat
0x0B6	D_EPaIntStat
0x0B7	D_EPbIntStat
0x0B8	D_EPcIntStat
0x0B9	D_EPdIntStat
0x0BA	D_EPeIntStat
0x0BB	
0x0BC	D_AlarmIN_IntStat_L
0x0BD	D_AlarmIN_IntStat_H
0x0BE	D_AlarmOUT_IntStat_L
0x0BF	D_AlarmOUT_IntStat_H

0x0C0	D_SIE_IntEnb
0x0C1	
0x0C2	
0x0C3	D_BulkIntEnb
0x0C4	D_EPrIntEnb
0x0C5	D_EP0IntEnb
0x0C6	D_EPaIntEnb
0x0C7	D_EPbIntEnb
0x0C8	D_EPCIntEnb
0x0C9	D_EPdIntEnb
0x0CA	D_EPeIntEnb
0x0CB	
0x0CC	D_AlarmIN_IntEnb_H
0x0CD	D_AlarmIN_IntEnb_L
0x0CE	D_AlarmOUT_IntEnb_H
0x0CF	D_AlarmOUT_IntEnb_L

0x0C0	D_SIE_IntEnb
0x0C1	
0x0C2	
0x0C3	D_BulkIntEnb
0x0C4	D_EPrIntEnb
0x0C5	D_EP0IntEnb
0x0C6	D_EPaIntEnb
0x0C7	D_EPbIntEnb
0x0C8	D_EPCIntEnb
0x0C9	D_EPdIntEnb
0x0CA	D_EPeIntEnb
0x0CB	
0x0CC	D_AlarmIN_IntEnb_L
0x0CD	D_AlarmIN_IntEnb_H
0x0CE	D_AlarmOUT_IntEnb_L
0x0CF	D_AlarmOUT_IntEnb_H

0x0D0	D_NegoControl
0x0D1	
0x0D2	
0x0D3	D_XcvrControl
0x0D4	D_USB_Test
0x0D5	
0x0D6	D_EPnControl
0x0D7	
0x0D8	D_BulkOnlyControl
0x0D9	D_BulkOnlyConfig
0x0DA	—
0x0DB	—
0x0DC	—
0x0DD	—
0x0DE	—
0x0DF	—

0x0D0	D_NegoControl
0x0D1	
0x0D2	
0x0D3	D_XcvrControl
0x0D4	D_USB_Test
0x0D5	
0x0D6	D_EPnControl
0x0D7	
0x0D8	D_BulkOnlyControl
0x0D9	D_BulkOnlyConfig
0x0DA	—
0x0DB	—
0x0DC	—
0x0DD	—
0x0DE	—
0x0DF	—

0x0E0	D_EP0SETUP_0
0x0E1	D_EP0SETUP_1
0x0E2	D_EP0SETUP_2
0x0E3	D_EP0SETUP_3
0x0E4	D_EP0SETUP_4
0x0E5	D_EP0SETUP_5
0x0E6	D_EP0SETUP_6
0x0E7	D_EP0SETUP_7
0x0E8	D_USB_Address
0x0E9	
0x0EA	D_SETUP_Control
0x0EB	
0x0EC	
0x0ED	
0x0EE	D_FrameNumber_H
0x0EF	D_FrameNumber_L

0x0E0	D_EP0SETUP_0
0x0E1	D_EP0SETUP_1
0x0E2	D_EP0SETUP_2
0x0E3	D_EP0SETUP_3
0x0E4	D_EP0SETUP_4
0x0E5	D_EP0SETUP_5
0x0E6	D_EP0SETUP_6
0x0E7	D_EP0SETUP_7
0x0E8	D_USB_Address
0x0E9	
0x0EA	D_SETUP_Control
0x0EB	
0x0EC	
0x0ED	
0x0EE	D_FrameNumber_L
0x0EF	D_FrameNumber_H

0x0F0	D_EP0MaxSize
0x0F1	D_EP0Control
0x0F2	D_EP0ControlIN
0x0F3	D_EP0ControlOUT
0x0F4	
0x0F5	
0x0F6	
0x0F7	
0x0F8	D_EPaMaxSize_H
0x0F9	D_EPaMaxSize_L
0x0FA	D_EPaConfig
0x0FB	
0x0FC	D_EPaControl
0x0FD	
0x0FE	
0x0FF	

0x0F0	D_EP0MaxSize
0x0F1	D_EP0Control
0x0F2	D_EP0ControlIN
0x0F3	D_EP0ControlOUT
0x0F4	
0x0F5	
0x0F6	
0x0F7	
0x0F8	D_EPaMaxSize_L
0x0F9	D_EPaMaxSize_H
0x0FA	D_EPaConfig
0x0FB	
0x0FC	D_EPaControl
0x0FD	
0x0FE	
0x0FF	

0x100	D_EPbMaxSize_H
0x101	D_EPbMaxSize_L
0x102	D_EPbConfig
0x103	
0x104	D_EPbControl
0x105	
0x106	
0x107	
0x108	D_EPcMaxSize_H
0x109	D_EPcMaxSize_L
0x10A	D_EPcConfig
0x10B	
0x10C	D_EPcControl
0x10D	
0x10E	
0x10F	

0x100	D_EPbMaxSize_L
0x101	D_EPbMaxSize_H
0x102	D_EPbConfig
0x103	
0x104	D_EPbControl
0x105	
0x106	
0x107	
0x108	D_EPcMaxSize_L
0x109	D_EPcMaxSize_H
0x10A	D_EPcConfig
0x10B	
0x10C	D_EPcControl
0x10D	
0x10E	
0x10F	

0x110	D_EPdMaxSize_H
0x111	D_EPdMaxSize_L
0x112	D_EPdConfig
0x113	
0x114	D_EPdControl
0x115	
0x116	
0x117	
0x118	D_EPeMaxSize_H
0x119	D_EPeMaxSize_L
0x11A	D_EPeConfig
0x11B	
0x11C	D_EPeControl
0x11D	
0x11E	
0x11F	

0x110	D_EPdMaxSize_L
0x111	D_EPdMaxSize_H
0x112	D_EPdConfig
0x113	
0x114	D_EPdControl
0x115	
0x116	
0x117	
0x118	D_EPeMaxSize_L
0x119	D_EPeMaxSize_H
0x11A	D_EPeConfig
0x11B	
0x11C	D_EPeControl
0x11D	
0x11E	
0x11F	

0x120	D_DescAdrs_H
0x121	D_DescAdrs_L
0x122	D_DescSize_H
0x123	D_DescSize_L
0x124	
0x125	
0x126	D_EP_DMA_Ctrl
0x127	
0x128	D_EnEP_IN_H
0x129	D_EnEP_IN_L
0x12A	D_EnEP_OUT_H
0x12B	D_EnEP_OUT_L
0x12C	D_EnEP_IN_ISO_H
0x12D	D_EnEP_IN_ISO_L
0x12E	D_EnEP_OUT_ISO_H
0x12F	D_EnEP_OUT_ISO_L

0x120	D_DescAdrs_L
0x121	D_DescAdrs_H
0x122	D_DescSize_L
0x123	D_DescSize_H
0x124	
0x125	
0x126	D_EP_DMA_Ctrl
0x127	
0x128	D_EnEP_IN_L
0x129	D_EnEP_IN_H
0x12A	D_EnEP_OUT_L
0x12B	D_EnEP_OUT_H
0x12C	D_EnEP_IN_ISO_L
0x12D	D_EnEP_IN_ISO_H
0x12E	D_EnEP_OUT_ISO_L
0x12F	D_EnEP_OUT_ISO_H

0x130	D_SIE_TestWindow_0
0x131	D_SIE_TestWindow_1 D_ModeControl
0x132	D_SIE_TestWindow_2
0x133	D_SIE_TestWindow_3
0x134	D_SIE_TestWindow_4
0x135	D_SIE_TestWindow_5
0x136	D_SIE_TestWindow_6
0x137	D_SIE_TestWindow_7
0x138	
0x139	
0x13A	
0x13B	
0x13C	
0x13D	
0x13E	
0x13F	

0x130	D_SIE_TestWindow_0
0x131	D_SIE_TestWindow_1 D_ModeControl
0x132	D_SIE_TestWindow_2
0x133	D_SIE_TestWindow_3
0x134	D_SIE_TestWindow_4
0x135	D_SIE_TestWindow_5
0x136	D_SIE_TestWindow_6
0x137	D_SIE_TestWindow_7
0x138	
0x139	
0x13A	
0x13B	
0x13C	
0x13D	
0x13E	
0x13F	

レジスタ名表記の無い番地は Reserved です。

ホスト用レジスタ(HOSTxDEVICE == 1)

0x140	H_SIE_IntStat_0
0x141	H_SIE_IntStat_1
0x142	
0x143	H_FrameIntStat
0x144	H_CHrIntStat
0x145	H_CH0IntStat
0x146	H_CHaIntStat
0x147	H_CHbIntStat
0x148	H_CHcIntStat
0x149	H_CHdIntStat
0x14A	H_CHeIntStat
0x14B	
0x14C	
0x14D	
0x14E	
0x14F	

ホスト用レジスタ(HOSTxDEVICE == 1)

0x140	H_SIE_IntStat_0
0x141	H_SIE_IntStat_1
0x142	
0x143	H_FrameIntStat
0x144	H_CHrIntStat
0x145	H_CH0IntStat
0x146	H_CHaIntStat
0x147	H_CHbIntStat
0x148	H_CHcIntStat
0x149	H_CHdIntStat
0x14A	H_CHeIntStat
0x14B	
0x14C	
0x14D	
0x14E	
0x14F	

0x150	H_SIE_IntEnb_0
0x151	H_SIE_IntEnb_1
0x152	
0x153	H_FrameIntEnb
0x154	H_CHrIntEnb
0x155	H_CH0IntEnb
0x156	H_CHaIntEnb
0x157	H_CHbIntEnb
0x158	H_CHcIntEnb
0x159	H_CHdIntEnb
0x15A	H_CHeIntEnb
0x15B	
0x15C	
0x15D	
0x15E	
0x15F	

0x150	H_SIE_IntEnb_0
0x151	H_SIE_IntEnb_1
0x152	
0x153	H_FrameIntEnb
0x154	H_CHrIntEnb
0x155	H_CH0IntEnb
0x156	H_CHaIntEnb
0x157	H_CHbIntEnb
0x158	H_CHcIntEnb
0x159	H_CHdIntEnb
0x15A	H_CHeIntEnb
0x15B	
0x15C	
0x15D	
0x15E	
0x15F	

0x160	H_NegoControl_0
0x161	
0x162	H_NegoControl_1
0x163	
0x164	H_USB_Test
0x165	
0x166	
0x167	
0x168	
0x169	
0x16A	
0x16B	
0x16C	
0x16D	
0x16E	
0x16F	

0x160	H_NegoControl_0
0x161	
0x162	H_NegoControl_1
0x163	
0x164	H_USB_Test
0x165	
0x166	
0x167	
0x168	
0x169	
0x16A	
0x16B	
0x16C	
0x16D	
0x16E	
0x16F	

0x170	H_CH0SETUP_0
0x171	H_CH0SETUP_1
0x172	H_CH0SETUP_2
0x173	H_CH0SETUP_3
0x174	H_CH0SETUP_4
0x175	H_CH0SETUP_5
0x176	H_CH0SETUP_6
0x177	H_CH0SETUP_7
0x178	
0x179	
0x17A	
0x17B	
0x17C	
0x17D	
0x17E	H_FrameNumber_H
0x17F	H_FrameNumber_L

0x170	H_CH0SETUP_0
0x171	H_CH0SETUP_1
0x172	H_CH0SETUP_2
0x173	H_CH0SETUP_3
0x174	H_CH0SETUP_4
0x175	H_CH0SETUP_5
0x176	H_CH0SETUP_6
0x177	H_CH0SETUP_7
0x178	
0x179	
0x17A	
0x17B	
0x17C	
0x17D	
0x17E	H_FrameNumber_L
0x17F	H_FrameNumber_H

0x180	H_CH0Config_0
0x181	H_CH0Config_1
0x182	
0x183	H_CH0MaxPktSize
0x184	
0x185	
0x186	H_CH0TotalSize_H
0x187	H_CH0TotalSize_L
0x188	H_CH0HubAdrs
0x189	H_CH0FuncAdrs
0x18A	
0x18B	H_CTL_SupportControl
0x18C	
0x18D	
0x18E	H_CH0ConditionCode
0x18F	

0x180	H_CH0Config_0
0x181	H_CH0Config_1
0x182	H_CH0MaxPktSize
0x183	
0x184	
0x185	
0x186	H_CH0TotalSize_L
0x187	H_CH0TotalSize_H
0x188	H_CH0HubAdrs
0x189	H_CH0FuncAdrs
0x18A	
0x18B	H_CTL_SupportControl
0x18C	
0x18D	
0x18E	H_CH0ConditionCode
0x18F	

0x190	H_CHaConfig_0
0x191	H_CHaConfig_1
0x192	H_CHaMaxPktSize_H
0x193	H_CHaMaxPktSize_L
0x194	H_CHaTotalSize_HH
0x195	H_CHaTotalSize_HL
0x196	H_CHaTotalSize_LH
0x197	H_CHaTotalSize_LL
0x198	H_CHaHubAdrs
0x199	H_CHaFuncAdrs
0x19A	H_CHaBO_SupportCtl
0x19B	H_CHaBO_CSW_RcvSize
0x19C	H_CHaBO_OUT_EP_Ctl
0x19D	H_CHaBO_IN_EP_Ctl
0x19E	H_CHaConditionCode
0x19F	

0x190	H_CHaConfig_0
0x191	H_CHaConfig_1
0x192	H_CHaMaxPktSize_L
0x193	H_CHaMaxPktSize_H
0x194	H_CHaTotalSize_HL
0x195	H_CHaTotalSize_HH
0x196	H_CHaTotalSize_LL
0x197	H_CHaTotalSize_LH
0x198	H_CHaHubAdrs
0x199	H_CHaFuncAdrs
0x19A	H_CHaBO_SupportCtl
0x19B	H_CHaBO_CSW_RcvSize
0x19C	H_CHaBO_OUT_EP_Ctl
0x19D	H_CHaBO_IN_EP_Ctl
0x19E	H_CHaConditionCode
0x19F	

0x1A0	H_CHbConfig_0
0x1A1	H_CHbConfig_1
0x1A2	H_CHbMaxPktSize_H
0x1A3	H_CHbMaxPktSize_L
0x1A4	H_CHbTotalSize_HH
0x1A5	H_CHbTotalSize_HL
0x1A6	H_CHbTotalSize_LH
0x1A7	H_CHbTotalSize_LL
0x1A8	H_CHbHubAdrs
0x1A9	H_CHbFuncAdrs
0x1AA	H_CHbInterval_H
0x1AB	H_CHbInterval_L
0x1AC	
0x1AD	
0x1AE	H_CHbConditionCode
0x1AF	

0x1A0	H_CHbConfig_0
0x1A1	H_CHbConfig_1
0x1A2	H_CHbMaxPktSize_L
0x1A3	H_CHbMaxPktSize_H
0x1A4	H_CHbTotalSize_HL
0x1A5	H_CHbTotalSize_HH
0x1A6	H_CHbTotalSize_LL
0x1A7	H_CHbTotalSize_LH
0x1A8	H_CHbHubAdrs
0x1A9	H_CHbFuncAdrs
0x1AA	H_CHbInterval_L
0x1AB	H_CHbInterval_H
0x1AC	
0x1AD	
0x1AE	H_CHbConditionCode
0x1AF	

0x1B0	H_CHcConfig_0
0x1B1	H_CHcConfig_1
0x1B2	H_CHcMaxPktSize_H
0x1B3	H_CHcMaxPktSize_L
0x1B4	H_CHcTotalSize_HH
0x1B5	H_CHcTotalSize_HL
0x1B6	H_CHcTotalSize_LH
0x1B7	H_CHcTotalSize_LL
0x1B8	H_CHcHubAdrs
0x1B9	H_CHcFuncAdrs
0x1BA	H_CHcInterval_H
0x1BB	H_CHcInterval_L
0x1BC	
0x1BD	
0x1BE	H_CHcConditionCode
0x1BF	

0x1B0	H_CHcConfig_0
0x1B1	H_CHcConfig_1
0x1B2	H_CHcMaxPktSize_L
0x1B3	H_CHcMaxPktSize_H
0x1B4	H_CHcTotalSize_HL
0x1B5	H_CHcTotalSize_HH
0x1B6	H_CHcTotalSize_LL
0x1B7	H_CHcTotalSize_LH
0x1B8	H_CHcHubAdrs
0x1B9	H_CHcFuncAdrs
0x1BA	H_CHcInterval_L
0x1BB	H_CHcInterval_H
0x1BC	
0x1BD	
0x1BE	H_CHcConditionCode
0x1BF	

0x1C0	H_CHdConfig_0
0x1C1	H_CHdConfig_1
0x1C2	H_CHdMaxPktSize_H
0x1C3	H_CHdMaxPktSize_L
0x1C4	H_CHdTotalSize_HH
0x1C5	H_CHdTotalSize_HL
0x1C6	H_CHdTotalSize_LH
0x1C7	H_CHdTotalSize_LL
0x1C8	H_CHdHubAdrs
0x1C9	H_CHdFuncAdrs
0x1CA	H_CHdInterval_H
0x1CB	H_CHdInterval_L
0x1CC	
0x1CD	
0x1CE	H_CHdConditionCode
0x1CF	

0x1C0	H_CHdConfig_0
0x1C1	H_CHdConfig_1
0x1C2	H_CHdMaxPktSize_L
0x1C3	H_CHdMaxPktSize_H
0x1C4	H_CHdTotalSize_HL
0x1C5	H_CHdTotalSize_HH
0x1C6	H_CHdTotalSize_LL
0x1C7	H_CHdTotalSize_LH
0x1C8	H_CHdHubAdrs
0x1C9	H_CHdFuncAdrs
0x1CA	H_CHdInterval_L
0x1CB	H_CHdInterval_H
0x1CC	
0x1CD	
0x1CE	H_CHdConditionCode
0x1CF	

0x1D0	H_CHeConfig_0
0x1D1	H_CHeConfig_1
0x1D2	H_CHeMaxPktSize_H
0x1D3	H_CHeMaxPktSize_L
0x1D4	H_CHeTotalSize_HH
0x1D5	H_CHeTotalSize_HL
0x1D6	H_CHeTotalSize_LH
0x1D7	H_CHeTotalSize_LL
0x1D8	H_CHeHubAdrs
0x1D9	H_CHeFuncAdrs
0x1DA	H_CHeInterval_H
0x1DB	H_CHeInterval_L
0x1DC	
0x1DD	
0x1DE	H_CHeConditionCode
0x1DF	

0x1D0	H_CHeConfig_0
0x1D1	H_CHeConfig_1
0x1D2	H_CHeMaxPktSize_L
0x1D3	H_CHeMaxPktSize_H
0x1D4	H_CHeTotalSize_HL
0x1D5	H_CHeTotalSize_HH
0x1D6	H_CHeTotalSize_LL
0x1D7	H_CHeTotalSize_LH
0x1D8	H_CHeHubAdrs
0x1D9	H_CHeFuncAdrs
0x1DA	H_CHeInterval_L
0x1DB	H_CHeInterval_H
0x1DC	
0x1DD	
0x1DE	H_CHeConditionCode
0x1DF	

0x1F5	H_Protect
0x1F6	H_Monitor

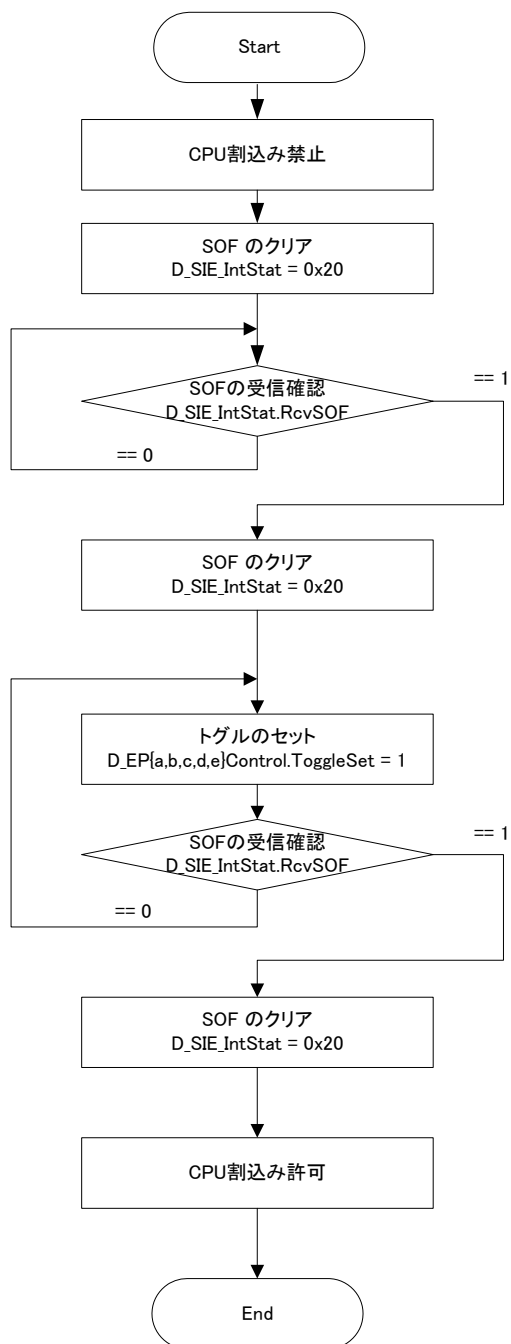
0x1F5	H_Protect
0x1F6	H_Monitor

レジスタ名表記の無い番地は Reserved です。

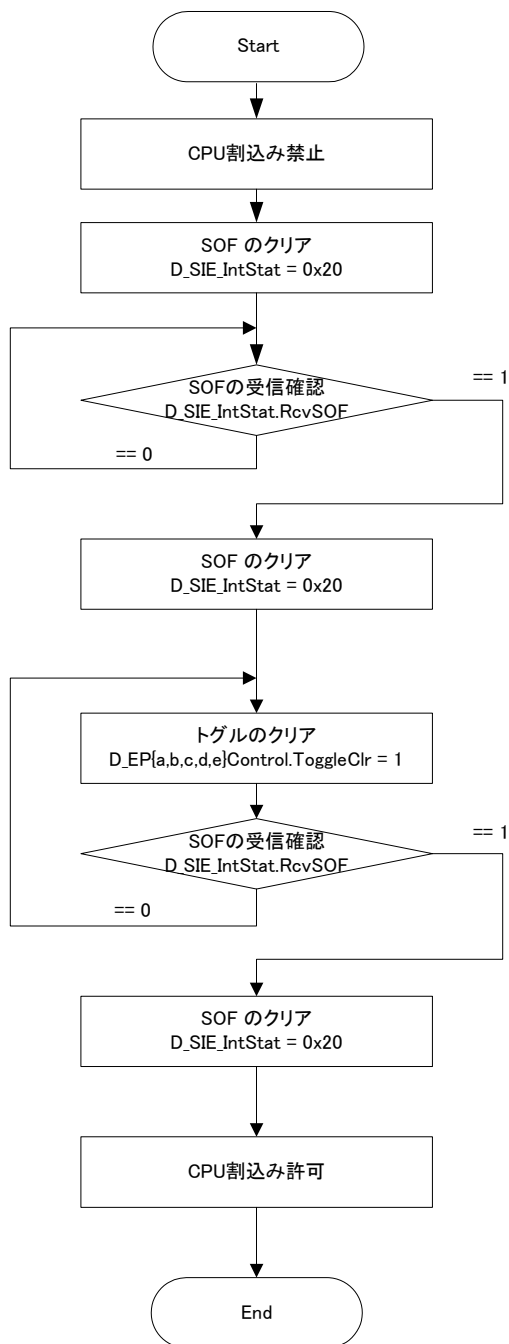
Appendix B エンドポイント切り替え時のトグル設定

エンドポイント切り替え時は、ホスト PC から汎用エンドポイント(EPa-e)に対してトランザクションが発行中の場合(NAK 返信時など)があります。その場合にエンドポイントを切り替える際は、新しく使用するエンドポイントにトグルを設定する必要がありますが、トランザクション実行中のトグル設定は、タイミングによりトグル設定が無効となる可能性がありますので、以下のフローの方法にてトグルを設定する必要があります。

トグルのセット



トグルのクリア



Appendix C HOST High-Speed 動作時の SUSPEND について

S1R72V17 の USB HOST Port の、動作モードが HS である場合において、USB バスが SUSPEND 状態にある期間中に、ディスコネクトの検出機能が使用できません。この場合、ケーブルがディスコネクトされても、H_SIE_IntStat.DetectDiscon 割り込みステータスが発行されません。

※USB HOST Port には、下記が該当します。

HostDeviceSel.HOSTxDEVICE=="1"の場合の USB Port

※動作モードが HS である場合とは、下記の場合です。

H_NegoControl_1.PortSpeed=="HS(0b00)"

本レジスタは、オートネゴシエーション機能の実行結果として、H/W によって自動的にセットされます。

※USB バスが SUSPEND 状態にある期間とは、下記の場合です。

H_NegoControl_0.HostState=="USB_SUSPEND(0b110)"

本レジスタは、オートネゴシエーション機能の実行結果として、H/W によって自動的にセットされます。

下記、いずれかの措置をお願いします。

1. SUSPEND 状態を使用しない。

通常、SUSPEND を使用しないことは、バスをアクティブにしつづけることを意味します。しかしながら、Embedded ホストでは、SUSPEND 状態でデバイスとの接続を維持するよりも、ソフト的に強制的にディスコネクト状態にすることにより、システムの省電力化及び制御の簡易化を図ることができると考えます。なお、S1R72V17 では、ソフト的にディスコネクトした状態で、LSI を SNOOZE あるいは SLEEP 等のパワーセーブモードにすることが出来ます。

ホストがソフト的に強制的にディスコネクト状態にするには、VBUS への電源供給を停止することによって行います。H_NegoControl_0.HostState="IDLE"に遷移させて下さい。そうすることによって、VBUSEN 端子の出力をネグートします。

IDLE に移行する手順は下記のようになります。

- ・H_NegoControl_0.AutoModeCancel="1"とセットする。
- H_NegoControl_0="0x80"と書き込んで下さい。
- ・H_NegoControl_0.AutoModeCancel="0"となるまで待つ。
- この変化には、最大で 100ns かかることが有ります。
- ・H_NegoControl_0.AutoMode="GoIDLE(0b0001)"を設定する。

2. f/w により、強制的に FS 動作モードに設定してから SUSPEND 状態に移行する。

USB バスを SUSPEND 状態に移行する前に、あらかじめ H_NegoControl_1.PortSpeed の値を FS に書き換えることにより、SUSPEND 状態にある期間中において、ディスコネクトの検出機能を使用できます。

ただし、この方法を採用する場合、USB デバイスからの Remote Wakeup に対応するためには、f/w の処理に時間制限が御座います。Remote Wakeup を検出すると、h/w が RESUME 信号を送出します。その処理を行っている間に、PortSpeed を"HS(0b00)"に書き戻す必要があります。

SUSPEND に移行する手順は下記のようになります。

- ・全てのトランザクションの発行を終了する。
- 新たにトランザクションを発行しないで下さい。
- ・H_Protect.TranEnb="STOP(0b01)"とセットする。
- SOF トランザクションの発行を停止します。H_Protect=0x01 と書き込んで下さい。
- ・H_Monitor.TranRunning="0"となるまで待つ。
- SOF トランザクションの発行が停止されることを待ちます。この変化には、最大で 1us かかることが有ります。
- ・H_Protect.PortSpeedWrEnb="1"とセットする。
- PortSpeed を書き換えられるようにします。他のビットを書き換えないよう、リードモディファイライトをして下さい。
- ・H_NegoControl_1.PortSpeed="FS(0b01)"を設定する。
- ・H_Protect.PortSpeedWrEnb="0"とクリアする。
- 他のビットを書き換えないよう、リードモディファイライトをして下さい。
- ・H_NegoControl_0.AutoMode="GoSUSPENDtoOP(0b1110)"を設定する。

切断検出は下記のように行われます。

- ・デバイス切断検出割り込み(H_SIE_IntStat.DetectDiscon)が発生する。
- ・H_NegoControl_0.AutoModeCancel="1"とセットする。
- GoSUSPENDtoOP の設定を解除します。H_NegoControl_0="0x80"と書き込んで下さい。
- ・H_NegoControl_0.AutoModeCancel="0"となるまで待つ。

この変化には、最大で 100ns かかることが有ります。

- H_NegoControl_0.AutoMode="GoWAIT_CONNECTtoDIS(0b1001)"を設定する。
接続検出待ちになります。

RESUME を行う手順は下記のようになります。

- H_Protect.PortSpeedWrEnb="1"とセットする。
リードモディファイライトして下さい。
- H_NegoControl_1.PortSpeed に動作スピードを設定する
- H_Protect.PortSpeedWrEnb="0"とクリアする。
リードモディファイライトして下さい。
- H_NegoControl_0.AutoModeCancel="1"とセットする。
GoSUSPENDtoOP の設定を解除します。H_NegoControl_0="0x80"と書き込んで下さい。
- H_NegoControl_0.AutoModeCancel="0"となるまで待つ。
この変化には、最大で 100ns かかることが有ります。
- H_NegoControl_0.AutoMode="GoRESUMEtoOP(0b1111)"を設定する。

Remote Wakeup への応答は下記のように行います。

- Remote Wakeup 検出割り込み(H_SIE_IntStat_0.DetectRmtWkup)が発生する。
これにより、Remote Wakeup を検出します。
- H_Protect.PortSpeedWrEnb="1"とセットする。
リードモディファイライトして下さい。
- H_NegoControl_1.PortSpeed に動作スピードを設定する。
- H_Protect.PortSpeedWrEnb="0"とクリアする。
リードモディファイライトして下さい。

Remote Wakeup への応答時には、Remote Wakeup を検出してから 20ms 以内に上記処理を行って下さい。

RESUME 中に RESET を行う手順は下記のようになります。

- H_NegoControl_0.AutoModeCancel="1"とセットする。H_NegoControl_0="0x80"と書き込んで下さい。
GoRESUMEtoOP の設定を解除します。
- H_NegoControl_0.AutoModeCancel="0"となるまで待つ。
この変化には、最大で 100ns かかることが有ります。
- H_NegoControl_0.AutoMode="GoRESETtoOP(0b1100)"を設定する。
従来の手順から変更はありません。

3. f/w により、LineState をモニタする。

H_USB_Status.LineState をポーリングすることにより、切断を検出することが出来ます。

SUSPEND 中、接続していれば、下記がモニタできます。

- H_USB_Status.LineState=="J(0b01)"

SUPEND 中に、切断すると、下記がモニタできます。

- H_USB_Status.LineState=="SE0(0b00)"

尚、上記手順に含まれるレジスタのうち、下記のものを、開発仕様書の Rev.1.30 にて追加定義しました。

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1F5h	H_Protect		7:	0:	1:	00h
				6:	0:	1:	
				5:	0:	1:	
				4:	0:	1:	
			R / W	3: PortSpeedWrEnb	Enable to replace PortSpeed		
				2:	0:	1:	
			R / W	1: TranEnb[1]	Transaction Control		
			R / W	0: TranEnb[0]			

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Host	1F6h	H_Monitor		7:			00h
				6:			
				5:			
				4:			
				3:			
				2:			
				1:			
			R	0: TranRunning	Monitor transaction		

1F5h.Bit7-4 **Reserved**

1F5h.Bit3 **PortSpeedWrEnb**

H_NegoControl_1.PortSpeed への書き込みを許可します。

1F5h.Bit2 **Reserved**

1F5h.Bit1-0 **TranEnb**

SOF の送出を停止させます。H_NegoControl_1.PortSpeed への書き込みを行う前に設定します。

1F6h.Bit7-1 **Reserved**

1F6h.Bit0 **TranRunning**

SOF の送出停止をモニタします。

Appendix D SetAddress リクエストの応答について

bmRequestType が 0(標準リクエスト)以外であり、bRequest が 0x05 であるリクエストを受信した場合に、RcvEP0SETUP 割り込みステータスが発行されません。

この問題は、“自動アドレス設定機能”が、SetAddress リクエスト(bmRequestType==0, bRequest==0x05)を自動処理することに伴い、bRequest 値を以って RcvEP0SETUP 割り込みステータスをマスクしていることに起因しています。

この問題に対処するため、下記いずれかの措置をお願いします。

1. ベンダ及びクラスリクエストを制限する

bRequest==0x05 となるベンダリクエスト、またはクラスリクエストが使用されない場合、特別な対処は必要ありません。

2. 自動アドレス設定機能を無効にする

自動アドレス設定機能を無効にすることによって、本問題を対策することが出来ます。この場合、SetAddress リクエストを受信して、自動的にステータスステージを実行する機能が無効になり、他のリクエストと同様に f/w でステータスステージを実行する必要があります。但し、自動アドレス設定機能の一部の機能を使用し、USB_Address レジスタの設定を自動化することが出来ます。

以下に、自動アドレス設定機能を無効にする設定と、同機能が無効である場合の制御シーケンスを説明します。また、比較のため、自動アドレス設定機能が有効な場合の制御を説明します。

<自動アドレス設定機能を無効にする処理>

イベント／処理	自動アドレス設定機能＝有効	自動アドレス設定機能＝無効
①自動アドレス設定機能を無効にする	－	f/w が D_ModeControl.SetAddressMode="1"とセットする。

①自動アドレス設定機能を無効にする

D_ModeControl.SetAddressMode = "1"と設定する。

この設定処理は、リセット解除後に一度行うことで、それ以降は設定する必要はありません。

<SetAddress リクエスト処理>

イベント／処理	自動アドレス設定機能＝有効	自動アドレス設定機能＝無効
①SetAddress リクエストを受信	－	h/w が RcvEP0SETUP 割り込みステータスを発行する
②リクエストの確認	－	f/w が EP0SETUP0, EP0SETUP1 により確認する
③アドレス設定指示	－	f/w が USB_Address.SetAddress="1"とセットする
④ステータスステージ応答準備	－	f/w が下記設定を行う D_SETUP_Control.ProtectEP0="0" D_EP0Control.INxOUT="1" D_EP0Control.IIN="0x40"※ ※ForceNAK="0", EnShortPkt="1"
⑤ステータスステージが行われる	h/w が SetAddressCmp 割り込みステータスを発行する	h/w が SetAddressCmp 割り込みステータスを発行する

①SetAddress リクエストを受信

h/w がリクエストを受信し、RcvEP0SETUP 割り込みステータスを発行します。

自動アドレス設定機能を無効化したことにより、SetAddress リクエストにおいても、他のリクエストと同様に、本ステータスによって SETUP トランザクションの受領を通知します。

②リクエストの確認

f/w が D_EP0SETUP0,1(※)レジスタの内容により、bmRequestType, bRequest を確認します。

bmRequest==0, bRequest==0x05 であれば、SetAddress リクエストです。

※: S1R72V03 のレジスタ定義は、"RcvEP0SETUP"となります。

③アドレス設定指示

f/w が USB_Address.SetAddress="1"とセットします。

この設定により、この後にステータスステージが行われ完了すると、SetAddress リクエストで指示されたアドレスを、h/w が USB_Address レジ

スタに上書きします。また、その処理が完了したことを、SetAddressCmp 割り込みステータスで通知します。

④ステータスステージ応答準備

他のリクエストにおける、IN 方向のステータスステージと同じく、ゼロ長パケットを返信する処理をします。

- D_SETUP_Control.ProtectEP0="0"
- D_EP0Control.INxOUT="1"
- D_EP0ControlIIN="0x40"(ForceNAK="0", EnShortPkt="1")

⑤ステータスステージが行われる

ステータスステージ(IN トランザクション)が行われると、h/w が SetAddressCmp 割り込みステータスを発行します。

尚、上記手順に含まれるレジスタのうち、下記"D_ModeContrl"を、開発仕様書の Rev.1.50 にて追加定義しました。また、D_USB_Address レジスタの bit7 を、開発仕様書の Rev.1.50 にて追加定義しました。

Mode	Address	Register Name	R / W	Bit Symbol	Description		Reset
Device	131h	D_ModeControl	W	7: (Reserved)	Don't set "1"		XXh
			W	6: (Reserved)	Don't set "1"		
			W	5: (Reserved)	Don't set "1"		
			W	4: SetAddressMode	0: Auto mode	1: Manual mode	
			W	3: (Reserved)	Don't set "1"		
			W	2: (Reserved)	Don't set "1"		
			W	1: (Reserved)	Don't set "1"		
			W	0: (Reserved)	Don't set "1"		

- Bit7-5 Reserved
- Bit4 SetAddressMode
 自動アドレス設定機能を無効にします。
- Bit3-0 Reserved

Appendix E エンドポイント／チャネルと FIFO エリアのジョインについて

・USB デバイス時のジョインについて

USB デバイスにおいて、エンドポイントと FIFO エリアとをジョインする組み合わせに制限があります。エンドポイントを使用する場合は下表に示す FIFO エリアとジョインしてご使用下さい。なお、使用しないエンドポイントに関しては FIFO エリアとジョインしないで下さい。

使用するエンドポイント	ジョインする FIFO エリア
EP0	AREA0
EPa	AREA1
EPb	AREA2
EPc	AREA3
EPd	AREA4
EPe	AREA5

・USB ホスト時のジョインについて

USB ホストにおいてコントロール転送サポート機能及びバルクオンリーサポート機能を使用する場合、チャネルと FIFO エリアとをジョインする組み合わせに制限があります。チャネルを使用する場合は下表に示す FIFO エリアとの組み合わせでご使用ください。使用しないチャネルに関しては FIFO エリアとジョインする必要はありません。

使用するチャネル	ジョイン可能な FIFO エリア
CH0	AREA0
CHa	AREA1
CHb	AREA2, AREA3, AREA4, AREA5
CHc	AREA2, AREA3, AREA4, AREA5
CHd	AREA2, AREA3, AREA4, AREA5
CHe	AREA2, AREA3, AREA4, AREA5

なお、コントロール転送サポート機能及びバルクオンリーサポート機能を使用しない場合は、チャネルと FIFO エリアのジョインの組み合わせに制限はありません。

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 410606502

2006 年 2 月 作成

2006 年 7 月 改訂