

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17W11

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報(本資料、仕様書、データシート、マニュアル、弊社ホームページなど)をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いいたします。
5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般的な電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されること(一般用途)、および本資料に個別に掲載または弊社が個別に指定する用途に使用されること(指定用途)を意図して設計、開発、製造されています。これら一般用途および指定用途以外の用途(特別な品質、信頼性が要求され、その誤作動や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある用途。以下、特定用途といいます)に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途および指定用途に使用されることを推奨いたします。もし特定用途で弊社製品のご使用およびご購入を希望される場合、弊社はお客様が弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。

【特定用途(例)】

宇宙機器(人工衛星・ロケットなど)/輸送車両並びにその制御機器(自動車・航空機・列車・船舶など)
医療機器/海底中継機器/発電所制御機器/防災・防犯装置/交通用機器/金融関連機器
上記と同等の信頼性を必要とする用途。詳細は、弊社営業窓口までお問い合わせください。

8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供する場合、「外国為替及び外国為替法」、「米国輸出管理規則(EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害(直接・間接を問わず)に関して、弊社は一切その責任を負いかねます。
10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

評価ボード・キット、開発ツールご使用上の注意事項

1. 弊社評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 弊社評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 弊社評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

Rev. j1.2, 2023.4

©Seiko Epson Corporation 2026. All rights reserved.

はじめに

本書は S1C17W11 を使用する製品を開発される設計者、プログラマを対象とした技術マニュアルで、IC の機能、内蔵周辺回路の動作、およびその制御方法を説明します。

CPU の機能と命令については“S1C17 Family S1C17 コアマニュアル”を、デバッグツールの機能と操作方法については各ツールのマニュアルを参照してください。(マニュアルは、弊社 WEB サイト“製品情報: ドキュメントダウンロード”からダウンロード可能です。)

本書内の表記や記号について

レジスタのアドレス

各周辺回路の説明には制御レジスタのアドレスは記載されておりません。レジスタのアドレスは“メモリ、バス”の章の“周辺回路エリア”、または Appendix の“周辺回路制御レジスタ一覧”を参照してください。

レジスタと制御ビット表記

説明の中では、レジスタや制御ビットを信号名や端子名と区別するため、次のように記載します。

XXX レジスタ: 1つのレジスタの全体を示します。

XXX.YYY ビット: XXX レジスタ内にある 1 ビットの制御ビット YYY を示します。

XXX.ZZZ[1:0]ビット: XXX レジスタ内にある 2 ビットの制御ビット ZZZ1 と ZZZ0 を示します。

レジスタ表の内容と記号

Initial: 初期化時の値

Reset: 初期化条件。初期化条件はリセットグループ(H0、H1、S0)により決まります。リセットグループについては、“電源、リセット、クロック”の章の“初期化条件(リセットグループ)”を参照してください。

R/W: R = 読み出し可能

W = 書き込み可能

WP = 書き込み可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

R/W = 読み書き可能

R/WP = 読み書き可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

制御ビットの読み出し/書き込み値

本書では 1 ビット値を除き、制御ビットの値を 16 進数で記載します(説明上、10 進数や 2 進数が必要な場合を除く)。制御ビットのビット幅により次のように記載します。

1 ビット: 0 または 1

2~4 ビット: 0x0~0xf

5~8 ビット: 0x00~0xff

9~12 ビット: 0x000~0xfff

13~16 ビット: 0x0000~0xffff

10 進数: 0~9999...

2 進数: 0b0000...~0b1111...

チャンネル番号

周辺回路によっては複数チャンネルの機能を搭載可能な場合があります(例: 16 ビットタイマなど)。これらの周辺回路の章は実装されているチャンネル数にかかわらず、レジスタ名や端子名などに付いているチャンネル番号を表す数値を‘n’と記述しています。基本的に、説明は全チャンネルに適用されます。機能が異なるチャンネルについてはチャンネル番号を明記しています。

例) 16 ビットタイマの T16_nCTL レジスタ

1 チャンネル搭載機種(Ch.0 のみ): T16_nCTL = T16_0CTL のみ

2 チャンネル搭載機種(Ch.0 と Ch.1): T16_nCTL = T16_0CTL と T16_1CTL

本 IC の周辺回路の搭載チャンネル数は、“概要”の章の“特長”を参照してください。

- 目 次 -

はじめに	i
本書内の表記や記号について	i
1 概要.....	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図(SQFN7-48pin).....	1-4
1.3.2 パッド配置図(チップ).....	1-5
1.3.3 端子説明.....	1-6
2 電源, リセット, クロック.....	2-1
2.1 パワージェネレータ(PWG2).....	2-1
2.1.1 概要.....	2-1
2.1.2 端子.....	2-1
2.1.3 V _{D1} レギュレータの動作モード.....	2-2
2.1.4 V _{D1} レギュレータ/RFCレギュレータの電圧モード.....	2-2
2.2 システムリセットコントローラ(SRC).....	2-3
2.2.1 概要.....	2-3
2.2.2 入力端子.....	2-3
2.2.3 リセットソース.....	2-3
2.2.4 初期化条件(リセットグループ).....	2-4
2.3 クロックジェネレータ(CLG).....	2-5
2.3.1 概要.....	2-5
2.3.2 入出力端子.....	2-6
2.3.3 クロックソース.....	2-6
2.3.4 動作.....	2-8
2.4 動作モード.....	2-10
2.4.1 イニシャル起動シーケンス.....	2-10
2.4.2 動作モードの遷移.....	2-10
2.5 割り込み.....	2-12
2.6 制御レジスタ.....	2-13
PWG2 V _{D1} Regulator Control Register.....	2-13
PWG2 RFC Regulator Control Register.....	2-13
CLG System Clock Control Register.....	2-14
CLG Oscillation Control Register.....	2-15
CLG OSC1 Control Register.....	2-15
CLG OSC3 Control Register.....	2-16
CLG Interrupt Flag Register.....	2-16
CLG Interrupt Enable Register.....	2-17
CLG FOOUT Control Register.....	2-17
CLG Oscillation Frequency Trimming Register 1.....	2-18
CLG Oscillation Frequency Trimming Register 2.....	2-18
3 CPU, デバッグ.....	3-1
3.1 概要.....	3-1
3.2 CPU コア.....	3-2
3.2.1 CPU レジスタ.....	3-2
3.2.2 命令セット.....	3-2
3.2.3 PSR の読み出し.....	3-2
3.2.4 S1C17 コア予約 I/O エリア.....	3-2
3.3 デバッグ.....	3-2

3.3.1	デバッグ機能	3-2
3.3.2	必要リソースとデバッグツール	3-2
3.3.3	デバッガ入出力端子一覧	3-3
3.3.4	外部接続	3-3
3.3.5	Flash セキュリティ機能	3-3
3.4	制御レジスタ	3-4
	MISC PSR Register	3-4
	Debug RAM Base Register	3-4
4	メモリ, バス	4-1
4.1	概要	4-1
4.2	バスアクセスサイクル	4-1
4.3	Flash メモリ	4-2
4.3.1	Flash メモリ端子	4-2
4.3.2	Flash バスアクセスサイクルの設定	4-2
4.3.3	Flash プログラミング	4-3
4.4	EEPROM	4-3
4.4.1	EEPROM 端子	4-3
4.4.2	EEPROM 操作	4-3
4.4.3	割り込み	4-4
4.5	RAM	4-4
4.6	表示データ RAM	4-5
4.7	周辺回路制御レジスタ	4-5
4.7.1	システムプロテクト機能	4-8
4.8	制御レジスタ	4-8
	MISC System Protect Register	4-8
	MISC IRAM Size Register	4-8
	FLASHC Flash Read Cycle Register	4-9
	EEPROMC Control Register 0	4-9
	EEPROMC Control Register 1	4-10
	EEPROMC Address Register	4-10
	EEPROMC Write Data Register	4-10
	EEPROMC Interrupt Flag Register	4-10
	EEPROMC Interrupt Enable Register	4-11
5	割り込みコントローラ(ITC)	5-1
5.1	概要	5-1
5.2	ベクタテーブル	5-1
5.2.1	ベクタテーブルベースアドレス(TTBR)	5-2
5.3	初期設定	5-3
5.4	マスク可能割り込みの制御と動作	5-3
5.4.1	周辺回路の割り込み制御	5-3
5.4.2	ITC の割り込み要求処理	5-3
5.4.3	CPU の割り込み要求受領条件	5-4
5.5	NMI	5-4
5.6	ソフトウェア割り込み	5-4
5.7	CPU による割り込み処理	5-4
5.8	制御レジスタ	5-5
	MISC Vector Table Address Low Register	5-5
	MISC Vector Table Address High Register	5-5
	ITC Interrupt Level Setup Register x	5-5
6	入出力ポート(PPORT)	6-1

目次

6.1	概要	6-1
6.2	I/Oセルの構造と機能	6-2
6.2.1	シュミット入力	6-3
6.2.2	トレラント・フェイルセーフ	6-3
6.2.3	プルアップ/プルダウン	6-3
6.2.4	CMOS出力とハイインピーダンス状態	6-3
6.2.5	LED駆動用出力端子	6-3
6.3	クロック設定	6-3
6.3.1	PPORTの動作クロック	6-3
6.3.2	SLEEPモード時のクロック供給	6-4
6.3.3	DEBUGモード時のクロック供給	6-4
6.4	動作	6-4
6.4.1	初期設定	6-4
6.4.2	ポートの入出力制御	6-5
6.5	割り込み	6-6
6.6	制御レジスタ	6-7
	Px Port Data Register	6-7
	Px Port Enable Register	6-7
	Px Port Pull-up/down Control Register	6-8
	Px Port Interrupt Flag Register	6-8
	Px Port Interrupt Control Register	6-8
	Px Port Chattering Filter Enable Register	6-9
	Px Port Mode Select Register	6-9
	Px Port Function Select Register	6-9
	P Port Clock Control Register	6-10
	P Port Interrupt Flag Group Register	6-11
6.7	本ICの制御レジスタ/ポート機能の構成	6-12
6.7.1	P0ポートグループ	6-12
6.7.2	P1ポートグループ	6-14
6.7.3	P2ポートグループ	6-16
6.7.4	Pdポートグループ	6-18
6.7.5	ポートグループ共通	6-19
7	ユニバーサルポートマルチプレクサ(UPMUX)	7-1
7.1	概要	7-1
7.2	周辺入出力機能の割り当て	7-1
7.3	制御レジスタ	7-2
	Pxy-xz Universal Port Multiplexer Setting Register	7-2
8	ウォッチドッグタイマ(WDT2)	8-1
8.1	概要	8-1
8.2	クロック設定	8-1
8.2.1	WDT2の動作クロック	8-1
8.2.2	DEBUGモード時のクロック供給	8-1
8.3	動作	8-2
8.3.1	WDT2の制御	8-2
8.3.2	HALT, SLEEPモード時の動作	8-3
8.4	制御レジスタ	8-3
	WDT2 Clock Control Register	8-3
	WDT2 Control Register	8-4
	WDT2 Counter Compare Match Register	8-4
9	電源電圧検出回路(SVD5)	9-1
9.1	概要	9-1

9.2	入力端子と外部接続	9-2
9.2.1	入力端子	9-2
9.2.2	外部との接続	9-2
9.3	クロック設定	9-2
9.3.1	SVD5の動作クロック	9-2
9.3.2	SLEEPモード時のクロック供給	9-2
9.3.3	DEBUGモード時のクロック供給	9-3
9.4	動作	9-3
9.4.1	SVD5の制御	9-3
9.4.2	SVD5の動作	9-4
9.5	SVD5割り込みとリセット	9-4
9.5.1	SVD5割り込み	9-4
9.5.2	SVD5リセット	9-5
9.6	制御レジスタ	9-5
SVD5 Clock Control Register	9-5	
SVD5 Control Register	9-6	
SVD5 Status and Interrupt Flag Register	9-7	
SVD5 Interrupt Enable Register	9-8	
10	16ビットタイマ(T16)	10-1
10.1	概要	10-1
10.2	入力端子	10-1
10.3	クロック設定	10-2
10.3.1	T16の動作クロック	10-2
10.3.2	SLEEPモード時のクロック供給	10-2
10.3.3	DEBUGモード時のクロック供給	10-2
10.3.4	イベントカウンタクロック	10-2
10.4	動作	10-2
10.4.1	初期設定	10-2
10.4.2	カウンタのアンダーフロー	10-3
10.4.3	リピートモードの動作	10-3
10.4.4	ワンショットモードの動作	10-3
10.4.5	カウンタ値のリード	10-4
10.5	割り込み	10-4
10.6	制御レジスタ	10-4
T16 Ch.n Clock Control Register	10-4	
T16 Ch.n Mode Register	10-5	
T16 Ch.n Control Register	10-5	
T16 Ch.n Reload Data Register	10-6	
T16 Ch.n Counter Data Register	10-6	
T16 Ch.n Interrupt Flag Register	10-6	
T16 Ch.n Interrupt Enable Register	10-7	
11	UART(UART3)	11-1
11.1	概要	11-1
11.2	入出力端子と外部接続	11-2
11.2.1	入出力端子一覧	11-2
11.2.2	外部との接続	11-2
11.2.3	入力端子のブルアップ機能	11-2
11.2.4	出力端子のオープンドレイン出力機能	11-2
11.2.5	入出力信号の反転機能	11-2
11.3	クロック設定	11-2
11.3.1	UART3の動作クロック	11-2

目次

11.3.2	SLEEPモード時のクロック供給	11-3
11.3.3	DEBUGモード時のクロック供給	11-3
11.3.4	ボーレートジェネレータ	11-3
11.4	データフォーマット	11-3
11.5	動作	11-4
11.5.1	初期設定	11-4
11.5.2	データ送信	11-5
11.5.3	データ受信	11-6
11.5.4	IrDAインタフェース	11-7
11.5.5	キャリア変調	11-7
11.6	受信エラー	11-8
11.6.1	フレーミングエラー	11-8
11.6.2	パリティエラー	11-8
11.6.3	オーバーランエラー	11-9
11.7	割り込み	11-9
11.8	制御レジスタ	11-9
	UART3 Ch. <i>n</i> Clock Control Register	11-9
	UART3 Ch. <i>n</i> Mode Register	11-10
	UART3 Ch. <i>n</i> Baud-Rate Register	11-11
	UART3 Ch. <i>n</i> Control Register	11-12
	UART3 Ch. <i>n</i> Transmit Data Register	11-12
	UART3 Ch. <i>n</i> Receive Data Register	11-12
	UART3 Ch. <i>n</i> Status and Interrupt Flag Register	11-13
	UART3 Ch. <i>n</i> Interrupt Enable Register	11-14
	UART3 Ch. <i>n</i> Carrier Waveform Register	11-14
12	同期式シリアルインタフェース(SPIA)	12-1
12.1	概要	12-1
12.2	入出力端子と外部接続	12-2
12.2.1	入出力端子一覧	12-2
12.2.2	外部との接続	12-2
12.2.3	マスタモードとスレーブモードの端子機能	12-3
12.2.4	入力端子のプルアップ/プルダウン機能	12-3
12.3	クロック設定	12-3
12.3.1	SPIAの動作クロック	12-3
12.3.2	DEBUGモード時のクロック供給	12-4
12.3.3	SPIクロック(SPICLK _{<i>n</i>})の位相と極性	12-4
12.4	データフォーマット	12-5
12.5	動作	12-5
12.5.1	初期設定	12-5
12.5.2	マスタモードのデータ送信	12-5
12.5.3	マスタモードのデータ受信	12-7
12.5.4	マスタモードのデータ送受信終了	12-8
12.5.5	スレーブモードのデータ送受信	12-8
12.5.6	スレーブモードのデータ送受信終了	12-10
12.6	割り込み	12-10
12.7	制御レジスタ	12-11
	SPIA Ch. <i>n</i> Mode Register	12-11
	SPIA Ch. <i>n</i> Control Register	12-12
	SPIA Ch. <i>n</i> Transmit Data Register	12-13
	SPIA Ch. <i>n</i> Receive Data Register	12-13
	SPIA Ch. <i>n</i> Interrupt Flag Register	12-13
	SPIA Ch. <i>n</i> Interrupt Enable Register	12-14

13 I²C(I2C)	13-1
13.1 概要.....	13-1
13.2 入出力端子と外部接続.....	13-2
13.2.1 入出力端子一覧.....	13-2
13.2.2 外部との接続.....	13-2
13.3 クロック設定.....	13-3
13.3.1 I2Cの動作クロック.....	13-3
13.3.2 DEBUGモード時のクロック供給.....	13-3
13.3.3 ボーレートジェネレータ.....	13-3
13.4 動作.....	13-4
13.4.1 初期設定.....	13-4
13.4.2 マスタモードのデータ送信.....	13-5
13.4.3 マスタモードのデータ受信.....	13-7
13.4.4 マスタモードでの10ビットアドレス指定.....	13-9
13.4.5 スレーブモードのデータ送信.....	13-10
13.4.6 スレーブモードのデータ受信.....	13-12
13.4.7 10ビットアドレスモードのスレーブ動作.....	13-14
13.4.8 自動バスクリア動作.....	13-14
13.4.9 エラー検出.....	13-15
13.5 割り込み.....	13-16
13.6 制御レジスタ.....	13-17
I2C Ch. <i>n</i> Clock Control Register.....	13-17
I2C Ch. <i>n</i> Mode Register.....	13-18
I2C Ch. <i>n</i> Baud-Rate Register.....	13-18
I2C Ch. <i>n</i> Own Address Register.....	13-18
I2C Ch. <i>n</i> Control Register.....	13-19
I2C Ch. <i>n</i> Transmit Data Register.....	13-20
I2C Ch. <i>n</i> Receive Data Register.....	13-20
I2C Ch. <i>n</i> Status and Interrupt Flag Register.....	13-20
I2C Ch. <i>n</i> Interrupt Enable Register.....	13-21
14 16ビットPWMタイマ(T16B)	14-1
14.1 概要.....	14-1
14.2 入出力端子.....	14-2
14.3 クロック設定.....	14-3
14.3.1 T16Bの動作クロック.....	14-3
14.3.2 SLEEPモード時のクロック供給.....	14-3
14.3.3 DEBUGモード時のクロック供給.....	14-3
14.3.4 イベントカウンタクロック.....	14-3
14.4 動作.....	14-4
14.4.1 初期設定.....	14-4
14.4.2 カウンタブロックの動作.....	14-5
14.4.3 コンパレータ/キャプチャブロックの動作.....	14-8
14.4.4 TOUT出力の制御.....	14-16
14.5 割り込み.....	14-22
14.6 制御レジスタ.....	14-22
T16B Ch. <i>n</i> Clock Control Register.....	14-22
T16B Ch. <i>n</i> Counter Control Register.....	14-23
T16B Ch. <i>n</i> Max Counter Data Register.....	14-24
T16B Ch. <i>n</i> Timer Counter Data Register.....	14-25
T16B Ch. <i>n</i> Counter Status Register.....	14-25
T16B Ch. <i>n</i> interrupt Flag Register.....	14-26
T16B Ch. <i>n</i> interrupt enable Register.....	14-27
T16B Ch. <i>n</i> Comparator/Capture <i>m</i> Control Register.....	14-28

目次

T16B Ch. <i>n</i> Compare/Capture <i>m</i> Data Register	14-30
15 サウンドジェネレータ(SNDA2)	15-1
15.1 概要.....	15-1
15.2 出力端子と外部接続	15-2
15.2.1 出力端子一覧.....	15-2
15.2.2 出力端子の駆動モード	15-2
15.2.3 外部との接続.....	15-2
15.3 クロック設定	15-3
15.3.1 SNDA2の動作クロック	15-3
15.3.2 SLEEPモード時のクロック供給.....	15-3
15.3.3 DEBUGモード時のクロック供給	15-3
15.4 動作.....	15-3
15.4.1 初期設定	15-3
15.4.2 ノーマルブザーモードのブザー出力.....	15-3
15.4.3 ワンショットブザーモードのブザー出力.....	15-6
15.4.4 メロディモードの出力	15-7
15.5 割り込み	15-9
15.6 制御レジスタ	15-10
SNDA2 Clock Control Register.....	15-10
SNDA2 Select Register	15-10
SNDA2 Control Register.....	15-11
SNDA2 Data Register.....	15-12
SNDA2 Interrupt Flag Register.....	15-12
SNDA2 Interrupt Enable Register.....	15-13
16 LCDドライバ(LCD4B)	16-1
16.1 概要.....	16-1
16.2 出力端子と外部接続	16-2
16.2.1 出力端子一覧.....	16-2
16.2.2 外部との接続.....	16-2
16.3 クロック設定	16-2
16.3.1 LCD4Bの動作クロック	16-2
16.3.2 SLEEPモード時のクロック供給.....	16-3
16.3.3 DEBUGモード時のクロック供給	16-3
16.3.4 フレーム周波数	16-3
16.4 LCD電源.....	16-3
16.4.1 内部生成モード	16-4
16.4.2 外部印加モード1	16-4
16.4.3 外部印加モード2	16-4
16.4.4 外部印加モード3	16-5
16.4.5 LCD電源回路の設定	16-5
16.5 動作.....	16-5
16.5.1 初期設定	16-5
16.5.2 表示のON/OFF	16-6
16.5.3 反転表示.....	16-6
16.5.4 駆動デューティの切り換え	16-7
16.5.5 駆動波形.....	16-7
16.5.6 コモン出力パーシャル駆動	16-9
16.5.7 セグメント出力 <i>n</i> ライン反転交流駆動.....	16-9
16.6 表示データRAM.....	16-10
16.6.1 表示領域の選択	16-10
16.6.2 セグメント端子の割り付け	16-10

16.6.3 コモン端子の割り付け	16-10
16.7 割り込み	16-13
16.8 制御レジスタ	16-13
LCD4B Clock Control Register	16-13
LCD4B Control Register	16-14
LCD4B Timing Control Register 1	16-14
LCD4B Timing Control Register 2	16-15
LCD4B Power Control Register	16-15
LCD4B Display Control Register	16-16
LCD4B COM Pin Control Register 0	16-17
LCD4B Interrupt Flag Register	16-17
LCD4B Interrupt Enable Register	16-17
17 R/F 変換器(RFC2).....	17-1
17.1 概要.....	17-1
17.2 入出力端子と外部接続.....	17-2
17.2.1 入出力端子一覧.....	17-2
17.2.2 外部との接続.....	17-2
17.3 クロック設定	17-3
17.3.1 RFC2の動作クロック	17-3
17.3.2 SLEEPモード時のクロック供給	17-3
17.3.3 DEBUGモード時のクロック供給	17-3
17.4 動作.....	17-3
17.4.1 初期設定	17-3
17.4.2 動作モード	17-4
17.4.3 RFCカウンタ	17-4
17.4.4 変換動作と制御手順	17-5
17.4.5 CR発振周波数モニタ機能	17-7
17.5 割り込み	17-7
17.6 制御レジスタ	17-8
RFC2 Ch.n Clock Control Register.....	17-8
RFC2 Ch.n Control Register.....	17-8
RFC2 Ch.n Oscillation Trigger Register	17-9
RFC2 Ch.n Measurement Counter low and high Registers	17-10
RFC2 Ch.n Time Base Counter low and high Registers	17-10
RFC2 Ch.n interrupt Flag Register	17-10
RFC2 Ch.n interrupt enable Register	17-11
18 電源昇圧回路(CHREG).....	18-1
18.1 概要.....	18-1
18.2 入出力端子と外部接続.....	18-1
18.2.1 入出力端子一覧	18-1
18.2.2 外部との接続.....	18-1
18.3 動作.....	18-2
18.3.1 昇圧回路の ON/OFF	18-2
18.3.2 昇圧回路の設定	18-2
18.4 制御レジスタ	18-2
CHREG Configuration Register.....	18-2
CHREG Control Register.....	18-3
19 乗除算器(COPRO2).....	19-1
19.1 概要.....	19-1
19.2 動作モードと出力モード	19-1
19.3 乗算.....	19-2

目次

19.4	除算	19-3
19.5	積和演算	19-5
19.6	演算結果の読み出し	19-7
20	電气的特性	20-1
20.1	絶対最大定格	20-1
20.2	推奨動作条件	20-1
20.3	消費電流	20-2
20.4	システムリセットコントローラ(SRC)特性	20-2
20.5	クロックジェネレータ(CLG)特性	20-3
20.6	Flash メモリ特性	20-5
20.7	EEPROM 特性	20-5
20.8	入出力(PPORT)特性	20-6
20.9	電源電圧検出回路(SVD5)特性	20-7
20.10	UART(UART3)特性	20-9
20.11	同期式シリアルインターフェース(SPIA)特性	20-9
20.12	I ² C(I2C)特性	20-10
20.13	LCD ドライバ(LCD4B)特性	20-11
20.14	R/F 変換器(RFC2)特性	20-14
20.15	昇圧回路(CHREG)特性	20-16
21	基本外部結線図	21-1
22	パッケージ	22-1
Appendix A	周辺回路制御レジスタ一覧	AP-A-1
0x4000-0x4008	Misc Register (MISC)	AP-A-1
0x4020-0x4022	Power Generator (PWG2)	AP-A-1
0x4040-0x4054	Clock Generator (CLG)	AP-A-1
0x4080-0x4090	Interrupt Controller (ITC)	AP-A-2
0x40a0-0x40a4	Watchdog Timer (WDT2)	AP-A-3
0x4100-0x4106	Supply Voltage Detector (SVD5)	AP-A-3
0x4160-0x416c	16-bit Timer (T16) Ch.0	AP-A-4
0x41b0	Flash Controller (FLASHC)	AP-A-4
0x41c0-0x41ca	EEPROM Controller (EEPROMC)	AP-A-4
0x4200-0x42e2	I/O Ports (PPORT)	AP-A-5
0x4300-0x430e	Universal Port Multiplexer (UPMUX)	AP-A-10
0x4380-0x4390	UART (UART3) Ch.0	AP-A-11
0x43a0-0x43ac	16-bit Timer (T16) Ch.1	AP-A-12
0x43b0-0x43ba	Synchronous Serial Interface (SPIA) Ch.0	AP-A-13
0x43c0-0x43d2	I ² C (I2C) Ch.0	AP-A-13
0x5000-0x501a	16-bit PWM Timer (T16B) Ch.0	AP-A-14
0x5040-0x505a	16-bit PWM Timer (T16B) Ch.1	AP-A-16
0x5260-0x526c	16-bit Timer (T16) Ch.2	AP-A-17
0x5300-0x530a	Sound Generator (SNDA2)	AP-A-17
0x5340-0x5342	Charge Pump Regulator (CHREG)	AP-A-18
0x5400-0x5412	LCD Driver (LCD4B)	AP-A-18
0x5440-0x5450	R/F Converter (RFC2) Ch.0	AP-A-19
0xffff90	Debugger (DBG)	AP-A-20

Appendix B パワーセーブ	AP-B-1
B.1 パワーセーブを考慮した動作状態の設定例	AP-B-1
B.2 その他のパワーセーブ方法	AP-B-1
Appendix C 実装上の注意事項	AP-C-1
Appendix D ノイズ対策	AP-D-1
Appendix E 初期化ルーチン	AP-E-1
改訂履歴表	

1 概要

1 概要

S1C17W11 は、低消費電力を特長とする 16 ビット MCU です。各種シリアルインタフェース、LCD ドライバ、CR 発振型高精度 A/D 変換器(R/F コンバータ)を内蔵しており、16 ビット CPU のパワフルな処理能力と併せ、液晶表示と抵抗値測定機能を必要とする電池駆動のアプリケーション(体温計、水質計、塩分濃度計など)に最適です。また、ブザー/LED 駆動用の電源昇圧回路を搭載しており、白色 LED の駆動やブザー音量の増強に使用することが可能です。

1.1 特長

表 1.1.1 特長

機種		S1C17W11
CPU		
CPUコア	EPSONオリジナル16ビットRISC CPUコアS1C17	
その他	デバッグを内蔵	
内蔵Flashメモリ		
容量(命令/データ共用)	48Kバイト	
書き換え回数	1,000回(min.) *デバッグツールICDminiからの書き換え時	
その他	ICDminiからの読み出し/書き換えを禁止するセキュリティ機能 ICDminiによるオンボード書き換えが可能 *外付け平滑コンデンサ必須 Flashプログラミング電圧を内部生成可能	
内蔵EEPROM		
容量	128バイト	
書き換え回数	100,000回(min.)	
内蔵RAM		
容量	2Kバイト	
内蔵表示RAM		
容量	20バイト (4 COM × 20 SEG × 2画面分)	
クロックジェネレータ(CLG)		
システムクロックソース	4種類(IOSC/OSC1/OSC3/EXOSC)	
システムクロック周波数(動作周波数)	4.2 MHz (max.)	
IOSC発振回路(起動クロックソース)	700 kHz (typ.) 内蔵発振回路 23 μs (max.)の起動時間 (SLEEP状態からCPUがベクタテーブルを読み出すまでの時間)	
OSC1発振回路	32 kHz (typ.)内蔵発振回路	
OSC3発振回路	4M(max.) / 2M / 1M / 500k / 384k / 250k Hz 内蔵発振回路	
EXOSCクロック入力	4.2 MHz(max.) 矩形波またはサイン波入力	
その他	システムクロックの分周比を設定可能 SLEEP復帰時のシステムクロックを任意に設定可能 CPUとすべての周辺回路が、任意に選択されたクロック周波数で動作可能	
入出力ポート(PPORT)		
汎用ポート数	入出力ポート	24ビット (max.) うち 2ビット はデバッグ用端子 (DSIO / DST2)
	出力ポート	1ビット (max.)、うち 1ビット はデバッグ用端子 (DCLK)
	その他	周辺回路の入出力端子と共用
入力割り込み対応ポート数	22 ビット (max.)	
ユニバーサルポートマルチプレクサ (UPMUX)対応ポート数	16 ビット ソフトウェアで選択した周辺回路入出力機能を各ポートに割り付け可能 対象機能: I2C, SPIA, UART3, T16B	
LED駆動用出力端子	2ビット, Nchオープンドレイン, 出力電流 10mA (max.)	
タイマ		
ウォッチドッグタイマ(WDT2)	NMI, またはハードリセットを生成 NMI/リセット発生周期を設定可能	
16ビットタイマ(T16)	3チャンネル SPIAのマスタクロックを生成	
16ビットPWMタイマ(T16B)	2チャンネル イベントカウンタ/キャプチャ機能 PWM波形生成機能 PWM出力またはキャプチャ入力ポート数: 2ポート(1チャンネルあたり)	
電源電圧検出回路(SVD5)		
検出電圧	V _{DD} または外部電圧(1本の外部電圧入力ポートを搭載し、V _{DD} 以上の電圧レベルも検出可能)	
検出レベル	32値 (1.15~3.2 V)	
その他	間欠動作モード 検出レベル判定で割り込み, またはリセットを発生	

機種		S1C17W11
シリアルインタフェース		
UART(UART3)	1チャンネル	ボーレート生成回路内蔵, IrDA1.0対応 オープンドレイン出力, 信号極性, ボーレート分周比を選択可能 赤外線通信用キャリア変調出力機能
同期式シリアルインタフェース(SPIA)	1チャンネル	転送データ長を2~16ビットに設定可能 マスタモードのボーレート生成回路として16ビットタイマ(T16)を使用可能
I ² C(I2C) ¹	1チャンネル	ボーレート生成回路内蔵
サウンドジェネレータ(SNDA2)		
ブザー出力機能	出力周波数: 512 Hz~16 kHz	1ショット出力機能
メロディ生成機能	音高: 128 Hz~16 kHz ≙ C3~C6 音長: 7種類(2分音符/休符~32分音符/休符) テンポ: 16種類(30~480) タイ指定可能	
電源昇圧回路(CHREG)		
出力電圧	V _{DD} 電圧 × 2 ≤ 5.0V (typ.)	
その他	SNDA2出力端子 (BZOUT, #BZOUT) のI/O電圧 LED駆動用電源としても使用可能, 出力電流 10 mA (max.)	
LCDドライバ(LCD4B)		
LCD出力	20SEG × 1~4COM(max.)	
LCD電源	1/3 バイアス電源内蔵 (内蔵昇圧/抵抗分圧を選択可能) 外部電圧を印加可能 (内部抵抗により外部電圧を分圧可能)	
LCDコントラスト	29値 (内蔵昇圧時のみ)	
R/F変換器(RFC2)		
変換方式	CR発振型, 24ビットカウンタ	
変換チャンネル数	1チャンネル	
対応センサ	DCバイアス抵抗性センサ ACバイアス抵抗性センサ	
接続可能センサ数	2個 (max.) * DC抵抗性センサモード時 1個 (max.) * AC抵抗性センサモード時	
測定用基準電源	専用電源回路による内部生成	
乗除算器(COPRO2)		
演算機能	16ビット× 16ビット乗算器 16ビット× 16ビット + 32ビット積和演算器 32ビット ÷ 32ビット除算器	
リセット		
#RESET端子	リセット端子Lowレベル検出時	
パワーオンリセット	電源投入時	
キー入力リセット	P10~P11/P12/P13キーの同時入力時 (レジスタでON/OFF設定可能)	
ウォッチドッグタイマリセット	ウォッチドッグタイマオーバーフロー時 (レジスタでON/OFF設定可能)	
電源電圧検出回路リセット	電源電圧検出回路による設定電圧検出時 (レジスタでON/OFF設定可能)	
割り込み		
ノンマスクابل割り込み	4本 (リセット, アドレス不整, デバッグ, NMI)	
プログラマブル割り込み	外部割り込み: 1本 (8レベル) 内部割り込み: 14本 (8レベル)	
電源電圧		
V _{DD} 動作電圧	1.2~3.6 V	
内部ロジック電圧	1.2V/1.4V/1.8V切替え	
Flash書き換え時V _{DD} 動作電圧	2.2~3.6V (書き換え用電圧V _{PP} : 7.5 V外部印加または内部生成)	
EEPROM書き換え時電圧	2.2~3.6V (書き換え用電圧V _{PP} : 内部生成)	
動作温度		
動作温度範囲	-40~85 °C	
消費電流 (Typ.値)		
SLEEPモード ²	109 nA (V _{DD} =1.5V), 116 nA (V _{DD} =3.0V) IOSC = OFF, OSC1 = OFF, OSC3 = OFF, V _{D1} =1.2V	
HALTモード ²	1.28 μA OSC1 = 32 kHz, V _{D1} =1.2V	
RUNモード ²	3.82 μA OSC1 = 32 kHz, CPU = OSC1, V _{D1} =1.2V 75.6 μA IOSC = 700kHz, CPU = IOSC, V _{D1} =1.2V 156 μA OSC3 = 1MHz, CPU = OSC3, V _{D1} =1.2V	
出荷形態		
1	SQFN7-48pin (P-VQFN048-0707-0.50, 7 x 7 mm, t=1.0mm, 0.5mm pitch) ²	
2	ベアチップ	

*1 I2C(SDA および SCL 入力)の入力フィルタは、50 ns 未満のノイズスパイク除去の規格に準拠していません。

*2 ()内は JEITA のパッケージ名称です。

1.2 ブロック図

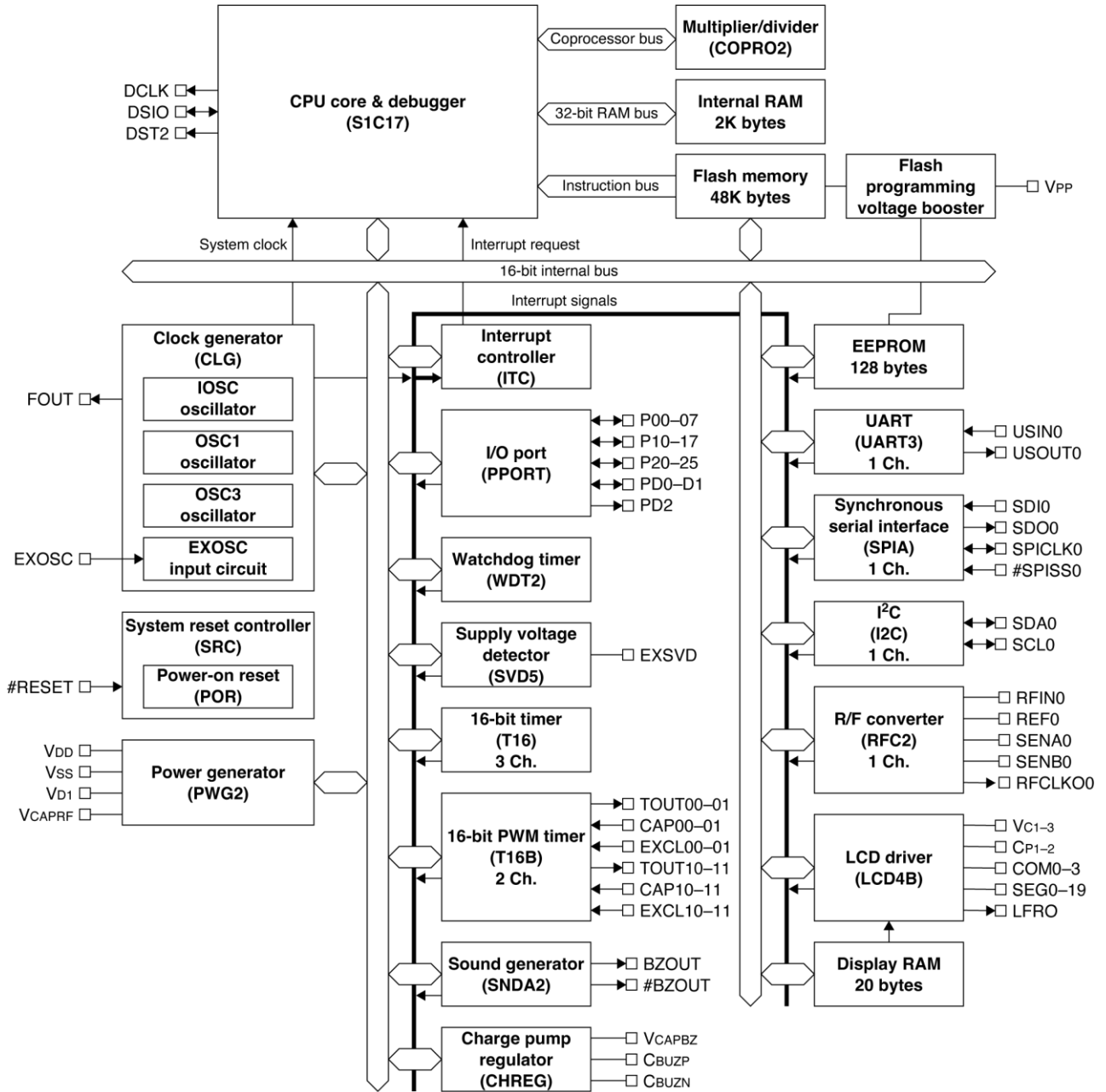


図 1.2.1 S1C17W11 ブロック図

1.3 端子

1.3.1 端子配置図(SQFN7-48pin)

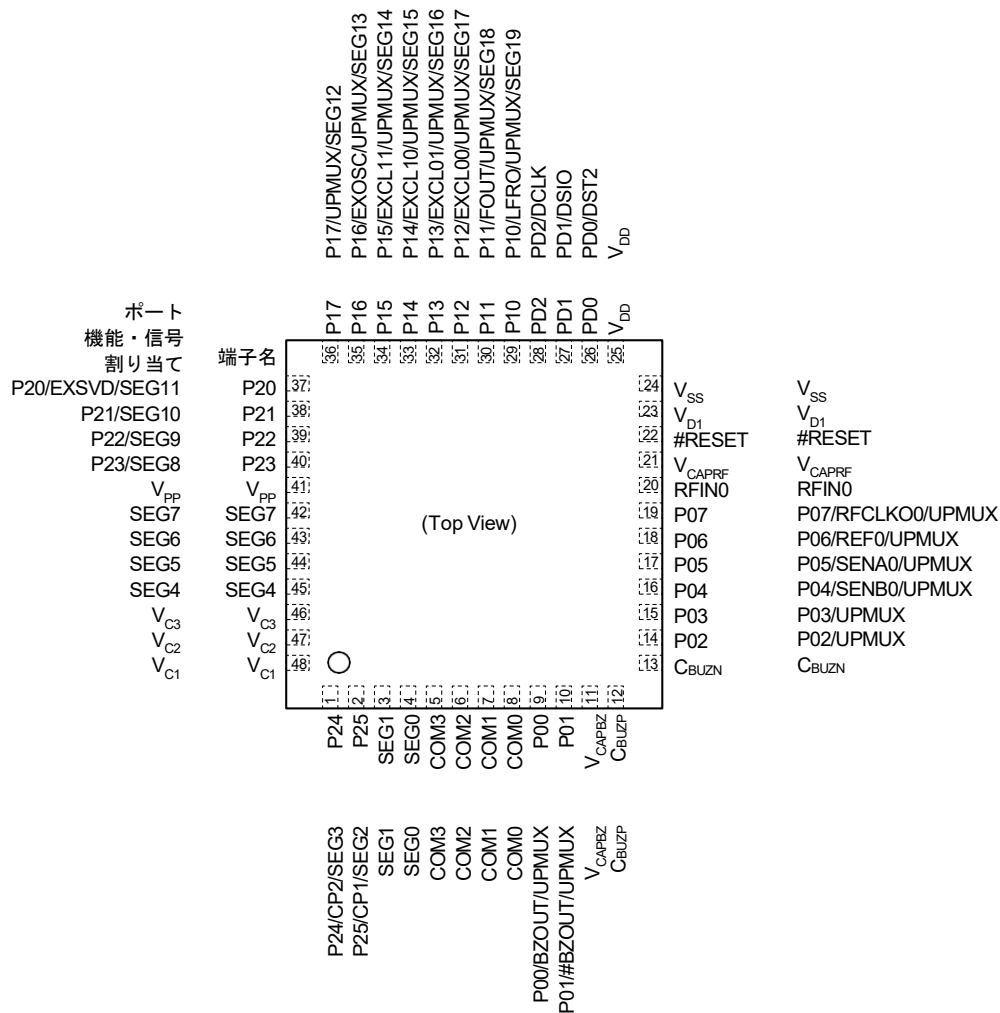


図 1.3.1.1 S1C17W11 端子配置図(SQFN7-48)

1 概要

1.3.2 パッド配置図(チップ)

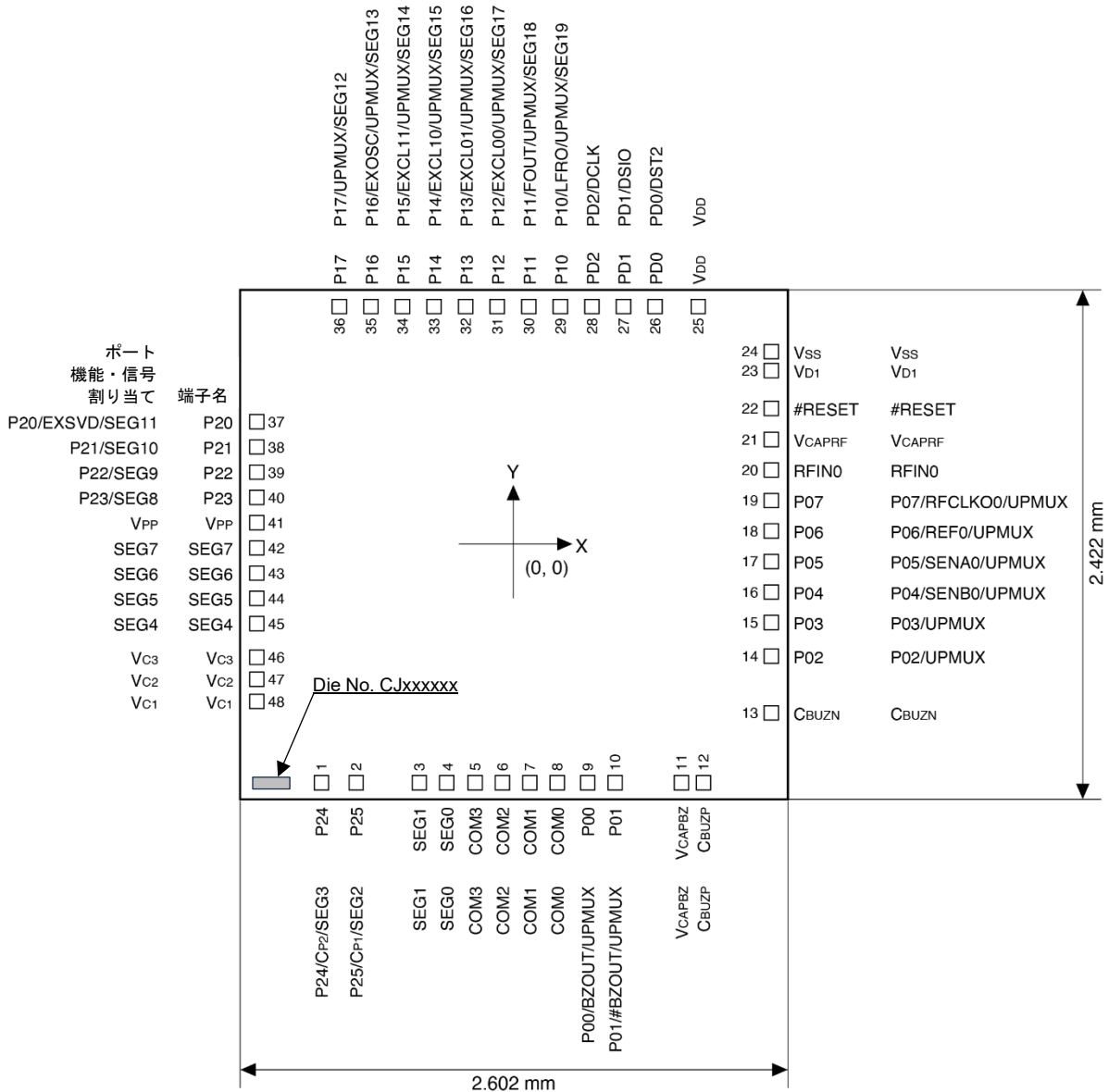


図 1.3.2.1 S1C17W11 パッド配置図(チップ)

パッド開口部: X = 68 μ m, Y = 68 μ m
 チップ厚: 400 μ m

表 1.3.2.1 S1C17W11 パッド座標

No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m
1	-915.0	-1131.5	13	1221.5	-800.0	25	875.0	1131.5	37	-1221.5	585.0
2	-750.0	-1131.5	14	1221.5	-530.0	26	670.0	1131.5	38	-1221.5	465.0
3	-450.0	-1131.5	15	1221.5	-370.0	27	520.0	1131.5	39	-1221.5	345.0
4	-320.0	-1131.5	16	1221.5	-225.0	28	370.0	1131.5	40	-1221.5	225.0
5	-185.0	-1131.5	17	1221.5	-80.0	29	220.0	1131.5	41	-1221.5	105.0
6	-55.0	-1131.5	18	1221.5	65.0	30	70.0	1131.5	42	-1221.5	-15.0
7	75.0	-1131.5	19	1221.5	210.0	31	-80.0	1131.5	43	-1221.5	-135.0
8	205.0	-1131.5	20	1221.5	355.0	32	-230.0	1131.5	44	-1221.5	-255.0
9	350.0	-1131.5	21	1221.5	500.0	33	-380.0	1131.5	45	-1221.5	-375.0
10	480.0	-1131.5	22	1221.5	647.5	34	-530.0	1131.5	46	-1221.5	-534.5
11	795.0	-1131.5	23	1221.5	827.5	35	-680.0	1131.5	47	-1221.5	-639.5
12	900.0	-1131.5	24	1221.5	917.5	36	-830.0	1131.5	48	-1221.5	-744.5

1.3.3 端子説明

記号説明

割り当て信号: 各端子の最上部に記載されている信号が、イニシャル状態で端子に割り当てられる信号です。その他の信号にはソフトウェアで切り換えます(“入出力ポート”の章を参照)。

I/O: I = 入力
O = 出力
I/O = 入出力
P = 電源
A = アナログ信号
Hi-Z = ハイインピーダンス状態

イニシャル状態: I (Pull-up) = プルアップ入力
I (Pull-down) = プルダウン入力
Hi-Z = ハイインピーダンス状態
O (H) = HIGH レベル出力
O (L) = LOW レベル出力

トレラント・フェイルセーフ対応:

✓ = トレラント・フェイルセーフ対応 I/O セル内蔵 (“入出力ポート”の章を参照)

表 1.3.3.1 端子説明

端子/ パッド名	割り当て信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能
V _{DD}	V _{DD}	P	-	-	電源(+)
V _{SS}	V _{SS}	P	-	-	GND
V _{PP}	V _{PP}	P	-	-	Flashプログラミング電源
V _{D1}	V _{D1}	A	-	-	DC-DCコンバータ出力
V _{C1-3}	V _{C1-3}	P	-	-	LCDパネル駆動電源
#RESET	#RESET	I	I (Pull-up)	-	リセット入力
V _{CAPBZ}	V _{CAPBZ}	P	Hi-Z	-	ブザー/LED駆動電源出力
CBUZP	CBUZP	A	Hi-Z	-	ブザー/LED駆動電源昇圧キャパシタ接続端子
CBUZN	CBUZN	A	Hi-Z	-	ブザー/LED駆動電源昇圧キャパシタ接続端子
V _{CAPRF}	V _{CAPRF}	A	-	-	R/F変換器レギュレータ出力
RFIN0	RFIN0	A	Hi-Z	-	R/F変換器Ch.0発振入力
P00	P00	I/O	Hi-Z	✓	入出力兼用ポート
	BZOUT	O			SNDAブザー出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P01	P01	I/O	Hi-Z	✓	入出力兼用ポート
	#BZOUT	O			SNDAブザー反転出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P02	P02	I/O	Hi-Z	✓	入出力兼用ポート(オーブンドレイン型)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P03	P03	I/O	Hi-Z	✓	入出力兼用ポート(オーブンドレイン型)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P04	P04	I/O	Hi-Z	✓	入出力兼用ポート
	SENB0	A			R/F変換器Ch.0センサB発振端子
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P05	P05	I/O	Hi-Z	✓	入出力兼用ポート
	SENA0	A			R/F変換器Ch.0センサA発振端子
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P06	P06	I/O	Hi-Z	✓	入出力兼用ポート
	REF0	A			R/F変換器Ch.0リファレンス発振端子
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P07	P07	I/O	Hi-Z	✓	入出力兼用ポート
	RFCLK00	A			R/F変換器Ch.0クロックモニタ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P10	P10	I/O	Hi-Z	✓	入出力兼用ポート
	LFRO	O			LCDフレーム信号モニタ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG19	A			LCDセグメント出力19
P11	P11	I/O	Hi-Z	✓	入出力兼用ポート
	FOUT	O			クロックジェネレータクロック外部出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG18	A			LCDセグメント出力18

1 概要

端子/ パッド名	割り当て信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能
P12	P12	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL00	I			16ビットPWMタイマCh.0 イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG17	A			LCDセグメント出力17
P13	P13	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL01	I			16ビットPWMタイマCh.0 イベントカウンタ入力1
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG16	A			LCDセグメント出力16
P14	P14	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL10	I			16ビットPWMタイマCh.1 イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG15	A			LCDセグメント出力15
P15	P15	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL11	I			16ビットPWMタイマCh.1 イベントカウンタ入力1
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG14	A			LCDセグメント出力14
P16	P16	I/O	Hi-Z	✓	入出力兼用ポート
	EXOSC	I			クロックジェネレータ外部クロック入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG13	A			LCDセグメント出力13
P17	P17	I/O	Hi-Z	✓	入出力兼用ポート
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	SEG12	A			LCDセグメント出力12
P20	P20	I/O	Hi-Z	✓	入出力兼用ポート
	EXSVD	A			外部電源電圧検出入力
	SEG11	A			LCDセグメント出力11
P21	P21	I/O	Hi-Z	✓	入出力兼用ポート
	SEG10	A			LCDセグメント出力10
P22	P22	I/O	Hi-Z	✓	入出力兼用ポート
	SEG9	A			LCDセグメント出力9
P23	P23	I/O	Hi-Z	✓	入出力兼用ポート
	SEG8	A			LCDセグメント出力8
P24	P24	O	Hi-Z	✓	入出力兼用ポート
	CP2	A			LCD駆動電圧昇圧キャパシタ接続端子
	SEG3	A			LCDセグメント出力3
P25	P25	I/O	Hi-Z	✓	入出力兼用ポート
	CP1	A			LCD駆動電圧昇圧キャパシタ接続端子
	SEG2	A			LCDセグメント出力2
PD0	DST2	O	O (L)	✓	オンチップデバッグステータス出力
	PD0	I/O			入出力兼用ポート
PD1	DSIO	I/O	I (Pull-up)	✓	オンチップデバッグデータ入出力
	PD1	I/O			入出力兼用ポート
PD2	DCLK	O	O (H)	-	オンチップデバッグクロック出力
	PD2	O			出力ポート
COM0-3	COM0-3	A	Hi-Z	-	LCDコモン出力
SEG0-1 SEG4-7	SEG0-1 SEG4-7	A	Hi-Z	-	LCDセグメント出力

注: 周辺回路の説明では、割り当て信号名を端子名として使用します。

ユニバーサルポートマルチプレクサ(UPMUX)について

ユニバーサルポートマルチプレクサ(UPMUX)は、端子に割り付ける以下の周辺回路入出力機能を、ソフトウェアによって自由に選択できる機能です。

表 1.3.3.2 UPMUX で選択可能な周辺回路入出力機能

周辺回路	割り当て信号	I/O	チャンネル番号n	機能
同期式シリアルインタ フェース (SPIA)	SDIn	I	n = 0	SPIA Ch.nデータ入力
	SDOn	O		SPIA Ch.nデータ出力
	SPICLn	I/O		SPIA Ch.nクロック入出力
	#SPISSn	I		SPIA Ch.nスレーブセレクト入力
I ² C (I2C)	SCLn	I/O	n = 0	I2C Ch.nクロック入出力
	SDAn	I/O		I2C Ch.nデータ入出力
UART (UART3)	USINn	I	n = 0	UART3 Ch.nデータ入力
	USOUTn	O		UART3 Ch.nデータ出力
16ビットPWMタイマ (T16B)	TOUTn0/CAPn0	I/O	n = 0, 1	T16B Ch.n PWM出力/キャプチャ入力0
	TOUTn1/CAPn1	I/O		T16B Ch.n PWM出力/キャプチャ入力1

注: 一つの機能を同時に複数の端子に割り当てないでください。

V_{DD}の動作電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧 V_{DD}”を参照してください。また、推奨外付け部品については、“基本外部結線図”の章を参照してください。

2.1.3 V_{D1} レギュレータの動作モード

V_{D1} レギュレータは、ノーマルモードとエコノミーモードの2つの動作モードを持っています。低負荷状態の場合はエコノミーモードにすることで、V_{D1} レギュレータが省電力動作になります。エコノミーモードに設定できる低負荷状態の例を、表 2.1.3.1 に示します。

表 2.1.3.1 エコノミーモードに設定可能な低負荷状態の例

低負荷状態のモード	例外条件
SLEEPモード(全発振停止またはOSC1のみ動作)	OSC1以外のクロックソースが動作している場合
HALTモード(OSC1のみ動作)	
RUNモード(OSC1のみ動作)	

また、ハードウェアによって低負荷状態を検出し、ノーマルモードとエコノミーモードを自動的に切り換える機能として、オートマチックモードがあります。特別な制御を必要としない場合は、オートマチックモードで使用してください。

2.1.4 V_{D1} レギュレータ/RFC レギュレータの電圧モード

V_{D1} レギュレータおよび RFC レギュレータは、1.2V / 1.4V / 1.8V の3つの電圧モードを持っています。デフォルトの電圧モードは1.4Vで、低速クロックで動作している場合は1.2Vに電圧モードを変更することで消費電力を低減することができます。

Flash メモリや EEPROM の消去や書き込みを行う動作のみ、電圧モードを1.8Vを使用します。

低電圧側への移行手順

- 各周辺回路の MODEN ビットを 0 に設定する。(各周辺回路の使用を停止)
- MSCPROT.PROT[15:0] ビットに 0x0096 を書き込む。(システムプロテクトを解除)
- システムクロックを低速クロック (OSC1 または IOSC) に切り替える。
- OSC3 と EXOSC を停止する。
- PWGVD1CTL レジスタおよび PWGRFCCTL レジスタの以下のビットを設定する。
 - PWGVD1CTL.REGSEL[1:0] ビットを所望の設定に変更 (V_{D1}/RFC レギュレータ電圧切り替え)
 - PWGVD1CTL.REGMODE[1:0] ビットを 0x2 に設定 (V_{D1} レギュレータをノーマルモードに設定)
 - PWGVD1CTL.REGDIS ビットを 1 に設定 (V_{D1} 端子ディスチャージ)
 - PWGRFCCTL.RFCREGDIS ビットを 1 に設定 (V_{CAPRF} 端子ディスチャージ)
- 電圧変更後、500μs 後に PWGVD1CTL レジスタおよび PWGRFCCTL レジスタの以下のビットを設定する。
 - PWGVD1CTL.REGMODE[1:0] ビットを 0x0 に設定 (V_{D1} レギュレータをオートマチックモードに設定)
 - PWGVD1CTL.REGDIS ビットを 0 に設定 (V_{D1} 端子ディスチャージを停止)
 - PWGRFCCTL.RFCREGDIS ビットを 0 に設定 (V_{CAPRF} 端子ディスチャージを停止)
- MSCPROT.PROT[15:0] ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)

高電圧側への移行手順

- 各周辺回路の MODEN ビットを 0 に設定する。(各周辺回路の使用を停止)
- MSCPROT.PROT[15:0] ビットに 0x0096 を書き込む。(システムプロテクトを解除)
- PWGVD1CTL レジスタを設定する。
 - PWGVD1CTL.REGSEL[1:0] ビットを所望の設定に変更 (V_{D1}/RFC レギュレータ電圧切り替え)
 - PWGVD1CTL.REGMODE[1:0] ビットを 0x2 に設定 (V_{D1} レギュレータをノーマルモードに設定)
- 電圧変更後、500μs 後に PWGVD1CTL を設定する。
 - PWGVD1CTL.REGMODE[1:0] ビットを 0x0 に設定 (V_{D1} レギュレータをオートマチックモードに設定)
- 必要に応じてシステムクロックを高速クロックに切り替える。
- MSCPROT.PROT[15:0] ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)

2.2 システムリセットコントローラ(SRC)

2.2.1 概要

SRCは、各種リセットソースの要求に応じて、内部回路をリセットし、ICの安定した動作を実現するシステムリセットコントローラです。主な機能と特長を以下に示します。

- 電源投入時の内部電源が不安定な間やクロックソースの起動直後で発振周波数が不安定な間、リセット状態を保持し続けるリセット保持回路を内蔵し、安全な起動動作を実現
- 複数のリセットソースからのリセット要求に対応
 - #RESET 端子
 - POR
 - キー入力リセット
 - ウォッチドッグタイマリセット
 - 電源電圧検出回路リセット
 - 周辺回路ソフトウェアリセット(一部の周辺回路のみ)
- CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されており、状態変化に応じた最適なりセット動作を実現

図 2.2.1.1 に SRC の構成を示します。

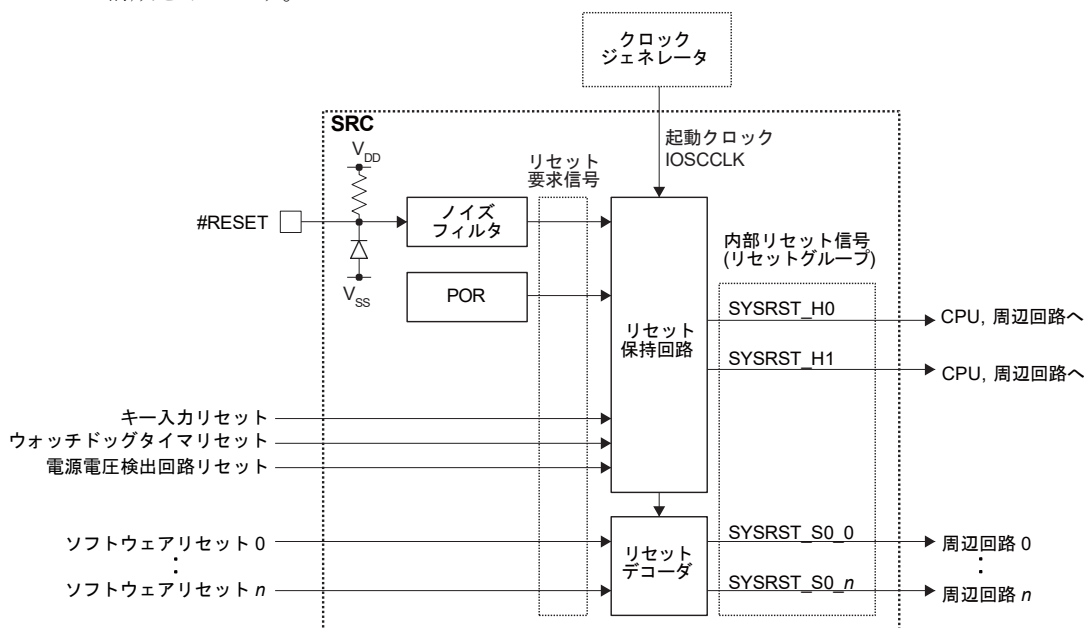


図 2.2.1.1 SRC の構成

2.2.2 入力端子

表 2.2.2.1 に SRC の端子一覧を示します。

表 2.2.2.1 SRC 端子

端子名	I/O	イニシャル状態	機能
#RESET	I	I (Pull-up)	リセット入力

#RESET 端子にはノイズフィルタが内蔵されており、要件を満たさないパルスを除去します。また、プルアップ抵抗を内蔵していますので、端子をオープン状態にすることができます。#RESET 端子特性については、“電気的特性”の章の“#RESET 端子特性”を参照してください。

2.2.3 リセットソース

システムの初期化を要求する要因をリセットソースと呼びます。以下にリセットソースを示します。

#RESET 端子

#RESET 端子に一定時間の LOW レベル信号を入力することで、リセット要求を発行します。

POR

POR(パワーオンリセット)は、 V_{DD} の立ち上がりを検出してリセット要求を発行します。この回路からのリセット要求により、電源投入時の確実なリセットを実現します。図 2.2.3.1 POR による内部リセット動作例に、 V_{DD} の変化に伴う POR の内部リセット動作の例を示します。

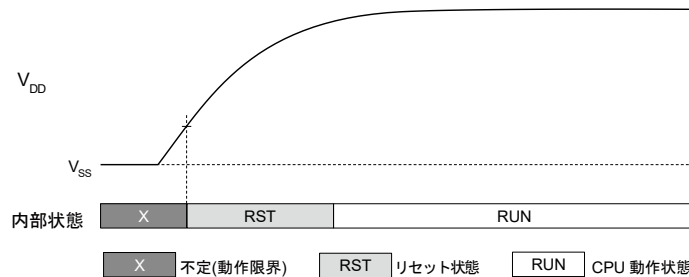


図 2.2.3.1 POR による内部リセット動作例

POR の電気的仕様については、“電気的特性”の章の“POR 特性”を参照してください。

キー入力リセット

リセット入力用に設定された入出力ポート端子に一定時間の LOW レベル信号を入力することで、リセット要求を発行します。この機能は入出力ポートでイネーブルにする必要があります。詳細は“入出力ポート”の章を参照してください。

ウォッチドッグタイマリセット

ウォッチドッグタイマをリセットモードに設定しておくこと、カウンタがオーバーフローした時点で、リセット要求を発行します。この機能は、CPU 暴走時に正常な状態への復帰を実現します。詳細は“ウォッチドッグタイマ”の章を参照してください。

電源電圧検出回路リセット

電源電圧検出回路で電源電圧低下検出リセット機能をイネーブルにすると、電源電圧の低下を検出した時点で、リセット要求を発行します。これにより、一定電圧以下で IC を動作させたくないような場合に、リセット状態にすることができます。詳細は“電源電圧検出回路”の章を参照してください。

周辺回路ソフトウェアリセット

一部の周辺回路には、ソフトウェアリセット用の制御ビット(MODEN や SFTRST)が用意されており、値を書き込むことで、周辺回路制御ビットの初期化が行えます。ただし、ソフトウェアリセットの動作は周辺回路ごとに異なります。詳細は各周辺回路の“制御レジスタ”を参照してください。

注: 周辺回路によっては、MODEN ビットでソフトウェアリセットは発生しません。

2.2.4 初期化条件(リセットグループ)

CPU のレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されています。この初期化条件をリセットグループと呼びます。リセットグループに属するリセットソースからのリセット要求があった場合に、初期化を行います。リセットグループの一覧を表 2.2.4.1 に示します。実際にどのレジスタや制御ビットが初期化されるかについては、“CPU, デバッガ”の章、または各周辺回路の“制御レジスタ”を参照してください。

2 電源, リセット, クロック

表 2.2.4.1 リセットグループ一覧

リセットグループ	リセットソース	リセット解除タイミング
H0	#RESET端子 POR キー入力リセット 電源電圧検出回路リセット ウォッチドッグタイマリセット	リセット要求解除後、リセット保持時間 t_{RSTR} の間、リセットを保持
H1	#RESET端子 POR	
S0	周辺回路ソフトウェアリセット (MODENやSFTRSTビット。周辺回路ごとにリセット動作は異なる)	リセット要求解除後、即時リセット解除

2.3 クロックジェネレータ (CLG)

2.3.1 概要

CLG は、クロックソースを制御し、CPU や周辺回路へのクロック供給を管理するクロックジェネレータです。主な機能と特長を以下に示します。

- ・複数のクロックソースに対応
 - 外付け部品なしで高速な起動を行う IOSCLK 発振回路
 - 外付け部品なしで低パワー動作を実現する OSC1 発振回路
 - 外付け部品なしで高速動作を実現する OSC3 発振回路
 - 矩形波、サイン波の入力に対応する EXOSC クロック入力
- ・CPU やバスの動作クロックであるシステムクロック (SYSCLK)、および、周辺回路の動作クロックは、最適なクロックソースと分周比を選択して個別に設定可能
- ・起動時のクロックには IOSCLK 発振回路の IOSCLK が選択され、高速な立ち上がりを実現
- ・RUN、SLEEP モードに合わせて発振回路やクロック入力の ON/OFF を制御
- ・SLEEP モード解除時に、フレキシブルなシステムクロックの切り換えが可能
 - SLEEP モード時に停止させるクロックソースを選択可能
 - SLEEP モード解除時の SYSCLK をクロックソースから選択可能
 - SLEEP モード解除時の発振回路、クロック入力の ON/OFF 状態の保持または変更を設定可能
- ・外部 IC の駆動や状態モニタのため、内部クロックを出力する FOUT 機能を搭載

図 2.3.1.1 に CLG の構成を示します。

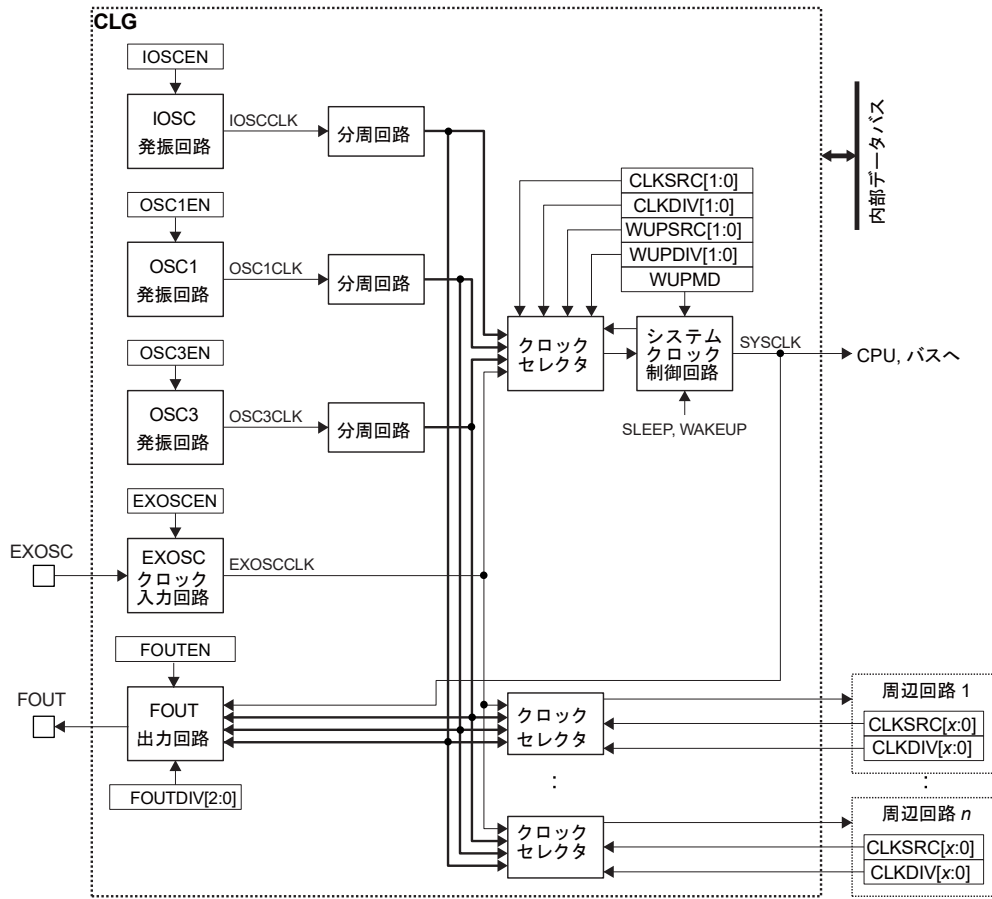


図 2.3.1.1 CLG の構成

2.3.2 入出力端子

表 2.3.2.1 に CLG の端子一覧を示します。

表 2.3.2.1 CLG 端子一覧

端子名	I/O*	イニシャル状態*	機能
EXOSC	I	I	EXOSCクロック入力
FOUT	O	O (L)	FOUTクロック出力

* 端子機能を CLG に切り換えた時点の状態

CLG の入出力機能と他の機能がポートを共有している場合、CLG の機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

2.3.3 クロックソース

IOSC 発振回路

IOSC 発振回路は外付け部品なしで動作し、高速に起動します。図 2.3.3.1 に、IOSC 発振回路の構成を示します。

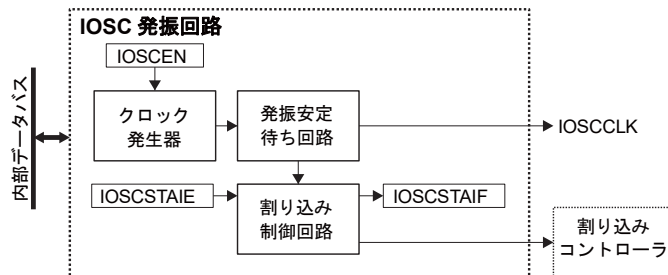


図 2.3.3.1 IOSC 発振回路の構成

2 電源, リセット, クロック

起動時の SYSCLK には、IOSC 発振回路の出力クロック IOSCCLK が選択されます。発振特性については、“電気的特性”の章の“IOSC 発振回路特性”を参照してください。

OSC1 発振回路

OSC1 発振回路は、外付け部品を必要としない 32kHz の低パワー発振回路です。図 2.3.3.2 に OSC1 発振回路の構成を示します。

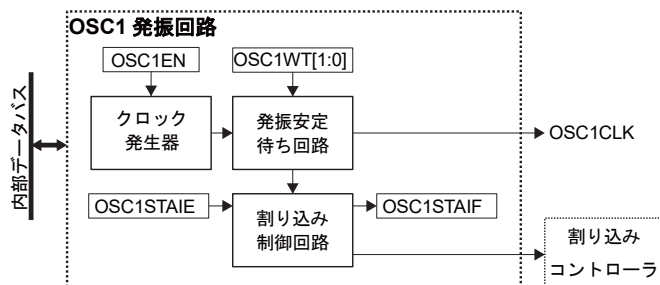


図 2.3.3.2 OSC1 発振回路の構成

発振特性については“電気的特性”の章の“OSC1 発振回路特性”を参照してください。

OSC3 発振回路

OSC3 発振回路は外付け部品なしで動作し、高速に起動します。

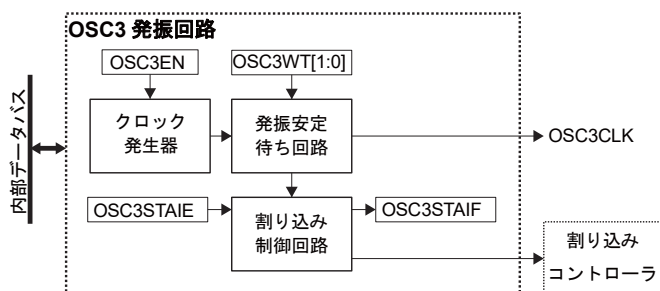


図 2.3.3.3 OSC3 発振回路の構成

発振特性については“電気的特性”の章の“OSC3 発振回路特性”を参照してください。

EXOSC クロック入力

EXOSC クロック入力は、矩形波またはサイン波のクロックに対応した外部クロック入力回路です。図 2.3.3.4 に EXOSC クロック入力回路の構成を示します。

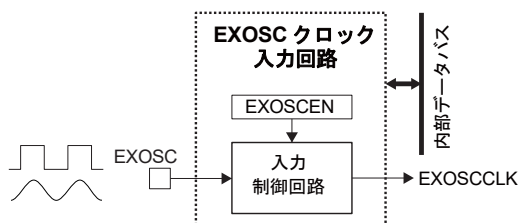


図 2.3.3.4 EXOSC クロック入力回路

EXOSC は発振安定待ち回路を持ちませんので、必ず安定したクロックが供給されている状態で、イネーブルにする必要があります。入力クロック特性については、“電気的特性”の章の“EXOSC 外部クロック入力特性”を参照してください。

2.3.4 動作

発振開始時間と発振安定待ち時間

発振開始時間とは、発振回路をイネーブルにしてから実際に発振波形が IC 内部へ伝播するまでの時間のことです。発振安定待ち時間は、発振開始後のクロックが安定するまでの待ち時間のことです。発振回路には発振安定待ち回路が内蔵されており、この間の不安定なクロックによる内部回路の誤動作を防止するため、指定の時間が経過するまでシステムへのクロック供給を停止できるようになっています。図 2.3.4.1 に、発振開始時間と発振安定待ち時間の関係を示します。

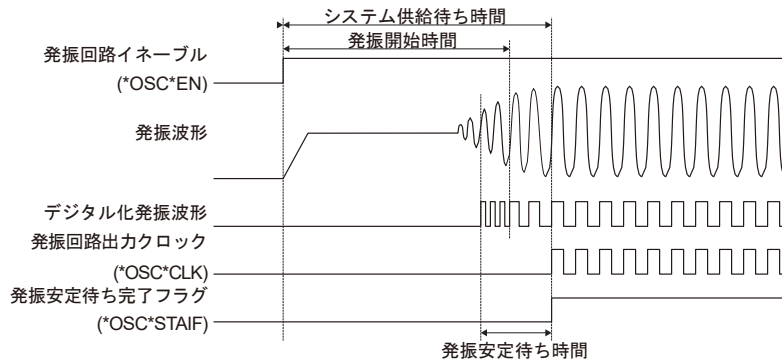


図 2.3.4.1 発振開始と発振安定待ち時間

OSC1、OSC3 発振回路の発振安定待ち時間は、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC3.OSC3WT[1:0]ビットによって設定できます。設定した発振安定時間が適切で、発振開始直後のクロックが安定しているか否かについては、FOUT 出力を行い、発振クロックをモニタすることで確認できます。IOSC 発振回路の発振安定待ち時間は、IOSCCLK 16 クロックに固定されています。OSC1 発振回路の発振安定待ち時間は、OSC1CLK 4,096 クロック以上に設定してください。OSC3 発振回路の発振安定待ち時間は、OSC3CLK 4 クロック以上に設定してください。

発振安定待ちが完了すると、発振回路は発振安定待ち完了フラグをセットし、内部回路へのクロック供給を開始します。

注: 発振安定待ち完了フラグが 0 にクリアされない場合でも、発振開始時には必ず発振安定待ち時間が設定されます。

IOSC 発振回路の発振開始手順

IOSC 発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.IOSCSTAIF ビットに 1 を書き込む。 (割り込みフラグをクリア)
2. CLGINTE.IOSCSTAIE ビットに 1 を書き込む。 (割り込みをイネーブル)
3. CLGOSC.IOSCEN ビットに 1 を書き込む。 (発振を開始)
4. 割り込みが発生し、CLGINTF.IOSCSTAIF ビット = 1 ならば、IOSCCLK を使用可

OSC1 発振回路の発振開始手順

OSC1 発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC1STAIF ビットに 1 を書き込む。 (割り込みフラグをクリア)
2. CLGINTE.OSC1STAIE ビットに 1 を書き込む。 (割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
4. CLGOSC1.OSC1WT[1:0]ビットを設定する。 (発振安定待ち時間を設定)
5. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)
6. CLGOSC.OSC1EN ビットに 1 を書き込む。 (発振を開始)
7. 割り込みが発生し、CLGINTF.OSC1STAIF ビット = 1 ならば、OSC1CLK を使用可能。

OSC3 発振回路の発振開始手順

OSC3 発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC3STAIF ビットに 1 を書き込む。 (割り込みフラグをクリア)
2. CLGINTE.OSC3STAIE ビットに 1 を書き込む。 (割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
4. CLGOSC3 レジスタの以下のビットを設定する。

2 電源, リセット, クロック

- CLGOSC3.OSC3WT[2:0]ビット (発振安定待ち時間を設定)
 - CLGOSC3.OSC3FQ[2:0]ビット (発振周波数を設定)
5. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)
 6. CLGOSC.OSC3EN ビットに 1 を書き込む。(発振を開始)
 7. 割り込みが発生し、CLGINTF.OSC3STAIF ビット = 1 ならば、OSC3CLK を使用可能。

システムクロック切り換え

起動時は IOSCCCLK を SYSCLK として動作を開始します。その後、処理内容に応じて SYSCLK のクロックソースを切り換えることが可能です。また、クロックソースの分周比を指定して SYSCLK 周波数を設定可能で、実行する処理に合わせ最適なパフォーマンスで動作させることができます。これらの制御は、CLGSCCLK.CLKSRC[1:0]ビットと CLGSCCLK.CLKDIV[1:0]ビットで行います。

CLGSCCLK レジスタの各ビットはシステムプロテクトの保護対象のため、設定を変更する際は、あらかじめ MSCPROT.PROT[15:0]ビットに 0x0096 を書き込み、システムプロテクトを解除する必要があります。システムクロック切り換えを含む動作モードの遷移については、“動作モード”を参照してください。

SLEEP 時のクロック制御

slp 命令を実行すると、CPU は SLEEP モードへ移行します。このときに動作中のクロックソースを停止させるか否かをソースごとに選択することが可能です。これにより、CPU を素早く SLEEP モードまたは RUN モードに遷移させると共に、周辺回路は SLEEP 中でもクロックを止めることなく動作させることができます。この制御は、CLGOSC.IOSCSLPC ビット、CLGOSC.OSC1SLPC ビット、CLGOSC.OSC3SLPC ビット、CLGOSC.EXOSCSLPC ビットで行います。制御の例を図 2.3.4.2 に示します。

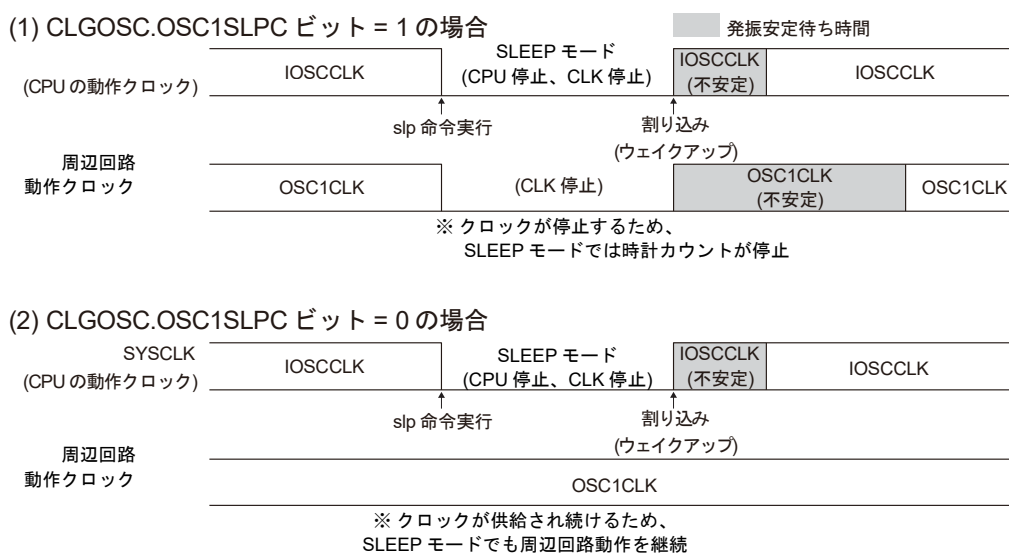


図 2.3.4.2 SLEEP モード時のクロック制御例

また、SLEEP モードから RUN モードへ移行するウェイクアップ時の SYSCLK の設定(クロックソースと分周比の選択)も可能です。これにより、起動処理に合わせたフレキシブルなクロック制御が可能です。このクロック設定は CLGSCCLK.WUPSRC[1:0]ビットと CLGSCCLK.WUPDIV[1:0]ビットで行い、CLGSCCLK.WUPMD ビットに 1 を書き込んでこの機能をイネーブルにします。

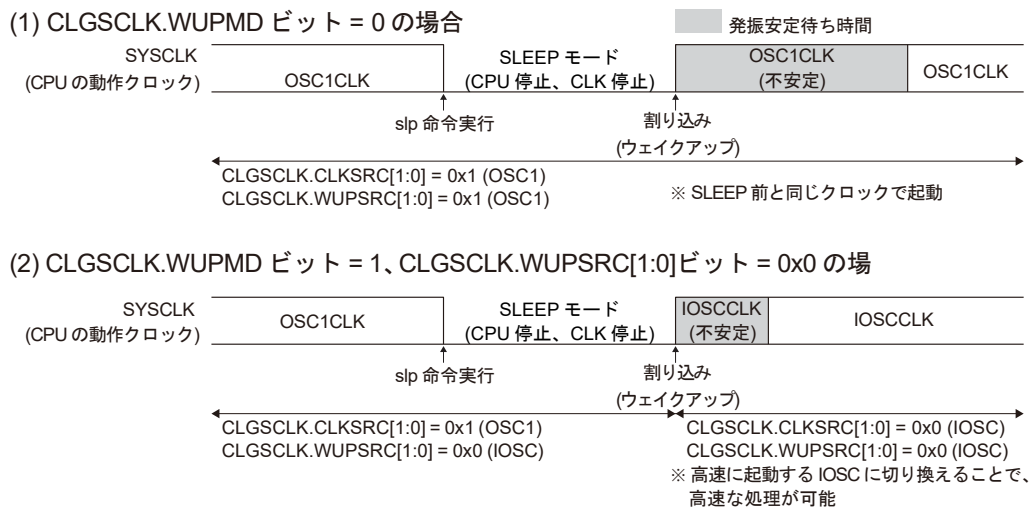


図 2.3.4.3 SLEEP 解除時のクロック制御例

クロック外部出力(FOUT)

各クロックソースの出力クロックまたはその分周クロックを FOUT 端子から外部へ出力することができます。これにより、発振回路の発振周波数のモニタや、外部 IC への動作クロックの供給が可能です。クロックの外部出力は以下の手順で行います。

1. FOUT 機能をポートに割り当てる。 (“入出力ポート”の章を参照)
2. CLGFOUT レジスタの以下のビットを設定する。
 - CLGFOUT.FOUTSRC[1:0] ビット (クロックソースを選択)
 - CLGFOUT.FOUTDIV[2:0] ビット (クロック分周比を設定)
 - CLGFOUT.FOUTEN ビットを 1 に設定 (クロック外部出力イネーブル)

2.4 動作モード

2.4.1 イニシャル起動シーケンス

電源投入時のイニシャル起動シーケンスを図 2.4.1.1 に示します。

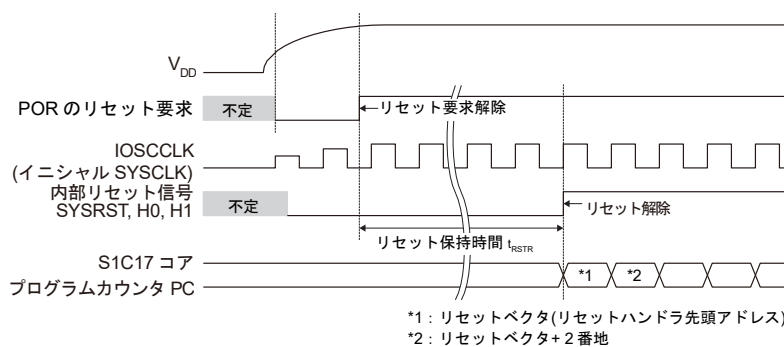


図 2.4.1.1 イニシャル起動シーケンス

注: 電源投入時のリセット解除時間は、電源の立ち上がり時間、リセット要求解除時間によって変わります。

リセット保持時間 t_{RSTR} については、“電気的特性”の章の“リセット保持回路特性”を参照してください。

2.4.2 動作モードの遷移

本 IC では、図 2.4.2.1 に示すような動作モード間の状態遷移が起きます。

2 電源, リセット, クロック

RUN モード

CPU がプログラムを実行するモードを RUN モードと呼びます。システムリセットコントローラからのシステムリセット要求が解除されると、このモードへ遷移します。RUN モードは、SYSCLK のクロックソースの違いによって、“IOSC RUN”、“OSC1 RUN”、“OSC3 RUN”、“EXOSC RUN”に分けられます。

HALT モード

halt 命令が実行されると、その時点のプログラムの実行が中断され、CPU の動作が停止します。この状態を HALT モードと呼びます。このモードでは、クロックソースや周辺回路は動作を続けます。ソフトウェア処理が必要ないときに設定することで、RUN モードよりも消費電力を低減できます。HALT モードは、SYSCLK のクロックソースの違いによって、“IOSC HALT”、“OSC1 HALT”、“OSC3 HALT”、“EXOSC HALT”に分けられます。

SLEEP モード

slp 命令が実行されると、その時点のプログラムの実行が中断され、CPU の動作が停止します。このモードを SLEEP モードと呼びます。このモードではクロックソースも停止します。ただし、CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPC ビット = 0 に設定されているクロックソースは動作を継続し、クロックの供給されている周辺回路は動作し続けます。ソフトウェア処理が必要なく、周辺回路の動作も停止したいときに設定することで、HALT モードよりも消費電力を低減できます。

注: CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPC ビット = 0 の設定により、SLEEP モード時にクロックソースを動作させているときの消費電流は、同条件の HALT モード時と同等です(“電気的特性”の章の“消費電流、HALT モード時消費電流 I_{HALT1} 、 I_{HALT2} 、 I_{HALT3} ”を参照してください)。

DEBUG モード

デバッグ割り込みが発生すると、CPU は DEBUG モードへ移行します。DEBUG モードは、retld 命令によって解除されます。DEBUG モードの詳細は、“CPU, デバッグ”の章の“デバッグ”を参照してください。

HALT, SLEEP モードの解除

下記の条件によって HALT/SLEEP 解除信号が生成され、HALT または SLEEP モードから RUN モードへ移行します。この移行は CPU が割り込み要求を受領しなくても実行されます。

- ・周辺回路からの割り込み要求
- ・ウォッチドッグタイマからの NMI
- ・デバッグ割り込み
- ・リセット要求

2.6 制御レジスタ

PWG2 V_{D1} Regulator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGVD1CTL	15-7	–	0x00	–	R	–
	6	REGDIS	0	H0	R/WP	
	5-4	REGSEL[1:0]	0x1	H0	R/WP	
	3-2	–	0x0	–	R	
	1-0	REGMODE[1:0]	0x0	H0	R/WP	

Bits 15-7 Reserved

Bit 6 REGDIS

このビットは、V_{D1}レギュレータのディスチャージを制御します。

1 (R/WP): ディスチャージイネーブル

0 (R/WP): ディスチャージディスエーブル

Bits 5-4 REGSEL[1:0]

これらのビットは、V_{D1}レギュレータおよびRFCレギュレータの出力電圧を制御します。

表 2.6.1 V_{D1}レギュレータ出力電圧

PWGVD1CTL.REGSEL[1:0]ビット	V _{D1} レギュレータ/RFCレギュレータ出力電圧
0x3	Reserved
0x2	1.8 V
0x1	1.4 V
0x0	1.2 V

Bits 3-2 Reserved

Bits 1-0 REGMODE[1:0]

これらのビットは、V_{D1}レギュレータの動作モードを制御します。

表 2.6.2 V_{D1}レギュレータ動作モード

PWGVD1CTL.REGMODE[1:0]ビット	V _{D1} レギュレータ動作モード
0x3	エコノミーモード
0x2	ノーマルモード
0x1	Reserved
0x0	オートマッチックモード

PWG2 RFC Regulator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGRFCCTL	15-7	–	0x00	–	R	–
	6	RFCREGDIS	0	H0	R/WP	
	5-1	–	0x00	–	R	
	0	(reserved)	0	H0	R/WP	

Bits 15-7 Reserved

Bit 6 RFCREGDIS

このビットは、RFCレギュレータのディスチャージを制御します。

1 (R/WP): ディスチャージイネーブル

0 (R/WP): ディスチャージディスエーブル

Bits 5-0 Reserved

CLG System Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGSCLK	15	WUPMD	0	H0	R/WP	-
	14	-	0	-	R	
	13-12	WUPDIV[1:0]	0x0	H0	R/WP	
	11-10	-	0x0	-	R	
	9-8	WUPSRC[1:0]	0x0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
1-0	CLKSRC[1:0]	0x0	H0	R/WP		

Bit 15 WUPMD

このビットは、ウェイクアップ時の SYSCLK 切り換え機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

CLGSCLK.WUPMD ビット = 1 の場合、SLEEP モードからのウェイクアップ時に CLGSCLK.WUPSRC[1:0] ビットの設定値が CLGSCLK.CLKSRC[1:0] ビットに、また、CLGSCLK.WUPDIV[1:0] ビットの設定値が CLGSCLK.CLKDIV[1:0] ビットにロードされ、SYSCLK が切り換えられます。CLGSCLK.WUPMD ビット = 0 の場合は、ウェイクアップ時に CLGSCLK.CLKSRC[1:0] と CLGSCLK.CLKDIV[1:0] の設定は変更されません。

注: CLGSCLK.WUPMD ビット = 1 でウェイクアップした後は、CLGSCLK.CLKSRC[1:0] ビットで選択されている SYSCLK ソース以外のクロックソースのイネーブルビット (CLGOSC.EXOSCEN、CLGOSC.OSC1EN、CLGOSC.OSC3EN、CLGOSC.IOSCEN) は自動的に 0 にクリアされ、それらのクロックが停止します。ただし、CLGOSC.***SLPC ビットの設定により SLEEP 時に動作していたクロックソースのイネーブルビットは、ウェイクアップ後も 1 を保持します。

Bit 14 Reserved**Bits 13-12 WUPDIV[1:0]**

これらのビットは、ウェイクアップ時に CLGSCLK.CLKDIV[1:0] ビットを再設定するための、SYSCLK の分周比を選択します。

CLGSCLK.WUPMD ビット = 0 のとき、この設定は無効です。

Bits 11-10 Reserved**Bits 9-8 WUPSRC[1:0]**

これらのビットは、ウェイクアップ時に CLGSCLK.CLKSRC[1:0] ビットを再設定するための、SYSCLK のクロックソースを選択します。

停止しているクロックソースが選択された場合、ウェイクアップ時に自動的に発振またはクロック入力を開始します。ただし、CLGSCLK.WUPMD ビット = 0 のとき、この設定は無効です。

表 2.6.3 ウェイクアップ時の SYSCLK クロックソースと分周比の設定

CLGSCLK. WUPDIV[1:0] ビット	CLGSCLK.WUPSRC[1:0] ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/8	Reserved
0x2	1/4	Reserved	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

Bits 7-6 Reserved**Bits 5-4 CLKDIV[1:0]**

これらのビットは、SYSCLK 周波数を決めるクロックソースの分周比を設定します。

Bits 3-2 Reserved**Bits 1-0 CLKSRC[1:0]**

これらのビットは、SYSCLK のクロックソースを選択します。

停止しているクロックソースが選択された場合、自動的に発振またはクロック入力を開始します。

2 電源, リセット, クロック

表 2.6.4 SYSCLK クロックソースと分周比の設定

CLGCLK. CLKDIV[1:0]ビット	CLGCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/8	Reserved
0x2	1/4	Reserved	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

CLG Oscillation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC	15-12	-	0x0	-	R	-
	11	EXOSCSLPC	1	H0	R/W	
	10	OSC3SLPC	1	H0	R/W	
	9	OSC1SLPC	1	H0	R/W	
	8	IOSCSLPC	1	H0	R/W	
	7-4	-	0x0	-	R	
	3	EXOSCEN	0	H0	R/W	
	2	OSC3EN	0	H0	R/W	
	1	OSC1EN	0	H0	R/W	
	0	IOSCEN	1	H0	R/W	

Bits 15-12 Reserved

Bit 11 EXOSCSLPC

Bit 10 OSC3SLPC

Bit 9 OSC1SLPC

Bit 8 IOSCSLPC

これらのビットは、SLEEP 時のクロックソースの動作を制御します。

1 (R/W): SLEEP 時にクロックソースを停止

0 (R/W): SLEEP 前の動作を継続

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCSLPC ビット: EXOSC クロック入力

CLGOSC.OSC3SLPC ビット: OSC3 発振回路

CLGOSC.OSC1SLPC ビット: OSC1 発振回路

CLGOSC.IOSCSLPC ビット: IOSC 発振回路

Bits 7-4 Reserved

Bit 3 EXOSCEN

Bit 2 OSC3EN

Bit 1 OSC1EN

Bit 0 IOSCEN

これらのビットは、クロックソースの動作を制御します。

1 (R/W): 発振またはクロック入力を開始

0 (R/W): 発振またはクロック入力を停止

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCEN ビット: EXOSC クロック入力

CLGOSC.OSC3EN ビット: OSC3 発振回路

CLGOSC.OSC1EN ビット: OSC1 発振回路

CLGOSC.IOSCEN ビット: IOSC 発振回路

CLG OSC1 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC1	15-2	-	0x00	-	R	-
	1-0	OSC1WT[1:0]	0x1	H0	R/WP	

Bits 15-2 Reserved

Bits 1–0 OSC1WT[1:0]

これらのビットは、OSC1 発振回路の発振安定待ち時間を設定します。

表 2.6.5 OSC1 発振安定待ち時間の設定

CLGOSC1.OSC1WT[1:0]ビット	発振安定待ち時間
0x3	65,536クロック
0x2	16,384クロック
0x1	4,096クロック
0x0	Reserved

CLG OSC3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC3	15–13	–	0x00	–	R	–
	12–10	OSC3FQ[2:0]	0x3	H0	–	
	9–3	–	0x00	–	R	
	2–0	OSC3WT[2:0]	0x2	H0	R/WP	

Bits 15–13 Reserved

Bits 12–10 OSC3FQ

これらのビットは、OSC3 発振周波数を設定します。

表 2.6.6 OSC3 発振周波数の設定

CLGOSC3.OSC3FQ[2:0]ビット	発振周波数
0x7	Reserved
0x6	Reserved
0x5	250kHz
0x4	384kHz
0x3	4MHz
0x2	2MHz
0x1	1MHz
0x0	500kHz

Bits 9–3 Reserved

Bits 2–0 OSC3WT[2:0]

これらのビットは、OSC3 発振回路の発振安定待ち時間を設定します。

表 2.6.7 OSC3 発振安定待ち時間の設定

CLGOSC3.OSC3WT[2:0]ビット	発振安定待ち時間
0x7	65,536クロック
0x6	16,384クロック
0x5	4,096クロック
0x4	1,024クロック
0x3	256クロック
0x2	64クロック
0x1	16クロック
0x0	4クロック

CLG Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTF	15–3	–	0x00	–	R	Cleared by writing 1.
	2	OSC3STAIF	0	H0	R/W	
	1	OSC1STAIF	0	H0	R/W	
	0	IOSCSTAIF	0	H0	R/W	

Bits 15–3 Reserved

Bit 2 OSC3STAIF

Bit 1 OSC1STAIF

Bit 0 IOSCSTAIF

これらのビットは、CLG 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

2 電源, リセット, クロック

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

CLGINTF.OSC3STAIF ビット: OSC3 発振安定待ち完了割り込み

CLGINTF.OSC1STAIF ビット: OSC1 発振安定待ち完了割り込み

CLGINTF.IOSCSTAIF ビット: IOSC 発振安定待ち完了割り込み

注: システムリセットが解除された時点の CLGINTF.IOSCSTAIF ビットは 0 ですが、IOSCCLK は安定状態になっています。

CLG Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTE	15-3	–	0x00	–	R	–
	2	OSC3STAIE	0	H0	R/W	
	1	OSC1STAIE	0	H0	R/W	
	0	IOSCSTAIE	0	H0	R/W	

Bits 15–3 Reserved

Bit 2 OSC3STAIE

Bit 1 OSC1STAIE

Bit 0 IOSCSTAIE

これらのビットは、CLG 割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

CLGINTE.OSC3STAIE ビット: OSC3 発振安定待ち完了割り込み

CLGINTE.OSC1STAIE ビット: OSC1 発振安定待ち完了割り込み

CLGINTE.IOSCSTAIE ビット: IOSC 発振安定待ち完了割り込み

CLG FOUT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGFOUT	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6-4	FOUTDIV[2:0]	0x0	H0	R/W	
	3-2	FOUTSRC[1:0]	0x0	H0	R/W	
	1	–	0	–	R	
	0	FOUTEN	0	H0	R/W	

Bits 15–7 Reserved

Bits 6–4 FOUTDIV[2:0]

これらのビットは、FOUT のクロック分周比を設定します。

Bits 3–2 FOUTSRC[1:0]

これらのビットは、FOUT のクロックソースを選択します。

表 2.6.8 FOUT クロックソースと分周比の設定

CLGFOUT. FOUTDIV[2:0]ビット	CLGFOUT.FOUTSRC[1:0]ビット			
	0x0 IOSCCLK	0x1 OSC1CLK	0x2 OSC3CLK	0x3 SYSCLK
0x7	1/128	1/32,768	1/128	Reserved
0x6	1/64	1/4,096	1/64	Reserved
0x5	1/32	1/1,024	1/32	Reserved
0x4	1/16	1/256	1/16	Reserved
0x3	1/8	1/8	1/8	Reserved
0x2	1/4	1/4	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

注: CLGFOUT.FOUTSRC[1:0]ビットを 0x3 に設定した場合、SLEEP/HALT モードでは SYSCLK が停止するため、FOUT 出力も停止します。

Bit 1 Reserved

Bit 0 FOUTEN

このビットは、FOUT のクロック外部出力を制御します。

1 (R/W): 外部出力イネーブル

0 (R/W): 外部出力ディスエーブル

注: FOUT 信号は、CLGFOUT.FOUTEN ビットと非同期に生成されますので、出力のイネーブル/ディスエーブル時にはグリッチを生じます。

CLG Oscillation Frequency Trimming Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGTRIM1	15-14	–	0x00	–	R	–
	13-8	OSC1AJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
	7-6	–	0x0	–	R	–
	5-0	IOSCAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.

Bits 15-14 Reserved

Bits 13-8 OSC1AJ[5:0]

これらのビットは、OSC1 内蔵発振回路の周波数トリミング値を設定します。

Bits 7-6 Reserved

Bits 5-0 IOSCAJ[5:0]

これらのビットは、IOSC 内蔵発振回路の周波数トリミング値を設定します。

表 2.6.9 OSC1/IOSC 内蔵発振回路の周波数トリミング設定

CLGTRIM1.OSC1AJ[5:0]ビット	OSC1発振周波数
CLGTRIM1.IOSCAJ[5:0]ビット	IOSC発振周波数
0x3f	高
:	:
0x00	低

注: CLGTRIM1.OSC1AJ[5:0]/ CLGTRIM1.IOSCAJ[5:0]の初期設定値は、“電気的特性”の章に記載されている OSC1/IOSC 発振回路特性を保証する値に調整されています。この設定を変更した場合、周波数特性を満足できなくなる可能性があります。また、設定の変更は、必ず OSC1/IOSC 発振回路が停止した状態で行ってください。

CLG Oscillation Frequency Trimming Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGTRIM2	15-13	–	0x00	–	R	–
	12-8	OSC3AJ384[4:0]	*	H0	R/WP	* Determined by factory adjustment.
	7-5	–	0x00	–	R	–
	4-0	OSC3AJ4M[4:0]	*	H0	R/WP	* Determined by factory adjustment.

Bits 15-13 Reserved

Bits 12-8 OSC3AJ384[4:0]

これらのビットは、OSC3 内蔵発振回路(発振周波数 384kHz の場合)の周波数トリミング値を設定します。

表 2.6.10 OSC3 内蔵発振回路の周波数トリミング設定(発振周波数 384kHz の場合)

CLGTRIM2.OSC3AJ384[4:0]ビット	OSC3内蔵発振周波数(発振周波数:384kHz)
0x1f	高
:	:
0x00	低

Bits 7-5 Reserved

2 電源, リセット, クロック

Bits 4-0 OSC3AJ4M[4:0]

これらのビットは、OSC3 内蔵発振回路(発振周波数 4MHz/2MHz/1MHz/500kHz/250kHz の場合)の周波数トリミング値を設定します。

表 2.6.11 OSC3 内蔵発振回路の周波数トリミング設定(発振周波数 4MHz/2MHz/1MHz/500kHz/250kHz の場合)

CLGTRIM2.OSC3AJ4M[4:0]ビット	OSC3内蔵発振周波数(発振周波数:4MHz/2MHz/1MHz/500kHz/250kHz)
0x1f	高
:	:
0x00	低

注: CLGTRIM3.OSC3AJ384[8:0]/ CLGTRIM3.OSC3AJ8M[8:0]の初期設定値は、“電気的特性”の章に記載されている OSC3 発振回路特性を保証する値に調整されています。この設定を変更した場合、周波数特性を満足できなくなる可能性があります。また、設定の変更は、必ず OSC3 発振回路が停止した状態で行ってください。

3 CPU,デバッガ

3.1 概要

本 IC は、デバッガを内蔵したセイコーエプソンオリジナル 16 ビット CPU コア(S1C17)を搭載しています。主な機能と特長を以下に示します。

- ・セイコーエプソンオリジナル 16 ビット RISC プロセッサ
 - 24 ビット汎用レジスタ: 8
 - 24 ビット特殊レジスタ: 2
 - 8 ビット特殊レジスタ: 1
 - 最大 16M バイトのメモリ空間(24 ビットアドレス)
 - 命令バスとデータバスを分離したハーバードアーキテクチャ
- ・C 言語による開発用に最適化されたコンパクトかつ高速な命令セット
 - コード長: 16 ビット固定長
 - 命令数: 基本命令 111 個(全 184 命令)
 - 実行サイクル: 主要命令は 1 サイクルで実行
 - 即値拡張命令: 即値を 24 ビットまで拡張
- ・リセット、NMI、アドレス不整合割り込み、デバッグ割り込み、外部割り込みを搭載
 - ベクタテーブルからベクタを読み込み、割り込みルーチンへ直接分岐
 - ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)
- ・スタンバイ機能として、HALT モード(halt 命令)、SLEEP モード(slp 命令)を搭載
- ・3 線で通信可能な、プログラム開発を支援するデバッガを搭載

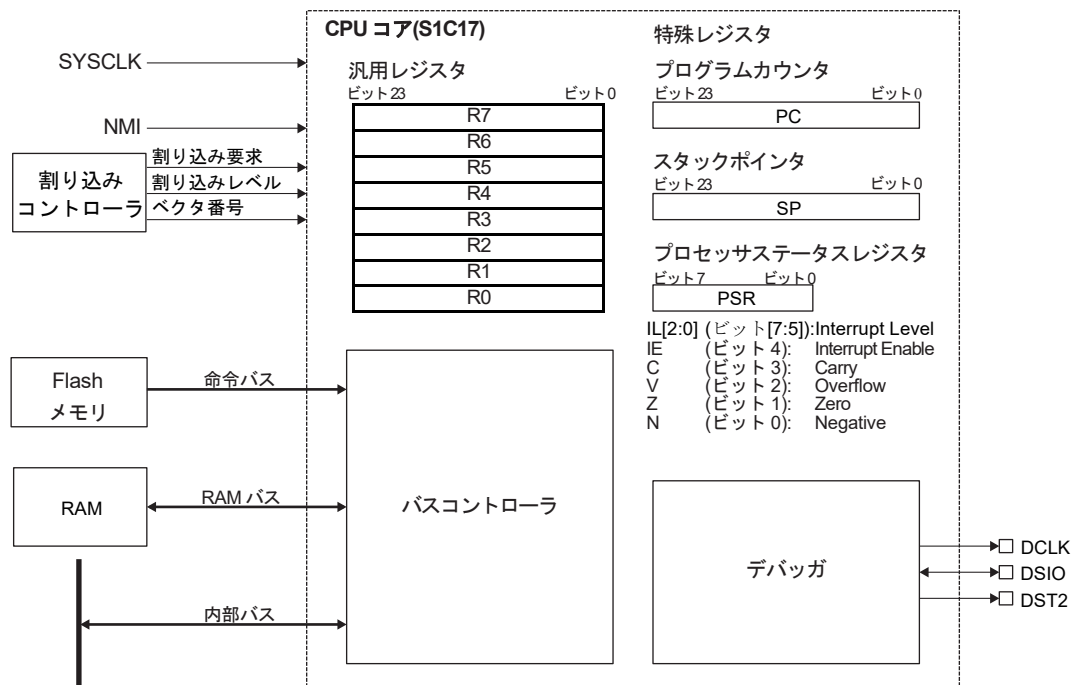


図 3.1.1 S1C17 の構成

3.2 CPU コア

3.2.1 CPU レジスタ

CPU は 8 本の汎用レジスタおよび 3 本の特殊レジスタを内蔵しています(表 3.2.1.1)。

表 3.2.1.1 CPU レジスタの初期化

CPU register name			Initial	Reset
汎用レジスタ		R0~R7	0x000000	H0
特殊レジスタ	プログラムカウンタ	PC	リセットベクタを自動的にロード	H0
	スタックポインタ	SP	0x000000	H0
	プロセッサステータスレジスタ	PSR	0x00	H0

各レジスタの詳細については“S1C17 Family S1C17 コアマニュアル”を参照してください。また、リセットベクタについては“割り込みコントローラ”の章を参照してください。

3.2.2 命令セット

CPU の命令コードはすべて 16 ビットの固定長で、パイプライン処理を行うことによって主要な命令を 1 サイクルで実行します。各命令の詳細については“S1C17 Family S1C17 コアマニュアル”を参照してください

3.2.3 PSR の読み出し

PSR の内容は、MSCPSR レジスタを介して読み出すことができます。ただし、MSCPSR レジスタを介して、PSR ヘッダーを書き込むことはできません。

3.2.4 S1C17 コア予約 I/O エリア

0xffffc00~0xffffffff 番地は S1C17 コアの予約 I/O エリアです。必要のない場合はアクセスしないでください。

3.3 デバッグ

3.3.1 デバッグ機能

デバッグがサポートしている機能は以下のとおりです。

- ・命令ブレーク: 設定した命令のアドレスを実行する前にデバッグ割り込みを発生。最大 4 ヶ所のアドレスに命令ブレークを設定可能
- ・シングルステップ: 命令ごとにデバッグ割り込みを発生
- ・強制ブレーク: 外部入力信号でデバッグ割り込みを発生
- ・ソフトウェアブレーク: brk 命令の実行によりデバッグ割り込みを発生

デバッグ割り込みが発生すると、CPU は DEBUG モードに入ります。DEBUG モード時の周辺回路は、各周辺回路のクロック制御レジスタに設けられた DBRUN ビットの設定に応じた動作を行います。DBRUN ビットに関しては、周辺回路の“DEBUG モード時のクロック供給”を参照してください。DEBUG モードは、パソコンから解除コマンドを送るか、CPU が retd 命令を実行するまで続きます。DEBUG モード中は、ハードウェア割り込みおよび NMI は受け付けられません。

3.3.2 必要リソースとデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64 バイトのデバッグ用ワークエリアが必要です。ワークエリアの配置アドレスは“メモリ、バス”の章を参照してください。このデバッグ用ワークエリアのスタートアドレスは、DBRAM レジスタから読み出すことができます。

3 CPU,デバッガ

デバッグツール

デバッグは、本 IC のデバッガの入出力端子に ICDmini(S5U1C17001H)を接続し、パソコンから制御します。これには、以下のツールが必要です。

- ・ S1C17 Family In-Circuit Debugger ICDmini(S5U1C17001H)
- ・ S1C17 Family C コンパイラパッケージ(S5U1C17001C 等)

3.3.3 デバッガ入出力端子一覧

表 3.3.3.1 にデバッグ端子一覧を示します。

表 3.3.3.1 デバッグ端子一覧

端子名	I/O	イニシャル状態	機能
DCLK	O	O	オンチップデバッグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	I	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	O	オンチップデバッグステータス出力端子 デバッグ中のプロセッサの状態を出力します。

デバッガの入出力は汎用入出力ポート端子を兼用しており、イニシャル状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、これらの端子を汎用入出力ポート端子に切り換えることができます。詳細は“入出力ポート”の章を参照してください。

- 注:
- ・ DCLK 端子は、外部から HIGH レベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。また、DCLK 端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、IC が正常に起動しない可能性があります。
 - ・ DSIO 端子は、外部から LOW レベルで駆動しないでください。デバッグ割り込みが発生し、CPU が DEBUG モードに入ります。

3.3.4 外部接続

デバッグを行う際の ICDmini との接続例を図 3.3.4.1 に示します。

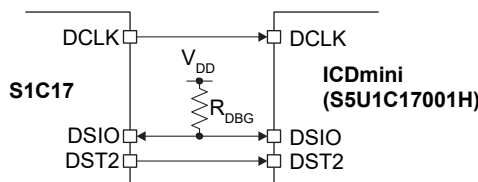


図 3.3.4.1 ROM データプログラム出荷と Flash セキュリティ機能設定の流れ

プルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO 用プルアップ抵抗 R_{DBG} ”を参照してください。DSIO 端子を汎用入出力ポート端子として使用する場合、 R_{DBG} は必要ありません。

3.3.5 Flash セキュリティ機能

ICDmini を介したデバッガからの内蔵 Flash メモリの読み出しや改ざんを防ぐため、本 IC にはセキュリティ機能が設けられています。図 3.3.5.1 に Flash セキュリティ機能設定の流れを示します。

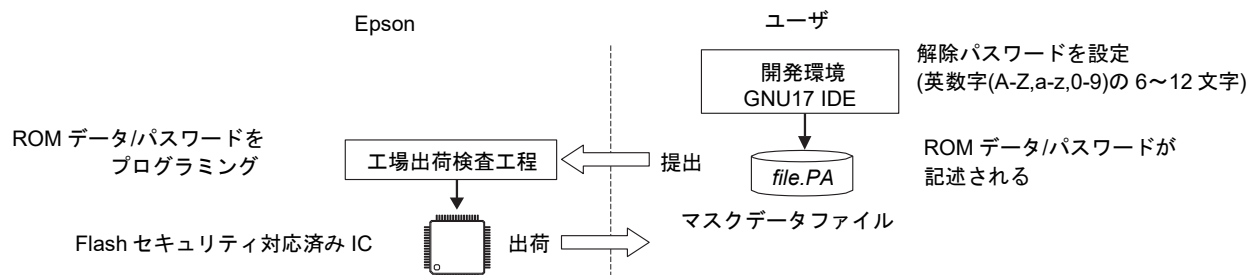


図 3.3.5.1 ROM データプログラム出荷と Flash セキュリティ機能設定の流れ

Flashセキュリティ対応済みのICは以下の状態になります。

- ・デバッガから読み出すFlashメモリの値は不定値になる
- ・ICDminiを介したFlashプログラミングを行うとエラーになる

ただし、あらかじめ設定してある解除パスワードをGNU17 IDE上で入力することで、Flashセキュリティ機能を解除することができます(リセット後は、再度セキュリティ機能が有効になります)。パスワードの設定方法については、“(S1C17 Family C コンパイラパッケージ) S5U1C17001C マニュアル”を参照してください。

注:Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。

3.4 制御レジスタ

MISC PSR Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPSR	15-8	—	0x00	—	R	—
	7-5	PSRIL[2:0]	0x0	H0	R	
	4	PSRIE	0	H0	R	
	3	PSRC	0	H0	R	
	2	PSRV	0	H0	R	
	1	PSRZ	0	H0	R	
	0	PSRN	0	H0	R	

Bits 15-8 Reserved

Bits 7-5 PSRIL[2:0]

これらのビットからPSRのIL[2:0](割り込みレベル)ビットの値(0~7)が読み出せます。

Bit 4 PSRIE

このビットからPSRのIE(割り込みイネーブル)ビットの値(0または1)が読み出せます。

Bit 3 PSRC

このビットからPSRのC(キャリー)フラグの値(0または1)が読み出せます。

Bit 2 PSRV

このビットからPSRのV(オーバーフロー)フラグの値(0または1)が読み出せます。

Bit 1 PSRZ

このビットからPSRのZ(ゼロ)フラグの値(0または1)が読み出せます。

Bit 0 PSRN

このビットからPSRのN(ネガティブ)フラグの値(0または1)が読み出せます。

Debug RAM Base Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DBRAM	31-24	—	0x00	—	R	—
	23-0	DBRAM[23:0]	*1	H0	R	

*1 デバッグ用ワークエリアの先頭アドレス

Bits 31-24 Reserved

Bits 23-0 DBRAM[23:0]

これらのビットからデバッグ用ワークエリア(64バイト)の先頭アドレスが読み出せます。

4 メモリ, バス

4.1 概要

本 IC は、命令、データ共に最大 16M バイトのメモリ空間をアクセスすることができます。主な機能と特長を以下に示します。

- ・オンボード書き換え可能な Flash メモリを搭載
- ・すべてのメモリおよび制御レジスタを 16 ビットかつ 1 サイクルでアクセス可能(EEPROM エリアを除く)
- ・システム制御に関係するレジスタには、書き込み保護機能を搭載

図 4.1.1 にメモリマップを示します。

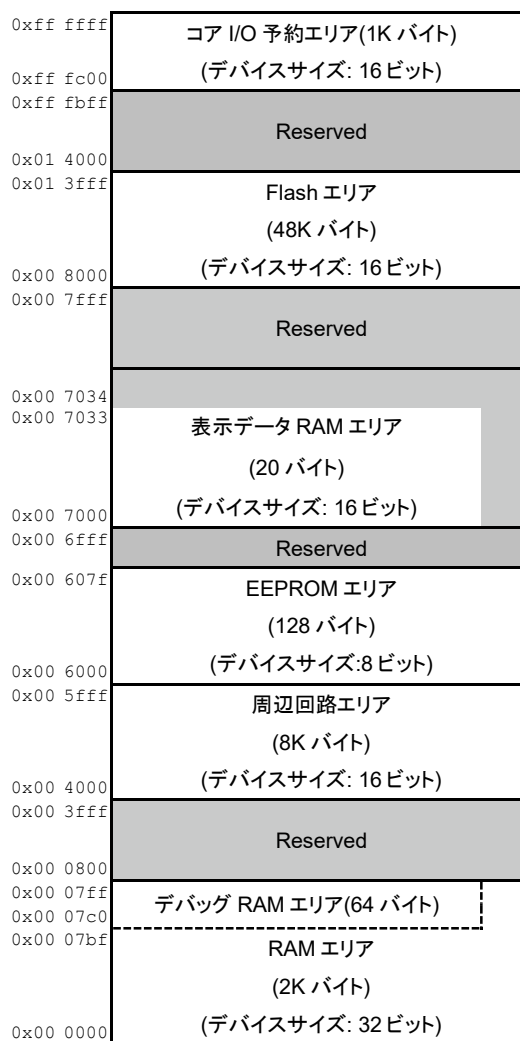


図 4.1.1 メモリマップ

4.2 バスアクセスサイクル

CPU はシステムクロックを基準にバスアクセスを行います。ここで、バスアクセスサイクル、デバイスサイズ、アクセスサイズについて、以下のように定義します。

- ・バスアクセスサイクル: システムクロックの 1 クロック = 1 サイクル
- ・デバイスサイズ: 1 サイクルでアクセスできるメモリ、周辺回路のビット幅

- ・アクセスサイズ: CPU 命令が要求するアクセスサイズ(例: ld %rd, [%rb] →16 ビットデータ転送)
- デバイスサイズとアクセスサイズの違いによるバスアクセスサイクル数の一覧を表 4.2.1 に示します。周辺回路は 8 ビット、16 ビット、32 ビットのいずれの命令でもアクセス可能です。

表 4.2.1 バスアクセスサイクル数

デバイスサイズ	アクセスサイズ	バスアクセスサイクル数
8ビット	8ビット	1
	16ビット	2
	32ビット	4
16ビット	8ビット	1
	16ビット	1
	32ビット	2
32ビット	8ビット	1
	16ビット	1
	32ビット	1

注: 32 ビットアクセスによりデータをメモリに転送するときは、S1C17 コアの汎用レジスタが 24 ビットのため、上位 8 ビットは 0x00 としてメモリに書き込まれます。逆にメモリからレジスタへ転送するときは、上位 8 ビットが無視されます。割り込み処理のスタック操作時も CPU は 32 ビットアクセスを行います。このときは PSR の値を上位 8 ビット、戻りアドレスを下位 24 ビットとした 32 ビットの書き込み/読み出しを行います。詳しくは、“S1C17 Family S1C17 コアマニュアル”を参照してください。

また、CPU はハーバードアーキテクチャを採用しており、命令フェッチとデータアクセスを同時に行うことが可能です。ただし、以下の条件では同時に行われず、データが存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- ・Flash エリアで命令を実行し、Flash エリアのデータにアクセスする場合
- ・Flash エリアで命令を実行し、表示データ RAM/EEPROM エリアのデータにアクセスする場合
- ・内蔵 RAM/表示データ RAM エリアで命令を実行し、内蔵 RAM/表示データ RAM/EEPROM エリアのデータにアクセスする場合

4.3 Flash メモリ

Flash メモリには、アプリケーションプログラムやデータを書き込んでおくことができます。また、Flash エリアの 0x8000 番地はデフォルトのベクタテーブルベースアドレスとして定義されていますので、このアドレスを先頭にベクタテーブルを置く必要があります。詳細は、“割り込みコントローラ”の章の“ベクタテーブル”を参照してください。

4.3.1 Flash メモリ端子

表 4.3.1.1 に Flash メモリ用の端子を示します。

表 4.3.1.1 Flash メモリ端子

端子名	I/O	イニシャル状態	機能
V _{PP}	P	-	Flashプログラミング電源

V_{PP} 電圧に関しては“電気的特性”の章の“推奨動作条件、Flash プログラミング電圧 V_{PP}”を参照してください。

注: Flash プログラミング時以外は、V_{PP} 端子に外部から印加しないでください。

4.3.2 Flash バスアクセスサイクルの設定

Flash メモリをノーウェイトでアクセス可能な周波数には制限があるため、システムクロック周波数に応じて、リード時のバスアクセスサイクル数を変更する必要があります。リード時バスアクセスサイクル数は、FLASHWAIT.RDWAIT[1:0]ビットで設定します。動作しているシステムクロック周波数以上に対応した設定を選択してください。

4 メモリ、バス

4.3.3 Flash プログラミング

Flash メモリは、オンボードプログラミングに対応しており、ICDmini を介してデバッガから ROM データをプログラミングすることができます。オンボードプログラミング時の接続図を図 4.3.3.1 に示します。

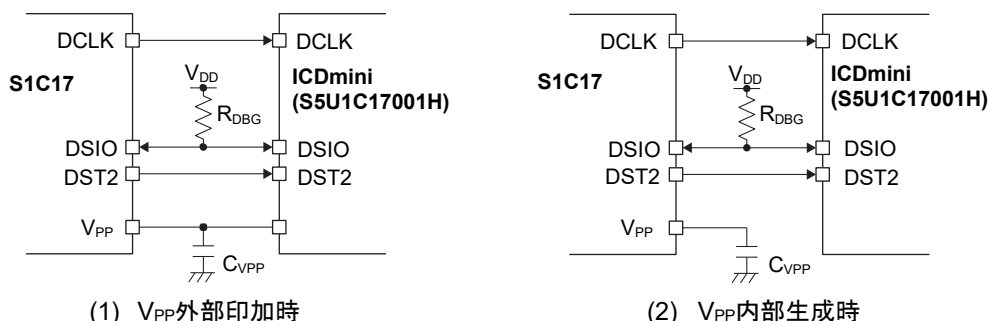


図 4.3.3.1 外部接続

Flash プログラミング時以外は、 V_{PP} 端子をオープンにする必要があります。ただし、ICDmini から V_{PP} 電圧を供給する場合、Flash プログラミング時のみ供給するように制御されているため、接続したままでも問題ありません。また、Flash プログラミング電圧生成用の内部電源回路を内蔵しているため、 V_{PP} 電圧を内部生成することも可能です。 V_{PP} 外部印加時は電圧安定用に、内部電源使用時は電圧生成用に、 C_{VPP} は必ず接続してください。ROM データのプログラミング方法の詳細は、“(S1C17 Family C コンパイラパッケージ) S5U1C17001C マニュアル”を参照してください。また、開発した ROM データを、工場 IC にプログラミングして出荷することも可能です。ROM データのプログラミング出荷をご希望の場合は、サポート窓口までお問い合わせください。

- 注:
- ・ Flash プログラミングを行う場合は、 V_{DD} を 2.2 V 以上にする必要があります。
 - ・ V_{PP} 内部生成時は、 V_{PP} 端子 の出力を外部回路の駆動には絶対に使用しないでください。

4.4 EEPROM

本 MCU は 1 バイト単位で書き換えが可能な EEPROM を搭載しています。EEPROM には固定データを配置することができますが、8 ビット読み出しのみのため、命令コードを配置することはできません。

4.4.1 EEPROM 端子

表 4.4.1.1 に EEPROM 用の端子を示します。

表 4.4.1.1 EEPROM 端子

端子名	I/O	イニシャル状態	機能
V_{PP}	P	—	EEPROMプログラミング電源

EEPROM 書き換え時は内部生成した V_{PP} 電圧のみ使用可能です。図 4.3.3.1 外部接続の“(2) V_{PP} 内部生成時”に示したとおり、 V_{PP} 端子に C_{VPP} を接続してください。EEPROM のデータ書き換えにおいても、4.3.3 節の注が適用されます。

4.4.2 EEPROM 操作

EEPROM データの書き換え

EEPROM へのデータ書き換えは以下の手順で行います。

1. MSCPROT.PROT[15:0] ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. EPRCCTL0 レジスタの以下のビットを設定する。
 - EPRCCTL0.EP_WMODE ビットを 1 に設定 (書き換えモードに設定)
 - EPRCCTL0.EP_PWRSET ビットを 1 に設定 (プログラム電源 ON)
3. プログラム電源が安定するまでウェイトします(ウェイト時間は“電気的特性”の章の“EEPROM 特性”を参照)。
4. EPRCINTF.RXBIF ビットに 1 を書き込む。 (割り込みフラグをクリア)

5. EPRCINTE.RXBIE ビットを 1 に設定する。 (割り込みイネーブル)
6. EPRCADR.EP_ADDR[7:0] ビットを設定する。 (書き換えアドレスを設定)
7. EPRCWDAT.EP_WDAT[7:0] ビットを設定する。 (書き込みデータを設定)
後で実行するベリファイ用に書き込みデータは RAM に保存しておきます。
8. EPRCCTL1.EP_CK ビットに 1 を書き込む。 (クロックパルス出力)
9. 割り込みを待つ。書き換えが完了すると、EPRCINTF.RXBIF ビットが 1 になります。
10. 必要なアドレス分、4 から 9 を繰り返す。
11. EPRCCTL0 レジスタの以下のビットを設定する。
 - EPRCCTL0.EP_WMODE ビットを 0 に設定 (書き換えモードを終了)
 - EPRCCTL0.EP_PWRSET ビットを 0 に設定 (プログラム電源 OFF)
12. MSCPROT.PROT[15:0] ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)
13. EEPROM を読み出して書き込んだデータと比較する。

EEPROM データの読み出し

EEPROM のデータは、EEPROM が割り付けられたメモリエリア(論理アドレス)から通常の 8 ビットメモリリード命令で読み出すことができます。16 ビットまたは 32 ビットメモリリードを行った場合も 8 ビット分のデータのみ読み出され、上位ビットは 0 となります。また、EPRCCTL0.EP_WMODE ビット = 1(書き換えモード)の間は、読み出しデータが不定となります。読み出し時に ECC 割り込みが発生した場合は、EPRCINTF.ECCERIF ビットが 1 になります。

注: ECC 割り込みが発生した場合は、書き換え回数の限界に到達した可能性があります。次回以降別アドレスにデータをコピーして該当のアドレスの使用を避けることを推奨します。

4.4.3 割り込み

EEPROMC には、表 4.4.3.1 に示す割り込みを発生させる機能があります。

表 4.4.3.1 EEPROMC の割り込み機能

割り込み	割り込みフラグ	セット	クリア
書き換え/読み出し完了	EPRCINTF.RXBIF	EEPROM のデータ書き換え/読み出しが完了したとき	1書き込み
ECC	EPRCINTF.ECCERIF	読み出し時、ECCによってデータが訂正されたとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されません。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

4.5 RAM

RAM は、変数などの格納以外に、命令コードをコピーして実行させることにも使用可能です。これにより、Flash メモリよりも高速かつ省電力な処理を実現できます。

注: RAM の最後尾の 64 バイトはデバッグ RAM エリアとして予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

本 IC では、アプリケーションで使用する RAM のサイズを、実装されているサイズ以下に制限することができます。この機能は、MSCIRAMSZ.IRAMSZ[2:0] ビットで設定でき、RAM サイズが本 IC よりも小さい機種の開発時に、搭載している RAM の領域外にアクセスするようなプログラムの作成を回避するといった用途などに利用できます。制限後の RAM 領域外にアクセスすると、Reserved 領域と同じ動作(読み出し値 = 不定)になります。

4.6 表示データ RAM

LCD ドライバの表示データ格納用に表示データ RAM が内蔵されています。表示データ RAM 内の表示データ用に使用しない領域は汎用 RAM として使用可能です。表示データ RAM の詳細については、“LCD ドライバ”の章の“表示データ RAM”を参照してください。

4.7 周辺回路制御レジスタ

0x4000 番地から始まる 8K バイトのエリアには、周辺回路の制御レジスタが割り付けられています。この制御レジスタマップを表 4.7.1 に示します。各制御レジスタの詳細については Appendix の“周辺回路制御レジスタ一覧”、または各周辺回路の章の“制御レジスタ”を参照してください。

表 4.7.1 周辺回路制御レジスタマップ

周辺回路	アドレス	レジスタ名	
MISCレジスタ(MISC)	0x4000	MSCPROT	MISC System Protect Register
	0x4002	MSCIRAMSZ	MISC IRAM Size Register
	0x4004	MSCTTBRL	MISC Vector Table Address Low Register
	0x4006	MSCTTBRH	MISC Vector Table Address High Register
	0x4008	MSCPSR	MISC PSR Register
パワージェネレータ(PWG2)	0x4020	PWGV1CTL	PWG VD1 Regulator Control Register
	0x4022	PWGRFCCTL	PWG RFC Regulator Control Register
クロックジェネレータ(CLG)	0x4040	CLGCLK	CLG System Clock Control Register
	0x4042	CLGOSC	CLG Oscillation Control Register
	0x4046	CLGOSC1	CLG OSC1 Control Register
	0x4048	CLGOSC3	CLG OSC3 Control Register
	0x404c	CLGINTF	CLG Interrupt Flag Register
	0x404e	CLGINTE	CLG Interrupt Enable Register
	0x4050	CLGFOUT	CLG FOUT Control Register
	0x4052	CLGTRIM1	CLG Oscillation Frequency Trimming Register 1
	0x4054	CLGTRIM2	CLG Oscillation Frequency Trimming Register 2
割り込みコントローラ(ITC)	0x4080	ITCLV0	ITC Interrupt Level Setup Register 0
	0x4082	ITCLV1	ITC Interrupt Level Setup Register 1
	0x4084	ITCLV2	ITC Interrupt Level Setup Register 2
	0x4086	ITCLV3	ITC Interrupt Level Setup Register 3
	0x4088	ITCLV4	ITC Interrupt Level Setup Register 4
	0x408a	ITCLV5	ITC Interrupt Level Setup Register 5
	0x408c	ITCLV6	ITC Interrupt Level Setup Register 6
	0x408e	ITCLV7	ITC Interrupt Level Setup Register 7
	0x4090	ITCLV8	ITC Interrupt Level Setup Register 8
ウォッチドッグタイマ(WDT2)	0x40a0	WDTCLK	WDT2 Clock Control Register
	0x40a2	WDTCTL	WDT2 Control Register
	0x40a4	WDTCMP	WDT2 Counter Compare Match Register
電源電圧検出回路(SVD5)	0x4100	SVDCLK	SVD5 Clock Control Register
	0x4102	SVDCTL	SVD5 Control Register
	0x4104	SVDINTF	SVD5 Status and Interrupt Flag Register
	0x4106	SVDINTE	SVD5 Interrupt Enable Register

周辺回路	アドレス	レジスタ名		
16ビットタイマ(T16) Ch.0	0x4160	T16_0CLK	T16 Ch.0 Clock Control Register	
	0x4162	T16_0MOD	T16 Ch.0 Mode Register	
	0x4164	T16_0CTL	T16 Ch.0 Control Register	
	0x4166	T16_0TR	T16 Ch.0 Reload Data Register	
	0x4168	T16_0TC	T16 Ch.0 Counter Data Register	
	0x416a	T16_0INTF	T16 Ch.0 Interrupt Flag Register	
	0x416c	T16_0INTE	T16 Ch.0 Interrupt Enable Register	
Flashコントローラ(FLASHC)	0x41b0	FLASHCWAIT	FLASHC Flash Read Cycle Register	
EEPROMコントローラ (EEPROMC)	0x41c0	EPRCCTL0	EEPROMC Control Register 0	
	0x41c2	EPRCCTL1	EEPROMC Control Register 1	
	0x41c4	EPRCADR	EEPROMC Address Register	
	0x41c6	EPRCWDAT	EEPROMC Write Data Register	
	0x41c8	EPRCINTF	EEPROMC Interrupt Flag Register	
	0x41ca	EPRCINTE	EEPROMC Interrupt Enable Register	
入出力ポート(PPORT)	0x4200	P0DAT	P0 Port Data Register	
	0x4202	P0IOEN	P0 Port Enable Register	
	0x4204	P0RCTL	P0 Port Pull-up/down Control Register	
	0x4206	P0INTF	P0 Port Interrupt Flag Register	
	0x4208	P0INTCTL	P0 Port Interrupt Control Register	
	0x420a	P0CHATEN	P0 Port Chattering Filter Enable Register	
	0x420c	P0MODESEL	P0 Port Mode Select Register	
	0x420e	P0FNCSSEL	P0 Port Function Select Register	
	0x4210	P1DAT	P1 Port Data Register	
	0x4212	P1IOEN	P1 Port Enable Register	
	0x4214	P1RCTL	P1 Port Pull-up/down Control Register	
	0x4216	P1INTF	P1 Port Interrupt Flag Register	
	0x4218	P1INTCTL	P1 Port Interrupt Control Register	
	0x421a	P1CHATEN	P1 Port Chattering Filter Enable Register	
	0x421c	P1MODESEL	P1 Port Mode Select Register	
	0x421e	P1FNCSSEL	P1 Port Function Select Register	
	0x4220	P2DAT	P2 Port Data Register	
	0x4222	P2IOEN	P2 Port Enable Register	
	0x4224	P2RCTL	P2 Port Pull-up/down Control Register	
	0x4226	P2INTF	P2 Port Interrupt Flag Register	
	0x4228	P2INTCTL	P2 Port Interrupt Control Register	
	0x422a	P2CHATEN	P2 Port Chattering Filter Enable Register	
	0x422c	P2MODESEL	P2 Port Mode Select Register	
	0x422e	P2FNCSSEL	P2 Port Function Select Register	
	0x42d0	PDDAT	Pd Port Data Register	
	0x42d2	PDIOEN	Pd Port Enable Register	
	0x42d4	PDRCTL	Pd Port Pull-up/down Control Register	
	0x42dc	PDMODESEL	Pd Port Mode Select Register	
	0x42de	PDFNCSSEL	Pd Port Function Select Register	
	0x42e0	PCLK	P Port Clock Control Register	
	0x42e2	PINTFGRP	P Port Interrupt Flag Group Register	
	ユニバーサルポート マルチプレクサ(UPMUX)	0x4300	P0UPMUX0	P00–01 Universal Port Multiplexer Setting Register
		0x4302	P0UPMUX1	P02–03 Universal Port Multiplexer Setting Register
0x4304		P0UPMUX2	P04–05 Universal Port Multiplexer Setting Register	
0x4306		P0UPMUX3	P06–07 Universal Port Multiplexer Setting Register	
0x4308		P1UPMUX0	P10–11 Universal Port Multiplexer Setting Register	
0x430a		P1UPMUX1	P12–13 Universal Port Multiplexer Setting Register	
0x430c		P1UPMUX2	P14–15 Universal Port Multiplexer Setting Register	
0x430e		P1UPMUX3	P16–17 Universal Port Multiplexer Setting Register	
UART(UART3) Ch.0	0x4380	UA0CLK	UART3 Ch.0 Clock Control Register	
	0x4382	UA0MOD	UART3 Ch.0 Mode Register	
	0x4384	UA0BR	UART3 Ch.0 Baud-Rate Register	
	0x4386	UA0CTL	UART3 Ch.0 Control Register	
	0x4388	UA0TXD	UART3 Ch.0 Transmit Data Register	
	0x438a	UA0RXD	UART3 Ch.0 Receive Data Register	
	0x438c	UA0INTF	UART3 Ch.0 Status and Interrupt Flag Register	
	0x438e	UA0INTE	UART3 Ch.0 Interrupt Enable Register	
	0x4390	UA0CAWF	UART3 Ch.0 Carrier Waveform Register	

4 メモリ、バス

周辺回路	アドレス	レジスタ名		
16ビットタイマ(T16) Ch.1	0x43a0	T16_1CLK	T16 Ch.1 Clock Control Register	
	0x43a2	T16_1MOD	T16 Ch.1 Mode Register	
	0x43a4	T16_1CTL	T16 Ch.1 Control Register	
	0x43a6	T16_1TR	T16 Ch.1 Reload Data Register	
	0x43a8	T16_1TC	T16 Ch.1 Counter Data Register	
	0x43aa	T16_1INTF	T16 Ch.1 Interrupt Flag Register	
	0x43ac	T16_1INTE	T16 Ch.1 Interrupt Enable Register	
同期式シリアルインタフェース (SPIA) Ch.0	0x43b0	SPIOMOD	SPIA Ch.0 Mode Register	
	0x43b2	SPIOCTL	SPIA Ch.0 Control Register	
	0x43b4	SPIOTXD	SPIA Ch.0 Transmit Data Register	
	0x43b6	SPIORXD	SPIA Ch.0 Receive Data Register	
	0x43b8	SPIOINTF	SPIA Ch.0 Interrupt Flag Register	
	0x43ba	SPIOINTE	SPIA Ch.0 Interrupt Enable Register	
I ² C(I2C) Ch.0	0x43c0	I2C0CLK	I2C Ch.0 Clock Control Register	
	0x43c2	I2C0MOD	I2C Ch.0 Mode Register	
	0x43c4	I2C0BR	I2C Ch.0 Baud-Rate Register	
	0x43c8	I2C0ADR	I2C Ch.0 Own Address Register	
	0x43ca	I2C0CTL	I2C Ch.0 Control Register	
	0x43cc	I2C0TXD	I2C Ch.0 Transmit Data Register	
	0x43ce	I2C0RXD	I2C Ch.0 Receive Data Register	
	0x43d0	I2C0INTF	I2C Ch.0 Status and Interrupt Flag Register	
	0x43d2	I2C0INTE	I2C Ch.0 Interrupt Enable Register	
	16ビットPWMタイマ(T16B) Ch.0	0x5000	T16B0CLK	T16B Ch.0 Clock Control Register
0x5002		T16B0CTL	T16B Ch.0 Counter Control Register	
0x5004		T16B0MC	T16B Ch.0 Max Counter Data Register	
0x5006		T16B0TC	T16B Ch.0 Timer Counter Data Register	
0x5008		T16B0CS	T16B Ch.0 Counter Status Register	
0x500a		T16B0INTF	T16B Ch.0 Interrupt Flag Register	
0x500c		T16B0INTE	T16B Ch.0 Interrupt Enable Register	
0x5010		T16B0CCCTL0	T16B Ch.0 Compare/Capture 0 Control Register	
0x5012		T16B0CCR0	T16B Ch.0 Compare/Capture 0 Data Register	
0x5018		T16B0CCCTL1	T16B Ch.0 Compare/Capture 1 Control Register	
0x501a		T16B0CCR1	T16B Ch.0 Compare/Capture 1 Data Register	
16ビットPWMタイマ(T16B) Ch.1		0x5040	T16B1CLK	T16B Ch.1 Clock Control Register
		0x5042	T16B1CTL	T16B Ch.1 Counter Control Register
		0x5044	T16B1MC	T16B Ch.1 Max Counter Data Register
	0x5046	T16B1TC	T16B Ch.1 Timer Counter Data Register	
	0x5048	T16B1CS	T16B Ch.1 Counter Status Register	
	0x504a	T16B1INTF	T16B Ch.1 Interrupt Flag Register	
	0x504c	T16B1INTE	T16B Ch.1 Interrupt Enable Register	
	0x5050	T16B1CCCTL0	T16B Ch.1 Compare/Capture 0 Control Register	
	0x5052	T16B1CCR0	T16B Ch.1 Compare/Capture 0 Data Register	
	0x5058	T16B1CCCTL1	T16B Ch.1 Compare/Capture 1 Control Register	
	0x505a	T16B1CCR1	T16B Ch.1 Compare/Capture 1 Data Register	
	16ビットタイマ(T16) Ch.2	0x5260	T16_2CLK	T16 Ch.2 Clock Control Register
		0x5262	T16_2MOD	T16 Ch.2 Mode Register
		0x5264	T16_2CTL	T16 Ch.2 Control Register
0x5266		T16_2TR	T16 Ch.2 Reload Data Register	
0x5268		T16_2TC	T16 Ch.2 Counter Data Register	
0x526a		T16_2INTF	T16 Ch.2 Interrupt Flag Register	
0x526c		T16_2INTE	T16 Ch.2 Interrupt Enable Register	
サウンドジェネレータ(SNDA2)		0x5300	SNDCCLK	SNDA2 Clock Control Register
	0x5302	SNDSEL	SNDA2 Select Register	
	0x5304	SNDCTL	SNDA2 Control Register	
	0x5306	SNDDAT	SNDA2 Data Register	
	0x5308	SNDINTF	SNDA2 Interrupt Flag Register	
	0x530a	SNDINTE	SNDA2 Interrupt Enable Register	

周辺回路	アドレス	レジスタ名	
プザー昇圧回路(CHREG)	0x5340	CHREGCONF	Charge-pump Configuration
	0x5342	CHREGCTL	Charge-pump Control
LCDドライバ(LCD4B)	0x5400	LCD4CLK	LCD4B Clock Control Register
	0x5402	LCD4CTL	LCD4B Control Register
	0x5404	LCD4TIM1	LCD4B Timing Control Register 1
	0x5406	LCD4TIM2	LCD4B Timing Control Register 2
	0x5408	LCD4PWR	LCD4B Power Control Register
	0x540a	LCD4DSP	LCD4B Display Control Register
	0x540c	LCD4COMC0	LCD4B COM Pin Control Register 0
	0x5410	LCD4INTF	LCD4B Interrupt Flag Register
	0x5412	LCD4INTE	LCD4B Interrupt Enable Register
R/F変換回路(RFC2)	0x5440	RFC0CLK	RFC2 Ch.0 Clock Control Register
	0x5442	RFC0CTL	RFC2 Ch.0 Control Register
	0x5444	RFC0TRG	RFC2 Ch.0 Oscillation Trigger Register
	0x5446	RFC0MCL	RFC2 Ch.0 Measurement Counter Low Register
	0x5448	RFC0MCH	RFC2 Ch.0 Measurement Counter High Register
	0x544a	RFC0TCL	RFC2 Ch.0 Time Base Counter Low Register
	0x544c	RFC0TCH	RFC2 Ch.0 Time Base Counter High Register
	0x544e	RFC0INTF	RFC2 Ch.0 Interrupt Flag Register
	0x5450	RFC0INTE	RFC2 Ch.0 Interrupt Enable Register

4.7.1 システムプロテクト機能

システムプロテクトは、制御レジスタやビットを書き込み保護する機能です。MSCPROT.PROT[15:0]ビットに0x0096を書き込んで書き込み保護を解除しない限り、書き換えることができません。この機能は、CPU暴走時に、システム関係のレジスタを書き換えてしまうことによるデッドロックを防ぐために設けられています。書き込み保護されているレジスタやビットについては、周辺回路の“制御レジスタ”で確認してください。

注: MSCPROT.PROT[15:0]ビットで書き込み保護を解除すると、再度、書き込み保護を設定するまで、解除された状態に維持されます。必要なレジスタ/ビットの書き換えを終了後は、書き込み保護に再設定してください。

4.8 制御レジスタ

MISC System Protect Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPROT	15-0	PROT[15:0]	0x0000	H0	R/W	-

Bits 15-0 PROT[15:0]

これらのビットは、システム関連の制御レジスタを書き込み保護します。

0x0096 (R/W): システムプロテクト無効

0x0096以外 (R/W): システムプロテクト有効

システムプロテクト状態では、書き込み保護対応のビット(R/W欄にWPまたはR/WPが記載されているビット)には書き込みできません。

MISC IRAM Size Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCIRAMSZ	15-9	-	0x00	-	R	-
	8	(reserved)	0	H0	R/WP	Always set to 0.
	7-3	-	0x04	-	R	-
	2-0	IRAMSZ[2:0]	0x2	H0	R/WP	-

Bits 15-3 Reserved

Bits 2-0 IRAMSZ[2:0]

これらのビットは、使用できる内蔵RAMのサイズを設定します。

4 メモリ, バス

表 4.8.1 内蔵 RAM サイズの選択

MSCIRAMSZ.IRAMSZ[2:0]ビット	内蔵RAMのサイズ
0x7~0x3	Reserved
0x2	2KB
0x1	1KB
0x0	512B

FLASHC Flash Read Cycle Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
FLASHCWAIT	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	-
	1-0	RDWAIT[1:0]	0x1	H0	R/WP	-

Bits 15-2 Reserved

Bits 1-0 RDWAIT[1:0]

これらのビットは、Flash メモリリード時のバスアクセスサイクル数を設定します。

表 4.8.2 Flash リード時バスアクセスサイクル数の設定

$V_{DD}=1.2\sim 1.6V$ の場合

FLASHCWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	1.1 MHz (max.)
0x2	3	1.1 MHz (max.)
0x1	2	1.1 MHz (max.)
0x0	1	800 kHz (max.)

$V_{DD}=1.6\sim 3.6V$, $V_{D1}=1.4V$ の場合

FLASHCWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	4.2 MHz (max.)
0x2	3	4.2 MHz (max.)
0x1	2	4.2 MHz (max.)
0x0	1	2.1 MHz (max.)

注: FLASHCWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。

EEPROMC Control Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCCTL0	15-9	-	0x00	-	R	-
	8	EP_XPOR	1	H0	R/WP	-
	7-2	-	0x00	-	R	-
	1	EP_PWRSET	0	H0	R/WP	-
	0	EP_WMODE	0	H0	R/WP	-

Bits 15-9 Reserved

Bit 8 EP_XPOR

このビットは、EEPROMのリセット信号を制御します。

1 (R/W): リセット信号をネゲート

0 (R/W): リセット信号をアサート

EEPROMのデータ書き換え操作後、書き換え/読み出し完了割り込みが発生しない(EPR-CINTF.RXBIF ビットが1にセットされない)場合はこのビットに0を書き込み、EEPROMをリセットしてください。このビットが0の間はEEPROMの制御がすべて無効になります(データの読み出しも不可)。再度EEPROMを使用する場合には、EEPROM有効リセットパルス幅 t_{XPOR} (“電気的特性”の章の“EEPROM特性”を参照)以上の待ち時間を取った後に1を書き込み、リセット状態を解除します。

Bits 7-2 Reserved

Bit 1 EP_PWRSET

このビットは、プログラム電源を制御します。

1 (R/W): プログラム電源 ON

0 (R/W): プログラム電源 OFF

このビットを 1 に設定すると、EEPROM プログラム電源回路が ON し、 V_{PP} 電圧を昇圧して EEPROM プログラム電圧を生成します。このビットは EPRCCTL0.EP_WMODE ビット = 1 の場合に有効です。

Bit 0 EP_WMODE

このビットは、書き換えモードを設定します。

1 (R/W): 書き換えモードを開始

0 (R/W): 書き換えモードを停止

このビットを 1 にすると EEPROM が書き換えモードに設定され、データの書き換えが可能になります。

このビットが 1 の間に EEPROM を読み出した場合、読み出しデータは不定になります。

EEPROMC Control Register 1

Register name	vbBit	Bit name	Initial	Reset	R/W	Remarks
EPRCCTL1	15-8	—	0x00	—	R	—
	7-1	—	0x00	—	R	
	0	EP_CK	0	H0	WP	

Bits 15-1 Reserved**Bit 0 EP_CK**

このビットは、データを書き換えるためのクロックパルス出力を制御します。

1 (W): クロックパルスを 1 個出力

0 (W): 無効

このビットに 1 を書き込むと EEPROM にクロックが出力され、EPRCADR.EP_ADDR[7:0] ビットで指定した EEPROM アドレスが EPRCWDAT.EP_WDAT[7:0] ビットで指定したデータで書き換えられます。1 書き込み後、このビットは自動的に 0 に戻ります。

このビットは EPRCCTL0.EP_WMODE ビット = 1 の場合に有効です。

EEPROMC Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCADR	15-8	—	0x00	—	R	—
	7-0	EP_ADDR[7:0]	0x00	H0	R/WP	

Bits 15-8 Reserved**Bits 7-0 EP_ADDR[7:0]**

これらのビットは、書き換えを行う EEPROM の物理アドレス(0~255)を指定します。

EEPROM(論理)アドレス = $0x6000 + \text{EPRCADR.EP_ADDR}[7:0]$ ビット

EEPROMC Write Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCWDAT	15-8	—	0x00	—	R	—
	7-0	EP_WDAT[7:0]	0x00	H0	R/WP	

Bits 15-8 Reserved**Bits 7-0 EP_WDAT[7:0]**

これらのビットは、EEPROM に書き込む 8 ビットデータを指定します。

EEPROMC Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCINTF	15-8	—	0x00	—	R	—
	7-2	—	0x00	—	R	
	1	ECCERIF	0	H0	R/WP	Cleared by writing 1.
	0	RXBIF	0	H0	R/WP	

Bits 15-2 Reserved**Bit 1 ECCERIF****Bit 0 RXBIF**

4 メモリ, バス

これらのビットは、EEPROMC 割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

EPRCINTF.ECCERIF ビット: ECC 割り込み

EPRCINTF.RXBIF ビット: 書き換え/読み出し完了割り込み

EEPROMC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCINTE	15-8	—	0x00	—	R	—
	7-2	—	0x00	—	R	
	1	ECCERIE	0	H0	R/WP	
	0	RXBIE	0	H0	R/WP	

Bits 15-2 Reserved

Bit 1 ECCERIE

Bit 0 RXBIE

これらのビットは、EEPROMC 割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

EPRCINTE.ECCERIE ビット: ECC 割り込み

EPRCINTE.RXBIE ビット: 書き換え/読み出し完了割り込み

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に割り込みフラグをクリアしてください。

5 割り込みコントローラ(ITC)

5.1 概要

ITCの主な機能と特長を以下に示します。

- ・周辺回路からの割り込み要求を受け付け、CPUへ割り込み要求、割り込みレベル、ベクタ番号を出力
- ・割り込みソースごとに8段階の割り込みレベルを設定可能
- ・複数の割り込みが同時に発生した場合、割り込みレベルにより優先順位を決定
- ・割り込みレベルが同レベルであれば、ベクタ番号の小さい割り込みを優先

図 5.1.1 に ITC の構成を示します。

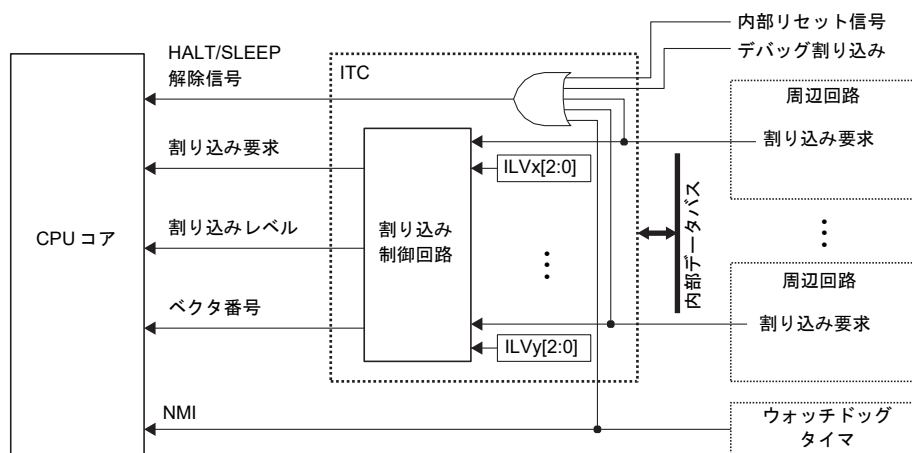


図 5.1.1 ITC の構成

5.2 ベクタテーブル

ベクタテーブルは、割り込みハンドラルーチンへのベクタ(ハンドラルーチン開始アドレス)を格納します。割り込みが発生すると、CPUは割り込みに対応するベクタを読み出して、そのハンドラルーチンを実行します。表 5.2.1 にベクタテーブルを示します。

表 5.2.1 ベクタテーブル

TTBR 初期値 = 0x8000

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	・#RESET端子へのLow入力 ・パワーオンリセット ・キーリセット ・ウォッチドッグタイマオーバーフロー ² ・電源電圧検出回路リセット	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xfffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー ²	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-
4 (0x04)	TTBR + 0x10	電源電圧検出回路割り込み	電源電圧低下検出	高い ¹ ↑
5 (0x05)	TTBR + 0x14	ポート割り込み	ポート入力	
6 (0x06)	TTBR + 0x18	reserved	-	
7 (0x07)	TTBR + 0x1c	クロックジェネレータ割り込み	・IOSC発振安定待ち完了 ・OSC1発振安定待ち完了 ・OSC3発振安定待ち完了	
8 (0x08)	TTBR + 0x20	reserved	-	

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込みフラグ	優先順位
9 (0x09)	TTBR + 0x24	16ビットタイマCh.0割り込み	アンダーフロー	↓ 低い ^{*1}
10 (0x0a)	TTBR + 0x28	UART Ch.0割り込み	<ul style="list-style-type: none"> ・送信完了 ・フレーミングエラー ・パリティエラー ・オーバーランエラー ・受信バッファ 2バイトフル ・受信バッファ 1バイトフル ・送信バッファエンブティ 	
11 (0x0b)	TTBR + 0x2c	16ビットタイマCh.1割り込み	アンダーフロー	
12 (0x0c)	TTBR + 0x30	同期式シリアルインタフェース Ch.0割り込み	<ul style="list-style-type: none"> ・送信完了 ・受信バッファフル ・送信バッファエンブティ ・オーバーランエラー 	
13 (0x0d)	TTBR + 0x34	I2C割り込み	<ul style="list-style-type: none"> ・送受信完了 ・ジェネラルコールアドレス受信 ・NACK受信 ・ストップコンディション ・スタートコンディション ・エラー検出 ・受信バッファフル ・送信バッファエンブティ 	
14 (0x0e)	TTBR + 0x38	16ビットPWMタイマCh.0 割り込み	<ul style="list-style-type: none"> ・キャプチャオーバーライト ・コンペア/キャプチャ ・カウンタMAX ・カウンタゼロ 	
15 (0x0f)	TTBR + 0x3c	16ビットPWMタイマCh.1 割り込み	<ul style="list-style-type: none"> ・キャプチャオーバーライト ・コンペア/キャプチャ ・カウンタMAX ・カウンタゼロ 	
16 (0x10)	TTBR + 0x40	reserved	—	
17 (0x11)	TTBR + 0x44	16ビットタイマCh.2割り込み	アンダーフロー	
18 (0x12)	TTBR + 0x48	サウンドジェネレータ割り込み	<ul style="list-style-type: none"> ・サウンドバッファエンブティ ・サウンド出力終了 	
19 (0x13)	TTBR + 0x4c	LCDドライバ割り込み	フレーム	
20 (0x14)	TTBR + 0x50	R/F変換器Ch.0割り込み	<ul style="list-style-type: none"> ・基準発振完了 ・センサA発振完了 ・センサB発振完了 ・計測カウンタオーバーフローエラー ・タイムベースカウンタオーバーフローエラー 	
21 (0x15)	TTBR + 0x54	EEPROMコントローラ割り込み	<ul style="list-style-type: none"> ・書き換え/読み出し完了 ・ECC 	
22 (0x16)	TTBR + 0x58	reserved	—	
⋮	⋮	⋮	⋮	
31 (0x1f)	TTBR + 0x7c	reserved	—	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

5.2.1 ベクタテーブルベースアドレス(TTBR)

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MSCTTBRLレジスタとMSCTTBRHレジスタによって設定することができます。表5.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MSCTTBRL/MSCTTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタは上記のアドレスに書き込んでおく必要があります。MSCTTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルは常に256バイト境界アドレスから始まります。

5.3 初期設定

割り込みに関する初期設定手順の例を以下に示します。

1. di 命令を実行し、CPU を割り込みディスエーブルに設定する。
2. ベクタテーブルをデフォルトアドレス以外に配置している場合は、MSCPROT.PROT[15:0]ビットに 0x0096 を書き込んでシステムプロテクトを解除した後に、MSCTTBRL/MSCTTBRH レジスタにそのアドレスを設定する。その後、MSCPROT.PORT[15:0]ビットに 0x0096 以外の値を書き込んで、システムプロテクトを設定する。
3. 周辺回路の割り込みイネーブルビットを 0(割り込みディスエーブル)に設定する。
4. ITC の ITCLVx.ILVx[2:0]ビットで周辺回路の割り込みレベルを設定する。
5. 周辺回路を設定し、動作を開始させる。
6. 周辺回路の割り込みフラグをクリアする。
7. 周辺回路の割り込みイネーブルビットを 1(割り込みイネーブル)に設定する。
8. ei 命令を実行し、CPU を割り込みイネーブルに設定する。

5.4 マスク可能割り込みの制御と動作

5.4.1 周辺回路の割り込み制御

割り込みを発生する周辺回路には、割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。

割り込みフラグ: 割り込み要因の発生により 1 にセットされます。クリア条件は、周辺回路によって異なります。

割り込みイネーブルビット: このビットを 1(割り込みイネーブル)に設定しておくこと、割り込みフラグが 1 になった時点で ITC に割り込み要求が送信されます。0(割り込みディスエーブル)に設定しておくこと、割り込みフラグが 1 になっても ITC に割り込み要求は送信されません。割り込みフラグが 1 の状態で、割り込みイネーブルに変更するとその時点で ITC に割り込み要求が送信されます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺回路の説明を参照してください。

注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを 1(割り込みイネーブル)に設定する前、および割り込みハンドルーチンを終了する前に、対応する割り込みフラグをクリアしてください。

5.4.2 ITC の割り込み要求処理

周辺回路からの割り込み信号を受け付けると、ITC は割り込み要求、割り込みレベルおよびベクタ番号を CPU に送ります。ベクタ番号は表 5.2.1 に示したとおり、ITC 内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルは割り込みの優先順位を決める値で、割り込みごとに設けられている ITCLVx.ILVx[2:0] ビットで 0(低)~7(高)に設定できます。ITC のデフォルト設定では、すべてのマスク可能割り込みがレベル 0 になります。割り込みレベルが 0 の場合、CPU はその割り込み要求を受け付けません。

ITC では、複数の周辺回路から同時に割り込み要求が入力された場合、以下の条件に従い、最も優先順位の高い割り込み要求を CPU に出力します。

- ・割り込みレベルが最も高く設定されている割り込みを優先
- ・同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべて CPU に受け付けられるまで保留されます。

ITC が割り込み要求信号を CPU に出力中(CPU に受け付けられる前)に、より高い優先順位を持つ割り込み要求が発生した場合、ITC はベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺回路内の割り込みフラグがソフトウェアでクリアされた場合、その割り込みは発生しません。

注: 割り込みレベルの変更は、変更する割り込みが発生しない状態(周辺回路の割り込みイネーブルビットが 0 に設定されている、または周辺回路が停止している状態)で行ってください。

5.4.3 CPU の割り込み要求受領条件

CPU は以下のすべての条件が成立している場合に、ITC からの割り込み要求を受け付けます。

- ・ PSR の IE(割り込みイネーブル)ビットが 1 にセットされている。
- ・ 発生した割り込み要求が、PSR の IL[2:0](割り込みレベル)ビットに設定されている値よりも高い割り込みレベルに設定されている。
- ・ NMI など、他の優先順位の高い割り込み要求が発生していない。

5.5 NMI

本 IC では、ウォッチドッグタイマで NMI(ノンマスクابل割り込み)を発生させることができます。この割り込みは他の割り込み要因に優先して、無条件に CPU に受け付けられます。

NMI を発生させる方法については“ウォッチドッグタイマ”の章を参照してください。

5.6 ソフトウェア割り込み

CPU の“int imm5”または“intl imm5, imm3”命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値 imm5 でベクタテーブルのベクタ番号(0~31)を指定します。intl 命令では、imm3 で PSR の IL[2:0]ビットに設定する割り込みレベル(0~7)を指定することもできます。ソフトウェア割り込みをディスエーブルにすることはできません(ノンマスクابل割り込み)。プロセッサの割り込み処理の動作は、ハードウェアによる割り込みと同様です。

5.7 CPU による割り込み処理

CPU は毎サイクル、割り込み要求のサンプリングを行っており、各種の割り込み要求を受け付けるとその時点で実行中の命令を終了後、割り込み処理に移行します。

CPU の割り込み処理で実行される内容は以下のとおりです。

1. PSR および現在のプログラムカウンタ(PC)値をスタックに退避
2. PSR の IE ビットを 0 にクリア(以降のマスク可能な割り込みを禁止)
3. PSR の IL[2:0]ビットを受け付けた割り込みのレベルにセット(NMI は割り込みレベルを変更しない)
4. 発生した割り込みのベクタを PC にロードして割り込みハンドルーチンを実行

したがって、CPU が割り込みを受け付けると、ステップ 2 によって以降のマスク可能な割り込みは禁止されません。割り込みハンドルーチン内で IE ビットを 1 にセットすることで、多重割り込みにも対応できます。その場合、ステップ 3 によって IL[2:0]ビットが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンを reti 命令で終了すると、PSR が割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

注: HALT または SLEEP モード解除時は、1 命令を実行してから割り込みハンドルーチンにジャンプします。HALT または SLEEP モード解除直後に割り込みハンドルーチンを実行させるには、halt/slp 命令の後に nop 命令を置いてください。

5.8 制御レジスタ

MISC Vector Table Address Low Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRL	15-8	TTBR[15:8]	0x80	H0	R/WP	-
	7-0	TTBR[7:0]	0x00	H0	R	

Bits 15-0 TTBR[15:0]

これらのビットは、ベクタテーブルベースアドレス(下位 16 ビット)を設定します。

MISC Vector Table Address High Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRLH	15-8	-	0x00	-	R	-
	7-0	TTBR[23:16]	0x00	H0	R/WP	

Bits 15-8 Reserved

Bits 7-0 TTBR[23:16]

これらのビットは、ベクタテーブルベースアドレス(上位 8 ビット)を設定します。

ITC Interrupt Level Setup Register x

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLVx	15-11	-	0x00	-	R	-
	10-8	ILVy _y [2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	ILVy ₀ [2:0]	0x0	H0	R/W	

Bits 15-11 Reserved

Bits 7-3 Reserved

Bits 10-8 ILVy_y[2:0] ($y1 = 2x + 1$)

Bits 2-0 ILVy₀[2:0] ($y0 = 2x$)

これらのビットは、各割り込みの割り込みレベルを設定します。

表 5.8.1 割り込みレベルと優先度の設定

ITCLVx.ILVy[2:0]ビット	割り込みレベル	優先度
0x7	7	高
0x6	6	↑
...	...	
0x1	1	↓
0x0	0	低

以下、本 IC に搭載している ITCLVx レジスタの構成を示します。

表 5.8.2 ITCLVx レジスタ一覧

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV0 (ITC Interrupt Level Setup Register 0)	15–11	–	0x00	–	R	–
	10–8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
	7–3	–	0x00	–	R	–
	2–0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD5)
ITCLV1 (ITC Interrupt Level Setup Register 1)	15–11	–	0x00	–	R	–
	10–8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
	7–0	–	0x00	–	R	–
ITCLV2 (ITC Interrupt Level Setup Register 2)	15–11	–	0x00	–	R	–
	10–8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
	7–0	–	0x00	–	R	–
ITCLV3 (ITC Interrupt Level Setup Register 3)	15–11	–	0x00	–	R	–
	10–8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
	7–3	–	0x00	–	R	–
	2–0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILVUART3_0)
ITCLV4 (ITC Interrupt Level Setup Register 4)	15–11	–	0x00	–	R	–
	10–8	ILV9[2:0]	0x0	H0	R/W	I2C interrupt (ILVI2C_0)
	7–3	–	0x00	–	R	–
	2–0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
ITCLV5 (ITC Interrupt Level Setup Register 5)	15–11	–	0x00	–	R	–
	10–8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
	7–3	–	0x00	–	R	–
	2–0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)
ITCLV6 (ITC Interrupt Level Setup Register 6)	15–11	–	0x00	–	R	–
	10–8	ILV13[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
	7–0	–	0x00	–	R	–
ITCLV7 (ITC Interrupt Level Setup Register 7)	15–11	–	0x00	–	R	–
	10–8	ILV15[2:0]	0x0	H0	R/W	LCD driver interrupt (ILVLCD4B)
	7–3	–	0x00	–	R	–
	2–0	ILV14[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSND42)
ITCLV8 (ITC Interrupt Level Setup Register 8)	15–11	–	0x00	–	R	–
	10–8	ILV17[2:0]	0x0	H0	R/W	EEPROM controller interrupt (ILVEPC)
	7–3	–	0x00	–	R	–
	2–0	ILV16[2:0]	0x0	H0	R/W	R/F converter Ch.0 interrupt (ILVRFC2_0)

6 入出力ポート(PPORT)

6.1 概要

PPORT は入出力ポートを制御する回路です。主な機能と特長を以下に示します。

- ・各ポートの機能を個々に設定可能
 - プルアップまたはプルダウン抵抗の有無をポートごとに設定可能
 - チャタリングフィルタの有無をポートごとに設定可能
 - 端子に割り付ける機能(汎用入出力ポート(GPIO)機能、最大 4 種類の周辺回路用入出力機能)をポートごとに選択可能
- ・LED を直接駆動可能な Nch オープンドレインの LED 駆動用出力端子を搭載
- ・デバッグ端子兼用ポート以外のイニシャル状態は Hi-Z
(この状態では、フローティングであっても端子に電流は流れません。)

注: ポート名 Pxy、レジスタ名、ビット名の x はポートグループ(x = 0, 1, 2, …, d)を、y はポート番号(y = 0, 1, 2, …, 7)を表します。

表 6.1.1 に PPORT の構成を示します。

表 6.1.1 S1C17W11 のポート構成

項目	S1C17W11		
搭載ポートグループ	P0	P0[7:0]	(8) ^{*1,*2}
	P1	P1[7:0]	(8) ^{*1,*2}
	P2	P2[5:0]	(6) ^{*1,*2}
	Pd	Pd[2:0] (Pd2は出力のみ)	(3) ^{*1}
全ポート数	入出力ポート: 24 出力ポート: 1		
LED駆動用出力端子	P0[3:2]		
デバッグ機能用ポート	Pd[2:0]		
キー入力リセット機能	対応(P1[3:0])		

*1 汎用入出力(GPIO)対応ポート

*2 割り込み機能対応ポート

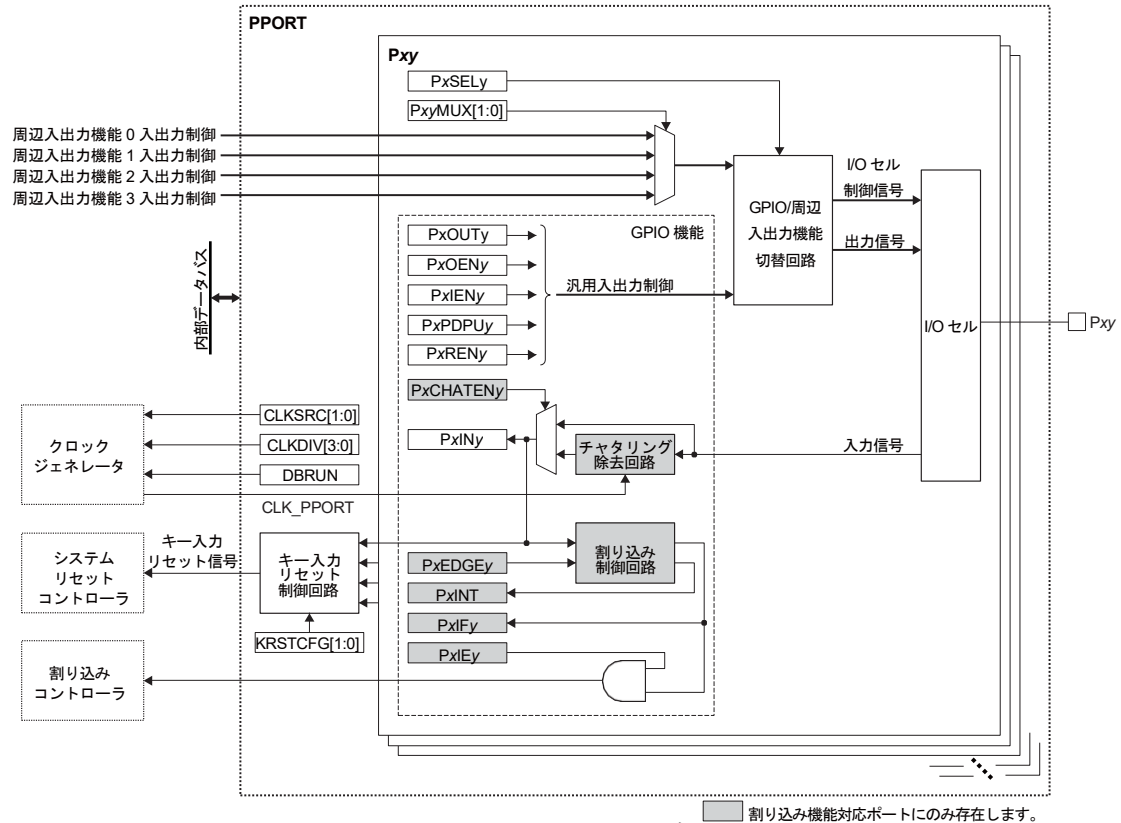


図 6.1.1 PPORT の構成

6.2 I/O セルの構造と機能

I/O セルの構成を図 6.2.1 に示します。

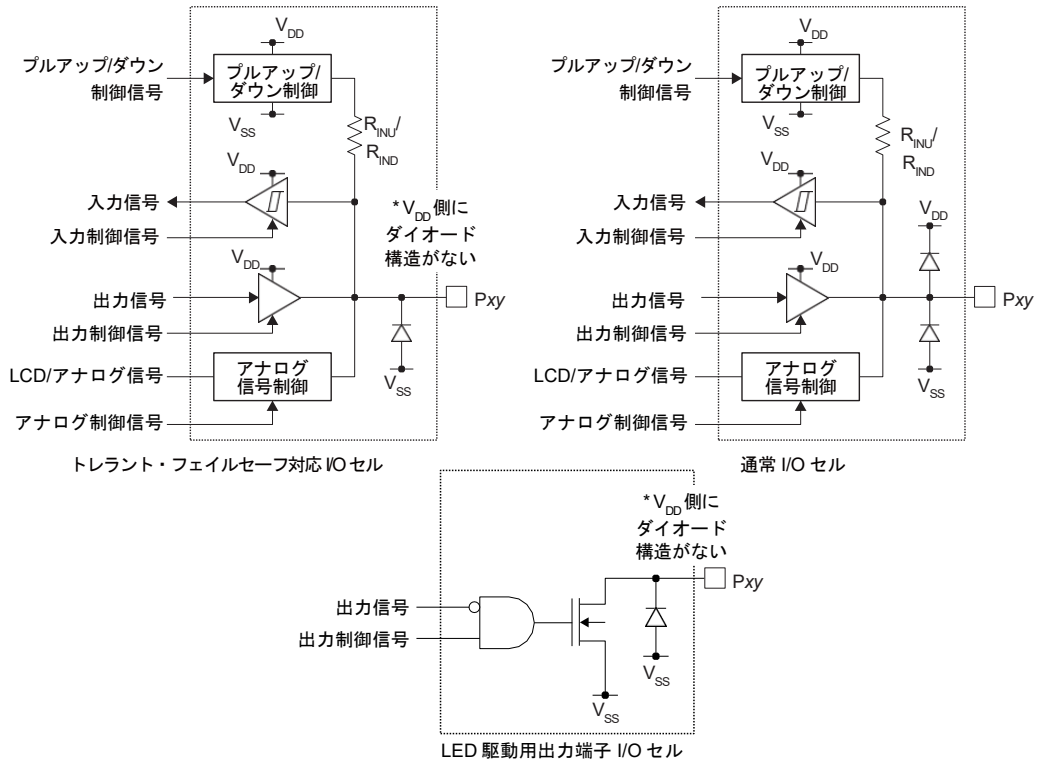


図 6.2.1 I/O セルの構成

6 入出力ポート(PPORT)

各ポートがトレラント・フェイルセーフ対応 I/O セルと通常の I/O セルのどちらを搭載しているかについては、“概要”の章の“端子説明”を参照してください。

6.2.1 シュミット入力

すべての入力機能は、シュミットインタフェースレベルで設定されています。入力ディスエーブル (PxIOEN.PxIENy ビット=0) に設定されているときは、Pxy 端子がフローティング状態でも、不要な電流は流れません。

6.2.2 トレラント・フェイルセーフ

トレラント・フェイルセーフ対応 I/O セルは、ポートに V_{DD} 以上の電圧が印加された場合でも、不要な電流が流れることなくインタフェースを可能とします。また、V_{DD} が供給されていない状態で、外部バイアスがかかっても、不要な電流は流れません。ただし、推奨最大動作電源電圧を超える電圧を印加することはできません。

6.2.3 プルアップ/プルダウン

GPIO にはプルアップ/プルダウン機能があります。制御レジスタによって、ポートごとにプルアップまたはプルダウンが選択可能です。また、プルアップ/プルダウンが不要なポートについては、この機能を無効にすることができます。

I/O セルに内蔵されているプルアップ抵抗によってポートのレベルを LOW から HIGH に変化させる場合、またはプルダウン抵抗によって HIGH から LOW に変化させる場合、プルアップ/プルダウン抵抗と端子の負荷容量の時間定数によって、波形の立ち上がり/立ち下がりに遅延が生じます。

この立ち上がり/立ち下がり時間は、一般的に以下の式で表されます。

$$\begin{aligned} t_{PR} &= -R_{INU} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T+}/V_{DD}) \\ t_{PF} &= -R_{IND} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T-}/V_{DD}) \end{aligned} \quad (式 6.1)$$

ここで

t _{PR} :	立ち上がり時間(ポートレベル LOW → HIGH) [秒]
t _{PF} :	立ち下がり時間(ポートレベル HIGH → LOW) [秒]
V _{T+} :	高レベルシュミット入力スレシヨルド電圧 [V]
V _{T-} :	低レベルシュミット入力スレシヨルド電圧 [V]
R _{INU} /R _{IND} :	プルアップ/プルダウン抵抗値 [Ω]
C _{IN} :	端子容量 [F]
C _{BOARD} :	基板の寄生容量 [F]

6.2.4 CMOS 出力とハイインピーダンス状態

アナログ出力用以外の I/O セルは、V_{DD} または V_{SS} レベルを出力可能です。また、GPIO はハイインピーダンス (Hi-Z) 状態を設定可能です。

6.2.5 LED 駆動用出力端子

LED 駆動用出力端子の I/O セルは Nch オープンドレイン構造となっており、LED を直接駆動することが可能です。この端子は入出力機能をサポートしますが、プルアップ/プルダウン制御はできません。

6.3 クロック設定

6.3.1 PPORT の動作クロック

PPORT の外部入力信号に対してチャタリング除去機能を使用する場合、クロックジェネレータから PPORT 動作クロック CLK_PPORT を PPORT に供給する必要があります。

CLK_PPORT の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブにする(“電源,リセット,クロック”の章の“クロックジェネレータ”を参照)。
 2. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。(システムプロテクトを解除)
 3. PCLK レジスタの以下のビットを設定する。
 - PCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - PCLK.CLKDIV[3:0]ビット (クロック分周比の選択=クロック周波数の設定)
 4. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)
- 3 の設定により、チャタリング除去機能の入力検定時間が決定します。

6.3.2 SLEEP モード時のクロック供給

SLEEP モード時にチャタリング除去機能を使用する場合は、PPORT 動作クロック CLK_PPORT のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_PPORT を供給し続ける必要があります。SLEEP モード時に、CLK_PPORT のクロックソースに対応した CLGOSC.xxxxSLPC ビットが 1 の場合は、CLK_PPORT のクロックソースが停止し、PxCHATEN.PxCHATENy ビット(チャタリング除去機能 有効/無効)の設定にかかわらず、チャタリング除去機能が無効になります。

6.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_PPORT の供給は PCLK.DBRUN ビットで制御します。PCLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると PPORT への CLK_PPORT の供給が停止します。その後通常モードに戻ると、CLK_PPORT の供給が再開します。CLK_PPORT の供給が停止すると PPORT 内のチャタリング除去回路の動作は停止します。GPIO ポートでチャタリング除去機能を使用している場合、入力ポート機能は動作しなくなります。ただし、制御レジスタへの書き込みは可能です。PCLK.DBRUN ビット = 1 の場合、DEBUG モード時も CLK_PPORT の供給は停止せず、チャタリング除去回路は動作を継続します。

6.4 動作

6.4.1 初期設定

デバッグ機能用以外のポートは、リセット後に下記の状態になります。

- ・ポート入力: ディスエーブル
- ・ポート出力: ディスエーブル
- ・プルアップ: OFF
- ・プルダウン: OFF
- ・ポート端子: ハイインピーダンス状態
- ・ポート機能: GPIO 機能を選択

この状態はソフトウェアでポートの設定が行われるまで継続します。デバッグ機能用ポートはデバッグ信号の入出力用に設定されます。

周辺入出力機能を使用する場合の初期設定

Pxy ポートを周辺入出力機能に使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOEN レジスタの以下のビットを設定する。
 - PxIOEN.PxIENy ビットを 0 に設定 (入力ディスエーブル)
 - PxIOEN.PxOENy ビットを 0 に設定 (出力ディスエーブル)
2. PxMODSEL.PxSELy ビットを 0 に設定する。 (周辺入出力機能ディスエーブル)
3. 端子を使用する周辺回路を初期化する。
4. PxFNCSSEL.PxyMUX[1:0]ビットを設定する。 (周辺入出力機能を選択)
5. PxMODSEL.PxSELy ビットを 1 に設定する。 (周辺入出力機能イネーブ)

本 IC の各ポートに割り付け可能な周辺入出力機能の一覧は、“本 IC の制御レジスタ/ポート機能の構成”を参照してください。また、周辺入出力機能の詳細については該当する周辺回路の章を参照してください。

6 入出力ポート(PPORT)

汎用出力ポートとして使用する場合の初期設定(GPIO 対応ポートのみ)

Pxy ポート端子を汎用出力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOEN.PxOENy ビットを 1 に設定する。 (出力イネーブル)
2. PxMODSEL.PxSELy ビットを 0 に設定する。 (GPIO 機能イネーブル)

汎用入力ポートとして使用する場合の初期設定(GPIO 対応ポートのみ)

Pxy ポート端子を汎用入力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxINTCTL.PxIEy ビットに 0 を書き込む。 ※ (割り込みディスエーブル)
2. チャタリング除去機能を使用する場合は、PPORT 動作クロックを設定し(“PPORT の動作クロック”参照)、PxCHATEN.PxCHATENy ビットを 1 に設定する。 ※
チャタリング除去機能を使用しない場合は、PxCHATEN.PxCHATENy ビットを 0 に設定する(PPORT 動作クロックの供給は不要)。
3. ポートを内蔵プルアップまたはプルダウン抵抗でプルアップ/ダウンする場合は、PxRCTL レジスタの以下のビットを設定する。
 - PxRCTL.PxPDUy ビット (プルアップ抵抗またはプルダウン抵抗の選択)
 - PxRCTL.PxRENy ビットを 1 に設定 (プルアップ/プルダウンイネーブル)
 内蔵プルアップ/プルダウン抵抗を使用しない場合は、PxRCTL.PxRENy ビットを 0 に設定する。
4. PxMODSEL.PxSELy ビットを 0 に設定する。 (GPIO 機能をイネーブル)
5. ポート入力割り込みを使用する場合は以下のビットを設定する。 ※
 - PxINTF.PxIFy ビットに 1 を書き込み (割り込みフラグをクリア)
 - PxINTCTL.PxEDGEy ビット (割り込みエッジ(入力立ち下がり/立ち上がり)の選択)
 - PxINTCTL.PxIEy ビットを 1 に設定 (割り込みイネーブル)
6. PxIOEN レジスタの以下のビットを設定する。
 - PxIOEN.PxOENy ビットを 0 に設定 (出力ディスエーブル)
 - PxIOEN.PxIENy ビットを 1 に設定 (入力イネーブル)

※ 1 と 5 は割り込み機能対応ポート、2 はチャタリング除去機能対応ポートにのみ必要な操作

データ入出力制御とプルアップ/プルダウン制御の組み合わせによるポートの状態を表 6.4.1.1 に示します。

表 6.4.1.1 GPIO ポートの制御

PxIOEN. PxIENyビット	PxIOEN. PxOENyビット	PxRCTL. PxRENyビット	PxRCTL. PxPDUyビット	入力	出力	プルアップ/プルダウン の状態
0	0	0	x	ディスエーブル		OFF(Hi-Z) *1
0	0	1	0	ディスエーブル		プルダウン
0	0	1	1	ディスエーブル		プルアップ
1	0	0	x	イネーブル	ディスエーブル	OFF(Hi-Z) *2
1	0	1	0	イネーブル	ディスエーブル	プルダウン
1	0	1	1	イネーブル	ディスエーブル	プルアップ
0	1	0	x	ディスエーブル	イネーブル	OFF
0	1	1	0	ディスエーブル	イネーブル	OFF
0	1	1	1	ディスエーブル	イネーブル	OFF
1	1	1	0	イネーブル	イネーブル	OFF
1	1	1	1	イネーブル	イネーブル	OFF

*1: イニシャル状態。フローティングであっても端子に電流は流れません。

*2: ポート入力がフローティングになると不要な電流が流れるため、プルアップまたはプルダウン機能を使用することを推奨します。

注: GPIO 機能を持っていないポートの PxMODSEL.PxSELy ビットを 0 に設定した場合、ポートはイニシャル状態(“初期設定”参照)となり、GPIO 用の制御ビットはすべて、常に 0 が読み出されるリードオンリビットになります。

6.4.2 ポートの入出力制御

周辺入出力機能の制御

出力機能を選択したポートの制御は、すべて周辺回路が行います。詳細は、各周辺回路の章を参照してください。

GPIO ポート出力データの設定

Pxy 端子から出力するデータ(1 = HIGH 出力、0 = LOW 出力)を PxDAT.PxOUTy ビットに書き込みます。

GPIO ポート入力データの読み出し

Pxy 端子から入力したデータ(1 = HIGH 入力、0 = LOW 入力)は PxDAT.PxINy ビットから読み出します。

チャタリング除去機能

一部のポートにはチャタリング除去機能があり、ポートごとに制御できるようになっています。この機能は PxCHATEN.PxCHATENy ビットを 1 に設定することにより有効になります。チャタリングを除去するための入力検定時間は、全ポート共通に PCLK レジスタで設定される CLK_PPORT 周波数によって決まります。入力検定時間未満のパルスは除去されます。

$$\text{入力検定時間} = \frac{2 \sim 3}{\text{CLK_PPORT 周波数[Hz]}} [\text{秒}] \quad (\text{式 6.2})$$

PCLK レジスタおよび PxCHATEN.PxCHATENy ビットの設定変更は、必ず Pxy ポート割り込みをディスエーブルにして行ってください。割り込みイネーブルの状態を設定を変更すると、Pxy ポート割り込みが誤って発生する場合があります。また、チャタリング除去機能を有効にしてから、CLK_PPORT の 4 周期分以上の時間が経過したのちに、割り込みをイネーブルに設定してください。

クロックジェネレータにて SLEEP 時も PPORT に CLK_PPORT が供給されるように設定されている場合、SLEEP 状態であってもポートのチャタリング除去機能は有効となっています。CLK_PPORT が停止するように設定されている場合、PPORT は SLEEP 状態になるとチャタリング除去機能を無効にして、端子の状態変化が直接内部に取り込まれるようにします。

キー入力リセット機能

指定した組み合わせのポートすべてに対して、同時に LOW パルスを入力することで、リセット要求を発生させる機能です。この機能を使用する場合は、以下の設定を行います。

1. キー入力リセットの入力端子として使用するポートを汎用入力ポートに設定する(“汎用入力ポートとして使用する場合の初期設定(GPIO 対応ポートのみ)”参照)。
2. PCLK.KRSTCFG[1:0]ビットで、キー入力リセット入力端子の組み合わせを設定する。

注: キー入力リセット機能を有効にする場合は、必ず使用するポート端子を汎用入力端子として設定したに、PCLK.KRSTCFG[1:0]ビットを設定してください。

チャタリング除去機能を無効にしている場合(イニシャル状態)、PCLK.KRSTCFG[1:0]ビットで指定した入力端子がすべて LOW になった時点で、直ちにリセット要求を発生します。一定時間の LOW 入力があった場合にリセット要求を発生させたい場合には、キー入力リセットに使用する全ポートのチャタリング除去機能を有効にしてください。

なお、キー入力リセット用に設定された端子も、汎用の入力端子として使用可能です。

6.5 割り込み

割り込み機能を持つポートで GPIO 機能を選択した場合、ポート入力割り込み機能を使用できます。

表 6.5.1 ポート入力割り込み機能

割り込み	割り込みフラグ	セット	クリア
ポート入力割り込み	PxINTF.PxIFy	入力信号の立ち上がりまたは立ち下がりエッジ	1書き込み
	PINTFGRP.PxINT	ポートグループ内の割り込みフラグのセット	PxINTF.PxIFyのクリア

割り込みエッジの選択

ポート入力割り込みは、PxINTCTL.PxEDGEy ビットを 1 に設定すると入力信号の立ち下がりエッジで、0 に設定すると立ち上がりエッジで発生します。

割り込みイネーブル

割り込みフラグには、それぞれに対応する割り込みイネーブルビット(PxINTCTL.PxIEy ビット)があります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

6 入出力ポート(PPORT)

ポートグループ単位の割り込み確認

複数のポートグループで割り込みをイネーブルにした場合、PINTFGRP.PxINT ビットを割り込みハンドラ内で先にチェックすると効率よく割り込みを発生したポートを調べることができます。このビットが1になっている場合、割り込みはそのポートグループ内で発生していることになります。次に、そのポートグループ内で1になっている PxINTF.PxIFy ビットを調べ、割り込みを発生したポートを特定します。PxINTF.PxIFy ビットをクリアすることで、PINTFGRP.PxINT ビットもクリアされます。PxINTCTL.PxIEy ビットによって割り込みディスエーブルに設定されている場合、PxINTF.PxIFy ビットが1になっても PINTFGRP.PxINT ビットはセットされません。

6.6 制御レジスタ

本節では、全ポートグループの制御レジスタを一括して説明します。個々のポートグループのレジスタ/ビットの構成と初期値については、“本 IC の制御レジスタ/ポート機能の構成”を参照してください。

Px Port Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxDAT	15-8	PxOUT[7:0]	0x00	H0	R/W	-
	7-0	PxIN[7:0]	0x00	H0	R	

*1: 本レジスタは GPIO 機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

*3: 初期値はポートによって変わることがあります。

Bits 15-8 PxOUT[7:0]

GPIO ポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子から HIGH レベルを出力

0 (R/W): ポート端子から LOW レベルを出力

出力をイネーブル(PxIOEN.PxOENy ビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(PxIOEN.PxOENy ビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。

これらのビットはポートを周辺入出力機能用に使用する場合の出力には影響を与えません。

Bits 7-0 PxIN[7:0]

これらのビットから GPIO ポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGH レベル

0 (R): ポート端子 = LOW レベル

入力をイネーブル(PxIOEN.PxIENy ビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(PxIOEN.PxIENy ビット = 0)時は読み出し値が常に 0 となります。

ポートを周辺入出力機能用に使用する場合の入力値は、これらのビットから読み出すことはできません。

Px Port Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxIOEN	15-8	PxIEN[7:0]	0x00	H0	R/W	-
	7-0	PxOEN[7:0]	0x00	H0	R/W	

*1: 本レジスタは GPIO 機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxIEN[7:0]

これらのビットは GPIO ポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを 0 に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本 IC が出力している端子の状態を読み出すことができます。これらのビットはポートを周辺入出力機能用に使用する場合の入力制御には影響を与えません。

Bits 7-0 PxoEN[7:0]

これらのビットは GPIO ポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートを Hi-Z)

これらのビットはポートを周辺入出力機能用に使用する場合の出力制御には影響を与えません。

Px Port Pull-up/down Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxRCTL	15-8	PxPDPu[7:0]	0x00	H0	R/W	-
	7-0	PxREN[7:0]	0x00	H0	R/W	

*1: 本レジスタは GPIO 機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxPDPu[7:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、PxRCTL.PxRENy ビット = 1 の場合に有効になります。

Bits 7-0 PxREN[7:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

イネーブルにすると、出力ディスエーブル(PxIOEN.PxOENy ビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(PxIOEN.PxOENy ビット = 1)時は、PxIOEN.PxIENy ビットの設定にかかわらず PxRCTL.PxRENy ビットの設定が無効となり、プルアップ/ダウンされません。

これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

Px Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTF	15-8	-	0x00	-	R	-
	7-0	PxIF[7:0]	0x00	H0	R/W	

*1: 本レジスタは GPIO 機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved**Bits 7-0 PxIF[7:0]**

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

Px Port Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTCTL	15-8	PxEDGE[7:0]	0x00	H0	R/W	-
	7-0	PxIE[7:0]	0x00	H0	R/W	

*1: 本レジスタは GPIO 機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

6 入出力ポート(PPORT)

Bits 15–8 PxEDGE[7:0]

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

Bits 7–0 PxIE[7:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

Px Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxCHATEN	15–8	–	0x00	–	R	–
	7–0	PxCHATEN[7:0]	0x00	H0	R/W	

*1: ビット構成はポートグループによって異なります。

Bits 15–8 Reserved

Bits 7–0 PxCHATEN[7:0]

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

Px Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxMODSEL	15–8	–	0x00	–	R	–
	7–0	PxSEL[7:0]	0x00	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15–8 Reserved

Bits 7–0 PxSEL[7:0]

これらのビットは、各ポートで GPIO 機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO 機能を使用

Px Port Function Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxFNCSEL	15–14	Px7MUX[1:0]	0x0	H0	R/W	–
	13–12	Px6MUX[1:0]	0x0	H0	R/W	
	11–10	Px5MUX[1:0]	0x0	H0	R/W	
	9–8	Px4MUX[1:0]	0x0	H0	R/W	
	7–6	Px3MUX[1:0]	0x0	H0	R/W	
	5–4	Px2MUX[1:0]	0x0	H0	R/W	
	3–2	Px1MUX[1:0]	0x0	H0	R/W	
	1–0	Px0MUX[1:0]	0x0	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15–14 Px7MUX[1:0]

⋮

Bits 1–0 Px0MUX[1:0]

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

表 6.6.1 周辺入出力機能の選択

PxFNCSEL.PxyMUX[1:0]ビット	周辺入出力機能
0x3	機能3
0x2	機能2
0x1	機能1
0x0	機能0

この選択は、PxMODSEL.PxSELY ビット = 1 の場合に有効です。

P Port Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK	15-9	—	0x00	—	R	—
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に PPORT 動作クロックを供給するか否か設定します。

1 (R/WP): DEBUG モード時にクロックを供給

0 (R/WP): DEBUG モード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、PPORT 動作クロック(チャタリング除去機能用クロック)の分周比を選択します。

Bits 3-2 KRSTCFG[1:0]

これらのビットは、キー入力リセット機能を設定します。

表 6.6.2 キー入力リセット機能の設定

PCLK.KRSTCFG[1:0]ビット	キー入力リセット
0x3	P1[3:0]入力 = オールLOWでリセット
0x2	P1[2:0]入力 = オールLOWでリセット
0x1	P1[1:0]入力 = オールLOWでリセット
0x0	ディスエーブル

Bits 1-0 CLKSRC[1:0]

これらのビットは、PPORT(チャタリング除去機能)のクロックソースを選択します。PPORT 動作クロックは表 6.6.3 に示すとおり、PCLK.CLKSRC[1:0]ビットによるクロックソースの選択、および PCLK.CLKDIV[3:0]ビットによるクロック分周比の選択によって設定されます。この設定によりチャタリング除去回路の入力検定時間が決定します。

6 入出力ポート(PPORT)

表 6.6.3 クロックソースと分周比の設定

PCLK.CLKDIV[3:0]ビット	PCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0xf	1/32,768			1/1
0xe	1/16,384			
0xd	1/8,192			
0xc	1/4,096			
0xb	1/2,048			
0xa	1/1,024			
0x9	1/512			
0x8	1/256			
0x7	1/128			
0x6	1/64			
0x5	1/32			
0x4	1/16			
0x3	1/8			
0x2	1/4			
0x1	1/2			
0x0	1/1			

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

P Port Interrupt Flag Group Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PINTFGRP	15-13	—	0x0	—	R	—
	12	PcINT	0	H0	R	
	11	PbINT	0	H0	R	
	10	PaINT	0	H0	R	
	9	P9INT	0	H0	R	
	8	P8INT	0	H0	R	
	7	P7INT	0	H0	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

*1: 割り込みに対応しているポートグループのビットのみ有効です。

Bits 15-13 Reserved

Bits 12-0 PxINT

これらのビットは、Px ポートグループ内に割り込みを発生したポートがあることを示します。

1 (R): 割り込み発生ポートあり

0 (R): 割り込み発生ポートなし

割り込みを発生したポートの割り込みフラグをクリアすると、PINTFGRP.PxINT ビットもクリアされます。

6.7 本 IC の制御レジスタ/ポート機能の構成

ここでは、本 IC に搭載している PPORT の制御レジスタ/ビットの構成と、各ポート端子で選択可能な周辺入出力機能の一覧を示します。

注: 機種に実装されていないポートの制御ビットは reserved です。初期値から変更しないでください。

6.7.1 P0 ポートグループ

P0 ポートグループは GPIO 機能と割り込み機能を持っています。

表 6.7.1.1 P0 ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P0DAT (P0 Port Data Register)	15	P0OUT7	0	H0	R/W	-
	14	P0OUT6	0	H0	R/W	
	13	P0OUT5	0	H0	R/W	
	12	P0OUT4	0	H0	R/W	
	11	P0OUT3	0	H0	R/W	
	10	P0OUT2	0	H0	R/W	
	9	P0OUT1	0	H0	R/W	
	8	P0OUT0	0	H0	R/W	-
	7	P0IN7	0	H0	R	
	6	P0IN6	0	H0	R	
	5	P0IN5	0	H0	R	
	4	P0IN4	0	H0	R	
	3	P0IN3	0	H0	R	
	2	P0IN2	0	H0	R	
	1	P0IN1	0	H0	R	
0	P0IN0	0	H0	R		
P0IEN (P0 Port Enable Register)	15	P0IEN7	0	H0	R/W	-
	14	P0IEN6	0	H0	R/W	
	13	P0IEN5	0	H0	R/W	
	12	P0IEN4	0	H0	R/W	
	11	P0IEN3	0	H0	R/W	
	10	P0IEN2	0	H0	R/W	
	9	P0IEN1	0	H0	R/W	
	8	P0IEN0	0	H0	R/W	-
	7	P0OEN7	0	H0	R/W	
	6	P0OEN6	0	H0	R/W	
	5	P0OEN5	0	H0	R/W	
	4	P0OEN4	0	H0	R/W	
	3	P0OEN3	0	H0	R/W	
	2	P0OEN2	0	H0	R/W	
	1	P0OEN1	0	H0	R/W	
0	P0OEN0	0	H0	R/W		
P0RCTL (P0 Port Pull-up/down Control Register)	15	P0PDP7	0	H0	R/W	-
	14	P0PDP6	0	H0	R/W	
	13	P0PDP5	0	H0	R/W	
	12	P0PDP4	0	H0	R/W	
	11-10	-	0x0	-	R	-
	9	P0PDP1	0	H0	R/W	
	8	P0PDP0	0	H0	R/W	
	7	P0REN7	0	H0	R/W	
	6	P0REN6	0	H0	R/W	
	5	P0REN5	0	H0	R/W	
	4	P0REN4	0	H0	R/W	
	3-2	-	0x0	-	R	
	1	P0REN1	0	H0	R/W	
0	P0REN0	0	H0	R/W		

6 入出力ポート(PPORT)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P0INTF (P0 Port Interrupt Flag Register)	15-8	—	0x00	—	R	—
	7	P0IF7	0	H0	R/W	Cleared by writing 1.
	6	P0IF6	0	H0	R/W	
	5	P0IF5	0	H0	R/W	
	4	P0IF4	0	H0	R/W	
	3	P0IF3	0	H0	R/W	
	2	P0IF2	0	H0	R/W	
	1	P0IF1	0	H0	R/W	
0	P0IF0	0	H0	R/W		
P0INTCTL (P0 Port Interrupt Control Register)	15	P0EDGE7	0	H0	R/W	—
	14	P0EDGE6	0	H0	R/W	
	13	P0EDGE5	0	H0	R/W	
	12	P0EDGE4	0	H0	R/W	
	11	P0EDGE3	0	H0	R/W	
	10	P0EDGE2	0	H0	R/W	
	9	P0EDGE1	0	H0	R/W	
	8	P0EDGE0	0	H0	R/W	—
	7	P0IE7	0	H0	R/W	
	6	P0IE6	0	H0	R/W	
	5	P0IE5	0	H0	R/W	
	4	P0IE4	0	H0	R/W	
	3	P0IE3	0	H0	R/W	
	2	P0IE2	0	H0	R/W	
1	P0IE1	0	H0	R/W		
0	P0IE0	0	H0	R/W		
POCHATEN (P0 Port Chattering Filter Enable Register)	15-8	—	0x00	—	R	—
	7	POCHATEN7	0	H0	R/W	—
	6	POCHATEN6	0	H0	R/W	
	5	POCHATEN5	0	H0	R/W	
	4	POCHATEN4	0	H0	R/W	
	3-2	—	0	H0	R	
	1	POCHATEN1	0	H0	R/W	
0	POCHATEN0	0	H0	R/W		
P0MODESEL (P0 Port Mode Select Register)	15-8	—	0x00	—	R	—
	7	P0SEL7	0	H0	R/W	—
	6	P0SEL6	0	H0	R/W	
	5	P0SEL5	0	H0	R/W	
	4	P0SEL4	0	H0	R/W	
	3	P0SEL3	0	H0	R/W	
	2	P0SEL2	0	H0	R/W	
	1	P0SEL1	0	H0	R/W	
0	P0SEL0	0	H0	R/W		
P0FNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	—
	13-12	P06MUX[1:0]	0x0	H0	R/W	
	11-10	P05MUX[1:0]	0x0	H0	R/W	
	9-8	P04MUX[1:0]	0x0	H0	R/W	
	7-6	P03MUX[1:0]	0x0	H0	R/W	
	5-4	P02MUX[1:0]	0x0	H0	R/W	
	3-2	P01MUX[1:0]	0x0	H0	R/W	
	1-0	P00MUX[1:0]	0x0	H0	R/W	

表 6.7.1.2 P0 ポートグループ機能割り付け

ポート名	P0SELY = 0		P0SELY = 1						
	GPIO	P0yMUX = 0x0(機能0)		P0yMUX = 0x1(機能1)		P0yMUX = 0x2(機能2)		P0yMUX = 0x3(機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P00	P00	SNDA2	BZOUT	UPMUX	*1	—	—	—	—
P01	P01	SNDA2	#BZOUT	UPMUX	*1	—	—	—	—
P02	P02	—	—	UPMUX	*1	—	—	—	—
P03	P03	—	—	UPMUX	*1	—	—	—	—
P04	P04	RFC Ch.0	SENB0	UPMUX	*1	—	—	—	—
P05	P05	RFC Ch.0	SENA0	UPMUX	*1	—	—	—	—
P06	P06	RFC Ch.0	REF0	UPMUX	*1	—	—	—	—
P07	P07	RFC Ch.0	RFCLK00	UPMUX	*1	—	—	—	—

*1: “ユニバーサルポートマルチプレクサ”の章参照

6.7.2 P1 ポートグループ

P1 ポートグループは GPIO 機能と割り込み機能を持っています。

表 6.7.2.1 P1 ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
P1DAT (P1 Port Data Register)	15	P1OUT7	0	H0	R/W	—	
	14	P1OUT6	0	H0	R/W		
	13	P1OUT5	0	H0	R/W		
	12	P1OUT4	0	H0	R/W		
	11	P1OUT3	0	H0	R/W		
	10	P1OUT2	0	H0	R/W		
	9	P1OUT1	0	H0	R/W		
	8	P1OUT0	0	H0	R/W		
	P1IOEN (P1 Port Enable Register)	7	P1IN7	0	H0	R	—
		6	P1IN6	0	H0	R	
		5	P1IN5	0	H0	R	
		4	P1IN4	0	H0	R	
		3	P1IN3	0	H0	R	
		2	P1IN2	0	H0	R	
		1	P1IN1	0	H0	R	
		0	P1IN0	0	H0	R	
P1IOEN (P1 Port Enable Register)		15	P1IEN7	0	H0	R/W	—
		14	P1IEN6	0	H0	R/W	
		13	P1IEN5	0	H0	R/W	
		12	P1IEN4	0	H0	R/W	
		11	P1IEN3	0	H0	R/W	
		10	P1IEN2	0	H0	R/W	
		9	P1IEN1	0	H0	R/W	
		8	P1IEN0	0	H0	R/W	
	P1IOEN (P1 Port Enable Register)	7	P1OEN7	0	H0	R/W	—
		6	P1OEN6	0	H0	R/W	
		5	P1OEN5	0	H0	R/W	
		4	P1OEN4	0	H0	R/W	
		3	P1OEN3	0	H0	R/W	
		2	P1OEN2	0	H0	R/W	
		1	P1OEN1	0	H0	R/W	
		0	P1OEN0	0	H0	R/W	

6 入出力ポート(PPORT)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P1RCTL (P1 Port Pull-up/down Control Register)	15	P1PDPU7	0	H0	R/W	-
	14	P1PDPU6	0	H0	R/W	
	13	P1PDPU5	0	H0	R/W	
	12	P1PDPU4	0	H0	R/W	
	11	P1PDPU3	0	H0	R/W	
	10	P1PDPU2	0	H0	R/W	
	9	P1PDPU1	0	H0	R/W	
	8	P1PDPU0	0	H0	R/W	
	-	7	P1REN7	0	H0	R/W
		6	P1REN6	0	H0	R/W
		5	P1REN5	0	H0	R/W
		4	P1REN4	0	H0	R/W
		3	P1REN3	0	H0	R/W
		2	P1REN2	0	H0	R/W
		1	P1REN1	0	H0	R/W
		0	P1REN0	0	H0	R/W
P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7	P1IF7	0	H0	R/W	Cleared by writing 1.
	6	P1IF6	0	H0	R/W	
	5	P1IF5	0	H0	R/W	
	4	P1IF4	0	H0	R/W	
	3	P1IF3	0	H0	R/W	
	2	P1IF2	0	H0	R/W	
	1	P1IF1	0	H0	R/W	
	0	P1IF0	0	H0	R/W	
P1INTCTL (P1 Port Interrupt Control Register)	15	P1EDGE7	0	H0	R/W	-
	14	P1EDGE6	0	H0	R/W	
	13	P1EDGE5	0	H0	R/W	
	12	P1EDGE4	0	H0	R/W	
	11	P1EDGE3	0	H0	R/W	
	10	P1EDGE2	0	H0	R/W	
	9	P1EDGE1	0	H0	R/W	
	8	P1EDGE0	0	H0	R/W	
	-	7	P1IE7	0	H0	R/W
		6	P1IE6	0	H0	R/W
		5	P1IE5	0	H0	R/W
		4	P1IE4	0	H0	R/W
		3	P1IE3	0	H0	R/W
		2	P1IE2	0	H0	R/W
		1	P1IE1	0	H0	R/W
		0	P1IE0	0	H0	R/W
P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7	P1CHATEN7	0	H0	R/W	-
	6	P1CHATEN6	0	H0	R/W	
	5	P1CHATEN5	0	H0	R/W	
	4	P1CHATEN4	0	H0	R/W	
	3	P1CHATEN3	0	H0	R/W	
	2	P1CHATEN2	0	H0	R/W	
	1	P1CHATEN1	0	H0	R/W	
0	P1CHATEN0	0	H0	R/W		

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P1MODSEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7	P1SEL7	0	H0	R/W	-
	6	P1SEL6	0	H0	R/W	-
	5	P1SEL5	0	H0	R/W	-
	4	P1SEL4	0	H0	R/W	-
	3	P1SEL3	0	H0	R/W	-
	2	P1SEL2	0	H0	R/W	-
	1	P1SEL1	0	H0	R/W	-
P1FNCSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	-
	13-12	P16MUX[1:0]	0x0	H0	R/W	-
	11-10	P15MUX[1:0]	0x0	H0	R/W	-
	9-8	P14MUX[1:0]	0x0	H0	R/W	-
	7-6	P13MUX[1:0]	0x0	H0	R/W	-
	5-4	P12MUX[1:0]	0x0	H0	R/W	-
	3-2	P11MUX[1:0]	0x0	H0	R/W	-
	1-0	P10MUX[1:0]	0x0	H0	R/W	-

表 6.7.2.2 P1 ポートグループ機能割り付け

ポート名	P1SELY = 0		P1SELY = 1						
	GPIO	P1yMUX = 0x0(機能0)		P1yMUX = 0x1(機能1)		P1yMUX = 0x2(機能2)		P1yMUX = 0x3(機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P10	P10	LCD4B	LFRO	UPMUX	*1	-	-	LCD4B	SEG19
P11	P11	CLG	FOUT	UPMUX	*1	-	-	LCD4B	SEG18
P12	P12	T16B Ch.0	EXCL00	UPMUX	*1	-	-	LCD4B	SEG17
P13	P13	T16B Ch.0	EXCL01	UPMUX	*1	-	-	LCD4B	SEG16
P14	P14	T16B Ch.1	EXCL10	UPMUX	*1	-	-	LCD4B	SEG15
P15	P15	T16B Ch.1	EXCL11	UPMUX	*1	-	-	LCD4B	SEG14
P16	P16	CLG	EXOSC	UPMUX	*1	-	-	LCD4B	SEG13
P17	P17	-	-	UPMUX	*1	-	-	LCD4B	SEG12

*1: “ユニバーサルポートマルチプレクサ”の章参照

6.7.3 P2 ポートグループ

P2 ポートグループは GPIO 機能と割り込み機能を持っています。

表 6.7.3.1 P2 ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2DAT (P2 Port Data Register)	15-14	-	0x0	-	R	-
	13	P2OUT5	0	H0	R/W	-
	12	P2OUT4	0	H0	R/W	-
	11	P2OUT3	0	H0	R/W	-
	10	P2OUT2	0	H0	R/W	-
	9	P2OUT1	0	H0	R/W	-
	8	P2OUT0	0	H0	R/W	-
	7-6	-	0x0	-	R	-
	5	P2IN5	0	H0	R	-
	4	P2IN4	0	H0	R	-
	3	P2IN3	0	H0	R	-
	2	P2IN2	0	H0	R	-
	1	P2IN1	0	H0	R	-
	0	P2IN0	0	H0	R	-

6 入出力ポート(PPORT)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2IOEN (P2 Port Enable Register)	15-14	—	0x0	—	R	—
	13	P2IEN5	0	H0	R/W	—
	12	P2IEN4	0	H0	R/W	—
	11	P2IEN3	0	H0	R/W	—
	10	P2IEN2	0	H0	R/W	—
	9	P2IEN1	0	H0	R/W	—
	8	P2IEN0	0	H0	R/W	—
	7-6	—	0x0	—	R	—
	5	P2OEN5	0	H0	R/W	—
	4	P2OEN4	0	H0	R/W	—
	3	P2OEN3	0	H0	R/W	—
	2	P2OEN2	0	H0	R/W	—
	1	P2OEN1	0	H0	R/W	—
	0	P2OEN0	0	H0	R/W	—
P2RCTL (P2 Port Pull-up/down Control Register)	15-14	—	0x0	—	R	—
	13	P2PDPU5	0	H0	R/W	—
	12	P2PDPU4	0	H0	R/W	—
	11	P2PDPU3	0	H0	R/W	—
	10	P2PDPU2	0	H0	R/W	—
	9	P2PDPU1	0	H0	R/W	—
	8	P2PDPU0	0	H0	R/W	—
	7-6	—	0x0	—	R	—
	5	P2REN5	0	H0	R/W	—
	4	P2REN4	0	H0	R/W	—
	3	P2REN3	0	H0	R/W	—
	2	P2REN2	0	H0	R/W	—
	1	P2REN1	0	H0	R/W	—
	0	P2REN0	0	H0	R/W	—
P2INTF (P2 Port Interrupt Flag Register)	15-8	—	0x00	—	R	—
	7-6	—	0x0	—	R	—
	5	P2IF5	0	H0	R/W	Created by writing 1.
	4	P2IF4	0	H0	R/W	
	3	P2IF3	0	H0	R/W	
	2	P2IF2	0	H0	R/W	
	1	P2IF1	0	H0	R/W	
	0	P2IF0	0	H0	R/W	
P2INTCTL (P2 Port Interrupt Control Register)	15-14	—	0x0	—	R	—
	13	P2EDGE5	0	H0	R/W	—
	12	P2EDGE4	0	H0	R/W	—
	11	P2EDGE3	0	H0	R/W	—
	10	P2EDGE2	0	H0	R/W	—
	9	P2EDGE1	0	H0	R/W	—
	8	P2EDGE0	0	H0	R/W	—
	7-6	—	0x0	—	R	—
	5	P2IE5	0	H0	R/W	—
	4	P2IE4	0	H0	R/W	—
	3	P2IE3	0	H0	R/W	—
	2	P2IE2	0	H0	R/W	—
	1	P2IE1	0	H0	R/W	—
	0	P2IE0	0	H0	R/W	—
P2CHATEN (P2 Port Chattering Filter Enable Register)	15-8	—	0x00	—	R	—
	7-6	—	0x0	—	R	—
	5	P2CHATEN5	0	H0	R/W	—
	4	P2CHATEN4	0	H0	R/W	—
	3	P2CHATEN3	0	H0	R/W	—
	2	P2CHATEN2	0	H0	R/W	—
	0	P2CHATEN0	0	H0	R/W	—

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2MODSEL (P2 Port Mode Select Register)	15-8	—	0x00	—	R	—
	7-6	—	0x0	—	R	—
	5	P2SEL5	0	H0	R/W	—
	4	P2SEL4	0	H0	R/W	—
	3	P2SEL3	0	H0	R/W	—
	2	P2SEL2	0	H0	R/W	—
	1	P2SEL1	0	H0	R/W	—
	0	P2SEL0	0	H0	R/W	—
P2FNCSSEL (P2 Port Function Select Register)	15-12	—	0x00	—	R	—
	11-10	P25MUX[1:0]	0x0	H0	R/W	—
	9-8	P24MUX[1:0]	0x0	H0	R/W	—
	7-6	P23MUX[1:0]	0x0	H0	R/W	—
	5-4	P22MUX[1:0]	0x0	H0	R/W	—
	3-2	P21MUX[1:0]	0x0	H0	R/W	—
	1-0	P20MUX[1:0]	0x0	H0	R/W	—

表 6.7.3.2 P2 ポートグループ機能割り付け

ポート名	P2SELY = 0 GPIO	P2SELY = 1							
		P2yMUX = 0x0(機能0)		P2yMUX = 0x1(機能1)		P2yMUX = 0x2(機能2)		P2yMUX = 0x3(機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P20	P20	SVD5	EXSVD	—	—	—	—	LCD4B	SEG11
P21	P21	—	—	—	—	—	—	LCD4B	SEG10
P22	P22	—	—	—	—	—	—	LCD4B	SEG9
P23	P23	—	—	—	—	—	—	LCD4B	SEG8
P24	P24	LCD4B	CP2	—	—	—	—	LCD4B	SEG3
P25	P25	LCD4B	CP1	—	—	—	—	LCD4B	SEG2

*1: “ユニバーサルポートマルチプレクサ”の章参照

6.7.4 Pd ポートグループ

Pd0～Pd2 の 3 ポートは初期設定でデバッグ機能用ポートに設定されます。Pd ポートグループは GPIO 機能を持っています。Pd2 ポートの GPIO 機能は出力専用で、プルアップ/ダウン機能は使用できません。

表 6.7.4.1 Pd ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PDDAT (Pd Port Data Register)	15-11	—	0x00	—	R	—
	10	PDOOUT2	0	H0	R/W	—
	9	PDOOUT1	0	H0	R/W	—
	8	PDOOUT0	0	H0	R/W	—
	7-3	—	0x00	—	R	—
	2	—	0	—	R	—
	1	PDIN1	X	H0	R	—
PDIOEN (Pd Port Enable Register)	15-11	—	0x00	—	R	—
	10	(reserved)	0	H0	R/W	—
	9	PDIEN1	0	H0	R/W	—
	8	PDIEN0	0	H0	R/W	—
	7-3	—	0x00	—	R	—
	2	PDOEN2	0	H0	R/W	—
	1	PDOEN1	0	H0	R/W	—
	0	PDOEN0	0	H0	R/W	—

6 入出力ポート(PPORT)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PDRCTL (Pd Port Pull-up/down Control Register)	15-11	–	0x00	–	R	–
	10	(reserved)	0	H0	R/W	–
	9	PDPDPU1	0	H0	R/W	–
	8	PDPDPU0	0	H0	R/W	–
	7-5	–	0x00	–	R	–
	2	(reserved)	0	H0	R/W	–
	1	PDREN1	0	H0	R/W	–
	0	PDREN0	0	H0	R/W	–
PDINTF PDINTCTL PDCHATEN	15-0	–	0x0000	–	R	–
PDMODESEL (Pd Port Mode Select Register)	15-8	–	0x00	–	R	–
	7-3	–	0x00	–	R	–
	2	PDSEL2	1	H0	R/W	–
	1	PDSEL1	1	H0	R/W	–
	0	PDSEL0	1	H0	R/W	–
PDFNCSEL (Pd Port Function Select Register)	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	–
	5-4	PD2MUX[1:0]	0x0	H0	R/W	–
	3-2	PD1MUX[1:0]	0x0	H0	R/W	–
	1-0	PD0MUX[1:0]	0x0	H0	R/W	–

表 6.7.4.2 Pd ポートグループ機能割り付け

ポート名	PDSELY = 0 GPIO	PDSELY = 1							
		PDyMUX = 0x0(機能0)		PDyMUX = 0x1(機能1)		PDyMUX = 0x2(機能2)		PDyMUX = 0x3(機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
Pd0	PD0	DBG	DST2	–	–	–	–	–	–
Pd1	PD1	DBG	DSIO	–	–	–	–	–	–
Pd2	PD2	DBG	DCLK	–	–	–	–	–	–

6.7.5 ポートグループ共通

表 6.7.5.1 ポートグループ共通の制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK (P Port Clock Control Register)	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/WP	–
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	–
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	–
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	–
PINTFGRP (P Port Interrupt Flag Group Register)	15-8	–	0x00	–	R	–
	7-3	–	0x00	–	R	–
	2	P2INT	0	H0	R	–
	1	P1INT	0	H0	R	–
	0	P0INT	0	H0	R	–

7 ユニバーサルポートマルチプレクサ (UPMUX)

7.1 概要

UPMUX は、入出力ポートに周辺回路の入出力機能を自由に割り当てることができるマルチプレクサです。主な機能と特長を以下に示します。

- ・同期式シリアルインタフェース、I²C、UART、16ビット PWM タイマの周辺入出力機能をプログラマブルに P0、P1 ポートグループに割り当て可能
- ・UPMUX にて割り当てた周辺入出力機能は、PxFNCSSEL.PxyMUX[1:0]ビット = 0x1 の設定により使用可能

注: ポート名 Pxy、レジスタ名、ビット名の x はポートグループ(x = 0, 1, 2)を、y はポート番号(y = 0, 1, 2, …, 7)を表します。

図 7.1.1 に UPMUX の構成を示します。

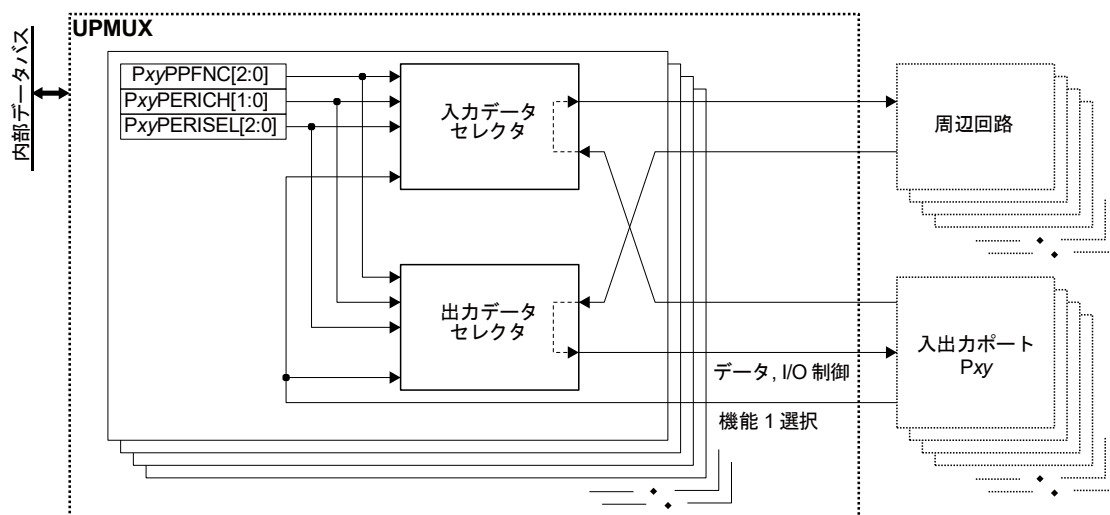


図 7.1.1 UPMUX の構成

7.2 周辺入出力機能の割り当て

上記の対応入出力ポートの周辺入出力機能 1 に、対応周辺回路の入出力機能を割り当てることができます。周辺入出力機能の割り当てと、入出力ポートでその機能を有効にする手順を以下に示します。

1. 入出力ポートの PxIOEN レジスタを設定する。
 - PxIOEN.PxIENy ビットを 0 に設定 (入力ディスエーブル)
 - PxIOEN.PxOENy ビットを 0 に設定 (出力ディスエーブル)
2. 入出力ポートの PxMODESEL.PxSELY ビットを 0 に設定する。 (周辺入出力機能ディスエーブル)
3. PxUPMUXn レジスタ (n = 0~3) の以下のビットを設定する。
 - PxUPMUXn.PxyPERISEL[2:0] ビット (周辺回路の選択)
 - PxUPMUXn.PxyPERICH[1:0] ビット (周辺回路チャンネルの選択)
 - PxUPMUXn.PxyPPFNC[2:0] ビット (割り当て機能の選択)
4. 周辺回路を初期化する。
5. 入出力ポートの PxFNCSSEL.PxyMUX[1:0] ビットを 0x1 に設定する。 (周辺入出力機能 1 を選択)
6. 入出力ポートの PxMODESEL.PxSELY ビットを 1 に設定する。 (周辺入出力機能イネーブル)

7.3 制御レジスタ

Pxy-z Universal Port Multiplexer Setting Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxUPMUX n	15-13	PxzPPFNC[2:0]	0x0	H0	R/W	-
	12-11	PxzPERICH[1:0]	0x0	H0	R/W	
	10-8	PxzPERISEL[2:0]	0x0	H0	R/W	
	7-5	PxyPPFNC[2:0]	0x0	H0	R/W	
	4-3	PxyPERICH[1:0]	0x0	H0	R/W	
	2-0	PxyPERISEL[2:0]	0x0	H0	R/W	

*1: レジスタ名の x はポートグループ番号、 n はレジスタ番号(0~3)を表します。

*2: ビット名の x はポートグループ番号、 y は偶数ポート番号(0, 2, 4, 6)、 z は奇数ポート番号($z = y + 1$)を表します。

Bits 15-13 PxzPPFNC[2:0]

Bits 7-5 PxyPPFNC[2:0]

これらのビットは、ポートに割り当てる周辺入出力機能を指定します。(表 7.3.1 周辺入出力機能の選択参照)

Bits 12-11 PxzPERICH[1:0]

Bits 4-3 PxyPERICH [1:0]

これらのビットは、周辺回路のチャンネル番号を指定します。(表 7.3.1 周辺入出力機能の選択参照)

Bits 10-8 PxzPERISEL[2:0]

Bits 2-0 PxyPERISEL [2:0]

これらのビットは、周辺回路を指定します。(表 7.3.1 周辺入出力機能の選択参照)

表 7.3.1 周辺入出力機能の選択

PxUPMUX n . PxyPPFNC[2:0] ビット (周辺入出力機能)	PxUPMUX n .PxyPERISEL[2:0]ビット (周辺回路)								
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	
	None *	I2C	SPIA	UART3	T16B	Reserved	Reserved	Reserved	
	PxUPMUX n .PxyPERICH[1:0]ビット (周辺回路チャンネル)								
	-	0x0	0x0	0x0	0x0~1	-	-	-	
	-	Ch.0	Ch.0	Ch.0	Ch.0~1	-	-	-	
0x0	None *	None *	None *	None *	None *	None *	None *	None *	
0x1	Reserved	SCL n	SDI n	USIN n	TOUT n 0/ CAP n 0	Reserved	Reserved	Reserved	
0x2		SDA n	SDO n	USOUT n	TOUT n 1/ CAP n 1				
0x3		Reserved	Reserved	SPICLK n	Reserved				Reserved
0x4				#SPISS n					
0x5		Reserved	Reserved	Reserved	Reserved				
0x6									
0x7									

* "None"は割り当てなしを意味します。この値を指定した場合、入出力ポートで周辺入出力機能 1 を選択して周辺入出力機能をイネーブルにすると、Pxy 端子は Hi-Z となります。

注: 一つの周辺入力機能を複数のポートに割り当てないでください。出力機能を複数のポートに割り当てた場合は同じ波形が出力されますが、内部遅延のためにスキューを生じます。

8 ウォッチドッグタイマ(WDT2)

8.1 概要

WDT2は、プログラムが正常に実行できないような問題が発生したときにシステムを再起動させるための回路です。WDT2の主な機能と特長を以下に示します。

- ・NMI/リセット発生周期をカウントする10ビットアップカウンタを搭載
- ・カウンタのクロックソースとクロック分周比を選択可能
- ・ソフトウェアで設定可能な任意の周期でリセットまたはNMIを発生
- ・NMI発生後、次のNMI発生周期でリセットを発生可能

図 8.1.1 に WDT2 の構成を示します。

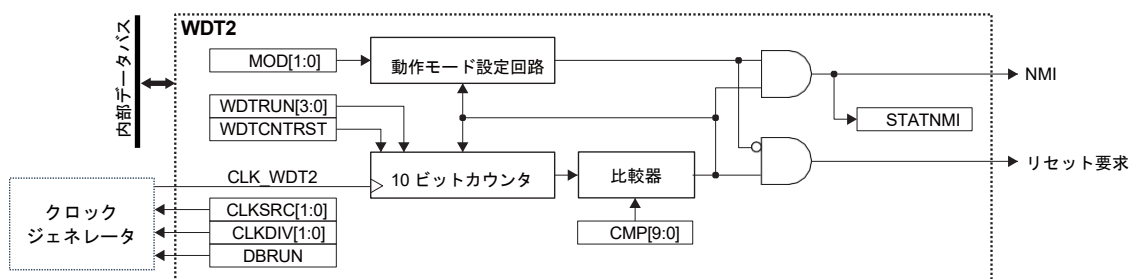


図 8.1.1 WDT2 の構成

8.2 クロック設定

8.2.1 WDT2 の動作クロック

WDT2を使用する場合、クロックジェネレータから WDT2 動作クロック CLK_WDT2 を WDT2 に供給する必要があります。

CLK_WDT2 の供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. WDTCLK レジスタの以下のビットを設定する。
WDTCLK.CLKSRC[1:0]ビット (クロックソースの選択)
WDTCLK.CLKDIV[1:0]ビット (クロック分周比の選択=クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)

8.2.2 DEBUG モード時のクロック供給

DEBUG モード時の CLK_WDT2 の供給は WDTCLK.DBRUN ビットで制御します。

WDTCLK.DBRUN ビット=0の場合、DEBUG モードに移行すると WDT2 への CLK_WDT2 の供給が停止します。その後通常モードに戻ると、CLK_WDT2 の供給が再開します。CLK_WDT2 の供給が停止すると WDT2 の動作は停止しますが、レジスタは DEBUG モードへ移行前の状態に保持されます。WDTCLK.DBRUN ビット=1の場合、DEBUG モード時も CLK_WDT2 の供給は停止せず、WDT2 は動作を継続します。

8.3 動作

8.3.1 WDT2 の制御

WDT2 の RUN

WDT2 は、以下の手順により初期設定を行い、起動します。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. WDT2 動作クロックを設定する。
3. WDTCTL.MOD[1:0]ビットを設定する。 (WDT2 動作モードを選択)
4. WDTCMP.CMP[9:0]ビットを設定する。 (NMI/リセット発生周期を設定)
5. WDTCTL.WDTCNTRST ビットに 1 を書き込む。 (WDT2 カウンタをリセット)
6. WDTCTL.WDTRUN[3:0]ビットに 0xa 以外の任意の値を書き込む。 (WDT2 を起動)
7. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)

NMI/リセット発生周期

WDT2 の NMI/リセット発生周期は次の式で計算できます。

$$t_{\text{WDT}} = \frac{\text{CMP} + 1}{\text{CLK_WDT2}} \quad (\text{式 8.1})$$

ここで

t_{WDT} :	NMI/リセット発生周期 [秒]
CLK_WDT2 :	WDT2 動作クロック周波数 [Hz]
CMP :	WDTCMP.CMP[9:0]ビット設定値

例) $\text{CLK_WDT2} = 256 \text{ Hz}$ 、 $\text{WDTCMP.CMP}[9:0]$ ビット = 639 のとき、 $t_{\text{WDT}} = 2.5$ 秒

WDT2 カウンタのリセット

WDT2 動作中は、NMI/リセットの発生を防ぐため、内蔵されているカウンタをソフトウェアによって定期的
にリセットする必要があります。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. WDTCTL.WDTCNTRST ビットに 1 を書き込む。 (WDT2 カウンタをリセット)
3. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)

このルーチンを定期的に処理される場所に用意しておきます。このルーチンは t_{WDT} の周期以内に処理され
るようにしてください。リセット後、WDT2 は新たな NMI/リセット発生周期のカウントを始めます。

カウンタコンペアマッチの発生

何らかの原因によってカウンタが WDT 周期以内にリセットされず、カウンタ値が WDTCMP.CMP[9:0]ビッ
トの設定値に一致するとコンペアマッチが発生し、WDT2 は WDTCTL.MOD[1:0]ビットを設定に応じて NMI
またはリセットを発行します。

NMI が発生した場合は、WDTCTL.STATNMI ビットが 1 に設定されます。このビットは WDTCTL.
WDTCNTRST ビットに 1 を書き込むことで 0 にクリアすることができます。NMI の割り込み処理ルーチン
内では、必ず WDTCTL.STATNMI ビットのクリア処理を実施してください。
コンペアマッチが発生するとカウンタは自動的に 0 に戻り、カウントを継続します。

WDT2 の STOP

WDT2 は、以下の手順により動作を停止します。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. CTL.WDTRUN[3:0]ビットに 0xa を書き込む。 (WDT2 を停止)
3. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)

8 ウォッチドッグタイマ(WDT2)

8.3.2 HALT, SLEEP モード時の動作

HALT モード時

HALT モード時であっても、WDT2 は動作します。したがって、NMI/リセット発生周期以上、HALT モードを続けると NMI またはリセットにより HALT モードが解除され、CPU は割り込み処理を実行します。HALT モード時に WDT2 を無効にするには、halt 命令実行前に WDTCTL.WDTRUN[3:0] ビットに 0xa を書き込んで WDT2 を停止させてください。HALT モードを解除した後は、動作を再開させる前に WDT2 をリセットしてください。

SLEEP モード時

SLEEP モード時も選択されたクロックソースが ON している場合は WDT2 が動作し、NMI/リセット発生周期以上 SLEEP モードを続けると NMI またはリセットにより SLEEP モードが解除され、CPU は割り込み処理を実行します。したがって、slp 命令の実行前に WDTCTL.WDTRUN[3:0] ビットによって WDT2 を停止させてください。

クロックソースが OFF の場合、WDT2 は停止しますが、SLEEP モード解除後に不要な NMI またはリセットが発生することを防ぐため、slp 命令の実行前に WDT2 をリセットしてください。また、必要に応じ WDTCTL.WDTRUN[3:0] ビットによって WDT2 を停止させてください。

8.4 制御レジスタ

WDT2 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に WDT2 動作クロックを供給するか否か設定します。

1 (R/WP): DEBUG モード時にクロックを供給

0 (R/WP): DEBUG モード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、WDT2 動作クロック(カウンタクロック)の分周比を選択します。クロック周波数は 256 Hz 近辺に設定してください。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、WDT2 のクロックソースを選択します。

表 8.4.1 クロックソースと分周比の設定

WDTCLK. CLKDIV[1:0]ビット	WDTCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/16,384	1/1024	1/65,536	1/1
0x2	1/8,192	1/512	1/32,768	
0x1	1/4,096	1/256	1/16,384	
0x0	1/2,048	1/128	1/8,192	

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

WDT2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCTL	15-11	—	0x00	—	R	—
	10-9	MOD[1:0]	0x0	H0	R/WP	
	8	STATNMI	0	H0	R	
	7-5	—	0x0	—	R	
	4	WDTCNTRST	0	H0	WP	Always read as 0.
	3-0	WDTRUN[3:0]	0xa	H0	R/WP	—

Bits 15-11 Reserved

Bits 10-9 MOD[1:0]

これらのビットは、WDT2 の動作モードを設定します。

表 8.4.2 動作モードの設定

WDTCTL. MOD[1:0]ビット	動作モード	説明
0x3	Reserved	—
0x2	RESET after NMIモード	最初のカウンタコンペアマッチによりNMIが発生し、そのWDTCTL.STATNMIビットを0クリアせずに再度カウンタコンペアマッチが発生すると、リセットが生成されます。
0x1	NMIモード	カウンタコンペアマッチによりNMIを生成します。
0x0	RESETモード	カウンタコンペアマッチによりリセットを生成します。

Bit 8 STATNMI

このビットは、カウンタコンペアマッチにより NMI が発生したことを示します。

1 (R): NMI (カウンタコンペアマッチ)発生

0 (R): NMI 未発生

WDT2 の NMI 発生機能を使用する場合は、NMI ハンドラルーチンの中でこのビットをチェックし、NMI の発生元が WDT2 であるか確認します。

1 にセットされた WDTCTL.STATNMI ビットは、WDTCTL.WDTCNTRST ビットに 1 を書き込むことで 0 にクリアすることができます。

Bits 7-5 Reserved

Bit 4 WDTCNTRST

このビットは、10 ビットカウンタおよび WDTCTL.STATNMI ビットをリセットします。

1 (WP): リセット

0 (WP): 無効

0 (R): 読み出し時は常時 0

Bits 3-0 WDTRUN[3:0]

これらのビットは、WDT2 の RUN/STOP を制御します。

0xa (WP): STOP

0xa 以外 (WP): RUN

0xa (R): 停止中

0x0 (R): 動作中

0xa 以外を書き込んだ場合の読み出し値は常に 0x0 になります。

カウンタの値によっては RUN 直後に NMI/リセットが発生する場合がありますので、WDT2 を RUN させる際には WDT2 のリセットも同時に行ってください。

WDT2 Counter Compare Match Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCMP	15-10	—	0x00	—	R	—
	9-0	CMP[9:0]	0x3ff	H0	R/WP	

Bits 15-10 Reserved

Bits 9-0 CMP[9:0]

これらのビットは、NMI/リセット発生周期を設定します。

WDT2 動作中は、10 ビットカウンタの値がこのレジスタの設定値と比較され、一致すると NMI またはリセットが生成されます。

9 電源電圧検出回路(SVD5)

9.1 概要

SVD5は、 V_{DD} 端子に供給される電源電圧または外部端子に供給されている電源電圧を監視する電源電圧検出回路です。主な機能と特長を以下に示します。

- ・ 検出する電源電圧: V_{DD} または外部電源(EXSVD)を選択可能^(注: 下表参照)
- ・ 検出電圧レベル: 最大 32 レベルから選択可能^(注: 下表参照)
- ・ 検出結果:
 - 電源電圧が検出電圧レベル未満か否かを読み出し可能
 - 電源電圧低下検出により割り込みまたはリセットを発生可能
- ・ 割り込み: 1 系統(電源電圧低下検出割り込み)
- ・ 間欠動作対応:
 - 検出周期を 3 種類から選択可能
 - 指定回数の連続電源電圧低下検出により割り込み/リセットを発生する電源電圧低下検出カウンタ機能
 - 連続動作も可能

図 9.1.1 に SVD5 の構成を示します。

表 9.1.1 S1C17W11 の SVD5 構成

項目	S1C17W11
検出電源電圧	V_{DD} , 外部電源 1 入力(EXSVD)
検出電圧レベル	V_{DD} : 32 レベル(1.15~3.2 V) / 外部電圧: 32 レベル(1.15~3.2 V)

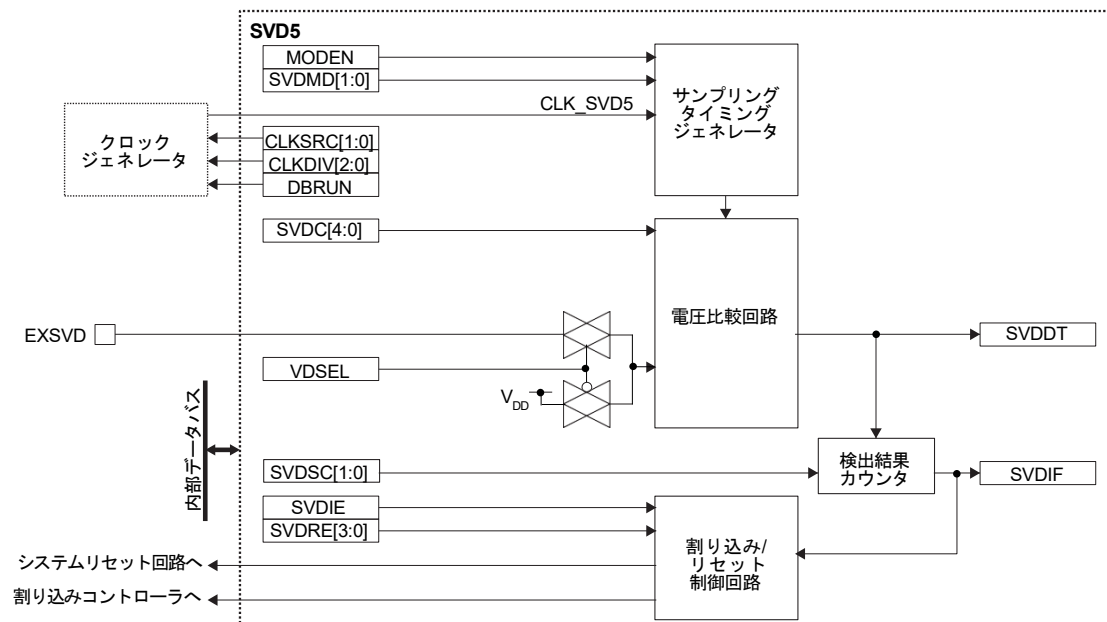


図 9.1.1 SVD5 の構成

9.2 入力端子と外部接続

9.2.1 入力端子

表 9.2.1.1 に SVD5 の入力端子を示します。

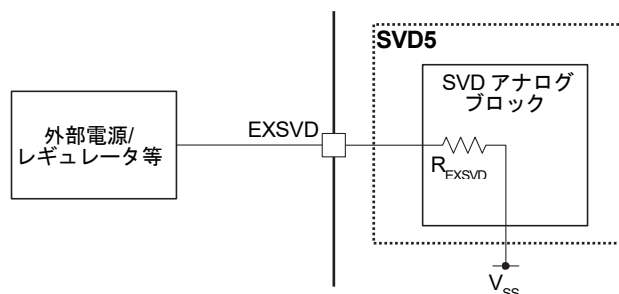
表 9.2.1.1 SVD5 入力端子

端子名	I/O*	イニシャル状態*	機能
EXSVD	A	A (Hi-Z)	外部電源電圧検出用端子

* 端子機能を SVD5 に切り換えた時点の状態

EXSVD 端子と他の機能がポートを共有している場合、SVD5 を動作させる前に EXSVD をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

9.2.2 外部との接続



EXSVD 端子の入力電圧範囲および EXSVD 入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。

9.3 クロック設定

9.3.1 SVD5 の動作クロック

SVD5 を使用する場合、クロックジェネレータから SVD5 動作クロック CLK_SVD5 を SVD5 に供給する必要があります。

CLK_SVD5 の供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
3. SVDCLK レジスタの以下のビットを設定する。
 - SVDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SVDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。(システムプロテクトを設定)

CLK_SVD5 周波数は 32 kHz 近辺に設定してください。

9.3.2 SLEEP モード時のクロック供給

SLEEP モード時に SVD5 を使用する場合、SVD5 動作クロック CLK_SVD5 のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_SVD5 を供給し続ける必要があります。

9 電源電圧検出回路(SVD5)

SLEEPモード時に、CLK_SVD5のクロックソースに対応した CLGOSC.xxxxSLPC ビットが1の場合は、CLK_SVD5のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SVD5が停止します。その後通常モードに戻ると、CLK_SVD5が供給され、SVD5の動作が再開します。

9.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SVD5の供給はSVDCLK.DBRUNビットで制御します。SVDCLK.DBRUNビット=0の場合、DEBUGモードに移行するとSVD5へのCLK_SVD5の供給が停止します。その後通常モードに戻ると、CLK_SVD5の供給が再開します。CLK_SVD5の供給が停止するとSVD5の動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。SVDCLK.DBRUNビット=1の場合、DEBUGモード時もCLK_SVD5の供給は停止せず、SVD5は動作を継続します。

9.4 動作

9.4.1 SVD5の制御

検出開始

以下の手順により初期設定を行い、SVD5の動作を開始させます。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. SVDCLK.CLKSRC[1:0]ビットと SVDCLK.CLKDIV[2:0]ビットで動作クロックを設定する。
3. SVDCTLレジスタの以下のビットを設定する。
 - SVDCTL.VDSEL ビット (検出電圧(V_{DD}またはEXSVD)の選択)
 - SVDCTL.SVDSC[1:0]ビット (電源電圧低下検出カウンタの設定)
 - SVDCTL.SVDC[4:0]ビット (SVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}の設定)
 - SVDCTL.SVDRE[3:0]ビット (リセット/割り込みの選択)
 - SVDCTL.SVDM[1:0]ビット (間欠動作モードの設定)
4. 割り込みを使用する場合は以下のビットを設定する。
 - SVDINTF.SVDIF ビットに 1 を書き込み (割り込みフラグをクリア)
 - SVDINTE.SVDIE ビットを 1 に設定 (SVD5割り込みイネーブル)
5. SVDCTL.MODEN ビットを 1 に設定する。 (SVD5検出イネーブル)
6. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)

検出停止

SVD5の動作は以下の手順で終了させます。

1. MSCPROT.PROT[15:0]ビットに 0x0096 を書き込む。 (システムプロテクトを解除)
2. SVDCTL.MODEN ビットに 0 を書き込む。 (SVD5検出ディスエーブル)
3. MSCPROT.PROT[15:0]ビットに 0x0096 以外の値を書き込む。 (システムプロテクトを設定)

検出結果の読み出し

検出結果は次の2種類となり、SVDINTF.SVDDTビットから読み出すことができます。

- ・ SVDINTF.SVDDT ビット = 0 の場合:
電源電圧(V_{DD}またはEXSVD) ≥ SVD検出電圧V_{SVD}またはEXSVD検出電圧V_{SVD_EXT}
- ・ SVDINTF.SVDDT ビット = 1 の場合:
電源電圧(V_{DD}またはEXSVD) < SVD検出電圧V_{SVD}またはEXSVD検出電圧V_{SVD_EXT}

SVDCTL.MODENビットに1を書き込んでからSVDINTF.SVDDTビットを読み出すまでに、SVD回路イネーブル時応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路イネーブル時応答時間t_{SVDEN}”参照)。また、SVDCTL.MODENビット=1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路応答時間t_{SVD}”参照)。

9.4.2 SVD5 の動作

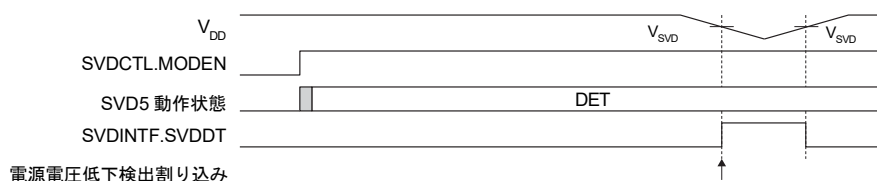
連続動作モード

デフォルト設定(SVDCTL.SVDMD[1:0]ビット = 0x0)の SVD5 は連続動作モードで動作します。このモードでは、SVDCTL.MODEN ビットが 1 の間、SVD5 が連続的に動作し検出結果を SVDINTF.SVDDT ビットにセットし続けます。この間、必要に応じて SVDINTF.SVDDT ビットを読み出し、その時点の検出結果を確認することができます。また、SVDINTF.SVDDT ビット = 1 になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa 以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xa の場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEP 実行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。

間欠動作モード

SVDCTL.SVDMD[1:0]ビットを 0x1~0x3 に設定すると、SVD5 は間欠動作モードで動作します。このモードでは、SVDCTL.MODEN ビットが 1 の間、SVDCTL.SVDMD[1:0]ビットの値で決まる周期ごとに SVD5 が ON し、検出動作を実行した後に OFF します。この間、必要に応じて SVDINTF.SVDDT ビットを読み出し、直前の検出結果を確認することができます。また、電源電圧低下を SVDCTL.SVDSC[1:0]ビットで指定した回数続けて検出した場合に割り込みまたはリセットを発生させることもできます。

(1) SVDCTL.SVDMD[1:0]ビット = 0x0 (連続動作モード)時



(2) SVDCTL.SVDMD[1:0]ビット ≠ 0x0 (間欠動作モード)時

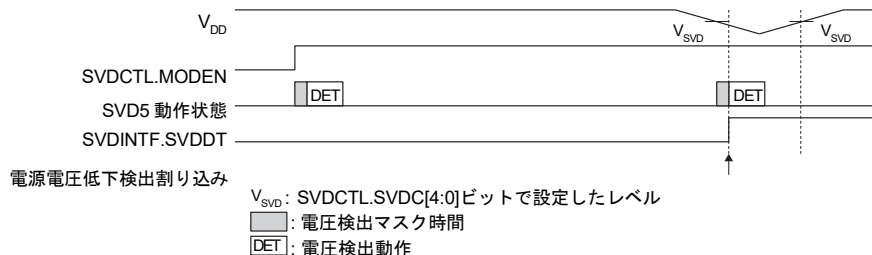


図 9.4.2.1 SVD5 動作

9.5 SVD5 割り込みとリセット

9.5.1 SVD5 割り込み

SVDCTL.SVDRE[3:0]ビットを 0xa 以外に設定することにより、電源電圧低下検出割り込み機能が使用できます。

表 9.5.1.1 電源電圧低下検出割り込み機能

割り込み	割り込みフラグ	セット	クリア
電源電圧低下検出	SVDINTF.SVDIF	連続動作モード時 SVDINTF.SVDDT ビットが 1 のとき 間欠動作モード時 電源電圧低下を指定回数続けて検出した場合	1 書き込み

割り込みフラグ(SVDINTF.SVDIF ビット)には、対応する割り込みイネーブルビット(SVDINTE.SVDIE ビット)があります。SVDINTE.SVDIE ビットによって割り込みをイネーブルにした状態で SVDINTF.SVDIF ビットがセットされた場合にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

9 電源電圧検出回路(SVD5)

セットされた SVDINTF.SVDIF ビットは、その後電源電圧が SVD 検出電圧 V_{SVD} /EXSVD 検出電圧 V_{SVD_EXT} 以上に戻ってもクリアされません。一時的な電源電圧低下で割り込みが発生することもありますので、割り込みハンドラルーチン内で SVDINTF.SVDDT ビットを読み出して電源電圧の状態を確認してください。

9.5.2 SVD5 リセット

SVDCTL.SVDRE[3:0] ビットを 0xa に設定することにより、SVD5 のリセット発行機能が使用できます。リセット発行のタイミングは、電源電圧低下の検出によって SVDINTF.SVDIF ビットがセットされるタイミングと同じです。

SVD5 はリセットを発行すると、間欠動作モードで動作していた場合でも連続動作モードに切り換えて動作を継続します。SVD5 のリセット発行によりポート割り当てが初期化されますが、EXSVD 検出時は、EXSVD 端子となるポートの入力が SVD5 に送られ、EXSVD の検出動作が継続して行われます。電源電圧が復帰し、SVDINTF.SVDDT ビット = 0 の状態になるとリセットが解除されます。リセット解除後、初期化ルーチンを経て再び SVD5 は元のモードで動作を再開します。

リセット中、SVD5 の制御ビットは表 9.5.2.1 のように設定されます。

表 9.5.2.1 リセット中の SVD5 制御ビット

制御レジスタ	制御ビット	設定
SVDCLK	DBRUN	初期値にリセットされる。
	CLKDIV[2:0]	
	CLKSRC[1:0]	
SVDCTL	VDSEL	設定値を保持する。
	SVDSCL[1:0]	0 クリアされる(連続検出モードになるため、設定値無効)。
	SVDC[4:0]	設定値を保持する。
	SVDRE[3:0]	設定値(0xa)を保持する。
	EXSEL	設定値を保持する。
	SVDMMD[1:0]	0 クリアされ、連続検出モードになる。
	MODEN	設定値(1)を保持する。
SVDINTF	SVDIF	リセット前の状態(1)を保持する。
SVDINTE	SV DIE	0 クリアされる。

9.6 制御レジスタ

SVD5 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/WP	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 **DBRUN**

このビットは、DEBUG モード時に SVD5 動作クロックを供給するか否か設定します。

1 (R/WP): DEBUG モード時にクロックを供給

0 (R/WP): DEBUG モード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 **CLKDIV[2:0]**

これらのビットは、SVD5 動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 **CLKSRC[1:0]**

これらのビットは、SVD5 のクロックソースを選択します。

表 9.6.1 クロックソースと分周比の設定

SVDCLK. CLKDIV[2:0]ビット	SVDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7, 0x6	Reserved	1/1	Reserved	1/1
0x5	1/128		1/128	
0x4	1/64		1/64	
0x3	1/32		1/32	
0x2	1/16		1/16	
0x1	1/8		1/8	
0x0	1/4		1/4	

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: クロック周波数は 32 kHz 近辺に設定してください。

SVD5 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCTL	15	VDSEL	0	H1	R/WP	–
	14–13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMD[1:0] bits are not 0x0.
	12–8	SVDC[4:0]	0x1e	H1	R/WP	
	7–4	SVDRE[3:0]	0x0	H1	R/WP	–
	3	–	0	–	R	–
	2–1	SVDMD[1:0]	0x0	H0	R/WP	–
	0	MODEN	0	H1	R/WP	–

Bit 15 VDSEL

このビットは、SVD5 で検出する電源電圧を選択します。

1 (R/WP): EXSVD 端子印加電圧

0 (R/WP): V_{DD}

Bits 14–13 SVDSC[1:0]

これらのビットは、間欠動作モード時(SVDCTL.SVDMD[1:0]ビット = 0x1~0x3)に割り込み/リセットを発生させる条件(連続して電源電圧低下を検出した回数)を設定します。

表 9.6.2 間欠動作モードの割り込み/リセット発生条件

SVDCTL.SVDSC[1:0]ビット	割り込み/リセット発生条件
0x3	電源電圧低下を連続 8 回検出
0x2	電源電圧低下を連続 4 回検出
0x1	電源電圧低下を連続 2 回検出
0x0	電源電圧低下を連続 1 回検出

この設定は、連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)では無効です。

Bits 12–8 SVDC[4:0]

これらのビットは、電源電圧低下を検出するための SVD 検出電圧 V_{SVD} /EXSVD 検出電圧 V_{SVD_EXT} を選択します。

表 9.6.3 SVD 検出電圧 V_{SVD} /EXSVD 検出電圧 V_{SVD_EXT} の設定

SVDCTL.SVDC[4:0]ビット	SVD 検出電圧 V_{SVD} /EXSVD 検出電圧 V_{SVD_EXT} [V]
0x1f	High
0x1e	↑
0x1d	
⋮	
0x02	
0x01	↓
0x00	Low

設定可能範囲と電圧値については、“電気的特性”の章の“電源電圧検出回路特性、SVD 検出電圧 V_{SVD} /EXSVD 検出電圧 V_{SVD_EXT} ”を参照してください。

9 電源電圧検出回路(SVD5)

Bits 7-4 SVDRE[3:0]

これらのビットは、電源電圧低下検出時のリセット発行機能をイネーブ/ディスエーブにします。

0xa (R/WP): イネーブ(リセットを発行)

0xa 以外 (R/WP): ディスエーブ(割り込みを発生)

SVD5 リセット発行機能の詳細は、“SVD5 リセット”を参照してください。

Bits 3 Reserved

Bits 2-1 SVDMD[1:0]

これらのビットは、間欠動作モードと検出周期を選択します。

表 9.6.4 間欠動作モードの検出周期選択

SVDCTL.SVDMD[1:0]ビット	動作モード(検出周期)
0x3	間欠動作モード(CLK_SVD5/8192)
0x2	間欠動作モード(CLK_SVD5/4096)
0x1	間欠動作モード(CLK_SVD5/2048)
0x0	連続動作モード

間欠動作モードと連続動作モードについては、“SVD5 の動作”を参照してください。

Bit 0 MODEN

このビットは SVD5 回路の動作をイネーブ/ディスエーブにします。

1 (R/WP): イネーブ(検出動作開始)

0 (R/WP): ディスエーブ(検出動作停止)

本ビットを変更した場合は、書き込んだ値が本ビットから読み出されるまで次の操作を行わずに待機してください。

- 注:
- ・ SVDCTL.MODEN ビットに 0 を書き込むことにより、SVD5 内のハードウェアがリセットされます。ただし、レジスタの設定値や割り込みフラグはクリアされません。SVDCTL.MODEN ビットはこの処理が終了後に、実際に 0 に設定されます。このとき、同ビットから 0 が読み出されることを確認せずに続けて SVDCTL.MODEN ビットに 1 を書き込むと、タイミングによっては 0 の書き込みが無視され、ハードウェアがリセットされずに再起動し、誤動作を起こすことがあります。
 - ・ SVDCTL.MODEN ビットに 1 を書き込み後の SVD5 動作中に SVDCTL.SVDSC[1:0]ビット、SVDCTL.SVDRE[3:0]ビット、または SVDCTL.SVDMD[1:0]ビットを変更すると、SVD5 内部が初期化されます。

SVD5 Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTF	15-9	-	0x00	-	R	-
	8	SVDDET	x	-	R	
	7-1	-	0x00	-	R	
	0	SVDIF	0	H1	R/W	Cleared by writing 1.

Bits 15-9 Reserved

Bit 8 SVDDET

このビットから電源電圧検出結果が読み出せます。

1 (R): 電源電圧(V_{DD} または EXSVD) < SVD 検出電圧 V_{SVD} または EXSVD 検出電圧 V_{SVD_EXT}

0 (R): 電源電圧(V_{DD} または EXSVD) \geq SVD 検出電圧 V_{SVD} または EXSVD 検出電圧 V_{SVD_EXT}

Bits 7-1 Reserved

Bit 0 SVDIF

このビットは、電源電圧低下検出割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

注: SVDCTL.MODEN ビットに 1 を書き込み後の SVD5 動作中に割り込みフラグをクリアすると、SVD5 内部が初期化されます。

SVD5 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTE	15-8	—	0x00	—	R	—
	7-1	—	0x00	—	R	
	0	SVDIE	0	H0	R/W	

Bits 15-1 Reserved**Bit 0 SVDIE**

このビットは、電源電圧低下検出割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: ・ SVDCTL.SVDRE[3:0]ビットを 0xa に設定した場合は割り込みタイミングでリセットが発行されるため、本ビットの設定にかかわらず電源電圧低下検出割り込みは発生しません。

・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

10 16 ビットタイマ(T16)

10.1 概要

T16は16ビットタイマです。主な機能と特長を以下に示します。

- ・16ビットのプリセッタブルダウンカウンタ
- ・プリセット値設定用のリロードデータレジスタを搭載
- ・カウントクロックを生成するクロックソースとクロック分周比を選択可能
- ・リピートモードとワンショットモードを選択可能
- ・カウンタのアンダーフロー割り込みを発生可能

図 10.1.1 に T16 チャンネルの構成を示します。

表 10.1.1 S1C17W11 の T16 チャンネル構成

項目	S1C17W11
チャンネル数	3チャンネル (Ch.0~Ch.2)
イベントカウンタ機能	未対応(EXCLm端子未実装)
周辺回路クロック出力 (カウンタアンダーフロー信号を出力)	Ch.1 同期式シリアルインタフェースCh.0のマスタクロック

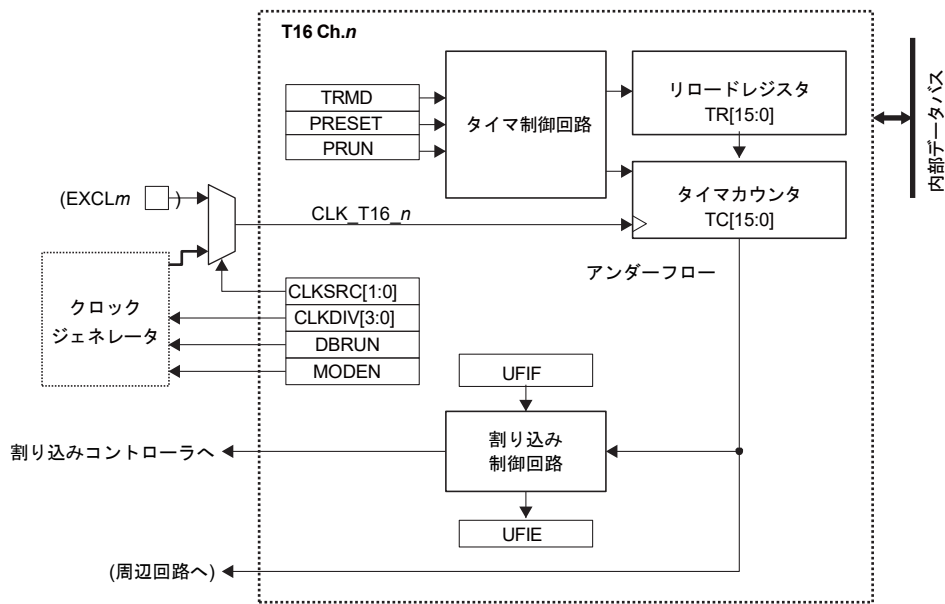


図 10.1.1 T16 チャンネルの構成

10.2 入力端子

表 10.2.1 に T16 の入力端子を示します。

表 10.2.1 T16 入力端子

端子名	I/O*	イニシャル状態*	機能
EXCLm	I	I (Hi-Z)	外部イベント信号入力端子

* 端子機能を T16 に切り換えた時点の状態

EXCLm 端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前に EXCLm 入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

10.3 クロック設定

10.3.1 T16 の動作クロック

T16 Ch.*n* を使用する場合、クロックジェネレータから T16 Ch.*n* 動作クロック CLK_T16_*n* を T16 Ch.*n* に供給する必要があります。

CLK_T16_*n* の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
2. T16_*n*CLK レジスタの以下のビットを設定する。
 - T16_*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - T16_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

10.3.2 SLEEP モード時のクロック供給

SLEEP モード時に T16 を使用する場合は、T16 動作クロック CLK_T16_*n* のクロックソースに対応した CLGOSC.*xxxx*SLPC ビットに 0 を書き込み、CLK_T16_*n* を供給し続ける必要があります。

SLEEP モード時に、CLK_T16_*n* のクロックソースに対応した CLGOSC.*xxxx*SLPC ビットが 1 の場合は、CLK_T16_*n* のクロックソースが停止し、SLEEP モードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16 が停止します。その後通常モードに戻ると、CLK_T16_*n* が供給され、T16 の動作が再開します。

10.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_T16_*n* の供給は T16_*n*CLK.DBRUN ビットで制御します。

T16_*n*CLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると T16 Ch.*n* への CLK_T16_*n* の供給が停止します。その後通常モードに戻ると、CLK_T16_*n* の供給が再開します。CLK_T16_*n* の供給が停止すると T16 Ch.*n* の動作は停止しますが、カウンタやレジスタは DEBUG モードへ移行前の状態に保持されます。

T16_*n*CLK.DBRUN ビット = 1 の場合、DEBUG モード時も CLK_T16_*n* の供給は停止せず、T16 Ch.*n* は動作を継続します。

10.3.4 イベントカウンタクロック

イベントカウンタ機能に対応したチャンネルでは、T16_*n*CLK.CLKSRC[1:0]ビットを 0x3 に設定すると、EXCL*m* 端子から入力される信号の立ち上がりエッジでカウントダウンを行います。

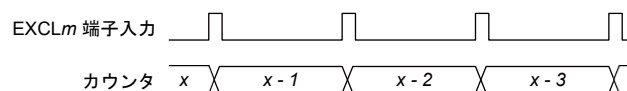


図 10.3.4.1 カウントダウンタイミング

イベントカウンタ機能に非対応のチャンネルでは、EXOSC クロックが選択されます。

10.4 動作

10.4.1 初期設定

T16 Ch.*n* は、以下の手順により初期設定を行い、カウントを開始させます。

1. T16 Ch.*n* 動作クロックを設定する(“T16 の動作クロック”参照)。
2. T16_*n*CTL.MODEN ビットを 1 に設定する。(カウント動作クロックイネーブル)
3. T16_*n*MOD.TRMD ビットを設定する。(動作モード(リピートモード/ワンショットモード)の設定)
4. T16_*n*TR レジスタを設定する。(リロードデータ(カウンタプリセットデータ)の設定)

10 16 ビットタイマ(T16)

5. 割り込みを使用する場合は以下のビットを設定する。
 - T16_nINTF.UFIFビットに1を書き込み (割り込みフラグをクリア)
 - T16_nINTE.UFIEビットを1に設定 (アンダーフロー割り込みイネーブル)
6. T16_nCTLレジスタの以下のビットを設定する。
 - T16_nCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
 - T16_nCTL.PRUNビットを1に設定 (カウントスタート)

10.4.2 カウンタのアンダーフロー

通常、T16のカウンタはプリセットされたリロードデータの値からカウントダウンを行い、アンダーフローが発生するとアンダーフロー信号を生成します。この信号は割り込みを発生させ、また特定の周辺回路へも出力され、クロックとして使用されます(クロックとして使用する場合は、T16 Ch.nをリピータモードに設定する必要があります)。アンダーフロー周期は、T16 Ch.nの動作クロックの設定、およびT16_nTRレジスタに設定するリロードデータ(カウンタの初期値)によって決まり、次の式で計算できます。

$$T = \frac{TR + 1}{f_{CLK_T16_n}} \quad f_T = \frac{f_{CLK_T16_n}}{TR + 1} \quad (\text{式 10.1})$$

ここで

T:	アンダーフロー周期 [s]
f _T :	アンダーフロー周波数 [Hz]
TR:	T16_nTRレジスタの設定値
f _{CLK_T16_n} :	T16 Ch.nの動作クロックの周波数 [Hz]

10.4.3 リピータモードの動作

T16_nMOD.TRMDビットを0に設定すると、T16 Ch.nはリピータモードになります。

リピータモードでは、T16_nCTL.PRUNビットに1を書き込み後、0を書き込むまでカウント動作を続けます。カウンタがアンダーフローした時点でT16_nTRレジスタの設定値がプリセットされますので、一定の周期でアンダーフローを発生させることができます。周期的なアンダーフロー割り込みを発生させる場合、あるいは周辺回路へのトリガ/クロック出力に使用するタイマにはこのモードを選択します。

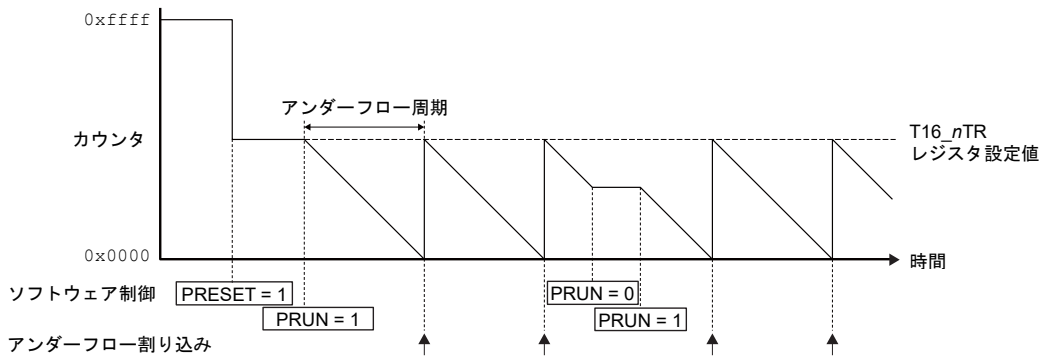


図 10.4.3.1 リピータモードのカウンタ動作

10.4.4 ワンショットモードの動作

T16_nMOD.TRMDビットを1に設定すると、タイマはワンショットモードになります。

ワンショットモードでは、T16_nCTL.PRUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、T16_nTRレジスタの設定値をプリセットしてカウント動作を停止します。これと同時に、T16_nCTL.PRUNビットは自動的にクリアされます。特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

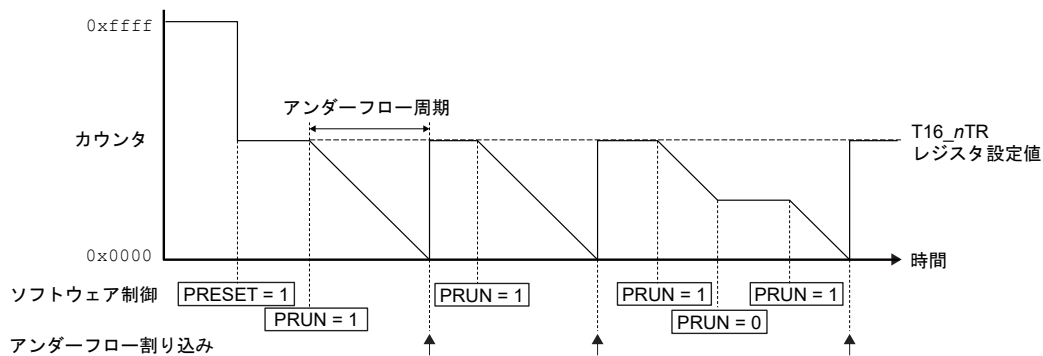


図 10.4.4.1 ワンショットモードのカウンタ動作

10.4.5 カウンタ値のリード

カウンタ値は、T16_nTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16_nで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

10.5 割り込み

T16の各チャンネルには、表 10.5.1 に示す割り込みを発生させる機能があります。

表 10.5.1 T16 の割り込み機能

割り込み	割り込みフラグ	セット	クリア
アンダーフロー	T16_nINTF.UFIF	カウンタにアンダーフローが発生したとき	1書き込み

割り込みフラグには、対応する割り込みイネーブルビットがあります。割り込みがイネーブルになっているときに割り込みフラグがセットされた場合にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

10.6 制御レジスタ

T16 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCLK	15-9	-	0x00	-	R	-
	8	D Brun	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に T16 Ch.n 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、T16 Ch.n 動作クロック(カウンタクロック)の分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、T16 Ch.n のクロックソースを選択します。

10 16 ビットタイマ(T16)

表 10.6.1 クロックソースと分周比の設定

T16_nCLK. CLKDIV[3:0]ビット	T16_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC/EXCLm
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256	1/256	1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注 1) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

(注 2) T16_nCLK.CLKSRC[1:0]ビット = 0x3 の設定は、イベント機能付きのチャンネルには EXCLm が、それ以外のチャンネルには EXOSC が選択されます。

T16 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nMOD	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	TRMD	0	H0	R/W	

Bits 15–1 Reserved

Bit 0 TRMD

このビットは、T16 の動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ワンショットモードの動作”および“リピートモードの動作”を参照してください。

T16 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCTL	15–9	–	0x00	–	R	–
	8	PRUN	0	H0	R/W	
	7–2	–	0x00	–	R	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 PRUN

このビットはタイマをスタート/ストップします。

1 (W): タイマをスタート

0 (W): タイマをストップ

1 (R): タイマ動作中

0 (R): タイマ停止中

このビットに 1 を書き込むことにより、タイマはカウント動作を開始します。ただし、このビットと共に T16_nCTL.MODEN ビットも 1 に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はこのビットへの 0 書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に 0 にクリアされます。

Bits 7–2 Reserved**Bit 1 PRESET**

このビットは、T16_nTR レジスタに設定されているリロードデータをカウンタにプリセットします。

1 (W): プリセット

0 (W): 無効

1 (R): プリセットの実行中

0 (R): プリセットを終了または通常動作中

このビットに 1 を書き込むと、タイマは T16_nTR レジスタの値をカウンタにプリセットします。ただし、このビットと共に T16_nCTL.MODEN ビットも 1 に設定するか、あるいはすでに設定されている必要があります。プリセット動作実行中は 1 を保持し、プリセットが完了すると自動的に 0 にクリアされます。

Bit 0 MODEN

このビットは、T16 Ch.n の動作をイネーブルにします。

1 (R/W): イネーブル(動作クロックを供給)

0 (R/W): ディスエーブル(動作クロックの供給を停止)

T16 Ch.n Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTR	15–0	TR[15:0]	0xffff	H0	R/W	–

Bits 15–0 TR[15:0]

これらのビットには、カウンタにプリセットする初期値を設定しておきます。

T16_nCTL.PRESET ビットに 1 を書き込んだ場合や、カウンタがアンダーフローした時点で、このレジスタの値がカウンタにプリセットされます。

- 注:
- ・タイマ動作中(T16_nCTL.PRUN ビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTR レジスタを変更することはできません。
 - ・ワンショットモードのときは、T16_nTR.TR[15:0] ビットを 0x0001 以上の値に設定してください。

T16 Ch.n Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTC	15–0	TC[15:0]	0xffff	H0	R	–

Bits 15–0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16 Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nINTF	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	UFIF	0	H0	R/W	Cleared by writing 1.

Bits 15–1 Reserved

10 16 ビットタイマ(T16)

Bit 0 UFIF

このビットは、T16 Ch.*n* アンダーフロー割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

T16 Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_ <i>n</i> INTE	15-8	–	0x00	–	R	–
	7-1	–	0x00	–	R	
	0	UFIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 UFIE

このビットは、T16 Ch.*n* アンダーフロー割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

11 UART(UART3)

11.1 概要

UART3 は非同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- ・転送クロックを生成するためのボーレートジェネレータを内蔵
- ・7ビットまたは8ビットのデータ長に対応(LSB先頭)
- ・偶数パリティ、奇数パリティ、パリティなしが選択可能
- ・スタートビット長は1ビット固定
- ・1ビットまたは2ビットのストップビット長が選択可能
- ・全二重通信に対応
- ・2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ・内蔵 RZI 変調/復調回路により IrDA1.0 赤外線通信に対応
- ・パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- ・受信バッファフル(1バイト/2バイト)、送信バッファエンプティ、送信完了、パリティエラー、フレーミングエラー、オーバーランエラーにて割り込みを発生可能
- ・入力端子のプルアップ制御が可能
- ・出力端子のオープンドレイン制御が可能
- ・キャリア変調出力機能を搭載

図 11.1.1 に UART3 の構成を示します。

表 11.1.1 S1C17W11 の UART3 チャンネル構成

項目	S1C17W11
チャンネル数	1チャンネル (Ch.0)

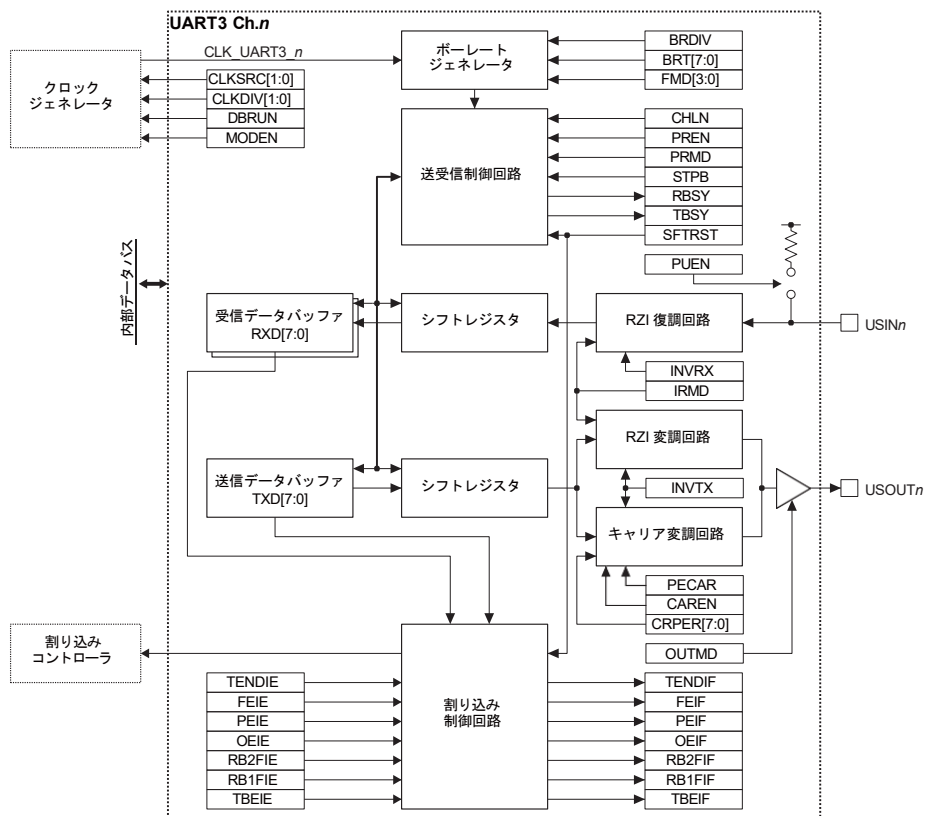


図 11.1.1 UART3 の構成

11.2 入出力端子と外部接続

11.2.1 入出力端子一覧

表 11.2.1.1 に UART3 の端子一覧を示します。

表 11.2.1.1 UART3 端子一覧

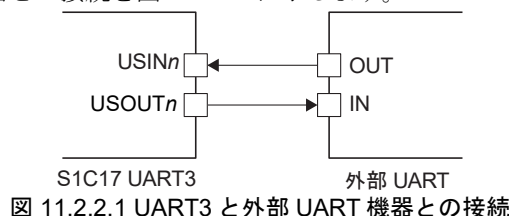
端子名	I/O*	イニシャル状態*	機能
USIN n	I	1 (Hi-Z)	UART3 Ch. n データ入力端子
USOUT n	O	0 (High)	UART3 Ch. n データ出力端子

* 端子機能を UART3 に切り換えた時点の状態

これらの UART3 端子と他の機能がポートを共有している場合、UART3 を動作させる前に UART3 の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

11.2.2 外部との接続

本 IC の UART3 と外部 UART 機器との接続を図 11.2.2.1 に示します。



11.2.3 入力端子のプルアップ機能

USIN n 端子にはプルアップ抵抗が内蔵されています。UAnMOD.PUEN ビットを 1 に設定すると、この抵抗が有効になり、USIN n 端子がプルアップされます。

11.2.4 出力端子のオープンドレイン出力機能

USOUT n 端子にはオープンドレイン出力機能があります。デフォルト設定はプッシュプル出力ですが、UAnMOD.OUTMD ビットを 1 に設定するとオープンドレイン出力になります。

11.2.5 入出力信号の反転機能

USIN n 端子の入力信号および USOUT n 端子の出力信号は、それぞれ UAnMOD.INVRX ビット、UAnMOD.INVTX ビットを 1 に設定することにより、極性を反転して入出力することができます。

注: 特に指定のない場合、本章に記載の入出力信号はすべて非反転(UAnMOD.INVRX ビット = 0、UAnMOD.INVTX ビット = 0)の波形です。

11.3 クロック設定

11.3.1 UART3 の動作クロック

UART3 Ch. n を使用する場合、クロックジェネレータから UART3 Ch. n 動作クロック CLK_UART3_ n を UART3 Ch. n に供給する必要があります。CLK_UART3_ n の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
2. UAnCLK レジスタの以下のビットを設定する。
 - UAnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - UAnCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)
 UART3 の動作クロックは、ボーレートジェネレータで設定しやすいクロックを選択してください。

11 UART(UART3)

11.3.2 SLEEP モード時のクロック供給

SLEEP モード時に UART3 を使用する場合は、UART3 動作クロック CLK_UART3_n のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_UART3_n を供給し続ける必要があります。

11.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_UART3_n の供給は UAnCLK.DBRUN ビットで制御します。

UAnCLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると UART3 Ch.n への CLK_UART3_n の供給が停止します。その後通常モードに戻ると、CLK_UART3_n の供給が再開します。CLK_UART3_n の供給が停止すると UART3 Ch.n の動作は停止しますが、出力端子やレジスタは DEBUG モードへ移行前の状態に保持されます。UAnCLK.DBRUN ビット = 1 の場合、DEBUG モード時も CLK_UART3_n の供給は停止せず、UART3 Ch.n は動作を継続します。

11.3.4 ボーレートジェネレータ

UART3 は転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。転送レートは UAnMOD.BRDIV ビット、UAnBR.BRT[7:0] ビット、および UAnBR.FMD[3:0] ビットの設定により決まります。希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{\text{CLK_UART3}}{\frac{\text{BRT} + 1}{\text{BRDIV}} + \text{FMD}} \quad \text{BRT} = \text{BRDIV} \times \left(\frac{\text{CLK_UART3}}{\text{bps}} - \text{FMD} \right) - 1 \quad (\text{式 11.1})$$

ここで、

bps:	転送レート [bit/s]
CLK_UART3:	UART3 動作クロック周波数 [Hz]
BRDIV:	ボーレート分周比(1/16 または 1/4) ※UAnMOD.BRDIV ビットで選択
BRT:	UAnBR.BRT[7:0]設定値(0~255)
FMD:	UAnBR.FMD[3:0]設定値(0~15)

UART3 で設定可能な転送レートの範囲は、“電気的特性”の章の“UART 特性、送受信ボーレート U_{BRT1}、U_{BRT2}”を参照してください。

11.4 データフォーマット

本 UART3 では、データ長、ストップビット長、パリティ機能の設定が可能です。スタートビット長は 1 ビットに固定です。

データ長

データ長は、UAnMOD.CHNLN ビットで 7 ビット(UAnMOD.CHNLN ビット = 0)、または 8 ビット(UAnMOD.CHNLN ビット = 1)に設定可能です。

ストップビット長

ストップビット長は UAnMOD.STPB ビットで 1 ビット(UAnMOD.STPB ビット = 0)または 2 ビット(UAnMOD.STPB ビット = 1)に設定可能です。

パリティ機能

パリティ機能は UAnMOD.PREN ビットと UAnMOD.PRMD ビットで設定します。

表 11.4.1 パリティ機能の設定

UAnMOD.PRENビット	UAnMOD.PRMDビット	パリティ機能
1	1	奇数パリティ
1	0	偶数パリティ
0	*	パリティなし

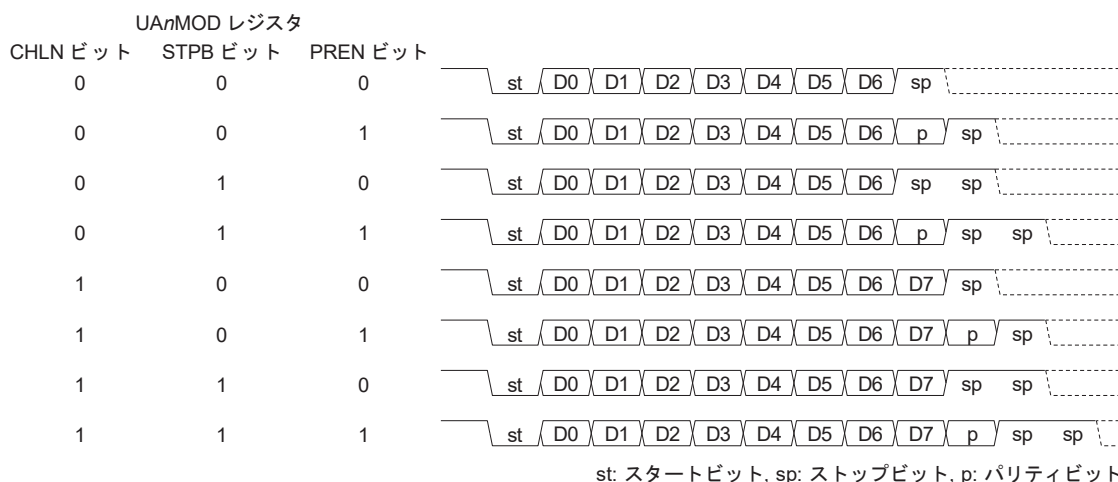


図 11.4.1 データフォーマット

11.5 動作

11.5.1 初期設定

UART3 Ch.*n* は、以下の手順により初期設定を行います。

- UART3 Ch.*n* 入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
 - UAnCLK.CLKSRC[1:0]ビットと UAnCLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
 - UAnMOD レジスタの以下のビットを設定する。
 - UAnMOD.BRDIV ビット (ボーレート分周比(1/16 または 1/4)の選択)
 - UAnMOD.INVRX ビット (USIN_{*n*} 入力信号反転イネーブル/ディスエーブル)
 - UAnMOD.INVTX ビット (USOUT_{*n*} 出力信号反転イネーブル/ディスエーブル)
 - UAnMOD.PUEN ビット (USIN_{*n*} 端子のプルアップイネーブル/ディスエーブル)
 - UAnMOD.OUTMD ビット (USOUT_{*n*} 端子のオープンドレイン出力イネーブル/ディスエーブル)
 - UAnMOD.IRMD ビット (IrDA インタフェースイネーブル/ディスエーブル)
 - UAnMOD.CHLN ビット (データ長(7 または 8 ビット)の設定)
 - UAnMOD.PREN ビット (パリティイネーブル/ディスエーブル)
 - UAnMOD.PRMD ビット (パリティモード(偶数または奇数)の選択)
 - UAnMOD.STPB ビット (ストップビット長(1 または 2 ビット)の設定)
 - UAnMOD.CAREN ビット (キャリア変調機能イネーブル/ディスエーブル)
 - UAnMOD.PECAR ビット (キャリア変調期間(H データ期間/L データ期間)の選択)
 - UAnBR.BRT[7:0]ビットと UAnBR.FMD[3:0]ビットを設定する。(転送レートを設定)
 - UAnCAWF.CRPER[7:0]ビットを設定する。(キャリア周期の設定)
 - UAnCTL レジスタの以下のビットを設定する。
 - UAnCTL.SFTRST ビットを 1 に設定 (ソフトウェアリセットを実行)
 - UAnCTL.MODEN ビットを 1 に設定 (UART3 Ch.*n* の動作をイネーブル)
 - 割り込みを使用する場合は以下のビットを設定する。
 - UAnINTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - UAnINTE レジスタの割り込みイネーブルビットを 1 に設定* (割り込みイネーブル)
- * UAnINTF.TBEIF ビットの初期値が 1 のため、UAnINTE.TBEIE ビットを 1 に設定すると、その直後に割り込みが発生します。

11 UART(UART3)

11.5.2 データ送信

UART3 Ch.*n* のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図 11.5.2.1 と図 11.5.2.2 に示します。

送信手順

1. UAnINTF.TBEIF ビットが 1(送信バッファエンプティ)になっていることを確認する。
2. UAnTXD レジスタに送信データを書き込む。
3. 割り込みを使用する場合は UART3 割り込みを待つ。
4. 送信データ終了まで、1~3(または 1 と 2)を繰り返す。

UART3 の送信動作

UAnTXD レジスタに送信データを書き込むことにより、UART3 Ch.*n* は送信動作を開始します。UAnTXD レジスタの送信データは自動的にシフトレジスタへ転送され、UAnINTF.TBEIF ビットが 1(送信バッファエンプティ)にセットされます。

次にスタートビットが USOUT*n* 端子から出力され、UAnINTF.TBSY ビットが 1(送信ビジー)にセットされます。続いて、シフトレジスタのデータが LSB から順次出力されます。MSB の出力後、パリティビット(パリティ機能有効時のみ)とストップビットが出力されます。

USOUT*n* 端子から送信データが出力されている最中であっても、UAnINTF.TBEIF ビット = 1 を確認した後に、UAnTXD レジスタへ次の送信データを書き込むことができます。

USOUT*n* 端子からストップビットが出力されたときに、UAnTXD レジスタに送信データが書き込まれていなかった場合、UAnINTF.TBSY ビットが 0 にクリアされ、UAnINTF.TENDIF ビットが 1(送信完了)にセットされます。

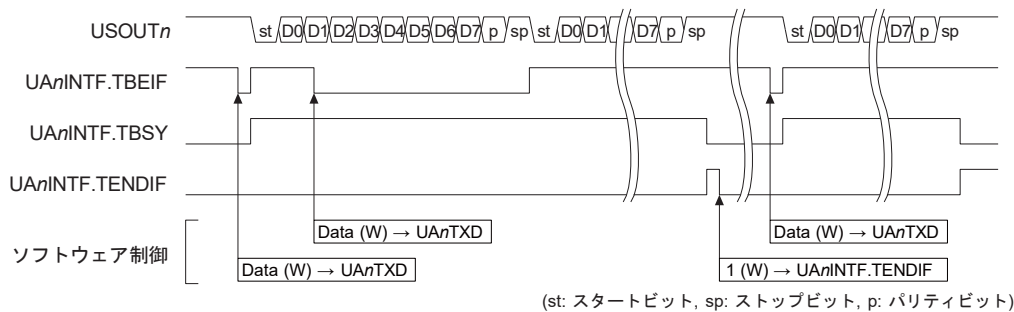


図 11.5.2.1 データ送信動作例

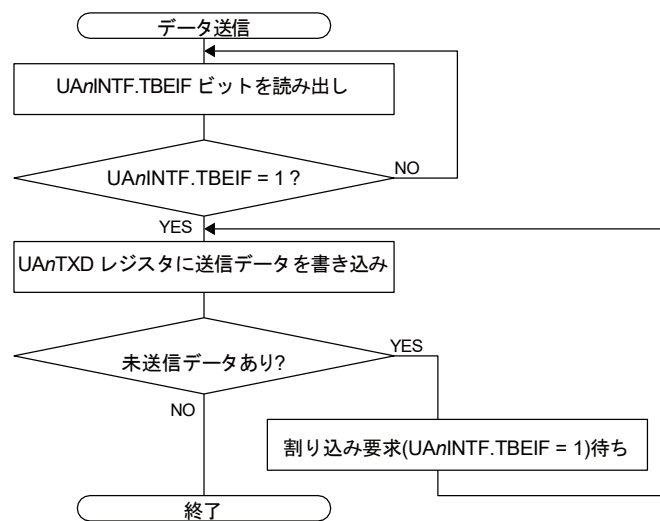


図 11.5.2.2 データ送信フローチャート

11.5.3 データ受信

UART3 Ch.*n* のデータ受信手順と動作を以下に示します。また、タイミングチャートを図 11.5.3.1 に、フローチャートを図 11.5.3.2 に示します。

受信手順(1 バイトずつ読み出し)

1. 割り込みを使用する場合は UART3 割り込みを待つ。
2. UAnINTF.RB1FIF ビットが 1(受信バッファ 1 バイトフル)になっていることを確認する。
3. UAnRXD レジスタから受信データを読み出す。
4. 受信終了まで、1~3(または 2 と 3)を繰り返す。

受信手順(2 バイトずつ読み出し)

1. 割り込みを使用する場合は UART3 割り込みを待つ。
2. UAnINTF.RB2FIF ビットが 1(受信バッファ 2 バイトフル)になっていることを確認する。
3. UAnRXD レジスタから受信データを 2 回読み出す。
4. 受信終了まで、1~3(または 2 と 3)を繰り返す。

UART3 の受信動作

USIN n 端子にスタートビットが入力されると、UART3 Ch.*n* は受信動作を開始します。

受信回路はスタートビットの LOW レベルを検出して続くデータビットのサンプリングを開始し、受信用シフトレジスタに受信データを取り込みます。また、スタートビットを検出した時点で UAnINTF.RBSY ビットを 1 にセットします。

ストップビットを受信するタイミングで、UAnINTF.RBSY ビットを 0 にクリアし、受信用シフトレジスタのデータを受信データバッファに転送します。

受信データバッファは 2 バイトの FIFO で構成されており、満杯になるまで受信することが可能です。受信データバッファが 1 つ目のデータを受信すると、UAnINTF.RB1FIF ビットが 1(受信バッファ 1 バイトフル)にセットされます。1 つ目のデータを読み出さずに 2 つ目のデータを受信すると、UAnINTF.RB2FIF ビットが 1(受信バッファ 2 バイトフル)にセットされます。

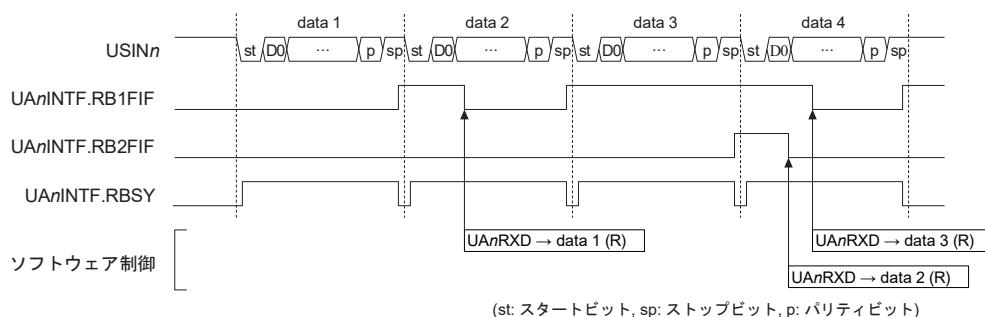


図 11.5.3.1 データ受信動作例

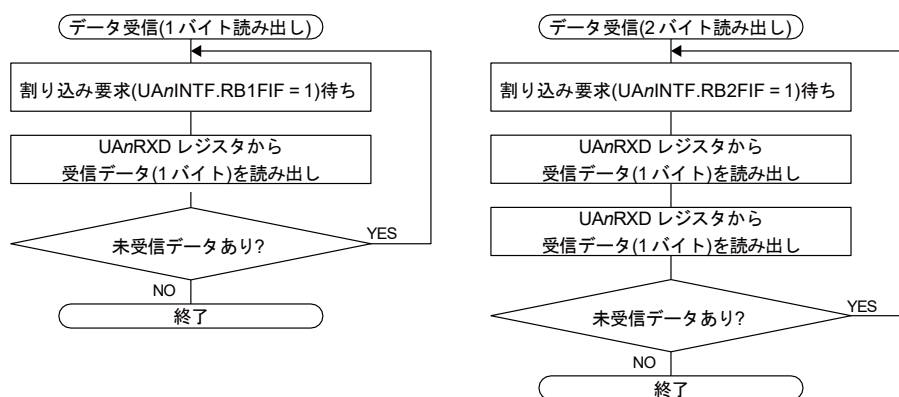


図 11.5.3.2 データ受信フローチャート

11 UART(UART3)

11.5.4 IrDA インタフェース

UART3 には RZI 変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA1.0 に対応する赤外線通信回路を構成することができます。

IrDA インタフェース機能を使用するには、 $UAnMOD.IRMD$ ビットを 1 に設定します。

IrDA インタフェース機能を有効にした場合も、データ送受信の制御方法は通常のインタフェースと同じです。

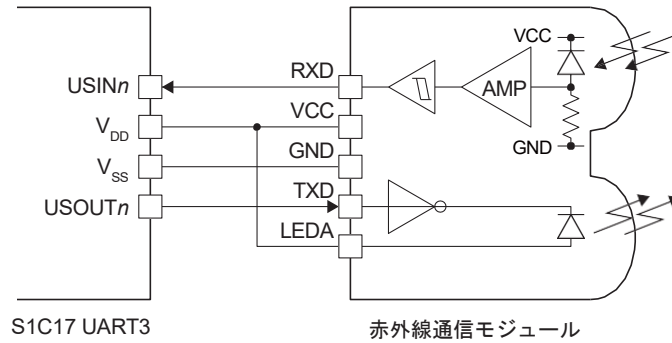


図 11.5.4.1 赤外線通信モジュールとの接続例

UART3 Ch. n の送信用シフトレジスタから出力された送信データは、SIR 方式の RZI 変調回路にて LOW 出力が通常の $3/16$ のパルス幅に変調された後、 $USOUTn$ 端子から出力されます。

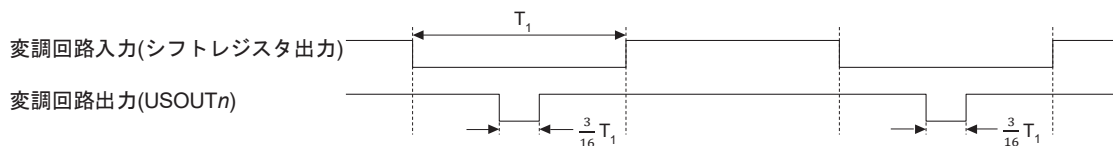


図 11.5.4.2 IrDA 送信信号波形

受信した IrDA 信号は RZI 復調回路に入力され、通常の LOW パルス幅に変換された後、受信用シフトレジスタに入力されます。



図 11.5.4.3 IrDA 受信信号波形

注: ・ IrDA インタフェース機能を使用する場合は、ボーレート分周比を $1/16$ に設定してください。

・ 入力する IrDA 信号の LOW パルス T_2 は $CLK_UART3 \times 3$ 周期以上の幅としてください。

11.5.5 キャリア変調

UART3 にはキャリア変調機能が組み込まれています。

$UAnMOD.CAREN$ ビットを 1 に設定するとキャリア変調機能が有効になり、 $UAnMOD.PECAR$ ビットの設定に応じて、キャリア変調波形を出力をすることが可能となります。この場合も、データ送信の制御方法は通常のインタフェースと同じです。

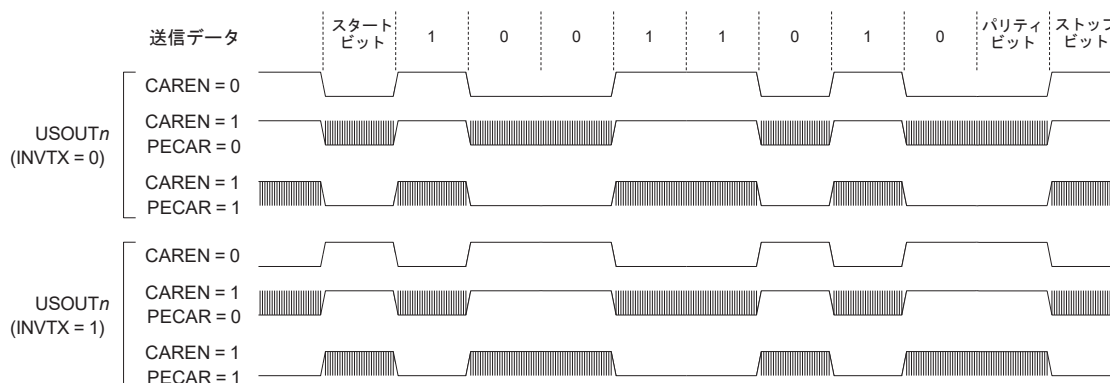


図 11.5.5.1 キャリア変調波形(UAnMOD.CHNLN = 1, UAnMOD.STPB = 0, UAnMOD.PREN = 1)

キャリア変調出力の周波数は、UAnCAWF.CRPER[7:0]ビットの設定により決まります。希望の周波数を得るための設定値は次の式で計算できます。

$$\text{キャリア変調出力周波数} = \frac{\text{CLK_UART3}}{(\text{CRPER} + 1) \times 2} \text{ [Hz]} \quad (\text{式 11.2})$$

ここで

CLK_UART3: UART3 動作クロック周波数[Hz]
CRPER: UAnCAWF.CRPER[7:0]設定値(0~255)

11.6 受信エラー

UART3はデータ受信時に、フレーミングエラー、パリティエラー、オーバーランエラーの3種類の受信エラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。

11.6.1 フレーミングエラー

ストップビットが検出できなかったとき(ストップビットを0として受信したとき)、UART3は同期ずれと判断して、フレーミングエラーが発生したものと見なします。エラーが発生したデータも受信データバッファに転送され、UAnRXDレジスタから読み出せる状態になった時点でUAnINTF.FEIFビット(フレーミングエラー割り込みフラグ)が1にセットされます。

注: フレーミングエラー/パリティエラー割り込みフラグのセットタイミング割り込みフラグはエラーとなったデータが受信データバッファに転送後にセットされますが、その時点のバッファの状態によりセットされるタイミングが異なります。

- ・受信データバッファが空の場合
エラーが発生したデータを受信データバッファに転送した時点で割り込みフラグがセットされます。
- ・受信データバッファに1バイトの空きがある場合
エラーが発生したデータを受信データバッファの2バイト目に転送した後、ロード済みの1バイト目のデータが読み出された時点で割り込みフラグがセットされます。

11.6.2 パリティエラー

パリティ機能が有効に設定されている場合、受信時にパリティチェックが行われます。UART3は、シフトレジスタに受信したデータとパリティビットとの整合をチェックし、結果が不整合の場合パリティエラーと判断します。エラーが発生したデータも受信データバッファに転送され、UAnRXDレジスタから読み出せる状態になった時点でUAnINTF.PEIFビット(パリティエラー割り込みフラグ)が1にセットされます(フレーミングエラーの注を参照)。

11 UART(UART3)

11.6.3 オーバーランエラー

シフトレジスタにデータを受信し終わった時点で受信データバッファが満杯(2バイトの受信データが読み出されていない)の場合、データを受信データバッファに転送することができないため、オーバーランエラーが発生します。

オーバーランエラーが発生すると UAnINTF.OEIF ビット(オーバーランエラー割り込みフラグ)が1にセットされます。

11.7 割り込み

UART3には、表 11.7.1 に示す割り込みを発生させる機能があります。

表 11.7.1 UART3 の割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	UAnINTF.TENDIF	ストップビット送信後にUAnINTF.TBEIFビット=1のとき	1書き込み、ソフトリセット
フレーミングエラー	UAnINTF.FEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
パリティエラー	UAnINTF.PEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
オーバーランエラー	UAnINTF.OEIF	“受信エラー”を参照	1書き込み、ソフトリセット
受信バッファ 2バイトフル	UAnINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	受信データの読み出し、ソフトリセット
受信バッファ 1バイトフル	UAnINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファエンプティ	UAnINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されません。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

11.8 制御レジスタ

UART3 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に UART3 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、UART3 動作クロックの分周比を選択します。

Bits 3–2 Reserved
Bits 1–0 CLKSRC[1:0]

これらのビットは、UART3 のクロックソースを選択します。

表 11.8.1 クロックソースと分周比の設定

UAnCLK. CLKDIV[1:0]ビット	UAnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: UAnCLK レジスタは、UAnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

UART3 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnMOD	15–13	–	0x0	–	R	–
	12	PECAR	0	H0	R/W	
	11	CAREN	0	H0	R/W	
	10	BRDIV	0	H0	R/W	
	9	INVRX	0	H0	R/W	
	8	INVTX	0	H0	R/W	
	7	–	0	–	R	
	6	PUEN	0	H0	R/W	
	5	OUTMD	0	H0	R/W	
	4	IRMD	0	H0	R/W	
	3	CHLN	0	H0	R/W	
	2	PREN	0	H0	R/W	
	1	PRMD	0	H0	R/W	
0	STPB	0	H0	R/W		

Bits 15–13 Reserved

Bit 12 PECAR

このビットは、キャリア変調の期間を選択します。

1 (R/W): H データ期間キャリア変調

0 (R/W): L データ期間キャリア変調

Bit 11 CAREN

このビットは、キャリア変調機能を有効にします。

1 (R/W): キャリア変調機能イネーブル

0 (R/W): キャリア変調機能ディスエーブル

Bit 10 BRDIV

このビットは、ボーレートジェネレータで転送(サンプリング)クロックを生成する際の UART3 動作クロック分周比を設定します。

1 (R/W): 1/4

0 (R/W): 1/16

Bit 9 INVRX

このビットは、USIN_n の入力反転機能を有効にします。

1 (R/W): 入力反転機能イネーブル

0 (R/W): 入力反転機能ディスエーブル

Bit 8 INVTX

このビットは、USOUT_n の出力反転機能を有効にします。

1 (R/W): 出力反転機能イネーブル

0 (R/W): 出力反転機能ディスエーブル

11 UART(UART3)

Bit 7 **Reserved**

Bit 6 **PUEN**

このビットは、USIN n 端子のプルアップをイネーブルにします。

1 (R/W): プルアップイネーブル

0 (R/W): プルアップディスエーブル

Bit 5 **OUTMD**

このビットは、USOUT n 端子の出力モードを設定します。

1 (R/W): オープンドレイン出力

0 (R/W): プッシュプル出力

Bit 4 **IRMD**

このビットは、IrDA インタフェース機能をイネーブルにします。

1 (R/W): IrDA インタフェース機能イネーブル

0 (R/W): IrDA インタフェース機能ディスエーブル

Bit 3 **CHLN**

このビットは、データ長を設定します。

1 (R/W): 8 ビット

0 (R/W): 7 ビット

Bit 2 **PREN**

このビットは、パリティ機能をイネーブルにします。

1 (R/W): パリティ機能イネーブル

0 (R/W): パリティ機能ディスエーブル

Bit 1 **PRMD**

このビットは、パリティ機能を使用する場合に奇数パリティ/偶数パリティを選択します。

1 (R/W): 奇数パリティ

0 (R/W): 偶数パリティ

Bit 0 **STPB**

このビットは、ストップビット長を設定します。

1 (R/W): 2 ビット

0 (R/W): 1 ビット

注: ・ UAnMOD レジスタは、UAnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

・ UAnMOD.IRMD ビットと UAnMOD.CAREN ビットを同時に 1 に設定しないでください。

UART3 Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnBR	15-12	–	0x0	–	R	–
	11-8	FMD[3:0]	0x0	H0	R/W	
	7-0	BRT[7:0]	0x00	H0	R/W	

Bits 15-12 **Reserved**

Bits 11-8 **FMD[3:0]**

Bits 7-0 **BRT[7:0]**

これらのビットは、UART3 の転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: ・ UAnBR レジスタは、UAnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

・ UAnMOD.BRDIV ビットが 1 の場合は、UAnBR.FMD[3:0] ビットに 0~3 以外の値を設定しないでください。

UART3 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCTL	15-8	–	0x00	–	R	–
	7-2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-2 Reserved

Bit 1 SFTRST

このビットは、UART3 をソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

UART3 の送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、UART3 の動作をイネーブルにします。

1 (R/W): UART3 動作イネーブル(動作クロックが供給されます。)

0 (R/W): UART3 動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中に UAnCTL.MODEN ビットを 1 から 0 に変更した場合は、送受信途中のデータは保証されません。この操作の後、UAnCTL.MODEN ビットを再度 1 に設定する場合は、必ず UAnCTL.SFTRST ビットにも 1 を書き込んでください。

UART3 Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnTXD	15-8	–	0x00	–	R	–
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 TXD[7:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、UAnINTF.TBEIF = 1 になっていることを確認してください。

UART3 Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnRXD	15-8	–	0x00	–	R	–
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved

Bits 7-0 RXD[7:0]

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは 2 バイトの FIFO で構成されており、受信データは古いものから順に読み出されます。

11 UART(UART3)

UART3 Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnINTF	15-10	—	0x00	—	R	—
	9	RBSY	0	H0/S0	R	
	8	TBSY	0	H0/S0	R	
	7	—	0	—	R	
	6	TENDIF	0	H0/S0	R/W	Cleared by writing 1.
	5	FEIF	0	H0/S0	R/W	Cleared by writing 1 or reading the UAnRXD register.
	4	PEIF	0	H0/S0	R/W	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	RB2FIF	0	H0/S0	R	Cleared by reading the UAnRXD register.
	1	RB1FIF	0	H0/S0	R	
0	TBEIF	1	H0/S0	R	Cleared by writing to the UAnTXD register.	

Bits 15-10 Reserved

Bit 9 RBSY

このビットは、受信状態を示します。(図 11.5.3.1 参照)

1 (R): 受信中

0 (R): 待機中

Bit 8 TBSY

このビットは、送信状態を示します。(図 11.5.2.1 参照)

1 (R): 送信中

0 (R): 待機中

Bit 7 Reserved

Bit 6 TENDIF

Bit 5 FEIF

Bit 4 PEIF

Bit 3 OEIF

Bit 2 RB2FIF

Bit 1 RB1FIF

Bit 0 TBEIF

これらのビットは、UART3 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

UAnINTF.TENDIF ビット: 送信完了割り込み

UAnINTF.FEIF ビット: フレーミングエラー割り込み

UAnINTF.PEIF ビット: パリティエラー割り込み

UAnINTF.OEIF ビット: オーバーランエラー割り込み

UAnINTF.RB2FIF ビット: 受信バッファ 2 バイトフル割り込み

UAnINTF.RB1FIF ビット: 受信バッファ 1 バイトフル割り込み

UAnINTF.TBEIF ビット: 送信バッファエンプティ割り込み

UART3 Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnINTE	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6	TENDIE	0	H0	R/W	
	5	FEIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

Bits 15-7 Reserved

Bit 6 TENDIE

Bit 5 FEIE

Bit 4 PEIE

Bit 3 OEIE

Bit 2 RB2FIE

Bit 1 RB1FIE

Bit 0 TBEIE

これらのビットは、UART3 の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

UAnINTE.TENDIE ビット: 送信完了割り込み

UAnINTE.FEIE ビット: フレーミングエラー割り込み

UAnINTE.PEIE ビット: パリティエラー割り込み

UAnINTE.OEIE ビット: オーバーランエラー割り込み

UAnINTE.RB2FIE ビット: 受信バッファ 2 バイトフル割り込み

UAnINTE.RB1FIE ビット: 受信バッファ 1 バイトフル割り込み

UAnINTE.TBEIE ビット: 送信バッファエンプティ割り込み

UART3 Ch.n Carrier Waveform Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCAWF	15-8	–	0x00	–	R	–
	7-0	CRPER[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 CRPER[7:0]

これらのビットは、キャリア変調出力の周波数を設定します。詳細は、“キャリア変調”を参照してください。

12 同期式シリアルインタフェース(SPIA)

12.1 概要

SPIA は同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- ・ マスタモード、スレーブモードに対応
- ・ データ長: 2~16 ビットに設定可能
- ・ MSB 先頭、LSB 先頭のデータフォーマットを選択可能
- ・ クロックの極性と位相を選択可能
- ・ 全二重通信に対応
- ・ 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- ・ 受信バッファフル、送信バッファエンpty、送信完了、オーバーラン割り込みを発生可能
- ・ マスタモードでは、16 ビットタイマを使用してボーレートを設定可能
- ・ スレーブモードでは、外部入力クロック SPICLK_n のみで動作可能
- ・ スレーブモードは SLEEP モード時も動作し、SPIA 割り込みによるウェイクアップが可能
- ・ 内部で入力端子のプルアップまたはプルダウンが可能

図 12.1.1 に SPIA の構成を示します。

表 12.1.1 S1C17W11 の SPIA チャンネル構成

項目	S1C17W11
チャンネル数	1チャンネル (Ch.0)
内部クロック入力	Ch.0 ← 16ビットタイマ Ch.1

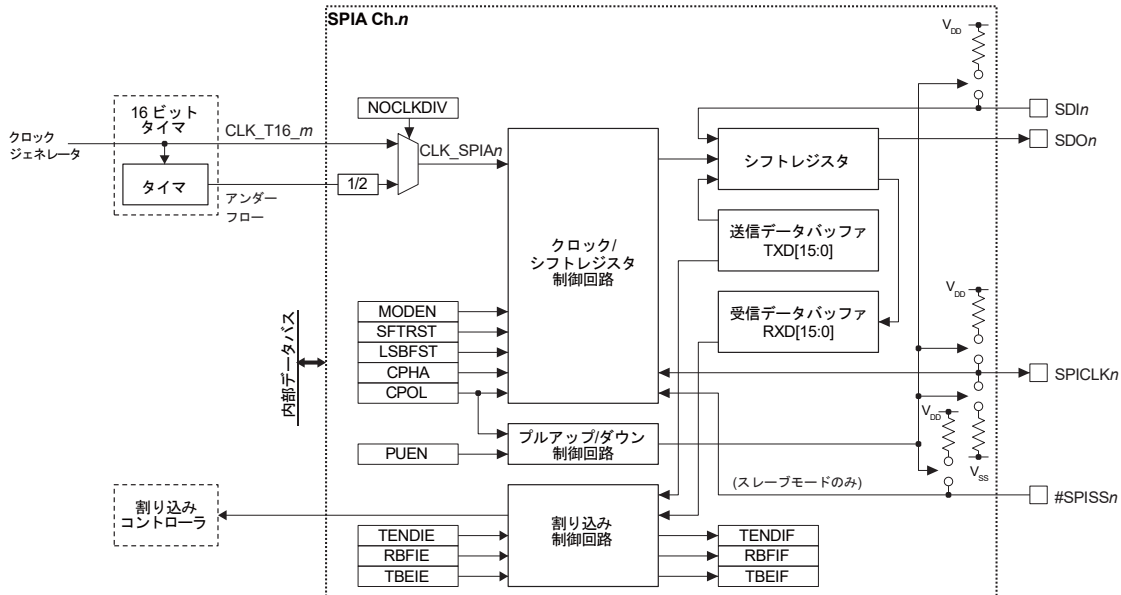


図 12.1.1 SPIA の構成

12.2 入出力端子と外部接続

12.2.1 入出力端子一覧

表 12.2.1.1 に SPIA の端子一覧を示します。

表 12.2.1.1 SPIA 端子一覧

端子名	I/O*	イニシャル状態*	機能
SDIn	I	I (Hi-Z)	SPIA Ch.nデータ入力端子
SDOn	OまたはHi-Z	Hi-Z	SPIA Ch.nデータ出力端子
SPICLK _n	IまたはO	I (Hi-Z)	SPIA Ch.n外部クロック入出力端子
#SPISS _n	I	I (Hi-Z)	SPIA Ch.nスレーブセレクト信号入力端子

* 端子機能を SPIA に切り換えた時点の状態

これらの SPIA 端子と他の機能がポートを共有している場合、SPIA を動作させる前に SPIA の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

12.2.2 外部との接続

SPIA にはマスターモードとスレーブモードがあります。それぞれのモードにおける外部 SPI デバイスとの接続を、図 12.2.2.1 と図 12.2.2.2 に示します。

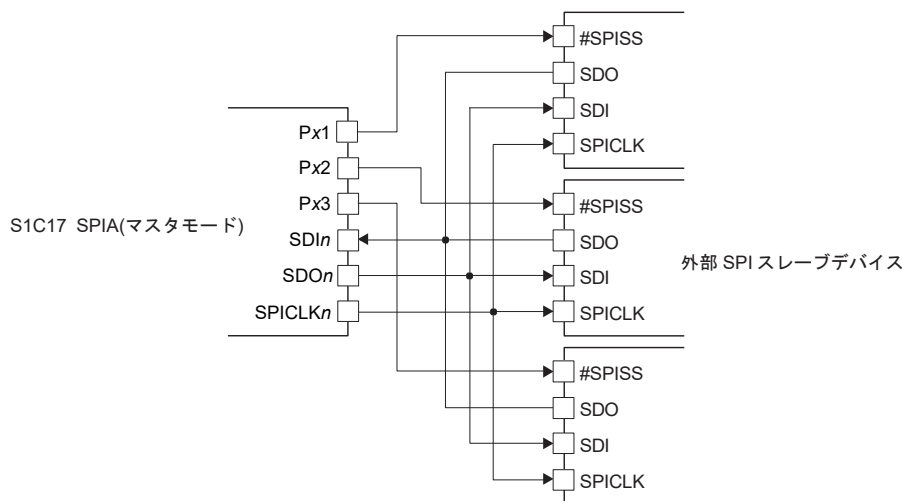


図 12.2.2.1 マスターモードの SPIA と外部 SPI スレーブデバイスとの接続

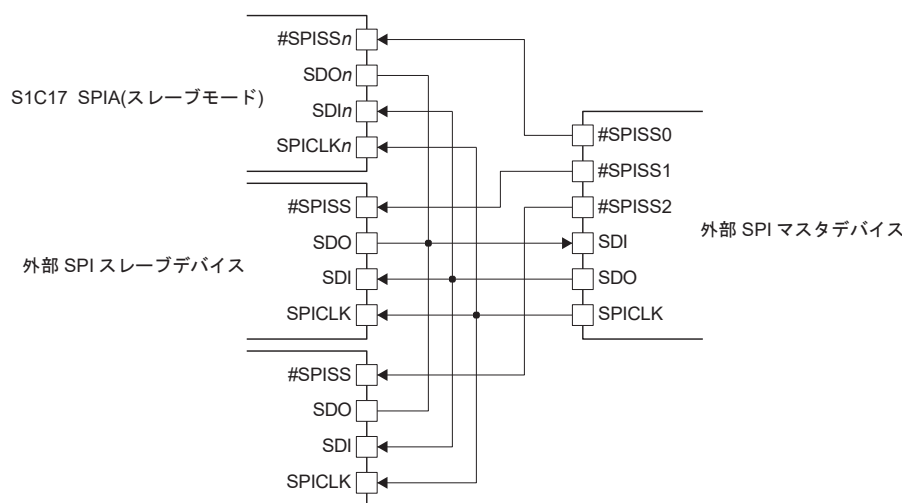


図 12.2.2.2 スレーブモードの SPIA と外部 SPI マスタデバイスとの接続

12 同期式シリアルインタフェース(SPIA)

12.2.3 マスタモードとスレーブモードの端子機能

端子機能はマスタモードとスレーブモードの選択により切り換わります。モードによる端子機能の相違点を表 12.2.3.1 に示します。

表 12.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能	スレーブモード時の機能
SDIn	常に入力状態になります。	
SDOn	常に出力状態になります。	#SPISSn端子にLOWレベルが入力されている期間は出力状態になります。#SPISSn端子にHIGHレベルが入力されている期間はHi-Z状態になります。
SPICLK _n	SPIクロックを外部に出力します。出力するクロックの極性、および位相を任意に選択できます。	外部SPIクロックを入力します。入力するクロックの極性、および位相を任意に選択できます。
#SPISSn	使用しません。ポートにこの入力機能を割り当てる必要はありません。マスタモードでスレーブセレクト信号を出力するには、ポートの汎用入出力機能を使用してください。	#SPISSn端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、SDIn端子およびSPICLK _n 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。

12.2.4 入力端子のプルアップ/プルダウン機能

SPIA の入力端子(マスタモードの SDIn、スレーブモードの SDIn、SPICLK_n、および#SPISSn)には、表 12.2.4.1 に示すプルアップ機能またはプルダウン機能があります。この機能は、SPI_nMOD.PUEN ビットを 1 に設定するとイネーブルになります。

表 12.2.4.1 入力端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
SDIn	プルアップ	プルアップ
SPICLK _n	-	SPI _n MOD.CPOLビット = 1: プルアップ SPI _n MOD.CPOLビット = 0: プルダウン
#SPISSn	-	プルアップ

12.3 クロック設定

12.3.1 SPIA の動作クロック

マスタモード時の動作クロック

マスタモード時の SPIA 動作クロックは 16 ビットタイマから供給されます。これには以下に示す 2 つのオプションが用意されています。

16 ビットタイマの動作クロックをそのまま使用

SPI_nMOD.NOCLKDIV ビットを 1 に設定すると、クロックソースとその分周比を選択して設定された、SPIA チャンネルに対応する 16 ビットタイマチャンネルの動作クロック CLK_T16_m が、CLK_SPIA_n として SPIA にも供給されます。このクロックはそのまま SPI クロック SPICLK_n としても使用されますので、CLK_SPIA_n 周波数がそのままボーレートになります。

SPIA に CLK_SPIA_n を供給するには、クロックジェネレータで 16 ビットタイマのクロックソースをイネーブルにしておく必要があります。対応する 16 ビットタイマチャンネルの T16_mCTL.MODEN ビットと T16_mCTL.PRUN ビットは、1 でも 0 でも構いません。

このモードでは、対応する 16 ビットタイマチャンネルのタイマ機能を別の目的に使用可能です。

16 ビットタイマをボーレートジェネレータとして使用

SPI_nMOD.NOCLKDIV ビットを 0 に設定すると、対応する 16 ビットタイマチャンネルで生成されたアンダーフロー信号を SPIA に入力して SPICLK_n を生成します。この場合は、適切なリロードデータを設定して 16 ビットタイマを動作させる必要があります。この場合の SPICLK_n 周波数(ボーレート)、16 ビットタイマのリロードデータは以下の式で求められます。

$$f_{\text{CLK_SPIA}} = \frac{f_{\text{CLK_SPIA}}}{2 \times (\text{RLD} + 1)} \quad \text{RLD} = \frac{f_{\text{CLK_SPIA}}}{f_{\text{SPICLK}} \times 2} - 1 \quad (\text{式 12.1})$$

ここで

f_{SPICLK} : SPICLK n 周波数[Hz] (=ボーレート[bps])

$f_{\text{CLK_SPIA}}$: SPIA 動作クロック周波数[Hz]

RLD: 16 ビットタイマリロードデータ値

16 ビットタイマの制御方法については、“16 ビットタイマ”の章を参照してください。

スレープモード時の動作クロック

スレープモードの SPIA は、外部の SPI マスタから SPICLK n 端子に供給されるクロックで動作します。SPIA チャンネルに対応する 16 ビットタイマチャンネル(クロックソースセクタと分周器を含む)は使用しません。また、SPI n MOD.NOCLKDIV ビットの設定は無効になります。

SLEEP モードですべてのクロックが停止している状態でも、SPIA は外部の SPI マスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

12.3.2 DEBUG モード時のクロック供給

マスタモードでは、DEBUG モード時の動作クロックの供給を T16 $_m$ CLK.DBRUN ビットで制御します。

T16 $_m$ CLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると SPIA Ch. n への CLK_T16 $_m$ の供給が停止します。その後通常モードに戻ると、CLK_T16 $_m$ の供給が再開します。CLK_T16 $_m$ の供給が停止すると SPIA Ch. n の動作は停止しますが、出力端子やレジスタは DEBUG モードへ移行前の状態に保持されます。

T16 $_m$ CLK.DBRUN ビット = 1 の場合、DEBUG モード時も CLK_T16 $_m$ の供給は停止せず、SPIA Ch. n は動作を継続します。

スレープモード時は、DEBUG モードか通常モードかにかかわらず、外部の SPI マスタから SPICLK n 端子に供給されるクロックで動作します。

12.3.3 SPI クロック(SPICLK n)の位相と極性

SPICLK n の位相と極性は、SPI n MOD.CPHA ビットと SPI n MOD.CPOL ビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図 12.3.3.1 に示します。

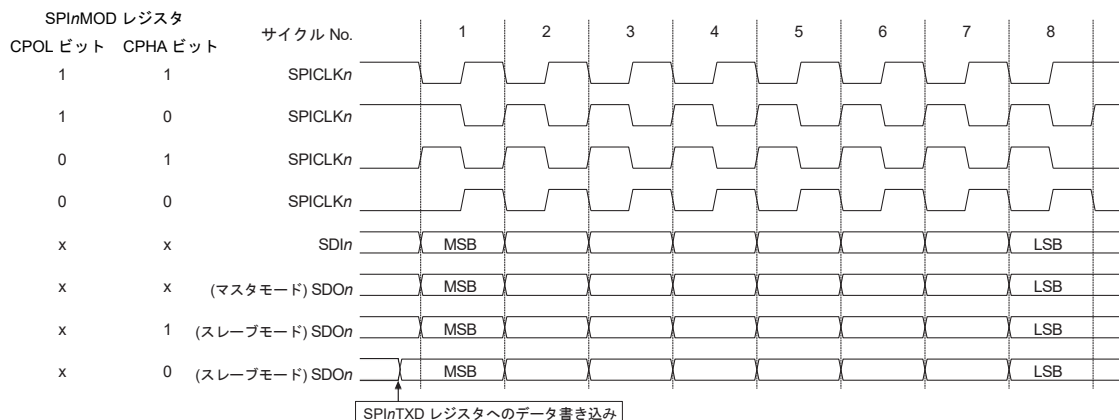


図 12.3.3.1 SPI クロックの位相と極性(SPI n MOD.LSBFST ビット = 0, SPI n MOD.CHNLN[3:0]ビット = 0x7)

12.4 データフォーマット

SPIA のデータ長は、SPI n MOD.CHNLN[3:0]ビットの設定により、2 ビット～16 ビットの中から選択できます。入出力の順列は、SPI n MOD.LSBFST ビットにて MSB 先頭、または LSB 先頭を選択できます。SPI n -MOD.CHNLN[3:0]ビット = 0x7、SPI n MOD.CPOL ビット = 0、SPI n MOD.CPHA ビット = 0 のときのデータフォーマットの例を、図 12.4.1 に示します。

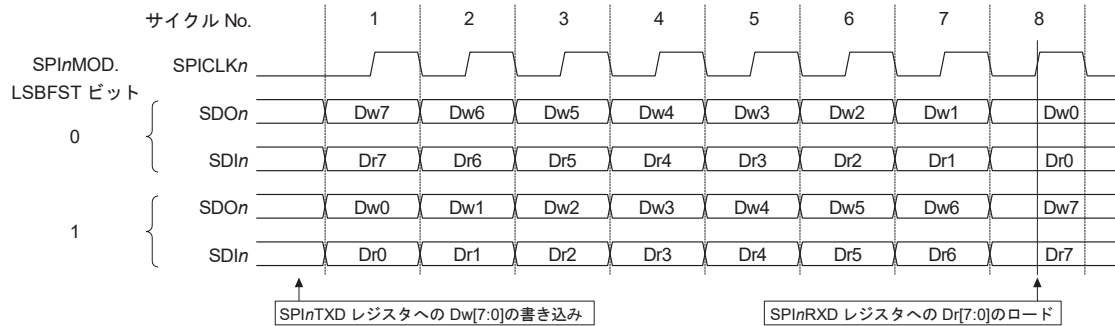


図 12.4.1 SPI n MOD.LSBFST ビットによるデータフォーマットの選択
(SPI n MOD.CHNLN[3:0]ビット = 0x7, SPI n MOD.CPOL ビット = 0, SPI n MOD.CPHA ビット = 0)

12.5 動作

12.5.1 初期設定

SPIA Ch. n は、以下の手順により初期設定を行います。

1. (マスタモードで使用する場合のみ) 16 ビットタイマを制御してクロックを生成し、SPIA Ch. n に供給する。
2. SPI n MOD レジスタの以下のビットを設定する。
 - SPI n MOD.PUEN ビット (入力端子のプルアップ/ダウンイネーブル)
 - SPI n MOD.NOCLKDIV ビット (マスタモード動作クロック選択)
 - SPI n MOD.LSBFST ビット (MSB 先頭/LSB 先頭選択)
 - SPI n MOD.CPHA ビット (クロック位相選択)
 - SPI n MOD.CPOL ビット (クロック極性選択)
 - SPI n MOD.MST ビット (マスタ/スレーブモード選択)
3. SPIA Ch. n 入出力機能をポートに割り当てる (“入出力ポート”の章を参照)。
4. SPI n CTL レジスタの以下のビットを設定する。
 - SPI n CTL.SFTRST ビットを 1 に設定 (ソフトウェアリセットを実行)
 - SPI n CTL.MODEN ビットを 1 に設定 (SPIA Ch. n の動作をイネーブル)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SPI n INTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - SPI n INTE レジスタの割り込みイネーブルビットを 1 に設定* (割り込みイネーブル)

* SPI n INTF.TBEIF ビットの初期値が 1 のため、SPI n INTE.TBEIE ビットを 1 に設定すると、その直後に割り込みが発生します。

12.5.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートそれぞれ図 12.5.2.1 と図 12.5.2.2 に示します。

送信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPI n INTF.TBEIF ビットが 1(送信バッファエンプティ)になっていることを確認する。
3. SPI n TXD レジスタに送信データを書き込む。

4. 割り込みを使用する場合は SPIA 割り込みを待つ。
5. 送信データ終了まで、2~4(または2と3)を繰り返す。
6. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

送信動作

SPI n TXD レジスタに送信データを書き込むことにより、SPIA Ch. n は送信動作を開始します。SPI n TXD レジスタの送信データは、自動的にシフトレジスタへ転送され、SPI n INTF.TBEIF ビットが1にセットされます。SPI n INTE.TBEIE ビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。

次に、SPICLK n 端子から SPI n MOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO n 端子から送信データが順次出力されます。

SPICLK n 端子からクロックが出力されている最中であっても、SPI n INTF.TBEIF ビット = 1を確認した後に、SPI n TXD レジスタへ次の送信データを書き込むことができます。

SPICLK n 端子から最後のクロックが出力されたときに、SPI n TXD レジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、SPI n INTF.TENDIF ビットが1にセットされます。このとき、SPI n INTE.TENDIE ビット = 1であれば、送信完了割り込み要求が発生します。

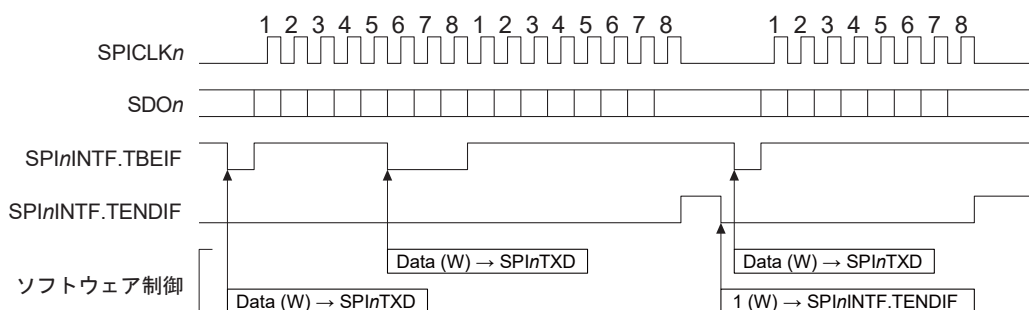


図 12.5.2.1 マスタモードのデータ送信動作例(SPI n MOD.CHLN[3:0]ビット = 0x7)

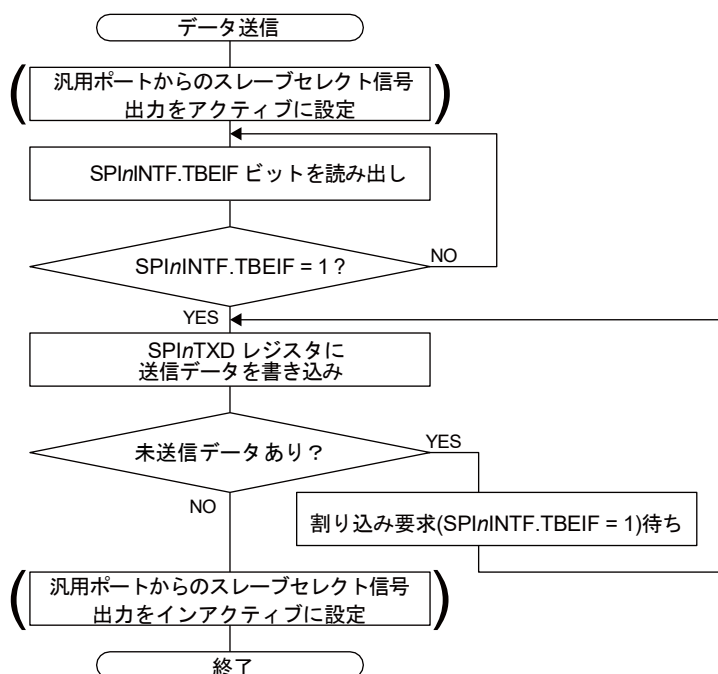


図 12.5.2.2 マスタモードのデータ送信フローチャート

12 同期式シリアルインタフェース(SPIA)

12.5.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図 12.5.3.1 と図 12.5.3.2 に示します。

受信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. $SPI_nINTF.TBEIF$ ビットが 1(送信バッファエンプティ)になっていることを確認する。
3. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
4. 送信バッファエンプティ割り込み($SPI_nINTF.TBEIF$ ビット = 1)を待つ。
5. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
6. 受信バッファフル割り込み($SPI_nINTF.RBFIF$ ビット = 1)を待つ。
7. SPI_nRXD レジスタから受信データを読み出す。
8. 受信終了まで、5~7を繰り返す。
9. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

注: $SPICLK_n$ を停止させずに連続的にデータを受信するためには、6 の後、7 と 5 の操作を“データビット長 - 1”に相当する $SPICLK_n$ 周期以内に完了させる必要があります。

受信動作

SPI_nTXD レジスタに送信データ(送信が不要の場合は任意の値で可)を書き込むことにより、 $SPIA$ Ch. n は送信動作と同時に受信動作も開始します。

$SPICLK_n$ 端子から $SPI_nMOD.CHLN[3:0]$ ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、 SDO_n 端子から送信データが順次出力されると共に、 SDI_n 端子から受信データがシフトレジスタへ取り込まれます。

$SPICLK_n$ 端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、 $SPI_nINTF.RBFIF$ ビットが 1 にセットされます。このとき、 $SPI_nINTE.RBFIE$ ビット = 1 であれば、受信バッファフル割り込み要求が発生します。これ以降、受信データバッファ内の受信データは SPI_nRXD レジスタから読み出すことができます。

注: $SPI_nINTF.RBFIF$ ビットが 1 にセットされている状態で $SPI_nMOD.CHLN[3:0]$ ビットによって定義されるビット数分のデータを受信すると、 SPI_nRXD レジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、 $SPI_nINTF.OEIF$ ビットがセットされます。

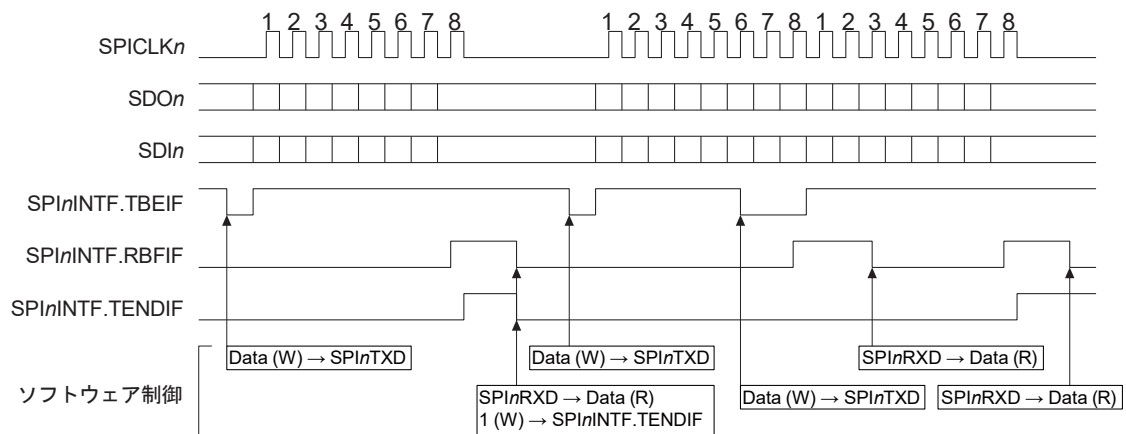
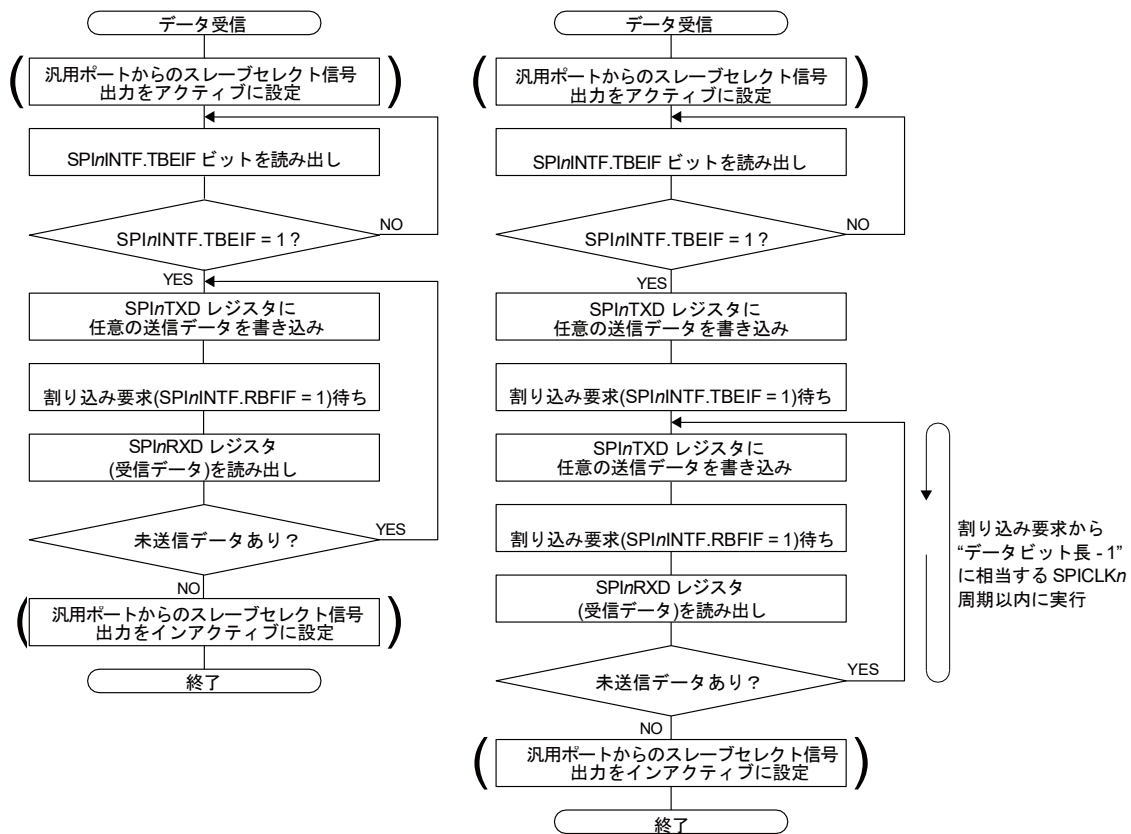


図 12.5.3.1 マスタモードのデータ受信動作例($SPI_nMOD.CHLN[3:0]$ ビット = 0x7)



(A)断続的にデータを受信する場合

(B)連続的にデータを受信する場合

図 12.5.3.2 マスタモードのデータ受信フローチャート

12.5.4 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPInINTF.TENDIF ビット = 1)を待つ。
2. SPInCTL.MODEN ビットを 0 に設定し、SPIA Ch.n の動作をディセーブルにする。
3. 16 ビットタイマを停止させ、SPIA Ch.n へのクロック供給を止める。

12.5.5 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図 12.5.5.1 と図 12.5.5.2 に示します。

送信手順

1. SPInINTF.TBEIF ビットが 1(送信バッファエンプティ)になっていることを確認する。
2. SPInTXD レジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(SPInINTF.TBEIF ビット = 1)を待つ。
4. 送信データ終了まで、2 と 3 を繰り返す。

注: SPInINTF.TBEIF ビットが 1 にセットされてから SPInTXD レジスタに書き込んだデータが送出完了するまでの間に、送信データを SPInTXD レジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、SDIn 端子から入力されたデータがそのままシフトアウトされます。

12 同期式シリアルインタフェース(SPIA)

受信手順

1. 受信バッファフル割り込み(SPI_nINTF.RBFIF ビット = 1)を待つ。
2. SPI_nRXD レジスタから受信データを読み出す。
3. 受信終了まで、1 と 2 を繰り返す。

送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部 SPI マスタから SPICLK_n 端子に供給される SPI クロックで動作します。
データ転送レートは SPICLK_n の周波数によって決まります。16 ビットタイマの制御は不要です。
- 外部 SPI マスタから #SPISS_n 端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合にのみスレーブデバイスとして動作します。
#SPISS_n = HIGH の場合、送受信操作、および SPICLK_n と SDI_n 端子入力がすべて無効になります。また、送受信の途中で #SPISS_n が HIGH になった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部 SPI マスタによって #SPISS_n がアクティブになり、SPICLK_n が入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEP モードでもデータの送受信動作が可能で、SPIA の割り込みによって CPU をウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

- 注:
- SPI_nINTF.RBFIF ビットが 1 にセットされている状態で、SPI_nMOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPI_nRXD レジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPI_nINTF.OEIF ビットがセットされます。
 - SPI_nINTF.TBEIF ビットが 1 にセットされている状態でも、SPICLK_n 端子から 1 ビット目のクロックが入力されると、SPIA はその時点でシフトレジスタに保存されているデータの送信を開始します。

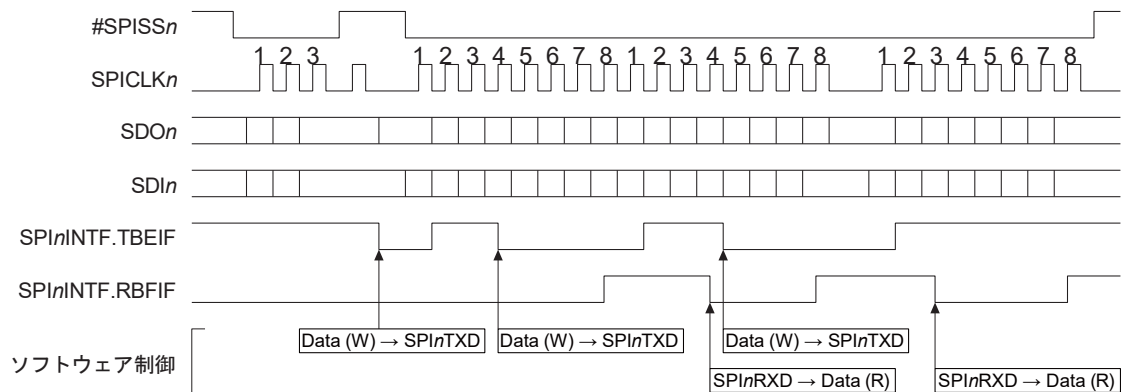


図 12.5.5.1 スレーブモード時の送受信動作例(SPI_nMOD.CHLN[3:0]ビット = 0x7)

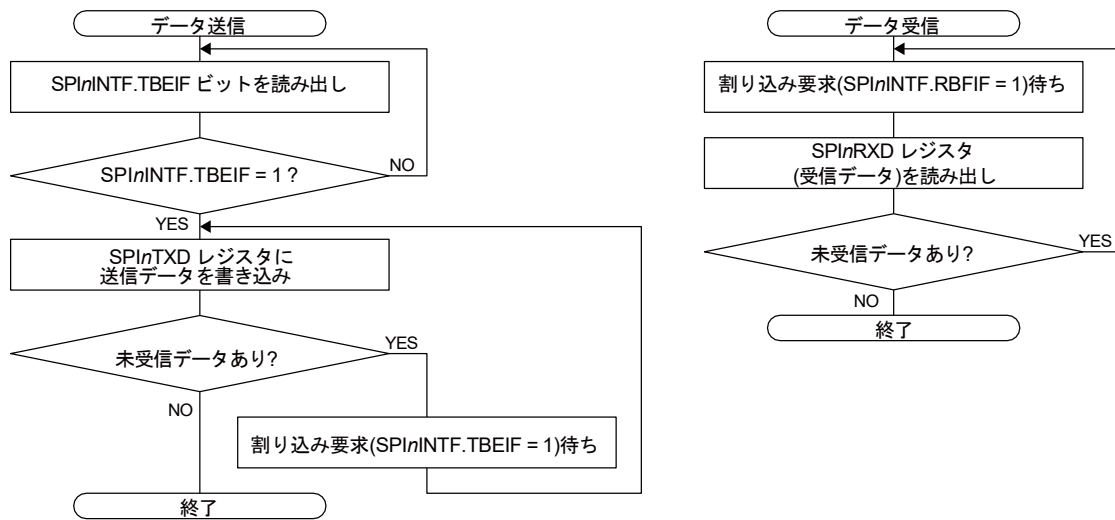


図 12.5.5.2 スレーブモード時の送受信フローチャート

12.5.6 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI<n>INTF.TENDIF ビット = 1)を待つ。または受信データなどで終了を判断する。
2. SPI<n>CTL.MODEN ビットを 0 に設定し、SPIA Ch.<n>の動作をディスエーブルにする。

12.6 割り込み

SPIA には、表 12.6.1 に示す割り込みを発生させる機能があります。

表 12.6.1 SPIA の割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	SPI<n>INTF.TENDIF	指定ビット数(SPI<n>MOD.CHLN[3:0]ビットによって定義)のデータ送信後にSPI<n>INTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	SPI<n>INTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPI<n>RXDレジスタの読み出し
送信バッファエンプティ	SPI<n>INTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPI<n>TXDレジスタへの書き込み
オーバーランエラー	SPI<n>INTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。また、SPI<n>INTF レジスタには SPIA の動作状態を示す BSY ビットも設けられています。

図 12.6.1 に、SPI<n>INTF.BSY ビットおよび SPI<n>INTF.TENDIF ビットがセットされるタイミングを示します。

12 同期式シリアルインタフェース(SPIA)

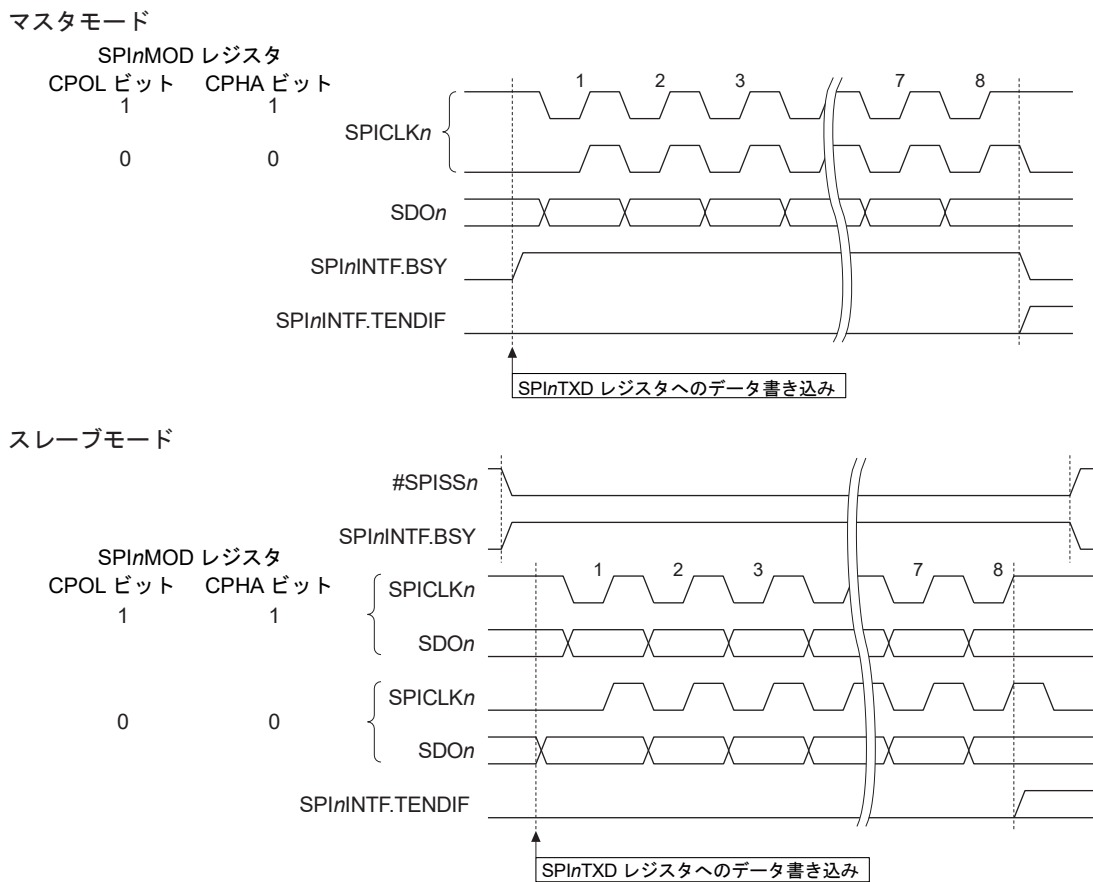


図 12.6.1 SPI_nINTF.BSY ビットおよび SPI_nINTF.TENDIF ビットのセットタイミング
(SPI_nMOD.CHLN[3:0]ビット = 0x7 の場合)

12.7 制御レジスタ

SPIA Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n MOD	15–12	–	0x0	–	R	–
	11–8	CHLN[3:0]	0x7	H0	R/W	
	7–6	–	0x0	–	R	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
0	MST	0	H0	R/W		

Bits 15–12 **Reserved**

Bits 11–8 **CHLN[3:0]**

これらのビットは、送受信データのビット長を設定します。

表 12.7.1 データビット長の設定

SPI _n MOD.CHNLN[3:0]ビット	データビット長
0xf	16ビット
0xe	15ビット
0xd	14ビット
0xc	13ビット
0xb	12ビット
0xa	11ビット
0x9	10ビット
0x8	9ビット
0x7	8ビット
0x6	7ビット
0x5	6ビット
0x4	5ビット
0x3	4ビット
0x2	3ビット
0x1	2ビット
0x0	設定禁止

Bits 7–6 Reserved**Bit 5 PUEN**

このビットは、入力端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

Bit 4 NOCLKDIV

このビットは、マスタモード時の SPICLK_n を選択します。スレーブモードでは無効です。

1 (R/W): SPICLK_n 周波数 = CLK_SPIA_n 周波数 (= 16 ビットタイマ動作クロック周波数)

0 (R/W): SPICLK_n 周波数 = 16 ビットタイマ出力周波数 / 2

詳細は、“SPIA の動作クロック”を参照してください。

Bit 3 LSBFST

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB 先頭

0 (R/W): MSB 先頭

Bit 2 CPHA**Bit 1 CPOL**

これらのビットは、SPI クロックの位相および極性を設定します。詳細は、“SPI クロック (SPICLK_n) の位相と極性”を参照してください。

Bit 0 MST

このビットは、SPIA の動作モード(マスタモードまたはスレーブモード)を設定します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SPI_nMOD レジスタは、SPI_nCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

SPIA Ch.*n* Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved

12 同期式シリアルインタフェース(SPIA)

Bit 1 SFTRST

このビットは、SPIA をソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SPIA のシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、SPIA の動作をイネーブルにします。

1 (R/W): SPIA 動作イネーブル(マスタモードでは、動作クロックが供給されます。)

0 (R/W): SPIA 動作ディスエーブル(マスタモードでは、動作クロックが停止します。)

注: データの送受信中に SPI_nCTL.MODEN ビットを 1 から 0 に変更した場合は、送受信途中のデータは保証されません。この操作の後、SPI_nCTL.MODEN ビットを再度 1 に設定する場合は、必ず SPI_nCTL.SFTRST ビットにも 1 を書き込んでください。

SPIA Ch.*n* Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n TXD	15-0	TXD[15:0]	0x0000	H0	R/W	-

Bits 15-0 TXD[15:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。マスタモードでは、この書き込みにより送受信動作を開始します。

SD_{On} 端子からデータが出力されている期間でも、SPI_nINTF.TBEIF ビット = 1 のときは送信データを書き込むことができます。

SPI_nMOD.CHNLN[3:0] ビットで設定されているデータビット長を超える上位ビットのデータは、SD_{On} 端子から出力されません。

注: SPI_nINTF.TBEIF ビット = 0 のときは、SPI_nTXD レジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

SPIA Ch.*n* Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n RXD	15-0	RXD[15:0]	0x0000	H0	R	-

Bits 15-0 RXD[15:0]

これらのビットを介して、受信データバッファが読み出せます。SD_{In} 端子からデータが入力されている期間でも、SPI_nINTF.RBFIF ビット = 1 のときには受信データを読み出すことができます。

SPI_nMOD.CHNLN[3:0] ビットで設定されているデータビット長を超える上位のビットは 0 になります。

注: SPI_nCTL.MODEN ビット、または SPI_nCTL.SFTRST ビットに 1 を書き込むと、SPI_nRXD.RXD[15:0] ビットは 0x0000 にクリアされます。

SPIA Ch.*n* Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n INTF	15-8	-	0x00	-	R	-
	7	BSY	0	H0	R	
	6-4	-	0x0	-	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the SPI _n RXD register.
	0	TBEIF	1	H0/S0	R	Cleared by writing to the SPI _n TXD register.

Bits 15–8 Reserved**Bit 7 BSY**

このビットは、SPIA の動作状態を示します。

1 (R): 送受信ビジー (マスタモード)、#SPISS n = LOW レベル(スレーブモード)

0 (R): 待機中

Bits 6–4 Reserved**Bit 3 OEIF****Bit 2 TENDIF****Bit 1 RBFIF****Bit 0 TBEIF**

これらのビットは、SPIA 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SPI n INTF.OEIF ビット: オーバーランエラー割り込み

SPI n INTF.TENDIF ビット: 送信完了割り込み

SPI n INTF.RBFIF ビット: 受信バッファフル割り込み

SPI n INTF.TBEIF ビット: 送信バッファエンプティ割り込み

SPIA Ch. n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI n INTE	15–8	–	0x00	–	R	–
	7–4	–	0x0	–	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15–4 Reserved**Bit 3 OEIE****Bit 2 TENDIE****Bit 1 RBFIE****Bit 0 TBEIE**

これらのビットは、SPIA の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SPI n INTE.OEIE ビット: オーバーランエラー割り込み

SPI n INTE.TENDIE ビット: 送信完了割り込み

SPI n INTE.RBFIE ビット: 受信バッファフル割り込み

SPI n INTE.TBEIE ビット: 送信バッファエンプティ割り込み

13 I²C(I2C)

13.1 概要

I2Cは、I²Cバスインタフェースのサブセットです。主な機能と特長を以下に示します。

- I²Cバスのマスタ(シングルマスタ)、またはスレーブデバイスとして動作
- 標準モード(最大 100 kbit/s)、およびファースト・モード(最大 400 kbit/s)に対応
- 7ビット、および10ビットアドレスモードに対応
- クロックストレッチに対応
- マスタモード時にクロックを生成するためのボーレートジェネレータを内蔵
- スレーブモード時は、I²Cバス上の信号のみで動作するため、他のクロックソースが不要
- スレーブモードは SLEEP モード時も動作し、アドレス一致検出時の割り込みによるウェイクアップが可能
- 自動バスクリア送出機能(マスタモード)
- 受信バッファフル、送信バッファエンプティ、その他の割り込みを発生可能

図 13.1.1 に I2C の構成を示します。

表 13.1.1 S1C17W11 の I2C チャンネル構成

項目	S1C17W11
チャンネル数	1チャンネル (Ch.0)

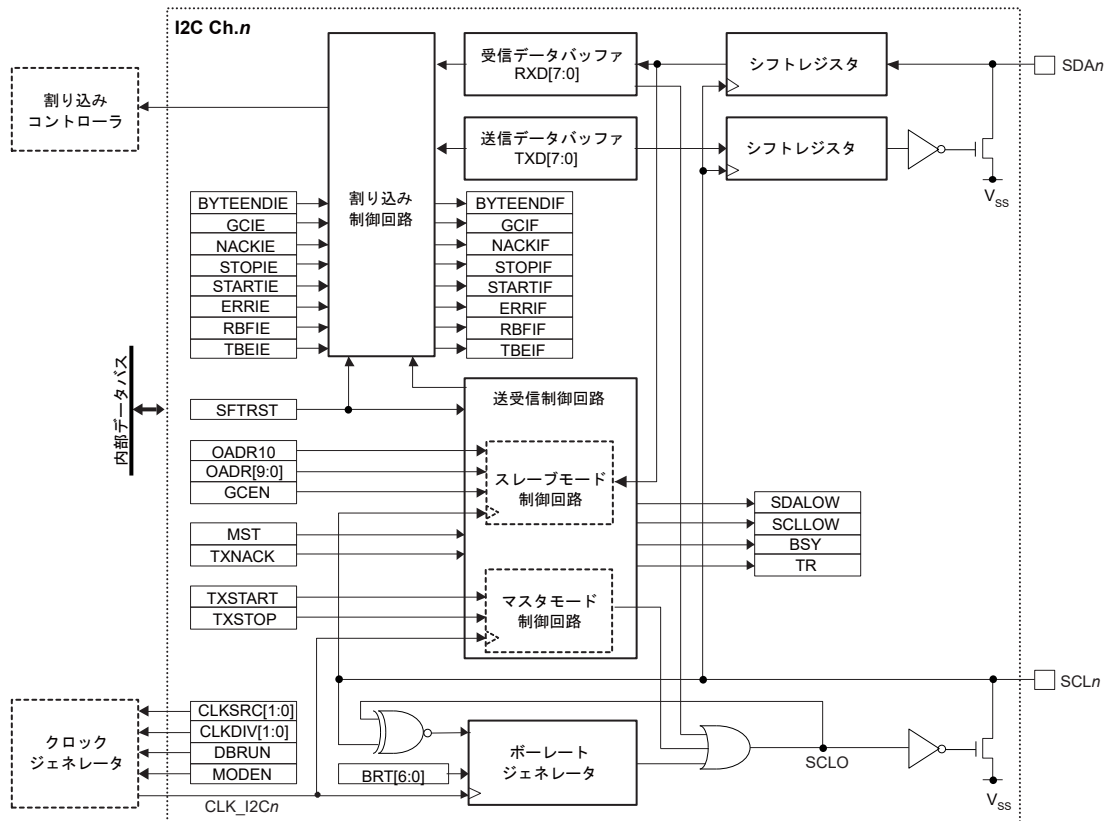


図 13.1.1 I2C の構成

13.2 入出力端子と外部接続

13.2.1 入出力端子一覧

表 13.2.1.1 に I²C 端子の一覧を示します。

表 13.2.1.1 I²C 端子一覧

端子名	I/O*	イニシャル状態*	機能
SDAn	I/O	I	I ² Cバスのシリアルデータ入出力端子
SCLn	I/O	I	I ² Cバスのクロック入出力端子

* 端子機能を I²C に切り換えた時点の状態

これらの I²C 端子と他の機能がポートを共有している場合、I²C を動作させる前に I²C の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

13.2.2 外部との接続

I²C と外部 I²C 機器との接続例を図 13.2.2.1 に示します。

I²C バスのシリアルデータ (SDA) とシリアルクロック (SCL) は、外部抵抗によってプルアップする必要があります。

I²C がマスタモードのとき、I²C バス上には、ユニークなアドレスを持つ複数のスレーブデバイスを接続することができます。I²C がスレーブモードのとき、I²C バス上には、ユニークなアドレスを持つ複数または 1 つのマスタデバイスとスレーブデバイスを接続することができます。

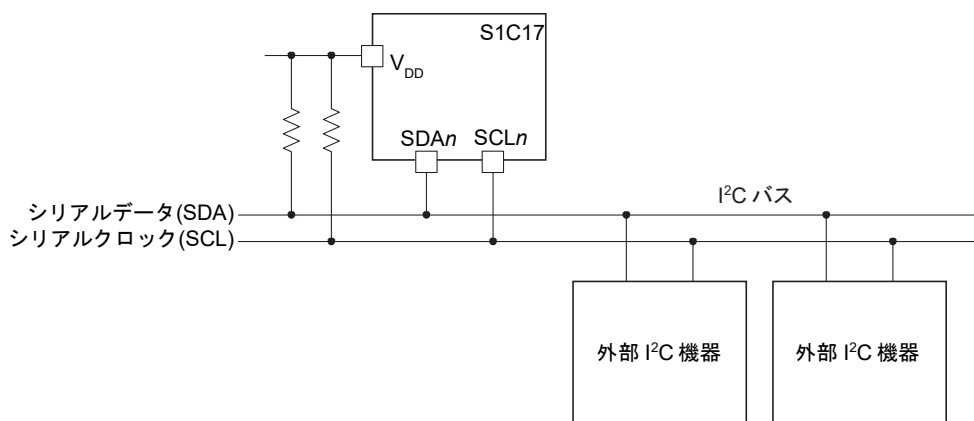


図 13.2.2.1 I²C と外部 I²C 機器との接続

- 注:
- ・ SDA と SCL は、必ず本 IC の V_{DD} 以下の電圧にプルアップしてください。ただし、I²C の入出力ポートがトレラント・フェイルセーフ対応 I/O の場合は、本 IC の推奨動作電圧の範囲内で、本 IC の V_{DD} 以上の電圧にプルアップすることが可能です。
 - ・ SDA と SCL のプルアップに、本 IC の入出力ポートに内蔵されたプルアップ抵抗を使用することはできません。
 - ・ I²C がマスタモードのときは、I²C バス上に他のマスタデバイスを接続することはできません。

13.3 クロック設定

13.3.1 I2C の動作クロック

マスタモードの動作クロック

I2C Ch.*n* をマスタモードで使用する場合、クロックジェネレータから I2C Ch.*n* 動作クロック CLK_I2C*n* を I2C Ch.*n* に供給する必要があります。

CLK_I2C*n* の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
2. I2C*n*CLK レジスタの以下のビットを設定する。
 - I2C*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - I2C*n*CLK.CLKDIV[1:0]ビット (クロック分周比の選択=クロック周波数の設定)

SLEEP モード時にマスタモードの I2C を使用する場合は、I2C Ch.*n* 動作クロック CLK_I2C*n* のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_I2C*n* を供給し続ける必要があります。I2C の動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

スレーブモードの動作クロック

スレーブモードの I2C は、I²C マスタから供給される SCL を動作クロックとして使用します。

I2C*n*CLK レジスタによるクロックの設定は無効になります。

SLEEP モードですべてのクロックが停止している状態でも、I2C は外部の I²C マスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

13.3.2 DEBUG モード時のクロック供給

マスタモードでは、DEBUG モード時の CLK_I2C*n* の供給は I2C*n*CLK.DBRUN ビットで制御します。

I2C*n*CLK.DBRUN ビット=0 の場合、DEBUG モードに移行すると I2C Ch.*n* への CLK_I2C*n* の供給が停止します。その後通常モードに戻ると、CLK_I2C*n* の供給が再開します。CLK_I2C*n* の供給が停止すると I2C Ch.*n* の動作は停止しますが、出力端子やレジスタは DEBUG モードへ移行前の状態に保持されます。I2C*n*CLK.DBRUN ビット=1 の場合、DEBUG モード時も CLK_I2C*n* の供給は停止せず、I2C Ch.*n* は動作を継続します。

スレーブモードでは、DEBUG モードか通常モードかにかかわらず、外部の I2C マスタから SCL*n* 端子に供給されるクロックで動作します。

13.3.3 ポーレートジェネレータ

I2C は、マスタモードでの動作時にシリアルクロック SCL を生成する、ポーレートジェネレータを内蔵していません。スレーブモード時は SCL*n* 端子から入力されるシリアルクロックで動作しますので、ポーレートジェネレータは使用しません。

データ転送レートの設定(マスタモード時)

転送レートは I2C*n*BR.BRT[6:0]ビットの設定により決まります。希望の転送レートを求めるための設定値は次の式で計算できます。

$$\text{bps} = \frac{f_{\text{CLK_I2Cn}}}{(\text{BRT} + 3) \times 2} \quad \text{BRT} = \frac{f_{\text{CLK_I2Cn}}}{\text{bps} \times 2} - 3 \quad (\text{式 13.1})$$

ここで

bps: データ転送レート [bit/s]

$f_{\text{CLK_I2Cn}}$: I2C の動作クロック周波数 [Hz]

BRT: I2C*n*BR.BRT[6:0]ビットの設定値(1~127)

※ 上記の式は、SCL の立ち上がり/立ち下がり時間やクロックストレッチによる遅延時間(図 13.3.3.1 参照)を含んでいません。

注: I²C バスの転送レートは標準モードで最大 100 kbit/s、ファースト・モードで最大 400 kbit/s に制限されています。制限以上の転送レートは設定しないでください。

ポーレートジェネレータのクロック出力とクロックストレッチへの対応

ポーレートジェネレータが生成するクロックと I²C バス上のクロック波形を図 13.3.3.1 に示します。

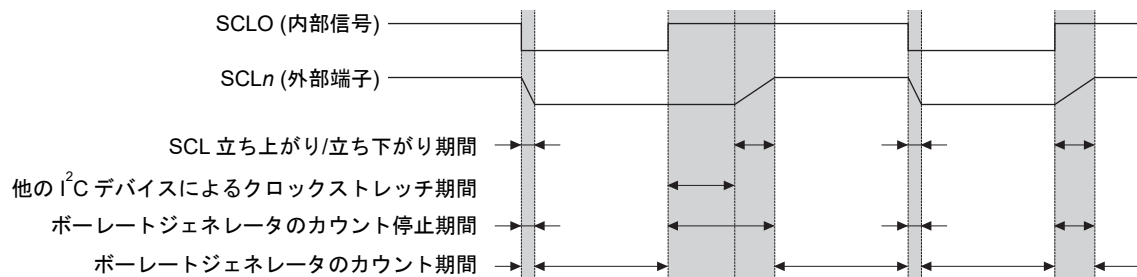


図 13.3.3.1 ポーレートジェネレータ出力クロックと SCLn 出力波形

ポーレートジェネレータが生成する SCLO は SCLn 端子の状態と比較され、その結果がフィードバックされます。SCLO と SCLn 端子の状態に不一致が発生している場合は、ポーレートジェネレータのカウンタ動作が停止します。これにより、SCL 信号の立ち上がり/立ち下がり期間や、外部スレーブデバイスによって SCL が LOW に固定されるクロックストレッチの期間はクロックが延長され、データ送受信が制御されるようになっていきます。

13.4 動作

13.4.1 初期設定

I2C Ch.n は、以下の手順により初期設定を行います。

マスタモードで使用する場合

1. I2CnCLK レジスタと I2CnBR レジスタで動作クロックとポーレートジェネレータを設定する。
2. I2C Ch.n 入出力機能をポートに割り当てる。 (“入出力ポート”の章を参照)
3. 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - I2CnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)
4. I2CnCTL レジスタの以下のビットを設定する。
 - I2CnCTL.MST ビットを 1 に設定 (マスタモードに設定)
 - I2CnCTL.SFTRST ビットを 1 に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODEN ビットを 1 に設定 (I2C Ch.n の動作をイネーブル)

スレーブモードで使用する場合

1. I2CnMOD レジスタの以下のビットを設定する。
 - I2CnMOD.OADR10 ビット (10/7 ビットアドレスモード設定)
 - I2CnMOD.GCEN ビット (ジェネラルコールアドレス応答イネーブル)
2. I2CnOADR.OADR[9:0](または OADR[6:0])ビットで自己アドレスを設定する。
3. I2C Ch.n 入出力機能をポートに割り当てる。 (“入出力ポート”の章を参照)
4. 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - I2CnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)
5. I2CnCTL レジスタの以下のビットを設定する。
 - I2CnCTL.MST ビットを 0 に設定 (スレーブモードに設定)
 - I2CnCTL.SFTRST ビットを 1 に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODEN ビットを 1 に設定 (I2C Ch.n の動作をイネーブル)

13.4.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図 13.4.2.1 と図 13.4.2.2 に示します。

送信手順

1. I2CnCTL.TXSTART ビットを 1 に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIF ビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIF ビットは 1 を書き込んでクリアする。
3. I2CnTXD.TXD[7:1] ビットに 7 ビットのスレーブアドレス、I2CnTXD.TXD0 ビットにデータ転送方向が WRITE であることを示す 0 を書き込む。
4. ACK 受信時の送信バッファエンプティ割り込み(I2CnINTF.TBEIF ビット = 1)、または NACK 受信時の NACK 受信割り込み(I2CnINTF.NACKIF ビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生し、送信データがある場合は 5 へ
 - ii. NACK 受信割り込み発生時は、I2CnINTF.NACKIF ビットをクリアした後、7 または 1 へ
5. I2CnTXD レジスタに送信データを書き込む。
6. 送信データ終了まで、4 と 5 を繰り返す。
7. I2CnCTL.TXSTOP ビットを 1 に設定し、ストップコンディションを生成する。
8. ストップコンディション割り込み(I2CnINTF.STOPIF ビット = 1)を待つ。割り込み発生後、I2CnINTF.STOPIF ビットは 1 を書き込んでクリアする。

送信動作

スタートコンディションの生成

I2CnCTL.TXSTART ビットを 1 に設定すると、I2C Ch.n はスタートコンディションの生成を開始します。これが完了すると I2CnCTL.TXSTART ビットは 0 にクリアされ、I2CnINTF.STARTIF ビットと I2CnINTF.TBEIF ビットが 1 にセットされます。

スレーブアドレス、データの送信

I2CnINTF.TBEIF ビット = 1 であれば、I2CnTXD レジスタにスレーブアドレスやデータを書き込むことができます。なお、I2CnTXD レジスタへの書き込みが行われるまで、I2C Ch.n は SCL を LOW に固定して待機します。この書き込み操作をトリガとして、そのデータは自動的にシフトレジスタに転送され、8 個のクロックとデータビットが I²C バスに出力されます。この応答としてスレーブデバイスから ACK が返ると、I2CnINTF.TBEIF ビットが 1 にセットされます。この割り込み要求が発生後、続くデータの送信や、送信を終了するストップコンディション/リピーテッドスタートコンディションの生成が行えます。NACK が返った場合は、I2CnINTF.TBEIF ビットはセットされず、代わりに I2CnINTF.NACKIF ビットが 1 にセットされます。

ストップコンディション/リピーテッドスタートコンディションの生成

I2CnINTF.TBEIF ビット = 1(送信バッファエンプティ)または I2CnINTF.NACKIF ビット = 1(NACK 受信)となった後に I2CnCTL.TXSTOP ビットを 1 に設定すると、I2C Ch.n はストップコンディションを生成します。ストップコンディションの生成からバスフリー時間(I²C 規格における t_{BUF})が経過した時点で、I2CnCTL.TXSTOP ビットが 0 にクリアされ、I2CnINTF.STOPIF ビットが 1 にセットされます。I2CnINTF.TBEIF ビット = 1(送信バッファエンプティ)、または I2CnINTF.NACKIF ビット = 1(NACK 受信)の状態では I2CnCTL.TXSTART ビットを 1 に設定すると、I2C Ch.n はリピーテッドスタートコンディションを生成します。リピーテッドスタートコンディションの生成が完了すると、スタートコンディション生成時と同様に、I2CnINTF.STARTIF ビットと I2CnINTF.TBEIF ビットが 1 にセットされます。

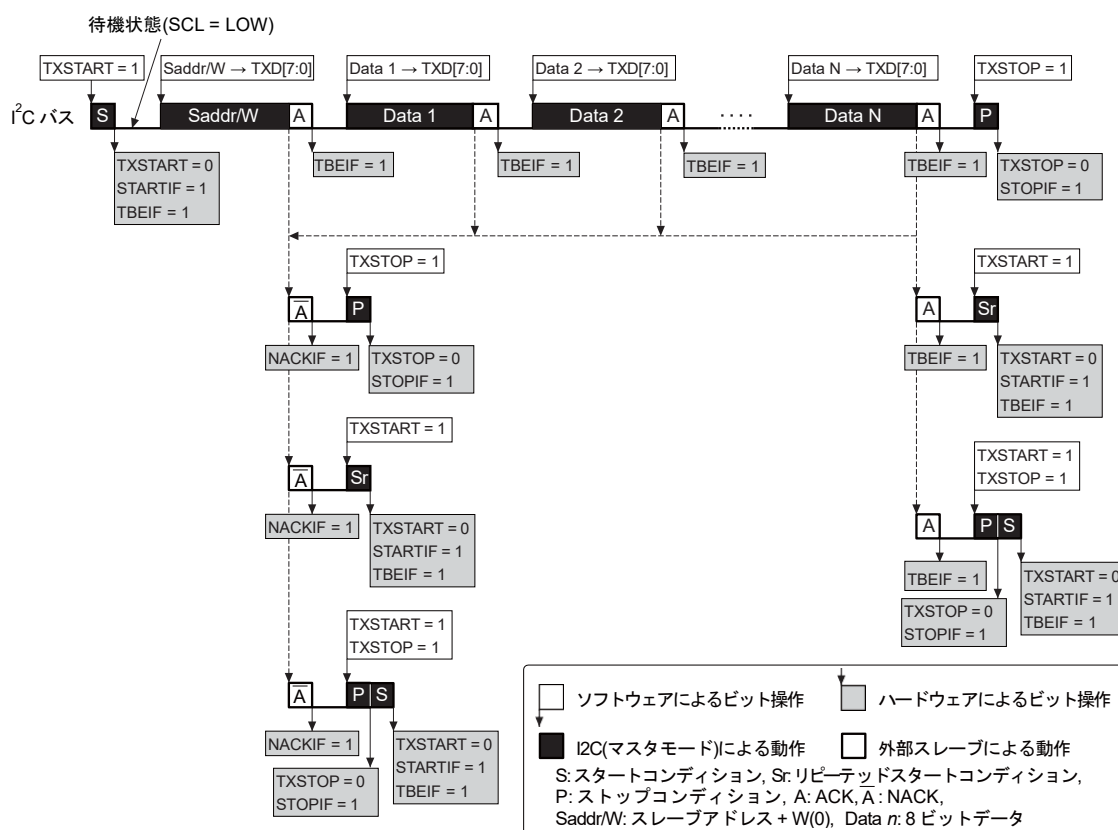


図 13.4.2.1 マスターモードのデータ送信動作例

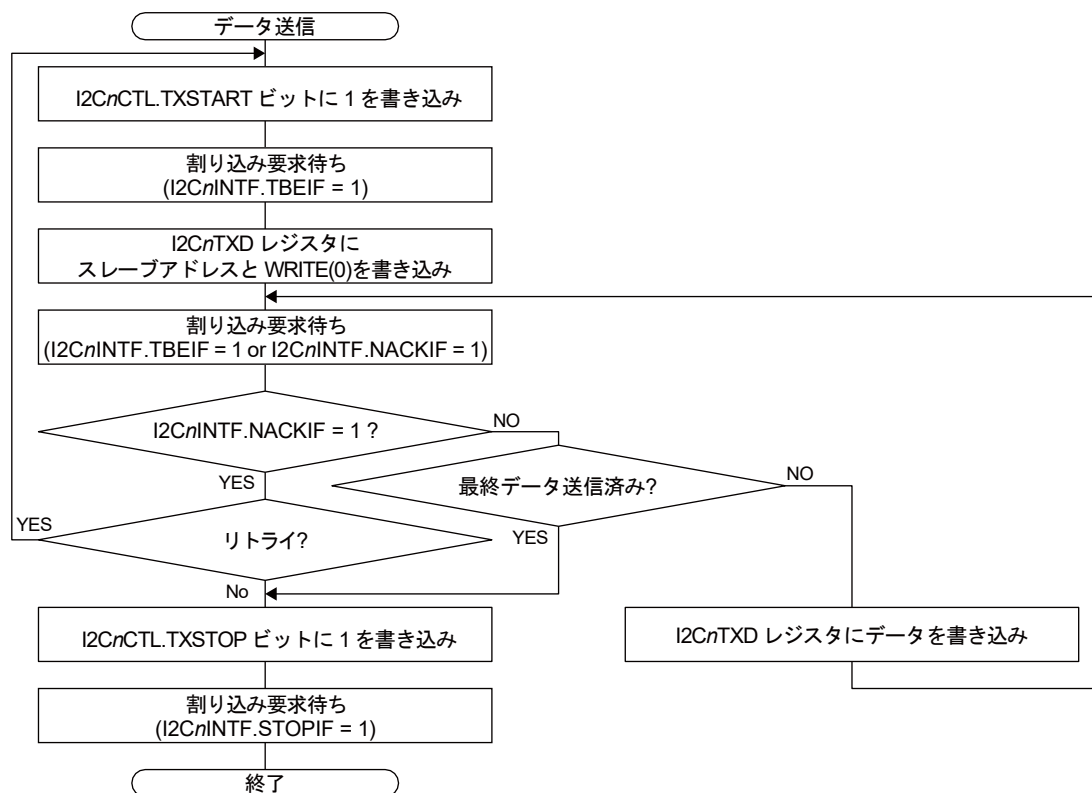


図 13.4.2.2 マスターモードのデータ送信フローチャート

13.4.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図 13.4.3.1 と図 13.4.3.2 に示します。

受信手順

1. 受信するデータの長さが 1 バイトの場合は I2CnCTL.TXNACK ビットに 1 を書き込む。
2. I2CnCTL.TXSTART ビットを 1 に設定し、スタートコンディションを生成する。
3. 送信バッファエンプティ割り込み(I2CnINTF.TBEIF ビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIF ビットは 1 を書き込んでクリアする。
4. I2CnTXD.TXD[7:1]ビットに 7 ビットのスレーブアドレス、I2CnTXD.TXD0 ビットにデータ転送方向が READ であることを示す 1 を書き込む。
5. 1 バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIF ビット = 1)、または NACK 受信時の NACK 受信割り込み(I2CnINTF.NACKIF ビット = 1)を待つ。
 - i. 受信バッファフル割り込みが発生した場合は 6 へ
 - ii. NACK 受信割り込み発生時は、I2CnINTF.NACKIF ビットをクリアした後、I2CnCTL.TXSTOP ビットを 1 に設定してストップコンディションを生成する。その後、9 へ。リトライする場合は 2 へ
6. 今回または次の受信データが最終データとなる場合は、以下の処理を行う。
 - i. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACK ビットに 1 を書き込み、その受信後に NACK が送信されるようにする。その後、7 へ。
 - ii. 今回受信したデータが最終データの場合は、I2CnRXD レジスタから受信データを読み出し後、I2CnCTL.TXSTOP ビットを 1 に設定してストップコンディションを生成する。その後、9 へ。
7. I2CnRXD レジスタから受信データを読み出す。
8. 受信データ終了まで、5~7 を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIF ビット = 1)を待つ。
割り込み発生後、I2CnINTF.STOPIF ビットは 1 を書き込んでクリアする。

受信動作

スタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

スレーブアドレスの送信

マスタモードのデータ送信の場合と同様です。ただし、I2CnTXD.TXD0 ビットはデータ転送方向が READ であることを示す 1 に設定してスレーブにデータの送信を要求する必要があります。

データの受信

スレーブアドレスの送信後、スレーブデバイスからは ACK と最初のデータが送られてきます。このデータを受信し終わると、I2C Ch.n は I2CnINTF.RBFIF ビットを 1 にセットします。また、I2C Ch.n はスレーブデバイスに ACK を返します。最終データ受信後の応答など、NACK を返すときは I2CnINTF.RBFIF ビットが 1 にセットされる前に I2CnCTL.TXNACK ビットに 1 を書き込んでおきます。受信バッファフル割り込み要求の発生後は、I2CnRXD レジスタから受信データを読み出すことができません。なお、I2CnRXD レジスタが読み出されるまで、I2C Ch.n は SCL を LOW に固定して待機します。この読み出しがトリガとなり、I2C Ch.n は次のデータ受信を開始します。

ストップコンディション/リピーテッドスタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

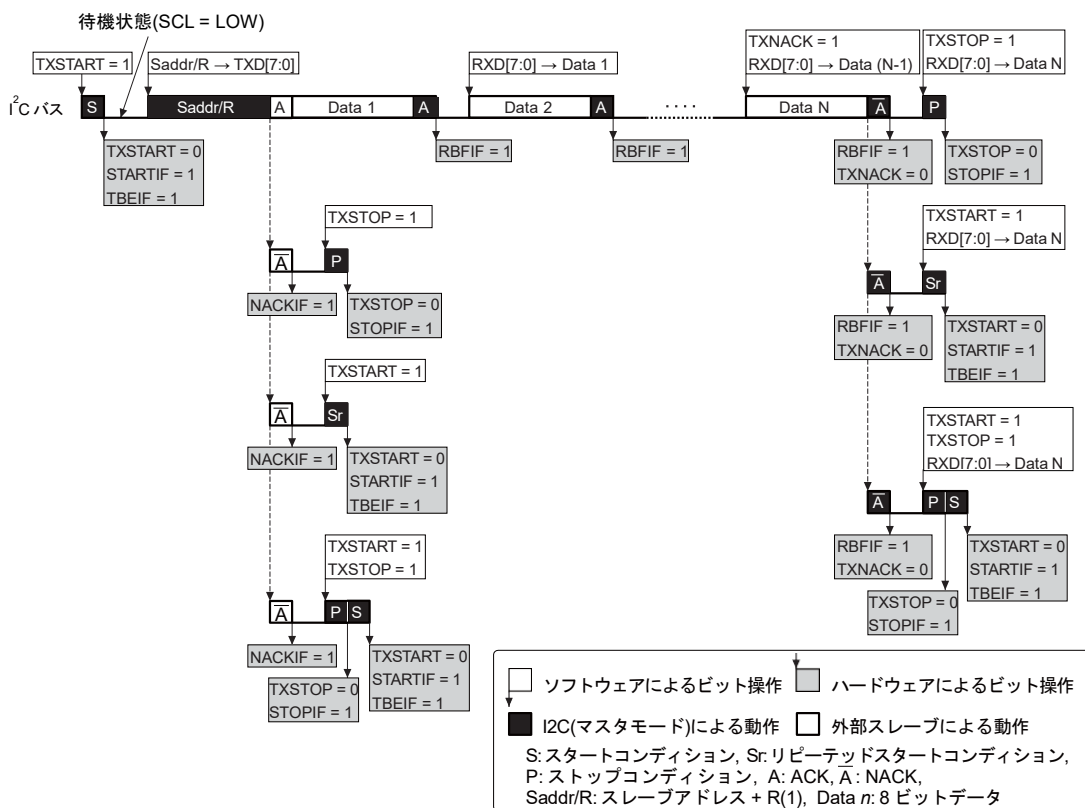


図 13.4.3.1 マスターモードのデータ受信動作例

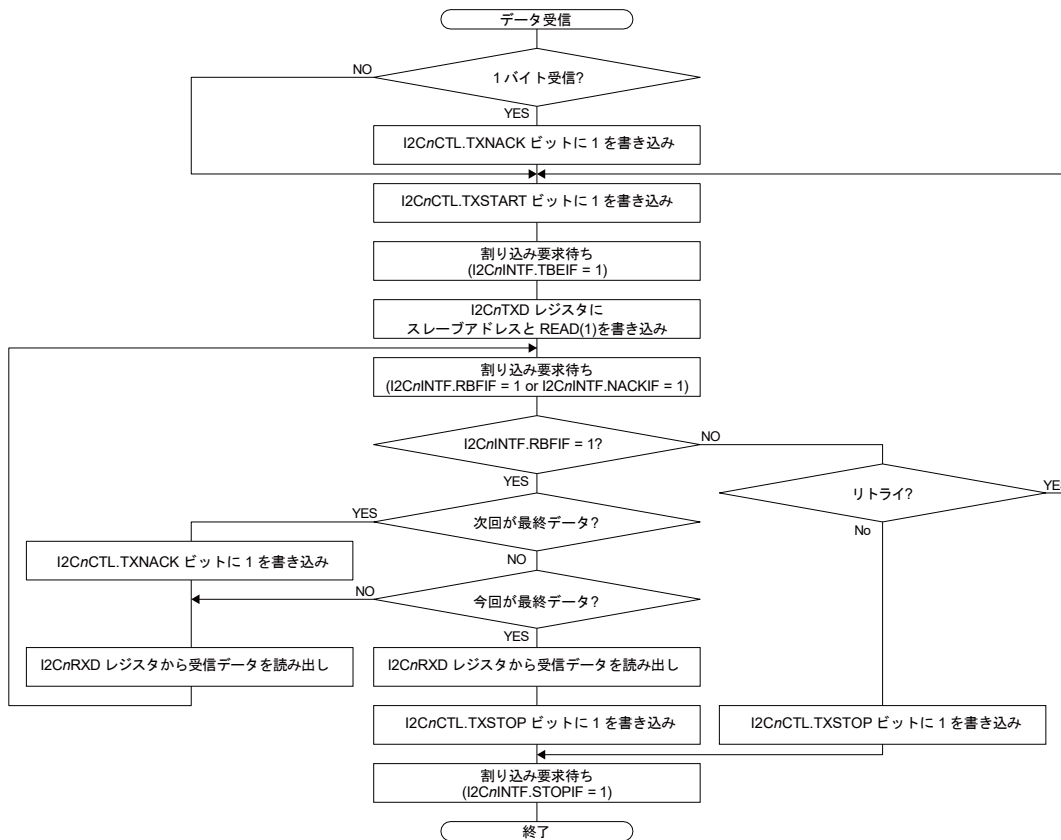


図 13.4.3.2 マスターモードのデータ受信フローチャート

13.4.4 マスタモードでの 10 ビットアドレス指定

10 ビットアドレスは上位 2 ビットと下位 8 ビットに分け、第 1 アドレスと第 2 アドレスを構成します。



図 13.4.4.1 10 ビットアドレスの構成

マスタモード時に、10 ビットアドレスモードで送受信を開始する手順を以下に示します(NACK 受信時やデータ送受信の制御手順は、前述の 7 ビットモードの説明を参照してください)。また、動作例を図 13.4.4.2 に示します。

10 ビットアドレスモードの送信開始手順

1. I²CnCTL.TXSTART ビットを 1 に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I²CnINTF.TBEIF ビット = 1)またはスタートコンディション割り込み(I²CnINTF.STARTIF ビット = 1)を待つ。
割り込み発生後、I²CnINTF.STARTIF ビットは 1 を書き込んでクリアする。
3. I²CnTXD.TXD[7:1] ビットに第 1 アドレス、I²CnTXD.TXD0 ビットにデータ転送方向が WRITE であることを示す 0 を書き込む。
4. 送信バッファエンプティ割り込み(I²CnINTF.TBEIF ビット = 1)を待つ。
5. I²CnTXD.TXD[7:0] ビットに第 2 アドレスを書き込む。
6. 送信バッファエンプティ割り込み(I²CnINTF.TBEIF ビット = 1)を待つ。
7. データ送信を行う。

10 ビットアドレスモードの受信開始手順

- 1~6. 上記送信開始手順と同じ。
7. I²CnCTL.TXSTART ビットを 1 に設定し、リピーテッドスタートコンディションを生成する。
8. 送信バッファエンプティ割り込み(I²CnINTF.TBEIF ビット = 1)またはスタートコンディション割り込み(I²CnINTF.STARTIF ビット = 1)を待つ。
割り込み発生後、I²CnINTF.STARTIF ビットは 1 を書き込んでクリアする。
9. I²CnTXD.TXD[7:1] ビットに第 1 アドレス、I²CnTXD.TXD0 ビットにデータ転送方向が READ であることを示す 1 を書き込む。
10. データ受信を行う。

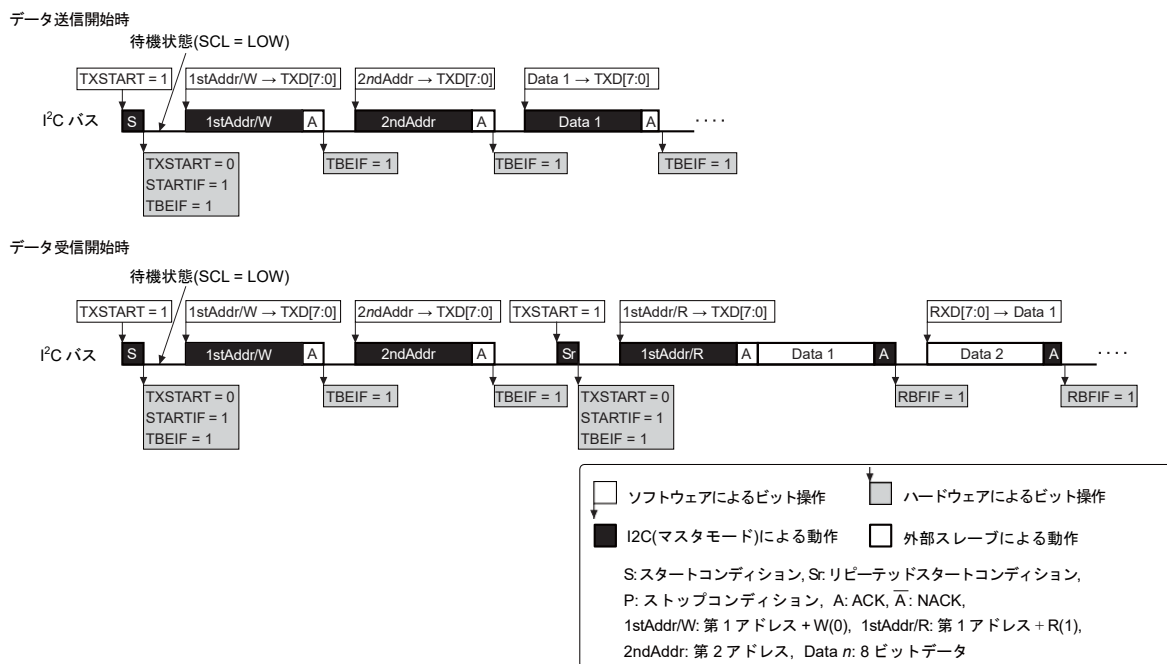


図 13.4.4.2 10 ビットアドレスモードのデータ送受信開始動作例(マスターモード)

13.4.5 スレーブモードのデータ送信

スレーブモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図 13.4.5.1 と図 13.4.5.2 に示します。

送信手順

1. スタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。割り込み発生後、I2CnINTF.STARTIF ビットは 1 を書き込んでクリアする。
2. I2CnINTF.TR ビット = 1(送信モード)を確認する。
(I2CnINTF.TR ビット = 0 の場合は、受信手順を開始する。)
3. I2CnTXD レジスタに送信データを書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIF ビット = 1)、NACK 受信割り込み(I2CnINTF.NACKIF ビット = 1)、またはストップコンディション割り込み(I2CnINTF.STOPIF ビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生した場合は 3 へ
 - ii. NACK 受信割り込み発生時は、I2CnINTF.NACKIF ビットをクリアした後、5 へ
 - iii. ストップコンディション割り込み発生時は、6 へ
5. ストップコンディション割り込み(I2CnINTF.STOPIF ビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、6 へ
 - ii. スタートコンディション割り込み発生時は、2 へ
6. I2CnINTF.STOPIF ビットをクリアし、送信動作を終了する。

送信動作

スタートコンディションの検出とスレーブアドレスのチェック

I2CnCTL.MODEN ビット = 1、I2CnCTL.MST ビット = 0(スレーブモード)の場合、I2C Ch.n は I²C バスをモニタし、スタートコンディションを検出すると、続いてマスタから送られるスレーブアドレスの受信動作を開始します。受信したアドレスが、I2CnOADR.OADR[6:0]ビット(I2CnMOD. OADR10 ビット = 0(7ビットアドレスモード)の場合)、または I2CnOADR.OADR[9:0]ビット(I2CnMOD. OADR10 ビット = 1(10ビットアドレスモード)の場合)に設定した自己アドレスに一致すると、I2C-nINTF.STARTIF ビット、I2CnINTF.BSY ビットが 1 にセットされます。また、I2C Ch.n は受信したアドレス内の R/W ビットの値を I2CnINTF.TR ビットにセットし、これが 1 だった場合は I2CnINTF.TBEIF ビットも 1 にセットしてデータ送信動作を開始します。

第 1 バイトのデータ送信

有効なスレーブアドレスを受信後、I2C Ch.n は I2CnTXD レジスタへの書き込みが行われるまで、SCL を LOW に固定して待機します。これにより、I²C バスがクロックストレッチ状態となり、外部マスタも待機状態になります。送信データが I2CnTXD レジスタに書き込まれると、I2C Ch.n は I2CnINTF.TBEIF ビットをクリアし、マスタに対して ACK を送信します。I2CnTXD レジスタに書き込んだ送信データは自動的にシフトレジスタに転送され、I2CnINTF.TBEIF ビットが 1 にセットされます。シフトレジスタのデータビットは順次 I²C バスに出力されます。

2 バイト目以降のデータ送信

I2CnINTF.TBEIF ビット = 1 であれば、送信動作中であっても続く送信データの書き込みが可能です。シフトレジスタからの送信データ出力が完了したときに I2CnINTF.TBEIF = 1 であった場合は、I2CnTXD レジスタに送信データが書き込まれるまで、I2C Ch.n は SCL を Low(クロックストレッチ状態)に固定します。

I2CnTXD レジスタに次の送信データが書き込まれている場合あるいは書き込まれると、外部マスタから ACK を受信した時点で、次の 8 ビットデータ送信を行います。このときに、I2CnINTF.BYTEEN- DIF ビットが 1 にセットされます。NACK を受信したときは、I2CnINTF.NACKIF ビットがセットされ、データの送信は行われません。

ストップコンディション/リピーテッドスタートコンディションの検出

I2CnCTL.MST ビット = 0(スレーブモード)、I2CnINTF.BSY ビット = 1 の場合、I2C Ch.n は I²C バスをモニタしており、ストップコンディションを検出するとデータ送信動作を終了します。この時点で、I2CnINTF.BSY ビットは 0 にクリアされ、I2CnINTF.STOPIF ビットが 1 にセットされます。リピーテッドスタートコンディションを検出した場合も、I2C Ch.n は I2CnINTF.BSY ビットをクリアしてデータ送信動作を終了します。この場合は、I2CnINTF.STARTIF ビットが 1 にセットされます。

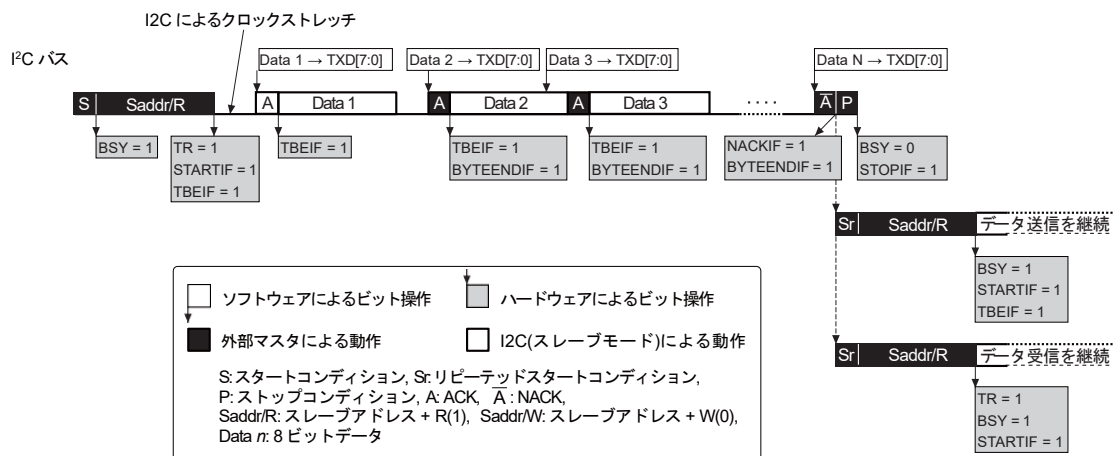


図 13.4.5.1 スレーブモードのデータ送信動作例

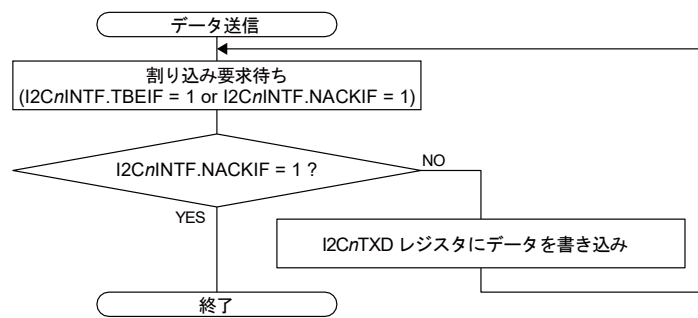


図 13.4.5.2 スレーブモードのデータ送信フローチャート

13.4.6 スレーブモードのデータ受信

スレーブモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図 13.4.6.1 と図 13.4.6.2 に示します。

受信手順

1. 受信するデータの長さが 1 バイトの場合は I2CnCTL.TXNACK ビットに 1 を書き込む。
2. スタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。
3. I2CnINTF.TR ビット = 0(受信モード)を確認する。
(I2CnINTF.TR ビット = 1 の場合は、送信手順を開始する。)
4. I2CnINTF.STARTIF ビットに 1 を書き込んでクリアする。
5. 1 バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIF ビット = 1)、または送受信完了割り込み(I2CnINTF.BYTEENDIF ビット = 1)を待つ。
割り込み発生後、I2CnINTF.BYTEENDIF ビットは 1 を書き込んでクリアする。
6. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACK ビットに 1 を書き込み、その受信後に NACK が送信されるようにする。
7. I2CnRXD レジスタから受信データを読み出す。
8. 受信データ終了まで、5~7 を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIF ビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIF ビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、10 へ
 - ii. スタートコンディション割り込み発生時は、3 へ
10. I2CnINTF.STOPIF ビットをクリアし、受信動作を終了する。

受信動作

スタートコンディションの検出とスレーブアドレスのチェック

スレーブモードのデータ送信の場合と同様です。

ただし、I2CnINTF.TR ビットは 0 にクリアされ、I2CnINTF.TBEIF ビットはセットされません。

また、I2CnMOD.GCEN を 1(ジェネラルコールアドレス応答イネーブル)に設定してある場合は、ジェネラルコールアドレスを受信した場合も受信動作を開始します。

SLEEP モードでもスレーブモードの動作は可能で、アドレス一致検出時の割り込みによって CPU をウェイクアップさせることができます。

第 1 バイトのデータ受信

有効なスレーブアドレスを受信後、I2C Ch.n は ACK を送信し、I2CnINTF.STARTIF ビットに 1 が書き込まれるまで、SCL を LOW に固定します。これにより、I²C バスがクロックストレッチ状態となり、外部マスタも待機状態になります。I2CnINTF.STARTIF ビットに 1 が書き込まれると SCL が解放され、外部マスタから送られるデータをシフトレジスタに受信します。8 ビットのデータを受信し終わると、I2C Ch.n は ACK を送信し、SCL を LOW に固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIF ビットおよび I2CnINTF.BYTEENDIF ビットが 1 にセットされます。これ以降、I2CnRXD レジスタから受信データを読み出すことができます。

2 バイト目以降のデータ受信

I2CnINTF.RBFIF ビットが 1 にセットされた後、I2CnRXD レジスタから受信データを読み出すと、I2CnINTF.RBFIF ビットが 0 にクリアされるとともに、SCL が解放され、外部マスタから送られる次のデータを受信します。8 ビットのデータを受信し終わると、I2C Ch.n は ACK を送信し、SCL を LOW に固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIF ビットおよび I2CnINTF.BYTEENDIF ビットが 1 にセットされます。

受信を終了させるときなど、8 ビットデータの受信終了時に NACK を返すには、その受信が終了する前に I2CnCTL.TXNACK ビットに 1 を書き込んでおきます。NACK を送信すると、I2CnCTL.TXNACK ビットは自動的に 0 にクリアされます。

ストップコンディションリピーテッドスタートコンディションの検出

スレーブモードのデータ送信の場合と同様です。

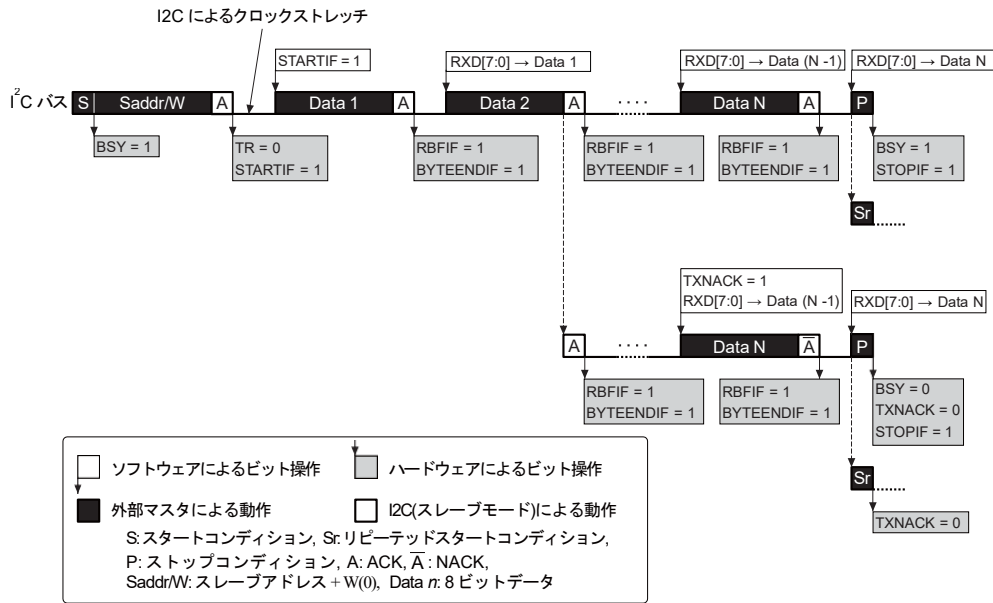


図 13.4.6.1 スレーブモードのデータ受信動作例

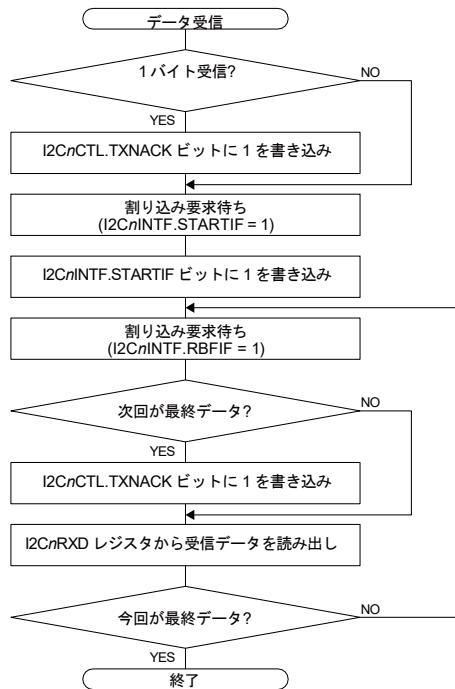


図 13.4.6.2 スレーブモードのデータ受信フローチャート

13.4.7 10 ビットアドレスモードのスレーブ動作

I²CnCTL.MSTビット=0、かつ I²CnMOD.OADR10 ビット=1 のときは、I²C Ch.n は 10 ビットアドレスモードのスレーブとして動作します。このときのアドレス受信動作を以下に示します。また、動作例を図 13.4.7.1 に示します。10 ビットアドレスの構成は、図 13.4.4.1 を参照してください。

10 ビットアドレスの受信動作

スタートコンディションの後、マスタからスレーブアドレスの上位 2 ビットと R/W ビット(= 0)を含む第 1 アドレスが送信されます。このアドレスの上位 2 ビットと I²CnOADR.OADR[9:8]ビットが一致した場合、I²C Ch.n は ACK を返します。このときは、上位 2 ビットが一致した他のスレーブからも ACK が送信されます。

次に、マスタから第 2 アドレスとしてスレーブアドレスの下位 8 ビットが送信されます。このアドレスと I²CnOADR.OADR[7:0]ビットが一致した場合、I²C Ch.n は ACK を返した後、データの受信動作を開始します。

マスタがデータ受信(スレーブからのデータ送信)を要求する場合は、この後さらにマスタからリピーテッドスタートコンディションと R/W ビットを 1 にした第 1 アドレスが送信されます。すると、I²C Ch.n は動作をデータ送信に切り換えます。

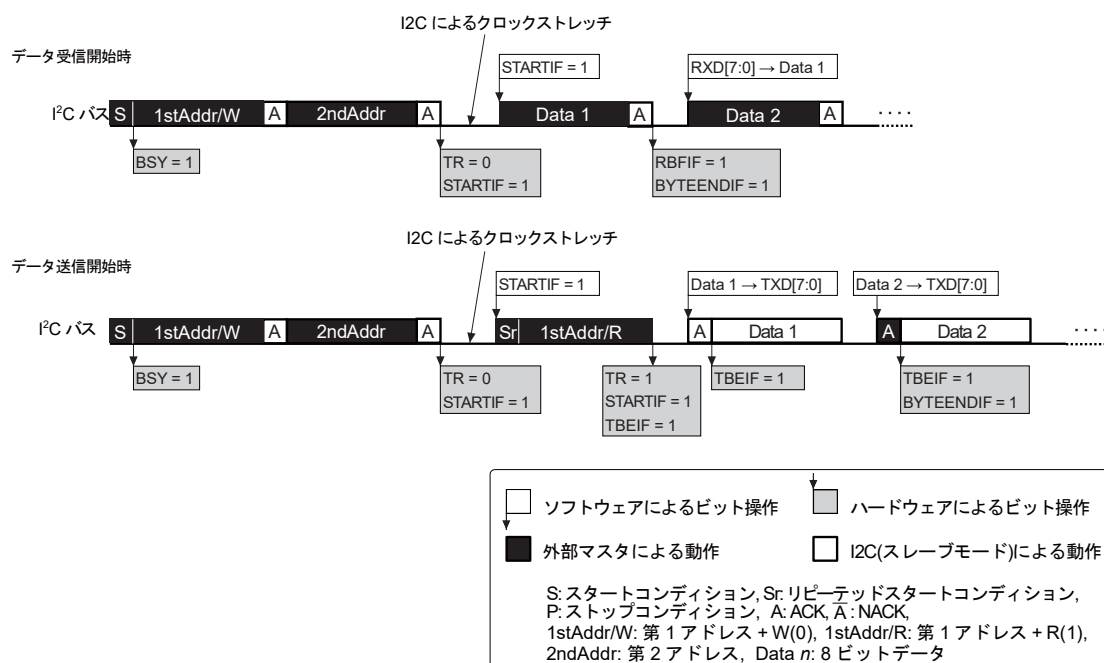


図 13.4.7.1 10 ビットアドレスモードのデータ送受信開始動作例(スレーブモード)

13.4.8 自動バスクリア動作

マスタモードで動作する I²C Ch.n は、スタートコンディションを生成する直前に SDA の状態をチェックします。このとき、SDA が LOW レベルだった場合は、SDA を解放したまま最大 10 発のクロックを SCLn 端子から送出する、バスクリア動作を自動的に実行します。

9 発以内のクロックの送信によって SDA が LOW レベルから HIGH レベルとなり、スタートコンディションを発行できたときは、通常の動作に移ります。I²C Ch.n がクロックを 9 発送出しても SDA が LOW のままだった場合は、自動バスクリアが失敗したものと判断して、I²C Ch.n は I²CnCTL.TXSTART ビットを 0 にクリアし、I²CnINTF.ERRIF ビットと I²CnINTF.STARTIF ビットを 1 にセットします。

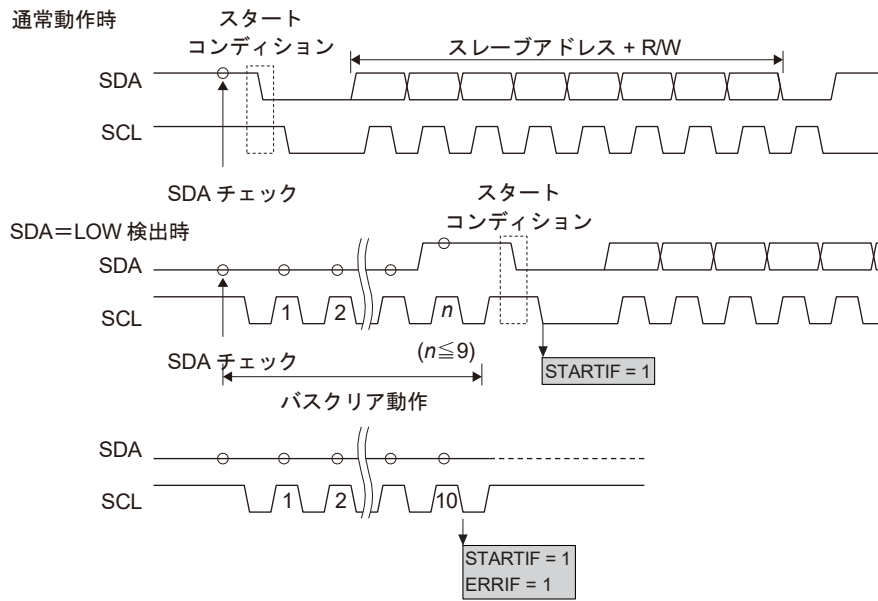


図 13.4.8.1 自動バスクリア動作

13.4.9 エラー検出

I2Cには、ハードウェアによるエラー検出機能が搭載されています。

また、I2CnINTF.SDALOWビットとI2CnINTF.SCLLOWビットをソフトウェアで監視することにより、SDAやSCLがLOWに固定されているかどうかを調べることができます。意図しないSDAやSCLのLOWへの固定が検出された場合、I2C Ch.nをソフトウェアリセットするなどの対応を取ることができます。

ハードウェアによるエラー検出と通知方法は、以下のとおりです。

表 13.4.9.1 ハードウェアによるエラー検出機能

No.	エラー検出期間/タイミング	監視するI ² Cバスラインとエラー発生条件	通知方法
1	アドレス送出、データ送出、またはNACK送出で、I2C Ch.nがSDAをHIGHに制御している期間	SDA = Low	I2CnINTF.ERRIF = 1
2	【マスタモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1
3	【マスタモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTOPビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTOP = 0 I2CnINTF.STOPIF = 1
4	【マスタモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき(“自動バスクリア動作”を参照)	SDA 自動バスクリアの失敗	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1

13.5 割り込み

I²Cには、表 13.5.1 に示す割り込みを発生させる機能があります。

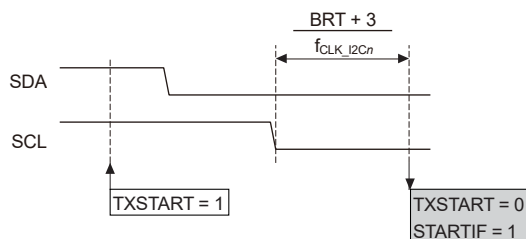
表 13.5.1 I²Cの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送受信完了	I2CnINTF.BYTEENDIF	8ビットのデータ送受信と、それに続くACK/NACKの送受信が完了したとき	1書き込み ソフトリセット
ジェネラルコール アドレス受信	I2CnINTF.GCIF	スレーブモードのみ: ジェネラルコールアドレスを受信したとき	1書き込み ソフトリセット
NACK受信	I2CnINTF.NACKIF	NACKを受信したとき	1書き込み ソフトリセット
ストップ コンディション	I2CnINTF.STOPIF	マスタモード: ストップコンディションの送出を完了し、ストップコンディションとスタートコンディションの間のバスフリー時間 (t_{BUF}) が経過したとき スレーブモード: I ² C Ch.nがスレーブとして選択されている場合にストップコンディションを検出したとき	1書き込み ソフトリセット
スタート コンディション	I2CnINTF.STARTIF	マスタモード: スタートコンディションの送出を完了したとき スレーブモード: アドレス一致が検出されたとき (ジェネラルコールを含む)	1書き込み ソフトリセット
エラー検出	I2CnINTF.ERRIF	“エラー検出”を参照	1書き込み ソフトリセット
受信バッファフル	I2CnINTF.RBFIF	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを 空にする) ソフトリセット
送信バッファ エンpty	I2CnINTF.TBEIF	マスタモード: スタートコンディションの送出を完了したとき、 またはスレーブからACKを受信したとき スレーブモード: 送信データバッファに書き込まれた送信 データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

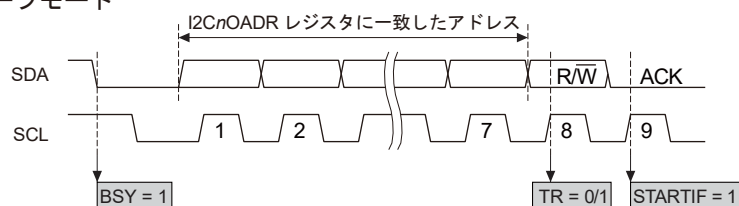
割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されません。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

(1) スタートコンディション割り込み

マスタモード



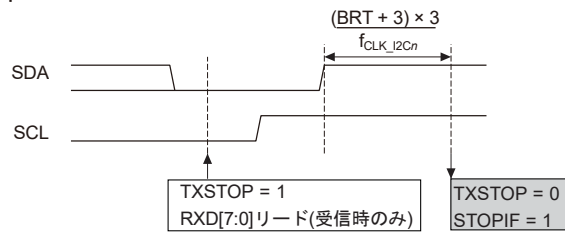
スレーブモード



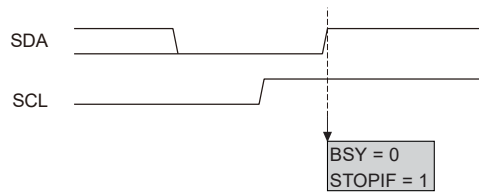
13 I²C(I2C)

(2) ストップコンディション割り込み

マスターモード



スレーブモード



(f_{CLK_I2Cn} : I2C の動作クロック周波数 [Hz], BRT: I2CnBR.BRT[6:0]ビットの設定値(1~127))

図 13.5.1 スタート/ストップコンディション割り込みタイミング

13.6 制御レジスタ

I2C Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 **DBRUN**

このビットは、DEBUG モード時に I2C 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 **CLKDIV[1:0]**

これらのビットは、I2C 動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 **CLKSRC[1:0]**

これらのビットは、I2C のクロックソースを選択します。

表 13.6.1 クロックソースと分周比の設定

I2CnCLK. CLKDIV[1:0]ビット	I2CnCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: I2CnCLK レジスタは、I2CnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

I2C Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnMOD	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2	OADR10	0	H0	R/W	
	1	GCEN	0	H0	R/W	
	0	-	0	-	R	

Bits 15-3 Reserved

Bit 2 OADR10

このビットは、スレーブモード時の自己アドレスのビット数を設定します。

1 (R/W): 10 ビットアドレス

0 (R/W): 7 ビットアドレス

Bit 1 GCEN

このビットは、スレーブモード時に、マスタからのジェネラルコールに応答するか否かを設定します。

1 (R/W): ジェネラルコールに応答する

0 (R/W): ジェネラルコールに応答しない

Bit 0 Reserved

注: I2CnMOD レジスタは、I2CnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

I2C Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnBR	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6-0	BRT[6:0]	0x7f	H0	R/W	

Bits 15-7 Reserved

Bits 6-0 BRT[6:0]

これらのビットは、マスタモードにおける I2C Ch.n の転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: ・ I2CnBR レジスタは、I2CnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

・ I2CnBR レジスタを 0 に設定することを禁止します。

I2C Ch.n Own Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnOADR	15-10	-	0x00	-	R	-
	9-0	OADR[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OADR[9:0]

これらのビットは、スレーブモード時の自己アドレスを設定します。

10 ビットアドレスモード(I2CnMOD.OADR10 ビット = 1)のときは、I2CnOADR.OADR[9:0]ビットが有効です。7 ビットアドレスモード(I2CnMOD.OADR10 ビット = 0)のときは、

I2CnOADR.OADR[6:0]ビットが有効です。

注: I2CnOADR レジスタは、I2CnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

I2C Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCTL	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	
	5	MST	0	H0	R/W	
	4	TXNACK	0	H0/S0	R/W	
	3	TXSTOP	0	H0/S0	R/W	
	2	TXSTART	0	H0/S0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–6 Reserved**Bit 5 MST**

このビットは、I2C Ch.n の動作モードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

Bit 4 TXNACK

このビットは、次回の応答時に NACK の送出を要求します。

1(W): NACK による応答を要求

0(W): 無効

1(R): NACK 送出待機中/送出中

0(R): NACK 送出完了

NACK を送出後、このビットは自動的にクリアされます。

Bit 3 TXSTOP

このビットは、マスタモード時にストップコンディションの生成を要求します。スレーブモードでは無効です。

1(W): ストップコンディションの生成を要求

0(W): 無効

1(R): ストップコンディション送出待機中/送出中

0(R): ストップコンディション送出完了

ストップコンディションを送出し、バスフリー時間(I²C 規格における t_{BUF})時間が経過した後、このビットは自動的にクリアされます。

Bit 2 TXSTART

このビットは、マスタモード時にスタートコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): スタートコンディションの生成を要求

0 (W): 無効

1 (R): スタートコンディション送出待機中/送出中

0 (R): スタートコンディション送出完了

スタートコンディションの送出が完了すると、このビットは自動的にクリアされます。

Bit 1 SFTRST

このビットは、I2C をソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

I2C の送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、I²C の動作をイネーブルにします。

1 (R/W): I²C 動作イネーブル(動作クロックが供給されます。)

0 (R/W): I²C 動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中に I2CnCTL.MODEN ビットを 1 から 0 に変更した場合は、送受信途中のデータは保証されません。この操作の後、I2CnCTL.MODEN ビットを再度 1 に設定する場合は、必ず I2CnCTL.SFTRST ビットにも 1 を書き込んでください。

I2C Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved**Bits 7-0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、I2CnINTF.TBEIF ビット = 1 になっていることを確認してください。

注: I2CnINTF.TBEIF ビット = 0 のときは、I2CnTXD レジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

I2C Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnRXD	15-8	-	0x00	-	R	-
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved**Bits 7-0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。

I2C Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
I2CnINTF	15-13	-	0x0	-	R	-	
	12	SDALOW	0	H0	R		
	11	SCLLOW	0	H0	R		
	10	BSY	0	H0/S0	R		
	9	TR	0	H0	R		
	8	-	0	-	R		
	7	BYTEENDIF	0	H0/S0	R/W		Cleared by writing 1.
	6	GCIF	0	H0/S0	R/W		
	5	NACKIF	0	H0/S0	R/W		
	4	STOPIF	0	H0/S0	R/W		
	3	STARTIF	0	H0/S0	R/W		
	2	ERRIF	0	H0/S0	R/W		Cleared by reading the I2CnRXD register.
	1	RBFIF	0	H0/S0	R		
	0	TBEIF	0	H0/S0	R		

Bits 15-13 Reserved**Bit 12 SDALOW**

このビットは、SDA が LOW レベルであることを示します。

1 (R): SDA = LOW レベル

0 (R): SDA = HIGH レベル

Bit 11 SCLLOW

このビットは、SCL が LOW レベルであることを示します。

1 (R): SCL = LOW レベル

13 I²C(I2C)

- 0 (R): SCL = HIGH レベル
- Bit 10 BSY**
このビットは、I²C バスがビジー状態であることを示します。
1 (R): I²C バスビジー
0 (R): I²C バスフリー
- Bit 9 TR**
このビットは、I2C が送信モードか否かを示します。
1 (R): 送信モード
0 (R): 受信モード
- Bit 8 Reserved**
Bit 7 BYTEENDIF
Bit 6 GCIF
Bit 5 NACKIF
Bit 4 STOPIF
Bit 3 STARTIF
Bit 2 ERRIF
Bit 1 RBFIF
Bit 0 TBEIF
- これらのビットは、I2C 割り込み要因の発生状況を示します。
1 (R): 割り込み要因あり
0 (R): 割り込み要因なし
1 (W): フラグをクリア(BYTEENDIF, GCIF, NACKIF, STOPIF, STARTIF, ERRIF)
無効(RBFIF, TBEIF)
0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

- I2CnINTF.BYTEENDIF ビット: 送受信完了割り込み
I2CnINTF.GCIF ビット: ジェネラルコールアドレス受信割り込み
I2CnINTF.NACKIF ビット: NACK 受信割り込み
I2CnINTF.STOPIF ビット: ストップコンディション割り込み
I2CnINTF.STARTIF ビット: スタートコンディション割り込み
I2CnINTF.ERRIF ビット: エラー検出割り込み
I2CnINTF.RBFIF ビット: 受信バッファフル割り込み
I2CnINTF.TBEIF ビット: 送信バッファエンブティ割り込み

I2C Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnINTE	15-8	—	0x00	—	R	—
	7	BYTEENDIE	0	H0	R/W	
	6	GCIE	0	H0	R/W	
	5	NACKIE	0	H0	R/W	
	4	STOPIE	0	H0	R/W	
	3	STARTIE	0	H0	R/W	
	2	ERRIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

- Bits 15-8 Reserved**
Bit 7 BYTEENDIE
Bit 6 GCIE
Bit 5 NACKIE
Bit 4 STOPIE
Bit 3 STARTIE
Bit 2 ERRIE
Bit 1 RBFIE
Bit 0 TBEIE

これらのビットは、I²Cの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

I²CnINTE.BYTEENDIE ビット: 送受信完了割り込み

I²CnINTE.GCIE ビット: ジェネラルコールアドレス受信割り込み

I²CnINTE.NACKIE ビット: NACK 受信割り込み

I²CnINTE.STOPIE ビット: ストップコンディション割り込み

I²CnINTE.STARTIE ビット: スタートコンディション割り込み

I²CnINTE.ERRIE ビット: エラー検出割り込み

I²CnINTE.RBFIE ビット: 受信バッファフル割り込み

I²CnINTE.TBEIE ビット: 送信バッファエンプティ割り込み

14 16 ビット PWM タイマ(T16B)

14.1 概要

T16B は、コンパレータ/キャプチャ機能を持つ 16 ビット PWM タイマです。主な機能と特長を以下に示します。

- ・カウンタブロック
 - 16 ビットアップ/ダウンカウンタ
 - クロックソースと分周比の選択により、チャンネル別にカウントクロックを設定可能
 - アップカウント、ダウンカウント、またはアップ/ダウンカウント動作と、ワンショット動作(設定した 1 周期でカウント停止)またはリピート動作(ソフトウェアで停止するまで連続カウント)を組み合わせるカウント動作モードを設定可能
 - 外部クロックを使用するイベントカウンタ機能に対応
- ・コンパレータ/キャプチャブロック
 - 1 チャンネルあたり最大 6 系統のコンパレータ/キャプチャ回路を内蔵可能
 - コンパレータはカウンタ値とソフトウェアで指定した値を比較し、割り込み信号や PWM 波形を生成(インターバルタイマ、PWM 波形ジェネレータ、外部イベントカウンタとして使用可能)
 - キャプチャ回路は外部/ソフトウェアトリガ信号によってカウンタ値をキャプチャし、割り込みを発生(外部イベント期間/周期測定に使用可能)

図 14.1.1 に T16B の構成を示します。

表 14.1.1 S1C17W11 の T16B チャンネル構成

項目	S1C17W11
チャンネル数	2チャンネル (Ch.0~Ch.1)
イベントカウンタ機能	Ch.0: EXCL00, EXCL01端子入力 Ch.1: EXCL10, EXCL11端子入力
チャンネル内コンパレータ/ キャプチャ回路数	2系統(0と1)
タイマ生成信号出力	Ch.0: TOUT00, TOUT01端子出力(2系統) Ch.1: TOUT10, TOUT11端子出力(2系統)
キャプチャ信号入力	Ch.0: CAP00, CAP01端子入力(2系統) Ch.1: CAP10, CAP11端子入力(2系統)

注: 本章では、チャンネル番号を n 、入出力端子番号およびチャンネル内のコンパレータ/キャプチャ回路番号を m と記述します。

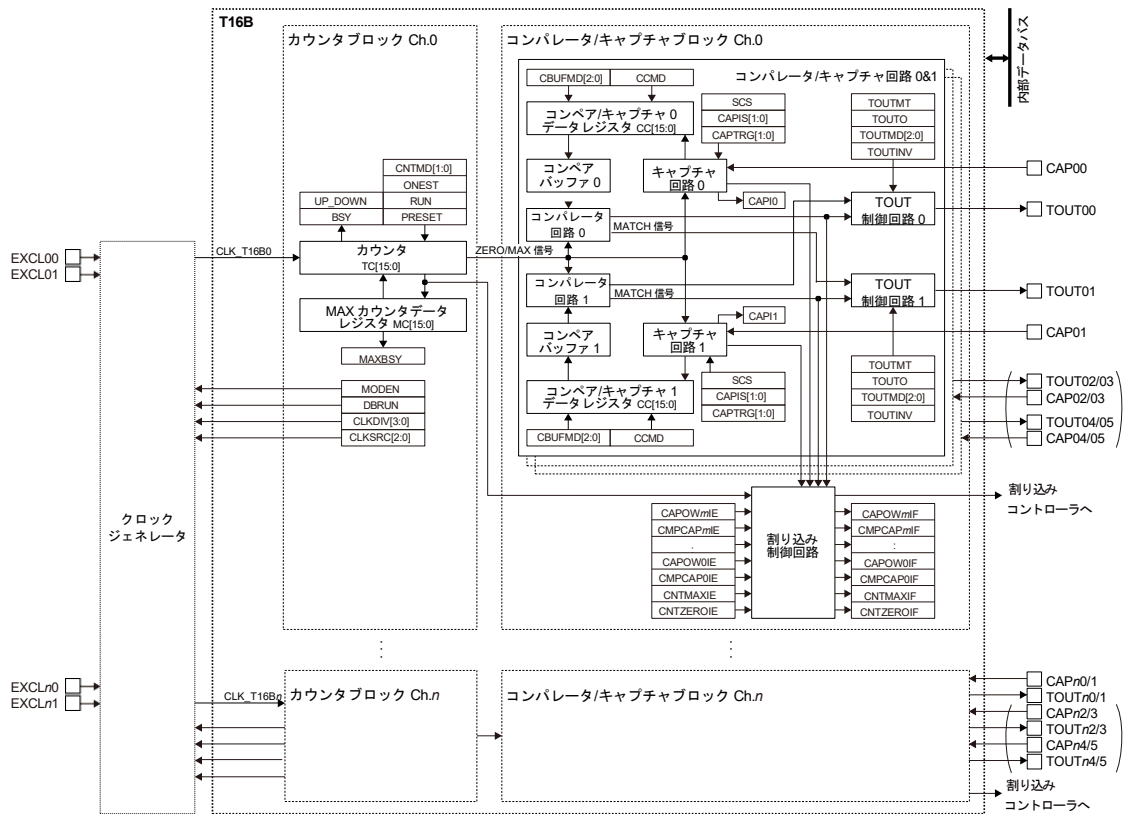


図 14.1.1 T16B の構成

14.2 入出力端子

表 14.2.1 に T16B の端子一覧を示します。

表 14.2.1 T16B 端子一覧

端子名	I/O*	イニシャル状態*	機能
EXCLnm	I	I (Hi-Z)	外部クロック入力
TOUTnm/CAPnm	O or I	O (L)	TOUT信号出力(コンパレータモード時)またはキャプチャトリガ信号入力(キャプチャモード時)

* 端子機能を T16B に切り換えた時点の状態

これらの T16B 端子と他の機能がポートを共有している場合、T16B を使用する前に T16B の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

14.3 クロック設定

14.3.1 T16B の動作クロック

T16B Ch.*n* を使用する場合、クロックジェネレータから T16B Ch.*n* 動作クロック CLK_T16B*n* を T16B Ch.*n* に供給する必要があります。

CLK_T16B*n* の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
外部クロックを使用する場合は、EXCL*nm* 端子機能を選択する(“入出力ポート”の章を参照)。
2. T16B*n*CLK レジスタの以下のビットを設定する。
 - T16B*n*CLK.CLKSRC[2:0]ビット (クロックソースの選択)
 - T16B*n*CLK.CLKDIV[3:0]ビット(クロック分周比の選択=クロック周波数の設定)

14.3.2 SLEEP モード時のクロック供給

SLEEP モード時に T16B を使用する場合は、T16B 動作クロック CLK_T16B*n* のクロックソースに対応した CLGOSC.*xxxx*SLPC ビットに 0 を書き込み、CLK_T16B*n* を供給し続ける必要があります。

SLEEP モード時に、CLK_T16B*n* のクロックソースに対応した CLGOSC.*xxxx*SLPC ビットが 1 の場合は、CLK_T16B*n* のクロックソースが停止し、SLEEP モードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16B が停止します。その後通常モードに戻ると、CLK_T16B*n* が供給され、T16B の動作が再開します。

14.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_T16B*n* の供給は T16B*n*CLK.DBRUN ビットで制御します。

T16B*n*CLK.DBRUN ビット=0 の場合、DEBUG モードに移行すると T16B Ch.*n* への CLK_T16B*n* の供給が停止します。その後通常モードに戻ると、CLK_T16B*n* の供給が再開します。CLK_T16B*n* の供給が停止すると T16B Ch.*n* の動作は停止しますが、カウンタやレジスタは DEBUG モードへ移行前の状態に保持されます。

T16B*n*CLK.DBRUN ビット=1 の場合、DEBUG モード時も CLK_T16B*n* の供給は停止せず、T16B Ch.*n* は動作を継続します。

14.3.4 イベントカウンタクロック

T16B*n*CLK.CLKSRC[2:0]ビットでクロックソースに EXCL*nm* を選択すると、そのチャネルは EXCL*nm* 端子の入力クロックをカウントするタイマまたはイベントカウンタとして機能します。

カウンタは入力信号の立ち上がりエッジでカウントを行います。クロックソースに EXCL*nm* 反転入力を選択することで、オリジナル信号の立ち下がりエッジでカウントさせることもできます。

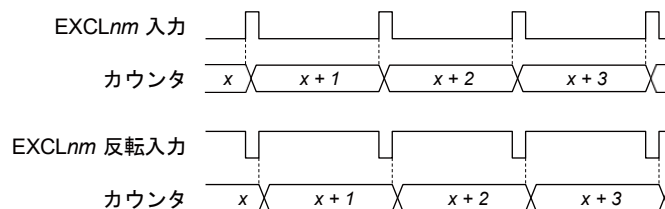


図 14.3.4.1 カウントタイミング(カウントアップ動作時)

注: イベントカウンタクロックで動作させる場合、初回のカウントアップ/ダウンまでにダミーのクロックが2クロック必要になります。

14.4 動作

14.4.1 初期設定

T16B Ch.*n* は、以下の手順により初期設定を行い、カウントを開始させます。
インターバルタイマ、PWM 波形ジェネレータ、外部イベントカウンタとして使用する場合はコンパレータモード時の初期設定を、外部イベント期間/周期測定に使用する場合はキャプチャモード時の初期設定を行ってください。

コンパレータモード時の初期設定

1. T16B Ch.*n* 動作クロックを設定する。
2. T16BnCTL.MODEN ビットを 1 に設定する。 (T16B 動作イネーブル)
3. T16BnCCCTL0 および T16BnCCCTL1 レジスタの以下のビットを設定する。
 - T16BnCCCTLm.CCMD ビットを 0 に設定* (コンパレータモードに設定)
 - T16BnCCCTLm.CBUFMD[2:0] ビット (コンペアバッファの設定)
 * コンパレータ/キャプチャ回路は、ペア(回路 0&1、2&3、4&5)の一方をキャプチャモードに設定することも可能です。
- TOUT_{nm} 出力を使用する場合は以下のビットも設定する。
 - T16BnCCCTLm.TOUTMT ビット (波形生成信号の選択)
 - T16BnCCCTLm.TOUTMD[2:0] ビット (TOUT 信号生成モードを選択)
 - T16BnCCCTLm.TOUTINV ビット (TOUT 信号極性の選択)
4. T16BnCTL.MAXBSY ビットが 0 になっていることを確認する。
5. T16BnCCR0 レジスタ、T16BnCCR1 レジスタを設定する。 (カウンタ比較値を設定)
6. T16BnMC レジスタを設定する。 (MAX カウンタデータを設定)
7. 割り込みを使用する場合は以下のビットを設定する。
 - T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア)
 - T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)
8. T16BnCTL.MAXBSY ビットおよび T16BnCTL.RUN ビットが 0 になっていることを確認する。
9. T16BnCTL レジスタの以下のビットを設定する。
 - T16BnCTL.CNTMD[1:0] ビット (カウントアップ/ダウン動作の選択)
 - T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択)
 - T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット)
 - T16BnCTL.RUN ビットを 1 に設定 (カウント開始)

キャプチャモード時の初期設定

1. T16B Ch.*n* 動作クロックを設定する。
2. T16BnCTL.MODEN ビットを 1 に設定する。 (T16B 動作イネーブル)
3. T16BnCCCTL0 および T16BnCCCTL1 レジスタの以下のビットを設定する。
 - T16BnCCCTLm.CCMD ビットを 1 に設定* (キャプチャモードに設定)
 - T16BnCCCTLm.SCS ビット (同期/非同期モードの設定)
 - T16BnCCCTLm.CAPIS[1:0] ビット (トリガ信号の設定)
 - T16BnCCCTLm.CAPTRG[1:0] ビット (トリガエッジの選択)
 * コンパレータ/キャプチャ回路は、ペア(回路 0&1、2&3、4&5)の一方をコンパレータモードに設定することも可能です。
4. T16BnCTL.MAXBSY ビットが 0 になっていることを確認する。
5. T16BnMC レジスタを設定する。 (MAX カウンタデータを設定)
6. 割り込みを使用する場合は以下のビットを設定する。
 - T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア)
 - T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)
7. T16BnCTL.MAXBSY ビットおよび T16BnCTL.RUN ビットが 0 になっていることを確認する。
8. T16BnCTL レジスタの以下のビットを設定する。
 - T16BnCTL.CNTMD[1:0] ビット (カウントアップ/ダウン動作の選択)
 - T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択)
 - T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット)
 - T16BnCTL.RUN ビットを 1 に設定 (カウント開始)

14 16 ビット PWM タイマ(T16B)

14.4.2 カウンタブロックの動作

各カウンタブロックチャンネルのカウンタは、選択した動作クロック(カウントクロック)をカウントする 16 ビット アップ/ダウンカウンタです。

カウントモード

T16BnCTL.CNTMD[1:0]ビットでアップ、ダウン、アップ/ダウンモードを、T16BnCTL.ONEST ビットでリピート、ワンショットモードを選択可能です。カウンタは、この組み合わせにより 6 種類のカウントモードで動作します。

リピートモードは、ソフトウェアで停止するまでカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合などに選択します。

ワンショットモードは、カウンタが自動的に停止します。パルス幅など、外部イベント間隔を測定する場合や、特定の時間経過を確認するときなど、1 度の割り込みで停止させる場合はこのモードを選択します。

アップ、ダウン、アップ/ダウンモードは、カウンタをそれぞれアップカウンタ、ダウンカウンタ、アップ/ダウンカウンタとして動作させます。

MAX カウンタデータレジスタ

MAX カウンタデータレジスタ(T16BnMC.MC[15:0]ビット)は、カウンタの最大値(以降、MAX 値)を設定するために使用します。この設定により、カウント範囲が 0x0000~MAX 値に制限され、カウントや割り込みの周期が決定します。なお、カウンタがリピートモードに設定されている場合は、動作中でも次の手順で MAX 値の書き換えが可能です。

1. T16BnCTL.MAXBSY ビットが 0 になっていることを確認する。
2. T16BnMC.MC[15:0]ビットに MAX 値を書き込む。

注: MAX 値を書き換える場合は、以前設定された MAX 値にカウンタがリセットされてから新たな MAX 値を書き込んでください。

カウンタのリセット

カウンタは、T16BnCTL.PRESET ビットを 1 に設定することによりリセットされます。アップまたはアップ/ダウンモード時は、カウンタが 0x0000 にクリアされます。ダウンモード時はカウンタが MAX 値に設定されます。

また、カウントアップ動作中は、カウンタ値が MAX 値を超えた時点で 0x0000 にクリアされます。

カウント開始

カウントを開始するには、T16BnCTL.RUN ビットを 1 に設定します。カウントの停止制御は、設定されているカウントモードによって変わります。

カウンタ値のリード

カウントを開始するには、T16BnCTL.RUN ビットを 1 に設定します。カウントの停止制御は、設定されているカウントモードによって変わります。

カウンタ値は、T16BnTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16Bn で動作しているため、CPU で正しく読み出すためには、下記のいずれかの操作が必要です。

- 2 回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

カウンタステータスの確認

カウンタの動作状態は、T16BnCS.BSY ビットで確認可能です。カウンタが動作中は T16BnCS.BSY ビットが 1、停止中は 0 になります。

また、現在のカウンタ方向が T16BnCS.UP_DOWN ビットで確認可能です。カウントアップ動作中は T16BnCS.UP_DOWN ビットが 1、カウントダウン動作中は 0 になります。

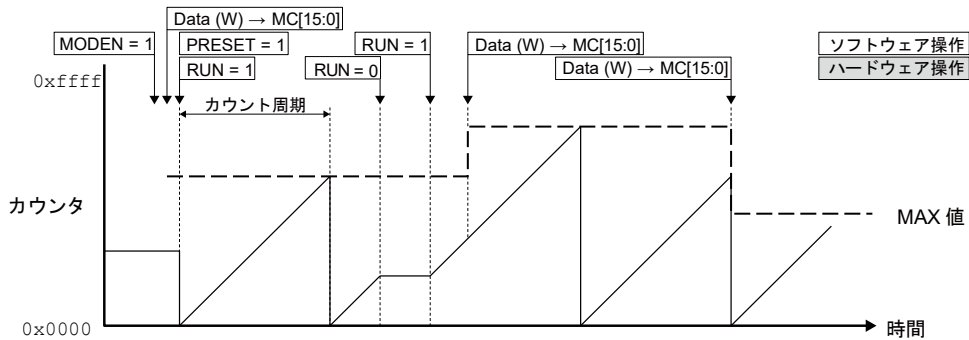
リピートアップカウントモード、ワンショットアップカウントモードの動作

これらのモードでは、カウンタがアップカウンタとして動作し、0x0000(または現在値)から MAX 値までカウントを行います。

リピートアップカウントモード時は、カウンタが MAX 値を超えると 0x0000 に戻り、その後も T16BnCTL.RUN ビットを 0 に設定するまで、カウントを継続します。カウンタが動作中に MAX 値を現在のカウンタ値よりも大きな値に変更した場合は、新たな MAX 値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を 0x0000 に戻してから新たな MAX 値までカウントアップを続けます。

ワンショットアップカウントモード時は、カウンタが MAX 値を超えると 0x0000 に戻り、その時点で自動的に停止します。

(1) リピートアップカウントモード



(2) ワンショットアップカウントモード

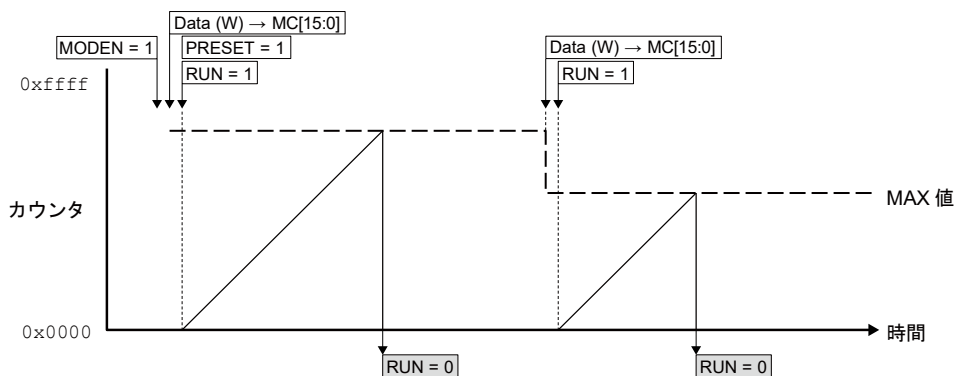


図 14.4.2.1 リピートアップカウントモード、ワンショットアップカウントモードの動作

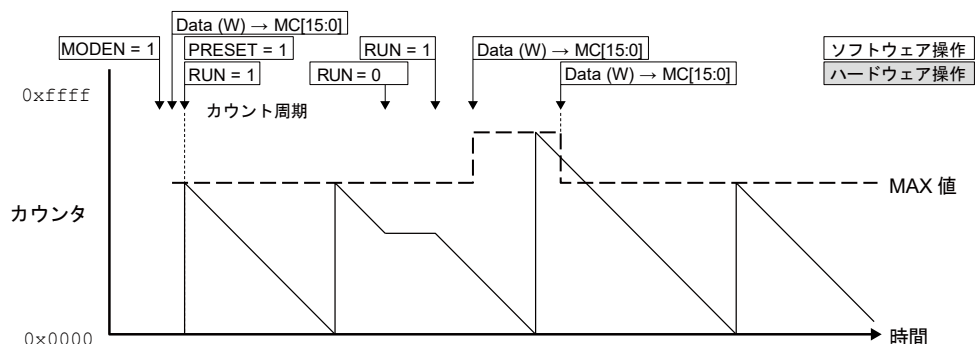
リピートダウンカウントモード、ワンショットダウンカウントモードの動作

これらのモードでは、カウンタがダウンカウンタとして動作し、MAX 値(または現在値)から 0x0000 までカウントを行います。

リピートダウンカウントモード時は、カウンタがアンダーフローすると MAX 値に戻り、その後も T16BnCTL.RUN ビットを 0 に設定するまで、カウントを継続します。カウンタが動作中に MAX 値を変更した場合もそのまま 0x0000 までカウントし、アンダーフロー後に新たな MAX 値からカウントダウンを続けます。

ワンショットダウンカウントモード時は、カウンタがアンダーフローすると MAX 値に戻り、その時点で自動的に停止します。

(1) リピートアップカウントモード



14 16 ビット PWM タイマ(T16B)

(2) ワンショットダウンカウントモード

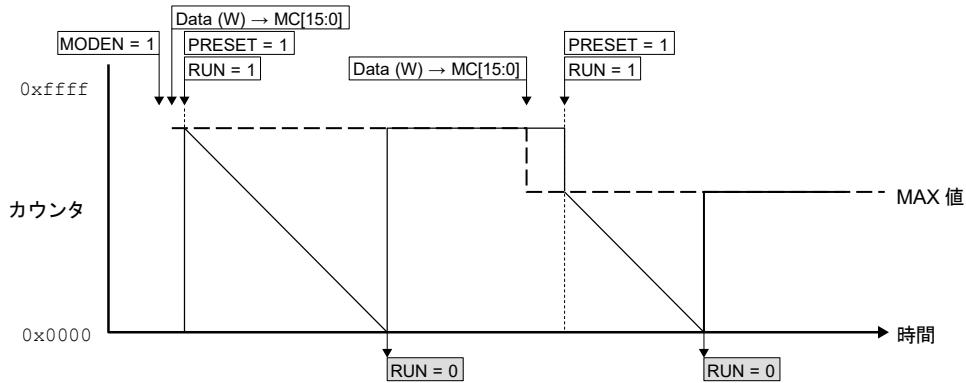


図 14.4.2.2 リピートダウンカウントモード、ワンショットダウンカウントモードの動作

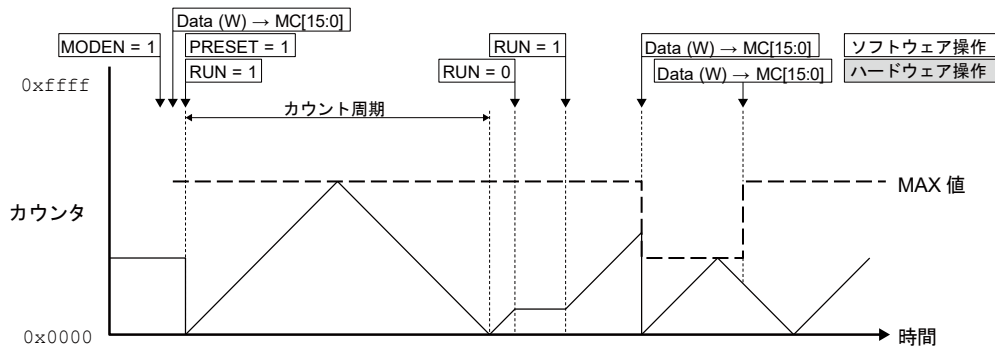
リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

これらのモードでは、カウンタがアップ/ダウンカウンタとして動作し、0x0000(または現在値)→MAX 値→0x0000 のカウントを行います。

リピートアップ/ダウンカウントモード時は、T16BnCTL.RUN ビットを 0 に設定するまで、0x0000 から MAX 値までのカウントアップと、MAX 値から 0x0000 までのカウントダウンを繰り返します。カウンタがカウントアップ動作中に MAX 値を現在のカウンタ値よりも大きな値に変更した場合は、新たな MAX 値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を 0x0000 に戻してから新たな MAX 値までカウントアップを続けます。カウントダウン動作中に MAX 値を変更した場合はそのまま 0x0000 までカウント後、新たな MAX 値までカウントアップを続けます。

ワンショットアップ/ダウンカウントモード時は、カウンタがカウントダウンによって 0x0000 になると自動的に停止します。

(1) リピートアップ/ダウンカウントモード



(2) ワンショットアップ/ダウンカウントモード

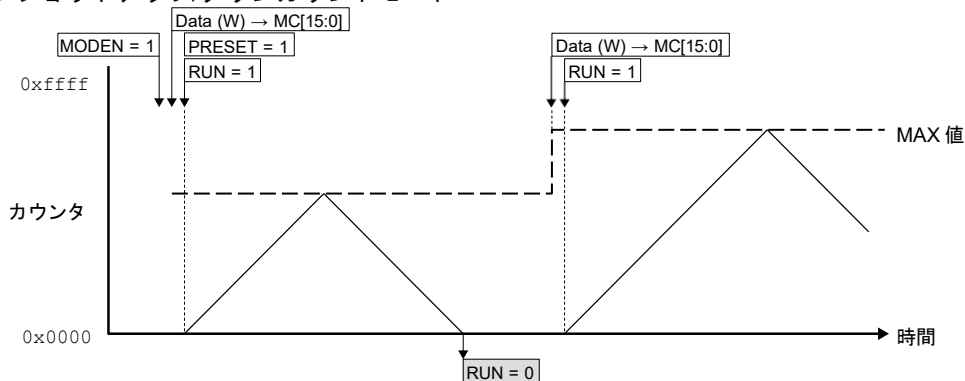


図 14.4.2.3 リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

14.4.3 コンパレータ/キャプチャブロックの動作

コンパレータ/キャプチャブロックは、ソフトウェアにより選択した動作モードに従ってカウンタ値とレジスタ設定値を比較するコンパレータ、または外部/ソフトウェアトリガ信号によってカウンタ値を取得するキャプチャ回路として機能します。

コンパレータ/キャプチャブロックの動作モード

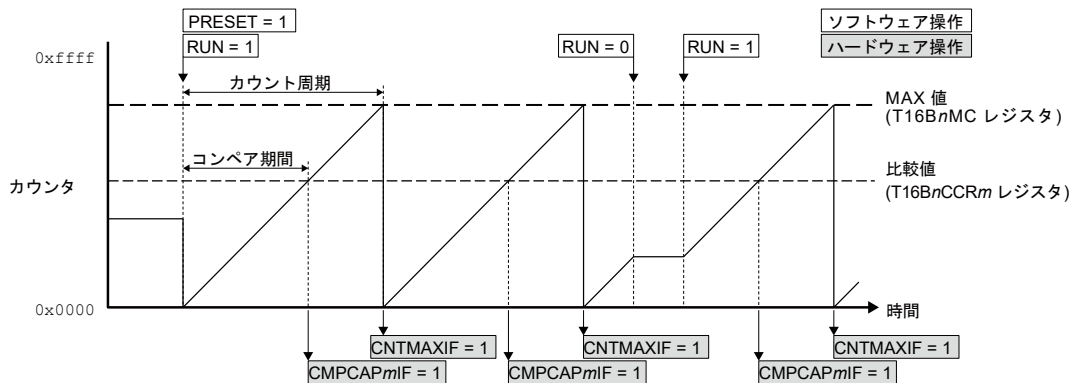
コンパレータ/キャプチャブロックには2系統(4系統、または6系統)のコンパレータ/キャプチャ回路が組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。コンパレータモードに設定するには、T16BnCCCTLm.CCMD ビットを0に、キャプチャモードに設定するには1に設定します。

コンパレータモードの動作

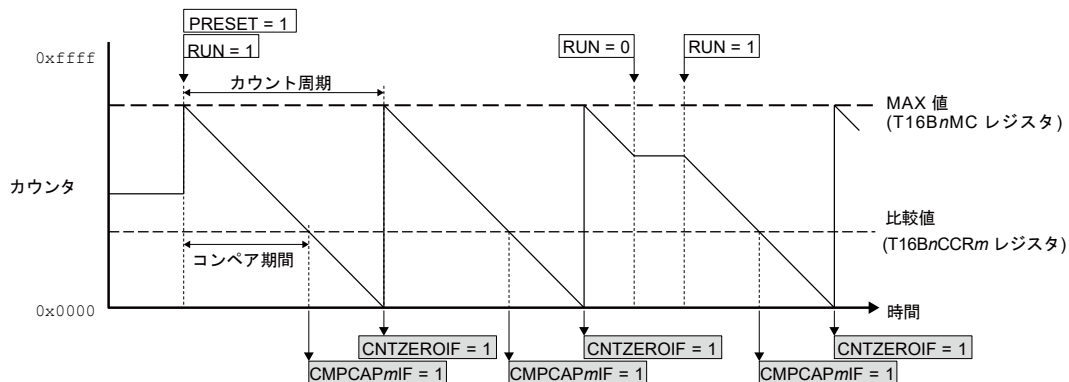
コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16BnCCRm レジスタは比較値を設定しておくコンパレータレジスタとして機能します。また、TOUTnm/CAPnm 端子は TOUTnm 端子となります。

カウント中にカウンタ値が T16BnCCRm レジスタの設定値になると、コンパレータから MATCH 信号が出力され、T16BnINTF.COMPCAPmIF ビット(コンパレータ割り込みフラグ)が1にセットされます。また、コンパレータモードでカウンタ値が MAX 値に達した場合は T16BnINTF.CNTMAXIF ビット(カウンタ MAX 割り込みフラグ)が、カウンタ値が 0x0000 になった場合は T16BnINTF.CNTZEROIF ビット(カウンタゼロ割り込みフラグ)がそれぞれ1にセットされます。

(1) リピートアップカウントモード

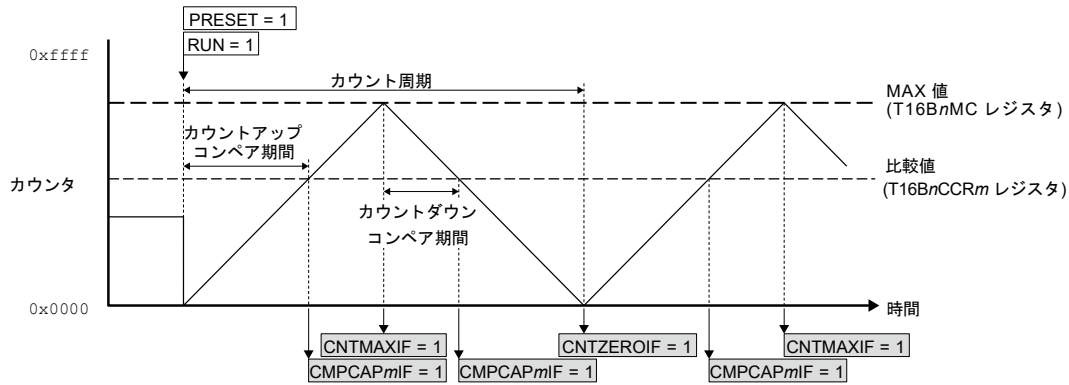


(2) リピートダウンカウントモード



14 16 ビット PWM タイマ(T16B)

(3) リピートアップ/ダウンカウントモード



(ソフトウェアによる T16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIF ビットのクリア操作は省略しています。)

図 14.4.3.1 コンパレータモード時の動作例

カウンタ = 0x0000 または MAX 値からコンペア割り込みが発生するまでの期間(コンペア期間)、およびカウンタ MAX またはカウンタゼロ割り込みが発生するまでの期間(カウント周期)は次のように計算できます。

カウントアップ時

$$\text{コンペア期間} = \frac{(CC + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{(式 14.1)}$$

カウントダウン時

$$\text{コンペア期間} = \frac{(MAX - CC + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{(式 14.2)}$$

ここで

CC: T16BnCCRm レジスタ設定値(0~65,535)

MAX: T16BnMC レジスタ設定値(0~65,535)

f_{CLK_T16B}: カウントクロック周波数 [Hz]

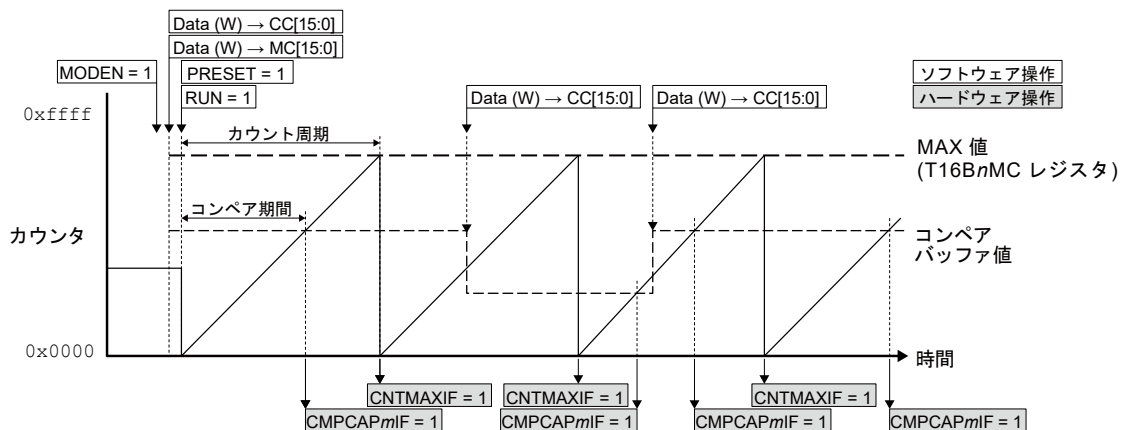
コンパレータの MATCH 信号とカウンタ MAX/ZERO 信号は、タイマ出力波形(TOUT)の生成にも使用されません。詳細については、“TOUT 出力の制御”を参照してください。

コンペアバッファ

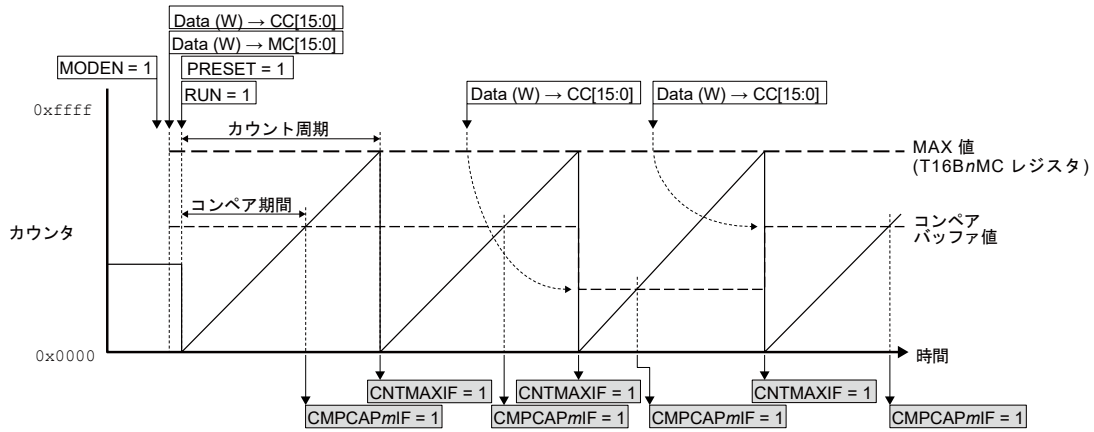
コンパレータは、T16BnCCRm レジスタに書き込まれた比較値をコンペアバッファにロードしてカウンタ値と比較します。たとえば、PWM 波形を生成する場合、カウント動作と非同期に比較値を変更すると期待したデューティの波形が生成できません。このため、コンペアバッファにはカウンタの動作に同期して比較値がロードされるように、そのタイミングを T16BnCCCTLm.CBUFMD[2:0]ビットで設定することができます。

(1) リピートアップカウントモード

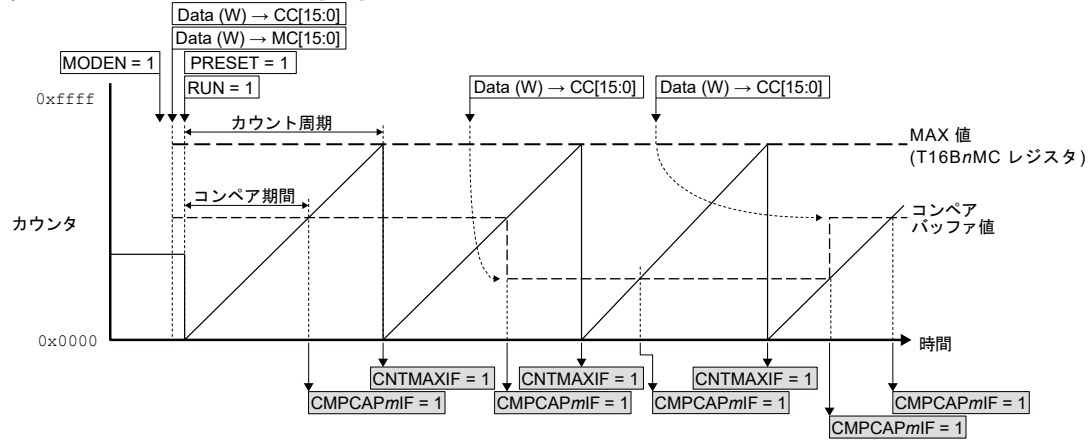
(1.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0



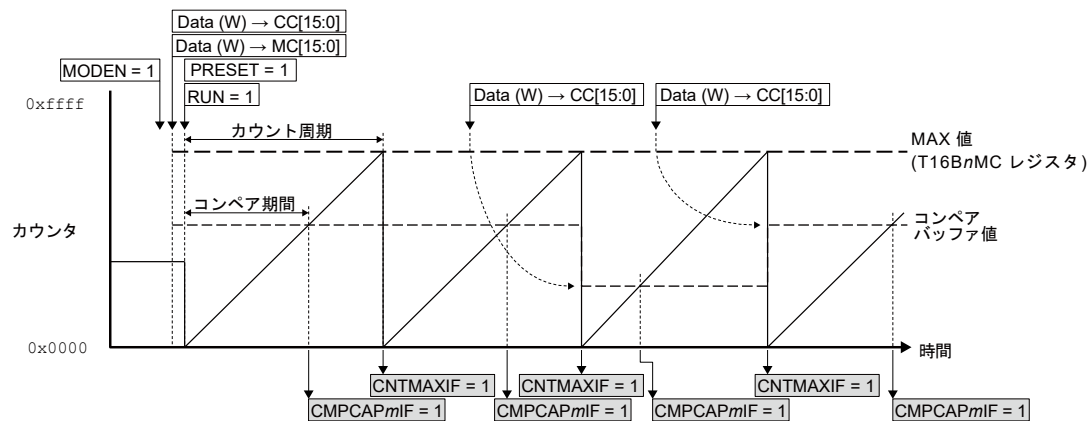
(1.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



(1.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2

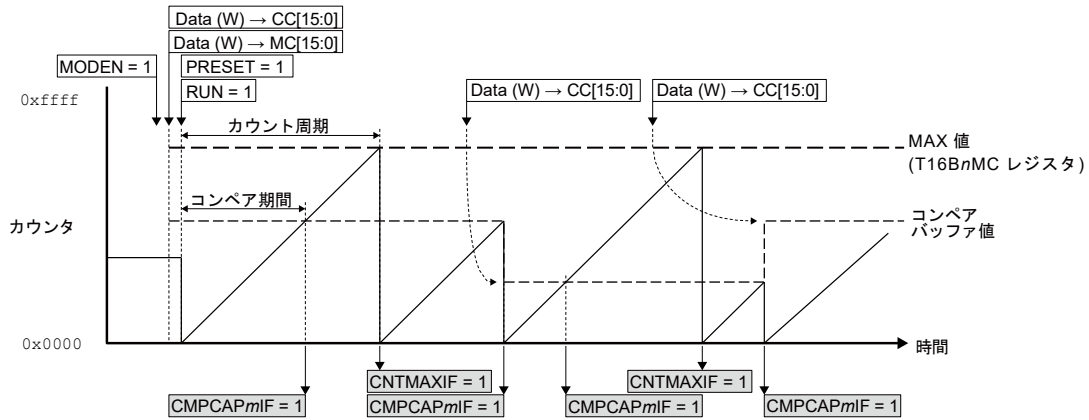


(1.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3



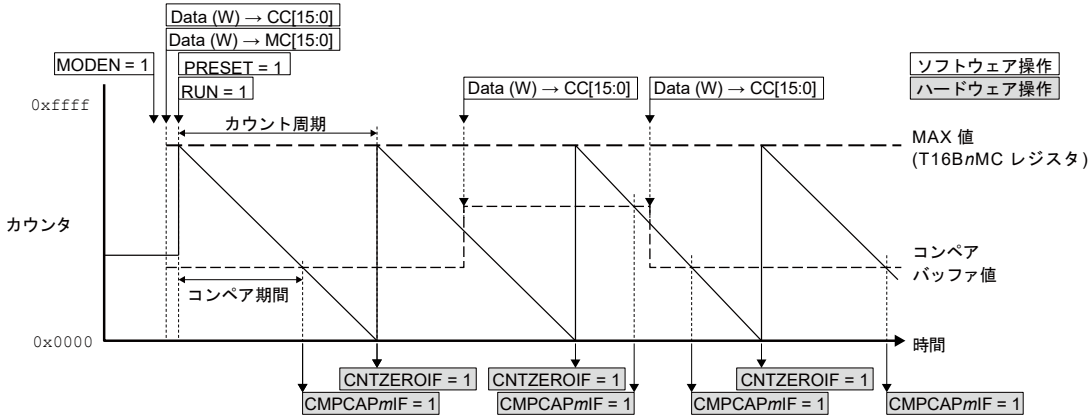
14 16 ビット PWM タイマ(T16B)

(1.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

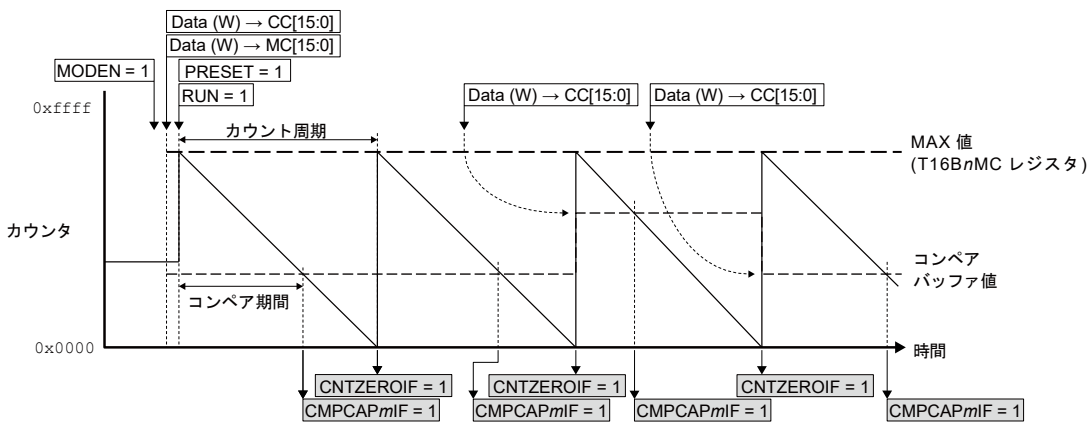


(2) リポートダウンカウントモード

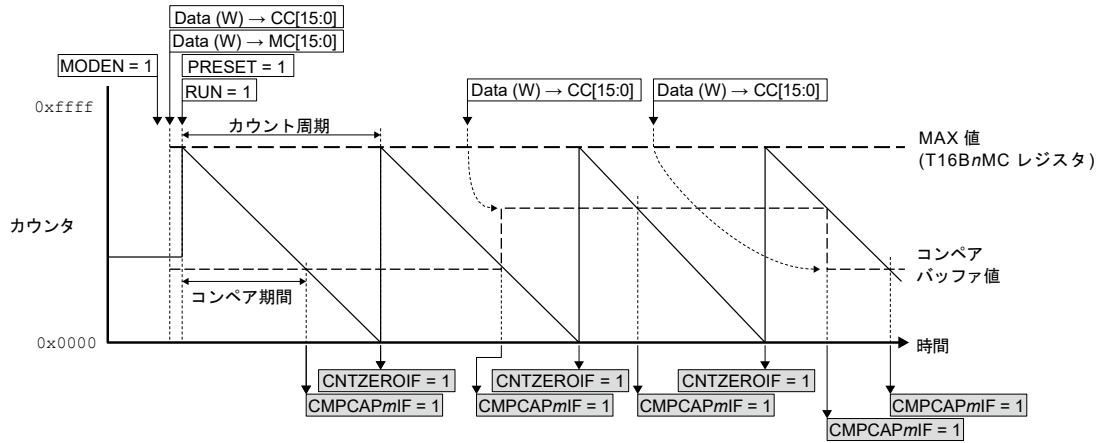
(2.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0



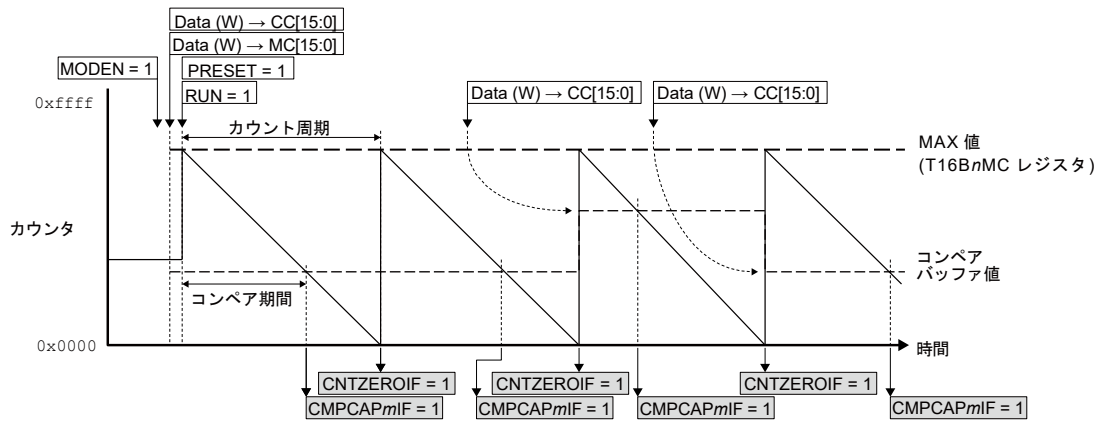
(2.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



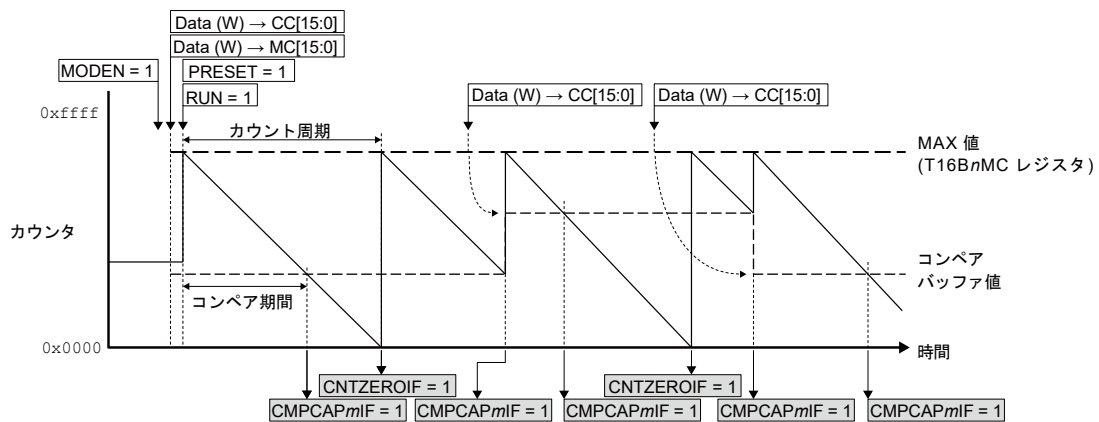
(2.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(2.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3

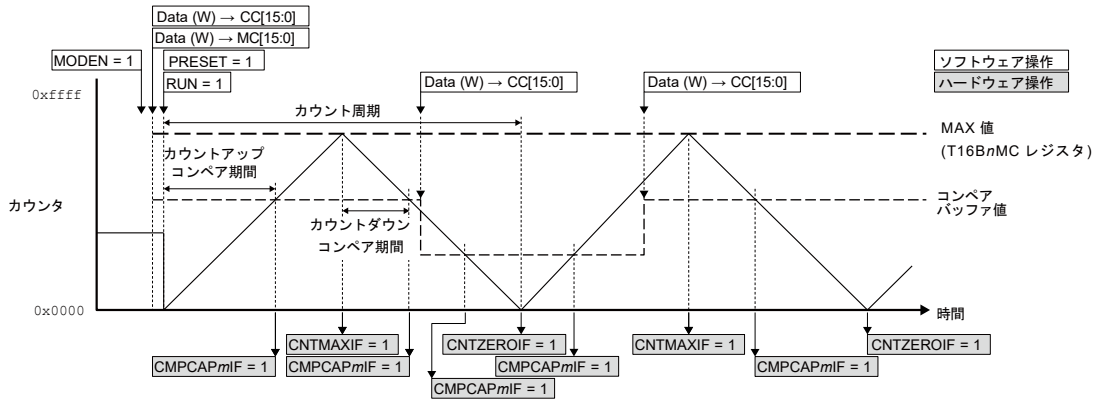


(2.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

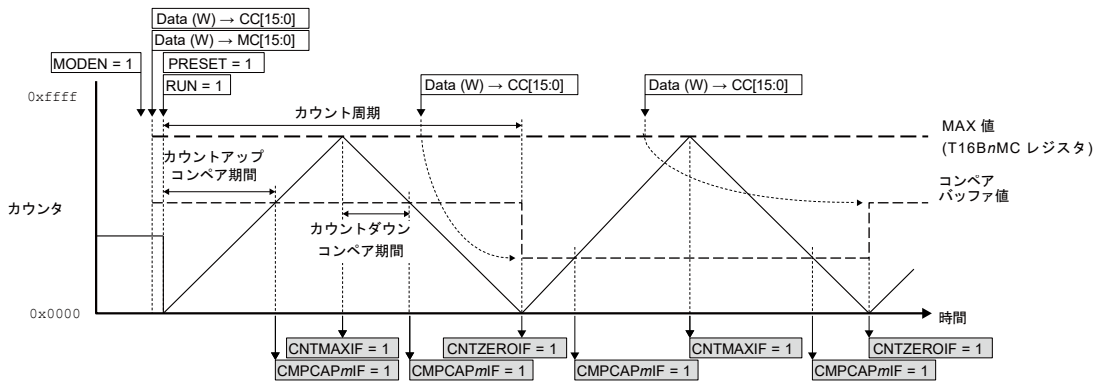


14 16 ビット PWM タイマ(T16B)

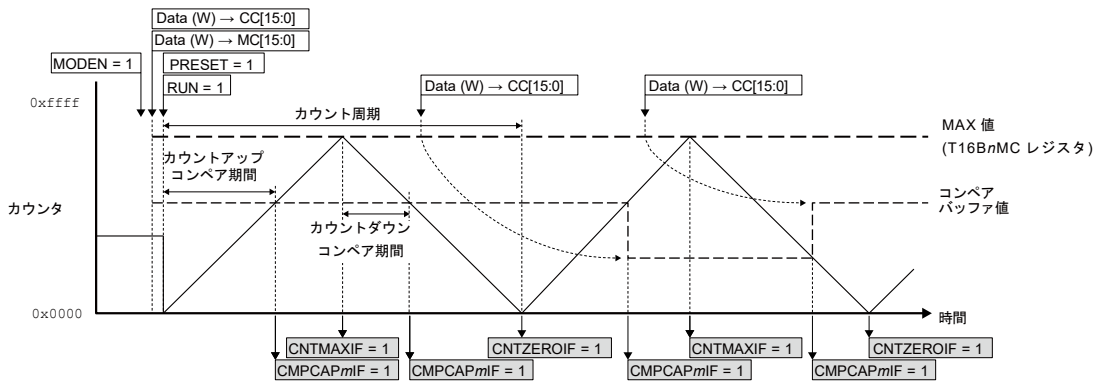
(3) リピートアップ/ダウンカウントモード (3.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0



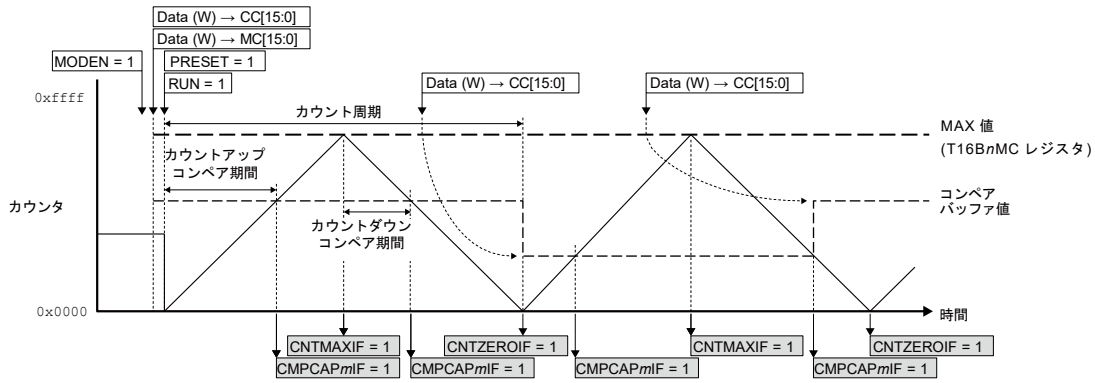
(3.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



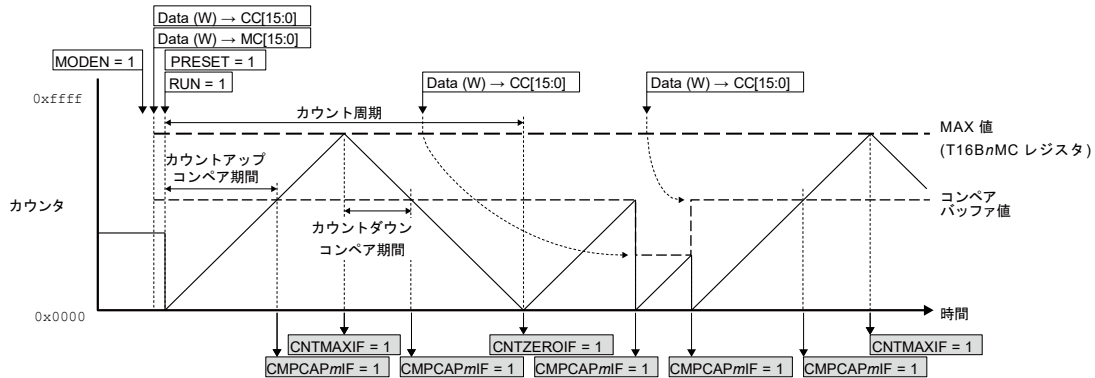
(3.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(3.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3



(3.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4



(ソフトウェアによる T16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIF ビットのクリア操作は省略しています。)

図 14.4.3.2 コンペアバッファの動作

キャプチャモードの動作

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力/ソフトウェアトリガ信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16BnCCRm レジスタがキャプチャデータを読み出すためのキャプチャレジスタとして機能します。また、TOUTnm/CAPnm 端子は CAPnm 端子となります。

カウンタ値をキャプチャするためのトリガ信号とトリガエッジは、それぞれ T16BnCCCTLm.CAPIS[1:0]ビットと T16BnCCCTLm.CAPTRG[1:0]ビットにより選択します。

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値が T16BnCCRm レジスタにロードされます。同時に T16BnINTF.CMPCAPmIF ビットがセットされます。これによる割り込みを利用して、キャプチャデータを T16BnCCRm レジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。T16BnINTF.CMPCAPmIF ビットがセットされた状態で、次のトリガにより T16BnCCRm レジスタのキャプチャデータが上書きされた場合は、オーバーライトエラーとなります(T16BnINTF.CAPOWmIF ビットがセットされます)。

14 16 ビット PWM タイマ(T16B)

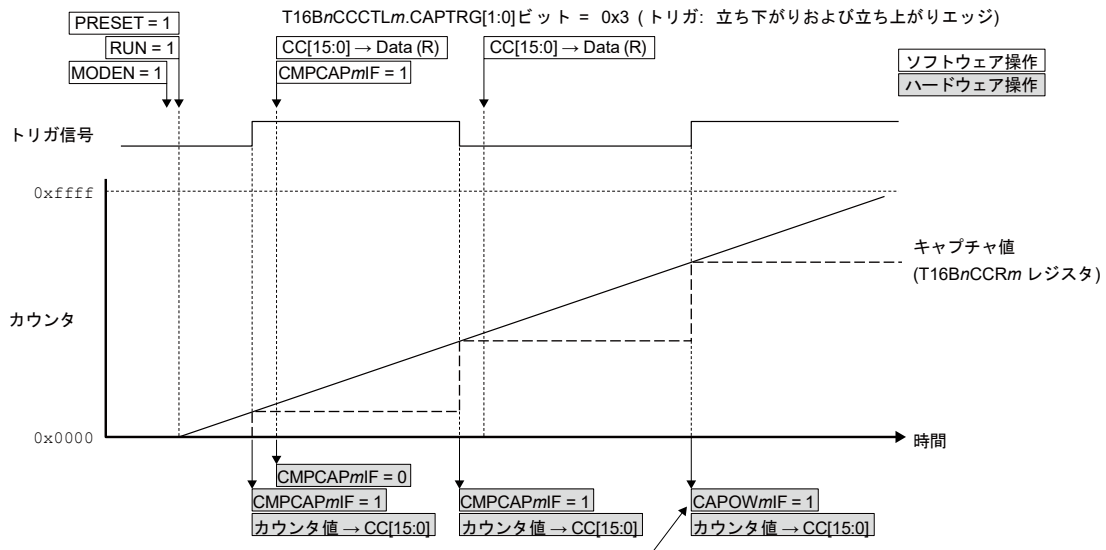


図 14.4.3.3 キャプチャモードの動作(ワンショットアップカウントモードの例)

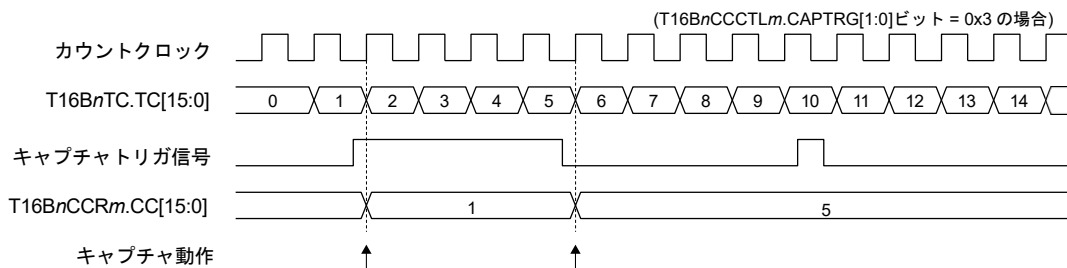
同期キャプチャモード/非同期キャプチャモード

キャプチャ回路は、同期キャプチャモードと非同期キャプチャモードの2つのモードで動作可能です。

同期キャプチャモードは、カウンタデータが変化する瞬間のキャプチャ動作により、誤ったデータを読み出す可能性を回避するための動作モードです。同期キャプチャモードにするには、T16BnCCCTLm.SCS ビットを1に設定します。このモードでは、キャプチャ信号をカウンタのクロックと同期させて、カウンタデータをキャプチャします。

一方、非同期キャプチャモードは、同期キャプチャモードでは不可能な、カウンタクロック周期よりも短いトリガパルスを検出してカウンタデータをキャプチャすることができます。非同期キャプチャモードにするには、T16BnCCCTLm.SCS ビットを0に設定します。

(1) 同期キャプチャモード



(2) 非同期キャプチャモード

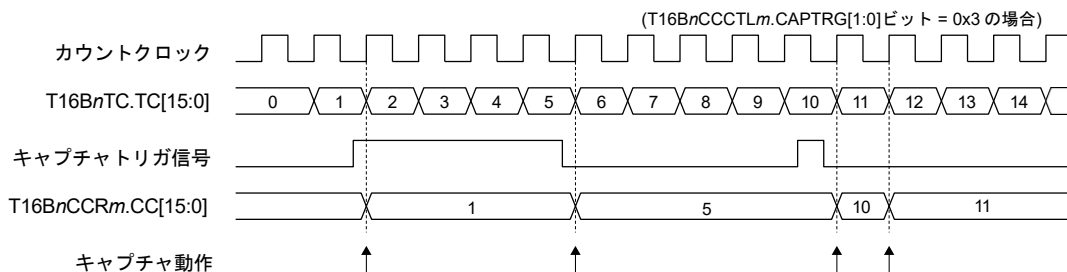


図 14.4.3.4 同期キャプチャモード/非同期キャプチャモード

14.4.4 TOUT 出力の制御

コンパレータモードでは、コンパレータの MATCH 信号およびカウンタの MAX/ZERO 信号によって TOUT 信号を生成し、IC 外部に出力することができます。図 14.4.4.1 に TOUT 出力回路(回路 0&1)を示します。

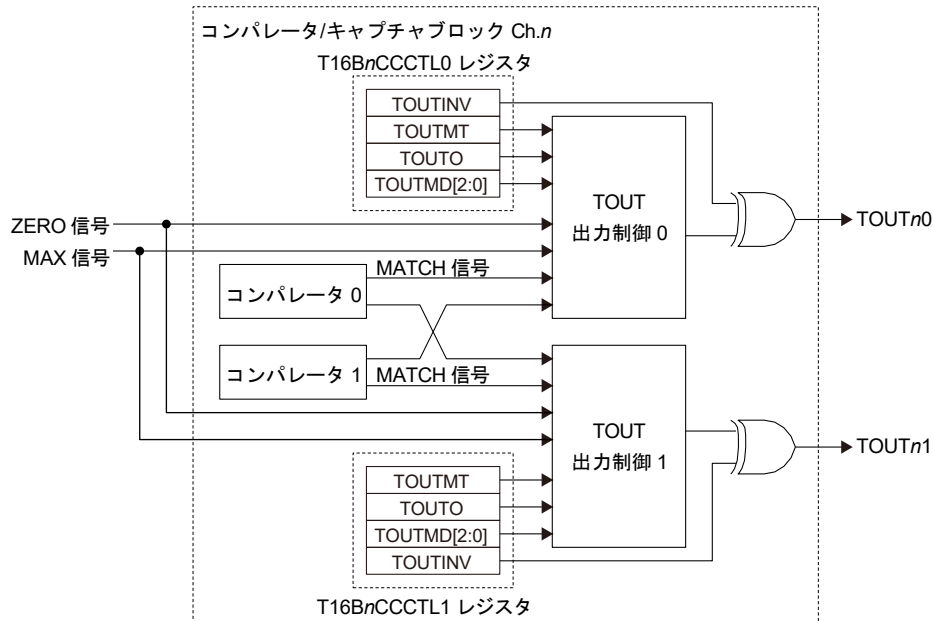


図 14.4.4.1 TOUT 出力回路(回路 0&1)

各チャンネルには 2 系統(4 系統、または 6 系統)の TOUT 出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。

TOUT 生成モード

TOUT 信号を、MATCH および MAX/ZERO 信号によってどのように変化させるか、 $T16BnCCCTLm.TOUTMD[2:0]$ ビットで設定します。

さらに、 $T16BnCCCTLm.TOUTMT$ ビットを 1 に設定すると、回路ペア(0&1、2&3、4&5)のもう一方の MATCH 信号も使用して、カウンタ周期内に 2 箇所の変化点を作ることができます。

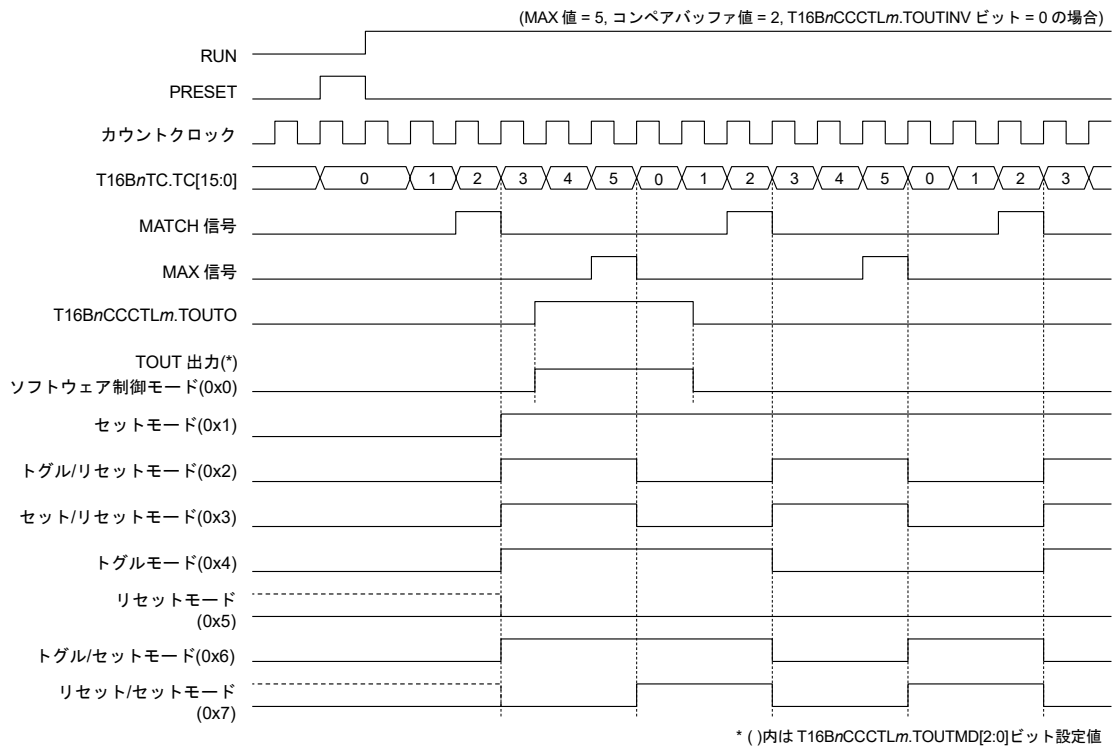
TOUT 信号の極性

TOUT 信号の極性(アクティブレベル)を $T16BnCCCTLm.TOUTINV$ ビットで設定可能です。 $T16BnCCCTLm.TOUTINV$ ビットを 0 に設定するとアクティブ HIGH、1 に設定するとアクティブ LOW になります。

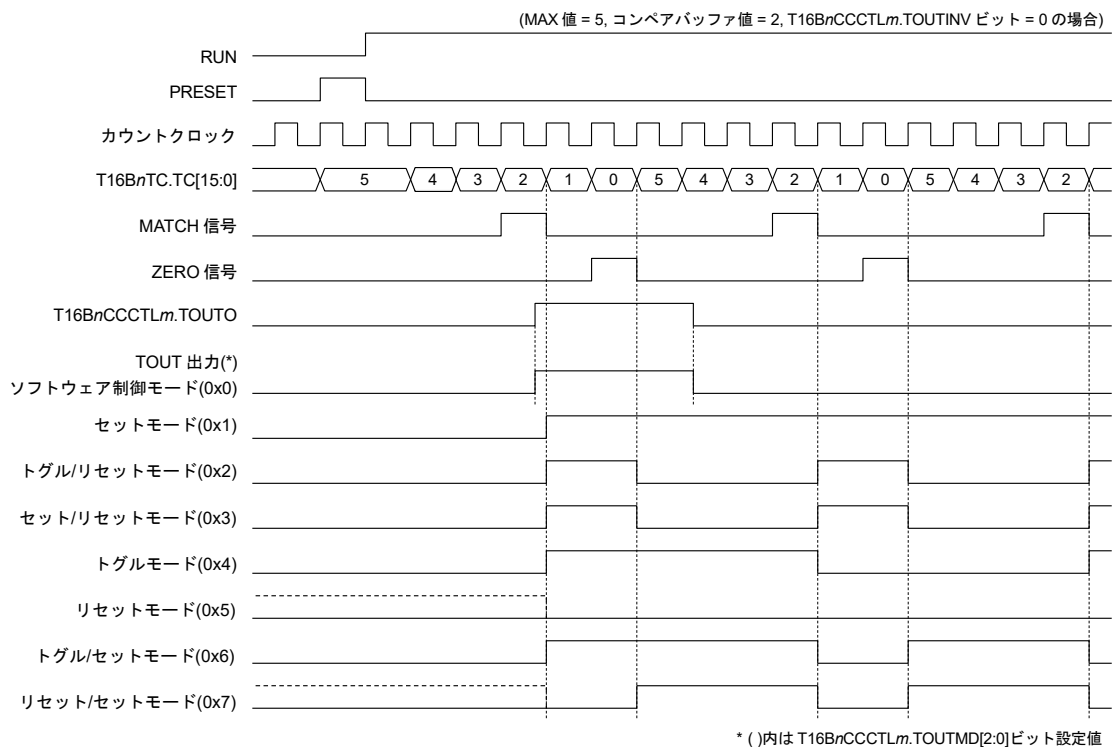
図 14.4.4.2 と図 14.4.4.3 に TOUT 出力波形を示します。

14 16 ビット PWM タイマ(T16B)

(1) リピートアップカウントモード



(2) リピートダウンカウントモード



(3) リピートアップ/ダウンカウントモード

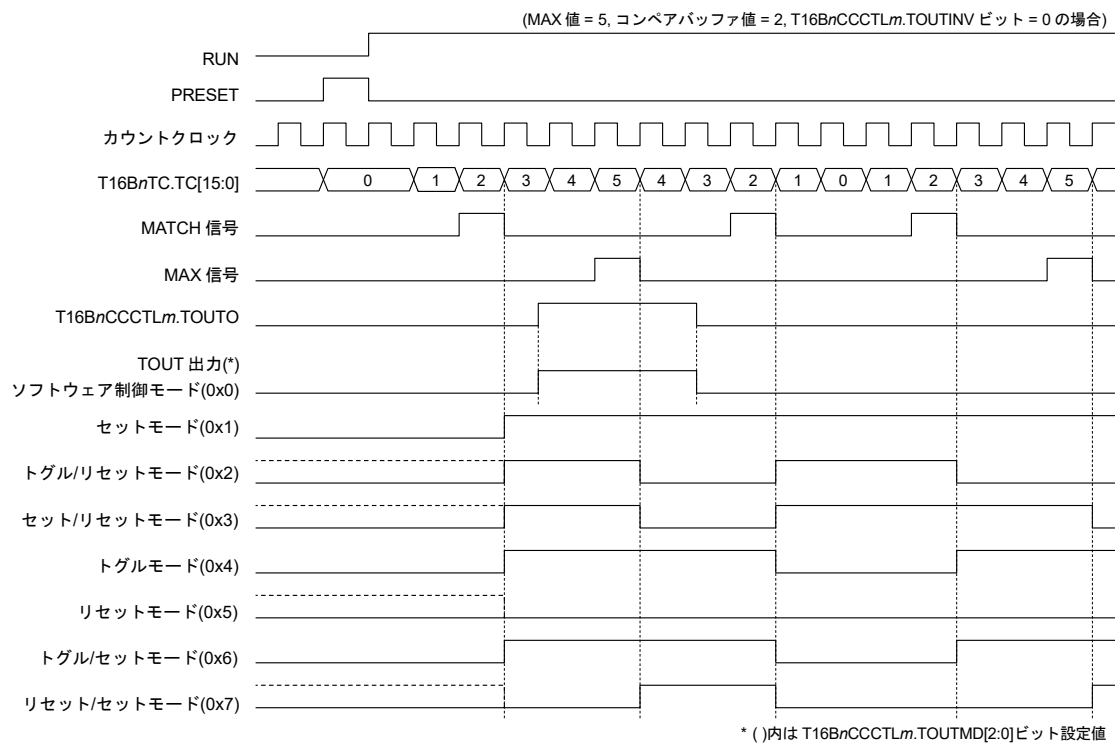
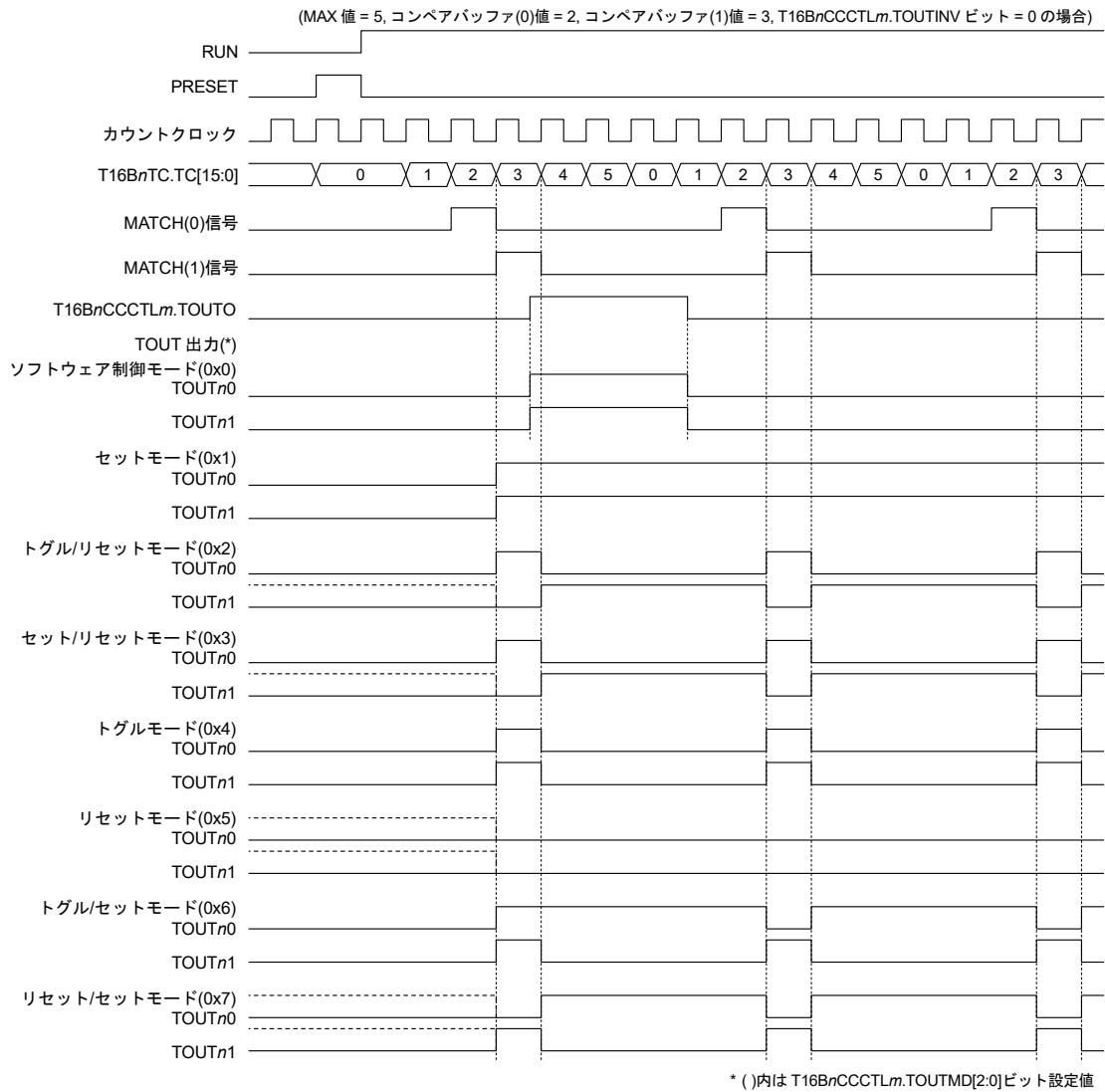


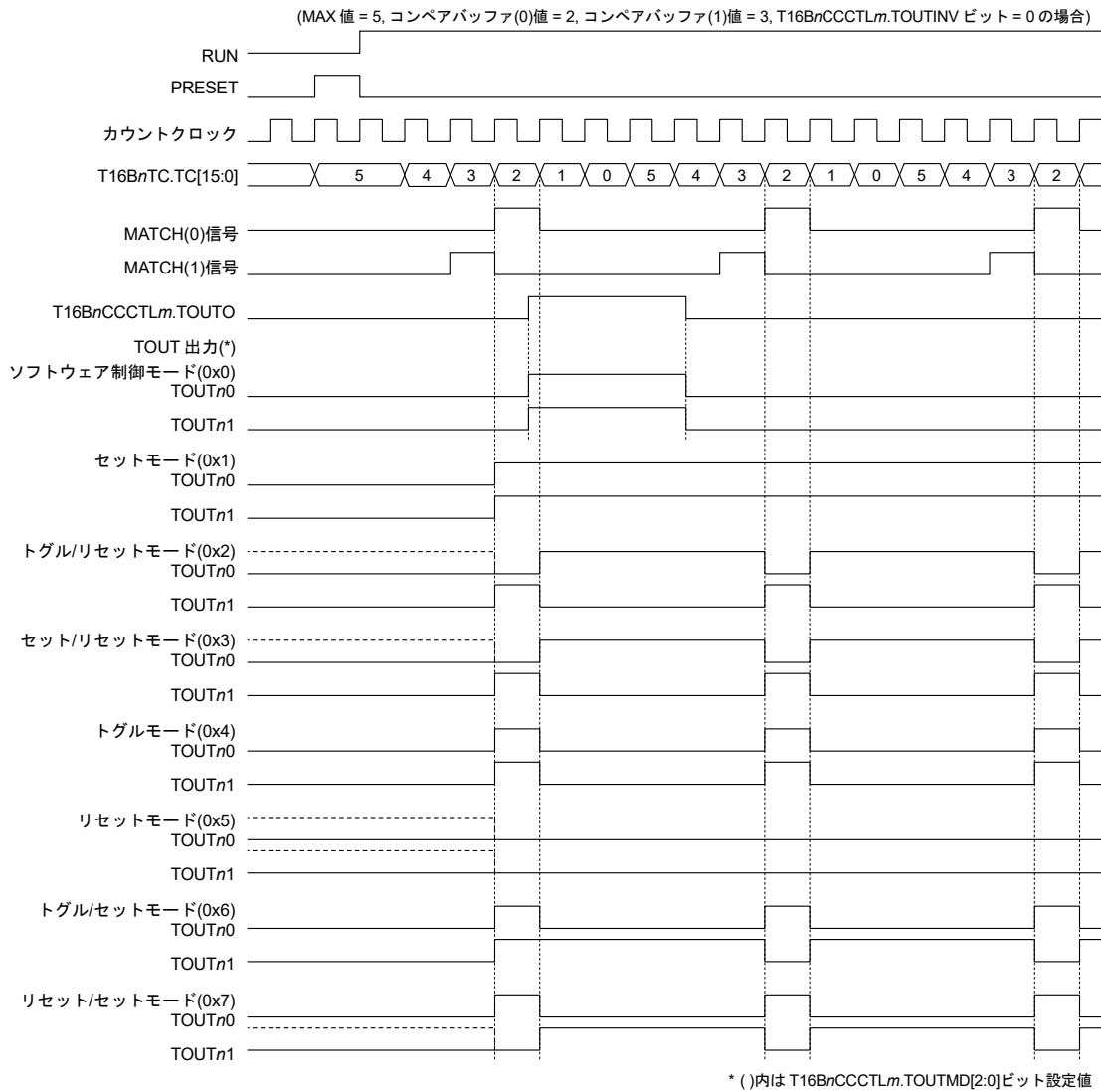
図 14.4.4.2 TOUT出力波形(T16BnCCCTLm.TOUTMTビット = 0)

14 16 ビット PWM タイマ(T16B)

(1) リピートアップカウントモード



(2) リピートダウンカウントモード



14 16 ビット PWM タイマ(T16B)

(3) リピートアップ/ダウンカウントモード

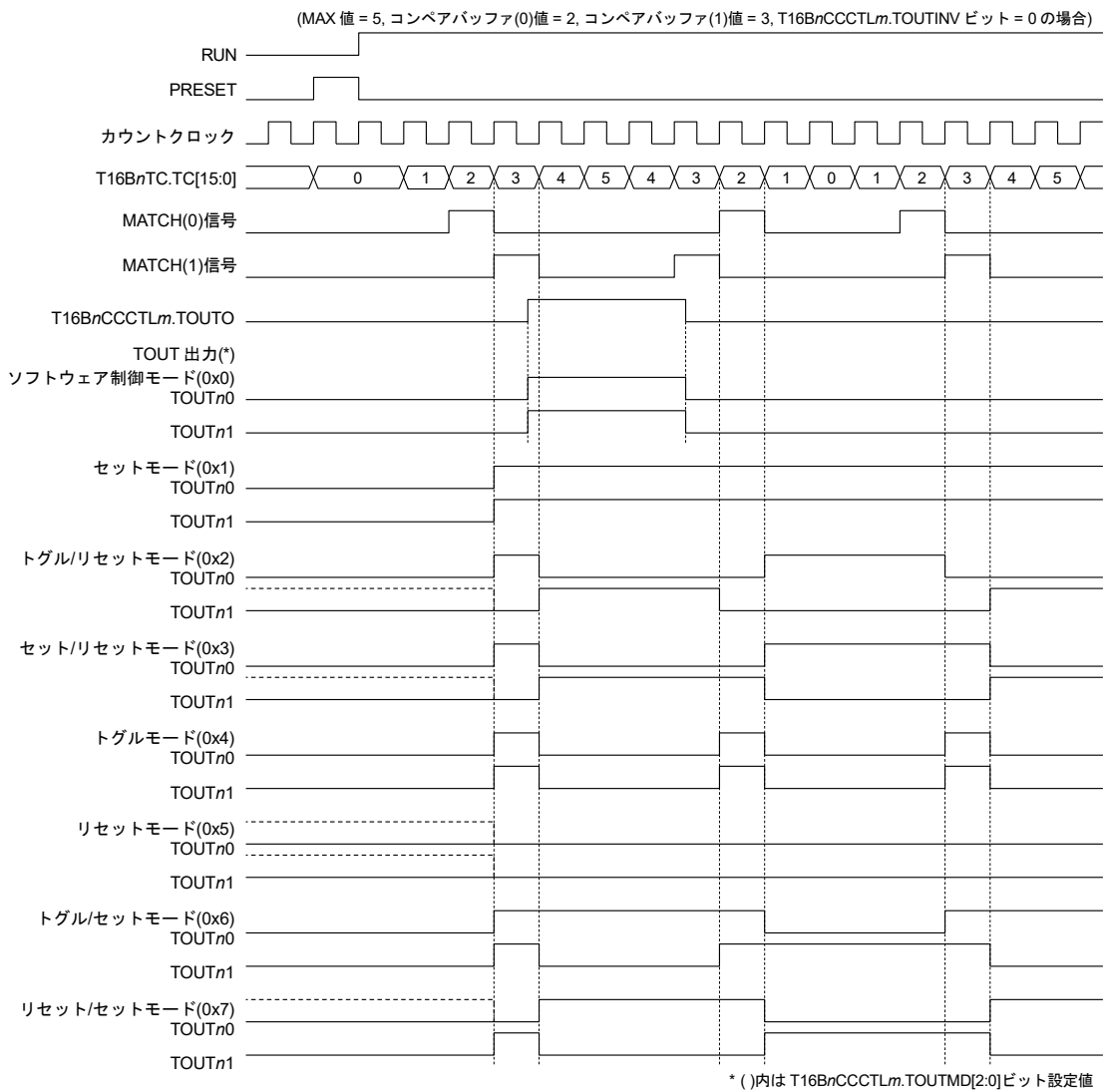


図 14.4.4.3 TOUT 出力波形(T16BnCCCTL0.TOUTMT ビット = 1, T16BnCCCTL1.TOUTMT ビット = 0)

14.5 割り込み

T16B の各チャンネルには、表 14.5.1 に示す割り込みを発生させる機能があります。

表 14.5.1 T16B の割り込み機能

割り込み	割り込みフラグ	セット	クリア
キャプチャ オーバーライト	T16BnINTF.CAPOWmIF	キャプチャモード時、T16BnINTF.CMPCAPmIFビット=1の状態 で、T16BnCCRmレジスタが新たなキャプチャデータにより上書きされた とき	1書き込み
コンペア/ キャプチャ	T16BnINTF.CMPCAPmIF	コンパレータモード時、カウンタ値がコンペアバツファの値に一致し たとき キャプチャモード時、キャプチャトリガ入力により、カウンタ値が T16BnCCRmレジスタに取り込まれたとき	1書き込み
カウンタMAX	T16BnINTF.CNTMAXIF	カウンタがMAX値に達したとき	1書き込み
カウンタゼロ	T16BnINTF.CNTZEROIF	カウンタが0x0000iになったとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

14.6 制御レジスタ

T16B Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2-0	CLKSRC[2:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に T16B Ch.n 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bits 7-4 CIKDIV[3:0]

これらのビットは、T16B Ch.n 動作クロック(カウンタクロック)の分周比を選択します。

Bit 3 Reserved

Bits 2-0 CIKSRC[2:0]

これらのビットは、T16B Ch.n のクロックソースを選択します。

14 16 ビット PWM タイマ(T16B)

表 14.6.1 クロックソースと分周比の設定

T16B _n CLK. CLKDIV[3:0]ビット	T16B _n CLK.CLKSRC[2:0]ビット							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	IOSC	OSC1	OSC3	EXOSC	EXCL _n 0	EXCL _n 1	EXCL _n 0 反転入力	EXCL _n 1 反転入力
0xf	1/32,768	1/1	1/32,768	1/1	1/1	1/1	1/1	1/1
0xe	1/16,384		1/16,384					
0xd	1/8,192		1/8,192					
0xc	1/4,096		1/4,096					
0xb	1/2,048		1/2,048					
0xa	1/1,024		1/1,024					
0x9	1/512		1/512					
0x8	1/256	1/256	1/256					
0x7	1/128	1/128	1/128					
0x6	1/64	1/64	1/64					
0x5	1/32	1/32	1/32					
0x4	1/16	1/16	1/16					
0x3	1/8	1/8	1/8					
0x2	1/4	1/4	1/4					
0x1	1/2	1/2	1/2					
0x0	1/1	1/1	1/1					

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

T16B Ch.*n* Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B _n CTL	15-9	—	0x00	—	R	—
	8	MAXBSY	0	H0	R	
	7-6	—	0x0	—	R	
	5-4	CNTMD[1:0]	0x0	H0	R/W	
	3	ONEST	0	H0	R/W	
	2	RUN	0	H0	R/W	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 MAXBSY

このビットは、T16B_nMC レジスタが書き込み可能か否かを示します。

1 (R): ビジー状態(書き込み不可)

0 (R): 待機中(書き込み可)

このビットが 1 の場合は、T16B_nMC レジスタは MAX 値の書き込み動作中です。この間は、新たなデータの書き込みを禁止します。

Bits 7-6 Reserved

Bits 5-4 CNTMD[1:0]

これらのビットでカウンタのアップ/ダウンモードを選択し、T16B_nCTL.ONEST ビットと共にカウントモードを設定します。(表 14.6.2 参照)

Bit 3 ONEST

このビットでカウンタのリピート/ワンショットモードを選択し、T16B_nCTL.CNTMD[1:0]ビットと共にカウントモードを設定します。(表 14.6.2 参照)

表 14.6.2 カウントモード

T16BnCTL.CNTMD[1:0]ビット	カウントモード	
	T16BnCTL.ONESTビット = 1	T16BnCTL.ONESTビット = 0
0x3	Reserved	
0x2	ワンショットアップ/ダウンカウントモード	リピートアップ/ダウンカウントモード
0x1	ワンショットダウンカウントモード	リピートダウンカウントモード
0x0	ワンショットアップカウントモード	リピートアップカウントモード

Bit 2 RUN

このビットは、カウントを開始/停止します。

1 (W): カウント開始

0 (W): カウント停止

1 (R): カウント動作中

0 (R): 停止中

このビットに 1 を書き込むことにより、カウンタブロックはカウント動作を開始します。ただし、このビットと共に T16BnCTL.MODEN ビットも 1 に設定するか、あるいはすでに設定されている必要があります。タイマが動作中は T16BnCTL.RUN ビットへの 0 書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタ MAX/ZERO 信号によってカウントを停止したときは、このビットが自動的に 0 にクリアされます。

Bit 1 PRESET

このビットは、カウンタをリセットします。

1 (W): リセット

0 (W): 無効

1 (R): リセットの実行中

0 (R): リセットを終了または通常動作中

アップモードまたはアップ/ダウンモード時は、このビットに 1 を書き込むことによって、カウンタが 0x0000 にクリアされます。ダウンモード時は、T16BnMC レジスタに設定されている MAX 値がカウンタにプリセットされます。ただし、このビットと共に T16BnCTL.MODEN ビットも 1 に設定するか、あるいはすでに設定されている必要があります。

Bit 0 MODEN

このビットは、T16B Ch.n の動作をイネーブルにします。

1 (R/W): イネーブル(動作クロックを供給)

0 (R/W): ディスエーブル(動作クロックの供給を停止)

注: T16BnCTL.PRESET ビットによるカウンタのリセットと、T16BnCTL.RUN ビットによるカウント開始操作は T16BnCTL.MODEN ビット = 1 の場合にのみ有効です。

T16B Ch.n Max Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnMC	15-0	MC[15:0]	0xffff	H0	R/W	-

Bits 15-0 MC[15:0]

これらのビットには、カウンタにプリセットする MAX 値を設定しておきます。詳細は、“カウンタブロックの動作 - MAX カウンタデータレジスタ”を参照してください。

- 注:
- ワンショットモード選択時は、カウント中に T16BnMC.MC[15:0] ビット(MAX 値)を変更しないでください。
 - T16BnMC.MC[15:0] ビットへの書き込みは、T16BnCTL.MODEN ビット = 1 の状態で行ってください。0 の状態で書き込んだ場合は、T16BnCS.BSY ビット = 1 から 0 になるまで、T16BnCTL.MODEN ビットを 1 に設定してください。
 - T16BnMC.MC[15:0] ビットを 0x0000 に設定しないでください。

14 16 ビット PWM タイマ(T16B)

T16B Ch.n Timer Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnTC	15-0	TC[15:0]	0x0000	H0	R	-

Bits 15-0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16B Ch.n Counter Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCS	15-8	-	0x00	-	R	-
	7	CAP15	0	H0	R	
	6	CAP14	0	H0	R	
	5	CAP13	0	H0	R	
	4	CAP12	0	H0	R	
	3	CAP11	0	H0	R	
	2	CAP10	0	H0	R	
	1	UP_DOWN	1	H0	R	
0	BSY	0	H0	R		

Bits 15-8 Reserved

Bit 7 CAPI5

Bit 6 CAPI4

Bit 5 CAPI3

Bit 4 CAPI2

Bit 3 CAPI1

Bit 2 CAPI0

これらのビットは、CAP n m 端子の現在の入力信号レベルを示します。

1 (R): 入力信号 = HIGH レベル

0 (R): 入力信号 = LOW レベル

各ビットと CAP n m 端子の対応は以下のとおりです。

T16BnCS.CAP15 ビット: CAP n 5 端子

T16BnCS.CAP14 ビット: CAP n 4 端子

T16BnCS.CAP13 ビット: CAP n 3 端子

T16BnCS.CAP12 ビット: CAP n 2 端子

T16BnCS.CAP11 ビット: CAP n 1 端子

T16BnCS.CAP10 ビット: CAP n 0 端子

注: T16BnCS.CAP i m ビットの構成は機種により異なります。存在しない CAP n m 端子に対応するビットは常時 0 に固定されたリードオンリビットになります。

Bit 1 UP_DOWN

このビットは、現在設定されているカウンタのカウント方向を示します。

1 (R): カウントアップ

0 (R): カウントダウン

Bit 0 BSY

このビットは、カウンタの動作状態を示します。

1 (R): 動作中

0 (R): 停止中

T16B Ch.n interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnINTF	15-14	—	0x0	—	R	—
	13	CAPOW5IF	0	H0	R/W	Cleared by writing 1.
	12	CMPCAP5IF	0	H0	R/W	
	11	CAPOW4IF	0	H0	R/W	
	10	CMPCAP4IF	0	H0	R/W	
	9	CAPOW3IF	0	H0	R/W	
	8	CMPCAP3IF	0	H0	R/W	
	7	CAPOW2IF	0	H0	R/W	
	6	CMPCAP2IF	0	H0	R/W	
	5	CAPOW1IF	0	H0	R/W	
	4	CMPCAP1IF	0	H0	R/W	
	3	CAPOW0IF	0	H0	R/W	
	2	CMPCAP0IF	0	H0	R/W	
	1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W		

Bits 15-6 Reserved

Bit 13 CAPOW5IF
Bit 12 CMPCAP5IF
Bit 11 CAPOW4IF
Bit 10 CMPCAP4IF
Bit 9 CAPOW3IF
Bit 8 CMPCAP3IF
Bit 7 CAPOW2IF
Bit 6 CMPCAP2IF
Bit 5 CAPOW1IF
Bit 4 CMPCAP1IF
Bit 3 CAPOW0IF
Bit 2 CMPCAP0IF
Bit 1 CNTMAXIF
Bit 0 CNTZEROIF

これらのビットは、T16B Ch.n 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

T16BnINTF.CAPOW5IF ビット: キャプチャ 5 オーバーライト割り込み

T16BnINTF.CMPCAP5IF ビット: コンペア/キャプチャ 5 割り込み

T16BnINTF.CAPOW4IF ビット: キャプチャ 4 オーバーライト割り込み

T16BnINTF.CMPCAP4IF ビット: コンペア/キャプチャ 4 割り込み

T16BnINTF.CAPOW3IF ビット: キャプチャ 3 オーバーライト割り込み

T16BnINTF.CMPCAP3IF ビット: コンペア/キャプチャ 3 割り込み

T16BnINTF.CAPOW2IF ビット: キャプチャ 2 オーバーライト割り込み

T16BnINTF.CMPCAP2IF ビット: コンペア/キャプチャ 2 割り込み

T16BnINTF.CAPOW1IF ビット: キャプチャ 1 オーバーライト割り込み

T16BnINTF.CMPCAP1IF ビット: コンペア/キャプチャ 1 割り込み

T16BnINTF.CAPOW0IF ビット: キャプチャ 0 オーバーライト割り込み

T16BnINTF.CMPCAP0IF ビット: コンペア/キャプチャ 0 割り込み

T16BnINTF.CNTMAXIF ビット: カウンタ MAX 割り込み

T16BnINTF.CNTZEROIF ビット: カウンタゼロ割り込み

注: T16BnINTF.CAPOWmIF ビットおよび T16BnINTF.CMPCAPmIF ビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路システムに対応するビットは常時 0 に固定されたリードオンリビットになります。

14 16 ビット PWM タイマ(T16B)

T16B Ch.n interrupt enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnINTE	15-14	—	0x0	—	R	—
	13	CAPOW5IE	0	H0	R/W	
	12	CMPCAP5IE	0	H0	R/W	
	11	CAPOW4IE	0	H0	R/W	
	10	CMPCAP4IE	0	H0	R/W	
	9	CAPOW3IE	0	H0	R/W	
	8	CMPCAP3IE	0	H0	R/W	
	7	CAPOW2IE	0	H0	R/W	
	6	CMPCAP2IE	0	H0	R/W	
	5	CAPOW1IE	0	H0	R/W	
	4	CMPCAP1IE	0	H0	R/W	
	3	CAPOW0IE	0	H0	R/W	
	2	CMPCAP0IE	0	H0	R/W	
	1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W		

Bits 15-6 Reserved

Bit 13 CAPOW5IE

Bit 12 CMPCAP5IE

Bit 11 CAPOW4IE

Bit 10 CMPCAP4IE

Bit 9 CAPOW3IE

Bit 8 CMPCAP3IE

Bit 7 CAPOW2IE

Bit 6 CMPCAP2IE

Bit 5 CAPOW1IE

Bit 4 CMPCAP1IE

Bit 3 CAPOW0IE

Bit 2 CMPCAP0IE

Bit 1 CNTMAXIE

Bit 0 CNTZEROIE

このビットは、T16B Ch.n 割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

T16BnINTE.CAPOW5IE ビット: キャプチャ 5 オーバーライト割り込み

T16BnINTE.CMPCAP5IE ビット: コンペア/キャプチャ 5 割り込み

T16BnINTE.CAPOW4IE ビット: キャプチャ 4 オーバーライト割り込み

T16BnINTE.CMPCAP4IE ビット: コンペア/キャプチャ 4 割り込み

T16BnINTE.CAPOW3IE ビット: キャプチャ 3 オーバーライト割り込み

T16BnINTE.CMPCAP3IE ビット: コンペア/キャプチャ 3 割り込み

T16BnINTE.CAPOW2IE ビット: キャプチャ 2 オーバーライト割り込み

T16BnINTE.CMPCAP2IE ビット: コンペア/キャプチャ 2 割り込み

T16BnINTE.CAPOW1IE ビット: キャプチャ 1 オーバーライト割り込み

T16BnINTE.CMPCAP1IE ビット: コンペア/キャプチャ 1 割り込み

T16BnINTE.CAPOW0IE ビット: キャプチャ 0 オーバーライト割り込み

T16BnINTE.CMPCAP0IE ビット: コンペア/キャプチャ 0 割り込み

T16BnINTE.CNTMAXIE ビット: カウンタ MAX 割り込み

T16BnINTE.CNTZEROIE ビット: カウンタゼロ割り込み

注: ・ T16BnINTE.CAPOWmIE ビットおよび T16BnINTE.CMPCAPmIE ビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路系統に対応するビットは常時 0 に固定されたリードオンリビットになります。

・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

T16B Ch.n Comparator/Capture m Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCCTLm	15	SCS	0	H0	R/W	-
	14-12	CBUFMD[2:0]	0x0	H0	R/W	
	11-10	CAPIS[1:0]	0x0	H0	R/W	
	9-8	CAPTRG[1:0]	0x0	H0	R/W	
	7	-	0	-	R	
	6	TOUTMT	0	H0	R/W	
	5	TOUTO	0	H0	R/W	
	4-2	TOUTMD[2:0]	0x0	H0	R/W	
	1	TOUTINV	0	H0	R/W	
	0	CCMD	0	H0	R/W	

Bit 15 SCS

このビットは、同期キャプチャモード/非同期キャプチャモードを選択します。

1 (R/W): 同期キャプチャモード

0 (R/W): 非同期キャプチャモード

詳細は、“コンパレータ/キャプチャブロックの動作 - 同期キャプチャモード/非同期キャプチャモード”を参照してください。T16BnCCCTLm.SCS ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 14-12 CBUFMD[2:0]

これらのビットは、T16BnCCRm レジスタに書き込んだ比較値をコンペアバッファにロードするタイミングを選択します。T16BnCCCTLm.CBUFMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表 14.6.3 コンペアバッファへの比較値ロードタイミング

T16BnCCCTLm.CBUFMD[2:0]ビット	カウントモード	比較値ロードタイミング
0x7~0x5	Reserved	
0x4	アップモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
	ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタもMAX値にリセットされます。
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
0x3	アップモード	カウンタが0x0000になったとき
	ダウンモード	カウンタがMAX値になったとき
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき、またはカウンタが0x0000になったとき
0x2	アップモード	カウンタが直前の比較値と一致したとき
	ダウンモード	
	アップ/ダウンモード	
0x1	アップモード	カウンタがMAX値になったとき
	ダウンモード	カウンタが0x0000になったとき
	アップ/ダウンモード	カウンタが0x0000またはMAX値になったとき
0x0	アップモード	T16BnCCRmレジスタへの書き込み後、CLK_16Bnの立ち上がり時
	ダウンモード	
	アップ/ダウンモード	

Bits 11-10 CAPIS[1:0]

これらのビットは、キャプチャ用トリガ信号を選択します(表 14.6.4 参照)。T16BnCCCTLm.CAPIS[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 9-8 CAPTRG[1:0]

これらのビットは、キャプチャモード時に T16BnCCRm レジスタへカウンタ値を取り込む、トリガ信号のエッジを選択します(表 14.6.4 参照)。

T16BnCCCTLm.CAPTRG[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

14 16 ビット PWM タイマ(T16B)

表 14.6.4 カウンタキャプチャ用トリガ信号/エッジ

T16BnCCCTLm. CAPTRG[1:0]ビット (トリガエッジ)	トリガ条件		
	T16BnCCCTLm.CAPIS[1:0]ビット (トリガ信号)		
	0x0 (外部トリガ信号)	0x2 (ソフトウェアトリガ信号 = L)	0x3 (ソフトウェアトリガ信号 = H)
0x3 (↑ & ↓)	CAPnm端子入力信号の立ち上がり または立ち下がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え、または0x3から 0x2に書き換え	
0x2 (↓)	CAPnm端子入力信号の立ち下がり エッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x3から0x2に書き換え	
0x1 (↓)	CAPnm端子入力信号の立ち上がり エッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え	
0x0	トリガなし(キャプチャ機能ディスエーブル)		

Bit 7 Reserved

Bit 6 TOUTMT

このビットは、TOUTnm 信号の生成に別系統のコンパレータ MATCH 信号も使用するか否か選択します。

1 (R/W): コンパレータ回路ペア(0&1、2&3、4&5)の2本のコンパレータ MATCH 信号を使用して
TOUT 生成

0 (R/W): コンパレータ m 1 系統のコンパレータ MATCH 信号とカウンタ MAX または ZERO 信号を
使用して TOUT 生成

T16BnCCCTLm.TOUTMT ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 5 TOUTO

このビットは、TOUTnm 出力のソフトウェア制御選択時(T16BnCCCTLm.TOUTMD[2:0] = 0x0)に、
TOUTnm 信号の出力レベルを設定します。

1 (R/W): HIGH レベル出力

0 (R/W): LOW レベル出力

T16BnCCCTLm.TOUTO ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bits 4-2 TOUTMD[2:0]

これらのビットは、TOUTnm 信号波形をコンパレータ MATCH 信号とカウンタ MAX/ZERO 信号で
どのように変化させるか設定します。

T16BnCCCTLm.TOUTMD[2:0] ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表 14.6.5 TOUT 生成モード

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm TOUTMTビット	カウントモード	出力信号	信号変化
0x7	リセット/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でインアクティブ、 MAX信号でアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号でインアクティブ、 ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でインアクティブ、 MATCHm+1信号でアクティブ
TOUTnm+ 1			MATCHm+1信号でインアクティブ、 MATCHm信号でアクティブ	
0x6	トグル/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、 MAX信号でアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号で反転、 ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、 MATCHm+1信号でアクティブ
TOUTnm+ 1			MATCHm+1信号で反転、 MATCHm信号でアクティブ	

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm ・ TOUTMTビット	カウントモード	出力信号	信号変化
0x5	リセットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHmまたはMATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1またはMATCHm信号でインアクティブ	
0x4	トグルモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号で反転
	1	すべてのカウントモード	TOUTnm	MATCHmまたはMATCHm+1信号で反転
TOUTnm+1			MATCHm+1またはMATCHm信号で反転	
0x3	セット/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でアクティブ、 MAX信号でインアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号でアクティブ、 ZERO信号でインアクティブ
		ダウンカウントモード	TOUTnm	MATCHm信号でアクティブ、 MATCHm+1信号でインアクティブ
1	すべてのカウントモード	TOUTnm	MATCHm+1信号でインアクティブ	
		TOUTnm+1	MATCHm+1信号でアクティブ、 MATCHm信号でインアクティブ	
0x2	トグル/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、 MAX信号でインアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号で反転、 ZERO信号でインアクティブ
		ダウンカウントモード	TOUTnm	MATCHm信号で反転、 MATCHm+1信号でインアクティブ
1	すべてのカウントモード	TOUTnm	MATCHm+1信号で反転、 MATCHm+1信号でインアクティブ	
		TOUTnm+1	MATCHm+1信号で反転、 MATCHm信号でインアクティブ	
0x1	セットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHmまたはMATCHm+1信号でアクティブ
TOUTnm+1			MATCHm+1またはMATCHm信号でアクティブ	
0x0	ソフトウェア制御モード			
	*	すべてのカウントモード	TOUTnm	T16BnCCCTLm.TOUTOビット = 1でアクティブ、 T16BnCCCTLm.TOUTOビット = 0でインアクティブ

Bit 1 TOUTINV

このビットは、TOUTnm 信号の極性を選択します。

1 (R/W): 反転(アクティブ LOW)

0 (R/W): 通常(アクティブ HIGH)

T16BnCCCTLm.TOUTINV ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 0 CCMD

このビットはコンパレータ/キャプチャ回路 m の動作モードを選択します。

1 (R/W): キャプチャモード(T16nCCRm レジスタ = キャプチャレジスタ)

0 (R/W): コンパレータモード(T16nCCRm レジスタ = コンペアデータレジスタ)

T16B Ch.n Compare/Capture m Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCRm	15-0	CC[15:0]	0x0000	H0	R/W	-

Bits 15-0 CC[15:0]

コンパレータモード時はコンペアデータレジスタとして機能し、カウンタとの比較値を設定します。

14 16 ビット PWM タイマ(T16B)

キャプチャモード時はキャプチャレジスタとして機能し、キャプチャトリガ信号によってキャプチャしたカウンタ値が本レジスタにロードされます。

15 サウンドジェネレータ(SNDA2)

15.1 概要

SNDA2は、メロディおよびブザー信号を発生するサウンドジェネレータです。主な機能と特長を以下に示します。

- ・ 3種類のサウンド出力モードを選択可能
 1. ノーマルブザーモード(出力期間をソフトウェアで制御する通常のブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0%～100%の範囲で設定可能
 2. ワンショットブザーモード(クリック音などの短いブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0%～100%の範囲で設定可能
 - ワンショット出力期間: 15.6 ms～250 msの範囲で設定可能(16種類)
 3. メロディモード(単音のメロディを演奏するモード)
 - 音高: 128 Hz～16,384 Hzの範囲で設定可能
(音階: A4 = 443 Hz 基準で C3～C6 の 3 オクターブ)
 - 音長: 2分音符/休符～32分音符/休符を設定可能(7種類)
 - テンポ: 30～480の範囲で設定可能(16種類)
 - その他: タイを指定可能
- ・ 反転、非反転出力端子により圧電ブザーを駆動可能
- ・ サウンド停止時の反転出力端子の状態を制御可能

図 15.1.1 に SNDA2 の構成を示します。

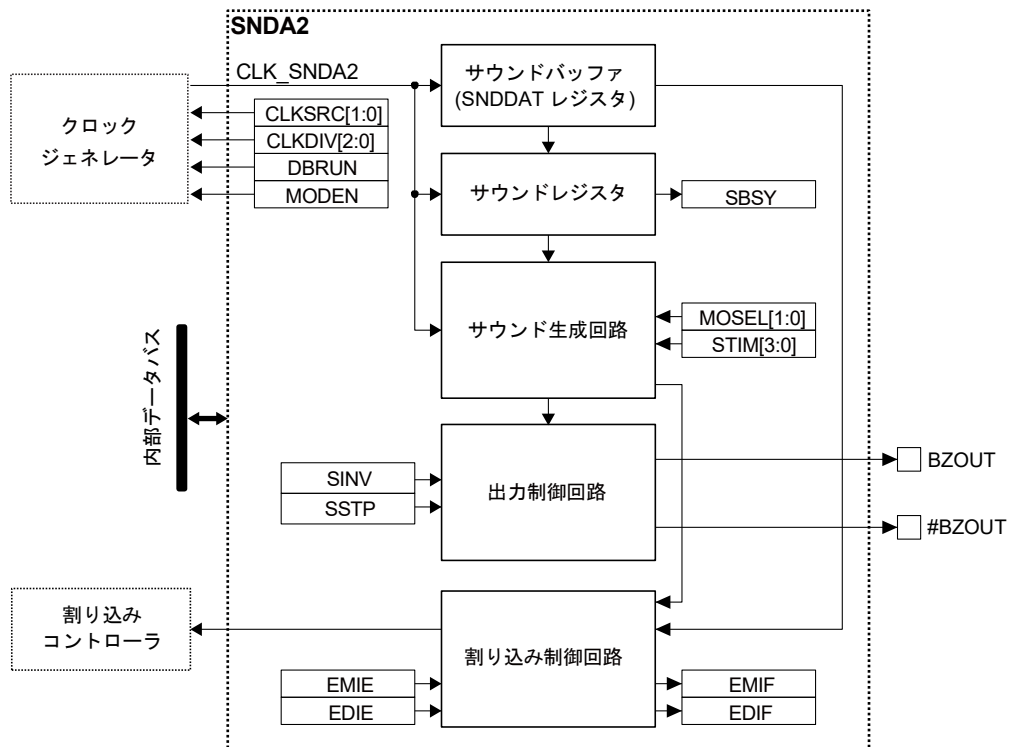


図 15.1.1 SNDA2 の構成

15.2 出力端子と外部接続

15.2.1 出力端子一覧

表 15.2.1.1にSNDA2の端子一覧を示します。

表 15.2.1.1 SNDA2 端子一覧

端子名	I/O*	イニシャル状態*	機能
BZOUT	O	O (LOW)	ブザー非反転出力端子
#BZOUT	O	O (LOW)	ブザー反転出力端子

※端子機能を SNDA2 に切り換えた時点の状態

これらの SNDA2 端子と他の機能がポートを共有している場合、SNDA2 を動作させる前に SNDA2 の出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

15.2.2 出力端子の駆動モード

BZOUT 端子と#BZOUT 端子の駆動モードを、SNDSEL.SINV ビットで下記の 2 種類に設定可能です。

ダイレクト駆動モード(SNDSEL.SINV ビット = 0)

ブザー信号出力が OFF の状態では、BZOUT 端子と#BZOUT 端子が共に LOW となり、圧電ブザーにバイアスがかかり続けることを防止します。

ノーマル駆動モード(SNDSEL.SINV ビット = 1)

#BZOUT 端子は、ブザー OFF 時も含め、BZOUT 端子の反転信号を常に出力します。

15.2.3 外部との接続

SNDA2 と圧電ブザーとの接続を図 15.2.3.1 および図 15.2.3.2 に示します。

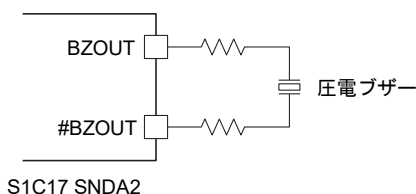


図 15.2.3.1 SNDA2 と圧電ブザーとの接続(1 端子駆動)

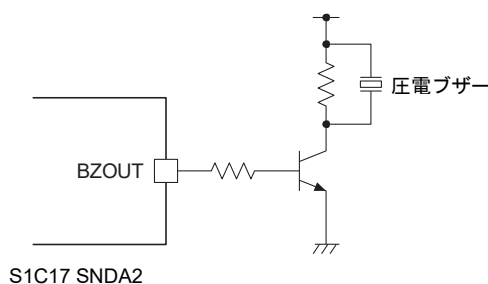


図 15.2.3.2 SNDA2 と圧電ブザーとの接続(ダイレクト駆動)

15.3 クロック設定

15.3.1 SNDA2 の動作クロック

SNDA2 を使用する場合、クロックジェネレータから SNDA2 動作クロック CLK_SNDA2 を SNDA2 に供給する必要があります。CLK_SNDA2 の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源, リセット, クロック”の章の“クロックジェネレータ”を参照)。
2. SNDCLK レジスタの以下のビットを設定する。
 - SNDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SNDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK_SNDA2 周波数は 32,768Hz 近辺に設定してください。

15.3.2 SLEEP モード時のクロック供給

SLEEP モード時に SNDA2 を使用する場合は、SNDA2 動作クロック CLK_SNDA2 のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_SNDA2 を供給し続ける必要があります。

SLEEP モード時に、CLK_SNDA2 のクロックソースに対応した CLGOSC.xxxxSLPC ビットが 1 の場合は、CLK_SNDA2 のクロックソースが停止し、SLEEP モードへ移行する前の設定レジスタの内容を保持したまま、SNDA2 が停止します。その後通常モードに戻ると、CLK_SNDA2 が供給され、SNDA2 の動作が再開します。

15.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_SNDA2 の供給は SNDCLK.DBRUN ビットで制御します。

SNDCLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると SNDA2 への CLK_SNDA2 の供給が停止します。その後通常モードに戻ると、CLK_SNDA2 の供給が再開します。CLK_SNDA2 の供給が停止すると SNDA2 の動作は停止しますが、出力端子やレジスタは DEBUG モードへ移行前の状態に保持されます。

SNDCLK.DBRUN ビット = 1 の場合、DEBUG モード時も CLK_SNDA2 の供給は停止せず、SNDA2 は動作を継続します。

15.4 動作

15.4.1 初期設定

SNDA2 は、以下の手順により初期設定を行います。

1. SNDA2 出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. SNDA2 の動作クロックを設定する。
3. SNDCTL.MODEN ビットを 1 に設定する。 (SNDA2 の動作をイネーブル)
4. SNDSEL.SINV ビットを設定。 (出力端子の駆動モードを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SNDINTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - SNDINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)

15.4.2 ノーマルブザーモードのブザー出力

ノーマルブザーモードは、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成して出力します。ブザー出力期間もソフトウェアで制御可能です。

出力開始/停止手順と動作を以下に示します。

ノーマルブザー出力開始/停止手順

1. SNDSEL.MOSEL[1:0]ビットを 0x0 に設定する。(ノーマルブザーモードに設定)
2. サウンドバッファ(SNDDAT レジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)
3. 出力期間の終了を待ち、SNDCTL.SSTP ビットに 1 を書き込む。(ブザー出力を停止)

ノーマルブザー出力動作

サウンドバッファ(SNDDAT レジスタ)にデータが書き込まれると、SNDINTF.EMIF ビット(サウンドバッファエンピティ割り込みフラグ)が 0 にクリアされ、SNDA2 はブザー出力動作を開始します。データ書き込み後、CLK_SNDA2 クロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時に SNDINTF.EMIF ビットと SNDINTF.SBSY ビットが 1 にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDCTL.SSTP ビットへの 1 書き込みによってブザー出力は停止し、同時に SNDINTF.EDIF ビット(サウンド出力終了割り込みフラグ)が 1 にセットされます。SNDINTF.SBSY ビットは 0 にクリアされます。図 15.4.2.1 にノーマルブザーモードのブザー出力タイミングを示します。

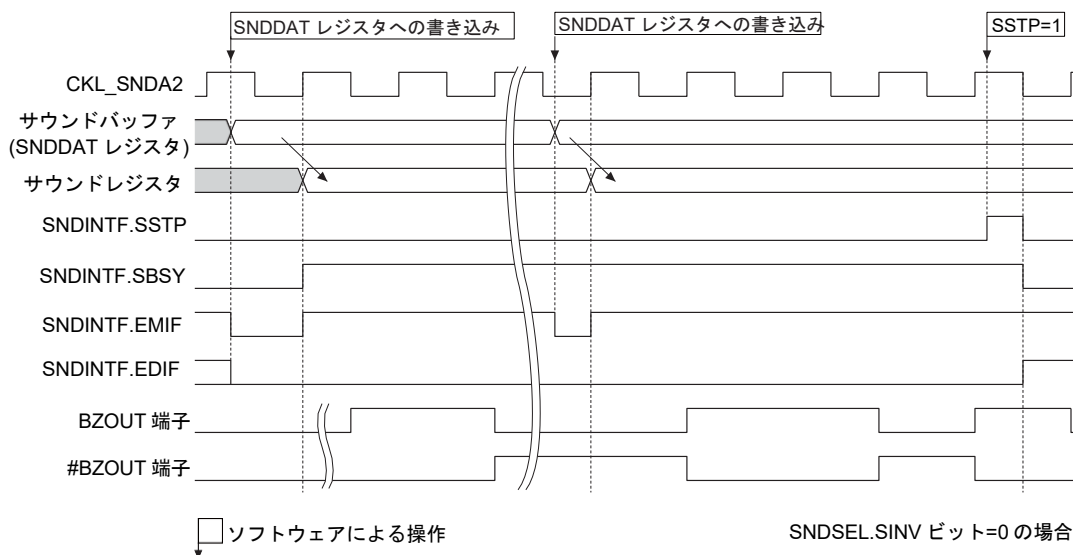


図 15.4.2.1 ノーマルブザーモードのブザー出力タイミング

ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)

ブザー信号の周波数を SNDDAT.SFRQ[7:0]ビット、デューティ比(HIGH 期間/周期)を SNDDAT.SLEN[5:0]ビットで設定します。それぞれの設定値は以下の式で求められます。

$$\text{SNDDAT.SFRQ[7:0]ビット} = \frac{f_{\text{CLK_SNDA2}}}{f_{\text{BZOUT}}} - 1 \quad (\text{式 15.1})$$

$$\text{SNDDAT.SLEN[5:0]ビット} = \left(\frac{f_{\text{CLK_SNDA2}}}{f_{\text{BZOUT}}} \times \frac{\text{DUTY}}{100} \right) - 1 \quad (\text{式 15.2})$$

ここで

$f_{\text{CLK_SNDA2}}$:	CLK_SNDA2周波数[Hz]
f_{BZOUT} :	ブザー信号周波数[Hz]
DUTY:	ブザー信号デューティ比[%]

ただし、以下の設定は禁止します。

- SNDDAT.SFRQ[7:0]ビット \leq SNDDAT.SLEN[5:0]ビットとなる設定
- SNDDAT.SFRQ[7:0]ビット = 0x00 となる設定

15 サウンドジェネレータ(SNDA2)

表 15.4.2.1 ブザー周波数設定($f_{CLK_SNDA2} = 32k\text{ Hz}$ の場合)

SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]
0x3f	500.0	0x2f	666.7	0x1f	1,000.0	0x0f	2,000.0
0x3e	507.9	0x2e	680.9	0x1e	1,032.3	0x0e	2,133.3
0x3d	516.1	0x2d	695.7	0x1d	1,066.7	0x0d	2,285.7
0x3c	524.6	0x2c	711.1	0x1c	1,103.4	0x0c	2,461.5
0x3b	533.3	0x2b	727.3	0x1b	1,142.9	0x0b	2,666.7
0x3a	542.4	0x2a	744.2	0x1a	1,185.2	0x0a	2,909.1
0x39	551.7	0x29	761.9	0x19	1,230.8	0x09	3,200.0
0x38	561.4	0x28	780.5	0x18	1,280.0	0x08	3,555.6
0x37	571.4	0x27	800.0	0x17	1,333.3	0x07	4,000.0
0x36	581.8	0x26	820.5	0x16	1,391.3	0x06	4,571.4
0x35	592.6	0x25	842.1	0x15	1,454.5	0x05	5,333.3
0x34	603.8	0x24	864.9	0x14	1,523.8	0x04	6,400.0
0x33	615.4	0x23	888.9	0x13	1,600.0	0x03	8,000.0
0x32	627.5	0x22	914.3	0x12	1,684.2	0x02	10,666.7
0x31	640.0	0x21	941.2	0x11	1,777.8	0x01	16,000.0
0x30	653.1	0x20	969.7	0x10	1,882.4	0x00	禁止

表 15.4.2.2 ブザーデューティ比設定例($f_{CLK_SNDA2} = 32k\text{ Hz}$ の場合)

SNDDAT SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x3f	-	-	-	-	-	-
0x3e	-	-	-	-	-	-
0x3d	-	-	-	-	-	99.2
0x3c	-	-	-	-	-	97.6
0x3b	-	-	-	-	-	96.0
0x3a	-	-	-	-	-	94.4
0x39	-	-	-	-	-	92.8
0x38	-	-	-	-	-	91.2
0x37	-	-	-	-	-	89.6
0x36	-	-	-	-	-	88.0
0x35	-	-	-	-	-	86.4
0x34	-	-	-	-	-	84.8
0x33	-	-	-	-	-	83.2
0x32	-	-	-	-	-	81.6
0x31	-	-	-	-	-	80.0
0x30	-	-	-	-	-	78.4
0x2f	-	-	-	-	-	76.8
0x2e	-	-	-	-	-	75.2
0x2d	-	-	-	-	-	73.6
0x2c	-	-	-	-	-	72.0
0x2b	-	-	-	-	-	70.4
0x2a	-	-	-	-	-	68.8
0x29	-	-	-	-	-	67.2
0x28	-	-	-	-	-	65.6
0x27	-	-	-	-	-	64.0
0x26	-	-	-	-	-	62.4
0x25	-	-	-	-	-	60.8
0x24	-	-	-	-	-	59.2
0x23	-	-	-	-	-	57.6
0x22	-	-	-	-	-	56.0
0x21	-	-	-	-	-	54.4
0x20	-	-	-	-	-	52.8
0x1f	-	-	-	-	-	51.2
0x1e	-	-	-	-	99.2	49.6
0x1d	-	-	-	-	96.0	48.0
0x1c	-	-	-	-	92.8	46.4
0x1b	-	-	-	-	89.6	44.8
0x1a	-	-	-	-	86.4	43.2
0x19	-	-	-	-	83.2	41.6
0x18	-	-	-	-	80.0	40.0
0x17	-	-	-	-	76.8	38.4

SNDDAT SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x16	-	-	-	-	73.6	36.8
0x15	-	-	-	-	70.4	35.2
0x14	-	-	-	-	67.2	33.6
0x13	-	-	-	-	64.0	32.0
0x12	-	-	-	-	60.8	30.4
0x11	-	-	-	-	57.6	28.8
0x10	-	-	-	-	54.4	27.2
0x0f	-	-	-	-	51.2	25.6
0x0e	-	-	-	96.0	48.0	24.0
0x0d	-	-	-	89.6	44.8	22.4
0x0c	-	-	-	83.2	41.6	20.8
0x0b	-	-	-	76.8	38.4	19.2
0x0a	-	-	-	70.4	35.2	17.6
0x09	-	-	-	64.0	32.0	16.0
0x08	-	-	-	57.6	28.8	14.4
0x07	-	-	-	51.2	25.6	12.8
0x06	-	-	89.6	44.8	22.4	11.2
0x05	-	-	76.8	38.4	19.2	9.6
0x04	-	-	64.0	32.0	16.0	8.0
0x03	-	-	51.2	25.6	12.8	6.4
0x02	-	76.8	38.4	19.2	9.6	4.8
0x01	-	51.2	25.6	12.8	6.4	3.2
0x00	51.2	25.6	12.8	6.4	3.2	1.6

15.4.3 ワンショットブザーモードのブザー出力

ワンショットブザーモードは、クリック音などを出力するためのモードで、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成し、指定した短い期間のみ出力します。

出力開始手順と動作を以下に示します。ブザー出力波形については、“ノーマルブザーモードのブザー出力”を参照してください。

ワンショットブザー出力開始手順

1. SNDSEL レジスタの以下のビットを設定する。
 - SNDSEL.MOSEL[1:0]ビットを 0x1 に設定する (ワンショットブザーモードに設定)
 - SNDSEL.STIM[3:0]ビット (出力期間を設定)
2. サウンドバッファ(SNDDAT レジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)

ワンショットブザー出力動作

サウンドバッファ(SNDDAT レジスタ)にデータが書き込まれると、SNDINTF.EMIF ビット(サウンドバッファエンプティ割り込みフラグ)が 0 にクリアされ、SNDA2 はブザー出力動作を開始します。データ書き込み後、CLK_SNDA2 クロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時に SNDINTF.EMIF ビットと SNDINTF.SBSY ビットが 1 にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDSEL.STIM[3:0]ビットで指定した時間が経過するとブザー出力は自動的に停止し、同時に SNDINTF.EDIF ビット(サウンド出力終了割り込みフラグ)が 1 にセットされます。SNDINTF.SBSY ビットは 0 にクリアされます。図 15.4.3.1 にワンショットブザーモードのブザー出力タイミングを示します。

15 サウンドジェネレータ(SNDA2)

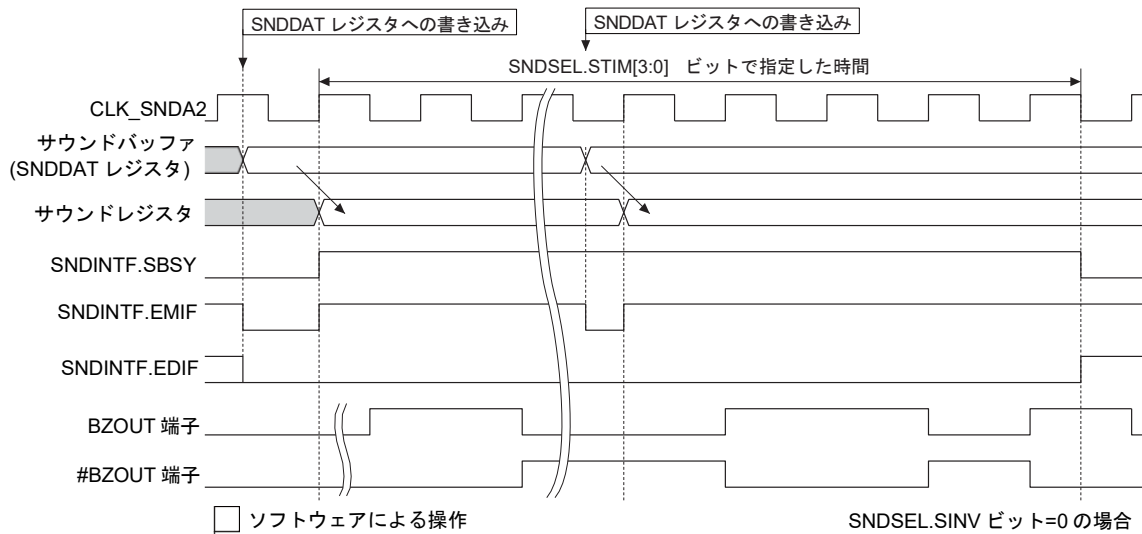


図 15.4.3.1 ワンショットブザーモードのブザー出力タイミング

15.4.4 メロディモードの出力

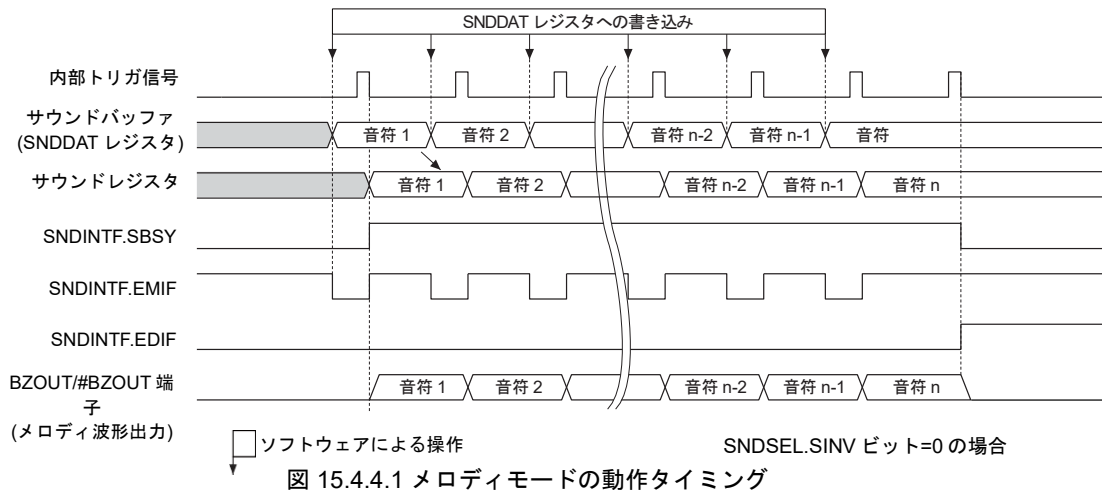
メロディモードは、サウンドバッファ(SNDDAT レジスタ)に逐次書き込まれるデータに従ってメロディ付きのブザー信号を生成して出力します。
出力開始手順と動作を以下に示します。

メロディ出力開始手順

1. SNDSSEL レジスタの以下のビットを設定する。
 - SNDSSEL.MOSEL[1:0]ビットを 0x2 に設定する (メロディモードに設定)
 - SNDSSEL.STIM[3:0]ビットを設定する (テンポを設定)
2. サウンドバッファ(SNDDAT レジスタ)の以下のビットにデータを書き込む。(サウンド出力を開始)
 - SNDDAT.MDTI ビット (タイの有無を設定)
 - SNDDAT.MDRS ビット (音符/休符の設定)
 - SNDDAT.SLEN[5:0]ビット (音長を設定)
 - SNDDAT.SFRQ[7:0]ビット (音階を設定)
3. SNDINTF.EMIF ビットが 1 になったことを確認する(割り込み使用可)。
4. メロディの終了まで、2 と 3 を繰り返す。

メロディ出力動作

サウンドバッファ(SNDDAT レジスタ)にデータが書き込まれると、SNDINTF.EMIF ビット(サウンドバッファエンプティ割り込みフラグ)が 0 にクリアされ、SNDA2 はサウンド出力動作を開始します。
データ書き込み後、内部トリガ信号により、サウンドバッファのデータがサウンドレジスタにロードされます。同時に SNDINTF.EMIF ビットと SNDINTF.SBSY ビットが 1 にセットされます。出力端子からは、指定したサウンドが出力されます。
次のトリガまでに、サウンドバッファ(SNDDAT レジスタ)にデータが書き込まれないと、サウンド出力は停止し、同時に SNDINTF.EDIF ビット(サウンド出力終了割り込みフラグ)が 1 にセットされます。SNDINTF.SBSY ビットは 0 にクリアされます。図 15.4.4.1 にメロディモードの動作タイミングを示します。



メロディ出力波形の設定

音符/休符(音長)の指定

音符/休符を SNDDAT.MDRS ビットと SNDDAT.SLEN[5:0]ビットで設定します。

表 15.4.4.1 音符/休符の指定

SNDDAT.SLEN[5:0]ビット	SNDDAT.MDRS ビット	
	0: 音符	1: 休符
0x0f	2分音符	2分休符
0x0b	付点4分音符	付点4分休符
0x07	4分音符	4分休符
0x05	付点8分音符	付点8分休符
0x03	8分音符	8分休符
0x01	16分音符	16分休符
0x00	32分音符	32分休符
その他	設定禁止	

タイの指定

SNDDAT.MDTI ビットを 1 に設定するとタイが有効になり、本ビットをセットした音符と次の音符を連続して演奏します。スラーを指定することはできません。

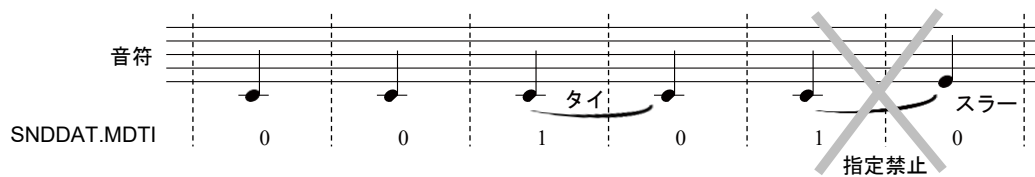


図 15.4.4.2 タイ

音階の指定

音階を SNDDAT.SFRQ[7:0]ビットで設定します。

15 サウンドジェネレータ(SNDA2)

表 15.4.4.2 音階の指定($f_{CLK_SNDA2} = 32\text{Hz}$ の場合)

SNDDAT.SFRQ[7:0]ビット	音階	周波数[Hz]
0xf5	C3	131.15
0xe7	C#3/Db3	139.13
0xda	D3	147.47
0xce	D#3/Eb3	156.10
0xc2	E3	165.80
0xb7	F3	175.82
0xad	F#3/Gb3	186.05
0xa3	G3	196.32
0x9a	G#3/Ab3	209.15
0x91	A3	220.69
0x89	A#3/Bb3	233.58
0x81	B3	248.06
0x7a	C4	262.30
0x73	C#4/Db4	278.26
0x6c	D4	296.30
0x66	D#4/Eb4	313.73
0x61	E4	329.90
0x5b	F4	351.65
0x56	F#4/Gb4	372.09
0x51	G4	395.06
0x4c	G#4/Ab4	415.58
0x48	A4	444.44
0x44	A#4/Bb4	470.59
0x40	B4	500.00
0x3c	C5	524.59
0x39	C#5/Db5	561.40
0x36	D5	592.59
0x33	D#5/Eb5	627.45
0x30	E5	666.67
0x2d	F5	695.65
0x2a	F#5/Gb5	744.19
0x28	G5	780.49
0x26	G#5/Ab5	842.11
0x24	A5	888.89
0x21	A#5/Bb5	941.18
0x20	B5	1000.00
0x1e	C6	1066.67

15.5 割り込み

SNDA2には、表 15.5.1 に示す割り込みを発生させる機能があります。

表 15.5.1 SNDA2 の割り込み機能

割り込み	割り込みフラグ	セット	クリア
サウンドバッファ エンプティ	SNDINTF.EMIF	サウンドバッファ (SNDDATレジスタ)のデータがサウンドレジスタに転送されたとき、またはSNDCTL.SSTPビットに1を書き込んだとき	SNDDATレジスタへ書き込み
サウンド出力終了	SNDINTF.EDIF	サウンド出力が終了したとき	1書き込み、またはSNDDATレジスタへの書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

15.6 制御レジスタ

SNDA2 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/W	
	7	–	0	–	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 **DBRUN**

このビットは、DEBUG モード時に SNDA2 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 **CLKDIV[2:0]**

これらのビットは、SNDA2 動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 **CLKSRC[1:0]**

これらのビットは、SNDA2 のクロックソースを選択します。

表 15.6.1 クロックソースと分周比の設定

SNDCLK.CLKDIV[2:0] ビット	SNDCLK.CLKSRC[1:0]ビット				
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC	
0x7	Reserved	1/1	Reserved	1/1	
0x6					
0x5					1/128
0x4					1/64
0x3					1/32
0x2					1/16
0x1					1/8
0x0					1/4

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: SNDCLK レジスタは、SNDCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

SNDA2 Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDSEL	15-12	–	0x0	–	R	–
	11-8	STIM[3:0]	0x0	H0	R/W	
	7-3	–	0x00	–	R	
	2	SINV	0	H0	R/W	
	1-0	MOSEL[1:0]	0x0	H0	R/W	

Bits 15-13 Reserved

Bits 11-8 **STIM[3:0]**

これらのビットは、テンポ(メロディモード選択時)、またはワンショットブザー出力期間(ワンショットブザーモード選択時)を選択します。

15 サウンドジェネレータ(SNDA2)

表 15.6.2 テンポ/ワンショットブザー出力期間の選択($f_{CLK_SNDA2}=32k$ Hz の場合)

SNDSSEL. STIM[3:0]ビット	テンポ (= 4分音符/分)	ワンショットブザー 出力期間 [ms]
0xf	30	253.6
0xe	32	237.8
0xd	34.3	221.9
0xc	36.9	206.1
0xb	40	190.2
0xa	43.6	174.4
0x9	48	158.5
0x8	53.3	142.7
0x7	60	126.8
0x6	68.6	111.0
0x5	80	95.1
0x4	96	79.3
0x3	120	63.4
0x2	160	47.6
0x1	240	31.7
0x0	480	15.9

注: SNDINTF.SBSY ビット = 1 の間の変更は禁止します。

Bits 7–3 Reserved

Bit 2 SINV

このビットは、出力端子の駆動モードを選択します。

1 (R/W): ノーマル駆動モード

0 (R/W): ダイレクト駆動モード

詳細は、“出力端子の駆動モード”を参照してください。

Bits 1–0 MOSEL[1:0]

これらのビットは、サウンド出力モードを選択します。

表 15.6.3 サウンド出力モードの選択

SNDSSEL.MOSEL[1:0]ビット	サウンド出力モード
0x3	Reserved
0x2	メロディモード
0x1	ワンショットブザーモード
0x0	ノーマルブザーモード

SNDA2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCTL	15–9	–	0x00	–	R	–
	8	SSTP	0	H0	R/W	
	7–1	–	0x00	–	R	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 SSTP

このビットは、サウンド出力を停止します。

1 (W): サウンド出力停止

0 (W): 無効

1 (R): 停止処理中

0 (R): 停止完了/停止中

ノーマルブザーモード時のブザー出力を停止するためのビットです。1書き込み後、サウンド出力が終了した時点で0にクリアされます。ワンショットブザーモード/メロディモード時も、本ビットへの1書き込みによりサウンド出力を強制終了することができます。

Bits 7–1 Reserved

Bit 0 MODEN

このビットは、SNDA2の動作をイネーブルにします。

1 (R/W): SNDA2 動作イネーブル(動作クロックが供給されます。)

0 (R/W): SNDA2 動作ディスエーブル(動作クロックが停止します。)

SNDA2 Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDDAT	15	MDTI	0	H0	R/W	-
	14	MDRS	0	H0	R/W	
	13-8	SLEN[5:0]	0x00	H0	R/W	
	7-0	SFRQ[7:0]	0xff	H0	R/W	

このレジスタはサウンドバッファとして機能します。このレジスタへのデータの書き込みによりサウンド出力を開始します。設定データの詳細は、“ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)”および“メロディ出力波形の設定”を参照してください。

Bit 15 MDTI

このビットは、メロディモード時にタイ(本ビットをセットした音符と直後の音符の連続演奏)を指定します。

1 (R/W): タイ有効

0 (R/W): タイ無効

連続する音符は同音程の場合に限られます。したがって、スラーを指定することはできません。音程が異なる連続演奏の指定は無視されます。

ノーマルブザーモード/ワンショットブザーモード時も、このビットの設定は無視されます。

Bit 14 MDRS

このビットは、メロディモード時に休符と音符のどちらを出力するか選択します。

1 (R/W): 休符

0 (R/W): 音符

休符を選択した出力期間は、BZOUT 端子が LOW に、#BZOUT 端子が HIGH に固定されます。ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

Bits 13-8 SLEN[5:0]

これらのビットは、音長(メロディモード選択時)、またはブザー信号のデューティ比(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

Bits 7-0 SFRQ[7:0]

これらのビットは、音階(メロディモード選択時)、またはブザー信号の周波数(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

- 注:
- ・ノーマルブザーモード/ワンショットブザーモードでは、SNDDAT.SFRQ[7:0]ビットの下位6ビット(SNDDAT.SFRQ[5:0]ビット)のみ有効です。SNDDAT.SFRQ[7:6]ビットは常に0x0に設定してください。
 - ・SNDDAT レジスタは、16ビット以外のサイズでは書き込みができません。8ビットサイズの書き込みは無視されます。

SNDA2 Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTF	15-9	-	0x00	-	R	-
	8	SBSY	0	H0	R	
	7-2	-	0x00	-	R	
	1	EMIF	1	H0	R	Cleared by writing to the SNDDAT register.
	0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDDAT register.

Bits 15-9 Reserved

15 サウンドジェネレータ(SNDA2)

Bit 8 SBSY

このビットは、サウンド出力の状態を示します。(図 16.4.2.1、図 16.4.3.1、図 16.4.4.1 参照)

1 (R): 出力中

0 (R): 待機中

Bits 7-2 Reserved

Bit 1 EMIF

Bit 0 EDIF

これらのビットは、SNDA2 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SNDINTF.EMIF ビット: サウンドバッファエンプティ割り込み

SNDINTF.EDIF ビット: サウンド出力終了割り込み

SNDA2 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTE	15-8	–	0x00	–	R	–
	7-2	–	0x00	–	R	
	1	EMIE	0	H0	R/W	
	0	EDIE	0	H0	R/W	

Bits 15-2 Reserved

Bit 1 EMIE

Bit 0 EDIE

これらのビットは、SNDA2 の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SNDINTE.EMIE ビット: サウンドバッファエンプティ割り込み

SNDINTE.EDIE ビット: サウンド出力終了割り込み

16 LCD ドライバ(LCD4B)

16.1 概要

LCD4Bは、LCD パネルを駆動する LCD ドライバです。主な機能と特長を以下に示します。

- ・ フレーム周波数を 16 段階に設定可能
- ・ 通常表示の他、全点灯、全消灯、白黒反転表示機能を搭載
- ・ セグメント端子、コモン端子の反転割り当てが可能
- ・ コモン出力のパーシャル駆動機能を搭載
- ・ セグメント出力の n ライン反転交流駆動機能を搭載
- ・ LCD コントラストを 29 段階に調整可能
- ・ 1/3 バイアス電源を内蔵(外部印加も可能、分圧抵抗内蔵)
- ・ フレーム信号モニタ出力端子を搭載
- ・ 1 フレームごとに割り込みを発生可能

表 16.1.1 に LCD4B の構成を示します。

表 16.1.1 S1C17W11 の LCD4B

項目	S1C17W11
対応セグメント数	最大80セグメント (20SEG × 4COM)
SEG/COM出力	20SEG × 1~4COM
駆動バイアス	1/3バイアス
内蔵表示データRAM	20バイト
LCD電源	内部生成モード/ 外部印加モード1/2/3
LFRO出力	あり

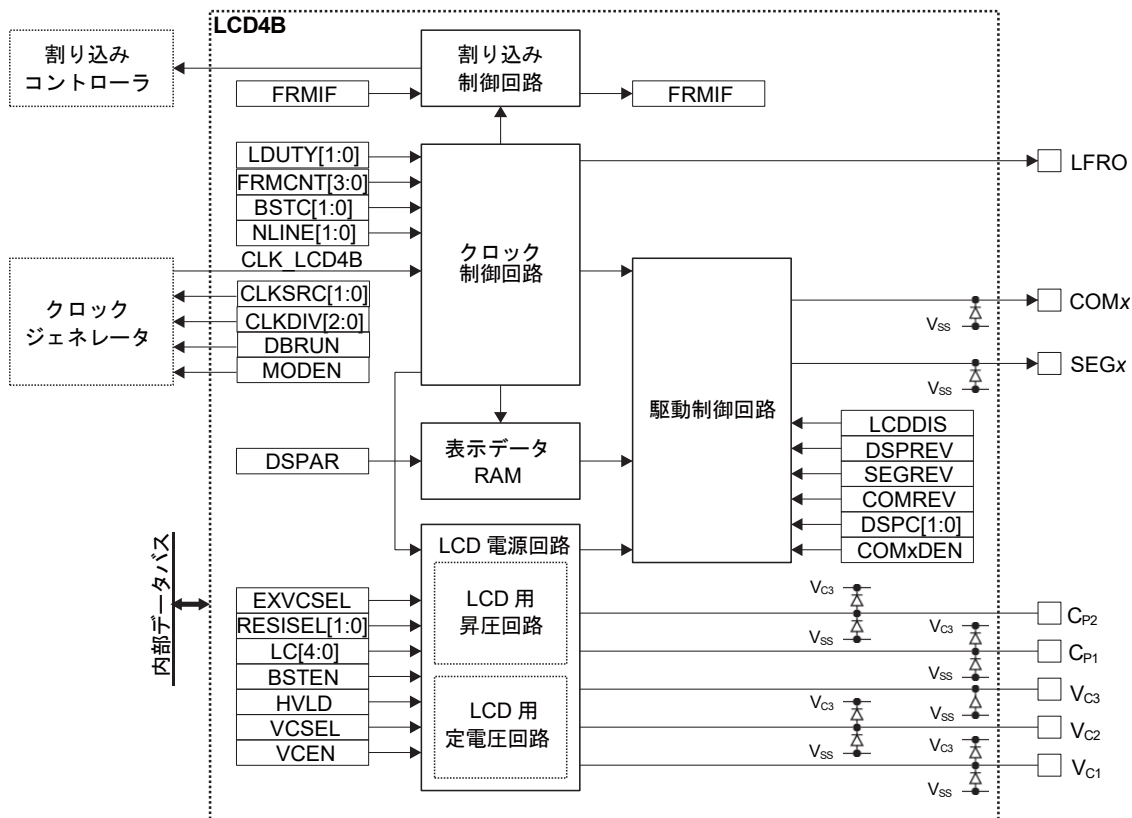


図 16.1.1 LCD4B の構成

16.2 出力端子と外部接続

16.2.1 出力端子一覧

表 16.2.1.1 に LCD4B 端子の一覧を示します。

表 16.2.1.1 LCD4B 端子一覧

端子名	I/O ¹	イニシャル状態 ²	機能
COM0-3	A	Hi-Z / O (L) ²	コモンデータ出力専用端子
SEG0-1, 4-7	A	Hi-Z / O (L) ²	セグメントデータ出力専用端子
SEG2-3, 8-19	A	Hi-Z / O (L) ²	汎用入出力/セグメントデータ出力兼用端子
LFRO	O	O (L)	フレーム信号モニタ出力端子
V _{C1}	P	-	LCDパネル駆動電源端子
V _{C2}	P	-	LCDパネル駆動電源端子
V _{C3}	P	-	LCDパネル駆動電源端子
C _{P1}	A	-	LCD昇圧コンデンサ接続端子
C _{P2}	A	-	LCD昇圧コンデンサ接続端子

* 1: 端子機能を LCD4B に切り換えた時点の状態 * 2: LCD4CTL.LCDDIS ビット=1 のとき

これらの LCD4B 端子と他の機能がポートを共有している場合、LCD4B を動作させる前に LCD4B の出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: ・V_{C1}~V_{C3}端子の出力を外部回路の駆動には絶対に使用しないでください。

・LCD パネルを接続する場合は、LCD4CTL.LCDDIS ビットを 1 に設定してください。0 のまま使用すると、LCD パネルの特性が変動する可能性があります。

16.2.2 外部との接続

LCD4B と LCD パネルとの接続を、図 16.2.2.1 に示します。

注: パネルが接続されている状態では、表示をしていない場合もパネルのバイアスを確定させるために、必ず LCD4CTL.LCDDIS ビットを 1 にしてください。

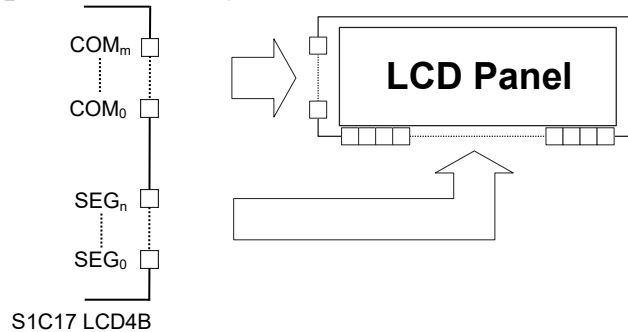


図 16.2.2.1 LCD4B と LCD パネルの接続例

16.3 クロック設定

16.3.1 LCD4B の動作クロック

LCD4B を使用する場合、クロックジェネレータから LCD4B 動作クロック CLK_LCD4B を LCD4B に供給する必要があります。CLK_LCD4B の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. LCD4CLK レジスタの以下のビットを設定する。
 - LCD4CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - LCD4CLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK_LCD4B 周波数は 32 kHz 近辺に設定してください。

16 LCD ドライバ(LCD4B)

16.3.2 SLEEP モード時のクロック供給

SLEEP モード時に LCD4B を使用する場合は、LCD4B 動作クロック CLK_LCD4B のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、CLK_LCD4B を供給し続ける必要があります。

16.3.3 DEBUG モード時のクロック供給

DEBUG モード時の CLK_LCD4B の供給は LCD4CLK.DBRUN ビットで制御します。

LCD4CLK.DBRUN ビット=0 の場合、DEBUG モードに移行すると LCD4B への CLK_LCD4B の供給が停止します。その後通常モードに戻ると、CLK_LCD4B の供給が再開します。CLK_LCD4B の供給が停止すると LCD4B の動作は停止し、表示 OFF になりますが、レジスタは DEBUG モードへ移行前の状態に保持されます。

LCD4CLK.DBRUN ビット=1 の場合、DEBUG モード時も CLK_LCD4B の供給は停止せず、LCD4B は動作を継続します。

16.3.4 フレーム周波数

LCD4B のフレーム信号は、CLK_LCD4B を分周して生成します。この分周比を、駆動デューティごとに異なる 16 種類から LCD4TIM1.FRMCNT[3:0] ビットで選択することにより、フレーム周波数を設定することができます。フレーム周波数は次の式で求められます。

$$f_{FR} = \frac{f_{CLK_LCD4B}}{16 \times (FRMCNT + 1) \times (LDUTY + 1)} \quad (\text{式 16.1})$$

ここで 0

f_{FR} : フレーム周波数 [Hz]

f_{CLK_LCD4B} : LCD4B 動作クロック周波数 [Hz]

FRMCNT: LCD4TIM1.FRMCNT[3:0] ビット設定値 (0~15)

LDUTY: LCD4TIM1.LDUTY[1:0] ビット設定値 (0~3)

$f_{CLK_LCD4B} = 32$ Hz の場合を例に、設定可能なフレーム周波数の一覧を表 16.3.4.1 に示します。

表 16.3.4.1 フレーム周波数の設定($f_{CLK_LCD4B} = 32$ kHz の場合)

LCD4TIM1. FRMCNT[3:0]ビット	フレーム周波数 [Hz]			
	1/4デューティ	1/3デューティ	1/2デューティ	スタティック
0xf	31.3	41.7	62.5	125.0
0xe	33.3	44.4	66.7	133.3
0xd	35.7	47.6	71.4	142.9
0xc	38.5	51.3	76.9	153.8
0xb	41.7	55.6	83.3	166.7
0xa	45.5	60.6	90.9	181.8
0x9	50.0	66.7	100.0	200.0
0x8	55.6	74.1	111.1	222.2
0x7	62.5	83.3	125.0	250.0
0x6	71.4	95.2	142.9	285.7
0x5	83.3	111.1	166.7	333.3
0x4	100.0	133.3	200.0	400.0
0x3	125.0	166.7	250.0	500.0
0x2	166.7	222.2	333.3	666.7
0x1	250.0	333.3	500.0	1000.0
0x0	500.0	666.7	1000.0	2000.0

16.4 LCD 電源

LCD 駆動用電圧 $V_{C1} \sim V_{C3}$ は、内蔵の LCD 電源回路(LCD 用定電圧回路と LCD 用昇圧回路)で可能です。また、外部からひとつまたはすべてを供給することもできます。

16.4.1 内部生成モード

LCD 駆動用電圧 $V_{C1} \sim V_{C3}$ をすべてチップ内部で生成するモードです。
内部生成モードにするには、LCD4PWR.EXVCSEL ビットを 0 に設定した後に、LCD4PWR.VCEN ビットと LCD4PWR.BSTEN ビットを 1 に設定し、内蔵の LCD 用定電圧回路と LCD 用昇圧回路を両方 ON します。LCD4PWR.RESISEL[1:0] ビットは 0x0 に設定し、LCD 用内蔵分割抵抗を無効にします。内部生成モードの外部結線例を図 16.4.1.1 に示します。

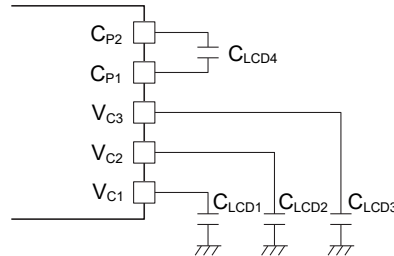


図 16.4.1.1 内部生成モード外部結線例

16.4.2 外部印加モード 1

LCD 駆動用電圧 $V_{C1} \sim V_{C3}$ をすべて外部から印加するモードです。
外部印加モード 1 にするには、LCD4PWR.EXVCSEL ビットを 1 に設定した後に、LCD4PWR.VCEN ビットと LCD4PWR.BSTEN ビットを 0 に設定し、内蔵の LCD 用定電圧回路と LCD 用昇圧回路を両方 OFF します。LCD4PWR.RESISEL[1:0] ビットは 0x0 に設定し、LCD 用内蔵分割抵抗を無効にします。外部印加モード 1 の外部結線例を図 16.4.2.1 に示します。

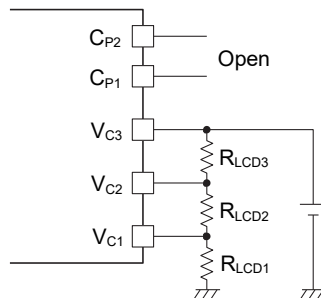


図 16.4.2.1 外部印加モード 1 外部結線例(抵抗分割)

16.4.3 外部印加モード 2

LCD 駆動用電圧 $V_{C1} \sim V_{C2}$ のうち 1 つを外部から印加し、残りを内部で生成するモードです。
外部印加モード 2 にするには、LCD4PWR.EXVCSEL ビットを 1 に設定した後に、LCD4PWR.VCEN ビットを 0 に設定して内蔵の LCD 用定電圧回路は OFF し、LCD4PWR.BSTEN ビットを 1 に設定して LCD 用昇圧回路を ON します。LCD4PWR.RESISEL[1:0] ビットは 0x0 に設定し、LCD 用内蔵分割抵抗を無効にします。外部印加モード 2 の外部結線例を図 16.4.3.1 に示します。

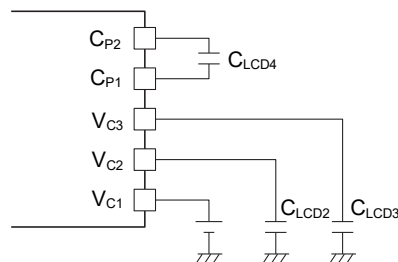


図 16.4.3.1 外部印加モード 2 外部結線例(V_{C1} 印加時)

16 LCD ドライバ(LCD4B)

16.4.4 外部印加モード 3

LCD 駆動用電圧 V_{C3} を外部から印加し、内蔵の LCD 用分割抵抗を用いて V_{C1} と V_{C2} を生成するモードです。外部印加モード 3 には、LCD4PWR.EXVCSEL ビットを 1 に設定した後に、LCD4PWR.VCEN ビットと LCD4PWR.BSTEN ビットを 0 に設定し、内部の LCD 用定電圧回路と LCD 用昇圧回路を両方 OFF します。さらに、LCD4PWR.RESISEL[1:0] ビットを 0x1、0x2、または 0x3 に設定し、パネル負荷に応じた LCD 用内蔵分割抵抗を選択します。なお、LCD の負荷変動を考慮して、 V_{C1} ~ V_{C3} 端子へのコンデンサの接続を推奨します。外部印加モード 3 の外部結線例を図 16.4.4.1 に示します。

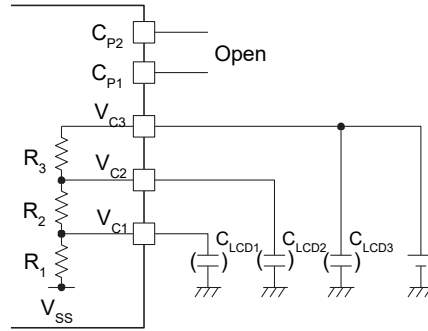


図 16.4.4.1 外部印加モード 3 外部結線例

16.4.5 LCD 電源回路の設定

内部生成モードを使用する場合

LCD 用定電圧回路で生成する昇圧用基準電圧を、電源電圧 V_{DD} に応じて選択します。“電気的特性”の章の“LCD ドライバ(LCD4B)特性”を参考に LCD4PWR.VCSEL ビットを設定してください。基準電圧 V_{C2} の方が、基準電圧 V_{C1} よりも消費電流が少なくなります。

また、LCD 用定電圧回路は LCD4PWR.HVLD ビットを 1 に設定すると重負荷保護モードになり、 V_{C1} ~ V_{C3} 出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外は重負荷保護モードに設定しないでください。

内部生成モードまたは外部印加モード 2 を使用する場合

LCD 用昇圧回路が使用する昇圧用クロックの周波数を、LCD4TIM2.BSTC[1:0] ビットで設定します。実機にて評価を行い、 V_{C1} ~ V_{C3} 出力が最も安定する周波数に設定してください。

外部印加モード 3 を使用する場合

LCD 用内部分割抵抗を用いて、外部印加する V_{C3} から V_{C1} 、 V_{C2} を生成することができます。抵抗値は外部パネル負荷に応じて調整可能で、LCD4PWR.REGISEL[1:0] ビットで設定します。

LCD コントラスト調整

LCD パネルのコントラストは、内部生成モードでのみ LCD4PWR.LC[4:0] ビットによって調整できます。調整範囲については、“電気的特性”の章の“LCD ドライバ(LCD4B)特性”を参照してください。

16.5 動作

16.5.1 初期設定

LCD4B は、以下の手順により初期設定を行います。

1. LCD4B の出力機能をポートに割り当てる。 (“入出力ポート”の章を参照)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする
3. LCD4CLK レジスタの以下のビットを設定する。
 - LCD4CLK.CLKSRC[1:0] ビット (クロックソースの選択)
 - LCD4CLK.CLKDIV[2:0] ビット (クロック分周比の選択 = クロック周波数の設定)
4. LCD4CTL レジスタの以下のビットを設定する。

- LCD4CTL.MODEN ビットに 1 を書き込み (LCD4B 動作クロックイネーブル)
 - LCD4CTL.LCDDIS ビットに 1 を書き込み(表示 OFF 時の LCD ドライバ端子ディスチャージイネーブル)
5. LCD4TIM1 レジスタの以下のビットを設定する。
- LCD4TIM1.LDUTY[1:0]ビット (駆動デューティの設定)
 - LCD4TIM1.FRMCNT[3:0]ビット (フレーム周波数の設定)
6. LCD4TIM2 レジスタの以下のビットを設定する。
- LCD4TIM2.NLINE[1:0]ビット (n ライン反転交流駆動の設定)
 - LCD4TIM2.BSTC[1:0]ビット (昇圧クロック周波数の設定)
7. LCD4PWR.EXVCSEL ビットを設定する。 (外部印加モード/内部生成モードの選択)
8. LCD4PWR レジスタの以下のビットを設定する。
- LCD4PWR.RESISEL[1:0]ビット (内蔵分圧抵抗の選択)
 - LCD4PWR.VCEN ビット (LCD 用定電圧回路イネーブル)
 - LCD4PWR.VCSEL ビット (昇圧用基準電圧の設定)
 - LCD4PWR.BSTEN ビット (LCD 用昇圧回路イネーブル)
 - LCD4PWR.LC[4:0]ビット (LCD コントラスト初期値)
9. LCD4DSP レジスタの以下のビットを設定する。
- LCD4DSP.DSPAR ビット (表示領域の選択)
 - LCD4DSP.COMREV ビット (COM 端子割り付け方向選択)
 - LCD4DSP.SEGREV ビット (SEG 端子割り付け方向選択)
10. 表示データを表示データ RAM に書き込む。
11. 割り込みを使用する場合は以下のビットを設定する。
- LCD4INTF.FRMIFF ビットに 1 を書き込み (割り込みフラグをクリア)
 - LCD4INTE.FRMIIE ビットを 1 に設定 (LCD4B 割り込みイネーブル)

16.5.2 表示の ON/OFF

LCD の表示状態は LCD4DSP.DSPC[1:0]ビットによって制御します。

表 16.5.2.1 LCD 表示制御

LCD4DSP.DSPC[1:0]ビット	LCD表示
0x3	全消灯(スタティック駆動)
0x2	全点灯
0x1	通常表示
0x0	表示OFF

表示 OFF を選択すると LCD 駆動電圧の供給が停止し、LCD4CTL.LCDDIS ビット = 1 の場合は LCD ドライバ端子の出力がすべて V_{SS} レベルとなります。

全点灯および全消灯は LCD ドライバが出力する駆動波形を直接制御するもので、表示データ RAM のデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示データメモリを変更せずに表示を点滅させることができます。

注: 外部印加モードに設定して LCD 電源を外部から供給している場合、表示 OFF を選択したときに、 V_{C3} の電荷を以下の手順によりディスチャージする必要があります。

1. 外部電源を OFF する。
2. LCD4PWR.EXVCSEL ビットを 0 に設定する。 (内部生成モードの選択)
3. LCD4PWR.EXVCSEL ビットを 1 に設定する。 (外部印加モードの選択)

16.5.3 反転表示

表示データ RAM のデータを変更せずに、制御ビットの操作のみで LCD パネルの表示を反転(白黒反転)させることができます。LCD4DSP.DSPREV ビットを 0 に設定すると表示が反転し、1 にすると通常の表示に戻ります。ただし、LCD4DSP.DSPC[1:0]ビット = 0x3(全消灯)の場合、表示は反転しません。

16 LCD ドライバ(LCD4B)

16.5.4 駆動デューティの切り換え

駆動デューティは LCD4TIM1.LDUTY[1:0] ビットにより 1/4~1/2、またはスタティック駆動に切り換えることができます。表 16.5.4.1 に LCD4TIM1.LDUTY[1:0] ビットの設定と駆動デューティ、最大表示セグメント数の対応を示します。

表 16.5.4.1 駆動デューティの設定

LCD4TIM1.LDUTY[1:0]ビット	デューティ	有効コモン端子	有効セグメント端子	最大表示セグメント数
0x3	1/4	COM0~3	SEG0~19	80
0x2	1/3	COM0~2		60
0x1	1/2	COM0~1		40
0x0	スタティック	COM0		20

未使用のコモン端子からは OFF 波形(消灯波形)が出力されます。

16.5.5 駆動波形

図 16.5.5.1~図 16.5.5.4 に、駆動デューティ別の駆動波形の例を示します。

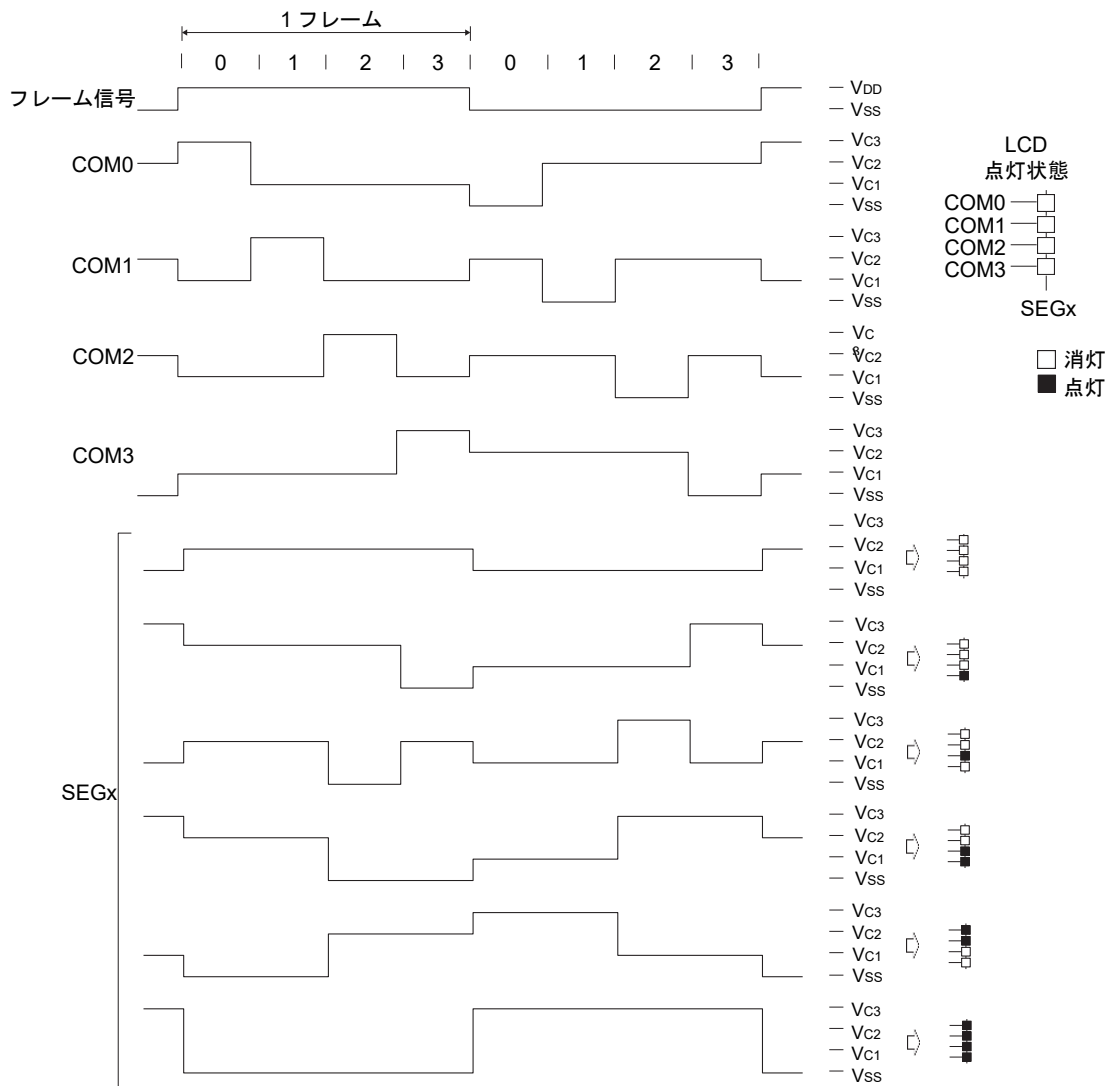


図 16.5.5.1 1/4 デューティの駆動波形

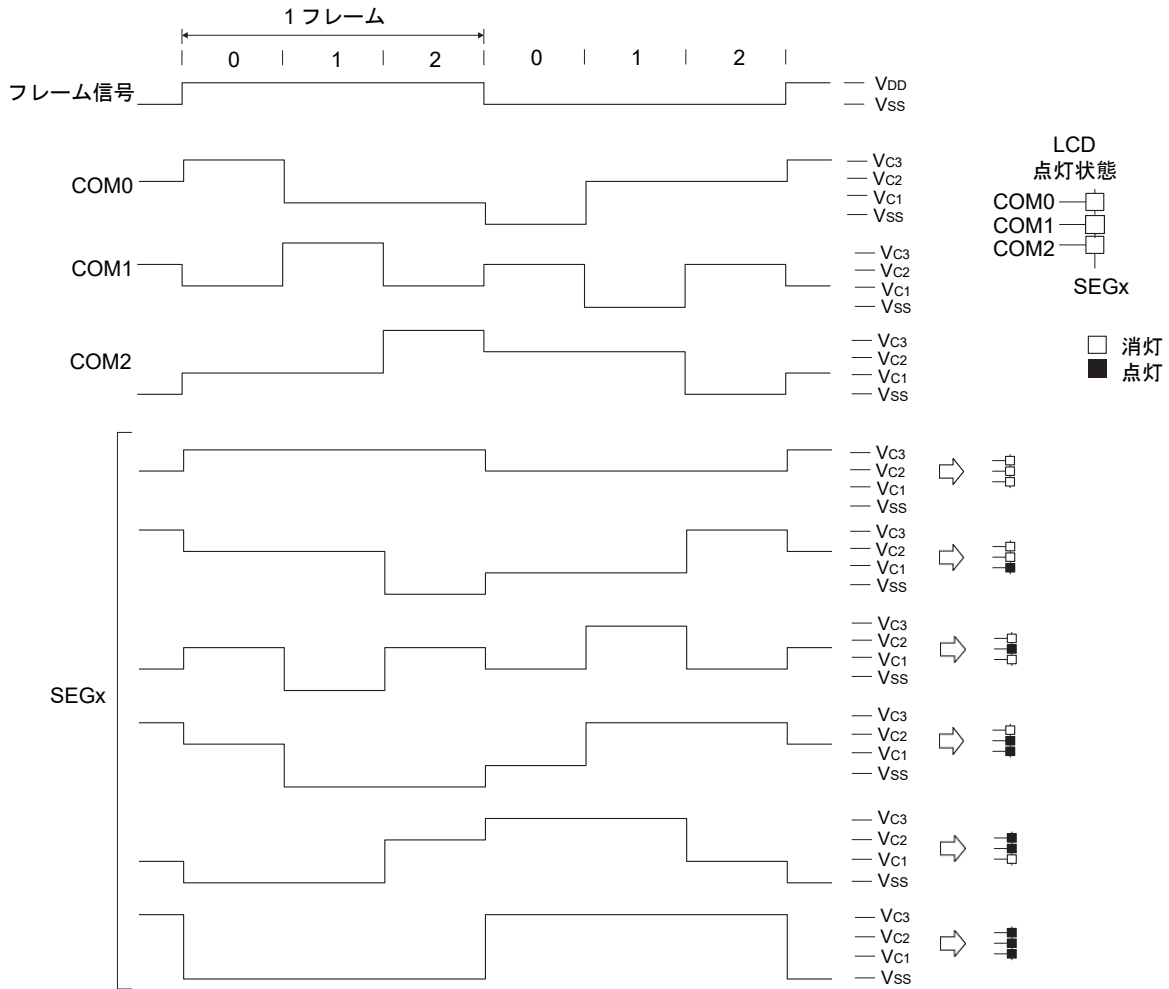


図 16.5.5.2 1/3 デューティの駆動波形

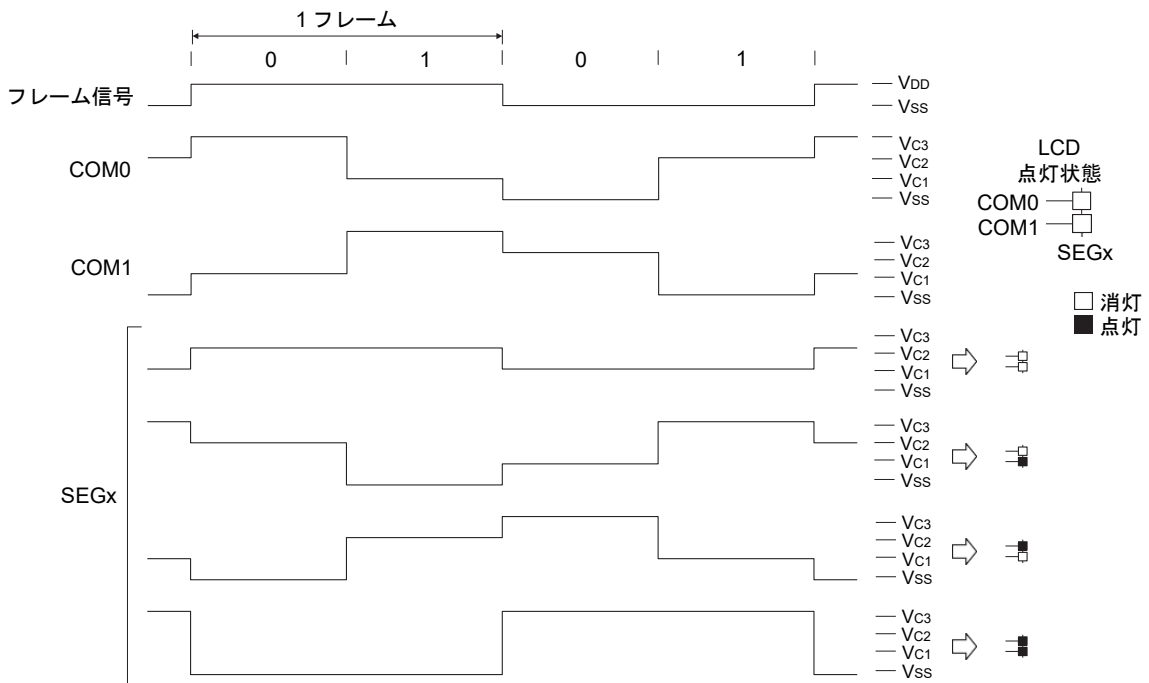


図 16.5.5.3 1/2 デューティの駆動波形

16 LCD ドライバ(LCD4B)

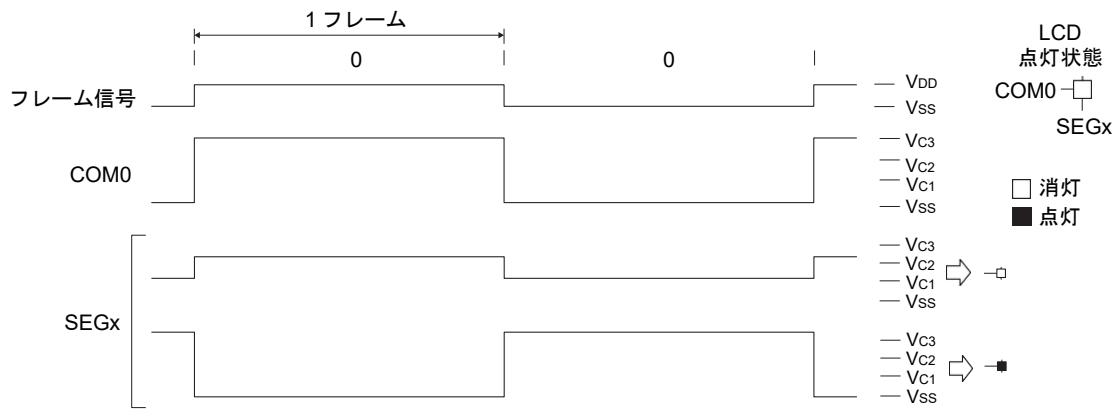


図 16.5.5.4 スタティック駆動波形

16.5.6 コモン出力パーシャル駆動

LCD4COMC*.COMxDEN ビット(x = COM No.)を 0 に設定することによって、表示データ RAM の内容にかかわらず、任意のコモン出力を OFF 波形(消灯波形)にすることができます。コモン出力パーシャル駆動機能は、表示に必要な箇所に制限し、消費電力を低減できます。

16.5.7 セグメント出力 n ライン反転交流駆動

クロストークなどの表示品質低下が生じたときに、n ライン反転交流駆動機能を使用することで、表示品質を改善できることがあります。n ライン反転交流駆動機能を使用するには、LCD4TIM2.NLINE[1:0]ビットで反転するライン数を選択します。設定値は、実機評価を行い、決定してください。ただし、n ライン反転交流駆動機能を使用すると、消費電流が増加します。

表 16.5.7.1 反転ライン数の選択

LCD4TIM2.NLINE[1:0]ビット	反転ライン数
0x3	3ライン
0x2	2ライン
0x1	1ライン
0x0	通常駆動

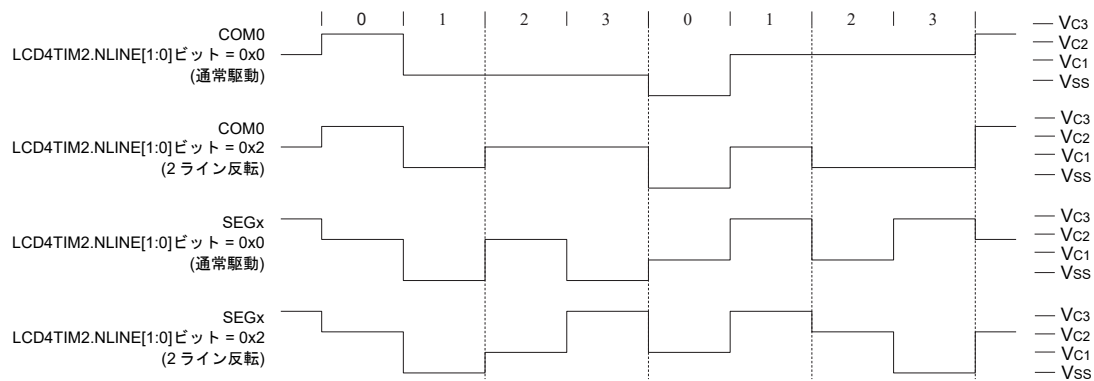


図 16.5.7.1 1/4 デューティの通常駆動時と 2 ライン反転時の駆動波形

16.6 表示データ RAM

表示データ RAM はアドレス 0x7000 を先頭として割り付けられています。表示データ RAM のメモリビットとコモン/セグメント端子の対応は以下の選択条件により変わります。

- ・ 駆動デューティ (1/4～1/2、またはスタティック駆動)
- ・ セグメント端子割り付け (通常または反転)
- ・ コモン端子割り付け (通常または反転)

表示データ RAM とコモン/セグメント端子の対応を、駆動デューティ別に図 16.6.3.1～図 16.6.3.4 に示します。

LCD パネル上のセグメントに対応する表示データ RAM のビットに 1 を書き込むと、そのセグメントが点灯し、0 を書き込むと消灯します。

表示データ RAM は、リード/ライト可能な RAM 構造となっているため、論理演算命令 (リードモディファイライト命令) 等によるビット単位の制御を行うことができます。

また、表示に使用しない領域は、汎用 RAM として使用することができます。

16.6.1 表示領域の選択

表示データ RAM 内には 2 画面分の領域を確保することができ、LCD4DSP.DSPAR ビットによって画面の切り換えを行うことができます。LCD4DSP.DSPAR ビットを 0 に設定した場合は表示領域 0、1 に設定した場合は表示領域 1 が選択されます。

16.6.2 セグメント端子の割り付け

セグメント端子に対する表示データ RAM アドレスの割り当てを LCD4DSP.SEGREV ビットで反転することができます。LCD4DSP.SEGREV ビットを 1 に設定すると、セグメント端子に対してメモリアドレスが昇順に割り当てられます。0 に設定するとセグメント端子に対してメモリアドレスが降順に割り当てられます。

16.6.3 コモン端子の割り付け

コモン端子に対する表示データ RAM ビットの割り当てを LCD4DSP.COMREV ビットで反転することができます。LCD4DSP.COMREV ビットを 1 に設定すると、コモン端子に対してメモリビットが昇順に割り当てられます。0 に設定するとコモン端子に対してメモリビットが降順に割り当てられます。

16 LCD ドライバ(LCD4B)

- 未使用領域(汎用 RAM)
- 未実装領域

1/4 デューティ

Bit	Address								LCD4DSP. COMREV bit = 1	LCD4DSP. COMREV bit = 0
D0	Display area 0								COM0	COM3
D1									COM1	COM2
D2									COM2	COM1
D3									COM3	COM0
D4										
D5										
D6										
D7										
D0	Display area 1								COM0	COM3
D1									COM1	COM2
D2									COM2	COM1
D3									COM3	COM0
D4										
D5										
D6										
D7										
LCD4DSP.SEGREV bit = 1	SEG0	SEG1	SEG2	SEG3	...				SEG18	SEG19
LCD4DSP.SEGREV bit = 0	SEG19	SEG18	SEG17	SEG16	...				SEG1	SEG0

図 16.6.3.1 表示データ RAM マップ(1/4 デューティ)

1/3 デューティ

Bit	Address								LCD4DSP. COMREV bit = 1	LCD4DSP. COMREV bit = 0
D0	Display area 0								COM0	COM2
D1									COM1	COM1
D2									COM2	COM0
D3										
D4										
D5										
D6										
D7										
D0	Display area 1								COM0	COM2
D1									COM1	COM1
D2									COM2	COM0
D3										
D4										
D5										
D6										
D7										
LCD4DSP.SEGREV bit = 1	SEG0	SEG1	SEG2	SEG3	...				SEG18	SEG19
LCD4DSP.SEGREV bit = 0	SEG19	SEG18	SEG17	SEG16	...				SEG1	SEG0

図 16.6.3.2 表示データ RAM マップ(1/3 デューティ)

1/2 デューティ

Bit	Address								LCD4DSP. COMREV bit = 1	LCD4DSP. COMREV bit = 0
D0	Display area 0								COM0	COM1
D1	0x7000	0x7001	0x7002	0x7003					0x7012	0x7013
D2	0x7000	0x7001	0x7002	0x7003					0x7012	0x7013
D3										
D4										
D5										
D6										
D7										
D0	Display area 0								COM0	COM1
D1	0x7020	0x7021	0x7022	0x7023					0x7032	0x7033
D2	0x7020	0x7021	0x7022	0x7023					0x7032	0x7033
D3										
D4										
D5										
D6										
D7										
LCD4DSP.SEGREV bit = 1	SEG0	SEG1	SEG2	SEG3	...				SEG18	SEG19
LCD4DSP.SEGREV bit = 0	SEG19	SEG18	SEG17	SEG16	...				SEG1	SEG0

図 16.6.3.3 表示データ RAM マップ(1/2 デューティ)

スタティック駆動

Bit	Address								LCD4DSP. COMREV bit = 1	LCD4DSP. COMREV bit = 0
D0	Display area 0								COM0	COM0
D1	0x7000	0x7001	0x7002	0x7003					0x7012	0x7013
D2	0x7000	0x7001	0x7002	0x7003					0x7012	0x7013
D3										
D4										
D5										
D6										
D7										
D0	Display area 1								COM0	COM0
D1	0x7020	0x7021	0x7022	0x7023					0x7032	0x7033
D2	0x7020	0x7021	0x7022	0x7023					0x7032	0x7033
D3										
D4										
D5										
D6										
D7										
LCD4DSP.SEGREV bit = 1	SEG0	SEG1	SEG2	SEG3	...				SEG18	SEG19
LCD4DSP.SEGREV bit = 0	SEG19	SEG18	SEG17	SEG16	...				SEG1	SEG0

図 16.6.3.4 表示データ RAM マップ(スタティック駆動)

16.7 割り込み

LCD4Bには、表 16.7.1 に示す割り込みを発生させる機能があります。

表 16.7.1 LCD4B の割り込み機能

割り込み	割り込みフラグ	セット	クリア
フレーム	LCD4INTF.FRMIF	フレームの切り換わり	1書き込み

割り込みフラグには、対応する割り込みイネーブルビットがあります。割り込みがイネーブルになっているときに割り込みフラグがセットされた場合にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

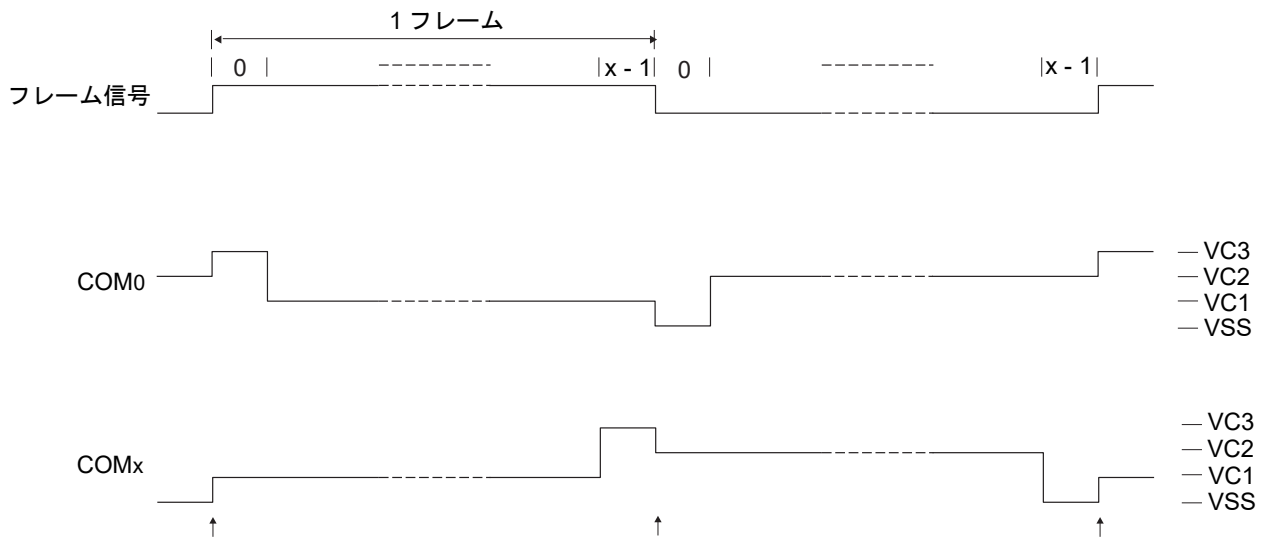


図 16.7.1 フレーム割り込みタイミング(x/1 デューティ)

16.8 制御レジスタ

LCD4B Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4CLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 **DBRUN**

このビットは、DEBUG モード時に LCD4B 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 **CLKDIV[2:0]**

これらのビットは、LCD4B 動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 **CLKSRC[1:0]**

これらのビットは、LCD4B のクロックソースを選択します。

表 16.8.1 クロックソースと分周比の設定

LCD4CLK. CLKDIV[2:0]ビット	LCD4CLK.CLKSRC[1:0]ビット				
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC	
0x7	Reserved	1/1	Reserved	1/1	
0x6					
0x5					1/128
0x4					1/64
0x3					1/32
0x2					1/16
0x1					1/8
0x0					1/4

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: LCD4CLK レジスタは、LCD4CTL.MODEN ビット = 0 のときのみ設定変更が可能です。

LCD4B Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	LCDDIS	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved

Bit 1 LCDDIS

このビットは、表示 OFF を選択したときの SEG/COM 端子のディスチャージ動作をイネーブルにします。

1 (R/W): SEG/COM 端子のディスチャージ動作イネーブル

0 (R/W): SEG/COM 端子のディスチャージ動作ディスエーブル

このビットを 1 に設定して表示 OFF を選択すると、SEG/COM 端子は LOW レベルを出力します。0 に設定して表示 OFF を選択すると、SEG/COM 端子は Hi-Z になります。

Bit 0 MODEN

このビットは、LCD4B の動作をイネーブルにします。

1 (R/W): LCD4B 動作イネーブル

0 (R/W): LCD4B 動作ディスエーブル

このビットを 1 に設定すると、動作クロックが LCD4B に供給されます。

注: LCD パネル表示中に LCD4CTL.MODEN ビットを 1 から 0 に変更すると、LCD 表示が自動的に OFF し、LCD4DSP.DSPC[1:0]ビットが 0x0 になります。また、LCD 用定電圧回路が自動的に OFF し、LCD4PWR.VCEN ビットが 0 になります。

LCD4B Timing Control Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4TIM1	15–12	–	0x0	–	R	–
	11–8	FRMCNT[3:0]	0x3	H0	R/W	
	7–2	–	0x00	–	R	
	1–0	LDUTY[1:0]	0x3	H0	R/W	

Bits 15–12 Reserved

Bits 11–8 FRMCNT[3:0]

これらのビットは、フレーム周波数を設定します。詳細は“フレーム周波数”を参照してください。

Bits 7–2 Reserved

Bits 1–0 LDUTY[1:0]

16 LCD ドライバ(LCD4B)

これらのビットは、駆動デューティを設定します。詳細は“駆動デューティの切り換え”を参照してください。

LCD4B Timing Control Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4TIM2	15-10	–	0x00	–	R	–
	9-8	BSTC[1:0]	0x1	H0	R/W	
	7-2	–	0x00	–	R	
	1-0	NLINE[1:0]	0x0	H0	R/W	

Bits 15-10 Reserved

Bits 9-8 BSTC[1:0]

これらのビットは、LCD 昇圧回路の昇圧用クロック周波数を選択します。

表 16.8.2 昇圧用クロック周波数

LCD4TIM2.BSTC[1:0]ビット	昇圧用クロック周波数 [Hz]
0x3	$f_{\text{CLK_LCD4B}} / 64$
0x2	$f_{\text{CLK_LCD4B}} / 32$
0x1	$f_{\text{CLK_LCD4B}} / 16$
0x0	$f_{\text{CLK_LCD4B}} / 4$

$f_{\text{CLK_LCD4B}}$: LCD4B 動作クロック周波数 [Hz]

Bits 7-2 Reserved

Bits 1-0 NLINE[1:0]

これらのビットは、n ライン反転交流駆動機能をイネーブルにすると共に、反転ライン数を設定します。詳細は“セグメント出力 n ライン反転交流駆動”を参照してください。

LCD4B Power Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4PWR	15	EXVCSEL	1	H0	R/W	–
	14-13	RESISEL[1:0]	0x0	H0	R/W	
	12-8	LC[4:0]	0x00	H0	R/W	
	7-5	–	0x0	–	R	
	4	BSTEN	0	H0	R/W	
	3	–	0	–	R	
	2	HVLD	0	H0	R/W	
	1	VCSEL	0	H0	R/W	
	0	VCEN	0	H0	R/W	

Bit 15 EXVCSEL

このビットは、LCD 駆動用電圧の供給方法(外部印加モードまたは内部生成モード)を選択します。

1 (R/W): 外部印加モード

0 (R/W): 内部生成モード

注: LCD4PWR.EXVCSEL ビットを 0 に設定した場合は、LCD 電源端子と GND 間がショートするため、絶対に外部から $V_{C1} \sim V_{C3}$ 端子に電圧を印加しないでください。

Bits 14-13 RESISEL[1:0]

これらのビットは、LCD 用内部分割抵抗値を選択します。

表 16.8.3 LCD 内部抵抗調整

LCD4PWR.RESISEL[1:0]ビット	内部抵抗
0x3	抵抗値大
0x2	↓
0x1	抵抗値小
0x0	内部分割抵抗を使用しない

Bits 12–8 LC[4:0]

これらのビットは、LCD パネルのコントラストを設定します。

表 16.8.4 LCD コントラスト調整

LCD4PWR.LC[4:0]ビット	コントラスト
0x1f	高い(濃)
0x1e	↑
:	⋮
0x01	↓
0x00	低い(淡)

Bits 7–5 Reserved**Bit 4 BSTEN**

このビットは、LCD 用昇圧回路を ON/OFF します。

1 (R/W): LCD 用昇圧回路 ON

0 (R/W): LCD 用昇圧回路 OFF

詳細は“LCD 電源”を参照してください。

Bit 3 Reserved**Bit 2 HVLD**

このビットは、LCD 用定電圧回路を重負荷保護モードに設定します。

1 (R/W): 重負荷保護モード

0 (R/W): 通常モード

詳細は“LCD 用定電圧回路の設定”を参照してください。

Bit 1 VCSEL

このビットは、LCD 定電圧回路の出力(昇圧用基準電圧)を設定します。

1 (R/W): V_{C2}

0 (R/W): V_{C1}

詳細は“LCD 用定電圧回路の設定”を参照してください。

注: 外部印加モード時は、LCD4PWR.VCSEL ビット=0 に設定してください。

Bit 0 VCEN

このビットは、LCD 用定電圧回路を ON/OFF します。

1 (R/W): LCD 用定電圧回路 ON

0 (R/W): LCD 用定電圧回路 OFF

詳細は“LCD 電源”を参照してください。

注: LCD4PWR.VCEN ビットを 1 に設定する前に、LCD4PWR.EXVCSEL ビットを 0 に設定してください。また、LCD4PWR.EXVCSEL ビットを 1 に設定すると、自動的に LCD4PWR.VCEN ビットは 0 にクリアされます。

LCD4B Display Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4DSP	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6	SEGREV	1	H0	R/W	
	5	COMREV	1	H0	R/W	
	4	DSPREV	1	H0	R/W	
	3	–	0	–	R	
	2	DSPAR	0	H0	R/W	
	1–0	DSPC[1:0]	0x0	H0	R/W	

Bits 15–7 Reserved**Bit 6 SEGREV**

このビットは、セグメント端子の割り付け方向を選択します。

1 (R/W): 通常割り付け

0 (R/W): 反転割り付け

詳細は図 16.6.3.1～図 16.6.3.4 を参照してください。

16 LCD ドライバ(LCD4B)

Bit 5 COMREV

このビットは、コモン端子の割り付け方向を選択します。
 1 (R/W): 通常割り付け
 0 (R/W): 反転割り付け
 詳細は図 16.6.3.1～図 16.6.3.4 を参照してください。

Bit 4 DSPREV

このビットは、LCD 表示の白黒反転を制御します。
 1 (R/W): 通常表示
 0 (R/W): 反転表示

Bit 3 Reserved

Bit 2 DSPAR

このビットは、表示データ RAM の表示領域を切り換えます。
 1 (R/W): 表示領域 1
 0 (R/W): 表示領域 0

Bits 1-0 DSPC[1:0]

これらのビットは、LCD 表示の ON/OFF 制御、および表示モードの選択に使用します。詳細は“表示の ON/OFF”を参照してください。

LCD4B COM Pin Control Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4COMC0	15-8	–	0x00	–	R	–
	7-4	–	0x0	–	R	
	3	COM3DEN	1	H0	R/W	
	2	COM2DEN	1	H0	R/W	
	1	COM1DEN	1	H0	R/W	
	0	COM0DEN	1	H0	R/W	

Bits 15-4 Reserved

Bits 3-0 COMxDEN

これらのビットは、COMx 端子のパーシャル駆動を設定します。
 1 (R/W): 通常出力
 0 (R/W): OFF 波形出力

LCD4B Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4INTF	15-8	–	0x00	–	R	–
	7-1	–	0x00	–	R	
	0	FRMIF	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 FRMIF

このビットは、フレーム割り込み要因の発生状況を示します。
 1 (R): 割り込み要因あり
 0 (R): 割り込み要因なし
 1 (W): フラグをクリア
 0 (W): 無効

LCD4B Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD4INTE	15-8	–	0x00	–	R	–
	7-1	–	0x00	–	R	
	0	FRMIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 FRMIE

このビットは、フレーム割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

17 R/F 変換器(RFC2)

17.1 概要

RFC2 は CR 発振方式の A/D 変換器(R/F 変換器)です。

RFC2 の主な機能と特長を以下に示します。

- ・ RFC2 計測電源電圧を生成 (詳細は”電源, リセット, クロック”の章を参照)
- ・ センサの抵抗値を CR 発振させ、発振クロックをカウントしてデジタル値に変換
- ・ 基準抵抗とセンサを同一条件で発振させてその差を得ることにより、誤差の少ない高精度な計測を実現
- ・ 発振クロックをカウントする 24 ビットの計測カウンタを搭載
- ・ 基準抵抗とセンサの計測時間を同一にするために内部クロックをカウントする 24 ビットのタイムベースカウンタを搭載
- ・ DC バイアス抵抗性センサと AC バイアス抵抗性センサに対応
(サーミスタや湿度センサおよび少数の受動部品(容量、抵抗)を接続するだけで、簡単に温度/湿度計を実現可能)
- ・ 外部からクロックを入力して測定(カウント)することも可能
- ・ 発振周波数をモニタするための出力と連続発振機能を搭載
- ・ 基準発振完了、センサ(A, B)発振完了、計測カウンタオーバーフローエラー、タイムベースカウンタオーバーフローエラーにより割り込みを発生可能

図 17.1.1 に RFC2 の構成を示します。

表 17.1.1 S1C17W11 の RFC2 チャンネル構成

項目	S1C17W11
チャンネル数	1チャンネル(Ch.0)

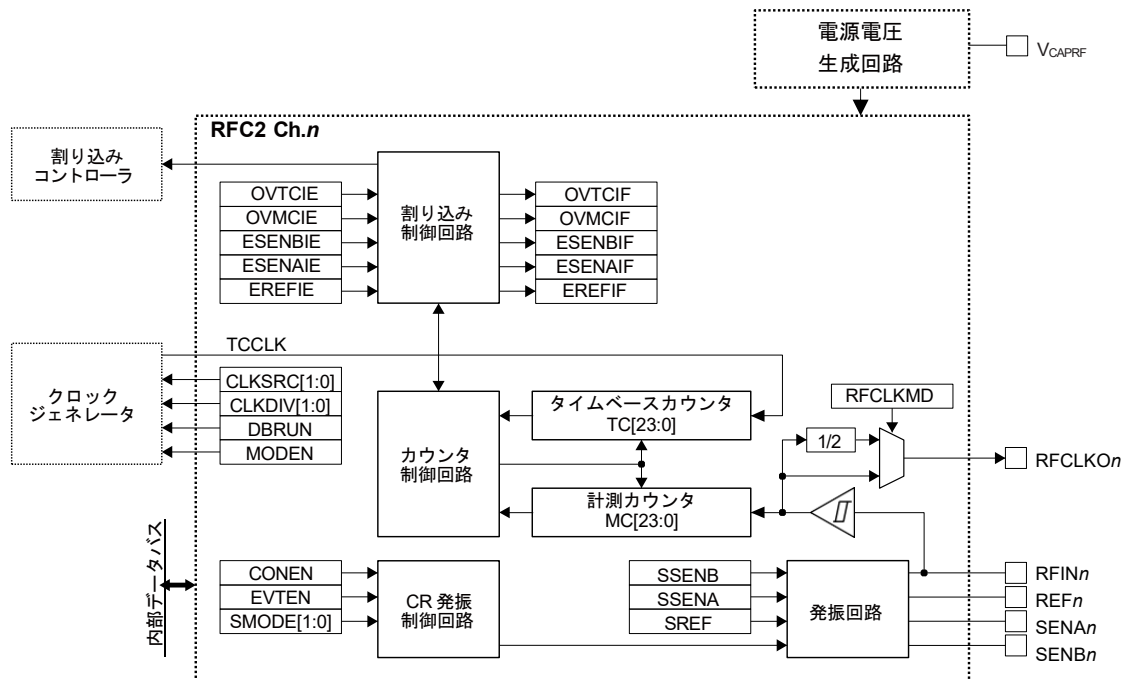


図 17.1.1 RFC の構成

17.2 入出力端子と外部接続

17.2.1 入出力端子一覧

表 17.2.1 に RFC2 の端子一覧を示します。

表 17.2.1 RFC2 端子一覧

端子名	I/O*	イニシャル状態*	機能
V_{CAPRF}	A	Hi-Z	RFレギュレーター電圧出力端子
$SENB_n$	A	Hi-Z	センサB発振制御端子
$SENA_n$	A	Hi-Z	センサA発振制御端子
REF_n	A	Hi-Z	基準発振制御端子
$RFIN_n$	A	V_{SS}	RFCLK入力および発振制御端子
$RFCLKOn$	O	Hi-Z	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

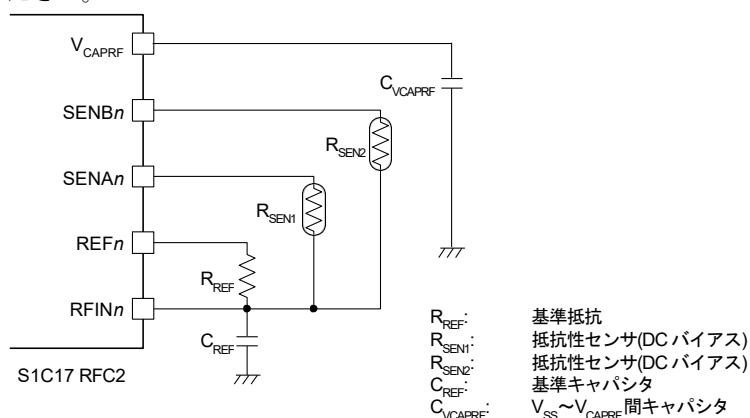
* 端子機能を RFC2 に切り換えた時点の状態

これらの RFC2 端子と他の機能がポートを共有している場合、RFC2 を動作させる前に RFC2 の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: $RFIN_n$ 端子はポート切り換え時に V_{SS} になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

17.2.2 外部との接続

RFC2 と外部センサの接続例を以下に示します。発振モードと外部クロック入力モードについては、“動作モード”を参照してください。



* 抵抗性センサを1つしか使用しない場合、使用しない端子($SENA_n$ または $SENB_n$)をオープンにしてください。

図 17.2.2.1 抵抗性センサ測定用 DC 発振モードの接続例

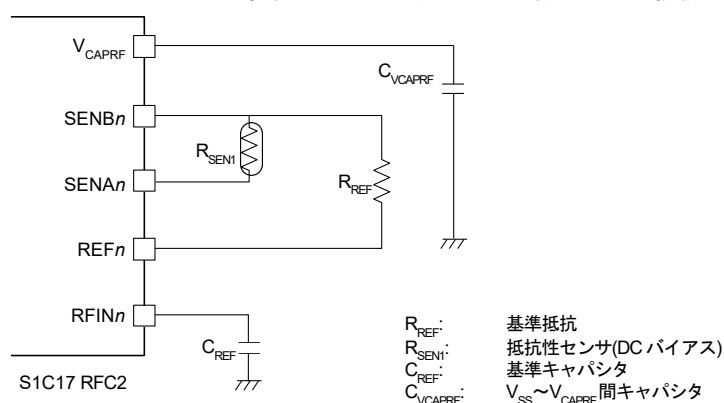
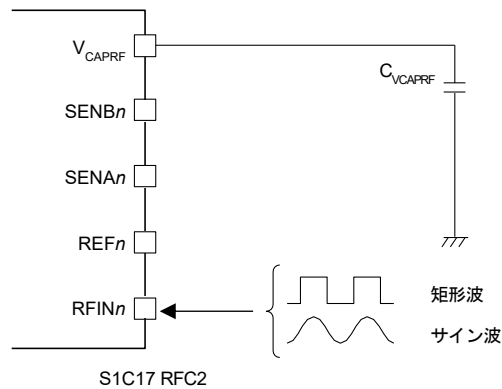


図 17.2.2.2 抵抗性センサ測定用 AC 発振モードの接続例

17 R/F 変換器(RFC2)



* 使用しない端子はオープンにしてください。

図 17.2.2.3 外部クロック入力モード時の外部クロック入力

17.3 クロック設定

17.3.1 RFC2 の動作クロック

RFC2 を使用する場合、クロックジェネレータから RFC2 動作クロック TCCLK を RFC2 に供給する必要があります。

TCCLK の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源,リセット,クロック”の章の“クロックジェネレータ”を参照)。
2. RFCnCLK レジスタの以下のビットを設定する。
 - RFCnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - RFCnCLK.CLKDIV[1:0]ビット (クロック分周比の選択=クロック周波数の設定)

タイムベースカウンタはここで設定した TCCLK でカウントを行います。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように周波数を決定してください。また、外部抵抗、基準キャパシタを使用した CR 発振周波数と同等かそれより高速な周波数となるよう設定してください。

17.3.2 SLEEP モード時のクロック供給

SLEEP モード時に RFC2 を使用する場合は、RFC2 動作クロック TCCLK のクロックソースに対応した CLGOSC.xxxxSLPC ビットに 0 を書き込み、TCCLK を供給し続ける必要があります。

17.3.3 DEBUG モード時のクロック供給

DEBUG モード時の TCCLK の供給は RFCnCLK.DBRUN ビットで制御します。

RFCnCLK.DBRUN ビット = 0 の場合、DEBUG モードに移行すると RFC2 への TCCLK の供給が停止します。その後通常モードに戻ると、TCCLK の供給が再開します。TCCLK の供給が停止すると RFC2 の動作は停止しますが、出力端子やレジスタは DEBUG モードへ移行前の状態に保持されます。RFCnCLK.DBRUN ビット = 1 の場合、DEBUG モード時も TCCLK の供給は停止せず、RFC2 は動作を継続します。

17.4 動作

17.4.1 初期設定

RFC2 は、以下の手順により初期設定を行います。

1. PWGVD1CTL.REGSEL[1:0]ビットを設定する。 (RFC レギュレータを設定)
(詳細は“電源,リセット,クロック”の章を参照)
2. RFCnCLK.CLKSRC[1:0]ビットと RFCnCLK.CLKDIV[1:0]ビットを設定する。 (動作クロックを設定)

3. 割り込みを使用する場合は以下のビットを設定する。
 - RFCnINTF レジスタの割り込みフラグに 1 を書き込む (割り込みフラグをクリア)
 - RFCnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル)
4. RFC2 の入出力機能をポートに割り当てる。 (“入出力ポート”の章を参照)
5. RFCnCTL レジスタの以下のビットを設定する。
 - RFCnCTL.EVTEN ビット (外部クロック入力モードイネーブル/ディスエーブル)
 - RFCnCTL.SMODE[1:0]ビット (発振モードを選択)
 - RFCnCTL.MODEN ビットを 1 に設定 (RFC2 の動作をイネーブル)

注: 電源投入直後など、R/F 変換器の初回計測結果が安定しない場合は、手順 1. の RFC レギュレータ設定において低電圧側への移行手順で行う V_{D1} 端子および V_{CAPRF} 端子のディチャージ手順を、計測開始前に実施すると測定が安定する場合があります。

17.4.2 動作モード

RFC2 には、RFC2 内部の発振回路を使用する 2 つの発振モードと、外部入力クロックで測定を行う外部クロック入力モードがあります。これらのモードは、チャンネルごとに設定可能です。

発振モード

発振モードは RFCnCTL.SMODE[1:0]ビットで選択します。

抵抗性センサ測定用 DC 発振モード

DC 駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。DC 印加が可能な抵抗性センサを接続した場合は、このモードに設定してください。このモードに設定すると、1 つのチャンネルに抵抗性センサを 2 つ接続可能です。

抵抗性センサ測定用 AC 発振モード

AC 駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。AC 印加が必要な抵抗性センサを接続した場合は、このモードに設定してください。このモードでは、1 つのチャンネルに抵抗性センサを 1 つのみ接続可能です。

外部クロック入力モード(イベントカウンタモード)

このモードでは、外部からクロック/パルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、サイン波の入力も可能です(シュミット入力しきい値については“電気的特性”の章の“R/F 変換器特性、高レベルシュミット入力スレシヨルド電圧 V_{T+} 、および低レベルシュミット入力スレシヨルド電圧 V_{T-} ”を参照してください)。この機能は、RFCnCTL.EVTEN ビットを 1 に設定するとイネーブルになります。測定制御手順は内部発振回路使用時と同様です。

17.4.3 RFC カウンタ

RFC2 には以下のとおり 2 種類のカウンタが内蔵されています。

計測カウンタ(MC)

計測カウンタは初期値のプリセットが可能な 24 ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、IC の製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

タイムベースカウンタ(TC)

タイムベースカウンタは初期値のプリセットが可能な 24 ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間に TCCLK によるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが 0x000000 になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

17 R/F 変換器(RFC2)

カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウンタ値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。

基準素子とセンサの抵抗値がまったく同じ場合、<初期値: n>=<センサ発振終了時のカウンタ値: m>となります(誤差=0の場合)。<初期値: n>を大きくすると測定分解能が上がります。

ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります(測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に 0x000000 に設定しておきます。

カウンタ値のリード

計測カウンタは RFCLK、タイムベースカウンタは TCCLK で動作しているため、カウンタ動作中に CPU で正しく読み出すためには、2 回以上読み出して、カウンタ値が一致していることを確認してください。

17.4.4 変換動作と制御手順

以下に R/F 変換手順と RFC2 の動作を説明します。説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。

R/F 変換手順

1. RFCnMCH と RFCnMCL レジスタ(計測カウンタ)に初期値(0x000000 - n)を設定する。
2. RFCnTCH と RFCnTCL レジスタ(タイムベースカウンタ)を 0x000000 にクリアする。
3. RFCnINTF.EREFIF ビットと RFCnINTF.OVTCIF ビットに 1 を書き込んでクリアする。
4. RFCnTRG.SREF ビットを 1 に設定し、基準発振を開始させる。
5. RFC2 割り込みを待つ。
 - i. RFCnINTF.EREFIF ビット = 1(基準発振完了)の場合は、RFCnINTF.EREFIF ビットをクリアした後、6へ
 - ii. RFCnINTF.OVTCIF ビット = 1(タイムベースカウンタオーバーフローエラー)の場合は、RFCnINTF.OVTCIF ビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
6. RFCnINTF.ESENAIF ビット、RFCnINTF.ESENBIF ビット、RFCnINTF.OVMCIF ビットに 1 を書き込んでクリアする。
7. 計測するセンサに対応する RFCnTRG.SSENA ビット(センサ A)または RFCnTRG.SSENB ビット(センサ B)を 1 に設定し、センサ発振を開始させる(AC 発振モードの場合は、RFCnTRG.SSENA ビットで制御)。
8. RFC2 割り込みを待つ。
 - i. RFCnINTF.ESENAIF ビット = 1(センサ A 発振完了)または RFCnINTF.ESENBIF ビット = 1(センサ B 発振完了)の場合は、RFCnINTF.ESENAIF ビットまたは RFCnINTF.ESENBIF ビットをクリアした後、9へ
 - ii. RFCnINTF.OVMCIF ビット = 1(計測カウンタオーバーフローエラー)の場合は、RFCnINTF.OVMCIF ビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
9. RFCnMCH と RFCnMCL レジスタ(計測カウンタ)を読み出し、センサに対応した補正処理を行って検出値を算出する。

R/F 変換動作

基準発振

変換手順のステップ 4 で RFCnTRG.SREF ビットを 1 に設定すると、RFC2 Ch.n は基準抵抗による CR 発振を開始します。計測カウンタは設定された初期値から CR 発振クロックでカウンタアップを開始し、タイムベースカウンタは 0x000000 から TCCLK でカウンタアップを開始します。

計測カウンタまたはタイムベースカウンタがオーバーフロー (0xfffff → 0x000000)すると、RFCnTRG.SREF ビットが 0 になり、基準発振が自動的に終了します。

計測カウンタがオーバーフローした場合は正常終了で、RFCnINTF.EREFIF ビットが 1 にセットされます。このとき、RFCnINTE.EREFIE ビット = 1 であれば、基準発振完了割り込み要求が発生します。

タイムベースカウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVTCIF ビットが1にセットされます。このとき、RFCnINTE.OVTCIE ビット=1であれば、タイムベースカウンタオーバーフローエラー割り込み要求が発生します。

センサ発振

変換手順のステップ7で RFCnTRG.SSENA ビット(センサ A)または RFCnTRG.SSENB ビット(センサ B)を1に設定すると、RFC Ch.n はセンサによる CR 発振を開始します。

計測カウンタは 0x000000 から CR 発振クロックでカウントアップを開始し、タイムベースカウンタは基準発振終了時の値から TCCLK でカウントダウンを開始します。

タイムベースカウンタが 0x000000 になるか、あるいは計測カウンタがオーバーフローすると (0xfffff → 0x000000)、発振を開始させた RFCnTRG.SSENA ビットまたは RFCnTRG.SSENB ビットが0になり、センサ発振が自動的に終了します。

タイムベースカウンタが 0x000000 になった場合は正常終了で、RFCnINTF.ESENAIF ビット(センサ A)または RFCnINTF.ESENBIF ビット(センサ B)が1にセットされます。このとき、RFCnINTE.ESENAIE ビット=1または RFCnINTE.ESENBIE ビット=1であれば、センサ A またはセンサ B 発振完了割り込み要求が発生します。

計測カウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVMCIF ビットが1にセットされます。このとき、RFCnINTE.OVMCIE ビット=1であれば、計測カウンタオーバーフローエラー割り込み要求が発生します。

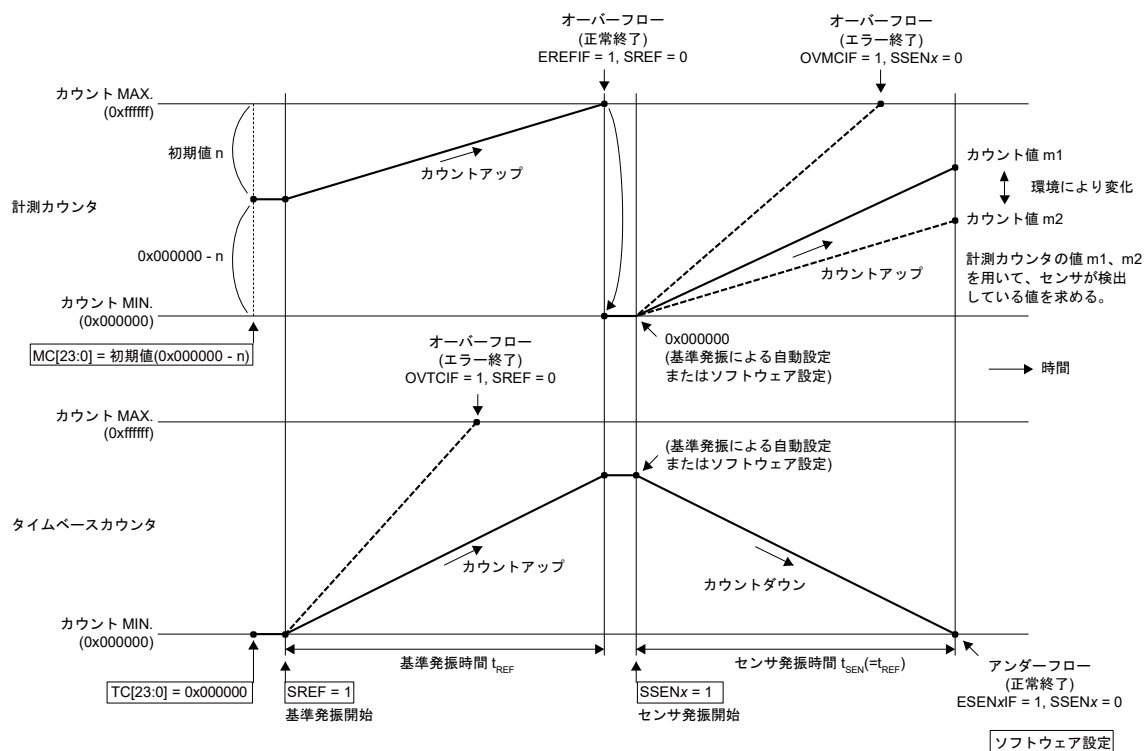


図 17.4.4.1 基準発振/センサ発振によるカウンタの動作

強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始させた RFCnTRG.SREF ビット(基準発振)、RFCnTRG.SSENA ビット(センサ A 発振)、または RFCnTRG.SSENB ビット(センサ B 発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \approx m$ になります。このときの、 n と m との差が誤差になります。誤差要因を表 17.4.4.1 に示します。(n: 計測カウンタ初期値、m: センサ発振終了時の計測カウンタ値)

17 R/F 変換器(RFC2)

表 17.4.4.1 誤差要因

誤差要因	影響度
外付け部品の公差	大
基板の寄生容量と抵抗	中
温度	小
IC製造ばらつき	小

17.4.5 CR 発振周波数モニタ機能

変換動作中の CR 発振クロック(RFCLK)を外部モニタのために RFCLK_{on} 端子から出力することができます。このとき、RFC_nCTL.CONEN を 1 に設定しておくことと連続発振モードになり、発振停止条件を無視して連続的に発振動作を行います。この場合も発振を開始するには、RFC_nTRG.SREF ビット(基準発振)、RFC_nTRG.SSENA ビット(センサ A 発振)、または RFC_nTRG.SSENB ビット(センサ B 発振)を 1 に設定してください。発振を停止するにはこれらのビットを 0 に設定します。この機能により、CR 発振クロック周波数を容易に測定することができます。また、RFC_nCTL.RFCLKMD ビットを 1 に設定すると、RFCLK を 1/2 分周したクロックの出力を行うことができます。

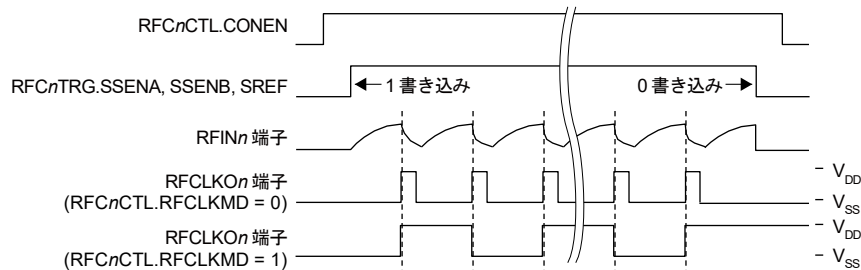


図 17.4.5.1 CR 発振クロック(RFCLK)の波形

17.5 割り込み

RFC2 には、表 17.5.1 に示す割り込みを発生させる機能があります。

表 17.5.1 RFC2 の割り込み機能

割り込み	割り込みフラグ	セット	クリア
基準発振完了	RFC _n INTF.EREFIF	計測カウンタのオーバーフローにより基準発振が正常終了	1書き込み
センサA発振完了	RFC _n INTF.ESENAIF	タイムベースカウンタが0x0000001になり、センサA発振が正常終了	1書き込み
センサB発振完了	RFC _n INTF.ESENBIF	タイムベースカウンタが0x0000001になり、センサB発振が正常終了	1書き込み
計測カウンタ オーバーフローエラー	RFC _n INTF.OVMCIF	計測カウンタのオーバーフローによりセンサ発振が異常終了	1書き込み
タイムベースカウンタ オーバーフローエラー	RFC _n INTF.OVTCIF	タイムベースカウンタのオーバーフローにより基準発振が異常終了	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

17.6 制御レジスタ

RFC2 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUG モード時に RFC2 動作クロックを供給するか否か設定します。

1 (R/W): DEBUG モード時にクロックを供給

0 (R/W): DEBUG モード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、RFC2 動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、RFC2 のクロックソースを選択します。

表 17.6.1 クロックソースと分周比の設定

RFCnCLK. CLKDIV[1:0]ビット	RFCnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本 IC が対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: RFCnCLK レジスタは、RFCnCTL.MODEN ビット = 0 のときのみ設定変更が可能です。

RFC2 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCTL	15-9	-	0x00	-	R	
	8	RFCLKMD	0	H0	R/W	
	7	CONEN	0	H0	R/W	
	6	EVTEN	0	H0	R/W	
	5-4	SMODE[1:0]	0x0	H0	R/W	
	3-1	-	0x0	-	R	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 RFCLKMD

このビットは、RFCLKOn 端子の出力を、発振クロックを 1/2 に分周したクロックに設定します。

1 (R/W): 1/2 分周クロック出力

0 (R/W): 発振クロックを出力

詳細は、“CR 発振周波数モニタ機能”を参照してください。

Bit 7 CONEN

このビットは、CR 発振の自動停止を禁止して、連続発振をイネーブルにします。

1 (R/W): 連続発振イネーブル

0 (R/W): 連続発振ディスエーブル

詳細は、“CR 発振周波数モニタ機能”を参照してください。

17 R/F 変換器(RFC2)

Bit 6 EVTEN

このビットは、外部クロック入力モード(イベントカウンタモード)をイネーブルにします。
1 (R/W): 外部クロック入力モード
0 (R/W): 通常モード
詳細は“動作モード”を参照してください。

注: RFCnCTL.EVTEN ビットを 1 に設定する前に、外部クロックを入力しないでください。RFINn 端子は、端子機能を R/F 変換器用に切り換えた時点で V_{SS} にプルダウンされます。

Bits 5–4 SMODE[1:0]

これらのビットは、発振モードを設定します。詳細は“動作モード”を参照してください。

表 17.6.2 発振モードの選択

RFCnCTL.SMODE[1:0]ビット	発振モード
0x3, 0x2	Reserved (設定禁止)
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

注: RFCnCTL.SMODE[1:0]に 0x3 および 0x2 を設定しないでください。

Bits 3–1 Reserved Bits 0 MODEN

このビットは、RFC2 の動作をイネーブルにします。
1 (R/W): RFC2 動作イネーブル(動作クロックが供給されます。)
0 (R/W): RFC2 動作ディスエーブル(動作クロックが停止します。)

注: R/F 変換中に RFCnCTL.MODEN ビットを 1 から 0 に変更した場合は、変換途中のカウント値は保証されません。そこから R/F 変換を再開することはできません。

RFC2 Ch.n Oscillation Trigger Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTRG	15–8	–	0x00	–	R	–
	7–3	–	0x00	–	R	
	2	SSENB	0	H0	R/W	
	1	SSENA	0	H0	R/W	
	0	SREF	0	H0	R/W	

Bits 15–8 Reserved Bit 2 SSENB

このビットは、センサ B の CR 発振を制御します。また、CR 発振の状態を示します。
1 (W): 発振開始
0 (W): 発振停止
1 (R): 発振中
0 (R): 停止中

注: RFCnCTL.SMODE[1:0]ビットが 0x1(抵抗性センサ測定用 AC 発振モード)の場合、RFCnTRG.SSENB ビットに 1 を書き込んでも発振を開始しません。

Bit 1 SSENA

このビットは、センサ A の CR 発振を制御します。また、CR 発振の状態を示します。
1 (W): 発振開始
0 (W): 発振停止
1 (R): 発振中
0 (R): 停止中

Bit 0 SREF

このビットは、基準抵抗の CR 発振を制御します。また、CR 発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

- 注:
- RFCnCTL.MODEN ビット=0(RFC2 動作ディスエーブル)の場合、本レジスタの設定はすべて無効になります。
 - 発振を開始させる場合は必ず RFCnTRG.SREF ビット、RFCnTRG.SSENA ビット、RFCnTRG.SSENB ビットの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。
 - 本レジスタで発振を開始させる前に、必ず割り込みフラグ(RFCnINTF.EREFIF ビット、RFCnINTF.ESENAIF ビット、RFCnINTF.ESENBIF ビット、RFCnINTF.OVMCIF ビット、RFCnINTF.OVTCIF ビット)をクリアしてください。

RFC2 Ch.n Measurement Counter low and high Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	15-0	MC[15:0]	0x0000	H0	R/W	-
RFCnMCH	15-8	-	0x00	-	R	-
	7-0	MC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	31-24	-	0x00	-	R	-
RFCnMCH	23-0	MC[23:0]	0x000000	H0	R/W	

Bits 31-24 Reserved**Bits 23-0 MC[23:0]**

これらのビットにより、計測カウンタのデータの書き込み/読み出しができます。

- 注: 計測カウンタに 16 ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFC-nMCL.MC[15:0]ビット)から先に書き込んでください。上位の値(RFCnMCH.MC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC2 Ch.n Time Base Counter low and high Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	15-0	TC[15:0]	0x0000	H0	R/W	-
RFCnTCH	15-8	-	0x00	-	R	-
	7-0	TC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	31-24	-	0x00	-	R	-
RFCnTCH	23-0	TC[23:0]	0x000000	H0	R/W	

Bits 31-24 Reserved**Bits 23-0 TC[23:0]**

これらのビットにより、タイムベースカウンタのデータの書き込み/読み出しができます。

- 注: タイムベースカウンタに 16 ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFCnTCL.TC[15:0]ビット)から先に書き込んでください。上位の値(RFCnTCH.TC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC2 Ch.n interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTF	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	

17 R/F 変換器(RFC2)

4	OVTCIF	0	H0	R/W	Cleared by writing 1.
3	OVMCIF	0	H0	R/W	
2	ESENBIF	0	H0	R/W	
1	ESENAIF	0	H0	R/W	
0	EREFIF	0	H0	R/W	

Bits 15–5 Reserved

Bit 4 OVTCIF
Bit 3 OVMCIF
Bit 2 ESENBIF
Bit 1 ESENAIF
Bit 0 EREFIF

これらのビットは、RFC2 割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RFCnINTF.OVTCIF ビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTF.OVMCIF ビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTF.ESENBIF ビット: センサ B 発振完了割り込み

RFCnINTF.ESENAIF ビット: センサ A 発振完了割り込み

RFCnINTF.EREFIF ビット: 基準発振完了割り込み

RFC2 Ch.n interrupt enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTE	15–8	–	0x00	–	R	–
	7–5	–	0x0	–	R	
	4	OVTCIE	0	H0	R/W	
	3	OVMCIE	0	H0	R/W	
	2	ESENBIE	0	H0	R/W	
	1	ESENAIE	0	H0	R/W	
	0	EREFIE	0	H0	R/W	

Bits 15–5 Reserved

Bit 4 OVTCIE
Bit 3 OVMCIE
Bit 2 ESENBIE
Bit 1 ESENAIE
Bit 0 EREFIE

これらのビットは、RFC2 の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RFCnINTE.OVTCIE ビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTE.OVMCIE ビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTE.ESENBIE ビット: センサ B 発振完了割り込み

RFCnINTE.ESENAIE ビット: センサ A 発振完了割り込み

RFCnINTE.EREFIE ビット: 基準発振完了割り込み

18 電源昇圧回路(CHREG)

18.1 概要

CHREG は、電源電圧(V_{DD})を昇圧して出力するための回路です。昇圧した電源電圧出力を、外部デバイス(ブザー、LED 等)の電源として使用することができます。

CHREG の主な機能と特長を以下に示します。

- ・ブザー/LED 駆動用の電源電圧を生成
- ・昇圧回路 ON 時に必要なタイミングを自動生成

なお、本電源電圧でブザーと LED を同時に駆動した場合、ブザー音量や LED 輝度に影響を与える可能性がありますので、排他利用を推奨します。

図 18.1.1 に CHREG の構成を示します。

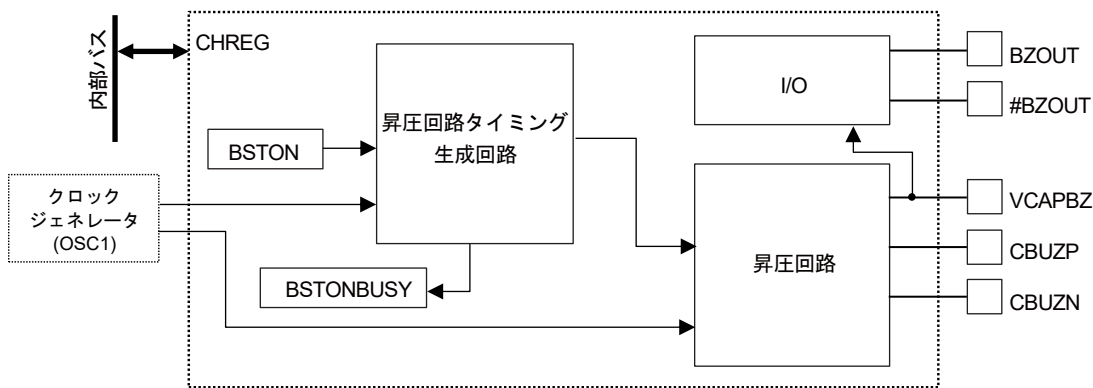


図 18.1.1 CHREG の構成

18.2 入出力端子と外部接続

18.2.1 入出力端子一覧

表 18.2.1.1 に CHREG 端子の一覧を示します。

表 18.2.1.1 CHREG 端子一覧

端子名	I/O	初期状態	機能
BZOUT	O	Hi-Z	SNDA2 ブザー出力端子
#BZOUT	O	Hi-Z	SNDA2 ブザー反転出力出力端子
V_{CAPBZ}	A	VDD	ブザー/LED 駆動電源出力端子
CBUZP	A	VDD	ブザー/LED 駆動電源昇圧コンデンサ接続端子
CBUZN	A	Hi-Z	ブザー/LED 駆動電源昇圧コンデンサ接続端子

18.2.2 外部との接続

CHREG とブザー、LED、およびコンデンサとの接続を図 18.2.2.1 に示します。

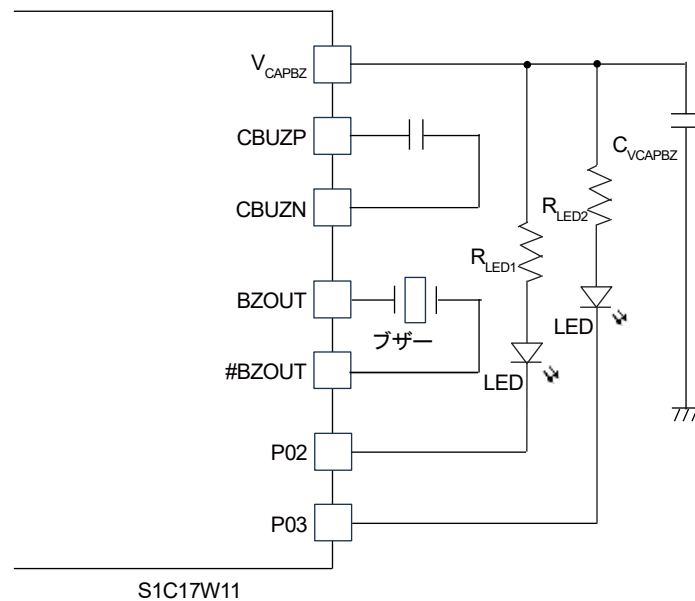


図 18.2.2.1 CHREG の外部接続

18.3 動作

18.3.1 昇圧回路の ON/OFF

昇圧回路の ON/OFF は以下の手順で行います。

1. OSC1 発振をイネーブルにして、発振安定時間待つ。
2. CHREGCTL.BSTON ビットに 1 を書き込むと、CHREGCTL.BSTONBSY ビットが 1 にセットされ昇圧回路の昇圧を開始する。
3. 昇圧が終了すると CHREGCTL.BSTONBSY ビットが 0 にクリアされ、ブザー/LED 駆動電源出力から typ 5V ($V_{DD} \times 2$) が出力される。(電源出力の詳細は“電気的特性”の章の“電源昇圧回路(CHREG)特性”を参照してください。)
4. CHREGCTL.BSTON ビットに 0 を書き込むと、昇圧回路が OFF してブザー/LED 駆動電源出力から V_{DD} が出力される。

注: 昇圧回路 ON 時 (CHREGCTL.BSTONBSY=1 のとき) は、OSC1 発振を停止しないでください。

18.3.2 昇圧回路の設定

CHREGCONF レジスタにて昇圧回路の設定が可能ですが、デフォルトの設定で使用してください。

18.4 制御レジスタ

CHREG Configuration Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CHREGCONF	15-0	-	0x0030	-	R/W	Do not change the value.

Bits 15-0 Reserved

18 電源昇圧回路(CHREG)

CHREG Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CHREGCTL	15-9	—	—	—	R	—
	8	BSTONBSY	0	H0	R	
	7-1	—	—	—	R	
	0	BSTON	0	H0	R/W	

Bits 15-9 **Reserved**

Bit 8 **BSTONBSY**

このビットは昇圧回路の状態を示します。

1(R): 起動動作中

0(R): 起動動作完了または OFF

Bits 7-1 **Reserved**

Bit 0 **BSTON**

このビットは昇圧回路の ON/OFF を設定します。

1(R): ON(起動動作完了)または、起動動作中

0(R): OFF

1(W): 起動動作開始

0(W): OFF

19 乗除算器(COPRO2)

19.1 概要

COPRO2 は乗除算機能を提供するコプロセッサです。COPRO2 の主な機能と特長を以下に示します。

- ・乗算: 符号付き/符号なし乗算をサポート
(16ビット × 16ビット = 32ビット)
1 サイクルで実行可能
- ・積和演算(MAC): 符号付き/符号なし積和演算をサポート、オーバーフロー検出機能付き
(16ビット × 16ビット + 32ビット = 32ビット)
1 サイクルで実行可能
- ・除算: 符号付き/符号なし除算をサポート
(32ビット ÷ 32ビット = 32ビット、剰余 = 32ビット)
17~20 サイクルで実行可能
オーバーフロー検出、ゼロ除算処理には未対応

図 19.1.1 に COPRO2 の構成を示します。

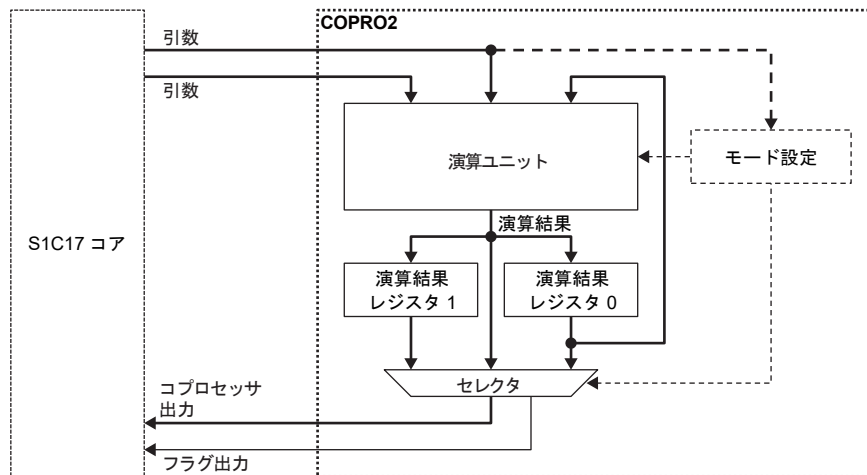


図 19.1.1 COPRO2 の構成

19.2 動作モードと出力モード

COPRO2 はアプリケーションプログラムによって指定される動作モードに従って動作します。表 19.2.1 に示すとおり、COPRO2 は 11 種類の動作に対応しています。

乗算、除算、積和演算の演算結果は 32 ビットデータです。このため、S1C17 コアは 1 回のアクセスで結果を読み出すことができません。出力モードは、COPRO2 から演算結果レジスタ 0 または演算結果レジスタ 1 の上位 16 ビットを読み出すか、下位 16 ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7 ビットのデータを COPRO2 内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs      %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7    imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

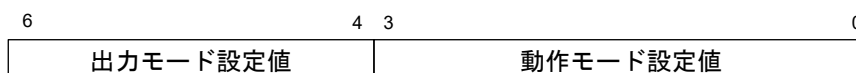


図 19.2.1 モード設定レジスタ

表 19.2.1 モードの設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタ0と1を0x0にクリアします。
0x1	上位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタ0の下位16ビットにロードします。
0x2	下位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の下位16ビットが読み出せます。	0x2	初期化モード2 演算用の32ビットデータを演算結果レジスタ0にロードします。
0x3	上位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の上位16ビットが読み出せます。	0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタ0と1のデータを出します。
0x4~0x7	Reserved	0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	符号なし積和演算モード 符号なし積和演算を実行します。
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa	初期化モード3 演算用の32ビットデータを演算結果レジスタ1にロードします。
0xb~0xf	Reserved		

19.3 乗算

乗算機能は、“ $A(32 \text{ ビット}) = B(16 \text{ ビット}) \times C(16 \text{ ビット})$ ”を実行します。
乗算実行手順の一例を以下に示します。

1. モードを 0x04(符号なし乗算、下位 16 ビット出力モード 0)または 0x05(符号付き乗算、下位 16 ビット出力モード 0)に設定する。
2. 16 ビット被乗数(B)と 16 ビット乗数(C)を、“ld.ca”命令を使用して COPRO2 に転送する。
3. 演算結果の 1/2(下位 16 ビット = $A[15:0]$)とフラグの状態を読み出す。
4. モードを 0x13(演算結果読み出し、上位 16 ビット出力モード 0)に設定する。
5. 演算結果の残りの 1/2(上位 16 ビット = $A[31:16]$)を読み出す。

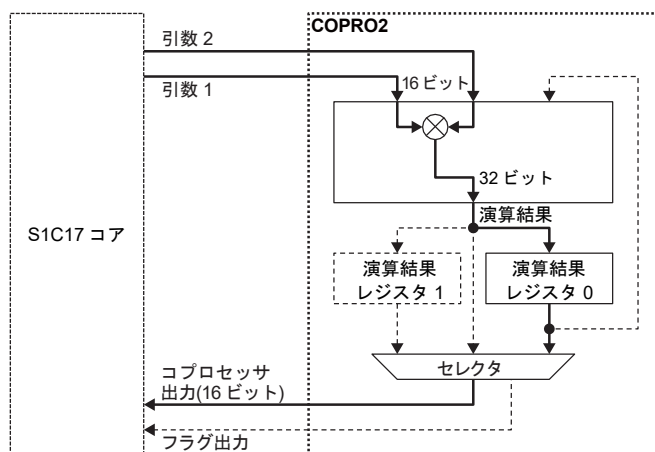


図 19.3.1 乗算モードのデータ経路

19 乗除算器(COPRO2)

表 19.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd, %rs (ext imm9) ld.ca %rd, imm7	res0[31:0] ← %rd × %rs %rd ← res0[15:0] res0[31:0] ← %rd × imm7/16 %rd ← res0[15:0]	psr(CVZN) ← 0b0000	演算結果レジスタ0は他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x14 または 0x15	ld.ca %rd, %rs (ext imm9) ld.ca %rd, imm7	res0[31:0] ← %rd × %rs %rd ← res0[31:16] res0[31:0] ← %rd × imm7/16 %rd ← res0[31:16]		

res0: 演算結果レジスタ 0

例:

```
ld.cw %r0, 0x04 ;モード設定(符号なし乗算モード & 下位 16 ビット出力モード 0)
ld.ca %r0, %r1 ;“res0[31:0] = %r0[15:0] × %r1[15:0]”を実行し、結果の下位 16 ビットを%r0 レジスタにロード

ld.cw %r0, 0x13 ;モード設定(演算結果読み出しモード & 上位 16 ビット出力モード 0)
ld.ca %r1, %r0 ;結果の上位 16 ビットを%r1 レジスタにロード
```

19.4 除算

除算機能は、“A(32 ビット)=B(32 ビット) ÷ C(32 ビット), D(32 ビット)=剰余”を実行します。除算実行手順の一例を以下に示します。

1. モードを 0x02(初期化モード 2)に設定する。
2. 32 ビット被除数(B)を、“ld.cf”命令を使用して演算結果レジスタ 0 に設定する。
3. モードを 0x08(符号なし除算、下位 16 ビット出力モード 0)または 0x09(符号付き除算、下位 16 ビット出力モード 0)に設定する。
4. 32 ビット除数(C)を、“ld.ca”命令を使用して COPRO2 に転送する。
5. 演算結果レジスタ 0(商)の 1/2(下位 16 ビット=A[15:0])とフラグの状態を読み出す。
6. モードを 0x13(演算結果読み出し、上位 16 ビット出力モード 0)に設定する。
7. 演算結果レジスタ 0(商)の残りの 1/2(上位 16 ビット=A[31:16])を読み出す。
8. モードを 0x23(演算結果読み出し、下位 16 ビット出力モード 1)に設定する。
9. 演算結果レジスタ 1(剰余)の 1/2(下位 16 ビット=D[15:0])を読み出す。
10. モードを 0x33(演算結果読み出し、上位 16 ビット出力モード 1)に設定する。
11. 演算結果レジスタ 1(剰余)の 1/2(上位 16 ビット=D[31:16])を読み出す。

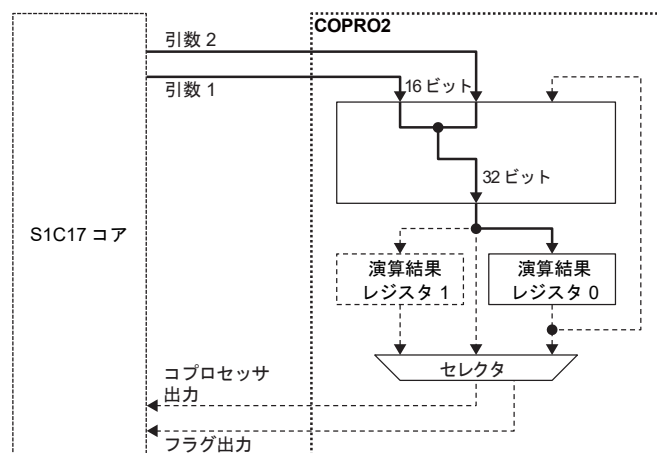


図 19.4.1 初期化モード 2 のデータ経路

表 19.4.1 演算結果レジスタ 0 の初期化(32 ビット)

モード 設定値	命令	動作	備考
0x02	ld.cf %rd, %rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd, imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ 0

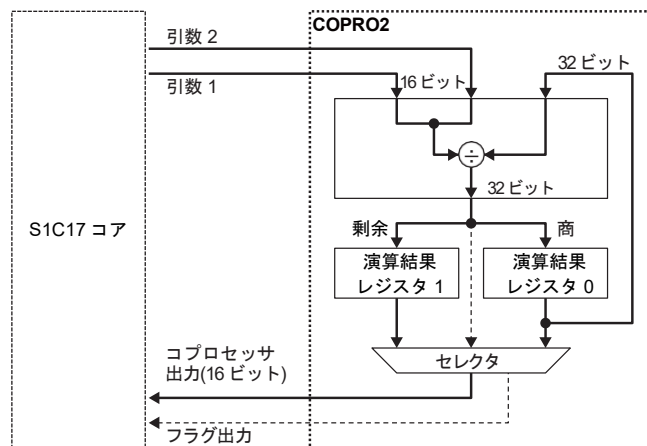


図 19.4.2 除算モードのデータ経路

表 19.4.2 除算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd, %rs	res0[31:0] + {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタ0と1は他の演算によって書き込みが行われるまで、演算結果を保持します。 0 ÷ 0 の除算には対応していません。
	(ext imm9) ld.ca %rd, imm7	res0[31:0] + {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)		
0x18 または 0x19	ld.ca %rd, %rs	res0[31:0] + {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
	(ext imm9) ld.ca %rd, imm7	res0[31:0] + {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
0x28 または 0x29	ld.ca %rd, %rs	res0[31:0] + {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
	(ext imm9) ld.ca %rd, imm7	res0[31:0] + {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
0x38 または 0x39	ld.ca %rd, %rs	res0[31:0] + {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		
	(ext imm9) ld.ca %rd, imm7	res0[31:0] + {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		

res0: 演算結果レジスタ 0、res1: 演算結果レジスタ 1

19 乗除算器(COPRO2)

例:

```
ld.cw %r0, 0x02 ;モード設定(初期化モード 2)
ld.cf %r0, %r1 ;被除数{%r0,%r1}を、演算結果レジスタ 0 に設定
ld.cw %r0, 0x08 ;モード設定(符号なし除算モード & 下位 16 ビット出力モード 0)
ld.ca %r0, %r1 ;“res0[31:0](商), res1[31:0](剰余)=res0[31:0] ÷ {%r0[15:0], %r1[15:0]}”を実行し、
                ;結果(商)の下位 16 ビットを%r0 レジスタにロード
ld.ca %r1, %r0 ;結果(商)の下位 16 ビットを%r1 レジスタにロード
ld.cw %r0, 0x13 ;モード設定(演算結果読み出しモード & 上位 16 ビット出力モード 0)
ld.ca %r2, %r0 ;結果(商)の上位 16 ビットを%r2 レジスタにロード
ld.cw %r0, 0x23 ;モード設定(演算結果読み出しモード & 下位 16 ビット出力モード 1)
ld.ca %r3, %r0 ;結果(剰余)の下位 16 ビットを%r3 レジスタにロード
ld.cw %r0, 0x33 ;モード設定(演算結果読み出しモード & 上位 16 ビット出力モード 1)
ld.ca %r4, %r0 ;結果(剰余)の上位 16 ビットを%r4 レジスタにロード
```

19.5 積和演算

積和演算機能は、“ $A(32 \text{ ビット}) = B(16 \text{ ビット}) \times C(16 \text{ ビット}) + A(32 \text{ ビット})$ ”を実行します。積和演算実行手順の一例を以下に示します。

- 初期値(A)を演算結果レジスタ 0 に設定する。
 - 演算結果レジスタをクリア(A = 0)する場合:
モードを 0x00(初期化モード 0)に設定する(別の命令による COPRO2 への 0x00 の転送は不要)。
 - 16 ビット値を演算結果レジスタ 0 にロードする場合:
モードを 0x01(初期化モード 1)に設定し、“ld.cf”命令で初期値(16 ビット)を COPRO2 に送る。
 - 32 ビット値を演算結果レジスタ 0 にロードする場合:
モードを 0x02(初期化モード 2)に設定し、“ld.cf”命令で初期値(32 ビット)を COPRO2 に送る。
- モードを 0x06(符号なし積和演算、下位 16 ビット出力モード 0)または 0x07(符号付き積和演算、下位 16 ビット出力モード 0)に設定する。
- 必要な回数、16 ビット被乗数(B)と 16 ビット乗数(C)を、“ld.ca”命令を使用して COPRO2 に転送する。
- 演算結果の 1/2(下位 16 ビット = A[15:0])とフラグの状態を読み出す。
- モードを 0x13(演算結果読み出し、上位 16 ビット出力モード 0)に設定する。
- 演算結果の残りの 1/2(上位 16 ビット = A[31:16])を読み出す。

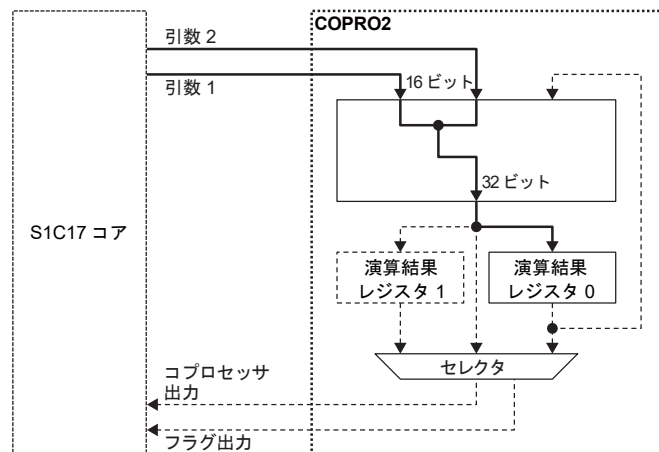


図 19.5.1 初期化モード時のデータ経路

表 19.5.1 演算結果レジスタ 0 の初期化

モード 設定値	命令	動作	備考
0x00	-	res0[31:0] ← 0x0 res1[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x01	ld.cf %rd, %rs	res0[31:16] ← 0x0 res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd, imm7	res0[31:16] ← 0x0 res0[15:0] ← imm7/16	
0x02	ld.cf %rd, %rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd, imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ 0、res1: 演算結果レジスタ 1

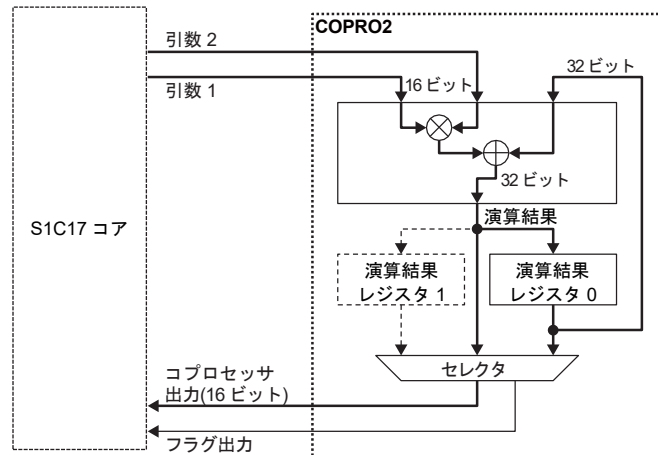


図 19.5.2 積和演算モード時のデータ経路

表 19.5.2 積和演算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x06 または 0x07	ld.ca %rd, %rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100 それ以外 psr (CVZN) ← 0b0000	演算結果レジスタ0は他の演算によって書き込みが行われるまで、演算結果を保持します。オーバーフローは符号付き積和演算でのみ検出されず(符号なし積和演算では発生しません)。
	(ext imm9) ld.ca %rd, imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[15:0]		
0x16 または 0x17	ld.ca %rd, %rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[31:16]		
	(ext imm9) ld.ca %rd, imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[31:16]		

res0: 演算結果レジスタ 0

例:

```

ld.cw %r0, 0x00 ; モード設定(初期化モード 0)、演算結果レジスタ 0 を 0x0000 にクリア
ld.cw %r0, 0x07 ; モード設定(符号付き積和演算モード & 下位 16 ビット出力モード 0)
ld.ca %r0, %r1 ; “res0[31:0] = %r0[15:0] × %r1[15:0] + res0[31:0]” を実行し、結果の下位 16 ビットを %r0 レジスタにロード

ld.cw %r0, 0x13 ; モード設定(演算結果読み出しモード & 上位 16 ビット出力モード 0)
ld.ca %r1, %r0 ; 結果の上位 16 ビットを %r1 レジスタにロード
    
```

19 乗除算器(COPRO2)

オーバーフローフラグ(V)のセット条件

符号付き積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表 19.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

19.6 演算結果の読み出し

“ld.ca”命令は 32 ビットの演算結果を CPU レジスタにロードできません。このため、乗算、除算、積和演算は演算結果の 1/2(出力モードに従った 16 ビット、A[15:0]または A[31:16])とフラグの状態を CPU レジスタに返します。演算結果の残りの 1/2 は、COPRO2 を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

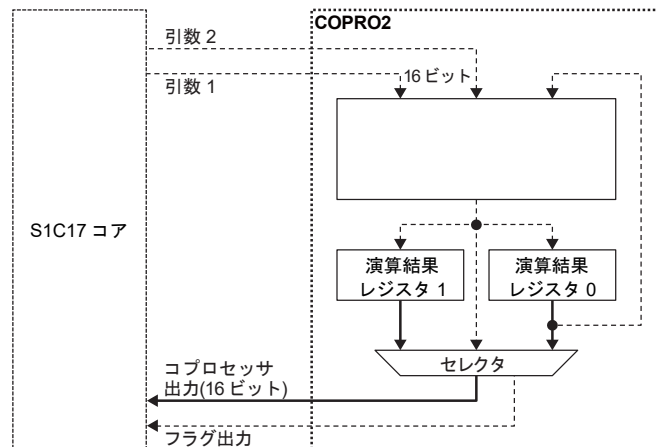


図 19.6.1 演算結果読み出しモードのデータ経路

表 19.6.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd, %rs	%rd ← res0[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタ0と1に影響を与えません。
	ld.ca %rd, imm7	%rd ← res0[15:0]		
0x13	ld.ca %rd, %rs	%rd ← res0[31:16]		
	ld.ca %rd, imm7	%rd ← res0[31:16]		
0x23	ld.ca %rd, %rs	%rd ← res1[15:0]		
	ld.ca %rd, imm7	%rd ← res1[15:0]		
0x33	ld.ca %rd, %rs	%rd ← res1[31:16]		
	ld.ca %rd, imm7	%rd ← res1[31:16]		

res0: 演算結果レジスタ 0、res1: 演算結果レジスタ 1

20 電気的特性

20.1 絶対最大定格

				(V _{SS} = 0 V)	
項目	記号	条件	定格値	単位	
電源電圧	V _{DD}		-0.3~4.0	V	
Flashプログラミング電圧	V _{PP}		-0.3~8.0	V	
液晶電源電圧	V _{C1}		-0.3~7.0	V	
	V _{C2}		-0.3~7.0	V	
	V _{C3}		-0.3~7.0	V	
入力電圧	V _I	P00-07, P10-17, P20-25, PD0-D1, #RESET	-0.3~V _{DD} + 0.5	V	
出力電圧	V _O	P00-07, P10-17, P20-25, PD0-D2	-0.3~V _{DD} + 0.5	V	
高レベル出力電流	I _{OH}	1端子	P00-07, P10-17, P20-25, PD0-D2	-10	mA
		全端子合計		-20	mA
低レベル出力電流	I _{OL}	1端子	P00-07, P10-17, P20-25, PD0-D2	10	mA
		全端子合計		20	mA
動作温度	T _a		-40~85	°C	
保存温度	T _{stg}		-65~125	°C	

20.2 推奨動作条件

							(V _{SS} = 0 V) *1	
項目	記号	条件	Min.	Typ.	Max.	単位		
電源電圧	V _{DD}	通常動作時	1.2	-	3.6	V		
		Flashプログラミング時	V _{PP} 外部印加	2.2	-	3.6	V	
			V _{PP} 内部生成	2.2	-	3.6	V	
		EEPROMプログラミング時	V _{PP} 内部生成	2.2	-	3.6	V	
Flashプログラミング電圧	V _{PP}		7.3	7.5	7.7	V		
液晶電源電圧	V _{C1}	外部印加時, V _{C1} ≦ V _{C2} ≦ V _{C3} , V _{C1} ≦ V _{DD}	-	1.0	1.8	V		
			V _{C2}	-	2.0	3.6	V	
			V _{C3}	-	3.0	5.7	V	
OSC1発振回路発振周波数	f _{OSC1}	内蔵発振	-	32	-	kHz		
OSC3発振回路発振周波数	f _{OSC3}	内蔵発振	V _{DD} = 1.2~1.6V	0.24	-	1.1	MHz	
			V _{DD} = 1.6~3.6V	0.5	-	4.2	MHz	
EXOSC外部クロック周波数	f _{EXOSC}	外部発振器から入力	V _{DD} = 1.2~1.6V	0.0152	-	4.2	MHz	
			V _{DD} = 1.6~3.6V	0.0152	-	4.2	MHz	
V _{SS} ~V _{DD} 間バイパスキャパシタ	C _{PW1}		-	3.3	-	μF		
V _{SS} ~V _{D1} 間キャパシタ	C _{PW2}		-	1	-	μF		
V _{SS} ~V _{C1-3} 間キャパシタ	C _{LCD1-3}	*2	-	1	-	μF		
C _{P1} ~C _{P2} 間キャパシタ	C _{LCD4}	*2	-	1	-	μF		
V _{SS} ~V _{CAPRF} 間キャパシタ	C _{VCAPRF}		-	0.1	-	μF		
V _{SS} ~V _{CAPBZ} 間キャパシタ	C _{VCAPBZ}		-	2.2	-	μF		
C _{BUZP} ~C _{BUZN} 間キャパシタ	C _{BUZ}		-	0.22	-	μF		
DSIO用プルアップ抵抗	R _{DBG}	*3	-	10	-	kΩ		
V _{SS} ~V _{PP} 間キャパシタ	C _{VPP}		-	0.1	-	μF		

*1 V_{SS} 電位の変動は Flash メモリ特性(書き換え回数)に影響を与えるため、Flash 書き換え中は、本体基板側のグラウンド端子に対し ±0.3V 以内の変動に抑えてください。

*2 LCD ドライバを使用しない場合、V_{C1}~V_{C3} 端子および C_{P1}~C_{P2} 端子はオープンにすることが可能です。

*3 DSIO 端子を汎用入出力ポートとして使用する場合、R_{DBG} は不要です。

20.3 消費電流

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$, EXOSC = OFF, PWGVD1CTL.REGMODE[1:0]ビット = 0x0 (オートマチックモード), FLASHCWAIT.RDWAIT[1:0]ビット = 0x1 (2 サイクル), PWGVD1CTL.REGSEL[1:0]ビット = 0x1 ($V_{D1} = 1.4\text{V}$)

項目	記号	条件	Ta	Min.	Typ.	Max.	単位
SLEEPモード時 消費電流	ISLP1	IOSC = OFF, OSC1 = OFF, OSC3 = OFF, $V_{DD} = 1.5\text{V}$ PWGVD1CTL.REGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	25°C	–	109	–	nA
			85°C	–	530	9,000	nA
	ISLP2	IOSC = OFF, OSC1 = OFF, OSC3 = OFF PWGVD1CTL.REGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	25°C	–	116	–	nA
			85°C	–	580	9,000	nA
	ISLP3	IOSC = OFF, OSC1 = OFF, OSC3 = OFF	25°C	–	118	–	nA
			85°C	–	639	9,000	nA
HALTモード時 消費電流	IHALT10	IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF	–	–	26	55	μA
	IHALT20	IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF PWGVD1CTL.PWGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	–	–	1.28	4.5	μA
	IHALT21	IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF	–	–	1.30	4.5	μA
	IHALT30	IOSC = OFF, OSC1 = 32 kHz, OSC3 = 1 MHz	–	–	65	135	μA
RUNモード時 消費電流	IRUN10 ^{*1}	IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = IOSC PWGVD1CTL.PWGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	–	–	77	140	μA
	IRUN11 ^{*1}	IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = IOSC	–	–	90	170	μA
	IRUN12 ^{*1}	IOSC = ON, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = IOSC, FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	–	–	108	250	μA
	IRUN20 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = OSC1 PWGVD1CTL.PWGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	–	–	3.82	9.0	μA
	IRUN21 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = OSC1	–	–	4.3	10.0	μA
	IRUN22 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = OFF, SYSCLK = OSC1 PWGVD1CTL.REGMODE[1:0]ビット = 0x2 (ノーマルモード)	–	–	13.5	25.0	μA
	IRUN30 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = 1MHz, SYSCLK = OSC3	–	–	160	350	μA
	IRUN31 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = 1MHz, SYSCLK = OSC3 PWGVD1CTL.PWGSEL[1:0]ビット = 0x0 ($V_{D1} = 1.2\text{V}$)	–	–	156	340	μA
	IRUN32 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = 1MHz, SYSCLK = OSC3 FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	–	–	180	400	μA
	IRUN33 ^{*1}	IOSC = OFF, OSC1 = 32 kHz, OSC3 = 1MHz, SYSCLK = OSC3 命令/データ = RAM上に配置	–	–	160	350	μA
IRUN34 ^{*1}	IOSC = OFF, OSC1 = 32kHz, OSC3 = 4MHz, SYSCLK = OSC3	–	–	440	900	μA	

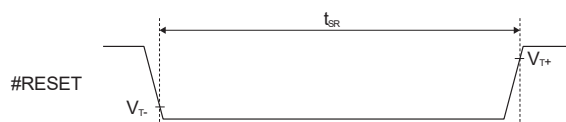
*1 “ALU 命令 60.5 %, 分岐命令 17 %, RAM リード 12 %, RAM ライト 10.5 %” のプログラムを Flash メモリからフェッチしながら連続動作させた値

20.4 システムリセットコントローラ(SRC)特性

#RESET 端子特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}		$0.5 \times V_{DD}$	–	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}		$0.2 \times V_{DD}$	–	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		20	–	–	mV
入力プルアップ抵抗	R_{IN}		100	270	500	kΩ
端子容量	C_{IN}		–	–	15	pF
リセットLowパルス幅	t_{SR}		5	–	–	μs

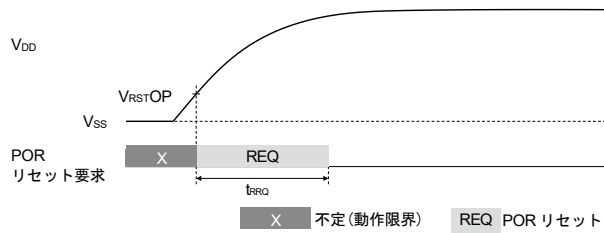


POR 特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
POR動作限界電圧	V_{RSTOP}		–	0.5	0.95	V
PORリセット要求保持時間	t_{RRQ}		0.01	–	4	ms

20 電気的特性



注: 電源を OFF にした後に再度パワーオンリセットを行う場合は、 V_{DD} を V_{RSTOP} 以下に落としてください。

リセット保持回路特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
リセット保持時間 ^{*1}	t_{RSTR}		0.5	–	0.9	ms

*1 リセット要求解除後、内部リセット信号が解除されるまでの時間

20.5 クロックジェネレータ (CLG) 特性

振動子を含む発振回路の特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上でマッチング評価を行ってください。

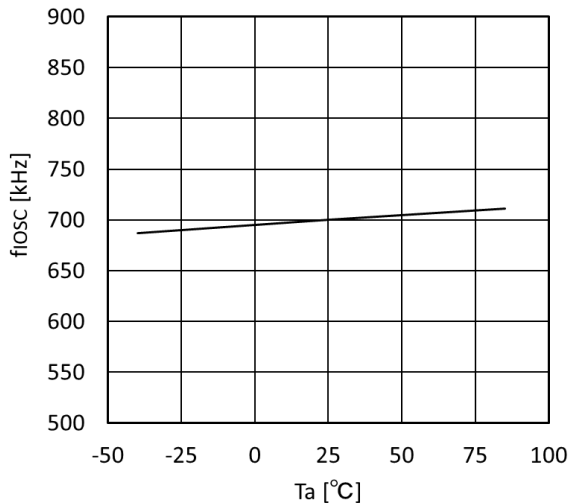
IOSC 発振回路特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

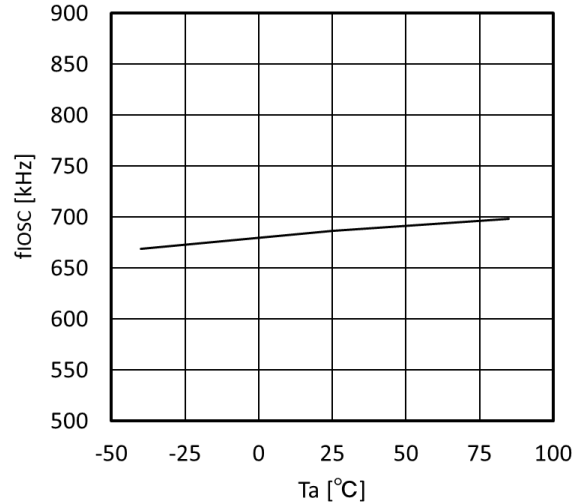
項目	記号	条件	V_{DD}	V_{D1}	T_a	Min.	Typ.	Max.	単位
発振開始時間	t_{stal}					–	–	3	μs
発振周波数	f_{osc}		1.6V~3.6V	1.4V	25°C	685	700	715	kHz
			1.2V~1.6V	–		665	700	715	kHz
			1.6V~3.6V	1.4V	-40~85°C	664	700	735	kHz
			1.2V~1.6V	–		630	700	735	kHz

IOSC 発振周波数-温度特性

$V_{DD} = 1.6$ to 3.6 V , $V_{D1} = 1.4 \text{ V}$, Typ. 値



$V_{DD} = 1.2$ to 1.6 V , $V_{D1} = 1.2 \text{ V}$, Typ. 値

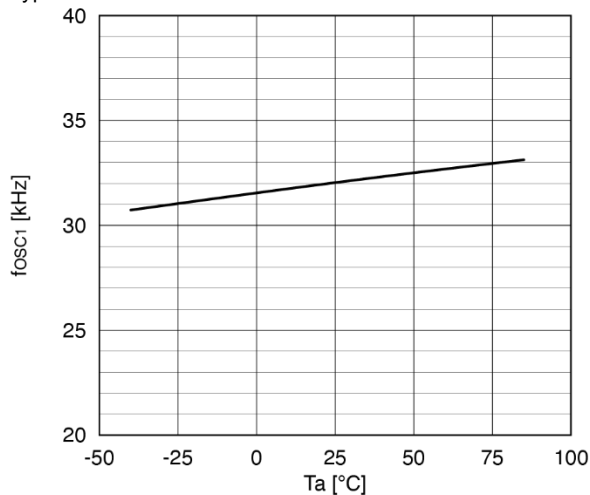


OSC1 発振回路特性特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$

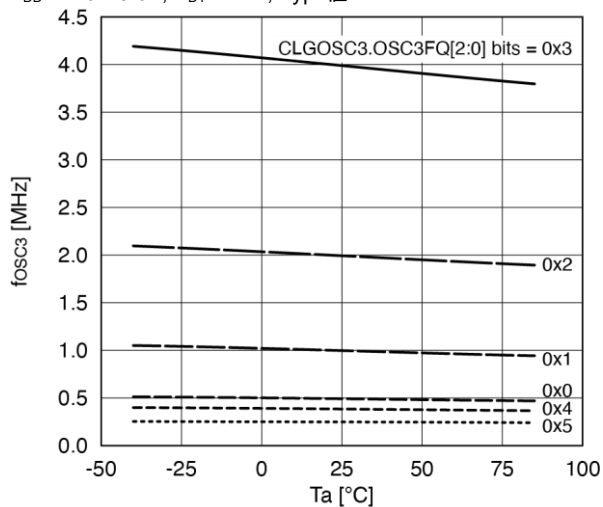
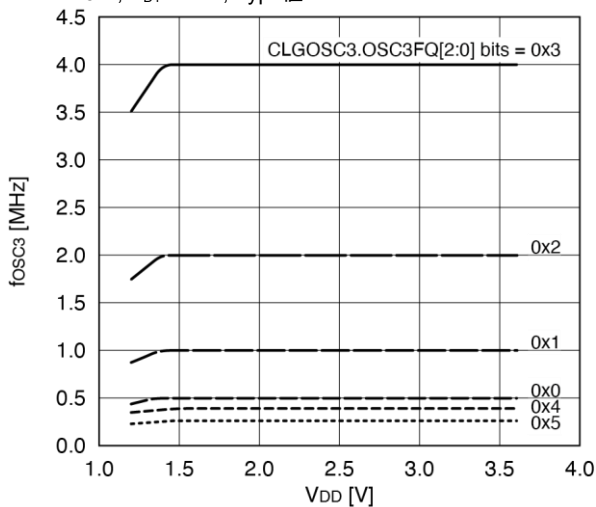
項目	記号	条件	Min.	Typ.	Max.	単位
内蔵発振 発振周波数	f_{OSC1}		31.04	32	32.96	kHz

OSC1 内蔵発振周波数-温度特性

Typ. 値

**OSC3 発振回路特性**特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
内蔵発振 発振開始時間	t_{sta3}			-	-	3	μs
内蔵発振 発振周波数	f_{OSC3}	CLGOSC3.OSCFQ[2:0]ビット = 0x3,	1.6V~3.6V	3.80	4.00	4.20	MHz
		CLGOSC3.OSCFQ[2:0]ビット = 0x2,	1.6V~3.6V	1.90	2.00	2.10	MHz
		CLGOSC3.OSCFQ[2:0]ビット = 0x1,	1.6V~3.6V	0.95	1.00	1.05	MHz
			1.2V~1.6V	-	1.00	-	MHz
		CLGOSC3.OSCFQ[2:0]ビット = 0x0,	1.6V~3.6V	0.475	0.50	0.525	MHz
			1.2V~1.6V	-	0.50	-	MHz
		CLGOSC3.OSCFQ[2:0]ビット = 0x4,	1.6V~3.6V	0.365	0.384	0.403	MHz
			1.2V~1.6V	-	0.384	-	MHz
CLGOSC3.OSCFQ[2:0]ビット = 0x5,	1.6V~3.6V	0.238	0.25	0.263	MHz		
	1.2V~1.6V	-	0.25	-	MHz		

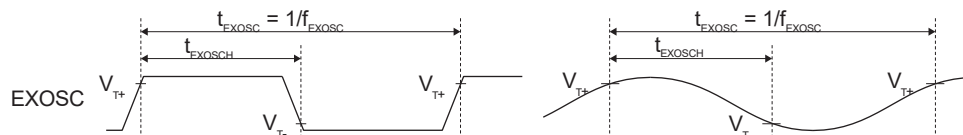
OSC3 発振周波数-温度特性 $V_{DD} = 1.6 \sim 3.6 \text{ V}$, $V_{D1} = 1.4 \text{ V}$, Typ. 値**OSC3 発振周波数-電圧特性** $T_a = 25^\circ\text{C}$, $V_{D1} = 1.4 \text{ V}$, Typ. 値

20 電気的特性

EXOSC 外部クロック入力特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
EXOSC外部クロックデューティ	t_{EXOSCD}	$t_{EXOSCD} = t_{EXOSCH}/t_{EXOSC}$	46	—	54	%
高レベルシュミット入力スレシールド電圧	V_{T+}		$0.5 \times V_{DD}$	—	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシールド電圧	V_{T-}		$0.2 \times V_{DD}$	—	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		120	—	—	mV



20.6 Flash メモリ特性

特記なき場合: $V_{DD} = 2.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 ^{*2}	C_{FEP}	データ保持10年保証時	1,000	—	—	回

*1 V_{SS} 電位の変動は Flash メモリ特性(書き換え回数) n 影響を与えるため、Flash 書き換え中は、本体基板側のグラウンド電位に対し $\pm 0.3\text{V}$ 以内の変動におさえてください。

*2 消去 + 書き込みを 1 回とする。ROM データプログラミング出荷の場合、工場での書き込みも回数に含む。

20.7 EEPROM 特性

特記なき場合: $V_{DD} = 2.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数	C_{EEP}	データ保持20年保証時	100,000	—	—	回
書き換え時間	t_{PRG}		—	0.2	15	ms
書き換え電流 ^{*1}			—	3.2	10	mA
プログラム電源起動時間	t_{CPST}		^{*2}	—	—	ms
EEPROMリセット有効パルス幅	t_{XPOR}		500	—	—	ns

*1 動作中の消費電流に加算されます。

*2 次式を参考に設定してください。

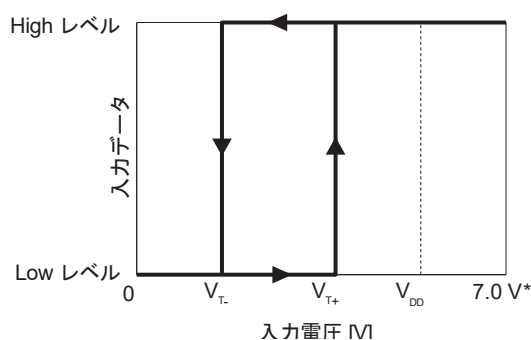
$$t_{CPST} = 37,500 \times C_{VPP} + 15$$

t_{CPST} : プログラム電源起動時間[μs]、 C_{VPP} : 外付け平滑化容量値[μF]

20.8 入出力(PPORT)特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

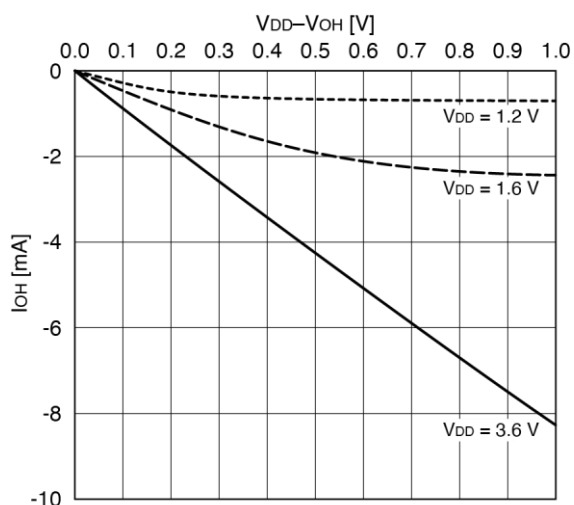
項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}	P00-07, P10-17, P20-25, PD0-D1		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}	P00-07, P10-17, P20-25, PD0-D1		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T	P00-07, P10-17, P20-25, PD0-D1		120	-	-	mV
高レベル出力電流	I_{OH}	P00-07, P10-17, P20-25, PD0-D2, $V_{OH} = 0.9 \times V_{DD}$	1.2~1.6V	-	-	-0.2	mA
			1.6~3.6V	-	-	-0.5	mA
低レベル出力電流	I_{OL}	P00-01, P04-P07, P10-17, P20-25, PD0-D2, $V_{OL} = 0.1 \times V_{DD}$ P02-03, $V_{OL} = 0.1 \times V_{DD}$	1.2~1.6V	0.2	-	-	mA
			1.6~3.6V	0.5	-	-	mA
			1.2~1.6V	4	-	-	mA
			1.6~2.5V	7	-	-	mA
2.5~3.6V	10	-	-	mA			
リーク電流	I_{LEAK}	P00-07, P10-17, P20-25, PD0-D2		-150	-	150	nA
入力プルアップ抵抗	R_{INU}	P00-07, P10-17, P20-25, PD0-D1		100	200	500	k Ω
入力プルダウン抵抗	R_{IND}	P00-07, P10-17, P20-25, PD0-D1		100	200	500	k Ω
端子容量	C_{IN}	P00-07, P10-17, P20-25, PD0-D1		-	-	15	pF



(* トレラント・フェイルセーフ対応ポートの場合)

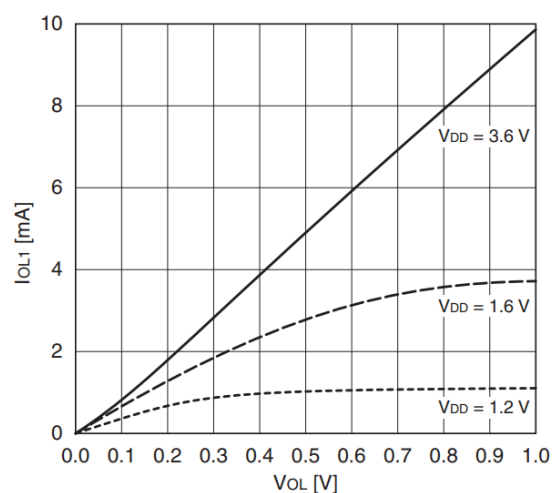
高レベル出力電流特性

$T_a = 85^\circ\text{C}$, Max. 値



低レベル出力電流特性

$T_a = 85^\circ\text{C}$, Min. 値



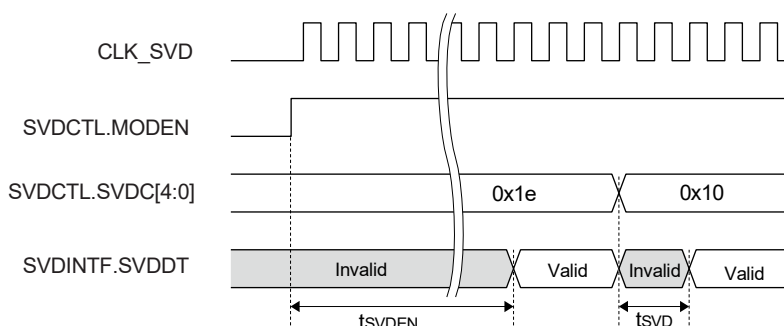
20.9 電源電圧検出回路(SVD5)特性

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
EXSVD端子入力電圧範囲	V_{EXSVD}			0	—	5.5	V
EXSVD入力インピーダンス	R_{EXSVD}	SVDCTL.SVDC[4:0]ビット = 0x00		366	407	448	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x01		388	431	474	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x02		409	455	500	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x03		431	479	527	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x04		452	503	553	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x05		474	527	579	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x06		495	550	606	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x07		517	574	632	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x08		539	598	658	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x09		560	622	685	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0a		582	646	711	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0b		603	670	737	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0c		625	694	763	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0d		646	718	790	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0e		668	742	816	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0f		689	766	842	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x10		711	790	869	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x11		754	838	921	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x12		775	862	948	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x13		797	886	974	k Ω
SVDCTL.SVDC[4:0]ビット = 0x14		819	909	1,000	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x15		840	933	1,027	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x16		862	957	1,053	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x17		883	981	1,079	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x18		905	1,005	1,106	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x19		926	1,029	1,132	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1a		969	1,077	1,185	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1b		991	1,101	1,211	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1c		1,012	1,125	1,237	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1d		1,034	1,149	1,264	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1e		1,055	1,173	1,290	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1f		1,077	1,197	1,316	k Ω		
EXSVD検出電圧	V_{SVD_EXT}	SVDCTL.SVDC[4:0]ビット = 0x00		1.121	1.15	1.179	V
		SVDCTL.SVDC[4:0]ビット = 0x01		1.170	1.20	1.230	V
		SVDCTL.SVDC[4:0]ビット = 0x02		1.219	1.25	1.281	V
		SVDCTL.SVDC[4:0]ビット = 0x03		1.268	1.30	1.333	V
		SVDCTL.SVDC[4:0]ビット = 0x04		1.316	1.35	1.384	V
		SVDCTL.SVDC[4:0]ビット = 0x05		1.365	1.40	1.435	V
		SVDCTL.SVDC[4:0]ビット = 0x06		1.414	1.45	1.486	V
		SVDCTL.SVDC[4:0]ビット = 0x07		1.463	1.50	1.538	V
		SVDCTL.SVDC[4:0]ビット = 0x08		1.511	1.55	1.589	V
		SVDCTL.SVDC[4:0]ビット = 0x09		1.560	1.60	1.640	V
		SVDCTL.SVDC[4:0]ビット = 0x0a		1.609	1.65	1.691	V
		SVDCTL.SVDC[4:0]ビット = 0x0b		1.658	1.70	1.743	V
		SVDCTL.SVDC[4:0]ビット = 0x0c		1.755	1.80	1.845	V
		SVDCTL.SVDC[4:0]ビット = 0x0d		1.853	1.90	1.948	V
		SVDCTL.SVDC[4:0]ビット = 0x0e		1.950	2.00	2.050	V
		SVDCTL.SVDC[4:0]ビット = 0x0f		2.048	2.10	2.153	V
		SVDCTL.SVDC[4:0]ビット = 0x10		2.145	2.20	2.255	V
		SVDCTL.SVDC[4:0]ビット = 0x11		2.194	2.25	2.306	V
		SVDCTL.SVDC[4:0]ビット = 0x12		2.243	2.30	2.358	V
		SVDCTL.SVDC[4:0]ビット = 0x13		2.291	2.35	2.409	V
SVDCTL.SVDC[4:0]ビット = 0x14		2.340	2.40	2.460	V		
SVDCTL.SVDC[4:0]ビット = 0x15		2.389	2.45	2.511	V		
SVDCTL.SVDC[4:0]ビット = 0x16		2.438	2.50	2.563	V		
SVDCTL.SVDC[4:0]ビット = 0x17		2.486	2.55	2.614	V		
SVDCTL.SVDC[4:0]ビット = 0x18		2.535	2.60	2.665	V		
SVDCTL.SVDC[4:0]ビット = 0x19		2.584	2.65	2.716	V		
SVDCTL.SVDC[4:0]ビット = 0x1a		2.633	2.70	2.768	V		
SVDCTL.SVDC[4:0]ビット = 0x1b		2.730	2.80	2.870	V		

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
		SVDCTL.SVDC[4:0]ビット = 0x1c		2.828	2.90	2.973	V
		SVDCTL.SVDC[4:0]ビット = 0x1d		2.925	3.00	3.075	V
		SVDCTL.SVDC[4:0]ビット = 0x1e		3.023	3.10	3.178	V
		SVDCTL.SVDC[4:0]ビット = 0x1f		3.120	3.20	3.280	V
SVD検出電圧	V _{SVD}	SVDCTL.SVDC[4:0]ビット = 0x00	1.1~3.6V	1.121	1.15	1.179	V
		SVDCTL.SVDC[4:0]ビット = 0x01		1.170	1.20	1.230	V
		SVDCTL.SVDC[4:0]ビット = 0x02		1.219	1.25	1.281	V
		SVDCTL.SVDC[4:0]ビット = 0x03		1.268	1.30	1.333	V
		SVDCTL.SVDC[4:0]ビット = 0x04		1.316	1.35	1.384	V
		SVDCTL.SVDC[4:0]ビット = 0x05		1.365	1.40	1.435	V
		SVDCTL.SVDC[4:0]ビット = 0x06		1.414	1.45	1.486	V
		SVDCTL.SVDC[4:0]ビット = 0x07		1.463	1.50	1.538	V
		SVDCTL.SVDC[4:0]ビット = 0x08		1.511	1.55	1.589	V
		SVDCTL.SVDC[4:0]ビット = 0x09		1.560	1.60	1.640	V
		SVDCTL.SVDC[4:0]ビット = 0x0a		1.609	1.65	1.691	V
		SVDCTL.SVDC[4:0]ビット = 0x0b		1.658	1.70	1.743	V
		SVDCTL.SVDC[4:0]ビット = 0x0c		1.755	1.80	1.845	V
		SVDCTL.SVDC[4:0]ビット = 0x0d		1.853	1.90	1.948	V
		SVDCTL.SVDC[4:0]ビット = 0x0e		1.950	2.00	2.050	V
		SVDCTL.SVDC[4:0]ビット = 0x0f		2.048	2.10	2.153	V
		SVDCTL.SVDC[4:0]ビット = 0x10		2.145	2.20	2.255	V
		SVDCTL.SVDC[4:0]ビット = 0x11		2.194	2.25	2.306	V
		SVDCTL.SVDC[4:0]ビット = 0x12		2.243	2.30	2.358	V
		SVDCTL.SVDC[4:0]ビット = 0x13		2.291	2.35	2.409	V
		SVDCTL.SVDC[4:0]ビット = 0x14		2.340	2.40	2.460	V
		SVDCTL.SVDC[4:0]ビット = 0x15		2.389	2.45	2.511	V
		SVDCTL.SVDC[4:0]ビット = 0x16		2.438	2.50	2.563	V
		SVDCTL.SVDC[4:0]ビット = 0x17		2.486	2.55	2.614	V
SVDCTL.SVDC[4:0]ビット = 0x18	2.535	2.60	2.665	V			
SVDCTL.SVDC[4:0]ビット = 0x19	2.584	2.65	2.716	V			
SVDCTL.SVDC[4:0]ビット = 0x1a	2.633	2.70	2.768	V			
SVDCTL.SVDC[4:0]ビット = 0x1b	2.730	2.80	2.870	V			
SVDCTL.SVDC[4:0]ビット = 0x1c	2.828	2.90	2.973	V			
SVDCTL.SVDC[4:0]ビット = 0x1d	2.925	3.00	3.075	V			
SVDCTL.SVDC[4:0]ビット = 0x1e	3.023	3.10	3.178	V			
SVDCTL.SVDC[4:0]ビット = 0x1f	3.120	3.20	3.280	V			
SVD回路イネーブル時応答時間	t _{SVDEN}	*1	-	-	500	μs	
SVD回路応答時間	t _{SV}		-	-	60	μs	
SVD回路電流	I _{svd}	SVDCTL.SVDM[1:0]ビット = 0x0, SVDCTL.SVDC[4:0]ビット = 0x00, CLK_SVD4 = 32 kHz, Ta = 25°C	-	18	31	μA	
		SVDCTL.SVDM[1:0]ビット = 0x1, SVDCTL.SVDC[4:0]ビット = 0x00, CLK_SVD4 = 32 kHz, Ta = 25°C	-	3.2	5.3	μA	
		SVDCTL.SVDM[1:0]ビット = 0x2, SVDCTL.SVDC[4:0]ビット = 0x00, CLK_SVD4 = 32 kHz, Ta = 25°C	-	1.7	2.8	μA	
		SVDCTL.SVDM[1:0]ビット = 0x3, SVDCTL.SVDC[4:0]ビット = 0x00, CLK_SVD4 = 32 kHz, Ta = 25°C	-	0.9	1.5	μA	

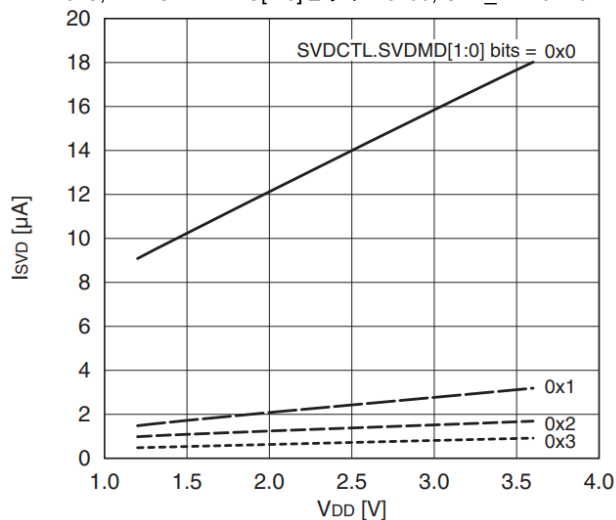
*1 CLK_SVD4 = 32 kHz 近辺に設定されている場合、t_{SVDEN}の時間はマスクされ、SVDINTF.SVDDT ビットの値は前の値を保持します。



20 電気的特性

SVD 回路電流-電源電圧特性

Ta = 25°C, SVDCTL.SVDC[4:0]ビット = 0x00, CLK_SVD5 = 32 kHz, Typ. 値



20.10 UART(UART3)特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = -40~85°C

項目	記号	条件	V _{DD}	V _{D1}	Min.	Typ.	Max.	単位
送受信ポーレート	U _{BRT1}	通常動作時	1.6~3.6V	1.4V	150	—	460,800	bps
			1.2~1.6V	—	150	—	57,600	bps
	U _{BRT2}	IrDA使用时	1.6~3.6V	1.4V	150	—	115,200	bps
			1.2~1.6V	—	150	—	57,600	bps

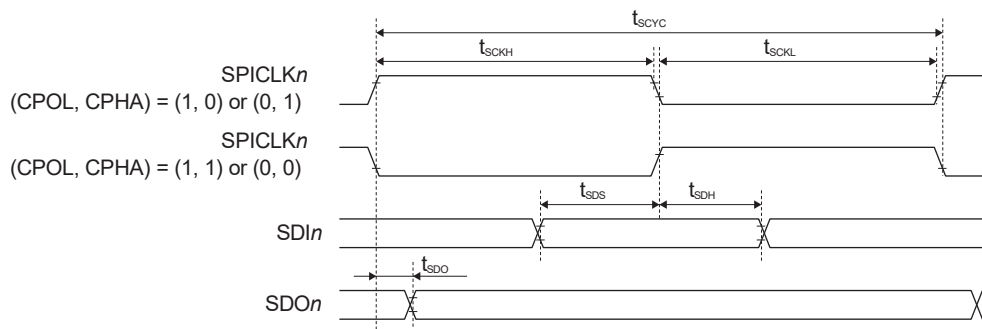
20.11 同期式シリアルインターフェース(SPIA)特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = -40~85°C

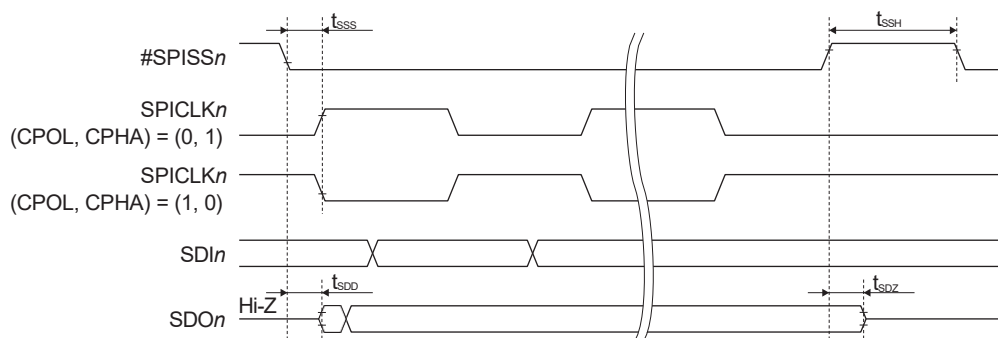
項目	記号	条件	V _{DD}	V _{D1}	Min.	Typ.	Max.	単位
SPICLKnサイクル時間	t _{SCYC}		1.6~3.6 V	1.4V	500	—	—	ns
			1.2~1.6 V	—	1,000	—	—	ns
SPICLKn Highパルス幅	t _{SCKH}		1.6~3.6 V	1.4V	200	—	—	ns
			1.2~1.6 V	—	400	—	—	ns
SPICLKn Lowパルス幅	t _{SCKL}		1.6~3.6 V	1.4V	200	—	—	ns
			1.2~1.6 V	—	400	—	—	ns
SDInセットアップ時間	t _{SDS}		1.6~3.6 V	1.4V	125	—	—	ns
			1.2~1.6 V	—	250	—	—	ns
SDInホールド時間	t _{SDH}		1.6~3.6 V	1.4V	70	—	—	ns
			1.2~1.6 V	—	140	—	—	ns
SDOn出力遅延時間	t _{SDO}	C _L = 30 pF *1	1.6~3.6 V	1.4V	—	—	120	ns
			1.2~1.6 V	—	—	—	320	ns
#SPISSnセットアップ時間	t _{SSS}		1.6~3.6 V	1.4V	125	—	—	ns
			1.2~1.6 V	—	250	—	—	ns
#SPISSn Highパルス幅	t _{SSH}		1.6~3.6 V	1.4V	80	—	—	ns
			1.2~1.6 V	—	160	—	—	ns
SDOn出力開始時間	t _{SDD}	C _L = 30 pF *1	1.6~3.6 V	1.4V	—	—	120	ns
			1.2~1.6 V	—	—	—	320	ns
SDOn出力停止時間	t _{SDZ}	C _L = 30 pF *1	1.6~3.6 V	1.4V	—	—	80	ns
			1.2~1.6 V	—	—	—	160	ns

*1 C_L = 端子負荷

マスタ/スレーブモード共通



スレーブモード

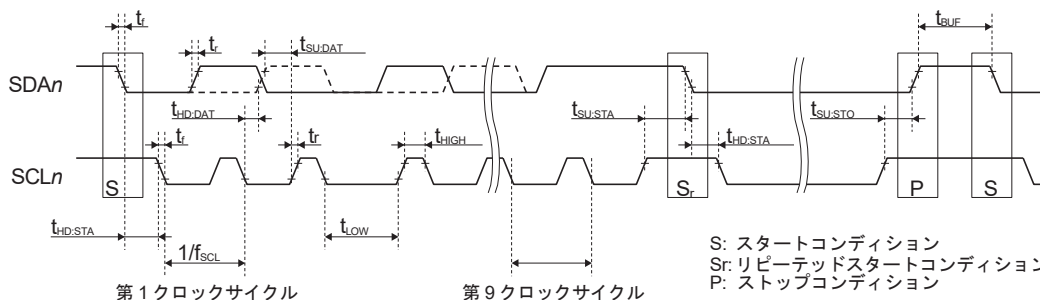


20.12 I²C(I2C)特性

特記なき場合: V_{DD} = 1.2~3.6 V, V_{SS} = 0 V, Ta = -40~85°C

項目	記号	条件	標準モード V _{DD} = 1.2~3.6V			ファースト・モード V _{DD} = 1.6~3.6V V _{D1} = 1.4V			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
SCLn周波数	f _{SCL}		0	-	100	0	-	400	kHz
ホールド時間(リピーテッド)スタートコンディション*	t _{HD:STA}		4.0	-	-	0.6	-	-	μs
SCLn Lowパルス幅	t _{LOW}		4.7	-	-	1.3	-	-	μs
SCLn Highパルス幅	t _{HIGH}		4.0	-	-	0.6	-	-	μs
リピーテッドスタート コンディションセットアップ時間	t _{SU:STA}		4.7	-	-	0.6	-	-	μs
データホールド時間	t _{HD:DAT}		0	-	-	0	-	-	μs
データセットアップ時間	t _{SU:DAT}		250	-	-	100	-	-	ns
SDAn, SCLn立ち上がり時間	t _r		-	-	1,000	-	-	300	ns
SDAn, SCLn立ち下がり時間	t _f		-	-	300	-	-	300	ns
ストップコンディション セットアップ時間	t _{SU:STO}		4.0	-	-	0.6	-	-	μs
バスフリー時間	t _{BUF}		4.7	-	-	1.3	-	-	μs

* この期間の後、最初のクロックパルスを生成



20.13 LCD ドライバ(LCD4B)特性

LCD ドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によって特性がシフトしますので、実際に使用するパネルを接続して評価してください。

特記なき場合: $V_{DD} = 1.2 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25^\circ\text{C}$, LCD4TIM2.BSTC[1:0]ビット = 0x1(昇圧用クロック = 2 kHz), パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧 (V_{C2} 基準選択時) $V_{DD} = 1.2 \sim 3.6 \text{ V} * 3$ LCD4PWR.VCSELビット = 1	V_{C1}	$V_{SS} \sim V_{C1}$ 間に1 M Ω の負荷抵抗を接続	0.323 \times V_{C3} (Typ.)	–	0.344 \times V_{C3} (Typ.)	V	
	V_{C2}	$V_{SS} \sim V_{C2}$ 間に1 M Ω の負荷抵抗を接続	0.646 \times V_{C3} (Typ.)	–	0.687 \times V_{C3} (Typ.)	V	
	V_{C3}	$V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続	LCD4PWR.LC[4:0]ビット = 0x00	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x01	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x02	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x03	2.61	2.69	2.77	V
			LCD4PWR.LC[4:0]ビット = 0x04	2.68	2.76	2.84	V
			LCD4PWR.LC[4:0]ビット = 0x05	2.75	2.84	2.92	V
			LCD4PWR.LC[4:0]ビット = 0x06	2.82	2.91	3.00	V
			LCD4PWR.LC[4:0]ビット = 0x07	2.90	2.98	3.07	V
			LCD4PWR.LC[4:0]ビット = 0x08	2.97	3.06	3.15	V
			LCD4PWR.LC[4:0]ビット = 0x09	3.04	3.13	3.23	V
			LCD4PWR.LC[4:0]ビット = 0x0a	3.11	3.21	3.30	V
			LCD4PWR.LC[4:0]ビット = 0x0b	3.26	3.36	3.46	V
			LCD4PWR.LC[4:0]ビット = 0x0c	3.40	3.51	3.61	V
			LCD4PWR.LC[4:0]ビット = 0x0d	3.55	3.66	3.77	V
			LCD4PWR.LC[4:0]ビット = 0x0e	3.69	3.81	3.92	V
			LCD4PWR.LC[4:0]ビット = 0x0f	3.84	3.95	4.07	V
			LCD4PWR.LC[4:0]ビット = 0x10	3.98	4.10	4.23	V
			LCD4PWR.LC[4:0]ビット = 0x11	4.13	4.25	4.38	V
			LCD4PWR.LC[4:0]ビット = 0x12	4.27	4.40	4.53	V
			LCD4PWR.LC[4:0]ビット = 0x13	4.41	4.55	4.69	V
	LCD4PWR.LC[4:0]ビット = 0x14	4.56	4.70	4.84	V		
	LCD4PWR.LC[4:0]ビット = 0x15	4.70	4.85	5.00	V		
	LCD4PWR.LC[4:0]ビット = 0x16	4.85	5.00	5.15	V		
	LCD4PWR.LC[4:0]ビット = 0x17	4.92	5.07	5.23	V		
	LCD4PWR.LC[4:0]ビット = 0x18	4.99	5.15	5.30	V		
LCD4PWR.LC[4:0]ビット = 0x19	5.07	5.22	5.38	V			
LCD4PWR.LC[4:0]ビット = 0x1a	5.14	5.30	5.46	V			
LCD4PWR.LC[4:0]ビット = 0x1b	5.21	5.37	5.53	V			
LCD4PWR.LC[4:0]ビット = 0x1c	5.28	5.45	5.61	V			
LCD4PWR.LC[4:0]ビット = 0x1d	5.36	5.52	5.69	V			
LCD4PWR.LC[4:0]ビット = 0x1e	5.43	5.60	5.76	V			
LCD4PWR.LC[4:0]ビット = 0x1f	5.50	5.67	5.84	V			
LCD駆動電圧 (V_{C1} 基準選択時) $V_{DD} = 2.5 \sim 3.6 \text{ V} * 3$ LCD4PWR.VCSELビット = 0	V_{C1}	$V_{SS} \sim V_{C1}$ 間に1 M Ω の負荷抵抗を接続	0.323 $\times V_{C3}$ (Typ.)	–	0.344 $\times V_{C3}$ (Typ.)	V	
	V_{C2}	$V_{SS} \sim V_{C2}$ 間に1 M Ω の負荷抵抗を接続	0.646 $\times V_{C3}$ (Typ.)	–	0.687 $\times V_{C3}$ (Typ.)	V	
	V_{C3}	$V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続	LCD4PWR.LC[4:0]ビット = 0x00	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x01	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x02	–	–	–	V
			LCD4PWR.LC[4:0]ビット = 0x03	2.61	2.69	2.77	V
			LCD4PWR.LC[4:0]ビット = 0x04	2.68	2.76	2.84	V
			LCD4PWR.LC[4:0]ビット = 0x05	2.75	2.84	2.92	V
			LCD4PWR.LC[4:0]ビット = 0x06	2.82	2.91	3.00	V
			LCD4PWR.LC[4:0]ビット = 0x07	2.90	2.98	3.07	V
			LCD4PWR.LC[4:0]ビット = 0x08	2.97	3.06	3.15	V
			LCD4PWR.LC[4:0]ビット = 0x09	3.04	3.13	3.23	V
			LCD4PWR.LC[4:0]ビット = 0x0a	3.11	3.21	3.30	V
			LCD4PWR.LC[4:0]ビット = 0x0b	3.26	3.36	3.46	V
			LCD4PWR.LC[4:0]ビット = 0x0c	3.40	3.51	3.61	V
			LCD4PWR.LC[4:0]ビット = 0x0d	3.55	3.66	3.77	V
			LCD4PWR.LC[4:0]ビット = 0x0e	3.69	3.81	3.92	V

項目	記号	条件	Min.	Typ.	Max.	単位
		LCD4PWR.LC[4:0]ビット = 0x0f	3.84	3.95	4.07	V
		LCD4PWR.LC[4:0]ビット = 0x10	3.98	4.10	4.23	V
		LCD4PWR.LC[4:0]ビット = 0x11	4.13	4.25	4.38	V
		LCD4PWR.LC[4:0]ビット = 0x12	4.27	4.40	4.53	V
		LCD4PWR.LC[4:0]ビット = 0x13	4.41	4.55	4.69	V
		LCD4PWR.LC[4:0]ビット = 0x14	4.56	4.70	4.84	V
		LCD4PWR.LC[4:0]ビット = 0x15	4.70	4.85	5.00	V
		LCD4PWR.LC[4:0]ビット = 0x16	4.85	5.00	5.15	V
		LCD4PWR.LC[4:0]ビット = 0x17	4.92	5.07	5.23	V
		LCD4PWR.LC[4:0]ビット = 0x18	4.99	5.15	5.30	V
		LCD4PWR.LC[4:0]ビット = 0x19	5.07	5.22	5.38	V
		LCD4PWR.LC[4:0]ビット = 0x1a	5.14	5.30	5.46	V
		LCD4PWR.LC[4:0]ビット = 0x1b	5.21	5.37	5.53	V
		LCD4PWR.LC[4:0]ビット = 0x1c	5.28	5.45	5.61	V
		LCD4PWR.LC[4:0]ビット = 0x1d	5.36	5.52	5.69	V
		LCD4PWR.LC[4:0]ビット = 0x1e	5.43	5.60	5.76	V
LCD4PWR.LC[4:0]ビット = 0x1f	5.50	5.67	5.84	V		
LCD用内蔵分割抵抗	R ₁	LCD4PWR.RESISEL[1:0]ビット = 0x1	–	50	–	kΩ
	R ₂	LCD4PWR.RESISEL[1:0]ビット = 0x2	–	150	–	kΩ
	R ₃	LCD4PWR.RESISEL[1:0]ビット = 0x3	–	300	–	kΩ
セグメント、コモン出力電流	I _{SEGH}	SEGxx, COMy VSEGH = VC3/VC2/VC1 - 0.1 V, Ta = -40~85°C	–	–	-10	μA
	I _{SEGL}	SEGxx, COMy VSEGL = VSS/VC2/VC1 + 0.1 V, Ta = -40~85°C	10	–	–	μA
LCD回路電流 (V _{C2} 基準選択時)	I _{LCD2}	LCD4DSP.DSPC[1:0]ビット = 0x1(市松), LCD4PWR.VCSELビット = 1 *1 *2	–	2.2	5.3	μA
		LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.VCSELビット = 1 *1 *2	–	1.0	2.3	μA
LCD回路電流 (V _{C1} 基準選択時)	I _{LCD1}	LCD4DSP.DSPC[1:0]ビット = 0x1(市松), LCD4PWR.VCSELビット = 0 *1 *2	–	4.2	10	μA
		LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.VCSELビット = 0 *1 *2	–	1.8	4.1	μA
重負荷保護時LCD回路電流 (V _{C2} 基準選択時)	I _{LCD2H}	LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.VCSELビット = 1, LCD4PWR.HVLDEビット = 1 *1 *2	–	16	33	μA
重負荷保護時LCD回路電流 (V _{C1} 基準選択時)	I _{LCD1H}	LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.VCSELビット = 0, LCD4PWR.HVLDEビット = 1 *1 *2	–	9	19	μA
LCD回路電流 (LCD用内蔵分割抵抗使用時)	I _{LCDR1}	LCD4DSP.DSPC[1:0]ビット = 0x1(市松), LCD4PWR.RESISEL[1:0]ビット = 0x1 *2	–	23	48	
		LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.RESISEL[1:0]ビット = 0x1 *2	–	22	46	
	I _{LCDR2}	LCD4DSP.DSPC[1:0]ビット = 0x1(市松), LCD4PWR.RESISEL[1:0]ビット = 0x2 *2	–	9	20	μA
		LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.RESISEL[1:0]ビット = 0x2 *2	–	8	18	μA
	I _{LCDR3}	LCD4DSP.DSPC[1:0]ビット = 0x1(市松), LCD4PWR.RESISEL[1:0]ビット = 0x3 *2	–	5	12	μA
		LCD4DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD4PWR.RESISEL[1:0]ビット = 0x3 *2	–	4	10	μA

*1 その他の LCD ドライバ設定: LCD4PWR.LC[4:0]ビット = 0x1f, CLK_LCD4B = 32 kHz, LCD4TIM1.FRMCNT[4:0]ビット = 0x03 (フレーム周波数 = 64 Hz)

*2 HALT モード/RUN モード時消費電流に加算されます。表示パターン、パネル負荷により消費電流は増加します。

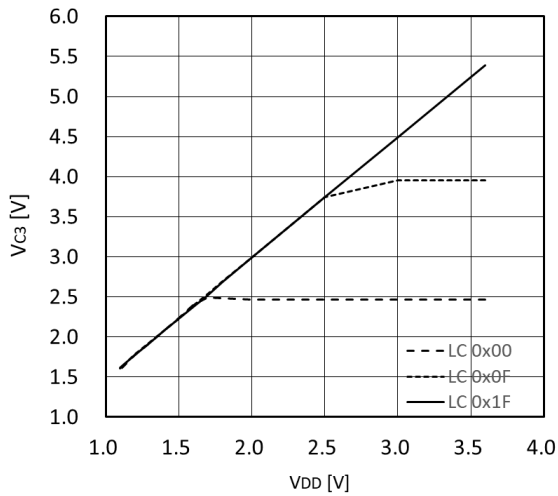
*3 電源電圧 V_{DD} が 1.2~1.6 V の範囲では、LCD8WR.LC[4:0]ビットの設定よりも、LCD 駆動電圧値が低下します。
詳細は、LCD 駆動電圧-電源電圧特性グラフを参照してください。

20 電気的特性

LCD 駆動電圧-電源電圧特性

(V_{C2} 基準選択時)

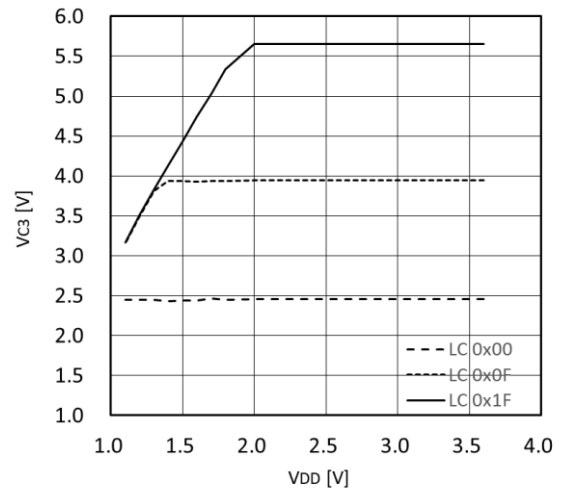
$T_a = 25^\circ\text{C}$, Typ. 値, $V_{SS}-V_{C3}$ 間に1 M Ω の負荷抵抗を接続
(パネル負荷なし)



LCD 駆動電圧-電源電圧特性

(V_{C1} 基準選択時)

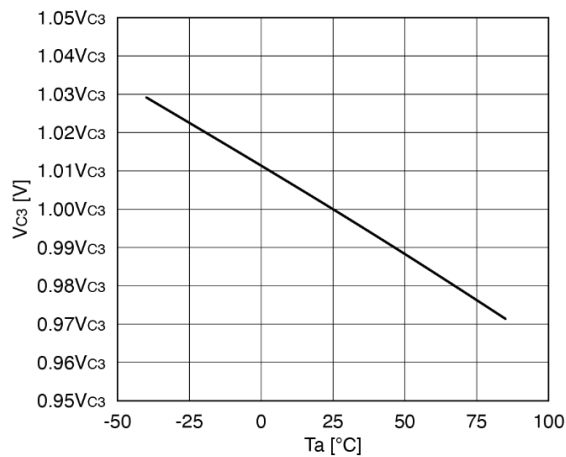
$T_a = 25^\circ\text{C}$, Typ. 値, $V_{SS}-V_{C3}$ 間に1 M Ω の負荷抵抗を接続
(パネル負荷なし)



LCD 駆動電圧-温度特性

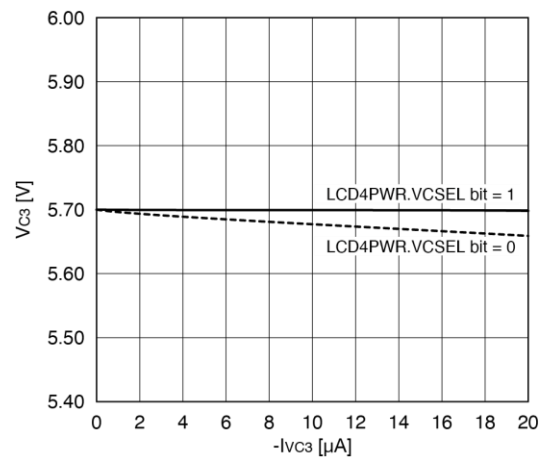
(V_{C1}/V_{C2} 基準)

Typ. 値



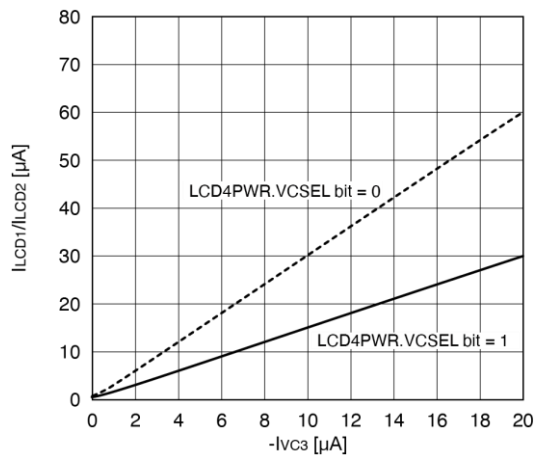
LCD 駆動電圧-負荷特性

$V_{DD} = 3.6\text{ V}$, $T_a = 25^\circ\text{C}$, Typ. 値, LCD4PWR.LC[4:0] bits = 0x1f,
 V_{C3} 端子にのみ負荷を接続した場合



LCD 回路電流-負荷特性

$V_{DD} = 3.6\text{ V}$, $T_a = 25^\circ\text{C}$, Typ. 値, LCD4PWR.LC[4:0] bits = 0x1f,
 V_{C3} 端子にのみ負荷を接続した場合



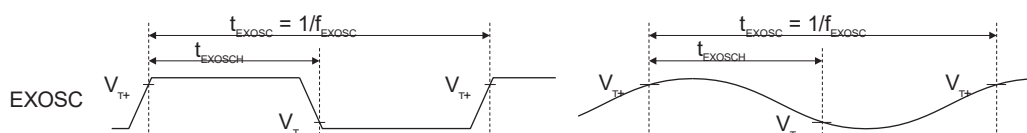
20.14 R/F 変換器(RFC2)特性

R/F 変換器特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上で評価を行ってください。

特記無き場合: $V_{DD} = 1.2\sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85^\circ\text{C}$

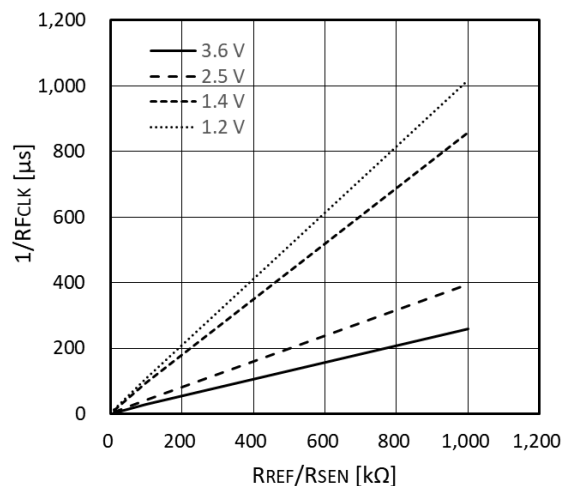
項目	記号	条件	V_{DD}	Min.	Typ.	Max.	単位
基準/センサ発振周波数	f_{RFCLK}			1	—	1,000	kHz
基準抵抗/抵抗性センサ抵抗値	R_{REF}, R_{SEN}			10	—	—	k Ω
基準キャパシタ	C_{REF}			100	—	—	pF
タイムベースカウンタ クロック周波数	F_{TCCLK}		1.6~3.6V	—	—	4.2	MHz
			1.2~1.6V	—	—	1.1	MHz
高レベルシュミット入力 スレショルド電圧	V_{T+}			$0.5 \times V_{D1}$	—	$0.8 \times V_{D1}$	V
低レベルシュミット入力 スレショルド電圧	V_{T-}			$0.2 \times V_{D1}$	—	$0.5 \times V_{D1}$	V
シュミット入力ヒステリシス 電圧	ΔV_T			120	—	—	mV
R/F変換器動作電流	I_{RFC}	$C_{REF} = 1,000\text{ pF}$, $R_{REF}/R_{SEN} = 100\text{ k}\Omega$, $T_a = 25^\circ\text{C}$	3.6V	—	32	48	μA
			2.4V	—	20	30	μA
			2.0V	—	16	23	μA

外部クロック入力モード波形



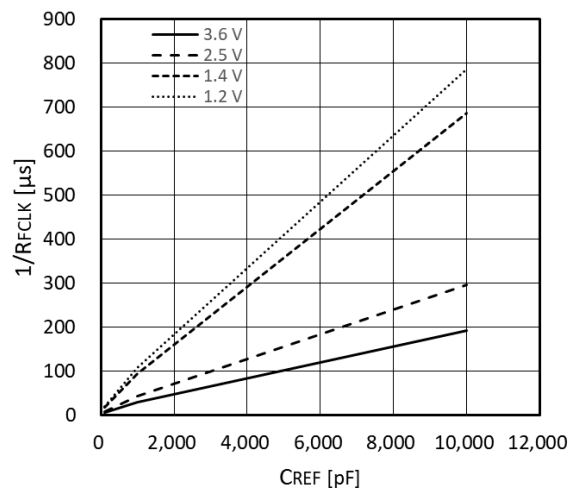
RFC 基準/センサ発振周期-抵抗特性

$C_{REF} = 1,000\text{ pF}$, $T_a = 25^\circ\text{C}$, $V_{D1} = V_{CAPRF} = 1.4\text{ V}$, Typ. 値



RFC 基準/センサ発振周期-容量特性

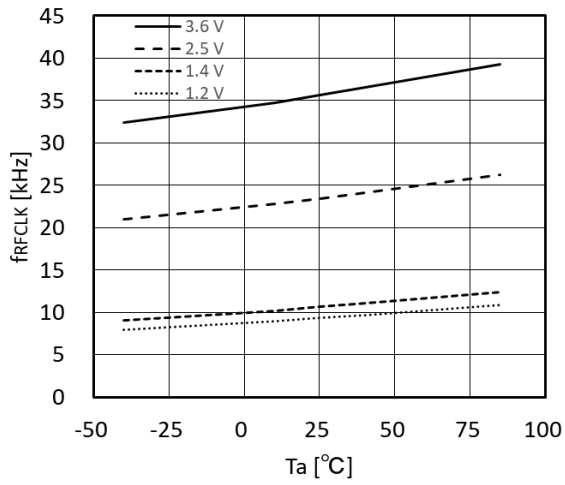
$R_{REF}/R_{SEN} = 100\text{ k}\Omega$, $T_a = 25^\circ\text{C}$, Typ. 値



20 電気的特性

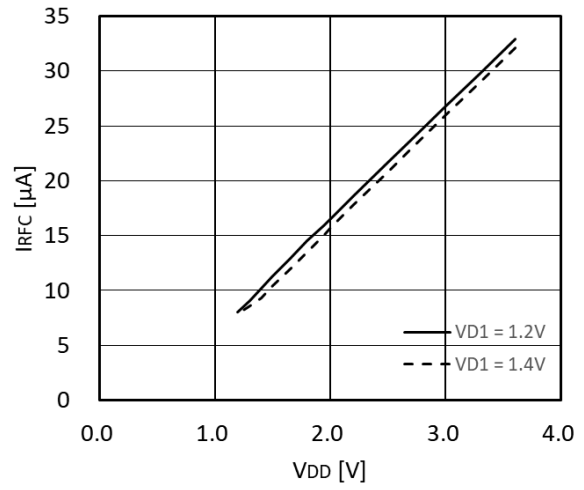
RFC 基準/センサ発振周波数-温度特性

$C_{REF} = 1,000 \text{ pF}$, $V_{D1} = V_{CAPRF} = 1.4\text{V}$, Typ. 値



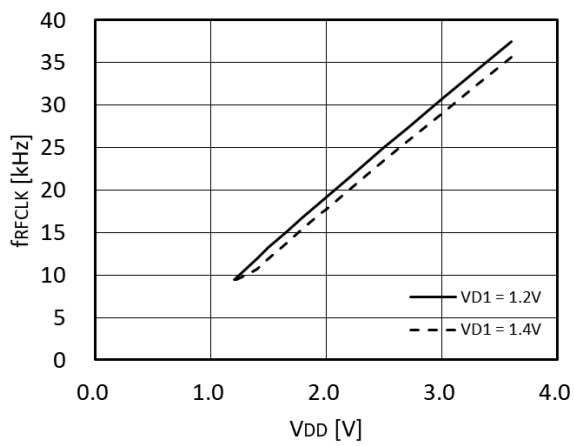
RFC 基準/センサ発振消費電流-電源電圧特性

$R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ. 値



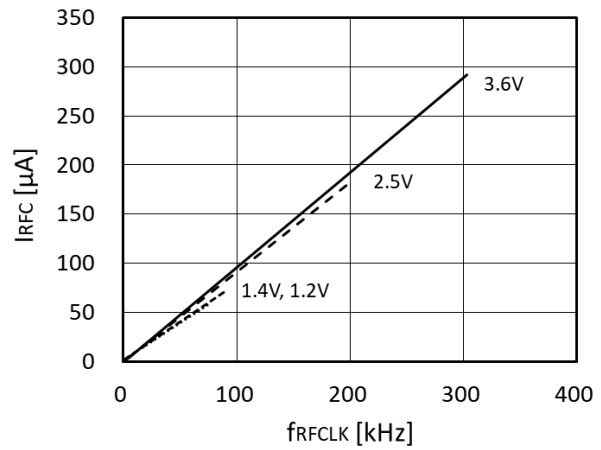
RFC 基準/センサ発振周波数-電源電圧

$R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ. 値



RFC 基準/センサ発振消費電流-周波数特性

$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, $V_{D1} = V_{CAPRF} = 1.4\text{V}$, Typ. 値



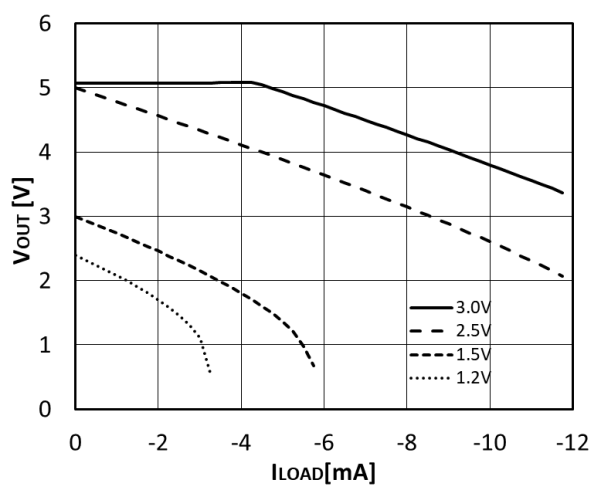
20.15 昇圧回路(CHREG)特性

特記無き場合: $V_{DD} = 2.5 \sim 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85^\circ\text{C}$

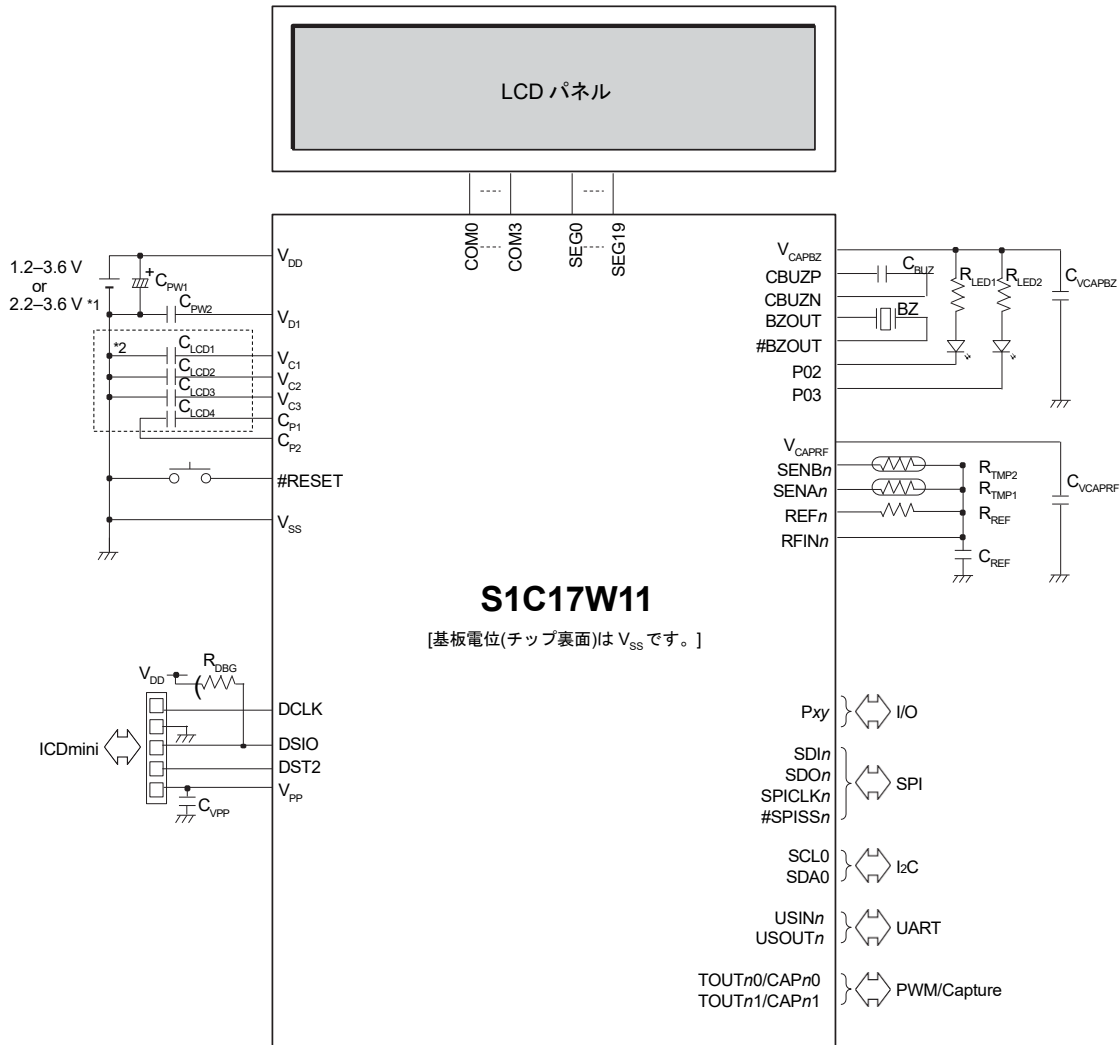
項目	記号	条件	Min.	Typ.	Max.	単位
出力電圧	V_{out}		3.8	5.0	5.5	V
出力電流	I_{out}		10	—	—	mA
動作時消費電流	I_{op}	クロック周波数100kHz, 無負荷時	—	5	30	μA
リップル電圧	V_{rip}	$T_a = 25^\circ\text{C}$	—	100	—	mV_{p-p}
立ち上がり時間	t_{ST}		—	—	5	ms

負荷電流-出力電圧特性

$T_a = 25^\circ\text{C}$, Typ 値



21 基本外部結線図



*1: Flash/EEPROM プログラミング時

*2: 内蔵 LCD 電源回路使用時

(): 不要時は未実装とする。

外付け部品例

シンボル	名称	推奨部品
C _{PW1}	V _{SS} ~V _{DD} 間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
C _{PW2}	V _{SS} ~V _{D1} 間キャパシタ	セラミックコンデンサ
C _{LCD1-3}	V _{SS} ~V _{C1-3} 間キャパシタ	セラミックコンデンサ
C _{LCD4}	C _{P1} ~C _{P2} 間キャパシタ	セラミックコンデンサ
BZ	圧電ブザー	TDK(株)製 PS1240P02
R _{DBG}	DSIO用プルアップ抵抗	厚膜チップ抵抗
C _{VPP}	V _{SS} ~V _{PP} 間キャパシタ	セラミックコンデンサ
R _{REF}	RFC用基準抵抗	厚膜チップ抵抗
R _{TMP1,2}	抵抗性センサ	SEMITEC(株)製温度センサ 103AP-2 神栄テクノロジー(株)製湿度センサ C15-M53R (* 抵抗性センサ測定用AC共振モード時)
C _{REF}	RFC用基準容量	セラミックコンデンサ
C _{VCAPRF}	V _{SS} ~V _{CAPRF} 間キャパシタ	セラミックコンデンサ
R _{LED1,2}	LED用電流制限抵抗	厚膜チップ抵抗
C _{VCAPBZ}	V _{SS} ~V _{CAPBZ} 間キャパシタ	セラミックコンデンサ
C _{BUZ}	C _{BUZP} ~C _{BUZN} 間キャパシタ	セラミックコンデンサ

* 推奨部品の定数については、“電気的特性”の章の“推奨動作条件”を参照してください。

Appendix A 周辺回路制御レジスタ一覧

0x4000-0x4008

Misc Register (MISC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000	MSCPROT (MISC System Protect Register)	15-0	PROT[15:0]	0x0000	H0	R/W	—
0x4002	MSCIRAMSZ (MISC IRAM Size Register)	15-9	—	0x00	—	R	—
		8	(reserved)	0	H0	R/WP	Always set to 0.
		7-3	—	0x04	—	R	—
		2-0	IRAMSZ[2:0]	0x2	H0	R/WP	—
0x4004	MSCTTBRL (MISC Vector Table Address Low Register)	15-8	TTBR[15:8]	0x80	H0	R/WP	—
		7-0	TTBR[7:0]	0x00	H0	R	—
0x4006	MSCTTBRH (MISC Vector Table Address High Register)	15-8	—	0x00	—	R	—
		7-0	TTBR[23:16]	0x00	H0	R/WP	—
0x4008	MSCPSR (MISC PSR Register)	15-8	—	0x00	—	R	—
		7-5	PSRIL[2:0]	0x0	H0	R	—
		4	PSRIE	0	H0	R	—
		3	PSRC	0	H0	R	—
		2	PSRV	0	H0	R	—
		1	PSRZ	0	H0	R	—
0	PSRN	0	H0	R	—		

0x4020-0x4022

Power Generator (PWG2)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4020	PWGVD1CTL (PWG VD1 Regulator Control Register)	15-7	—	0x00	—	R	—
		6	REGDIS	0	H0	R/WP	—
		5-4	REGSEL[1:0]	0x1	H0	R/WP	—
		3-2	—	0x0	—	R	—
		1-0	REGMODE[1:0]	0x0	H0	R/WP	—
0x4022	PWGRFCCTL (PWG RFC Regulator Control Register)	15-7	—	0x00	—	R	—
		6	RFCREGDIS	0	H0	R/WP	—
		5-1	—	0x00	—	R	—
		0	(reserved)	0	H0	R/WP	Always set to 0.

0x4040-0x4054

Clock Generator (CLG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4040	CLGSCLK (CLG System Clock Control Register)	15	WUPMD	0	H0	R/WP	—
		14	—	0	—	R	—
		13-12	WUPDIV[1:0]	0x0	H0	R/WP	—
		11-10	—	0x0	—	R	—
		9-8	WUPSRC[1:0]	0x0	H0	R/WP	—
		7-6	—	0x0	—	R	—
		5-4	CLKDIV[1:0]	0x0	H0	R/WP	—
		3-2	—	0x0	—	R	—
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	—
0x4042	CLGOSC (CLG Oscillation Control Register)	15-12	—	0x0	—	R	—
		11	EXOSCSLPC	1	H0	R/W	—
		10	OSC3SLPC	1	H0	R/W	—
		9	OSC1SLPC	1	H0	R/W	—
		8	IOSCSLPC	1	H0	R/W	—
		7-4	—	0x0	—	R	—
		3	EXOSCEN	0	H0	R/W	—
		2	OSC3EN	0	H0	R/W	—
		1	OSC1EN	0	H0	R/W	—
0	IOSCEN	1	H0	R/W	—		

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4046	CLGOSC1 (CLG OSC1 Control Register)	15-2	-	0x00	-	R	-
		1-0	OSC1WT[1:0]	0x1	H0	R/WP	-
0x4048	CLGOSC3 (CLG OSC3 Control Register)	15-13	-	0x00	-	R	-
		12-10	OSC3FQ[2:0]	0x03	H0	R/WP	-
		9-3	-	0x00	-	R	-
		2-0	OSC3WT[2:0]	0x02	H0	R/WP	-
0x404c	CLGINTF (CLG Interrupt Flag Register)	15-3	-	0x00	-	R	-
		2	OSC3STAIF	0	H0	R/W	Cleared by writing 1.
		1	OSC1STAIF	0	H0	R/W	
		0	IOSCSTAIF	0	H0	R/W	
0x404e	CLGINTE (CLG Interrupt Enable Register)	15-3	-	0x00	-	R	-
		2	OSC3STAIE	0	H0	R/W	-
		1	OSC1STAIE	0	H0	R/W	-
		0	IOSCSTAIE	0	H0	R/W	-
0x4050	CLGFOUT (CLG FOUT Control Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	-
		6-4	FOUTDIV[2:0]	0x0	H0	R/W	-
		3-2	FOUTSRC[1:0]	0x0	H0	R/W	-
		1	-	0	-	R	-
		0	FOUTEN	0	H0	R/W	-
0x4052	CLGTRIM1 (CLG Oscillation Frequency Trimming Register 1)	15-14	-	0x00	-	R	-
		13-8	OSC1AJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
		7-6	-	0x00	-	R	-
		5-0	IOSCAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
0x4054	CLGTRIM2 (CLG Oscillation Frequency Trimming Register 2)	15-13	-	0x00	-	R	-
		12-8	OSC3AJ384[4:0]	*	H0	R/WP	* Determined by factory adjustment.
		7-5	-	0x00	-	R	-
		4-0	OSC3AJ4M[4:0]	*	H0	R/WP	* Determined by factory adjustment.

0x4080-0x4090**Interrupt Controller (ITC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4080	ITCLV0 (ITC Interrupt Level Setup Register 0)	15-11	-	0x00	-	R	-
		10-8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
		7-3	-	0x00	-	R	-
		2-0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD5)
0x4082	ITCLV1 (ITC Interrupt Level Setup Register 1)	15-11	-	0x00	-	R	-
		10-8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
		7-0	-	0x00	-	R	-
0x4084	ITCLV2 (ITC Interrupt Level Setup Register 2)	15-11	-	0x00	-	R	-
		10-8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
		7-0	-	0x00	-	R	-
0x4086	ITCLV3 (ITC Interrupt Level Setup Register 3)	15-11	-	0x00	-	R	-
		10-8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
		7-3	-	0x00	-	R	-
		2-0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILVUART3_0)
0x4088	ITCLV4 (ITC Interrupt Level Setup Register 4)	15-11	-	0x00	-	R	-
		10-8	ILV9[2:0]	0x0	H0	R/W	I2C interrupt (ILVI2C_0)
		7-3	-	0x00	-	R	-
		2-0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
0x408a	ITCLV5 (ITC Interrupt Level Setup Register 5)	15-11	-	0x00	-	R	-
		10-8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
		7-3	-	0x00	-	R	-
		2-0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x408c	ITCLV6 (ITC Interrupt Level Setup Register 6)	15-11	–	0x00	–	R	–
		10-8	ILV13[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
		7-0	–	0x00	–	R	–
0x408e	ITCLV7 (ITC Interrupt Level Setup Register 7)	15-11	–	0x00	–	R	–
		10-8	ILV15[2:0]	0x0	H0	R/W	LCD driver interrupt (ILVLCD4B)
		7-3	–	0x00	–	R	–
		2-0	ILV14[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSND2_0)
0x4090	ITCLV8 (ITC Interrupt Level Setup Register 8)	15-11	–	0x00	–	R	–
		10-8	ILV17[2:0]	0x0	H0	R/W	EEPROM controller interrupt (ILVEPRC)
		7-3	–	0x00	–	R	–
		2-0	ILV16[2:0]	0x0	H0	R/W	R/F converter Ch.0 interrupt (ILVRF2_0)

0x40a0-0x40a4

Watchdog Timer (WDT2)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40a0	WDTCLK (WDT2 Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/WP	–
		7-6	–	0x0	–	R	–
		5-4	CLKDIV[1:0]	0x0	H0	R/WP	–
		3-2	–	0x0	–	R	–
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	–
0x40a2	WDTCTL (WDT2 Control Register)	15-11	–	0x00	–	R	–
		10-9	MOD[1:0]	0x0	H0	R/WP	–
		8	STATNMI	0	H0	R	–
		7-5	–	0x0	–	R	–
		4	WDTCTRST	0	H0	WP	Always read as 0.
0x40a4	WDTCMP (WDT2 Counter Compare Match Register)	15-10	–	0x00	–	R	–
		9-0	CMP[9:0]	0x3ff	H0	R/WP	–

0x4100-0x4106

Supply Voltage Detector (SVD5)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4100	SVDCLK (SVD5 Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/WP	–
		7	–	0	–	R	–
		6-4	CLKDIV[2:0]	0x0	H0	R/WP	–
		3-2	–	0x0	–	R	–
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	–
0x4102	SVDCTL (SVD5 Control Register)	15	VDSEL	0	H1	R/WP	–
		14-13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMD[1:0] bits are not 0x0.
		12-8	SVDC[4:0]	0x1e	H1	R/WP	–
		7-4	SVDRE[3:0]	0x0	H1	R/WP	–
		3	–	0	–	R	–
		2-1	SVDMD[1:0]	0x0	H0	R/WP	–
		0	MODEN	0	H1	R/WP	–
0x4104	SVDINTF (SVD5 Status and Interrupt Flag Register)	15-9	–	0x00	–	R	–
		8	SVDDT	x	–	R	–
		7-1	–	0x00	–	R	–
		0	SVDIF	0	H1	R/W	Cleared by writing 1.
0x4106	SVDINTE (SVD5 Interrupt Enable Register)	15-8	–	0x00	–	R	–
		7-1	–	0x00	–	R	–
		0	SVDIE	0	H0	R/W	–

0x4160-0x416c

16-bit Timer (T16) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4160	T16_OCLK (T16 Ch.0 Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	–	0x0	–	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x4162	T16_0MOD (T16 Ch.0 Mode Register)	15-8	–	0x00	–	R	–
		7-1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4164	T16_0CTL (T16 Ch.0 Control Register)	15-9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7-2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4166	T16_0TR (T16 Ch.0 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	–
0x4168	T16_0TC (T16 Ch.0 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	–
0x416a	T16_0INTF (T16 Ch.0 Interrupt Flag Register)	15-8	–	0x00	–	R	–
		7-1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x416c	T16_0INTE (T16 Ch.0 Interrupt Enable Register)	15-8	–	0x00	–	R	–
		7-1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x41b0

Flash Controller (FLASHC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x41b0	FLASHCWAIT (FLASHC Flash Read Cycle Register)	15-8	–	0x00	–	R	–
		7-2	–	0x00	–	R	
		1-0	RDWAIT[1:0]	0x1	H0	R/WP	

0x41c0-0x41ca

EEPROM Controller (EEPROMC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x41c0	EPRCCTL0 (EEPROMC Control Register 0)	15-9	–	0x00	–	R	–	
		8	EP_XPOR	1	H0	R/WP		
		7-2	–	0x00	–	R		
		1	EP_PWRSET	0	H0	R/WP		
		0	EP_WMODE	0	H0	R/WP		
0x41c2	EPRCCTL1 (EEPROMC Control Register 1)	15-8	–	0x00	–	R	–	
		7-1	–	0x00	–	R		
		0	EP_CK	0	H0	WP		
0x41c4	EPRCADR (EEPROMC Address Register)	15-8	–	0x00	–	R	–	
		7-0	EP_ADDR[7:0]	0x00	H0	R/WP		
0x41c6	EPRCWDAT (EEPROMC Write Data Register)	15-8	–	0x00	–	R	–	
		7-0	EP_WDAT[7:0]	0x00	H0	R/WP		
0x41c8	EPRCINTF (EEPROMC Interrupt Flag Register)	15-8	–	0x00	–	R	–	
		7-2	–	0x00	–	R		
		1	ECCERIF	0	H0	R/WP		Cleared by writing 1.
		0	RXBIF	0	H0	R/WP		
0x41ca	EPRCINTE (EEPROMC Interrupt Enable Register)	15-8	–	0x00	–	R	–	
		7-2	–	0x00	–	R		
		1	ECCERIE	0	H0	R/WP		
		0	RXBIE	0	H0	R/WP		

0x4200-0x42e2

I/O Ports (PPORT)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4200	P0DAT (P0 Port Data Register)	15	P0OUT7	0	H0	R/W	-
		14	P0OUT6	0	H0	R/W	
		13	P0OUT5	0	H0	R/W	
		12	P0OUT4	0	H0	R/W	
		11	P0OUT3	0	H0	R/W	
		10	P0OUT2	0	H0	R/W	
		9	P0OUT1	0	H0	R/W	
		8	P0OUT0	0	H0	R/W	
		7	P0IN7	0	H0	R	-
		6	P0IN6	0	H0	R	
		5	P0IN5	0	H0	R	
		4	P0IN4	0	H0	R	
		3	P0IN3	0	H0	R	
		2	P0IN2	0	H0	R	
		1	P0IN1	0	H0	R	
		0	P0IN0	0	H0	R	
0x4202	P0IOEN (P0 Port Enable Register)	15	P0IEN7	0	H0	R/W	-
		14	P0IEN6	0	H0	R/W	
		13	P0IEN5	0	H0	R/W	
		12	P0IEN4	0	H0	R/W	
		11	P0IEN3	0	H0	R/W	
		10	P0IEN2	0	H0	R/W	
		9	P0IEN1	0	H0	R/W	
		8	P0IEN0	0	H0	R/W	
		7	P0OEN7	0	H0	R/W	-
		6	P0OEN6	0	H0	R/W	
		5	P0OEN5	0	H0	R/W	
		4	P0OEN4	0	H0	R/W	
		3	P0OEN3	0	H0	R/W	
		2	P0OEN2	0	H0	R/W	
		1	P0OEN1	0	H0	R/W	
		0	P0OEN0	0	H0	R/W	
0x4204	P0RCTL (P0 Port Pull-up/down Control Register)	15	P0PDPU7	0	H0	R/W	-
		14	P0PDPU6	0	H0	R/W	
		13	P0PDPU5	0	H0	R/W	
		12	P0PDPU4	0	H0	R/W	
		11-10	-	0x0	-	R	-
		9	P0PDPU1	0	H0	R/W	
		8	P0PDPU0	0	H0	R/W	
		7	P0REN7	0	H0	R/W	
		6	P0REN6	0	H0	R/W	
		5	P0REN5	0	H0	R/W	
		4	P0REN4	0	H0	R/W	
		3-2	-	0x0	-	R	
		1	P0REN1	0	H0	R/W	
0	P0REN0	0	H0	R/W			
0x4206	P0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7	P0IF7	0	H0	R/W	
		6	P0IF6	0	H0	R/W	
		5	P0IF5	0	H0	R/W	
		4	P0IF4	0	H0	R/W	
		3	P0IF3	0	H0	R/W	
		2	P0IF2	0	H0	R/W	
		1	P0IF1	0	H0	R/W	
0	P0IF0	0	H0	R/W			

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4208	P0INTCTL (P0 Port Interrupt Control Register)	15	P0EDGE7	0	H0	R/W	-
		14	P0EDGE6	0	H0	R/W	
		13	P0EDGE5	0	H0	R/W	
		12	P0EDGE4	0	H0	R/W	
		11	P0EDGE3	0	H0	R/W	
		10	P0EDGE2	0	H0	R/W	
		9	P0EDGE1	0	H0	R/W	
		8	P0EDGE0	0	H0	R/W	-
		7	P0IE7	0	H0	R/W	
		6	P0IE6	0	H0	R/W	
		5	P0IE5	0	H0	R/W	
		4	P0IE4	0	H0	R/W	
		3	P0IE3	0	H0	R/W	
		2	P0IE2	0	H0	R/W	
1	P0IE1	0	H0	R/W			
0	P0IE0	0	H0	R/W			
0x420a	P0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7	P0CHATEN7	0	H0	R/W	-
		6	P0CHATEN6	0	H0	R/W	
		5	P0CHATEN5	0	H0	R/W	
		4	P0CHATEN4	0	H0	R/W	
		3-2	-	0	H0	R/W	
		1	P0CHATEN1	0	H0	R/W	
0	P0CHATEN0	0	H0	R/W			
0x420c	P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7	P0SEL7	0	H0	R/W	-
		6	P0SEL6	0	H0	R/W	
		5	P0SEL5	0	H0	R/W	
		4	P0SEL4	0	H0	R/W	
		3	P0SEL3	0	H0	R/W	
		2	P0SEL2	0	H0	R/W	
		1	P0SEL1	0	H0	R/W	
0	P0SEL0	0	H0	R/W			
0x420e	P0FNCSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
		13-12	P06MUX[1:0]	0x0	H0	R/W	
		11-10	P05MUX[1:0]	0x0	H0	R/W	
		9-8	P04MUX[1:0]	0x0	H0	R/W	
		7-6	P03MUX[1:0]	0x0	H0	R/W	
		5-4	P02MUX[1:0]	0x0	H0	R/W	
		3-2	P01MUX[1:0]	0x0	H0	R/W	
		1-0	P00MUX[1:0]	0x0	H0	R/W	
0x4210	P1DAT (P1 Port Data Register)	15	P1OUT7	0	H0	R/W	-
		14	P1OUT6	0	H0	R/W	
		13	P1OUT5	0	H0	R/W	
		12	P1OUT4	0	H0	R/W	
		11	P1OUT3	0	H0	R/W	
		10	P1OUT2	0	H0	R/W	
		9	P1OUT1	0	H0	R/W	
		8	P1OUT0	0	H0	R/W	
		7	P1IN7	0	H0	R	-
		6	P1IN6	0	H0	R	
		5	P1IN5	0	H0	R	
		4	P1IN4	0	H0	R	
		3	P1IN3	0	H0	R	
		2	P1IN2	0	H0	R	
		1	P1IN1	0	H0	R	
		0	P1IN0	0	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks		
0x4212	P1IOEN (P1 Port Enable Register)	15	P1IEN7	0	H0	R/W	-		
		14	P1IEN6	0	H0	R/W			
		13	P1IEN5	0	H0	R/W			
		12	P1IEN4	0	H0	R/W			
		11	P1IEN3	0	H0	R/W			
		10	P1IEN2	0	H0	R/W			
		9	P1IEN1	0	H0	R/W			
		8	P1IEN0	0	H0	R/W			
		0x4214	P1RCTL (P1 Port Pull-up/down Control Register)	7	P1OEN7	0	H0	R/W	-
				6	P1OEN6	0	H0	R/W	
				5	P1OEN5	0	H0	R/W	
				4	P1OEN4	0	H0	R/W	
				3	P1OEN3	0	H0	R/W	
				2	P1OEN2	0	H0	R/W	
				1	P1OEN1	0	H0	R/W	
				0	P1OEN0	0	H0	R/W	
0x4214	P1RCTL (P1 Port Pull-up/down Control Register)	15	P1PDP7	0	H0	R/W	-		
		14	P1PDP6	0	H0	R/W			
		13	P1PDP5	0	H0	R/W			
		12	P1PDP4	0	H0	R/W			
		11	P1PDP3	0	H0	R/W			
		10	P1PDP2	0	H0	R/W			
		9	P1PDP1	0	H0	R/W			
		8	P1PDP0	0	H0	R/W			
		0x4216	P1INTF (P1 Port Interrupt Flag Register)	7	P1REN7	0	H0	R/W	-
				6	P1REN6	0	H0	R/W	
				5	P1REN5	0	H0	R/W	
				4	P1REN4	0	H0	R/W	
				3	P1REN3	0	H0	R/W	
				2	P1REN2	0	H0	R/W	
				1	P1REN1	0	H0	R/W	
				0	P1REN0	0	H0	R/W	
0x4216	P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-		
		7	P1IF7	0	H0	R/W			
		6	P1IF6	0	H0	R/W			
		5	P1IF5	0	H0	R/W			
		4	P1IF4	0	H0	R/W			
		3	P1IF3	0	H0	R/W			
		2	P1IF2	0	H0	R/W			
		1	P1IF1	0	H0	R/W			
0x4218	P1INTCTL (P1 Port Interrupt Control Register)	0	P1IF0	0	H0	R/W	-		
		15	P1EDGE7	0	H0	R/W			
		14	P1EDGE6	0	H0	R/W			
		13	P1EDGE5	0	H0	R/W			
		12	P1EDGE4	0	H0	R/W			
		11	P1EDGE3	0	H0	R/W			
		10	P1EDGE2	0	H0	R/W			
		9	P1EDGE1	0	H0	R/W			
		0x4218	P1INTCTL (P1 Port Interrupt Control Register)	8	P1EDGE0	0	H0	R/W	-
				7	P1IE7	0	H0	R/W	
				6	P1IE6	0	H0	R/W	
				5	P1IE5	0	H0	R/W	
				4	P1IE4	0	H0	R/W	
				3	P1IE3	0	H0	R/W	
				2	P1IE2	0	H0	R/W	
				1	P1IE1	0	H0	R/W	
0	P1IE0	0	H0	R/W					

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x421a	P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7	P1CHATEN7	0	H0	R/W	-
		6	P1CHATEN6	0	H0	R/W	-
		5	P1CHATEN5	0	H0	R/W	-
		4	P1CHATEN4	0	H0	R/W	-
		3	P1CHATEN3	0	H0	R/W	-
		2	P1CHATEN2	0	H0	R/W	-
		1	P1CHATEN1	0	H0	R/W	-
0	P1CHATEN0	0	H0	R/W	-		
0x421c	P1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7	P1SEL7	0	H0	R/W	-
		6	P1SEL6	0	H0	R/W	-
		5	P1SEL5	0	H0	R/W	-
		4	P1SEL4	0	H0	R/W	-
		3	P1SEL3	0	H0	R/W	-
		2	P1SEL2	0	H0	R/W	-
		1	P1SEL1	0	H0	R/W	-
0	P1SEL0	0	H0	R/W	-		
0x421e	P1FNCSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	-
		13-12	P16MUX[1:0]	0x0	H0	R/W	-
		11-10	P15MUX[1:0]	0x0	H0	R/W	-
		9-8	P14MUX[1:0]	0x0	H0	R/W	-
		7-6	P13MUX[1:0]	0x0	H0	R/W	-
		5-4	P12MUX[1:0]	0x0	H0	R/W	-
		3-2	P11MUX[1:0]	0x0	H0	R/W	-
		1-0	P10MUX[1:0]	0x0	H0	R/W	-
0x4220	P2DAT (P2 Port Data Register)	15-14	-	0x0	-	R	-
		13	P2OUT5	0	H0	R/W	-
		12	P2OUT4	0	H0	R/W	-
		11	P2OUT3	0	H0	R/W	-
		10	P2OUT2	0	H0	R/W	-
		9	P2OUT1	0	H0	R/W	-
		8	P2OUT0	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5	P2IN5	0	H0	R	-
		4	P2IN4	0	H0	R	-
		3	P2IN3	0	H0	R	-
		2	P2IN2	0	H0	R	-
		1	P2IN1	0	H0	R	-
0	P2IN0	0	H0	R	-		
0x4222	P2IOEN (P2 Port Enable Register)	15-14	-	0x0	-	R	-
		13	P2IEN5	0	H0	R/W	-
		12	P2IEN4	0	H0	R/W	-
		11	P2IEN3	0	H0	R/W	-
		10	P2IEN2	0	H0	R/W	-
		9	P2IEN1	0	H0	R/W	-
		8	P2IEN0	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5	P2OEN5	0	H0	R/W	-
		4	P2OEN4	0	H0	R/W	-
		3	P2OEN3	0	H0	R/W	-
		2	P2OEN2	0	H0	R/W	-
		1	P2OEN1	0	H0	R/W	-
0	P2OEN0	0	H0	R/W	-		

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4224	P2RCTL (P2 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	-
		13	P2PDPU5	0	H0	R/W	-
		12	P2PDPU4	0	H0	R/W	-
		11	P2PDPU3	0	H0	R/W	-
		10	P2PDPU2	0	H0	R/W	-
		9	P2PDPU1	0	H0	R/W	-
		8	P2PDPU0	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5	P2REN5	0	H0	R/W	-
		4	P2REN4	0	H0	R/W	-
		3	P2REN3	0	H0	R/W	-
		2	P2REN2	0	H0	R/W	-
		1	P2REN1	0	H0	R/W	-
0	P2REN0	0	H0	R/W	-		
0x4226	P2INTF (P2 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5	P2IF5	0	H0	R/W	Cleared by writing 1.
		4	P2IF4	0	H0	R/W	
		3	P2IF3	0	H0	R/W	
		2	P2IF2	0	H0	R/W	
		1	P2IF1	0	H0	R/W	
		0	P2IF0	0	H0	R/W	
0x4228	P2INTCTL (P2 Port Interrupt Control Register)	15-14	-	0x0	-	R	-
		13	P2EDGE5	0	H0	R/W	-
		12	P2EDGE4	0	H0	R/W	-
		11	P2EDGE3	0	H0	R/W	-
		10	P2EDGE2	0	H0	R/W	-
		9	P2EDGE1	0	H0	R/W	-
		8	P2EDGE0	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5	P2IE5	0	H0	R/W	-
		4	P2IE4	0	H0	R/W	-
		3	P2IE3	0	H0	R/W	-
		2	P2IE2	0	H0	R/W	-
		1	P2IE1	0	H0	R/W	-
0	P2IE0	0	H0	R/W	-		
0x422a	P2CHATEN (P2 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5	P2CHATEN5	0	H0	R/W	-
		4	P2CHATEN4	0	H0	R/W	-
		3	P2CHATEN3	0	H0	R/W	-
		2	P2CHATEN2	0	H0	R/W	-
		1	P2CHATEN1	0	H0	R/W	-
		0	P2CHATEN0	0	H0	R/W	-
0x422c	P2MODESEL (P2 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5	P2SEL5	0	H0	R/W	-
		4	P2SEL4	0	H0	R/W	-
		3	P2SEL3	0	H0	R/W	-
		2	P2SEL2	0	H0	R/W	-
		1	P2SEL1	0	H0	R/W	-
		0	P2SEL0	0	H0	R/W	-
0x422e	P2FNCSSEL (P2 Port Function Select Register)	15-12	-	0x00	-	R	-
		11-10	P25MUX[1:0]	0x0	H0	R/W	-
		9-8	P24MUX[1:0]	0x0	H0	R/W	-
		7-6	P23MUX[1:0]	0x0	H0	R/W	-
		5-4	P22MUX[1:0]	0x0	H0	R/W	-
		3-2	P21MUX[1:0]	0x0	H0	R/W	-
		1-0	P20MUX[1:0]	0x0	H0	R/W	-

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x42d0	PDDAT (Pd Port Data Register)	15-11	–	0x00	–	R	–
		10	PDOOUT2	0	H0	R/W	–
		9	PDOOUT1	0	H0	R/W	–
		8	PDOOUT0	0	H0	R/W	–
		7-3	–	0x00	–	R	–
		2	–	0	–	R	–
		1	PDIN1	X	H0	R	–
0	PDIN0	X	H0	R	–		
0x42d2	PDIOEN (Pd Port Enable Register)	15-11	–	0x00	–	R	–
		10	(reserved)	0	H0	R/W	–
		9	PDIEN1	0	H0	R/W	–
		8	PDIEN0	0	H0	R/W	–
		7-3	–	0x00	–	R	–
		2	PDOEN2	0	H0	R/W	–
		1	PDOEN1	0	H0	R/W	–
0	PDOEN0	0	H0	R/W	–		
0x42d4	PDRCTL (Pd Port Pull-up/down Control Register)	15-11	–	0x00	–	R	–
		10	(reserved)	0	H0	R/W	–
		9	PDPDPU1	0	H0	R/W	–
		8	PDPDPU0	0	H0	R/W	–
		7-5	–	0x00	–	R	–
		2	(reserved)	0	H0	R/W	–
		1	PDREN1	0	H0	R/W	–
0	PDREN0	0	H0	R/W	–		
0x42dc	PDMODSEL (Pd Port Mode Select Register)	15-8	–	0x00	–	R	–
		7-3	–	0x00	–	R	–
		2	PDSEL2	1	H0	R/W	–
		1	PDSEL1	1	H0	R/W	–
0	PDSEL0	1	H0	R/W	–		
0x42de	PDFNCSEL (Pd Port Function Select Register)	15-8	–	0x00	–	R	–
		7-6	–	0x0	–	R	–
		5-4	PD2MUX[1:0]	0x0	H0	R/W	–
		3-2	PD1MUX[1:0]	0x0	H0	R/W	–
		1-0	PD0MUX[1:0]	0x0	H0	R/W	–
0x42e0	PCLK (P Port Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/WP	–
		7-4	CLKDIV[3:0]	0x0	H0	R/WP	–
		3-2	KRSTCFG[1:0]	0x0	H0	R/WP	–
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	–
0x42e2	PINTFRP (P Port Interrupt Flag Group Register)	15-8	–	0x00	–	R	–
		7-3	–	0x00	–	R	–
		2	P2INT	0	H0	R	–
		1	P1INT	0	H0	R	–
		0	P0INT	0	H0	R	–

0x4300-0x430e**Universal Port Multiplexer (UPMUX)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4300	P0UPMUX0 (P00-01 Universal Port Multiplexer Setting Register)	15-13	P01PPFNC[2:0]	0x0	H0	R/W	–
		12-11	P01PERICH[1:0]	0x0	H0	R/W	–
		10-8	P01PERISEL[2:0]	0x0	H0	R/W	–
		7-5	P00PPFNC[2:0]	0x0	H0	R/W	–
		4-3	P00PERICH[1:0]	0x0	H0	R/W	–
		2-0	P00PERISEL[2:0]	0x0	H0	R/W	–
0x4302	P0UPMUX1 (P02-03 Universal Port Multiplexer Setting Register)	15-13	P03PPFNC[2:0]	0x0	H0	R/W	–
		12-11	P03PERICH[1:0]	0x0	H0	R/W	–
		10-8	P03PERISEL[2:0]	0x0	H0	R/W	–
		7-5	P02PPFNC[2:0]	0x0	H0	R/W	–
		4-3	P02PERICH[1:0]	0x0	H0	R/W	–
		2-0	P02PERISEL[2:0]	0x0	H0	R/W	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4304	P0UPMUX2 (P04–05 Universal Port Multiplexer Setting Register)	15–13	P05PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P05PERICH[1:0]	0x0	H0	R/W	
		10–8	P05PERISEL[2:0]	0x0	H0	R/W	
		7–5	P04PPFNC[2:0]	0x0	H0	R/W	
		4–3	P04PERICH[1:0]	0x0	H0	R/W	
		2–0	P04PERISEL[2:0]	0x0	H0	R/W	
0x4306	P0UPMUX3 (P06–07 Universal Port Multiplexer Setting Register)	15–13	P07PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P07PERICH[1:0]	0x0	H0	R/W	
		10–8	P07PERISEL[2:0]	0x0	H0	R/W	
		7–5	P06PPFNC[2:0]	0x0	H0	R/W	
		4–3	P06PERICH[1:0]	0x0	H0	R/W	
		2–0	P06PERISEL[2:0]	0x0	H0	R/W	
0x4308	P1UPMUX0 (P10–11 Universal Port Multiplexer Setting Register)	15–13	P11PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P11PERICH[1:0]	0x0	H0	R/W	
		10–8	P11PERISEL[2:0]	0x0	H0	R/W	
		7–5	P10PPFNC[2:0]	0x0	H0	R/W	
		4–3	P10PERICH[1:0]	0x0	H0	R/W	
		2–0	P10PERISEL[2:0]	0x0	H0	R/W	
0x430a	P1UPMUX1 (P12–13 Universal Port Multiplexer Setting Register)	15–13	P13PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P13PERICH[1:0]	0x0	H0	R/W	
		10–8	P13PERISEL[2:0]	0x0	H0	R/W	
		7–5	P12PPFNC[2:0]	0x0	H0	R/W	
		4–3	P12PERICH[1:0]	0x0	H0	R/W	
		2–0	P12PERISEL[2:0]	0x0	H0	R/W	
0x430c	P1UPMUX2 (P14–15 Universal Port Multiplexer Setting Register)	15–13	P15PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P15PERICH[1:0]	0x0	H0	R/W	
		10–8	P15PERISEL[2:0]	0x0	H0	R/W	
		7–5	P14PPFNC[2:0]	0x0	H0	R/W	
		4–3	P14PERICH[1:0]	0x0	H0	R/W	
		2–0	P14PERISEL[2:0]	0x0	H0	R/W	
0x430e	P1UPMUX3 (P16–17 Universal Port Multiplexer Setting Register)	15–13	P17PPFNC[2:0]	0x0	H0	R/W	–
		12–11	P17PERICH[1:0]	0x0	H0	R/W	
		10–8	P17PERISEL[2:0]	0x0	H0	R/W	
		7–5	P16PPFNC[2:0]	0x0	H0	R/W	
		4–3	P16PERICH[1:0]	0x0	H0	R/W	
		2–0	P16PERISEL[2:0]	0x0	H0	R/W	

0x4380–0x4390

UART (UART3) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4380	UA0CLK (UART3 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4382	UA0MOD (UART3 Ch.0 Mode Register)	15–13	–	0x0	–	R	–
		12	PECAR	0	H0	R/W	
		11	CAREN	0	H0	R/W	
		10	BRDIV	0	H0	R/W	
		9	INVRX	0	H0	R/W	
		8	INVTX	0	H0	R/W	
		7	–	0	–	R	
		6	PUEN	0	H0	R/W	
		5	OUTMD	0	H0	R/W	
		4	IRMD	0	H0	R/W	
		3	CHLN	0	H0	R/W	
		2	PREN	0	H0	R/W	
		1	PRMD	0	H0	R/W	
0	STPB	0	H0	R/W			
0x4384	UA0BR (UART3 Ch.0 Baud-Rate Register)	15–12	–	0x0	–	R	–
		11–8	FMD[3:0]	0x0	H0	R/W	
		7–0	BRT[7:0]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4386	UA0CTL (UART3 Ch.0 Control Register)	15–8	–	0x00	–	R	–	
		7–2	–	0x00	–	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x4388	UA0TXD (UART3 Ch.0 Trans- mit Data Register)	15–8	–	0x00	–	R	–	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x438a	UA0RXD (UART3 Ch.0 Receive Data Register)	15–8	–	0x00	–	R	–	
		7–0	RXD[7:0]	0x00	H0	R		
0x438c	UA0INTF (UART3 Ch.0 Status and Interrupt Flag Register)	15–10	–	0x00	–	R	–	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	–	0	–	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UA0RXD register.
		4	PEIF	0	H0/S0	R/W		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UA0RXD register.
1	RB1FIF	0	H0/S0	R				
0	TBEIF	1	H0/S0	R	Cleared by writing to the UA0TXD register.			
0x438e	UA0INTE (UART3 Ch.0 Inter- rupt Enable Register)	15–8	–	0x00	–	R	–	
		7	–	0	–	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
0	TBEIE	0	H0	R/W				
0x4390	UA0CAWF (UART3 Ch.0 Carrier Waveform Register)	15–8	–	0x00	–	R	–	
		7–0	CRPER[7:0]	0x00	H0	R/W		

0x43a0-0x43ac**16-bit Timer (T16) Ch.1**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43a0	T16_1CLK (T16 Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x43a2	T16_1MOD (T16 Ch.1 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x43a4	T16_1CTL (T16 Ch.1 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x43a6	T16_1TR (T16 Ch.1 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x43a8	T16_1TC (T16 Ch.1 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x43aa	T16_1INTF (T16 Ch.1 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43ac	T16_1INTE (T16 Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x43b0-0x43ba Synchronous Serial Interface (SPIA) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x43b0	SPI0MOD (SPIA Ch.0 Mode Register)	15-12	-	0x0	-	R	-	
		11-8	CHLN[3:0]	0x7	H0	R/W		
		7-6	-	0x0	-	R		
		5	PUEN	0	H0	R/W		
		4	NOCLKDIV	0	H0	R/W		
		3	LSBFST	0	H0	R/W		
		2	CPHA	0	H0	R/W		
		1	CPOL	0	H0	R/W		
0x43b2	SPI0CTL (SPIA Ch.0 Control Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x43b4	SPI0TXD (SPIA Ch.0 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-	
0x43b6	SPI0RXD (SPIA Ch.0 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-	
0x43b8	SPI0INTF (SPIA Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7	BSY	0	H0	R		
		6-4	-	0x0	-	R		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W		
		1	RBFIF	0	H0/S0	R		Cleared by reading the SPI0RXD register.
0x43ba	SPI0INTE (SPIA Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-4	-	0x0	-	R		
		3	OEIE	0	H0	R/W		
		2	TENDIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		

0x43c0-0x43d2 I²C (I2C) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43c0	I2C0CLK (I2C Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x43c2	I2C0MOD (I2C Ch.0 Mode Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2	OADR10	0	H0	R/W	
		1	GCEN	0	H0	R/W	
0x43c4	I2C0BR (I2C Ch.0 Baud-Rate Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	BRT[6:0]	0x7f	H0	R/W	
0x43c8	I2C0OADR (I2C Ch.0 Own Address Register)	15-10	-	0x00	-	R	-
		9-0	OADR[9:0]	0x000	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43ca	I2C0CTL (I2C Ch.0 Control Register)	15–8	–	0x00	–	R	–
		7–6	–	0x0	–	R	
		5	MST	0	H0	R/W	
		4	TXNACK	0	H0/S0	R/W	
		3	TXSTOP	0	H0/S0	R/W	
		2	TXSTART	0	H0/S0	R/W	
		1	SFTRST	0	H0	R/W	
0x43cc	I2C0TXD (I2C Ch.0 Transmit Data Register)	15–8	–	0x00	–	R	–
		7–0	TXD[7:0]	0x00	H0	R/W	
0x43ce	I2C0RXD (I2C Ch.0 Receive Data Register)	15–8	–	0x00	–	R	–
		7–0	RXD[7:0]	0x00	H0	R	
0x43d0	I2C0INTF (I2C Ch.0 Status and Interrupt Flag Register)	15–13	–	0x0	–	R	–
		12	SDALLOW	0	H0	R	
		11	SCLLOW	0	H0	R	
		10	BSY	0	H0/S0	R	
		9	TR	0	H0	R	
		8	–	0	–	R	
		7	BYTEENDIF	0	H0/S0	R/W	
		6	GCIF	0	H0/S0	R/W	
		5	NACKIF	0	H0/S0	R/W	
		4	STOPIF	0	H0/S0	R/W	
		3	STARTIF	0	H0/S0	R/W	
		2	ERRIF	0	H0/S0	R/W	
		1	RBFIF	0	H0/S0	R	
0x43d2	I2C0INTE (I2C Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7	BYTEENDIE	0	H0	R/W	
		6	GCIE	0	H0	R/W	
		5	NACKIE	0	H0	R/W	
		4	STOPIE	0	H0	R/W	
		3	STARTIE	0	H0	R/W	
		2	ERRIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
0	TBEIE	0	H0	R/W			
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C0TXD register.		

0x5000-0x501a

16-bit PWM Timer (T16B) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5000	T16B0CLK (T16B Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2–0	CLKSRC[2:0]	0x0	H0	R/W	
0x5002	T16B0CTL (T16B Ch.0 Counter Control Register)	15–9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7–6	–	0x0	–	R	
		5–4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5004	T16B0MC (T16B Ch.0 Max Counter Data Register)	15–0	MC[15:0]	0xffff	H0	R/W	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5006	T16B0TC (T16B Ch.0 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	-	
0x5008	T16B0CS (T16B Ch.0 Counter Status Register)	15-8	-	0x00	-	R	-	
		7-4	-	0x0	-	R		
		3	CAP11	0	H0	R		
		2	CAP10	0	H0	R		
		1	UP_DOWN	1	H0	R		
		0	BSY	0	H0	R		
0x500a	T16B0INTF (T16B Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7-6	-	0x0	-	R		
		5	CAPOW1IF	0	H0	R/W		Cleared by writing 1.
		4	CMPCAP1IF	0	H0	R/W		
		3	CAPOW0IF	0	H0	R/W		
		2	CMPCAP0IF	0	H0	R/W		
		1	CNTMAXIF	0	H0	R/W		
		0	CNTZEROIF	0	H0	R/W		
0x500c	T16B0INTE (T16B Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-6	-	0x0	-	R		
		5	CAPOW1IE	0	H0	R/W		
		4	CMPCAP1IE	0	H0	R/W		
		3	CAPOW0IE	0	H0	R/W		
		2	CMPCAP0IE	0	H0	R/W		
		1	CNTMAXIE	0	H0	R/W		
		0	CNTZEROIE	0	H0	R/W		
0x5010	T16B0CCCTL0 (T16B Ch.0 Compare/ Capture 0 Control Register)	15	SCS	0	H0	R/W	-	
		14-12	CBUFMD[2:0]	0x0	H0	R/W		
		11-10	CAPIS[1:0]	0x0	H0	R/W		
		9-8	CAPTRG[1:0]	0x0	H0	R/W		
		7	-	0	-	R		
		6	TOUTMT	0	H0	R/W		
		5	TOUTO	0	H0	R/W		
		4-2	TOUTMD[2:0]	0x0	H0	R/W		
		1	TOUTINV	0	H0	R/W		
		0	CCMD	0	H0	R/W		
0x5012	T16B0CCR0 (T16B Ch.0 Compare/ Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-	
0x5018	T16B0CCCTL1 (T16B Ch.0 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-	
		14-12	CBUFMD[2:0]	0x0	H0	R/W		
		11-10	CAPIS[1:0]	0x0	H0	R/W		
		9-8	CAPTRG[1:0]	0x0	H0	R/W		
		7	-	0	-	R		
		6	TOUTMT	0	H0	R/W		
		5	TOUTO	0	H0	R/W		
		4-2	TOUTMD[2:0]	0x0	H0	R/W		
		1	TOUTINV	0	H0	R/W		
		0	CCMD	0	H0	R/W		
0x501a	T16B0CCR1 (T16B Ch.0 Compare/ Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-	

0x5040-0x505a

16-bit PWM Timer (T16B) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5040	T16B1CLK (T16B Ch.1 Clock Control Register)	15-9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2-0	CLKSRC[2:0]	0x0	H0	R/W	
0x5042	T16B1CTL (T16B Ch.1 Counter Control Register)	15-9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7-6	–	0x0	–	R	
		5-4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5044	T16B1MC (T16B Ch.1 Max Counter Data Register)	15-0	MC[15:0]	0xffff	H0	R/W	–
0x5046	T16B1TC (T16B Ch.1 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	–
0x5048	T16B1CS (T16B Ch.1 Counter Status Register)	15-8	–	0x00	–	R	–
		7-4	–	0x0	–	R	
		3	CAP11	0	H0	R	
		2	CAP10	0	H0	R	
		1	UP_DOWN	1	H0	R	
		0	BSY	0	H0	R	
0x504a	T16B1INTF (T16B Ch.1 Interrupt Flag Register)	15-8	–	0x00	–	R	–
		7-6	–	0x0	–	R	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		1	CNTMAXIF	0	H0	R/W	
		0	CNTZEROIF	0	H0	R/W	
0x504c	T16B1INTE (T16B Ch.1 Interrupt Enable Register)	15-8	–	0x00	–	R	–
		7-6	–	0x0	–	R	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		1	CNTMAXIE	0	H0	R/W	
		0	CNTZEROIE	0	H0	R/W	
0x5050	T16B1CCCTL0 (T16B Ch.1 Compare/ Capture 0 Control Register)	15	SCS	0	H0	R/W	–
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	–	0	–	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x5052	T16B1CCR0 (T16B Ch.1 Compare/ Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5058	T16B1CCCTL1 (T16B Ch.1 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x505a	T16B1CCR1 (T16B Ch.1 Compare/ Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-

0x5260-0x526c

16-bit Timer (T16) Ch.2

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5260	T16_2CLK (T16 Ch.2 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5262	T16_2MOD (T16 Ch.2 Mode Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x5264	T16_2CTL (T16 Ch.2 Control Register)	15-9	-	0x00	-	R	-
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5266	T16_2TR (T16 Ch.2 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
0x5268	T16_2TC (T16 Ch.2 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	-
0x526a	T16_2INTF (T16 Ch.2 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x526c	T16_2INTE (T16 Ch.2 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x5300-0x530a

Sound Generator (SNDA2)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5300	SNDCLK (SNDA2 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5302	SNDSEL (SNDA2 Select Register)	15-12	-	0x0	-	R	-
		11-8	STIM[3:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2	SINV	0	H0	R/W	
		1-0	MOSEL[1:0]	0x0	H0	R/W	
0x5304	SNDCTL (SNDA2 Control Register)	15-9	-	0x00	-	R	-
		8	SSTP	0	H0	R/W	
		7-1	-	0x00	-	R	
		0	MODEN	0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5306	SNDDAT (SNDA2 Data Register)	15	MDTI	0	H0	R/W	-
		14	MDRS	0	H0	R/W	
		13-8	SLEN[5:0]	0x00	H0	R/W	
		7-0	SFRQ[7:0]	0xff	H0	R/W	
0x5308	SNDINTF (SNDA2 Interrupt Flag Register)	15-9	-	0x00	-	R	-
		8	SBSY	0	H0	R	
		7-2	-	0x00	-	R	
		1	EMIF	1	H0	R	Cleared by writing to the SNDDAT register.
		0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDDAT register.
0x530a	SNDINTE (SNDA2 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	EMIE	0	H0	R/W	
		0	EDIE	0	H0	R/W	

0x5340-0x5342**Charge Pump Regulator (CHREG)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5340	CHREGCONF (CHREG configuration Register)	15-0	-	0x0030	-	R/W	Do not change the value.
0x5342	CHREGCTL (CHREG Control Register)	15-9	-	-	-	R	-
		8	BSTONBSY	0	H0	R	
		7-1	-	-	-	R	
		0	BSTON	0x0	H0	R/W	

0x5400-0x5412**LCD Driver (LCD4B)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5400	LCD4CLK (LCD4B Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5402	LCD4CTL (LCD4B Control Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	LCDDIS	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5404	LCD4TIM1 (LCD4B Timing Control Register 1)	15-12	-	0x0	-	R	-
		11-8	FRMCNT[3:0]	0x3	H0	R/W	
		7-6	-	0x0	-	R	
		5	-	0	-	R	
		4-2	-	0x0	-	R	
		1-0	LDUTY[1:0]	0x3	H0	R/W	
0x5406	LCD4TIM2 (LCD4B Timing Control Register 2)	15-10	-	0x00	-	R	-
		9-8	BSTC[1:0]	0x1	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	NLINE[1:0]	0x0	H0	R/W	
0x5408	LCD4PWR (LCD4B Power Control Register)	15	EXVSEL	1	H0	R/W	-
		14-13	RESISEL[1:0]	0x0	H0	R/W	
		12-8	LC[4:0]	0x0	H0	R/W	
		7-5	-	0x0	-	R	
		4	BSTEN	0	H0	R/W	
		3	-	0	-	R	
		2	HVLD	0	H0	R/W	
		1	VCSEL	0	H0	R/W	
		0	VCEN	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x540a	LCD4DSP (LCD4B Display Control Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6	SEGREV	1	H0	R/W	
		5	COMREV	1	H0	R/W	
		4	DSPREV	1	H0	R/W	
		3	-	0	-	R	
		2	DSPAR	0	H0	R/W	
		1-0	DSPC[1:0]	0x0	H0	R/W	
0x540c	LCD4COMC0 (LCD4B COM Pin Control Register 0)	15-8	-	0x00	-	R	-
		3	COM3DEN	1	H0	R/W	
		2	COM2DEN	1	H0	R/W	
		1	COM1DEN	1	H0	R/W	
		0	COM0DEN	1	H0	R/W	
0x5410	LCD4INTF (LCD4B Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	FRMIF	0	H0	R/W	
0x5412	LCD4INTE (LCD4B Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	FRMIE	0	H0	R/W	

0x5440-0x5450

R/F Converter (RFC2) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5440	RFC0CLK (RFC2 Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5442	RFC0CTL (RFC2 Ch.0 Control Register)	15-9	-	0x00	-	R	-
		8	RFCLKMD	0	H0	R/W	
		7	CONEN	0	H0	R/W	
		6	EVTEN	0	H0	R/W	
		5-4	SMODE	0x0	H0	R/W	
		3-1	-	0x0	-	R	
0x5444	RFC0TRG (RFC2 Ch.0 Oscillation Trigger Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2	SSENB	0	H0	R/W	
		1	SSENA	0	H0	R/W	
		0	SREF	0	H0	R/W	
0x5446	RFC0MCL (RFC2 Ch.0 Measure- ment Counter Low Register)	15-0	MC[15:0]	0x0000	H0	R/W	-
0x5448	RFC0MCH (RFC2 Ch.0 Measure- ment Counter High Register)	15-8	-	0x00	-	R	-
		7-0	MC[23:16]	0x00	H0	R/W	
0x544a	RFC0TCL (RFC2 Ch.0 Time Base Counter Low Register)	15-0	TC[15:0]	0x0000	H0	R/W	-
0x544c	RFC0TCH (RFC2 Ch.0 Time Base Counter High Register)	15-8	-	0x00	-	R	-
		7-0	TC[23:16]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x544e	RFC0INTF (RFC2 Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-5	-	0x0	-	R	
		4	OVTCIF	0	H0	R/W	
		3	OVMCIF	0	H0	R/W	
		2	ESENBIF	0	H0	R/W	
		1	ESENAIF	0	H0	R/W	
		0	EREFIF	0	H0	R/W	
0x5450	RFC0INTE (RFC2 Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-5	-	0x0	-	R	
		4	OVTICIE	0	H0	R/W	
		3	OVMCIE	0	H0	R/W	
		2	ESENBIE	0	H0	R/W	
		1	ESENAIE	0	H0	R/W	
		0	EREFIE	0	H0	R/W	

0xffff90**Debugger (DBG)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0xffff90	DBRAM (Debug RAM Base Register)	31-24	-	0x00	-	R	
		23-0	DBRAM[23:0]	0x00 07c0	H0	R	

Appendix B パワーセーブ

消費電流は CPU 動作モード、動作クロック周波数、動作させる周辺回路、パワージェネレータ動作モード等により大きく変化します。以下に、省電力化のための制御方法をまとめます。

B.1 パワーセーブを考慮した動作状態の設定例

パワーセーブを考慮した代表的な動作状態設定例を表 B.1.1 に示します。

表 B.1.1 代表的な動作状態設定

動作状態設定	消費電流	V _{D1}	OSC1	IOSC/OSC3 /EXOSC	CPU	電気的特性記載 の消費電流
スタンバイ	↑ 低	Economy	OFF	OFF	SLEEP	I _{SLP1}
低速処理			ON		ON	OSC1 RUN
周辺回路動作	Normal	ON		SLEEP or HALT		I _{HALT1}
高速処理				↓ 高		IOSC/OSC3/EXOSC RUN

表 B.1.1 の動作モード設定時、“電気的特性”の消費電流項目と差異がある場合は、以下の項目を確認してください。

パワージェネレータの PWGVD1CTL.REGMODE[1:0]ビット

パワージェネレータの PWGVD1CTL.REGMODE[1:0]ビットを 0x2(ノーマルモード)のまま、SLEEP モードへ遷移した場合、“電気的特性”の SLEEP 時消費電流 I_{SLP} よりも大きな値になります。slp 命令実行前に、PWGVD1CTL.REGMODE[1:0]ビットを 0x3(エコノミーモード)または 0x0(オートマチックモード)に設定してください。

クロックジェネレータの CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPC ビット

クロックジェネレータの CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPC ビットを 0 にすると、slp 命令実行時に発振回路を停止する制御が禁止されます。SLEEP モード時に発振回路を停止させたい場合は、これらのビットを 1 に設定してください。

周辺回路の MODEN ビット

各周辺回路の MODEN ビットを 1 にすると、周辺回路に動作クロックが供給され、動作可能な状態になります。動作が不要な周辺回路は、MODEN ビットを 0 に設定することで、消費電流を抑えることができます。

B.2 その他のパワーセーブ方法

電源電圧検出回路の設定

連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)の場合、電圧を常時検出しているため消費電流は大きくなります。間欠動作モードに設定するか、あるいは必要なときのみ電源電圧検出回路を ON してください。

LCD ドライバの設定

- LCD 定電圧回路を V_{C1} 基準(LCD4PWR.VCSEL ビット = 0)に設定すると、消費電流が増加します。所望の LCD 駆動電圧が得られる場合は、V_{C2} 基準(LCD4PWR.VCSEL ビット = 1)設定を推奨します。
- LCD 用昇圧回路の昇圧用クロック周波数の設定(LCD4TIM2.BSTC[1:0]ビット)で、周波数を低くするほど、消費電流が小さくなります。ただし、負荷特性が悪化します。
- LCD 用定電圧回路を重負荷保護モード(LCD4PWR.HVLD ビット = 1)に設定すると、消費電流が増加します。表示が安定しない場合のみ、重負荷保護モードにしてください。

Appendix C 実装上の注意事項

基板の設計および IC を実装する際の注意事項を以下に示します。

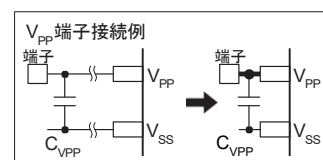
#RESET 端子

ノイズによる動作中のリセットを防ぐため、#RESET 端子に接続するスイッチ、抵抗等の部品は、できるだけ最短で接続してください。

V_{PP} 端子

V_{SS}～V_{PP}間キャパシタ C_{VPP}を接続して、V_{PP}±1 V 以下の変動に抑えてください。

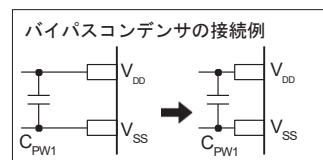
このとき、C_{VPP}は可能な限り V_{PP} 端子の近くに配置し、数十 mA が流せるように十分な太さを持つパターンを用いて配線してください。



電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源から V_{DD} および V_{SS} 端子へはできるだけ短かつ太いパターンで接続してください。
- (2) V_{DD}～V_{SS}のバイパスコンデンサを接続する場合、V_{DD} 端子と V_{SS} 端子をできるだけ最短で接続してください。



信号線の配置

- ・相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振やアナログ計測等のノイズに弱い端子近くには、大電流信号線を配置しないでください。
- ・高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

未使用端子の処理

- (1) 入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタはイニシャル状態にしてください。
- (2) V_{C1~3}、C_{P1~2}、SEGx、COMx 端子
LCD ドライバを使用しない場合、V_{C1~3} 端子はオープンにしてください。C_{P1~2} 端子は汎用入出力に設定してください。制御レジスタはイニシャル状態(表示 Off)にしてください。また、LCD ドライバを使用する場合も含め、結線の必要がない SEGx 端子と COMx 端子は汎用/周辺回路入出力に設定してください。

その他

実装段階においては、機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、IC の GND と半田ごての GND(こて先の電位)を同電位として作業を行ってください。

Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

V_{DD}, V_{SS} 電源のノイズ対策

規定の電圧を下回るようなノイズが入ると、IC が誤動作する場合があります。期待する動作とならない場合は、基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

推奨される基板パターンについては、Appendix 内の“実装上の注意事項”を参照してください。

#RESET 端子のノイズ対策

#RESET 端子にノイズが入ることにより、IC がリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix 内の“実装上の注意事項”を参照してください。

デバッグ端子のノイズ対策

本製品はデバッグ用に ICDmini(S5U1C17001H)を接続するための入出力端子(DCLK、DST2、DSIO)を備えています。デバッグ用入出力機能を有効にした状態でこれらの端子にノイズが入ると、S1C17 コアが DEBUG モードへ移行してしまう可能性があります。外来ノイズによる予期せぬ DEBUG モードへの移行を防ぐため、デバッグの必要がない場合は、初期化ルーチン内で DCLK、DST2、DSIO 端子を汎用入出力ポート端子に切り換えてください。

端子の機能と切り換えの詳細は、“入出力ポート”の章を参照してください。

注: アプリケーション開発中など、デバッグ機能を使用する場合は上記の処理を行わないでください。端子機能を切り換えた時点からデバッグが行えなくなります。アプリケーション開発終了後など、デバッグが不要になってから上記の処理を追加してください。

デバッグ用端子を有効にしておく場合には、DSIO 端子を 10kΩ の抵抗でプルアップすることを推奨します。

割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート”の章を参照してください。

UART 端子のノイズ対策

本製品は非同期通信用に UART を備えています。UART は SINn 端子で LOW レベルの入力を検出すると受信動作を開始するため、外来ノイズによって SINn 端子が LOW になった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。外来ノイズによる UART の誤動作を防ぐために、以下の対策を講じてください。

- ・非同期通信を行っていない間は UART の動作を停止してください。
- ・パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート”の章を、UART の動作制御および受信エラーの詳細は“UART”の章を参照してください。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

```
boot.s
.org      0x8000
.section  .rodata                                     ... (1)
; =====
; Vector table
; =====
;          ; interrupt vector interrupt
;          ; number   offset   source
;
; .long BOOT      ; 0x00    0x00    reset      ... (2
;                                     )
; .long unalign_handler ; 0x01    0x04    unalign
; .long nmi_handler   ; 0x02    0x08    NMI
; .long int03_handler  ; 0x03    0x0c    -
; .long svd5_handler   ; 0x04    0x10    SVD5
; .long pport_handler  ; 0x05    0x14    PPORT
; .long int06_handler  ; 0x06    0x18    -
; .long clg_handler    ; 0x07    0x1c    CLG
; .long int08_handler  ; 0x08    0x20    -
; .long t16_0_handler  ; 0x09    0x24    T16 ch0
; .long uart3_0_handler ; 0x0a    0x28    UART3 ch0
; .long t16_1_handler  ; 0x0b    0x2c    T16 ch1
; .long spia_0_handler ; 0x0c    0x30    SPIA ch0
; .long i2c_handler    ; 0x0d    0x34    I2C
; .long t16b_0_handler ; 0x0e    0x38    T16B ch0
; .long t16b_1_handler ; 0x0f    0x3c    T16B ch1
; .long int10_handler  ; 0x10    0x40    -
; .long t16_2_handler  ; 0x11    0x44    T16 ch2
; .long snda2_handler  ; 0x12    0x48    SNDA2
; .long lcd4b_handler  ; 0x13    0x4c    LCD4B
; .long rfc2_0_handler ; 0x14    0x50    RFC2 ch0
; .long eepromc_handler ; 0x15    0x54    EEPROMC
; .long int16_handler  ; 0x16    0x58    -
; .long int17_handler  ; 0x17    0x5c    -
; .long int18_handler  ; 0x18    0x60    -
; .long int19_handler  ; 0x19    0x64    -
; .long int1a_handler  ; 0x1a    0x68    -
; .long int1b_handler  ; 0x1b    0x6c    -
; .long int1c_handler  ; 0x1c    0x70    -
; .long int1d_handler  ; 0x1d    0x74    -
; .long int1e_handler  ; 0x1e    0x78    -
; .long int1f_handler  ; 0x1f    0x7c    -
; =====
; Program code
; =====
.text                                             ... (3)
.align 1
BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
Xld.a %sp, 0x7c0                                     ... (4)
; ----- Memory controller -----
Xld.a %r2, 0x4000 ; Misc register address
Xld.a %r0, 0x96 ;
ld.b [%r2], %r0 ; Disable system protection

Xld.a %r1, 0x41b0 ; FLASHC register address
; Flash read wait cycle
```

```

Xld.a %r0, 0x00    ; 0x00 = No wait
ld.b  [%r1], %r0  ; [0x41b0] <= 0x00                ... (5)

ld.b  [%r2], %r0  ; Enable system protection
; ===== Main routine =====
...
; =====
; Interrupt handler
; =====
; ----- Address unalign -----
unalign_handler:
...
; ----- NMI -----
nmi_handler:
...

```

- (1) ベクタテーブルを.vector セクションに配置するために.rodata セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
intXX_handler はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは.text セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flash メモリリード時のアクセスサイクル数を設定します。(“メモリ, バス”の章を参照)

改訂履歴表

コード No.	ページ	改訂内容（旧内容を含む） および改訂理由
414766800	全ページ	新規制定
414766801	14-4	<p>14.4.1 初期設定 コンパレータモード時の初期設定 (旧)</p> <p>4. T16BnMC レジスタを設定する。(MAX カウンタデータを設定) 5. T16BnCCR0 レジスタ、T16BnCCR1 レジスタを設定する。(カウンタ比較値を設定) 6. 割り込みを使用する場合は以下のビットを設定する。 - T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア) - T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル) 7. T16BnCTL レジスタの以下のビットを設定する。 - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択) - T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択) - T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット) - T16BnCTL.RUN ビットを 1 に設定 (カウント開始)</p> <p>(新)</p> <p>4. T16BnCTL.MAXBSY ビットが 0 になっていることを確認する。 5. T16BnCCR0 レジスタ、T16BnCCR1 レジスタを設定する。(カウンタ比較値を設定) 6. T16BnMC レジスタを設定する。(MAX カウンタデータを設定) 7. 割り込みを使用する場合は以下のビットを設定する。 - T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア) - T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル) 8. T16BnCTL.MAXBSY ビットおよび T16BnCTL.RUN ビットが 0 になっていることを確認する。 9. T16BnCTL レジスタの以下のビットを設定する。 - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択) - T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択) - T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット) - T16BnCTL.RUN ビットを 1 に設定 (カウント開始)</p> <p>14.4.1 初期設定 キャプチャモード時の初期設定 (旧)</p> <p>4. T16BnMC レジスタを設定する。(MAX カウンタデータを設定) 5. 割り込みを使用する場合は以下のビットを設定する。 - T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア) - T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル) 6. T16BnCTL レジスタの以下のビットを設定する。 - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択) - T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択) - T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット) - T16BnCTL.RUN ビットを 1 に設定 (カウント開始)</p>

		<p>(新)</p> <p>4. <u>T16BnCTL.MAXBSY</u> ビットが 0 になっていることを確認する。</p> <p>5. <u>T16BnMC</u> レジスタを設定する。(MAX カウンタデータを設定)</p> <p>6. <u>割り込みを使用する場合は以下のビットを設定する。</u></p> <ul style="list-style-type: none">- T16BnINTF レジスタの割り込みフラグに 1 を書き込み (割り込みフラグをクリア)- T16BnINTE レジスタの割り込みイネーブルビットを 1 に設定 (割り込みイネーブル) <p>7. <u>T16BnCTL.MAXBSY</u> ビットおよび <u>T16BnCTL.RUN</u> ビットが 0 になっていることを確認する。</p> <p>8. <u>T16BnCTL</u> レジスタの以下のビットを設定する。</p> <ul style="list-style-type: none">- T16BnCTL.CNTMD[1:0] ビット (カウントアップ/ダウン動作の選択)- T16BnCTL.ONEST ビット (ワンショット/リピート動作の選択)- T16BnCTL.PRESET ビットを 1 に設定 (カウンタリセット)- T16BnCTL.RUN ビットを 1 に設定 (カウント開始)
--	--	--

セイコーエプソン株式会社

営業本部 MD営業部

東京 〒191-8501 東京都日野市日野 421-8

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

ドキュメントコード : 414766801

2026年03月作成

2026年05月改訂
