

S1C63616

テクニカルマニュアル

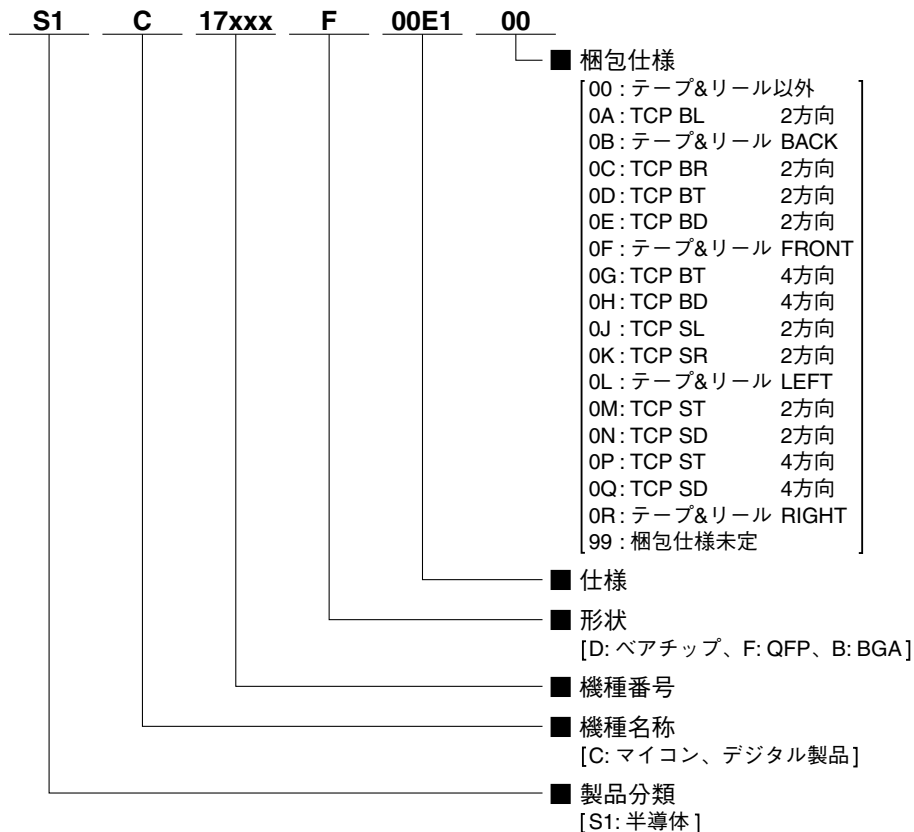
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

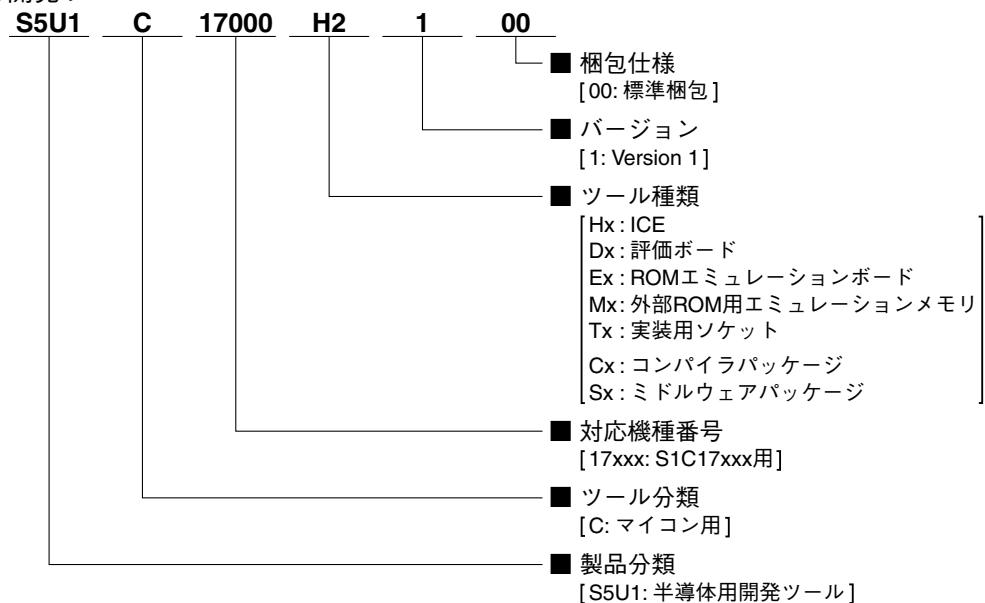
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



－ 目次 －

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	5
1.5	マスクオプション	6
2	電源系およびイニシャルリセット	9
2.1	電源系	9
2.1.1	動作電圧	9
2.1.2	内部電源回路	9
2.2	イニシャルリセット	11
2.2.1	リセット端子(RESET)	11
2.2.2	P1xポート(P10～P13)の同時HIGH入力	12
2.2.3	イニシャルリセット時の内部レジスタ	12
2.2.4	イニシャルリセット時の端子設定	13
2.3	テスト端子(TEST)	13
3	CPU, ROM, RAM	14
3.1	CPU	14
3.2	コードROM	14
3.3	RAM	14
3.4	データROM	15
4	周辺回路と動作	16
4.1	メモリマップ	16
4.2	電源制御	32
4.2.1	電源回路の構成	32
4.2.2	電源電圧昇降圧回路と定電圧回路の制御	33
4.2.3	重負荷保護機能	34
4.2.4	電源制御用I/Oメモリ	34
4.2.5	プログラミング上の注意事項	36
4.3	ウォッチドッグタイマ	37
4.3.1	ウォッチドッグタイマの構成	37
4.3.2	割り込み機能	37
4.3.3	ウォッチドッグタイマのI/Oメモリ	38
4.3.4	プログラミング上の注意事項	38
4.4	発振回路	39
4.4.1	発振回路の構成	39

4.4.2	マスクオプション	39
4.4.3	OSC1発振回路	40
4.4.4	OSC3発振回路	40
4.4.5	CPUクロックの切り換え	41
4.4.6	発振回路のI/Oメモリ	42
4.4.7	プログラミング上の注意事項	43
4.5	入出力兼用ポート (P00 ~ P03, P10 ~ P13, P20 ~ P23, P40 ~ P43)	44
4.5.1	入出力兼用ポートの構成	44
4.5.2	マスクオプション	45
4.5.3	I/O制御レジスタと入力/出力モード	46
4.5.4	入力インタフェースレベル	46
4.5.5	入力モード時のプルダウン	46
4.5.6	特殊出力	47
4.5.7	キー入力割り込み機能	49
4.5.8	入出力兼用ポートのI/Oメモリ	51
4.5.9	プログラミング上の注意事項	61
4.6	LCDドライバ	62
4.6.1	LCDドライバの構成	62
4.6.2	LCD駆動電源	63
4.6.3	LCD表示の制御	65
4.6.4	表示メモリ	69
4.6.5	LCDコントラスト調整	72
4.6.6	LCDドライバのI/Oメモリ	73
4.6.7	プログラミング上の注意事項	78
4.7	計時タイマ	79
4.7.1	計時タイマの構成	79
4.7.2	クロックマネージャの制御	79
4.7.3	データの読み出しとホールド機能	79
4.7.4	割り込み機能	80
4.7.5	計時タイマのI/Oメモリ	81
4.7.6	プログラミング上の注意事項	83
4.8	ストップウォッチタイマ	84
4.8.1	ストップウォッチタイマの構成	84
4.8.2	クロックマネージャの制御	84
4.8.3	カウンタとプリスケアラ	85
4.8.4	キャプチャバッファとホールド機能	85
4.8.5	ストップウォッチタイマのRUN/STOPおよびリセット	86
4.8.6	ダイレクト入力機能とキーマスク	87
4.8.7	割り込み機能	90
4.8.8	ストップウォッチタイマのI/Oメモリ	92
4.8.9	プログラミング上の注意事項	96
4.9	プログラマブルタイマ	97
4.9.1	プログラマブルタイマの構成	97
4.9.2	クロックマネージャの制御	100

4.9.3	カウンタの基本動作	101
4.9.4	イベントカウンタモード(タイマ0、タイマ2、タイマ4、タイマ6)	102
4.9.5	PWMモード(タイマ0～タイマ7)	103
4.9.6	16ビットタイマモード(タイマ0+1、タイマ2+3、タイマ4+5、タイマ6+7)	104
4.9.7	割り込み機能	105
4.9.8	TOUT出力の設定	105
4.9.9	シリアルインタフェース、R/Fコンバータへのクロック出力	106
4.9.10	プログラマブルタイマのI/Oメモリ	107
4.9.11	プログラミング上の注意事項	119
4.10	シリアルインタフェース	121
4.10.1	シリアルインタフェースの構成	121
4.10.2	シリアル入出力端子	121
4.10.3	マスクオプション	122
4.10.4	シリアルインタフェースの動作モード	123
4.10.5	同期クロックの設定	124
4.10.6	データの入出力と割り込み	125
4.10.7	SPI方式のデータ転送	128
4.10.8	シリアルインタフェースのI/Oメモリ	129
4.10.9	プログラミング上の注意事項	134
4.11	サウンドジェネレータ	135
4.11.1	サウンドジェネレータの構成	135
4.11.2	クロックマネージャの制御	135
4.11.3	ブザー出力の制御	135
4.11.4	ブザー周波数と音量の設定	136
4.11.5	デジタルエンベロープ	137
4.11.6	1ショット出力	138
4.11.7	サウンドジェネレータのI/Oメモリ	139
4.11.8	プログラミング上の注意事項	142
4.12	整数乗除算器	143
4.12.1	整数乗除算器の構成	143
4.12.2	クロックマネージャの制御	143
4.12.3	乗算モード	143
4.12.4	除算モード	144
4.12.5	実行サイクル	145
4.12.6	整数乗除算器のI/Oメモリ	146
4.12.7	プログラミング上の注意事項	148
4.13	R/Fコンバータ	149
4.13.1	R/Fコンバータの構成	149
4.13.2	クロックマネージャの制御	150
4.13.3	接続端子とCR発振回路	150
4.13.4	R/F変換	152
4.13.5	割り込み機能	154
4.13.6	連続発振機能	156
4.13.7	R/FコンバータのI/Oメモリ	156

4.13.8 プログラミング上の注意事項	160
4.14 SVD(電源電圧検出)回路	161
4.14.1 SVD回路の構成	161
4.14.2 SVD動作	161
4.14.3 SVD回路のI/Oメモリ	162
4.14.4 プログラミング上の注意事項	162
4.15 割り込みとHALT/SLEEP	163
4.15.1 割り込みの要因	165
4.15.2 割り込みの個別マスク	166
4.15.3 割り込みベクタ	167
4.15.4 割り込みのI/Oメモリ	169
4.15.5 プログラミング上の注意事項	172
5 注意事項のまとめ	173
5.1 低消費電流化のための注意事項	173
5.2 個別機能についての注意事項のまとめ	174
5.3 実装上の注意事項	179
6 基本外部結線図	181
7 電気的特性	182
7.1 絶対最大定格	182
7.2 推奨動作条件	182
7.3 DC特性	183
7.4 アナログ回路特性・消費電流	184
7.5 発振特性	187
7.6 シリアルインタフェースAC特性	188
7.7 タイミングチャート	189
7.8 特性グラフ(参考値)	190
8 パッケージ	201
8.1 プラスチックパッケージ	201
8.2 テストサンプル用セラミックパッケージ	202
9 パッド配置	203
9.1 パッド配置図	203
9.2 パッド座標	204

Appendix A Peripheral Circuit Board for S1C6F632	205
A.1 各部の名称と機能	205
A.1.1 S5U1C63000P6	205
A.1.2 S5U1C6F632P2	208
A.2 ターゲットシステムとの接続	210
A.3 S5U1C63000P6へのダウンロード	214
A.3.1 新ICE(S5U1C63000H2/S5U1C63000H6)使用時における 回路データのダウンロード	214
A.3.2 旧ICE(S5U1C63000H1)使用時における回路データのダウンロード	215
A.4 使用上の注意	216
A.4.1 操作上の注意事項	216
A.4.2 実ICとの相違点	216
A.5 製品の仕様	219
A.5.1 S5U1C63000P6の仕様	219
A.5.2 S5U1C6F632P2の仕様	220
改訂履歴表	221

1 概要

S1C63616は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM(16,384ワード×13ビット)、RAM(2,048ワード×4ビット)、乗除算回路、シリアルインタフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(2系統)、最大1,280ドットのLCDパネルを駆動可能なドットマトリクスLCDドライバ、サーミスタなどのセンサを接続することで温度や湿度を測定可能なR/Fコンバータ等を内蔵したマイクロコンピュータです。低消費電流を特長とし、電池駆動を必要とする温度/湿度計測機能付きのクロックやウォッチへの応用に適しています。

1.1 特長

OSC1発振回路	32.768kHz(Typ.)水晶発振回路
OSC3発振回路	4.2MHz(Max.)セラミック発振回路または1.8MHz(Typ.)CR発振回路(*1)
インストラクションセット	基本命令 47種類(全命令数 411種類)、アドレッシングモード 8種類
インストラクション実行時間..	32.768kHz動作時: 61μsec 122μsec 183μsec 4MHz動作時: 0.5μsec 1μsec 1.5μsec
ROM容量	命令ROM: 16,384ワード×13ビット データROM: 2,048ワード×4ビット
RAM容量	データメモリ: 2,048ワード×4ビット 表示メモリ: 2,048ビット
入出力兼用ポート	16ビット(プルダウン抵抗の付加が可能*1 4ビットをシリアルI/F入出力、4ビットをR/Fコンバータ入出力、3ビットを特殊出力に切り換え可能*2)
シリアルインタフェース	1ポート(クロック同期式8ビット)
LCDドライバ	40セグメント×32コモン、48セグメント×24コモン、 または56セグメント×16コモン(*2)
タイムベースカウンタ	計時タイマ ストップウォッチタイマ(1/1000秒、ダイレクトキー入力機能付き)
プログラマブルタイマ	16ビットタイマ×4ch(各16ビットタイマを2chの8ビットタイマとして使用可能*2)
ウォッチドッグタイマ	内蔵
サウンドジェネレータ	エンベロープ、1ショット出力機能付き
R/Fコンバータ	2ch、CR発振方式、20ビットカウンタ、湿度センサに対応
乗除算回路	8ビット演算器 1ch 乗算: 8ビット×8ビット → (積)16ビット 除算: 16ビット÷8ビット → (商)8ビット、(剰余)8ビット
電源電圧検出(SVD)回路	検出電圧を16種類から選択可能(*2)
外部割り込み	キー入力割り込み 8系統
内部割り込み	計時タイマ割り込み 8系統 ストップウォッチタイマ割り込み 4系統 プログラマブルタイマ割り込み 16系統 シリアルインタフェース割り込み 1系統 R/Fコンバータ割り込み 3系統
電源電圧	1.6V ~ 5.5V
動作温度範囲	-40° C ~ 85° C
消費電流(Typ.)	SLEEP時(32kHz) 0.08μA HALT時(32kHz) 0.6μA 動作時(32kHz) 2.5μA 動作時(4MHz) 320μA
出荷形態	TQFP15-128pinまたはチップ

*1:マスクオプションにより選択 *2:ソフトウェアにより選択

1.2 ブロック図

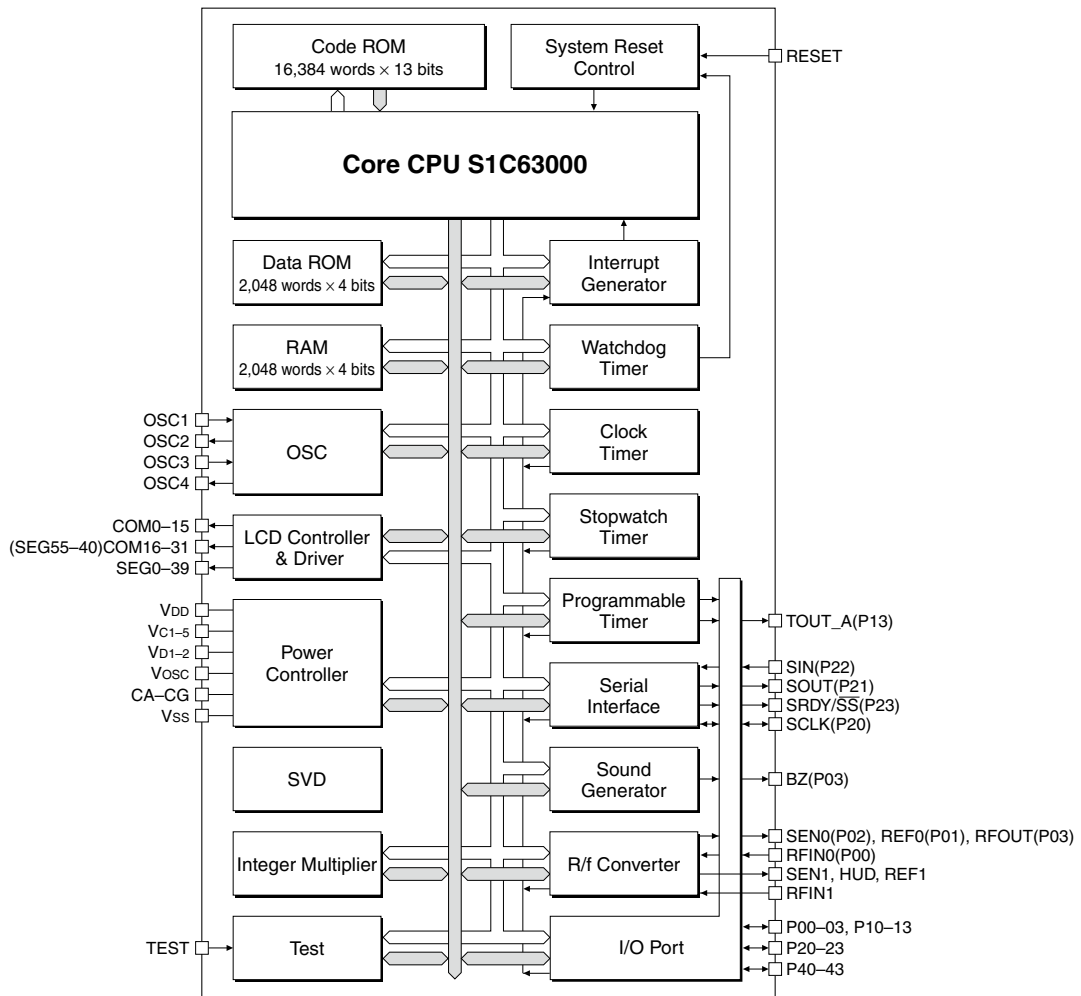


図1.2.1 ブロック図

1.3 端子配置図

TQFP15-128pin (プラスチックパッケージ)

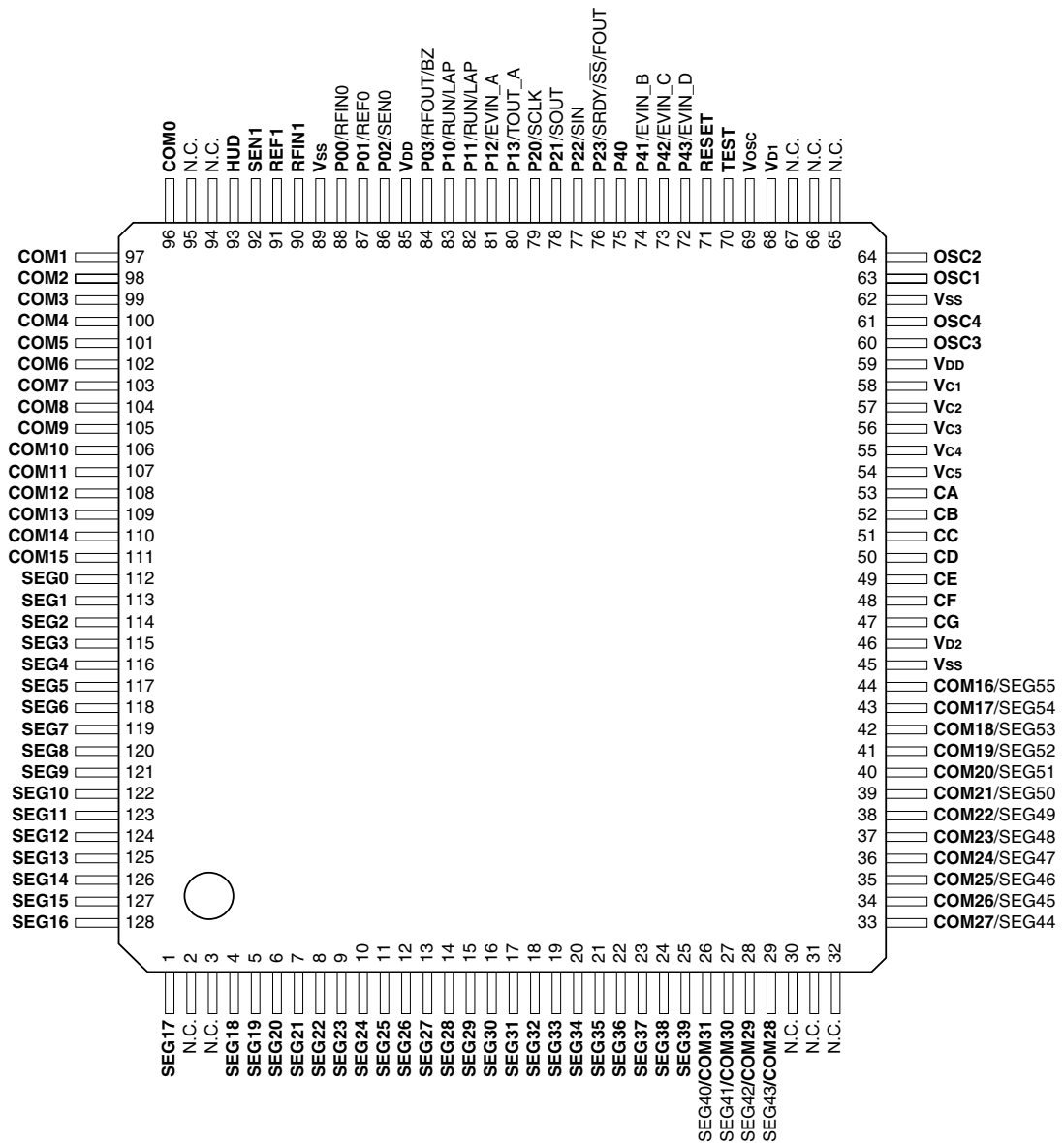


図1.3.1 端子配置図 (TQFP15-128pin)

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.			入出力	機 能
	チップ	TQFP15-128	QFP17-144		
VDD	53, 76	59, 85	67, 96	–	電源(+)端子
VSS	39, 56, 80	45, 62, 89	53, 70, 100	–	電源(-)端子
VD1	59	68	73	–	内部ロジック動作電圧出力端子
VOSC	60	69	75	–	水晶発振回路動作電圧出力端子
VD2	40	46	54	–	電源電圧昇降圧出力端子
VC1~VC5	52~48	58~54	66~62	–	LCD系電源端子
CA~CE	47~43	53~49	61~57	–	LCD系昇圧コンデンサ接続端子
CF, CG	42, 41	48, 47	56, 55	–	電源電圧昇降圧コンデンサ接続端子
OSC1	57	63	71	I	水晶発振入力端子
OSC2	58	64	72	O	水晶発振出力端子
OSC3	54	60	68	I	セラミックまたはCR発振入力端子(マスクオプション 選択)
OSC4	55	61	69	O	セラミックまたはCR発振出力端子(マスクオプション 選択)
P00/RFIN0	79	88	99	I	入出力端子(R/FコンバータCh.0 CR発振入力端子にノット 切り換え)
P01/REF0	78	87	98	I/O	入出力端子(R/FコンバータCh.0基準発振出力端子にノット 切り換え)
P02/SEN0	77	86	97	I/O	入出力端子(R/FコンバータCh.0 CR発振出力端子にノット 切り換え)
P03/RFOUT/BZ	75	84	95	I/O	入出力端子(R/Fコンバータ発振周波数出力端子、サウンド 出力端子にノット 切り換え)
P10/RUN/LAP	74	83	94	I/O	入出力端子(スLEEPウォッチRUN/LAP入力端子にノット 切り換え)
P11/RUN/LAP	73	82	93	I/O	入出力端子(スLEEPウォッチRUN/LAP入力端子にノット 切り換え)
P12/EVIN_A	72	81	92	I/O	入出力端子(イベントカウンタ入力端子にノット 切り換え)
P13/TOUT_A	71	80	91	I/O	入出力端子(プログラマブルタイマ出力端子にノット 切り換え)
P20/SCLK	70	79	90	I/O	入出力端子(シリアルI/Fクロック入出力端子にノット 切り換え)
P21/SOUT	69	78	89	I/O	入出力端子(シリアルI/Fデータ出力端子にノット 切り換え)
P22/SIN	68	77	88	I/O	入出力端子(シリアルI/Fデータ入力端子にノット 切り換え)
P23/SRDY/SS/FOUT	67	76	87	I/O	入出力端子(シリアルI/Fレディ信号出力端子、SS入力端子、FOUTクロック出力端子にノット 切り換え)
P40	66	75	86	I/O	入出力端子
P41/EVIN_B	65	74	85	I/O	入出力端子(イベントカウンタ入力端子にノット 切り換え)
P42/EVIN_C	64	73	84	I/O	入出力端子(イベントカウンタ入力端子にノット 切り換え)
P43/EVIN_D	63	72	83	I/O	入出力端子(イベントカウンタ入力端子にノット 切り換え)
COM0~COM15	85~100	96~111	112~127	O	LCDコモン出力端子
COM16~COM31/SEG55~SEG40	38~23	44~33, 29~26	52~41, 28~25	O	LCDコモン出力端子(セグメント 出力端子にノット 切り換え)
SEG0~SEG39	101~118, 1~22	112~128, 1, 4~25	128~144, 2~24	O	LCDセグメント 出力端子
RFIN1	81	90	103	I	R/FコンバータCh.1 CR発振入力端子
REF1	82	91	105	O	R/FコンバータCh.1基準発振出力端子
SEN1	83	92	106	O	R/FコンバータCh.1 CR発振出力端子
HUD	84	93	107	O	湿度センサ用CR交流発振出力端子
RESET	62	71	82	I	イニシャルリセット 入力端子
TEST	61	70	81	I	テスト 用入力端子

1.5 マスクオプション

S1C63616には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63616の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfogについては"S5U1C63000A Manual"を参照してください。

〈マスクオプションの概要〉

(1) OSC1発振回路

OSC1発振回路は、水晶発振回路に固定されています。詳細については"4.4.3 OSC1発振回路"を参照してください。

(2) OSC3発振回路

OSC3発振回路としてセラミック発振回路またはCR発振回路(R外付け)が選択できます。詳細については"4.4.4 OSC3発振回路"を参照してください。

(3) RESET端子プルダウン抵抗

RESET端子にプルダウン抵抗を付加するか否かを選択できます。詳細については"2.2.1 リセット端子(RESET)"を参照してください。

(4) 入出力兼用ポートプルダウン抵抗

入出力兼用ポートP00～P03、P10～P13、P20～P23、P40～P43が入力モード時に働くプルダウン抵抗を付加するか否かを選択できます。選択は1ビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(5) 入出力兼用ポートの出力仕様

入出力兼用ポートP00～P03、P10～P13、P20～P23、P40～P43が出力モードの際の出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(6) P1xポート同時HIGH入力による外部リセット

これは、複数キーの同時押しによってICをリセットする機能です。この機能を使用するか否かを選択できます。また、使用する場合は、同時に押すキーを接続するP1xポート(P10～P13)の組み合わせを選択します。詳細については"2.2.2 P1xポート(P10～P13)の同時HIGH入力"を参照してください。

(7) P1xポート同時HIGH入力リセットの時間検定回路

(6)の外部リセット機能を使用する場合は、時間検定回路を使用するか否かについても選択できます。時間検定回路を使用すると、規定時間以上の同時HIGH入力があった場合のみ、リセット機能が働きます。外部リセット機能を使用しない場合、時間検定回路は使用できません。詳細については"2.2.2 P1xポート(P10～P13)の同時HIGH入力"を参照してください。

(8) LCD駆動電源

LCD駆動用電源として、1/5バイアス(Vc2基準)、1/4バイアス(Vc2基準)または1/4バイアス(Vc1基準)が選択できます。詳細については"4.6.2 LCD駆動電源"を参照してください。

〈オプションリスト〉

S1C63616のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、システムに合った内容を選択し、☐に印を付けてください。なお、使用しない機能についても必ず選択してください。

1. OSC1発振回路 (OSC1 System Clock)

- ☐ 1. 水晶

2. OSC3発振回路 (OSC3 System Clock)

- ☐ 1. CR(R外付け)
☐ 2. セラミック(4.2MHz)

3. RESET端子プルダウン抵抗 (Reset Port Pull Down Resistor)

RESET ☐ 1. あり ☐ 2. なし

4. I/Oポートプルダウン抵抗 (I/O Port Pull Down Resistor)

P00	☐ 1. あり	☐ 2. なし
P01	☐ 1. あり	☐ 2. なし
P02	☐ 1. あり	☐ 2. なし
P03	☐ 1. あり	☐ 2. なし
P10	☐ 1. あり	☐ 2. なし
P11	☐ 1. あり	☐ 2. なし
P12	☐ 1. あり	☐ 2. なし
P13	☐ 1. あり	☐ 2. なし
P20	☐ 1. あり	☐ 2. なし
P21	☐ 1. あり	☐ 2. なし
P22	☐ 1. あり	☐ 2. なし
P23	☐ 1. あり	☐ 2. なし
P40	☐ 1. あり	☐ 2. なし
P41	☐ 1. あり	☐ 2. なし
P42	☐ 1. あり	☐ 2. なし
P43	☐ 1. あり	☐ 2. なし

5. I/Oポート出力仕様 (I/O Port Output Specification)

P00	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P01	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P02	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P03	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P10	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P11	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P12	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P13	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P20	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P21	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P22	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P23	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P40	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P41	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P42	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン
P43	☐ 1. コンプリメンタリ	☐ 2. Pchオープンドレイン

6. キー同時押しリセット組み合わせ (Multiple Key Entry Reset Combination)

- ☐ 1. 使用しない
- ☐ 2. 使用する <P10, P11>
- ☐ 3. 使用する <P10, P11, P12>
- ☐ 4. 使用する <P10, P11, P12, P13>

7. キー同時押しリセット時間検定 (Multiple Key Entry Reset Time Authorize)

- ☐ 1. 使用しない
- ☐ 2. 使用する

8. LCD駆動電源 (LCD Driving Power)

- ☐ 1. 1/5バイアス, VC2基準
- ☐ 2. 1/4バイアス, VC2基準
- ☐ 3. 1/4バイアス, VC1基準

2 電源系およびイニシャルリセット

2.1 電源系

ここでは、S1C63616の動作電圧、および内部電源回路の構成について説明します。

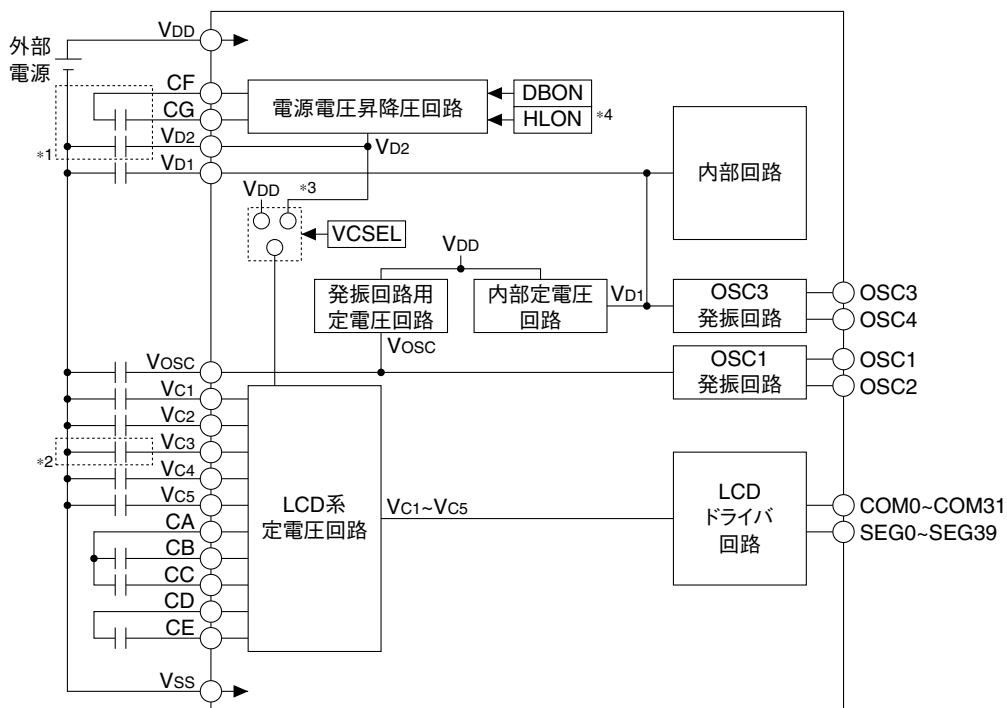
2.1.1 動作電圧

S1C63616の動作電源電圧は次のとおりです。

1.6V ~ 5.5V

2.1.2 内部電源回路

SI63616は図2.1.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧をVDD(+), VSS (GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。



*1 電源電圧昇降圧回路を使用しない場合はオープン

*2 LCD駆動電源が1/5バイアスの場合に接続(1/4バイアスの場合はオープン)

*3 電源電圧昇降圧回路が昇圧動作時にLCD系定電圧回路の電源として選択可能

*4 HLONは使用禁止

図2.1.2.1 電源回路の構成

電源回路は大きく4つに分けられます。

表2.1.2.1 電源回路

回路系	電源回路	出力電圧
内部、発振回路用定電圧回路	電源電圧(VDD)	—
内部回路、OSC3発振回路	内部定電圧回路	V _{D1}
OSC1発振回路	発振回路用定電圧回路	V _{OSC}
LCD系定電圧回路	電源電圧昇降圧回路(昇圧)	VDDまたはV _{D2}
LCDドライバ	LCD系定電圧回路	V _{C1} ～V _{C5}

注: 電源電圧昇降圧回路は昇圧または降圧のどちらか一方の動作が可能です。同時に昇圧および降圧を行うことはできません。

●電源電圧昇降圧回路

S1C63616は、定電圧回路(LCD系定電圧回路)の動作電圧範囲を超える広い電源電圧(V_{DD})範囲に対応しています。電源電圧昇降圧回路は、定電圧回路の動作電圧範囲外の電源電圧V_{DD}を使用する場合に、定電圧回路を駆動するための電圧V_{D2}を発生します。

表2.1.2.2 電源電圧V_{DD}と定電圧回路の動作電圧

電源電圧V _{DD}	LCD系定電圧回路電源
1.6～2.5V	V _{D2} (≒ V _{DD} ×2)
2.5～5.5V	V _{DD}

V_{C2}基準のLCD駆動電源オプションが選択されている場合、LCD系定電圧回路を駆動するには2.5V以上の動作電圧が必要です。したがって、2.5V以上の電源電圧V_{DD}を使用する場合は、LCD系定電圧回路をV_{DD}で駆動します。2.5V未満の電源電圧V_{DD}を使用する場合は、電源電圧昇降圧回路を昇圧モードで動作させて発生したV_{D2}でLCD系定電圧回路を動作させます。昇圧モードでは、V_{D2}の電圧値はV_{DD}のおおよそ2倍の値になります。

電源電圧V_{DD}が2.5V～5.5V(LCDのV_{C1}基準オプション選択時は1.6V～5.5V)の場合はV_{D2}が不要のため、電源電圧昇降圧回路をOFFすることができます。

電源電圧昇降圧回路の制御と、定電圧回路の電源選択はソフトウェアで行います。詳細については、「4.2 電源制御」を参照してください。

●内部定電圧回路

内部定電圧回路は、内部ロジック回路とOSC3発振回路の動作電圧V_{D1}を発生します。

●発振回路用定電圧回路

発振回路用定電圧回路は、OSC1発振回路の動作電圧V_{OSC}を発生します。

発振を安定させ、かつ低消費電力化のため、内部定電圧回路とは別に用意されています。

●LCD系定電圧回路

LCD系定電圧回路はLCD駆動電圧V_{C1}～V_{C5}を発生します。各電圧値については「7 電気的特性」を参照してください。

S1C63616では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

- 注:
- V_{D1}、V_{D2}、V_{OSC}、V_{C1}～V_{C5}端子の出力を外部回路の駆動には絶対に使用しないでください。
 - V_{DD}が2.5V以下のときにLCD系定電圧回路の電源としてV_{DD}を使用すると、V_{C1}～V_{C5}の電圧は正しい電圧とはなりません。(V_{C2}基準選択時)
 - HLONは使用禁止です。常時"0"としてください。

2.2 イニシャルリセット

S1C63616は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

(1) RESET端子による外部イニシャルリセット

(2) P10～P13端子の同時HIGHレベル入力による外部イニシャルリセット(マスクオプションで設定)

(1)または(2)のいずれかにより回路が初期化されます。電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

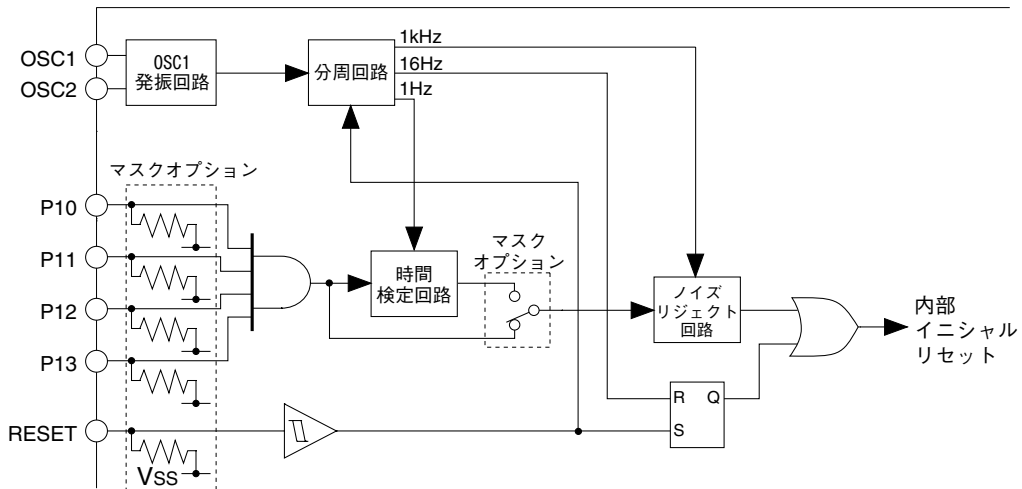


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をHIGHレベル(VDD)にすることによりイニシャルリセットが行えます。その後、リセット端子をLOWレベル(VSS)にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した16Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がLOWレベルになった後、内部イニシャルリセットが解除されるまで、最大 $16,396/f_{OSC1}$ 秒($f_{OSC1} = 32.768\text{kHz}$ の場合は500msec)の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、HIGHレベルを保ってください。ただし、電源投入時については図2.2.1.1に示すタイミングでリセット端子をHIGHレベルにしてください。100nsec以下のリセット入力は、ノイズとして除去されます。

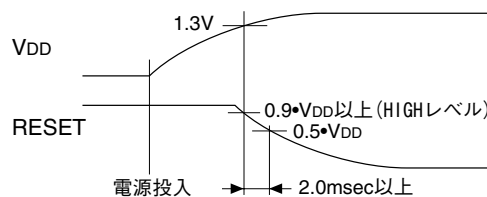


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が1.3V以上になるまで、リセット端子を0.9・VDD以上(HIGHレベル)とします。その後2.0msec以上、0.5・VDD以上のレベルを保持します。

リセット端子にはプルダウン抵抗が組み込まれており、これを使用するかしないかをマスクオプションで選択することができます。

2.2.2 P1xポート (P10 ~ P13)の同時HIGH入力

マスクオプションで選択された入力ポート (P10 ~ P13) に、外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec (発振周波数fOSC1=32.768kHzの場合) 以上、指定入力ポート端子をHIGHレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec (発振周波数fOSC1=32.768kHzの場合) 以上、指定入力ポート端子をHIGHレベルに保ってください。表2.2.2.1にマスクオプションで選択できるP1xポート (P10 ~ P13) の組み合わせを示します。

表2.2.2.1 P1xポートの組み合わせ

1	使用しない
2	P10*P11
3	P10*P11*P12
4	P10*P11*P12*P13

たとえば、マスクオプションで4の"P10*P11*P12*P13"を選択した場合、P10 ~ P13の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。2または3の場合は、選択した入力ポートの組み合わせが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、このリセット機能を選択すると、同時HIGH入力の入力時間を検定し、規定時間 (1 ~ 2秒) 以上の入力があったときにイニシャルリセットを行う時間検定回路を使用するか否かについてもマスクオプションで選択できます。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア			
名 称	記号	ビット長	設定値
データレジスタA	A	4	不定
データレジスタB	B	4	不定
拡張レジスタEXT	EXT	8	不定
インデックスレジスタX	X	16	不定
インデックスレジスタY	Y	16	不定
プログラムカウンタ	PC	16	0110H
スタックポインタSP1	SP1	8	不定
スタックポインタSP2	SP2	8	不定
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定
インタラプトフラグ	I	1	0
拡張フラグ	E	1	0
キューレジスタ	Q	16	不定

周辺回路		
名 称	ビット長	設定値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	—	*

* "4.1 メモリマップ"参照

2.2.4 イニシャルリセット時の端子設定

入出力兼用ポート(P)端子は特殊出力端子や、シリアルインタフェース、R/Fコンバータ、ストップウォッチタイマ、プログラマブルタイマ(イベントカウンタ)の入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力/周辺回路機能使用時(ソフトウェアにて切り換え)							
		特殊出力			シリアルI/F		R/Fコンバータ	SWダイレクト 入力	イベント カウンタ
		TOUT	FOUT	BZ	Master	Slave			
P00	P00(入力&プルダウン*)						RFIN0		
P01	P01(入力&プルダウン*)						REF0		
P02	P02(入力&プルダウン*)						SEN0		
P03	P03(入力&プルダウン*)			BZ			RFOUT		
P10	P10(入力&プルダウン*)							RUN/LAP	
P11	P11(入力&プルダウン*)							RUN/LAP	
P12	P12(入力&プルダウン*)								EVIN_A
P13	P13(入力&プルダウン*)	TOUT_A							
P20	P20(入力&プルダウン*)				SCLK(O)	SCLK(I)			
P21	P21(入力&プルダウン*)				SOUT(O)	SOUT(O)			
P22	P22(入力&プルダウン*)				SIN(I)	SIN(I)			
P23	P23(入力&プルダウン*)		FOUT			SRDY(O)/SS(I)			
P40	P40(入力&プルダウン*)								
P41	P41(入力&プルダウン*)								EVIN_B
P42	P42(入力&プルダウン*)								EVIN_C
P43	P43(入力&プルダウン*)								EVIN_D

* マスクオプションにて"プルダウンあり"選択時("プルダウンなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVssに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63616はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、16,384ワード×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63616では、このうち0000H～3FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスクابل割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0101H～010FHステップに割り当てられています。

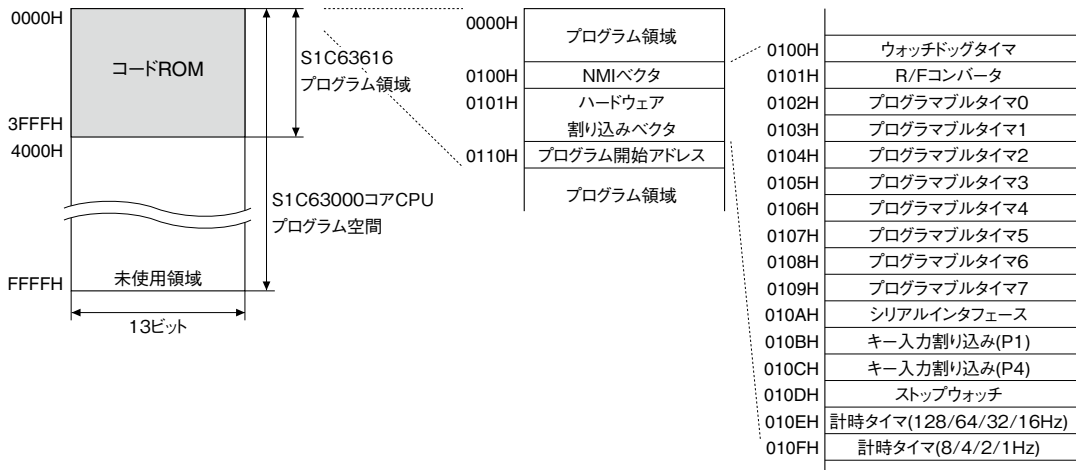


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、2,048ワード×4ビットの容量があります。RAM領域は、データメモリマップ上のアドレス0000H～07FFHに割り当てられています。この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～07FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63616の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらかを再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

- (3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
 割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)、4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

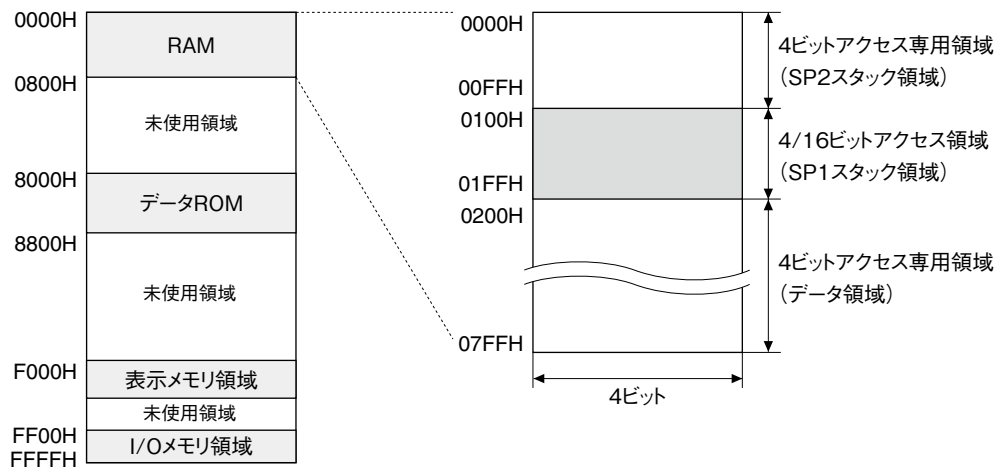


図3.3.1 RAMの構成

3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、2,048ワード×4ビットの容量があります。データメモリマップ上のアドレス8000H～87FFFHに割り当てられており、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

4 周辺回路と動作

S1C63616の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63616のデータメモリは2,048ワードのRAM、2,048ワードのマスクROM、2,048ビットの表示メモリ、170ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63616の全体のメモリマップ、表4.1.1に周辺回路(I/O空間)のメモリマップを示します。

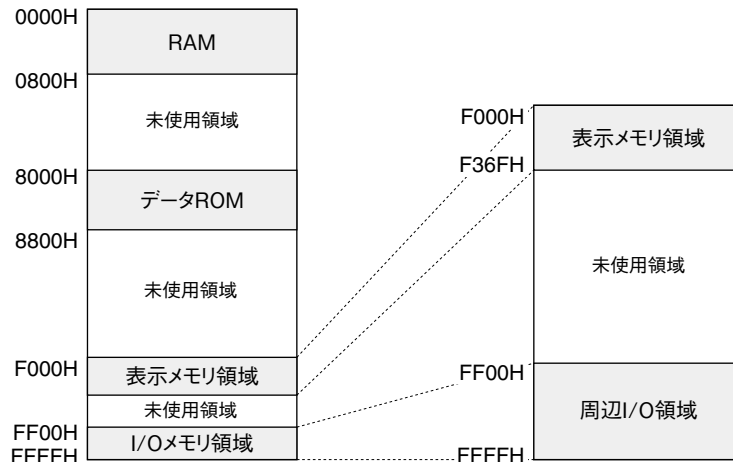


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ (FF00H ~ FF16H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え OSC3発振On/Off 未使用 未使用
					OSCC	0	On	Off	
	R/W		R		0 *3 0 *3	— *2 — *2			
FF01H	0	0	WDEN	WDRST	0 *3 0 *3	— *2 — *2			未使用 未使用 ウォッチドッグタイマイネーブル ウォッチドッグタイマリセット(書き込み時)
					WDEN	1	Enable	Disable	
	R		R/W	W	WDRST *3	Reset	Reset	Invalid	
FF02H	VDSEL	VCSEL	HLON	DBON	VDSEL	0	1	0	汎用レジスタ LCD系定電圧回路電源切り換え 電源電圧昇降圧回路 降圧モードOn/Off 電源電圧昇降圧回路 昇圧モードOn/Off
					VCSEL	0	V _{D2}	V _{DD}	
	R/W				HLON	0	On	Off	
FF03H	VCHLMOD	VDHLMOD	General	LPWR	VCHLMOD	0	On	Off	LCD系定電圧回路重負荷保護モードOn/Off 内部(V _{DI})定電圧回路重負荷保護モードOn/Off 汎用レジスタ LCD系定電圧回路On/Off
					VDHLMOD	0	On	Off	
	R/W				General	0	1	0	
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧 [SVDS3-0] 0 1 2 3 4 5 6 7 電圧(V) 1.6 1.8 1.9 2.0 2.1 2.2 2.3 2.4 [SVDS3-0] 8 9 10 11 12 13 14 15 電圧(V) 2.5 2.6 2.7 2.8 2.9 3.0 3.1 3.2
					SVDS2	0			
	R/W				SVDS1	0			
FF05H	0	0	SVDDT	SVDON	0 *3 0 *3	— *2 — *2			未使用 未使用 SVD検出データ SVD回路On/Off
					SVDDT	0	Low	Normal	
	R		R/W		SVDON	0	On	Off	
FF10H	FOUT3	FOUT2	FOUT1	FOUT0	FOUT3	0			FOUT周波数選択 [FOUT3-0] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [FOUT3-0] 6 7 8 9 10 周波数 fosc1/2 fosc1/256 fosc3/256 fosc3/64 fosc3/32 [FOUT3-0] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					FOUT2	0			
	R/W				FOUT1	0			
FF11H	NRSP11	NRSP10	NRSP01	NRSP00	NRSP11	0			キー入力割り込みノイズリジェクト周波数選択 [NRSP11, 10] (P40~P43) 0 1 2 3 周波数 Off fosc1/16 fosc1/64 fosc1/256 [NRSP01, 00] (P10~P13) 0 1 2 3 周波数 Off fosc1/16 fosc1/64 fosc1/256
					NRSP10	0			
	R/W				NRSP01	0			
FF12H	FLCKS1	FLCKS0	VCCKS1	VCCKS0	FLCKS1	0			フレイム [FLCKS1, 0] 0 1 2 3 周波数選択 周波数 32Hz 24Hz 16Hz 8Hz VC昇圧 [VCCKS1, 0] 0 1 2, 3 周波数選択 周波数 Off 2kHz 禁止
					FLCKS0	0			
	R/W				VCCKS1	0			
FF14H	General	SIFCKS2	SIFCKS1	SIFCKS0	General	0	1	0	汎用レジスタ シリアルI/F [SIFCKS2-0] 0 1 2 3 クロック 周波数 Off/外部 fosc1 fosc1/2 fosc1/4 周波数選択 [SIFCKS2-0] 4 5 6 7 周波数 PT1 fosc3 fosc3/2 fosc3/4
					SIFCKS2	0			
	R/W				SIFCKS1	0			
FF15H	General	RFCKS2	RFCKS1	RFCKS0	General	0	1	0	汎用レジスタ R/Fコンバータ [RFCKS2-0] 0 1 2 3 クロック 周波数 Off fosc1 fosc1/2 fosc1/4 周波数選択 [RFCKS2-0] 4 5 6 7 周波数 PT1 fosc3 fosc3/2 fosc3/4
					RFCKS2	0			
	R/W				RFCKS1	0			
FF16H	MDCKE	SGCKE	SWCKE	RTCKE	MDCKE	0	Enable	Disable	整数乗除算器クロックイネーブル サウンドジェネレータクロックイネーブル ストップウォッチタイマクロックイネーブル 計時タイマクロックイネーブル
					SGCKE	0	Enable	Disable	
	R/W				SWCKE	0	Enable	Disable	
					RTCKE	0	Enable	Disable	

[注 釈]

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.1.1 (b) I/Oメモリマップ(FF18H ~ FF20H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF18H	PTPS03	PTPS02	PTPS01	PTPS00	PTPS03	0			プログラマブルタイム0カウントクロック周波数選択 [PTPS03~00] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS03~00] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS03~00] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS02	0			
	R/W				PTPS01	0			
					PTPS00	0			
FF19H	PTPS13	PTPS12	PTPS11	PTPS10	PTPS13	0			プログラマブルタイム1カウントクロック周波数選択 [PTPS13~10] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS13~10] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS13~10] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS12	0			
	R/W				PTPS11	0			
					PTPS10	0			
FF1AH	PTPS23	PTPS22	PTPS21	PTPS20	PTPS23	0			プログラマブルタイム2カウントクロック周波数選択 [PTPS23~20] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS23~20] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS23~20] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS22	0			
	R/W				PTPS21	0			
					PTPS20	0			
FF1BH	PTPS33	PTPS32	PTPS31	PTPS30	PTPS33	0			プログラマブルタイム3カウントクロック周波数選択 [PTPS33~30] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS33~30] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS33~30] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS32	0			
	R/W				PTPS31	0			
					PTPS30	0			
FF1CH	PTPS43	PTPS42	PTPS41	PTPS40	PTPS43	0			プログラマブルタイム4カウントクロック周波数選択 [PTPS43~40] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS43~40] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS43~40] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS42	0			
	R/W				PTPS41	0			
					PTPS40	0			
FF1DH	PTPS53	PTPS52	PTPS51	PTPS50	PTPS53	0			プログラマブルタイム5カウントクロック周波数選択 [PTPS53~50] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS53~50] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS53~50] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS52	0			
	R/W				PTPS51	0			
					PTPS50	0			
FF1EH	PTPS63	PTPS62	PTPS61	PTPS60	PTPS63	0			プログラマブルタイム6カウントクロック周波数選択 [PTPS63~60] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS63~60] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS63~60] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS62	0			
	R/W				PTPS61	0			
					PTPS60	0			
FF1FH	PTPS73	PTPS72	PTPS71	PTPS70	PTPS73	0			プログラマブルタイム7カウントクロック周波数選択 [PTPS73~70] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS73~70] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS73~70] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					PTPS72	0			
	R/W				PTPS71	0			
					PTPS70	0			
FF20H	P03 (RFOUT/ BZ)	P02 (SEN0)	P01 (REF0)	P00 (RFIN0)	P03	1	High	Low	P03入出力兼用ポートデータ R/F選択時、BZ出力時は汎用レジスタとして機能 P02入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能 P01入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能 P00入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能
					P02	1	High	Low	
	R/W				P01	1	High	Low	
					P00	1	High	Low	

表4.1.1 (c) I/Oメモリマップ(FF21H ~ FF28H)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF21H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P03 I/O制御レジスタ R/F選択時、BZ出力時は汎用レジスタとして機能
					IOC02	0	Output	Input	P02 I/O制御レジスタ R/F選択時、汎用レジスタとして機能
	R/W				IOC01	0	Output	Input	P01 I/O制御レジスタ R/F選択時、汎用レジスタとして機能
					IOC00	0	Output	Input	P00 I/O制御レジスタ R/F選択時、汎用レジスタとして機能
FF22H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P03プルダウン制御レジスタ R/F選択時、BZ出力時は汎用レジスタとして機能
					PUL02	1	On	Off	P02プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能
	R/W				PUL01	1	On	Off	P01プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能
					PUL00	1	On	Off	P00プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能
FF23H	SMT03	SMT02	SMT01	SMT00	SMT03	1	1	0	汎用レジスタ
	R/W				SMT02	1	1	0	汎用レジスタ
					SMT01	1	1	0	汎用レジスタ
					SMT00	1	1	0	汎用レジスタ
FF24H	P13 (TOUT_A)	P12	P11	P10	P13	1	High	Low	P13入出力兼用ポートデータ TOUT_A出力時は汎用レジスタとして機能
					P12	1	High	Low	P12入出力兼用ポートデータ
	R/W				P11	1	High	Low	P11入出力兼用ポートデータ
					P10	1	High	Low	P10入出力兼用ポートデータ
FF25H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ TOUT_A出力時は汎用レジスタとして機能
					IOC12	0	Output	Input	P12 I/O制御レジスタ
	R/W				IOC11	0	Output	Input	P11 I/O制御レジスタ
					IOC10	0	Output	Input	P10 I/O制御レジスタ
FF26H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルダウン制御レジスタ TOUT_A出力時は汎用レジスタとして機能
					PUL12	1	On	Off	P12プルダウン制御レジスタ
	R/W				PUL11	1	On	Off	P11プルダウン制御レジスタ
					PUL10	1	On	Off	P10プルダウン制御レジスタ
FF27H	SMT13	SMT12	SMT11	SMT10	SMT13	1	Schmitt	CMOS	P13入力インタフェースレベル選択レジスタ TOUT_A出力時は汎用レジスタとして機能
	R/W				SMT12	1	Schmitt	CMOS	P12入力インタフェースレベル選択レジスタ
					SMT11	1	Schmitt	CMOS	P11入力インタフェースレベル選択レジスタ
					SMT10	1	Schmitt	CMOS	P10入力インタフェースレベル選択レジスタ
FF28H	P23 (SS/ SRDY/ FOUT)	P22 (SIN)	P21 (SOUT)	P20 (SCLK)	P23	1	High	Low	P23入出力兼用ポートデータ SIF(スレープ, SRDY端子)選択時、FOUT出力時は汎用 レジスタとして機能
					P22	1	High	Low	P22入出力兼用ポートデータ
	R/W				P21	1	High	Low	P21入出力兼用ポートデータ SIF選択時、汎用レジスタとして機能
					P20	1	High	Low	P20入出力兼用ポートデータ SIF(マスタ)選択時、汎用レジスタとして機能

表4.1.1 (d) I/Oメモリマップ(FF29H ~ FF2BH)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF29H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ SIF選択時、FOUT出力時は汎用レジスタとして機能
					IOC22	0	Output	Input	P22 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
	R/W				IOC21	0	Output	Input	P21 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
					IOC20	0	Output	Input	P20 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
FF2AH	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23プルダウン制御レジスタ SIF(スレープ、SS端子)選択時、SSプルダウン制御レジスタ SIF(スレープ、SRDY端子)選択時、FOUT出力時は汎用レジスタとして機能
					PUL22	1	On	Off	P22プルダウン制御レジスタ SIF選択時、SINプルダウン制御レジスタ
	R/W				PUL21	1	On	Off	P21プルダウン制御レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能
					PUL20	1	On	Off	P20プルダウン制御レジスタ SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)プルダウン制御レジスタ
FF2BH	SMT23	SMT22	SMT21	SMT20	SMT23	1	Schmitt	CMOS	P23入力インタフェースレベル選択レジスタ SIF(スレープ、SS端子)選択時、SS入力インタフェースレベル選択レジスタ SIF(スレープ、SRDY端子)選択時、FOUT出力時は汎用レジスタとして機能
					SMT22	1	Schmitt	CMOS	P22入力インタフェースレベル選択レジスタ SIF選択時、SIN入力インタフェースレベル選択レジスタ
	R/W				SMT21	1	Schmitt	CMOS	P21入力インタフェースレベル選択レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能
					SMT20	1	Schmitt	CMOS	P20入力インタフェースレベル選択レジスタ SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)入力インタフェースレベル選択レジスタ

表4.1.1 (e) I/Oメモリマップ(FF30H ~ FF41H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF30H	P43	P42	P41	P40	P43	1	High	Low	P40～P43入出力兼用ポートデータ
					P42	1	High	Low	
					P41	1	High	Low	
					P40	1	High	Low	
FF31H	R/W								P40～P43 I/O制御レジスタ
	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	
					IOC42	0	Output	Input	
					IOC41	0	Output	Input	
FF32H	R/W								P40～P43プルダウン制御レジスタ
	PUL43	PUL42	PUL41	PUL40	PUL43	1	On	Off	
					PUL42	1	On	Off	
					PUL41	1	On	Off	
FF33H	R/W								P40～P43入力インタフェースレベル選択レジスタ
	SMT43	SMT42	SMT41	SMT40	SMT43	1	Schmitt	CMOS	
					SMT42	1	Schmitt	CMOS	
					SMT41	1	Schmitt	CMOS	
FF3CH	R/W								P10～P13割り込み選択レジスタ
	SIP03	SIP02	SIP01	SIP00	SIP03	0	Enable	Disable	
					SIP02	0	Enable	Disable	
					SIP01	0	Enable	Disable	
FF3DH	R/W								P10～P13割り込み極性選択レジスタ
	PCP03	PCP02	PCP01	PCP00	PCP03	1			
					PCP02	1			
					PCP01	1			
FF3EH	R/W								P40～P43割り込み選択レジスタ
	SIP13	SIP12	SIP11	SIP10	SIP13	0	Enable	Disable	
					SIP12	0	Enable	Disable	
					SIP11	0	Enable	Disable	
FF3FH	R/W								P40～P43割り込み極性選択レジスタ
	PCP13	PCP12	PCP11	PCP10	PCP13	1			
					PCP12	1			
					PCP11	1			
FF40H	R								計時タイマリセット(書き込み時) 計時タイマRun/Stop
	0	0	TMRST	TMRUN	0 *3	— *2			
					0 *3	— *2			
					TMRST*3	Reset	Reset	Invalid	
FF41H	R								計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
	TM3	TM2	TM1	TM0	TM3	0			
					TM2	0			
					TM1	0			

表4.1.1 (f) I/Oメモリマップ(FF42H ~ FF51H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF42H	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R				TM6	0			
					TM5	0			
					TM4	0			
FF44H	ENRTM	ENRST	ENON	BZE	ENRTM	0	1 sec	0.5 sec	エンベロープ減衰時間選択 エンベロープリセット(書き込み時) エンベロープOn/Off BZ出力ラインレベル
					ENRST*3	Reset	Reset	Invalid	
					ENON	0	On	Off	
	R/W	W	R/W		BZE	0	Enable	Disable	
FF45H	0	BZSTP	BZSHT	SHTPW	0*3	—*2			未使用 1ショットブザーStop(書き込み時) 1ショットブザートリガ(書き込み時) 1ショットブザーステータス(読み出し時) 1ショットブザーパルス幅選択
					BZSTP*3	0	Stop	Invalid	
					BZSHT	0	Trigger	Invalid	
	R	W	R/W		SHTPW	0	Busy	Ready	
FF46H	0	BZFQ2	BZFQ1	BZFQ0	0*3	—*2			未使用 ブザー 周波数選択 周波数(Hz)
					BZFQ2	0			
					BZFQ1	0			
	R	R/W			BZFQ0	0			
FF47H	0	BDTY2	BDTY1	BDTY0	0*3	—*2			未使用 ブザー信号デューティ比選択 (本編参照)
					BDTY2	0			
					BDTY1	0			
	R	R/W			BDTY0	0			
FF48H	0	0	SWDIR	EDIR	0*3	—*2			未使用 未使用 ストップウォッチダイレクト入力切り換え 0: P10=Run/Stop, P11=Lap 1: P10=Lap, P11=Run/Stop ダイレクト入力ラインレベル
					0*3	—*2			
					SWDIR	0			
					EDIR	0	Enable	Disable	
FF49H	0	DKM2	DKM1	DKM0	0*3	—*2			未使用 キーマスク 選択
					DKM2	0			
					DKM1	0			
	R	R/W			DKM0	0			
FF4AH	LCURF	CRNWF	SWRUN	SWRST	LCURF	0	Request	No	ラップデータ桁上げ要求フラグ キャプチャ更新フラグ ストップウォッチタイマRun/Stop ストップウォッチタイマリセット(書き込み時)
					CRNWF	0	Renewal	No	
					SWRUN	0	Run	Stop	
					SWRST*3	Reset	Reset	Invalid	
FF4BH	SWD3	SWD2	SWD1	SWD0	SWD3	0			ストップウォッチタイマデータ BCD(1/1000sec)
					SWD2	0			
					SWD1	0			
					SWD0	0			
FF4CH	SWD7	SWD6	SWD5	SWD4	SWD7	0			ストップウォッチタイマデータ BCD(1/100sec)
					SWD6	0			
					SWD5	0			
					SWD4	0			
FF4DH	SWD11	SWD10	SWD9	SWD8	SWD11	0			ストップウォッチタイマデータ BCD(1/10sec)
					SWD10	0			
					SWD9	0			
					SWD8	0			
FF50H	General	LPAGE	DSPC1	DSPC0	General	0	1	0	汎用レジスタ 表示メモリ領域選択(1/16デューティ選択時) 1/24、1/32デューティ選択時は汎用レジスタとして機能 LCD表示 モード選択
					LPAGE	0	F200-F36F	F000-F16F	
					DSPC1	0			
					DSPC0	0			
FF51H	General	LDUTY2	LDUTY1	LDUTY0	General	0	1	0	汎用レジスタ LCD駆動 デューティ 選択
					LDUTY2	0			
					LDUTY1	0			
					LDUTY0	0			

表4.1.1 (g) I/Oメモリマップ(FF52H～FF67H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF52H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC2	0			
					LC1	0			
					LC0	0			
FF58H	R/W								未使用 SOUTイネーブル シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P2ポート機能選択)
	0	ESOUT	SCTRG	ESIF	ESOUT	0	Enable	Disable	
					SCTRG	0	Trigger	Invalid	
	R	R/W			ESIF	0	Run	Stop	
FF59H	SCPS1	SCPS0	SDP	SMOD	SCPS1	0			シリアルI/Fクロック [SCPS1, 0] 0 1 2 3 極性 正 正 負 負 フォーマット選択 フェーズ シリアルI/Fデータ入出力順列 シリアルI/Fモード選択
					SCPS0	0			
					SDP	0			
					SMOD	0			
FF5AH	R/W								未使用 未使用 SIF使用時 P23機能選択 SIFイネーブル (P23ポート機能選択)
	0	0	ESREADY	ENCS	ESREADY	0	SRDY	SS	
					ENCS	0	SIF	I/O	
	R	R/W							
FF5BH	SD3	SD2	SD1	SD0	SD3	-*2	High	Low	MSB シリアルI/F送受信データ(下位4ビット) LSB
					SD2	-*2	High	Low	
					SD1	-*2	High	Low	
					SD0	-*2	High	Low	
FF5CH	SD7	SD6	SD5	SD4	SD7	-*2	High	Low	MSB シリアルI/F送受信データ(上位4ビット) LSB
					SD6	-*2	High	Low	
					SD5	-*2	High	Low	
					SD4	-*2	High	Low	
FF60H	RFCNT	RFOUT	ERF1	ERF0	RFCNT	0	Continue	Normal	連続発振イネーブル RFOUTイネーブル R/F変換 [ERF1, 0] 0 1 2 3 選択 R/F変換 I/O Ch.0 DC Ch.1 AC Ch.1 DC
					RFOUT	0	Enable	Disable	
					ERF1	0			
					ERF0	0			
FF61H	OVC	OVMC	RFRUNR	RFRUNS	OVC	0	Overflow	Non-ov	タイムベースカウンタオーバーフローフラグ 計測カウンタオーバーフローフラグ 基準発振Run制御/ステータス センサ発振Run制御/ステータス
					OVMC	0	Overflow	Non-ov	
					RFRUNR	0	Run	Stop	
					RFRUNS	0	Run	Stop	
FF62H	MC3	MC2	MC1	MC0	MC3	-*2			計測カウンタ(MC0～MC3) LSB
					MC2	-*2			
					MC1	-*2			
					MC0	-*2			
FF63H	MC7	MC6	MC5	MC4	MC7	-*2			計測カウンタ(MC4～MC7)
					MC6	-*2			
					MC5	-*2			
					MC4	-*2			
FF64H	MC11	MC10	MC9	MC8	MC11	-*2			計測カウンタ(MC8～MC11)
					MC10	-*2			
					MC9	-*2			
					MC8	-*2			
FF65H	MC15	MC14	MC13	MC12	MC15	-*2			計測カウンタ(MC12～MC15)
					MC14	-*2			
					MC13	-*2			
					MC12	-*2			
FF66H	MC19	MC18	MC17	MC16	MC19	-*2			MSB 計測カウンタ(MC16～MC19)
					MC18	-*2			
					MC17	-*2			
					MC16	-*2			
FF67H	TC3	TC2	TC1	TC0	TC3	-*2			タイムベースカウンタデータ(TC0～TC3)
					TC2	-*2			
					TC1	-*2			
					TC0	-*2			

表4.1.1 (h) I/Oメモリマップ(FF68H ~ FF82H)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF68H	TC7	TC6	TC5	TC4	TC7	—*2			タイムベースカウンタデータ(TC4～TC7)
	R/W	TC6	—*2						
		TC5	—*2						
		TC4	—*2						
FF69H	TC11	TC10	TC9	TC8	TC11	—*2			タイムベースカウンタデータ(TC8～TC11)
	R/W	TC10	—*2						
		TC9	—*2						
		TC8	—*2						
FF6AH	TC15	TC14	TC13	TC12	TC15	—*2			タイムベースカウンタデータ(TC12～TC15)
	R/W	TC14	—*2						
		TC13	—*2						
		TC12	—*2						
FF6BH	TC19	TC18	TC17	TC16	TC19	—*2			MSB タイムベースカウンタデータ(TC16～TC19)
	R/W	TC18	—*2						
		TC17	—*2						
		TC16	—*2						
FF70H	SR3	SR2	SR1	SR0	SR3	—*2			ソースレジスタ(下位4ビット) LSB
	R/W	SR2	—*2						
		SR1	—*2						
		SR0	—*2						
FF71H	SR7	SR6	SR5	SR4	SR7	—*2			MSB ソースレジスタ(上位4ビット)
	R/W	SR6	—*2						
		SR5	—*2						
		SR4	—*2						
FF72H	DRL3	DRL2	DRL1	DRL0	DRL3	—*2			デスティネーションレジスタ下位8ビット (下位4ビット) LSB
	R/W	DRL2	—*2						
		DRL1	—*2						
		DRL0	—*2						
FF73H	DRL7	DRL6	DRL5	DRL4	DRL7	—*2			MSB デスティネーションレジスタ下位8ビット (上位4ビット)
	R/W	DRL6	—*2						
		DRL5	—*2						
		DRL4	—*2						
FF74H	DRH3	DRH2	DRH1	DRH0	DRH3	—*2			デスティネーションレジスタ上位8ビット (下位4ビット) LSB
	R/W	DRH2	—*2						
		DRH1	—*2						
		DRH0	—*2						
FF75H	DRH7	DRH6	DRH5	DRH4	DRH7	—*2			MSB デスティネーションレジスタ上位8ビット (上位4ビット)
	R/W	DRH6	—*2						
		DRH5	—*2						
		DRH4	—*2						
FF76H	NF	VF	ZF	CALMD	NF	0	Negative	Positive	ネガティブフラグ オーバーフローフラグ ゼロフラグ 実行ステータス(読み出し時) 演算モード選択(書き込み時)
	R	VF	0	Overflow	No				
		ZF	0	Zero	No				
		CALMD	0	Run	Stop				
FF80H	MOD16_A	EVCNT_A	FCSEL_A	PLPUL_A	MOD16_A	0	16 bits	8 bits	PTM0-1 16ビットモード選択 PTM0カウンタモード選択 PTM0機能選択(イベントカウンタモード時) PTM0パルス極性選択(イベントカウンタモード時)
	R/W	EVCNT_A	0	Event ct.	Timer				
		FCSEL_A	0	With NR	No NR				
		PLPUL_A	0	↑	↓				
FF81H	PTSEL1	PTSEL0	CHSEL_A	PTOUT_A	PTSEL1	0	PWM	Normal	プログラマブルタイマ1 PWM出力選択 プログラマブルタイマ0 PWM出力選択 PTM0-1 TOUT_A出力選択 PTM0-1 TOUT_A出力制御
	R/W	PTSEL0	0	PWM	Normal				
		CHSEL_A	0	Timer 1	Timer 0				
		PTOUT_A	0	On	Off				
FF82H	PTRST1	PTRUN1	PTRST0	PTRUN0	PTRST1*3	—*2	Reset	Invalid	プログラマブルタイマ1リセット(リロード) プログラマブルタイマ1 Run/Stop プログラマブルタイマ0リセット(リロード) プログラマブルタイマ0 Run/Stop
	W	PTRUN1	0	Run	Stop				
		PTRST0*3	—*2	Reset	Invalid				
		PTRUN0	0	Run	Stop				

表4.1.1 (i) I/Oメモリマップ(FF84H ~ FF91H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF84H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB プログラマブルタイム0リロードデータ(下位4ビット) LSB
					RLD02	0			
	R/W				RLD01	0			
					RLD00	0			
FF85H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタイム0リロードデータ(上位4ビット) LSB
					RLD06	0			
	R/W				RLD05	0			
					RLD04	0			
FF86H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタイム1リロードデータ(下位4ビット) LSB
					RLD12	0			
	R/W				RLD11	0			
					RLD10	0			
FF87H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタイム1リロードデータ(上位4ビット) LSB
					RLD16	0			
	R/W				RLD15	0			
					RLD14	0			
FF88H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイム0データ(下位4ビット) LSB
					PTD02	0			
	R				PTD01	0			
					PTD00	0			
FF89H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイム0データ(上位4ビット) LSB
					PTD06	0			
	R				PTD05	0			
					PTD04	0			
FF8AH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイム1データ(下位4ビット) LSB
					PTD12	0			
	R				PTD11	0			
					PTD10	0			
FF8BH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイム1データ(上位4ビット) LSB
					PTD16	0			
	R				PTD15	0			
					PTD14	0			
FF8CH	CD03	CD02	CD01	CD00	CD03	0			MSB プログラマブルタイム0コンペアデータ(下位4ビット) LSB
					CD02	0			
	R/W				CD01	0			
					CD00	0			
FF8DH	CD07	CD06	CD05	CD04	CD07	0			MSB プログラマブルタイム0コンペアデータ(上位4ビット) LSB
					CD06	0			
	R/W				CD05	0			
					CD04	0			
FF8EH	CD13	CD12	CD11	CD10	CD13	0			MSB プログラマブルタイム1コンペアデータ(下位4ビット) LSB
					CD12	0			
	R/W				CD11	0			
					CD10	0			
FF8FH	CD17	CD16	CD15	CD14	CD17	0			MSB プログラマブルタイム1コンペアデータ(上位4ビット) LSB
					CD16	0			
	R/W				CD15	0			
					CD14	0			
FF90H	MOD16_B	EV CNT_B	FCSEL_B	PLPUL_B	MOD16_B	0	16 bits	8 bits	PTM2-3 16ビットモード選択 PTM2カウンタモード選択 PTM2機能選択(イベントカウンタモード時) PTM2/パルス極性選択(イベントカウンタモード時)
					EV CNT_B	0	Event ct.	Timer	
	R/W				FCSEL_B	0	With NR	No NR	
					PLPUL_B	0			
FF91H	PTSEL3	PTSEL2	CHSEL_B	PTOUT_B	PTSEL3	0	PWM	Normal	プログラマブルタイム3 PWM出力選択 プログラマブルタイム2 PWM出力選択 汎用レジスタ 汎用レジスタ
					PTSEL2	0	PWM	Normal	
	R/W				CHSEL_B	0	1	0	
					PTOUT_B	0	1	0	

表4.1.1 (j) I/Oメモリマップ(FF92H ~ FFA0H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF92H	PTRST3	PTRUN3	PTRST2	PTRUN2	PTRST3*3	—*2	Reset	Invalid	プログラマブルタイマ3リセット(リロード)
					PTRUN3	0	Run	Stop	プログラマブルタイマ3 Run/Stop
	W	R/W	W	R/W	PTRST2*3	—*2	Reset	Invalid	プログラマブルタイマ2リセット(リロード)
					PTRUN2	0	Run	Stop	プログラマブルタイマ2 Run/Stop
FF94H	RLD23	RLD22	RLD21	RLD20	RLD23	0			MSB プログラマブルタイマ2リロードデータ(下位4ビット) LSB
					RLD22	0			
	R/W				RLD21	0			
					RLD20	0			
FF95H	RLD27	RLD26	RLD25	RLD24	RLD27	0			MSB プログラマブルタイマ2リロードデータ(上位4ビット) LSB
					RLD26	0			
	R/W				RLD25	0			
					RLD24	0			
FF96H	RLD33	RLD32	RLD31	RLD30	RLD33	0			MSB プログラマブルタイマ3リロードデータ(下位4ビット) LSB
					RLD32	0			
	R/W				RLD31	0			
					RLD30	0			
FF97H	RLD37	RLD36	RLD35	RLD34	RLD37	0			MSB プログラマブルタイマ3リロードデータ(上位4ビット) LSB
					RLD36	0			
	R/W				RLD35	0			
					RLD34	0			
FF98H	PTD23	PTD22	PTD21	PTD20	PTD23	0			MSB プログラマブルタイマ2データ(下位4ビット) LSB
					PTD22	0			
	R				PTD21	0			
					PTD20	0			
FF99H	PTD27	PTD26	PTD25	PTD24	PTD27	0			MSB プログラマブルタイマ2データ(上位4ビット) LSB
					PTD26	0			
	R				PTD25	0			
					PTD24	0			
FF9AH	PTD33	PTD32	PTD31	PTD30	PTD33	0			MSB プログラマブルタイマ3データ(下位4ビット) LSB
					PTD32	0			
	R				PTD31	0			
					PTD30	0			
FF9BH	PTD37	PTD36	PTD35	PTD34	PTD37	0			MSB プログラマブルタイマ3データ(上位4ビット) LSB
					PTD36	0			
	R				PTD35	0			
					PTD34	0			
FF9CH	CD23	CD22	CD21	CD20	CD23	0			MSB プログラマブルタイマ2コンペアデータ(下位4ビット) LSB
					CD22	0			
	R/W				CD21	0			
					CD20	0			
FF9DH	CD27	CD26	CD25	CD24	CD27	0			MSB プログラマブルタイマ2コンペアデータ(上位4ビット) LSB
					CD26	0			
	R/W				CD25	0			
					CD24	0			
FF9EH	CD33	CD32	CD31	CD30	CD33	0			MSB プログラマブルタイマ3コンペアデータ(下位4ビット) LSB
					CD32	0			
	R/W				CD31	0			
					CD30	0			
FF9FH	CD37	CD36	CD35	CD34	CD37	0			MSB プログラマブルタイマ3コンペアデータ(上位4ビット) LSB
					CD36	0			
	R/W				CD35	0			
					CD34	0			
FFA0H	MOD16_C	EVCNT_C	FCSEL_C	PLPUL_C	MOD16_C	0	16 bits	8 bits	PTM4-5 16ビットモード選択
					EVCNT_C	0	Event ct.	Timer	PTM4カウンタモード選択
					FCSEL_C	0	With NR	No NR	PTM4機能選択(イベントカウンタモード時)
					PLPUL_C	0			PTM4パルス極性選択(イベントカウンタモード時)

表4.1.1 (k) I/Oメモリマップ(FFA1H ~ FFAFH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFA1H	PTSEL5	PTSEL4	CHSEL_C	PTOUT_C	PTSEL5	0	PWM	Normal	プログラマブルタイマ5 PWM出力選択
					PTSEL4	0	PWM	Normal	プログラマブルタイマ4 PWM出力選択
	R/W				CHSEL_C	0	1	0	汎用レジスタ
					PTOUT_C	0	1	0	汎用レジスタ
FFA2H	PTRST5	PTRUN5	PTRST4	PTRUN4	PTRST5*3	—*2	Reset	Invalid	プログラマブルタイマ5リセット(リロード)
					PTRUN5	0	Run	Stop	プログラマブルタイマ5 Run/Stop
	W	R/W	W	R/W	PTRST4*3	—*2	Reset	Invalid	プログラマブルタイマ4リセット(リロード)
					PTRUN4	0	Run	Stop	プログラマブルタイマ4 Run/Stop
FFA4H	RLD43	RLD42	RLD41	RLD40	RLD43	0			┌ MSB
					RLD42	0			プログラマブルタイマ4リロードデータ(下位4ビット)
	R/W				RLD41	0			└ LSB
					RLD40	0			
FFA5H	RLD47	RLD46	RLD45	RLD44	RLD47	0			┌ MSB
					RLD46	0			プログラマブルタイマ4リロードデータ(上位4ビット)
	R/W				RLD45	0			└ LSB
					RLD44	0			
FFA6H	RLD53	RLD52	RLD51	RLD50	RLD53	0			┌ MSB
					RLD52	0			プログラマブルタイマ5リロードデータ(下位4ビット)
	R/W				RLD51	0			└ LSB
					RLD50	0			
FFA7H	RLD57	RLD56	RLD55	RLD54	RLD57	0			┌ MSB
					RLD56	0			プログラマブルタイマ5リロードデータ(上位4ビット)
	R/W				RLD55	0			└ LSB
					RLD54	0			
FFA8H	PTD43	PTD42	PTD41	PTD40	PTD43	0			┌ MSB
					PTD42	0			プログラマブルタイマ4データ(下位4ビット)
	R				PTD41	0			└ LSB
					PTD40	0			
FFA9H	PTD47	PTD46	PTD45	PTD44	PTD47	0			┌ MSB
					PTD46	0			プログラマブルタイマ4データ(上位4ビット)
	R				PTD45	0			└ LSB
					PTD44	0			
FFAAH	PTD53	PTD52	PTD51	PTD50	PTD53	0			┌ MSB
					PTD52	0			プログラマブルタイマ5データ(下位4ビット)
	R				PTD51	0			└ LSB
					PTD50	0			
FFABH	PTD57	PTD56	PTD55	PTD54	PTD57	0			┌ MSB
					PTD56	0			プログラマブルタイマ5データ(上位4ビット)
	R				PTD55	0			└ LSB
					PTD54	0			
FFACH	CD43	CD42	CD41	CD40	CD43	0			┌ MSB
					CD42	0			プログラマブルタイマ4コンペアデータ(下位4ビット)
	R/W				CD41	0			└ LSB
					CD40	0			
FFADH	CD47	CD46	CD45	CD44	CD47	0			┌ MSB
					CD46	0			プログラマブルタイマ4コンペアデータ(上位4ビット)
	R/W				CD45	0			└ LSB
					CD44	0			
FFAEH	CD53	CD52	CD51	CD50	CD53	0			┌ MSB
					CD52	0			プログラマブルタイマ5コンペアデータ(下位4ビット)
	R/W				CD51	0			└ LSB
					CD50	0			
FFAFH	CD57	CD56	CD55	CD54	CD57	0			┌ MSB
					CD56	0			プログラマブルタイマ5コンペアデータ(上位4ビット)
	R/W				CD55	0			└ LSB
					CD54	0			

表4.1.1 (I) I/Oメモリマップ(FFB0H ~ FFBEH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFB0H	MOD16_D	EVCNT_D	FCSEL_D	PLPUL_D	MOD16_D	0	16 bits	8 bits	PTM6-7 16ビットモード選択
					EVCNT_D	0	Event ct.	Timer	PTM6カウンタモード選択
	R/W				FCSEL_D	0	With NR	No NR	PTM6機能選択(イベントカウンタモード時)
					PLPUL_D	0			PTM6パルス極性選択(イベントカウンタモード時)
FFB1H	PTSEL7	PTSEL6	CHSEL_D	PTOUT_D	PTSEL7	0	PWM	Normal	プログラマブルタイマ7 PWM出力選択
					PTSEL6	0	PWM	Normal	プログラマブルタイマ6 PWM出力選択
	R/W				CHSEL_D	0	1	0	汎用レジスタ
					PTOUT_D	0	1	0	汎用レジスタ
FFB2H	PTRST7	PTRUN7	PTRST6	PTRUN6	PTRST7*3	—*2	Reset	Invalid	プログラマブルタイマ7リセット(リロード)
					PTRUN7	0	Run	Stop	プログラマブルタイマ7 Run/Stop
	W	R/W	W	R/W	PTRST6*3	—*2	Reset	Invalid	プログラマブルタイマ6リセット(リロード)
					PTRUN6	0	Run	Stop	プログラマブルタイマ6 Run/Stop
FFB4H	RLD63	RLD62	RLD61	RLD60	RLD63	0			┌ MSB
					RLD62	0			
	R/W				RLD61	0			プログラマブルタイマ6リロードデータ(下位4ビット)
					RLD60	0			└ LSB
FFB5H	RLD67	RLD66	RLD65	RLD64	RLD67	0			┌ MSB
					RLD66	0			
	R/W				RLD65	0			プログラマブルタイマ6リロードデータ(上位4ビット)
					RLD64	0			└ LSB
FFB6H	RLD73	RLD72	RLD71	RLD70	RLD73	0			┌ MSB
					RLD72	0			
	R/W				RLD71	0			プログラマブルタイマ7リロードデータ(下位4ビット)
					RLD70	0			└ LSB
FFB7H	RLD77	RLD76	RLD75	RLD74	RLD77	0			┌ MSB
					RLD76	0			
	R/W				RLD75	0			プログラマブルタイマ7リロードデータ(上位4ビット)
					RLD74	0			└ LSB
FFB8H	PTD63	PTD62	PTD61	PTD60	PTD63	0			┌ MSB
					PTD62	0			
	R				PTD61	0			プログラマブルタイマ6データ(下位4ビット)
					PTD60	0			└ LSB
FFB9H	PTD67	PTD66	PTD65	PTD64	PTD67	0			┌ MSB
					PTD66	0			
	R				PTD65	0			プログラマブルタイマ6データ(上位4ビット)
					PTD64	0			└ LSB
FFBAH	PTD73	PTD72	PTD71	PTD70	PTD73	0			┌ MSB
					PTD72	0			
	R				PTD71	0			プログラマブルタイマ7データ(下位4ビット)
					PTD70	0			└ LSB
FFBBH	PTD77	PTD76	PTD75	PTD74	PTD77	0			┌ MSB
					PTD76	0			
	R				PTD75	0			プログラマブルタイマ7データ(上位4ビット)
					PTD74	0			└ LSB
FFBCH	CD63	CD62	CD61	CD60	CD63	0			┌ MSB
					CD62	0			
	R/W				CD61	0			プログラマブルタイマ6コンペアデータ(下位4ビット)
					CD60	0			└ LSB
FFBDH	CD67	CD66	CD65	CD64	CD67	0			┌ MSB
					CD66	0			
	R/W				CD65	0			プログラマブルタイマ6コンペアデータ(上位4ビット)
					CD64	0			└ LSB
FFBEH	CD73	CD72	CD71	CD70	CD73	0			┌ MSB
					CD72	0			
	R/W				CD71	0			プログラマブルタイマ7コンペアデータ(下位4ビット)
					CD70	0			└ LSB

表4.1.1 (m) I/Oメモリマップ(FFBFH ~ FFEDH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFBFH	CD77	CD76	CD75	CD74	CD77	0			MSB プログラマブルタイム7コンペアデータ(上位4ビット) LSB
					CD76	0			
					CD75	0			
					CD74	0			
	R/W								
FFE1H	General	EIRFE	EIRFR	EIRFS	General	0	1	0	汎用レジスタ 割り込みマスキレジスタ(R/Fコンバータエラー) 割り込みマスキレジスタ(R/Fコンバータ基準発振完了) 割り込みマスキレジスタ(R/Fコンバータセンサ発振完了)
					EIRFE	0	Enable	Mask	
					EIRFR	0	Enable	Mask	
					EIRFS	0	Enable	Mask	
	R/W								
FFE2H	General	General	EIPT0	EICTC0	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ0アンダーフロー) 割り込みマスキレジスタ(タイマ0コンペアマッチ)
					General	0	1	0	
					EIPT0	0	Enable	Mask	
					EICTC0	0	Enable	Mask	
	R/W								
FFE3H	General	General	EIPT1	EICTC1	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ1アンダーフロー) 割り込みマスキレジスタ(タイマ1コンペアマッチ)
					General	0	1	0	
					EIPT1	0	Enable	Mask	
					EICTC1	0	Enable	Mask	
	R/W								
FFE4H	General	General	EIPT2	EICTC2	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ2アンダーフロー) 割り込みマスキレジスタ(タイマ2コンペアマッチ)
					General	0	1	0	
					EIPT2	0	Enable	Mask	
					EICTC2	0	Enable	Mask	
	R/W								
FFE5H	General	General	EIPT3	EICTC3	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ3アンダーフロー) 割り込みマスキレジスタ(タイマ3コンペアマッチ)
					General	0	1	0	
					EIPT3	0	Enable	Mask	
					EICTC3	0	Enable	Mask	
	R/W								
FFE6H	General	General	EIPT4	EICTC4	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ4アンダーフロー) 割り込みマスキレジスタ(タイマ4コンペアマッチ)
					General	0	1	0	
					EIPT4	0	Enable	Mask	
					EICTC4	0	Enable	Mask	
	R/W								
FFE7H	General	General	EIPT5	EICTC5	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ5アンダーフロー) 割り込みマスキレジスタ(タイマ5コンペアマッチ)
					General	0	1	0	
					EIPT5	0	Enable	Mask	
					EICTC5	0	Enable	Mask	
	R/W								
FFE8H	General	General	EIPT6	EICTC6	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ6アンダーフロー) 割り込みマスキレジスタ(タイマ6コンペアマッチ)
					General	0	1	0	
					EIPT6	0	Enable	Mask	
					EICTC6	0	Enable	Mask	
	R/W								
FFE9H	General	General	EIPT7	EICTC7	General	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(タイマ7アンダーフロー) 割り込みマスキレジスタ(タイマ7コンペアマッチ)
					General	0	1	0	
					EIPT7	0	Enable	Mask	
					EICTC7	0	Enable	Mask	
	R/W								
FFEAH	General	General	General	EISIF	General	0	1	0	汎用レジスタ 汎用レジスタ 汎用レジスタ 割り込みマスキレジスタ(シリアルインタフェース)
					General	0	1	0	
					General	0	1	0	
					EISIF	0	Enable	Mask	
	R/W								
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスキレジスタ(キー入力割り込み3<P13>) 割り込みマスキレジスタ(キー入力割り込み2<P12>) 割り込みマスキレジスタ(キー入力割り込み1<P11>) 割り込みマスキレジスタ(キー入力割り込み0<P10>)
					EIK02	0	Enable	Mask	
					EIK01	0	Enable	Mask	
					EIK00	0	Enable	Mask	
	R/W								
FFECH	EIK13	EIK12	EIK11	EIK10	EIK13	0	Enable	Mask	割り込みマスキレジスタ(キー入力割り込み7<P43>) 割り込みマスキレジスタ(キー入力割り込み6<P42>) 割り込みマスキレジスタ(キー入力割り込み5<P41>) 割り込みマスキレジスタ(キー入力割り込み4<P40>)
					EIK12	0	Enable	Mask	
					EIK11	0	Enable	Mask	
					EIK10	0	Enable	Mask	
	R/W								
FFEDH	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスキレジスタ(SWダイレクトRUN) 割り込みマスキレジスタ(SWダイレクトLAP) 割り込みマスキレジスタ(ストップウォッチタイマ1Hz) 割り込みマスキレジスタ(ストップウォッチタイマ10Hz)
					EILAP	0	Enable	Mask	
					EISW1	0	Enable	Mask	
					EISW10	0	Enable	Mask	
	R/W								

表4.1.1 (n) I/Oメモリマップ(FFEH ~ FFFCH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFEEH	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ64Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ128Hz)
FFEFH	EIT7	EIT6	EIT5	EIT4	EIT7	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT6	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT5	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ4Hz)
					EIT4	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
FFF1H	0	IRFE	IRFR	IRFS	0*3	—*2	(R)	(R)	未使用
					IRFE	0	Yes	No	割り込み要因フラグ(R/Fコンバータエラー)
	R	R/W			IRFR	0	(W)	(W)	割り込み要因フラグ(R/Fコンバータ基準発振完了)
					IRFS	0	Reset	Invalid	割り込み要因フラグ(R/Fコンバータセンサ発振完了)
FFF2H	0	0	IPT0	ICTC0	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT0	0	(W)	(W)	割り込み要因フラグ(タイマ0アンダーフロー)
					ICTC0	0	Reset	Invalid	割り込み要因フラグ(タイマ0コンペアマッチ)
FFF3H	0	0	IPT1	ICTC1	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT1	0	(W)	(W)	割り込み要因フラグ(タイマ1アンダーフロー)
					ICTC1	0	Reset	Invalid	割り込み要因フラグ(タイマ1コンペアマッチ)
FFF4H	0	0	IPT2	ICTC2	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT2	0	(W)	(W)	割り込み要因フラグ(タイマ2アンダーフロー)
					ICTC2	0	Reset	Invalid	割り込み要因フラグ(タイマ2コンペアマッチ)
FFF5H	0	0	IPT3	ICTC3	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT3	0	(W)	(W)	割り込み要因フラグ(タイマ3アンダーフロー)
					ICTC3	0	Reset	Invalid	割り込み要因フラグ(タイマ3コンペアマッチ)
FFF6H	0	0	IPT4	ICTC4	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT4	0	(W)	(W)	割り込み要因フラグ(タイマ4アンダーフロー)
					ICTC4	0	Reset	Invalid	割り込み要因フラグ(タイマ4コンペアマッチ)
FFF7H	0	0	IPT5	ICTC5	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT5	0	(W)	(W)	割り込み要因フラグ(タイマ5アンダーフロー)
					ICTC5	0	Reset	Invalid	割り込み要因フラグ(タイマ5コンペアマッチ)
FFF8H	0	0	IPT6	ICTC6	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT6	0	(W)	(W)	割り込み要因フラグ(タイマ6アンダーフロー)
					ICTC6	0	Reset	Invalid	割り込み要因フラグ(タイマ6コンペアマッチ)
FFF9H	0	0	IPT7	ICTC7	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R	R/W			IPT7	0	(W)	(W)	割り込み要因フラグ(タイマ7アンダーフロー)
					ICTC7	0	Reset	Invalid	割り込み要因フラグ(タイマ7コンペアマッチ)
FFFAH	0	0	0	ISIF	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R			R/W	0*3	—*2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルインタフェース)
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み3<P13>)
					IK02	0	Yes	No	割り込み要因フラグ(キー入力割り込み2<P12>)
	R/W				IK01	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み1<P11>)
					IK00	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み0<P10>)
FFFCH	IK13	IK12	IK11	IK10	IK13	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み7<P43>)
					IK12	0	Yes	No	割り込み要因フラグ(キー入力割り込み6<P42>)
	R/W				IK11	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み5<P41>)
					IK10	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み4<P40>)

表4.1.1(o) I/Oメモリマップ(FFFDH ~ FFFFH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFFDH	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
	R/W				ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFFEH	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ16Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ64Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ128Hz)
FFFFH	IT7	IT6	IT5	IT4	IT7	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT6	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT5	0	(W)	(W)	割り込み要因フラグ(計時タイマ4Hz)
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ8Hz)

4.2 電源制御

4.2.1 電源回路の構成

S1C63616は図4.2.1.1に示す電源回路を内蔵しており、CPUと内部ロジック回路、発振回路、LCDドライバを駆動する電圧をチップ内部で生成します。

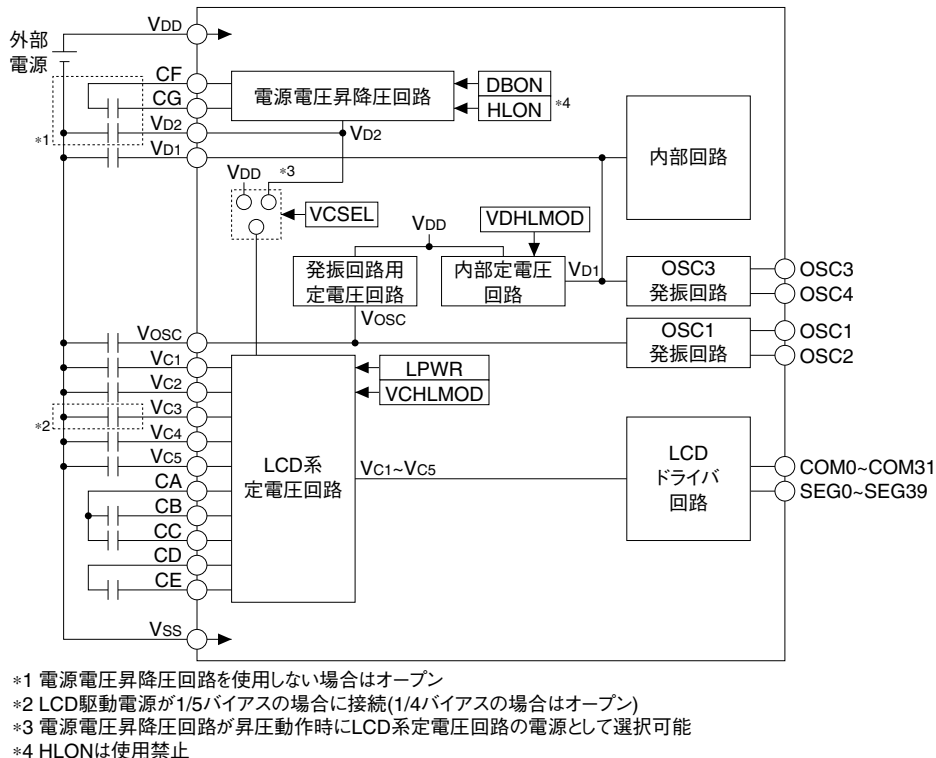


図4.2.1.1 内蔵電源回路

● 電源電圧昇降圧回路

電源電圧昇降圧回路は、電源電圧 V_{DD} を昇圧または降圧して定電圧回路(LCD系定電圧回路)の動作電圧 V_{D2} を発生します。

電源電圧昇降圧回路の制御と、定電圧回路の電源選択はソフトウェアで行います。

● 内部定電圧回路

内部定電圧回路は、内部ロジック回路とOSC3発振回路の動作電圧 V_{D1} を発生します。この定電圧回路は常時動作します。

● 発振回路用定電圧回路

発振回路用定電圧回路は、OSC1発振回路の動作電圧 V_{OSC} を発生します。この定電圧回路は常時動作します。

● LCD系定電圧回路

LCD系定電圧回路はLCD駆動電圧 $V_{C1} \sim V_{C5}$ を発生します。各電圧値については"7 電気的特性"を参照してください。

S1C63616では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注: V_{D1} 、 V_{D2} 、 V_{OSC} 、 $V_{C1} \sim V_{C5}$ 端子の出力を外部回路の駆動には絶対に使用しないでください。

4.2.2 電源電圧昇降圧回路と定電圧回路の制御

● 電源電圧昇降圧回路の制御

電源電圧昇降圧回路は、定電圧回路(LCD系定電圧回路)の動作電圧範囲外の電源電圧 V_{DD} を使用する場合に、定電圧回路を駆動するための電圧 V_{D2} を発生します。

電源電圧昇降圧回路には昇圧モードと、降圧モードの2種類の動作モードがあり、供給する V_{DD} 値に合わせ、DBONレジスタとHLONレジスタで選択します。

DBONを"1"に設定すると電源電圧昇降圧回路が昇圧モードになり、電源電圧 V_{DD} を約2倍に昇圧して V_{D2} を発生します。昇圧モードはLCD系定電圧回路の駆動に V_{D2} が必要な場合のみ設定します(詳細は、下記の"LCD定電圧回路の制御"を参照)。

HLONは使用禁止です。常時、"0"としてください。

DBONとHLONを共に"0"に設定すると電源電圧昇降圧回路はOFFします。電源電圧 V_{DD} が2.5V ~ 5.5V(LCDの V_{C1} 基準オプション選択時は1.6V ~ 5.5V)の場合は V_{D2} が不要ですので、消費電流低減のため、電源電圧昇降圧回路をOFFしてください。

イニシャルリセット時はDBONとHLONが共に"0"に設定され、電源電圧昇降圧回路は停止状態になります。

● LCD系定電圧回路の制御

V_{C2} 基準のLCD駆動電源オプションが選択されている場合、LCD系定電圧回路を駆動するには2.5V以上の動作電圧が必要です。したがって、2.5V以上の電源電圧 V_{DD} を使用する場合は、LCD系定電圧回路を V_{DD} で駆動できます。2.5V未満の電源電圧 V_{DD} を使用する場合は、電源電圧昇降圧回路を昇圧モードで動作させて発生した V_{D2} でLCD系定電圧回路を動作させます。

LCD系定電圧回路の電源電圧(V_{DD} または V_{D2})はVCSELレジスタで選択します。VCSELを"0"に設定すると V_{DD} 、"1"に設定すると V_{D2} で動作します。

イニシャルリセット時、VCSELは"0"に設定され、LCD系定電圧回路の電源には V_{DD} が選択されます。

LCD系定電圧回路でLCD駆動電圧を生成するには(LCD表示を開始するには)、LPWRレジスタによってLCD系定電圧回路をONする必要があります。LPWRに"1"を書き込むとLCD系定電圧回路がONし、LCD駆動電圧を生成します。イニシャルリセット時、LPWRは"0"(OFF)に設定されます。LCDを使用しない場合は消費電力を低減するため、LCD系定電圧回路をOFFにしてください。

- 注:
- LCD系定電圧回路を V_{D2} で駆動する場合は、VCSELを"1"に設定する前にDBONに"1"を書き込み、電源電圧昇降圧回路を昇圧モードに設定してください。また、電源電圧昇降圧回路をONしてから V_{D2} 電圧が安定するまでの約1msecの間は V_{D2} に切り換えしないでください。
 - ICの損傷につながりますので、2.5Vを超える電源電圧 V_{DD} が供給されている場合はDBONを"1"(昇圧モード)、およびVCSELを"1"(V_{D2} 駆動)に設定しないでください。
 - V_{DD} が2.5V未満の場合にLCD系定電圧回路の電源として V_{DD} を使用すると、 V_{C1} ~ V_{C5} の電圧は正しい電圧値とはなりません。(Vc2基準選択時)

表4.2.2.1に電源電圧 V_{DD} に合わせた上記制御レジスタの設定一覧を示します。

表4.2.2.1 電源電圧 V_{DD} による電源制御レジスタの設定

V_{C2} 基準LCD駆動電源オプション選択時

電源電圧 V_{DD}	DBON	HLON	VDSEL	VCSEL	内部、発振回路用 定電圧回路電源	LCD系定電圧 回路電源(V_{C2} 基準)
1.6~2.5V	1	0	0	1	V_{DD}	$V_{D2} (\div V_{DD} \times 2)$
2.5~5.5V	0	0	0	0	V_{DD}	V_{DD}

V_{C1} 基準LCD駆動電源オプション選択時

電源電圧 V_{DD}	DBON	HLON	VDSEL	VCSEL	内部、発振回路用 定電圧回路電源	LCD系定電圧 回路電源(V_{C1} 基準)
1.6~5.5V	0	0	0	0	V_{DD}	V_{DD}

4.2.3 重負荷保護機能

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示が行えるように、内部定電圧回路とLCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。

内部定電圧回路はVDHLMODレジスタに"1"を書き込むと重負荷保護モードとなり、VDI出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

LCD系定電圧回路はVCHLMODレジスタに"1"を書き込むと重負荷保護モードとなり、VCI ~ VCS出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.2.4 電源制御用I/Oメモリ

表4.2.4.1に電源の制御ビットとそのアドレスを示します。

表4.2.4.1 電源の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF02H	VDSEL	VCSEL	HLON	DBON	VDSEL	0	1	0	汎用レジスタ
					VCSEL	0	Vd2	Vdd	LCD系定電圧回路電源切り換え
	R/W				HLON	0	On	Off	電源電圧昇降圧回路 降圧モードOn/Off
					DBON	0	On	Off	電源電圧昇降圧回路 昇圧モードOn/Off
FF03H	VCHLMOD	VDHLMOD	General	LPWR	VCHLMOD	0	On	Off	LCD系定電圧回路重負荷保護モードOn/Off
					VDHLMOD	0	On	Off	内部(VDI)定電圧回路重負荷保護モードOn/Off
	R/W				General	0	1	0	汎用レジスタ
					LPWR	0	On	Off	LCD系定電圧回路On/Off

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

● DBON: 電源電圧昇降圧回路 昇圧モードON/OFFレジスタ (FF02H・D0)

電源電圧昇降圧回路を昇圧モードにします。

"1" 書き込み: 昇圧ON

"0" 書き込み: 昇圧OFF

読み出し: 可能

DBONに"1"を書き込むと電源電圧昇降圧回路が昇圧モードでONし、VDDを約2倍に昇圧したVD2を出力します。VD2でLCD系定電圧回路を駆動する場合(VC2基準選択時、VDD=1.6 ~ 2.5V)にONします。DBONに"0"を書き込むと昇圧動作はOFFします。VDDでLCD系定電圧回路を駆動する場合は必ずDBONを"0"(OFF)に設定してください。DBONとHLONを共に"1"には設定しないでください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● HLON: 電源電圧昇降圧回路 降圧モードON/OFFレジスタ (FF02H・D1)

電源電圧昇降圧回路を降圧モードにします。

"1" 書き込み: 降圧ON

"0" 書き込み: 降圧OFF

読み出し: 可能

HLONは使用禁止です。常時、"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● VCSEL: LCD系定電圧回路電源切り換えレジスタ (FF02H・D2)

LCD系定電圧回路の電源電圧を選択します。

"1" 書き込み: V_{D2}
 "0" 書き込み: V_{DD}
 読み出し: 可能

VCSELに"1"を書き込むと、LCD系定電圧回路は電源電圧昇降圧回路が出力する V_{D2} で動作します。この設定の前に、DBONに"1"を書き込み、電源電圧昇降圧回路(昇圧モード)をONしておく必要があります。なお、電源電圧昇降圧回路をONしてから電圧が安定するまでの約1msecの間は V_{D2} に切り換えないでください。VCSELに"0"を書き込んだ場合は、 V_{DD} でLCD系定電圧回路が動作します。イニシャルリセット時、このレジスタは"0"に設定されます。

注: ICの損傷につながりますので、2.5Vを超える電源電圧 V_{DD} が供給されている場合はDBONを"1"(昇圧モード)、およびVCSELを"1"(V_{D2} 駆動)に設定しないでください。

● LPWR: LCD系定電圧回路ON/OFFレジスタ (FF03H・D0)

LCD系定電圧回路をON/OFFします。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系定電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべて V_{SS} となります。LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。イニシャルリセット時、このレジスタは"0"に設定されます。

● VDHLMOD: 内部定電圧回路重負荷保護モードON/OFFレジスタ (FF03H・D2)

内部定電圧回路の重負荷保護機能をON/OFFします。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

VDHLMODに"1"を書き込むと内部定電圧回路が重負荷保護モードとなり、 V_{DI} 出力の安定化を図ります。ブザーやFOUTクロックの出力時などに有効です。ただし、重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

● VCHLMOD: LCD系定電圧回路重負荷保護モードON/OFFレジスタ (FF03H・D3)

LCD系定電圧回路の重負荷保護機能をON/OFFします。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

VCHLMODに"1"を書き込むとLCD系定電圧回路が重負荷保護モードとなり、重負荷駆動時などの電源電圧変動による表示品質の劣化を抑えます。OSC3発振時、ブザーやFOUTクロックの出力時などに有効です。ただし、重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

4.2.5 プログラミング上の注意事項

- (1) 電源電圧昇降圧回路をONしてから出力電圧 V_{D2} が安定するまでに約1msecの時間を要します。この間は、定電圧回路(LCD系定電圧回路)の電源を V_{D2} に切り換えしないでください。
- (2) ICの誤動作につながりますので、HLONは使用禁止です。常時、"0"としてください。
- (3) ICの損傷につながりますので、2.5Vを超える電源電圧 V_{DD} が供給されている場合はDBONを"1"(昇圧モード)、およびVCSELを"1"(V_{D2} 駆動)に設定しないでください。
- (4) 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.3 ウォッチドッグタイマ

4.3.1 ウォッチドッグタイマの構成

S1C63616はOSC1分周クロック256Hzを源振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3～4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。

図4.3.1.1にウォッチドッグタイマのブロック図を示します。

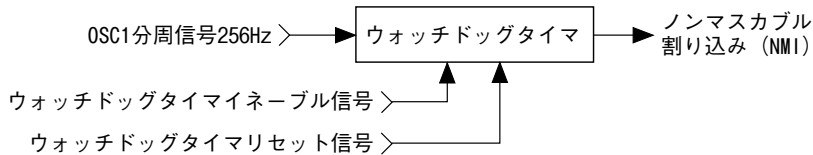


図4.3.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.3.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(Iフラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.3.3 ウォッチドッグタイマのI/Oメモリ

表4.3.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.3.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF01H	0	0	WDEN	WDRST	0 *3	— *2			未使用
					0 *3	— *2			未使用
	R		R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイマイネーブル
				WDRST *3	Reset	Reset	Invalid		ウォッチドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● WDRST: ウォッチドッグタイマリセット (FF01H・D0)

ウォッチドッグタイマをリセットするビットです。

"1" 書き込み: ウォッチドッグタイマリセット

"0" 書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● WDEN: ウォッチドッグタイマイネーブルレジスタ (FF01H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1" 書き込み: イネーブル

"0" 書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなり、カウント動作を行います。"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

4.3.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.4.3 OSC1発振回路

OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの源振として使用されます。本発振回路はSLP命令実行時に発振停止状態となります。

図4.4.3.1にOSC1発振回路の構造を示します。

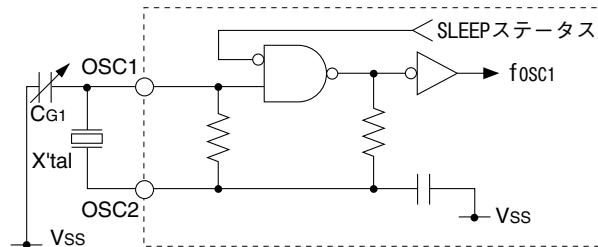


図4.4.3.1 OSC1発振回路(水晶発振)

OSC1端子とOSC2端子間に水晶振動子X'tal(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(0 ~ 25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成できます。

4.4.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路を高速動作させる場合のシステムクロックを発生します。本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。発振回路の種類はマスクオプションでセラミック発振またはCR発振から選択できます。

図4.4.4.1にOSC3発振回路の構造を示します。

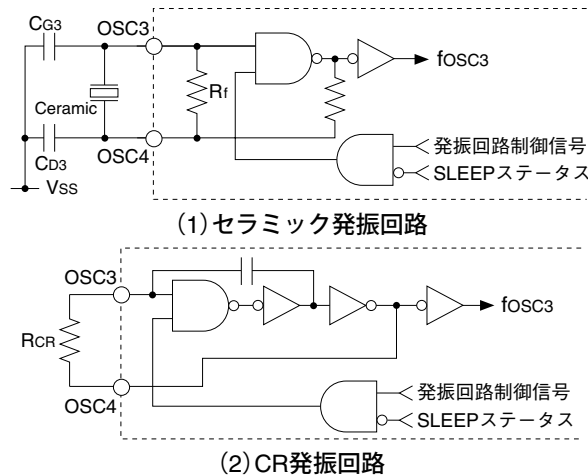


図4.4.4.1 OSC3発振回路

セラミック発振回路(Max. 4.2MHz)の場合は、OSC3端子とOSC4端子間にセラミック振動子(Ceramic)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG3、CD3)それぞれ接続します。

CR発振(Max. 2MHz)の場合は、OSC3端子とOSC4端子間に抵抗(Rcr)を接続します。

4.4.5 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するか、レジスタCLKCHGによって切り換えることができます。

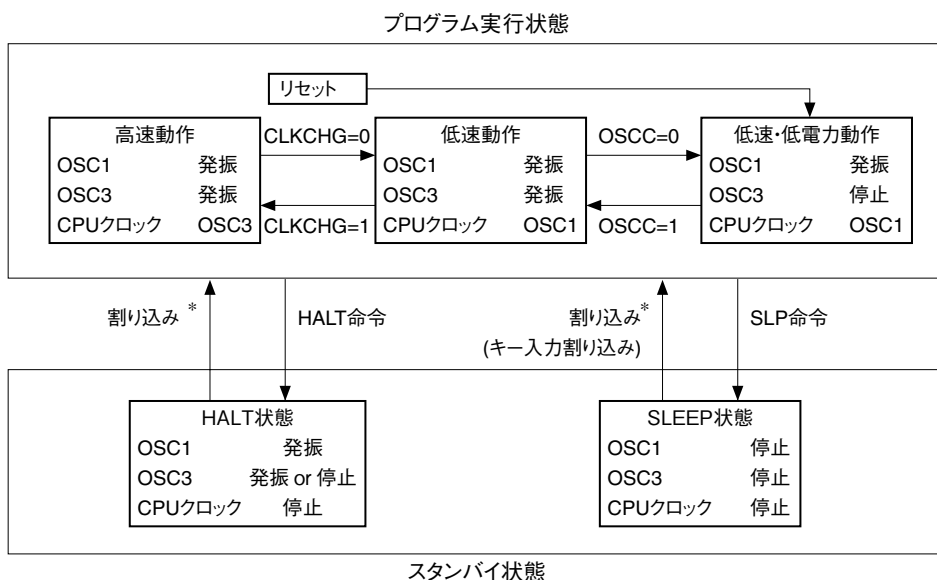
OSC1でCPUが動作している間は(CLKCHG="0")、OSC3発振回路をOFF(OSCC="0")させることでパワーセーブが実現できます。

OSC3での動作が必要な場合にOSC3発振回路をON(OSCC="1")させ、システムクロックを切り換える(CLKCHG="0"→"1")ことで高速動作が実現できます。

この場合、OSC3発振回路をONにしてから発振が安定するまでに1msec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。OSC3の発振開始時間については"7 電気的特性"を参照してください。

OSC3からOSC1に切り換える場合(CLKCHG="1"→"0")、クロック切り換えとOSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

図4.4.5.1にクロック切り換えの状態遷移図を示します。



*スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図4.4.5.1 クロック切り換えの状態遷移図

4.4.6 発振回路のI/Oメモリ

表4.4.6.1に発振回路の制御ビットとそのアドレスを示します。

注: ここで説明する発振回路の制御ビットは、OSC3発振回路を使用する場合にのみ有効です。
OSC1発振回路のみを使用するシステムでは、初期設定状態のまま変更しないでください。

表4.4.6.1 発振回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
					0 *3	— *2			未使用
					0 *3	— *2			未使用
	R/W		R						

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● OSCC: OSC3発振制御レジスタ (FF00H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1" 書き込み: OSC3発振ON

"0" 書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路を高速動作させる必要がある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、OSCCは"0"(OSC3発振OFF)に設定されます。

● CLKCHG: CPUクロック切り換えレジスタ (FF00H・D3)

CPUの動作クロックを選択します。

"1" 書き込み: OSC3クロックを選択

"0" 書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、CLKCHGは"0"(OSC1クロック)に設定されます。

4.4.7 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
- CPU動作クロック OSC1
 - OSC3発振回路 OFF(一部の周辺回路に対してOSC3クロックが必要ない場合)
- (2) OSC3発振回路をONにしてから発振が安定するまでに、1msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) S1C63616はSLEEP機能に対応しており、SLEEP時にOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

4.5 入出力兼用ポート (P00 ~ P03, P10 ~ P13, P20 ~ P23, P40 ~ P43)

4.5.1 入出力兼用ポートの構成

S1C63616は入出力方向をソフトウェアで切り換え可能な16ビット (P00 ~ P03, P10 ~ P13, P20 ~ P23, P40 ~ P43)の汎用入出力兼用ポートを内蔵しています。図4.5.1.1に入出力兼用ポートの構成を示します。

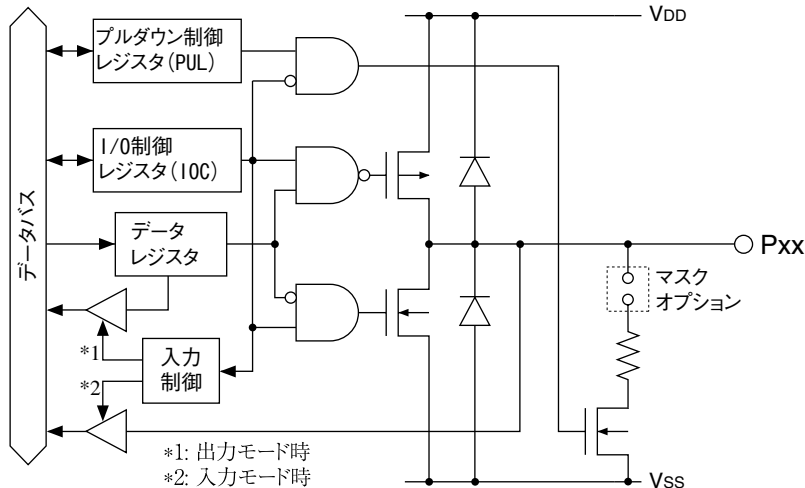


図4.5.1.1 入出力兼用ポートの構成

注: 本ICの出力(特殊出力を含む)でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないように基板パターンを設計してください。詳しくは、「5.3 実装上の注意事項」の<出力端子>を参照してください。

各入出力兼用ポート端子には内蔵プルダウン抵抗が用意されており、1ビットごとにプルダウン抵抗の有無を選択できます。マスクオプションで「プルダウン抵抗 あり」を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、「プルダウン抵抗 なし」を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

入出力兼用ポートP10とP11はストップウォッチタイマのRUN/STOPとLAPダイレクト入力、P12およびP41 ~ P43はプログラマブルタイマのイベントカウンタ入力としても使用します。

入出力兼用ポート端子P00 ~ P03, P13, P20 ~ P23はR/Fコンバータの入出力端子、シリアルインタフェースの入出力端子、特殊出力端子(BZ, FOUT, TOUT_A)を兼用しており、これらの機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.5.1.1に機能選択による入出力端子の設定を示します。

表4.5.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力/周辺回路機能使用時(ソフトウェアにて切り換え)							
		特殊出力			シリアルI/F		R/Fコンバータ	SWダイレクト 入力	イベント カウンタ
		TOUT	FOUT	BZ	Master	Slave			
P00	P00(入力&プルダウン*)						RFIN0		
P01	P01(入力&プルダウン*)						REF0		
P02	P02(入力&プルダウン*)						SEN0		
P03	P03(入力&プルダウン*)			BZ			RFOUT		
P10	P10(入力&プルダウン*)							RUN/LAP	
P11	P11(入力&プルダウン*)							RUN/LAP	
P12	P12(入力&プルダウン*)								EVIN_A
P13	P13(入力&プルダウン*)	TOUT_A							
P20	P20(入力&プルダウン*)				SCLK(O)	SCLK(I)			
P21	P21(入力&プルダウン*)				SOUT(O)	SOUT(O)			
P22	P22(入力&プルダウン*)				SIN(I)	SIN(I)			
P23	P23(入力&プルダウン*)		FOUT			SRDY(O)/SS(I)			
P40	P40(入力&プルダウン*)								
P41	P41(入力&プルダウン*)								EVIN_B
P42	P42(入力&プルダウン*)								EVIN_C
P43	P43(入力&プルダウン*)								EVIN_D

* マスクオプションにて"プルダウンあり"選択時("プルダウンなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

特殊出力、周辺回路機能使用時は、機能の切り換えによりポートの入出力方向が自動的に決まります。シリアルインタフェース、R/Fコンバータ、BZ出力、ストップウォッチタイマ、イベントカウンタの制御については、それぞれ"4.10 シリアルインタフェース"、"4.13 R/Fコンバータ"、"4.11 サウンドジェネレータ"、"4.8 ストップウォッチタイマ"、"4.9 プログラマブルタイマ"を参照してください。

注: ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインタフェース、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

4.5.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはPチャンネルオープンドレイン出力のいずれかをマスクオプションにより1ビットごとに選択できるようになっています。

なお、Pチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を超える電圧を印加することは禁止します。

入力モード時のプルダウン抵抗の有無もマスクオプションにより1ビットごとに選択できます。入力モード時の"プルダウン抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

入力モード時のプルダウン抵抗の有無、および出力仕様(コンプリメンタリ出力あるいはPチャンネルオープンドレイン出力)のオプションは、入出力兼用ポートをシリアルインタフェースやR/Fコンバータの入出力として使用する場合も有効です。

4.5.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、4.5.5項で説明するプルダウン制御を行っている場合は、この入力モード時に限り入力ラインがプルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

周辺機能の入出力、および特殊出力に設定されたポート(表4.5.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.5.4 入力インタフェースレベル

入出力兼用ポート(P1x、P2x、P4x)はソフトウェアで入力インタフェースレベルが選択できるようになっています。各ポートに対応した入力インタフェースレベル選択レジスタSMTxxを"0"に設定することにより、CMOSレベル、"1"を設定することによりCMOSシュミットレベルとなります。(P0xは、CMOSシュミットレベル固定設定になります。)

イニシャルリセット時は全ポートがCMOSシュミットレベルに設定されます。

周辺機能の出力、R/Fコンバータの入出力、および特殊出力に設定されたポート(表4.5.1.1参照)の入力インタフェースレベル選択レジスタは、汎用レジスタとして使用可能です。

周辺機能の入力(R/Fコンバータを除く)に設定されたポートの入力インタフェースレベル選択レジスタは入出力兼用ポートと同様に機能します。

4.5.5 入力モード時のプルダウン

S1C63616の入出力兼用ポートには、マスクオプションによって入力モード時に働くプルダウン抵抗を内蔵できます。

各ポートに対応したプルダウン制御レジスタPULxxに"1"を書き込むことによりプルダウン抵抗が有効になり、入力モード時に入力ラインがプルダウンされます。"0"を書き込んだ場合、および出力モード時はプルダウンされません。

イニシャルリセット時、プルダウン制御レジスタは"1"に設定されます。

マスクオプションによって"プルダウン抵抗なし"を選択したポートのプルダウン制御レジスタは、汎用レジスタとして使用可能です。

プルダウン抵抗付き場合でも、周辺機能の出力やR/Fコンバータの入出力、および特殊出力に設定されたポート(表4.5.1.1参照)のプルダウン制御レジスタは、プルダウン制御に影響を与えない汎用レジスタとして使用可能です。周辺機能の入力(R/Fコンバータを除く)に設定されたポートのプルダウン制御レジスタは入出力兼用ポートと同様に機能します。

4.5.6 特殊出力

入出力兼用ポートP03、P13、P23は汎用DC入出力のほかに表4.5.6.1に示す特殊出力をソフトウェアによって選択することができます。

表4.5.6.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
P03	BZ	BZE, BZSHT
P13	TOUT_A	PTOUT_A
P23	FOUT	FOUT0～FOUT3

特殊出力制御レジスタによって特殊出力をイネーブルに設定すると、対応する入出力兼用ポートは自動的に出力に設定されます。入出力兼用ポートのデータレジスタ、I/O制御レジスタ、プルダウン制御レジスタ、入力インタフェースレベル選択レジスタは特殊出力には影響を与えませんので、汎用レジスタとして使用することができます。

● TOUT出力(P13)

S1C63616は外部デバイスに対してクロックを供給する場合などのために、TOUT_A信号(プログラマブルタイマの出力クロック)をP13端子から出力させることができます。

TOUT_A信号の出力はレジスタPTOUT_Aによって制御します。PTOUT_Aに"1"を設定するとTOUT_A信号が対応するポート端子P13から出力されます。このとき、I/O制御レジスタIOC13、プルダウン制御レジスタPUL13およびデータレジスタP13の設定は無効になります。PTOUT_Aが"0"の場合、対応するポートは汎用のDC入出力ポートとして機能します。

TOUT_A信号はプログラマブルタイマのアンダーフローおよびコンペアマッチによって生成されたタイマ出力信号です。周波数の制御等については"4.9 プログラマブルタイマ"を参照してください。

なお、TOUT_A信号はレジスタPTOUT_Aとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.5.6.1にTOUT_A信号の出力波形を示します。

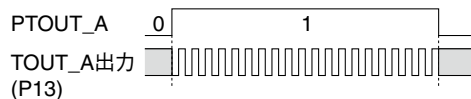


図4.5.6.1 TOUT_A信号の出力波形

● FOUT出力(P23)

S1C63616は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をP23ポート端子から出力させることができます。

FOUT信号の出力はレジスタFOUT0～FOUT3によって制御します。FOUT0～FOUT3で出力するクロックの周波数を選択すると、FOUT信号がP23ポート端子から出力されます。このとき、I/O制御レジスタIOC23、プルダウン制御レジスタPUL23およびデータレジスタP23の設定は無効になります。

FOUT0～FOUT3が"0"の場合、P23ポートは汎用のDC入出力ポートとして機能します。

また、FOUT信号の周波数は表4.5.6.2に示す15種類の中から1つを選択することができます。

表4.5.6.2 FOUT周波数の選択

FOUT3	FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	1	fosc3
1	1	1	0	fosc3 / 2
1	1	0	1	fosc3 / 4
1	1	0	0	fosc3 / 8
1	0	1	1	fosc3 / 16
1	0	1	0	fosc3 / 32
1	0	0	1	fosc3 / 64
1	0	0	0	fosc3 / 256
0	1	1	1	fosc1 (32kHz)
0	1	1	0	fosc1 / 2 (16kHz)
0	1	0	1	fosc1 / 4 (8kHz)
0	1	0	0	fosc1 / 16 (2kHz)
0	0	1	1	fosc1 / 32 (1kHz)
0	0	1	0	fosc1 / 64 (512Hz)
0	0	0	1	fosc1 / 256 (128Hz)
0	0	0	0	Off

fosc1: OSC1発振周波数、()内の周波数はfosc1=32kHzの場合

fosc3: OSC3発振周波数

FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数10μsec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

FOUT信号はレジスタFOUT0～FOUT3とは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.5.6.2にFOUT信号の出力波形を示します。

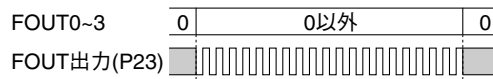


図4.5.6.2 FOUT信号の出力波形

注: FOUT出力に使用するP23端子は、シリアルインタフェースのSRDY出力または $\overline{SS}$ 入力端子も兼用しています。P23をシリアルインタフェース用に設定した場合、FOUT0～FOUT3の設定は無効になります。

● BZ (P03)

P03端子からはBZ信号を出力させることができます。BZ信号はサウンドジェネレータが出力するブザー信号です。BZ信号の出力はBZEまたはBZSHTレジスタによって制御(ON/OFF)します。ブザー信号と制御方法については"4.11 サウンドジェネレータ"を参照してください。

注: BZ出力に使用するP03端子は、R/FコンバータのRFOUT出力端子も兼用しています。RFOUT信号とBZ信号を同時に出力するような制御は行わないでください。

4.5.7 キー入力割り込み機能

入出力兼用ポートの中で8ビット(P10 ~ P13, P40 ~ P43)は、割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、このキー入力割り込みをマスクするか否かを、同様にソフトウェアで設定することができます。図4.5.7.1にキー入力割り込み回路の構成図を示します。

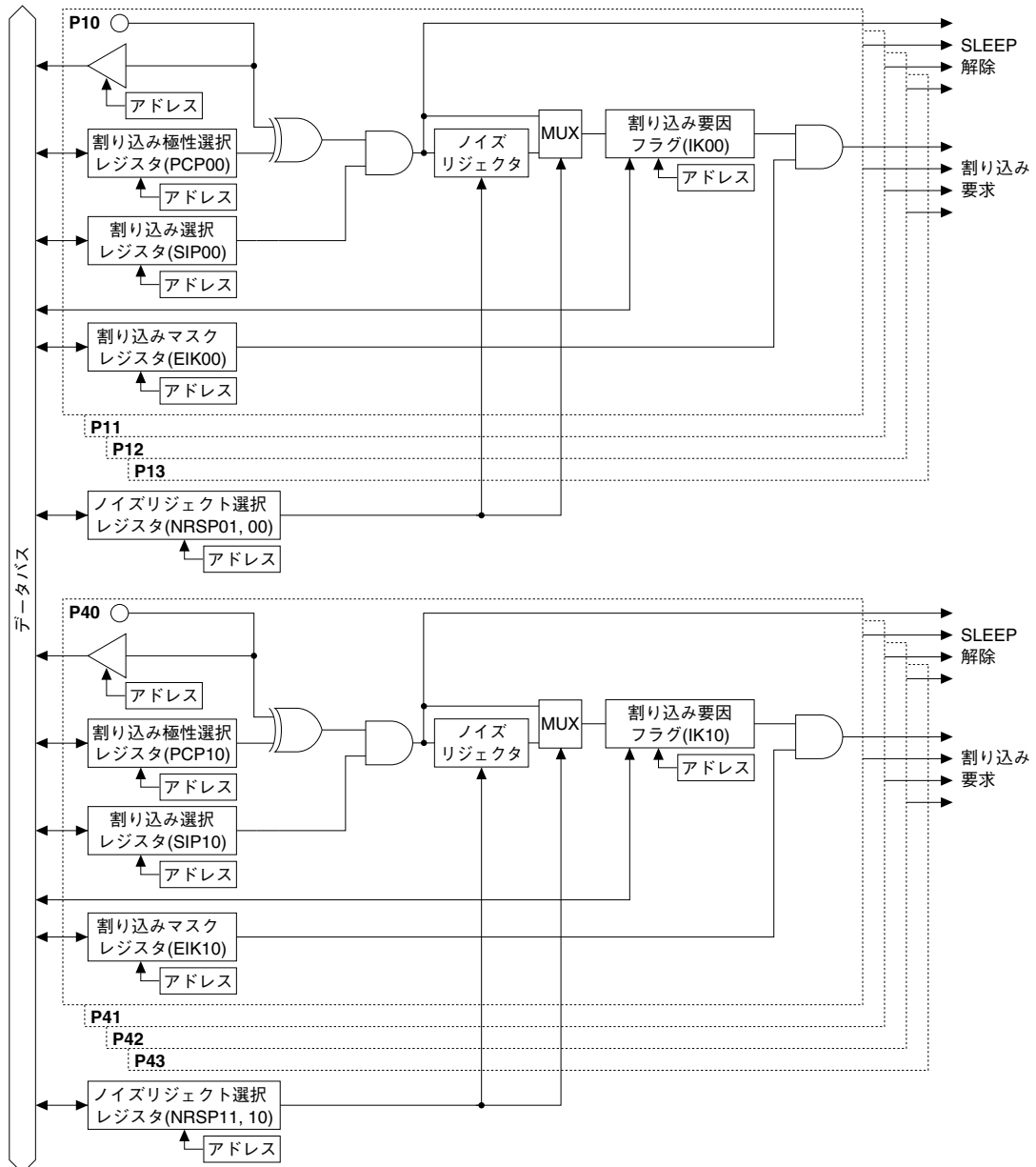


図4.5.7.1 キー入力割り込み回路構成

入出力兼用ポートP10～P13、P40～P43には個々に割り込み選択レジスタ(SIP00～SIP03、SIP10～SIP13)および割り込み極性選択レジスタ(PCP00～PCP03、PCP10～PCP13)が設けられています。

割り込み選択レジスタ(SIPxx)は、割り込みまたはSLEEPモードの解除に使用するポートを選択します。割り込み選択レジスタに"1"を書き込むことにより、そのポートをキー入力割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されているポートの変化は割り込みの発生に影響を与えません。

キー入力割り込みタイミングは、割り込み極性選択レジスタ(PCPxx)によって、割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、指定ポート(SIPxxで選択)の入力の立ち上がりエッジまたは立ち下がりエッジ(PCPxxで選択)で割り込み要求信号およびSLEEP解除信号が出力されます。

キー入力割り込み要因が発生すると、割り込み要因フラグ(IK00～IK03、IK10～IK13)が"1"にセットされます。このとき、対応する割り込みマスクレジスタ(EIK00～EIK03、EIK10～EIK13)が"1"に設定されているとCPUに対して割り込みが発生します。割り込みマスクレジスタ(EIKxx)が"0"に設定されている場合は割り込み要求はマスクされ、CPUへの割り込みは発生しません。ただし、割り込みマスクレジスタの設定値にかかわらず、SLEEPモードは解除されます。

キー入力割り込み回路は、ノイズやチャタリングによる不要な割り込みの発生を防ぐため、ノイズリジェクタを内蔵しています。このノイズリジェクタを使用する場合は、ノイズリジェクタ周波数を表4.5.7.1に示す3種類から選択できます。この選択に、P10～P13ポートはNRSP01とNRSP00レジスタを、P40～P43ポートはNRSP11とNRSP10レジスタを使用します。選択した幅より短いパルスがポートに入力された場合、割り込みは発生しません。

なお、高速な入力への対応が必要な場合、ノイズリジェクタをOFF(バイパス)します。

表4.5.7.1 ノイズリジェクタの設定

NRSP01 NRSP11	NRSP00 NRSP10	ノイズリジェクタ周波数	リジェクタパルス幅
1	1	fosc1 / 256 (128Hz)	7.8msec
1	0	fosc1 / 64 (512Hz)	2.0msec
0	1	fosc1 / 16 (2kHz)	0.5msec
0	0	OFF (バイパス)	—

- 注: • SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx="1")しておく必要があります。また、SLEEP解除後にキー入力割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIKxx="1")しておく必要があります。

4.5.8 入出力兼用ポートのI/Oメモリ

表4.5.8.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.5.8.1 (a) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF10H	FOUT3	FOUT2	FOUT1	FOUT0	FOUT3	0			FOUT周波数選択 [FOUT3-0] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [FOUT3-0] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [FOUT3-0] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3
					FOUT2	0			
					FOUT1	0			
					FOUT0	0			
FF11H	NRSP11	NRSP10	NRSP01	NRSP00	NRSP11	0			キー入力割り込みノイズリジェクション周波数選択 [NRSP11, 10] (P40-P43) 0 1 2 3 周波数 Off fosc1/16 fosc1/64 fosc1/256 [NRSP01, 00] (P10-P13) 0 1 2 3 周波数 Off fosc1/16 fosc1/64 fosc1/256
					NRSP10	0			
					NRSP01	0			
					NRSP00	0			
FF20H	P03 (RFOUT/ BZ)	P02 (SENO)	P01 (REF0)	P00 (RFIN0)	P03	1	High	Low	P03入出力兼用ポートデータ R/F選択時、BZ出力時は汎用レジスタとして機能 P02入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能 P01入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能 P00入出力兼用ポートデータ R/F選択時、汎用レジスタとして機能
					P02	1	High	Low	
					P01	1	High	Low	
					P00	1	High	Low	
FF21H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P03 I/O制御レジスタ R/F選択時、BZ出力時は汎用レジスタとして機能 P02 I/O制御レジスタ R/F選択時、汎用レジスタとして機能 P01 I/O制御レジスタ R/F選択時、汎用レジスタとして機能 P00 I/O制御レジスタ R/F選択時、汎用レジスタとして機能
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF22H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P03プルダウン制御レジスタ R/F選択時、BZ出力時は汎用レジスタとして機能 P02プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能 P01プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能 P00プルダウン制御レジスタ R/F選択時、汎用レジスタとして機能
					PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF23H	SMT03	SMT02	SMT01	SMT00	SMT03	1	1	0	汎用レジスタ 汎用レジスタ 汎用レジスタ 汎用レジスタ
					SMT02	1	1	0	
					SMT01	1	1	0	
					SMT00	1	1	0	
FF24H	P13 (TOUT_A)	P12	P11	P10	P13	1	High	Low	P13入出力兼用ポートデータ TOUT_A出力時は汎用レジスタとして機能 P12入出力兼用ポートデータ P11入出力兼用ポートデータ P10入出力兼用ポートデータ
					P12	1	High	Low	
					P11	1	High	Low	
					P10	1	High	Low	
FF25H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ TOUT_A出力時は汎用レジスタとして機能 P12 I/O制御レジスタ P11 I/O制御レジスタ P10 I/O制御レジスタ
					IOC12	0	Output	Input	
					IOC11	0	Output	Input	
					IOC10	0	Output	Input	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.5.8.1 (b) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF26H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルダウン制御レジスタ TOUT_A出力時は汎用レジスタとして機能
	R/W				PUL12	1	On	Off	P12プルダウン制御レジスタ
					PUL11	1	On	Off	P11プルダウン制御レジスタ
					PUL10	1	On	Off	P10プルダウン制御レジスタ
FF27H	SMT13	SMT12	SMT11	SMT10	SMT13	1	Schmitt	CMOS	P13入力インタフェースレベル選択レジスタ TOUT_A出力時は汎用レジスタとして機能
	R/W				SMT12	1	Schmitt	CMOS	P12入力インタフェースレベル選択レジスタ
					SMT11	1	Schmitt	CMOS	P11入力インタフェースレベル選択レジスタ
					SMT10	1	Schmitt	CMOS	P10入力インタフェースレベル選択レジスタ
FF28H	P23 (SS/ SRDY/ FOUT)	P22 (SIN)	P21 (SOUT)	P20 (SCLK)	P23	1	High	Low	P23入出力兼用ポートデータ SIF(スレープ, SRDY端子)選択時、FOUT出力時は汎用 レジスタとして機能
	R/W				P22	1	High	Low	P22入出力兼用ポートデータ
					P21	1	High	Low	P21入出力兼用ポートデータ SIF選択時、汎用レジスタとして機能
					P20	1	High	Low	P20入出力兼用ポートデータ SIF(マスタ)選択時、汎用レジスタとして機能
FF29H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ SIF選択時、FOUT出力時は汎用レジスタとして機能
	R/W				IOC22	0	Output	Input	P22 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
					IOC21	0	Output	Input	P21 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
					IOC20	0	Output	Input	P20 I/O制御レジスタ SIF選択時、汎用レジスタとして機能
FF2AH	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23プルダウン制御レジスタ SIF(スレープ, SS端子)選択時、SSプルダウン制御レジスタ SIF(スレープ, SRDY端子)選択時、FOUT出力時は汎用 レジスタとして機能
	R/W				PUL22	1	On	Off	P22プルダウン制御レジスタ SIF選択時、SINプルダウン制御レジスタ
					PUL21	1	On	Off	P21プルダウン制御レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能
					PUL20	1	On	Off	P20プルダウン制御レジスタ SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)プルダウン制御レジスタ
FF2BH	SMT23	SMT22	SMT21	SMT20	SMT23	1	Schmitt	CMOS	P23入力インタフェースレベル選択レジスタ SIF(スレープ, SS端子)選択時、SS入力インタフェース レベル選択レジスタ SIF(スレープ, SRDY端子)選択時、FOUT出力時は汎用 レジスタとして機能
	R/W				SMT22	1	Schmitt	CMOS	P22入力インタフェースレベル選択レジスタ SIF選択時、SIN入力インタフェースレベル選択レジスタ
					SMT21	1	Schmitt	CMOS	P21入力インタフェースレベル選択レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能
					SMT20	1	Schmitt	CMOS	P20入力インタフェースレベル選択レジスタ SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)入力インタフェース レベル選択レジスタ

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.5.8.1(c) 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF30H	P43	P42	P41	P40	P43	1	High	Low	P40～P43入出力兼用ポートデータ
					P42	1	High	Low	
					P41	1	High	Low	
					P40	1	High	Low	
	R/W								
FF31H	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	P40～P43 I/O制御レジスタ
					IOC42	0	Output	Input	
					IOC41	0	Output	Input	
					IOC40	0	Output	Input	
	R/W								
FF32H	PUL43	PUL42	PUL41	PUL40	PUL43	1	On	Off	P40～P43ブルダウン制御レジスタ
					PUL42	1	On	Off	
					PUL41	1	On	Off	
					PUL40	1	On	Off	
	R/W								
FF33H	SMT43	SMT42	SMT41	SMT40	SMT43	1	Schmitt	CMOS	P40～P43入力インタフェースレベル選択レジスタ
					SMT42	1	Schmitt	CMOS	
					SMT41	1	Schmitt	CMOS	
					SMT40	1	Schmitt	CMOS	
	R/W								
FF3CH	SIP03	SIP02	SIP01	SIP00	SIP03	0	Enable	Disable	P10～P13割り込み選択レジスタ
					SIP02	0	Enable	Disable	
					SIP01	0	Enable	Disable	
					SIP00	0	Enable	Disable	
	R/W								

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.5.8.1 (d) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF3DH	PCP03	PCP02	PCP01	PCP00	PCP03	1	↓	↓	P10～P13割り込み極性選択レジスタ
					PCP02	1	↓	↓	
					PCP01	1	↓	↓	
					PCP00	1	↓	↓	
	R/W								
FF3EH	SIP13	SIP12	SIP11	SIP10	SIP13	0	Enable	Disable	P40～P43割り込み選択レジスタ
					SIP12	0	Enable	Disable	
					SIP11	0	Enable	Disable	
					SIP10	0	Enable	Disable	
	R/W								
FF3FH	PCP13	PCP12	PCP11	PCP10	PCP13	1	↓	↓	P40～P43割り込み極性選択レジスタ
					PCP12	1	↓	↓	
					PCP11	1	↓	↓	
					PCP10	1	↓	↓	
	R/W								
FF44H	ENRTM	ENRST	ENON	BZE	ENRTM	0	1 sec	0.5 sec	エンベロープ減衰時間選択 エンベロープリセット(書き込み時) エンベロープOn/Off BZ出力イネーブル
					ENRST*3	Reset	Reset	Invalid	
					ENON	0	On	Off	
					BZE	0	Enable	Disable	
	R/W	W	R/W						
FF45H	0	BZSTP	BZSHT	SHTPW	0*3	-*2			未使用 1ショットブザーStop(書き込み時) 1ショットブザートリガ(書き込み時) 1ショットブザーステータス(読み出し時) 1ショットブザーパルス幅選択
					BZSTP*3	0	Stop	Invalid	
					BZSHT	0	Trigger	Invalid	
							Busy	Ready	
	R	W	R/W		SHTPW	0	125 msec	31.25 msec	
FF48H	0	0	SWDIR	EDIR	0*3	-*2			未使用 未使用 ストップウォッチダイレクト入力切り換え 0: P10=Run/Stop, P11=Lap, P11=Run/Stop ダイレクト入力イネーブル
					0*3	-*2			
					SWDIR	0			
					EDIR	0	Enable	Disable	
	R		R/W						
FF58H	0	ESOUT	SCTRG	ESIF	0*3	-*2			未使用 SOUTイネーブル シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P2ポート機能選択)
					ESOUT	0	Enable	Disable	
					SCTRG	0	Trigger	Invalid	
							Run	Stop	
	R		R/W		ESIF	0	SIF	I/O	
FF5AH	0	0	ESREADY	ENCS	0*3	-*2			未使用 未使用 スレーブ マスタ (SMOD=0) (SMOD=1) SIF使用時 P23機能選択 SIFイネーブル (P23ポート機能選択)
					0*3	-*2			
					ESREADY	0	SRDY	SS	
	R		R/W		ENCS	0	SIF	I/O	
FF60H	RFCNT	RFOUT	ERF1	ERF0	RFCNT	0	Continue	Normal	連続発振イネーブル RFOUTイネーブル R/F変換 [ERF1, 0] 0 1 2 3 選択 R/F変換 I/O Ch.1 DC Ch.1 AC Ch.1 DC
					RFOUT	0	Enable	Disable	
					ERF1	0			
					ERF0	0			
	R/W								
FF80H	MOD16_A	EVCNT_A	FCSEL_A	PLPUL_A	MOD16_A	0	16 bits	8 bits	PTM0-1 16ビットモード選択 PTM0カウンタモード選択 PTM0機能選択(イベントカウンタモード時) PTM0パルス極性選択(イベントカウンタモード時)
					EVCNT_A	0	Event ct.	Timer	
					FCSEL_A	0	With NR	No NR	
					PLPUL_A	0	↓	↓	
	R/W								
FF81H	PTSEL1	PTSEL0	CHSEL_A	PTOUT_A	PTSEL1	0	PWM	Normal	プログラマブルタイム1 PWM出力選択 プログラマブルタイム0 PWM出力選択 PTM0-1 TOUT_A出力選択 PTM0-1 TOUT_A出力制御
					PTSEL0	0	PWM	Normal	
					CHSEL_A	0	Timer 1	Timer 0	
					PTOUT_A	0	On	Off	
	R/W								
FF90H	MOD16_B	EVCNT_B	FCSEL_B	PLPUL_B	MOD16_B	0	16 bits	8 bits	PTM2-3 16ビットモード選択 PTM2カウンタモード選択 PTM2機能選択(イベントカウンタモード時) PTM2パルス極性選択(イベントカウンタモード時)
					EVCNT_B	0	Event ct.	Timer	
					FCSEL_B	0	With NR	No NR	
					PLPUL_B	0	↓	↓	
	R/W								
FF91H	PTSEL3	PTSEL2	CHSEL_B	PTOUT_B	PTSEL3	0	PWM	Normal	プログラマブルタイム3 PWM出力選択 プログラマブルタイム2 PWM出力選択 汎用レジスタ 汎用レジスタ
					PTSEL2	0	PWM	Normal	
					CHSEL_B	0	1	0	
					PTOUT_B	0	1	0	
	R/W								
FFA0H	MOD16_C	EVCNT_C	FCSEL_C	PLPUL_C	MOD16_C	0	16 bits	8 bits	PTM4-5 16ビットモード選択 PTM4カウンタモード選択 PTM4機能選択(イベントカウンタモード時) PTM4パルス極性選択(イベントカウンタモード時)
					EVCNT_C	0	Event ct.	Timer	
					FCSEL_C	0	With NR	No NR	
					PLPUL_C	0	↓	↓	
	R/W								

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.5.8.1(e) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFA1H	PTSEL5	PTSEL4	CHSEL_C	PTOUT_C	PTSEL5	0	PWM	Normal	プログラマブルタイマ5 PWM出力選択
					PTSEL4	0	PWM	Normal	プログラマブルタイマ4 PWM出力選択
	R/W				CHSEL_C	0	1	0	汎用レジスタ
					PTOUT_C	0	1	0	汎用レジスタ
FFB0H	MOD16_D	EVCNT_D	FCSEL_D	PLPUL_D	MOD16_D	0	16 bits	8 bits	PTM6-7 16ビットモード選択
					EVCNT_D	0	Event ct.	Timer	PTM6カウンタモード選択
	R/W				FCSEL_D	0	With NR	No NR	PTM6機能選択(イベントカウンタモード時)
					PLPUL_D	0			PTM6パルス極性選択(イベントカウンタモード時)
FFB1H	PTSEL7	PTSEL6	CHSEL_D	PTOUT_D	PTSEL7	0	PWM	Normal	プログラマブルタイマ7 PWM出力選択
					PTSEL6	0	PWM	Normal	プログラマブルタイマ6 PWM出力選択
	R/W				CHSEL_D	0	1	0	汎用レジスタ
					PTOUT_D	0	1	0	汎用レジスタ
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み3<P13>)
					EIK02	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み2<P12>)
	R/W				EIK01	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み1<P11>)
					EIK00	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み0<P10>)
FFECH	EIK13	EIK12	EIK11	EIK10	EIK13	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み7<P43>)
					EIK12	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み6<P42>)
	R/W				EIK11	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み5<P41>)
					EIK10	0	Enable	Mask	割り込みマスキングレジスタ(キー入力割り込み4<P40>)
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み3<P13>)
					IK02	0	Yes	No	割り込み要因フラグ(キー入力割り込み2<P12>)
	R/W				IK01	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み1<P11>)
					IK00	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み0<P10>)
FFFCH	IK13	IK12	IK11	IK10	IK13	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み7<P43>)
					IK12	0	Yes	No	割り込み要因フラグ(キー入力割り込み6<P42>)
	R/W				IK11	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み5<P41>)
					IK10	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み4<P40>)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

(1) ポート機能の選択

● ESIF: シリアルインタフェースイネーブル(P2ポート機能選択)レジスタ (FF58H・D0)

P20 ~ P23の機能を選択します。

"1" 書き込み: シリアルインタフェース入出力ポート

"0" 書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P20 ~ P23の中でシリアルインタフェースの入出力に使用される端子の構成は、SMODレジスタで選択するマスタ/スレーブモードによって決定します(4.10項参照)。スレーブモードではP20 ~ P23すべてがシリアルインタフェースの入出力ポートに設定されます。マスタモードではP20 ~ P22がシリアルインタフェースの入出力ポートに設定され、P23は入出力兼用ポートとして使用することができます。また、ESOUTレジスタでSOUTをディセーブル(ESOUT = "0")に設定すると、P21を入出力兼用ポートとして使用することができます。イニシャルリセット時、このレジスタは"0"に設定されます。

● ENCS: シリアルインタフェースイネーブル(P23ポート機能選択)レジスタ (FF5AH・D0)

P23の機能を選択します。

"1" 書き込み: シリアルインタフェース入出力ポート(SRDYまたは $\overline{SS}$)

"0" 書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースがスレーブモード時でもSRDY出力または $\overline{SS}$ 入力が必要な場合は、ENCSを"0"に設定することでP23を入出力兼用ポートとして使用することができます。イニシャルリセット時、このレジスタは"0"に設定されます。

● ERF1, ERF0: R/F変換選択レジスタ (FF60H・D1, D0)

P00 ~ P03の機能を選択します。

R/Fコンバータを使用する場合に"01B ~ 11B"、入出力兼用ポートとして使用する場合に"00B"を書き込みます。また、RFOUTレジスタでRFOUTをディセーブル(RFOUT = "0")に設定すると、R/Fコンバータ使用時もP03を入出力兼用ポートとして使用することができます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● EDIR: ダイレクト入力機能イネーブルレジスタ (FF48H・D0)

ダイレクト入力(RUN/LAP)機能を有効/無効に設定します。

"1" 書き込み: 有効

"0" 書き込み: 無効

読み出し: 可能

EDIRに"1"を書き込むことによりストップウォッチのダイレクト入力機能が有効となり、P10とP11がRUN/STOP、LAPのキー入力ポートに設定されます。EDIRを"0"に設定することでP10とP11を入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EVCNT_A: PTM0カウンタモード選択レジスタ (FF80H・D2)

EVCNT_B: PTM2カウンタモード選択レジスタ (FF90H・D2)

EVCNT_C: PTM4カウンタモード選択レジスタ (FFA0H・D2)

EVCNT_D: PTM6カウンタモード選択レジスタ (FFB0H・D2)

プログラマブルタイマ0/2/4/6のカウンタモードを選択します。

"1" 書き込み: イベントカウンタモード

"0" 書き込み: タイマモード

読み出し: 可能

EVCNT_A/B/C/Dに"1"を書き込むことによりプログラマブルタイマ0/2/4/6がイベントカウンタモードに設定されます。これにより、P12/P41/P42/P43がイベントカウンタ用の外部クロック入力ポートになります。EVCNT_A/B/C/Dを"0"に設定することでP12/P41/P42/P43を入出力兼用ポートとして使用することができます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

(2) 入出力兼用ポートの制御

● P00 ~ P03: P0入出力兼用ポートデータレジスタ (FF20H)

P10 ~ P13: P1入出力兼用ポートデータレジスタ (FF24H)

P20 ~ P23: P2入出力兼用ポートデータレジスタ (FF28H)

P40 ~ P43: P4入出力兼用ポートデータレジスタ (FF30H)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

● データ書き込み時

"1" 書き込み: HIGHレベル

"0" 書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

• データ読み出し時

"1" 書き込み: HIGHレベル

"0" 書き込み: LOWレベル

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。マスクオプションのプルダウン抵抗を内蔵し、PUL $_{xx}$ レジスタに"1"を設定している場合、入力モード時には内蔵プルダウン抵抗がONとなり、入出力兼用ポート端子がプルダウンされます。

出力モードに設定されている場合はレジスタの内容が読み出されます。したがって、信号の入出力に使用しないポートのデータレジスタを汎用レジスタとして使用する場合は、そのポートを出力モードに設定しておく必要があります。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

R/Fコンバータやシリアルインタフェースの入出力、および特殊出力に設定したポートのデータレジスタは、入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がり遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量} 5\text{pF} + \text{寄生容量} \text{?pF}) \times R(\text{プルダウン抵抗} 375\text{k}\Omega \text{ Max.})$$

● IOC00 ~ IOC03: P0ポートI/O制御レジスタ (FF21H)

IOC10 ~ IOC13: P1ポートI/O制御レジスタ (FF25H)

IOC20 ~ IOC23: P2ポートI/O制御レジスタ (FF29H)

IOC40 ~ IOC43: P4ポートI/O制御レジスタ (FF31H)

入出力兼用ポートの入力/出力モードを設定します。

"1" 書き込み: 出力モード

"0" 書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、IOC $_{xx}$ レジスタは"0"に設定され、対応する入出力兼用ポートP $_{xx}$ は入力モードになります。

R/Fコンバータやシリアルインタフェースの入出力、および特殊出力に設定したポートのI/O制御レジスタは、入出力には影響を与えない汎用レジスタとなります。

● PUL00 ~ PUL03: P0ポートプルダウン制御レジスタ (FF22H)

PUL10 ~ PUL13: P1ポートプルダウン制御レジスタ (FF26H)

PUL20 ~ PUL23: P2ポートプルダウン制御レジスタ (FF2AH)

PUL40 ~ PUL43: P4ポートプルダウン制御レジスタ (FF32H)

入力モード時のプルダウンを設定します。

"1" 書き込み: プルダウンON

"0" 書き込み: プルダウンOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルダウン抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。) プルダウン制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルダウンがONとなります。"0"を書き込んだ場合、および出力モードではプルダウンされません。イニシャルリセット時、PULxxレジスタは"1"に設定され、対応する入出力兼用ポートPxxのプルダウン抵抗がONになります。

マスクオプションによりプルダウン抵抗が付加されていないポート、およびシリアルインタフェースのシリアル出力、R/Fコンバータの入出力、特殊出力に使用するポートのプルダウン制御レジスタはプルダウンには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルダウン制御レジスタは入出力兼用ポートの場合と同様に機能します。

- **SMT10 ~ SMT13: P1ポート入力インタフェースレベル選択レジスタ (FF27H)**
SMT20 ~ SMT23: P2ポート入力インタフェースレベル選択レジスタ (FF2BH)
SMT40 ~ SMT43: P4ポート入力インタフェースレベル選択レジスタ (FF33H)
 入力インタフェースレベルを選択します。

"1" 書き込み: CMOSシュミット

"0" 書き込み: CMOSレベル

読み出し: 可能

入出力兼用ポートの入力インタフェースレベルを1ビット単位に設定します。

SMTxxに"1"を書き込むことにより、対応する入出力兼用ポートPxxがCMOSシュミット入力に設定されます。"0"を書き込んだ場合は、CMOSレベルの入力インタフェースに設定されます。(P0xはCMOSシュミットレベル固定設定になります。)

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

- **SIP00 ~ SIP03: P1ポート割り込み選択レジスタ (FF3CH)**
SIP10 ~ SIP13: P4ポート割り込み選択レジスタ (FF3EH)
 P10 ~ P13、P40 ~ P43の中からキー入力割り込みに使用するポートを選択します。

"1" 書き込み: 割り込み許可

"0" 書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIP00 ~ SIP03、SIP10 ~ SIP13)に"1"を書き込んだ入出力兼用ポート(P10 ~ P13、P40 ~ P43)の割り込みを許可します。"0"に設定した入出力兼用ポートはキー入力割り込みの発生条件には影響を与えません。

SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx = "1")しておく必要があります。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

- **PCP00 ~ PCP03: P1ポート割り込み極性選択レジスタ (FF3DH)**
PCP10 ~ PCP13: P4ポート割り込み極性選択レジスタ (FF3FH)
 割り込み発生タイミングを設定します。

"1" 書き込み: 立ち下がりエッジ

"0" 書き込み: 立ち上がりエッジ

読み出し: 可能

割り込み極性選択レジスタ(PCP00 ~ PCP03、PCP10 ~ PCP13)に"1"を書き込んだ入出力兼用ポート(P10 ~ P13、P40 ~ P43)のキー入力割り込みは、入力の立ち下がりエッジで発生します。"0"に設定した入出力兼用ポートのキー入力割り込みは、入力の立ち上がりエッジで発生します。

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

- **NRSP01, NRSP00: キー入力割り込み0～3ノイズリジェク周波数選択レジスタ (FF11H・D1, D0)**
NRSP11, NRSP10: キー入力割り込み4～7ノイズリジェク周波数選択レジスタ (FF11H・D3, D2)
 キー入力割り込みのノイズリジェク周波数を選択します。

表4.5.8.2 ノイズリジェクタの設定

NRSP01 NRSP11	NRSP00 NRSP10	ノイズリジェク周波数	リジェクパルス幅
1	1	fosc1 / 256 (128Hz)	7.8msec
1	0	fosc1 / 64 (512Hz)	2.0msec
0	1	fosc1 / 16 (2kHz)	0.5msec
0	0	OFF (バイパス)	—

NRSP0x, NRSP1xはそれぞれP10～P13(キー入力割り込み0～3)、P40～P43(キー入力割り込み4～7)の割り込みに対応するノイズリジェク周波数選択レジスタです。
 イニシャルリセット時、これらのレジスタは"00B"に設定されます。

- **EIK00～EIK03: キー入力割り込み0～3割り込みマスクレジスタ (FFEBH)**
EIK10～EIK13: キー入力割り込み4～7割り込みマスクレジスタ (FFECH)
 キー入力割り込みを許可/禁止します。

"1" 書き込み: イネーブル
 "0" 書き込み: マスク
 読み出し: 可能

EIK00～EIK03, EIK10～EIK13はそれぞれP10～P13(キー入力割り込み0～3)、P40～P43(キー入力割り込み4～7)の割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

EIKxxレジスタが"0"に設定されている場合でも、入力割り込み要因によってSLEEPモードは解除できます。

ただし、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセットしておく必要があります。
 イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **IK00～IK03: キー入力割り込み0～3割り込み要因フラグ (FFFBH)**
IK10～IK13: キー入力割り込み4～7割り込み要因フラグ (FFFCH)
 キー入力割り込みの発生状態を示すフラグです。

"1" 書き込み: 割り込み有
 "0" 書き込み: 割り込み無
 "1" 書き込み: 要因フラグをリセット
 "0" 書き込み: 無効

割り込み要因フラグIK00～IK03, IK10～IK13はそれぞれP10～P13(キー入力割り込み0～3)、P40～P43(キー入力割り込み4～7)の割り込みに対応します。これらのフラグによってキー入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

(3) 特殊出力の制御

● FOUT0 ～ FOUT3: FOUT周波数選択レジスタ (FF10H)

FOUT周波数を選択し、FOUT出力を制御します。

表4.5.8.3 FOUTクロック周波数

FOUT3	FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	1	fosc3
1	1	1	0	fosc3 / 2
1	1	0	1	fosc3 / 4
1	1	0	0	fosc3 / 8
1	0	1	1	fosc3 / 16
1	0	1	0	fosc3 / 32
1	0	0	1	fosc3 / 64
1	0	0	0	fosc3 / 256
0	1	1	1	fosc1 (32kHz)
0	1	1	0	fosc1 / 2 (16kHz)
0	1	0	1	fosc1 / 4 (8kHz)
0	1	0	0	fosc1 / 16 (2kHz)
0	0	1	1	fosc1 / 32 (1kHz)
0	0	1	0	fosc1 / 64 (512Hz)
0	0	0	1	fosc1 / 256 (128Hz)
0	0	0	0	Off

fosc1: OSC1発振周波数、()内の周波数はfosc1=32kHzの場合

fosc3: OSC3発振周波数

FOUT周波数を選択する(1 ～ 15を書き込む)ことによってP23端子からFOUT信号が出力されます。FOUT0 ～ FOUT3が"0"の場合、P23ポートは汎用のDC入出力ポートとして機能します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZE: BZ出力イネーブルレジスタ (FF44H・D0)

ブザー出力を制御します。

"1" 書き込み: ブザー出力ON

"0" 書き込み: ブザー出力OFF

読み出し: 可能

BZEに"1"を書き込むことによってP03端子からBZ信号が出力されます。

BZEが"0"の場合、P03ポートは汎用のDC入出力ポートとして機能します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZSHT: 1ショットブザートリガ/ステータス (FF45H・D1)

1ショットブザー出力の制御を行います。

• データ書き込み時

"1" 書き込み: トリガ

"0" 書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

• データ読み出し時

"1" 読み出し: BUSY

"0" 読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PTOUT_A: TOUT_A出力制御レジスタ (FF81H・D0)

TOUT_A出力を制御します。

"1" 書き込み: TOUT出力ON

"0" 書き込み: TOUT出力OFF

読み出し: 可能

PTOUT_Aに"1"を書き込むことによってP13端子からTOUT_A信号が出力されます。

レジスタが"0"の場合、対応する端子は汎用のDC入出力ポートとして機能します。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

4.5.9 プログラミング上の注意事項

- (1) 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}15\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}500\text{k}\Omega \text{ Max.})$$
- (2) SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- (3) SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx = "1")しておく必要があります。また、SLEEP解除後にキー入力割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIKxx = "1")しておく必要があります。
- (4) TOUT_A信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (5) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.4 発振回路"を参照してください。
- (6) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (7) ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインタフェース、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

4.6 LCDドライバ

4.6.1 LCDドライバの構成

S1C63616は最大1,280ドット(40セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバを内蔵しています。図4.6.1.1～4.6.1.3にLCDドライバと駆動電源の構成を示します。

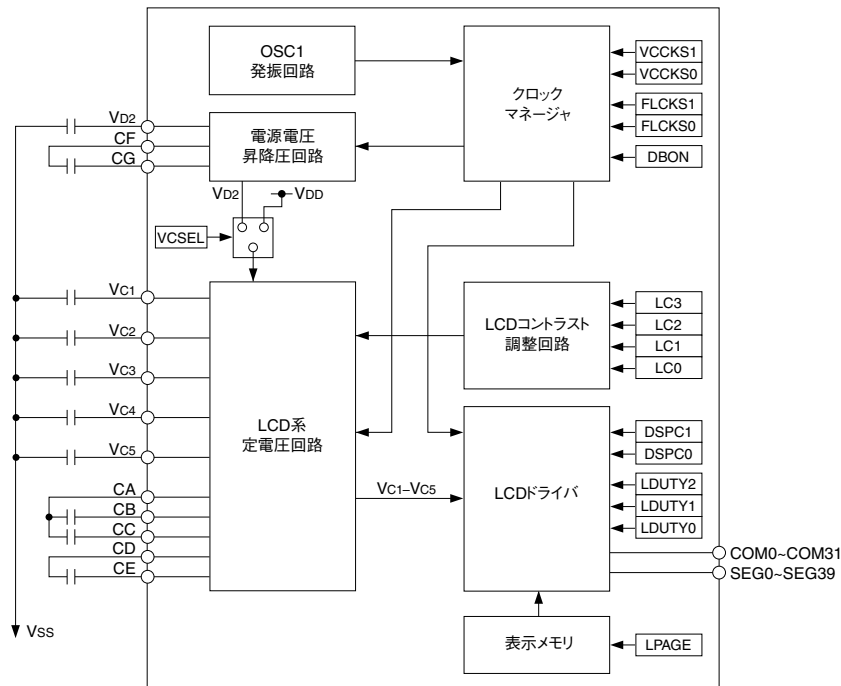


図4.6.1.1 LCDドライバと駆動電源の構成 (V_{C2}基準, 1/5バイアスの場合)

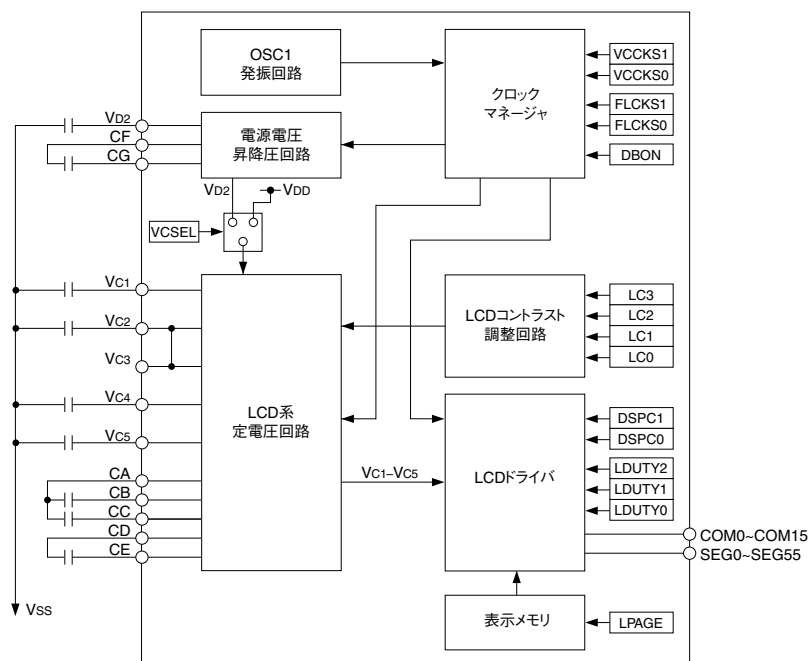


図4.6.1.2 LCDドライバと駆動電源の構成 (V_{C2}基準, 1/4バイアスの場合)

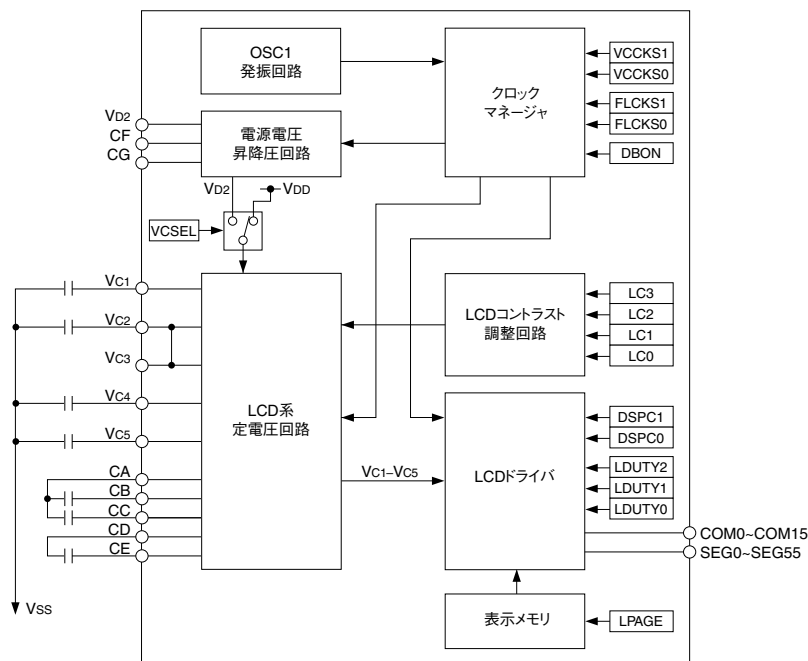


図4.6.1.3 LCDドライバと駆動電源の構成 (Vc1基準, 1/4バイアスの場合)

4.6.2 LCD駆動電源

(1) マスクオプション

LCD系の駆動電圧 $V_{c1} \sim V_{c5}$ を生成する内部電源として3種類のオプションが用意されています。

- TYPE 1 V_{c2} 基準, 1/5バイアス
 $V_{DD} = 1.6 \sim 2.5V$ (電源電圧昇降圧回路を使用する)
 $V_{DD} = 2.5 \sim 5.5V$ (電源電圧昇降圧回路を使用しない)
- TYPE 2 V_{c2} 基準, 1/4バイアス
 $V_{DD} = 1.6 \sim 2.5V$ (電源電圧昇降圧回路を使用する)
 $V_{DD} = 2.5 \sim 5.5V$ (電源電圧昇降圧回路を使用しない)
- TYPE 3 V_{c1} 基準, 1/4バイアス
 $V_{DD} = 1.6 \sim 5.5V$ (電源電圧昇降圧回路を使用しない)

電源電圧やパネルの特性に合わせ、TYPE 1 ～ TYPE 3から選択してください。

LCD系定電圧回路によってV_{C1}またはV_{C2}の基準電圧を発生し、その電圧を昇降圧して他の電位を発生します。

表4.6.2.1にV_{C1}、V_{C2}、V_{C3}、V_{C4}、V_{C5}の電圧値と昇降圧の状態を示します。なお、1/5バイアス、1/4バイアスの選択により外付けの部品点数が変わりますので注意してください(図4.6.1.1～4.6.1.3参照)。

表4.6.2.1 LCD駆動電圧

LCD駆動電圧	TYPE 1	[V]	TYPE 2	[V]	TYPE 3	[V]
V _{C1}	V _{C2} × 0.5	1.10	V _{C2} × 0.5	1.13	V _{C1} (基準)	1.13
V _{C2}	V _{C2} (基準)	2.20	V _{C2} (基準)	2.25	V _{C1} × 2	2.25
V _{C3}	V _{C2} × 1.5	3.30	= V _{C2}	2.25	= V _{C2}	2.25
V _{C4}	V _{C2} × 2	4.40	V _{C2} × 1.5	3.38	V _{C1} × 3	3.38
V _{C5}	V _{C2} × 2.5	5.50	V _{C2} × 2	4.50	V _{C1} × 4	4.50

注: 各LCD駆動電圧はコントラスト調整レジスタ(LCx)の設定により変わります。

(2) LCD系定電圧回路の制御

LCD表示を開始するには、LPWRレジスタによってLCD系定電圧回路をONする必要があります。LPWRに"1"を書き込むとLCD系定電圧回路がONし、表4.6.2.1に示したLCD駆動電圧を生成します。イニシャルリセット時、LPWRは"0"(OFF)に設定されます。

LCDを使用しない場合は消費電力を低減するため、LCD系定電圧回路をOFFにしてください。

安定したLCD駆動電圧を生成するためには、基準電圧V_{C2}またはV_{C1}以上の電圧でLCD系定電圧回路を駆動する必要があります。特にV_{C2}基準の場合、電源電圧V_{DD}が2.5V未満のときは電源電圧昇降圧回路(昇圧モード)が生成するV_{D2}でLCD系定電圧回路を駆動できるようになっています(LCD電源がTYPE 1または2の場合)。V_{D2}はV_{DD}を約2倍に昇圧した電圧です。LCD系定電圧回路をV_{DD}とV_{D2}のどちらで駆動するかについては、VCSELレジスタで選択します。VCSELが"0"の場合はV_{DD}が、"1"の場合はV_{D2}が選択されます。V_{D2}を使用するにはV_{D2}に切り換える前にレジスタDBONに"1"を書き込み、電源電圧昇降圧回路(昇圧モード)をONしておく必要があります。V_{C1}基準の場合、この制御は不要です。VCSELとDBONはどちらも"0"のまま変更せずに使用してください。

また、LCD系定電圧回路は昇降圧動作に、クロックマネージャから送られる昇圧クロックを使用します。このクロック供給をVCCKS0～VCCKS1レジスタによって制御します。LPWRに"1"を書き込む前にVCCKSを"01B"に設定してください。LCDを使用しない場合は消費電力を低減するため、VCCKSを"00B"に設定し、クロック供給を停止してください。

表4.6.2.2 昇圧クロックの制御

VCCKS1	VCCKS0	昇圧クロック制御
1	*	禁止
0	1	ON(2kHz)
0	0	OFF

注: CPUのSLP命令によって移行するSLEEP状態では、発振回路も停止します。そのため、電源電圧昇降圧回路はV_{D2}を生成できません。SLP命令を実行する前に、LCD系定電圧回路をV_{DD}駆動(VCSEL="0"、DBON="0")に戻してください。

(3) LCD系定電圧回路の重負荷保護モード

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定したLCD表示が行えるように(表示品質の劣化を抑えるため)、LCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。VCHLMODレジスタに"1"を書き込むとLCD系定電圧回路は重負荷保護モードとなり、V_{C1}～V_{C5}出力の安定化を図ります。ポート出力によってランプやブザーなどの重負荷を駆動した際、液晶表示に濃淡が現れる場合に使用してください。

イニシャルリセット時、VCHLMODは"0"(OFF)に設定されます。

注: 重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.6.3 LCD表示の制御

(1) 表示モードの選択

LPWRによる表示のON/OFF制御とは別に、表示モードを選択するDSPC0～DSPC1レジスタが用意されています。表示モードは、表4.6.3.1に示す4種類が設定できます。

表4.6.3.1 表示モード

DSPC1	DSPC0	表示モード
1	1	全白モード
1	0	全黒モード
0	1	反転モード
0	0	通常モード

通常モード: 表示RAMに書き込まれている画像をそのまま出力します。(デフォルト)

反転モード: 表示RAMに書き込まれている画像を白黒反転して表示します。表示RAMの内容は変更されません。

全黒モード: LCDをスタティック駆動で全点灯(全体を黒く表示)します(LCDがノーマルホワイトの場合)。表示RAMの内容は変更されません。

全白モード: LCDをダイナミック駆動で全消灯(全体を白く表示)します(LCDがノーマルホワイトの場合)。表示RAMの内容は変更されません。

(2) 駆動デューティとフレーム周波数

S1C63616はソフトウェアにより駆動デューティを1/32、1/24、1/16の3種類に切り換えることができます。この設定は表4.6.3.2に示すとおり、レジスタLDUTY2～LDUTY0によって行います。使用するLCDパネルに合わせて選択してください。

フレーム周波数は、選択したデューティとクロックマネージャから送られるクロックの組み合わせにより決定します。このクロック(8Hz～32Hz)を選択するFLCKS0～FLCKS1レジスタが設けられています。

低いフレーム周波数を選択すると消費電流を低減できます。

注: フレーム周波数の選択は表示品質に影響するため、実際のLCDパネルを使用した評価の後に決定されることを推奨します。

表4.6.3.2 フレーム周波数とデューティの組み合わせ

LDUTY2	LDUTY1	LDUTY0	デューティ	フレーム周波数				駆動バイアス (マスクオプション)
				FLCKS = 11B	FLCKS = 10B	FLCKS = 01B	FLCKS = 00B	
1	1	1	設定禁止	—	—	—	—	—
1	1	0	設定禁止	—	—	—	—	—
1	0	1	設定禁止	—	—	—	—	—
1	0	0	1/16	8Hz	16Hz	21.333Hz	32Hz	1/4バイアス
0	1	1	1/24	5.333Hz	10.666Hz	14.22Hz	21.333Hz	1/5バイアス
0	1	0	1/24	10.666Hz	21.333Hz	28.44Hz	42.666Hz	1/5バイアス
0	0	1	設定禁止	—	—	—	—	—
0	0	0	1/32	8Hz	16Hz	21.333Hz	32Hz	1/5バイアス

表4.6.3.3に駆動デューティとSEG/COM端子および最大表示ドット数の対応を示します。

表4.6.3.3 駆動デューティ、SEG/COM端子、最大表示ドット数の対応

端子 デューティ	SEG0～SEG39	COM31～COM24	COM23～COM16	COM15～COM0	表示ドット数
1/32	SEG0～SEG39	COM31～COM24	COM23～COM16	COM15～COM0	1,280
1/24	SEG0～SEG39	SEG40～SEG47	COM23～COM16	COM15～COM0	1,152
1/16	SEG0～SEG39	SEG40～SEG47	SEG48～SEG55	COM15～COM0	896

各デューティの駆動波形を図4.6.3.1～図4.6.3.3に示します。

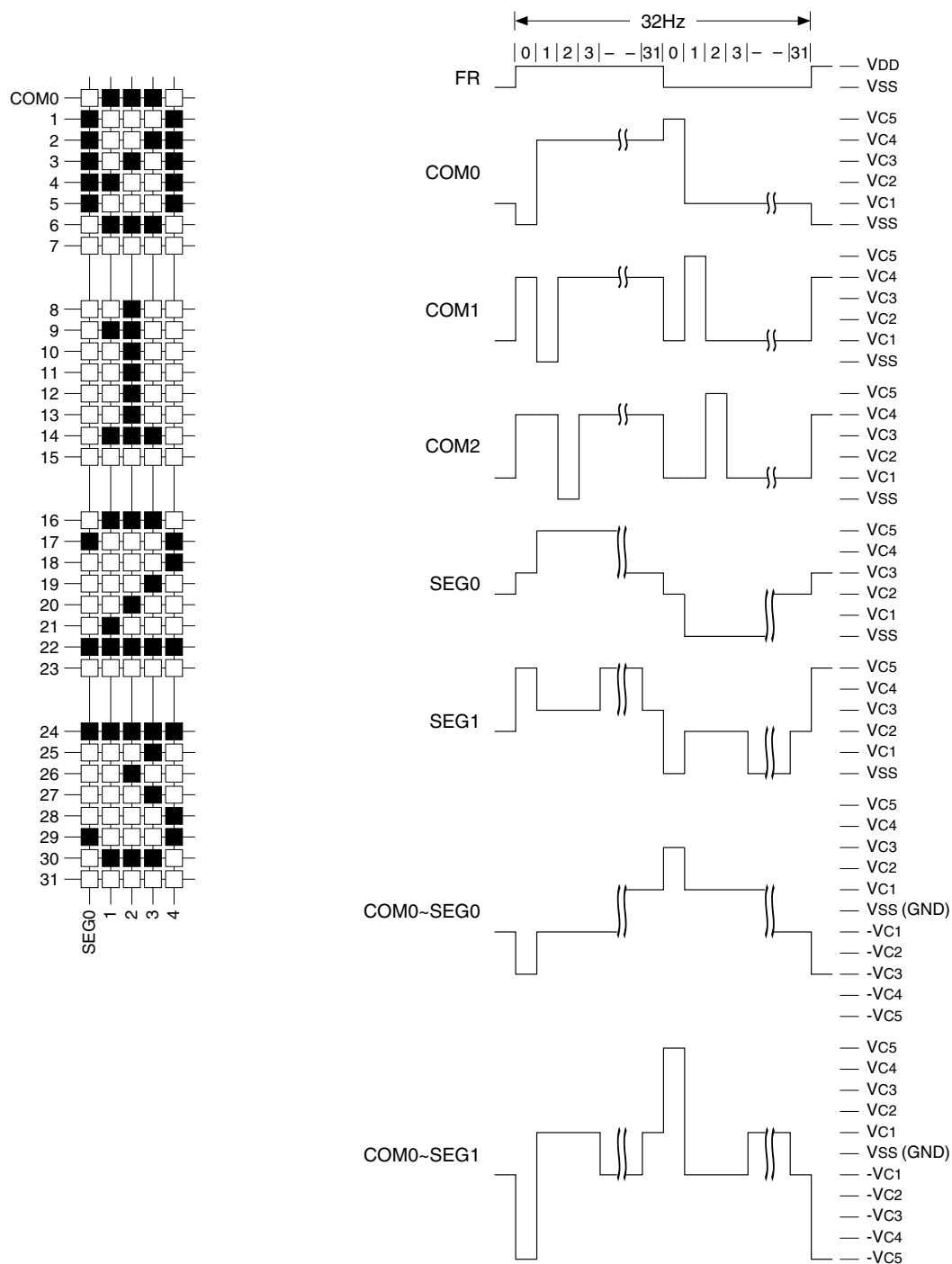


図4.6.3.1 1/32デューティ LCD駆動波形 (FLCKS="00B")

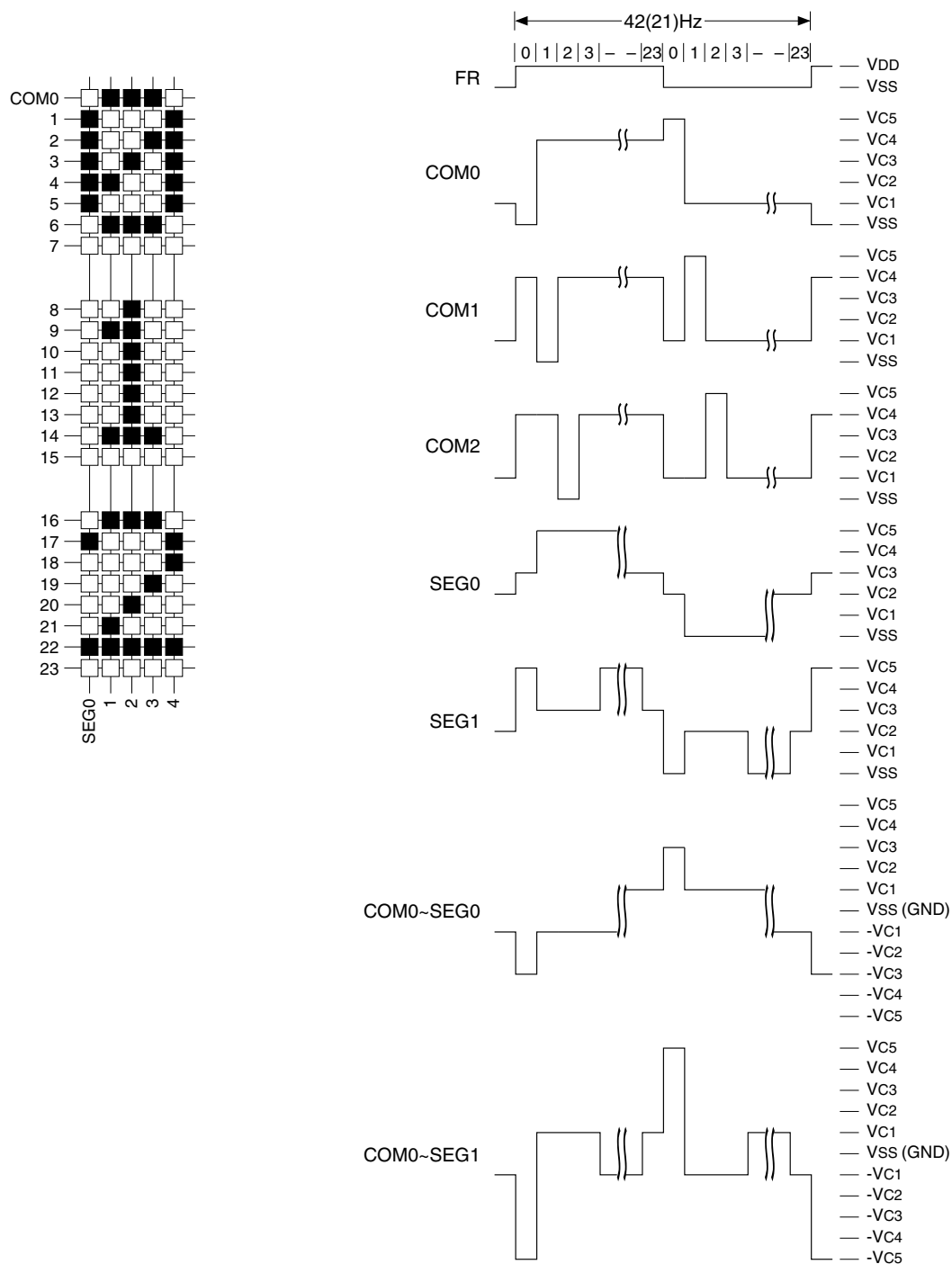


図4.6.3.2 1/24デューティ LCD駆動波形 (FLCKS="00B")

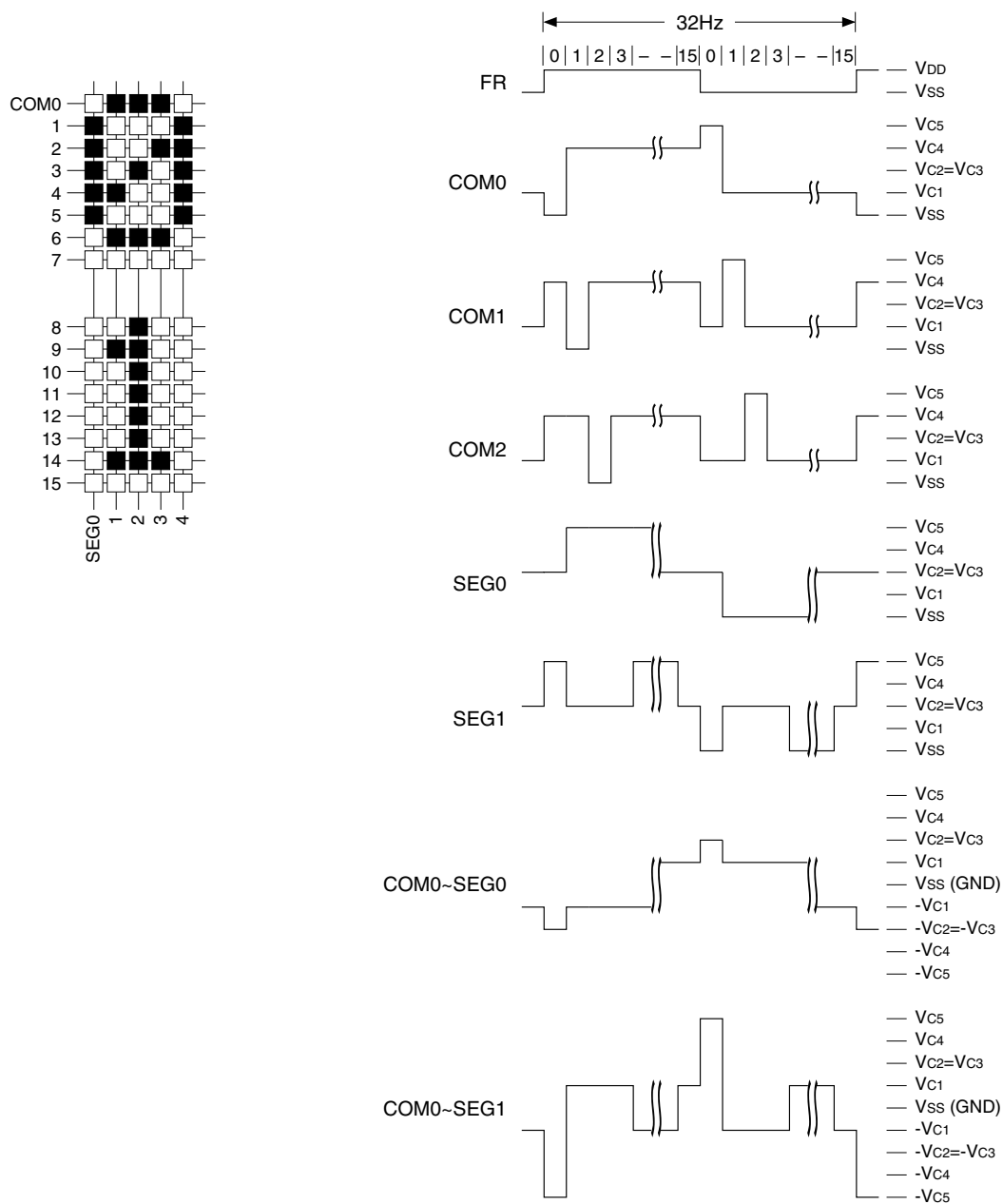


図4.6.3.3 1/16デューティ LCD駆動波形 (FLCKS="00B")

4.6.4 表示メモリ

表示メモリはデータメモリ領域のF000H～F36FHに割り付けられており、図4.6.4.1～図4.6.4.3のようにCOM出力、SEG出力に対応しています。

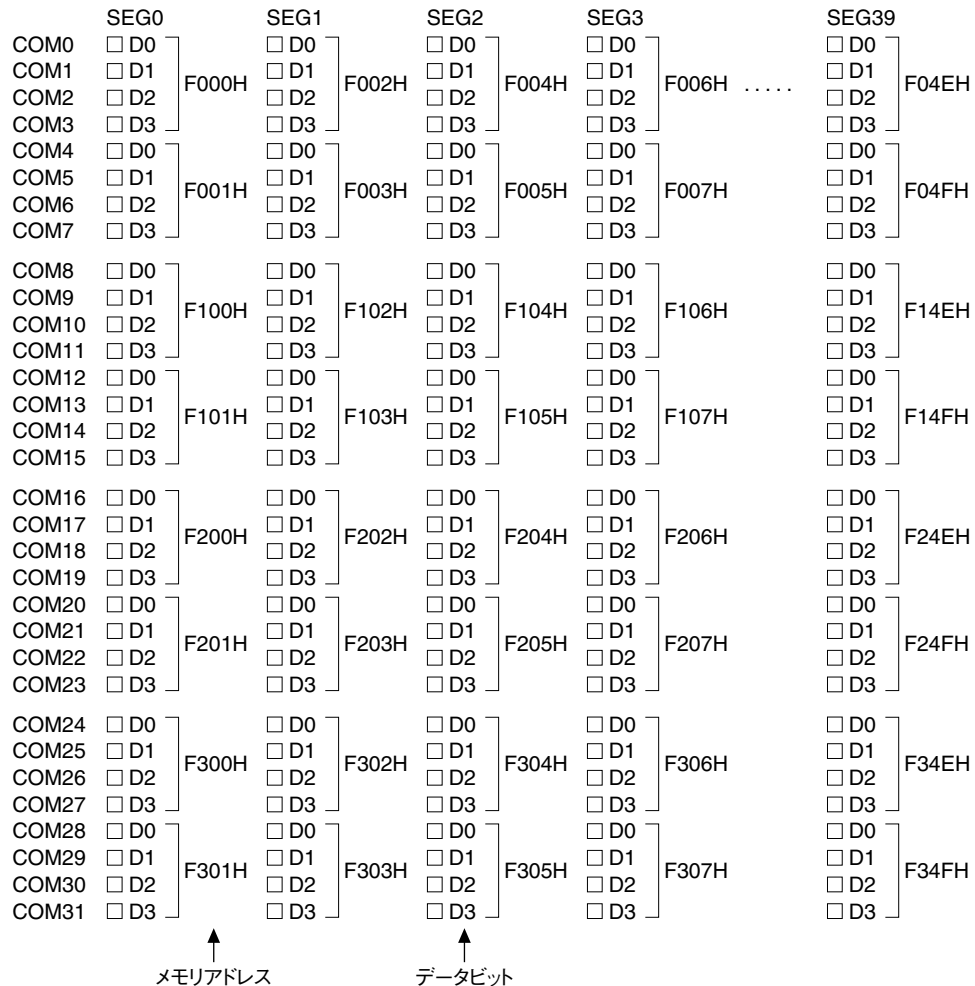


図4.6.4.1 表示メモリとLCDドットマトリクスに対応(1/32デューティ選択時)

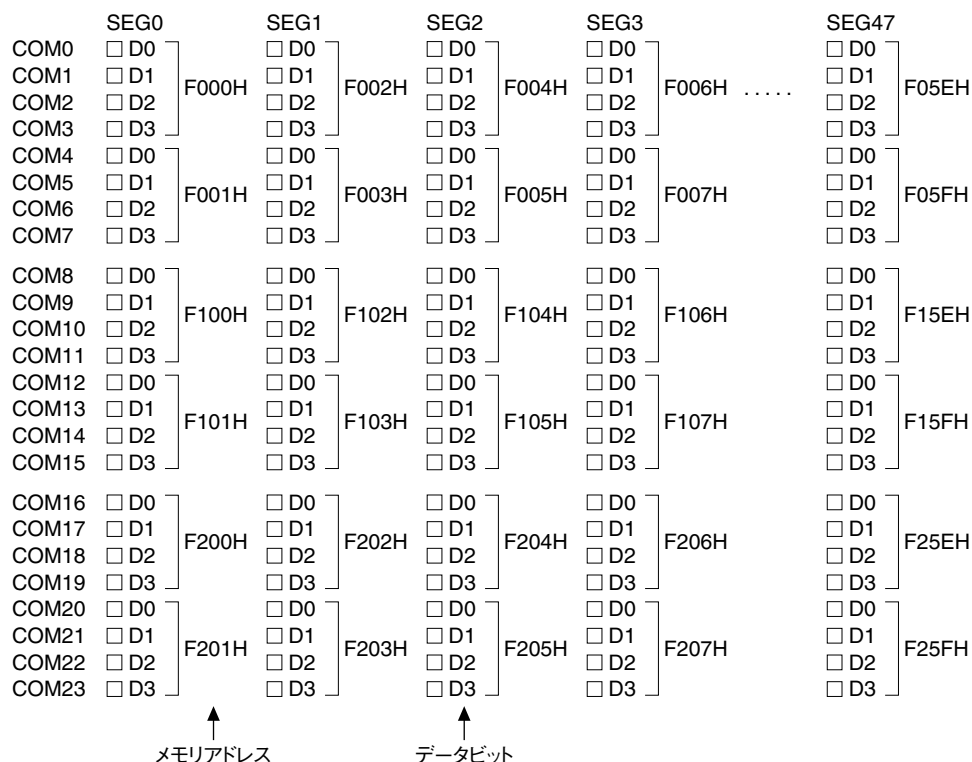


図4.6.4.2 表示メモリとLCDドットマトリクスの対応(1/24デューティ選択時)

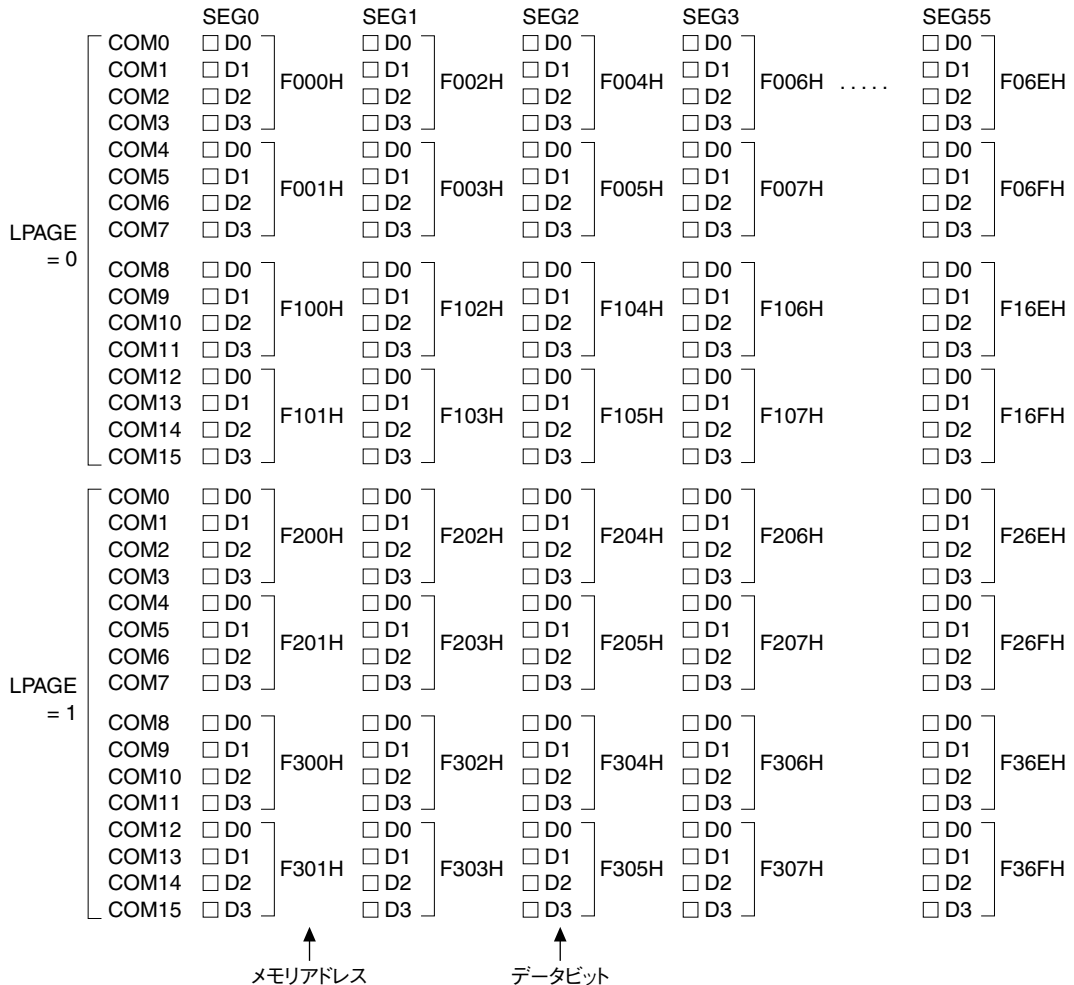


図4.6.4.3 表示メモリとLCDドットマトリクスに対応(1/16デューティ選択時)

表示メモリのビットを"1"にすると対応するLCDのドットが点灯し、"0"にすると消灯します。

1/16デューティ選択時は2画面分の表示メモリを使用可能です。F000H～F16FHとF200H～F36FHのどちらの領域のデータを表示させるか、LPAGEレジスタで選択します。これにより、画面を瞬時に切り換えることができます。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレスは汎用レジスタとして使用することができます。

注: メモリ非実装領域 (F070H～F0FFH, F170H～F1FFH, F270H～F2FFH, F370H～F3FFH) をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。

4.6.5 LCDコントラスト調整

LCDのコントラストをソフトウェアによって調整することができます
これはLCD系定電圧回路が出力する $V_{C1} \sim V_{C5}$ の電圧を制御することによって実現しています。
コントラストはLC3～LC0レジスタによって16段階に調整可能です。

表4.6.5.1 LCDのコントラスト調整

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡
1	0	0	0	1	↑
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	↓
15	1	1	1	1	濃

イニシャルリセット時、LC3～LC0は0000Bになります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

4.6.6 LCDドライバのI/Oメモリ

表4.6.6.1にLCDドライバの制御ビットとそのアドレスを、図4.6.6.1に表示メモリマップを示します。

表4.6.6.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF02H	VDSEL	VCSEL	HLON	DBON	VDSEL	0	1	0	汎用レジスタ LCD系定電圧回路電源切り換え 電源電圧昇降圧回路 降圧モードOn/Off 電源電圧昇降圧回路 昇圧モードOn/Off
					VCSEL	0	V _{D2}	V _{DD}	
	R/W				HLON	0	On	Off	
					DBON	0	On	Off	
FF03H	VCHLMOD	VDHLMOD	General	LPWR	VCHLMOD	0	On	Off	LCD系定電圧回路重負荷保護モードOn/Off 内部(V _{D1})定電圧回路重負荷保護モードOn/Off 汎用レジスタ LCD系定電圧回路On/Off
					VDHLMOD	0	On	Off	
	R/W				General	0	1	0	
					LPWR	0	On	Off	
FF12H	FLCKS1	FLCKS0	VCCKS1	VCCKS0	FLCKS1	0			フレーム [FLCKS1, 0] 0 1 2 3 周波数選択 周波数 32Hz 24Hz 16Hz 8Hz VC昇圧 [VCCKS1, 0] 0 1 2, 3 周波数選択 周波数 Off 2kHz 禁止
					FLCKS0	0			
	R/W				VCCKS1	0			
					VCCKS0	0			
FF50H	General	LPAGE	DSPC1	DSPC0	General	0	1	0	汎用レジスタ 表示メモリ領域選択(1/16デューティ選択時) 1/24、1/32デューティ選択時は汎用レジスタとして機能 LCD表示 [DSPC1, 0] 0 1 2 3 モード選択 表示モード 通常 反転 全点灯 全消灯
					LPAGE	0	F200-F36F	F000-F16F	
	R/W				DSPC1	0			
					DSPC0	0			
FF51H	General	LDUTY2	LDUTY1	LDUTY0	General	0	1	0	汎用レジスタ LCD駆動 [LDUTY2-0] 0 1 2 デューティ 1/32(32Hz) 禁止 1/24(42Hz) デューティ [LDUTY2-0] 3 4 5~7 選択 デューティ 1/24(21Hz) 1/16(32Hz) 禁止
					LDUTY2	0			
	R/W				LDUTY1	0			
					LDUTY0	0			
FF52H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整 [LC3-0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC2	0			
	R/W				LC1	0			
					LC0	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● DBON: 電源電圧昇降圧回路 昇圧モードON/OFFレジスタ (FF02H・D0)

電源電圧昇降圧回路を昇圧モードにします。

"1" 書き込み: 昇圧ON
 "0" 書き込み: 昇圧OFF
 読み出し: 可能

DBONに"1"を書き込むと電源電圧昇降圧回路が昇圧モードでONし、 V_{DD} を約2倍に昇圧した V_{D2} を出力します。 V_{D2} でLCD系定電圧回路を駆動する場合(V_{C2} 基準選択時、 $V_{DD}=1.6 \sim 2.5V$)にONします。DBONに"0"を書き込むと昇圧動作はOFFします。 V_{DD} でLCD系定電圧回路を駆動する場合は必ずDBONを"0"(OFF)に設定してください。DBONとHLONを共に"1"には設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

● VCSEL: LCD系定電圧回路電源切り換えレジスタ (FF02H・D2)

LCD系定電圧回路の電源電圧を選択します。

"1" 書き込み: V_{D2}
 "0" 書き込み: V_{DD}
 読み出し: 可能

VCSELに"1"を書き込むと、LCD系定電圧回路は電源電圧昇降圧回路が出力する V_{D2} で動作します。この設定の前に、DBONに"1"を書き込み、電源電圧昇降圧回路(昇圧モード)をONしておく必要があります。なお、電源電圧昇降圧回路をONしてから電圧が安定するまでの約1msecの間は V_{D2} に切り換えないでください。VCSELに"0"を書き込んだ場合は、 V_{DD} でLCD系定電圧回路が動作します。イニシャルリセット時、このレジスタは"0"に設定されます。

注: ICの損傷につながりますので、2.5Vを超える電源電圧 V_{DD} が供給されている場合はDBONを"1"(昇圧モード)、およびVCSELを"1"(V_{D2} 駆動)に設定しないでください。

● LPWR: LCD系定電圧回路ON/OFFレジスタ (FF03H・D0)

LCD系定電圧回路をON/OFFします。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系定電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべて V_{SS} となります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● VCHLMOD: LCD系定電圧回路重負荷保護モードON/OFFレジスタ (FF03H・D3)

LCD系定電圧回路の重負荷保護機能をON/OFFします。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

VCHLMODに"1"を書き込むとLCD系定電圧回路が重負荷保護モードとなり、重負荷駆動時などの電源電圧変動による表示品質の劣化を抑えます。OSC3発振時、CPUのシステムクロックとしてOSC3使用時、ブザーやFOUTクロックの出力時などに有効です。ただし、重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● VCCKS0, VCCKS1: VC昇圧周波数選択レジスタ (FF12H・D0, D1)

LCD系定電圧回路への昇圧クロック供給を制御します。

表4.6.6.2 昇圧クロック周波数選択

VCCKS1	VCCKS0	昇圧クロック制御
1	*	禁止
0	1	ON(2kHz)
0	0	OFF

LCD系定電圧回路は昇降圧動作に、クロックマネージャから送られる昇圧クロックを使用します。このクロック供給をこのレジスタによって制御します。LPWRに"1"を書き込む前にVCCKSを"01B"に設定してください。LCDを使用しない場合は消費電力を低減するため、VCCKSを"00B"に設定し、クロック供給を停止してください。

イニシャルリセット時、このレジスタは"00B"に設定されます。

● FLCKS0, FLCKS1: フレーム周波数選択レジスタ (FF12H・D2, D3)

クロックマネージャから供給するフレームクロックの周波数を選択します。

表4.6.6.3 フレーム周波数の選択

FLCKS1	FLCKS0	フレーム周波数
1	1	8Hz
1	0	16Hz
0	1	24Hz
0	0	32Hz

(fosc1=32.768Hzの場合)

LDUTY0 ~ LDUTY2で1/24デューティを選択した場合のフレーム周波数については、表4.6.6.5を参照してください。

イニシャルリセット時、このレジスタは"00B"に設定されます。

● DSPC0, DSPC1: 表示モード選択レジスタ (FF50H・D0, D1)

表示モードを設定します。

表4.6.6.4 表示モード

DSPC1	DSPC0	表示モード
1	1	全白モード
1	0	全黒モード
0	1	反転モード
0	0	通常モード

通常モードは表示RAMに書き込まれている画像をそのまま出力します。

反転モードは表示RAMに書き込まれている画像を白黒反転して表示します。

全黒モードはLCDをスタティック駆動で全点灯(全体を黒く表示)します(LCDがノーマルホワイトの場合)。

全白モードはLCDをダイナミック駆動で全消灯(全体を白く表示)します(LCDがノーマルホワイトの場合)。

このレジスタの操作によって、表示RAMの内容は変更されません。

イニシャルリセット時、このレジスタは"00B"に設定されます。

● LPAGE: 表示メモリ領域選択レジスタ (FF50H・D2)

1/16デューティ駆動時の表示メモリ領域を選択します。

"1" 書き込み: F200H ~ F36FH

"0" 書き込み: F000H ~ F16FH

読み出し: 可能

LPAGEに"1"を書き込むことによりF200H ~ F36FH(表示メモリの後半)のデータが表示され、"0"の場合は、F000H ~ F16FH(表示メモリの前半)のデータが表示されます。

LPAGEは1/16デューティ選択時のみ有効で、1/24または1/32デューティ選択時は汎用レジスタとして使用可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● **LDUTY0 ~ LDUTY2: LCD駆動デューティ切り換えレジスタ (FF51H・D0 ~ D2)**

LCD駆動デューティを選択します。

表4.6.6.5 駆動デューティの設定

LDUTY2	LDUTY1	LDUTY0	デューティ	フレーム周波数				駆動バイアス (マスクオプション)
				FLCKS = 11B	FLCKS = 10B	FLCKS = 01B	FLCKS = 00B	
1	1	1	設定禁止	—	—	—	—	—
1	1	0	設定禁止	—	—	—	—	—
1	0	1	設定禁止	—	—	—	—	—
1	0	0	1/16	8Hz	16Hz	21.333Hz	32Hz	1/4バイアス
0	1	1	1/24	5.333Hz	10.666Hz	14.22Hz	21.333Hz	1/5バイアス
0	1	0	1/24	10.666Hz	21.333Hz	28.44Hz	42.666Hz	1/5バイアス
0	0	1	設定禁止	—	—	—	—	—
0	0	0	1/32	8Hz	16Hz	21.333Hz	32Hz	1/5バイアス

イニシャルリセット時、このレジスタは"000B"に設定されます。

● **LC3 ~ LC0: LCDコントラスト調整レジスタ (FF52H)**

LCDのコントラストを調整します。

表4.6.6.6 LCDのコントラスト調整

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡 ↑
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	↓ 濃
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	

この設定によってLCD駆動電圧V_{C1} ~ V_{C5}が変化します。
イニシャルリセット時、このレジスタは"0000B"に設定されます。

4.6.7 プログラミング上の注意事項

- (1) メモリ非実装領域(F070H～F0FFH、F170H～F1FFH、F270H～F2FFH、F370H～F3FFH)をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
- (2) LCD系定電圧回路をV_{D2}で動作させる場合、電源電圧昇降圧回路をONしてから電圧が安定するまでの約1msecの間は、LCD系定電圧回路の電源電圧をVCSELによってV_{D2}に切り換えないでください。

4.7 計時タイマ

4.7.1 計時タイマの構成

S1C63616はOSC1(水晶発振)を源振とする計時タイマを内蔵しています。計時タイマはfosc1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz～16Hzと8Hz～1Hz)をソフトウェアによって読み出すことができます。

図4.7.1.1に計時タイマのブロック図を示します。

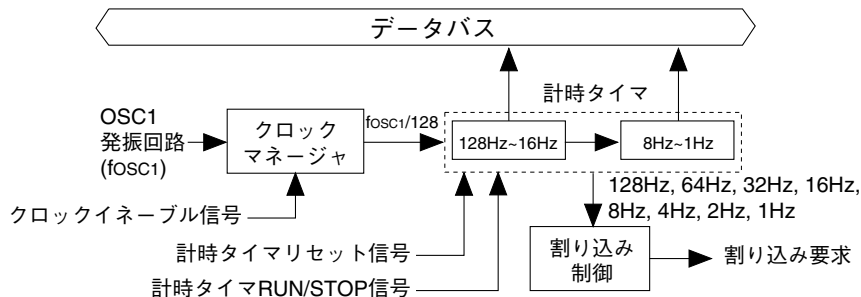


図4.7.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

4.7.2 クロックマネージャの制御

計時タイマの動作クロックはクロックマネージャがOSC1クロックを1/128に分周して生成します。計時タイマを動作させるには、RTCKEレジスタに"1"を書き込んでクロックを計時タイマに供給しておく必要があります。

表4.7.2.1 計時タイマクロックの制御

RTCKE	計時タイマクロック
1	fosc1 / 128 (256Hz)
0	Off

計時タイマを動作させる必要がないときは、消費電流を低減させるためRTCKEを"0"に設定してクロック供給を停止してください。

4.7.3 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF41HとFF42Hに次のように割り付けられています。

<FF41H> D0:TM0=128Hz D1:TM1=64Hz D2:TM2=32Hz D3:TM3=16Hz
<FF42H> D0:TM4=8Hz D1:TM5=4Hz D2:TM6=2Hz D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0～TM3: 128Hz～16Hz)から上位データ(TM4～TM7: 8Hz～1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63616では下位データを読み出した時点で上位データがラッチされるようになっています。ラッチされたデータは、次に下位データを読み出すまで保持されます。

注: 上位データは現在のカウントデータではなくラッチされた値が読み出されます。したがって、必ず下位データを先に読み出してください。

4.7.4 割り込み機能

計時タイマは128Hz、64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.7.4.1に計時タイマのタイミングチャートを示します。

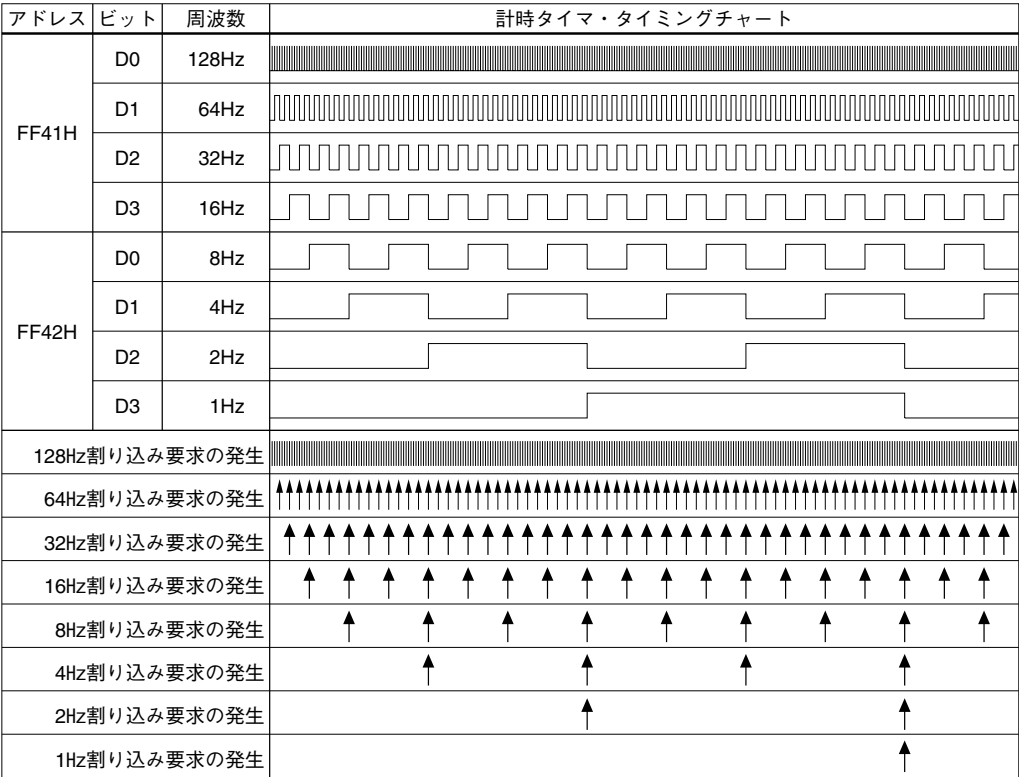


図4.7.4.1 計時タイマのタイミングチャート

図4.7.4.1に示すとおり、割り込みは各周波数(128Hz、64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hz)の信号の立ち下がりエッジによって発生します。また、この時点に対応する割り込み要因フラグ(IT0、IT1、IT2、IT3、IT4、IT5、IT6、IT7)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0、EIT1、EIT2、EIT3、EIT4、EIT5、EIT6、EIT7)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.7.5 計時タイマのI/Oメモリ

表4.7.5.1に計時タイマの制御ビットとそのアドレスを示します。

表4.7.5.1 計時タイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF16H	MDCKE	SGCKE	SWCKE	RTCKE	MDCKE	0	Enable	Disable	乗除算クロックイネーブル
					SGCKE	0	Enable	Disable	サウンドジェネレータクロックイネーブル
	R/W				SWCKE	0	Enable	Disable	ストップウォッチタイマクロックイネーブル
					RTCKE	0	Enable	Disable	計時タイマクロックイネーブル
FF40H	0	0	TMRST	TMRUN	0 *3	— *2			未使用
					0 *3	— *2			未使用
	R		W	R/W	TMRST *3	Reset	Reset	Invalid	計時タイマリセット(書き込み時)
					TMRUN	0	Run	Stop	計時タイマRun/Stop
FF41H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)
					TM2	0			計時タイマデータ(32Hz)
	R				TM1	0			計時タイマデータ(64Hz)
					TM0	0			計時タイマデータ(128Hz)
FF42H	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
					TM6	0			計時タイマデータ(2Hz)
	R				TM5	0			計時タイマデータ(4Hz)
					TM4	0			計時タイマデータ(8Hz)
FFEEH	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ64Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ128Hz)
FFEFH	EIT7	EIT6	EIT5	EIT4	EIT7	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT6	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT5	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ4Hz)
					EIT4	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
FFFEH	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ16Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ64Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ128Hz)
FFFFH	IT7	IT6	IT5	IT4	IT7	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT6	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT5	0	(W)	(W)	割り込み要因フラグ(計時タイマ4Hz)
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ8Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● RTCKE: 計時タイマクロックイネーブル (FF16H・D0)

計時タイマクロックの供給を制御します。

"1" 書き込み: ON

"0" 書き込み: OFF

読み出し: 可能

RTCKEに"1"を書き込むことによって、計時タイマの動作クロックがクロックマネージャから供給されます。計時タイマを動作させる必要がないときは、消費電流を低減させるためRTCKEを"0"に設定してクロック供給を停止してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● TMRUN: 計時タイマRUN/STOP制御レジスタ (FF40H・D0)

計時タイマのRUN/STOPを制御します。

"1" 書き込み: RUN
 "0" 書き込み: STOP
 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● TMRST: 計時タイマリセット (FF40H・D1)

計時タイマをリセットするビットです。

"1" 書き込み: 計時タイマリセット
 "0" 書き込み: ノーオペレーション
 読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● TM0 ~ TM7: タイマデータ (FF41H, FF42H)

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ(FF41H)を読み出すことにより、その時点の上位データ(FF42H)がラッチされます。上位データは現在のカウントデータではなくラッチされた値が読み出されます。したがって、必ず下位データを先に読み出して下さい。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

● EIT0:128Hz 割り込みマスクレジスタ (FFEEH・D0)

EIT1: 64Hz 割り込みマスクレジスタ (FFEEH・D1)

EIT2: 32Hz 割り込みマスクレジスタ (FFEEH・D2)

EIT3: 16Hz 割り込みマスクレジスタ (FFEEH・D3)

EIT4: 8Hz 割り込みマスクレジスタ (FFEFH・D0)

EIT5: 4Hz 割り込みマスクレジスタ (FFEFH・D1)

EIT6: 2Hz 割り込みマスクレジスタ (FFEFH・D2)

EIT7: 1Hz 割り込みマスクレジスタ (FFEFH・D3)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1" 書き込み: イネーブル
 "0" 書き込み: マスク
 読み出し: 可能

各周波数(128Hz、64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEIT0(128Hz)、EIT1(64Hz)、EIT2(32Hz)、EIT3(16Hz)、EIT4(8Hz)、EIT5(4Hz)、EIT6(2Hz)、EIT7(1Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

- IT0: 128Hz 割り込み要因フラグ (FFFEH・D0)
- IT1: 64Hz 割り込み要因フラグ (FFFEH・D1)
- IT2: 32Hz 割り込み要因フラグ (FFFEH・D2)
- IT3: 16Hz 割り込み要因フラグ (FFFEH・D3)
- IT4: 8Hz 割り込み要因フラグ (FFFFH・D0)
- IT5: 4Hz 割り込み要因フラグ (FFFFH・D1)
- IT6: 2Hz 割り込み要因フラグ (FFFFH・D2)
- IT7: 1Hz 割り込み要因フラグ (FFFFH・D3)

計時タイマ割り込みの発生状態を示すフラグです。

- "1" 読み出し: 割り込み有
- "0" 読み出し: 割り込み無
- "1" 書き込み: 要因フラグをリセット
- "0" 書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3、IT4、IT5、IT6、IT7は、それぞれ128Hz、64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.7.6 プログラミング上の注意事項

- (1) データの読み出しは必ず下位データ(TM0 ~ TM3)から先に行ってください。
- (2) 計時タイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウントデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法で計時タイマのカウントデータを読み出してください。
 - カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
 - 正確なカウントデータが必要な場合には、計時タイマを一旦停止させてから読み出してください。
- (3) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.8 ストップウォッチタイマ

4.8.1 ストップウォッチタイマの構成

S1C63616は、1/1,000sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはプリスケアラより出力される1,000Hz信号を入力クロックとする4ビット3段のBCDカウンタで構成され、ソフトウェアにより1/1,000sec、1/100sec、1/10secの各4ビット単位でデータを読み出すことができます。また、入力ポートP10およびP11を使用して、キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御するダイレクト入力機能も持っています。

図4.8.1.1にストップウォッチタイマのブロック図を示します。

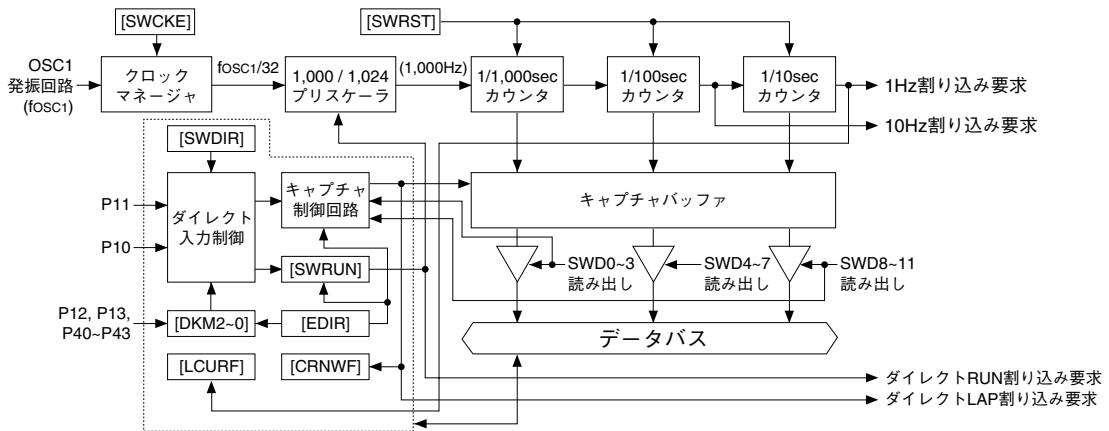


図4.8.1.1 ストップウォッチタイマのブロック図

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

4.8.2 クロックマネージャの制御

ストップウォッチタイマの動作クロックはクロックマネージャがOSC1クロックを1/32に分周して生成します。計時タイマを動作させるには、SWCKEレジスタに"1"を書き込んでクロックをストップウォッチタイマに供給しておく必要があります。

表4.8.2.1 ストップウォッチタイマクロックの制御

SWCKE	ストップウォッチタイマクロック
1	fosc1 / 32 (1kHz)
0	Off

ストップウォッチタイマを動作させる必要がないときは、消費電流を低減させるためSWCKEを"0"に設定してクロック供給を停止してください。

4.8.3 カウンタとプリスケアラ

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～3、SWD4～7およびSWD8～11で構成されています。

ストップウォッチタイマ前段のカウンタSWD0～3は、プリスケアラより出力される1,000Hz信号を入力クロックとして1/1,000secごとのカウントアップを行い、100Hz信号を発生します。中段のカウンタSWD4～7はSWD0～3が出力する100Hz信号をクロックとして1/100secごとのカウントアップを行い、10Hz信号を出力します。同様に、後段のカウンタSWD8～11は1/10secごとのカウントアップを行って1Hz信号を発生します。

プリスケアラはOSC1発振回路の出力を分周した1,024Hzのクロックを入力し、1,000HzのSWD0～3カウントクロックを出力します。1,024Hzから1,000Hzのクロックを作成するため、1秒間にプリスケアラに入力される1,024個のパルスから24個のパルスを抜き取るという方法をとっています。カウンタが以下に示す値となった場合、その直後にプリスケアラに入力される1,024Hzのパルスが1個抜き取られます。

パルス補正が行われるカウンタ値(msec)

39, 79, 139, 179, 219, 259, 299, 319, 359, 399, 439, 479,
539, 579, 619, 659, 699, 719, 759, 799, 839, 879, 939, 979

図4.8.3.1にプリスケアラの動作を示します。

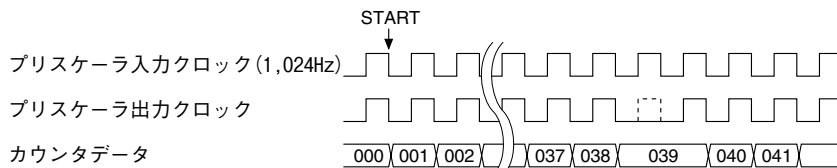


図4.8.3.1 プリスケアラの動作タイミング

上記の理由により、パルス補正時以外のカウントクロックは1,024Hz(0.9765625msec)となります。したがって、プリスケアラの出力クロック(1,000Hz)、およびカウンタSWD0～3、SWD4～7が発生する100Hz、10Hz信号の周波数は近似値となります。

4.8.4 キャプチャバッファとホールド機能

ストップウォッチタイマの1/1,000secデータ、1/100secデータ、1/10secデータは、それぞれSWD0～3(FF4BH)、SWD4～7(FF4CH)、SWD8～11(FF4DH)から読み出すことができます。読み出しの際は各カウンタのデータがキャプチャバッファにラッチされ、3ワードの読み出しが終了するまでデータがホールドされます。これによって、3ワードの読み出しの途中で下位桁からの桁上げが発生した場合でも正しいデータを読み出すことができます。なお、キャプチャバッファへはSWD0～3(1/1,000sec)の読み出しを行った時点で3個のカウンタのデータが同時にラッチされ、SWD8～11(1/10sec)の読み出しが終了した時点でデータのホールドが解除されるようになっています。したがって、データの読み出しはSWD0～3→SWD4～7→SWD8～11の順に行ってください。データがホールドされていない状態でSWD4～7あるいはSWD8～11を先に読み出した場合は、ホールド機能が働かずカウンタのデータが直接読み出されます。ストップウォッチタイマがRUN状態でホールドされていないデータを読み出した場合、正しいデータかどうかを判断することができません。

ストップウォッチタイマには外部キー入力によるLAP(ラップ)機能があります(後述)。キャプチャバッファは、このLAP(ラップ)データをホールドするためにも使用されます。この場合も、SWD8～11が読み出されるまでデータがホールドされます。ただし、ホールドされているデータの読み出しを終了する前にLAP入力が行われた場合はその時点でキャプチャバッファの内容が更新されてしまいます。読み残していたデータは更新されて無効となりますので、SWD8～11を読み出ししてもホールド状態は解除されません。キャプチャバッファが更新されている状態でSWD8～11を読み出すと、その時点でキャプチャ更新フラグCRNWFが"1"にセットされますので、この場合は再度SWD0～3からの読み出しを行う必要があります。キャプチャ更新フラグはSWD8～11の読み出しごとに更新されます。

図4.8.4.1にデータのホールドと読み出しのタイミングを示します。

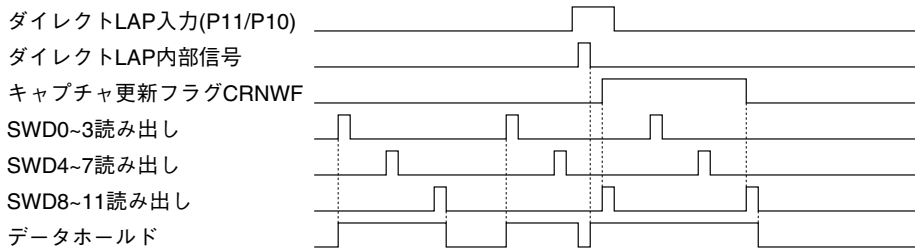


図4.8.4.1 データのホールドと読み出し

4.8.5 ストップウォッチタイマのRUN/STOPおよびリセット

ストップウォッチタイマはソフトウェアによってRUN/STOPの制御、およびリセットが行えます。

(1) ストップウォッチタイマのRUN/STOP

ストップウォッチタイマはレジスタSWRUNに"1"を書き込むことによってRUN、"0"の書き込みでSTOPします。ストップウォッチタイマをRUNさせると、その時点のカウンタの内容から継続してカウントアップを行います。STOPさせた場合は、その後もその時点のカウンタの内容を保持します。レジスタSWRUNの書き込みによるストップウォッチタイマのRUN/STOPの動作は、プリスケアラの入力クロックと同じ1,024Hzの立ち下がりエッジに同期して行われます。

なおSWRUNは読み出しも可能で、その場合はストップウォッチタイマの動作状態を示します。

図4.8.5.1にSWRUNレジスタ制御時の動作タイミングを示します。

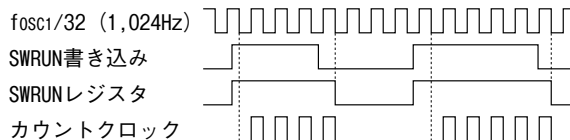


図4.8.5.1 SWRUNレジスタ制御時の動作タイミング

次項で説明するダイレクト入力機能を設定した場合は、RUN/STOPの制御を外部キー入力によって行います。その場合は、SWRUNがストップウォッチタイマの動作状態を示す読み出し専用のレジスタとなります。

(2) ストップウォッチタイマのリセット

ストップウォッチタイマはレジスタSWRSTに"1"を書き込むことによってリセットされ、カウンタは"000"にクリアされます。このリセットはキャプチャバッファに影響を与えませんので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。なお、ストップウォッチタイマがRUN状態でリセットすると、カウンタが"000"の状態からカウント動作を継続します。STOP状態でリセットした場合は、次にRUNするまでカウンタは"000"を保持します。

4.8.6 ダイレクト入力機能とキーマスク

ストップウォッチタイマにはダイレクト入力機能があり、外部キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御することができます。この機能はレジスタEDIRに"1"を書き込むことによって設定します。EDIRが"0"の場合は前項で説明したソフトウェア制御のみとなります。

(1) 入力ポートの選択

ダイレクト入力機能を使用する場合、入力ポートP10とP11をRUN、STOPおよびLAPキー入力に使用します。この割り当てはSWDIRレジスタで次のように選択できます。

表4.8.6.1 RUN/STOPとLAPキー入力ポート

SWDIR	P10	P11
0	RUN/STOP	LAP
1	LAP	RUN/STOP

(2) ダイレクトRUN

ダイレクト入力機能を設定した場合は、入力ポートP10/P11(SWDIRで選択)に接続したキーの入力によってストップウォッチタイマのRUN/STOPを制御することができます。P10/P11は通常の入力ポートとして働き、入力信号がストップウォッチの制御回路に送られます。

P10/P11キー入力はトグル動作となり、ストップウォッチタイマがSTOP状態で入力されるとRUN、RUN状態で入力されるとSTOPします。ストップウォッチタイマのRUN/STOPの状態はレジスタSWRUNを読み出すことで確認できます。また、このダイレクトRUN入力により割り込みが発生します。キー入力信号はSWRUNレジスタ制御のときと同様に1,024Hz信号の立ち下がりエッジでサンプリングされます。チャタリング判定はキー OFF時に行われ、46.8msec ~ 62.5msec以下のチャタリングが除去されます。したがって、RUNとSTOPそれぞれのキー入力の間隔はこの時間以上が必要です。

図4.8.6.1にダイレクトRUN入力時の動作タイミングを示します。

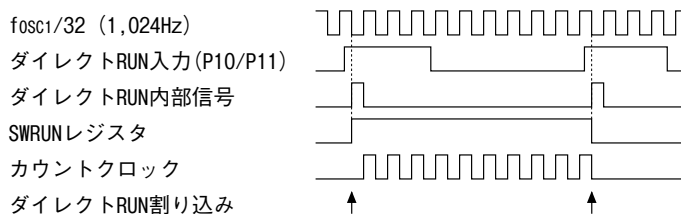


図4.8.6.1 ダイレクトRUN入力時の動作タイミング

(3) ダイレクトLAP

ダイレクトRUNと同様にLAPの制御もキー入力によって行えます。ダイレクト入力機能を設定すると、入力ポートP11/P10(SWDIRで選択)がLAPキーの入力ポートとなります。入力信号のサンプリングおよびチャタリング判定はダイレクトRUNの場合と同様です。

LAP入力が行われると、その時点のカウントデータがキャプチャバッファにラッチされ、データをホールドします。カウンタはカウント動作を継続します。また、このダイレクトLAP入力により割り込みが発生します。

前述したように、データはSWD8 ~ 11が読み出されるまでホールドされます。すでにデータがホールドされている状態でLAPの入力が行われた場合は、キャプチャバッファの内容が更新されてしまい、その後SWD8 ~ 11の読み出しを行った際にキャプチャ更新フラグCRNWFが"1"にセットされます。この場合は、SWD8 ~ 11の読み出しによってホールド状態は解除されずに、さらにホールド状態を継続します。LAPデータは、割り込み発生後に読み出しを行います。そのあとには必ずキャプチャ更新フラグを確認してください。キャプチャ更新フラグがセットされている場合は、更新されたデータがキャプチャバッファにホールドされているので再度読み出しを行ってください。

また、SWD8 ~ 11のオーバーフローによって1sec桁への桁上げが必要になった場合、ストップウォッチタイマは1Hz割り込み要因フラグISW1を"1"にセットします。

この1Hz割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態(SWD0～3読み出し時またはLAP入力時)になるとラップデータ桁上げ要求フラグが"1"にセットされ、LAP入力などの処理において1秒桁への桁上げが必要であることを示します。これは、ソフトウェアによる通常の処理方法として、1Hz割り込みによる1sec桁以上の処理よりもLAPの処理が優先されると考えられますので、LAP処理による時間表示において1秒桁のデータが1秒だけ少なくなることを防ぐために必要となります。したがって、LAP処理前にラップデータ桁上げ要求フラグを確認してください。このフラグはキャプチャバッファがホールド状態になるごとに更新されます。

図4.8.6.2にダイレクトLAP入力時の動作タイミングを示します。

図4.8.6.3にダイレクトLAP入力時のデータホールドと読み出しのタイミングを示します。

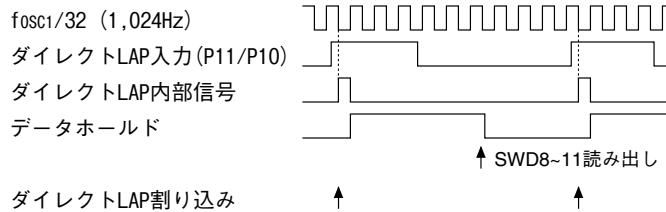


図4.8.6.2 ダイレクトLAP入力時の動作タイミング

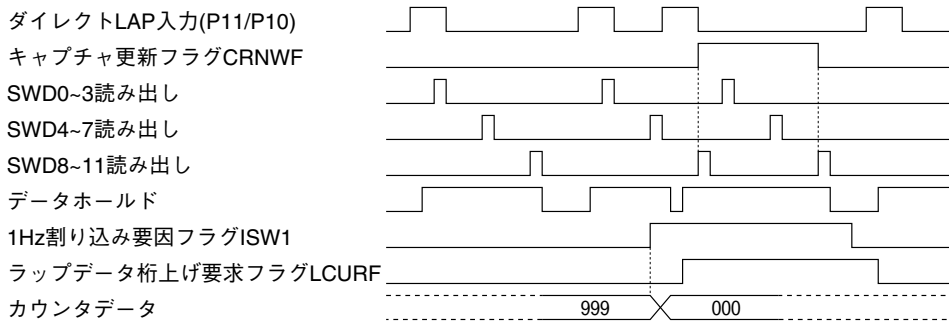


図4.8.6.3 ダイレクトLAP入力時のデータホールドと読み出し

(4) キーマスク

ストップウォッチのアプリケーションにおいて、ダイレクトRUNまたはダイレクトLAPを含むキーの組み合わせによって機能を制御するような場合があります。たとえば、あるキーが押されている状態でRUNキーが入力された場合に、RUNキーをリセットや時計合わせ等の他の目的に使用するような場合です。このときにはダイレクトRUN、あるいはダイレクトLAPの機能を無効としてストップウォッチがその動作を行わないようにする必要があります。このために、キー入力の競合判定を行い、RUNおよびLAPを無効とするキーマスク機能が設けられています。この競合判定を行うキー入力の組み合わせをレジスタDKM0～2によって選択することができます。

表4.8.6.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	P12
0	1	0	P12, P13
0	1	1	P12, P13, P40
1	0	0	P40
1	0	1	P40, P41
1	1	0	P40, P41, P42
1	1	1	P40, P41, P42, P43

RUNまたはLAP入力は以下の場合に無効となります。

1. 選択した組み合わせに含まれる1つ以上のキー（以下、マスクと記述）が入力されている状態でRUNまたはLAPが入力された場合
2. マスクが解除された時点でRUNまたはLAPが入力されている場合

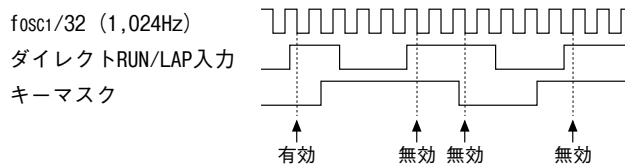


図4.8.6.4 キーマスクの動作

RUN、LAP入力が有効となるのは以下の場合です。

1. RUNまたはLAPのどちらか一方が単独で無入力状態から入力された場合
 2. RUNおよびLAPの両方が同時に無入力状態から入力された場合(RUN、LAP共に有効)
 3. RUNまたはLAPのどちらか一方が入力されている状態でもう一方が入力された場合(RUN、LAP共に有効)
 4. RUNまたはLAPのどちらか一方とマスクが同時に無入力状態から入力された場合
 5. RUNおよびLAPの両方とマスクが同時に無入力状態から入力された場合(RUN、LAP共に有効)
- * キーの同時入力とはキー入力のサンプリングが1,024Hzクロックの同じ立ち下がりエッジで行われたことをいいます。

4.8.7 割り込み機能

(1) 10Hz、1Hz割り込み

ストップウォッチタイマSWD4～7とSWD8～11はそれぞれのオーバーフローにより、10Hzと1Hzの割り込みを発生させることができます。また、それぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。

図4.8.7.1にカウンタのタイミングチャートを示します。

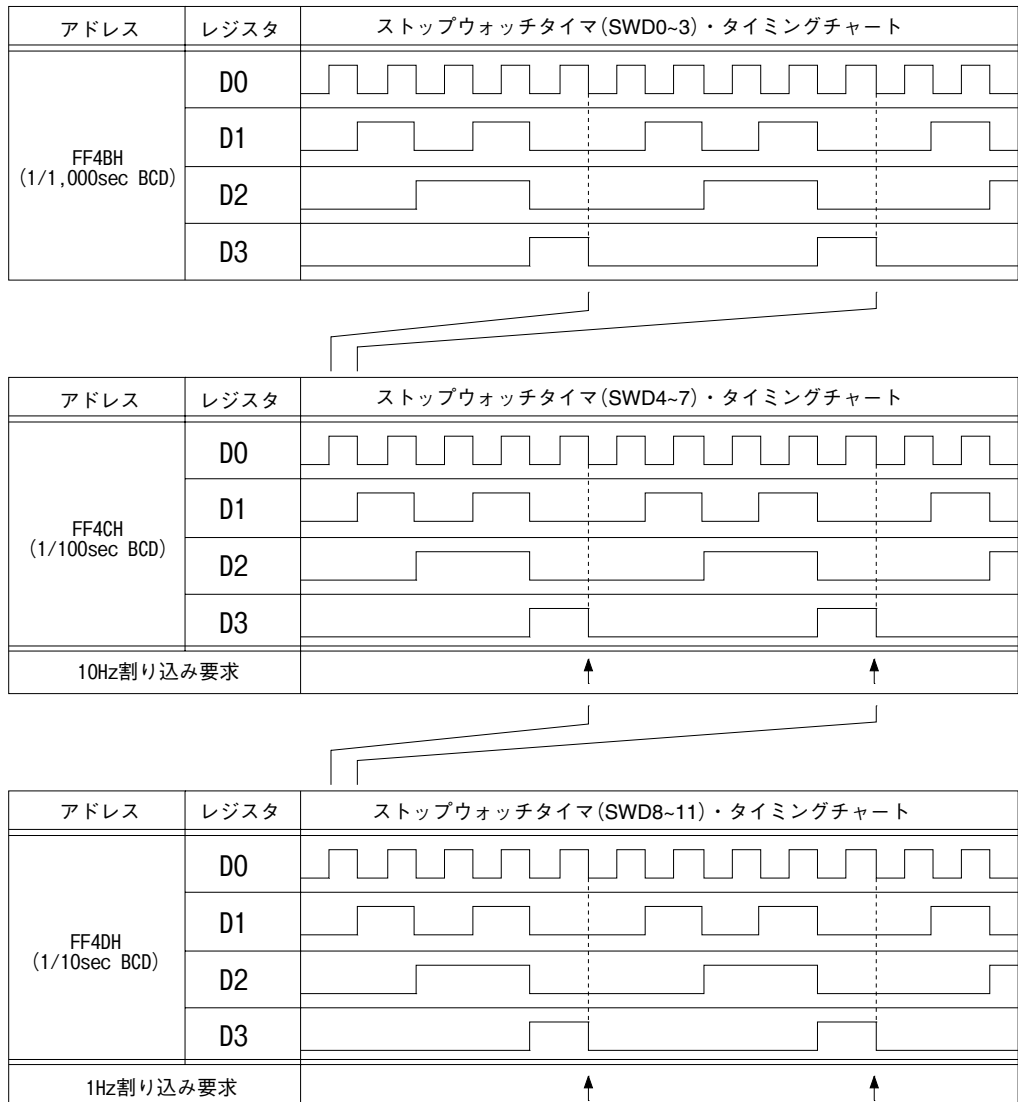


図4.8.7.1 カウンタのタイミングチャート

図4.8.7.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー("9"から"0"への変化)によって発生します。また、この時点に対応する割り込み要因フラグ(ISW10、ISW1)が"1"にセットされます。それぞれの割り込みは、割り込みマスクレジスタ(EISW10、EISW1)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグ(ISW10、ISW1)は割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

(2) ダイレクトRUN、ダイレクトLAP割り込み

ダイレクト入力機能を設定している場合は、ダイレクトRUNおよびダイレクトLAPの入力により割り込みを発生させることができます。それぞれの割り込みは、ダイレクト信号を1,024Hz信号の立ち下がりでサンプリングした後のダイレクトRUN、ダイレクトLAPの各内部信号の立ち上がりエッジで発生し、その時点で割り込み要因フラグ(IRUN、ILAP)が"1"にセットされます。この割り込み要因もそれぞれに対応する割り込みマスクレジスタ(EIRUN、EILAP)によってマスクすることができます。ただし、割り込み要因フラグ(IRUN、ILAP)は割り込みマスクレジスタの設定にかかわらず、RUN、LAPの入力によって"1"にセットされます。

ダイレクトRUNとダイレクトLAPはP10ポートとP11ポートを使用します。このため、入出力兼用ポートP10～P13の割り込み条件の設定によっては、ダイレクト入力割り込みとP10～P13入力割り込みが同時に発生することがあります。したがって、ダイレクト入力割り込みを使用する場合は、P10およびP11入力によって入力割り込みが発生しないように割り込み選択レジスタSIP10およびSIP11を"0"に設定してください。

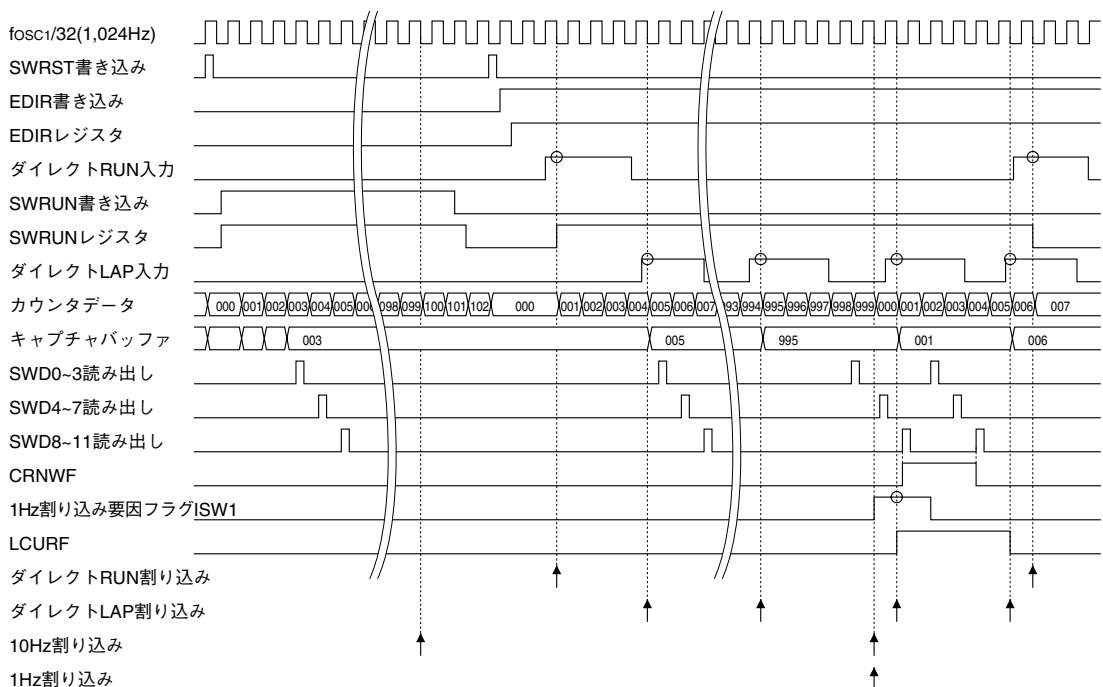


図4.8.7.2 ストップウォッチタイマのタイミングチャート

4.8.8 ストップウォッチタイマのI/Oメモリ

表4.8.8.1にストップウォッチタイマの制御ビットとそのアドレスを示します。

表4.8.8.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF16H	MDCKE	SGCKE	SWCKE	RTCKE	MDCKE	0	Enable	Disable	乗除算クロックイネーブル
					SGCKE	0	Enable	Disable	サウンドジェネレータクロックイネーブル
	R/W				SWCKE	0	Enable	Disable	ストップウォッチタイマクロックイネーブル
					RTCKE	0	Enable	Disable	計時タイマクロックイネーブル
FF48H	0	0	SWDIR	EDIR	0 *3	— *2			未使用
					0 *3	— *2			未使用
	R		R/W		SWDIR	0			ストップウォッチダイレクト入力切り換え
					EDIR	0	Enable	Disable	0: P10=Run/Stop, P11=Lap 1: P10=Lap, P11=Run/Stop ダイレクト入力イネーブル
FF49H	0	DKM2	DKM1	DKM0	0 *3	— *2			未使用
					DKM2	0			キーマスク [DKM2-0] 0 1 2 3 P12 P12-13 P12-13,40
					DKM1	0			
	R	R/W			DKM0	0			
FF4AH	LCURF	CRNWF	SWRUN	SWRST	LCURF	0	Request	No	ラップデータ桁上げ要求フラグ
					CRNWF	0	Renewal	No	キャプチャ更新フラグ
	R		R/W		SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
					SWRST *3	Reset	Reset	Invalid	ストップウォッチタイマリセット(書き込み時)
FF4BH	SWD3	SWD2	SWD1	SWD0	SWD3	0			ストップウォッチタイマデータ BCD(1/1000sec)
					SWD2	0			
	R				SWD1	0			
					SWD0	0			
FF4CH	SWD7	SWD6	SWD5	SWD4	SWD7	0			ストップウォッチタイマデータ BCD(1/100sec)
					SWD6	0			
	R				SWD5	0			
					SWD4	0			
FF4DH	SWD11	SWD10	SWD9	SWD8	SWD11	0			ストップウォッチタイマデータ BCD(1/10sec)
					SWD10	0			
	R				SWD9	0			
					SWD8	0			
FFEDH	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトLAP)
	R/W				EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
FFFDH	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
	R/W				ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SWCKE: ストップウォッチタイマクロックイネーブル (FF16H・D1)

ストップウォッチタイマクロックの供給を制御します。

"1" 書き込み: ON

"0" 書き込み: OFF

読み出し: 可能

SWCKEに"1"を書き込むことによって、ストップウォッチタイマの動作クロックがクロックマネージャから供給されます。ストップウォッチタイマを動作させる必要がないときは、消費電流を低減させるためSWCKEを"0"に設定してクロック供給を停止してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EDIR: ダイレクト入力機能イネーブルレジスタ (FF48H・D0)

ダイレクト入力(RUN/LAP)機能を有効/無効に設定します。

"1" 書き込み: 有効
 "0" 書き込み: 無効
 読み出し: 可能

EDIRに"1"を書き込むことによりダイレクト入力機能が有効となり、外部キー入力によるRUN/STOP、LAPの制御が行えます。"0"を書き込んだ場合はダイレクト入力機能が無効となり、ストップウォッチタイマはソフトウェア制御となります。

なお、このレジスタにデータを書き込み後、実際の機能の切り換えは $f_{osc1}/32$ (1,024Hz)の立ち上がりエッジに同期して(最大977 μ sec後に)行われます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SWDIR: ダイレクト入力切り換えレジスタ (FF48H・D1)

P10ポート、P11ポートのダイレクト入力割り付けを切り換えます。

"1" 書き込み: P10 = LAP, P11 = RUN/STOP
 "0" 書き込み: P10 = RUN/STOP, P11 = LAP
 読み出し: 可能

ダイレクト入力用のキー割り付けを行います。EDIRに"1"を書き込むことによりP10、P11ポートの入力がRUN、STOP、LAP入力としてストップウォッチに取り込まれます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● DKM0 ~ DKM2: キーマスク選択 (FF49H・D0 ~ D2)

ダイレクト入力機能設定時にRUN、LAP入力との競合判定を行うキー入力の組み合わせを選択します。

表4.8.8.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	P12
0	1	0	P12, P13
0	1	1	P12, P13, P40
1	0	0	P40
1	0	1	P40, P41
1	1	0	P40, P41, P42
1	1	1	P40, P41, P42, P43

競合を検出した場合は、競合が解除されるまでRUN、LAP入力は受け付けられなくなります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● SWRST: ストップウォッチタイマリセット (FF4AH・D0)

ストップウォッチタイマをリセットします。

"1" 書き込み: ストップウォッチタイマリセット
 "0" 書き込み: ノーオペレーション
 読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータがカウンタに保持されます。

このリセットはキャプチャバッファに影響を与えないので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● SWRUN: ストップウォッチタイマRUN/STOP (FF4AH・D1)

ストップウォッチタイマのRUN/STOPの制御、および動作状態のモニタが行えます。

● データ書き込み時

"1" 書き込み: RUN

"0" 書き込み: STOP

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。このレジスタへの書き込みによるRUN/STOPの制御は、ダイレクト入力機能をディセーブルに設定してある場合にのみ有効で、ダイレクト入力機能設定時は無効となります。

● 読み出し時

"1" 読み出し: RUN

"0" 読み出し: STOP

読み出しはダイレクト入力機能の設定にかかわらず有効で、ストップウォッチタイマがRUN状態の場合に"1"、STOP状態で"0"となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CRNWF: キャプチャ更新フラグ (FF4AH・D2)

キャプチャバッファの内容が更新されたことを示すフラグです。

"1" 読み出し: 更新あり

"0" 読み出し: 更新なし

書き込み: 無効

キャプチャバッファにホールドされたデータの読み出しが終了していない場合にLAP入力があると、キャプチャバッファの内容が更新されます。その状態でSWD8～11を読み出すとこのフラグが"1"にセットされ、さらにホールド状態が継続されます。したがって、LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にこのフラグの読み出しを行ってデータが更新されていないか確認してください。

このフラグはSWD8～11の読み出し時に更新されます。

イニシャルリセット時、このフラグは"0"に設定されます。

● LCURF: ラップデータ桁上げ要求フラグ (FF4AH・D3)

データホールド時に発生している1sec桁への桁上げを示すフラグです。ダイレクト入力モード以外では無効です。

"1" 読み出し: 桁上げ要

"0" 読み出し: 桁上げ不要

書き込み: 無効

割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態になるとLCURFが"1"にセットされ、ホールドされたデータが1sec桁への桁上げを必要としていることを示します。したがって、1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にこのフラグの読み出しを行って桁上げが必要か確認してください。

このフラグはキャプチャバッファがホールド状態になるごとに更新(セット/リセット)されます。

イニシャルリセット時、このフラグは"0"に設定されます。

● SWD0～SWD3: ストップウォッチタイマデータ1/1,000sec (FF4BH)

キャプチャバッファ 1/1,000sec桁のデータ(BCD)が読み出せます。

このデータを読み出すことにより、キャプチャバッファのホールド機能が働きます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0"に設定されます。

● **SWD4 ～ SWD7: ストップウォッチタイマデータ1/100sec (FF4CH)**

キャプチャバッファ 1/100sec桁のデータ(BCD)が読み出せます。
この4ビットは読み出し専用のため、書き込み動作は無効となります。
イニシャルリセット時、タイマデータは"0"に設定されます。

● **SWD8 ～ SWD11: ストップウォッチタイマデータ1/10sec (FF4DH)**

キャプチャバッファ 1/10sec桁のデータ(BCD)が読み出せます。
この4ビットは読み出し専用のため、書き込み動作は無効となります。
イニシャルリセット時、タイマデータは"0"に設定されます。

注: データの読み出しは必ず下位データ (SWD0 ～ 3) から先に行ってください。

● **EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ (FFEDH)**

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1" 書き込み: イネーブル
"0" 書き込み: マスク
読み出し: 可能

EIRUN, EILAP, EISW1, EISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応した割り込みマスクレジスタで、これらの割り込みをマスクするかしないかを個別に選択できます。
イニシャルリセット時、これらのレジスタは"0"に設定されます。

● **IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ (FFFDH)**

ストップウォッチタイマ割り込みの発生状態を示すフラグです。

"1" 読み出し: 割り込み有
"0" 読み出し: 割り込み無
"1" 書き込み: 要因フラグをリセット
"0" 書き込み: 無効

割り込み要因フラグIRUN、ILAP、ISW1、ISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応します。これらのフラグによってストップウォッチタイマ割り込みの有無を、ソフトウェアにより判断することができます。これらのフラグは割り込みマスクレジスタの設定にかかわらず、対応する割り込み要因の発生により"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.9 プログラミング上の注意事項

- (1) ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。
- (2) データの読み出しは必ずSWD0 ～ 3 → SWD4 ～ 7 → SWD8 ～ 11の順に行ってください。
- (3) LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- (4) 1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.9 プログラマブルタイマ

4.9.1 プログラマブルタイマの構成

S1C63616は8ビット×2チャンネルのプログラマブルタイマを4系統(Ch.A～Ch.D)内蔵しています。各系統ごとに、8ビットタイマ×2チャンネルまたは16ビットタイマ×1チャンネルの構成にソフトウェアで設定可能です。

Ch.A: タイマ0とタイマ1(8ビット×2チャンネル)、またはタイマ0+タイマ1(16ビット×1チャンネル)

Ch.B: タイマ2とタイマ3(8ビット×2チャンネル)、またはタイマ2+タイマ3(16ビット×1チャンネル)

Ch.C: タイマ4とタイマ5(8ビット×2チャンネル)、またはタイマ4+タイマ5(16ビット×1チャンネル)

Ch.D: タイマ6とタイマ7(8ビット×2チャンネル)、またはタイマ6+タイマ7(16ビット×1チャンネル)

図4.9.1.1～4.9.1.4にプログラマブルタイマの構成を示します。

各タイマには、8ビットのダウンカウンタと、リロードデータレジスタが設けられています。ダウンカウンタはソフトウェアで選択した周波数の内部クロックでカウントダウンを行います。また、タイマ0、タイマ2、タイマ4、タイマ6は、P12、P41、P42、P43ポート端子から入力したクロックのカウントを行うをイベントカウンタ機能も合わせ持っています。指定クロックのカウントによりアンダーフローが発生すると、アンダーフロー信号および割り込み信号を出力し、カウンタ初期値のリセットを行います。リロードデータレジスタはダウンカウンタの初期値を設定するレジスタです。タイマ1のアンダーフロー信号は、R/Fコンバータ、シリアルインタフェースのクロック源として使用できるため、R/Fコンバータのカウントクロックやシリアルデータ転送レートをプログラマブルに設定可能です。各タイマには8ビットのコンペアデータレジスタも設けられています。このレジスタはダウンカウンタの内容と比較するためのデータを格納するレジスタです。タイマをPWMモードに設定すると、ダウンカウンタとコンペアデータレジスタの内容が一致した時点でコンペアマッチ信号が出力され、割り込みも発生します。アンダーフロー信号とコンペアマッチ信号からPWM波形を生成することができます。

プログラマブルタイマで生成した信号は、P13ポート端子から外部に出力させることができます。

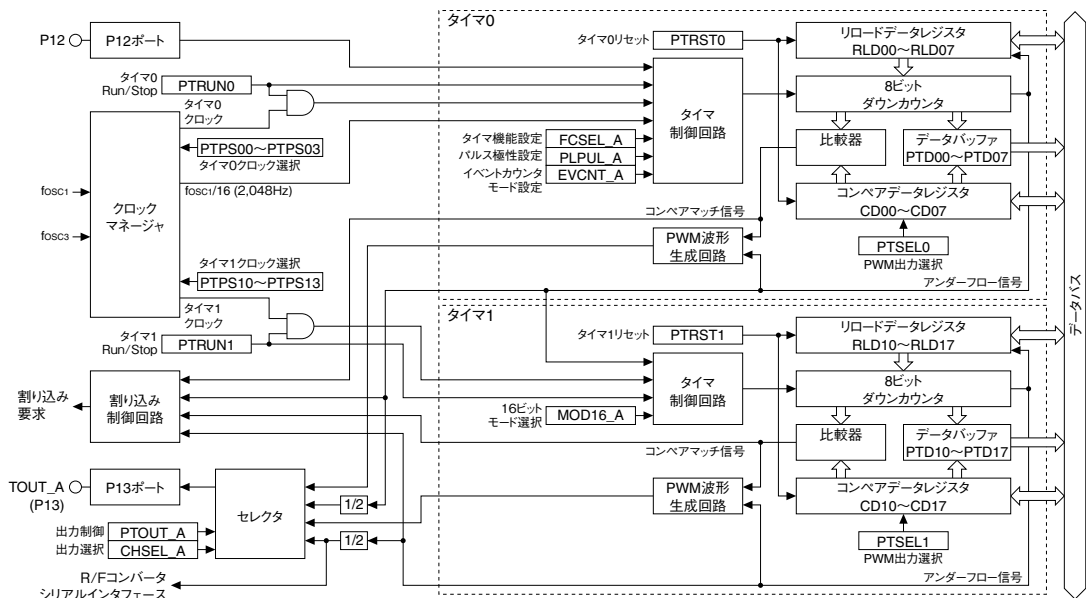


図4.9.1.1 プログラマブルタイマCh. Aの構成(タイマ0、タイマ1)

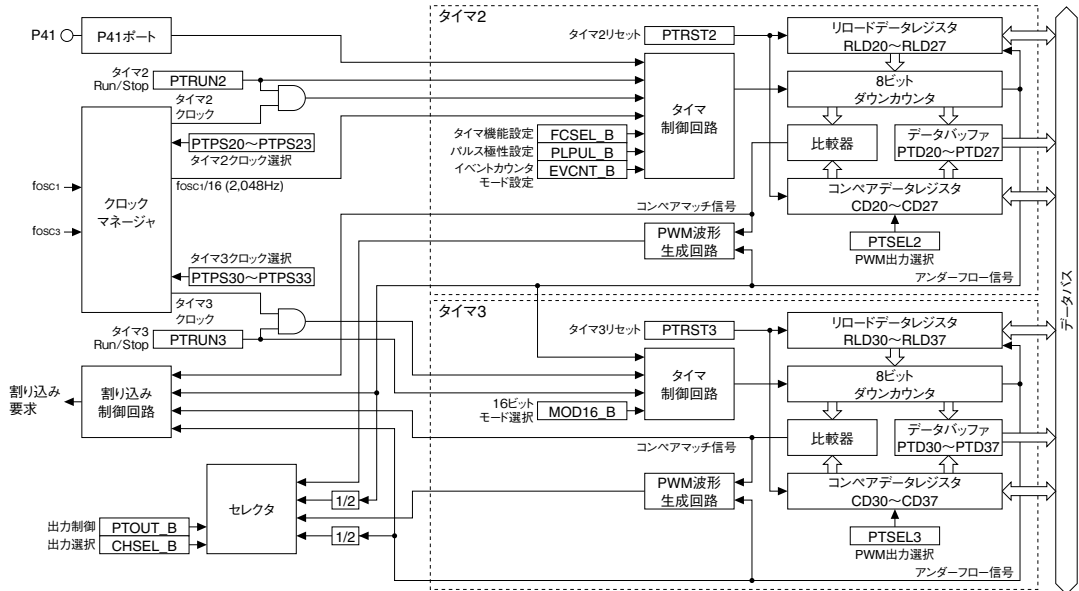


図4.9.1.2 プログラマブルタイマCh. Bの構成(タイマ2、タイマ3)

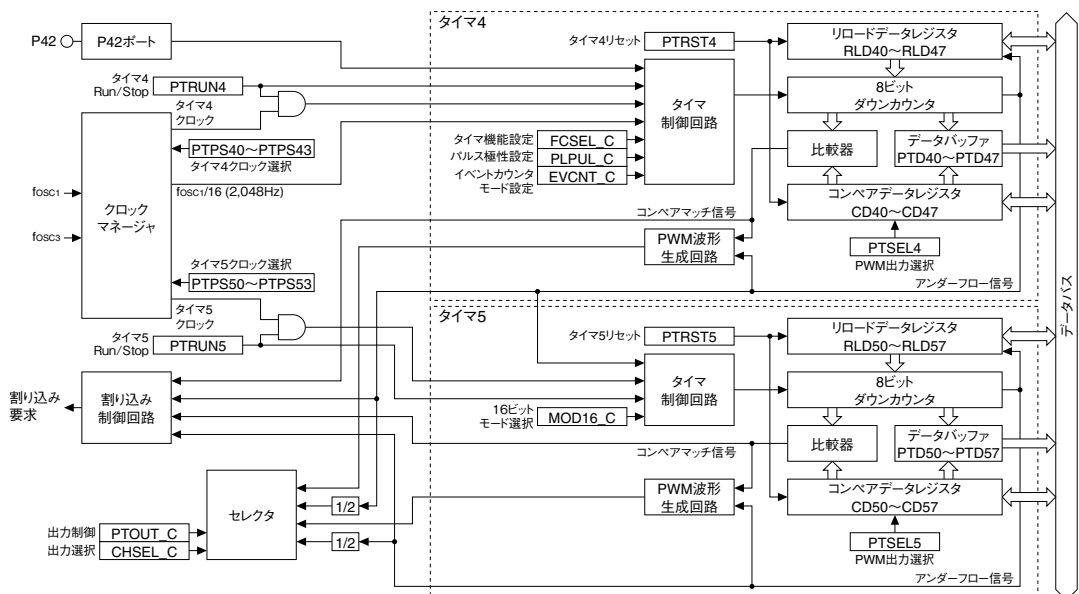


図4.9.1.3 プログラマブルタイマCh. Cの構成(タイマ4、タイマ5)



注: • 4系統のタイマ(Ch.A ~ Ch.D)の機能と構成は、レジスタ名、入出力ポートやその信号名を除き同一です。そこで、以下の説明はCh.A(タイマ0とタイマ1)を対象に行います。レジスタ名や信号名にはタイマ番号(0~7)またはCh名(A~D)が付けられていますが、以降の説明では特に必要な場合を除き、Ch.A(タイマ0とタイマ1)の名称を使用します。また、"x"をタイマ番号(0~7)として使用しています。

例 Ch.A→Ch.B、Ch.C、Ch.Dに置き換え可能
EVCNT_Aレジスタ→EVCNT_B、EVCNT_C、EVCNT_Dレジスタに置き換え可能
TOUT_A→TOUT_B、TOUT_C、TOUT_Dに置き換え不可
タイマ0、タイマ1、タイマxの記述は他のタイマにも適用されます。

タイマ0→タイマ2、タイマ4、タイマ6に置き換え可能
例 タイマ1→タイマ3、タイマ5、タイマ7に置き換え可能
タイマx→タイマ0～タイマ7に置き換え可能
PTRUNxレジスタ→PTRUN0～PTRUN7レジスタに置き換え可能

例 タイマ1→タイマ3、タイマ5、タイマ7に置き換え可能
タイマx→タイマ0～タイマ7に置き換え可能
PTRUNxレジスタ→PTRUN0～PTRUN7レジスタに置き換え可能

タイマx→タイマ0～タイマ7に置き換え可能
PTRUNxレジスタ→PTRUN0～PTRUN7レジスタに置き換え可能

PTRUNxレジスタ→PTRUN0～PTRUN7レジスタに置き換え可能

- TOUT_A端子でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないように基板パターンを設計してください。詳しくは、"5.3 実装上の注意事項"の<出力端子>を参照してください。

4.9.2 クロックマネージャの制御

各タイマのダウンカウント用クロックはクロックマネージャがOSC1クロックまたはOSC3クロックを分周して生成します。クロックマネージャは表4.9.2.1に示す15種類のカウントクロックをプログラマブルタイマに供給可能で、使用するクロックをカウントクロック周波数選択レジスタPTPSx0～PTPSx3でタイマごとに選択できるようになっています。イニシャルリセット時、PTPSxレジスタは"0H"に設定され、クロックマネージャからプログラマブルタイマへのクロック供給は停止状態になります。タイマ機能を使用する場合は、タイマを制御する前に、必要なクロックを選択してクロック供給を開始させてください。

表4.9.2.1 カウントクロック周波数の選択

PTPSx3	PTPSx2	PTPSx1	PTPSx0	タイマクロック
1	1	1	1	fosc3
1	1	1	0	fosc3 / 2
1	1	0	1	fosc3 / 4
1	1	0	0	fosc3 / 8
1	0	1	1	fosc3 / 16
1	0	1	0	fosc3 / 32
1	0	0	1	fosc3 / 64
1	0	0	0	fosc3 / 256
0	1	1	1	fosc1 (32kHz)
0	1	1	0	fosc1 / 2 (16kHz)
0	1	0	1	fosc1 / 4 (8kHz)
0	1	0	0	fosc1 / 16 (2kHz)
0	0	1	1	fosc1 / 32 (1kHz)
0	0	1	0	fosc1 / 64 (512Hz)
0	0	0	1	fosc1 / 256 (128Hz)
0	0	0	0	OFF

fosc1: OSC1発振周波数、()内はfosc1=32kHzの場合の周波数

fosc3: OSC3発振周波数

以下のタイマについては消費電流低減のため、PTPSxレジスタを"0H"にしてクロック供給を停止してください。

- 使用しないタイマ
- 外部クロックを入力してイベントカウンタとして使用するタイマ
- 16ビットタイマ×1チャンネルとして使用する場合の上位8ビット側のタイマ(タイマ1/3/5/7)

4.9.3 カウンタの基本動作

ここでは、各タイマを個々に8ビットタイマとして使用する場合の基本動作を説明します。各タイマにはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。リロードデータレジスタRLDx0～RLDx7はカウンタの初期値を設定するレジスタです。ダウンカウンタは、リロードデータレジスタに設定された初期値を、タイマリセットビットPTRSTxへの"1"書き込みによってロードします。したがって、このロードされた初期値からカウントクロックによるダウンカウントが行われます。

各タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。カウンタのデータ読み出しはデータバッファPTDx0～PTDx7を介して行います。下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ(PTDx0～PTDx3)、上位データ(PTDx4～PTDx7)読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT_A信号)出力を制御します。またタイマ1(Ch.A)のアンダーフロー信号からはシリアルインタフェースとR/Fコンバータに供給するクロックが生成されます。

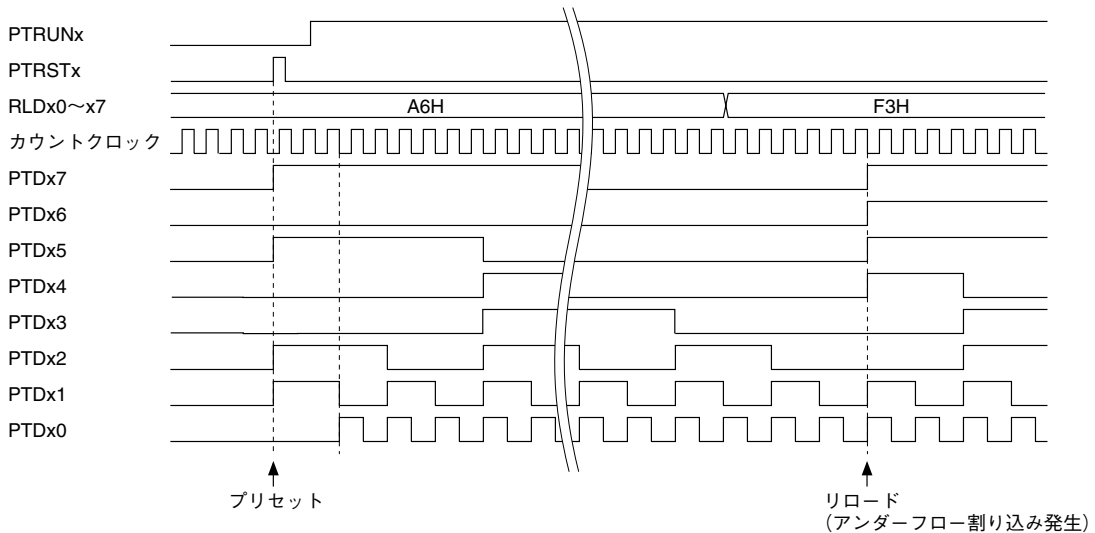


図4.9.3.1 カウンタの基本動作タイミング

4.9.4 イベントカウンタモード(タイマ0、タイマ2、タイマ4、タイマ6)

タイマ0には、入出力兼用ポート端子から外部クロックを入力してカウントを行うイベントカウンタ機能があります。タイマとクロック入力ポートの対応は以下のとおりです。

表4.9.4.1 イベントカウンタクロック入力ポート

タイマ	外部クロック名	入力端子	制御レジスタ
タイマ0 (Ch.A)	EVIN_A	P12	EVCNT_A
タイマ2 (Ch.B)	EVIN_B	P41	EVCNT_B
タイマ4 (Ch.C)	EVIN_C	P42	EVCNT_C
タイマ6 (Ch.D)	EVIN_D	P43	EVCNT_D

この機能は、カウンタモード選択レジスタEVCNT_Aに"1"を書き込むことによって選択されます。これにより、対応する入出力兼用ポートが入力モードに設定され、入力信号がカウントクロックとしてタイマ0に送られます。

イニシャルリセット時はEVCNT_Aが"0"に設定され、タイマ0は内部クロックをカウントする通常のタイマとなります。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、カウントクロック周波数選択レジスタPTPS0レジスタの設定は無効となります。

ダウンカウントのタイミングは、パルス極性選択レジスタPLPUL_Aによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPUL_Aに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.9.4.1に示すタイミングでダウンカウントが行われます。

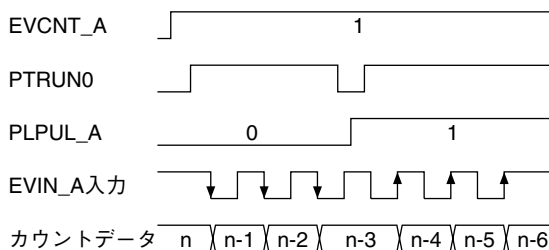


図4.9.4.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN_A)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ機能選択レジスタFCSEL_Aに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec*以上のパルス幅を確保する必要があります。ノイズリジェクタは、EVIN_A端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(※はfosc1 = 32.768kHzの場合の値です。)

図4.9.4.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

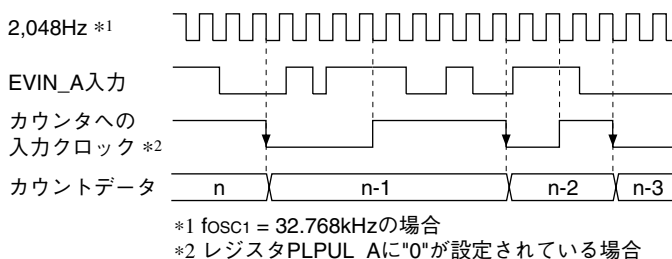


図4.9.4.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(EVIN_A)となること以外は通常のタイマ動作と同等です。カウントの基本的な動作と制御については"4.9.3 カウンタの基本動作"を参照してください。

4.9.5 PWMモード(タイマ0～タイマ7)

各タイマにはPWM波形を生成する機能があります。この機能を使用する場合は、PTSELxレジスタに"1"を書き込んで、対応するタイマをPWMモードに設定します。

PWM波形を制御するために、各タイマにはコンペアデータレジスタCDx0～CDx7が設けられています。PWMモードでは、コンペアデータレジスタに設定したデータがカウントデータと比較され、一致した時点で内部のコンペアマッチ信号が生成されます。同時にコンペアマッチ割り込みも発生します。また、タイマから外部に出力されるパルスがアンダーフロー信号で立ち上がり、コンペアマッチ信号で立ち下がります。図4.9.5.1に示すように、リロードデータレジスタで出力信号の周期を、コンペアデータレジスタでデューティ比を制御してPWM波形を生成することができます。ただし、 $RLD(リロードデータ) > CD(コンペアデータ)$ 、 $CD \neq 0$ としておく必要があります。 $RLD \leq CD$ の場合、出力信号はアンダーフロー以降立ち下がることなく"1"に固定されます。これによって生成したPWM信号は、入出力兼用ポート端子(P13)から出力させることができます(4.9.8項参照)。

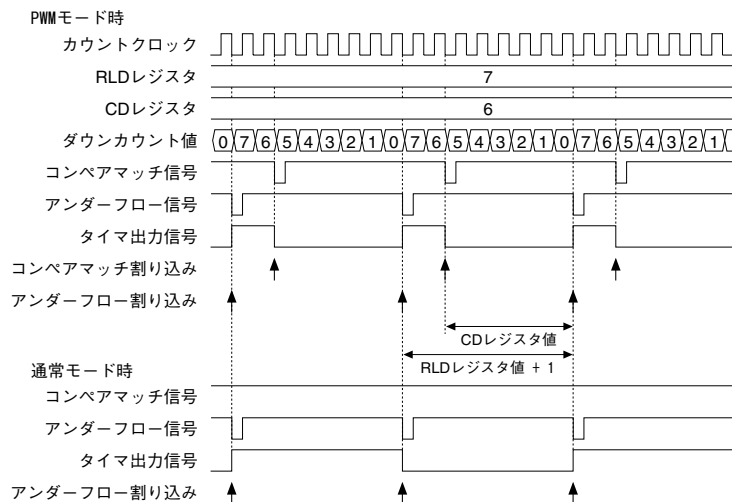


図4.9.5.1 PWM波形の生成

4.9.6 16ビットタイマモード(タイマ0+1、タイマ2+3、タイマ4+5、タイマ6+7)

タイマ0と1、タイマ2と3、タイマ4と5、タイマ6と7を連結して16ビットタイマとして使用することができます。

タイマ0とタイマ1を16ビットタイマとして使用する場合は、タイマ0の16ビットモード選択レジスタMOD16_Aに"1"を書き込みます。16ビットタイマは、タイマ0を下位バイト、タイマ1を上位バイトとして図4.9.6.1のように構成されます。

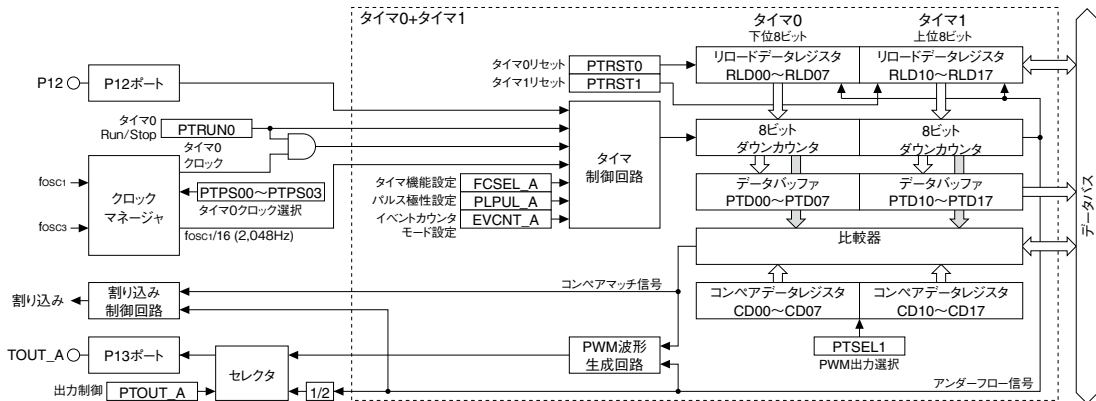


図4.9.6.1 16ビットタイマの構成(タイマ0+タイマ1)

16ビットタイマモードに設定すると、タイマのRUN/STOP制御、カウントクロック周波数の選択は、タイマ0のレジスタ設定が有効になります。イベントカウンタ機能も有効になります。タイマ1はタイマ0のアンダーフロー信号をカウントクロックとして使用するため、タイマ1用のRUN/STOP制御、カウントクロック周波数選択レジスタは無効になります。ただし、PWM出力機能はタイマ1の制御レジスタで選択する必要があります。TOUT_Aの出力には、自動的にタイマ1からの出力信号が選択されます(TOUT_A出力選択レジスタは無効になります)。リロードデータをプリセット(PTRSTx)する制御は、タイマ0とタイマ1それぞれに必要です。

なお、16ビットタイマのカウントデータの読み込み時は、必ず最下位データから読み出してください。16ビットタイマモード時は、最下位データ(PTD00 ~ PTD03)を読み出すことにより、上位データ(PTD04 ~ PTD17)がラッチされます。カウンタは継続して動作しますが、ラッチされたカウントデータは、次に最下位データを読み出すまではホールドされます。したがって、最下位データ(PTD00 ~ PTD03)を読み出し後は、上位データ(PTD04 ~ PTD17)の読み出し順序に留意する必要があります。最下位データ(PTD00 ~ PTD03)以外の読み出しではホールド機能が働かないため、正しいデータを読み出すことができません。

タイマ2と3、タイマ4と5、タイマ6と7を16ビットタイマとして使用する場合も、制御方法は上記と同様です。

4.9.7 割り込み機能

プログラマブルタイマは、各タイマのアンダーフロー信号、およびコンペアマッチ信号によって割り込みを発生させることができます。割り込みタイミングについては図4.9.3.1および図4.9.5.1を参照してください。

注: コンペアマッチ割り込みは、各タイマをPWMモードに設定している場合にのみ発生します。

タイマのアンダーフロー信号/コンペアマッチ信号によって、対応する割り込み要因フラグIPTx/ICTCxが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPTx/EICTCxの設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフロー/コンペアマッチで"1"にセットされます。

タイマ0とタイマ1を16ビットタイマとして使用している場合は、タイマ1のアンダーフローで割り込みが発生します。この場合、タイマ0のアンダーフローではIPT0はセットされません。コンペアマッチ割り込みの場合もタイマ1のICTC1を使用します。その他のタイマによる16ビットタイマモード時も同様です。

4.9.8 TOUT出力の設定

プログラマブルタイマCh.A(タイマ0、タイマ1)は、アンダーフロー信号とコンペアマッチ信号によってTOUT_A信号を発生させることができます。通常モードではアンダーフローを1/2分周した信号がTOUT_A信号として出力されます。PWMモードの場合は前述のとおり生成されたPWM信号がTOUT_A信号として出力されます。

表4.9.8.1 TOUT出力と制御レジスタ

出力クロック名	出力端子	出力制御レジスタ	出力選択レジスタ設定	出力タイマ
TOUT_A	P13	PTOUT_A	CHSEL_A="0" CHSEL_A="1"	タイマ0 タイマ1

TOUT出力選択レジスタCHSEL_Aによって、タイマ0とタイマ1のどちらの出力を使用するか選択することができます。

16ビットタイマモード時にTOUT_A信号を生成する場合は、CHSEL_Aの設定にかかわらず常にタイマ1が選択されます。

各タイマが生成したTOUT信号は、外部デバイスに対するクロック供給などのために、P13入出力兼用ポート端子から出力させることができます。

TOUT_A信号の出力はレジスタPTOUT_Aによって制御します。PTOUT_Aに"1"を設定するとTOUT_A信号が対応するポート端子から出力されます。TOUT出力時は入出力兼用ポートが自動的に出力モードに設定され、タイマから送られたTOUT_A信号を出力します。I/O制御レジスタ(IOC13)およびデータレジスタ(P13)の設定は無効になります。PTOUT_Aを"0"に設定した場合は、入出力兼用ポートの制御レジスタの設定が有効になります。

なお、TOUT_A信号はレジスタPTOUT_Aとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.9.8.1にTOUT_A信号の出力波形を示します。

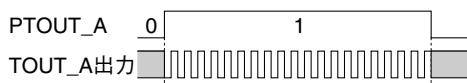


図4.9.8.1 TOUT_A信号の出力波形

Ch.B ~ Ch.DによるTOUT出力は不可能です。

4.9.9 シリアルインタフェース, R/Fコンバータへのクロック出力

タイマ1のアンダーフローを1/2分周した信号をシリアルインタフェースおよびR/Fコンバータのクロック源として使用することができます。

タイマ1がRUN(PTRUN1="1")状態の間は、シリアルインタフェースおよびR/Fコンバータへ常にクロックが出力されますので、PTOUT_Aレジスタによる制御は不要です。

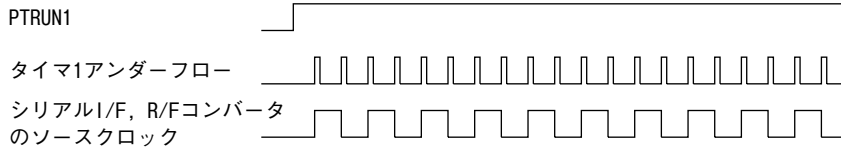


図4.9.9.1 シリアルインタフェース, R/Fコンバータへのクロック出力

シリアルインタフェースの転送速度に対するRLD1xレジスタへの設定値は次式のようになります。

$$RLD1x = \frac{f_{CNT1}}{2 * bps} - 1$$

fCNT1: PTPS1レジスタで設定したタイマ1カウントクロック周波数(表4.9.2.1参照)

bps: 転送速度

(RLD1xには00Hも設定可能)

シリアルインタフェースのクロック周波数は最大1MHzに制限されますので、OSC3を源振として使用する場合は注意してください。

4.9.10 プログラマブルタイマのI/Oメモリ

表4.9.10.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表4.9.10.1 (a) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF18H	PTPS03	PTPS02	PTPS01	PTPS00	PTPS03	0		プログラマブルタイマ0カウントクロック周波数選択 [PTPS03~00] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS03~00] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS03~00] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS02	0			
					PTPS01	0			
					PTPS00	0			
FF19H	PTPS13	PTPS12	PTPS11	PTPS10	PTPS13	0		プログラマブルタイマ1カウントクロック周波数選択 [PTPS13~10] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS13~10] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS13~10] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS12	0			
					PTPS11	0			
					PTPS10	0			
FF1AH	PTPS23	PTPS22	PTPS21	PTPS20	PTPS23	0		プログラマブルタイマ2カウントクロック周波数選択 [PTPS23~20] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS23~20] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS23~20] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS22	0			
					PTPS21	0			
					PTPS20	0			
FF1BH	PTPS33	PTPS32	PTPS31	PTPS30	PTPS33	0		プログラマブルタイマ3カウントクロック周波数選択 [PTPS33~30] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS33~30] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS33~30] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS32	0			
					PTPS31	0			
					PTPS30	0			
FF1CH	PTPS43	PTPS42	PTPS41	PTPS40	PTPS43	0		プログラマブルタイマ4カウントクロック周波数選択 [PTPS43~40] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS43~40] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS43~40] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS42	0			
					PTPS41	0			
					PTPS40	0			
FF1DH	PTPS53	PTPS52	PTPS51	PTPS50	PTPS53	0		プログラマブルタイマ5カウントクロック周波数選択 [PTPS53~50] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS53~50] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS53~50] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS52	0			
					PTPS51	0			
					PTPS50	0			
FF1EH	PTPS63	PTPS62	PTPS61	PTPS60	PTPS63	0		プログラマブルタイマ6カウントクロック周波数選択 [PTPS63~60] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS63~60] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS63~60] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS62	0			
					PTPS61	0			
					PTPS60	0			
FF1FH	PTPS73	PTPS72	PTPS71	PTPS70	PTPS73	0		プログラマブルタイマ7カウントクロック周波数選択 [PTPS73~70] 0 1 2 3 4 5 周波数 Off fosc1/256 fosc1/64 fosc1/32 fosc1/16 fosc1/4 [PTPS73~70] 6 7 8 9 10 周波数 fosc1/2 fosc1 fosc3/256 fosc3/64 fosc3/32 [PTPS73~70] 11 12 13 14 15 周波数 fosc3/16 fosc3/8 fosc3/4 fosc3/2 fosc3	
					PTPS72	0			
					PTPS71	0			
					PTPS70	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.9.10.1 (b) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF80H	MOD16_A	EVCNT_A	FCSEL_A	PLPUL_A	MOD16_A	0	16 bits	8 bits
					EVCNT_A	0	Event ct.	Timer
					FCSEL_A	0	With NR	No NR
					PLPUL_A	0	↑	↓
						0		
FF81H	PTSEL1	PTSEL0	CHSEL_A	PTOUT_A	PTSEL1	0	PWM	Normal
					PTSEL0	0	PWM	Normal
					CHSEL_A	0	Timer 1	Timer 0
					PTOUT_A	0	On	Off
						0		
FF82H	PTRST1	PTRUN1	PTRST0	PTRUN0	PTRST1*3	— *2	Reset	Invalid
					PTRUN1	0	Run	Stop
					PTRST0*3	— *2	Reset	Invalid
					PTRUN0	0	Run	Stop
						0		
FF84H	RLD03	RLD02	RLD01	RLD00	RLD03	0		
					RLD02	0		
					RLD01	0		
					RLD00	0		
						0		
FF85H	RLD07	RLD06	RLD05	RLD04	RLD07	0		
					RLD06	0		
					RLD05	0		
					RLD04	0		
						0		
FF86H	RLD13	RLD12	RLD11	RLD10	RLD13	0		
					RLD12	0		
					RLD11	0		
					RLD10	0		
						0		
FF87H	RLD17	RLD16	RLD15	RLD14	RLD17	0		
					RLD16	0		
					RLD15	0		
					RLD14	0		
						0		
FF88H	PTD03	PTD02	PTD01	PTD00	PTD03	0		
					PTD02	0		
					PTD01	0		
					PTD00	0		
						0		
FF89H	PTD07	PTD06	PTD05	PTD04	PTD07	0		
					PTD06	0		
					PTD05	0		
					PTD04	0		
						0		
FF8AH	PTD13	PTD12	PTD11	PTD10	PTD13	0		
					PTD12	0		
					PTD11	0		
					PTD10	0		
						0		
FF8BH	PTD17	PTD16	PTD15	PTD14	PTD17	0		
					PTD16	0		
					PTD15	0		
					PTD14	0		
						0		
FF8CH	CD03	CD02	CD01	CD00	CD03	0		
					CD02	0		
					CD01	0		
					CD00	0		
						0		
FF8DH	CD07	CD06	CD05	CD04	CD07	0		
					CD06	0		
					CD05	0		
					CD04	0		
						0		
FF8EH	CD13	CD12	CD11	CD10	CD13	0		
					CD12	0		
					CD11	0		
					CD10	0		
						0		
FF8FH	CD17	CD16	CD15	CD14	CD17	0		
					CD16	0		
					CD15	0		
					CD14	0		
						0		

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.10.1 (c) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF90H	MOD16_B	EVCNT_B	FCSEL_B	PLPUL_B	MOD16_B	0	16 bits	8 bits
					EVCNT_B	0	Event ct.	Timer
	R/W				FCSEL_B	0	With NR	No NR
					PLPUL_B	0	↑	↓
FF91H	PTSEL3	PTSEL2	CHSEL_B	Ptout_B	PTSEL3	0	PWM	Normal
					PTSEL2	0	PWM	Normal
	R/W				CHSEL_B	0	1	0
					Ptout_B	0	1	0
FF92H	PTRST3	PTRUN3	PTRST2	PTRUN2	PTRST3*3	— *2	Reset	Invalid
					PTRUN3	0	Run	Stop
	W	R/W	W	R/W	PTRST2*3	— *2	Reset	Invalid
					PTRUN2	0	Run	Stop
FF94H	RLD23	RLD22	RLD21	RLD20	RLD23	0		MSB
					RLD22	0		
	R/W				RLD21	0		
					RLD20	0		LSB
FF95H	RLD27	RLD26	RLD25	RLD24	RLD27	0		MSB
					RLD26	0		
	R/W				RLD25	0		
					RLD24	0		LSB
FF96H	RLD33	RLD32	RLD31	RLD30	RLD33	0		MSB
					RLD32	0		
	R/W				RLD31	0		
					RLD30	0		LSB
FF97H	RLD37	RLD36	RLD35	RLD34	RLD37	0		MSB
					RLD36	0		
	R/W				RLD35	0		
					RLD34	0		LSB
FF98H	PTD23	PTD22	PTD21	PTD20	PTD23	0		MSB
					PTD22	0		
	R				PTD21	0		
					PTD20	0		LSB
FF99H	PTD27	PTD26	PTD25	PTD24	PTD27	0		MSB
					PTD26	0		
	R				PTD25	0		
					PTD24	0		LSB
FF9AH	PTD33	PTD32	PTD31	PTD30	PTD33	0		MSB
					PTD32	0		
	R				PTD31	0		
					PTD30	0		LSB
FF9BH	PTD37	PTD36	PTD35	PTD34	PTD37	0		MSB
					PTD36	0		
	R				PTD35	0		
					PTD34	0		LSB
FF9CH	CD23	CD22	CD21	CD20	CD23	0		MSB
					CD22	0		
	R/W				CD21	0		
					CD20	0		LSB
FF9DH	CD27	CD26	CD25	CD24	CD27	0		MSB
					CD26	0		
	R/W				CD25	0		
					CD24	0		LSB
FF9EH	CD33	CD32	CD31	CD30	CD33	0		MSB
					CD32	0		
	R/W				CD31	0		
					CD30	0		LSB
FF9FH	CD37	CD36	CD35	CD34	CD37	0		MSB
					CD36	0		
	R/W				CD35	0		
					CD34	0		LSB

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.10.1 (d) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FFA0H	MOD16_C	EVCNT_C	FCSEL_C	PLPUL_C	MOD16_C	0	16 bits	8 bits
					EVCNT_C	0	Event ct.	Timer
	R/W				FCSEL_C	0	With NR	No NR
					PLPUL_C	0	↑	↓
						0		
FFA1H	PTSEL5	PTSEL4	CHSEL_C	PTOUT_C	PTSEL5	0	PWM	Normal
					PTSEL4	0	PWM	Normal
	R/W				CHSEL_C	0	1	0
					PTOUT_C	0	1	0
						0		
FFA2H	PTRST5	PTRUN5	PTRST4	PTRUN4	PTRST5*3	— *2	Reset	Invalid
					PTRUN5	0	Run	Stop
	W	R/W	W	R/W	PTRST4*3	— *2	Reset	Invalid
					PTRUN4	0	Run	Stop
FFA4H	RLD43	RLD42	RLD41	RLD40	RLD43	0		
					RLD42	0		
	R/W				RLD41	0		
					RLD40	0		
								MSB
FFA5H	RLD47	RLD46	RLD45	RLD44	RLD47	0		
					RLD46	0		
	R/W				RLD45	0		
					RLD44	0		
								MSB
FFA6H	RLD53	RLD52	RLD51	RLD50	RLD53	0		
					RLD52	0		
	R/W				RLD51	0		
					RLD50	0		
								MSB
FFA7H	RLD57	RLD56	RLD55	RLD54	RLD57	0		
					RLD56	0		
	R/W				RLD55	0		
					RLD54	0		
								MSB
FFA8H	PTD43	PTD42	PTD41	PTD40	PTD43	0		
					PTD42	0		
	R				PTD41	0		
					PTD40	0		
								MSB
FFA9H	PTD47	PTD46	PTD45	PTD44	PTD47	0		
					PTD46	0		
	R				PTD45	0		
					PTD44	0		
								MSB
FFAAH	PTD53	PTD52	PTD51	PTD50	PTD53	0		
					PTD52	0		
	R				PTD51	0		
					PTD50	0		
								MSB
FFABH	PTD57	PTD56	PTD55	PTD54	PTD57	0		
					PTD56	0		
	R				PTD55	0		
					PTD54	0		
								MSB
FFACH	CD43	CD42	CD41	CD40	CD43	0		
					CD42	0		
	R/W				CD41	0		
					CD40	0		
								MSB
FFADH	CD47	CD46	CD45	CD44	CD47	0		
					CD46	0		
	R/W				CD45	0		
					CD44	0		
								MSB
FFAEH	CD53	CD52	CD51	CD50	CD53	0		
					CD52	0		
	R/W				CD51	0		
					CD50	0		
								MSB
FFAFH	CD57	CD56	CD55	CD54	CD57	0		
					CD56	0		
	R/W				CD55	0		
					CD54	0		
								MSB

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.10.1 (e) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FFB0H	MOD16_D	EVCNT_D	FCSEL_D	PLPUL_D	MOD16_D	0	16 bits	8 bits
					EVCNT_D	0	Event ct.	Timer
					FCSEL_D	0	With NR	No NR
					PLPUL_D	0	↑	↓
						0		
FFB1H	PTSEL7	PTSEL6	CHSEL_D	PTOUT_D	PTSEL7	0	PWM	Normal
					PTSEL6	0	PWM	Normal
					CHSEL_D	0	1	0
					PTOUT_D	0	1	0
						0		
FFB2H	PTRST7	PTRUN7	PTRST6	PTRUN6	PTRST7*3	— *2	Reset	Invalid
					PTRUN7	0	Run	Stop
					PTRST6*3	— *2	Reset	Invalid
					PTRUN6	0	Run	Stop
						0		
FFB4H	RLD63	RLD62	RLD61	RLD60	RLD63	0		
					RLD62	0		
					RLD61	0		
					RLD60	0		
						0		
FFB5H	RLD67	RLD66	RLD65	RLD64	RLD67	0		
					RLD66	0		
					RLD65	0		
					RLD64	0		
						0		
FFB6H	RLD73	RLD72	RLD71	RLD70	RLD73	0		
					RLD72	0		
					RLD71	0		
					RLD70	0		
						0		
FFB7H	RLD77	RLD76	RLD75	RLD74	RLD77	0		
					RLD76	0		
					RLD75	0		
					RLD74	0		
						0		
FFB8H	PTD63	PTD62	PTD61	PTD60	PTD63	0		
					PTD62	0		
					PTD61	0		
					PTD60	0		
						0		
FFB9H	PTD67	PTD66	PTD65	PTD64	PTD67	0		
					PTD66	0		
					PTD65	0		
					PTD64	0		
						0		
FFBAH	PTD73	PTD72	PTD71	PTD70	PTD73	0		
					PTD72	0		
					PTD71	0		
					PTD70	0		
						0		
FFBBH	PTD77	PTD76	PTD75	PTD74	PTD77	0		
					PTD76	0		
					PTD75	0		
					PTD74	0		
						0		
FFBCH	CD63	CD62	CD61	CD60	CD63	0		
					CD62	0		
					CD61	0		
					CD60	0		
						0		
FFBDH	CD67	CD66	CD65	CD64	CD67	0		
					CD66	0		
					CD65	0		
					CD64	0		
						0		
FFBEH	CD73	CD72	CD71	CD70	CD73	0		
					CD72	0		
					CD71	0		
					CD70	0		
						0		
FFBFH	CD77	CD76	CD75	CD74	CD77	0		
					CD76	0		
					CD75	0		
					CD74	0		
						0		

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.10.1 (f) プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈						
	D3	D2	D1	D0	Name	Init *1	1	0			
FFE2H	General	General	EIPT0	EICTC0	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT0	0	Enable	Mask	割り込みマスキレジスタ(タイマ0アンダーフロー)		
					EICTC0	0	Enable	Mask	割り込みマスキレジスタ(タイマ0コンペアマッチ)		
FFE3H	General	General	EIPT1	EICTC1	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT1	0	Enable	Mask	割り込みマスキレジスタ(タイマ1アンダーフロー)		
					EICTC1	0	Enable	Mask	割り込みマスキレジスタ(タイマ1コンペアマッチ)		
FFE4H	General	General	EIPT2	EICTC2	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT2	0	Enable	Mask	割り込みマスキレジスタ(タイマ2アンダーフロー)		
					EICTC2	0	Enable	Mask	割り込みマスキレジスタ(タイマ2コンペアマッチ)		
FFE5H	General	General	EIPT3	EICTC3	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT3	0	Enable	Mask	割り込みマスキレジスタ(タイマ3アンダーフロー)		
					EICTC3	0	Enable	Mask	割り込みマスキレジスタ(タイマ3コンペアマッチ)		
FFE6H	General	General	EIPT4	EICTC4	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT4	0	Enable	Mask	割り込みマスキレジスタ(タイマ4アンダーフロー)		
					EICTC4	0	Enable	Mask	割り込みマスキレジスタ(タイマ4コンペアマッチ)		
FFE7H	General	General	EIPT5	EICTC5	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT5	0	Enable	Mask	割り込みマスキレジスタ(タイマ5アンダーフロー)		
					EICTC5	0	Enable	Mask	割り込みマスキレジスタ(タイマ5コンペアマッチ)		
FFE8H	General	General	EIPT6	EICTC6	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT6	0	Enable	Mask	割り込みマスキレジスタ(タイマ6アンダーフロー)		
					EICTC6	0	Enable	Mask	割り込みマスキレジスタ(タイマ6コンペアマッチ)		
FFE9H	General	General	EIPT7	EICTC7	General	0	1	0	汎用レジスタ		
					General	0	1	0	汎用レジスタ		
	R/W				EIPT7	0	Enable	Mask	割り込みマスキレジスタ(タイマ7アンダーフロー)		
					EICTC7	0	Enable	Mask	割り込みマスキレジスタ(タイマ7コンペアマッチ)		
FFF2H	0	0	IPT0	ICTC0	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT0	0	(W)	(W)	割り込み要因フラグ(タイマ0アンダーフロー)		
					ICTC0	0	Reset	Invalid	割り込み要因フラグ(タイマ0コンペアマッチ)		
FFF3H	0	0	IPT1	ICTC1	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(タイマ1アンダーフロー)		
					ICTC1	0	Reset	Invalid	割り込み要因フラグ(タイマ1コンペアマッチ)		
FFF4H	0	0	IPT2	ICTC2	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT2	0	(W)	(W)	割り込み要因フラグ(タイマ2アンダーフロー)		
					ICTC2	0	Reset	Invalid	割り込み要因フラグ(タイマ2コンペアマッチ)		
FFF5H	0	0	IPT3	ICTC3	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT3	0	(W)	(W)	割り込み要因フラグ(タイマ3アンダーフロー)		
					ICTC3	0	Reset	Invalid	割り込み要因フラグ(タイマ3コンペアマッチ)		
FFF6H	0	0	IPT4	ICTC4	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT4	0	(W)	(W)	割り込み要因フラグ(タイマ4アンダーフロー)		
					ICTC4	0	Reset	Invalid	割り込み要因フラグ(タイマ4コンペアマッチ)		
FFF7H	0	0	IPT5	ICTC5	0*3	—*2	(R)	(R)	未使用		
					0*3	—*2	Yes	No	未使用		
	R		R/W		IPT5	0	(W)	(W)	割り込み要因フラグ(タイマ5アンダーフロー)		
					ICTC5	0	Reset	Invalid	割り込み要因フラグ(タイマ5コンペアマッチ)		

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.10.1 (g) プログラマブルタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF8H	0	0	IPT6	ICTC6	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R			R/W	IPT6	0	(W)	(W)	割り込み要因フラグ(タイマ6アンダーフロー)
					ICTC6	0	Reset	Invalid	割り込み要因フラグ(タイマ6コンペアマッチ)
FFF9H	0	0	IPT7	ICTC7	0*3	—*2	(R)	(R)	未使用
					0*3	—*2	Yes	No	未使用
	R			R/W	IPT7	0	(W)	(W)	割り込み要因フラグ(タイマ7アンダーフロー)
					ICTC7	0	Reset	Invalid	割り込み要因フラグ(タイマ7コンペアマッチ)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

- **PTPS00 ～ PTPS03: タイマ0カウントクロック周波数選択レジスタ (FF18H)**
- PTPS10 ～ PTPS13: タイマ1カウントクロック周波数選択レジスタ (FF19H)**
- PTPS20 ～ PTPS23: タイマ2カウントクロック周波数選択レジスタ (FF1AH)**
- PTPS30 ～ PTPS33: タイマ3カウントクロック周波数選択レジスタ (FF1BH)**
- PTPS40 ～ PTPS43: タイマ4カウントクロック周波数選択レジスタ (FF1CH)**
- PTPS50 ～ PTPS53: タイマ5カウントクロック周波数選択レジスタ (FF1DH)**
- PTPS60 ～ PTPS63: タイマ6カウントクロック周波数選択レジスタ (FF1EH)**
- PTPS70 ～ PTPS73: タイマ7カウントクロック周波数選択レジスタ (FF1FH)**

各タイマのカウントクロック周波数を選択します。

表4.9.10.2 カウントクロック周波数の選択

PTPSx3	PTPSx2	PTPSx1	PTPSx0	タイマクロック
1	1	1	1	fosc3
1	1	1	0	fosc3 / 2
1	1	0	1	fosc3 / 4
1	1	0	0	fosc3 / 8
1	0	1	1	fosc3 / 16
1	0	1	0	fosc3 / 32
1	0	0	1	fosc3 / 64
1	0	0	0	fosc3 / 256
0	1	1	1	fosc1 (32kHz)
0	1	1	0	fosc1 / 2 (16kHz)
0	1	0	1	fosc1 / 4 (8kHz)
0	1	0	0	fosc1 / 16 (2kHz)
0	0	1	1	fosc1 / 32 (1kHz)
0	0	1	0	fosc1 / 64 (512Hz)
0	0	0	1	fosc1 / 256 (128Hz)
0	0	0	0	OFF

各タイマのダウンカウント用クロックはクロックマネージャがOSC1クロックまたはOSC3クロックを分周して表4.9.10.2に示す15種類を生成します。この中から各タイマに使用するクロックをPTPSx0 ～ PTPSx3で選択します。初期状態ではクロックの供給が停止していますので、タイマ機能を使用する場合は、タイマを制御する前に、必要なクロックを選択してクロック供給を開始させてください。以下のタイマについては消費電流低減のため、PTPSxレジスタを"0H"にしてクロック供給を停止してください。

- 使用しないタイマ
- 外部クロックを入力してイベントカウンタとして使用するタイマ
- 16ビットタイマ×1チャンネルとして使用する場合の上位8ビット側のタイマ(タイマ1/3/5/7)

イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **PLPUL_A: タイマ0パルス極性選択レジスタ (FF80H・D0)**
- PLPUL_B: タイマ2パルス極性選択レジスタ (FF90H・D0)**
- PLPUL_C: タイマ4パルス極性選択レジスタ (FFA0H・D0)**
- PLPUL_D: タイマ6パルス極性選択レジスタ (FFB0H・D0)**

イベントカウンタのカウントパルス極性を選択します。

"1" 書き込み: 立ち上がりエッジ
 "0" 書き込み: 立ち下がりエッジ
 読み出し: 可能

イベントカウンタモードのカウントのタイミングを、P12、P41、P42、P43入出力兼用ポート端子に
 入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。
 このレジスタに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がり
 エッジがそれぞれ選択されます。

このレジスタの設定は、タイマをイベントカウンタモードで使用する場合にのみ有効です。
 イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **FCSEL_A: タイマ0機能選択レジスタ (FF80H・D1)**
- FCSEL_B: タイマ2機能選択レジスタ (FF90H・D1)**
- FCSEL_C: タイマ4機能選択レジスタ (FFA0H・D1)**
- FCSEL_D: タイマ6機能選択レジスタ (FFB0H・D1)**

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1" 書き込み: ノイズリジェクタ付き
 "0" 書き込み: ノイズリジェクタなし
 読み出し: 可能

このレジスタに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec*以上のパルス幅
 の外部クロック(P12、P41、P42、P43から入力)によってカウントが行われます。ノイズリジェクタ
 は、P12、P41、P42、P43入出力兼用ポート端子の入力レベルが変化してから二度目の内部2,048Hz*
 信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去
 できるノイズのパルス幅は0.48msec*以下となります。(※はfosc1 = 32.768kHzの場合の値です。)

このレジスタに"0"を書き込んだ場合はノイズリジェクタは付加されず、P12、P41、P42、P43入
 出力兼用ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマをイベントカウンタモードで使用する場合にのみ有効です。
 イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **EVCNT_A: タイマ0カウンタモード選択レジスタ (FF80H・D2)**
- EVCNT_B: タイマ2カウンタモード選択レジスタ (FF90H・D2)**
- EVCNT_C: タイマ4カウンタモード選択レジスタ (FFA0H・D2)**
- EVCNT_D: タイマ6カウンタモード選択レジスタ (FFB0H・D2)**

タイマのカウンタモードを選択します。

"1" 書き込み: イベントカウンタモード
 "0" 書き込み: タイマモード
 読み出し: 可能

タイマ0、タイマ2、タイマ4、タイマ6を、外部クロックをカウントするイベントカウンタとして
 使用するか、内部クロックをカウントする通常のタイマとして使用するかを選択します。

このレジスタに"1"を書き込んだ場合はイベントカウンタモードに設定されます。このモードでは、
 タイマ0、タイマ2、タイマ4、タイマ6がそれぞれP12、P41、P42、P43入出力兼用ポート端子から入
 力した外部クロックでカウントを行います。このレジスタに"0"を書き込んだ場合はタイマモード
 に設定されます。このモードでは、PTPSレジスタで選択した内部クロックでカウントを行います。
 この選択は上記のタイマを16ビットタイマモードで使用する場合も有効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **MOD16_A: タイマ0-1 16ビットタイマモード選択レジスタ (FF80H・D3)**
MOD16_B: タイマ2-3 16ビットタイマモード選択レジスタ (FF90H・D3)
MOD16_C: タイマ4-5 16ビットタイマモード選択レジスタ (FFA0H・D3)
MOD16_D: タイマ6-7 16ビットタイマモード選択レジスタ (FFB0H・D3)
 8/16ビットタイマモードを選択します。

"1" 書き込み: 16ビットタイマモード
 "0" 書き込み: 8ビットタイマモード
 読み出し: 可能

タイマ0と1、タイマ2と3、タイマ4と5、タイマ6と7を、それぞれ独立した2チャンネルの8ビットタイマとして使用するか、連結させて1チャンネルの16ビットタイマとして使用するか選択します。このレジスタに"0"を書き込んだ場合は8ビットタイマモード、"1"を書き込んだ場合は16ビットタイマモードに設定されます。たとえば、タイマ0とタイマ1を16ビットタイマモードで使用する場合、タイマ1はタイマ0(タイマモードまたはイベントカウンタモード)のアンダーフロー信号をカウントクロックとして動作します。タイマのRUN/STOP制御、カウントクロック周波数の選択は、タイマ0のレジスタ設定が有効(タイマ1のレジスタ設定は無効)になります。ただし、PWM出力機能はタイマ1の制御レジスタで選択する必要があります。リロードデータをプリセット(PTRSTx)する制御は、タイマ0とタイマ1それぞれに必要です。タイマ2と3、タイマ4と5、タイマ6と7を16ビットタイマとして使用する場合も同様です。イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **PTOUT_A: TOUT_A出力制御レジスタ (FF81H・D0)**
 TOUT信号の出力を制御します。

"1" 書き込み: TOUT出力ON
 "0" 書き込み: TOUT出力OFF
 読み出し: 可能

このレジスタに"1"を書き込むことによって対応するTOUT_A信号がP13端子から出力されます。TOUT出力時は入出力兼用ポートが自動的に出力モードに設定され、タイマから送られたTOUT信号を出力します。I/O制御レジスタ(IOC13)およびデータレジスタ(P13)の設定は無効になります。このレジスタを"0"に設定した場合は、入出力兼用ポートの制御レジスタの設定が有効になります。イニシャルリセット時、このレジスタは"0"に設定されます。

- **CHSEL_A: TOUT_A出力選択レジスタ (FF81H・D1)**
 TOUT信号を出力させるタイマを選択します。

"1" 書き込み: 下位タイマ(タイマ0)
 "0" 書き込み: 上位タイマ(タイマ1)
 読み出し: 可能

TOUT信号に下位タイマ(タイマ0)の出力を使用するか、上位タイマ(タイマ1)の出力を使用するか選択します。このレジスタに"0"を書き込んだ場合は下位タイマの出力、"1"を書き込んだ場合は上位タイマの出力がそれぞれ選択されます。16ビットタイマモード時は、このレジスタの設定にかかわらず常に上位タイマの出力が選択されます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **PTSEL0: タイマ0 PWMモード選択レジスタ (FF81H・D2)**
- PTSEL1: タイマ1 PWMモード選択レジスタ (FF81H・D3)**
- PTSEL2: タイマ2 PWMモード選択レジスタ (FF91H・D2)**
- PTSEL3: タイマ3 PWMモード選択レジスタ (FF91H・D3)**
- PTSEL4: タイマ4 PWMモード選択レジスタ (FFA1H・D2)**
- PTSEL5: タイマ5 PWMモード選択レジスタ (FFA1H・D3)**
- PTSEL6: タイマ6 PWMモード選択レジスタ (FFB1H・D2)**
- PTSEL7: タイマ7 PWMモード選択レジスタ (FFB1H・D3)**

タイマ_xをPWM出力用に設定します。

"1" 書き込み: PWM出力

"0" 書き込み: 通常出力

読み出し: 可能

PTSEL_xに"1"を書き込むとコンパレータレジスタが有効となり、アンダーフロー信号とコンペアマッチ信号を使用してPWM波形が生成されます。"0"を書き込んだ場合、アンダーフロー信号のみを使用した通常のパルス出力が行われます。16ビットタイマモード場合、下位タイマ(タイマ0/タイマ2/タイマ4/タイマ6)のPTSELレジスタの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

- **PTRUN0: タイマ0 RUN/STOP制御レジスタ (FF82H・D0)**
- PTRUN1: タイマ1 RUN/STOP制御レジスタ (FF82H・D2)**
- PTRUN2: タイマ2 RUN/STOP制御レジスタ (FF92H・D0)**
- PTRUN3: タイマ3 RUN/STOP制御レジスタ (FF92H・D2)**
- PTRUN4: タイマ4 RUN/STOP制御レジスタ (FFA2H・D0)**
- PTRUN5: タイマ5 RUN/STOP制御レジスタ (FFA2H・D2)**
- PTRUN6: タイマ6 RUN/STOP制御レジスタ (FFB2H・D0)**
- PTRUN7: タイマ7 RUN/STOP制御レジスタ (FFB2H・D2)**

カウンタのRUN/STOPを制御します。

"1" 書き込み: RUN

"0" 書き込み: STOP

読み出し: 可能

タイマ_xのカウンタはPTRUN_xに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。16ビットタイマモード場合、上位タイマ(タイマ1/タイマ3/タイマ5/タイマ7)のPTRUNレジスタの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

- **PTRST0: タイマ0リセット(リロード) (FF82H・D1)**
- PTRST1: タイマ1リセット(リロード) (FF82H・D3)**
- PTRST2: タイマ2リセット(リロード) (FF92H・D1)**
- PTRST3: タイマ3リセット(リロード) (FF92H・D3)**
- PTRST4: タイマ4リセット(リロード) (FFA2H・D1)**
- PTRST5: タイマ5リセット(リロード) (FFA2H・D3)**
- PTRST6: タイマ6リセット(リロード) (FFB2H・D1)**
- PTRST7: タイマ7リセット(リロード) (FFB2H・D3)**

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1" 書き込み: リセット

"0" 書き込み: ノーオペレーション

読み出し: 常時"0"

PTRSTxに"1"を書き込むことによって、RLD_x0 ~ RLD_x7のリロードデータがタイマ_xのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

16ビットタイマモード場合もPTRSTxはすべて有効で、リロードデータは上位タイマ(タイマ1/タイマ3/タイマ5/タイマ7)と下位タイマ(タイマ0/タイマ2/タイマ4/タイマ6)それぞれにプリセットする必要があります。

PTRSTxは書き込み専用のため、読み出し時は常時"0"となります。

- **RLD00 ~ RLD07: タイマ0リロードデータレジスタ (FF84H, FF85H)**
- RLD10 ~ RLD17: タイマ1リロードデータレジスタ (FF86H, FF87H)**
- RLD20 ~ RLD27: タイマ2リロードデータレジスタ (FF94H, FF95H)**
- RLD30 ~ RLD37: タイマ3リロードデータレジスタ (FF96H, FF97H)**
- RLD40 ~ RLD47: タイマ4リロードデータレジスタ (FFA4H, FFA5H)**
- RLD50 ~ RLD57: タイマ5リロードデータレジスタ (FFA6H, FFA7H)**
- RLD60 ~ RLD67: タイマ6リロードデータレジスタ (FFB4H, FFB5H)**
- RLD70 ~ RLD77: タイマ7リロードデータレジスタ (FFB6H, FFB7H)**

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRSTxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタは"00H"に設定されます。

- **PTD00 ~ PTD07: タイマ0カウンタデータ (FF88H, FF89H)**
- PTD10 ~ PTD17: タイマ1カウンタデータ (FF8AH, FF8BH)**
- PTD20 ~ PTD27: タイマ2カウンタデータ (FF98H, FF99H)**
- PTD30 ~ PTD37: タイマ3カウンタデータ (FF9AH, FF9BH)**
- PTD40 ~ PTD47: タイマ4カウンタデータ (FFA8H, FFA9H)**
- PTD50 ~ PTD57: タイマ5カウンタデータ (FFAAH, FFABH)**
- PTD60 ~ PTD67: タイマ6カウンタデータ (FFB8H, FFB9H)**
- PTD70 ~ PTD77: タイマ7カウンタデータ (FFBAH, FFBBH)**

プログラマブルタイマのデータが読み出せます。

タイマ_xのカウンタデータの低位4ビットがPTD_x0 ~ PTD_x3、上位4ビットがPTD_x4 ~ PTD_x7から読み出せます。低位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず低位4ビットから先に行ってください。16ビットタイマモードの場合も、低位4ビットの読み出しにより上位12ビットのホールド機能が働きますので、読み出しは必ず低位4ビットから先に行ってください。本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

- **CD00 ~ CD07: タイマ0コンペアデータレジスタ (FF8CH, FF8DH)**
- CD10 ~ CD17: タイマ1コンペアデータレジスタ (FF8EH, FF8FH)**
- CD20 ~ CD27: タイマ2コンペアデータレジスタ (FF9CH, FF9DH)**
- CD30 ~ CD37: タイマ3コンペアデータレジスタ (FF9EH, FF9FH)**
- CD40 ~ CD47: タイマ4コンペアデータレジスタ (FFACH, FFADH)**
- CD50 ~ CD57: タイマ5コンペアデータレジスタ (FFAEH, FFAFH)**
- CD60 ~ CD67: タイマ6コンペアデータレジスタ (FFBCH, FFB DH)**
- CD70 ~ CD77: タイマ7コンペアデータレジスタ (FFBEH, FFBFH)**

PWM出力用のコンペアデータを設定します。

タイマをPWMモードに設定すると、本レジスタに設定したコンペアデータがカウンタのデータと比較され、一致した場合にコンペアマッチ信号が出力されます。その信号により割り込みが発生するとともにPWM波形のデューティ比が制御されます。

イニシャルリセット時、これらレジスタは"00H"に設定されます。

- **EIPT0, EICTC0: タイマ0割り込みマスクレジスタ (FFE2H・D1, D0)**
- EIPT1, EICTC1: タイマ1割り込みマスクレジスタ (FFE3H・D1, D0)**
- EIPT2, EICTC2: タイマ2割り込みマスクレジスタ (FFE4H・D1, D0)**
- EIPT3, EICTC3: タイマ3割り込みマスクレジスタ (FFE5H・D1, D0)**
- EIPT4, EICTC4: タイマ4割り込みマスクレジスタ (FFE6H・D1, D0)**
- EIPT5, EICTC5: タイマ5割り込みマスクレジスタ (FFE7H・D1, D0)**
- EIPT6, EICTC6: タイマ6割り込みマスクレジスタ (FFE8H・D1, D0)**
- EIPT7, EICTC7: タイマ7割り込みマスクレジスタ (FFE9H・D1, D0)**

プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1" 書き込み: イネーブル

"0" 書き込み: マスク

読み出し: 可能

EIPT_x、EICTC_xはそれぞれタイマ_xのアンダーフロー、コンペアマッチの割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **IPT0, ICTC0: タイマ0割り込み要因フラグ (FFF2H・D1, D0)**
- IPT1, ICTC1: タイマ1割り込み要因フラグ (FFF3H・D1, D0)**
- IPT2, ICTC2: タイマ2割り込み要因フラグ (FFF4H・D1, D0)**
- IPT3, ICTC3: タイマ3割り込み要因フラグ (FFF5H・D1, D0)**
- IPT4, ICTC4: タイマ4割り込み要因フラグ (FFF6H・D1, D0)**
- IPT5, ICTC5: タイマ5割り込み要因フラグ (FFF7H・D1, D0)**
- IPT6, ICTC6: タイマ6割り込み要因フラグ (FFF8H・D1, D0)**
- IPT7, ICTC7: タイマ7割り込み要因フラグ (FFF9H・D1, D0)**

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1" 読み出し: 割り込み有

"0" 読み出し: 割り込み無

"1" 書き込み: 要因フラグをリセット

"0" 書き込み: 無効

IPT_x、ICTC_xはそれぞれタイマ_xのアンダーフロー、コンペアマッチの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

アンダーフロー割り込み要因は、カウンタがアンダーフローしたところで発生します。

コンペアマッチ割り込み要因は、タイマをPWMモードに設定している場合にカウンタのデータとコンペアデータが一致すると発生します。

これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフロー/コンペアマッチで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.11 プログラミング上の注意事項

- (1) カウントデータの読み出しは必ず下位4ビット(PTDx0 ~ PTDx3)から先に行ってください。下位4ビットの読み出し時に上位4ビット(PTDx4 ~ PTDx7)がラッチされ、次に下位4ビットを読み出すまでホールドされます。16ビットタイマモード時も同様に、下位4ビットの読み出しにより上位12ビットがホールドされますので、下位4ビットから先に読み出してください。なお、CPU(システムクロック)をOSC1クロック、各タイマのカウントクロックをOSC3クロックで動作させている場合により正確なカウント値を読み出すためには、タイマを一時停止させてからカウンタデータを読み出すことを推奨します。
- (2) タイマモードではPTRUNxへの書き込み後、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

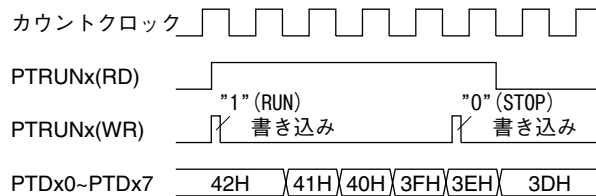


図4.9.11.1 RUN/STOP制御のタイミングチャート(タイマモード時)

イベントカウンタモード時は、最初のイベントクロックからタイマはカウントダウンします。

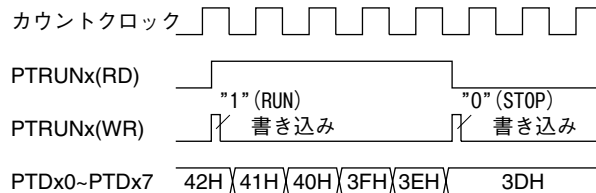


図4.9.11.2 RUN/STOP制御のタイミングチャート(イベントカウンタモード時)

- (3) TOUT_A信号は出力制御レジスタPTOUT_Aとは非同期に発生していますので、PTOUT_Aの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を源振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

- (6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。

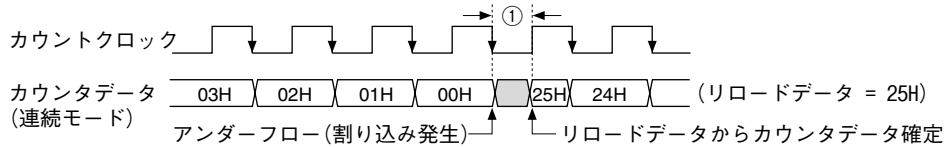


図4.9.11.3 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

- (7) プログラマブルタイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウンタデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法でプログラマブルタイマのカウントデータを読み出してください。

- カウンタデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
- 正確なカウンタデータが必要な場合には、プログラマブルタイマを一旦停止させてから読み出してください。

4.10 シリアルインタフェース

4.10.1 シリアルインタフェースの構成

S1C63616はクロック同期型の8ビットシリアルインタフェースを内蔵しています。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。

シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスタとなる場合)7種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)1種類の中から1つをソフトウェアにより選択できます。

図4.10.1.1にシリアルインタフェースの構成を示します。

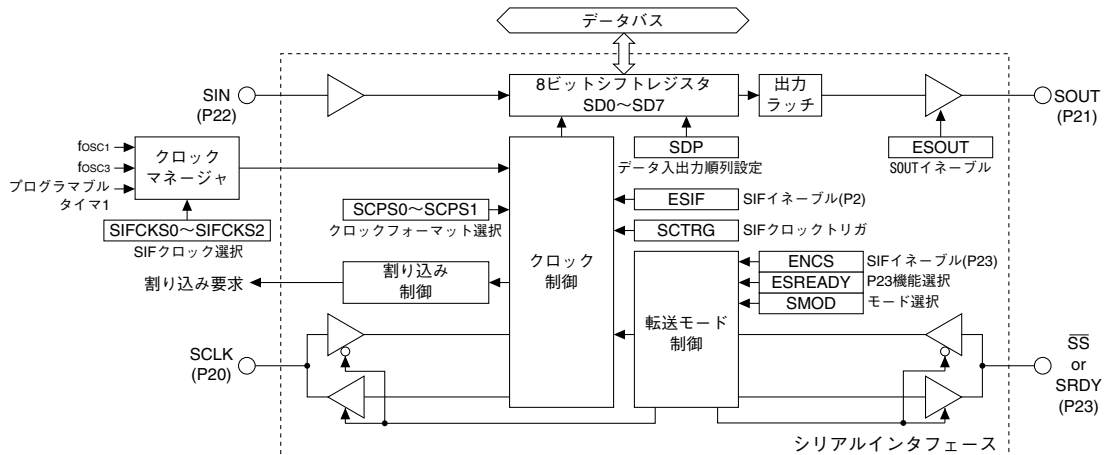


図4.10.1.1 シリアルインタフェースの構成

4.10.2 シリアル入出力端子

シリアルインタフェースで使用する端子と機能は、以下のとおりです。

SCLK (P20)

シリアルクロックを入出力します。ESIFレジスタに"1"を書き込んでシリアルインタフェースを有効にすると、P20端子がSCLK端子に切り換わります。マスタモードではSCLK端子が出力端子となり、データ転送時はIC内部で生成した同期クロックを出力します。スレーブモードでは、外部マスタデバイスが出力する同期クロックをSCLK端子から入力して動作します。

SIN (P22)

シリアルデータを入力します。ESIFレジスタに"1"を書き込んでシリアルインタフェースを有効にすると、P22端子がSIN端子に切り換わります。

SOUT (P21)

シリアルデータを出力します。ESIFレジスタに"1"を書き込んでも、初期設定ではSOUT端子が有効になりません。SOUT出力を使用するには、ESOUTレジスタに"1"を書き込みます。シリアル入力のみを行う場合は、P21端子を入出力兼用ポート端子として使用することができます。

SRDY (P23)

スレーブモード時に、本シリアルインタフェースが送受信可能なことを示すSRDY信号をマスタデバイスに出力します。スレーブモードに設定した場合でも、初期状態ではSRDY端子が有効になりません。スレーブモード時のSRDY出力を使用するには、ENCSとESREADYに"1"を書き込みます。

$\overline{SS}$ (P23)

S1C63616をSPIスレーブデバイスとして使用する場合に、 $\overline{SS}$ (スレーブセレクト)信号を入力します。 $\overline{SS}$ 入力を使用するには、ENC5に"1を"、とESREADYに"0"を書き込みます。

シリアルインタフェースの入出力ポートは入出力兼用ポート(P20～P23)と兼用されており、イニシャルリセット時はすべて入出力兼用ポート端子に設定されます。シリアルインタフェースとして使用する場合はソフトウェアによって上記のとおり機能の切り換えを行います。最低でもESIFを"1"に設定する必要があります。

切り換え操作によって、端子の入出力方向は自動的に設定されます。入出力兼用ポートの制御レジスタを操作する必要はありません。入出力兼用ポートのI/O制御レジスタやデータレジスタは端子の状態に影響を与えない汎用レジスタになります。ただし、シリアル入力に使用する端子に対応した入出力兼用ポートのプルアップ制御レジスタと入力インタフェースレベル選択レジスタはシリアル入力として使用する場合も有効です。

4.10.3 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポート(P20～P23)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

●出力仕様

シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(マスターモード時)、SRDY端子(スレーブモード時)の出力仕様がそれぞれP21、P20、P23のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Pチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を超える電圧を印加することは禁止します。

●プルダウン抵抗

入力として使用されるSIN端子、SCLK端子(スレーブモード時)、 $\overline{SS}$ 端子(SPIスレーブモード時)へのプルダウン抵抗の付加をP22、P20、P23のマスクオプションで選択できます。"プルダウンなし"を選択した場合には、フローティング状態が発生しないように注意してください。

シリアル入力端子にプルダウン抵抗を付加した場合、プルダウンのON/OFF制御は入出力兼用ポートのプルダウン制御レジスタで行います。

SIN端子: PUL22レジスタ

SCLK端子:PUL20レジスタ

$\overline{SS}$ 端子: PUL23レジスタ

制御の詳細については、"4.5 入出力兼用ポート"を参照してください。

4.10.4 シリアルインタフェースの動作モード

本シリアルインタフェースはマスタモード、スレーブモード、SPIスレーブモードの3種類の動作モードを持っています。

マスタモード

マスタモードはS1C63616をシリアル転送のマスタデバイスとして使用するためのモードです。このモードでは、クロックマネージャより供給される内部クロックをシリアル転送用の同期クロックとして使用します。このクロックはSCLK(P20)端子からスレーブデバイスにも出力されます。スレーブデバイスからのレディ信号は、入出力兼用ポート(入力モード)から入力してソフトウェアで処理します。このモードに設定したS1C63616をSPIマスタデバイスとして使用することもできます。その場合の $\overline{SS}$ (スレーブセレクト)信号は入出力兼用ポート(出力モード)をソフトウェアで制御して出力します。

スレーブモード

スレーブモードはS1C63616をシリアル転送のスレーブデバイスとして使用するためのモードです。このモードでは、外部マスタデバイスから送られる同期クロックをSCLK端子から入力してデータ転送を行います。データ転送は外部マスタデバイスによって制御されるため、本シリアルインタフェースが送受信可能なことを示すレディ信号をハードウェア制御によりSRDY端子から出力することができます。

SPIスレーブモード

SPIスレーブモードはS1C63616をSPIスレーブデバイスとして使用するためのモードです。このモードでは、外部マスタデバイスから送られる同期クロックをSCLK端子から入力してデータ転送を行います。SPIでは、マスタデバイスが転送を行うスレーブデバイスを $\overline{SS}$ (スレーブセレクト)信号により選択します。SPIスレーブモードではこの $\overline{SS}$ 信号の入力に対応しています。

基本的なシリアル入出力部の接続例を図4.10.4.1に示します。

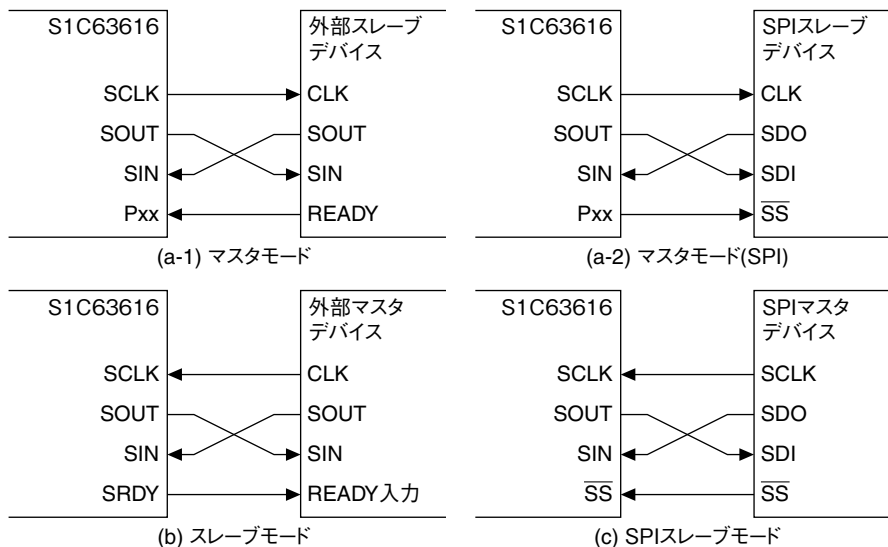


図4.10.4.1 基本的なシリアル入出力部の接続例

モードの設定には、SMOD、ENCs、ESREADYレジスタを使用します。

マスタモード: SMOD="1"、ENCs="0"、ESREADY="0"

スレーブモード: SMOD="0"、ENCs="1"、ESREADY="1"

SPIスレーブモード: SMOD="0"、ENCs="1"、ESREADY="0"

表4.10.4.1にモード設定と使用する端子構成の組み合わせを示します。

表4.10.4.1 モード設定とシリアルインタフェース端子の構成

ESIF	SMOD	ENCS	ESREADY	ESOUT	モード	P20端子	P21端子	P22端子	P23端子
1	1	1	1	*	マスタモード	設定禁止			
1	1	*	0	1		SCLK(O)	SOUT(O)	SIN(I)	P23(I/O)
1	1	0	1	1		SCLK(O)	SOUT(O)	SIN(I)	P23(I/O)
1	1	*	0	0		SCLK(O)	P21(I/O)	SIN(I)	P23(I/O)
1	1	0	1	0		SCLK(O)	P21(I/O)	SIN(I)	P23(I/O)
1	0	1	1	1	スレーブモード	SCLK(I)	SOUT(O)	SIN(I)	SRDY(O)
1	0	1	1	0		SCLK(I)	P21(I/O)	SIN(I)	SRDY(O)
1	0	0	*	1		SCLK(I)	SOUT(O)	SIN(I)	P23(I/O)
1	0	0	*	0		SCLK(I)	P21(I/O)	SIN(I)	P23(I/O)
1	0	1	0	1	SPIスレーブモード	SCLK(I)	SOUT(O)	SIN(I)	SS(I)
1	0	1	0	0		SCLK(I)	P21(I/O)	SIN(I)	SS(I)
0	*	*	*	*	シリアルI/F未使用	P20(I/O)	P21(I/O)	P22(I/O)	P23(I/O)

4.10.5同期クロックの設定

クロックマネージャの制御

マスタモードで使用する場合、シリアルインタフェースはクロックマネージャから送られる内部クロックを同期クロックとして使用し、データ転送を行います。クロックマネージャはOSC1とOSC3を分周して6種類のシリアルインタフェース用クロックを生成します。これとプログラマブルタイマ1の出力クロックを合わせた7種類の中からマスタモードで使用するクロックを選択できるようになっています。選択は、表4.10.5.1に示すとおり、SIFCKS0～SIFCKS2レジスタによって行います。

表4.10.5.1 シリアルインタフェースのクロック周波数

SIFCKS2	SIFCKS1	SIFCKS0	SIFクロック(マスタモード)
1	1	1	fosc3 / 4 *
1	1	0	fosc3 / 2 *
1	0	1	fosc3 / 1 *
1	0	0	プログラマブルタイマ1 *
0	1	1	fosc1 / 4 (8kHz)
0	1	0	fosc1 / 2 (16kHz)
0	0	1	fosc1 / 1 (32kHz)
0	0	0	OFF (スレーブモード) *

fosc1: OSC1発振周波数、()内の周波数は、fosc1=32kHzの場合

fosc3: OSC3発振周波数

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2に分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

スレーブモード時はSIFCKS0～SIFCKS2を"000B"に固定してください。

イニシャルリセット時は内部クロックOFF(スレーブモード)が選択されます。

同期クロックフォーマットの選択

シリアルインタフェースの同期クロックフォーマット(極性とフェーズ)をSCPS0～SCPS1レジスタによって選択することができます。

表4.10.5.2 同期クロックフォーマットの選択

SCPS1	SCPS0	極性	フェーズ
1	1	負極性(SCLK)	立ち上がりエッジ(┐)
1	0	負極性(SCLK)	立ち下がりエッジ(┘)
0	1	正極性(SCLK)	立ち下がりエッジ(┘)
0	0	正極性(SCLK)	立ち上がりエッジ(┐)

イニシャルリセット時、クロック極性は正極性、フェーズは"立ち上がりエッジ"に設定されます。同期クロックフォーマットの選択によるデータ送受信タイミングについては、図4.10.6.2を参照してください。

4.10.6 データの入出力と割り込み

S1C63616のシリアルインタフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK(P20)端子より出力される(マスタモード)同期クロックか、SCLK(P20)端子に入力される(スレーブモード)同期クロックに同期して動作します。シリアルインタフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。以下にシリアルデータの入出力方法について説明します。

シリアルデータの出力と割り込み

S1C63616のシリアルインタフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD0～SD3とSD4～SD7にセットし、SCTRGビットを"1"にセットすると、同期クロックに同期してSOUT(P21)端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK(P20)端子に出力され、スレーブモードでは外部クロックがSCLK(P20)端子より入力されます。データのシフトタイミングは次のとおりです。

- **同期クロックに正極性(SCPS1 = "0")を選択した場合**

SOUT(P21)端子のシリアル出力はSCLK(P20)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりでシフトします。

- **同期クロックに負極性(SCPS1 = "1")を選択した場合**

SOUT(P21)端子のシリアル出力はSCLK(P20)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

シリアルデータの入力と割り込み

S1C63616のシリアルインタフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN(P22)端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、マスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データのシフトタイミングは次のとおりです。

- **同期クロックに正極性(SCPS1 = "0")を選択した場合**

内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

- **同期クロックに負極性(SCPS1 = "1")を選択した場合**

内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

シリアルデータの入出力順序

S1C63616では、シリアルデータをLSB先頭で入出力するかMSB先頭で入出力するかSDPレジスタにより切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.10.6.1に示します。SDPの設定はSD0～SD7にデータを設定する前に行ってください。

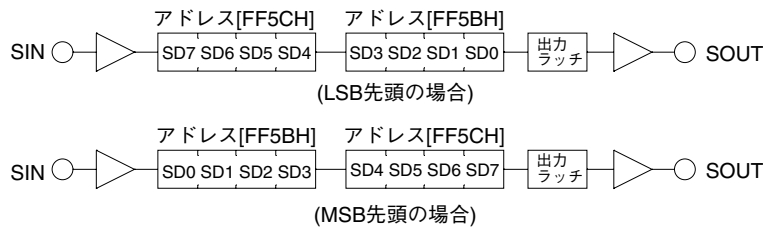


図4.10.6.1 シリアルデータの入出力順序

SRDY信号

S1C63616のシリアルインタフェースをスレーブモードで使用する場合には、マスタ側(外部の)シリアル入出力回路に対して本シリアルインタフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P23)端子より出力することができます。

SRDY出力を使用するには、ENCSとESREADYに"1"を書き込みます(SPIスレーブモードでは、この機能は使用できません)。

SRDY信号の出力タイミングは次のとおりです。

- **同期クロックに正極性(SCPS1 = "0")を選択した場合**

SRDY信号はS1C63616のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"0"から"1"に変化し、SCLK(P20)端子に"1"が入力されると(送信または受信を開始すると)"1"から"0"に戻ります。

また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりするとSRDY信号は"0"に戻ります。

- **同期クロックに負極性(SCPS1 = "1")を選択した場合**

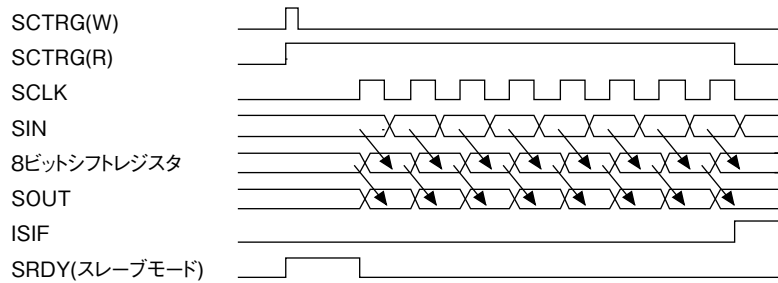
SRDY信号はS1C63616のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、SCLK(P20)端子に"0"が入力されると(送信または受信を開始すると)"0"から"1"に戻ります。

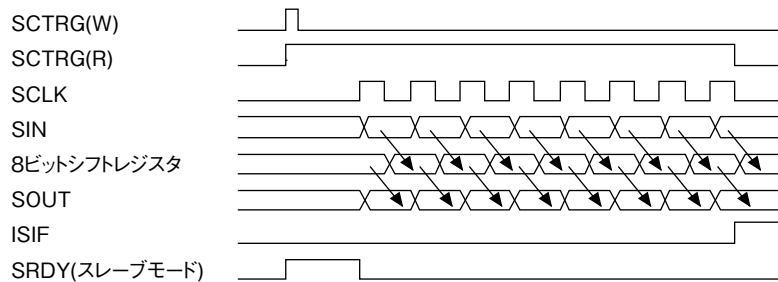
また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりするとSRDY信号は"1"に戻ります。

タイミングチャート

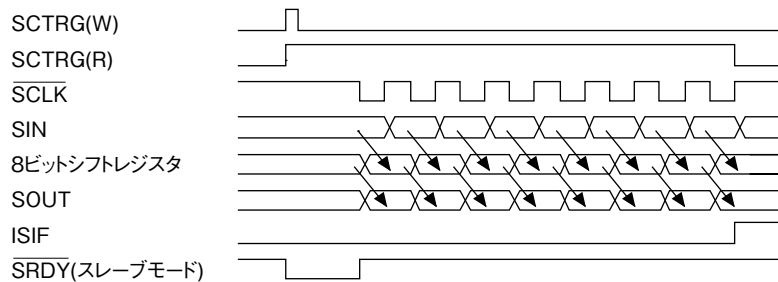
S1C63616のシリアルインタフェースのタイミングチャートを図4.10.6.2に示します。



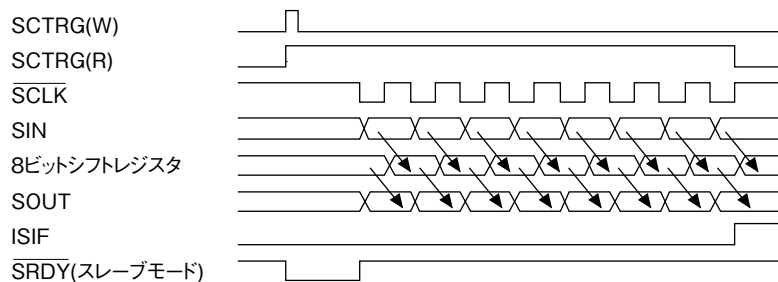
(a) SCPS1="0", SCPS0="0"の場合



(b) SCPS1="0", SCPS0="1"の場合



(c) SCPS1="1", SCPS0="0"の場合



(d) SCPS1="1", SCPS0="1"の場合

図4.10.6.2 シリアルインタフェースのタイミングチャート

4.10.7 SPI方式のデータ転送

本シリアルインタフェースはSPI方式のシリアルデータ転送にも対応可能です。

P23を $\overline{SS}$ 端子に設定した場合にSRDY出力が使用できなくなることを除き、シリアルインタフェースのマスタモード、スレーブモードの機能はそのまま使用可能です。また、制御方法も同じです。これらの共通な内容については、"4.10.4 シリアルインタフェースの動作モード"および"4.10.6 データの入出力と割り込み"を参照してください。

SPIスレーブデバイスとして使用する場合

S1C63616をSPIスレーブデバイスとして使用する場合は、本シリアルインタフェースをSPIスレーブモードに設定します。

ESIF="1"、SMOD="0"、ENCS="1"、ESREADY="0"、ESOUT="1"(SOUT使用时)

P23端子が $\overline{SS}$ (スレーブセレクト)信号入力端子として機能します。

このモードで送受信を行うには、前述のスレーブモードと同じように、SCTRGに"1"を書き込んで本シリアルインタフェースを送受信可能状態に設定しておきます。外部マスタデバイスがスレーブセレクト信号($\overline{SS}$ (P23)端子に入力)をアクティブ(LOW)にした後に同期クロックの出力(SCLK端子に入力)を開始すると、本シリアルインタフェースは送受信動作を開始します。外部マスタデバイスはデータ入出力期間中、S1C63616の $\overline{SS}$ (P23)端子をアクティブにしておく必要があります。 $\overline{SS}$ 信号がインアクティブの状態では外部マスタデバイスからSCLK端子に同期クロックが入力されても、本シリアルインタフェースは送受信を開始しません。

SPIマスタデバイスとして使用する場合

S1C63616をSPIマスタデバイスとして使用する場合は、本シリアルインタフェースをマスタモードに設定します。

ESIF="1"、SMOD="1"、ENCS="0"、ESREADY="0"、ESOUT="1"(SOUT使用时)

マスタモードでは $\overline{SS}$ 信号出力端子が設定されませんので、任意の入出力兼用ポート端子1つを出力モードに設定し、 $\overline{SS}$ 信号出力端子として使用してください。 $\overline{SS}$ 信号出力はSCTRGに"1"を書き込む前にLOWにし、データ入出力期間中はLOWを保持します。8ビットのデータ入出力を終了後、 $\overline{SS}$ 信号出力をHIGHにします。

タイミングチャート

SPI方式のデータ送受信タイミングチャートを図4.10.7.1に示します。

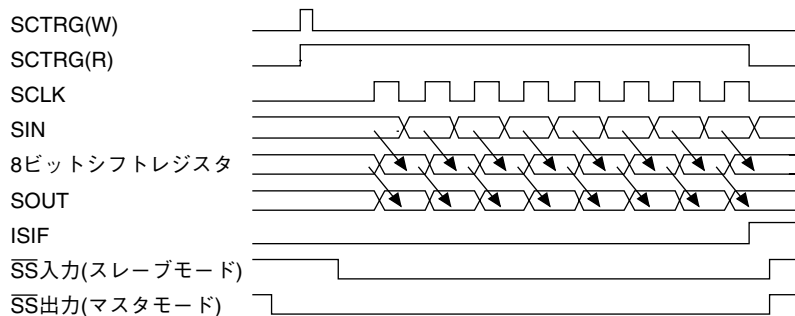


図4.10.7.1 SPI方式のタイミングチャート (SCPS1 = SCPS0 = "0"の場合)

- 注:
- S1C63616のシリアルインタフェースは送信バッファおよび受信バッファを持っていませんので、1バイトの送受信ごとにデータを処理する必要があります。割り込み要因フラグは1バイトの送受信完了後にセットされますので、SPIデバイスとのデータ送受信開始をトリガとする割り込み処理はできません。
 - SPIスレーブモードでデータ送受信中に $\overline{SS}$ 入力がインアクティブになった場合や、 $\overline{SS}$ 入力がアクティブになる前にマスタデバイスがSCLK信号を出力した場合、本シリアルインタフェースは正常にデータを送受信することはできません。

4.10.8 シリアルインタフェースのI/Oメモリ

表4.10.8.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表4.10.8.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ				注 釈							
	D3	D2	D1	D0	Name	Init *1	1	0				
FF14H	General	SIFCKS2	SIFCKS1	SIFCKS0	General	0	1	0	汎用レジスタ シリアルI/F クロック 周波数選択 [SIFCKS2~0] 0 1 2 3 周波数 Off/外部 fosc1 fosc1/2 fosc1/4 [SIFCKS2~0] 4 5 6 7 周波数 PT1 fosc3 fosc3/2 fosc3/4			
					SIFCKS2	0						
	R/W				SIFCKS1	0						
					SIFCKS0	0						
FF2AH	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23プルダウン制御レジスタ SIF(スレープ、 $\overline{SS}$ 端子)選択時、 $\overline{SS}$ プルダウン制御レジスタ SIF(スレープ、 $\overline{SRDY}$ 端子)選択時、FOUT出力時は汎用 レジスタとして機能 P22プルダウン制御レジスタ SIF選択時、 $\overline{SIN}$ プルダウン制御レジスタ P21プルダウン制御レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能 P20プルダウン制御レジスタ SIF(マスク)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、 $\overline{SCLK(I)}$ プルダウン制御レジスタ			
					PUL22	1	On	Off				
	R/W				PUL21	1	On	Off				
					PUL20	1	On	Off				
FF2BH	SMT23	SMT22	SMT21	SMT20	SMT23	1	Schmitt	CMOS	P23入力インタフェースレベル選択レジスタ SIF(スレープ、 $\overline{SS}$ 端子)選択時、 $\overline{SS}$ 入力インタフェース レベル選択レジスタ SIF(スレープ、 $\overline{SRDY}$ 端子)選択時、FOUT出力時は汎用 レジスタとして機能 P22入力インタフェースレベル選択レジスタ SIF選択時、 $\overline{SIN}$ 入力インタフェースレベル選択レジスタ P21入力インタフェースレベル選択レジスタ SIF(SOUTイネーブル)選択時、汎用レジスタとして機能 P20入力インタフェースレベル選択レジスタ SIF(マスク)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、 $\overline{SCLK(I)}$ 入力インタフェース レベル選択レジスタ			
					SMT22	1	Schmitt	CMOS				
	R/W				SMT21	1	Schmitt	CMOS				
					SMT20	1	Schmitt	CMOS				
FF58H	0	ESOUT	SCTRG	ESIF	0 *3 ESOUT	- *2 0	Enable	Disable	未使用 SOUTイネーブル シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P2ポート機能選択)			
	R	R/W			SCTRG	0	Trigger	Invalid				
					ESIF	0	Run	Stop				
FF59H	SCPS1	SCPS0	SDP	SMOD	SCPS1	0			シリアルI/Fクロック フォーマット選択 シリアルI/Fデータ入出力順列 シリアルI/Fモード選択 [SCPS1, 0] 0 1 2 3 極性 正 正 負 負 フェーズ			
	R/W	R/W	R/W	R/W	SCPS0	0						
					SDP	0						
					SMOD	0						
FF5AH	0	0	ESREADY	ENCS	0 *3 ESREADY	- *2 0	SRDY	$\overline{SS}$	未使用 未使用 SIF使用時 P23機能選択 SIFイネーブル (P23ポート機能選択) スレープ マスク (SMOD=0) (SMOD=1) ESREADY ENCS P23 P23 x 0 I/O I/O 0 1 $\overline{SS}$ I/O 1 1 $\overline{SRDY}$ 禁止			
	R	R/W	R/W	R/W	ENCS	0	SIF	I/O				
FF5BH	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB シリアルI/F送受信データ(下位4ビット) LSB			
	R/W	R/W	R/W	R/W	SD2	- *2	High	Low				
					SD1	- *2	High	Low				
					SD0	- *2	High	Low				
FF5CH	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB シリアルI/F送受信データ(上位4ビット) LSB			
	R/W	R/W	R/W	R/W	SD6	- *2	High	Low				
					SD5	- *2	High	Low				
					SD4	- *2	High	Low				
FFEAH	General	General	General	EISIF	General	0	1	0	汎用レジスタ 汎用レジスタ 汎用レジスタ 割り込みマスクレジスタ(シリアルインタフェース)			
	R/W	R/W	R/W	R/W	General	0	1	0				
					EISIF	0	Enable	Mask				
FFFAH	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(シリアルインタフェース)			
	R	R/W	R/W	0 *3	- *2	Yes	No					
				0 *3	- *2	(W)	(W)					
				ISIF	0	Reset	Invalid					

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

- **SIFCKS0～SIFCKS2: シリアルインタフェースクロック周波数選択レジスタ (FF14H・D0～D2)**
マスタモード時の同期クロック周波数を選択します。

表4.10.8.2 シリアルインタフェースのクロック周波数

SIFCKS2	SIFCKS1	SIFCKS0	SIFクロック(マスタモード)
1	1	1	fOSC3 / 4 *
1	1	0	fOSC3 / 2 *
1	0	1	fOSC3 / 1 *
1	0	0	プログラマブルタイマ1 *
0	1	1	fOSC1 / 4 (8kHz)
0	1	0	fOSC1 / 2 (16kHz)
0	0	1	fOSC1 / 1 (32kHz)
0	0	0	OFF (スレーブモード) *

fOSC1: OSC1発振周波数、()内の周波数は、fOSC1=32kHzの場合

fOSC3: OSC3発振周波数

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

スレーブモード時は"000B"に固定してください。

イニシャルリセット時、このレジスタは"000B"に設定されます。

- **PUL20: SCLKプルダウン制御レジスタ (FF2AH・D0)**

PUL22: SINプルダウン制御レジスタ (FF2AH・D2)

PUL23: SSプルダウン制御レジスタ (FF2AH・D3)

SIN端子、SCLK端子(スレーブモード時)、SS端子(SPIスレーブモード時)のプルダウンを設定します。

"1" 書き込み: プルダウンON

"0" 書き込み: プルダウンOFF

読み出し: 可能

SIN(P22)、SCLK(P20)、 $\overline{SS}$ (P23)端子に内蔵されたプルダウン抵抗をONまたはOFFに設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

SCLKと $\overline{SS}$ のプルダウンはスレーブモード時またはSPIスレーブモード時にのみ有効で、マスタモード時はPUL20とPUL23レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルダウン抵抗はONになります。

- **SMT20: SCLK入力インタフェースレベル選択レジスタ (FF2BH・D0)**

SMT22: SIN入力インタフェースレベル選択レジスタ (FF2BH・D2)

SMT23: $\overline{SS}$ 入力インタフェースレベル選択レジスタ (FF2BH・D3)

SIN端子、SCLK端子(スレーブモード時)、 $\overline{SS}$ 端子(SPIスレーブモード時)の入力インタフェースレベルを選択します。

"1" 書き込み: CMOSシュミット

"0" 書き込み: CMOSレベル

読み出し: 可能

SIN(P22)、SCLK(P20)、 $\overline{SS}$ (P23)端子の入力インタフェースレベルを設定します。

SCLKと $\overline{SS}$ の入力インタフェースレベルの設定はスレーブモード時またはSPIスレーブモード時にのみ有効で、マスタモード時はSMT20とSMT23レジスタを汎用レジスタとして使用することができます。イニシャルリセット時、これらのレジスタは"1"に設定され、入力インタフェースはCMOSシュミットレベルになります。

● ESIF: シリアルインタフェースイネーブルレジスタ (P2ポート機能選択) (FF58H・D0)

P20 ～ P23をシリアルインタフェースの入出力ポートに設定します。

"1" 書き込み: シリアルインタフェース
 "0" 書き込み: 入出力兼用ポート
 読み出し: 可能

P20、P21、P22、P23がそれぞれSCLK、SOUT、SIN、SRDYまたは $\overline{SS}$ として機能します。P23端子はスレープモードの場合にSRDY出力端子または $\overline{SS}$ 入力端子として機能し、マスタモードの場合は入出力兼用ポート端子として機能します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SCTRG: クロックトリガ/ステータス (FF58H・D1)

同期クロック (SCLK) の入力/出力開始トリガです。

・ データ書き込み時

"1" 書き込み: トリガ入力
 "0" 書き込み: ノーオペレーション

シリアルインタフェース起動回路にこのトリガ入力を与えると、同期クロック (SCLK) の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0 ～ SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0 ～ SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。) また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。

トリガ入力はシリアルインタフェースをRUN状態にするごとに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック (SCLK) が外部クロックの場合は、トリガ入力後に外部クロックの入力を開始してください。

・ データ読み出し時

"1" 読み出し: RUN(同期クロック入出力中)
 "0" 読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。

SCTRGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

● ESOUT: SOUTイネーブルレジスタ (FF58H・D2)

P21からのシリアル出力を許可します。

"1" 書き込み: イネーブル(SOUT)
 "0" 書き込み: ディセーブル(入出力兼用ポート)
 読み出し: 可能

シリアルデータ入力のみを行う場合は、SOUT出力をディセーブルとしてP21を入出力兼用ポートとして使用することができます。シリアル出力を行う場合は、ESOUTに"1"を書き込んでP21をSOUT出力に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SMOD: 動作モード選択レジスタ (FF59H・D0)

シリアルインタフェースの動作モードを、マスタモードにするかスレープモードにするか選択します。

"1" 書き込み: マスタモード
 "0" 書き込み: スレープモード
 読み出し: 可能

マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロック(クロックマネージャで選択)を使用します。また、この内部クロックをSCLK(P20)端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK(P20)端子より入力し、本シリアルインタフェースの同期クロックとして使用することができます。SMODに"1"を書き込むとマスタモードに、"0"を書き込むとスレーブモードに設定されます。イニシャルリセット時、このレジスタは"0"に設定されます。

● SDP: データ入出力順列選択レジスタ (FF59H・D1)

シリアルデータの入出力順列を選択します。

"1" 書き込み: MSB先頭
 "0" 書き込み: LSB先頭
 読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● SCPS0, SCPS1: クロックフォーマット選択レジスタ (FF59H・D2, D3)

SIN(P22)端子から入力するシリアルデータの読み込みタイミングを選択します。

表4.10.8.3 同期クロックフォーマットの選択

SCPS1	SCPS0	極性	フェーズ
1	1	負極性(SCLK)	立ち上がりエッジ(┐)
1	0	負極性(SCLK)	立ち下がりエッジ(┘)
0	1	正極性(SCLK)	立ち下がりエッジ(┘)
0	0	正極性(SCLK)	立ち上がりエッジ(┐)

・ 同期クロックに正極性(SCPS1 = "0")を選択した場合

データ入力時、内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

データ出力時、SOUT(P21)端子のシリアル出力はSCLK(P20)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりでシフトします。

・ 同期クロックに負極性(SCPS1 = "1")を選択した場合

データ入力時、内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

データ出力時、SOUT(P21)端子のシリアル出力はSCLK(P20)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりでシフトします。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ENCS: シリアルインタフェースイネーブルレジスタ (P23ポート機能選択) (FF5AH・D0)

P23のシリアル入出力を許可します。ESREADYと組み合わせて使用します。

"1" 書き込み: イネーブル(シリアルインタフェース)
 "0" 書き込み: ディセーブル(入出力兼用ポート)
 読み出し: 可能

イネーブルに設定すると、スレーブモード(SMOD="0")時にP23をSRDY出力またはSS入力端子として使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ESREADY: P23ポート機能選択レジスタ (FF5AH・D1)

ENCS="1"の場合にP23ポートの機能を選択します。

"1" 書き込み: SRDY出力
 "0" 書き込み: $\overline{SS}$ 入力
 読み出し: 可能

スレーブモード(SMOD="0")時に、P23端子をSRDY出力または $\overline{SS}$ 入力端子のどちらに使用するか選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

表4.10.8.4 P23ポート機能の選択

スレーブモード時: SMOD="0"			マスタモード時: SMOD="1"		
ESREADY	ENCS	P23端子	ESREADY	ENCS	P23端子
*	0	P23(I/O)	*	0	P23(I/O)
0	1	$\overline{SS}$ (I)	0	1	P23(I/O)
1	1	SRDY(O)	1	1	設定禁止

● SD0 ~ SD3, SD4 ~ SD7: シリアルインタフェースデータレジスタ (FF5BH, FF5CH)

シリアルデータの書き込み/読み出しを行います。

・データ書き込み時

"1" 書き込み: HIGHレベル
 "0" 書き込み: LOWレベル

SOUT(P21)端子から出力するシリアルデータを書き込みます。SOUT(P21)端子からは"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとしてシリアル変換されたデータが出力されます。

・データ読み出し時

"1" 読み出し: HIGHレベル
 "0" 読み出し: LOWレベル

SIN(P22)端子から入力されたシリアルデータを読み出します。

このレジスタからは、SIN(P22)端子から入力されたHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。イニシャルリセット時、このレジスタ内のデータは不定です。

● EISIF: シリアルインタフェース割り込みマスクレジスタ (FFEAH・D0)

シリアルインタフェースからの割り込みマスクを設定します。

"1" 書き込み: イネーブル
 "0" 書き込み: マスク
 読み出し: 可能

シリアルインタフェースの割り込みをマスクするかしないかを選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ISIF: シリアルインタフェース割り込み要因フラグ (FFFAH・D0)

シリアルインタフェースからの割り込みの発生状態を示すフラグです。

- "1" 読み出し: 割り込み有
- "0" 読み出し: 割り込み無
- "1" 書き込み: 要因フラグをリセット
- "0" 書き込み: 無効

このフラグによってシリアルインタフェース割り込みの有無を、ソフトウェアで判断することができます。このフラグは割り込みをマスクしていても、8ビットデータの入出力後に"1"にセットされます。このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.10.9 プログラミング上の注意事項

- (1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。トリガはシリアルインタフェースをRUN状態にすると一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4) プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 サウンドジェネレータ

4.11.1 サウンドジェネレータの構成

S1C63616はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はBZ端子から出力することができます。この出力で圧電ブザーを駆動することができます。ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。

図4.11.1.1にサウンドジェネレータの構成を示します。

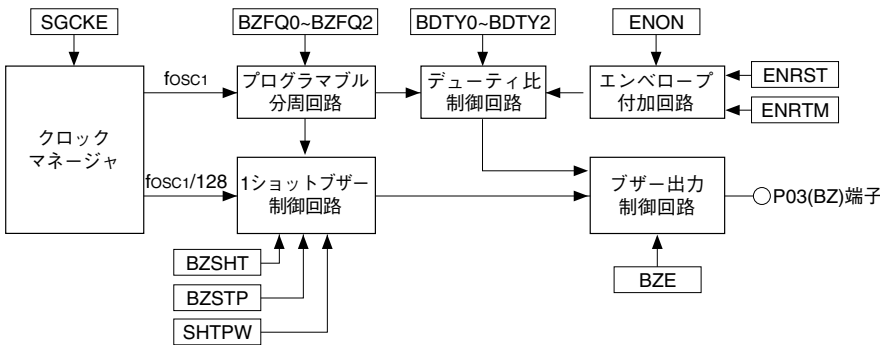


図4.11.1.1 サウンドジェネレータの構成

注: BZ端子でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないように基板パターンを設計してください。詳しくは、"5.3 実装上の注意事項"の<出力端子>を参照してください。

4.11.2 クロックマネージャの制御

ブザー信号を生成するためには、SGCKEレジスタに"1"を書き込んでクロックマネージャからサウンドジェネレータにクロックを供給しておく必要があります。

表4.11.2.1 サウンドジェネレータクロックの制御

SGCKE	サウンドジェネレータクロック
1	プログラマブル分周回路入力クロック: fosc1 (32kHz) 1ショットブザー制御回路入力クロック: fosc1 / 128 (256Hz)
0	OFF

サウンドジェネレータを動作させる必要がないときは、消費電流を低減させるためSGCKEを"0"に設定してクロック供給を停止してください。

4.11.3 ブザー出力の制御

サウンドジェネレータで発生したBZ信号はBZ出力イネーブルレジスタBZEに"1"を設定することにより、P03(BZ)端子から出力されます。このとき、I/O制御レジスタIOC03およびデータレジスタP03の設定は無効になります。BZEが"0"の場合、P03ポートは汎用のDC入出力ポートとして機能します。



図4.11.3.1 ブザー信号出力タイミングチャート

注: ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

4.11.4 ブザー周波数と音量の設定

ブザー信号にはOSC1発振クロック(32.768kHz)の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はブザー周波数選択レジスタBZFQ0～BZFQ2を表4.11.4.1のように設定することにより行います。

表4.11.4.1 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。デューティ比はブザーデューティ選択レジスタBDTY0～BDTY2の設定により、表4.11.4.2に示す8種類の中から選択できます。

表4.11.4.2 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合は、 $TH/(TH+TL)$ となります。

BDTY0～BDTY2をすべて"0"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY0～BDTY2をすべて"1"に設定した場合にデューティ比が最小となり、音量も最小になります。なお、設定できるデューティ比は各周波数によって異なりますので表4.11.4.2を参照してください。

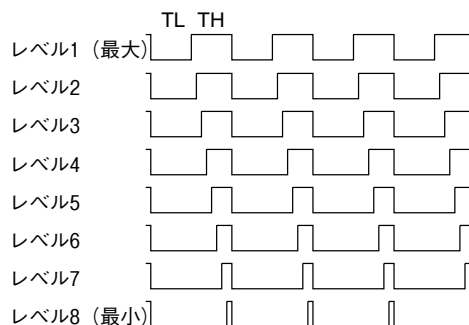


図4.11.4.1 ブザー信号波形のデューティ比

注: ブザー信号にデジタルエンベロープを付加した場合、デューティ比の制御が行われるため、BDTY0～BDTY2の設定は無効となります。

4.11.5 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。エンベロープは前項の表4.11.4.2の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する(BZEレジスタに"1"を書き込む)と、デューティ比がレベル1(最大)となり、レベル8まで段階的に変化します。レベル8(最小)まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec(16Hz)、“1”を書き込んだ場合が125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図4.11.5.1にデジタルエンベロープのタイミングチャートを示します。

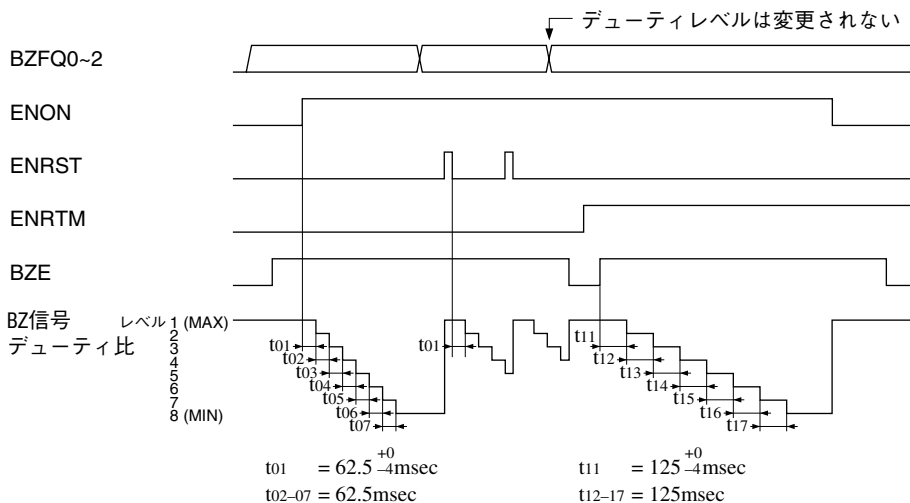


図4.11.5.1 デジタルエンベロープのタイミングチャート

4.11.61ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がブザー出力端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中(1ショット出力中)、“0”の場合は回路がREADY(出力が行える)状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から(256Hz信号に同期して)新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中(BZE = "1"の間)は1ショット出力の制御は無効となります。

図4.11.6.1に1ショット出力のタイミングチャートを示します。

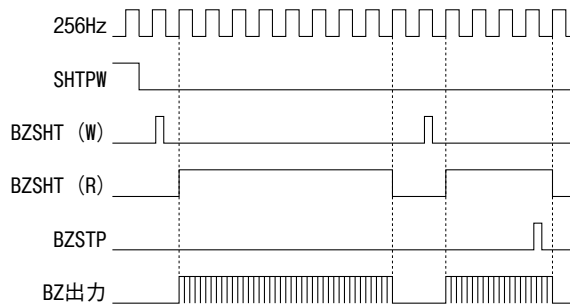


図4.11.6.1 1ショット出力のタイミングチャート

4.11.7 サウンドジェネレータのI/Oメモリ

表4.11.7.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.11.7.1 サウンドジェネレータの制御ビット

アドレス	レジスタ				注 釈								
	D3	D2	D1	D0	Name	Init *1	1	0					
FF16H	MDCKE	SGCKE	SWCKE	RTCKE	MDCKE	0	Enable	Disable	乗除算クロックイネーブル				
					SGCKE	0	Enable	Disable	サウンドジェネレータクロックイネーブル				
	R/W				SWCKE	0	Enable	Disable	ストップウォッチタイマクロックイネーブル				
					RTCKE	0	Enable	Disable	計時タイマクロックイネーブル				
FF44H	ENRTM	ENRST	ENON	BZE	ENRTM	0	1 sec	0.5 sec	エンベロープ減衰時間選択				
					ENRST*3	Reset	Reset	Invalid	エンベロープリセット(書き込み時)				
	R/W	W	R/W		ENON	0	On	Off	エンベロープOn/Off				
					BZE	0	Enable	Disable	BZ出力イネーブル				
FF45H	0	BZSTP	BZSHT	SHTPW	0*3	—*2			未使用				
					BZSTP*3	0	Stop	Invalid	1ショットブザーStop(書き込み時)				
	R	W	R/W		BZSHT	0	Trigger	Invalid	1ショットブザートリガ(書き込み時)				
							Busy	Ready	1ショットブザーステータス(読み出し時)				
				SHTPW	0	125 msec	31.25 msec	1ショットブザーパルス幅選択					
FF46H	0	BZFQ2	BZFQ1	BZFQ0	0*3	—*2			未使用				
					BZFQ2	0			ブザー 周波数選択				
	R	R/W			BZFQ1	0				[BZFQ2-0]	0	1	2
					BZFQ0	0			周波数(Hz)	4096.0	3276.8	2730.7	2340.6
								[BZFQ2-0]	4	5	6	7	
									周波数(Hz)	2048.0	1638.4	1365.3	1170.3
FF47H	0	BDTY2	BDTY1	BDTY0	0*3	—*2			未使用				
					BDTY2	0			ブザー信号デューティ比選択 (本編参照)				
	R	R/W			BDTY1	0							
					BDTY0	0							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SGCKE: サウンドジェネレータクロックイネーブル (FF16H・D2)

サウンドジェネレータへのクロックの供給を制御します。

"1" 書き込み: ON

"0" 書き込み: OFF

読み出し: 可能

SGCKEに"1"を書き込むことによって、サウンドジェネレータの動作クロックがクロックマネージャから供給されます。計時タイマを動作させる必要がないときは、消費電流を低減させるためSGCKEを"0"に設定してクロック供給を停止してください。
イニシャルリセット時、このレジスタは"0"に設定されます。

● BZE: BZ出力イネーブルレジスタ (FF44H・D0)

ブザー出力を制御します。

"1" 書き込み: ブザー出力ON

"0" 書き込み: ブザー出力OFF

読み出し: 可能

BZEに"1"書き込むことによってP03(BZ)端子からBZ信号が出力されます。このとき、I/O制御レジスタIOC03およびデータレジスタP03の設定は無効になります。BZEが"0"の場合、P03ポートは汎用のDC入出力ポートとして機能します。
イニシャルリセット時、このレジスタは"0"に設定されます。

● ENON: エンベロープON/OFF制御レジスタ (FF44H・D1)

ブザー信号へのエンベロープ付加を制御します。

"1" 書き込み: ON
 "0" 書き込み: OFF
 読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。
 "0"を書き込んだ場合、エンベロープは付加されません。
 イニシャルリセット時、このレジスタは"0"が選択されます。

● ENRST: エンベロープリセット (FF44H・D2)

エンベロープをリセットします。

"1" 書き込み: リセット
 "0" 書き込み: ノーオペレーション
 読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。
 エンベロープが付加されていない場合(ENON = "0")、およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。
 ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

● ENRTM: エンベロープ減衰時間選択レジスタ (FF44H・D3)

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1" 書き込み: 1.0sec (125msec×7 = 875msec)
 "0" 書き込み: 0.5sec (62.5msec×7 = 437.5msec)
 読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位となります。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● SHTPW: 1ショットブザーパルス幅選択レジスタ (FF45H・D0)

1ショットブザーの出力時間を選択します。

"1" 書き込み: 125msec
 "0" 書き込み: 31.25msec
 読み出し: 可能

SHTPWレジスタに"1"を書き込むことにより1ショット出力時間が125msecに、"0"書き込みで31.25msecに設定されます。通常のブザー出力には影響を与えません。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● BZSHT: 1ショットブザートリガ/ステータス (FF45H・D1)

1ショットブザー出力の制御を行います。

・ データ書き込み時

"1" 書き込み: トリガ
 "0" 書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。
 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

・データ読み出し時

"1" 読み出し: BUSY

"0" 読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

● BZSTP: 1ショットブザー STOP (FF45H・D2)

1ショットブザー出力を停止させます。

"1" 書き込み: STOP

"0" 書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

● BZFQ0 ~ BZFQ2: ブザー周波数選択レジスタ (FF46H・D0 ~ D2)

ブザー信号の周波数を選択します。

表4.11.7.2 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BDTY0 ~ BDTY2: デューティ比選択レジスタ (FF47H・D0 ~ D2)

ブザー信号のデューティ比を表4.11.7.3のとおり選択します。

表4.11.7.3 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。

ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.11.8 プログラミング上の注意事項

- (1) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

4.12 整数乗除算器

4.12.1 整数乗除算器の構成

S1C63616は符号なし整数乗除算器を内蔵しています。この乗除算器は8ビット×8ビットの乗算、または16ビット÷8ビットの除算を行い、その演算結果とともに、結果に従って3種類のフラグ状態を返します。
図4.12.1.1に整数乗除算器の構成を示します。

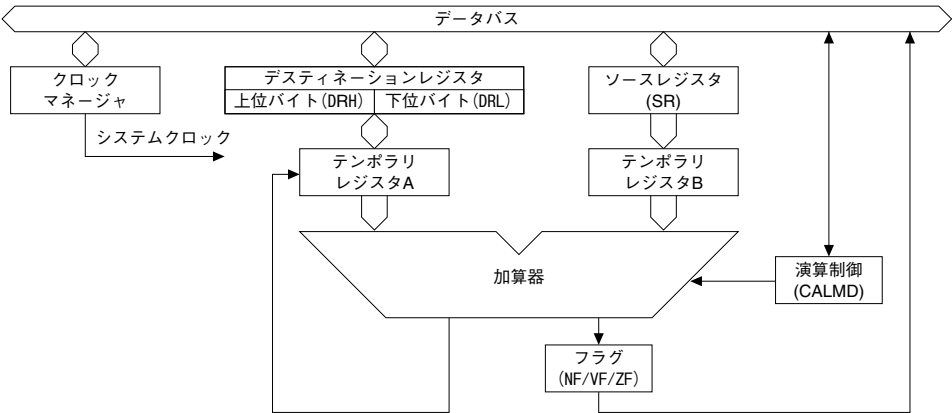


図4.12.1.1 整数乗除算器の構成

4.12.2 クロックマネージャの制御

整数乗除算器はクロックマネージャから供給されるクロック（OSCC、CLKCHGで選択されたCPU動作クロック）で動作します。整数乗除算器を動作させる前に、MDCKEに"1"を書き込んでクロックマネージャからクロックを供給してください。

表4.12.2.1 整数乗除算器クロックの制御

MDCKE	整数乗除算器クロック
1	CLKCHG="0"の場合: fosc1 (32kHz) OSCC="1"、CLKCHG="1"の場合: fosc3
0	OFF

整数乗除算器を動作させる必要がないときは、消費電流を低減させるためMDCKEを"0"に設定してクロック供給を停止してください。

4.12.3 乗算モード

ソースレジスタSRに乗数、デスティネーションレジスタ下位8ビットDRLに被乗数を設定し、演算モード選択レジスタCALMDに"0"を書き込むことで、乗算を実行します。レジスタCALMDへの書き込みから10 CPUクロック後に演算は終了し、積が16ビット値としてデスティネーションレジスタDRH/DRLに書き込まれます。同時に、演算フラグビットNF/VF/ZFが結果に従って更新されます。以下に演算フラグビットの変化条件と乗算結果の一例を示します。

- Nフラグ: DRHの最上位ビットが"1"のときにセットされ、"0"のときはリセットされます。
- Vフラグ: 乗算後は常にリセットされます。
- Zフラグ: DRH/DRLの16ビット値が0000Hのときにセットされ、それ以外の値のときはリセットされます。

〈乗算実行例〉

DRL(被乗数)	SR(乗数)	DRH/DRL(積)	NF	VF	ZF
00H	64H	0000H	0	0	1
64H	58H	2260H	0	0	0
C8H	58H	44C0H	0	0	0
C8H	A5H	80E8H	1	0	0

4.12.4 除算モード

ソースレジスタSRに除数、デスティネーションレジスタDRH/DRLに被除数を設定し、演算モード選択レジスタCALMDに"1"を書き込むことで、除算を実行します。レジスタCALMDへの書き込みから10 CPUクロック後に演算は終了し、商がデスティネーションレジスタ下位8ビットDRLに、剰余がデスティネーションレジスタ上位8ビットDRHにそれぞれ書き込まれます。同時に、演算フラグビットNF/VF/ZFが結果に従って更新されます。

ただし、商が8ビットを超える場合は、オーバーフローとなってレジスタDRH/DRLは更新されず、被除数がそのまま保持されます。

以下に演算フラグビットの変化条件と除算結果の一例を示します。

Nフラグ: DRLの最上位ビットが"1"のときにセットされ、"0"のときはリセットされます。

Vフラグ: 商が8ビットを超える場合にセットされ、8ビット以内の場合はリセットされます。

Zフラグ: DRLの8ビット値が00Hのときにセットされ、それ以外の値のときはリセットされます。

〈除算実行例〉

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
1A16H	64H	42H	4EH	0	0	0
332CH	64H	83H	00H	1	0	0
0000H	58H	00H	00H	0	0	1
2468H	13H	68H	24H	1	1	0

上記例では、"2468H"÷"13H"の商が8ビットを超えるためオーバーフローが発生し、DRH/DRLには被除数の値がそのまま保持されます。この例のようにオーバーフローが発生した場合は、次のように除算を2回に分けて実行することで、正しい結果が得られます。

1. 被除数の上位8ビット(24H)を除数(13H)で除算し、商(01H)をメモリに退避

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
0024H	13H	01H	11H	0	0	0

2. 剰余(11H)をDRHに残したまま、DRLに被除数の下位8ビット(68H)を設定して再度除算を実行

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
1168H	13H	EAH	0AH	1	0	0

結果は、商 = 01EAH(初回のDRLの結果と2回目のDRLの結果の16ビット合成値)、剰余 = 0AHとなり、正しい演算結果が得られます。ただし、演算フラグビットNF/VF/ZFは各ステージでの演算結果に従って変化しますので、最終的な演算結果は反映されません。

注: ハードウェアは除算結果を検定していませんので、必ずソフトウェアで確認してください。

4.12.5 実行サイクル

演算には乗算、除算ともに10 CPUクロックの実行時間が必要です。したがって、演算結果をデスティネーションレジスタDRH/DRLから読み出せるのは、レジスタCALMDへの書き込み(演算スタート)から、5バスサイクル後となります。演算フラグビットNF/VF/ZFについても同様です。

以下に、演算処理のプログラム例を示します。

```

ldb      %ext, src_data@h
ldb      %x1, src_data@l      ;演算対象データのRAMアドレス指定
ldb      %ext, au@h
ldb      %y1, au@l            ;乗除算器の先頭アドレス指定
;
ldb      %ba, [%x]+
ldb      [%y]+, %ba            ;レジスタSRへのデータ設定
ldb      %ba, [%x]+
ldb      [%y]+, %ba            ;レジスタDRLへのデータ設定
ldb      %ba, [%x]+
ldb      [%y]+, %ba            ;レジスタDRHへのデータ設定
;
ld        [%y], 0b0001        ;演算スタート(除算モード選択)
;
ldb      %ext, rslt_data@h
ldb      %x1, rslt_data@l      ;演算結果のストア先アドレス指定
nop
nop
nop                                ;演算終了待ちのためのダミー命令
;
bit       [%y], 0b0100
jrnz      overflow            ;フラグVFが"1"のとき、エラー処理へ分岐
;
add       %y, -4                ;レジスタDRLの再指定
;
ldb      %ba, [%y]+
ldb      [%x]+, %ba            ;演算結果(商)のRAMへのストア
ldb      %ba, [%y]+
ldb      [%x]+, %ba            ;演算結果(剰余)のRAMへのストア

```

4.12.6 整数乗除算器のI/Oメモリ

表4.12.6.1に整数乗除算器の制御ビットとそのアドレスを示します。

表4.12.6.1 整数乗除算器の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF16H	MDCKE	SGCKE	SWCKE	RTCKE	MDCKE	0	Enable	Disable	整数乗除算器クロックイネーブル サウンドジェネレータクロックイネーブル ストップウォッチタイマクロックイネーブル 計時タイマクロックイネーブル
					SGCKE	0	Enable	Disable	
					SWCKE	0	Enable	Disable	
					RTCKE	0	Enable	Disable	
FF70H	SR3	SR2	SR1	SR0	SR3	—*2			ソースレジスタ(下位4ビット) LSB
					SR2	—*2			
					SR1	—*2			
					SR0	—*2			
FF71H	SR7	SR6	SR5	SR4	SR7	—*2			MSB ソースレジスタ(上位4ビット)
					SR6	—*2			
					SR5	—*2			
					SR4	—*2			
FF72H	DRL3	DRL2	DRL1	DRL0	DRL3	—*2			デスティネーションレジスタ下位8ビット (下位4ビット) LSB
					DRL2	—*2			
					DRL1	—*2			
					DRL0	—*2			
FF73H	DRL7	DRL6	DRL5	DRL4	DRL7	—*2			MSB デスティネーションレジスタ下位8ビット (上位4ビット)
					DRL6	—*2			
					DRL5	—*2			
					DRL4	—*2			
FF74H	DRH3	DRH2	DRH1	DRH0	DRH3	—*2			デスティネーションレジスタ上位8ビット (下位4ビット) LSB
					DRH2	—*2			
					DRH1	—*2			
					DRH0	—*2			
FF75H	DRH7	DRH6	DRH5	DRH4	DRH7	—*2			MSB デスティネーションレジスタ上位8ビット (上位4ビット)
					DRH6	—*2			
					DRH5	—*2			
					DRH4	—*2			
FF76H	NF	VF	ZF	CALMD	NF	0	Negative	Positive	ネガティブフラグ オーバーフローフラグ ゼロフラグ 実行ステータス(読み出し時) 演算モード選択(書き込み時)
					VF	0	Overflow	No	
					ZF	0	Zero	No	
					CALMD	0	Run	Stop	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● MDCKE: 整数乗除算器クロックイネーブル (FF16H・D3)

整数乗除算器へのクロックの供給を制御します。

"1" 書き込み: ON

"0" 書き込み: OFF

読み出し: 可能

MDCKEに"1"を書き込むことによって、整数乗除算器の動作クロック(OSCC、CLKCHGで選択されたCPU動作クロック)がクロックマネージャから供給されます。整数乗除算器を動作させる必要がないときは、消費電流を低減させるためMDCKEを"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● SR0 ～ SR7: ソースレジスタ (FF70H, FF71H)

乗数、または除数を設定するレジスタです。

SR0 ～ SR3に下位4ビット、SR4 ～ SR7に上位4ビットのデータを設定します。

本レジスタは、最後に書き込まれた値を次の書き込みまで保持しますので、固定の乗除数で連続して演算を行う場合は、演算ごとに再設定する必要はありません。

イニシャルリセット時の本レジスタの値は不定です。

● DRL0 ～ DRL7: デスティネーションレジスタ下位8ビット (FF72H, FF73H)

被乗数、または被除数の下位8ビットを設定するレジスタです。

DRL0 ～ DRL3にそのバイトデータの下位4ビット、DRL4 ～ DRL7に上位4ビットを設定します。

本レジスタに書き込まれた値は、スタート(FF76H・D0への書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、乗算では積の下位8ビット、除算では商が書き戻されます。ただし、除算でオーバーフローが発生した場合は商が書き戻されず、元の被除数の下位8ビットの値を保持します。

イニシャルリセット時の本レジスタの値は不定です。

● DRH0 ～ DRH7: デスティネーションレジスタ上位8ビット (FF74H, FF75H)

被除数の上位8ビットを設定するレジスタです。

DRH0 ～ DRH3にそのバイトデータの下位4ビット、DRH4 ～ DRH7に上位4ビットを設定します。乗算時は本レジスタの値は無視され、乗算スタート(FF76H・D0への"0"書き込み)動作の10 CPUクロック(5バスサイクル)後に、積の上位8ビットが書き込まれます。

除算時は本レジスタに書き込まれた値が、除算スタート(FF76H・D0への"1"書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、剰余が書き戻されます。

ただし、除算でオーバーフローが発生した場合は剰余が書き戻されず、元の被除数の上位8ビットの値を保持します。

イニシャルリセット時の本レジスタの値は不定です。

● CALMD: 演算モード選択レジスタ/実行ステータス (FF76H・D0)

演算モードの選択と、演算スタートを制御します。

"1" 書き込み: 除算モードを選択/実行

"0" 書き込み: 乗算モードを選択/実行

"1" 読み出し: 演算実行中

"0" 読み出し: 演算完了

本レジスタへの書き込みにより指定の演算を開始します。その後、演算が終了するまで本レジスタの読み出しは"1"となり、演算完了後"0"となります。

イニシャルリセット後、本レジスタは"0"が読み出されます。

● ZF: ゼロフラグ (FF76H・D1)

演算結果がゼロか否かを示すフラグです。

"1" 読み出し: 演算結果がゼロ

"0" 読み出し: 演算結果がゼロ以外

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

● VF: オーバーフローフラグ (FF76H・D2)

除算結果のオーバーフロー状態を示すフラグです。

"1" 読み出し: オーバーフロー発生

"0" 読み出し: オーバーフローなし

書き込み: 無効

乗算の実行後、本ビットは常に"0"に設定されます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

● **NF: ネガティブフラグ (FF76H・D3)**

演算結果の正負を示すフラグです。

"1" 読み出し: 演算結果が負の数(結果の最上位ビットが"1")

"0" 読み出し: 演算結果が正の数(結果の最上位ビットが"0")

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

4.12.7 プログラミング上の注意事項

演算モード選択レジスタCALMDへの書き込みから、演算結果がデスティネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しは行わないでください。

4.13.2 クロックマネージャの制御

R/Fコンバータはクロックマネージャから送られるクロックを動作クロック、およびタイムベースカウンタのカウントクロックとして使用します。クロックマネージャはOSC1とOSC3を分周して6種類のR/Fコンバータ用クロックを生成します。これとプログラマブルタイマ1の出力クロックを合わせた7種類の中からR/Fコンバータで使用するクロックを選択できるようになっています。選択は、表4.13.2.1に示すとおり、RFCKS0～RFCKS2レジスタによって行います。

表4.13.2.1 R/Fコンバータのクロック周波数

RFCKS2	RFCKS1	RFCKS0	R/Fコンバータクロック
1	1	1	fosc3 / 4
1	1	0	fosc3 / 2
1	0	1	fosc3 / 1
1	0	0	プログラマブルタイマ1
0	1	1	fosc1 / 4 (8kHz)
0	1	0	fosc1 / 2 (16kHz)
0	0	1	fosc1 / 1 (32kHz)
0	0	0	OFF

fosc1: OSC1発振周波数、()内の周波数は、fosc1=32kHzの場合

fosc3: OSC3発振周波数

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号がR/Fコンバータクロックとして使用されます。この場合、R/Fコンバータを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

R/Fコンバータを動作させる必要がないときは、消費電流を低減させるためRFCKS0～RFCKS2を"000B"に設定してクロック供給を停止してください。

4.13.3 接続端子とCR発振回路

R/Fコンバータチャンネル0の入出力端子およびRFOUT出力端子は入出力兼用ポート(P00～P03)と兼用されており、R/Fコンバータ用端子として使用する場合はソフトウェアによって機能の切り換えを行います。ERF0～ERF1レジスタを"00B"以外に設定することにより、P00、P01、P02をそれぞれRFIN0、REF0、SEN0端子として使用することができます。

P03ポートからのRFOUT出力はRFOUTレジスタに"1"を書き込んだ場合に有効で、"0"の場合はP03が入出力兼用ポートとして機能します。

P00～P03端子とR/F変換入出力との対応は以下のとおりです。

表4.13.3.1 入出力端子の機能設定

端子名	R/Fコンバータ使用時
P00	RFIN0
P01	REF0
P02	SEN0
P03	RFOUT

注: イニシャルリセット時、P00～P03は入出力兼用ポートに設定されます。

R/Fコンバータチャンネル0を使用する場合は、初期化ルーチンの中で機能の切り換え(ERF0～ERF1 = "01B"、RFOUT = "1")を行ってください。

R/Fコンバータにはチャンネル0、チャンネル1の2系統のCR発振回路が内蔵されており、外付けの抵抗と容量によってCR発振を行います。

R/F変換値を得るカウンタはチャンネル0およびチャンネル1に共通となっているため、R/F変換を行うCR発振回路を切り換えることによって2系統の動作を実現しています。チャンネルとR/F変換を行うセンサの種類はレジスタERF0およびERF1であらかじめ設定しておきます。

表4.13.3.2 チャンネルとセンサタイプの設定

ERF1	ERF0	チャンネルとセンサタイプ
1	1	Ch.1 DC
1	0	Ch.1 AC
0	1	Ch.0 DC
0	0	I/O

DC: サーミスタ等の抵抗性センサを用いたDC印可を行うR/F変換

AC: 湿度センサなどの抵抗性センサを用いたAC印可を行うR/F変換

(1) サーミスタなどの抵抗性センサを用いたDC印可を行うR/F変換

チャンネル0は常にこの変換方式となっており、チャンネル1はレジスタERFxを"11B"に設定することにより選択されます。この方式はサーミスタによる温度測定など、通常の抵抗性センサ(DC印加)を用いてR/F変換を行う場合に選択します。インシャルリセット時のチャンネル1は、この変換方式に設定されます。

図4.13.3.1に外付け素子の接続図を示します。

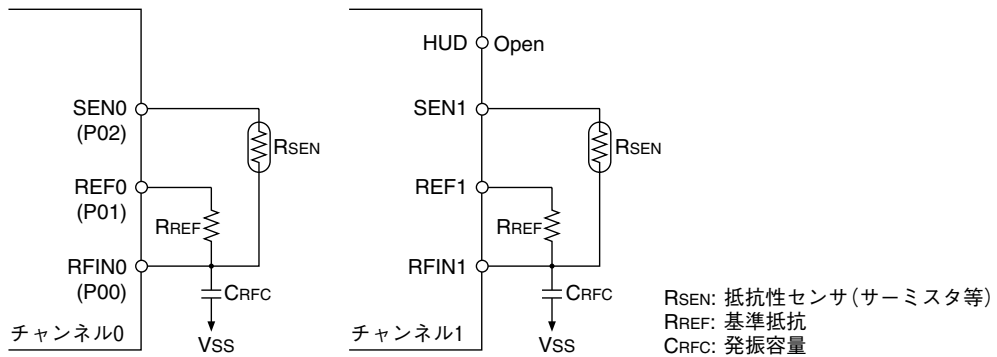


図4.13.3.1 R/F変換時の接続図

CR発振波形はシュミットトリガにより整形され計測カウンタに送られます。この計測カウンタに送られるクロックは、センサ発振時にRFOUT端子からも出力されますので、発振周波数をオシロスコープ等で確認することができます。このモニタは発振周波数に影響を与えないので、R/F変換の精度調整に利用できます。

図4.13.3.2に発振波形とRFOUTの出力波形を示します。

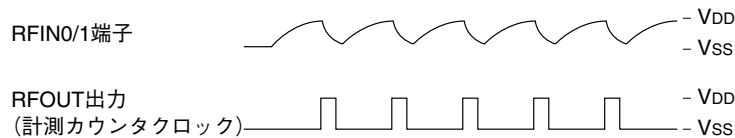


図4.13.3.2 発振波形

(2) 抵抗性湿度センサなどを用いたAC印可を行うR/F変換

この変換方式はチャンネル1でのみ可能で、レジスタERF_xを"10B"に設定することにより選択されます。この方式は基本的に(1)のR/F変換と同様ですが、長時間DC印可ができない湿度センサなどにAC印加を行う回路が働くようになっています。基準抵抗による発振動作は(1)のR/F変換と同様です。図4.13.3.3に外付け素子の接続図を示します。

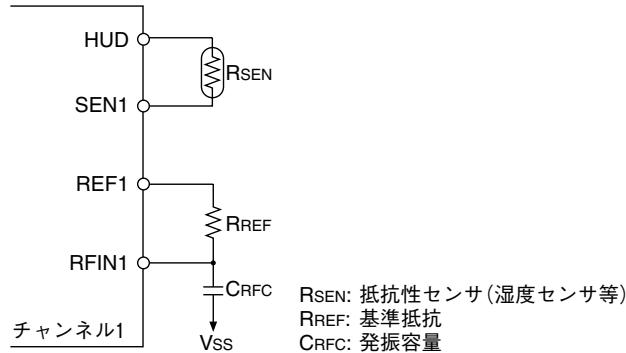


図4.13.3.3 抵抗性湿度センサの接続図

発振波形は図4.13.3.2と同様です。

4.13.4 R/F変換

(1) カウンタ

R/Fコンバータには2種類のカウンタが内蔵されています。1つは前記の発振クロックをカウントする計測カウンタMC_{xx}で、もう1つは内部クロックにより基準カウントを行うタイムベースカウンタTC_{xx}です。計測カウンタは基準抵抗とセンサによるCR発振クロックをカウントする20ビットアップカウンタで、R/F変換結果はこのカウンタを読み出すことにより得られます。タイムベースカウンタは、基準抵抗とセンサの発振時間を合わせるための20ビットのアップ/ダウンカウンタで、R/FSxレジスタで選択したR/Fコンバータクロック(OSC1またはOSC3)をカウントします。どちらのカウンタも、4ビット単位で読み出しおよび書き込みが可能です。

最初に基準抵抗のR/F変換を行います。発振を開始させると計測カウンタはカウントアップを、タイムベースカウンタはカウントダウンを開始します。2つのカウンタは計測カウンタがオーバーフローした("00000H"となった)時点でカウントを停止します。タイムベースカウンタに"00000H"をセットしてR/F変換を開始させることにより、基準抵抗による発振時間が、カウンタ停止後にタイムベースカウンタを読み出すことで得られます。

次にセンサのR/F変換を行います。計測カウンタは"00000H"からカウントアップを、タイムベースカウンタは基準発振時にカウントした値からカウントアップを開始します。2つのカウンタはタイムベースカウンタがオーバーフローした("00000H"となった)時点でカウントを停止します。センサの発振時間は基準発振時間と同じになります。

したがって、カウントを開始する前に適当な初期値を補数("00000H"から減算した値)に変換して計測カウンタにセットしておくことにより、基準抵抗とセンサの発振周波数の差を容易に求めることができます。たとえば、基準抵抗とセンサの抵抗値がまったく同じだった場合、補数に変換する前の初期値と同じ値が計測カウンタから得られます。

タイムベースカウンタは、カウンタ値の読み出しとプリセットが可能です。基準発振終了時の値を読み出してメモリにセーブしておくことにより、その後の基準発振を省略することができます。その場合は、メモリにセーブした値をタイムベースカウンタにセットし、計測カウンタを"00000H"にしてセンサの発振を開始させます。

注: 計測カウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H→FF66H)、5ワードすべてを書き込んでください。また、計測カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。

(2) R/F変換シーケンス

基準抵抗のR/F変換はRFRUNRレジスタに"1"を書き込むことにより開始します。

なお、R/F変換を開始させる前には、計測カウンタに初期値をセットし、タイムベースカウンタを"00000H"にクリアしておく必要があります。

RFRUNRレジスタによってR/F変換を開始させると、基準抵抗による発振がONとなり、その発振クロックにより計測カウンタが設定した初期値からカウントアップを開始します。これと同時にタイムベースカウンタもOSC1クロックによりカウントダウンを開始します。

計測カウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNRレジスタも"0"にリセットされ、R/Fコンバータ回路はすべて停止します。後でセンサ発振を単独に行うため、タイムベースカウンタの値を読み出してメモリにセーブしておきます。

図4.13.4.1に基準発振のタイミングチャートを示します。

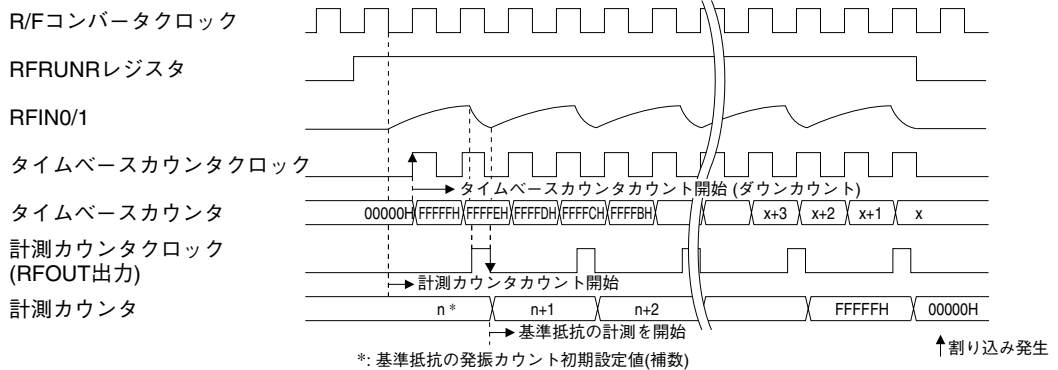


図4.13.4.1 基準発振タイミングチャート

センサのR/F変換はRFRUNSレジスタに"1"を書き込むことにより開始します。センサ発振を基準発振に続いて行う場合は、カウンタへの初期値の設定は不要です。センサ発振のみを単独に行う場合は、計測カウンタに"00000H"をセットし、タイムベースカウンタには基準発振時に計測した値をセットしておく必要があります。RFRUNSレジスタによってR/F変換を開始させると、センサによる発振がONとなり、その発振クロックにより計測カウンタが00000Hからカウントアップを開始します。これと同時にタイムベースカウンタも入力クロックによりカウントアップを開始します。タイムベースカウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNSレジスタも"0"にリセットされ、R/Fコンバータ回路はすべて停止します。図4.13.4.2にセンサ発振のタイミングチャートを示します。

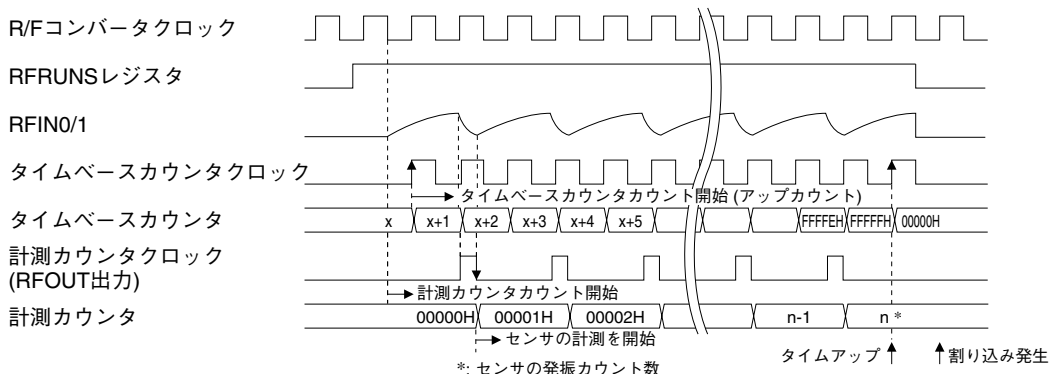


図4.13.4.2 センサ発振タイミングチャート

以上の動作により、基準抵抗の発振時間と同じ時間センサの発振を行いますので、発振周波数の差を計測カウンタのカウント値から得ることができます。

基準抵抗の発振時間は計測カウンタがオーバーフローするまでの時間となるため、R/F変換を開始する前に適当な初期値を設定しておく必要があります。この初期値を小さな値にしておくことでカウント期間が長くとれ、検出の精度は上がります。初期値は補数("00000H"から減算した値)に変換して計測カウンタに設定します。R/F変換が終了した計測カウンタの内容がセンサが検出したデータとなりますので、その値と補数に変換する前の初期値との差をプログラムで処理して目的の数値を算出してください。

以上の動作を図4.13.4.3に示します。

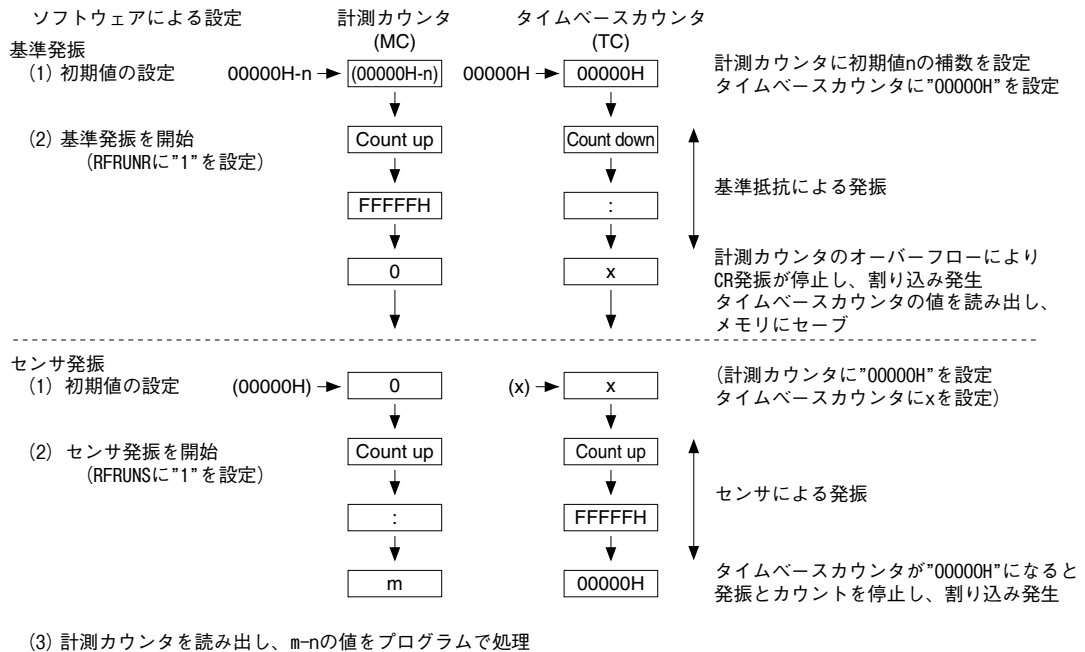


図4.13.4.3 R/F変換のシーケンス

注: 計測カウンタの初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。

4.13.5 割り込み機能

R/FコンバータにはR/F変換終了時とエラー発生時に割り込みを発生させる機能があります。基準発振時は計測カウンタが $00000H$ になると双方のカウンタのカウント動作が停止し、RFRUNR が "0" に設定されます。同時に割り込み要因フラグIRFR が "1" にセットされます。センサ発振時はタイムベースカウンタが $00000H$ になると双方のカウンタのカウント動作が停止し、RFRUNS が "0" に設定されます。同時に割り込み要因フラグIRFS が "1" にセットされます。また、センサ発振中に計測カウンタがオーバーフローした場合も双方のカウンタのカウント動作が停止し、RFRUNS が "0" に設定されます。この場合は割り込み要因フラグIRFE が "1" にセットされます。同時にOVMCフラグも "1" にセットされます。基準発振中にタイムベースカウンタがオーバーフローした場合、双方のカウンタのカウント動作が停止し、RFRUNR が "0" に設定されます。この場合は割り込み要因フラグIRFE が "1" にセットされます。同時にOVTCフラグも "1" にセットされます。これらの割り込み要因は割り込みマスクレジスタEIRFR、EIRFS、EIRFEによるマスクが可能で、"1" に設定している場合にCPUに対して割り込みが発生します。割り込みマスクレジスタを "0" に設定している場合、割り込み要因フラグは "1" にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグは "1" を書き込むことにより "0" にリセットされます。

図4.13.5.1 ~ 図4.13.5.4にR/Fコンバータの割り込みタイミングを示します。

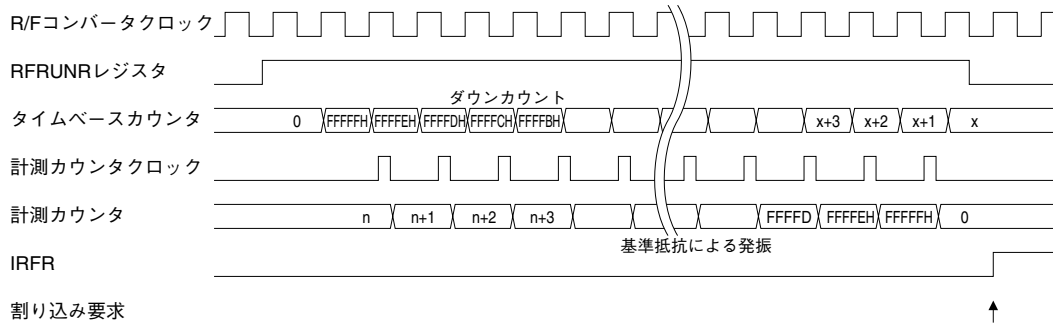


図4.13.5.1 基準発振完了割り込み

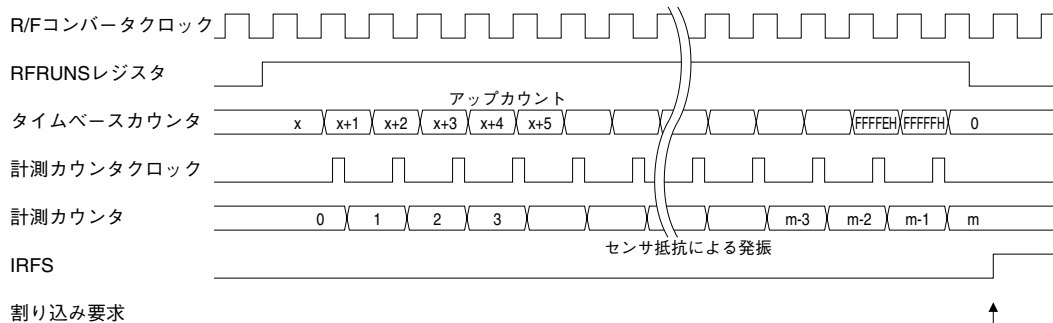


図4.13.5.2 センサ発振完了割り込み

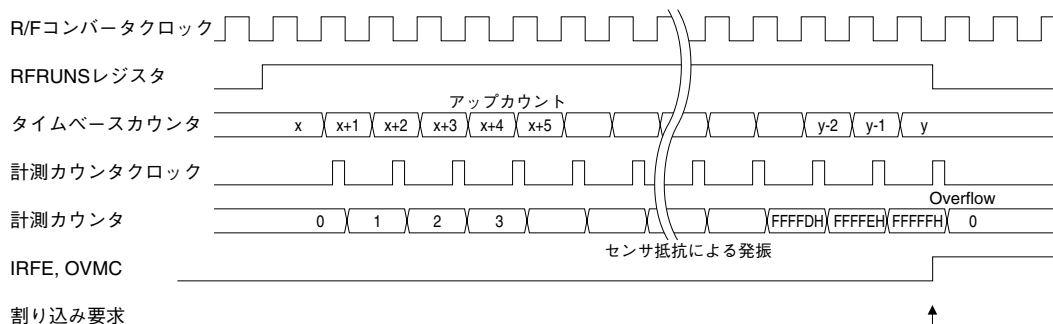


図4.13.5.3 計測カウンタオーバーフローによるエラー割り込み

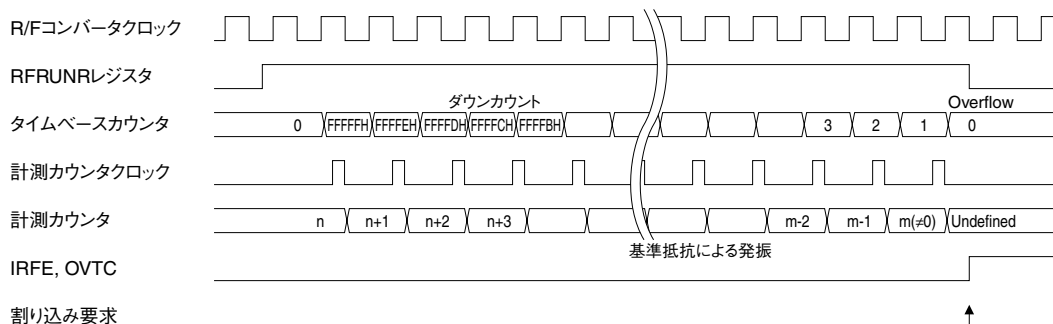


図4.13.5.4 タイムベースカウンタオーバーフローによるエラー割り込み

注: エラー割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じエラー割り込みが発生してしまいます。

4.13.6連続発振機能

RFCNTレジスタに"1"を設定することで、基準発振、センサ発振の停止条件によらずに発振を継続させることができます。RFOUTレジスタの設定と併せて使用することで、CR発振周波数が容易に測定できるようになります。

4.13.7R/FコンバータのI/Oメモリ

表4.13.7.1にR/Fコンバータの制御ビットとそのアドレスを示します。

表4.13.7.1 (a) R/Fコンバータの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF15H	General	RFCKS2	RFCKS1	RFCKS0	General	0	1	0	汎用レジスタ R/Fコンバータ クロック 周波数選択 [RFCKS2~0] 0 1 2 3 Off fosc1 fosc1/2 fosc1/4 [RFCKS2~0] 4 5 6 7 PT1 fosc3 fosc3/2 fosc3/4
					RFCKS2	0			
					RFCKS1	0			
					RFCKS0	0			
FF60H	RFCNT	RFOUT	ERF1	ERF0	RFCNT	0	Continue	Normal	連続発振イネーブル RFOUTイネーブル R/F変換 [ERF1, 0] 0 1 2 3 選択 R/F変換 I/O Ch.0 DC Ch.1 AC Ch.1 DC
					RFOUT	0	Enable	Disable	
					ERF1	0			
					ERF0	0			
FF61H	OVTC	OVMC	RFRUNR	RFRUNS	OVTC	0	Overflow	Non-ov	タイムベースカウンタオーバーフローフラグ 計測カウンタオーバーフローフラグ 基準発振Run制御/ステータス センサ発振Run制御/ステータス
					OVMC	0	Overflow	Non-ov	
					RFRUNR	0	Run	Stop	
					RFRUNS	0	Run	Stop	
FF62H	MC3	MC2	MC1	MC0	MC3	—*2			計測カウンタ(MC0~MC3) LSB
					MC2	—*2			
					MC1	—*2			
					MC0	—*2			
FF63H	MC7	MC6	MC5	MC4	MC7	—*2			計測カウンタ(MC4~MC7)
					MC6	—*2			
					MC5	—*2			
					MC4	—*2			
FF64H	MC11	MC10	MC9	MC8	MC11	—*2			計測カウンタ(MC8~MC11)
					MC10	—*2			
					MC9	—*2			
					MC8	—*2			
FF65H	MC15	MC14	MC13	MC12	MC15	—*2			計測カウンタ(MC12~MC15)
					MC14	—*2			
					MC13	—*2			
					MC12	—*2			
FF66H	MC19	MC18	MC17	MC16	MC19	—*2			MSB 計測カウンタ(MC16~MC19)
					MC18	—*2			
					MC17	—*2			
					MC16	—*2			
FF67H	TC3	TC2	TC1	TC0	TC3	—*2			タイムベースカウンタデータ(TC0~TC3)
					TC2	—*2			
					TC1	—*2			
					TC0	—*2			
FF68H	TC7	TC6	TC5	TC4	TC7	—*2			タイムベースカウンタデータ(TC4~TC7)
					TC6	—*2			
					TC5	—*2			
					TC4	—*2			
FF69H	TC11	TC10	TC9	TC8	TC11	—*2			タイムベースカウンタデータ(TC8~TC11)
					TC10	—*2			
					TC9	—*2			
					TC8	—*2			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.13.7.1 (b) R/Fコンバータの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF6AH	TC15	TC14	TC13	TC12	TC15	—*2			タイムベースカウンタデータ(TC12~TC15)
					TC14	—*2			
					TC13	—*2			
					TC12	—*2			
FF6BH	TC19	TC18	TC17	TC16	TC19	—*2			MSB タイムベースカウンタデータ(TC16~TC19)
					TC18	—*2			
					TC17	—*2			
					TC16	—*2			
FFE1H	General	EIRFE	EIRFR	EIRFS	General	0	1	0	汎用レジスタ 割り込みマスクレジスタ(R/Fコンバータエラー) 割り込みマスクレジスタ(R/Fコンバータ基準発振完了) 割り込みマスクレジスタ(R/Fコンバータセンサ発振完了)
					EIRFE	0	Enable	Mask	
					EIRFR	0	Enable	Mask	
					EIRFS	0	Enable	Mask	
FFF1H	0	IRFE	IRFR	IRFS	0*3	—*2	(R)	(R)	未使用 割り込み要因フラグ(R/Fコンバータエラー) 割り込み要因フラグ(R/Fコンバータ基準発振完了) 割り込み要因フラグ(R/Fコンバータセンサ発振完了)
					IRFE	0	Yes	No	
					IRFR	0	(W)	(W)	
					IRFS	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● RFCKS0 ~ RFCKS2: R/Fコンバータクロック周波数選択レジスタ (FF15H・D0 ~ D2)

R/Fコンバータのクロック周波数を選択します。

表4.13.7.2 R/Fコンバータのクロック周波数

RFCKS2	RFCKS1	RFCKS0	R/Fコンバータクロック
1	1	1	fosc3 / 4
1	1	0	fosc3 / 2
1	0	1	fosc3 / 1
1	0	0	プログラマブルタイマ1
0	1	1	fosc1 / 4 (8kHz)
0	1	0	fosc1 / 2 (16kHz)
0	0	1	fosc1 / 1 (32kHz)
0	0	0	OFF

fosc1: OSC1発振周波数、()内の周波数は、fosc1=32kHzの場合

fosc3: OSC3発振周波数

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号がR/Fコンバータクロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.8 プログラマブルタイマ"を参照してください。

R/Fコンバータを動作させる必要がないときは、消費電流を低減させるため"000B"に設定してクロック供給を停止してください。

イニシャルリセット時、これらのレジスタは"000B"に設定されます。

● ERF0, ERF1: R/F変換選択レジスタ (FF60H・D0, D1)

R/F変換を行うチャンネルとセンサの種類を選択します。

表4.13.7.3 チャンネルとセンサタイプの設定

ERF1	ERF0	チャンネルとセンサタイプ
1	1	Ch.1 DC
1	0	Ch.1 AC
0	1	Ch.0 DC
0	0	I/O

DC:サーミスタ等の抵抗性センサを用いたDC印可を行うR/F変換

AC:湿度センサなどの抵抗性センサを用いたAC印可を行うR/F変換

R/Fコンバータチャンネル0の入出力端子は入出力兼用ポート(P00 ~ P02)と兼用されており、本レジスタを"00B"以外に設定することにより、P00、P01、P02をそれぞれRFIN0、REF0、SEN0端子として使用することができます。

イニシャルリセット時、このレジスタは"00B"に設定されます。

● RFOUT: RFOUTイネーブルレジスタ (FF60H・D2)

P03からのRFOUT出力を許可します。

"1" 書き込み: イネーブル(RFOUT)
 "0" 書き込み: ディセーブル(入出力兼用ポート)
 読み出し: 可能

RFOUT出力を行う場合は、RFOUTに"1"を書き込んでP03をRFOUT出力に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RFCNT: 連続発振イネーブルレジスタ (FF60H・D3)

R/Fコンバータを連続発振させます。

"1" 書き込み: 連続発振
 "0" 書き込み: 通常発振
 読み出し: 可能

RFCNTに"1"を書き込むことで、基準発振、センサ発振の停止条件によらずに発振を継続させることができます。RFOUTレジスタの設定と併せて使用することで、CR発振周波数が容易に測定できるようになります。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNS: センサ発振RUN制御/ステータス (FF61H・D0)

センサのR/F変換を開始させると共に動作状態を示します。

"1" 書き込み: R/F変換開始
 "0" 書き込み: 発振停止
 "1" 読み出し: R/F変換中
 "0" 読み出し: 停止中

RFRUNSに"1"を書き込むことによりセンサのR/F変換を開始します。R/F変換中はこのレジスタに"1"が保持され、R/F変換が終了した時点で"0"に設定されます。R/F変換中にRFRUNSに"0"を書き込むと、発振が停止します。センサ発振中にERF0 ~ ERF1でチャンネル1のAC、DC印可の切り換えを行ってもRFRUNSはリセットされません。この場合は"0"を書き込んでリセットしてください。

RFRUNSとRFRUNRを同時に"1"に設定した場合は、RFRUNRが有効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNR: 基準発振RUN制御/ステータス (FF61H・D1)

基準抵抗のR/F変換を開始させると共に動作状態を示します。

"1" 書き込み: R/F変換開始
 "0" 書き込み: 発振停止
 "1" 読み出し: R/F変換中
 "0" 読み出し: 停止中

RFRUNRに"1"を書き込むことにより基準抵抗のR/F変換を開始します。R/F変換中はこのレジスタに"1"が保持され、R/F変換が終了した時点で"0"に設定されます。R/F変換中にRFRUNRに"0"を書き込むと、発振が停止します。

基準発振中にERF0 ~ ERF1でチャンネル1のAC、DC印可の切り換えを行ってもRFRUNRはリセットされません。この場合は"0"を書き込んでリセットしてください。チャンネルを切り換えた場合はRFRUNRがリセットされます。

RFRUNSとRFRUNRを同時に"1"に設定した場合は、RFRUNRが有効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● OVMC: 計測カウンタオーバーフローフラグ (FF61H・D2)

計測カウンタのオーバーフロー発生状態を示すフラグです。

"1" 読み出し: オーバーフロー発生

"0" 読み出し: オーバーフローなし

"1" 書き込み: "0"にリセット

"0" 書き込み: 無効

センサの発振をカウント中に計測カウンタにオーバーフローが発生した場合、OVMCが"1"にセットされます。同時にエラー割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。

イニシャルリセット時、このフラグは"0"に設定されます。

● OVTC: タイムベースカウンタオーバーフローフラグ (FF61H・D3)

タイムベースカウンタのオーバーフロー発生状態を示すフラグです。

"1" 読み出し: オーバーフロー発生

"0" 読み出し: オーバーフローなし

"1" 書き込み: "0"にリセット

"0" 書き込み: 無効

基準抵抗の発振中にタイムベースカウンタにオーバーフローが発生した場合、OVTCが"1"にセットされます。同時にエラー割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。

イニシャルリセット時、このフラグは"0"に設定されます。

● MC0 ～ MC19: 計測カウンタ (FF62H ～ FF66H)

CR発振クロックによりカウントアップする計測カウンタで、4ビット単位で書き込み/読み出しが可能です。

基準抵抗による発振を行う場合は発振を開始する前に、カウントするクロック数の補数を書き込んでおきます。基準抵抗による発振によってこのカウンタがオーバーフローし、カウント値が"00000H"になると発振およびカウント動作が停止します。

センサによる発振を行う場合は発振を開始する前に、"00000H"を書き込んでおきます(基準発振に引き続いて行う場合は不要)。センサ発振とカウント動作はタイムベースカウンタがオーバーフローした時点で停止します。停止したカウンタの値を読み出すことによって基準抵抗との差が得られますので、それをプログラムで処理して目的の数値を算出してください。

なお、基準発振前に書き込む初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。

イニシャルリセット時、このカウンタの内容は不定となります。

● TC0 ～ TC19: タイムベースカウンタ (FF67H ～ FF6BH)

基準抵抗とセンサのCR発振時間を合わせるためのタイムベースカウンタで、4ビット単位で書き込み/読み出しが可能です。

基準抵抗による発振時はカウントダウンを行い、センサによる発振時は"00000H"までのカウントアップを行います。双方のカウント時間を合わせるため、基準発振を開始する前にはこのカウンタに"00000H"を書き込んでおく必要があります。基準発振のカウント値は基準発振終了時に読み出してメモリにセーブしてください。センサ発振を開始する前に、その値をこのカウンタに設定します。イニシャルリセット時、このカウンタの内容は不定となります。

注: 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H→FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。

● EIRFS, EIRFR, EIRFE: 割り込みマスクレジスタ (FFE1H・D0 ~ D2)

R/Fコンバータの割り込みについてマスクするかしないかを選択します。

"1" 書き込み: イネーブル
 "0" 書き込み: マスク
 読み出し: 可能

EIRFS、EIRFR、EIRFEはそれぞれセンサ発振完了、基準発振完了およびエラー割り込みに対応する割り込みマスクレジスタで、"1"を書き込むことによりR/Fコンバータ割り込みが許可され、"0"を書き込むことにより割り込みがマスクされます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● IRFS, IRFR, IRFE: 割り込み要因フラグ (FFF1H・D0 ~ D2)

R/Fコンバータ割り込みの発生状態を示すフラグです。

"1" 読み出し: 割り込み有
 "0" 読み出し: 割り込み無
 "1" 書き込み: 要因フラグをリセット
 "0" 書き込み: 無効

IRFRは基準抵抗のR/F変換が終了した場合に"1"にセットされます。

IRFSはセンサのR/F変換が終了した場合に"1"にセットされます。

IRFEは基準抵抗の発振カウント中にタイムベースカウンタがオーバーフローした場合、またはセンサの発振カウント中に計測カウンタがオーバーフローした場合に"1"にセットされます。

これらのフラグによりR/Fコンバータ割り込みの有無をソフトウェアで判断することができます。なお、このフラグは割り込みマスクレジスタの設定にかかわらず、上記の条件で"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.13.8 プログラミング上の注意事項

- (1) カウンタのオーバーフローによりエラー割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H →FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。
- (4) R/Fコンバータの基準発振/センサ発振周波数の電圧偏差は特に2.0V以下で顕著となりますので、評価の上、ご使用ください。R/Fコンバータの基準発振/センサ発振周波数の電圧偏差は、設定環境の基板抵抗、容量により大きくなる可能性があります。

4.14 SVD(電源電圧検出)回路

4.14.1 SVD回路の構成

S1C63616にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。SVD回路の構成は図4.14.1.1のとおりです。

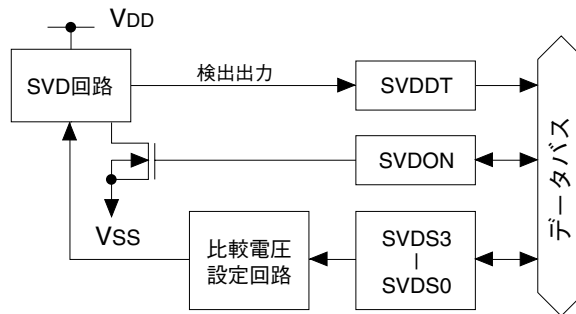


図4.14.1.1 SVD回路の構成

4.14.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(VDD端子-VSS端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS3 ~ SVDS0によって表4.14.2.1の16種類に設定できます。

表4.14.2.1 比較電圧値

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧(V)
1	1	1	1	3.2
1	1	1	0	3.1
1	1	0	1	3.0
1	1	0	0	2.9
1	0	1	1	2.8
1	0	1	0	2.7
1	0	0	1	2.6
1	0	0	0	2.5
0	1	1	1	2.4
0	1	1	0	2.3
0	1	0	1	2.2
0	1	0	0	2.1
0	0	1	1	2.0
0	0	1	0	1.9
0	0	0	1	1.8
0	0	0	0	1.6

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも500μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 500μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.14.3 SVD回路のI/Oメモリ

表4.14.3.1にSVD回路の制御ビットとそのアドレスを示します。

表4.14.3.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) 1.6 1.8 1.9 2.0 2.1 2.2 2.3 2.4 [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) 2.5 2.6 2.7 2.8 2.9 3.0 3.1 3.2
					SVDS2	0			
	R/W				SVDS1	0			
					SVDS0	0			
FF05H	0	0	SVDDT	SVDON	0 *3	- *2			未使用 未使用 SVD検出データ SVD回路On/Off
					0 *3	- *2			
	R			R/W	SVDDT	0	Low	Normal	
					SVDON	0	On	Off	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SVDS3 ~ SVDS0: SVD比較電圧設定レジスタ (FF04H)

SVDの比較電圧を表4.14.2.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDON: SVD検出ON/OFF制御レジスタ (FF05H・D0)

SVD回路のON/OFFを制御します。

"1" 書き込み: SVD回路 ON

"0" 書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためには、少なくとも500μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDDT: SVD検出結果 (FF05H・D1)

SVDによる検出結果がセットされます。

"0" 読み出し: 比較電圧より電源電圧(V_{DD} - V_{SS})が高い

"1" 読み出し: 比較電圧より電源電圧(V_{DD} - V_{SS})が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.14.4 プログラミング上の注意事項

(1) SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。

(2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

4.15 割り込みとHALT/SLEEP

<割り込みの種類>

S1C63616には以下の7種類の割り込みが設定されています。

外部割り込み	・ キー割り込み	(8系統)
内部割り込み	・ ウォッチドッグタイマ割り込み	(NMI、1系統)
	・ プログラマブルタイマ割り込み	(16系統)
	・ シリアルインタフェース割り込み	(1系統)
	・ 計時タイマ割り込み	(8系統)
	・ ストップウォッチタイマ割り込み	(4系統)
	・ R/Fコンバータ割り込み	(3系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.15.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT/SLEEP>

S1C63616は必要なとき以外の消費電流を大幅に低減させるHALT機能およびSLEEP機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

CPUのSLP命令によって移行するSLEEP状態では、HALT状態と同様CPUの動作を停止するとともにOSC1/OSC3発振回路も停止します。そのため、電源電圧昇圧回路からLCD系定電圧回路電源VD2を生成できず、VD2を使用している場合は、復帰後の誤動作防止のためSLP命令を実行する前にLCD系定電圧回路をVDD駆動に戻す必要があります。また、SLEEPモードから復帰した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

CPUのSLEEP状態からの再起動は、P1xポートまたはP4xポートのキー入力割り込み要求が発生することのみに限られます。したがって、SLEEP状態への移行/復帰を確実に実行するためには、SLP命令を実行する前の処理としてCPUクロック選択、電源制御、インタラプトフラグ、SLEEP解除に使用する入出力兼用ポートP1(4)xの設定、入力レベルを以下の手順の通りに設定、確認する必要があります。

1. LCD系電源回路電源切り換えレジスタ VCSEL="0"
電源電圧昇圧回路ON/OFFレジスタ DBON="0" (VDD駆動を選択)
2. CPUクロック切り換えレジスタ CLKCHG="0" (OSC1クロックを選択)
3. 割り込み選択レジスタ SIPxx="1" (Pxx入出力兼用ポート割り込みを選択)
4. 割り込みマスクレジスタ EIKxx="1" (Pxx入出力兼用ポート割り込みを許可)

5. ノイズリジェクタ選択レジスタ NRSP_{xx}="00" (ノイズリジェクタをバイパス)
6. P_{xx}割り込み要因フラグのリセット (IK_{xx}に"1"を書き込み)
7. インタラプトフラグ(Iフラグ)="1" (割り込みを許可)
- 8-1. P1(4)_xポート割り込み極性選択レジスタ="1" (立下りエッジで割り込み発生)の場合、
P1(4)_xポートへの入力が確実にHIGHであることを確認
- 8-2. P1(4)_xポート割り込み極性選択レジスタ="0" (立上りエッジで割り込み発生)の場合、
P1(4)_xポートへの入力が確実にLOWであることを確認
9. SLP命令実行

SLEEP状態が入出力兼用ポートの割り込みによって解除されると、発振の安定を待ってCPUの動作(入力割り込みの処理)を再開します。

HALT/SLEEP状態への移行と解除のタイミング等については、"S1C63000コアCPUマニュアル"を参照してください。

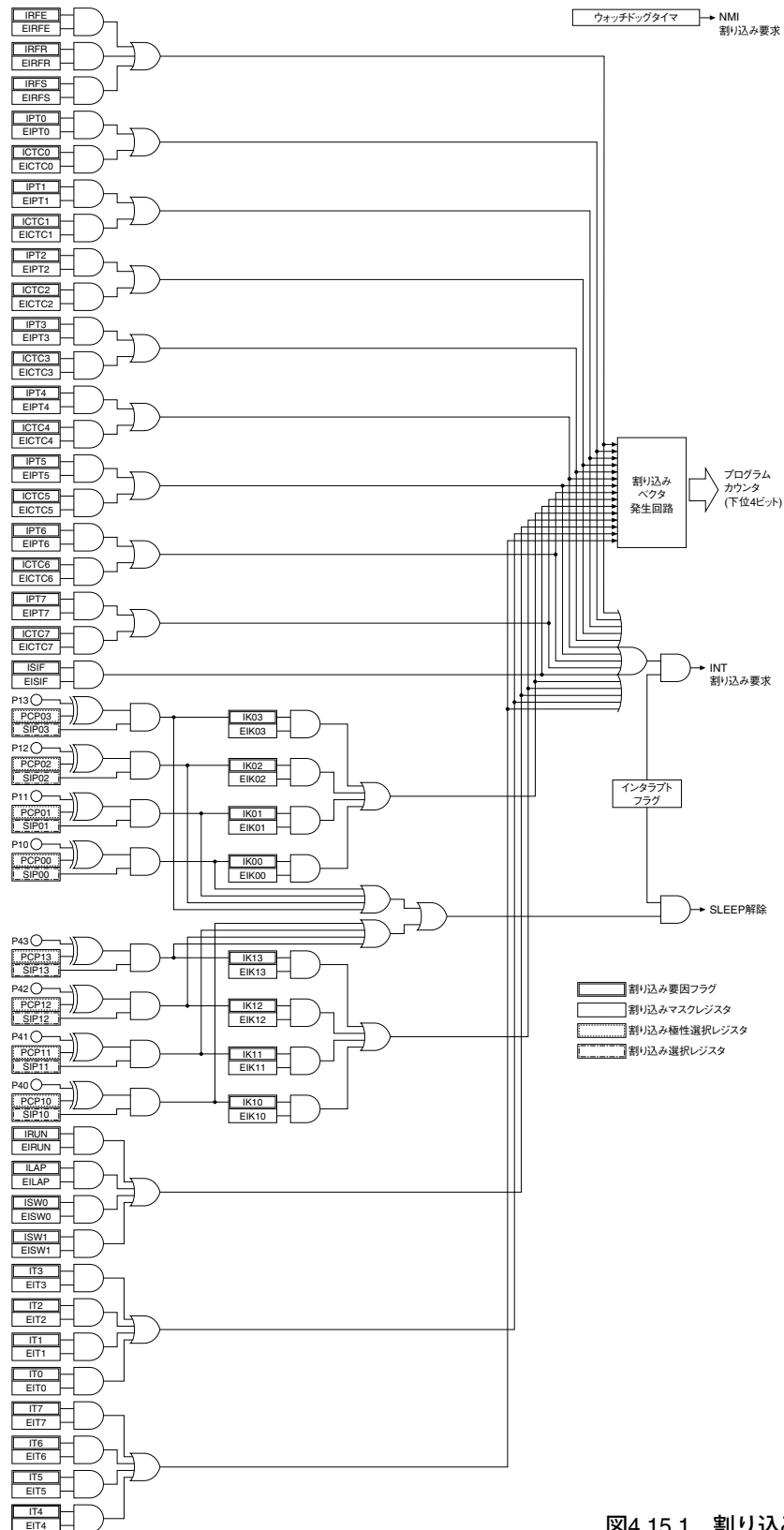


図4.15.1 割り込み回路の構成

4.15.1 割り込みの要因

割り込み要求が発生する要因を表4.15.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- ・対応する割り込みマスクレジスタが"1"(イネーブル)
- ・インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.15.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
R/Fコンバータ(エラー)	IRFE (FFF1H•D2)
R/Fコンバータ(基準発振完了)	IRFR (FFF1H•D1)
R/Fコンバータ(センサ発振完了)	IRFS (FFF1H•D0)
プログラマブルタイマ0(アンダーフロー)	IPT0 (FFF2H•D1)
プログラマブルタイマ0(コンペアマッチ)	ICTC0 (FFF2H•D0)
プログラマブルタイマ1(アンダーフロー)	IPT1 (FFF3H•D1)
プログラマブルタイマ1(コンペアマッチ)	ICTC1 (FFF3H•D0)
プログラマブルタイマ2(アンダーフロー)	IPT2 (FFF4H•D1)
プログラマブルタイマ2(コンペアマッチ)	ICTC2 (FFF4H•D0)
プログラマブルタイマ3(アンダーフロー)	IPT3 (FFF5H•D1)
プログラマブルタイマ3(コンペアマッチ)	ICTC3 (FFF5H•D0)
プログラマブルタイマ4(アンダーフロー)	IPT4 (FFF6H•D1)
プログラマブルタイマ4(コンペアマッチ)	ICTC4 (FFF6H•D0)
プログラマブルタイマ5(アンダーフロー)	IPT5 (FFF7H•D1)
プログラマブルタイマ5(コンペアマッチ)	ICTC5 (FFF7H•D0)
プログラマブルタイマ6(アンダーフロー)	IPT6 (FFF8H•D1)
プログラマブルタイマ6(コンペアマッチ)	ICTC6 (FFF8H•D0)
プログラマブルタイマ7(アンダーフロー)	IPT7 (FFF9H•D1)
プログラマブルタイマ7(コンペアマッチ)	ICTC7 (FFF9H•D0)
シリアルインタフェース(データ8ビット入出力終了)	ISIF (FFFAH•D0)
キー入力割り込み<P13>	IK03 (FFFBH•D3)
キー入力割り込み<P12>	IK02 (FFFBH•D2)
キー入力割り込み<P11>	IK01 (FFFBH•D1)
キー入力割り込み<P10>	IK00 (FFFBH•D0)
キー入力割り込み<P43>	IK13 (FFFCB•D3)
キー入力割り込み<P42>	IK12 (FFFCB•D2)
キー入力割り込み<P41>	IK11 (FFFCB•D1)
キー入力割り込み<P40>	IK10 (FFFCB•D0)
ストップウォッチタイマ(ダイレクトRUN)	IRUN (FFFDH•D3)
ストップウォッチタイマ(ダイレクトLAP)	ILAP (FFFDH•D2)
ストップウォッチタイマ(1Hz)	ISW1 (FFFDH•D1)
ストップウォッチタイマ(10Hz)	ISW10 (FFFDH•D0)
計時タイマ16Hz(立ち下がりエッジ)	IT3 (FFFEH•D3)
計時タイマ32Hz(立ち下がりエッジ)	IT2 (FFFEH•D2)
計時タイマ64Hz(立ち下がりエッジ)	IT1 (FFFEH•D1)
計時タイマ128Hz(立ち下がりエッジ)	IT0 (FFFEH•D0)
計時タイマ1Hz(立ち下がりエッジ)	IT7 (FFFFH•D3)
計時タイマ2Hz(立ち下がりエッジ)	IT6 (FFFFH•D2)
計時タイマ4Hz(立ち下がりエッジ)	IT5 (FFFFH•D1)
計時タイマ8Hz(立ち下がりエッジ)	IT4 (FFFFH•D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.15.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、“1”書き込みでイネーブル(割り込み許可)、“0”書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは“0”にリセットされます。

表4.15.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.15.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
EIRFE	(FFE1H•D2)	IRFE	(FFF1H•D2)
EIRFR	(FFE1H•D1)	IRFR	(FFF1H•D1)
EIRFS	(FFE1H•D0)	IRFS	(FFF1H•D0)
EIPT0	(FFE2H•D1)	IPT0	(FFF2H•D1)
EICTC0	(FFE2H•D0)	ICTC0	(FFF2H•D0)
EIPT1	(FFE3H•D1)	IPT1	(FFF3H•D1)
EICTC1	(FFE3H•D0)	ICTC1	(FFF3H•D0)
EIPT2	(FFE4H•D1)	IPT2	(FFF4H•D1)
EICTC2	(FFE4H•D0)	ICTC2	(FFF4H•D0)
EIPT3	(FFE5H•D1)	IPT3	(FFF5H•D1)
EICTC3	(FFE5H•D0)	ICTC3	(FFF5H•D0)
EIPT4	(FFE6H•D1)	IPT4	(FFF6H•D1)
EICTC4	(FFE6H•D0)	ICTC4	(FFF6H•D0)
EIPT5	(FFE7H•D1)	IPT5	(FFF7H•D1)
EICTC5	(FFE7H•D0)	ICTC5	(FFF7H•D0)
EIPT6	(FFE8H•D1)	IPT6	(FFF8H•D1)
EICTC6	(FFE8H•D0)	ICTC6	(FFF8H•D0)
EIPT7	(FFE9H•D1)	IPT7	(FFF9H•D1)
EICTC7	(FFE9H•D0)	ICTC7	(FFF9H•D0)
EISEIF	(FFEAH•D0)	ISIF	(FFFAH•D0)
EIK03	(FFEBH•D3)	IK03	(FFFBH•D3)
EIK02	(FFEBH•D2)	IK02	(FFFBH•D2)
EIK01	(FFEBH•D1)	IK01	(FFFBH•D1)
EIK00	(FFEBH•D0)	IK00	(FFFBH•D0)
EIK13	(FFECH•D3)	IK13	(FFFCH•D3)
EIK12	(FFECH•D2)	IK12	(FFFCH•D2)
EIK11	(FFECH•D1)	IK11	(FFFCH•D1)
EIK10	(FFECH•D0)	IK10	(FFFCH•D0)
EIRUN	(FFEDH•D3)	IRUN	(FFFDH•D3)
EILAP	(FFEDH•D2)	ILAP	(FFFDH•D2)
EISW1	(FFEDH•D1)	ISW1	(FFFDH•D1)
EISW10	(FFEDH•D0)	ISW10	(FFFDH•D0)
EIT3	(FFEEH•D3)	IT3	(FFFEH•D3)
EIT2	(FFEEH•D2)	IT2	(FFFEH•D2)
EIT1	(FFEEH•D1)	IT1	(FFFEH•D1)
EIT0	(FFEEH•D0)	IT0	(FFFEH•D0)
EIT7	(FFEFH•D3)	IT7	(FFFFH•D3)
EIT6	(FFEFH•D2)	IT6	(FFFFH•D2)
EIT5	(FFEFH•D1)	IT5	(FFFFH•D1)
EIT4	(FFEFH•D0)	IT4	(FFFFH•D0)

4.15.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。
割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H ~ 010FH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.15.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.15.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0101H	R/Fコンバータ	
0102H	プログラマブルタイマ0	
0103H	プログラマブルタイマ1	
0104H	プログラマブルタイマ2	
0105H	プログラマブルタイマ3	
0106H	プログラマブルタイマ4	
0107H	プログラマブルタイマ5	
0108H	プログラマブルタイマ6	
0109H	プログラマブルタイマ7	
010AH	シリアルインタフェース	↓ 低い
010BH	キー入力割り込み<P1>	
010CH	キー入力割り込み<P4>	
010DH	ストップウォッチタイマ	
010EH	計時タイマ(128Hz, 64Hz, 32Hz, 16Hz)	
010FH	計時タイマ(8Hz, 4Hz, 2Hz, 1Hz)	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

注: 割り込み処理ルーチンは、割り込みベクタアドレス(100H ~ 10FH)より-7FH ~ +80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。

例:

```
;*****
; ** interrupt vector area **
;*****
.org 0x0100
JR INT_DUMMY ;WATCH DOG TIMER INTERRUPT VECTOR(0x100)
JR INT_RFC ;RFC INTERRUPT VECTOR(0x101)
JR INT_DUMMY ;PTIMER0 INTERRUPT VECTOR(0x102)
JR INT_DUMMY ;PTIMER1 INTERRUPT VECTOR(0x103)
JR INT_DUMMY ;PTIMER2 INTERRUPT VECTOR(0x104)
JR INT_DUMMY ;PTIMER3 INTERRUPT VECTOR(0x105)
JR INT_DUMMY ;PTIMER4 INTERRUPT VECTOR(0x106)
JR INT_DUMMY ;PTIMER5 INTERRUPT VECTOR(0x107)
JR INT_DUMMY ;PTIMER6 INTERRUPT VECTOR(0x108)
JR INT_DUMMY ;PTIMER7 INTERRUPT VECTOR(0x109)
JR INT_DUMMY ;SIO INTERRUPT VECTOR(0x10A)
JR INT_DUMMY ;P1x PORT INTERRUPT VECTOR(0x10B)
JR INT_DUMMY ;P4x PORT INTERRUPT VECTOR(0x10C)
JR INT_DUMMY ;STOPWATCH INTERRUPT VECTOR(0x10D)
JR INT_DUMMY ;CLOCK TIMER1 INTERRUPT VECTOR(0x10E)
JR INT_DUMMY ;CLOCK TIMER2 INTERRUPT VECTOR(0x10F)
```

```
;*****
;** subinterrupt vector area **
;*****
    .org    0x120
INT_RFC:
    CALR    INTRFC        ;call Interrupt RFC
    RETI
INT_DUMMY:
    RETI

;*****
;** Interrupt RFC **
;*****
    .org    0x800
INTRFC:
    LDB     %y1,P5CTL0@1
    LDB     %x1,ITC_RFC1@1
    LD      [%y],[%x]      ;Port Output
    RET
```

4.15.4 割り込みのI/Oメモリ

表4.15.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.15.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF3CH	SIP03	SIP02	SIP01	SIP00	SIP03	0	Enable	Disable	P10～P13割り込み選択レジスタ
					SIP02	0	Enable	Disable	
					SIP01	0	Enable	Disable	
					SIP00	0	Enable	Disable	
FF3DH	PCP03	PCP02	PCP01	PCP00	PCP03	1	↓	↑	P10～P13割り込み極性選択レジスタ
					PCP02	1	↓	↑	
					PCP01	1	↓	↑	
					PCP00	1	↓	↑	
FF3EH	SIP13	SIP12	SIP11	SIP10	SIP13	0	Enable	Disable	P40～P43割り込み選択レジスタ
					SIP12	0	Enable	Disable	
					SIP11	0	Enable	Disable	
					SIP10	0	Enable	Disable	
FF3FH	PCP13	PCP12	PCP11	PCP10	PCP13	1	↓	↑	P40～P43割り込み極性選択レジスタ
					PCP12	1	↓	↑	
					PCP11	1	↓	↑	
					PCP10	1	↓	↑	
FFE1H	General	EIRFE	EIRFR	EIRFS	General	0	1	0	汎用レジスタ
					EIRFE	0	Enable	Mask	割り込みマスクレジスタ(R/Fコンバータエラー)
					EIRFR	0	Enable	Mask	割り込みマスクレジスタ(R/Fコンバータ基準発振完了)
					EIRFS	0	Enable	Mask	割り込みマスクレジスタ(R/Fコンバータセンサ発振完了)
FFE2H	General	General	EIPT0	EICTC0	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(タイマ0アンダーフロー)
					EICTC0	0	Enable	Mask	割り込みマスクレジスタ(タイマ0コンパアマッチ)
FFE3H	General	General	EIPT1	EICTC1	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT1	0	Enable	Mask	割り込みマスクレジスタ(タイマ1アンダーフロー)
					EICTC1	0	Enable	Mask	割り込みマスクレジスタ(タイマ1コンパアマッチ)
FFE4H	General	General	EIPT2	EICTC2	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT2	0	Enable	Mask	割り込みマスクレジスタ(タイマ2アンダーフロー)
					EICTC2	0	Enable	Mask	割り込みマスクレジスタ(タイマ2コンパアマッチ)
FFE5H	General	General	EIPT3	EICTC3	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT3	0	Enable	Mask	割り込みマスクレジスタ(タイマ3アンダーフロー)
					EICTC3	0	Enable	Mask	割り込みマスクレジスタ(タイマ3コンパアマッチ)
FFE6H	General	General	EIPT4	EICTC4	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT4	0	Enable	Mask	割り込みマスクレジスタ(タイマ4アンダーフロー)
					EICTC4	0	Enable	Mask	割り込みマスクレジスタ(タイマ4コンパアマッチ)
FFE7H	General	General	EIPT5	EICTC5	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT5	0	Enable	Mask	割り込みマスクレジスタ(タイマ5アンダーフロー)
					EICTC5	0	Enable	Mask	割り込みマスクレジスタ(タイマ5コンパアマッチ)
FFE8H	General	General	EIPT6	EICTC6	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT6	0	Enable	Mask	割り込みマスクレジスタ(タイマ6アンダーフロー)
					EICTC6	0	Enable	Mask	割り込みマスクレジスタ(タイマ6コンパアマッチ)
FFE9H	General	General	EIPT7	EICTC7	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EIPT7	0	Enable	Mask	割り込みマスクレジスタ(タイマ7アンダーフロー)
					EICTC7	0	Enable	Mask	割り込みマスクレジスタ(タイマ7コンパアマッチ)
FFEAH	General	General	General	EISIF	General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					General	0	1	0	汎用レジスタ
					EISIF	0	Enable	Mask	割り込みマスクレジスタ(シリアルインタフェース)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.15.4.1 (b) 割り込みの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み3<P13>)
					EIK02	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み2<P12>)
					EIK01	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み1<P11>)
					EIK00	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み0<P10>)
FFECH	EIK13	EIK12	EIK11	EIK10	EIK13	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み7<P43>)
					EIK12	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み6<P42>)
					EIK11	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み5<P41>)
					EIK10	0	Enable	Mask	割り込みマスケジスタ(キー入力割り込み4<P40>)
FFEDH	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスケジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスケジスタ(SWダイレクトLAP)
					EISW1	0	Enable	Mask	割り込みマスケジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスケジスタ(ストップウォッチタイマ10Hz)
FFEEH	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスケジスタ(計時タイマ16Hz)
					EIT2	0	Enable	Mask	割り込みマスケジスタ(計時タイマ32Hz)
					EIT1	0	Enable	Mask	割り込みマスケジスタ(計時タイマ64Hz)
					EIT0	0	Enable	Mask	割り込みマスケジスタ(計時タイマ128Hz)
FFEFH	EIT7	EIT6	EIT5	EIT4	EIT7	0	Enable	Mask	割り込みマスケジスタ(計時タイマ1Hz)
					EIT6	0	Enable	Mask	割り込みマスケジスタ(計時タイマ2Hz)
					EIT5	0	Enable	Mask	割り込みマスケジスタ(計時タイマ4Hz)
					EIT4	0	Enable	Mask	割り込みマスケジスタ(計時タイマ8Hz)
FFF1H	0	IRFE	IRFR	IRFS	0 *3	—*2	(R)	(R)	未使用
	R	R/W	IRFE	0	Yes	No	割り込み要因フラグ(R/Fコンバータエラー)		
			IRFR	0	(W)	(W)	割り込み要因フラグ(R/Fコンバータ基準発振完了)		
			IRFS	0	Reset	Invalid	割り込み要因フラグ(R/Fコンバータセンサ発振完了)		
FFF2H	0	0	IPT0	ICTC0	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT0	0	(W)	(W)	割り込み要因フラグ(タイマ0アンダーフロー)		
			ICTC0	0	Reset	Invalid	割り込み要因フラグ(タイマ0コンペアマッチ)		
FFF3H	0	0	IPT1	ICTC1	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT1	0	(W)	(W)	割り込み要因フラグ(タイマ1アンダーフロー)		
			ICTC1	0	Reset	Invalid	割り込み要因フラグ(タイマ1コンペアマッチ)		
FFF4H	0	0	IPT2	ICTC2	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT2	0	(W)	(W)	割り込み要因フラグ(タイマ2アンダーフロー)		
			ICTC2	0	Reset	Invalid	割り込み要因フラグ(タイマ2コンペアマッチ)		
FFF5H	0	0	IPT3	ICTC3	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT3	0	(W)	(W)	割り込み要因フラグ(タイマ3アンダーフロー)		
			ICTC3	0	Reset	Invalid	割り込み要因フラグ(タイマ3コンペアマッチ)		
FFF6H	0	0	IPT4	ICTC4	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT4	0	(W)	(W)	割り込み要因フラグ(タイマ4アンダーフロー)		
			ICTC4	0	Reset	Invalid	割り込み要因フラグ(タイマ4コンペアマッチ)		
FFF7H	0	0	IPT5	ICTC5	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT5	0	(W)	(W)	割り込み要因フラグ(タイマ5アンダーフロー)		
			ICTC5	0	Reset	Invalid	割り込み要因フラグ(タイマ5コンペアマッチ)		
FFF8H	0	0	IPT6	ICTC6	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT6	0	(W)	(W)	割り込み要因フラグ(タイマ6アンダーフロー)		
			ICTC6	0	Reset	Invalid	割り込み要因フラグ(タイマ6コンペアマッチ)		
FFF9H	0	0	IPT7	ICTC7	0 *3	—*2	(R)	(R)	未使用
	R	R/W	0 *3	—*2	Yes	No	未使用		
			IPT7	0	(W)	(W)	割り込み要因フラグ(タイマ7アンダーフロー)		
			ICTC7	0	Reset	Invalid	割り込み要因フラグ(タイマ7コンペアマッチ)		

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.15.4.1(c) 割り込みの制御ビット

アドレス	レジスタ								注 釈										
	D3	D2	D1	D0	Name	Init *1	1	0											
FFFAH	0	0	0	ISIF	0 *3	— *2	(R)	(R)	未使用										
					0 *3	— *2	Yes	No	未使用										
					0 *3	— *2	(W)	(W)	未使用										
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルインタフェース)										
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み3<P13>)										
					IK02	0	Yes	No	割り込み要因フラグ(キー入力割り込み2<P12>)										
					IK01	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み1<P11>)										
					IK00	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み0<P10>)										
FFFBH	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W										
										FFFBH									
FFFBH	IK13	IK12	IK11	IK10	IK13	0	(R)	(R)	割り込み要因フラグ(キー入力割り込み7<P43>)										
					IK12	0	Yes	No	割り込み要因フラグ(キー入力割り込み6<P42>)										
					IK11	0	(W)	(W)	割り込み要因フラグ(キー入力割り込み5<P41>)										
					IK10	0	Reset	Invalid	割り込み要因フラグ(キー入力割り込み4<P40>)										
FFFBH	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)										
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)										
					ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)										
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)										
FFFEH	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ16Hz)										
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)										
					IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ64Hz)										
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ128Hz)										
FFFEH	IT7	IT6	IT5	IT4	IT7	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)										
					IT6	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)										
					IT5	0	(W)	(W)	割り込み要因フラグ(計時タイマ4Hz)										
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ8Hz)										

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

- SIP03 ~ SIP00, SIP13 ~ SIP10: 割り込み選択レジスタ (FF3CH, FF3EH)
- PCP03 ~ PCP00, PCP13 ~ PCP10: 割り込み極性選択レジスタ (FF3DH, FF3FH)
- EIK03 ~ EIK00, EIK13 ~ EIK10: 割り込みマスクレジスタ (FFE1H, FFE3H)
- IK03 ~ IK00, IK13 ~ IK10: 割り込み要因フラグ (FFFBH, FFFCH)

... "4.5 入出力兼用ポート"参照

- EIRFE, EIRFR, EIRFS: 割り込みマスクレジスタ (FFE1H・D2, D1, D0)
- IRFE, IRFR, IRFS: 割り込み要因フラグ (FFF1H・D2, D1, D0)

... "4.13 R/Fコンバータ"参照

- EIPT0, EICTC0: 割り込みマスクレジスタ (FFE2H・D1, D0)
- EIPT1, EICTC1: 割り込みマスクレジスタ (FFE3H・D1, D0)
- EIPT2, EICTC2: 割り込みマスクレジスタ (FFE4H・D1, D0)
- EIPT3, EICTC3: 割り込みマスクレジスタ (FFE5H・D1, D0)
- EIPT4, EICTC4: 割り込みマスクレジスタ (FFE6H・D1, D0)
- EIPT5, EICTC5: 割り込みマスクレジスタ (FFE7H・D1, D0)
- EIPT6, EICTC6: 割り込みマスクレジスタ (FFE8H・D1, D0)
- EIPT7, EICTC7: 割り込みマスクレジスタ (FFE9H・D1, D0)
- IPT0, ICTC0: 割り込み要因フラグ (FFF2H・D1, D0)
- IPT1, ICTC1: 割り込み要因フラグ (FFF3H・D1, D0)
- IPT2, ICTC2: 割り込み要因フラグ (FFF4H・D1, D0)
- IPT3, ICTC3: 割り込み要因フラグ (FFF5H・D1, D0)
- IPT4, ICTC4: 割り込み要因フラグ (FFF6H・D1, D0)
- IPT5, ICTC5: 割り込み要因フラグ (FFF7H・D1, D0)
- IPT6, ICTC6: 割り込み要因フラグ (FFF8H・D1, D0)
- IPT7, ICTC7: 割り込み要因フラグ (FFF9H・D1, D0)

... "4.9 プログラマブルタイマ"参照

- **EISIF: 割り込みマスクレジスタ (FFEAH・D0)**
- **ISIF: 割り込み要因フラグ (FFFAH・D0)**
... "4.10 シリアルインタフェース"参照
- **EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ (FFEDH)**
- **IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ (FFFDH)**
... "4.8 ストップウォッチタイマ"参照
- **EIT3 ~ EIT0, EIT7 ~ EIT4: 割り込みマスクレジスタ (FFEEH, FFEFH)**
- **IT3 ~ IT0, IT7 ~ IT4: 割り込み要因フラグ (FFFEH, FFFFFH)**
... "4.7 計時タイマ"参照

4.15.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP機能を使用する場合、SLP命令を実行する前にCPUクロック選択、電源制御、インタラプトフラグ、SLEEP解除に使用する入出力兼用ポートP1(4)xの設定、入力レベルを以下の手順の通りに設定、確認する必要があります。
 1. LCD系電源回路電源切り換えレジスタ VCSEL="0"
電源電圧昇圧回路ON/OFFレジスタ DBON="0" (VDD駆動を選択)
 2. CPUクロック切り換えレジスタ CLKCHG="0" (OSC1クロックを選択)
 3. 割り込み選択レジスタ SIPxx="1" (Pxx入出力兼用ポート割り込みを選択)
 4. 割り込みマスクレジスタ EIKxx="1" (Pxx入出力兼用ポート割り込みを許可)
 5. ノイズリジェクタ選択レジスタ NRSPxx="00" (ノイズリジェクタをバイパス)
 6. Pxx割り込み要因フラグのリセット (IKxxに"1"を書き込み)
 7. インタラプトフラグ(Iフラグ)="1" (割り込みを許可)
 - 8-1. P1(4)xポート割り込み極性選択レジスタ="1" (立下りエッジで割り込み発生)の場合、P1(4)xポートへの入力が確実にHIGHであることを確認
 - 8-2. P1(4)xポート割り込み極性選択レジスタ="0" (立上りエッジで割り込み発生)の場合、P1(4)xポートへの入力が確実にLOWであることを確認
 9. SLP命令実行
- (5) 割り込み処理ルーチンは、割り込みベクタアドレス(100H ~ 10FH)より-7FH ~ +80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63616は、低消費電流化のため回路系ごとに制御レジスタを持っています。
この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。
以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT, SLP命令
CPU動作周波数	CLKCHG, OSCC
電源電圧昇降圧回路	DBON, HLON
LCD系定電圧回路	LPWR
SVD回路	SVDON

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

- CPU: 動作状態
- CPU動作周波数: 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")
- 電源電圧昇降圧回路: OFF状態(DBON = "0", HLON = "0")
- LCD系定電圧回路: OFF状態(LPWR = "0")
- SVD回路: OFF状態(SVDON = "0")

また、LCDパネルの特性により消費電流が数μAのオーダーで異なりますので、パネルの選択にも注意が必要です。

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

● メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。
- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～07FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63616の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

● 電源制御

- (1) 電源電圧昇降圧回路をONしてから出力電圧V_{D2}が安定するまでに約1msecの時間を要します。この間は、定電圧回路(LCD系定電圧回路)の電源をV_{D2}に切り換えないでください。
- (2) ICの誤動作につながりますので、HLONは使用禁止です。常時、"0"としてください。
- (3) ICの損傷につながりますので、2.5Vを超える電源電圧V_{DD}が供給されている場合はDBONを"1"(昇圧モード)、およびVCSELを"1"(V_{D2}駆動)に設定しないでください。
- (4) 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

● ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

● 発振回路

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
 - ・ CPU動作クロック OSC1
 - ・ OSC3発振回路 OFF(一部の周辺回路に対してOSC3クロックが必要ない場合)
- (2) OSC3発振回路をONにしてから発振が安定するまでに、1msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- (4) S1C63616はSLEEP機能に対応しており、SLEEP時にOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

● 入出力兼用ポート

- (1) 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}15\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}500\text{k}\Omega \text{ Max.})$$
- (2) SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- (3) SLEEPモードからは入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx = "1")しておく必要があります。また、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIKxx = "1")しておく必要があります。
- (4) TOUT_A信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (5) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.4 発振回路"を参照してください。
- (6) ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインタフェース、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

● LCDドライバ

- (1) メモリ非実装領域(F070H～F0FFH、F170H～F1FFH、F270H～F2FFH、F370H～F3FFH)をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
- (2) LCD系定電圧回路をVD2で動作させる場合、電源電圧昇降圧回路をONしてから電圧が安定するまでの約1msecの間は、LCD系定電圧回路の電源電圧をVCSELによってVD2に切り換えないでください。

● 計時タイマ

- (1) データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。
- (2) 計時タイマのカウンタクロックとCPUのクロックは非同期に動作しているため、カウンタデータの読み出しとカウンタアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法で計時タイマのカウンタデータを読み出してください。
 - ・ カウンタデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
 - ・ 正確なカウンタデータが必要な場合には、計時タイマを一旦停止させてから読み出してください。

● ストップウォッチタイマ

- (1) ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。
- (2) データの読み出しは必ずSWD0～3→SWD4～7→SWD8～11の順に行ってください。
- (3) LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- (4) 1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。

● プログラマブルタイマ

- (1) カウントデータの読み出しは必ず下位4ビット(PTDx0 ~ PTDx3)から先に行ってください。下位4ビットの読み出し時に上位4ビット(PTDx4 ~ PTDx7)がラッチされ、次に下位4ビットを読み出すまでホールドされます。16ビットタイマモード時も同様に、下位4ビットの読み出しにより上位12ビットがホールドされますので、下位4ビットから先に読み出してください。なお、CPU(システムクロック)をOSC1クロック、各タイマのカウントクロックをOSC3クロックで動作させている場合により正確なカウント値を読み出すためには、タイマを一時停止させてからカウンタデータを読み出すことを推奨します。
- (2) タイマモードではPTRUNxへの書き込み後、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

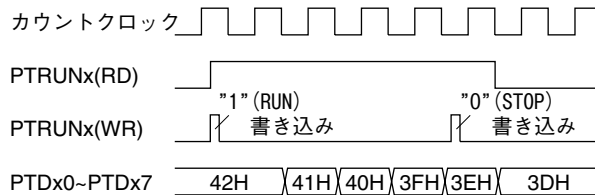


図5.2.1 RUN/STOP制御のタイミングチャート(タイマモード時)

イベントカウントモード時は、最初のイベントクロックからタイマはカウントダウンします。

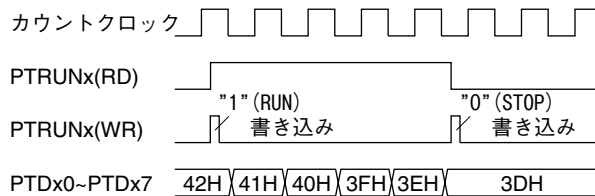


図5.2.2 RUN/STOP制御のタイミングチャート(イベントカウンタモード時)

- (3) TOUT_A信号は出力制御レジスタPTOUT_Aとは非同期に発生していますので、PTOUT_Aの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を源振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。

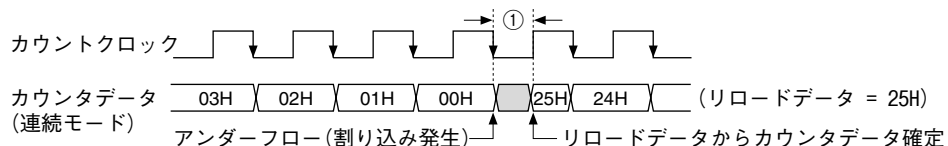


図5.2.3 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

- (6) プログラマブルタイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウンタデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法でプログラマブルタイマのカウントデータを読み出してください。

- ・ カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
- ・ 正確なカウントデータが必要な場合には、プログラマブルタイマを一旦停止させてから読み出してください。

● シリアルインタフェース

- (1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。トリガはシリアルインタフェースをRUN状態にすると一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4) プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。

● サウンドジェネレータ

- (1) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

● 整数乗除算器

演算モード選択レジスタCALMDへの書き込みから、演算結果がデスティネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しは行わないでください。

● R/Fコンバータ

- (1) カウンタのオーバーフローにより割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- (2) 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H →FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。

- (3) R/Fコンバータの基準発振/センサ発振周波数の電圧偏差は特に2.0V以下で顕著となりますので、評価の上、ご使用ください。R/Fコンバータの基準発振/センサ発振周波数の電圧偏差は、設定環境の基板抵抗、容量により大きくなる可能性があります。

● SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

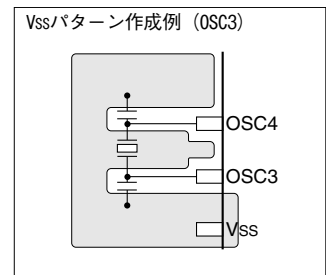
● 割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポイントSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP機能を使用する場合、SLP命令を実行する前にCPUクロック選択、電源制御、インタラプトフラグ、SLEEP解除に使用する入出力兼用ポートP1(4)xの設定、入力レベルを以下の手順の通りに設定、確認する必要があります。
1. LCD系電源回路電源切り換えレジスタ VCSEL="0"
電源電圧昇圧回路ON/OFFレジスタ DBON="0" (VDD駆動を選択)
 2. CPUクロック切り換えレジスタ CLKCHG="0" (OSC1クロックを選択)
 3. 割り込み選択レジスタ SIPxx="1" (Pxx入出力兼用ポート割り込みを選択)
 4. 割り込みマスクレジスタ EIKxx="1" (Pxx入出力兼用ポート割り込みを許可)
 5. ノイズリジェクタ選択レジスタ NRSPxx="00" (ノイズリジェクタをバイパス)
 6. Pxx割り込み要因フラグのリセット (IKxxに"1"を書き込み)
 7. インタラプトフラグ(Iフラグ)="1" (割り込みを許可)
 - 8-1. P1(4)xポート割り込み極性選択レジスタ="1" (立下りエッジで割り込み発生)の場合、P1(4)xポートへの入力が高レベルであることを確認
 - 8-2. P1(4)xポート割り込み極性選択レジスタ="0" (立上りエッジで割り込み発生)の場合、P1(4)xポートへの入力が高レベルであることを確認
 9. SLP命令実行
- (5) 割り込み処理ルーチンは、割り込みベクタアドレス(100H ~ 10FH)より-7FH ~ +80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。

5.3 実装上の注意事項

〈発振回路〉

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
 - (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



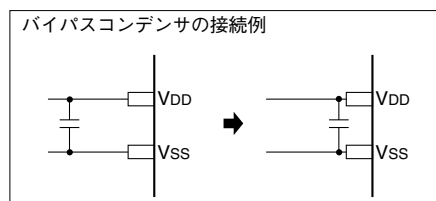
- OSC1(OSC3)－VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

〈リセット回路〉

- パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、RESET端子のプルダウン抵抗を使用する場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

〈電源回路〉

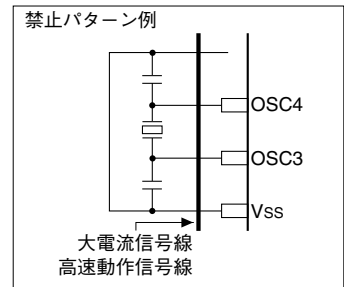
- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。
 - (2) VDD－Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



- (3) VD1、VD2、Vosc、VC1、VC2、VC3、VC4、VC5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。特にVC1、VC2、VC3、VC4、VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。
- LCDドライバを使用しない場合は、VC1、VC2、VC3、VC4、VC5端子を開放としてください。

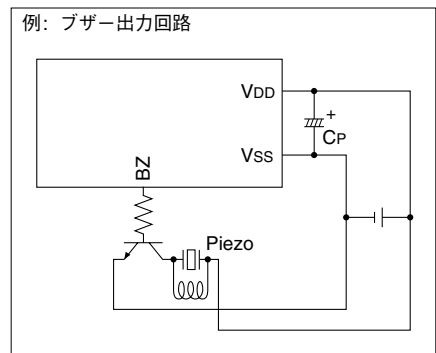
〈信号線の配置〉

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



〈出力端子〉

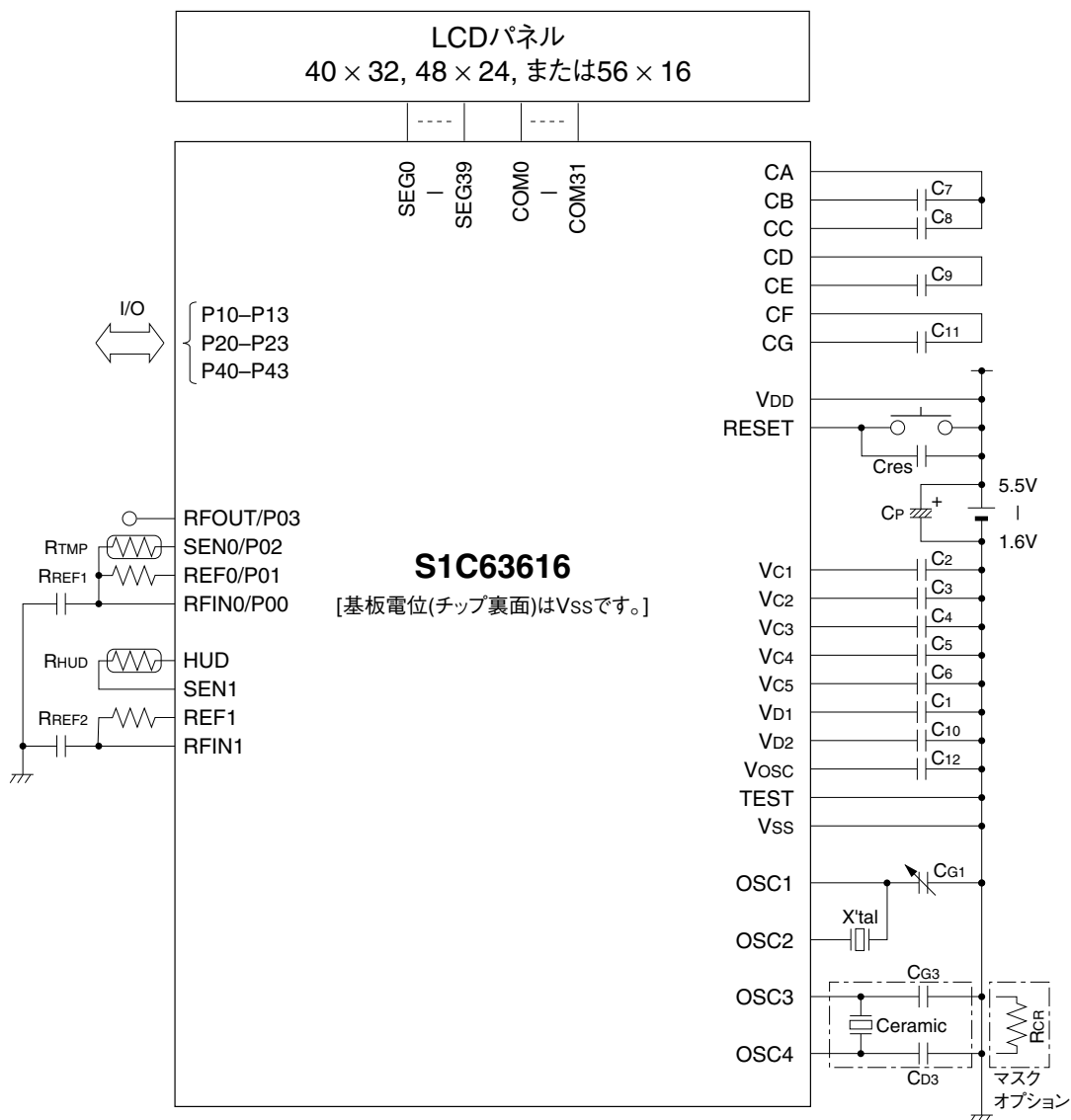
- 大電流を消費する外付け部品を駆動する際、外付け部品の動作がICの電源に影響をおよぼし、IC内蔵の電源回路の電圧が変化することがあります。特にBZ出力、タイマ出力等の周期的な信号でバイポーラトランジスタを駆動する場合、LCD系定電圧回路の電圧が変動し、液晶表示のコントラストが変わることがあります。これを防止するため、電源からICのVDD、VSS端子への配線パターンと大電流を消費する外付け部品への配線パターンを分離してください。また、使用する外付け部品はできるだけ消費電流の少ないものを選択してください。



〈光に対する取り扱い(ベアチップ実装の場合)〉

- 半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こす可能性があります。
光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。
 - (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
 - (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
 - (4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
 - (5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

6 基本外部結線図



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz
Cg1	トリマキャパシタ	0~25pF
Ceramic	セラミック振動子	0.3~4.2MHz
Cg3	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
Cd3	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RcR	CR発振用抵抗	30kΩ
C1	Vss~Vd1間キャパシタ	0.1μF
C2	Vss~Vc1間キャパシタ	0.1μF

シンボル	名称	推奨値
C3	Vss~Vc2間キャパシタ	0.1μF
C4	Vss~Vc3間キャパシタ	0.1μF
C5	Vss~Vc4間キャパシタ	0.1μF
C6	Vss~Vc5間キャパシタ	0.1μF
C7~C9	昇圧キャパシタ	0.1μF
C10	Vss~Vd2間キャパシタ	0.1μF
C11	昇圧キャパシタ	0.1μF
C12	Vss~Vosc間キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

注: LCD駆動電源のオプション選択によっては、C4、C10、C11は不要です。詳細は"4.6.1 LCDドライバの構成"を参照してください。

7 電気的特性

7.1 絶対最大定格

(V_{SS}=0V)

項 目	記号	条件	定 格 値	単位
電源電圧	V _{DD}		-0.3 ~ +6.0	V
液晶電源電圧	V _{C5}		-0.3 ~ +6.0	V
入力電圧	V _I		-0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		-0.3 ~ V _{DD} + 0.3	V
高レベル出力電流	I _{OH}	1端子	-5	mA
		全端子合計	-20	mA
低レベル出力電流	I _{OL}	1端子	5	mA
		全端子合計	20	mA
許容損失 *1	P _D		200	mW
動作温度	T _a		-40 ~ +85	°C
保存温度	T _{stg}		-65 ~ +150	°C
半田付け温度・時間	T _{sol}		260°C, 10sec (リード部)	—

*1 プラスチックパッケージ(TQFP15-128pin)の場合

7.2 推奨動作条件

(T_a=-40~85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V	1.6	—	5.5	V
動作周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz
	f _{OSC3}	CR発振(R外付け)	30	—	2,200	kHz
		セラミック発振	30	—	4,200	kHz
V _{SS} ~V _{D1} 間キャパシタ	C ₁		—	0.1	—	μF
V _{SS} ~V _{C1} 間キャパシタ	C ₂	*1	—	0.1	—	μF
V _{SS} ~V _{C2} 間キャパシタ	C ₃	*1	—	0.1	—	μF
V _{SS} ~V _{C3} 間キャパシタ	C ₄	*1, *2	—	0.1	—	μF
V _{SS} ~V _{C4} 間キャパシタ	C ₅	*1	—	0.1	—	μF
V _{SS} ~V _{C5} 間キャパシタ	C ₆	*1	—	0.1	—	μF
CA~CB間キャパシタ	C ₇	*1	—	0.1	—	μF
CA~CC間キャパシタ	C ₈	*1	—	0.1	—	μF
CD~CE間キャパシタ	C ₉	*1	—	0.1	—	μF
V _{SS} ~V _{D2} 間キャパシタ	C ₁₀	*1	—	0.1	—	μF
CF~CG間キャパシタ	C ₁₁	*1	—	0.1	—	μF
V _{SS} ~V _{Osc} 間キャパシタ	C ₁₂		—	0.1	—	μF

*1 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V_{C1}~V_{C5}およびCA~CGは開放としてください。*2 1/4バイアス選択時はC₄は必要ありません。V_{C3}は開放としてください。

7.3 DC特性

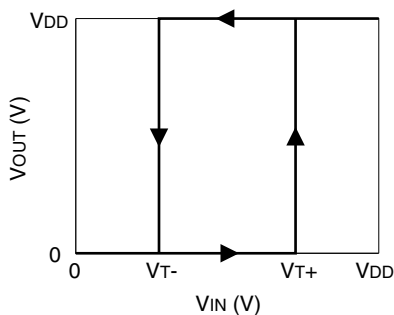
特記なき場合

$V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim 85^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	P1x, P2x, P4x *1	$0.8V_{DD}$	—	V_{DD}	V
低レベル入力電圧	V_{IL}	P1x, P2x, P4x *1	0	—	$0.2V_{DD}$	V
高レベルシュミット入力電圧(1)	V_{T1+}	RESET	$0.5V_{DD}$	—	$0.9V_{DD}$	V
低レベルシュミット入力電圧(1)	V_{T1-}	RESET	$0.1V_{DD}$	—	$0.5V_{DD}$	V
高レベルシュミット入力電圧(2)	V_{T2+}	P1x, P2x, P4x *2, P0x, RFIN1	$0.5V_{DD}$	—	$0.9V_{DD}$	V
低レベルシュミット入力電圧(2)	V_{T2-}	P1x, P2x, P4x *2, P0x, RFIN1	$0.1V_{DD}$	—	$0.5V_{DD}$	V
高レベル出力電流	I_{OH}	$V_{OH}=0.9V_{DD}$ Pxx, REF1, SEN1, HUD	—	—	-0.5	mA
低レベル出力電流	I_{OL}	$V_{OL}=0.1V_{DD}$ Pxx, REF1, SEN1, HUD	0.5	—	—	mA
入力リーク電流	I_{LI}	Pxx, RESET, RFIN1	-1	—	1	μA
出力リーク電流	I_{LO}	Pxx, REF1, SEN1, HUD	-1	—	1	μA
入力プルダウン抵抗	R_{IN}	Pxx, RESET	100	—	500	k Ω
入力端子容量	C_{IN}	$V_{IN}=0V$, $T_a=25^{\circ}C$ Pxx, RESET, RFIN1	—	—	15	pF
セグメント、コモン出力電流	I_{SEGH}	$V_{SEGH}=V_{C5}-0.1V$ SEGxx, COMxx	—	—	-5	μA
	I_{SEGL}	$V_{SEGL}=V_{SS}+0.1V$ SEGxx, COMxx	5	—	—	μA

*1 CMOSレベルを選択した場合

*2 CMOSシュミットレベルを選択した場合



7.4 アナログ回路特性・消費電流

LCD駆動電圧(1/5バイアス, Vc2基準)

特記なき場合

VDD=1.6~5.5V, VSS=0V, Ta=25°C, C2~C11=0.1μF, 市松模様出力時, パネル負荷なし

VSS~VC1, VSS~VC2, VSS~VC3, VSS~VC4, VSS~VC5間にそれぞれ1MΩの負荷抵抗を接続

VDD=1.6~2.5V時は電源電圧昇圧回路使用

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VC1		0.192Vcs	–	0.217Vcs	V
	VC2		0.376Vcs	–	0.424Vcs	V
	VC3		0.573Vcs	–	0.646Vcs	V
	VC4		0.752Vcs	–	0.848Vcs	V
	VC5	LC0~3="0H"	Typ. × 0.94	4.20	Typ. × 1.06	V
		LC0~3="1H"		4.30		
		LC0~3="2H"		4.40		
		LC0~3="3H"		4.50		
		LC0~3="4H"		4.60		
		LC0~3="5H"		4.70		
		LC0~3="6H"		4.80		
		LC0~3="7H"		4.90		
		LC0~3="8H"		5.00		
		LC0~3="9H"		5.10		
		LC0~3="AH"		5.20		
		LC0~3="BH"		5.30		
		LC0~3="CH"		5.40		
		LC0~3="DH"		5.50		
		LC0~3="EH"		5.60		
		LC0~3="FH"		5.70		

LCD駆動電圧(1/4バイアス, Vc2基準)

特記なき場合

VDD=1.6~5.5V, VSS=0V, Ta=25°C, C2~C11=0.1μF, 市松模様出力時, パネル負荷なし

VSS~VC1, VSS~VC2, VSS~VC4, VSS~VC5間にそれぞれ1MΩの負荷抵抗を接続

VDD=1.6~2.5V時は電源電圧昇圧回路使用

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VC1		0.235Vcs	–	0.265Vcs	V
	VC2		0.472Vcs	–	0.532Vcs	V
	VC4		0.705Vcs	–	0.795Vcs	V
	VC5	LC0~3="0H"	Typ. × 0.94	3.60	Typ. × 1.06	V
		LC0~3="1H"		3.68		
		LC0~3="2H"		3.76		
		LC0~3="3H"		3.84		
		LC0~3="4H"		3.92		
		LC0~3="5H"		4.00		
		LC0~3="6H"		4.08		
		LC0~3="7H"		4.16		
		LC0~3="8H"		4.24		
		LC0~3="9H"		4.32		
		LC0~3="AH"		4.40		
		LC0~3="BH"		4.48		
		LC0~3="CH"		4.56		
		LC0~3="DH"		4.64		
		LC0~3="EH"		4.72		
		LC0~3="FH"		4.80		

LCD駆動電圧 (1/4バイアス, V_{C1}基準)

特記なき場合

V_{DD}=1.6~5.5V, V_{SS}=0V, T_a=25°C, C₂~C₁₁=0.1μF, 市松模様出力時, パネル負荷なしV_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C4}, V_{SS}~V_{C5}間にそれぞれ1MΩの負荷抵抗を接続

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	V _{C1}		0.244V _{C5}	—	0.276V _{C5}	V
	V _{C2}		0.476V _{C5}	—	0.536V _{C5}	V
	V _{C4}		0.720V _{C5}	—	0.812V _{C5}	V
	V _{C5}	LC0~3="0H"	Typ. × 0.94	3.60	Typ. × 1.06	V
		LC0~3="1H"		3.68		
		LC0~3="2H"		3.76		
		LC0~3="3H"		3.84		
		LC0~3="4H"		3.92		
		LC0~3="5H"		4.00		
		LC0~3="6H"		4.08		
		LC0~3="7H"		4.16		
		LC0~3="8H"		4.24		
		LC0~3="9H"		4.32		
		LC0~3="AH"		4.40		
		LC0~3="BH"		4.48		
		LC0~3="CH"		4.56		
		LC0~3="DH"		4.64		
		LC0~3="EH"		4.72		
		LC0~3="FH"		4.80		

SVD回路

特記なき場合

V_{DD}=1.6~5.5V, V_{SS}=0V, T_a=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
SVD電圧	V _{SVD}	SVDS0~3="0H"	Typ. × 0.97	1.6	Typ. × 1.03	V
		SVDS0~3="1H"		1.8		
		SVDS0~3="2H"		1.9		
		SVDS0~3="3H"		2.0		
		SVDS0~3="4H"		2.1		
		SVDS0~3="5H"		2.2		
		SVDS0~3="6H"		2.3		
		SVDS0~3="7H"		2.4		
		SVDS0~3="8H"		2.5		
		SVDS0~3="9H"		2.6		
		SVDS0~3="AH"		2.7		
		SVDS0~3="BH"		2.8		
		SVDS0~3="CH"		2.9		
		SVDS0~3="DH"		3.0		
		SVDS0~3="EH"		3.1		
		SVDS0~3="FH"		3.2		
SVD回路応答時間	t _{SVD}		—	—	500	μs

R/Fコンバータ回路

特記なき場合

V_{DD}=1.6~5.5V, V_{SS}=0V, T_a=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
基準発振/センサ発振周波数 *1	f _{RFCLK}	T _a =-40~85°C	1	—	2000	kHz
基準発振/センサ発振周波数IC偏差 *2	Δf _{RFCLK} /ΔIC		-40	—	40	%
基準抵抗/センサ抵抗値 *3	R _{REF} /R _{SEN}		10	—	—	kΩ
基準容量/容量性センサ容量値 *3	C _{RFC} /C _{SEN}		100	—	2000	pF
タイムベースカウンタクロック周波数	f _{TCCLK}		—	—	4200	kHz

*1 1kHz以下の周波数に設定すると、リーク電流による発振周波数のばらつきにより周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

*3 この範囲外の抵抗/容量でもCR発振は行えます(特性グラフ参照)。ただし、基板やICの寄生素子の影響により周波数IC偏差が大きくなる可能性があります。

消費電流

特記なき場合

VDD=1.6~5.5V, VSS=0V, DBON="0"(VD2=OFF), FLCKSX=0H(32Hz), Ta=25°C, ノンネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP	SLEEP移行前: OSC1=ON, OSC3=OFF	—	0.08	0.50	μA
HALT時消費電流	IHALT1	OSC1=32kHz水晶, OSC3=OFF	—	0.60	2.00	μA
	IHALT2	OSC1=32kHz水晶, OSC3=4MHzセラミック	—	70	150	μA
	IHALT3	OSC1=32kHz水晶, OSC3=2MHz CR	—	120	240	μA
実行時消費電流	IEXE1	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1	—	2.5	4.0	μA
	IEXE2	OSC1=32kHz水晶, OSC3=4MHzセラミック, CPUclk=OSC3	—	320	600	μA
	IEXE3	OSC1=32kHz水晶, OSC3=2MHz CR, CPUclk=OSC3	—	250	500	μA
重負荷保護モード 実行時消費電流	IEXE1H	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1, HLMOD=1	—	13	30	μA
LCD回路電流 (1/5ノビース, VC2基準)	ILCD11	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=2.5~5.5V *1	—	1.8	3.0	μA
重負荷保護モード LCD回路電流 (1/5ノビース, VC2基準)	ILCD11H	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=2.5~5.5V, HLMOD=1 *2	—	14	20	μA
電源電圧昇圧時 LCD回路電流 (1/5ノビース, VC2基準)	ILCD12	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, DBON=1, VDD=1.6~2.5V *3	—	3.5	6.0	μA
重負荷保護モード, 電源電圧昇圧時 LCD回路電流 (1/5ノビース, VC2基準)	ILCD12H	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, DBON=1, VDD=1.6~2.5V, HLMOD=1 *4	—	26	50	μA
LCD回路電流 (1/4ノビース, VC2基準)	ILCD21	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=2.5~5.5V *1	—	0.9	1.5	μA
重負荷保護モード LCD回路電流 (1/4ノビース, VC2基準)	ILCD21H	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=2.5~5.5V, HLMOD=1 *2	—	9	18	μA
電源電圧昇圧時 LCD回路電流 (1/4ノビース, VC2基準)	ILCD22	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, DBON=1, VDD=1.6~2.5V *3	—	1.7	3.0	μA
重負荷保護モード, 電源電圧昇圧時 LCD回路電流 (1/4ノビース, VC2基準)	ILCD22H	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, DBON=1, VDD=1.6~2.5V, HLMOD=1 *4	—	18	36	μA
LCD回路電流 (1/4ノビース, VC1基準)	ILCD31	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=1.6~5.5V *1	—	1.2	2.5	μA
重負荷保護モード LCD回路電流 (1/4ノビース, VC1基準)	ILCD31H	LCDCx=全点灯, LCx=FH, fosc1=32.768kHz, VDD=1.6~5.5V, HLMOD=1 *2	—	5.5	11.0	μA
SVD回路電流	ISVD	VDD=3.6V *5	—	9	15	μA
R/Fコンバータ回路電流	IRF	VDD=5.5V, CREF=CSEN=1000pF, RREF=RSN=10kΩ *6	—	300	400	μA

*1 LCD回路動作時にHALT時/実行時消費電流に加算されます。

消費電流は表示ノタン、ノネル負荷によって増加します。

*2 LCD回路動作時に重負荷保護モード 実行時消費電流に加算されます。

消費電流は表示ノタン、ノネル負荷によって増加します。

*3 電源電圧昇降圧回路+LCD回路動作時にHALT時/実行時消費電流に加算されます。

消費電流は表示ノタン、ノネル負荷によって増加します。

*4 電源電圧昇降圧回路+LCD回路動作時に重負荷保護モード 実行時消費電流に加算されます。

消費電流は表示ノタン、ノネル負荷によって増加します。

*5 SVD回路動作時に実行時消費電流/重負荷保護モード 実行時消費電流に加算されます。

*6 R/Fコンバータ回路動作時に実行時消費電流に加算されます。

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合

VDD=1.6~5.5V, VSS=0V, 水晶発振子=C-002RX(R1=30kΩ(Typ.), CL=12.5pF), Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta		—	—	3	s
外付けゲート容量	CG1	基板容量などを含む	0	—	25	pF
内蔵ドレイン容量	CD1	チップの場合	—	14	—	pF
周波数IC偏差	$\Delta f/\Delta IC$	VDD=一定	-10	—	10	ppm
周波数電源電圧偏差	$\Delta f/\Delta V$		—	—	1	ppm/V
周波数調整範囲	$\Delta f/\Delta CG$	VDD=一定, CG=0~25pF	25	—	—	ppm

OSC3 セラミック発振回路

特記なき場合

VDD=1.6~5.5V, VSS=0V, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta		—	—	1	ms

OSC3 CR発振回路(R外付け)

特記なき場合

VDD=1.6~5.5V, VSS=0V, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta		—	—	1	ms
周波数IC偏差	$\Delta f/\Delta IC$	RCR=一定	-25	—	25	%

7.6 シリアルインタフェースAC特性

1 マスタモード

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40\sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t_{smd}	—	—	200	ns
受信データ入力セットアップ時間	t_{sms}	400	—	—	ns
受信データ入力ホールド時間	t_{smh}	200	—	—	ns

クロック周波数は最大1MHzに制限されます。

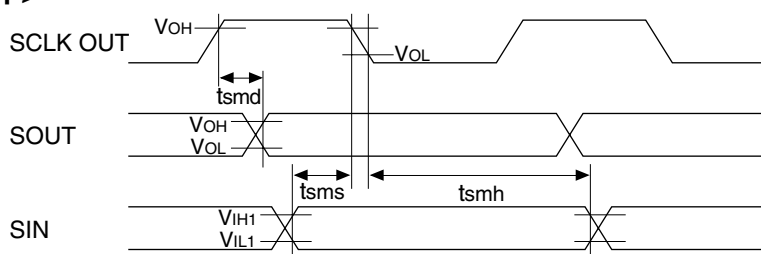
2 スレーブモード

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40\sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

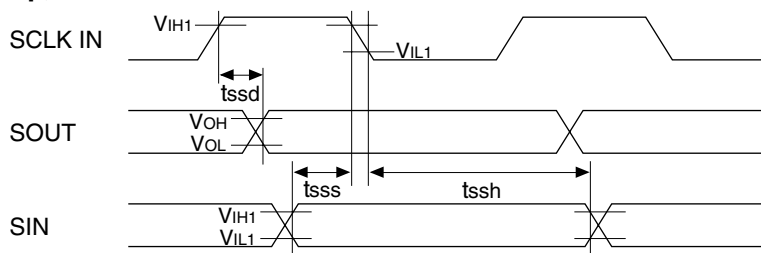
項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t_{ssd}	—	—	500	ns
受信データ入力セットアップ時間	t_{sss}	400	—	—	ns
受信データ入力ホールド時間	t_{ssh}	200	—	—	ns

クロック周波数は最大1MHzに制限されます。

<マスタモード>

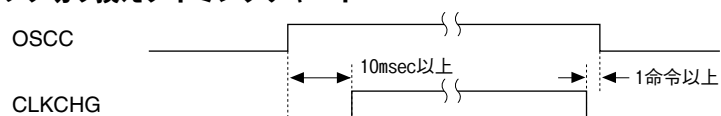


<スレーブモード>



7.7 タイミングチャート

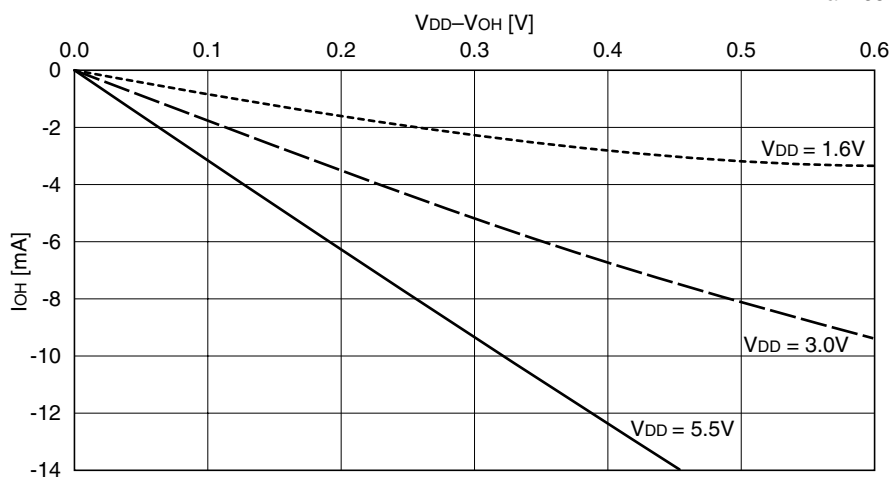
システムクロック切り換えタイミングチャート



7.8 特性グラフ(参考値)

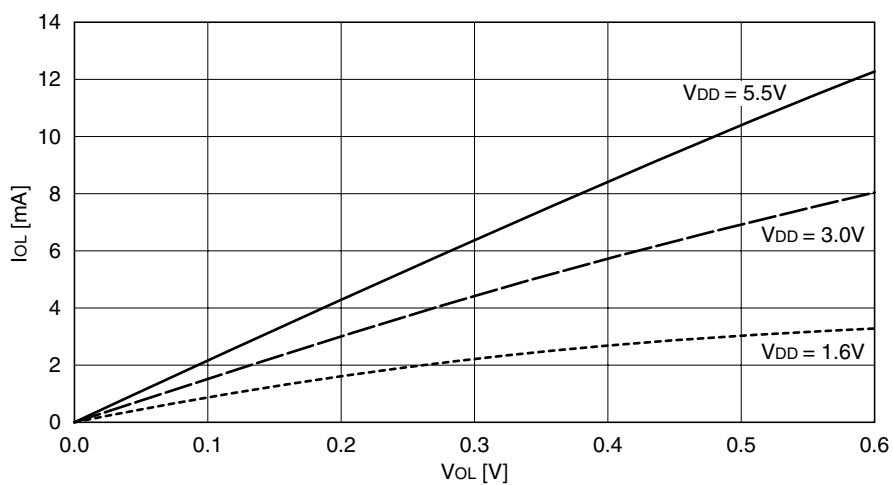
高レベル出力電流特性

$T_a = 85^\circ \text{C}$, Max.値



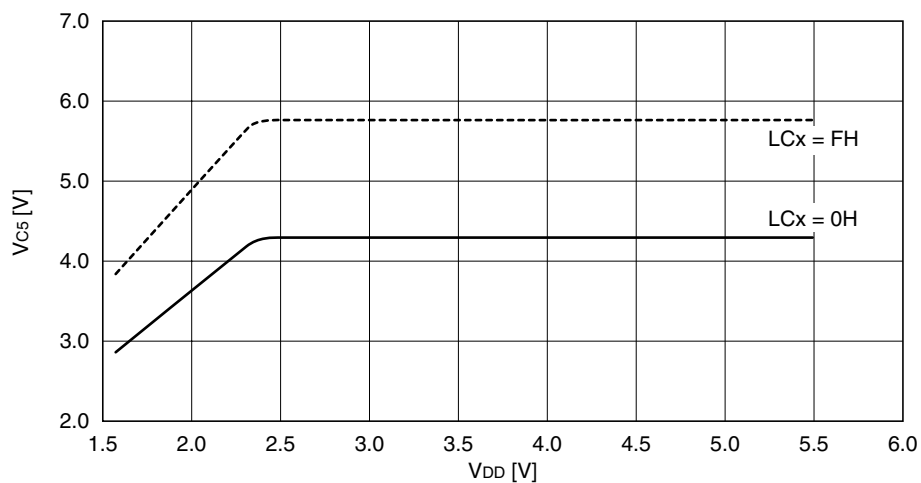
低レベル出力電流特性

$T_a = 85^\circ \text{C}$, Min.値

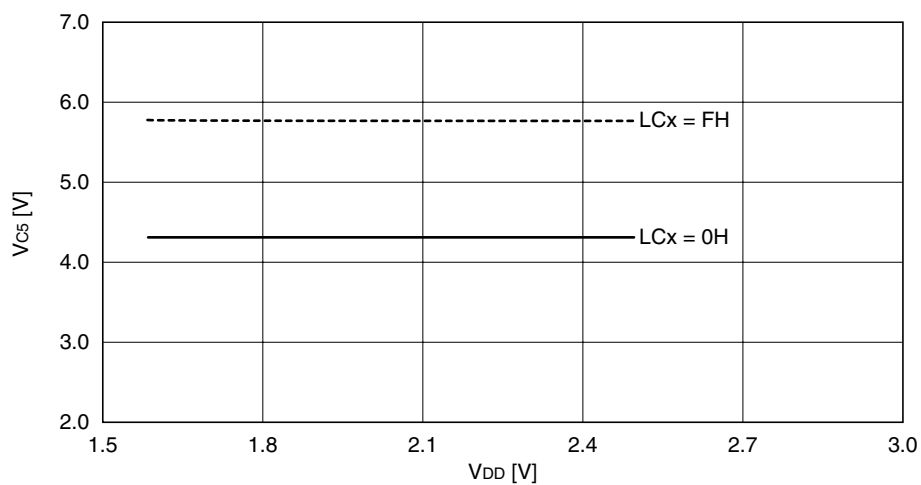


LCD駆動電圧電源電圧特性(1/5バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時)

Ta = 25° C, Typ.値

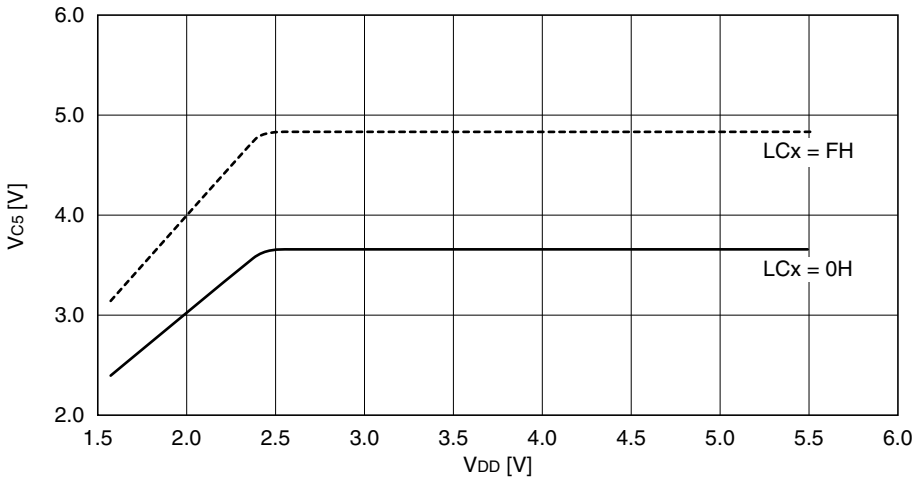
LCD駆動電圧電源電圧特性(1/5バイアス, V_{C2} 基準, 電源電圧昇降圧回路使用時)

Ta = 25° C, Typ.値



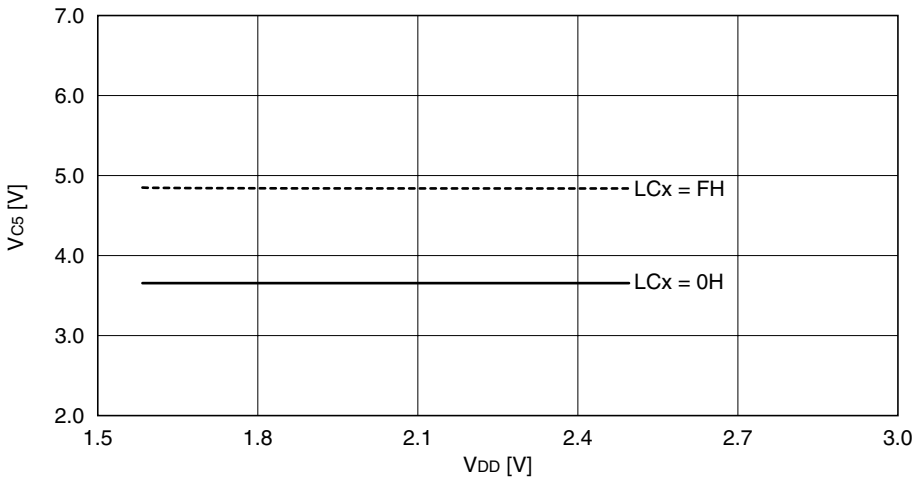
LCD駆動電圧電源電圧特性 (1/4バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時)

$T_a = 25^\circ\text{C}$, Typ.値



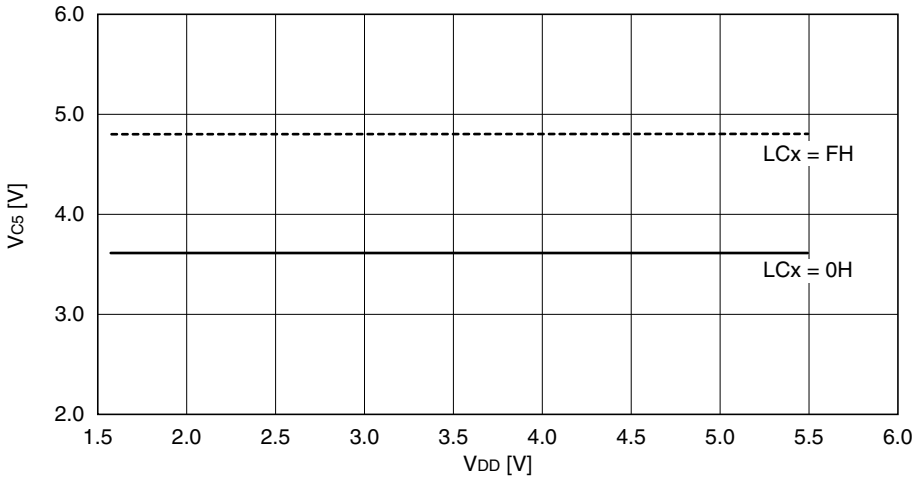
LCD駆動電圧電源電圧特性 (1/4バイアス, V_{C2} 基準, 電源電圧昇降圧回路使用時)

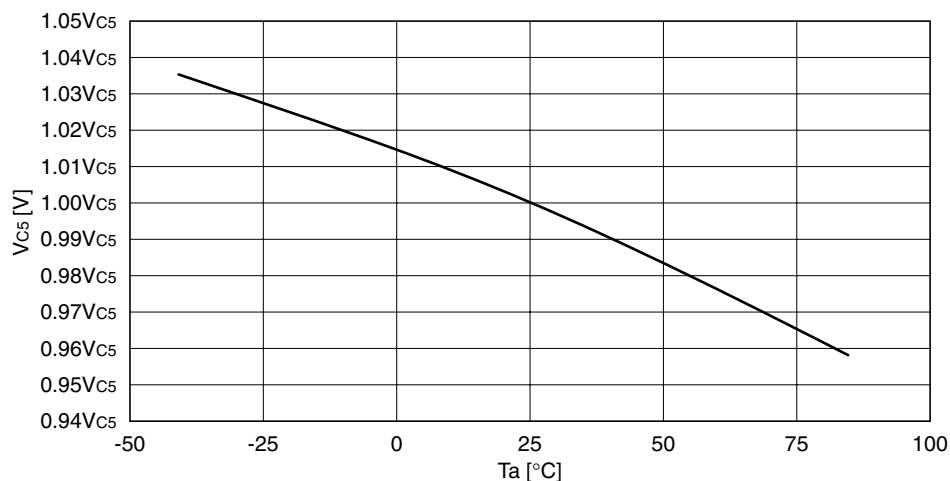
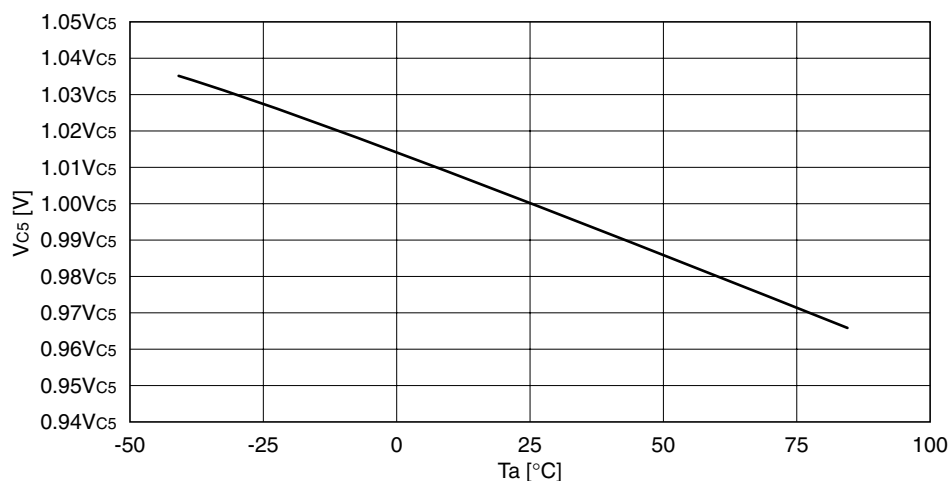
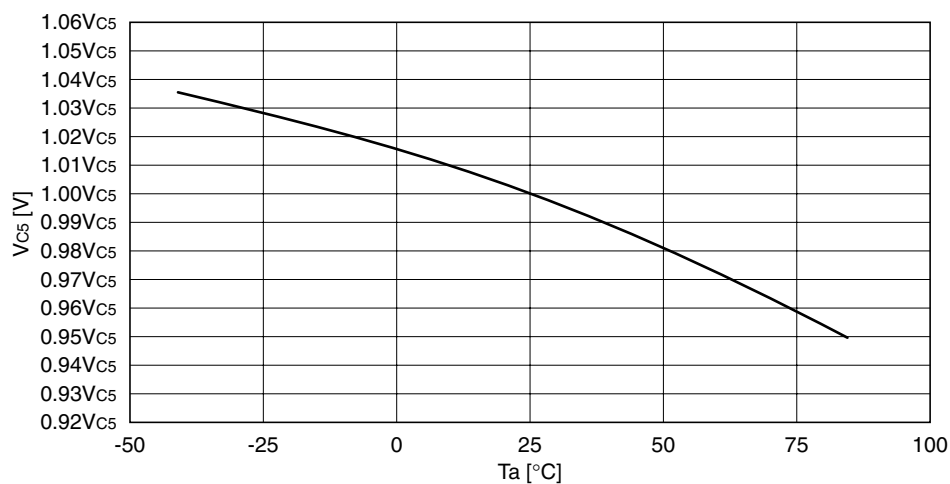
$T_a = 25^\circ\text{C}$, Typ.値



LCD駆動電圧電源電圧特性 (1/4バイアス, V_{C1} 基準, 電源電圧昇降圧回路未使用時)

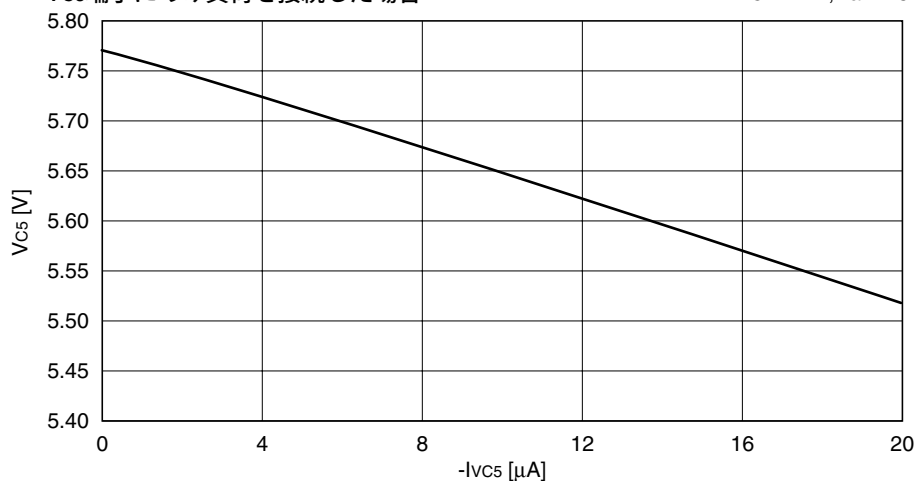
$T_a = 25^\circ\text{C}$, Typ.値



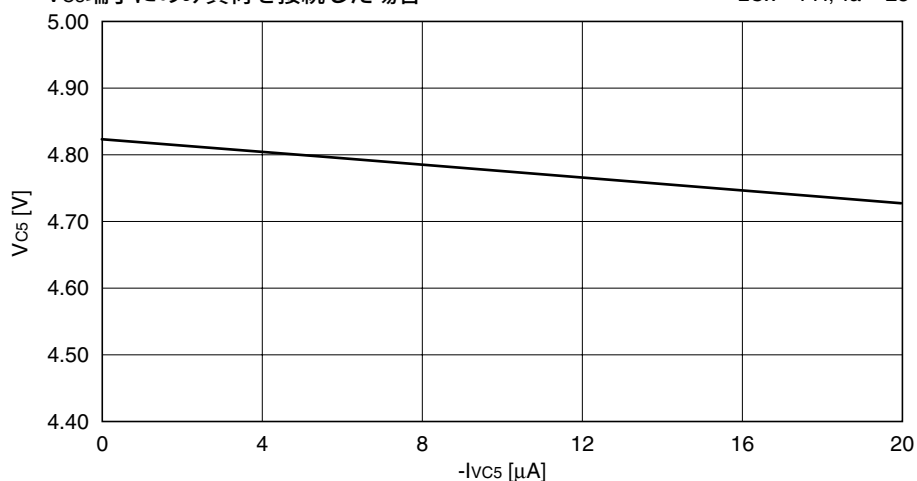
LCD駆動電圧温度特性 (1/5バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時) $V_{DD} = 3.0V$, Typ.値LCD駆動電圧温度特性 (1/4バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時) $V_{DD} = 3.0V$, Typ.値LCD駆動電圧温度特性 (1/4バイアス, V_{C1} 基準, 電源電圧昇降圧回路未使用時) $V_{DD} = 3.0V$, Typ.値

LCD駆動電圧負荷特性(1/5バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時) V_{C5} 端子にのみ負荷を接続した場合

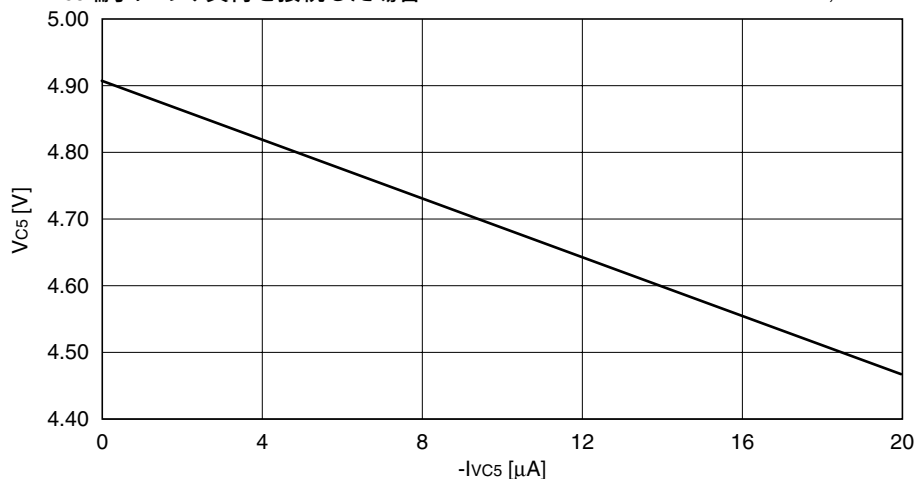
LCx = FH, Ta = 25° C, Typ.値

**LCD駆動電圧負荷特性(1/4バイアス, V_{C2} 基準, 電源電圧昇降圧回路未使用時)** V_{C5} 端子にのみ負荷を接続した場合

LCx = FH, Ta = 25° C, Typ.値

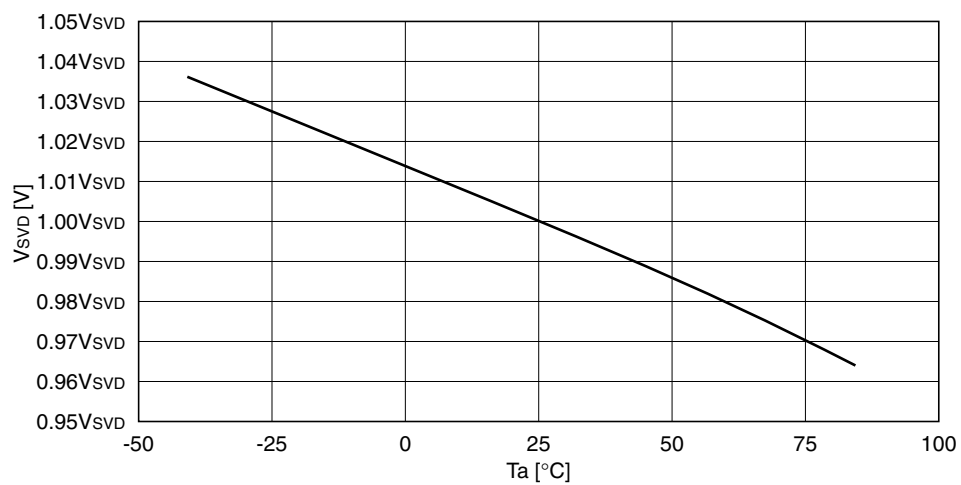
**LCD駆動電圧負荷特性(1/4バイアス, V_{C1} 基準, 電源電圧昇降圧回路未使用時)** V_{C5} 端子にのみ負荷を接続した場合

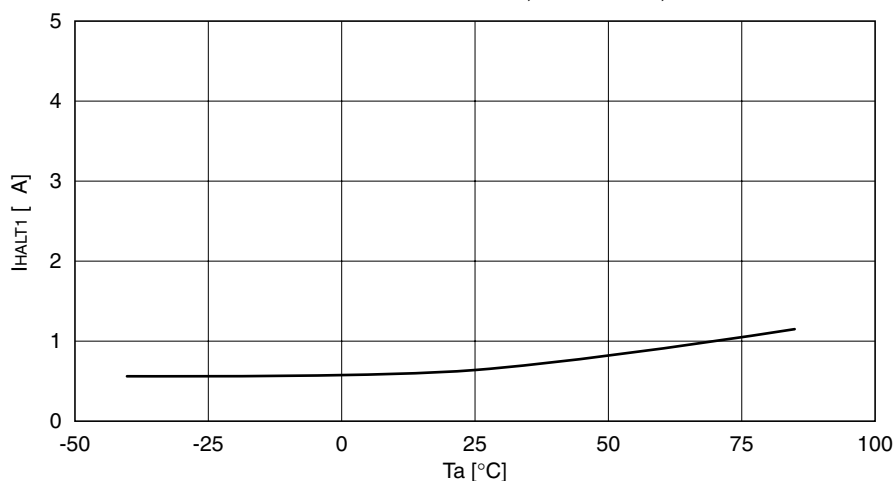
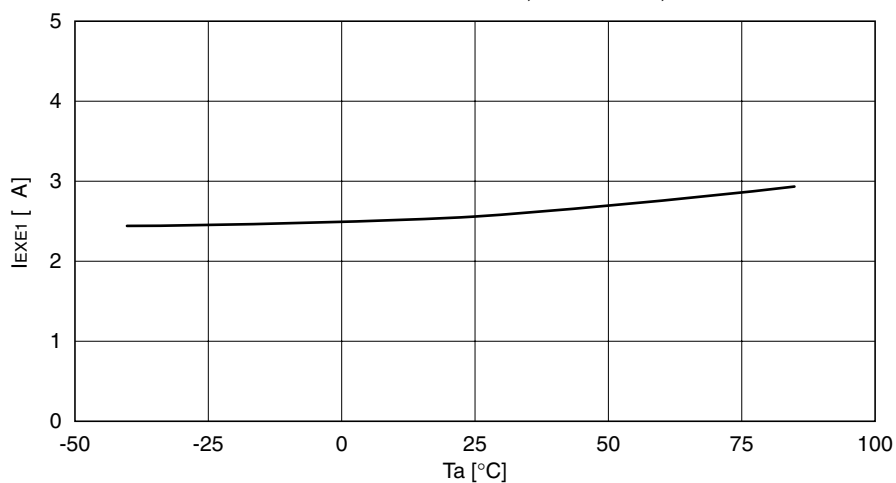
LCx = FH, Ta = 25° C, Typ.値

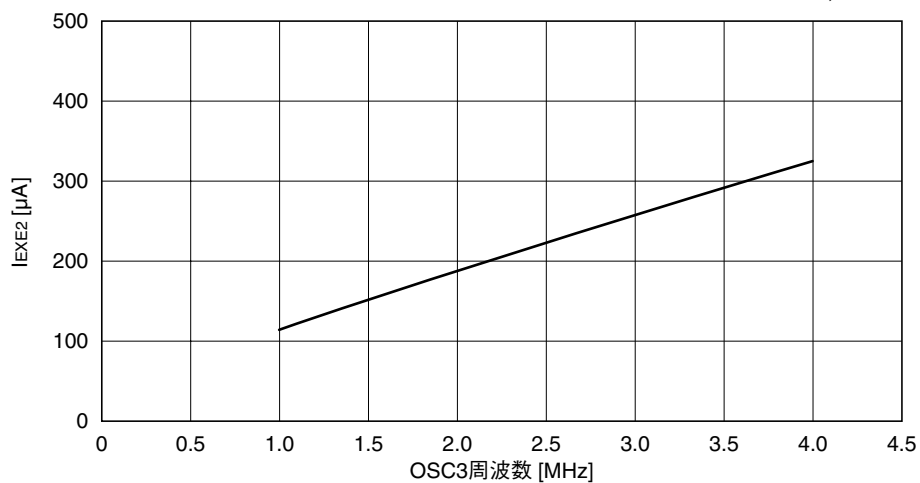
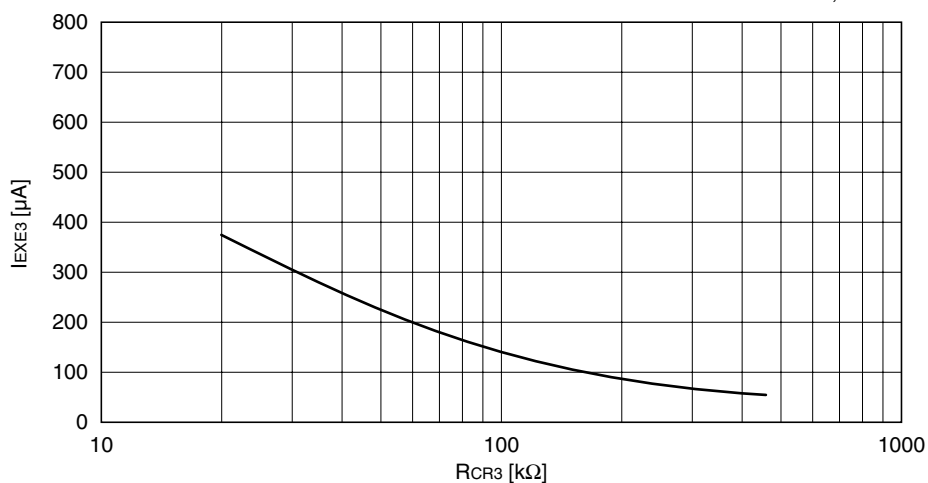


SVD電圧温度特性

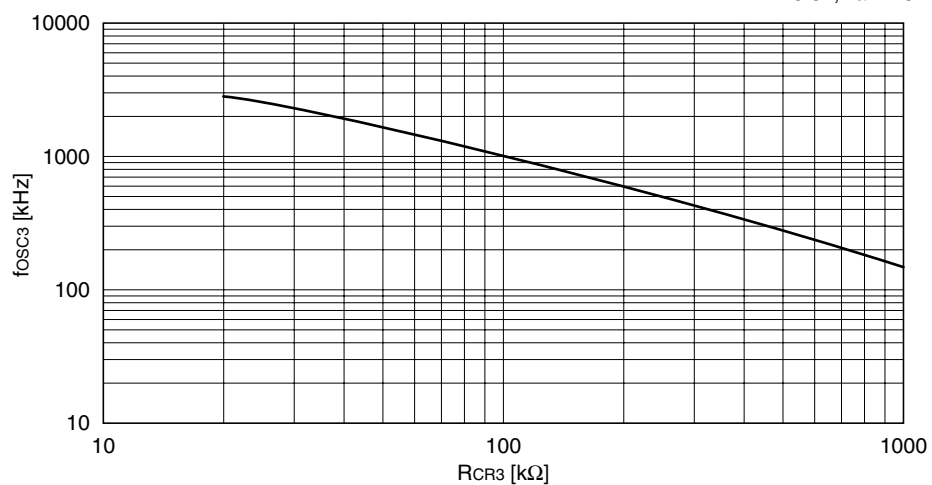
SVDSx = FH, Typ.値



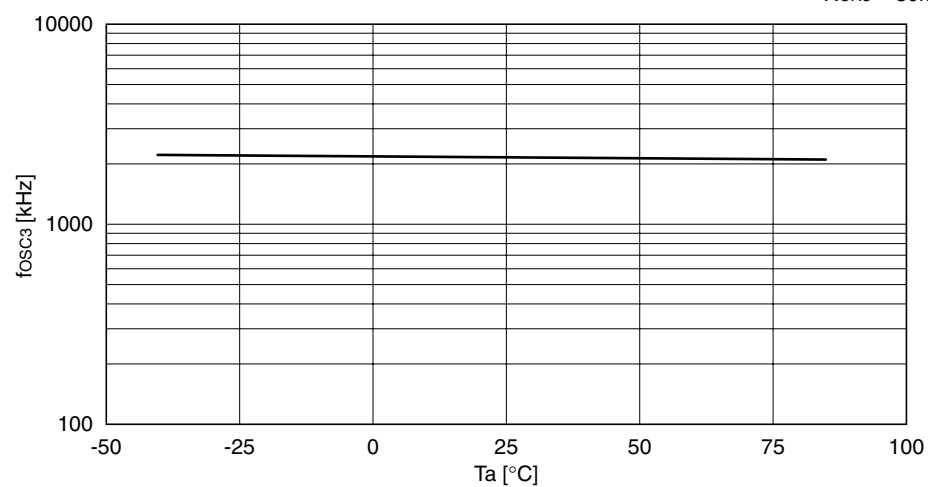
HALT時消費電流温度特性 (OSC1動作時) 〈水晶発振, fOSC1=32.768kHz〉V_{DD} = 5.5V, OSC3 = OFF, クロックマネージャ = OFF, Typ.値**実行時消費電流温度特性 (OSC1動作時) 〈水晶発振, fOSC1=32.768kHz〉**V_{DD} = 5.5V, OSC3 = OFF, クロックマネージャ = OFF, Typ.値

実行時消費電流周波数特性 (OSC3動作時) 〈セラミック発振〉 $V_{DD} = 5.5V$, $T_a = 25^\circ C$, Typ.値**実行時消費電流抵抗特性 (OSC3動作時) 〈CR発振〉** $V_{DD} = 5.5V$, $T_a = 25^\circ C$, Typ.値

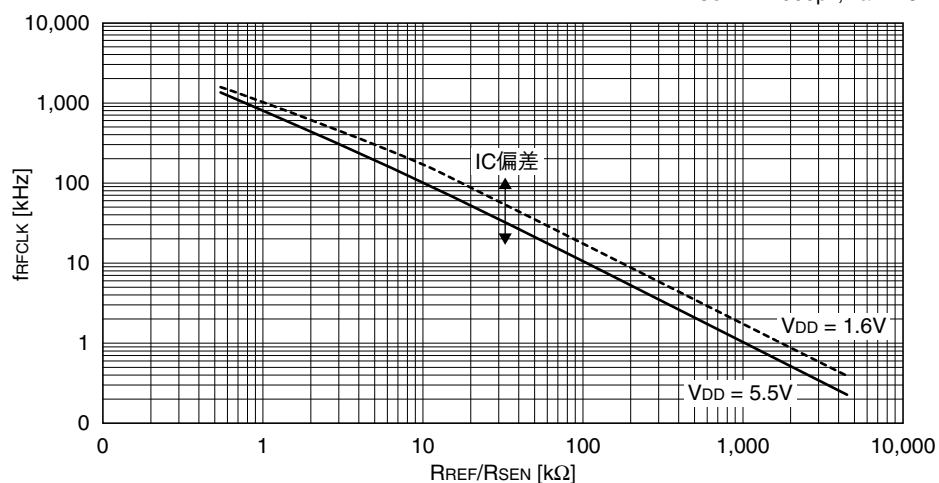
発振周波数抵抗特性 (OSC3) 〈CR発振〉

 $V_{DD} = 5.5V$, $T_a = 25^\circ C$, Typ.値

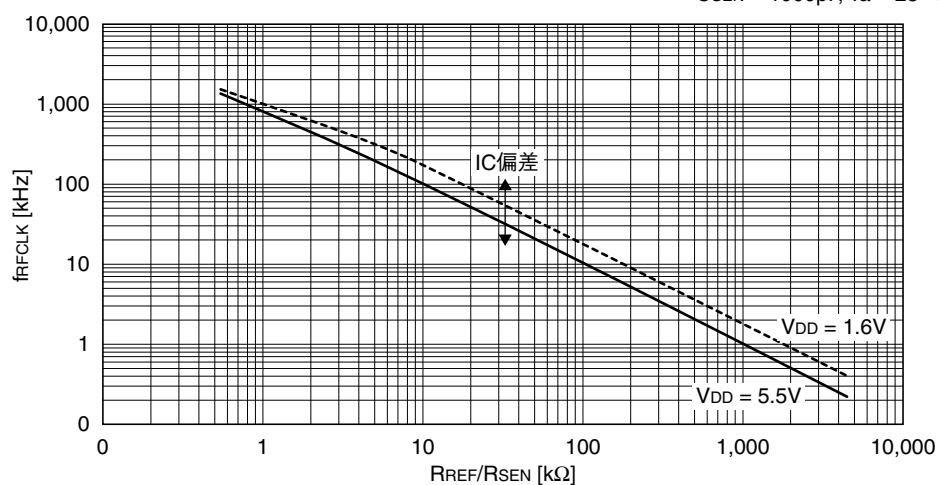
発振周波数温度特性 (OSC3) 〈CR発振〉

 $R_{CR3} = 30k\Omega$, Typ.値

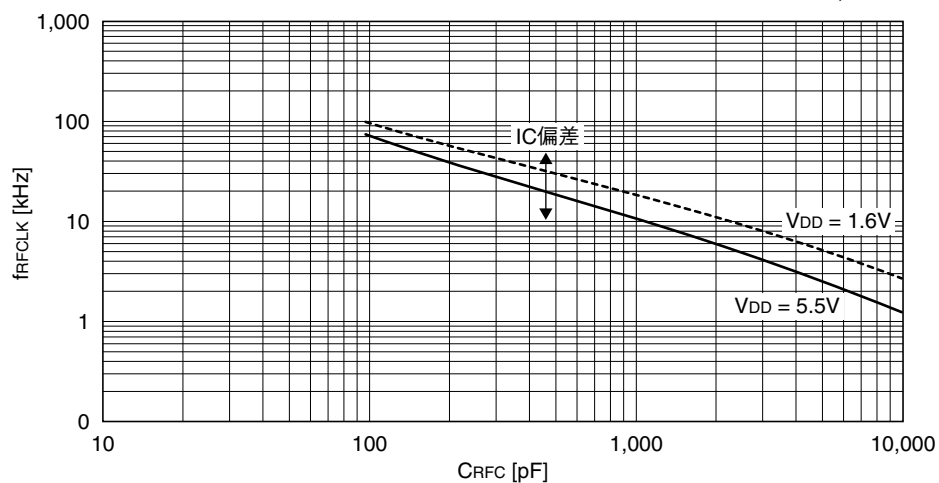
RFC基準発振/センサ発振周波数抵抗特性 (DC発振モード)

C_{SEN} = 1000pF, T_a = 25° C, Typ.値

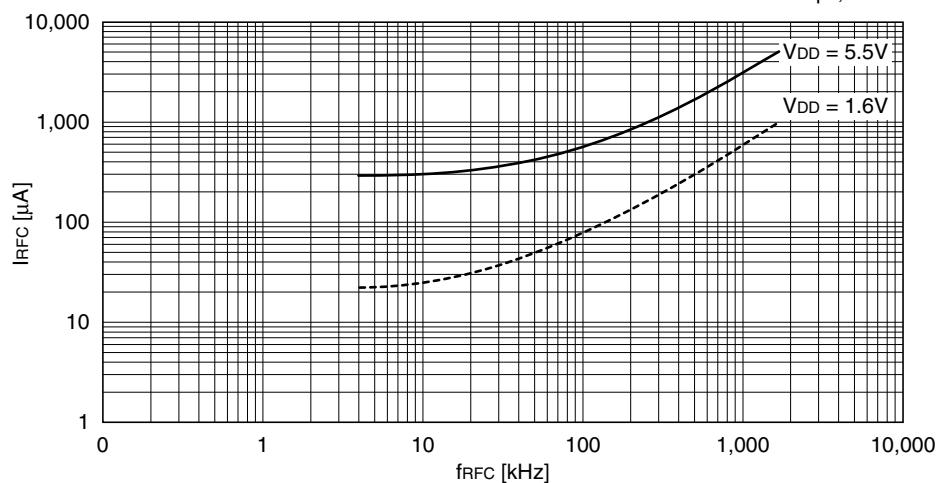
RFC基準発振/センサ発振周波数抵抗特性 (AC発振モード)

C_{SEN} = 1000pF, T_a = 25° C, Typ.値

RFC基準発振/センサ発振周波数容量特性 (DC/AC発振モード)

 $R_{SEN} = 100k\Omega$, $T_a = 25^\circ C$, Typ.値

RFC基準発振/センサ発振消費電流周波数特性 (DC/AC発振モード)

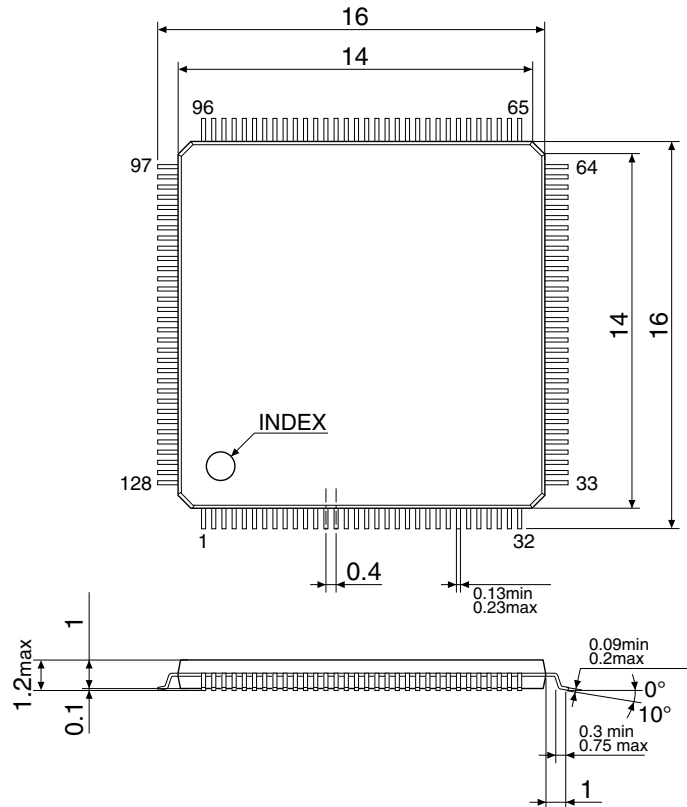
 $C_{RFC} = 1000pF$, $T_a = 25^\circ C$, Typ.値

8 パッケージ

8.1 プラスチックパッケージ

TQFP15-128pin

(単位: mm)

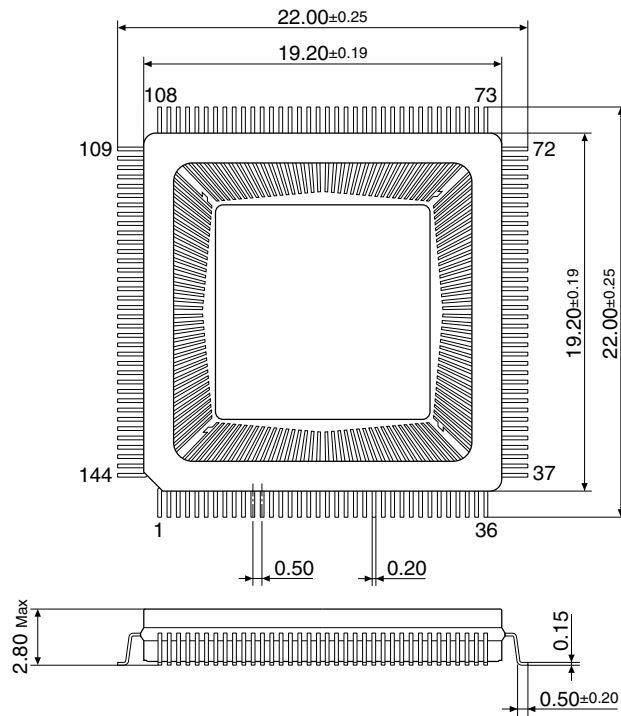


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

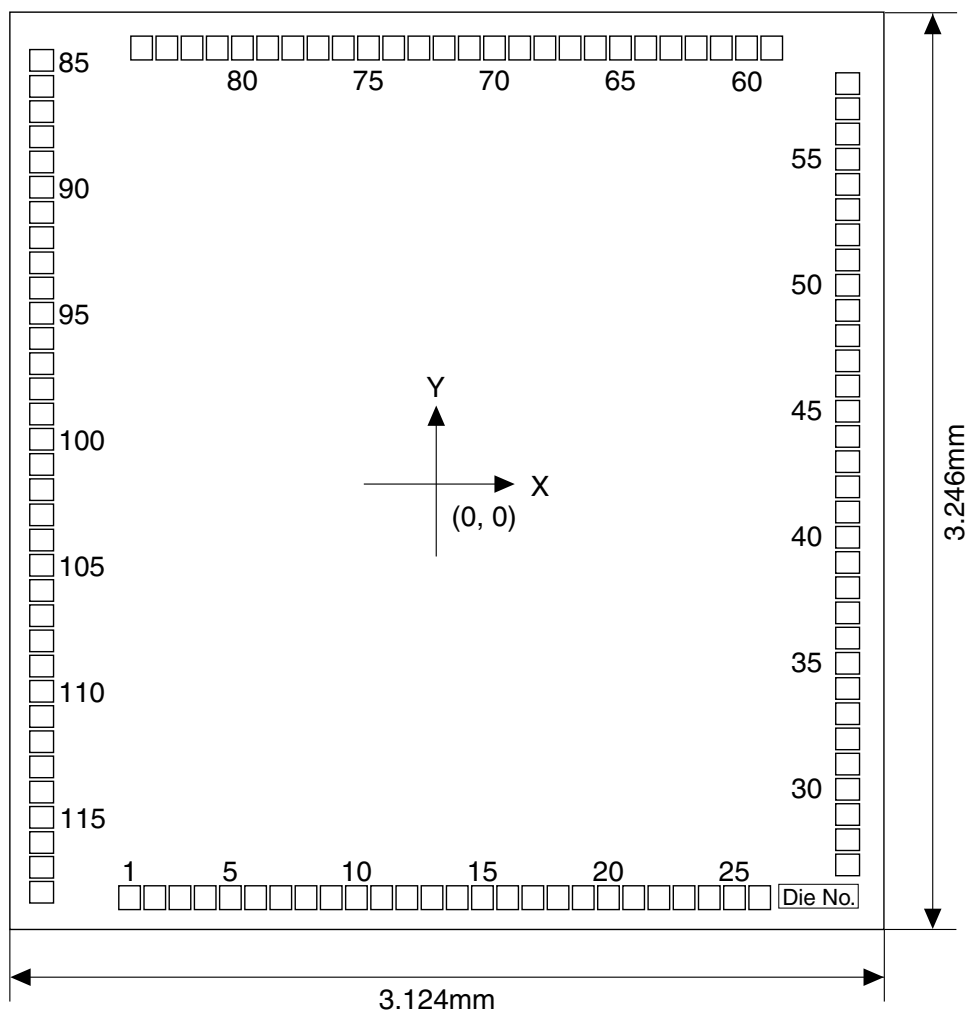
QFP17-144pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400μm
 パッド開口部: 77 × 85μm

9.2 パッド座標

単位: mm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	SEG18	-1.130	-1.532	41	CG	1.471	-0.145	81	RFIN1	-0.840	1.532
2	SEG19	-1.040	-1.532	42	CF	1.471	-0.055	82	REF1	-0.930	1.532
3	SEG20	-0.950	-1.532	43	CE	1.471	0.035	83	SEN1	-1.020	1.532
4	SEG21	-0.860	-1.532	44	CD	1.471	0.125	84	HUD	-1.110	1.532
5	SEG22	-0.770	-1.532	45	CC	1.471	0.215	85	COM0	-1.471	1.491
6	SEG23	-0.680	-1.532	46	CB	1.471	0.305	86	COM1	-1.471	1.401
7	SEG24	-0.590	-1.532	47	CA	1.471	0.395	87	COM2	-1.471	1.311
8	SEG25	-0.500	-1.532	48	Vc5	1.471	0.485	88	COM3	-1.471	1.221
9	SEG26	-0.410	-1.532	49	Vc4	1.471	0.575	89	COM4	-1.471	1.131
10	SEG27	-0.320	-1.532	50	Vc3	1.471	0.665	90	COM5	-1.471	1.041
11	SEG28	-0.230	-1.532	51	Vc2	1.471	0.755	91	COM6	-1.471	0.951
12	SEG29	-0.140	-1.532	52	Vc1	1.471	0.845	92	COM7	-1.471	0.861
13	SEG30	-0.050	-1.532	53	VDD	1.471	0.935	93	COM8	-1.471	0.771
14	SEG31	0.040	-1.532	54	OSC3	1.471	1.025	94	COM9	-1.471	0.681
15	SEG32	0.130	-1.532	55	OSC4	1.471	1.115	95	COM10	-1.471	0.591
16	SEG33	0.220	-1.532	56	Vss	1.471	1.205	96	COM11	-1.471	0.501
17	SEG34	0.310	-1.532	57	OSC1	1.471	1.295	97	COM12	-1.471	0.411
18	SEG35	0.400	-1.532	58	OSC2	1.471	1.532	98	COM13	-1.471	0.321
19	SEG36	0.490	-1.532	59	Vd1	1.140	1.532	99	COM14	-1.471	0.231
20	SEG37	0.580	-1.532	60	Vosc	1.050	1.532	100	COM15	-1.471	0.141
21	SEG38	0.670	-1.532	61	TEST	0.960	1.532	101	SEG0	-1.471	0.051
22	SEG39	0.760	-1.532	62	RESET	0.870	1.532	102	SEG1	-1.471	-0.039
23	COM31/SEG40	0.850	-1.532	63	P43/EVIN_D	0.780	1.532	103	SEG2	-1.471	-0.129
24	COM30/SEG41	0.940	-1.532	64	P42/EVIN_C	0.690	1.532	104	SEG3	-1.471	-0.219
25	COM29/SEG42	1.030	-1.532	65	P41/EVIN_B	0.600	1.532	105	SEG4	-1.471	-0.309
26	COM28/SEG43	1.120	-1.532	66	P40	0.510	1.532	106	SEG5	-1.471	-0.399
27	COM27/SEG44	1.471	-1.405	67	P23/SRDY/SS/FOUT	0.420	1.532	107	SEG6	-1.471	-0.489
28	COM26/SEG45	1.471	-1.315	68	P22/SIN	0.330	1.532	108	SEG7	-1.471	-0.579
29	COM25/SEG46	1.471	-1.225	69	P21/SOUT	0.240	1.532	109	SEG8	-1.471	-0.669
30	COM24/SEG47	1.471	-1.135	70	P20/SCLK	0.150	1.532	110	SEG9	-1.471	-0.759
31	COM23/SEG48	1.471	-1.045	71	P13/TOUT_A	0.060	1.532	111	SEG10	-1.471	-0.849
32	COM22/SEG49	1.471	-0.955	72	P12/EVIN_A	-0.030	1.532	112	SEG11	-1.471	-0.939
33	COM21/SEG50	1.471	-0.865	73	P11/RUN/LAP	-0.120	1.532	113	SEG12	-1.471	-1.029
34	COM20/SEG51	1.471	-0.775	74	P10/RUN/LAP	-0.210	1.532	114	SEG13	-1.471	-1.119
35	COM19/SEG52	1.471	-0.685	75	P03/RFOUT/BZ	-0.300	1.532	115	SEG14	-1.471	-1.209
36	COM18/SEG53	1.471	-0.595	76	VDD	-0.390	1.532	116	SEG15	-1.471	-1.299
37	COM17/SEG54	1.471	-0.505	77	P02/SEN0	-0.480	1.532	117	SEG16	-1.471	-1.389
38	COM16/SEG55	1.471	-0.415	78	P01/REF0	-0.570	1.532	118	SEG17	-1.471	-1.479
39	Vss	1.471	-0.325	79	P00/RFIN0	-0.660	1.532	-	-	-	-
40	Vd2	1.471	-0.235	80	Vss	-0.750	1.532	-	-	-	-

Appendix A Peripheral Circuit Board for S1C6F632

注: S1C63616のソフトウェア開発にはPeripheral Circuit Board for S1C6F632を使用します。
S1C63 Family Peripheral Circuit Board (S5U1C63000P6) にはS1C6F632用回路データをダウンロードしてください。

ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッキングツールであるICE (S5U1C63000H2/ S5U1C63000H6)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C6F632(S5U1C63000P6、S5U1C6F632P2)の使用方法を説明します。

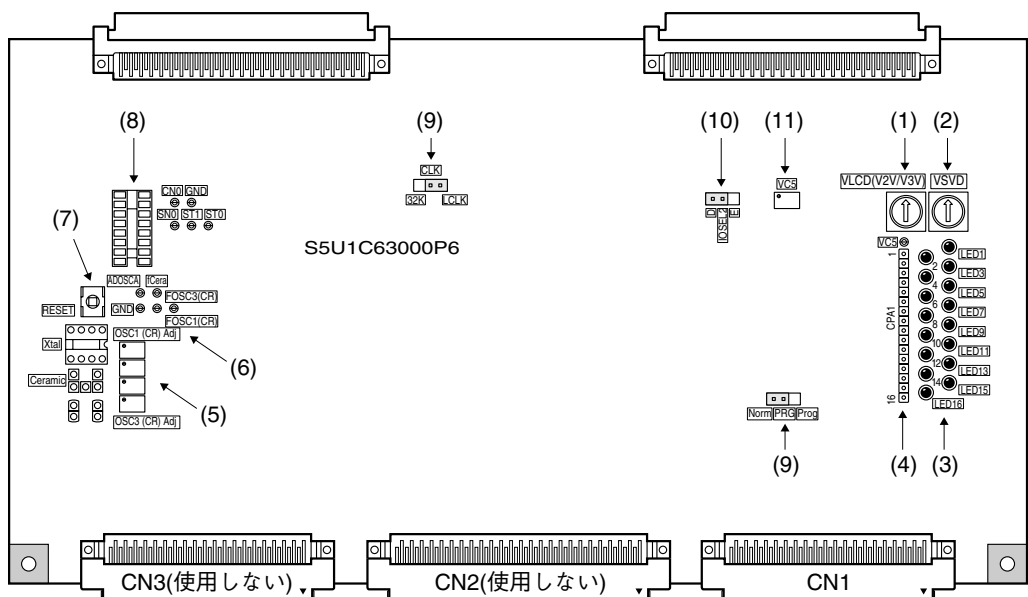
なお、本文はS1C63 Family Peripheral Circuit Board(S5U1C63000P6)にS1C6F632用回路データがダウンロードされているものについて適用されます。各機種用回路データのダウンロード方法については、A.3項を参照してください。また、ICEの機能、操作などの詳細については、S5U1C63000Hマニュアルを参照してください。

注: S5U1C63000P1は、S1C63616の開発には使用できません。

A.1 各部の名称と機能

A.1.1 S5U1C63000P6

S5U1C63000P6は、S1C63 FamilyマイクロコンピュータのコアCPU以外の周辺回路を提供する基板です。以下、各部の名称と機能について説明します。



(1)VLCD
使用しません。

(2) VSVD
電源電圧検出機能(SVD)の動作を確認するため、擬似的に電源電圧を変化させるボリュームです。

(3) レジスタモニタLED

以下の各レジスタに対応しており、"1"のとき点灯、"0"のとき消灯します。

OSCC, CLKCHG, DBON, HLON, VCSEL, VDSEL, VCHLMOD, VDHLMOD, SVDON,
SVDS0 ~ SVDS3

(4) レジスタモニタピン

以下の各レジスタに対応しており、“1”のときHIGHレベル、“0”のときLOWレベル出力となります。

モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *1	1	DONE *1
2	OSCC	2	OSCC
3	CLKCHG	3	CLKCHG
4	VDSEL	4	VDSEL
5	VCSEL	5	VCSEL
6	HLON	6	HLON
7	DBON	7	DBON
8	VCHLMOD	8	VCHLMOD
9	VDHLMOD	9	VDHLMOD
10	SVDON	10	SVDON
11	SVDS0	11	SVDS0
12	SVDS1	12	SVDS1
13	SVDS2	13	SVDS2
14	SVDS3	14	SVDS3
15	—	15	—
16	—	16	—

*1 DONE: 本ボードの初期化が正常に完了した場合にHIGHレベル出力、点灯します。

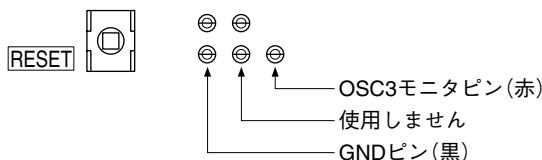
(5) CR発振周波数調整ボリューム

このボリュームによりOSC3発振周波数を調整することができます。マスクオプションによってOSC3をCR発振回路またはセラミック発振回路のどちらに設定した場合でも有効です。調整可能範囲は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、“7 電気的特性”を参照の上、適切な動作周波数を選択してください。



(6) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



(7) RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。

(8) 外付け部品接続ソケット

使用しません。

(9) CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままとなり、デバuggが起動しなくなることがあります。このような場合はICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定してから再度ICEの電源を投入します。これによりデバuggは起動可能になりますので、この状態で回路データをダウンロードしてください。回路データのダウンロード完了後はいったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(10) IOSEL2

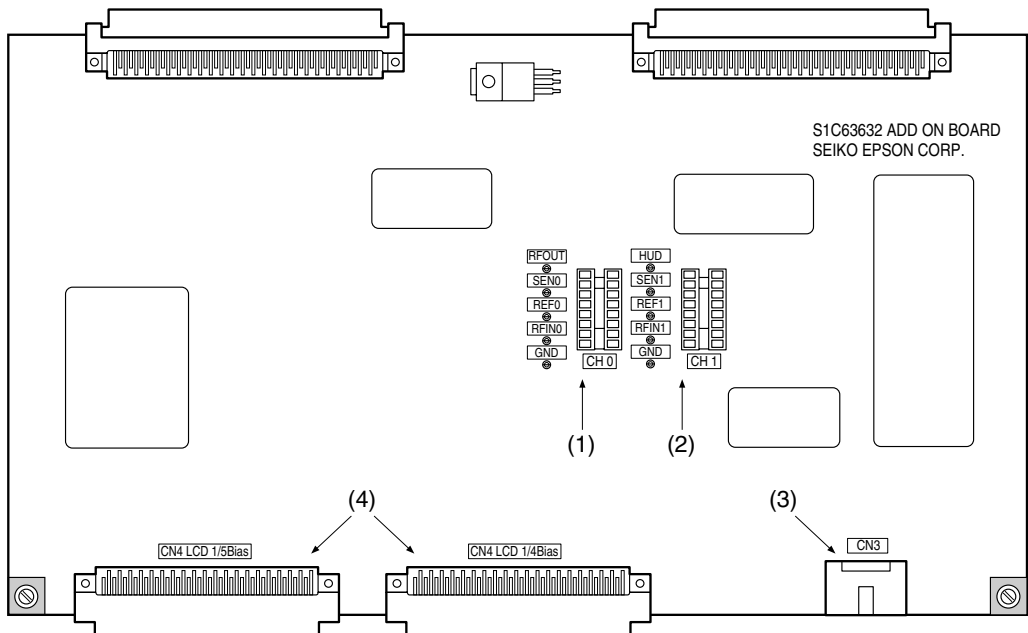
回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

(11) VC5

使用しません。

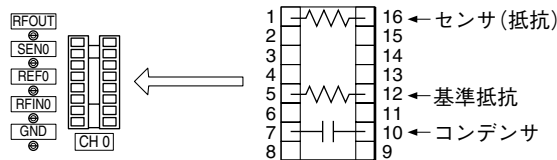
A.1.2 S5U1C6F632P2

S5U1C6F632P2は、サーミスタなどの抵抗性センサ、抵抗性湿度センサに対応したR/Fコンバータの機能とLCDドライバの機能を提供する基板です。以下、各部の名称と機能について説明します。



(1) R/Fコンバータモニタピン、外付け部品接続ソケット(チャンネル0)

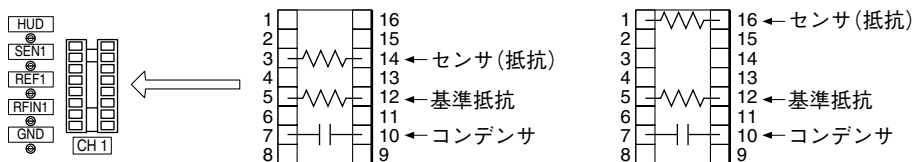
R/Fコンバータチャンネル0の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C6F632P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



サーミスタなどの抵抗性センサ
(DC印加)の接続

(2) R/Fコンバータモニタピン、外付け部品接続ソケット(チャンネル1)

R/Fコンバータチャンネル1の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C6F632P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



抵抗性湿度センサ
(AC印加)の接続

サーミスタなどの抵抗性センサ
(DC印加)の接続

使用するセンサにより、上記のように接続位置が変わります。
AC印加とDC印加の抵抗性センサを同時に接続すると誤動作の原因になります。

(3) CN3(P0 I/Oコネクタ)

P00 ～ P03ポートの信号を入出力するユーザインタフェースコネクタです。実ICでは、P00 ～ P03端子がR/Fコンバータチャンネル0用の端子も兼ねていますが、本ボードでは(1)のR/Fコンバータ用ソケット/モニタピンと別に用意されています。そのため、R/Fコンバータチャンネル0使用時は本コネクタを使用せず、開放としてください。

(4) CN4(LCDコネクタ)

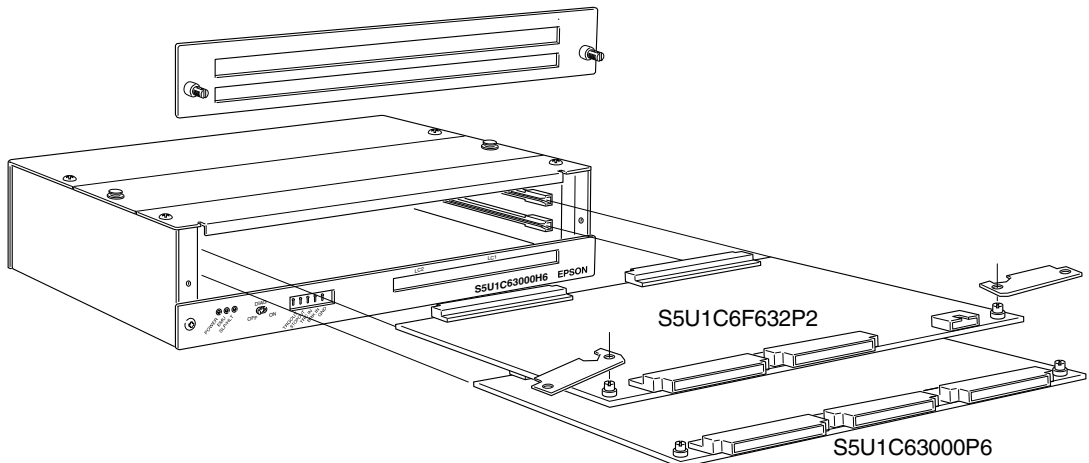
LCDドライバのCOM/SEG信号を出力するユーザインタフェースコネクタです。1/5バイアス用と1/4バイアス用の2つのコネクタが用意されていますので、必ずどちらか一方のターゲットシステムの仕様に合ったコネクタのみを使用してください。両方のコネクタへの同時接続は、誤動作や故障の原因になります。

A.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

S5U1C63000P6ボードをICEの上から2段目のスロットに、S5U1C6F632P2ボードを最上部のスロットに挿入します。

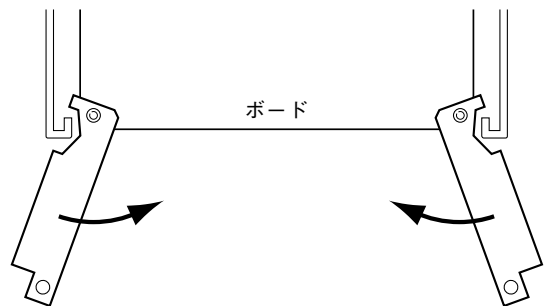
S5U1C63000P6に回路データがダウンロードされていない場合は、S5U1C6F632P2を挿入する前に、A.3項のダウンロードを行ってください。



図A.2.1 ICEへのボードの装着

S5U1C63000P6/6F632P2の装着

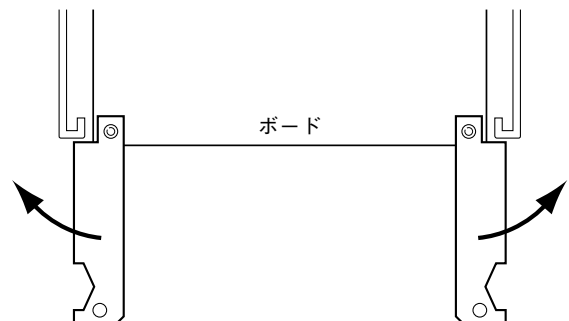
右図のようにICEに付属している治具をセットします。この治具をテコにして、内側に向かって左右均等に倒します。ボードがICEのスロット内に確実に納まったことを確認して、治具を外します。



図A.2.2 ボードの装着

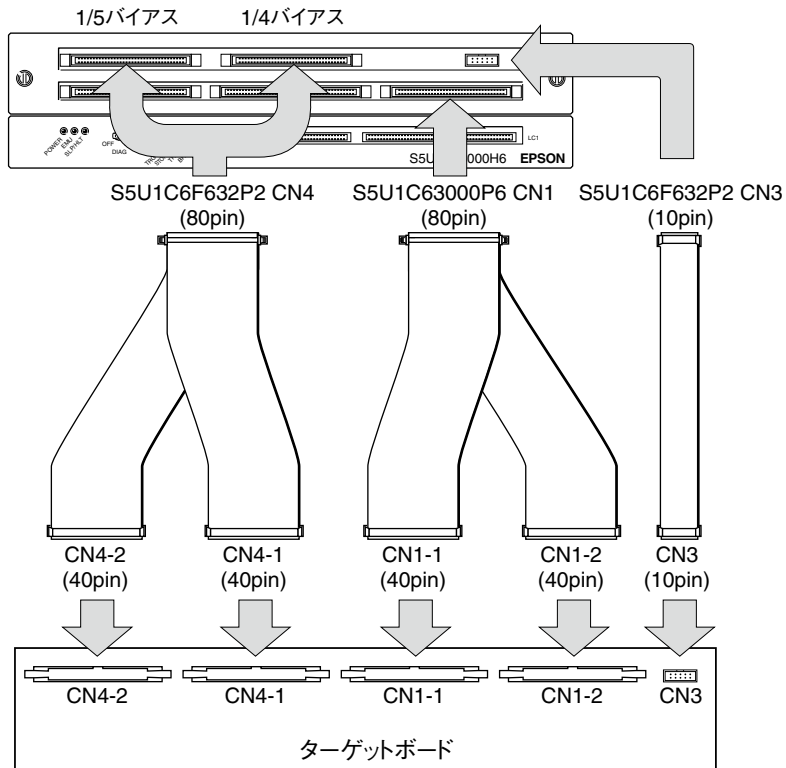
S5U1C63000P6/6F632P2の脱着

右図のようにICEに付属している治具をセットします。この治具をテコにして、外側に向かって左右均等に倒します。ボードがICEのバックボードコネクタから外れたことを確認して、ボードを引き出します。



図A.2.3 ボードの脱着

S5U1C63000P6、S5U1C6F632P2とターゲットシステムの接続は、添付のI/O接続ケーブルを用いて行います。なお、本コネクタには電源($V_{DD}=+3.3V$)が供給されていますので、ご注意ください。



図A.2.4 ターゲットシステムとの接続

表A.2.1 S5U1C63000P6 I/Oコネクタのピン配列表

40pin CN1-1コネクタ		40pin CN1-2コネクタ	
No.	端子名称	No.	端子名称
1	VDD (=3.3V)	1	VDD (=3.3V)
2	VDD (=3.3V)	2	VDD (=3.3V)
3	接続不可	3	接続不可
4	接続不可	4	接続不可
5	接続不可	5	接続不可
6	接続不可	6	接続不可
7	接続不可	7	接続不可
8	接続不可	8	接続不可
9	接続不可	9	接続不可
10	接続不可	10	接続不可
11	Vss	11	Vss
12	Vss	12	Vss
13	P10	13	接続不可
14	P11	14	接続不可
15	P12	15	接続不可
16	P13	16	接続不可
17	P20	17	接続不可
18	P21	18	接続不可
19	P22	19	接続不可
20	P23	20	接続不可
21	VDD (=3.3V)	21	VDD (=3.3V)
22	VDD (=3.3V)	22	VDD (=3.3V)
23	接続不可	23	接続不可
24	接続不可	24	接続不可
25	接続不可	25	接続不可
26	接続不可	26	接続不可
27	P40	27	接続不可
28	P41	28	接続不可
29	P42	29	接続不可
30	P43	30	接続不可
31	Vss	31	Vss
32	Vss	32	Vss
33	接続不可	33	接続不可
34	接続不可	34	接続不可
35	接続不可	35	接続不可
36	接続不可	36	接続不可
37	接続不可	37	接続不可
38	接続不可	38	RESET
39	Vss	39	Vss
40	Vss	40	Vss

表A.2.2 S5U1C6F632P2 I/Oコネクタのピン配列表

10pin CN3コネクタ		40pin CN4-1コネクタ		40pin CN4-2コネクタ	
No.	端子名称	No.	端子名称	No.	端子名称
1	V _{DD} (=3.3V)	1	COM0	1	SEG24
2	V _{DD} (=3.3V)	2	COM1	2	SEG25
3	P00	3	COM2	3	SEG26
4	P01	4	COM3	4	SEG27
5	P02	5	COM4	5	SEG28
6	P03	6	COM5	6	SEG29
7	接続不可	7	COM6	7	SEG30
8	接続不可	8	COM7	8	SEG31
9	V _{ss}	9	COM8	9	SEG32
10	V _{ss}	10	COM9	10	SEG33
		11	COM10	11	SEG34
		12	COM11	12	SEG35
		13	COM12	13	SEG36
		14	COM13	14	SEG37
		15	COM14	15	SEG38
		16	COM15	16	SEG39
		17	SEG0	17	接続不可
		18	SEG1	18	接続不可
		19	SEG2	19	接続不可
		20	SEG3	20	接続不可
		21	SEG4	21	接続不可
		22	SEG5	22	接続不可
		23	SEG6	23	接続不可
		24	SEG7	24	接続不可
		25	SEG8	25	COM31/SEG40
		26	SEG9	26	COM30/SEG41
		27	SEG10	27	COM29/SEG42
		28	SEG11	28	COM28/SEG43
		29	SEG12	29	COM27/SEG44
		30	SEG13	30	COM26/SEG45
		31	SEG14	31	COM25/SEG46
		32	SEG15	32	COM24/SEG47
		33	SEG16	33	COM23/SEG48
		34	SEG17	34	COM22/SEG49
		35	SEG18	35	COM21/SEG50
		36	SEG19	36	COM20/SEG51
		37	SEG20	37	COM19/SEG52
		38	SEG21	38	COM18/SEG53
		39	SEG22	39	COM17/SEG54
		40	SEG23	40	COM16/SEG55

A.3 S5U1C63000P6へのダウンロード

注: S1C6F632用回路データはS5U1C63000P6専用で、従来のS5U1C63000P1にはダウンロードできません。

A.3.1 新ICE (S5U1C63000H2/S5U1C63000H6) 使用時における回路データのダウンロード

S5U1C63000P6には、工場出荷時に出荷検査用回路が書き込まれておりますので、S1C6F632の回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) ICE(S5U1C63000H2/S5U1C63000H6) 上面のカバーを外し、S5U1C63000P6ボード上のDIPスイッチIOSEL2を"E"側にセットします。
- 2) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 3) アセンブラパッケージ(S5U1C63000H2の場合はVer. 5以上、S5U1C63000H6の場合はVer. 9以上)に含まれるデバッガを起動します。ICEとデバッガの操作方法については、ICEに添付のマニュアルと、アセンブラパッケージに付属のマニュアルを参照してください。
- 4) 各回路データファイル(～.mot)を本ボードにダウンロードします。デバッガのコマンドウィンドウから以下のように入力してください。

```
>XFER                (オールイレーズ)
>XFWR <file name>    (指定ファイルのダウンロード)*
>XFCP <file name>    (指定ファイルとダウンロードデータの比較)
```

* ダウンロードはS5U1C63000H2の場合は15分程度、S5U1C63000H6の場合は3分程度かかります。

- 5) デバッガを終了させ、ICEの電源を一旦切ります。
- 6) S5U1C63000P6ボード上のDIPスイッチIOSEL2を"D"側にセットします。
- 7) ICEの電源を再投入し、デバッガを起動し直してご使用ください。

A.3.2 旧ICE (S5U1C63000H1) 使用時における回路データのダウンロード

標準の旧ICE (S5U1C63000H1) は、S5U1C63000P6の回路データダウンロード機能に対応していませんので、以下の手順に従ってICEのファームウェアを更新してください。

- 1) ICEのボーレート(DIPスイッチ)を9600bpsに設定します。DIPスイッチについては、ICEに添付されているマニュアルを参照してください。
- 2) ICEをホストPCと接続し、ホストPCをDOSで立ち上げます。Windowsを使用中の場合は、DOSモードで立ち上げ直してください。

注: WindowsのDOSプロンプトは使用しないでください。

- 3) ICEに電源を投入します。

- 4) 以下のようにホストPCのRS232Cプロトコルを設定します。

```
C:¥>MODE COM1:9600,n,8,1,p (9600bps, 8bits, 1stop bit, no parity)
```

- 5) アセンブラパッケージ(Ver. 5以上)に含まれる以下の各ファイルを適当なディレクトリにおきます。

```
tm63.exe, ice63.com, i63com.o, i63par
```

- 6) 5)のディレクトリに移行し、以下のようにTM63を起動します。TM63はコマンド待ち状態になりますので、以下のように入力します。

```
C:¥>tm63 xat ☐
TM63 start on IBM PC
TM63 start V01.01
>dlf ice63.com i63com.o i63par 0b ☐
...
>q ☐
```

- 7) プロンプトが表示されたら、"q"を入力してTM63を終了させてください。
- 8) 以上でファームウェアが更新されました。一旦ICEの電源を切り、上記A.3.1項の手順に従って回路データのダウンロードを行ってください。

A.4 使用上の注意

Peripheral Circuit Boardを正しく使用していただくために、以下の事項に注意してください。

A.4.1 操作上の注意事項

- (1) ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入出力兼用ポート(P10～P13)をすべてHIGHレベルにした状態で、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

A.4.2 実ICとの相違点

(1) I/Oについての相違

〈インタフェース電源〉

S5U1C63000P6とターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

〈各出力ポートの駆動能力〉

S5U1C63000P6における各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7 電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

〈各ポートの保護ダイオード〉

すべてのI/Oポートには保護用ダイオードがV_{DD}とV_{SS}に対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、V_{DD}を超える電圧レベルとのインタフェースをとることはできません。

〈プルダウン抵抗値〉

S5U1C63000P6のプルダウン抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"7 電気的特性"を参照して確認してください。
 なお、プルダウン抵抗を使用して入力端子をLOWレベルに引き下げる場合などにおいて、LOWレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせるキーマトリクス回路を構成した場合は、入力ポートの立ち下がりディレイに相違が発生しますので十分な注意が必要です。

〈シュミット入力〉

実際のICの入出力兼用ポートはシュミット入力に設定可能ですが、S5U1C63000P6は対応していません。ポート入力はすべてCMOSレベルになります。

(2) 消費電流についての相違

S5U1C63000P6の消費電流は実際のICと大きく異なります。S5U1C63000P6上のLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあげられます。

〈LED、モニタピンなどで確認が可能なもの〉

- a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b) OSC3発振ON/OFF(OSCC)
- c) CPUクロック切り換え(CLKCHG)
- d) SVD回路ON/OFF回路(SVDON)

〈システム、ソフトウェア上注意するしかないもの〉

- e) 内蔵プルダウン抵抗により消費される電流
- f) 入力ポートがフローティング状態

(3) 機能上の相違

〈LCDドライバ〉

LCD駆動波形は、S5U1C6F632P2ボード上に実装されたS1C6F632チップで生成しています。なお、S1C6F632チップは1/4バイアス駆動用と1/5バイアス駆動用に2個搭載されており、マスクオプションの選択にかかわらず、S5U1C6F632P2ボードの1/4バイアス用CN4コネクタと1/5バイアス用CN4コネクタの両方に駆動波形が出力されます。ターゲットボードは、必ずアプリケーションで使用する駆動バイアス用コネクタに接続してください。

〈SVD回路〉

- SVD機能は、S5U1C63000P6上のVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。ただし、S5U1C63000P6は8値(0000B～0111B)の検出にのみ対応しており、SVDS3レジスタの設定は無視されます(例: SVDS=1111Bと0111Bでは同じ判定結果になります)。SVDS3の値については、モニタLEDで確認してください。
- SVD回路の電源をONしてから実際に電圧を検出するまでに実際のICではディレイ時間が発生しますが、S5U1C63000P6にはディレイ時間がありません。SVD結果を読み出す際には、“7 電気的特性”を参照して、適切なウェイト時間を設定してください。

〈発振回路〉

- OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、“7 電気的特性”を参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に行った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、OSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- マスクオプションによってOSC3発振回路にセラミック発振を選択した場合でも、S5U1C63000P6はCR発振回路でOSC3クロックを生成します。

〈未定義アドレス空間のアクセス〉

S1C63616内蔵のROM/RAM、I/Oの未定義空間に対して、読み出し/書き込みを行った場合、その値は不定となります。また、S5U1C63000P6と実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICEは、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

〈リセット回路〉

ICEおよびS5U1C63000P6、S5U1C6F632P2に電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してからプログラムが動作するまでのシーケンスと異なりますので、注意してください。S5U1C63000P6では、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモード*に設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、S5U1C63000P6上のリセットスイッチ、リセット端子入力、入力ポートの同時HIGHレベル保持のいずれかになります。
(*フリーランモード: S5U1C63000H1/2の場合のみ使用可能)

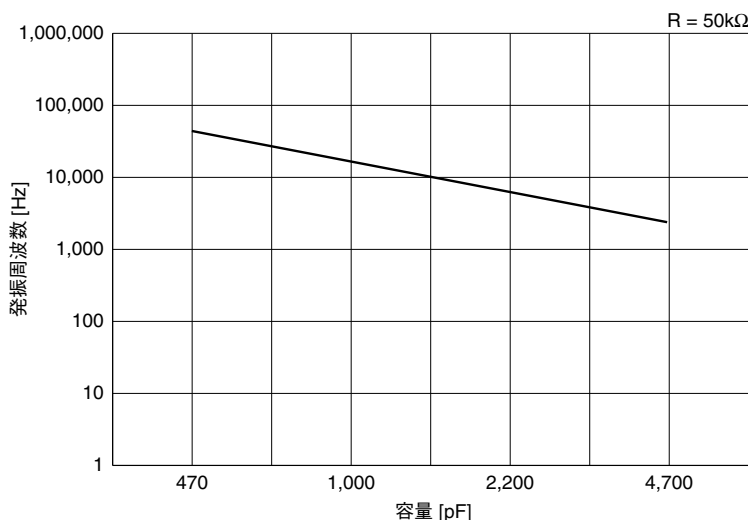
〈入出力兼用ポート〉

- P1xポートのキー同時押しリセットオプションを有効にした端子は出力モードに設定しないでください。S5U1C63000P6、S5U1C6F632P2ではリセットが発生することがあります。
- 出力モードに設定した入出力兼用ポートの入力割り込みや周辺回路用の入力機能を有効にしないでください。S5U1C63000P6、S5U1C6F632P2では割り込み処理などが実行される場合があります。

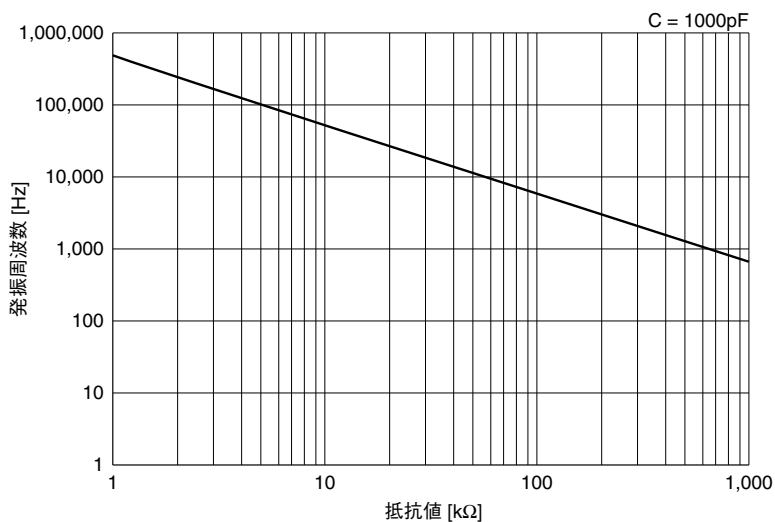
〈R/Fコンバータ〉

- R/Fコンバータ機能は、S5U1C6F632P2ボード上に実装されたS1C6F632チップにより提供されます。
- R/Fコンバータが発振のカウント中に、デバッグによってターゲットプログラムがブレークしても、計測カウンタのカウントは停止しません。この状態からプログラムの実行を再開しても、正しい変換結果は得られません。
- S5U1C6F632P2上のR/Fコンバータの発振特性グラフ(参考値)を以下に示します。

R/Fコンバータ発振周波数-容量特性(参考値)



R/Fコンバータ発振周波数-抵抗特性(参考値)



A.5 製品の仕様

A.5.1 S5U1C63000P6の仕様

■ S5U1C63000P6

寸法: 254mm(横)×144.8mm(奥行き)×16mm(高さ) (ネジ含む)
重量: 約250g
電源: DC5V±5%、1A以下(ICE本体より供給)

■ I/Oケーブル(80pin)

本機側コネクタ: KEL8830E-080-170L-F
ケーブル側コネクタ(80pin): KEL8822E-080-171-F
ケーブル側コネクタ(40pin): 3M7940-6500SC(2個/1組)
ケーブル: 40芯フラットケーブル(2本/1組)
インタフェース: CMOSインタフェース(3.3V)
長さ: 約40cm

■ I/Oケーブル(100pin)

本機側コネクタ: KEL8830E-100-170L-F
ケーブル側コネクタ(100pin): KEL8822E-100-171-F
ケーブル側コネクタ(50pin): 3M7950-6500SC(2個/1組)
ケーブル: 50芯フラットケーブル(2本/1組)
インタフェース: CMOSインタフェース(3.3V)
長さ: 約40cm

■ 付属品

ターゲットシステム接続コネクタ(40pin):
3M3432-6002LCPL×2
ターゲットシステム接続コネクタ(50pin):
3M3433-6002LCPL×2

A.5.2 S5U1C6F632P2の仕様

■ S5U1C6F632P2

寸法: 254mm(横)×144.8mm(奥行き)×13mm(高さ) (ネジ含む)
重量: 約170g
電源: DC5V±5%、50mA以下
(ICE本体より供給、本ボード上レギュレータにて3.3Vに変換)

■ I/Oケーブル(80pin)

本機側コネクタ: KEL8830E-080-170L-F
ケーブル側コネクタ(80pin): KEL8822E-080-171-F
ケーブル側コネクタ(40pin): 3M7940-6500SC(2個/1組)
ケーブル: 40芯フラットケーブル(2本/1組)
インタフェース: CMOSインタフェース(3.3V)
長さ: 約40cm

■ I/Oケーブル(10pin)

本機側コネクタ: 3M3654-5002-PL
ケーブル側コネクタ(10pin): 3M7910-6500SC
ケーブル: 10芯フラットケーブル
インタフェース: CMOSインタフェース(3.3V)
長さ: 約40cm

■ 付属品

ターゲットシステム接続コネクタ(40pin):
3M3432-6002LCPL×2
ターゲットシステム接続コネクタ(10pin):
3M3662-6002LCPL×1
R/Fコンバータ外付け抵抗、コンデンサ用プラットフォーム:
DIS12-016-403(KEL製)×2

改訂履歴表

付ー1

Rev. No.	日付	ページ	種別	改訂内容(旧内容を含む) および改訂理由
Rev. 1.0	2011/03/09	全ページ	新規	新規制定

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
