

S2S65A30

SDMMC インタフェース

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施件の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。
7. 本資料に含まれているSDホスト機能に関する情報は、SD Associationのwebsiteで公開されているSimplified Specificationに基づいています。（SD Association website: <http://www.sdcards.org/>）

目 次

A3.1 概要	1
A3.2 特徴	1
A3.3 ブロック図	2
A3.4 機能説明	3
A3.4.1 CPUインタフェース	3
A3.4.2 DMAインタフェース	3
A3.4.3 カード検出	3
A3.4.4 内蔵FIFOコントローラ	3
A3.5 初期設定について	4
A3.5.1 GPIOの設定	4
A3.5.2 クロックの設定	4
A3.6 レジスタマップ	5
A3.7 機能説明	6
A3.7.1 共通基本機能	6
A3.7.1.1 CMDラインのみ使用するコマンドの送信	6
A3.7.1.1.1 コマンド送信時に設定するレジスタ	6
A3.7.1.1.2 レスポンスを伴わないコマンドの動作説明	7
A3.7.1.1.3 レスポンスを伴うコマンドの動作説明	7
A3.7.1.2 RespBusyを伴うコマンドの送信	8
A3.7.1.2.1 コマンド送信時に設定するレジスタ	8
A3.7.1.2.2 RespBusyの動作説明	9
A3.7.1.3 データ転送を伴うコマンドの送信	10
A3.7.1.3.1 コマンド送信時に設定するレジスタ	10
A3.7.1.3.2 リード転送の動作説明	12
A3.7.1.3.3 ライト転送の動作説明	14
A3.7.1.3.4 RespBusyを伴うライト転送の動作説明	16
A3.7.1.4 Auto系コマンド	18
A3.7.1.4.1 AutoCMD55 機能	18
A3.7.1.4.1.1 AutoCMD55 使用時に設定するレジスタ	18
A3.7.1.4.1.2 AutoCMD55 の動作説明概要	18
A3.7.1.4.1.3 AutoCMD55 の動作説明詳細	18
A3.7.1.4.2 AutoCMD12 機能	20
A3.7.1.4.2.1 AutoCMD12 使用時に設定するレジスタ	20
A3.7.1.4.2.2 AutoCMD12 の動作説明概要	20
A3.7.1.4.2.3 AutoCMD12 の動作説明詳細	20
A3.7.2 個別特殊機能	22
A3.7.2.1 Abortコマンド発行による、データ転送の終了方法	22
A3.7.2.2 WaitCCS機能の使用方法 (CE-ATA ドライブ専用)	23
A3.7.2.2.1 コマンド送信時に設定するレジスタ	23
A3.7.2.2.2 WaitCCSモードでの動作説明詳細	23
A3.7.2.2.3 WaitCCSモード中のAbortコマンド発行	23
A3.7.3 FIFOへのアクセス方法	24
A3.7.3.1 リード転送時のFIFOアクセス	24
A3.7.3.2 ライト転送時のFIFOアクセス	25
A3.8 内蔵レジスタ	26
A3.8.1 レジスタ詳細説明	26

A3.8.1.1 00h BlkSize (Transfer Block Size)	26
A3.8.1.2 04h BlkCnt_0 (Transfer Block Count 0)	27
A3.8.1.3 06h BlkCnt_1 (Transfer Block Count 1)	27
A3.8.1.4 08h Argument_0 (Command Argument 0)	29
A3.8.1.5 0Ah Argument_1 (Command Argument 1)	29
A3.8.1.6 0Ch TransferMode (Transfer Mode)	30
A3.8.1.7 0Eh Command (Command)	31
A3.8.1.8 10h Response_0 (Command Response 0)	33
A3.8.1.9 12h Response_1 (Command Response 1)	33
A3.8.1.10 14h Response_2 (Command Response 2)	33
A3.8.1.11 16h Response_3 (Command Response 3)	33
A3.8.1.12 18h Response_4 (Command Response 4)	33
A3.8.1.13 1Ah Response_5 (Command Response 5)	33
A3.8.1.14 1Ch Response_6 (Command Response 6)	33
A3.8.1.15 1Eh Response_7 (Command Response 7)	33
A3.8.1.16 28h PresentStateCard (Present State Card)	35
A3.8.1.17 2Ah PresentStateBus (Present State Bus)	36
A3.8.1.18 2Ch HostConfig (Host Config)	37
A3.8.1.19 2Eh HostOperation (Host Operation)	38
A3.8.1.20 30h ClockControl (Clock Control)	39
A3.8.1.21 32h TimeoutControl (Timeout Control)	40
A3.8.1.22 34h SoftwareReset (Software Reset)	41
A3.8.1.23 36h TEST_Mode (TEST Mode)	42
A3.8.1.24 38h TimeoutCnt_0 (Timeout Count 0)	43
A3.8.1.25 3Ah TimeoutCnt_1 (Timeout Count 1)	43
A3.8.1.26 40h NormIntStat (Normal Interrupt Status)	44
A3.8.1.27 42h ErrIntStat (Error Interrupt Status)	47
A3.8.1.28 44h NormIntFactEnb (Normal Interrupt Factor Enable)	48
A3.8.1.29 48h NormIntEnb (Normal Interrupt Enable)	49
A3.8.1.30 4Ah ErrIntEnb (Error Interrupt Enable)	49
A3.8.1.31 4Ch AutoCMD12ErrStat (AutoCM12 Error Status)	50
A3.8.1.32 4Eh AutoCMD55ErrStat (AutoCMD55 Error Status)	51
A3.8.1.33 0h ExArgument_0 (External Command Argument 0)	52
A3.8.1.34 0B52h ExArgument_1 (External Command Argument 1)	52
A3.8.1.35 60h FIFO_Rd (FIFO Read Data Word)	53
A3.8.1.36 62h FIFO_Wr (FIFO Write Data)	54
A3.8.1.37 64h FIFO_RdRemain (FIFO Read Remain)	55
A3.8.1.38 66h FIFO_WrRemain (FIFO Write Remain)	56
A3.8.1.39 68h FIFO_BytRd (FIFO Read Data Byte)	57
A3.8.1.40 6Ah FIFO_BytWr (FIFO Wite Data Byte)	58
A3.8.1.41 6Ch FIFO_Join (FIFO Join)	59
A3.8.1.42 80h DREQ_Mode (DREQ Mode)	60
A3.9 SDバスACタイミング	61

Appendix3 SDMMC インタフェース

A3.1 概要

SDMMC インタフェースは、SD メモリカードまたは MultiMediaCard（以降メディア）に対し、リード／ライト動作を制御するコントローラです。ファームウェアを組み込むことにより、メディアのコマンド等を意識することなく、メディアへの書き込み・読み出しを実現することができます。SDMMC インタフェースには 512 バイトの FIFO を内蔵しております。

A3.2 特徴

SD メモリカードインターフェース

- SD メモリカード“SD Specification Part 1 Physical Layer Specification 2.00”準拠
- 1 ビット／4 ビット インタフェースサポート
- High Capacity SD Memory Card（メモリ容量 2GB 超）をサポート

MultiMediaCard インタフェース

- MultiMediaCard “System Specification 4.2”準拠
- 1 ビット／4 ビット MultiMediaCard モードインターフェースサポート

なお S2S65A30 に搭載されている SDMMC 機能は、SPI モードをサポートしていません。

A3.3 ブロック図

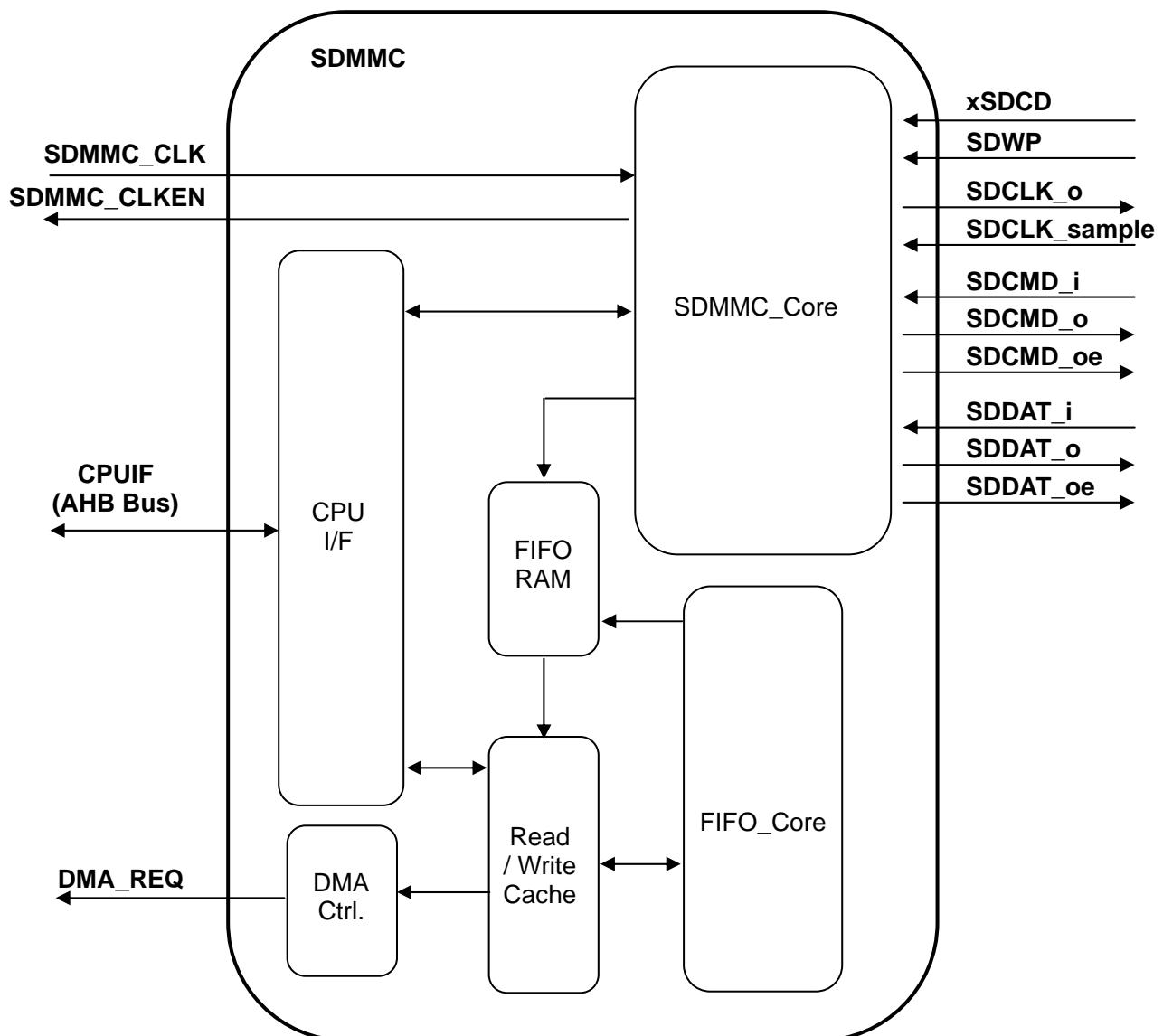


図 A3.3.1 SDMMC Controller Block Diagram

A3.4 機能説明

A3.4.1 CPUインターフェース

SDMMC は内部 AHB バスを介して S2S65A30 内蔵 CPU コア(ARM720T)と接続します。
SDMMC インタフェース回路は 16bit デバイスですので、8/16 bit のアクセスサイズで本回路への
Read/Write を行って下さい。

A3.4.2 DMAインターフェース

SDMMC インタフェースは S2S65A30 内蔵 DMA コントローラ 3 を用いて DMA 転送する事により、高速書き込み/読み出しが可能になります。
また、SDMMC インタフェースおよび DMA コントローラ 3 の双方に設定することにより、1 回の DMA
要求に対して 32Byte のデータを転送する高速 DMA 転送機能が利用可能となります。

A3.4.3 カード検出

SDMMC インタフェースは SDMMC_Core モジュールによりカードの検出が可能です。
SDMMC_Core モジュールは xSDCD 信号の変化を検出する機能と、本信号がある一定時間安定したこ
とを検出するための機構が設けられています。

A3.4.4 内蔵FIFOコントローラ

SDMMC インタフェースには 512Byte の FIFO メモリおよびその制御回路を内蔵しております。

A3.5 初期設定について

A3.5.1 GPIOの設定

S2S65A30 では、SDMMC インタフェース信号用の端子を、他の信号と共に用いています。SDMMC インタフェースを使用する場合は、以下のレジスタ設定をして下さい。

GPIOH 端子機能レジスタ (Address : 0xFFFF_103C)	設定値 : 0xFFFF
GPIOI 端子機能レジスタ (Address : 0xFFFF_1044)	設定値 : 0x0003

この設定により、以下の通り SDMMC インタフェース信号が端子に割り当てられます。

表 A3.5.1 SDMMC インタフェース信号の割り当て

S2S65A30 端子名	SDMMC インタフェース信号名
CFCE2#	SDDATA0
CFCE1#	SDDATA1
CFIORD#	SDDATA2
CFIOWR#	SDDATA3
CFWAIT#	SDCMD
CFRST	SDCLK
CFIRQ	SDCD#
CFSTSCHG#	SDWP
CFDEN#	SDGPO

S2S65A30 は、SDMMC インタフェース信号に割り当てている端子に、プルアップ抵抗を内蔵しています。内蔵のプルアップ抵抗を使用する場合は、以下のレジスタ設定してください。

GPIOH Resistor Control Register (Address : 0xFFFF_D054)	設定値 : 0x0000
GPIOI Resistor Control Register (Address : 0xFFFF_D058)	設定値 : 0x0000

A3.5.2 クロックの設定

SDMMC インタフェースへは S2S65A30 システムクロックが供給されます。SDMMC インタフェースを使用する場合にはシステムコントローラのレジスタを設定することにより SDMMC インタフェースのクロック供給を開始する必要があります。

システムコントローラ内レジスタ(SYS[0x14]) :
IO Clock Control Register (Address : 0xFFFF_D014) 設定値 : bit 2 を 1

A3.6 レジスタマップ

SDMMC インタフェースコントロールレジスタが配置されているデフォルトのベースアドレスは、0xFFFFD_F200 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 A3.6.1 SDMMC レジスタマップ

アドレス オフセット	レジスタ名称	レジスタ 略号	初期値	R/W	アクセス サイズ
SDMMC インタフェースコントロールレジスタ(ベースアドレス:0xFFFFD_D200)					
0x000	Transfer Block Size Register	BlkSize_H	0x0000	R/W	16/8 bit
0x002	Reserved	—	—	—	—
0x004	Transfer Block Count_0 Register	BlkCnt_0	0x0000	R/W	16/8 bit
0x006	Transfer Block Count_1 Register	BlkCnt_1	0x0000	R/W	16/8 bit
0x008	Command Argument 0 Register	Argument_0	0x0000	R/W	16/8 bit
0x00A	Command Argument 1 Register	Argument_1	0x0000	R/W	16/8 bit
0x00C	Transfer Mode Register	TransferMode_0	0x0000	R/W	16/8 bit
0x00E	Command Register	Command_0	0x0000	R/W	16/8 bit
0x010	Command Response 0 Register	Response_0	0x0000	RO	16/8 bit
0x012	Command Response 1 Register	Response_1	0x0000	RO	16/8 bit
0x014	Command Response 2 Register	Response_2	0x0000	RO	16/8 bit
0x016	Command Response 3 Register	Response_3	0x0000	RO	16/8 bit
0x018	Command Response 4 Register	Response_4	0x0000	RO	16/8 bit
0x01A	Command Response 5 Register	Response_5	0x0000	RO	16/8 bit
0x01C	Command Response 6 Register	Response_6	0x0000	RO	16/8 bit
0x01E	Command Response 7 Register	Response_7	0x0000	RO	16/8 bit
0x020-026	Reserved	—	—	—	—
0x028	Present State Card Register	PresentStateCard	0x000X	R/W	16/8 bit
0x02A	Present State Bus Register	PresentStateBus	0xX0XX	RO	16/8 bit
0x02C	Host Config Register	HostConfig	0x0000	R/W	16/8 bit
0x02E	Host Operation Register	HostOperation	0x000X	R/W(WO)	16/8 bit
0x030	Clock Control Register	ClockControl	0x0000	R/W	16/8 bit
0x032	Timeout Control Register	TimeoutControl	0x0000	R/W	16/8 bit
0x034	Software Reset Register	SoftWareReset	0x000X	WO	16/8 bit
0x036	TEST Mode	TEST_Mode	0x0000	R/W	16/8bit
0x038	Timeout Conunt 0 Register	TimeoutCnt_0	0x0000	R/W	16/8 bit
0x03A	Timeout Couunt 1 Register	TimeoutCnt_1	0x0000	R/W	16/8 bit
0x03C-03E	Reserved	—	—	—	—
0x040	Normal Interrupt Status Register	NormalStat	0x0000	R/W(RO)	16/8 bit
0x042	Error Interrupt Status	ErrIntStat	0x0000	R/W(RO)	16/8 bit
0x044	Normal Interrupt Factor Enable Register	NormIntFactEnb	0x0000	R/W	16/8 bit
0x046	Reserved	—	—	—	—
0x048	Normal Interrupt Enable Register	NormIntEnb	0x0000	R/W	16/8 bit
0x04A	Error Interrupt Enable Register	ErrIntEnb	0x0000	R/W	16/8 bit
0x04C	AutoCMD12 Error Status Register	AutoCMD12ErrStat	0x0000	R/W	16/8 bit
0x04E	AutoCMD55 Error Status Register	AutoCMD55ErrStat	0x0000	R/W	16/8 bit
0x050	External Command Argument 0 Register	ExArgument_0	0x0000	R/W	16/8 bit
0x052	External Command Argument 1 Register	ExArgument_1	0x0000	R/W	16/8 bit
0x054-05C	Reserved	—	—	—	—
0x060	FIFO Read Register	FIFO_Rd	0xFFFFXX	RO	16/8 bit
0x062	FIFO Write Register	FIFO_Wr	0xFFFFXX	WO	16/8 bit
0x064	FIFO Read Remaining Register	FIFO_RdRemain	0x0000	RO	16/8 bit
0x066	FIFO Write Remaining Register	FIFO_WrRemain	0x0000	RO	16/8 bit
0x068	FIFO Byte Read Register	FIFO_BytRd	0x00XX	RO	16/8 bit
0x06A	FIFO Byte Write Register	FIFO_BytWr	0x00XX	WO	16/8 bit
0x06C	FIFO Join Register	FIFO_Join	0x0000	R/W	16/8 bit
0x070-07C	Reserved	—	—	—	—
0x080	DMA Request Threshold Register	Dreq_Threshold	0x0000	R/W	16/8 bit
0x82-0FC	Reserved	—	—	—	—

A3.7 機能説明

A3.7.1 共通基本機能

A3.7.1.1 CMDラインのみ使用するコマンドの送信

A3.7.1.1.1 コマンド送信時に設定するレジスタ

カードへコマンドを送信する場合は、表A3.7.1に示すレジスタにカード規格書に記載されているコマンドフォーマットを元に値をセットしてください。SDMMCホストコントローラは、Commandレジスタの上位Byteに書き込みが発生すると、カードへのコマンド送信が開始されます。したがって、Commandレジスタへの書き込みは、一番最後に行ってください。コマンド送信中は、PresentStateBus.CMD_TranActビットに“1”がセットされます。PresentStateBus.CMD_TranActビットに“1”がセットされている間は、表A3.7.1に示すレジスタを変更しないで下さい。

表 A3.7.1 コマンド送信時に必要な設定レジスタ

レジスタ	ビット	説明
Argument_0	CmdArg[31:0]	コマンドの Argument を指定します。 カード規格書記載のコマンド定義を参照し、設定して下さい。
Argument_1		
TransferMode	AutoCMD55	カード規格書記載の APP_CMD を自動で送信する機能です。 本機能を使用しない場合は、“0”を設定して下さい。 AutoCMD55 の使用方法は、A3.7.1.4.1章を参照してください。
Command	CmdType	コマンドのタイプを設定します。 00b : Normal コマンド、 01b : Reserved 10b : Reserved、 11b : Abort コマンド 送信するコマンドが、Normal コマンドの場合は、“00b”を設定して下さい。
	UseDAT_Line	データ転送を伴うコマンドかどうかを設定します。 データ転送を伴わないコマンドの場合は、“0”を設定して下さい。
	RespIndexChk	レスポンスのチェックの有無を設定します。
	RespCRC_Chk	カード規格書記載のレスポンス定義を参照し、設定して下さい。
	RespTimeoutChk	
	ResponseType	レスポンスのタイプを設定します。 00b : レスポンス無し、 01b : 136bit レスポンス 10b : 48bit レスポンス、 11b : RespBusy カード規格書記載のレスポンス定義を参照し、設定して下さい。
	WaitCCS	CE-ATA ドライブ用のモードです。 CE-ATA ドライブを使用しない場合は、“0”を設定して下さい。
	Resp	MMC カードの Interrupt Mode 用の機能です。 Interrupt Mode を使用しない場合は、“0”を設定してください。
	CmdIndex	コマンドのコマンド Index を設定します。 カード規格書記載のコマンド定義を参照し、設定してください。

A3.7.1.1.2 レスポンスを伴わないコマンドの動作説明

レスポンスを伴わないコマンドを送信する場合は、Command.RespTypeレジスタに“00b”を設定してください（他のレジスタ設定は、表A3.7.1を参照）。コマンドの送信中は、PresentStateBus.CMD_TranActビットに“1”がセットされます。PresentStateBus.CMD_TranActビットが、“1”から“0”に変化するのと同時に、NormIntStat.CmdCmp割り込み要因ビットに“1”がセットされます。

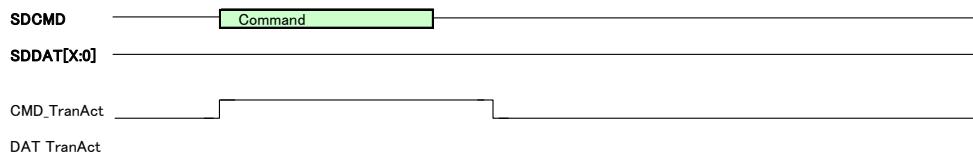


図 A3.7.1 レスポンスを伴わないコマンド送信

A3.7.1.1.3 レスポンスを伴うコマンドの動作説明

レスポンスを伴うコマンドを送信する場合は、対応するレスポンスの長さによってCommand.RespTypeレジスタに“01”もしくは“10”を設定してください（他のレジスタ設定は、表A3.7.1を参照）。コマンド送信からレスポンス受信完了までの間、PresentStateBus.CMD_TranActビットに“1”がセットされます。レスポンス受信時にエラーが発生しなければ、PresentStateBus.CMD_TranActビットが、“1”から“0”に変化するのと同時に、NormIntStat.CmdCmp割り込み要因ビットに“1”がセットされます。

下記にエラー終了する場合の条件を説明します。エラー終了の場合は、NormIntStat.CmdCmpビットはセットされず、ErrIntStatレジスタの対応するビットがセットされます。

- 1) レスポンスタイムアウトエラー
コマンドの送信が完了した後、規定クロックサイクル以内にレスポンスのStartBitを検出しなかつた場合は、エラー終了となり ErrIntStat.RespTimeoutErr ビットに“1”がセットされます。
(Command.RespTimeoutChk=“1”的み)
- 2) レスポンス Index エラー
Command.CmdIndex フィールドの内容と、受信したレスポンス中の Index フィールドの内容が異なっていた場合、エラー終了となり ErrIntStat.RespIndexErr ビットに“1”がセットされます。
(Command.RespIndexChk=“1”的み)
- 3) レスポンス CRC エラー
レスポンス受信時に、CRCエラーが検出された場合は、ErrIntStat.RespCRC_ErrBitErrに“1”がセットされます。
(Command.RespCRC_Chk=“1”的み)
- 4) レスポンス EndBit エラー
レスポンス受信時に、EndBitが検出されなかった場合は、ErrIntStat.RespEndBitErrに“1”がセットされます。

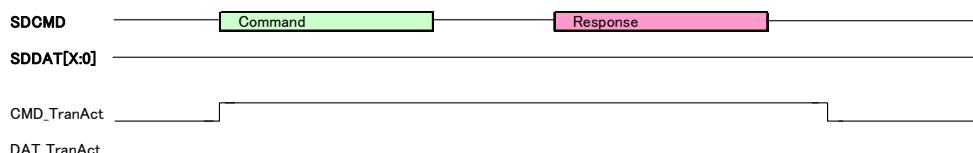


図 A3.7.2 レスポンスを伴うコマンド送信

A3.7.1.2 RespBusyを伴うコマンドの送信

A3.7.1.2.1 コマンド送信時に設定するレジスタ

RespBusyを伴うコマンドを送信する場合は、表A3.7.2に示すレジスタにカード規格書に記載されているコマンドフォーマットを元に値をセットしてください。SDMMCホストコントローラは、Commandレジスタの上位Byteに書き込みが発生すると、コマンドの送信が開始されます。したがって、Commandレジスタへの書き込みは、一番最後に行ってください。コマンド送信中は、PresentStateBus.CMD_TranActビットに“1”がセットされます。またコマンド送信後、DAT[0]ライン上にRespBusyがアサートされている間は、PresentStatBus.DAT_TranActビットが“1”にセットされます。

下記のように、PresentStateBus レジスタの内容によって、書き換え可能なレジスタが異なりますので注意してください。

- PresentStateBus.CMD_TranAct ビット = “1”、 PresentStatBus.DAT_TranAct ビット = “1”
全てのコマンド送信が出来ません。この期間、表A3.7.2に示すレジスタは、全て書き換え禁止です。
- PresentStateBus.CMD_TranAct ビット = “0”、 PresentStatBus.DAT_TranAct ビット = “1”
CMDラインのみ使用するコマンドだけが送信可能です。この期間、表A3.7.2に示すレジスタは、全て書き換え可能です。

表 A3.7.2 コマンド送信時に必要な設定レジスタ

レジスタ	ビット	説明
Argument_0 Argument_1	CmdArg[31:0]	コマンドのアーギュメントを指定します。 カード規格書記載のコマンド定義を参照し、設定してください。
TransferMode	AutoCMD55	カード規格書記載の APP_CMD を自動で送信する機能です。 本機能を使用しない場合は、“0”を設定してください。 AutoCMD55 の使用方法は、A3.7.1.4.1章を参照してください。
Command	CmdType	コマンドのタイプを設定します。 00b : Normal コマンド、 01b : Reserved 10b : Reserved、 11b : Abort コマンド 送信するコマンドが、Normal コマンドの場合は、“00b”を設定してください。
	UseDAT_Line	データ転送を伴うコマンドかどうかを設定します。 データ転送を伴わないコマンドの場合は、“0”を設定してください。
	RespIndexChk RespCRC_Chk RespTimeoutChk	レスポンスのチェックの有無を設定します。 カード規格書記載のレスポンス定義を参照し、設定してください。
	ResponseType	レスポンスのタイプを設定します。 00b : レスポンス無し、 01b : 136bit レスポンス 10b : 48bit レスポンス、 11b : RespBusy カード規格書記載のレスポンス定義を参照し、設定してください。
	WaitCCS	CE-ATA ドライブ用のモードです。 CE-ATA ドライブを使用しない場合は、“0”を設定してください。
	Resp	MMC カードの Interrupt Mode 用の機能です。 Interrupt Mode を使用しない場合は、“0”を設定してください。
	CmdIndex	コマンドのコマンドインデックスを設定します。 カード規格書記載のコマンド定義を参照し、設定してください。

A3.7.1.2.2 RespBusyの動作説明

RespBusyを伴うコマンドを送信する場合は、Command.RespTypeレジスタに“11b”を設定して、コマンドの送信を実行して下さい（他のレジスタ設定は、表A3.7.2を参照）。コマンド送信中の動作は、CMDラインのみ使用するコマンドと同様です（A3.7.1.1章を参照）。

コマンドの送信完了後、DAT[0]ライン上の RespBusy がアサートされている期間、PresentStateBus.DAT_TranAct ビットに“1”がセットされます。RespBusy がネゲートされると、PresentStateBus.DAT_TranAct ビットが“0”になり、同時に NromIntStat.TranCmp 割り込み要因ビットに“1”がセットされます。

もし、RespBusy が TimeoutControl.WrTimeoutCnt レジスタの内容によって決定されるクロックサイクル期間が経過しても、ネゲートされない場合はタイムアウトエラーとなり、ErrIntStat.DataTimeoutErr ビットに“1”がセットされます。

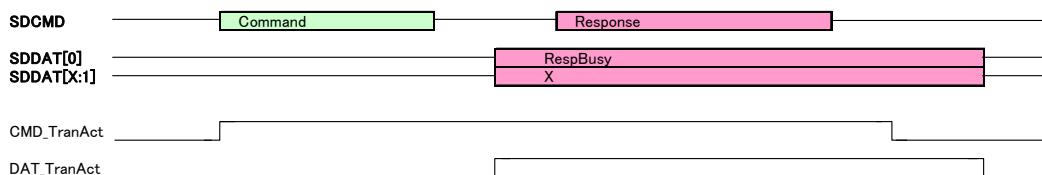


図 A3.7.3 RespBusy 動作（RespBusy 期間> レスポンス期間）

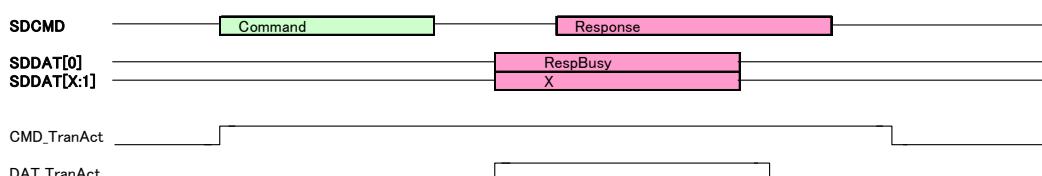


図 A3.7.4 RespBusy 動作（RespBusy 期間< レスポンス期間）

A3.7.1.3 データ転送を伴うコマンドの送信

A3.7.1.3.1 コマンド送信時に設定するレジスタ

データ転送を伴うコマンドを送信する場合は、表A3.7.3に示すレジスタにカード規格書に記載されているコマンドフォーマットを元に値をセットしてください。SDMMCホストコントローラは、Commandレジスタの上位Byteに書き込みが発生すると、コマンドの送信が開始されます。したがって、Commandレジスタへの書き込みは、一番最後に行ってください。コマンド送信中は、PresentStateBus.CMD_TranActビットに“1”がセットされます。また、コマンド送信後の、データ転送中はPresentStatBus.DAT_TranActビットに“1”がセットされます。

下記のように、PresentStateBus レジスタの内容によって、書き換え可能なレジスタが異なりますので注意してください。

- PresentStateBus.CMD_TranAct ビット = “1”、 PresentStatBus.DAT_TranAct ビット = “1”
全てのコマンド送信が出来ません。この期間、表A3.7.3に示すレジスタは、全て書き換え禁止です。
- PresentStateBus.CMD_TranAct ビット = “0”、 PresentStatBus.DAT_TranAct ビット = “1”
CMDラインのみ使用するコマンドだけが送信可能です。この期間、表A3.7.3中の、※1 がついているレジスタは書き換え禁止です。

データ転送を伴うコマンドを送信する時は、TranBlkSize[15:0]レジスタに“0000h”を設定しないで下さい。また、Multi 転送と Stream 転送設定時（TransferMode.TranType = “10b”、“11”b）は、BlkCnt[31:0]レジスタに“0000_0000h”を設定しないで下さい。この場合、データ転送が開始されません。

表 A3.7.3 データ転送を伴うコマンド送信時に必要な設定レジスタ

レジスタ	ビット	説明
BlkSize	TranBlkSize[15:0] ※1	データ転送時の転送ブロックサイズを設定して下さい。
BlkCnt_0 BlkCnt_1	BlkCnt[31:0] ※1	データ転送時の転送ブロック数を設定して下さい。
Argument_0 Argument_1	CmdArg[31:0]	コマンドのアーギュメントを指定します。 カード規格書記載のコマンド定義を参照し、設定して下さい。
TransferMode	DataDir ※1	データ転送の方向を設定して下さい。 “0”： Write (SDMMC ホストコントローラ → カード) “1”： Read (カード → SDMMC コントローラ)
	TranType[1:0] ※1	データ転送のタイプを設定して下さい。 “00”： Single 転送 “01”： Infinite 転送 “10”： Multiple 転送 “11”： Stream 転送
	AutoCMD12 ※1	Abort コマンドを自動で送信する機能です。 本機能を使用しない場合は、“0”を設定して下さい。 <i>AutoCMD12 の使用方法は、A3.7.1.4.2章を参照してください。</i>
	AutoCMD55	カード規格書記載の APP_CMD を自動で送信する機能です。 本機能を使用しない場合は、“0”を設定して下さい。 <i>AutoCMD55 の使用方法は、A3.7.1.4.1章を参照してください。</i>
Command	CmdType	コマンドのタイプを設定します。 00b : Normal コマンド、 01b : Reserved 10b : Reserved、 11b : Abort コマンド 送信するコマンドが、Normal コマンドの場合は、“00b”を設定して下さい。
	UseDAT_Line	データ転送を伴うコマンドかどうかを設定します。 データ転送を伴わぬコマンドの場合は、“1”を設定して下さい。
	RespIndexChk RespCRC_Chk RespTimeoutChk	レスポンスのチェックの有無を設定します。 カード規格書記載のレスポンス定義を参照し、設定して下さい。
	ResponseType	レスポンスのタイプを設定します。 00b : レスポンス無し、 01b : 136bit レスポンス 10b : 48bit レスポンス、 11b : RespBusy カード規格書記載のレスポンス定義を参照し、設定して下さい。
	WaitCCS	CE-ATA ドライブ用のモードです。 CE-ATA ドライブを使用しない場合は、“0”を設定して下さい。
	Resp	MMC カードの Interrupt Mode 用の機能です。 Interrupt Mode を使用しない場合は、“0”を設定してください。
	CmdIndex	コマンドの Index を設定します。 カード規格書記載のコマンド定義を参照し、設定してください。

※1 : PresentStateBus.CMD_TranAct ビット = “0”、 PresentStatBus.DAT_TranAct ビット = “1”の時、書き換え禁止 レジスタ

A3.7.1.3.2 リード転送の動作説明

リード転送を行う場合は、TransferMode.DataDir="1"を設定して、コマンドの送信を実行して下さい。
(他のレジスタ設定は、表A3.7.3を参照)。コマンド送信中の動作は、CMDラインのみ使用するコマンドと同様です (A3.7.1.1章を参照)。

下記に、Multi 転送を例にとって説明します (TransferMode.TranType="10b")。
コマンドの送信が完了した後、データブロック単位でデータを受信します。最後のデータブロックの受信が完了すると、データ転送終了となり、NorimIntStat.TranCmp ビットに"1"がセットされます。

下記にエラー終了する場合の動作を説明します。エラー終了の場合は、NormIntStat.TranCmp ビットはセットされません。

1) データタイムアウトエラー

リード転送コマンド送信後、及びデータブロックの受信完了後(次のデータブロックがある場合)、TimeoutControl.RdTimeoutCnt レジスタに設定された時間以内に、データブロックの StartBit を検出しなかった場合は、エラー終了となり ErrIntStat.DataTimeoutErr ビットに"1"がセットされます。

2) データ CRC エラー

データブロック受信時に CRC エラーが発生した場合は、エラー終了となり、ErrIntStat.DataCRC_Err ビットに"1"がセットされます。

3) データ EndBit エラー

データブロック受信時に、EndBit が検出されなかった場合は、エラー終了となり、ErrIntStat.DataEndBitErr ビットに"1"がセットされます。

BlkCnt[31:0]レジスタがデクリメントされるタイミングは、データブロックの EndBit を受信するタイミングです。データブロック受信時に CRC エラーが発生した場合は、BlkCnt[31:0]レジスタは、デクリメントされません。データブロック受信時に EndBit が検出されなかった場合には、受信したデータは有効とみなし、BlkCnt[31:0]レジスタは、デクリメントされます。

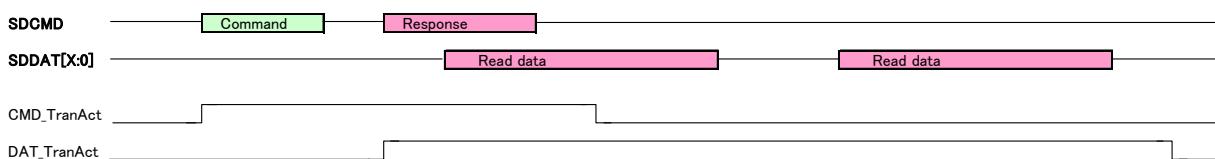


図 A3.7.5 リード転送動作波形 (Multi 転送)

Single転送 (TransferMode.TranType="00") の場合は、BlkCnt[31:0]レジスタの設定に関わらず、1つのデータブロックのリード転送が完了した時点で転送終了となり、NorimIntStat.TranCmpビットに“1”がセットされます。(図A3.7.6参照)

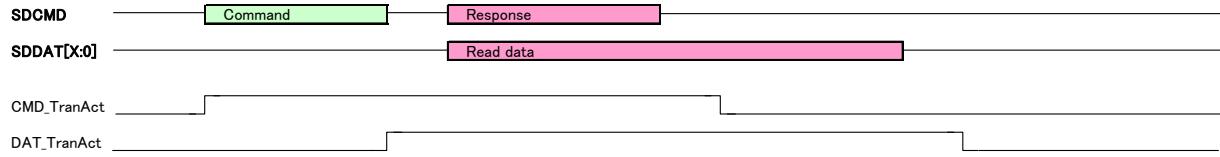


図 A3.7.6 リード転送動作波形 (Single 転送 : リードデータ期間>レスポンス期間)

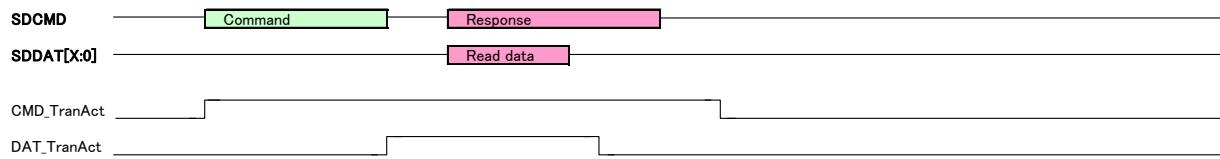


図 A3.7.7 リード転送動作波形 (Single 転送 : リードデータ期間<レスポンス期間)

Infinite転送 (TransferMode.TranType="01") は、データブロックのリード転送完了後BlkCnt[31:0]レジスタの値は更新されず、リード転送が無限に続く事になります。その他の動作は、Multi転送動作と同様です。転送を止める場合は、Abortコマンドを送信します (A3.7.2.1章参照)。

Stream 転送 (TransferMode.TranType="11") は、データブロックという概念がありません。BlkSize レジスタ x BlkCnt レジスタ分のデータの受信が完了した時点で、転送終了となり NorimIntStat.TranCmp ビットに“1”がセットされます。

A3.7.1.3.3 ライト転送の動作説明

ライト転送を行う場合は、TransferMode.DataDir="0"を設定して、コマンドの送信を実行して下さい（他のレジスタ設定は、表A3.7.3を参照）。コマンド送信中の動作は、CMDラインのみ使用するコマンドと同様です（A3.7.1.1章を参照）。

下記に、Multi 転送を例にとって説明します。（TransferMode.TranType="10"）

コマンドに対するレスポンス受信が完了し、受信したレスポンスにエラーが無ければ、データブロックの送信が開始されます。最後のデータブロックに対するWriteBusyがネゲートされると、データ転送終了となり、NromIntStat.TranCmp ビットに“1”がセットされます。

コマンドに対するレスポンス受信が完了し、受信したレスポンスにエラーがあった場合は、ライト転送は開始されません。このとき NromIntStat.TranCmp ビットは“1”にセットされません。

下記にエラー終了する場合の動作を説明します。エラー終了の場合は、NormIntStat.TranCmp ビットはセットされません。

1) CRC ステータスタイムアウトエラー

データブロック送信後、TimeoutControl.WrTimeoutCnt レジスタに設定された時間以内に、CRC ステータスの StartBit を検出しなかった場合は、エラー終了となり ErrIntStat.DataTimeoutErr ビットに“1”がセットされます。

2) CRC ステータスエラー

CRC ステータスの内容がエラーだった場合は、エラー終了となり ErrIntStat.DataCRCErr ビットに“1”がセットされます。

3) CRC ステータス EndBit エラー

CRC ステータス受信時に、EndBit が検出されなかった場合は、エラー終了となり ErrIntStat.DataEndBitErr ビットに“1”がセットされます。

4) WriteBusy タイムアウトエラー

CRC ステータス受信後、TimeoutControl.WrTimeoutCnt レジスタに設定された時間以内に、WriteBusy がネゲートされなかった場合は、エラー終了となり ErrIntStat.DataTimeoutErr ビットに“1”がセットされます。

BlkCnt[31:0] レジスタがデクリメントされるタイミングは、データブロックに対する CRC ステータスの EndBit を受信するタイミングです。CRC ステータスの内容がエラーだった場合は、BlkCnt[31:0] レジスタは、デクリメントされません。CRC ステータス受信時に EndBit が検出されなかった場合は、ライトデータは有効とみなし、BlkCnt[31:0] レジスタは、デクリメントされます。

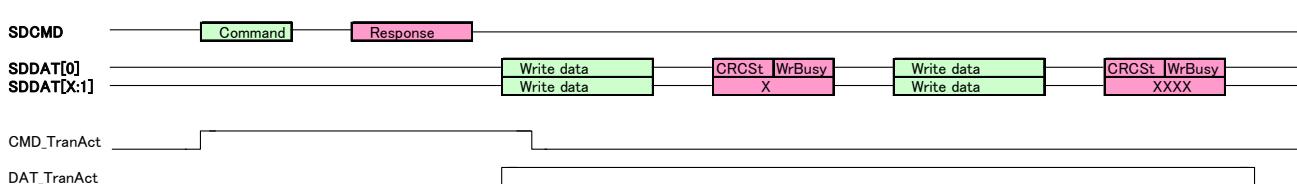
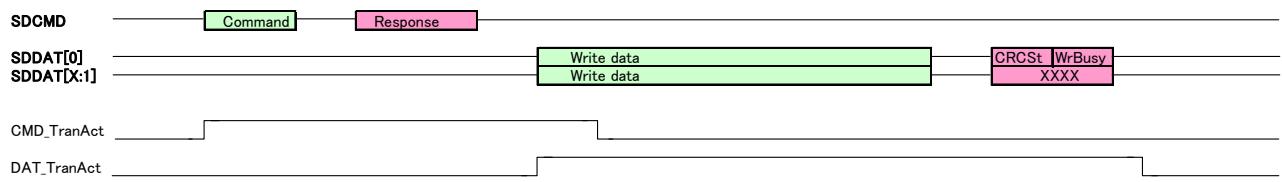


図 A3.7.8 ライト転送動作波形 (Multi 転送)

Single転送 (TransferMode.TranType="00") の場合は、BlkCnt[31:0]レジスタの設定に関わらず、1つのデータブロックのライト転送が完了した時点で転送終了となり、NorimIntStat.TranCmpビットに“1”がセットされます。(図A3.7.9参照)



図A3.7.9 ライト転送動作波形 (Single転送)

Infinite転送 (TransferMode.TranType="01") は、データブロックの転送完了後BlkCnt[31:0]レジスタの値は更新されずに、ライト転送が無限に続く事になります。転送を止める場合は、Abortコマンドを送信します (A3.7.2.1章参照)。

Stream 転送 (TransferMode.TranType="11") は、データブロックという概念がありません。BlkSize レジスタ x BlkCnt レジスタ分のデータの送信が完了した時点で、転送終了となり NorimIntStat.TranCmp ビットに“1”がセットされます。

A3.7 機能説明

A3.7.1.3.4 RespBusyを伴うライト転送の動作説明

ライト転送を行う場合は、Command.RespType=“11”、TransferMode.DataDir=“0”を設定して、コマンドの送信を実行して下さい（他のレジスタ設定は、表A3.7.3を参照）。コマンド送信中の動作は、CMDラインのみ使用するコマンドと同様です（A3.7.1.1章を参照）。

下記のように、Multi 転送を例にとって説明します。（TransferMode.TranType=“10”）

コマンドの送信が完了すると、DAT[0]ライン上の RespBusy の監視を開始します。その後、レスポンスを正常に受信した後、RespBusy がネガートされるのを待って、データブロックの送信を開始します。最後のデータブロックの WriteBusy がネガートされると、データ転送終了となり、NromIntStat.TranCmp ビットに“1”がセットされます。

エラー終了する場合の動作は、RespBusy を伴う転送及び、ライト転送と同様です。

BlkCnt[31:0]レジスタがデクリメントされるタイミングは、データブロックに対する CRC ステータスの EndBit を受信するタイミングです。CRC ステータスの内容がエラーだった場合は、BlkCnt[31:0]レジスタは、デクリメントされません。CRC ステータス受信時に EndBit が検出されなかった場合は、ライトデータは有効とみなし、BlkCnt[31:0:]レジスタは、デクリメントされます。

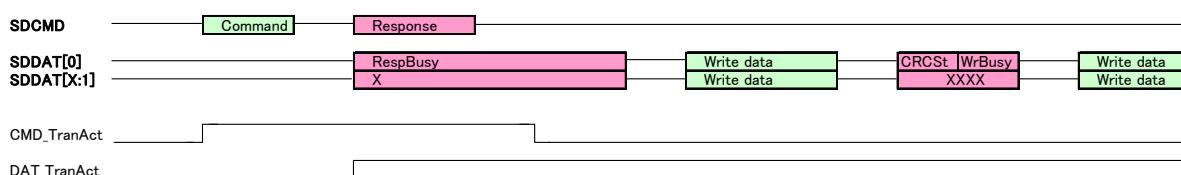


図 A3.7.10 RespBusy を伴うライト転送動作波形（Multi 転送）

レスポンスにエラーが発生した場合には、DAT[0]ライン上の RespBusy がネゲートされた時点で、転送完了となり NormIntStat.TranCmp ビットに“1”がセットされます。データ転送は開始されません。

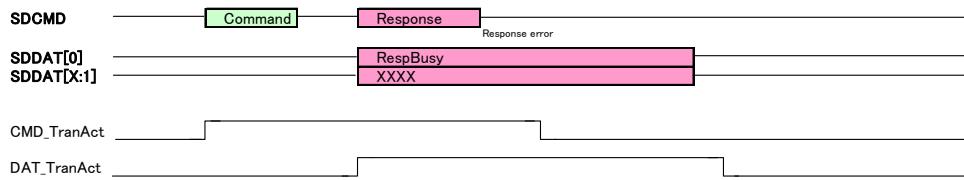


図 A3.7.11 RespBusy を伴うライト転送動作波形 (レスポンスエラー時)

Single 転送 (TransferMode.TranType=“00”) の場合は、BlkCnt[31:0] レジスタの設定に関わらず、1 つのデータブロックのライト転送が完了した時点で転送終了となり、NormIntStat.TranCmp ビットに“1”がセットされます。

Infinite転送 (TransferMode.TranType=“01”) は、1 ブロックの転送完了後 BlkCnt[31:0] レジスタの値は更新されずに、ライト転送が無限に続く事になります。転送を止める場合は、Abortコマンドを送信します (A3.7.2.1章参照)。

RespBusy を伴う転送で、Stream 転送 (TransferMode.TranType=“11”) は禁止です。

A3.7 機能説明

A3.7.1.4 Auto系コマンド

本ホストコントローラには、コマンド発行に関する一連のシーケンスを、ソフトウェアを介すことなくハードウェアのみで行う機能を具備しています。例えば、ACMD を発行する際にはそれに先立ち CMD55 を発行する必要があります。また、データ転送を発行した後にはこれを止めるために CMD12 を発行する必要があります。これらのようにある決まったコマンド (CMD55 や CMD12) を、発行したコマンドの前後に自動的に挿入する機能です。

A3.7.1.4.1 AutoCMD55 機能

カード規格書記載の APP_CMD (CMD55) を自動で送信する機能です。CMD55 — ACMD の順でコマンドが発行されます。コマンド発行のための各種パラメータはそれぞれのコマンド発行時に切り替わります。

A3.7.1.4.1.1 AutoCMD55 使用時に設定するレジスタ

本機能を使用する際には、TransferMode.AutoCMD55 ビットに”1”をセットして、コマンドの送信を実行して下さい。その他の設定は、A3.7.1.1.1章、A3.7.1.2.1章、A3.7.1.3.1章に示されているレジスタに ACMD の設定をして、さらに、ExArgument_0, _1 レジスタに CMD55 のアーギュメントをカード規格書記載のコマンド定義を参照し設定して下さい。PresentStateBus.CMD_TranAct ビットに”1”がセットされている間は、上記レジスタを変更しないで下さい。

A3.7.1.4.1.2 AutoCMD55 の動作説明概要

AutoCMD55 機能は、CMD55 を発行した後、そのコマンドの完了を待ちます。コマンドが正常に完了（レスポンスを正常に受信）した後、即座に ACMD の発行を行います。その後は通常のデータ転送として処理されます。

A3.7.1.4.1.3 AutoCMD55 の動作説明詳細

AutoCMD55 機能は、TransferMode. AutoCMD55 ビットに”1”をセットした状態で Command レジスタにライトを行うことで起動されます。コマンド発行のためのレジスタ設定は、A3.7.1.1.1章、A3.7.1.2.1章、A3.7.1.3.1章に示すレジスタに ACMD のための設定を行います。加えて、ExArgument_0, _1 レジスタに CMD55 のアーギュメントを設定します。

CMD55 発行時は ExArgument_0, _1 に設定された値をコマンドの Argument として出力し、続く ACMD 発行時は Argument_0, _1 に設定された値をコマンドの Argument として出力します。また、レスポンスは CMD55 の時は Response_6, _7 レジスタに格納され、ACMD の時は Response_0, _1 レジスタに格納されます。等々、詳細は下表を参照してください。

表 A3.7.4 コマンド毎のパラメータ

パラメータ	CMD55	ACMD
Argument	ExArgument_0 / ExArgument_1 レジスタ	Argument_0 / Argument_1 レジスタ
Response	Response_6 / Response_7 レジスタ	Response_0 / Response_1 レジスタ
TranType	右記ビットそのまま	TransferMode.TranType ビット
CmdIndex	55h 固定	Command.CmdIndex ビット
RespType	R1 固定	Command.RespType ビット
CmdType	Normal 固定	Command.CmdType ビット
DAT Line	“0” 固定 (DAT Line 未使用)	Command.UseDAT_Line ビット
Dir	右記ビットそのまま	TransferMode.DataDir ビット
RespChk	Command.RespxxxxChk 全て “1” *	Command.RespxxxxChk

*CMD55 時の Response のチェック機能は、Command.RespxxxxChk ビットによらず全て有効となります。

す。

本 AutoCMD55 機能の完了は、CMD55 に続いて ACMD が発行されそのコマンド発行（レスポンス受信）が完了した時にあります。よって、NormIntStat.CmdCmp ビットは ACMD のコマンド発行が完了した時に“1”にセットされます。

CMD55 にて何らかのレスポンスエラーが発生した場合には続く ACMD は発行されません。また、NormIntStat.CmdCmp ビットは“1”にセットされず、ErrIntStat.AutoCMD55Err が“1”にセットされます。その詳細は AtuoCMD55ErrStat レジスタをチェックすることでわかります。CMD55, ACMD の終了状態によるレジスタの状態は下表のようになります。

表 A3.7.5 CMD55, ACMD 終了状態によるレジスタの状態

レジスタ	CMD55 正常 →ACMD 正常	CMD55 正常 →ACMD 異常	CMD55 異常 →ACMD 未発行
NormIntStat.CmdCmp	1	0	0
ErrIntStat.AutoCMD55Err	0	0	1
ErrIntStat	0	1	0

本機能を使用すれば、CMD55 完了後、ACMD を発行するために、再度 Command レジスタにライトする必要はありません。下図のように CMD55 終了後、ハードウェアにて自動で ACMD を発行します。CMD_TranAct はこの一連のシーケンスが完了するまで“1”的状態を保ちます。また、NormIntStat.CmdCmp ビットも一連のシーケンスが完了（ACMD のレスポンス受信後）時に“1”になります。CMD55 終了時には“1”なりません。

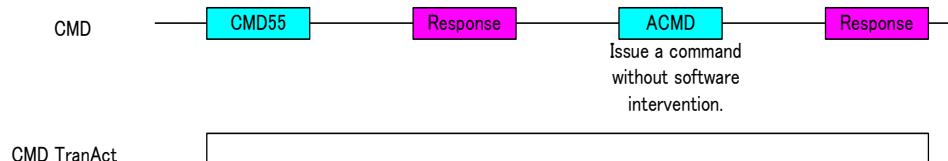


図 A3.7.12 AutoCMD55 動作波形

A3.7.1.4.2 AutoCMD12 機能

データ転送の後に CMD12 を自動で送信する機能です。データ転送 – CMD12 の順でコマンドが発行されます。コマンド発行のための各種パラメータはそれぞれのコマンド発行時に切り替わります。

A3.7.1.4.2.1 AutoCMD12 使用時に設定するレジスタ

本機能を使用する際には、TransferMode.AutoCMD12 ビットに“1”をセットして、コマンドの送信を実行して下さい。その他の設定は、A3.7.1.1章、A3.7.1.2.1章、A3.7.1.3.1章に示されているレジスタにデータ転送コマンドの設定をして下さい。PresentStateBus.CMD_TranAct ビットに“1”がセットされている間は、上記レジスタを変更しないで下さい。尚、TransferMode.AutoCMD12 ビットを“1”にセットして、Command.WaitCCS ビットを“1”にセットすることは禁止です。

A3.7.1.4.2.2 AutoCMD12 の動作説明概要

AutoCMD12 機能は、データ転送コマンドを発行した後、そのコマンドの完了とデータ転送の完了を待ちます。それぞれが正常に完了した後、即座に CMD12 の発行を行います。CMD12 は RespBusy を伴うコマンドであるため、CMD12 の完了は RespBusy がネゲートされてからになります。

A3.7.1.4.2.3 AutoCMD12 の動作説明詳細

AutoCMD12 機能は、TransferMode.AutoCMD12 ビットに“1”をセットした状態でCommandレジスタにライトを行うことで起動されます。コマンド発行のためのレジスタ設定は、A3.7.1.3.1章に示すレジスタにデータ転送コマンドのための設定を行います。

CMD12 発行時の各パラメータは下表のようになります。レスポンスは CMD12 の時は Response_6, _7 レジスタに格納され、データ転送コマンドの時は Response_0, _1 レジスタに格納されます。等々、詳細は下表を参照してください。

表 A3.7.6 コマンド毎のパラメータ

パラメータ	Ex. CMD18 /CMD25	CMD12
Argument	Argument_0 / Argument_1 レジスタ	“0” 固定
Response	Response_0 / Response_1 レジスタ	Resepone_6 / Response_7 レジスタ
TranType	TransferMode.TranType ビット	左記ビットそのまま
CmdIndex	Command.CmdIndex ビット	12h 固定
ResponseType	Command.RespType ビット	R1b 固定
CmdType	Command.CmdType ビット	Abort 固定
DAT Line	Command.UseDAT_Line ビット	“0” 固定 (DAT Line 未使用)
Dir	TransferMode.DataDir ビット	左記ビットそのまま
RespChk	Command.RespxxxChk	Command.RespxxxChk 全て “1” *

*CMD12 時の Response のチェック機能は、Command.RespxxxChk ビットによらず全て有効となります。

本 AutoCMD12 機能は以下の条件でデータ転送が行われる時に起動されます。尚、Infinite 転送時は、BlkSize, BlkCnt レジスタの値にかかわらず AutoCMD12 機能は起動されません。

- Multiple or Stream 転送時 – BlkSize レジスタ及び BlkCnt レジスタが“0”でない。且つ Command . UseDAT_Line = 1
- Single 転送時 – BlkSize レジスタが“0”でない。且つ Command . UseDAT_Line = 1

本 AutoCMD12 機能を実行時の、それぞれのコマンドの完了状態は下表のようになります。

- CMD12 が正常に終了したとき：
NormIntStat.AutoCMD12Cmp と NormIntStat.TranCmp が”1”にセット

NormIntStat. CmdCmp は“1”にセットされません。

- CMD12 より前のコマンドにてエラー発生時 :

CMD12 未実行。AutoCMD12ErrStat. AutoCMD12NotExec が“1”にセット。

- CMD12 でエラー発生 :

その後に CMD_wo_DAT がある場合は未実行。AutoCMD12ErrStat. NoCmdByAutoCMD12Err が“1”にセット

表 A3.7.7 データ転送, CMD12 終了状態によるレジスタの状態

時系列 早い				遅い					
データ転送	CMD_wo_DAT	AutoCMD12	CMD_wo_DAT	AutoCMD12 Cmp	NoCmdBy AutoCMD12 Err	AutoCMD12 NotExec	TranCmp	CmdCmp	
正常	なし	正常	なし	○	—	—	AutoCMD12	データ転送	
正常	正常	正常	なし	○	—	—	AutoCMD12	データ転送 CMD_wo_DAT	
正常	なし	正常	正常	○	—	—	AutoCMD12	データ転送 CMD_wo_DAT	
正常	なし	正常	エラー	○	—	—	AutoCMD12	データ転送	
正常	なし	エラー	なし	—	—	—	—	データ転送	
正常	なし	エラー	未実行	—	○	—	—	データ転送	
正常	正常	エラー	なし	—	—	—	—	データ転送 CMD_wo_DAT	
正常	正常	エラー	未実行	—	○	—	—	データ転送 CMD_wo_DAT	
正常	エラー	未実行	なし	—	—	○	—	データ転送	
エラー	なし	未実行	なし	—	—	○	—	—	

*CMD_wo_DAT : データ転送を伴わないコマンドを指します。

*未実行 : AutoCMD12 のエラーにより実行されないことを指します。

*AutoCMD12Cmp, TranCmp, CmdCmp : NormIntStat レジスタ内のビットです。

*AutoCMD12NotExec, NoCmdByAutoCMD12Err : AutoCMD12ErrStat レジスタ内のビットです。

データ転送に続いてホストドライバより Abort コマンドが発行された場合、AutoCMD12 機能による CMD12 は発行しません。正常に Abort (データ転送が終了) したかは CmdCmp と TranCmp で確認をしてください。

A3.7.2 個別特殊機能

A3.7.2.1 Abortコマンド発行による、データ転送の終了方法

現在実行中のデータ転送を終了する場合は、Abort コマンドを発行します。

カードへAbortコマンドを送信する場合は、表A3.7.1に示すレジスタにカード規格書に記載されているコマンドフォーマットを元に値をセットしてください。

この際、Command.CmdType レジスタに“11b”（Abort コマンド）をセットしてください。

Multi 転送中 (TransferMode.TranType=10h) に、Abort コマンドを発行して転送を停止した場合、BlkCnt_0 /_1 レジスタを読み出すことで、転送が完了したブロック数を知ることができます。

Abort コマンド発行によって、データ転送を終了した場合、次のデータ転送を開始する場合は、必ず FIFO_Join レジスタに 00h を書き込んで内蔵 FIFO をクリアした後、新たな転送を開始するための適切な値を FIFO_Join レジスタに設定してください。

リード転送中に Abort コマンドを発行した場合、Abort コマンドに対するレスポンスを受信した時点で、データ転送終了となり、NromIntStat.TranCmp ビットに“1”がセットされます。

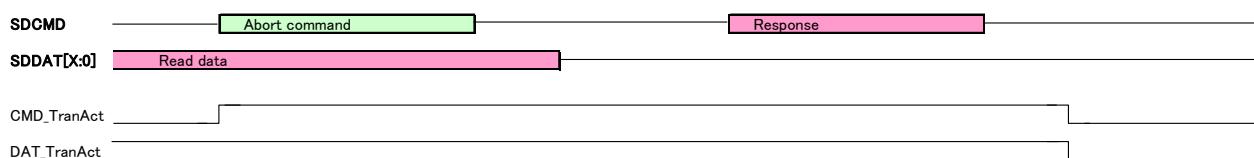


図 A3.7.13 リード転送中の Abort コマンドの発行

ライト転送中に Abort コマンドを発行した場合、DAT[0] ライン上の WriteBusy がネゲートされた時点で、データ転送終了となり、NromIntStat.TranCmp ビットに“1”がセットされます。

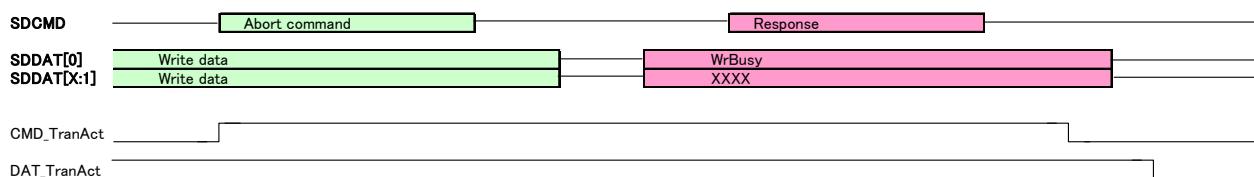


図 A3.7.14 ライト転送中の Abort コマンドの発行

A3.7.2.2 WatiCCS機能の使用方法（CE-ATA ドライブ専用）

CE-ATA ドライブからの、CCS 割り込みを使った転送を行う場合、Command.WaitCCS ビットを使用します。

A3.7.2.2.1 コマンド送信時に設定するレジスタ

カードへコマンドを送信する場合は、表A3.7.1に示すレジスタにカード規格書に記載されているコマンドフォーマットを元に値をセットしてください。

この際、Command.WaitCCS ビットに“1”をセットしてください。

A3.7.2.2.2 WaitCCSモードでの動作説明詳細

コマンドの送信中からレスポンスを受信するまでの間は、PresentStateBus.CMD_TranAct ビットに“1”がセットされます。

レスポンスの受信完了後、CE-ATA ドライブからの CCS 割り込みを受信すると、NormIntStat.CCS 割り込みビットに“1”がセットされます。

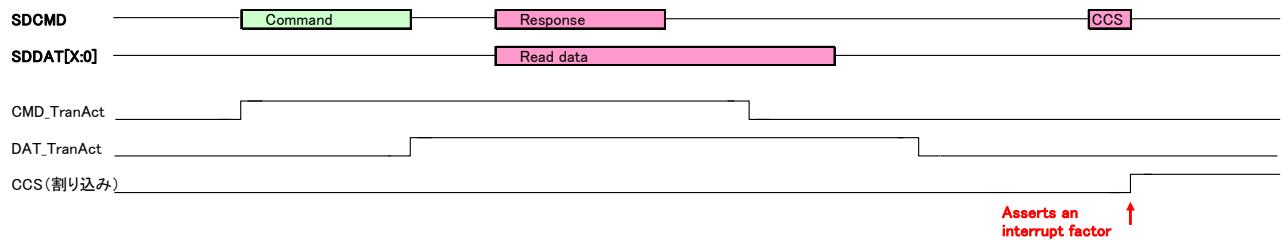


図 A3.7.15 WaitCCS 動作波形

A3.7.2.2.3 WaitCCSモード中のAbortコマンド発行

WaitCCS モードでデータ転送中に、Abort コマンドを発行した場合、HW は CCSD を CE-ATA ドライブに送信した後、Abort コマンドを発行します。

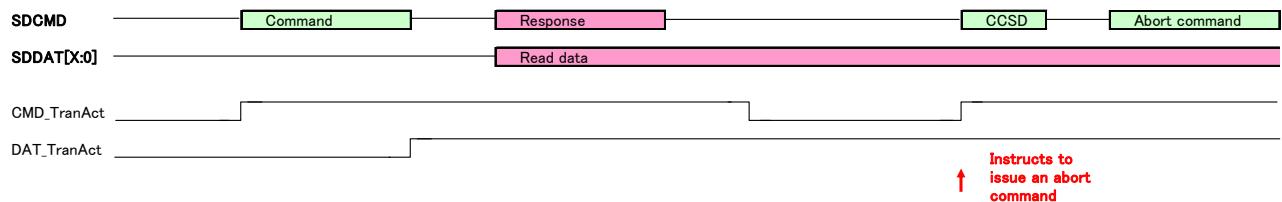


図 A3.7.16 WaitCCS モード中の Abort コマンド発行

A3.7.3 FIFOへのアクセス方法

SDMMC ホストコントローラは、512Byte の FIFO を搭載しています。データ転送を伴うコマンドを送信し、FIFO_Rd/FIFO_Wr/FIFO_BytRd/FIFO_BytWr レジスタにアクセスする事で、カードからのデータ読み出しもしくはカードへの書き込みを行うことができます。

A3.7.3.1 リード転送時の FIFO アクセス

下記に、リード転送時の FIFO へのアクセス手順を示します。

必ず、リードコマンド発行前に、FIFO_Join.JoinCPU_Rd ビットに“1”をセットしてください。
FIFO からのリードは、ブロックサイズ単位でアクセスします。但し、ブロックサイズが 1Kbyte 以上の場合には、512Byte 単位でリードしてください。この場合、FIFO_RcvdBlk 割り込みは、512Byte 受信する毎にアサートされます。

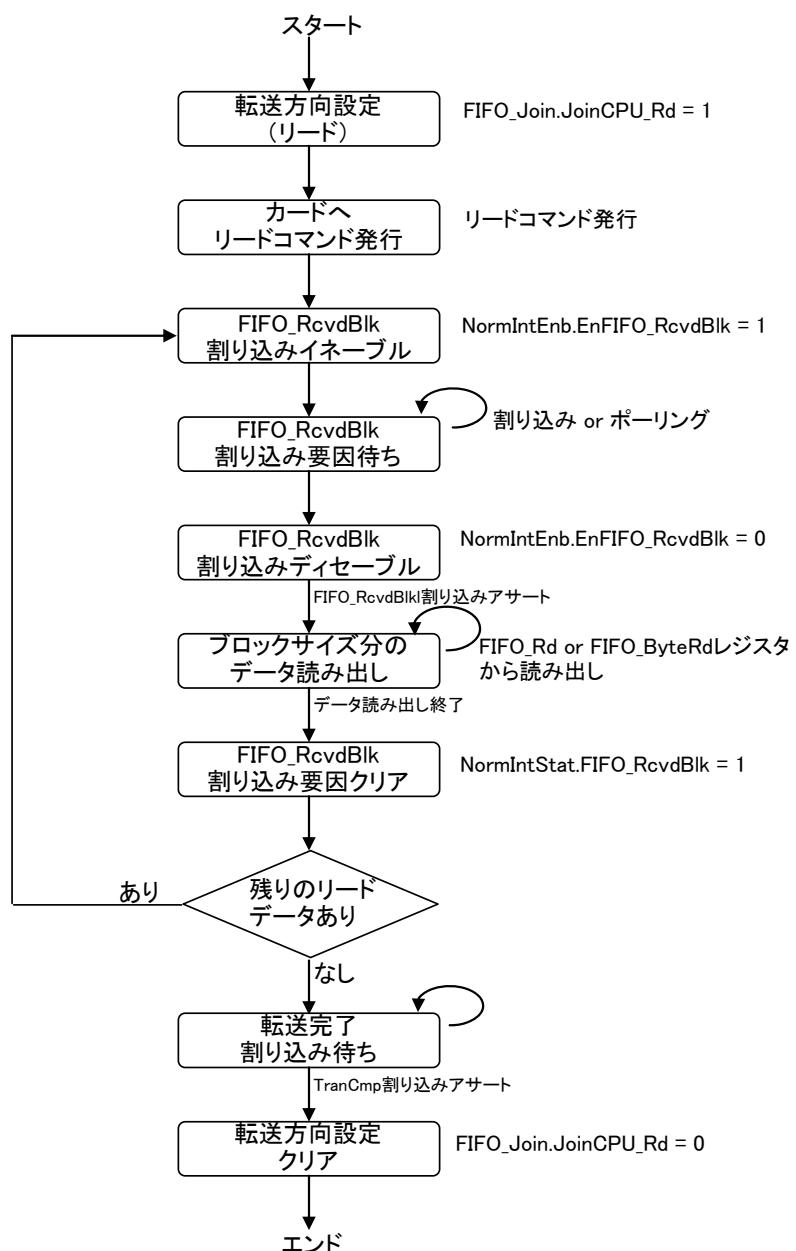


図 A3.7.17 リード転送時の FIFO アクセス手順

A3.7.3.2 ライト転送時のFIFOアクセス

下記に、ライト転送時の FIFO へのアクセス手順を示します。

必ず、ライトコマンド発行前に、FIFO_Join.JoinCPU_Wr ビットに“1”をセットしてください。

FIFOへのライトは、ブロックサイズ単位でアクセスします。但し、ブロックサイズが 1Kbyte 以上の場合には、512Byte 毎に書き込んでください。

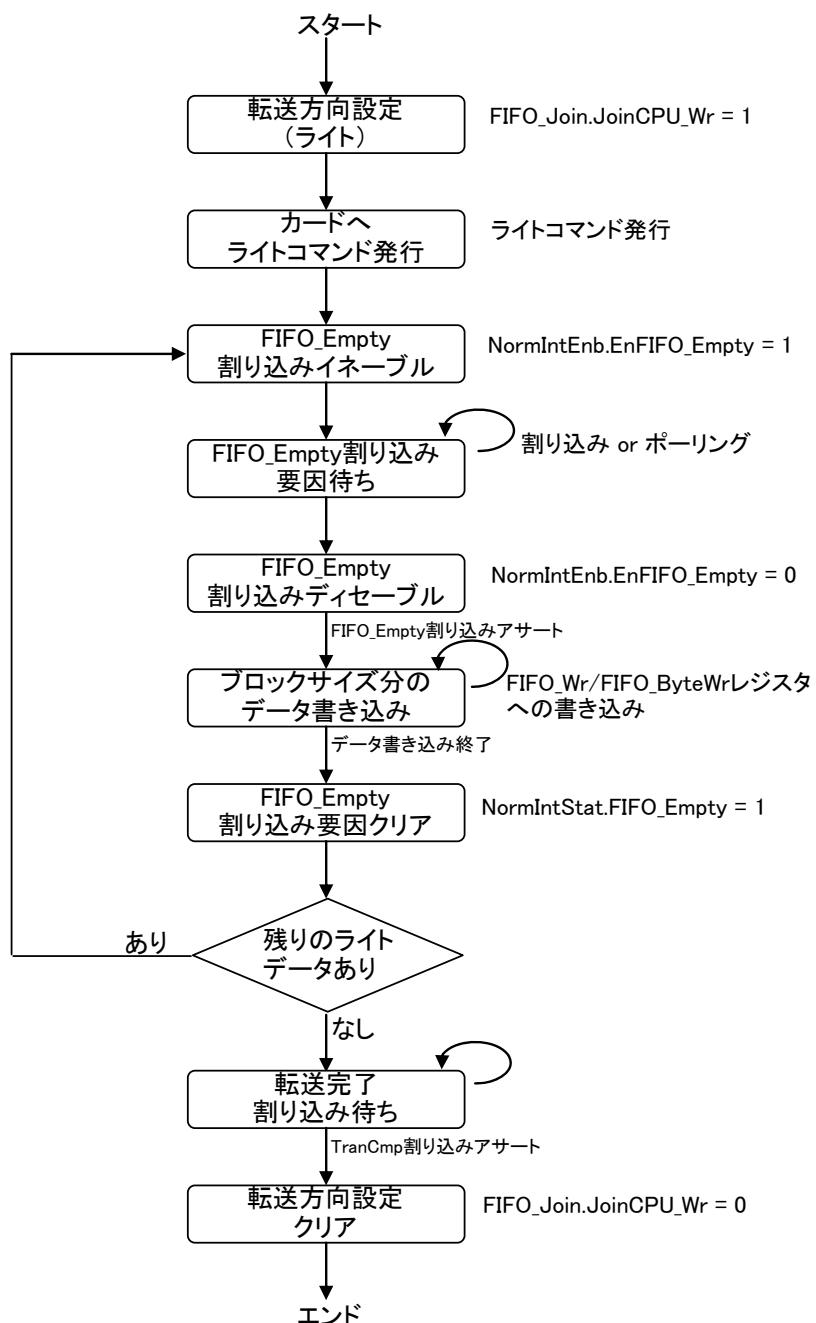


図 A3.7.18 ライト転送時の FIFO アクセス手順

A3.8 内蔵レジスタ

A3.8.1 レジスタ詳細説明

A3.8.1.1 00h BlkSize (Transfer Block Size)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
00h	BlkSize	15	R / W	BlkSize [15]	Transfer Block Size [15:0]	0
		14	R / W	BlkSize [14]		0
		13	R / W	BlkSize [13]		0
		12	R / W	BlkSize [12]		0
		11	R / W	BlkSize [11]		0
		10	R / W	BlkSize [10]		0
		9	R / W	BlkSize [9]		0
		8	R / W	BlkSize [8]		0
		7	R / W	BlkSize [7]		0
		6	R / W	BlkSize [6]		0
		5	R / W	BlkSize [5]		0
		4	R / W	BlkSize [4]		0
		3	R / W	BlkSize [3]		0
		2	R / W	BlkSize [2]		0
		1	R / W	BlkSize [1]		0
		0	R / W	BlkSize [0]		0

データ転送時のブロックサイズを指定します。本レジスタは、“0001h”～“8000h”の範囲で設定可能です（表A3.8.1参照）。

本レジスタは、HWによって更新されません。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

表 A3.8.1 BlkSize レジスタの設定可能範囲

レジスタ設定値	データ転送時のブロックサイズ
FFFF-8001h	設定禁止（動作を保証できません。）
8000h	32768 Bytes
...	...
0400h	1024Bytes
...	...
0200h	512 Bytes
...	...
0001h	1 Byte
0000h	設定禁止（データ転送は開始されません。）

A3.8.1.2 04h BlkCnt_0 (Transfer Block Count 0)

A3.8.1.3 06h BlkCnt_1 (Transfer Block Count 1)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
04h	BlkCnt_0	15	R / W	BlkCnt_0 [15]	Transfer Block Count [15:0]	0
		14	R / W	BlkCnt_0 [14]		0
		13	R / W	BlkCnt_0 [13]		0
		12	R / W	BlkCnt_0 [12]		0
		11	R / W	BlkCnt_0 [11]		0
		10	R / W	BlkCnt_0 [10]		0
		9	R / W	BlkCnt_0 [9]		0
		8	R / W	BlkCnt_0 [8]		0
		7	R / W	BlkCnt_0 [7]		0
		6	R / W	BlkCnt_0 [6]		0
		5	R / W	BlkCnt_0 [5]		0
		4	R / W	BlkCnt_0 [4]		0
		3	R / W	BlkCnt_0 [3]		0
		2	R / W	BlkCnt_0 [2]		0
		1	R / W	BlkCnt_0 [1]		0
		0	R / W	BlkCnt_0 [0]		0
06h	BlkCnt_1	15	R / W	BlkCnt_1 [15]	Transfer Block Count [31:16]	0
		14	R / W	BlkCnt_1 [14]		0
		13	R / W	BlkCnt_1 [13]		0
		12	R / W	BlkCnt_1 [12]		0
		11	R / W	BlkCnt_1 [11]		0
		10	R / W	BlkCnt_1 [10]		0
		9	R / W	BlkCnt_1 [9]		0
		8	R / W	BlkCnt_1 [8]		0
		7	R / W	BlkCnt_1 [7]		0
		6	R / W	BlkCnt_1 [6]		0
		5	R / W	BlkCnt_1 [5]		0
		4	R / W	BlkCnt_1 [4]		0
		3	R / W	BlkCnt_1 [3]		0
		2	R / W	BlkCnt_1 [2]		0
		1	R / W	BlkCnt_1 [1]		0
		0	R / W	BlkCnt_1 [0]		0

データ転送時のブロック数を設定します。

本レジスタはMultiple転送とStream転送時 (TransferMode.TranType レジスタで設定) に有効となります。

本レジスタは、“0000_0001h”～“FFFF_FFFFh”の範囲で設定可能です (表A3.8.2参照)。

本レジスタをリードする事で、正常に転送が完了したブロック数を知ることができます。本レジスタは、1 データブロックの転送が完了した時点でCRCエラーが発生していなければ、デクリメントされます。詳細な更新タイミングは、A3.7.1.3章を参照してください。

本レジスタをリードするときは、BlkCnt_1、BlkCnt_0 レジスタの順にリードしてください。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

A3.8 内蔵レジスタ

表 A3.8.2 BlkCnt レジスタ設定可能範囲

レジスタ設定値	データ転送時のブロック数
FFFF_FFFFh	4G – 1 blocks
...	...
0400_0000h	64M blocks
...	...
0040_0000h	4M blocks
...	...
0001_0000h	64K blocks
...	...
0000_0001h	1 block
0000_0000h	設定禁止 (データ転送は開始されません。)

A3.8.1.4 08h Argument_0 (Command Argument 0)

A3.8.1.5 0Ah Argument_1 (Command Argument 1)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
08h	Argument_0	15	R / W	CmdArg_0 [15]	Command Argument [15:0]	0
		14	R / W	CmdArg_0 [14]		0
		13	R / W	CmdArg_0 [13]		0
		12	R / W	CmdArg_0 [12]		0
		11	R / W	CmdArg_0 [11]		0
		10	R / W	CmdArg_0 [10]		0
		9	R / W	CmdArg_0 [9]		0
		8	R / W	CmdArg_0 [8]		0
		7	R / W	CmdArg_0 [7]		0
		6	R / W	CmdArg_0 [6]		0
		5	R / W	CmdArg_0 [5]		0
		4	R / W	CmdArg_0 [4]		0
		3	R / W	CmdArg_0 [3]		0
		2	R / W	CmdArg_0 [2]		0
		1	R / W	CmdArg_0 [1]		0
		0	R / W	CmdArg_0 [0]		0
0Ah	Argument_1	15	R / W	CmdArg_1 [15]	Command Argument [31:16]	0
		14	R / W	CmdArg_1 [14]		0
		13	R / W	CmdArg_1 [13]		0
		12	R / W	CmdArg_1 [12]		0
		11	R / W	CmdArg_1 [11]		0
		10	R / W	CmdArg_1 [10]		0
		9	R / W	CmdArg_1 [9]		0
		8	R / W	CmdArg_1 [8]		0
		7	R / W	CmdArg_1 [7]		0
		6	R / W	CmdArg_1 [6]		0
		5	R / W	CmdArg_1 [5]		0
		4	R / W	CmdArg_1 [4]		0
		3	R / W	CmdArg_1 [3]		0
		2	R / W	CmdArg_1 [2]		0
		1	R / W	CmdArg_1 [1]		0
		0	R / W	CmdArg_1 [0]		0

コマンド送信時のArgumentを設定します。本レジスタは、コマンド送信時に使用されます。本レジスタに設定された値は、カード規格書記載のコマンドフォーマット中のArgument (bit[39:8]) としてカードへ送信されます（表A3.8.3参照）。本レジスタは、HWによって更新されません。

PresentStateBus.CMD_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

表 A3.8.3 コマンドフォーマット (Argument フィールド)

Bit Position	[47]	[46]	[45:40]	[39:8]	[7:1]	[0]
Width (bits)	1	1	6	32	7	1
Value	“0”	“1”	“X”	“X”	“X”	“1”
Description	Start Bit	Transmissi on Bit	Index	Argument	CRC7	End Bit

TransferMode .AutoCMD55 ビットに“1”を設定してコマンドの送信を行った場合は、HW が自動的に送信するCMD55 の後に送信されるコマンドの Argument となります。

A3.8 内蔵レジスタ

A3.8.1.6 0Ch TransferMode (Transfer Mode)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
0Ch	TransferMode	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9	R / W	AutoCMD12	0: Disable	1: Enable	0
		8	R / W	AutoCMD55	0: Disable	1: Enable	0
		7					0
		6					0
		5					0
		4	R / W	DataDir	0: Write (Host -> Card)	1: Read (Host <- Card)	0
		3					0
		2					0
		1	R / W	TranType [1]	Transfer Type [1:0]		0
		0	R / W	TranType [0]			0

データ転送時の動作を設定します。本レジスタは、HW によって更新されません。

AutoCMD12 機能と AutoCMD55 機能は、同時に使用できません。したがって、AutoCMD12 と AutoCMD55 ビットの両方に“1”をセットしないで下さい。

Bit15-10	Reserved
Bit9	AutoCMD12 AutoCMD12 機能の使用有無を設定します。 本ビットに“1”をセットして、データ転送を伴うコマンドを送信した場合、データ転送が正常に完了した後、自動的にCMD12 が送信されます。本機能の詳細な使用方法は、A3.7.1.4.2章を参照して下さい。 PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。
Bit8	AutoCMD55 AutoCMD55 機能の使用有無を設定します。 本ビットに“1”をセットしてコマンドを発行した場合、最初にCMD55 が自動的に発行されCMD55 の送信が正常に完了した後、コマンドが送信されます。本機能の詳細な使用方法は、A3.7.1.4.1章を参照して下さい。 PresentStateBus.CMD_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。
Bit7-5	Reserved
Bit4	DataDir 本ビットは、データ転送の方向を設定します。 0 : Write (SDMMC ホストコントローラ → カード) 1 : Read (SDMMC ホストコントローラ ← カード) PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。
Bit3-2	Reserved
Bit1-0	TranType [1:0] 本ビットは、データ転送のタイプを設定します。 00b : Single 転送 BlkSize[15:0] レジスタに設定されたサイズのブロックの転送が、1 回だけ行なわれます。 01b : Infinite 転送 BlkSize[15:0] レジスタに設定されたサイズのブロックの転送が、無限に繰りかえされます。 10b : Multiple 転送 BlkSize[15:0] レジスタに設定されたサイズのブロックの転送が、BlkCnt[31:0] レジスタに設定された回数分繰り返されます。

11b : Stream 転送

BlkSize[15:0] レジスタに設定されたサイズのデータ転送が、BlkCnt[31:0] レジスタに設定された回数分繰り返されます。

本モードでは、データブロックに CRC/EndBit は挿入されません。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

A3.8.1.7 0Eh Command (Command)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
0Eh	Command	15	R / W	WaitCCS	0: Disable	1: Enable	0
		14	R / W	Resp	0: Disable	1: Enable	0
		13	R / W	CmdIndex [5]	Command Index [5:0]		0
		12	R / W	CmdIndex [4]			0
		11	R / W	CmdIndex [3]			0
		10	R / W	CmdIndex [2]			0
		9	R / W	CmdIndex [1]			0
		8	R / W	CmdIndex [0]			0
		7	R / W	CmdType [1]	Command Type [1:0]		0
		6	R / W	CmdType [0]			0
		5	R / W	UseDAT_Line	0: No Data Transfer	1: Data Transfer	0
		4	R / W	RespIndexChk	0: Disable	1: Enable	0
		3	R / W	RespCRC_Chk	0: Disable	1: Enable	0
		2	R / W	RespTimeoutChk	0: Disable	1: Enable	0
		1	R / W	ResponseType [1]	Response Type [1:0]		0
		0	R / W	ResponseType [0]			0

コマンド送信時の動作を設定します。本レジスタの上位 Byte (Bit[15:8]) に書き込みが発生すると、コマンドの送信が開始されます。

本レジスタは、HW によって更新されません。

PresentStateBus.CMD_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

Bit15

WaitCCS

本ビットは、CE-ATA ドライブを接続する場合に使用します。本機能を使用しない場合、“0”を設定してください。

本ビットは、レスポンスを伴うコマンドを送信する場合に有効となります。

本ビットに“1”をセットしてコマンドを送信した場合、カードからのレスポンス受信が完了した後、内部ステートマシン(CMD_State)が CE-ATA ドライブからの CCS を待つステートに遷移します。

CE-ATA ドライブからの CCS を検出すると、NormIntStat.CCS ビットに“1”がセットされます。この場合、カードからのレスポンスの受信が完了した時点で、NormIntStat.CmdCmp 割り込み要因ビットに“1”がセットされますが、PresentStateBus.CMD_TranAct ビットは、CE-ATA ドライブからの CCS を検出するまでの間、“1”がセットされます。

また、レスポンスTimeoutエラー (ErrIntStat.RespTimeoutErr=“1”) が発生した場合には、CCS検出機能は無効となります。その他のレスポンスエラーが発生した場合は、CCS検出機能は有効となります。詳細な使用方法は、A3.7.2.2章を参照してください。

0 : CCS 検出機能が無効です。

1 : CCS 検出機能が有効です。

Bit14

Resp

本ビットは、MMC カードの Interrupt Mode で使用します。本機能を使用しない場合、“0”を設定してください。

本ビットに“1”をセットした場合、カード規格書記載のコマンドフォーマット中のTransmission Bit (bit[46]) に“0”をセットして、カードへ送信されます (表A3.8.4参照)。

0 : Transmission Bit (bit[46]) に“1”をセットして、カードへ送信されます。

1 : Transmission Bit (bit[46]) に“0”をセットして、カードへ送信されます。

A3.8 内蔵レジスタ

表 A3.8.4 コマンドフォーマット (Transmission Bit フィールド)

Bit Position	[47]	[46]	[45:40]	[39:8]	[7:1]	[0]
Width (bits)	1	1	6	32	7	1
Value	“0”	“X”	“X”	“X”	“X”	“1”
Description	Start Bit	Transmission Bit	Index	Argument	CRC7	End Bit

Bit13-8

CmdIndex [5:0]

本ビットに設定された値は、カード規格書記載のコマンドフォーマット中のIndex (bit[45:40]) としてカードへ送信されます（表A3.8.5参照）。

表 A3.8.5 コマンドフォーマット (Index フィールド)

Bit Position	[47]	[46]	[45:40]	[39:8]	[7:1]	[0]
Width (bits)	1	1	6	32	7	1
Value	“0”	“1”	“X”	“X”	“X”	“1”
Description	Start Bit	Transmission Bit	Index	Argument	CRC7	End Bit

TransferMode .AutoCMD55 ビットに“1”を設定してコマンドの送信を行った場合は、HW が自動的に送信する CMD55 の後に送信されるコマンドの Index となります。

Bit7-6

CmdType [1:0]

本ビットは、コマンドのタイプを設定します。

00b : Normal コマンド

SDMMC ホストコントローラは、送信するコマンドを、Normal コマンドとして認識し、動作します。

01b : Reserved

10b : Reserved

11b : Abort コマンド

SDMMC ホストコントローラは、送信するコマンドを、Abort コマンドとして認識し、動作します。

データ転送を中止する為のコマンドを送信する場合に使用します。詳細な使用方法は、A3.7.2.1章を参照してください。

Bit5

UseDAT_Line

本ビットに“1”をセットしてコマンドを発行した場合は、データ転送を伴うコマンドとして動作します。リード転送 (TransferMode.DataDir=“0”) の場合はコマンド送信後、ライト転送 (TransferMode.DataDir=“1”) の場合はレスポンス受信が正常に完了した後、SDMMC ホストコントローラの内部ステートマシン (DAT_State) が起動され、データ転送が開始されます。詳細な動作説明は、A3.7.1.3章を参照してください。

0 : データ転送を伴わないコマンドとして動作します。

1 : データ転送を伴うコマンドとして動作します。

Bit4

RespIndexChk

本ビットに“1”がセットされている場合は、レスポンス Index チェック機能が有効となります。

本ビットに“1”をセットしてレスポンスを伴うコマンドを発行した場合、Command.CmdIndex レジスタの内容と、受信したレスポンスの Index フィールドの内容を比較します。もし内容が異なっている場合は、レスポンス Index エラーとなり、ErrIntStat.RespIndexErr 割り込み要因ビットに“1”がセットされます。

0 : レスポンス Index チェック機能が無効です。

1 : レスポンス Index チェック機能が有効です。

Bit3

RespCRC_Chk

本ビットに“1”がセットされている場合は、レスポンス CRC チェック機能が有効となります。

本ビットに“1”をセットしてレスポンスを伴うコマンドを発行した場合、受信したレスポンスの内容から CRC 値を計算し、レスポンス中の CRC フィールドの内容と比較します。もし内容が異なっている場合は、レスポンス CRC エラーとなり、ErrIntStat.RespCRC_Err 割り込み要因ビットに“1”をセットされます。

0 : レスポンス CRC チェック機能が無効です。

1 : レスポンス CRC チェック機能が有効です。

Bit2

RespTimoutChk

本ビットに“1”がセットされている場合は、レスポンス Timeout チェック機能が有効となります。本ビットに“1”をセットしてレスポンスを伴うコマンドを発行した場合、コマンド送信後規定クロックサイクル以内にレスポンスの Start ビットが検出できなかった時、レスポンスタイムアウトエラーとなり、ErrIntStat.RespTimoutErr 割り込み要因ビットに“1”がセットされます。

0 : レスポンス Timeout チェック機能が無効です。

1 : レスポンス Timeout チェック機能が有効です。

Bit1-0

ResponseType [1:0]

本ビットは、レスポンスのタイプを設定します。

00b : レスポンス無し

レスポンス無しのコマンドとして動作します。

01b : 136 ビットレスポンス

コマンド送信後に受信するレスポンスを、136 ビット長のレスポンスとして動作します。

受信したレスポンスの Argument フィールドは、CmdResp[119:0] レジスタに格納されます。

10b : 48 ビットレスポンス

コマンド送信後に受信するレスポンスを、48 ビット長のレスポンスとして動作します。

受信したレスポンスの Argument フィールドは、CmdResp[31:0] レジスタに格納されます。

11b : RespBusy を伴う 48 ビットレスポンス

コマンド送信後に受信するレスポンスを、48 ビット長のレスポンスとして動作します。

コマンド送信後、カードからの RespBusy の検出を行います。

A3.8.1.8 10h Response_0 (Command Response 0)**A3.8.1.9 12h Response_1 (Command Response 1)****A3.8.1.10 14h Response_2 (Command Response 2)****A3.8.1.11 16h Response_3 (Command Response 3)****A3.8.1.12 18h Response_4 (Command Response 4)****A3.8.1.13 1Ah Response_5 (Command Response 5)****A3.8.1.14 1Ch Response_6 (Command Response 6)****A3.8.1.15 1Eh Response_7 (Command Response 7)**

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
10h	Response_0	15	R	Response_x{x=0-7} [15]	Response_0: Command Response [15:0]	0
12h	Response_1	14	R	Response_x{x=0-7} [14]	Response_1: Command Response [31:16]	0
14h	Response_2	13	R	Response_x{x=0-7} [13]	Response_2: Command Response [47:32]	0
16h	Response_3	12	R	Response_x{x=0-7} [12]	Response_3: Command Response [63:48]	0
18h	Response_4	11	R	Response_x{x=0-7} [11]	Response_4: Command Response [79:64]	0
1Ah	Response_5	10	R	Response_x{x=0-7} [10]	Response_5: Command Response [95:80]	0
1Ch	Response_6	9	R	Response_x{x=0-7} [9]	Response_6: Command Response [111:96]	0
1Eh	Response_7	8	R	Response_x{x=0-7} [8]	Response_7: Command Response [127:112]	0
		7	R	Response_x{x=0-7} [7]		0
		6	R	Response_x{x=0-7} [6]		0
		5	R	Response_x{x=0-7} [5]		0
		4	R	Response_x{x=0-7} [4]		0
		3	R	Response_x{x=0-7} [3]		0
		2	R	Response_x{x=0-7} [2]		0
		1	R	Response_x{x=0-7} [1]		0
		0	R	Response_x{x=0-7} [0]		0

カードから受信したレスポンスの Argument フィールドを格納します。本レジスタは、レスポンスを

A3.8 内蔵レジスタ

伴うコマンドを送信した後、カードからのレスポンスを受信した時に、対応するレジスタが更新されます。

レスポンスタイプの設定 (Command.RespType レジスタ) 及び、AutoCMD12/AutoCMD55 機能の有無によって、受信したレスポンスの Argument フィールドを格納する領域が異なります。

格納される領域の対応は、表A3.8.6を参照してください。48ビットレスポンスと136ビットレスポンスのArgumentフィールドの位置は、それぞれ表A3.8.7と表A3.8.8を参照してください。

表 A3.8.6 転送モード毎の格納されるレスポンスの Argument フィールド

格納される CmdResp レジスタ 領域	転送モード毎の格納されるレスポンスの Argument フィールド			
	48ビットレスポンス時 Command_0.RespType = "00b" or "11b" TransferMode_1.AutoCMD55 = "0" TransferMode_1.AutoCMD12 = "0"	136ビットレスポンス時 Command_0.RespType = "01b" TransferMode_1.AutoCMD55 = "0" TransferMode_1.AutoCMD12 = "0"	AutoCMD55モード時 Command_0.RespType = "00b" or "11b" TransferMode_1.AutoCMD55 = "1" TransferMode_1.AutoCMD12 = "0"	AutoCMD12モード時 Command_0.RespType = "00b" or "11b" TransferMode_1.AutoCMD55 = "0" TransferMode_1.AutoCMD12 = "1"
CmdResp[7:0]	48ビットレスポンスの Argument フィールド[39:8]		CMD55送信完了後に送信される コマンドの48ビットレスポンスの Argument フィールド[39:8]	最初に送信されるコマンドに対する 48ビットレスポンスの Argument フィールド[39:8]
CmdResp[15:8]				
CmdResp[23:16]				
CmdResp[31:24]				
CmdResp[39:32]				
CmdResp[47:40]				
CmdResp[55:48]				
CmdResp[63:56]				
CmdResp[71:64]				
CmdResp[79:72]				
CmdResp[87:80]				
CmdResp[95:88]				
CmdResp[103:96]				
CmdResp[111:104]			最初に送信されるCMD55に対する 48ビットレスポンスの Argument フィールド[39:8]	
CmdResp[119:112]				データ転送後に送信される CMD12の48ビットレスポンスの Argument フィールド[39:8]
CmdResp[127:120]				

表 A3.8.7 レスponsフォーマット (48ビットレスポンス)

Bit Position	[47]	[46]	[45:40]	[39:8]	[7:1]	[0]
Width (bits)	1	1	6	32	7	1
Value	"0"	"0"	"X"	"X"	"X"	"1"
Description	Start Bit	Transmissi on Bit	Index	Argument	CRC7	End Bit

表 A3.8.8 レスponsフォーマット (136ビットレスポンス)

Bit Position	[135]	[134]	[133:128]	[127:8]	[7:1]	[0]
Width (bits)	1	1	6	120	7	1
Value	"0"	"0"	"X"	"X"	"X"	"1"
Description	Start Bit	Transmissi on Bit	Index	Argument	CRC7	End Bit

A3.8.1.16 28h PresentStateCard (Present State Card)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
28h	PresentStateCard	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7					0
		6					0
		5					0
		4					0
		3	R	WP_Sig	0: Write Enable	1: Write Protect	X
		2	R	CD_Sig	0: Card Present	1: No Card Present	X
		1	R	CardStateStable	0: CD_Sig is not stable	1: CD_Sig is stable	0
		0	R	CardInserted	0: No Card Inserted	1: Card Inserted	0

Bit15-4

Reserved

Bit3

WP_Sig

本ビットは、ライトプロテクト端子 (SDWP) の状態を表示します。

0 : SDWP = "L"

1 : SDWP = "H"

下記の仕様は、一般的な参考例です。外部回路、カードソケットの仕様によって仕様が異なる場合があります。

SDWP 端子 = "L" : 書き込み可能なカードが挿入されている。

SDWP 端子 = "H" : 書き込み禁止のカードが挿入されている。もしくは、カードが挿入されていない。

本ビットは、システムクロック停止中も読み出し可能です。

Bit2

CD_Sig

本ビットは、カード検出端子 (SDCD) の状態を表示します。

0 : SDCD = "L" (カードが挿入されている。)

1 : SDCD = "H" (カードが挿入されていない。)

本ビットは、システムクロック停止中も読み出し可能です。

Bit1

CardStateStable

本ビットは、カード検出端子 (SDCD) の状態が安定しているかどうかを表示します。

カード検出端子の状態が変化すると ("0" → "1" or "1" → "0")、本ビットに "0" がセットされます。

その後、カード検出端子の状態を 1/250000 分周したシステムクロックで 4 回サンプリング (最大 5 サイクル期間) して、端子の状態に変化がなければ、本ビットに "1" がセットされます。本ビットに "1" がセットされるのと同時に、NormIntStat.CardStateStabilized 割り込み要因ビットに "1" がセットされます。

本ビットが "1" → "0" へ変化するには、システムクロックは必要ありませんが、"0" → "1" へ変化するにはシステムクロックが必要です。

0 : SDCD 端子変化後、上記に示すサンプリング期間が経過していない。

1 : SDCD 端子変化後、上記に示すサンプリングの期間以上安定している。

本ビットは、ハードリセット／ソフトリセット解除後 "0" にセットされ、上記に示すサンプリング期間カード検出端子に変化がなければ、"1" がセットされます。

本ビットは、システムクロック停止中も読み出し可能です。

A3.8 内蔵レジスタ

Bit0

CardInserted

本ビットは、カードが挿入されているかどうかを表示します。

本ビットは、CardStateStable ビットが“0”→“1”に変化する際に更新されます。CardStateStable ビットに“1”がセットされた時に、カードが挿入されていれば、本ビットに“1”がセットされます。CardStateStable ビットに“1”がセットされた時に、カードが挿入されていなければ、本ビットに“0”がセットされます。

- 0 : カードが挿入されていない。
- 1 : カードが挿入されている。

本ビットは、ハードリセット／ソフトリセット解除後“0”にセットされ、CardStateStable ビットが“0”→“1”に変化する際に更新されます。

本ビットは、システムクロック停止中も読み出し可能です。

A3.8.1.17 2Ah PresentStateBus (Present State Bus)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
2Ah	PresentStateBus	15	R	CMD_Sig	CMD Line Signal		X
		14					0
		13					0
		12					0
		11					0
		10					0
		9	R	DAT_TranAct	0: DAT_State is IDLE	1: DAT_State Is Active	0
		8	R	CMD_TranAct	0: CMD_State Is IDLE	1: CMD_State Is Active	0
		7	R	DAT_Sig [7]	DAT Line Signal [7:0]		X
		6	R	DAT_Sig [6]			X
		5	R	DAT_Sig [5]			X
		4	R	DAT_Sig [4]			X
		3	R	DAT_Sig [3]			X
		2	R	DAT_Sig [2]			X
		1	R	DAT_Sig [1]			X
		0	R	DAT_Sig [0]			X

Bit15

CMD_Sig

CMD ラインの状態を表示します。

- 0 : CMD ライン = “L”
- 1 : CMD ライン = “H”

本ビットは、システムクロック停止中も読み出し可能です。

Bit14-10

Reserved

DAT_TranAct

本ビットは、DAT ラインが使用中の間、“1”にセットされます。ただし、リード転送時は、最後のデータブロックを受信した後内蔵 FIFO 内のデータをすべて読み出すまで、“1”にセットされます。

本ビットに“1”がセットされている間は、データ転送を伴うコマンド及び、RespBusy を伴うコマンド (Abort コマンドを除く) を送信することは出来ません。SDMMC ホストドライバは、データ転送を伴うコマンド及び、RespBusy を伴うコマンド (Abort コマンドを除く) を送信する前に、本ビットに“0”がセットされていることを確認してください。

- 0 : DAT ラインは使用されていません。
- 1 : DAT ラインは使用中です。

Bit8

CMD_TranAct

本ビットは、CMD ラインが使用中の間、“1”にセットされます。本ビットに“1”がセットされている間は、全てのコマンドの送信はできません。

SDMMC ホストドライバは、コマンドを送信する前に、必ず本ビットに“0”がセットされていることを確認してください。

0 : CMD ラインは使用されていません。
1 : CMD ラインは使用中です。

Bit7-0	DAT_Sig [7-0]	DAT ラインの状態を表示します。 0 : DAT ライン = “L” 1 : DAT ライン = “H” 本ビットは、システムクロック停止中も読み出し可能です。
--------	---------------	--

A3.8.1.18 2Ch HostConfig (Host Config)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
2Ch	HostConfig	15				0
		14				0
		13				0
		12				0
		11				0
		10				0
		9				0
		8				0
		7				0
		6				0
		5				0
		4				0
		3				0
		2	R / W	HighSpeed	0: Low Speed 1: High Speed	0
		1	R / W	DataTranWidth [1]	DataTranWidth [1:0]	0
		0	R / W	DataTranWidth [0]		0

SDMMC ホストコントローラの初期設定を行います。本レジスタは、HWによって更新されません。PresentStateBus.CMD_TranAct ビット、PresentStateBus.DAT_TranAct ビットのどちらかに”1”がセットされている間は、本レジスタの内容を変更しないで下さい。

Bit7-3	Reserved	
Bit2	HighSpeed	
	CMD ライン/DAT ライン上の信号の出力タイミングを切り替えます。 SD/SDIO カードの HighSpeed モードを使用する時のみ、本ビットに“1”をセットしてください。	
	0 : CLK ラインの立ち下りエッジに同期して、CMD ライン/DAT ライン上へ信号を出力します。 1 : CLK ラインの立ち上がりエッジに同期して、CMD ライン/DAT ライン上へ信号を出力します。	
Bit1-0	DataTranWidth [1:0]	
	データ転送時のバス幅を設定します。	
	00b : 1 ビットバスモード 01b : 4 ビットバスモード 10b : 8 ビットバスモード 11b : 設定禁止	

A3.8 内蔵レジスタ

A3.8.1.19 2Eh HostOperation (Host Operation)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
2Eh	HostOperation	15	R / W	GolnitDly80	0: Do nothing	1: Output 80 cycle clock	0
		14					0
		13					0
		12	R / W	GPO	0: output "L"	1: output "H"	0
		11					0
		10					0
		9					0
		8					0
		7					0
		6					0
		5					0
		4	R / W	ReadWaitControl	0: Negate ReadWait	1: Assert ReadWait	0
		3	R / W	CardInt_at_BlkGap	0: Disable	1: Enable	0
		2					0
		1	W	ContinueReq	0: Do nothing	1: Restart	X
		0	W	BlkGapStopReq	0: Disable	1: Enable	X

Bit15

GolnitDly80

本ビットに“1”をセットすると、CLK ライン上に 80 サイクル分のクロックを送信します。クロックを送信している間、本ビットに“1”がセットされます。80 サイクル分のクロックの送信が完了すると、本ビットは“0”にクリアされます。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

Bit14-13

Reserved

Bit12

GPO

汎用出力端子 (GPO) の状態を設定します。

- 0 : 汎用出力端子に“L”が出力されます。
- 1 : 汎用出力端子に“H”が出力されます。

Bit11-5

Reserved

以下のビットは、SDIO カードと接続する際に使用する機能を制御します。SDIO カードと接続しない場合には、本レジスタを書き換えないで下さい。

Bit4

ReadWaitControl

ReadWait 機能に対応している SDIO カードと接続する際に使用する機能です。

本ビットに“1”がセットされている時、下記の条件で ReadWait 信号をアサートします。 (DAT[2] ラインを“L”にドライブ)

- ・ データ転送中に、HostOperation.BlkGapReq ビットに“1”をセットすることによって、データブロックとデータブロックの間で転送が止まったとき。
 - ・ コマンドを発行したとき。
- また、本ビットを“0”にセットすることで ReadWait 信号をネガートします。 (DAT[2] ラインを“H”にドライブした後 Hi-Z 状態に遷移)

Bit3

CardInt_at_BlkGap

本ビットは、4 ビットモードの Multiple 転送もしくは Infinite 転送時の時のみ有効です。

本ビットに“1”がセットされている場合、Multiple / Infinite 転送のデータブロックとデータブロックの間に、SDIO カードからの割り込み (DAT1 ラインを使用) を検出します。SDIO カードからの割り込みを検出すると、NormIntStat.SyncSDIO_Int 割り込み要因ビットに“1”がセットされます。

- 0 : データブロック間の SDIO カードからの割り込みを受け付けません。
- 1 : データブロック間の SDIO カードからの割り込みを受け付けます。

Bit2	Reserved
Bit1	ContinueReq 本ビットに“1”をセットすると、TransferMode、TransferMode、BlkSize、BlkCnt レジスタの設定値を元にデータ転送だけを開始します。（この時、コマンドの転送は行なわれません。） 本ビットに“0”をセットした場合は、動作に影響を与えません。本ビットは、常に“0”が読み出されます。
Bit0	BlkGapStopReq 本ビットは、Multiple 転送もしくは Infinite 転送時に有効です。 Multiple 転送 / Infinite 転送で動作中に、本ビットに“1”をセットすると、現在のデータブロックの転送が完了した時点で転送終了となります。データ転送の途中で、転送終了となった場合は、NormIntStat.TranCmp ビット及び NormIntStat.BlkGapEvent ビットに“1”がセットされます。Multiple 転送モードで、最後のデータブロックの転送中に、本ビットに“1”をセットした場合は、通常の転送終了となり、NormIntStat.TranCmp ビットのみ“1”がセットされます。 AutoCMD12 機能を使用したデータ転送中、本ビットに“1”をセットしてデータ転送を中断した場合、AutoCMD12 機能は実行されません。 本ビットに“0”をセットした場合は、動作に影響を与えません。本ビットは、常に“0”が読み出されます。

A3.8.1.20 30h ClockControl (Clock Control)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
30h	ClockControl	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7	R / W	ForceSDCLK	0: Normal Mode	1: Force SDCLK output	0
		6					0
		5					0
		4					0
		3					0
		2	R / W	ClockDiv [2]	Clock Divide [2:0]		0
		1	R / W	ClockDiv [1]			0
		0	R / W	ClockDiv [0]			0

Bit15-8	Reserved
Bit7	ForceSDCLK カードへ送信するクロックを常時出力し続けるモードです。通常、“0”を設定してください。 0 : Normal Mode 1 : SDCLK を常時出力します。
Bit6-3	Reserved
Bit2-0	ClockDiv [2:0] カードへ送信するクロックの分周比を設定します。 本レジスタの設定に従って、システムクロックを分周します。本レジスタは、HWによって更新されません。 PresentStateBus.CMD_TranAct ビット、PresentStateBus.DAT_TranAct ビットのどちらかに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。 0h : 1/150 分周 1h : 1/1 分周 2h : 1/2 分周 3h : 1/3 分周 4h : 1/6 分周

A3.8 内蔵レジスタ

5h-7h : 設定禁止

A3.8.1.21 32h TimeoutControl (Timeout Control)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
32h	TimeoutControl	15			Write Timeout Count [4:0]	0
		14				0
		13				0
		12	R / W	WrTimeoutCnt [4]		0
		11	R / W	WrTimeoutCnt [3]		0
		10	R / W	WrTimeoutCnt [2]		0
		9	R / W	WrTimeoutCnt [1]		0
		8	R / W	WrTimeoutCnt [0]		0
		7				0
		6				0
		5				0
		4				0
		3	R / W	RdTimeoutCnt [3]		0
		2	R / W	RdTimeoutCnt [2]		0
		1	R / W	RdTimeoutCnt [1]		0
		0	R / W	RdTimeoutCnt [0]		0

Bit15-13

Reserved

Bit12-8

WrTimeoutCnt [4:0]

本レジスタは、ライト時のタイムアウトエラーを検出する為のクロックサイクル数を設定します。本レジスタに設定された値が、内部のタイムアウトカウンタの初期値となり、ClockControl.ClockDiv レジスタの設定によって分周されたクロックで、デクリメントされます。内部のタイムアウトカウンタが“0h”になった時点で、ErrIntStat.DataTimeoutErr ビットに“1”がセットされます。

本レジスタの設定は、転送中の下記の期間で使用されます。

RespBusy を伴うコマンドを送信後、RespBusy がネゲートされるまでの期間。

ライト転送時、1 つのデータブロックの書き込み完了から CRC ステータスを受信するまでの期間
ライト転送時、CRC ステータスを受信した後に発生する WriteBusy がネゲートされるまでの期間

表 A3.8.9 WrTimeoutCnt レジスタの設定値

WrTimeoutCnt [4:0]	タイムアウトカウント数
1_0110b ~ 1_1111b	設定禁止
1_0101b	1 クロックサイクル x 234
.....
0_0001b	1 クロックサイクル x 214
0_0000b	1 クロックサイクル x 213

本レジスタは、HW によって更新されません。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

Bit7-4

Reserved

Bit3-0

RdTimeoutCnt [3:0]

本レジスタは、リード時のタイムアウトエラーを検出する為のクロックサイクル数を設定します。本レジスタに設定された値が、内部のタイムアウトカウンタの初期値となり、ClockControl.ClockDiv レジスタの設定によって分周されたクロックで、デクリメントされます。内部のタイムアウトカウンタが“0h”になった時点で、ErrIntStat.DataTimeoutErr ビットに“1”がセットされます。

本レジスタの設定は、転送中の下記の期間で使用されます。

- 1) リード転送コマンドを送信した後、データブロックの Start ビットが検出されるまでの期間。
- 2) Multiple 転送、Infinite 転送モードでリード転送中、1 つのデータブロックの受信が完了してから、次のデータブロックの Start ビットが検出されるまでの期間。（Multiple 転送時の最終データブロックの後を除く）

表 A3.8.10 RdTimeoutCnt レジスタの設定値

RdTimeoutCnt [3:0]	タイムアウトカウント数
1111b	設定禁止
1110b	1 クロックサイクル × 227
.....
0001b	1 クロックサイクル × 214
0000b	1 クロックサイクル × 213

本レジスタは、HW によって更新されません。

PresentStateBus.DAT_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

A3.8.1.22 34h SoftwareReset (Software Reset)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
34h	SoftwareReset	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7					0
		6					0
		5					0
		4					0
		3					0
		2					0
		1	W	SoftReset_for_CMD	0: Do nothing	1: Reset	X
		0	W	SoftReset_for_All	0: Do nothing	1: Reset	X

Bit15-2

Reserved

Bit1

SoftReset_for_CMD

本ビットに“1”をセットすると、CMD ライン上のコマンド転送がリセットされます。DAT ライン上のデータ転送には影響ありません。

本ビットに“0”をセットした場合は、動作に影響を与えません。本ビットは、常に“0”が読み出されます。

Bit0

SoftReset_for_All

本ビットに“1”をセットすると、非同期レジスタ（太字斜体で記述）以外の内部回路が全てリセットされます。

本ビットに“0”をセットした場合は、動作に影響を与えません。本ビットは、常に“0”が読み出されます。

A3.8 内蔵レジスタ

A3.8.1.23 36h TEST_Mode (TEST Mode)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
36h	TEST_Mode	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7					0
		6					0
		5					0
		4					0
		3					0
		2					0
		1					0
		0	R / W	TEST_Mode	0: Normal mode	1: TEST mode	0

本レジスタは、弊社使用のテスト用レジスタです。

本ビットに、“1”をセットしないでください。

Bit15-1 Reserved
Bit0 TEST_Mode
 0 : Normal Mode
 1 : TEST Mode

A3.8.1.24 38h TimeoutCnt_0 (Timeout Count 0)

A3.8.1.25 3Ah TimeoutCnt_1 (Timeout Count 1)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
38h	TimeoutCnt_0	15	R	TO_Cnt_0 [15]	TO_Cnt[18:3]	0
		14	R	TO_Cnt_0 [14]		0
		13	R	TO_Cnt_0 [13]		0
		12	R	TO_Cnt_0 [12]		0
		11	R	TO_Cnt_0 [11]		0
		10	R	TO_Cnt_0 [10]		0
		9	R	TO_Cnt_0 [9]		0
		8	R	TO_Cnt_0 [8]		0
		7	R	TO_Cnt_0 [7]		0
		6	R	TO_Cnt_0 [6]		0
		5	R	TO_Cnt_0 [5]		0
		4	R	TO_Cnt_0 [4]		0
		3	R	TO_Cnt_0 [3]		0
		2	R	TO_Cnt_0 [2]		0
		1	R	TO_Cnt_0 [1]		0
		0	R	TO_Cnt_0 [0]		0
3Ah	TimeoutCnt_1	15	R	TO_Cnt_1 [15]	TO_Cnt[34:19]	0
		14	R	TO_Cnt_1 [14]		0
		13	R	TO_Cnt_1 [13]		0
		12	R	TO_Cnt_1 [12]		0
		11	R	TO_Cnt_1 [11]		0
		10	R	TO_Cnt_1 [10]		0
		9	R	TO_Cnt_1 [9]		0
		8	R	TO_Cnt_1 [8]		0
		7	R	TO_Cnt_1 [7]		0
		6	R	TO_Cnt_1 [6]		0
		5	R	TO_Cnt_1 [5]		0
		4	R	TO_Cnt_1 [4]		0
		3	R	TO_Cnt_1 [3]		0
		2	R	TO_Cnt_1 [2]		0
		1	R	TO_Cnt_1 [1]		0
		0	R	TO_Cnt_1 [0]		0

RespBusy タイムアウトエラー検出用の内部カウンタ (TO_Cnt[34:0]) の、TO_Cnt[34:3]を表示します。 TimeoutControl.WrTimeoutCnt レジスタに設定された値が、内部カウンタの初期値として設定され、 ClockControl.ClockDiv レジスタの設定によって分周されたクロックで、デクリメントされます。 本レジスタの値は、RespBusy を伴うコマンドの転送が完了後 (NormIntStat.TranCmp ビット="1") から、新たなコマンドを発行するまでの間有効となります。 本レジスタは、PresentStateBus.CMD_TranAct ビット、PresentStateBus.DAT_TranAct ビットのどちらかに“1”がセットされている間は、読み出し禁止です。

A3.8 内蔵レジスタ

A3.8.1.26 40h NormIntStat (Normal Interrupt Status)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
40h	NormIntStat	15	R / W	CardStateStabilized	0: Debouncing	1: Card State Stabled	0
		14	R / W	AsyncCardChg	0: Card not inserte or remove	1: Card inserted or removed	0
		13	R	SyncSDIO_Int	0: No Sync SDIO Interrupt	1: Sync SDIO Interrupt	0
		12	R	AsyncSDIO_Int	0: No Async SDIO Interrupt	1: Async SDIO Interrupt	0
		11					0
		10					0
		9	R / W	CCS	0: No Detect CCS	1: Detect CCS	0
		8					0
		7	R	ErrInt	0: No Error	1: Error	0
		6					0
		5	R / W	FIFO_RcvdBlk	0: No Received Block data	1: Received Block data	0
		4	R / W	FIFO_Empty	0: FIFO Empty	1: FIFO Not Empty	0
		3	R / W	AutoCMD12Cmp	0: Not Complete AutoCMD12	1: AutoCMD12 Complete	0
		2	R / W	BlkGapEvent	0: No Block Gap Event	1: stopped at block gap	0
		1	R / W	TranCmp	0: No Transfer Complete	1: Data Transfer Complete	0
		0	R / W	CmdCmp	0: No Command Complete	1: Command Complete	0

正常系の割込み要因を表示します。本レジスタには、割り込み要因を間接表示するビットと直接表示するビットがあります。

割り込み要因を間接表示するビットは、対応する割り込みステータスレジスタをリードすることにより、割り込み要因を直接表示するビットまで辿ることができます。割り込み要因を間接表示するビットは、リードオンリーであり、割り込み要因を直接表示するビットをクリアする事により、自動的にクリアされます。

割り込み要因を直接表示するビットは、書き込み可能であり、該当ビットに“1”をセットすることにより、割り込み要因をクリアすることができます。

Bit15 CardStateStabilized
 割り込み要因を直接表示します。
 PresentStateCard.CardStateStable ビットが、“0”→“1”に変化するタイミングで、本ビットに“1”がセットされます。
 本ビットは、“1”を書き込むことでクリアされます。

Bit14 AsyncCardChg
 割り込み要因を直接表示します。
 カード検出端子 (SDCD) に変化があった場合、本ビットに“1”がセットされます。
 本ビットは、“1”を書き込むことでクリアされます。
 本ビットは、システムクロック停止中も読み出し可能です。

Bit13 SyncSDIO_Int
 割り込み要因を直接表示します。
 SDIO カードからの割り込み信号を受ける場合に使用します。
 本ビットは、システムクロックが供給されている場合だけ有効となります。
 NormIntFactEnb.SyncSDIO_IntEnb ビットに“1”がセットされている状態で、DAT1 ライン上に SDIO カードからの割り込み信号を検出した場合、本ビットに“1”がセットされます。

	また、本ビットに“1”がセットされている状態で、NormIntFactEnb.SyncSDIO_IntEnb ビットに“0”を書き込んだ場合、本ビットはクリアされます。
Bit12	<p>AsyncSDIO_Int 割り込み要因を直接表示します。</p> <p>SDIO カードからの割り込み信号を受ける場合に使用します。</p> <p>本ビットは、システムクロックを停止中に、割り込みを受ける場合に使用してください。</p> <p>NormIntFactEnb.AsyncSDIO_IntEnb ビットに“1”がセットされている状態で、DAT1 ライン上に SDIO カードからの割り込み信号を検出した場合、本ビットに“1”がセットされます。</p> <p>また、本ビットに“1”がセットされている状態で、NormIntFactEnb.SyncSDIO_IntEnb ビットに“0”を書き込んだ場合、本ビットはクリアされます。</p> <p>本ビットは、システムクロック停止中も読み出し可能です。</p>
Bit11-10	Reserved
Bit9	CCS 割り込み要因を直接表示します。
	本割り込み要因は、CE-ATA ドライブと接続する場合に使用します。
	Command.WaitCCS ビットに“1”をセットしてコマンドを送信した場合、CMD ライン上に CE-ATA ドライブからの CCS (Command Completion Signal) を検出した場合、本ビットに“1”がセットされます。
	本ビットは、“1”を書き込むことでクリアされます。
Bit8	Reserved
Bit7	ErrInt 割り込み要因を間接表示します。
	ErrIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する ErrIntEnb レジスタのビットが“1”にセットされている場合、本ビットに“1”がセットされます。
Bit6	Reserved
Bit5	FIFO_RcvdBlk 割り込み要因を直接表示します。
	FIFO_Join.JoinCPU_Rd=“1”的時、BlkSize レジスタで設定されたデータ数が FIFO 内に入っている場合、本ビットに“1”がセットされます。
	但し、BlkSize レジスタの値が 512Byte を超える場合は、512Byte 分のデータが FIFO 内部に入っている場合、本ビットに“1”がセットされます。
Bit4	FIFO_Empty 割り込み要因を直接表示します。
	FIFO_Join.JoinCPU_Wr=“1”的時、内部の FIFO が空になっている場合、本ビットに“1”がセットされます。
Bit3	AutoCMD12Cmp 割り込み要因を直接表示します。
	Auto CMD12 機能を使用した転送が正常に完了した場合、本ビットに“1”がセットされます。
	AutoCMD12 機能を使用した転送中にエラーが発生した場合、本ビットに“1”がセットされません。
Bit2	BlkGapEvent 割り込み要因を直接表示します。
	Multiple / Infinite 転送モードで動作中に HostOperation.BlkGapStopReq ビットに“1”をセットした場合、現在のデータブロックの転送が完了した時点で転送終了となり、TranCmp ビットと同時に本ビットが“1”にセットされます。
	但し、Multiple 転送モードで動作中に HostOperation.BlkGapStopReq ビットに“1”をセットした場合、転送中のデータが最後のデータブロックの場合は、本ビットはセットされず TranCmp ビットのみ“1”がセットされます。
Bit1	TranCmp 割り込み要因を直接表示します。
	本ビットがセットされるタイミングは下記のとおりです。

1) リード転送

最後のデータブロックのリードが正常に完了し、かつ内蔵 FIFO 内のデータが空になると、本ビットに“1”がセットされます。データ転送中にエラーが発生した場合は、本ビットはセットされません。

Multiple / Infinite 転送モードでリード中に HostOperation.BlkGapStopReq ビットに“1”をセットした場合は、転送中のデータブロックが正常に完了し、かつ内蔵 FIFO 内のデータが空になると、本ビットに“1”がセットされます。

リード転送中に Abort コマンドを送信した場合、データ転送が中断されます。Abort コマンドに対するレスポンスを受信した時点で、本ビットに“1”がセットされます。

注： 最後のデータブロックの受信が完了した後、受信データが内蔵 FIFO に残っている間は、本ビットはセットされませんので注意してください。

2) ライト転送

最後のデータブロックのライトが正常に完了し、CRC ステータス後の WriteBusy がネゲートされると、本ビットに“1”がセットされます。

データ転送中にエラーが発生した場合、本ビットはセットされません。

Multiple / Infinite 転送モードでライト中に HostOperation .BlkGapStopReq ビットに“1”をセットした場合は、転送中のデータブロックが正常に完了し、CRC ステータス後の WriteBusy がネゲートされると、本ビットに“1”がセットされます。

ライト転送コマンドを送信した後、レスポンスにエラーが発生した場合は、ライト転送は実行されません。したがって本ビットはセットされません。

ライト転送中に Abort コマンドを送信した場合、データ転送が中断されますが、その時点では本ビットはセットされません。Abort コマンドに対する WriteBusy 信号がネゲートされた時点で、本ビットに“1”がセットされます。

3) RespBusy を伴うライト転送

最後のデータブロックのライトが正常に完了し、CRC ステータス後の WriteBusy がネゲートされると、本ビットに“1”がセットされます。

データ転送中にエラーが発生した場合、本ビットはセットされません。

Multiple / Infinite 転送モードでライト中に HostOperation .BlkGapStopReq ビットに“1”をセットした場合は、転送中のデータブロックが正常に完了し、CRC ステータス後の WriteBusy がネゲートされると、本ビットに“1”がセットされます。

RespBusy を伴うライト転送コマンドを送信した後、レスポンスにエラーが発生した場合は、RespBusy がネゲートされた時点で、本ビットに“1”がセットされます。

ライト転送中に Abort コマンドを送信した場合、データ転送が中断されますが、その時点では本ビットはセットされません。Abort コマンドに対する WriteBusy 信号がネゲートされた時点で、本ビットに“1”がセットされます。

4) RespBusy を伴うコマンド

RespBusy がネゲートされた時点で、本ビットに“1”がセットされます。

Bit0 CmdCmp

割り込み要因を直接表示します。

レスポンスを伴わないコマンドの場合、コマンドの送信が完了すると、本ビットに“1”がセットされます。

レスポンスを伴うコマンドの場合、レスポンスの受信が正常に完了すると、本ビットに“1”がセットされます。もしレスポンスにエラーが発生した場合は、本ビットはセットされません。

AutoCMD55 機能を使用した場合、自動的に発行されるCMD55 が完了した時点では、本ビットはセットされません。続いて発行されるコマンドの送信が正常に完了した時点で、本ビットに“1”がセットされます。AutoCMD55 によるコマンド送信中にエラーが発生した場合には、本ビットはセットされません。エラーの詳細は、A3.8.1.32章を参照してください。

A3.8.1.27 42h ErrIntStat (Error Interrupt Status)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
42h	ErrIntStat	15				0
		14	R / W	DataEndBitErr	0: No Error 1: Error	0
		13	R / W	DataCRC_Err	0: No Error 1: Error	0
		12	R / W	DataTimeoutErr	0: No Timeout 1: Timeout	0
		11	R / W	RespIndexErr	0: No Error 1: Error	0
		10	R / W	RespEndBitErr	0: No Error 1: Error	0
		9	R / W	RespCRC_Err	0: No Error 1: Error	0
		8	R / W	RespTimeoutErr	0: No Error 1: Error	0
		7				0
		6				0
		5				0
		4				0
		3				0
		2				0
		1	R / W	AutoCMD55Err	0: No Error 1: Error	0
		0	R / W	AutoCMD12Err	0: No Error 1: Error	0

エラー系の割込み要因を表示します。

全てのビットは、割り込み要因を直接表示するビットで、“1”を書き込むことで割り込み要因をクリアする事ができます。

Bit15	Reserved
Bit14	DataEndBitErr 本ビットは、下記の条件で“1”にセットされます。 1) データ EndBit エラー リード転送中、データブロック受信時に EndBit が検出されなかった場合。 2) CRC ステータス EndBit エラー ライト転送中、CRC ステータス受信時に EndBit が検出されなかった場合。
Bit13	DataCRC_Err 本ビットは、下記の条件で“1”にセットされます。 1) データ CRC エラー リード転送中、データブロック受信時に CRC エラーが検出された場合。 2) CRC ステータスエラー ライト転送中、受信した CRC ステータスの内容がエラーだった場合。
Bit12	DataTimeoutErr 本ビットは、下記の条件で“1”にセットされます。 1) RespBusy タイムアウトエラー RespBusy を伴うコマンド送信後、TimeoutControl.WrTimeoutCnt レジスタの内容によって決定されるクロックサイクル期間が経過しても、RespBusy がネゲートされない場合。 2) データ Timeout エラー リード転送中、リード転送コマンド送信後、及びデータブロックの受信完了後（次のデータブロックがある場合）、TimeoutControl.RdTimeoutCnt レジスタに設定された時間以内に、データブロックの StartBit を検出しなかった場合。 3) CRC ステータス Timeout エラー ライト転送中、データブロック送信後、TimeoutControl.WrTimeoutCnt レジスタに設定された時間以内に、CRC ステータスの StartBit を検出しなかった場合。 4) WriteBusy タイムアウトエラー ライト転送中、CRC ステータス受信後、TimeoutControl.WrTimeoutCnt レジスタに設定された時間以内に、WriteBusy がネゲートされなかった場合。
Bit11	RespIndexErr Command.CmdIndex フィールドの内容と、受信したレスポンス中の Index フィールドの内容が異なっていた場合、本ビットに“1”がセットされます。
Bit10	Command.RespIndexChk ビットに“0”がセットされている場合、本ビットはセットされません。 RespEndBitErr

A3.8 内蔵レジスタ

Bit9	RespCRC_Err	レスポンス受信時に、EndBit が検出されなかった場合は、本ビットに“1”がセットされます。
Bit8	Command.RespCRC_Chk	レスポンス受信時に、CRC エラーが検出された場合は、本ビットに“1”がセットされます。 Command.RespCRC_Chk ビットに“0”がセットされている場合、本ビットはセットされません。
Bit7-2	Reserved	レスポンスを伴うコマンドの送信が完了した後、規定クロックサイクル以内にレスポンスの StartBit を検出しなかった場合、本ビットに“1”がセットされます。
Bit1	AutoCMD55Err	Command.RespTimeoutChk ビットに“0”がセットされている場合、本ビットはセットされません。
Bit0	AutoCMD12Err	AutoCMD55 機能を使用し転送中にエラーが発生した場合、本ビットに“1”がセットされます。エラーの内容は、AutoCMD55ErrStat レジスタに表示されます。
	AutoCMD12Err	AutoCMD12 機能を使用した転送中にエラーが発生した場合、本ビットに“1”がセットされます。エラーの内容は、AutoCMD12ErrStat レジスタに表示されます。

A3.8.1.28 44h NormIntFactEnb (Normal Interrupt Factor Enable)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
44h	NormIntFactEnb	15				0
		14				0
		13	R / W	SyncSDIO_IntEnb	0: Disable 1: Enable	0
		12	R / W	AsyncSDIO_IntEnb	0: Disable 1: Enable	0
		11				0
		10				0
		9				0
		8				0
		7				0
		6				0
		5				0
		4				0
		3				0
		2				0
		1				0
		0				0

Bit15-14	Reserved	
Bit13	SSDIOIntEn	NormIntStat.SyncSDIO_Int ビットのセットを、禁止／許可します。 0 : 割り込み要因が発生しても、割り込み要因ビットがセットされません。 1 : 割り込み要因が発生した場合、割り込み要因ビットに“1”がセットされます。 本ビットに“0”をライトする事で、NormIntStat.SyncSDIO_Int ビットは、クリアされます。
Bit12	AsSDIOIntEn	NormIntStat.AsyncSDIO_Int ビットのセットを、禁止／許可します。 0 : 割り込み要因が発生しても、割り込み要因ビットがセットされません。 1 : 割り込み要因が発生した場合、割り込み要因ビットに“1”がセットされます。 本ビットに“0”をライトする事で、NormIntStat.AsyncSDIO_Int ビットは、クリアされます。
Bit11-0	Reserved	

A3.8.1.29 48h NormIntEnb (Normal Interrupt Enable)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
48h	NormIntEnb	15	R / W	EnCardStateStabilized	0: Disable	1: Enable	0
		14	R / W	EnAsyncCardChg	0: Disable	1: Enable	0
		13	R / W	EnSyncSDIO_Int	0: Disable	1: Enable	0
		12	R / W	EnAsyncSDIO_Int	0: Disable	1: Enable	0
		11					0
		10					0
		9	R / W	EnCCS	0: Disable	1: Enable	0
		8					0
		7	R / W	EnErrInt	0: Disable	1: Enable	0
		6					0
		5	R / W	EnFIFO_RcvdBlk	0: Disable	1: Enable	0
		4	R / W	EnFIFO_Empty	0: Disable	1: Enable	0
		3	R / W	EnAutoCMD12Cmp	0: Disable	1: Enable	0
		2	R / W	EnBlkGapEvent	0: Disable	1: Enable	0
		1	R / W	EnTranCmp	0: Disable	1: Enable	0
		0	R / W	EnCmdCmp	0: Disable	1: Enable	0

NormIntStat レジスタの割り込み要因ビットによる、c_INT 割り込み出力端子のアサートを禁止／許可します。各ビットはA3.8.1.26の各要因に対応します。

0 : 対応する割り込み要因ビットに“1”がセットされていても、c_INT 割り込み出力端子をアサートしません。

1 : 対応する割り込み要因ビットに“1”がセットされている場合、c_INT 割り込み出力端子をアサートします。

A3.8.1.30 4Ah ErrIntEnb (Error Interrupt Enable)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
4Ah	ErrIntEnb	15					0
		14	R / W	EnDataEndBitErr	0: Disable	1: Enable	0
		13	R / W	EnDataCRC_Err	0: Disable	1: Enable	0
		12	R / W	EnDataTimeoutErr	0: Disable	1: Enable	0
		11	R / W	EnRespIndexErr	0: Disable	1: Enable	0
		10	R / W	EnRespEndBitErr	0: Disable	1: Enable	0
		9	R / W	EnRespCRC_Err	0: Disable	1: Enable	0
		8	R / W	EnRespTimeoutErr	0: Disable	1: Enable	0
		7					0
		6					0
		5					0
		4					0
		3					0
		2					0
		1	R / W	EnAutoCMD55Err	0: Disable	1: Enable	0
		0	R / W	En AutoCMD12Err	0: Disable	1: Enable	0

ErrIntStat レジスタの割り込み要因ビットによる、NormIntStat.ErrInt ビットのアサートを禁止／許可します。各ビットはA3.8.1.27の各要因に対応します。

0 : 対応する割り込み要因ビットに“1”がセットされていても、NormIntStat.ErrInt ビットをアサートしません。

1 : 対応する割り込み要因ビットに“1”がセットされている場合、NormIntStat.ErrInt ビットをアサートします。

A3.8 内蔵レジスタ

A3.8.1.31 4Ch AutoCMD12ErrStat (AutoCM12 Error Status)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
4Ch	AutoCMD12ErrStat	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7	R	NoCmdByAutoCMD12Err	0: No error 1: Not issued		0
		6					0
		5					0
		4	R	AutoCMD12IndexErr	0: No error 1: Error		0
		3	R	AutoCMD12EndBitErr	0: No error 1: Error		0
		2	R	AutoCMD12CRC_Err	0: No error 1: Error		0
		1	R	AutoCMD12TimeoutErr	0: No error 1: Error		0
		0	R	AutoCMD12NotExec	0: Executed 1: Not executed		0

本レジスタは、AutoCMD12 機能を使用した転送中に、エラーが発生した場合にセットされます。全てのビットは、TransferMode.AutoCMD12 ビットに“1”をセットして、データ転送を伴うコマンドを発行するとクリアされます。

- Bit15-8 Reserved
- Bit7 NoCmdByAutoCMD12Err
自動的に発行される CMD12 転送中に新たなコマンドを発行（データ転送を伴わないコマンド）した時、CMD12 にてエラー（AutoCMD12IndexErr, AutoCMD12EndBitErr, AutoCMD12CRC_Err, AutoCMD12TimeoutErr）が発生した場合、新たなコマンドは送信されません。この場合、本ビットに”1”がセットされます。
- Bit6-5 Reserved
- Bit4 AutoCMD12IndexErr
自動的に送信される CMD12 のレスポンスの Index フィールドが、“12d”ではなかった場合、本ビットに”1”がセットされます。
- Bit3 AutoCMD12EndBitErr
自動的に送信される CMD12 のレスポンス受信時に EndBit が検出されなかった場合、本ビットに”1”がセットされます。
- Bit2 AutoCMD12CRC_Err
自動的に送信される CMD12 のレスポンス受信時に CRC エラーが検出された場合、本ビットに”1”がセットされます。
- Bit1 AutoCMD12TimeoutErr
自動的に送信される CMD12 のレスポンスの Start ビットが、規定クロックサイクル以内に検出できなかった場合、本ビットに”1”がセットされます。
- Bit0 AutoCMD12NotExec
AutoCMD12 モードでデータ転送中に、エラーが発生した場合、CMD12 は自動的に発行されません。この場合、下記のような条件にて、本ビットに”1”がセットされます。
- 1) データ転送を伴うコマンド送信中に、エラーが発生した場合（ErrIntStat.RespIndexErr / RespEndBitErr / RespCRC_Err / RespTimeoutErr のいずれかに”1”がセットされる）、本ビットに”1”がセットされます。
 - 2) データ転送を伴うコマンド送信後のデータ転送中に、エラーが発生した場合（ErrIntStat.DataEndBitErr / DataCRC_Err / DataTimeoutErr ビットのいずれかに”1”がセットされる）、本ビットに”1”がセットされます。
 - 3) データ転送中に、新たなコマンド（データ転送を伴わないコマンド）を発行した場合、そのコマンドのレスポンス受信中にエラーが発生した場合（ErrIntStat.RespIndexErr / RespEndBitErr / RespCRC_Err / RespTimeoutErr のいずれかに”1”がセットされる）、本ビットに”1”がセットされます。

A3.8.1.32 4Eh AutoCMD55ErrStat (AutoCMD55 Error Status)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
4Eh	AutoCMD55ErrStat	15				0
		14				0
		13				0
		12				0
		11				0
		10				0
		9				0
		8				0
		7				0
		6				0
		5				0
		4	R	AutoCMD55IndexErr	0: No error 1: Error	0
		3	R	AutoCMD55EndBitErr	0: No error 1: Error	0
		2	R	AutoCMD55CRC_Err	0: No error 1: Error	0
		1	R	AutoCMD55TimeoutErr	0: No error 1: Error	0
		0				0

本レジスタは、AutoCMD55 機能を使用した転送中に、エラーが発生した場合にセットされます。全てのビットは、TransferMode.AutoCMD55 ビットに“1”をセットして、コマンドを発行した際にクリアされます。

Bit15-5	Reserved
Bit4	AutoCMD55IndexErr 自動的に発行される CMD55 のレスポンスの Index フィールドが、“55d”ではなかった場合、本ビットに“1”がセットされます。
Bit3	AutoCMD55EndBitErr 自動的に発行される CMD55 のレスポンス受信時に EndBit が検出されなかった場合、本ビットに“1”がセットされます。
Bit2	AutoCMD55CRC_Err 自動的に発行される CMD55 のレスポンス受信時に CRC エラーが発生した場合、本ビットに“1”がセットされます。
Bit1	AutoCMD55TimeoutErr 自動的に発行される CMD55 のレスポンスの Start ビットが、規定クロックサイクル以内に検出できなかった場合、本ビットに“1”がセットされます。
Bit0	Reserved

A3.8 内蔵レジスタ

A3.8.1.33 0h ExArgument_0 (External Command Argument 0)

A3.8.1.34 0B52h ExArgument_1 (External Command Argument 1)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
50h	ExArgument_0	15	R/W	ExCmdArg_0 [15]	External Command Argument [15:0]	0
		14	R/W	ExCmdArg_0 [14]		0
		13	R/W	ExCmdArg_0 [13]		0
		12	R/W	ExCmdArg_0 [12]		0
		11	R/W	ExCmdArg_0 [11]		0
		10	R/W	ExCmdArg_0 [10]		0
		9	R/W	ExCmdArg_0 [9]		0
		8	R/W	ExCmdArg_0 [8]		0
		7	R/W	ExCmdArg_0 [7]		0
		6	R/W	ExCmdArg_0 [6]		0
		5	R/W	ExCmdArg_0 [5]		0
		4	R/W	ExCmdArg_0 [4]		0
		3	R/W	ExCmdArg_0 [3]		0
		2	R/W	ExCmdArg_0 [2]		0
		1	R/W	ExCmdArg_0 [1]		0
		0	R/W	ExCmdArg_0 [0]		0
52h	ExArgument_1	15	R/W	ExCmdArg_1 [15]	External Command Argument [31:16]	0
		14	R/W	ExCmdArg_1 [14]		0
		13	R/W	ExCmdArg_1 [13]		0
		12	R/W	ExCmdArg_1 [12]		0
		11	R/W	ExCmdArg_1 [11]		0
		10	R/W	ExCmdArg_1 [10]		0
		9	R/W	ExCmdArg_1 [9]		0
		8	R/W	ExCmdArg_1 [8]		0
		7	R/W	ExCmdArg_1 [7]		0
		6	R/W	ExCmdArg_1 [6]		0
		5	R/W	ExCmdArg_1 [5]		0
		4	R/W	ExCmdArg_1 [4]		0
		3	R/W	ExCmdArg_1 [3]		0
		2	R/W	ExCmdArg_1 [2]		0
		1	R/W	ExCmdArg_1 [1]		0
		0	R/W	ExCmdArg_1 [0]		0

本レジスタは、AutoCMD55 機能を使用したコマンド送信時に使用されます。本レジスタの内容は、コマンドを発行する前に、自動的に発行されるCMD55 のArgumentとしてカードへ送信されます（表A3.8.3参照）。

本レジスタは、HW によって更新されません。

PresentStateBus.CMD_TranAct ビットに“1”がセットされている間は、本レジスタの内容を変更しないで下さい。

A3.8.1.35 60h FIFO_Rd (FIFO Read Data Word)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
60h	FIFO_Rd	15	R	FIFO_Rd_1 [7]	FIFO Read Data 1 [7:0]	X
		14	R	FIFO_Rd_1 [6]		X
		13	R	FIFO_Rd_1 [5]		X
		12	R	FIFO_Rd_1 [4]		X
		11	R	FIFO_Rd_1 [3]		X
		10	R	FIFO_Rd_1 [2]		X
		9	R	FIFO_Rd_1 [1]		X
		8	R	FIFO_Rd_1 [0]		X
		7	R	FIFO_Rd_0 [7]		X
		6	R	FIFO_Rd_0 [6]		X
		5	R	FIFO_Rd_0 [5]		X
		4	R	FIFO_Rd_0 [4]		X
		3	R	FIFO_Rd_0 [3]		X
		2	R	FIFO_Rd_0 [2]		X
		1	R	FIFO_Rd_0 [1]		X
		0	R	FIFO_Rd_0 [0]		X

本レジスタは、FIFO_Join.Join_CPU_Rd ビットが“1”的時のみ有効です。

Bit15-8 FIFO_Rd_1[7:0]
 Bit7-0 FIFO_Rd_0[7:0]

本レジスタは、512Byte の内蔵 FIFO に対してワードでリードアクセスするレジスタです。

カードからリードしたデータは、内蔵 FIFO に格納されます。BlkSize レジスタに設定されたブロックサイズ分のデータが、内蔵 FIFO の中に入っている時、NormIntStat.FIFO_RcvdBlk ビットがセットされます。NormIntStat.FIFO_RcvdBlk ビットがセットされたことを確認した後、本レジスタをリードすることで、ブロックサイズ分のデータを読み出すことができます。

また、読み出し可能なデータ数は、RdRemain[9:0] レジスタを読み出すことで、確認することができます。

本レジスタは、FIFO_Join.Join_CPU_Rd ビットに“1”がセットされている時のみ使用可能です。
 本レジスタは、Byte アクセス禁止です。Byte アクセスする場合は、FIFO_Byte_Rd レジスタを使用してください。

A3.8 内蔵レジスタ

A3.8.1.36 62h FIFO_Wr (FIFO Write Data)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
62h	FIFO_Wr	15	W	FIFO_Wr_1 [7]	FIFO Write Data 1 [7:0]	X
		14	W	FIFO_Wr_1 [6]		X
		13	W	FIFO_Wr_1 [5]		X
		12	W	FIFO_Wr_1 [4]		X
		11	W	FIFO_Wr_1 [3]		X
		10	W	FIFO_Wr_1 [2]		X
		9	W	FIFO_Wr_1 [1]		X
		8	W	FIFO_Wr_1 [0]		X
		7	W	FIFO_Wr_0 [7]		X
		6	W	FIFO_Wr_0 [6]		X
		5	W	FIFO_Wr_0 [5]		X
		4	W	FIFO_Wr_0 [4]		X
		3	W	FIFO_Wr_0 [3]		X
		2	W	FIFO_Wr_0 [2]		X
		1	W	FIFO_Wr_0 [1]		X
		0	W	FIFO_Wr_0 [0]		X

本レジスタは、FIFO_Join.Join_CPU_Wr ビットが“1”の時のみ有効です。

Bit15-8 FIFO_Wr_1[7:0]
 Bit7-0 FIFO_Wr_0[7:0]

本レジスタは、512Byte の内蔵 FIFO に対してワードでライトアクセスするレジスタです。

本レジスタにライトしたデータは、内蔵 FIFO に書き込まれ、その後カードへと送信されます。内蔵 FIFO が空になっている時、NormIntStat.FIFO_Empty ビットがセットされます。内蔵 FIFO が空である事を確認した後、本レジスタをライトすることで、ブロックサイズ分のデータを書き込むことができます。

また、書き込み可能なデータ数は、WrRemain[9:0] レジスタを読み出すことで、確認することができます。

本レジスタは、FIFO_Join.Join_CPU_Wr ビットに“1”がセットされている時のみ使用可能です。
 本レジスタは、Byte アクセス禁止です。Byte アクセスする場合は、FIFO_Byte_Wr レジスタを使用してください。

A3.8.1.37 64h FIFO_RdRemain (FIFO Read Remain)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
64h	FIFO_RdRemain	15	R	RdRemainValid	0: Valid RdRemain	1: Not Valid RdRemain	0
		14					0
		13					0
		12					0
		11					0
		10					0
		9	R	RdRemain [9]	RdRemain[9:0]		0
		8	R	RdRemain [8]			0
		7	R	RdRemain [7]			0
		6	R	RdRemain [6]			0
		5	R	RdRemain [5]			0
		4	R	RdRemain [4]			0
		3	R	RdRemain [3]			0
		2	R	RdRemain [2]			0
		1	R	RdRemain [1]			0
		0	R	RdRemain [0]			0

本レジスタは、FIFO_Join.Join_CPU_Rd ビットが“1”的時のみ有効です。

Bit15	RdRemainValid	本ビットは、FIFO_Join.JoinCPU_Rd=“1”でかつ、RdRemain[9:0]の値が有効なとき、“1”がセットされます。 本ビットが“0”的時は、RdRemain[9:0]レジスタの値は無効となります。
Bit14-10	Reserved	
Bit9-0	RdRemain[9:0]	本レジスタは、内蔵 FIFO に格納されているデータの有効バイト数を表示します。 本レジスタの値が 00h の時に、BlkSize レジスタに設定されたブロックサイズ分のデータが内蔵 FIFO の中に入ると、本レジスタの内容がブロックサイズ分更新されます。ブロックサイズが 1KByte 以上の場合は、512Byte 分更新されます。 FIFO_Rd レジスタもしくは、FIFO_BytRd レジスタをリードすることで、本レジスタの内容はデクリメントされます。

必ず RdRemainValid=“1”である事を確認してから、本レジスタの内容を参照してください。
内蔵 FIFO の有効なデータ数を取得する場合は、FIFO_RdRemain レジスタと FIFO_RdRemain レジスタを対でアクセスする必要があります。

A3.8 内蔵レジスタ

A3.8.1.38 66h FIFO_WrRemain (FIFO Write Remain)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
66h	FIFO_WrRemain	15				0
		14				0
		13				0
		12				0
		11				0
		10				0
		9	R	WrRemain [9]	WrRemain[9:0]	0
		8	R	WrRemain [8]		0
		7	R	WrRemain [7]		0
		6	R	WrRemain [6]		0
		5	R	WrRemain [5]		0
		4	R	WrRemain [4]		0
		3	R	WrRemain [3]		0
		2	R	WrRemain [2]		0
		1	R	WrRemain [1]		0
		0	R	WrRemain [0]		0

本レジスタは、FIFO_Join.Join_CPU_Wr ビットが“1”の時のみ有効です。

Bit15-10 Reserved

Bit9-0 WrRemain[9:0]

本レジスタは、内蔵 FIFO に書き込み可能な空き容量を表示します。

本レジスタは、FIFO_Wr レジスタもしくは、FIFO_ByteWr レジスタにライトすることでインクリメントされます。

また、内蔵 FIFO 内のデータがカードへ送信されると、デクリメントされます。

内蔵 FIFO の空き容量を取得する場合は、FIFO_WrRemain レジスタと FIFO_Wr_Remain レジスタを対でアクセスする必要があります。

A3.8.1.39 68h FIFO_ByteRd (FIFO Read Data Byte)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
68h	FIFO_ByteRd	15			FIFO Read Data Byte[7:0]	0
		14				0
		13				0
		12				0
		11				0
		10				0
		9				0
		8				0
		7	R	FIFO_ByteRd[7]		X
		6	R	FIFO_ByteRd[6]		X
		5	R	FIFO_ByteRd[5]		X
		4	R	FIFO_ByteRd[4]		X
		3	R	FIFO_ByteRd[3]		X
		2	R	FIFO_ByteRd[2]		X
		1	R	FIFO_ByteRd[1]		X
		0	R	FIFO_ByteRd[0]		X

本レジスタは、FIFO_Join.Join_CPU_Rd ビットが“1”的時のみ有効です。

Bit15-8 Reserved

Bit7-0 FIFO_ByteRd[7:0]

本レジスタは、512Byte の内蔵 FIFO に対してバイトでリードアクセスするレジスタです。

カードからリードしたデータは、内蔵 FIFO に格納されます。BlkSize レジスタに設定されたブロックサイズ分のデータが、内蔵 FIFO の中に入っている時、NormIntStat.FIFO_RcvdBlk ビットがセットされます。NormIntStat.FIFO_RcvdBlk ビットがセットされたことを確認した後、本レジスタをリードすることで、ブロックサイズ分のデータを読み出すことができます。また、読み出し可能なデータ数は、RdRemain[9:0] レジスタを読み出すことで、確認することができます。

本レジスタは、FIFO_Join.Join_CPU_Rd ビットに“1”がセットされている時のみ使用可能です。

A3.8 内蔵レジスタ

A3.8.1.40 6Ah FIFO_ByteWr (FIFO Wite Data Byte)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
6Ah	FIFO_ByteWr	15			FIFO Write Data Byte[7:0]	0
		14				0
		13				0
		12				0
		11				0
		10				0
		9				0
		8				0
		7	W	FIFO_ByteWr [7]		X
		6	W	FIFO_ByteWr [6]		X
		5	W	FIFO_ByteWr [5]		X
		4	W	FIFO_ByteWr [4]		X
		3	W	FIFO_ByteWr [3]		X
		2	W	FIFO_ByteWr [2]		X
		1	W	FIFO_ByteWr [1]		X
		0	W	FIFO_ByteWr [0]		X

本レジスタは、FIFO_Join.Join_CPU_Wr ビットが“1”の時のみ有効です。

Bit15-8 Reserved
 Bit7-0 FIFO_ByteWr[7:0]

本レジスタは、512Byte の内蔵 FIFO に対してバイトでライトアクセスするレジスタです。

本レジスタにライトしたデータは、内蔵 FIFO に書き込まれ、その後カードへと送信されます。内蔵 FIFO が空になっている時、NormIntStat.FIFO_Empty ビットがセットされます。内蔵 FIFO が空である事を確認した後、本レジスタをライトすることで、ブロックサイズ分のデータを書き込むことができます。

また、書き込み可能なデータ数は、WrRemain[9:0] レジスタを読み出すことで、確認することができます。

本レジスタは、FIFO_Join.Join_CPU_Wr ビットに“1”がセットされている時のみ使用可能です。

A3.8.1.41 6Ch FIFO_Join (FIFO Join)

Address	Register Name	Bit	R / W	Bit Symbol	Description		Reset
6Ch	FIFO_Join	15					0
		14					0
		13					0
		12					0
		11					0
		10					0
		9					0
		8					0
		7					0
		6					0
		5					0
		4					0
		3					0
		2					0
		1	R/W	Join_CPU_Rd	0: Do Nothing 1: Join CPU Read		0
		0	R/W	Join_CPU_Wr	0: Do Nothing 1: Join CPU Write		0

Join_CPU_Rd ビットと Join_CPU_Wr ビットの両方に“1”をセットすることは禁止です。

Bit7-2 Reserved

Bit1 Join_CPU_Rd

内蔵 FIFO の転送方向を設定するビットです。

カードヘリードコマンドを発行 (Command レジスタへの書き込み) する前に、本ビットに“1”をセットしてください。

本ビットへの書き込みによって、本ビットの値が変化すると、内蔵 FIFO のデータはクリアされます。

Bit0 Join_CPU_Wr

内蔵 FIFO の転送方向を設定するビットです。

カードヘライトコマンドを発行 (Command レジスタへの書き込み) する前に、本ビットに“1”をセットしてください。

本ビットへの書き込みによって、本ビットの値が変化すると、内蔵 FIFO のデータはクリアされます。

A3.8 内蔵レジスタ

A3.8.1.42 80h DREQ_Mode (DREQ Mode)

Address	Register Name	Bit	R / W	Bit Symbol	Description	Reset
80h	DREQ_Mode	15				0
		14				0
		13				0
		12				0
		11				0
		10				0
		9				0
		8				0
		7				0
		6				0
		5				0
		4				0
		3				0
		2				0
		1				0
		0	R/W	DREQ_Threshold	0:1Byte 1: 32Byte	0

Bit15-1 Reserved

Bit0 DREQ_Threshold

内蔵 DMA コントローラへ出力する DMA 要求信号のモードを切り替えます。

0 : 内蔵 FIFO に 1Byte 以上の空きがある場合に DMA 転送要求を出力します。

1 : 内蔵 FIFO に 32Byte 以上の空きがある場合に DMA 転送要求を出力します。

本ビットに“1”に設定しますと S2S56A30 内蔵 DMA コントローラ 3 との間で 32Byte の高速 DMA 転送が可能となります。

A3.9 SD バス AC タイミング

SD 規格 Ver2.0 に準拠します。

SDA 資料“SD Specifications Part1 Physical Layer Specification Version 2.00”を参照して下さい。

セイコーエプソン株式会社
半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード: 411752500
2009 年 8 月 作成 (H)