

CMOS 32-BIT SINGLE CHIP MICROCONTROLLER

S1C33L27

テクニカルマニュアル

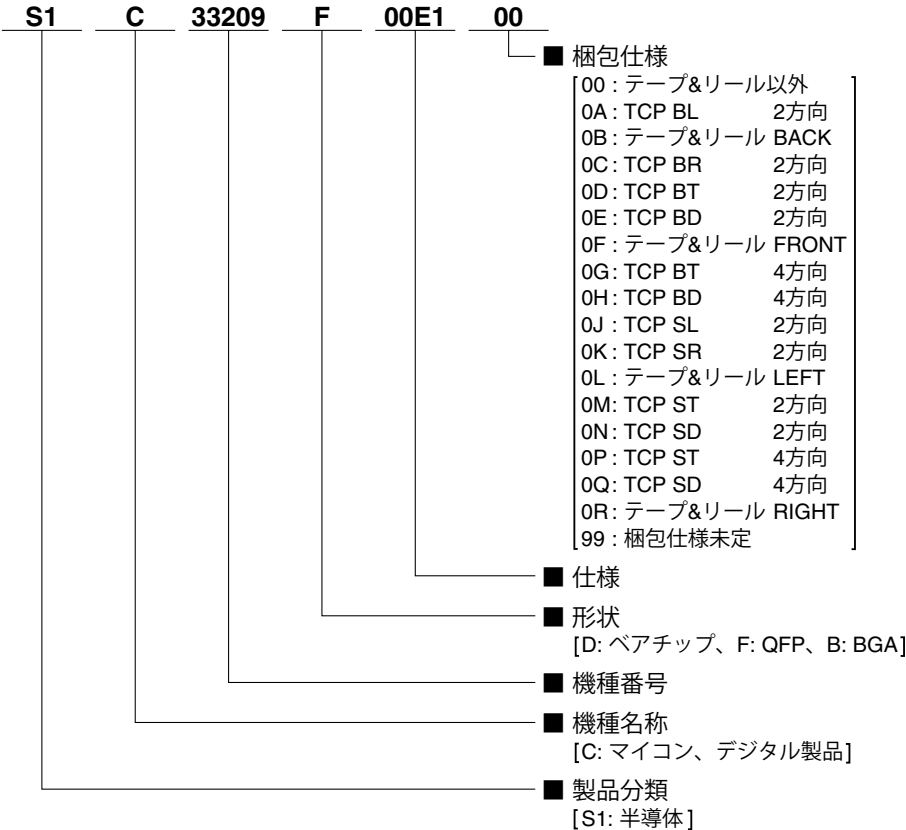
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

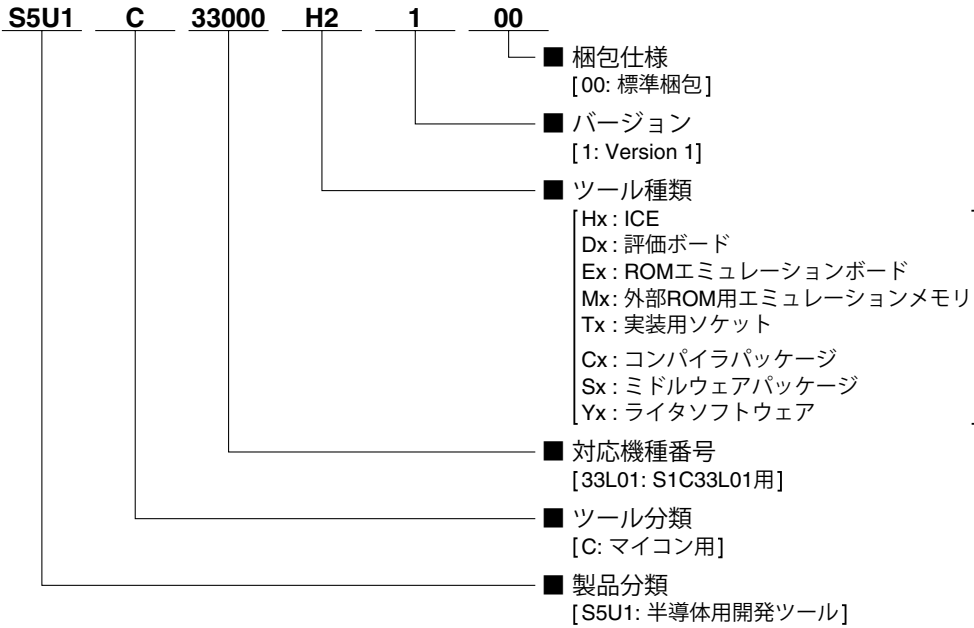
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



- 目 次 -

1 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-7
1.3 端子説明	1-8
1.3.1 端子配置	1-8
1.3.2 端子機能	1-14
1.3.3 パッケージ	1-24
1.3.4 パッケージの熱抵抗	1-27
2 CPU	2-1
2.1 C33 PEコアの特長	2-1
2.2 CPUレジスタ	2-2
2.3 命令セット	2-2
2.4 デバッグモード	2-5
2.5 チップID	2-6
3 メモリマップ	3-1
3.1 ブートアドレス	3-2
3.2 エリア0(A0RAM, IRAM)	3-3
3.2.1 A0RAM	3-3
3.2.2 IRAM	3-3
3.3 エリア1, エリア2(システム予約)	3-3
3.4 エリア3(IVRAM, DSTRAM)	3-3
3.4.1 IVRAM	3-3
3.4.2 DSTRAM	3-4
3.5 エリア6(I/Oエリア)	3-4
3.6 外部メモリエリア	3-4
3.7 RAMの再配置	3-4
3.8 バスマスタとアクセス可能なメモリ	3-5
3.9 メモリアクセス速度	3-5
4 電源	4-1
4.1 電源端子	4-1
4.2 動作電圧(LV _{DD})	4-2
4.3 PLL用電源(PLL _{VDD} , PLL _{VSS})	4-2
4.4 RTC用電源(RTC _{VDD})	4-2
4.5 I/Oインタフェース電圧(HV _{DD})	4-2
4.6 アナログ回路用電源(AV _{DD})	4-2
4.7 電源に関する注意事項	4-3
5 リセットとNMI	5-1
5.1 イニシャルリセット	5-1
5.1.1 #RESET端子	5-1
5.1.2 ウォッチドッグタイマによるリセット	5-1
5.1.3 イニシャルリセットシーケンス	5-2
5.1.4 初期設定状態	5-2
5.1.5 イニシャルリセット時の注意事項	5-3
5.2 NMI入力	5-3
5.2.1 #NMI端子	5-4
5.2.2 ウォッチドッグタイマによるNMI	5-4
5.2.3 ホストプロセッサによるNMI	5-4

6 クロックマネージメントユニット(CMU)	6-1
6.1 CMUモジュールの概要	6-1
6.2 CMU入出力端子	6-2
6.3 発振回路	6-2
6.3.1 OSC3発振回路	6-2
6.3.2 OSC1発振回路	6-3
6.4 PLL	6-4
6.4.1 PLL On/Off制御	6-4
6.4.2 PLL入力クロックの選択	6-5
6.4.3 逡倍率の設定	6-5
6.4.4 その他のPLL設定	6-6
6.4.5 PLLの電源	6-7
6.5 SSCG	6-7
6.5.1 SSCGのOn/Off	6-7
6.5.2 SS変調用パラメータの設定	6-8
6.6 システムクロック設定	6-9
6.6.1 システムクロックソースの選択	6-9
6.6.2 システムクロック周波数の設定	6-10
6.7 クロック供給制御	6-10
6.7.1 コアクロック (CCLK)	6-10
6.7.2 バスクロック (BCLK)	6-11
6.7.3 周辺モジュールクロック (PCLK)	6-11
6.7.4 16ビットPWMタイマカウンタクロック (TCLK)	6-12
6.7.5 LCDCクロック (LCDC_CLK)	6-12
6.7.6 USBクロック (USB_CLK)	6-13
6.8 クロックの外部出力 (CMU_CLK)	6-13
6.9 スタンバイモード	6-14
6.9.1 HALTモード	6-14
6.9.2 SLEEPモード	6-14
6.10 制御レジスタ詳細	6-15
Clock Source Select Register (CMU_OSCSEL)	6-15
Oscillation Control Register (CMU_OSCCTL)	6-16
LCDC Clock Division Ratio Select Register (CMU_LCLKDIV)	6-17
System Clock Division Ratio Select Register (CMU_SYSCCLKDIV)	6-18
CMU_CLK Select Register (CMU_CMUCLK)	6-19
PLL Input Clock Division Ratio Select Register (CMU_PLLINDIV)	6-19
PLL Control Register 0 (CMU_PLLCTL0)	6-20
PLL Control Register 1 (CMU_PLLCTL1)	6-21
PLL Control Register 2 (CMU_PLLCTL2)	6-22
SSCG Macro Control Register 0 (CMU_SSCG0)	6-22
SSCG Macro Control Register 1 (CMU_SSCG1)	6-23
CMU Write Protect Register (CMU_PROTECT)	6-23
Clock Control Register 0 (CMU_CLKCTL0)	6-24
Clock Control Register 1 (CMU_CLKCTL1)	6-24
Clock Control Register 2 (CMU_CLKCTL2)	6-25
Clock Control Register 3 (CMU_CLKCTL3)	6-26
Clock Control Register 4 (CMU_CLKCTL4)	6-27
7 プリスケアラ(PSC)	7-1
7.1 PSCモジュールの概要	7-1
7.2 制御レジスタ詳細	7-1
PSC Ch.0 Control Register (PSC_CTL0)	7-2
PSC Ch.1/2 Control Register (PSC_CTL12)	7-2

8 リアルタイムクロック (RTC)	8-1
8.1 RTCモジュールの概要	8-1
8.2 RTCカウンタ	8-2
8.3 RTCの制御	8-4
8.3.1 動作クロックの制御	8-4
8.3.2 RTCのイニシャルシーケンス	8-4
8.3.3 24時間制/12時間制の選択とカウンタの設定	8-5
8.3.4 スタート/ストップおよびソフトウェアリセット	8-5
8.3.5 カウンタのホールドとビジーフラグ	8-6
8.3.6 30秒補正	8-7
8.3.7 カウンタリード	8-7
8.4 RTC割り込み	8-8
8.5 WAKEUPと#STBY端子	8-9
8.6 制御レジスタ詳細	8-11
RTC Interrupt Status Register (RTC_INTSTAT)	8-11
RTC Interrupt Mode Register (RTC_INTMODE)	8-12
RTC Control 0 Register (RTC_CNTL0)	8-13
RTC Control 1 Register (RTC_CNTL1)	8-14
RTC Second Register (RTC_SEC)	8-15
RTC Minute Register (RTC_MIN)	8-15
RTC Hour Register (RTC_HOUR)	8-15
RTC Day Register (RTC_DAY)	8-16
RTC Month Register (RTC_MONTH)	8-17
RTC Year Register (RTC_YEAR)	8-17
RTC Days of Week Register (RTC_WEEK)	8-17
RTC Wakeup Configuration Register (RTC_WAKEUP)	8-18
9 SRAMコントローラ (SRAMC)	9-1
9.1 SRAMCモジュールの概要	9-1
9.2 SRAMC端子	9-1
9.3 SRAMCの動作クロック	9-2
9.4 外部メモリエリア	9-2
9.4.1 チップイネーブル信号	9-3
9.4.2 エリア別設定条件	9-3
9.5 外部デバイスの接続とバスオペレーション	9-5
9.5.1 外部デバイスの接続	9-5
9.5.2 メモリ上のデータ配置	9-5
9.5.3 外部バスオペレーション	9-6
9.6 バスアクセスタイミングチャート	9-7
9.6.1 SRAMリード/ライトタイミング (外部#WAITなし)	9-7
9.6.2 SRAMリード/ライトタイミング (外部#WAITあり)	9-9
9.7 制御レジスタ詳細	9-10
#CE[7:4] Access Timing Configuration Register (SRAMC_TM47)	9-10
#CE[10:8] Access Timing Configuration Register (SRAMC_TM810)	9-11
#CE[10:4] Device Configuration Register (SRAMC_TYPE)	9-13
10 SDRAMコントローラ (SDRAMC)	10-1
10.1 SDRAMCモジュールの概要	10-1
10.2 SDRAMC端子	10-1
10.3 SDRAMC動作クロック	10-2
10.4 SDRAMの構成	10-2
10.4.1 SDRAMエリア	10-2
10.4.2 SDRAMサイズとアクセス条件の設定	10-2

10.5 SDRAMインタフェースの制御と動作	10-6
10.5.1 SDRAMの初期化.....	10-6
10.5.2 SDRAMコマンド.....	10-8
10.5.3 SDRAMのバスオペレーション	10-8
10.5.4 リード/ライトサイクル.....	10-9
10.5.5 SDRAMリフレッシュ	10-11
10.5.6 パワーダウンモード.....	10-13
10.6 DQB(データキューバッファ)	10-13
10.7 制御レジスタ詳細	10-14
SDRAM Initialization Register (SDRAMC_INIT).....	10-14
SDRAM Configuration Register (SDRAMC_CFG)	10-16
SDRAM Refresh Register (SDRAMC_REF)	10-17
SDRAM Application Configuration Register (SDRAMC_APP).....	10-18
10.8 注意事項.....	10-19
11 ホストインタフェース(HIF)	11-1
11.1 HIFの概要.....	11-1
11.2 HIF入出力端子	11-2
11.3 HIFレジスタ	11-2
11.3.1 HIFレジスタの割り付け.....	11-2
11.3.2 セマフォレジスタ	11-3
11.3.3 スクラッチパッドレジスタ.....	11-4
11.3.4 フラグレジスタ.....	11-4
11.4 ホストプロセッサからS1C33L27へのアクセス.....	11-5
11.4.1 アクセス条件の設定.....	11-5
11.4.2 ダイレクトインタフェース.....	11-7
11.4.3 インダイレクトインタフェース.....	11-10
11.5 タイミングチャート	11-14
11.6 割り込み.....	11-14
11.7 制御レジスタの詳細.....	11-15
11.7.1 ホストプロセッサ専用レジスタ.....	11-15
HIF Direct Interface Byte Data Register (HIF_DRIF_B)	11-15
HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)	11-16
HIF Direct Interface Word Data Register (HIF_DRIF_W)	11-17
HIF Indirect Interface Data Register (HIF_IDIF_DAT)	11-19
HIF Indirect Interface Control Register (HIF_IDIF_CTRL).....	11-20
HIF Control Register (HIF_CTRL)	11-21
HIF Address Register x (HIF_ADDRx)	11-23
HIF Special Register Index Register (HIF_SP_IDX)	11-23
HIF Special Register Data Register (HIF_SP_DAT).....	11-24
11.7.2 共有レジスタ	11-24
HIF Extended Control Register 1 (HIF_EXTCTRL1).....	11-25
HIF Semaphore Registers 0-7 (HIF_SMPH0-7)	11-26
HIF Scratchpad Registers 0-3 (HIF_SCRATCH0-3)	11-26
HIF Flag Register 0 (HIF_FLAG0).....	11-27
HIF Flag Register 1 (HIF_FLAG1).....	11-28
12 キャッシュコントローラ(CCU).....	12-1
12.1 CCUモジュールの概要.....	12-1
12.2 キャッシュの構成	12-2
12.3 キャッシュの設定と動作.....	12-3
12.3.1 キャッシュイネーブル.....	12-3
12.3.2 キャッシュ対象エリアの選択	12-3
12.3.3 アドレスの比較とキャッシュヒット/ミスヒット	12-3
12.3.4 読み出し動作	12-4

12.3.5 書き込み動作	12-5
12.3.6 フラッシュ	12-5
12.4 割り込みレベルによるキャッシュのロック	12-5
12.5 デバッグ時のキャッシュの動作	12-6
12.6 キャッシュデータの整合性	12-6
12.7 制御レジスタ詳細	12-6
Cache Configuration Register (CCU_CFG)	12-7
Cacheable Area Select Register (CCU_AREA)	12-8
Cache Lock Register (CCU_LK)	12-8
Cache Status Register (CCU_STAT)	12-9
Cache Write Buffer Status Register (CCU_WB_STAT)	12-10
13 割り込みコントローラ (ITC)	13-1
13.1 ITCモジュールの概要	13-1
13.2 ベクタテーブル	13-2
13.3 マスク可能割り込みの制御	13-3
13.3.1 周辺モジュールの割り込み制御ビット	13-3
13.3.2 ITCの割り込み要求処理	13-4
13.3.3 C33 PEコアの割り込み処理	13-5
13.4 NMI	13-5
13.5 ソフトウェア例外	13-5
13.6 HALT, SLEEPモードの解除	13-6
13.7 制御レジスタ詳細	13-6
Interrupt Level Registers (ITC_xxx_LV)	13-7
14 DMAコントローラ (DMAC)	14-1
14.1 DMACモジュールの概要	14-1
14.2 DMACの動作クロック	14-1
14.3 コントロール情報のプログラミング	14-2
14.3.1 ベースアドレスの設定	14-2
14.3.2 コントロール情報	14-2
14.3.3 オートリロードデータ	14-6
14.4 DMACの起動	14-6
14.5 DMACの動作	14-8
14.5.1 シングル転送モード	14-8
14.5.2 連続転送モード	14-9
14.6 DMAC割り込み	14-10
14.7 制御レジスタ詳細	14-11
DMAC Channel Enable Register (DMAC_CH_EN)	14-11
DMAC Control Table Base Address Register (DMAC_TBL_BASE)	14-11
DMAC Interrupt Enable Register (DMAC_IE)	14-12
DMAC Trigger Select Register (DMAC_TRG_SEL)	14-13
DMAC Trigger Flag Register (DMAC_TRG_FLG)	14-14
DMAC End-of-Transfer Flag Register (DMAC_END_FLG)	14-15
DMAC Running Status Register (DMAC_RUN_STAT)	14-15
DMAC Pause Status Register (DMAC_PAUSE_STAT)	14-16
15 ファインモード8ビットタイマ (T8F)	15-1
15.1 T8Fモジュールの概要	15-1
15.2 カウントクロック	15-2
15.3 カウントモード	15-2
15.4 リロードデータレジスタとアンダーフロー周期	15-2
15.5 タイマのリセット	15-3
15.6 RUN/STOP制御	15-3

15.7 T8F出力信号.....	15-4
15.8 ファインモード.....	15-4
15.9 T8F割り込み.....	15-5
15.10 制御レジスタ詳細.....	15-6
T8F Ch.x Input Clock Select Registers (T8F_CLKx).....	15-6
T8F Ch.x Reload Data Registers (T8F_TRx).....	15-7
T8F Ch.x Counter Data Registers (T8F_TCx).....	15-7
T8F Ch.x Control Registers (T8F_CTLx).....	15-7
T8F Ch.x Interrupt Control Registers (T8F_INTx).....	15-9
16 16ビットPWMタイマ(T16A6).....	16-1
16.1 T16A6モジュールの概要.....	16-1
16.2 T16A6入出力端子.....	16-2
16.3 カウントクロック.....	16-2
16.4 T16A6の動作モード.....	16-3
16.4.1 コンパレータモードとキャプチャモード.....	16-3
16.4.2 リピートモードとワンショットモード.....	16-5
16.5 カウンタの制御.....	16-5
16.5.1 カウンタのリセット.....	16-5
16.5.2 カウンタRUN/STOP制御.....	16-5
16.5.3 カウンタ値の読み出し.....	16-6
16.5.4 タイミングチャート.....	16-6
16.6 タイマ出力の制御.....	16-7
16.7 T16A6割り込みとDMA.....	16-8
16.7.1 割り込み.....	16-8
16.7.2 DMA転送.....	16-10
16.8 制御レジスタ詳細.....	16-10
T16A6 Ch.x Counter Control Registers (T16A_CTLx).....	16-11
T16A6 Ch.x Counter Data Registers (T16A_TCx).....	16-14
T16A6 Ch.x Comparator/Capture Control Registers (T16A_CCCTLx).....	16-15
T16A6 Ch.x Comparator/Capture A Data Registers (T16A_CCAx).....	16-17
T16A6 Ch.x Comparator/Capture B Data Registers (T16A_CCBx).....	16-17
T16A6 Ch.x Comparator/Capture Interrupt Enable Registers (T16A_IENx).....	16-18
T16A6 Ch.x Comparator/Capture Interrupt Flag Registers (T16A_IFLGx).....	16-19
17 16ビットオーディオPWMタイマ(T16P).....	17-1
17.1 T16Pモジュールの概要.....	17-1
17.2 T16P入出力端子.....	17-2
17.3 T16P動作条件の設定.....	17-2
17.3.1 カウントクロック.....	17-3
17.3.2 PCMデータの設定.....	17-3
17.3.3 動作モードの選択.....	17-3
17.3.4 PWM出力条件の設定.....	17-5
17.4 T16Pの制御と動作.....	17-5
17.4.1 T16Pのリセット.....	17-5
17.4.2 RUN/STOP制御.....	17-5
17.4.3 コンペアデータの設定.....	17-5
17.4.4 ボリューム制御.....	17-6
17.4.5 チャンネル同期機能.....	17-7
17.4.6 カウンタ値.....	17-7
17.4.7 タイミングチャート.....	17-8
17.5 T16P割り込みとDMA.....	17-10
17.5.1 割り込み.....	17-10
17.5.2 DMA転送.....	17-11

17.6 制御レジスタ詳細	17-11
T16P Ch. x Compare A Buffer Registers (T16P_Ax).....	17-11
T16P Ch.x Compare B Buffer Registers (T16P_Bx)	17-12
T16P Ch.x Counter Data Registers (T16P_CNT_DATAx)	17-12
T16P Ch.x Volume Control Registers (T16P_VOL_CTLx)	17-13
T16P Ch.x Control Registers (T16P_CTLx)	17-13
T16P Ch.x Running Control Registers (T16P_RUNx).....	17-16
T16P Ch.x Internal Clock Control Registers (T16P_CLKx)	17-17
T16P Ch.x Interrupt Control Registers (T16P_INTx).....	17-17
18 ウォッチドッグタイマ(WDT)	18-1
18.1 WDTモジュールの概要	18-1
18.2 WDT入出力端子	18-1
18.3 WDT動作クロック	18-2
18.4 ウォッチドッグタイマの制御	18-2
18.4.1 ウォッチドッグタイマの設定	18-2
18.4.2 ウォッチドッグタイマのスタート/ストップ.....	18-3
18.4.3 ウォッチドッグタイマのリセット	18-3
18.4.4 スタンバイモード時の動作.....	18-3
18.4.5 ウォッチドッグタイマのクロック出力.....	18-3
18.4.6 NMI外部出力.....	18-4
18.5 制御レジスタ詳細	18-4
WDT Write Protect Register (WD_PROTECT).....	18-4
WDT Enable and Setup Register (WD_EN)	18-5
WDT Comparison Data L/H Registers (WD_CMP_L, WD_CMP_H).....	18-6
WDT Count Data L/H Registers (WD_CNT_L, WD_CNT_H).....	18-6
WDT Control Register (WD_CTL)	18-6
19 UART.....	19-1
19.1 UARTモジュールの概要	19-1
19.2 UART入出力端子.....	19-1
19.3 転送クロック	19-2
19.4 転送データの設定	19-2
19.5 データ送受信の制御.....	19-3
19.6 受信エラー	19-5
19.7 UART割り込み	19-6
19.8 IrDAインタフェース	19-7
19.9 制御レジスタ詳細	19-8
UART Status Register (UART_ST).....	19-8
UART Transmit Data Register (UART_TXD).....	19-10
UART Receive Data Register (UART_RXD).....	19-10
UART Mode Register (UART_MOD)	19-10
UART Control Register (UART_CTL)	19-11
UART Expansion Register (UART_EXP).....	19-12
20 ユニバーサルシリアルインタフェース(USI)	20-1
20.1 USIモジュールの概要	20-1
20.2 USI端子	20-2
20.3 USI のクロックソース	20-3
20.4 USIモジュールの設定	20-4
20.4.1 USIモジュールのソフトウェアリセット	20-4
20.4.2 インタフェースモード.....	20-4
20.4.3 モード共通項目の設定.....	20-5
20.4.4 UARTモード時の設定	20-5
20.4.5 SPIモード時の設定	20-6

20.4.6 I ² Cモード時の設定	20-7
20.5 データ送受信の制御	20-7
20.5.1 UARTモードのデータ転送	20-7
20.5.2 SPIモードのデータ転送	20-8
20.5.3 I ² Cモードのデータ転送	20-10
20.6 受信エラー	20-21
20.7 USI割り込みとDMA	20-22
20.7.1 UARTモードの割り込み	20-22
20.7.2 SPIモードの割り込み	20-23
20.7.3 I ² Cマスタモードの割り込み	20-23
20.7.4 I ² Cスレーブモードの割り込み	20-24
20.7.5 DMA転送	20-25
20.8 制御レジスタ詳細	20-25
USI Ch.x Global Configuration Registers (USI_GCFGx)	20-26
USI Ch.x Transmit Data Buffer Registers (USI_TDx)	20-27
USI Ch.x Receive Data Buffer Registers (USI_RDx)	20-27
USI Ch.x UART Mode Configuration Registers (USI_UCFGx)	20-28
USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx)	20-28
USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx)	20-29
USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx)	20-30
USI Ch.x SPI Master/Slave Mode Interrupt Enable Registers (USI_SIEx)	20-32
USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIFx)	20-33
USI Ch.x I ² C Master Mode Trigger Registers (USI_IMTGx)	20-34
USI Ch.x I ² C Master Mode Interrupt Enable Registers (USI_IMIEx)	20-35
USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIFx)	20-35
USI Ch.x I ² C Slave Mode Trigger Registers (USI_ISTGx)	20-37
USI Ch.x I ² C Slave Mode Interrupt Enable Registers (USI_ISIEx)	20-37
USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIFx)	20-38
20.9 注意事項	20-39
21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)	21-1
21.1 USILモジュールの概要	21-1
21.2 USIL端子	21-2
21.3 USILのクロックソース	21-3
21.4 USILモジュールの設定	21-5
21.4.1 USILモジュールのソフトウェアリセット	21-5
21.4.2 インタフェースモード	21-5
21.4.3 モード共通項目の設定	21-5
21.4.4 UARTモード時の設定	21-6
21.4.5 SPIモード時の設定	21-6
21.4.6 I ² Cモード時の設定	21-7
21.4.7 LCD SPIモード時の設定	21-7
21.4.8 LCDパラレルモード時の設定	21-10
21.5 データ送受信の制御	21-11
21.5.1 UARTモードのデータ転送	21-11
21.5.2 SPIモードのデータ転送	21-12
21.5.3 I ² Cモードのデータ転送	21-14
21.5.4 LCD SPIモードのデータ転送	21-24
21.5.5 LCDパラレルモードのデータ転送	21-25
21.6 受信エラー	21-28
21.7 USIL割り込みとDMA	21-29
21.7.1 UARTモードの割り込み	21-29
21.7.2 SPIモードの割り込み	21-30
21.7.3 I ² Cマスタモードの割り込み	21-31

21.7.4 I ² Cスレーブモードの割り込み	21-32
21.7.5 LCD SPIモードの割り込み	21-32
21.7.6 LCDパラレルモードの割り込み	21-33
21.7.7 DMA転送	21-33
21.8 制御レジスタ詳細	21-34
USIL Global Configuration Register (USIL_GCFG)	21-34
USIL Transmit Data Buffer Register (USIL_TD)	21-35
USIL Receive Data Buffer Register (USIL_RD)	21-36
USIL UART Mode Configuration Register (USIL_UCFG)	21-36
USIL UART Mode Interrupt Enable Register (USIL_UIE)	21-37
USIL UART Mode Interrupt Flag Register (USIL_UIF)	21-37
USIL SPI Master/Slave Mode Configuration Register (USIL_SCFG)	21-39
USIL SPI Master/Slave Mode Interrupt Enable Register (USIL_SIE)	21-40
USIL SPI Master/Slave Mode Interrupt Flag Register (USIL_SIF)	21-40
USIL I ² C Master Mode Trigger Register (USIL_IMTG)	21-42
USIL I ² C Master Mode Interrupt Enable Register (USIL_IMIE)	21-42
USIL I ² C Master Mode Interrupt Flag Register (USIL_IMIF)	21-43
USIL I ² C Slave Mode Trigger Register (USIL_ISTG)	21-44
USIL I ² C Slave Mode Interrupt Enable Register (USIL_ISIE)	21-45
USIL I ² C Slave Mode Interrupt Flag Register (USIL_ISIF)	21-45
USIL LCD SPI Mode Configuration Register (USIL_LSCFG)	21-46
USIL LCD SPI Mode Interrupt Enable Register (USIL_LSIE)	21-47
USIL LCD SPI Mode Interrupt Flag Register (USIL_LSIF)	21-48
USIL LCD SPI Mode Data Configuration Register (USIL_LSDCFG)	21-48
USIL LCD Parallel I/F Mode Configuration Register (USIL_LPCFG)	21-50
USIL LCD Parallel I/F Mode Interrupt Enable Register (USIL_LPIE)	21-51
USIL LCD Parallel I/F Mode Interrupt Flag Register (USIL_LPIF)	21-51
USIL LCD Parallel I/F Mode Access Timing Register (USIL_LPAC)	21-52
21.9 注意事項	21-54
22 I²S	22-1
22.1 I ² Sモジュールの概要	22-1
22.2 I ² S入出力端子	22-2
22.3 I ² S動作クロック	22-2
22.4 I ² Sモジュールの設定	22-2
22.5 データ出力の制御 (Ch.0)	22-8
22.6 データ入力の制御 (Ch.1)	22-13
22.7 I ² S割り込みとDMA	22-16
22.7.1 割り込み	22-17
22.7.2 DMA転送	22-18
22.8 制御レジスタ詳細	22-20
I ² S Ch.0 Control Register (I2S_CTL0)	22-20
I ² S Ch.1 Control Register (I2S_CTL1)	22-24
I ² S Master Clock Division Ratio Register (I2S_DV_MCLK)	22-26
I ² S Audio Clock Division Ratio Register (I2S_DV_BCLK)	22-27
I ² S Start/Stop Register (I2S_START)	22-29
I ² S FIFO Status Register (I2S_STATUS)	22-30
I ² S Interrupt Control Register (I2S_INT)	22-31
I ² S Mode Select Register (I2S_MODE)	22-33
I ² S Ch.0 FIFO Register (I2S_FIFO0)	22-35
I ² S Ch.1 FIFO Register (I2S_FIFO1)	22-36
22.9 I ² Sクロックの設定	22-37
23 リモートコントローラ (REMC)	23-1
23.1 REMCモジュールの概要	23-1
23.2 REMC入出力端子	23-1

23.3	キャリアの生成	23-1
23.4	データ長カウンタのクロック設定	23-2
23.5	データ送受信の制御	23-3
23.6	REMC割り込み	23-5
23.7	制御レジスタ詳細	23-6
	REMC Configuration Register (REMC_CFG)	23-6
	REMC Carrier Length Setup Register (REMC_CAR)	23-7
	REMC Length Counter Register (REMC_LCNT)	23-8
	REMC Interrupt Control Register (REMC_INT)	23-9
24	カードインタフェース (CARD)	24-1
24.1	CARDモジュールの概要	24-1
25	SD/MMCインタフェース (SD_MMC)	25-1
25.1	SD_MMCモジュールの概要	25-1
26	入出力ポート (GPIO)	26-1
26.1	GPIOモジュールの概要	26-1
26.2	入出力端子機能の選択 (ポートMUX)	26-2
26.3	データの入出力	26-4
26.4	プルアップ制御	26-4
26.5	入力割り込みとDMA	26-4
	26.5.1 ポート入力割り込み	26-4
	26.5.2 キー入力割り込み	26-8
	26.5.3 DMAトリガ	26-11
26.6	入力ポートノイズフィルタ	26-12
26.7	バス駆動制御	26-13
26.8	制御レジスタ詳細	26-13
	Px Port Data Registers (GPIO_Px_DAT)	26-15
	Px Port I/O Control Registers (GPIO_Px_IOC)	26-15
	FPT0-1 Interrupt Port Select Register (GPIO_FPT01_SEL)	26-16
	FPT2-3 Interrupt Port Select Register (GPIO_FPT23_SEL)	26-16
	FPT4-5 Interrupt Port Select Register (GPIO_FPT45_SEL)	26-17
	FPT6-7 Interrupt Port Select Register (GPIO_FPT67_SEL)	26-17
	FPT0-3 Interrupt Polarity Select Register (GPIO_FPT03_POL)	26-18
	FPT4-7 Interrupt Polarity Select Register (GPIO_FPT47_POL)	26-18
	FPT0-3 Interrupt Mode Select Register (GPIO_FPT03_MOD)	26-18
	FPT4-7 Interrupt Mode Select Register (GPIO_FPT47_MOD)	26-19
	FPT0-3 Interrupt Mask Register (GPIO_FPT03_MSK)	26-19
	FPT4-7 Interrupt Mask Register (GPIO_FPT47_MSK)	26-19
	FPT0-3 Interrupt Flag Register (GPIO_FPT03_FLG)	26-20
	FPT4-7 Interrupt Flag Register (GPIO_FPT47_FLG)	26-20
	FPT0-1 Interrupt Chattering Filter Control Register (GPIO_FPT01_CHAT)	26-21
	FPT2-3 Interrupt Chattering Filter Control Register (GPIO_FPT23_CHAT)	26-22
	FPT4-5 Interrupt Chattering Filter Control Register (GPIO_FPT45_CHAT)	26-22
	FPT6-7 Interrupt Chattering Filter Control Register (GPIO_FPT67_CHAT)	26-23
	Port DMA Trigger Source Select Register (GPIO_DMA)	26-23
	FPK000-007 Interrupt Select Register (GPIO_FPK0_07_SEL)	26-24
	FPK008-015 Interrupt Select Register (GPIO_FPK0_8F_SEL)	26-25
	FPK100-107 Interrupt Select Register (GPIO_FPK1_07_SEL)	26-25
	FPK108-115 Interrupt Select Register (GPIO_FPK1_8F_SEL)	26-25
	FPK0-1 Interrupt Polarity Select Register (GPIO_FPK01_POL)	26-26
	FPK0-1 Interrupt Mode Select Register (GPIO_FPK01_MOD)	26-26
	FPK0-1 Interrupt Mask Register (GPIO_FPK01_MSK)	26-27
	FPK0-1 Interrupt Flag Register (GPIO_FPK01_FLG)	26-27

FPK0–1 Interrupt Chattering Filter Control Register (GPIO_FPK01_CHAT).....	26-28
P0[3:0] Port Function Select Register (PMUX_P0_03)	26-29
P0[7:4] Port Function Select Register (PMUX_P0_47)	26-30
P1[3:0] Port Function Select Register (PMUX_P1_03)	26-31
P1[7:4] Port Function Select Register (PMUX_P1_47)	26-32
P2[1:0] Port Function Select Register (PMUX_P2_01)	26-33
P3[3:0] Port Function Select Register (PMUX_P3_03)	26-33
P3[6:4] Port Function Select Register (PMUX_P3_46)	26-34
P4[2:0] Port Function Select Register (PMUX_P4_02)	26-35
P5[3:0] Port Function Select Register (PMUX_P5_03)	26-35
P5[6:4] Port Function Select Register (PMUX_P5_46)	26-36
P60 Port Function Select Register (PMUX_P6_0)	26-37
P7[3:0] Port Function Select Register (PMUX_P7_03)	26-37
P7[7:4] Port Function Select Register (PMUX_P7_47)	26-38
P8[3:0] Port Function Select Register (PMUX_P8_03)	26-39
P9[3:0] Port Function Select Register (PMUX_P9_03)	26-40
P9[7:4] Port Function Select Register (PMUX_P9_47)	26-41
PA[3:0] Port Function Select Register (PMUX_PA_03)	26-42
PA[7:4] Port Function Select Register (PMUX_PA_47)	26-43
PB[3:0] Port Function Select Register (PMUX_PB_03)	26-44
PB[7:4] Port Function Select Register (PMUX_PB_47)	26-45
PC[3:0] Port Function Select Register (PMUX_PC_03)	26-46
PC[7:4] Port Function Select Register (PMUX_PC_47)	26-47
PD[3:0] Port Function Select Register (PMUX_PD_03)	26-48
PD[7:4] Port Function Select Register (PMUX_PD_47)	26-49
PE[3:0] Port Function Select Register (PMUX_PE_03)	26-50
PE[5:4] Port Function Select Register (PMUX_PE_45)	26-50
PF[3:0] Port Function Select Register (PMUX_PF_03)	26-51
PF4 Port Function Select Register (PMUX_PF_4)	26-52
Px Port Pull-up Control Registers (GPIO_Px_PUP)	26-52
Bus Drive Control Register (GPIO_BUS_DRV)	26-53
Port Noise Filter Control Register (GPIO_FILTER)	26-53
GPIO/PMUX Write Protect Register (GPIO_PROTECT)	26-54
27 A/D変換器(ADC10)	27-1
27.1 ADC10モジュールの概要	27-1
27.2 ADC10入力端子	27-2
27.3 A/D変換器の設定	27-2
27.3.1 A/D変換クロックの設定	27-2
27.3.2 A/D変換開始チャネル/終了チャネルの選択	27-3
27.3.3 A/D変換モードの設定	27-4
27.3.4 トリガの選択	27-4
27.3.5 サンプリング時間の設定	27-4
27.3.6 変換結果格納モードの設定	27-4
27.4 A/D変換の制御と動作	27-5
27.4.1 A/D変換器の起動	27-5
27.4.2 A/D変換の開始	27-5
27.4.3 A/D変換結果の読み出し	27-5
27.4.4 A/D変換の終了	27-6
27.4.5 タイミングチャート	27-6
27.5 A/D変換器割り込みとDMA	27-7
27.6 制御レジスタ詳細	27-8
A/D Conversion Result Register (ADC10_ADD)	27-8
A/D Trigger/Channel Select Register (ADC10_TRG)	27-9
A/D Control/Status Register (ADC10_CTL)	27-10
A/D Clock Control Register (ADC10_CLK)	27-12

28 LCDコントローラ (LCDC)	28-1
28.1 LCDCモジュールの概要	28-1
28.2 ブロック図	28-2
28.3 LCDC出力端子	28-3
28.4 システム設定	28-5
28.4.1 表示メモリ (VRAM) の構成	28-5
28.4.2 LCDCクロックの設定	28-6
28.5 LCDパネルの設定	28-7
28.5.1 パネルの選択	28-7
28.5.2 STN/パネルタイミングパラメータ	28-7
28.5.3 TFTパネルタイミングパラメータ	28-11
28.5.4 表示モード	28-14
28.5.5 VRAMデータ形式	28-15
28.5.6 LUTバイパスモード	28-20
28.5.7 ルックアップテーブル	28-25
28.5.8 フレームレート	28-26
28.5.9 その他の設定	28-26
28.6 表示の制御	28-27
28.6.1 LCDパワーアップ/ダウン制御	28-27
28.6.2 メインウィンドウ表示開始アドレスと仮想画面の設定	28-27
28.6.3 表示データの書き込み	28-29
28.6.4 ブランク表示と反転表示	28-29
28.6.5 Picture-in-Picture Plusとサブウィンドウ	28-29
28.7 LCDC割り込み	28-32
28.8 パワーセーブ	28-32
28.9 リロード機能	28-33
28.10 制御レジスタ詳細	28-34
LCDC Interrupt Enable Register (LCDC_INT)	28-35
Status and Power Save Configuration Register (LCDC_PSAVE)	28-35
Horizontal Display Register (LCDC_HDISP)	28-36
Vertical Display Register (LCDC_VDISP)	28-36
MOD Rate Register (LCDC_MODR)	28-37
Horizontal Display Start Position Register (LCDC_HDPS)	28-37
Vertical Display Start Position Register (LCDC_VDPS)	28-37
FPLINE Pulse Setting Register (LCDC_FPLINE)	28-38
FPFRAME Pulse Setting Register (LCDC_FPFR)	28-38
FPFRAME Pulse Offset Register (LCDC_FPFROFS)	28-39
TFT Special Output Register (LCDC_TFTSO)	28-39
TFT_CTL1 Pulse Register (LCDC_TFT_CTL1)	28-40
TFT_CTL0 Pulse Register (LCDC_TFT_CTL0)	28-41
TFT_CTL2 Register (LCDC_TFT_CTL2)	28-41
LCDC Reload Control Register (LCDC_RLDCTL)	28-41
LCDC Reload Table Base Address Register (LCDC_RLDADR)	28-42
LCDC Display Mode Register (LCDC_DISPMOD)	28-43
Main Window Display Start Address Register (LCDC_MAINADR)	28-45
Main Screen Address Offset Register (LCDC_MAINOFS)	28-45
Sub-window Display Start Address Register (LCDC_SUBADR)	28-45
Sub-Screen Address Offset Register (LCDC_SUBOFS)	28-45
Sub-Window Start Position Register (LCDC_SUBSP)	28-46
Sub-Window End Position Register (LCDC_SUBEP)	28-47
Monochrome Look-up Table Registers 0 and 1 (LCDC_MLUT0/1)	28-47

29 USBファンクションコントローラ (USB)	29-1
29.1 USBファンクションコントローラの概要	29-1
29.2 USBインタフェース端子	29-2
29.3 USB動作クロック	29-2
29.4 その他モジュールの設定	29-2
29.5 機能説明	29-3
29.5.1 USB制御	29-3
29.5.2 FIFO管理	29-17
29.5.3 ポートインタフェース	29-19
29.5.4 スヌーズ	29-24
29.6 レジスタ	29-24
29.6.1 レジスタ一覧	29-24
29.6.2 レジスタ詳細説明	29-27
MainIntStat (Main Interrupt Status)	29-27
SIE_IntStat (SIE Interrupt Status)	29-28
EPrIntStat (EPr Interrupt Status)	29-29
DMA_IntStat (DMA Interrupt Status)	29-29
FIFO_IntStat (FIFO Interrupt Status)	29-29
EP0IntStat (EP0 Interrupt Status)	29-30
EPaIntStat (EPa Interrupt Status)	29-31
EPbIntStat (EPb Interrupt Status)	29-31
EPcIntStat (EPc Interrupt Status)	29-32
EPdIntStat (EPd Interrupt Status)	29-33
MainIntEnb (Main Interrupt Enable)	29-34
SIE_IntEnb (SIE Interrupt Enable)	29-34
EPrIntEnb (EPr Interrupt Enable)	29-34
DMA_IntEnb (DMA Interrupt Enable)	29-34
FIFO_IntEnb (FIFO Interrupt Enable)	29-34
EP0IntEnb (EP0 Interrupt Enable)	29-35
EPaIntEnb (EPa Interrupt Enable)	29-35
EPbIntEnb (EPb Interrupt Enable)	29-35
EPcIntEnb (EPc Interrupt Enable)	29-35
EPdIntEnb (EPd Interrupt Enable)	29-35
RevisionNum (Revision Number)	29-36
USB_Control (USB Control)	29-36
USB_Status (USB Status)	29-37
XcvrControl (Xcvr Control)	29-37
USB_Test (USB Test)	29-38
EPnControl (Endpoint Control)	29-39
EPrFIFO_Clr (EPr FIFO Clear)	29-39
FrameNumber_H (Frame Number HIGH)	29-40
FrameNumber_L (Frame Number LOW)	29-40
EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7)	29-40
USB_Address (USB Address)	29-41
EP0Control (EP0 Control)	29-41
EP0ControlIN (EP0 Control IN)	29-42
EP0ControlOUT (EP0 Control OUT)	29-43
EP0MaxSize (EP0 Max Packet Size)	29-44
EPaControl (EPa Control)	29-44
EPbControl (EPb Control)	29-45
EPcControl (EPc Control)	29-46
EPdControl (EPd Control)	29-47
EPaMaxSize_H (EPa Max Packet Size HIGH)	29-48
EPaMaxSize_L (EPa Max Packet Size LOW)	29-48
EPaConfig_0 (EPa Configuration 0)	29-48
EPaConfig_1 (EPa Configuration 1)	29-48

EPbMaxSize_H (EPb Max Packet Size HIGH).....	29-49
EPbMaxSize_L (EPb Max Packet Size LOW)	29-49
EPbConfig_0 (EPb Configuration 0).....	29-49
EPbConfig_1 (EPb Configuration 1).....	29-50
EPcMaxSize_H (EPc Max Packet Size HIGH)	29-50
EPcMaxSize_L (EPc Max Packet Size LOW).....	29-50
EPcConfig_0 (EPc Configuration 0).....	29-50
EPcConfig_1 (EPc Configuration 1)	29-51
EPdMaxSize_H (EPd Max Packet Size HIGH).....	29-51
EPdMaxSize_L (EPd Max Packet Size LOW)	29-51
EPdConfig_0 (EPd Configuration 0).....	29-51
EPdConfig_1 (EPd Configuration 1).....	29-52
EPaStartAdrs_H (EPa FIFO Start Address HIGH).....	29-52
EPaStartAdrs_L (EPa FIFO Start Address LOW)	29-52
EPbStartAdrs_H (EPb FIFO Start Address HIGH).....	29-53
EPbStartAdrs_L (EPb FIFO Start Address LOW)	29-53
EPcStartAdrs_H (EPc FIFO Start Address HIGH).....	29-53
EPcStartAdrs_L (EPc FIFO Start Address LOW).....	29-53
EPdStartAdrs_H (EPd FIFO Start Address HIGH).....	29-54
EPdStartAdrs_L (EPd FIFO Start Address LOW)	29-54
CPU_JoinRd (CPU Join FIFO Read)	29-54
CPU_JoinWr (CPU Join FIFO Write).....	29-55
EnEPnFIFO_Access (EPn FIFO Access Enable)	29-56
EPnFIFOforCPU (EPn FIFO for CPU).....	29-56
EPnRdRemain_H (EPn FIFO Read Remain HIGH).....	29-56
EPnRdRemain_L (EPn FIFO Read Remain LOW)	29-56
EPnWrRemain_H (EPn FIFO Write Remain HIGH)	29-57
EPnWrRemain_L (EPn FIFO Write Remain LOW).....	29-57
DescAdrs_H (Descriptor Address HIGH)	29-57
DescAdrs_L (Descriptor Address LOW).....	29-57
DescSize_H (Descriptor Size HIGH).....	29-57
DescSize_L (Descriptor Size LOW).....	29-57
DescDoor (Descriptor Door).....	29-58
DMA_FIFO_Control (DMA FIFO Control).....	29-58
DMA_Join (DMA Join FIFO).....	29-59
DMA_Control (DMA Control).....	29-59
DMA_Config_0 (DMA Configuration 0)	29-60
DMA_Config_1 (DMA Configuration 1)	29-60
DMA_Latency (DMA Latency).....	29-61
DMA_Remain_H (DMA FIFO Remain HIGH).....	29-61
DMA_Remain_L (DMA FIFO Remain LOW)	29-61
DMA_Count_HH (DMA Transfer Byte Counter HIGH/HIGH).....	29-62
DMA_Count_HL (DMA Transfer Byte Counter HIGH/LOW)	29-62
DMA_Count_LH (DMA Transfer Byte Counter LOW/HIGH)	29-62
DMA_Count_LL (DMA Transfer Byte Counter LOW/LOW).....	29-62
30 Miscレジスタ (MISC).....	30-1
30.1 RTCウェイト制御	30-1
30.2 内部RAMウェイト制御	30-1
30.3 USBの設定	30-1
30.3.1 USBウェイト制御.....	30-1
30.3.2 スヌーズ制御	30-2
30.3.3 USB割り込みイネーブル	30-2
30.4 ブートレジスタ	30-2
30.5 RAMの再配置.....	30-2
30.6 制御レジスタ詳細	30-3
RTC Wait Control Register (MISC_RTCWT)	30-3

USB Configuration Register (MISC_USB).....	30-4
Internal RAM Wait Control Register (MISC_RAMWT).....	30-4
Boot Register (MISC_BOOT)	30-5
Debug Trace Enable Register (MISC_TRACE)	30-5
Misc Protect Register 0 (MISC_PROT0)	30-6
Misc Protect Register 1 (MISC_PROT1)	30-6
RAM Configuration Register (MISC_RAMCFG).....	30-7
31 演算モジュール(CALC)	31-1
31.1 CALCモジュールの概要	31-1
31.2 リソース	31-1
31.2.1 予約リソース	31-1
31.2.2 演算モジュール用RAM (CALCRAM)	31-1
31.3 CALC関数説明	31-1
31.3.1 関数一覧	31-1
31.3.2 数値形式	31-2
31.3.3 CalcSetMode	31-4
31.3.4 CalcInit	31-5
31.3.5 CalcMul1	31-5
31.3.6 CalcMul4	31-5
31.3.7 CalcMul6	31-5
31.3.8 CalcMul8	31-6
31.3.9 CalcMul16	31-6
31.3.10 CalcMac2_6	31-6
31.3.11 CalcMac4	31-7
31.3.12 CalcMac6	31-7
31.3.13 CalcMac8	31-8
31.3.14 CalcMac16	31-8
31.3.15 CalcMacCircular8	31-8
31.3.16 CalcSubMul1	31-9
31.3.17 CalcSubMul8	31-9
31.3.18 CalcMatrix2	31-9
31.3.19 CalcMatrix3	31-10
31.3.20 CalcMatrix4	31-10
31.3.21 CalcAffine2	31-11
31.3.22 CalcAffine3	31-11
31.3.23 CalcButterfly	31-12
31.3.24 CalcButterflyConst	31-12
31.3.25 CalcButterfly2_1	31-13
31.3.26 CalcButterfly3_1	31-13
31.3.27 CalcButterfly3_2	31-14
31.3.28 CalcButterfly3_4	31-14
31.3.29 CalcButterfly3_8	31-15
31.3.30 CalcButterfly3_16	31-15
31.4 使用例	31-16
32 電気的特性.....	32-1
32.1 絶対最大定格	32-1
32.2 推奨動作条件	32-1
32.3 DC特性	32-2
32.4 消費電流	32-3
32.5 A/D変換器特性	32-5
32.6 発振特性	32-6
32.7 PLL特性	32-6

32.8 AC特性	32-6
32.8.1 外部クロック入力特性	32-6
32.8.2 SRAMC AC特性	32-7
32.8.3 SDRAMC AC特性	32-8
32.8.4 USI/USIL AC特性	32-11
32.8.5 HIF AC特性	32-13
32.8.6 LCDC AC特性	32-14
32.8.7 #STBY AC特性	32-25
32.9 USB DC & AC特性	32-25
33 基本外部結線図	33-1
Appendix A I/Oレジスタ一覧	AP-A-1
0x300010–0x300024	Misc Registers (MISC)..... AP-A-11
0x300100–0x300118	Clock Management Unit (CMU)..... AP-A-11
0x300210–0x30022c	Interrupt Controller (ITC) AP-A-14
0x300300–0x30083f	GPIO & Port MUX..... AP-A-16
0x300400–0x300472	USI Ch.0..... AP-A-30
0x300500–0x300572	USI Ch.1..... AP-A-32
0x300600–0x30069f	USIL..... AP-A-33
0x300700–0x300772	USI Ch.2..... AP-A-36
Host 0x0–0xf	Host Interface (HIF) for 8-bit interface mode AP-A-38
Host 0x0–0xf	Host Interface (HIF) for 16-bit interface mode AP-A-39
Host 0xd [Index 0x1–0x13]	Host Interface (HIF) AP-A-40
0x300901–0x300919	Host Interface (HIF) AP-A-40
0x300a00–0x300a0f	Real-time Clock (RTC)..... AP-A-41
0x300b00–0x300b0f	BBRAM..... AP-A-42
0x300c00–0x300c9f	USB Function Controller (USB) AP-A-42
0x300e00–0x300e01	Prescaler (PSC)..... AP-A-48
0x300e10–0x300e15	UART AP-A-49
0x300f00–0x300f43	Card Interface (CARD) AP-A-49
0x301000–0x30100c	Watchdog Timer (WDT) AP-A-52
0x301100–0x301108	Fine Mode 8-bit Timer (T8F) Ch.0 AP-A-52
0x301110–0x301118	Fine Mode 8-bit Timer (T8F) Ch.1 AP-A-53
0x301120–0x301128	Fine Mode 8-bit Timer (T8F) Ch.2 AP-A-53
0x301130–0x301138	Fine Mode 8-bit Timer (T8F) Ch.3 AP-A-54
0x301140–0x301148	Fine Mode 8-bit Timer (T8F) Ch.4 AP-A-55
0x301150–0x301158	Fine Mode 8-bit Timer (T8F) Ch.5 AP-A-55
0x301160–0x30116c	16-bit PWM Timer (T16A6) Ch.0 AP-A-56
0x301170–0x30117c	16-bit PWM Timer (T16A6) Ch.1 AP-A-58
0x301180–0x30118c	16-bit PWM Timer (T16A6) Ch.2 AP-A-59
0x301190–0x30119c	16-bit PWM Timer (T16A6) Ch.3 AP-A-60
0x301200–0x30120e	16-bit Audio PWM Timer (T16P) Ch.0 AP-A-61
0x301210–0x30121e	16-bit Audio PWM Timer (T16P) Ch.1 AP-A-62
0x301300–0x301306	A/D Converter (ADC10)..... AP-A-63
0x301500–0x301506	Remote Controller (REMC) AP-A-64
0x302000–0x302094	LCD Controller (LCDC)..... AP-A-65
0x302100–0x30211c	DMA Controller (DMAC) AP-A-68
0x302200–0x302210	SDRAM Controller (SDRAMC) AP-A-69
0x302220–0x302228	SRAM Controller (SRAMC) AP-A-70
0x302300–0x302318	Cache Controller (CCU) AP-A-71
0x302400–0x302432	I ² S..... AP-A-72
0x302600–0x302650	SD/MMC Interface (SD_MMC) AP-A-74

Appendix B パワーセーブ	AP-B-1
Appendix C 実装上の注意事項	AP-C-1
Appendix D ブート	AP-D-1
D.1 ブートモード	AP-D-1
改訂履歴表	

1 概要

S1C33L27は、多くの汎用入出力ポートやシリアルインタフェース、USB、ADC、表示パネルなどを必要とする特定用途(電子辞書やOA/FA機器の制御パネルなど)向けの32ビットRISCコントローラです。S1C33L27にはシングルチップでQVGAディスプレイに対応可能なLCDコントローラとVRAMを内蔵しています。また、SDRAMの外付けにより、より高い解像度や表示色にも対応します(16M色VGAディスプレイなど)。RAM内蔵LCDドライバとの通信を可能とする専用インタフェースを実装しています。

1.1 特長

以下に主な機能と特長を示します。

CPU

- EPSONオリジナル32ビットRISC CPUコア C33 PE
- 最大動作周波数: 60MHz
- 内部2段パイプライン
- 命令セット: 128命令(16ビット固定長)

内蔵メモリ

- A0RAM(汎用RAM)
 - 20Kバイト(1Kバイト命令キャッシュと1Kバイトデータキャッシュを含む)
 - キャッシュを使用しない場合は汎用RAMとして使用可能
- IVRAM(内蔵VRAM)
 - 32Kバイト
 - エリア0の汎用RAM、または演算モジュール用のRAMに設定可能
- DSTRAM(DMAコントロールテーブルRAM)
 - 2Kバイト
 - 演算モジュール用のRAMに設定可能
- BBRAM(バッテリーバックアップRAM)
 - 16バイト
 - RTC用分離電源により、システム電源Off時もRAMの内容を保持可能

入力クロック

- 高速クロック(OSC3)
 - 最大入力クロック周波数: 48MHz
 - 発振回路(外付け水晶振動子またはセラミック発振子)で生成、または外部クロック入力
- 低速クロック(OSC1)
 - RTCと省電力動作用32.768kHz(Typ.)クロック
 - 発振回路(外付け水晶振動子)で生成、または外部クロック入力

キャッシュコントローラ(CCU)

- 4ウェイアソシエティブ方式の1Kバイト命令キャッシュと1Kバイトデータキャッシュ
- LRU置き換えアルゴリズム
- デバッグモード時や指定優先度の割り込み処理中の自動ロック機能
- 1ワードのライトバッファを使用するライトスルー機能

DMAコントローラ(DMAC)

- 8チャネルのテーブルDMA
- テーブルリロード機能、低優先度チャネルの一時停止機能
- 24種類のハードウェアトリガソースと8系統のソフトウェアトリガソース

SRAMコントローラ (SRAMC)

- SRAM、ROM、Flashメモリを接続可能
- 26ビットアドレスバスと8/16ビットの選択が可能なデータバス
- 外部デバイスの接続に最大6つのチップイネーブル信号を使用可能
- チップイネーブル信号ごとに最大64Mバイト(A[25:0])のアドレス空間をアクセス可能
- バスウェイトサイクル数をプログラマブルに設定可能(0~15サイクル)
- リトルエンディアンアクセス
- メモリマップドI/O
- A0またはBS(バーストロープ)の2つのアクセス方式に対応
- #WAIT端子による外部ウェイト要求に対応

SDRAMコントローラ (SDRAMC)

- SDRAMを接続可能なインタフェースを内蔵
- 8/16ビットデータバスを持つSDRAMに対応
 - 最小構成: 16Mビット(2MB)、16ビットSDRAM×1
 - 最大構成: 512Mビット(64MB)、16ビットSDRAM×1
- CASレイテンシ: 1、2または3に設定可能
- 2バーストリードおよびシングルライトに対応
- 4段×16ビットDQB(データキューバッファ)を内蔵
- 最大4つのSDRAMバンクとバンクアクティブモードに対応
- 12ビットオートリフレッシュカウンタを内蔵
- 省電力動作のためのインテリジェントなセルフリフレッシュ機能
- AHB-1(CPU、DMAC、HIF)とAHB-2(LCDC)による外部バスアクセスを調停

ホストプロセッサインタフェース (HIF)

- 外部ホストプロセッサからS1C33L27を制御可能な8または16ビット非同期パラレルインタフェース
- セマフォレジスタを内蔵

クロックマネージメントユニット/発振回路/PLL (CMU)

- システムクロックソースの選択(OSC3、PLL、OSC1)
- OSC3、OSC1発振回路のOn/Off制御
- PLL周波数通倍率の制御($\times 1 \sim \times 16$)
- スタンバイモード(SLEEP、HALT)時のクロック制御
- 外部クロックの制御
- コア/周辺モジュールへのクロック供給制御
- OSC3発振回路
 - 水晶発振: 5MHz Min.~48MHz Max.
 - セラミック発振: 5MHz Min.~48MHz Max.
 - 外部クロック入力: 2MHz Min.~48MHz Max.
- * USB機能を使用するには0.25%以内の精度の48MHzクロックソースを接続してください。
- * セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。
- PLL
 - PLL入力周波数: 5MHz Min.~48MHz Max. (OSC3 $\times 1$, $\times 1/2$, $\times 1/3$, ... $\times 1/9$, $\times 1/10$)
 - PLL出力周波数: 20MHz Min.~60MHz Max.
 - 通倍率: $\times 1$, $\times 2$, $\times 3$, ... $\times 15$, $\times 16$
- OSC1発振回路
 - 水晶発振: 32.768kHz Typ.
 - 外部クロック入力: 32.768kHz Typ.

割り込みコントローラ (ITC)

- 5本のマスク不可能な割り込み
- 34本のマスク可能な割り込み(4本のソフトウェア例外を含む)

16ビットオーディオPWMタイマ(T16P)

- 2チャンネルのPWM出力機能付き16ビットタイマ/カウンタ
- 3種類のビット分割機能を搭載(10ビット+6ビット、9ビット+7ビット、8ビット+8ビット)
- 8、16、22.05、32、44.1、48kHzのサンプリングレートに対応可能
- 8/16ビットPCMデータ(8k~48kbps)に対応可能なPWM機能
- パルス幅の精度を向上させるファインモードを搭載
- デジタルボリューム制御機能を搭載
- 2つのコンペアマッチ割り込みを発生可能
- DMA転送に対応

ファインモード8ビットタイマ(T8F)

- 6チャンネルのファインモード8ビットタイマ(プリセッタブルダウンカウンタ)
- カウントアンダーフローにより生成したクロックを内部デバイス(USI、USIL、ADC、UART)に出
力可能
- 各タイマはアンダーフロー割り込みを発生可能

16ビットPWMタイマ(T16A6)

- 4チャンネルのカウントキャプチャ/コンパレータ機能付き16ビットタイマ
- 各チャンネルに2つのコンペア/キャプチャバッファを内蔵
- コンペア/キャプチャ割り込みを発生可能
- カウントクロックをシステムクロック、OSC3クロック、OSC1クロックから選択可能
- DMA転送に対応

ウォッチドッグタイマ(WDT)

- リセットまたはNMIを発生する30ビットのウォッチドッグタイマ
- ウォッチドッグタイマのオーバーフロー周期(リセット/NMI発生周期)をプログラマブルに設定可能
- ウォッチドッグタイマのオーバーフロー信号を外部に出力可能

リアルタイムクロック(RTC)

- 時刻(秒、分、時)カウンタとカレンダー(日、曜日、月、年)カウンタを内蔵
- 24時間、12時間モードを選択可能
- システムとは別の電源(RTCV_{DD})で動作(システムパワーオフ時も動作)
- WAKEUP出力端子と#STBY入力端子でスタンバイ制御が可能
- 計時割り込みを発生可能

ユニバーサルシリアルインタフェース(USI)

- UART、SPI、PCモジュールとして使用可能な3チャンネルのマルチシリアルインタフェース
- 1バイトの受信データバッファと1バイトの送信データバッファを搭載
- UARTモード
 - データ長: 7または8ビット
 - パリティモード: 偶数、奇数、またはパリティなし
 - ストップビット: 1または2ビット(スタートビットは1ビット固定)
 - MSB先頭、LSB先頭モードを選択可能
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- SPIモード
 - マスタモードとスレーブモードに対応
 - データ長: 8または9ビット(マスタモード)、8ビット固定(スレーブモード)
 - MSB先頭、LSB先頭モードを選択可能
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信バッファフル、送信バッファエンプティ、オーバーランエラー割り込みを発生可能
 - DMA転送に対応

1 概要

- I²Cモード
 - マスタモード(シングルマスタのみ)とスレーブモードに対応
 - 7ビットアドレスモード(ソフトウェア制御により10ビットアドレスにも対応)
 - クロックストレッチ/ウェイト機能に対応
 - スタート/ストップ、データ転送、ACK/NAK転送、オーバーランエラー割り込みを発生可能

RAM内蔵LCDインタフェース付きユニバーサルシリアルインタフェース(USIL)

- UART、SPI、I²C、RAM内蔵LCD用インタフェースモジュールとして使用可能なマルチシリアルインタフェース
- 1バイトの受信データバッファと1バイトの送信データバッファを搭載
- UARTモード
 - USIと同一
- SPIモード
 - データ長: 8ビット固定
 - その他はUSIと同一
- I²Cモード
 - USIと同一
- LCD SPIモード
 - データ長を8ビット、16ビット、18ビット(4種類のデータ形式)、24ビット + CMDビットに設定可能
 - CMDビットまたはA0の選択が可能
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 送信バッファエンプティ割り込みを発生可能
 - DMA転送に対応
- LCDパラレルインタフェースモード
 - 8ビットデータバスと4本の制御信号(#CS、#RD、#WR、A0)
 - バイトリード/ライトにのみ対応
 - 送信バッファエンプティ、受信バッファフル割り込みを発生可能
 - 送信、受信共にDMA転送に対応

UART

- 1チャンネルのUART
- IrDA1.0準拠
- 2バイトの受信バッファと1バイトの送信バッファを内蔵し、全二重通信をサポート
- 転送レート: 150 ~ 460800bps、データ長: 7または8ビット、パリティモード: 偶数、奇数、またはパリティなし、ストップビット: 1または2ビット
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能

I²Sバスインタフェース(I2S)

- 入力1チャンネル、出力1チャンネルを持つ汎用I²Sオーディオバスインタフェース
- 24バイトのFIFO(24ビット×2チャンネル(L & R)×4)を内蔵
- 解像度: 16ビットまたは24ビット(PCMデータ出力形式)
- クロック極性とデータ方向(MSB先頭/LSB先頭)をソフトウェアにより設定可能
- FIFOエンプティ割り込み(出力チャンネル: ハーフエンプティ、完全エンプティ、または1データエンプティ)とFIFOフル割り込み(入力チャンネル: 完全フルまたは1データ)を発生可能
- DMA転送に対応

カードインタフェース(CARD)

- 8ビットSLC/MLC NAND Flashインタフェース信号を生成
- EDC(Error Detection Code)とECC(Error Correction Code)機能に対応するリードソロモンコードックを搭載
- NAND Flashを接続する#CEエリアを選択可能

MMC/SD/SDHCカードインタフェース(SD_MMC)

- “SD Memory Card Physical Layer Specification Version 2.00”に準拠したSD/SDHCカードコントローラ
- “MultiMediaCard System Specification Version 2.2”に準拠したMMCコントローラ
- 最大30MHzの有効クロック速度
- 4ビット(ワイドバス)と1ビットのSDバスインタフェースに対応
- CRC7、CRC16生成回路
- DMA転送に対応

注: SD、SDHCカードを扱う場合は、SDアソシエーション(SDA)に加入してください。

赤外線リモコン回路(REMC)

- 変調キャリア信号の出力とリモコンパルスを入力
- キャリア信号発生回路とデータ長カウンタを内蔵
- データ送信用のカウンタアンダーフロー割り込み、データ受信用の入力立ち上がり/立ち下がりエッジ検出割り込みを発生可能

LCDコントローラ(LCDC)

- 4/8ビットデータ幅のSTN LCDパネル、および最大24ビットデータ幅のTFT LCDパネルに対応
- 640×480ピクセル(VGA)、320×240ピクセル(QVGA)等の各種解像度に対応(パネルにあわせ任意に設定可能)
- 最大16M色(カラーTFT)、4K色(カラーSTN)、16階調(モノクロSTN)の表示モードをサポート
- 内蔵VRAM(20KB)を使用した表示設定例
 - 320×240ピクセル、2bpp(4階調)
- 外部メモリを使用した表示設定例
 - 320×240ピクセル、16bpp(QVGA 64K色表示)
 - 400×240ピクセル、16bpp(WQVGA 64K色表示)
 - 640×480ピクセル、16bpp(VGA 64K色表示)
- PIP+(Picture in Picture Plus)による2画面の重ね合わせ表示制御が可能
- LCDパネルと異なる解像度の画像が扱えるバーチャルディスプレイ機能(仮想画面内の任意のエリアを表示可能)

A/D変換器(ADC10)

- 10ビット逐次比較型A/D変換器
- 最大8チャネルのアナログ入力(チップ、PFBGA12U-180パッケージの場合)
- 最大4チャネルのアナログ入力(TQFP24/QFP20-144pin、TQFP15-128pinパッケージの場合)
- 変換時間: 10μs Min. (2MHzの入力クロック選択時)
1,250μs Max. (16kHzの入力クロック選択時)
- 変換終了、オーバーライトエラー割り込みを発生可能

USBファンクションコントローラ(USB)

- USB2.0フルスピードモード(12M bps)に対応
- オートネゴシエーション機能を搭載
- コントロール、バルク、アイソクロナス、インタラプト転送に対応
- 4つの汎用エンドポイントとエンドポイント0(コントロール)をサポート
- プログラマブルな1KバイトFIFOを内蔵
- USB割り込みを発生可能
- DMA転送に対応

汎用入出力ポート(GPIO)

- 最大91本の入出力ポート、8本の入力専用ポートを使用可能(チップ、PFBGA12U-180パッケージの場合)
- 最大72本の入出力ポート、4本の入力専用ポートを使用可能(TQFP24/QFP20-144pinパッケージの場合)
- 最大56本の入出力ポート、4本の入力専用ポートを使用可能(TQFP15-128pinパッケージの場合)
- 64本の選択入出力ポートから最大8本のポート入力割り込み、既定の32ポートからキー入力割り込みを発生可能

* 入出力ポートは他の周辺機能(USI、PWMなど)と端子を兼用しています。したがって、使用可能なGPIOポート数は周辺機能の使用状況により変わります。

演算モジュール(CALC)

- 積和演算(MAC)
- 行列演算
- アフィン変換
- バタフライ演算
- 符号付き/符号なし32ビット整数演算モード、飽和处理付き16ビット固定小数点演算モードをサポート

動作電圧

- HV_{DD} (I/O電源電圧):
2.7V～3.6V(3.3V Typ.)
USB使用時は3.0V～3.6V(3.3V Typ.)
- AV_{DD} (アナログ電源電圧):
2.7V～3.6V(3.3V Typ.)
- LV_{DD} (内部ロジック/内部メモリ電源電圧):
1.65V～1.95V(1.8V Typ.)
セラミック発振子使用時は1.7V～1.9V(1.8V Typ.)
- PLL_{VDD} (PLL電源電圧):
1.65V～1.95V(1.8V Typ.)
セラミック発振子使用時は1.7V～1.9V(1.8V Typ.)
- RTC_{VDD} (RTC/BBRAM電源電圧):
1.65V～1.95V(1.8V Typ.)
セラミック発振子使用時は1.7V～1.9V(1.8V Typ.)

* $LV_{DD} = PLL_{VDD} = RTC_{VDD}$ 、 $HV_{DD} = AV_{DD}$
5V入力トレラントI/Oには対応していません。

動作温度

- -40～85°C
- 0～70°C(USB使用時、またはセラミック発振子使用時)

消費電流

(I/O電流は含みません。)

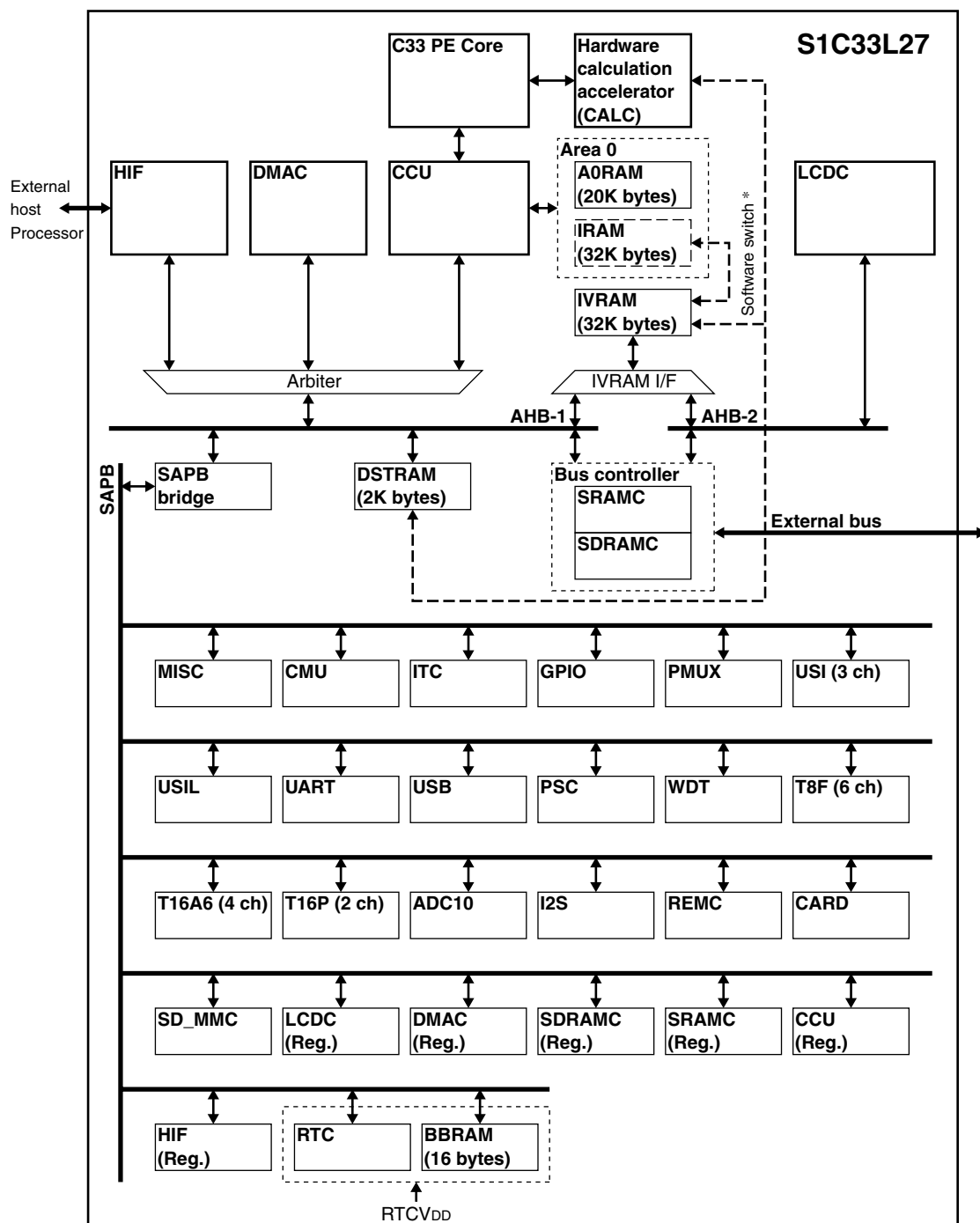
- SLEEP時: 2.3μA Typ. RTC動作時
1.0μA Typ. RTC未使用時
- HALT時: 4.3mA Typ. システムクロック = 48MHz OSC3クロック、全周辺クロック = Off
- 実行時: 18mA Typ. システムクロック = 48MHz OSC3クロック、CPU通常動作、
全周辺クロック = Off

* クロックマネージメントユニット(CMU)でクロックを制御することにより、消費電流を低減できます。

出荷形態

- チップ: 200パッド (5.213mm×5.213mm、パッドピッチ: 90μm)
- プラスチックパッケージ: TQFP15-128pin (14mm×14mm×1.0mm、端子ピッチ: 0.4mm)
TQFP24-144pin (16mm×16mm×1.0mm、端子ピッチ: 0.4mm)
QFP20-144pin (20mm×20mm×1.4mm、端子ピッチ: 0.5mm)
PFBGA12U-180 (12mm×12mm×1.2mm、ボールピッチ: 0.8mm)

1.2 ブロック図



* 詳細は“メモリマップ”の章内、“エリア3(IVRAM、DSTRAM)”の節を参照してください。

図1.2.1 ブロック図

1.3 端子説明

1.3.1 端子配置

S1C33L27は、TQFP15-128pin、TQFP24-144pin、QFP20-144pin、またはPFBGA12U-180パッケージを採用しています。

TQFP15-128pinパッケージ

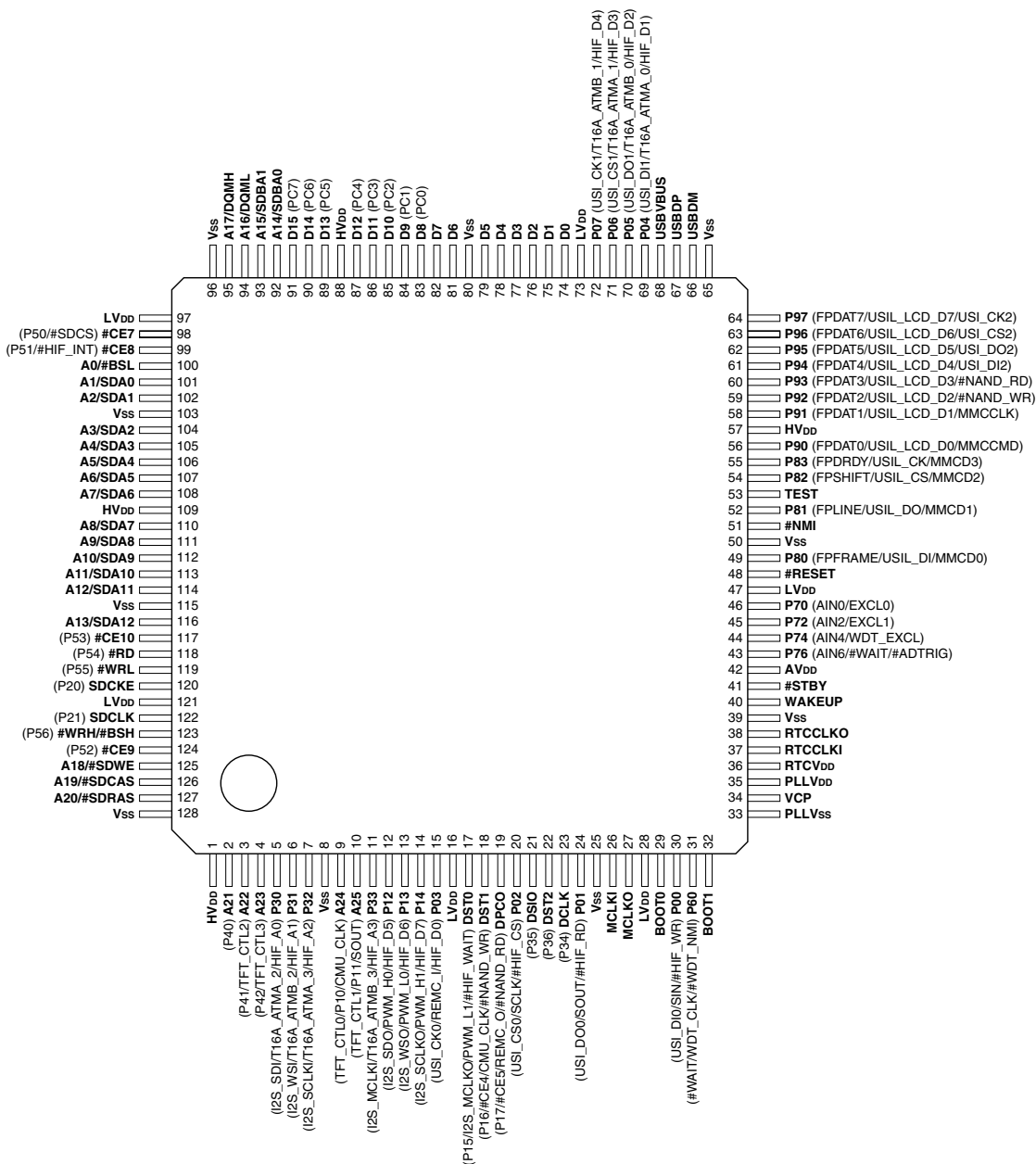


図1.3.1.1 端子配置図(TQFP15-128pin)

TQFP24-144pin/QFP20-144pinパッケージ

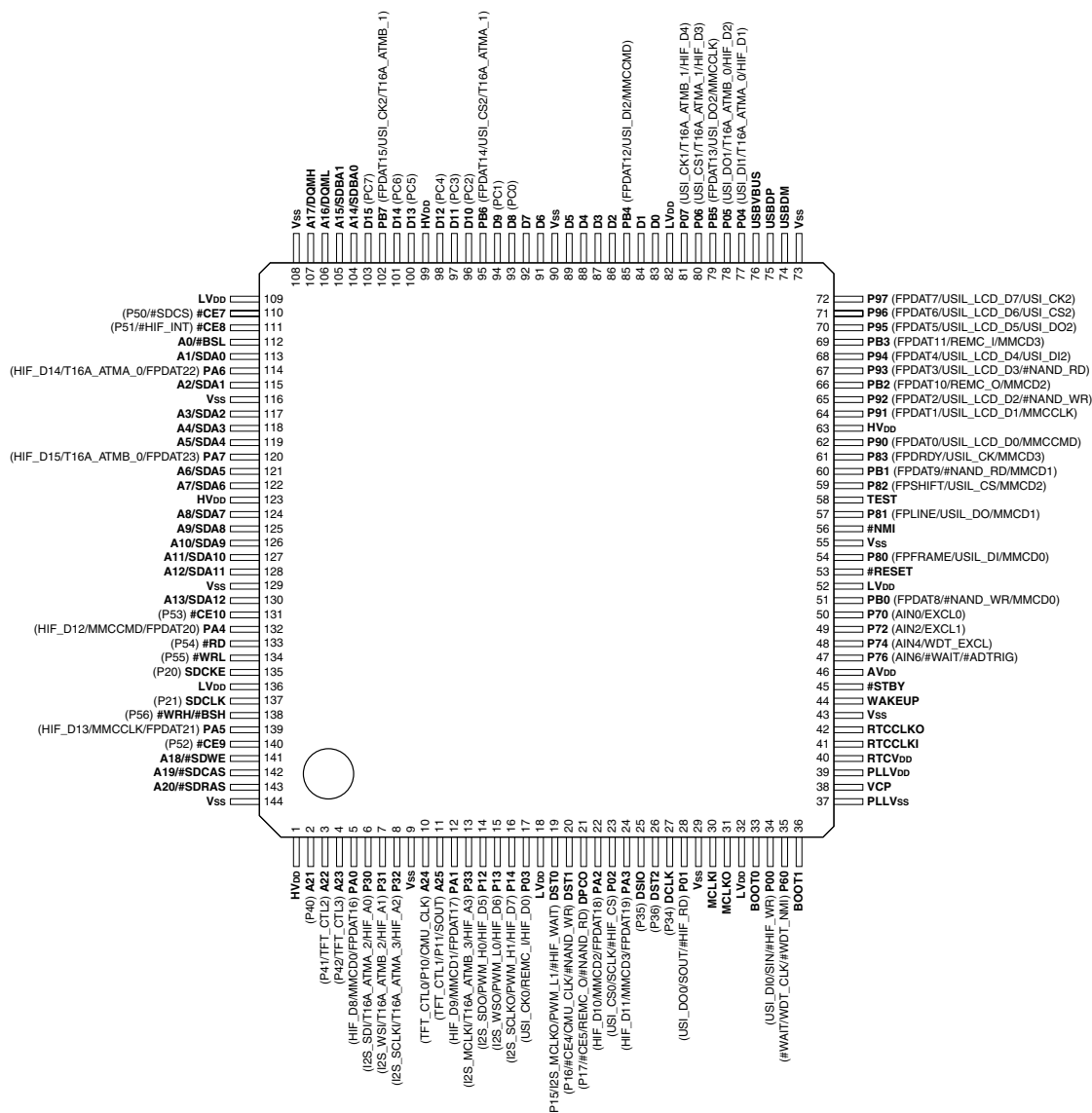


図1.3.1.2 端子配置図 (TQFP24-144pin/QFP20-144pin)

PFBGA12U-180パッケージ

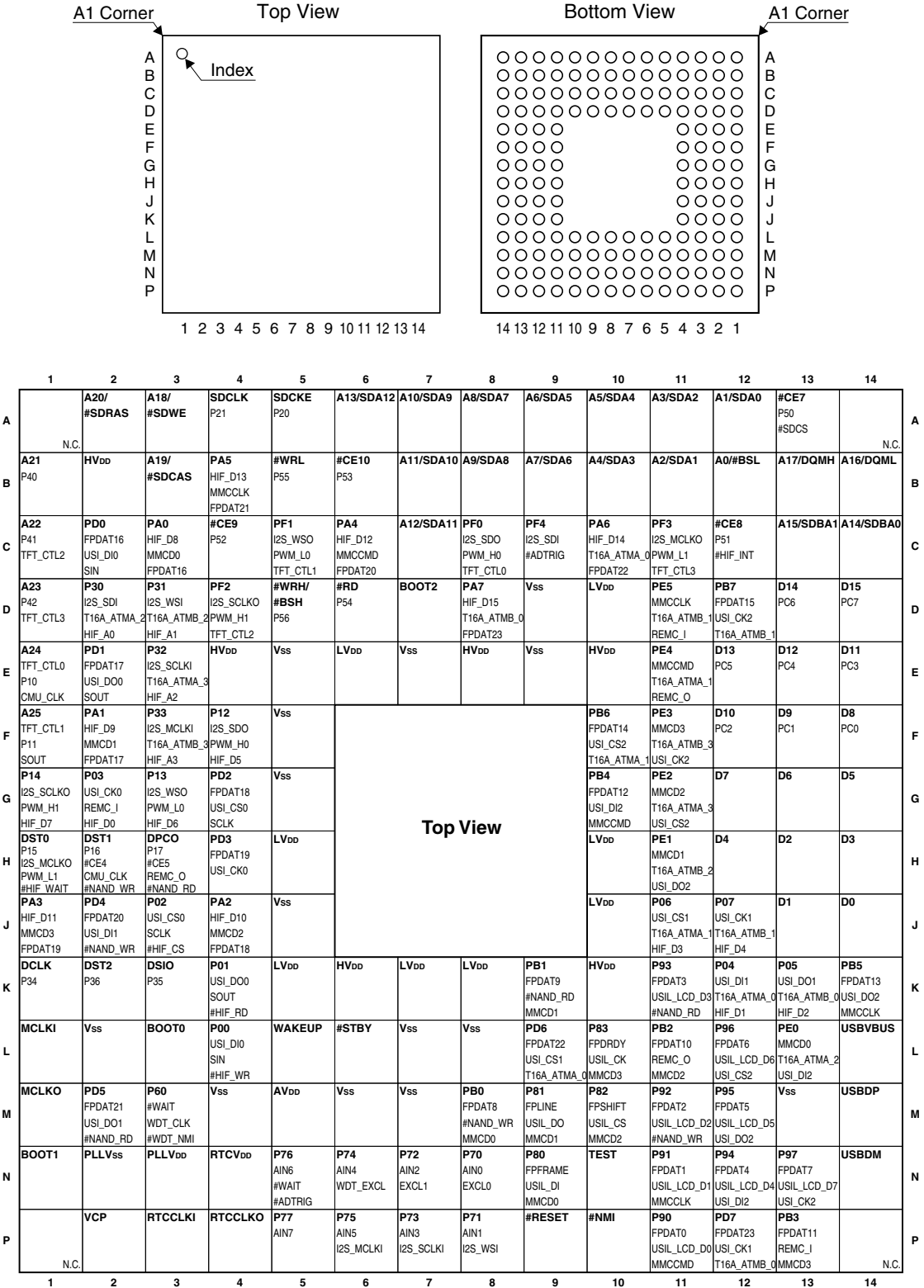
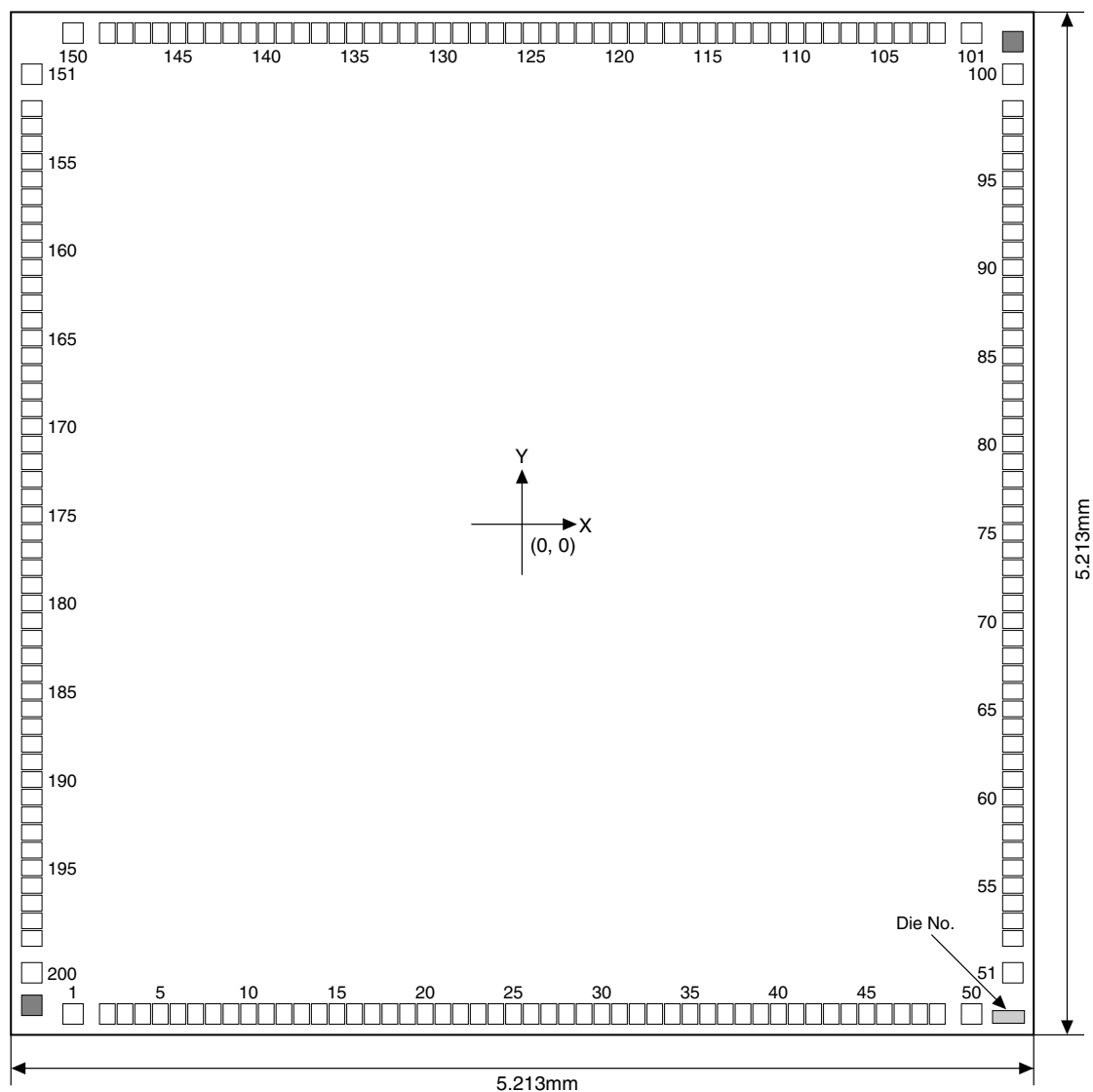


図1.3.1.3 端子配置図 (PFBGA12U-180)

チップ



パッド開口部 No. 1, 50, 51, 100, 101, 150, 151, 200: $104 \times 104 \mu\text{m}$
 No. 2~49, 102~149: $80 \times 104 \mu\text{m}$
 No. 52~99, 152~199: $104 \times 80 \mu\text{m}$

チップ厚 $400 \mu\text{m}$

図1.3.1.4 パッド配置図

表1.3.1.1 パッド座標

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
1	HV _{DD}	-2290	-2500	51	N.C.	2500	-2290
2	HV _{DD}	-2115	-2500	52	PLL _{VSS}	2500	-2115
3	A21/P40	-2025	-2500	53	VCP	2500	-2025
4	PD0/FPDAT16/USI_DI0/SIN	-1935	-2500	54	PLL _{DD}	2500	-1935
5	A22/P41/TFT_CTL2	-1845	-2500	55	N.C.	2500	-1845
6	A23/P42/TFT_CTL3	-1755	-2500	56	N.C.	2500	-1755
7	PA0/HIF_D8/MMCD0/FPDAT16	-1665	-2500	57	RTC _{VDD}	2500	-1665
8	N.C.	-1575	-2500	58	RTCCLKI	2500	-1575
9	P30/I2S_SDI/T16A_ATMA_2/HIF_A0	-1485	-2500	59	RTCCLKO	2500	-1485
10	P31/I2S_WSI/T16A_ATMB_2/HIF_A1	-1395	-2500	60	V _{SS}	2500	-1395
11	P32/I2S_SCLKI/T16A_ATMA_3/HIF_A2	-1305	-2500	61	WAKEUP	2500	-1305
12	PD1/FPDAT17/USI_DO0/SOUT	-1215	-2500	62	#STBY	2500	-1215
13	V _{SS}	-1125	-2500	63	LV _{DD}	2500	-1125
14	V _{SS}	-1035	-2500	64	AV _{DD}	2500	-1035
15	A24/TFT_CTL0/P10/CMU_CLK	-945	-2500	65	P77/AIN7	2500	-945
16	A25/TFT_CTL1/P11/SOUT	-855	-2500	66	P76/AIN6/#WAIT/#ADTRIG	2500	-855
17	PA1/HIF_D9/MMCD1/FPDAT17	-765	-2500	67	P75/AIN5/I2S_MCLKI	2500	-765
18	P33/I2S_MCLKI/T16A_ATMB_3/HIF_A3	-675	-2500	68	P74/AIN4/WDT_EXCL	2500	-675
19	P12/I2S_SDO/PWM_H0/HIF_D5	-585	-2500	69	P73/AIN3/I2S_SCLKI	2500	-585
20	PD2/FPDAT18/USI_CS0/SCLK	-495	-2500	70	P72/AIN2/EXCL1	2500	-495
21	P13/I2S_WSO/PWM_L0/HIF_D6	-405	-2500	71	P71/AIN1/I2S_WSI	2500	-405
22	P14/I2S_SCLKO/PWM_H1/HIF_D7	-315	-2500	72	P70/AIN0/EXCL0	2500	-315
23	P03/USI_CK0/REMC_I/HIF_D0	-225	-2500	73	V _{SS}	2500	-225
24	LV _{DD}	-135	-2500	74	PB0/FPDAT8/#NAND_WR/MMCD0	2500	-135
25	LV _{DD}	-45	-2500	75	LV _{DD}	2500	-45
26	PD3/FPDAT19/USI_CK0	45	-2500	76	#RESET	2500	45
27	DST0/P15/I2S_MCLKO/PWM_L1/#HIF_WAIT	135	-2500	77	P80/FPFRAME/USIL_DI/MMCD0	2500	135
28	DST1/P16/#CE4/CMU_CLK/#NAND_WR	225	-2500	78	V _{SS}	2500	225
29	DPCO/P17/#CE5/REMC_O/#NAND_RD	315	-2500	79	V _{SS}	2500	315
30	PA2/HIF_D10/MMCD2/FPDAT18	405	-2500	80	#NMI	2500	405
31	P02/USI_CS0/SCLK/#HIF_CS	495	-2500	81	P81/FPLINE/USIL_DO/MMCD1	2500	495
32	PD4/FPDAT20/USI_DI1/#NAND_WR	585	-2500	82	PD6/FPDAT22/USI_CS1/T16A_ATMA_0	2500	585
33	PA3/HIF_D11/MMCD3/FPDAT19	675	-2500	83	TEST	2500	675
34	DSIO/P35	765	-2500	84	P82/FPSHIFT/USIL_CS/MMCD2	2500	765
35	DST2/P36	855	-2500	85	PB1/FPDAT9/#NAND_RD/MMCD1	2500	855
36	DCLK/P34	945	-2500	86	P83/FPDRDY/USIL_CK/MMCD3	2500	945
37	P01/USI_DO0/SOUT/#HIF_RD	1035	-2500	87	P90/FPDAT0/USIL_LCD_D0/MMCCMD	2500	1035
38	V _{SS}	1125	-2500	88	HV _{DD}	2500	1125
39	V _{SS}	1215	-2500	89	HV _{DD}	2500	1215
40	MCLKI	1305	-2500	90	P91/FPDAT1/USIL_LCD_D1/MMCCLK	2500	1305
41	MCLKO	1395	-2500	91	LV _{DD}	2500	1395
42	LV _{DD}	1485	-2500	92	P92/FPDAT2/USIL_LCD_D2/#NAND_WR	2500	1485
43	LV _{DD}	1575	-2500	93	PB2/FPDAT10/REMC_O/MMCD2	2500	1575
44	BOOT0	1665	-2500	94	PD7/FPDAT23/USI_CK1/T16A_ATMB_0	2500	1665
45	P00/USI_DI0/SIN/#HIF_WR	1755	-2500	95	P93/FPDAT3/USIL_LCD_D3/#NAND_RD	2500	1755
46	HV _{DD}	1845	-2500	96	P94/FPDAT4/USIL_LCD_D4/USI_DI2	2500	1845
47	HV _{DD}	1935	-2500	97	PB3/FPDAT11/REMC_I/MMCD3	2500	1935
48	PD5/FPDAT21/USI_DO1/#NAND_RD	2025	-2500	98	P95/FPDAT5/USIL_LCD_D5/USI_DO2	2500	2025
49	P60/#WAIT/WDT_CLK/#WDT_NMI	2115	-2500	99	P96/FPDAT6/USIL_LCD_D6/USI_CS2	2500	2115
50	BOOT1	2290	-2500	100	P97/FPDAT7/USIL_LCD_D7/USI_CK2	2500	2290

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
101	Vss	2290	2500	151	LVDD	-2500	2290
102	N.C.	2115	2500	152	LVDD	-2500	2115
103	N.C.	2025	2500	153	#CE7/P50/#SDCS	-2500	2025
104	USBDM	1935	2500	154	#CE8/P51/#HIF_INT	-2500	1935
105	USBDP	1845	2500	155	PF3/I2S_MCLKO/PWM_L1/TFT_CTL3	-2500	1845
106	N.C.	1755	2500	156	A0/#BSL	-2500	1755
107	USBVBUS	1665	2500	157	A1/SDA0	-2500	1665
108	PE0/MMCD0/T16A_ATMA_2/USI_DI2	1575	2500	158	PA6/HIF_D14/T16A_ATMA_0/FPDAT22	-2500	1575
109	P04/USI_DI1/T16A_ATMA_0/HIF_D1	1485	2500	159	A2/SDA1	-2500	1485
110	P05/USI_DO1/T16A_ATMB_0/HIF_D2	1395	2500	160	Vss	-2500	1395
111	PB5/FPDAT13/USI_DO2/MMCCLK	1305	2500	161	Vss	-2500	1305
112	P06/USI_CS1/T16A_ATMA_1/HIF_D3	1215	2500	162	A3/SDA2	-2500	1215
113	P07/USI_CK1/T16A_ATMB_1/HIF_D4	1125	2500	163	PF4/I2S_SDI/#ADTRIG	-2500	1125
114	PE1/MMCD1/T16A_ATMB_2/USI_DO2	1035	2500	164	A4/SDA3	-2500	1035
115	LVDD	945	2500	165	N.C.	-2500	945
116	LVDD	855	2500	166	A5/SDA4	-2500	855
117	D0	765	2500	167	PA7/HIF_D15/T16A_ATMB_0/FPDAT23	-2500	765
118	D1	675	2500	168	A6/SDA5	-2500	675
119	PB4/FPDAT12/USI_DI2/MMCCMD	585	2500	169	A7/SDA6	-2500	585
120	D2	495	2500	170	HVDD	-2500	495
121	D3	405	2500	171	HVDD	-2500	405
122	PE2/MMCD2/T16A_ATMA_3/USI_CS2	315	2500	172	A8/SDA7	-2500	315
123	D4	225	2500	173	A9/SDA8	-2500	225
124	D5	135	2500	174	A10/SDA9	-2500	135
125	Vss	45	2500	175	PF0/I2S_SDO/PWM_H0/TFT_CTL0	-2500	45
126	Vss	-45	2500	176	A11/SDA10	-2500	-45
127	D6	-135	2500	177	A12/SDA11	-2500	-135
128	D7	-225	2500	178	Vss	-2500	-225
129	PE3/MMCD3/T16A_ATMB_3/USI_CK2	-315	2500	179	Vss	-2500	-315
130	D8/PC0	-405	2500	180	BOOT2	-2500	-405
131	D9/PC1	-495	2500	181	A13/SDA12	-2500	-495
132	PB6/FPDAT14/USI_CS2/T16A_ATMA_1	-585	2500	182	#CE10/P53	-2500	-585
133	D10/PC2	-675	2500	183	PA4/HIF_D12/MMCCMD/FPDAT20	-2500	-675
134	D11/PC3	-765	2500	184	#RD/P54	-2500	-765
135	PE4/MMCCMD/T16A_ATMA_1/REMC_O	-855	2500	185	N.C.	-2500	-855
136	D12/PC4	-945	2500	186	#WRL/P55	-2500	-945
137	HVDD	-1035	2500	187	PF1/I2S_WSO/PWM_L0/TFT_CTL1	-2500	-1035
138	HVDD	-1125	2500	188	SDCKE/P20	-2500	-1125
139	D13/PC5	-1215	2500	189	LVDD	-2500	-1215
140	D14/PC6	-1305	2500	190	LVDD	-2500	-1305
141	PB7/FPDAT15/USI_CK2/T16A_ATMB_1	-1395	2500	191	SDCLK/P21	-2500	-1395
142	N.C.	-1485	2500	192	#WRH/#BSH/P56	-2500	-1485
143	D15/PC7	-1575	2500	193	PA5/HIF_D13/MMCCLK/FPDAT21	-2500	-1575
144	A14/SDBA0	-1665	2500	194	#CE9/P52	-2500	-1665
145	PE5/MMCCLK/T16A_ATMB_1/REMC_I	-1755	2500	195	A18/#SDWE	-2500	-1755
146	A15/SDBA1	-1845	2500	196	PF2/I2S_SCLKO/PWM_H1/TFT_CTL2	-2500	-1845
147	A16/DQML	-1935	2500	197	A19/#SDCAS	-2500	-1935
148	A17/DQMH	-2025	2500	198	A20/#SDRAS	-2500	-2025
149	Vss	-2115	2500	199	Vss	-2500	-2115
150	Vss	-2290	2500	200	Vss	-2500	-2290

1.3.2 端子機能

S1C33L27端子の機能を以下の表に示します。

注: • 端子名

- 端子名の#は、入出力する信号がアクティブLowであることを示します。
- 太字で記載されている端子名は、デフォルト設定の端子(信号)名です。
各端子には1~4種類の機能が割り当てられており、使用する機能を各端子に対応した端子機能選択ビットによって選択する必要があります。端子機能の選択については、“入出力ポート(GPIO)”の章を参照してください。

• I/O

- 太字の大文字で記載されているI/Oはデフォルト設定の入出力方向です。
- (H)、(L)、(X)はデフォルトの出力レベルがそれぞれHigh、Low、不定であることを示します。

• 端子No.

- チップ: パッドNo.
- 128: TQFP15-128pin
- 144: TQFP24-144pin、QFP20-144pin
- 180: PFBGA12U-180

• PWR(電源系)

- P1: LV_{DD}
- P2: HV_{DD}
- P3: RTCV_{DD}
- P4: AV_{DD}
- P5: PLLV_{DD}

• DC特性

- 出力 Type 1: I_{OH}/I_{OL} = 2mA (HV_{DD} = 3.3V) *
Type 2: I_{OH}/I_{OL} = 4mA (HV_{DD} = 3.3V) *
Type 3: I_{OH}/I_{OL} = 8mA (HV_{DD} = 3.3V) *
* “電気的特性”の章内の“DC特性”を参照してください。
- PU/PD PU: プルアップ
PD: プルダウン
PUc: ソフトウェア制御プルアップ
(en): デフォルトは有効
(dis): デフォルトは無効

表1.3.2.1 電源端子一覧

No.	端子名	I/O	機能	端子No.				電源電圧
				チップ	128	144	180	
1	HV_{DD}	—	I/O電源端子	1, 2, 46, 47, 88, 89, 137, 138, 170, 171	1, 57, 88, 109	1, 63, 99, 123	B2, E4, E8, E10, K6, K10	3.3V typ. (2.7~3.6V) (USB使用時は3.0~3.6V)
2	AV_{DD}	—	アナログ電源端子	64	42	46	M5	3.3V typ. (= HV _{DD})
3	LV_{DD}	—	内部ロジック/内部メモリ 電源端子	24, 25, 42, 43, 63, 75, 91, 115, 116, 151, 152, 189, 190	16, 28, 47, 73, 97, 121	18, 32, 52, 82, 109, 136	D10, E6, H5, H10, J10, K5, K7, K8	1.8V typ. (1.65~1.95V) (セラミック発振子使用時 は1.7~1.9V)
4	RTCV_{DD}	—	RTC/BBRAM電源端子	57	36	40	N4	1.8V typ. (= LV _{DD})
5	V_{SS}	—	GND端子	13, 14, 38, 39, 60, 73, 78, 79, 101, 125, 126, 149, 150, 160, 161, 178, 179, 199, 200	8, 25, 39, 50, 65, 80, 96, 103, 115, 128	9, 29, 43, 55, 73, 90, 108, 116, 129, 144	D9, E5, E7, E9, F5, G5, J5, L2, L7, L8, M4, M6, M7, M13	GND
6	PLLV_{DD}	—	PLL電源端子	54	35	39	N3	1.8V typ. (= LV _{DD})
7	PLLV_{SS}	—	PLL電源GND端子	52	33	37	N2	GND (= V _{SS})

表1.3.2.2 クロック端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	MCLKI	I	高速(OSC3)発振入力 (水晶振動子/セラミック発振子または外部クロック入力)	40	26	30	L1	P1	—	—	—
2	MCLKO	O	高速(OSC3)発振出力 (水晶振動子/セラミック発振子)	41	27	31	M1	P1	—	—	—
3	RTCCLKI	I	RTC(OSC1)発振入力 (水晶振動子または外部クロック入力)	58	37	41	P3	P3	—	—	—
4	RTCCLKO	O	RTC(OSC1)発振出力 (水晶振動子)	59	38	42	P4	P3	—	—	—

表1.3.2.3 外部バス端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	D0	I/o	データバスD0	117	74	83	J14	P2	LVTTL	Type 2	バス ホールド ラッチ
2	D1	I/o	データバスD1	118	75	84	J13				
3	D2	I/o	データバスD2	120	76	86	H13				
4	D3	I/o	データバスD3	121	77	87	H14				
5	D4	I/o	データバスD4	123	78	88	H12				
6	D5	I/o	データバスD5	124	79	89	G14				
7	D6	I/o	データバスD6	127	81	91	G13				
8	D7	I/o	データバスD7	128	82	92	G12				
9	D8	I/o	データバスD8(デフォルト)	130	83	93	F14				
	PC0	i/o	入出力ポート								
10	D9	I/o	データバスD9(デフォルト)	131	84	94	F13				
	PC1	i/o	入出力ポート								
11	D10	I/o	データバスD10(デフォルト)	133	85	96	F12				
	PC2	i/o	入出力ポート								
12	D11	I/o	データバスD11(デフォルト)	134	86	97	E14				
	PC3	i/o	入出力ポート								
13	D12	I/o	データバスD12(デフォルト)	136	87	98	E13				
	PC4	i/o	入出力ポート								
14	D13	I/o	データバスD13(デフォルト)	139	89	100	E12				
	PC5	i/o	入出力ポート								
15	D14	I/o	データバスD14(デフォルト)	140	90	101	D13				
	PC6	i/o	入出力ポート								
16	D15	I/o	データバスD15(デフォルト)	143	91	103	D14				
	PC7	i/o	入出力ポート								
17	A0#BSL	O	アドレスバスA0/バーストローブ(下位バイト) 信号出力	156	100	112	B12	P2	—	Type 2	—
18	A1/SDA0	O	アドレスバスA1/SDRAMアドレスA0 (L)	157	101	113	A12				
19	A2/SDA1	O	アドレスバスA2/SDRAMアドレスA1 (L)	159	102	115	B11				
20	A3/SDA2	O	アドレスバスA3/SDRAMアドレスA2 (L)	162	104	117	A11				
21	A4/SDA3	O	アドレスバスA4/SDRAMアドレスA3 (L)	164	105	118	B10				
22	A5/SDA4	O	アドレスバスA5/SDRAMアドレスA4 (L)	166	106	119	A10				
23	A6/SDA5	O	アドレスバスA6/SDRAMアドレスA5 (L)	168	107	121	A9				
24	A7/SDA6	O	アドレスバスA7/SDRAMアドレスA6 (L)	169	108	122	B9				
25	A8/SDA7	O	アドレスバスA8/SDRAMアドレスA7 (L)	172	110	124	A8				
26	A9/SDA8	O	アドレスバスA9/SDRAMアドレスA8 (L)	173	111	125	B8				
27	A10/SDA9	O	アドレスバスA10/SDRAMアドレスA9 (L)	174	112	126	A7				
28	A11/SDA10	O	アドレスバスA11/SDRAMアドレスA10 (L)	176	113	127	B7				

1 概要

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
29	A12/SDA11	O (L)	アドレスバスA12/SDRAMアドレスA11	177	114	128	C7	P2	-	Type 2	-
30	A13/SDA12	O (L)	アドレスバスA13/SDRAMアドレスA12	181	116	130	A6				
31	A14/SDBA0	O (L)	アドレスバスA14/SDRAM/バンクアドレスBA0	144	92	104	C14				
32	A15/SDBA1	O (L)	アドレスバスA15/SDRAM/バンクアドレスBA1	146	93	105	C13				
33	A16/DQML	O (H)	アドレスバスA16/SDRAMデータマスク (下位バイト)信号出力	147	94	106	B14				
34	A17/DQMH	O (H)	アドレスバスA17/SDRAMデータマスク (上位バイト)信号出力	148	95	107	B13				
35	A18/#SDWE	O (H)	アドレスバスA18/SDRAMライト信号出力	195	125	141	A3				
36	A19/#SDCAS	O (H)	アドレスバスA19/SDRAMカラムアドレス ストロープ信号出力	197	126	142	B3				
37	A20/#SDRAS	O (H)	アドレスバスA20/SDRAMローアドレス ストロープ信号出力	198	127	143	A2				
38	A21	O (L)	アドレスバスA21(デフォルト)	3	2	2	B1	P2	LVTTL Schmitt	Type 1	100k PUC (dis)
	P40	i/o	入出力ポート								
39	A22	O (L)	アドレスバスA22(デフォルト)	5	3	3	C1				
	P41	i/o	入出力ポート								
	TFT_CTL2	o	LCDC TFT I/F制御信号2出力								
40	A23	O (L)	アドレスバスA23(デフォルト)	6	4	4	D1				
	P42	i/o	入出力ポート								
	TFT_CTL3	o	LCDC TFT I/F制御信号3出力								
41	A24	O (L)	アドレスバスA24(デフォルト)	15	9	10	E1				
	TFT_CTL0	o	LCDC TFT I/F制御信号0出力								
	P10	i/o	入出力ポート								
	CMU_CLK	o	CMUクロック外部出力								
42	A25	O (L)	アドレスバスA25(デフォルト)	16	10	11	F1	P2	LVTTL Schmitt	Type 2	100k PUC (dis)
	TFT_CTL1	o	LCDC TFT I/F制御信号1出力								
	P11	i/o	入出力ポート								
	SOUT	o	UARTデータ出力								
43	#CE7	O (H)	エリア7/19チップイネーブル信号出力 (デフォルト)	153	98	110	A13				
	P50	i/o	入出力ポート								
	#SDCS	o	SDRAMチップイネーブル信号出力								
44	#CE8	O (H)	エリア8/21チップイネーブル信号出力 (デフォルト)	154	99	111	C12				
	P51	i/o	入出力ポート								
	#HIF_INT	o	ホストI/F割り込み信号出力								
45	#CE9	O (H)	エリア9/22チップイネーブル信号出力 (デフォルト)	194	124	140	C4	P2	LVTTL Schmitt	Type 1	100k PUC (en/dis)*
	P52	i/o	入出力ポート								
46	#CE10	O (H)	エリア10/13/20チップイネーブル信号出力 (デフォルト)	182	117	131	B6				
	P53	i/o	入出力ポート								
47	#RD	O (H)	リード信号出力(デフォルト)	184	118	133	D6				
	P54	i/o	入出力ポート								
48	#WRL	O (H)	ライト(下位バイト)信号出力(デフォルト)	186	119	134	B5				
	P55	i/o	入出力ポート								

* #CE10プルアップ抵抗はデフォルトで無効となります。#CE10端子をNAND Flash、SPI-EEPROM、またはPC RS232Cブート用の入力端子として使用する場合は、#CE10端子に外部プルダウン抵抗(端子レベルを0に設定する場合)または外部プルアップ抵抗(端子レベルを1に設定する場合)を接続してください。

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
49	#WRH/#BSH	O	ライト(上位バイト)信号/バーストロープ (上位バイト)信号出力(デフォルト)	192	123	138	D5	P2	LVTTTL Schmitt	Type 2	100k PUc (dis)
	P56	i/o	入出力ポート								
50	SDCKE	O	SDRAMクロックイネーブル信号出力 (デフォルト)	188	120	135	A5	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	P20	i/o	入出力ポート								
51	SDCLK	O	SDRAMクロック出力(デフォルト)	191	122	137	A4	P2	LVTTTL Schmitt	Type 2	100k PUc (dis)
	P21	i/o	入出力ポート								

表1.3.2.4 入出力ポート/周辺回路端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	P00	I/o	入出力ポート(デフォルト)	45	30	34	L4	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	USI_DI0	i/o	USI Ch.0データ入出力(表1.3.2.8参照)								
	SIN	i	UARTデータ入力								
	#HIF_WR	i	ホストI/Fライト信号入力								
2	P01	I/o	入出力ポート(デフォルト)	37	24	28	K4				
	USI_DO0	o	USI Ch.0データ出力(表1.3.2.8参照)								
	SOUT	o	UARTデータ出力								
	#HIF_RD	i	ホストI/Fリード信号入力								
3	P02	I/o	入出力ポート(デフォルト)	31	20	23	J3				
	USI_CS0	i/o	USI Ch.0スレーブセレクト入力、データ入出力 (表1.3.2.8参照)								
	SCLK	i	UARTクロック入力								
	#HIF_CS	i	ホストI/Fチップセレクト信号入力								
4	P03	I/o	入出力ポート(デフォルト)	23	15	17	G2				
	USI_CK0	i/o	USI Ch.0クロック入出力(表1.3.2.8参照)								
	REMC_I	i	REMC受信信号入力								
	HIF_D0	i/o	ホストI/Fデータビット0								
5	P04	I/o	入出力ポート(デフォルト)	109	69	77	K12				
	USI_DI1	i/o	USI Ch.1データ入出力(表1.3.2.8参照)								
	T16A_ATMA_0	i/o	T16A6 Ch.0キャプチャA信号入力/コンペアA信 号出力								
	HIF_D1	i/o	ホストI/Fデータビット1								
6	P05	I/o	入出力ポート(デフォルト)	110	70	78	K13				
	USI_DO1	o	USI Ch.1データ出力(表1.3.2.8参照)								
	T16A_ATMB_0	i/o	T16A6 Ch.0キャプチャB信号入力/コンペアB信 号出力								
	HIF_D2	i/o	ホストI/Fデータビット2								
7	P06	I/o	入出力ポート(デフォルト)	112	71	80	J11				
	USI_CS1	i/o	USI Ch.1スレーブセレクト入力、データ入出力 (表1.3.2.8参照)								
	T16A_ATMA_1	i/o	T16A6 Ch.1キャプチャA信号入力/コンペアA信 号出力								
	HIF_D3	i/o	ホストI/Fデータビット3								
8	P07	I/o	入出力ポート(デフォルト)	113	72	81	J12				
	USI_CK1	i/o	USI Ch.1クロック入出力(表1.3.2.8参照)								
	T16A_ATMB_1	i/o	T16A6 Ch.1キャプチャB信号入力/コンペアB信 号出力								
	HIF_D4	i/o	ホストI/Fデータビット4								
9	P12	I/o	入出力ポート(デフォルト)	19	12	14	F4				
	I2S_SDO	o	I2Sシリアルデータ出力								
	PWM_H0	o	T16P Ch.0 PWM_H信号出力								
	HIF_D5	i/o	ホストI/Fデータビット5								
10	P13	I/o	入出力ポート(デフォルト)	21	13	15	G3				
	I2S_WSO	o	I2Sワードセレクト信号出力								
	PWM_L0	o	T16P Ch.0 PWM_L信号出力								
	HIF_D6	i/o	ホストI/Fデータビット6								
11	P14	I/o	入出力ポート(デフォルト)	22	14	16	G1				
	I2S_SCLKO	o	I2Sシリアルビットクロック出力								
	PWM_H1	o	T16P Ch.1 PWM_H信号出力								
	HIF_D7	i/o	ホストI/Fデータビット7								

1 概要

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
12	P30	I/o	入出力ポート(デフォルト)	9	5	6	D2	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	I2S_SDI	i	I2Sシリアルデータ入力								
	T16A_ATMA_2	i/o	T16A6 Ch.2キャプチャA信号入力/コンペアA信号出力								
	HIF_A0	i	ホストI/Fアドレスビット0								
13	P31	I/o	入出力ポート(デフォルト)	10	6	7	D3				
	I2S_WSI	i	I2Sワードセレクト信号入力								
	T16A_ATMB_2	i/o	T16A6 Ch.2キャプチャB信号入力/コンペアB信号出力								
	HIF_A1	i	ホストI/Fアドレスビット1								
14	P32	I/o	入出力ポート(デフォルト)	11	7	8	E3				
	I2S_SCLKI	i	I2Sシリアルビットクロック入力								
	T16A_ATMA_3	i/o	T16A6 Ch.3キャプチャA信号入力/コンペアA信号出力								
	HIF_A2	i	ホストI/Fアドレスビット2								
15	P33	I/o	入出力ポート(デフォルト)	18	11	13	F3				
	I2S_MCLKI	i	I2Sマスタクロック入力								
	T16A_ATMB_3	i/o	T16A6 Ch.3キャプチャB信号入力/コンペアB信号出力								
	HIF_A3	i	ホストI/Fアドレスビット3								
16	P60	I/o	入出力ポート(デフォルト)	49	31	35	M3	P2	LVTTTL Schmitt	Type 1	100k PUc (en)
	#WAIT	i	ウェイトサイクル要求入力								
	WDT_CLK	o	ウォッチドッグタイマクロック出力								
	#WDT_NMI	o	ウォッチドッグNMI信号出力								
17	P70	I	入力ポート(デフォルト)	72	46	50	N8	P4	LVCNMOS	-	100k PUc (dis)
	AIN0	i	ADC10 Ch.0アナログ入力						Analog		
	EXCL0	i	T16A6 Ch.0-1/T16P Ch.0外部クロック入力						LVCNMOS		
18	P71	I	入力ポート(デフォルト)	71	-	-	P8	P4	LVCNMOS	-	100k PUc (dis)
	AIN1	i	ADC10 Ch.1アナログ入力						Analog		
	I2S_WSI	i	I2Sワードセレクト信号入力						LVCNMOS		
19	P72	I	入力ポート(デフォルト)	70	45	49	N7	P4	LVCNMOS	-	100k PUc (dis)
	AIN2	i	ADC10 Ch.2アナログ入力						Analog		
	EXCL1	i	T16A6 Ch.2-3/T16P Ch.1外部クロック入力						LVCNMOS		
20	P73	I	入力ポート(デフォルト)	69	-	-	P7	P4	LVCNMOS	-	100k PUc (dis)
	AIN3	i	ADC10 Ch.3アナログ入力						Analog		
	I2S_SCLKI	i	I2Sシリアルビットクロック入力						LVCNMOS		
21	P74	I	入力ポート(デフォルト)	68	44	48	N6	P4	LVCNMOS	-	100k PUc (dis)
	AIN4	i	ADC10 Ch.4アナログ入力						Analog		
	WDT_EXCL	i	WDT外部クロック入力						LVCNMOS		
22	P75	I	入力ポート(デフォルト)	67	-	-	P6	P4	LVCNMOS	-	100k PUc (dis)
	AIN5	i	ADC10 Ch.5アナログ入力						Analog		
	I2S_MCLKI	i	I2Sマスタクロック入力						LVCNMOS		
23	P76	I	入力ポート(デフォルト)	66	43	47	N5	P4	LVCNMOS	-	100k PUc (en)
	AIN6	i	ADC10 Ch.6アナログ入力						Analog		
	#WAIT	i	ウェイトサイクル要求入力						LVCNMOS		
	#ADTRIG	i	ADC10トリガ入力						LVCNMOS		
24	P77	I	入力ポート(デフォルト)	65	-	-	P5	P4	LVCNMOS	-	100k PUc (dis)
	AIN7	i	ADC10 Ch.7アナログ入力						Analog		
25	P80	I/o	入出力ポート(デフォルト)	77	49	54	N9	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	FPFRAME	o	LCDフレームクロック出力								
	USIL_DI	i/o	USILデータ入出力またはLCD制御信号出力(表1.3.2.9参照)								
	MMCD0	i/o	SD/MMC I/Fデータビット0								
26	P81	I/o	入出力ポート(デフォルト)	81	52	57	M9				
	FPLINE	o	LCDラインクロック出力								
	USIL_DO	o	USILデータ出力またはLCD制御信号出力(表1.3.2.9参照)								
	MMCD1	i/o	SD/MMC I/Fデータビット1								
27	P82	I/o	入出力ポート(デフォルト)	84	54	59	M10				
	FPSHIFT	o	LCDシフトクロック出力								
	USIL_CS	i/o	USILスレーブセレクト入力、データ入出力またはLCD制御信号出力(表1.3.2.9参照)								
	MMCD2	i/o	SD/MMC I/Fデータビット2								

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
28	P83	I/o	入出力ポート (デフォルト)	86	55	61	L10	P2	LVTTTL Schmitt	Type 1	100k P _{Uc} (dis)
	FPDRDY	o	LCD DRDY/MOD信号出力								
	USIL_CK	i/o	USILクロック入出力またはLCD制御信号出力 (表1.3.2.9参照)								
	MMCD3	i/o	SD/MMC I/Fデータビット3								
29	P90	I/o	入出力ポート (デフォルト)	87	56	62	P11				
	FPDAT0	o	LCDデータビット0								
	USIL_LCD_D0	i/o	USIL LCDデータビット0								
	MMCCMD	i/o	SD/MMC I/Fコマンド入出力								
30	P91	I/o	入出力ポート (デフォルト)	90	58	64	N11				
	FPDAT1	o	LCDデータビット1								
	USIL_LCD_D1	i/o	USIL LCDデータビット1								
	MMCCCLK	o	SD/MMC I/Fクロック出力								
31	P92	I/o	入出力ポート (デフォルト)	92	59	65	M11				
	FPDAT2	o	LCDデータビット2								
	USIL_LCD_D2	i/o	USIL LCDデータビット2								
	#NAND_WR	o	NAND Flashライト信号出力								
32	P93	I/o	入出力ポート (デフォルト)	95	60	67	K11				
	FPDAT3	o	LCDデータビット3								
	USIL_LCD_D3	i/o	USIL LCDデータビット3								
	#NAND_RD	o	NAND Flashリード信号出力								
33	P94	I/o	入出力ポート (デフォルト)	96	61	68	N12				
	FPDAT4	o	LCDデータビット4								
	USIL_LCD_D4	i/o	USIL LCDデータビット4								
	USI_DI2	i/o	USI Ch.2データ入出力 (表1.3.2.8参照)								
34	P95	I/o	入出力ポート (デフォルト)	98	62	70	M12				
	FPDAT5	o	LCDデータビット5								
	USIL_LCD_D5	i/o	USIL LCDデータビット5								
	USI_DO2	o	USI Ch.2データ出力 (表1.3.2.8参照)								
35	P96	I/o	入出力ポート (デフォルト)	99	63	71	L12				
	FPDAT6	o	LCDデータビット6								
	USIL_LCD_D6	i/o	USIL LCDデータビット6								
	USI_CS2	i/o	USI Ch.2スレープセレクト入力、データ入出力 (表1.3.2.8参照)								
36	P97	I/o	入出力ポート (デフォルト)	100	64	72	N13				
	FPDAT7	o	LCDデータビット7								
	USIL_LCD_D7	i/o	USIL LCDデータビット7								
	USI_CK2	i/o	USI Ch.2クロック入出力 (表1.3.2.8参照)								
37	PA0	I/o	入出力ポート (デフォルト)	7	-	5	C3				
	HIF_D8	i/o	ホストI/Fデータビット8								
	MMCD0	i/o	SD/MMC I/Fデータビット0								
	FPDAT16	o	LCDデータビット16								
38	PA1	I/o	入出力ポート (デフォルト)	17	-	12	F2				
	HIF_D9	i/o	ホストI/Fデータビット9								
	MMCD1	i/o	SD/MMC I/Fデータビット1								
	FPDAT17	o	LCDデータビット17								
39	PA2	I/o	入出力ポート (デフォルト)	30	-	22	J4				
	HIF_D10	i/o	ホストI/Fデータビット10								
	MMCD2	i/o	SD/MMC I/Fデータビット2								
	FPDAT18	o	LCDデータビット18								
40	PA3	I/o	入出力ポート (デフォルト)	33	-	24	J1				
	HIF_D11	i/o	ホストI/Fデータビット11								
	MMCD3	i/o	SD/MMC I/Fデータビット3								
	FPDAT19	o	LCDデータビット19								
41	PA4	I/o	入出力ポート (デフォルト)	183	-	132	C6				
	HIF_D12	i/o	ホストI/Fデータビット12								
	MMCCMD	i/o	SD/MMC I/Fコマンド入出力								
	FPDAT20	o	LCDデータビット20								
42	PA5	I/o	入出力ポート (デフォルト)	193	-	139	B4				
	HIF_D13	i/o	ホストI/Fデータビット13								
	MMCCCLK	o	SD/MMC I/Fクロック出力								
	FPDAT21	o	LCDデータビット21								

1 概要

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
43	PA6	I/o	入出力ポート(デフォルト)	158	-	114	C10	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	HIF_D14	i/o	ホストI/Fデータビット14								
	T16A_ATMA_0	i/o	T16A6 Ch.0キャプチャA信号入力/コンペアA信号出力								
	FPDAT22	o	LCDデータビット22								
44	PA7	I/o	入出力ポート(デフォルト)	167	-	120	D8				
	HIF_D15	i/o	ホストI/Fデータビット15								
	T16A_ATMB_0	i/o	T16A6 Ch.0キャプチャB信号入力/コンペアB信号出力								
	FPDAT23	o	LCDデータビット23								
45	PB0	I/o	入出力ポート(デフォルト)	74	-	51	M8				
	FPDAT8	o	LCDデータビット8								
	#NAND_WR	o	NAND Flashライト信号出力								
	MMCD0	i/o	SD/MMC I/Fデータビット0								
46	PB1	I/o	入出力ポート(デフォルト)	85	-	60	K9				
	FPDAT9	o	LCDデータビット9								
	#NAND_RD	o	NAND Flashリード信号出力								
	MMCD1	i/o	SD/MMC I/Fデータビット1								
47	PB2	I/o	入出力ポート(デフォルト)	93	-	66	L11	P2	LVTTTL Schmitt	Type 3	100k PUc (dis)
	FPDAT10	o	LCDデータビット10								
	REMC_O	o	REMC送信信号出力								
	MMCD2	i/o	SD/MMC I/Fデータビット2								
48	PB3	I/o	入出力ポート(デフォルト)	97	-	69	P13	P2	LVTTTL Schmitt	Type 1	100k PUc (dis)
	FPDAT11	o	LCDデータビット11								
	REMC_I	i	REMC受信信号入力								
	MMCD3	i/o	SD/MMC I/Fデータビット3								
49	PB4	I/o	入出力ポート(デフォルト)	119	-	85	G10				
	FPDAT12	o	LCDデータビット12								
	USI_DI2	i/o	USI Ch.2データ入出力(表1.3.2.8参照)								
	MMCCMD	i/o	SD/MMC I/Fコマンド入出力								
50	PB5	I/o	入出力ポート(デフォルト)	111	-	79	K14				
	FPDAT13	o	LCDデータビット13								
	USI_DO2	o	USI Ch.2データ出力(表1.3.2.8参照)								
	MMCCCLK	o	SD/MMC I/Fクロック出力								
51	PB6	I/o	入出力ポート(デフォルト)	132	-	95	F10				
	FPDAT14	o	LCDデータビット14								
	USI_CS2	i/o	USI Ch.2スレーブセレクト入力、データ入出力(表1.3.2.8参照)								
	T16A_ATMA_1	i/o	T16A6 Ch.1キャプチャA信号入力/コンペアA信号出力								
52	PB7	I/o	入出力ポート(デフォルト)	141	-	102	D12				
	FPDAT15	o	LCDデータビット15								
	USI_CK2	i/o	USI Ch.2クロック入出力(表1.3.2.8参照)								
	T16A_ATMB_1	i/o	T16A6 Ch.1キャプチャB信号入力/コンペアB信号出力								
53	PD0	I/o	入出力ポート(デフォルト)	4	-	-	C2				
	FPDAT16	o	LCDデータビット16								
	USI_DI0	i/o	USI Ch.0データ入出力(表1.3.2.8参照)								
	SIN	i	UARTデータ入力								
54	PD1	I/o	入出力ポート(デフォルト)	12	-	-	E2				
	FPDAT17	o	LCDデータビット17								
	USI_DO0	o	USI Ch.0データ出力(表1.3.2.8参照)								
	SOUT	o	UARTデータ出力								
55	PD2	I/o	入出力ポート(デフォルト)	20	-	-	G4				
	FPDAT18	o	LCDデータビット18								
	USI_CS0	i/o	USI Ch.0スレーブセレクト入力、データ入出力(表1.3.2.8参照)								
	SCLK	i	UARTクロック入力								
56	PD3	I/o	入出力ポート(デフォルト)	26	-	-	H4				
	FPDAT19	o	LCDデータビット19								
	USI_CK0	i/o	USI Ch.0クロック入出力(表1.3.2.8参照)								

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
57	PD4	I/o	入出力ポート (デフォルト)	32	—	—	J2	P2	LVTTTL Schmitt	Type 1	100k P _{Uc} (dis)
	FPDAT20	o	LCDデータビット20								
	USI_DI1	i/o	USI Ch.1データ入出力 (表1.3.2.8参照)								
	#NAND_WR	o	NAND Flashライト信号出力								
58	PD5	I/o	入出力ポート (デフォルト)	48	—	—	M2				
	FPDAT21	o	LCDデータビット21								
	USI_DO1	o	USI Ch.1データ出力 (表1.3.2.8参照)								
	#NAND_RD	o	NAND Flashリード信号出力								
59	PD6	I/o	入出力ポート (デフォルト)	82	—	—	L9				
	FPDAT22	o	LCDデータビット22								
	USI_CS1	i/o	USI Ch.1スレーブセレクト入力、データ入出力 (表1.3.2.8参照)								
	T16A_ATMA_0	i/o	T16A6 Ch.0キャプチャA信号入力/コンペアA信号出力								
60	PD7	I/o	入出力ポート (デフォルト)	94	—	—	P12				
	FPDAT23	o	LCDデータビット23								
	USI_CK1	i/o	USI Ch.1クロック入出力 (表1.3.2.8参照)								
	T16A_ATMB_0	i/o	T16A6 Ch.0キャプチャB信号入力/コンペアB信号出力								
61	PE0	I/o	入出力ポート (デフォルト)	108	—	—	L13				
	MMCD0	i/o	SD/MMC I/Fデータビット0								
	T16A_ATMA_2	i/o	T16A6 Ch.2キャプチャA信号入力/コンペアA信号出力								
	USI_DI2	i/o	USI Ch.2データ入出力 (表1.3.2.8参照)								
62	PE1	I/o	入出力ポート (デフォルト)	114	—	—	H11				
	MMCD1	i/o	SD/MMC I/Fデータビット1								
	T16A_ATMB_2	i/o	T16A6 Ch.2キャプチャB信号入力/コンペアB信号出力								
	USI_DO2	o	USI Ch.2データ出力 (表1.3.2.8参照)								
63	PE2	I/o	入出力ポート (デフォルト)	122	—	—	G11				
	MMCD2	i/o	SD/MMC I/Fデータビット2								
	T16A_ATMA_3	i/o	T16A6 Ch.3キャプチャA信号入力/コンペアA信号出力								
	USI_CS2	i/o	USI Ch.2スレーブセレクト入力、データ入出力 (表1.3.2.8参照)								
64	PE3	I/o	入出力ポート (デフォルト)	129	—	—	F11				
	MMCD3	i/o	SD/MMC I/Fデータビット3								
	T16A_ATMB_3	i/o	T16A6 Ch.3キャプチャB信号入力/コンペアB信号出力								
	USI_CK2	i/o	USI Ch.2クロック入出力 (表1.3.2.8参照)								
65	PE4	I/o	入出力ポート (デフォルト)	135	—	—	E11	P2	LVTTTL Schmitt	Type 3	100k P _{Uc} (dis)
	MMCCMD	i/o	SD/MMC I/Fコマンド入出力								
	T16A_ATMA_1	i/o	T16A6 Ch.1キャプチャA信号入力/コンペアA信号出力								
	REMC_O	o	REMC送信信号出力								
66	PE5	I/o	入出力ポート (デフォルト)	145	—	—	D11	P2	LVTTTL Schmitt	Type 1	100k P _{Uc} (dis)
	MMCCLK	o	SD/MMC I/Fクロック出力								
	T16A_ATMB_1	i/o	T16A6 Ch.1キャプチャB信号入力/コンペアB信号出力								
	REMC_I	i	REMC受信信号入力								
67	PF0	I/o	入出力ポート (デフォルト)	175	—	—	C8				
	I2S_SDO	o	I ² Sシリアルデータ出力								
	PWM_H0	o	T16P Ch.0 PWM_H信号出力								
	TFT_CTL0	o	LCDC TFT I/F制御信号0出力								
68	PF1	I/o	入出力ポート (デフォルト)	187	—	—	C5				
	I2S_WSO	o	I ² Sワードセレクト信号出力								
	PWM_L0	o	T16P Ch.0 PWM_L信号出力								
	TFT_CTL1	o	LCDC TFT I/F制御信号1出力								
69	PF2	I/o	入出力ポート (デフォルト)	196	—	—	D4				
	I2S_SCLKO	o	I ² Sシリアルビットクロック出力								
	PWM_H1	o	T16P Ch.1 PWM_H信号出力								
	TFT_CTL2	o	LCDC TFT I/F制御信号2出力								

1 概要

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
70	PF3	I/o	入出力ポート(デフォルト)	155	-	-	C11	P2	LVTTL Schmitt	Type 1	100k PUc (dis)
	I2S_MCLKO	o	I2Sマスタクロック出力								
	PWM_L1	o	T16P Ch.1 PWM_L信号出力								
	TFT_CTL3	o	LCDC TFT I/F制御信号3出力								
71	PF4	I/o	入出力ポート(デフォルト)	163	-	-	C9				
	I2S_SDI	i	I2Sシリアルデータ入力								
	#ADTRIG	i	ADC10トリガ入力								

表1.3.2.5 USB端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	USBDP	I/o	USB D+端子	105	67	75	M14	P2	-	-	-
2	USBDM	I/o	USB D-端子	104	66	74	N14	P2	-	-	-
3	USBVBUS	I	USB VBUS端子(5V入力可能)	107	68	76	L14	P2	-	-	-

表1.3.2.6 デバッグ制御端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	DCLK	i/o	デバッグ用DCLK信号出力(デフォルト)	36	23	27	K1	P2	LVTTL Schmitt	Type 2	50k PUc (dis)
		(H)									
	P34	i/o	入出力ポート								
2	DSIO	I/o	デバッグ用シリアル入出力(デフォルト)	34	21	25	K3	P2	LVTTL Schmitt	Type 2	50k PUc (en)
		i/o	入出力ポート								
3	DST2	i/o	デバッグ用DST2信号出力(デフォルト)	35	22	26	K2	P2	LVTTL Schmitt	Type 2	100k PUc (dis)
		(L)									
	P36	i/o	入出力ポート								
4	DST1	i/o	デバッグ用DST1信号出力(デフォルト)	28	18	20	H2				
		(H)									
		i/o	入出力ポート								
		o	エリア4/14チップイネーブル信号出力								
		o	CMUクロック外部出力								
	#NAND_WR	o	NAND Flashライト信号出力								
5	DST0	i/o	デバッグ用DST0信号出力(デフォルト)	27	17	19	H1				
		(H)									
		i/o	入出力ポート								
		o	I2Sマスタクロック出力								
		o	T16P Ch.1 PWM_L信号出力								
	#HIF_WAIT	o	ホストI/Fウェイト信号出力								
6	DPCO	i/o	デバッグ用DPCO信号出力(デフォルト)	29	19	21	H3	P2	LVTTL Schmitt	Type 3	100k PUc (dis)
		(H)									
		i/o	入出力ポート								
		o	エリア5/15/16チップイネーブル信号出力								
		o	REMC送信信号出力								
	#NAND_RD	o	NAND Flashリード信号出力								

表1.3.2.7 その他端子一覧

No.	端子名	I/O	機能	端子No.				PWR	DC特性		
				チップ	128	144	180		入力	出力	PU/PD
1	#RESET	I	リセット入力	76	48	53	P9	P2	LVTTL Schmitt	-	50k PU
2	#NMI	I	NMI要求入力	80	51	56	P10				
3	BOOT0	I	ブートモードセレクト信号0入力	44	29	33	L3	P2	LVTTL Schmitt	-	-
4	BOOT1	I	ブートモードセレクト信号1入力	50	32	36	N1				
5	BOOT2	I	ブートモードセレクト信号2入力	180	-	-	D7	P3	-	1 mA	-
6	WAKEUP	O	RTCからのC33ウェイクアップ信号出力	61	40	44	L5				
	(X)										
7	#STBY	I	C33スタンバイ入力(RTCを除く)	62	41	45	L6	P3	LVTTL Schmitt	-	-
8	TEST	I	テスト入力(ユーザモード時はVssに接続)	83	53	58	N10	P1	LVC MOS	-	-
9	VCP	O	テスト出力	53	34	38	P2	P5	-	-	-
	(H)										

表1.3.2.8 USI端子構成

端子名	インタフェースモード別機能				
	UART	SPIマスタ	SPIスレーブ	I ² Cマスタ	I ² Cスレーブ
USI_DIx	データ入力 (uart_rx)	データ入力 (spi_di)	データ入力 (spi_di)	データ入出力 (i2c_sda)	データ入出力 (i2c_sda)
USI_DOx	データ出力 (uart_tx)	データ出力 (spi_do)	#spi_ss = 0の場合は データ出力 (spi_do) #spi_ss = 1の場合は Hi-Z	未使用 (出力)	未使用 (出力)
USI_CKx	未使用 (入力)	クロック出力 (spi_ck)	クロック入力 (spi_ck)	クロック入出力 (i2c_sck)	クロック入出力 (i2c_sck)
USI_CSx	未使用 (入力)	未使用 (入力)	スレーブセレクト信号 入力 (#spi_ss)	データ入出力 (i2c_sda)	データ入出力 (i2c_sda)

(x: チャネル番号、0～2)

注: I²CモードではUSI_DIxとUSI_CSxの2端子がI²Cデータ入出力端子に設定されます。ただし、2端子を同時にI²Cデータ入出力に使用することはできません。

表1.3.2.9 USIL端子構成

端子名	インタフェースモード別機能						
	UART	SPIマスタ	SPIスレーブ	I ² Cマスタ	I ² Cスレーブ	LCD/パラレル	LCD SPI
USIL_DI	データ入力 (uart_rx)	データ入力 (spi_di)	データ入力 (spi_di)	データ入出力 (i2c_sda)	データ入出力 (i2c_sda)	アドレス出力 (lcdp_a0)	アドレス出力 (lcds_a0)
USIL_DO	データ出力 (uart_tx)	データ出力 (spi_do)	#spi_ss = 0の場 合はデータ出力 (spi_do) #spi_ss = 1の 場合はHi-Z	未使用 (出力)	未使用 (出力)	ライト信号出力 (lcdp_wr)	データ出力 (lcds_do)
USIL_CK	未使用 (入力)	クロック出力 (spi_ck)	クロック入力 (spi_ck)	クロック入出力 (i2c_sck)	クロック入出力 (i2c_sck)	リード信号出力 (lcdp_rd)	クロック出力 (lcds_ck)
USIL_CS	未使用 (入力)	未使用 (入力)	スレーブ セレクト信号 入力 (#spi_ss)	データ入出力 (i2c_sda)	データ入出力 (i2c_sda)	チップセレクト 信号出力 (lcdp_cs)	未使用 (入力)
USIL_ LCD_D[7:0]	未使用 (入力)	未使用 (入力)	未使用 (入力)	未使用 (入力)	未使用 (入力)	8ビットデータ 入出力	未使用 (入力)

注: I²CモードではUSIL_DIとUSIL_CSの2端子がI²Cデータ入出力端子に設定されます。ただし、2端子を同時にI²Cデータ入出力に使用することはできません。

1.3.3 パッケージ

TQFP15-128pinパッケージ

(単位: mm)

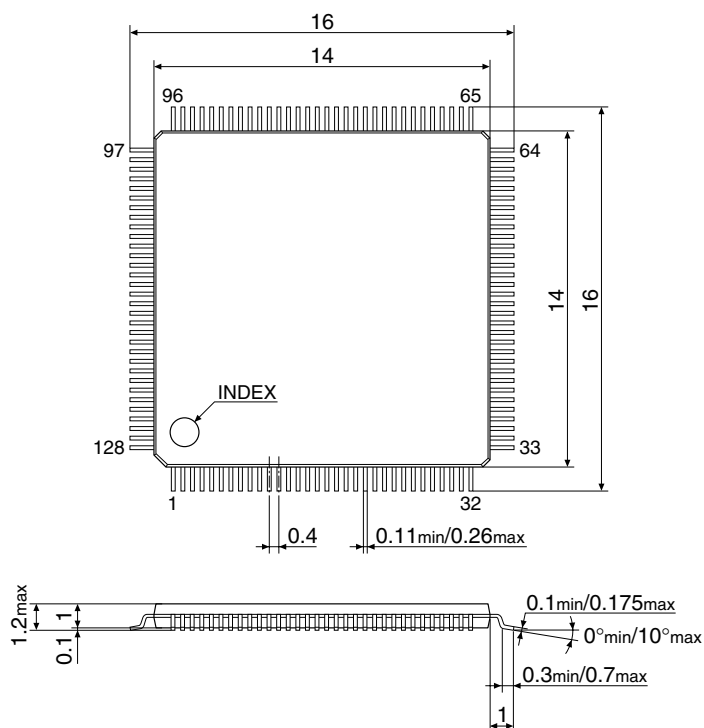


図1.3.3.1 TQFP15-128pinパッケージ寸法

TQFP24-144pinパッケージ

(単位: mm)

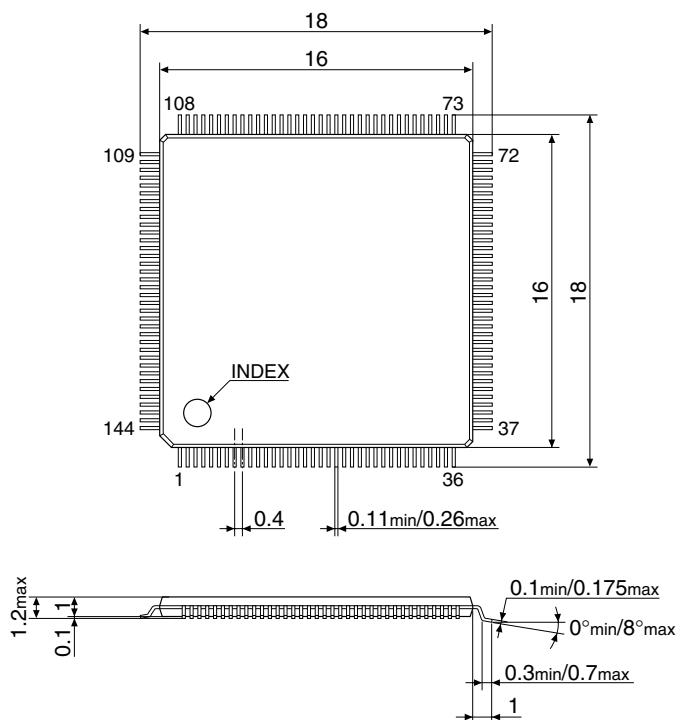


図1.3.3.2 TQFP24-144pinパッケージ寸法

QFP20-144pinパッケージ

(単位: mm)

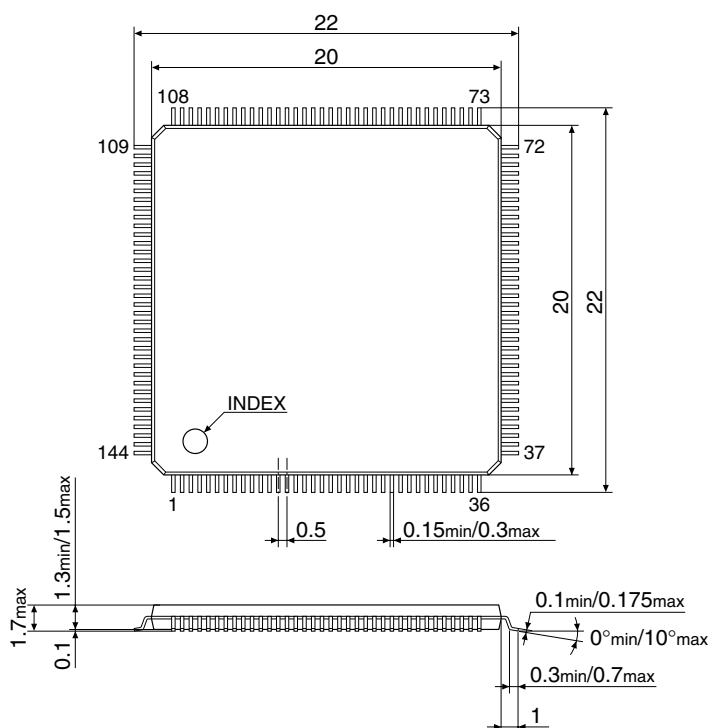
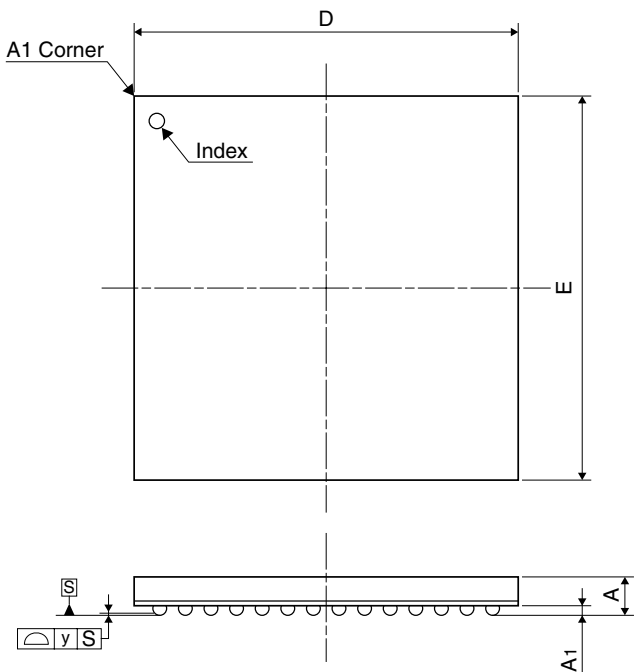


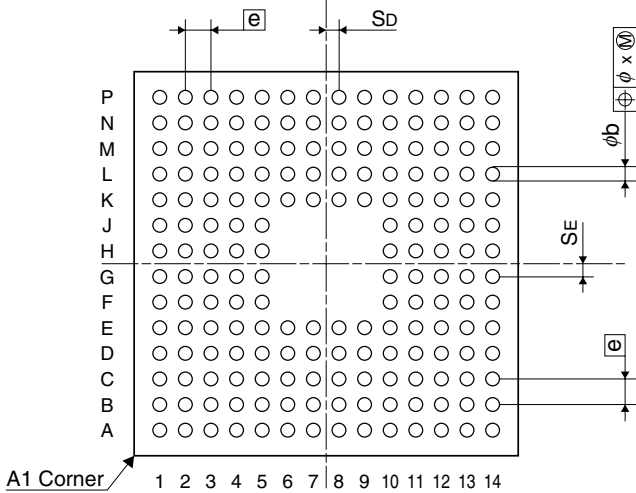
図1.3.3.3 QFP20-144pinパッケージ寸法

PFBGA12U-180パッケージ

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	12	—
E	—	12	—
A	—	—	1.2
A1	—	0.3	—
e	—	0.8	—
b	0.38	—	0.48
x	—	—	0.08
y	—	—	0.1
SD	—	0.4	—
SE	—	0.4	—

図1.3.3.4 PFBGA12U-180パッケージ寸法

1.3.4 パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) [^{\circ}\text{C}]$$

チップ温度(T_j)は、USBファンクションコントローラを使用しない場合は125°C以下、USBファンクションコントローラが動作時は100°C以下としてください。

TQFP/QFPパッケージの熱抵抗

1. 基板実装状態(無風状態)

熱抵抗(θ_{j-a}) = 39°C/W (TQFP24)、42°C/W (TQFP15)、33.3°C/W (QFP20)

この値は測定用基板(サイズ: 114 × 76 × 1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

熱抵抗 = 90~100°C/W

この値はサンプルが宙づりされた無風状態での熱抵抗です。

PFBGAパッケージの熱抵抗

1. 基板実装状態(無風状態)

熱抵抗(θ_{j-a}) = 24°C/W (PFBGA12U)

この値は測定用基板(サイズ: 114.5 × 101.5 × 1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

熱抵抗 = 165°C/W

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

2 CPU

S1C33L27はC33 PEコアを内蔵しています。

C33 PE(Processor Element)コアはS1C33 Familyの32ビットRISCプロセッサです。

C33 PEコアの詳細については、“S1C33 Family C33 PEコアマニュアル”を参照してください。

2.1 C33 PEコアの特長

プロセッサ形式

- セイコーエプソンオリジナル32ビットRISCプロセッサ
- 32ビット長の内部データ処理
- 32ビット×8ビットの乗算器を内蔵

動作クロック周波数

- 機種およびプロセス技術により異なります。

命令セット

- コード長 16ビット固定長
- 命令数 128命令
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を32ビットまで拡張
- 乗算命令 16×16、32×32ビットの乗算をサポート

レジスタセット

- 32ビット汎用レジスタ
- 32ビットの特殊レジスタ

メモリ空間, 外部バス

- 命令、データ、I/O混在のリニア空間
- 最大4Gバイトのメモリ空間
- 命令バスとデータバスを分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、240種類の外部割り込みに対応
- 4種類のソフトウェア例外
- 3種類の命令実行例外
- ベクタテーブルからベクタを読み込み処理ルーチンへ直接分岐

パワーダウンモード

- HALTモード
- SLEEPモード

コプロセッサインタフェース

- ハードウェア演算アクセラレータ

2.2 CPUレジスタ

C33 PEコアは、16本の汎用レジスタおよび8本の特殊レジスタを内蔵しています。

特殊レジスタ			汎用レジスタ		
	ビット31	ビット0		ビット31	ビット0
#15	PC		#15	R15	
#11	DBBR		#14	R14	
#10	IDIR		#13	R13	
#8	TTBR		#12	R12	
#3	AHR		#11	R11	
#2	ALR		#10	R10	
#1	SP		#9	R9	
#0	PSR		#8	R8	
			#7	R7	
			#6	R6	
			#5	R5	
			#4	R4	
			#3	R3	
			#2	R2	
			#1	R1	
			#0	R0	

図2.2.1 レジスタ

2.3 命令セット

C33 PEコアの命令セットは、C33 STDコアCPUの命令セットをもとに命令の機能を拡張すると共に命令の追加と削除を行っています。オブジェクトコードはC33 STDコアCPUと互換性がありますので、S1C33シリーズの資産を若干の変更のみでC33 PE機種に移植可能です。命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C33 Family C33 PEコアマニュアル”を参照してください。

表2.3.1 S1C33シリーズ互換命令

種 類	ニーモニック		機 能
算術演算	add	<i>%rd, %rs</i>	汎用レジスタ間の加算
		<i>%rd, imm6</i>	汎用レジスタと即値の加算
		<i>%sp, imm10</i>	SPと即値の加算(即値はゼロ拡張)
	adc	<i>%rd, %rs</i>	汎用レジスタ間のキャリー付き加算
		<i>%rd, %rs</i>	汎用レジスタ間の減算
		<i>%rd, imm6</i>	汎用レジスタと即値の減算
		<i>%sp, imm10</i>	SPと即値の減算(即値はゼロ拡張)
	sbc	<i>%rd, %rs</i>	汎用レジスタ間のキャリー付き減算
	cmp	<i>%rd, %rs</i>	汎用レジスタ間の算術比較
		<i>%rd, sign6</i>	汎用レジスタと即値の算術比較(即値はゼロ拡張)
	mlt.h	<i>%rd, %rs</i>	符号付き整数乗算(16ビット×16ビット→32ビット)
分岐	mltu.h	<i>%rd, %rs</i>	符号なし整数乗算(16ビット×16ビット→32ビット)
	mlt.w	<i>%rd, %rs</i>	符号付き整数乗算(32ビット×32ビット→64ビット)
	mltu.w	<i>%rd, %rs</i>	符号なし整数乗算(32ビット×32ビット→64ビット)
	jrgt	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !(N \wedge V)$
	jrgt.d		ディレイド分岐可
	jрге	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $!(N \wedge V)$
	jрге.d		ディレイド分岐可
	jrlt	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $N \wedge V$
	jrlt.d		ディレイド分岐可
	jrle	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $Z \mid N \wedge V$
	jrle.d		ディレイド分岐可
	jrugt	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !C$
	jrugt.d		ディレイド分岐可
	jruge	<i>sign8</i>	PC相対条件ジャンプ 分岐条件: $!C$
	jruge.d		ディレイド分岐可

種 類	ニーモニック		機 能		
分岐	jrult	sign8	PC相対条件ジャンプ ディレイド分岐可	分岐条件: C	
	jrult.d				
	jrule	sign8	PC相対条件ジャンプ ディレイド分岐可	分岐条件: Z C	
	jrule.d				
	jreq	sign8	PC相対条件ジャンプ ディレイド分岐可	分岐条件: Z	
	jreq.d				
	jrne	sign8	PC相対条件ジャンプ ディレイド分岐可	分岐条件: !Z	
	jrne.d				
	jp	sign8	PC相対ジャンプ	ディレイド分岐可	
	jp.d	%rb	絶対ジャンプ	ディレイド分岐可	
	call	sign8	PC相対サブルーチンコール	ディレイドコール可	
	call.d	%rb	絶対サブルーチンコール	ディレイドコール可	
	ret		サブルーチンからのリターン		
ret.d		ディレイドリターン可			
reti		割り込み、例外処理ルーチンからのリターン			
ret.d		デバッグ処理ルーチンからのリターン			
int	imm2	ソフトウェア例外			
brk		デバッグ例外			
データ転送	ld.b	%rd, %rs	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)		
		%rd, [%rb]	メモリ(バイト) → 汎用レジスタ(符号拡張)		
		%rd, [%rb] +	ポストインクリメント可		
		%rd, [%sp+imm6]	スタック(バイト) → 汎用レジスタ(符号拡張)		
		[%rb], %rs	汎用レジスタ(バイト) → メモリ		
		[%rb] +, %rs	ポストインクリメント可		
		[%sp+imm6], %rs	汎用レジスタ(バイト) → スタック		
	ld.ub	%rd, %rs	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)		
		%rd, [%rb]	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)		
		%rd, [%rb] +	ポストインクリメント可		
		%rd, [%sp+imm6]	スタック(バイト) → 汎用レジスタ(ゼロ拡張)		
	ld.h	%rd, %rs	汎用レジスタ(ハーフワード) → 汎用レジスタ(符号拡張)		
		%rd, [%rb]	メモリ(ハーフワード) → 汎用レジスタ(符号拡張)		
		%rd, [%rb] +	ポストインクリメント可		
		%rd, [%sp+imm6]	スタック(ハーフワード) → 汎用レジスタ(符号拡張)		
		[%rb], %rs	汎用レジスタ(ハーフワード) → メモリ		
		[%rb] +, %rs	ポストインクリメント可		
		[%sp+imm6], %rs	汎用レジスタ(ハーフワード) → スタック		
	ld.uh	%rd, %rs	汎用レジスタ(ハーフワード) → 汎用レジスタ(ゼロ拡張)		
		%rd, [%rb]	メモリ(ハーフワード) → 汎用レジスタ(ゼロ拡張)		
		%rd, [%rb] +	ポストインクリメント可		
		%rd, [%sp+imm6]	スタック(ハーフワード) → 汎用レジスタ(ゼロ拡張)		
	ld.w	%rd, %rs	汎用レジスタ(ワード) → 汎用レジスタ		
		%rd, sign6	即値 → 汎用レジスタ(符号拡張)		
		%rd, [%rb]	メモリ(ワード) → 汎用レジスタ		
		%rd, [%rb] +	ポストインクリメント可		
		%rd, [%sp+imm6]	スタック(ワード) → 汎用レジスタ		
		[%rb], %rs	汎用レジスタ(ワード) → メモリ		
		[%rb] +, %rs	ポストインクリメント可		
		[%sp+imm6], %rs	汎用レジスタ(ワード) → スタック		
	システム制御	nop		ノーオペレーション	
		halt		HALT	
		slp		SLEEP	
	即値拡張	ext	imm13	直後の命令のオペランドを拡張	
	ビット処理	btst	[%rb], imm3	メモリデータの指定ビットをテスト	
bclr		[%rb], imm3	メモリデータの指定ビットをクリア		
bset		[%rb], imm3	メモリデータの指定ビットをセット		
bnot		[%rb], imm3	メモリデータの指定ビットを反転		
その他	swap	%rd, %rs	ワード中のバイト境界でバイト単位のスワップ		
	pushn	%rs	%rs〜%r0までの汎用レジスタをスタックにプッシュ		
	popn	%rd	%rd〜%r0までの汎用レジスタのデータをスタックからポップ		

表2.3.2 機能拡張された命令

種 類	ニーモニック		機 能	拡張機能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積	命令実行後、Vフラグをクリアします。
		$\%rd, sign6$	汎用レジスタと即値の論理積	
	or	$\%rd, \%rs$	汎用レジスタ間の論理和	
		$\%rd, sign6$	汎用レジスタと即値の論理和	
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和	
		$\%rd, sign6$	汎用レジスタと即値の排他的論理和	
シフト&ローテート	not	$\%rd, \%rs$	汎用レジスタ間の論理反転(1の補数)	9～31ビットのシフト/ローテートも可能となりました。
		$\%rd, sign6$	汎用レジスタと即値の論理反転(1の補数)	
	srl	$\%rd, \%rs$	右論理シフト(シフト量: レジスタ指定 0～31)	
		$\%rd, imm5$	右論理シフト(シフト量: 即値指定 0～31)	
	sll	$\%rd, \%rs$	左論理シフト(シフト量: レジスタ指定 0～31)	
		$\%rd, imm5$	左論理シフト(シフト量: 即値指定 0～31)	
	sra	$\%rd, \%rs$	右算術シフト(シフト量: レジスタ指定 0～31)	
		$\%rd, imm5$	右算術シフト(シフト量: 即値指定 0～31)	
	sla	$\%rd, \%rs$	左算術シフト(シフト量: レジスタ指定 0～31)	
		$\%rd, imm5$	左算術シフト(シフト量: 即値指定 0～31)	
データ転送	rr	$\%rd, \%rs$	右ローテート(シフト量: レジスタ指定 0～31)	ロード対象の特殊レジスタが増えました。
		$\%rd, imm5$	右ローテート(シフト量: 即値指定 0～31)	
	rl	$\%rd, \%rs$	左ローテート(シフト量: レジスタ指定 0～31)	
		$\%rd, imm5$	左ローテート(シフト量: 即値指定 0～31)	
	ld.w	$\%rd, \%ss$	特殊レジスタ(ワード) → 汎用レジスタ	
		$\%sd, \%rs$	汎用レジスタ(ワード) → 特殊レジスタ	

表2.3.3 C33 PEコアの追加命令

種 類	ニーモニック		機 能
分岐	jpr	$\%rb$	PC相対ジャンプ
	jpr.d		ディレイド分岐可
システム制御	psrset	$imm5$	PSRの指定ビットをセット
	psrclr	$imm5$	PSRの指定ビットをクリア
コプロセッサ制御	ld.c	$\%rd, imm4$	コプロセッサからのデータロード
	ld.c	$imm4, \%rs$	コプロセッサへのデータストア
	do.c	$imm6$	コプロセッサ実行
	ld.cf		コプロセッサからC、V、Z、Nフラグをロード
その他	swaph	$\%rd, \%rs$	ワード中のハーフワード境界でバイト単位のスワップ
	push	$\%rs$	汎用レジスタの単独プッシュ
	pop	$\%rd$	汎用レジスタの単独ポップ
	pushs	$\%ss$	$\%ss$ ～ALRまでの特殊レジスタをスタックにプッシュ
	pops	$\%sd$	$\%sd$ ～ALRまでの特殊レジスタのデータをスタックからポップ

表2.3.4 削除命令

種 類	ニーモニック		機 能
算術演算	div0s	$\%rs$	符号付き整数除算の第1ステップ
	div0u	$\%rs$	符号なし整数除算の第1ステップ
	div1	$\%rs$	ステップ除算実行
	div2s	$\%rs$	符号付き整数除算結果のデータ補正1
	div3s		符号付き整数除算結果のデータ補正2
その他	mirror	$\%rd, \%rs$	ワード中のバイトごとにビット単位でスワップ
	mac	$\%rs$	積和演算(16ビット×16ビット+64ビット→64ビット)
	scan0	$\%rd, \%rs$	0のビットをサーチ
	scan1	$\%rd, \%rs$	1のビットをサーチ

表中の記号の意味は次のとおりです。

表2.3.5 記号の意味

記 号	説 明
<code>%rs</code>	汎用レジスタ(ソース)
<code>%rd</code>	汎用レジスタ(デスティネーション)
<code>%ss</code>	特殊レジスタ(ソース)
<code>%sd</code>	特殊レジスタ(デスティネーション)
<code>[%rb]</code>	汎用レジスタ(間接アドレス)
<code>[%rb] +</code>	汎用レジスタ(ポストインクリメント付き間接アドレス)
<code>%sp</code>	スタックポインタ
<code>imm2, imm4, imm3, imm5, imm6, imm10, imm13</code>	符号なし即値(数値はビット長) ただし、シフト命令ではシフト量、ビット処理命令においてはビット位置を表します。
<code>sign6, sign8</code>	符号付き即値(数値はビット長)

2.4 デバッグモード

C33 PEコアには、プログラム開発を支援するデバッグモードが設けられています。
デバッグモードがサポートしている機能は以下のとおりです。

命令ブレーク

設定した命令のアドレスを実行する前にデバッグ例外を発生します。2カ所のアドレスに命令ブレークを設定できます。

データブレーク

設定したアドレスに書き込み/読み出しが行われるとデバッグ例外を発生します。
データブレークの設定が可能なアドレスは1カ所です。

シングルステップ

各命令ごとにデバッグ例外を発生します。

強制ブレーク

外部入力信号でデバッグ例外を発生します。

PCトレース

プロセッサの命令実行状態をトレースします。

デバッグ例外が発生すると、プロセッサは次の処理を行います。

- (1) 実行中の命令を中断します。
デバッグ例外は、実行中の命令のEステージの最後に発生します。次のシステムクロックの立ち上がりエッジでデバッグ例外を受け付けます。
- (2) プロセッサは、PC、R0の順にそれぞれの内容を以下のアドレスに格納します。
PC → 0x60008
R0 → 0x6000c
- (3) プロセッサは、デバッグ例外ベクタを0x60000番地からPCにロードし、デバッグ例外処理ルーチンに分岐します。

例外処理ルーチンでは、処理の最後に`ret d`命令を実行して中断している命令に復帰します。`ret d`命令で復帰する際、プロセッサはR0、PCの順でデータを復帰します。
デバッグ例外中はハードウェア割り込みおよびNMIは受け付けられません。

2.5 チップID

S1C33L27は、CPUの種類や機種、チップのバージョンをアプリケーションソフトウェアで識別できるように、チップIDビットを内蔵しています。

コアIDビット (D[7:0]/0x20000)

チップコアの種類を示すID(8ビット)が読み出せます。

ID	チップコア
0x02	C33スタンダードマクロコア (C33 STDコア)
0x03	C33ミニマクロコア
0x04	C33アドバンスドマクロコア (C33 ADVコア)
0x05	C33 PEコア
0x06	C33 PEリトルエンディアンコア

S1C33L27はC33 PEリトルエンディアンコアを採用しているため、チップコアIDは0x06です。

製品シリーズIDビット (D[7:0]/0x20001)

S1C33 Familyの製品シリーズを示すID(8ビット)が読み出せます。

ID	製品シリーズ
0x03	S1C333xxシリーズ
0x04	S1C334xxシリーズ
0x0E	S1C33Exxシリーズ
0x15	S1C33Lxxシリーズ

S1C33L27の製品シリーズIDは0x15です。

機種IDビット (D[7:0]/0x20002)

機種を示すID(8ビット)が読み出せます。

S1C33L27の機種IDは0x27です。

バージョンビット (D[7:0]/0x20003)

チップのバージョンコード(8ビット)が読み出せます。

0x00はバージョン番号です。

3 メモリマップ

図3.1にS1C33L27のアドレス空間全体のメモリマップを、図3.2に内蔵メモリおよび内部I/Oエリアのメモリマップを示します。

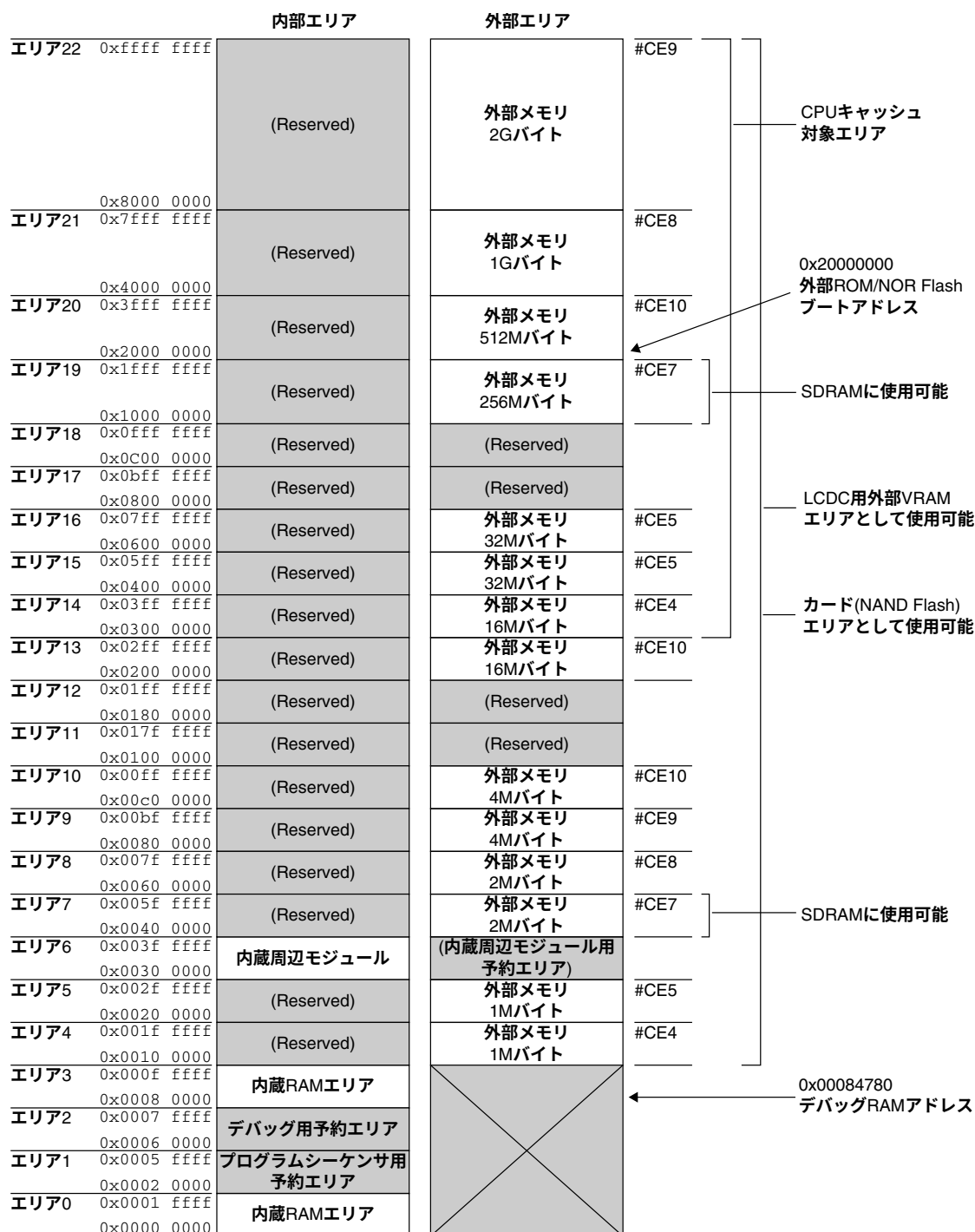
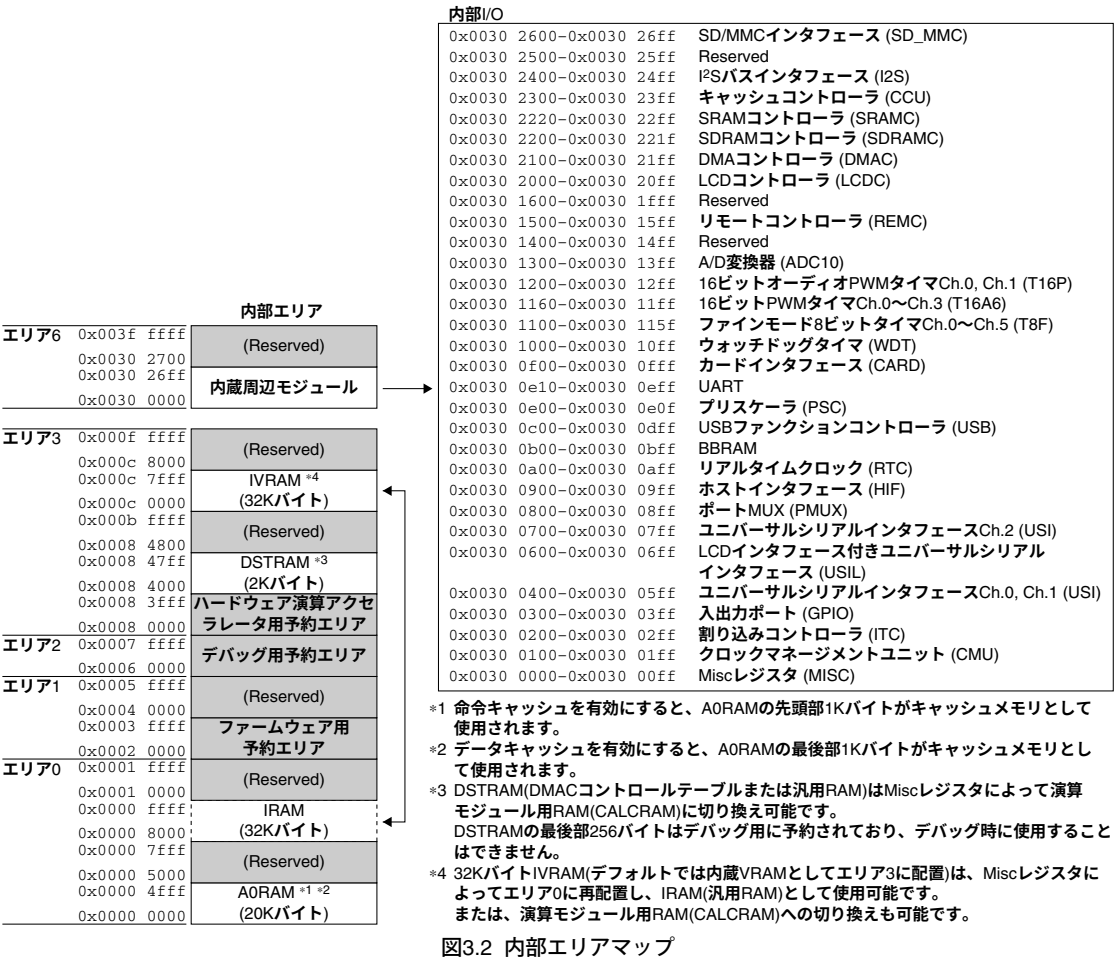


図3.1 全体メモリマップ



以下、S1C33L27のエリアの構成について説明します。

3.1 ブートアドレス

電源投入時およびリセット時、S1C33L27はBOOT[1:0]端子と#CE10端子の設定によって決まるブートモードに従い、NAND Flash、ホストインタフェースを介したホストデバイス、NOR Flash/外部ROM、SPI-EEPROM、またはRS232Cを介したPCからブートできるようになっています。
表3.1.1に端子設定と選択されるブートモードを示します。

表3.1.1 ブートモードの設定

端子設定			ブートモード	実行開始アドレス
BOOT1	BOOT0	#CE10		
0	0	1(入力)	ラージページMLC/SLC NAND Flash (>1024 + 32/バイト/ページ)	A0RAM(0x0)にMBRをロードして実行開始
		0(入力)	スモールページMLC/SLC NAND Flash (≤1024 + 32/バイト/ページ)	
0	1	出力	ホストインタフェース	ホストデバイスによって指定されたメモリにMBRをロードして実行開始
1	0	出力	NOR Flash/外部ROM	0x20000000に書かれたアドレスから実行開始
1	1	1(入力)	SPI-EEPROM	A0RAM(0x0)にMBRをロードして実行開始
		0(入力)	PC RS232C	

- 注: • #CE10プルアップ抵抗はデフォルトで無効となります。#CE10端子をNAND Flash、SPI-EEPROM、またはPC RS232Cブート用の入力端子として使用する場合は、#CE10端子に外部プルダウン抵抗(端子レベルを0に設定する場合)または外部プルアップ抵抗(端子レベルを1に設定する場合)を接続してください。
- PFBGA12U-180パッケージおよびチップにはBOOT2端子も存在します。この端子はV_{ss}に接続してください。

3.2 エリア0(A0RAM, IRAM)

3.2.1 A0RAM

エリア0には20KバイトのRAM(A0RAM)が配置されており、データの格納と命令の実行が可能な汎用RAMとして使用できます。A0RAMの配置アドレスは0x0～0x4fffです。

キャッシュメモリ

キャッシュ機能を有効にすると、キャッシュコントローラは下記のA0RAM領域をキャッシュメモリとして使用します。

命令キャッシュ: A0RAMの0x0～0x3fff番地(A0RAMの先頭部1Kバイト)

データキャッシュ: A0RAMの0x4c00～0x4fff番地(A0RAMの最後部1Kバイト)

キャッシュ機能を有効にした場合は、アプリケーションからこれらの領域をアクセスしないでください。キャッシュの詳細については、“キャッシュコントローラ(CCU)”の章を参照してください。

3.2.2 IRAM

20KバイトA0RAMに加え、デフォルトでエリア3に配置されている32KバイトIVRAM(内蔵VRAM)をエリア0に再配置して汎用RAM(IRAM)として使用することができます。詳細は“3.7 RAMの再配置”を参照してください。

IRAM(エリア0に配置)は、A0WT/MISC_RAMWTレジスタを0に設定することによって、ウェイトサイクルを挿入せずにアクセス可能です(レジスタの詳細は“MISCレジスタ(MISC)”の章を参照してください)。

3.3 エリア1, エリア2(システム予約)

エリア1とエリア2はシステム用に予約されています。ユーザプログラムやデバッグからはこのエリアをアクセスしないでください。

3.4 エリア3(IVRAM, DSTRAM)

3.4.1 IVRAM

エリア3にはLCDコントローラ用の32KバイトのIVRAM(内蔵VRAM)が配置されています。配置アドレスは0xc0000～0xc7fffです。このアドレスで、汎用RAMとしても使用できます。

32KバイトIVRAMは、エリア0に再配置して高速な汎用RAMとして使用することができます。また、演算モジュール用RAM(CALCRAM)として使用することもできます。詳細は“3.7 RAMの再配置”を参照してください。

IVRAM(エリア3に配置)は、A3WT/MISC_RAMWTレジスタを0に設定することによって、ウェイトサイクルを挿入せずにアクセス可能です(レジスタの詳細は“MISCレジスタ(MISC)”の章を参照してください)。

3.4.2 DSTRAM

エリア3の0x84000～0x847ff番地には、2KバイトのRAM(DSTRAM)が配置されています。DSTRAMはDMAコントローラのコントロールテーブルを格納するために使用します。汎用RAMとしても使用可能です。また、演算モジュール用RAM(CALCRAM)として使用することもできます。詳細は“3.7 RAMの再配置”を参照してください。

DSTRAMは4サイクルでアクセスされます。

注: • DSTRAMの0x84700～0x847ff番地(256バイト)はデバッグRAM領域として予約されています。デバッグ時は、ユーザプログラムやデバッグからこのアドレス範囲をアクセスしないでください。デバッグ使用時は、デバッグRAMアドレスを0x84780と指定してください。

```
c33 das 0x60000 0x84780
```

- DSTRAMをCALCRAMに切り換えた場合は、DMACのコントロールテーブルをIVRAM(エリア3)または外部RAMに配置してください。

3.5 エリア6(I/Oエリア)

エリア6は内蔵周辺回路のI/Oエリアに割り当てられています。

このエリアに割り付けられている内蔵周辺回路の詳細については、各周辺モジュールの説明を、制御レジスタの一覧については、Appendixの“I/Oレジスタ一覧”を参照してください。

エリア6の0x300b00～0x300b0fには、システムから独立した電源(RTCV_{DD})で動作するBBRAM(16バイト)が配置されています。BBRAMはシステム電源がOFFの場合でも内容を保持可能です。このRAMはエリア6のレジスタと同様にアクセスされます。

3.6 外部メモリエリア

エリア4、5、7～10、13～16、19～22はメモリなどの外部デバイス用に使用可能です。接続するデバイスの仕様に合わせてSRAMC、あるいはSDRAMCを設定してください。S1C33L27の内部アドレスバスおよび内部データバスは32ビットですが、端子数の制限により、外部バスはデータバスが16ビット(D[15:0])、アドレスバスは最大26ビット(A[25:0])です。

注: • SDRAMはエリア7(2Mバイト)またはエリア19(256Mバイト)に接続可能です。

- LCDCで使用する外部VRAM、また、NAND Flashはエリア4～22に接続可能です。

3.7 RAMの再配置

IVRAMとDSTRAMは汎用RAM、あるいは特定ハードウェア用メモリとして再配置が可能です。この設定にはRAMCFG[2:0]/MISC_RAMCFGレジスタを使用します。

表3.7.1 IVRAM/DSTRAMの再配置

RAMCFG[2:0]	IVRAM	DSTRAM
0x7～0x4	CALCRAM(CALC)	DSTRAM(エリア3)
0x3	IRAM(エリア0)	CALCRAM(CALC)
0x2	IRAM(エリア0)	DSTRAM(エリア3)
0x1	VRAM(エリア3)	CALCRAM(CALC)
0x0	VRAM(エリア3)	DSTRAM(エリア3)

(デフォルト: 0x0)

MISC_RAMCFGレジスタの詳細は、“MISCレジスタ(MISC)”の章を参照してください。

3.8 バスマスタとアクセス可能なメモリ

バスマスタと、それらがアクセス可能なメモリの一覧を下表に示します。

表3.8.1 バスマスタとアクセス可能なメモリ

メモリ	バスマスタ				CALC
	CPU	DMAC	HIF	LCDC	
A0RAM(エリア0)	✓	—	—	—	—
IVRAM → IRAM(エリア0)	✓	—	—	—	—
IVRAM(エリア3)	✓	✓	✓	✓	—
IVRAM → CALCRAM(CALC)	—	—	—	—	✓
DSTRAM(エリア3)	✓	✓	✓	—	—
DSTRAM → CALCRAM(CALC)	—	—	—	—	✓
I/Oレジスタ(エリア6)	✓	✓	✓	—	—
外部メモリ	✓	✓	✓	✓	—

✓:アクセス可 —:アクセス不可

3.9 メモリアクセス速度

表3.9.1 内蔵RAM/外部SRAMアクセス速度

メモリアクセスサイクル	アクセスサイクル数				
	シングル バイト	シングル ハーフワード	シングルワード	連続アドレス	バースト アクセス
A0RAM(20KB/エリア0) リード キャッシュ有効/無効	2	2	2	—	—
A0RAM(20KB/エリア0) ライト キャッシュ有効/無効	1	1	1	—	—
IRAM(32KB/エリア0) リード	2 + W	2 + W	2 + W	1または1 + W	—
IRAM(32KB/エリア0) ライト	1	1	1	—	—
DSTRAM(2KB/エリア3) リード	4	4	4	—	—
DSTRAM(2KB/エリア3) ライト	4	4	4	—	—
IVRAM(32KB/エリア3) リード	4 + W	4 + W	4 + W	—	1 + W (*1)
IVRAM(32KB/エリア3) ライト	4	4	4	—	—
エリア6レジスタ(8ビット) リード	6	9	15	—	—
エリア6レジスタ(8ビット) ライト	3	6	12	—	—
エリア6レジスタ(16ビット) リード	6	6	9	—	—
エリア6レジスタ(16ビット) ライト	3	3	6	—	—
エリア6レジスタ(32ビット) リード	6	6	6	—	—
エリア6レジスタ(32ビット) ライト	3	3	3	—	—
外部SRAM/ROM(8ビット) リード/ライト	4 + S + W + H	6 + (S + W + H) × 2	8 + (S + W + H) × 4	—	(※2)
外部SRAM/ROM(16ビット) リード/ライト	4 + S + W + H	4 + S + W + H	6 + (S + W + H) × 2	—	(※2)

W: ウェイトサイクル数(0 Min.) S: セットアップサイクル数(1 Min.) H: ホールドサイクル数(1 Min.)

(注)

*1: キャッシュコントローラはIVRAMに対応していません。バーストリードは、IVRAMをVRAMとして使用している場合はLCDCから、DMAコントロールテーブルとして使用している場合はDMACから発行されます。

*2: バーストアクセスは、シングルワードアクセスの4または8サイクルと見なすことができます。

4 電源

ここではS1C33L27の動作電圧について説明します。

4.1 電源端子

S1C33L27の電源端子を表4.1.1に示します。

表4.1.1 電源端子

No.	端子名	I/O	機能	電源電圧
1	HVDD	–	I/O電源端子	3.3V typ. (2.7~3.6V) (USB使用時は3.0~3.6V)
2	AVDD	–	アナログ電源端子	3.3V typ. (= HVDD)
3	LVDD	–	内部ロジック/内部メモリ 電源端子	1.8V typ. (1.65~1.95V) (セラミック発振器使用時は1.7~1.9V)
4	RTCVDD	–	RTC/BBRAM電源端子	1.8V typ. (= LVDD)
5	Vss	–	GND端子	GND
6	PLLVD	–	PLL電源端子	1.8V typ. (= LVDD)
7	PLLVss	–	PLL電源GND端子	GND (= Vss)

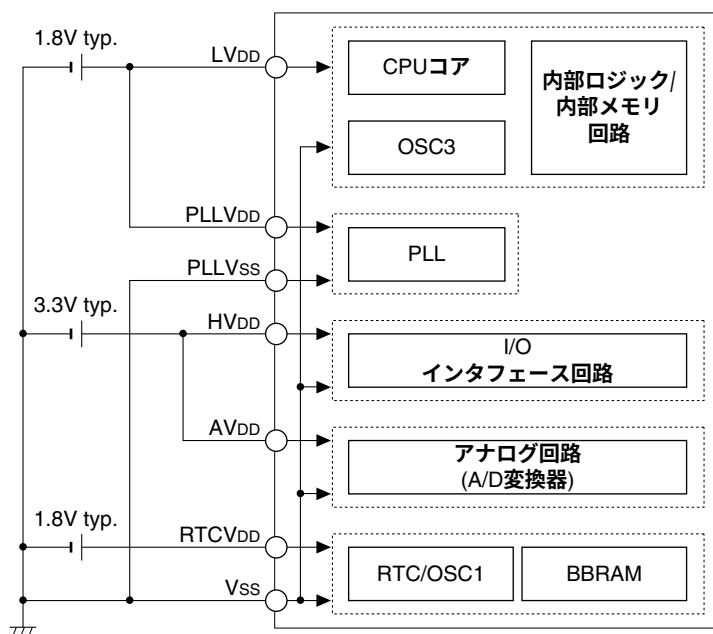


図4.1.1 電源系

4.2 動作電圧 (LV_{DD})

内部ロジックおよび内部メモリ回路は、LV_{DD}～V_{SS}間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

LV_{DD} = 1.65～1.95V (V_{SS} = GND)
セラミック発振子使用時は1.7～1.9V

注: S1C33L27は複数のLV_{DD}端子とV_{SS}端子を持っています。これらの端子はすべて電源に接続し、開放しないでください。

4.3 PLL用電源 (PLL_{VDD}, PLL_{VSS})

PLL回路がデジタル回路の影響を受けないように、LV_{DD}、V_{SS}電源端子とは別に専用の電源端子 (PLL_{VDD}、PLL_{VSS}) が設けられています。PLL_{VDD}にはLV_{DD}と同レベルの電圧を供給してください。

PLL_{VDD} = LV_{DD}, PLL_{VSS} = V_{SS}

PLL電源ライン上のノイズはPLL出力精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

4.4 RTC用電源 (RTC_{VDD})

システム電源をOFFにした場合もRTCとOSC1発振回路を動作させるために、LV_{DD}端子とは別にRTC用電源端子 (RTC_{VDD}) が用意されています。RTC_{VDD}端子にはLV_{DD}と同じレベルの電圧を供給してください。

RTC_{VDD} = LV_{DD} (V_{SS} = GND)

RTC_{VDD}はバッテリーバックアップRAM (BBRAM) の電源としても使用されます。

4.5 I/Oインタフェース電圧 (HV_{DD})

HV_{DD}電圧は外部信号とのインタフェースに使用します。S1C33L27の出力インタフェースレベルは、HighレベルがHV_{DD}、LowレベルがV_{SS}となります。GNDレベルにはLV_{DD}端子と共通のV_{SS}端子を使用します。HV_{DD}の電圧範囲は以下のとおりです。

HV_{DD} = 2.7～3.6V (V_{SS} = GND)
USBモジュール使用時は3.0～3.6V

注: S1C33L27は複数のHV_{DD}端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

4.6 アナログ回路用電源 (AV_{DD})

アナログ回路 (A/D変換器) がデジタル回路の影響を受けないように、他の電源端子とは別にアナログ回路用の電源端子 (AV_{DD}) が設けられています。アナログ回路の電源電圧はAV_{DD}端子に供給し、V_{SS}端子をGNDレベルとしてください。AV_{DD}には次の電圧が使用可能です。

AV_{DD} = 2.7～3.6V (V_{SS} = GND)

注: アナログ回路を使用しない場合でも、AV_{DD}端子には必ず2.7～3.6Vの電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

4.7 電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。

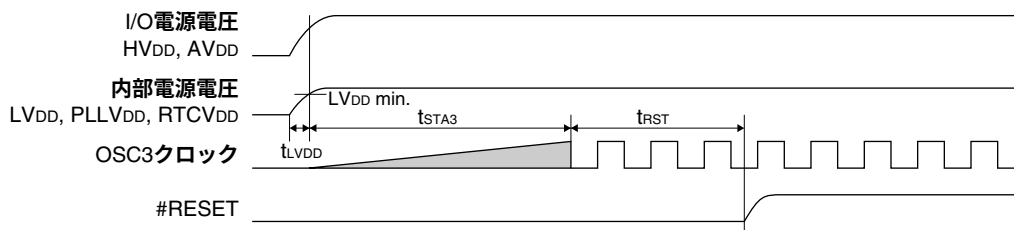


図4.7.1 パワーオンシーケンス

(1) t_{LVD} : 電源投入時の電源が安定するまでの時間

下記の順序で電源を投入してください。

電源投入時: 1. LV_{DD} , $PLLV_{DD}$ (, $RTCV_{DD}$)

2. HV_{DD} , AV_{DD} (1と同時の印加も可能)

3. 入力信号印加

* $RTCV_{DD}$ はRTCの動作およびBBRAMの電源として常時供給可能です。

(2) t_{STA3} : OSC3発振開始時間

(3) t_{RST} : 最小リセットパルス幅

チップに供給されるクロックが安定した状態から最低3クロックの期間、 $\#RESET$ 信号をLowに保持してください。

パワーオフシーケンス

下記の順序で電源を切断してください。

電源切断時: 1. 入力信号オフ

2. HV_{DD} , AV_{DD}

3. LV_{DD} , $PLLV_{DD}$ (, $RTCV_{DD}$) (2と同時の切断も可能)

注: LV_{DD} が切断されている状態で HV_{DD} または AV_{DD} のみを継続的に(1秒以上)印加することは、絶対に避けてください。 HV_{DD} または AV_{DD} の貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $LV_{DD}-V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは LV_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $LV_{DD}-V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

(1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。

(2) 異常ノイズがデバイスに加わらないようにしてください。

(3) 未使用の入力端子の電位を LV_{DD} 、 HV_{DD} 、 AV_{DD} または V_{SS} に固定してください。

(4) 出力を短絡しないでください。

5 リセットとNMI

5.1 イニシャルリセット

S1C33L27の内部回路を初期化するイニシャルリセット要因は、以下の2種類です。

- (1) #RESET端子(外部イニシャルリセット)
- (2) ウォッチドッグタイマ(ソフトウェアで設定可能な内部イニシャルリセット)

図5.1.1にイニシャルリセット回路の構成を示します。

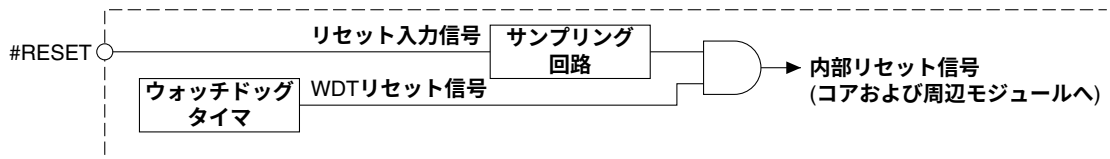


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因からのリセット信号がアクティブになることによってCPUおよび周辺回路が初期化され、その後リセット信号がインアクティブになるとCPUはリセット処理を開始します。これによって、ベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)が読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部からのイニシャルリセット入力には#RESET端子を使用します。ICをリセットするには、#RESET端子を0(Low)にします。

#RESET端子の入力信号はOSC3クロックでサンプリングされます。したがって、OSC3クロックが入力または生成されていないとチップはリセットされません。また、図5.1.1.1に示すとおり、サンプリングで3回連続してLowレベルが検出されないと内部リセット信号は生成されません。確実にリセットをかけるには、少なくともOSC3クロックの3サイクル以上#RESET = 0を保持してください。

内部リセット信号は、#RESET端子をHighにしてからデフォルト設定のOSC3発振安定待ちサイクルが経過した時点で解除されます。

S1C33L27は内部リセット信号が0(Low)になるとリセットされ、そのリセット信号が1(High)に立ち上がることで動作を開始します。

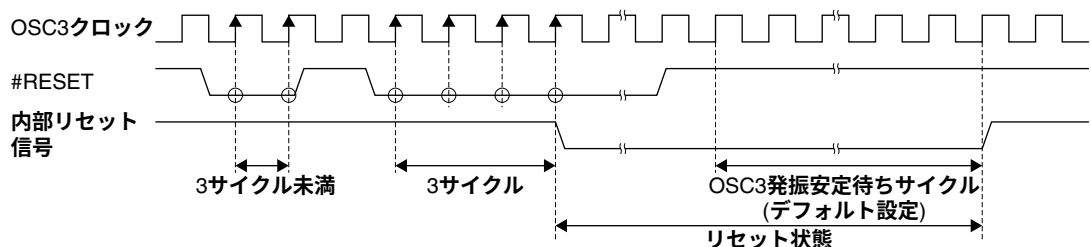


図5.1.1.1 #RESETのサンプリング

5.1.2 ウォッチドッグタイマによるリセット

S1C33L27は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは設定された周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、信号を出力します。この信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはRESEN/WDT_ENレジスタに1を書き込みます。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

- 注: • ウォッチドッグタイマによるリセット機能を使用する場合は、必ず設定された周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
- ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.3 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ちサイクル(OSC3クロック128サイクル)が経過するまでCPUの起動は待たされます。図5.1.3.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、OSC3クロックに同期して起動します。

注: 発振安定待ちサイクルには、発振開始時間は含まれていません。そのため、電源投入時の命令実行までの時間は、下図よりも長くなる場合があります。

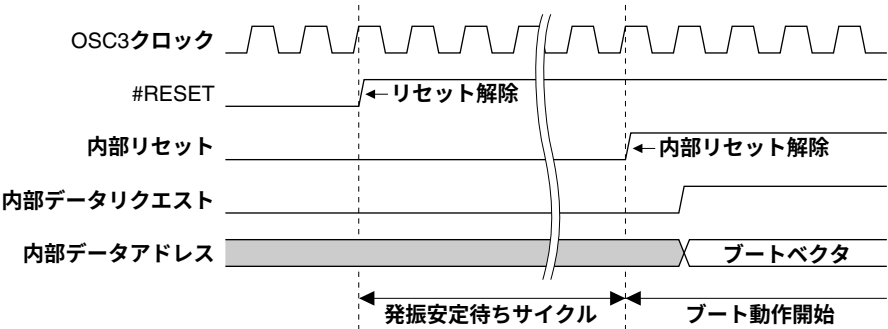


図5.1.3.1 イニシャルリセット解除後の動作シーケンス

5.1.4 初期設定状態

C33 PEコアと周辺回路は、内部リセット信号が0の期間中に初期化されます。イニシャルリセットによるIC内部の設定内容を以下に示します。

表5.1.4.1 初期設定状態

項目	ブートモード	初期設定状態
CPU - TTBR	全ブートモード	0x20000000に初期化
CPU - PC	NOR Flash/ 外部ROMブート	0x20000000番地のリセットベクタをロード
	NAND Flashブート	0x0をロード
	SPI-EEPROMブート	
	PC RS232Cブート	
	HIFブート	HIFスラッチパッドレジスタに設定されているアドレスをロード
CPU - PSR	—	不定
CPU - その他レジスタ	—	不定
CPU - 動作クロック	—	OSC3 × 1/1のクロックで動作
発振回路	—	高速 (OSC3) および低速 (OSC1) 発振回路がOn (PLLとSSCGはOff)
周辺回路へのクロック供給	—	LCDC、USB、HIFを除くすべての周辺モジュールにクロックを供給
I/O端子の状態	—	初期化(“概要”の章内、“端子機能”、または別冊の“ブート”の章参照)
他の周辺回路	—	初期化または不定(I/Oマップ参照)

注: S1C33L27はI/O端子とTTBRレジスタ値を保持するホットリセットには対応していません。

5.1.5 イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、CPUコアの内部レジスタはすべて不定となります。したがって、プログラムによる初期化が必要です。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の開始に長い時間を要します(電気的特性参照)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの開始時間が経過してから使用してください。

入出力ポートと入出力端子

イニシャルリセットは入出力ポートの制御レジスタおよびデータレジスタを初期化しますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、イニシャルリセットにより初期化あるいは不定となります。プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

5.2 NMI入力

S1C33L27でNMI発生可能なNMI要因は、以下の3種類です。

- (1) #NMI端子(外部入力)
- (2) ウォッチドッグタイマ(ソフトウェアで選択)
- (3) ホストインタフェースを介したホストプロセッサ(ソフトウェアで選択)

図5.2.1にNMI回路の構成を示します。

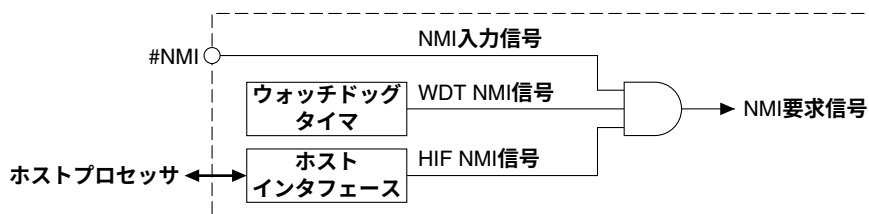


図5.2.1 NMI回路の構成

#NMI端子から入力、ウォッチドッグタイマ(WDT)が生成したNMI信号、またはホストインタフェースを介したホストプロセッサ(HIF)が生成したNMI信号によって、C33 PEコアへのノンマスクابل割り込みが発生します。この割り込みは他の割り込み要因に優先して、無条件にC33 PEコアに受け付けられます。C33 PEコアによるNMI例外処理については、“S1C33 Family C33 PEコアマニュアル”を参照してください。

5.2.1 #NMI端子

#NMI端子を使用してC33 PEコアにノンマスカブル割り込みを発生させることができます。C33 PEコアへのNMI(ノンマスカブル割り込み)を発生させるには、システムクロックの3サイクル以上、#NMI端子のLowレベルを保持する必要があります。

5.2.2 ウォッチドッグタイマによるNMI

S1C33L27は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは設定された周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、信号を出力します。この信号によりNMIまたはリセットを発生するようになっています。NMIを発生させるにはNMIEN/WDT_ENレジスタに1を書き込みます。ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

5.2.3 ホストプロセッサによるNMI

外部ホストプロセッサがHINT/HIF_FLAG1レジスタに1を書き込むことによってNMIが発生します。ただし、HINT_MD/HIF_EXTCTRL1レジスタを0に設定して、ホストインタフェースがNMIを発生可能な状態にしておく必要があります。ホストプロセッサによるNMIの詳細については、“ホストインタフェース(HIF)”の章を参照してください。

6 クロックマネージメントユニット(CMU)

6.1 CMUモジュールの概要

CMUモジュールは、内蔵発振回路とシステムクロックを制御します。

CMUモジュールの主な機能を以下に示します。

- ・ 内蔵発振回路により動作クロックを生成
 - OSC3発振回路: 48MHz(Max.)水晶発振回路/セラミック発振回路、外部クロック入力にも対応
 - OSC1発振回路: 32.768kHz(Typ.)水晶発振回路、外部クロック入力にも対応
- ・ システムクロックの切り換え
システムのクロックソースをソフトウェアにてOSC3、PLL、OSC1から選択可能
- ・ PLLとSSCGの制御
- ・ ソースクロックを1/1～1/32に分周してシステムクロックを生成
- ・ 周辺モジュールへのクロック供給を制御
- ・ スタンバイモード(HALT、SLEEP)に従ったクロック制御
- ・ 外部デバイスへのクロック出力を制御

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、Appendixの“パワーセーブ”を参照してください。

図6.1.1にクロックシステムとCMUモジュールの構成を示します。

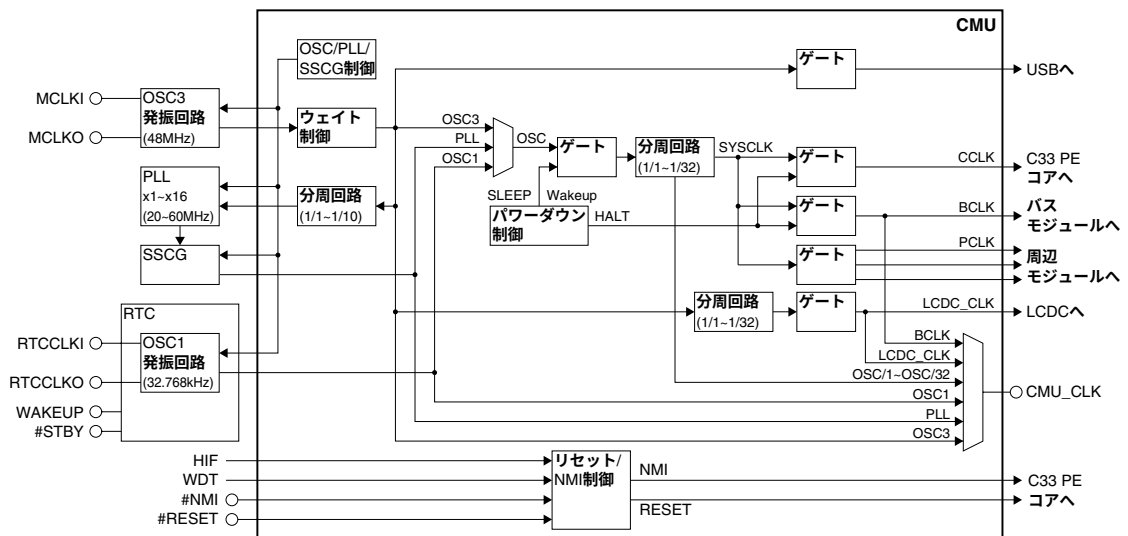


図6.1.1 CMUモジュールの構成

注: CMU制御レジスタ(0x300100～0x30010d番地、0x300114～0x300118番地)には書き込み保護が設定されています。これらのCMU制御レジスタを書き換えるには、CMUP[7:0]/CMU_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、CMU制御レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMUP[7:0]を0x96以外に設定してください。

6.2 CMU入出力端子

表6.2.1にCMUモジュールの入出力端子の一覧を示します。

表6.2.1 CMU端子一覧

端子名	I/O	本数	機 能
RTCCLKI	I	1	OSC1発振入力端子 水晶振動子(32.768kHz)、帰還抵抗、ゲート容量を接続します。または外部クロックを入力します。
RTCCLKO	O	1	OSC1発振出力端子 水晶振動子(32.768kHz)、帰還抵抗、ドレイン抵抗、ドレイン容量を接続します。
MCLKI	I	1	OSC3発振入力端子 水晶またはセラミック振動子(max. 48MHz)、帰還抵抗、ゲート容量を接続します。または外部クロックを入力します。
MCLKO	O	1	OSC3発振出力端子 水晶またはセラミック振動子(max. 48MHz)、帰還抵抗、ドレイン抵抗、ドレイン容量を接続します。
CMU_CLK	O	1	CMU_CLK出力端子 OSC3、OSC1、PLL、OSC/1～OSC/32、LCDC_CLKから選択したクロックを出力します。

CMUの出力端子(CMU_CLK)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCMUの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。機能の切り換え方法については“入出力ポート(GPIO)”の章を参照してください。

6.3 発振回路

6.3.1 OSC3発振回路

OSC3発振回路はC33 PEコアと内蔵周辺回路を高速動作させるメインクロックを発生します。

OSC3発振回路の構造

OSC3発振回路は、水晶/セラミック発振と外部クロック入力に対応しています。

図6.3.1.1にOSC3発振回路の構造を示します。

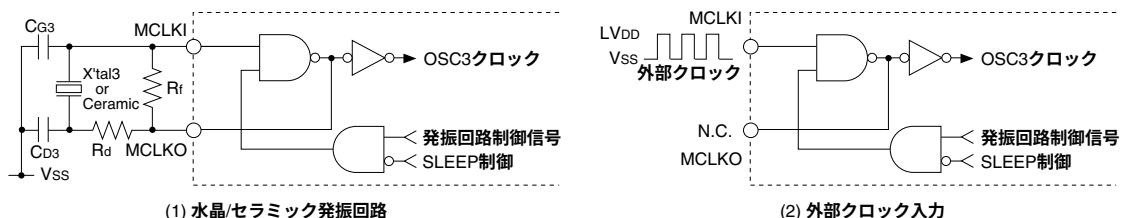


図6.3.1.1 OSC3発振回路

水晶またはセラミック発振回路として使用する場合は、水晶振動子(X'tal3)またはセラミック発振子(Ceramic)、帰還抵抗(R_f)、2つのコンデンサ(CG₃、CD₃)および必要に応じてドレイン抵抗(R_d)を、MCLKIとMCLKO端子およびV_{SS}に接続してください。

外部クロックを使用する場合はMCLKO端子を開放し、LV_{DD}レベル(デューティ比が50%)のクロックをMCLKI端子に入力してください。

発振周波数の範囲は以下のとおりです。

- ・水晶発振: 5MHz(Min.)～48MHz(Max.)
- ・セラミック発振: 5MHz(Min.)～48MHz(Max.)
- ・外部クロック入力: 2MHz(Min.)～48MHz(Max.)
- ・USB機能を使用するには0.25%以内の精度の48MHzクロックソースを接続してください。
- ・セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。

発振特性と外部クロックの入力特性については“電氣的特性”を参照してください。

OSC3発振のOn/Off

OSC3発振回路はOSC3EN/CMU_OSCCTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC3発振回路も発振を停止します。イニシャルリセット時はOSC3ENが1に設定され、OSC3発振回路はOnします。

OSC3発振開始時の安定待ち時間

イニシャルリセット直後、OSC3あるいはPLLをシステムクロックソースとしている場合のSLEEPモードからの起床時など、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、OSC3またはPLLクロックはシステムに供給されません。この発振安定待ち時間はOSC3WT[3:0]/CMU_OSCCTLレジスタで16種類から選択可能です。

表6.3.1.1 OSC3発振安定待ち時間の設定

OSC3WT[3:0]	発振安定待ち時間
0xf	128サイクル
0xe	256サイクル
0xd	512サイクル
0xc	1,024サイクル
0xb	2,048サイクル
0xa	4,096サイクル
0x9	8,192サイクル
0x8	16,384サイクル
0x7	32,768サイクル
0x6	65,536サイクル
0x5	131,072サイクル
0x4	262,144サイクル
0x3	524,288サイクル
0x2	1,048,576サイクル
0x1	2,097,152サイクル
0x0	4,194,304サイクル

(デフォルト: 0xf)

イニシャルリセット時は128サイクル(OSC3クロック)に設定されます。

注: • OSC3発振安定待ち機能はOSC3発振回路をソフトウェアでOnした場合は使用できません。ソフトウェアウェイトルーチンで対応してください。

- 発振の安定度は振動子などの外付け部品によって変わりますので、OSC3発振安定待ち時間を短くする場合は、十分に注意してください。OSC3あるいはPLLをシステムクロックソースとしている場合、SLEEPモードからの起床時のOSC3発振安定待ち時間は以下のように設定してください。

$$\text{OSC3発振安定待ち時間[サイクル]} \geq \text{OSC3発振開始時間[秒]} (\text{Max.}) \times f_{\text{SYSCLK}} [\text{Hz}]$$

f_{SYSCLK} : OSC3またはPLLをクロックソースとするSYSCLK周波数

例: OSC3発振開始時間(Max.) = 25ms、 f_{SYSCLK} = 48MHzの場合

$$\text{OSC3発振安定待ち時間} \geq 1,200,000 [\text{サイクル}]$$

OSC3WT[3:0]を0x1 (OSC3発振安定待ち時間 = 2,097,152サイクル)に設定します。

6.3.2 OSC1発振回路

S1C33L27はRTCの計時用のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。このOSC1クロックは、パワーセーブ動作用にコアシステムや周辺回路の動作クロックとして使用することも可能です。

OSC1発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同じRTCV_{DD}を使用します。図6.3.2.1にOSC1発振回路の構造を示します。

6 クロックマネージメントユニット (CMU)

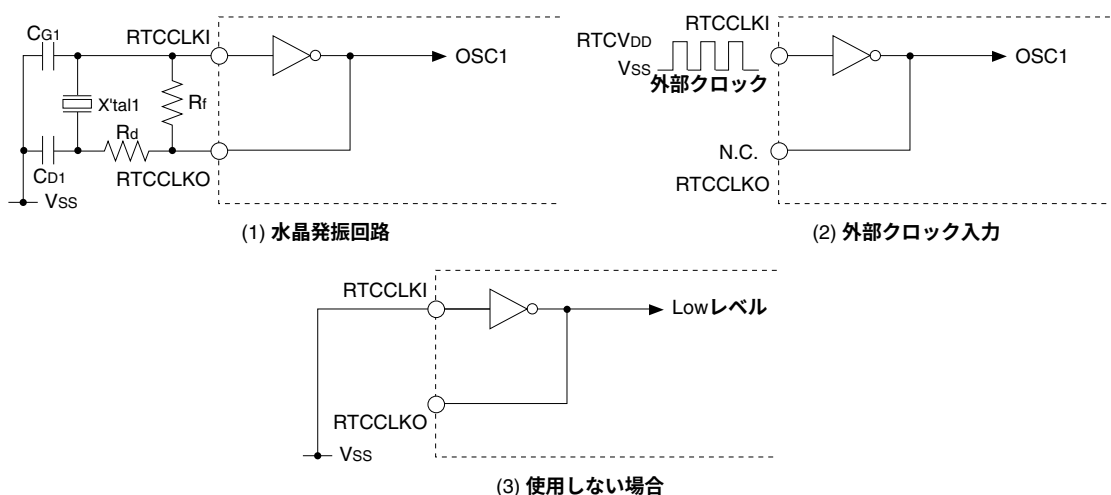


図6.3.2.1 OSC1発振回路

水晶発振回路として使用する場合は、水晶振動子X'tal1 (32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、RTCCLKIとRTCCLKO端子およびV_{SS}に接続してください。

外部クロックを使用する場合はRTCCLKO端子を開放し、RTC_{VDD}レベルでデューティ比が50%のクロックをRTCCLKI端子に入力してください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、RTCを計時用途に使用できません。

発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

OSC1発振回路を使用しない場合はRTCCLKI端子をV_{SS}に接続し、RTCCLKO端子を開放してください。

OSC1発振のOn/Off

OSC1発振回路はOSCIEN/CMU_OSCCTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。イニシャルリセット時はOSCIENが1に設定され、OSC1発振回路はOnします。OSC1発振回路はSLEEPモード時も発振を停止しません。

注: OSC1発振回路が発振を開始後、発振が安定するまである程度の時間(“電気的特性”参照)が必要です。誤動作を防ぐため、この発振開始時間が経過するまでは発振回路の分周クロックを使用しないでください。

6.4 PLL

PLLはOSC3クロック周波数を通倍して、高速動作用のソースクロックを生成します。

6.4.1 PLL On/Off制御

PLLはPLLPOWER/CMU_PLLCTL0レジスタでOn/Offできます。PLLPOWERを1に設定することによりPLLが動作を開始します。イニシャルリセット時、PLLPOWERは0(パワーダウンモード)に設定され、PLLは停止します。

注: • PLLPOWERを1に設定してPLLが動作を開始した直後は、出力安定時間(“電気的特性”参照)が必要です。システムのクロックソースをPLLに切り換える際は、PLLをOnにした後にこの待ち時間を取ってください。

- CPUをSLEEPモードに設定する前に(slp命令を実行する前に)、必ずPLLをOffにしてください。
- PLLをOffする前にシステムのクロックソースをOSC3またはOSC1に切り換えてください。

6.4.2 PLL入力クロックの選択

PLLの入力クロックには、OSC3/1からOSC3/10までの10種類の分周クロックから1つをPLLINDIV[3:0]/CMU_PLLINDIVレジスタで選択します。

表6.4.2.1 PLL入力クロック (OSC3分周比) の選択

PLLINDIV[3:0]	分周比 (OSC3/n)
0xf~0xa	1/8
0x9	1/10
0x8	1/9
0x7	1/8
0x6	1/7
0x5	1/6
0x4	1/5
0x3	1/4
0x2	1/3
0x1	1/2
0x0	1/1

(デフォルト: 0x7)

注: • PLL入力クロックは、必ずPLLがOff (PLLPOWER/CMU_PLLCTL0レジスタ = 0)、システムのクロックソースがPLL以外 (CLKSEL[1:0]/CMU_OSCSELレジスタが0x2以外) の状態で設定してください。システムがPLLクロックで動作中にPLL入力クロックを変更すると誤動作します。

- 入力クロック周波数の範囲については、“電気的特性”を参照してください。

6.4.3 通倍率の設定

PLLの通倍率はPLLN[3:0]/CMU_PLLCTL0レジスタで下表のとおり指定可能です。

表6.4.3.1 PLLの通倍率

PLLN[3:0]	通倍率
0xf	x16
0xe	x15
0xd	x14
0xc	x13
0xb	x12
0xa	x11
0x9	x10
0x8	x9
0x7	x8
0x6	x7
0x5	x6
0x4	x5
0x3	x4
0x2	x3
0x1	x2
0x0	x1

(デフォルト: 0x0)

PLL出力クロック周波数 = PLL入力クロック周波数 × 通倍率

- 注: • 通倍率は、PLL出力クロック周波数が上限動作周波数を超えないように設定してください。設定可能な通倍率と出力クロック周波数の範囲については、“電気的特性”を参照してください。
- 通倍率は、必ずPLLがOff (PLLPOWER/CMU_PLLCTL0レジスタ = 0)、システムのクロックソースがPLL以外 (CLKSEL[1:0]/CMU_OSCSELレジスタが0x2以外) の状態で設定してください。システムがPLLクロックで動作中に通倍率を変更すると誤動作します。

6.4.4 その他のPLL設定

V-Divider

<出力クロック周波数 × W>によって求められる周波数 f_{vco} が100MHzから400MHzの間に収まるように、PLL $V[1:0]$ /CMU_PLLCTL0レジスタでWの値を設定します。消費電力を抑えるには小さい値の方が有利です。

表6.4.4.1 W値の設定

PLL $V[1:0]$	W
0x3	8
0x2	4
0x1	2
0x0	禁止

(デフォルト: 0x1)

VCO Kv定数 (VC値)

<出力クロック周波数 × W>によって求められる周波数 f_{vco} の範囲に応じて、VCO Kv回路定数 (VC値) をPLL $V[3:0]$ /CMU_PLLCTL1レジスタで設定します。

表6.4.4.2 VC値の設定

PLL $V[3:0]$	f_{vco} [MHz]
0x8	$360 < f_{vco} \leq 400$
0x7	$320 < f_{vco} \leq 360$
0x6	$280 < f_{vco} \leq 320$
0x5	$240 < f_{vco} \leq 280$
0x4	$200 < f_{vco} \leq 240$
0x3	$160 < f_{vco} \leq 200$
0x2	$120 < f_{vco} \leq 160$
0x1	$100 \leq f_{vco} \leq 120$
その他	禁止

(デフォルト: 0x1)

LPF抵抗値 (RS値)

入力クロック周波数に応じて、PLLのLPF抵抗値 (RS値) をPLL $RS[3:0]$ /CMU_PLLCTL1レジスタで設定します。

表6.4.4.3 RS値の設定

PLL $RS[3:0]$	f_{REFCK} [MHz]
0xa	$5 \leq f_{REFCK} < 20$
0x8	$20 \leq f_{REFCK} \leq 150$
その他	禁止

(デフォルト: 0x8)

LPF容量値 (CS値)

CMUの制御レジスタにLPF容量値 (CS値) を設定するPLL $CS[1:0]$ /CMU_PLLCTL2レジスタが用意されています。ただし、初期値 (0x0) のまま、変更しないでください。

チャージポンプ電流値 (CP値)

CMUの制御レジスタにチャージポンプ電流値 (CP値) を設定するPLL $CP[4:0]$ /CMU_PLLCTL2レジスタが用意されています。ただし、初期値 (0x10) のまま、変更しないでください。

表6.4.4.4 PLL設定例

PLL入力クロック	PLL出力クロック	PLL $N[3:0]$	PLL $V[1:0]$	PLL $V[3:0]$	PLL $RS[3:0]$
6MHz	60MHz	x10 (0x9)	0x1	0x1	0xa
10MHz	60MHz	x6 (0x5)	0x1	0x1	0xa
	40MHz	x4 (0x3)	0x2	0x2	0xa
20MHz	60MHz	x3 (0x2)	0x1	0x1	0x8
	40MHz	x2 (0x1)	0x2	0x2	0x8
30MHz	60MHz	x2 (0x1)	0x1	0x1	0x8

注: PLLの設定は、必ずPLLがOff(PLLPOWER/CMU_PLLCTL0レジスタ = 0)、システムのクロックソースがPLL以外(CLKSEL[1:0]/CMU_OSCSELレジスタが0x2以外)の状態で行ってください。システムがPLLクロックで動作中に変更すると誤動作します。

6.4.5 PLLの電源

PLLの電源はノイズの影響を防ぐため、内部ロジック/内部メモリ電源とは別にPLL V_{DD} およびPLL V_{SS} 端子が設けられています。それぞれに以下の電圧を供給してください。

PLL V_{DD} 端子: V_{DD} レベルを供給

PLL V_{SS} 端子: V_{SS} レベルに設定

端子配置については、“端子説明”の節を参照してください。

6.5 SSCG

SSCG(Spread Spectrum Clock Generator)はクロック信号をスペクトラム拡散(SS変調)して、EMI(Electromagnetic Interference)ノイズを低減するための回路です。SSCGはPLL出力クロックに対してSS変調を行います。このため、システムクロックソースにPLLクロックが選択されている場合、SS変調はコアおよび周辺回路(OSC1クロックを使用するRTCを除く)のすべての動作クロックに有効となり、ノイズ低減効果が得られます。

注: システムクロックソースにOSC3クロックまたはOSC1クロックが選択されている場合、動作クロック(システムクロック)に対するSS変調は行われません。

※スペクトラム拡散(SS変調)の動作について

本SSCGは、入力クロックのHigh区間の幅を調整することでSS変調を行います。High区間の調整は、SSCG内の遅延調整回路の設定値を一定間隔で大きくしたり小さくしたりすることで行います。このときの設定値が変化する最大幅が最大周波数変化幅となります。その上限値が制御レジスタで設定されます。また、設定値が変化する間隔をインターバルタイマで調整しており、この間隔(周波数変化の周期)も制御レジスタで設定されます。

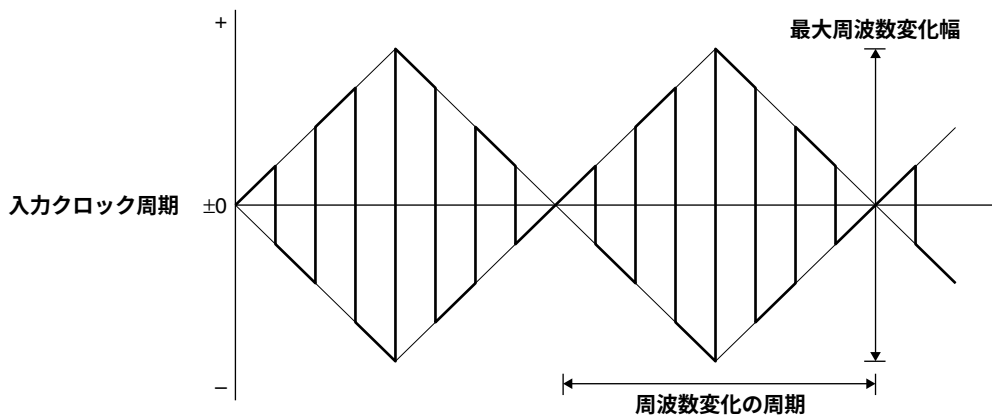


図6.5.1 SS変調

6.5.1 SSCGのOn/Off

SSCGはSSMCON/CMU_SSCG0レジスタでOn/Offできます。SSMCONを1に設定することによりSSCGが動作を開始します。イニシャルリセット時、SSMCONは0に設定され、SSCGは停止します(バイパスされます)。

注: • SSCGのOn/Offは、以下に示す手順のとおり、SSCGモジュールに安定したクロックが供給されている状態で行ってください。

SSCGのOn手順

1. PLLをOnします。
2. PLL安定時間以上待機します。
3. SSCGをOnします。

SSCGのOff手順

1. SSCGをOffします。
2. PLLをOffします。

- SS変調はPLL出力クロックに対して行われます。PLLクロック以外にSS変調をかけることはできません。システムクロックにPLLクロックを使用しない場合は、SSCGもOffとしてください。

6.5.2 SS変調用パラメータの設定

前記の“スペクトラム拡散(SS変調)の動作について”に示したとおり、最大周波数変化幅上限値と周波数変化周期の設定が必要です。

最大周波数変化幅については、PLL出力クロック周波数に応じてSSMCIDT[3:0]/CMU_SSCG1レジスタを下表のように設定してください。これにより、PLL出力クロック周波数の $\pm 2\%$ 程度の最大周波数変化幅に設定されます。

表6.5.2.1 最大周波数変化幅の設定

PLL出力クロック周波数 f [MHz]	SSMCIDT[3:0]
$f \leq 19.8$	0xf
$19.8 < f \leq 21.2$	0xe
$21.2 < f \leq 22.5$	0xd
$22.5 < f \leq 24.2$	0xc
$24.2 < f \leq 25.9$	0xb
$25.9 < f \leq 28.4$	0xa
$28.4 < f \leq 30.8$	0x9
$30.8 < f \leq 34.2$	0x8
$34.2 < f \leq 37.8$	0x7
$37.8 < f \leq 43.1$	0x6
$43.1 < f \leq 48.9$	0x5
$48.9 < f \leq 58.5$	0x4
$58.5 < f \leq 60.0$	0x3
—	0x2
—	0x1
—	0x0

(デフォルト: 0x0)

周波数変化の周期はSSMCITM[3:0]/CMU_SSCG1レジスタで指定されますが、0x1の設定で使用してください。

- 注: • SSMCIDT[3:0]は必ず表6.5.2.1のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。
- PLLがOffの場合、SSCGにクロックが供給されないことによりSSMCIDT[3:0]とSSMCITM[3:0]の初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。

6.6 システムクロック設定

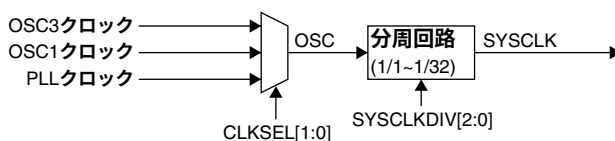


図6.6.1 システムクロック制御回路

6.6.1 システムクロックソースの選択

システムクロックソースはCLKSEL[1:0]/CMU_OSCSELレジスタを使用してOSC3、OSC1、またはPLLから選択可能です。

表6.6.1.1 システムクロックソースの選択

CLKSEL[1:0]	クロックソース
0x3	Reserved
0x2	PLL
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

システムクロックの切り換え手順を以下に示します。

OSC3からOSC1への切り換え

1. OSC1発振がOffの場合はOnにします。(OSC1EN = 1)
2. OSC1発振が安定するまで待機します。
3. 周辺回路の動作を停止します。
4. OSC1クロックをシステムクロックとして選択します。(CLKSEL[1:0] = 0x1)
5. CLKSEL[1:0]を読み出し、0x1になっているか否かでシステムクロックがOSC1に切り換わったことを確認します。
6. CMU_CLK出力回路がOSC3クロックを使用していない場合は消費電流を抑えるため、OSC3発振回路をOffにします。(OSC3EN = 0)

OSC3からPLLへの切り換え

1. PLLを起動する前に、PLL入力クロックや通倍率などのパラメータを設定します。
2. PLLをOnします。(PLLPOWR = 1)
3. PLLの動作が安定するまで待機します。
4. RTCを除き、周辺回路の動作を停止します。
5. PLLクロックをシステムクロックとして選択します。(CLKSEL[1:0] = 0x2)
6. CLKSEL[1:0]を読み出し、0x2になっているか否かでシステムクロックがPLLに切り換わったことを確認します。

OSC1からOSC3への切り換え

1. OSC3発振がOffの場合はOnにします。(OSC3EN = 1)
2. OSC3発振が安定するまで待機します。
3. RTCを除き、周辺回路の動作を停止します。
4. OSC3クロックをシステムクロックとして選択します。(CLKSEL[1:0] = 0x0)
5. CLKSEL[1:0]を読み出し、0x0になっているか否かでシステムクロックがOSC3に切り換わったことを確認します。

OSC1からPLLへの切り換え

1. 上記のとおり、システムクロックをOSC1からOSC3に切り換えます。
2. 上記のとおり、システムクロックをOSC3からPLLに切り換えます。

PLLからOSC3への切り換え

1. RTCを除き、周辺回路の動作を停止します。
2. OSC3クロックをシステムクロックとして選択します。(CLKSEL[1:0] = 0x0)

6 クロックマネージメントユニット(CMU)

3. CLKSEL[1:0]を読み出し、0x0になっているか否かでシステムクロックがOSC3に切り換わったことを確認します。
4. CMU_CLK出力回路がPLLクロックを使用していない場合は消費電流を抑えるため、PLLをOffにします。(PLLPOWR = 0)

PLLからOSC1への切り換え

1. 上記のとおり、システムクロックをPLLからOSC3に切り換えます。
2. 上記のとおり、システムクロックをOSC3からOSC1に切り換えます。

注: • 停止しているクロックソースをシステムクロックに設定しないでください。CMUはシステムクロックの誤選択等に対する保護機構を搭載していませんので、システムが停止してしまいます。

- システムクロック変更後は、切り換え後のクロックに応じて適宜周辺回路の設定を行ってください。

6.6.2 システムクロック周波数の設定

システムクロックは、ソースクロックを1/1から1/32に分周して生成します。この分周比をSYSCLK-DIV[2:0]/CMU_SYSCLKDIVレジスタで選択できます。処理内容に応じてシステムクロック周波数をできるだけ低く設定することにより、消費電流を低減することができます。

表6.6.2.1 システムクロック分周比の選択

SYSCLKDIV[2:0]	分周比(OSC/n)
0x7~0x6	1/1
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

6.7 クロック供給制御

消費電流を抑えるため、CMUにはクロック供給を制御するゲート回路が搭載されています。

コアクロック(CCLK)、バスクロック(BCLK)以外のクロック供給回路にはクロックイネーブルビットが設けられており、1に設定するとHALTモード時も含め、クロックが周辺モジュールに供給されます。HALTモード時に周辺モジュールの動作を停止するには、halt命令を実行する前にクロックイネーブルビットを0に設定してください。SLEEPモードでは(slp命令が実行されると)、クロックイネーブルビットが1に設定されている場合もクロック供給は停止します。

6.7.1 コアクロック(CCLK)



図6.7.1.1 CCLK制御回路

CCLKはC33 PEコアの動作クロックです。

通常モード時はCCLKが常にC33 PEコア(CPU、CCU、A0RAM、COPRO)に供給されます。

C33 PEコアがhaltまたはslp命令を実行すると、CMUはC33 PEコアへのクロック供給を停止し、C33 PEコアはスタンバイ(HALTまたはSLEEP)モードになります。割り込みによってスタンバイモードが解除されると、CMUはC33PEコアへのクロック供給を再開します。

6.7.2 バスクロック (BCLK)

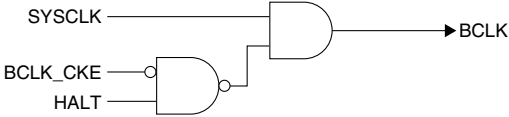


図6.7.2.1 BCLK制御回路

BCLKは以下のモジュールの動作クロックです。

- IVRAM(エリア3)
- DSTRAM(エリア3)
- SRAMコントローラ (SRAMC) のバスインタフェースとレジスタ
- SDRAMコントローラ (SDRAMC) のバスインタフェースとレジスタ
- クロックマネージメントユニット (CMU) のレジスタ
- SAPBバス

BCLKはバスとメモリの動作に必要なため、通常モード時は常に上記のモジュールへ供給されます。ただし、BCLK_CKE/CMU_CLKCTL2レジスタの設定により、HALTモード時はBCLKの供給を停止することができます。HALTモード時にBCLKを停止するには、BCLK_CKEを0に設定します。この状態でhalt命令が実行されると、CMUはBCLKの供給を停止します。HALTモードが解除されると、CMUはクロック供給を再開します。HALTモード時もBCLKの供給を継続する場合は、BCLK_CKEを1(デフォルト)に設定しておきます。これにより、上記のモジュールはHALTモード時も動作します。SLEEPモードでは(slp命令が実行されると)、BCLK_CKEの設定値にかかわらずBCLKの供給は停止します。

6.7.3 周辺モジュールクロック (PCLK)

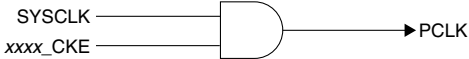


図6.7.3.1 PCLK制御回路

周辺モジュールクロック(まとめてPCLKと記述)は以下のモジュールの動作クロックです。

表6.7.3.1 周辺モジュールと動作クロック

PCLK	クロックイネーブルビット	周辺モジュール	初期設定
T16A_CLK	T16A_CKE/CMU_CLKCTL0レジスタ	• 16ビットPWMタイマ (T16A6 Ch.0~3) レジスタ • プリスケアラ (PSC Ch.0) → T16A6 Ch.0~3	On
TCLK *1	TCLK_CKE/CMU_CLKCTL0レジスタ	• 16ビットPWMタイマ (T16A6 Ch.0~3) カウンタ • プリスケアラ (PSC Ch.0) → T16A6 Ch.0~3	On
NANDIF_CLK *5	NANDIF_CKE/CMU_CLKCTL1レジスタ	カードインタフェース (CARD)	On
REMC_CLK	REMC_CKE/CMU_CLKCTL1レジスタ	リモートコントローラ (REMC)	On
ADC_CLK	ADC_CKE/CMU_CLKCTL1レジスタ	A/D変換器 (ADC10)	On
PORT_CLK	PORT_CKE/CMU_CLKCTL1レジスタ	入出力ポート/ポートMUX (GPIO/PMUX)	On
SDMMC_CLK	SDMMC_CKE/CMU_CLKCTL1レジスタ	SD/MMCインタフェース (SD_MMC)	On
I2S_CLK	I2S_CKE/CMU_CLKCTL1レジスタ	I ² S (I2S)	On
ITC_CLK	ITC_CKE/CMU_CLKCTL1レジスタ	割り込みコントローラ (ITC)	On
DMAC_CLK	DMAC_CKE/CMU_CLKCTL1レジスタ	DMAコントローラ (DMAC)	On
HIF_CLK *2	HIF_CKE/CMU_CLKCTL2レジスタ	ホストインタフェース (HIF)	Off
LCDC_SAPB_CLK	LCDC_SAPB_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ (LCDC) レジスタ	Off
LCDC_AHB_CLK	LCDC_AHB_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ (LCDC) AHBインタフェース/FIFO	Off
LCDC_CLK *3	LCDC_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ (LCDC)	Off
USBREG_CLK	USBREG_CKE/CMU_CLKCTL2レジスタ	USBファンクションコントローラ (USB) レジスタ	Off
USB_CLK *4	USB_CKE/CMU_CLKCTL2レジスタ	USBファンクションコントローラ (USB)	Off
BCU_CLK	BCU_CKE/CMU_CLKCTL2レジスタ	• SRAMコントローラ (SRAMC) • SDRAMコントローラ (SDRAMC)	On
PSC1/2_CLK	PSC1/2_CKE/CMU_CLKCTL3レジスタ	• プリスケアラ (PSC Ch.1) → • T8F Ch.0 → USI Ch.0 • T8F Ch.2 → USI Ch.2 • T8F Ch.4 → ADC10 • ADC10 • プリスケアラ (PSC Ch.2) → • T8F Ch.1 → USI Ch.1 • T8F Ch.3 → USIL • T8F Ch.5 → UART • UART • REMC • T16P Ch.0~1 • GPIO	On

6 クロックマネージメントユニット (CMU)

PCLK	クロックイネーブルビット	周辺モジュール	初期設定
T8F_CLK	T8F_CKE/CMU_CLKCTL3レジスタ	ファインモード8ビットタイマ (T8F Ch.0~5)	On
UART_CLK	UART_CKE/CMU_CLKCTL3レジスタ	UART	On
T16P_CLK	T16P_CKE/CMU_CLKCTL3レジスタ	16ビットオーディオPWMタイマ (T16P Ch.0~1)	On
USI_CLK	USI_CKE/CMU_CLKCTL3レジスタ	ユニバーサルシリアルインタフェース (USI Ch.0~2)	On
USIL_CLK	USIL_CKE/CMU_CLKCTL3レジスタ	LCD I/F付きユニバーサルシリアルインタフェース (USIL)	On
MISC_CLK	MISC_CKE/CMU_CLKCTL4レジスタ	Miscレジスタ (MISC)	On
IVRAM_ARB_CLK	IVRAM_ARB_CKE/CMU_CLKCTL4レジスタ	IVRAMアービタ (LDCD)	On
A3RAM_CLK	A3RAM_CKE/CMU_CLKCTL4レジスタ	DSTRAM	On
RTC_SAPB_CLK	RTC_SAPB_CKE/CMU_CLKCTL4レジスタ	• リアルタイムクロック (RTC) レジスタ • BBRAM	On
WDT_CLK	WDT_CKE/CMU_CLKCTL4レジスタ	ウォッチドッグタイマ (WDT)	On

*1 SYSCLK、OSC3、またはOSC1クロック (6.7.4節参照)

*2 HIFレジスタ (ホスト側とS1C33L27側の両方) をリード/ライトする前に、HIF_CKE/CMU_CLKCTL2レジスタに1を書き込み、HIF_CLKをOnしておく必要があります。

*3 OSC3分周クロック (6.7.5節参照)

*4 OSC3クロック (48MHz) (6.7.6節参照)

*5 CARDモジュールのレジスタおよびEDC機能を制御するには、NANDIF_CLKをOn (NANDIF_CKE = 1) にしておく必要があります。EDC機能を使用しない場合 (EN/CARD_EDC_CTRLレジスタ = 0)、あるいは、カードエリアをRGN[2:0]/CARD_EDC_RGNレジスタで選択後はNANDIF_CLKをOff (NANDIF_CKE = 0) にできます。#NAND_RDと#NAND_WR信号は、NANDIF_CLKが供給されてなくても出力可能です。

周辺モジュールクロックの供給は上記のクロックイネーブルビットで制御します。

クロックイネーブルビットを1に設定することによってクロックが供給されます。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロックイネーブルビットを0に設定してクロックの供給を停止してください。

6.7.4 16ビットPWMタイマカウンタクロック (TCLK)

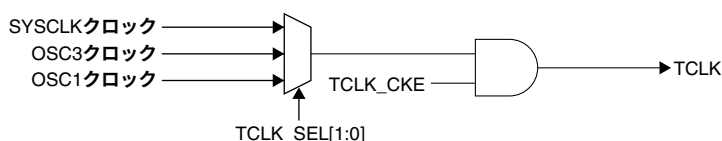


図6.7.4.1 TCLK制御回路

T16A6のカウンタクロック (TCLK) はSYSCLK、OSC3、またはOSC1クロックから生成されます。

このソースクロックをTCLK_SEL[1:0]/CMU_CLKCTL0レジスタを使用して選択します。

表6.7.4.1 TCLK用ソースクロックの選択

TCLK_SEL[1:0]	ソースクロック
0x3~0x2	OSC1
0x1	OSC3
0x0	SYSCLK

(デフォルト: 0x0)

クロック供給はTCLK_CKE/CMU_CLKCTL0レジスタで制御します (デフォルト: On)。T16A6を使用する前にTCLK_CKEを1に設定してください。なお、T16A6レジスタ設定にはPCLKも必要です (表6.7.3.1参照)。

注: TCLK_SEL[1:0]によってソースクロックを変更する前に、TCLKの供給を停止 (TCLK_CKE = 0) してください。

6.7.5 LDCDクロック (LDCD_CLK)

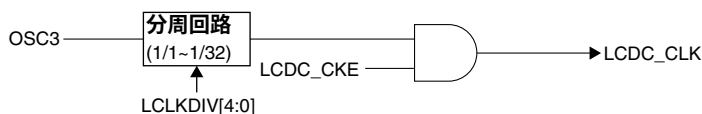


図6.7.5.1 LDCD_CLK制御回路

LDCD_CLKクロックはOSC3クロックを分周して生成され、LCDコントローラ (LDCD) に供給されます。分周回路はOSC3/1からOSC3/32まで32種類の分周クロックを出力可能で、LCLKDIV[4:0]/CMU_LCLK-DIVレジスタを使用してその中から1つをフレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCDC\_CLK}}}{\text{HT} \times \text{VT}} [\text{Hz}]$$

$f_{\text{LCDC\_CLK}}$: LCDC_CLK周波数

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間)[ピクセル]

VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間)[ライン]

表6.7.5.1 LCDCクロック (OSC3分周比)の選択

LCLKDIV[4:0]	分周比 (OSC3/n)	LCLKDIV[4:0]	分周比 (OSC3/n)
0x1f	1/32	0xf	1/16
0x1e	1/31	0xe	1/15
0x1d	1/30	0xd	1/14
0x1c	1/29	0xc	1/13
0x1b	1/28	0xb	1/12
0x1a	1/27	0xa	1/11
0x19	1/26	0x9	1/10
0x18	1/25	0x8	1/9
0x17	1/24	0x7	1/8
0x16	1/23	0x6	1/7
0x15	1/22	0x5	1/6
0x14	1/21	0x4	1/5
0x13	1/20	0x3	1/4
0x12	1/19	0x2	1/3
0x11	1/18	0x1	1/2
0x10	1/17	0x0	1/1

(デフォルト: 0x7)

クロック供給はLCDC_CKE/CMU_CLKCTL2レジスタで制御します(デフォルト: Off)。LCDCを使用する前にLCDC_CKEを1に設定してください。なお、LCDCレジスタ設定にはPCLKも必要です(表6.7.3.1参照)。

注: LCLKDIV[4:0]によってクロック分周比を変更する場合やslp命令を実行する前に、LCDC_CLKの供給を停止(LCDC_CKE = 0)してください。

6.7.6 USBクロック (USB_CLK)

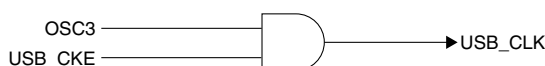


図6.7.6.1 USB_CLK制御回路

USB_CLKはUSBファンクションコントローラに供給するUSB動作クロックです。USB機能を使用する場合は、OSC3発振回路に48MHzのセラミック発振子を使用してください。クロック供給はUSB_CKE/CMU_CLKCTL2レジスタで制御します。USB_CKEのデフォルト設定は0で、クロック供給は停止しています。USBファンクションコントローラを使用する前に、USB_CKEを1に設定してクロック供給を開始してください。なお、USBレジスタ設定にはPCLKも必要です(表6.7.3.1参照)。

6.8 クロックの外部出力(CMU_CLK)

内部で生成したクロックをCMU_CLKから外部デバイスに出力することができます。出力クロックは11種類からCMU_CLKSEL[4:0]/CMU_CMUCLKレジスタで選択することができます。

表6.8.1 CMU_CLKの選択

CMU_CLKSEL[4:0]	CMU_CLK
0xf~0xb	Reserved
0xa	OSC/32
0x9	OSC/16
0x8	OSC/8
0x7	OSC/4
0x6	OSC/2
0x5	OSC/1
0x4	LCDC_CLK
0x3	BCLK
0x2	PLL
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。

注: 表6.8.1に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[4:0]に設定しないでください。

6.9 スタンバイモード

S1C33L27はHALTモード、SLEEPモードの2種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

6.9.1 HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。HALTモードは、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

HALTモードではCCLKが停止するため、CPU、CCU、A0RAMが動作を停止します。また、BCLK(バス関係のモジュール)も、BCLK_CKE/CMU_CLKCTL2レジスタを0に設定することによってHALT中に停止させることができます(BCLKについては6.7.2節参照)。その他の内蔵周辺回路は、halt命令実行時の状態(停止/動作)を継続します。

HALTモードはイニシャルリセット、NMIを含む任意の割り込み、デバッグからの強制ブレークによって解除されます。割り込みによってHALTモードを解除する場合、C33 PEコアは割り込みコントローラ(ITC)から送られる割り込み信号を使用します。したがって、HALTモードの解除に使用する割り込みを割り込み発生源のモジュール内で許可しておく必要があります。C33 PEコアは、PSRが割り込み禁止の状態に設定されている場合でも、HALTモードからの再起動が可能です。

PSRのIE(割り込み許可)ビットが1(許可)に設定されていると、C33 PEコアはHALTモードの解除直後に割り込み処理を実行します。IEビットが0(禁止)に設定されている場合は割り込みが発生しません。C33 PEコアはhaltに続く命令から実行を再開します。

#NMI信号は、LowレベルになることでHALTモードを解除します。

6.9.2 SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。SLEEPモードではCPUが動作を停止するとともに、CMUもクロック供給を停止します。したがって、OSC1発振回路とRTCを除き、すべての周辺回路が動作を停止します。

SLEEPモードはイニシャルリセット、RTC割り込み、NMI、外部割り込み(ポートまたはキー入力割り込み)、またはデバッグからの強制ブレークによって解除されます。

C33 PEコアは、PSRが割り込み禁止の状態に設定されている場合でも、SLEEPモードからの再起動が可能です。PSRのIE(割り込み許可)ビットが0(禁止)に設定されている場合は割り込みが発生しません。

C33 PEコアはslpに続く命令から実行を再開します。IEビットが1(許可)に設定されていると、C33 PEコアはSLEEPモードの解除直後に割り込み処理を実行します。

#NMI信号は、LowレベルになることでSLEEPモードを解除します。

注: • SLEEPモードでは、起床要因の割り込み信号入力から割り込みモジュールへのクロック供給が開始されるまでに時間差があるため、割り込みフラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになると割り込みフラグがセットされず割り込みが発生しない場合があります。さらに、ITCからの割り込み要求をC33 PEコアが受け付けるまでもに時間が必要なため、C33 PEコアは割り込み処理を開始する前に、slpに続く数命令を実行してしまう場合があります。

SLEEPモードをレベルトリガのポート入力割り込みで解除する場合は、クロック供給が開始されるまで、入力信号をアクティブのまま保持してください。エッジトリガに設定したポート入力割り込みでもSLEEPモードの解除は可能です。この場合は、GPIOモジュールが入力信号のアクティブエッジをアクティブなレベル信号に変換し、その状態をクロック供給が開始されるまで保持します。

NMIによる起床時も同様で、クロック供給開始前に#NMI信号がインアクティブになると割り込み処理が発生しません。

- S1C33L27をSLEEPモードに設定する前に、LDCDへのクロック供給をOffしてください。
- システムクロックがPLLの場合は、OSC3またはOSC1に変更してからSLEEPモードに設定してください。

6.10 制御レジスタ詳細

表6.10.1 CMUレジスタ一覧

アドレス	レジスタ名		機能
0x300100	CMU_OSCSEL	Clock Source Select Register	システムクロックソースの選択
0x300101	CMU_OSCCTL	Oscillation Control Register	発振制御
0x300103	CMU_LCLKDIV	LCDC Clock Division Ratio Select Register	LCDC_CLK周波数の設定
0x300105	CMU_SYSCCLKDIV	System Clock Division Ratio Select Register	システムクロック周波数の設定
0x300106	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力クロックの選択
0x300107	CMU_PLLINDIV	PLL Input Clock Division Ratio Select Register	PLLの入力クロック周波数の設定
0x300108	CMU_PLLCTL0	PLL Control Register 0	PLL通信率の設定、PLLイネーブル
0x300109	CMU_PLLCTL1	PLL Control Register 1	PLLパラメータの設定
0x30010a	CMU_PLLCTL2	PLL Control Register 2	
0x30010c	CMU_SSCG0	SSCG Macro Control Register 0	SSCGイネーブル
0x30010d	CMU_SSCG1	SSCG Macro Control Register 1	SSCGパラメータの設定
0x300110	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ書き込み保護の設定/解除
0x300114	CMU_CLKCTL0	Clock Control Register 0	周辺バスモジュールへのクロック供給制御
0x300115	CMU_CLKCTL1	Clock Control Register 1	
0x300116	CMU_CLKCTL2	Clock Control Register 2	
0x300117	CMU_CLKCTL3	Clock Control Register 3	
0x300118	CMU_CLKCTL4	Clock Control Register 4	

以下、CMUモジュールのレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- CMU制御レジスタ (0x300100～0x30010d番地、0x300114～0x300118番地) には書き込み保護が設定されています。これらのCMU制御レジスタを書き換えるには、CMUP[7:0]/CMU_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、CMU制御レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMUP[7:0]を0x96以外に設定してください。

Clock Source Select Register (CMU_OSCSEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (CMU_OSCSEL)	0x300100 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CLKSEL [1:0]	System clock source select	CLKSEL[1:0] Clock source	0x0	R/W	Write-protected
					0x3 Not allowed			
					0x2 PLL			
					0x1 OSC1			
					0x0 OSC3			

D[7:2] Reserved

D[1:0] CLKSEL[1:0]: System Clock Source Select Bits

システムクロックソースを選択します。

表6.10.2 システムクロックソースの選択

CLKSEL[1:0]	クロックソース
0x3	Reserved
0x2	PLL
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

注: 停止しているクロックソースをシステムクロックに設定しないでください。CMUはシステムクロックの誤選択等に対する保護機構を搭載していませんので、システムが停止してしまいます。

Oscillation Control Register (CMU_OSCCTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Oscillation Control Register (CMU_OSCCTL)	0x300101 (8 bits)	D7–4	OSC3WT[3:0]	OSC3 wait cycle select	OSC3WT[3:0]		Wait cycle	0xf	R/W	Write-protected	
					0xf	128 cycles					
					0xe	256 cycles					
					0xd	512 cycles					
					0xc	1,024 cycles					
					0xb	2,048 cycles					
					0xa	4,096 cycles					
					0x9	8,192 cycles					
					0x8	16,384 cycles					
					0x7	32,768 cycles					
					0x6	65,536 cycles					
					0x5	131,072 cycles					
					0x4	262,144 cycles					
					0x3	524,288 cycles					
					0x2	1,048,576 cycles					
					0x1	2,097,152 cycles					
					0x0	4,194,304 cycles					
		D3–2	–	reserved	–		–	–	0 when being read.		
		D1	OSC1EN	OSC1 enable	1	Enable	0	Disable	1	R/W	Write-protected
		D0	OSC3EN	OSC3 enable	1	Enable	0	Disable	1	R/W	

D[7:4] OSC3WT[3:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。イニシャルリセット時やSLEEPからの起床時など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3またはPLLクロックはシステムに供給されません。

表6.10.3 OSC3発振安定待ち時間の設定

OSC3WT[3:0]	発振安定待ち時間
0xf	128サイクル
0xe	256サイクル
0xd	512サイクル
0xc	1,024サイクル
0xb	2,048サイクル
0xa	4,096サイクル
0x9	8,192サイクル
0x8	16,384サイクル
0x7	32,768サイクル
0x6	65,536サイクル
0x5	131,072サイクル
0x4	262,144サイクル
0x3	524,288サイクル
0x2	1,048,576サイクル
0x1	2,097,152サイクル
0x0	4,194,304サイクル

(デフォルト: 0xf)

イニシャルリセット時は128サイクル(OSC3クロック)に設定されます。

注: • OSC3発振安定待ち機能はOSC3発振回路をソフトウェアでOnした場合は使用できません。ソフトウェアウェイトルーチンで対応してください。

- 発振の安定度は振動子などの外付け部品によって変わりますので、OSC3発振安定待ち時間を短くする場合は、十分に注意してください。OSC3あるいはPLLをシステムクロックソースとしている場合、SLEEPモードからの起床時のOSC3発振安定待ち時間は以下のように設定してください。

$$\text{OSC3発振安定待ち時間[サイクル]} \geq \text{OSC3発振開始時間[秒]} (\text{Max.}) \times \text{f}_{\text{SYSCLK}} [\text{Hz}]$$

f_{SYSCLK}: OSC3またはPLLをクロックソースとするSYSCLK周波数

例: OSC3発振開始時間 (Max.) = 25ms、f_{SYSCLK} = 48MHzの場合

$$\text{OSC3発振安定待ち時間} \geq 1,200,000 [\text{サイクル}]$$

OSC3WT[3:0]を0x1 (OSC3発振安定待ち時間 = 2,097,152サイクル) に設定します。

D[3:2] **Reserved**

D1 OSC1EN: OSC1 Enable Bit

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: OSC3またはPLLクロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

LCDC Clock Division Ratio Select Register (CMU_LCLKDIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC Clock Division Ratio Select Register (CMU_LCLKDIV)	0x300103 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4-0	LCLKDIV[4:0]	LCDC clock division ratio select	LCLKDIV[4:0] Division ratio	0x7	R/W	Clock source = OSC3 Write-protected
					0x1f 1/32			
					0x1e 1/31			
					0x1d 1/30			
					0x1c 1/29			
					0x1b 1/28			
					0x1a 1/27			
					0x19 1/26			
					0x18 1/25			
					0x17 1/24			
					0x16 1/23			
					0x15 1/22			
					0x14 1/21			
					0x13 1/20			
					0x12 1/19			
					0x11 1/18			
					0x10 1/17			
					0xf 1/16			
					0xe 1/15			
					0xd 1/14			
					0xc 1/13			
					0xb 1/12			
					0xa 1/11			
					0x9 1/10			
					0x8 1/9			
					0x7 1/8			
					0x6 1/7			
					0x5 1/6			
					0x4 1/5			
					0x3 1/4			
					0x2 1/3			
					0x1 1/2			
					0x0 1/1			

D[7:5] **Reserved**

D[4:0] LCLKDIV[4:0]: LCDC Clock Division Ratio Select Bits

LCDC用クロック (LCDC_CLK) を32種類のOSC3分周クロックから選択します。フレームレートに合わせて選択してください。

$$\text{フレームレート} = \frac{f_{\text{LCDC\_CLK}}}{\text{HT} \times \text{VT}} [\text{Hz}]$$

$f_{\text{LCDC\_CLK}}$: LCDC_CLK周波数

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間) [ピクセル]

VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間) [ライン]

表6.10.4 LCDCクロック (OSC3分周比) の選択

LCLKDIV[4:0]	分周比 (OSC3/n)	LCLKDIV[4:0]	分周比 (OSC3/n)
0x1f	1/32	0xf	1/16
0x1e	1/31	0xe	1/15
0x1d	1/30	0xd	1/14
0x1c	1/29	0xc	1/13
0x1b	1/28	0xb	1/12
0x1a	1/27	0xa	1/11
0x19	1/26	0x9	1/10
0x18	1/25	0x8	1/9
0x17	1/24	0x7	1/8
0x16	1/23	0x6	1/7
0x15	1/22	0x5	1/6
0x14	1/21	0x4	1/5
0x13	1/20	0x3	1/4
0x12	1/19	0x2	1/3
0x11	1/18	0x1	1/2
0x10	1/17	0x0	1/1

(デフォルト: 0x7)

System Clock Division Ratio Select Register (CMU_SYCLKDIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System Clock Division Ratio Select Register (CMU_SYCLKDIV)	0x300105 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	SYCLKDIV[2:0]	System clock division ratio select	SYCLKDIV[2:0]	Division ratio	0x0	R/W
					0x7-0x6	1/1		
					0x5	1/32		
					0x4	1/16		
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		
								Clock source = OSC (OSC3, PLL, or OSC1) Write-protected

D[7:3] Reserved**D[2:0] SYCLKDIV[2:0]: System Clock Division Ratio Select Bits**

システムクロック周波数を設定する分周比を選択します。C33 PEコアと周辺モジュールをできるだけ低速なクロックで動作させることにより、消費電流を低減することができます。

表6.10.5 システムクロック分周比の選択

SYCLKDIV[2:0]	分周比 (OSC/n)
0x7~0x6	1/1
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

CMU_CLK Select Register (CMU_CMUCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CMU_CLK Select Register (CMU_CMUCLK)	0x300106 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.
		D4–0	CMU_	CMU_CLK select	CMU_CLKSEL[4:0]	CMU_CLK	0x0	R/W	OSC: system clock (OSC3, PLL, OSC1) Write-protected
			CLKSEL[4:0]						
					0xf–0xb	reserved			
					0xa	OSC/32			
					0x9	OSC/16			
					0x8	OSC/8			
					0x7	OSC/4			
					0x6	OSC/2			
					0x5	OSC/1			
					0x4	LCDC_CLK			
					0x3	BCLK			
					0x2	PLL			
					0x1	OSC1			
			0x0	OSC3					

D[7:5] Reserved

D[4:0] CMU_CLKSEL[4:0]: CMU_CLK Select Bits

CMU_CLK端子から外部デバイスに出力する内部生成クロックを選択します。

表6.10.6 CMU_CLKの選択

CMU_CLKSEL[4:0]	CMU_CLK
0xf~0xb	Reserved
0xa	OSC/32
0x9	OSC/16
0x8	OSC/8
0x7	OSC/4
0x6	OSC/2
0x5	OSC/1
0x4	LCDC_CLK
0x3	BCLK
0x2	PLL
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。

注: 表6.10.6に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[4:0]に設定しないでください。

PLL Input Clock Division Ratio Select Register (CMU_PLLINDIV)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PLL Input Clock Division Ratio Select Register (CMU_ PLLINDIV)	0x300107 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–0	PLLINDIV [3:0]	PLL input clock division ratio select	PLLINDIV[3:0]	Division ratio	0x7	R/W	Clock source = OSC3 Write-protected
					0xf–0xa	1/8			
					0x9	1/10			
					0x8	1/9			
					0x7	1/8			
					0x6	1/7			
					0x5	1/6			
					0x4	1/5			
					0x3	1/4			
					0x2	1/3			
					0x1	1/2			
					0x0	1/1			

D[7:4] Reserved

D[3:0] PLLINDIV[3:0]: PLL Input Clock Division Ratio Select Bits

PLL入力クロック (OSC3分周比) 選択します。

表6.10.7 PLL入力クロック (OSC3分周比) の選択

PLLINDIV[3:0]	分周比 (OSC3/n)
0xf~0xa	1/8
0x9	1/10
0x8	1/9
0x7	1/8
0x6	1/7
0x5	1/6
0x4	1/5
0x3	1/4
0x2	1/3
0x1	1/2
0x0	1/1

(デフォルト: 0x7)

注: • PLL入力クロックは、必ずPLLがOff (PLLPOWER/CMU_PLLCTL0レジスタ = 0)、システムのクロックソースがPLL以外 (CLKSEL[1:0]/CMU_OSCSELレジスタが0x2以外) の状態で設定してください。システムがPLLクロックで動作中にPLL入力クロックを変更すると誤動作します。

- 入力クロック周波数の範囲については、“電気的特性”を参照してください。

PLL Control Register 0 (CMU_PLLCTL0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
PLL Control Register 0 (CMU_PLLCTL0)	0x300108 (8 bits)	D7–4	PLLN[3:0]	PLL multiplication rate setup	PLLN[3:0]	Multiplication rate	0x0	R/W	Write-protected	
					0xf	x16				
					0xe	x15				
					0xd	x14				
					0xc	x13				
					0xb	x12				
					0xa	x11				
					0x9	x10				
					0x8	x9				
					0x7	x8				
					0x6	x7				
					0x5	x6				
					0x4	x5				
					0x3	x4				
					0x2	x3				
					0x1	x2				
					0x0	x1				
		D3–2	PLLV[1:0]	PLL V-divider setup	PLLV[1:0]	W	0x1	R/W		
					0x3	8				
					0x2	4				
					0x1	2				
					0x0	Not allowed				
		D1	–	reserved	–			–	–	0 when being read.
		D0	PLLPOWER	PLL enable	1	Enable	0	Disable	0	R/W

注: 本レジスタのD[7:4]を変更する場合は、その前にPLLをOff (PLLPOWER = 0) に設定してください。

D[7:4] PLLN[3:0]: PLL Multiplication Rate Setup Bits

PLLの通倍率を設定します。

表6.10.8 PLLの通倍率

PLLN[3:0]	通倍率
0xf	x16
0xe	x15
0xd	x14
0xc	x13
0xb	x12
0xa	x11
0x9	x10
0x8	x9
0x7	x8
0x6	x7
0x5	x6
0x4	x5
0x3	x4
0x2	x3
0x1	x2
0x0	x1

(デフォルト: 0x0)

PLL出力クロック周波数 = PLL入力クロック周波数 × 通倍率

注: 通倍率は、PLL出力クロック周波数が上限動作周波数を超えないように設定してください。
設定可能な通倍率と出力クロック周波数の範囲については、“電気的特性”を参照してください。

D[3:2] PLLV[1:0]: PLL V-Divider Setup Bits

<出力クロック周波数 × W>によって求められる周波数 f_{vco} が100MHzから400MHzの間に収まるようにWの値を設定します。

表6.10.9 W値の設定

PLLV[1:0]	W
0x3	8
0x2	4
0x1	2
0x0	禁止

(デフォルト: 0x1)

D1 Reserved**D0 PLLPOWR: PLL Enable Bit**

PLLをOn/Offします。

1 (R/W): On

0 (R/W): Off (デフォルト)

PLLPOWRを1に設定後、PLLの出力クロックが安定するまでに最大200 μ sの時間が必要です。
システムのクロックソースをPLLに切り換える前にこの待ち時間をプログラムで作成してください。

PLLを使用しない場合は消費電流低減のため、Off (パワーダウンモード) に設定してください。

PLL Control Register 1 (CMU_PLLCTL1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PLL Control Register 1 (CMU_PLLCTL1)	0x300109 (8 bits)	D7-4	PLLVC[3:0]	PLL VCO Kv setup	PLLVC[3:0]	f _{vco} [MHz]	0x1	R/W	Write-protected
					0x8	360 < f _{vco} ≤ 400			
					0x7	320 < f _{vco} ≤ 360			
					0x6	280 < f _{vco} ≤ 320			
					0x5	240 < f _{vco} ≤ 280			
					0x4	200 < f _{vco} ≤ 240			
					0x3	160 < f _{vco} ≤ 200			
					0x2	120 < f _{vco} ≤ 160			
					0x1	100 ≤ f _{vco} ≤ 120			
					Other	Not allowed			
		D3-0	PLLRS[3:0]	PLL LPF resistance setup	PLLRS[3:0]	f _{REFCK} [MHz]	0x8	R/W	
					0xa	5 ≤ f _{REFCK} < 20			
					0x8	20 ≤ f _{REFCK} ≤ 150			
					Other	Not allowed			

6 クロックマネージメントユニット (CMU)

注: 本レジスタを変更する場合は、その前にPLLをOff(PLLPOWER/CMU_PLLCTL0レジスタ = 0)に設定してください。

D[7:4] PLLVC[3:0]: PLL VCO Kv Setup Bits

<出力クロック周波数 × W>によって求められる周波数 f_{vco} の範囲に応じて、VCO Kv回路定数(VC値)を設定します。

表6.10.10 VC値の設定

PLLVC[3:0]	f_{vco} [MHz]
0x8	$360 < f_{vco} \leq 400$
0x7	$320 < f_{vco} \leq 360$
0x6	$280 < f_{vco} \leq 320$
0x5	$240 < f_{vco} \leq 280$
0x4	$200 < f_{vco} \leq 240$
0x3	$160 < f_{vco} \leq 200$
0x2	$120 < f_{vco} \leq 160$
0x1	$100 \leq f_{vco} \leq 120$
その他	禁止

(デフォルト: 0x1)

D[3:0] PLLRS[3:0]: PLL LPF Resistance Setup Bits

入力クロック(OSC3)周波数に応じて、PLLのLPF抵抗値(RS値)を設定します。

表6.10.11 RS値の設定

PLLR[3:0]	f_{REFCK} [MHz]
0xa	$5 \leq f_{REFCK} < 20$
0x8	$20 \leq f_{REFCK} \leq 150$
その他	禁止

(デフォルト: 0x8)

PLL Control Register 2 (CMU_PLLCTL2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PLL Control Register 2 (CMU_PLLCTL2)	0x30010a (8 bits)	D7-6	PLLCS[1:0]	PLL LPF capacitance	0x0	0x0	R	
		D5	PLLBYP	PLL bypass mode	0	0	R	
		D4-0	PLLCP[4:0]	PLL charge pump current	0x10	0x10	R	

D[7:6] PLLCS[1:0]: PLL LPF Capacitance Bits

LPF容量値(CS値)を示します。(デフォルト: 0x0)

D5 PLLBYP: PLL Bypass Mode Bit

PLLバイパス時のモードを示します。(デフォルト: 0)

D[4:0] PLLCP[4:0]: PLL Charge Pump Current Bits

チャージポンプ電流値(CP値)を示します。(デフォルト: 0x10)

SSCG Macro Control Register 0 (CMU_SSCG0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SSCG Macro Control Register 0 (CMU_SSCG0)	0x30010c (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	SSMCON	SSCG enable	1 Enable 0 Disable	0	R/W	Write-protected

D[7:1] Reserved

D0 SSMCON: SSCG Enable Bit

SSCGをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定することによりSSCGが動作を開始します。0に設定するとSSCGは停止し、クロックはSSCGをバイパスします。

SSCG Macro Control Register 1 (CMU_SSCG1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SSCG Macro Control Register 1 (CMU_SSCG1)	0x30010d (8 bits)	D7–4	SSMCITM [3:0]	SSCG interval timer (ITM) setting	0x0 to 0xf	0xf	R/W	Write-protected
		D3–0	SSMCIDT [3:0]	SSCG maximum frequency change width setting	0x0 to 0xf	0x0	R/W	

注: PLLがOffの場合、SSCGにクロックが供給されないことにより本レジスタの初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。

D[7:4] SSMCITM[3:0]: SSCG Interval Timer Setting Bits

SSCGのSS変調における周波数変化の周期を設定します。(“6.5 SSCG”参照)
0x1の設定で使用してください。(デフォルト: 0xf)

D[3:0] SSMCIDT[3:0]: SSCG Maximum Frequency Change Width Setting Bits

SSCGのSS変調における最大周波数変化幅を設定します。(“6.5 SSCG”参照)

表6.10.12 最大周波数変化幅の設定

PLL出力クロック周波数 f [MHz]	SSMCIDT[3:0]
$f \leq 19.8$	0xf
$19.8 < f \leq 21.2$	0xe
$21.2 < f \leq 22.5$	0xd
$22.5 < f \leq 24.2$	0xc
$24.2 < f \leq 25.9$	0xb
$25.9 < f \leq 28.4$	0xa
$28.4 < f \leq 30.8$	0x9
$30.8 < f \leq 34.2$	0x8
$34.2 < f \leq 37.8$	0x7
$37.8 < f \leq 43.1$	0x6
$43.1 < f \leq 48.9$	0x5
$48.9 < f \leq 58.5$	0x4
$58.5 < f \leq 60.0$	0x3
—	0x2
—	0x1
—	0x0

(デフォルト: 0x0)

注: SSMCIDT[3:0]は必ず表6.10.12のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。

CMU Write Protect Register (CMU_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU Write Protect Register (CMU_PROTECT)	0x300110 (8 bits)	D7–0	CMUP[7:0]	CMU register write-protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x300100–0x30010d, 0x300114–0x300118). Writing another value set the write protection.	0x0	R/W	

D[7:0] CMUP[7:0]: CMU Register Write-Protect Flag Bits

CMU制御レジスタ (0x300100～0x30010d、0x300114～0x300118)の書き込み保護を設定/解除します。

0x96 (R/W): 書き込み保護を解除

0x96以外 (R/W): 書き込み保護を設定 (デフォルト: 0x0)

CMU制御レジスタを変更する前に、CMUP[7:0]に0x96を書き込んで書き込み保護を解除してください。CMUP[7:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されてもCMU制御レジスタの内容は変更されません。一度CMUP[7:0]に0x96を書き込むと、それ以外の値に設定するまではCMU制御レジスタの書き換えが何度でも行えます。CMU制御レジスタの設定後は、誤書き込み等を防止するため、CMUP[7:0]を0x96以外に設定してください。

Clock Control Register 0 (CMU_CLKCTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Control Register 0 (CMU_CLKCTL0)	0x300114 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	T16A_CKE	T16A6 register clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D2	TCLK_CKE	T16A6 counter clock enable	1 Enable 0 Disable	1	R/W	
		D1-0	TCLK_SEL [1:0]	T16A6 counter clock source select	TCLK_SEL[1:0] Clock source 0x3-0x2 OSC1 0x1 OSC3 0x0 SYSCLK	0x0	R/W	

本レジスタは周辺モジュールへのクロック供給を制御します。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

D[7:4] Reserved

D3 **T16A_CKE: T16A6 Register Clock Enable Bit**

T16A6モジュールへのT16A6レジスタクロック(PCLK)の供給と、PSCモジュール(PSC Ch.0)へのプリスケラCh.0(PSC_CTL0)レジスタクロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D2 **TCLK_CKE: T16A6 Counter Clock Enable Bit**

T16A6モジュールへのT16A6カウンタクロック(TCLK)の供給と、PSCモジュール(PSC Ch.0)へのプリスケラCh.0分周回路クロック(TCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D[1:0] **TCLK_SEL[1:0]: T16A6 Counter Clock Source Select Bits**

T16A6カウンタクロック(TCLK)とプリスケラCh.0分周回路クロック(TCLK)を生成するためのソースクロックを選択します。

表6.10.13 TCLK用ソースクロックの選択

TCLK_SEL[1:0]	ソースクロック
0x3~0x2	OSC1
0x1	OSC3
0x0	SYSCLK

(デフォルト: 0x0)

Clock Control Register 1 (CMU_CLKCTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Control Register 1 (CMU_CLKCTL1)	0x300115 (8 bits)	D7	NANDIF_CKE	CARD clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D6	REMC_CKE	REMC clock enable	1 Enable 0 Disable	1	R/W	
		D5	ADC_CKE	ADC10 clock enable	1 Enable 0 Disable	1	R/W	
		D4	PORT_CKE	GPIO/PMUX clock enable	1 Enable 0 Disable	1	R/W	
		D3	SDMMC_CKE	SD_MMC clock enable	1 Enable 0 Disable	1	R/W	
		D2	I2S_CKE	I2S clock enable	1 Enable 0 Disable	1	R/W	
		D1	ITC_CKE	ITC clock enable	1 Enable 0 Disable	1	R/W	
		D0	DMAC_CKE	DMAC clock enable	1 Enable 0 Disable	1	R/W	

本レジスタは周辺モジュールへのクロック供給を制御します。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

D7 **NANDIF_CKE: CARD Clock Enable Bit**

CARDモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: CARDモジュールのレジスタおよびEDC機能を制御するには、NANDIF_CLKをOn(NANDIF_CKE = 1)にしておく必要があります。EDC機能を使用しない場合(EN/CARD_EDC_CTRLレジスタ = 0)、あるいは、カードエリアをRGN[2:0]/CARD_EDC_RGNレジスタで選択後はNANDIF_CLKをOff(NANDIF_CKE = 0)にできます。#NAND_RDと#NAND_WR信号は、NANDIF_CLKが供給されなくても出力可能です。

D6 REMC_CKE: REMC Clock Enable Bit

REMCモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D5 ADC_CKE: ADC10 Clock Enable Bit

ADC10モジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D4 PORT_CKE: GPIO/PMUX Clock Enable Bit

GPIO/PMUXモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D3 SDMMC_CKE: SD_MMC Clock Enable Bit

SD_MMCモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D2 I2S_CKE: I2S Clock Enable Bit

I2Sモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D1 ITC_CKE: ITC Clock Enable Bit

ITCモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D0 DMAC_CKE: DMAC Clock Enable Bit

DMACモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

Clock Control Register 2 (CMU_CLKCTL2)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Clock Control Register 2 (CMU_CLKCTL2)	0x300116 (8 bits)	D7	HIF_CKE	HIF clock enable	1	Enable	0	Disable	0	R/W	Write-protected
		D6	LCDC_SAPB_CKE	LCDC SAPB I/F clock enable	1	Enable	0	Disable	0	R/W	
		D5	LCDC_AHB_CKE	LCDC AHB I/F clock enable	1	Enable	0	Disable	0	R/W	
		D4	LCDC_CKE	LCDC clock enable	1	Enable	0	Disable	0	R/W	
		D3	USBREG_CKE	USB register clock enable	1	Enable	0	Disable	0	R/W	
		D2	USB_CKE	USB clock enable	1	Enable	0	Disable	0	R/W	
		D1	BCU_CKE	SRAMC/SDRAMC clock enable	1	Enable	0	Disable	1	R/W	
		D0	BCLK_CKE	BCLK clock enable (in HALT mode)	1	Enable	0	Disable	1	R/W	

本レジスタは周辺モジュールへのクロック供給を制御します。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

D7 HIF_CKE: HIF Clock Enable Bit

HIFモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

6 クロックマネージメントユニット(CMU)

注: HIFレジスタ(ホスト側とS1C33L27側の両方)をリード/ライトする前に、HIF_CKEに1を書き込み、HIF_CLKをOnしておく必要があります。

D6 LCDC_SAPB_CKE: LCDC SAPB I/F Clock Enable Bit

LCDCモジュールへのLCDCレジスタクロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

D5 LCDC_AHB_CKE: LCDC AHB I/F Clock Enable Bit

LCDCモジュールへのAHBインタフェースクロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

D4 LCDC_CKE: LCDC Clock Enable Bit

LCDCモジュールへの動作クロック(LCDC_CLK)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

D3 USBREG_CKE: USB Register Clock Enable Bit

USBモジュールへのUSBレジスタクロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

D2 USB_CKE: USB Clock Enable Bit

USBモジュールへの動作クロック(OSC3)の供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

D1 BCU_CKE: SRAMC/SDRAMC Clock Enable Bit

SRAMC/SDRAMCモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D0 BCLK_CKE: BCLK Clock Enable (in HALT mode) Bit

HALTモード時のBCLKクロックの供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

BCLKは以下のモジュールの動作クロックです。

- IVRAM(エリア3)
- DSTRAM(エリア3)
- SRAMコントローラ(SRAMC)のバスインタフェースとレジスタ
- SDRAMコントローラ(SDRAMC)のバスインタフェースとレジスタ
- クロックマネージメントユニット(CMU)のレジスタ
- SAPBバス

BCLKはバスとメモリの動作に必要なため、通常モード時は常に上記のモジュールへ供給されます。ただし、BCLK_CKEを0に設定することにより、HALTモード時にBCLKを停止して消費電流を低減可能です。

Clock Control Register 3 (CMU_CLKCTL3)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Clock Control Register 3 (CMU_CLKCTL3)	0x300117 (8 bits)	D7	PSC1/2_CKE	PSC1/2 clock enable	1	Enable	0	Disable	1	R/W	Write-protected
		D6	T8F_CKE	T8F clock enable	1	Enable	0	Disable	1	R/W	
		D5	UART_CKE	UART clock enable	1	Enable	0	Disable	1	R/W	
		D4	T16P_CKE	T16P clock enable	1	Enable	0	Disable	1	R/W	
		D3-2	—	reserved	—			—	—	0 when being read.	
		D1	USI_CKE	USI clock enable	1	Enable	0	Disable	1	R/W	Write-protected
		D0	USIL_CKE	USIL clock enable	1	Enable	0	Disable	1	R/W	

本レジスタは周辺モジュールへのクロック供給を制御します。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

D7 PSC1/2_CKE: PSC1/2 Clock Enable Bit

PSCモジュールのPSC Ch.1とCh.2への動作クロック (PCLK) の供給を許可/禁止します。ここで制御するクロックはPSC Ch.1とCh.2の分周回路と制御レジスタ (PSC_CTL12) に供給されます。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D6 T8F_CKE: T8F Clock Enable Bit

T8Fモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D5 UART_CKE: UART Clock Enable Bit

UARTモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D4 T16P_CKE: T16P Clock Enable Bit

T16Pモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D[3:2] Reserved

D1 USI_CKE: USI Clock Enable Bit

USIモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D0 USIL_CKE: USIL Clock Enable Bit

USILモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

Clock Control Register 4 (CMU_CLKCTL4)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Clock Control Register 4 (CMU_CLKCTL4)	0x300118 (8 bits)	D7-5	—	reserved	—			—	—	0 when being read.
		D4	MISC_CKE	MISC clock enable	1	Enable	0	Disable	1	R/W
		D3	IVRAM_ARB_CKE	IVRAM arbiter clock enable	1	Enable	0	Disable	1	R/W
		D2	A3RAM_CKE	Area 3 RAM clock enable	1	Enable	0	Disable	1	R/W
		D1	RTC_SAPB_CKE	RTC SAPB I/F clock enable	1	Enable	0	Disable	1	R/W
		D0	WDT_CKE	WDT clock enable	1	Enable	0	Disable	1	R/W

本レジスタは周辺モジュールへのクロック供給を制御します。周辺モジュールの動作が不要な場合は消費電流を抑えるため、クロック供給を停止してください。

D[7:5] Reserved

D4 MISC_CKE: MISC Clock Enable Bit

MISCモジュールへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

D3 IVRAM_ARB_CKE: IVRAM Arbiter Clock Enable Bit

IVRAMアービタへの動作クロック (PCLK) の供給を許可/禁止します。

1 (R/W): 許可 (On) (デフォルト)

0 (R/W): 禁止 (Off)

6 クロックマネージメントユニット (CMU)

D2 **A3RAM_CKE: Area 3 RAM Clock Enable Bit**

DSTRAMへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D1 **RTC_SAPB_CKE: RTC SAPB I/F Clock Enable Bit**

RTCモジュールへのRTCレジスタクロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

D0 **WDT_CKE: WDT Clock Enable Bit**

WDTモジュールへの動作クロック(PCLK)の供給を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

7 プリスケアラ(PSC)

7.1 PSCモジュールの概要

S1C33L27はタイマやシリアルインタフェースの動作クロックを生成するプリスケアラ(PSC)モジュールを内蔵しています。PSCモジュールは3つの分周回路(PSC Ch.0~Ch.2)で構成されます。それぞれの分周回路はクロックマネージメントユニット(CMU)から供給されるTCLKまたはPCLKクロックを1/1~1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。

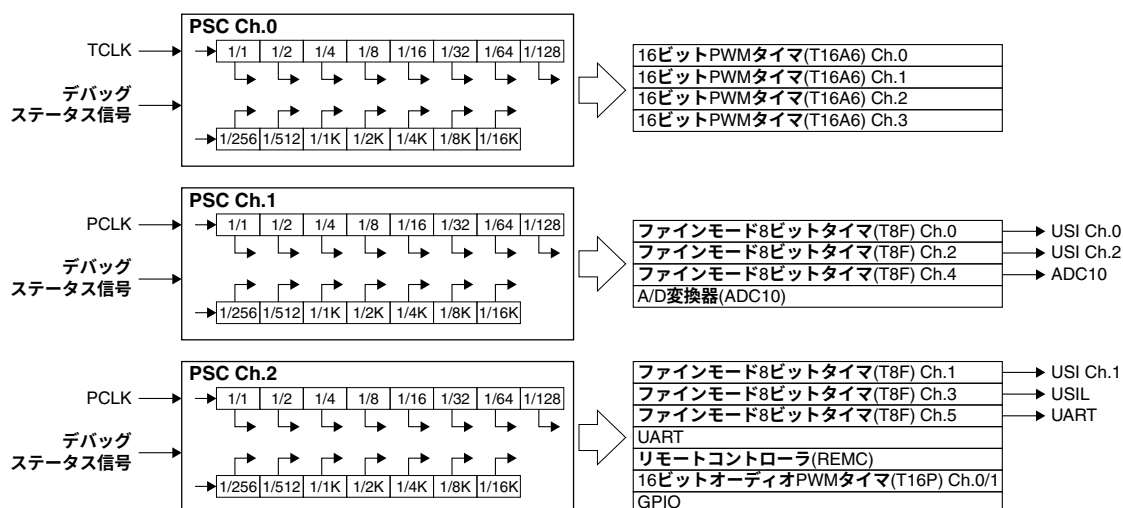


図7.1.1 プリスケアラの構成

PSC Ch.0はPRUN/PSC_CTL0レジスタで、PSC Ch.1とPSC Ch.2はPRUN/PSC_CTL12レジスタで制御します。プリスケアラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケアラは停止します。タイマやインタフェースモジュールが停止中は、プリスケアラを停止させることで消費電流を低減できます。イニシャルリセット時、プリスケアラは停止します。

注: PSC Ch.0とPSC Ch.1/2を使用するには、CMUからそれぞれにTCLKとPCLKが供給されている必要があります。

プリスケアラCh.0とCh.1/2にはそれぞれもう一つの制御ビット、PRUND/PSC_CTL0レジスタとPRUND/PSC_CTL12レジスタが用意されています。このビットはデバッグモード時のプリスケアラの動作を指定します。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。PRUNDを0に設定すると、C33 PEコアがデバッグモードになった時点でプリスケアラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

7.2 制御レジスタ詳細

表7.2.1 PSCレジスタ

アドレス	レジスタ名	機能
0x300e00	PSC_CTL0	PSC Ch.0 Control Register
0x300e01	PSC_CTL12	PSC Ch.1/2 Control Register

以下、PSCモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

PSC Ch.0 Control Register (PSC_CTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSC0 Control Register (PSC_CTL0)	0x300e00 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run 0 Stop	0	R/W	
		D0	PRUN	Prescaler run/stop control	1 Run 0 Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop in Debug Mode Bit

デバッグモード時のプリスケアラの動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、PSC Ch.0はデバッグモード時も動作します。PRUNDを0に設定すると、C33 PEコアがデバッグモードになった時点でPSC Ch.0は停止します。デバッグ中に16ビットPWMタイマ(T16A6)モジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケアラの動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

PSC Ch.0を動作させるにはPRUNに1を書き込みます。0を書き込むとPSC Ch.0は停止します。16ビットPWMタイマ(T16A6)モジュールが停止中は、PSC Ch.0を停止させることで消費電流を低減できます。

PSC Ch.1/2 Control Register (PSC_CTL12)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSC1/2 Control Register (PSC_CTL12)	0x300e01 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run 0 Stop	0	R/W	
		D0	PRUN	Prescaler run/stop control	1 Run 0 Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop in Debug Mode Bit

デバッグモード時のプリスケアラの動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、PSC Ch.1とPSC Ch.2はデバッグモード時も動作します。PRUNDを0に設定すると、C33 PEコアがデバッグモードになった時点でPSC Ch.1とPSC Ch.2は停止します。デバッグ中に下記のモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケアラの動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

PSC Ch.1とPSC Ch.2を動作させるにはPRUNに1を書き込みます。0を書き込むとPSC Ch.1とPSC Ch.2は停止します。下記のモジュールが停止中は、PSC Ch.1とPSC Ch.2を停止させることで消費電流を低減できます。

PSC Ch.1の出力クロックを使用するモジュール

- ・ ファインモード8ビットタイマ(T8F)Ch.0(USI Ch.0のクロックソース)
- ・ ファインモード8ビットタイマ(T8F)Ch.2(USI Ch.2のクロックソース)
- ・ ファインモード8ビットタイマ(T8F)Ch.4(A/D変換器のトリガソース)
- ・ A/D変換器(ADC10)

PSC Ch.2の出力クロックを使用するモジュール

- ファインモード8ビットタイマ (T8F) Ch.1 (USI Ch.1のクロックソース)
- ファインモード8ビットタイマ (T8F) Ch.3 (USILのクロックソース)
- ファインモード8ビットタイマ (T8F) Ch.5 (UARTのクロックソース)
- リモートコントローラ (REMC)
- 16ビットオーディオPWMタイマ (T16P) Ch.0と1
- 入出力ポート (GPIO)

8 リアルタイムクロック(RTC)

8.1 RTCモジュールの概要

S1C33L27は万年カレンダー付きのリアルタイムクロック(RTC)と、その動作クロックを生成するOSC1発振回路を内蔵しています。

RTCとOSC1発振回路はSLEEPモードでも動作します。また、RTCはCPUに対して周期的に割り込みを発生することができます。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタおよびカレンダー(日、曜日、月、年)カウンタ内蔵
- カウンタはすべてBCDデータで読み出し/書き込み可能
- 読み出し時の桁上げを防ぐリードバッファを内蔵
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- ソフトウェアによる30秒補正機能
- 計時割り込みが可能
- 割り込み周期を1/512秒、1/256秒、1/128秒、1/64秒、1秒、1分、1時間から選択可能(レベル割り込み)
- 独立電源によりシステムパワーオフ時も動作
- 32.768kHz(Typ.)の動作クロックを生成するOSC1発振回路(水晶発振または外部クロック入力)を内蔵 (“クロックマネージメントユニット(CMU)”の章を参照)
- システム電源の制御に使用可能な#STBYとWAKEUP端子

図8.1.1にRTCのブロック図を示します。

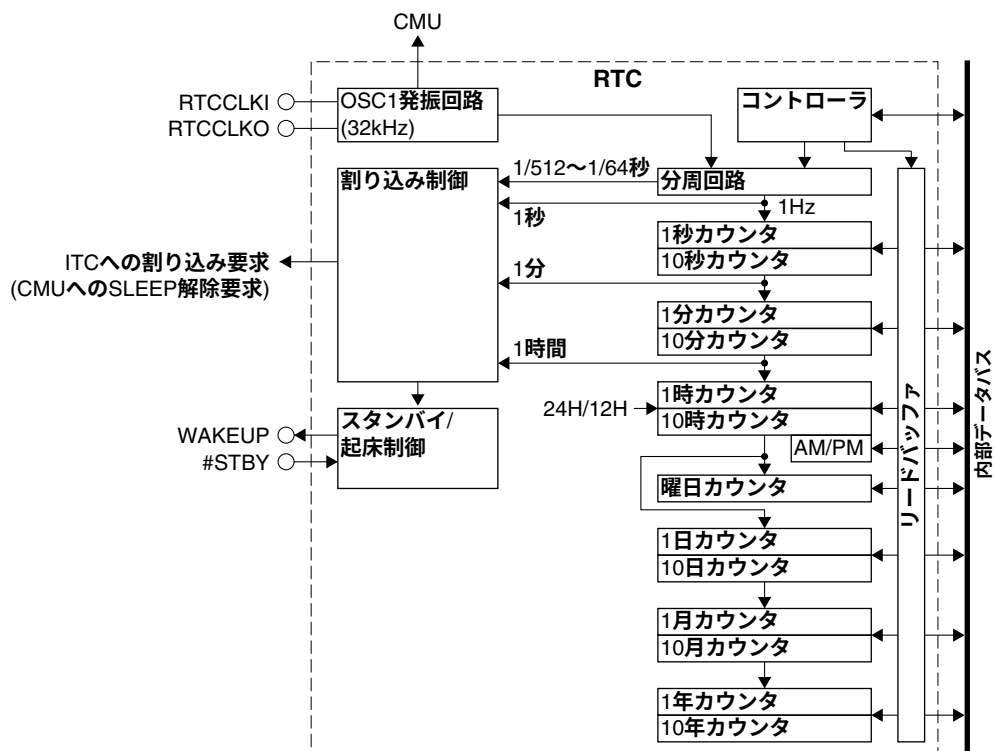


図8.1.1 RTCブロック図

8.2 RTCカウンタ

RTCは以下に示す13個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

1秒カウンタ

1秒桁の4ビットBCDカウンタで、32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。カウントデータはRTC_SL[3:0]/RTC_SECレジスタを使用して読み出し/書き込みを行います。

10秒カウンタ

10秒桁の3ビットBCDカウンタで、1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。カウントデータはRTCSH[2:0]/RTC_SECレジスタを使用して読み出し/書き込みを行います。

1分カウンタ

1分桁の4ビットBCDカウンタで、10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。カウントデータはRTCMIL[3:0]/RTC_MINレジスタを使用して読み出し/書き込みを行います。

10分カウンタ

10分桁の3ビットBCDカウンタで、1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。カウントデータはRTCMIH[2:0]/RTC_MINレジスタを使用して読み出し/書き込みを行います。

1時カウンタ

1時桁の4ビットBCDカウンタで、10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。カウントデータはRTCHL[3:0]/RTC_HOURレジスタを使用して読み出し/書き込みを行います。

10時カウンタ

10時桁の2ビットBCDカウンタで、1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。カウントデータはRTCHH[1:0]/RTC_HOURレジスタを使用して読み出し/書き込みを行います。

12時間制を選択した場合、午前/午後を示すRTCAP/RTC_HOURレジスタが有効になり、午前を0、午後を1で示します。24時間制の場合、RTCAPは0に固定されます。

1日カウンタ

1日桁の4ビットBCDカウンタで、時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。カウントデータはRTCDL[3:0]/RTC_DAYレジスタを使用して読み出し/書き込みを行います。

10日カウンタ

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。カウントデータはRTCDH[1:0]/RTC_DAYレジスタを使用して読み出し/書き込みを行います。

1月カウンタ

1月桁の4ビットBCDカウンタで、日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。カウントデータはRTCMOL[3:0]/RTC_MONTHレジスタを使用して読み出し/書き込みを行います。

10月カウンタ

10月桁のビットで、1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。カウントデータはRTC-MOH/RTC_MONTHレジスタを使用して読み出し/書き込みを行います。

1年カウンタ

1年桁の4ビットBCDカウンタで、月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。カウントデータはRTCYL[3:0]/RTC_YEARレジスタを使用して読み出し/書き込みを行います。

10年カウンタ

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。カウントデータはRTCYH[3:0]/RTC_YEARレジスタを使用して読み出し/書き込みを行います。

曜日カウンタ

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。カウントデータはRTCWK[2:0]/RTC_WEEKレジスタを使用して読み出し/書き込みを行います。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表8.2.1に示します。

表8.2.1 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定)

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。電源投入後は不定となります。“8.3.2 RTCのイニシャルシーケンス”に示す手順でカウンタを初期設定してください。

うるう年検出について

本RTCのうるう年検出は西暦専用で、2399年までは自動判別します。

0～99の中の4で割り切れる年はうるう年と判定します。1年カウンタと10年カウンタが共に0の場合は平年と判定します。

8.3 RTCの制御

8.3.1 動作クロックの制御

カウンタクロック

RTCは32.768kHz(Typ.)のOSC1クロックで動作します。OSC1クロックはOSC1発振回路から常に(HALT/SLEEPモード時も)出力されます。

レジスタクロック

RTC制御レジスタのアクセスにはRTCレジスタクロック(PCLK)を使用します。レジスタ設定時はこのクロックが必要です。レジスタの設定後はCMUを設定してクロック供給を停止させることができます。クロック供給制御の詳細は“クロックマネージメントユニット(CMU)”の章を参照してください。

RTCモジュールアクセス時のウェイトサイクル設定

システムが高速動作中でもRTCレジスタを正常にアクセスできるように、SRAMCにはRTCアクセス時にウェイトサイクルを挿入する機能があります。挿入するウェイトサイクルをRTCWT[2:0]/MISC_RTCWTレジスタによりSYSCLKクロック数で指定します。

表8.3.1.1 RTCアクセス時のウェイトサイクル数

RTCWT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル(設定不可)

(デフォルト: 0x7)

S1C33L27はRTCWT[2:0]≥1で動作可能です。

8.3.2 RTCのイニシャルシーケンス

電源投入直後はRTCレジスタの内容が不定になります。電源投入時は以下の手順でRTCによる計時を開始してください。各制御内容の詳細については、続く節で個々に説明します。

1. 電源投入
2. システムの初期化処理とOSC1発振安定待ち
OSC1発振回路は電源投入直後に発振を開始しますが、出力クロックの安定に最大で3秒の時間が必要です。
3. ソフトウェアリセット
RTCRST/RTC_CNTL0レジスタに1を書き込み、続いて0を書き込んでRTCをリセットします。
4. RTCアクセス状態の確認
“8.3.5 カウンタのホールドとビジーフラグ”を参照してください。
5. 分周回路を停止
RTCSTP/RTC_CNTL0レジスタに1を書き込み、RTCモジュール内の分周回路を停止させます。
6. RTC割り込みの設定
RTC_INTMODEレジスタを設定します。
RTCIMDは必ず1(レベル割り込み)に設定してください。
7. 日時の設定
RTC_SEC、RTC_MIN、RTC_HOUR、RTC_DAY、RTC_MONTH、RTC_YEAR、RTC_WEEKレジスタを設定します。次に、RTCHLD/RTC_CNTL1レジスタに0を書き込み、1秒、10秒、1分、10分、1時、10時、1日、10日、1月、10月、1年、10年、および曜日カウンタのホールド状態を解除します。

8. 分周回路をスタート

RTCSTP/RTC_CNTL0レジスタに0を書き込み、RTCモジュール内の分周回路を動作させます。

8.3.3 24時間制/12時間制の選択とカウンタの設定

24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H/RTC_CNTL0レジスタで選択できるようになっています。

RTC24H = 1: 24時間制

RTC24H = 0: 12時間制

この選択により、時カウンタのカウント範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24Hはカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すRTCAP/RTC_HOURレジスタが有効になります。

RTCAP = 0: 午前

RTCAP = 1: 午後

24時間制の場合、RTCAPは0に固定されます。

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

カウンタの設定

カウンタが停止中はどのカウンタについても、任意のタイミングでデータの読み出し/書き込みが可能です。ただし、以下のような設定は計時ミスの原因になりますので避けてください。

- 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
- カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。

カウンタが動作中に内容を書き換えるには、正しく書き換えるための手順があります。その詳細については、“8.3.5 カウンタのホールドとビジーフラグ”を参照してください。

8.3.4 スタート/ストップおよびソフトウェアリセット

分周回路のスタート/ストップ

RTCはRTCSTP/RTC_CNTL0レジスタを0に設定するとカウントを開始し、1に設定すると停止します。RTCSTPへの書き込みで動作を開始/停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、次節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

ソフトウェアリセット

RTCST/RTC_CNTL0レジスタは、以下の内容をリセットするソフトウェアリセットビットです。

- 分周回路(32kHz～2Hzビット)
- 割り込み要求信号
- WAKEUP信号
- 一部のレジスタビット(制御ビットと初期値については8.6節を参照してください。)

ソフトウェアリセットを実行するには、RTCRSTに1を書き込み後、再度0を書き込みます。ソフトウェアリセットによって初期化されるレジスタは、リセット状態を解除後に再設定する必要があります。分周回路の上記のビットがすべて0にクリアされます。上記の出力信号はRTCRSTが1の間インアクティブになり、RTCRSTが0に設定されると出力が許可されます。

8.3.5 カウンタのホールドとビジーフラグ

カウンタへの書き込み中にカウンタの桁上げが発生すると、カウンタ値が壊れることもあります。そこで、カウンタが桁上げ状態(ビジー)ではないことを確認してからデータの書き込みを行います。このために2つの制御ビットRTCBSY/RTC_CNTL1レジスタとRTCHLD/RTC_CNTL1レジスタが設けられています。

RTCBSYはカウンタが桁上げ中であることを示す、読み出し専用のフラグです。RTCBSYは桁上げ中に1、それ以外は0となります。RTCBSYが0であることを確認してカウンタにアクセスすることで、正しい値の設定が行えます。

なお、RTCHLDに1を書き込むと、カウンタの動作が停止します。ただし、RTCBSYが1の場合、RTCHLDへの書き込みは無効となります。

RTCBSY = 0(RTCがアクセス可能状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、現在は桁上げ中ではありません。この場合、カウンタデータの書き込みが可能です。

RTCHLDに1を書き込むと、カウンタは動作を停止します。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアによって禁止されます。これにより桁上げは発生せず、RTCBSYは0となります。分周回路の動作(1秒未満のカウント動作)は継続します。

この状態で、カウンタレジスタへの書き込みを行います。

データの書き込み後は、RTCHLDを0に戻します。

カウンタがホールド状態でのデータの書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCBSY = 1(RTCがビジー状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、現在は桁上げ中です。

この場合、RTCHLDへの1書き込みは無効となり、RTCHLDは0のままとなります。

カウンタの桁上げの期間は1秒あたり4msですので、[A]再度RTCHLDに1を書き込んでRTCBSYのチェックを繰り返すか、[B]4ms待機してから再度RTCHLDに1を書き込んでRTCBSYをチェックします。

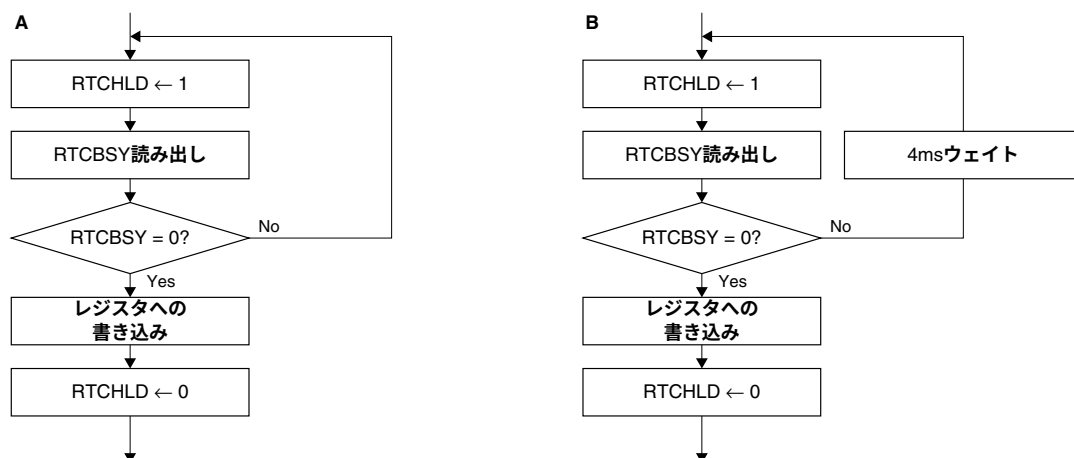


図8.3.5.1 RTCビジーの確認手順

8.3.6 30秒補正

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、秒数を0にします。秒数が0～29秒の場合は分数はそのまま秒数を0にします。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。

この機能はRTCADJ/RTC_CNTL0レジスタに1を書き込むことで実行できます。

RTCADJに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

RTCADJは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。30秒補正処理が完了したか否かについては、[A]RTCADJのチェックを繰り返すか、[B]4ms待機してからRTC-ADJをチェックしてください。

RTCADJが1の間はカウンタへのアクセスは禁止します。また、RTCADJへの0書き込み、およびRTCSTへの1書き込みも誤動作の原因になるため禁止します。

RTCBSYが1の状態ではRTCADJに1を書き込むとカウンタ値が壊れることがあります。したがって、RTC-ADJへの1の書き込みは、RTCBSYが0であることを確認してから行ってください。

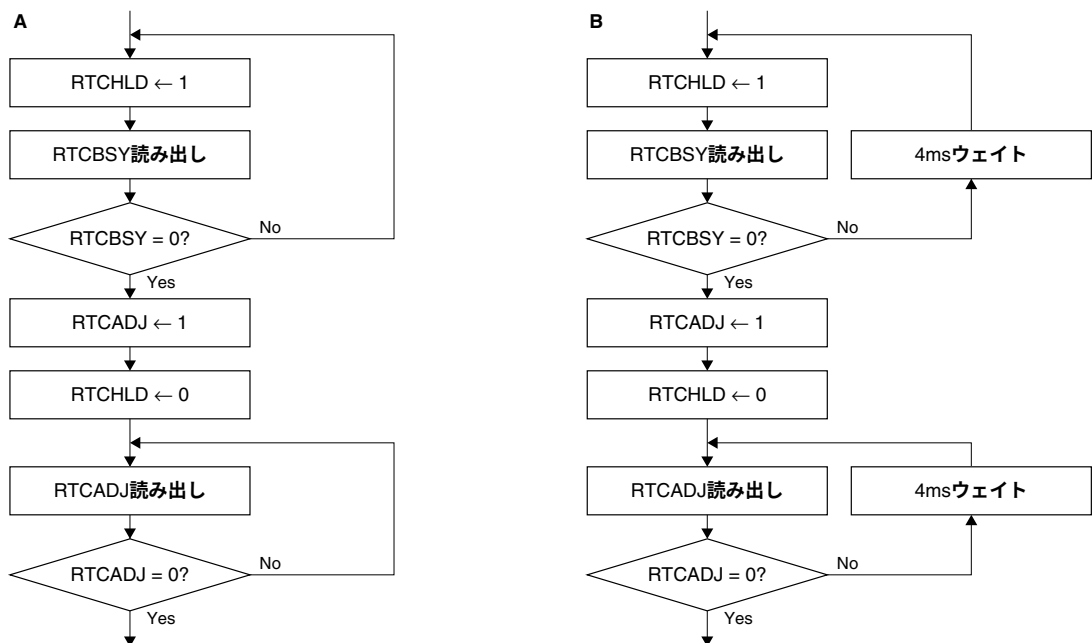


図8.3.6.1 30秒補正の実行手順

8.3.7 カウンタリード

カウンタの桁上げによって読み出し値が不正となることを防ぐため、RTCにはカウンタ値を保持するリードバッファが設けられています。カウンタ値を読み出す前にRTCRDHLDR/RTC_CNTL1レジスタを1に設定して、現在のカウンタデータをリードバッファにロードします。RTCRDHLDRが1に設定されている間は、バッファ内のデータをカウンタレジスタから読み出すことができます。バッファのデータを読み出し後は、RTCRDHLDRを0にリセットしてください。この操作はカウンタには影響を与えません。カウンタはRTCRDHLDRが1の間もカウントを継続します。

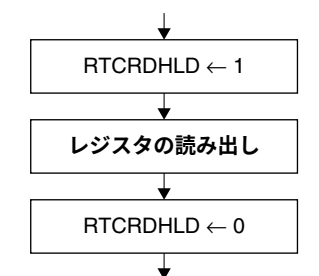


図8.3.7.1 カウンタ読み出し手順

8.4 RTC割り込み

RTCは、一定周期で割り込みを発生する機能を持っています。

RTCはスタンバイモード時にも動作するため、SLEEPモードの解除にも使用可能です。

ここでは、RTC内の割り込み制御機能を説明します。CPUに対して割り込みを発生させるにはITCの設定が必要です。ITCの制御については、“割り込みコントローラ(ITC)”の章を参照してください。割り込みによりSLEEPモードを解除する方法については、“クロックマネージメントユニット(CMU)”の章を参照してください。

割り込み周期の設定

RTCから割り込み要求を出す周期を、RTCT[2:0]/RTC_INTMODEレジスタで表8.4.1に示す7種類から選択できます。

表8.4.1 割り込み周期の設定

RTCT[2:0]	割り込み周期
0x7	Reserved
0x6	1/128秒
0x5	1/256秒
0x4	1/512秒
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

RTCT[2:0]は、RTC割り込みを禁止した状態で設定してください(下記“割り込みの許可/禁止”参照)。

割り込み条件の設定

S1C33L27のRTCはレベル割り込みのみをサポートしています。

割り込みの許可/禁止

ITCへのRTC割り込み要求の出力は、RTCIEN/RTC_INTMODEレジスタを1に設定すると許可され、0に設定すると禁止されます。

RTC割り込みは分周回路とカウンタの状態により発生するため、RTCIENに1を書き込んでから最初の割り込み要求が出力されるまでの時間は保証されません。2回目以降の割り込みを使用してください。

割り込みステータス

RTCが動作すると、RTCT[2:0]で設定した割り込み周期でRTCIRQ/RTC_INTSTATレジスタがセットされます。RTCIENによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

なお、RTCIENが0(割り込み禁止)に設定されている場合、RTCIRQは0に固定されます(1にセットされません)。

注意事項

RTCの上記の割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。

電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIENを0(割り込み禁止)に設定してください。また、RTCIQも必ず1を書き込んでリセットしてください。

ソフトウェアリセット(RTCRST → 1 → 0)を実行すると、RTCIQとRTCIENは0にリセットされ、割り込み要求の出力も停止します。また、RTCT[2:0]も0x1にリセットされます。

8.5 WAKEUPと#STBY端子

S1C33L27にはバッテリーバックアップ機能があり、システム電源(LVDD、PLLVD、HVDD、AVDD)をOffにした場合でも、RTCVDDを供給することでRTC(OSC1発振回路を含む)の動作とBBRAM内のデータの保持が可能となっています。この制御のため、RTCにはWAKEUP端子と#STBY端子が設けられています。

#STBY端子は、RTCVDDで動作する回路(RTC、OSC1、BBRAM)を、LVDD、PLLVD、HVDD、AVDDで動作する回路(RTCやOSC1の制御レジスタも含む)と切り離すために使用します。通常動作時は#STBY端子をHighに設定しておきます。#STBY端子を外部からLowにすることでRTCVDDの回路がシステムから切り離され、システム電源(LVDD、PLLVD、HVDD、AVDD)をOffにすることができます。

WAKEUP端子は、RTC割り込みまたはソフトウェアによって制御可能な出力端子です。この出力で外部レギュレータを制御することにより、システム電源(LVDD、PLLVD、HVDD、AVDD)をOn/Offすることができます。なお、#STBY端子をHighにしたままシステム電源をOffにするとRTCVDD系に電流のリークが発生しますので、システム電源をOffにする前に必ず#STBY端子をLowに設定してください。

図8.5.1にWAKEUPおよび#STBY端子を使用するシステムスタンバイ/起床制御回路の例を示します。

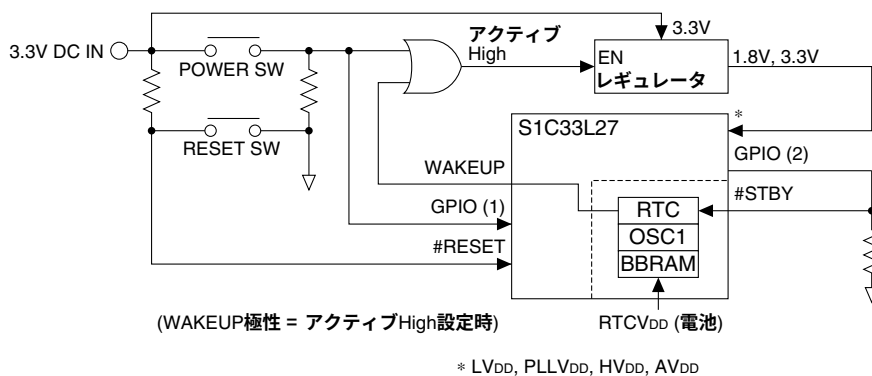


図8.5.1 システムスタンバイ/起床制御回路例

WAKEUP信号極性の選択

RTC割り込みやソフトウェア制御によって出力されるWAKEUP信号のアクティブレベルをWUP_POL/RTC_WAKEUPレジスタにより選択します。

WUP_POLを0に設定するとWAKEUP端子はアクティブHigh出力となり、1に設定するとアクティブLow出力となります。WUP_POLはイニシャルリセット時に初期化されません。WAKEUP出力を使用する場合は、ソフトウェアで初期設定する必要があります。

WAKEUP出力の制御

RTC割り込みによる制御

ソフトウェアで選択したRTC割り込み(8.4節参照)が発生すると、割り込み要求信号と同様にWAKEUP信号がアクティブになります。システムが動作を再開し、RTC割り込みステータスビットRTCIQ/RTC_INTSTATレジスタがクリアされるまで、RTCはWAKEUP信号をアクティブに保持します。RTCIQがクリアされると、WAKEUP信号はインアクティブになります。

ソフトウェア制御

WAKEUP出力はWUP_CTL/RTC_WAKEUPレジスタによって制御することもできます。

WUP_CTLを1に設定するとWAKEUP信号がアクティブになり、0に設定するとインアクティブになります。WUP_CTLはイニシャルリセット時に初期化されません。初期化ルーチンの先頭で1(アクティブ)に設定する必要があります。

制御ビットの設定内容によるWAKEUP信号の状態を下表に示します。

表8.5.1 WAKEUP信号の状態

制御ビットの設定状態			WAKEUP端子の状態
WUP_POL	WUP_CTL	RTCIRQ	
1	1	1	0 (Low)
1	1	0	0 (Low)
1	0	1	0 (Low)
1	0	0	1 (High)
0	1	1	1 (High)
0	1	0	1 (High)
0	0	1	1 (High)
0	0	0	0 (Low)

ソフトウェアリセット(RTCRST → 1 → 0)を実行すると、WUP_CTLとWUP_POLは0にリセットされ、WAKEUP信号は0になります。

制御手順

図8.5.1に示したシステムスタンバイ/起床制御回路を使用した電源制御手順を以下に示します。レギュレータ電源(3.3V)はすでに供給されており、WAKEUP信号の極性はアクティブHighに設定するものとします。

POWER SWによる電源On

- (1) POWER SWを押します。(5)が完了するまで、押し続ける必要があります。
- (2) レギュレータの電圧出力がイネーブルとなり、1.8V(および3.3V)がS1C33L27のLVDD、PLLVD、HVDD、AVDD端子に供給されます。
- (3) パワーオンリセットの後、CPUが動作を開始し初期設定ルーチンを実行します。
- (4) GPIO(2)ポートを出力に設定し、1(High)を出力します。これが#STBY端子に入力され、RTCVDD系の回路がシステムに接続されます。
- (5) RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されますので、POWER SWを解除することができます。
- (6) BBRAM内の特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをBBRAMより読み出します。
- (7) BBRAM内のキーをクリアします(例: 0x00等を書き込む)。
- (8) その他の処理を実行します。

動作中は#STBY入力 = 1、WAKEUP出力 = 1の状態を保持してください。

POWER SWによる電源Off

上記の設定状態(#STBY入力 = 1、WAKEUP出力 = 1)からの処理とします。

- (1) POWER SWを押します。
- (2) GPIO(1)ポートに1(High)が入力されますので、入力データを読み出すか、割り込みを利用してこれを検出し、バッテリーバックアップモードに移行します。
- (3) バックアップするデータをBBRAMにコピーします。このとき、バックアップデータが有効であることを示すためにキー(例: 0xaaなど)もBBRAM内の特定箇所に併せて保存しておきます。
- (4) RTCの割り込み条件を設定し、割り込みを許可します。(RTC割り込みによりシステムを起動する場合)
- (5) RTC_WAKEUPレジスタに0x0を書き込み、WAKEUP出力を0(Low)にします。
- (6) GPIO(2)ポートから0(Low)を出力します。これが#STBY端子に入力され、RTCVDD系の回路がシステムから切り離されます。
- (7) (POWER SWがOnの場合はOffになった後)レギュレータが1.8V(および3.3V)の出力を停止し、RTCVDD系以外の電源がOffします。

ソフトウェアによって自動的にシステム電源をOffにする場合は(3)から始めてください。

RTC割り込みによる電源On

- (1) RTC割り込みが発生すると、WAKEUP出力が自動的に1(High)になります。
- (2) レギュレータの電圧出力がイネーブルとなり、1.8V(および3.3V)がS1C33L27のLVDD、PLLVD、HVDD、AVDD端子に供給されます。
- (3) パワーオンリセットの後、CPUが動作を開始し初期設定ルーチンを実行します。
- (4) GPIO(2)ポートを出力に設定し、1(High)を出力します。これが#STBY端子に入力され、RTCVDD系の回路がシステムに接続されます。
- (5) RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されます。
- (6) RTCIRQ/RTC_INTSTATレジスタをリセットします。
- (7) BBRAM内の特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをBBRAMより読み出します。
- (8) BBRAM内のキーをクリアします(例: 0x00等を書き込む)。
- (9) その他の処理を実行します。

8.6 制御レジスタ詳細

表8.6.1 RTCレジスタ一覧

アドレス	レジスタ名		機能
0x300a00	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
0x300a01	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
0x300a02	RTC_CNTL0	RTC Control 0 Register	RTCの制御
0x300a03	RTC_CNTL1	RTC Control 1 Register	
0x300a04	RTC_SEC	RTC Second Register	秒カウンタデータ
0x300a05	RTC_MIN	RTC Minute Register	分カウンタデータ
0x300a06	RTC_HOUR	RTC Hour Register	時カウンタデータ
0x300a07	RTC_DAY	RTC Day Register	日カウンタデータ
0x300a08	RTC_MONTH	RTC Month Register	月カウンタデータ
0x300a09	RTC_YEAR	RTC Year Register	年カウンタデータ
0x300a0a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
0x300a0f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定

以下、RTCのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”を参照してください。

RTC Interrupt Status Register (RTC_INTSTAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x300a00 (8 bits)	D7~1	—	reserved	—			—	—	0 when being read.
		D0	RTCIRQ	Interrupt status	1	Occurred	0	Not occurred	X (0)	R/W Reset by writing 1.

Init.: ()はソフトウェアリセット(RTCRST → 1 → 0)実行後の値です。

D[7:1] Reserved**D0 RTCIRQ: Interrupt Status Bit**

RTC割り込み要因の発生状況を示します。

1(R): 割り込み要因発生

0(R): 割り込み要因なし(ソフトウェアリセット値)

1(W): 本ビットを0にリセット

0(W): 無効

RTCT[2:0]/RTC_INTMODEレジスタで設定した割り込み周期の信号によってセットされます。このとき、RTCIEN/RTC_INTMODEレジスタによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

注: このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。また、電源投入時の値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでリセットしてください。

RTC Interrupt Mode Register (RTC_INTMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Mode Register (RTC_INTMODE)	0x300a01 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4-2	RTCT[2:0]	RTC interrupt cycle setup	RTCT[2:0]	X (0x1)	R/W	
					0x7			
					0x6			
					0x5			
					0x4			
					0x3			
					0x2			
					0x1			
					0x0			
		D1	RTCI MD	reserved	1	X (1)	R/W	Always set to 1.
		D0	RTCI EN	RTC interrupt enable	1 Enable 0 Disable	X (0)	R/W	

Init.: ()はソフトウェアリセット(RTCRST → 1 → 0)実行後の値です。

D[7:5] Reserved

D[4:2] RTCT[2:0]: RTC Interrupt Cycle Setup Bits

RTCの割り込み周期を選択します。

表8.6.2 割り込み周期の設定

RTCT[2:0]	割り込み周期
0x7	Reserved
0x6	1/128秒
0x5	1/256秒
0x4	1/512秒
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

(デフォルト: 不定、ソフトウェアリセット: 0x1)

選択した時間のカウンタのカウントアップパルスによりRTCIRQ/RTC_INTSTATレジスタがセットされ、RTCIENによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。RTCT[2:0]は、RTC割り込みを禁止した状態で設定してください(割り込み許可との同時設定は可能)。

D1 RTCI MD: Reserved (常に1に設定してください。)

D0 RTCI EN: RTC Interrupt Enable Bit

ITCへのRTC割り込み要求の出力を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(ソフトウェアリセット値)

RTC割り込みを発生させる場合やRTC割り込み要求信号によってSLEEPモードを解除する場合は、このビットを1に設定します。このビットが0の場合、割り込みは発生せず、SLEEPモードを解除することもできません。

注: 電源投入時のRTCIENの値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでクリアしてください。

RTC Control 0 Register (RTC_CNTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 0 Register (RTC_CNTL0)	0x300a02 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X (0)	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 —	X (0)	R/W	
		D1	RTCSTP	Divider run/stop control	1 Stop 0 Run	X (0)	R/W	
		D0	RCRST	Software reset	1 Reset 0 —	X (0)	R/W	

Init.: ()はソフトウェアリセット (RCRST → 1 → 0) 実行後の値です。

D[7:5] Reserved

D4 RTC24H: 24H/12H Mode Select Bit

時カウンタを24時間制/12時間制のどちらで使用するか選択します。

1 (R/W): 24時間制

0 (R/W): 12時間制 (ソフトウェアリセット値)

この選択により、時カウンタのカウンタ範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。本レジスタにはカウンタをスタートさせる制御ビット (D1) も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウンタデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

D3 Reserved

D2 RTCADJ: 30-second Adjustment Bit

30秒補正を実行します。

1 (W): 30秒補正実行

0 (W): 無効

1 (R): 30秒補正実行中

0 (R): 30秒補正終了 (実行中以外) (ソフトウェアリセット値)

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できません。

本ビットに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

本ビットは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

注: RTCADJが1の間はカウンタへのアクセスは禁止します。また、その間の0書き込みも誤動作の原因になるため禁止します。

D1 RTCSTP: Divider Run/Stop Control Bit

分周回路の動作を開始/停止します。また、動作状態を示します。

1 (W): 停止制御

0 (W): 開始制御

1 (R): 分周回路/カウンタは停止中

0 (R): 分周回路/カウンタが動作中 (ソフトウェアリセット値)

RTCの分周回路は本ビットを0に設定すると動作を開始し、1に設定すると停止します。

また、分周回路/カウンタが動作中の場合、本ビットの読み出し値は0、停止中の読み出し値は1です。本ビットへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周 (16,384Hz) までは停止しません。カウンタの桁上げ中に分周回路が停止すると、カウンタの値が壊れてしまうことがありますので、8.3.5節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

D0 RTCRST: Software Reset Bit

分周回路と出力信号をリセットします。

1(R/W): リセット状態

0(R/W): リセット解除(ソフトウェアリセット値)

ソフトウェアリセットを実行するには、RTCRSTに1を書き込み、更に0を書き込みます。ソフトウェアリセットは、分周回路の32kHzから2Hzまでのビットをクリアし、割り込み要求およびWAKEUP信号をインアクティブにします。また、制御ビットのいくつかを初期化します。RTCを設定する際は、最初にRTCRSTを使用してソフトウェアリセットを実行してください。

RTC Control 1 Register (RTC_CNTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 1 Register (RTC_CNTL1)	0x300a03 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	RTCRDHLD	Read buffer enable	1 Enable 0 Disable	X (0)	R/W	
		D1	RTCBSY	Counter busy flag	1 Busy 0 R/W possible	X (0)	R	
		D0	RTCHLD	Counter hold control	1 Hold 0 Running	X (0)	R/W	

Init.: ()はソフトウェアリセット(RTCRST → 1 → 0)実行後の値です。

D[7:3] Reserved**D2 RTCRDHLD: Read Buffer Enable Bit**

リードバッファを有効/無効にします。

1(R/W): 有効

0(R/W): 無効(ソフトウェアリセット値)

カウンタの桁上げによって読み出し値が不正となることを防ぐため、RTCにはカウンタ値を保持するリードバッファが設けられています。カウンタ値を読み出す前にRTCRDHLDを1に設定して、現在のカウンタデータをリードバッファにロードします。RTCRDHLDが1に設定されている間は、バッファ内のデータをカウンタレジスタから読み出すことができます。バッファのデータを読み出し後は、RTCRDHLDを0にリセットしてください。この操作はカウンタには影響を与えません。カウンタはRTCRDHLDが1の間もカウントを継続します。

D1 RTCBSY: Counter Busy Flag Bit

カウンタが桁上げ動作中かどうかを示します。

1(R): ビジー(桁上げ中)

0(R): リード/ライト可能(ソフトウェアリセット値)

カウンタの書き込み中または停止中にカウンタの桁上げが発生すると、カウンタ値が壊れることもあります。そこで、本ビットによりカウンタが桁上げ状態(ビジー)ではないことを確認してからデータの書き込みを行ってください。

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、現在は桁上げ中ではありません。この場合、カウンタデータの書き込みが可能です。

RTCHLDに1を書き込むと、カウンタは動作を停止します。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアによって禁止されます。これにより桁上げは発生せず、RTCBSYは0となります。分周回路の動作(1秒未満のカウント動作)は継続します。この状態で、カウンタレジスタへの書き込みを行います。データの書き込み後は、RTCHLDを0に戻します。カウンタがホールド状態でのデータの書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、現在は桁上げ中です。この場合、RTCHLDへの1書き込みは無効となり、RTCHLDは0のままとなります。

カウンタの桁上げの期間は1秒あたり4msですので、再度RTCHLDに1を書き込んでRTCBSYのチェックを繰り返すか、4ms待機してから再度RTCHLDに1を書き込んでRTCBSYをチェックします。

D0 RTCHLD: Counter Hold Control Bit

カウンタのビジー状態の確認と、カウンタのホールドを行います。

1(R/W): ビジーチェック/カウンタホールド

0(R/W): 通常動作(ソフトウェアリセット値)

制御方法については、上記RTCBSYの説明を参照してください。

RTC Second Register (RTC_SEC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Second Register (RTC_SEC)	0x300a04 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X (*)	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

D7 Reserved**D[6:4] RTCSH[2:0]: RTC 10-second Counter Bits**

10秒桁の3ビットBCDカウンタです。

1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。

D[3:0] RTCSL[3:0]: RTC 1-second Counter Bits

1秒桁の4ビットBCDカウンタです。

32.768kHzのOSCI1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。

RTC Minute Register (RTC_MIN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute Register (RTC_MIN)	0x300a05 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X (*)	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

D7 Reserved**D[6:4] RTCMIH[2:0]: RTC 10-minute Counter Bits**

10分桁の3ビットBCDカウンタです。

1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。

D[3:0] RTCMIL[3:0]: RTC 1-minute Counter Bits

1分桁の4ビットBCDカウンタです。

10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。

RTC Hour Register (RTC_HOUR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Register (RTC_HOUR)	0x300a06 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X (*)	R/W	
		D5–4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X (*)	R/W	
		D3–0	RTCHL[3:0]	RTC 1-hour counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

8 リアルタイムクロック(RTC)

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D7 **Reserved**

D6 **RTCAP: AM/PM Indicator Bit**

12時間制を選択した場合に午前/午後を示します。

1(R/W): 午後

0(R/W): 午前

本ビットはRTC24H/RTC_CNTL0レジスタが0(12時間制)に設定されている場合にのみ有効です。24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

注: RTC24H/RTC_CNTL0レジスタにより12時間制から24時間制に変更した場合も、RTCAPビットは現在の値を保持し、時カウンタが更新(またはソフトウェアでリセット)された時点で0に固定されます。

D[5:4] **RTCHH[1:0]: RTC 10-hour Counter Bits**

10時桁の2ビットBCDカウンタです。

1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。

D[3:0] **RTCHL[3:0]: RTC 1-hour Counter Bits**

1時桁の4ビットBCDカウンタです。

10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。

RTC Day Register (RTC_DAY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Day Register (RTC_DAY)	0x300a07 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X (*)	R/W	
		D3-0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:6] **Reserved**

D[5:4] **RTCDH[1:0]: RTC 10-day Counter Bits**

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。

D[3:0] **RTCDL[3:0]: RTC 1-day Counter Bits**

1日桁の4ビットBCDカウンタです。

時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。

RTC Month Register (RTC_MONTH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Month Register (RTC_MONTH)	0x300a08 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X (*)	R/W	
		D3-0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:5] Reserved

D4 RTCMOH: RTC 10-month Counter Bit

10月桁のビットです。

1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。

D[3:0] RTCMOL[3:0]: RTC 1-month Counter Bits

1月桁の4ビットBCDカウンタです。

日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。

RTC Year Register (RTC_YEAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Year Register (RTC_YEAR)	0x300a09 (8 bits)	D7-4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X (*)	R/W	
		D3-0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:4] RTCYH[3:0]: RTC 10-year Counter Bits

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。

D[3:0] RTCYL[3:0]: RTC 1-year Counter Bits

1年桁の4ビットBCDカウンタです。

月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。

RTC Days of Week Register (RTC_WEEK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Days of Week Register (RTC_WEEK)	0x300a0a (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0] Days of week	X (*)	R/W	
					0x7 —			
					0x6 Saturday			
					0x5 Friday			
					0x4 Thursday			
					0x3 Wednesday			
					0x2 Tuesday			
					0x1 Monday			
					0x0 Sunday			

* ソフトウェアリセット (RTCRST → 1 → 0) はカウンタ値に影響を与えません。本レジスタは、ソフトウェアリセット実行前の値を保持します。

8 リアルタイムクロック(RTC)

- 注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“8.3.5 カウンタのホールドとビジーフラグ”および“8.3.7 カウンタリード”参照)
- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:3] Reserved

D[2:0] RTCWK[2:0]: RTC Days of Week Counter Bits

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表8.6.3に示します。

表8.6.3 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定、ソフトウェアリセット: 実行前の値を保持)

RTC Wakeup Configuration Register (RTC_WAKEUP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Wakeup Configuration Register (RTC_WAKEUP)	0x300a0f (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	WUP_CTL	WAKEUP control	1	Active	0	Inactive	X (0) R/W
		D0	WUP_POL	WAKEUP polarity select	1	Active low	0	Active high	X (0) R/W

Init.: () はソフトウェアリセット (RTCRCST → 1 → 0) 実行後の値です。

D[7:2] Reserved

D1 WUP_CTL: WAKEUP Control Bit

WAKEUP出力を制御します。

1 (R/W): アクティブ

0 (R/W): インアクティブ(ソフトウェアリセット値)

ソフトウェアでWAKEUP出力を制御する場合に使用します。WAKEUP信号は、RTC割り込み要因の発生によってもアクティブになります。

D0 WUP_POL: WAKEUP Polarity Select Bit

WAKEUP出力信号のアクティブレベルを選択します。

1 (R/W): アクティブLow

0 (R/W): アクティブHigh(ソフトウェアリセット値)

9 SRAMコントローラ (SRAMC)

S1C33L27は外部メモリへのアクセスを制御するバスコントローラを内蔵しています。バスコントローラはSRAMを制御するSRAMコントローラ (SRAMC)、SDRAMを制御するSDRAMコントローラ (SDRAMC)、外部メモリからの読み出しを効率よく行うデータキューバッファ (DQB) で構成されています。

ここでは、SRAMCについて説明します。SDRAMCとDQBについては、“SDRAMコントローラ”の章を参照してください。

9.1 SRAMCモジュールの概要

SRAMコントローラ (SRAMC) は外部バスを管理するモジュールです。最大6本のチップイネーブル信号を出力可能で、各チップイネーブルの対応エリアごとにアクセスサイクルと接続するデバイスタイプを設定できます。CPUまたはDMACが外部メモリ空間にアクセスした場合は、SRAMCが設定されたアクセス条件に従い、接続されたメモリやI/Oデバイスをリード/ライトします。

SRAMCの機能と特長を以下に示します。

- 26ビットのアドレスバス (最大64Mバイトのアドレス空間)
- 8ビットまたは16ビットを選択可能なデータバス
- 外部デバイスの接続に最大6本のチップイネーブル信号を使用可能
- Flash ROM、SRAM、その他外部デバイス (LCDドライバなど) を接続可能
- バスアクセスウェイトサイクル数をプログラマブルに設定可能 (0～15サイクル)
- リトルエンディアンアクセス
- メモリマップドI/Oをサポート
- A0またはBS (バーストロープ) のいずれかのアクセス方式に対応
- #WAIT端子による外部ウェイト要求に対応

9.2 SRAMC端子

表9.2.1にSRAMCが使用する端子の一覧を示します。

表9.2.1 SRAMC端子一覧

端子名	I/O	本数	機 能
D[15:0]	I/O	16	外部データバスD[15:0]
A0/#BSL	O	1	外部アドレスバスA0 / バーストロープ (下位バイト) 信号出力
A[25:1]	O	25	外部アドレスバスA[25:1]
#CE10, #CE9, #CE8, #CE7, #CE5, #CE4	O	6	チップイネーブル信号出力
#RD	O	1	リード信号出力
#WRL	O	1	ライト (下位バイト) 信号出力
#WRH/#BSH	O	1	ライト (上位バイト) 信号 / バーストロープ (上位バイト) 信号出力
#WAIT	I	1	外部ウェイト要求信号入力

注: • 上記制御端子のいくつかは、汎用入出力ポートあるいは他の周辺回路の入出力と兼用されています。初期状態でSRAMC以外の機能に設定される端子もありますので、ポート機能選択ビットによりSRAMCの機能に設定してください。

端子の機能と切り換えの詳細については、“入出力ポート (GPIO)”の章を参照してください。

- バス制御信号はソフトウェアによりプルアップ制御および強制Low駆動が可能です。制御方法の詳細については、“入出力ポート (GPIO)”を参照してください。

9.3 SRAMCの動作クロック

SRAMCはCMUから供給されるSYSCLKで動作します。また、SRAMC制御レジスタへのアクセスにはBCLKも使用します。クロック制御の詳細については、“クロックマネジメントユニット(CMU)”の章を参照してください。

9.4 外部メモリエリア

SRAMCがサポートする外部メモリ空間は、図9.4.1に示すとおり14のエリアに分割されます。

			#CE4	#CE5	#CE7	#CE8	#CE9	#CE10
エリア22	0xffff ffff	外部メモリ					●	
	0x8000 0000	2G(64M)バイト (*2)						
エリア21	0x7fff ffff	外部メモリ				●		
	0x4000 0000	1G(64M)バイト (*2)						
エリア20	0x3fff ffff	外部メモリ						●
	0x2000 0000	512M(64M)バイト (*2)						
エリア19	0x1fff ffff	外部メモリ			●			
(*1)	0x1000 0000	256M(64M)バイト (*2)						
エリア18	0x0fff ffff	Reserved						
	0x0c00 0000							
エリア17	0x0bfff ffff	Reserved						
	0x0800 0000							
エリア16	0x07fff ffff	外部メモリ		●				
	0x0600 0000	32Mバイト						
エリア15	0x05fff ffff	外部メモリ		●				
	0x0400 0000	32Mバイト						
エリア14	0x03fff ffff	外部メモリ	●					
	0x0300 0000	16Mバイト						
エリア13	0x02fff ffff	外部メモリ						●
	0x0200 0000	16Mバイト						
エリア12	0x01fff ffff	Reserved						
	0x0180 0000							
エリア11	0x017f ffff	Reserved						
	0x0100 0000							
エリア10	0x00fff ffff	外部メモリ						●
	0x00c0 0000	4Mバイト						
エリア9	0x00bfff ffff	外部メモリ					●	
	0x0080 0000	4Mバイト						
エリア8	0x007fff ffff	外部メモリ				●		
	0x0060 0000	2Mバイト						
エリア7	0x005fff ffff	外部メモリ			●			
(*1)	0x0040 0000	2Mバイト						
エリア6	0x003fff ffff	(内部周辺モジュール用の予約エリア)						
	0x0030 0000							
エリア5	0x002fff ffff	外部メモリ		●				
	0x0020 0000	1Mバイト						
エリア4	0x001fff ffff	外部メモリ	●					
	0x0010 0000	1Mバイト						

*1 SDRAMエリアとして使用可

*2 アドレスバスが26ビットのため、各エリアの有効領域は先頭から64Mバイトまでです。

図9.4.1 S1C33L27の外部メモリ空間

エリア4、5、7～10、13～16、19～22は外部メモリデバイスなどを接続してSRAMCからアクセスできる外部メモリエリアになります。デバイスの種類やサイズ、ウェイトサイクル数などのアクセス条件をエリアごとに設定できます。

9.4.1 チップイネーブル信号

SRAMCは最大26ビットの外部アドレスバス、16ビットの外部データバス、および6本のチップイネーブル端子(#CE4、#CE5、#CE7～#CE10)を持ち、最大366MBのアドレス空間をアクセスできるようになっています。

各チップイネーブル信号には複数のエリアが割り当てられています。表9.4.1.1にチップイネーブル端子とエリアの対応表を示します。

表9.4.1.1 チップイネーブル端子とエリアの対応

#CE端子	対応エリア	連続したアドレス範囲で使用可能なエリアの容量					
		エリア	容量	エリア	容量	エリア	容量
#CE4	エリア4, 14	エリア4	1MB	エリア14	16MB	—	—
#CE5	エリア5, 15, 16	エリア5	1MB	エリア15 + 16	64MB	—	—
#CE7	エリア7, 19	エリア7	2MB	エリア19	64MB	—	—
#CE8	エリア8, 21	エリア8	2MB	エリア21	64MB	—	—
#CE9	エリア9, 22	エリア9	4MB	エリア22	64MB	—	—
#CE10	エリア10, 13, 20	エリア10	4MB	エリア13	16MB	エリア20	64MB

#CE_x信号は、対応しているどのエリア内のアドレスをアクセスしてもアクティブになります。

9.4.2 エリア別設定条件

エリア別のバスアクセス条件は、#CE_x信号ごとに行えます。したがって、それぞれの#CE_x信号が対応している複数のエリアには同じ条件が設定されます。

ここでは、#CE_xエリアごとに設定される項目と制御ビットを示します。

SRAMCの制御レジスタは、イニシャルリセットで初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。

注: 制御ビット名や#CE名の'x'は#CEエリア番号(4、5、7、8、9、10)を表します。

エンディアンモード

S1C33L27はリトルエンディアンモードのみをサポートしています。

デバイスタイプ

デバイスサイズを8ビットまたは16ビットから選択できます。また、16ビットデバイスについてはデバイスタイプとしてA0方式(デフォルト)またはBSL方式を選択することができます。

選択にはCE_xTYPE[1:0]/SRAMC_TYPEレジスタを使用します。

表9.4.2.1 デバイスタイプの選択

CE _x TYPE[1:0]	デバイスタイプ	使用する端子
0x3～0x2	8ビットデバイス	A[25:0], D[7:0], #CE _x , #RD, #WRL
0x1	16ビットBSLデバイス	A[25:1], D[15:0], #CE _x , #RD, #WRL, #BSL(A0), #BSH
0x0	16ビットA0デバイス	A[25:1], D[15:0], #CE _x , #RD, #WRL, #WRH

(デフォルト: 0x0)

#CEセットアップ時間

#CE_x信号のセットアップ時間(#CE_x立ち下がりエッジ→リード/ライト信号立ち下がりエッジ)を1～4サイクル範囲で設定可能です。設定にはSRAMC_TM647およびSRAMC_TM810レジスタのCE_x-SETUP[1:0]を使用します。

表9.4.2.2 #CEセットアップ時間の設定

CE _x SETUP[1:0]	セットアップ時間
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x3)

#CEホールド時間

#CE_x信号のホールド時間(リード/ライト信号立ち上がりエッジ→#CE_x立ち上がりエッジ)を1～4サイクル範囲で設定可能です。設定にはSRAMC_TMG47およびSRAMC_TMG810レジスタのCE_xHOLD[1:0]を使用します。

表9.4.2.3 #CEホールド時間の設定

CE _x HOLD[1:0]	ホールド時間
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x3)

スタティックウェイトサイクル

スタティックウェイトサイクルは、エリアのアクセス時に必ず挿入されるウェイトサイクルで、チップインーブルおよびリード/ライト信号が指定サイクル数分延長されます。接続するデバイスの仕様に合わせ、SRAMC_TMG47およびSRAMC_TMG810レジスタのCE_xWAIT[3:0]でウェイトサイクル数を指定します。CE_xWAIT[3:0]を0に設定した場合、スタティックウェイトサイクルは挿入されません。この場合の最小リード/ライトパルス幅は1サイクルです。

表9.4.2.4 スタティックウェイトサイクルの設定

CE _x WAIT[3:0]	スタティックウェイトサイクル	リード/ライトサイクル
0xf	15サイクル	16サイクル (+ #WAIT)
0xe	14サイクル	15サイクル (+ #WAIT)
⋮	⋮	⋮
0x1	1サイクル	2サイクル (+ #WAIT)
0x0	0サイクル	1サイクル (+ #WAIT)

(デフォルト: 0xf)

SRAMデバイスを接続するエリアでは、このスタティックウェイト制御に加え、#WAIT端子を使用したダイナミックウェイト制御も可能です。

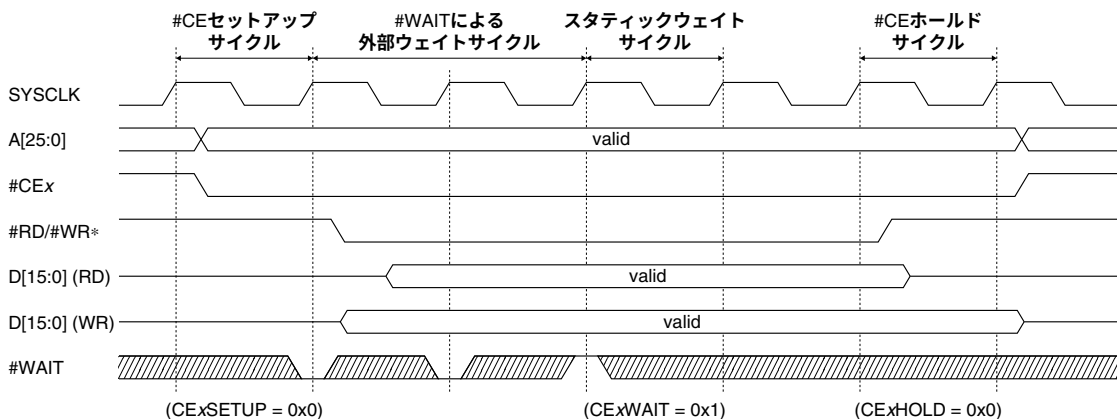


図9.4.2.1 設定可能なタイミング

9.5 外部デバイスの接続とバスオペレーション

9.5.1 外部デバイスの接続

以下にS1C33L27とSRAMの接続例を示します。

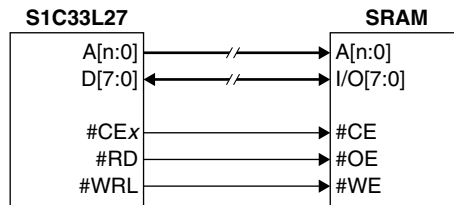


図9.5.1.1 8ビットSRAMの接続例

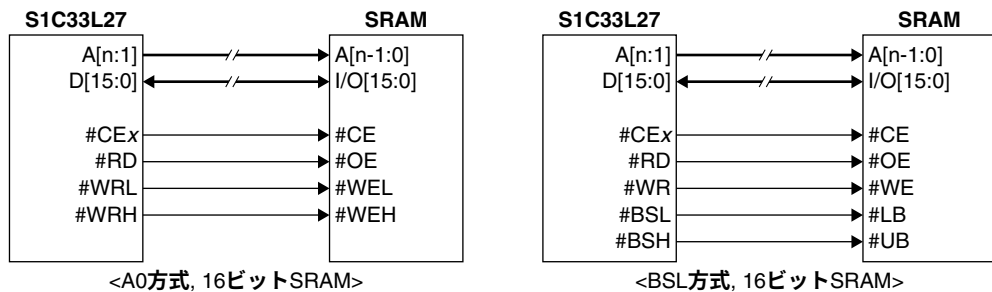


図9.5.1.2 16ビットSRAMの接続例

9.5.2 メモリ上のデータ配置

S1C33L27のSRAMCはバイト(8ビット)、ハーフワード(16ビット)、ワード(内部32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。

SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細についてはC33 PEコアマニュアルを参照してください。

表9.5.2.1にデータタイプによるメモリ上の配置を示します。

表9.5.2.1 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界(A0 = 0)
ワード	ワード境界(A[1:0] = 0b00)

メモリ上のハーフワードデータ、ワードデータは、リトルエンディアン形式でアクセスされます。メモリ効率を上げるには同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

9.5.3 外部バスオペレーション

S1C33L27の内部データバスサイズは32ビットです。ただし、外部データバス端子はD[15:0]の16ビットです。

デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。

A0方式とBSL方式のバスオペレーションを表9.5.3.1に示します。

メモリの接続については、“9.5.1 外部デバイスの接続”を参照してください。

表9.5.3.1 バスオペレーション

デバイス サイズ	データ サイズ	R/W	A1	A0	A0モード			BSLモード			アクセス 回数
					使用する 制御信号	D[15:8] 端子	D[7:0] 端子	使用する 制御信号	D[15:8] 端子	D[7:0] 端子	
8ビット	バイト	W	*	*	#WRL	—	D[7:0]	—	—	—	1回
		R	*	*	#RD	—	D[7:0]	—	—	—	1回
	ハーフ ワード	W	*	0	#WRL	—	D[7:0]	—	—	—	1回目
			*	1		—	D[15:8]		—	—	2回目
		R	*	0	#RD	—	D[7:0]	—	—	—	1回目
			*	1		—	D[15:8]		—	—	2回目
	ワード	W	0	0	#WRL	—	D[7:0]	—	—	—	1回目
			0	1		—	D[15:8]		—	—	2回目
			1	0		—	D[23:16]		—	—	3回目
			1	1		—	D[31:24]		—	—	4回目
		R	0	0	#RD	—	D[7:0]	—	—	—	1回目
			0	1		—	D[15:8]		—	—	2回目
			1	0		—	D[23:16]		—	—	3回目
			1	1		—	D[31:24]		—	—	4回目
16ビット	バイト	W	*	0	#WRL	—	D[7:0]	#WR #BSL	—	D[7:0]	1回
			*	1	#WRH	D[7:0]	—	#WR #BSH	D[7:0]	—	1回
		R	*	0	#RD	—	D[7:0]	#RD #BSL	—	D[7:0]	1回
			*	1		D[7:0]	—	#RD #BSH	D[7:0]	—	1回
	ハーフ ワード	W	*	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回
		R	*	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回
	ワード	W	0	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目
		R	0	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目

9.6 バスアクセスタイミングチャート

9.6.1 SRAMリード/ライトタイミング(外部#WAITなし)

1. SRAMリード/ライトタイミング(スタティックウェイトなし)

[設定例]

デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CEセットアップ/ホールド時間: 1サイクル

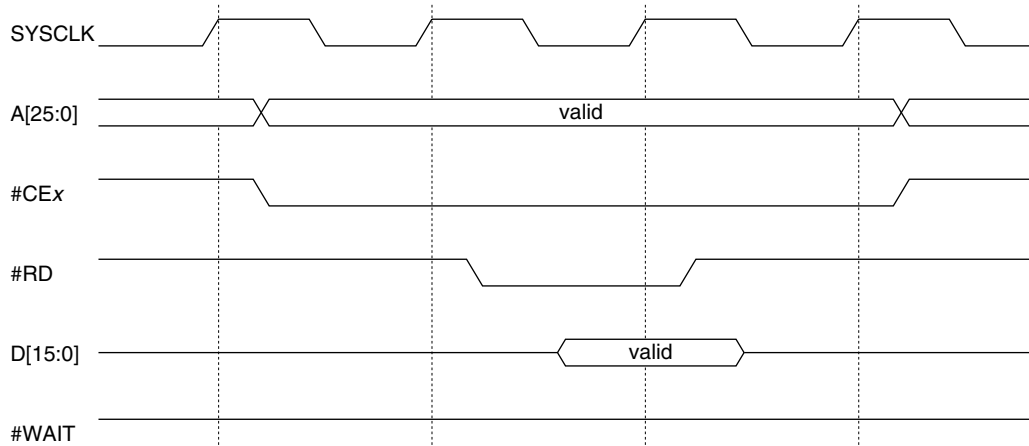


図9.6.1.1 SRAMリードタイミング(スタティックウェイトなし)

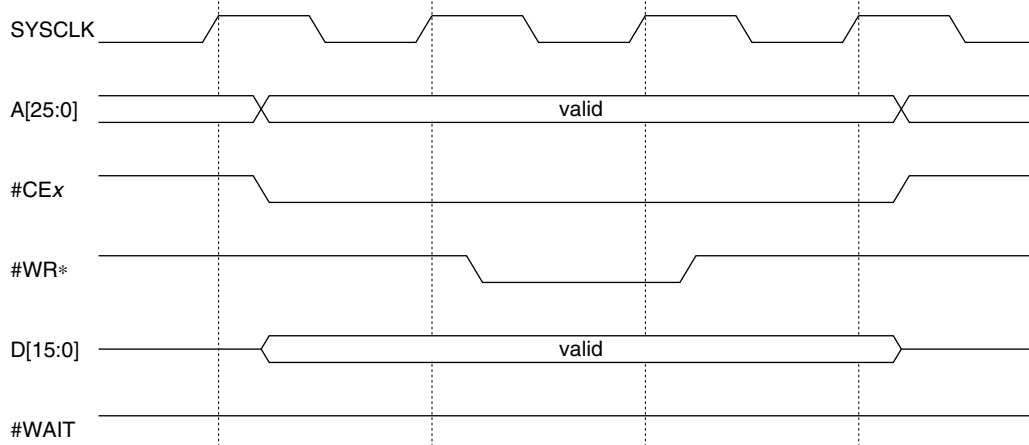


図9.6.1.2 SRAMライトタイミング(スタティックウェイトなし)

2. SRAMリード/ライトタイミング(スタティックウェイト付き)

[設定例]

デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 2サイクル

#CEセットアップ/ホールド時間: 1サイクル

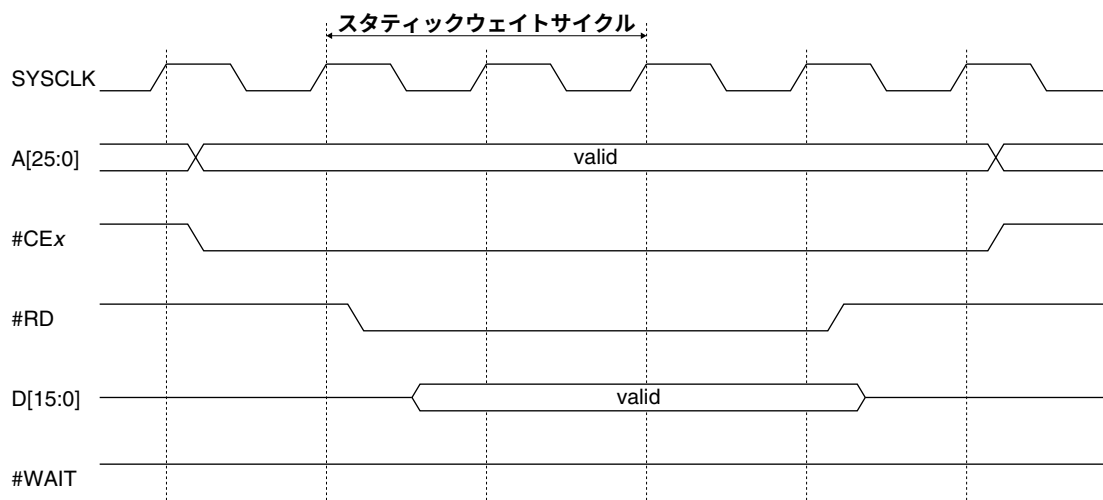


図9.6.1.3 SRAMリードタイミング(スタティックウェイト付き)

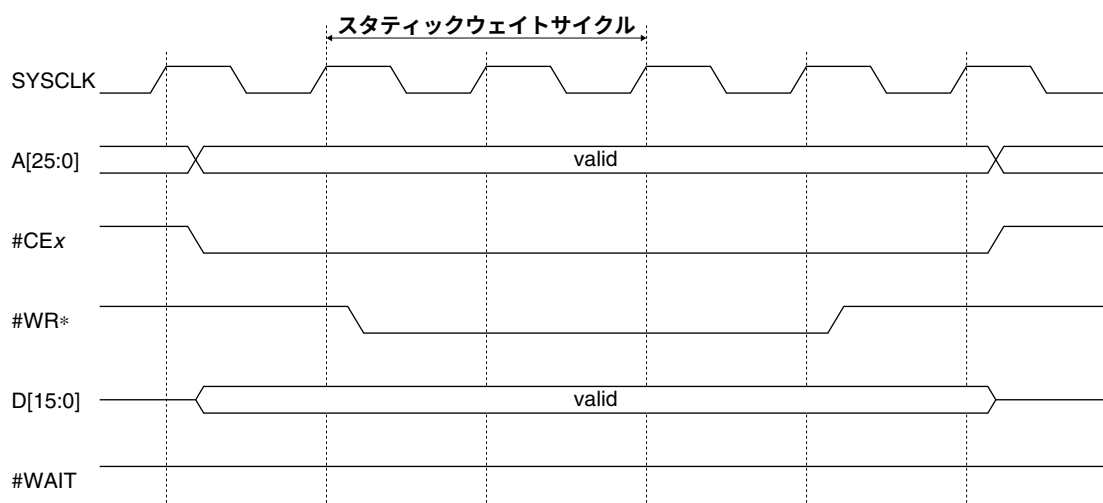


図9.6.1.4 SRAMライトタイミング(スタティックウェイト付き)

9.6.2 SRAMリード/ライトタイミング(外部#WAITあり)

#WAIT端子によるウェイトサイクルの挿入は、デバイスがSRAMの場合にのみ可能です。

外部#WAIT信号は、#CEセットアップサイクルが終了する時点からリードまたはライト信号がHighに立ち上がる1クロック前までのSYSCLK立ち上がりエッジでサンプリングされます。#WAIT信号のアクティブレベル(Low)がサンプリングされている間はWAIT状態となり、インアクティブレベル(High)がサンプリングされた時点で、それ以降の動作を再開します。

[設定例]

デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル(注参照)

#CEセットアップ/ホールド時間: 1サイクル(注参照)

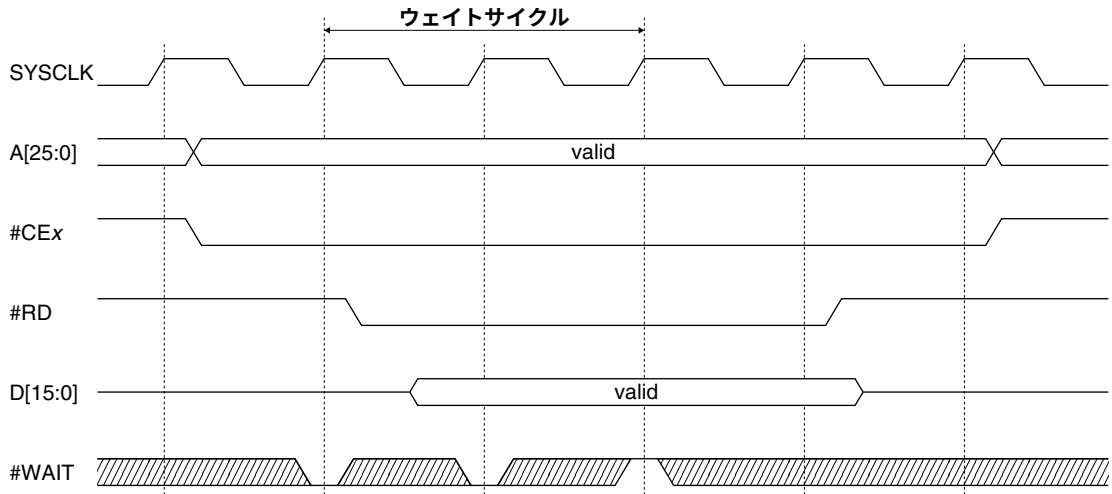


図9.6.2.1 SRAMリードタイミング(外部#WAITあり)

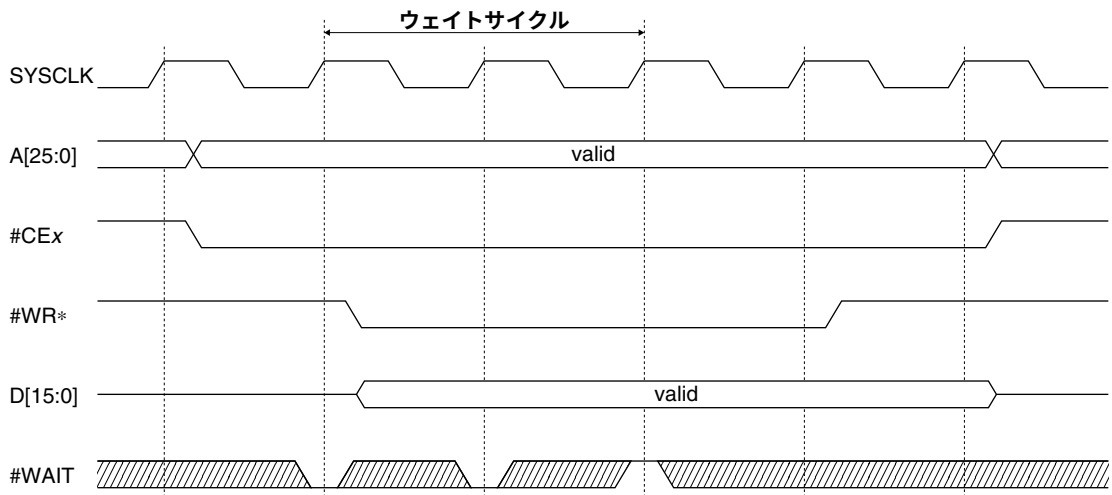


図9.6.2.2 SRAMライトタイミング(外部#WAITあり)

注: 図9.6.2.1と図9.6.2.2は、説明の都合上、非常に動作スピードが遅い場合を想定しています。

実際に外部ウェイト要求を使用する場合は、#WAIT端子のノイズフィルタの遅延分を考慮して、必ず#CEセットアップサイクル(CExSETUP[1:0])またはスタティックウェイトサイクル(CExWAIT[3:0])を以下のとおり設定してください。

- #WAITを使用する場合、CExSETUP[1:0]を0x1以上またはCExWAIT[3:0]を0x1以上にしてください。
- #CEx信号から#WAIT信号を生成する場合、以下の条件以上に設定してください。

CExSETUP[1:0] = 0x1、かつCExWAIT[3:0] = 0x3、または
 CExSETUP[1:0] = 0x2、かつCExWAIT[3:0] = 0x2、または
 CExSETUP[1:0] = 0x3、かつCExWAIT[3:0] = 0x1、または
 CExSETUP[1:0] = 0x4、かつCExWAIT[3:0] = 0x0

- #RD/#WRH/#WRL信号から#WAIT信号を生成する場合、以下の条件以上に設定してください。

CExWAIT[3:0] = 0x4

上記以下の設定の場合、外部ウェイトは無効になります。

9.7 制御レジスタ詳細

表9.7.1 SRAMCレジスタ一覧

Address	Register name		Function
0x302220	SRAMC_TMG47	#CE[7:4] Access Timing Configuration Register	#CE[7:4]アクセス条件の設定
0x302224	SRAMC_TMG810	#CE[10:8] Access Timing Configuration Register	#CE[10:8]アクセス条件の設定
0x302228	SRAMC_TYPE	#CE[10:4] Device Configuration Register	#CE[10:4]デバイスタイプの設定

以下にSRAMCの制御レジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

#CE[7:4] Access Timing Configuration Register (SRAMC_TMG47)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
#CE[7:4] Access Timing Configuration Register (SRAMC_ TMG47)	0x302220 (32 bits)	D31–30	CE7SETUP [1:0]	#CE7 setup cycle	CE7SETUP[1:0] Setup cycle 0x3 4 cycles 0x2 3 cycles 0x1 2 cycles 0x0 1 cycle	0x3	R/W	
		D29–28	CE7HOLD [1:0]	#CE7 hold cycle	CE7HOLD[1:0] Hold cycle 0x3 4 cycles 0x2 3 cycles 0x1 2 cycles 0x0 1 cycle	0x3	R/W	
		D27–24	CE7WAIT [3:0]	#CE7 static wait cycle	CE7WAIT[3:0] Wait cycle 0xf 15 cycles 0xe 14 cycles : : 0x1 1 cycle 0x0 0 cycles	0xf	R/W	
		D23–16	–	reserved	–	–	–	1 when being read.
		D15–14	CE5SETUP [1:0]	#CE5 setup cycle	CE5SETUP[1:0] Setup cycle 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D13–12	CE5HOLD [1:0]	#CE5 hold cycle	CE5HOLD[1:0] Hold cycle 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D11–8	CE5WAIT [3:0]	#CE5 static wait cycle	CE5WAIT[3:0] Wait cycle 0xf 15 cycles : : 0x0 0 cycles	0xf	R/W	
		D7–6	CE4SETUP [1:0]	#CE4 setup cycle	CE4SETUP[1:0] Setup cycle 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
#CE[7:4] Access Timing Configuration Register (SRAMC_ TMG47)	0x302220 (32 bits)	D5-4	CE4HOLD [1:0]	#CE4 hold cycle	CE4HOLD[1:0]	Hold cycle	0x3	R/W
					0x3	4 cycles		
					:	:		
					0x0	1 cycle		
		D3-0	CE4WAIT [3:0]	#CE4 static wait cycle	CE4WAIT[3:0]	Wait cycle	0xf	R/W
					0xf	15 cycles		
					:	:		
					0x0	0 cycles		

SRAMC_TMG810レジスタの説明を参照してください。

#CE[10:8]Access Timing Configuration Register (SRAMC_TMG810)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
#CE[10:8] Access Timing Configuration Register (SRAMC_ TMG810)	0x302224 (32 bits)	D31-24	—	reserved	—	—	—	1 when being read.
		D23-22	CE10SETUP [1:0]	#CE10 setup cycle	CE10SETUP[1:0]	Setup cycle	0x3	R/W
					0x3	4 cycles		
					0x2	3 cycles		
					0x1	2 cycles		
					0x0	1 cycle		
		D21-20	CE10HOLD [1:0]	#CE10 hold cycle	CE10HOLD[1:0]	Hold cycle	0x3	R/W
					0x3	4 cycles		
					0x2	3 cycles		
					0x1	2 cycles		
					0x0	1 cycle		
		D19-16	CE10WAIT [3:0]	#CE10 static wait cycle	CE10WAIT[3:0]	Wait cycle	0xf	R/W
					0xf	15 cycles		
					0xe	14 cycles		
					:	:		
					0x1	1 cycle		
					0x0	0 cycles		
		D15-14	CE9SETUP [1:0]	#CE9 setup cycle	CE9SETUP[1:0]	Setup cycle	0x3	R/W
					0x3	4 cycles		
					:	:		
					0x0	1 cycle		
		D13-12	CE9HOLD [1:0]	#CE9 hold cycle	CE9HOLD[1:0]	Hold cycle	0x3	R/W
					0x3	4 cycles		
					:	:		
					0x0	1 cycle		
		D11-8	CE9WAIT [3:0]	#CE9 static wait cycle	CE9WAIT[3:0]	Wait cycle	0xf	R/W
					0xf	15 cycles		
					:	:		
					0x0	0 cycles		
		D7-6	CE8SETUP [1:0]	#CE8 setup cycle	CE8SETUP[1:0]	Setup cycle	0x3	R/W
					0x3	4 cycles		
					:	:		
					0x0	1 cycle		
		D5-4	CE8HOLD [1:0]	#CE8 hold cycle	CE8HOLD[1:0]	Hold cycle	0x3	R/W
					0x3	4 cycles		
					:	:		
					0x0	1 cycle		
		D3-0	CE8WAIT [3:0]	#CE8 static wait cycle	CE8WAIT[3:0]	Wait cycle	0xf	R/W
					0xf	15 cycles		
					:	:		
					0x0	0 cycles		

SRAMC_TMG47およびSRAMC_TMG810レジスタは、各#CEエリアのSRAMアクセスタイミングの設定に使用します。

ビット名や#CE名などの‘x’は#CE番号(4、5、7～10)を表します。

D[31:30], D[23:22], D[15:14], D[7:6]

CE_xSETUP[1:0]: #CE_x Setup Cycle Bits

#CE_x信号のセットアップ時間(#CE_x立ち下がりエッジ→リード/ライト信号立ち下がりエッジ)を設定します。

表9.7.2 #CEセットアップ時間の設定

CE _x SETUP[1:0]	セットアップ時間
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x3)

D[29:28], D[21:20], D[13:12], D[5:4]**CExHOLD[1:0]: #CEx Hold Cycle Bits**

#CE_x信号のホールド時間(リード/ライト信号立ち上がりエッジ→#CE_x立ち上がりエッジ)を設定します。

表9.7.3 #CEホールド時間の設定

CExHOLD[1:0]	ホールド時間
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x3)

D[27:24], D[19:16], D[11:8], D[3:0]**CExWAIT[3:0]: #CEx Static Wait Cycle Bits**

#CE_x信号のスタティックウェイトサイクルを設定します。スタティックウェイトサイクルは、エリアのアクセス時に必ず挿入されるウェイトサイクルで、チップインーブルおよびリード/ライト信号が指定サイクル数分延長されます。CE_xWAIT[3:0]を0に設定した場合、スタティックウェイトサイクルは挿入されません。この場合の最小リード/ライトパルス幅は1サイクルです。

表9.7.4 スタティックウェイトサイクルの設定

CExWAIT[3:0]	スタティックウェイトサイクル	リード/ライトサイクル
0xf	15サイクル	16サイクル (+ #WAIT)
0xe	14サイクル	15サイクル (+ #WAIT)
⋮	⋮	⋮
0x1	1サイクル	2サイクル (+ #WAIT)
0x0	0サイクル	1サイクル (+ #WAIT)

(デフォルト: 0xf)

SRAMデバイスを接続するエリアでは、このスタティックウェイト制御に加え、#WAIT端子を使用したダイナミックウェイト制御も可能です。

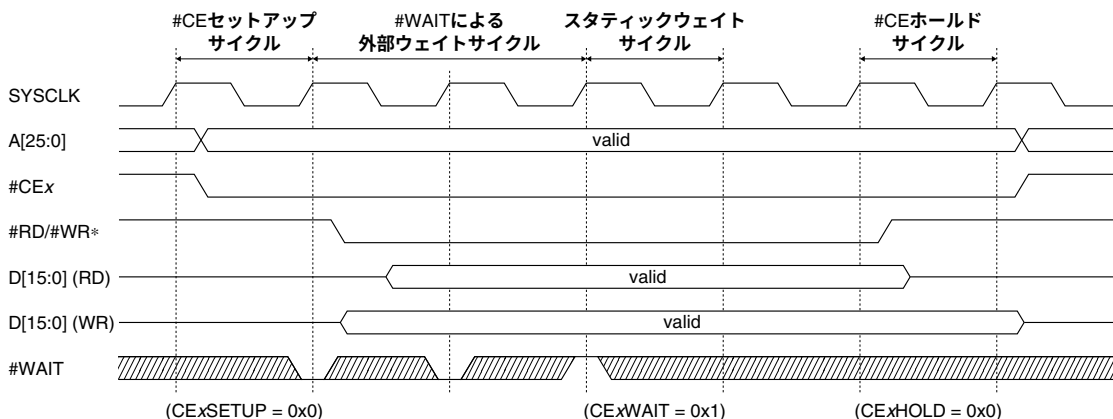


図9.7.1 設定可能なタイミング

#CE[10:4] Device Configuration Register (SRAMC_TYPE)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
#CE[10:4] Device Configuration Register (SRAMC_TYPE)	0x302228 (32 bits)	D31–14	–	reserved	–		–	–	0 when being read.
		D13–12	CE10TYPE [1:0]	#CE10 device type	CExTYPE[1:0] 0x3–0x2 0x1 0x0	Device type 8-bit device 16-bit BSL type 16-bit A0 type	0x0	R/W	
		D11–10	CE9TYPE [1:0]	#CE9 device type			0x0	R/W	
		D9–8	CE8TYPE [1:0]	#CE8 device type			0x0	R/W	
		D7–6	CE7TYPE [1:0]	#CE7 device type			0x0	R/W	
		D5–4	–	reserved	–		–	–	0 when being read.
		D3–2	CE5TYPE [1:0]	#CE5 device type	CExTYPE[1:0] 0x3–0x2 0x1 0x0	Device type 8-bit device 16-bit BSL type 16-bit A0 type	0x0	R/W	
		D1–0	CE4TYPE [1:0]	#CE4 device type			0x0	R/W	
							0x0	R/W	

D[31:14], D[5:4]

Reserved

D[13:12], D[11:10], D[9:8], D[7:6], D[3:2], D[1:0]

CExTYPE[1:0]: #CE_x Device Type Bits

各#CEエリアのデバイスタイプを選択します。

表9.7.5 デバイスタイプの選択

CExTYPE[1:0]	デバイスタイプ	使用する端子
0x3~0x2	8ビットデバイス	A[25:0], D[7:0], #CE _x , #RD, #WRL
0x1	16ビットBSLデバイス	A[25:1], D[15:0], #CE _x , #RD, #WRL, #BSL(A0), #BSH
0x0	16ビットA0デバイス	A[25:1], D[15:0], #CE _x , #RD, #WRL, #WRH

(デフォルト: 0x0)

10 SDRAMコントローラ (SDRAMC)

S1C33L27は外部メモリへのアクセスを制御するバスコントローラを内蔵しています。バスコントローラはSRAMを制御するSRAMコントローラ (SRAMC)、SDRAMを制御するSDRAMコントローラ (SDRAMC)、外部メモリからの読み出しを効率よく行うデータキューバッファ (DQB) で構成されています。

ここでは、SDRAMCとDQBについて説明します。SRAMCについては、“SRAMコントローラ (SRAMC)”の章を参照してください。

10.1 SDRAMCモジュールの概要

SDRAMコントローラ (SDRAMC) は、エリア7と19に最大64MBのSDRAMを接続可能なSDRAMインタフェースを提供します。

SDRAMCの主な特長を以下に示します。

- 最小16Mビット (2MB)～最大512Mビット (64MB)のSDRAMを接続可能
- 動作周波数: 最大60MHz (CPUと同一)
- データバス幅: 16ビット (16ビットSDRAM×1または8ビットSDRAM×2)
- CASレイテンシ: 1、2、または3に設定可能
- バースト転送をサポート (バースト長: 2)
- 2または4バンクのSDRAMに対応 (BA1とBA0出力)
ロードアドレス範囲: 2K (SDA10～SDA0)、4K (SDA11～SDA0)、または8K (SDA12～SDA0)
コラムアドレス範囲: 256 (SDA7～SDA0)、512 (SDA8～SDA0)、または1K (SDA9～SDA0)
- DQMLおよびDQMH端子を使用したバイト書き込みに対応
- プログラマブルな12ビットオートリフレッシュカウンタを内蔵
使用するクロック周波数によらず、必要なリフレッシュが可能
- 省電力動作のためのインテリジェントセルフリフレッシュモード
- MRS (Mode Register Set) に加え、ドライバ強度、自動温度補償セルフリフレッシュ、パーシャルアレイセルフリフレッシュをプログラム可能なEMRS (Extended Mode Register Set) コマンドをサポート

10.2 SDRAMC端子

表10.2.1にSDRAMCが使用する端子の一覧を示します。

表10.2.1 SDRAMC端子一覧

端子名	I/O	本数	機能
A[15:14]/SDBA[1:0]	O	2	バンクセレクト信号出力
A[13:1]/SDA[12:0]	O	13	アドレス信号出力
D[15:0]	I/O	16	データ信号入出力
SDCKE	O	1	SDRAMクロックイネーブル信号出力
SDCLK	O	1	SDRAMクロック出力
#SDCS	O	1	SDRAMチップイネーブル信号出力
A20/#SDRAS	O	1	SDRAMロードアドレスストローブ信号出力
A19/#SDCAS	O	1	SDRAMコラムアドレスストローブ信号出力
A18/#SDWE	O	1	SDRAMライト信号出力
A16/DQML	O	1	SDRAMデータ (下位バイト選択用) 入出力マスク信号出力
A17/DQMH	O	1	SDRAMデータ (上位バイト選択用) 入出力マスク信号出力

注: • 上記制御端子のいくつかは、汎用入出力ポートあるいは他の周辺回路の入出力と兼用されています。初期状態でSDRAMC以外の機能に設定される端子もありますので、ポート機能選択ビットによりSDRAMCの機能に設定してください。

端子の機能と切り換えの詳細については、“入出力ポート (GPIO)”の章を参照してください。

- バス制御信号はソフトウェアによりブルアップ制御および強制Low駆動が可能です。制御方法の詳細については、“入出力ポート (GPIO)”を参照してください。

10.3 SDRAMC動作クロック

SDRAMCはCMUから供給されるSYSCLKで動作します。このクロックはSDCLKとして使用されます。また、SDRAMC制御レジスタへのアクセスにはBCLKも使用します。クロック制御の詳細については、“クロックマネージメントユニット (CMU)”の章を参照してください。

10.4 SDRAMの構成

10.4.1 SDRAMエリア

SDRAMC用に#CE7エリア (エリア7、エリア19)が予約されています。ただし、イニシャルリセット時にSDRAMCは無効となり、#CE7エリアはSRAMCで制御されるSRAMエリアに設定されます。このため、SDRAMを使用する場合はSDON/SDRAMC_INITレジスタを1にして、#CE7エリアをSDRAMエリアに設定する必要があります。

注: SDONを1に設定すると、SRAMCに設定されている#CE7エリアの外部SRAMアクセス条件は無効となります。

10.4.2 SDRAMサイズとアクセス条件の設定

SDRAMCが対応可能なSDRAMのサイズとタイミングパラメータに関する条件は以下のとおりです。

表10.4.2.1 SDRAM設定項目

設定項目	内容	制御ビットの設定
SDRAMアドレス構成	32M × 16ビット × 1	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x7
	16M × 16ビット × 1	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x3
	8M × 16ビット × 1	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x2
	4M × 16ビット × 1	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x1
	1M × 16ビット × 1 (デフォルト)	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x0 (デフォルト)
	16M × 8ビット × 2	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x6
	8M × 8ビット × 2	ADDRC[2:0]/SDRAMC_CFGレジスタ = 0x5
CASレイテンシ	3, 2または1	CAS[1:0]/SDRAMC_APPレジスタ = 0x3, 0x2または0x1
バースト長	2 (固定)	—
trp, trcd	1 (デフォルト) ~ 4サイクル	T24NS[1:0]/SDRAMC_CFGレジスタ = 0x0 (デフォルト) ~ 0x3
tras	1 (デフォルト) ~ 8サイクル	T60NS[2:0]/SDRAMC_CFGレジスタ = 0x0 (デフォルト) ~ 0x7
trc, trfc, txsr	1, 5, 9または13サイクル	T80NS[3:0]/SDRAMC_CFGレジスタ = 0x0, 0x4, 0x8または0xc

SDRAMアドレス構成

ADDRC[2:0]/SDRAMC_CFGレジスタでSDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ (ページサイズ) およびローアドレスサイズも設定されます。

表10.4.2.2 SDRAMサイズを選択とSDRAMアドレス

ADDR[2:0]	0x0 (デフォルト)	0x1	0x2	0x3	0x7	0x4	0x5	0x6
SDRAMデバイス	16ビットデバイス					—	8ビットデバイス × 2	
容量 (Mビット)	16	64	128	256	512	—	64 × 2	128 × 2
データ幅	16ビット							
ローサイズ	2048	4096	4096	8192	8192	—	4096	4096
カラムサイズ	256	256	512	512	1024	—	512	1024
バンク数	2	4	4	4	4	—	4	4
A25	—	—	—	—	R10	—	—	—
A24	—	—	—	R12	R12	—	—	R11
A23	—	—	R11	R11	R11	—	R11	R10
A22	—	R11	R9	R9	R9	—	R9	R9
A21	—	R8	R8	R8	R8	—	R8	R8
A20	R7	R7	R7	R7	R7	—	R7	R7
A19	R6	R6	R6	R6	R6	—	R6	R6
A18	R5	R5	R5	R5	R5	—	R5	R5
A17	R4	R4	R4	R4	R4	—	R4	R4
A16	R3	R3	R3	R3	R3	—	R3	R3
A15	R2	R2	R2	R2	R2	—	R2	R2
A14	R1	R1	R1	R1	R1	—	R1	R1
A13	R0	R0	R0	R0	R0	—	R0	R0
A12	R10	R10	R10	R10	B1	—	R10	B1
A11	R9	R9	B0	B0	B0	—	B0	B0
A10	R8	B1	B1	B1	C9	—	B1	C9
A9	B0	B0	C8	C8	C8	—	C8	C8
A8	C7	C7	C7	C7	C7	—	C7	C7
A7	C6	C6	C6	C6	C6	—	C6	C6
A6	C5	C5	C5	C5	C5	—	C5	C5
A5	C4	C4	C4	C4	C4	—	C4	C4
A4	C3	C3	C3	C3	C3	—	C3	C3
A3	C2	C2	C2	C2	C2	—	C2	C2
A2	C1	C1	C1	C1	C1	—	C1	C1
A1	C0	C0	C0	C0	C0	—	C0	C0
A0	DQM	DQM	DQM	DQM	DQM	—	DQM	DQM

バイトデータのリード/ライト時は、SDRAMCがA0/#BSLと#WRH/#BSHをDQMLとDQMHにデコードします。メモリサイズにより使用されない上位アドレスビットはすべて0に固定されます。

図10.4.2.1と10.4.2.2にSDRAMの接続例を示します。

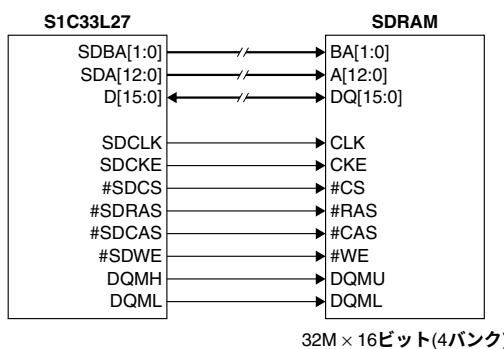


図10.4.2.1 64MバイトSDRAM接続例

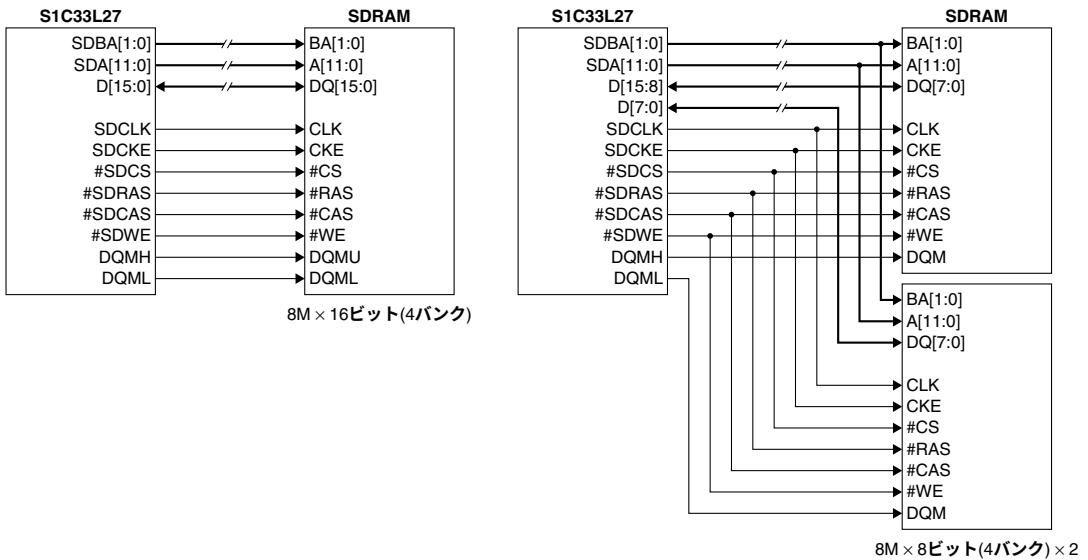


図10.4.2.2 16MバイトSDRAM接続例

タイミングの設定

以下のパラメータをSDRAMの仕様に合わせて設定しておくことができます。

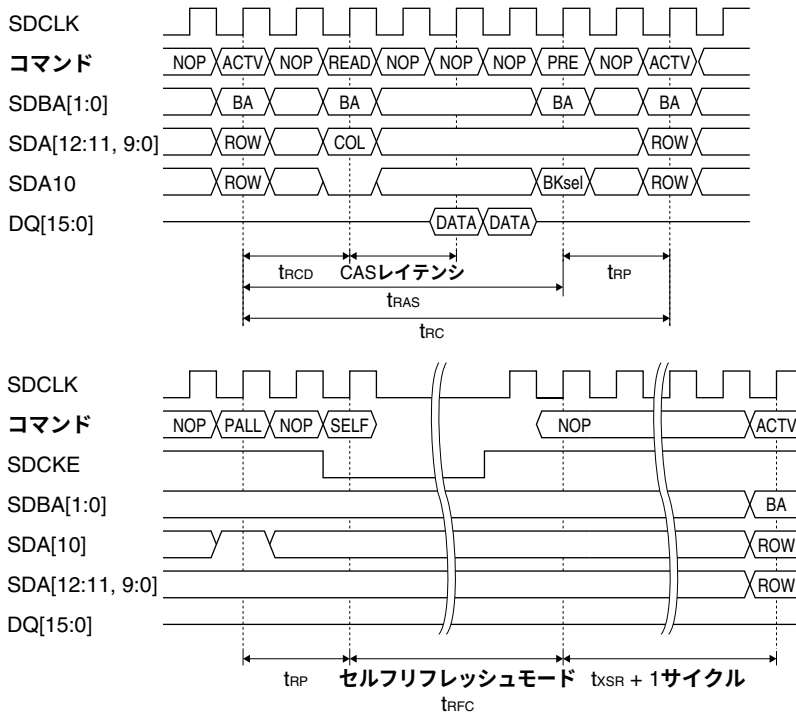


図10.4.2.3 SDRAMタイミングパラメータ

(1) CASレイテンシ

CASレイテンシは、リード(READ)コマンド発行後にSDRAMからデータが出力されるまでのSDCLKクロック数のことで、本SDRAMインタフェースではCAS[1:0]/SDRAMC_APPレジスタで1～3に設定可能です。

表10.4.2.3 CASレイテンシの設定

CAS[1:0]	CASレイテンシ
0x3	3
0x2	2
0x1	1
0x0	Reserved

(デフォルト: 0x2)

(2) trc, trfc, txsr

trc: ACTIVE→ACTIVEコマンドサイクル時間

trfc: オートリフレッシュサイクル時間

txsr: セルフリフレッシュ終了→ACTIVEコマンド期間

これらのタイミングパラメータはT80NS[3:0]/SDRAMC_CFGレジスタでSDCLKの1～16サイクルに設定できます。

表10.4.2.4 trc, trfc, txsrの設定

T80NS[3:0]	trc, trfc, txsr
0xc	13サイクル
0x8	9サイクル
0x4	5サイクル
0x0	1サイクル
その他	Reserved

(デフォルト: 0xe)

(3) tras

tras: ACTIVE→PRECHARGEコマンド期間

このタイミングパラメータはT60NS[2:0]/SDRAMC_CFGレジスタでSDCLKの1～8サイクルに設定できます。

表10.4.2.5 trasの設定

T60NS[2:0]	tras
0x7	8サイクル
0x6	7サイクル
:	:
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

(4) trp, trcd

trp: PRECHARGE→ACTIVEコマンド期間

trcd: ACTIVE→READ/WRITE遅延時間

これらのタイミングパラメータはT24NS[1:0]/SDRAMC_CFGレジスタでSDCLKの1～4サイクルに設定できます。

表10.4.2.6 trp, trcdの設定

T24NS[1:0]	trp, trcd
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

10.5 SDRAMインタフェースの制御と動作

10.5.1 SDRAMの初期化

SDRAMを使用するには、以下の手順でSDRAMを初期化してください。

1. SDRAMCレジスタの初期設定

SDRAMCレジスタを以下の順番で設定します。

(1) SDRAMC_CFGレジスタ

SDRAMのサイズやアドレス構成、アクセス用タイミングパラメータを設定します。

(2) SDRAMC_REFレジスタ

オートリフレッシュカウンタとセルフリフレッシュカウンタを設定します。

(3) SDRAMC_INITレジスタ

SDONを1に設定し、SDRAMCを有効にします。

(4) SDRAMC_APPレジスタ

CASレイテンシを設定します。

2. SDRAM電源投入後の待機

SDRAMの電源投入後は、一定時間(例: 100 μ sまたは200 μ s)以上NOP状態(#SDCS = 1)を保つ必要があります。この時間はSDRAMにより変わりますので、仕様を確認してください。

3. SDRAMイニシャルシーケンスの実行

SDRAMを初期化するため、PALL(全バンクプリチャージ)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行します。この実行順序はSDRAMにより異なりますので注意してください。

例1: PALL → REF → REF → MRS (→ EMRS)

例2: PALL → MRS → REF → REF (→ REF → REF → REF → REF → REF → REF)

初期化手順については、使用するSDRAMの仕様を参照してください。

各コマンドは以下に示す制御ビットで個々に実行可能です。

PALL(全バンクプリチャージ)コマンドの実行

SDRAMC_INITレジスタに0x12を書き込み、INIPREを1に設定します。

次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、PALLコマンドがSDRAMに送られます。

REF(オートリフレッシュ)コマンドの実行

SDRAMC_INITレジスタに0x11を書き込み、INIREFを1に設定します。

次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、REFコマンドがSDRAMに送られます。

REFコマンドを複数回実行する場合は、それぞれの実行の間にnop命令を入れてください。

REFコマンド実行 → nop命令実行 → REFコマンド実行 (→ REF → nop → REF...)

SDRAMC_CFGレジスタに設定したSDRAMタイミングパラメータは、このイニシャルシーケンス実行時は無効となります。そのため、SDRAMタイミングを満たすために十分な数のnop命令を実行する必要があります。

MRS/EMRS(モードレジスタセット/拡張モードレジスタセット)コマンドの実行

SDRAMC_INITレジスタに0x14を書き込み、INIMRSを1に設定します。

次に、CASレイテンシ(MRS)や拡張モードパラメータ(EMRS)によって決まるSDRAMの下記のアドレスに任意のデータを書き込みます。

表10.5.1.1 MRS/EMRSコマンドを実行するためのデータライトアドレス

CPUアドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
SDRAMアドレス	BA1	BA0	SDA12	SDA11	SDA10	SDA9	SDA8	SDA7	SDA6	SDA5	SDA4	SDA3	SDA2	SDA1	SDA0	
MRS	モード		Reserved			WB	テストモード		CASレイテンシ			BT	バースト長			
	CASレイテンシ = 1		0	0	0	0	1	0	0	0	0	1	0	0	0	1
	CASレイテンシ = 2		0	0	0	0	1	0	0	0	0	1	0	0	0	1
	CASレイテンシ = 3		0	0	0	0	1	0	0	0	0	1	1	0	0	1
EMRS	モード		Reserved						DS		TCSR		PASR			
	1	0	0	0	0	0	0	0	0	SDRAM仕様参照						

たとえば、CASレイテンシ = 2の指定でMRSコマンドを実行するには、SDRAMC_INITレジスタに0x14を書き込み後、アドレス0x10000442(SDRAMをエリア19に配置した場合)に任意の値を書き込んでください。

- 注:
- MRSコマンドで指定するCASレイテンシは、CAS[1:0]/SDRAMC_APPレジスタの設定内容と同じにする必要があります。
 - イニシャルシーケンスのコマンドを実行後は、コマンドイネーブルビットを0に設定する必要があります。最後の初期化コマンドを実行後はSDRAMC_INITレジスタに0x10を書き込んでください。
 - SDRAMの初期化が終了するまで、セルフリフレッシュ機能は無効にしてください。

4. SDRAM初期化終了のチェック

INIDO/SDRAMC_INITレジスタは電源投入時に0にリセットされ、上記のSDRAM初期化が終了すると1にセットされます。SDRAMをアクセスする前に、INIDOが1になっていることを確認してください。INIDOは電源投入時以外に、SDON/SDRAMC_INITレジスタへの0書き込みによっても0にリセットされます。

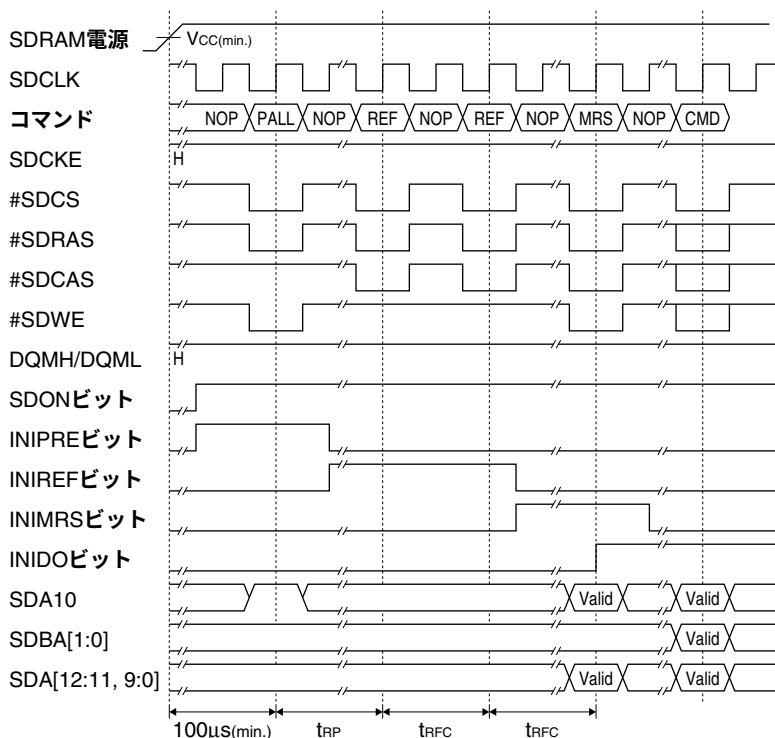


図10.5.1.1 SDRAMの電源投入と初期化

10.5.2 SDRAMコマンド

SDRAMは信号の論理レベルを組み合わせる構成されるコマンドによって制御されます。
本SDRAMCが出力するコマンドを下表に示します。

表10.5.2.1 サポートSDRAMコマンド一覧

コマンド	SDCKE	DQM (DQMH/L)	SDBA[1:0]	SDA10	SDA[12:11] SDA[9:0]	#SDCS	#SDRAS	#SDCAS	#SDWE
選択解除	H	—	—	—	—	H	—	—	—
バンクアクティブ(ACTV)	H	—	V	V	V	L	L	H	H
指定バンクプリチャージ(PRE)	H	—	V	L	—	L	L	H	L
全バンクプリチャージ(PALL)	H	—	—	H	—	L	L	H	L
ライト(WRIT)	H	—	V	L	V	L	H	L	L
リード(READ)	H	—	V	L	V	L	H	L	H
モードレジスタセット(MRS)	H	—	—	V	V	L	L	L	L
ノーオペレーション(NOP)	H	—	—	—	—	L	H	H	H
オートリフレッシュ (REF)	H	—	—	—	—	L	L	L	H
セルフリフレッシュ開始(SELF)	H → L	—	—	—	—	L	L	L	H
セルフリフレッシュ終了	L → H	—	—	—	—	H	—	—	—
データライト/出力許可	H	L	—	—	—	—	—	—	—
データライト/出力禁止	H	H	—	—	—	—	—	—	—

V = 有効, — = 任意/不定, L = Lowレベル, H = Highレベル

各コマンド出力はSDRAMコントローラが行いますので、SDRAMの初期化以外ユーザプログラムで制御する必要はありません。

10.5.3 SDRAMのバスオペレーション

S1C33L27の外部データバスサイズは16ビットです。デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。SDRAMエリアのバスオペレーションを表10.5.3.1に示します。

表10.5.3.1 バスオペレーション

デバイス サイズ	データ サイズ	R/W	A1	A0	リトルエンディアン			アクセス 回数
					使用する 制御信号	D[15:8] 端子	D[7:0] 端子	
16ビット	バイト	W	*	0	DQML	—	D[7:0]	1回
			*	1	DQMH	D[7:0]	—	1回
		R	*	0	DQMH/L	—	D[7:0]	1回
			*	1		D[7:0]	—	1回
	ハーフ ワード	W	*	*	DQMH/L	D[15:0]		1回
		R	*	*	DQMH/L	D[15:0]		1回
	ワード	W	0	*	DQMH/L	D[15:0]		1回目
			1	*		D[31:16]		2回目
		R	0	*	DQMH/L	D[15:0]		1回目
			1	*		D[31:16]		2回目

10.5.4 リード/ライトサイクル

リードサイクル

SDRAMCはバーストリードによりSDRAMからデータを読み出します。バースト長は2に固定されています。図10.5.4.1に、同じローアドレスから2ワードのデータを読み出す場合のタイミング例を示します。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

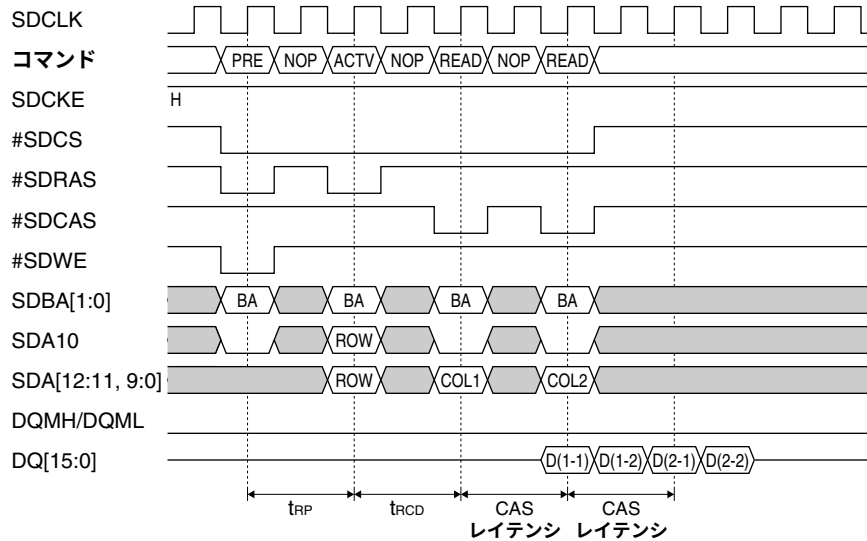


図10.5.4.1 同一ページ内のバーストリード

図10.5.4.2は、バーストリード中にローアドレスが変わる場合の例です。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

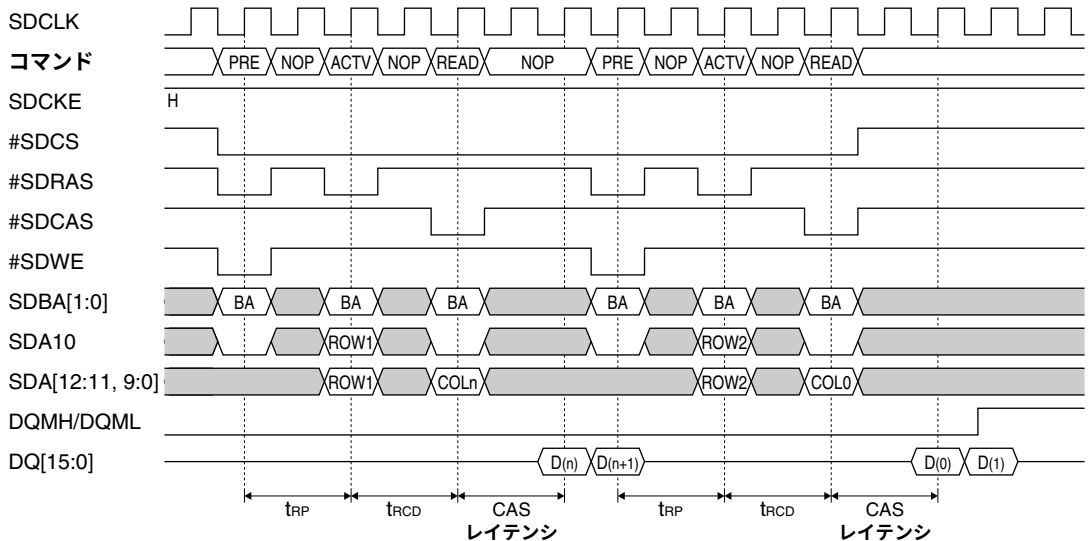


図10.5.4.2 バーストリード時のローアドレス変更

ライトサイクル

SDRAMへの書き込みは、常にシングルライトになります。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

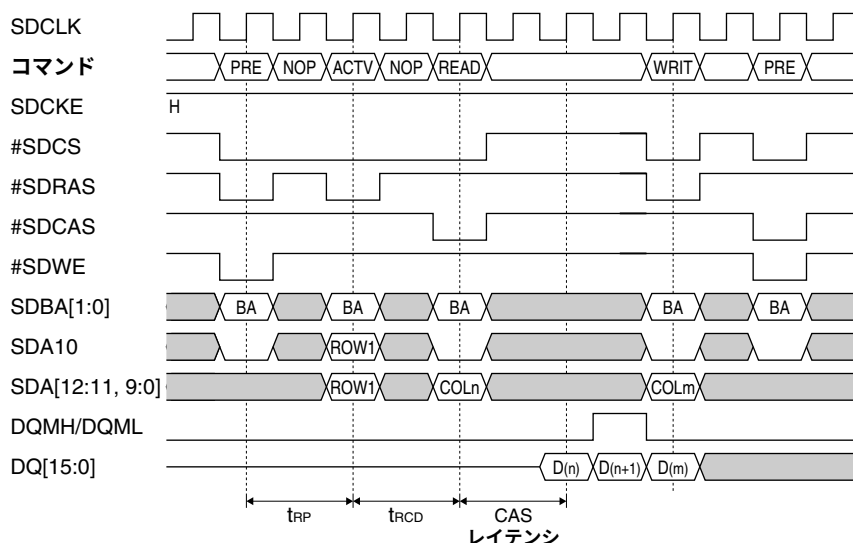


図10.5.4.3 バーストリード→シングルライト (同一ページ)

バンクインターリーブアクセス

複数のバンク (4バンクまで) を同時にアクティブにすることができます。これにより、バンクが変わる場合でも、ACTV (アクティブ) コマンドをその都度発行することなく、連続的にSDRAMをアクセスすることができます。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

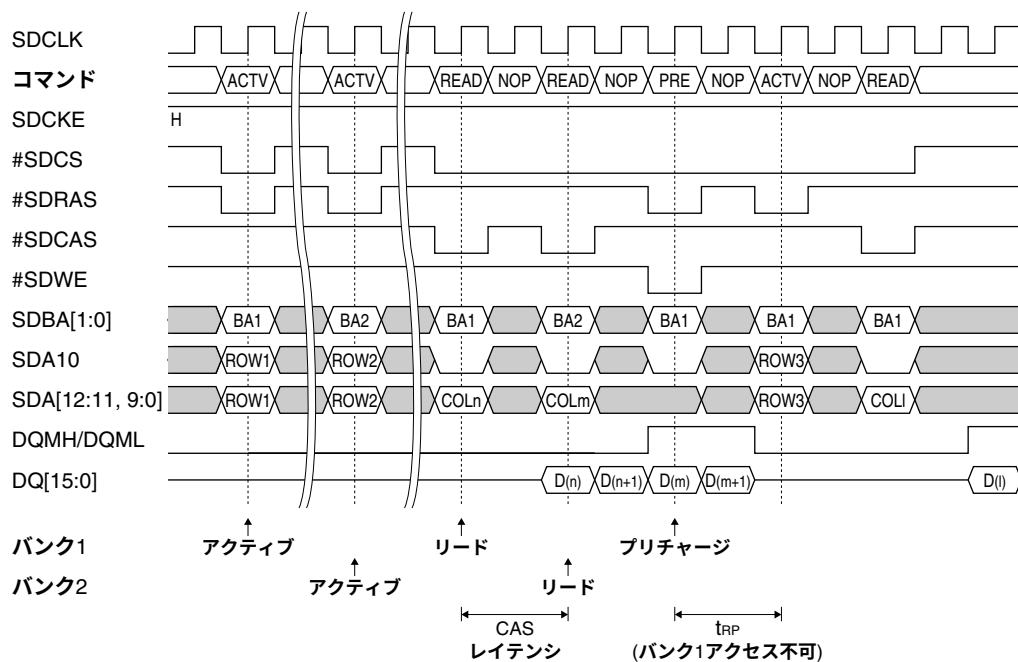


図10.5.4.4 バンクインターリーブアクセス

10.5.5 SDRAMリフレッシュ

SDRAMCは、オートリフレッシュとセルフリフレッシュの2種類のSDRAMリフレッシュモードに対応しています。

オートリフレッシュ

SDRAMCは12ビットのオートリフレッシュカウンタを内蔵しています。このカウンタはSDCLKクロックで常にカウントを行い、カウントが指定した値になると全バンクのプリチャージコマンドとオートリフレッシュコマンドをSDRAMに送信するようになっています。その時点でカウンタはリセットされ、次のリフレッシュ周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

オートリフレッシュの周期はSDCLKクロック (SYSCLK) の周波数と、AURCO[11:0]/SDRAMC_REFレジスタに設定するカウント値で決まります。

SDRAMの仕様を満たすようにAURCO[11:0]の値を設定してください。カウント値は次の計算式で求められます。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trp} - \text{trcd} - 3$$

RFP: 最大リフレッシュ周期 [秒]

ROWS: ロードアドレスサイズ

fCLK: SDCLKクロック周波数 [Hz]

BL: バースト長 (= 2)

CL: CASレイテンシ

trp: PRECHARGEコマンド期間 [サイクル数]

trcd: ACTIVE→READ/WRITE遅延時間 [サイクル数]

たとえば、RFP = 64ms、ROWS = 4,096、fCLK = 20MHz、CL = 2、trp = 2、trcd = 2の場合の設定値は次のように算出されます。

$$\text{AURCO} \leq \frac{0.064}{4,096} \times 20,000,000 - 2 - 2 - 2 \times 2 - 2 - 3 = 299$$

AURCO[11:0]には299(0x12b)以下の値を設定します。

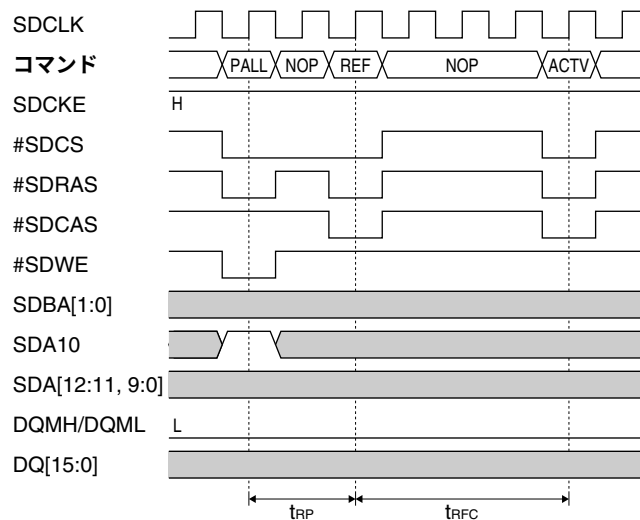


図10.5.5.1 オートリフレッシュ

セルフリフレッシュ

セルフリフレッシュはSDRAMのセルフリフレッシュ機能を使用するもので、リフレッシュ期間中にクロックが不要なため、電力消費を抑えることができます。また、パワーダウンモード時のデータ保持には、このセルフリフレッシュを使用します。セルフリフレッシュを行う場合は、SELEN/SDRAMC_REFレジスタを1に設定します。これにより、SDRAMCはセルフリフレッシュコマンド (SDCKE出力をLowに設定) をSDRAMに送ることができるようになります。

実際にコマンドが送られるのはSDRAMのアクセスから、またはオートリフレッシュから一定時間経過後で、SDRAMCは、この時間をカウントするセルフリフレッシュカウンタを内蔵しています。このカウンタはSDCLKクロックでカウントを行い、カウントが指定した値になるとセルフリフレッシュコマンドをSDRAMに送信します。また、SDRAMのアクセスやオートリフレッシュコマンドの発行時にカウンタはリセットされ、再度カウントを開始するようになっています。カウンタと比較する値は、SELCO[6:0]/SDRAMC_REFレジスタで1～127の範囲で指定可能です。セルフリフレッシュを有効に設定している場合は、カウンタを0に設定しないでください。

セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。その後SDRAMへのアクセスが終了してカウンタが指定した値になると、SDRAMCは再度セルフリフレッシュコマンドをSDRAMに送信します。セルフリフレッシュコマンドの送信前にオートリフレッシュコマンドが発行されるか、SDRAMへのアクセスが発生すると、カウンタは再スタートします。したがって、セルフリフレッシュカウンタ値はオートリフレッシュカウンタ値よりも小さく設定する必要があります。

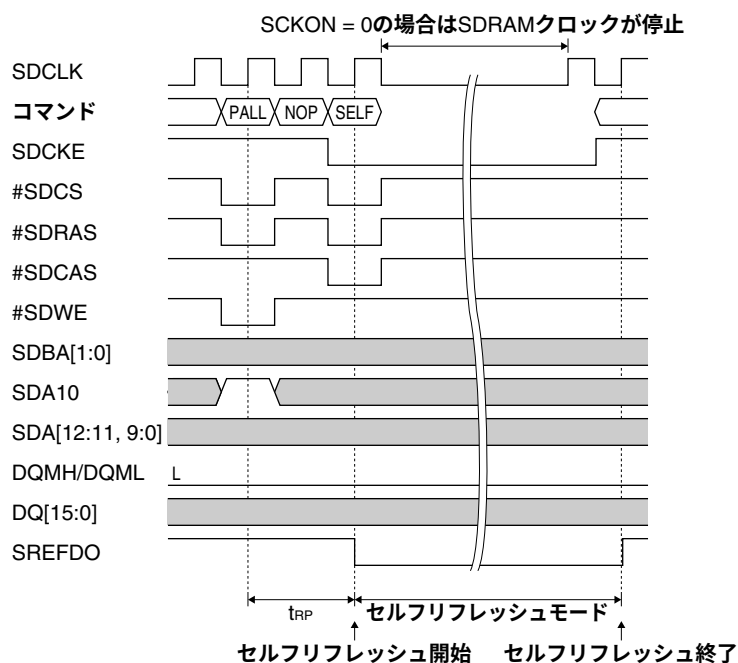


図10.5.5.2 セルフリフレッシュ

セルフリフレッシュ中(SDCKE = Lowの期間)は、SREFDO/SDRAMC_REFレジスタが0になりますので、これを読み出して確認することができます。

また、SCKON/SDRAMC_REFレジスタを0に設定することで、セルフリフレッシュ中のSDRAMクロック出力を停止して電力消費を抑えることができます。

セルフリフレッシュモードの解除方法

セルフリフレッシュモードは以下の手順で解除してください。

1. SELENを0に設定してセルフリフレッシュ機能を無効にします。
2. SDRAMアドレスからデータを読み出し、その読み出し値を同じアドレスに書き込みます(任意のアドレスが指定できます)。
3. SREFDOを読み出し、セルフリフレッシュモードが解除されたこと(SREFDO = 1)を確認します。

なお、オートリフレッシュモードを解除することはできません。

注: セルフリフレッシュ中は絶対にSDON/SDRAMC_INITレジスタを0(SDRAMCを無効)に設定しないでください。SDRAMCを無効に設定する場合は、必ずセルフリフレッシュモードではないことを確認してください。

10.5.6 パワーダウンモード

S1C33L27はC33 PEコアの2つのパワーダウンモード(HALT、SLEEP)をサポートしています。

HALTモード

通常モード時にSDRAMクロックの供給を停止しない限り、HALTモード時にもSDRAMクロックは供給されます。CMUの制御によりhalt命令実行前にSDRAMクロックを停止することができます。HALT時にSDRAMクロックを停止させた状態でもSDRAMのデータを保持するには、SDRAMクロックを停止する前にSELEN/SDRAMC_REFレジスタを1に設定してSDRAMをセルフリフレッシュモードにしてください。

SLEEPモード

SLEEPモードでは、以下の手順でSDRAMをOffにすることにより、消費電力を低減できます。

1. SDRAM上のプログラムで動作している場合は、内蔵RAM等でのプログラム実行に切り換えます。
2. SDRAMの電源をOffします。
3. SDRAM用に使用していた端子を汎用入出力ポートの機能に切り換えます。
4. データバスおよびアドレスバスをLow駆動にします。
5. SDON/SDRAMC_INITレジスタを0に設定してSDRAMCを無効にします。
6. slp命令を実行します。

SLEEPからの起床時は以下の処理を行います。

1. CPUがSLEEPから起床します。
2. ポートをSDRAM用に切り換えます。
3. データバスおよびアドレスバスのLow駆動を解除します。
4. SDRAMの電源をOnします。
5. SDRAMの仕様に合わせ、100 μ sまたは200 μ s以上の安定待ち時間を取ります。
6. SDON/SDRAMC_INITレジスタを1に設定してSDRAMCを有効にします。
7. SDRAMCを初期設定します。

10.6 DQB(データキューバッファ)

S1C33L27のバスコントローラには、C33 PEコアのメモリアクセス性能を向上させる、データキューバッファ(DQB)も組み込まれています。

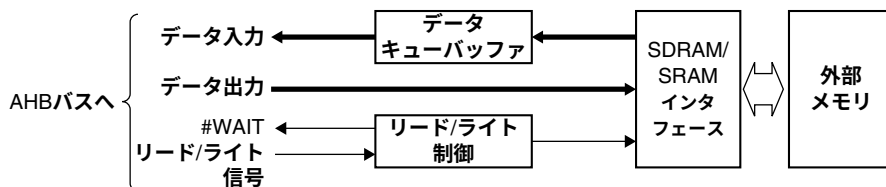


図10.6.1 データキューバッファ

DQBは4 × 16ビットのバッファで構成され、SDRAMまたはSRAMCの外部メモリから読み出す命令/データバッファとして使用されます。

DQBは命令とデータの区別なく、SDRAMまたはSRAMCの外部メモリから読み出されるすべてのデータを保持するリードバッファとして働きます。DQBを無効に設定することはできません。

表10.6.1にSDRAMまたはSRAMCの外部メモリを対象とするバスオペレーションによるDQBの状態を示します。

表10.6.1 バスオペレーションとDQBステータス

バスオペレーション	DQBステータス
CPU命令フェッチ	有効
CPUベクタフェッチ	有効
CPUデータリード	有効
CPUデータライト	無効
CPUスタックリード	有効
CPUスタックライト	無効
DMACデータリード	有効
DMACデータライト	無効

CPUによってDQBに取り込まれているデータのアドレスに対して書き込みが行われた場合、バッファされているデータは消去されます。

イニシャルリセット時もDQBは空の状態にリセットされます。

10.7 制御レジスタ詳細

表10.7.1 SDRAMCレジスタ一覧

アドレス	レジスタ名	機能
0x302200	SDRAMC_INIT	SDRAM Initialization Register
0x302204	SDRAMC_CFG	SDRAM Configuration Register
0x302208	SDRAMC_REF	SDRAM Refresh Control Register
0x302210	SDRAMC_APP	SDRAM Application Configuration Register

以下にSDRAMCの制御レジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SDRAM Initialization Register (SDRAMC_INIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Initialization Register (SDRAMC_INIT)	0x302200 (32 bits)	D31-5	—	reserved	—	—	—	0 when being read.
		D4	SDON	SDRAM controller enable	1 Enable 0 Disable	0	R/W	
		D3	INIDO	SDRAM initialization status	1 Finished 0 Busy	0	R	
		D2	INIMRS	MRS command enable for init.	1 Enable 0 Disable	0	R/W	
		D1	INIPRE	PALL command enable for init.	1 Enable 0 Disable	0	R/W	
		D0	INIREF	REF command enable for init.	1 Enable 0 Disable	0	R/W	

D[31:5] Reserved

D4 **SDON: SDRAM Controller Enable Bit**

SDRAMコントローラを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

SDONを1に設定するとSDRAMコントローラが動作を開始し、SDRAMクロックをSDCLK端子から出力します。SDONを1に設定する前に、必ずSDRAMCクロックのSDRAMコントローラへの供給を開始してください。

注: セルフリフレッシュ中は絶対にSDONを0(SDRAMCを無効)に設定しないでください。SDRAMCを無効に設定する場合は、必ずセルフリフレッシュモードではないことを確認してください。

D3 **INIDO: SDRAM Initialization Status Bit**

SDRAMが初期化(モードレジスタセット)を終了したことを示します。

1(R): 初期化終了

0(R): 初期化前(デフォルト)

INIDOは初期化シーケンスを終了すると1にセットされます。SDRAMをアクセスする前に、INIDOが1になっていることを確認してください。

D2 INIMRS: MRS Command Enable for Initialization Bit

SDRAMの初期化のためのMRS(モードレジスタセット)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SDRAMを初期化するには、PALL(全バンクプリチャージ)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行します。この実行順序はSDRAMにより異なりますので、使用するSDRAMの仕様を参照してください。

例1: PALL → REF → REF → MRS (→ EMRS)

例2: PALL → MRS → REF → REF (→ REF → REF → REF → REF → REF)

MRS/EMRS(モードレジスタセット/拡張モードレジスタセット)コマンドを実行するには、本レジスタに0x14を書き込み、INIMRSを1に設定します。次に、CASレイテンシ(MRS)や拡張モードパラメータ(EMRS)によって決まるSDRAMの下記のアドレスに任意のデータを書き込みます。

表10.7.2 MRS/EMRSコマンドを実行するためのデータライトアドレス

CPUアドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
SDRAMアドレス	BA1	BA0	SDA12	SDA11	SDA10	SDA9	SDA8	SDA7	SDA6	SDA5	SDA4	SDA3	SDA2	SDA1	SDA0	
MRS	モード		Reserved				WB	テストモード		CASレイテンシ			BT	バースト長		
	CASレイテンシ = 1		0	0	0	0	0	1	0	0	0	0	1	0	0	1
	CASレイテンシ = 2		0	0	0	0	0	1	0	0	0	1	0	0	0	1
	CASレイテンシ = 3		0	0	0	0	0	1	0	0	0	1	1	0	0	1
EMRS	モード		Reserved							DS		TCSR		PASR		
	1	0	0	0	0	0	0	0	0	SDRAM仕様参照						

たとえば、CASレイテンシ = 2の指定でMRSコマンドを実行するには、SDRAMC_INITレジスタに0x14を書き込み後、アドレス0x10000442(SDRAMをエリア19に配置した場合)に任意の値を書き込んでください。

注: MRSコマンドで指定するCASレイテンシは、CAS[1:0]/SDRAMC_APPレジスタの設定内容と同じにする必要があります。

D1 INIPRE: PALL Command Enable for Initialization Bit

SDRAMの初期化のためのPALL(全バンクプリチャージ)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PALL(全バンクプリチャージ)コマンドを実行するには、本レジスタに0x12を書き込み、INIPREを1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、PALLコマンドがSDRAMに送られます。イニシャルシーケンスについてはINIMRSを参照してください。

D0 INIREF: REF Command Enable for Initialization Bit

SDRAMの初期化のためのREF(オートリフレッシュ)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

REF(オートリフレッシュ)コマンドを実行するには、本レジスタに0x11を書き込み、INIREFを1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、REFコマンドがSDRAMに送られます。イニシャルシーケンスについてはINIMRSを参照してください。

REFコマンドを複数回実行する場合は、それぞれの実行の間にnop命令を入れてください。

REFコマンド実行 → nop命令実行 → REFコマンド実行(→ REF → nop → REF...)

- 注:
- SDRAMC_CFGレジスタに設定したSDRAMタイミングパラメータは、このイニシャルシーケンス実行時は無効となります。そのため、SDRAMタイミングを満たすために十分な数のnop命令を実行する必要があります。
 - イニシャルシーケンスのコマンドを実行後は、コマンドイネーブルビットを0に設定する必要があります。最後の初期化コマンドを実行後はSDRAMC_INITレジスタに0x10を書き込んでください。
 - SDRAMの初期化が終了するまで、セルフリフレッシュ機能は無効にしてください。

SDRAM Configuration Register (SDRAMC_CFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Configuration Register (SDRAMC_CFG)	0x302204 (32 bits)	D31–14	–	reserved	–	–	–	0 when being read.
		D13–12	T24NS[1:0]	Number of SDRAM trp and trcd cycles	T24NS[1:0]	# of cycles	0x0	R/W
					0x3	4 cycles		
					0x2	3 cycles		
					0x1	2 cycles		
					0x0	1 cycle		
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	T60NS[2:0]	Number of SDRAM tras cycles	T60NS[2:0]	# of cycles	0x0	R/W
					0x7	8 cycles		
					0x6	7 cycles		
					:	:		
					0x1	2 cycles		
					0x0	1 cycle		
		D7–4	T80NS[3:0]	Number of SDRAM trc, trfc and txsr cycles	T80NS[3:0]	# of cycles	0xe	R/W
					0xc	13 cycles		
					0x8	9 cycles		
					0x4	5 cycles		
					0x0	1 cycle		
					Other	reserved		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	ADDRC[2:0]	SDRAM address configuration	ADDRC[2:0]	Configuration	0x0	R/W
					0x7	512M bits		
					0x6	128M bits x 2		
					0x5	64M bits x 2		
					0x4	reserved		
					0x3	256M bits		
					0x2	128M bits		
					0x1	64M bits		
					0x0	16M bits		

D[31:14] Reserved**D[13:12] T24NS[1:0]: Number of SDRAM trp and trcd Cycles Bits**

SDRAMタイミングパラメータのtrpとtrcdを設定します。

- trp PRECHARGE→ACTIVEコマンド期間
- trcd ACTIVE→READ/WRITE遅延時間

表10.7.3 trp, trcdの設定

T24NS[1:0]	trp, trcd
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

D11 Reserved**D[10:8] T60NS[2:0]: Number of SDRAM tras Cycles Bits**

SDRAMタイミングパラメータのtrasを設定します。

- tras ACTIVE→PRECHARGEコマンド期間

表10.7.4 trasの設定

T60NS[2:0]	tras
0x7	8サイクル
0x6	7サイクル
:	:
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

D[7:4] T80NS[3:0]: Number of SDRAM trc, trfc, and txsr Cycles Bits

SDRAMタイミングパラメータのtrc, trfc, txsrを設定します。

- trc ACTIVE→ACTIVEコマンドサイクル時間
- trfc オートリフレッシュサイクル時間
- txsr セルフリフレッシュ終了→ACTIVEコマンド期間

表10.7.5 trc, trfc, txsrの設定

T80NS[3:0]	trc, trfc, txsr
0xc	13サイクル
0x8	9サイクル
0x4	5サイクル
0x0	1サイクル
その他	Reserved

(デフォルト: 0xe)

D3 **Reserved****D[2:0] ADDR[2:0]: SDRAM Address Configuration Bits**

SDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ(ページサイズ)、およびローアドレスサイズも決定します。

表10.7.6 SDRAMサイズの選択

ADDR[2:0]	バンク数	ローサイズ	カラムサイズ	SDRAMチップ構成	メモリサイズ
0x7	4	8K	1K	32M × 16ビット × 1	64M/バイト
0x6	4	4K	1K	16M × 8ビット × 2	32M/バイト
0x5	4	4K	512	8M × 8ビット × 2	16M/バイト
0x4	Reserved (ADDR[2:0]を0x4に設定しないでください。)				
0x3	4	8K	512	16M × 16ビット × 1	32M/バイト
0x2	4	4K	512	8M × 16ビット × 1	16M/バイト
0x1	4	4K	256	4M × 16ビット × 1	8M/バイト
0x0	2	2K	256	1M × 16ビット × 1	2M/バイト

(デフォルト: 0x0)

SDRAM Refresh Register (SDRAMC_REF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Refresh Control Register (SDRAMC_REF)	0x302208 (32 bits)	D31-26	—	reserved	—	—	—	0 when being read.
		D25	SREFDO	SDRAM self-refresh status	1 Finished 0 Busy	0	R	
		D24	SKCON	SDRAM clock during self-refresh	1 Enable 0 Disable	0	R/W	
		D23	SELEN	SDRAM self-refresh enable	1 Enable 0 Disable	0	R/W	
		D22-16	SELCO[6:0]	SDRAM self-refresh counter	0x0 to 0x7f	0x7f	R/W	
		D15-12	—	reserved	—	—	—	0 when being read.
		D11-0	AURCO[11:0]	SDRAM auto-refresh counter	0x0 to 0xffff	0x8c	R/W	

D[31:26] Reserved**D25 SREFDO: SDRAM Self-Refresh Status Bit**

SDRAMのセルフリフレッシュ状態を示します。

1(R): セルフリフレッシュ終了

0(R): セルフリフレッシュ中(デフォルト)

SDRAMがセルフリフレッシュ中はSREFDOが0になります。それ以外は1になります。

SLEEPモードに設定する場合は、その前に必ずSDRAM以外の場所に置かれているプログラムで本ビットを読み出し、SDRAMがセルフリフレッシュモード中であることを確認してください。

D24 SKCON: SDRAM Clock During Self-Refresh Bit

セルフリフレッシュ中にSDRAMクロックを停止するかどうかを選択します。

1(R/W): 許可(出力を保持)

0(R/W): 禁止(出力を停止) (デフォルト)

SKCONに0を書き込むと、SDRAMがセルフリフレッシュ中にSDCLK端子からのSDRAMクロック出力を停止します。これにより、消費電流を低減できます。

SKCONが1の場合は、SDRAMがセルフリフレッシュ中でもSDCLK端子からSDRAMクロックが出力されます。

D23 SELEN: SDRAM Self-Refresh Enable Bit

SDRAMのセルフリフレッシュ制御機能を有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

10 SDRAMコントローラ (SDRAMC)

SELENに1を書き込むと、SDRAMCはSDRAMのセルフリフレッシュを開始(SDCKE出力をLowに設定)できるようになります。実際にセルフリフレッシュを開始するのはSDRAMのアクセスまたはオートリフレッシュからSELCO[6:0]で指定したクロックサイクルの経過後です。

セルフリフレッシュモードを解除するには、以下の手順を実行します。

1. SELENを0に設定してセルフリフレッシュ機能を無効にします。
2. SDRAMアドレスからデータを読み出し、その読み出し値を同じアドレスに書き込みます (任意のアドレスが指定できます)。
3. SREFDOを読み出し、セルフリフレッシュモードが解除されたこと(SREFDO = 1)を確認します。

D[22:16] SELCO[6:0]: SDRAM Self-Refresh Counter Bits

セルフリフレッシュカウンタ値を設定します。(デフォルト: 0x8f)

SELENが1(セルフリフレッシュ有効)に設定されている場合、セルフリフレッシュカウンタはSDRAMのアクセス後、あるいはオートリフレッシュ実行後にSDCLKクロックにより0からカウントアップを行います。カウンタがここで指定した値になるとSDCKE出力をLowにしてSDRAMにセルフリフレッシュを開始させます。セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。

D[15:12] Reserved

D[11:0] AURCO[11:0]: SDRAM Auto-Refresh Counter Bits

オートリフレッシュカウンタ値を設定します。(デフォルト: 0x8c)

オートリフレッシュカウンタはSDCLKクロックにより0からカウントアップを行い、ここで指定した値になるとオートリフレッシュコマンドを送信します。その時点でカウンタはリセットされ、次の周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

次の式で算出される値が、設定可能な最大値です。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trp} - \text{trcd} - 3$$

RFP: 最大リフレッシュ周期 [秒]

ROWS: ローアドレスサイズ

fCLK: SDCLKクロック周波数 [Hz]

BL: バースト長 (= 2)

CL: CASレイテンシ

trp: PRECHARGEコマンド期間 [サイクル数]

trcd: ACTIVE→READ/WRITE遅延時間 [サイクル数]

SDRAM Application Configuration Register (SDRAMC_APP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Application Configuration Register (SDRAMC_APP)	0x302210 (32 bits)	D31–6	–	reserved	–	–	–	0 when being read.
		D5	–	reserved	–	0	–	Do not set to 1.
		D4	–	reserved	–	–	–	0 when being read.
		D3–2	CAS[1:0]	CAS latency setup	CAS[1:0]	0x2	R/W	
					0x3			
					0x2			
					0x1			
					0x0			
		D1	–	reserved	–	–	–	0 when being read.
		D0	–	reserved	–	0	–	Do not set to 1.

D[31:16] Reserved

D5 Reserved (1に設定しないでください。)

D4 Reserved

D[3:2] CAS[1:0]: CAS Latency Setup Bits

CASレイテンシを設定します。

CASレイテンシは、READ(リード)コマンド発行後にSDRAMからデータが出力されるまでのSDCLKクロック数のことです。

表10.7.7 CASレイテンシの設定

CAS[1:0]	CASレイテンシ
0x3	3
0x2	2
0x1	1
0x0	Reserved

(デフォルト: 0x2)

D1 **Reserved****D0** **Reserved**(1に設定しないでください。)

10.8 注意事項

SDRAMアクセス中に動作クロック(SYSCLK)が停止すると、SDRAMが意図しない状態で動作を停止することによってシステムに障害が発生する場合があります。下記の操作はSYSCLKを停止しますので、必ずSDRAMへのアクセスが発生しない状態で行ってください。

- S1C33L27をSLEEP状態に設定する
- SDRAMCモジュールへのクロック供給を停止する

CPUのほかに、DMAC(SDRAMに対するDMA転送を設定している場合)からもSDRAMはアクセスされます。このような場合は、上記の操作を行う前にDMACの動作を停止させ、SDRAMへのアクセスが発生しない状態にする必要があります。

11 ホストインタフェース(HIF)

11.1 HIFの概要

S1C33L27は、外部ホストプロセッサを接続し、本ICをLCDC等のコントローラやサブプロセッサとして使用するためのホストインタフェース(HIF)を搭載しています。HIFは内部AHBインタフェースも内蔵されており、外部プロセッサからS1C33L27のすべての内部周辺回路やシステムメモリ(エリア0内のRAMを除く)をアクセスできるようになっています。

主な特長を以下に示します。

- 80系プロセッサに対応
- データバス: 8ビット(HIF_D[7:0])または16ビット(HIF_D[15:0])を選択可能
連続書き込み、連続読み出しにより、S1C33L27内部へのバイト、ハーフワード、ワードアクセスが可能(リトルエンディアンまたはビッグエンディアン形式を選択可能)
- アドレスバス: 4ビット(HIF_A[3:0])、I/O(HIFレジスタ)アドレスを指定
S1C33L27内部アドレスは、アドレス固定または自動インクリメントを選択可能なアドレスレジスタにて指定可能
- バス制御信号: チップイネーブル(#HIF_CS)、リード(#HIF_RD)、ライト(#HIF_WR)
- ウェイト要求信号(#HIF_WAIT)を外部ホストプロセッサに出力可能
- 割り込み要求信号(#HIF_INT)を外部ホストプロセッサに出力可能
- 外部ホストプロセッサからのレジスタ設定により、C33 PEコアに割り込みを発生可能(マスク可能割り込みまたはNMIを選択可能)
- 外部ホストプロセッサおよびC33 PEコアの双方からアクセス可能な8個のセマフォレジスタと4個のスクラッチパッドレジスタを内蔵
- 外部ホストプロセッサによるブートに対応(Appendix参照)

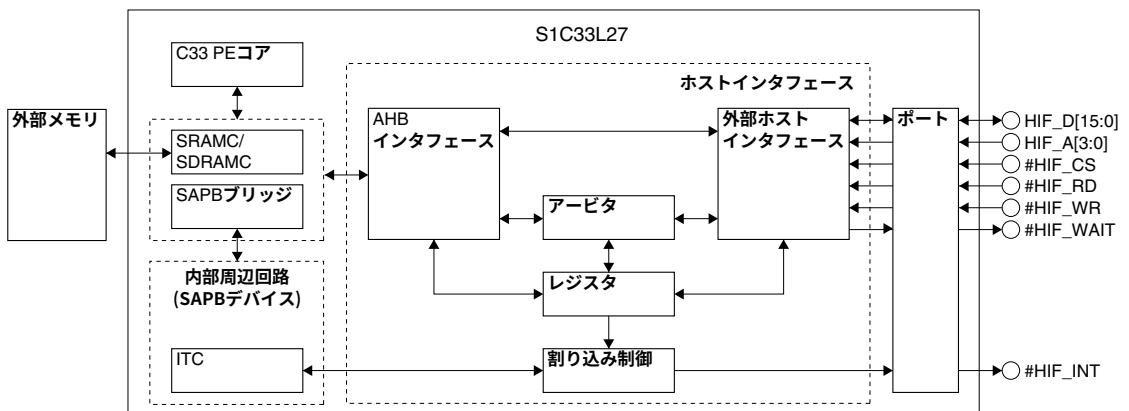


図11.1.1 HIFモジュールブロック図

注: AHBバスマスタの優先順位は次のように設定されています。

1. LCDC → 2. DMAC → 3. HIF → 4. C33 PE(キャッシュ)

11.2 HIF入出力端子

表11.2.1にHIFの入出力端子を示します。

表11.2.1 HIF端子一覧

端子名	I/O	本数	機 能
HIF_D[15:0]/HIF_D[7:0]	I/O	16/8	外部ホストプロセッサデータバスD[15:0](16ビットI/Fモード) またはD[7:0](8ビットI/Fモード)
HIF_A[3:0]	I	4	外部ホストプロセッサアドレスバスA[3:0]
#HIF_CS	I	1	外部ホストプロセッサチップセレクト信号入力
#HIF_RD	I	1	外部ホストプロセッサリード信号入力
#HIF_WR	I	1	外部ホストプロセッサライト信号入力
#HIF_WAIT	O	1	ウェイト要求信号出力
#HIF_INT	O	1	割り込み要求信号出力

HIFの入出力端子は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをHIFの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート (GPIO)”の章を参照してください。

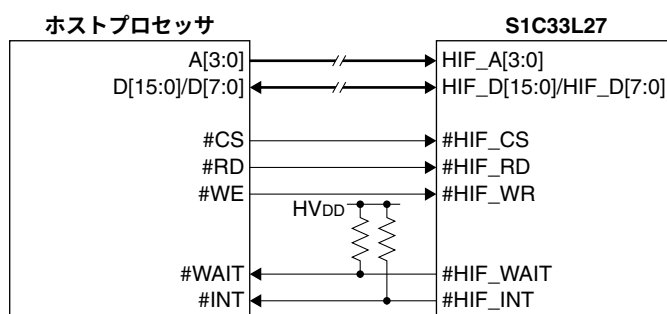


図11.2.1 ホストプロセッサ (80系) 接続例

11.3 HIFレジスタ

11.3.1 HIFレジスタの割り付け

HIFモジュールには、外部ホストプロセッサからのみアクセス可能なレジスタと、外部ホストプロセッサとC33 PEコアの双方からアクセス可能な共有レジスタが内蔵されています。

外部ホストプロセッサはS1C33L27を1つのI/Oデバイスとして、HIFモジュール内のレジスタをチップイネーブルと4ビットのアドレス(A[3:0])でアクセスします。S1C33L27のシステムメモリやHIF以外の内蔵周辺モジュールは、HIFモジュール内のレジスタを介してアクセスされます。

外部ホストプロセッサから見たHIFレジスタは0x0番地～0xf番地に割り付けられています。この中の2つのレジスタをインデックスとデータポートとして更にスペシャルレジスタがアクセスできるようになっています。

C33 PEコアから見た共有レジスタはスペシャルレジスタも含め、0x300901～0x300919に割り付けられています。

表11.3.1 HIFレジスタ

ホスト アドレス	Index (*1)	レジスタ	機能	S1C33L27 内部アドレス
0x0	–	HIF Direct Interface Byte Data (HIF_DRIF_B) Register	データダイレクトリード/ライトレジスタ (C33側バイトアクセス専用)	アクセス不可
0x1	–	HIF Direct Interface Half Word Data (HIF_DRIF_HW) Register	データダイレクトリード/ライトレジスタ (C33側ハーフワードアクセス専用)	
0x2	–	HIF Direct Interface Word Data (HIF_DRIF_W) Register	データダイレクトリード/ライトレジスタ (C33側ワードアクセス専用)	
0x3	–	HIF Indirect Interface Data (HIF_IDIF_DAT) Register	データインダイレクトリード/ライトレジスタ	
0x4	–	HIF Indirect Interface Control (HIF_IDIF_CTRL) Register	データインダイレクトリード/ライトの制御	
0x6	–	HIF Control (HIF_CTRL) Register	アクセス条件、ホストへの割り込み許可の設定	
0x8	–	HIF Address (HIF_ADDR0) Register 0	アドレスビットA[7:0] (8ビットI/Fモード) アドレスビットA[15:0] (16ビットI/Fモード)	
0x9	–	HIF Address (HIF_ADDR1) Register 1	アドレスビットA[15:8] (8ビットI/Fモード) アドレスビットA[31:16] (16ビットI/Fモード)	
0xa	–	HIF Address (HIF_ADDR2) Register 2	アドレスビットA[23:16] (8ビットI/Fモード)	
0xb	–	HIF Address (HIF_ADDR3) Register 3	アドレスビットA[31:24] (8ビットI/Fモード)	
0xc	–	HIF Special Register Index (HIF_SP_IDX) Register	スペシャルレジスタの指定	
0xd		HIF Special Register Data (HIF_SP_DAT) Register	スペシャルレジスタデータ	
	0x1	HIF Extended Control (HIF_EXTCTRL1) Register 1 (*2)	割り込みモードの設定	0x300901
	0x8	HIF Semaphore (HIF_SMPH0) Register 0 (*2)	セマフォ 0	0x300908
	0x9	HIF Semaphore (HIF_SMPH1) Register 1 (*2)	セマフォ 1	0x300909
	0xa	HIF Semaphore (HIF_SMPH2) Register 2 (*2)	セマフォ 2	0x30090a
	0xb	HIF Semaphore (HIF_SMPH3) Register 3 (*2)	セマフォ 3	0x30090b
	0xc	HIF Semaphore (HIF_SMPH4) Register 4 (*2)	セマフォ 4	0x30090c
	0xd	HIF Semaphore (HIF_SMPH5) Register 5 (*2)	セマフォ 5	0x30090d
	0xe	HIF Semaphore (HIF_SMPH6) Register 6 (*2)	セマフォ 6	0x30090e
	0xf	HIF Semaphore (HIF_SMPH7) Register 7 (*2)	セマフォ 7	0x30090f
	0x10	HIF Scratchpad (HIF_SCRATCH0) Register 0 (*2)	スクラッチパッドレジスタ0	0x300910
	0x11	HIF Scratchpad (HIF_SCRATCH1) Register 1 (*2)	スクラッチパッドレジスタ1	0x300911
	0x12	HIF Scratchpad (HIF_SCRATCH2) Register 2 (*2)	スクラッチパッドレジスタ2	0x300912
	0x13	HIF Scratchpad (HIF_SCRATCH3) Register 3 (*2)	スクラッチパッドレジスタ3	0x300913
0xe	–	HIF Flag (HIF_FLAG0) Register 0	スレーブフラグ	0x300918
0xf	–	HIF Flag (HIF_FLAG1) Register 1	ホストフラグ	0x300919

ホストプロセッサからのみアクセス可能なレジスタ(これら以外は共有レジスタ)

*1 HIF_SP_IDXレジスタ(0xc)でホストが指定するスペシャルレジスタのインデックス(指定されたレジスタはHIF_SP_DATレジスタ(0xd)を介してホストからアクセスされます)。“–”はホストアドレスで直接アクセス可能なことを示します。

*2 スペシャルレジスタ

各レジスタの詳細は後述します。

共有レジスタを外部ホストプロセッサとC33 PEコアが同時にアクセスした場合は、アービタによってホスト優先で処理され、C33 PEコアによるアクセスはホストのアクセスが終了するまで保留されます(CPUは待機状態になります)。

11.3.2 セマフォレジスタ

HIFモジュールには外部ホストプロセッサとC33 PEコアの双方からアクセス可能な8個のセマフォレジスタ(それぞれ1ビットのセマフォを含みます)が組み込まれており、任意のリソース(最大8個)の使用状況を簡単にプログラムで設定/参照できるようになっています。

外部ホストプロセッサからセマフォレジスタにアクセスするには、HIF_SP_IDXレジスタ(ホストアドレス0xc)にセマフォレジスタを指定するインデックス(0x8～0xf)を書き込み後、HIF_SP_DATレジスタ(ホストアドレス0xd)にアクセスします。

C33 PEコアからは、通常のI/Oレジスタと同様にアクセスできます。

表11.3.2.1 セマフォ

セマフォ	HIF_SP_IDXに設定するインデックス	S1C33内部アドレス
SMPH0/HIF_SMPH0レジスタ	0x8	0x300908
SMPH1/HIF_SMPH1レジスタ	0x9	0x300909
SMPH2/HIF_SMPH2レジスタ	0xa	0x30090a
SMPH3/HIF_SMPH3レジスタ	0xb	0x30090b
SMPH4/HIF_SMPH4レジスタ	0xc	0x30090c
SMPH5/HIF_SMPH5レジスタ	0xd	0x30090d
SMPH6/HIF_SMPH6レジスタ	0xe	0x30090e
SMPH7/HIF_SMPH7レジスタ	0xf	0x30090f

セマフォ (SMPH_x) は各レジスタのビット0に割り付けられています。

リソースを使用するモジュール (外部ホストプロセッサまたはS1C33L27内のプログラム) は、対応する SMPH_xを読み出します。SMPH_xが0 (使用可能) だった場合はリソースを使用して処理を継続します。読み出しにより SMPH_xは自動的に1 (使用中) になります。したがって、SMPH_xが1だった場合は他のモジュールがリソースを使用していることになります。この場合は、SMPH_xが0になるまでリソースの使用を保留します。リソースを使い終わったモジュールは、SMPH_xに1を書き込んで0にリセットしておく必要があります。

11.3.3 スクラッチパッドレジスタ

HIFモジュールには4個の8ビットスクラッチパッドレジスタが内蔵されています。これらのレジスタはホストインタフェースの動作には影響を与えません。一時的なデータの格納や、外部ホストプロセッサとC33 PEコア間でのデータのやり取りなどに利用可能です。

外部ホストプロセッサからスクラッチパッドレジスタにアクセスするには、HIF_SP_IDXレジスタ (ホストアドレス0xc) にスクラッチパッドレジスタを指定するインデックス (0x10～0x13) を書き込み後、HIF_SP_DATレジスタ (ホストアドレス0xd) をアクセスします。

C33 PEコアからは、通常のI/Oレジスタと同様にアクセスできます。

表11.3.3.1 スクラッチパッドレジスタ

スクラッチパッドレジスタ	HIF_SP_IDXに設定するインデックス	S1C33内部アドレス
HIF_SCRATCH0レジスタ	0x10	0x300910
HIF_SCRATCH1レジスタ	0x11	0x300911
HIF_SCRATCH2レジスタ	0x12	0x300912
HIF_SCRATCH3レジスタ	0x13	0x300913

11.3.4 フラグレジスタ

2つのフラグレジスタ (HIF_FLAG0レジスタとHIF_FLAG1レジスタ) には以下のフラグが割り付けられています。

SFLAG[3:0]

SFLAG[3:0]/HIF_FLAG0レジスタは、C33 PEコアによりセット/リセット可能な汎用フラグです。外部ホストプロセッサからは読み出しとリセットのみが行え、セットすることはできません。S1C33L27の状態を外部ホストプロセッサに通知するなどの目的に使用可能です。

C33 PEコアによってフラグを操作するには、1 (セット) または0 (リセット) を書き込みます。

外部ホストプロセッサからリセットするには、1を書き込みます (下記の注参照)。

HFLAG[2:0]

HFLAG[2:0]/HIF_FLAG1レジスタは、外部ホストプロセッサによりセット/リセット可能な汎用フラグです。C33 PEコアからは読み出しとリセットのみが行え、セットすることはできません。外部ホストプロセッサの状態をS1C33L27に通知するなどの目的に使用可能です。

フラグを操作するには、外部ホストプロセッサから1 (セット) または0 (リセット) を書き込みます。

C33 PEコアからも1の書き込みでリセット可能です。ただし、HIF_FLAG1レジスタの書き込み保護を解除しておく必要があります (下記の注参照)。

上記のフラグの他に、S1C33L27から外部ホストプロセッサにソフトウェア割り込みを発生させるSINT/HIF_FLAG0レジスタと、外部ホストプロセッサによってS1C33L27のHIF割り込みまたはNMIを発生させるHINT/HIF_FLAG1レジスタも用意されています。これらのフラグの詳細については、“11.6 割り込み”を参照してください。

- 注:
- 不要な書き換えによる誤動作を防ぐため、HIF_FLAG0(D[4:0])とHIF_FLAG1(D[3:0])レジスタ(ホストアドレス0xeと0xf)は初期設定で書き込み保護が設定されています。これらのレジスタを書き換えるには、HIF_FLAG0レジスタ(ホストアドレス0xe)に0x96を書き込んで書き込み保護を解除する必要があります(外部ホストプロセッサからのみ解除可能です)。これらのレジスタの書き込み保護を有効にするには、HIF_FLAG0レジスタ(ホストアドレス0xe)に0xffを書き込みます(外部ホストプロセッサからのみ解除可能です)。
 - SFLAG[3:0]フラグとSINTをリセットする場合は、必ずPROTECTを0にしてHIF_FLAG0レジスタへの書き込みを行ってください。PROTECTが1の場合、フラグはリセットされません。

11.4 ホストプロセッサからS1C33L27へのアクセス

以下に、外部ホストプロセッサからS1C33L27内の周辺回路やシステムメモリにアクセスするための設定と手順を説明します。

11.4.1 アクセス条件の設定

データバス幅(8ビット/16ビット)の選択

ホストインタフェースのデータバス幅をHIFSEL/HIF_CTRLレジスタで選択します。HIFSELに0を書き込むと8ビットデータバス(HIF_D[7:0])に、HIFSELに1を書き込むと16ビットデータバス(HIF_D[15:0])に設定されます。また、HIFレジスタ(スペシャルレジスタを除く)のビット幅もこの選択に合わせて8ビットまたは16ビットに設定されます。

AHBバスアクセスを許可

HIFモジュールはAHBインタフェースを搭載しており、AHBのバスマスタとして機能します。外部ホストプロセッサはHIFレジスタとこのAHBインタフェースを介してS1C33L27内の周辺回路やシステムメモリにアクセスします。

S1C33L27の初期設定ではAHBインタフェースが無効な状態に設定されますので、外部ホストプロセッサはS1C33L27へのアクセス前にAHB_EN/HIF_CTRLレジスタに1を書き込んで、これを有効な状態に設定する必要があります。

エンディアンモードの選択

HIFモジュールは外部ホストプロセッサとのインタフェースに8ビットまたは16ビットのデータバスを提供します。外部ホストプロセッサとのデータ転送は8ビット/16ビット単位に行いますが、S1C33L27内部ではバイトアクセス、ハーフワードアクセス、およびワードアクセスが可能です(この制御方法については“11.4.2 ダイレクトインタフェース”および“11.4.3 インダイレクトインタフェース”を参照してください)。

ハーフワードアクセスまたはワードアクセスのためにENDIAN/HIF_CTRLレジスタでエンディアンモードが選択できるようになっています。リトルエンディアン(下位バイトから先に転送)の場合はENDIANを0(デフォルト)に、ビッグエンディアン(上位バイトから先に転送)の場合はENDIANを1に設定します。

データバス幅と内部アクセスサイズにより、外部ホストプロセッサは1回、2回、または4回のリード/ライトを行います。エンディアンモードの選択による各回のアクセスデータビットを表11.4.1.1に示します。

表11.4.1.1 エンディアンモードによるアドレスとデータビットの関係

データバス幅	内部アクセス サイズ	内部アドレス下位ビット		内部リード/ライトビット		アクセス 回数/番号
		A1	A0	リトルエンディアン	ビッグエンディアン	
8ビット	バイト	*	*	D[7:0]	D[7:0]	1回
	ハーフワード	*	0	D[7:0]	D[15:8]	1回目
		*	1	D[15:8]	D[7:0]	2回目
	ワード	0	0	D[7:0]	D[31:24]	1回目
		0	1	D[15:8]	D[23:16]	2回目
		1	0	D[23:16]	D[15:8]	3回目
		1	1	D[31:24]	D[7:0]	4回目
16ビット	バイト	*	*	D[7:0]	D[7:0]	1回
	ハーフワード	*	0	D[15:0]	D[15:0]	1回
	ワード	0	0	D[15:0]	D[31:16]	1回目
		1	0	D[31:16]	D[15:0]	2回目

アドレスの設定とアドレス制御モードの選択

外部ホストプロセッサがアクセスするS1C33L27のメモリアドレスはHIF_ADDRxレジスタ(ホストアドレス0x8～0xb)に設定します。

表11.4.1.2 アドレスの設定

データバス幅	レジスタ	レジスタアドレス (ホストアドレス)	レジスタで指定する C33アドレスビット
8ビット	HIF_ADDR0レジスタ	0x8	A[7:0]
	HIF_ADDR1レジスタ	0x9	A[15:8]
	HIF_ADDR2レジスタ	0xa	A[23:16]
	HIF_ADDR3レジスタ	0xb	A[31:24]
16ビット	HIF_ADDR0レジスタ	0x8	A[15:0]
	HIF_ADDR1レジスタ	0x9	A[31:16]

後述のダイレクトインタフェースモード、インダイレクトインタフェースモードのどちらのモードも、これらのレジスタを使用します。

- 注: • S1C33L27内部をハーフワードサイズでアクセスする場合はハーフワード境界アドレス(A0 = 0)を、ワードサイズでアクセスする場合はワード境界アドレス(A[1:0] = 0b00)を設定してください。
- メモリが実装されていないアドレスをアクセスした場合、無効な書き込み、あるいは無効な読み出しが実行されます。

外部ホストプロセッサが連続してS1C33L27をアクセスする場合、アドレスのポストインクリメント機能を使用することができます。この選択はADDR_MD[1:0]/HIF_CTRLレジスタで行います。

表11.4.1.3 アドレス制御モード

ADDR_MD[1:0]	アドレス制御モード
0x3～0x2	Reserved
0x1	ポストインクリメント
0x0	アドレス固定

(デフォルト: 0x0)

ADDR_MD[1:0]が0x0(デフォルト)の場合、HIF_ADDRxレジスタに設定したアドレスはアクセス後も変わりません。ADDR_MD[1:0]を0x1に設定すると、HIF_ADDRxレジスタに設定したアドレスの下位16ビットがアクセス後にアクセスサイズ分インクリメントされます。

バイトアクセス時: +1
ハーフワードアクセス時: +2
ワードアクセス時: +4

これにより、HIF_ADDRxレジスタをソフトウェアで書き換えることなく、連続したメモリ領域をアクセスすることができます。

- 注: ポストインクリメント機能はアドレスの下位16ビット(A[15:0])に対してのみ有効です。したがって、64K/バイト境界アドレス(0xXXXXffff)を超えて連続アクセスすることはできません。

11.4.2 ダイレクトインタフェース

ダイレクトインタフェース機能を使用すると、データレジスタをリード/ライトするのみで、HIF_ADDR_xレジスタ(ホストアドレス0x8~0x9または0xb)に設定したアドレスにアクセスできます。ただし、外部ホストプロセッサが外部ウェイト要求入力を持ち、その端子とS1C33L27の#HIF_WAIT端子(アクティブLow)を接続しておく必要があります。

データレジスタは、S1C33L27の内部アクセスサイズに対応して3種類用意されています。必ずアクセスサイズに合ったレジスタを使用し、以下の手順でリード/ライトしてください。

8ビットインタフェース

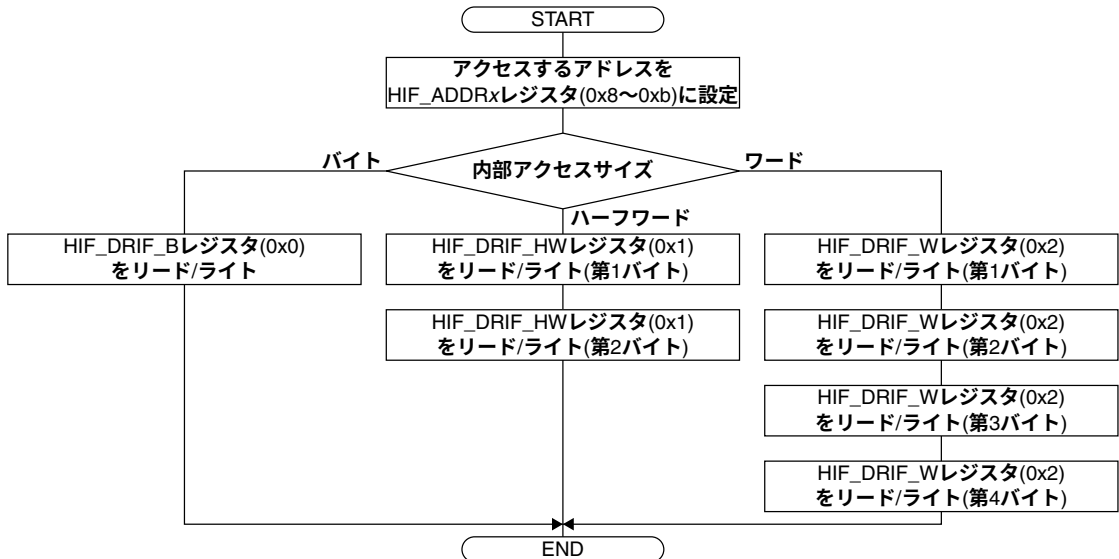


図11.4.2.1 ダイレクトインタフェースを使用したリード/ライト(8ビットインタフェース)

バイトアクセス(8ビットインタフェース)

HIF_DRIF_Bレジスタ(ホストアドレス0x0)を1回リード/ライトします。

データライト

1. アクセスするアドレスをHIF_ADDR0~HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_BレジスタにデータD[7:0]を書き込みます。
ホストから送られたデータがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてバイトライトのバスオペレーションが実行されます。

データリード

1. アクセスするアドレスをHIF_ADDR0~HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_Bレジスタを読み出します。
HIFモジュールをバスマスタとしてバイトリードのバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされるとバイトデータがHIF_D[7:0]に出力されます。

ハーフワードアクセス(8ビットインタフェース)

HIF_DRIF_HWレジスタ(ホストアドレス0x1)を2回リード/ライトします。

データライト

1. レジスタにアクセスするハーフワードアドレスをHIF_ADDR0~HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_HWレジスタにデータD[7:0](リトルエンディアン選択時)またはD[15:8](ビッグエンディアン選択時)を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれます。
3. HIF_DRIF_HWレジスタにデータD[15:8](リトルエンディアン選択時)またはD[7:0](ビッグエンディアン選択時)を書き込みます。データがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてハーフワードライトのバスオペレーションが実行されます。

データリード

1. アクセスするハーフワードアドレスをHIF_ADDR0～HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_HWレジスタから最初のバイトデータを読み出します。
HIFモジュールをバスマスタとしてハーフワードリードのバスオペレーションが実行されます。ハーフワードの読み出し値がリードデータバッファにロードされると、データD[7:0](リトルエンディアン選択時)またはD[15:8](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。
3. HIF_DRIF_HWレジスタから次のバイトデータを読み出します。
リードデータバッファ内のデータD[15:8](リトルエンディアン選択時)またはD[7:0](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。

ワードアクセス(8ビットインタフェース)

HIF_DRIF_Wレジスタ(ホストアドレス0x2)を4回リード/ライトします。

データライト

1. アクセスするワードアドレスをHIF_ADDR0～HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_WレジスタにデータD[7:0](リトルエンディアン選択時)またはD[31:24](ビッグエンディアン選択時)を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれます。
3. HIF_DRIF_WレジスタにデータD[15:8](リトルエンディアン選択時)またはD[23:16](ビッグエンディアン選択時)を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれます。
4. HIF_DRIF_WレジスタにデータD[23:16](リトルエンディアン選択時)またはD[15:8](ビッグエンディアン選択時)を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれます。
5. HIF_DRIF_WレジスタにデータD[31:24](リトルエンディアン選択時)またはD[7:0](ビッグエンディアン選択時)を書き込みます。データがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてワードライトのバスオペレーションが実行されます。

データリード

1. アクセスするワードアドレスをHIF_ADDR0～HIF_ADDR3レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_Wレジスタから最初のバイトデータを読み出します。
HIFモジュールをバスマスタとしてワードリードのバスオペレーションが実行されます。ワードの読み出し値がリードデータバッファにロードされると、データD[7:0](リトルエンディアン選択時)またはD[31:24](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。
3. HIF_DRIF_Wレジスタから2番目のバイトデータを読み出します。
リードデータバッファ内のデータD[15:8](リトルエンディアン選択時)またはD[23:16](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。
4. HIF_DRIF_Wレジスタから3番目のバイトデータを読み出します。
リードデータバッファ内のデータD[23:16](リトルエンディアン選択時)またはD[15:8](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。
5. HIF_DRIF_Wレジスタから4番目のバイトデータを読み出します。
リードデータバッファ内のデータD[31:24](リトルエンディアン選択時)またはD[7:0](ビッグエンディアン選択時)がHIF_D[7:0]に出力されます。

データをリード/ライトしている間は#HIF_WAITがアクティブになり、ホストはウェイト状態になります。

16ビットインタフェース

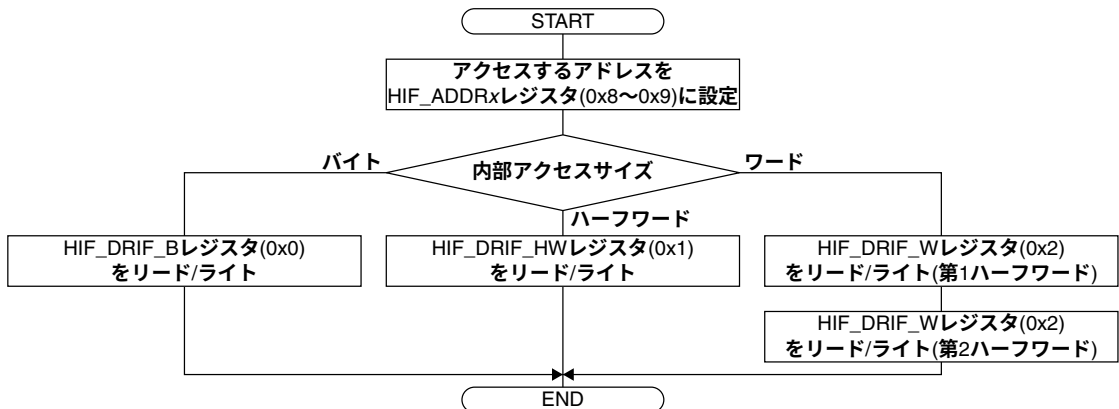


図11.4.2.2 ダイレクトインタフェースを使用したリード/ライト(16ビットインタフェース)

バイトアクセス(16ビットインタフェース)

HIF_DRIF_Bレジスタ(ホストアドレス0x0)を1回リード/ライトします。

データライト

1. アクセスするアドレスをHIF_ADDR0~HIF_ADDR1レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_Bレジスタの下位8ビットにデータD[7:0]を書き込みます。HIF_DRIF_Bレジスタの上位8ビットは無効です。
ホストから送られたデータがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてバイトライトのバスオペレーションが実行されます。

データリード

1. アクセスするアドレスをHIF_ADDR0~HIF_ADDR1レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_Bレジスタを読み出します。
HIFモジュールをバスマスタとしてバイトリードのバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされるとバイトデータがHIF_D[7:0]に出力されます。HIF_DRIF_Bレジスタの上位8ビットは無効です。HIF_D[15:8]端子は0を出力します。

ハーフワードアクセス(16ビットインタフェース)

HIF_DRIF_HWレジスタ(ホストアドレス0x1)を1回リード/ライトします。

データライト

1. アクセスするハーフワードアドレスをHIF_ADDR0~HIF_ADDR1レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_HWレジスタにデータD[15:0]を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてハーフワードライトのバスオペレーションが実行されます。

データリード

1. アクセスするハーフワードアドレスをHIF_ADDR0~HIF_ADDR1レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_HWレジスタからハーフワードデータを読み出します。
HIFモジュールをバスマスタとしてハーフワードリードのバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされると、ハーフワードデータがHIF_D[15:0]に出力されます。

ワードアクセス(16ビットインタフェース)

HIF_DRIF_Wレジスタ(ホストアドレス0x2)を2回リード/ライトします。

データライト

1. アクセスするワードアドレスをHIF_ADDR0~HIF_ADDR1レジスタに設定します。(必要な場合のみ)

2. HIF_DRIF_WレジスタにデータD[15:0](リトルエンディアン選択時)またはD[31:16](ビッグエンディアン選択時)を書き込みます。ホストから送られたデータがライトデータバッファに書き込まれます。
3. HIF_DRIF_WレジスタにデータD[31:16](リトルエンディアン選択時)またはD[15:0](ビッグエンディアン選択時)を書き込みます。データがライトデータバッファに書き込まれ、HIFモジュールをバスマスタとしてワードライトのバスオペレーションが実行されます。

データリード

1. アクセスするワードアドレスをHIF_ADDR0～HIF_ADDR1レジスタに設定します。(必要な場合のみ)
2. HIF_DRIF_Wレジスタから最初のハーフワードデータを読み出します。
HIFモジュールをバスマスタとしてワードリードのバスオペレーションが実行されます。ワードの読み出し値がリードデータバッファにロードされると、データD[15:0](リトルエンディアン選択時)またはD[31:16](ビッグエンディアン選択時)がHIF_D[15:0]に出力されます。
3. HIF_DRIF_Wレジスタから次のハーフワードデータを読み出します。
リードデータバッファ内のデータD[31:16](リトルエンディアン選択時)またはD[15:0](ビッグエンディアン選択時)がHIF_D[15:0]に出力されます。

データをリード/ライトしている間は#HIF_WAITがアクティブになり、ホストはウェイト状態になります。

11.4.3 インダイレクトインタフェース

インダイレクトインタフェース機能は、外部ウェイト要求入力を持たないプロセッサを接続した場合に使用します。ダイレクトインタフェースとは異なるデータリード/ライトレジスタ(HIF_IDIF_DATレジスタ(ホストアドレス0x3))とバスオペレーションを制御するレジスタ(HIF_IDIF_CTRLレジスタ(ホストアドレス0x4))が用意されています。アドレスの設定は、ダイレクトインタフェースと同じHIF_ADDRxレジスタ(ホストアドレス0x8～0xb)を使用します。

インダイレクトインタフェースを使用する場合は、以下の手順でデータをリード/ライトしてください。

8ビットインタフェースによるデータライト

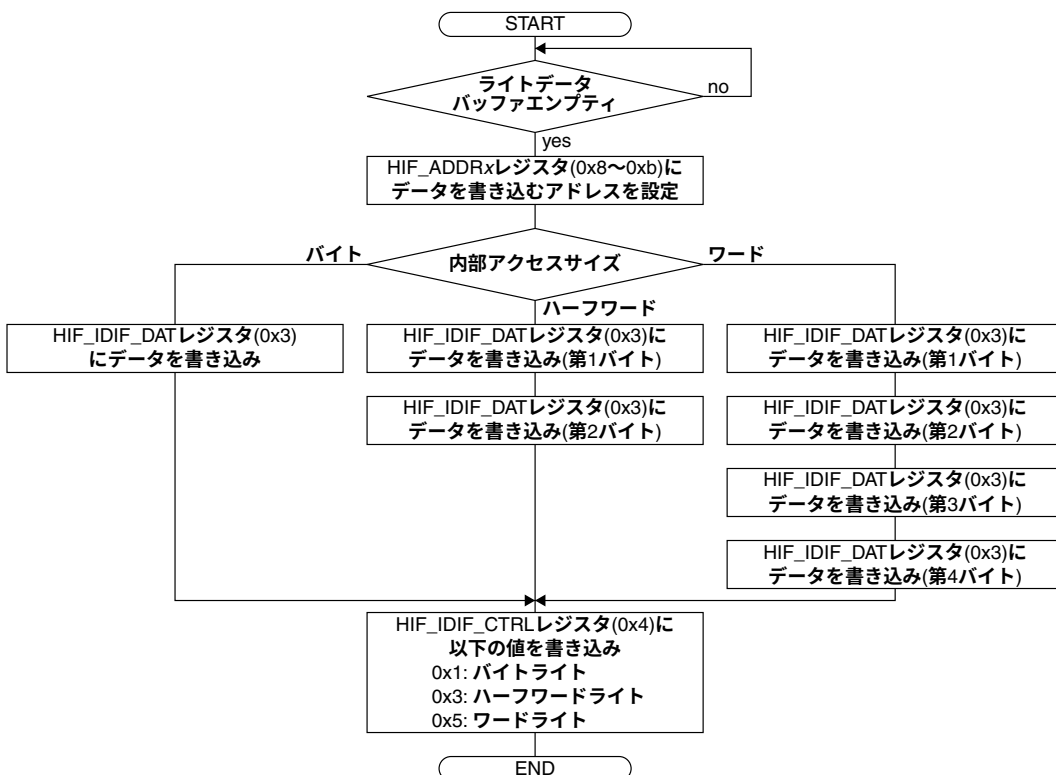


図11.4.3.1 インダイレクトインタフェースを使用したデータライト(8ビットインタフェース)

1. HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を読み出し、WR_BFの値を確認します。
WR_BFはライトデータバッファの状態を示すフラグで、直前のデータ書き込みが終了していない場合は1(データフル)、終了している場合は0(データエンプティ)となります。
WR_BFが0になるまで待機します。
2. アクセスするアドレスをHIF_ADDR0～HIF_ADDR3レジスタに書き込みます。(必要な場合のみ)
3. HIF_IDIF_DATレジスタにデータを書き込みます。
バイトアクセスの場合は書き込みを1回行います。
ハーフワードアクセスの場合は、エンディアンモードの設定に従って2回の書き込みを行います。
ワードアクセスの場合は、エンディアンモードの設定に従って4回の書き込みを行います。
データはライトデータバッファに書き込まれます。
4. 以下のとおり設定したバイトデータをHIF_IDIF_CTRLレジスタに書き込みます。
D[7:3] = 0b00000
D[2:1](ACCESS_MD[1:0]) = 0b00(バイト)、0b01(ハーフワード)、または0b10(ワード)
D0(RW_SEL) = 1(ライト)

ACCESS_MD[1:0]/HIF_IDIF_CTRLレジスタは内部アクセスサイズを指定するビットです。
RW_SEL/HIF_IDIF_CTRLレジスタはリードまたはライトを指定するビットです。
HIF_IDIF_CTRLレジスタへの書き込みにより、HIFモジュールはライトデータバッファのデータを指定のアドレスに書き込みます。

8ビットインタフェースによるデータリード

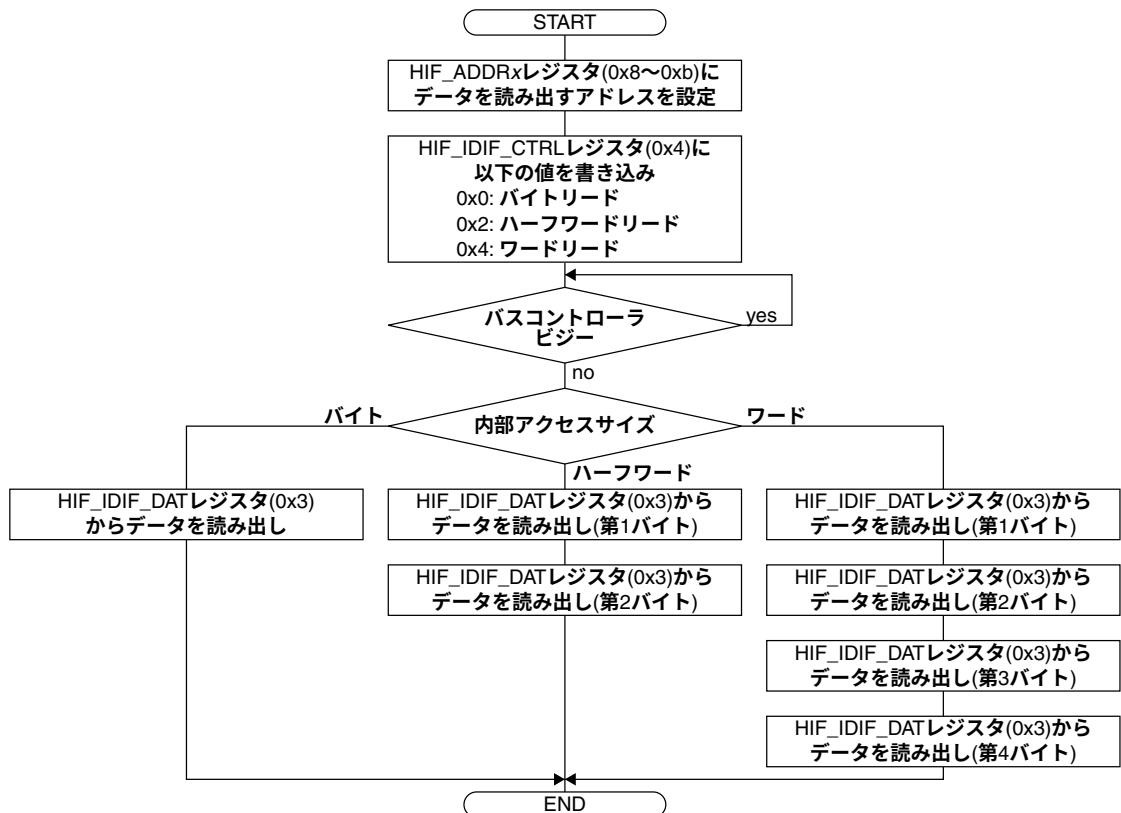


図11.4.3.2 インダイレクトインタフェースを使用したデータリード(8ビットインタフェース)

1. アクセスするアドレスをHIF_ADDR0～HIF_ADDR3レジスタに書き込みます。(必要な場合のみ)
2. 以下のとおり設定したバイトデータをHIF_IDIF_CTRLレジスタに書き込みます。
D[7:3] = 0b00000
D[2:1](ACCESS_MD[1:0]) = 0b00(バイト)、0b01(ハーフワード)、または0b10(ワード)
D0(RW_SEL) = 0(リード)

11 ホストインタフェース (HIF)

HIF_IDIF_CTRLレジスタへの書き込みにより、HIFモジュールは指定のアドレスからデータを読み出しリードデータバッファに格納します。

3. HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を読み出し、BUSYの値を確認します。
BUSYはHIF内のバスコントローラの状態を示すフラグで、データアクセス中は1(ビジー)、バスオペレーションを終了している場合は0(レディ)となります。
BUSYが0になるまで待機します。
4. HIF_IDIF_DATレジスタからデータを読み出します。
バイトアクセスの場合は読み出しを1回行います。
ハーフワードアクセスの場合は、エンディアンモードの設定に従って2回の読み出しを行います。
ワードアクセスの場合は、エンディアンモードの設定に従って4回の読み出しを行います。

16ビットインタフェースによるデータライト

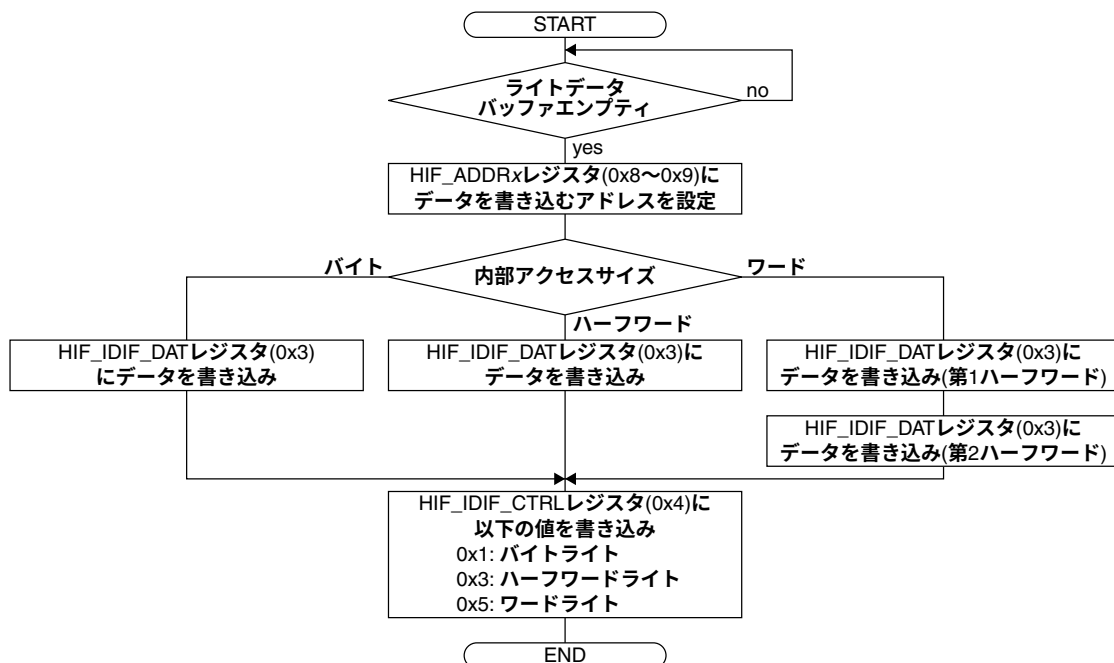


図11.4.3.3 インダイレクトインタフェースを使用したデータライト(16ビットインタフェース)

1. HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を読み出し、WR_BFの値を確認します。
WR_BFはライトデータバッファの状態を示すフラグで、直前のデータ書き込みが終了していない場合は1(データフル)、終了している場合は0(データエンプティ)となります。
WR_BFが0になるまで待機します。
2. アクセスするアドレスをHIF_ADDR0～HIF_ADDR1レジスタに書き込みます。(必要な場合のみ)
3. HIF_IDIF_DATレジスタにデータを書き込みます。
バイトアクセスの場合は書き込みを1回行います。データはHIF_IDIF_DATレジスタの下位8ビットに書き込みます。
ハーフワードアクセスの場合は書き込みを1回行います。
ワードアクセスの場合は、エンディアンモードの設定に従って2回の書き込みを行います。
データはライトデータバッファに書き込まれます。
4. 以下のとおり設定したデータをHIF_IDIF_CTRLレジスタに書き込みます。
D[15:3] = 0b00000000000000
D[2:1](ACCESS_MD[1:0]) = 0b00(バイト)、0b01(ハーフワード)、または0b10(ワード)
D0(RW_SEL) = 1(ライト)

ACCESS_MD[1:0]/HIF_IDIF_CTRLレジスタは内部アクセスサイズを指定するビットです。
RW_SEL/HIF_IDIF_CTRLレジスタはリードまたはライトを指定するビットです。

HIF_IDIF_CTRLレジスタへの書き込みにより、HIFモジュールはライトデータバッファのデータを指定のアドレスに書き込みます。

16ビットインタフェースによるデータリード

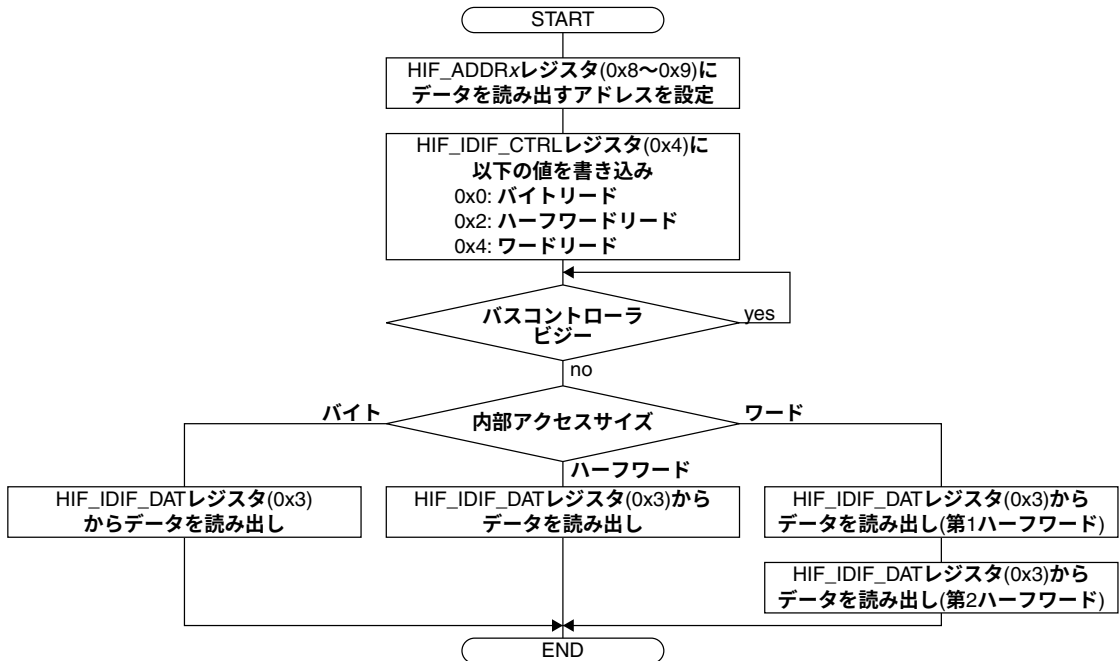


図11.4.3.4 インダイレクトインタフェースを使用したデータリード(16ビットインタフェース)

1. アクセスするアドレスをHIF_ADDR0～HIF_ADDR1レジスタに書き込みます。(必要な場合のみ)
2. 以下のとおり設定したデータをHIF_IDIF_CTRLレジスタに書き込みます。

D[15:3] = 0b00000000000000

D[2:1](ACCESS_MD[1:0]) = 0b00(バイト)、0b01(ハーフワード)、または0b10(ワード)

D0(RW_SEL) = 0(リード)

HIF_IDIF_CTRLレジスタへの書き込みにより、HIFモジュールは指定のアドレスからデータを読み出しリードデータバッファに格納します。

3. HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を読み出し、BUSYの値を確認します。
BUSYはHIF内のバスコントローラの状態を示すフラグで、データアクセス中は1(ビジー)、バスオペレーションを終了している場合は0(レディ)となります。
BUSYが0になるまで待機します。
4. HIF_IDIF_DATレジスタからデータを読み出します。
バイトアクセスの場合は読み出しを1回行います。HIF_IDIF_DATレジスタの下位8ビットが有効で、上位8ビットは0となります。
ハーフワードアクセスの場合は読み出しを1回行います。
ワードアクセスの場合は、エンディアンモードの設定に従って2回の読み出しを行います。

11.5 タイミングチャート

HIFはCMUから送られるPCLK(SYSCLK)で動作します。
以下、リード/ライトのタイミングチャートを示します。

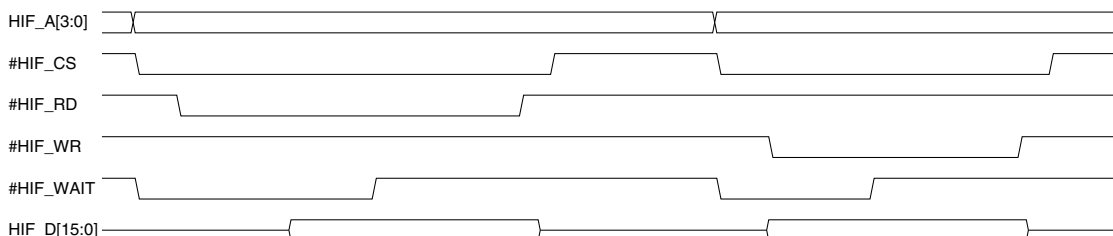


図11.5.1 ホストによるHIFレジスタリード/ライト

11.6 割り込み

HIFモジュールは、外部ホストプロセッサおよびITCに割り込み要求を出力することができます。

外部ホストプロセッサへの割り込み

HIFは次のどちらか一方の要因によって、外部ホストプロセッサに割り込み要求信号を出力することができます。

1. ITCからC33 PEコアへの割り込み要求の発生
2. S1C33L27のプログラムによるSINTフラグのセット(ソフトウェア割り込み)

どちらの要因により割り込みを発生させるかについては、INTSEL/HIF_CTRLレジスタで選択可能です。

INTSELが0(デフォルト)の場合はSINTフラグによる割り込み、INTSELを1に設定するとITCの割り込み要求が選択されます。

SINT

INTSELが0の場合にC33 PEコアからSINT/HIF_FLAG0レジスタに1を書き込むと、#HIF_INT信号がアクティブになります。これにより、外部ホストプロセッサに割り込みを要求することができます。0を書き込んでリセットすることも可能で、その場合は#HIF_INT信号がインアクティブになります。

外部ホストプロセッサからはSINTの読み出しとリセットのみが行え、セットすることはできません。外部ホストプロセッサからリセットするには、1を書き込みます。外部ホストプロセッサで割り込みを受け付けた場合は、必ずこのフラグをクリア(#HIF_INT信号をインアクティブに)してください。

ITCの割り込み要求信号

INTSELを1に設定すると、ITCがC33 PEコアに出力する割り込み信号が#HIF_INT信号として外部ホストプロセッサに出力されます。したがって、ITCで許可されている割り込みのいずれかが発生することにより#HIF_INT信号がアクティブになります。S1C33L27内の割り込みの制御方法は、C33 PEコアに割り込みを発生させる場合と同じです。

外部ホストプロセッサからの割り込み

外部ホストプロセッサからHINT/HIF_FLAG1レジスタに1を書き込むことにより、ITCへのHIF割り込み要求またはNMIを発生可能です。0を書き込んでリセットすることも可能です。

C33 PEコアからはHINTの読み出しとリセットのみが行え、セットすることはできません。

C33 PEコアからリセットするには、1を書き込みます。割り込みを受け付けた場合は、必ずこのフラグをクリアしてください。

HINTの操作によりITC内でマスク可能なHIF割り込みを発生させるか、あるいはNMIを発生させるかについては、HINT_MD/HIF_EXTCTRL1レジスタで選択します。HINT_MDが0(デフォルト)の場合はNMI、1に設定するとITCへのHIF割り込み要求が発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

11.7 制御レジスタの詳細

11.7.1 ホストプロセッサ専用レジスタ

表11.7.1.1 ホストプロセッサ専用レジスタ一覧

アドレス	レジスタ名		機能
Host 0x0	HIF_DRIF_B	HIF Direct Interface Byte Data Register	バイトデータダイレクトリード/ライトレジスタ
Host 0x1	HIF_DRIF_HW	HIF Direct Interface Half Word Data Register	ハーフワードデータダイレクトリード/ライトレジスタ
Host 0x2	HIF_DRIF_W	HIF Direct Interface Word Data Register	ワードデータダイレクトリード/ライトレジスタ
Host 0x3	HIF_IDIF_DAT	HIF Indirect Interface Data Register	データインダイレクトリード/ライトレジスタ
Host 0x4	HIF_IDIF_CTRL	HIF Indirect Interface Control Register	データインダイレクトリード/ライトの制御
Host 0x6	HIF_CTRL	HIF Control Register	アクセス条件の設定
Host 0x8	HIF_ADDR0	HIF Address Register 0	アドレスビットA[7:0](8ビットI/F)またはA[15:0](16ビットI/F)
Host 0x9	HIF_ADDR1	HIF Address Register 1	アドレスビットA[15:8](8ビットI/F)またはA[31:16](16ビットI/F)
Host 0xa	HIF_ADDR2	HIF Address Register 2	アドレスビットA[23:16](8ビットI/F)
Host 0xb	HIF_ADDR3	HIF Address Register 3	アドレスビットA[31:24](8ビットI/F)
Host 0xc	HIF_SP_IDX	HIF Special Register Index Register	スペシャルレジスタの指定
Host 0xd	HIF_SP_DAT	HIF Special Register Data Register	スペシャルレジスタデータ

以下、ホストプロセッサ専用レジスタを個々に説明します。C33 PEコアからアクセスすることはできません。

注: • 8ビットインタフェースに設定した場合、これらのレジスタはすべて8ビットレジスタになります。
16ビットインタフェースに設定した場合は16ビットレジスタになります。

- レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

HIF Direct Interface Byte Data Register (HIF_DRIF_B)

注: • 本レジスタはダイレクトインタフェース専用です。

- ダイレクトインタフェースを使用するには、外部ウェイト要求入力を持つホストプロセッサを使用し、その端子とS1C33L27の#HIF_WAIT端子(アクティブLow)を接続しておく必要があります。外部ウェイト要求入力を持たないホストプロセッサを使用する場合は、インダイレクトインタフェース用のHIF_IDIF_DATレジスタ(ホストアドレス0x3)とHIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を使用してデータをリード/ライトしてください。

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Byte Data Register (HIF_DRIF_B)	Host 0x0 (8 bits)	D7-0	B_DAT[7:0]	Byte access data	0x0-0xff	X	R/W	

D[7:0] B_DAT[7:0]: Byte Access Data Bits

ダイレクトインタフェースを介してS1C33L27内をバイトサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

データリード

外部ホストプロセッサがこのレジスタを読み出すと、HIF_ADDR_xレジスタ(0x8~0xb)に設定されているアドレスからバイトデータをリードするバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされると、バイトデータがHIF_D[7:0]に出力されます。

データライト

外部ホストプロセッサがこのレジスタにデータを書き込むと、HIFモジュールをバスマスタとしてHIF_ADDR_xレジスタ(0x8~0xb)に設定されているアドレスへのバイトライトのバスオペレーションが実行されます。

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Byte Data Register (HIF_DRIF_B)	Host 0x0 (16 bits)	D15-8 D7-0	— B_DAT[7:0]	reserved Byte access data	— 0x0-0xff	— X	— R/W	0 when being read.

D[15:8] Reserved**D[7:0] B_DAT[7:0]: Byte Access Data Bits**

ダイレクトインタフェースを介してS1C33L27内をバイトサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

データリード

外部ホストプロセッサがこのレジスタを読み出すと、HIF_ADDR_xレジスタ(0x8~0xb)に設定されているアドレスからバイトデータをリードするバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされると、バイトデータがHIF_D[7:0]に出力されます。HIF_D[15:8]は0を出力します。

データライト

外部ホストプロセッサがこのレジスタにデータを書き込むと、HIFモジュールをバスマスタとしてHIF_ADDR_xレジスタ(0x8~0xb)に設定されているアドレスへのバイトライトのバスオペレーションが実行されます。

HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)

注: • 本レジスタはダイレクトインタフェース専用です。

- ダイレクトインタフェースを使用するには、外部ウェイト要求入力を持つホストプロセッサを使用し、その端子とS1C33L27の#HIF_WAIT端子(アクティブLow)を接続しておく必要があります。外部ウェイト要求入力を持たないホストプロセッサを使用する場合は、インダイレクトインタフェース用のHIF_IDIF_DATレジスタ(ホストアドレス0x3)とHIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を使用してデータをリード/ライトしてください。

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)	Host 0x1 (8 bits)	D7-0	HW_DAT [7:0]	Half word access data	0x0-0xff	X	R/W	

D[7:0] HW_DAT[7:0]: Half Word Access Data Bits

ダイレクトインタフェースを介してS1C33L27内をハーフワードサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

このレジスタを2回連続してアクセスし、ハーフワードデータをリード/ライトします。

データリード

このレジスタの1回目の読み出しにより、HIF_ADDR_xレジスタ(0x8~0xb)に設定されているアドレスからハーフワードデータをリードするバスオペレーションが実行されます。ハーフワードの読み出し値がリードデータバッファにロードされると、第1バイトデータがHIF_D[7:0]に出力されます。

2回目の読み出し時は、リードデータバッファから第2バイトデータが読み出され、HIF_D[7:0]に出力されます。

データライト

第1バイト、第2バイトの順にこのレジスタに連続してデータを書き込みます。データは一旦ライトデータバッファに入りハーフワードデータにまとめられます。

第2バイトが書き込まれると、HIFモジュールをバスマスタとしてHIF_ADDR_xレジスタ(0x8～0xb)に設定されているアドレスへのハーフワードライトのバスオペレーションが実行されます。

第1バイトと第2バイトの順序は、ENDIAN/HIF_CTRLレジスタで指定したエンディアンモードに従います。

表11.7.1.2 ハーフワードデータのバイト配列(8ビットインタフェース)

	リトルエンディアン	ビッグエンディアン
第1バイト	D[7:0]	D[15:8]
第2バイト	D[15:8]	D[7:0]

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)	Host 0x1 (16 bits)	D15-0	HW_DAT [15:0]	Half word access data	0x0-0xffff	X	R/W	

D[15:0] HW_DAT[15:0]: Half Word Access Data Bits

ダイレクトインタフェースを介してS1C33L27内をハーフワードサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

データリード

外部ホストプロセッサがこのレジスタを読み出すと、HIF_ADDR_xレジスタ(0x8～0x9)に設定されているアドレスからハーフワードデータをリードするバスオペレーションが実行されます。読み出し値がリードデータバッファにロードされると、ハーフワードデータがHIF_D[15:0]に出力されます。

データライト

外部ホストプロセッサがこのレジスタにデータを書き込むと、HIFモジュールをバスマスタとしてHIF_ADDR_xレジスタ(0x8～0x9)に設定されているアドレスへのハーフワードライトのバスオペレーションが実行されます。

HIF Direct Interface Word Data Register (HIF_DRIF_W)

注: ・本レジスタはダイレクトインタフェース専用です。

- ・ダイレクトインタフェースを使用するには、外部ウェイト要求入力を持つホストプロセッサを使用し、その端子とS1C33L27の#HIF_WAIT端子(アクティブLow)を接続しておく必要があります。外部ウェイト要求入力を持たないホストプロセッサを使用する場合は、インダイレクトインタフェース用のHIF_IDIF_DATレジスタ(ホストアドレス0x3)とHIF_IDIF_CTRLレジスタ(ホストアドレス0x4)を使用してデータをリード/ライトしてください。

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Word Data Register (HIF_DRIF_W)	Host 0x2 (8 bits)	D7-0	W_DAT[7:0]	Word access data	0x0-0xff	X	R/W	

D[7:0] W_DAT[7:0]: Word Access Data Bits

ダイレクトインタフェースを介してS1C33L27内をワードサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

このレジスタを4回連続してアクセスし、ワードデータをリード/ライトします。

データリード

このレジスタの1回目の読み出しにより、HIF_ADDRxレジスタ(0x8～0xb)に設定されているアドレスからワードデータをリードするバスオペレーションが実行されます。ワードの読み出し値がリードデータバッファにロードされると、第1バイトデータがHIF_D[7:0]に出力されます。

2回目～4回目の読み出し時は、リードデータバッファから第2～第4バイトデータが読み出され、HIF_D[7:0]に出力されます。

データライト

第1バイト～第4バイトの順にこのレジスタに連続してデータを書き込みます。データは一旦ライトデータバッファに入りワードデータにまとめられます。

第4バイトが書き込まれると、HIFモジュールをバスマスタとしてHIF_ADDRxレジスタ(0x8～0xb)に設定されているアドレスへのワードライトのバスオペレーションが実行されます。

第1バイト～第4バイトの順序は、ENDIAN/HIF_CTRLレジスタで指定したエンディアンモードに従います。

表11.7.1.3 ワードデータのバイト配列(8ビットインタフェース)

	リトルエンディアン	ビッグエンディアン
第1バイト	D[7:0]	D[31:24]
第2バイト	D[15:8]	D[23:16]
第3バイト	D[23:16]	D[15:8]
第4バイト	D[31:24]	D[7:0]

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Word Data Register (HIF_DRIF_W)	Host 0x2 (16 bits)	D15-0	W_DAT [15:0]	Word access data	0x0-0xffff	X	R/W	

D[15:0] W_DAT[15:0]: Half Word Access Data Bits

ダイレクトインタフェースを介してS1C33L27内をワードサイズでアクセスするときに、データをリード/ライトするレジスタです。(デフォルト: 不定)

このレジスタを2回連続してアクセスし、ワードデータをリード/ライトします。

データリード

このレジスタの1回目の読み出しにより、HIF_ADDRxレジスタ(0x8～0x9)に設定されているアドレスからワードデータをリードするバスオペレーションが実行されます。ワードの読み出し値がリードデータバッファにロードされると、第1ハーフワードデータがHIF_D[15:0]に出力されます。

2回目の読み出し時は、リードデータバッファから第2ハーフワードデータが読み出され、HIF_D[15:0]に出力されます。

データライト

第1ハーフワード、第2ハーフワードの順にこのレジスタに連続してデータを書き込みます。データは一旦ライトデータバッファに入りワードデータにまとめられます。

第2ハーフワードが書き込まれると、HIFモジュールをバスマスタとしてHIF_ADDRxレジスタ(0x8～0x9)に設定されているアドレスへのワードライトのバスオペレーションが実行されます。

第1ハーフワードと第2ハーフワードの順序は、ENDIAN/HIF_CTRLレジスタで指定したエンディアンモードに従います。

表11.7.1.4 ワードデータのハーフワード配列(16ビットインタフェース)

	リトルエンディアン	ビッグエンディアン
第1ハーフワード	D[15:0]	D[31:16]
第2ハーフワード	D[31:16]	D[15:0]

HIF Indirect Interface Data Register (HIF_IDIF_DAT)

注: 本レジスタはインダイレクトインタフェース専用です。

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Indirect Interface Data Register (HIF_IDIF_DAT)	Host 0x3 (8 bits)	D7-0	IDIF_DAT [7:0]	Indirect interface data	0x0-0xff	X	R/W	

D[7:0] IDIF_DAT[7:0]: Indirect Interface Data Bits

インダイレクトインタフェースを介してS1C33L27内をアクセスするときにデータをリード/ライトするレジスタです。(デフォルト: 不定)

バイトアクセスの場合は、このレジスタを1回リード/ライトします。

ハーフワードアクセスの場合は、このレジスタを2回リード/ライトします。

ワードアクセスの場合は、このレジスタを4回リード/ライトします。

データリード

HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)へのリードコマンド書き込みにより、HIFモジュールはHIF_ADDRxレジスタ(0x8~0xb)に設定されているアドレスから指定サイズ(バイト、ハーフワード、ワード)のデータを読み出しリードデータバッファに格納します。

このバスオペレーション中はBUSY/HIF_IDIF_CTRLレジスタが1にセットされ、読み出しデータがリードデータバッファに格納されるとBUSYが0にリセットされます。

BUSYが0になったことを確認後、本レジスタをアクセスサイズに相当する回数読み出してください。

データライト

ライトデータバッファが空(WR_BF/HIF_IDIF_CTRLレジスタ = 0)であることを確認後、アクセスサイズに相当する回数、このレジスタに連続してバイトデータを書き込みます。データは一旦ライトデータバッファに入りアクセスサイズのデータにまとめられます。

その後、HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)にライトコマンドを書き込みます。この操作により、HIFモジュールをバスマスタとしてHIF_ADDRxレジスタ(0x8~0xb)に設定されているアドレスへのデータライトのバスオペレーションが実行されます。

ハーフワード/ワードアクセス時のバイトデータのリード/ライト順序は、ENDIAN/HIF_CTRLレジスタで指定したエンディアンモードに合わせてください(表11.7.1.2、表11.7.1.3参照)。

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Indirect Interface Data Register (HIF_IDIF_DAT)	Host 0x3 (16 bits)	D15-0	IDIF_DAT [15:0]	Indirect interface data	0x0-0xffff	X	R/W	

D[15:0] IDIF_DAT[15:0]: Indirect Interface Data Bits

インダイレクトインタフェースを介してS1C33L27内をアクセスするときにデータをリード/ライトするレジスタです。(デフォルト: 不定)

バイトアクセスの場合は、このレジスタを1回リード/ライトします。下位8ビットが有効です。

ハーフワードアクセスの場合は、このレジスタを1回リード/ライトします。

ワードアクセスの場合は、このレジスタを2回リード/ライトします。

データリード

HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)へのリードコマンド書き込みにより、HIFモジュールはHIF_ADDRxレジスタ(0x8~0x9)に設定されているアドレスから指定サイズ(バイト、ハーフワード、ワード)のデータを読み出しリードデータバッファに格納します。

このバスオペレーション中はBUSY/HIF_IDIF_CTRLレジスタが1にセットされ、読み出しデータがリードデータバッファに格納されるとBUSYが0にリセットされます。

BUSYが0になったことを確認後、本レジスタをアクセスサイズに相当する回数読み出してください。

データライト

ライトデータバッファが空(WR_BF/HIF_IDIF_CTRLレジスタ = 0)であることを確認後、アクセスサイズに相当する回数、このレジスタに連続してデータを書き込みます。データは一旦ライトデータバッファに入りアクセスサイズのデータにまとめられます。

その後、HIF_IDIF_CTRLレジスタ(ホストアドレス0x4)にライトコマンドを書き込みます。この操作により、HIFモジュールをバスマスタとしてHIF_ADDRxレジスタ(0x8~0x9)に設定されているアドレスへのデータライトのバスオペレーションが実行されます。

ワードアクセス時のハーフワードデータのリード/ライト順序は、ENDIAN/HIF_CTRLレジスタで指定したエンディアンモードに合わせてください(表11.7.1.4参照)。

HIF Indirect Interface Control Register (HIF_IDIF_CTRL)

注: 本レジスタはインダイレクトインタフェース専用です。

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Indirect Interface Control Register (HIF_IDIF_CTRL)	Host 0x4 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	WR_BF	Write buffer full flag	1 Full 0 Empty	0	R	
		D3	BUSY	Bus controller busy flag	1 Busy 0 Ready	0	R	
		D2-1	ACCESS_MD[1:0]	Access mode select	ACCESS_MD[1:0] Mode 0x3-0x2 Word 0x1 Half word 0x0 Byte	0x0	R/W	
		D0	RW_SEL	Read/write cycle select	1 Write 0 Read	0	R/W	

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Indirect Interface Control Register (HIF_IDIF_CTRL)	Host 0x4 (16 bits)	D15-5	—	reserved	—	—	—	0 when being read.
		D4	WR_BF	Write buffer full flag	1 Full 0 Empty	0	R	
		D3	BUSY	Bus controller busy flag	1 Busy 0 Ready	0	R	
		D2-1	ACCESS_MD[1:0]	Access mode select	ACCESS_MD[1:0] Mode 0x3-0x2 Word 0x1 Half word 0x0 Byte	0x0	R/W	
		D0	RW_SEL	Read/write cycle select	1 Write 0 Read	0	R/W	

D[15:5] Reserved(16ビットインタフェース)

D[7:5] Reserved(8ビットインタフェース)

D4 WR_BF: Write Buffer Full Flag Bit

ライトデータバッファの状態を示します。

1(R): フル

0(R): エンプティ(デフォルト)

HIF_IDIF_DATレジスタ(ホストアドレス0x3)に最初のデータを書き込むとWR_BFが1にセットされ、指定メモリアドレスへの書き込みが終了すると0にリセットされます。インダイレクトインタフェースを使用して外部ホストプロセッサからデータを書き込む際は、本ビットが0になっていることを確認してからHIF_IDIF_DATレジスタ(ホストアドレス0x3)にデータを書き込んでください。

D3 BUSY: Bus Controller Busy Flag Bit

HIFモジュール内のバスコントローラの状態を示します。

1(R): ビジー

0(R): レディ(デフォルト)

HIFがデータアクセス中は1(ビジー)、バスオペレーションを終了している場合は0(レディ)となります。インダイレクトインタフェースを使用してデータリードを行う際は、本ビットが0になっていることを確認してからHIF_IDIF_DATレジスタ(ホストアドレス0x3)を読み出してください。

D[2:1] ACCESS_MD[1:0]: Access Mode Select Bits

S1C33L27内のアクセスサイズを指定します。

表11.7.1.5 アクセスサイズの指定

ACCESS_MD[1:0]	アクセスサイズ
0x3または0x2	ワード
0x1	ハーフワード
0x0	バイト

(デフォルト: 0x0)

D0 RW_SEL: Read/Write Cycle Select Bit

データリードとデータライトのどちらを実行するか選択します。

1(R/W): ライト

0(R/W): リード(デフォルト)

本レジスタへの書き込みにより、D[2:0]で指定されたバスオペレーションが実行されます。

表11.7.1.6 HIF_IDIF_CTRLレジスタ書き込み時の動作

RW_SEL	ACCESS_MD[1:0]	バスオペレーション
1	0x3または0x2	ワードライト
	0x1	ハーフワードライト
	0x0	バイトライト
0	0x3または0x2	ワードリード
	0x1	ハーフワードリード
	0x0	バイトリード

HIF Control Register (HIF_CTRL)**8ビットインタフェースモード**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Control Register (HIF_CTRL)	Host 0x6 (8 bits)	D7	HIFSEL	HIF data width select	1 16 bits 0 8 bits	0	R/W	
		D6-5	—	reserved	—	—	—	0 when being read.
		D4	INTSEL	Interrupt source select	1 ITC_INT 0 SINT	0	R/W	
		D3-2	ADDR_MD [1:0]	Address control mode select	ADDR_MD[1:0] Mode 0x3-0x2 reserved 0x1 Post increment 0x0 Fixed	0x0	R/W	
		D1	ENDIAN	Endian mode select	1 Big endian 0 Little endian	0	R/W	
		D0	AHB_EN	AHB interface enable	1 Enable 0 Disable	0	R/W	

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Control Register (HIF_CTRL)	Host 0x6 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7	HIFSEL	HIF data width select	1 16 bits 0 8 bits	0	R/W	
		D6-5	—	reserved	—	—	—	0 when being read.
		D4	INTSEL	Interrupt source select	1 ITC_INT 0 SINT	0	R/W	
		D3-2	ADDR_MD [1:0]	Address control mode select	ADDR_MD[1:0] Mode 0x3-0x2 reserved 0x1 Post increment 0x0 Fixed	0x0	R/W	
		D1	ENDIAN	Endian mode select	1 Big endian 0 Little endian	0	R/W	
		D0	AHB_EN	AHB interface enable	1 Enable 0 Disable	0	R/W	

D[15:8] Reserved (16ビットインタフェース)**D7 HIFSEL: HIF Data Width Select Bit**

ホストインタフェースのデータバス幅を選択します。

1(R/W): 16ビット

0(R/W): 8ビット(デフォルト)

HIFSELに0を書き込むとホストインタフェースは8ビットデータバス(HIF_D[7:0])に、HIFSELに1を書き込むと16ビットデータバス(HIF_D[15:0])に設定されます。また、HIFレジスタ(スペシャルレジスタを除く)のビット幅もこの選択に合わせて8ビットまたは16ビットに設定されます。

D[6:5] Reserved

D4 INTSEL: Interrupt Source Select Bit

S1C33L27から外部ホストに対して発生させる割り込みの要因を選択します。

1(R/W): ITCの割り込み要求出力

0(R/W): SINT制御(デフォルト)

INTSELが0の場合、SINT/HIF_FLAG0レジスタに1を書き込むと#HIF_INT信号がアクティブになります。これにより、外部ホストプロセッサに割り込みを要求することができます。

INTSELを1に設定すると、ITCがC33 PEコアに出力する割り込み信号が#HIF_INTにも出力されます。したがって、S1C33L27内部で割り込みが発生すると同時に、外部ホストプロセッサに対しても割り込みが発生します。

D[3:2] ADDR_MD[1:0]: Address Control Mode Select Bits

メモリアクセス後のアドレス制御方法を指定します。

表11.7.1.7 転送アドレス制御

ADDR_MD[1:0]	アドレス制御		
	バイトアクセス	ハーフワードアクセス	ワードアクセス
0x3または0x2	Reserved		
0x1	インクリメント(+1)	インクリメント(+2)	インクリメント(+4)
0x0	アドレス固定	アドレス固定	アドレス固定

(デフォルト: 0x0)

ADDR_MD[1:0]が0x0の場合、HIF_ADDR0～3レジスタ(ホストアドレス0x8～0xb)に設定したアドレスはデータリード/ライト後に変更されません。

ADDR_MD[1:0]を0x1に設定すると、データリード/ライト後にHIF_ADDR0～3レジスタのアドレスがアクセスサイズ分インクリメントされます。これにより、HIF_ADDR0～3レジスタを書き換えずに連続したアドレスをリード/ライトすることができます。

注: ポストインクリメント機能はアドレスの下位16ビット(A[15:0])に対してのみ有効です。したがって、64Kバイト境界アドレス(0xXXXXffff)を超えて連続アクセスすることはできません。

D1 ENDIAN: Endian Mode Select Bit

ハーフワードアクセスまたはワードアクセスを行う際のエンディアンモードを選択します。

1(R/W): ビッグエンディアン

0(R/W): リトルエンディアン(デフォルト)

内部アクセスサイズにより、外部ホストプロセッサは1回、2回、4回のリード/ライトを行います。エンディアンモードの選択による各回のアクセスデータビットを下表に示します。

表11.7.1.8 エンディアンモードによるアドレスとデータビットの関係

データ バス幅	内部アクセス サイズ	内部アドレス下位ビット		内部リード/ライトビット		アクセス 回数/番号
		A1	A0	リトルエンディアン	ビッグエンディアン	
8ビット	バイト	*	*	D[7:0]	D[7:0]	1回
	ハーフワード	*	0	D[7:0]	D[15:8]	1回目
		*	1	D[15:8]	D[7:0]	2回目
	ワード	0	0	D[7:0]	D[31:24]	1回目
		0	1	D[15:8]	D[23:16]	2回目
		1	0	D[23:16]	D[15:8]	3回目
		1	1	D[31:24]	D[7:0]	4回目
16ビット	バイト	*	*	D[7:0]	D[7:0]	1回
	ハーフワード	*	0	D[15:0]	D[15:0]	1回
	ワード	0	0	D[15:0]	D[31:16]	1回目
		1	0	D[31:16]	D[15:0]	2回目

D0 AHB_EN: AHB Interface Enable Bit

外部ホストプロセッサによるAHBスレーブデバイスへのアクセスを許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

AHB_ENを1に設定することにより、外部ホストプロセッサはエリア3の内蔵メモリ、エリア6の内蔵周辺回路/メモリ、およびS1C33L27に接続した外部メモリにアクセスできます。

HIF Address Register x (HIF_ADDRx)

8ビットインタフェースモード (HIF_ADDR0~HIF_ADDR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Address Register 0 (HIF_ADDR0)	Host 0x8 (8 bits)	D7-0	ADDR [7:0]	S1C33L27 internal address A[7:0]	0x0-0xff	0x0	R/W	
HIF Address Register 1 (HIF_ADDR1)	Host 0x9 (8 bits)	D7-0	ADDR [15:8]	S1C33L27 internal address A[15:8]	0x0-0xff	0x0	R/W	
HIF Address Register 2 (HIF_ADDR2)	Host 0xa (8 bits)	D7-0	ADDR [23:16]	S1C33L27 internal address A[23:16]	0x0-0xff	0x0	R/W	
HIF Address Register 3 (HIF_ADDR3)	Host 0xb (8 bits)	D7-0	ADDR [31:24]	S1C33L27 internal address A[31:24]	0x0-0xff	0x0	R/W	

16ビットインタフェースモード (HIF_ADDR0~HIF_ADDR1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Address Register 0 (HIF_ADDR0)	Host 0x8 (16 bits)	D15-0	ADDR [15:0]	Address A[15:0]	0x0-0xffff	0x0	R/W	
HIF Address Register 1 (HIF_ADDR1)	Host 0x9 (16 bits)	D15-0	ADDR [31:16]	Address A[31:16]	0x0-0xffff	0x0	R/W	

ADDR[31:0]: S1C33L27 Internal Address Bits

外部ホストプロセッサがアクセスするS1C33L27のメモリアドレスを設定します。(デフォルト: 0x0)

ダイレクトインタフェースモード、インダイレクトインタフェースモードのどちらのモードも、アドレスの指定にはこれらのレジスタを使用します。

- 注: • S1C33L27内部をハーフワードサイズでアクセスする場合はハーフワード境界アドレス (A0 = 0) を、ワードサイズでアクセスする場合はワード境界アドレス (A[1:0] = 0b00)を設定してください。
- メモリが実装されていないアドレスをアクセスした場合、無効な書き込み、あるいは無効な読み出しが実行されます。

HIF Special Register Index Register (HIF_SP_IDX)

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Special Register Index Register (HIF_SP_IDX)	Host 0xc (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4-0	INDEX[4:0]	Special register index	0x1-0x13	0x0	R/W	

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Special Register Index Register (HIF_SP_IDX)	Host 0xc (16 bits)	D15-5	—	reserved	—	—	—	0 when being read.
		D4-0	INDEX[4:0]	Special register index	0x1-0x13	0x0	R/W	

D[15:5] Reserved (16ビットインタフェース)

D[7:5] Reserved (8ビットインタフェース)

D[4:0] INDEX[4:0]: Special Register Index Bits

HIF_SP_DATレジスタ(ホストアドレス0xd)を介してアクセスするスペシャルレジスタをインデックス番号(0x1、0x8~0xf、0x10~0x13)で指定します。(デフォルト: 0x0)

スペシャルレジスタは、本レジスタにインデックスを書き込み後、HIF_SP_DATレジスタ(ホストアドレス0xd)をリード/ライトすることによりアクセスできます。

スペシャルレジスタはC33 PEコアからもアクセス可能な共有レジスタです。レジスタの内容については、“11.7.2 共有レジスタ”を参照してください。

11 ホストインタフェース (HIF)

表11.7.1.9 スペシャルレジスタ一覧

Index	スペシャルレジスタ	機能
0x1	HIF Extended Control (HIF_EXTCTRL1) Register 1	割り込みモードの設定
0x8	HIF Semaphore (HIF_SMPH0) Register 0	セマフォ 0
0x9	HIF Semaphore (HIF_SMPH1) Register 1	セマフォ 1
0xa	HIF Semaphore (HIF_SMPH2) Register 2	セマフォ 2
0xb	HIF Semaphore (HIF_SMPH3) Register 3	セマフォ 3
0xc	HIF Semaphore (HIF_SMPH4) Register 4	セマフォ 4
0xd	HIF Semaphore (HIF_SMPH5) Register 5	セマフォ 5
0xe	HIF Semaphore (HIF_SMPH6) Register 6	セマフォ 6
0xf	HIF Semaphore (HIF_SMPH7) Register 7	セマフォ 7
0x10	HIF Scratchpad (HIF_SCRATCH0) Register 0	スクラッチパッドレジスタ0
0x11	HIF Scratchpad (HIF_SCRATCH1) Register 1	スクラッチパッドレジスタ1
0x12	HIF Scratchpad (HIF_SCRATCH2) Register 2	スクラッチパッドレジスタ2
0x13	HIF Scratchpad (HIF_SCRATCH3) Register 3	スクラッチパッドレジスタ3

HIF Special Register Data Register (HIF_SP_DAT)

8ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Special Register Data Register (HIF_SP_DAT)	Host 0xd (8 bits)	D7-0	SP_DAT[7:0]	Special register data	0x0-0xff	0x0	R/W	

16ビットインタフェースモード

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Special Register Data Register (HIF_SP_DAT)	Host 0xd (16 bits)	D15-8 D7-0	— SP_DAT[7:0]	reserved Special register data	— 0x0-0xff	— 0x0	— R/W	0 when being read.

D[15:8] Reserved (16ビットインタフェース)

D[7:0] SP_DAT[7:0]: Special Register Data Bits

HIF_SP_IDXレジスタ(ホストアドレス0xc)で指定したスペシャルレジスタを、本レジスタを介してリード/ライトします。(デフォルト: 0x0)

11.7.2 共有レジスタ

表11.7.2.1 共有レジスタ一覧

アドレス	レジスタ名	機能
Host 0xd[0x1] /0x300901	HIF_EXTCTRL1	HIF Extended Control Register 1
Host 0xd[0x8] /0x300908	HIF_SMPH0	HIF Semaphore Register 0
Host 0xd[0x9] /0x300909	HIF_SMPH1	HIF Semaphore Register 1
Host 0xd[0xa] /0x30090a	HIF_SMPH2	HIF Semaphore Register 2
Host 0xd[0xb] /0x30090b	HIF_SMPH3	HIF Semaphore Register 3
Host 0xd[0xc] /0x30090c	HIF_SMPH4	HIF Semaphore Register 4
Host 0xd[0xd] /0x30090d	HIF_SMPH5	HIF Semaphore Register 5
Host 0xd[0xe] /0x30090e	HIF_SMPH6	HIF Semaphore Register 6
Host 0xd[0xf] /0x30090f	HIF_SMPH7	HIF Semaphore Register 7
Host 0xd[0x10] /0x300910	HIF_SCRATCH0	HIF Scratchpad Register 0
Host 0xd[0x11] /0x300911	HIF_SCRATCH1	HIF Scratchpad Register 1
Host 0xd[0x12] /0x300912	HIF_SCRATCH2	HIF Scratchpad Register 2

アドレス	レジスタ名		機 能
Host 0xd[0x13] /0x300913	HIF_SCRATCH3	HIF Scratchpad Register 3	スクラッチパッドレジスタ3
Host 0xe /0x300918	HIF_FLAG0	HIF Flag Register 0	スレーブフラグ
Host 0xf /0x300919	HIF_FLAG1	HIF Flag Register 1	ホストフラグ

以下、C33 PEコアと外部ホストプロセッサの双方からアクセス可能な共有レジスタを個々に説明します。C33 PEコアと外部ホストプロセッサでアクセスするアドレスが異なりますので、アドレスは以下のように記述します。

例: Host 0xe 外部ホストプロセッサ側のアドレス
 Host 0xd[0x1] HIF_SP_IDX(ホストアドレス0xc)にインデックス0x1を設定し、HIF_SP_DATレジスタ(ホストアドレス0xd)でアクセスするスペシャルレジスタ
 0x300901 S1C33L27側のアドレス

注: ・ レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ・ HIF_CKE/CMU_CLKCTL2レジスタを0に設定してHIF_CLKの供給を停止している場合は、S1C33L27側のHIFレジスタをリード/ライトしないでください。

HIF Extended Control Register 1 (HIF_EXTCTRL1)

ホスト側(8ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Extended Control Register 1 (HIF_EXTCTRL1)	Host 0xd[0x1] (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	HINT_MD	Host interrupt mode select	1 INT 0 NMI	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

ホスト側(16ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Extended Control Register 1 (HIF_EXTCTRL1)	Host 0xd[0x1] (16 bits)	D15-2	—	reserved	—	—	—	0 when being read.
		D1	HINT_MD	Host interrupt mode select	1 INT 0 NMI	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

S1C33L27側

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Extended Control Register 1 (HIF_EXTCTRL1)	0x300901 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	HINT_MD	Host interrupt mode select	1 INT 0 NMI	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

D[15:8] Reserved(外部ホストプロセッサ、16ビットインタフェース)

D[7:2] Reserved

D1 HINT_MD: Host Interrupt Mode Select Bit

外部ホストプロセッサがHINT/HIF_FLAG1レジスタに1を書き込んで発生させる割り込みの種類を選択します。

1(R/W): マスク可能割り込み

0(R/W): NMI(デフォルト)

HINT_MDが0の場合はHINTが1に設定された時点でNMIが発生します。HINT_MDを1に設定すると、HINTが1に設定された時点でITCに対してHIF割り込み要求が発生します。

D0 Reserved

HIF Semaphore Registers 0–7 (HIF_SMPH0–7)

ホスト側(8ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Semaphore Register <i>x</i> (HIF_SMPH <i>x</i>)	Host 0xd [0x8] [0xf] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH <i>x</i>	Semaphore <i>x</i>	1 Busy 0 Not busy	0	R/W	

ホスト側(16ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Semaphore Register <i>x</i> (HIF_SMPH <i>x</i>)	Host 0xd [0x8] [0xf] (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH <i>x</i>	Semaphore <i>x</i>	1 Busy 0 Not busy	0	R/W	

S1C33L27側

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Semaphore Register <i>x</i> (HIF_SMPH <i>x</i>)	0x300908 0x30090f (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH <i>x</i>	Semaphore <i>x</i>	1 Busy 0 Not busy	0	R/W	

注: レジスタ名やビット名の‘*x*’はセマフォ番号(0~7)を表します。

D[15:8] Reserved(外部ホストプロセッサ、16ビットインタフェース)

D[7:1] Reserved

D0 SMPH*x*: Semaphore *x* Bit

セマフォを切り換えます。

1(W): セマフォをリセット

0(W): 無効

1(R): リソースを使用中

0(R): リソースを使用可能(読み出し後1にセット) (デフォルト)

リソースを使用するモジュール(外部ホストプロセッサまたはS1C33L27内のプログラム)は、対応するSMPH*x*を読み出します。SMPH*x*が0(使用可能)だった場合はリソースを使用して処理を継続します。読み出しによりSMPH*x*は自動的に1(使用中)になります。したがって、SMPH*x*が1だった場合は他のモジュールがリソースを使用していることになります。この場合は、SMPH*x*が0になるまでリソースの使用を保留します。リソースを使い終わったモジュールは、SMPH*x*に1を書き込んで0にリセットしておく必要があります。

HIF Scratchpad Registers 0–3 (HIF_SCRATCH0–3)

ホスト側(8ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Scratchpad Register <i>x</i> (HIF_SCRATCH <i>x</i>)	Host 0xd [0x10] [0x13] (8 bits)	D7–0	SCR <i>x</i> [7:0]	Scratch data	0x0–0xff	0x0	R/W	

ホスト側(16ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Scratchpad Register <i>x</i> (HIF_SCRATCH <i>x</i>)	Host 0xd [0x10] [0x13] (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SCR <i>x</i> [7:0]	Scratch data	0x0–0xff	0x0	R/W	

S1C33L27側

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Scratchpad Register x (HIF_SCRATCHx)	0x300910 0x300913 (8 bits)	D7-0	SCRx[7:0]	Scratch data	0x0-0xff	0x0	R/W	

注: レジスタ名やビット名の‘x’はスクラッチパッド番号(0~3)を表します。

D[15:8] Reserved(外部ホストプロセッサ、16ビットインタフェース)

D[7:0] SCRx[7:0]: Scratch Data Bits

汎用レジスタとして使用します。(デフォルト: 0x0)

任意のデータを一時的に保存しておくことができます。

ここに書き込んだデータはHIFの動作には影響を与えません。

HIF Flag Register 0 (HIF_FLAG0)

ホスト側(8ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Flag Register 0 (HIF_FLAG0)	Host 0xe (8 bits)	D7	PROTECT	HIF_FLAG write protect	1 Set/remove 0 Disable	0	R/W	0 when being read.
		D6-5	—	reserved	—	—	—	
		D4	SFLAG3	Slave flag 3	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D3	SFLAG2	Slave flag 2	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D2	SFLAG1	Slave flag 1	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D1	SFLAG0	Slave flag 0	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D0	SINT	Slave interrupt flag	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	

ホスト側(16ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Flag Register 0 (HIF_FLAG0)	Host 0xe (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7	PROTECT	HIF_FLAG write protect	1 Set/remove 0 Disable	0	R/W	0 when being read.
		D6-5	—	reserved	—	—	—	
		D4	SFLAG3	Slave flag 3	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D3	SFLAG2	Slave flag 2	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D2	SFLAG1	Slave flag 1	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D1	SFLAG0	Slave flag 0	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D0	SINT	Slave interrupt flag	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	

S1C33L27側

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Flag Register 0 (HIF_FLAG0)	0x300918 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	SFLAG3	Slave flag 3	1 Set 0 Clear	0	R/W	
		D3	SFLAG2	Slave flag 2	1 Set 0 Clear	0	R/W	
		D2	SFLAG1	Slave flag 1	1 Set 0 Clear	0	R/W	
		D1	SFLAG0	Slave flag 0	1 Set 0 Clear	0	R/W	
		D0	SINT	Slave interrupt flag	1 Set 0 Clear	0	R/W	

D[15:8] Reserved(外部ホストプロセッサ、16ビットインタフェース)

D7 PROTECT: HIF_FLAG Write Protect Bits(外部ホストプロセッサ)

HIF_FLAG0/1レジスタの書き込み保護の設定変更を行います。このレジスタは特殊な構造になっており、HIF_FLAG0レジスタ全体に対して値を書き込む必要があります(D7ビット単独への書き込みでは動作しません)。

0x96(W): 書き込み保護を解除

0xff(W): 書き込み保護を設定

11 ホストインタフェース (HIF)

注 • PROTECTはC33 PEコア側から操作することはできません。

- HIF_FLAG0レジスタのフラグをリセットする場合は、必ずPROTECTを0にしてHIF_FLAG0レジスタへの書き込みを行ってください。PROTECTが1の場合、フラグはリセットされません。

D[6:5] Reserved(外部ホストプロセッサ)

D[7:5] Reserved(S1C33L27)

D[4:1] SFLAG[3:0]: Slave Flag Bits 3–0

C33 PEコアによりセット可能な汎用フラグです。

	C33 PEコア	外部ホストプロセッサ
1(W):	フラグをセット(1)	フラグをリセット(0)
0(W):	フラグをリセット(0)	無効
1(R):	フラグ = 1	フラグ = 1
0(R):	フラグ = 0	フラグ = 0

C33 PEコアは、1または0の書き込みによりフラグをセット/リセットできます。

外部ホストプロセッサは読み出しと1の書き込みによるリセットのみ可能です(フラグをセットすることはできません)。

D0 SINT: Slave Interrupt Flag Bit

#HIF_INT出力をアクティブにして、外部ホストプロセッサに割り込みを要求します。

	C33 PEコア	外部ホストプロセッサ
1(W):	フラグをセット(#HIF_INT → Low)	フラグをリセット(0)
0(W):	フラグをリセット(#HIF_INT → High)	無効
1(R):	フラグ = 1(#HIF_INT = Low)	フラグ = 1
0(R):	フラグ = 0(#HIF_INT = High)	フラグ = 0

このフラグによる割り込みは、INTSEL/HIF_CTRLレジスタ = 0の場合にのみ有効です。1の場合はITCからC33 PEへの割り込み要求信号が外部ホストプロセッサに送られます。

外部ホストプロセッサから本フラグをセットすることはできません。

外部ホストプロセッサで割り込みを受け付けた場合は、必ずこのフラグをリセット(#HIF_INT信号をインアクティブに)してください。

HIF Flag Register 1 (HIF_FLAG1)

ホスト側(8ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
HIF Flag Register 1 (HIF_FLAG1)	Host 0xf (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3	HFLAG2	Host flag 2	1	Set	0	Clear	0 R/W
		D2	HFLAG1	Host flag 1	1	Set	0	Clear	0 R/W
		D1	HFLAG0	Host flag 0	1	Set	0	Clear	0 R/W
		D0	HINT	Host interrupt flag	1	Set	0	Clear	0 R/W

ホスト側(16ビットインタフェースモード)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
HIF Flag Register 1 (HIF_FLAG1)	Host 0xf (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3	HFLAG2	Host flag 2	1	Set	0	Clear	0 R/W
		D2	HFLAG1	Host flag 1	1	Set	0	Clear	0 R/W
		D1	HFLAG0	Host flag 0	1	Set	0	Clear	0 R/W
		D0	HINT	Host interrupt flag	1	Set	0	Clear	0 R/W

S1C33L27側

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
HIF Flag Register 1 (HIF_FLAG1)	0x300919 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.
		D3	HFLAG2	Host flag 2	1 Set	0 Cleared	0	R	
					1 Reset	0 Ignored	—	W	
		D2	HFLAG1	Host flag 1	1 Set	0 Cleared	0	R	
					1 Reset	0 Ignored	—	W	
		D1	HFLAG0	Host flag 0	1 Set	0 Cleared	0	R	
					1 Reset	0 Ignored	—	W	
		D0	HINT	Host interrupt flag	1 Set	0 Cleared	0	R	
					1 Reset	0 Ignored	—	W	

注: 不要な書き換えによる誤動作を防ぐため、本レジスタは初期設定で書き込み禁止状態になります。このレジスタを書き換えるには、HIF_FLAG0レジスタ(ホストアドレス0xe)に0x96を書き込んで書き込み許可状態にする必要があります(外部ホストプロセッサからのみ変更可能です)。

D[15:4] Reserved(外部ホストプロセッサ、16ビットインタフェース)

D[7:4] Reserved

D[3:1] HFLAG[2:0]: Host Flag Bits 2-0

外部ホストプロセッサによりセット可能な汎用フラグです。

	外部ホストプロセッサ	C33 PEコア
1(W):	フラグをセット(1)	フラグをリセット(0)
0(W):	フラグをリセット(0)	無効
1(R):	フラグ = 1	フラグ = 1
0(R):	フラグ = 0	フラグ = 0

外部ホストプロセッサは、1または0の書き込みによりフラグをセット/リセットできます。C33 PEコアは読み出しと1の書き込みによるリセットのみ可能です(フラグをセットすることはできません)。

D0 HINT: Host Interrupt Flag Bit

外部ホストプロセッサがセットすることで、NMIを発生またはITCへの割り込みを要求します。

	外部ホストプロセッサ	C33 PEコア
1(W):	フラグをセット(NMI/割り込みを発生)	フラグをリセット(0)
0(W):	フラグをリセット(NMI/割り込みをクリア)	無効
1(R):	フラグ = 1	フラグ = 1
0(R):	フラグ = 0	フラグ = 0

C33 PEコアから本フラグをセットすることはできません。

C33 PEコアで割り込みを受け付けた場合は、必ずこのフラグをリセットしてください。

HINTの操作によりITC内でマスク可能なHIF割り込みを発生させるか、あるいはNMIを発生させるかについては、HINT_MD/HIF_EXTCTRL1レジスタで選択します。HINT_MDが0(デフォルト)の場合はNMI、1に設定するとITCへのHIF割り込み要求が発生します。

12 キャッシュコントローラ (CCU)

12.1 CCUモジュールの概要

S1C33L27は命令とデータのアクセスを高速に行うため、4Wayセットアソシエティブ方式のキャッシュコントローラ (CCU) を内蔵しています。A0RAMの0x0～0x3ff番地 (1Kバイト) と0x4c00～0x4fff番地 (1Kバイト) をそれぞれ命令用、データ用のキャッシュメモリとして使用し、指定エリアの外部ROM/SRAM/SDRAMへのアクセスを高速化します (内蔵メモリと内蔵周辺モジュールへのアクセスはキャッシュの対象とはなりません)。

指定割り込みレベルの割り込み処理ルーチンの実行直前にキャッシュをロックできますので、高速な処理を必要とするプログラムがキャッシュされている場合に優先度の低い割り込みの発生によるキャッシュの書き換えを防ぐことができます。また、デバッグモード時はキャッシュが自動的にロックされ、ハードウェアブレーク時は通常動作時と同じタイミングでデバッグが行えます。

主な特長を以下に示します。

- 4Wayセットアソシエティブ方式の、命令 (1Kバイト) とデータ (1Kバイト) が独立したキャッシュ
- 命令/データキャッシュ別に1つのエリア (エリア14～エリア22) をキャッシュ対象エリアとして選択可能
- 1ワードのライトバッファを内蔵し、ライトスルーモードに対応
- LRUアルゴリズムによるリフィル
- リフィルの待ち時間を短縮する4ワードバーストリード機能
- デバッグ時や割り込み時 (割り込みレベル指定) のロック機能
- デバッグ時のソフトウェアPCブレークに対応する命令キャッシュの自動フラッシュ機能

表12.1.1 キャッシュ速度

状態	サイクル数
命令キャッシュまたはデータキャッシュからのリード (ヒット時)	2サイクル *1
命令キャッシュとデータキャッシュからの同時リード (ヒット時)	
A0RAMからのリード	
データキャッシュへのライト (ヒット、ライトバッファエンプティ時)	2サイクル *2
データキャッシュへのライト (ミスヒット、ライトバッファエンプティ時)	
A0RAMへのライト	1サイクル
命令キャッシュまたはデータキャッシュからのリード (ミスヒット時)	外部メモリのアクセス設定に依存
データキャッシュへのライト (ライトバッファフル時)	

*1: 命令キャッシュとデータキャッシュを同時にアクセス可能なため、命令フェッチと同時にデータがアクセスされてもパフォーマンスは変わりません。

*2: データは最初のサイクルでデータキャッシュとライトバッファに同時に書き込まれ、次のサイクルで外部メモリに書き込まれます。

注: • CCUはスヌープ機能 (キャッシュメモリのデータと、外部メモリのデータの一致を保つ機能) を持っていません。C33 PEコアによるリード/ライトのみの場合はキャッシュと外部メモリの整合性は保たれます。DMACとデータを共有する場合のデータの整合性は、ソフトウェアで保証してください。

- CPUがhaltまたはslp命令を実行すると、C33 PEコアおよびキャッシュへのクロック供給が停止します。予期せぬバスオペレーションを回避するため、haltまたはslp命令を実行する前にキャッシュをロックまたは無効に設定すると共に、正しく設定されたことをCCU_STATレジスタで確認してください。

12.2 キャッシュの構成

CCUは、A0RAMの0x00～0x3fff番地(1Kバイト)と0x4c00～0x4fff番地(1Kバイト)を、それぞれ命令キャッシュ、データキャッシュとして使用します。命令キャッシュとデータキャッシュは、ソフトウェアで個々に有効にすることができます。CCUを使用する場合、アプリケーションから誤ってキャッシュにデータが書き込まれることのないように、注意してください。

これらのキャッシュメモリにはデータ部のみが格納され、TAG部はCCUモジュール内のメモリに格納されます。

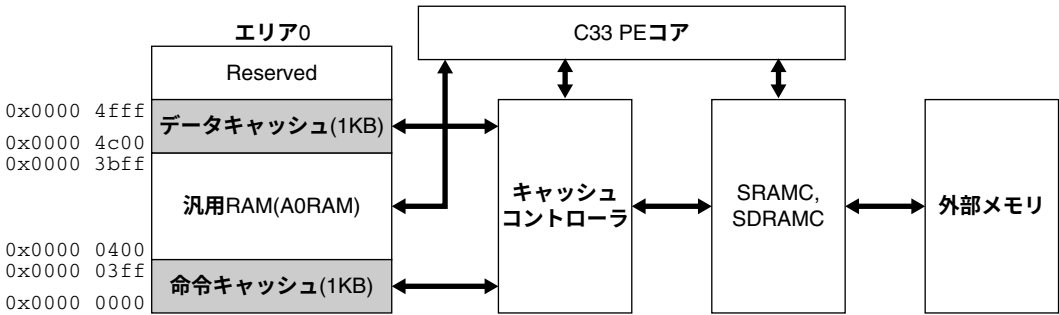


図12.2.1 キャッシュメモリ

CCUは4Wayセットアソシエティブ方式を採用しています。4ライン(4×4ワード)のキャッシュデータを1フレームとして、各Wayは4つのフレームで構成されます。4つのWay内の同じ位置にある4つフレームをLRUの1つのエントリで管理します。外部メモリからキャッシュへのデータの読み込みはライン(4ワード)単位で行われます。キャッシュの構成を図12.2.2に示します。

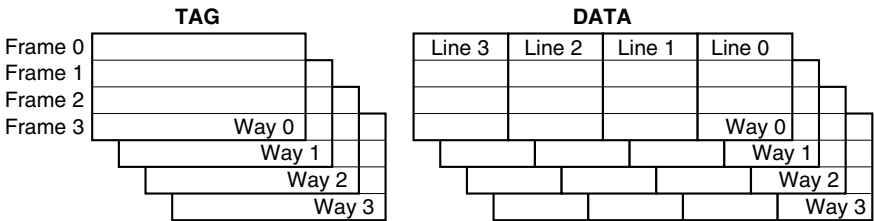


図12.2.2 キャッシュの構成

TAG部およびデータ部

各フレームは図12.2.3のようにTAG部とデータ部に分けられます。TAG部には、18ビットの比較用アドレスが格納されます。データ部は、4ワード(16バイト)×4ラインの構成になっています。

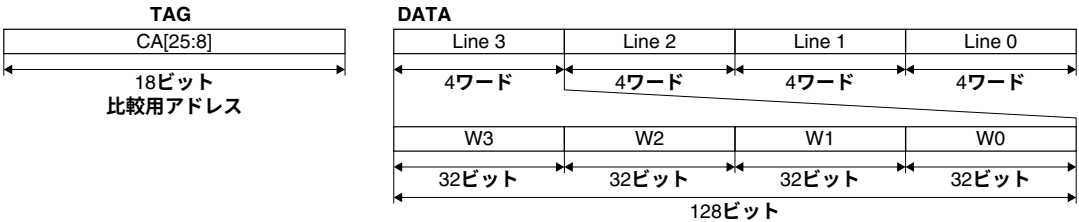


図12.2.3 フレームの構成

LRU部

CCUは4Way構成のため、エントリ番号が同じデータが4フレームあります。ヒットしなかった場合は、4つのWayのうちどれか1つを選択してリプレイスする必要があり、LRU部はそのWay番号を保持しています。

12.3 キャッシュの設定と動作

12.3.1 キャッシュイネーブル

イニシャルリセット時、キャッシュ機能は無効に設定されます。
キャッシュを使用するには以下の設定が必要です。

命令キャッシュを使用する場合

IC/CCU_CFGレジスタを1に設定します。

データキャッシュを使用する場合

DC/CCU_CFGレジスタを1に設定します。

ICとDCを0に戻すとキャッシュはフラッシュされ、すべてのキャッシュデータは無効になります。

注: haltまたはslp命令を実行する前には、必ず命令キャッシュとデータキャッシュを無効に設定してください。

12.3.2 キャッシュ対象エリアの選択

CCUはエリア14～エリア22の中の1つのエリア(外部メモリ)へのアクセスをキャッシュの対象にします。
命令キャッシュの対象にするエリアはARIC[2:0]/CCU_AREAレジスタで、データキャッシュの対象にするエリアはARDC[2:0]/CCU_AREAレジスタでそれぞれ選択します。

表12.3.2.1 キャッシュ対象エリアの選択

ARIC[2:0]/ARDC[2:0]	キャッシュ対象エリア
0x7	エリア22 (0x80000000～0xffffffff)
0x6	エリア21 (0x40000000～0x7fffffff)
0x5	エリア20 (0x20000000～0x3fffffff)
0x4	エリア19 (0x10000000～0x1fffffff)
0x3	エリア18 (0x0c000000～0x0fffffff)
0x2	エリア17 (0x08000000～0x0bfffffff)
0x1	エリア15 & 16 (0x04000000～0x07fffffff)
0x0	エリア14 (0x03000000～0x03fffffff)

(デフォルト: 0x0)

CCUは選択したエリアの先頭から64Mバイトの範囲へのアクセスのみをキャッシュの対象とします。エリア19～22は、先頭の64Mバイト空間以降はミラー領域になります。

12.3.3 アドレスの比較とキャッシュヒット/ミスヒット

SRAMCが出力するアドレスの中で、A[7:6]の2ビットはエントリ番号(フレームオフセット)を表します。
A[25:8]は比較アドレスとなり、A[7:6]で選択されたエントリの4Way分のTAG部に格納されている比較用アドレス(CA[25:8])と比較されます。

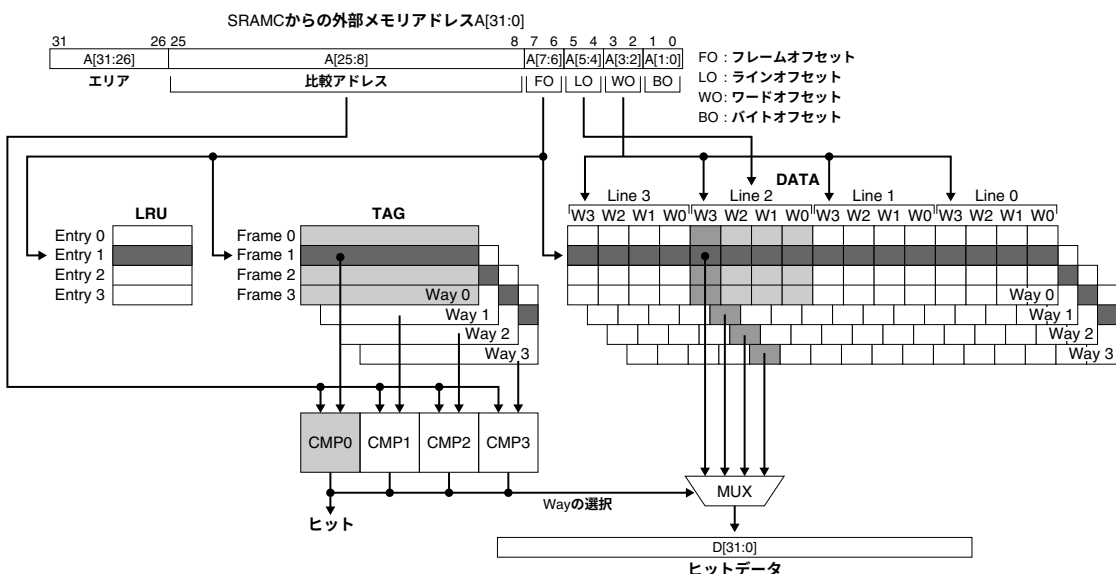


図12.3.3.1 キャッシュ全体の動作

以下にキャッシュヒット/ミスヒットの判定までの動作を説明します。

1. SRAMCが出力するアドレスA[7:6]よりエントリ番号(0~3)を生成します。
2. 決定したエントリのTAG部から4Way分の情報を読み出します。同時にデータ部から、ラインオフセット(A[5:4])とワードオフセット(A[3:2])で示されるワードデータを4Way分読み出します。
3. 各WayのTAG部にあるCA[25:8]とA[25:8]を比較します。
4. ステップ3で一致するWayが存在し、かつ該当ラインのデータが有効(外部メモリからキャッシュされている)の場合、ヒットとなります。ここでヒットしたWayが決定します。
ステップ3で一致するWayが存在しなかった場合はミスヒットとなります。

たとえば、A[7:6] = 0b01、A[5:4] = 0b10、A[3:2] = 0b11でWay0にヒットした場合、キャッシュメモリ内のWay0 - Frame 1 - Line 2 - W3に対して読み出し/書き込みを行います。

12.3.4 読み出し動作

読み出し時にヒットした場合、またはヒットしなかった場合の動作は以下のとおりです。

ヒット時

ヒットした32ビットデータをCPUに転送すると同時に、対象エントリのLRU情報を更新します。

ミスヒット時

CPUにキャッシュ内の命令またはデータは転送されません。

ヒットしなかった場合、CCUは現在のLRU情報より得たりブレースWay(最も以前にアクセスされたWay)の更新(リフィル)を行います。リフィルはライン(4ワード)単位で行われます。CCUは対象命令またはデータを含む4ワードを外部メモリから読み出してキャッシュメモリ内の該当フレーム/ラインに書き込みます。同時にCPUに対象命令またはデータを転送し、LRU情報を更新します。キャッシュされたラインはCCU内で有効に設定され、これ以降の同ライン内の命令/データはキャッシュメモリから読み出されます。同じフレーム内の他のラインは該当アドレスへのアクセスによってリフィルされるまで無効となります。

12.3.5 書き込み動作

書き込みは、ライトスルーモードにのみ対応しています。

ライトスルーは、キャッシュされているデータアドレスへの書き込み要求が発生したときにキャッシュメモリに書き込むと同時に対象となる外部メモリにも書き込むモードです。したがって、データの一致は常に保証されます (DMACによって変更されない場合)。また、ライトスルー動作による処理速度の低下を防ぐため、CCUには1ワードのライトバッファが内蔵されています。ライトバッファの動作を有効にするには、WBEN/CCU_CFGレジスタを1(デフォルト)に設定します。WBENを0に設定するとライトバッファは無効になります。この場合、CPUは外部メモリへの書き込みが完了するまで待機状態となります。

ヒット時

キャッシュと外部メモリの両方にライトサイクルを発行します。また、LRU情報も更新します。

ミスヒット時

ミスヒット時は、キャッシュメモリへの書き込みは行わず、外部メモリへの書き込みのみ行います。このときは、キャッシュへの書き込みが行われないため、LRU情報は更新されません。また、リフィルも行われません。

ライトバッファが有効な場合、外部メモリへの書き込みは、最初にデータをライトバッファに書き込み、次に外部メモリを更新する2段階で処理されます。ライトバッファの状態および、ライトバッファのデータが実際に外部メモリに書き込まれたか否かについては、それぞれWBEMPTY/CCU_WB_STATレジスタとWEFINISH/CCU_WB_STATレジスタで確認することができます。

WBEMPTYはライトバッファにデータが書き込まれた時点で0となり、そのデータが外部メモリへの書き込みのためにバッファから取り出されると1になります。WBEMPTYが1になると同時にWEFINISHが0になり、外部メモリへのデータ書き込み中であることを示します。外部メモリへの書き込みが終了すると、WEFINISHは1になります。

ライトバッファによりCPUは外部メモリへの書き込みが終了するまで待つ必要がなくなりますので、書き込み性能が向上します。ただし、速度の遅い外部デバイスへの書き込み時などは、必要に応じて上記のフラグを読み出し、データが実際に書き込まれたことを確認してください。

12.3.6 フラッシュ

フラッシュとはキャッシュ内のデータをすべて無効にすることです。

命令キャッシュをフラッシュするには、IC/CCU_CFGレジスタを0(命令キャッシュを無効)に、データキャッシュをフラッシュするには、DC/CCU_CFGレジスタを0(データキャッシュを無効)に設定します。引き続きキャッシュを使用する場合は再度これらのビットを1に設定してください。

なお、キャッシュのフラッシュはICまたはDCへの0書き込みから数サイクル後に実行されます。キャッシュ動作を再開する前にフラッシュが完了したことをステータスビットで確認してください。命令キャッシュの動作状態はICS/CCU_STATレジスタで、データキャッシュの動作状態はDCS/CCU_STATレジスタで確認できます。これらのビットが1の場合はキャッシュが動作中でフラッシュが完了していません。フラッシュが完了してキャッシュが動作を停止すると、これらのビットは0になります。

12.4 割り込みレベルによるキャッシュのロック

キャッシュメモリは容量がそれほど大きくないため、プログラムによってはリフィルが頻繁に発生して処理速度を低下させる可能性があります。これを防ぐため、指定したレベルの割り込みルーチンによるリフィルが行われないようにキャッシュをロックする機能があります。この設定のために、LKPRI[7:0]/CCU_LKレジスタが用意されています。

LKPRI[7:0]のビットを1に設定することによって、リフィルを禁止する割り込みレベルが選択できます。LKPRI[7:0]は、各ビットが1つの割り込みレベル、たとえば、LKPRI0は割り込みレベル0(IL[2:0] = 0)、LKPRI7は割り込みレベル7(IL[2:0] = 7)に対応しています。IL[2:0]の割り込みレベルとLKPRI[7:0]の1に設定されているいずれかのビットの割り込みレベルが一致すると数サイクル後にキャッシュがロックされ、それ以降IL[2:0]がLKPRI[7:0]の0に設定されているいずれかのビットの割り込みレベルに変わるまでリフィルは発生しません。

例1: LKPRI1を1、他を0(LKPRI[7:0] = 0x02)に設定した場合(現在のIL[2:0] = 0)

レベル1の割り込みが発生するまで、キャッシュは通常にリフィルを行います。レベル1の割り込みが発生しIL[2:0]が1になるとキャッシュがロックされます。したがって、発生した割り込みの処理ルーチンはメモリ上の格納位置で実行されます(キャッシュにヒットしない場合)。reti命令により割り込み処理を終了するとIL[2:0]が0に戻るため、キャッシュのロックは解除されます。

割り込み処理ルーチンの実行中に、より優先度の高い割り込みが発生した場合もIL[2:0]が変更されますので、キャッシュのロックは解除されます。この場合、その優先度の高い割り込み処理ルーチンをreti命令で終了した時点でIL[2:0]がレベル1に戻り、キャッシュが再度ロックされます。

例2: LKPRI[7:0]をすべて1(0xff)に設定した場合

即時キャッシュはロックされ、以降リフィルは発生しません。キャッシュにヒットしない場合、プログラムはメモリ上の格納位置で実行されます。その後、LKPRI[7:0]を再設定し、IL[2:0]の割り込みレベルに対応するビットが0になるとキャッシュのロックは解除されます。

命令キャッシュとデータキャッシュがロックされているか否かについては、それぞれICLKs/CCU_STATレジスタおよびDCLKs/CCU_STATレジスタで確認できます。ビットが1の場合、キャッシュはロックされています。ビットが0の場合はロックされていません。

このロック状態を解除するには、LKPRI[7:0]をすべて0に設定します。

12.5 デバッグ時のキャッシュの動作

デバッグモード中は命令とデータの両キャッシュの自動ロック機能が働き、プログラム実行のブレーク中に意図しないキャッシュのリフィルが発生しないようになっています。

デバッグ時に通常動作時と同じタイミングでプログラムを実行したり、同じパフォーマンスを得るためには、SBRK/CCU_CFGレジスタを0に設定して、プログラム実行のブレークにはハードウェアPCブレーク機能のみを使用してください。

SBRKを1(デフォルト)に設定することで、ハードウェアPCブレーク以外にソフトウェアPCブレークも使用可能になります。ただし、通常動作時と同様の実行タイミングとパフォーマンスは得られません。

注: SBRKを0に設定した場合、キャッシュ対象エリア内にソフトウェアPCブレークを設定することは禁止します。

12.6 キャッシュデータの整合性

CCUはスヌープ機能(キャッシュメモリのデータと、外部メモリのデータの一致を保つ機能)を持っていません。C33 PEコアによるリード/ライトのみの場合はキャッシュと外部メモリの整合性は保たれます。DMACを介してキャッシュ対象領域にデータを転送する場合、あるいはCPUによりキャッシュ対象のプログラム領域にデータを書き込んだ場合は、キャッシュをフラッシュするなどして、データの整合性をソフトウェアで保証してください。

12.7 制御レジスタ詳細

表12.7.1 CCUレジスタ一覧

アドレス	レジスタ名		機能
0x302300	CCU_CFG	Cache Configuration Register	命令/データキャッシュイネーブル
0x302304	CCU_AREA	Cacheable Area Select Register	キャッシュ可能エリアの選択
0x302308	CCU_LK	Cache Lock Register	キャッシュロック機能の設定
0x30230c	CCU_STAT	Cache Status Register	キャッシュステータスの表示
0x302318	CCU_WB_STAT	Cache Write Buffer Status Register	ライトバッファステータスの表示

以下、CCUの制御レジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Cache Configuration Register (CCU_CFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cache Configuration Register (CCU_CFG)	0x302300 (32 bits)	D31-9	—	reserved	—	—	—	0 when being read.
		D8	WBEN	Write buffer enable	1 Enable 0 Disable	1	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2	SBRK	Software break enable	1 Enable 0 Disable	1	R/W	
		D1	IC	Instruction cache enable	1 Enable 0 Disable	0	R/W	
		D0	DC	Data cache enable	1 Enable 0 Disable	0	R/W	

D[31:9] Reserved

D8 **WBEN: Write Buffer Enable Bit**

ライトバッファを有効にします。

1(R/W): 有効(デフォルト)

0(R/W): 無効

WBENを1(デフォルト)に設定するとライトバッファが有効になります。ライトバッファが有効な場合、外部メモリへの書き込みは、最初にデータをライトバッファに書き込み、次に外部メモリを更新する2段階で処理されます。

WBENを0に設定するとライトバッファは無効になります。この場合、CPUは外部メモリへの書き込みが完了するまで待機状態となります。

D[7:3] Reserved

D2 **SBRK: Software Break Enable Bit**

デバッグ時のソフトウェアPCブレーク機能を有効にします。

1(R/W): 有効(デフォルト)

0(R/W): 無効

注: SBRKを0に設定した場合、キャッシュ対象エリア内にソフトウェアPCブレークを設定することは禁止します。

D1 **IC: Instruction Cache Enable Bit**

命令キャッシュを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

ICを1に設定するとA0RAMの0x00～0x3ff番地(1Kバイト)が命令キャッシュに設定され、これ以降、指定エリアからの命令フェッチにキャッシュが使用されます。

ICを0に戻すと命令キャッシュはフラッシュされ、すべてのキャッシュデータは無効になります。なお、キャッシュのフラッシュはICへの0書き込みから数サイクル後に実行されます。キャッシュ動作を再開する前に、フラッシュが完了したことをICS/CCU_STATレジスタで確認してください。

D0 **DC: Data Cache Enable Bit**

データキャッシュを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

DCを1に設定するとA0RAMの0x4c00～0x4fff番地(1Kバイト)がデータキャッシュに設定され、これ以降、指定エリアからのデータリードにキャッシュが使用されます。データの書き込みはライトスルーモードで行われます。

DCを0に戻すとデータキャッシュはフラッシュされ、すべてのキャッシュデータは無効になります。キャッシュのフラッシュはDCへの0書き込みから数サイクル後に実行されます。キャッシュ動作を再開する前に、フラッシュが完了したことをDCS/CCU_STATレジスタで確認してください。

注: • haltまたはslp命令を実行する前には、必ず命令キャッシュとデータキャッシュを無効に設定してください。

• 命令キャッシュ、データキャッシュには汎用RAM領域が割り当てられます。キャッシュを有効にした場合は、アプリケーションからこれらの領域をアクセスしないでください。

Cacheable Area Select Register (CCU_AREA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cacheable Area Select Register (CCU_AREA)	0x302304 (32 bits)	D31~7	—	reserved	—	—	—	0 when being read.
		D6~4	ARIC[2:0]	Instruction cache area select	ARIC[2:0] Area	0x0	R/W	
					0x7 Area 22			
					0x6 Area 21			
					0x5 Area 20			
					0x4 Area 19			
					0x3 Area 18			
					0x2 Area 17			
					0x1 Areas 15 & 16			
					0x0 Area 14			
		D3	—	reserved	—	—	—	0 when being read.
		D2~0	ARDC[2:0]	Data cache area select	ARDC[2:0] Area	0x0	R/W	
					0x7 Area 22			
					0x6 Area 21			
					0x5 Area 20			
					0x4 Area 19			
					0x3 Area 18			
					0x2 Area 17			
					0x1 Areas 15 & 16			
					0x0 Area 14			

D[31:7] **Reserved**D[6:4] **ARIC[2:0]: Instruction Cache Area Select Bits**

命令キャッシュを介して命令を読み出すエリアを選択します。(表12.7.2参照)

D3 **Reserved**D[2:0] **ARDC[2:0]: Data Cache Area Select Bits**

データキャッシュを介してデータを読み出すエリアを選択します。

表12.7.2 キャッシュ対象エリアの選択

ARIC[2:0]/ARDC[2:0]	キャッシュ対象エリア
0x7	エリア22 (0x80000000~0xffffffff)
0x6	エリア21 (0x40000000~0x7fffffff)
0x5	エリア20 (0x20000000~0x3fffffff)
0x4	エリア19 (0x10000000~0x1fffffff)
0x3	エリア18 (0x0c000000~0x0fffffff)
0x2	エリア17 (0x08000000~0x0bffffff)
0x1	エリア15 & 16 (0x04000000~0x07fffffff)
0x0	エリア14 (0x03000000~0x03ffffff)

(デフォルト: 0x0)

CCUは選択したエリアの先頭から64Mバイトの範囲へのアクセスのみをキャッシュの対象とします。エリア19~22は、先頭の64Mバイト空間以降はミラー領域になります。

Cache Lock Register (CCU_LK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cache Lock Register (CCU_LK)	0x302308 (32 bits)	D31~8	—	reserved	—	—	—	0 when being read.
		D7	LKPRI7	Interrupt level 7 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D6	LKPRI6	Interrupt level 6 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D5	LKPRI5	Interrupt level 5 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D4	LKPRI4	Interrupt level 4 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D3	LKPRI3	Interrupt level 3 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D2	LKPRI2	Interrupt level 2 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D1	LKPRI1	Interrupt level 1 cache-lock enable	1 Lock 0 Unlock	0	R/W	
		D0	LKPRI0	Interrupt level 0 cache-lock enable	1 Lock 0 Unlock	0	R/W	

D[31:8] **Reserved**D[7:0] **LKPRI[7:0]: Interrupt Level [7:0] Cache-Lock Enable Bits**

キャッシュをロックする(リフィルを禁止する割り込み処理の)割り込みレベルを選択します。

1(R/W): IL[2:0] = 指定割り込みレベルでキャッシュをロック

0(R/W): IL[2:0] = 指定割り込みレベルでキャッシュロックを解除(デフォルト)

LKPRI[7:0]のビットを1に設定することによって、リフィルを禁止する割り込みレベルが選択できます。LKPRI[7:0]は、各ビットが1つの割り込みレベル、たとえば、LKPRI0は割り込みレベル0(IL[2:0] = 0)、LKPRI7は割り込みレベル7(IL[2:0] = 7)に対応しています。IL[2:0]の割り込みレベルとLKPRI[7:0]の1に設定されているいずれかのビットの割り込みレベルが一致すると数サイクル後にキャッシュがロックされ、それ以降IL[2:0]がLKPRI[7:0]の0に設定されているいずれかのビットの割り込みレベルに変わるまでリフィルは発生しません。

Cache Status Register (CCU_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cache Status Register (CCU_STAT)	0x30230c (32 bits)	D31-4	—	reserved	—	—	—	0 when being read.
		D3	ICLKS	Instruction cache lock status	1 Locked 0 Not locked	X	R	
		D2	DCLKS	Data cache lock status	1 Locked 0 Not locked	0	R	
		D1	ICS	Instruction cache operating status	1 Active 0 Inactive	0	R	
		D0	DCS	Data cache operating status	1 Active 0 Inactive	0	R	

D[31:4] Reserved

D3 ICLKS: Instruction Cache Lock Status Bit

命令キャッシュのロック状態を示します。(デフォルト: 不定)

1(R): ロック

0(R): アンロック

割り込みロック機能使用時に命令キャッシュがロックされているか否かについてICLKSで確認できます。

D2 DCLKS: Data Cache Lock Status Bit

データキャッシュのロック状態を示します。

1(R): ロック

0(R): アンロック(デフォルト)

割り込みロック機能使用時にデータキャッシュがロックされているか否かについてDCLKSで確認できます。

D1 ICS: Instruction Cache Operating Status Bit

命令キャッシュの動作状態を示します。

1(R): 動作中

0(R): 停止中(デフォルト)

IC/CCU_CFGレジスタを1に設定すると命令キャッシュが動作を開始し、ICSが1にセットされます。ICを0に戻すと命令キャッシュはフラッシュされ、キャッシュが無効となります。なお、命令キャッシュのフラッシュはICへの0書き込みから数サイクル後に実行されます。フラッシュが終了するとICSが0にリセットされますので、フラッシュ後にキャッシュ動作を再開する場合はICSを読み出してフラッシュが完了したことを確認してください。

D0 DCS: Data Cache Operating Status Bit

データキャッシュの動作状態を示します。

1(R): 動作中

0(R): 停止中(デフォルト)

DC/CCU_CFGレジスタを1に設定するとデータキャッシュが動作を開始し、DCSが1にセットされます。DCを0に戻すとデータキャッシュはフラッシュされ、キャッシュが無効となります。なお、データキャッシュのフラッシュはDCへの0書き込みから数サイクル後に実行されます。フラッシュが終了するとDCSが0にリセットされますので、フラッシュ後にキャッシュ動作を再開する場合はDCSを読み出してフラッシュが完了したことを確認してください。

Cache Write Buffer Status Register (CCU_WB_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cache Write Buffer Status Register (CCU_WB_STAT)	0x302318 (32 bits)	D31-10	—	reserved	—	—	—	X when being read.
		D9	WEFINISH	Write-finish flag	1 Finished 0 Writing	1	R	
		D8	WBEMPTY	Write buffer empty flag	1 Empty 0 Full	1	R	
		D7-0	—	reserved	—	—	—	X when being read.

D[31:10] Reserved

D9 WEFINISH: Write-Finish Flag Bit

ライトバッファから外部メモリへのデータ書き込みが終了したか否かを示します。

1(R): 書き込み終了(デフォルト)

0(R): 書き込み中

ライトバッファを有効にした場合、CPUから外部メモリへの書き込みは、最初にデータをライトバッファに書き込み、次に外部メモリを更新する2段階で処理されます。WEFINISHはライトバッファにデータが入ると0になり、そのデータが外部メモリに書き込まれると1に戻ります。

D8 WBEMPTY: Write Buffer Empty Flag Bit

ライトバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): フル

WBEMPTYはライトバッファにデータが書き込まれた時点で0となり、そのデータが外部メモリへの書き込みのためにバッファから取り出されると1になります。ライトバッファによりCPUは外部メモリへの書き込みが終了するまで待つ必要がなくなりますので、書き込み性能が向上します。ただし、速度の遅い外部デバイスへの書き込み時などは、必要に応じてこのフラグを読み出し、データが実際に書き込まれたことを確認してください。

D[7:0] Reserved

13 割り込みコントローラ (ITC)

13.1 ITCモジュールの概要

割り込みコントローラ (ITC) は周辺モジュールからの割り込み要求を受け付け、設定されている優先順位と割り込みレベルに従って C33 PE コア へ割り込み要求、割り込みレベル、ベクタ番号を指定する信号を出力します。

ITC モジュールの主な機能は以下のとおりです。

- 以下のマスク可能割り込みに対応

- ポート入力割り込み	(2系統)
- キーボード入力割り込み	(2系統)
- DMAC 割り込み	(4系統)
- 16ビットオーディオPWMタイマ (T16P) 割り込み	(2系統)
- 16ビットPWMタイマ (T16A6) 割り込み	(4系統)
- ファインモード8ビットタイマ (T8F) 割り込み	(2系統)
- A/D変換器 (ADC10) 割り込み	(1系統)
- RTC 割り込み	(1系統)
- USI 割り込み	(3系統)
- USIL 割り込み	(1系統)
- UART 割り込み	(1系統)
- LCDC 割り込み	(1系統)
- SD/MMC インタフェース (SD_MMC) 割り込み	(1系統)
- リモートコントローラ (REMC) 割り込み	(1系統)
- I ² S 割り込み	(2系統)
- HIF 割り込み	(1系統)
- USB 割り込み	(1系統)
- 割り込みソースの優先順位を決定する7段階 (1~7) の割り込みレベルに対応

ITC では複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル (優先順位) を割り込み系列ごとに設定することができます。

各割り込み系列には複数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図13.1.1に割り込みシステムの構成を示します。

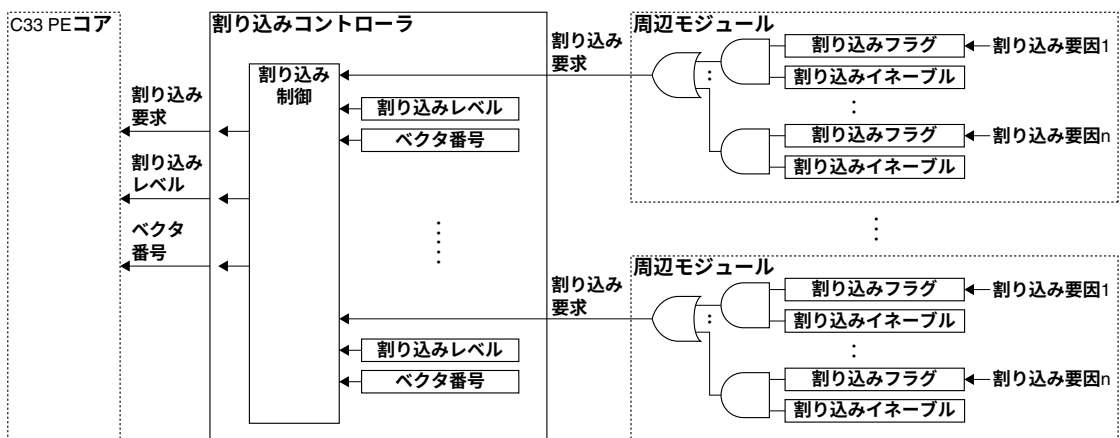


図13.1.1 割り込みシステム

13.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、C33 PEコアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。表13.2.1にS1C33L27のベクタテーブルを示します。

表13.2.1 ベクタテーブル

ベクタNo.	ベクタアドレス	割り込み名	割り込み要因	優先順位
0(0x0)	TTBR + 0x0	Reset	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1(0x1)	TTBR + 0x4	Reserved	—	—
2(0x2)	TTBR + 0x8	ext例外	ext命令(不正使用)	4
3(0x3)	TTBR + 0xc	未定義命令例外	未定義命令	3
4(0x4)	TTBR + 0x10	Reserved	—	—
5(0x5)	TTBR + 0x14			
6(0x6)	TTBR + 0x18	アドレス不整例外	メモリアクセス命令	2
—	(0x60000)	デバッグ例外	brk命令等	5
7(0x7)	TTBR + 0x1c	NMI	• #NMI端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2 • ホストプロセッサソフトウェアトリガ *3	6
8(0x8)	TTBR + 0x20	Reserved	—	—
9(0x9)	TTBR + 0x24			
10(0xa)	TTBR + 0x28			
11(0xb)	TTBR + 0x2c			
12(0xc)	TTBR + 0x30	ソフトウェア例外0	int命令	高 *1 ↑
13(0xd)	TTBR + 0x34	ソフトウェア例外1	int命令	
14(0xe)	TTBR + 0x38	ソフトウェア例外2	int命令	
15(0xf)	TTBR + 0x3c	ソフトウェア例外3	int命令	
16(0x10)	TTBR + 0x40	ポート入力割り込み0	FPT0-3入力	(立ち上がり/立ち下がりエッジまたはHigh/Lowレベル)
17(0x11)	TTBR + 0x44	ポート入力割り込み1	FPT4-7入力	
18(0x12)	TTBR + 0x48	キー入力割り込み0	FPK0入力	
19(0x13)	TTBR + 0x4c	キー入力割り込み1	FPK1入力	
20(0x14)	TTBR + 0x50	DMAC Ch.0/2割り込み	DMA転送終了	
21(0x15)	TTBR + 0x54	DMAC Ch.1/3割り込み	DMA転送終了	
22(0x16)	TTBR + 0x58	DMAC Ch.4/6割り込み	DMA転送終了	
23(0x17)	TTBR + 0x5c	DMAC Ch.5/7割り込み	DMA転送終了	
24(0x18)	TTBR + 0x60	16ビットオーディオPWMタイマ(T16P) Ch.0割り込み	• コンペアA/B • バッファエンプティ	
25(0x19)	TTBR + 0x64	16ビットオーディオPWMタイマ(T16P) Ch.1割り込み	• コンペアA/B • バッファエンプティ	
26(0x1a)	TTBR + 0x68	16ビットPWMタイマ(T16A6) Ch.0割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
27(0x1b)	TTBR + 0x6c	16ビットPWMタイマ(T16A6) Ch.1割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
28(0x1c)	TTBR + 0x70	16ビットPWMタイマ(T16A6) Ch.2割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
29(0x1d)	TTBR + 0x74	16ビットPWMタイマ(T16A6) Ch.3割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
30(0x1e)	TTBR + 0x78	ファインモード8ビットタイマ(T8F) Ch.0/2/4割り込み	タイマアンダーフロー	
31(0x1f)	TTBR + 0x7c	ファインモード8ビットタイマ(T8F) Ch.1/3/5割り込み	タイマアンダーフロー	
32(0x20)	TTBR + 0x80	A/D変換器(ADC10)割り込み	• 変換終了 • 変換結果オーバーライト	
33(0x21)	TTBR + 0x84	RTC割り込み	1/512秒、1/256秒、1/128秒、1/64秒、1秒、1分、または1時間周期	
34(0x22)	TTBR + 0x88	USI Ch.0割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
		UART割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
35(0x23)	TTBR + 0x8c	USI Ch.1割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	

ベクタNo.	ベクタアドレス	割り込み名	割り込み要因	優先順位
36 (0x24)	TTBR + 0x90	USI Ch.2割り込み	- 送信バッファエンプティ - 受信バッファフル - 受信エラー	↓ 低 *1
37 (0x25)	TTBR + 0x94	USIL割り込み	- 送信バッファエンプティ - 受信バッファフル - 受信エラー	
38 (0x26)	TTBR + 0x98	LCDC割り込み	フレーム開始	
39 (0x27)	TTBR + 0x9c	SD/MMCインタフェース (SD_MMC) 割り込み	- レスポンスなしコマンド - レスポンス付きコマンド - FIFOハーフエンプティ - FIFOハーフフル - レスポンスタイムアウトエラー - レスポンスCRCエラー - データタイムアウトエラー - データCRCエラー	
40 (0x28)	TTBR + 0xa0	リモートコントローラ (REMC) 割り込み	- データ長カウンタアンダーフロー - 入力立ち上がりエッジ検出 - 入力立ち下がりエッジ検出	
41 (0x29)	TTBR + 0xa4	I ² S Ch.0 (出力) 割り込み	- I²S Ch.0 FIFO完全エンプティ - I²S Ch.0 FIFOハーフエンプティ - I²S Ch.0 FIFO 1データエンプティ	
42 (0x2a)	TTBR + 0xa8	I ² S Ch.1 (入力) 割り込み	- I²S Ch.1 FIFO完全フル - I²S Ch.1 FIFO 1データ	
43 (0x2b)	TTBR + 0xac	ホストインタフェース (HIF) 割り込み	ホストプロセッサソフトウェアトリガ *3	
44 (0x2c)	TTBR + 0xb0	USB割り込み	USB動作、バス/FIFOステータス	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

*3 HIFの割り込みは、ソフトウェアにてマスク可能割り込みまたはNMIのいずれかを選択

ベクタ番号16～44に、S1C33L27が対応しているマスク可能な割り込みが割り当てられています。

割り込みベクタを共有する割り込み

割り込みベクタ番号34はUSI Ch.0とUART、2つの割り込みモジュールにより共有されます。

2つのモジュールからの割り込み信号はORゲートを通してITCに入力されますので、USI Ch.0とUARTの割り込みを同時に使用可能です。割り込みベクタ34の割り込み処理ルーチンでは、USI Ch.0とUARTモジュール内の割り込みフラグを読み出して発生した割り込みを判定してください。

ベクタテーブルベースアドレス

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。表13.2.1の“TTBR”はこのレジスタに設定された値を意味します。ブート後に実行する初期化ルーチンでTTBRレジスタを設定してください。TTBRレジスタのビット9～0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

13.3 マスク可能割り込みの制御

13.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みフラグは割り込み要因の発生により1にセットされます。割り込みイネーブルビットを1(割り込み許可)に設定しておくと、このフラグの状態が割り込み要求信号としてITCに送られ、C33 PEコアへの割り込み要求を発生させます。

割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。割り込み要因が発生すると割り込みフラグは1にセットされますが、ITCへの割り込み要求信号はアクティブになりません。

1にセットされた割り込みフラグは割り込み発生後、割り込み処理ルーチン内でリセットする必要があります。ITCは割り込み要求を信号レベルから検出していますので、割り込みフラグが1のまま割り込み処理ルーチンをreti命令で終了すると、同じ割り込みが再度発生してしまいます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

13.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をC33 PEコアに送ります。ベクタ番号は表13.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルはC33 PEコアがILビット (PSR) と比較するための値です。C33 PEコアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します (13.3.3節参照)。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、C33 PEコアはその割り込み要求を受け付けません。

ITCには割り込みレベルを選択する制御ビット (INT_LV[2:0]/ITC_xxx_LVレジスタ) が設けられており、割り込みベクタごとに割り込みレベルを1 (低) ~ 7 (高) に設定できます。

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をC33 PEコアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてC33 PEコアに受け付けられるまで保留されます。

ITCが割り込み要求信号をC33 PEコアに出力中 (C33 PEコアに受け付けられる前) に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

表13.3.2.1 割り込みレベルレジスタ

ハードウェア割り込み	割り込みレベルレジスタ
ポート入力割り込み0 (FPT0-3割り込み)	ITC_PINT0_LV (0x300210)
ポート入力割り込み1 (FPT4-7割り込み)	ITC_PINT1_LV (0x300211)
キー入力割り込み0 (FPK0割り込み)	ITC_KINT0_LV (0x300212)
キー入力割り込み1 (FPK1割り込み)	ITC_KINT1_LV (0x300213)
DMAC Ch.0/2割り込み	ITC_DMA02_LV (0x300214)
DMAC Ch.1/3割り込み	ITC_DMA13_LV (0x300215)
DMAC Ch.4/6割り込み	ITC_DMA46_LV (0x300216)
DMAC Ch.5/7割り込み	ITC_DMA57_LV (0x300217)
16ビットオーディオPWMタイマ (T16P) Ch.0割り込み	ITC_T16P0_LV (0x300218)
16ビットオーディオPWMタイマ (T16P) Ch.1割り込み	ITC_T16P1_LV (0x300219)
16ビットPWMタイマ (T16A6) Ch.0割り込み	ITC_T16A0_LV (0x30021a)
16ビットPWMタイマ (T16A6) Ch.1割り込み	ITC_T16A1_LV (0x30021b)
16ビットPWMタイマ (T16A6) Ch.2割り込み	ITC_T16A2_LV (0x30021c)
16ビットPWMタイマ (T16A6) Ch.3割り込み	ITC_T16A3_LV (0x30021d)
ファインモード8ビットタイマ (T8F) Ch.0/2/4割り込み	ITC_T8F024_LV (0x30021e)
ファインモード8ビットタイマ (T8F) Ch.1/3/5割り込み	ITC_T8F135_LV (0x30021f)
A/D変換器 (ADC10) 割り込み	ITC_ADC10_LV (0x300220)
RTC割り込み	ITC_RTC_LV (0x300221)
USI Ch.0/UART割り込み	ITC_USI0_LV (0x300222)
USI Ch.1割り込み	ITC_USI1_LV (0x300223)
USI Ch.2割り込み	ITC_USI2_LV (0x300224)
USIL割り込み	ITC_USIL_LV (0x300225)
LCDC割り込み	ITC_LCDC_LV (0x300226)
SD_MMC割り込み	ITC_SDMMC_LV (0x300227)
リモートコントローラ (REMC) 割り込み	ITC_REMC_LV (0x300228)
I ² S Ch.0割り込み	ITC_I2SOUT_LV (0x300229)
I ² S Ch.1割り込み	ITC_I2SIN_LV (0x30022a)
ホストインタフェース (HIF) 割り込み	ITC_HIF_LV (0x30022b)
USB割り込み	ITC_USB_LV (0x30022c)

13.3.3 C33 PEコアの割り込み処理

C33 PEコアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR (C33 PEコア内のプロセッサステータスレジスタ) のIE (割り込みイネーブル) ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL (割り込みレベル) に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのC33 PEコアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

C33 PEコアは毎サイクル、割り込み要求のサンプリングを行っています。C33 PEコアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット (以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット (NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンを`reti`命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

13.4 NMI

S1C33L27では、#NMI端子へのLow入力、ウォッチドッグタイマまたはHIFに接続されている外部ホストプロセッサでノンマスクابل割り込み(NMI)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはベクタテーブル先頭アドレス + 28バイトに設定されています。

この割り込みは他の割り込み要因に優先して、無条件にC33 PEコアに受け付けられます。

ウォッチドッグタイマでNMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。外部ホストプロセッサでNMIを発生させる方法については、“ホストインタフェース(HIF)”の章を参照してください。

13.5 ソフトウェア例外

C33 PEコアの“`int imm2`”命令を使用することによって、ソフトウェア例外を発生させることができます。オペランドの即値`imm2`でソフトウェア例外番号(0 ~ 3)を指定します。

13.6 HALT, SLEEPモードの解除

HALTモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求信号
- ウォッチドッグタイマ/ホストインタフェースから出力される、あるいは#NMI端子に入力されるNMI信号
- デバッグ割り込み信号
- ウォッチドッグタイマから出力される、あるいは#RESET端子に入力されるリセット信号

SLEEPモードは以下の信号によって解除され、CPUが起動します。

- GPIOまたはRTCから送られるポート/キー入力またはRTC割り込み要求信号
- #NMI端子に入力されるNMI信号
- デバッグ割り込み信号
- #RESET端子に入力されるリセット信号

注: • ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込み処理ルーチンに分岐します。それ以外の場合は、halt、slp命令に続く命令を実行します。

- ITCの割り込みレベルの設定では、割り込み要求によるHALT、SLEEPモードの解除をマスク(禁止)することはできません。HALT、SLEEPの解除に使用する割り込みの割り込みイネーブルビットは1(割り込み許可)に設定してください。

詳細は、“Appendix”内の“パワーセーブ”を参照してください。

13.7 制御レジスタ詳細

表13.7.1 ITCレジスタ一覧

アドレス	レジスタ名	機能
0x300210	ITC_PINT0_LV	Port Input 0 Interrupt Level Register
0x300211	ITC_PINT1_LV	Port Input 1 Interrupt Level Register
0x300212	ITC_KINT0_LV	Key Input 0 Interrupt Level Register
0x300213	ITC_KINT1_LV	Key Input 1 Interrupt Level Register
0x300214	ITC_DMA02_LV	DMAC Ch.0/2 Interrupt Level Register
0x300215	ITC_DMA13_LV	DMAC Ch.1/3 Interrupt Level Register
0x300216	ITC_DMA46_LV	DMAC Ch.4/6 Interrupt Level Register
0x300217	ITC_DMA57_LV	DMAC Ch.5/7 Interrupt Level Register
0x300218	ITC_T16P0_LV	T16P Ch.0 Interrupt Level Register
0x300219	ITC_T16P1_LV	T16P Ch.1 Interrupt Level Register
0x30021a	ITC_T16A0_LV	T16A6 Ch.0 Interrupt Level Register
0x30021b	ITC_T16A1_LV	T16A6 Ch.1 Interrupt Level Register
0x30021c	ITC_T16A2_LV	T16A6 Ch.2 Interrupt Level Register
0x30021d	ITC_T16A3_LV	T16A6 Ch.3 Interrupt Level Register
0x30021e	ITC_T8F024_LV	T8F Ch.0/2/4 Interrupt Level Register
0x30021f	ITC_T8F135_LV	T8F Ch.1/3/5 Interrupt Level Register
0x300220	ITC_ADC10_LV	ADC10 Interrupt Level Register
0x300221	ITC_RTC_LV	RTC Interrupt Level Register
0x300222	ITC_USI0_LV	USI Ch.0/UART Interrupt Level Register
0x300223	ITC_USI1_LV	USI Ch.1 Interrupt Level Register
0x300224	ITC_USI2_LV	USI Ch.2 Interrupt Level Register
0x300225	ITC_USIL_LV	USIL Interrupt Level Register
0x300226	ITC_LCDC_LV	LCDC Interrupt Level Register
0x300227	ITC_SDMMC_LV	SD_MMC Interrupt Level Register
0x300228	ITC_REMC_LV	REMC Interrupt Level Register
0x300229	ITC_I2SOUT_LV	I ² S Output Interrupt Level Register
0x30022a	ITC_I2SIN_LV	I ² S Input Interrupt Level Register
0x30022b	ITC_HIF_LV	HIF Interrupt Level Register
0x30022c	ITC_USB_LV	USB Interrupt Level Register

以下、ITCのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Interrupt Level Registers (ITC_xxx_LV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Register (ITC_xxx_LV)	0x300210 0x30022c (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	Interrupt level	1 to 7	0x0	R/W	

D[7:3] Reserved

D[2:0] INT_LV[2:0]: Interrupt Level Bits

各割り込みの割り込みレベル(1～7)を設定します。(デフォルト: 0x0)

C33 PEコアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要求が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_xxx_LVレジスタ(0x300210～0x30022c)で設定されている最も高いレベルを持つ割り込みの要求をC33 PEコアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてC33 PEコアに受け付けられるまで保留されます。

ITCが割り込み要求信号をC33 PEコアに出力中(C33 PEコアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

注: ITC_xxx_LVレジスタは、PSRのIEビットが0に設定されていることを確認してから設定してください。

14 DMAコントローラ(DMAC)

14.1 DMACモジュールの概要

S1C33L27は、8チャンネルのテーブルDMAを制御可能なDMAコントローラ(DMAC)を内蔵しています。テーブルDMAはRAM上にプログラムされたコントロール情報に従ってデータ転送を行います。DMACの特長を以下に示します。

- チャンネル数 最大8チャンネル
- コントロール情報 DSTRAM、IVRAM(エリア3)、または外部RAM上にプログラム可能
(チャンネルごとに16バイトのコントロール情報 + 16バイトのバックアップデータで構成)
- デュアルアドレス転送 転送元と転送先にDSTRAM、IVRAM(エリア3)、外部メモリ、内蔵周辺モジュール(アドレス0x300000以降)を指定可能
 1. DSTRAMまたはIVRAM内のデータ転送
 2. DSTRAMまたはIVRAMと外部メモリ間のデータ転送
 3. DSTRAMまたはIVRAMと内蔵周辺モジュール間のデータ転送
 4. 外部メモリ間のデータ転送
 5. 外部メモリと内蔵周辺モジュール間のデータ転送
 6. 内蔵周辺モジュール間のデータ転送

* エリア0(エリア0に再配置したIVRAMも含む)を転送元と転送先に指定することはできません。
- 転送データサイズ 8ビット、16ビット、または32ビット
- 転送モード 1. シングル転送(1トリガで1データのみを転送)
2. 連続転送(12ビット転送カウンタで指定した数のデータを1トリガで連続転送)
- 転送アドレス制御 転送後、転送データサイズに従って転送元/転送先アドレスをインクリメント可能、またはアドレス固定
- トリガ 1. レジスタ制御によるソフトウェアトリガ
2. 内蔵周辺回路の割り込み要因によるハードウェアトリガ
(USI、USIL、I2S、T16P、T16A6、ADC10、GPIO、USB、SD_MMC)
- ポインタ転送 転送元をポインタとして転送データを指定可能
転送データ = *(ポインタベースアドレス + *(転送元アドレス))
- 割り込み 転送終了割り込み
- その他 - 再設定なしに同じDMA転送を行うオートリロード機能
- 高優先度のトリガによる低優先度のチャンネルのDMAポーズ(一時待機)機能

14.2 DMACの動作クロック

DMACはCMUから供給されるPCLKで動作します。クロックの供給はCMU制御レジスタで制御します(デフォルト: On)。クロック制御の詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。SLEEPモード時は、CMUからDMACへのPCLKの供給は停止します。

14.3 コントロール情報のプログラミング

DMACはコントロール情報で指定される転送条件によって動作します。コントロール情報はDSTRAM、IVRAM(エリア3)、または外部RAM上にアプリケーションプログラムが用意します。コントロール情報のサイズは一つのチャンネルにつき4ワードです。オートリロード機能を使用する場合は、リロードデータ(コントロール情報再設定データ)用にさらに4ワードが各チャンネルに必要です。オートリロード機能は転送により更新されたコントロール情報をデータ転送後にリロードデータで再設定します。したがって、8チャンネルで256バイトの連続した領域がコントロールテーブル用に必要となります。

以下、コントロールテーブルのベースアドレスを設定する方法と、コントロール情報の内容について説明します。

14.3.1 ベースアドレスの設定

コントロールテーブルは指定したベースアドレスをCh.0のコントロール情報の先頭アドレスとして、RAM内に確保されます。ベースアドレスはTBL_BASE[31:0]/DMAC_TBL_BASEレジスタで指定します。TBL_BASE[9:0]は書き込み内容にかかわらず0に固定されますので、必ず1,024バイト境界アドレスに設定されます。TBL_BASE[31:0]の初期値は0x84000(DSTRAM)です。

Base + 0xf0	Ch.7オートリロードデータ領域
Base + 0xe0	Ch.7コントロールテーブル
Base + 0xd0	Ch.6オートリロードデータ領域
Base + 0xc0	Ch.6コントロールテーブル
Base + 0xb0	Ch.5オートリロードデータ領域
Base + 0xa0	Ch.5コントロールテーブル
Base + 0x90	Ch.4オートリロードデータ領域
Base + 0x80	Ch.4コントロールテーブル
Base + 0x70	Ch.3オートリロードデータ領域
Base + 0x60	Ch.3コントロールテーブル
Base + 0x50	Ch.2オートリロードデータ領域
Base + 0x40	Ch.2コントロールテーブル
Base + 0x30	Ch.1オートリロードデータ領域
Base + 0x20	Ch.1コントロールテーブル
Base + 0x10	Ch.0オートリロードデータ領域
Base	Ch.0コントロールテーブル

図14.3.1.1 コントロールテーブルマップ

注: コントロールテーブルは必ずDSTRAM、IVRAM(エリア3)、または外部RAMに置いてください。A0RAM/IRAM(エリア0)とB0RAMにコントロール情報を格納することはできません。

14.3.2 コントロール情報

コントロール情報を置くアドレスは、ベースアドレスとチャンネル番号によって決まります。

チャンネルの先頭アドレス = ベースアドレス + (チャンネル番号 × 32[バイト])

注: コントロール情報の書き込みは、指定のチャンネルによるDMA転送が発生しない状態で行ってください。コントロール情報を書き込み中にそのチャンネルのDMA転送が発生すると正しい転送は行われません。コントロール情報の読み出しについては常時可能です。

各チャンネルのコントロール情報の内容は次のとおりです。

表14.3.2.1 コントロール情報

Word	Address	Bit	Name	Function	Setting	
1st word (32 bits)	Ch.0: Base + 0x0	D31–24	–	reserved	–	
	Ch.1: Base + 0x20	D23–12	TC[11:0]	Transfer counter	TC[11:0]	Count
	Ch.2: Base + 0x40				0xff	4,095
	Ch.3: Base + 0x60				:	:
	Ch.4: Base + 0x80				0x1	1
	Ch.5: Base + 0xa0				0x0	4,096
	Ch.6: Base + 0xc0					
	Ch.7: Base + 0xe0	D11	ST	Source type	1 Pointer	0 Data

Word	Address	Bit	Name	Function	Setting		
1st word (32 bits)	Ch.0: Base + 0x0 Ch.1: Base + 0x20 Ch.2: Base + 0x40 Ch.3: Base + 0x60 Ch.4: Base + 0x80 Ch.5: Base + 0xa0 Ch.6: Base + 0xc0 Ch.7: Base + 0xe0	D10–8	UNIT[2:0]	Transfer data unit	UNIT[2:0]		Data unit
					0x7–0x3		reserved
					0x2		32 bits
					0x1		16 bits
		0x0		8 bits			
		D7–6	SRINC[1:0]	Source address control	SRINC[1:0]		Address
					0x3–0x2		reserved
					0x1		Increment
					0x0		Fixed
		D5–4	DSINC[1:0]	Destination address control	DSINC[1:0]		Address
0x3–0x2					reserved		
0x1					Increment		
0x0					Fixed		
D3	CHEN	Channel enable	1	Enable	0	Disable	
D2	TM	Transfer mode	1	Successive	0	Single	
D1	RELOAD	Auto-reload enable	1	Enable	0	Disable	
D0	PTW	Pointer bit width	1	8 bits	0	16 bits	
2nd word (32 bits)	Ch.0: Base + 0x4 Ch.1: Base + 0x24 Ch.2: Base + 0x44 Ch.3: Base + 0x64 Ch.4: Base + 0x84 Ch.5: Base + 0xa4 Ch.6: Base + 0xc4 Ch.7: Base + 0xe4	D31–0	SRADR[31:0]	Source address/source data pointer	0x0 to 0xffffffff		
3rd word (32 bits)	Ch.0: Base + 0x8 Ch.1: Base + 0x28 Ch.2: Base + 0x48 Ch.3: Base + 0x68 Ch.4: Base + 0x88 Ch.5: Base + 0xa8 Ch.6: Base + 0xc8 Ch.7: Base + 0xe8	D31–0	DSADR[31:0]	Destination address	0x0 to 0xffffffff		
4th word (32 bits)	Ch.0: Base + 0xc Ch.1: Base + 0x2c Ch.2: Base + 0x4c Ch.3: Base + 0x6c Ch.4: Base + 0x8c Ch.5: Base + 0xac Ch.6: Base + 0xcc Ch.7: Base + 0xec	D31–16	PTBASE [31:16]	Pointer base address (high-order 16 bits)	0x0 to 0xffff (PTBASE[31:0] = 0x0 to 0xffff0000)		
		D15–0	PTBASE [15:0]	Fix at 0 (Pointer base address low-order 16 bits)	0x0		
5th word (32 bits)	Ch.0: Base + 0x10 Ch.1: Base + 0x30 Ch.2: Base + 0x50 Ch.3: Base + 0x70 Ch.4: Base + 0x90 Ch.5: Base + 0xb0 Ch.6: Base + 0xd0 Ch.7: Base + 0xf0	D31–0	RELOAD0 [31:0]	Reload data 0	(Same contents as 1st word)		
6th word (32 bits)	Ch.0: Base + 0x14 Ch.1: Base + 0x34 Ch.2: Base + 0x54 Ch.3: Base + 0x74 Ch.4: Base + 0x94 Ch.5: Base + 0xb4 Ch.6: Base + 0xd4 Ch.7: Base + 0xf4	D31–0	RELOAD1 [31:0]	Reload data 1	(Same contents as 2nd word)		
7th word (32 bits)	Ch.0: Base + 0x18 Ch.1: Base + 0x38 Ch.2: Base + 0x58 Ch.3: Base + 0x78 Ch.4: Base + 0x98 Ch.5: Base + 0xb8 Ch.6: Base + 0xd8 Ch.7: Base + 0xf8	D31–0	RELOAD2 [31:0]	Reload data 2	(Same contents as 3rd word)		
8th word (32 bits)	Ch.0: Base + 0x1c Ch.1: Base + 0x3c Ch.2: Base + 0x5c Ch.3: Base + 0x7c Ch.4: Base + 0x9c Ch.5: Base + 0xbc Ch.6: Base + 0xdc Ch.7: Base + 0xfc	D31–0	RELOAD3 [31:0]	Reload data 3	(Same contents as 4th word)		

TC[11:0]: 転送カウンタ (D[23:12]/1st word)

単位データを何回転送するか設定します。0x1～0xffffの書き込みで1～4,095回まで設定可能です。0x0を書き込むと4,096回に設定されます。UNIT[2:0]で指定したデータ単位の転送が終了するごとに転送カウンタはデクリメントされます。

ST: ソースタイプ (D11/1st word)

指定されている転送元アドレスのメモリ内容をデータとして使用するか、ポインタとして使用するか選択します。

ST = 0: データ

転送元アドレスに格納されているデータを転送先アドレスにそのまま転送します。

ST = 1: ポインタ

指定した転送元アドレスをポインタとして、転送データが格納されているアドレスが決定します。
転送データ = *(ポインタベースアドレス) + *(転送元アドレス)

例: ベースアドレス (PTBASE[31:16]) = 0x85 (アドレス0x850000)、転送元アドレス (SRADR[31:0]) = 0xfc000、アドレス0xfc000の内容 = 0x2の場合
アドレス0x850002に格納されたデータが転送されます。

UNIT[2:0]: 転送データ単位 (D[10:8]/1st word)

転送単位となるデータサイズを設定します。

表14.3.2.2 転送データ単位

UNIT[2:0]	転送データ単位
0x7～0x3	Reserved
0x2	32ビット
0x1	16ビット
0x0	8ビット

SRINC[1:0]: 転送元アドレス制御 (D[7:6]/1st word)

単位データ転送後の転送元アドレスの制御方法を設定します。

表14.3.2.3 転送元アドレス制御

SRINC[1:0]	転送元アドレス制御
0x3～0x2	Reserved
0x1	インクリメント
0x0	固定

SRINC[1:0] = 0x0: アドレス固定

データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

SRINC[1:0] = 0x1: アドレスインクリメント

UNIT[2:0]で指定されたデータ単位の転送が終了すると、転送元アドレスが転送データ単位分インクリメントされます。転送に従ってインクリメントされたアドレスは、初期値には戻りません。

DSINC[1:0]: 転送先アドレス制御 (D[5:4]/1st word)

単位データ転送後の転送先アドレスの制御方法を設定します。

表14.3.2.4 転送先アドレス制御

DSINC[1:0]	転送先アドレス制御
0x3～0x2	Reserved
0x1	インクリメント
0x0	固定

DSINC[1:0] = 0x0: アドレス固定

データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスに書き込まれます。

DSINC[1:0] = 0x1: アドレスインクリメント

UNIT[2:0]で指定されたデータ単位の転送が終了すると、転送先アドレスが転送データ単位分インクリメントされます。転送に従ってインクリメントされたアドレスは、初期値には戻りません。

CHEN: チャネルイネーブル (D3/1st word)

各チャネルのDMA転送を許可/禁止します。

CHEN = 0: 転送を禁止

本ビットを0に設定したチャネルはDMA転送が禁止されます。

CHEN = 1: 転送を許可

チャネルのDMA転送が許可されます。この状態でトリガが発生するとDMACはそのチャネルのDMA転送を開始します(高優先度のチャネルによる転送中断機能が働いていない場合)。本ビットは現在の転送が終了すると0にクリアされます。RELOADビット(D1/1st word)が0の場合、以降のDMA転送が禁止されます。RELOADビットが1の場合、オートリロードにより本ビットはRELOAD03(D3/reload data 0)に置き換えられます。したがって、RELOAD03が1の場合、ソフトウェアによる再設定なしにCHENは再度1に設定され、以降のDMAトリガを受け付け可能になります。

TM: 転送モード (D2/1st word)

転送モード(シングル転送モード、連続転送モード)を設定します。

TM = 0: シングル転送モード

シングル転送モードは、1回のトリガに対してUNIT[2:0]に設定したサイズのデータを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

TM = 1: 連続転送モード

連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは単位データの転送ごとにデクリメントされ、0になった時点で連続転送は終了します。

RELOAD: オートリロードイネーブル (D1/1st word)

オートリロード機能を有効/無効に設定します。オートリロード機能とは、オートリロードデータ領域(コントロールテーブルと同じ構成の4ワード)に設定したコントロール情報初期値を、転送カウンタが0になった時点でコントロールテーブルに再設定する機能です。これにより、新たな条件による転送を、DMAC割り込み処理ルーチンによる再設定なしに実行することができます。

RELOAD = 0: オートリロードを禁止

本ビットを0に設定するとオートリロード機能は無効になります。また、転送カウンタが0になった時点でCHENビットが0に設定され、それ以降のDMA転送が禁止されます。コントロールテーブルは転送カウンタが0になった時点のコントロール情報を保持します。

RELOAD = 1: オートリロードを許可

本ビットを1に設定するとオートリロード機能が有効になります。転送カウンタが0になると、オートリロードデータ領域に設定したコントロール情報がコントロールテーブルに再設定されます。次のトリガにより、オートリロードで再設定された条件のDMA転送を実行することができます。

注: オートリロードデータ領域のコントロール情報(初期値)はアプリケーションプログラムで用意する必要があります。

PTW: ポインタビット幅 (D0/1st word)

ソースタイプ(ST)にポインタを選択した場合のポインタサイズを設定します。

• PTW = 0: 16ビット

DMACは転送元アドレスからの16ビットリードによりポインタを取得します。

• PTW = 1: 8ビット

DMACは転送元アドレスからの8ビットリードによりポインタを取得します。

SRADR[31:0]: 転送元アドレス (D[31:0]/2nd word)

転送元の先頭アドレス(または転送元へのポインタ)を設定しておきます。この内容はSRINC[1:0]の設定に従って更新されます。

DSADR[31:0]: 転送先アドレス (D[31:0]/3rd word)

転送先の先頭アドレスを設定しておきます。この内容は、DSINC[1:0]の設定に従って更新されます。

PTBASE[31:16]: ポインタベースアドレス (D[31:16]/4th word)

ソースタイプ(ST)にポインタを選択した場合に使用するポインタのベースアドレス(ST参照)を設定します。ベースアドレスの下位16ビットは0x0に固定されます(D[15:0]は無視されます)。

14.3.3 オートリロードデータ

図14.3.1.1に示したとおり、各チャネルにはオートリロードデータ領域がコントロールテーブルとともにRAMに確保されます。RELOAD(D1/1st word)を1に設定してオートリロード機能を有効にすると、転送カウンタが0になった時点でオートリロード用データ領域の内容がコントロールテーブルに再設定され、その条件に従った転送をDMAC割り込み処理ルーチンによるコントロールテーブルの再設定なしに実行することができます。

オートリロードデータ領域の4ワード(32バイト)はコントロールテーブルの4ワードとまったく同じビット構成として扱われますので、オートリロードデータ領域をコントロール情報バッファとして使用することができます。DMACチャネルをオートリロード機能付きで使用する場合は、RELOADを1に設定した最初の転送条件をコントロールテーブルに書き込み、その次の転送条件をオートリロードデータ領域に書き込みます。オートリロードデータ領域に書き込んだコントロール情報は最初のデータ転送が終了するとコントロールテーブルにロードされ、次のデータ転送を制御します。オートリロード機能を使用しない場合は、DMAC割り込み処理ルーチン内で、コントロールテーブルを続く転送条件に再設定する必要があります。

オートリロードデータ領域のアドレスは次の式から求められます。

$$\text{オートリロードデータ領域先頭アドレス} = \text{ベースアドレス} + (\text{チャネル番号} \times 32) + 16$$

14.4 DMACの起動

DMACを起動するトリガには次の2種類の要因があります。

1. レジスタ制御によるソフトウェアトリガ
2. 内蔵周辺回路の割り込み要因によるハードウェアトリガ

DMACイネーブル

各DMACチャネルはDMAONx/DMAC_CH_ENレジスタを1に設定することで動作可能な状態になります。DMAONxが0(デフォルト)のときは、コントロール情報で転送を許可していてもトリガを受け付けません。

DMA転送の許可

各チャネルのCHENビット(D3/1st word)に1を書き込むことによって、そのチャネルのDMA転送が許可され、上記のトリガを受け付けられる状態となります。

ソフトウェアトリガによるDMACの起動

DMACのチャネルは、すべてソフトウェアによって起動することができます。Ch.xのDMAを起動するには、TRGx/DMAC_TRG_FLGレジスタに1を書き込みます。

TRGxはDMA要求が受け付けられるまで1を保持し、ハードウェアによって0に戻されます。

TRGxはハードウェアトリガによるDMA要求でも1になります。

内蔵周辺回路の割り込み要因によるDMACの起動

DMACの各チャネルには、表14.4.1に示すハードウェアトリガ要因(周辺回路の割り込み要因)が割り当てられており、TRG_SELx[1:0]/DMAC_TRG_SELレジスタで選択できます。

表14.4.1 DMACトリガ要因

チャンネル	制御ビット	設定値	トリガ要因	チャンネル 優先順位
Ch.7	TRG_SEL7[1:0]	0x3	A/D変換器 (ADC10) 変換終了	低い ↑
		0x2	USI Ch.2送信バッファエンブティ	
		0x1	USIL送信バッファエンブティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.6	TRG_SEL6[1:0]	0x3	USB割り込み	
		0x2	USI Ch.2受信バッファフル	
		0x1	USIL受信バッファフル	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.5	TRG_SEL5[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャA *	
		0x2	SD/MMCインタフェース (SD_MMC) FIFOハーフエンブティ	
		0x1	USI Ch.1送信バッファエンブティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.4	TRG_SEL4[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャB *	
		0x2	SD/MMCインタフェース (SD_MMC) FIFOハーフフル	
		0x1	USI Ch.1受信バッファフル	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.3	TRG_SEL3[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャA *	
		0x2	I ² S入力 (R)	
		0x1	USI Ch.0送信バッファエンブティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.2	TRG_SEL2[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャB *	
		0x2	I ² S入力 (L)	
		0x1	USI Ch.0受信バッファフル	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.1	TRG_SEL1[1:0]	0x3	ポート入力割り込み	
		0x2	16ビットオーディオPWMタイマ (T16P) Ch.1/バッファエンブティ	
		0x1	I ² S出力 (R)	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.0	TRG_SEL0[1:0]	0x3	A/D変換器 (ADC10) 変換終了	↓ 高い
		0x2	16ビットオーディオPWMタイマ (T16P) Ch.0/バッファエンブティ	
		0x1	I ² S出力 (L)	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	

* DMACを起動するT16A6のチャンネルをDMASEL[1:0]/T16A_CTLxレジスタで設定してください。(デフォルト: 0x0)

イニシャルリセット時は、すべてのチャンネルのTRG_SELx[1:0]が0x0(ハードウェアトリガ禁止)に設定されます。なお、どのトリガ要因に設定した場合でも、ソフトウェアトリガは有効です。

これらのトリガ要因(割り込み要因)は、割り込み要求とDMACの起動要求に共通に使用されます。トリガに使用する要因による割り込みがITCで許可され、割り込みレベル0以外に設定されていると、DMACのトリガと同時に割り込みも発生します。割り込みベクタと割り込み処理ルーチンがA0RAMにある場合は、DMA転送中でも割り込み処理を実行可能です。転送元/転送先をアクセスする命令は、DMA転送が終了するまで実行されません。DMACの起動のみで割り込みを使用しない場合は、割り込みイネーブルビットを0(割り込み禁止)に設定しておきます。

DMA転送中に発生するDMA要求

DMA転送中に発生した優先度の低いDMA要求は、現在実行中の転送が終了するまで(シングル転送モードでは単位データの転送終了まで、連続転送モードでは転送カウンタが0になるまで)受け付けられません。

連続転送中に発生した別の高優先度のチャンネルに対するDMA要求は、現在転送中のデータ単位終了後に受け付けられます。現在のDMA転送はその時点で中断され、後から発生した高優先度のDMA転送が終了後に再開されます。

DMA転送禁止状態でのDMA要求

CHENビット (D3/1st word) が0(DMA転送禁止)に設定されているチャンネルへのトリガは無効です。そのチャンネルのTRGxはセットされません。

14.5 DMACの動作

DMACには2種類の転送モード(シングル転送モードと連続転送モード)があり、それぞれデータ転送の動作が異なります。以下、各転送モードによる動作を説明します。

14.5.1 シングル転送モード

コントロール情報のTM(D2/1st word)が0に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してUNIT[2:0]に設定したサイズ of データを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードの動作を図14.5.1.1のフローチャートに示します。

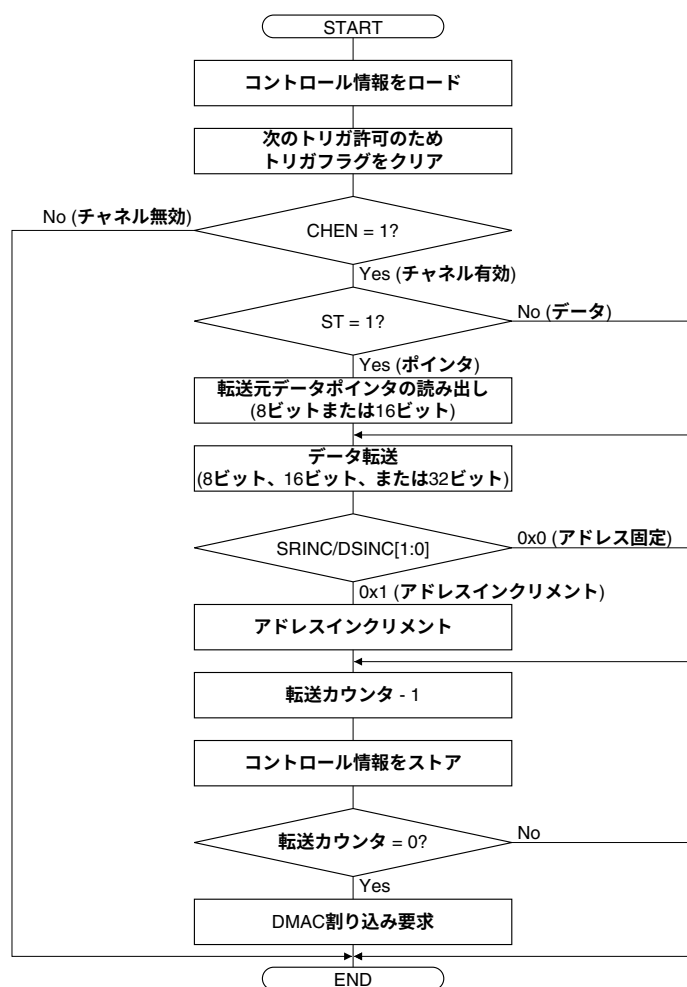


図14.5.1.1 シングル転送モードの動作フロー

- (1) DMACはトリガを受け付けると、そのチャンネルのコントロール情報をDMACモジュール内に読み込みます。
- (2) DMACは次のトリガ入力のため、トリガフラグ(TRG_x/DMAC_TRG_FLGレジスタ)をクリアします。
- (3) DMACはCHENが1(DMA転送許可)に設定されているかチェックします。CHENが0の場合はデータ転送を中止します。
- (4) コントロール情報内のソースタイプがポインタ(ST = 1)の場合、DMACは指定された転送元アドレスの内容を転送元データへのポインタとして読み出します。
- (5) DMACは指定された単位のデータを転送元アドレスからバッファに読み出し、転送先アドレスに書き込みます。転送ステータスフラグ(RUN_x/DMAC_RUN_STATレジスタ)がセットされ、データの転送中は1を保持します。

- (6) DMACはコントロール情報に従って、転送元と転送先アドレスをインクリメントします。アドレス固定を指定した場合は変更されません。また、転送カウンタのデクリメントも行います。
- (7) DMACは変更されたコントロール情報をコントロールテーブルに書き戻します。
- (8) DMACは転送カウンタをチェックします。0以外の場合は、ここで処理を終了します。(9)は実行されません。転送カウンタが0の場合は(9)を実行します。
- (9) DMACは転送終了フラグ(ENDF_x/DMAC_END_FLGレジスタ)をセットし、転送ステータスフラグ(RUN_x)をクリアします。DMAIE_x/DMAC_IEレジスタが1(転送終了割り込みを許可)に設定されている場合は、ここでDMACはITCに割り込み要求を出力します。

以上で、シングル転送処理を終了します。

14.5.2 連続転送モード

コントロール情報のTM(D2/1st word)が1に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。連続転送モードの動作を図14.5.2.1のフローチャートに示します。

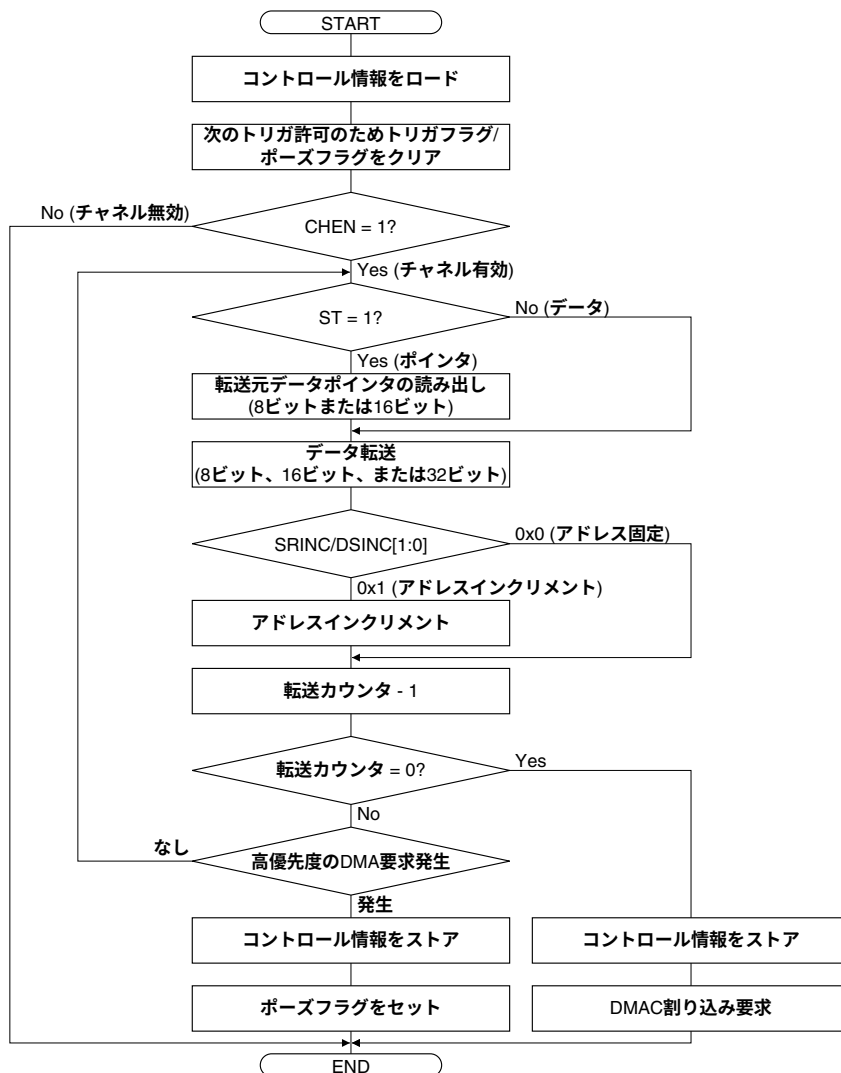


図14.5.2.1 連続転送モードの動作フロー

- (1) DMACはトリガを受け付けると(またはポーズ状態が解除されると)、そのチャンネルのコントロール情報をDMACモジュール内に読み込みます。

- (2) 次のトリガ入力のため、DMACは現在のDMA転送の起動要因であるトリガフラグ(TRG_x/DMAC_TRG_FLGレジスタ)またはポーズフラグ(PAUSE_x/DMAC_PAUSE_STATレジスタ)をクリアします。
- (3) DMACはCHENが1(DMA転送許可)に設定されているかチェックします。CHENが0の場合はデータ転送を中止します。
- (4) コントロール情報内のソースタイプがポインタ(ST = 1)の場合、DMACは指定された転送元アドレスの内容を転送元データへのポインタとして読み出します。
- (5) DMACは指定された単位のデータを転送元アドレスからバッファに読み出し、転送先アドレスに書き込みます。転送ステータスフラグ(RUN_x/DMAC_RUN_STATレジスタ)がセットされ、データの転送中は1を保持します。
- (6) DMACはコントロール情報に従って、転送元と転送先アドレスをインクリメントします。アドレス固定を指定した場合は変更されません。また、転送カウンタのデクリメントも行います。
- (7) DMACは転送カウンタをチェックします。転送カウンタが0の場合は(10)に移行します。
- (8) DMACは他の高優先度のチャンネルからDMA要求が出されていないかチェックします。優先度の高いトリガフラグがセットされている場合は、現在転送中のチャンネルのポーズフラグ(PAUSE_x)をセットし、転送を一時中断します。中断したDMA転送は、他の高優先度のDMA転送が終了後に再開します。
- (9) 高優先度のチャンネルからDMA要求が出ていない場合は(4)に戻り、次のデータの転送を行います。
- (10) DMACは転送終了フラグ(ENDF_x/DMAC_END_FLGレジスタ)をセットし、転送ステータスフラグ(RUN_x)をクリアします。また、変更されたコントロール情報をコントロールテーブルに書き戻します。DMAIE_x/DMAC_IEレジスタが1(転送終了割り込みを許可)に設定されている場合は、ここでDMACはITCに割り込み要求を出力します。

以上で、連続転送処理を終了します。

他の高優先度のDMA要求による連続転送の中断

他の高優先度チャンネルからのDMA要求により、連続転送を一時中断することができます。

高優先度のDMA要求が発生すると、DMACは現在転送中のデータ単位が終了後、転送再開に必要なコントロール情報(現在の転送カウンタ値、転送元/転送先アドレスなど)を保存し、データ転送を中断します。同時に、中断したチャンネルのポーズフラグ(PAUSE_x/DMAC_PAUSE_STATレジスタ)をセットします。

その後、高優先度チャンネルのDMA転送を実行します。この転送が終了すると、セットされているPAUSE_xによって、中断したDMA転送が再開します。転送の再開によりPAUSE_xはクリアされます。

注: • シングル転送は中断できません。

- ソフトウェアトリガによるDMA要求は、それが高優先度のチャンネルであっても、現在実行中の優先度の低いDMA転送を中断することはできません。

14.6 DMAC割り込み

DMACモジュールには、データ転送の終了による割り込みを発生させる機能があります。

トリガ要因による割り込みについては、各周辺モジュールの説明を参照してください。

転送終了割り込み

この割り込み要因は、1つのチャンネルの転送が終了すると(転送カウンタが0になると)発生し、そのチャンネルのENDF_x/DMAC_END_FLGレジスタを1にセットします。

この割り込みを使用するには、DMAIE_x/DMAC_IEレジスタを1に設定しておく必要があります。

DMAIE_xが0(デフォルト)の場合、この割り込み要因による割り込み要求ITCに送られません。

DMAIE_xが1(割り込み許可)に設定されている状態でENDF_xが1にセットされるとDMACは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

転送を終了したチャンネルは、割り込み処理ルーチンでENDF_xを読み出して確認してください。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • DMAC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、DMAC割り込みモジュールの割り込みフラグENDFxをリセットする必要があります。
- 不要な割り込みの発生を防止するため、DMAIE_xによってDMAC割り込みを許可する前に、ENDFxをリセットしてください。ENDFxは1の書き込みによってリセットされます。

14.7 制御レジスタ詳細

表14.7.1 DMACレジスタ一覧

アドレス	レジスタ名		機 能
0x302100	DMAC_CH_EN	DMAC Channel Enable Register	DMACチャンネルイネーブル
0x302104	DMAC_TBL_BASE	DMAC Control Table Base Address Register	コントロールテーブル先頭アドレスの設定
0x302108	DMAC_IE	DMAC Interrupt Enable Register	DMAC割り込みの許可/禁止
0x30210c	DMAC_TRG_SEL	DMAC Trigger Select Register	トリガ要因の選択
0x302110	DMAC_TRG_FLG	DMAC Trigger Flag Register	ソフトウェアトリガ制御とトリガステータス
0x302114	DMAC_END_FLG	DMAC End-of-Transfer Flag Register	DMA終了チャンネルの表示
0x302118	DMAC_RUN_STAT	DMAC Running Status Register	DMA動作中チャンネルの表示
0x30211c	DMAC_PAUSE_STAT	DMAC Pause Status Register	DMA中断中チャンネルの表示

以下、DMACモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

DMAC Channel Enable Register (DMAC_CH_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Channel Enable Register (DMAC_CH_EN)	0x302100 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	DMAON7	DMAC Ch.7 enable	1 Enable 0 Disable	0	R/W	
		D6	DMAON6	DMAC Ch.6 enable	1 Enable 0 Disable	0	R/W	
		D5	DMAON5	DMAC Ch.5 enable	1 Enable 0 Disable	0	R/W	
		D4	DMAON4	DMAC Ch.4 enable	1 Enable 0 Disable	0	R/W	
		D3	DMAON3	DMAC Ch.3 enable	1 Enable 0 Disable	0	R/W	
		D2	DMAON2	DMAC Ch.2 enable	1 Enable 0 Disable	0	R/W	
		D1	DMAON1	DMAC Ch.1 enable	1 Enable 0 Disable	0	R/W	
		D0	DMAON0	DMAC Ch.0 enable	1 Enable 0 Disable	0	R/W	

D[31:8] Reserved

D[7:0] DMAON_x: DMAC Ch._x Enable Bit

DMAC Ch._xを有効に設定し、DMAトリガを受け付け可能な状態にします。

1 (R/W): 有効

0 (R/W): 無効/強制終了(デフォルト)

DMAC Ch._xを使用してDMA転送を行うには、DMAON_xに1を書き込みます。DMAON_xが0の場合、DMAC Ch._xはトリガを受け付けず、データ転送を開始することはできません。

DMAC Control Table Base Address Register (DMAC_TBL_BASE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Control Table Base Address Register (DMAC_TBL_BASE)	0x302104 (32 bits)	D31–10	TBL_BASE [31:10]	DMAC control table base address	0x0 to 0xfffffc00 (1,024-byte boundary address within a RAM)	0x84000	R/W	
		D9–0	TBL_BASE [9:0]	Fixed at 0x0 (Cannot be altered.)			R	

D[31:0] TBL_BASE[31:0]: DMAC Control Table Base Address Bits

コントロール情報とオートリロード情報を書き込むコントロールテーブルのベースアドレスを選択します。コントロール情報のサイズは一つのチャンネルにつき4ワード(16バイト)です。また、オートリロードデータ領域も一つのチャンネルにつき4ワード(16バイト)が必要です。したがって、8チャンネルで256バイトの連続した領域がコントロールテーブル用に必要となります。コントロールテーブルは本レジスタで指定したベースアドレスをCh.0のコントロール情報の先頭アドレスとして、RAM内に確保されます。

14 DMAコントローラ (DMAC)

本レジスタのTBL_BASE[9:0]は書き込み内容にかかわらず0に固定されますので、必ず1,024バイト境界アドレスに設定されます。レジスタの初期値は0x84000です。

Base + 0xf0	Ch.7オートリロードデータ領域
Base + 0xe0	Ch.7コントロールテーブル
Base + 0xd0	Ch.6オートリロードデータ領域
Base + 0xc0	Ch.6コントロールテーブル
Base + 0xb0	Ch.5オートリロードデータ領域
Base + 0xa0	Ch.5コントロールテーブル
Base + 0x90	Ch.4オートリロードデータ領域
Base + 0x80	Ch.4コントロールテーブル
Base + 0x70	Ch.3オートリロードデータ領域
Base + 0x60	Ch.3コントロールテーブル
Base + 0x50	Ch.2オートリロードデータ領域
Base + 0x40	Ch.2コントロールテーブル
Base + 0x30	Ch.1オートリロードデータ領域
Base + 0x20	Ch.1コントロールテーブル
Base + 0x10	Ch.0オートリロードデータ領域
Base	Ch.0コントロールテーブル

図14.7.1 コントロールテーブルマップ

注: コントロールテーブルは必ずDSTRAM、IVRAM(エリア3)、または外部RAMに置いてください。A0RAM/IRAM(エリア0)とBBRAMにコントロール情報を格納することはできません。

DMAC Interrupt Enable Register (DMAC_IE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Interrupt Enable Register (DMAC_IE)	0x302108 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	DMAIE7	DMAC Ch.7 interrupt enable	1 Enable 0 Disable	0	R/W	
		D6	DMAIE6	DMAC Ch.6 interrupt enable	1 Enable 0 Disable	0	R/W	
		D5	DMAIE5	DMAC Ch.5 interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	DMAIE4	DMAC Ch.4 interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	DMAIE3	DMAC Ch.3 interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	DMAIE2	DMAC Ch.2 interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	DMAIE1	DMAC Ch.1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	DMAIE0	DMAC Ch.0 interrupt enable	1 Enable 0 Disable	0	R/W	

D[31:8] Reserved

D[7:0] DMAIE_x: DMAC Ch._x Interrupt Enable Bit

DMAC Ch._x割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

DMAIE_xを1に設定すると、DMAC Ch._xによるITCへの割り込み要求出力が許可されます。DMAIE_xを0に設定すると、Ch._xによる割り込みは発生しません。

DMAC Trigger Select Register (DMAC_TRG_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Trigger Select Register (DMAC_TRG_SEL)	0x30210c (32 bits)	D31–16	–	reserved	–	–	–	0 when being read.
		D15–14	TRG_SEL7 [1:0]	Ch.7 trigger select	TRG_SEL7[1:0] Trigger source 0x3 ADC complete 0x2 USI Ch.2 Tx 0x1 USIL Tx 0x0 No hard trigger	0x0	R/W	
		D13–12	TRG_SEL6 [1:0]	Ch.6 trigger select	TRG_SEL6[1:0] Trigger source 0x3 USB 0x2 USI Ch.2 Rx 0x1 USIL Rx 0x0 No hard trigger	0x0	R/W	
		D11–10	TRG_SEL5 [1:0]	Ch.5 trigger select	TRG_SEL5[1:0] Trigger source 0x3 T16A6 A 0x2 SD_MMC Tx 0x1 USI Ch.1 Tx 0x0 No hard trigger	0x0	R/W	
		D9–8	TRG_SEL4 [1:0]	Ch.4 trigger select	TRG_SEL4[1:0] Trigger source 0x3 T16A6 B 0x2 SD_MMC Rx 0x1 USI Ch.1 Rx 0x0 No hard trigger	0x0	R/W	
		D7–6	TRG_SEL3 [1:0]	Ch.3 trigger select	TRG_SEL3[1:0] Trigger source 0x3 T16A6 A 0x2 I ² S input R 0x1 USI Ch.0 Tx 0x0 No hard trigger	0x0	R/W	
		D5–4	TRG_SEL2 [1:0]	Ch.2 trigger select	TRG_SEL2[1:0] Trigger source 0x3 T16A6 B 0x2 I ² S input L 0x1 USI Ch.0 Rx 0x0 No hard trigger	0x0	R/W	
		D3–2	TRG_SEL1 [1:0]	Ch.1 trigger select	TRG_SEL1[1:0] Trigger source 0x3 Port 0x2 T16P Ch.1 0x1 I ² S output R 0x0 No hard trigger	0x0	R/W	
		D1–0	TRG_SEL0 [1:0]	Ch.0 trigger select	TRG_SEL0[1:0] Trigger source 0x3 ADC complete 0x2 T16P Ch.0 0x1 I ² S output L 0x0 No hard trigger	0x0	R/W	

D[31:16] Reserved

D[15:0] TRG_SELx[1:0]: Ch.x Trigger Select Bits

各DMACチャンネルのトリガ要因を選択します。

表14.7.2 DMACトリガ要因

チャンネル	制御ビット	設定値	トリガ要因	チャンネル優先順位
Ch.7	TRG_SEL7[1:0]	0x3	A/D変換器 (ADC10) 変換終了	低い ↑
		0x2	USI Ch.2送信バッファエンプティ	
		0x1	USIL送信バッファエンプティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.6	TRG_SEL6[1:0]	0x3	USB割り込み	
		0x2	USI Ch.2受信バッファフル	
		0x1	USIL受信バッファフル	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.5	TRG_SEL5[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャA *	
		0x2	SD/MMCインタフェース (SD_MMC) FIFOハーフエンプティ	
		0x1	USI Ch.1送信バッファエンプティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.4	TRG_SEL4[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャB *	
		0x2	SD/MMCインタフェース (SD_MMC) FIFOハーフフル	
		0x1	USI Ch.1受信バッファフル	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	
Ch.3	TRG_SEL3[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャA *	
		0x2	I ² S入力 (R)	
		0x1	USI Ch.0送信バッファエンプティ	
		0x0	ハードウェアトリガ禁止(ソフトウェアトリガのみ)	

14 DMAコントローラ (DMAC)

チャンネル	制御ビット	設定値	トリガ要因	チャンネル優先順位
Ch.2	TRG_SEL2[1:0]	0x3	16ビットPWMタイマ (T16A6) Ch.xコンペア/キャプチャB *	↓ 高い
		0x2	I ² S入力 (L)	
		0x1	USI Ch.0受信バッファフル	
		0x0	ハードウェアトリガ禁止 (ソフトウェアトリガのみ)	
Ch.1	TRG_SEL1[1:0]	0x3	ポート入力割り込み	
		0x2	16ビットオーディオPWMタイマ (T16P) Ch.1/バッファエンブティ	
		0x1	I ² S出力 (R)	
		0x0	ハードウェアトリガ禁止 (ソフトウェアトリガのみ)	
Ch.0	TRG_SEL0[1:0]	0x3	A/D変換器 (ADC10) 変換終了	
		0x2	16ビットオーディオPWMタイマ (T16P) Ch.0/バッファエンブティ	
		0x1	I ² S出力 (L)	
		0x0	ハードウェアトリガ禁止 (ソフトウェアトリガのみ)	

* DMACを起動するT16A6のチャンネルをDMASEL[1:0]/T16A_CTLxレジスタで設定してください。(デフォルト: 0x0)

イニシャルリセット時は、すべてのチャンネルのTRG_SELx[1:0]が0x0(ハードウェアトリガ禁止)に設定されます。なお、どのトリガ要因に設定した場合でも、ソフトウェアトリガは有効です。

DMAC Trigger Flag Register (DMAC_TRG_FLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Trigger Flag Register (DMAC_TRG_FLG)	0x302110 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	TRG7	Ch.7 software trigger/trigger status	1 (W) Soft trigger	0 (W) Ignored	0	R/W
		D6	TRG6	Ch.6 software trigger/trigger status			0	R/W
		D5	TRG5	Ch.5 software trigger/trigger status			0	R/W
		D4	TRG4	Ch.4 software trigger/trigger status			0	R/W
		D3	TRG3	Ch.3 software trigger/trigger status	(R) Triggered	(R) Not triggered	0	R/W
		D2	TRG2	Ch.2 software trigger/trigger status			0	R/W
		D1	TRG1	Ch.1 software trigger/trigger status			0	R/W
		D0	TRG0	Ch.0 software trigger/trigger status			0	R/W

D[31:8] Reserved

D[7:0] TRGx: Ch.x Software Trigger/Trigger Status Bit

ソフトウェアトリガにより指定のチャンネルのDMAを起動します。また、ハードウェアトリガも含め、各チャンネルのトリガ発生状態を示します。

1(W): ソフトウェアトリガ

0(W): 無効

1(R): トリガあり

0(R): トリガなし(デフォルト)

ソフトウェアトリガによってCh.xのDMA転送を開始させるには、TRGxに1を書き込みます。ハードウェアトリガの場合も、TRGxが1にセットされた後にDMA転送を開始します。

DMACのチャンネルはCh.0の優先度が最も高く、チャンネル番号が上がるごとに低くなります。したがって、同時に複数のTRGxがセットされた場合は、番号の小さなチャンネルから先に処理されます。低優先度のチャンネルは、優先度の高いチャンネルのDMA転送がすべて終了するまで待機状態となり、DMA要求が受け付けられるまでTRGxも1を保持します。DMA転送中に別のトリガが発生した場合も同様で、トリガの発生順にかかわらず、現在のDMA転送が終了または中断した時点で最も優先度の高いチャンネルのDMA要求が受け付けられます。

DMACがトリガを受け付けると、そのチャンネルのDMA転送を開始するとともにTRGxをクリアします。この後であれば、そのチャンネルの再トリガが可能です。

なお、トリガが受け付けられても、コントロール情報のCHEN(D31/1st word)が0に設定されている場合はDMA転送を開始しません。

DMAONx/DMAC_CH_ENレジスタが0(強制終了)に設定された場合はセットされているTRGxがクリアされ、保留状態のDMA要求はキャンセルされます。

DMAC End-of-Transfer Flag Register (DMAC_END_FLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC End-of-Transfer Flag Register (DMAC_END_FLG)	0x302114 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	ENDF7	Ch.7 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	Reset by writing 1.
		D6	ENDF6	Ch.6 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D5	ENDF5	Ch.5 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D4	ENDF4	Ch.4 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D3	ENDF3	Ch.3 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D2	ENDF2	Ch.2 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D1	ENDF1	Ch.1 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D0	ENDF0	Ch.0 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	

D[31:8] Reserved

D[7:0] ENDFx: Ch.x End-of-Transfer Flag Bit

転送が終了したチャンネルを示します。

1(R): 終了

0(R): 終了していない(デフォルト)

1(W): フラグをリセット

0(W): 無効

DMA転送で転送カウンタが0になるとENDFxがセットされ、転送が終了したことを示します。DMAIE_x/DMAC_IEレジスタが1(割り込み許可)に設定されている場合は、同時にITCに割り込み要求が出力されます。

DMAC転送終了割り込み処理ルーチン内で本レジスタを読み出し、転送が終了したチャンネルを確認してください。また、次の割り込みに備え、1を書き込んでリセットしてください。

DMAIE_xが0(割り込み禁止)に設定されているチャンネルでは、転送が終了してもENDFxがセットされても、割り込みは発生しません。

DMAC Running Status Register (DMAC_RUN_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Running Status Register (DMAC_RUN_STAT)	0x302118 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	RUN7	Ch.7 running status	1 Running 0 Idle/paused	0	R	
		D6	RUN6	Ch.6 running status	1 Running 0 Idle/paused	0	R	
		D5	RUN5	Ch.5 running status	1 Running 0 Idle/paused	0	R	
		D4	RUN4	Ch.4 running status	1 Running 0 Idle/paused	0	R	
		D3	RUN3	Ch.3 running status	1 Running 0 Idle/paused	0	R	
		D2	RUN2	Ch.2 running status	1 Running 0 Idle/paused	0	R	
		D1	RUN1	Ch.1 running status	1 Running 0 Idle/paused	0	R	
		D0	RUN0	Ch.0 running status	1 Running 0 Idle/paused	0	R	

D[31:8] Reserved

D[7:0] RUNx: Ch.x Running Status Bit

DMACチャンネルが現在DMA転送中か否かを示します。

1(R): DMA転送中

0(R): 待機中/中断中(デフォルト)

RUN_xはDMAC Ch._xがDMA転送を開始すると1にセットされ、転送動作が終了すると0にリセットされます。また、高優先度のDMA要求によって転送を中断した場合も0に戻ります。

データ転送後や強制終了後にコントロール情報の変更などを行う場合は、実際に転送動作が終了していることを本ビットで確認してください。

DMAC Pause Status Register (DMAC_PAUSE_STAT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
DMAC Pause Status Register (DMAC_PAUSE_STAT)	0x30211c (32 bits)	D31-8	—	reserved	—				—	—	0 when being read.
		D7	PAUSE7	Ch.7 pause status	1	Paused	0	Not paused	0	R	
		D6	PAUSE6	Ch.6 pause status	1	Paused	0	Not paused	0	R	
		D5	PAUSE5	Ch.5 pause status	1	Paused	0	Not paused	0	R	
		D4	PAUSE4	Ch.4 pause status	1	Paused	0	Not paused	0	R	
		D3	PAUSE3	Ch.3 pause status	1	Paused	0	Not paused	0	R	
		D2	PAUSE2	Ch.2 pause status	1	Paused	0	Not paused	0	R	
		D1	PAUSE1	Ch.1 pause status	1	Paused	0	Not paused	0	R	
		D0	PAUSE0	Ch.0 pause status	1	Paused	0	Not paused	0	R	

D[31:8] Reserved

D[7:0] PAUSEx: Ch.x Paused Status Bit

高優先度のDMA転送のために、連続転送を中断しているチャンネルを示します。

1(R): 中断中

0(R): 中断中以外(デフォルト)

連続転送中にそのチャンネルより高い優先度のDMA要求が発生した場合、転送中のチャンネルは現在実行中のデータ転送単位が終了次第、再開に必要なコントロール情報(現在の転送回数や転送元/転送先アドレスなど)をコントロールテーブルに保存し、転送を中断します。このときPAUSExも1にセットされ、そのチャンネルが転送を中断したことを示します。その後、高優先度のDMA転送を実行します。その転送が終了すると、中断していたDMA転送が再開します。この際、DMACはPAUSExとTRGx/DMAC_TRG_FLGレジスタを確認し、ビットがセットされているチャンネルの中で最も優先度の高いもの(番号の小さいチャンネル)から先に処理します。DMACが中断中のDMA転送を再開すると、PAUSExはクリアされます。

15 ファインモード8ビットタイマ(T8F)

15.1 T8Fモジュールの概要

S1C33L27は6チャンネルのファインモード8ビットタイマモジュール(T8F)を内蔵しています。

T8Fモジュールの主な機能と特長を以下に示します。

- 8ビットプリセッタブルダウンカウンタ(プリセット値設定用8ビットリロードデータレジスタ付き)
- カウントクロックをプリスケアラが出力する15種類から選択可能
- カウンタのアンダーフローから、USI、USIL、UARTの動作クロック(転送クロック)とA/D変換トリガ信号を生成
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能
- 転送レートの誤差を最小限に抑えるファインモードに対応

図15.1.1にT8Fの構成を示します。

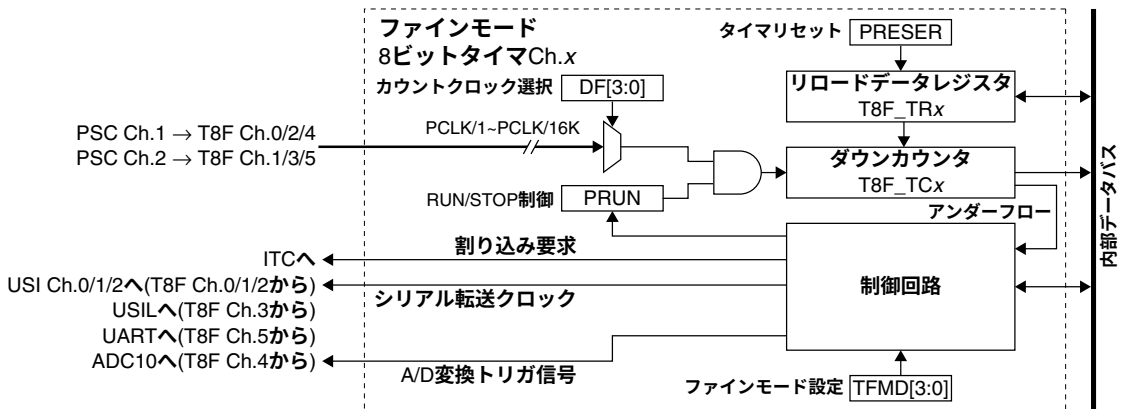


図15.1.1 T8Fモジュールの構成(1チャンネル)

T8Fモジュールの各チャンネルは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース(USI、USIL、UART)のクロック生成、およびA/D変換トリガ信号の生成に使用されます。アンダーフロー周期はカウントクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

注: T8Fモジュールの6チャンネルは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~5)を表します。

例: T8F_CTLxレジスタ

Ch.0: T8F_CTL0レジスタ

Ch.1: T8F_CTL1レジスタ

Ch.2: T8F_CTL2レジスタ

⋮

Ch.5: T8F_CTL5レジスタ

15.2 カウントクロック

カウントクロックは、プリスケアラがPCLKクロックを1/1～1/16Kに分周して生成した15種類から1つをDF[3:0]/T8F_CLKxレジスタで選択します。

* T8F Ch.0/2/4はPSC Ch.1の出力クロックを、T8F Ch.1/3/5はPSC Ch.2の出力クロックを使用します。

表15.2.1 カウントクロック (PCLK分周比) の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • T8Fを動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

プリスケアラの制御については、“プリスケアラ (PSC)”の章を参照してください。

15.3 カウントモード

T8Fモジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T8F_CTLxレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、T8Fはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合、あるいはシリアル転送クロックを生成する場合は、T8Fをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、T8Fはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8Fをこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

15.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT8F_TRxは、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



図15.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{ct\_clk} [s] \quad \text{アンダーフローサイクル} = \frac{ct\_clk}{TR + 1} [Hz]$$

ct_clk: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~255)

15.5 タイマのリセット

T8Fをリセットするには、PRESER/T8F_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

15.6 RUN/STOP制御

T8Fの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロック(プリスケアラ出力クロック)を選択します。15.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。15.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。15.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。15.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャネルの割り込みを許可します。15.9節を参照してください。

T8Fの動作を開始させるには、PRUN/T8F_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

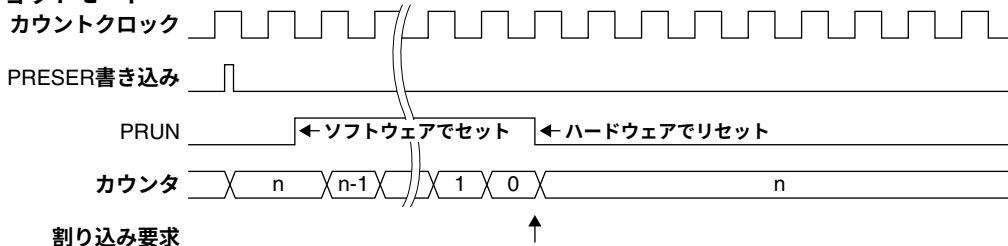
ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

カウント中にタイマのリセットを行うと、リロードレジスタ値がカウンタにロードされ、カウントが継続します。

ワンショットモード



リピートモード

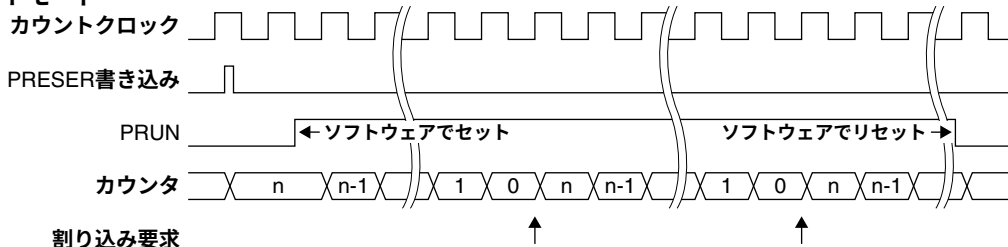


図15.6.1 カウント動作

15.7 T8F出力信号

T8Fモジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックやA/D変換トリガ信号の生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

T8F Ch.0出力クロック → USI Ch.0

T8F Ch.1出力クロック → USI Ch.1

T8F Ch.2出力クロック → USI Ch.2

T8F Ch.3出力クロック → USIL

T8F Ch.4出力クロック → A/D変換器

T8F Ch.5出力クロック → UART

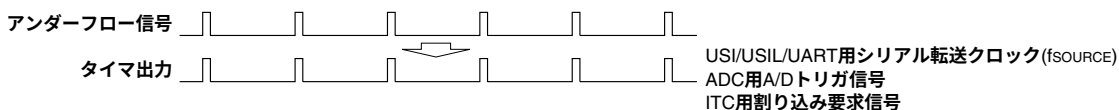


図15.7.1 T8F出力クロック

15.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

ファインモード8ビットタイマはプログラマブルなクロックを出力可能で、その信号はUSIのシリアル転送クロック等に使用されます。カウントクロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]/T8F_CTLxレジスタで指定できます。

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表15.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

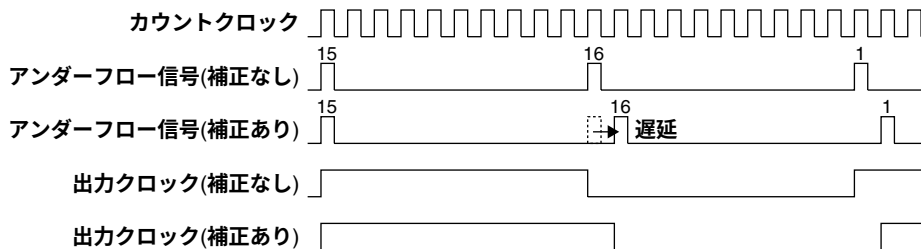


図15.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

15.9 T8F割り込み

T8Fモジュールの各チャンネルは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

カウンタがアンダーフローすると、T8Fモジュール内のチャンネルごとに用意されている割り込みフラグT8FIF/T8F_INTxレジスタが1にセットされます。T8FIE/T8F_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

T8FIEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • T8F割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8FIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T8FIEによってT8F割り込みを許可する前に、T8FIFをリセットしてください。T8FIFは1の書き込みによりリセットされます。

15.10 制御レジスタ詳細

表15.10.1 T8Fレジスタ一覧

アドレス	レジスタ名		機 能
0x301100	T8F_CLK0	T8F Ch.0 Input Clock Select Register	カウントクロックの選択
0x301102	T8F_TR0	T8F Ch.0 Reload Data Register	リロードデータの設定
0x301104	T8F_TC0	T8F Ch.0 Counter Data Register	カウンタデータ
0x301106	T8F_CTL0	T8F Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301108	T8F_INT0	T8F Ch.0 Interrupt Control Register	割り込みの制御
0x301110	T8F_CLK1	T8F Ch.1 Input Clock Select Register	カウントクロックの選択
0x301112	T8F_TR1	T8F Ch.1 Reload Data Register	リロードデータの設定
0x301114	T8F_TC1	T8F Ch.1 Counter Data Register	カウンタデータ
0x301116	T8F_CTL1	T8F Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301118	T8F_INT1	T8F Ch.1 Interrupt Control Register	割り込みの制御
0x301120	T8F_CLK2	T8F Ch.2 Input Clock Select Register	カウントクロックの選択
0x301122	T8F_TR2	T8F Ch.2 Reload Data Register	リロードデータの設定
0x301124	T8F_TC2	T8F Ch.2 Counter Data Register	カウンタデータ
0x301126	T8F_CTL2	T8F Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301128	T8F_INT2	T8F Ch.2 Interrupt Control Register	割り込みの制御
0x301130	T8F_CLK3	T8F Ch.3 Input Clock Select Register	カウントクロックの選択
0x301132	T8F_TR3	T8F Ch.3 Reload Data Register	リロードデータの設定
0x301134	T8F_TC3	T8F Ch.3 Counter Data Register	カウンタデータ
0x301136	T8F_CTL3	T8F Ch.3 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301138	T8F_INT3	T8F Ch.3 Interrupt Control Register	割り込みの制御
0x301140	T8F_CLK4	T8F Ch.4 Input Clock Select Register	カウントクロックの選択
0x301142	T8F_TR4	T8F Ch.4 Reload Data Register	リロードデータの設定
0x301144	T8F_TC4	T8F Ch.4 Counter Data Register	カウンタデータ
0x301146	T8F_CTL4	T8F Ch.4 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301148	T8F_INT4	T8F Ch.4 Interrupt Control Register	割り込みの制御
0x301150	T8F_CLK5	T8F Ch.5 Input Clock Select Register	カウントクロックの選択
0x301152	T8F_TR5	T8F Ch.5 Reload Data Register	リロードデータの設定
0x301154	T8F_TC5	T8F Ch.5 Counter Data Register	カウンタデータ
0x301156	T8F_CTL5	T8F Ch.5 Control Register	タイマモードの設定とタイマのRUN/STOP
0x301158	T8F_INT5	T8F Ch.5 Interrupt Control Register	割り込みの制御

以下、T8Fモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T8F Ch.x Input Clock Select Registers (T8F_CLKx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T8F Ch.x Input Clock Select Register (T8F_CLKx)	0x301100	D15–4	–	reserved	–		–	–	0 when being read.
	0x301110	D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0]	Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
	0x301120				0xf	reserved			
	0x301130				0xe	1/16384			
	0x301140				0xd	1/8192			
	0x301150				0xc	1/4096			
	(16 bits)				0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

D[15:4] Reserved

D[3:0] DF[3:0]: T8F Input Clock Select Bits

15種類のプリスケアラ出力クロックから、T8Fのカウントクロックを選択します。

表15.10.2 カウントクロック (PCLK分周比)の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T8F Ch.x Reload Data Registers (T8F_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Reload Data Register (T8F_TRx)	0x301102	D15-8	—	reserved	—	—	—	0 when being read.
	0x301112	D7-0	TR[7:0]	T8F reload data	0x0 to 0xff	0x0	R/W	
	0x301122			TR7 = MSB				
	0x301132			TR0 = LSB				
	0x301142							
	0x301152	(16 bits)						

D[15:8] Reserved**D[7:0] TR[7:0]: T8F Reload Data Bits**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T8F Ch.x Counter Data Registers (T8F_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Counter Data Register (T8F_TCx)	0x301104	D15-12	—	reserved	—	—	—	0 when being read.
	0x301114	D7-0	TC[7:0]	T8F counter data	0x0 to 0xff	0xff	R	
	0x301124			TC7 = MSB				
	0x301134			TC0 = LSB				
	0x301144							
	0x301154	(16 bits)						

D[15:8] Reserved**D[7:0] TC[7:0]: T8F Counter Data Bits**

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

T8F Ch.x Control Registers (T8F_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Control Register (T8F_CTLx)	0x301106	D15-12	—	reserved	—	—	—	0 when being read.
	0x301116	D11-8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
	0x301126							
	0x301136							
	0x301146							
	0x301156	D7-5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	0 when being read.
		D3-2	—	reserved	—	—	—	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表15.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

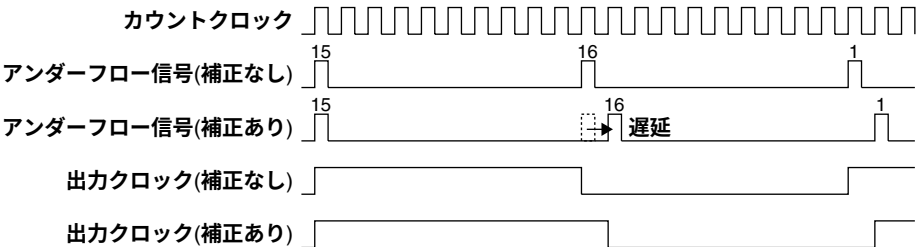


図10.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

T8Fのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T8Fはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合、あるいはシリアル転送クロックを生成する場合は、T8Fをこのモードに設定してください。

TRMDを1に設定すると、T8Fはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8Fをこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T8F Ch.x Interrupt Control Registers (T8F_INTx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
T8F Ch.x Interrupt Control Register (T8F_INTx)	0x301108	D15–9	–	reserved	–		–	–	0 when being read.		
	0x301118		–	reserved	–		–	–	0 when being read.		
	0x301128	D8	T8FIE	T8F interrupt enable	1	Enable	0	Disable	0	R/W	
	0x301138	D7–1	–	reserved	–		–	–	0 when being read.		
	0x301148		–	reserved	–		–	–	0 when being read.		
	0x301158 (16 bits)	D0	T8FIF	T8F interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved**D8 T8FIE: T8F Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8FIEを1に設定するとITCへのT8F割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T8FIF: T8F Interrupt Flag Bit**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8FIFはT8Fモジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T8FIFは1の書き込みによりリセットされます。

16 16ビットPWMタイマ(T16A6)

16.1 T16A6モジュールの概要

S1C33L27は、4チャネルの16ビットPWMタイマモジュール(T16A6)を内蔵しています。T16A6モジュールの特長を以下に示します。

- ・コンパレータとキャプチャユニット付き16ビットアップカウンタ
- ・プリスケアラの15出力からカウントクロックを選択可能
- ・外部クロックを使用するイベントカウンタ機能に対応
- ・コンパレータはカウンタ値と2つの指定値を比較し、割り込み信号やPWMなどの出力波形を生成
- ・キャプチャユニットは2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生

図16.1.1にT16A6の構成を示します。

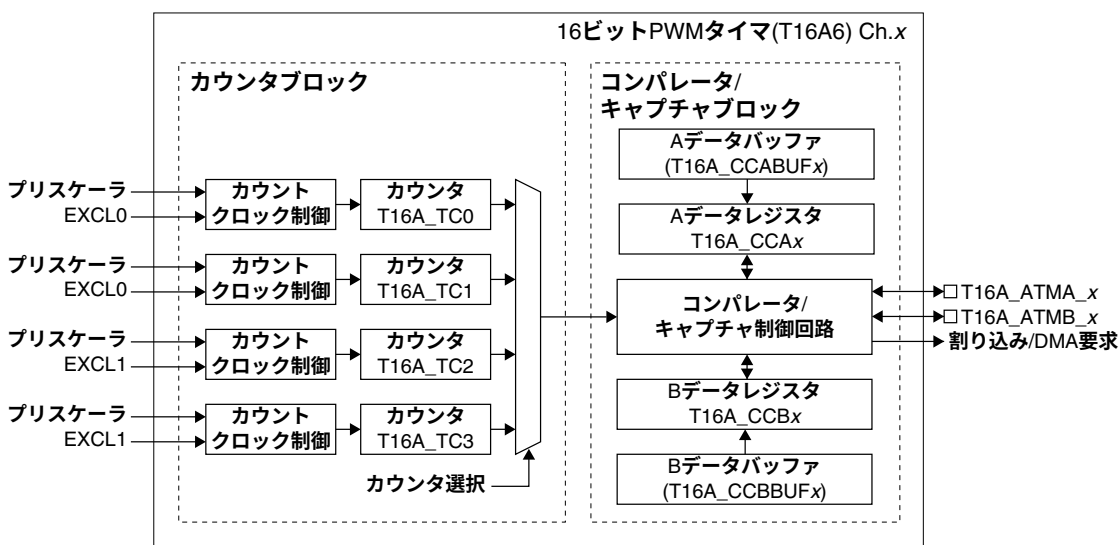


図16.1.1 T16A6の構成(1チャネル)

T16A6はカウンタブロックとコンパレータ/キャプチャブロックで構成されます。

カウンタブロック

カウンタブロックはプリスケアラ出力クロックまたは外部から入力したカウントクロックで動作する16ビットアップカウンタを内蔵しています。このクロック選択のほか、ソフトウェアによってカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。

コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、カウンタ値と指定値を比較するコンパレータと、カウンタ値を外部トリガ信号によってレジスタに取り込むキャプチャ回路がそれぞれ2系統(A系統とB系統)組み込まれています。ただし、各系統でコンパレータとキャプチャ機能を同時に使用することはできません。どちらか一方にソフトウェアで切り換えて使用します。

コンパレータとして使用する場合は、カウンタ値と比較する値をコンペアA、コンペアBレジスタに設定しておきます。カウンタ値がそれぞれのレジスタの設定値に一致すると、コンパレータはコンペアA、コンペアB信号を出力します。これらの信号により割り込みを発生可能です。また、これらの信号はタイマ出力波形の周期やデューティの制御にも使用され、PWM波形なども出力できるようになっています。コンペアB信号はカウンタのリセットにも使用されます。

コンペアAおよびコンペアBレジスタは、直接データの書き込み/読み出しが可能です。別途コンペアバッファも設けられており、コンペアB信号によって自動的にコンペアAおよびコンペアBレジスタにデータをロードすることもできます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、ソフトウェアで選択可能です。コンペアバッファを有効にすると、ソフトウェアによってコンペアAおよびコンペアBレジスタに直接データを書き込むことはできなくなります。

キャプチャ機能を使用する場合は、コンペアA、コンペアBレジスタがキャプチャ A、キャプチャBレジスタとなります。キャプチャAおよびキャプチャB用それぞれにトリガ信号を入力可能で、選択した信号エッジでカウンタ値がそれぞれのレジスタに取り込まれます。この時点で割り込みを発生可能ですので、割り込み処理ルーチン内でキャプチャデータを読み出すことができます。また、読み出し前に新たなキャプチャが行われた場合のエラー処理のためにオーバーライト割り込みも発生可能です。

注: T16A6モジュールの全チャンネルは、制御レジスタのアドレスを除き同じ機能を持っていますので、本章内の説明は全チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0~3)を表します。

例: T16A_CTLxレジスタ

Ch.0: T16A_CTL0レジスタ

Ch.1: T16A_CTL1レジスタ

Ch.2: T16A_CTL2レジスタ

Ch.3: T16A_CTL3レジスタ

16.2 T16A6入出力端子

表16.2.1にT16A6モジュールの入出力端子を示します。

表16.2.1 T16A6端子一覧

端子名	I/O	本数	機 能
EXCL0 (Ch.0/1) EXCL1 (Ch.2/3)	I	2	T16A6外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。 EXCL0端子はT16P Ch.0の外部クロック入力端子としても使用されます。 EXCL1端子はT16P Ch.1の外部クロック入力端子としても使用されます。
T16A_ATMA_0 (Ch.0) T16A_ATMA_1 (Ch.1) T16A_ATMA_2 (Ch.2) T16A_ATMA_3 (Ch.3)	I/O	4	T16A6 A系統入出力端子 コンパレータモード時はタイマが生成した信号を出力します。 キャプチャモード時はカウンタデータを取り込むトリガ信号を入力します。
T16A_ATMB_0 (Ch.0) T16A_ATMB_1 (Ch.1) T16A_ATMB_2 (Ch.2) T16A_ATMB_3 (Ch.3)	I/O	4	T16A6 B系統入出力端子 コンパレータモード時はタイマが生成した信号を出力します。 キャプチャモード時はカウンタデータを取り込むトリガ信号を入力します。

T16A6の入出力端子(EXCL0/I、T16A_ATMA_x、T16A_ATMB_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16A6の入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

16.3 カウントクロック

カウントクロックは、プリスケアラ(PSC0)がTCLKクロック(SYSCLK、OSC3、またはOSC1*)を1/I~1/16Kに分周して生成する15種類の内部クロック、および外部クロックから、CLKS[3:0]/T16A_CTLxレジスタで選択します。

* T16A6はCMUが出力するTCLKをカウントクロックソースとして使用します。TCLKはCMUレジスタによりSYSCLK、OSC3、またはOSC1から選択可能です。詳細は“クロックマネージメントユニット(CMU)”の章を参照してください。

表16.3.1 カウントクロック (TCLK分周比)の選択

CLKS[3:0]	分周比	CLKS[3:0]	分周比
0xf	外部クロック	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定はカウント停止中に行ってください。

- 外部クロックを使用する場合、そのクロック周期としてCPU動作クロックの2サイクル以上必要です。

プリスケアラ (PSC0)の制御については、“プリスケアラ (PSC)”の章を参照してください。

16.4 T16A6の動作モード

T16A6には、いろいろな使い方に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

16.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A_CCAxとT16A_CCBxの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A_CCAxレジスタのモードはCCAMD/T16A_CCCTLxレジスタで、T16A_CCBxレジスタのモードはCCBMD/T16A_CCCTLxレジスタで選択します。

コンパレータモード (CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A_CCAxとT16A_CCBxレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

使用するカウンタチャンネル (Ch.0～Ch.3)をT16SEL[1:0]/T16A_CTLxレジスタで選択できます。この選択により、複数チャンネルのコンペアAおよびコンペアB信号出力を1つの16ビットカウンタに同期させることが可能となります。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。

カウンタ値がコンペアBレジスタの設定値になった場合、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

注: コンペアAデータレジスタ (T16A_CCAx)およびコンペアBデータレジスタ (T16A_CCBx)の値は、必ず4以上に設定してください。4未満の設定では各割り込み要因は発生しません。

コンペアA信号とコンペアB信号はタイマ出力波形を生成するためにも使用されます。詳細については、“16.6 タイマ出力の制御”を参照してください。PWM波形を生成して出力するには、T16A_CCAxおよびT16A_CCBxレジスタを両方共にコンパレータモードに設定しておく必要があります。

コンペアバッファ

コンペアレジスタは直接データの書き込み/読み出しが可能です。また、コンペアバッファを使用すると、コンペアB信号が発生した時点で、バッファに設定したAおよびB系統の比較値を自動的にコンペアAおよびコンペアBレジスタにロードすることができます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、CBUFEN/T16A_CTLxレジスタで設定します。CBUFENが0(デフォルト)の場合はコンペアレジスタ、CBUFENを1に設定するとコンペアバッファが選択されます。CBUFENが1に設定されている場合も比較値の書き込みはT16A_CCAxまたはT16A_CCBxレジスタに対して行いますが、コンペアバッファがアクセスされます。コンペアデータの読み出しは、コンペアバッファを有効にしているか否かにかかわらず、常にコンペアレジスタから行います。

注: イニシャルリセット時、コンペアAおよびコンペアBレジスタは0x0に初期化されます。このため、T16A6をスタートさせた直後にコンペアAおよびコンペアB割り込みが発生し、出力信号が変化します。これを防ぐには、T16A6をスタートさせる前にコンペアバッファを無効にし、コンペアAおよびコンペアBレジスタの内容をソフトウェアで変更してください。

キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A_CCAxまたはT16A_CCBxレジスタはキャプチャデータを読み出すためのキャプチャAまたはキャプチャBレジスタとして機能します。カウンタ値をキャプチャする外部トリガ信号は、キャプチャA回路はT16A_ATMA_x端子、キャプチャB回路はT16A_ATMB_x端子を使用して入力します。T16A_ATMA_x端子とT16A_ATMB_x端子はタイマ出力も兼用していますが、AまたはB系統をキャプチャモードにすると、トリガ入力端子に設定されます。

使用するカウンタチャンネル(Ch.0~Ch.3)をT16SEL[1:0]/T16A_CTLxレジスタで選択できます。この選択により、複数チャンネルで1つの16ビットカウンタの値をキャプチャできるようになります。トリガとする信号のエッジは、キャプチャAがCAPATR[1:0]/T16A_CCCTLxレジスタ、キャプチャBがCAPBTRG[1:0]/T16A_CCCTLxレジスタで選択可能です。

表16.4.1.1 キャプチャトリガエッジの選択

CAPATR[1:0]/ CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がキャプチャレジスタにロードされます。同時にキャプチャAまたはキャプチャB割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。この割り込みを利用して、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

キャプチャAまたはキャプチャB割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。不要なオーバーライト割り込みが発生しないように、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出した場合は、キャプチャAまたはキャプチャB割り込みフラグをリセットしておく必要があります。

注: • キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。

- カウンタデータを正しくキャプチャするには、T16A_ATMA_x/T16A_ATMB_xトリガ信号のHigh期間とLow期間をどちらもカウントクロックの3周期以上とする必要があります。

コンパレータモード時は、CAPATR[1:0]とCAPBTRG[1:0]の設定は無効です。T16A_ATMA_x/T16A_ATMB_x端子が出力に設定されるため、カウントのキャプチャは行われません。キャプチャモードではコンペア信号が生成されないため、TOUT信号を生成して出力することはできません。

16.4.2 リピートモードとワンショットモード

各カウンタはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TMMD/T16A_CTLxレジスタで行います。

リピートモード(TMMD = 0、デフォルト)

TMMDを0に設定すると、対応するカウンタはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。カウンタが0にリセットされた場合、あるいはオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

ワンショットモード(TMMD = 1)

TMMDを1に設定すると、対応するカウンタはワンショットモードに設定されます。

このモードでは、カウンタがリセットされるかオーバーフローした時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

16.5 カウンタの制御

16.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A_CTLxレジスタに1を書き込みます。

通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。

カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

注: • カウンタはカウントクロックに同期してリセットされますので、選択したカウントクロックによっては、リセットに時間がかかります。リセット動作が終了したか否かについては、PRESETが0になっている、あるいはBUSY/T16A_CTLxレジスタが0(待機中)になっていることを読み出して確認してください。

- PRESETによるリセットはカウンタを停止しません。カウンタが動作中にリセットすると、カウンタ値 = 0からカウントを継続します。

16.5.2 カウンタRUN/STOP制御

カウント動作を開始させる前に、以下の設定を行ってください。

- (1) 使用する入出力端子の機能をT16A6用に切り換えます。“入出力ポート(GPIO)”の章を参照してください。
- (2) 動作モードを選択します。16.4節を参照してください。
- (3) クロックソースを選択します。16.3節を参照してください。
- (4) タイマ出力の設定を行います。16.6節を参照してください。
- (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16A6の割り込みを許可します。16.7節を参照してください。
- (6) カウンタを0にリセットします。16.5.1節を参照してください。
- (7) コンペアデータを設定します(コンパレータモード時)。16.4.1節を参照してください。

T16A6には、カウンタの動作を制御するPRUN/T16A_CTLxレジスタが設けられています。

カウンタはPRUNに1を書き込むことによってカウントを開始します(下記の注参照)。PRUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

注: • T16A_CTLxレジスタへの書き込みを行う前に、必ずBUSY/T16A_CTLxレジスタが0(待機中)になっていることを確認してください。T16A_CTLxレジスタのビットはBUSYが0になった後のみ変更可能です。

- カウンタはカウントクロックに同期してカウントを開始しますので、PRUNを1に設定してもすぐに動作しない場合があります。カウントを開始したことは、PRUN(1に設定されている)またはBUSY(0に設定されている)を読み出して確認してください。

16.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A_TCxレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

注: カウンタ値は、T16SEL[1:0]/T16A_CTLxレジスタで設定されたチャネルのT16A_TCxレジスタから読み出してください。

16.5.4 タイミングチャート

コンパレータモード

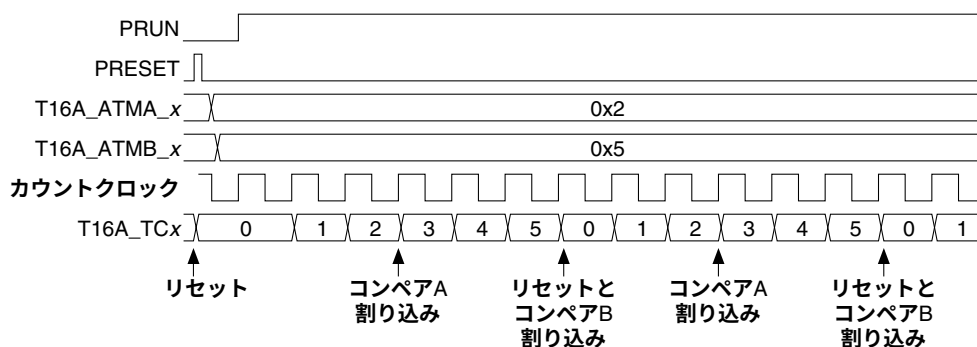


図16.5.4.1 コンパレータモード時動作タイミング

キャプチャモード

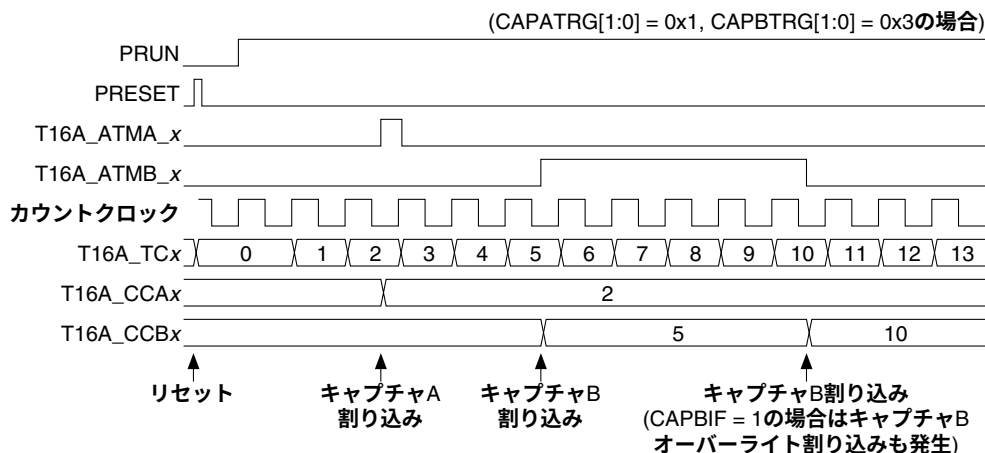


図16.5.4.2 キャプチャモード時動作タイミング

16.6 タイマ出力の制御

コンパレータモードに設定したT16A6は、コンペアAおよびコンペアB信号によってTOUT信号を生成し、IC外部に出力することができます。図16.6.1にTOUT出力回路を示します。

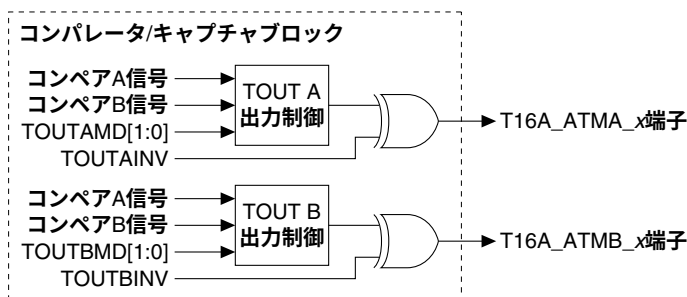


図16.6.1 TOUT出力回路

各タイマチャネルには2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路/レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBに対応するものではありません。

注: コンペアAおよびコンペアB信号は、T16SEL[1:0]/T16A_CTLxレジスタの設定により別のチャネルのカウンタ値から生成することもできます。

TOUT出力端子

TOUT A信号はT16A_ATMA_x端子から、TOUT B信号はT16A_ATMB_x端子から出力されます。T16A_ATMA_x端子とT16A_ATMB_x端子はキャプチャトリガ入力も兼用していますが、AまたはB系統をコンパレータモードにすると、TOUT信号出力端子に設定されます。

TOUT生成モード

TOUT信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A_CCCTLxレジスタ(A系統)またはTOUTBMD[1:0]/T16A_CCCTLxレジスタ(B系統)で設定します。

表16.6.1 TOUT生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUT出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

TOUT信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A_CCCTLxレジスタ(A系統)またはTOUTBINV/T16A_CCCTLxレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOUT信号が生成されます。

カウンタをリセットした場合には、TOUT信号がインアクティブレベルとなります。

図16.6.2にTOUT出力波形を示します。

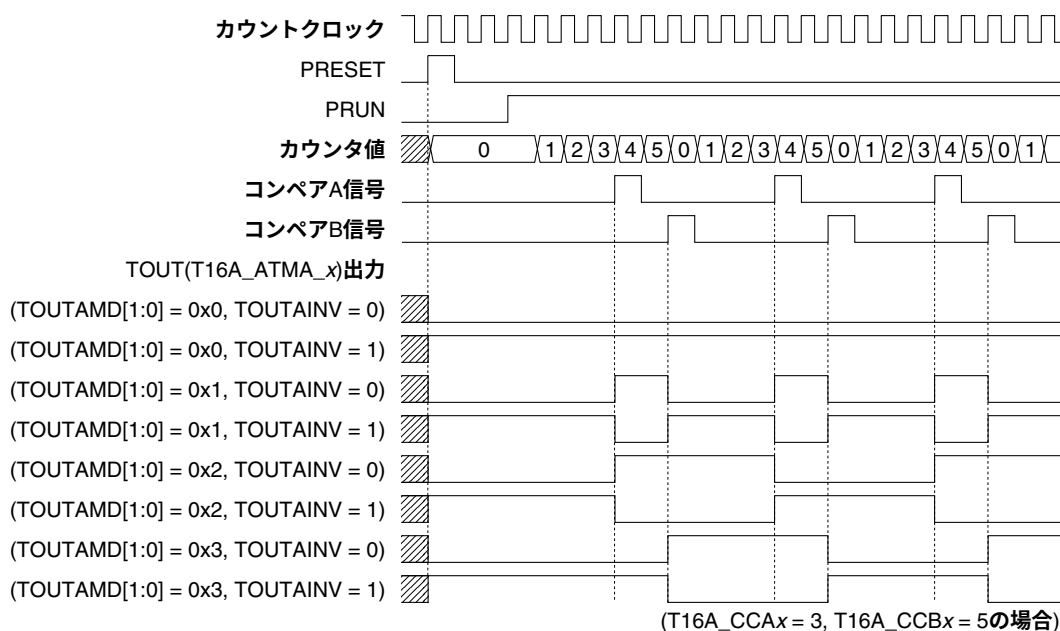


図16.6.2 TOUT出力波形

16.7 T16A6割り込みとDMA

ここでは、T16A6割り込みとDMAの起動について説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

16.7.1 割り込み

T16A6モジュールには、チャンネルごとに以下の6種類の割り込みを発生させる機能があります。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャA割り込み(キャプチャモード時)
- キャプチャB割り込み(キャプチャモード時)
- キャプチャAオーバーライト割り込み(キャプチャモード時)
- キャプチャBオーバーライト割り込み(キャプチャモード時)

各チャンネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、割り込みを発生したタイマチャンネルの割り込みフラグを読み出してください。

コンパレータモード時の割り込み

コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタの設定値に一致すると発生し、T16A6モジュール内の割り込みフラグCAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAIE/T16A_IENxレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタの設定値に一致すると発生し、T16A6モジュール内の割り込みフラグCBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CBIE/T16A_IENxレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

注: コンペアAデータレジスタ(T16A_CCAx)およびコンペアBデータレジスタ(T16A_CCBx)の値は、必ず4以上に設定してください。4未満の設定では各割り込み要因は発生しません。

キャプチャモード時の割り込み

キャプチャ A割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Aレジスタに取り込まれると発生し、T16A6モジュール内の割り込みフラグCAPAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAIE/T16A_IENxレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ B割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Bレジスタに取り込まれると発生し、T16A6モジュール内の割り込みフラグCAPBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBIE/T16A_IENxレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Aレジスタが上書きされると発生し、T16A6モジュール内の割り込みフラグCAPAOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAOWIE/T16A_IENxレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFがセットされている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ずCAPAIFをリセットしてください。

キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ B割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Bレジスタが上書きされると発生し、T16A6モジュール内の割り込みフラグCAPBOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBOWIE/T16A_IENxレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPBOWIFは、キャプチャ Bレジスタが読み出されているかどうかにかかわらず、CAPBIFがセットされている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ずCAPBIFをリセットしてください。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16A6モジュールは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

- 割り込み発生後は、割り込み処理ルーチン内で、T16A6モジュール内の割り込みフラグをリセットしてください。

16.7.2 DMA転送

コンペアA/キャプチャA割り込み要因とコンペアB/キャプチャB割り込み要因によってDMAを起動することができます。これにより、DMACを介してメモリとコンペア/キャプチャデータレジスタ間の連続的なデータ転送が行えます。これらの要因による割り込み信号はITCとDMACの両方に送られます。したがって、T16A6割り込みを発生させることなく、DMA転送を行うことができます。

T16A6では2つのDMACチャンネル(Ch.2と3、またはCh.4と5)が使用可能です。DMAC Ch.2と3を起動するT16A6チャンネルは、DMASEL[1:0]/T16_CTL0レジスタで選択できます。DMAC Ch.4と5を起動するT16A6チャンネルは、DMASEL[1:0]/T16_CTL1レジスタで選択できます。

表16.7.2.1 DMAC Ch.2/3起動チャンネルの選択

DMASEL[1:0]/T16_CTL0レジスタ	DMAC Ch.2/3を起動するT16A6チャンネル
0x3	T16A6 Ch.3
0x2	T16A6 Ch.2
0x1	T16A6 Ch.1
0x0	T16A6 Ch.0

(デフォルト: 0x0)

表16.7.2.2 DMAC Ch.4/5起動チャンネルの選択

DMASEL[1:0]/T16_CTL1レジスタ	DMAC Ch.4/5を起動するT16A6チャンネル
0x3	T16A6 Ch.3
0x2	T16A6 Ch.2
0x1	T16A6 Ch.1
0x0	T16A6 Ch.0

(デフォルト: 0x0)

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

16.8 制御レジスタ詳細

表16.8.1 T16A6レジスタ一覧

アドレス	レジスタ名		機 能
0x301160	T16A_CTL0	T16A6 Ch.0 Counter Control Register	カウンタの制御
0x301162	T16A_TC0	T16A6 Ch.0 Counter Data Register	カウンタデータ
0x301164	T16A_CCCTL0	T16A6 Ch.0 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x301166	T16A_CCA0	T16A6 Ch.0 Comparator/Capture A Data Register	コンペアA/キャプチャAデータ
0x301168	T16A_CCB0	T16A6 Ch.0 Comparator/Capture B Data Register	コンペアB/キャプチャBデータ
0x30116a	T16A_IEN0	T16A6 Ch.0 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
0x30116c	T16A_IFLG0	T16A6 Ch.0 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
0x301170	T16A_CTL1	T16A6 Ch.1 Counter Control Register	カウンタの制御
0x301172	T16A_TC1	T16A6 Ch.1 Counter Data Register	カウンタデータ
0x301174	T16A_CCCTL1	T16A6 Ch.1 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x301176	T16A_CCA1	T16A6 Ch.1 Comparator/Capture A Data Register	コンペアA/キャプチャAデータ
0x301178	T16A_CCB1	T16A6 Ch.1 Comparator/Capture B Data Register	コンペアB/キャプチャBデータ
0x30117a	T16A_IEN1	T16A6 Ch.1 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
0x30117c	T16A_IFLG1	T16A6 Ch.1 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
0x301180	T16A_CTL2	T16A6 Ch.2 Counter Control Register	カウンタの制御
0x301182	T16A_TC2	T16A6 Ch.2 Counter Data Register	カウンタデータ
0x301184	T16A_CCCTL2	T16A6 Ch.2 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x301186	T16A_CCA2	T16A6 Ch.2 Comparator/Capture A Data Register	コンペアA/キャプチャAデータ
0x301188	T16A_CCB2	T16A6 Ch.2 Comparator/Capture B Data Register	コンペアB/キャプチャBデータ
0x30118a	T16A_IEN2	T16A6 Ch.2 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
0x30118c	T16A_IFLG2	T16A6 Ch.2 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
0x301190	T16A_CTL3	T16A6 Ch.3 Counter Control Register	カウンタの制御
0x301192	T16A_TC3	T16A6 Ch.3 Counter Data Register	カウンタデータ
0x301194	T16A_CCCTL3	T16A6 Ch.3 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x301196	T16A_CCA3	T16A6 Ch.3 Comparator/Capture A Data Register	コンペアA/キャプチャAデータ
0x301198	T16A_CCB3	T16A6 Ch.3 Comparator/Capture B Data Register	コンペアB/キャプチャBデータ
0x30119a	T16A_IEN3	T16A6 Ch.3 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
0x30119c	T16A_IFLG3	T16A6 Ch.3 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示

以下、T16A6モジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16A6 Ch.x Counter Control Registers (T16A_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.0 Counter Control Register (T16A_CTL0)	0x301160 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–12	DMASEL [1:0]	DMAC Ch.2/3 invoking channel select	DMASEL[1:0] T16A6 channel	0x0	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D11–8	CLKS [3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL [1:0]	Counter select	T16SEL[1:0] Counter channel	0x0	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
T16A6 Ch.1 Counter Control Register (T16A_CTL1)	0x301170 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–12	DMASEL [1:0]	DMAC Ch.4/5 invoking channel select	DMASEL[1:0] T16A6 channel	0x0	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D11–8	CLKS [3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL [1:0]	Counter select	T16SEL[1:0] Counter channel	0x1	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	

16 16ビットPWMタイマ(T16A6)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.2 Counter Control Register (T16A_CTL2)	0x301180 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
T16A6 Ch.3 Counter Control Register (T16A_CTL3)	0x301190 (16 bits)	D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL [1:0]	Counter select	T16SEL[1:0] Counter channel	0x2	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
		D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL [1:0]	Counter select	T16SEL[1:0] Counter channel	0x3	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	

D[15:14] Reserved

D[13:12] DMASEL[1:0]: DMAC Ch.2/3 Invoking Channel Select Bits (T16A_CTL0)

DMASEL[1:0]: DMAC Ch.4/5 Invoking Channel Select Bits (T16A_CTL1)

コンペアA/BまたはキャプチャA/B割り込み要因によるDMA転送(DMAC Ch.2/3またはDMAC Ch.4/5)で使用するT16A6チャンネルを選択します。

表16.8.2 DMAC Ch.2/3起動チャンネルの選択

DMASEL[1:0]/T16A_CTL0レジスタ	DMAC Ch.2/3を起動するT16A6チャンネル
0x3	T16A6 Ch.3
0x2	T16A6 Ch.2
0x1	T16A6 Ch.1
0x0	T16A6 Ch.0

(デフォルト: 0x0)

表16.8.3 DMAC Ch.4/5起動チャネルの選択

DMASEL[1:0]/T16_CTL1レジスタ	DMAC Ch.4/5を起動するT16A6チャネル
0x3	T16A6 Ch.3
0x2	T16A6 Ch.2
0x1	T16A6 Ch.1
0x0	T16A6 Ch.0

(デフォルト: 0x0)

D[13:12] Reserved (T16A_CTL2, T16A_CTL3)**D[11:8] CLKS[3:0]: Counter Clock Select Bits**

Ch.xのカウンタクロックを、15種類のプリスケアラ(PSC0)出力クロック(TCLK(SYSCLK/OSC3/OSC1)クロック分周比)および外部クロック(EXCLx入力クロック)から選択します。

表16.8.4 カウンタクロック(TCLK分周比)の選択

CLKS[3:0]	分周比	CLKS[3:0]	分周比
0xf	外部クロック	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • カウンタクロックの設定はカウンタ停止中に行ってください。

- 外部クロックを使用する場合、そのクロック周期としてCPU動作クロックの2サイクル以上必要です。

D7 BUSY: Register Writing Status Bit

T16A6レジスタへの書き込み状態を示します。

1 (R): ビジー

0 (R): 待機中(デフォルト)

T16A_CTLx、T16A_CCAx、またはT16A_CCBxレジスタにデータを書き込むとBUSYは1にセットされ、書き込み動作が終了すると0に戻ります。

注: T16A6レジスタへの書き込みを行う前に、BUSYが0になっていることを確認してください。

D6 Reserved**D[5:4] T16SEL[1:0]: Counter Select Bits**

カウンタチャネルを選択します。

表16.8.5 カウンタチャネルの選択

T16SEL[1:0]	カウンタチャネル
0x3	Ch.3
0x2	Ch.2
0x1	Ch.1
0x0	Ch.0

(デフォルト: 0x0/T16A6 Ch.0、0x1/T16A6 Ch.1、0x2/T16A6 Ch.2、0x3/T16A6 Ch.3)

タイマチャネル(コンパレータ/キャプチャブロック)は別のチャネルのカウンタを使用することができます。これにより、2つのコンパレータ/キャプチャブロックで同じカウンタの値を比較/キャプチャすることが可能になります。

カウンタ値は、T16SEL[1:0]で設定したチャネルのT16A_TCxレジスタから読み出してください。

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペアB信号が発生した時点でコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込みがコンペアAおよびコンペアBレジスタに対して直接行われます。

コンペアデータの読み出しは、常にコンペアAおよびコンペアBレジスタから直接行われます。

D2 TMMD: Count Mode Select Bit

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TMMDを0に設定すると、カウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

TMMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、ソフトウェアによる停止に加え、コンペアB信号が発生した時点でも自動的に停止します。

D1 PRESET: Counter Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D0 PRUN: Counter Run/Stop Control Bit

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

T16A6 Ch.x Counter Data Registers (T16A_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.x Counter Data Register (T16A_TCx)	0x301162 0x301172 0x301182 0x301192 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	

D[15:0] T16ATC[15:0]: Counter Data Bits

カウントデータが読み出せます。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

注: カウンタ値は、T16SEL[1:0]/T16A_CTLxレジスタで設定されたチャンネルのT16A_TCxレジスタから読み出してください。

T16A6 Ch.x Comparator/Capture Control Registers (T16A_CCCTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.x Comparator/ Capture Control Register (T16A_CCCTLx)	0x301164 0x301174 0x301184 0x301194 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D11–10	–	reserved	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W
		D7–6	CAPATR [1:0]	Capture A trigger select	CAPATR[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W
		D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W

D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits

キャプチャBレジスタにカウンタ値を取り込む、外部信号(T16A_ATMB_x入力)のトリガエッジを選択します。

表16.8.6 キャプチャBトリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がリエッジ
0x1	立ち上がリエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits

TOUT B信号波形(T16A_ATMB_x出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表16.8.7 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[11:10] Reserved

D9 TOUTBINV: TOUT B Invert Bit

TOUT B信号(T16A_ATMB_x出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D8 CCBMD: T16A_CCB Register Mode Select Bit

T16A_CCB x レジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A_CCB x レジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャBレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能します(コンパレータモード)。

D[7:6] CAPATRG[1:0]: Capture A Trigger Select Bits

キャプチャAレジスタにカウンタ値を取り込む、外部信号(T16A_ATMA $_x$ 入力)のトリガエッジを選択します。

表16.8.8 キャプチャAトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[5:4] TOUTAMD[1:0]: TOUT A Mode Select Bits

TOUT A信号波形(T16A_ATMA $_x$ 出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表16.8.9 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[3:2] Reserved**D1 TOUTAINV: TOUT A Invert Bit**

TOUT A信号(T16A_ATMA $_x$ 出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D0 CCAMD: T16A_CCA Register Mode Select Bit

T16A_CCA x レジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A_CCA x レジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャAレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能します(コンパレータモード)。

T16A6 Ch.x Comparator/Capture A Data Registers (T16A_CCAx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.x Comparator/ Capture A Data Register (T16A_CCAx)	0x301166 0x301176 0x301186 0x301196 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCA[15:0]: Compare/Capture A Data Bits

コンパレータモード時(CCAMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、このレジスタによりコンペアAレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアAバッファに対して行われます。読み出しはコンペアAレジスタから直接行われます。バッファの内容はカウンタがコンペアB信号によってリセットされた時点でコンペアAレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(T16A_ATMA_x入力)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャA割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A6 Ch.x Comparator/Capture B Data Registers (T16A_CCBx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.x Comparator/ Capture B Data Register (T16A_CCBx)	0x301168 0x301178 0x301188 0x301198 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCB[15:0]: Compare/Capture B Data Bits

コンパレータモード時(CCBMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、このレジスタによりコンペアBレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアBバッファに対して行われます。読み出しはコンペアBレジスタから直接行われます。バッファの内容はカウンタがコンペアB信号によってリセットされた時点でコンペアBレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。カウンタも0にリセットされます。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(T16A_ATMB_x入力)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャB割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A6 Ch.x Comparator/Capture Interrupt Enable Registers (T16A_IENx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.x Comparator/Capture Interrupt Enable Register (T16A_IENx)	0x30116a	D15–6	–	reserved	–	–	–	0 when being read.
	0x30117a	D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
	0x30118a	D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
	0x30119a	D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:6] Reserved

D5 CAPBOWIE: Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定するとITCへのキャプチャ Bオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D4 CAPAOWIE: Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定するとITCへのキャプチャ Aオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D3 CAPBIE: Capture B Interrupt Enable Bit

キャプチャ B割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定するとITCへのキャプチャ B割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D2 CAPAIE: Capture A Interrupt Enable Bit

キャプチャ A割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定するとITCへのキャプチャ A割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 CBIE: Compare B Interrupt Enable Bit

コンペアB割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアA割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

T16A6 Ch.x Comparator/Capture Interrupt Flag Registers (T16A_IFLGx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16A6 Ch.x Comparator/ Capture Interrupt Flag Register (T16A_IFLGx)	0x30116c	D15–6	–	reserved	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	–	–	0 when being read.
	0x30117c	D5	CAPBOWIF	Capture B overwrite interrupt flag			0	R/W	Reset by writing 1.
	0x30118c	D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
	0x30119c (16 bits)	D3	CAPBIF	Capture B interrupt flag			0	R/W	
		D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

D[15:6] Reserved

D5 CAPBOWIF: Capture B Overwrite Interrupt Flag Bit

キャプチャ Bオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CAPBOWIFはT16A6割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。CAPBOWIFは1の書き込みによりリセットされます。

D4 CAPAOWIF: Capture A Overwrite Interrupt Flag Bit

キャプチャ Aオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CAPAOWIFはT16A6割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。CAPAOWIFは1の書き込みによりリセットされます。

D3 CAPBIF: Capture B Interrupt Flag Bit

キャプチャ B割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CAPBIFはT16A6割り込みフラグで、カウンタ値がキャプチャ Bレジスタに取り込まれると1にセットされます。CAPBIFは1の書き込みによりリセットされます。

D2 CAPAIF: Capture A Interrupt Flag Bit

キャプチャ A割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CAPAIFはT16A6割り込みフラグで、カウンタ値がキャプチャ Aレジスタに取り込まれると1にセットされます。CAPAIFは1の書き込みによりリセットされます。

D1 CBIF: Compare B Interrupt Flag Bit

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CBIFはT16A6割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag Bit

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAIFはT16A6割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。CAIFは1の書き込みによりリセットされます。

17 16ビットオーディオPWMタイマ (T16P)

17.1 T16Pモジュールの概要

SI3C33L27はPCMデータからPWMパルスを生成する16ビットオーディオPWMタイマ(T16P)を2チャンネル内蔵しています。T16Pで生成したパルスは外部のローパスフィルタに直接出力可能です。これにより、量子化ノイズが除去された音声波形を生成することができます。外部のD/A変換器を使用せずに、ステレオ音声出力システムを容易に実装可能です。

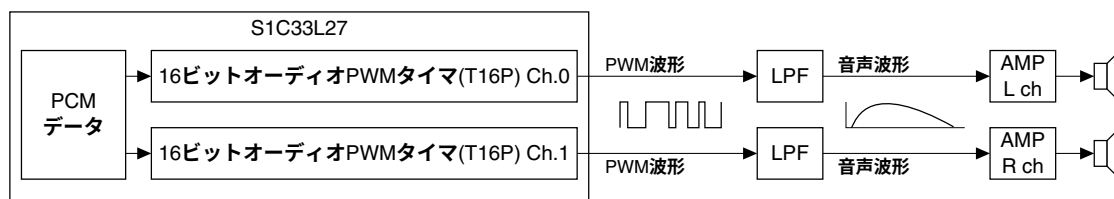


図17.1.1 T16Pによる音声出力回路

音声出力が不要な場合は、T16Pを汎用の16ビットタイマとして使用することもできます。T16Pの主な特長を以下に示します。

- サンプリングレートが8k、16k、22.05k、32k、44.1k、48kHzの8ビットおよび16ビットPCMデータに対応
- 符号付きおよび符号なしPCMデータに対応
- 16ビット音声データの分割モード: 10ビット+6ビット、9ビット+7ビット、または8ビット+8ビット
- パルス幅の精度を向上させるファインモード
- デジタルボリューム機能
- ステレオ出力制御のためのチャンネル同期機能
- プリスケラまたは外部クロックによるプログラマブルなカウントクロック
- パルスの幅(デューティ比)と周期を設定する2つの16ビットデータバッファを内蔵
- 3種類の割り込みを発生可能、DMAを起動可能

図17.1.2にT16Pの構成を示します。

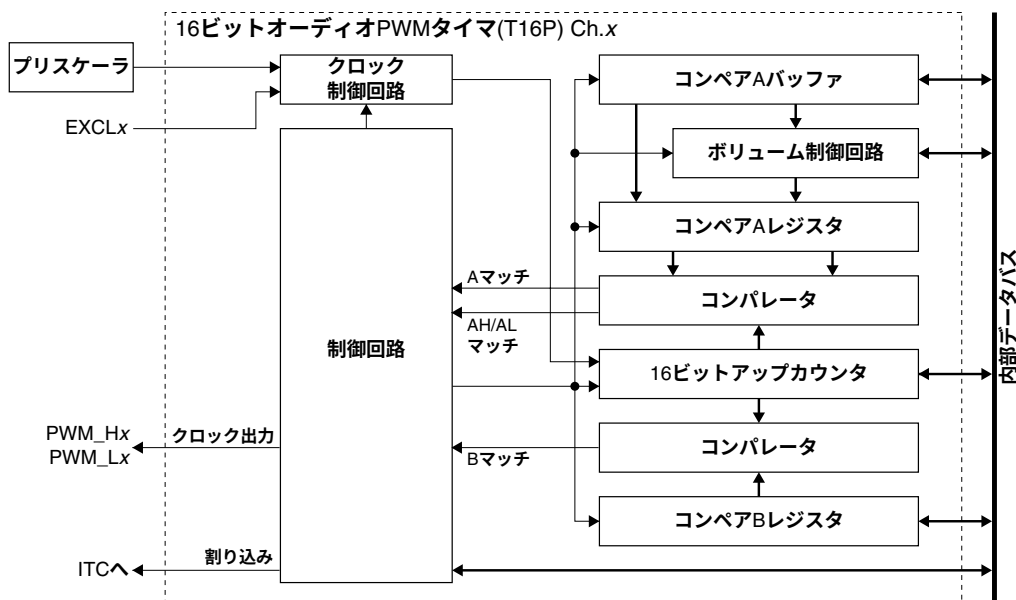


図17.1.2 T16Pモジュールの構成(1チャンネル)

各T16Pチャンネルには16ビットのアップカウンタと、2つの16ビットコンペアデータバッファ/レジスタが設けられています。

16ビットカウンタはソフトウェアで0にリセット可能で、プリスケアラの出力クロックまたはEXCLx端子から入力する外部信号でカウントアップを行います。

コンペアAバッファはデータ(PCMデータ)の格納に使用します。格納されたデータがコンペアAレジスタにロードされ、カウンタ値との比較により出力パルス幅が決定します。ボリューム制御回路はコンペアAバッファ内のPCMデータがコンペアAレジスタにロードされる前に、ソフトウェアで指定されたボリュームレベルを掛けて音量を1/64から127/64に調整します。

コンペアBバッファはパルス周期を決めるデータを格納します。格納されたデータはコンペアBレジスタにロードされてカウンタ値と比較されます。

カウンタ値が比較値と一致するとタイマ出力信号が反転し、PWM波形が生成されます。

1つのチャンネルのレジスタで2チャンネルを同時に制御可能なチャンネル同期機能が、ステレオ出力のために搭載されています。

注: T16Pモジュールの両チャンネルは、制御レジスタのアドレスを除き同じ機能を持っていますので、本章内の説明は両チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0または1)を表します。

例: T16P_CTLxレジスタ

Ch.0: T16P_CTL0 register

Ch.1: T16P_CTL1 register

17.2 T16P入出力端子

表17.2.1にT16Pモジュールの入出力端子を示します。

表17.2.1 T16P端子一覧

端子名	I/O	本数	機 能
EXCL0(Ch.0) EXCL1(Ch.1)	I	2	T16P外部クロック入力端子 カウントクロックとして使用する外部クロックを入力します。 EXCL0端子はT16A6 Ch.0と1の外部クロック入力端子としても使用されます。 EXCL1端子はT16A6 Ch.2と3の外部クロック入力端子としても使用されます。
PWM_H0(Ch.0) PWM_H1(Ch.1)	O	2	PWM信号出力端子 分割モード: PCMデータの上位ビットから生成したPWM信号を出力します。 通常モード: PCMデータから生成したPWM信号を出力します。
PWM_L0(Ch.0) PWM_L1(Ch.1)	O	2	PWM信号出力端子 分割モード: PCMデータの下部ビットから生成したPWM信号を出力します。 通常モード: 初期出力レベルに固定されます。(または使用しません。)

T16Pの入出力端子(EXCLx、PWM_Hx、PWM_Lx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16Pの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

17.3 T16P動作条件の設定

T16Pの動作を開始させる前に、以下の設定を行ってください。

1. カウントクロックを選択します。(17.3.1節参照)
2. PCMデータ(解像度、符号付き/なしデータ形式)を設定します。(17.3.2節参照)
3. 動作モード(分割モード、ファインモード)を選択します。(17.3.3節参照)
4. PWM出力条件(信号初期レベル)を設定します。(17.3.4節参照)
5. ボリュームレベルを初期設定します。(17.4.4節参照)
6. 割り込み/DMA条件を設定します。(17.5節参照)
7. T16Pをリセットします。(17.4.1節参照)
8. T16Pの入出力端子を設定します。(17.2節参照)
9. T16Pをスタートさせます。(17.4.2節参照)

17.3.1 カウントクロック

カウントクロックとして内部クロックまたは外部クロックのどちらを使用するか、CLKSEL/T16P_CTLxレジスタで選択できます。CLKSELが0(デフォルト)の場合は内部クロックが、CLKSELを1に設定するとEXCLx端子から入力される外部クロックが使用されます。

外部クロックを使用する場合、そのクロック周期はCPU動作クロックの2サイクル以上とする必要があります。

内部クロックを使用する場合は、プリスケアラ(PSC Ch.2)がPCLKクロックを1/1～1/4,096に分周して生成する13種類の中から、使用するクロックをCLKDIV[3:0]/T16P_CLKxレジスタで選択します。

表17.3.1.1 内部クロック (PCLK分周比) の選択

CLKDIV[3:0]	分周比	CLKDIV[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	Reserved	0x6	1/64
0xd	Reserved	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定はカウント停止中に行ってください。

PSC Ch.2の制御については、“プリスケアラ(PSC)”の章を参照してください。

17.3.2 PCMデータの設定

PCMデータを扱うために必要なデータの解像度と形式を指定します。

データ解像度

T16Pは8ビットおよび16ビットのPCMデータに対応しています。この解像度をRESSEL/T16P_CTLxレジスタで選択します。RESSELが1(デフォルト)の場合は16ビットが選択され、RESSELを0に設定すると8ビットが選択されます。

注: • 16ビットの音声データは0x301200および0x301210番地(CMPA[15:0]/T16P_Axレジスタ)に16ビットサイズで書き込む必要があります。

- 8ビットの音声データは0x301201および0x301211番地(CMPA[15:8]/T16P_Axレジスタ)に8ビットサイズで書き込む必要があります。また、8ビット音声データ (RESSEL = 0)を扱うには、8ビット + 8ビット分割モードを選択してください。PWM/パルスはPWM_Hx端子から出力され、PWM_Lx端子はINITOLで設定されているレベルに固定されます。この場合、PWM_Lx端子はGPIOまたは他の機能に使用可能です。

データ形式

T16Pは符号付きおよび符号なしPCMデータに対応しています。このデータ形式をSGNSEL/T16P_CTLxレジスタで選択します。SGNSELが1(デフォルト)の場合は符号付きデータ形式が選択され、SGNSELを0に設定すると符号なしデータ形式が選択されます。

注: 符号付き音声データを選択した場合、16ビットおよび8ビット音声データのどちらもCMPA15/T16P_Axレジスタが符号ビットとして扱われます。

17.3.3 動作モードの選択

分割モード

16ビットPCMデータは2つのデータに分割して扱うことができます。分割モードはSPLTMD[1:0]/T16P_CTLxレジスタで選択します。

表17.3.3.1 分割モードの選択

SPLTMD[1:0]	分割モード
0x3	10ビット + 6ビット分割モード
0x2	9ビット + 7ビット分割モード
0x1	8ビット + 8ビット分割モード
0x0	16ビット通常モード

(デフォルト: 0x0)

分割モードを選択すると、コンペアAデータの上位ビット(上位10、9、または8ビット)と下位ビット(下位6、7、または8ビット)がそれぞれカウンタデータと比較され、この2つの比較結果により2つのPWM信号が生成されます。上位データビットから生成されたPWM信号はPWM_Hx端子から出力され、下位データビットから生成されたもう一方の信号はPWM_Lx端子から出力されます。分割モードまたは8ビットPCMデータ解像度を選択した場合、コンペアA割り込みは発生しません。

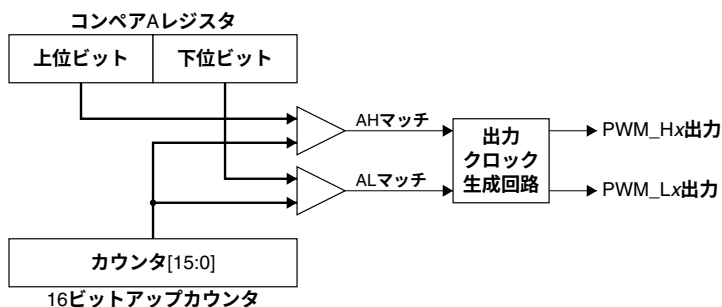


図17.3.3.1 分割モード

通常モード選択時(SPLTMD[1:0] = 0x0)は、16ビットPCM(コンペアA)データが16ビットカウンタデータと比較され生成されたPWM信号はPWM_Hx端子から出力されます。PWL_Lx出力機能を有効にしている場合、PWM_Lx端子は初期出力レベルに固定されます。通常モードと16ビットPCMデータ解像度を選択している場合、カウンタがコンペアAデータに一致した時点でコンペアA割り込みを発生させることができます。

注: T16Pを16ビットタイマとして使用する場合はSPLTMD[1:0]を0x0(16ビット通常モード)に設定してください。オーディオ出力に使用する場合は、SPLTMD[1:0]をオーディオサンプリングレートに合わせ、0x1(8ビット + 8ビット)、0x2(9ビット + 7ビット)、または0x3(10ビット + 6ビット)の分割モードに設定してください。

ファインモード

通常、コンペアAデータはカウントクロックの立ち上がりエッジでカウンタデータと比較されます。T16Pをファインモードに設定すると、比較はカウントクロックの立ち上がりおよび立ち下りの両エッジで行われます。これにより、コンペアAデータは1/2として扱われることになります。

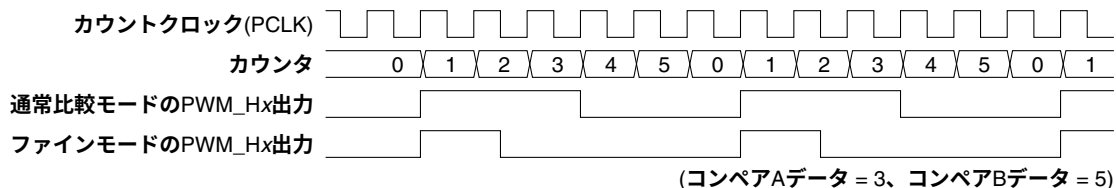


図17.3.3.2 ファインモード

ファインモードはパルス幅の精度を向上させます。ただし、このモードで使用可能なカウントクロックはPCLK/1のみです。CLKSELとCLKDIV[3:0]の設定は無効となります。

T16Pをファインモードにするには、SELFM/T16P_CTLxレジスタを1に設定します。

ファインモードは、コンペアBデータで決まるパルス周期には影響を与えません。

注: ファインモードに設定されたT16PでAマッチ割り込みを使用する場合、CMPB[15:0]の最大値は $2^{15} - 1 (= 32,767)$ に、CMPA[15:0]の設定可能範囲は $0 \sim (2 \times \text{CMPB}[15:0] - 1)$ に制限されます。ただし、Aマッチ割り込みを禁止してT16PをPWMパルスの生成のみに使用する場合、この制限はありません。

17.3.4 PWM出力条件の設定

初期出力レベル

T16Pをスタートする前の端子機能をT16P用に切り換えた時点、あるいはT16Pを停止もしくはリセットした時点でPWM_HxおよびPWM_Lx出力は初期出力レベルになります。このときの初期出力レベルをINITOL/T16P_CTLxレジスタで選択します。INITOLが0(デフォルト)の場合、初期出力レベルはLowです。INITOLを1に設定すると、初期出力レベルはHighになります。

注: 端子機能をT16P用に切り換える前に、必ずINITOLを設定し、さらにT16Pをリセット(PRESETを1に設定)してください。

17.4 T16Pの制御と動作

17.4.1 T16Pのリセット

PRESET/T16P_CTLxレジスタに1を書き込むことでT16Pはリセットされます。この操作によってリセットされる内容は以下のとおりです。

- カウンタ(CNT_DATA[15:0]/T16P_CNT_DATAxレジスタ)が0x0にリセットされます。
- Bマッチカウンタが0x0にリセットされます。
- 初期ボリュームレベル(VOLSEL[6:0]/T16P_VOL_CTLxレジスタ)がボリューム制御回路にセットされます。
- コンペアAおよびコンペアBバッファ/レジスタ(CMPA[15:0]/T16P_Axレジスタ、CMPB[15:0]/T16P_Bxレジスタ)が0x0にリセットされます。
- バッファエンプティフラグ(BUFEF/T16P_INTxレジスタ)が1に設定されます。(割り込みなし)
- 他の割り込みフラグがすべて0にリセットされ、割り込み要求は解除されます。
- DMA要求が発生していた場合は解除されます。
- PWM出力がINITOL/T16P_CTLxレジスタで設定した初期出力レベルになります。

注: GPIO端子をPWM_HxおよびPWM_Lx端子に切り換える前、およびPRUN/T16P_RUNxレジスタを1に設定してT16Pをスタートさせる前には、必ずT16Pをリセットしてください。

17.4.2 RUN/STOP制御

T16Pをスタートさせるには、PRUN/T16P_RUNxレジスタに1を書き込みます。

ただし、PRUNに1を書き込む前に必ずT16Pをリセットして(PRESET/T16P_CTLxレジスタに1を書き込んで)ください。リセットによってバッファエンプティフラグが1にセットされますが、バッファエンプティ割り込みが許可されていても、この時点で割り込み要求やDMA要求は発生しません。PRUNに1を書き込むことでT16Pのバッファエンプティ割り込みやDMA要求が発生可能となりますので、そこで発生した割り込みの処理ルーチン、あるいはDMAによって最初の音声データをバッファに書き込むことができます。

注: PRUNに1を書き込んでもバッファが空の場合、T16Pは実際にはスタートしません。T16Pは割り込みまたはDMAによってバッファにデータが書き込まれるとスタートします。

動作中のT16Pを停止するには、PRUNに0を書き込みます。コンペアデータバッファ/レジスタとカウンタは停止した時点の値を保持します。PWM出力はINITOLで設定されているレベルに固定されます。なお、T16PはBマッチ状態が(BCNT[3:0] + 1)回発生するまで停止しない場合がありますので、注意してください。

17.4.3 コンペアデータの設定

コンペアAバッファ

コンペアAバッファ(CMPA[15:0]/T16P_Axレジスタ)は出力パルス幅(デューティ比)の指定に使用します。出力する音声データをこのバッファに設定してください。タイマがカウントを開始すると、あるいはBマッチが指定回数発生すると、バッファのデータがコンペアAレジスタに送られ、カウンタ値と比較されます。パルス周期が始まる時点と、カウンタがコンペアAレジスタのコンペアデータと一致した時点で出力信号レベルが反転します。

17 16ビットオーディオPWMタイマ(T16P)

この動作により、コンペアAバッファに設定した音声データがパルス幅に変換されます。コンペアAバッファに書き込まれたデータがコンペアAレジスタに送られると、バッファエンプティ割り込みフラグ(BUFEF/T16P_INTxレジスタ)が1にセットされます。また、この割り込み要因によってDMA転送を開始させることもできます。割り込みまたはDMA転送により、次に出力するデータをコンペアAバッファに設定することができます。カウンタ値がコンペアAデータに一致するとAマッチ割り込みフラグ(INTAF/T16P_INTxレジスタ)が1にセットされ、Aマッチ割り込みが許可されていれば、この時点で割り込みが発生します。分割モードで動作中あるいは8ビットのPCMデータ解像度を選択している場合、この割り込みは発生しません。コンペアAデータで設定されるパルス幅は次のようになります。

通常比較モード時(SELFM/T16P_CTLxレジスタ = 0)

出力パルス幅 = $CMPA \times \text{カウントクロック周期}$

(CMPA: 通常モード時はCMPA[15:0]、分割モード時はCMPA[15:n]またはCMPA[(n-1):0])

ファインモード時(SELFM = 1)

出力パルス幅 = $CMPA \times PCLK周期 \times 1/2$

(CMPA: 通常モード時はCMPA[15:0]、分割モード時はCMPA[15:n]またはCMPA[(n-1):0])

8ビット音声データは CMPA[15:8]に8ビットサイズで書き込みます。

コンペアBバッファとBマッチカウンタ

コンペアBバッファ(CMPB[15:0]/T16P_Bxレジスタ)はパルス周期の指定に使用します。バッファのデータはコンペアBレジスタに送られ、カウンタ値と比較されます。カウンタ値がコンペアBレジスタ内の比較データに一致すると(Bマッチ)、出力信号が反転します。Bマッチが発生すると、カウンタは0x0にリセットされ、次のパルス周期を開始します。この動作により、指定したコンペアBデータに従ったパルス周期が生成されます。

カウンタ値がコンペアBデータに一致すると、Bマッチ割り込みフラグ(INTBF/T16P_INTxレジスタ)が1にセットされ、Bマッチ割り込みが許可されていれば、この時点で割り込みが発生します。

T16Pの制御回路にはサンプリングレートを設定するためにBマッチカウンタ(BCNT[3:0]/T16P_CTLxレジスタ)が内蔵されています。BCNT[3:0]には0~15の値を設定します。Bマッチが(BCNT[3:0] + 1)回発生すると、コンペアAおよびBバッファのデータがコンペアAおよびBレジスタにロードされ、新たなサンプリング周期を開始します。

コンペアBデータで設定されるパルス周期は次のようになります。

出力パルス周期 = $(CMPB[15:0] + 1) \times \text{カウントクロック周期}$

サンプリング周期 = $(CMPB[15:0] + 1) \times \text{カウントクロック周期} \times (BCNT[3:0] + 1)$

17.4.4 ボリューム制御

T16Pはボリューム制御機能を持っています。この機能を使用するにはVOLBPS/T16P_VOL_CTLxレジスタを0に設定します。ボリューム制御回路はコンペアAバッファに格納されているPCMデータがコンペアAレジスタにロードされる際に、PCMデータにVOLSEL[6:0]/T16P_VOL_CTLxレジスタで設定されているボリュームレベルを掛けてボリューム調整を行います。指定可能なボリューム調整範囲は1/64~127/64で、ミュートも可能です。

表17.4.4.1 ボリュームレベルの設定

VOLSEL[6:0]	ボリュームレベル
0x7f	× 127/64
0x7e	× 126/64
⋮	⋮
0x40	× 64/64
⋮	⋮
0x2	× 2/64
0x1	× 1/64
0x0	× 0(ミュート)

(デフォルト: 0x40)

VOLBPSを1(デフォルト)に設定するとボリューム制御回路はバイパスされ、コンペアAデータは直接コンペアAレジスタに送られます。8ビットPCMデータを使用する場合は、VOLBPSを1に設定してボリューム制御回路をバイパスしてください。

表17.4.4.2 ボリューム制御付き/なし出力データ

入力PCMデータ	ボリューム制御回路使用時	ボリューム制御回路バイパス時
符号付き16ビットデータ: A	$A \times \text{VOLSEL}[6:0] + 0x8000$	$A + 0x8000$
符号なし16ビットデータ: A	$A \times \text{VOLSEL}[6:0]$	A

ボリューム調整後の出力データは、符号付きおよび符号なしPCMデータのいずれの場合も0x0～0xfffffの範囲に制限されます。

符号付き16ビットPCMデータを入力した場合の出力データは、乗算結果が-32768未満では0x0、乗算結果が+32767を超えると0xfffffになります。

符号なし16ビットPCMデータを入力した場合の出力データは、乗算結果が+65535を超えると0xfffffになります。

注: VOLSEL[6:0]は音声出力中でも変更が可能です。ただし、最初の音声データをボリューム調整付きで出力するには、PRESET/T16P_CTLxレジスタによるリセットの前にVOLSEL[6:0]を設定してください。

17.4.5 チャンネル同期機能

1つのチャンネルのレジスタで2つのT16Pチャンネルを同時に制御可能なチャンネル同期機能が、ステレオ出力を制御するために搭載されています。

チャンネル同期機能を有効/無効に設定するCHSYNC/T16P_CTLxレジスタが各チャンネルに用意されています。CHSYNCを1に設定すると、そのT16Pチャンネルはもう一方のチャンネルに同期して動作します。この場合、以下の制御ビットは無効となり、もう一方のチャンネルのレジスタで制御されます。

- VOLBPS/T16P_VOL_CTLxレジスタ(ボリュームコントロールイネーブル)
- VOLSEL[6:0]/T16P_VOL_CTLxレジスタ(ボリュームレベル設定)
- PRUN/T16P_RUNxレジスタ(タイマRUN/STOP)

表17.4.5.1 チャンネル同期制御

CHSYNC設定		制御	
Ch.0	Ch.1	Ch.0	Ch.1
1	1	Ch.1レジスタにより制御	Ch.0レジスタにより制御
1	0	Ch.1レジスタにより制御	Ch.1レジスタにより制御
0	1	Ch.0レジスタにより制御	Ch.0レジスタにより制御
0	0	Ch.0レジスタにより制御	Ch.1レジスタにより制御

イニシャルリセット後、チャンネル同期機能は無効になります。

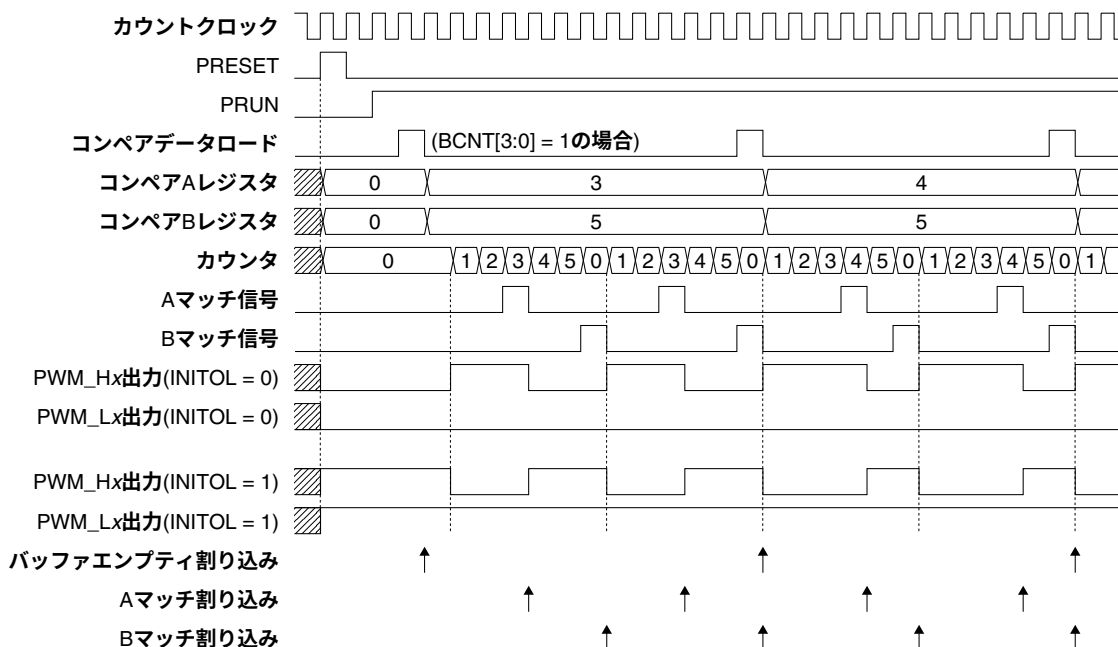
注: T16P Ch.0の割り込み/DMA要求はCh.1よりも優先順位が高く設定されています。ステレオ出力にチャンネル同期機能を使用する場合、T16P Ch.0の割り込み/DMA要求がCh.1より先に受け付けられますので、PCMデータ転送ルーチンを作成する際には左右のデータ順に注意してください。

17.4.6 カウンタ値

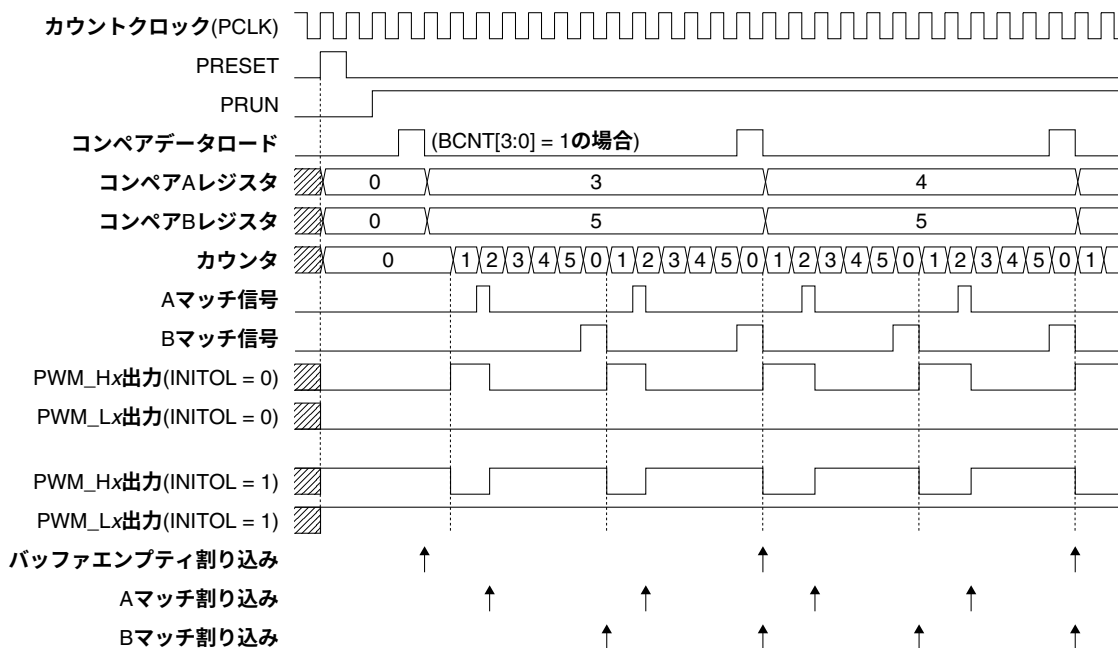
カウンタデータはCNT_DATA[15:0]/T16P_CNT_DATAxレジスタから任意のタイミングで読み出しが可能です。また、CNT_DATA[15:0]に任意のタイミングでカウンタデータを書き込むことができます。これにより、割り込み/タイマ出力の周期を一時的に変更することが可能になります。

17.4.7 タイミングチャート

通常モード



通常 + ファインモード



分割モード

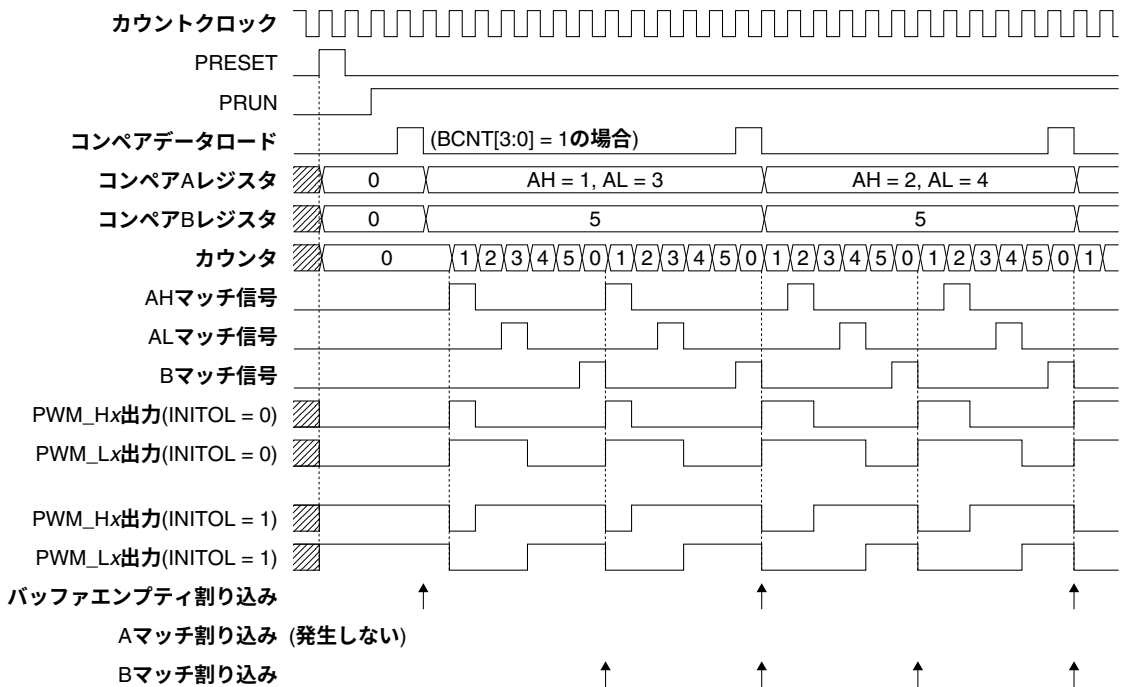


図17.4.7.3 PWM出力タイミングチャート3(分割モード)

分割 + ファインモード

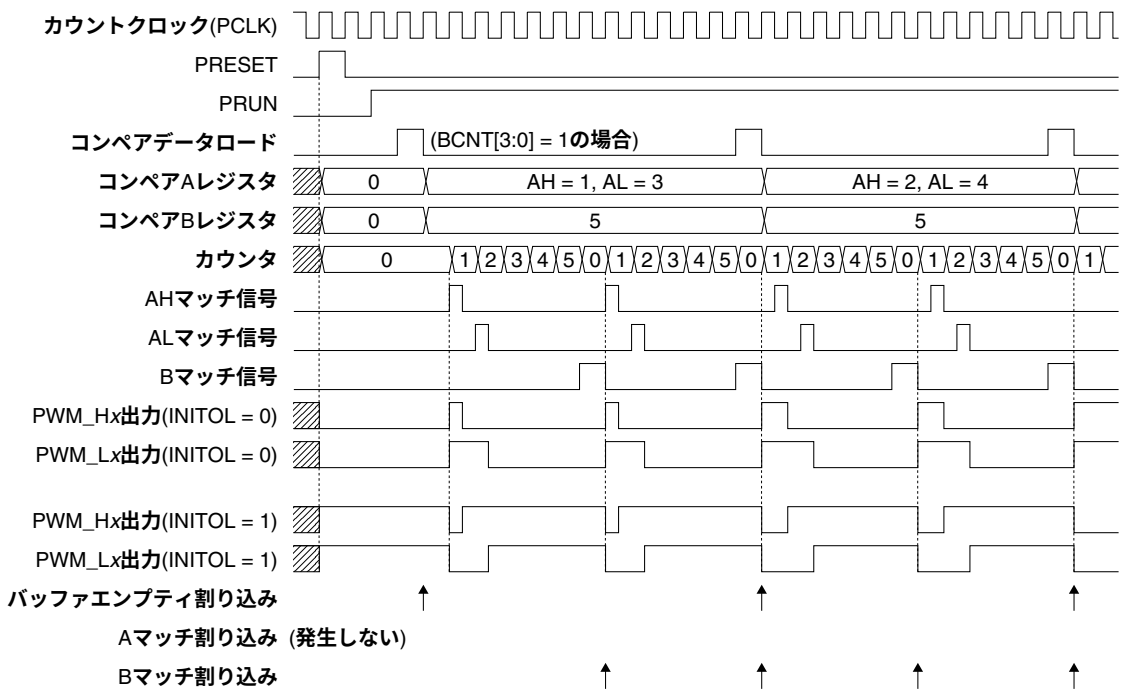


図17.4.7.4 PWM出力タイミングチャート4(分割 + ファインモード)

17.5 T16P割り込みとDMA

ここでは、T16P割り込みとDMAの起動について説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

17.5.1 割り込み

各T16Pチャンネルには、以下の3種類の割り込みを発生させる機能があります。

- バッファエンプティ割り込み
- Aマッチ割り込み
- Bマッチ割り込み

T16Pチャンネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、T16Pチャンネルの割り込みフラグを読み出してください。

バッファエンプティ割り込み

この割り込み要求は、コンペアAバッファのデータがコンペアAレジスタに送られると発生し、T16Pモジュール内の割り込みフラグBUFEF/T16P_INTxレジスタを1にセットします。フラグは1の書き込みによりリセットされます。ただし、コンペアAバッファが空の状態ではリセット後に再度フラグが1にセットされてしまいますので、BUFEFをリセットする前にコンペアAバッファにコンペアデータを書き込んでください。

この割り込みを使用するには、INTBEEN/T16P_INTxレジスタを1に設定します。INTBEENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

注: T16Pのリセット(PRESETへの1書き込み)によってバッファエンプティフラグが1にセットされますが、バッファエンプティ割り込みが許可されていても、この時点で割り込み要求やDMA要求は発生しません。PRUNに1を書き込むことでT16Pのバッファエンプティ割り込みやDMA要求が発生可能となりますので、そこで発生した割り込みの処理ルーチン、あるいはDMAによって最初の音声データをバッファに書き込むことができます。

Aマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアAレジスタの値に一致すると発生し、T16Pモジュール内の割り込みフラグINTAF/T16P_INTxレジスタを1にセットします。

この割り込みを使用するには、INTAEN/T16P_INTxレジスタを1に設定します。INTAENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

分割モードで動作中あるいは8ビットのPCMデータ解像度を選択している場合、INTAFはセットされず、Aマッチ割り込みは発生しません。

Bマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアBレジスタの値に一致すると発生し、T16Pモジュール内の割り込みフラグINTBF/T16P_INTxレジスタを1にセットします。

この割り込みを使用するには、INTBEN/T16P_INTxレジスタを1に設定します。INTBENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16Pモジュールは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

- 割り込み発生後は、割り込み処理ルーチン内で、T16Pモジュール内の割り込みフラグをリセットしてください。

17.5.2 DMA転送

バッファエンプティ割り込み要因によってDMAを起動することができます。これにより、DMACを介してメモリとコンペアAバッファ間の連続的なデータ転送が行えます。バッファエンプティ割り込み信号はITCとDMACの両方に送られます。したがって、T16P割り込みを発生させることなく、DMA転送を行うことができます。

DMA転送の詳細については、“DMAコントローラ (DMAC)”の章を参照してください。

注: T16P Ch.0の割り込み/DMA要求はCh.1よりも優先順位が高く設定されています。ステレオ出力にチャンネル同期機能を使用する場合、T16P Ch.0の割り込み/DMA要求がCh.1より先に受け付けられますので、PCMデータ転送ルーチンを作成する際には左右のデータ順に注意してください。

17.6 制御レジスタ詳細

表17.6.1 T16Pレジスタ一覧

アドレス	レジスタ名		機 能
0x301200	T16P_A0	T16P Ch.0 Compare A Buffer Register	コンペアAデータ
0x301202	T16P_B0	T16P Ch.0 Compare B Buffer Register	コンペアBデータ
0x301204	T16P_CNT_DATA0	T16P Ch.0 Counter Data Register	カウンタデータ
0x301206	T16P_VOL_CTL0	T16P Ch.0 Volume Control Register	ボリューム制御イネーブル、ボリュームレベルの設定
0x301208	T16P_CTL0	T16P Ch.0 Control Register	タイマ動作条件の設定
0x30120a	T16P_RUN0	T16P Ch.0 Running Control Register	タイマのスタート/ストップ
0x30120c	T16P_CLK0	T16P Ch.0 Internal Clock Control Register	内部カウントクロックの選択
0x30120e	T16P_INT0	T16P Ch.0 Interrupt Control Register	T16P割り込み制御
0x301210	T16P_A1	T16P Ch.1 Compare A Buffer Register	コンペアAデータ
0x301212	T16P_B1	T16P Ch.1 Compare B Buffer Register	コンペアBデータ
0x301214	T16P_CNT_DATA1	T16P Ch.1 Counter Data Register	カウンタデータ
0x301216	T16P_VOL_CTL1	T16P Ch.1 Volume Control Register	ボリューム制御イネーブル、ボリュームレベルの設定
0x301218	T16P_CTL1	T16P Ch.1 Control Register	タイマ動作条件の設定
0x30121a	T16P_RUN1	T16P Ch.1 Running Control Register	タイマのスタート/ストップ
0x30121c	T16P_CLK1	T16P Ch.1 Internal Clock Control Register	内部カウントクロックの選択
0x30121e	T16P_INT1	T16P Ch.1 Interrupt Control Register	T16P割り込み制御

以下、T16Pモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16P Ch. x Compare A Buffer Registers (T16P_Ax)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.x Compare A Buffer Register (T16P_Ax)	0x301200 0x301210 (16 bits)	D15-0	CMPA[15:0]	Compare A data CMPA15 = MSB CMPA0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CMPA[15:0]: Compare A Data Bits

パルス幅に変換するコンペアAデータ(PCMデータ)を設定します。(デフォルト: 不定)
タイマがカウントを開始すると、あるいはBマッチが指定回数発生すると、バッファのデータがコンペアAレジスタに送られ、カウンタ値と比較されます。パルス周期が始まる時点と、カウンタがコンペアAレジスタのコンペアデータと一致した時点で出力信号レベルが反転します。この動作により、コンペアAバッファに設定した音声データがパルス幅に変換されます。コンペアAバッファに書き込まれたデータがコンペアAレジスタに送られると、バッファエンプティ割り込みフラグ(BUFEF/T16P_INTxレジスタ)が1にセットされます。バッファエンプティ割り込みが許可されていれば、この時点で割り込みが発生します。また、この割り込み要因によってDMA転送を開始させることもできます。割り込みまたはDMA転送により、次に出力するデータをコンペアAバッファに設定することができます。

カウンタ値がコンペアAデータに一致するとAマッチ割り込みフラグ(INTAF/T16P_INTxレジスタ)が1にセットされ、Aマッチ割り込みが許可されていれば、この時点で割り込みが発生します。分割モードで動作中あるいは8ビットのPCMデータ解像度を選択している場合、この割り込みは発生しません。

コンペアAデータで設定されるパルス幅は次のようになります。

通常比較モード時(SELFM/T16P_CTLxレジスタ = 0)

出力パルス幅 = $CMPA \times \text{カウントクロック周期}$

(CMPA: 通常モード時はCMPA[15:0]、分割モード時はCMPA[15:n]またはCMPA[(n-1):0])

ファインモード時(SELFM = 1)

出力パルス幅 = $CMPA \times PCLK\text{周期} \times 1/2$

(CMPA: 通常モード時はCMPA[15:0]、分割モード時はCMPA[15:n]またはCMPA[(n-1):0])

8ビット音声データは CMPA[15:8]に8ビットサイズで書き込みます。

T16P Ch.x Compare B Buffer Registers (T16P_Bx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.x Compare B Buffer Register (T16P_Bx)	0x301202 0x301212 (16 bits)	D15-0	CMPB[15:0]	Compare B data CMPB15 = MSB CMPB0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CMPB[15:0]: Compare B Data Bits

パルス周期に変換するコンペアBデータを設定します。(デフォルト: 不定)

バッファのデータはコンペアBレジスタに送られ、カウンタ値と比較されます。カウンタ値がコンペアBレジスタ内の比較データに一致すると(Bマッチ)、出力信号が反転します。Bマッチが発生すると、カウンタは0x0にリセットされ、次のパルス周期を開始します。この動作により、指定したコンペアBデータに従ったパルス周期が生成されます。

カウンタ値がコンペアBデータに一致すると、Bマッチ割り込みフラグ(INTBF/T16P_INTxレジスタ)が1にセットされ、Bマッチ割り込みが許可されていれば、この時点で割り込みが発生します。

Bマッチが(BCNT[3:0] + 1)回発生すると、コンペアAおよびBバッファのデータがコンペアAおよびBレジスタにロードされ、新たなサンプリング周期を開始します。

コンペアBデータで設定されるパルス周期は次のようになります。

出力パルス周期 = $(CMPB[15:0] + 1) \times \text{カウントクロック周期}$

サンプリング周期 = $(CMPB[15:0] + 1) \times \text{カウントクロック周期} \times (BCNT[3:0] + 1)$

T16P Ch.x Counter Data Registers (T16P_CNT_DATAx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.x Counter Data Register (T16P_CNT_DATAx)	0x301204 0x301214 (16 bits)	D15-0	CNT_DATA [15:0]	Counter data CNT_DATA15 = MSB CNT_DATA0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CNT_DATA[15:0]: Counter Data Bits

カウンタのデータが読み出せます。(デフォルト: 不定)

また、このレジスタへの書き込みにより、データをカウンタに設定することができます。

Bマッチが発生すると、またはPRESET/T16P_CTLxを1に設定してT16P Ch.xをリセットするとカウンタは0x0にリセットされます。

T16P Ch.x Volume Control Registers (T16P_VOL_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
T16P Ch.x Volume Control Register (T16P_VOL_ CTLx)	0x301206	D15–8	–	reserved	–		–	–	0 when being read		
	0x301216 (16 bits)	D7	VOLBPS	Volume control enable	1	Disable	0	Enable	1	R/W	Effective only for 16-bit data
		D6–0	VOLSEL [6:0]	Volume level select	VOLSEL[6:0]		Volume level		0x40	R/W	
					0x7f	× 127/64					
					0x7e	× 126/64					
					:	:					
					0x40	× 64/64					
					:	:					
					0x2	× 2/64					
					0x1	× 1/64					
0x0	× 0 (mute)										

注: CHSYNC/T16P_CTLxレジスタが1(チャンネル同期有効)に設定されている場合、本レジスタは無効です。この場合のボリュームレベルはもう一方のチャンネルのT16P_VOL_CNTxレジスタで制御されます。

D[15:8] Reserved

D7 **VOLBPS: Volume Control Enable Bit**

ボリューム制御機能を有効/無効にします。

1(R/W): 無効(バイパス) (デフォルト)

0(R/W): 有効

VOLBPSを0に設定すると、ボリューム制御回路はコンペアAバッファに格納されているPCMデータがコンペアAレジスタにロードされる際に、PCMデータにVOLSEL[6:0]で設定されているボリュームレベルを掛けてボリューム調整を行います。

ボリューム制御が不要な場合はVOLBPSを1に設定してください。

注: 8ビットPCMデータを使用する場合は、VOLBPSを1に設定してボリューム制御回路をバイパスしてください。

D[6:0] **VOLSEL[6:0]: Volume Level Select Bits**

ボリューム制御機能を有効にしている場合にボリュームレベルを選択します。

表17.6.2 ボリュームレベルの設定

VOLSEL[6:0]	ボリュームレベル
0x7f	× 127/64
0x7e	× 126/64
⋮	⋮
0x40	× 64/64
⋮	⋮
0x2	× 2/64
0x1	× 1/64
0x0	× 0(ミュート)

(デフォルト: 0x40)

T16P Ch.x Control Registers (T16P_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16P Ch.x Control Register (T16P_CTLx)	0x301208 0x301218 (16 bits)	D15–12	BCNT[3:0]	B match count	0x0 to 0xf		0x0	R/W	
		D11	RESSEL	PCM data resolution select	1 16 bits	0 8 bits	1	R/W	
		D10	SGNSEL	PCM data format select	1 Signed	0 Unsigned	1	R/W	
		D9–8	SPLTMD [1:0]	Split mode select	SPLTMD[1:0]	Split mode	0x0	R/W	
					0x3	10 bits + 6 bits			Effective only for 16-bit data
					0x2	9 bits + 7 bits			
					0x1	8 bits + 8 bits			
					0x0	Normal (16 bits)			
		D7	CHSYNC	Channel sync enable	1 Enable	0 Disable	0	R/W	
		D6	SELFMD	Fine mode select	1 Fine mode	0 Normal	0	R/W	
		D5	–	reserved	–		–	–	0 when being read.
		D4	INITOL	Initial output level select	1 High	0 Low	0	R/W	
		D3	CLKSEL	Input clock select	1 External	0 Internal	0	R/W	
		D2	–	reserved	–		–	–	0 when being read.
		D1	PRESET	T16P reset	1 Reset	0 Ignored	0	W	
		D0	–	reserved	–		–	–	

D[15:12] BCNT[3:0]: B Match Count Bits

Bマッチカウンタを設定します。(デフォルト: 0x0)

Bマッチが(BCNT[3:0] + 1)回発生すると、コンペアAおよびBバッファのデータがコンペアAおよびBレジスタにロードされます。

D11 RESSEL: PCM Data Resolution Select Bit

PCMデータの解像度を選択します。

1(R/W): 16ビット(デフォルト)

0(R/W): 8ビット

注: • 8ビットのPCMデータ解像度を選択した場合、Aマッチ割り込みは発生しません。

- 16ビットの音声データは0x301200および0x301210番地(CMPA[15:0]/T16P_Axレジスタ)に16ビットサイズで書き込む必要があります。
- 8ビットの音声データは0x301201および0x301211番地(CMPA[15:8]/T16P_Axレジスタ)に8ビットサイズで書き込む必要があります。また、8ビット音声データ(RESSEL = 0)を扱うには、8ビット + 8ビット分割モードを選択してください。PWMパルスはPWM_Hx端子から出力され、PWM_Lx端子はINITOLで設定されているレベルに固定されます。この場合、PWM_Lx端子はGPIOまたは他の機能に使用可能です。

D10 SGNSSEL: PCM Data Format Select Bit

PCMデータの形式を選択します。

1(R/W): 符号付きデータ(デフォルト)

0(R/W): 符号なしデータ

注: 符号付き音声データを選択した場合、16ビットおよび8ビット音声データのどちらもCMPA15/T16P_Axレジスタが符号ビットとして扱われます。

D[9:8] SPLTMD[1:0]: Split Mode Select Bits

16ビットPCMデータを扱うための分割モードを選択します。

表17.6.3 分割モードの選択

SPLTMD[1:0]	分割モード
0x3	10ビット + 6ビット分割モード
0x2	9ビット + 7ビット分割モード
0x1	8ビット + 8ビット分割モード
0x0	16ビット通常モード

(デフォルト: 0x0)

分割モードを選択すると、上位ビット(上位10、9、または8ビット)と下位ビット(下位6、7、または8ビット)がそれぞれカウンタデータと比較され、この2つの比較結果により2つのPWM信号が生成されます。上位データビットから生成されたPWM信号はPWM_Hx端子から出力され、下位データビットから生成されたもう一方の信号はPWM_Lx端子から出力されます。分割モードまたは8ビットPCMデータ解像度を選択した場合、コンペアA割り込みは発生しません。

注: SPLTMD[1:0]は8ビットPCMデータには影響を与えません。

D7 CHSYNC: Channel Sync Enable Bit

チャネル同期機能を有効/無効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

CHSYNCを1に設定すると、そのT16Pチャネルはもう一方のチャネルに同期して動作します。この場合、T16P_VOL_CTLxレジスタとT16P_RUNxレジスタは無効となり、もう一方のチャネルのレジスタで制御されます。CHSYNCを0に設定すると、T16Pチャネルはそのチャネル自身のレジスタで制御されます。

表17.6.4 チャンネル同期制御

CHSYNC設定		制御	
Ch.0	Ch.1	Ch.0	Ch.1
1	1	Ch.1レジスタにより制御	Ch.0レジスタにより制御
1	0	Ch.1レジスタにより制御	Ch.1レジスタにより制御
0	1	Ch.0レジスタにより制御	Ch.0レジスタにより制御
0	0	Ch.0レジスタにより制御	Ch.1レジスタにより制御

D6 SELFM: Fine Mode Select Bit

T16Pをファインモードに設定します。

1(R/W): ファインモード

0(R/W): 通常比較モード(デフォルト)

通常比較モードでは、コンペアAデータがカウントクロックの立ち上がりエッジでカウンタデータと比較されます。T16Pをファインモードに設定すると、比較はカウントクロックの立ち上がりおよび立ち下りの両エッジで行われます。これにより、コンペアAデータは1/2として扱われることになります。

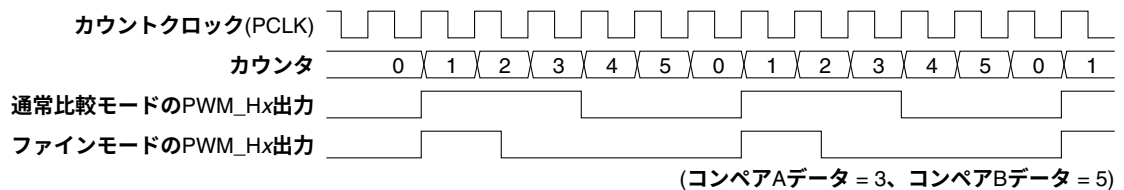


図17.6.1 ファインモード

ファインモードはパルス幅の精度を向上させます。ただし、このモードで使用可能なカウントクロックはPCLK/1のみです。CLKSELとCLKDIV[3:0]の設定は無効となります。ファインモードは、コンペアBデータで決まるパルス周期には影響を与えません。

注: ファインモードに設定されたT16PでAマッチ割り込みを使用する場合、CMPB[15:0]の最大値は $2^{15} - 1 (= 32,767)$ に、CMPA[15:0]の設定可能範囲は $0 \sim (2 \times \text{CMPB}[15:0] - 1)$ に制限されます。ただし、Aマッチ割り込みを禁止してT16PをPWMパルスの生成のみに使用する場合、この制限はありません。

D5 Reserved**D4 INITOL: Initial Output Level Select Bit**

PWM_Hx、PWM_Lx端子の初期出力レベルを選択します。

1(R/W): High

0(R/W): Low(デフォルト)

T16Pをスタートする前の端子機能をT16P用に切り換えた時点、あるいはT16Pを停止もしくはリセットした時点でPWM_HxおよびPWM_Lx出力は初期出力レベルになります。INITOLが0の場合、初期出力レベルはLowです。INITOLを1に設定すると、初期出力レベルはHighになります。

注: 端子機能をT16P用に切り換える前に、必ずINITOLを設定し、さらにT16Pをリセット(PRESETを1に設定)してください。

D3 CLKSEL: Input Clock Select Bit

T16Pの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

CLKSELを0に設定すると、カウントクロックとして内部クロック(プリスケアラ出力)が選択されます。CLKSELを1に設定すると外部クロック(EXCLx端子から入力)が選択されます。外部クロックを使用する場合、そのクロック周期はCPU動作クロックの2サイクル以上とする必要があります。

D2 Reserved

D1 PRESET: T16P Reset Bit

T16Pをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

PRESETを1に設定することによるリセット内容は以下のとおりです。

- ・カウンタ(CNT_DATA[15:0]/T16P_CNT_DATAxレジスタ)が0x0にリセットされます。
- ・Bマッチカウンタが0x0にリセットされます。
- ・初期ボリュームレベル(VOLSEL[6:0]/T16P_VOL_CTLxレジスタ)がボリューム制御回路にセットされます。
- ・コンペアAおよびコンペアBバッファレジスタ(CMPA[15:0]/T16P_Axレジスタ、CMPB[15:0]/T16P_Bxレジスタ)が0x0にリセットされます。
- ・バッファエンプティフラグ(BUFEF/T16P_INTxレジスタ)が1に設定されます。(割り込みなし)
- ・他の割り込みフラグがすべて0にリセットされ、割り込み要求は解除されます。
- ・DMA要求が発生していた場合は解除されます。
- ・PWM出力がINITOLで設定した初期出力レベルになります。

注: GPIO端子をPWM_HxおよびPWM_Lx端子に切り換える前、およびPRUN/T16P_RUNxレジスタを1に設定してT16Pをスタートさせる前には、必ずT16Pをリセットしてください。

D0 Reserved**T16P Ch.x Running Control Registers (T16P_RUNx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.x Running Control Register (T16P_RUNx)	0x30120a	D15-1	—	reserved	—	—	—	0 when being read.
	0x30121a (16 bits)	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: CHSYNC/T16P_CTLxレジスタが1(チャンネル同期有効)に設定されている場合、本レジスタは無効です。この場合のタイマのスタート/ストップはもう一方のチャンネルのT16P_RUNxレジスタで制御されます。

D[15:1] Reserved**D0 PRUN: Timer Run/Stop Control Bit**

T16Pをスタート/ストップします。

1(R/W): RUN

0(R/W): STOP(デフォルト)

T16Pをスタートさせるには、PRUNに1を書き込みます。

ただし、PRUNに1を書き込む前に必ずT16Pをリセットして(PRESET/T16P_CTLxレジスタに1を書き込んで)ください。リセットによってバッファエンプティフラグが1にセットされますが、バッファエンプティ割り込みが許可されていても、この時点で割り込み要求やDMA要求は発生しません。PRUNに1を書き込むことでT16Pのバッファエンプティ割り込みやDMA要求が発生可能となりますので、そこで発生した割り込みの処理ルーチン、あるいはDMAによって最初の音声データをバッファに書き込むことができます。

動作中のT16Pを停止するには、PRUNに0を書き込みます。コンペアデータバッファレジスタとカウンタは停止した時点の値を保持します。PWM出力はINITOLで設定されているレベルに固定されます。なお、T16PはBマッチ状態が(BCNT[3:0] + 1)回発生するまで停止しない場合がありますので、注意してください。

T16P Ch.x Internal Clock Control Registers (T16P_CLKx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16P Ch.x Internal Clock Control Register (T16P_CLKx)	0x30120c 0x30121c (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	CLKDIV [3:0]	Counter clock division ratio select (Prescaler output clock)	CLKDIV[3:0]	Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf–0xd	reserved			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

D[15:4] Reserved

D[3:0] CLKDIV[3:0]: Counter Clock Division Ratio Select Bits

内部クロックを使用する場合に、カウントクロック (PCLKクロック分周比) を13種類のプリスケアラ出力クロックから選択します。

表17.6.5 内部クロック (PCLK分周比) の選択

CLKDIV[3:0]	分周比	CLKDIV[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	Reserved	0x6	1/64
0xd	Reserved	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定はカウント停止中に行ってください。

- T16Pをファインモードに設定した場合、PCLKがそのままカウントクロックとして使用され、CLKDIV[3:0]は無効となります。

T16P Ch.x Interrupt Control Registers (T16P_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.x Interrupt Control Register (T16P_INTx)	0x30120e 0x30121e (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10	BUFEF	Buffer empty interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	1	R/W
		D9	INTBF	B match interrupt flag			0	R/W
		D8	INTAF	A match interrupt flag			0	R/W
		D7-3	—	reserved	—	—	—	0 when being read.
		D2	INTBEEN	Buffer empty interrupt enable	1 Enable	0 Disable	0	R/W
		D1	INTBEN	B match interrupt enable	1 Enable	0 Disable	0	R/W
		D0	INTAEN	A match interrupt enable	1 Enable	0 Disable	0	R/W

D[15:11] Reserved

D10 BUFEF: Buffer Empty Interrupt Flag Bit

バッファエンプティ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり (デフォルト)

0(R): 割り込み要因なし

1(W): フラグをリセット

0(W): 無効

BUFEFはT16P割り込みフラグで、コンペアAバッファのデータがコンペアAレジスタに送られると1にセットされます。BUFEFは1の書き込みによりリセットされます。ただし、コンペアAバッファが空の状態ではリセット後に再度フラグが1にセットされてしまいますので、BUFEFをリセットする前にコンペアAバッファにコンペアデータを書き込んでください。

BUFEFのイニシャルリセット時の値は不定です。ただし、BUFEFがイニシャルリセット時に1に設定された状態で、バッファエンプティ割り込みを許可しても、PRUN/T16P_RUNxレジスタを1に設定してT16Pをスタートさせるまでバッファエンプティ割り込み要求は発生しません。

D9 INTBF: B match Interrupt Flag Bit

Bマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

INTBFはT16P割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。INTBFは1の書き込みによりリセットされます。

D8 INTAF: A match Interrupt Flag Bit

Aマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

INTAFはT16P割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。INTAFは1の書き込みによりリセットされます。

D[7:3] Reserved

D2 INTBEEN: Buffer Empty Interrupt Enable Bit

バッファエンプティ割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

INTBEENを1に設定するとITCへのバッファエンプティ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 INTBEN: B Match Interrupt Enable Bit

Bマッチ割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

INTBENを1に設定するとITCへのBマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 INTAEN: A Match Interrupt Enable Bit

Aマッチ割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

INTAENを1に設定するとITCへのAマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

18.3 WDT動作クロック

ウォッチドッグタイマモジュールは、CMUから供給されるPCLK(= システムクロック)で動作します。イニシャルリセット時は、このクロックがウォッチドッグタイマのカウントクロックとしても選択されます。クロックの生成と制御については、“クロックマネージメントユニット(CMU)”の章を参照してください。

注: ウォッチドッグタイマのカウントクロックとして外部クロックを使用する場合も、PCLKはウォッチドッグタイマの動作および制御レジスタへのアクセスに必要です。

18.4 ウォッチドッグタイマの制御

18.4.1 ウォッチドッグタイマの設定

カウントクロックの選択

30ビットのアップカウンタを内部クロック(PCLK)で動作させるか、外部クロック(WDT_EXCL)で動作させるかをCLKSEL/WD_ENレジスタで選択できます。

CLKSELが0(デフォルト)の場合は内部クロック(PCLK)が、1に設定すると外部クロック(WDT_EXCL)が選択されます。

NMI/リセット発生周期の設定

NMI/リセットを発生させる周期を設定するために、30ビットの比較データレジスタ(CMPDTC[29:0]/WD_CMP_L/Hレジスタ)が設けられています。

CMPDTC[29:0]に設定したデータはアップカウンタ値と比較され、アップカウンタ値が比較値と一致すると、指定されたNMI信号またはリセット信号が出力されるようになっています。アップカウンタも、この時点で0にリセットされます。

NMI/リセット発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CMPDTC} + 1}{f_{\text{WDTIN}}} \text{ [秒]}$$

CMPDTC: CMPDTC[29:0]の設定値

f_{WDTIN}: 入力クロック(PCLKまたはWDT_EXCL)周波数 [Hz]

注: 比較データレジスタには0x1f以下の値を設定しないでください。

NMI/リセット発生機能の選択

指定の周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するにはNMIEN/WD_ENレジスタを1に、リセット信号を出力するにはRESEN/WD_ENレジスタを1に設定します。

両方を0にした場合(デフォルト)、アップカウンタは動作可能でクロック出力も可能ですが、NMIまたはリセットは発生しません。

両方を1に設定すると、NMIとリセット信号が両方出力されます。ただし、優先順位の高いリセット処理が実行されます。

NMI信号とリセット信号は、どちらもシステムロックの32サイクル幅のパルスとして出力されます。

注: カウンタと比較データレジスタの値によっては、ここでNMIまたはリセット機能をイネーブルにした後に(あるいはウォッチドッグタイマをスタートしていない場合でも)、NMIまたはリセットが発生する場合があります。NMIENまたはRESENに1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマレジスタの書き込み保護

不要な書き込みによるNMIやリセットの発生を防止するため、WD_EN、WD_CMP_L、WD_CMP_Hレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、WDPTC[15:0]/WD_PROTECTレジスタに0x96を書き込んで(16ビットアクセスのみ)、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDPTC[15:0]に0x96以外の値を書き込み、書き込み保護を設定してください。

18.4.2 ウォッチドッグタイマのスタート/ストップ

ウォッチドッグタイマはRUNSTP/WD_ENレジスタに1を書き込むことでカウントを開始し、0を書き込むと停止します。

RUNSTPも書き込み保護が設定されたWD_ENレジスタにありますので、内容を変更する前にWDPTC[15:0]/WD_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。

18.4.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマのNMI/リセット発生機能を使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI/リセット発生周期以内で処理されるようにしてください。ウォッチドッグタイマはWDRESEN/WD_CTLレジスタに1を書き込むことでリセットされます。この時点でアップカウンタが0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、処理ルーチンを実行します。

アップカウンタのカウント値は、CTRDT[29:0]/WD_CNT_L/Hレジスタから任意のタイミングで読み出し可能です。

18.4.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にNMIEN/WD_ENレジスタおよびRESEN/WD_ENレジスタを0に設定するか、RUNSTP/WD_ENレジスタに0を書き込んでウォッチドッグタイマを停止させてください。NMIENまたはRESENによりNMIまたはリセットに発生を禁止した場合、ウォッチドッグタイマはHALTモード時もカウントを継続します。HALTモードを解除後にNMIまたはリセットの発生を許可する際には、その前にウォッチドッグタイマをリセットしてください。ウォッチドッグタイマを停止させてHALTモードに移行した場合も、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はCMUからのPCLKの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じNMIENおよびRESENによってNMI/リセットの発生を禁止状態に設定してください。

18.4.5 ウォッチドッグタイマのクロック出力

ウォッチドッグタイマはNMI/リセット発生周期のクロックをIC外部に出力することができます。

この出力を行うにはWDT_CLK端子を設定した上で、CLKEN/WD_ENレジスタを1に設定します。

CLKENも書き込み保護が設定されたWDT_ENレジスタにありますので、内容を変更する前にWDPTC[15:0]/WD_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。

ウォッチドッグタイマがソフトウェアでリセットされない場合、クロック出力はNMI発生周期でレベルが反転します。(リセットの発生を禁止している場合)

ソフトウェアでウォッチドッグタイマがリセットされると、クロック出力はその時点でLowレベルになります。

18 ウォッチドッグタイマ(WDT)

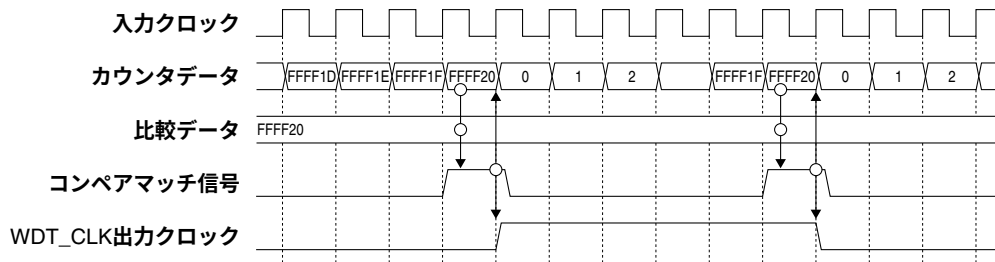


図18.4.5.1 ウォッチドッグタイマのクロック出力

18.4.6 NMI外部出力

ウォッチドッグタイマは生成したNMI信号をIC外部に出力することができます。出力には#WDT_NMI端子を使用します。NMIEN/WD_ENレジスタを1に設定すると、NMIの内部出力に加え外部出力も有効となります。ウォッチドッグタイマのカウンタが比較データの値になると、#WDT_NMI端子から32入力クロックサイクルのLowパルスが出力されます。

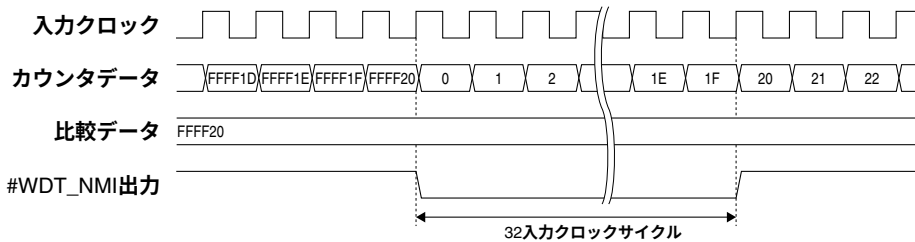


図18.4.6.1 NMI外部出力

18.5 制御レジスタ詳細

表18.5.1 WDTレジスタ一覧

アドレス	レジスタ名		機能
0x301000	WD_PROTECT	WDT Write Protect Register	WDTレジスタ書き込み保護の設定/解除
0x301002	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
0x301004	WD_CMP_L	WDT Comparison Data L Register	比較データ
0x301006	WD_CMP_H	WDT Comparison Data H Register	
0x301008	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
0x30100a	WD_CNT_H	WDT Count Data H Register	
0x30100c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット

以下、ウォッチドッグタイマのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- WD_PROTECTレジスタ(0x301000)は16ビットアクセスのみ有効です。他のレジスタ(0x301002～0x30100c)は16ビットアクセスに加え、8ビットアクセスも可能です。

WDT Write Protect Register (WD_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_PROTECT)	0x301000 (16 bits)	D15–0	WDPTC [15:0]	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x301002–0x301006). Writing another value set the write protection.	X	W	0 when being read.

D[15:0] WDPTC[15:0]: WDT Register Write Protect Flag Bits

アドレス0x301002～0x301006の書き込み保護を設定/解除します。

0x96(W): 書き込み保護を解除

0x96以外(W): 書き込み保護を設定(デフォルト: 不定)

0x0(R): 読み出し時は常時0x0

WDT_EN、WDT_CMP_L、WDT_CMP_Hレジスタを変更する前に、WDPTC[15:0]に0x96を書き込んで書き込み保護を解除してください。WDPTC[15:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度WDPTC[15:0]に0x96を書き込むと、それ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。WDT_EN、WDT_CMP_L、WDT_CMP_Hレジスタの設定後は、誤書き込み等を防止するため、WDPTC[15:0]を0x96以外に設定してください。

WDT Enable and Setup Register (WD_EN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
WDT Enable and Setup Register (WD_EN)	0x301002 (16 bits)	D15–7	—	reserved	—			—	—	0 when being read.	
		D6	CLKSEL	WDT input clock select	1	External clk	0	Internal clk	0	R/W	Write-protected
		D5	CLKEN	WDT clock output control	1	On	0	Off	0	R/W	
		D4	RUNSTP	WDT Run/Stop control	1	Run	0	Stop	0	R/W	
		D3–2	—	reserved	—			—	—	0 when being read.	
		D1	NMIEN	WDT NMI enable	1	Enable	0	Disable	0	R/W	Write-protected
		D0	RESEN	WDT RESET enable	1	Enable	0	Disable	0	R/W	

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタには書き込み保護が設定されています。レジスタを書き換えるには、WDPTC[15:0]/WD_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDPTC[15:0]に0x96を書き込み、書き込み保護を設定してください。

D[15:7] Reserved**D6 CLKSEL: WDT Input Clock Select Bit**

ウォッチドッグタイマのカウントクロックを選択します。

1(R/W): 外部クロック(WDT_EXCL)

0(R/W): 内部クロック(PCLK) (デフォルト)

本ビットが0(デフォルト)の場合は内部クロック(PCLK)が、1に設定すると外部クロック(WDT_EXCL)が選択されます。

D5 CLKEN: WDT Clock Output Control Bit

ウォッチドッグタイマのクロック出力を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定すると、NMI/リセット発生周期のクロックが出力されます。

D4 RUNSTP: WDT Run/Stop Control Bit

ウォッチドッグタイマをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

NMIまたはリセット発生機能を有効にしている場合は、不要なNMIまたはリセットの発生を防ぐため、ウォッチドッグタイマをスタートする前に必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

D[3:2] Reserved**D1 NMIEN: WDT NMI Enable Bit**

ウォッチドッグタイマによるNMI信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

18 ウォッチドッグタイマ(WDT)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でNMI信号(システムクロックの32サイクル幅のパルス)をCMUと#WDT_NMI端子に出力します。本ビットを0に設定した場合、NMI信号は出力されません。
本ビットの設定にかかわらず、アップカウンタが比較データレジスタの設定値と一致するとアップカウンタは0にリセットされ、カウントを継続します。

D0 RESEN: WDT RESET Enable Bit

ウォッチドッグタイマによる内部リセット信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でリセット信号(システムクロックの32サイクル幅のパルス)をCMUに出力します。本ビットを0に設定した場合、リセット信号は出力されません。

WDT Comparison Data L/H Registers (WD_CMP_L, WD_CMP_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Comparison Data L Register (WD_CMP_L)	0x301004 (16 bits)	D15-0	CMPDT [15:0]	WDT comparison data CMPDT0 = LSB	0x0 to 0x3fffff (low-order 16 bits)	0x0	R/W	Write-protected
WDT Comparison Data H Register (WD_CMP_H)	0x301006 (16 bits)	D15-14 D13-0	— CMPDT [29:16]	reserved WDT comparison data CMPDT29 = MSB	— 0x0 to 0x3fffff (high-order 14 bits)	— 0x0	— R/W	0 when being read. Write-protected

注: 不要な書き込みによるNMIやリセットの発生を防止するため、これらのレジスタには書き込み保護が設定されています。レジスタを書き換えるには、WDPTC[15:0]/WD_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDPTC[15:0]に0x96を書き込み、書き込み保護を設定してください。

D[13:0]/0x301006, D[15:0]/0x301004

CMPDT[29:0]: WDT Comparison Data Bits

比較データを設定します。(デフォルト: 0x0)

NMI/リセット発生周期をこれらのレジスタで設定します。

NMIまたはリセットの発生が許可されていれば、アップカウンタがこれらのレジスタに設定した比較データに一致した時点でNMIまたはリセット信号が出力されます。

ウォッチドッグタイマからクロック出力を行う場合も、出力クロックの周期がこれらのレジスタで設定されます。

注: 比較データとして0x1f以下の値を設定しないでください。

WDT Count Data L/H Registers (WD_CNT_L, WD_CNT_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Count Data L Register (WD_CNT_L)	0x301008 (16 bits)	D15-0	CTRD [15:0]	WDT counter data CTRD0 = LSB	0x0 to 0x3fffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	0x30100a (16 bits)	D15-14 D13-0	— CTRD [29:16]	reserved WDT counter data CTRD29 = MSB	— 0x0 to 0x3fffff (high-order 14 bits)	— X	— R	0 when being read.

D[13:0]/0x30100a, D[15:0]/0x301008

CTRD[29:0]: WDT Counter Data Bits

30ビットアップカウンタの値が読み出せます。(デフォルト: 不定)

WDT Control Register (WD_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Control Register (WD_CTL)	0x30100c (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	WDRESEN	WDT reset	1 Reset 0 ignored	0	W	

D[15:1] Reserved**D0 WDRESEN: WDT Reset Bit**

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

NMIまたはリセット信号出力を許可している場合は、設定したNMI/リセット発生周期以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

19 UART

19.1 UARTモジュールの概要

S1C33L27は、外部シリアルデバイスとの非同期データ転送を行うUARTを内蔵しています。UARTモジュールの主な機能と特長を以下に示します。

- ・ 転送レート: 150～460,800bps (IrDAモードでは150～115,200bps)
- ・ 転送クロック: 内部クロック (T8F Ch.5出力) または外部クロック (SCLK入力) を選択可能
- ・ データ長: 7または8ビット (LSB先頭)
- ・ パリティモード: 偶数、奇数、パリティなし
- ・ ストップビット: 1または2ビット
- ・ スタートビット: 1ビット固定
- ・ 全二重通信をサポート
- ・ 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ・ 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- ・ パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- ・ 受信バッファフル、送信バッファエンpty、受信エラー割り込みを発生可能

図19.1.1に、UARTの構成を示します。

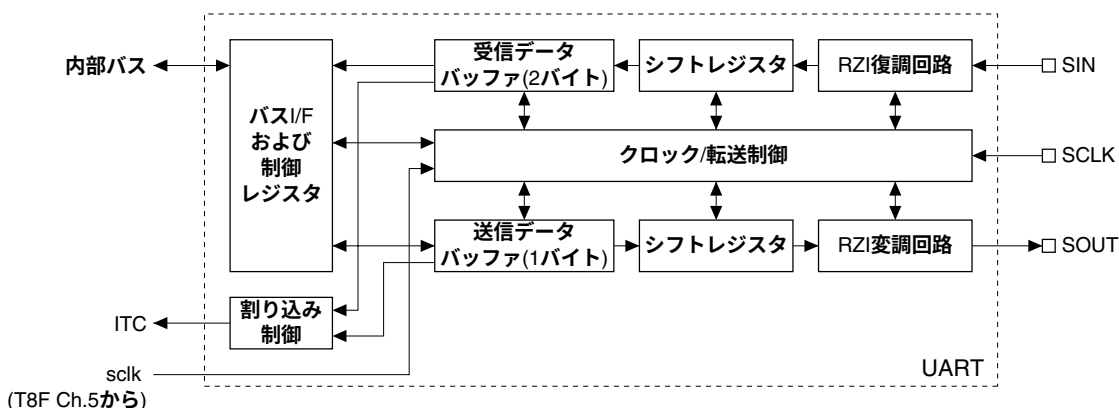


図19.1.1 UARTの構成

19.2 UART入出力端子

表19.2.1にUARTモジュールの入出力端子の一覧を示します。

表19.2.1 UART端子一覧

端子名	I/O	本数	機能
SIN	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTモジュールの入出力端子 (SIN、SOUT、SCLK) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート (GPIO)”の章を参照してください。

19.3 転送クロック

UARTの転送クロックは、SSCK/UART_MODレジスタを使用して内部クロックまたは外部クロックのいずれかを選択可能です。

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UARTはT8F Ch.5の出力クロックを転送クロックとして使用します。したがって、転送レートに合ったクロックを出力するようにT8F Ch.5をプログラムしておく必要があります。

T8F Ch.5の制御については、“ファインモード8ビットタイマ(T8F)”の章を参照してください。

外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、SCLK端子から外部クロックを入力してください。

注: • UARTはT8F Ch.5の出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

例: 転送レート = 115,200bps、システムクロック = 48MHz、DF[3:0]/T8F_CLK5レジスタ設定(T8F Ch.5) = 1/1

$$f_{\text{SOURCE}} = f_{\text{SYS\_CLK}} \times \text{DF} / (\text{TR} + 1)$$

$$\text{bps} = f_{\text{SOURCE}} / 16$$

$$\text{TR} = (f_{\text{SYS\_CLK}} \times \text{DF}) / (\text{bps} \times 16) - 1 = 48,000,000 \times 1 / (115,200 \times 16) - 1 = 25$$

f_{SOURCE}: T8F Ch.5出力クロック周波数[Hz]

f_{SYS_CLK}: システムクロック周波数[Hz]

bps: 転送レート[bps]

DF: DF[3:0]/T8F_CLK5レジスタ(T8F Ch.5)で設定された分周比

TR: T8F_TR5レジスタ(T8F Ch.5)に設定するリロード値

- SCLK端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。

19.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

データ長

データ長は、CHLN/UART_MODレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はSTPB/UART_MODレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、PREN/UART_MODレジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART_MODレジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

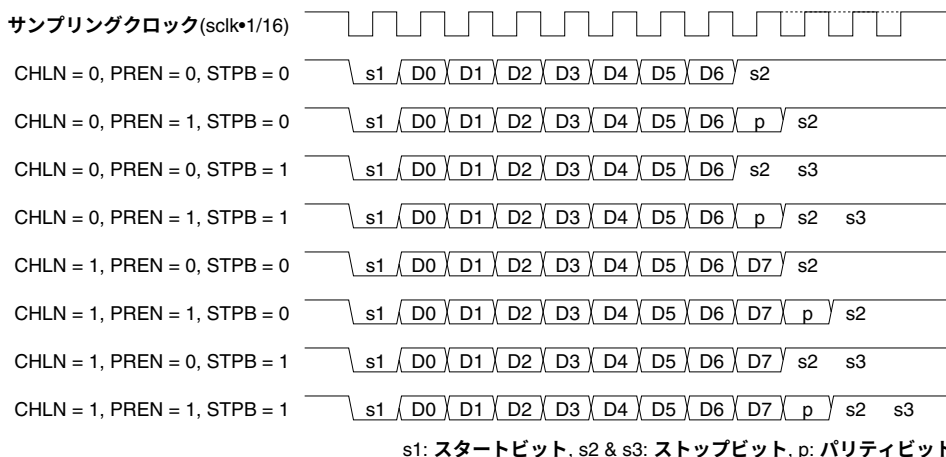


図19.4.1 転送データ形式

19.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。19.3節を参照してください。
- 転送クロックを出力するようにT8F Ch.5をプログラムします。T8Fの章を参照してください。
- (2) 転送データ形式を設定します。19.4節を参照してください。
- (3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。19.8節を参照してください。
- (4) UART割り込みを使用する場合は、割り込み条件を設定します。19.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

データ送受信を許可

最初にRXEN/UART_CTLレジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: • UARTが送受信中はRXENを0に設定しないでください。

- 送信のみ、または受信のみを許可することはできません。

データ送信制御

送信を開始するには、TXD[7:0]/UART_TXDレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。

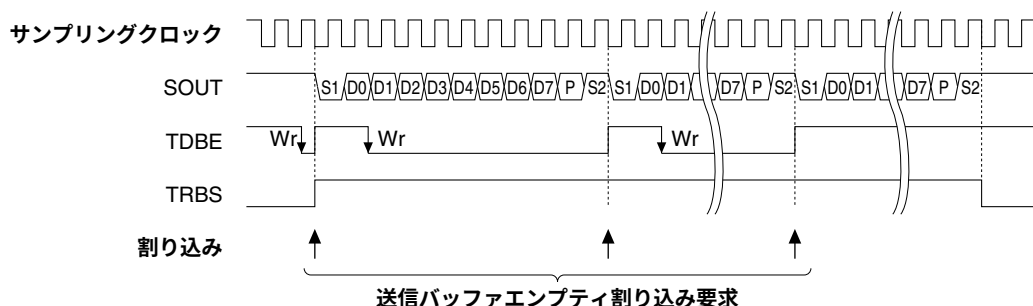
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART_STレジスタとTRBS/UART_STレジスタの、2つのステータスフラグが用意されています。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、送信データバッファとシフトレジスタが別個に用意されているので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。

TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Wr: 送信データバッファへのデータ書き込み

図19.5.1 データ送信タイミングチャート

データ受信制御

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART_RXDレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART_STレジスタとRD2B/UART_STレジスタの2つのバッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりバッファ内のデータはクリアされ、RDRYフラグもリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

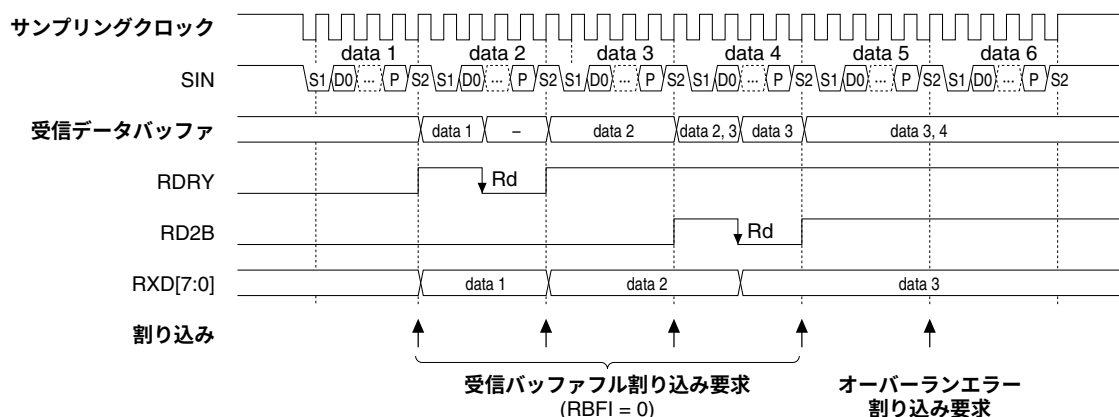
2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、読み出されたバッファデータはクリアされRD2Bフラグもリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

受信バッファが満杯でも、シフトレジスタは8ビットデータをもう1つ受信することができます。この状態でさらに外部シリアルデバイスからデータが送られてくるとオーバーランエラーが発生し、シフトレジスタのデータは新しいデータで上書きされます。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、19.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBF1/UART_CTLレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、19.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図19.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。受信データバッファは空になりません。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

19.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、19.7節を参照してください。

パリティエラー

PREN/UART_MODレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART_MODレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART_STレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。なお、PERフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER/UART_STレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。なお、FERフラグは1を書き込むことによって0にリセットされます。

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER/UART_STレジスタが1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。なお、OERフラグは1を書き込むことによって0にリセットされます。さらに、RXENを0に設定し、RDRYフラグがクリアされるまで受信データバッファを読み出してください。

19.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART_CTLレジスタを1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBE/UART_STレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART_CTLレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF/UART_CTLレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF/UART_CTLレジスタが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN/UART_CTLレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、OER/UART_STレジスタを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

19.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3/16 sclkサイクルに変換された後にSOUT端子から出力されます。

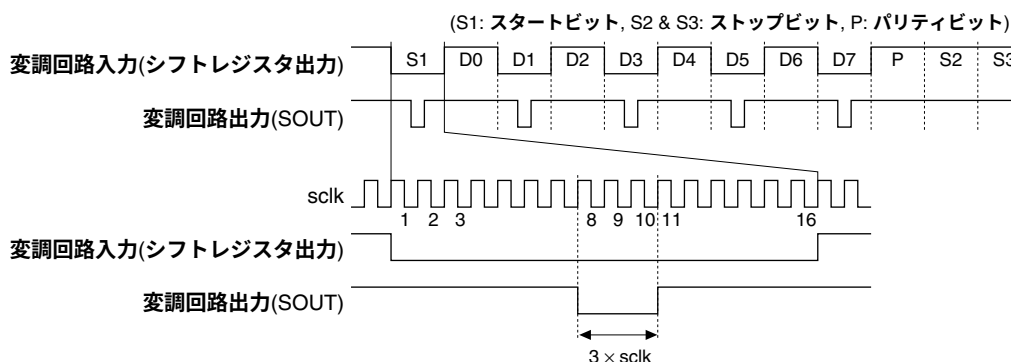


図19.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41μs/115200bps時)を検出するため、復調回路は転送クロックとは別に、プリスケアラ出力クロックから選択したパルス検出クロックを使用します。

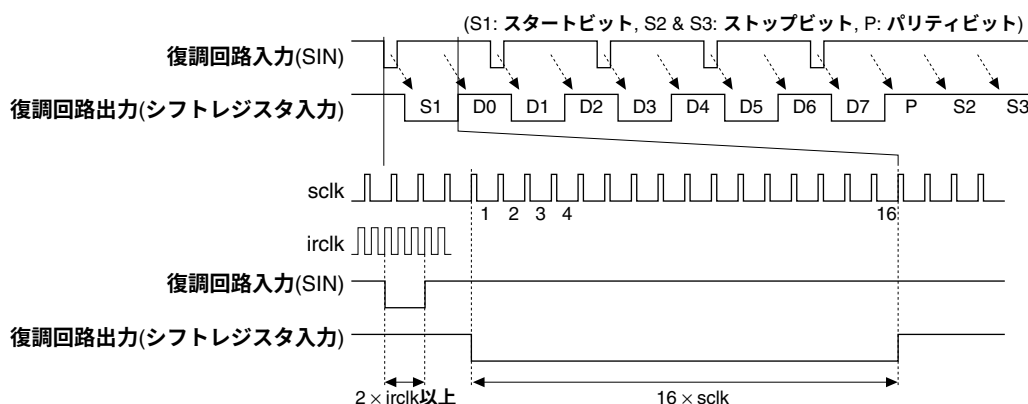


図19.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART_EXPレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0]/UART_EXPレジスタを使用してプリスケアラ出力クロックのPCLK/1～PCLK/128の中から選択します。

表19.8.1 IrDA受信検出クロック (PCLK分周比) の選択

IRCLK[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

このクロックには、T8F Ch.5またはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16sclkサイクル幅のLowパルスに変換します。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

19.9 制御レジスタ詳細

表19.9.1 UARTレジスタ一覧

アドレス	レジスタ名	機能
0x300e10	UART_ST	UART Status Register
0x300e11	UART_TXD	UART Transmit Data Register
0x300e12	UART_RXD	UART Receive Data Register
0x300e13	UART_MOD	UART Mode Register
0x300e14	UART_CTL	UART Control Register
0x300e15	UART_EXP	UART Expansion Register

以下、UARTのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

UART Status Register (UART_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Status Register (UART_ST)	0x300e10 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	FER	Framing error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1 Error 0 Normal	0	R/W	
		D4	OER	Overrun error flag	1 Error 0 Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1 Ready 0 Empty	0	R	
		D2	TRBS	Transmit busy flag	1 Busy 0 Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1 Ready 0 Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	

D7 **Reserved**

D6 **FER: Framing Error Flag Bit**

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART_MODレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。さらに、RXENを0に設定し、RDRYフラグがクリアされるまで受信データバッファを読み出してください。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

UART Transmit Data Register (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x300e11 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り、送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。

7ビットモードでは、TXD7(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

UART Receive Data Register (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	0x300e12 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART_STレジスタとRD2B/UART_STレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF/UART_CTLレジスタで指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

UART Mode Register (UART_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Mode Register (UART_MOD)	0x300e13 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	—	reserved	—	0	—	Do not set to 1.
		D4	CHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	SSCK	Input clock select	1 External 0 Internal	0	R/W	

D[7:6] Reserved

D5 **Reserved**(1に設定しないでください。)

D4 **CHLN: Character Length Select Bit**
シリアル転送データのデータ長を選択します。
1(R/W): 8ビット
0(R/W): 7ビット(デフォルト)

D3 **PREN: Parity Enable Bit**
パリティ機能を有効にします。
1(R/W): パリティ付き
0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 **PMD: Parity Mode Select Bit**
パリティモードを選択します。
1(R/W): 奇数パリティ
0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

D1 **STPB: Stop Bit Select Bit**
ストップビット長を選択します。
1(R/W): 2ビット
0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 **SSCK: Input Clock Select Bit**
入力クロックを選択します。
1(R/W): 外部クロック(SCLK)
0(R/W): 内部クロック(デフォルト)

内部クロック(T8F Ch.5出力クロック)を使用するか、外部クロック(SCLK端子から入力)を使用するか選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

UART Control Register (UART_CTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x300e14 (8 bits)	D7	—	reserved	—			—	—	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3–2	—	reserved	—			—	—	0 when being read.
		D1	RBFI	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W

D7 **Reserved**

D6 **REIEN: Receive Error Interrupt Enable Bit**
受信エラー発生時のITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFiの指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBFi: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFiで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBFiビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STレジスタが1にセットされた)時点で割り込み要求パルスが出力されます。RBFiが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STレジスタが1にセットされた)時点で割り込み要求パルスが出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。受信データバッファは空になりません。

UART Expansion Register (UART_EXP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Expansion Register (UART_EXP)	0x300e15 (8 bits)	D7	—	reserved	—		—	—	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
		0x0	1/1						
D3–1	—	reserved	—		—	—	0 when being read.		
D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W			

D7 Reserved**D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits**

IrDA入力パルス検出クロックとして使用するプリスケアラ出力クロックを選択します。

表19.9.2 IrDA受信検出クロック (PCLK分周比)の選択

IRCLK[2:0]	分周比
0x7	1/128
0x6	1/64
0x5	1/32
0x4	1/16
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

このクロックには、T8F Ch.5またはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41 μ s幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

D[3:1] Reserved**D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

20 ユニバーサルシリアルインタフェース(USI)

20.1 USIモジュールの概要

S1C33L27は、ソフトウェア切り換えによりUART、SPI、I²Cインタフェースに設定可能な3つの通信チャネルを持つユニバーサルシリアルインタフェース(USI)を内蔵しています。

USIの主な特長を以下に示します。

- 5種類のインタフェースモードをサポート: UART、SPIマスタ、SPIスレーブ、I²Cマスタ、I²Cスレーブ
- 3チャネルをそれぞれ異なるインタフェースモードに設定可能
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- MSB先頭/LSB先頭モードに対応
- UARTモード
 - データ長: 7または8ビット
 - パリティモード: 偶数、奇数、パリティなし
 - ストップビット: 1または2ビット
 - スタートビット: 1ビット固定
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- SPIマスタ/スレーブモード
 - データ長: 8または9ビット(マスタモード)、もしくは8ビット固定(スレーブモード)
 - ファスト、ノーマルの両モードに対応(マスタモード)、またはノーマルモードのみに対応(スレーブモード)
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- I²Cマスタ/スレーブモード
 - 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
 - シングルマスタの構成にのみ対応(マスタモード)
 - クロックストレッチ/ウェイト機能に対応
 - 動作完了(スタート/ストップ、データ転送、ACK/NAK転送)割り込み、受信エラー割り込みを発生可能

図20.1.1にUSIモジュールの構成を示します。

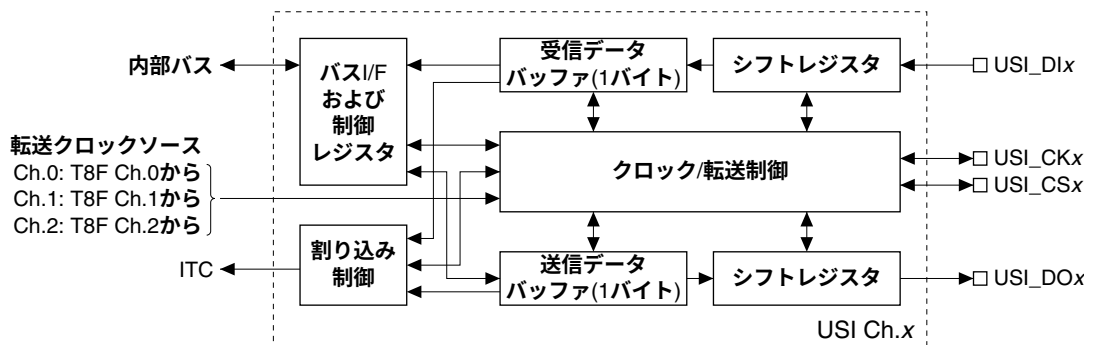


図20.1.1 USIモジュールの構成(1チャネル)

注: USIモジュールの3チャンネルは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はUSIの全チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0～2)を表します。

例: USI_GCFGxレジスタ

Ch.0: USI_GCFG0レジスタ

Ch.1: USI_GCFG1レジスタ

Ch.2: USI_GCFG2レジスタ

20.2 USI端子

表20.2.1にUSI入出力端子の一覧を示します。

表20.2.1 USI端子一覧

端子名	USIモード	信号名	I/O	機能
USI_DI0 (Ch.0)	ソフトウェアリセット	—	I	データ入力端子
USI_DI1 (Ch.1)	UART	uart_rx	I	データ入力端子
USI_DI2 (Ch.2)	SPIマスタ	spi_di	I	外部シリアルデバイスが送信したシリアルデータを入力します。
	SPIスレーブ	spi_di	I	
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子(*1) シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。
	I ² Cスレーブ	i2c_sda	I/O	
USI_DO0 (Ch.0)	ソフトウェアリセット	—	I	データ入力端子
USI_DO1 (Ch.1)	UART	uart_tx	O	データ出力端子
USI_DO2 (Ch.2)	SPIマスタ	spi_do	O	外部シリアルデバイスに送信するシリアルデータを出力します。
	SPIスレーブ	spi_do	O	
	I ² Cマスタ	—	—	未使用
	I ² Cスレーブ	—	—	
USI_CK0 (Ch.0)	ソフトウェアリセット	—	I	データ入力端子
USI_CK1 (Ch.1)	UART	—	—	未使用
USI_CK2 (Ch.2)	SPIマスタ	spi_ck	O	クロック出力端子 SPIクロックを出力します。
	SPIスレーブ	spi_ck	I	クロック入力端子 外部クロックを入力します。
	I ² Cマスタ	i2c_sck	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。また、I ² Cクロックを出力します。
	I ² Cスレーブ	i2c_sck	I/O	
USI_CS0 (Ch.0)	ソフトウェアリセット	—	I	データ入力端子
USI_CS1 (Ch.1)	UART	—	—	未使用
USI_CS2 (Ch.2)	SPIマスタ	—	—	SPIスレーブ選択信号入力端子 この端子へのLow入力により、USI(SPIスレーブモード)がSPIスレーブデバイスとして選択されます。
	SPIスレーブ	#spi_ss	I	
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子(*1) シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。
	I ² Cスレーブ	i2c_sda	I/O	

*1: USIをI²Cマスタまたはスレーブモードに設定した場合、USI_DIx端子またはUSI_CSx端子をデータ入出力端子として使用可能です。ただし、USI_DIxとUSI_CSx端子を両方同時にデータ入出力端子として使用することはできません。

*2: 端子の機能をUSI用に切り換えると、USI_GCFGxレジスタでインタフェースモードを設定するまで、端子はすべて入力に設定されます。端子がUSI用に設定されている状態でUSIのソフトウェアリセットを実行した場合も、端子はすべて入力に設定されます。USIが動作中にソフトウェアリセットを実行する際は、その前に、必要に応じて端子の機能を汎用入出力ポートに切り換えてください。

注: USIをSPIマスタモードで使用する際のスレーブセレクト信号出力には汎用入出力(GPIO)ポートを使用してください。

USIの入出力端子(USI_DIx、USI_DOx、USI_CKx、USI_CSx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUSIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

20.3 USI のクロックソース

動作クロック

USIモジュールは、PCLKを動作クロックとして使用します。したがって、制御レジスタの設定も含め、USIを使用する場合は、CMUからPCLKが供給されている必要があります。PCLKの供給に関しては“クロックマネージメントユニット(CMU)”の章を参照してください。

転送クロック

USI Ch.xをUART、SPIマスタ(ノーマルモード)、またはI²Cマスタとして使用する場合の転送用ソースクロックは8ビットタイマ(T8F Ch.x)から供給されます。転送レートに合わせてT8F Ch.xをプログラムし、ソースクロックをUSIモジュールに供給してください。なお、USIモジュールは、このソースクロックを更に分周して転送クロック(またはサンプリングクロック)を生成します。インタフェースモードによりUSI内部の分周比が異なりますので注意してください。

USIをSPIマスタ(ファストモード)として使用する場合、PCLKがソースクロックとなります。SPIスレーブまたはI²Cスレーブとして使用する場合、転送クロックは外部マスタから入力します。ただし、サンプリング信号を生成するために、SPIスレーブではPCLKが、I²CスレーブではT8F Ch.x出力クロックを使用します。

表20.3.1 USIクロック

クロック	インタフェースモード	ソースクロック
動作クロック	UART	PCLK
	SPIマスタ	PCLK
	SPIスレーブ	PCLK
	I ² Cマスタ	PCLK
	I ² Cスレーブ	PCLK
転送/サンプリング クロックソース (USI内部分周比)	UART	T8F Ch.x(f _{SOURCE} /8)
	SPIマスタ	ノーマルモード: T8F Ch.x(f _{SOURCE} /2) ファストモード: PCLK(f _{PCLK})
	SPIスレーブ	PCLK(f _{PCLK} /4) サンプリング用
	I ² Cマスタ	T8F Ch.x(f _{SOURCE} /8)
	I ² Cスレーブ	T8F Ch.x(f _{SOURCE}) サンプリング用

$$f_{SOURCE} = f_{SYS\_CLK} \times DF / (TR + 1)$$

$$bps = f_{SOURCE} / 8 \text{ (UARTモード、I}^2\text{Cマスタモード)}$$

$$bps = f_{SOURCE} / 2 \text{ (SPIマスタモード)}$$

f_{SOURCE}: T8F Ch.x出力クロック周波数[Hz]

f_{SYS_CLK}: システムクロック周波数[Hz]

bps: 転送レート[bps]

DF: DF[3:0]/T8F_CLKxレジスタ(T8F Ch.x)で設定された分周比

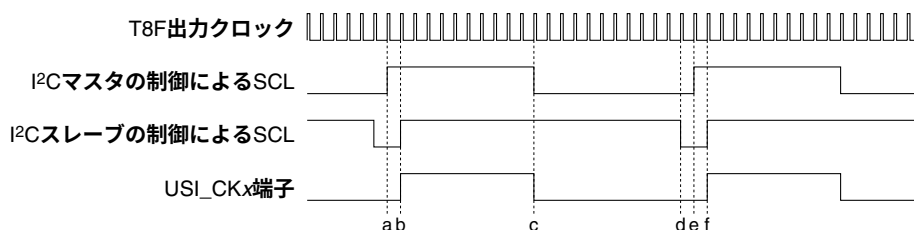
TR: T8F_TRxレジスタ(T8F Ch.x)に設定するリロード値

例: UARTモード、転送レート = 115,200bps、システムクロック = 48MHz、DF[3:0]/T8F_CLKxレジスタ設定(T8F Ch.x) = 1/1

$$TR = (f_{SYS\_CLK} \times DF) / (bps \times 8) - 1 = 48,000,000 \times 1 / (115,200 \times 8) - 1 = 51 \text{ (=0x33)}$$

T8Fモジュールの制御については、“ファインモード8ビットタイマ(T8F)”の章を参照してください。

注: USIをI²Cスレーブモードに設定した場合、i2c_sck(I²Cクロック)は外部I²Cマスタから供給されます。T8F出力クロック周波数(f_{SOURCE})はi2c_sck周波数に合わせて決定してください。

図20.3.1 I²Cスレーブモード時のI²Cクロック

$T_{bf} = T_{i2c\_baud\_rate}$

$T_{bc} = T_{i2c\_baud\_rate\_high}$

$T_{cf} = T_{i2c\_baud\_rate\_low}$

T_{ce} : I²CマスタがSCLラインを占有します (Low駆動)。

T_{ac} : SCLラインはI²Cマスタから解放されます。

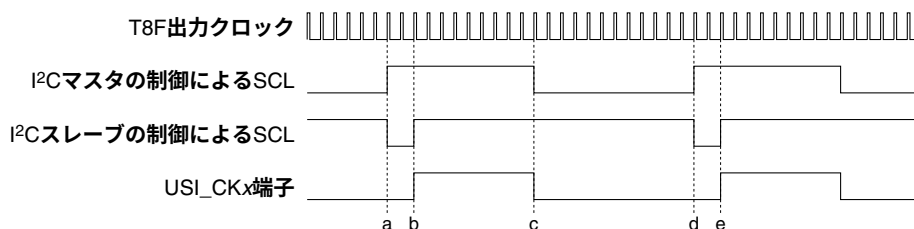
T_{df} : 内部動作を完了させるため、I²CマスタがSCLラインをLowにしたことを検出後、I²CスレーブはSCLラインを2クロックサイクル(T8F出力クロック)の間Lowに駆動して占有します。

T8F出力クロック周波数(f_{SOURCE})は、以下の条件を満たすように設定してください。

$f_{SOURCE} > 3/T_{bc}$

$f_{SOURCE} > 4/T_{ce}$

I²CスレーブのLow駆動により実際のSCL信号が遅れることに注意してください。図20.3.2はタイミングがずれた一例です。

図20.3.2 I²Cクロック遅延の例

20.4 USIモジュールの設定

USIモジュールによるデータ転送を開始する前に、以下の設定を行ってください。

- (1) インタフェースモードに合わせ、使用する端子をUSI用に設定します(20.2節を参照)。
- (2) クロックソースモジュールをプログラムし、必要なクロックをUSIモジュールに供給します(20.3節参照)。
- (3) USIモジュールをリセットします。
- (4) USIのインタフェースモードとモード共通項目(MSB先頭/LSB先頭)を設定します。
- (5) 選択したインタフェースモードのデータ形式や動作条件を設定します。
- (6) 必要に応じ、割り込みとDMA転送の設定を行います(20.7節参照)。

20.4.1 USIモジュールのソフトウェアリセット

USIMOD[2:0]/USI_GCFGxレジスタに0x0を書き込むことで、USIモジュールの回路がリセットされます。USIの他の設定を行う前に、必ずソフトウェアリセットとインタフェースモードの設定を行ってください。ソフトウェアリセットの操作により、全USIレジスタの内容が初期値にリセットされます。

20.4.2 インタフェースモード

USIモジュールは20.1節に示したとおり5種類のシリアルインタフェース機能を持ち、使用するインタフェースをUSIMOD[2:0]/USI_GCFGxレジスタによりチャンネルごとに選択することができます。

表20.4.2.1 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

注: USIの他の設定を行う前に、必ずソフトウェアリセットとインタフェースモードの設定を行ってください。

20.4.3 モード共通項目の設定

MSB先頭/LSB先頭の選択

データのMSBとLSBのどちらを先に入出力するか、LSBFST/USI_UCFGxレジスタで選択します。LSBFSTが0(デフォルト)の場合はLSB先頭、1に設定するとMSB先頭になります。

20.4.4 UARTモード時の設定

UARTモードでは、データ長、ストップビット、パリティビットの設定を行います。スタートビットは1ビットに固定されています。

データ長

データ長は、UCHLN/USI_UCFGxレジスタで選択します。UCHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。UCHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はUSTPB/USI_UCFGxレジスタで選択します。USTPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。USTPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、UPREN/USI_UCFGxレジスタで選択します。UPRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。UPRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、UPMD/USI_UCFGxレジスタでパリティモードを選択します。UPMDを0(デフォルト)に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。UPMDを1に設定すると、偶数パリティとして処理されます。

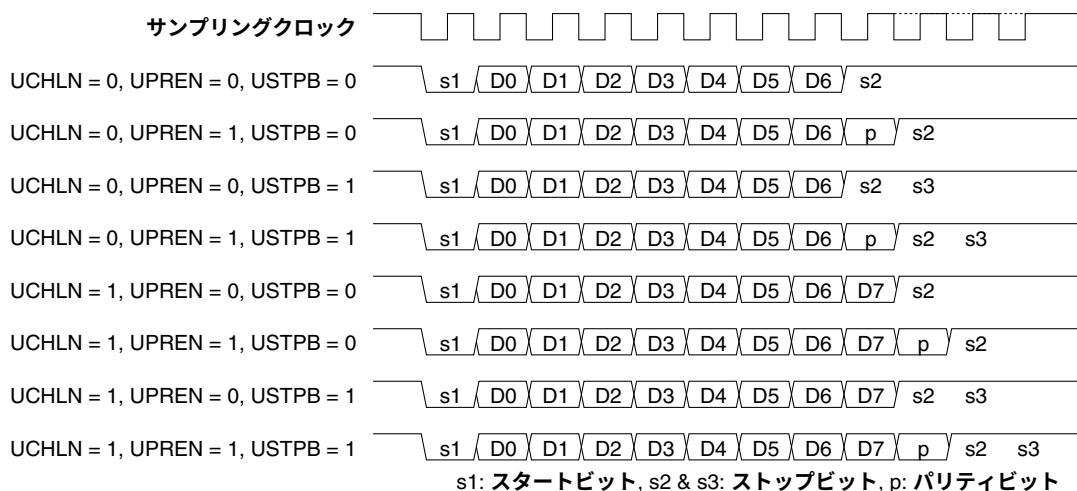


図20.4.4.1 UARTモードの転送データ形式(LSB先頭)

20.4.5 SPIモード時の設定

SPIモード(マスタおよびスレーブ)ではSPIクロックの極性と位相を設定します。SPIマスタモードではクロックモードとデータ長の選択も行います。

SPIスレーブモードのデータ長は8ビットに固定されています。

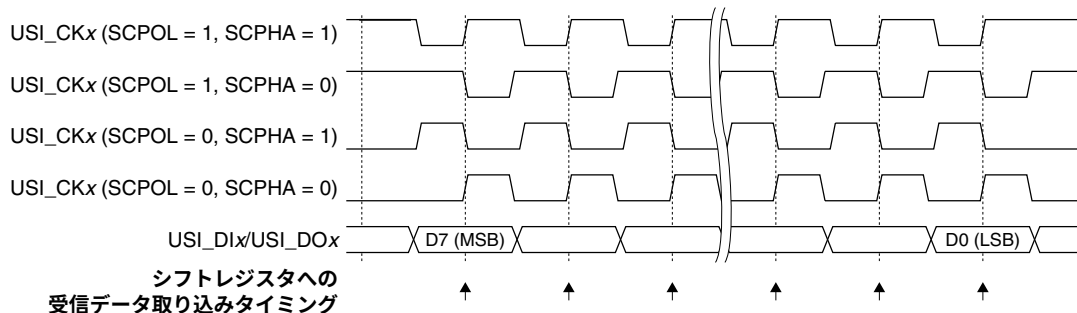
SPIクロック極性と位相の設定(マスタモード、スレーブモード)

SPIクロックの極性は、SCPOL/USI_SCFGレジスタで選択します。SCPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はSCPHA/USI_SCFGxレジスタで選択します。

これらの制御ビットにより、転送タイミングは図20.4.5.1のように設定されます。

マスタモード



スレーブモード

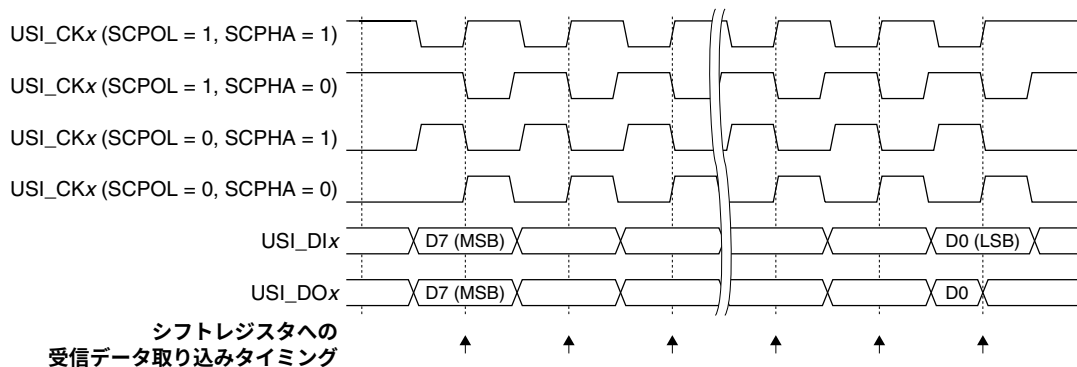


図20.4.5.1 クロックとデータ転送タイミング(MSB先頭)

クロックモード(マスタモードのみ)

SPIマスタモード時は通常または高速のクロックモードをSFSTMOD/USI_SCFGxレジスタで選択可能です。SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T8F出力を1/2に分周して転送クロックが生成されます。SFSTMODを1に設定するとファストモードとなり、CMUから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T8Fは使用しません。

SPIスレーブモード時のサンプリングクロックにはT8F出力クロックが使用されます。

データ長(マスタモードのみ)

SPIマスタモード時はデータ長をSCHLN/USI_SCFGxレジスタで選択します。SCHLNを0(デフォルト)に設定すると、データ長は8ビットに設定されます。

SCHLNを1に設定すると、9ビットに設定されます。9ビットモードでは8ビットデータの前にコマンドビット(1ビット)が付加されます。このコマンドビットはSPI LCDコントローラの制御に使用します。送信するコマンドビットの値はSCMD/USI_SCFGxレジスタで指定します。SCMDを1に設定するとコマンドビットはHigh、0に設定するとLowになります。

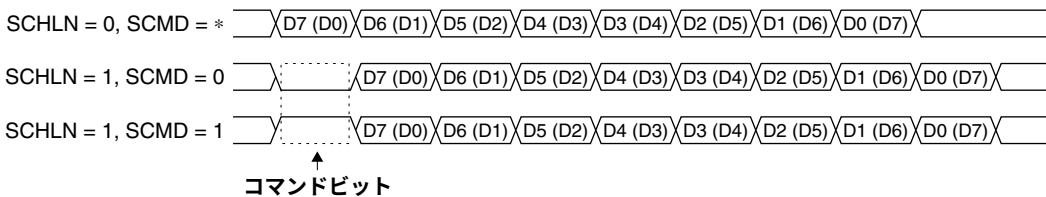


図20.4.5.2 SPIマスタモードの9ビット転送データ形式

SPIスレーブモードのデータ長は8ビットに固定されています。

20.4.6 I²Cモード時の設定

I²Cモードでは、データ形式等の事前設定は必要ありません。I²Cモードのデータ長は8ビットに固定されています。

20.5 データ送受信の制御

ここでは、データ送受信の制御方法を説明します。前述の設定および割り込み/DMAの設定は既に済んでいるものとします。

20.5.1 UARTモードのデータ転送

データ送信

UARTモードでデータ送信を開始するには、送信データを送信データバッファ (TD[7:0]/USI_TDxレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られ、スタートビットがUSI_DOx端子から出力されます。続いて、シフトレジスタのデータが順次出力されます。8ビットデータの最後のビットを出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはUTDIF/USI_UIF_xレジスタとUTBSY/USI_UIF_xレジスタの2つのステータスフラグが用意されています。

UTDIFフラグは送信データバッファの状態を示します。このフラグは送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。UTDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(20.7節参照)。この割り込みまたはDMAを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信データバッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みおよびDMAを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。UTDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。1にセットされたUTDIFは1を書き込むことで0にリセットされます。

UTBSYフラグはUARTモード時のUSI状態を示します。このフラグは送信データが送信データバッファに書き込まれると1となり、シフトレジスタと送信データバッファが共に空になると0に戻ります。

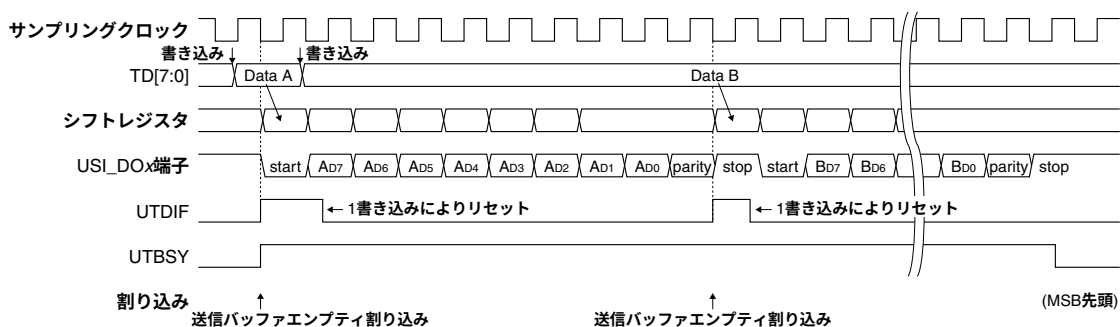


図20.5.1.1 データ送信タイミングチャート (UARTモード)

データ受信

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。8ビットデータをシフトレジスタに受信し終わると、受信データは受信データバッファ (RD[7:0]/USI_RDxレジスタ)にロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路は最終データビットの直後に受信したパリティビットでパリティチェックを行います。

受信回路にはURDIF/USI_UIF_xレジスタとURBSY/USI_UIF_xレジスタの2つのステータスフラグが用意されています。

URDIFフラグは受信データバッファの状態を示します。このフラグは、シフトレジスタに受信したデータが受信データバッファにロードされると1にセットされ、受信データが読み出せることを示します。URDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(20.7節参照)。この割り込みまたはDMAを利用して受信データを受信データバッファから読み出します。受信データバッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、URDIFに1を書き込み、フラグをリセットします。URDIFが1にセットされ、かつ受信データバッファ (USI_RDxレジスタ)が読み出されていない状態で次の受信が完了すると、オーバーランエラーとなります(ストップビットを受信した時点でオーバーランエラーが発生します)。

URBSYフラグはシフトレジスタの状態を示します。このフラグはデータをシフトレジスタに受信している間1となり、受信データが受信データバッファにロードされると0に戻ります。受信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

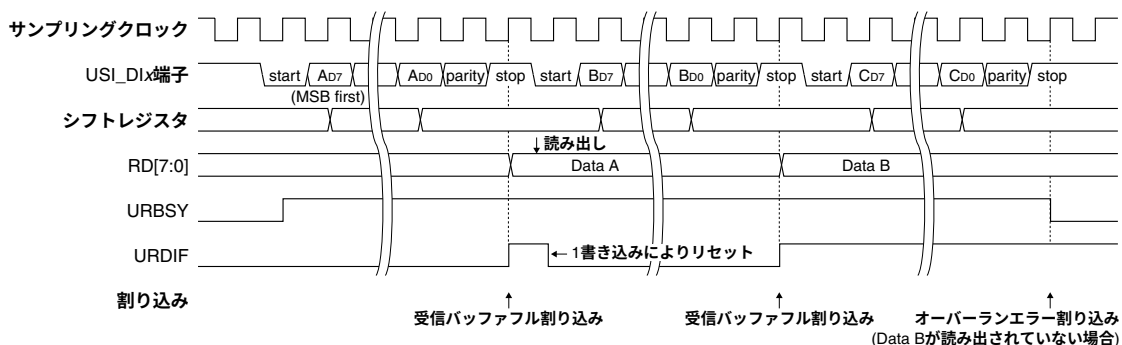


図20.5.1.2 データ受信タイミングチャート (UARTモード)

20.5.2 SPIモードのデータ転送

データ送信

SPIモードでデータ送信を開始するには、送信データを送信データバッファ(TD[7:0]/USI_TD_xレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られます。SPIマスターモードでは、USI_CK_x端子からクロックの出力を開始します。SPIスレーブモードではUSI_CK_x端子からのクロック入力待ちます。

シフトレジスタ内のデータはSPIクロック(図20.4.5.1参照)の立ち上がりまたは立ち下がりエッジで順次シフトされ、USI_DOx端子から送信されます。

SPIコントローラには送信の制御用にSTDIF/USI_SIFxレジスタとSSIF/USI_SIFxレジスタの2つのステータスフラグが用意されています。

STDIFフラグは送信データバッファの状態を示します。このフラグは、送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。STDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(20.7節参照)。この割り込みまたはDMAを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信データバッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みおよびDMAを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。STDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

SPIマスタモード時のSSIFフラグはUSIの状態を示します。このフラグは送信データが送信データバッファに書き込まれると1となり、シフトレジスタと送信データバッファが共に空になると0に戻ります。SPIコントローラが動作中か待機中かについては、このフラグを読み出して確認してください。

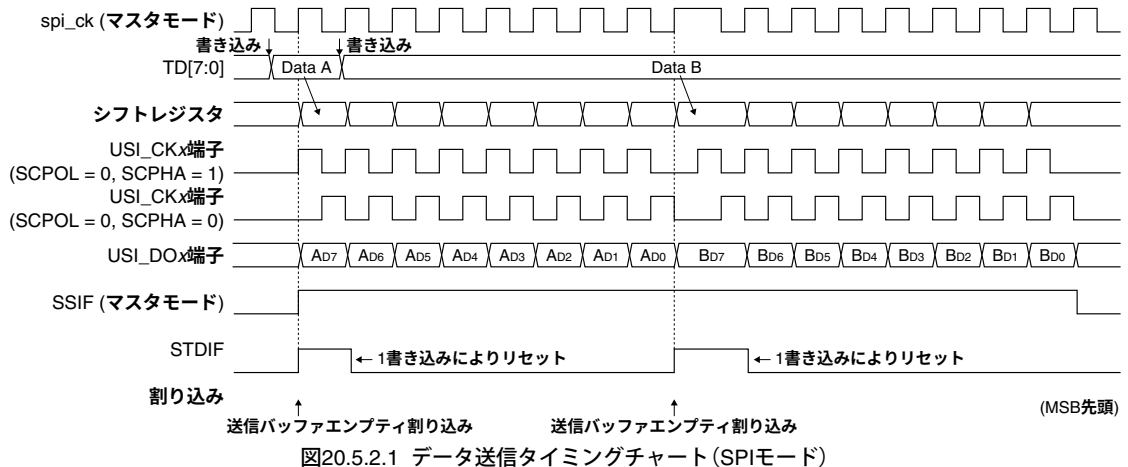


図20.5.2.1 データ送信タイミングチャート(SPIモード)

データ受信

SPIマスタモードの場合、ダミーデータを送信データバッファに書き込みます。送信データバッファの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。これにより、USI_CKx端子からSPIクロックの出力を開始します。

SPIスレーブモードの場合は、USI_CKx端子からクロックが入力されるまで待機します。SPIスレーブモードで受信のみを行い、送信が不要の場合は送信データバッファへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データを送信データバッファに書き込んでおきます。

データは、SPIクロック(図20.4.5.1参照)により順次シフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはRD[7:0]/USI_RDxレジスタから読み出すことができます。

SPIコントローラには受信の制御用にSRDIF/USI_SIFxレジスタとSSIF/USI_SIFxレジスタの2つのステータスフラグが用意されています。

SRDIFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。

SRDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(20.7節参照)。この割り込みまたはDMAを利用して受信データを受信データバッファから読み出します。受信データバッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、SRDIFに1を書き込み、フラグをリセットします。

SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

SPIマスタモード時のSSIFフラグはシフトレジスタの状態を示します。このフラグは受信を開始すると1になり、データ受信を完了すると0に戻ります。SPIコントローラが動作中か待機中かについては、このフラグを読み出して確認してください。

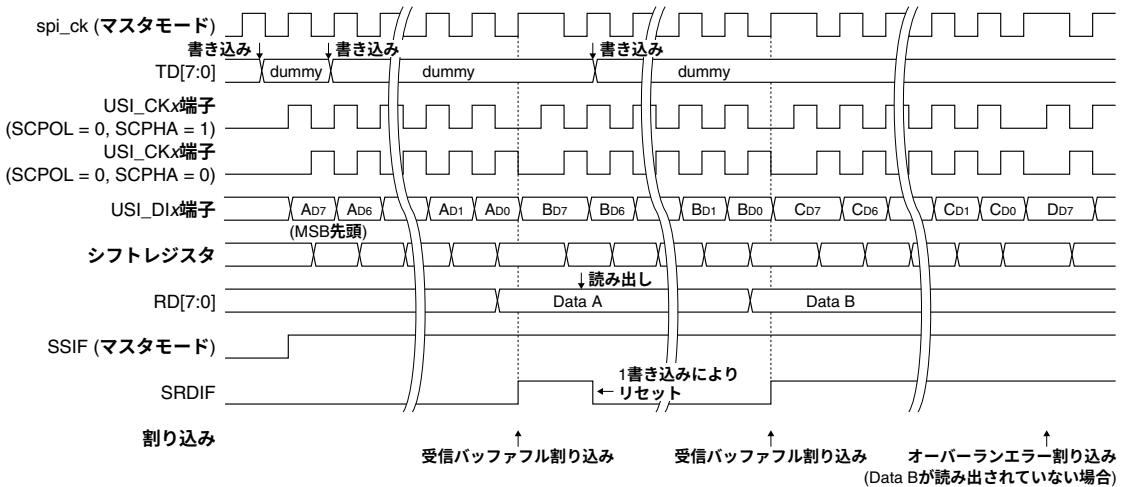


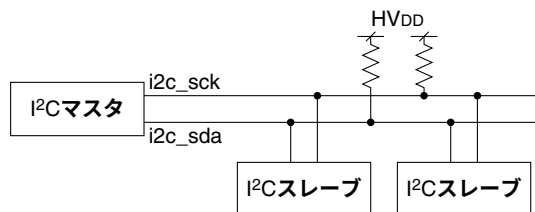
図20.5.2.2 データ受信タイミングチャート(SPIモード)

スレーブセレクト信号

SPIスレーブモードの送受信動作は、USI_CSx端子に入力されるマスタデバイスのスレーブセレクト信号がLowの場合に有効です。スレーブセレクト信号がHighの場合は、マスタデバイスのクロックがUSI_CKx端子に入力されても送受信を開始しません。スレーブセレクト信号の状態は、SSIF/USI_SIFxレジスタ(SPIマスタモード時はシフトレジスタのステータスフラグとして機能)で確認できます。スレーブセレクト信号がインアクティブ(High)の場合はSSIFが1、スレーブセレクト信号がアクティブ(Low)の場合はSSIFが0になります。

SPIマスタモード時にスレーブセレクト出力が必要な場合は、汎用入出力ポートを使用し、ソフトウェアで出力を制御してください。

20.5.3 I²Cモードのデータ転送



USIをI²Cモードに設定した場合、i2c_sckとi2c_sda端子はLow出力またはハイインピーダンス状態となります。Highレベルは出力しませんので、i2c_sckとi2c_sdaラインは外部でHVDDレベルにプルアップしてください。

注: HVDDを超える電圧値にはプルアップしないでください。

図20.5.3.1 I²Cモードの接続例

I²Cマスタモードの制御

I²Cマスタモードの送受信は、IMTGMOD[2:0]/USI_IMTG_xレジスタとIMTG/USI_IMTG_xレジスタで制御します。IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

表20.5.3.1 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

IMTGに1を書き込むとIMBSY/USI_IMIF_xレジスタが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(IMIF/USI_IMIF_xレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(IMSTA[2:0]/USI_IMIF_xレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、IMIFに1を書き込んでクリアしてください。これにより、IMSTA[2:0]も自動的に0x0にクリアされます。

表20.5.3.2 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	データ受信終了
0x2	データ送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

I²Cマスタ送信手順

以下、I²Cマスタモード時のデータ送信手順を説明します。

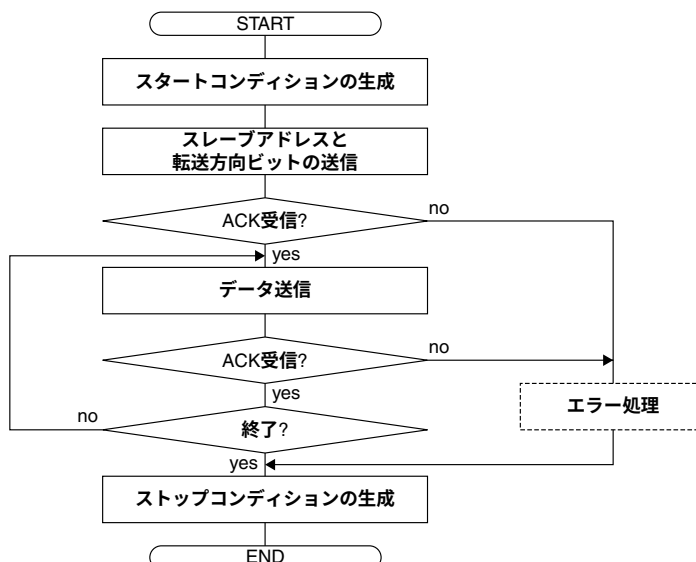
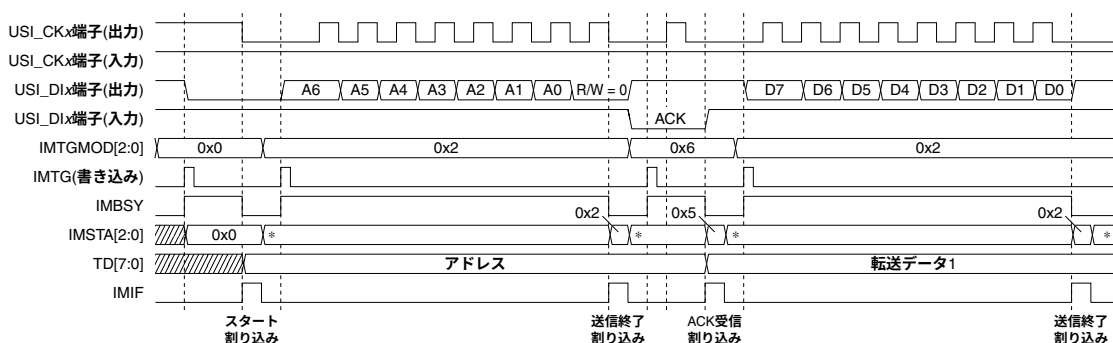
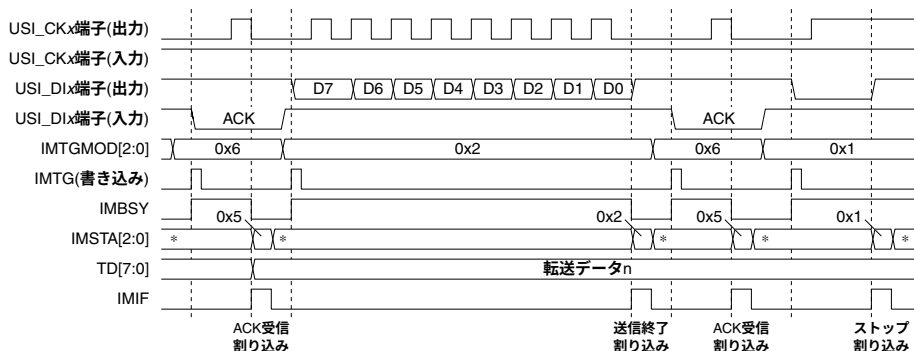


図20.5.3.2 I²Cマスタモードのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

* ソフトウェアでIMIFをクリアすると、IMSTA[2:0]も0x0にクリアされます。

図20.5.3.3 I²Cマスタモードのデータ送信タイミング

(1) スタートコンディションの生成

I²Cの送受信はI²Cマスタデバイスがスタートコンディションを生成することにより開始します。I²CバスのSCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。本PCマスタでスタートコンディションを生成するにはIMTGMOD[2:0]を0x0(デフォルト)に設定し、IMTGに1を書き込みます。

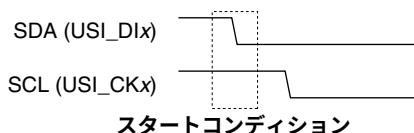


図20.5.3.4 スタートコンディション

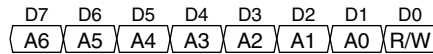
スタートコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x0に設定されます。これ以降、I²Cバスはビジー状態になります。

注: スタートコンディションを生成する前に、他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの送信

スタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データバッファを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回または3回の送信を行います。アドレスデータの構成を図20.5.3.5に示します。

7ビットアドレスの場合

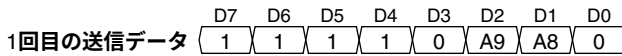


スレーブアドレス

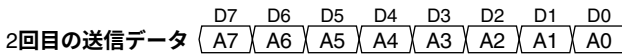
転送方向

0: マスタ → スレーブ(データ送信)
1: スレーブ → マスタ(データ受信)

10ビットアドレスの場合



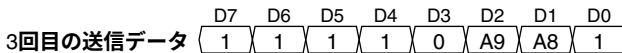
1回目の送信データ

スレーブアドレス
上位2ビット

2回目の送信データ

スレーブアドレス下位8ビット

I²Cマスタがデータ受信のときは、2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信してください。



3回目の送信データ

スレーブアドレス
上位2ビット

図20.5.3.5 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に設定します。

スレーブアドレスを送信するには、アドレスと転送方向ビットを送信データバッファ(TD[7:0]/USI_TD_xレジスタ)に設定します。次に、IMTGMOD[2:0]を0x2に設定し、IMTGに1を書き込みます。10ビットアドレスの場合は、図20.5.3.5に従ってこの手順を2回または3回実行してください。

IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2に設定されます。IMBSYを読み出すか、割り込みを利用してスレーブアドレス(1バイト単位)が送信されたことを確認してください。

スレーブアドレスの送信後、選択されたスレーブデバイスはSCLラインをLowにしてACKをI²Cマスタに返します。SCLラインがHighのときはNAKが返ったものと見なします。この場合、指定したアドレスのスレーブデバイスとは通信できません。

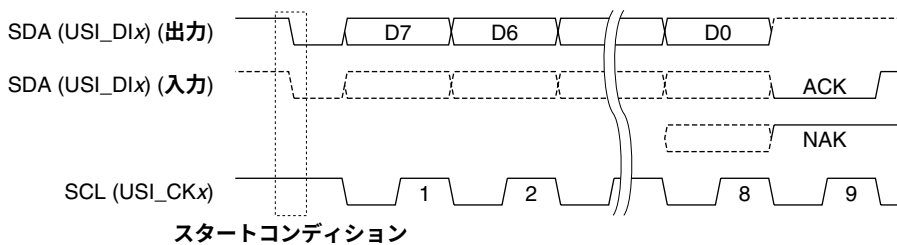


図20.5.3.6 ACKとNAK

データを送信する前に、ACKが返ったことを確認する必要があります。このチェックを行うには、スレーブアドレスの送信が終了後、IMTGMOD[2:0]を0x6に設定し、IMTGに1を書き込みます。ACK/NAKのチェック中はIMBSYが1となります。終了するとIMBSYは0に戻り、ACKが返った場合はIMSTA[2:0]が0x5に、NAKが返った場合はIMSTA[2:0]が0x6に設定されます。IMBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、データ送信の処理に移行します。NAKを受信した場合はエラー処理を行います。

(3) データ送信

データ送信も、手順はスレーブアドレスの送信と同様です。

1. 送信データバッファ(TD[7:0])に送信データ(8ビット)を書き込み
2. IMTGMOD[2:0] = 0x2、IMTG = 1に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。USI_CK_x端子からクロックが出力され、シフトレジスタ内のデータはこのクロックで順次シフトされ、USI_DO_x端子から送信されます。

IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2(送信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。

ただし、次の8ビットデータの送信を開始する前に、スレーブアドレス送信時と同様に、スレーブデバイスからACKが返ったことを確認してください(IMTGMOD[2:0] = 0x6、IMTG = 1に設定してチェック)。

必要な回数、8ビットデータの送信とACK受信のチェックを繰り返します。

(4) ストップコンディションの生成

すべてのデータを送信後、I²C通信を終了する場合は、I²Cマスタがストップコンディションを生成します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。本I²Cマスタでストップコンディションを生成するにはIMTG-MOD[2:0]を0x1に設定し、IMTGに1を書き込みます。

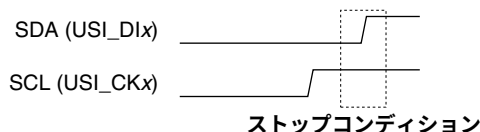


図20.5.3.7 ストップコンディション

ストップコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x1に設定されます。IMBSYを読み出すか、割り込みを利用してストップコンディションが生成されたことを確認してください。これ以降、I²Cバスはフリー状態になります。

(5) リピーテッドスタートコンディションの生成

データの送信が終了した後、さらに別の送受信を続けて行いたい場合などには、ストップコンディションの生成を省き、リピーテッドスタートコンディションを生成することが可能です。この場合は、(1)で説明したスタートコンディションの生成手順を実行してください。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

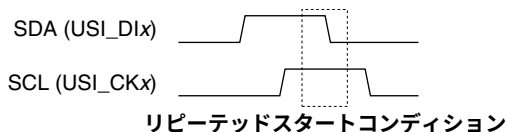
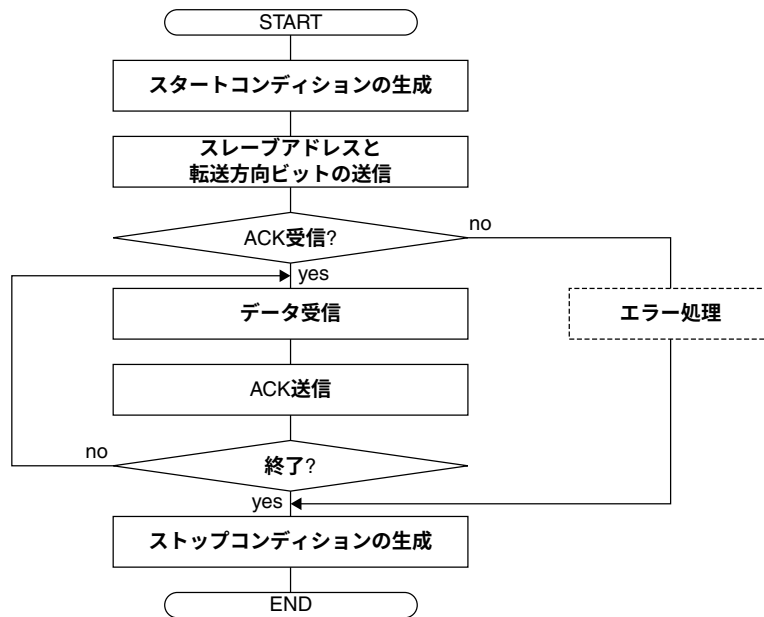
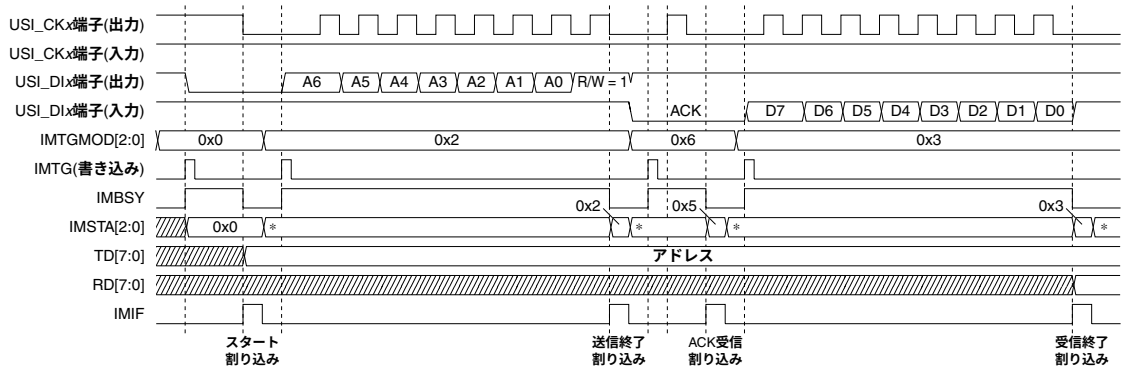


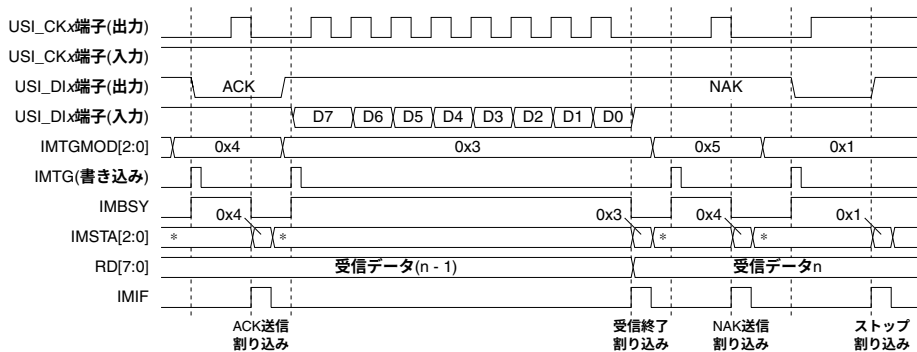
図20.5.3.8 リピーテッドスタートコンディション

I²Cマスタ受信手順

以下、I²Cマスタモード時のデータ受信手順を説明します。

図20.5.3.9 I²Cマスタモードのデータ受信フローチャート

(1) スタートコンディション → データ受信



(2) データ受信 → ストップコンディション

* ソフトウェアでIMIFをクリアすると、IMSTA[2:0]も0x0にクリアされます。

図20.5.3.10 I²Cマスタモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“20.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションの生成

I²Cマスタモードの送信時と同様です。

(2) スレーブアドレスと転送方向ビットの送信

I²Cマスタモードの送信時と同様です。ただし、転送方向ビットを1に設定してスレーブアドレスを送信します。スレーブアドレス送信後は、スレーブデバイスからACKが返ったことをチェックしてください。

(3) データ受信

データ受信を開始するにはIMTGMOD[2:0]を0x3に設定し、IMTGに1を書き込みます。

このトリガにより、USI_CK_x端子からクロックが8個出力され、それぞれのクロックに同期して、USI_DO_x端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RD_xレジスタ)にロードされます。IMTGに1を書き込むとIMBSYが1となります。受信データが受信データバッファにロードされるとIMBSYは0に戻り、IMSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをスレーブデバイスに送信する必要があります。ACKを送信するには、IMTGMOD[2:0]を0x4に設定し、IMTGに1を書き込みます。NAKを送信するには、IMTGMOD[2:0]を0x5に設定し、IMTGに1を書き込みます。

ACK/NAKの送信中もIMBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はIMSTA[2:0]が0x4となります。

必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションの生成

I²Cマスタモードの送信時と同様です。

(5) リピーテッドスタートコンディションの生成

I²Cマスタモードの送信時と同様です。

クロックストレッチ

クロックストレッチは、スレーブデバイスがデータ送受信中、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。

本I²Cコントローラはこのクロックストレッチに対応しています。スレーブアドレスやデータの送受信後にクロックストレッチ状態を検出した場合、次の送受信のトリガを受け付けてもウェイト状態となり、クロックストレッチ状態が解除されるまで実際の動作を開始しません。ウェイト中も含め、IMBSYは動作が完了するまで1を保持します。

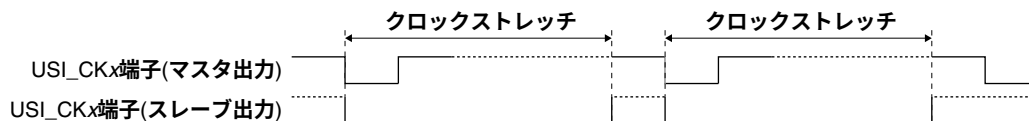


図20.5.3.11 クロックストレッチ

I²Cスレーブモードの制御

I²Cスレーブモードの送受信は、ISTGMOD[2:0]/USI_ISTG_xレジスタとISTG/USI_ISTG_xレジスタで制御します。ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

表20.5.3.3 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信/ストップコンディション検出
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

ISTGに1を書き込むとISBSY/USI_ISIFxレジスタが1にセットされ、PCコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(ISIF/USI_ISIFxレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(ISSTA[2:0]/USI_ISIFxレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、ISIFに1を書き込んでクリアしてください。これにより、ISSTA[2:0]も自動的に0x0にリセットされます。

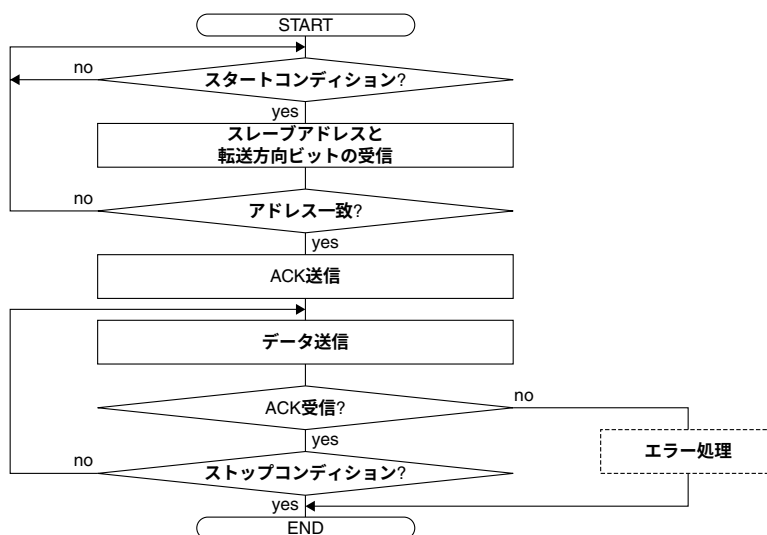
表20.5.3.4 I²Cスレーブステータスビット

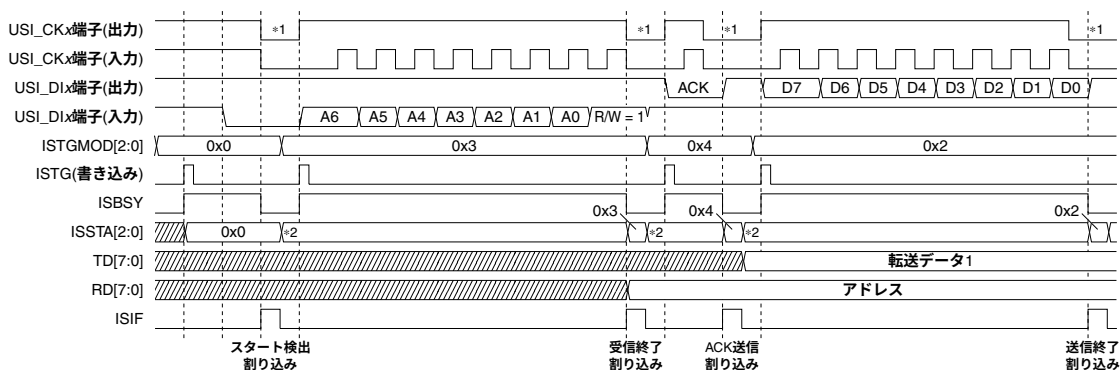
ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

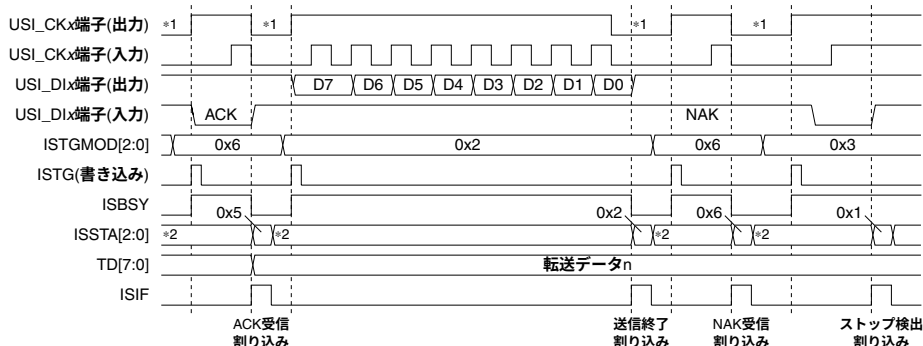
I²Cスレーブ送信手順

以下、PCスレーブモード時のデータ送信手順を説明します。

図20.5.3.12 I²Cスレーブモードのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

*1 ISTGMOD[2:0]で選択した動作を終了後にUSI_CKx入力 = Lowを検出するとUSI I²CスレーブコントローラはUSI_CKx端子をLowにプルダウンして外部I²Cマスタを待機状態にします。ISTGのトリガによって次の動作を開始すると、プルダウンは解除され、I²Cマスタも待機状態から解放されます。

*2 ソフトウェアでISIFをクリアすると、ISSTA[2:0]も0x0にクリアされます。

図20.5.3.13 I²Cスレーブモードのデータ送信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“20.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションに待機

I²Cの送受信はI²Cマスタデバイスがスタートコンディション(図20.5.3.4参照)を生成することにより開始します。したがって、最初に本I²Cスレーブをスタートコンディションへの待機状態に設定します。このためにはISTGMOD[2:0]を0x0(デフォルト)に設定し、ISTGに1を書き込みます。これにより、I²Cコントローラはスタートコンディションの検出動作を開始します。検出動作中はISBSYが1となります。スタートコンディションを検出するとISBSYは0に戻り、ISSTA[2:0]が0x0に設定されます。ISBSYを読み出すか、割り込みを利用してスタートコンディションが生成されたことを確認してください。

注: スタートコンディションを検出する前に、他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの受信

I²Cマスタデバイスはスタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビット(図20.5.3.5参照)を送信します。本I²Cスレーブを受信状態にしてこのスレーブアドレスを受信します。受信を開始するには、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込みます。このトリガの後、USI_CKx端子から入力されるクロックのサンプリングを開始し、クロックが入力されるとUSI_DOx端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

7ビットアドレスの場合は、1回の受信でスレーブアドレスと転送方向ビットが得られます。10ビットアドレスの場合は、受信データバッファのデータをメモリにセーブ後、もう一回受信を行い、残りのアドレスビットを取得します。

受信したアドレスが本I²Cスレーブのアドレスと一致するか、チェックしてください。一致した場合は、I²CマスタにACKを送信します。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。ACKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK送信終了時はISSTA[2:0]が0x4となります。受信したアドレスが本I²Cスレーブと異なる場合はデータの送受信を中止し、(1)に戻って次のスタートコンディションに待機します。

(3) データ送信

(2)でスレーブアドレスと共に受信した転送方向ビットが1の場合は次の手順でデータ送信動作を開始します。

1. 送信データバッファ(TD[7:0])に送信データ(8ビット)を書き込み
2. ISTGMOD[2:0] = 0x2、ISTG = 1に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。USI_CK_x端子からクロックが入力されると、シフトレジスタ内のデータはこのクロックで順次シフトされ、USI_DO_x端子から送信されます。

ISTGに1を書き込むとISBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとISBSYは0に戻り、ISSTA[2:0]が0x2(送信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。

ただし、次の8ビットデータの送信を開始する前に、マスタデバイスから返るACK/NAKを確認してください。このためには、ISTGMOD[2:0]を0x6に設定し、ISTGに1を書き込みます。

ACK/NAKのチェック中はISBSYが1となります。終了するとISBSYは0に戻り、ACKが返った場合はISSTA[2:0]が0x3に、NAKが返った場合はISSTA[2:0]が0x6に設定されます。ISBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、次のデータ送信を開始します。NAKを受信した場合は対応する処理に移行します。

(4) ストップコンディションの受信

データ送信動作中に読み出したISSTA[2:0]が0x1の場合、I²Cマスタデバイスがストップコンディション(図20.5.3.7参照)を生成しています。この場合は送信処理を終了します。

I²Cスレーブ受信手順

I²Cスレーブモード時のデータ受信手順を説明します。

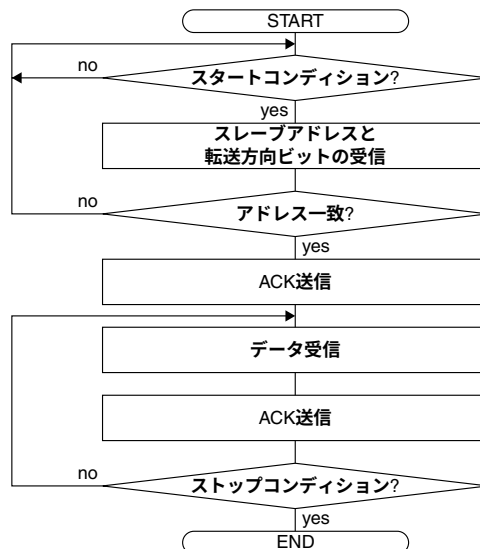
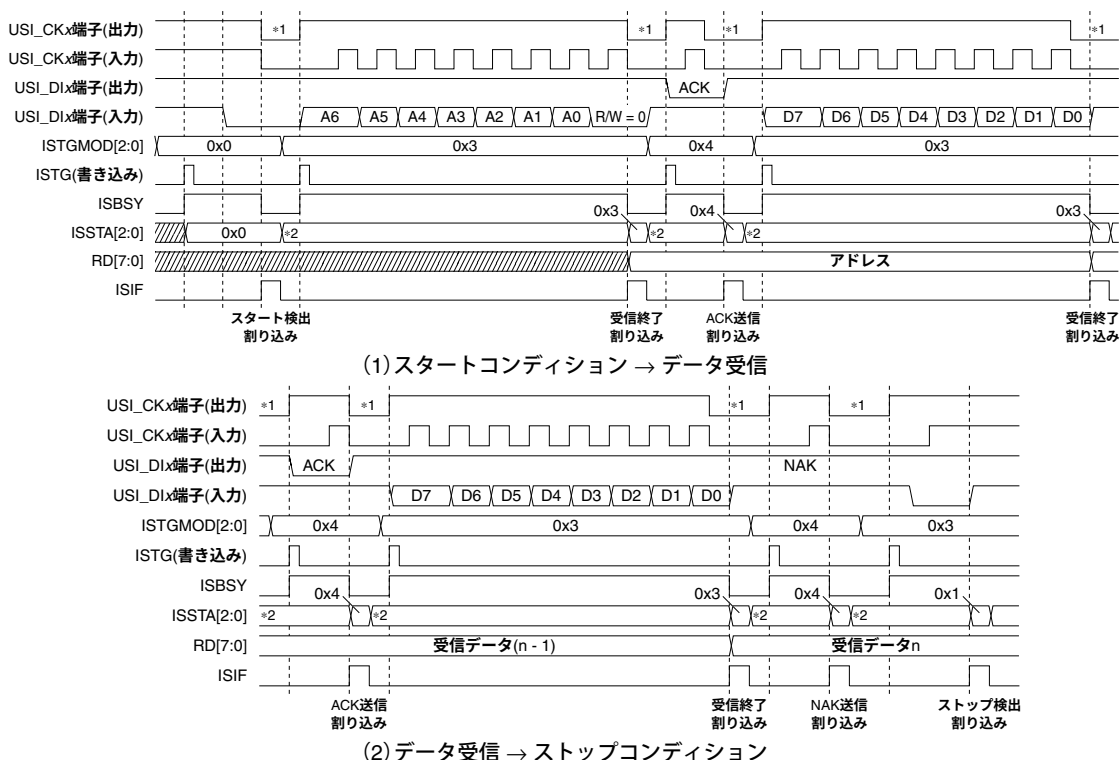


図20.5.3.14 I²Cスレーブモードの受信フローチャート



- *1 ISTGMOD[2:0]で選択した動作を終了後にUSI_CKx入力 = Lowを検出するとUSI I²CスレーブコントローラはUSI_CKx端子をLowにプルダウンして外部I²Cマスタを待機状態にします。ISTGのトリガによって次の動作を開始すると、プルダウンは解除され、I²Cマスタも待機状態から解放されます。
- *2 ソフトウェアでISIFをクリアすると、ISSTA[2:0]も0x0にクリアされます。

図20.5.3.15 I²Cスレーブモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“20.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

- (1) スタートコンディションに待機
I²Cスレーブモードの送信時と同様です。
- (2) スレーブアドレスと転送方向ビットの受信
I²Cスレーブモードの送信時と同様です。

(3) データ受信

(2)でスレーブアドレスと共に受信した転送方向ビットが0の場合は、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込んでデータ受信動作を開始します。
クロックが入力されると、それぞれのクロックに同期して、USI_DOx端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。
ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをマスタデバイスに送信する必要があります。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。NAKを送信するには、ISTGMOD[2:0]を0x5に設定し、ISTGに1を書き込みます。
ACK/NAKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はISSTA[2:0]が0x4となります。
必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4)ストップコンディションの受信

データ受信動作中に読み出したISSTA[2:0]が0x1の場合、I²Cマスタデバイスがストップコンディション(図20.5.3.7参照)を生成しています。この場合は受信処理を終了します。

クロックストレッチ

データの送受信中はACKの送受信から次のデータの送受信を開始するまで、SCLラインをLowにプルダウンしてクロックストレッチ状態とし、マスタデバイスにウェイトを要求します。

20.6 受信エラー

UARTモードのデータ受信時は、3種類の受信エラー(オーバーランエラー、フレーミングエラー、パリティエラー)を、SPIおよびPCモードのデータ受信時はオーバーランエラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。割り込みの制御については、20.7節を参照してください。

オーバーランエラー(全インタフェースモード)**UARTモード**

オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ(USI_RDxレジスタ)が読み出されていない状態で次の受信が完了すると発生します(ストップビットを受信した時点でオーバーランエラーが発生します)。

オーバーランエラーが発生すると、オーバーランエラーフラグ(UOEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。UOEIFをリセットするには、USIのソフトウェアリセット(USIMOD[2:0]/USI_GCFG_xレジスタへの0x0書き込み)を実施し、USIを初期化してください。

SPIモード

オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると発生します。SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

オーバーランエラーが発生すると、オーバーランエラーフラグ(SEIF/USI_SIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。SEIFへの1書き込みとUSI_RDxレジスタの2回読み出しの順番は逆でも構いません。

I²Cマスタ/スレーブモード

受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

オーバーランエラーが発生すると、オーバーランエラーフラグ(I²CマスタモードはIMEIF/USI_IMIF_xレジスタ、I²CスレーブモードはISEIF/USI_ISIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。IMEIF/ISEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、IMEIF/ISEIFを1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。

フレーミングエラー(UARTモードのみ)

UARTモード時にストップビットを0として受信すると、同期ずれとしてフレーミングエラーが発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグ(USEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。なお、USEIFは1を書き込むことによって0にリセットされます。

パリティエラー(UARTモードのみ)

UARTモードでUPREN/USI_UCFGxレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックを行います。パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、UPMD/USI_UCFGxレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグ(UPEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。なお、UPEIFは1を書き込むことによって0にリセットされます。

20.7 USI割り込みとDMA

ここでは、各インタフェースモードで発生するUSI割り込みとDMAの起動について説明します。割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

各USIチャネルは、すべての割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、各モードの割り込みフラグを読み出してください。

20.7.1 UARTモードの割り込み

UARTモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、UTDIE/USI_UIE_xレジスタを1に設定します。UTDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはUTDIF/USI_UIF_xレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(UTDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでUTDIFフラグを読み出して確認してください。UTDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、URDIE/USI_UIE_xレジスタを1に設定します。URDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされると、USIモジュールはURDIF/USI_UIF_xレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(URDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが受信バッファフルによるものかどうかについては、USI割り込み処理ルーチンでURDIFフラグを読み出して確認してください。URDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、UEIE/USI_UIE_xレジスタを1に設定します。UEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、USIモジュールは対応するエラーフラグ(UPEIF/USI_UIF_xレジスタ、USEIF/USI_UIF_xレジスタ、UOEIF/USI_UIF_xレジスタ)を1にセットします。受信エラー割り込みが許可されていれば(UEIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでUPEIF、USEIF、およびUOEIFフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、USIのソフトウェアリセット(USIMOD[2:0]/USI_GCFGxレジスタへの0x0書き込み)を実施し、USIを初期化してください。

20.7.2 SPIモードの割り込み

SPIマスタ/スレーブモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、STDIE/USI_SIExレジスタを1に設定します。STDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはSTDIF/USI_SIFxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(STDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタ/スレーブモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでSTDIFフラグを読み出して確認してください。STDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SRDIE/USI_SIExレジスタを1に設定します。SRDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされると、USIモジュールはSRDIF/USI_SIFxレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(SRDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタ/スレーブモード)割り込みが受信バッファフルによるものかどうかについては、USI割り込み処理ルーチンでSRDIFフラグを読み出して確認してください。SRDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、SEIE/USI_SIExレジスタを1に設定します。SEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にオーバーランエラーを検出すると、USIモジュールはSEIF/USI_SIFxレジスタを1にセットします。受信エラー割り込みが許可されていれば(SEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタ/スレーブモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでSEIFを読み出して確認してください。SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、SEIFを1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。

20.7.3 I²Cマスタモードの割り込み

I²Cマスタモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、IMIE/USI_IMIE_xレジスタを1に設定します。IMIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USIモジュールはIMIF/USI_IMIF_xレジスタを1にセットします。動作完了割り込みが許可されていれば(IMIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cマスタモード)割り込みを発生させた動作/状態については、割り込み処理ルーチンでIMSTA[2:0]/USI_IMIF_xレジスタを読み出して確認してください。

表20.7.3.1 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、IMEIE/USI_IMEIE_xレジスタを1に設定します。IMEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USIモジュールはIMEIF/USI_IMEIF_xレジスタを1にセットします。受信エラー割り込みが許可されていれば(IMEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cマスタモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでIMEIFを読み出して確認してください。IMEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

20.7.4 I²Cスレーブモードの割り込み

I²Cスレーブモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、ISIE/USI_ISIE_xレジスタを1に設定します。ISIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USIモジュールはISIF/USI_ISIF_xレジスタを1にセットします。動作完了割り込みが許可されていれば(ISIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cスレーブモード)割り込みを発生させた動作/状態については、割り込み処理ルーチンでISSTA[2:0]/USI_ISIF_xレジスタを読み出して確認してください。

表20.7.4.1 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、ISEIE/USI_ISIE_xレジスタを1に設定します。ISEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USIモジュールはISEIF/USI_ISIF_xレジスタを1にセットします。受信エラー割り込みが許可されていれば(ISEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cスレーブモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでISEIFを読み出して確認してください。ISEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

20.7.5 DMA転送

UARTモードおよびSPIマスタ/スレーブモードでは、受信バッファフルおよび送信バッファエンプティ割り込み要因によってDMAを起動することができます。メモリと送受信データバッファ間のDMA転送により、連続的なデータ送受信が行えます。これらの要因による割り込み信号はITCとDMACの両方に送られます。したがって、USI割り込みを発生させることなく、DMA転送を行うことができます。

USI割り込み要因をトリガとして選択可能なDMACチャネルは以下のとおりです。

USI Ch.0受信バッファフル: DMAC Ch.2

USI Ch.0送信バッファエンプティ: DMAC Ch.3

USI Ch.1受信バッファフル: DMAC Ch.4

USI Ch.1送信バッファエンプティ: DMAC Ch.5

USI Ch.2受信バッファフル: DMAC Ch.6

USI Ch.2送信バッファエンプティ: DMAC Ch.7

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

注: I²Cマスタ/スレーブモードでは、DMAを起動することはできません。

20.8 制御レジスタ詳細

表20.8.1 USIレジスタ一覧

アドレス	レジスタ名		機 能
0x300400	USI_GCFG0	USI Ch.0 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x300401	USI_TD0	USI Ch.0 Transmit Data Buffer Register	送信データバッファ
0x300402	USI_RD0	USI Ch.0 Receive Data Buffer Register	受信データバッファ
0x300440	USI_UCFG0	USI Ch.0 UART Mode Configuration Register	UART転送条件の設定
0x300441	USI_UIE0	USI Ch.0 UART Mode Interrupt Enable Register	割り込みの許可
0x300442	USI_UIF0	USI Ch.0 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x300450	USI_SCFG0	USI Ch.0 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x300451	USI_SIE0	USI Ch.0 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
0x300452	USI_SIF0	USI Ch.0 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x300460	USI_IMTG0	USI Ch.0 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始

20 ユニバーサルシリアルインタフェース (USI)

アドレス	レジスタ名		機 能
0x300461	USI_IMIE0	USI Ch.0 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x300462	USI_IMIF0	USI Ch.0 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x300470	USI_ISTG0	USI Ch.0 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x300471	USI_ISIE0	USI Ch.0 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x300472	USI_ISIF0	USI Ch.0 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x300500	USI_GCFG1	USI Ch.1 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x300501	USI_TD1	USI Ch.1 Transmit Data Buffer Register	送信データバッファ
0x300502	USI_RD1	USI Ch.1 Receive Data Buffer Register	受信データバッファ
0x300540	USI_UCFG1	USI Ch.1 UART Mode Configuration Register	UART転送条件の設定
0x300541	USI_UIE1	USI Ch.1 UART Mode Interrupt Enable Register	割り込みの許可
0x300542	USI_UIF1	USI Ch.1 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x300550	USI_SCFG1	USI Ch.1 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x300551	USI_SIE1	USI Ch.1 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
0x300552	USI_SIF1	USI Ch.1 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x300560	USI_IMTG1	USI Ch.1 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x300561	USI_IMIE1	USI Ch.1 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x300562	USI_IMIF1	USI Ch.1 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x300570	USI_ISTG1	USI Ch.1 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x300571	USI_ISIE1	USI Ch.1 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x300572	USI_ISIF1	USI Ch.1 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x300700	USI_GCFG2	USI Ch.2 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x300701	USI_TD2	USI Ch.2 Transmit Data Buffer Register	送信データバッファ
0x300702	USI_RD2	USI Ch.2 Receive Data Buffer Register	受信データバッファ
0x300740	USI_UCFG2	USI Ch.2 UART Mode Configuration Register	UART転送条件の設定
0x300741	USI_UIE2	USI Ch.2 UART Mode Interrupt Enable Register	割り込みの許可
0x300742	USI_UIF2	USI Ch.2 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x300750	USI_SCFG2	USI Ch.2 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x300751	USI_SIE2	USI Ch.2 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
0x300752	USI_SIF2	USI Ch.2 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x300760	USI_IMTG2	USI Ch.2 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x300761	USI_IMIE2	USI Ch.2 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x300762	USI_IMIF2	USI Ch.2 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x300770	USI_ISTG2	USI Ch.2 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x300771	USI_ISIE2	USI Ch.2 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x300772	USI_ISIF2	USI Ch.2 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示

以下、USIモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

USI Ch.x Global Configuration Registers (USI_GCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Global Configuration Register (USI_GCFGx)	0x300400	D7–4	–	reserved	–	–	–	0 when being read.
	0x300500	D3	LSBFST	MSB/LSB first mode select	1 MSB first 0 LSB first	0	R/W	
	0x300700	D2–0	USIMOD	Interface mode configuration	USIMOD[2:0] 0x7–0x6 reserved 0x5 I ² C slave 0x4 I ² C master 0x3 SPI slave 0x2 SPI master 0x1 UART 0x0 Software reset	0x0	R/W	

注: このレジスタは他のUSIレジスタより先に設定する必要があります。

D[7:4] Reserved

D3 LSBFST: MSB/LSB First Mode Select Bit

シリアルデータをMSBから先に転送するか、LSBから先に転送するか選択します。

1(R/W): MSB先頭

0(R/W): LSB先頭(デフォルト)

この設定は、すべてのインタフェースモードに適用されます。

D[2:0] USIMOD[2:0]: Interface Mode Configuration Bits

インタフェースモードを選択します。

表20.8.2 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

USIの他の設定を行う前に、必ずソフトウェアリセット (USIMOD[2:0]を0x0に設定) とインタフェースモードの設定を行ってください。

- 注: 1. USIMOD[2:0]を0x0(ソフトウェアリセット)に設定することにより、全USIレジスタの内容が初期値にリセットされます。
2. USIの送受信回路は、USIMOD[2:0]が0x0以外 (0x1～0x5) に設定された後に動作可能になります。
3. 各インタフェースモード用のUSIレジスタは、USIMOD[2:0]がそのモードの値に設定されている場合にのみ使用可能です。

表20.8.3 USIMOD[2:0]設定と使用可能なレジスタの対応

USIレジスタ	USIMOD[2:0]				
	0x1	0x2	0x3	0x4	0x5
I ² Cスレーブモードレジスタ	—	—	—	—	使用可
I ² Cマスタモードレジスタ	—	—	—	使用可	—
SPIマスタ/スレーブモードレジスタ	—	使用可	使用可	—	—
UARTモードレジスタ	使用可	—	—	—	—

USI Ch.x Transmit Data Buffer Registers (USI_TD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Transmit Data Buffer Register (USI_TD _x)	0x300401	D7-0	TD[7:0]	USI transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	
	0x300501							
	0x300701							
	(8 bits)							

D[7:0] TD[7:0]: USI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

UARTモードおよびSPIマスタモードでは、このレジスタへのデータ書き込み直後に送信を開始します。SPIスレーブモードでは、SPIマスタからクロックが入力されると送信を開始します。I²Cマスタ/スレーブモードでは、データ送信のソフトウェアトリガにより送信を開始します。ここに書き込まれたデータはシフトレジスタを通してシリアルデータに変換された後、1に設定されたビットをHighレベル、0に設定されたビットをLowレベルとしてUSI_DO_x端子から出力されます。このレジスタに書き込まれたデータがシフトレジスタに送られた時点で、送信バッファエンプティ割り込みを発生可能です。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

USI Ch.x Receive Data Buffer Registers (USI_RD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Receive Data Buffer Register (USI_RD _x)	0x300402	D7-0	RD[7:0]	USI receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	
	0x300502							
	0x300702							
	(8 bits)							

D[7:0] RD[7:0]: USI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

USI_DI_x端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。シフトレジスタに受信したデータが本レジスタにロードされた時点で、受信バッファフル割り込みを発生可能です。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。

このレジスタは読み出し専用です。

USI Ch.x UART Mode Configuration Registers (USI_UCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x	0x300440	D7-4	—	reserved	—	—	—	0 when being read.
UART Mode	0x300540	D3	U ~~CH~~ LN	Character length select	1 8 bits	0 7 bits	0	R/W
Configuration	0x300740	D2	U ~~ST~~ PB	Stop bit select	1 2 bits	0 1 bit	0	R/W
Register	(8 bits)	D1	U ~~P~~ MD	Parity mode select	1 Even	0 Odd	0	R/W
(USI_UCFGx)		D0	U ~~P~~ REN	Parity enable	1 With parity	0 No parity	0	R/W

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USIをUARTモードに設定してください。

D[7:4] Reserved

D3 UCHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

7ビットを選択した場合、送信時は転送データバッファのD7が無効となります。受信時は受信データバッファのD7が常に0となります。

D2 USTPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

USTPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D1 UPMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 偶数パリティ

0(R/W): 奇数パリティ(デフォルト)

パリティチェックおよびパリティビットの付加はUPRENが1に設定されている場合にのみ有効で、UPRENが0の場合、UPMDの設定は無効となります。

D0 UPREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

UPRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うか否かを選択します。UPRENを1に設定すると、受信データのパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。UPRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x UART	0x300441	D7-3	—	reserved	—	—	—	0 when being read.
Mode Interrupt	0x300541	D2	U ~~E~~ IE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
Enable Register	0x300741	D1	U ~~R~~ DI	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
(USI_UIEx)	(8 bits)	D0	U ~~T~~ DI	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USIをUARTモードに設定してください。

D[7:3] Reserved

D2 UEIE: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 URDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 UTDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
USI Ch.x UART Mode Interrupt Flag Register (USI_UIF _x)	0x300442	D7	—	reserved	—		—	—	0 when being read.	
	0x300542	D6	URBSY	Receive busy flag	1	Busy	0	Idle	0	R
	0x300742 (8 bits)	D5	UTBSY	Transmit busy flag	1	Busy	0	Idle	0	R
		D4	UPEIF	Parity error flag	1	Error	0	Normal	0	R/W
		D3	USEIF	Framing error flag	1	Error	0	Normal	0	R/W
		D2	UOEIF	Overrun error flag	1	Error	0	Normal	0	R/W
		D1	URDIF	Receive buffer full flag	1	Full	0	Not full	0	R/W
		D0	UTDIF	Transmit buffer empty flag	1	Empty	0	Not empty	0	R/W

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USIをUARTモードに設定してください。

D7 Reserved**D6 URBSY: Receive Busy Flag Bit**

受信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

URBSYは、最初のスタートビットが検出されると(データ受信を開始すると)1にセットされ、シフトレジスタに受信したデータが受信データバッファにロードされると0にリセットされます。受信回路が動作中か待機中かを確認する際に、URBSYを読み出してください。

D5 UTBSY: Transmit Busy Flag Bit

UARTモードのUSI状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

UTBSYは、送信データが送信データバッファに書き込まれると1にセットされ、シフトレジスタと送信データバッファが共に空になると0にリセットされます。

D4 UPEIF: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UPEIFはパリティエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。パリティチェックはUPREN/USI_UCFGxレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。UPEIFは1を書き込むことによりリセットされます。

D3 USEIF: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

USEIFはフレーミングエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。USEIFは1を書き込むことによりリセットされます。

D2 UOEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UOEIFはオーバーランエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ (USI_RDxレジスタ)が読み出されていない状態で次の受信が完了すると発生します(ストップビットを受信した時点でオーバーランエラーが発生します)。UOEIFをリセットするには、USIのソフトウェアリセット (USIMOD[2:0]/USI_GCFGxレジスタへの0x0書き込み)を実施し、USIを初期化してください。

D1 URDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

URDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。URDIE/USI_UIExレジスタが1に設定されていると、同時に受信バッファフル割り込み要求がITCに送られます。URDIFは1を書き込むことによりリセットされます。

D0 UTDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

UTDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。

UTDIE/USI_UIExレジスタが1に設定されていると、同時に送信バッファエンプティ割り込み要求がITCに送られます。UTDIFは1を書き込むことによりリセットされます。

USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x SPI Master/Slave Mode Configuration Register (USI_SCFGx)	0x300450	D7-6	—	reserved	—	—	—	0 when being read.
	0x300550	D5	SCMD	Command bit (for 9-bit data)	1 High	0 Low	0	R/W
	0x300750 (8 bits)	D4	SCHLN	Character length select	1 9 bits	0 8 bits	0	R/W
		D3	SCPHA	Clock phase select	1 Phase 1	0 Phase 0	0	R/W
		D2	SCPOL	Clock polarity select	1 Active L	0 Active H	0	R/W
		D1	—	reserved	—	—	—	Do not set to 1.
	D0	SFSTMOD	Fast mode select	1 Fast	0 Normal	0	R/W	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USIをSPIマスタ/スレーブモードに設定してください。

D[7:6] Reserved

D5 SCMD: Command Bit (SPI マスタモードで 9 ビットデータの場合にのみ有効)
 9 ビットデータ内のコマンドビットの値を設定します(下記のSCHLNの説明を参照)。
 1(R/W): High
 0(R/W): Low(デフォルト)

D4 SCHLN: Character Length Select Bit (SPI マスタモード時にのみ有効)
 シリアル転送データのデータ長を選択します。
 1(R/W): 9ビット
 0(R/W): 8ビット(デフォルト)

9ビットモードでは8ビットデータの前にコマンドビット(1ビット)が付加されます。このコマンドビットはSPI LCDコントローラの制御に使用します。送信するコマンドビットの値はSCMDで指定します。

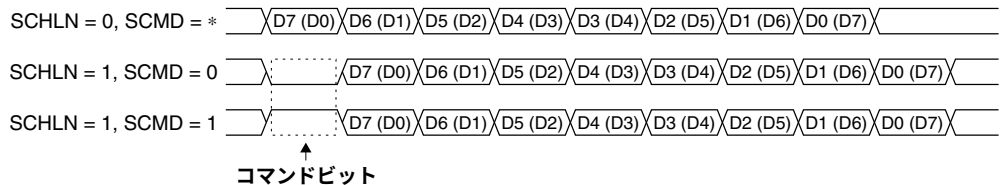


図20.8.1 SPIマスタモードの9ビット転送データ形式

このビットはSPIマスタモード時にのみ有効で、SPIスレーブモードのデータ長は8ビットに固定されています。

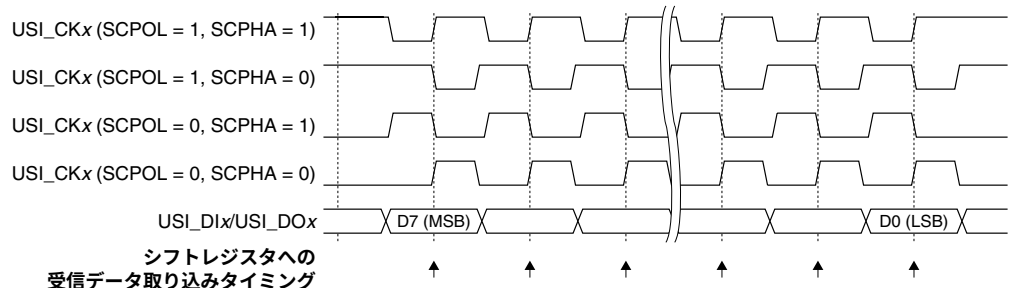
D3 SCPHA: Clock Phase Select Bit
 SPIクロックの位相を選択します。
 1(R/W): フェーズ1
 0(R/W): フェーズ0(デフォルト)

SCPOLと共に、データ転送タイミングを設定します(図20.8.2参照)。

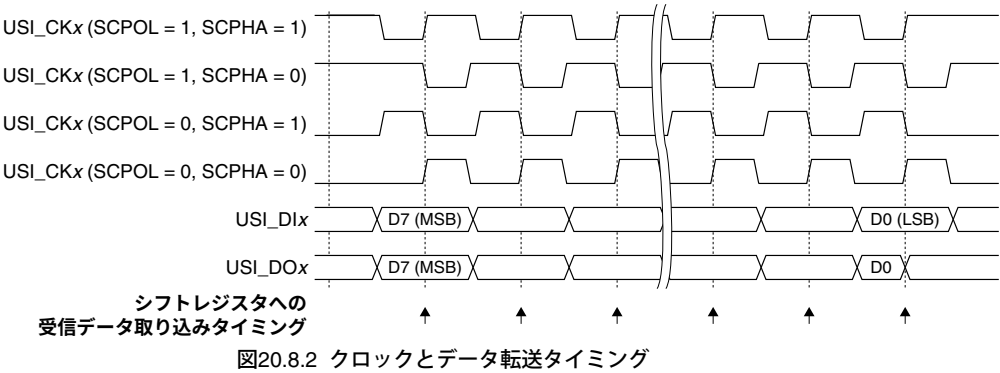
D2 SCPOL: Clock Polarity Select Bit
 SPIクロックの極性を選択します。
 1(R/W): アクティブLow
 0(R/W): アクティブHigh(デフォルト)

SCPHAと共に、データ転送タイミングを設定します(図20.8.2参照)。

マスタモード



スレーブモード



- D1** **Reserved** (1 書き込み禁止)
- D0** **SFSTMOD: Fast Mode Select Bit** (SPI マスタモード時にのみ有効)
ファストモードを選択します。
1(R/W): ファストモード
0(R/W): ノーマルモード(デフォルト)

SPIマスタモード時は通常または高速のクロックモードをSFSTMODで選択可能です。SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T8F出力を1/2に分周して転送クロックが生成されます。SFSTMODを1に設定するとファストモードとなり、CMUから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T8Fは使用しません。

SPIスレーブモード時のサンプリングクロックにはT8F出力クロックが使用されます。

USI Ch.x SPI Master/Slave Mode Interrupt Enable Registers (USI_SIEx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x SPI Master/Slave Mode Interrupt Enable Register (USI_SIEx)	0x300451	D7-3	—	reserved	—	—	—	0 when being read.
	0x300551	D2	SEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
	0x300751 (8 bits)	D1	SRDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USIをSPIマスタ/スレーブモードに設定してください。

- D[7:3]** **Reserved**
- D2** **SEIE: Receive Error Interrupt Enable Bit**
オーバーランエラー発生時のITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。
- D1** **SRDIE: Receive Buffer Full Interrupt Enable Bit**
受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 STDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIFx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x SPI Master/Slave Mode Interrupt Flag Register (USI_SIFx)	0x300452	D7-4	—	reserved	—		—	—	0 when being read.
	0x300552	D3	SSIF	Transfer busy flag (master)	1	Busy	0	Idle	Reset by writing 1.
	0x300752 (8 bits)			ss signal low flag (slave)	1	ss = H	0	ss = L	
		D2	SEIF	Overrun error flag	1	Error	0	Normal	
		D1	SRDIF	Receive buffer full flag	1	Full	0	Not full	
		D0	STDIF	Transmit buffer empty flag	1	Empty	0	Not empty	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USIをSPIマスタ/スレーブモードに設定してください。

D[7:4] Reserved**D3 SSIF: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)**

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SSIFはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(USI_CSx)信号の状態を示します。

1(R): Highレベル(本SPIは非選択状態)

0(R): Lowレベル(本SPIが選択状態)(デフォルト)

SSIFは、マスタデバイスが本SPIコントローラ(スレーブデバイス)を選択するためにスレーブセレクト(USI_CSx)信号をアクティブにすると0になります。マスタデバイスがスレーブセレクト(USI_CSx)信号をインアクティブとして本SPIコントローラの選択を解除すると1に戻ります。

D2 SEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SEIFはオーバーランエラーが発生すると1にセットされます。SEIE/USI_SIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると発生します。SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。SEIFへの1書き込みとUSI_RDxレジスタの2回読み出しの順番は逆でも構いません。

D1 SRDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SRDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。SRDIE/USI_SIE_xレジスタが1に設定されていると、同時に受信バッファフル割り込み要求がITCに送られます。SRDIFは1を書き込むことによりリセットされます。

D0 STDIF: Transmit Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

STDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。STDIE/USI_SIE_xレジスタが1に設定されていると、同時に送信バッファエンプティ割り込み要求がITCに送られます。STDIFは1を書き込むことによりリセットされます。

USI Ch.x I²C Master Mode Trigger Registers (USI_IMTG_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Trigger Register (USI_IMTG _x)	0x300460	D7-5	—	reserved	—	—	—	0 when being read.
	0x300560	D4	IMTG	I ² C master operation trigger	1 Trigger 0 Ignored	0	W	
	0x300760				1 Waiting 0 Finished		R	
	(8 bits)	D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD[2:0]	I ² C master trigger mode select	IMTGMOD[2:0] Trigger mode 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	0x0	R/W	

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cマスタモードに設定してください。

D[7:5] Reserved**D4 IMTG: I²C Master Operation Trigger Bit**

I²Cマスタの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved**D[2:0] IMTGMOD[2:0]: I²C Master Trigger Mode Select Bits**

I²Cマスタの動作を選択します。

表20.8.4 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

USI Ch.x I²C Master Mode Interrupt Enable Registers (USI_IMIE_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Interrupt Enable Register (USI_IMIE _x)	0x300461 0x300561 0x300761 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cマスタモードに設定してください。

D[7:2] **Reserved**

D1 **IMEIE: Receive Error Interrupt Enable Bit**

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 **IMIE: Operation Completion Interrupt Enable Bit**

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Master Mode Interrupt Flag Registers (USI_IMIF_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Interrupt Flag Register (USI_IMIF _x)	0x300462 0x300562 0x300762 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy 0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R
					0x7	reserved		
					0x6	NAK received		
					0x5	ACK received		
					0x4	ACK/NAK sent		
					0x3	End of Rx data		
					0x2	End of Tx data		
					0x1	Stop generated		
					0x0	Start generated		
		D1	IMEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	IMIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cマスタモードに設定してください。

D[7:6] **Reserved**

D5 **IMBSY: I²C Master Busy Flag Bit**

I²Cマスタの動作状態を示します。

1 (R): 動作中

0 (R): 待機中 (デフォルト)

IMTG/USI_IMTG_xレジスタに1を書き込むと(I²Cマスタの動作を開始させると)IMBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。

D[4:2] IMSTA[2:0]: I²C Master Status Bits

I²Cマスタの状態を示します。

表20.8.5 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

動作完了割り込み発生後にIMSTA[2:0]を読み出すことにより、終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を書き込むことで自動的に0x0になります。

D1 IMEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

IMEIFはオーバーランエラーが発生すると1にセットされます。IMEIE/USI_IMIE_xレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

IMEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

D0 IMIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

1(R): 完了

0(R): 完了前(デフォルト)

1(W): 0にリセット

0(W): 無効

IMIFはUSI_IMTGレジスタで指定/実行した動作が完了すると1にセットされます。IMIE/USI_IMIE_xレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。IMIFは1を書き込むことによりリセットされます。

USI Ch.x I²C Slave Mode Trigger Registers (USI_ISTGx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
USI Ch.x I ² C Slave Mode Trigger Register (USI_ISTGx)	0x300470	D7-5	—	reserved	—		—	—	0 when being read.		
	0x300570	D4	ISTG	I ² C slave operation trigger	1	Trigger	0	Ignored	0	W	
					1	Waiting	0	Finished		R	
	(8 bits)	D3	—	reserved	—		—	—	0 when being read.		
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]		Trigger mode		0x0	R/W	
					0x7		reserved				
	0x6				Receive ACK/NAK						
0x5					Transmit NAK						
0x4					Transmit ACK						
					0x3	Receive data/ Detect stop					
					0x2	Transmit data					
					0x1	reserved					
					0x0	Wait for start					

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cスレーブモードに設定してください。

D[7:5] Reserved

D4 ISTG: I²C Slave Operation Trigger Bit

I²Cスレーブの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved

D[2:0] ISTGMOD[2:0]: I²C Slave Trigger Mode Select Bits

I²Cスレーブの動作を選択します。

表20.8.6 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信/ストップコンディション検出
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

USI Ch.x I²C Slave Mode Interrupt Enable Registers (USI_ISIEx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.x I ² C Slave Mode Interrupt Enable Register (USI ISIEx)	0x300471	D7–2	–	reserved	–			–	–	0 when being read.	
	0x300571										
	0x300771										
	(8 bits)	D1	ISEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1	Enable	0	Disable	0	R/W	

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cスレーブモードに設定してください。

D[7:2] Reserved

D1 ISEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 ISIE: Operation Completion Interrupt Enable Bit

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Slave Mode Interrupt Flag Registers (USI_ISIFx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x I ² C Slave Mode Interrupt Flag Register (USI_ISIFx)	0x300472	D7–6	–	reserved	–		–	–	0 when being read.
	0x300572	D5	ISBSY	I ² C slave busy flag	1 Busy	0 Standby	0	R	
	0x300772 (8 bits)	D4–2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0] Status		0x0	R	
					0x7 reserved				
					0x6 NAK received				
					0x5 ACK received				
					0x4 ACK/NAK sent				
					0x3 End of Rx data				
					0x2 End of Tx data				
					0x1 Stop detected				
0x0 Start detected									
	D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.	
	D0	ISIF	Operation completion flag	1 Completed	0 Not completed	0	R/W		

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USIをI²Cスレーブモードに設定してください。

D[7:6] Reserved**D5 ISBSY: I²C Slave Busy Flag Bit**

I²Cスレーブの動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

ISTG/USI_ISTGxレジスタに1を書き込むと(I²Cスレーブの動作を開始させると)ISBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。

D[4:2] ISSTA[2:0]: I²C Slave Status Bits

I²Cスレーブの状態を示します。

表20.8.7 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

動作完了割り込み発生後にISSTA[2:0]を読み出すことにより、終了した動作を確認することができます。ISSTA[2:0]はISIFに1を書き込むことで自動的に0x0になります。

D1 ISEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

ISEIFはオーバーランエラーが発生すると1にセットされます。ISEIE/USI_ISIE_xレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

ISEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

D0 ISIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

- 1(R): 完了
 0(R): 完了前(デフォルト)
 1(W): 0にリセット
 0(W): 無効

ISIFはUSI_ISTG_xレジスタで指定/実行した動作が完了すると1にセットされます。ISIE/USI_ISIE_xレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。

ISIFは1を書き込むことによりリセットされます。

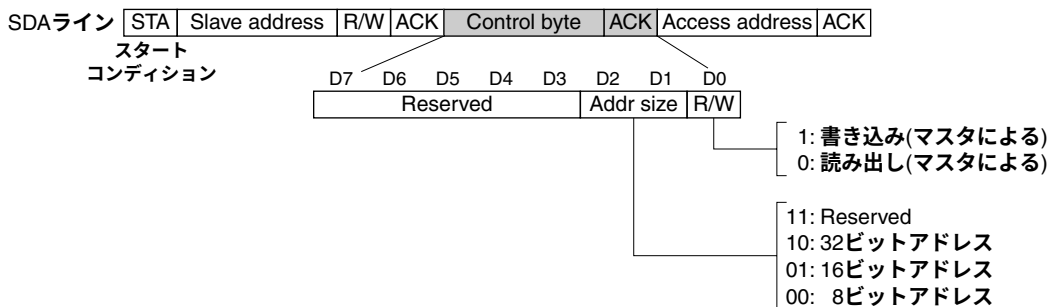
20.9 注意事項

インタフェースモードの設定

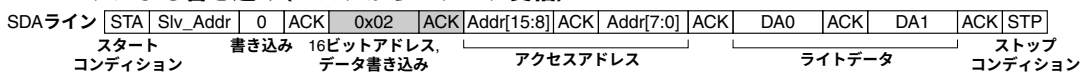
USIのインタフェースモード別の設定を行う前に、必ずソフトウェアリセット(USIMOD[2:0]/USI_GCFCG_xレジスタ = 0x0)とインタフェースモードの設定(USIMOD[2:0]/USI_GCFCG_xレジスタ = 0x1～0x5)を行ってください。

I²Cスレーブモード時のコントロールバイト受信

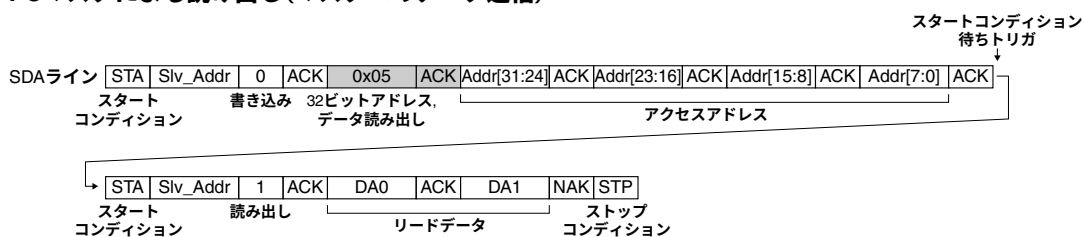
外部I²Cマスタはスレーブアドレス送信後にACKを受信すると、I²Cスレーブにコントロールバイトを送信します。スレーブのその後の動作はコントロールバイトによって決定します。



I²Cマスタによる書き込み(マスタからのデータ受信)



コントロールバイトによりアクセスアドレスサイズと書き込み動作が指定されます。コントロールバイトに続く受信データは、アドレスとアクセスアドレスサイズに従ったサイズのデータです。

I²Cマスタによる読み出し(マスタへのデータ送信)図20.9.3 I²Cマスタによる読み出し(マスタへのデータ送信)

マスタはコントロールバイトに続いてアクセスアドレスを送信します。コントロールバイトとアドレスデータを受信し、送信データを読み出すアドレスを決定します。Addr 0に対するACKを送信後、ISTGMOD[2:0]/USI_ISTG_xレジスタを0x0、ISTG/USI_ISTG_xレジスタを1に設定して、マスタがデータを読み出す(スレーブにリードデータを送信させる)ために送るスタートコンディションに待機します。

21 LCDインタフェース付きユニバーサルシリアルインタフェース(USIL)

21.1 USILモジュールの概要

S1C33L27は、ソフトウェア切り換えによりUART、SPI、I²C、LCD SPI、LCDパラレルインタフェースに設定可能なUSILモジュールを内蔵しています。

USILの主な特長を以下に示します。

- 7種類のインタフェースモードをサポート: UART、SPIマスタ、SPIスレーブ、I²Cマスタ、I²Cスレーブ、LCD SPI、LCDパラレルインタフェース
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- MSB先頭/LSB先頭モードに対応
- UARTモード
 - データ長: 7または8ビット
 - パリティモード: 偶数、奇数、パリティなし
 - ストップビット: 1または2ビット
 - スタートビット: 1ビット固定
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- SPIマスタ/スレーブモード
 - データ長: 8ビット固定
 - ファスト、ノーマルの両モードに対応(マスタモード)、またはノーマルモードのみに対応(スレーブモード)
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- I²Cマスタ/スレーブモード
 - 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
 - シングルマスタの構成にのみ対応(マスタモードのみ)
 - クロックストレッチ/ウェイト機能に対応
 - 動作完了(スタート/ストップ、データ転送、ACK/NAK転送)割り込み、受信エラー割り込みを発生可能
- LCD SPIモード
 - データ形式: 8ビット、16ビット、18ビット(4データ形式)、24ビット + CMDビット
 - ノーマルモードにのみ対応
 - 送信にのみ対応
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 送信バッファエンプティ割り込みを発生可能
 - DMA転送に対応
- LCDパラレルモード
 - データバス幅: 8ビット
 - 制御信号: A0、ライト、リード、チップセレクト信号を出力可能
 - バイトリード/バイトライトに対応
 - アクセスタイミングパラメータ(セットアップ、ホールド、ウェイトサイクル)を設定可能
 - ライトバッファエンプティ、リードバッファフル割り込みを発生可能
 - DMA転送に対応

図21.1.1にUSILモジュールの構成を示します。

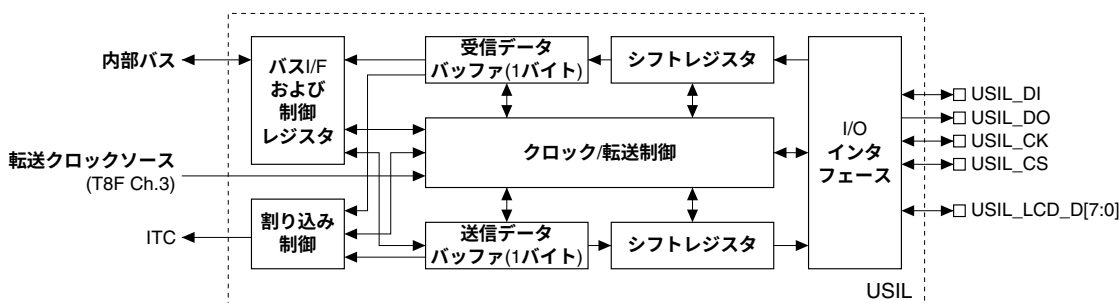


図21.1.1 USILモジュールの構成

21.2 USIL端子

表21.2.1にUSIL入出力端子の一覧を示します。

表21.2.1 USIL端子一覧

端子名	USILモード	信号名	I/O	機能
USIL_DI	ソフトウェアリセット	—	I	—
	UART	uart_rx	I	データ入力端子
	SPIマスタ	spi_di	I	外部シリアルデバイスが送信したシリアルデータを入力します。
	SPIスレーブ	spi_di	I	—
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子(*1)
	I ² Cスレーブ	i2c_sda	I/O	シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。
	LCD SPI	lcds_a0	O	A0信号出力端子
USIL_DO	LCDパラレル	lcdp_a0	O	A0信号をLCDドライバ/パネルに出力します。
	ソフトウェアリセット	—	I	—
	UART	uart_tx	O	データ出力端子
	SPIマスタ	spi_do	O	外部シリアルデバイスに送信するシリアルデータを出力します。
	SPIスレーブ	spi_do	O	—
	I ² Cマスタ	—	—	未使用
	I ² Cスレーブ	—	—	未使用
USIL_CK	LCD SPI	lcds_do	O	データ出力端子 LCDドライバ/パネルに送信するシリアルデータを出力します。
	LCDパラレル	lcdp_wr	O	ライト信号出力端子 ライト信号をLCDドライバ/パネルに出力します。
	ソフトウェアリセット	—	I	—
	UART	—	—	未使用
	SPIマスタ	spi_ck	O	クロック出力端子 SPIクロックを出力します。
	SPIスレーブ	spi_ck	I	クロック入力端子 外部クロックを入力します。
	I ² Cマスタ	i2c_sck	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。また、I ² Cクロックを出力します。
USIL_CS	I ² Cスレーブ	i2c_sck	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。またクロックストレッチの出力を行います。
	LCD SPI	lcds_ck	O	クロック出力端子 SPIクロックを出力します。
	LCDパラレル	lcdp_rd	O	リード信号出力端子 リード信号をLCDドライバ/パネルに出力します。
	ソフトウェアリセット	—	I	—
	UART	—	—	未使用
	SPIマスタ	—	—	未使用
	SPIスレーブ	#spi_ss	I	SPIスレーブ選択信号入力端子 この端子へのLow入力により、USIL(SPIスレーブモード)がSPIスレーブデバイスとして選択されます。

端子名	USILモード	信号名	I/O	機能
USIL_CS	I ² Cマスタ	i2c_sda	I/O	データ入出力端子(*1)
	I ² Cスレーブ	i2c_sda	I/O	シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。
	LCD SPI	—	—	未使用
	LCDパラレル	lcdp_cs	O	チップセレクト信号出力端子 チップセレクト信号をLCDドライバ/パネルに出力します。
USIL_LCD_D[7:0]	ソフトウェアリセット	—	I	—
	UART	—	—	未使用
	SPIマスタ	—	—	
	SPIスレーブ	—	—	
	I ² Cマスタ	—	—	
	I ² Cスレーブ	—	—	
	LCD SPI	—	—	
	LCDパラレル	lcdp_da[7:0]	I/O	8ビットデータ入出力端子 LCDドライバ/パネルの8ビットパラレルデータを入出力します。

*1: USILをI²Cマスタまたはスレーブモードに設定した場合、USIL_DI端子またはUSIL_CS端子をデータ入出力端子として使用可能です。ただし、USIL_DIとUSIL_CS端子を両方同時にデータ入出力端子として使用することはできません。

*2: 端子の機能をUSIL用に切り換えると、USIL_GCFGレジスタでインタフェースモードを設定するまで、端子はすべて入力に設定されます。端子がUSIL用に設定されている状態でUSILのソフトウェアリセットを実行した場合も、端子はすべて入力に設定されます。USILが動作中にソフトウェアリセットを実行する際は、その前に、必要に応じて端子の機能を汎用入出力ポートに切り換えてください。

注: USILをSPIマスタモードで使用する際のスレーブセレクト信号出力には汎用入出力(GPIO)ポートを使用してください。

USILの入出力端子(USIL_DI、USIL_DO、USIL_CK、USIL_CS、USIL_LCD_D[7:0])は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUSILの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

21.3 USILのクロックソース

動作クロック

USILモジュールは、PCLKを動作クロックとして使用します。したがって、制御レジスタの設定も含め、USILを使用する場合は、CMUからPCLKが供給されている必要があります。PCLKの供給に関しては“クロックマネジメントユニット(CMU)”の章を参照してください。

転送クロック

USILをUART、SPIマスタ(ノーマルモード)、I²Cマスタ、LCD SPI、またはLCDパラレルインタフェースとして使用する場合は転送用ソースクロックは8ビットタイマ(T8F Ch.3)から供給されます。転送レートに合わせてT8F Ch.3をプログラムし、ソースクロックをUSILモジュールに供給してください。なお、USILモジュールは、このソースクロックを更に分周して転送クロック(またはサンプリングクロック)を生成します。インタフェースモードによりUSIL内部の分周比が異なりますので注意してください。

USILをSPIマスタ(ファストモード)として使用する場合、PCLKがソースクロックとなります。SPIスレーブまたはI²Cスレーブとして使用する場合、転送クロックは外部マスタから入力します。ただし、サンプリング信号を生成するために、SPIスレーブではPCLKが、I²CスレーブではT8F Ch.3出力クロックを使用します。

表21.3.1 USILクロック

クロック	インタフェースモード	ソースクロック
動作クロック	UART	PCLK
	SPIマスタ	PCLK
	SPIスレーブ	PCLK
	I ² Cマスタ	PCLK
	I ² Cスレーブ	PCLK
	LCD SPI	PCLK
	LCDパラレル	PCLK
転送/サンプリング クロックソース (USIL内部分周比)	UART	T8F Ch.3 (f _{SOURCE} /8)
	SPIマスタ	ノーマルモード: T8F Ch.3 (f _{SOURCE} /2) ファストモード: PCLK (f _{PCLK})
	SPIスレーブ	PCLK (f _{PCLK} /4) サンプリング用
	I ² Cマスタ	T8F Ch.3 (f _{SOURCE} /8)
	I ² Cスレーブ	T8F Ch.3 (f _{SOURCE}) サンプリング用
	LCD SPI	T8F Ch.3 (f _{SOURCE} /2)
	LCDパラレル	T8F Ch.3 (f _{SOURCE})

f_{SOURCE} = f_{SYS_CLK} × DF / (TR + 1)

bps = f_{SOURCE} / 8 (UARTモード、I²Cマスタモード)

bps = f_{SOURCE} / 2 (SPIマスタモード、LCD SPIモード)

f_{SOURCE}: T8F Ch.3出力クロック周波数[Hz]

f_{SYS_CLK}: システムクロック周波数[Hz]

bps: 転送レート[bps]

DF: DF[3:0]/T8F_CLK3レジスタ(T8F Ch.3)で設定された分周比

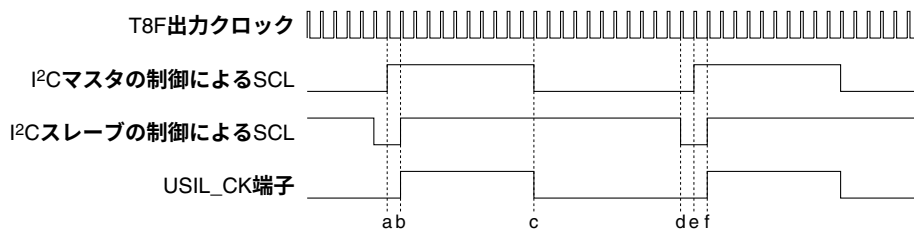
TR: T8F_TR3レジスタ(T8F Ch.3)に設定するリロード値

例: UARTモード、転送レート = 115,200bps、システムクロック = 48MHz、DF[3:0]/T8F_CLK3レジスタ設定(T8F Ch.3) = 1/1

$$TR = (f_{SYS\_CLK} \times DF) / (bps \times 8) - 1 = 48,000,000 \times 1 / (115,200 \times 8) - 1 = 51 (=0x33)$$

T8Fモジュールの制御については、“ファインモード8ビットタイマ(T8F)”の章を参照してください。

注: USILをI²Cスレーブモードに設定した場合、i2c_sck(I²Cクロック)は外部I²Cマスタから供給されます。T8F出力クロック周波数(f_{SOURCE})はi2c_sck周波数に合わせて決定してください。

図21.3.1 I²Cスレーブモード時のI²Cクロック

T_{bf} = Ti2c_baud_rate

T_{bc} = Ti2c_baud_rate_high

T_{cf} = Ti2c_baud_rate_low

T_{ce}: I²CマスタがSCLラインを占有します(Low駆動)。

T_{ac}: SCLラインはI²Cマスタから解放されます。

T_{df}: 内部動作を完了させるため、I²CマスタがSCLラインをLowにしたことを検出後、I²CスレーブはSCLラインを2クロックサイクル(T8F出力クロック)の間Lowに駆動して占有します。

T8F出力クロック周波数(f_{SOURCE})は、以下の条件を満たすように設定してください。

f_{SOURCE} > 3/T_{bc}

f_{SOURCE} > 4/T_{ce}

I²CスレーブのLow駆動により実際のSCL信号が遅れることに注意してください。図21.3.2はタイミングがずれた一例です。

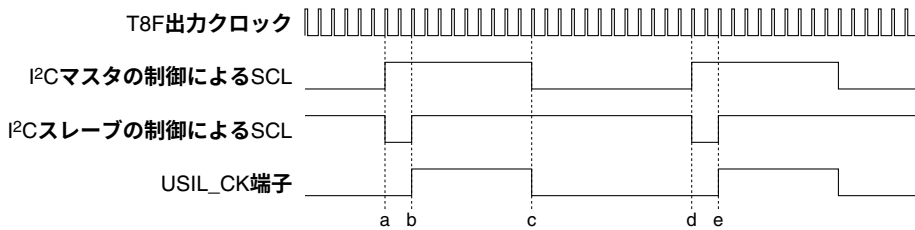


図21.3.2 I²Cクロック遅延の例

21.4 USILモジュールの設定

USILモジュールによるデータ転送を開始する前に、以下の設定を行ってください。

- (1) クロックソースモジュールをプログラムし、必要なクロックをUSILモジュールに供給します(21.3節参照)。
- (2) USILモジュールをリセットします。
- (3) USILのインタフェースモードとモード共通項目(MSB先頭/LSB先頭)を設定します。
- (4) インタフェースモードに合わせ、使用する端子をUSIL用に設定します(21.2節参照)。
- (5) 選択したインタフェースモードのデータ形式や動作条件を設定します。
- (6) 必要に応じ、割り込みおよびDMAの設定を行います(21.7節参照)。

21.4.1 USILモジュールのソフトウェアリセット

USILMOD[2:0]/USIL_GCFGレジスタに0x0を書き込むことで、USILモジュールの回路がリセットされます。USILの他の設定を行う前に、必ずソフトウェアリセットとインタフェースモードの設定を行ってください。ソフトウェアリセットの操作により、全USILレジスタの内容が初期値にリセットされます。

21.4.2 インタフェースモード

USILモジュールは21.1節に示したとおり7種類のシリアルインタフェース機能を持ち、使用するインタフェースをUSILMOD[2:0]/USIL_GCFGレジスタにより選択することができます。

表21.4.2.1 インタフェースモードの選択

USILMOD[2:0]	インタフェースモード
0x7	LCDパラレル
0x6	LCD SPI
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

注: USILの他の設定を行う前に、必ずソフトウェアリセットとインタフェースモードの設定を行ってください。

21.4.3 モード共通項目の設定

MSB先頭/LSB先頭の選択

データのMSBとLSBのどちらを先に入出力するか、LSBFST/USIL_GCFGレジスタで選択します。LSBFSTが0(デフォルト)の場合はLSB先頭、1に設定するとMSB先頭になります。

21.4.4 UARTモード時の設定

UARTモードでは、データ長、ストップビット、パリティビットの設定を行います。スタートビットは1ビットに固定されています。

データ長

データ長は、UCHLN/USIL_UCFGレジスタで選択します。UCHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。UCHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はUSTPB/USIL_UCFGレジスタで選択します。USTPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。USTPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、UPREN/USIL_UCFGレジスタで選択します。UPRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。UPRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、UPMD/USIL_UCFGレジスタでパリティモードを選択します。UPMDを0(デフォルト)に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。UPMDを1に設定すると、偶数パリティとして処理されます。

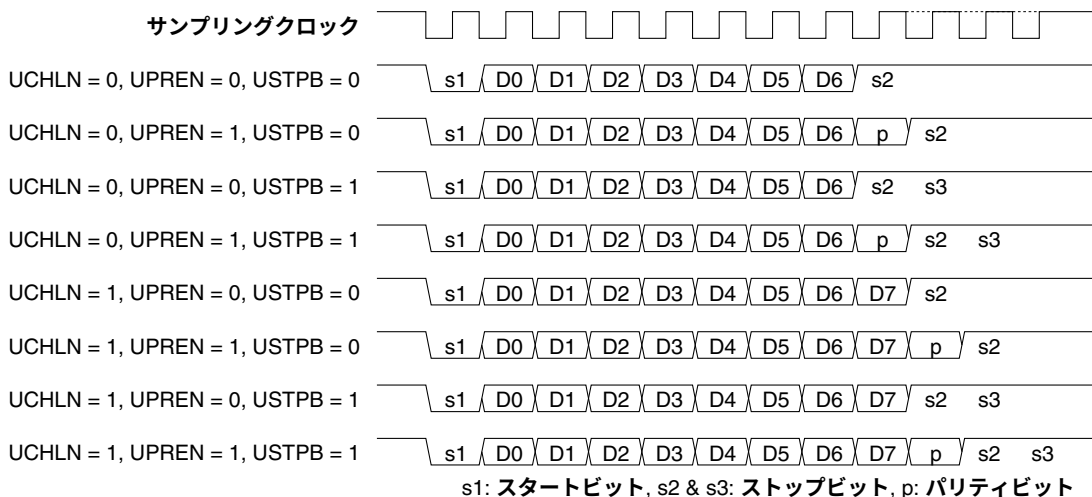


図21.4.4.1 UARTモードの転送データ形式(LSB先頭)

21.4.5 SPIモード時の設定

SPIモード(マスタおよびスレーブ)ではSPIクロックの極性と位相を設定します。SPIマスタモードではクロックモードの選択も行います。

SPIモードのデータ長は8ビットに固定されています。

SPIクロック極性と位相の設定(マスタモード、スレーブモード)

SPIクロックの極性は、SCPOL/USIL_SCFGレジスタで選択します。SCPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はSCPHA/USIL_SCFGレジスタで選択します。

これらの制御ビットにより、転送タイミングは図21.4.5.1のように設定されます。

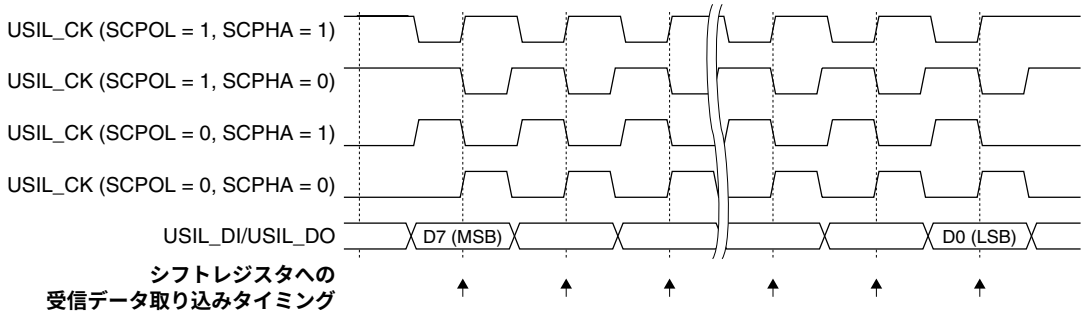
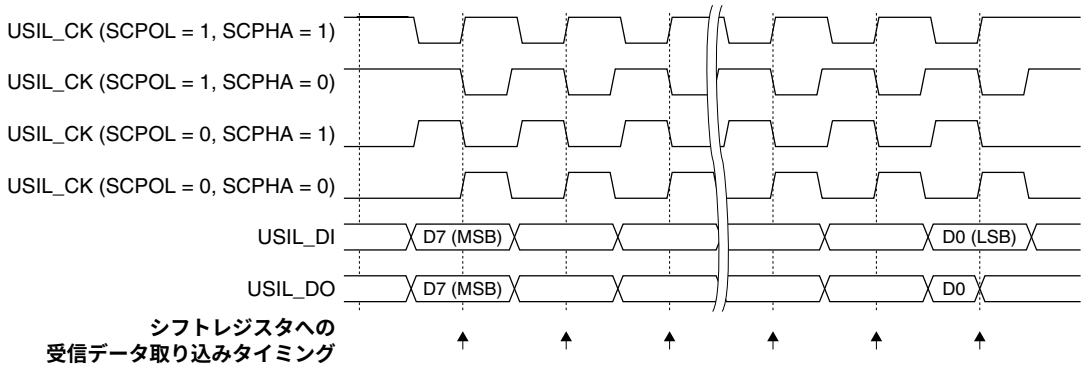
マスターモード**スレーブモード**

図21.4.5.1 クロックとデータ転送タイミング (MSB先頭)

クロックモード(マスターモードのみ)

SPIマスターモード時は通常または高速のクロックモードをSFSTMOD/USIL_SCFGレジスタで選択可能です。SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T8F出力を1/2に分周して転送クロックが生成されます。SFSTMODを1に設定するとファストモードとなり、CMUから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T8Fは使用しません。

SPIスレーブモード時のサンプリングクロックにはT8F出力クロックが使用されます。

21.4.6 I²Cモード時の設定

I²Cモードでは、データ形式等の事前設定は必要ありません。I²Cモードのデータ長は8ビットに固定されています。

21.4.7 LCD SPIモード時の設定

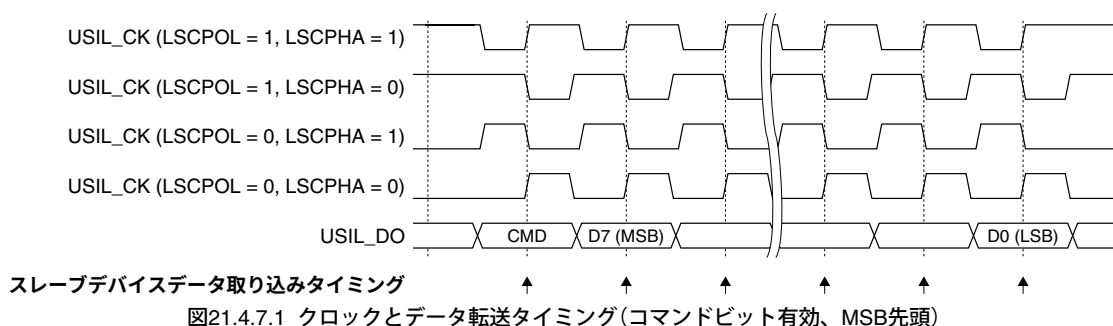
LCD SPIモードでは、SPIクロックの極性と位相、データ形式を設定します。

SPIクロック極性と位相の設定

SPIクロックの極性は、LSCPOL/USIL_LSCFGレジスタで選択します。LSCPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はLSCPHA/USIL_LSCFGレジスタで選択します。

これらの制御ビットにより、転送タイミングは図21.4.7.1のように設定されます。



データ形式

LCD SPIマスターモード時はLSDMOD[1:0]/USIL_LSDCFGレジスタで表示データ形式を選択します。

表21.4.7.1 LCD SPIデータモード

LSDMOD[1:0]	データモード
0x3	24ビットモード
0x2	18ビットモード
0x1	16ビットモード
0x0	8ビットモード

(デフォルト: 0x0)

18ビットモードには4種類のデータ形式があり、LS18DFM[1:0]/USIL_LSDCFGレジスタでその中の1つを選択します。

表21.4.7.2 LCD SPI 18ビットデータ形式

LS18DFM[1:0]	データ形式
0x3	フォーマット3
0x2	フォーマット2
0x1	フォーマット1
0x0	フォーマット0

(デフォルト: 0x0)

CMD(コマンド)ビットを前置してデータを送信するには、LSCMDEN/USIL_LSCFGレジスタを1に設定します。コマンドビットはUSILに接続したSPI LCDドライバ/パネルの制御に使用します。送信するコマンドビット値はLSCMD/USIL_LSCFGレジスタで指定します。LSCMDを1に設定するとコマンドビットはHigh、0に設定するとLowになります。

A0信号(コマンド/データ選択信号)に対応したLCDドライバ/パネルを使用する場合は、LSCMDENを0(デフォルト)に設定してデータラインへのCMDビットの送信を無効にします。この場合はUSIL_DI端子をA0信号出力端子として使用します。LSCMDを1に設定するとUSIL_DI端子はHigh、0に設定するとLowになります。

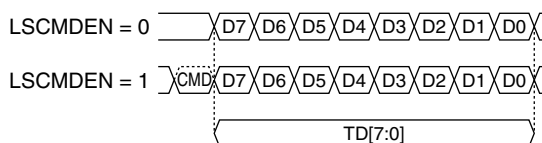


図21.4.7.2 8ビットデータ形式



図21.4.7.3 16ビットデータ形式

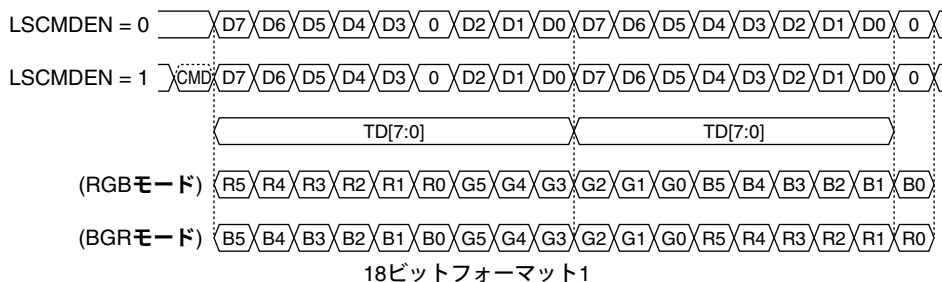


図21.4.7.4 18ビットデータ形式

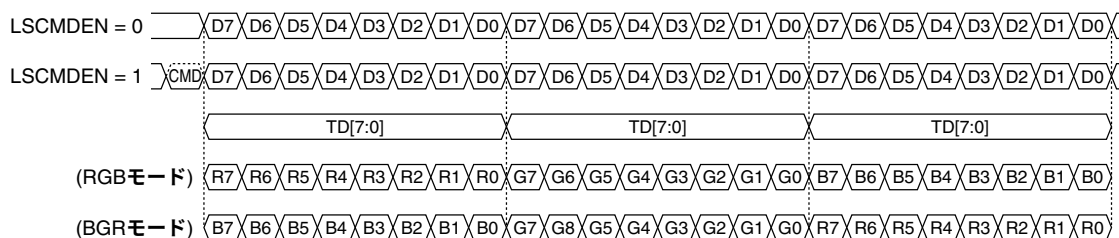


図21.4.7.5 24ビットデータ形式

21.4.8 LCDパラレルモード時の設定

LCDパラレルモードでは、アクセスタイミングパラメータを設定します。

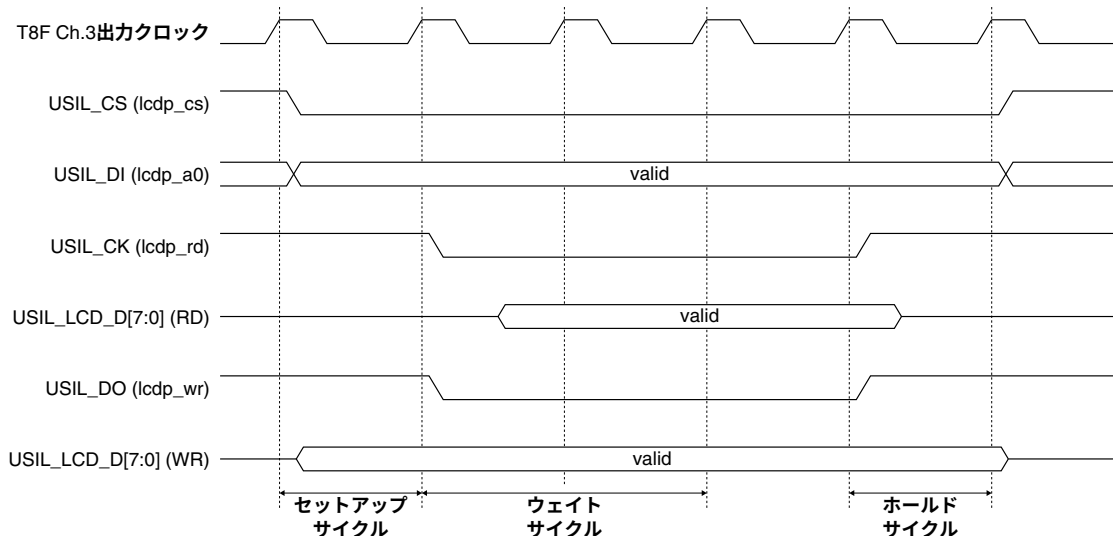


図21.4.8.1 アクセスタイミングパラメータ

セットアップサイクル

セットアップサイクルは、LPST[1:0]/USIL_LPACレジスタにより1～4サイクルに設定可能です。

表21.4.8.1 セットアップサイクルの設定

LPST[1:0]	セットアップサイクル数
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

ホールドサイクル

ホールドサイクルは、LPHD[1:0]/USIL_LPACレジスタにより1～4サイクルに設定可能です。

表21.4.8.2 ホールドサイクルの設定

LPHD[1:0]	ホールドサイクル数
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

ウェイトサイクル

ウェイトサイクルは、LPWT[3:0]/USIL_LPACレジスタにより0～15サイクルに設定可能です。

表21.4.8.3 ウェイトサイクルの設定

LPWT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
⋮	⋮
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0x0)

21.5 データ送受信の制御

ここでは、データ送受信の制御方法を説明します。前述の設定および割り込み/DMAの設定は既に済んでいるものとします。

21.5.1 UARTモードのデータ転送

データ送信

UARTモードでデータ送信を開始するには、送信データを送信データバッファ(TD[7:0]/USIL_TDレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られ、スタートビットがUSIL_DO端子から出力されます。続いて、シフトレジスタのデータが順次出力されます。8ビットデータの最後のビットを出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはUTDIF/USIL_UIFレジスタとUTBSY/USIL_UIFレジスタの2つのステータスフラグが用意されています。

UTDIFフラグは送信データバッファの状態を示します。このフラグは送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。UTDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信データバッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みおよびDMAを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。UTDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。1にセットされたUTDIFは1を書き込むことで0にリセットされます。

UTBSYフラグはUARTモード時のUSIL状態を示します。このフラグは送信データが送信データバッファに書き込まれると1となり、シフトレジスタと送信データバッファが共に空になると0に戻ります。

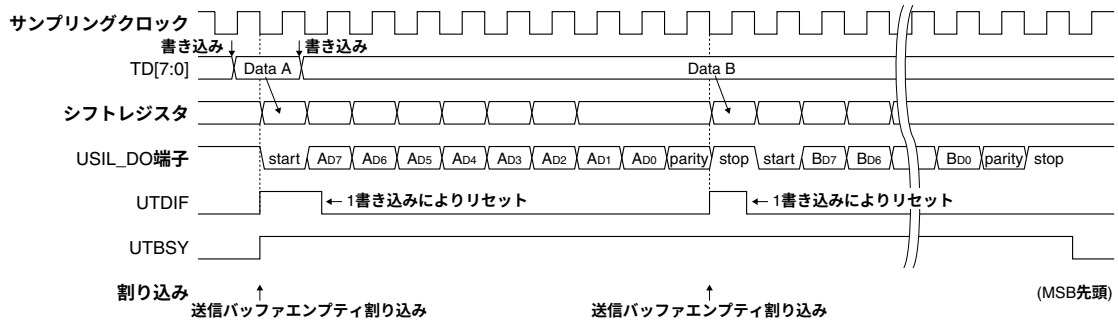


図21.5.1.1 データ送信タイミングチャート (UARTモード)

データ受信

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。8ビットデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USIL_RDレジスタ)にロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路は最終データビットの直後に受信したパリティビットでパリティチェックを行います。

受信回路にはURDIF/USIL_UIFレジスタとURBSY/USIL_UIFレジスタの2つのステータスフラグが用意されています。

URDIFフラグは受信データバッファの状態を示します。このフラグは、シフトレジスタに受信したデータが受信データバッファにロードされると1にセットされ、受信データが読み出せることを示します。URDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して受信データを受信データバッファから読み出します。受信データバッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、URDIFに1を書き込み、フラグをリセットします。

URDIFが1にセットされ、かつ受信データバッファ (USIL_RDレジスタ)が読み出されていない状態で次の受信が完了すると、オーバーランエラーとなります(ストップビットを受信した時点でオーバーランエラーが発生します)。

URBSYフラグはシフトレジスタの状態を示します。このフラグはデータをシフトレジスタに受信している間1となり、受信データが受信データバッファにロードされると0に戻ります。受信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

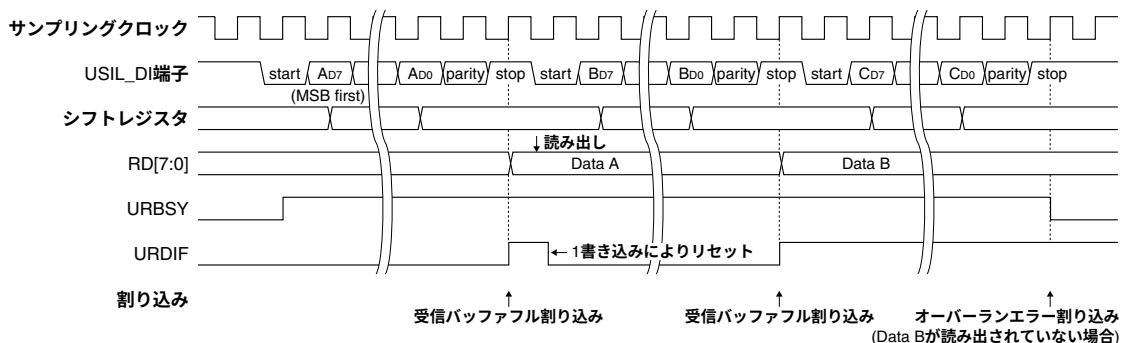


図21.5.1.2 データ受信タイミングチャート (UARTモード)

21.5.2 SPIモードのデータ転送

データ送信

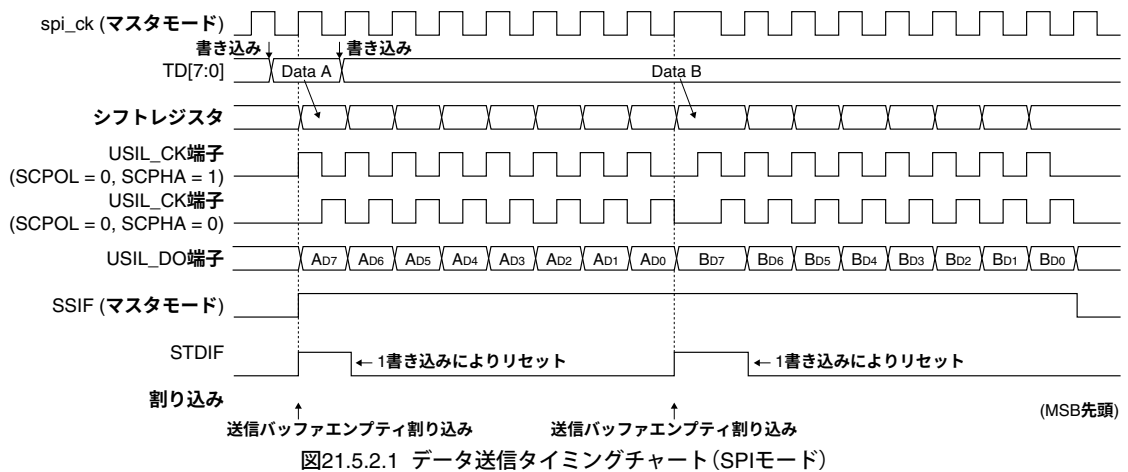
SPIモードでデータ送信を開始するには、送信データを送信データバッファ (TD[7:0]/USIL_TDレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られます。SPIマスターモードでは、USIL_CK端子からクロックの出力を開始します。SPIスレーブモードではUSIL_CK端子からのクロック入力待ちます。シフトレジスタ内のデータはSPIクロック(図21.4.5.1参照)の立ち上がりまたは立ち下がりエッジで順次シフトされ、USIL_DO端子から送信されます。

SPIコントローラには送信の制御用にSTDIF/USIL_SIFレジスタとSSIF/USIL_SIFレジスタの2つのステータスフラグが用意されています。

STDIFフラグは送信データバッファの状態を示します。このフラグは、送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。STDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信データバッファサイズは1バイトですが、シフトレジスタが別に用意されているので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みおよびDMAを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。STDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

SPIマスターモード時のSSIFフラグはUSILの状態を示します。このフラグは送信データが送信データバッファに書き込まれると1となり、シフトレジスタと送信データバッファが共に空になると0に戻ります。SPIコントローラが動作中か待機中かについては、このフラグを読み出して確認してください。



データ受信

SPIマスタモードの場合、ダミーデータを送信データバッファに書き込みます。送信データバッファの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。これにより、USIL_CK端子からSPIクロックの出力を開始します。

SPIスレーブモードの場合は、USIL_CK端子からクロックが入力されるまで待機します。送信が不要の場合は送信データバッファへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データを送信データバッファに書き込んでおきます。

データは、SPIクロック(図21.4.5.1参照)により順次シフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはRD[7:0]/USIL_RDレジスタから読み出すことができます。

SPIコントローラには受信の制御用にSRDIF/USIL_SIFレジスタとSSIF/USIL_SIFレジスタの2つのステータスフラグが用意されています。

SRDIFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。

SRDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して受信データを受信データバッファから読み出します。受信データバッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、SRDIFに1を書き込み、フラグをリセットします。SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

SPIマスタモード時のSSIFフラグはシフトレジスタの状態を示します。このフラグは受信を開始すると1になり、データ受信を完了すると0に戻ります。SPIコントローラが動作中か待機中かについては、このフラグを読み出して確認してください。

21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)

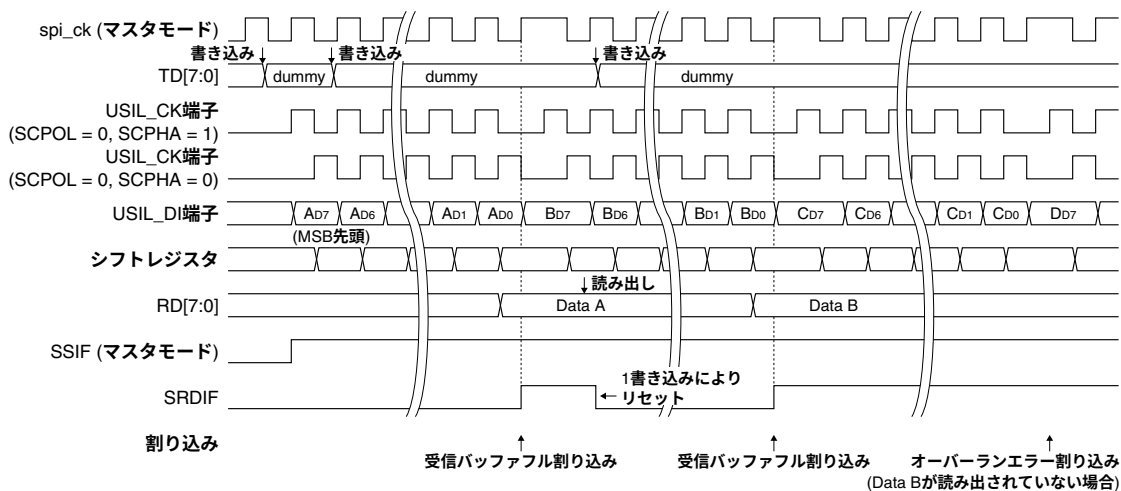


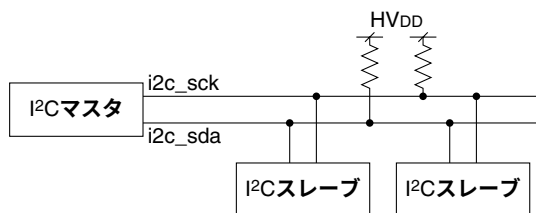
図21.5.2.2 データ受信タイミングチャート (SPIモード)

スレーブセレクト信号

SPIスレーブモードの送受信動作は、USIL_CS端子に入力されるマスタデバイスのスレーブセレクト信号がLowの場合に有効です。スレーブセレクト信号がHighの場合は、マスタデバイスのクロックがUSIL_CK端子に入力されても送受信を開始しません。スレーブセレクト信号の状態は、SSIF/USIL_SIFレジスタ(SPIマスタモード時はシフトレジスタのステータスフラグとして機能)で確認できます。スレーブセレクト信号がインアクティブ(High)の場合はSSIFが1、スレーブセレクト信号がアクティブ(Low)の場合はSSIFが0になります。

SPIマスタモード時にスレーブセレクト出力が必要な場合は、汎用入出力ポートを使用し、ソフトウェアで出力を制御してください。

21.5.3 I²Cモードのデータ転送



USILをI²Cモードに設定した場合、i2c_sckとi2c_sda端子はLow出力またはハイインピーダンス状態となります。Highレベルは出力しませんので、i2c_sckとi2c_sdaラインは外部でHVDDレベルにプルアップしてください。

注: HVDDを超える電圧値にはプルアップしないでください。

図21.5.3.1 I²Cモードの接続例

I²Cマスタモードの制御

I²Cマスタモードの送受信は、IMTGMOD[2:0]/USIL_IMTGレジスタとIMTG/USIL_IMTGレジスタで制御します。IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

表21.5.3.1 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

IMTGに1を書き込むとIMBSY/USIL_IMIFレジスタが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(IMIF/USIL_IMIFレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(IMSTA[2:0]/USIL_IMIFレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、IMIFに1を書き込んでクリアしてください。これにより、IMSTA[2:0]も自動的に0x0にクリアされます。

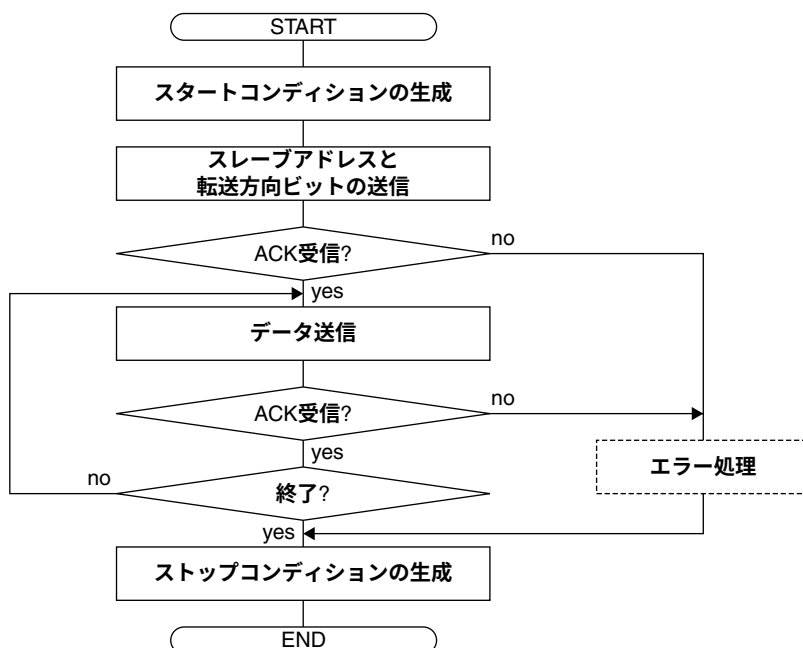
表21.5.3.2 I²Cマスタステータスビット

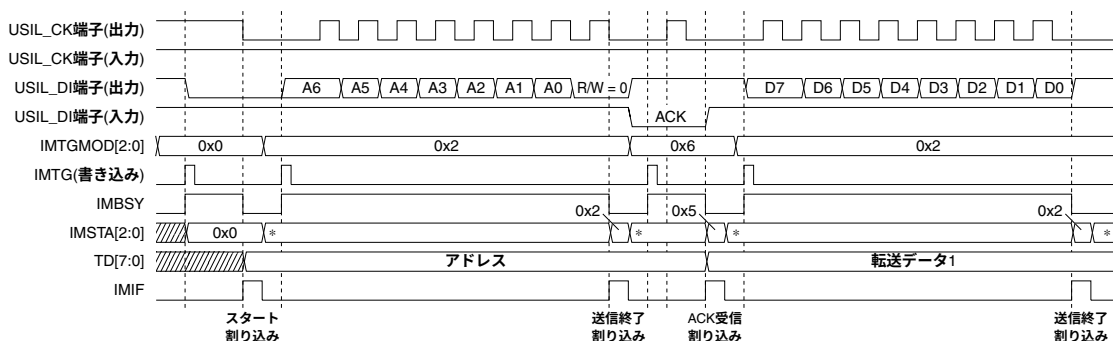
IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	データ受信終了
0x2	データ送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

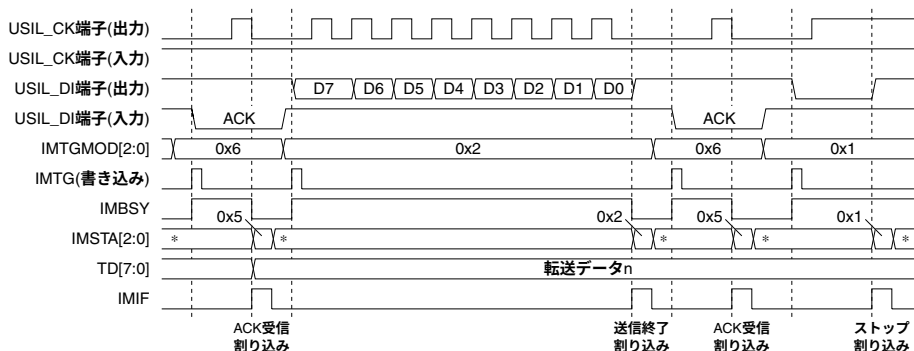
I²Cマスタ送信手順

以下、I²Cマスタモード時のデータ送信手順を説明します。

図21.5.3.2 I²Cマスタモードのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

* ソフトウェアでIMIFをクリアすると、IMSTA[2:0]も0x0にクリアされます。

図21.5.3.3 I²Cマスタモードのデータ送信タイミング

(1) スタートコンディションの生成

I²Cの送受信はI²Cマスタデバイスがスタートコンディションを生成することにより開始します。I²CバスのSCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。本PCマスタでスタートコンディションを生成するにはIMTGMOD[2:0]を0x0(デフォルト)に設定し、IMTGに1を書き込みます。

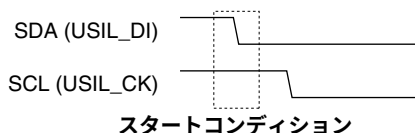


図21.5.3.4 スタートコンディション

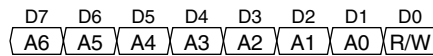
スタートコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x0に設定されます。これ以降、I²Cバスはビジー状態になります。

注: スタートコンディションを生成する前に、他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの送信

スタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データバッファを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回または3回の送信を行います。アドレスデータの構成を図21.5.3.5に示します。

7ビットアドレスの場合

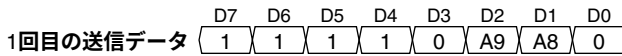
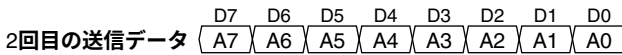


転送方向

0: マスタ → スレーブ(データ送信)

1: スレーブ → マスタ(データ受信)

10ビットアドレスの場合

スレーブアドレス
上位2ビット

スレーブアドレス 下位8ビット

I²Cマスタがデータ受信のときは、2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信してください。

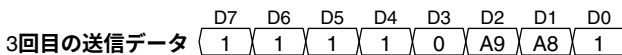
スレーブアドレス
上位2ビット

図21.5.3.5 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に設定します。

スレーブアドレスを送信するには、アドレスと転送方向ビットを送信データバッファ (TD[7:0]/USIL_TDレジスタ)に設定します。次に、IMTGMOD[2:0]を0x2に設定し、IMTGに1を書き込みます。10ビットアドレスの場合は、図21.5.3.5に従ってこの手順を2回または3回実行してください。

IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2に設定されます。IMBSYを読み出すか、割り込みを利用してスレーブアドレス(1バイト単位)が送信されたことを確認してください。

スレーブアドレスの送信後、選択されたスレーブデバイスはSCLラインをLowにしてACKをI²Cマスタに返します。SCLラインがHighのときはNAKが返ったものと見なします。この場合、指定したアドレスのスレーブデバイスとは通信できません。

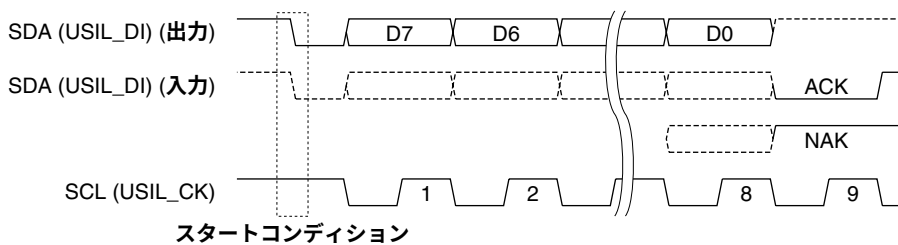


図21.5.3.6 ACKとNAK

データを送信する前に、ACKが返ったことを確認する必要があります。このチェックを行うには、スレーブアドレスの送信が終了後、IMTGMOD[2:0]を0x6に設定し、IMTGに1を書き込みます。

ACK/NAKのチェック中はIMBSYが1となります。終了するとIMBSYは0に戻り、ACKが返った場合はIMSTA[2:0]が0x5に、NAKが返った場合はIMSTA[2:0]が0x6に設定されます。IMBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、データ送信の処理に移行します。NAKを受信した場合はエラー処理を行います。

(3) データ送信

データ送信も、手順はスレーブアドレスの送信と同様です。

1. 送信データバッファ (TD[7:0]) に送信データ (8ビット) を書き込み
2. IMTGMOD[2:0] = 0x2、IMTG = 1 に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。USIL_CK端子からクロックが出力され、シフトレジスタ内のデータはこのクロックで順次シフトされ、USIL_DO端子から送信されます。

IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2(送信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。

ただし、次の8ビットデータの送信を開始する前に、スレーブアドレス送信時と同様に、スレーブデバイスからACKが返ったことを確認してください(IMTGMOD[2:0] = 0x6、IMTG = 1に設定してチェック)。

必要な回数、8ビットデータの送信とACK受信のチェックを繰り返します。

(4) ストップコンディションの生成

すべてのデータを送信後、I²C通信を終了する場合は、I²Cマスタがストップコンディションを生成します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。本I²Cマスタでストップコンディションを生成するにはIMTGMOD[2:0]を0x1に設定し、IMTGに1を書き込みます。

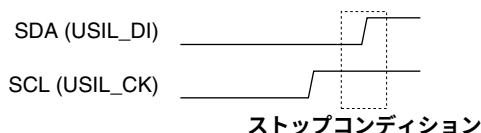


図21.5.3.7 ストップコンディション

ストップコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x1に設定されます。IMBSYを読み出すか、割り込みを利用してストップコンディションが生成されたことを確認してください。これ以降、I²Cバスはフリー状態になります。

(5) リピーテッドスタートコンディションの生成

データの送信が終了した後、さらに別の送受信を続けて行いたい場合などには、ストップコンディションの生成を省き、リピーテッドスタートコンディションを生成することが可能です。この場合は、(1)で説明したスタートコンディションの生成手順を実行してください。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

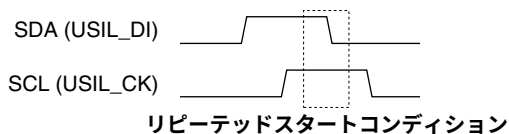
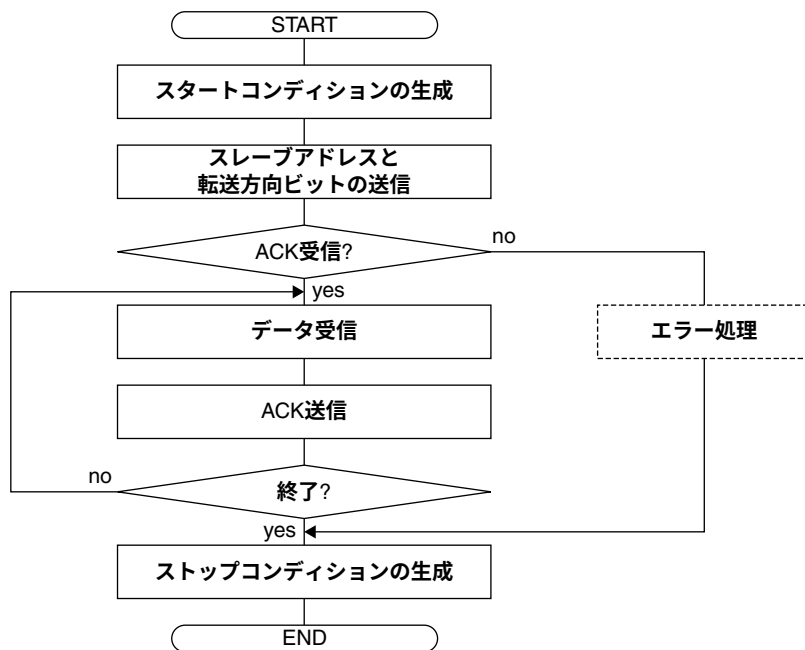
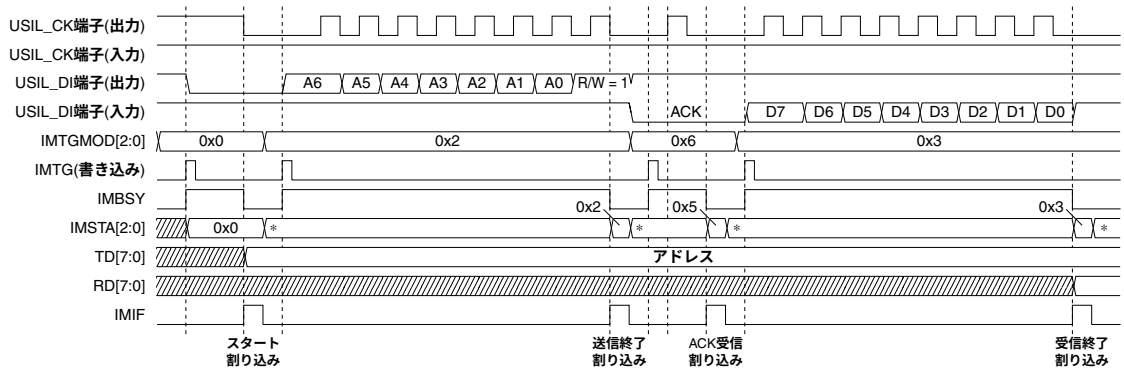


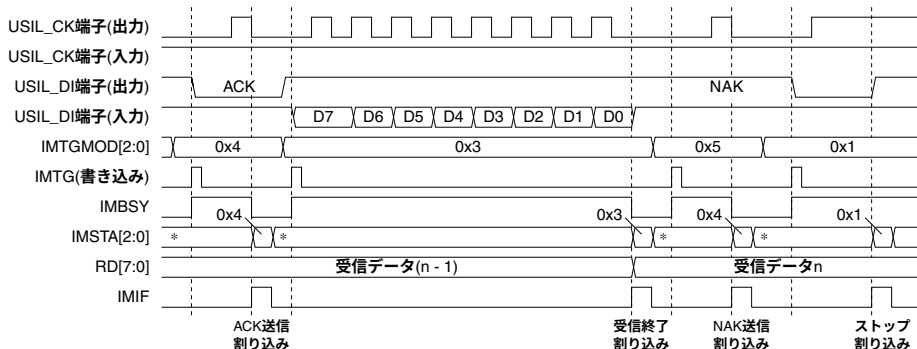
図21.5.3.8 リピーテッドスタートコンディション

I²Cマスタ受信手順

以下、I²Cマスタモード時のデータ受信手順を説明します。

図21.5.3.9 I²Cマスタモードのデータ受信フローチャート

(1) スタートコンディション → データ受信



(2) データ受信 → ストップコンディション

* ソフトウェアでIMIFをクリアすると、IMSTA[2:0]も0x0にクリアされます。

図21.5.3.10 I²Cマスタモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“21.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションの生成

I²Cマスタモードの送信時と同様です。

(2) スレーブアドレスと転送方向ビットの送信

I²Cマスタモードの送信時と同様です。ただし、転送方向ビットを1に設定してスレーブアドレスを送信します。スレーブアドレス送信後は、スレーブデバイスからACKが返ったことをチェックしてください。

(3) データ受信

データ受信を開始するにはIMTGMOD[2:0]を0x3に設定し、IMTGに1を書き込みます。このトリガにより、USIL_CK端子からクロックが8個出力され、それぞれのクロックに同期して、USIL_DO端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USIL_RDレジスタ)にロードされます。IMTGに1を書き込むとIMBSYが1となります。受信データが受信データバッファにロードされるとIMBSYは0に戻り、IMSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをスレーブデバイスに送信する必要があります。ACKを送信するには、IMTGMOD[2:0]を0x4に設定し、IMTGに1を書き込みます。NAKを送信するには、IMTGMOD[2:0]を0x5に設定し、IMTGに1を書き込みます。ACK/NAKの送信中もIMBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はIMSTA[2:0]が0x4となります。必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションの生成

I²Cマスタモードの送信時と同様です。

(5) リピーテッドスタートコンディションの生成

I²Cマスタモードの送信時と同様です。

クロックストレッチ

クロックストレッチは、スレーブデバイスがデータ送受信中、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本I²Cコントローラはこのクロックストレッチに対応しています。スレーブアドレスやデータの送受信後にクロックストレッチ状態を検出した場合、次の送受信のトリガを受け付けてもウェイト状態となり、クロックストレッチ状態が解除されるまで実際の動作を開始しません。ウェイト中も含め、IMBSYは動作が完了するまで1を保持します。

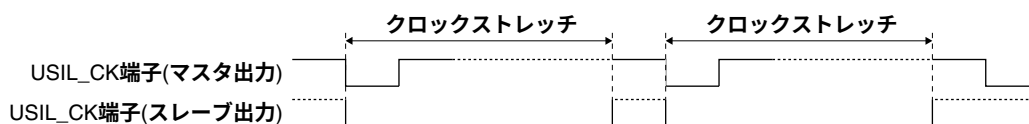


図21.5.3.11 クロックストレッチ

I²Cスレーブモードの制御

I²Cスレーブモードの送受信は、ISTGMOD[2:0]/USIL_ISTGレジスタとISTG/USIL_ISTGレジスタで制御します。ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

表21.5.3.3 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信/ストップコンディション検出
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

ISTGに1を書き込むとISBSY/USIL_ISIFレジスタが1にセットされ、PCコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(ISIF/USIL_ISIFレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(ISSTA[2:0]/USIL_ISIFレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、ISIFに1を書き込んでクリアしてください。これにより、ISSTA[2:0]も自動的に0x0にリセットされます。

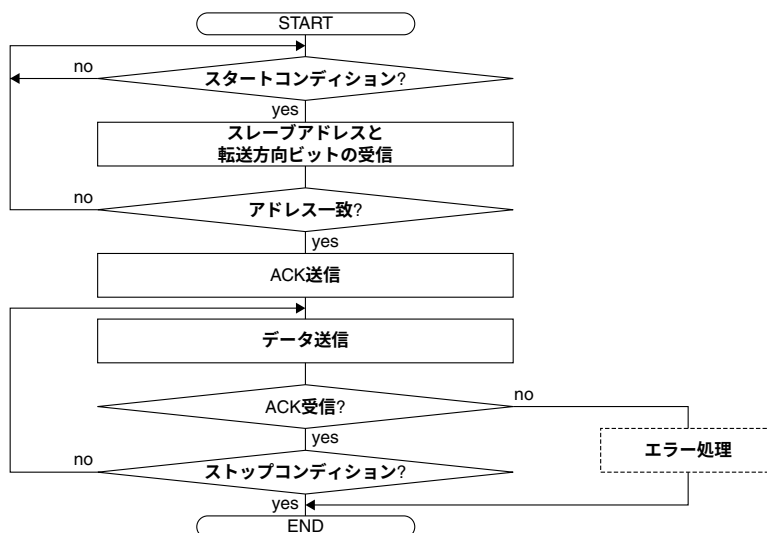
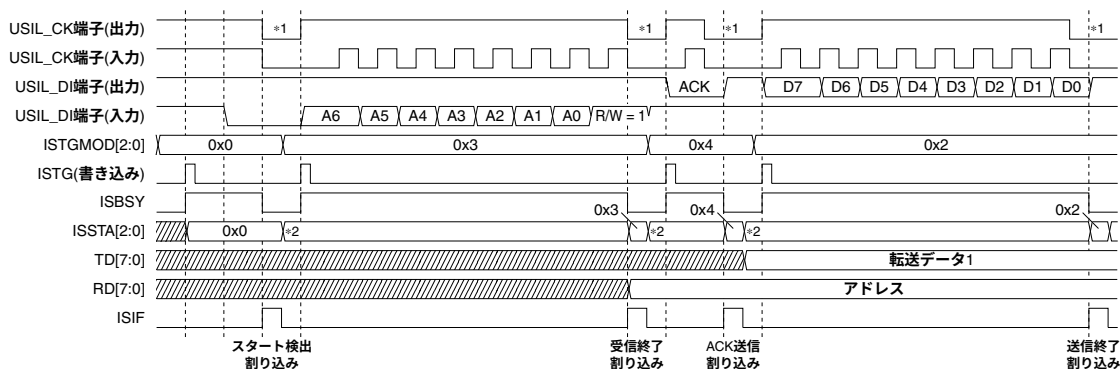
表21.5.3.4 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

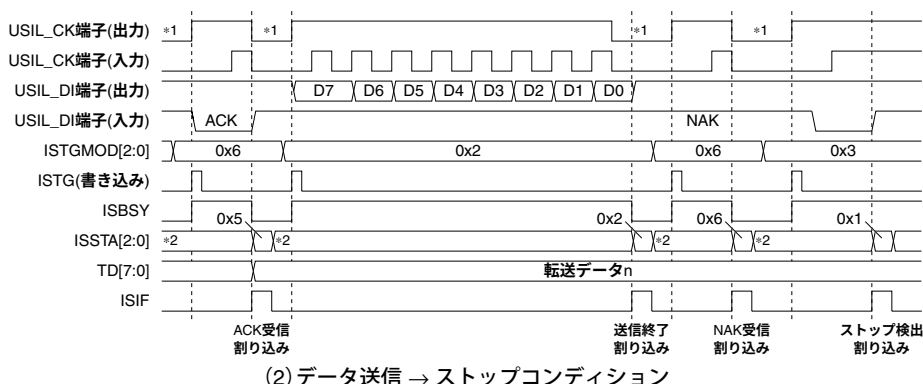
(デフォルト: 0x0)

I²Cスレーブ送信手順

以下、PCスレーブモード時のデータ送信手順を説明します。

図21.5.3.12 I²Cスレーブモードのデータ送信フローチャート

(1) スタートコンディション → データ送信



*1 ISTGMOD[2:0]で選択した動作を終了後にUSIL_CK入力 = Lowを検出するとUSIL I²CスレーブコントローラはUSIL_CK端子をLowにプルダウンして外部I²Cマスタを待機状態にします。ISTGのトリガによって次の動作を開始すると、プルダウンは解除され、I²Cマスタも待機状態から解放されます。

*2 ソフトウェアでISIFをクリアすると、ISSTA[2:0]も0x0にクリアされます。

図21.5.3.13 I²Cスレーブモードのデータ送信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“21.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションに待機

I²Cの送受信はI²Cマスタデバイスがスタートコンディション(図21.5.3.4参照)を生成することにより開始します。したがって、最初に本I²Cスレーブをスタートコンディションへの待機状態に設定します。このためにはISTGMOD[2:0]を0x0(デフォルト)に設定し、ISTGに1を書き込みます。これにより、I²Cコントローラはスタートコンディションの検出動作を開始します。検出動作中はISBSYが1となります。スタートコンディションを検出するとISBSYは0に戻り、ISSTA[2:0]が0x0に設定されます。ISBSYを読み出すか、割り込みを利用してスタートコンディションが生成されたことを確認してください。

注: スタートコンディションを検出する前に、他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの受信

I²Cマスタデバイスはスタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビット(図21.5.3.5参照)を送信します。本I²Cスレーブを受信状態にしてこのスレーブアドレスを受信します。受信を開始するには、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込みます。このトリガの後、USIL_CK端子から入力されるクロックのサンプリングを開始し、クロックが入力されるとUSIL_DO端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USIL_RDレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

7ビットアドレスの場合は、1回の受信でスレーブアドレスと転送方向ビットが得られます。10ビットアドレスの場合は、受信データバッファのデータをメモリにセーブ後、もう一回受信を行い、残りのアドレスビットを取得します。

受信したアドレスが本I²Cスレーブのアドレスと一致するか、チェックしてください。一致した場合は、I²CマスタにACKを送信します。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。ACKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK送信終了時はISSTA[2:0]が0x4となります。受信したアドレスが本I²Cスレーブと異なる場合はデータの送受信を中止し、(1)に戻って次のスタートコンディションに待機します。

(3) データ送信

(2)でスレーブアドレスと共に受信した転送方向ビットが1の場合は次の手順でデータ送信動作を開始します。

1. 送信データバッファ (TD[7:0]) に送信データ (8ビット) を書き込み
2. ISTGMOD[2:0] = 0x2、ISTG = 1 に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。USIL_CK端子からクロックが入力されると、シフトレジスタ内のデータはこのクロックで順次シフトされ、USIL_DO端子から送信されます。

ISTGに1を書き込むとISBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとISBSYは0に戻り、ISSTA[2:0]が0x2(送信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。

ただし、次の8ビットデータの送信を開始する前に、マスタデバイスから返るACK/NAKを確認してください。このためには、ISTGMOD[2:0]を0x6に設定し、ISTGに1を書き込みます。

ACK/NAKのチェック中はISBSYが1となります。終了するとISBSYは0に戻り、ACKが返った場合はISSTA[2:0]が0x5に、NAKが返った場合はISSTA[2:0]が0x6に設定されます。ISBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、次のデータ送信を開始します。NAKを受信した場合は対応する処理に移行します。

(4) ストップコンディションの受信

データ送信動作中に読み出したISSTA[2:0]が0x1の場合、I²Cマスタデバイスがストップコンディション(図21.5.3.7参照)を生成しています。この場合は送信処理を終了します。

I²Cスレーブ受信手順

I²Cスレーブモード時のデータ受信手順を説明します。

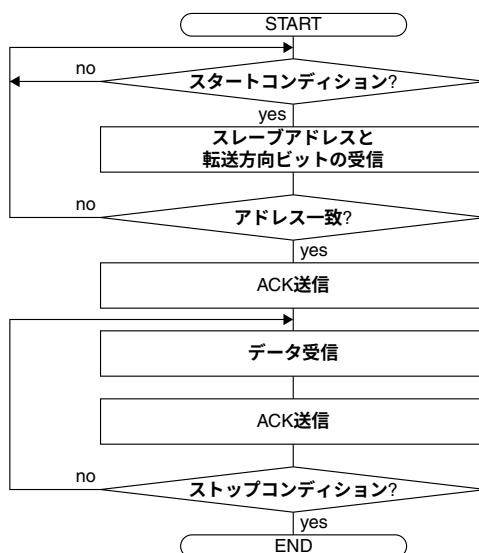
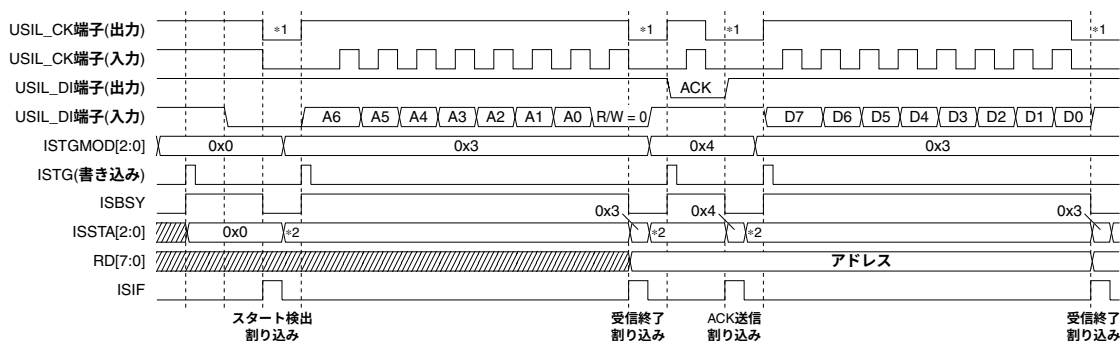
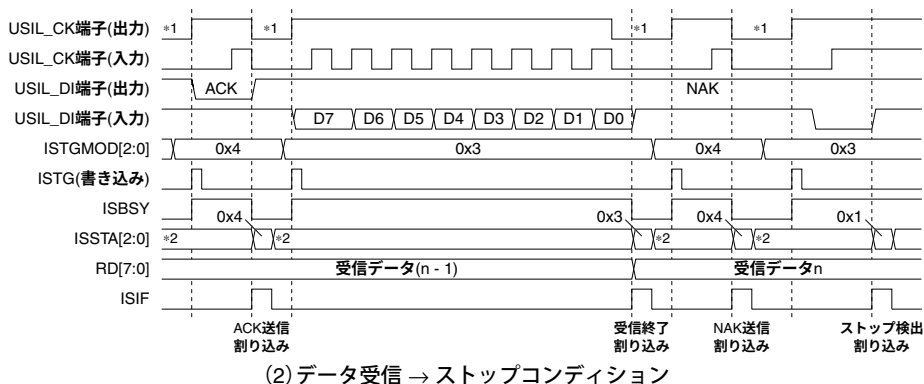


図21.5.3.14 I²Cスレーブモードの受信フローチャート



(1) スタートコンディション → データ受信



*1 ISTGMOD[2:0]で選択した動作を終了後にUSIL_CK入力 = Lowを検出するとUSIL I²CスレーブコントローラはUSIL_CK端子をLowにプルダウンして外部I²Cマスタを待機状態にします。ISTGのトリガによって次の動作を開始すると、プルダウンは解除され、I²Cマスタも待機状態から解放されます。

*2 ソフトウェアでISIFをクリアすると、ISSTA[2:0]も0x0にクリアされます。

図21.5.3.15 I²Cスレーブモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“21.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションに待機

I²Cスレーブモードの送信時と同様です。

(2) スレーブアドレスと転送方向ビットの受信

I²Cスレーブモードの送信時と同様です。

(3) データ受信

(2)でスレーブアドレスと共に受信した転送方向ビットが0の場合は、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込んでデータ受信動作を開始します。

クロックが入力されると、それぞれのクロックに同期して、USIL_DO端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USIL_RDレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信終了)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをマスタデバイスに送信する必要があります。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。NAKを送信するには、ISTGMOD[2:0]を0x5に設定し、ISTGに1を書き込みます。

ACK/NAKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はISSTA[2:0]が0x4となります。

必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションの受信

データ受信動作中に読み出したISSTA[2:0]が0x1の場合、I²Cマスタデバイスがストップコンディション(図21.5.3.7参照)を生成しています。この場合は受信処理を終了します。

クロックストレッチ

データの送受信中はACKの送受信から次のデータの送受信を開始するまで、SCLラインをLowにプルダウンしてクロックストレッチ状態とし、マスタデバイスにウェイトを要求します。

21.5.4 LCD SPIモードのデータ転送

LCD SPIモードはデータ送信にのみ対応しています。

LCD SPIモードでデータ送信を開始するには、コマンドビット(LSCMD/USIL_LSCFGレジスタ)の状態を設定後、送信データを送信データバッファ(TD[7:0]/USIL_TDレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られ、USIL_CK端子からクロックの出力を開始します。シフトレジスタ内のデータはSPIクロック(図21.4.7.1参照)の立ち上がりまたは立ち下がりエッジで順次シフトされ、USIL_DO端子から送信されます。

LCD SPIコントローラには送信の制御用にLSTDIF/USIL_LSIFレジスタとLSBSY/USIL_LSIFレジスタの2つのステータスフラグが用意されています。

LSTDIFフラグは送信データバッファの状態を示します。このフラグは、送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。LSTDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信データバッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みおよびDMAを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。LSTDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。LSBSYフラグはLCD SPIモードに設定されたUSILの状態を示します。このフラグは送信データが送信データバッファに書き込まれると1となり、LSDMOD[1:0]/USIL_LSDCFGレジスタで設定されたデータ分の転送が終了すると0に戻ります。

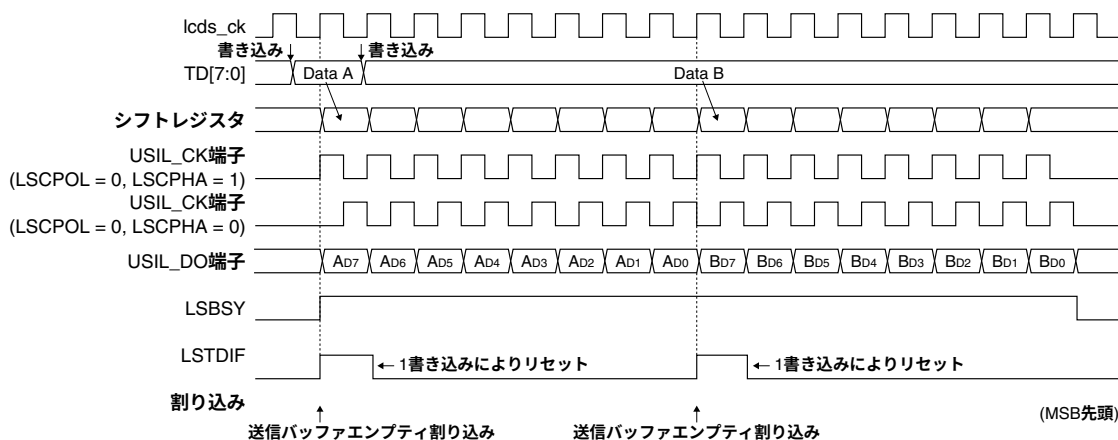


図21.5.4.1 データ送信タイミングチャート (LCD SPIモード、16ビットデータ形式)

21.5.5 LCDパラレルモードのデータ転送

データライト

LCDパラレルインタフェースを介してLCDドライバ/パネルにデータを書き込むには、コマンドビット (LPCMD/USIL_LPCFGレジスタ)の状態を設定後、データをライト(送信データ)バッファ (TD[7:0]/USIL_TDレジスタ)に書き込みます。

コマンドビットは必ずデータをライトバッファに書き込む前に設定してください。コマンドビットの値はレジスタ書き込み後、USIL_DI端子から出力されます。

LCDパラレルインタフェースは、チップイネーブル信号をアクティブにして、バッファのデータをUSIL_LCD_D[7:0]端子から出力します。

送信回路にはLPWRIF/USIL_LPIFレジスタとLPBSY/USIL_LPIFレジスタの2つのステータスフラグが用意されています。

LPWRIFフラグはライトバッファの状態を示します。このフラグは、ライトバッファに書き込んだデータがシフトレジスタに転送されると1にセットされ、ライトバッファが空になったことを示します。

LPWRIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用して続くデータをライトバッファに書き込み、次のデータ送信を行います。割り込みおよびDMAを使用せずに送信を行う場合は、必ずライトバッファが空になっていることを確認してから送信データを書き込んでください。LPWRIFがセットされる前に書き込みを行うと、ライトバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。1のセットされたLPWRIFは1の書き込みにより0にリセットされます。

LPBSYフラグはパラレルインタフェースの状態を示します。このフラグはデータがライトバッファに書き込まれると1となり、ライトサイクルが終了すると0に戻ります。パラレルインタフェース回路が動作中か待機中かについては、このフラグを読み出して確認してください。

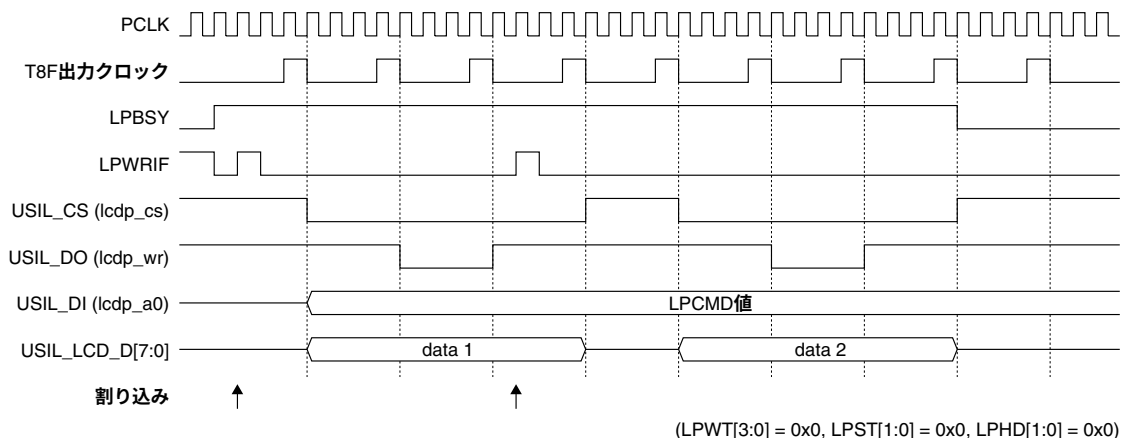


図21.5.5.1 データライトタイミングチャート (LCDパラレルモード)

データリード

LCDパラレルインタフェースを介してLCDドライバ/パネルからデータを読み出すには、リードトリガとしてLPRD/USIL_LPCFGレジスタに1を書き込みます。

LPRDに書き込む前に、コマンドビット(LPCMD/USIL_LPCFGレジスタ)の値を設定してください。コマンドビットの値はレジスタ書き込み後、USIL_DI端子から出力されます。次にUSIL_LCD_D[7:0]端子の状態をリード(受信データ)バッファ(RD[7:0]/USIL_RDレジスタ)に取り込みます。LPRDはデータがリードバッファに取り込まれるまで1を保持します。

USIL_LCD_D[7:0]がリードバッファに取り込まれると、リードバッファフルフラグ(LPRDIF/USIL_LPIFレジスタ)が1にセットされ、バッファのデータが読み出せることを示します。LPRDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みまたはDMA要求を発生させることができます(21.7節参照)。この割り込みまたはDMAを利用してデータをリードバッファから読み出します。リードバッファサイズは1バイトですので、次のデータリードの前にバッファのデータを読み出す必要があります。LPRDIFは1の書き込みによりリセットされます。

LPBSYフラグはパラレルインタフェースの状態を示します。このフラグはLPRDが1に設定されると1となり、リードサイクルが終了すると0に戻ります。パラレルインタフェース回路が動作中か待機中かについては、このフラグを読み出して確認してください。

注: 1つのリードサイクルが終了すると、データがリードバッファに格納されるとともに、LPRDIFがHighに切り換わります。その後、次のリードトリガを発行する前にリードバッファのデータを読み出してください。バッファのデータを読み出さないと、次のリード動作を開始できません。

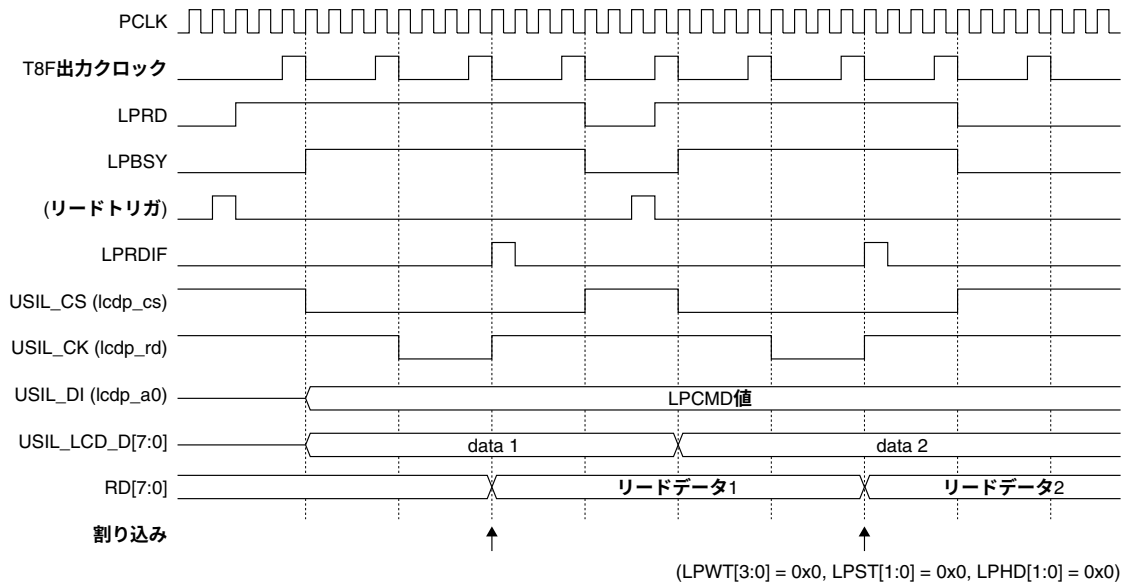


図21.5.5.2 シングルデータリードタイミングチャート (LCDパラレルモード)

連続データリード

LCDパラレルインタフェースは連続データリードに対応しています。連続リードイネーブルビット (LPSRDEN/USIL_LPCFGレジスタ)を1に設定してリードトリガ(LPRDへの1書き込み)を発行すると、LCDパラレルインタフェースはLPSRDENが1に設定されている間は、LCDドライバ/パネルからのデータリードを繰り返し実行します(リードバッファの読み出しが次のリードトリガになります)。LPSRDENが0に設定されると、LCDパラレルインタフェースは現在実行中のリードサイクルが終了次第、データリード動作を停止します。各リードサイクルでは(データがリードバッファに取り込まれるごとに)、シングルリード動作時と同様に割り込みまたはDMA要求を発生可能です。これを利用してリードバッファを読み出すことができます。

注: 連続データリードを終了後、リードバッファから2または3個のデータが読み出せます。フローチャート(図21.5.5.4)に示すとおり、これらのデータを読み出す必要があります。

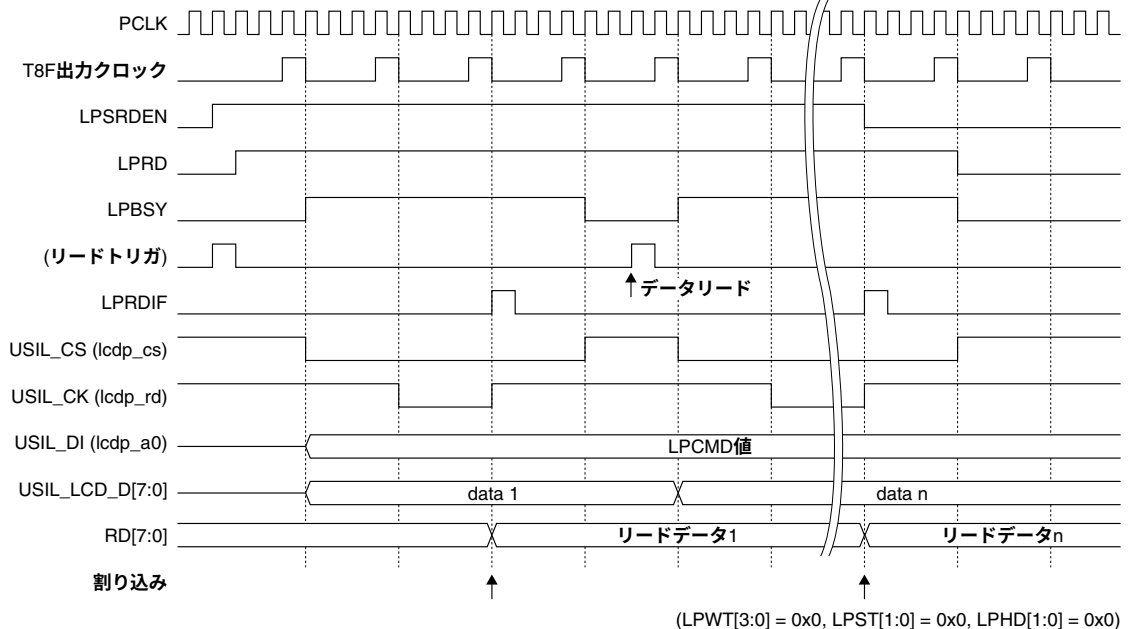


図21.5.5.3 連続データリードタイミングチャート (LCDパラレルモード)

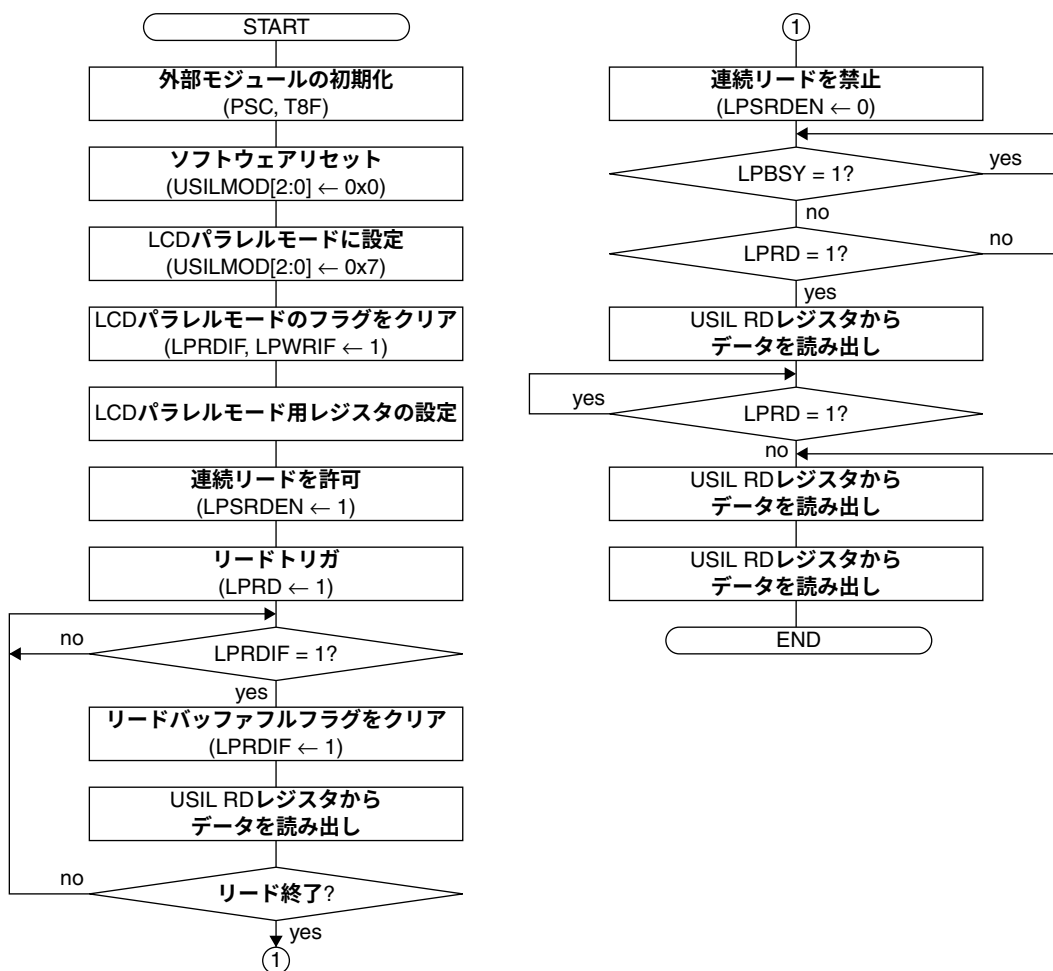


図21.5.5.4 データリードフローチャート (LCDパラレルモード)

21.6 受信エラー

UARTモードのデータ受信時は、3種類の受信エラー（オーバーランエラー、フレーミングエラー、パリティエラー）を、SPIおよびI²Cモードのデータ受信時はオーバーランエラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。割り込みの制御については、21.7節を参照してください。

オーバーランエラー (UART、SPI、I²Cマスタ/スレーブモード)

UARTモード

オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ (USIL_RDレジスタ) が読み出されていない状態で次の受信が完了すると発生します (ストップビットを受信した時点でオーバーランエラーが発生します)。

オーバーランエラーが発生すると、オーバーランエラーフラグ (UOEIF/USIL_UIFレジスタ) が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。UOEIFをリセットするには、USILのソフトウェアリセット (USILMOD[2:0]/USIL_GCFGレジスタへの0x0書き込み) を実施し、USILを初期化してください。

SPIモード

オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると発生します。SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません (受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。

この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

オーバーランエラーが発生すると、オーバーランエラーフラグ(SEIF/USIL_SIFレジスタ)が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。SEIFへの1書き込みとUSIL_RDレジスタの2回読み出しの順番は逆でも構いません。

I²Cマスタ/スレーブモード

受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

オーバーランエラーが発生すると、オーバーランエラーフラグ(I²CマスタモードはIMEIF/USIL_IMIFレジスタ、I²CスレーブモードはISEIF/USIL_ISIFレジスタ)が1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。IMEIF/ISEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、IMEIF/ISEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

フレーミングエラー(UARTモードのみ)

UARTモード時にストップビットを0として受信すると、同期ずれとしてフレーミングエラーが発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグ(USEIF/USIL_UIFレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。なお、USEIFは1を書き込むことによって0にリセットされます。

パリティエラー(UARTモードのみ)

UARTモードでUPREN/USIL_UCFGレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックを行います。パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、UPMD/USIL_UCFGレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグ(UPEIF/USIL_UIFレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。なお、UPEIFは1を書き込むことによって0にリセットされます。

21.7 USIL割り込みとDMA

ここでは、各インタフェースモードで発生するUSIL割り込みとDMAの起動について説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

USILは、すべての割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、各モードの割り込みフラグを読み出してください。

21.7.1 UARTモードの割り込み

UARTモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、UTDIE/USIL_UIEレジスタを1に設定します。UTDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USILモジュールはUTDIF/USIL_UIFレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(UTDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(UARTモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでUTDIFフラグを読み出して確認してください。UTDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、URDIE/USIL_UIEレジスタを1に設定します。URDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされると、USILモジュールはURDIF/USIL_UIFレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(URDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(UARTモード)割り込みが受信バッファフルによるものかどうかについては、USIL割り込み処理ルーチンでURDIFフラグを読み出して確認してください。URDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、UEIE/USIL_UIEレジスタを1に設定します。UEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、USILモジュールは対応するエラーフラグ(UPEIF/USIL_UIFレジスタ、USEIF/USIL_UIFレジスタ、UOEIF/USIL_UIFレジスタ)を1にセットします。受信エラー割り込みが許可されていれば(UEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(UARTモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでUPEIF、USEIF、およびUOEIFフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、USILのソフトウェアリセット(USILMOD[2:0]/USIL_GCFGレジスタへの0x0書き込み)を実施し、USILを初期化してください。

21.7.2 SPIモードの割り込み

SPIマスタ/スレーブモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、STDIE/USIL_SIEレジスタを1に設定します。STDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USILモジュールはSTDIF/USIL_SIFレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(STDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(SPIマスタ/スレーブモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでSTDIFフラグを読み出して確認してください。STDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SRDIE/USIL_SIEレジスタを1に設定します。SRDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされると、USILモジュールはSRDIF/USIL_SIFレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(SRDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(SPIマスタ/スレーブモード)割り込みが受信バッファフルによるものかどうかについては、USIL割り込み処理ルーチンでSRDIFフラグを読み出して確認してください。SRDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、SEIE/USIL_SIEレジスタを1に設定します。SEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にオーバーランエラーを検出すると、USILモジュールはSEIF/USIL_SIFレジスタを1にセットします。受信エラー割り込みが許可されていれば(SEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(SPIマスタ/スレーブモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでSEIFを読み出して確認してください。SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、SEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

21.7.3 I²Cマスタモードの割り込み

I²Cマスタモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、IMIE/USIL_IMIEレジスタを1に設定します。IMIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USILモジュールはIMIF/USIL_IMIFレジスタを1にセットします。動作完了割り込みが許可されていれば(IMIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(I²Cマスタモード)割り込みを発生させた動作/状態については、割り込み処理ルーチンでIMSTA[2:0]/USIL_IMIFレジスタを読み出して確認してください。

表21.7.3.1 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、IMEIE/USIL_IMIEレジスタを1に設定します。IMEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USILモジュールはIMEIF/USIL_IMIFレジスタを1にセットします。受信エラー割り込みが許可されていれば(IMEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(I²Cマスタモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでIMEIFを読み出して確認してください。IMEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

21.7.4 I²Cスレーブモードの割り込み

I²Cスレーブモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、ISIE/USIL_ISIEレジスタを1に設定します。ISIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USILモジュールはISIF/USIL_ISIFレジスタを1にセットします。動作完了割り込みが許可されていれば(ISIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(I²Cスレーブモード)割り込みを発生させた動作状態については、割り込み処理ルーチンでISSTA[2:0]/USIL_ISIFレジスタを読み出して確認してください。

表21.7.4.1 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、ISEIE/USIL_ISIEレジスタを1に設定します。ISEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USILモジュールはISEIF/USIL_ISIFレジスタを1にセットします。受信エラー割り込みが許可されていれば(ISEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(I²Cスレーブモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでISEIFを読み出して確認してください。ISEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

21.7.5 LCD SPIモードの割り込み

LCD SPIモードには、次の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、LSTDIE/USIL_LSIEレジスタを1に設定します。LSTDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USILモジュールはLSTDIF/USIL_LSIFレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(LSTDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(LCD SPIモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでLSTDIFフラグを読み出して確認してください。LSTDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

21.7.6 LCDパラレルモードの割り込み

LCDパラレルモードには、以下の2種類の割り込みを発生させる機能があります。

- ライトバッファエンプティ割り込み
- リードバッファフル割り込み

ライトバッファエンプティ割り込み

この割り込みを使用するには、LPWRIE/USIL_LPIEレジスタを1に設定します。LPWRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ライト(送信データ)バッファに書き込んだデータがUSIL_LCD_D[7:0]端子から出力されると、USILモジュールはLPWRIF/USIL_LPIFレジスタを1にセットしてライトバッファが空であることを示します。ライトバッファエンプティ割り込みが許可されていれば(LPWRIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(LCDパラレルモード)割り込みがライトバッファエンプティによるものかどうかについては、割り込み処理ルーチンでLPWRIFフラグを読み出して確認してください。LPWRIFが1であれば、割り込み処理ルーチンで次のデータをライトバッファに書き込むことができます。

リードバッファフル割り込み

この割り込みを使用するには、LPRDIE/USIL_LPIEレジスタを1に設定します。LPRDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

LCDドライバ/パネルから送られたデータがリード(受信データ)バッファにロードされると、USILモジュールはLPRDIF/USIL_LPIFレジスタを1にセットします。リードバッファフル割り込みが許可されている場合(LPRDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USIL(LCDパラレルモード)割り込みがリードバッファフルによるものかどうかについては、USIL割り込み処理ルーチンでLPRDIFフラグを読み出して確認してください。LPRDIFが1であれば、割り込み処理ルーチンでリードバッファからデータを読み出すことができます。

21.7.7 DMA転送

UARTモード、SPIマスタ/スレーブモード、LCD SPIモード、LCDパラレルモードでは、受信(リード)バッファフルおよび送信(ライト)バッファエンプティ割り込み要因によってDMAを起動することができます。メモリと送受信データバッファ間DMA転送により、連続的なデータ送受信が行えます。これらの要因による割り込み信号はITCとDMACの両方に送られます。したがって、USIL割り込みを発生させることなく、DMA転送を行うことができます。

USIL割り込み要因をトリガとして選択可能なDMACチャネルは以下のとおりです。

USIL受信(リード)バッファフル: DMAC Ch.6

USIL送信(ライト)バッファエンプティ: DMAC Ch.7

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

注: I²Cマスタ/スレーブモードでは、DMAを起動することはできません。

21.8 制御レジスタ詳細

表21.8.1 USILレジスタ一覧

アドレス	レジスタ名		機能
0x300600	USIL_GCFG	USIL Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x300601	USIL_TD	USIL Transmit Data Buffer Register	送信データバッファ
0x300602	USIL_RD	USIL Receive Data Buffer Register	受信データバッファ
0x300640	USIL_UCFG	USIL UART Mode Configuration Register	UART転送条件の設定
0x300641	USIL_UIE	USIL UART Mode Interrupt Enable Register	UART割り込みの許可
0x300642	USIL_UIF	USIL UART Mode Interrupt Flag Register	UART割り込み発生状態の表示
0x300650	USIL_SCFG	USIL SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x300651	USIL_SIE	USIL SPI Master/Slave Mode Interrupt Enable Register	SPI割り込みの許可
0x300652	USIL_SIF	USIL SPI Master/Slave Mode Interrupt Flag Register	SPI割り込み発生状態の表示
0x300660	USIL_IMTG	USIL I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x300661	USIL_IMIE	USIL I ² C Master Mode Interrupt Enable Register	I ² Cマスタ割り込みの許可
0x300662	USIL_IMIF	USIL I ² C Master Mode Interrupt Flag Register	I ² Cマスタ割り込み発生状態の表示
0x300670	USIL_ISTG	USIL I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x300671	USIL_ISIE	USIL I ² C Slave Mode Interrupt Enable Register	I ² Cスレーブ割り込みの許可
0x300672	USIL_ISIF	USIL I ² C Slave Mode Interrupt Flag Register	I ² Cスレーブ割り込み発生状態の表示
0x300680	USIL_LSCFG	USIL LCD SPI Mode Configuration Register	LCD SPI転送条件の設定
0x300681	USIL_LSIE	USIL LCD SPI Mode Interrupt Enable Register	LCD SPI割り込みの許可
0x300682	USIL_LSIF	USIL LCD SPI Mode Interrupt Flag Register	LCD SPI割り込み発生状態の表示
0x30068f	USIL_LSDCFG	USIL LCD SPI Mode Data Configuration Register	表示データ形式の設定
0x300690	USIL_LPCFG	USIL LCD Parallel I/F Mode Configuration Register	LCDパラレルインタフェースの設定
0x300691	USIL_LPIE	USIL LCD Parallel I/F Mode Interrupt Enable Register	LCDパラレルインタフェース割り込みの許可
0x300692	USIL_LPIF	USIL LCD Parallel I/F Mode Interrupt Flag Register	LCDパラレルインタフェース割り込み発生状態の表示
0x30069f	USIL_LPAC	USIL LCD Parallel I/F Mode Access Timing Register	LCDパラレルインタフェースアクセスタイミングパラメータの設定

以下、USILモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

USIL Global Configuration Register (USIL_GCFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL Global Configuration Register (USIL_GCFG)	0x300600 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first	0 LSB first	0	R/W	
		D2-0	USILMOD [2:0]	Interface mode configuration	USILMOD[2:0] I/F mode		0x0	R/W	
		0x7	LCD Parallel						
		0x6	LCD SPI						
		0x5	I ² C slave						
		0x4	I ² C master						
		0x3	SPI slave						
		0x2	SPI master						
		0x1	UART						
0x0	Software reset								

注: このレジスタは他のUSILレジスタより先に設定する必要があります。

D[7:4] Reserved

D3 **LSBFST: MSB/LSB First Mode Select Bit**

シリアルデータをMSBから先に転送するか、LSBから先に転送するか選択します。

1(R/W): MSB先頭

0(R/W): LSB先頭(デフォルト)

この設定は、すべてのインタフェースモードに適用されます。

D[2:0] **USILMOD[2:0]: Interface Mode Configuration Bits**

インタフェースモードを選択します。

表21.8.2 インタフェースモードの選択

USILMOD[2:0]	インタフェースモード
0x7	LCD/パラレル
0x6	LCD SPI
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

USILの他の設定を行う前に、必ずソフトウェアリセット (USILMOD[2:0]を0x0に設定) とインタフェースモードの設定を行ってください。

- 注: 1. USILMOD[2:0]を0x0(ソフトウェアリセット)に設定することにより、全USILレジスタの内容が初期値にリセットされます。
2. USILの送受信回路は、USILMOD[2:0]が0x0以外 (0x1～0x7) に設定された後に動作可能になります。
3. 各インタフェースモード用のUSILレジスタは、USILMOD[2:0]がそのモードの値に設定されている場合にのみ使用可能です。

表21.8.3 USILMOD[2:0]設定と使用可能なレジスタの対応

USILレジスタ	USILMOD[2:0]						
	0x1	0x2	0x3	0x4	0x5	0x6	0x7
LCD/パラレルモードレジスタ	–	–	–	–	–	–	使用可
LCD SPIモードレジスタ	–	–	–	–	–	使用可	–
I ² Cスレーブモードレジスタ	–	–	–	–	使用可	–	–
I ² Cマスタモードレジスタ	–	–	–	使用可	–	–	–
SPIマスタ/スレーブモードレジスタ	–	使用可	使用可	–	–	–	–
UARTモードレジスタ	使用可	–	–	–	–	–	–

USIL Transmit Data Buffer Register (USIL_TD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL Transmit Data Buffer Register (USIL_TD)	0x300601 (8 bits)	D7–0	TD[7:0]	USIL transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] TD[7:0]: USIL Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

UARTモード、SPIマスタモード、LCD SPIモード、LCD/パラレルモードでは、このレジスタへのデータ書き込み直後に送信を開始します。SPIスレーブモードでは、SPIマスタからクロックが入力されると送信を開始します。

I²Cマスタ/スレーブモードでは、データ送信のソフトウェアトリガにより送信を開始します。ここに書き込まれたデータはシフトレジスタを通してシリアルデータに変換された後、1に設定されたビットをHighレベル、0に設定されたビットをLowレベルとしてUSIL_DO端子から出力されます。

LCD/パラレルモードでは、このレジスタに書き込んだデータがUSIL_LCD_D[7:0]端子から出力されます。

このレジスタに書き込まれたデータがシフトレジスタに送られた、あるいはUSIL_LCD_D[7:0]端子から出力された時点で、送信(ライト)バッファエンプティ割り込みを発生可能です。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

USIL Receive Data Buffer Register (USIL_RD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL Receive Data Buffer Register (USIL_RD)	0x300602 (8 bits)	D7-0	RD[7:0]	USIL receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	

D[7:0] RD[7:0]: USIL Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

USIL_DI端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。LCDパラレルモードでは、USIL_LCD_D[7:0]端子に入力されたデータが、本レジスタにロードされます。

受信したデータが本レジスタにロードされた時点で、受信(リード)バッファフル割り込みを発生可能です。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタは読み出し専用です。

USIL UART Mode Configuration Register (USIL_UCFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL UART Mode Configuration Register (USIL_UCFG)	0x300640 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	UCHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D2	USTPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D1	UPMD	Parity mode select	1 Even 0 Odd	0	R/W	
		D0	UPREN	Parity enable	1 With parity 0 No parity	0	R/W	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USILをUARTモードに設定してください。

D[7:4] Reserved

D3 UCHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

7ビットを選択した場合、送信時は転送データバッファのD7が無効となります。受信時は受信データバッファのD7が常に0となります。

D2 USTPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

USTPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D1 UPMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 偶数パリティ

0(R/W): 奇数パリティ(デフォルト)

パリティチェックおよびパリティビットの付加はUPRENが1に設定されている場合にのみ有効で、UPRENが0の場合、UPMDの設定は無効となります。

D0 UPREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

UPRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うか否かを選択します。UPRENを1に設定すると、受信データのパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。UPRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

USIL UART Mode Interrupt Enable Register (USIL_UIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL UART Mode Interrupt Enable Register (USIL_UIE)	0x300641 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	URDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USILをUARTモードに設定してください。

D[7:3] Reserved

D2 UEIE: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 URDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 UTDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USIL UART Mode Interrupt Flag Register (USIL_UIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL UART Mode Interrupt Flag Register (USIL_UIF)	0x300642 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D5	UTBSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D4	UPEIF	Parity error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D3	USEIF	Framing error flag	1 Error 0 Normal	0	R/W	
		D2	UOEIF	Overrun error flag	1 Error 0 Normal	0	R/W	
		D1	URDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	UTDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、USILをUARTモードに設定してください。

D7 Reserved

D6 URBSY: Receive Busy Flag Bit

受信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

URBSYは、最初のスタートビットが検出されると(データ受信を開始すると)1にセットされ、シフトレジスタに受信したデータが受信データバッファにロードされると0にリセットされます。受信回路が動作中か待機中かを確認する際に、URBSYを読み出してください。

D5 UTBSY: Transmit Busy Flag Bit

UARTモードのUSIL状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

UTBSYは、送信データが送信データバッファに書き込まれると1にセットされ、シフトレジスタと送信データバッファが共に空になると0にリセットされます。

D4 UPEIF: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UPEIFはパリティエラーが発生すると1にセットされます。UEIE/USIL_UIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。パリティチェックはUPREN/USIL_UCFGレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。UPEIFは1を書き込むことによりリセットされます。

D3 USEIF: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

USEIFはフレーミングエラーが発生すると1にセットされます。UEIE/USIL_UIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。USEIFは1を書き込むことによりリセットされます。

D2 UOEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UOEIFはオーバーランエラーが発生すると1にセットされます。UEIE/USIL_UIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ (USIL_RDレジスタ)が読み出されていない状態で次の受信が完了すると発生します(ストップビットを受信した時点でオーバーランエラーが発生します)。UOEIFをリセットするには、USILのソフトウェアリセット (USILM-OD[2:0]/USIL_GCFGレジスタへの0x0書き込み)を実施し、USILを初期化してください。

D1 URDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

URDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。URDIF/USIL_UIEレジスタが1に設定されていると、同時に受信バッファフル割り込み要求がITCに送られます。URDIFは1を書き込むことによりリセットされます。

D0 UTDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

UTDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。

UTDIE/USIL_UIEレジスタが1に設定されていると、同時に送信バッファエンプティ割り込み要求がITCに送られます。UTDIFは1を書き込むことによりリセットされます。

USIL SPI Master/Slave Mode Configuration Register (USIL_SCFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL SPI Master/Slave Mode Configuration Register (USIL_SCFG)	0x300650 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SCPHA	Clock phase select	1 Phase 1 0 Phase 0	0	R/W	
		D2	SCPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	—	reserved	—	—	—	Do not set to 1.
		D0	SFSTMOD	Fast mode select	1 Fast 0 Normal	0	R/W	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USILをSPIマスタ/スレーブモードに設定してください。

D[7:4] Reserved**D3 SCPHA: Clock Phase Select Bit**

SPIクロックの位相を選択します。

1(R/W): フェーズ1

0(R/W): フェーズ0(デフォルト)

SCPOLと共に、データ転送タイミングを設定します(図21.8.1参照)。

D2 SCPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

SCPHAと共に、データ転送タイミングを設定します(図21.8.1参照)。

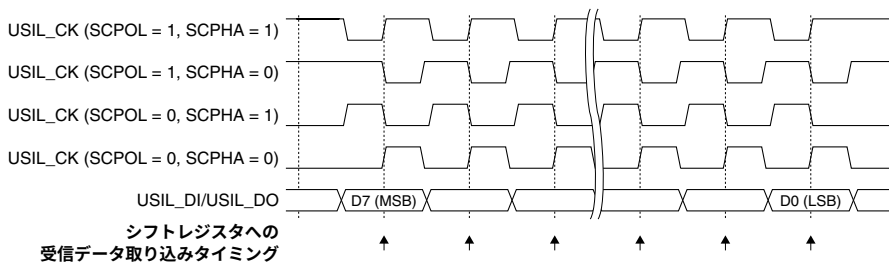
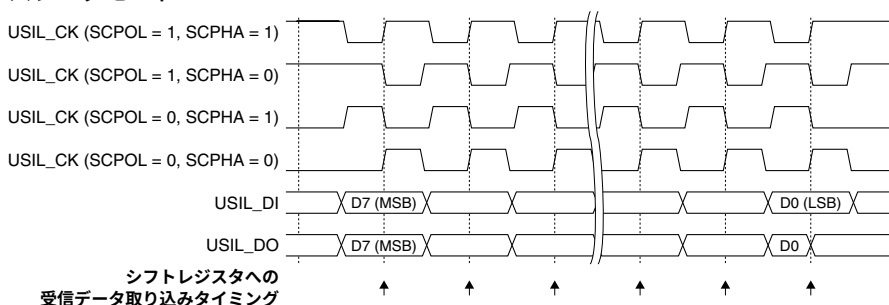
マスタモード**スレーブモード**

図21.8.1 クロックとデータ転送タイミング

D1 **Reserved** (1書き込み禁止)**D0** **SFSTMOD: Fast Mode Select Bit** (SPIマスタモードのみ)

ファストモードを選択します。

1(R/W): ファストモード

0(R/W): ノーマルモード(デフォルト)

SPIマスタモード時は通常または高速のクロックモードをSFSTMODで選択可能です。

SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T8F出力を1/2に分周して転送クロックが生成されます。

SFSTMODを1に設定するとファストモードとなり、CMUから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T8Fは使用しません。

SPIスレーブモード時のサンプリングクロックにはT8F出力クロックが使用されます。

USIL SPI Master/Slave Mode Interrupt Enable Register (USIL_SIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL SPI Master/Slave Mode Interrupt Enable Register (USIL_SIE)	0x300651 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USILをSPIマスタ/スレーブモードに設定してください。

D[7:3] **Reserved****D2** **SEIE: Receive Error Interrupt Enable Bit**

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 **SRDIE: Receive Buffer Full Interrupt Enable Bit**

受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 **STDIE: Transmit Buffer Empty Interrupt Enable Bit**

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USIL SPI Master/Slave Mode Interrupt Flag Register (USIL_SIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL SPI Master/Slave Mode Interrupt Flag Register (USIL_SIF)	0x300652 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SSIF	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = H 0 ss = L	0	R	
		D2	SEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	

注: このレジスタはSPIマスタ/スレーブモード時にのみ有効です。このレジスタを設定する前に、USILをSPIマスタ/スレーブモードに設定してください。

D[7:4] Reserved**D3 SSIF: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)****マスタモード**

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SSIFはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(USIL_CS)信号の状態を示します。

1(R): Highレベル(本SPIは非選択状態)

0(R): Lowレベル(本SPIが選択状態)(デフォルト)

SSIFは、マスタデバイスが本SPIコントローラ(スレーブデバイス)を選択するためにスレーブセレクト(USIL_CS)信号をアクティブにすると0になります。マスタデバイスがスレーブセレクト(USIL_CS)信号をインアクティブとして本SPIコントローラの選択を解除すると1に戻ります。

D2 SEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SEIFはオーバーランエラーが発生すると1にセットされます。SEIE/USIL_SIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると発生します。SRDIFが1にセットされている状態では、次に受信したデータがシフトレジスタから受信データバッファに送られません(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態)。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。SEIFへの1書き込みとUSIL_RDレジスタの2回読み出しの順番は逆でも構いません。

D1 SRDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SRDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。SRDIE/USIL_SIEレジスタが1に設定されていると、同時に受信バッファフル割り込み要求がITCに送られます。SRDIFは1を書き込むことによりリセットされます。

D0 STDIF: Transmit Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)

STDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。STDIE/USIL_SIEレジスタが1に設定されていると、同時に送信バッファエンプティ割り込み要求がITCに送られます。STDIFは1を書き込むことによりリセットされます。

USIL I²C Master Mode Trigger Register (USIL_IMTG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Master Mode Trigger Register (USIL_IMTG)	0x300660 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 1 Waiting	0 Ignored 0 Finished	0 R	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD[2:0]	I ² C master trigger mode select	IMTGMOD[2:0] Trigger mode	0x0	R/W	
					0x7 reserved			
					0x6 Receive ACK/NAK			
					0x5 Transmit NAK			
					0x4 Transmit ACK			
					0x3 Receive data			
					0x2 Transmit data			
					0x1 Stop condition			
					0x0 Start condition			

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cマスタモードに設定してください。

D[7:5] Reserved

D4 IMTG: I²C Master Operation Trigger Bit

I²Cマスタの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved

D[2:0] IMTGMOD[2:0]: I²C Master Trigger Mode Select Bits

I²Cマスタの動作を選択します。

表21.8.4 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

USIL I²C Master Mode Interrupt Enable Register (USIL_IMIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Master Mode Interrupt Enable Register (USIL_IMIE)	0x300661 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cマスタモードに設定してください。

D[7:2] Reserved

D1 IMEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 IMIE: Operation Completion Interrupt Enable Bit

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USIL I²C Master Mode Interrupt Flag Register (USIL_IMIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Master Mode Interrupt Flag Register (USIL_IMIF)	0x300662 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy 0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0] Status	0x0	R	
					0x7 reserved			
					0x6 NAK received			
					0x5 ACK received			
					0x4 ACK/NAK sent			
					0x3 End of Rx data			
					0x2 End of Tx data			
					0x1 Stop generated			
					0x0 Start generated			
		D1	IMEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	IMIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	

注: このレジスタはI²Cマスターモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cマスターモードに設定してください。

D[7:6] Reserved**D5 IMBSY: I²C Master Busy Flag Bit**

I²Cマスタの動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

IMTG/USIL_IMTGレジスタに1を書き込むと(I²Cマスタの動作を開始させると)IMBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。

D[4:2] IMSTA[2:0]: I²C Master Status Bits

I²Cマスタの状態を示します。

表21.8.5 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

動作完了割り込み発生後にIMSTA[2:0]を読み出すことにより、終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を書き込むことで自動的に0x0になります。

D1 IMEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

IMEIFはオーバーランエラーが発生すると1にセットされます。IMEIE/USIL_IMIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

IMEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

D0 IMIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

1(R): 完了

0(R): 完了前(デフォルト)

1(W): 0にリセット

0(W): 無効

IMIFはUSIL_IMTGレジスタで指定/実行した動作が完了すると1にセットされます。IMIE/USIL_IMIEレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。IMIFは1を書き込むことによりリセットされます。

USIL I²C Slave Mode Trigger Register (USIL_ISTG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Slave Mode Trigger Register (USIL_ISTG)	0x300670 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger	0 Ignored	0	W
					1 Waiting	0 Finished		R
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]	Trigger mode	0x0	R/W
					0x7	reserved		
					0x6	Receive ACK/NAK		
					0x5	Transmit NAK		
					0x4	Transmit ACK		
					0x3	Receive data/ Detect stop		
					0x2	Transmit data		
					0x1	reserved		
					0x0	Wait for start		

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cスレーブモードに設定してください。

D[7:5] Reserved**D4 ISTG: I²C Slave Operation Trigger Bit**

I²Cスレーブの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved**D[2:0] ISTGMOD[2:0]: I²C Slave Trigger Mode Select Bits**

I²Cスレーブの動作を選択します。

表21.8.6 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信/ストップコンディション検出
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

USIL I²C Slave Mode Interrupt Enable Register (USIL_ISIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Slave Mode Interrupt Enable Register (USIL_ISIE)	0x300671 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cスレーブモードに設定してください。

D[7:2] Reserved

D1 ISEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 ISIE: Operation Completion Interrupt Enable Bit

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USIL I²C Slave Mode Interrupt Flag Register (USIL_ISIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Slave Mode Interrupt Flag Register (USIL_ISIF)	0x300672 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy 0 Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0] Status	0x0	R	
					0x7 reserved			
					0x6 NAK received			
					0x5 ACK received			
					0x4 ACK/NAK sent			
					0x3 End of Rx data			
					0x2 End of Tx data			
					0x1 Stop detected			
					0x0 Start detected			
		D1	ISEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	ISIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、USILをI²Cスレーブモードに設定してください。

D[7:6] Reserved

D5 ISBSY: I²C Slave Busy Flag Bit

I²Cスレーブの動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)

ISTG/USIL_ISTGレジスタに1を書き込むと(I²Cスレーブの動作を開始させると)ISBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。

D[4:2] ISSA[2:0]: I²C Slave Status Bits

I²Cスレーブの状態を示します。

表21.8.7 I²Cスレーブステータスビット

ISSA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信終了
0x2	送信終了
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

動作完了割り込み発生後にISSA[2:0]を読み出すことにより、終了した動作を確認することができます。ISSA[2:0]はISIFに1を書き込むことで自動的に0x0になります。

D1 ISEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

ISEIFはオーバーランエラーが発生すると1にセットされます。ISEIE/USIL_ISIEレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、シフトレジスタに2バイト目のデータが入っている状態で)、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

ISEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USIL_RDレジスタ)を2回読み出してください。

D0 ISIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

1(R): 完了

0(R): 完了前(デフォルト)

1(W): 0にリセット

0(W): 無効

ISIFはUSIL_ISTGレジスタで指定/実行した動作が完了すると1にセットされます。ISIE/USIL_ISIEレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。ISIFは1を書き込むことによりリセットされます。

USIL LCD SPI Mode Configuration Register (USIL_LSCFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL LCD SPI Mode Configuration Register (USIL_LSCFG)	0x300680 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.
		D3	LSCPHA	Clock phase select	1	Phase 1	0	Phase 0	0 R/W
		D2	LSCPOL	Clock polarity select	1	Active L	0	Active H	0 R/W
		D1	LSCMD	Command bit	1	High	0	Low	0 R/W
		D0	LSCMDEN	Command bit enable	1	Enable	0	Disable	0 R/W

注: このレジスタはLCD SPIモード時にのみ有効です。このレジスタを設定する前に、USILをLCD SPIモードに設定してください。

D[7:4] Reserved

D3 LSCPHA: Clock Phase Select Bit

LCD SPIクロックの位相を選択します。

1(R/W): フェーズ1

0(R/W): フェーズ0(デフォルト)

LSCPOLと共に、データ転送タイミングを設定します(図21.8.2参照)。

D2 LSCPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

LSCPHAと共に、データ転送タイミングを設定します(図21.8.2参照)。

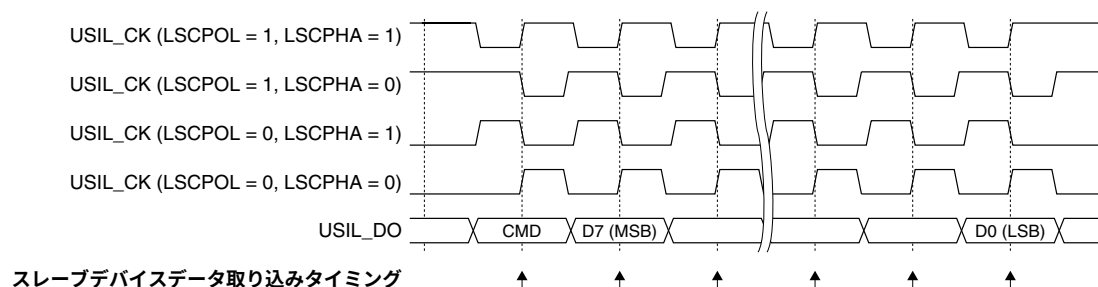


図21.8.2 クロックとデータ転送タイミング

D1 LSCMD: Command Bit

コマンドビットの値を設定します(LSCMDEN参照)。

1(R/W): High

0(R/W): Low(デフォルト)

D0 LSCMDEN: Command Bit Enable Bit

データライン(USIL_DO)上でのコマンドビットの送信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

LSCMDENを1に設定すると、データの先頭にコマンドビット(1ビット)が付加されます。コマンドビットはUSILに接続したSPI LCDドライバ/パネルの制御に使用します。送信するコマンドビット値はLSCMDで指定します。

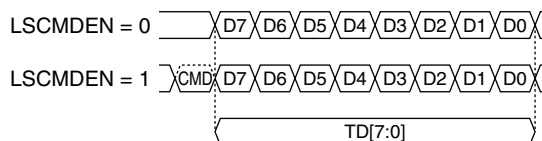


図21.8.3 データ構成(8ビットデータモード)

LSCMDENを0に設定すると、LSCMDで選択したコマンドビットはUSIL_DI(lcds_a0)端子から出力されます。

USIL LCD SPI Mode Interrupt Enable Register (USIL_LSIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL LCD SPI Mode Interrupt Enable Register (USIL_LSIE)	0x300681 (8 bits)	D7~1	—	reserved	—	—	—	0 when being read.
		D0	LSTDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはLCD SPIモード時にのみ有効です。このレジスタを設定する前に、USILをLCD SPIモードに設定してください。

D[7:1] Reserved

21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)

D0 LSTDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USIL LCD SPI Mode Interrupt Flag Register (USIL_LSIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL LCD SPI Mode Interrupt Flag Register (USIL_LSIF)	0x300682 (8 bits)	D7-2	—	reserved	—	—	—	X when being read.
		D1	LSBSY	Transfer busy flag	1 Busy 0 Idle	0	R	
		D0	LSTDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	Reset by writing 1.

注: このレジスタはLCD SPIモード時にのみ有効です。このレジスタを設定する前に、USILをLCD SPIモードに設定してください。

D[7:2] Reserved

D1 LSBSY: Transfer Busy Flag Bit

LCD SPIの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

LSBSYはLCD SPIが送信を開始すると1にセットされ、送信中は1を保持します。

LSDMOD[1:0]/USIL_LSDCFGレジスタで設定されたデータ分のデータ転送が終了すると0にクリアされます。

D0 LSTDIF: Transmit Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

LSTDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。LSTDIE/USIL_LSIEレジスタが1に設定されていると、送信バッファエンプティ割り込み要求がITCに送られます。LSTDIFは1を書き込むことによりリセットされます。

USIL LCD SPI Mode Data Configuration Register (USIL_LSDCFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL LCD SPI Mode Data Configuration Register (USIL_ LSDCFG)	0x30068f (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–2	LS18DFM [1:0]	LCD SPI 18-bit data format select	LS18DFM[1:0]	Data format	0x0	R/W	
					0x3	Format 3			
					0x2	Format 2			
					0x1	Format 1			
					0x0	Format 0			
		D1–0	LSDMOD [1:0]	LCD SPI data mode select	LSDMOD[1:0]	Data mode	0x0	R/W	
0x3	24-bit mode								
0x2	18-bit mode								
0x1	16-bit mode								
			0x0	8-bit mode					

注: このレジスタはLCD SPIモード時にのみ有効です。このレジスタを設定する前に、USILをLCD SPIモードに設定してください。

D[7:4] Reserved

D[3:2] LS18DFM[1:0]: LCD SPI 18-bit Data Format Select bits

18ビットモードのデータ形式を選択します(図21.8.6参照)。

表21.8.8 LCD SPI 18ビットデータ形式

LS18DFM[1:0]	データ形式
0x3	フォーマット3
0x2	フォーマット2
0x1	フォーマット1
0x0	フォーマット0

(デフォルト: 0x0)

D[1:0] LSDMOD[1:0]: LCD SPI Data Mode Select Bit

LCD SPIのデータモードを選択します。

表21.8.9 LCD SPIデータモード

LSDMOD[1:0]	データモード
0x3	24ビットモード
0x2	18ビットモード
0x1	16ビットモード
0x0	8ビットモード

(デフォルト: 0x0)

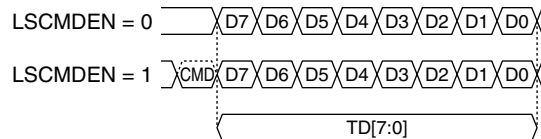


図21.8.4 8ビットデータ形式

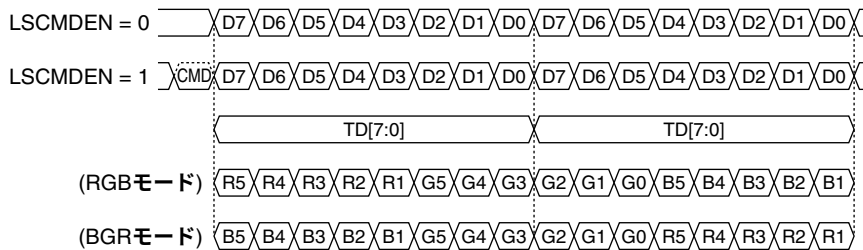
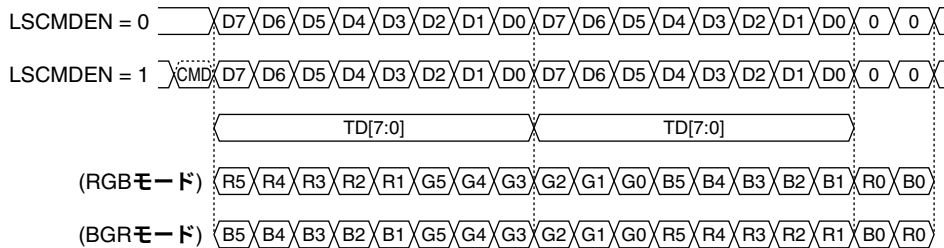


図21.8.5 16ビットデータ形式



18ビットフォーマット0



18ビットフォーマット1



図21.8.6 18ビットデータ形式



図21.8.7 24ビットデータ形式

USIL LCD Parallel I/F Mode Configuration Register (USIL_LPCFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL LCD Parallel I/F Mode Configu- ration Register (USIL_LPCFG)	0x300690 (8 bits)	D7-3	—	reserved	—		—	—	0 when being read.
		D2	LPSRDEN	Successive read enable	1 Enable	0 Disable	0	R/W	
		D1	LPCMD	Command bit	1 High	0 Low	0	R/W	
		D0	LPRD	Read trigger	1 Trigger	0 Ignored	0	W	
					1 Read cycle	0 Read finished		R	

注: このレジスタはLCDパラレルモード時にのみ有効です。このレジスタを設定する前に、USILをLCDパラレルモードに設定してください。

D[7:3] Reserved

D2 LPSRDEN: Successive Read Enable Bit

連続リード機能を有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

LPSRDENを1に設定してリードトリガ(LPRDへの1書き込み)を発行すると、LCDパラレルインタフェースはLPSRDENが1に設定されている間は、LCDドライバ/パネルからのデータリードを繰り返し実行します。LPSRDENが0に設定されると、LCDパラレルインタフェースは現在実行中のリードサイクルが終了次第、データリード動作を停止します。

D1 LPCMD: Command bit

コマンドビットの値を設定します。

1(R/W): High

0(R/W): Low(デフォルト)

LPCMDで選択したコマンドビットはUSIL_DI(lcdp_a0)端子から出力されます。

D0 LPRD: Read Trigger Bit

LCDパラレルインタフェースのリードサイクルを開始させます。

1(W): トリガ(リード動作開始)

0(W): 無効

1(R): 読み出し中

0(R): リードサイクル終了

LCDパラレルインタフェースを介してLCDドライバ/パネルからデータを読み出すには、リードトリガとしてLPRDに1を書き込みます。LPRDに書き込む前に、コマンドビット(LPCMD)の値を設定してください。コマンドビットの値はレジスタ書き込み後、USIL_DI端子から出力されます。次にUSIL_LCD_D[7:0]端子の状態をリード(受信データ)バッファ(RD[7:0]/USIL_RDレジスタ)に取り込みます。LPRDはデータがリードバッファに取り込まれるまで1を保持します。

USIL LCD Parallel I/F Mode Interrupt Enable Register (USIL_LPIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL LCD Parallel I/F Mode Interrupt Enable Register (USIL_LPIE)	0x300691 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	LPRDIE	Read buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	LPWRIE	Write buffer empty interrupt enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはLCDパラレルモード時にのみ有効です。このレジスタを設定する前に、USILをLCDパラレルモードに設定してください。

D[7:2] Reserved**D1 LPRDIE: Read Buffer Full Interrupt Enable Bit**

データがリード(受信データ)バッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 LPWRIE: Write Buffer Empty Interrupt Enable Bit

ライト(送信データ)バッファに書き込んだデータがUSIL_LCD_D[7:0]から出力されたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ライトバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USIL LCD Parallel I/F Mode Interrupt Flag Register (USIL_LPIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL LCD Parallel I/F Mode Interrupt Flag Register (USIL_LPIF)	0x300692 (8 bits)	D7-3	—	reserved	—	—	—	X when being read.
		D2	LPBSY	Transfer busy flag	1 Busy 0 Idle	0	R	
		D1	LPRDIF	Read buffer full flag	1 Full 0 Not full	0	R/W	Reset by writing 1.
		D0	LPWRIF	Write buffer empty flag	1 Empty 0 Not empty	0	R/W	

注: このレジスタはLCDパラレルモード時にのみ有効です。このレジスタを設定する前に、USILをLCDパラレルモードに設定してください。

D[7:3] Reserved**D2 LPBSY: Transfer Busy Flag Bit**

LCDパラレルインタフェースの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

21 LCDインタフェース付きユニバーサルシリアルインタフェース (USIL)

LPBSYはLCDパラレルインタフェースが転送を開始すると1にセットされ、転送中は1を保持します。転送動作が終了すると、0にクリアされます。

D1 LPRDIF: Read Buffer Full Flag Bit

リード(受信データ)バッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

LPRDIFは受信データがリードバッファに取り込まれると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。LPRDIE/USIL_LPIEレジスタが1に設定されていると、同時にリードバッファフル割り込み要求がITCに送られます。LPRDIFは1を書き込むことによりリセットされます。

D0 LPWRIF: Write Buffer Empty Flag Bit

ライト(送信データ)バッファの状態を示します。

1(R): エンプティ

0(R): データあり(デフォルト)

1(W): 0にリセット

0(W): 無効

LPWRIFはライトバッファに書き込んだデータがUSIL_LCD_D[7:0]端子から出力されると1となり、ライトバッファに次のデータが書き込めることを示します。LPWRIE/USIL_LPIEレジスタが1に設定されていると、同時にライトバッファエンプティ割り込み要求がITCに送られます。LPWRIFは1を書き込むことによりリセットされます。

USIL LCD Parallel I/F Mode Access Timing Register (USIL_LPAC)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL LCD Parallel I/F Mode Access Timing Register (USIL_LPAC)	0x30069f (8 bits)	D7–6	LPHD[1:0]	Hold cycle	LPHD[1:0]	Hold cycle	0x0	R/W	
					0x3	4 cycles			
					0x2	3 cycles			
					0x1	2 cycles			
					0x0	1 cycle			
		D5–4	LPST[1:0]	Setup cycle	LPST[1:0]	Setup cycle	0x0	R/W	
					0x3	4 cycles			
					0x2	3 cycles			
					0x1	2 cycles			
					0x0	1 cycle			
		D3–0	LPWT[3:0]	Wait cycle	LPWT[3:0]	Wait cycle	0x0	R/W	
					0xf	15 cycles			
					0xe	14 cycles			
					:	:			
					0x1	1 cycle			
					0x0	0 cycles			

注: このレジスタはLCDパラレルモード時にのみ有効です。このレジスタを設定する前に、USILをLCDパラレルモードに設定してください。

D[7:6] LPHD[1:0]: Hold Cycle Bits

LCDパラレルインタフェースのホールドサイクルを設定します。

表21.8.10 ホールドサイクルの設定

LPHD[1:0]	ホールドサイクル数
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

D[5:4] LPST[1:0]: Setup Cycle Bits

LCDパラレルインタフェースのセットアップサイクルを設定します。

表21.8.11 セットアップサイクルの設定

LPST[1:0]	セットアップサイクル数
0x3	4サイクル
0x2	3サイクル
0x1	2サイクル
0x0	1サイクル

(デフォルト: 0x0)

D[3:0] LPWT[3:0]: Wait Cycle Bits

LCDパラレルインタフェースのウェイトサイクルを設定します。

表21.8.12 ウェイトサイクルの設定

LPWT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
:	:
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0x0)

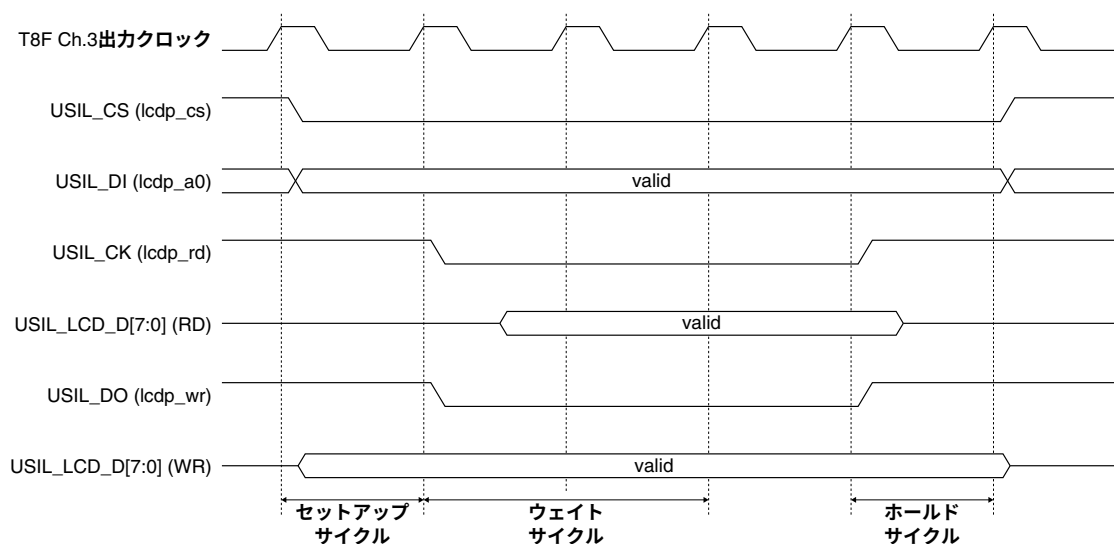


図21.4.8.8 アクセスタイミングパラメータ

21.9 注意事項

インタフェースモードの設定

USILのインタフェースモード別の設定を行う前に、必ずソフトウェアリセット(USILMOD[2:0]/USIL_GCFGレジスタ = 0x0)とインタフェースモードの設定(USILMOD[2:0]/USIL_GCFGレジスタ = 0x1~0x7)を行ってください。

I²Cスレーブモード時のコントロールバイト受信

外部I²Cマスタはスレーブアドレス送信後にACKを受信すると、I²Cスレーブにコントロールバイトを送信します。スレーブのその後の動作はコントロールバイトによって決定します。

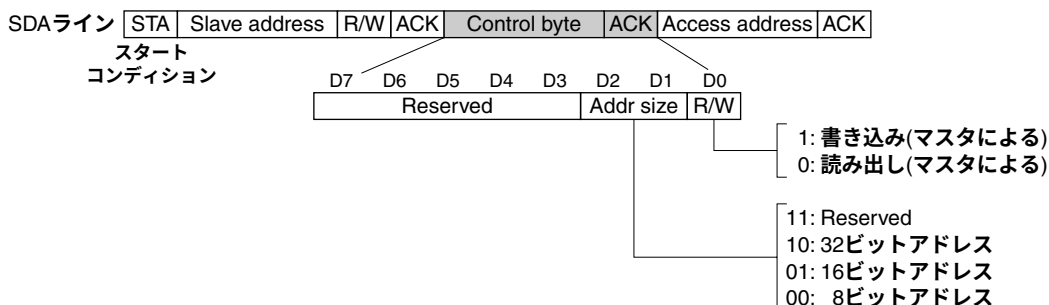


図21.9.1 I²Cマスタから送られるコントロールバイト

I²Cマスタによる書き込み(マスタからのデータ受信)

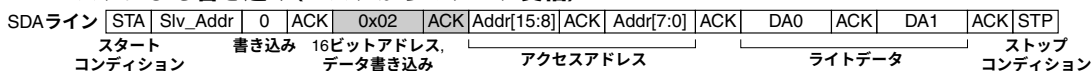


図21.9.2 I²Cマスタによる書き込み(マスタからのデータ受信)

コントロールバイトによりアクセスアドレスサイズと書き込み動作が指定されます。コントロールバイトに続く受信データは、アドレスとアクセスアドレスサイズに従ったサイズのデータです。

I²Cマスタによる読み出し(マスタへのデータ送信)

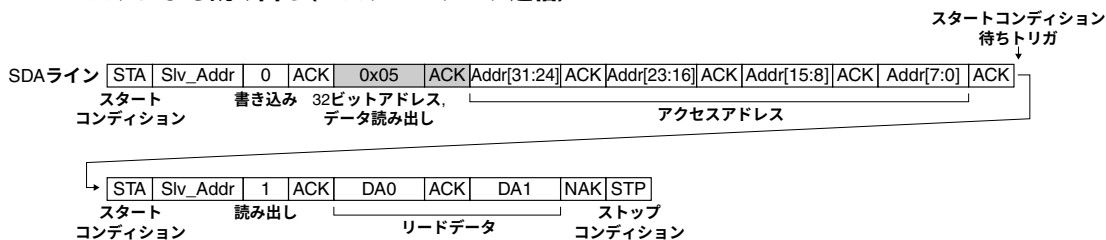


図21.9.3 I²Cマスタによる読み出し(マスタへのデータ送信)

マスタはコントロールバイトに続いてアクセスアドレスを送信します。コントロールバイトとアドレスデータを受信し、送信データを読み出すアドレスを決定します。Addr 0に対するACKを送信後、ISTGMOD[2:0]/USIL_ISTGレジスタを0x0、ISTG/USIL_ISTGレジスタを1に設定して、マスタがデータを読み出す(スレーブにリードデータを送信させる)ために送るスタートコンディションに待機します。

22 I²S

22.1 I²Sモジュールの概要

S1C33L27は、PCMデータをI²S(Inter-IC Sound)フォーマットで入出力する双方向I²Sモジュールを内蔵しています。このI²SバスにオーディオDACやADCなどを接続することで、容易にオーディオ入出力回路を構成することができます。

本I²Sモジュールの特長を以下に示します。

出力チャンネル(Ch.0)

- I²Sマスタデバイスとして動作
- ビットクロック、ワードセレクトクロック、マスタクロックを生成
- 出力PCMデータの解像度を16ビットおよび24ビットから選択可能
- 24バイトの送信用FIFO(24ビット×2チャンネル×4)を内蔵
- ステレオ、モノ(左、右)、ミュートモードをソフトウェアで切り換え可能
- FIFOデータエンプティ(ハーフエンプティ、完全エンプティ、または1データエンプティ)により割り込み要求が可能

入力チャンネル(Ch.1)

- I²Sスレーブデバイスとして動作
- 16ビットおよび24ビットの解像度のPCMデータを入力可能
- 24バイトの受信用FIFO(24ビット×2チャンネル×4)を内蔵
- FIFOデータフル(完全フルまたは1データ)により割り込み要求が可能
- 入力クロックとデータを直接出力チャンネルに送るバイパスモードをサポート

データ対応

- クロック極性をソフトウェアで設定可能
- データシフト方向(MSB先頭/LSB先頭)をソフトウェアで選択可能
- I²Sモード、左揃えモード、右揃えモードに対応

図22.1.1にI²Sモジュールの構成を示します。

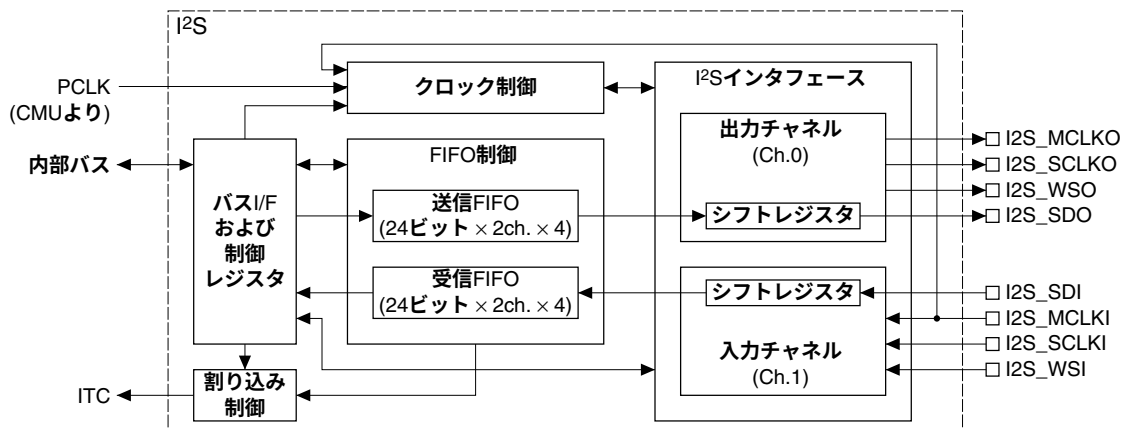


図22.1.1 I²Sモジュールの構成

22.2 I²S入出力端子

表22.2.1にI²S端子の一覧を示します。

表22.2.1 I²S端子一覧

端子名	I/O	本数	機 能
I2S_SDO(Ch.0)	O	1	I ² Sデータ出力端子 シリアルPCMデータを出力します。
I2S_WSO(Ch.0)	O	1	I ² Sワードセレクト(LRCLK)信号出力端子 出力中のデータチャンネル(L、R)を示すワードセレクト信号を出力します。
I2S_SCLKO(Ch.0)	O	1	I ² S同期クロック(ビットクロック)出力端子 シリアルデータ転送用の同期クロック(ビットクロック)を出力します。
I2S_MCLKO(Ch.0)	O	1	I ² Sマスタクロック出力端子 I ² Sマスタクロックを出力します。
I2S_SDI(Ch.1)	I	1	I ² Sデータ入力端子 シリアルPCMデータをを入力します。
I2S_WSI(Ch.1)	I	1	I ² Sワードセレクト(LRCLK)信号入力端子 入力中のデータチャンネル(L、R)を示すワードセレクト信号を入力します。
I2S_SCLKI(Ch.1)	I	1	I ² S同期クロック(ビットクロック)入力端子 シリアルデータ転送用の同期クロック(ビットクロック)を入力します。
I2S_MCLKI(Ch.1)	I	1	I ² Sマスタクロック入力端子 I ² Sマスタクロックを入力します。

I²Sモジュールの入出力端子(I2S_SDO/I、I2S_WSO/I、I2S_SCLKO/I、I2S_MCLKO/I)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Sモジュールの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子機能の切り換えについては、“入出力ポート(GPIO)”の章を参照してください。

22.3 I²S動作クロック

I²SモジュールはCMUから供給されるPCLK(= システムクロック)で動作します。このクロック供給はCMUのレジスタで制御します(デフォルト: On)。クロック制御の詳細は“クロックマネージメントユニット(CMU)”の章を参照してください。SLEEPモード時はCMUによるI²SモジュールへのPCLK供給が停止します。

22.4 I²Sモジュールの設定

I²Sバスを介してデータ転送を行うには、転送を開始する前に以下の設定が必要です。

1. 入出力端子と端子モードの設定
2. I²Sインタフェースクロックの設定
3. 出力データの形式とタイミングの設定
4. 割り込みとDMAの設定(22.7節参照)

以下、各設定内容について説明します。

注: これらの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART0/I2S_STARTレジスタ、I2S-START1/I2S_STARTレジスタを0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子と端子モードの設定

I²Sで使用する入出力端子をポート機能選択ビットで選択します。端子機能の切り換えについては、“入出力ポート(GPIO)”の章を参照してください。

5本のI²S端子のみを使用して外部I²Sスレーブデバイス(5端子DAC)とデータの入出力が行えるように、I²Sモジュールには2つの端子モード(5端子モード、8端子モード)が設けられています。このモードは、I2SPIN/I2S_MODEレジスタで選択します。I2SPINが0(デフォルト)の場合は8端子モード、1に設定すると5端子モードになります。

8端子モード

I2S_MCLKO、I2S_SCLKO、I2S_WSO、I2S_SDO、I2S_MCLKI、I2S_SCLKI、I2S_WSI、I2S_SDI端子がすべて使用可能で、Ch.0(マスタ出力デバイス)とCh.1(スレーブ入力デバイス)を独立したデバイスとして使用することができます。Ch.0とCh.1のクロック端子は内部で接続されません。

5端子モード

I2S_MCLKO、I2S_SCLKO、I2S_WSO、I2S_SDO、I2S_SDI端子のみを使用して外部I²Sスレーブデバイスとデータ転送を行うためのモードです。Ch.0とCh.1のクロック端子がIC内部で接続され、Ch.0の出力クロックが直接Ch.1に供給されます。これにより、5端子DACなどを接続する場合に、Ch.1のクロック端子は他の用途に使用できます。

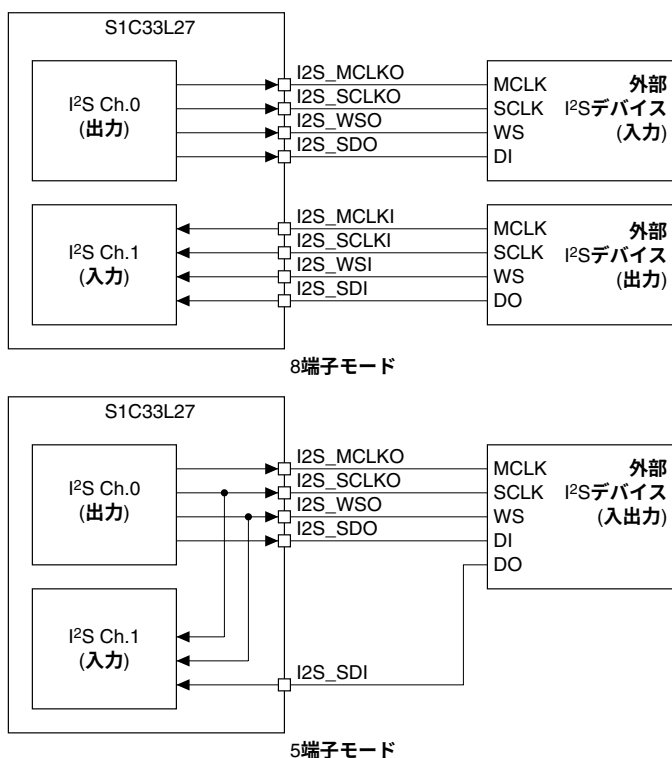


図22.4.1 端子モード

I²Sインタフェースクロックの設定

I²Sモジュールは以下に示す3種類のクロックを入力/出力します。

1. I2S_MCLK(マスタクロック)
2. I2S_SCLK(ビットクロック)
3. I2S_WS(ワードセレクトクロック)

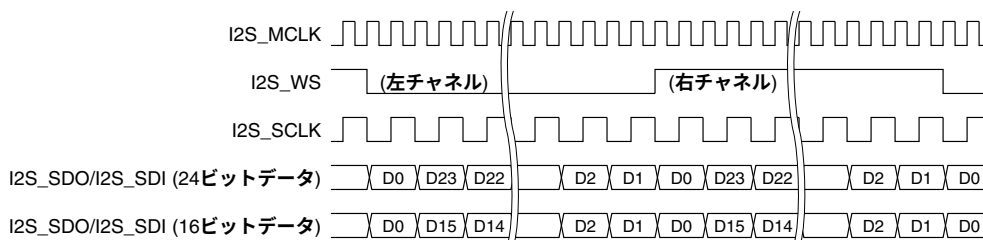


図22.4.2 I²Sインタフェースクロック

以下に設定可能なクロック条件と、制御ビットを示します。クロック設定に関しては、“22.9 I²Sクロックの設定”も参照してください。

I2S_MCLK(マスタクロック)のソースクロック

マスタクロック(I2S_MCLK)のソースクロックとして、内部クロック(PCLK)またはI²S Ch.1のI2S_MCLKI端子から入力する外部クロックのいずれかをMCLKSEL/I2S_DV_MCLKレジスタで選択可能です。MCLKSELが0(デフォルト)の場合、I²SモジュールはPCLKを分周してマスタクロック(I2S_MCLK)を生成し、I²S Ch.0のI2S_MCLKO端子から出力します。MCLKSELを1に設定すると、I2S_MCLKI端子から入力したクロックがI²Sモジュールのクロック生成回路に送られ、ビットクロックとワードセレクトクロックが生成されます。

I2S_MCLK(マスタクロック)の分周比

I2S_MCLKのソースクロックに内部クロックを選択した場合、I²SモジュールはCMUが生成したPCLK(システムクロック)を分周して、I2S_MCLKO端子から出力するI2S_MCLKを生成します。この分周比をMCLKDIV[5:0]/I2S_DV_MCLKレジスタで指定します。

表22.4.1 I2S_MCLK(PCLK分周比)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	1/64
0x3e	1/63
0x3d	1/62
:	:
0x2	1/3
0x1	1/2
0x0	Reserved

(デフォルト: 0x0)

I2S_SCLK(ビットクロック)の分周比

I²SモジュールはI2S_MCLK生成用に選択されたソースクロックを分周して、I²S Ch.0のI2S_SCLKO端子から出力するビットクロックを生成します。この分周比をBCLKDIV0[7:0]/I2S_DV_BCLKレジスタで指定します。

表22.4.2 ビットクロック(SRC_CLK分周比)の設定

BCLKDIV0[7:0]	ビットクロック(I2S_SCLKO)
0xff	1/512
0xfe	1/510
0xfd	1/508
:	:
0x2	1/6
0x1	1/4
0x0	1/2

(SRC_CLK = PCLKまたはI2S_MCLKI入力クロック、デフォルト: 0x0)

I²S Ch.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S\_SCLKO} = \frac{f_{SRC\_CLK}}{(BCLKDIV + 1) \times 2} [Hz]$$

f_{I2S_SCLKO}: I²S Ch.0ビットクロック周波数[Hz]

f_{SRC_CLK}: PCLKまたはI2S_MCLKI入力クロック周波数[Hz]

BCLKDIV: BCLKDIV0[7:0]設定値(0x0~0xff)

I²S Ch.1はI2S_SCLKI端子から入力したビットクロックを使用しますので、上記の設定はCh.1には適用されません。

サンプリングクロック(I2S_WS)の周期

I²S Ch.0はBCLKDIV0[7:0]で設定されたソースクロックをカウントして、I2S_WSO端子から出力するサンプリングクロック(ワードセレクトクロック)を生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[4:0]/I2S_DV_BCLKレジスタで指定します。

I²S Ch.1はサンプリングクロック(ワードセレクトクロック)をI2S_WSI端子から入力します。Ch.0と同様に、ビットクロックサイクル数をWSCLKCYC1[4:0]/I2S_DV_BCLKレジスタに設定してクロック周期を指定します。

表22.4.3 サンプリングクロック周期の設定

WSCLKCYCx[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f~0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$f_s = \frac{f_{I2S\_SCLK}}{n \times 2} \text{ [Hz]}$$

f_s : サンプリングクロック周波数[Hz]

f_{I2S_SCLK} : ビットクロック周波数[Hz](Ch.0: 表22.4.2参照、Ch.1: I2S_SCLKI入力クロック周波数)

n : WSCLKCYCx[4:0]で選択したビットクロック数(表22.4.3参照)

注: WSCLKCYCx[4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(24または16ビット)と同じか、それより大きい値である必要があります。

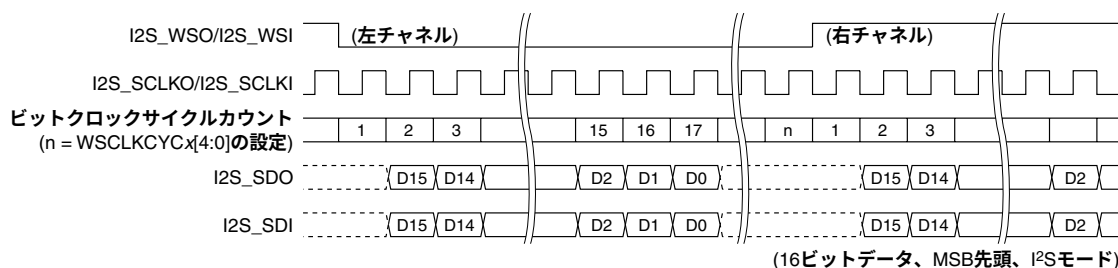


図22.4.3 サンプリングクロック周期

ワードクロックモードの選択

I2S_WS信号はそのレベル(HighまたはLow)で、現在の出力が左チャネルのデータか右チャネルのデータかを示します。このレベルとチャネルの対応を、Ch.0はWCLKMD0/I2S_CTL0レジスタで、Ch.1はWCLKMD1/I2S_CTL1レジスタで設定します。

WCLKMDx = 0 (デフォルト)

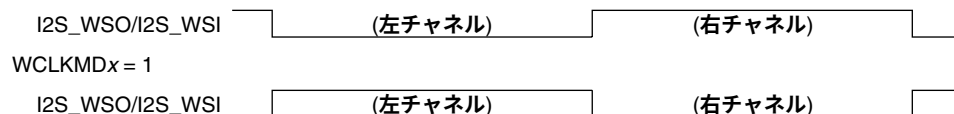
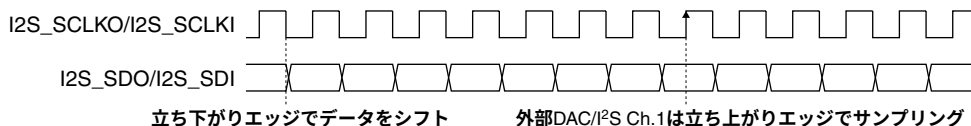


図22.4.4 ワードクロックモードの選択

I2S_SCLK(ビットクロック)の極性

ビットクロックの極性をCh.0はBCLKPOL0/I2S_CTL0レジスタで、Ch.1はBCLKPOL1/I2S_CTL1レジスタで選択します。

BCLKPOLx = 0 (デフォルト)



BCLKPOLx = 1

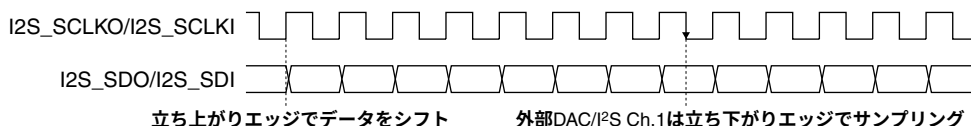


図22.4.5 ビットクロック極性の選択

データの形式とタイミングの設定

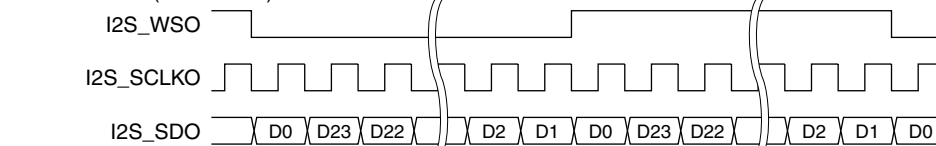
入出力データの解像度

出力データの解像度をDATRES0/I2S_CTL0レジスタで、入力データの解像度をDATRES1/I2S_CTL1レジスタで16ビットまたは24ビットに設定します。DATRESxが0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。

出力データ形式(MSB先頭/LSB先頭)

データのMSBとLSBのどちらを先に出力するか、DTFORM0/I2S_CTL0レジスタで選択します。DTFORM0が0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

DTFORM0 = 0 (デフォルト)



DTFORM0 = 1

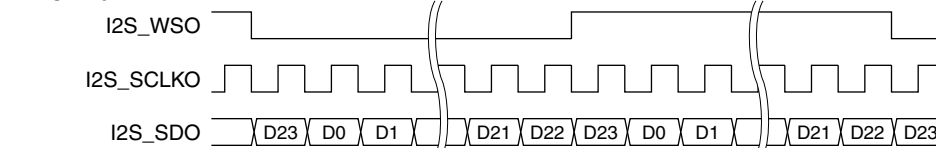


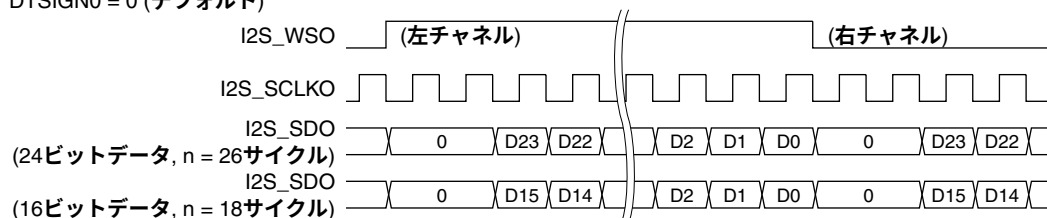
図22.4.6 出力データ形式の選択

出力データの符号付き/符号なし形式

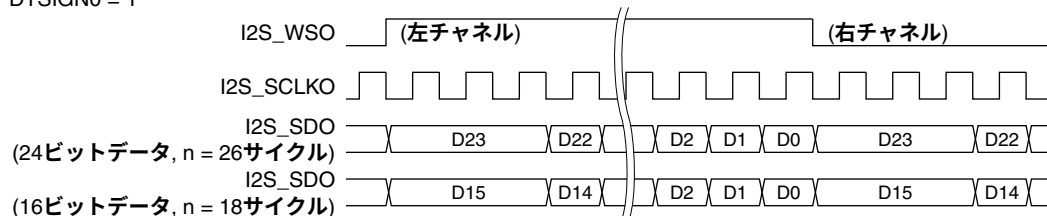
データ出力タイミング条件に右揃えモードを選択した場合は、DTSIGN0/I2S_CTL0レジスタで出力データを符号付きとするか符号なしとするか選択できます。

DTSIGN0を0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGN0を1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D23またはD15)に設定されます。

DTSIGN0 = 0 (デフォルト)



DTSIGN0 = 1



(MSB先頭、右揃えモード、n = ビットクロックサイクル数)

図22.4.7 符号なしと符号付き形式

この設定は右揃えモードにのみ有効です。その他のモードでは、DTSIGN0の設定にかかわらず、符号なしデータが出力されます。

データ入出力タイミング

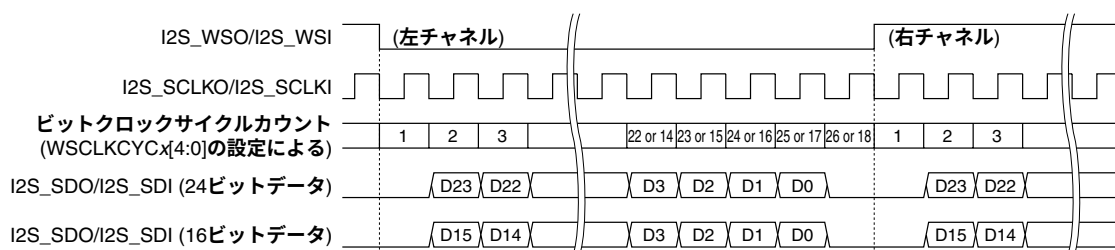
データ出力タイミング(Ch.0)とデータ入力タイミング(Ch.1)をそれぞれDTTMG0[1:0]/I2S_CTL0レジスタ、DTTMG1[1:0]/I2S_CTL1レジスタを使用して選択します。

表22.4.4 データ入出力タイミング

DTTMGx[1:0]	データ入出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト: 0x0)

DTTMGx[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCLKの1クロック分遅れて出力されます。



(MSB先頭、ビットクロックサイクル数 = 26または18)

図22.4.8 データ入出力タイミング1(I²Sモード)

DTTMGx[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。

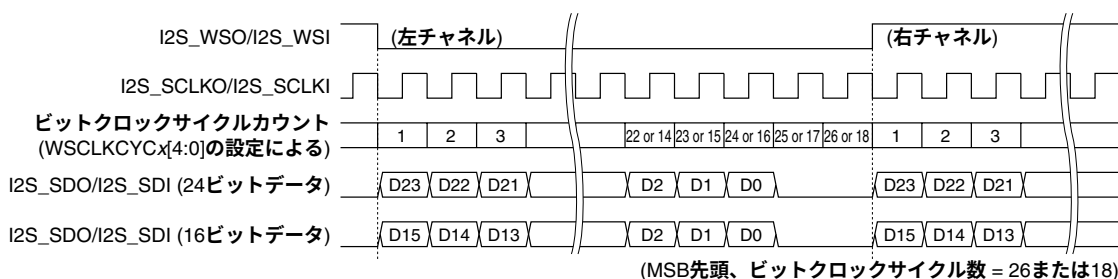


図22.4.9 データ入出力タイミング2(左揃えモード)

DTTMGx[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。

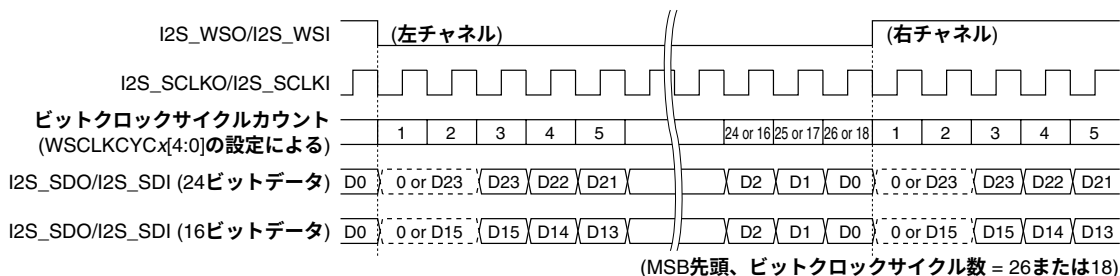


図22.4.10 データ入出力タイミング3(右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データビットサイズ + 2]以上に設定する必要があります。

22.5 データ出力の制御(Ch.0)

以下、オーディオデータの出力方法を説明します。

1. 前節に示したとおり、I²Sの設定を行います。
2. 22.7節で説明する割り込みとDMA条件の設定を行います。
3. I2SEN0/I2S_CTL0レジスタに1を書き込み、I²S Ch.0の回路をOnします。I²S Ch.0はソースクロックの分周を開始します。
4. 出力チャンネルモードをCHMD0[1:0]/I2S_CTL0レジスタで設定します。

表22.5.1 出力チャンネルモードの選択

CHMD0[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

5. I2SOUTEN0/I2S_CTL0レジスタに1を書き込み、I²S出力を許可します。I2SOUTEN0を1に設定すると出力端子はすべてスタンバイ状態となります。
I²S出力を禁止するには、I2SOUTEN0に0を書き込みます。I2SOUTEN0が0の場合、I2S_MCLKO端子はスタンバイ状態のまま、I2S_WSO端子は0に固定されます。I2S_SDO端子は変化せずに前の状態を保ちます。I2S_SCLKO端子は0(BCLKPOL0/I2S_CTL0レジスタ = 0の場合)または1(BCLKPOL0 = 1の場合)に固定されます。
I2SOUTEN0はデータの出力中でも変更可能です。この操作で、I²Sモジュールによるデータのシフト動作(データ出力)を一時停止あるいは再開することができます。

6. I2SSTART0/I2S_STARTレジスタに1を書き込み、出力を開始させます。
 I2SSTART0を1に設定すると、I²Sモジュールは割り込みまたはDMA要求が発生します。ただし、I²SモジュールはFIFOが満杯(24または16ビット×2チャンネル(L & R)×4)になるまで待機します。その後、FIFOからデータ(L & R)をシフトレジスタにロードし、I2S_WSO信号に同期してシリアル出力を開始します。
 シフトレジスタのデータは左チャンネルからI2S_SCLCKOクロックのエッジで順次シフトし、出力されます。1データ(L & R)の出力が終了すると、次のデータがFIFOから取り出され、同じ動作を繰り返します。
 FIFOから割り込み条件に従った数のデータが送信のために読み出されると、割り込みまたはDMA要求が発生します。
 下記7の説明のとおり、この割り込みまたはDMAを利用してデータを書き込みます。

7. FIFOにオーディオデータを書き込みます。
 データの書き込みには2つの方法があります。

7.1) 割り込みを使用

I²S Ch.0は3種類の割り込みを使用可能です。

• I²S Ch.0 FIFOハーフエンプティ割り込み

ハーフエンプティ割り込みを許可すると、FIFOから2個のステレオデータが読み出された時点で割り込みが発生します。ただし、I²SモジュールはFIFOが完全に空になるまで、FIFOに残っているデータの出力を続けます。

ハーフエンプティ割り込み処理ルーチンでは、1度に2個のステレオデータ(24または16ビット×2チャンネル(L & R)×2)をFIFOに書き込んでください。

注: 割り込み処理で3個以上のデータをFIFOに書き込むと、FIFO内の残りのデータが上書きされる可能性があります。また、1個のみの書き込みでは、残っているデータの1つがシフトレジスタに送られた後に再度ハーフエンプティ割り込みが発生してしまいます。したがって、ハーフエンプティ割り込み処理ルーチンでは、2個のステレオデータを書き込んでください。

• I²S Ch.0 FIFO完全エンプティ割り込み

完全エンプティ割り込みモードを許可すると、FIFOから全データ(4個のステレオデータ)が読み出された時点で割り込みが発生します。この場合、FIFOは完全に空になります。I²Sモジュールがシフトレジスタのデータを完全に送信し終わった時点でもまだFIFOが空の場合、FIFOからの読み出し動作は、FIFOが再び満杯になるまで停止します。

完全エンプティ割り込み処理ルーチンでは、必ず1度に4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOに書き込んでください。4個未満の書き込みでは、I²Sモジュールが送信を再開しません。

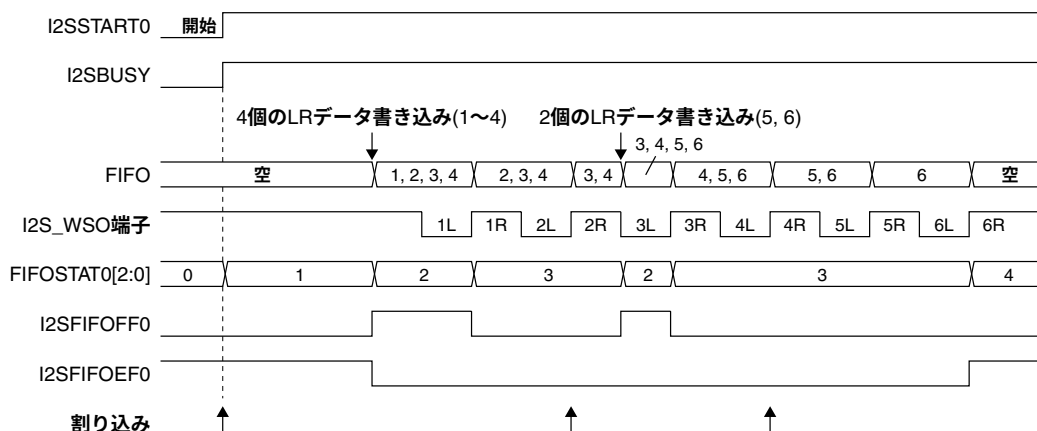
• I²S Ch.0 FIFO 1データエンプティ割り込み

1データエンプティ割り込みを許可すると、FIFOから1個のステレオデータが読み出された時点で割り込みが発生します。ただし、I²SモジュールはFIFOが完全に空になるまで、FIFOに残っているデータの出力を続けます。

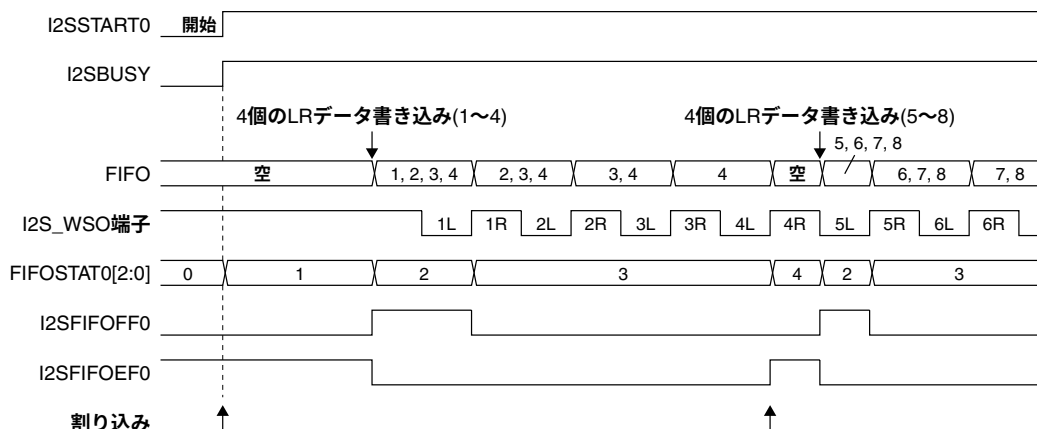
1データエンプティ割り込み処理ルーチンでは、1度に1個のステレオデータ(24または16ビット×2チャンネル(L & R)×1)をFIFOに書き込んでください。

注: 割り込み処理で2個以上のデータをFIFOに書き込むと、FIFO内の残りのデータが上書きされる可能性があります。したがって、1データエンプティ割り込み処理ルーチンでは、1個のステレオデータを書き込んでください。

ハーフエンブティ割り込み



完全エンブティ割り込み



1エンブティ割り込み

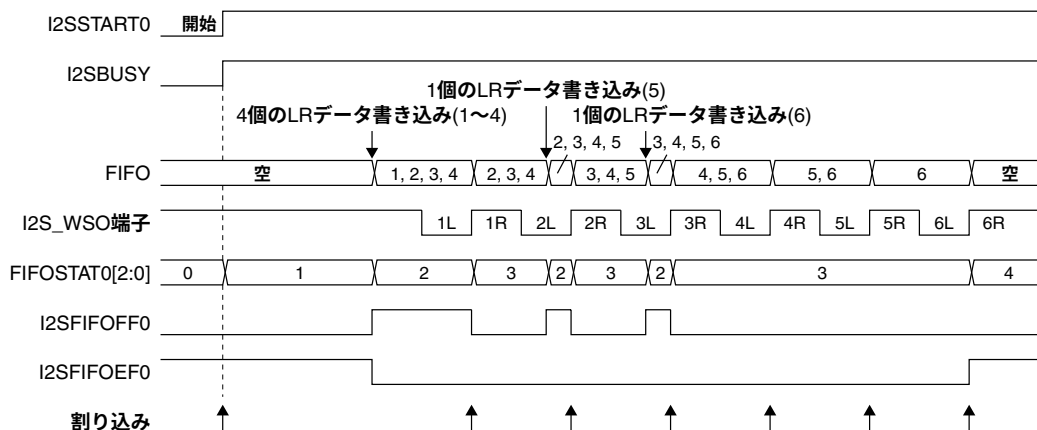


図22.5.1 送信FIFOデータと割り込み

I²S割り込みの詳細については、22.7.1節を参照してください。

FIFOへの出力データの書き込みには、32ビットレジスタI2S_FIFO0(0x302420番地)を使用します。FIFOが完全に空の場合、最大4個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 4)を書き込むことができます。

16ビットデータを書き込む場合は、16ビットまたは32ビットメモリライト命令を使用します。8ビットメモリライト命令は使用できません。16ビットメモリライト命令を使用する場合は、最初に左チャンネルの16ビットデータを0x302420番地に書き込み、次に右チャンネルの16ビットデータを0x302422番地に書き込みます。32ビットメモリライト命令を使用する場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)と一緒に0x302420番地に書き込みます。24ビットデータを書き込む場合は、32ビットメモリライト命令を使用します。8ビットおよび16ビットメモリライト命令は使用できません。最初に左チャンネルの24ビットデータを0x302420番地に書き込み、次に右チャンネルの24ビットデータを0x302420番地に書き込みます。出力チャンネルモードが“モノラル”の場合でも、左右チャンネルのデータのペアを書き込む必要があります。

4個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 4)をFIFOに書き込む順序を表22.5.2～22.5.4に示します(CPUレジスタにデータを準備する命令や手順は省略します)。

表22.5.2 16ビットメモリライト命令によるFIFOへの16ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.h [0x302420], %rs1	Data1-L[15:0] → 0x302420
2	ld.h [0x302422], %rs2	Data1-R[15:0] → 0x302422
3	ld.h [0x302420], %rs3	Data2-L[15:0] → 0x302420
4	ld.h [0x302422], %rs4	Data2-R[15:0] → 0x302422
5	ld.h [0x302420], %rs5	Data3-L[15:0] → 0x302420
6	ld.h [0x302422], %rs6	Data3-R[15:0] → 0x302422
7	ld.h [0x302420], %rs7	Data4-L[15:0] → 0x302420
8	ld.h [0x302422], %rs8	Data4-R[15:0] → 0x302422

表22.5.3 32ビットメモリライト命令によるFIFOへの16ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.w [0x302420], %rs12	{Data1-R[15:0], L[15:0]} → 0x302420
2	ld.w [0x302420], %rs34	{Data2-R[15:0], L[15:0]} → 0x302420
3	ld.w [0x302420], %rs56	{Data3-R[15:0], L[15:0]} → 0x302420
4	ld.w [0x302420], %rs78	{Data4-R[15:0], L[15:0]} → 0x302420

(R = D[31:16], L = D[15:0])

表22.5.4 32ビットメモリライト命令によるFIFOへの24ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.w [0x302420], %rs1	Data1-L[23:0] → 0x302420
2	ld.w [0x302420], %rs2	Data1-R[23:0] → 0x302420
3	ld.w [0x302420], %rs3	Data2-L[23:0] → 0x302420
4	ld.w [0x302420], %rs4	Data2-R[23:0] → 0x302420
5	ld.w [0x302420], %rs5	Data3-L[23:0] → 0x302420
6	ld.w [0x302420], %rs6	Data3-R[23:0] → 0x302420
7	ld.w [0x302420], %rs7	Data4-L[23:0] → 0x302420
8	ld.w [0x302420], %rs8	Data4-R[23:0] → 0x302420

7.2) DMA転送を使用

I²S Ch.0は2種類のDMAモードをサポートします。

設定したDMAモードにかかわらず、DMA転送は1データエンプティ割り込み要因により起動します。この割り込み信号はITCとDMACの両方に出力されますので、I²S割り込みを発生させずにDMA転送を行うことができます。

• シングルチャンネルDMAモード

左チャンネルと右チャンネルのオーディオデータが1つのメモリ領域に連続して格納されている場合はシングルチャンネルDMAモードを使用します。I²S Ch.0は左右チャンネル2つのDMA要求を同時にDMAC Ch.0とCh.1に出力します。したがって、データ転送にはDMAC Ch.0またはCh.1のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャンネルのデータをFIFO(0x302420番地)に書き込みます。シングルチャンネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを書き込む場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)と一緒に0x302420番地(アドレス固定)に転送します。

24ビットデータを書き込む場合は、2回のデータ転送を行います。最初に左チャンネルの24ビットデータを0x302420番地に転送し、次に右チャンネルの24ビットデータを0x302420番地に転送します。

• デュアルチャンネルDMAモード

左チャンネルと右チャンネルのオーディオデータが別々に格納されている場合はデュアルチャンネルDMAモードを使用して左右のチャンネル別にデータをFIFOに転送します。このモードではDMAC Ch.0とDMAC Ch.1への2つのDMA要求が同時に発生します。DMACはCh.0の方がCh.1よりも優先順位が高いため、左チャンネルのデータをDMAC Ch.0で先に転送し、続く右チャンネルのデータはDMAC Ch.1で転送します。

16ビットデータをFIFOに書き込む場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.0で左チャンネルの16ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャンネルの16ビットデータを0x302422番地に転送します。

24ビットデータをFIFOに書き込む場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.0で左チャンネルの24ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャンネルの24ビットデータを0x302420番地に転送します。

DMA転送の詳細については、22.7.2節を参照してください。

I²Sモジュールには、FIFOが満杯か空かを示すI2SFIFOFF0/I2S_STATUSレジスタとI2SFIFOE0/I2S_STATUSレジスタの2つのステータスフラグが用意されています。

4個のステレオデータがFIFOに書き込まれるとFIFOは満杯になり、I2SFIFOFF0が1にセットされます。この状態で更にI2S_FIF00へのデータ書き込みを行うと、FIFO内の最新データが上書きされます。

FIFOが空になると、I2SFIFOE0が1にセットされます。FIFOにデータが書き込まれると、I2SFIFOE0は0にリセットされます。ただし、FIFOが再び満杯になるまで、I²Sモジュールは転送動作を再開しません。

また、I2S Ch.0にはFIFOの状態を表すステータスビットFIFOSTAT0[2:0]/I2S_STATUSレジスタが用意されています。

表22.5.5 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7~0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

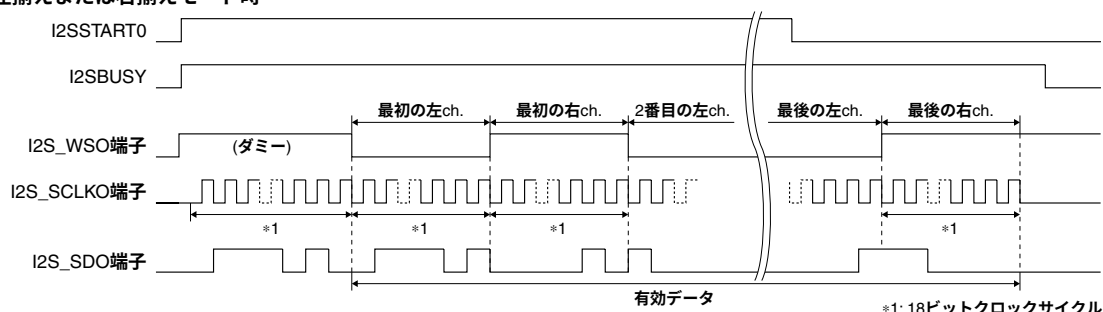
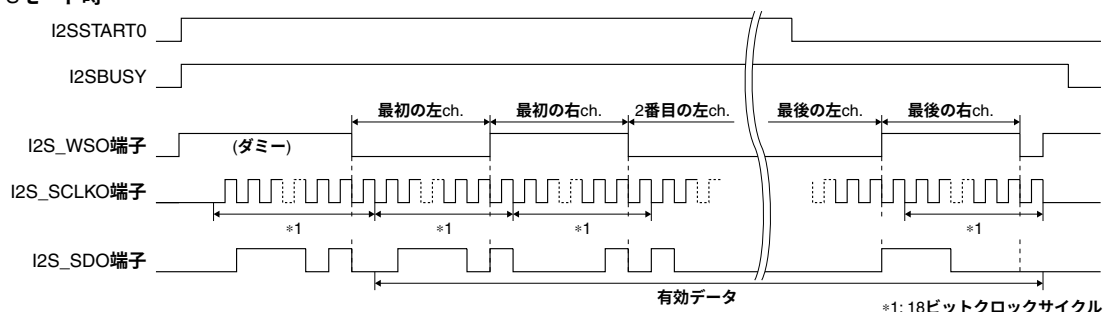
(デフォルト: 0x0)

FIFOSTAT0[2:0]の詳細については、22.8節内のI2S_STATUSレジスタの説明を参照してください。

8. 出力を停止させるには、I2SSTART0/I2S_STARTレジスタに0を書き込みます。

I2SSTART0を0に設定すると、I²SモジュールはFIFO内の残りのデータをすべて出力後に停止します。ビットクロックはLowの状態で停止します。ワードセレクトクロックは、WCLKMD0 = 0の場合はLow、WCLKMD0 = 1の場合はHighの状態で停止します。I²Sモジュールが停止すると、I2SBUSYが0にリセットされます。

左揃えまたは右揃えモード時

I²Sモード時

条件: DATRES0 = 0 (16ビットデータ)、CHMD0[1:0] = 0x0 (ステレオ)、WCLKMD0 = 0 (左ch. = Low)、
BCLKPOL0 = 0 (立ち下がりエッジ)、WSCLKCYC0[4:0] = 0x2 (18クロック)

図22.5.2 データ出力タイミングチャート

ミュートまたはモノラルモード選択時の出力

CHMD0[1:0]/I2S_CTL0レジスタでミュートモードを選択した場合、I2S_SDO端子が0に固定されます。ただし、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、FIFOエンプティによる割り込みも発生します。

出力中にCHMD0[1:0]を変更した場合は、現在のL&Rデータの出力を終了後にモードが切り換わります。

22.6 データ入力の制御(Ch.1)

以下、オーディオデータの入力方法を説明します。

- 22.4節に示したとおり、I²Sの設定を行います。
- 22.7節で説明する割り込みとDMA条件の設定を行います。
- I2SEN1/I2S_CTL1レジスタに1を書き込み、I²S Ch.1の回路をOnします。
- I2SSTART1/I2S_STARTレジスタに1を書き込み、受信を開始させます。これにより、I2S_WSIとI2S_SCLKI端子からのクロック入力許可されます。
I²S Ch.1は、I2S_WSI入力クロックがWCLKMD1/I2S_CTL1レジスタで設定された左チャンネルのレベルになる、最初の立ち下がりまたは立ち上がりエッジでデータの受信を開始します。
データビットは、BCLKPOL1/I2S_CTL1レジスタで指定されたI2S_SCLKI入力クロックの立ち上がりまたは立ち下がりエッジで受信用シフトレジスタに取り込まれます。
シフトレジスタにデータが取り込まれると、その受信データは最初に受信した24ビットまたは16ビットを左チャンネルデータ、続く24ビットまたは16ビットを右チャンネルデータとして受信用FIFOにロードされます。FIFOには最大4個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×4)を格納可能です。
割り込み条件に従った数のデータがFIFOにロードされると、割り込みまたはDMA要求が発生します。
下記5の説明のとおり、この割り込みまたはDMAを利用してデータを読み出します。

5. オーディオデータをFIFOから読み出します。
データの読み出しには2つの方法があります。

5.1) 割り込みを使用

I²S Ch.1は2種類の割り込みを使用可能です。

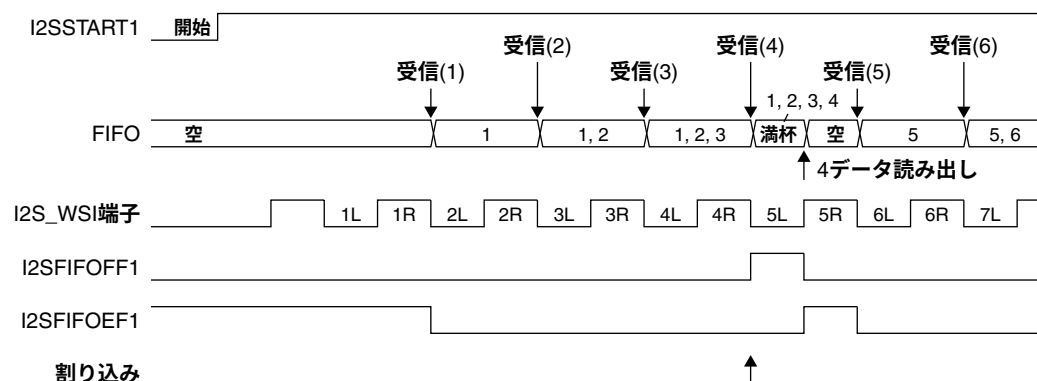
• I²S Ch.1 FIFO完全フル割り込み

完全フル割り込みを許可すると、4個のステレオデータを受信してFIFOが完全に満杯になった時点で割り込みが発生します。完全フル割り込み処理ルーチンでは、1度に4個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×4)をFIFOから読み出します。

• I²S Ch.1 FIFO 1データ割り込み

1データ割り込みを許可すると、1個のステレオデータがFIFOにロードされるごとに割り込みが発生します。1データ割り込み処理ルーチンでは、1度に1個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×1)をFIFOから読み出します。I²Sモジュールはこの割り込み要因が発生した場合でもデータの受信を続けます。

完全フル割り込み



1データ割り込み

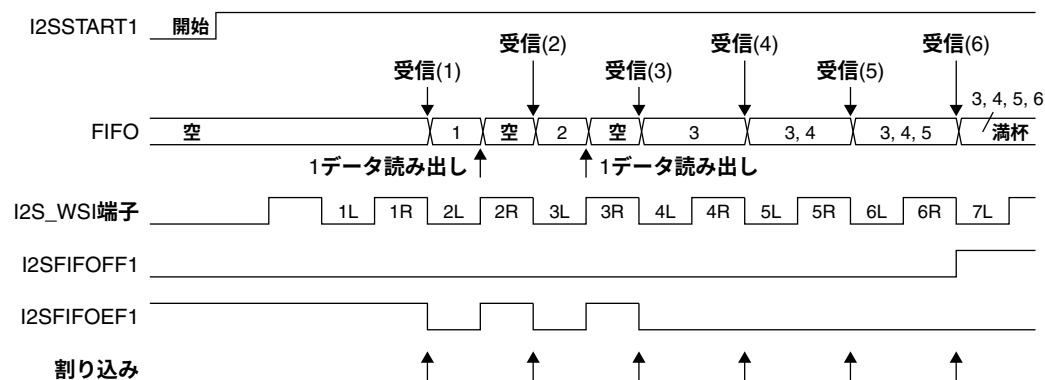


図22.6.1 受信FIFOデータと割り込み

I²S割り込みの詳細については、22.7.1節を参照してください。

FIFOからの受信データの読み出しには、32ビットレジスタI2S_FIFO1(0x302430番地)を使用します。16ビットデータを読み出す場合は、16ビットまたは32ビットメモリリード命令を使用します。8ビットメモリリード命令は使用できません。16ビットメモリリード命令を使用する場合は、最初に左チャンネルの16ビットデータを0x302430番地から読み出し、次に右チャンネルの16ビットデータを0x302432番地から読み出します。32ビットメモリリード命令を使用する場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)を一緒に0x302430番地から読み出します。

24ビットデータを読み出す場合は、32ビットメモリリード命令を使用します。8ビットおよび16ビットメモリリード命令は使用できません。最初に左チャンネルの24ビットデータを0x302430番地から読み出し、次に右チャンネルの24ビットデータを0x302430番地から読み出します。左右チャンネルのデータはペアで読み出す必要があります。

4個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 4)をFIFOから読み出す順序を表22.6.1～22.6.3に示します(読み出したデータをメモリに格納する命令や手順は省略します)。

表22.6.1 16ビットメモリリード命令によるFIFOからの16ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.h %rd1, [0x302430]	0x302430 → Data1-L[15:0]
2	ld.h %rd2, [0x302432]	0x302432 → Data1-R[15:0]
3	ld.h %rd3, [0x302430]	0x302430 → Data2-L[15:0]
4	ld.h %rd4, [0x302432]	0x302432 → Data2-R[15:0]
5	ld.h %rd5, [0x302430]	0x302430 → Data3-L[15:0]
6	ld.h %rd6, [0x302432]	0x302432 → Data3-R[15:0]
7	ld.h %rd7, [0x302430]	0x302430 → Data4-L[15:0]
8	ld.h %rd8, [0x302432]	0x302432 → Data4-R[15:0]

表22.6.2 32ビットメモリリード命令によるFIFOからの16ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.w %rd12, [0x302430]	0x302430 → {Data1-R[15:0], L[15:0]}
2	ld.w %rd34, [0x302430]	0x302430 → {Data2-R[15:0], L[15:0]}
3	ld.w %rd56, [0x302430]	0x302430 → {Data3-R[15:0], L[15:0]}
4	ld.w %rd78, [0x302430]	0x302430 → {Data4-R[15:0], L[15:0]}

(R = D[31:16], L = D[15:0])

表22.6.3 32ビットメモリリード命令によるFIFOからの24ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.w %rd1, [0x302430]	0x302430 → Data1-L[23:0]
2	ld.w %rd2, [0x302430]	0x302430 → Data1-R[23:0]
3	ld.w %rd3, [0x302430]	0x302430 → Data2-L[23:0]
4	ld.w %rd4, [0x302430]	0x302430 → Data2-R[23:0]
5	ld.w %rd5, [0x302430]	0x302430 → Data3-L[23:0]
6	ld.w %rd6, [0x302430]	0x302430 → Data3-R[23:0]
7	ld.w %rd7, [0x302430]	0x302430 → Data4-L[23:0]
8	ld.w %rd8, [0x302430]	0x302430 → Data4-R[23:0]

5.2) DMA転送を使用

I²S Ch.1は2種類のDMAモードをサポートします。

設定したDMAモードにかかわらず、DMA転送は1データ割り込み要因により起動します。この割り込み信号はITCとDMACの両方に出力されますので、I²S割り込みを発生させずにDMA転送を行うことができます。

• シングルチャンネルDMAモード

左チャンネルと右チャンネルのオーディオデータを1つのメモリ領域に連続して格納する場合はシングルチャンネルDMAモードを使用します。I²S Ch.1は左右チャンネル2つのDMA要求を同時にDMAC Ch.2とCh.3に出力します。したがって、データ転送にはDMAC Ch.2またはCh.3のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャンネルのデータをFIFO(0x302430番地)から読み出します。シングルチャンネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを読み出す場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)を一緒に0x302430番地(アドレス固定)から転送します。

24ビットデータを読み出す場合は、2回のデータ転送を行います。最初に左チャンネルの24ビットデータを0x302430番地から読み出し、次に右チャンネルの24ビットデータを0x302430番地から読み出します。

- デュアルチャネルDMAモード

左チャネルと右チャネルのオーディオデータをそれぞれ別の位置に格納する場合はデュアルチャネルDMAモードを使用して左右のチャネル別にデータをFIFOから転送します。このモードではDMAC Ch.2とDMAC Ch.3への2つのDMA要求が同時に発生します。DMACはCh.2の方がCh.3よりも優先順位が高いため、左チャネルのデータをDMAC Ch.2で先に転送し、続く右チャネルのデータはDMAC Ch.3で転送します。

16ビットデータをFIFOから読み出す場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.2で左チャネルの16ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャネルの16ビットデータを0x302432番地から転送します。

24ビットデータをFIFOから読み出す場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.2で左チャネルの24ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャネルの24ビットデータを0x302430番地から転送します。

DMA転送の詳細については、22.7.2節を参照してください。

I²Sモジュールには、FIFOが満杯か空かを示すI2SFIFOFF1/I2S_STATUSレジスタとI2SFIFOE1/I2S_STATUSレジスタの2つのステータスフラグが用意されています。

4個の受信ステレオデータによってFIFOが満杯になると、I2SFIFOFF1が1にセットされます。

注: I2SFIFOFF1が1にセットされた後、1ワードクロック周期以内にI²S Ch.1 FIFOを読み出さないと、FIFO内の最新データが次の受信データによって上書きされてしまいます。

読み出しによりFIFOが空になると、I2SFIFOE1が1にセットされます。

6. 受信を終了するには、I2SSTART1/I2S_STARTレジスタに0を書き込みます。

I2SSTART1を0に設定すると、I²Sモジュールはデータ入力を即時に停止します。これ以降、外部I²Sデバイスから送られるデータは無視されます。

I²Sバイパスモード

I²Sモジュールにはバイパスモードが用意されています。このモードでは、I2S_MCLKI、I2S_SCLKI、I2S_WSI、およびI2S_SDI端子から入力した各信号が、そのままI2S_MCLKO、I2S_SCLKO、I2S_WSO、およびI2S_SDO端子から出力されます。I²Sモジュールをバイパスモードにするには、I2SBYPASS/I2S_CTL1レジスタを1に設定します。I2SBYPASSが0(デフォルト)の場合、I²S Ch.0とI²S Ch.1はそれぞれ個別に使用可能です。

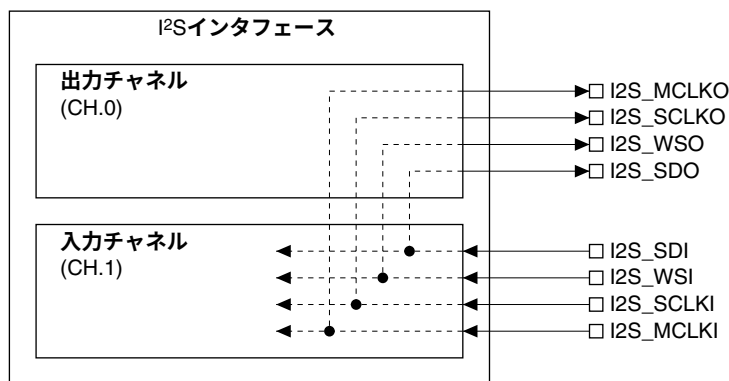


図22.6.2 バイパスモード

22.7 I²S割り込みとDMA

ここでは、I²S割り込みとDMAについて説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

22.7.1 割り込み

I²Sモジュールには、以下の5種類の割り込みを発生させる機能があります。

- I²S Ch.0
- I²S Ch.0 FIFO完全エンプティ割り込み
 - I²S Ch.0 FIFOハーフエンプティ割り込み
 - I²S Ch.0 FIFO 1データエンプティ割り込み

- I²S Ch.1
- I²S Ch.1 FIFO完全フル割り込み
 - I²S Ch.1 FIFO 1データ割り込み

各I²Sチャネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。使用する割り込みに対応するI2S_INTレジスタ内の割り込みイネーブルビットを1に設定してください。

I²S Ch.0 FIFO完全エンプティ割り込み

この割り込みを使用するには、I2SWEIE0/I2S_INTレジスタを1に設定します。I2SWEIE0が0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

I²S Ch.0のFIFOから全データ(4個のステレオデータ)が出力のために読み出されると、I²SモジュールはWEIF0/I2S_INTレジスタを1にセットしてFIFOが空であることを示します。完全エンプティ割り込みが許可されていれば(I2SWEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。I2SWEIF0が1の場合、アプリケーションプログラムで、4個のステレオデータ(24ビットまたは16ビット×2チャネル(L & R)×4)をFIFOに書き込んでください。

I²S Ch.0 FIFOハーフエンプティ割り込み

この割り込みを使用するには、I2SHEIE0/I2S_INTレジスタを1に設定します。I2SHEIE0が0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

I²S Ch.0のFIFOにステレオデータ2個分の空きができると、I²SモジュールはI2SHEIF0/I2S_INTレジスタを1にセットします。ハーフエンプティ割り込みが許可されていれば(I2SHEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。I2SHEIF0が1の場合、アプリケーションプログラムで、2個のステレオデータ(24ビットまたは16ビット×2チャネル(L & R)×2)をFIFOに書き込んでください。

I²S Ch.0 FIFO 1データエンプティ割り込み

この割り込みを使用するには、I2SOEIE0/I2S_INTを1に設定します。I2SOEIE0が0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

I²S Ch.0のFIFOにステレオデータ1個分の空きができると、I²SモジュールはI2SOEIF0/I2S_INTレジスタを1にセットします。1データエンプティ割り込みが許可されていれば(I2SOEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。I2SOEIF0が1の場合、アプリケーションプログラムで、1個のステレオデータ(24ビットまたは16ビット×2チャネル(L & R)×1)をFIFOに書き込んでください。

注: I²Sの出力開始時は(I2SSTART0を1に設定した時点では)、FIFOが完全に空の状態です。このため、4個のステレオデータ(24ビットまたは16ビット×2チャネル(L & R)×4)の書き込みによってFIFOが満杯になるまで、I²Sモジュールは初期状態を保ちます。

割り込み条件に従い、1個、2個または4個のデータを割り込み処理ルーチンでFIFOに書き込んでください。

- 割り込みを許可する前にFIFOに書き込む場合
FIFOに4個のステレオデータを書き込み後、割り込みを許可します。
- 割り込みを許可した後にFIFOに書き込む場合
アプリケーションプログラムで直接割り込みを許可できます。割り込みを許可した後、最初の完全エンプティ割り込み、2回目のハーフエンプティ割り込み、または4回目の1データエンプティ割り込みが発生した時点の割り込み処理でFIFOが満杯になります。

I²S Ch.1 FIFO完全フル割り込み

この割り込みを使用するには、I2SWFIE1/I2S_INTレジスタを1に設定します。I2SWFIE1が0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

I²S Ch.1のFIFOが4個の受信データ(4個のステレオデータ)によって埋まると、I²SモジュールはI2SWFIF1/I2S_INTレジスタを1にセットしてFIFOが完全に満杯であることを示します。完全フル割り込みが許可されていれば(I2SWFIE1 = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。I2SWFIF1が1の場合、アプリケーションプログラムで、FIFOから4個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×4)を読み出してください。

I²S Ch.1 FIFO 1データ割り込み

この割り込みを使用するには、I2SOFIE1/I2S_INTレジスタを1に設定します。I2SOFIE1が0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

I²S Ch.1のFIFOに受信データ(1個のステレオデータ)がロードされると、I²SモジュールはI2SOFIF1/I2S_INTレジスタを1にセットします。1データ割り込みが許可されていれば(I2SOFIE1 = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。I2SOFIF1が1の場合、アプリケーションプログラムで、FIFOから1個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×1)を読み出してください。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

22.7.2 DMA転送

I²S Ch.0のFIFO 1データエンプティ割り込み要因とCh.1のFIFO 1データ割り込み要因は、DMAを起動することができます。これにより、メモリとFIFO間のDMA転送によって連続的なデータ入出力が行えます。DMA要求信号が割り込み信号とは別に用意されています。したがって、I²S割り込みを発生させることなく、DMA転送を行うことができます。

I²Sの割り込み要因をトリガとして起動可能なDMACチャンネルは以下のとおりです。

I²S Ch.0(データ出力)用

DMAC Ch.0: シングルチャンネルDMAモード時のL & Rデータ転送、またはデュアルチャンネルDMAモード時のLデータ転送に使用

DMAC Ch.1: シングルチャンネルDMAモード時のL & Rデータ転送、またはデュアルチャンネルDMAモード時のRデータ転送に使用

I²S Ch.1(データ入力)用

DMAC Ch.2: シングルチャンネルDMAモード時のL & Rデータ転送、またはデュアルチャンネルDMAモード時のLデータ転送に使用

DMAC Ch.3: シングルチャンネルDMAモード時のL & Rデータ転送、またはデュアルチャンネルDMAモード時のRデータ転送に使用

オーディオデータの格納方法に合わせ、DMACを1チャンネルまたは2チャンネル使用してください。また、I²S Ch.0はI2SDMA0/I2S_MODEレジスタを使用して、I²S Ch.1はI2SDMA1/I2S_MODEレジスタを使用してシングルチャンネルDMAモード、またはデュアルチャンネルDMAモードに設定する必要があります。I2SDMA_xが0(デフォルト)の場合、I²S Ch._xはシングルチャンネルDMAモードで動作します。I2SDMA_xを1に設定すると、I²S Ch._xはデュアルチャンネルDMAモードになります。

シングルチャンネルDMAモード

I²S Ch.0

左チャンネルと右チャンネルのオーディオデータが1つのメモリ領域に連続して格納されている場合はシングルチャンネルDMAモードを使用します。I²S Ch.0は左右チャンネル2つのDMA要求を同時にDMAC Ch.0とCh.1に出力します。したがって、データ転送にはDMAC Ch.0またはCh.1のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャンネルのデータをFIFO(0x302420番地)に書き込みます。シングルチャンネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを書き込む場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)と一緒に0x302420番地(アドレス固定)に転送します。

24ビットデータを書き込む場合は、2回のデータ転送を行います。最初に左チャンネルの24ビットデータを0x302420番地に転送し、次に右チャンネルの24ビットデータを0x302420番地に転送します。

I²S Ch.1

左チャンネルと右チャンネルのオーディオデータを1つのメモリ領域に連続して格納する場合はシングルチャンネルDMAモードを使用します。I²S Ch.1は左右チャンネル2つのDMA要求を同時にDMAC Ch.2とCh.3に出力します。したがって、データ転送にはDMAC Ch.2またはCh.3のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャンネルのデータをFIFO(0x302430番地)から読み出します。シングルチャンネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを読み出す場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)と一緒に0x302430番地(アドレス固定)から転送します。

24ビットデータを読み出す場合は、2回のデータ転送を行います。最初に左チャンネルの24ビットデータを0x302430番地から読み出し、次に右チャンネルの24ビットデータを0x302430番地から読み出します。

デュアルチャンネルDMAモード

I²S Ch.0

左チャンネルと右チャンネルのオーディオデータが別々に格納されている場合はデュアルチャンネルDMAモードを使用して左右のチャンネル別にデータをFIFOに転送します。このモードではDMAC Ch.0とDMAC Ch.1への2つのDMA要求が同時に発生します。DMACはCh.0の方がCh.1よりも優先順位が高いため、左チャンネルのデータをDMAC Ch.0で先に転送し、続く右チャンネルのデータはDMAC Ch.1で転送します。

16ビットデータをFIFOに書き込む場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.0で左チャンネルの16ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャンネルの16ビットデータを0x302422番地に転送します。

24ビットデータをFIFOに書き込む場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.0で左チャンネルの24ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャンネルの24ビットデータを0x302420番地に転送します。

I²S Ch.1

左チャンネルと右チャンネルのオーディオデータをそれぞれ別の位置に格納する場合はデュアルチャンネルDMAモードを使用して左右のチャンネル別にデータをFIFOから転送します。このモードではDMAC Ch.2とDMAC Ch.3への2つのDMA要求が同時に発生します。DMACはCh.2の方がCh.3よりも優先順位が高いため、左チャンネルのデータをDMAC Ch.2で先に転送し、続く右チャンネルのデータはDMAC Ch.3で転送します。

16ビットデータをFIFOから読み出す場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.2で左チャンネルの16ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャンネルの16ビットデータを0x302432番地から転送します。

24ビットデータをFIFOから読み出す場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.2で左チャンネルの24ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャンネルの24ビットデータを0x302430番地から転送します。

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

22.8 制御レジスタ詳細

表22.8.1 I²Sレジスタ一覧

アドレス	レジスタ名	機能
0x302400	I2S_CTL0	I ² S Ch.0 Control Register
0x302404	I2S_CTL1	I ² S Ch.1 Control Register
0x302408	I2S_DV_MCLK	I ² S Master Clock Division ratio Register
0x30240c	I2S_DV_BCLK	I ² S Audio Clock Division ratio Register
0x302410	I2S_START	I ² S Start/Stop Register
0x302414	I2S_STATUS	I ² S FIFO Status Register
0x302418	I2S_INT	I ² S Interrupt Control Register
0x30241c	I2S_MODE	I ² S Mode Select Register
0x302420	I2S_FIF00	I ² S Ch.0 FIFO Register
0x302422		
0x302430	I2S_FIF01	I ² S Ch.1 FIFO Register
0x302432		

以下、I²Sのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²S Ch.0 Control Register (I2S_CTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Ch.0 Control Register (I2S_CTL0)	0x302400 (32 bits)	D31–11	–	reserved	–	–	–	0 when being read.
		D10	DTSIGN0	I ² S Ch.0 signed/unsigned data format select	1 Signed 0 Unsigned	0	R/W	
		D9	DATRES0	I ² S Ch.0 output data resolution select	1 24 bits 0 16 bits	0	R/W	
		D8	I2SEN0	I ² S Ch.0 enable	1 Enable 0 Disable	0	R/W	
		D7	WCLKMD0	I ² S Ch.0 output word clock mode select	1 L: High R: Low 0 L: Low R: High	0	R/W	
		D6	BCLKPOL0	I ² S Ch.0 output bit clock polarity select	1 Negative 0 Positive	0	R/W	
		D5	DTFORM0	I ² S Ch.0 output data format select	1 LSB first 0 MSB first	0	R/W	
		D4	I2SOUTEN0	I ² S Ch.0 output enable	1 Enable 0 Disable	0	R/W	
		D3–2	DTTMG0[1:0]	I ² S Ch.0 output data timing select	DTTMG0[1:0] Timing mode 0x3 reserved 0x2 Right justified 0x1 Left justified 0x0 I ² S	0x0	R/W	
		D1–0	CHMD0[1:0]	I ² S Ch.0 output channel mode select	CHMD0[1:0] Channel mode 0x3 Mute 0x2 Mono left 0x1 Mono right 0x0 Stereo	0x0	R/W	

注: I2SSTART0/I2S_STARTレジスタを設定してI²S Ch.0からのデータ出力を開始する前に、本レジスタによりデータ転送条件をすべて設定してください。

D[31:11] Reserved

D10 DTSIGN0: I²S Ch.0 Signed/Unsigned Data Format Select Bit

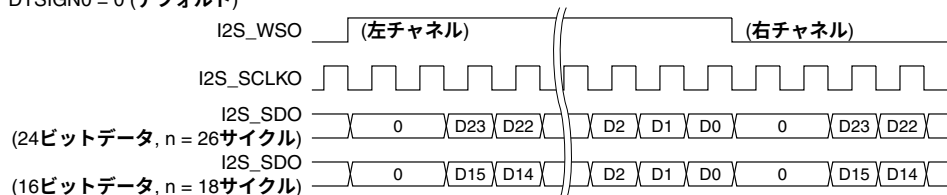
I²S Ch.0は右揃えモードに設定されている場合のデータ形式を選択します。

1(R/W): 符号付き

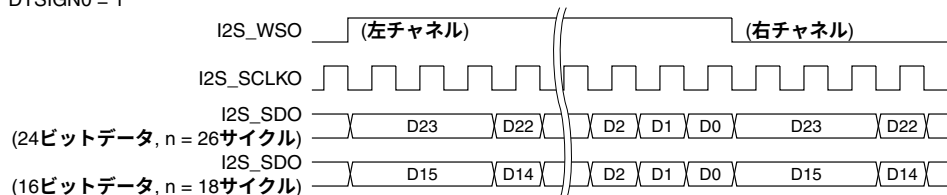
0(R/W): 符号なし(デフォルト)

DTSIGN0を0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGN0を1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D23またはD15)に設定されます。この設定は右揃えモードにのみ有効です。その他のデータ出力タイミングモードでは、DTSIGN0を0に設定してください。

DTSIGN0 = 0 (デフォルト)



DTSIGN0 = 1



(MSB先頭、右揃えモード、n = ビットクロックサイクル数)

図22.8.1 符号なしと符号付き形式

D9 DATRES0: I²S Ch.0 Output Data Resolution Select BitI²S Ch.0から出力するオーディオデータの解像度を選択します。

1(R/W): 24ビット

0(R/W): 16ビット(デフォルト)

DATRES0が0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。

D8 I2SEN0: I²S Ch.0 Enable BitI²S Ch.0の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SEN0を1に設定するとI²S Ch.0が動作を開始し、データ転送が行える状態になります。I2SEN0を0に設定すると、I²S Ch.0は動作を停止します。**D7 WCLKMD0: I²S Ch.0 Output Word Clock Mode Select Bit**

I2S_WSO信号のレベルとチャンネルの対応を設定します。

1(R/W): High = 左チャンネル、Low = 右チャンネル

0(R/W): High = 右チャンネル、Low = 左チャンネル(デフォルト)

WCLKMD0 = 0 (デフォルト)



WCLKMD0 = 1

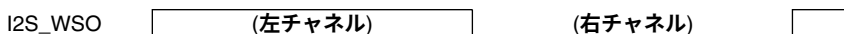


図22.8.2 ワードクロックモード

D6 BCLKPOL0: I²S Ch.0 Output Bit Clock Polarity Select Bit

ビットクロック(I2S_SCLKO)の極性を選択します。

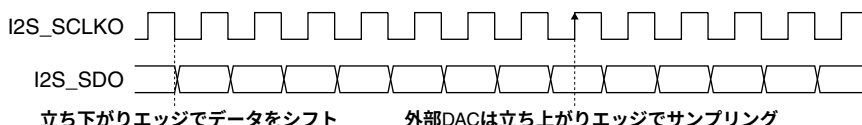
1(R/W): 負極性

0(R/W): 正極性(デフォルト)

BCLKPOL0が0の場合、I2S_SDO出力はI2S_SCLKO(ビットクロック)の立ち下がりエッジで変化し、外部DACはデータビットをI2S_SCLKOの立ち上がりエッジでサンプリングできます。

BCLKPOL0を1に設定すると、I2S_SDO出力はI2S_SCLKOの立ち上がりエッジで変化し、外部DACはデータビットをI2S_SCLKOの立ち下がりエッジでサンプリングできます。

BCLKPOL0 = 0 (デフォルト)



BCLKPOL0 = 1

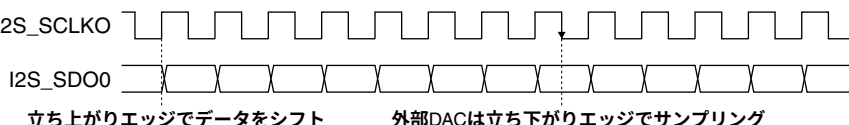


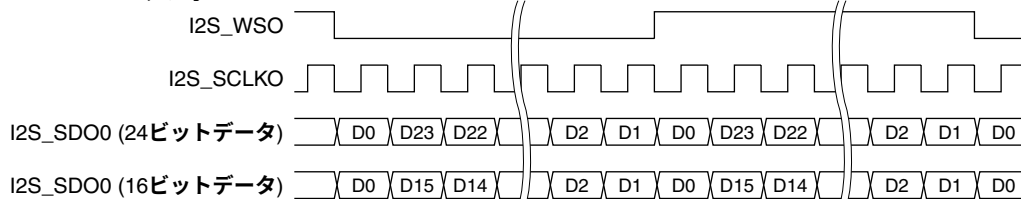
図22.8.3 ビットクロック極性

D5 DTFORM0: I²S Ch.0 Output Data Format Select BitI²S Ch.0からデータのMSBとLSBのどちらを先に出力するか選択します。

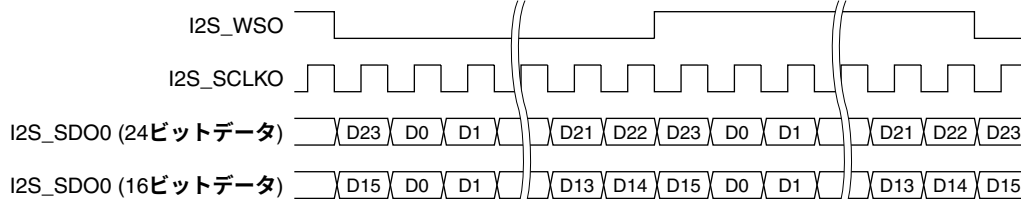
1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

DTFORM0 = 0 デフォルト



DTFORM0 = 1

図22.8.4 出力データ形式(I²Sモードの例)**D4 I2SOUTEN0: I²S Ch.0 Output Enable Bit**I²S Ch.0信号の出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SOUTEN0が0の場合、I2S_MCLKO端子はスタンバイ状態を保ちます。I2S_WSO端子は0に固定されます。I2S_SDO端子は変化せずに前の状態を保ちます。I2S_SCLKO端子は0 (BCLKPOL0 = 0の場合)または1 (BCLKPOL0 = 1の場合)に固定されます。

I2SOUTEN0を1に設定すると出力端子はすべてスタンバイ状態となります。

I2SOUTEN0はデータの出力中でも変更可能です。この操作で、I²Sモジュールによるデータのシフト動作(データ出力)を一時停止あるいは再開することができます。

D[3:2] DTTMG0[1:0]: I²S Ch.0 Output Data Timing Select Bits

データビットの出力タイミングを選択します。

表22.8.2 データ出力タイミング

DTTMG0[1:0]	データ出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト: 0x0)

DTTMG0[1:0]を0x0(デフォルト)に設定するとPSモードが選択されます。このモードでは、各データの先頭ビットがI2S_WSO信号のエッジからI2S_SCLKO 1クロック分遅れて出力されます。

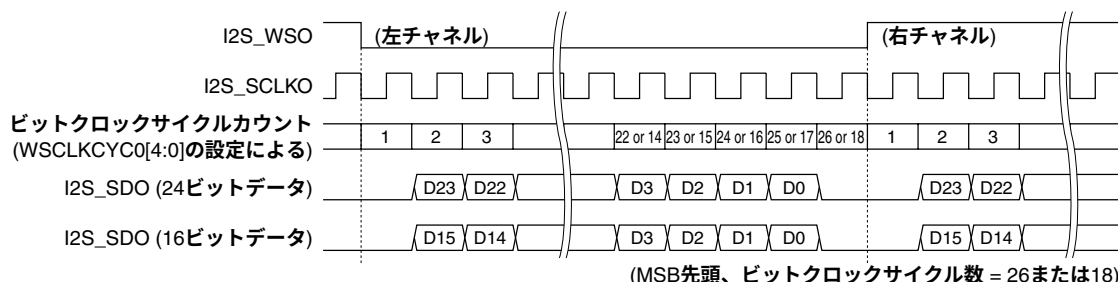


図22.8.5 データ出力タイミング1 (I²Sモード)

DTTMG0[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WSO信号のエッジから各データの出力を開始します。

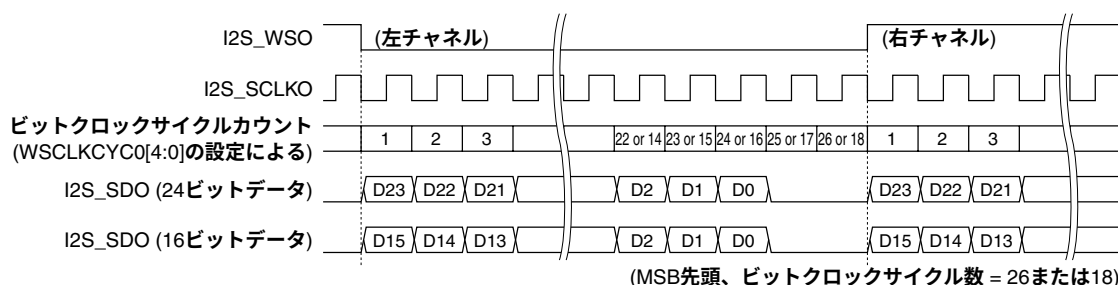


図22.8.6 データ出力タイミング2 (左揃えモード)

DTTMG0[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WSO信号のエッジに右揃えになるように出力されます。

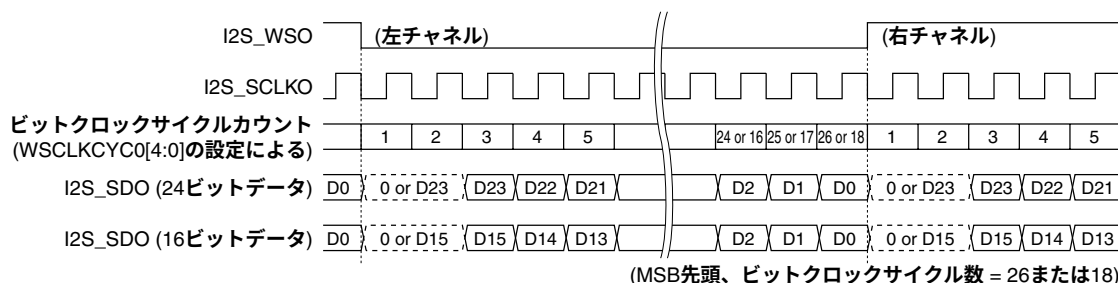


図22.8.7 データ出力タイミング3 (右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データサイズ + 2]以上に設定する必要があります。

D[1:0] CHMD0[1:0]: I²S Ch.0 Output Channel Mode Select Bits

I²S Ch.0の出力チャンネルモードを選択します。

表22.8.3 出力チャンネルモード

CHMD0[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

ミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。FIFOのデータは通常どおり読み出されるため、割り込みも発生します。

I²S Ch.1 Control Register (I2S_CTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Ch.1 Control Register (I2S_CTL1)	0x302404 (32 bits)	D31–7	–	reserved	–	–	–	0 when being read.
		D6	I2SBYPASS	I ² S bypass mode select	1 Bypass 0 Normal	0	R/W	
		D5	WCLKMD1	I ² S Ch.1 input word clock mode select	1 L: High R: Low 0 L: Low R: High	0	R/W	
		D4	BCLKPOL1	I ² S Ch.1 input bit clock polarity select	1 Negative 0 Positive	0	R/W	
		D3–2	DTTMG1[1:0]	I ² S Ch.1 input data timing select	DTTMG1[1:0] 0x3 reserved 0x2 Right justified 0x1 Left justified 0x0 I ² S	0x0	R/W	
		D1	DATRES1	I ² S Ch.1 input data resolution select	1 24 bits 0 16 bits	0	R/W	
		D0	I2SEN1	I ² S Ch.1 enable	1 Enable 0 Disable	0	R/W	

注: I2SSTART1/I2S_STARTレジスタを設定してI²S Ch.1へのデータ入力を開始する前に、本レジスタによりデータ転送条件をすべて設定してください。

D[31:7] Reserved

D6 I2SBYPASS: I²S Bypass Mode Select Bit

I²Sバイパスモードを選択します。

1(R/W): バイパスモード

0(R/W): 通常モード(デフォルト)

I2SBYPASSを1に設定すると、I²Sモジュールはバイパスモードになります。このモードでは、I2S_MCLKI、I2S_SCLKI、I2S_WSI、およびI2S_SDI端子から入力した各信号が、そのままI2S_MCLKO、I2S_SCLKO、I2S_WSO、およびI2S_SDO端子から出力されます。I2SBYPASSが0(デフォルト)の場合、I²S Ch.0とI²S Ch.1はそれぞれ個別に使用可能です。

D5 WCLKMD1: I²S Ch.1 Input Word Clock Mode Select Bit

I2S_WSI入力信号のレベルとチャンネルの対応を設定します。

1(R/W): High = 左チャンネル、Low = 右チャンネル

0(R/W): High = 右チャンネル、Low = 左チャンネル(デフォルト)

WCLKMD1 = 0 (デフォルト)



WCLKMD1 = 1



図22.8.8 ワードクロックモード

D4 BCLKPOL1: I²S Ch.1 Input Bit Clock Polarity Select Bit

ビットクロック(I2S_SCLKI)の極性を選択します。

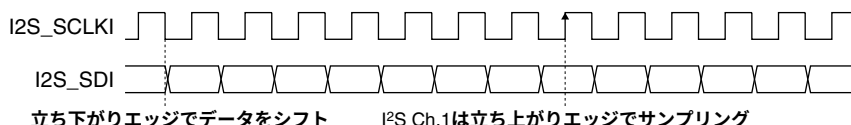
1(R/W): 負極性

0(R/W): 正極性(デフォルト)

BCLKPOL1が0の場合、I2S_SDI入力はI2S_SCLKI(ビットクロック)の立ち下がりエッジで変化し、I²S Ch.1はデータビットをI2S_SCLKIの立ち上がりエッジでサンプリングします。

BCLKPOL1を1に設定すると、I2S_SDI入力はI2S_SCLKIの立ち上がりエッジで変化し、I²S Ch.1はデータビットをI2S_SCLKIの立ち下がりエッジでサンプリングします。

BCLKPOL1 = 0 (デフォルト)



BCLKPOL1 = 1

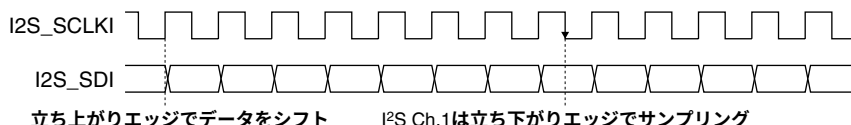


図22.8.9 ビットクロック極性

D[3:2] DTTMG1[1:0]: I²S Ch.1 Input Data Timing Select Bits

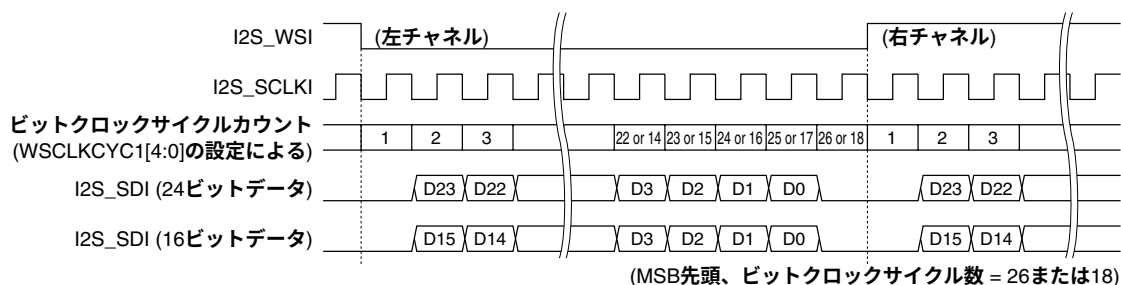
データビットの入力タイミングを選択します。

表22.8.4 データ入力タイミング

DTTMG1[1:0]	データ入力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト: 0x0)

DTTMG1[1:0]を0x0(デフォルト)に設定するとPSモードが選択されます。このモードでは、各データの先頭ビットがI2S_WSI信号のエッジからI2S_SCLKI 1クロック分遅れて入力されます。

図22.8.10 データ入力タイミング1 (I²Sモード)

DTTMG1[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WSI信号のエッジから各データの入力を開始します。

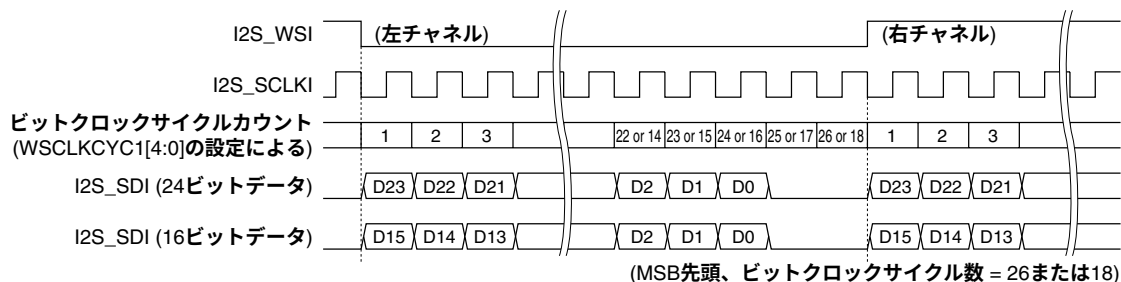


図22.8.11 データ入力タイミング2 (左揃えモード)

DTTMG1[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、入力データがI2S_WSI信号のエッジに右揃えになります。

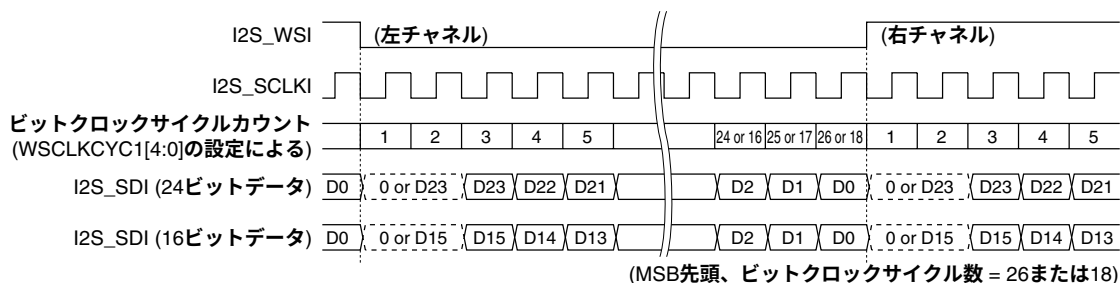


図22.8.12 データ入力タイミング3(右揃えモード)

D1 DATRES1: I²S Ch.1 Input Data Resolution Select Bit

I²S Ch.1に入力するオーディオデータの解像度を選択します。

1(R/W): 24ビット

0(R/W): 16ビット(デフォルト)

DATRES1が0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。

D0 I2SEN1: I²S Ch.1 Enable Bit

I²S Ch.1の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SEN1を1に設定するとI²S Ch.1が動作を開始し、データ転送が行える状態になります。

I2SEN1を0に設定すると、I²S Ch.1は動作を停止します。

I²S Master Clock Division Ratio Register (I2S_DV_MCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Master Clock Division Ratio Register (I2S_DV_MCLK)	0x302408 (32 bits)	D31–16	—	reserved	—	—	—	0 when being read.
		D15	MCLKSEL	I2S_MCLK source clock select	1 External clk 0 System clk	0	R/W	
		D14–6	—	reserved	—	—	—	0 when being read.
		D5–0	MCLKDIV [5:0]	I2S_MCLK division ratio select	MCLKDIV[5:0] Division ratio 0x3f 1/64 0x3e 1/63 0x3d 1/62 : 0x2 1/3 0x1 1/2 0x0 reserved	0x0	R/W	Source clock = I2S_CLK (PCLK)

D[31:16] Reserved**D15 MCLKSEL: I2S_MCLK Source Clock Select Bit**

I²S Ch.0のマスタクロック(I2S_MCLKO)を生成するためのソースクロックを選択します。

1(R/W): 外部クロック

0(R/W): システムクロック(PCLK) (デフォルト)

MCLKSELが0(デフォルト)の場合、I²SモジュールはPCLKを分周してマスタクロック(I2S_MCLKO)を生成します。MCLKSELを1に設定すると、I²S Ch.0はI2S_MCLKI端子から入力した外部クロックをマスタクロックとして使用します。

D[14:6] Reserved**D[5:0] MCLKDIV[5:0]: I2S_MCLK Division Ratio Select Bits**

I2S_MCLKO端子から出力するI²Sマスタクロック(I2S_MCLKO)を設定します。

I²Sモジュールは動作クロック(CMUが生成したPCLK)を分周して、I2S_MCLKOを生成します。この分周比をMCLKDIV[5:0]で指定します。

表22.8.5 I2S_MCLKO(マスタクロック)の設定

MCLKDIV[5:0]	PCLK分周比
0x3f	1/64
0x3e	1/63
0x3d	1/62
:	:
0x2	1/3
0x1	1/2
0x0	Reserved

(デフォルト: 0x0)

I²S Audio Clock Division Ratio Register (I2S_DV_BCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Audio Clock Division Ratio Register (I2S_DV_BCLK)	0x30240c (32 bits)	D31–21	–	reserved	–	–	–	0 when being read.
		D20–16	WSCLKCYC1[4:0]	I ² S Ch.1 WS clock cycle setup	WSCLKCYC1[4:0] Clock period	0x0	R/W	
					Other	reserved		
					0x10	32 clocks		
					0xf	31 clocks		
					0xe	30 clocks		
					0xd	29 clocks		
					0xc	28 clocks		
					0xb	27 clocks		
					0xa	26 clocks		
		D15–13	–	reserved	–	–	–	0 when being read.
		D12–8	WSCLKCYC0[4:0]	I ² S Ch.0 WS clock cycle setup	WSCLKCYC0[4:0] Clock period	0x0	R/W	
					Other	reserved		
					0x10	32 clocks		
					0xf	31 clocks		
					0xe	30 clocks		
					0xd	29 clocks		
					0xc	28 clocks		
					0xb	27 clocks		
					0xa	26 clocks		
		D7–0	BCLKDIV0[7:0]	I ² S Ch.0 bit clock division ratio select	BCLKDIV0[7:0] Division ratio	0x0	R/W	Source clock = Clock selected by MCLKSEL
					0xff	1/512		
					0xfe	1/510		
					0xfd	1/508		
					:	:		
					0x2	1/6		
					0x1	1/4		
					0x0	1/2		

D[31:21] Reserved**D[20:16] WSCLKCYC1[4:0]: I²S Ch.1 WS Clock Cycle Setup Bits**

I²S Ch.1はサンプリングクロックをI2S_WSI端子から入力します。そのクロック周期をビットクロックサイクル数でWSCLKCYC1[4:0]に設定して指定します。WSCLKCYC0[4:0]の説明を参照してください。

D[15:13] Reserved**D[12:8] WSCLKCYC0[4:0]: I²S Ch.0 WS Clock Cycle Setup Bits**

サンプリングクロック(I2S_WSO信号)の周期を指定します。

I²S Ch.0はBCLKDIV0[7:0]で設定されたビットクロックをカウントして、I2S_WSO端子から出力するサンプリングクロックを生成します。I2S_WSOクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[4:0]で指定します。

表22.8.6 サンプリングクロック周期の設定

WSCLKCYCx[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f~0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$f_s = \frac{f_{i2S\_SCLK}}{n \times 2} \text{ [Hz]}$$

f_s: サンプリングクロック周波数[Hz]f_{i2S_SCLK}: ビットクロック周波数[Hz]

(Ch.0: 表22.8.7参照、Ch.1: I2S_SCLKI入力クロック周波数)

n: WSCLKCYCx[4:0]で選択したビットクロック数(表22.8.6参照)

注: WSCLKCYCx[4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(24または16ビット)と同じか、それより大きい値である必要があります。

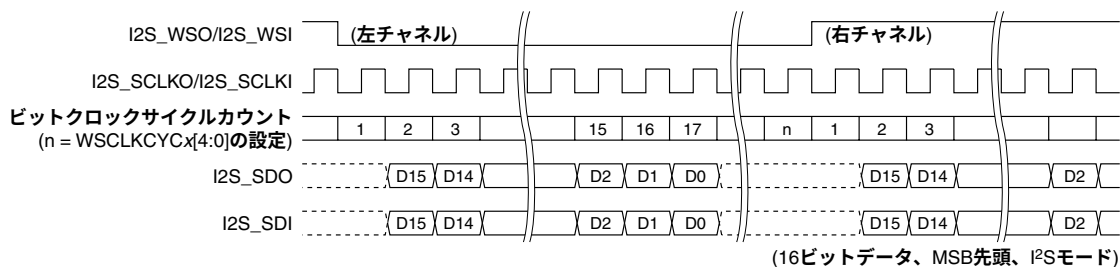


図22.8.13 サンプリングクロック周期

D[7:0] BCLKDIV0[7:0]: I²S Ch.0 Bit Clock Division Ratio Select BitsI²S Ch.0から出力するビットクロックを設定します。

I²SモジュールはI2S_MCLKO生成用に選択されたソースクロックを分周して、I²S Ch.0のI2S_SCLKO端子から出力するビットクロックを生成します。この分周比をBCLKDIV0[7:0]で指定します。

表22.8.7 ビットクロック（分周比）の設定

BCLKDIV0[7:0]	分周比
0xff	1/512
0xfe	1/510
0xfd	1/508
⋮	⋮
0x2	1/6
0x1	1/4
0x0	1/2

（ソースクロック = PCLKまたはI2S_MCLKI入力クロック、デフォルト: 0x0）

I²S Ch.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S\_SCLK0} = \frac{f_{SRC\_CLK}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{I2S_SCLK0} : I²S Ch.0ビットクロック周波数[Hz]

f_{SRC_CLK} : PCLKまたはI2S_MCLKI入力クロック周波数[Hz]

BCLKDIV: BCLKDIV0[7:0]設定値(0x0～0xff)

I²S Ch.1はI2S_SCLKI端子から入力したビットクロックを使用しますので、上記の設定はCh.1には適用されません。

I²S Start/Stop Register (I2S_START)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Start/Stop Register (I2S_START)	0x302410 (32 bits)	D31-9	—	reserved	—	—	—	0 when being read.
		D8	I2SSTART1	I ² S Ch.1 start/stop control	1 Start (run) 0 Stop	0	R/W	
		D7	I2SBSUSY	I ² S busy flag	1 Busy 0 Idle	0	R	
		D6-1	—	reserved	—	—	—	0 when being read.
		D0	I2SSTART0	I ² S Ch.0 start/stop control	1 Start (run) 0 Stop	0	R/W	

D[31:9] Reserved

D8 I2SSTART1: I²S Ch.1 Start/Stop Control Bit

I²S Ch.1のデータ受信を開始/停止します。

1 (R/W): 開始

0 (R/W): 停止(デフォルト)

I2SSTART1に1を書き込むと、I2S_SDI端子からのシリアルデータ受信を開始します。

I2SSTART1に0を書き込むと、I²S Ch.1はデータ入力を即時に停止します。これ以降、外部I²S デバイスから送られるデータは無視されます。本ビットの読み出し値は、I²S Ch.1がデータ受信中の場合は1、受信時以外は0となります。

D7 I2SBSUSY: I²S Busy Flag Bit

I²S Ch.0のデータ出力状態を示します。

1 (R): 動作中

0 (R): 待機中(デフォルト)

I²S Ch.0がデータ転送を開始すると、I2SBSUSYが1にセットされ、出力中は1を保持します。転送動作が終了すると、0にクリアされます。I2SBSUSYはI²S Ch.0にのみ有効です。

D[6:1] Reserved

D0 I2SSTART0: I²S Ch.0 Start/Stop Control Bit

I²S Ch.0のデータ出力を開始/停止します。

1 (R/W): 開始

0 (R/W): 停止(デフォルト)

I2SSTART0に1を書き込むと、I2S_SDO端子からのシリアルデータ送信を開始します。

I2SSTART0に0を書き込むと、I²S Ch.0はFIFO内の残りのデータをすべて出力後に停止します。

I2SSTART0を0に設定後は、FIFOに新たな転送データを書き込むことはできません。

注: I2SSTART0が1の場合は、I2S_DV_MCLKレジスタとI2S_DV_BCLKレジスタを絶対に変更しないでください。

I²S FIFO Status Register (I2S_STATUS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S FIFO Status Register (I2S_STATUS)	0x302414 (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9	I2SFIFOFF1	I ² S Ch.1 FIFO full flag	1 Full 0 Not full	0	R	
		D8	I2SFIFOE1	I ² S Ch.1 FIFO empty flag	1 Empty 0 Not empty	1	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4–2	FIFOSTAT0[2:0]	I ² S Ch.0 FIFO state machine	FIFOSTAT0[2:0] State	0x0	R	
					0x7–0x6 reserved			
					0x5 FLUSH			
					0x4 EMPTY			
					0x3 LACK			
					0x2 FULL			
					0x1 INIT			
					0x0 STOP			
		D1	I2SFIFOFF0	I ² S Ch.0 FIFO full flag	1 Full 0 Not full	0	R	
		D0	I2SFIFOE0	I ² S Ch.0 FIFO empty flag	1 Empty 0 Not empty	1	R	

D[31:10] Reserved

D9 I2SFIFOFF1: I²S Ch.1 FIFO Full Flag Bit

受信用FIFOが満杯かどうかを示します。

1(R): 満杯

0(R): 空きあり(デフォルト)

FIFOが受信データ(24ビットまたは16ビット×2チャンネル(L & R)×4)で満杯になると、I2SFIFOFF1が1にセットされます。この場合、FIFOから受信データを読み出す必要があります。読み出されない場合、FIFO内の最新のステレオデータが次の受信データで上書きされます。

I2SFIFOFF1はFIFO内のデータを読み出すことで、0にリセットされます。

D8 I2SFIFOE1: I²S Ch.1 FIFO Empty Flag Bit

受信用FIFOが空かどうかを示します。

1(R): 空(デフォルト)

0(R): データあり

I2SFIFOE1はFIFOに受信データが書き込まれると0となり、FIFO内のすべてのデータを読み出すと1になります。

D[7:5] Reserved

D[4:2] FIFOSTAT0[2:0]: I²S Ch.0 FIFO State Machine Bits

送信用FIFOの状態を示します。

表22.8.8 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7～0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中 I ² S Ch.0を停止するため、I2SSTART0が0に設定されたことを示します。ただし、FIFOにはまだオーディオデータが残っています。I ² Sモジュールが残りのオーディオデータを出力し終わるまでFLUSH状態になります。出力が終了すると、FIFOSTAT0[2:0]はFLUSHからSTOPに変わります。 FLUSH状態でI2SSTART0が1に設定され、I ² S Ch.0がリスタートすると、FIFOSTAT0[2:0]は現在のFIFOの状態を示すFULLまたはLACKに変わります。
0x4	EMPTY: 送信FIFOは空の状態 FIFOが完全に空になってから満杯状態まで戻っていないことを示します。FIFOが一旦完全に空になると、FIFOSTAT0[2:0]はEMPTYに設定されます。この状態でデータ書き込みを行っても、ステレオデータ4個(24ビットまたは16ビット×2チャンネル(L & R)×4)に満たない場合は、FIFOSTAT0[2:0]がEMPTYに固定されます。I ² S Ch.0はFIFOが満杯になるまでデータ出力を停止します。FIFOが満杯になるとFIFOSTAT0[2:0]はFULLに設定され、I ² S Ch.0はデータの出力を開始します。
0x3	LACK: 送信FIFOは満杯でも空でもない状態 I ² S FIFOにはデータがありますが、満杯でも空でもないことを示します。
0x2	FULL: 送信FIFOは満杯の状態 FIFOには4個のステレオデータが書き込まれ、満杯の状態であることを示します。I ² S Ch.0はバッファデータの出力を開始できます。

FIFOSTAT0[2:0]	状態
0x1	INIT: 送信FIFOの4つのエントリを初期化中 I ² S Ch.0が動作を開始し、FIFOに4個のステレオデータが書き込まれるのに待機していることを示します。
0x0	STOP: 送信FIFOは待機中 I ² S Ch.0が動作を停止していることを示します。

(デフォルト: 0x0)

D1 I2SFIFOFF0: I²S Ch.0 FIFO Full Flag Bit

送信用FIFOが満杯かどうかを示します。

1(R): 満杯

0(R): 空きあり(デフォルト)

FIFOが書き込みデータ(24または16ビット×2チャンネル(L & R)×4)で満杯になるとI2SFIFOFF0が1にセットされ、これ以上データが書き込めないことを示します。

I2SFIFOFF0はFIFO内のデータが送信のために読み出されると、0にリセットされます。

D0 I2SFIFOEF0: I²S Ch.0 FIFO Empty Flag Bit

送信用FIFOが空かどうかを示します。

1(R): 空(デフォルト)

0(R): データあり

I2SFIFOEF0はFIFOに送信データが書き込まれると0となり、FIFO内のすべてのデータが転送されると1になります。

I²S Interrupt Control Register (I2S_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Interrupt Control Register (I2S_INT)	0x302418 (32 bits)	D31-15	—	reserved	—	—	—	0 when being read.
		D14	I2SWFIF1	I ² S Ch.1 FIFO whole full int. flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D13	—	reserved	—	—	—	0 when being read.
		D12	I2SOFIF1	I ² S Ch.1 FIFO one data int. flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D11	—	reserved	—	—	—	0 when being read.
		D10	I2SWEIF0	I ² S Ch.0 FIFO whole empty int. flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	I2SHEIF0	I ² S Ch.0 FIFO half empty int. flag	1	0	R/W	
		D8	I2SOEIF0	I ² S Ch.0 FIFO one empty int. flag	1	0	R/W	
		D7	—	reserved	—	—	—	0 when being read.
		D6	I2SWFIE1	I ² S Ch.1 FIFO whole full int. enable	1 Enable 0 Disable	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	I2SOFIE1	I ² S Ch.1 FIFO one data int. enable	1 Enable 0 Disable	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	I2SWEIE0	I ² S Ch.0 FIFO whole empty int. enable	1 Enable 0 Disable	0	R/W	
		D1	I2SHEIE0	I ² S Ch.0 FIFO half empty int. enable	1 Enable 0 Disable	0	R/W	
		D0	I2SOEIE0	I ² S Ch.0 FIFO one empty int. enable	1 Enable 0 Disable	0	R/W	

D[31:15] Reserved**D14 I2SWFIF1: I²S Ch.1 FIFO Whole Full Interrupt Flag Bit**I²S Ch.1 FIFO完全フル割り込み要因の発生状態を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

I²S Ch.1のFIFOが4個の受信データ(4個のステレオデータ)によって埋まると、I²SモジュールはI2SWFIF1を1にセットしてFIFOが完全に満杯であることを示します。完全フル割り込みが許可されていれば(I2SWFIE1 = 1)、これと同時に割り込み要求がITCに出力されます。この割り込み処理では、FIFOから4個のステレオデータ(24ビットまたは16ビット×2チャンネル(L & R)×4)を読み出してください。また、割り込み処理の最後に、1を書き込んでI2SWFIF1をリセットしてください。

D13 Reserved**D12 I2SOFIF1: I²S Ch.1 FIFO One data Interrupt Flag Bit**

I²S Ch.1 FIFO 1データ割り込み要因の発生状態を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

I²S Ch.1のFIFOに受信データ(1個のステレオデータ)がロードされると、I²SモジュールはI2SOFIF1を1にセットします。1データ割り込みが許可されていれば(I2SOFIE1 = 1)、これと同時に割り込み要求がITCに出力されます。この割り込み処理では、FIFOから1個のステレオデータ(24ビットまたは16ビット × 2チャンネル(L & R) × 1)を読み出してください。また、割り込み処理の最後に、1を書き込んでI2SOFIF1をリセットしてください。

D11 Reserved**D10 I2SWEIF0: I²S Ch.0 FIFO Whole Empty Interrupt Flag Bit**

I²S Ch.0 FIFO完全エンプティ割り込み要因の発生状態を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

I²S Ch.0のFIFOから全データ(4個のステレオデータ)が出力のために読み出されると、I²SモジュールはI2SWEIF0を1にセットしてFIFOが空であることを示します。完全エンプティ割り込みが許可されていれば(I2SWEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。この割り込み処理では、4個のステレオデータ(24ビットまたは16ビット × 2チャンネル(L & R) × 4)をFIFOに書き込む必要があります。また、割り込み処理の最後に、1を書き込んでI2SWEIF0をリセットしてください。

D9 I2SHEIF0: I²S Ch.0 FIFO Half Empty Interrupt Flag Bit

I²S Ch.0 FIFOハーフエンプティ割り込み要因の発生状態を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

I²S Ch.0のFIFOにステレオデータ2個分の空きができると、I²SモジュールはI2SHEIF0を1にセットします。ハーフエンプティ割り込みが許可されていれば(I2SHEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。この割り込み処理では、2個のステレオデータ(24ビットまたは16ビット × 2チャンネル(L & R) × 2)をFIFOに書き込む必要があります。また、割り込み処理の最後に、1を書き込んでI2SHEIF0をリセットしてください。

D8 I2SOEIF0: I²S Ch.0 FIFO One Empty Interrupt Flag Bit

I²S Ch.0 FIFO 1データエンプティ割り込み要因の発生状態を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

I²S Ch.0のFIFOにステレオデータ1個分の空きができると、I²SモジュールはI2SOEIF0を1にセットします。1データエンプティ割り込みが許可されていれば(I2SOEIE0 = 1)、これと同時に割り込み要求がITCに出力されます。この割り込み処理では、1個のステレオデータ(24ビットまたは16ビット × 2チャンネル(L & R) × 1)をFIFOに書き込む必要があります。また、割り込み処理の最後に、1を書き込んでI2SOEIF0をリセットしてください。

D7 Reserved

D6 I2SWFIE1: I²S Ch.1 FIFO Whole Full Interrupt Enable Bit

I²S Ch.1 FIFO完全フル割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SWFIE1を1に設定するとITCへのI²S Ch.1 FIFO完全フル割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D5 Reserved**D4 I2SOFIE1: I²S Ch.1 FIFO One Data Interrupt Enable Bit**

I²S Ch.1 FIFO 1データ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SOFIE1を1に設定するとITCへのI²S Ch.1 FIFO 1データ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D3 Reserved**D2 I2SWEIE0: I²S Ch.0 FIFO Whole Empty Interrupt Enable Bit**

I²S Ch.0 FIFO完全エンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SWEIE0を1に設定するとITCへのI²S Ch.0 FIFO完全エンプティ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 I2SHEIE0: I²S Ch.0 FIFO Half Empty Interrupt Enable Bit

I²S Ch.0 FIFOハーフエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SHEIE0を1に設定するとITCへのI²S Ch.0 FIFOハーフエンプティ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 I2SOEIE0: I²S Ch.0 FIFO One Empty Interrupt Enable Bit

I²S Ch.0 FIFO 1データエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SOEIE0を1に設定するとITCへのI²S Ch.0 FIFO 1データエンプティ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

注: チャンネルごとに必ず1つの割り込みイネーブルビット(Ch.0: I2SWEIE0、I2SHEIE0、またはI2SOEIE0, Ch.1: I2SWFIE1、またはI2SOFIE1)で1つの割り込み条件のみを選択してください。

I²S Mode Select Register (I2S_MODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Mode Select Register (I2S_MODE)	0x30241c (32 bits)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	I2SDMA1	I ² S Ch.1 DMA mode select	1 Dual ch. 0 Single ch.	0	R/W	
		D8	I2SDMA0	I ² S Ch.0 DMA mode select	1 Dual ch. 0 Single ch.	0	R/W	
		D7-1	—	reserved	—	—	—	0 when being read.
		D0	I2SPIN	I ² S pin mode select	1 5 pins 0 8 pins	0	R/W	

D[31:10] Reserved**D9 I2SDMA1: I²S Ch.1 DMA Mode Select Bit**

I²S Ch.1のDMAモードを選択します。

1(R/W): デュアルチャンネルDMAモード(16ビット×2チャンネル、32ビット×2チャンネル)

0(R/W): シングルチャンネルDMAモード(32ビット×1チャンネル) (デフォルト)

I²S Ch.1 FIFO 1データ割り込み要因が発生すると、I²SモジュールはDMA要求信号をDMAC Ch.2とCh.3に出力します。これにより、FIFOからの受信データの読み出しをDMA転送によって行うことができます。

シングルチャネルDMAモード

左チャネルと右チャネルのオーディオデータを1つのメモリ領域に連続して格納する場合はシングルチャネルDMAモードを使用します。このモードでは、データ転送にDMAC Ch.2またはCh.3のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャネルのデータをFIFO(0x302430番地)から読み出します。シングルチャネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを読み出す場合は、左チャネルのデータ(下位16ビット)と右チャネルのデータ(上位16ビット)と一緒に0x302430番地(アドレス固定)から転送します。

24ビットデータを読み出す場合は、2回のデータ転送を行います。最初に左チャネルの24ビットデータを0x302430番地から読み出し、次に右チャネルの24ビットデータを0x302430番地から読み出します。

デュアルチャネルDMAモード

左チャネルと右チャネルのオーディオデータをそれぞれ別の位置に格納する場合はデュアルチャネルDMAモードを使用して左右のチャネル別にデータをFIFOから転送します。DMACはCh.2の方がCh.3よりも優先順位が高いため、左チャネルのデータをDMAC Ch.2で先に転送し、続く右チャネルのデータはDMAC Ch.3で転送します。

16ビットデータをFIFOから読み出す場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.2で左チャネルの16ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャネルの16ビットデータを0x302432番地から転送します。

24ビットデータをFIFOから読み出す場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.2で左チャネルの24ビットデータを0x302430番地から転送し、次にDMAC Ch.3で右チャネルの24ビットデータを0x302430番地から転送します。

D8 I²SDMA0: I²S Ch.0 DMA Mode Select Bit

I²S Ch.0のDMAモードを選択します。

1 (R/W): デュアルチャネルDMAモード(16ビット×2チャネル、32ビット×2チャネル)

0 (R/W): シングルチャネルDMAモード(32ビット×1チャネル) (デフォルト)

I²S Ch.0 FIFO 1データエンプティ割り込み要因が発生すると、I²SモジュールはDMA要求信号をDMAC Ch.0とCh.1に出力します。これにより、FIFOへの送信データの書き込みをDMA転送によって行うことができます。

シングルチャネルDMAモード

左チャネルと右チャネルのオーディオデータが1つのメモリ領域に連続して格納されている場合はシングルチャネルDMAモードを使用します。このモードでは、データ転送にDMAC Ch.0またはCh.1のいずれかを使用可能です。データサイズにかかわらずDMA要求ごとに32ビットデータ転送を行い、左右チャネルのデータをFIFO(0x302420番地)に書き込みます。シングルチャネルDMAモードでは、16ビットおよび8ビットデータ転送は指定できません。

16ビットデータを書き込む場合は、左チャネルのデータ(下位16ビット)と右チャネルのデータ(上位16ビット)と一緒に0x302420番地(アドレス固定)に転送します。

24ビットデータを書き込む場合は、2回のデータ転送を行います。最初に左チャネルの24ビットデータを0x302420番地に転送し、次に右チャネルの24ビットデータを0x302420番地に転送します。

デュアルチャネルDMAモード

左チャネルと右チャネルのオーディオデータが別々に格納されている場合はデュアルチャネルDMAモードを使用して左右のチャネル別にデータをFIFOに転送します。DMACはCh.0の方がCh.1よりも優先順位が高いため、左チャネルのデータをDMAC Ch.0で先に転送し、続く右チャネルのデータはDMAC Ch.1で転送します。

16ビットデータをFIFOに書き込む場合は、DMA要求ごとに16ビット転送を行います。8ビットおよび32ビット転送は指定できません。まず、DMAC Ch.0で左チャネルの16ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャネルの16ビットデータを0x302422番地に転送します。

24ビットデータをFIFOに書き込む場合は、DMA要求ごとに32ビット転送を行います。8ビットおよび16ビット転送は指定できません。まず、DMAC Ch.0で左チャネルの24ビットデータを0x302420番地に転送し、次にDMAC Ch.1で右チャネルの24ビットデータを0x302420番地に転送します。

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

D[7:1] Reserved

D0 I2SPIN: I²S Pin Mode Select Bit

端子モードを選択します。

1(R/W): 5端子モード

0(R/W): 8端子モード(デフォルト)

I2SPINが0(デフォルト)の場合は8端子モード、1に設定すると5端子モードになります。

8端子モードでは、I2S_MCLKO、I2S_SCLKO、I2S_WSO、I2S_SDO、I2S_MCLKI、I2S_SCLKI、I2S_WSI、I2S_SDI端子がすべて使用可能で、Ch.0(マスタ出力デバイス)とCh.1(スレーブ入力デバイス)を独立したデバイスとして使用することができます。Ch.0とCh.1のクロック端子は内部で接続されません。

5端子モードでは、I2S_MCLKO、I2S_SCLKO、I2S_WSO、I2S_SDO、I2S_SDI端子のみを使用して外部I²Sスレーブデバイスとデータ転送を行います。Ch.0とCh.1のクロック端子がIC内部で接続され、Ch.0の出力クロックが直接Ch.1に供給されます。これにより、5端子DACなどを接続する場合に、Ch.1のクロック端子は他の用途に使用できます。

I²S Ch.0 FIFO Register (I2S_FIFO0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Ch.0 FIFO Register (I2S_FIFO0)	0x302420 (32 bits)	D31-0	I2SFIFO0 [31:0]	I ² S Ch.0 output FIFO	0x0 to 0xffffffff	0x0	W	for 16-bit data (W write) or 24-bit data (W write) 0 when being read.
	0x302420 (16 bits)	D15-0	I2SFIFO0 [15:0]	I ² S Ch.0 output FIFO	0x0 to 0xffff	0x0	W	for 16-bit data (HW write)
	0x302422 (16 bits)	D15-0	I2SFIFO0 [31:16]	I ² S Ch.0 output FIFO	0x0 to 0xffff	0x0	W	0 when being read.

D[31:0] I2SFIFO0[31:0]: I²S Ch.0 Output FIFO Bits

このアドレスを介して、I²S Ch.0 FIFOに出力データを書き込みます。(デフォルト: 0x0)

データサイズにかかわらず、最大4個のステレオデータ(24または16ビット×2チャネル(L & R)×4)をFIFOに書き込むことができます。

16ビットデータを書き込む場合は、16ビットまたは32ビットメモリライト命令を使用します。8ビットメモリライト命令は使用できません。16ビットメモリライト命令を使用する場合は、最初に左チャネルの16ビットデータを0x302420番地に書き込み、次に右チャネルの16ビットデータを0x302422番地に書き込みます。32ビットメモリライト命令を使用する場合は、左チャネルのデータ(下位16ビット)と右チャネルのデータ(上位16ビット)を一緒に0x302420番地に書き込みます。

24ビットデータを書き込む場合は、32ビットメモリライト命令を使用します。8ビットおよび16ビットメモリライト命令は使用できません。最初に左チャネルの24ビットデータを0x302420番地に書き込み、次に右チャネルの24ビットデータを0x302420番地に書き込みます。出力チャネルモードが“モノラル”の場合でも、左右チャネルのデータのペアを書き込む必要があります。

4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOに書き込む順序を表22.8.9～22.8.11に示します(CPUレジスタにデータを準備する命令や手順は省略します)。

表22.8.9 16ビットメモリライト命令によるFIFOへの16ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.h [0x302420], %rs1	Data1-L[15:0] → 0x302420
2	ld.h [0x302422], %rs2	Data1-R[15:0] → 0x302422
3	ld.h [0x302420], %rs3	Data2-L[15:0] → 0x302420
4	ld.h [0x302422], %rs4	Data2-R[15:0] → 0x302422
5	ld.h [0x302420], %rs5	Data3-L[15:0] → 0x302420
6	ld.h [0x302422], %rs6	Data3-R[15:0] → 0x302422
7	ld.h [0x302420], %rs7	Data4-L[15:0] → 0x302420
8	ld.h [0x302422], %rs8	Data4-R[15:0] → 0x302422

表22.8.10 32ビットメモリライト命令によるFIFOへの16ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.w [0x302420], %rs12	{Data1-R[15:0], L[15:0]} → 0x302420
2	ld.w [0x302420], %rs34	{Data2-R[15:0], L[15:0]} → 0x302420
3	ld.w [0x302420], %rs56	{Data3-R[15:0], L[15:0]} → 0x302420
4	ld.w [0x302420], %rs78	{Data4-R[15:0], L[15:0]} → 0x302420

(R = D[31:16], L = D[15:0])

表22.8.11 32ビットメモリライト命令によるFIFOへの24ビットデータ書き込み

No.	メモリライト命令	書き込み内容
1	ld.w [0x302420], %rs1	Data1-L[23:0] → 0x302420
2	ld.w [0x302420], %rs2	Data1-R[23:0] → 0x302420
3	ld.w [0x302420], %rs3	Data2-L[23:0] → 0x302420
4	ld.w [0x302420], %rs4	Data2-R[23:0] → 0x302420
5	ld.w [0x302420], %rs5	Data3-L[23:0] → 0x302420
6	ld.w [0x302420], %rs6	Data3-R[23:0] → 0x302420
7	ld.w [0x302420], %rs7	Data4-L[23:0] → 0x302420
8	ld.w [0x302420], %rs8	Data4-R[23:0] → 0x302420

- 注:
- 16ビットデータの書き込みに、バイトアクセスを行わないでください。
24ビットデータの書き込みに、バイトアクセスおよびハーフワードアクセスを行わないでください。
 - DMACを使用して24ビットデータの転送を行う場合、または16ビットデータをシングルチャンネルDMAモードで転送する場合、転送データ単位は必ずワードサイズに設定してください。バイトまたはハーフワードサイズの転送には対応していません。
 - 16ビットデータをデュアルチャンネルDMAモードで転送する場合、転送データ単位は必ずハーフワードサイズに設定してください。バイトまたはワードサイズの転送には対応していません。

I²S Ch.1 FIFO Register (I2S_FIFO1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Ch.1 FIFO Register (I2S_FIFO1)	0x302430 (32 bits)	D31-0	I2SFIFO1 [31:0]	I ² S Ch.1 input FIFO	0x0 to 0xffffffff	0x0	R	for 16-bit data (W read) or 24-bit data (W read) 0 when being read.
	0x302430 (16 bits)	D15-0	I2SFIFO1 [15:0]	I ² S Ch.1 input FIFO	0x0 to 0xffff	0x0	R	for 16-bit data (H/W read) 0 when being read.
	0x302432 (16 bits)	D15-0	I2SFIFO1 [31:16]	I ² S Ch.1 input FIFO	0x0 to 0xffff	0x0	R	0 when being read.

D[31:0] I2SFIFO1[31:0]: I²S Ch.1 input FIFO Bits

このアドレスを介して、I²S Ch.1 FIFOから受信データを読み出します。(デフォルト: 0x0)
FIFOには最大4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)を格納可能です。
16ビットデータを読み出す場合は、16ビットまたは32ビットメモリリード命令を使用します。
8ビットメモリリード命令は使用できません。16ビットメモリリード命令を使用する場合は、最初に左チャンネルの16ビットデータを0x302430番地から読み出し、次に右チャンネルの16ビットデータを0x302432番地から読み出します。

32ビットメモリリード命令を使用する場合は、左チャンネルのデータ(下位16ビット)と右チャンネルのデータ(上位16ビット)を一緒に0x302430番地から読み出します。

24ビットデータを読み出す場合は、32ビットメモリリード命令を使用します。8ビットおよび16ビットメモリリード命令は使用できません。最初に左チャンネルの24ビットデータを0x302430番地から読み出し、次に右チャンネルの24ビットデータを0x302430番地から読み出します。左右チャンネルのデータはペアで読み出す必要があります。

4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOから読み出す順序を表22.8.12～22.8.14に示します(読み出したデータをメモリに格納する命令や手順は省略します)。

表22.8.12 16ビットメモリリード命令によるFIFOからの16ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.h %rd1, [0x302430]	0x302430 → Data1-L[15:0]
2	ld.h %rd2, [0x302432]	0x302432 → Data1-R[15:0]
3	ld.h %rd3, [0x302430]	0x302430 → Data2-L[15:0]
4	ld.h %rd4, [0x302432]	0x302432 → Data2-R[15:0]
5	ld.h %rd5, [0x302430]	0x302430 → Data3-L[15:0]
6	ld.h %rd6, [0x302432]	0x302432 → Data3-R[15:0]
7	ld.h %rd7, [0x302430]	0x302430 → Data4-L[15:0]
8	ld.h %rd8, [0x302432]	0x302432 → Data4-R[15:0]

表22.8.13 32ビットメモリリード命令によるFIFOからの16ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.w %rd12, [0x302430]	0x302430 → {Data1-R[15:0], L[15:0]}
2	ld.w %rd34, [0x302430]	0x302430 → {Data2-R[15:0], L[15:0]}
3	ld.w %rd56, [0x302430]	0x302430 → {Data3-R[15:0], L[15:0]}
4	ld.w %rd78, [0x302430]	0x302430 → {Data4-R[15:0], L[15:0]}

(R = D[31:16], L = D[15:0])

表22.8.14 32ビットメモリリード命令によるFIFOからの24ビットデータ読み出し

No.	メモリリード命令	読み出し内容
1	ld.w %rd1, [0x302430]	0x302430 → Data1-L[23:0]
2	ld.w %rd2, [0x302430]	0x302430 → Data1-R[23:0]
3	ld.w %rd3, [0x302430]	0x302430 → Data2-L[23:0]
4	ld.w %rd4, [0x302430]	0x302430 → Data2-R[23:0]
5	ld.w %rd5, [0x302430]	0x302430 → Data3-L[23:0]
6	ld.w %rd6, [0x302430]	0x302430 → Data3-R[23:0]
7	ld.w %rd7, [0x302430]	0x302430 → Data4-L[23:0]
8	ld.w %rd8, [0x302430]	0x302430 → Data4-R[23:0]

- 注: • 16ビットデータの読み出しに、バイトアクセスを行わないでください。
24ビットデータの読み出しに、バイトアクセスおよびハーフワードアクセスを行わないでください。
- DMACを使用して24ビットデータの転送を行う場合、または16ビットデータをシングルチャンネルDMAモードで転送する場合、転送データ単位は必ずワードサイズに設定してください。バイトまたはハーフワードサイズの転送には対応していません。
 - 16ビットデータをデュアルチャンネルDMAモードで転送する場合、転送データ単位は必ずハーフワードサイズに設定してください。バイトまたはワードサイズの転送には対応していません。

22.9 I²Sクロックの設定

ここでは、I2S_MCLKO、I2S_WSO、およびI2S_SCLKOクロックの設定方法について説明します。

I2S_MCLKOを内部クロックから生成する場合

以下に、サンプリングレートからクロック設定値を決定する方法を説明します。下記の例は、システムクロック周波数が48MHz、オーディオデータのサンプリングレートが44.1kHzの場合を想定しています。

サンプリングクロック (I2S_WSO) はマスタクロック (I2S_MCLKO) に同期していますので、次の式が得られます。

$$\frac{f_{I2S\_MCLKO}}{f_{I2S\_WSO}} = \text{整数}$$

ここで、 f_{I2S_MCLKO} は出力マスタクロック (I2S_MCLKO) 周波数、 f_{I2S_WSO} はサンプリングクロック (I2S_WSO) 周波数です。

$$f_{I2S\_MCLKO} = \frac{48\text{MHz}}{\text{MCLKDIV}[5:0] + 1} \quad (\text{式1})$$

$$f_{I2S\_WSO} = \frac{48\text{MHz}}{(\text{BCLKDIV0}[7:0] + 1) \times 2 \times (\text{WSCLKCYC0}[4:0] + 16) \times 2} \quad (\text{式2})$$

$$\frac{(\text{BCLKDIV0}[7:0] + 1) \times 2 \times (\text{WSCLKCYC0}[4:0] + 16) \times 2}{\text{MCLKDIV}[5:0] + 1} = \text{整数} \quad (\text{式3})$$

表22.9.1 I2S_MCLKO (マスタクロック) の設定

MCLKDIV[5:0]	PCLK分周比
0x3f	1/64
0x3e	1/63
:	:
0x2	1/3
0x1	1/2
0x0	Reserved

表22.9.2 I2S_SCLKO (ビットクロック) の設定

BCLKDIV0[7:0]	PCLK分周比
0xff	1/512
0xfe	1/510
:	:
0x2	1/6
0x1	1/4
0x0	1/2

表22.9.3 サンプリングクロック周期の設定

WSCLKCYC0[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f~0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

次の表は式2を元にExcelで作成したものです。

表22.9.4 サンプルングクロック周波数一覧

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S
1	SysClk [kHz]	BCLKDIV0[7:0]	WSCLKCYC0[4:0]																
2			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
3	48000	0	750.00	705.88	666.67	631.58	600.00	571.43	545.45	521.74	500.00	480.00	461.54	444.44	428.57	413.79	400.00	387.10	375.00
4		1	375.00	352.94	333.33	315.79	300.00	285.71	272.73	260.87	250.00	240.00	230.77	222.22	214.29	206.90	200.00	193.55	187.50
5		2	250.00	235.29	222.22	210.53	200.00	190.48	181.82	173.91	166.67	160.00	153.85	148.15	142.86	137.93	133.33	129.03	125.00
6		3	187.50	176.47	166.67	157.89	150.00	142.86	136.36	130.43	125.00	120.00	115.38	111.11	107.14	103.45	100.00	96.77	93.75
7		4	150.00	141.18	133.33	126.32	120.00	114.29	109.09	104.35	100.00	96.00	92.31	88.89	85.71	82.76	80.00	77.42	75.00
8		5	125.00	117.65	111.11	105.26	100.00	95.24	90.91	86.96	83.33	80.00	76.92	74.07	71.43	68.97	66.67	64.52	62.50
9		6	107.14	100.84	95.24	90.23	85.71	81.63	77.92	74.53	71.43	68.57	65.93	63.49	61.22	59.11	57.14	55.30	53.57
10		7	93.75	88.24	83.33	78.95	75.00	71.43	68.18	65.22	62.50	60.00	57.69	55.56	53.57	51.72	50.00	48.39	46.88
11		8	83.33	78.43	74.07	70.18	66.67	63.49	60.61	57.97	55.56	53.33	51.28	49.38	47.62	45.98	44.44	43.01	41.67
12		9	75.00	70.59	66.67	63.16	60.00	57.14	54.55	52.17	50.00	48.00	46.15	44.44	42.86	41.38	40.00	38.71	37.50
13		10	68.18	64.17	60.61	57.42	54.55	51.95	49.59	47.43	45.45	43.64	41.96	40.40	38.96	37.62	36.36	35.19	34.09
14		11	62.50	58.82	55.56	52.63	50.00	47.62	45.45	43.48	41.67	40.00	38.46	37.04	35.71	34.48	33.33	32.26	31.25
15		12	57.69	54.30	51.28	48.58	46.15	43.96	41.96	40.13	38.46	36.92	35.50	34.19	32.97	31.83	30.77	29.78	28.85
16		13	53.57	50.42	47.62	45.11	42.86	40.82	38.96	37.27	35.71	34.29	32.97	31.75	30.61	29.56	28.57	27.65	26.79
17		14	50.00	47.06	44.44	42.11	40.00	38.10	36.36	34.78	33.33	32.00	30.77	29.63	28.57	27.59	26.67	25.81	25.00
18		15	46.88	44.12	41.67	39.47	37.50	35.71	34.09	32.61	31.25	30.00	28.85	27.78	26.79	25.86	25.00	24.19	23.44
19		16	44.12	41.52	39.22	37.15	35.29	33.61	32.09	30.69	29.41	28.24	27.15	26.14	25.21	24.34	23.53	22.77	22.06
20		17	41.67	39.22	37.04	35.09	33.33	31.75	30.30	28.99	27.78	26.67	25.64	24.69	23.81	22.99	22.22	21.51	20.83
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
257		254	2.94	2.77	2.61	2.48	2.35	2.24	2.14	2.05	1.96	1.88	1.81	1.74	1.68	1.62	1.57	1.52	1.47
258		255	2.93	2.76	2.60	2.47	2.34	2.23	2.13	2.04	1.95	1.88	1.80	1.74	1.67	1.62	1.56	1.51	1.46

セル[A3]: システムクロック周波数(48000kHz)

セル[B3:B258]: BCLKDIV0[7:0]設定値(0~255)

セル[C2:S2]: WSCLKCYC0[4:0]設定値(0~16)

セル[C3:S258]: 式2にBCLKDIV0[7:0]とWSCLKCYC0[4:0]の設定値を代入して求めた f_{12S_WSO}

$$\text{セル}[C3] = \$A\$3/((\$B3+1)*2*(\$C\$2+16)*2) \quad \text{セル}[S3] = \$A\$3/((\$B3+1)*2*(\$S\$2+16)*2)$$

$$\vdots$$

$$\text{セル}[C258] = \$A\$3/((\$B258+1)*2*(\$C\$2+16)*2) \quad \text{セル}[S258] = \$A\$3/((\$B258+1)*2*(\$S\$2+16)*2)$$

ほかのシステムクロック周波数を使用する場合は、その周波数をkHz単位でセル[A3]に入力します。その入力値に従い、セル[C3:S258]の値が修正されます。

表から“44.1(kHz)”または近似値を探します。たとえば、セル[D18]に“44.12”があります。

このセルに対応するBCLKDIV0[7:0]とWSCLKCYC0[4:0]の値はそれぞれ15と1です。

これらの値を式3に代入することにより、MCLKDIV[5:0]の値が得られます。

$$\frac{(15+1) \times 2 \times (1+16) \times 2}{\text{MCLKDIV}[5:0] + 1} = \text{整数}$$

表22.9.5は式3を元にExcelで作成したものです。

表22.9.5 MCLKDIV[5:0]有効値

	U	V
1	BCLKDIV0[7:0]	WSCLKCYC0[4:0]
2	15	1
3		
4	MCLKDIV[5:0]	Results
5	1	Integer
6	2	—
7	3	Integer
:	:	—
11	7	Integer
:	:	—
19	15	Integer
20	16	Integer
:	:	—
35	31	Integer
36	32	—
37	33	Integer
:	:	—
67	63	Integer

セル[U2]: BCLKDIV0[7:0]設定値(15)

セル[V2]: WSCLKCYC0[4:0]設定値(1)

23 リモートコントローラ (REMC)

23.1 REMCモジュールの概要

S1C33L27は赤外線リモコンの送受信信号を生成するリモートコントローラ (REMC) モジュールを内蔵しています。

REMCモジュールの主な機能と特長を以下に示します。

- ・ 赤外線リモコン信号を入出力可能
- ・ プリスケアラ出力クロックからキャリア信号を発生するキャリア発生回路を内蔵
- ・ 送受信データ長をカウントする8ビットダウンカウンタを内蔵
- ・ 指定したキャリア長で送信データを生成する変調回路を内蔵
- ・ 入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路を内蔵
- ・ 指定データ長の送信終了を示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能

図23.1.1にREMCモジュールの構成を示します。

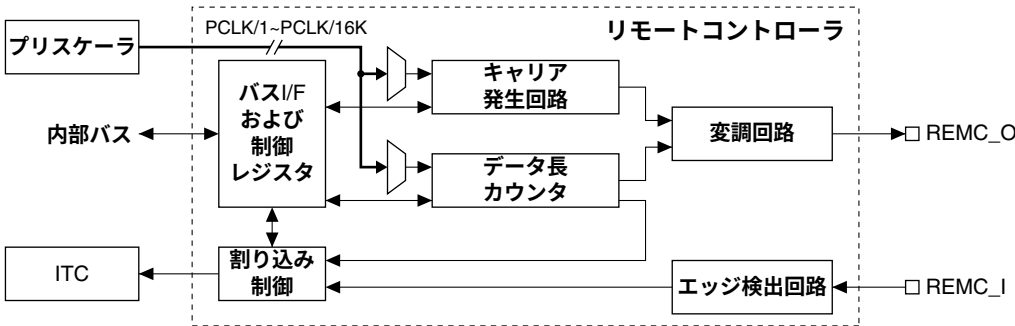


図23.1.1 REMCモジュールの構成

23.2 REMC入出力端子

表23.2.1にREMCの入出力端子を示します。

表23.2.1 REMC端子一覧

端子名	I/O	本数	機 能
REMC_I	I	1	リモコン受信データ入力端子 受信データを入力します。
REMC_O	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子 (REMC_I、REMC_O) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート (GPIO)” の章を参照してください。

23.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。キャリア信号の生成にはプリスケアラ (PSC Ch.2) 出力クロックを使用します。プリスケアラはPCLKを1/1~1/16Kに分周して15種類のクロックを生成します。この中の1つをCGCLK[3:0]/REMC_CFGレジスタで選択します。

表23.3.1 キャリア生成用クロック (PCLK分周比)の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

プリスケアラの制御については、“プリスケアラ(PSC)”の章を参照してください。

注: REMCモジュールを動作させるには、プリスケアラを動作させておく必要があります。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0]/REMC_CARレジスタとREMCL[5:0]/REMC_CARレジスタで設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk\_in}} [\text{s}]$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk\_in}} [\text{s}]$$

REMCH: キャリアH区間長データ値

REMCL: キャリアL区間長データ値

clk_in: プリスケアラ (PSC Ch.2) 出力クロック周波数

これらの設定により、キャリア信号は図23.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

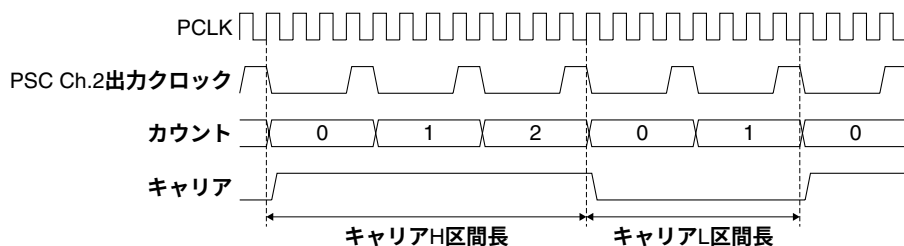


図23.3.1 キャリア信号の生成

23.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。

データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時にもこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもプリスケアラ出力クロックが使用され、15種類から1つを選択することができます。データ長カウンタクロックを生成するための分周比は、キャリア生成用クロックとは別に用意されている制御ビットLCCLK[3:0]/REMC_CFGレジスタで選択します。

表23.4.1 データ長カウンタクロック (PCLK分周比)の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

23.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。23.3節を参照してください。
- (2) データ長カウンタのクロックを選択します。23.4節を参照してください。
- (3) 割り込み条件を設定します。23.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中(REMEN/REMC_CFGレジスタ = 0)に行ってください。

データ送信制御

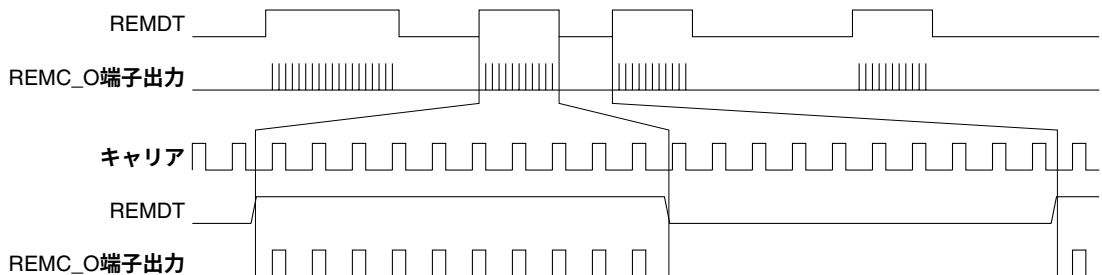


図23.5.1 データ送信

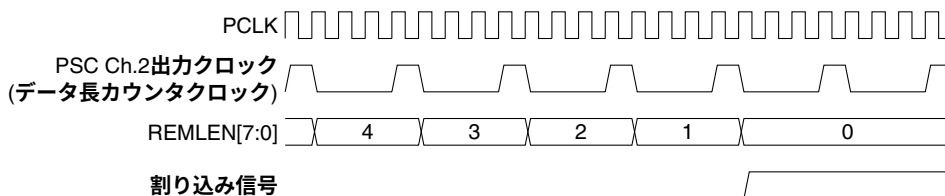


図23.5.2 アンダーフロー割り込み発生タイミング

(1) データ送信モードの設定

REMMD/REMC_CFGレジスタに0を書き込み、REMCを送信モードに設定します。

(2) データ送信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT/REMC_LCNTレジスタを0、REMLEN[7:0]/REMC_LCNTレジスタを0x0に設定してください。

(3) 送信データの設定

送信するデータ (HighまたはLow) をREMDT/REMC_LCNTレジスタに設定します。

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMC_O端子から出力されます。

(4) データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタに設定する値は次のとおりです。

$$\text{設定値} = \text{データパルス長(秒)} \times \text{プリスケアラ出力クロック周波数(Hz)}$$

データ長カウンタは書き込まれた値から、選択されているプリスケアラ出力クロックでカウントダウンを開始します。

データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態ではカウントを停止します。

(5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMENに0を書き込んでください。

データ受信制御

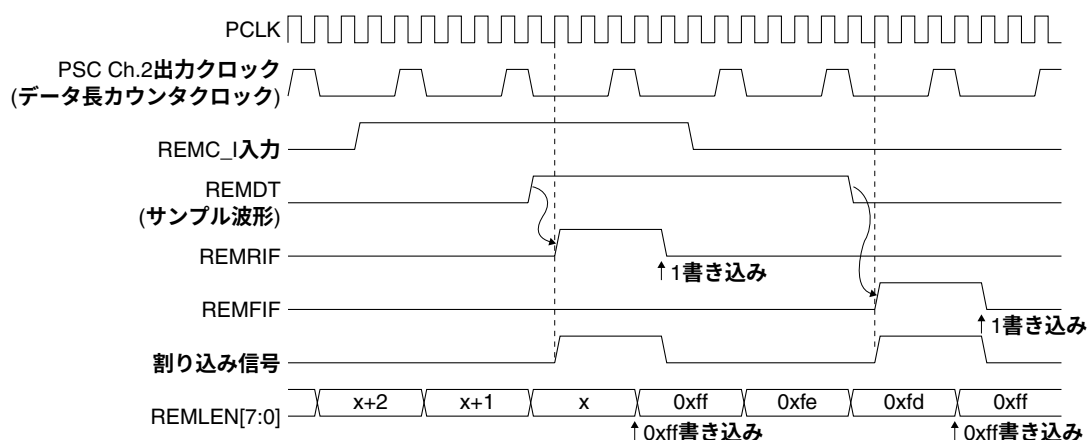


図23.5.3 データ受信

(1) データ受信モードの設定

REMMD/REMC_CFGレジスタに1を書き込み、REMCを受信モードに設定します。

(2) データ受信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCはREMC_I端子からの入力信号を、キャリア生成用プリスケアラ出力クロックでサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

(3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタは書き込まれた値から、選択されているデータ長カウンタクロックでカウントダウンを開始します。

受信したデータはREMDT/REMC_LCNTレジスタから読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

(4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMENに0を書き込んでください。

23.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要因は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF/REMC_INTレジスタを1にセットします。

データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

この割り込みを使用するには、REMUIE/REMC_INTレジスタを1に設定します。REMUIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要因は、REMC_I端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMRIF/REMC_INTレジスタを1に設定します。REMRIFが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がリエッジ割り込み

この割り込み要因は、REMC_I端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMFIE/REMC_INTレジスタを1に設定します。REMFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

23.7 制御レジスタ詳細

表23.7.1 REMCレジスタ一覧

アドレス	レジスタ名		機 能
0x301500	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
0x301502	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
0x301504	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
0x301506	REMC_INT	REMC Interrupt Control Register	割り込みの制御

以下、REMCモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

REMC Configuration Register (REMC_CFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x301500 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock division ratio select (Prescaler output clock)	CGCLK[3:0] LCCLK[3:0]	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
		D11–8	LCCLK[3:0]	Length counter clock division ratio select (Prescaler output clock)	0x6 1/64	0x0	R/W	
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
					–			
					–			
					–			
		D7–2	–	reserved	–	–	–	0 when being read.
		D1	REMMD	REMC mode select	1 Receive	0 Transmit	0	R/W
		D0	REMEN	REMC enable	1 Enable	0 Disable	0	R/W

D[15:12] CGCLK[3:0]: Carrier Generator Clock Division Ratio Select Bits

キャリア生成用クロックを15種類のプリスケアラ(PSC Ch.2)出力クロック(PCLK分周比)から選択します。

表23.7.2 キャリア生成用クロック (PCLK分周比)の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

D[11:8] LCCLK[3:0]: Length Counter Clock Division Ratio Select Bits

データ長カウンタクロックを15種類のプリスケアラ(PSC Ch.2)出力クロック(PCLK分周比)から選択します。

表23.7.3 データ長カウンタクロック (PCLK分周比)の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: クロックの設定は、REMCモジュールが停止中(REMEN = 0)に行ってください。

D[7:2] Reserved**D1 REMMD: REMC Mode Select Bit**

送受信方向を選択します。

1(R/W): 受信

0(R/W): 送信(デフォルト)

D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

REMENを1に設定するとREMMDの設定に従って送信または受信の動作を開始します。

REMENを0に設定すると、REMCモジュールは動作を停止します。

REMC Carrier Length Setup Register (REMC_CAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Length Setup Register (REMC_CAR)	0x301502 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13-8	REMCL[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5-0	REMCH[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W	

D[15:14] Reserved**D[13:8] REMCL[5:0]: Carrier L Length Setup Bits**

キャリア信号のL区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk\_in}} [\text{s}]$$

REMCL: REMCL[5:0]設定値

clk_in: プリスケータ(PSC Ch.2)出力クロック周波数

REMCH[5:0]でH区間長を指定します。

これらの設定により、キャリア信号は図23.7.1のとおり生成されます。

D[7:6] Reserved

D[5:0] REMCH[5:0]: Carrier H Length Setup Bits

キャリア信号のH区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk\_in}} [\text{s}]$$

REMCH: REMCH[5:0]設定値

clk_in: プリスケータ(PSC Ch.2)出力クロック周波数

REMCL[5:0]でL区間長を指定します。

これらの設定により、キャリア信号は図23.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

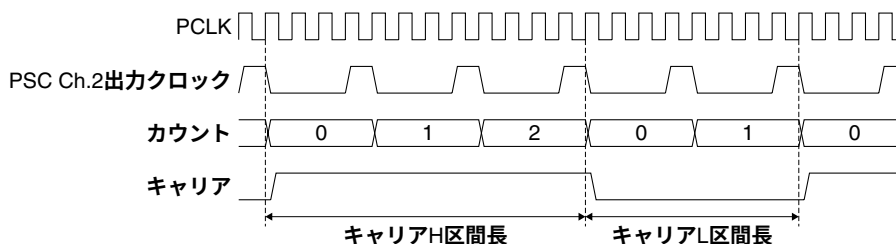


図23.7.1 キャリア信号の生成

REMC Length Counter Register (REMC_LCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x301504 (16 bits)	D15–8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	

D[15:8] REMLEN[7:0]: Transmit/Receive Data Length Count Bits

データ長カウンタに値を設定しカウントを開始させます。(デフォルト: 0x0)

カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信時

データ送信時は送信データ長を設定します。

データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

D[7:1] Reserved

D0 REMDT: Transmit/Receive Data Bit

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。

1(R/W): 1(H)

0(R/W): 0(L) (デフォルト)

REMEN/REMC_CFGレジスタが1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMC_O端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

REMC Interrupt Control Register (REMC_INT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Interrupt Control Register (REMC_INT)	0x301506 (16 bits)	D15-11	—	reserved	—		—	—	0 when being read.
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag			0	R/W	
		D8	REMUIF	Underflow interrupt flag			0	R/W	
		D7-3	—	reserved	—		—	—	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable	0 Disable	0	R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジ割り込みを制御します。割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。割り込みイネーブルビットを1に設定しておくことで、同時にITCに対してREMC割り込み要求信号が出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。割り込みイネーブルビットを0に設定すると割り込みが禁止されます。

注: • REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

D[15:11] Reserved**D10 REMFIF: Falling Edge Interrupt Flag Bit**

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMFIFは入力信号の立ち下がりエッジで1にセットされます。REMFIFは1の書き込みによりリセットされます。

D9 REMRIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMRIFは入力信号の立ち上がりエッジで1にセットされます。REMRIFは1の書き込みによりリセットされます。

D8 REMUIF: Underflow Interrupt Flag Bit

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMUIFはデータ長カウンタのアンダーフローによって1にセットされます。REMUIFは1の書き込みによりリセットされます。

D[7:3] Reserved**D2 REMFIE: Falling Edge Interrupt Enable Bit**

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 REMRIE: Rising Edge Interrupt Enable Bit

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 REMUIE: Underflow Interrupt Enable Bit

データ長カウンタのアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

24 カードインタフェース (CARD)

24.1 CARDモジュールの概要

S1C33L27は、エラー訂正負荷を軽減するリードソロモン符号復号アクセラレータを搭載したカードインタフェース (CARD) モジュールを内蔵しています。CARDモジュールはリードソロモン符号復号アクセラレータを使用するためのC言語のインタフェースを提供します。

- #NAND_RD、#NAND_WR信号を生成
(NAND Flashまたはスマートメディアカード専用信号の制御には汎用入出力ポートを使用してください。)
- 8ビットのNAND Flash/スマートメディアカードに対応
- デバイスのデータとアドレス信号を外部バスに接続可能
- 8ビットインタフェースでエラー訂正機能を実現するリードソロモン(RS)コーデックを搭載
 - 自動エラー検出機能(Error Detection Code)
 - エラー訂正機能(Error Correction Code)
 - 2シンボルECC、10シンボルECCの2種類のRSアルゴリズムに対応
 - 2つのRSアルゴリズム共に可変長の符号化と復号化に対応

25 SD/MMCインタフェース(SD_MMC)

25.1 SD_MMCモジュールの概要

S1C33L27はマルチメディアカード(以下MMC)、SDまたはSDHCメモリカードとのインタフェース機能を提供するSD/MMCインタフェース(SD_MMC)モジュールを内蔵しています。
主な特長を以下に示します。

- SD Memory Card Physical Layer Specification Version 2.00準拠
- MMC規格 System Specification Version 2.2準拠
- 可変クロックレート: 最大30MHz
- 4ビット(ワイドバス)または1ビット(スタンダードバス)のSDバスインタフェースに対応
- 転送データ形式: MSB先頭
- CRC7およびCRC16ジェネレータ/エラーチェッカを内蔵
- 2ワードの送受信FIFOを内蔵
- 送信FIFOハーフエンプティ、受信FIFOハーフフル、または転送エラーにより割り込みを発生可能
- 送信FIFOハーフエンプティおよび受信FIFOハーフフル割り込み要因によりDMA要求を発生可能

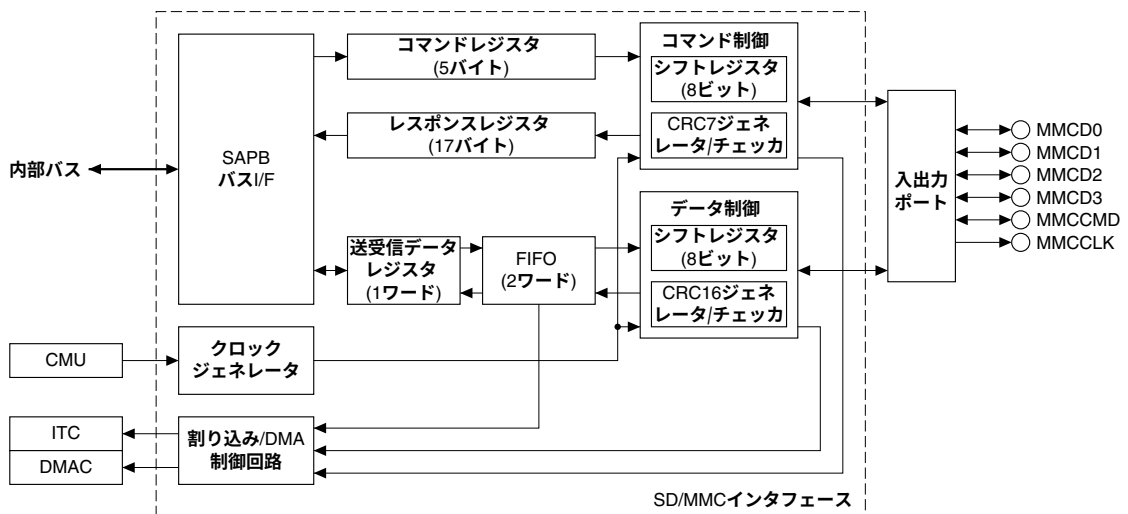


図25.1.1 SD/MMCインタフェースの構成

注: SD_MMCモジュールはSPIモードに対応していません。SPIモードによるデータ転送には、USIモジュールを使用してください。

26 入出力ポート (GPIO)

26.1 GPIOモジュールの概要

S1C33L27は、ソフトウェアにより入出力方向の切り換えが可能な汎用入出力ポートを内蔵しています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。

GPIOモジュールの主な機能と特長を以下に示します。

- PFBGA12U-180パッケージまたはチップでは、最大91本の入出力ポート (P0[7:0]、P1[7:0]、P2[1:0]、P3[6:0]、P4[2:0]、P5[6:0]、P60、P8[3:0]、P9[7:0]、PA[7:0]、PB[7:0]、PC[7:0]、PD[7:0]、PE[5:0]、PF[4:0]) と8本の入力ポート (P7[7:0]) を使用可能
- TQFP24-144pinおよびQFP20-144pinパッケージでは、最大72本の入出力ポート (P0[7:0]、P1[7:0]、P2[1:0]、P3[6:0]、P4[2:0]、P5[6:0]、P60、P8[3:0]、P9[7:0]、PA[7:0]、PB[7:0]、PC[7:0]) と4本の入力ポート (P70/72/74/76) を使用可能
- TQFP15-128pinパッケージでは、最大56本の入出力ポート (P0[7:0]、P1[7:0]、P2[1:0]、P3[6:0]、P4[2:0]、P5[6:0]、P60、P8[3:0]、P9[7:0]、PC[7:0]) と4本の入力ポート (P70/72/74/76) を使用可能
- * 入出力ポートは他の周辺機能 (UART、タイマ入出力など) と端子を兼用しています。したがって、使用可能なGPIOポート数は周辺機能の使用状況により変わります。
- 64ポートからソフトウェアで選択した最大8系統のポート入力割り込みを発生可能
- 32ポートからキー入力割り込みを発生可能
- 割り込み入力信号の条件 (レベル/エッジトリガ、極性) を指定可能
- 入力割り込み回路にチャタリングフィルタを内蔵
- すべてのポートに用意されたポート機能選択ビットにより、端子機能 (汎用入出力または周辺機能に使用) を設定可能

図26.1.1に入出力ポートの構成を示します。

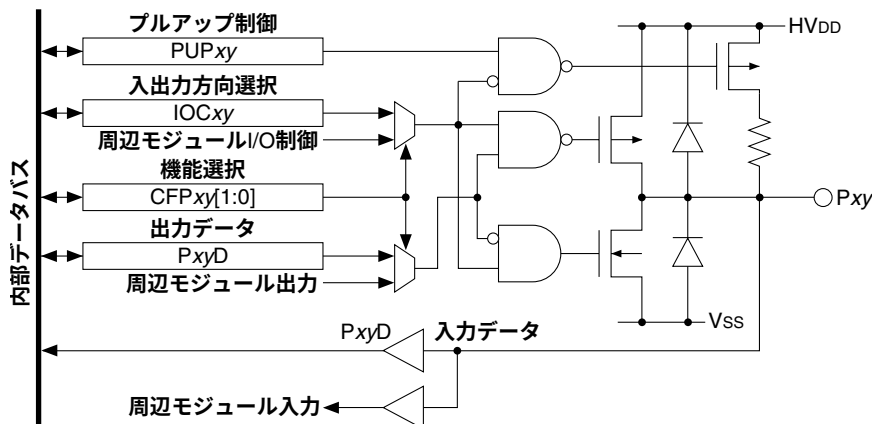


図26.1.1 入出力ポートの構成

注: • 入出力ポートをアクセスするためには、CMUからPCLKクロックが供給されている必要があります。また、チャタリングフィルタの動作にはプリスケアラ (PSC Ch.2) 出力クロックが必要です。チャタリングフィルタを使用する場合は、プリスケアラをOnしてください。

- レジスタやビット名の“xy”はポート番号 (Pxy, x = 0~F, y = 0~7) を表します。

例: PxyD/GPIO_Px_DATレジスタ

P00: P00D/GPIO_P0_DATレジスタ

P17: P17D/GPIO_P1_DATレジスタ

26.2 入出力端子機能の選択(ポートMUX)

入出力ポート端子は周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。端子機能はCFPxy[1:0]/PMUX_Px_*レジスタで選択します。

表26.2.1 入出力端子機能の選択

パッケージ			端子機能1 CFPxy[1:0] = 0x0 (デフォルト)	端子機能2 CFPxy[1:0] = 0x1	端子機能3 CFPxy[1:0] = 0x2	端子機能4 CFPxy[1:0] = 0x3	追加デバッグ端子 *
180pin /チップ	144pin	128pin					
○	○	○	P00	USI_DI0	SIN	#HIF_WR	
○	○	○	P01	USI_DO0	SOUT	#HIF_RD	
○	○	○	P02	USI_CS0	SCLK	#HIF_CS	
○	○	○	P03	USI_CK0	REMC_I	HIF_D0	
○	○	○	P04	USI_DI1	T16A_ATMA_0	HIF_D1	
○	○	○	P05	USI_DO1	T16A_ATMB_0	HIF_D2	
○	○	○	P06	USI_CS1	T16A_ATMA_1	HIF_D3	
○	○	○	P07	USI_CK1	T16A_ATMB_1	HIF_D4	
○	○	○	A24	TFT_CTL0	P10	CMU_CLK	
○	○	○	A25	TFT_CTL1	P11	SOUT	
○	○	○	P12	I2S_SDO	PWM_H0	HIF_D5	
○	○	○	P13	I2S_WSO	PWM_L0	HIF_D6	
○	○	○	P14	I2S_SCLKI	PWM_H1	HIF_D7	
○	○	○	P15	I2S_MCLKI	PWM_L1	#HIF_WAIT	DST0
○	○	○	P16	#CE4	CMU_CLK	#NAND_WR	DST1
○	○	○	P17	#CE5	REMC_O	#NAND_RD	DPCO
○	○	○	SDCKE	P20			
○	○	○	SDCLK	P21			
○	○	○	P30	I2S_SDI	T16A_ATMA_2	HIF_A0	
○	○	○	P31	I2S_WSI	T16A_ATMB_2	HIF_A1	
○	○	○	P32	I2S_SCLKI	T16A_ATMA_3	HIF_A2	
○	○	○	P33	I2S_MCLKI	T16A_ATMB_3	HIF_A3	
○	○	○	DCLK	P34			
○	○	○	DSIO	P35			
○	○	○	DST2	P36			
○	○	○	A21	P40			
○	○	○	A22	P41	TFT_CTL2		
○	○	○	A23	P42	TFT_CTL3		
○	○	○	#CE7	P50	#SDCS		
○	○	○	#CE8	P51	#HIF_INT		
○	○	○	#CE9	P52			
○	○	○	#CE10	P53			
○	○	○	#RD	P54			
○	○	○	#WRL	P55			
○	○	○	#WRH/#BSH	P56			
○	○	○	P60	#WAIT	WDT_CLK	#WDT_NMI	
○	○	○	P70	AIN0	EXCL0		
○	N/A	N/A	P71	AIN1	I2S_WSI		
○	○	○	P72	AIN2	EXCL1		
○	N/A	N/A	P73	AIN3	I2S_SCLKI		
○	○	○	P74	AIN4	WDT_EXCL		
○	N/A	N/A	P75	AIN5	I2S_MCLKI		
○	○	○	P76	AIN6	#WAIT	#ADTRIG	
○	N/A	N/A	P77	AIN7			
○	○	○	P80	FPFRAME	USIL_DI	MMCD0	
○	○	○	P81	FPLINE	USIL_DO	MMCD1	
○	○	○	P82	FPSHIFT	USIL_CS	MMCD2	
○	○	○	P83	FPDRDY	USIL_CK	MMCD3	
○	○	○	P90	FPDAT0	USIL_LCD_D0	MMCCMD	
○	○	○	P91	FPDAT1	USIL_LCD_D1	MMCCCLK	
○	○	○	P92	FPDAT2	USIL_LCD_D2	#NAND_WR	
○	○	○	P93	FPDAT3	USIL_LCD_D3	#NAND_RD	
○	○	○	P94	FPDAT4	USIL_LCD_D4	USI_DI2	
○	○	○	P95	FPDAT5	USIL_LCD_D5	USI_DO2	

パッケージ			端子機能1	端子機能2	端子機能3	端子機能4	追加デバッグ端子 *
180pin /チップ	144pin	128pin	CFPxy[1:0] = 0x0 (デフォルト)	CFPxy[1:0] = 0x1	CFPxy[1:0] = 0x2	CFPxy[1:0] = 0x3	
○	○	○	P96	FPDAT6	USIL_LCD_D6	USI_CS2	
○	○	○	P97	FPDAT7	USIL_LCD_D7	USI_CK2	
○	○	N/A	PA0	HIF_D8	MMCD0	FPDAT16	
○	○	N/A	PA1	HIF_D9	MMCD1	FPDAT17	
○	○	N/A	PA2	HIF_D10	MMCD2	FPDAT18	
○	○	N/A	PA3	HIF_D11	MMCD3	FPDAT19	
○	○	N/A	PA4	HIF_D12	MMCCMD	FPDAT20	
○	○	N/A	PA5	HIF_D13	MMCCCLK	FPDAT21	
○	○	N/A	PA6	HIF_D14	T16A_ATMA_0	FPDAT22	
○	○	N/A	PA7	HIF_D15	T16A_ATMB_0	FPDAT23	
○	○	N/A	PB0	FPDAT8	#NAND_WR	MMCD0	
○	○	N/A	PB1	FPDAT9	#NAND_RD	MMCD1	
○	○	N/A	PB2	FPDAT10	REMC_O	MMCD2	
○	○	N/A	PB3	FPDAT11	REMC_I	MMCD3	
○	○	N/A	PB4	FPDAT12	USI_DI2	MMCCMD	
○	○	N/A	PB5	FPDAT13	USI_DO2	MMCCCLK	
○	○	N/A	PB6	FPDAT14	USI_CS2	T16A_ATMA_1	
○	○	N/A	PB7	FPDAT15	USI_CK2	T16A_ATMB_1	
○	○	○	D8	PC0			
○	○	○	D9	PC1			
○	○	○	D10	PC2			
○	○	○	D11	PC3			
○	○	○	D12	PC4			
○	○	○	D13	PC5			
○	○	○	D14	PC6			
○	○	○	D15	PC7			
○	N/A	N/A	PD0	FPDAT16	USI_DI0	SIN	
○	N/A	N/A	PD1	FPDAT17	USI_DO0	SOUT	
○	N/A	N/A	PD2	FPDAT18	USI_CS0	SCLK	
○	N/A	N/A	PD3	FPDAT19	USI_CK0		
○	N/A	N/A	PD4	FPDAT20	USI_DI1	#NAND_WR	
○	N/A	N/A	PD5	FPDAT21	USI_DO1	#NAND_RD	
○	N/A	N/A	PD6	FPDAT22	USI_CS1	T16A_ATMA_0	
○	N/A	N/A	PD7	FPDAT23	USI_CK1	T16A_ATMB_0	
○	N/A	N/A	PE0	MMCD0	T16A_ATMA_2	USI_DI2	
○	N/A	N/A	PE1	MMCD1	T16A_ATMB_2	USI_DO2	
○	N/A	N/A	PE2	MMCD2	T16A_ATMA_3	USI_CS2	
○	N/A	N/A	PE3	MMCD3	T16A_ATMB_3	USI_CK2	
○	N/A	N/A	PE4	MMCCMD	T16A_ATMA_1	REMC_O	
○	N/A	N/A	PE5	MMCCCLK	T16A_ATMB_1	REMC_I	
○	N/A	N/A	PF0	I2S_SDO	PWM_H0	TFT_CTL0	
○	N/A	N/A	PF1	I2S_WSO	PWM_L0	TFT_CTL1	
○	N/A	N/A	PF2	I2S_SCLKO	PWM_H1	TFT_CTL2	
○	N/A	N/A	PF3	I2S_MCLKO	PWM_L1	TFT_CTL3	
○	N/A	N/A	PF4	I2S_SDI	#ADTRIG		

* PCトレースデバッグ機能を有効にした場合 (TRACE/MISC_TRACE = 0)

イニシャルリセットにより、各入出力ポート端子(Pxy)はデフォルト(表26.2.1の端子機能1)の機能に初期化されます。

入出力ポート以外の機能については、“概要”の章内にある“端子機能”の節、あるいは各周辺モジュールの説明を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: ポート機能選択レジスタ (PMUX_Px_*) には書き込み保護が設定されています。これらのレジスタを書き換えるには、PPROT[7:0]/GPIO_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、ポート機能選択レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換えが必要なときを除き、PPROT[7:0]を0x96以外に設定してください。

26.3 データの入出力

データ入出力制御

入出力ポートは、 $IOC_{xy}/GPIO\_Px\_IOC$ レジスタによってビットごとにデータの入出力方向を選択できるようになっています。 P_{xy} ポートを入力に設定する場合は IOC_{xy} を0(デフォルト)に設定します。 P_{xy} ポートを出力に設定する場合は IOC_{xy} を1に設定します。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、 IOC_{xy} の設定は無視されます。

データ入力

外部信号を入力してその値を読み出すためには IOC_{xy} を0(入力モード、デフォルト)に設定します。この設定により入出力ポートはハイインピーダンス状態となり、入力ポートとして機能します。

入力モード時は、外部信号のレベルを $P_{xyD}/GPIO\_Px\_DAT$ レジスタから直接読み出すことができます。読み出し値は入力端子がHighレベルのときに1、Lowレベルのときに0となります。

出力モード($IOC_{xy} = 1$)でも、ポート端子の状態を読み出し可能です。この場合、 P_{xyD} からはポートが実際に出力している値を読み出すことができます。

データ出力

ポート端子からデータを出力するためには、 IOC_{xy} を1(出力モード)に設定します。これにより入出力ポートは出力ポートとして機能し、 P_{xyD} の設定値をポート端子から出力します。 P_{xyD} に1を書き込むとポート端子はHighレベル、0を書き込むとLowレベルを出力します。入力モード時も、端子の状態に影響を与えることなく P_{xyD} に対して書き込みは行えます。

26.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するか否かを $PUP_{xy}/GPIO\_Px\_PUP$ レジスタによってビットごとに選択できるようになっています。 PUP_{xy} を1に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。出力モード時には PUP_{xy} の設定が無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

26.5 入力割り込みとDMA

GPIOは4本の割り込み系列(ポート入力割り込み0と1、キー入力割り込み0と1)を持っています。

26.5.1 ポート入力割り込み

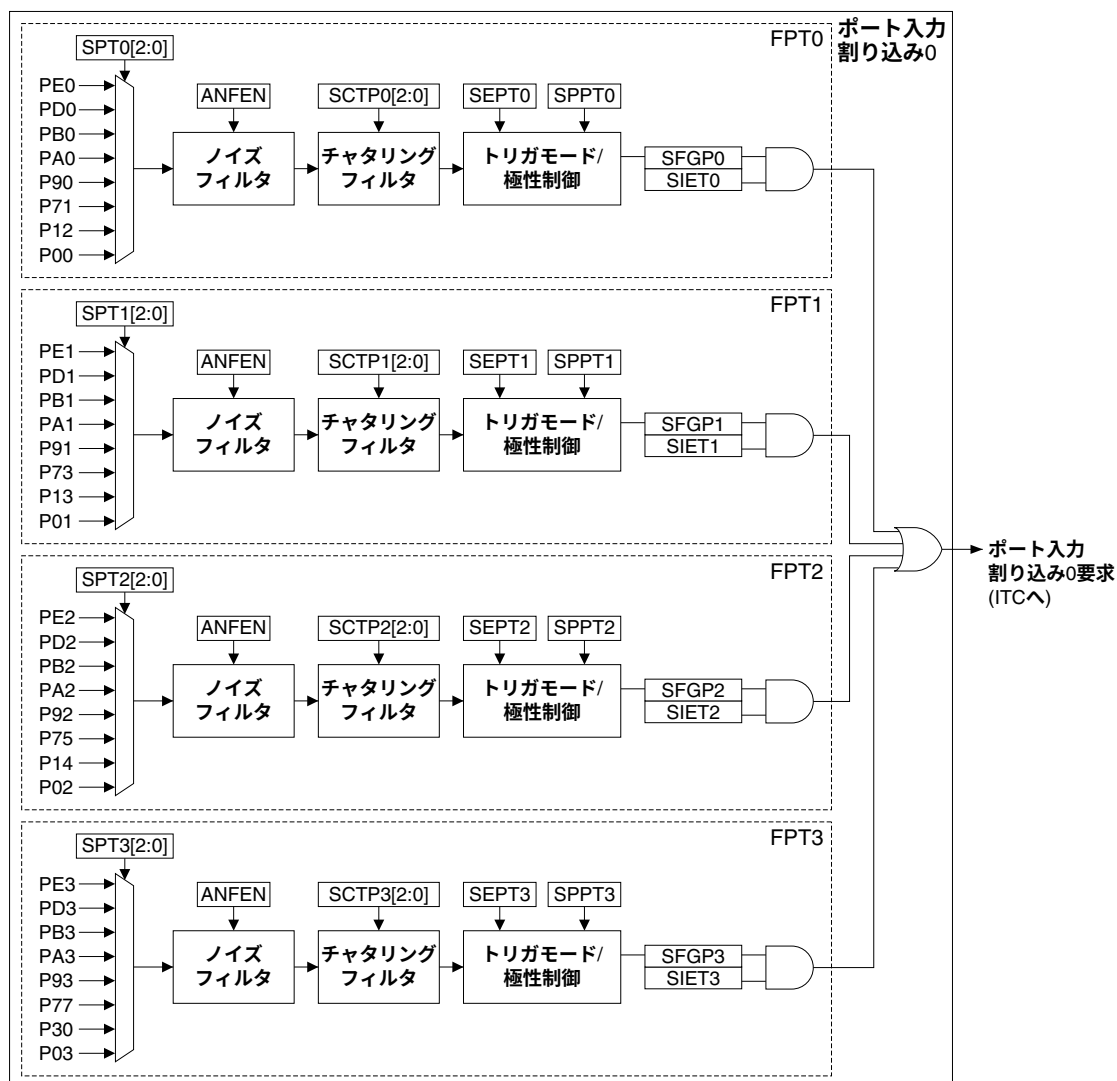
ポート入力割り込みシステムは4ポート×2グループで構成されます。

ポート入力割り込み0(グループ0): FPT0～FPT3

ポート入力割り込み1(グループ1): FPT4～FPT7

グループごとにITCへの割り込み要求を発生可能です。

図26.5.1.1にポート入力割り込み回路の構成を示します。



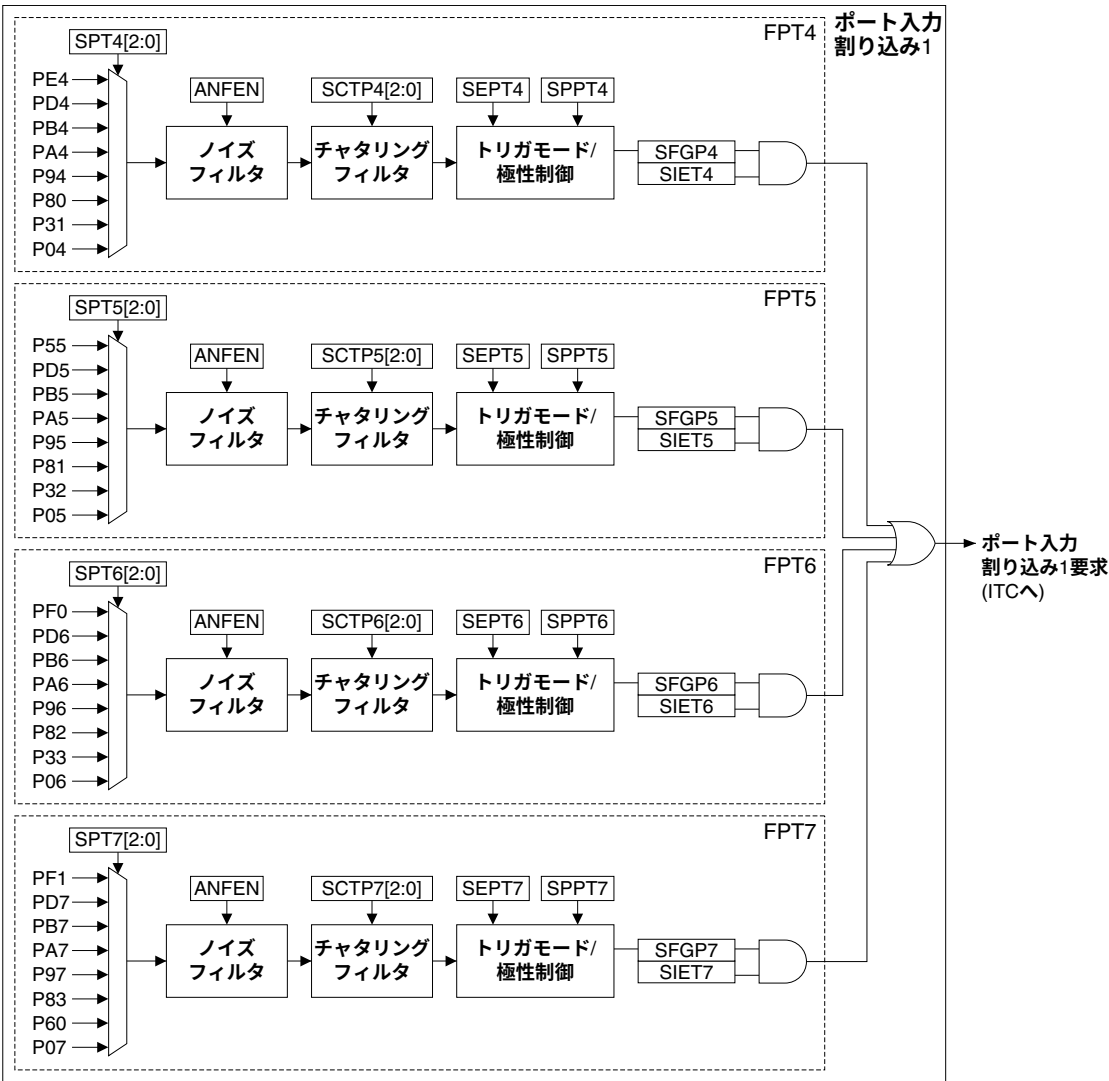


図26.5.1.1 ポート入力割り込み回路の構成

割り込みポートの選択

各ポート入力割り込み系列は8つのポートから割り込みを発生可能です。この中から割り込みを発生させるポートをSPTn[2:0]/GPIO_FPTnn_SELレジスタ(n = 0~7、nn = 01/23/45/67)によって選択します。

表26.5.1.1 ポート入力割り込み0用のポート選択

SPTn[2:0]設定	FPT0 (SPT0[2:0])	FPT1 (SPT1[2:0])	FPT2 (SPT2[2:0])	FPT3 (SPT3[2:0])
0x7	PE0	PE1	PE2	PE3
0x6	PD0	PD1	PD2	PD3
0x5	PB0	PB1	PB2	PB3
0x4	PA0	PA1	PA2	PA3
0x3	P90	P91	P92	P93
0x2	P71	P73	P75	P77
0x1	P12	P13	P14	P30
0x0 (デフォルト)	P00	P01	P02	P03

表26.5.1.2 ポート入力割り込み1用のポート選択

SPT n [2:0]設定	FPT4 (SPT4[2:0])	FPT5 (SPT5[2:0])	FPT6 (SPT6[2:0])	FPT7 (SPT7[2:0])
0x7	PE4	P55	PF0	PF1
0x6	PD4	PD5	PD6	PD7
0x5	PB4	PB5	PB6	PB7
0x4	PA4	PA5	PA6	PA7
0x3	P94	P95	P96	P97
0x2	P80	P81	P82	P83
0x1	P31	P32	P33	P60
0x0(デフォルト)	P04	P05	P06	P07

割り込みモードと極性の選択

ポート入力割り込み回路には、割り込みフラグのセット方法の違いにより、エッジトリガモードとレベルトリガモードの2種類の割り込みモードが用意されています。割り込みモードは各FPTごとにSEPT n /GPIO_FPT nn _MODレジスタで選択できます。

SEPT n を1(デフォルト)に設定すると、対応するポートはエッジトリガモードに設定されます。エッジトリガモードでは、割り込みフラグが入力信号のアクティブエッジでセットされ、ソフトウェアでリセットするまで1を保持します。

SEPT n を0に設定すると、対応するポートはレベルトリガモードに設定されます。レベルトリガモードでは、割り込みフラグは入力信号がアクティブレベルになることによってセットされ、ソフトウェアでリセットするまで1を保持します。

ポート入力割り込み要因によるSLEEPモードの解除は、GPIOの割り込みモード(エッジトリガ/レベルトリガ)の設定にかかわらず行えます。

入力信号のアクティブレベル/エッジはSPPT n /GPIO_FPT nn _POLレジスタで選択できます。SPPT n を1(デフォルト)に設定するとHighレベル(レベルトリガモード時)または立ち上がりエッジ(エッジトリガモード時)が選択されます。SPPT n を0に設定するとLowレベル(レベルトリガモード時)または立ち下がりエッジ(エッジトリガモード時)が選択されます。

表26.5.1.3 ポート入力割り込み条件

SEPT n	SPPT n	ポート入力割り込み条件
1	1	立ち上がりエッジ入力
1	0	立ち下がりエッジ入力
0	1	Highレベル入力
0	0	Lowレベル入力

割り込みフラグ

ポート入力割り込み回路には、FPT割り込みポートに個々に対応する8個の割り込みフラグ(SFGP n /GPIO_FPT nn _FLGレジスタ)が用意されています。

レベルトリガモード時は、割り込みフラグが入力信号のレベルによってセットされます。

エッジトリガモード時は、割り込みフラグが入力信号のアクティブエッジによってセットされます。

割り込み発生後は、1を書き込んで割り込みフラグをリセットする必要があります。

割り込みイネーブルビット

各FPT割り込みポートは、対応する割り込みイネーブルビット(SIET n /GPIO_FPT nn _MSKレジスタ)で割り込みの発生を許可/禁止できます。

ポート入力割り込みを使用するには、割り込みポート端子をポート機能選択ビットで入出力ポートに設定し、SIET n を1に設定する前にSFGP n を0にクリアしておく必要があります。

割り込みを許可するにはSIET n を1に、禁止するにはSIET n を0に設定します。

SIET n が1に設定されている状態でSFGP n が1になると、割り込み要求信号がITCに出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

チャタリングフィルタ

各FPTラインにはチャタリングフィルタが設けられています。この機能を使用するか否か、また、使用する場合はサンプリングクロックを、SCTP n [2:0]/GPIO_FPT nn _CHATレジスタによって選択します。

チャタリングフィルタを有効にすると、フィルタサンプリング時間 × 2より短いパルスはノイズとして除去されます。フィルタサンプリング時間 × 4より長いパルスはフィルタを通過し、ポート入力割り込みを発生可能です。“フィルタサンプリング時間 × 2 ≤ パルス幅 ≤ フィルタサンプリング時間 × 4” のパルスは、入力タイミングにより除去される場合があります。

表26.5.1.4 チャタリングフィルタの設定

SCTP _n [2:0]	フィルタ サンプリング時間	除去される 無効なパルス幅	入力される 有効パルス幅
0x7	64/fPCLK	< 64/fPCLK × 2	> 64/fPCLK × 4
0x6	32/fPCLK	< 32/fPCLK × 2	> 32/fPCLK × 4
0x5	16/fPCLK	< 16/fPCLK × 2	> 16/fPCLK × 4
0x4	8/fPCLK	< 8/fPCLK × 2	> 8/fPCLK × 4
0x3	4/fPCLK	< 4/fPCLK × 2	> 4/fPCLK × 4
0x2	2/fPCLK	< 2/fPCLK × 2	> 2/fPCLK × 4
0x1	1/fPCLK	< 1/fPCLK × 2	> 1/fPCLK × 4
0x0	フィルタ無効		

(デフォルト: 0x0)

注: • フィルタのクロックにはプリスケアラ (PSC Ch.2) 出力を使用します。チャタリングフィルタを使用するには、プリスケアラ (PSC Ch.2) を動作させておく必要があります。不要なポート入力割り込みが発生することがありますので、プリスケアラ (PSC Ch.2) がOffの状態ではチャタリングフィルタを有効にしないでください。

- SLEEPモード時はクロックが供給されないため、チャタリングフィルタも停止します。ポート入力割り込みによってSLEEPモードが解除できるようにするため、フィルタを有効に設定している場合でも、SLEEP中はCPUがSLEEPモードから起床するまでチャタリングフィルタは自動的に無効になります (バイパスされます)。
- 割り込みを許可した状態でGPIO_FPT_{nn}_CHATレジスタを設定すると、不要なポート入力割り込みが発生する場合があります。GPIO_FPT_{nn}_CHATレジスタは割り込みを禁止して設定してください。また、GPIO_FPT_{nn}_CHATレジスタの設定後は、割り込みを許可する前に必ずポート入力割り込みフラグをクリアしてください。このとき、GPIO_FPT_{nn}_CHATレジスタの設定から割り込みフラグをクリアするまでに少なくとも下記の待ち時間を取る必要があります。

待ち時間[μs] = フィルタサンプリング時間[μs] × 4

例: フィルタサンプリング時間 = 64/fPCLK、fPCLK = 32MHzの場合

待ち時間 = 64 × 4 / 32 = 8[μs]

GPIO_FPT_{nn}_CHATレジスタを0x7に設定した場合、8μs以上経過した後に割り込みフラグをクリアしてください。

26.5.2 キー入力割り込み

キー入力割り込みシステムは16ポート × 2グループで構成されます。

キー入力割り込み0 (グループ0): FPK000 ~ FPK015

キー入力割り込み1 (グループ1): FPK100 ~ FPK115

グループごとにITCへの割り込み要求を発生可能です。

図26.5.2.1にキー入力割り込み回路の構成を示します。

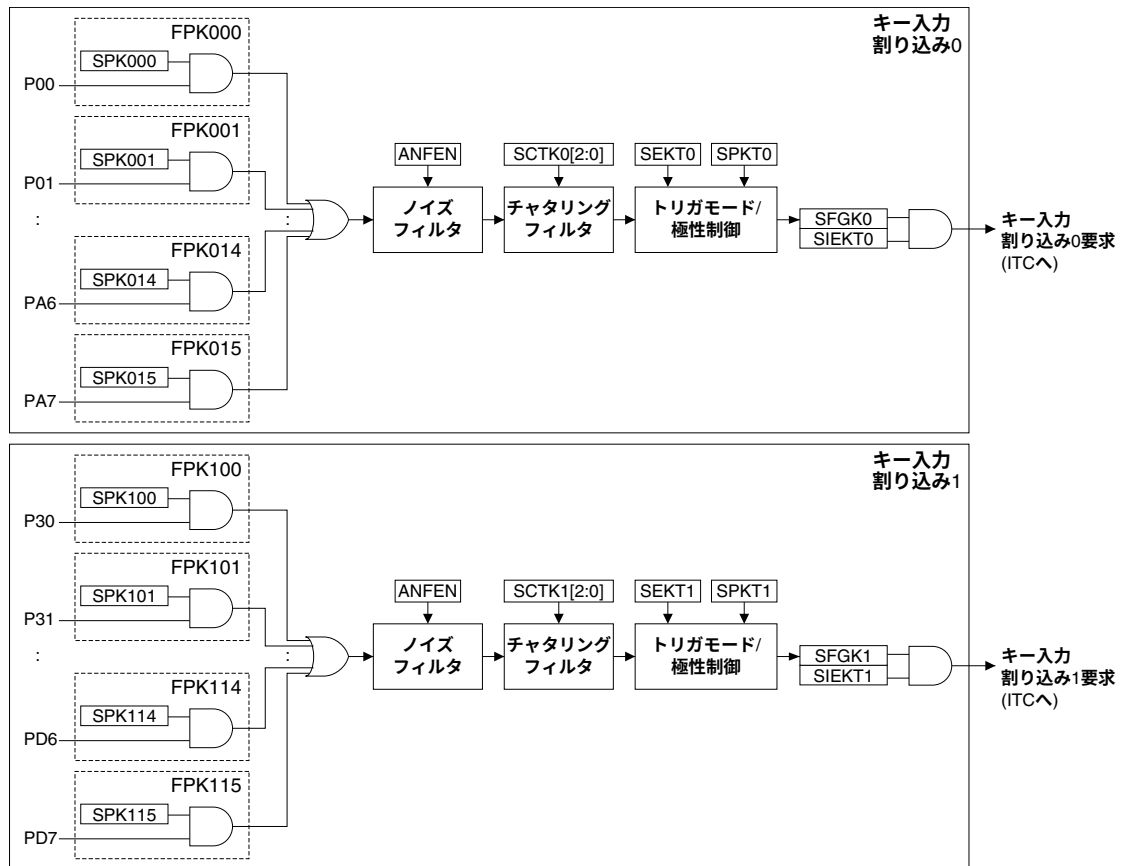


図26.5.2.1 キー入力割り込み回路の構成

割り込みポートの選択

各キー入力割り込み系列は16のポートから割り込みを発生可能です。この中でキー入力割り込みを発生させるポートをGPIO_FPK n _07_SELおよびGPIO_FPK n _8F_SELレジスタ($n = 0$ または1)によって選択します。

表26.5.2.1 キー入力割り込みポートの構成

キー入力 割り込みグループ	キー入力 割り込み要因	入出力ポート	割り込み選択ビット
FPK0	FPK000	P00	SPK000/GPIO_FPK0_07レジスタ
	FPK001	P01	SPK001/GPIO_FPK0_07レジスタ
	FPK002	P02	SPK002/GPIO_FPK0_07レジスタ
	FPK003	P03	SPK003/GPIO_FPK0_07レジスタ
	FPK004	P04	SPK004/GPIO_FPK0_07レジスタ
	FPK005	P05	SPK005/GPIO_FPK0_07レジスタ
	FPK006	P06	SPK006/GPIO_FPK0_07レジスタ
	FPK007	P07	SPK007/GPIO_FPK0_07レジスタ
	FPK008	PA0	SPK008/GPIO_FPK0_8Fレジスタ
	FPK009	PA1	SPK009/GPIO_FPK0_8Fレジスタ
	FPK010	PA2	SPK010/GPIO_FPK0_8Fレジスタ
	FPK011	PA3	SPK011/GPIO_FPK0_8Fレジスタ
	FPK012	PA4	SPK012/GPIO_FPK0_8Fレジスタ
	FPK013	PA5	SPK013/GPIO_FPK0_8Fレジスタ
	FPK014	PA6	SPK014/GPIO_FPK0_8Fレジスタ
	FPK015	PA7	SPK015/GPIO_FPK0_8Fレジスタ

キー入力 割り込みグループ	キー入力 割り込み要因	入出力ポート	割り込み選択ビット
FPK1	FPK100	P30	SPK100/GPIO_FPK1_07レジスタ
	FPK101	P31	SPK101/GPIO_FPK1_07レジスタ
	FPK102	P32	SPK102/GPIO_FPK1_07レジスタ
	FPK103	P33	SPK103/GPIO_FPK1_07レジスタ
	FPK104	P70	SPK104/GPIO_FPK1_07レジスタ
	FPK105	P72	SPK105/GPIO_FPK1_07レジスタ
	FPK106	P74	SPK106/GPIO_FPK1_07レジスタ
	FPK107	P76	SPK107/GPIO_FPK1_07レジスタ
	FPK108	PD0	SPK108/GPIO_FPK1_8Fレジスタ
	FPK109	PD1	SPK109/GPIO_FPK1_8Fレジスタ
	FPK110	PD2	SPK110/GPIO_FPK1_8Fレジスタ
	FPK111	PD3	SPK111/GPIO_FPK1_8Fレジスタ
	FPK112	PD4	SPK112/GPIO_FPK1_8Fレジスタ
	FPK113	PD5	SPK113/GPIO_FPK1_8Fレジスタ
	FPK114	PD6	SPK114/GPIO_FPK1_8Fレジスタ
	FPK115	PD7	SPK115/GPIO_FPK1_8Fレジスタ

割り込みモードと極性の選択

キー入力割り込み回路には、割り込みフラグのセット方法の違いにより、エッジトリガモードとレベルトリガモードの2種類の割り込みモードが用意されています。FPK n グループの割り込みモードはSEK Tn /GPIO_FPK01_MODレジスタで選択できます。

SEK Tn を1(デフォルト)に設定すると、FPK n ポートはエッジトリガモードに設定されます。エッジトリガモードでは、割り込みフラグが入力信号のアクティブエッジでセットされ、ソフトウェアでリセットするまで1を保持します。

SEK Tn を0に設定すると、FPK n ポートはレベルトリガモードに設定されます。レベルトリガモードでは、割り込みフラグは入力信号がアクティブレベルになることによってセットされ、ソフトウェアでリセットするまで1を保持します。

キー入力割り込み要因によるSLEEPモードの解除は、GPIOの割り込みモード(エッジトリガ/レベルトリガ)の設定にかかわらず行えます。

入力信号のアクティブレベル/エッジはSPK Tn /GPIO_FPK01_POLレジスタで選択できます。SPK Tn を1(デフォルト)に設定するとHighレベル(レベルトリガモード時)または立ち上がりエッジ(エッジトリガモード時)が選択されます。SPK Tn を0に設定するとLowレベル(レベルトリガモード時)または立ち下がりエッジ(エッジトリガモード時)が選択されます。

表26.5.2.2 キー入力割り込み条件

SEK Tn	SPK Tn	キー入力割り込み条件
1	1	立ち上がりエッジ入力
1	0	立ち下がりエッジ入力
0	1	Highレベル入力
0	0	Lowレベル入力

割り込みフラグ

キー入力割り込み回路には、各FPK割り込みグループに対応する2個の割り込みフラグ(SFGK n /GPIO_FPK01_FLGレジスタ)が用意されています。

レベルトリガモード時は、割り込みフラグが入力信号のレベルによってセットされます。

エッジトリガモード時は、割り込みフラグが入力信号のアクティブエッジによってセットされます。

割り込み発生後は、1を書き込んで割り込みフラグをリセットする必要があります。

割り込みイネーブルビット

キー入力割り込みは、対応する割り込みイネーブルビット(SIEK Tn /GPIO_FP01_MSKレジスタ)で許可/禁止できます。

キー入力割り込みを使用するには、割り込みポート端子をポート機能選択ビットで入出力ポートに設定し、SIEK Tn を1に設定する前にSFGK n を0にクリアしておく必要があります。

割り込みを許可するにはSIEK Tn を1に、禁止するにはSIEK Tn を0に設定します。

SIEKT n が1に設定されている状態でSFGKnが1になると、割り込み要求信号がITCに出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

チャタリングフィルタ

キー入力割り込み回路にはキー入力用のチャタリングフィルタが設けられています。この機能を使用するか否か、また、使用する場合はサンプリングクロックを、SCTKn[2:0]/GPIO_FPK01_CHATレジスタによって選択します。

チャタリングフィルタを有効にすると、フィルタサンプリング時間 $\times 2$ より短いパルスはノイズとして除去されます。フィルタサンプリング時間 $\times 4$ より長いパルスはフィルタを通過し、キー入力割り込みを発生可能です。“フィルタサンプリング時間 $\times 2 \leq$ パルス幅 $\leq$ フィルタサンプリング時間 $\times 4$ ” のパルスは、入力タイミングにより除去される場合があります。

表26.5.2.3 チャタリングフィルタの設定

SCTKn[2:0]	フィルタ サンプリング時間	除去される 無効なパルス幅	入力される 有効パルス幅
0x7	64/fPCLK	$< 64/fPCLK \times 2$	$> 64/fPCLK \times 4$
0x6	32/fPCLK	$< 32/fPCLK \times 2$	$> 32/fPCLK \times 4$
0x5	16/fPCLK	$< 16/fPCLK \times 2$	$> 16/fPCLK \times 4$
0x4	8/fPCLK	$< 8/fPCLK \times 2$	$> 8/fPCLK \times 4$
0x3	4/fPCLK	$< 4/fPCLK \times 2$	$> 4/fPCLK \times 4$
0x2	2/fPCLK	$< 2/fPCLK \times 2$	$> 2/fPCLK \times 4$
0x1	1/fPCLK	$< 1/fPCLK \times 2$	$> 1/fPCLK \times 4$
0x0	フィルタ無効		

(デフォルト: 0x0)

- 注:
- フィルタのクロックにはプリスケアラ (PSC Ch.2) 出力を使用します。チャタリングフィルタを使用するには、プリスケアラ (PSC Ch.2) を動作させておく必要があります。不要なキー入力割り込みが発生することがありますので、プリスケアラ (PSC Ch.2) がOffの状態ではチャタリングフィルタを有効にしないでください。
 - SLEEPモード時はクロックが供給されないため、チャタリングフィルタも停止します。キー入力割り込みによってSLEEPモードが解除できるようにするため、フィルタを有効に設定している場合でも、SLEEP中はCPUがSLEEPモードから起床するまでチャタリングフィルタは自動的に無効になります (バイパスされます)。
 - 割り込みを許可した状態でGPIO_FPK01_CHATレジスタを設定すると、不要なキー入力割り込みが発生する場合があります。GPIO_FPK01_CHATレジスタは割り込みを禁止して設定してください。また、GPIO_FPK01_CHATレジスタの設定後は、割り込みを許可する前に必ずキー入力割り込みフラグをクリアしてください。このとき、GPIO_FPK01_CHATレジスタの設定から割り込みフラグをクリアするまでに少なくとも下記の待ち時間を取る必要があります。

$$\text{待ち時間}[\mu\text{s}] = \text{フィルタサンプリング時間}[\mu\text{s}] \times 4$$

例: フィルタサンプリング時間 = 64/fPCLK、fPCLK = 32MHzの場合

$$\text{待ち時間} = 64 \times 4 / 32 = 8[\mu\text{s}]$$

GPIO_FPK nn _CHATレジスタを0x7に設定した場合、8 μ s以上経過した後に割り込みフラグをクリアしてください。

26.5.3 DMAトリガ

ポート入力割り込み要因によってDMA転送を起動することができます。SDMAT[2:0]/GPIO_DMAレジスタにより、1つのFPT割り込みポートをDMAトリガソースとして選択できます。

表26.5.3.1 DMAトリガソースの選択

SDMAT[2:0]	トリガソース
0x7	FPT7
0x6	FPT6
0x5	FPT5
0x4	FPT4
0x3	FPT3
0x2	FPT2
0x1	FPT1
0x0	FPT0

(デフォルト: 0x0)

選択したFPTの割り込み信号(SIET_nで割り込みを禁止している場合でも、割り込みモードと極性の設定に従って生成されます)がDMACに送られ、DMA転送を開始させます。

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

注: SCTP_n[2:0]/GPIO_FPT_{nn}_CHATレジスタを設定後に不要なDMAトリガがDMACに送られてしまう場合があります。GPIO_FPT_{nn}_CHATレジスタを設定後は、少なくとも下記の待ち時間はポートDMA要求を禁止してください。

待ち時間[μs] = フィルタサンプリング時間[μs] × 4

例: フィルタサンプリング時間 = 64/f_{PCLK}、f_{PCLK} = 32MHzの場合

待ち時間 = 64 × 4 / 32 = 8[μs]

GPIO_FPT_{nn}_CHATレジスタを0x7に設定した場合、ポートDMA機能は8μs以上経過した後に使用することができます。

26.6 入力ポートノイズフィルタ

S1C33L27は以下のポートから入力される信号のノイズを除去するノイズフィルタを内蔵しています。

USI: USI_DI0、USI_DI1、USI_DI2、USI_CS0、USI_CS1、USI_CS2、USI_CK0、USI_CK1、USI_CK2

USIL: USIL_DI、USIL_CS、USIL_CK

UART: SIN、SCLK

REMC: REMC_I

I2S: I2S_SDI、I2S_WSI、I2S_SCLKI、I2S_MCLKI

T16A6: EXCL0、EXCL1、T16A_ATMA_0、T16A_ATMA_1、T16A_ATMA_2、T16A_ATMA_3、
T16A_ATMB_0、T16A_ATMB_1、T16A_ATMB_2、T16A_ATMB_3

ADC10: #ADTRIG

WDT: WDT_EXCL

SD_MMC: MMCD[3:0]、MMCCMD

GPIO: FPT0～FPT7ポート入力割り込みおよびFPK0～FPK1キー入力割り込みに使用するポート
(下記の注を参照)

ノイズフィルタを使用するには、ANFEN/GPIO_FILTERレジスタを1に設定します。ANFENが0(デフォルト)の場合、入力信号はノイズフィルタをバイパスします。

注: ・ ポート個別にノイズフィルタを有効にすることはできません。

- ・ 上記のポートを汎用入力ポートとして使用する場合、ノイズフィルタは無効です。ただし、汎用入力ポートに設定した場合でも、FPT割り込み(FPT0～FPT7)、またはFPK割り込み(FPK0とFPK1)に選択したポートはノイズフィルタが有効になります。
- ・ GPIO_FILTERレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、PPROT[7:0]/GPIO_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。

26.7 バス駆動制御

外部データバス (D[15:0]) と外部アドレスバス (A[25:0]) 端子出力を、それぞれ LDRVDB/GPIO_BUS_DRV レジスタと LDRVAD/GPIO_BUS_DRV レジスタによって強制的に Low にすることができます。この機能は、バスに接続されている外部デバイスの電源を Off にしたいときに有効です。

上記の制御ビットを 1 に設定すると対応するバス信号が Low になります。制御ビットを 0 に設定すると、信号の制御は SRAMC/SDRAMC に戻ります。

注: • Low 駆動制御ビットは、バス信号を汎用入出力ポート (Pxy) に設定した場合は無効です。

- CPU が外部メモリから命令をフェッチしている状態で上記信号を Low にすると正常動作しなくなります。この制御は、必ず内蔵 RAM 上のプログラムで行ってください。

26.8 制御レジスタ詳細

表 26.8.1 GPIO/ポート MUX レジスタ一覧

アドレス	レジスタ名	機 能
0x300300	GPIO_P0_DAT	P0 Port Data Register
0x300301	GPIO_P0_IOC	P0 Port I/O Control Register
0x300302	GPIO_P1_DAT	P1 Port Data Register
0x300303	GPIO_P1_IOC	P1 Port I/O Control Register
0x300304	GPIO_P2_DAT	P2 Port Data Register
0x300305	GPIO_P2_IOC	P2 Port I/O Control Register
0x300306	GPIO_P3_DAT	P3 Port Data Register
0x300307	GPIO_P3_IOC	P3 Port I/O Control Register
0x300308	GPIO_P4_DAT	P4 Port Data Register
0x300309	GPIO_P4_IOC	P4 Port I/O Control Register
0x30030a	GPIO_P5_DAT	P5 Port Data Register
0x30030b	GPIO_P5_IOC	P5 Port I/O Control Register
0x30030c	GPIO_P6_DAT	P6 Port Data Register
0x30030d	GPIO_P6_IOC	P6 Port I/O Control Register
0x30030e	GPIO_P7_DAT	P7 Port Data Register
0x300310	GPIO_P8_DAT	P8 Port Data Register
0x300311	GPIO_P8_IOC	P8 Port I/O Control Register
0x300312	GPIO_P9_DAT	P9 Port Data Register
0x300313	GPIO_P9_IOC	P9 Port I/O Control Register
0x300314	GPIO_PA_DAT	PA Port Data Register
0x300315	GPIO_PA_IOC	PA Port I/O Control Register
0x300316	GPIO_PB_DAT	PB Port Data Register
0x300317	GPIO_PB_IOC	PB Port I/O Control Register
0x300318	GPIO_PC_DAT	PC Port Data Register
0x300319	GPIO_PC_IOC	PC Port I/O Control Register
0x30031a	GPIO_PD_DAT	PD Port Data Register
0x30031b	GPIO_PD_IOC	PD Port I/O Control Register
0x30031c	GPIO_PE_DAT	PE Port Data Register
0x30031d	GPIO_PE_IOC	PE Port I/O Control Register
0x30031e	GPIO_PF_DAT	PF Port Data Register
0x30031f	GPIO_PF_IOC	PF Port I/O Control Register
0x300340	GPIO_FPT01_SEL	FPT0-1 Interrupt Port Select Register
0x300341	GPIO_FPT23_SEL	FPT2-3 Interrupt Port Select Register
0x300342	GPIO_FPT45_SEL	FPT4-5 Interrupt Port Select Register
0x300343	GPIO_FPT67_SEL	FPT6-7 Interrupt Port Select Register
0x300344	GPIO_FPT03_POL	FPT0-3 Interrupt Polarity Select Register
0x300345	GPIO_FPT47_POL	FPT4-7 Interrupt Polarity Select Register
0x300346	GPIO_FPT03_MOD	FPT0-3 Interrupt Mode Select Register
0x300347	GPIO_FPT47_MOD	FPT4-7 Interrupt Mode Select Register
0x300348	GPIO_FPT03_MSK	FPT0-3 Interrupt Mask Register
0x300349	GPIO_FPT47_MSK	FPT4-7 Interrupt Mask Register
0x30034a	GPIO_FPT03_FLG	FPT0-3 Interrupt Flag Register
0x30034b	GPIO_FPT47_FLG	FPT4-7 Interrupt Flag Register
0x30034c	GPIO_FPT01_CHAT	FPT0-1 Interrupt Chattering Filter Control Register
0x30034d	GPIO_FPT23_CHAT	FPT2-3 Interrupt Chattering Filter Control Register
0x30034e	GPIO_FPT45_CHAT	FPT4-5 Interrupt Chattering Filter Control Register
0x30034f	GPIO_FPT67_CHAT	FPT6-7 Interrupt Chattering Filter Control Register
0x300350	GPIO_DMA	Port DMA Trigger Source Select Register

26 入出力ポート (GPIO)

アドレス	レジスタ名		機 能
0x300360	GPIO_FPK0_07_SEL	FPK000~007 Interrupt Select Register	FPK0割り込みポートの選択
0x300361	GPIO_FPK0_8F_SEL	FPK008~015 Interrupt Select Register	
0x300362	GPIO_FPK1_07_SEL	FPK100~107 Interrupt Select Register	FPK1割り込みポートの選択
0x300363	GPIO_FPK1_8F_SEL	FPK108~115 Interrupt Select Register	
0x300370	GPIO_FPK01_POL	FPK0~1 Interrupt Polarity Select Register	FPK0~1割り込み入力信号極性の選択
0x300371	GPIO_FPK01_MOD	FPK0~1 Interrupt Mode Select Register	FPK0~1エッジ/レベル割り込みモードの選択
0x300372	GPIO_FPK01_MSK	FPK0~1 Interrupt Mask Register	FPK0~1割り込みの許可/禁止
0x300373	GPIO_FPK01_FLG	FPK0~1 Interrupt Flag Register	FPK0~1割り込み発生状態の表示
0x300374	GPIO_FPK01_CHAT	FPK0~1 Interrupt Chattering Filter Control Register	FPK0~1チャタリングフィルタ制御
0x300800	PMUX_P0_03	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x300801	PMUX_P0_47	P0[7:4] Port Function Select Register	P0[7:4]ポート機能の選択
0x300802	PMUX_P1_03	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
0x300803	PMUX_P1_47	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x300804	PMUX_P2_01	P2[1:0] Port Function Select Register	P2[1:0]ポート機能の選択
0x300806	PMUX_P3_03	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x300807	PMUX_P3_46	P3[6:4] Port Function Select Register	P3[6:4]ポート機能の選択
0x300808	PMUX_P4_02	P4[2:0] Port Function Select Register	P4[2:0]ポート機能の選択
0x30080a	PMUX_P5_03	P5[3:0] Port Function Select Register	P5[3:0]ポート機能の選択
0x30080b	PMUX_P5_46	P5[6:4] Port Function Select Register	P5[6:4]ポート機能の選択
0x30080c	PMUX_P6_0	P60 Port Function Select Register	P60ポート機能の選択
0x30080e	PMUX_P7_03	P7[3:0] Port Function Select Register	P7[3:0]ポート機能の選択
0x30080f	PMUX_P7_47	P7[7:4] Port Function Select Register	P7[7:4]ポート機能の選択
0x300810	PMUX_P8_03	P8[3:0] Port Function Select Register	P8[3:0]ポート機能の選択
0x300812	PMUX_P9_03	P9[3:0] Port Function Select Register	P9[3:0]ポート機能の選択
0x300813	PMUX_P9_47	P9[7:4] Port Function Select Register	P9[7:4]ポート機能の選択
0x300814	PMUX_PA_03	PA[3:0] Port Function Select Register	PA[3:0]ポート機能の選択
0x300815	PMUX_PA_47	PA[7:4] Port Function Select Register	PA[7:4]ポート機能の選択
0x300816	PMUX_PB_03	PB[3:0] Port Function Select Register	PB[3:0]ポート機能の選択
0x300817	PMUX_PB_47	PB[7:4] Port Function Select Register	PB[7:4]ポート機能の選択
0x300818	PMUX_PC_03	PC[3:0] Port Function Select Register	PC[3:0]ポート機能の選択
0x300819	PMUX_PC_47	PC[7:4] Port Function Select Register	PC[7:4]ポート機能の選択
0x30081a	PMUX_PD_03	PD[3:0] Port Function Select Register	PD[3:0]ポート機能の選択
0x30081b	PMUX_PD_47	PD[7:4] Port Function Select Register	PD[7:4]ポート機能の選択
0x30081c	PMUX_PE_03	PE[3:0] Port Function Select Register	PE[3:0]ポート機能の選択
0x30081d	PMUX_PE_45	PE[5:4] Port Function Select Register	PE[5:4]ポート機能の選択
0x30081e	PMUX_PF_03	PF[3:0] Port Function Select Register	PF[3:0]ポート機能の選択
0x30081f	PMUX_PF_4	PF4 Port Function Select Register	PF4機能の選択
0x300820	GPIO_P0_PUP	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x300821	GPIO_P1_PUP	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x300822	GPIO_P2_PUP	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x300823	GPIO_P3_PUP	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x300824	GPIO_P4_PUP	P4 Port Pull-up Control Register	P4ポートのプルアップ制御
0x300825	GPIO_P5_PUP	P5 Port Pull-up Control Register	P5ポートのプルアップ制御
0x300826	GPIO_P6_PUP	P6 Port Pull-up Control Register	P6ポートのプルアップ制御
0x300827	GPIO_P7_PUP	P7 Port Pull-up Control Register	P7ポートのプルアップ制御
0x300828	GPIO_P8_PUP	P8 Port Pull-up Control Register	P8ポートのプルアップ制御
0x300829	GPIO_P9_PUP	P9 Port Pull-up Control Register	P9ポートのプルアップ制御
0x30082a	GPIO_PA_PUP	PA Port Pull-up Control Register	PAポートのプルアップ制御
0x30082b	GPIO_PB_PUP	PB Port Pull-up Control Register	PBポートのプルアップ制御
0x30082d	GPIO_PD_PUP	PD Port Pull-up Control Register	PDポートのプルアップ制御
0x30082e	GPIO_PE_PUP	PE Port Pull-up Control Register	PEポートのプルアップ制御
0x30082f	GPIO_PF_PUP	PF Port Pull-up Control Register	PFポートのプルアップ制御
0x300830	GPIO_BUS_DRV	Bus Drive Control Register	外部データバス/アドレスバス信号のLow駆動制御
0x30083e	GPIO_FILTER	Port Noise Filter Control Register	ポート入力ノイズフィルタの制御
0x30083f	GPIO_PROTECT	GPIO/PMUX Write Protect Register	PMUX、GPIO_BUS_DRV、GPIO_FILTER、GPIO_Px_PUPレジスタ書き込み保護の設定/解除

以下、入出力ポートのレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- GPIO_BUS_DRV、GPIO_Px_PUP、GPIO_FILTER、PMUX_Px_yyレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、PPROT[7:0]/GPIO_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、これらのレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換えが必要なときを除き、PPROT[7:0]を0x96以外に設定してください。

Px Port Data Registers (GPIO_Px_DAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Px Port Data Register (GPIO_Px_DAT)	0x300300 0x300302 0x30031e (8 bits)	D7-0	Px[7:0]D	Px[7:0] I/O port data	1	1 (High)	0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.

注: 存在しない端子のPx_{xy}Dはリードオンリビットで、常に0が読み出されます。

D[7:0] Px[7:0]D: Px[7:0] I/O Port Data Bits

入出力ポート端子のデータの読み出し、および出力データの設定を行います。(デフォルト: 外部端子状態)

1 (R/W): Highレベル

0 (R/W): Lowレベル

Px_{xy}DはPx_{xy}端子と1対1に対応します。

端子の電圧レベルが読み出せます(出力モード(IOC_{xy}/GPIO_Px_IOCレジスタ = 1)の場合も読み出し可)。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

ポートを出力モードに設定している場合は(IOC_{xy}/GPIO_Px_IOCレジスタ = 1)、書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

入力モード時(IOC_{xy} = 0)もポートデータの書き込みは行えます(端子の状態には影響を与えません)。

Px Port I/O Control Registers (GPIO_Px_IOC)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Px Port I/O Control Register (GPIO_Px_IOC)	0x300301 0x300303 0x30031f (8 bits)	D7-0	IOCx[7:0]	Px[7:0] I/O control	1	Output	0 Input	0x0	R/W	

注: 存在しない端子のIOC_{xy}はリードオンリビットで、常に0が読み出されます。

D[7:0] IOCx[7:0]: Px[7:0] I/O Control Bits

ポートを入力モードまたは出力モードに設定します。

1 (R/W): 出力モード

0 (R/W): 入力モード(デフォルト)

IOC_{xy}はPx_{xy}ポートと1対1に対応する入出力方向制御ビットです。1に設定すると出力が許可され、対応するPx_{xy}Dの設定値がポート端子から出力されます。0に設定した場合は出力が禁止され、ポート端子は外部信号を入力するためハイインピーダンスになります。

ポートを周辺モジュール用を使用する場合の出力許可/禁止の状態は、周辺モジュールの機能により決まります。

FPT0–1 Interrupt Port Select Register (GPIO_FPT01_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT0–1 Interrupt Port Select Register (GPIO_FPT01_ SEL)	0x300340 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SPT1[2:0]	FPT1 interrupt input port select	SPT1[2:0]	Port	0x0	R/W
					0x7	PE1		
					0x6	PD1		
					0x5	PB1		
					0x4	PA1		
					0x3	P91		
					0x2	P73		
					0x1	P13		
					0x0	P01		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SPT0[2:0]	FPT0 interrupt input port select	SPT0[2:0]	Port	0x0	R/W
					0x7	PE0		
					0x6	PD0		
					0x5	PB0		
					0x4	PA0		
					0x3	P90		
					0x2	P71		
					0x1	P12		
					0x0	P00		

D7 **Reserved**

D[6:4] **SPT1[2:0]: FPT1 Interrupt Input Port Select Bits**

ポート入力割り込み0に使用するFPT1ポートを選択します。

D3 **Reserved**

D[2:0] **SPT0[2:0]: FPT0 Interrupt Input Port Select Bits**

ポート入力割り込み0に使用するFPT0ポートを選択します。

表26.8.2 ポート入力割り込み0用のポート選択

SPTn[2:0]設定	FPT0 (SPT0[2:0])	FPT1 (SPT1[2:0])	FPT2 (SPT2[2:0])	FPT3 (SPT3[2:0])
0x7	PE0	PE1	PE2	PE3
0x6	PD0	PD1	PD2	PD3
0x5	PB0	PB1	PB2	PB3
0x4	PA0	PA1	PA2	PA3
0x3	P90	P91	P92	P93
0x2	P71	P73	P75	P77
0x1	P12	P13	P14	P30
0x0(デフォルト)	P00	P01	P02	P03

FPT2–3 Interrupt Port Select Register (GPIO_FPT23_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT2–3 Interrupt Port Select Register (GPIO_FPT23_ SEL)	0x300341 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SPT3[2:0]	FPT3 interrupt input port select	SPT3[2:0]	Port	0x0	R/W
					0x7	PE3		
					0x6	PD3		
					0x5	PB3		
					0x4	PA3		
					0x3	P93		
					0x2	P77		
					0x1	P30		
					0x0	P03		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SPT2[2:0]	FPT2 interrupt input port select	SPT2[2:0]	Port	0x0	R/W
					0x7	PE2		
					0x6	PD2		
					0x5	PB2		
					0x4	PA2		
					0x3	P92		
					0x2	P75		
					0x1	P14		
					0x0	P02		

D7 **Reserved**

D[6:4] **SPT3[2:0]: FPT3 Interrupt Input Port Select Bits**

ポート入力割り込み0に使用するFPT3ポートを選択します。

D3 **Reserved**

D[2:0] **SPT2[2:0]: FPT2 Interrupt Input Port Select Bits**

ポート入力割り込み0に使用するFPT2ポートを選択します。

FPT4–5 Interrupt Port Select Register (GPIO_FPT45_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4–5 Interrupt Port Select Register (GPIO_FPT45_ SEL)	0x300342 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SPT5[2:0]	FPT5 interrupt input port select	SPT5[2:0]	Port	0x0	R/W
					0x7	P55		
					0x6	PD5		
					0x5	PB5		
					0x4	PA5		
					0x3	P95		
					0x2	P81		
					0x1	P32		
					0x0	P05		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SPT4[2:0]	FPT4 interrupt input port select	SPT4[2:0]	Port	0x0	R/W
					0x7	PE4		
					0x6	PD4		
					0x5	PB4		
					0x4	PA4		
					0x3	P94		
					0x2	P80		
					0x1	P31		
					0x0	P04		

D7 **Reserved**

D[6:4] **SPT5[2:0]: FPT5 Interrupt Input Port Select Bits**

ポート入力割り込み1に使用するFPT5ポートを選択します。

D3 **Reserved**

D[2:0] **SPT4[2:0]: FPT4 Interrupt Input Port Select Bits**

ポート入力割り込み1に使用するFPT4ポートを選択します。

表26.8.3 ポート入力割り込み1用のポート選択

SPT _n [2:0]設定	FPT4 (SPT4[2:0])	FPT5 (SPT5[2:0])	FPT6 (SPT6[2:0])	FPT7 (SPT7[2:0])
0x7	PE4	P55	PF0	PF1
0x6	PD4	PD5	PD6	PD7
0x5	PB4	PB5	PB6	PB7
0x4	PA4	PA5	PA6	PA7
0x3	P94	P95	P96	P97
0x2	P80	P81	P82	P83
0x1	P31	P32	P33	P60
0x0 (デフォルト)	P04	P05	P06	P07

FPT6–7 Interrupt Port Select Register (GPIO_FPT67_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT6–7 Interrupt Port Select Register (GPIO_FPT67_ SEL)	0x300343 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SPT7[2:0]	FPT7 interrupt input port select	SPT7[2:0]	Port	0x0	R/W
					0x7	PF1		
					0x6	PD7		
					0x5	PB7		
					0x4	PA7		
					0x3	P97		
					0x2	P83		
					0x1	P60		
					0x0	P07		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SPT6[2:0]	FPT6 interrupt input port select	SPT6[2:0]	Port	0x0	R/W
					0x7	PF0		
					0x6	PD6		
					0x5	PB6		
					0x4	PA6		
					0x3	P96		
					0x2	P82		
					0x1	P33		
					0x0	P06		

D7 Reserved

D[6:4] SPT7[2:0]: FPT7 Interrupt Input Port Select Bits

ポート入力割り込み1に使用するFPT7ポートを選択します。

D3 Reserved

D[2:0] SPT6[2:0]: FPT6 Interrupt Input Port Select Bits

ポート入力割り込み1に使用するFPT6ポートを選択します。

FPT0–3 Interrupt Polarity Select Register (GPIO_FPT03_POL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT0–3 Interrupt Polarity Select Register (GPIO_FPT03_ POL)	0x300344 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SPPT3	FPT3 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D2	SPPT2	FPT2 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D1	SPPT1	FPT1 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D0	SPPT0	FPT0 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	

D[7:4] Reserved

D[3:0] SPPT[3:0]: FPT[3:0] Input Polarity Select Bits

ポート入力割り込み0(FPT0～FPT3)に使用するポートの割り込みトリガレベル/エッジを選択します。

1(R/W): Highレベル/立ち上がりエッジ(デフォルト)

0(R/W): Lowレベル/立ち下がりエッジ

SPPT_nを1(デフォルト)に設定すると、FPT_nポートの割り込み発生条件としてHighレベル(レベルトリガモード)または立ち上がりエッジ(エッジトリガモード)が選択されます。SPPT_nを0に設定すると、Lowレベル(レベルトリガモード)または立ち下がりエッジ(エッジトリガモード)が選択されます。**FPT4–7 Interrupt Polarity Select Register (GPIO_FPT47_POL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4–7 Interrupt Polarity Select Register (GPIO_FPT47_ POL)	0x300345 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SPPT7	FPT7 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D2	SPPT6	FPT6 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D1	SPPT5	FPT5 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D0	SPPT4	FPT4 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	

D[7:4] Reserved

D[3:0] SPPT[7:4]: FPT[7:4] Input Polarity Select Bits

ポート入力割り込み1(FPT4～FPT7)に使用するポートの割り込みトリガレベル/エッジを選択します。

1(R/W): Highレベル/立ち上がりエッジ(デフォルト)

0(R/W): Lowレベル/立ち下がりエッジ

SPPT[3:0]/GPIO_FPT03_POLレジスタの説明を参照してください。

FPT0–3 Interrupt Mode Select Register (GPIO_FPT03_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT0–3 Interrupt Mode Select Register (GPIO_FPT03_ MOD)	0x300346 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SEPT3	FPT3 interrupt mode select	1 Edge 0 Level	1	R/W	
		D2	SEPT2	FPT2 interrupt mode select	1 Edge 0 Level	1	R/W	
		D1	SEPT1	FPT1 interrupt mode select	1 Edge 0 Level	1	R/W	
		D0	SEPT0	FPT0 interrupt mode select	1 Edge 0 Level	1	R/W	

D[7:4] Reserved

D[3:0] SEPT[3:0]: FPT[3:0] Interrupt Mode Select Bits

ポート入力割り込み0(FPT0～FPT3)に使用するポートのトリガモードを選択します。

1(R/W): エッジトリガモード(デフォルト)

0(R/W): レベルトリガモード

SEPT n を1(デフォルト)に設定すると、対応するポートはエッジトリガモードに設定されます。エッジトリガモードでは、割り込みフラグが入力信号のアクティブエッジでセットされ、ソフトウェアでリセットするまで1を保持します。

SEPT n を0に設定すると、対応するポートはレベルトリガモードに設定されます。レベルトリガモードでは、割り込みフラグは入力信号がアクティブレベルになることによってセットされ、ソフトウェアでリセットするまで1を保持します。

ポート入力割り込み要因によるSLEEPモードの解除は、GPIOの割り込みモード(エッジトリガ/レベルトリガ)の設定にかかわらず行えます。

FPT4–7 Interrupt Mode Select Register (GPIO_FPT47_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4–7 Interrupt Mode Select Register (GPIO_FPT47_MOD)	0x300347 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SEPT7	FPT7 interrupt mode select	1 Edge	0 Level	1 R/W	
		D2	SEPT6	FPT6 interrupt mode select	1 Edge	0 Level	1 R/W	
		D1	SEPT5	FPT5 interrupt mode select	1 Edge	0 Level	1 R/W	
		D0	SEPT4	FPT4 interrupt mode select	1 Edge	0 Level	1 R/W	

D[7:4] Reserved

D[3:0] SEPT[7:4]: FPT[7:4] Interrupt Mode Select Bits

ポート入力割り込み1(FPT4～FPT7)に使用するポートのトリガモードを選択します。

1(R/W): エッジトリガモード(デフォルト)

0(R/W): レベルトリガモード

SEPT[3:0]/GPIO_FPT03_MODレジスタの説明を参照してください。

FPT0–3 Interrupt Mask Register (GPIO_FPT03_MSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT0–3 Interrupt Mask Register (GPIO_FPT03_MSK)	0x300348 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SIET3	FPT3 interrupt enable	1 Enable	0 Disable	0 R/W	
		D2	SIET2	FPT2 interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	SIET1	FPT1 interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	SIET0	FPT0 interrupt enable	1 Enable	0 Disable	0 R/W	

D[7:4] Reserved

D[3:0] SIET[3:0]: FPT[3:0] Interrupt Enable Bits

ポート入力割り込み0(FPT0～FPT3)を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

FPT4–7 Interrupt Mask Register (GPIO_FPT47_MSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4–7 Interrupt Mask Register (GPIO_FPT47_MSK)	0x300349 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SIET7	FPT7 interrupt enable	1 Enable	0 Disable	0 R/W	
		D2	SIET6	FPT6 interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	SIET5	FPT5 interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	SIET4	FPT4 interrupt enable	1 Enable	0 Disable	0 R/W	

D[7:4] Reserved

D[3:0] SIET[7:4]: FPT[7:4] Interrupt Enable Bits

ポート入力割り込み1(FPT4～FPT7)を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

FPT0–3 Interrupt Flag Register (GPIO_FPT03_FLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
FPT0–3 Interrupt Flag Register (GPIO_FPT03_ FLG)	0x30034a (8 bits)	D7–4	–	reserved	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	–	–	0 when being read.
		D3	SFGP3	FPT3 interrupt flag					X	R/W	Reset by writing 1.
		D2	SFGP2	FPT2 interrupt flag					X	R/W	
		D1	SFGP1	FPT1 interrupt flag					X	R/W	
		D0	SFGP0	FPT0 interrupt flag					X	R/W	

D[7:4] Reserved**D[3:0] SFGP[3:0]: FPT[3:0] Interrupt Flag Bits**

ポート入力割り込み0(FPT0～FPT3)の発生状態を示す割り込みフラグです。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

1(W): フラグをリセット

0(W): 無効

SFGP_nはポート入力割り込み用の各ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)または指定レベル(HighまたはLow)で1にセットされます。対応するSIET_nを1に設定しておくことにより、同時にITCに対してポート入力割り込み要求信号が出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

SFGP_nは1の書き込みによりリセットされます。

FPT4–7 Interrupt Flag Register (GPIO_FPT47_FLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
FPT4–7 Interrupt Flag Register (GPIO_FPT47_ FLG)	0x30034b (8 bits)	D7–4	–	reserved	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	–	–	0 when being read.
		D3	SFGP7	FPT7 interrupt flag					X	R/W	Reset by writing 1.
		D2	SFGP6	FPT6 interrupt flag					X	R/W	
		D1	SFGP5	FPT5 interrupt flag					X	R/W	
		D0	SFGP4	FPT4 interrupt flag					X	R/W	

D[7:4] Reserved**D[3:0] SFGP[7:4]: FPT[7:4] Interrupt Flag Bits**

ポート入力割り込み1(FPT4～FPT7)の発生状態を示す割り込みフラグです。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

1(W): フラグをリセット

0(W): 無効

SFGP[3:0]/GPIO_FPT03_FLGレジスタの説明を参照してください。

FPT0–1 Interrupt Chattering Filter Control Register (GPIO_FPT01_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT0–1 Interrupt Chattering Filter Control Register (GPIO_FPT01_ CHAT)	0x30034c (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SCTP1[2:0]	FPT1 chattering filter time select	SCTP1[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SCTP0[2:0]	FPT0 chattering filter time select	SCTP0[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		

D7 **Reserved**

D[6:4] **SCTP1[2:0]: FPT1 Chattering Filter Time Select Bits**

FPT1ポートのチャタリングフィルタ回路を設定します。

D3 **Reserved**

D[2:0] **SCTP0[2:0]: FPT0 Chattering Filter Time Select Bits**

FPT0ポートのチャタリングフィルタ回路を設定します。

FPT割り込み入力ポートにはチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合はサンプリング時間を、SCTP_n[2:0]によって各FPTポートごとに選択します。

表26.8.4 チャタリングフィルタの設定

SCTP _n [2:0]	フィルタ サンプリング時間	除去される 無効なパルス幅	入力される 有効パルス幅
0x7	64/fPCLK	< 64/fPCLK × 2	> 64/fPCLK × 4
0x6	32/fPCLK	< 32/fPCLK × 2	> 32/fPCLK × 4
0x5	16/fPCLK	< 16/fPCLK × 2	> 16/fPCLK × 4
0x4	8/fPCLK	< 8/fPCLK × 2	> 8/fPCLK × 4
0x3	4/fPCLK	< 4/fPCLK × 2	> 4/fPCLK × 4
0x2	2/fPCLK	< 2/fPCLK × 2	> 2/fPCLK × 4
0x1	1/fPCLK	< 1/fPCLK × 2	> 1/fPCLK × 4
0x0	フィルタ無効		

(デフォルト: 0x0)

- 注: • フィルタのクロックにはプリスケアラ (PSC Ch.2) 出力を使用します。チャタリングフィルタを使用するには、プリスケアラ (PSC Ch.2) を動作させておく必要があります。不要なポート入力割り込みが発生することがありますので、プリスケアラ (PSC Ch.2) がOffの状態ではチャタリングフィルタを有効にしないでください。
- SLEEPモード時はクロックが供給されないため、チャタリングフィルタも停止します。ポート入力割り込みによってSLEEPモードが解除できるようにするため、フィルタを有効に設定している場合でも、SLEEP中はCPUがSLEEPモードから起床するまでチャタリングフィルタは自動的に無効になります (バイパスされます)。
- 割り込みを許可した状態でGPIO_FPT_{nn}_CHATレジスタを設定すると、不要なポート入力割り込みが発生する場合があります。GPIO_FPT_{nn}_CHATレジスタは割り込みを禁止して設定してください。また、GPIO_FPT_{nn}_CHATレジスタの設定後は、割り込みを許可する前に必ずポート入力割り込みフラグをクリアしてください。

このとき、GPIO_FPT nn _CHATレジスタの設定から割り込みフラグをクリアするまでに少なくとも下記の待ち時間を取る必要があります。

$$\text{待ち時間}[\mu\text{s}] = \text{フィルタサンプリング時間}[\mu\text{s}] \times 4$$

例: フィルタサンプリング時間 = $64/f_{\text{PCLK}}$ 、 $f_{\text{PCLK}} = 32\text{MHz}$ の場合

$$\text{待ち時間} = 64 \times 4 / 32 = 8[\mu\text{s}]$$

GPIO_FPT nn _CHATレジスタを0x7に設定した場合、8 μs 以上経過した後に割り込みフラグをクリアしてください。

FPT2–3 Interrupt Chattering Filter Control Register (GPIO_FPT23_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT2–3 Interrupt Chattering Filter Control Register (GPIO_FPT23_ CHAT)	0x30034d (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SCTP3[2:0]	FPT3 chattering filter time select	SCTP3[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SCTP2[2:0]	FPT2 chattering filter time select	SCTP2[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		

D7 **Reserved**

D[6:4] **SCTP3[2:0]: FPT3 Chattering Filter Time Select Bits**
FPT3ポートのチャタリングフィルタ回路を設定します。

D3 **Reserved**

D[2:0] **SCTP2[2:0]: FPT2 Chattering Filter Time Select Bits**
FPT2ポートのチャタリングフィルタ回路を設定します。

SCTP0[2:0]/GPIO_FPT01_CHATレジスタの説明を参照してください。

FPT4–5 Interrupt Chattering Filter Control Register (GPIO_FPT45_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4–5 Interrupt Chattering Filter Control Register (GPIO_FPT45_ CHAT)	0x30034e (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SCTP5[2:0]	FPT5 chattering filter time select	SCTP5[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SCTP4[2:0]	FPT4 chattering filter time select	SCTP4[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		

D7 **Reserved**

D[6:4] **SCTP5[2:0]: FPT5 Chattering Filter Time Select Bits**
FPT5ポートのチャタリングフィルタ回路を設定します。

D3 **Reserved**

D[2:0] **SCTP4[2:0]: FPT4 Chattering Filter Time Select Bits**
FPT4ポートのチャタリングフィルタ回路を設定します。

SCTP0[2:0]/GPIO_FPT01_CHATレジスタの説明を参照してください。

FPT6–7 Interrupt Chattering Filter Control Register (GPIO_FPT67_CHAT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
FPT6–7 Interrupt Chattering Filter Control Register (GPIO_FPT67_ CHAT)	0x30034f (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	SCTP7[2:0]	FPT7 chattering filter time select	SCTP7[2:0]	Filter sampling time	0x0	R/W	
					0x7	64/fPCLK			
					0x6	32/fPCLK			
					0x5	16/fPCLK			
					0x4	8/fPCLK			
					0x3	4/fPCLK			
					0x2	2/fPCLK			
					0x1	1/fPCLK			
					0x0	None			
		D3	–	reserved	–		–	–	0 when being read.
		D2–0	SCTP6[2:0]	FPT6 chattering filter time select	SCTP6[2:0]	Filter sampling time	0x0	R/W	
					0x7	64/fPCLK			
					0x6	32/fPCLK			
					0x5	16/fPCLK			
					0x4	8/fPCLK			
0x3	4/fPCLK								
0x2	2/fPCLK								
0x1	1/fPCLK								
0x0	None								

D7 **Reserved**

D[6:4] **SCTP7[2:0]: FPT7 Chattering Filter Time Select Bits**
FPT7ポートのチャタリングフィルタ回路を設定します。

D3 **Reserved**

D[2:0] **SCTP6[2:0]: FPT6 Chattering Filter Time Select Bits**
FPT6ポートのチャタリングフィルタ回路を設定します。

SCTP0[2:0]/GPIO_FPT01_CHATレジスタの説明を参照してください。

Port DMA Trigger Source Select Register (GPIO_DMA)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port DMA Trigger Source Select Register (GPIO_DMA)	0x300350 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.
		D2–0	SDMAT[2:0]	Port DMA trigger source select	SDMAT[2:0]	Trigger source	0x0	R/W	
					0x7	FPT7			
					0x6	FPT6			
					0x5	FPT5			
					0x4	FPT4			
					0x3	FPT3			
					0x2	FPT2			
					0x1	FPT1			
					0x0	FPT0			

D[7:3] **Reserved**

D[2:0] **SDMAT[2:0]: Port DMA Trigger Source Select Bits**
DMA転送を起動するFPTポートをDMAトリガソースとして選択します。

表26.8.5 DMAトリガソースの選択

SDMAT[2:0]	トリガソース
0x7	FPT7
0x6	FPT6
0x5	FPT5
0x4	FPT4
0x3	FPT3
0x2	FPT2
0x1	FPT1
0x0	FPT0

(デフォルト: 0x0)

選択したFPTの割り込み信号(SIET_nで割り込みを禁止している場合でも、割り込みモードと極性の設定に従って生成されます)がDMACに送られ、DMA転送を開始させます。

DMA転送の詳細については、“DMAコントローラ (DMAC)”の章を参照してください。

注: SCTP_n[2:0]/GPIO_FPT_{nn}_CHATレジスタを設定後に不要なDMAトリガがDMACに送られてしまう場合があります。GPIO_FPT_{nn}_CHATレジスタを設定後は、少なくとも下記の待ち時間はポートDMA要求を禁止してください。

待ち時間[μs] = フィルタサンプリング時間[μs] × 4

例: フィルタサンプリング時間 = 64/fPCLK、fPCLK = 32MHzの場合

待ち時間 = 64 × 4 / 32 = 8[μs]

GPIO_FPT_{nn}_CHATレジスタを0x7に設定した場合、ポートDMA機能は8μs以上経過した後で使用することができます。

FPK000–007 Interrupt Select Register (GPIO_FPK0_07_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK000–007 Interrupt Select Register (GPIO_FPK0_07_SEL)	0x300360 (8 bits)	D7	SPK007	FPK007 interrupt select	1 P07 input	0 Disable	0	R/W
		D6	SPK006	FPK006 interrupt select	1 P06 input	0 Disable	0	R/W
		D5	SPK005	FPK005 interrupt select	1 P05 input	0 Disable	0	R/W
		D4	SPK004	FPK004 interrupt select	1 P04 input	0 Disable	0	R/W
		D3	SPK003	FPK003 interrupt select	1 P03 input	0 Disable	0	R/W
		D2	SPK002	FPK002 interrupt select	1 P02 input	0 Disable	0	R/W
		D1	SPK001	FPK001 interrupt select	1 P01 input	0 Disable	0	R/W
		D0	SPK000	FPK000 interrupt select	1 P00 input	0 Disable	0	R/W

D[7:0] SPK000–SPK007: FPK000–FPK007 Interrupt Select Bits

FPKポートをキー入力割り込み0に使用するか否か選択します。

1(R/W): 使用

0(R/W): 無効(使用しない) (デフォルト)

表26.8.6にキー入力割り込み0のポート構成を示します。

表26.8.6 キー入力割り込み0ポートの構成

キー入力割り込みグループ	キー入力割り込み要因	入出力ポート
FPK0	FPK000	P00
	FPK001	P01
	FPK002	P02
	FPK003	P03
	FPK004	P04
	FPK005	P05
	FPK006	P06
	FPK007	P07
	FPK008	PA0
	FPK009	PA1
	FPK010	PA2
	FPK011	PA3
	FPK012	PA4
	FPK013	PA5
	FPK014	PA6
	FPK015	PA7

FPK008–015 Interrupt Select Register (GPIO_FPK0_8F_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK008–015 Interrupt Select Register (GPIO_FPK0_8F_SEL)	0x300361 (8 bits)	D7	SPK015	FPK015 interrupt select	1 PA7 input	0 Disable	0 R/W	
		D6	SPK014	FPK014 interrupt select	1 PA6 input	0 Disable	0 R/W	
		D5	SPK013	FPK013 interrupt select	1 PA5 input	0 Disable	0 R/W	
		D4	SPK012	FPK012 interrupt select	1 PA4 input	0 Disable	0 R/W	
		D3	SPK011	FPK011 interrupt select	1 PA3 input	0 Disable	0 R/W	
		D2	SPK010	FPK010 interrupt select	1 PA2 input	0 Disable	0 R/W	
		D1	SPK009	FPK009 interrupt select	1 PA1 input	0 Disable	0 R/W	
		D0	SPK008	FPK008 interrupt select	1 PA0 input	0 Disable	0 R/W	

D[7:0] SPK008–SPK015: FPK008–FPK015 Interrupt Select Bits

FPKポートをキー入力割り込み0に使用するかどうか選択します。

1(R/W): 使用

0(R/W): 無効(使用しない) (デフォルト)

FPK100–107 Interrupt Select Register (GPIO_FPK1_07_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK100–107 Interrupt Select Register (GPIO_FPK1_07_SEL)	0x300362 (8 bits)	D7	SPK107	FPK107 interrupt select	1 P76 input	0 Disable	0 R/W	
		D6	SPK106	FPK106 interrupt select	1 P74 input	0 Disable	0 R/W	
		D5	SPK105	FPK105 interrupt select	1 P72 input	0 Disable	0 R/W	
		D4	SPK104	FPK104 interrupt select	1 P70 input	0 Disable	0 R/W	
		D3	SPK103	FPK103 interrupt select	1 P33 input	0 Disable	0 R/W	
		D2	SPK102	FPK102 interrupt select	1 P32 input	0 Disable	0 R/W	
		D1	SPK101	FPK101 interrupt select	1 P31 input	0 Disable	0 R/W	
		D0	SPK100	FPK100 interrupt select	1 P30 input	0 Disable	0 R/W	

D[7:0] SPK100–SPK107: FPK100–FPK107 Interrupt Select Bits

FPKポートをキー入力割り込み1に使用するかどうか選択します。

1(R/W): 使用

0(R/W): 無効(使用しない) (デフォルト)

表26.8.7にキー入力割り込み1のポート構成を示します。

表26.8.7 キー入力割り込み1ポートの構成

キー入力割り込みグループ	キー入力割り込み要因	入出力ポート
FPK1	FPK100	P30
	FPK101	P31
	FPK102	P32
	FPK103	P33
	FPK104	P70
	FPK105	P72
	FPK106	P74
	FPK107	P76
	FPK108	PD0
	FPK109	PD1
	FPK110	PD2
	FPK111	PD3
	FPK112	PD4
	FPK113	PD5
	FPK114	PD6
	FPK115	PD7

FPK108–115 Interrupt Select Register (GPIO_FPK1_8F_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK108–115 Interrupt Select Register (GPIO_FPK1_8F_SEL)	0x300363 (8 bits)	D7	SPK115	FPK115 interrupt select	1 PD7 input	0 Disable	0 R/W	
		D6	SPK114	FPK114 interrupt select	1 PD6 input	0 Disable	0 R/W	
		D5	SPK113	FPK113 interrupt select	1 PD5 input	0 Disable	0 R/W	
		D4	SPK112	FPK112 interrupt select	1 PD4 input	0 Disable	0 R/W	
		D3	SPK111	FPK111 interrupt select	1 PD3 input	0 Disable	0 R/W	
		D2	SPK110	FPK110 interrupt select	1 PD2 input	0 Disable	0 R/W	
		D1	SPK109	FPK109 interrupt select	1 PD1 input	0 Disable	0 R/W	
		D0	SPK108	FPK108 interrupt select	1 PD0 input	0 Disable	0 R/W	

D[7:0] SPK108–SPK115: FPK108–FPK115 Interrupt Select Bits

FPKポートをキー入力割り込み1に使用するか否か選択します。

1(R/W): 使用

0(R/W): 無効(使用しない) (デフォルト)

FPK0–1 Interrupt Polarity Select Register (GPIO_FPK01_POL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK0–1 Interrupt Polarity Select Register (GPIO_FPK01_ POL)	0x300370 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	SPKT1	FPK1 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	
		D0	SPKT0	FPK0 input polarity select	1 High / ↑ 0 Low / ↓	1	R/W	

D[7:2] Reserved**D1 SPKT1: FPK1 Input Polarity Select Bit**

キー入力割り込み1(FPK1)に使用するポートの割り込みトリガレベル/エッジを選択します。

1(R/W): Highレベル/立ち上がりエッジ(デフォルト)

0(R/W): Lowレベル/立ち下がりエッジ

D0 SPKT0: FPK0 Input Polarity Select Bit

キー入力割り込み0(FPK0)に使用するポートの割り込みトリガレベル/エッジを選択します。

1(R/W): Highレベル/立ち上がりエッジ(デフォルト)

0(R/W): Lowレベル/立ち下がりエッジ

SPKT n を1(デフォルト)に設定すると、FPK n の割り込み発生条件としてHighレベル(レベルトリガモード)または立ち上がりエッジ(エッジトリガモード)が選択されます。

SPKT n を0に設定すると、Lowレベル(レベルトリガモード)または立ち下がりエッジ(エッジトリガモード)が選択されます。

FPK0–1 Interrupt Mode Select Register (GPIO_FPK01_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK0–1 Interrupt Mode Select Register (GPIO_FPK01_ MOD)	0x300371 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	SEKT1	FPK1 interrupt mode select	1 Edge 0 Level	1	R/W	
		D0	SEKT0	FPK0 interrupt mode select	1 Edge 0 Level	1	R/W	

D[7:2] Reserved**D1 SEKT1: FPK1 Interrupt Mode Select Bit**

キー入力割り込み1(FPK1)のトリガモードを選択します。

1(R/W): エッジトリガモード(デフォルト)

0(R/W): レベルトリガモード

D0 SEKT0: FPK0 Interrupt Mode Select Bit

キー入力割り込み0(FPK0)のトリガモードを選択します。

1(R/W): エッジトリガモード(デフォルト)

0(R/W): レベルトリガモード

SEKT n を1(デフォルト)に設定すると、FPK n ポートはエッジトリガモードに設定されます。エッジトリガモードでは、割り込みフラグが入力信号のアクティブエッジでセットされ、ソフトウェアでリセットするまで1を保持します。

SEKT n を0に設定すると、FPK n ポートはレベルトリガモードに設定されます。レベルトリガモードでは、割り込みフラグは入力信号がアクティブレベルになることによってセットされ、ソフトウェアでリセットするまで1を保持します。

キー入力割り込み要因によるSLEEPモードの解除は、GPIOの割り込みモード(エッジトリガ/レベルトリガ)の設定にかかわらず行えます。

FPK0–1 Interrupt Mask Register (GPIO_FPK01_MSK)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
FPK0–1 Interrupt Mask Register (GPIO_FPK01_ MSK)	0x300372 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.
		D1	SIEKT1	FPK1 interrupt enable	1	Enable	0	Disable	0	R/W
		D0	SIEKT0	FPK0 interrupt enable	1	Enable	0	Disable	0	R/W

D[7:2] Reserved

D1 SIEKT1: FPK1 Interrupt Enable Bit

FPK1割り込みを許可/禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止(デフォルト)

D0 SIEKT0: FPK0 Interrupt Enable Bit

FPK0割り込みを許可/禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止(デフォルト)

FPK0–1 Interrupt Flag Register (GPIO_FPK01_FLG)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
FPK0–1 Interrupt Flag Register (GPIO_FPK01_ FLG)	0x300373 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.
		D1	SFGK1	FPK1 interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	X	R/W
		D0	SFGK0	FPK0 interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	X	R/W

D[7:2] Reserved

D1 SFGK1: FPK1 Interrupt Flag Bit

FPK1割り込みの発生状態を示す割り込みフラグです。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

1(W): フラグをリセット

0(W): 無効

D0 SFGK0: FPK0 Interrupt Flag Bit

FPK0割り込みの発生状態を示す割り込みフラグです。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

1(W): フラグをリセット

0(W): 無効

SFGK n はFPK n キー入力割り込みに対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)または指定レベル(HighまたはLow)で1にセットされます。対応するSIEKT n を1に設定しておくことにより、同時にITCに対してキー入力割り込み要求信号が出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

SFGK n は1の書き込みによりリセットされます。

FPK0–1 Interrupt Chattering Filter Control Register (GPIO_FPK01_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPK0–1 Interrupt Chattering Filter Control Register (GPIO_FPK01_ CHAT)	0x300374 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	SCTK1[2:0]	FPK1 chattering filter time select	SCTK1[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	SCTK0[2:0]	FPK0 chattering filter time select	SCTK0[2:0]	Filter sampling time	0x0	R/W
					0x7	64/fPCLK		
					0x6	32/fPCLK		
					0x5	16/fPCLK		
					0x4	8/fPCLK		
					0x3	4/fPCLK		
					0x2	2/fPCLK		
					0x1	1/fPCLK		
					0x0	None		

D7 **Reserved**

D[6:4] **SCTK1[2:0]: FPK1 Chattering Filter Time Select Bits**

FPK1キー入力割り込みポートのチャタリングフィルタ回路を設定します。

D3 **Reserved**

D[2:0] **SCTK0[2:0]: FPK0 Chattering Filter Time Select Bits**

FPK0キー入力割り込みポートのチャタリングフィルタ回路を設定します。

FPK n キー入力割り込みポートにはチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合はサンプリング時間を、SCTK n [2:0]によって各FPKグループごとに選択します。

表26.8.8 チャタリングフィルタの設定

SCTK n [2:0]	フィルタ サンプリング時間	除去される 無効なパルス幅	入力される 有効パルス幅
0x7	64/fPCLK	$< 64/fPCLK \times 2$	$> 64/fPCLK \times 4$
0x6	32/fPCLK	$< 32/fPCLK \times 2$	$> 32/fPCLK \times 4$
0x5	16/fPCLK	$< 16/fPCLK \times 2$	$> 16/fPCLK \times 4$
0x4	8/fPCLK	$< 8/fPCLK \times 2$	$> 8/fPCLK \times 4$
0x3	4/fPCLK	$< 4/fPCLK \times 2$	$> 4/fPCLK \times 4$
0x2	2/fPCLK	$< 2/fPCLK \times 2$	$> 2/fPCLK \times 4$
0x1	1/fPCLK	$< 1/fPCLK \times 2$	$> 1/fPCLK \times 4$
0x0	フィルタ無効		

(デフォルト: 0x0)

注: • フィルタのクロックにはプリスケアラ (PSC Ch.2) 出力を使用します。チャタリングフィルタを使用するには、プリスケアラ (PSC Ch.2) を動作させておく必要があります。不要なキー入力割り込みが発生することがありますので、プリスケアラ (PSC Ch.2) がOffの状態ではチャタリングフィルタを有効にしないでください。

- SLEEPモード時はクロックが供給されないため、チャタリングフィルタも停止します。キー入力割り込みによってSLEEPモードが解除できるようにするため、フィルタを有効に設定している場合でも、SLEEP中はCPUがSLEEPモードから起床するまでチャタリングフィルタは自動的に無効になります (バイパスされます)。
- 割り込みを許可した状態でGPIO_FPK01_CHATレジスタを設定すると、不要なキー入力割り込みが発生する場合があります。GPIO_FPK01_CHATレジスタは割り込みを禁止して設定してください。また、GPIO_FPK01_CHATレジスタの設定後は、割り込みを許可する前に必ずキー入力割り込みフラグをクリアしてください。

このとき、GPIO_FPK01_CHATレジスタの設定から割り込みフラグをクリアするまでに少なくとも下記の待ち時間を取る必要があります。

$$\text{待ち時間}[\mu\text{s}] = \text{フィルタサンプリング時間}[\mu\text{s}] \times 4$$

例: フィルタサンプリング時間 = $64/f_{\text{CLK}}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ の場合

$$\text{待ち時間} = 64 \times 4 / 32 = 8[\mu\text{s}]$$

GPIO_FPK nn _CHATレジスタを0x7に設定した場合、8 μs 以上経過した後に割り込みフラグをクリアしてください。

P0[3:0] Port Function Select Register (PMUX_P0_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[3:0] Port Function Select Register (PMUX_P0_03)	0x300800 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_D0			
					0x2	REMC_I			
					0x1	USI_CK0			
		D5–4	CFP02[1:0]	P02 port function select	0x0	P03			
					CFP02[1:0]	Function	0x0	R/W	
					0x3	#HIF_CS			
					0x2	SCLK			
		D3–2	CFP01[1:0]	P01 port function select	0x1	USI_CS0			
					0x0	P02			
					CFP01[1:0]	Function	0x0	R/W	
					0x3	#HIF_RD			
		D1–0	CFP00[1:0]	P00 port function select	0x2	SOUT			
					0x1	USI_DO0			
					0x0	P01			
					CFP00[1:0]	Function	0x0	R/W	
0x3	#HIF_WR								
0x2	SIN								
0x1	USI_DI0								
D1–0	CFP00[1:0]	P00 port function select	0x0	P00					

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP03[1:0]: P03 Port Function Select Bits

0x3 (R/W): HIF_D0 (HIF)
 0x2 (R/W): REMC_I (REMC)
 0x1 (R/W): USI_CK0 (USI Ch.0)
 0x0 (R/W): P03 (GPIO) (デフォルト)

D[5:4] CFP02[1:0]: P02 Port Function Select Bits

0x3 (R/W): #HIF_CS (HIF)
 0x2 (R/W): SCLK (UART)
 0x1 (R/W): USI_CS0 (USI Ch.0)
 0x0 (R/W): P02 (GPIO) (デフォルト)

D[3:2] CFP01[1:0]: P01 Port Function Select Bits

0x3 (R/W): #HIF_RD (HIF)
 0x2 (R/W): SOUT (UART)
 0x1 (R/W): USI_DO0 (USI Ch.0)
 0x0 (R/W): P01 (GPIO) (デフォルト)

D[1:0] CFP00[1:0]: P00 Port Function Select Bits

0x3 (R/W): #HIF_WR (HIF)
 0x2 (R/W): SIN (UART)
 0x1 (R/W): USI_DIO (USI Ch.0)
 0x0 (R/W): P00 (GPIO) (デフォルト)

P0[7:4] Port Function Select Register (PMUX_P0_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[7:4] Port Function Select Register (PMUX_P0_47)	0x300801 (8 bits)	D7–6	CFP07[1:0]	P07 port function select	CFP07[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_D4			
					0x2	T16A_ATMB_1			
					0x1	USI_CK1			
					0x0	P07			
		D5–4	CFP06[1:0]	P06 port function select	CFP06[1:0]	Function	0x0	R/W	
					0x3	HIF_D3			
					0x2	T16A_ATMA_1			
					0x1	USI_CS1			
					0x0	P06			
		D3–2	CFP05[1:0]	P05 port function select	CFP05[1:0]	Function	0x0	R/W	
					0x3	HIF_D2			
					0x2	T16A_ATMB_0			
					0x1	USI_DO1			
					0x0	P05			
		D1–0	CFP04[1:0]	P04 port function select	CFP04[1:0]	Function	0x0	R/W	
					0x3	HIF_D1			
					0x2	T16A_ATMA_0			
					0x1	USI_D11			
					0x0	P04			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP07[1:0]: P07 Port Function Select Bits

0x3 (R/W): HIF_D4 (HIF)
 0x2 (R/W): T16A_ATMB_1 (T16A6 Ch.1)
 0x1 (R/W): USI_CK1 (USI Ch.1)
 0x0 (R/W): P07 (GPIO) (デフォルト)

D[5:4] CFP06[1:0]: P06 Port Function Select Bits

0x3 (R/W): HIF_D3 (HIF)
 0x2 (R/W): T16A_ATMA_1 (T16A6 Ch.1)
 0x1 (R/W): USI_CS1 (USI Ch.1)
 0x0 (R/W): P06 (GPIO) (デフォルト)

D[3:2] CFP05[1:0]: P05 Port Function Select Bits

0x3 (R/W): HIF_D2 (HIF)
 0x2 (R/W): T16A_ATMB_0 (T16A6 Ch.0)
 0x1 (R/W): USI_DO1 (USI Ch.1)
 0x0 (R/W): P05 (GPIO) (デフォルト)

D[1:0] CFP04[1:0]: P04 Port Function Select Bits

0x3 (R/W): HIF_D1 (HIF)
 0x2 (R/W): T16A_ATMA_0 (T16A6 Ch.0)
 0x1 (R/W): USI_DI1 (USI Ch.1)
 0x0 (R/W): P04 (GPIO) (デフォルト)

P1[3:0] Port Function Select Register (PMUX_P1_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1[3:0] Port Function Select Register (PMUX_P1_03)	0x300802 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_D6			
					0x2	PWM_L0			
					0x1	I2S_WSO			
		D5–4	CFP12[1:0]	P12 port function select	0x0	P13			
					CFP12[1:0]	Function	0x0	R/W	
					0x3	HIF_D5			
					0x2	PWM_H0			
		D3–2	CFP11[1:0]	P11 port function select	0x1	I2S_SDO			
					0x0	P12			
					CFP11[1:0]	Function	0x0	R/W	
					0x3	SOUT			
		D1–0	CFP10[1:0]	P10 port function select	0x2	P11			
					0x1	TFT_CTL1			
					0x0	A25			
					CFP10[1:0]	Function	0x0	R/W	
0x3	CMU_CLK								
0x2	P10								
0x1	TFT_CTL0								
D1–0	CFP10[1:0]	P10 port function select	0x0	A24					

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP13[1:0]: P13 Port Function Select Bits

0x3 (R/W): HIF_D6 (HIF)
 0x2 (R/W): PWM_L0 (T16P Ch.0)
 0x1 (R/W): I2S_WSO (I2S)
 0x0 (R/W): P13 (GPIO) (デフォルト)

D[5:4] CFP12[1:0]: P12 Port Function Select Bits

0x3 (R/W): HIF_D5 (HIF)
 0x2 (R/W): PWM_H0 (T16P Ch.0)
 0x1 (R/W): I2S_SDO (I2S)
 0x0 (R/W): P12 (GPIO) (デフォルト)

D[3:2] CFP11[1:0]: P11 Port Function Select Bits

0x3 (R/W): SOUT (UART)
 0x2 (R/W): P11 (GPIO)
 0x1 (R/W): TFT_CTL1 (LCDC)
 0x0 (R/W): A25 (SRAMC) (デフォルト)

D[1:0] CFP10[1:0]: P10 Port Function Select Bits

0x3 (R/W): CMU_CLK (CMU)
 0x2 (R/W): P10 (GPIO)
 0x1 (R/W): TFT_CTL0 (LCDC)
 0x0 (R/W): A24 (SRAMC) (デフォルト)

P1[7:4] Port Function Select Register (PMUX_P1_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1[7:4] Port Function Select Register (PMUX_P1_47)	0x300803 (8 bits)	D7–6	CFP17[1:0]	P17 port function select	CFP17[1:0]	Function	0x0	R/W	Write-protected * When TRACE/ MISC_TRACE register = 0 (default)
					0x3	#NAND_RD			
					0x2	REMC_O			
					0x1	#CE5			
					0x0	P17			
		D5–4	CFP16[1:0]	P16 port function select	–	DPCO *	0x0	R/W	
					CFP16[1:0]	Function			
					0x3	#NAND_WR			
					0x2	CMU_CLK			
					0x1	#CE4			
		D3–2	CFP15[1:0]	P15 port function select	0x0	P16	0x0	R/W	
					–	DST1 *			
					CFP15[1:0]	Function			
					0x3	#HIF_WAIT			
					0x2	PWM_L1			
		D1–0	CFP14[1:0]	P14 port function select	0x1	I2S_MCLKO	0x0	R/W	
0x0	P15								
–	DST0 *								
CFP14[1:0]	Function								
0x3	HIF_D7								
	0x2	PWM_H1							
	0x1	I2S_SCLKO							
	0x0	P14							

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP17[1:0]: P17 Port Function Select Bits

0x3 (R/W): #NAND_RD (CARD)

0x2 (R/W): REMC_O (REMC)

0x1 (R/W): #CE5 (SRAMC)

0x0 (R/W): P17 (GPIO) (デフォルト)

TRACE/MISC_TRACEレジスタ = 0 (デフォルト)の場合、P17端子はデバッグ用のDPCO端子として機能します。

D[5:4] CFP16[1:0]: P16 Port Function Select Bits

0x3 (R/W): #NAND_WR (CARD)

0x2 (R/W): CMU_CLK (CMU)

0x1 (R/W): #CE4 (SRAMC)

0x0 (R/W): P16 (GPIO) (デフォルト)

TRACE/MISC_TRACEレジスタ = 0 (デフォルト)の場合、P16端子はデバッグ用のDST1端子として機能します。

D[3:2] CFP15[1:0]: P15 Port Function Select Bits

0x3 (R/W): #HIF_WAIT (HIF)

0x2 (R/W): PWM_L1 (T16P Ch.1)

0x1 (R/W): I2S_MCLKO (I2S)

0x0 (R/W): P15 (GPIO) (デフォルト)

TRACE/MISC_TRACEレジスタ = 0 (デフォルト)の場合、P15端子はデバッグ用のDST0端子として機能します。

D[1:0] CFP14[1:0]: P14 Port Function Select Bits

0x3 (R/W): HIF_D7 (HIF)

0x2 (R/W): PWM_H1 (T16P Ch.1)

0x1 (R/W): I2S_SCLKO (I2S)

0x0 (R/W): P14 (GPIO) (デフォルト)

P2[1:0] Port Function Select Register (PMUX_P2_01)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P2[1:0] Port Function Select Register (PMUX_P2_01)	0x300804 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	CFP21[1:0]	P21 port function select	CFP21[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P21		
					0x0	SDCLK		
		D1-0	CFP20[1:0]	P20 port function select	CFP20[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P20		
					0x0	SDCKE		

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:4] Reserved

D[3:2] CFP21[1:0]: P21 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): P21 (GPIO)

0x0 (R/W): SDCLK (SDRAMC) (デフォルト)

D[1:0] CFP20[1:0]: P20 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): P20 (GPIO)

0x0 (R/W): SDCKE (SDRAMC) (デフォルト)

P3[3:0] Port Function Select Register (PMUX_P3_03)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P3[3:0] Port Function Select Register (PMUX_P3_03)	0x300806 (8 bits)	D7-6	CFP33[1:0]	P33 port function select	CFP33[1:0]	Function	0x0	R/W
					0x3	HIF_A3		
					0x2	T16A_ATMB_3		
					0x1	I2S_MCLKI		
					0x0	P33		
		D5-4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W
					0x3	HIF_A2		
					0x2	T16A_ATMA_3		
					0x1	I2S_SCLKI		
					0x0	P32		
		D3-2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W
					0x3	HIF_A1		
					0x2	T16A_ATMB_2		
					0x1	I2S_WSI		
					0x0	P31		
		D1-0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W
					0x3	HIF_A0		
					0x2	T16A_ATMA_2		
					0x1	I2S_SDI		
					0x0	P30		

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP33[1:0]: P33 Port Function Select Bits

0x3 (R/W): HIF_A3 (HIF)

0x2 (R/W): T16A_ATMB_3 (T16A6 Ch.3)

0x1 (R/W): I2S_MCLKI (I2S)

0x0 (R/W): P33 (GPIO) (デフォルト)

D[5:4] CFP32[1:0]: P32 Port Function Select Bits

0x3 (R/W): HIF_A2 (HIF)
 0x2 (R/W): T16A_ATMA_3 (T16A6 Ch.3)
 0x1 (R/W): I2S_SCLKI (I2S)
 0x0 (R/W): P32 (GPIO) (デフォルト)

D[3:2] CFP31[1:0]: P31 Port Function Select Bits

0x3 (R/W): HIF_A1 (HIF)
 0x2 (R/W): T16A_ATMA_2 (T16A6 Ch.2)
 0x1 (R/W): I2S_WSI (I2S)
 0x0 (R/W): P31 (GPIO) (デフォルト)

D[1:0] CFP30[1:0]: P30 Port Function Select Bits

0x3 (R/W): HIF_A0 (HIF)
 0x2 (R/W): T16A_ATMA_2 (T16A6 Ch.2)
 0x1 (R/W): I2S_SDI (I2S)
 0x0 (R/W): P30 (GPIO) (デフォルト)

P3[6:4] Port Function Select Register (PMUX_P3_46)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P3[6:4] Port Function Select Register (PMUX_P3_46)	0x300807 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	CFP36[1:0]	P36 port function select	CFP36[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P36		
					0x0	DST2		
		D3-2	CFP35[1:0]	P35 port function select	CFP35[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P35		
					0x0	DSIO		
		D1-0	CFP34[1:0]	P34 port function select	CFP34[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P34		
					0x0	DCLK		

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] Reserved**D[5:4] CFP36[1:0]: P36 Port Function Select Bits**

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P36 (GPIO)
 0x0 (R/W): DST2 (DBG) (デフォルト)

D[3:2] CFP35[1:0]: P35 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P35 (GPIO)
 0x0 (R/W): DSIO (DBG) (デフォルト)

D[1:0] CFP34[1:0]: P34 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P34 (GPIO)
 0x0 (R/W): DCLK (DBG) (デフォルト)

P4[2:0] Port Function Select Register (PMUX_P4_02)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P4[2:0] Port Function Select Register (PMUX_P4_02)	0x300808 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.
		D5–4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	TFT_CTL3			
					0x1	P42			
					0x0	A23			
		D3–2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TFT_CTL2			
					0x1	P41			
					0x0	A22			
		D1–0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P40			
					0x0	A21			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] Reserved

D[5:4] CFP42[1:0]: P42 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TFT_CTL3 (LCDC)

0x1 (R/W): P42 (GPIO)

0x0 (R/W): A23 (SRAMC) (デフォルト)

D[3:2] CFP41[1:0]: P41 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TFT_CTL2 (LCDC)

0x1 (R/W): P41 (GPIO)

0x0 (R/W): A22 (SRAMC) (デフォルト)

D[1:0] CFP40[1:0]: P40 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): P40 (GPIO)

0x0 (R/W): A21 (SRAMC) (デフォルト)

P5[3:0] Port Function Select Register (PMUX_P5_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P5[3:0] Port Function Select Register (PMUX_P5_03)	0x30080a (8 bits)	D7–6	CFP53[1:0]	P53 port function select	CFP53[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P53			
		D5–4	CFP52[1:0]	P52 port function select	0x0	#CE10	0x0	R/W	
					CFP52[1:0]	Function			
					0x3	reserved			
					0x2	reserved			
		D3–2	CFP51[1:0]	P51 port function select	0x1	P52	0x0	R/W	
					0x0	#CE9			
					CFP51[1:0]	Function			
					0x3	reserved			
		D1–0	CFP50[1:0]	P50 port function select	0x2	#HIF_INT	0x0	R/W	
					0x1	P51			
					0x0	#CE8			
					CFP50[1:0]	Function			
			0x3	reserved					
			0x2	#SDCS					
			0x1	P50					
			0x0	#CE7					

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP53[1:0]: P53 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P53 (GPIO)
 0x0 (R/W): #CE10 (SRAMC) (デフォルト)

D[5:4] CFP52[1:0]: P52 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P52 (GPIO)
 0x0 (R/W): #CE9 (SRAMC) (デフォルト)

D[3:2] CFP51[1:0]: P51 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #HIF_INT (HIF)
 0x1 (R/W): P51 (GPIO)
 0x0 (R/W): #CE8 (SRAMC) (デフォルト)

D[1:0] CFP50[1:0]: P50 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #SDCS (SDRAMC)
 0x1 (R/W): P50 (GPIO)
 0x0 (R/W): #CE7 (SRAMC) (デフォルト)

P5[6:4] Port Function Select Register (PMUX_P5_46)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P5[6:4] Port Function Select Register (PMUX_P5_46)	0x30080b (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	CFP56[1:0]	P56 port function select	CFP56[1:0] Function	0x0	R/W	Write-protected
					0x3 reserved			
					0x2 reserved			
					0x1 P56			
					0x0 #WRH/#BSH			
		D3-2	CFP55[1:0]	P55 port function select	CFP55[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 reserved			
					0x1 P55			
					0x0 #WRL			
		D1-0	CFP54[1:0]	P54 port function select	CFP54[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 reserved			
					0x1 P54			
					0x0 #RD			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] Reserved**D[5:4] CFP56[1:0]: P56 Port Function Select Bits**

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P56 (GPIO)
 0x0 (R/W): #WRH/#BSH (SRAMC) (デフォルト)

D[3:2] CFP55[1:0]: P55 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P55 (GPIO)
 0x0 (R/W): #WRL (SRAMC) (デフォルト)

D[1:0] CFP54[1:0]: P54 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): P54 (GPIO)

0x0 (R/W): #RD (SRAMC) (デフォルト)

P60 Port Function Select Register (PMUX_P6_0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P60 Port Function Select Register (PMUX_P6_0)	0x30080c (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CFP60[1:0]	P60 port function select	CFP60[1:0]	Function	0x0	R/W
					0x3	#WDT_NMI		
					0x2	WDT_CLK		
					0x1	#WAIT		
					0x0	P60		

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:2] Reserved**D[1:0] CFP60[1:0]: P60 Port Function Select Bits**

0x3 (R/W): #WDT_NMI (WDT)

0x2 (R/W): WDT_CLK (WDT)

0x1 (R/W): #WAIT (SRAMC)

0x0 (R/W): P60 (GPIO) (デフォルト)

P7[3:0] Port Function Select Register (PMUX_P7_03)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P7[3:0] Port Function Select Register (PMUX_P7_03)	0x30080e (8 bits)	D7-6	CFP73[1:0]	P73 port function select	CFP73[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	I2S_SCLKI		
					0x1	AIN3		
					0x0	P73		
		D5-4	CFP72[1:0]	P72 port function select	CFP72[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	EXCL1		
					0x1	AIN2		
					0x0	P72		
		D3-2	CFP71[1:0]	P71 port function select	CFP71[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	I2S_WSI		
					0x1	AIN1		
					0x0	P71		
		D1-0	CFP70[1:0]	P70 port function select	CFP70[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	EXCL0		
					0x1	AIN0		
					0x0	P70		

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP73[1:0]: P73 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): I2S_SCLKI (I2S)

0x1 (R/W): AIN3 (ADC10)

0x0 (R/W): P73 (GPIO) (デフォルト)

D[5:4] CFP72[1:0]: P72 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): EXCL1 (T16A6 Ch. 2/3, T16P Ch.1)

0x1 (R/W): AIN2 (ADC10)

0x0 (R/W): P72 (GPIO) (デフォルト)

D[3:2] CFP71[1:0]: P71 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): I2S_WSI (I2S)
 0x1 (R/W): AIN1 (ADC10)
 0x0 (R/W): P71 (GPIO) (デフォルト)

D[1:0] CFP70[1:0]: P70 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): EXCL0 (T16A6 Ch.0/I, T16P Ch.0)
 0x1 (R/W): AIN0 (ADC10)
 0x0 (R/W): P70 (GPIO) (デフォルト)

P7[7:4] Port Function Select Register (PMUX_P7_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P7[7:4] Port Function Select Register (PMUX_P7_47)	0x30080f (8 bits)	D7–6	CFP77[1:0]	P77 port function select	CFP77[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	AIN7			
					0x0	P77			
		D5–4	CFP76[1:0]	P76 port function select	CFP76[1:0]	Function	0x0	R/W	
					0x3	#ADTRIG			
					0x2	#WAIT			
					0x1	AIN6			
					0x0	P76			
		D3–2	CFP75[1:0]	P75 port function select	CFP75[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	I2S_MCLKI			
					0x1	AIN5			
					0x0	P75			
		D1–0	CFP74[1:0]	P74 port function select	CFP74[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	WDT_EXCL			
0x1	AIN4								
0x0	P74								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP77[1:0]: P77 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): AIN7 (ADC10)
 0x0 (R/W): P77 (GPIO) (デフォルト)

D[5:4] CFP76[1:0]: P76 Port Function Select Bits

0x3 (R/W): #ADTRIG (ADC10)
 0x2 (R/W): #WAIT (SRAMC)
 0x1 (R/W): AIN6 (ADC10)
 0x0 (R/W): P76 (GPIO) (デフォルト)

D[3:2] CFP75[1:0]: P75 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): I2S_MCLKI (I2S)
 0x1 (R/W): AIN5 (ADC10)
 0x0 (R/W): P75 (GPIO) (デフォルト)

D[1:0] CFP74[1:0]: P74 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): WDT_EXCL (WDT)
 0x1 (R/W): AIN4 (ADC10)
 0x0 (R/W): P74 (GPIO) (デフォルト)

P8[3:0] Port Function Select Register (PMUX_P8_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P8[3:0] Port Function Select Register (PMUX_P8_03)	0x300810 (8 bits)	D7–6	CFP83[1:0]	P83 port function select	CFP83[1:0]	Function	0x0	R/W	Write-protected
					0x3	MMCD3			
					0x2	USIL_CK			
					0x1	FPDRDY			
					0x0	P83			
		D5–4	CFP82[1:0]	P82 port function select	CFP82[1:0]	Function	0x0	R/W	
					0x3	MMCD2			
					0x2	USIL_CS			
					0x1	FPSHIFT			
					0x0	P82			
		D3–2	CFP81[1:0]	P81 port function select	CFP81[1:0]	Function	0x0	R/W	
					0x3	MMCD1			
					0x2	USIL_DO			
					0x1	FPLINE			
					0x0	P81			
		D1–0	CFP80[1:0]	P80 port function select	CFP80[1:0]	Function	0x0	R/W	
					0x3	MMCD0			
					0x2	USIL_DI			
					0x1	FPFRAME			
					0x0	P80			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP83[1:0]: P83 Port Function Select Bits

0x3 (R/W): MMCD3 (SD_MMC)
 0x2 (R/W): USIL_CK (USIL)
 0x1 (R/W): FPDRDY (LCDC)
 0x0 (R/W): P83 (GPIO) (デフォルト)

D[5:4] CFP82[1:0]: P82 Port Function Select Bits

0x3 (R/W): MMCD2 (SD_MMC)
 0x2 (R/W): USIL_CS (USIL)
 0x1 (R/W): FPSHIFT (LCDC)
 0x0 (R/W): P82 (GPIO) (デフォルト)

D[3:2] CFP81[1:0]: P81 Port Function Select Bits

0x3 (R/W): MMCD1 (SD_MMC)
 0x2 (R/W): USIL_DO (USIL)
 0x1 (R/W): FPLINE (LCDC)
 0x0 (R/W): P81 (GPIO) (デフォルト)

D[1:0] CFP80[1:0]: P80 Port Function Select Bits

0x3 (R/W): MMCD0 (SD_MMC)
 0x2 (R/W): USIL_DI (USIL)
 0x1 (R/W): FPFRAME (LCDC)
 0x0 (R/W): P80 (GPIO) (デフォルト)

P9[3:0] Port Function Select Register (PMUX_P9_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P9[3:0] Port Function Select Register (PMUX_P9_03)	0x300812 (8 bits)	D7–6	CFP93[1:0]	P93 port function select	CFP93[1:0]	Function	0x0	R/W	Write-protected
					0x3	#NAND_RD			
					0x2	USIL_LCD_D3			
					0x1	FPDAT3			
					0x0	P93			
		D5–4	CFP92[1:0]	P92 port function select	CFP92[1:0]	Function	0x0	R/W	
					0x3	#NAND_WR			
					0x2	USIL_LCD_D2			
					0x1	FPDAT2			
					0x0	P92			
		D3–2	CFP91[1:0]	P91 port function select	CFP91[1:0]	Function	0x0	R/W	
					0x3	MMCLK			
					0x2	USIL_LCD_D1			
					0x1	FPDAT1			
					0x0	P91			
		D1–0	CFP90[1:0]	P90 port function select	CFP90[1:0]	Function	0x0	R/W	
0x3	MMCCMD								
0x2	USIL_LCD_D0								
0x1	FPDAT0								
0x0	P90								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP93[1:0]: P93 Port Function Select Bits

0x3 (R/W): #NAND_RD (CARD)
 0x2 (R/W): USIL_LCD_D3 (USIL)
 0x1 (R/W): FPDAT3 (LCDC)
 0x0 (R/W): P93 (GPIO) (デフォルト)

D[5:4] CFP92[1:0]: P92 Port Function Select Bits

0x3 (R/W): #NAND_WR (CARD)
 0x2 (R/W): USIL_LCD_D2 (USIL)
 0x1 (R/W): FPDAT2 (LCDC)
 0x0 (R/W): P92 (GPIO) (デフォルト)

D[3:2] CFP91[1:0]: P91 Port Function Select Bits

0x3 (R/W): MMCLK (SD_MMC)
 0x2 (R/W): USIL_LCD_D1 (USIL)
 0x1 (R/W): FPDAT1 (LCDC)
 0x0 (R/W): P91 (GPIO) (デフォルト)

D[1:0] CFP90[1:0]: P90 Port Function Select Bits

0x3 (R/W): MMCCMD (SD_MMC)
 0x2 (R/W): USIL_LCD_D0 (USIL)
 0x1 (R/W): FPDAT0 (LCDC)
 0x0 (R/W): P90 (GPIO) (デフォルト)

P9[7:4] Port Function Select Register (PMUX_P9_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P9[7:4] Port Function Select Register (PMUX_P9_47)	0x300813 (8 bits)	D7–6	CFP97[1:0]	P97 port function select	CFP97[1:0]	Function	0x0	R/W	Write-protected
					0x3	USI_CK2			
					0x2	USIL_LCD_D7			
					0x1	FPDAT7			
					0x0	P97			
		D5–4	CFP96[1:0]	P96 port function select	CFP96[1:0]	Function	0x0	R/W	
					0x3	USI_CS2			
					0x2	USIL_LCD_D6			
					0x1	FPDAT6			
					0x0	P96			
		D3–2	CFP95[1:0]	P95 port function select	CFP95[1:0]	Function	0x0	R/W	
					0x3	USI_DO2			
					0x2	USIL_LCD_D5			
					0x1	FPDAT5			
					0x0	P95			
		D1–0	CFP94[1:0]	P94 port function select	CFP94[1:0]	Function	0x0	R/W	
0x3	USI_DI2								
0x2	USIL_LCD_D4								
0x1	FPDAT4								
0x0	P94								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFP97[1:0]: P97 Port Function Select Bits

0x3 (R/W): USI_CK2 (USI Ch.2)
 0x2 (R/W): USIL_LCD_D7 (USIL)
 0x1 (R/W): FPDAT7 (LCDC)
 0x0 (R/W): P97 (GPIO) (デフォルト)

D[5:4] CFP96[1:0]: P96 Port Function Select Bits

0x3 (R/W): USI_CS2 (USI Ch.2)
 0x2 (R/W): USIL_LCD_D6 (USIL)
 0x1 (R/W): FPDAT6 (LCDC)
 0x0 (R/W): P96 (GPIO) (デフォルト)

D[3:2] CFP95[1:0]: P95 Port Function Select Bits

0x3 (R/W): USI_DO2 (USI Ch.2)
 0x2 (R/W): USIL_LCD_D5 (USIL)
 0x1 (R/W): FPDAT5 (LCDC)
 0x0 (R/W): P95 (GPIO) (デフォルト)

D[1:0] CFP94[1:0]: P94 Port Function Select Bits

0x3 (R/W): USI_DI2 (USI Ch.2)
 0x2 (R/W): USIL_LCD_D4 (USIL)
 0x1 (R/W): FPDAT4 (LCDC)
 0x0 (R/W): P94 (GPIO) (デフォルト)

PA[3:0] Port Function Select Register (PMUX_PA_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA[3:0] Port Function Select Register (PMUX_PA_03)	0x300814 (8 bits)	D7–6	CFPA3[1:0]	PA3 port function select	CFPA3[1:0]	Function	0x0	R/W	Write-protected
					0x3	FPDAT19			
					0x2	MMCD3			
					0x1	HIF_D11			
					0x0	PA3			
		D5–4	CFPA2[1:0]	PA2 port function select	CFPA2[1:0]	Function	0x0	R/W	
					0x3	FPDAT18			
					0x2	MMCD2			
					0x1	HIF_D10			
					0x0	PA2			
		D3–2	CFPA1[1:0]	PA1 port function select	CFPA1[1:0]	Function	0x0	R/W	
					0x3	FPDAT17			
					0x2	MMCD1			
					0x1	HIF_D9			
					0x0	PA1			
		D1–0	CFPA0[1:0]	PA0 port function select	CFPA0[1:0]	Function	0x0	R/W	
0x3	FPDAT16								
0x2	MMCD0								
0x1	HIF_D8								
0x0	PA0								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPA3[1:0]: PA3 Port Function Select Bits

0x3 (R/W): FPDAT19 (LCDC)
 0x2 (R/W): MMCD3 (SD_MMC)
 0x1 (R/W): HIF_D11 (HIF)
 0x0 (R/W): PA3 (GPIO) (デフォルト)

D[5:4] CFPA2[1:0]: PA2 Port Function Select Bits

0x3 (R/W): FPDAT18 (LCDC)
 0x2 (R/W): MMCD2 (SD_MMC)
 0x1 (R/W): HIF_D10 (HIF)
 0x0 (R/W): PA2 (GPIO) (デフォルト)

D[3:2] CFPA1[1:0]: PA1 Port Function Select Bits

0x3 (R/W): FPDAT17 (LCDC)
 0x2 (R/W): MMCD1 (SD_MMC)
 0x1 (R/W): HIF_D9 (HIF)
 0x0 (R/W): PA1 (GPIO) (デフォルト)

D[1:0] CFPA0[1:0]: PA0 Port Function Select Bits

0x3 (R/W): FPDAT16 (LCDC)
 0x2 (R/W): MMCD0 (SD_MMC)
 0x1 (R/W): HIF_D8 (HIF)
 0x0 (R/W): PA0 (GPIO) (デフォルト)

PA[7:4] Port Function Select Register (PMUX_PA_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA[7:4] Port Function Select Register (PMUX_PA_47)	0x300815 (8 bits)	D7–6	CFPA7[1:0]	PA7 port function select	CFPA7[1:0]	Function	0x0	R/W	Write-protected
					0x3	FPDAT23			
					0x2	T16A_ATMB_0			
					0x1	HIF_D15			
					0x0	PA7			
		D5–4	CFPA6[1:0]	PA6 port function select	CFPA6[1:0]	Function	0x0	R/W	
					0x3	FPDAT22			
					0x2	T16A_ATMA_0			
					0x1	HIF_D14			
					0x0	PA6			
		D3–2	CFPA5[1:0]	PA5 port function select	CFPA5[1:0]	Function	0x0	R/W	
					0x3	FPDAT21			
					0x2	MMCCCLK			
					0x1	HIF_D13			
					0x0	PA5			
		D1–0	CFPA4[1:0]	PA4 port function select	CFPA4[1:0]	Function	0x0	R/W	
					0x3	FPDAT20			
					0x2	MMCCMD			
					0x1	HIF_D12			
					0x0	PA4			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPA7[1:0]: PA7 Port Function Select Bits

0x3 (R/W): FPDAT23 (LCDC)

0x2 (R/W): T16A_ATMB_0 (T16A6 Ch.0)

0x1 (R/W): HIF_D15 (HIF)

0x0 (R/W): PA7 (GPIO) (デフォルト)

D[5:4] CFPA6[1:0]: PA6 Port Function Select Bits

0x3 (R/W): FPDAT22 (LCDC)

0x2 (R/W): T16A_ATMA_0 (T16A6 Ch.0)

0x1 (R/W): HIF_D14 (HIF)

0x0 (R/W): PA6 (GPIO) (デフォルト)

D[3:2] CFPA5[1:0]: PA5 Port Function Select Bits

0x3 (R/W): FPDAT21 (LCDC)

0x2 (R/W): MMCCCLK (SD_MMC)

0x1 (R/W): HIF_D13 (HIF)

0x0 (R/W): PA5 (GPIO) (デフォルト)

D[1:0] CFPA4[1:0]: PA4 Port Function Select Bits

0x3 (R/W): FPDAT20 (LCDC)

0x2 (R/W): MMCCMD (SD_MMC)

0x1 (R/W): HIF_D12 (HIF)

0x0 (R/W): PA4 (GPIO) (デフォルト)

PB[3:0] Port Function Select Register (PMUX_PB_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB[3:0] Port Function Select Register (PMUX_PB_03)	0x300816 (8 bits)	D7–6	CFPB3[1:0]	PB3 port function select	CFPB3[1:0]	Function	0x0	R/W	Write-protected
					0x3	MMCD3			
					0x2	REMC_I			
					0x1	FPDAT11			
					0x0	PB3			
		D5–4	CFPB2[1:0]	PB2 port function select	CFPB2[1:0]	Function	0x0	R/W	
					0x3	MMCD2			
					0x2	REMC_O			
					0x1	FPDAT10			
					0x0	PB2			
		D3–2	CFPB1[1:0]	PB1 port function select	CFPB1[1:0]	Function	0x0	R/W	
					0x3	MMCD1			
					0x2	#NAND_RD			
					0x1	FPDAT9			
					0x0	PB1			
		D1–0	CFPB0[1:0]	PB0 port function select	CFPB0[1:0]	Function	0x0	R/W	
0x3	MMCD0								
0x2	#NAND_WR								
0x1	FPDAT8								
0x0	PB0								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPB3[1:0]: PB3 Port Function Select Bits

0x3 (R/W): MMCD3 (SD_MMC)
 0x2 (R/W): REMC_I (REMC)
 0x1 (R/W): FPDAT11 (LCDC)
 0x0 (R/W): PB3 (GPIO) (デフォルト)

D[5:4] CFPB2[1:0]: PB2 Port Function Select Bits

0x3 (R/W): MMCD2 (SD_MMC)
 0x2 (R/W): REMC_O (REMC)
 0x1 (R/W): FPDAT10 (LCDC)
 0x0 (R/W): PB2 (GPIO) (デフォルト)

D[3:2] CFPB1[1:0]: PB1 Port Function Select Bits

0x3 (R/W): MMCD1 (SD_MMC)
 0x2 (R/W): #NAND_RD (CARD)
 0x1 (R/W): FPDAT9 (LCDC)
 0x0 (R/W): PB1 (GPIO) (デフォルト)

D[1:0] CFPB0[1:0]: PB0 Port Function Select Bits

0x3 (R/W): MMCD0 (SD_MMC)
 0x2 (R/W): #NAND_WR (CARD)
 0x1 (R/W): FPDAT8 (LCDC)
 0x0 (R/W): PB0 (GPIO) (デフォルト)

PB[7:4] Port Function Select Register (PMUX_PB_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB[7:4] Port Function Select Register (PMUX_PB_47)	0x300817 (8 bits)	D7–6	CFPB7[1:0]	PB7 port function select	CFPB7[1:0]	Function	0x0	R/W	Write-protected
					0x3	T16A_ATMB_1			
					0x2	USI_CK2			
					0x1	FPDAT15			
					0x0	PB7			
		D5–4	CFPB6[1:0]	PB6 port function select	CFPB6[1:0]	Function	0x0	R/W	
					0x3	T16A_ATMA_1			
					0x2	USI_CS2			
					0x1	FPDAT14			
					0x0	PB6			
		D3–2	CFPB5[1:0]	PB5 port function select	CFPB5[1:0]	Function	0x0	R/W	
					0x3	MMCCCLK			
					0x2	USI_DO2			
					0x1	FPDAT13			
					0x0	PB5			
		D1–0	CFPB4[1:0]	PB4 port function select	CFPB4[1:0]	Function	0x0	R/W	
0x3	MMCCMD								
0x2	USI_DI2								
0x1	FPDAT12								
0x0	PB4								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPB7[1:0]: PB7 Port Function Select Bits

0x3 (R/W): T16A_ATMB_1 (T16A6 Ch.1)

0x2 (R/W): USI_CK2 (USI Ch.2)

0x1 (R/W): FPDAT15 (LCDC)

0x0 (R/W): PB7 (GPIO) (デフォルト)

D[5:4] CFPB6[1:0]: PB6 Port Function Select Bits

0x3 (R/W): T16A_ATMA_1 (T16A6 Ch.1)

0x2 (R/W): USI_CS2 (USI Ch.2)

0x1 (R/W): FPDAT14 (LCDC)

0x0 (R/W): PB6 (GPIO) (デフォルト)

D[3:2] CFPB5[1:0]: PB5 Port Function Select Bits

0x3 (R/W): MMCCCLK (SD_MMC)

0x2 (R/W): USI_DO2 (USI Ch.2)

0x1 (R/W): FPDAT13 (LCDC)

0x0 (R/W): PB5 (GPIO) (デフォルト)

D[1:0] CFPB4[1:0]: PB4 Port Function Select Bits

0x3 (R/W): MMCCMD (SD_MMC)

0x2 (R/W): USI_DI2 (USI Ch.2)

0x1 (R/W): FPDAT12 (LCDC)

0x0 (R/W): PB4 (GPIO) (デフォルト)

PC[3:0] Port Function Select Register (PMUX_PC_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC[3:0] Port Function Select Register (PMUX_PC_03)	0x300818 (8 bits)	D7–6	CFPC3[1:0]	PC3 port function select	CFPC3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	PC3			
					0x0	D11			
		D5–4	CFPC2[1:0]	PC2 port function select	CFPC2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	PC2			
					0x0	D10			
		D3–2	CFPC1[1:0]	PC1 port function select	CFPC1[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	PC1			
					0x0	D9			
		D1–0	CFPC0[1:0]	PC0 port function select	CFPC0[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	PC0								
0x0	D8								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPC3[1:0]: PC3 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): Reserved
0x1 (R/W): PC3 (GPIO)
0x0 (R/W): D11 (SRAMC) (デフォルト)

D[5:4] CFPC2[1:0]: PC2 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): Reserved
0x1 (R/W): PC2 (GPIO)
0x0 (R/W): D10 (SRAMC) (デフォルト)

D[3:2] CFPC1[1:0]: PC1 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): Reserved
0x1 (R/W): PC1 (GPIO)
0x0 (R/W): D9 (SRAMC) (デフォルト)

D[1:0] CFPC0[1:0]: PC0 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): Reserved
0x1 (R/W): PC0 (GPIO)
0x0 (R/W): D8 (SRAMC) (デフォルト)

PC[7:4] Port Function Select Register (PMUX_PC_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC[7:4] Port Function Select Register (PMUX_PC_47)	0x300819 (8 bits)	D7–6	CFPC7[1:0]	PC7 port function select	CFPC7[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	PC7			
		D5–4	CFPC6[1:0]	PC6 port function select	0x0	D15			
					CFPC6[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
		D3–2	CFPC5[1:0]	PC5 port function select	0x1	PC6			
					0x0	D14			
					CFPC5[1:0]	Function	0x0	R/W	
					0x3	reserved			
D1–0	CFPC4[1:0]	PC4 port function select	0x2	reserved					
			0x1	PC4					
			0x0	D13					
			CFPC4[1:0]	Function	0x0	R/W			
0x3	reserved								
0x2	reserved								
0x1	PC4								
D1–0	CFPC4[1:0]	PC4 port function select	0x0	D12					

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPC7[1:0]: PC7 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): PC7 (GPIO)

0x0 (R/W): D15 (SRAMC) (デフォルト)

D[5:4] CFPC6[1:0]: PC6 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): PC6 (GPIO)

0x0 (R/W): D14 (SRAMC) (デフォルト)

D[3:2] CFPC5[1:0]: PC5 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): PC5 (GPIO)

0x0 (R/W): D13 (SRAMC) (デフォルト)

D[1:0] CFPC4[1:0]: PC4 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): PC4 (GPIO)

0x0 (R/W): D12 (SRAMC) (デフォルト)

PD[3:0] Port Function Select Register (PMUX_PD_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PD[3:0] Port Function Select Register (PMUX_PD_03)	0x30081a (8 bits)	D7–6	CFPD3[1:0]	PD3 port function select	CFPD3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	USI_CHK0			
					0x1	FPDAT19			
					0x0	PD3			
		D5–4	CFPD2[1:0]	PD2 port function select	CFPD2[1:0]	Function	0x0	R/W	
					0x3	SCLK			
					0x2	USI_CS0			
					0x1	FPDAT18			
					0x0	PD2			
		D3–2	CFPD1[1:0]	PD1 port function select	CFPD1[1:0]	Function	0x0	R/W	
					0x3	SOUT			
					0x2	USI_DO0			
					0x1	FPDAT17			
					0x0	PD1			
		D1–0	CFPD0[1:0]	PD0 port function select	CFPD0[1:0]	Function	0x0	R/W	
0x3	SIN								
0x2	USI_DIO								
0x1	FPDAT16								
0x0	PD0								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPD3[1:0]: PD3 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): USI_CHK0 (USI Ch.0)
 0x1 (R/W): FPDAT19 (LCDC)
 0x0 (R/W): PD3 (GPIO) (デフォルト)

D[5:4] CFPD2[1:0]: PD2 Port Function Select Bits

0x3 (R/W): SCLK (UART)
 0x2 (R/W): USI_CS0 (USI Ch.0)
 0x1 (R/W): FPDAT18 (LCDC)
 0x0 (R/W): PD2 (GPIO) (デフォルト)

D[3:2] CFPD1[1:0]: PD1 Port Function Select Bits

0x3 (R/W): SOUT (UART)
 0x2 (R/W): USI_DO0 (USI Ch.0)
 0x1 (R/W): FPDAT17 (LCDC)
 0x0 (R/W): PD1 (GPIO) (デフォルト)

D[1:0] CFPD0[1:0]: PD0 Port Function Select Bits

0x3 (R/W): SIN (UART)
 0x2 (R/W): USI_DI0 (USI Ch.0)
 0x1 (R/W): FPDAT16 (LCDC)
 0x0 (R/W): PD0 (GPIO) (デフォルト)

PD[7:4] Port Function Select Register (PMUX_PD_47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PD[7:4] Port Function Select Register (PMUX_PD_47)	0x30081b (8 bits)	D7–6	CFPD7[1:0]	PD7 port function select	CFPD7[1:0]	Function	0x0	R/W	Write-protected
					0x3	T16A_ATMB_0			
					0x2	USI_CK1			
					0x1	FPDAT23			
					0x0	PD7			
		D5–4	CFPD6[1:0]	PD6 port function select	CFPD6[1:0]	Function	0x0	R/W	
					0x3	T16A_ATMA_0			
					0x2	USI_CS1			
					0x1	FPDAT22			
					0x0	PD6			
		D3–2	CFPD5[1:0]	PD5 port function select	CFPD5[1:0]	Function	0x0	R/W	
					0x3	#NAND_RD			
					0x2	USI_DO1			
					0x1	FPDAT21			
					0x0	PD5			
		D1–0	CFPD4[1:0]	PD4 port function select	CFPD4[1:0]	Function	0x0	R/W	
0x3	#NAND_WR								
0x2	USI_DI1								
0x1	FPDAT20								
0x0	PD4								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPD7[1:0]: PD7 Port Function Select Bits

0x3 (R/W): T16A_ATMB_0 (T16A6 Ch.0)

0x2 (R/W): USI_CK1 (USI Ch.1)

0x1 (R/W): FPDAT23 (LCDC)

0x0 (R/W): PD7 (GPIO) (デフォルト)

D[5:4] CFPD6[1:0]: PD6 Port Function Select Bits

0x3 (R/W): T16A_ATMA_0 (T16A6 Ch.0)

0x2 (R/W): USI_CS1 (USI Ch.1)

0x1 (R/W): FPDAT22 (LCDC)

0x0 (R/W): PD6 (GPIO) (デフォルト)

D[3:2] CFPD5[1:0]: PD5 Port Function Select Bits

0x3 (R/W): #NAND_RD (CARD)

0x2 (R/W): USI_DO1 (USI Ch.1)

0x1 (R/W): FPDAT21 (LCDC)

0x0 (R/W): PD5 (GPIO) (デフォルト)

D[1:0] CFPD4[1:0]: PD4 Port Function Select Bits

0x3 (R/W): #NAND_WR (CARD)

0x2 (R/W): USI_DI1 (USI Ch.1)

0x1 (R/W): FPDAT20 (LCDC)

0x0 (R/W): PD4 (GPIO) (デフォルト)

PE[3:0] Port Function Select Register (PMUX_PE_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PE[3:0] Port Function Select Register (PMUX_PE_03)	0x30081c (8 bits)	D7–6	CFPE3[1:0]	PE3 port function select	CFPE3[1:0]	Function	0x0	R/W	Write-protected
					0x3	USI_CK2			
					0x2	T16A_ATMB_3			
					0x1	MMCD3			
					0x0	PE3			
		D5–4	CFPE2[1:0]	PE2 port function select	CFPE2[1:0]	Function	0x0	R/W	
					0x3	USI_CS2			
					0x2	T16A_ATMA_3			
					0x1	MMCD2			
					0x0	PE2			
		D3–2	CFPE1[1:0]	PE1 port function select	CFPE1[1:0]	Function	0x0	R/W	
					0x3	USI_DO2			
					0x2	T16A_ATMB_2			
					0x1	MMCD1			
					0x0	PE1			
		D1–0	CFPE0[1:0]	PE0 port function select	CFPE0[1:0]	Function	0x0	R/W	
					0x3	USI_DI2			
					0x2	T16A_ATMA_2			
					0x1	MMCD0			
0x0	PE0								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPE3[1:0]: PE3 Port Function Select Bits

0x3 (R/W): USI_CK2 (USI Ch.2)

0x2 (R/W): T16A_ATMB_3 (T16A6 Ch.3)

0x1 (R/W): MMCD3 (SD_MMC)

0x0 (R/W): PE3 (GPIO) (デフォルト)

D[5:4] CFPE2[1:0]: PE2 Port Function Select Bits

0x3 (R/W): USI_CS2 (USI Ch.2)

0x2 (R/W): T16A_ATMA_3 (T16A6 Ch.3)

0x1 (R/W): MMCD2 (SD_MMC)

0x0 (R/W): PE2 (GPIO) (デフォルト)

D[3:2] CFPE1[1:0]: PE1 Port Function Select Bits

0x3 (R/W): USI_DO2 (USI Ch.2)

0x2 (R/W): T16A_ATMB_2 (T16A6 Ch.2)

0x1 (R/W): MMCD1 (SD_MMC)

0x0 (R/W): PE1 (GPIO) (デフォルト)

D[1:0] CFPE0[1:0]: PE0 Port Function Select Bits

0x3 (R/W): USI_DI2 (USI Ch.2)

0x2 (R/W): T16A_ATMA_2 (T16A6 Ch.2)

0x1 (R/W): MMCD0 (SD_MMC)

0x0 (R/W): PE0 (GPIO) (デフォルト)

PE[5:4] Port Function Select Register (PMUX_PE_45)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PE[5:4] Port Function Select Register (PMUX_PE_45)	0x30081d (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–2	CFPE5[1:0]	PE5 port function select	CFPE5[1:0]	Function	0x0	R/W	Write-protected
					0x3	REMC_I			
					0x2	T16A_ATMB_1			
					0x1	MMCCCLK			
					0x0	PE5			
		D1–0	CFPE4[1:0]	PE4 port function select	CFPE4[1:0]	Function	0x0	R/W	
					0x3	REMC_O			
					0x2	T16A_ATMA_1			
					0x1	MMCCMD			
0x0	PE4								

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:4] Reserved

D[3:2] CFPE5[1:0]: PE5 Port Function Select Bits

0x3 (R/W): REMC_I (REMC)
 0x2 (R/W): T16A_ATMB_1 (T16A6 Ch.1)
 0x1 (R/W): MMCCCLK (SD_MMC)
 0x0 (R/W): PE5 (GPIO) (デフォルト)

D[1:0] CFPE4[1:0]: PE4 Port Function Select Bits

0x3 (R/W): REMC_O (REMC)
 0x2 (R/W): T16A_ATMA_1 (T16A6 Ch.1)
 0x1 (R/W): MMCCMD (SD_MMC)
 0x0 (R/W): PE4 (GPIO) (デフォルト)

PF[3:0] Port Function Select Register (PMUX_PF_03)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PF[3:0] Port Function Select Register (PMUX_PF_03)	0x30081e (8 bits)	D7-6	CFPF3[1:0]	PF3 port function select	CFPF3[1:0]	Function	0x0	R/W	Write-protected
					0x3	TFT_CTL3			
					0x2	PWM_L1			
					0x1	I2S_MCLKO			
					0x0	PF3			
		D5-4	CFPF2[1:0]	PF2 port function select	CFPF2[1:0]	Function	0x0	R/W	
					0x3	TFT_CTL2			
					0x2	PWM_H1			
					0x1	I2S_SCLKO			
					0x0	PF2			
		D3-2	CFPF1[1:0]	PF1 port function select	CFPF1[1:0]	Function	0x0	R/W	
					0x3	TFT_CTL1			
0x2	PWM_L0								
0x1	I2S_WSO								
0x0	PF1								
D1-0	CFPF0[1:0]	PF0 port function select	CFPF0[1:0]	Function	0x0	R/W			
			0x3	TFT_CTL0					
			0x2	PWM_H0					
			0x1	I2S_SDO					
			0x0	PF0					

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] CFPF3[1:0]: PF3 Port Function Select Bits

0x3 (R/W): TFT_CTL3 (LCDC)
 0x2 (R/W): PWM_L1 (T16P Ch.1)
 0x1 (R/W): I2S_MCLKO (I2S)
 0x0 (R/W): PF3 (GPIO) (デフォルト)

D[5:4] CFPF2[1:0]: PF2 Port Function Select Bits

0x3 (R/W): TFT_CTL2 (LCDC)
 0x2 (R/W): PWM_H1 (T16P Ch.1)
 0x1 (R/W): I2S_SCLKO (I2S)
 0x0 (R/W): PF2 (GPIO) (デフォルト)

D[3:2] CFPF1[1:0]: PF1 Port Function Select Bits

0x3 (R/W): TFT_CTL1 (LCDC)
 0x2 (R/W): PWM_L0 (T16P Ch.0)
 0x1 (R/W): I2S_WSO (I2S)
 0x0 (R/W): PF1 (GPIO) (デフォルト)

D[1:0] CFPF0[1:0]: PF0 Port Function Select Bits

0x3 (R/W): TFT_CTL0 (LCDC)
 0x2 (R/W): PWM_H0 (T16P Ch.0)
 0x1 (R/W): I2S_SDO (I2S)
 0x0 (R/W): PF0 (GPIO) (デフォルト)

PF4 Port Function Select Register (PMUX_PF_4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PF4 Port Function Select Register (PMUX_PF_4)	0x30081f (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CFFP4[1:0]	PF4 port function select	CFFP4[1:0]	0x0	R/W	Write-protected
					0x3			
					0x2			
					0x1			
					0x0			

GPIO端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:2] Reserved

D[1:0] CFFP4[1:0]: PF4 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): #ADTRIG

0x1 (R/W): I2S_SDI (I2S)

0x0 (R/W): PF4 (GPIO) (デフォルト)

Px Port Pull-up Control Registers (GPIO_Px_PUP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Pull-up Control Register (GPIO_Px_PUP)	0x300820	D7-0	PUPx[7:0]	Px[7:0] port pull-up enable	1 Enable	0 Disable	*	R/W
	0x30082f (8 bits)							

注: • 存在しない端子のPUP_{xy}はリードオンリビットで、常に0が読み出されます。

• PC[7:0]ポートはプルアップ抵抗を内蔵していません。

D[7:0] PUPx[7:0]: Px[7:0] Port Pull-Up Enable Bits

入出力ポートのプルアップ抵抗を有効/無効に設定します。

1 (R/W): 有効

0 (R/W): 無効

PUP_{xy}はP_{xy}ポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。

出力モード時は、PUP_{xy}を1に設定しても、プルアップされません。

PUP_{xy}を0に設定するとプルアップ抵抗は無効になります。

周辺モジュール用の入力機能を選択したポートも、このプルアップ設定は有効です。

プルアップの初期状態を表26.8.9に示します。

表26.8.9 プルアップ初期状態

Port	Px0	Px1	Px2	Px3	Px4	Px5	Px6	Px7
P0	—	—	—	—	—	—	—	—
P1	—	—	—	—	—	—	—	—
P2	—	—						
P3	—	—	—	—	—	有効	—	
P4	—	—	—					
P5	—	—	—	—	—	—	—	
P6	有効							
P7	—	—	—	—	—	—	有効	—
P8	—	—	—	—				
P9	—	—	—	—	—	—	—	—
PA	—	—	—	—	—	—	—	—
PB	—	—	—	—	—	—	—	—
PC	プルアップ抵抗非搭載 (バスホールドラッチ)							
PD	—	—	—	—	—	—	—	—
PE	—	—	—	—	—	—	—	—
PF	—	—	—	—	—	—	—	—

—: 無効

Bus Drive Control Register (GPIO_BUS_DRV)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Bus Drive Control Register (GPIO_BUS_DRV)	0x300830 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.		
		D1	LDRVDB	D[15:0] low drive	1	Low drive	0	Normal output	0	R/W	Write-protected
		D0	LDRVAD	A[25:0] low drive					0	R/W	

D[7:2] Reserved

D1 LDRVDB: D[15:0] Low Drive Bit

データバス信号を強制的にLowに制御します。

1 (R/W): Low駆動

0 (R/W): 通常出力(デフォルト)

LDRVDBを1に設定すると、D[15:0]信号が強制的にLowとなります。0に設定すると、SRAMC/SDRAMCの制御による通常出力となります。

D0 LDRVAD: A[25:0] Low Drive Bit

アドレスバス信号を強制的にLowに制御します。

1 (R/W): Low駆動

0 (R/W): 通常出力(デフォルト)

LDRVADを1に設定すると、A[25:0]信号が強制的にLowとなります。0に設定すると、SRAMC/SDRAMCの制御による通常出力となります。

Port Noise Filter Control Register (GPIO_FILTER)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Noise Filter Control Register (GPIO_FILTER)	0x30083e (8 bits)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	ANFEN	Input port noise filter enable	1	Enable 0 Disable	0	R/W	Write-protected

D[7:1] Reserved

D0 ANFEN: Input Port Noise Filter Enable Bit

周辺入力ポートのノイズフィルタを有効/無効にします。

1 (R/W): 有効

0 (R/W): 無効(デフォルト)

ANFENを1に設定するとノイズフィルタが有効になり、以下のポートから入力される信号のノイズを除去します。

USI: USI_DI0、USI_DI1、USI_DI2、USI_CS0、USI_CS1、USI_CS2、USI_CK0、USI_CK1、USI_CK2

USIL: USIL_DI、USIL_CS、USIL_CK

UART: SIN、SCLK

REMC: REMC_I

I2S: I2S_SDI、I2S_WSI、I2S_SCLKI、I2S_MCLKI

T16A6: EXCL0、EXCL1、T16A_ATMA_0、T16A_ATMA_1、T16A_ATMA_2、T16A_ATMA_3、T16A_ATMB_0、T16A_ATMB_1、T16A_ATMB_2、T16A_ATMB_3

ADC10: #ADTRIG

WDT: WDT_EXCL

SD_MMC: MMCD[3:0]、MMCCMD

GPIO: FPT0～FPT7ポート入力割り込みおよびFPK0～FPK1キー入力割り込みに使用するポート(下記の注を参照)

ANFENが0(デフォルト)の場合、入力信号はノイズフィルタをバイパスします。

注: ・ポート個別にノイズフィルタを有効にすることはできません。

- ・上記のポートを汎用入力ポートとして使用する場合、ノイズフィルタは無効です。ただし、汎用入力ポートに設定した場合でも、FPT割り込み(FPT0～FPT7)、またはFPK割り込み(FPK0とFPK1)に選択したポートはノイズフィルタが有効になります。

GPIO/PMUX Write Protect Register (GPIO_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
GPIO/PMUX Write Protect Register (GPIO_PROTECT)	0x30083f (8 bits)	D7-0	PPROT[7:0]	GPIO/PMUX register protect flag	Writing 10010110 (0x96) removes the write protection of the GPIO and PMUX registers (0x300800-0x300830 and 0x30083e). Writing another value set the write protection.	0x0	R/W	

D[7:0] PPROT[7:0]: GPIO/PMUX Register Protect Flag Bits

GPIOレジスタとPMUXレジスタ (0x300800～0x300830、0x30083e)の書き込み保護を設定/解除します。

0x96 (R/W): 書き込み保護を解除

0x96以外 (R/W): 書き込み保護を設定 (デフォルト: 0x0)

0x300800～0x300830、0x30083e番地のGPIO/PMUXレジスタを変更する前に、PPROT[7:0]に0x96を書き込んで書き込み保護を解除してください。PPROT[7:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されても上記レジスタの内容は変更されません。一度PPROT[7:0]に0x96を書き込むと、それ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。レジスタの設定後は、誤書き込み等を防止するため、PPROT[7:0]を0x96以外に設定してください。

27 A/D変換器(ADC10)

27.1 ADC10モジュールの概要

S1C33L27は、以下の機能を持つA/D変換器を内蔵しています。

- 変換方式: 逐次比較型
- 分解能: 10ビット
- 入力チャネル: 最大8チャネル(チップ、PFBGA12U-180/パッケージ)
最大4チャネル(TQFP24/QFP20-144pin、TQFP15-128pin/パッケージ)
- A/D変換クロック: 最大2MHz
- サンプリングレート: 最大100ksps
- アナログ入力電圧範囲: $V_{SS} \sim AV_{DD}$
- サンプリング&ホールド回路内蔵
- 2種類の変換モード: 1回変換モード
(単一チャネルまたは複数チャネル)
連続変換モード
(単一チャネルまたは複数チャネル、ソフト制御で終了)
- 3種類の変換トリガ: ソフトウェアトリガ
外部トリガ(#ADTRIG端子入力)
ファインモード8ビットタイマCh.4アンダーフロートリガ
- 変換結果10ビットを左詰または右詰(ソフトウェア選択)にした16ビットデータとして読み出し可能
- 2種類の割り込み: 変換終了割り込み
変換データオーバーライトエラー割り込み

図27.1.1にA/D変換器の構成を示します。

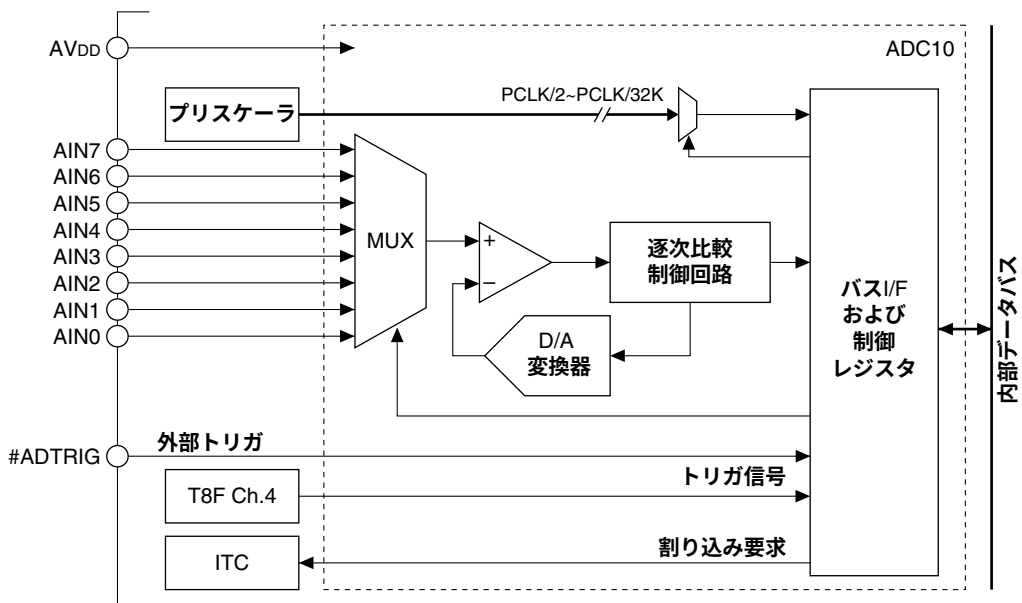


図27.1.1 A/D変換器の構成

27.2 ADC10入力端子

表27.2.1にA/D変換器の入力端子の一覧を示します。

表27.2.1 A/D変換器入力端子

端子名	I/O	本数	機能
AIN[7:0] *1	I	8 *1	アナログ信号入力端子 A/D変換するアナログ信号を入力します。 入力可能なアナログ電圧値 AV_{IN} は $V_{SS} \leq AV_{IN} \leq AV_{DD}$ の範囲です。 *1: AIN0 (Ch.0) ~ AIN7 (Ch.7) (チップ、PFBGA12U-180パッケージ) *2: AIN0 (Ch.0)、AIN2 (Ch.2)、AIN4 (Ch.4)、AIN6 (Ch.6) (TQFP24/QFP20-144pin、TQFP15-128pinパッケージ)
AIN0/2/4/6 *2		4 *2	
#ADTRIG	I	1	A/D変換器外部トリガ入力端子 IC外部よりA/D変換を開始させる場合のトリガ信号を入力します。
AV _{DD}	–	1	アナログ電源端子 A/D変換器を使用しない場合でも、HV _{DD} 電圧を供給してください。

A/D変換器の入力端子(AIN[7:0]、#ADTRIG)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをA/D変換器の入力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

注: ポート機能選択ビットによってP70~P77が汎用入力ポートに設定されている場合でも、ADC10はこれらのポートに入力されているデジタル値をアナログ入力として変換します。

27.3 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

- (1) アナログ入力端子を設定します。27.2節を参照してください。
- (2) A/D変換クロックを設定します。
- (3) A/D変換開始チャンネルと終了チャンネルを選択します。
- (4) A/D変換モードを選択します。
- (5) A/D変換トリガソースを選択します。
- (6) サンプリング時間を設定します。
- (7) 変換結果格納モードを選択します。
- (8) A/D変換割り込みを使用する場合は割り込み条件を設定します。27.5節を参照してください。

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADEN/ADC10_CTLレジスタ = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

27.3.1 A/D変換クロックの設定

A/D変換器を使用する場合は、クロックマネージメントユニット(CMU)からの周辺モジュールクロック(PCLK)の出力とプリスケアラ(PSC Ch.1)からのPCLK分周クロックの出力をOnにして、A/D変換器を動作させるためのクロックを供給しておく必要があります。クロック供給制御の詳細は“クロックマネージメントユニット(CMU)”および“プリスケアラ(PSC)”の章を参照してください。

A/D変換クロックは、表27.3.1.1に示すプリスケアラから供給される15種類のPCLK分周クロックから、ADDF[3:0]/ADC10_CLKレジスタで選択します。

注: ・使用可能なA/D変換クロックの周波数範囲については、“電気的特性”の章の“A/D変換器特性”を参照してください。

- ・プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。誤動作の原因となります。

図27.3.1.1 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

27.3.2 A/D変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

表27.3.2.1 ADCS/ADCEと入力チャネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: • チップ、PFBGA12U-180パッケージ版による1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

ADCS[2:0] = 4, ADCE[2:0] = 1: AIN4→AIN5→AIN6→AIN7→AIN0→AIN1の順に変換

• TQFP24/QFP20-144pin、TQFP15-128pinパッケージ版による1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→(AIN1)→AIN2→(AIN3)の順に変換

ADCS[2:0] = 4, ADCE[2:0] = 1: AIN4→(AIN5)→AIN6→(AIN7)→AIN0→(AIN1)の順に変換

注: 本A/D変換器の制御部は選択したパッケージにかかわらず8チャネルに対応しており、TQFP24/QFP20-144pin、TQFP15-128pinパッケージに存在しないアナログ入力チャネル(AIN1/3/5/7)が指定された場合でも、通常の変換動作を行います。この場合、ADD[15:0]/ADC10_ADDレジスタには0x0が格納されます。

27.3.3 A/D変換モードの設定

A/D変換器には1回変換モードと連続変換モードの2種類の変換モードが用意されており、ADMS/ADC10_TRGレジスタで選択できます。

1. 1回変換モード (ADMS = 0)

ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタで選択したチャンネル範囲のすべてのアナログ入力を1回A/D変換して停止します。

2. 連続変換モード (ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は1回変換モードに設定されます。

27.3.4 トリガの選択

A/D変換を開始させるトリガ方式を、ADTS[1:0]/ADC10_TRGレジスタで表27.3.4.1に示す3種類の中から選択します。

表27.3.4.1 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ (#ADTRIG)
0x2	Reserved
0x1	T8F Ch.4
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ (#ADTRIG)

#ADTRIG端子への入力信号をトリガとして使用します。このトリガ方式を使用する場合は、ポート機能選択ビット (“入出力ポート (GPIO)”の章を参照) で入出力ポート端子を#ADTRIG入力に切り換えておく必要があります。A/D変換は、#ADTRIG信号のLowレベルを検出して開始します。

注: A/D変換のトリガとして外部トリガを使用する場合、#ADTRIG端子への入力のLow期間は、C33 PE コア動作クロックの2サイクル以上の長さを確保してください。

2. T8F Ch.4

ファインモード8ビットタイマ (T8F) Ch.4のアンダーフロー信号をトリガとして使用します。T8Fのアンダーフロー周期はプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については“ファインモード8ビットタイマ (T8F)”の章を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるADCTL/ADC10_CTLレジスタへの1書き込みをトリガとしてA/D変換を開始します。

27.3.5 サンプルング時間の設定

本A/D変換器では、ADST[2:0]/ADC10_TRGレジスタによりアナログ信号の入力サンプルング時間を8段階 (A/D変換クロックの2~9サイクル) に設定可能です。ただし、S1C33L27ではADST[2:0]をデフォルト値 (0x7: 9サイクル) 以外に設定しないでください。

27.3.6 変換結果格納モードの設定

本A/D変換器は、A/D変換が終了するとADD[15:0]/ADC10_ADDレジスタ (16ビットレジスタ) に10ビットの変換結果を格納します。

このとき、10ビットの変換結果はSTMD/ADC10_TRGレジスタで設定した格納モードに従い、16ビットレジスタの上位10ビット (左寄せモード)、または下位10ビット (右寄せモード) として格納されます。残りの6ビットはすべて0になります。

ADDビット	15	...	10	9	...	6	5	...	0
左寄せモード (STMD = 1)	(MSB)	10ビット変換結果				(LSB)	0	...	0
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果				(LSB)

図27.3.6.1 変換データの配置

27.4 A/D変換の制御と動作

A/D変換器は以下の手順で制御します。

1. A/D変換器の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

27.4.1 A/D変換器の起動

27.3節に示した設定を終了後、ADEN/ADC10_CTLレジスタに1を書き込んでA/D変換器をイネーブルにします。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADENを0に設定してください。

27.4.2 A/D変換の開始

A/D変換器はADENが1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADCTL/ADC10_CTLレジスタに1を書き込むことにより開始します。

A/D変換器はADTS[1:0]/ADC10_TRGレジスタで選択されているトリガソースからのトリガのみを受け付けます。

トリガが入力されると、A/D変換器はADCS[2:0]/ADC10_TRGレジスタで選択した変換開始チャネルからアナログ入力信号のサンプリングとA/D変換を行います。

ソフトウェアトリガに使用するADCTLは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。また、変換中のチャネルはADICH[2:0]/ADC10_CTLレジスタを読み出すことで確認できます。

27.4.3 A/D変換結果の読み出し

変換開始チャネルのA/D変換が終了すると、A/D変換器は変換結果をADD[15:0]/ADC10_ADDレジスタに格納し、変換終了フラグADCF/ADC10_CTLレジスタをセットします。ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

A/D変換結果は1つのチャネルの変換が終了するごとにADD[15:0]に格納されます。格納と同時に変換終了割り込みも発生させることができますので、通常はこの割り込みを利用して変換データを読み出します。変換終了割り込みを使用しない場合は、変換終了を示すADCFが1にセットされていることを確認した後、ADD[15:0]から変換結果を読み出してください。ADCFは、ADD[15:0]の読み出しによって0にリセットされます。

複数チャネルまたは単一チャネルを連続的に変換している場合は、次の変換が終了する前に変換結果をADD[15:0]から読み出す必要があります。ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、オーバーライトエラーフラグADOWE/ADC10_CTLレジスタが1にセットされます。これと同時に変換データオーバーライトエラー割り込みを発生させることも可能です。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。あるいは、変換データオーバーライトエラー割り込みを許可し、割り込みによってエラー処理を行ってください。ADOWEは一度セットされると、ソフトウェアで1を書き込むまでリセットされません。ADOWEに1がセットされている場合はADCFもセットされていますので、変換データを読み出してADCFをリセットしてください。

注: オーバーライトエラーが発生しても連続変換は止まりません。

27.4.4 A/D変換の終了

1回変換モード (ADMS = 0) の場合

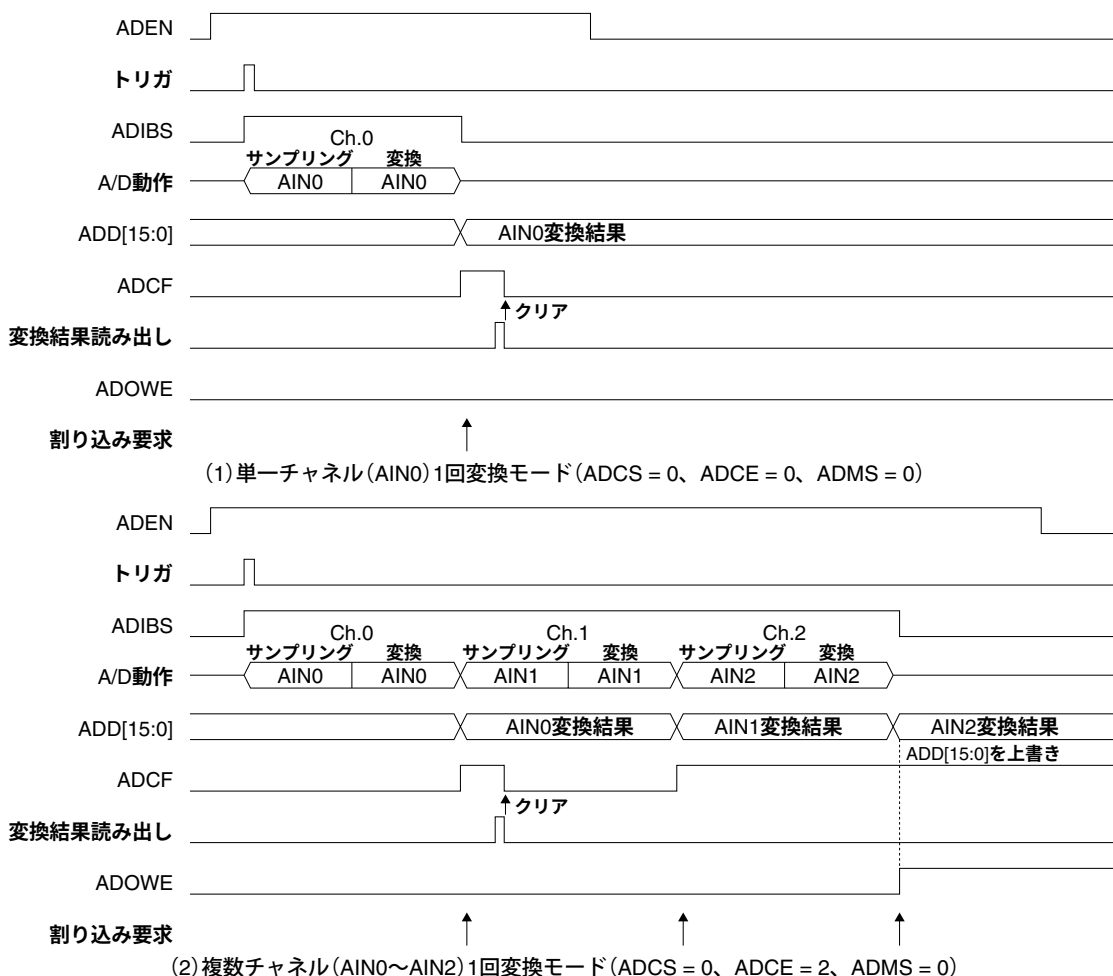
1回変換モードでは、ADCS[2:0]/ADC10_TRGレジスタで指定した変換開始チャンネルからADCE[2:0]/ADC10_TRGレジスタで指定した変換終了チャンネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADCTL/ADC10_CTLレジスタは0に戻ります。

連続変換モード (ADMS = 1) の場合

連続変換モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはADCTLに0を書き込みます。この場合、変換動作は強制終了となり、このときの変換結果を得ることはできません。

27.4.5 タイミングチャート

図27.4.5.1に、A/D変換器の動作を示します。



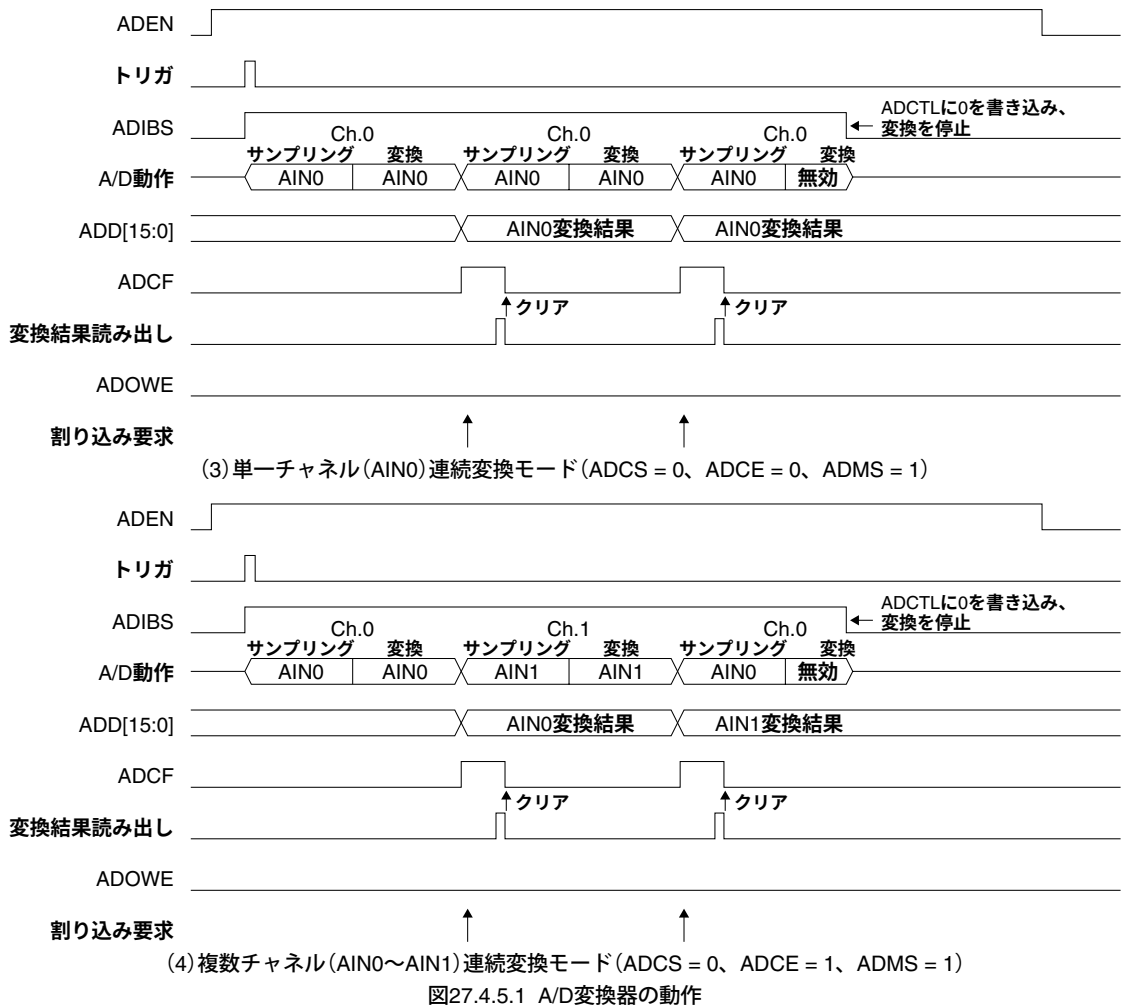


図27.4.5.1 A/D変換器の動作

27.5 A/D変換器割り込みとDMA

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 変換データオーバーライトエラー割り込み

A/D変換器は上記の2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、ステータスフラグを読み出してください。

変換終了割り込み

この割り込みを使用するには、ADCIE/ADC10_CTLレジスタを1に設定します。ADCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

A/D変換器は1つのチャネルのA/D変換を終了すると、ADCF/ADC10_CTLレジスタを1にセットして変換データが読み出せることを示します。変換終了割り込みが許可されていれば(ADCIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC10割り込みが変換終了によるものかどうかについては、ADC10割り込み処理ルーチンでADCFを読み出して確認してください。ADCFが1であれば、割り込み処理ルーチンでADD[15:0]/ADC10_ADDレジスタから変換データを読み出します。割り込み要因となるADCFはADD[15:0]の読み出しにより0にリセットされ、次の変換が終了するまでこの割り込みは発生しません。

変換データオーバーライトエラー割り込み

この割り込みを使用するには、ADOIE/ADC10_CTLレジスタを1に設定します。ADOIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ADD[15:0]が読み出されていない状態(ADCF = 1)で次のA/D変換が終了すると、A/D変換器はADOWE/ADC10_CTLレジスタを1にセットしてADD[15:0]が上書きされたことを示します。変換データオーバーライトエラー割り込みが許可されていれば(ADOIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC10割り込みがオーバーライトエラーによるものかどうかについては、ADC10割り込み処理ルーチンでADOWEを読み出して確認してください。ADOWEが1であれば、割り込み処理ルーチンでエラー処理を行います。割り込み要因となるADOWEは1の書き込みによって0にリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

DMA転送

A/D変換器は、1つのチャンネルのA/D変換を終了した時点でDMAを起動することができます。DMACを使用してメモリと変換結果レジスタ(ADC10_ADD)間の連続的なデータ転送が行えます。A/D変換器用に2つのDMACチャンネル(Ch.0とCh.7)が用意されています。DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

27.6 制御レジスタ詳細

表27.6.1 A/D変換器レジスタ一覧

アドレス	レジスタ名		機能
0x301300	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
0x301302	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
0x301304	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
0x301306	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御

以下、A/D変換器のレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

A/D Conversion Result Register (ADC10_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x301300 (16 bits)	D15-0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

D[15:0] ADD[15:0]: A/D Converted Data Bits

A/D変換結果が格納されます。(デフォルト: 0x0)

STMD/ADC10_TRGレジスタの設定により、本16ビットレジスタ内の変換データの配置(変換結果格納モード)を変更できます。

ADDビット	15	...	10	9	...	6	5	...	0	
左寄せモード (STMD = 1)	(MSB)			10ビット変換結果			(LSB)	0	...	0
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果			(LSB)		

図27.6.1 変換データの配置

このレジスタは読み出し専用で、書き込みは無効です。

A/D Trigger/Channel Select Register (ADC10_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Trigger/ Channel Select Register (ADC10_TRG)	0x301302 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	ADCE[2:0]	End channel select	0x0 to 0x7	0x0	R/W	
		D10–8	ADCS[2:0]	Start channel select	0x0 to 0x7	0x0	R/W	
		D7	STMD	Conversion result storing mode	1 ADD[15:6] 0 ADD[9:0]	0	R/W	
		D6	ADMS	Conversion mode select	1 Continuous 0 Single	0	R/W	
		D5–4	ADTS[1:0]	Conversion trigger select	ADTS[1:0] Trigger	0x0	R/W	
					0x3 #ADTRIG pin 0x2 reserved 0x1 T8F Ch.4 0x0 Software			
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	ADST[2:0]	Sampling time setting	ADST[2:0] Sampling time	0x7	R/W	
					0x7 9 clocks 0x6 8 clocks 0x5 7 clocks 0x4 6 clocks 0x3 5 clocks 0x2 4 clocks 0x1 3 clocks 0x0 2 clocks			

D[15:14] Reserved**D[13:11] ADCE[2:0]: End Channel Select Bits**

変換終了チャンネルをチャンネル番号(0～7)で設定します。(デフォルト: 0x0 = AIN0)

1回のA/D変換で、ADCS[2:0]で設定したチャンネルからADCE[2:0]で設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCS[2:0]とADCE[2:0]に同じチャンネル番号を設定してください。

表27.6.2 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャンネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

D[10:8] ADCS[2:0]: Start Channel Select Bits

変換開始チャンネルをチャンネル番号(0～7)で設定します。(デフォルト: 0x0 = AIN0)

D7 STMD: Conversion Result Storing Mode Bit

ADD[15:0]への変換結果の格納方法を選択します。

1(R/W): 左寄せモード(10ビット変換結果 → ADD[15:6], ADD[5:0] = 0)

0(R/W): 右寄せモード(10ビット変換結果 → ADD[9:0], ADD[15:10] = 0) (デフォルト)

D6 ADMS: Conversion Mode Select Bit

A/D変換モードを選択します。

1(R/W): 連続変換モード

0(R/W): 1回変換モード (デフォルト)

ADMSに1を書き込むことによりA/D変換器は連続変換モードに設定され、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

ADMSが0の場合は1回変換モードで動作し、ADCS[2:0]とADCE[2:0]で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

D[5:4] ADTS[1:0]: Conversion Trigger Select Bits

A/D変換を開始させるトリガ方法を選択します。

表27.6.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ (#ADTRIG)
0x2	Reserved
0x1	T8F Ch.4
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合は、ポート機能選択ビットにより#ADTRIG端子の設定を行ってください(“入出力ポート(GPIO)”の章を参照)。外部トリガ選択時は、#ADTRIG入力がLowになるとA/D変換を開始します。

T8F Ch.4を使用する場合は、タイマのアンダーフロー信号がトリガとなりますので、タイマのカウント周期およびその他の設定を行ってください。

D3 Reserved**D[2:0] ADST[2:0]: Sampling Time Setting Bits**

アナログ入力のサンプリング時間を設定します。

表27.6.4 サンプリング時間の設定

ADST[2:0]	サンプリング時間 (A/D変換クロックサイクル)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

注: 変換精度を確保するため、ADST[2:0]をデフォルト設定(9サイクル)のまま変更しないでください。

A/D Control/Status Register (ADC10_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x301304 (16 bits)	D15	—	reserved	—	—	—	0 when being read.
		D14–12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x7	0x0	R	
		D11	—	reserved	—	—	—	0 when being read.
		D10	ADIBS	ADC10 status	1 Busy 0 Idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed 0 Run/Stand-by	0	R	Reset when ADC10_ADD is read.
		D7–6	—	reserved	—	—	—	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	ADCIE	Conversion completion int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	ADCTL	A/D conversion control	1 Start 0 Stop	0	R/W	
		D0	ADEN	ADC10 enable	1 Enable 0 Disable	0	R/W	

D15 Reserved**D[14:12] ADICH[2:0]: Conversion Channel Indicator Bits**

A/D変換中のチャンネル番号(0~7)を示します。(デフォルト: 0x0 = AIN0)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

D11 Reserved**D10 ADIBS: ADC10 Status Bit**

A/D変換器の状態を示します。

1(R): 変換中

0(R): 変換終了/待機中(デフォルト)

ADIBSはトリガ入力エッジ(サンプリング開始時)で1にセットされ、変換終了(ADCTL → 0)によって0にリセットされます。

D9 **ADOWE: Overwrite Error Flag Bit**

ADD[15:0]/ADC10_ADDレジスタの読み出し前の変換結果が上書きされたことを示します。

- 1(R): オーバーライトエラー(割り込み要因あり)
- 0(R): エラーなし(割り込み要因なし)(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

複数または単一のチャンネルを連続的にA/D変換している場合、ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、ADOWEが1にセットされます。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。

ADOWEはADC10割り込み要因の1つです。ADOIEが1(割り込み許可)に設定されていれば、ADOWEがセットされた時点でITCに対し、変換データオーバーライトエラー割り込み要求が出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。

ADOWEは1の書き込みによりリセットされます。

D8 **ADCF: Conversion Completion Flag Bit**

A/D変換が終了したことを示します。

- 1(R): 変換終了(割り込み要因あり)
- 0(R): 変換中または待機中(割り込み要因なし)(デフォルト)

A/D変換が終了し、変換データがADD[15:0]に格納されると1にセットされます。

ADCFはADC10割り込み要因の1つです。ADCIEが1(割り込み許可)に設定されていれば、ADCFがセットされた時点でITCに対し、変換終了割り込み要求が出力されます。ITCとC33 PEコアの割り込み条件が成立していれば割り込みが発生します。ADCFはADD[15:0]を読み出すと0にリセットされます。ADCFがセットされている状態で次の変換が終了するとオーバーライトエラー(ADOWE参照)になりますので、その前にADD[15:0]を読み出してADCFをリセットしてください。オーバーライトエラーが発生した場合もADCFは変換終了によりセットされます。

D[7:6] **Reserved**

D5 **ADOIE: Overwrite Error Interrupt Enable Bit**

変換データオーバーライトエラー割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

ADOIEを1に設定すると変換データオーバーライトエラー割り込みが許可され、0に設定すると割り込みが禁止されます。

D4 **ADCIE: Conversion Completion Interrupt Enable Bit**

変換終了割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

ADCIEを1に設定すると変換終了割り込みが許可され、0に設定すると割り込みが禁止されます。

D[3:2] **Reserved**

D1 **ADCTL: A/D Conversion Control Bit**

- 1(W): ソフトウェアトリガ
- 0(W): A/D変換停止
- 1(R): 変換中
- 0(R): 変換終了/待機中(デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADCTLに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADCTLを1にセットします。

A/D変換中、ADCTLは1を保持します。1回変換モード時は、指定のチャンネルのA/D変換が終了するとADCTLは0に戻り、A/D変換回路が停止します。連続変換モードのA/D変換を停止させるにはADCTLに0を書き込んでください。

ADENが0(A/D変換禁止状態)の場合はADCTLが0に固定され、トリガを受け付けません。

D0 ADEN: ADC10 Enable Bit

A/D変換動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ADENに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADENが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。なお、モードや開始/終了チャンネルなどのA/D変換器の設定を行う場合は誤動作を避けるため、ADENを0に設定してから行ってください。

A/D Clock Control Register (ADC10_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Clock Control Register (ADC10_CLK)	0x301306 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0]	Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf	reserved			
					0xe	1/32768			
					0xd	1/16384			
					0xc	1/8192			
					0xb	1/4096			
					0xa	1/2048			
					0x9	1/1024			
					0x8	1/512			
					0x7	1/256			
					0x6	1/128			
					0x5	1/64			
					0x4	1/32			
					0x3	1/16			
					0x2	1/8			
					0x1	1/4			
					0x0	1/2			

D[15:4] Reserved

D[3:0] ADDF[3:0]: A/D Converter Clock Division Ratio Select Bits

A/D変換クロック(PCLK分周比)を選択します。

表27.6.5 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

注: A/D変換器はプリスケアラ出力をソースクロックとして使用しますので、あらかじめプリスケアラを動作させておく必要があります。

28 LCDコントローラ(LCDC)

28.1 LCDCモジュールの概要

S1C33L27には4/8ビットモノクロおよびカラーLCDパネル、12/16/24ビットTFTパネルに対応したLCDコントローラ(LCDC)が組み込まれています。S1C33L27は32KバイトのVRAM(IVRAM)を内蔵しており、320×240ドットの4色/階調表示(2bppモード)が可能です。また、バスコントローラ(SRAMC、SDRAMC)を介して外部SDRAM/SRAMをVRAMとして使用することができますので、24bpp(16M色)の320×240ドット表示も可能です。本LCDCは可変サイズのサブウィンドウをメインウィンドウ上に重ねて表示するPIP+(Picture-in-Picture Plus)をサポートしています。IVRAMと外部VRAMの両方を同時に使用可能なため、メインウィンドウとサブ(PIP)ウィンドウの表示データを別々のメモリで管理することもできます。本LCDCの特長を以下に示します。

内部バスインタフェースとVRAM

- バスアービタとIVRAMインタフェースを使用するUMA(Unified Memory Architecture)を実装
CPUが内部回路をアクセス中にLCDCによるSDRAM/SRAM(外部VRAM)へのアクセス、あるいはCPUが他の回路をアクセス中にLCDCによるIVRAM(内蔵VRAM)へのアクセスを可能とします。
- 32Kバイト内蔵VRAM(IVRAM)を0xc0000～0xc7fff番地に配置
- 外部VRAMは任意に配置可能
- フレーム割り込み信号をITCに出力

対応ディスプレイ

- 4/8ビットモノクロLCDインタフェース
 - 4/8ビットカラーLCDインタフェース
 - シングルパネル、シングルドライブパッシブディスプレイ
 - 12/16/24ビットTFTインタフェース
 - 標準的な解像度
 - 320×240(24bppモード、要外部VRAM) bpp = bits per pixel
 - 320×240(2bppモード)
- * パネル幅は(16÷bpp)の倍数である必要があります。

表示モード

- フレームレートモジュレーションによりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
 - 1bppモードでの2階調表示
 - 2bppモードでの4階調表示
 - 4bppモードでの16階調表示
- カラーパッシブLCDパネルで最大4K色の同時表示が可能
 - 1bppモードでの2色表示
 - 2bppモードでの4色表示
 - 4bppモードでの16色表示
 - 8bppモードでの256色表示
 - 12bpp、16bppモードでの4K色表示
- TFTパネルで最大16M色の同時表示が可能
 - 1bppモードでの2色表示
 - 2bppモードでの4色表示
 - 4bppモードでの16色表示
 - 8bppモードでの256色表示
 - 12bppモードでの4K色表示
 - 16bppモードでの64K色表示
 - 24bppモードでの16M色表示

表示機能

- ・ 背景イメージ上に可変サイズのサブウィンドウを重ねて表示可能なPIP+(Picture-in-Picture Plus)機能
- ・ LCDパネルと異なる解像度の画像を扱う仮想ディスプレイ機能(仮想画面内の任意の領域をLCD上に表示可能)

クロック

- ・ LCDコントローラ用のLCDC_CLKは、CMUがOSC3クロックを1~32分周して生成
- ・ AHBバスインタフェース(VRAMアクセス用)、SAPBインタフェース(制御レジスタアクセス用)、LCDC_CLKが独立したクロック系統を持ち、CMUで個別にLCDCへのクロック供給を制御可能
不要なクロック供給を停止することで消費電流を低減可能

パワーセーブ

- ・ ソフトウェアパワーセーブモード
- ・ ブランク表示

28.2 ブロック図

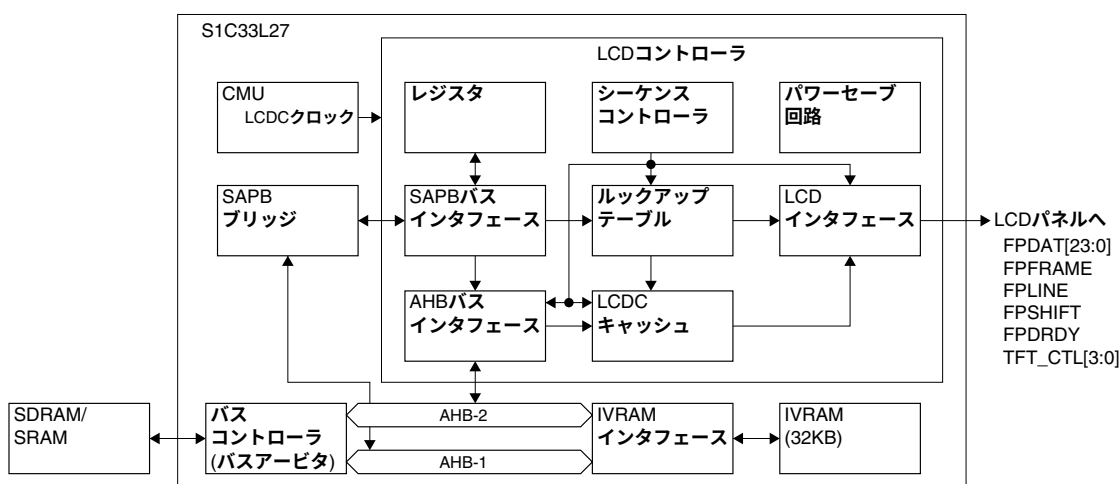


図28.2.1 LCDコントローラブロック図

SAPBバスインタフェース

C33 PEコアは、このインタフェースを介してLCDCレジスタとルックアップテーブルをアクセスします。

AHBバスインタフェース

LCDCはこのインタフェースを介してVRAMをアクセスします。

LCDCキャッシュ

32バイトのFIFOで構成され、表示データをLCDパネルに転送するための表示データキャッシュとして使用されます。

シーケンスコントローラ

シーケンスコントローラは、AHBバスインタフェースからルックアップテーブルを通りLCDインタフェースに送られるデータの流れを制御します。

ルックアップテーブル

モノクロモード時はLCDCに内蔵されたルックアップテーブルを使用します。
カラーモードではルックアップテーブルを使用しません。

LCDインタフェース

パッシブLCDパネル用フレームレート変調を行います。また、各種のLCDパネルに対応した形式の表示データやタイミング制御信号を生成します。

パワーセーブ回路

LCDCのパワーセーブモードを制御します。

28.3 LCDC出力端子

表28.3.1にLCDコントローラの出力端子を、表28.3.2に使用するLCDパネルによる端子の構成を示します。

表28.3.1 LCDC出力端子

端子名	I/O	本数	機能
FPDAT[23:0]	O	24	LCDデータ出力
FPFRAME	O	1	LCDフレームクロック出力
FPLINE	O	1	LCDラインクロック出力
FPSHIFT	O	1	LCDシフトクロック出力
FPDRDY	O	1	LCD DRDY/MOD信号出力
TFT_CTL[3:0]	O	4	TFTインタフェース制御信号出力

LCDCモジュールの出力端子は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをLCDCの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(GPIO)”の章を参照してください。

表28.3.2 LCDパネルの種類別端子構成

端子名	モノクロパッシブパネル(シングル)		カラーパッシブパネル(シングル)			TFTパネル
	4ビット	8ビット	4ビット	8ビット フォーマット1	8ビット フォーマット2	— *2
FPFRAME	FPFRAME					SPS
FPLINE	FPLINE					LP
FPSHIFT	FPSHIFT					DCLK
FPDRDY	MOD		FPSHIFT2		MOD	DEN
FPDAT0	— *1	D0	— *1	D0	D0	B3
FPDAT1	— *1	D1	— *1	D1	D1	B4
FPDAT2	— *1	D2	— *1	D2	D2	B5
FPDAT3	— *1	D3	— *1	D3	D3	B6
FPDAT4	D0	D4	D0	D4	D4	B7
FPDAT5	D1	D5	D1	D5	D5	G2
FPDAT6	D2	D6	D2	D6	D6	G3
FPDAT7	D3	D7	D3	D7	D7	G4
FPDAT8	— *1					G5
FPDAT9	— *1					G6
FPDAT10	— *1					G7
FPDAT11	— *1					R3
FPDAT12	— *1					R4
FPDAT13	— *1					R5
FPDAT14	— *1					R6
FPDAT15	— *1					R7
FPDAT16	— *1					B0
FPDAT17	— *1					B1
FPDAT18	— *1					B2
FPDAT19	— *1					G0
FPDAT20	— *1					G1
FPDAT21	— *1					R0
FPDAT22	— *1					R1
FPDAT23	— *1					R2
TFT_CTL0	— *1					PS
TFT_CTL1	— *1					CLS
TFT_CTL2	— *1					REV
TFT_CTL3	— *1					SPL

*1: これらの端子は他の周辺機能用に使用可能です。

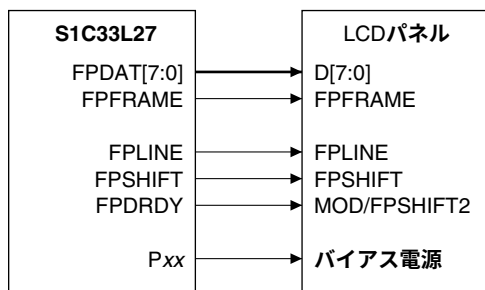
*2 LCDCは24ビットデータ幅のTFTパネルに対応していますので、LCDパネルのデータ幅を設定する必要はありません。

12ビットデータ幅のTFTパネルを使用する場合は、R7～R4、G7～G4、B7～B4端子に接続します。
 16ビットデータ幅のTFTパネルを使用する場合は、R7～R3、G7～G2、B7～B3端子に接続します。
 18ビットデータ幅のTFTパネルを使用する場合は、R7～R2、G7～G2、B7～B2端子に接続します。

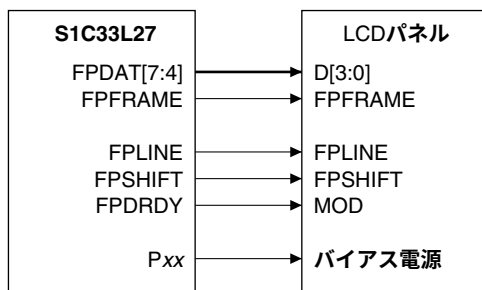
表28.3.3 LCDパネルの設定

LCDパネル	PANSELSEL *	COLOR *	DWD[1:0] *	BPP[2:0] *
モノクロパッシブパネル	0(STN)	0(モノ)	0(4ビットデータ幅) 1(8ビットデータ幅) 3(8ビットデータ幅)	0(1bpp) 1(2bpp) 2(4bpp)
カラーパッシブパネル	0(STN)	1(カラー)	0(4ビットデータ幅) 1(8ビットデータ幅フォー マット1) 3(8ビットデータ幅フォー マット2)	0(1bpp) 1(2bpp) 2(4bpp) 3(8bpp) 4(12bpp) 5(16bpp)
TFTパネル	1(TFT)	1(カラー)	–	0(1bpp) 1(2bpp) 2(4bpp) 3(8bpp) 4(12bpp) 5(16bpp) 6(24bpp)

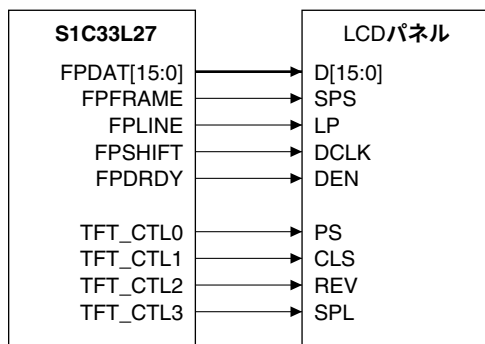
* PANSELSEL、COLOR、DWD[1:0]、BPP[2:0]制御ビットはLCDC_DISPMDレジスタに割り付けられています。



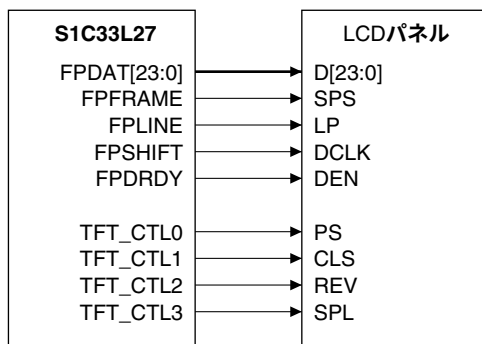
8ビットパッシブLCDパネル



4ビットパッシブLCDパネル



16ビットTFT LCDパネル



24ビットTFT LCDパネル

図28.3.1 LCDパネルの接続例

28.4 システム設定

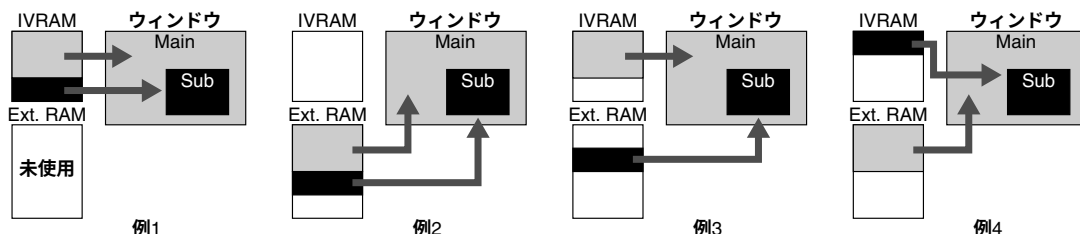
28.4.1 表示メモリ (VRAM) の構成

S1C33L27は32Kバイトの表示データメモリ (IVRAM) を内蔵しています。このメモリは、エリア3の0xc0000~0xc7fff番地に配置してVRAMとして使用するか、あるいはエリア0に配置して汎用RAMとして使用するか、もしくは演算モジュール用RAMとして使用するか選択できるようになっています。RAM-CFG[2:0]/MISC_RAMCFGレジスタを0x0または0x1に設定するとIVRAMはエリア3のVRAMになります。イニシャルリセット時はVRAMとしてエリア3に配置され、LCDCから直接アクセスできる状態になります。RAMの切り換えに関する詳細は、“Miscレジスタ(MISC)”の章を参照してください。

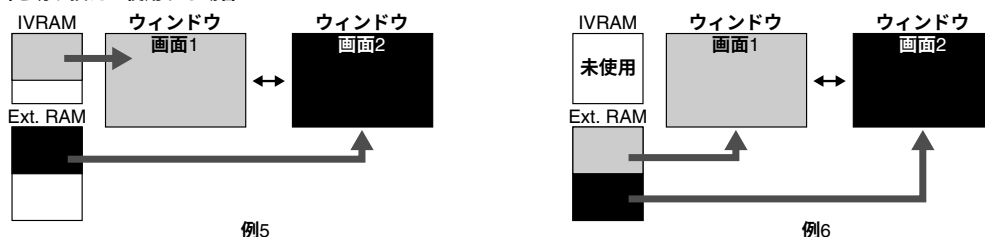
LCDCはIVRAMの他に、外部SDRAM/SRAMもVRAMとして使用できるようになっています (SDRAM/SRAMに表示データと汎用データを格納可能)。外部VRAMを使用するための特別な設定操作は不要です。また、外部SDRAM/SRAMとIVRAMを同時にVRAMとして使用可能です。LCDCはPIP+(Picture-in-Picture Plus)をサポートしており、メインウィンドウとその上に重ねて表示するサブウィンドウの2つの画面データを扱います。また、VRAMに用意した複数の画面データを切り換えて使用することもできます。表示開始メモリアドレスがレジスタにより指定可能なため、表示データをメモリ内の任意の位置に置くことができます (ただし、ワード境界アドレスのみ)。

図28.4.1.1にメモリの使用例を示します。

Picture-in-Picture Plus使用時



画面を切り換えて使用する場合



仮想画面領域を使用する場合

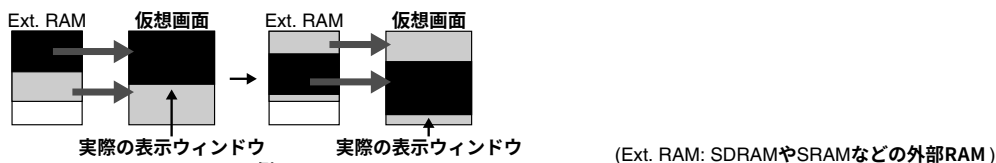


図28.4.1.1 メモリ使用例

描画に必要なメモリサイズは画面サイズとbppモードで決まり、次の式で求めることができます。

$$\text{画面データサイズ} = H\_PIXEL \times V\_PIXEL \times \text{bpp} / 32 \text{ [ワード]} \quad (\text{小数点以下切り上げ})$$

H_PIXEL: 水平ピクセル数

V_PIXEL: 垂直ピクセル数

bpp: ピクセル当たりのビット数(1, 2, 4, 8, 12, 16, 24)

たとえば、320×240ピクセルの画面を64K色(16bppモード)で表示する場合、38,400ワード(150Kバイト)のメモリ領域が必要です。

28.4.2 LCDCクロックの設定

LCDCはCMUから供給されるLCDC_CLK、BCLK、LCDC_AHB_CLK(PCLK)、LCDC_SAPB_CLK(PCLK)クロックで動作します。クロック制御の詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。

LCDC_CLK

OSC3クロックを分周して生成したLCDC動作クロック(ピクセルクロック)です。分周回路はOSC3/1～OSC3/32の32種類のクロックを生成します。この分周比をLCLKDIV[4:0]/CMU_LCLKDIVレジスタを使用して、フレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCDC\_CLK}}}{\text{HT} \times \text{VT}} \text{ [Hz]}$$

$f_{\text{LCDC\_CLK}}$: LCDC_CLK周波数

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間)[ピクセル]

VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間)[ライン]

表28.4.2.1 LCDCクロック(OSC3分周比)の選択

LCLKDIV[4:0]	分周比(OSC3/n)	LCLKDIV[4:0]	分周比(OSC3/n)
0x1f	1/32	0xf	1/16
0x1e	1/31	0xe	1/15
0x1d	1/30	0xd	1/14
0x1c	1/29	0xc	1/13
0x1b	1/28	0xb	1/12
0x1a	1/27	0xa	1/11
0x19	1/26	0x9	1/10
0x18	1/25	0x8	1/9
0x17	1/24	0x7	1/8
0x16	1/23	0x6	1/7
0x15	1/22	0x5	1/6
0x14	1/21	0x4	1/5
0x13	1/20	0x3	1/4
0x12	1/19	0x2	1/3
0x11	1/18	0x1	1/2
0x10	1/17	0x0	1/1

(デフォルト: 0x7)

LCDCへのクロック供給はLCDC_CKE/CMU_CLKCTL2レジスタによって制御します(デフォルト: Off)。LCDCを使用する前にLCDC_CKEを1に設定してください。

注: LCLKDIV[4:0]によってクロック分周比を変更する場合、またslp命令を実行する前は、LCDC_CLKの供給を停止(LCDC_CKE = 0)してください。

BCLK, LCDC_AHB_CLK(PCLK)

このクロックはLCDCがVRAMをアクセスするために必要です。

デフォルト設定では、BCLKがCMUから供給されます。これを、BCLK_CKE/CMU_CLKCTL2レジスタによってHALT時に停止させることができます。

LCDC_AHB_CLKはデフォルト設定で停止します。LCDCを使用する前にLCDC_AHB_CKE/CMU_CLKCTL2レジスタを1に設定して、CMUからクロックを供給してください。

LCDC_SAPB_CLK(PCLK)

このクロックはLCDCレジスタをアクセスするために必要です。LCDC_SAPB_CLKはデフォルト設定で停止します。LCDCレジスタをアクセスする前にLCDC_SAPB_CKE/CMU_CLKCTL2レジスタを1に設定して、CMUからクロックを供給してください。

28.5 LCDパネルの設定

28.5.1 パネルの選択

本LCDコントローラは以下のLCDパネルに対応しています。

- 4/8ビットシングルモノクロパッシブLCDパネル
- 4/8ビットシングルカラーパッシブLCDパネル
- 12/16/24ビットTFT LCDパネル

デュアルパネルには対応していません。

使用するLCDパネルの種類は、以下の制御ビットによりLCDコントローラに設定しておきます。

STNまたはTFTパネルの選択

LCDパネルの種類をPANELSEL/LCDC_DISPMDレジスタでSTNとTFTから選択します。

PANELSEL = 1: TFTパネル

PANELSEL = 0: STNパネル(デフォルト)

カラー/モノクロ選択

パネルの種類として、カラーパネルまたはモノクロパネルをCOLOR/LCDC_DISPMDレジスタで選択します。

COLOR = 1: カラーパネル

COLOR = 0: モノクロパネル(デフォルト)

STNパネルデータ幅の選択

STNパネルのデータ幅とデータ形式をDWD[1:0]/LCDC_DISPMDレジスタで選択します。

表28.5.1.1 STNパネルデータ幅の選択

COLOR	DWD[1:0]	データ幅
1	0x3	8ビットシングルカラーパッシブLCDパネル(フォーマット2)
	0x2	Reserved
	0x1	8ビットシングルカラーパッシブLCDパネル(フォーマット1)
	0x0	4ビットシングルカラーパッシブLCDパネル
0	0x3	8ビットシングルモノクロパッシブLCDパネル
	0x2	Reserved
	0x1	8ビットシングルモノクロパッシブLCDパネル
	0x0	4ビットシングルモノクロパッシブLCDパネル

TFT LCDパネルのデータ幅は、表示(bpp)モードの選択によって決まります。

28.5.2 STNパネルタイミングパラメータ

LCDC制御レジスタで下図に示すSTNパネル用タイミングパラメータが設定できます。

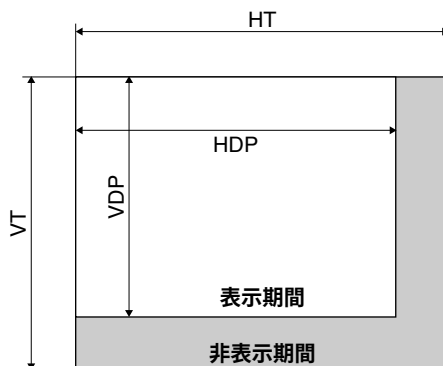


図28.5.2.1 STNパネルタイミングパラメータ

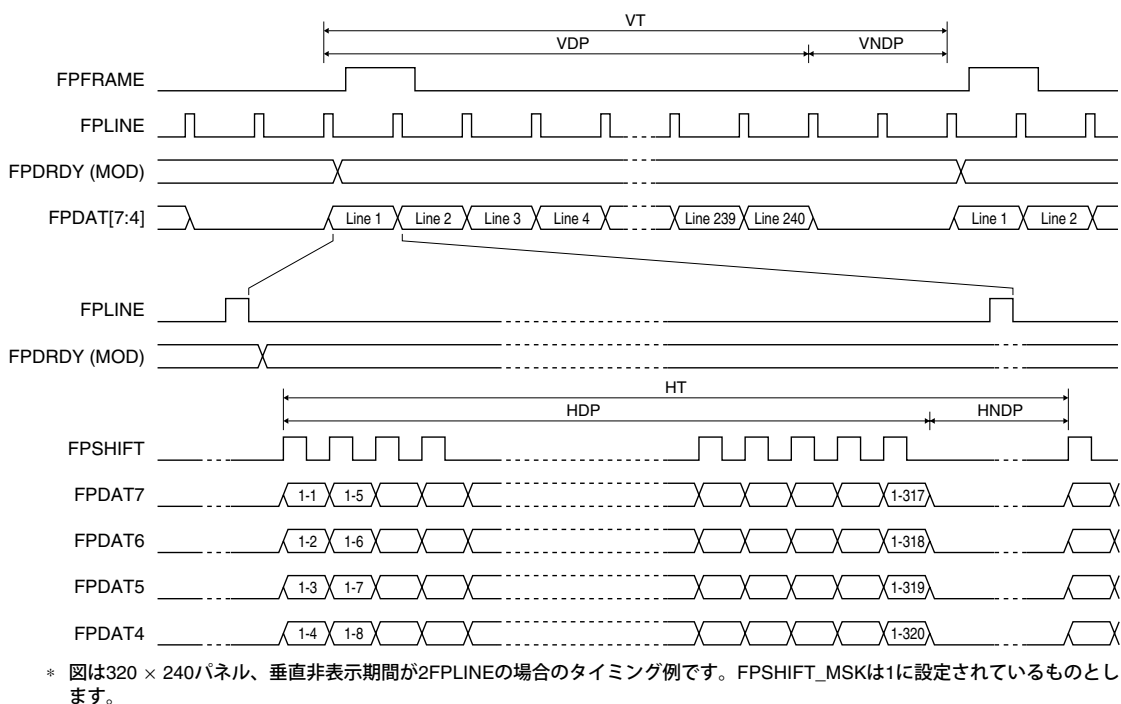


図28.5.2.2 4ビットシングルモノクロパネルタイミング(例)

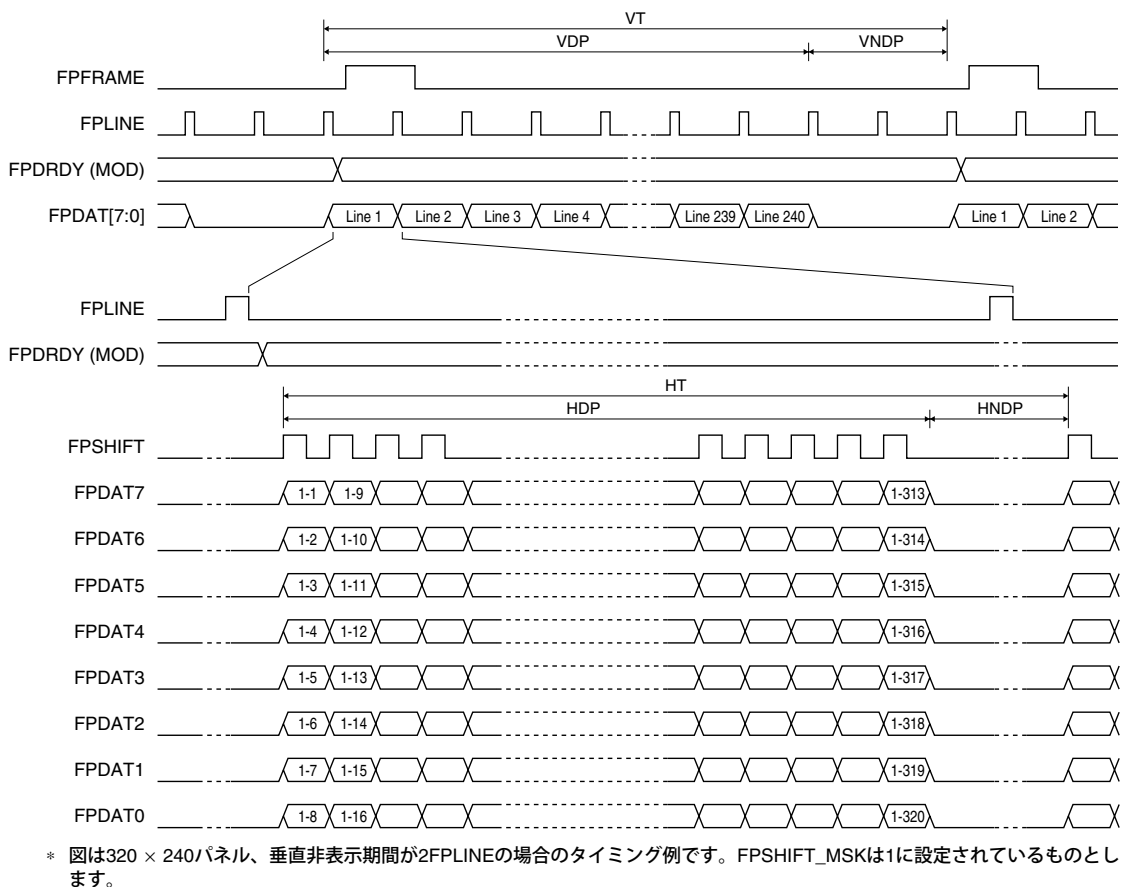
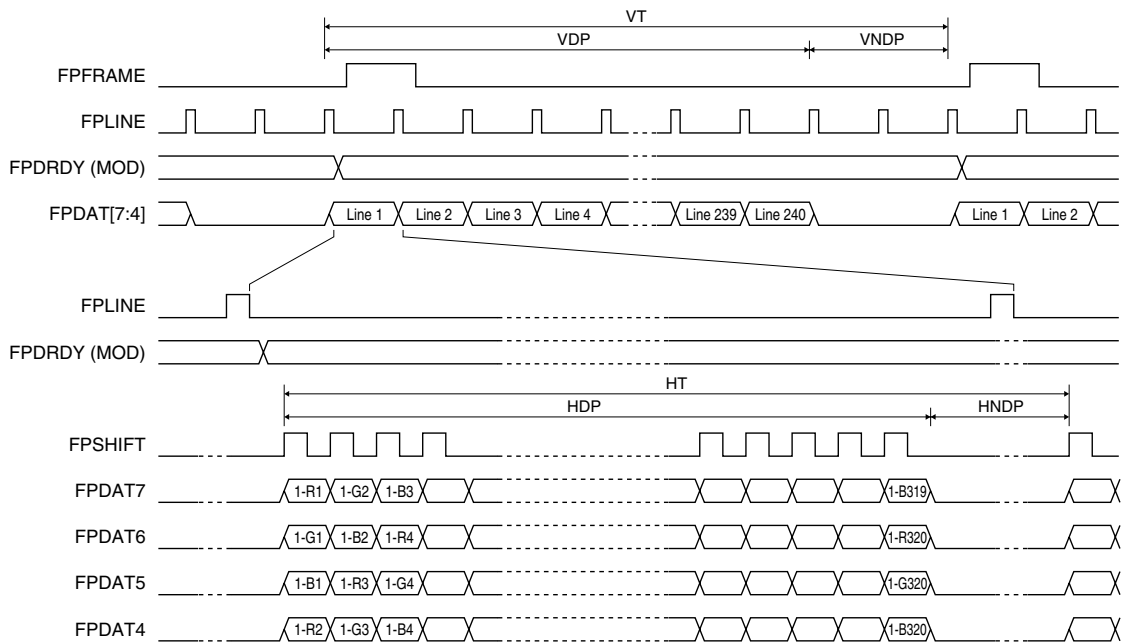
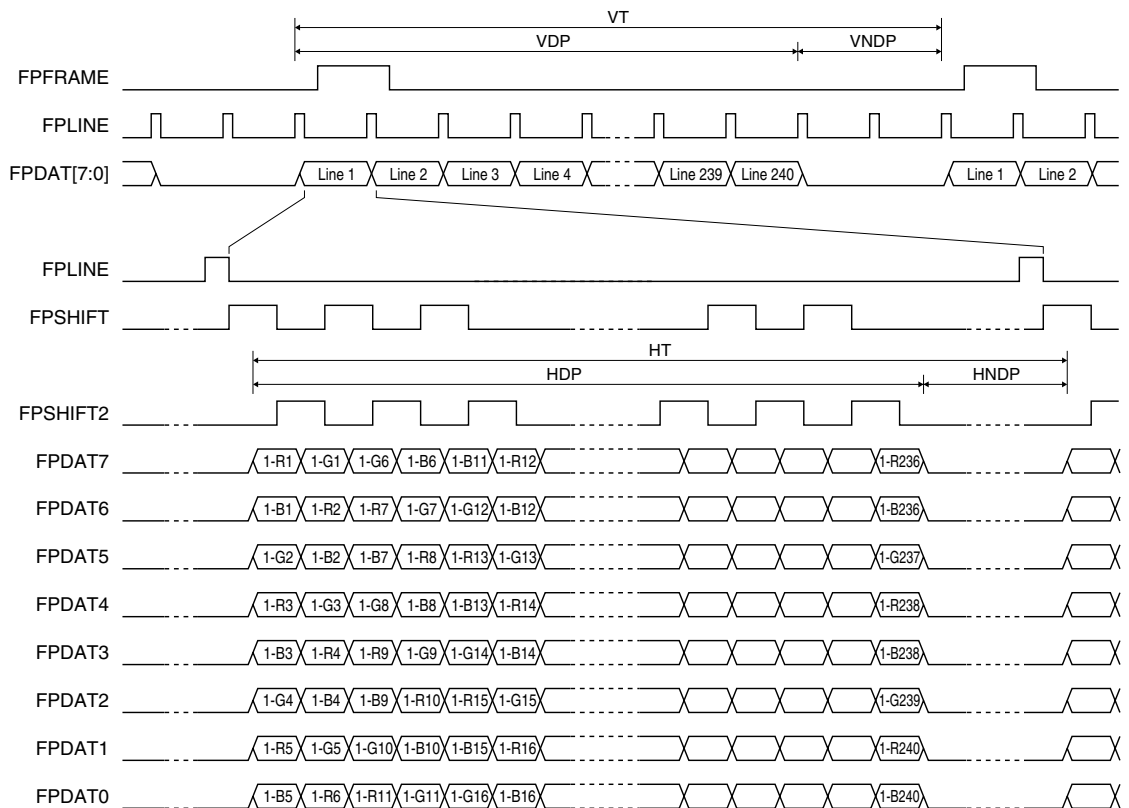


図28.5.2.3 8ビットシングルモノクロパネルタイミング(例)



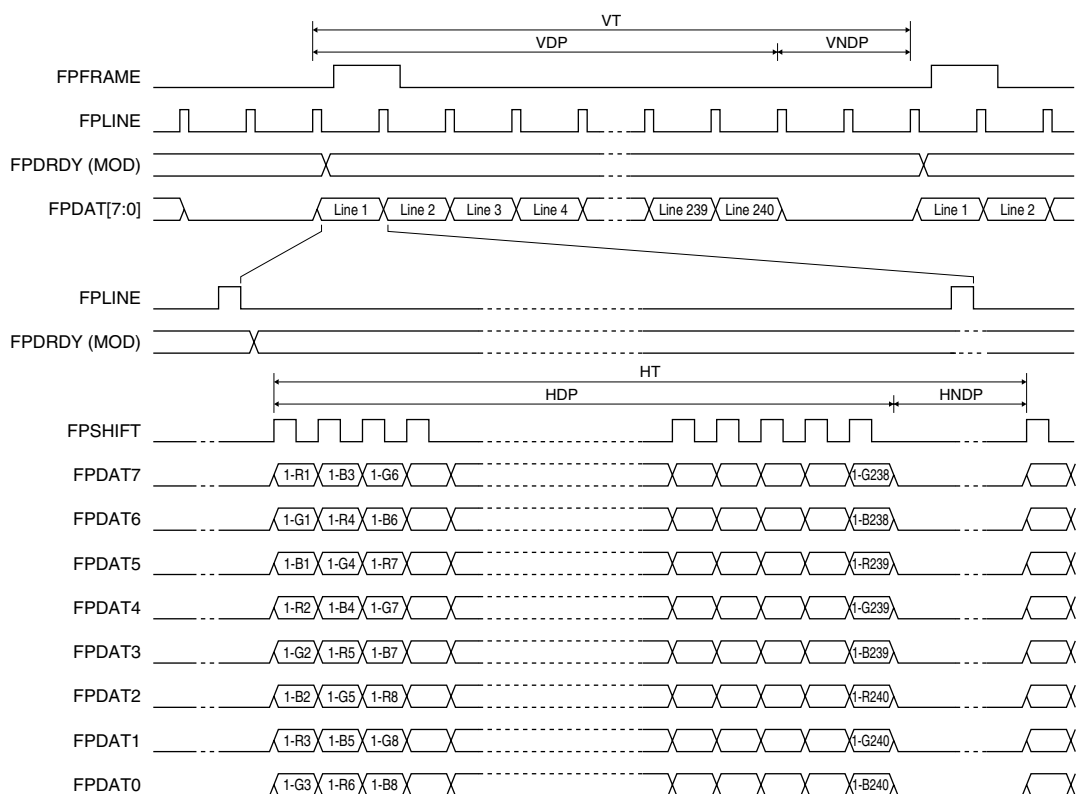
* 図は320×240/パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

図28.5.2.4 4ビットシングルカラーパネルタイミング(例)



* 図は320×240/パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

図28.5.2.5 8ビットシングルカラーパネル(フォーマット1)タイミング(例)



* 図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

図28.5.2.6 8ビットシングルカラーパネル(フォーマット2)タイミング(例)

HT: 水平トータル期間

HTCNT[6:0]/LCDC_HDISPレジスタで水平トータル期間を設定します。

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts]$$

Ts: ピクセルクロック(LCDC_CLK)周期

HTCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 3$$

注: LCDCがVRAMの8ワードをアクセスする時間よりも水平非表示期間(HNDP = HT - HDP)が長くなるようにHTを決定してください。

HDP: 水平表示期間

HDPCNT[6:0]/LCDC_HDISPレジスタで水平表示期間(パネル水平解像度)を設定します。

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

HDPCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

VT: 垂直トータル期間

VTCNT[9:0]/LCDC_VDISPレジスタで垂直トータル期間を設定します。

$$VT = VTCNT[9:0] + 1 [\text{ライン}]$$

VDP: 垂直表示期間

VDPCNT[9:0]/LCDC_VDISPレジスタで垂直表示期間(パネル垂直解像度)を設定します。

$$VDP = VDPCNT[9:0] + 1 [\text{ライン}]$$

VDPCNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT \geq VDP + 1$$

モノクロLCDパネル用のFPSHIFTマスク

図28.5.2.2～28.5.2.6に示したとおり、カラーパッシブパネルを選択した場合(COLOR/LCDC_DISPMODレジスタ = 1)はFPSHIFTクロックが水平表示期間(HDP)に出力され、水平非表示期間(HNDP)には停止します。

モノクロパッシブパネルを選択した場合(COLOR = 0)、デフォルト設定ではFPSHIFTクロックが水平非表示期間でも停止しません。水平非表示期間にFPSHIFTクロックを停止させるには、FPSHIFT_MSK/LCDC_DISPMODレジスタを1に設定します。

注: STNパネルを使用する場合、TFTのタイミングパラメータ設定用レジスタはすべて0x0に設定してください。

28.5.3 TFTパネルタイミングパラメータ

LCDC制御レジスタで下図に示すTFTパネル用タイミングパラメータが設定できます。

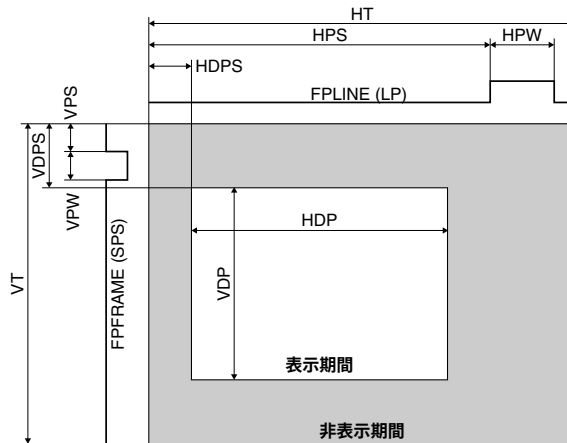
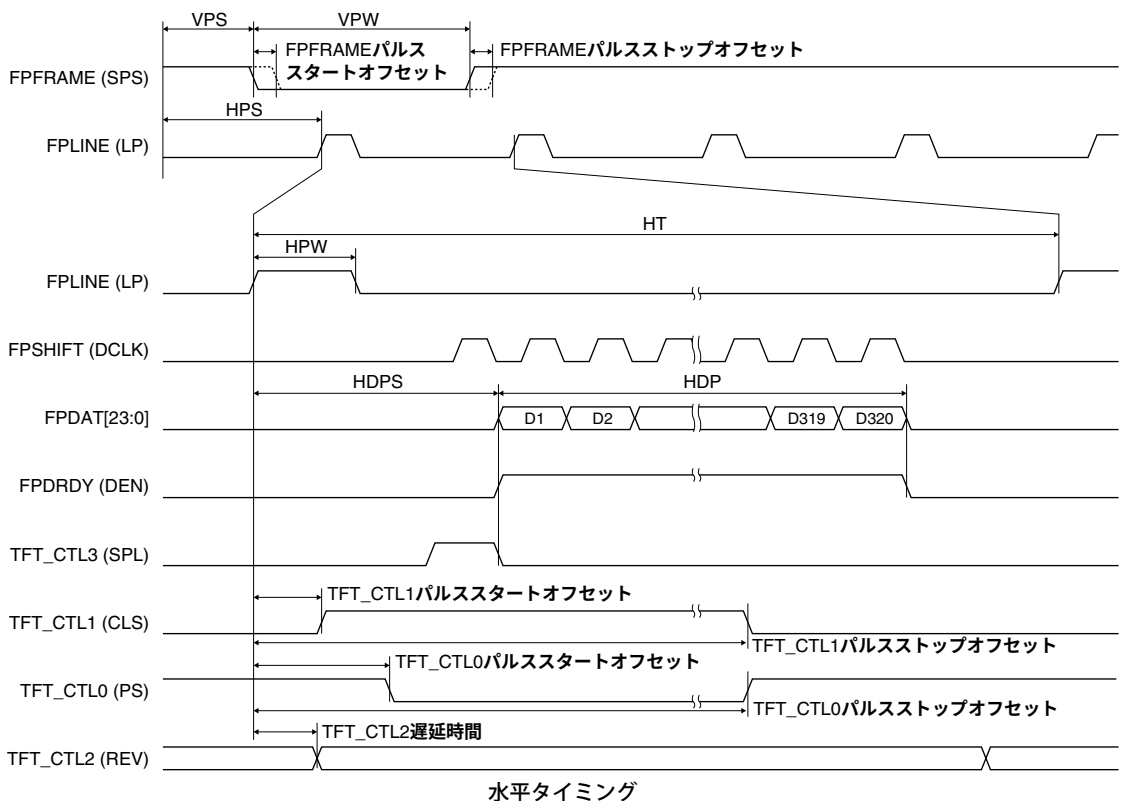
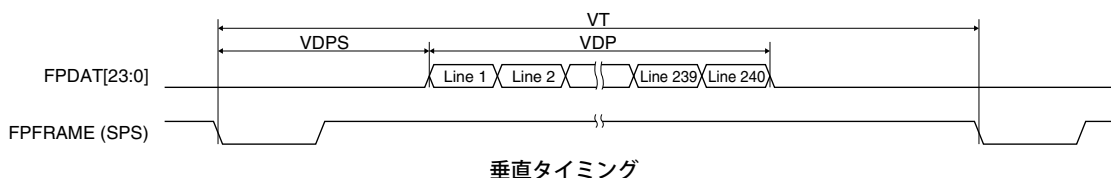


図28.5.3.1 TFTパネルタイミングパラメータ





垂直タイミング
図28.5.3.2 TFTパネルタイミングチャート

HT: 水平トータル期間

HTCNT[6:0]/LCDC_HDISPレジスタで水平トータル期間を設定します。

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

HTCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 3$$

$$HT > HDP + HDPS$$

注: LCDCがVRAMの8ワードをアクセスする時間よりも水平非表示期間(HNDP = HT - HDP)が長くなるようにHTを決定してください。

HDP: 水平表示期間

HDPCNT[6:0]/LCDC_HDISPレジスタで水平表示期間(パネル水平解像度)を設定します。

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

HDPCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

HDPS: 水平表示期間開始位置

HDPSCNT[9:0]/LCDC_HDPSレジスタでTFTパネルの水平表示期間開始位置を設定します。

$$HDPS = HDPSCNT[9:0] + 1 [Ts]$$

HDPSCNT[9:0]は次の条件を満たすように設定する必要があります。

$$HT > HDP + HDPS$$

HPS: 水平同期パルス開始位置

FPLINE_ST[9:0]/LCDC_FPLINEレジスタでTFTパネルの水平同期パルス(FPLINEまたはLP)開始位置を設定します。

$$HPS = FPLINE\_ST[9:0] + 1 [Ts]$$

HPW: 水平同期パルス幅

FPLINE_WD[6:0]/LCDC_FPLINEレジスタでTFTパネルの水平同期パルス幅を設定します。

$$HPW = FPLINE\_WD[6:0] + 1 [Ts]$$

水平同期パルス極性

FPLINE_POL/LCDC_FPLINEレジスタでTFTパネル用水平同期パルスの極性を設定します。

FPLINE_POL = 1: アクティブHigh

FPLINE_POL = 0: アクティブLow(デフォルト)

VT: 垂直トータル期間

VTCNT[9:0]/LCDC_VDISPレジスタで垂直トータル期間を設定します。

$$VT = VTCNT[9:0] + 1 [\text{ライン}]$$

VTCNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

VDP: 垂直表示期間

VDPCNT[9:0]/LCDC_VDISPレジスタで垂直表示期間(パネル垂直解像度)を設定します。

$$VDP = VDP CNT[9:0] + 1 \text{ [ライン]}$$

VDP CNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT \geq VDP + 1$$

VDPS: 垂直表示期間開始位置

VDPS CNT[9:0]/LCDC_VDPSレジスタでTFTパネルの垂直表示期間開始位置を設定します。

$$VDPS = VDPS CNT[9:0] \text{ [ライン]}$$

VDPS CNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

VPS: 垂直同期パルス開始位置

FPFRAME_ST[9:0]/LCDC_FPFRレジスタでTFTパネルの垂直同期パルス(FPFRAMEまたはSPS)開始位置を設定します。

$$VPS = FPFRAME\_ST[9:0] \text{ [ライン]} = FPFRAME\_ST[9:0] \times HT \text{ [Ts]}$$

VPW: 垂直同期パルス幅

FPFRAME_WD[6:0]/LCDC_FPFRレジスタでTFTパネルの垂直同期パルス幅を設定します。

$$VPW = FPFRAME\_WD[6:0] + 1 \text{ [ライン]} = (FPFRAME\_WD[6:0] + 1) \times HT \text{ [Ts]}$$

垂直同期パルス極性

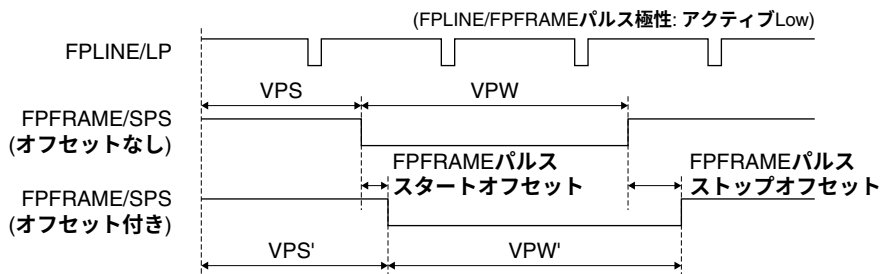
FPFRAME_POL/LCDC_FPFRレジスタでTFTパネルの垂直同期パルスの極性を設定します。

FPFRAME_POL = 1: アクティブHigh

FPFRAME_POL = 0: アクティブLow(デフォルト)

垂直同期パルスオフセット

ライン単位で設定した垂直同期パルス位置とパルス幅をピクセルクロック単位で調整することができます。



FPFRAME_STOFS[9:0]/LCDC_FPFROFSレジスタとFPFRAME_STPOFS[9:0]/LCDC_FPFROFSレジスタで垂直同期パルスの開始位置と終了位置を調整します。

$$VPS' = FPFRAME\_ST[9:0] \times HT + FPFRAME\_STOFS[9:0] \text{ [Ts]}$$

$$VPW' = (FPFRAME\_WD[6:0] + 1) \times HT - FPFRAME\_STOFS[9:0] + FPFRAME\_STPOFS[9:0] \text{ [Ts]}$$

FPSHIFT(DCLK)信号

TFTパネル用FPSHIFT(DCLK)信号の極性をFPSHIFT_POL/LCDC_TFTSOレジスタで選択できます。TFTパネルを選択した場合(PANELSEL/LCDC_DISP MODレジスタ = 1)、デフォルト設定では、水平非表示期間でもFPSHIFT(DCLK)クロックは停止しません。水平非表示期間にFPSHIFT(DCLK)クロックを停止させるにはFPSHIFT_MSK/LCDC_DISP MODレジスタを1に設定します。

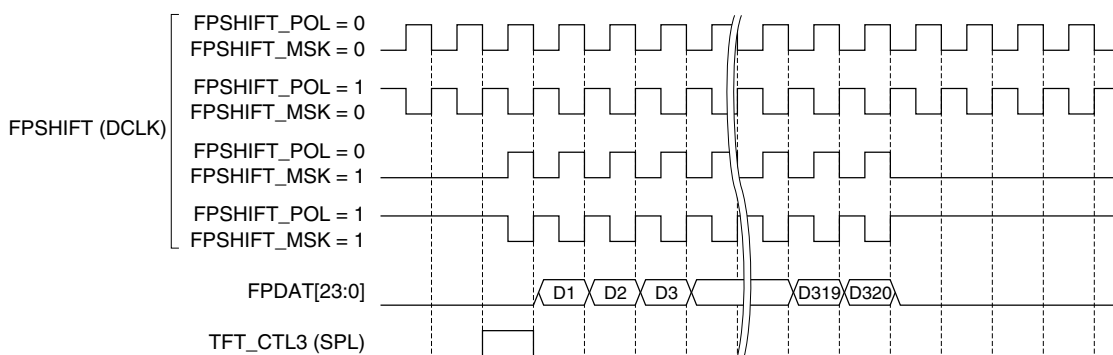


図28.5.3.4 FPSHIFT (DCLK) のバリエーション

TFT_CTL1(CLS)パルススタート/ストップオフセット

TFT_CTL1(CLS)パルスの位置と幅をピクセルクロック周期で指定できます。CTL1ST[9:0]/LCDC_TFT_CTL1レジスタでパルス開始位置を、CTL1STP[9:0]/LCDC_TFT_CTL1レジスタでパルス終了位置を、それぞれFPLINEパルス開始位置からのオフセット値として指定します。

このレジスタの設定により、TFT_CTL1パルス幅は“CTL1STP[9:0] - CTL1ST[9:0] + 1 [Ts]”に設定されます。TFT_CTL1パルスを設定する場合は、CTL1CTL/LCDC_TFTSOレジスタとCTLCNT_RUN/LCDC_TFTSOレジスタを1に設定しておく必要があります。

CTL1CTLを0(デフォルト)に設定すると、TFT_CTL1パルスはFPLINEパルス開始エッジで切り換わります。

TFT_CTL1とTFT_CTL0信号をCTL01SWAP/LCDC_TFTSOレジスタで入れ替えることもできます。

TFT_CTL1端子: CLS出力(CTL01SWAP = 0)、PS出力(CTL01SWAP = 1)

TFT_CTL0端子: PS出力(CTL01SWAP = 0)、CLS出力(CTL01SWAP = 1)

TFT_CTL0(PS)パルススタート/ストップオフセット

TFT_CTL0(PS)パルスの位置と幅をピクセルクロック周期で指定できます。CTL0ST[9:0]/LCDC_TFT_CTL0レジスタでパルス開始位置を、CTL0STP[9:0]/LCDC_TFT_CTL0レジスタでパルス終了位置を、それぞれFPLINEパルス開始位置からのオフセット値として指定します。

このレジスタの設定により、TFT_CTL0パルス幅は“CTL0STP[9:0] - CTL0ST[9:0] + 1 [Ts]”に設定されます。TFT_CTL0パルスを設定する場合は、CTLCNT_RUNを1に設定しておく必要があります。

TFT_CTL1とTFT_CTL0信号をCTL01SWAPで入れ替えることもできます。

TFT_CTL2(REV)遅延時間

FPLINEパルスの開始位置から、TFT_CTL2信号が変化するまでの遅延時間をCTL2DLY[9:0]/LCDC_TFT_CTL2レジスタで設定します。TFT_CTL2遅延時間を設定する場合は、CTLCNT_RUNを1に設定しておく必要があります。

28.5.4 表示モード

LCDC_DISPMODレジスタの設定により、表示モード(カラー/モノ、LUT使用)とbppモード(色深度または階調数)をLCDパネルに合わせて表28.5.4.1のように設定できます。

表28.5.4.1 LCDパネルの種類と表示モード

パネル	LCDC_DISPMODレジスタ			表示モード		設定可能なbppモード						
	PANELSEL	COLOR	LUTPASS	カラー/モノ	LUT	1	2	4	8	12	16	24
TFTパネル	1	1	1	カラー	バイパス	✓	✓	✓	✓	✓	✓	✓
CSTNパネル	0	1	1	カラー	バイパス	✓	✓	✓	✓	✓	✓	
MSTNパネル	0	0	1	モノクロ	バイパス	✓	✓	✓				
	0	0	0	モノクロ	MLUT	✓	✓	✓				

表28.5.4.2に、表示モードとbppモードによって決まる表示可能色/階調数を示します。

表28.5.4.2 表示可能色/階調数

bppモード	カラーモード	モノクロモード	
	LUTバイパス	LUTバイパス	MLUT使用
1bpp	白黒	白黒	2階調(2エントリ) /16階調中
2bpp	4階調	4階調	4階調(4エントリ) /16階調中
4bpp	16階調	16階調	16階調(16エントリ) /16階調中
8bpp	256色 (R: 3ビット、G: 3ビット、B: 2ビット)		
12bpp	4,096色 (R: 4ビット、G: 4ビット、B: 4ビット)		
16bpp	65,536色 ^{*1} (R: 5ビット、G: 6ビット、B: 5ビット)		
24bpp	16,777,216色 ^{*2} (R: 8ビット、G: 8ビット、B: 8ビット)		

*1: CSTN/パネルでは4,096色に制限されます。

*2: CSTN/パネルでは使用できません。

bppモードはBPP[2:0]/LCDC_DISPMODレジスタで設定します。

表28.5.4.3 bppモードの設定

BPP[2:0]	bppモード
0x7	Reserved
0x6	24bpp
0x5	16bpp
0x4	12bpp
0x3	8bpp
0x2	4bpp
0x1	2bpp
0x0	1bpp

(デフォルト: 0x0)

上記の色数を表示するには、ルックアップテーブル使用/未使用に合った適切なデータ形式でVRAMデータを設定する必要があります。

VRAMデータ形式とルックアップテーブルの詳細は、28.5.5～28.5.7節を参照してください。

28.5.5 VRAMデータ形式

ここでは、各bppモードのVRAMデータ形式を説明します。

VRAM内のピクセルデータは画面の左上端のピクセルを先頭に配置します。1ライン目の2番目以降のピクセルデータを最初のピクセルデータに続けて配置し、さらに2ライン目から最終ラインまでのデータを続けます。各バイトはMSBを先頭として、リトルエンディアン形式に配置します。カラーピクセルデータは赤ビット、緑ビット、青ビットの順序にします。

1bppモード(白黒または2階調)

1bppモードでは、VRAMの各ビットが1ピクセル(画素)に対応します。ルックアップテーブルをバイパスした場合、VRAMのビットデータはピクセルの輝度(0または1)を表します。ルックアップテーブルを使用する場合、ビットデータはLUTエントリ番号(0または1)を指定します。

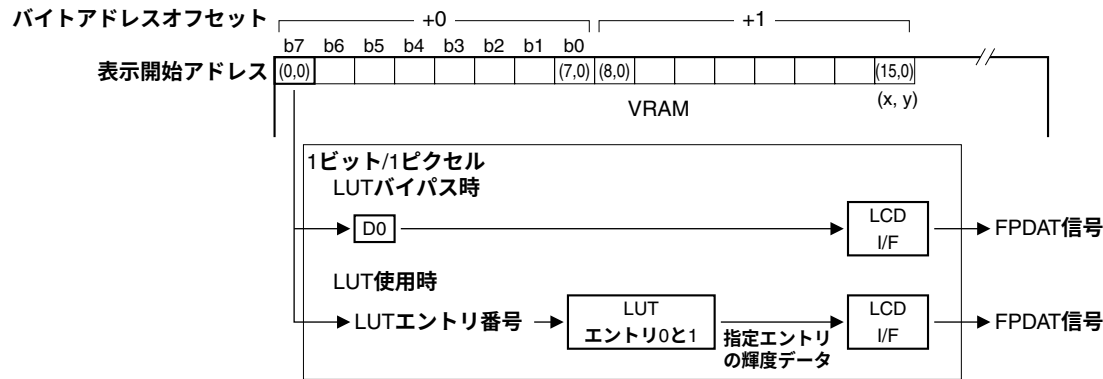


図28.5.5.1 1bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000
画面幅: 320ピクセル
LUT: バイパス
LCD表示: データ = 0 → 低輝度



注) 使用するLCDパネルによっては表示が反転します。

図28.5.5.2 1bppモードのVRAMデータ例

2bppモード(4階調)

2bppモードでは、VRAMの各2ビットが1ピクセルに対応します。ルックアップテーブルをバイパスした場合、VRAMの2ビットデータはピクセルの輝度(0~3)を表します。ルックアップテーブルを使用する場合、ビットデータはLUTエントリ番号(0~3)を指定します。

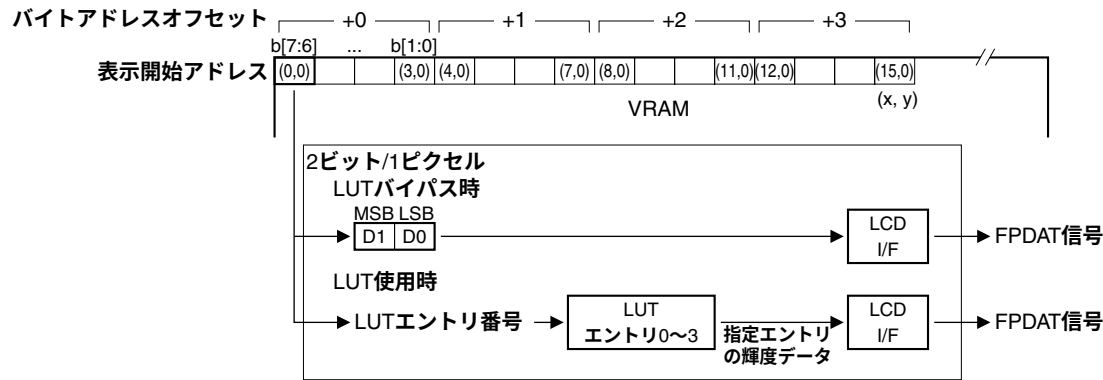
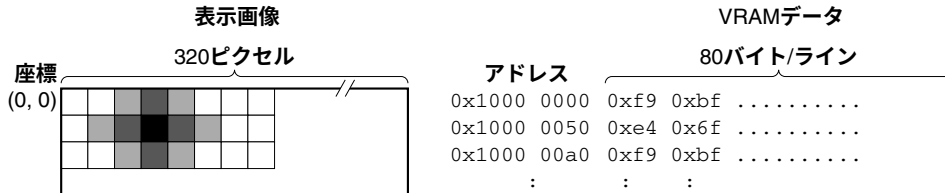


図28.5.5.3 2bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000
 画面幅: 320ピクセル
 LUT: バイパス
 LCD表示: データ = 0 → 低輝度



注) 使用するLCDパネルによっては表示が反転します。

図28.5.5.4 2bppモードのVRAMデータ例

4bppモード(16階調)

4bppモードでは、VRAMの各4ビットが1ピクセルに対応します。ルックアップテーブルをバイパスした場合、VRAMの4ビットデータはピクセルの輝度(0~15)を表します。ルックアップテーブルを使用する場合、ビットデータはLUTエントリ番号(0~15)を指定します。

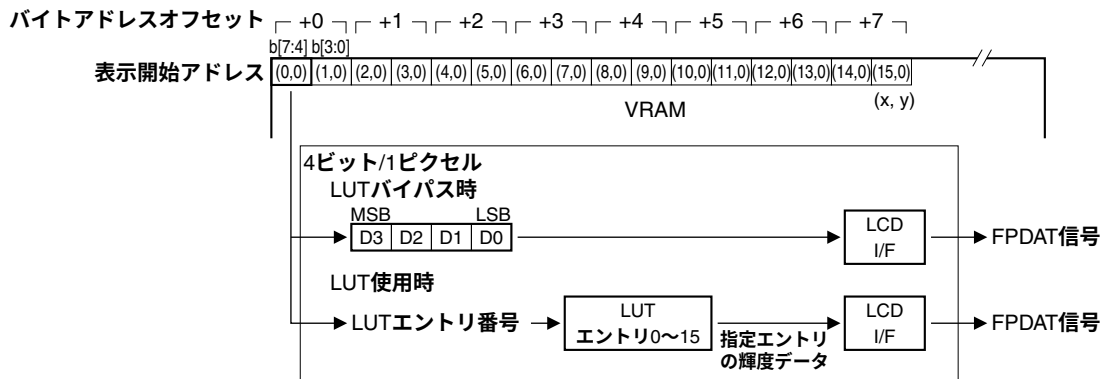
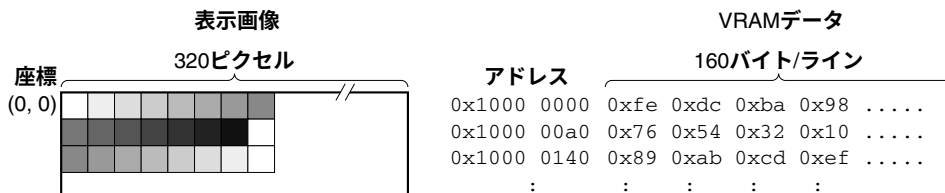


図28.5.5.5 4bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000
 画面幅: 320ピクセル
 LUT: バイパス
 LCD表示: データ = 0 → 低輝度



注) 使用するLCDパネルによっては表示が反転します。

図28.5.5.6 4bppモードのVRAMデータ例

8bppモード(256色)

8bppモードでは、VRAMの各バイトが1ピクセルに対応します。各バイトのビット[7:5](3ビット)、ビット[4:2](3ビット)、ビット[1:0](2ビット)がそれぞれ赤、緑、青の輝度を表します。このモードはルックアップテーブルには対応していません。

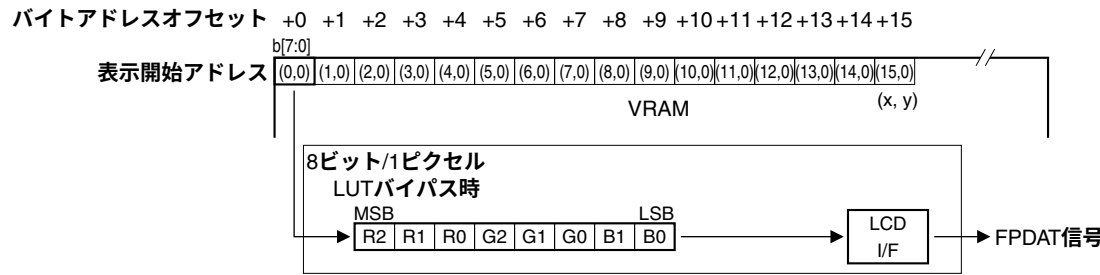
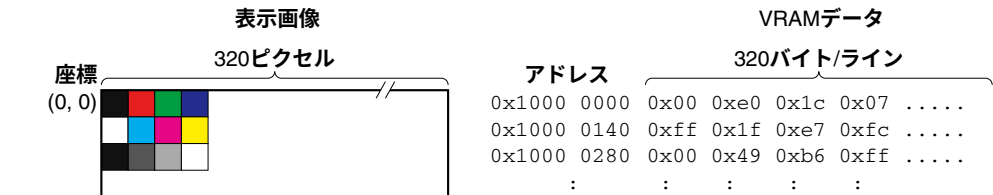


図28.5.5.7 8bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000
画面幅: 320ピクセル
LUT: バイパス
LCD表示: データ = 0 → 低輝度



注)使用するLCDパネルによっては表示が反転します。

図28.5.5.8 8bppモードのVRAMデータ例

12bppモード(4K色)

12bppモードでは、VRAMの各12ビットが1ピクセルに対応します。表示データは偶数X座標ピクセルと奇数X座標ピクセルのペアで構成される3バイト単位に扱う必要があります。各12ビット中のビット[11:8](4ビット)、ビット[7:4](4ビット)、ビット[3:0](4ビット)がそれぞれ赤、緑、青の輝度を表します。このモードはルックアップテーブルには対応していません。

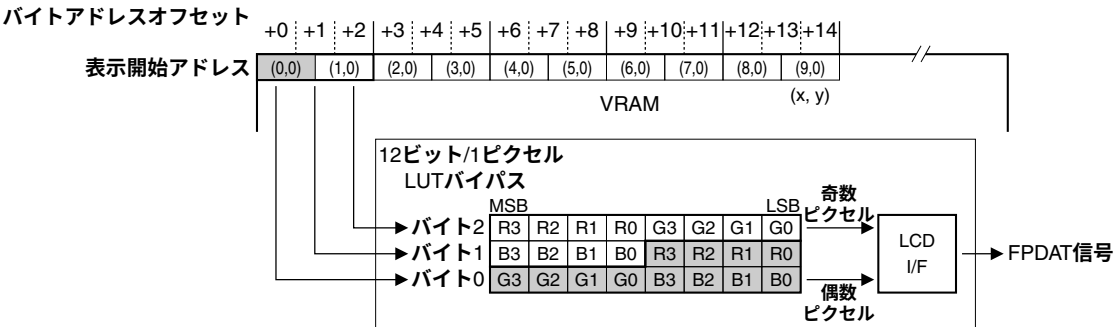
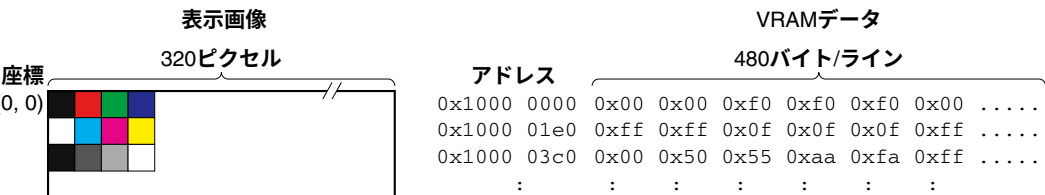


図28.5.5.9 12bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000
画面幅: 320ピクセル
LUT: バイパス
LCD表示: データ = 0 → 低輝度



注)使用するLCDパネルによっては表示が反転します。

図28.5.5.10 12bppモードのVRAMデータ例

16bppモード(TFT: 64K色、CSTN: 4K色)

16bppモードでは、VRAMの各2バイトが1ピクセルに対応します。各16ビット中のビット[15:11](5ビット)、ビット[10:5](6ビット)、ビット[4:0](5ビット)がそれぞれ赤、緑、青の輝度を表します。このモードはルックアップテーブルには対応していません。

バイトアドレスオフセット

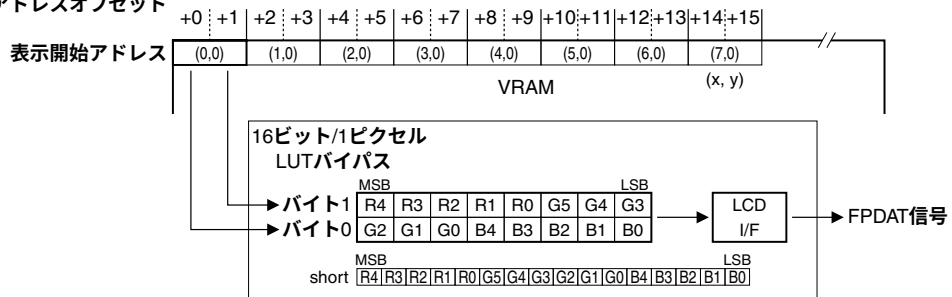


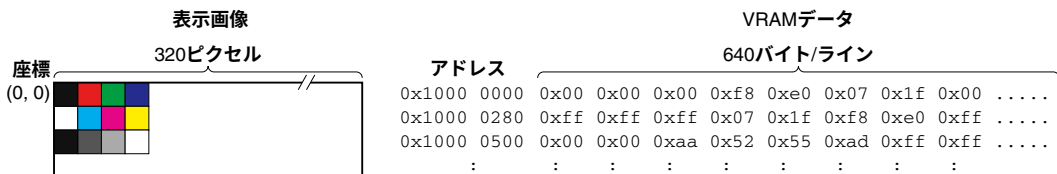
図28.5.5.11 16bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000

画面幅: 320ピクセル

LUT: バイパス

LCD表示: データ = 0 → 低輝度



注) 使用するLCDパネルによっては表示が反転します。

図28.5.5.12 16bppモードのVRAMデータ例

注: 16bppモードを選択しても、CSTNパネルを使用する場合は最大4K色に制限されます。

24bppモード(TFT: 16M色)

24bppモードでは、VRAMの各3バイトが1ピクセルに対応します。各24ビット中のビット[23:16](8ビット)、ビット[15:8](8ビット)、ビット[7:0](8ビット)がそれぞれ赤、緑、青の輝度を表します。このモードはルックアップテーブルには対応していません。

バイトアドレスオフセット

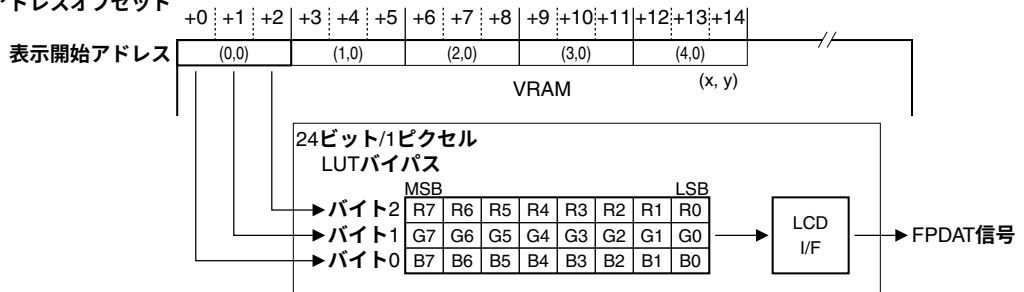
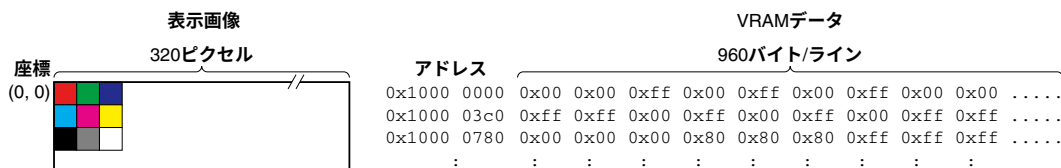


図28.5.5.13 24bppモードのVRAMデータ形式

例) VRAM開始アドレス: 0x10000000

画面幅: 320ピクセル
LUT: バイパス
LCD表示: データ = 0 → 低輝度



注)使用するLCDパネルによっては表示が反転します。

図28.5.5.14 24bppモードのVRAMデータ例

28.5.6 LUTバイパスモード

LUTバイパスモード(LUTPASS/LCDC_DISPMDレジスタ = 1)では、VRAMデータが直接FPDAT信号に変換されます。このモードでは、COLOR/LCDC_DISPMDレジスタの設定にかかわらず、1/2/4bppモードではグレースケール画像を、8/12/16/24bppモードではカラー画像を表示します。

TFTパネルのLUTバイパスモード

TFTパネルを使用する場合、以下の設定を行ってください。

- LUTバイパス機能を有効(LUTPASS/LCDC_DISPMDレジスタ = 1)
- カラーモードを選択(COLOR/LCDC_DISPMDレジスタ = 1)

LUTバイパスモードでは、VRAM内のピクセルデータから直接FPDAT信号が生成されます。各bppモードのピクセルデータとFPDAT信号の関係を以下に示します。

注: • TFTパネルを使用する場合は必ずLUTバイパスモードに設定してください。

- 本節では、SWINV/LCDC_DISPMDレジスタが0に設定されているものとして信号レベルを記載しています。SWINVを1(ソフトウェア表示反転を有効)に設定すると、信号レベルは反転します。

1bppモード(TFTパネル、LUTバイパス)

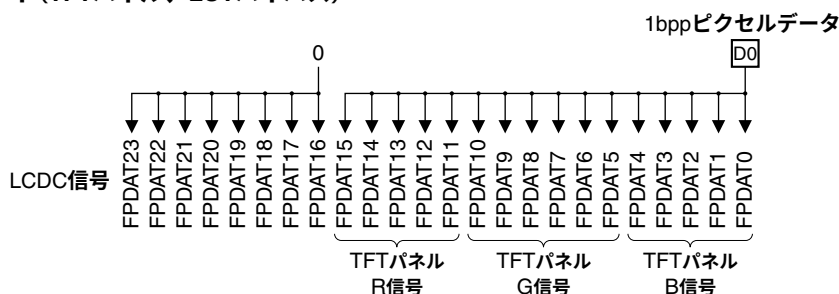


図28.5.6.1 LUTバイパスモードのFPDAT信号 (TFTパネル、1bppモード)

表28.5.6.1 1bppピクセルデータとFPDAT信号の関係

ピクセルデータ	FPDAT[15:0]信号	FPDAT[23:16]信号
1	High (1)	Low (0)
0	Low (0)	Low (0)

2bppモード(TFTパネル、LUTバイパス)

輝度を均等にするため、D1とD0をTFTパネルのRGB信号に繰り返し接続しています。

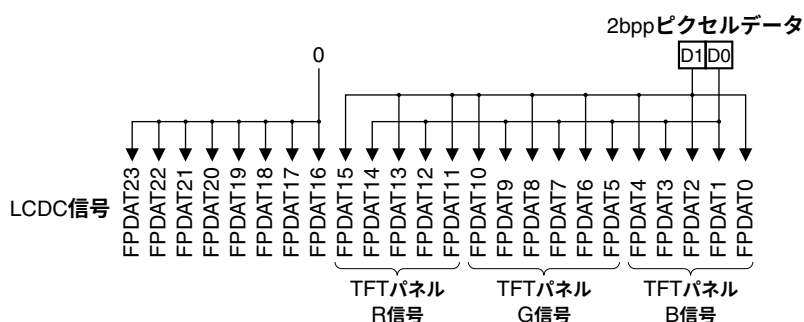


図28.5.6.2 LUTバイパスモードのFPDAT信号(TFTパネル、2bppモード)

表28.5.6.2 2bppピクセルデータとFPDAT信号の関係

ピクセルデータ	FPDAT0/2/4/6/8/ 10/11/13/15信号	FPDAT1/3/5/7 /9/12/14信号	FPDAT[23:16]信号
0x3	High (1)	High (1)	Low (0)
0x2	High (1)	Low (0)	Low (0)
0x1	Low (0)	High (1)	Low (0)
0x0	Low (0)	Low (0)	Low (0)

4bppモード(TFTパネル、LUTバイパス)

輝度を均等にするため、D3～D0をTFTパネルのRGB信号に繰り返し接続しています。

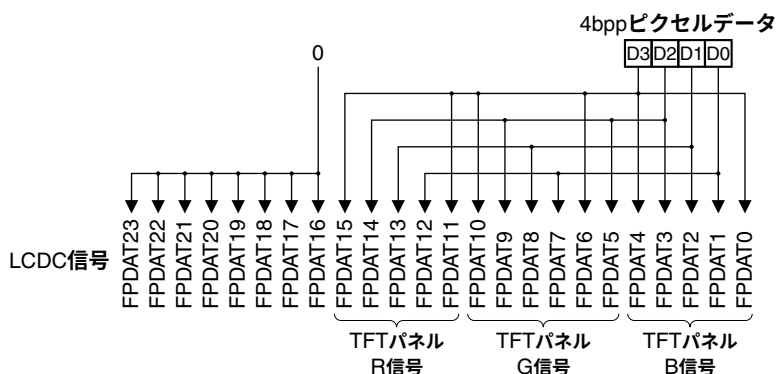


図28.5.6.3 LUTバイパスモードのFPDAT信号(TFTパネル、4bppモード)

表28.5.6.3 4bppピクセルデータとFPDAT信号の関係

ピクセルデータ	FPDAT0/4/6/10 /11/15信号	FPDAT3/5/9/14 信号	FPDAT2/8/13 信号	FPDAT1/7/12 信号	FPDAT[23:16] 信号
0xf	High (1)	High (1)	High (1)	High (1)	Low (0)
0xe	High (1)	High (1)	High (1)	Low (0)	Low (0)
0xd	High (1)	High (1)	Low (0)	High (1)	Low (0)
0xc	High (1)	High (1)	Low (0)	Low (0)	Low (0)
0xb	High (1)	Low (0)	High (1)	High (1)	Low (0)
0xa	High (1)	Low (0)	High (1)	Low (0)	Low (0)
0x9	High (1)	Low (0)	Low (0)	High (1)	Low (0)
0x8	High (1)	Low (0)	Low (0)	Low (0)	Low (0)
0x7	Low (0)	High (1)	High (1)	High (1)	Low (0)
0x6	Low (0)	High (1)	High (1)	Low (0)	Low (0)
0x5	Low (0)	High (1)	Low (0)	High (1)	Low (0)
0x4	Low (0)	High (1)	Low (0)	Low (0)	Low (0)
0x3	Low (0)	Low (0)	High (1)	High (1)	Low (0)
0x2	Low (0)	Low (0)	High (1)	Low (0)	Low (0)
0x1	Low (0)	Low (0)	Low (0)	High (1)	Low (0)
0x0	Low (0)	Low (0)	Low (0)	Low (0)	Low (0)

8bppモード(TFTパネル、LUTバイパス)

輝度を均等にするため、R2～R0、G2～G0、B1～B0をTFTパネルのRGB信号に繰り返し接続しています。

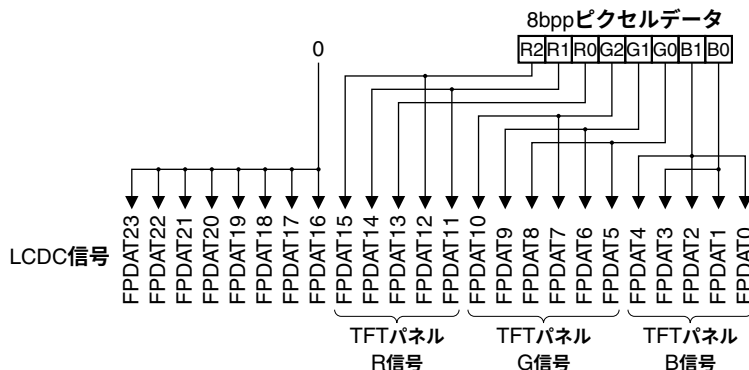


図28.5.6.4 LUTバイパスモードのFPDAT信号(TFTパネル、8bppモード)

たとえば、ピクセルデータが0x59(R = 0x2、G = 0x6、B = 0x1)の場合、FPDAT信号は以下のように出力されます。

FPDAT15 = Low(0)	FPDAT10 = High(1)	FPDAT4 = Low(0)
FPDAT14 = High(1)	FPDAT9 = High(1)	FPDAT3 = High(1)
FPDAT13 = Low(0)	FPDAT8 = Low(0)	FPDAT2 = Low(0)
FPDAT12 = Low(0)	FPDAT7 = High(1)	FPDAT1 = High(1)
FPDAT11 = High(1)	FPDAT6 = High(1)	FPDAT0 = Low(0)
	FPDAT5 = Low(0)	

FPDAT[23:16] = Low(0)

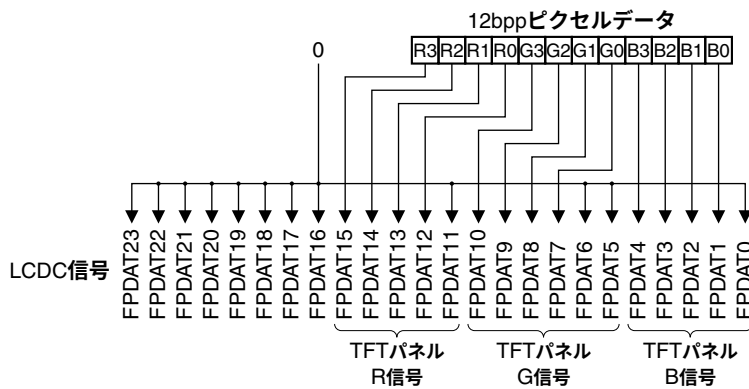
12bppモード(TFTパネル、LUTバイパス)

図28.5.6.5 LUTバイパスモードのFPDAT信号(TFTパネル、12bppモード)

たとえば、ピクセルデータが0xc51(R = 0xb、G = 0x5、B = 0x1)の場合、FPDAT信号は以下のように出力されます。

FPDAT15 = High(1)	FPDAT10 = Low(0)	FPDAT4 = Low(0)
FPDAT14 = High(1)	FPDAT9 = High(1)	FPDAT3 = Low(0)
FPDAT13 = Low(0)	FPDAT8 = Low(0)	FPDAT2 = Low(0)
FPDAT12 = Low(0)	FPDAT7 = High(1)	FPDAT1 = High(1)
FPDAT11 = Low(0)	FPDAT6 = Low(0)	FPDAT0 = Low(0)
	FPDAT5 = Low(0)	

FPDAT[23:16] = Low(0)

16bppモード(TFTパネル、LUTバイパス)

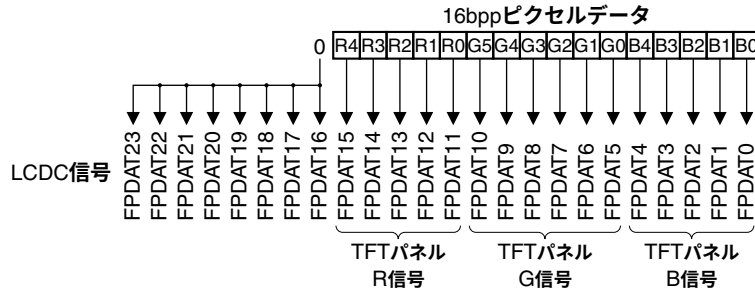


図28.5.6.6 LUTバイパスモードのFPDAT信号(TFTパネル、16bppモード)

たとえば、ピクセルデータが0x5b37(R = 0xb, G = 0x19, B = 0x17)の場合、FPDAT信号は以下のように出力されます。

FPDAT15 = Low(0)	FPDAT10 = Low(0)	FPDAT4 = High(1)
FPDAT14 = High(1)	FPDAT9 = High(1)	FPDAT3 = Low(0)
FPDAT13 = Low(0)	FPDAT8 = High(1)	FPDAT2 = High(1)
FPDAT12 = High(1)	FPDAT7 = Low(0)	FPDAT1 = High(1)
FPDAT11 = High(1)	FPDAT6 = Low(0)	FPDAT0 = High(1)
	FPDAT5 = High(1)	

FPDAT[23:16] = Low(0)

24bppモード(TFTパネル、LUTバイパス)

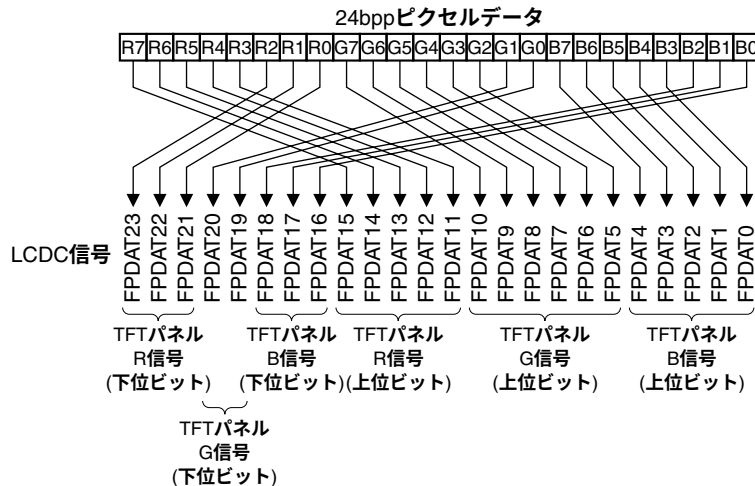


図28.5.6.7 LUTバイパスモードのFPDAT信号(TFTパネル、24bppモード)

たとえば、ピクセルデータが0x123456(R = 0x12, G = 0x34, B = 0x56)の場合、FPDAT信号は以下のように出力されます。

FPDAT15 = Low(0)	FPDAT10 = Low(0)	FPDAT4 = Low(0)
FPDAT14 = Low(0)	FPDAT9 = Low(0)	FPDAT3 = High(1)
FPDAT13 = Low(0)	FPDAT8 = High(1)	FPDAT2 = Low(0)
FPDAT12 = High(1)	FPDAT7 = High(1)	FPDAT1 = High(1)
FPDAT11 = Low(0)	FPDAT6 = Low(0)	FPDAT0 = Low(0)
FPDAT23 = Low(0)	FPDAT5 = High(1)	FPDAT18 = High(1)
FPDAT22 = High(1)	FPDAT20 = Low(0)	FPDAT17 = High(1)
FPDAT21 = Low(0)	FPDAT19 = Low(0)	FPDAT16 = Low(0)

CSTNパネルのLUTバイパスモード

CSTNパネルを使用する場合、LUTバイパスモードは以下の条件が成立している場合に有効です。

- LUTバイパス機能が有効に設定されている (LUTPASS/LCDC_DISPMODレジスタ = 1)
- カラーモードが選択されている (COLOR/LCDC_DISPMODレジスタ = 1)
- 1、2、4、8、12、または16bppモードが選択されている (BPP[2:0]/LCDC_DISPMODレジスタ = 0x0 ~ 0x5)

LUTバイパスモードでは、VRAM内のピクセルデータによって階調が指定され、FPDAT信号が生成されます。各bppモードのピクセルデータとFPDAT信号の関係を以下に示します。

注: • CSTNパネルを使用する場合は必ずLUTバイパスモードに設定してください。

- CSTNパネルは、ピクセルを周期的にOn/Offすることで中間調を表現します。TFTパネルとは異なり、FPDAT信号が直接表示色を表すものではありません。

1bppモード (CSTNパネル、LUTバイパス)

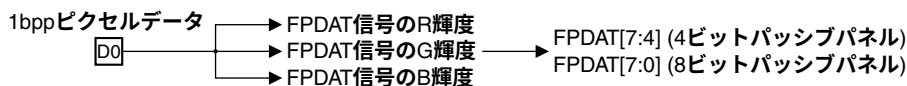


図28.5.6.8 LUTバイパスモードのFPDAT信号 (CSTN、1bppモード)

2bppモード (CSTNパネル、LUTバイパス)

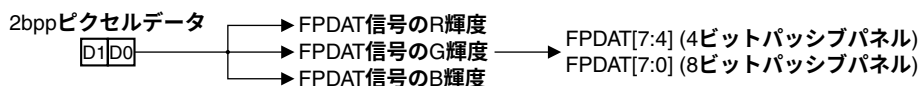


図28.5.6.9 LUTバイパスモードのFPDAT信号 (CSTN、2bppモード)

4bppモード (CSTNパネル、LUTバイパス)

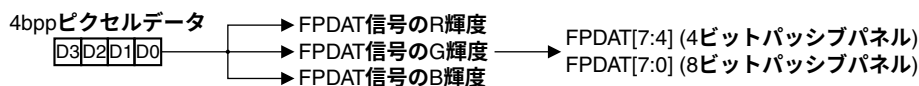


図28.5.6.10 LUTバイパスモードのFPDAT信号 (CSTN、4bppモード)

8bppモード (CSTNパネル、LUTバイパス)

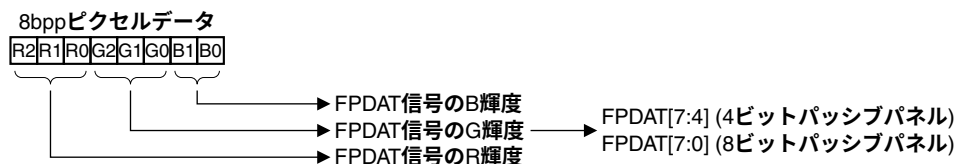


図28.5.6.11 LUTバイパスモードのFPDAT信号 (CSTN、8bppモード)

12bppモード (CSTNパネル、LUTバイパス)

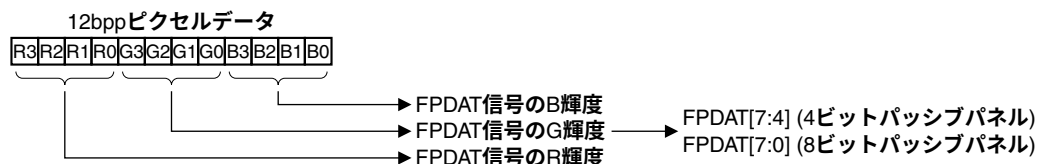


図28.5.6.12 LUTバイパスモードのFPDAT信号 (CSTN、12bppモード)

16bppモード (CSTNパネル、LUTバイパス)

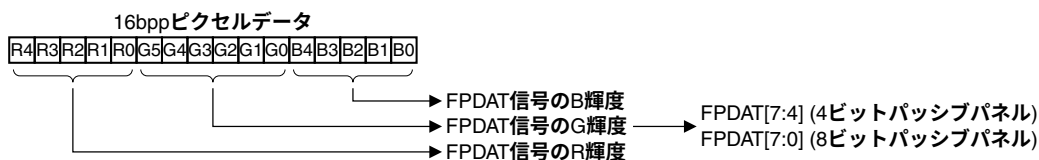


図28.5.6.13 LUTバイパスモードのFPDAT信号 (CSTN、16bppモード)

MSTNパネルのLUTバイパスモード

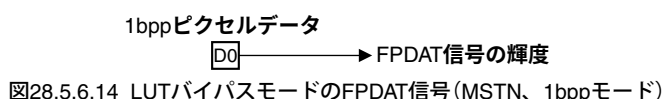
MSTNパネルを使用する場合、LUTバイパスモードは以下の条件が成立している場合に有効です。

- LUTバイパス機能が有効に設定されている (LUTPASS/LCDC_DISPMODレジスタ = 1)
- モノクロモードが選択されている (COLOR/LCDC_DISPMODレジスタ = 0)
- 1、2、または4bppモードが選択されている (BPP[2:0]/LCDC_DISPMODレジスタ = 0x0~0x2)

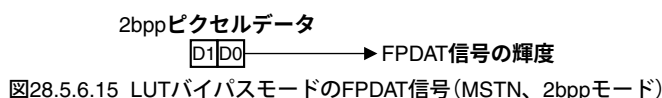
LUTバイパスモードでは、VRAM内のピクセルデータによって階調が指定され、FPDAT信号が生成されます。各bppモードのピクセルデータとFPDAT信号の関係を以下に示します。

注: ピクセルごとにFPDAT信号が割り当てられ、4または8ピクセルのデータが1度にMSTNパネルに送られます。MSTNパネルは、ピクセルを周期的にOn/Offすることで中間調を表現します。TFTパネルとは異なり、FPDAT信号が直接表示階調を表すものではありません。

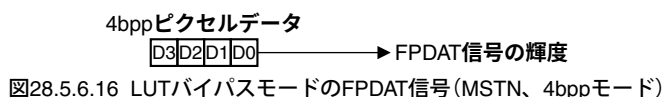
1bppモード(MSTNパネル、LUTバイパス)



2bppモード(MSTNパネル、LUTバイパス)



4bppモード(MSTNパネル、LUTバイパス)



28.5.7 ルックアップテーブル

ルックアップテーブルを有効にすると、VRAM内のピクセルデータはルックアップテーブルのインデックスとして使用され、VRAMデータが示すLUTエントリに保存されている階調データを元にLCDパネルに送るFPDAT信号が生成されます。

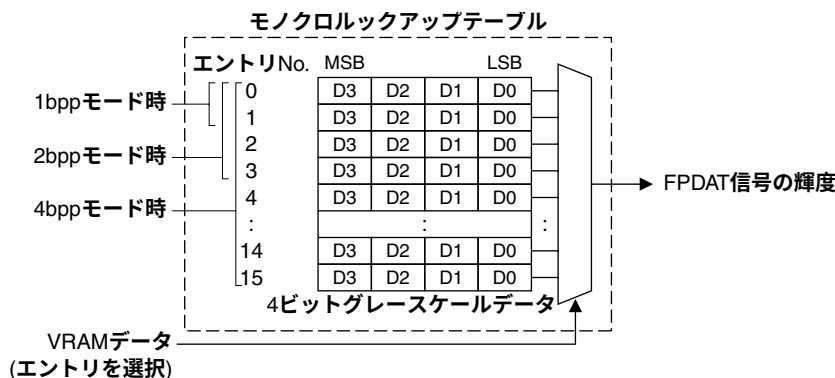
S1C33L27はモノクロモード用ルックアップテーブルMLUTを内蔵しています。

モノクロルックアップテーブル(MLUT)

以下のすべての条件が成立すると、LCDCはMLUTを使用してVRAMデータを階調データに変換します。

- LUTバイパス機能が無効に設定されている (LUTPASS/LCDC_DISPMODレジスタ = 0)
- モノクロモードが選択されている (COLOR/LCDC_DISPMODレジスタ = 0)
- 1、2、または4bppモードが選択されている (BPP[2:0]/LCDC_DISPMODレジスタ = 0x0~0x2)

モノクロルックアップテーブルは次の図に示すとおり、4ビット × 16エントリで構成されています。各エントリには16階調中1階調をソフトウェアで設定しておくことができます。使用するエントリは選択されているbppモードによって決まります。



注: ピクセルごとにFPDAT信号が割り当てられ、4または8ピクセルのデータが1度にMSTNパネルに送られます。MSTNパネルは、ピクセルを周期的にOn/Offすることで中間調を表現します。TFTパネルとは異なり、FPDAT信号が直接表示階調を表すものではありません。

モノクロルックアップテーブルのデータ設定

ルックアップテーブルに対する4ビット階調データの書き込み/読み出しには、0x302090と0x302094番地に割り付けられているモノクロルックアップテーブルデータレジスタを使用します。

表28.5.7.1 モノクロルックアップテーブルレジスタ

LUTエントリ	LUTビット/レジスタ
0	MLUT0[3:0]/LCDC_MLUT0
1	MLUT1[3:0]/LCDC_MLUT0
2	MLUT2[3:0]/LCDC_MLUT0
3	MLUT3[3:0]/LCDC_MLUT0
4	MLUT4[3:0]/LCDC_MLUT0
5	MLUT5[3:0]/LCDC_MLUT0
6	MLUT6[3:0]/LCDC_MLUT0
7	MLUT7[3:0]/LCDC_MLUT0
8	MLUT8[3:0]/LCDC_MLUT1
9	MLUT9[3:0]/LCDC_MLUT1
10	MLUT10[3:0]/LCDC_MLUT1
11	MLUT11[3:0]/LCDC_MLUT1
12	MLUT12[3:0]/LCDC_MLUT1
13	MLUT13[3:0]/LCDC_MLUT1
14	MLUT14[3:0]/LCDC_MLUT1
15	MLUT15[3:0]/LCDC_MLUT1

上記レジスタによる設定に加え、LCDCリロード機能を使用してモノクロルックアップテーブルの内容をメモリに用意したデータで置き換えることもできます。LCDCリロード機能の詳細は、28.9節を参照してください。

28.5.8 フレームレート

フレームレートはパネルの水平および垂直トータル期間、ピクセルクロック周波数により以下のとおり算出できます。

$$\text{フレームレート} = \frac{f_{\text{LCDC\_CLK}}}{\text{HT} \times \text{VT}}$$

$f_{\text{LCDC\_CLK}}$: ピクセルクロック周波数

$f_{\text{LCDC\_CLK}} = \text{OSC3}/1 \sim \text{OSC3}/32$ [Hz] “28.4.2 LCDCクロックの設定”参照

HT: 水平トータル期間

$\text{HT} = (\text{HTCNT}[6:0] + 1) \times 8$ [Ts] Ts: ピクセルクロック周期

VT: 垂直トータル期間

$\text{VT} = \text{VTCNT}[9:0] + 1$ [ライン]

28.5.9 その他の設定

MODレート

MOD信号が切り換わる周期を、MOD[5:0]/LCDC_MODRレジスタで設定することができます。

MOD = 0x0: MOD信号をFPFRAME信号の周期で切り換え(デフォルト)

MOD = 0x0以外: MOD+1個のFPLINEパルスの周期で切り換え

FRMパターンのリピート

ELパネル用の設定項目です。フレームレートモジュレーションのパターンを0x40000フレーム(内蔵フレームカウンタがカウント)ごとに繰り返すかどうか、FRMRPT/LCDC_DISPMODレジスタで設定できます。

FRMRPT = 1: FRMパターンを繰り返す(ELパネル用)

FRMRPT = 0: 繰り返さない(デフォルト)

28.6 表示の制御

28.6.1 LCDパワーアップ/ダウン制御

LCDコントローラはCMUからLCDCクロックを供給することによって動作します。イニシャルリセット後、LCDコントローラはパワーセーブモードに設定されます。クロックが供給されても、すぐにパワーアップシーケンスを開始して表示を行うわけではありません。パワーセーブモードでは、LCD信号出力端子はすべてLowに固定されます。

パワーセーブモードを解除して通常モードにするには、PSAVE[1:0]/LCDC_PSAVEレジスタを0x3に設定します。LCDコントローラはここからパワーアップシーケンスを開始し、LCD信号を出力します。逆に通常モードからパワーセーブモードに移行する場合、PSAVE[1:0]を0x0に設定するとLCDコントローラはここからパワーダウンシーケンスを開始し、LCD信号をLowにします。パワーセーブモードでも、LCD制御レジスタの設定やルックアップテーブルを設定することはできます。

また、LCD信号が正しく出力されていない状態でLCDパネルの電源を投入/切断すると、パネルを損傷する場合があります。したがって、本LCDコントローラがLCD信号の出力制御を開始してから、LCDパネルの電源を投入する必要があります。このLCDパネル電源の制御には、入出力ポートを使用してください。LCD信号が出力されていない場合は、入出力兼用ポートの出力をLCD電源がOffするように制御し、LCD信号が出力されてからポートの制御によりLCD電源をOnします。

電源投入時のLCD初期化手順の例を以下にまとめます。

1. クロック、端子、表示メモリ領域の設定を行います。（“28.4 システム設定”参照）
2. LCDパネルパラメータ、表示モード、ルックアップテーブルの設定を行います。（“28.5 LCDパネルの設定”参照）
3. LCDC割り込みをイネーブルにします。
4. 表示メモリに表示データを書き込みます。
5. 表示開始アドレスを設定します。（“28.6.2 メインウィンドウ表示開始アドレスと仮想画面の設定”参照）
6. LCDコントローラを通常モード(PSAVE = 0x3)にします。
7. LCDコントローラはLCD信号の出力を開始します。
8. LCDパネル用電源に合わせ、待ち時間をとります。
9. 入出力ポートを制御して、LCDパネルに電源を供給します。

パワーダウンの操作は次のように行います。

1. ポートを制御してLCDパネルの電源をOffします。
2. LCDパネル用電源に合わせ、待ち時間をとります。
3. LCDコントローラをパワーセーブモード(PSAVE = 0x0)にします。
4. LCDコントローラはLCD信号をLowにします。

28.6.2 メインウィンドウ表示開始アドレスと仮想画面の設定

メインウィンドウ表示開始アドレス

メインウィンドウの表示を開始する表示メモリアドレスは、LCDC_MAINADRレジスタで自由に変更できます。このレジスタに設定した開始アドレスがLCDパネルの左上端に対応します。

このレジスタには、IVRAMまたは外部VRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

仮想画面用メインスクリーンアドレスオフセット

S1C33L27のLCDCはLCDパネルと異なるサイズのVRAMを使用するための仮想画面機能に対応しています。

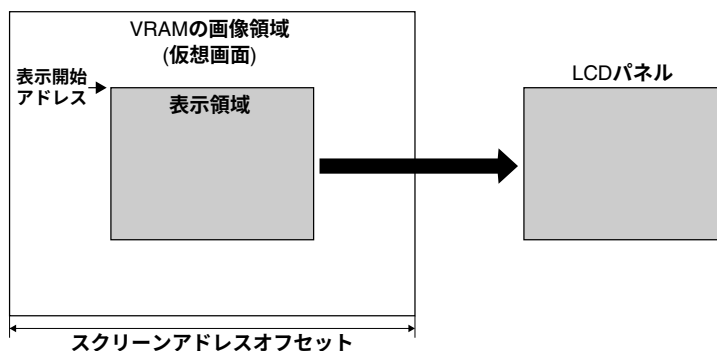


図28.6.2.1 仮想画面機能

スクリーンアドレスオフセットは画像の幅(仮想画面幅)に相当するワード数です。LCDCは表示データをワード単位に扱います。したがって、画像の幅(ピクセル数)は(32ビット ÷ bpp)の倍数である必要があります。

スクリーンアドレスオフセットは以下のように求められます。

$$\text{メインスクリーンアドレスオフセット} = \text{仮想画面幅のピクセル数} \times \text{bpp} / 32 [\text{ワード}]$$

この値をMW_OFS[11:0]/LCDC_MAINOFSレジスタに設定します。

例: LCDパネルサイズ = 320 × 240ピクセル、8bppモード、画像(仮想画面)サイズ = 640 × 480ピクセル

表示ライン幅 = 320 × 8 / 32 = 80 (=0x50) [ワード] (= 320 [バイト])

MW_OFS[11:0] = 640 × 8 / 32 = 160 (=0xa0) [ワード] (= 640 [バイト])

0x10000000番地から始まる画像データの([X1, Y1]–[X2, Y2] = [160, 120]–[479, 359])の画像領域をメインウィンドウに表示する場合、メインウィンドウ表示開始アドレスは0x10012ca0になります。

$$(X1 \times 8 / 32) [\text{ワード}] + \text{MW\_OFS}[11:0] [\text{ワード}] \times Y1 = 0x4b28 [\text{ワード}] = 0x12ca0 [\text{バイト}]$$

$$\text{メインウィンドウ表示開始アドレス} = 0x10000000 + 0x12ca0 = 0x10012ca0$$

LCDCは各ラインの先頭ピクセルおよび最終ピクセルのアドレスを次のように算出します。

$$\text{第}N\text{ラインの先頭ピクセルアドレス} = \text{表示開始アドレス} + (N-1) \times \text{MW\_OFS}[11:0] [\text{ワード}]$$

$$\text{第}N\text{ラインの最終ピクセルアドレス} = \text{表示開始アドレス} + (N-1) \times \text{MW\_OFS}[11:0] [\text{ワード}] + \text{表示ライン幅} [\text{ワード}] - 1$$

$$\text{第1ライン開始アドレス} = 0x10012ca0$$

$$\text{第1ライン終了アドレス} = 0x10012ca0 + (0x50 - 1) \times 4 = 0x10012dc4$$

$$\text{第2ライン開始アドレス} = 0x10012ca0 + 1 \times 0xa0 \times 4 = 0x10012f20$$

$$\text{第2ライン終了アドレス} = 0x10012f20 + (0x50 - 1) \times 4 = 0x10013044$$

⋮

$$\text{第240ライン開始アドレス} = 0x10012ca0 + 239 \times 0xa0 \times 4 = 0x10038220$$

$$\text{第240ライン終了アドレス} = 0x10038220 + (0x50 - 1) \times 4 = 0x10038344$$

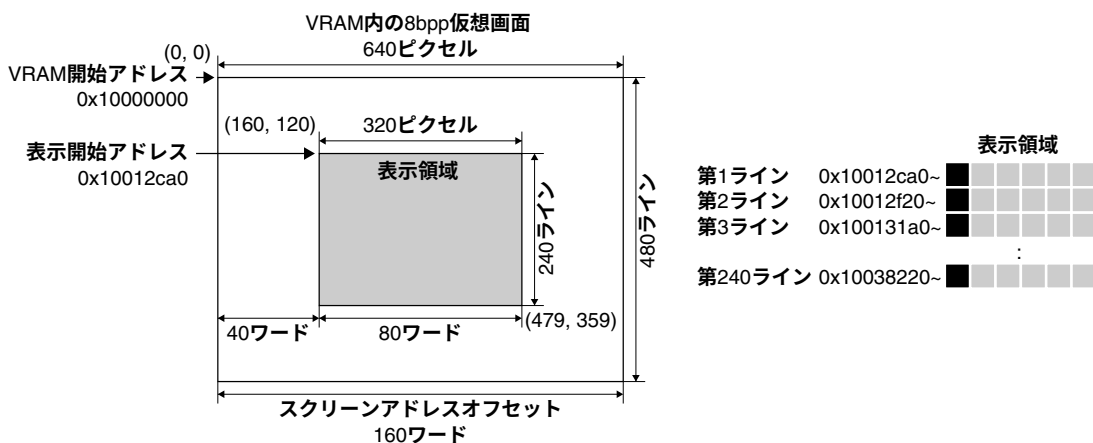


図28.6.2.2 仮想画面構成例

28.6.3 表示データの書き込み

LCDコントローラは、各フレームのリフレッシュシーケンスを終了後、垂直非表示期間の最初に割り込みを発生します。また、垂直表示期間の状態を示すVNDPF/LCDC_PSAVEレジスタが用意されており、垂直非表示期間中は1になります。

画面のちらつき等を防ぐため、表示データ、LUTデータ、表示バッファの変更は、この割り込みまたはVNDPFを使用して非表示期間に行うようにしてください。

LCDC割り込みの詳細については“28.7 LCDC割り込み”を参照してください。

28.6.4 ブランク表示と反転表示

VRAMの内容を書き換えることなく、表示を消す(画面全体を黒くまたは白くする)ことができます。BLANK/LCDC_DISPMDレジスタを1に設定すると、FPDAT信号がLowまたはHighになり表示が消えます。0にすると通常の表示に戻ります。画面が黒と白のどちらになるかについては、以下に説明するSWINV/LCDC_DISPMDレジスタの設定により決まります。

また、ビットの操作のみで表示を反転させることができます。SWINVを1に設定すると表示が反転し、0にすると通常の表示に戻ります。

この機能は、LCDCが出力する表示データを反転します。

これらの操作により、画面を点滅させることができます。切り換えは、垂直非表示期間内(VNDPF = 1)に行ってください。

28.6.5 Picture-in-Picture Plusとサブウィンドウ

Picture-in-Picture Plus(PIP+)はメインウィンドウ内にサブウィンドウを表示する機能です。サブウィンドウはサブウィンドウ用制御レジスタの設定により、メインウィンドウ内の任意の場所に表示させることができます。サブウィンドウの色深度はメインウィンドウと同じです。メインウィンドウと同様、サブウィンドウも仮想画面機能に対応しています。

サブウィンドウ設定用パラメータを次の図に示します。

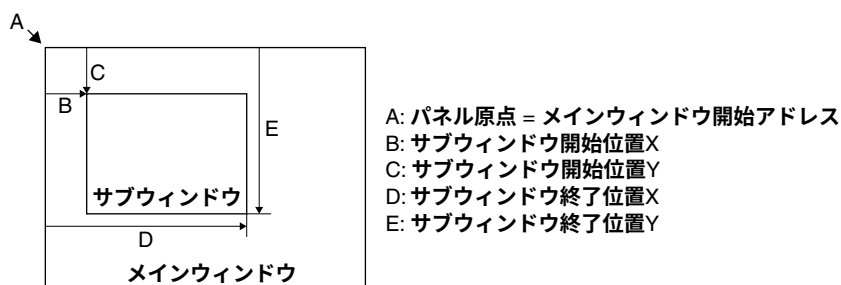


図28.6.5.1 サブウィンドウ設定用パラメータ

サブウィンドウ用表示メモリ

サブウィンドウの表示データはIVRAMまたは外部VRAMに格納できます。メインウィンドウと同じメモリを使用する場合は、メインウィンドウとサブウィンドウの表示データ領域が重ならないように注意してください。

サブウィンドウの開始アドレスは、LCDC_SUBADRレジスタを使用してメインウィンドウと同様に指定できます。このレジスタに設定した開始アドレスがサブウィンドウの左上端に対応します。このレジスタには、IVRAMまたは外部VRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

サブウィンドウの幅は(32ビット ÷ bpp)の倍数である必要があります。

サブウィンドウの座標

サブウィンドウの表示位置と表示サイズは、開始位置(左上)と終了位置(右下)のXY座標を指定することで決まります。

サブウィンドウ開始位置は、X座標をPIP_XSTART[9:0]/LCDC_SUBSPレジスタで、Y座標をPIP_YSTART[9:0]/LCDC_SUBSPレジスタで指定します。終了位置はX座標をPIP_XEND[9:0]/LCDC_SUBEPレジスタで、Y座標をPIP_YEND[9:0]/LCDC_SUBEPレジスタで指定します。

X座標はLCDパネル原点からのピクセル数をbppモードで決まるデータワード数に変換して指定します。したがって、(32ビット ÷ bpp)ピクセル単位での指定となります。

- 1bppモード: 1ワード = 32ピクセル単位
- 2bppモード: 1ワード = 16ピクセル単位
- 4bppモード: 1ワード = 8ピクセル単位
- 8bppモード: 1ワード = 4ピクセル単位
- 12bppモード: 3ワード = 8ピクセル単位(整数指定が必要なため)
- 16bppモード: 1ワード = 2ピクセル単位
- 24bppモード: 3ワード = 4ピクセル単位(整数指定が必要なため)

たとえば、8bppモードでサブウィンドウの水平方向開始位置が80ピクセルの場合、PIP_XSTART[9:0]には20を設定します。

Y座標はLCDパネル原点からのライン数を1ライン単位で指定します。たとえば、サブウィンドウの垂直方向開始位置が60ラインの場合、PIP_YSTART[9:0]には60を設定します。

注: サブウィンドウはメインウィンドウ内に配置する必要があります。

仮想画面用サブスクリーンアドレスオフセット

サブウィンドウでも仮想画面機能を使用することができます。スクリーンアドレスオフセットをSW_OFS[11:0]/LCDC_SUBOFSレジスタで設定します。

$$\text{サブスクリーンアドレスオフセット} = \text{仮想画面幅のピクセル数} \times \text{bpp} / 32 \text{ [ワード]}$$

仮想画面とその設定方法については、28.6.2節内の“仮想画面用メインスクリーンアドレスオフセット”を参照してください。

サブウィンドウの表示制御

PIP_EN/LCDC_SUBSPレジスタを1に設定するとPIP+機能がイネーブルとなり、サブウィンドウが表示されます。このビットは前述のサブウィンドウ用パラメータを設定後にセットしてください。

イニシャルリセット時、PIP_ENは0に設定され、サブウィンドウは表示されません。

サブウィンドウの設定例

以下の設定でメインウィンドウとサブウィンドウを構成する例を示します。

[条件]

- LCDパネル解像度: 320 × 240ピクセル
- bppモード: 4bpp(16階調/16色)
- 使用メモリ: 外部SDRAM(エリア19、0x10000000～)
- 仮想メインスクリーンサイズ: 800 × 600ピクセル、データは0x10000000に配置
- 仮想サブスクリーンサイズ: 640 × 480ピクセル、データは0x10100000に配置(1024 × 768ピクセルなど、メインスクリーンより大きなサイズにも設定可能)
- サブウィンドウサイズ: 160 × 120ピクセル
- サブウィンドウ開始位置: X = 80ピクセル、Y = 60ピクセル

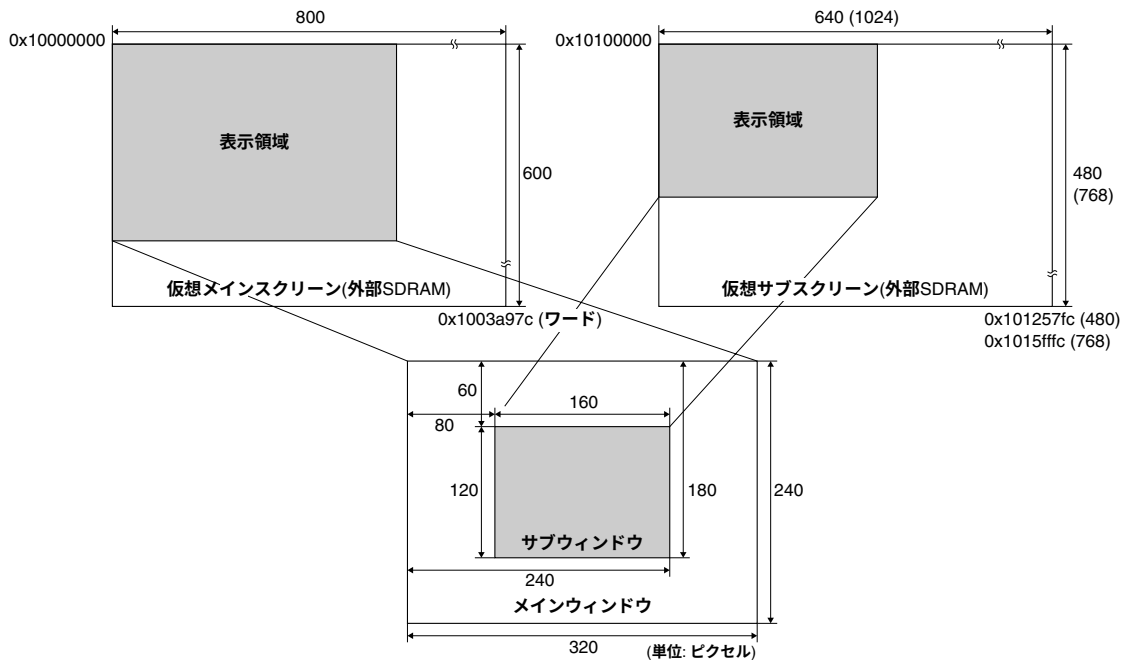


図28.6.5.2 サブウィンドウ設定例

1. メインウィンドウ開始アドレス

LCDC_MAINADRレジスタ = 0x10000000~0x1003a97c(ワード境界アドレス)

このレジスタで、仮想メインスクリーンVRAM内のメインウィンドウ表示位置を変更します。

2. メインスクリーンアドレスオフセット

MW_OFS[11:0] = 800ピクセル × 4bpp ÷ 32ビット = 100ワード

LCDC_MAINOFSレジスタ = 100 = 0x64

3. サブウィンドウ開始アドレス

LCDC_SUBADRレジスタ = 0x10100000~0x101257fc(640 × 480ピクセル、ワード境界アドレス)

LCDC_SUBADRレジスタ = 0x10100000~0x1015fffc(1024 × 768ピクセル、ワード境界アドレス)

このレジスタで、仮想サブスクリーンVRAM内のサブウィンドウ表示位置を変更します。

4. サブスクリーンアドレスオフセット

SW_OFS[11:0] = 640ピクセル × 4bpp ÷ 32ビット = 80ワード(640 × 480ピクセル)

LCDC_SUBOFSレジスタ = 80 = 0x50

SW_OFS[11:0] = 1024ピクセル × 4bpp ÷ 32ビット = 128ワード(1024 × 768ピクセル)

LCDC_SUBOFSレジスタ = 128 = 0x80

5. サブウィンドウ終了位置

PIP_XEND[9:0] = (80 + 160)ピクセル × 4bpp ÷ 32ビット - 1 = 29ワード = 0x1d

PIP_YEND[9:0] = 60 + 120ライン - 1 = 179ライン = 0xb3

LCDC_SUBEPレジスタ = 0x00b3001d

6. サブウィンドウ開始位置

PIP_XSTART[9:0] = 80ピクセル × 4bpp ÷ 32ビット = 10ワード = 0x0a

PIP_YSTART[9:0] = 60ライン = 0x3c

LCDC_SUBSPレジスタ = 0x803c000a

このレジスタのMSBはサブウィンドウイネーブルビットです。このビットを1に設定すると、サブウィンドウが表示されます。

7. 12bppまたは24bppモード時の注意事項

LCDCを12bppまたは24bppモードで使用する場合、アドレスは3ワード境界に合わせる必要があります。

LCDC_MAINADRレジスタ = $0x10000000 + 3n$ (ワード)

LCDC_SUBADRレジスタ = $0x10100000 + 3n$ (ワード)

PIP_XSTART[9:0] = $3n$ (ワード)

PIP_XEND[9:0] = $3n + 2$ (ワード)

28.7 LCDC割り込み

LCDCはフレーム割り込みを発生可能です。

フレーム割り込み

この割り込みを使用するには、FRINTEN/LCDC_INTレジスタを1に設定します。FRINTENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

フレームのリフレッシュサイクル(垂直表示期間)が終了して垂直非表示期間が始まると、VNDPF/LCDC_PSAVEレジスタが1にセットされます。同時にFRINTF/LCDC_PSAVEレジスタが1にセットされ、フレーム割り込みが許可されていれば(FRINTEN = 1)、これと同時に割り込み要求信号が割り込みコントローラ(ITC)に出力されます。他の割り込み条件が満たされていれば、割り込みが発生します。

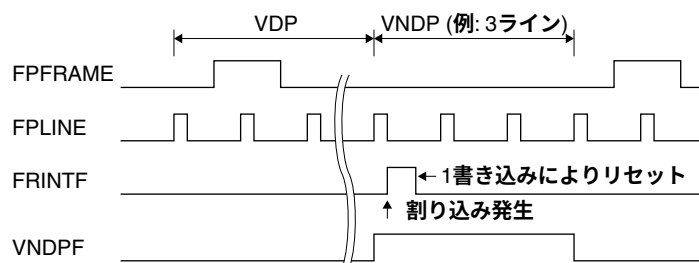


図28.7.1 フレーム割り込みタイミング

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

28.8 パワーセーブ

本LCDコントローラはパワーセーブモードを持っています。PSAVE[1:0]/LCDC_PSAVEレジスタで設定します。

表28.8.1 パワーセーブモードの設定

PSAVE[1:0]	モード
0x3	通常動作
0x2	Reserved
0x1	Reserved
0x0	パワーセーブモード

(デフォルト: 0x0)

パワーセーブモード

このモードに設定すると、LCD信号出力端子がすべてLowとなりLCDパネルをパワーダウンします。LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。

PSAVE[1:0]を0x0に設定するとパワーセーブモードに設定され、0x3に設定すると解除されます。

パワーセーブモードとノーマルモードの比較

表28.8.2にパワーセーブモードとノーマルモードの相違点をまとめます。

表28.8.2 パワーセーブモードとノーマルモードの相違点

項 目	パワーセーブモード	ノーマルモード
I/Oレジスタへのアクセス	可	可
ルックアップテーブルへのアクセス	可	可
VRAMへのアクセス	可	可
表示(STNパネル)	インアクティブ	アクティブ
表示(TFTパネル)	インアクティブ	アクティブ
表示データフェッチ動作	インアクティブ	アクティブ
FPDAT[23:0]信号(STN、TFTパネル)	Low	アクティブ
FPSHIFT信号(STNパネル)	Low	アクティブ
FPLINE、FPFRAME、FPDRDY信号(STNパネル)	Low	アクティブ
FPSHIFT信号(TFTパネル)	High	アクティブ
FPSHIFT_POL/LCDC_TFTSOレジスタ = 0の場合	Low	アクティブ
FPSHIFT_POL/LCDC_TFTSOレジスタ = 1の場合		
FPFRAME信号(TFTパネル)	High/Low	アクティブ
FPLINE信号(TFTパネル)	High/Low	アクティブ
TFT_CTL0信号(TFTパネル)	High/Low	アクティブ
TFT_CTL1信号(TFTパネル)	High/Low	アクティブ
TFT_CTL2信号(TFTパネル)	High/Low	アクティブ
TFT_CTL3信号(TFTパネル)	Low	アクティブ

28.9 リロード機能

LCDCには2種類のリロード機能(コントロールテーブルリロード機能とLUTリロード機能)があり、メモリに用意したリロードデータでLCDC制御レジスタとルックアップテーブルを再設定することができます。

コントロールテーブルリロード機能

コントロールテーブルリロード機能はLCDC制御レジスタ設定内容のバックアップと復元に使用します。次の表は、コントロールテーブルリロード機能に使用するリロードテーブルの内容の一覧です。

表28.9.1 リロードテーブルの内容(LCDCレジスタ)

アドレス	制御レジスタ
Base + 0x00	LCDC Display Mode Register (LCDC_DISPMD), 0x302060
Base + 0x04	Main Window Display Start Address Register (LCDC_MAINADR), 0x302070
Base + 0x08	Main Screen Address Offset Register (LCDC_MAINOFS), 0x302074
Base + 0x0c	Sub-window Display Start Address Register (LCDC_SUBADR), 0x302080
Base + 0x10	Sub-screen Address Offset Register (LCDC_SUBOFS), 0x302084
Base + 0x14	Sub-window Start Position Register (LCDC_SUBSP), 0x302088
Base + 0x18	Sub-window End Position Register (LCDC_SUBEP), 0x30208c

Base: リロードテーブル開始アドレス

リロードテーブルはIVRAMに配置可能で、その開始アドレス(Base)をRTBL_BADR[31:10]/LCDC_RLDADRレジスタで指定します。LCDC_RLDADRレジスタの下位10ビットは0x0に固定されていますので、リロードテーブルは1Kバイト境界アドレスから始まります。2つ以上のリロードテーブルを用意し、RTBL_BADR[31:10]で切り換えて使用することもできます。

注: リロードテーブルを外部メモリには配置しないでください。

リロードテーブル用にメモリ領域を確保し、上記の内容をアプリケーションプログラムから書き込んでおく必要があります。

リロードテーブルのビット構成は、LCDC制御レジスタと同じです。

CTABRLD/LCDC_RLDCTLレジスタに1を書き込むと、リロードテーブルデータによってLCDC制御レジスタが再設定されます。このリロード操作は、垂直非表示期間に行ってください。CTABRLDはリロード動作中は1を保持し、リロードが終了すると0に戻ります。

LUTリロード機能

LUTリロード機能はルックアップテーブルの設定内容を入れ換えるために使用できます。この機能は、ルックアップテーブル機能を有効(LUTPASS/LCDC_DISPMDレジスタ=0)にすることによって使用可能になります。次の表は、LUTリロード機能に使用するリロードテーブルの内容です。

表28.9.2 リロードテーブルの内容(LUTデータ)

Address	モノクロLUTデータ (COLOR = 0の場合)
Base + 0x100	MLUT0[3:0]~MLUT7[3:0] (LCDC_MLUT0レジスタと同内容)
Base + 0x104	MLUT8[3:0]~MLUT15[3:0] (LCDC_MLUT1レジスタと同内容)
Base + 0x106	

Base: リロードテーブル開始アドレス

表に記載の“Base”はRTBL_BADR[31:10](コントロールテーブルリロード機能と同じ)で指定するリロードテーブル開始アドレスです。

モノクロLUTデータの構成は、LCDC_MLUT0およびLCDC_MLUT1レジスタと同じです。

LUTRLD/LCDC_RLDCTLレジスタに1を書き込むと、リロードテーブルデータによってルックアップテーブルが再設定されます。このリロード操作は、垂直非表示期間に行ってください。LUTRLDはリロード動作中は1を保持し、リロードが終了すると0に戻ります。

LUTRLDとCTABRLDを同時に1に設定した場合は、先に制御レジスタのデータが置き換えられ、その後でLUTデータが置き換えられます。

28.10 制御レジスタ詳細

表28.10.1 LCDC制御レジスタ一覧

アドレス	レジスタ名		機 能
0x302000	LCDC_INT	LCDC Interrupt Enable Register	LCDC割り込み許可/禁止
0x302004	LCDC_PSAVE	Status and Power Save Configuration Register	LCDCステータス表示、パワーセーブ制御
0x302010	LCDC_HDISP	Horizontal Display Register	水平トータル/表示期間設定
0x302014	LCDC_VDISP	Vertical Display Register	垂直トータル/表示期間設定
0x302018	LCDC_MODR	MOD Rate Register	MODレート設定
0x302020	LCDC_HDPS	Horizontal Display Start Position Register	TFT水平表示期間開始位置設定
0x302024	LCDC_VDPS	Vertical Display Start Position Register	TFT垂直表示期間開始位置設定
0x302028	LCDC_FPLINE	FPLINE Pulse Setting Register	TFT FPLINE/パルス設定
0x30202c	LCDC_FPF	FPFRAME Pulse Setting Register	TFT FPFRAME/パルス設定
0x302030	LCDC_FPFROFS	FPFRAME Pulse Offset Register	TFT FPLINE/パルスタイミング調整
0x302040	LCDC_TFTSO	TFT Special Output Register	TFT用信号制御
0x302044	LCDC_TFT_CTL1	TFT_CTL1 Pulse Register	TFT_CTL1/パルスタイミング設定
0x302048	LCDC_TFT_CTL0	TFT_CTL0 Pulse Register	TFT_CTL0/パルスタイミング設定
0x30204c	LCDC_TFT_CTL2	TFT_CTL2 Register	TFT_CTL2/パルス信号タイミング設定
0x302050	LCDC_RLDCTL	LCDC Reload Control Register	リロード制御
0x302054	LCDC_RLDADR	LCDC Reload Table Base Address Register	リロードテーブル開始アドレス設定
0x302060	LCDC_DISPMD	LCDC Display Mode Register	表示モード設定
0x302070	LCDC_MAINADR	Main Window Display Start Address Register	メインウィンドウ表示開始アドレス設定
0x302074	LCDC_MAINOFS	Main Screen Address Offset Register	仮想メインスクリーン幅設定
0x302080	LCDC_SUBADR	Sub-window Display Start Address Register	サブウィンドウ表示開始アドレス設定
0x302084	LCDC_SUBOFS	Sub-screen Address Offset Register	仮想サブスクリーン幅設定
0x302088	LCDC_SUBSP	Sub-window Start Position Register	サブウィンドウ開始位置設定
0x30208c	LCDC_SUBEP	Sub-window End Position Register	サブウィンドウ終了位置設定
0x302090	LCDC_MLUT0	Monochrome Look-up Table Register 0	モノクロルックアップテーブルデータエントリ0~7
0x302094	LCDC_MLUT1	Monochrome Look-up Table Register 1	モノクロルックアップテーブルデータエントリ8~15

以下にLCDコントローラの制御レジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

LCDC Interrupt Enable Register (LCDC_INT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
LCDC Interrupt Enable Register (LCDC_INT)	0x302000 (32 bits)	D31-1	—	reserved	—		—	—	0 when being read.
		D0	FRINTEN	Frame interrupt enable	1	Enable	0	Disable	0

D[31:1] Reserved

D0 FRINTEN: Frame Interrupt Enable Bit

LCDCフレーム割り込み要求出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

フレーム割り込みを使用する場合はFRINTENを1に設定します。これにより、割り込みコントローラに割り込み信号が出力されるようになります。このビットが0の場合、フレーム割り込みは発生しません。

Status and Power Save Configuration Register (LCDC_PSAVE)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Status and Power Save Configuration Register (LCDC_PSAVE)	0x302004 (32 bits)	D31	FRINTF	Frame interrupt flag	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.
		D30–8	–	reserved	–		–	–	–	–	0 when being read.
		D7	VNDPF	Vertical display status flag	1	VNDP	0	VDP	1	R	
		D6–2	–	reserved	–		–	–	–	–	0 when being read.
		D1–0	PSAVE[1:0]	Power save mode select	PSAVE[1:0]		Mode		0x0	R/W	
					0x3	Normal					
					0x2	reserved					
					0x1	reserved					
					0x0	Power save					

D31 FRINTF: Frame Interrupt Flag Bit

フレーム割り込み要因の発生状態を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

FRINTFは垂直非表示期間が始まると1にセットされます。FRINTEN/LCDC_INTレジスタを1に設定している場合、これと同時に割り込み要求信号が割り込みコントローラ(ITC)に出力されます。

D[30:8] Reserved

D7 VNDPF: Vertical Display Status Flag Bit

垂直非表示期間内かどうかを示します。

1(R): 垂直非表示期間(デフォルト)

0(R): 垂直表示期間

垂直非表示期間中にVNDPFは1になり、垂直表示期間は0になります。画面を乱さずに画像の切り換えを行う場合は、このビットを読み出すことによって垂直非表示期間内に切り換え操作が行えます。

D[6:2] Reserved

D[1:0] PSAVE[1:0]: Power Save Mode Select Bits

パワーセーブモードを選択します。

表28.10.2 パワーセーブモードの設定

PSAVE[1:0]	モード
0x3	通常動作
0x2	Reserved
0x1	Reserved
0x0	パワーセーブモード

(デフォルト: 0x0)

PSAVE[1:0]を0x0に設定するとパワーセーブモードに設定されます。このモードは、LCD信号出力端子がすべてLowとなり、LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。PSAVE[1:0]を0x3に設定するとパワーセーブモードが解除されます。

Horizontal Display Register (LCDC_HDISP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal Display Register (LCDC_HDISP)	0x302010 (32 bits)	D31–23	–	reserved	–	–	–	0 when being read.
		D22–16	HTCNT[6:0]	Horizontal total period (HT) setup HT = HDP + HNBP HT > HDPS + HDP (for TFT)	HT = (HTCNT + 1) × 8 [Ts] HNBP = (HTCNT - HDPCNT) × 8 [Ts]	0x0	R/W	
		D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	HDPCNT [6:0]	Horizontal display period (HDP) setup	HDP = (HDPCNT + 1) × 8 [Ts]	0x0	R/W	

D[31:23] Reserved

D[22:16] HTCNT[6:0]: Horizontal Total Period (HT) Setup Bits

水平トータル期間(HT)を8ピクセル単位で設定します。(デフォルト: 0x0)

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

水平トータル期間は水平表示期間と水平非表示期間を含み、設定可能な最大値は1,024ピクセル周期です。

HTCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 3$$

$$HT > HDP + HDPS$$

注: LCDCがVRAMの8ワードをアクセスする時間よりも水平非表示期間(HNBP = HT - HDP)が長くなるようにHTを決定してください。

D[15:7] Reserved

D[6:0] HDPCNT[6:0]: Horizontal Display Period (HDP) Setup Bits

水平表示期間(HDP、パネル水平解像度)を8ピクセル単位で設定します。(デフォルト: 0x0)

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

HDPCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

* HDPはLCDパネルの種類、パネルのデータ幅、bpp表示モードには関係しないパネルの水平解像度です。

例: 320 × 240 LCD (STN/TFT) パネル使用時

$$HDP = 320$$

$$HDPCNT[6:0] = 320/8 - 1 = 39 \quad (= 0x27)$$

Vertical Display Register (LCDC_VDISP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical Display Register (LCDC_VDISP)	0x302014 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	VTCNT[9:0]	Vertical total period (VT) setup VT = VDP + VNBP VT > VDPS + VDP (for TFT)	VT = VTCNT + 1 [lines] VNBP = VTCNT - VDPCNT [lines]	0x0	R/W	
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	VDPCNT [9:0]	Vertical display period (VDP) setup	VDP = VDPCNT + 1 [lines]	0x0	R/W	

D[31:26] Reserved

D[25:16] VTCNT[9:0]: Vertical Total Period (VT) Setup Bits

垂直トータル期間(VT)をライン単位で設定します。(デフォルト: 0x0)

$$VT = VTCNT[9:0] + 1 [\text{ライン}]$$

垂直トータル期間は垂直表示期間と垂直非表示期間を含み、設定可能な最大値は1,024ラインです。

VT CNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

D[15:10] Reserved

D[9:0] VDP CNT[9:0]: Vertical Display Period (VDP) Setup Bits

垂直表示期間(VDP、パネル垂直解像度)をライン単位で設定します。(デフォルト: 0x0)

$$VDP = VDP CNT[9:0] + 1 \text{ [ライン]}$$

VDP CNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT \geq VDP + 1$$

* VDPはLCDパネルの種類、パネルのデータ幅、bpp表示モードには関係しないパネルの垂直解像度です。

例: 320 × 240 LCD(STN/TFT)パネル使用時

$$VDP = 240$$

$$VDP CNT[9:0] = 240 - 1 = 239 \text{ (= 0xef)}$$

MOD Rate Register (LCDC_MODR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MOD Rate Register (LCDC_MODR)	0x302018 (32 bits)	D31-6	—	reserved	—	—	—	0 when being read.
		D5-0	MOD[5:0]	LCD MOD rate setup	0x0 to 0x3f	0x0	R/W	

D[31:6] Reserved

D[5:0] MOD[5:0]: LCD MOD Rate Setup Bits

MOD信号を切り換える周期を設定します。(デフォルト: 0x0)

このレジスタが0x0の場合は、FPFRAME信号の周期でMOD信号が切り換わります。それ以外の周期に設定するには、FPLINEパルスのカウント値を設定します。

Horizontal Display Start Position Register (LCDC_HDPS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal Display Start Position Register (LCDC_HDPS)	0x302020 (32 bits)	D31-10	—	reserved	—	—	—	0 when being read.
		D9-0	HDP SCNT [9:0]	Horizontal display period start position for TFT HT > HDP + HDPS	HDPS = HDP SCNT [Ts]	0x0	R/W	0x0 must be set for STN panels.

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved

D[9:0] HDP SCNT[9:0]: Horizontal Display Period Start Position Bits

TFTパネルの水平表示期間開始位置(HDPS)をピクセルクロック単位で設定します。(デフォルト: 0x0)

$$HDPS = HDP SCNT[9:0] + 1 \text{ [Ts]} \quad (\text{Ts: ピクセルクロック周期})$$

HDP SCNT[9:0]は次の条件を満たすように設定する必要があります。

$$HT > HDP + HDPS$$

Vertical Display Start Position Register (LCDC_VDPS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical Display Start Position Register (LCDC_VDPS)	0x302024 (32 bits)	D31-10	—	reserved	—	—	—	0 when being read.
		D9-0	VDP SCNT [9:0]	Vertical display period start position for TFT VT > VDP + VDPS	VDPS = VDP SCNT [lines]	0x0	R/W	0x0 must be set for STN panels.

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved

D[9:0] VDPSCNT[9:0]: Vertical Display Period Start Position Bits

TFTパネルの垂直表示期間開始位置(VDPS)をライン単位で設定します。(デフォルト: 0x0)

$$VDPS = VDPSCNT[9:0] \text{ [ライン]}$$

VDPSCNT[9:0]は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

FPLINE Pulse Setting Register (LCDC_FPLINE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPLINE Pulse Setting Register (LCDC_FPLINE)	0x302028 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	FPLINE_ST[9:0]	FPLINE pulse start position setup	Start position = FPLINE_ST + 1 [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPLINE_POL	FPLINE pulse polarity setup	1 Active high 0 Active low	0	R/W	(*1)
		D6–0	FPLINE_WD[6:0]	FPLINE pulse width setup	Pulse width = FPLINE_WD + 1 [Ts]	0x0	R/W	

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved

D[25:16] FPLINE_ST[9:0]: FPLINE Pulse Start Position Setup Bits

TFTパネルの水平同期パルス(FPLINEまたはLP)開始位置(HPS)をピクセルクロック単位で設定します。(デフォルト: 0x0)

$$HPS = FPLINE\_ST[9:0] + 1 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

D[15:8] Reserved

D7 FPLINE_POL: FPLINE Pulse Polarity Setup Bit

TFTパネル用水平同期パルスの極性を設定します。

1(R/W): アクティブHigh

0(R/W): アクティブLow(デフォルト)

D[6:0] FPLINE_WD[6:0]: FPLINE Pulse Width Setup Bits

TFTパネルの水平同期パルス幅(HPW)をピクセルクロック単位で設定します。(デフォルト: 0x0)

$$HPW = FPLINE\_WD[6:0] + 1 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

FPFRAME Pulse Setting Register (LCDC_FPFR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFRAME Pulse Setting Register (LCDC_FPFR)	0x30202c (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	FPFRAME_ST[9:0]	FPFRAME pulse start position setup	Start position = FPFRAME_ST × HT [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPFRAME_POL	FPFRAME pulse polarity setup	1 Active high 0 Active low	0	R/W	(*1)
		D6–0	FPFRAME_WD[6:0]	FPFRAME pulse width setup	Pulse width = (FPFRAME_WD+1) × HT [Ts]	0x0	R/W	(*1)

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved

D[25:16] FPFAME_ST[9:0]: FPFAME Pulse Start Position Setup Bits

TFTパネルの垂直同期パルス(FPFAMEまたはSPS)開始位置(VPS)を設定します。
(デフォルト: 0x0)

$$VPS = FPFAME\_ST[9:0] \text{ [ライン]} = FPFAME\_ST[9:0] \times HT \text{ [Ts]}$$

(Ts: ピクセルクロック周期)

D[15:8] Reserved**D7 FPFAME_POL: FPFAME Pulse Polarity Setup Bit**

TFTパネル用垂直同期パルスの極性を設定します。
1(R/W): アクティブHigh
0(R/W): アクティブLow(デフォルト)

D[6:0] FPFAME_WD[6:0]: FPFAME Pulse Width Setup Bits

TFTパネルの垂直同期パルス幅(VPW)を設定します。(デフォルト: 0x0)

$$VPW = FPFAME\_WD[6:0] + 1 \text{ [ライン]} = (FPFAME\_WD[6:0] + 1) \times HT \text{ [Ts]}$$

(Ts: ピクセルクロック周期)

FPFAME Pulse Offset Register (LCDC_FPFROFS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFAME Pulse Offset Register (LCDC_FPFROFS)	0x302030 (32 bits)	D31-26	—	reserved	—	—	—	0 when being read.
		D25-16	FPFAME_STPOFS[9:0]	FPFAME pulse stop offset	Stop offset = FPFAME_STPOFS [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15-10	—	reserved	—	—	—	0 when being read.
		D9-0	FPFAME_STOFS[9:0]	FPFAME pulse start offset	Start offset = FPFAME_STOFS [Ts]	0x0	R/W	(*1)

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] FPFAME_STPOFS[9:0]: FPFAME Pulse Stop Offset Bits**

ライン単位で設定した垂直同期パルスの終了位置(パルス幅)をピクセルクロック単位で調整します。(デフォルト: 0x0)

$$VPW' = (FPFAME\_WD[6:0] + 1) \times HT - FPFAME\_STOFS[9:0] + FPFAME\_STPOFS[9:0] \text{ [Ts]}$$

(Ts: ピクセルクロック周期)

D[15:10] Reserved**D[9:0] FPFAME_STOFS[9:0]: FPFAME Pulse Start Offset Bits**

ライン単位で設定した垂直同期パルスの開始位置をピクセルクロック単位で調整します。
(デフォルト: 0x0)

$$VPS' = FPFAME\_ST[9:0] \times HT + FPFAME\_STOFS[9:0] \text{ [Ts]}$$

(Ts: ピクセルクロック周期)

TFT Special Output Register (LCDC_TFTSO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT Special Output Register (LCDC_TFTSO)	0x302040 (32 bits)	D31-4	—	reserved	—	—	—	0 when being read.
		D3	CTL1CTL	TFT_CTL1 control	1 Program 0 Toggle/line	0	R/W	For TFT 0x0 must be set for STN panels.
		D2	CTLCNT_RUN	TFT_CTL0-2 control counter run/stop	1 Run 0 Stop	0	R/W	
		D1	FPSHIFT_POL	FPSHIFT polarity	1 Falling 0 Rising	0	R/W	
		D0	CTL01SWAP	TFT_CTL0/TFT_CTL1 swap	1 Swap 0 Not swap	0	R/W	

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:4] Reserved

D3 CTL1CTL: TFT_CTL1 Control Bit

TFT_CTL1(CLS)信号が変化するタイミングを選択します。

1(R/W): プログラムしたタイミングでトグル

0(R/W): ラインごとにトグル(デフォルト)

LCDC_TFT_CTL1レジスタでプログラムしたTFT_CTL1(CLS)信号か既定値のTFT_CTL1(CLS)信号を使用する場合は、CTL1CTLを1に設定します。CTL1CTLが0の場合はデフォルト設定が用いられ、TFT_CTL1(CLS)信号はFPLINE(LP)パルスごとにHigh/Lowが切り換わります。

D2 CTLCNT_RUN: TFT_CTL0–2 Control Counter Run/Stop Bit

TFT_CTL0～2制御カウンタをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

LCDCはTFT_CTL0～2信号の出力タイミングを制御するカウンタを内蔵しています。CTL-CNT_RUNを1に設定するとカウンタがスタートし、アプリケーションがプログラムしたTFT_CTL0(PS)、TFT_CTL1(CLS)、TFT_CTL2(REV)信号が生成されます。TFT_CTL0～2信号を使用するには、このビットを1に設定してください。

CTLCNT_RUNが0の場合、カウンタは停止します。TFT_CTL0～2信号を使用しない場合は、消費電流を抑えるため、このビットを0に設定してください。

D1 FPSHIFT_POL: FPSHIFT Polarity Bit

TFTパネル用FPSHIFT(DCLK)信号の極性を選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

FPSHIFT_POLを1に設定すると、FPDAT[23:0]の出力はFPSHIFT(DCLK)信号の立ち上がりエッジで切り換わります(立ち下がりエッジでサンプリングされます)。FPSHIFT_POLを0に設定すると、FPDAT[23:0]の出力はFPSHIFT(DCLK)信号の立ち下がりエッジで切り換わります(立ち上がりエッジでサンプリングされます)。

D0 CTL01SWAP: TFT_CTL0/TFT_CTL1 Swap Bit

TFT_CTL1とTFT_CTL0信号を入れ替えます。

1(R/W): 入れ替え(TFT_CTL0 = CLS、TFT_CTL1 = PS)

0(R/W): 入れ替えなし(TFT_CTL0 = PS、TFT_CTL1 = CLS) (デフォルト)

TFT_CTL1 Pulse Register (LCDC_TFT_CTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL1 Pulse Register (LCDC_TFT_CTL1)	0x302044 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	CTL1STP [9:0]	TFT_CTL1 pulse stop offset TFT_CTL1 pulse width = (CTL1STP - CTL1ST + 1) Ts	Stop offset = CTL1STP + 1 [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL1ST [9:0]	TFT_CTL1 pulse start offset	Start offset = CTL1ST [Ts]	0x0	R/W	(*2)

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] CTL1STP[9:0]: TFT_CTL1 Pulse Stop Offset Bits**

TFT_CTL1(CLS)パルスの終了位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

D[15:10] Reserved**D[9:0] CTL1ST[9:0]: TFT_CTL1 Pulse Start Offset Bits**

TFT_CTL1(CLS)パルスの開始位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

このレジスタの設定により、TFT_CTL1パルス幅は“CTL1STP[9:0] - CTL1ST[9:0] + 1 [Ts]”に設定されます。本レジスタの設定を有効にするには、CTL1CTL/LCDC_TFTSOレジスタとCTLCNT_RUN/LCDC_TFTSOレジスタを1に設定する必要があります。

TFT_CTL0 Pulse Register (LCDC_TFT_CTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL0 Pulse Register (LCDC_TFT_CTL0)	0x302048 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	CTL0STP [9:0]	TFT_CTL0 pulse stop offset TFT_CTL0 pulse width = (CTL0STP - CTL0ST + 1) Ts	Stop offset = CTL0STP + 1 [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL0ST [9:0]	TFT_CTL0 pulse start offset	Start offset = CTL0ST [Ts]	0x0	R/W	(*2)

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved

D[25:16] CTL0STP[9:0]: TFT_CTL0 Pulse Stop Offset Bits

TFT_CTL0(PS)パルスの終了位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

D[15:10] Reserved

D[9:0] CTL0ST[9:0]: TFT_CTL0 Pulse Start Offset Bits

TFT_CTL0(PS)パルスの開始位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

このレジスタの設定により、TFT_CTL0パルス幅は“CTL0STP[9:0] - CTL0ST[9:0] + 1 [Ts]”に設定されます。本レジスタの設定を有効にするには、CTLCNT_RUN/LCDC_TFTSOレジスタを1に設定する必要があります。

TFT_CTL2 Register (LCDC_TFT_CTL2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL2 Register (LCDC_TFT_CTL2)	0x30204c (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL2DLY [9:0]	TFT_CTL2 delay setup	Delay = CTL2DLY [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.

注: このレジスタはTFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved

D[9:0] CTL2DLY[9:0]: TFT_CTL2 Delay Setup Bits

FPLINEパルスの開始位置から、TFT_CTL2信号が変化するまでの遅延時間(ピクセルクロック単位)を設定します。(デフォルト: 0x0)

本レジスタの設定を有効にするには、CTLCNT_RUN/LCDC_TFTSOレジスタを1に設定する必要があります。

LCDC Reload Control Register (LCDC_RLDCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC Reload Control Register (LCDC_RLDCTL)	0x302050 (32 bits)	D31–2	–	reserved	–	–	–	0 when being read.
		D1	LUTRLD	LUT reload trigger	1 Trigger 0 Ignored	0	W	
					1 Reloading 0 Finished		R	
		D0	CTABRLD	Control table reload trigger	1 Trigger 0 Ignored	0	W	
					1 Reloading 0 Finished		R	

D[31:2] Reserved

D1 LUTRLD: LUT Reload Trigger Bit

ルックアップテーブルの内容をリロードテーブルのデータで置き換えます。

1(W): リロードトリガ

0(W): 無効

1(R): リロード中

0(R): リロード終了(デフォルト)

LUTRLDに1を書き込むと、リロードテーブルデータによってルックアップテーブルが再設定されます。このリロード操作は、垂直非表示期間に行ってください。LUTRLDはリロード動作中は1を保持し、リロードが終了すると0に戻ります。

LUTリロード機能は、ルックアップテーブル機能が有効(LUTPASS/LCDC_DISPMODレジスタ=0)の場合に使用可能です。

LUTRLDとCTABRLDを同時に1に設定した場合は、先に制御レジスタのデータが置き換えられ、その後でLUTデータが置き換えられます。

リロードテーブルの内容については、28.9節を参照してください。

D0 CTABRLD: Control Table Reload Trigger Bit

LCDC制御レジスタの内容をリロードテーブルのデータで置き換えます。

1(W): リロードトリガ

0(W): 無効

1(R): リロード中

0(R): リロード終了(デフォルト)

CTABRLDに1を書き込むと、リロードテーブルデータによってLCDC制御レジスタが再設定されます。このリロード操作は、垂直非表示期間に行ってください。CTABRLDはリロード動作中は1を保持し、リロードが終了すると0に戻ります。

リロードテーブルの内容については、28.9節を参照してください。

LCDC Reload Table Base Address Register (LCDC_RLDADR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC Reload Table Base Address Register (LCDC_RLDADR)	0x302054 (32 bits)	D31~10	RTBL_BADR[31:10]	Reload table base address (1KB boundary address, A[9:0] = 0x0)	Area 3*	0x0	R/W	* DSTRAM cannot be used.
		D9~0	—	reserved	—	—	—	0 when being read.

D[31:10] RTBL_BADR[31:10]: Reload Table Base Address Bits

リロードテーブルの開始アドレスを指定します。(デフォルト: 0x0)

IVRAMの1Kバイト境界アドレスを指定する必要があります。

注: • リロードテーブルを外部メモリには配置しないでください。

- エリア3のDSTRAMをリロードテーブルに割り当てることはできません。“メモリマップ”の章の“バスマスタとアクセス可能なメモリ”を参照してください。

D[9:0] Reserved

LCDC Display Mode Register (LCDC_DISPMOD)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC Display Mode Register (LCDC_DISPMOD)	0x302060 (32 bits)	D31	PANELSEL	Panel type select	1	TFT	0	STN	0	R/W	
		D30	COLOR	Color/mono select	1	Color	0	Mono	0	R/W	
		D29	FPSHIFT_MSK	FPSHIFT mask enable	1	Enable	0	Disable	0	R/W	
		D28	—	reserved	—			—	—	0 when being read.	
		D27–26	DWD[1:0]	LCD panel data width select	DWD[1:0]	Data width		0x0	R/W		
					0x3	8 bits (fmt2)					
					0x2	reserved					
					0x1	8 bits (fmt1)					
					0x0	4 bits					
		D25	SWINV	Software video invert	1	Invert	0	Normal	0	R/W	
		D24	BLANK	Display blank enable	1	Blank	0	Normal	0	R/W	
		D23–8	—	reserved	—			—	—	0 when being read.	
		D7	FRMRPT	Frame repeat for EL panel	1	Repeat	0	Not repeat	0	R/W	
		D6–5	—	reserved	—			—	—	0 when being read.	
		D4	LUTPASS	LUT bypass mode select	1	Bypass	0	Use	1	R/W	
D3	—	reserved	—			—	—	0 when being read.			
D2–0	BPP[2:0]	Bit-per-pixel select	BPP[2:0]	bpp		0x0	R/W				
			0x7	reserved							
			0x6	24 bpp							
			0x5	16 bpp							
			0x4	12 bpp							
			0x3	8 bpp							
			0x2	4 bpp							
			0x1	2 bpp							
			0x0	1 bpp							

D31 PANELSEL: Panel Type Select Bit

接続されているLCDパネルの種類(STNまたはTFT)を選択します。

1(R/W): TFTパネル

0(R/W): STNパネル(デフォルト)

TFTパネルを選択した場合、COLORとDWD[1:0]の設定は無効となります。

D30 COLOR: Color/Mono Select Bit

接続されているLCDパネルの種類(カラーまたはモノクロ)を選択します。

1(R/W): カラーパネル

0(R/W): モノクロパネル(デフォルト)

D29 FPSHIFT_MSK: FPSHIFT Mask Enable Bit

FPSHIFTのマスクを設定します。(STNモノクロLCDパネルおよびTFTパネルのみ)

1(R/W): 有効

0(R/W): 無効(デフォルト)

FPSHIFT_MSKを1に設定すると、FPSHIFT信号が非表示期間にマスクされ、出力されません。

0に設定すると、FPSHIFT信号は非表示期間も出力されます。

この設定はSTNモノクロLCDパネル使用時(COLOR = 0)、およびTFTパネル使用時にのみ有効です。STNカラーLCDパネルでは、このビットの設定にかかわらず、FPSHIFT信号は常時マスクされます。

D28 Reserved

D[27:26] DWD[1:0]: LCD Panel Data Width Select Bits

STN LCDパネルのデータ幅とデータ形式を選択します。

表28.10.3 STNパネルデータ幅の選択

COLOR	DWD[1:0]	データ幅
1	0x3	8ビットシングルカラーパッシブLCDパネル(フォーマット2)
	0x2	Reserved
	0x1	8ビットシングルカラーパッシブLCDパネル(フォーマット1)
	0x0	4ビットシングルカラーパッシブLCDパネル
0	0x3	8ビットシングルモノクロパッシブLCDパネル
	0x2	Reserved
	0x1	8ビットシングルモノクロパッシブLCDパネル
	0x0	4ビットシングルモノクロパッシブLCDパネル

D25 SWINV: Software Video Invert Bit

表示を反転します。

1(R/W): 反転表示

0(R/W): 通常表示(デフォルト)

SWINVを1に設定するとLCDパネル上の表示が反転します。0に設定すると通常の表示を行います。反転操作はLCDCが表示データを出力する際に行われます。表示メモリには影響を与えません。

D24 BLANK: Display Blank Enable Bit

表示をブランク状態にします。

1(R/W): ブランク

0(R/W): 通常表示(デフォルト)

BLANKを0に設定すると表示メモリのデータがLCDパネルに表示されます。1に設定するとFPDAT信号をすべてLow(SWINVが0の場合)またはHigh(SWINVが1の場合)にして表示を消します。表示メモリには影響を与えません。

この機能は、STNパネルとTFTパネルの両方に有効です。

D[23:8] Reserved**D7 FRMRPT: Frame Repeat for EL Panel Bit**

フレームレートモジュレーションのパターンを繰り返すかどうか選択します。(ELパネルのみ)

1(R/W): リPEAT

0(R/W): リPEATなし(デフォルト)

FRMRPTを1に設定すると、内部の19ビットフレームカウンタが有効になり、フレーム数をカウントします。このカウンタがオーバーフローする(0x40000 → 0)ごとに、フレームレートモジュレーションのパターンが繰り返されます。

0に設定するとカウンタは無効となり、パターンを繰り返しません。

D[6:5] Reserved**D4 LUTPASS: LUT Bypass Mode Select Bit**

ルックアップテーブルをバイパスするかどうかを選択します。

1(R/W): バイパス(デフォルト)

0(R/W): 使用

LUTPASSを1に設定するとルックアップテーブルがバイパスされ、表示メモリ内のピクセルデータから直接、LCDパネルに送られる表示データが生成されます。LUTPASSを0に設定すると、表示メモリのピクセルデータはルックアップテーブルによりLCDインタフェースデータに変換されます。

カラーモードではルックアップテーブルを使用できませんので、LUTPASSを1に設定してください。

D3 Reserved**D[2:0] BPP[2:0]: Bit-Per-Pixel Select Bits**

bppモードを選択します。

表28.10.4 bppモードの設定

BPP[2:0]	bppモード
0x7	Reserved
0x6	24bpp
0x5	16bpp
0x4	12bpp
0x3	8bpp
0x2	4bpp
0x1	2bpp
0x0	1bpp

(デフォルト: 0x0)

Main Window Display Start Address Register (LCDC_MAINADR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Main Window Display Start Address Register (LCDC_MAINADR)	0x302070 (32 bits)	D31-0	MW_START [31:0]	Main window start address MW_START31 = MSB MW_START0 = LSB	0x0 to 0xffffffff (Areas 3-5, 7-10, 13-16, and 19-22)	0x0	R/W	

D[31:0] MW_START[31:0]: Main Window Start Address Bits

メインウィンドウの表示開始アドレスを設定します。(デフォルト: 0x0)

このレジスタには、IVRAMまたは外部VRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

Main Screen Address Offset Register (LCDC_MAINOFS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Main Screen Address Offset Register (LCDC_MAINOFS)	0x302074 (32 bits)	D31-12 D11-0	— MW_OFS [11:0]	reserved Main screen address offset	— Main screen width (pixels) × bpp/32	— 0x0	— R/W	0 when being read.

D[31:12] Reserved

D[11:0] MW_OFS[11:0]: Main Screen Address Offset Bits

メイン仮想画面の幅をワード単位で設定します。(デフォルト: 0x0)

設定する値は次のように求められます。

$$\text{MW\_OFS}[11:0] = \text{仮想画面幅(ピクセル数)} \times \text{bpp} / 32$$

仮想画面とその設定方法については、28.6.2節内の“仮想画面用メインスクリーンアドレスオフセット”を参照してください。

Sub-window Display Start Address Register (LCDC_SUBADR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window Display Start Address Register (LCDC_SUBADR)	0x302080 (32 bits)	D31-0	SW_START [31:0]	Sub-window start address SW_START31 = MSB SW_START0 = LSB	0x0 to 0xffffffff (Areas 3-5, 7-10, 13-16, and 19-22)	0x0	R/W	

D[31:0] SW_START[31:0]: Sub-Window Start Address Bits

サブウィンドウの表示開始アドレスを設定します。(デフォルト: 0x0)

このレジスタには、IVRAMまたは外部VRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

Sub-Screen Address Offset Register (LCDC_SUBOFS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-screen Address Offset Register (LCDC_SUBOFS)	0x302084 (32 bits)	D31-12 D11-0	— SW_OFS [11:0]	reserved Sub-screen address offset	— Sub-screen width (pixels) × bpp/32	— 0x0	— R/W	0 when being read.

D[31:12] Reserved

D[11:0] SW_OFS[11:0]: Sub-Screen Address Offset Bits

サブ仮想画面の幅をワード単位で設定します。(デフォルト: 0x0)

設定する値は次のように求められます。

$$\text{SW\_OFS}[11:0] = \text{仮想画面幅(ピクセル数)} \times \text{bpp} / 32$$

仮想画面とその設定方法については、28.6.2節内の“仮想画面用メインスクリーンアドレスオフセット”を参照してください。

Sub-Window Start Position Register (LCDC_SUBSP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window Start Position Register (LCDC_SUBSP)	0x302088 (32 bits)	D31	PIP_EN	PIP enable	1 Enable 0 Disable	0	R/W	
		D30–26	—	reserved	—	—	—	0 when being read.
		D25–16	PIP_YSTART[9:0]	Sub-window vertical (Y) start position	Y start position = PIP_YSTART (lines) from the origin	0x0	R/W	*3: This register is enabled when PIP_EN = 1.
		D15–10	—	reserved	—	—	—	0 when being read.
		D9–0	PIP_XSTART[9:0]	Sub-window horizontal (X) start position	X start position = PIP_XSTART (pixels) from the origin (word units)	0x0	R/W	(*3)

D31 PIP_EN: PIP Enable Bit

PIP+(Picture-in-Picture Plus)機能を有効にして、メインウィンドウ内にサブウィンドウを表示します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

PIP_ENに1を書き込む前に、0x302080～0x30208cのレジスタでサブウィンドウの設定を行ってください。

D[30:26] Reserved

D[25:16] PIP_YSTART[9:0]: Sub-Window Vertical (Y) Start Position Bits

サブウィンドウの垂直表示開始位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ左上端までのライン数を1ライン単位で指定します。

$$\text{PIP\_YSTART}[9:0] = \text{YSTART} [\text{ライン}]$$

たとえば、サブウィンドウの垂直方向開始位置が60ラインの場合、PIP_YSTART[9:0]には60を設定します。

注: サブウィンドウをメインウィンドウの最初にラインに置くことはできません。
つまり、サブウィンドウの垂直表示開始位置(ライン)をメインウィンドウの最初にラインに設定することはできません。PIP_YSTART[9:0]を0x0に設定しないでください。

D[15:10] Reserved

D[9:0] PIP_XSTART[9:0]: Sub-Window Horizontal (X) Start Position Bits

サブウィンドウの水平表示開始位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ左上端までのピクセル数をbppモードで決まるデータワード数に変換して指定します。

$$\text{PIP\_XSTART}[9:0] = \text{XSTART} \text{ピクセル} \times \text{bpp} \div 32 [\text{ワード}]$$

(32ビット ÷ bpp) ピクセル単位での指定となります。

1bppモード: 1ワード = 32ピクセル 単位

2bppモード: 1ワード = 16ピクセル単位

4bppモード: 1ワード = 8ピクセル単位

8bppモード: 1ワード = 4ピクセル単位

12bppモード: 3ワード = 8ピクセル単位(整数指定が必要なため)

16bppモード: 1ワード = 2ピクセル単位

24bppモード: 3ワード = 4ピクセル単位(整数指定が必要なため)

たとえば、8bppモードでサブウィンドウの水平方向開始位置が80ピクセルの場合、PIP_XSTART[9:0]には20を設定します。

Sub-Window End Position Register (LCDC_SUBEP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window End Position Register (LCDC_SUBEP)	0x30208c (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	PIP_YEND[9:0]	Sub-window vertical (Y) end position	Y end position = PIP_YEND (lines) from the origin	0x0	R/W	*3: This register is enabled when PIP_EN = 1.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	PIP_XEND[9:0]	Sub-window horizontal (X) end position	X end position = PIP_XEND (pixels) from the origin (word units)	0x0	R/W	(*3)

D[31:26] Reserved

D[25:16] PIP_YEND[9:0]: Sub-Window Vertical (Y) End Position Bits

サブウィンドウの垂直表示終了位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ右下端までのライン数を1ライン単位で指定します。

$$\text{PIP\_YEND}[9:0] = Y_{\text{END}} - 1 \text{ [ライン]}$$

注: サブウィンドウをメインウィンドウの最初にラインに置くことはできません。
つまり、サブウィンドウの垂直表示終了位置(ライン)をメインウィンドウの最初にラインに設定することはできません。PIP_YEND[9:0]を0x0に設定しないでください。

D[15:10] Reserved

D[9:0] PIP_XEND[9:0]: Sub-Window Horizontal (X) End Position Bits

サブウィンドウの水平表示終了位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ右下端までのピクセル数をbppモードで決まるデータワード数に変換して指定します。

$$\text{PIP\_XEND}[9:0] = X_{\text{END}} \text{ピクセル} \times \text{bpp} \div 32 - 1 \text{ [ワード]}$$

Monochrome Look-up Table Registers 0 and 1 (LCDC_MLUT0/1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Monochrome Look-up Table Register 0 (LCDC_MLUT0)	0x302090 (32 bits)	D31–28	MLUT7[3:0]	Monochrome LUT entry 7 data	0x0 to 0xf	0x0	R/W	
		D27–24	MLUT6[3:0]	Monochrome LUT entry 6 data	0x0 to 0xf	0x0	R/W	
		D23–20	MLUT5[3:0]	Monochrome LUT entry 5 data	0x0 to 0xf	0x0	R/W	
		D19–16	MLUT4[3:0]	Monochrome LUT entry 4 data	0x0 to 0xf	0x0	R/W	
		D15–12	MLUT3[3:0]	Monochrome LUT entry 3 data	0x0 to 0xf	0x0	R/W	
		D11–8	MLUT2[3:0]	Monochrome LUT entry 2 data	0x0 to 0xf	0x0	R/W	
		D7–4	MLUT1[3:0]	Monochrome LUT entry 1 data	0x0 to 0xf	0x0	R/W	
		D3–0	MLUT0[3:0]	Monochrome LUT entry 0 data	0x0 to 0xf	0x0	R/W	
Monochrome Look-up Table Register 1 (LCDC_MLUT1)	0x302094 (32 bits)	D31–28	MLUT15[3:0]	Monochrome LUT entry 15 data	0x0 to 0xf	0x0	R/W	
		D27–24	MLUT14[3:0]	Monochrome LUT entry 14 data	0x0 to 0xf	0x0	R/W	
		D23–20	MLUT13[3:0]	Monochrome LUT entry 13 data	0x0 to 0xf	0x0	R/W	
		D19–16	MLUT12[3:0]	Monochrome LUT entry 12 data	0x0 to 0xf	0x0	R/W	
		D15–12	MLUT11[3:0]	Monochrome LUT entry 11 data	0x0 to 0xf	0x0	R/W	
		D11–8	MLUT10[3:0]	Monochrome LUT entry 10 data	0x0 to 0xf	0x0	R/W	
		D7–4	MLUT9[3:0]	Monochrome LUT entry 9 data	0x0 to 0xf	0x0	R/W	
		D3–0	MLUT8[3:0]	Monochrome LUT entry 8 data	0x0 to 0xf	0x0	R/W	

これらのレジスタを使用して、モノクロルックアップテーブルエントリにデータを設定します。使用するエントリはbppモードによって決まります。

1bppモード: エントリ0と1を使用します。

2bppモード: エントリ0～3を使用します。

4bppモード: 全エントリを使用します。

D[31:28], D[27:24], D[23:20], D[19:16], D[15:12], D[11:8], D[7:4], D[3:0]

MLUT n [3:0]: Monochrome LUT Entry n Data Bits

モノクロルックアップテーブルのエントリ n に4ビットデータを設定します。(デフォルト: 0x0)

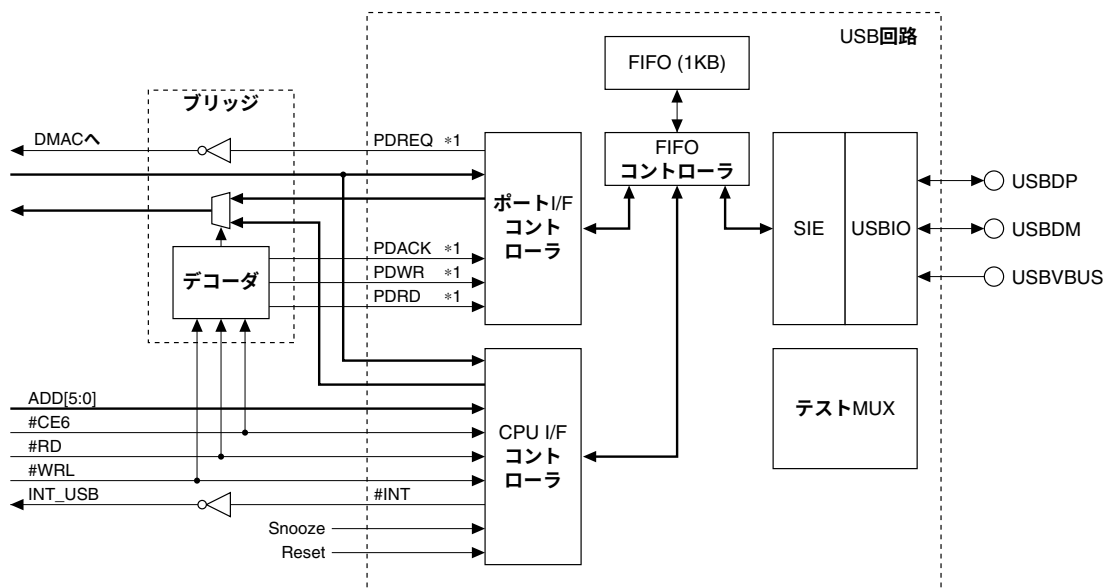
29 USBファンクションコントローラ (USB)

29.1 USBファンクションコントローラの概要

S1C33L27は、USB2.0規格準拠のフルスピードモードに対応したUSBファンクションコントローラを内蔵しています。以下に特長を示します。

- FS(12Mbps)の転送をサポート
- コントロール、バルク、アイソクロナスおよびインタラプト転送をサポート
- 4本の汎用エンドポイントおよびエンドポイント0をサポート
- エンドポイント用に1KBプログラマブルFIFOを内蔵
- 汎用DMAポートを搭載
- 非同期手順に対応
 - スレーブに対応
 - バス幅8ビットに対応
- 48MHzクロック入力
- スヌーズ(Snooze)モードをサポート

図29.1.1にUSBファンクションコントローラのブロック図を示します。



*1 PDREQ、PDACK、PDWR、PDRD信号のレベルは"アクティブHigh"に設定してください。

図29.1.1 USBファンクションコントローラブロック図

SIE (シリアルインタフェースエンジン)

トランザクションの管理とパケット生成を行います。また、サスペンド、リジューム、リセットなどのバスイベントを制御します。

FIFO

エンドポイント用の1KBのバッファです。

FIFOコントローラ

FIFO SRAMのアドレス管理(ユーザプログラマブル)、タイミング生成、アービトレーションなどを行います。

ポートI/Fコントローラ

非同期のハンドシェイクを行います。

CPU I/Fコントローラ

CPU I/Fのタイミングを制御し、レジスタアクセスを可能にします。

テストMUX

入力信号により、動作モード(テストモード)の切り換えを行います。

29.2 USBインタフェース端子

表29.2.1にUSBインタフェースの入出力端子を示します。

表29.2.1 USBインタフェース端子

端子名	I/O	本数	機能
USBDP	I/O	1	USB D+端子
USBDM	I/O	1	USB D-端子
USBVBUS	I	1	USB VBUS端子(5V入力可)

29.3 USB動作クロック

USBモジュールはCMUが生成したUSB_CLKを動作クロックとして使用します。

また、USB制御レジスタをアクセスするためにはUSBREG_CLKも使用します。

デフォルト設定ではどちらのクロックもUSBファンクションコントローラには供給されません。USBファンクションコントローラを動作させる前に、クロック供給を開始してください。

クロックの制御に関しては“クロックマネージメントユニット(CMU)”の章を参照してください。

29.4 その他モジュールの設定

USBファンクションコントローラを使用する前に、以下のモジュール/レジスタを設定しておく必要があります。

クロックマネージメントユニット(CMU)

- USBファンクションコントローラへのクロック供給を制御します。

Miscレジスタ(MISC)

- USB制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。
- USBファンクションコントローラによるスヌーズ制御を有効/無効にします。
- USB割り込みを有効/無効にします。

割り込みコントローラ(ITC)

- USBの割り込みレベルを設定します。

DMAコントローラ(DMAC)

- USBファンクションコントローラにより起動させるDMACチャネルのコントロールテーブルを設定します。

詳細については、各モジュールの章を参照してください。

注: USBファンクションコントローラのDMA転送アドレスは必ずエリア6内(0x300d00~0x300dffの256バイト)に設定してください。また、DMA転送中のアドレスインクリメントによって転送アドレスが0x300d00~0x300dffを超えることのないよう、プログラムしてください。

29.5 機能説明

ここではUSBファンクションコントローラの機能について説明します。

説明の中で、レジスタおよびビット名は、下記のルールに従って表記されています。

- 1アドレス分のレジスタを指す場合の名称
“レジスタ名”レジスタと表記します。
例: MainIntレジスタ
- 個々のビットを指す場合の名称
“レジスタ名”、“ビット名”ビット、あるいは“ビット名”ビットと表記します。
例: MainIntStat.RcvEP0SETUPビット、EP0ControlOUTレジスタのForceNAKビット
- エンドポイントごとにある同一機能のレジスタ
EPx{x=0,a,b,c,d}～レジスタ、EPx{x=a,b,c,d}～レジスタ等と表記します。
例: EPx{x=a,b,c,d}IntStatレジスタ (EPaIntStat、EPbIntStat、EPcIntStat、EPdIntStatレジスタ)

29.5.1 USB制御

エンドポイント

本コントローラはコントロール転送用のエンドポイント(EP0)と4本の汎用エンドポイント(EPa、EPb、EPc、EPd)を持ちます。エンドポイントEPa、EPb、EPc、EPdは、それぞれバルク、インタラプトまたはアイソクロナス転送用のエンドポイントとして使用できます。バルク転送かインタラプト転送かによって、ハードウェア上の違いはありません。

本コントローラのハードウェアは、エンドポイントを提供しトランザクションの管理を行います。一方、USBに定義されるインタフェース(以下、USB定義インタフェース)の管理機能を提供しません。USB定義インタフェースは、ファームウェアで実装してください。デバイス固有のデスクリプタ定義に沿ってエンドポイントを適宜設定し、また組み合わせてUSB定義インタフェースを構成してください。

各エンドポイントには、USB定義インタフェースによって決定される固定の基本設定項目と、転送ごとに制御を行う可変の制御項目およびステータスがあります。基本設定項目は、チップ初期化時、またはSetInterface()リクエストによるUSB定義インタフェースの切り換え時に設定してください。

表29.5.1.1にエンドポイントEP0(デフォルトコントロールパイプ)の基本設定項目を示します。

エンドポイントEP0は、IN方向とOUT方向でレジスタセットやFIFO領域を共有します。エンドポイントEP0におけるデータステージおよびステータスステージでは、その実行に際してファームウェアにより適宜データトランザクションの方向を設定してください。

表29.5.1.1 エンドポイントEP0の基本設定項目

項目	レジスタ/ビット	説明
最大パケットサイズ	EP0MaxSize	最大パケットサイズを8、16、32、64のいずれかの値に設定します。(FSモード用) エンドポイントEP0には、FIFOの0番地から、EP0MaxSizeレジスタで設定したサイズの領域が割り当てられます。

表29.5.1.2に汎用エンドポイント(EPa、EPb、EPc、EPd)の基本設定項目を示します。エンドポイントEPa、EPb、EPc、EPdは、トランザクション方向とエンドポイント番号を任意に設定できますので、4本までの独立したエンドポイントとして使用できます。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にしてください。

表29.5.1.2 エンドポイントEPa、EPb、EPc、EPdの設定項目

項目	レジスタ/ビット	説明
トランザクション方向	EPx{x=a,b,c,d}Config.INxOUT	各エンドポイントの転送方向を設定します。
最大パケットサイズ	EPx{x=a,b,c,d}MaxSize_H, EPx{x=a,b,c,d}MaxSize_L	各エンドポイントの最大パケットサイズを、1～1024バイトの間の任意の値に設定します。 ただし、バルク転送を行うエンドポイントでは8/16/32/64バイトのいずれかに設定してください。(FSモード用)
エンドポイント番号	EPx{x=a,b,c,d}Config.EndPointNumber	各エンドポイントのエンドポイント番号を0x1～0xfの間の任意の値に設定します。

項目	レジスタ/ビット	説明
トグルモード	EPx(x=a,b,c,d)Config.ToggleMode	トグルシーケンスのモードを設定します。バルク転送を行うエンドポイントは、0に設定してください。 0: トランザクション成功時のみトグル 1: トランザクションごとに常にトグル
エンドポイント有効	EPx(x=a,b,c,d)Config.EnEndPoint	各エンドポイントを有効にします。 そのエンドポイントを使用するUSB定義インタフェースが有効にされたときに設定してください。
FIFO領域	EPx(x=a,b,c,d)StartAdrs_H, EPx(x=a,b,c,d)StartAdrs_L	各エンドポイントに割り当てる領域を、FIFOのアドレスで設定します。 FIFO領域は、各エンドポイントの最大パケットサイズ以上の領域を割り当ててください。 FIFO領域のサイズはデータ転送のスループットに影響します。FIFOの領域割り当ての詳細は、“FIFO管理”の項を参照してください。

トランザクション

本コントローラのハードウェアは、トランザクション実行機能とファームウェアに対するトランザクション実行のためのインタフェースを提供します。ファームウェアとのインタフェースは、制御レジスタとステータスレジスタ、およびステータスによりアサートされる割り込み信号により実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の項を参照してください。

本コントローラは個々のトランザクションごとに、ファームウェアに対してステータスを発行します。ただし、ファームウェアは必ずしも個々のトランザクションを管理する必要はありません。本コントローラはトランザクションへの応答時にFIFOを参照し、そのデータ数または空き数によってデータ転送を行えるか否かを判断して自動的に処理します。たとえば、OUTのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOからデータを読み出し、FIFOに空き領域を作り出すことによってOUTトランザクションを自動的に連続して実行させることができます。また、INのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOにデータを書き込み、FIFOに有効データを作り出すことによってINトランザクションを自動的に連続して実行させることができます。

表29.5.1.3にエンドポイントEP0のトランザクション制御に関する制御項目およびステータスを示します。

表29.5.1.3 エンドポイントEP0の制御項目およびステータス

項目	レジスタ/ビット	説明
トランザクション方向	EP0Control.INxOUT	データステージおよびステータスステージにおいて、転送方向を設定します。
デスク립タ返信イネーブル	EP0Control.ReplyDescriptor	デスク립タの自動応答を起動します。
ショートパケット送信イネーブル	EP0Control.IN.EnShortPkt	最大パケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
トグルシーケンスビット	EP0Control.IN.ToggleStat, EP0Control.OUT.ToggleStat	トグルシーケンスビットの状態を示します。SETUPステージにより、自動的に初期化されます。
トグルセット	EP0Control.IN.ToggleSet, EP0Control.OUT.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EP0Control.IN.ToggleClr, EP0Control.OUT.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK応答	EP0Control.IN.ForceNAK, EP0Control.OUT.ForceNAK	FIFOのデータ数/空き数にかかわらず、INまたはOUTにNAK応答します。
STALL応答	EP0Control.IN.ForceSTALL, EP0Control.OUT.ForceSTALL	INまたはOUTトランザクションにSTALL応答します。
自動ForceNAKセット	EP0Control.OUT.AutoForceNAK	OUTトランザクションの完結ごとに、EP0Control.OUT.ForceNAKビットをセットします。
SETUP受信ステータス	MainIntStat.RcvEP0SETUP	SETUPトランザクションが実行されたことを示します。
トランザクションステータス	EP0IntStat.IN_TranACK, EP0IntStat.OUT_TranACK, EP0IntStat.IN_TranNAK, EP0IntStat.OUT_TranNAK, EP0IntStat.IN_TranErr, EP0IntStat.OUT_TranErr	トランザクションの結果を示します。

表29.5.1.4に、エンドポイントEPa、EPb、EPc、EPdのトランザクション処理に関する制御項目とステータスを示します。

表29.5.1.4 エンドポイントEPa、EPb、EPc、EPdの制御項目とステータス

項目	レジスタ/ビット	説明
自動ForceNAKセット	EPx{x=a,b,c,d}Control.AutoForceNAK	OUTトランザクションの完結ごとに、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットします。
ショートパケット送信イネーブル	EPx{x=a,b,c,d}Control.EnShortPkt	INトランザクションに対し、最大パケットサイズに満たないショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
ショートパケット受信による自動ForceNAKセットの禁止	EPx{x=a,b,c,d}Control.DisAF_NAK_Short	OUTトランザクションにおいてショートパケットを受信すると、自動的にそのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットする機能を禁止します。
トグルシーケンスビット	EPx{x=a,b,c,d}Control.ToggleStat	トグルシーケンスビットの状態を示します。
トグルセット	EPx{x=a,b,c,d}Control.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EPx{x=a,b,c,d}Control.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK応答	EPx{x=a,b,c,d}Control.ForceNAK	FIFOのデータ数/空き数にかかわらず、トランザクションにNAK応答します。
STALL応答	EPx{x=a,b,c,d}Control.ForceSTALL	トランザクションにSTALL応答します。
トランザクションステータス	EPx{x=a,b,c,d}IntStat.OUT_ShortACK, EPx{x=a,b,c,d}IntStat.IN_TranACK, EPx{x=a,b,c,d}IntStat.OUT_TranACK, EPx{x=a,b,c,d}IntStat.IN_TranNAK, EPx{x=a,b,c,d}IntStat.OUT_TranNAK, EPx{x=a,b,c,d}IntStat.IN_TranErr, EPx{x=a,b,c,d}IntStat.OUT_TranErr	トランザクションの結果を示します。

SETUPトランザクション

自ノードのエンドポイントEP0宛てのSETUPトランザクションは、無条件に実施します(USB機能は有効にされている必要があります)。

SETUPトランザクションが発行されると、データパケット(8バイト)のすべての内容をEP0Setup_0~EP0Setup_7レジスタに格納し、ACK応答します。また、ファームウェアに対し、RcvEP0SETUPステータスを発行します。

SETUPトランザクション中にエラーが発生した場合には応答せず、ステータスも発行しません。

SETUPトランザクションが完結すると、EP0ControlINレジスタおよびEP0ControlOUTレジスタのForceNAKビットをセットし、ForceSTALLビットをクリアします。また、ToggleStatビットをセットします。ファームウェアは、エンドポイントEP0の設定を終え、次のステージに移行可能になったら、EP0ControlINレジスタまたはEP0ControlOUTレジスタにおいて、該当する方向のForceNAKビットをクリアしてください。

図29.5.1.1にSETUPトランザクションのシーケンスを示します。

- ホストが、このノードのエンドポイントEP0に宛てたSETUPトークンを発行します。
- ホストは続けて、8バイト長のデータパケットを送信します。本コントローラはこのデータをEP0Setup_0~EP0Setup_7レジスタに書き込みます。
- 本コントローラは自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。

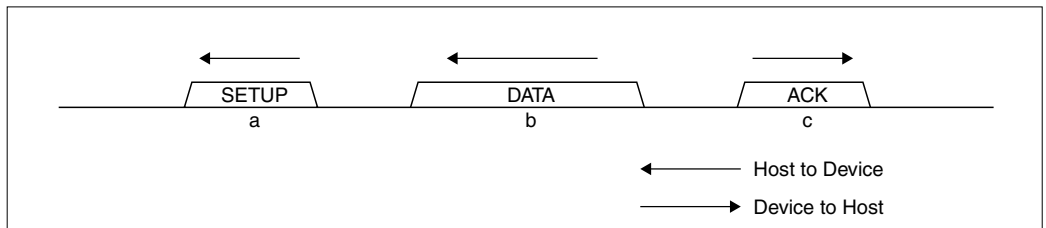


図29.5.1.1 SETUPトランザクション

OUTトランザクション

OUTトランザクションでは、FIFOの空き容量にかかわらずデータの受信を開始します。ポートインタフェースによりFIFOのデータを読み出し、空き領域を作りながら受信することができますので、FIFOを最大パケットサイズの倍程度割り当てることにより、良好なスループットが得られます。

OUTトランザクションにおいてすべてのデータが正常に受信できると、トランザクションを完結し、ACK応答します。また、ファームウェアに対し、該当するエンドポイントのOUT_TrانACKステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT\_TranACK$ ビット)を発行します。また、FIFOを更新し、データを受信済みとして領域を確保します。

エンドポイントEPa、EPb、EPc、EPdにおいては、OUTトランザクションにおいて、ショートパケットのすべてのデータを受信すると、上記のトランザクション完結処理に加え、OUT_ShortACKステータス($EPx\{x=a,b,c,d\}IntStat.OUT\_ShortACK$ ビット)を発行します。また、 $EPx\{x=a,b,c,d\}Control.DisAF\_NAK\_Short$ ビットがクリアされていると、そのエンドポイントの $EPx\{x=a,b,c,d\}ForceNAK$ ビットをセットします。

OUTトランザクションにおいてトグルミスマッチが発生した場合、トランザクションにACK応答します。ただし、ステータスは発行されず、FIFOも更新されません。

OUTトランザクションにエラーが発生した場合、トランザクションに応答しません。また、OUT_TrانErrステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT\_TranErr$ ビット)を発行します。FIFOは更新されません。

OUTトランザクションにおいてすべてのデータを受信できなかった場合、トランザクションにNAK応答し、また、OUT_TrانNAKステータス($EPx\{x=a,b,c,d\}IntStat.OUT\_TranNAK$ ビット)を発行します。FIFOは更新されません。

図29.5.1.2に、OUTトランザクションが正常に完結する場合のシーケンスを示します。

- (a) ホストが、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを発行します。
- (b) ホストは続けて、最大パケットサイズ以内のデータパケットを送信します。
本コントローラはこのデータを、該当するエンドポイントのFIFOに書き込みます。
- (c) 本コントローラはデータを受信できると、自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。

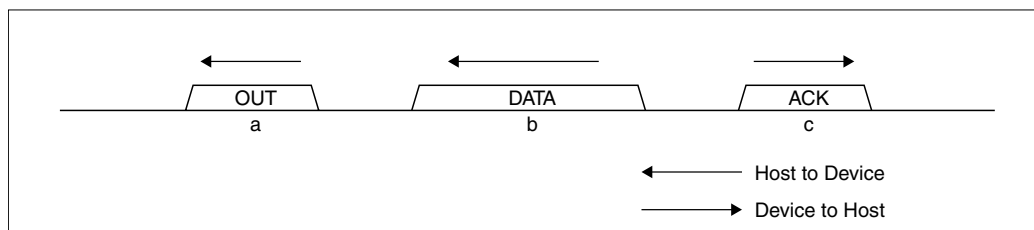


図29.5.1.2 OUTトランザクション

INトランザクション

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがある場合、またはファームウェアによってショートパケットの送信が許可されている場合、INトランザクションに応答してデータパケットを返信します。

ショートパケット（データ長ゼロのパケットを含む）の送信許可は、EP0ControlIN.EnShortPktビットおよび $EPx\{x=a,b,c,d\}Control.EnShortPkt$ ビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間は新たなデータをそのエンドポイントのFIFOに書き込まないようにしてください。

エンドポイントEP0では、ショートパケットを送信するINトランザクションが完結すると、EP0ControlIN.ForceNAKビットをセットします。

データを返信したINトランザクションでACKを受信するとトランザクションは完結し、ファームウェアに対してIN_TrانACKステータス($EPx\{x=0,a,b,c,d\}IntStat.IN\_TranACK$ ビット)を発行します。また、FIFOを更新して、送信したデータを送信済みとして領域を開放します。

データを返信したINトランザクションでACKが返らない場合はトランザクション失敗と見なし、ファームウェアに対しIN_TrnErrステータス(EPx{x=0,a,b,c,d}IntStat.IN_TrnErrビット)を発行します。また、FIFOを更新せず、領域を開放しません。

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがなく、かつ、ショートパケットの送信が許可されていない場合、INトランザクションにはNAK応答し、ファームウェアに対してIN_TrnNAKステータス(EPx{x=0,a,b,c,d}IntStat.IN_TrnNAKビット)を発行します。また、FIFOを更新せず、領域を開放しません。

図29.5.1.3にINトランザクションが正常に完結する場合のシーケンスを示します。

- (a) ホストが、このノードに存在するIN方向のエンドポイントに宛てたINトークンを発行します。
- (b) 本コントローラは、このINトランザクションに回答できる場合、最大パケットサイズ以内のデータパケットを送信します。
- (c) ホストはACK応答します。本コントローラはACKを受信すると、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。

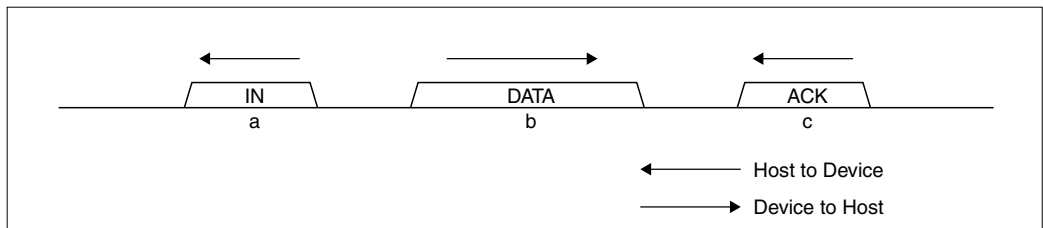


図29.5.1.3 INトランザクション

コントロール転送

エンドポイントEP0におけるコントロール転送は、個々のトランザクションの組み合わせとして制御します。図29.5.1.4にデータステージがOUT方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに回答する準備をします。
- (b) ホストはOUTトランザクションを発行してデータステージを行い、デバイスはデータを受信します。
- (c) ホストはINトランザクションを発行してステータスステージを行い、デバイスはデータ長ゼロのパケットを返信します。

データステージのないコントロール転送は、この例におけるデータステージがない状態で実施されます。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、IN_TrnNAKステータス(EP0IntStat.IN_TrnNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。

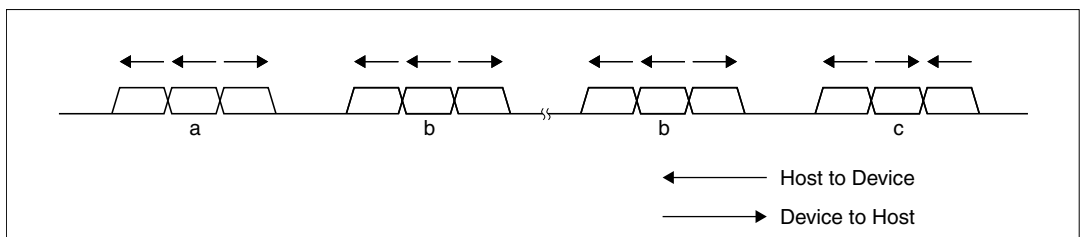


図29.5.1.4 データステージがOUT方向のコントロール転送

図29.5.1.5にデータステージがIN方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに回答する準備をします。
- (b) ホストはINトランザクションを発行してデータステージを行い、デバイスはデータを送信します。
- (c) ホストはOUTトランザクションを発行してステータスステージを行い、デバイスはACK応答します。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、OUT_TrانNAKステータス(EP0IntStat.OUT_TrانNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。

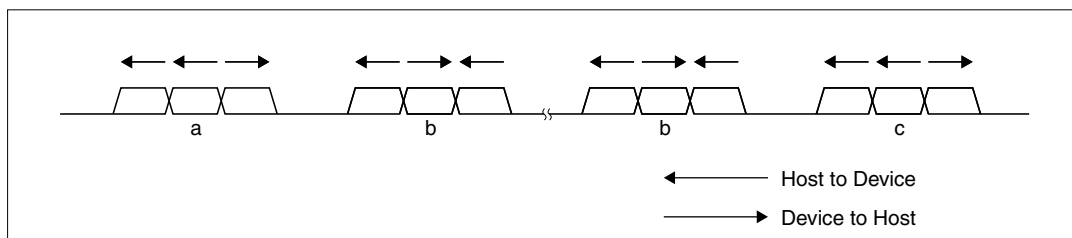


図29.5.1.5 データステージがIN方向のコントロール転送

コントロール転送のデータステージおよびステータスステージは、通常のOUTおよびINトランザクションを行いますので、NAKによるフロー制御が有効です。デバイスは定められた時間内に、応答する準備をすることが許されています。

SETUPステージ

自ノードに宛てられたSETUPトークンを受信すると、自動的にSETUPトランザクションを実行します。ファームウェアは、RcvEP0SETUPステータスをモニタし、EP0Setup_0～EP0Setup_7レジスタによりリクエストを解析して、コントロール転送を制御してください。

受信したリクエストにOUT方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをクリアしてエンドポイントEP0をOUT方向に設定してください。

受信したリクエストにIN方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをセットしてエンドポイントEP0をIN方向に設定してください。受信したリクエストにデータステージがない場合はステータスステージに移行するため、EP0ControlレジスタのINxOUTビットをセットして、エンドポイントEP0をIN方向に設定してください。

データステージ/ステータスステージ

EP0Setup_0～EP0Setup_7レジスタを読み出してリクエストを解析した内容に従って、次のステージに移行してください。

そのステージがOUT方向の場合はEP0ControlレジスタのINxOUTをクリアしてOUT方向に設定し、EP0ControlOUTレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

ステージがIN方向の場合はEP0ControlレジスタのINxOUTをセットしてIN方向に設定し、EP0ControlINレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

自動アドレス設定機能

本コントローラには、エンドポイントEP0におけるコントロール転送において、SetAddress()リクエストの処理におけるアドレス設定を自動化する機能があります。

EP0Setup_0～EP0Setup_7レジスタによってリクエストの内容を確認し、それが有効なSetAddress()リクエストであれば、ファームウェアはこの機能を使用することができます。

有効なSetAddress()リクエストであると判断した場合、EP0ControlIN.ForceNAKビットとEP0ControlIN.EnShortPktビットをそれぞれクリアおよびセットして、ステータスステージへの応答を行う前に、USB_Address.AutoSetAddressビットをセットしてください。

この機能を有効にした後に、エンドポイントEP0におけるINトランザクションが完結すると、SetAddress()リクエストのデータからアドレスを抽出し、USB_Address.USB_Addressビットにセットします。また、ファームウェアに対しSetAddressCmpステータス(SIE_IntStat.SetAddressCmpビット)を発行します。

この機能を有効にした後、INトランザクションが行われる前にエンドポイントEP0において他のトランザクションが発生した場合、この機能はキャンセルされ、USB_Address.AutoSetAddressビットはクリアされます。ファームウェアに対しSetAddressCmpステータスは発行されません。

デスクリプタ返信機能

本コントローラには、エンドポイントEP0におけるコントロール転送において複数回発行される、GetDescriptor()等のデータを要求するリクエストに有効な、デスクリプタ返信機能があります。データステージがIN転送であるリクエストにおいて、ファームウェアはこの機能を使用することができます。

EP0ControlIN.ForceNAKビットをクリアし、データステージへの応答を開始する前に、DescAdrs_HおよびDescAdrs_LレジスタにFIFOのデスクリプタ領域内の返信するデータの先頭アドレスを、またDescSize_HおよびDescSize_Lレジスタに返信するデータの総バイト数を設定し、EP0Control.ReplyDescriptorビットをセットしてください。

デスクリプタ返信機能は、設定数のデータを送り終わるまでデータステージのINトランザクションに返信してデータパケットを返信し、INトランザクションを実行します。最大パケットサイズに対し端数のデータが存在すると、デスクリプタ返信機能は、EP0ControlIN.EnShortPktをセットし、すべてのデータを返信するまで、INトランザクションに返信できるようにします。

設定数のデータを返信し終わると、EP0Control.ReplyDescriptorビットをクリアし、ファームウェアに対し、DescriptorCmpステータス(FIFO_IntStat.DescriptorCmpビット)を発行します。

デスクリプタ領域についての詳細は、機能説明のFIFOの項を参照してください。

バルク転送/インタラプト転送

汎用エンドポイントEPa、EPb、EPc、EPdにおけるバルク転送およびインタラプト転送は、データフロー(“データフロー”参照)としても、連続する個々のトランザクション(“トランザクション”参照)としても制御できます。

データフロー

ここでは、OUT転送およびIN転送の一般的なデータフローの制御について説明します。

OUT転送

OUT転送によって受信したデータは、各エンドポイントのFIFO上に置かれます。FIFOのデータを読み出すには、CPUインタフェースによる読み出し(EP0、EPa、EPb、EPc、EPd)と、ポートインタフェースによる読み出し(EPa、EPb、EPc、EPd)の2つの方法があります。

CPUインタフェースによりFIFOのデータを読み出すには、CPU_JoinRdレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOは、EPnFIFOforCPUレジスタにより、受信順に読み出すことができます。また、FIFOの残りデータ数を、EPnRdRemain_HおよびEPnRdRemain_Lレジスタにより参照できます。空のFIFOを読み出すと、ダミー読み出しを行います。ポートインタフェースによりFIFOのデータを読み出すには、DMA_JoinレジスタでOUT方向のエンドポイントを1つのみ選択してください。選択したエンドポイントのFIFOは、ポートインタフェースの手順を実行することにより、受信順に読み出されます。また、FIFOの残りデータ数を、DMA_Remain_HおよびDMA_Remain_Lレジスタで参照できます。FIFOが空になると、ポートインタフェースは自動的に一時停止してフロー制御を行います。

CPU_JoinRdレジスタおよびDMA_Joinレジスタにより、CPUインタフェースとポートインタフェースを同じエンドポイントの読み出しに設定しないでください。また、CPU_JoinRdレジスタによりIN方向のエンドポイントを読み出し設定する場合、ForceNAKビットをセットするなどして、確実にINトランザクションにデータ返信応答をしない状態にしてから、データの読み出しを行ってください。

ポートインタフェースによる、IN方向のエンドポイントからのデータ読み出しはできません。

FIFOにデータパケットを受信できる空き領域があれば、OUTトランザクションに自動的に応答して、データを受信できます。したがって、ファームウェアによって個々のトランザクションについての制御を行うことなく、OUT転送を行うことができます。ただし、EPx{x=a,b,c,d}Control.DisAF_NAK_Shortビットがクリアされている場合、ショートパケット(データ長ゼロのパケットを含む)を受信すると、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットしますので、次のデータ転送を行う準備ができたところで、EPx{x=a,b,c,d}Control.ForceNAKビットをクリアしてください。図29.5.1.6に、OUT転送のデータフローのようすを示します。OUTのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。

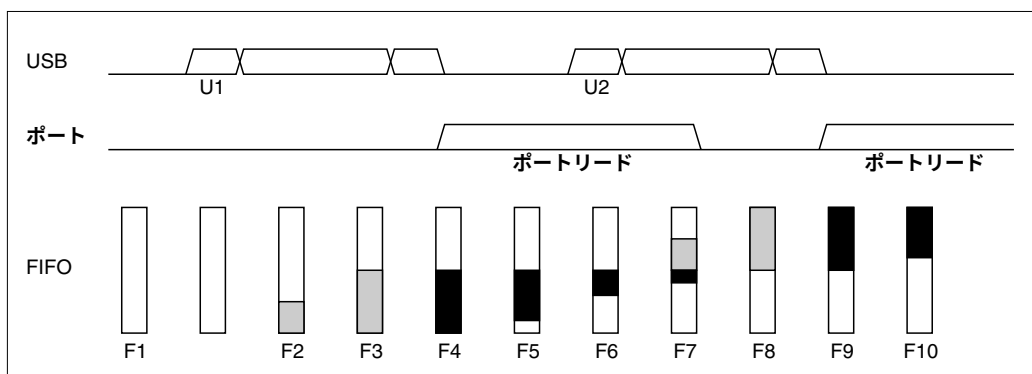


図29.5.1.6 OUT転送のデータフロー例

- (U1) 1回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
- (U2) 2回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。ポートインタフェースは起動をかけられていますが、FIFOが空であるため、転送を行いません。(PDREQ信号をネゲートしています。)
- (F2) OUTトランザクションが進行し、FIFOに受信を開始しています。この時点では、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F3) OUTトランザクションのデータパケットを受信し終えましたが、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F4) OUTトランザクションが完結し、受信したデータが有効とされます。
- (F5) FIFOに有効データが生じたことにより、ポートインタフェースは転送を開始します。(PDREQ信号をアサートします。)
- (F6) ポート転送により、FIFOの有効データが減っています。
- (F7) 次のトランザクション開始により、データの書き込みが始まります。ポート転送は、有効データがある間、動作を続けます。
- (F8) 有効データがなくなったために、ポート転送が停止しています。2回目のOUTトランザクションは未だ完結していません。
- (F9) 2回目のOUTトランザクションが完結し、FIFOに有効データが生じます。
- (F10) FIFOに有効データが生じたため、ポート転送が再開されます。

IN転送

IN転送により送信するデータを、各エンドポイントのFIFO上に置いてください。FIFOにデータを書き込むには、CPUインタフェースによる書き込み(EP0、EPa、EPb、EPc、EPd)と、ポートインタフェースによる書き込み(EPa、EPb、EPc、EPd)の2つの方法があります。

CPUインタフェースにより、FIFOにデータを書き込むには、CPU_JoinWrレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOには、EPnFIFOforCPUレジスタによりデータを書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFOの空き容量を、EPnWrRemain_HおよびEPnWrRemain_Lレジスタにより参照できます。フル状態のFIFOに書き込むと、ダミー書き込みを行います。

ポートインタフェースにより、FIFOにデータを書き込むには、DMA_Joinレジスタにより、IN方向のエンドポイントのみを選択してください。ポートインタフェースの手順にしたがってデータを選択したエンドポイントのFIFOに書き込みます。FIFOのデータは書き込み順にデータパケットとして送信されます。FIFOがフルになると、ポートインタフェースは自動的に一時停止してフロー制御を行います。

CPU_JoinWrレジスタおよび、DMA_Joinレジスタにより、CPUインタフェースとポートインタフェースとを同じエンドポイントへの書き込みを設定しないでください。また、CPU_JoinWrレジスタによりOUT方向のエンドポイントに書き込み設定する場合、ForceNAKビットをセットするなどして、確実にOUTトランザクションのデータ受信をしない状態にしてから、データ書き込みを行ってください。

ポートインタフェースによる、OUT方向のエンドポイントへのデータ書き込みは行えません。

FIFOに最大パケットサイズ以上のデータがあれば、INトランザクションに自動的に応答して、データを送信できます。したがって、ファームウェアは個々のトランザクションについての制御を行うことなく、IN転送を行うことができます。ただし、データ転送の最後にショートパケットを送信する必要がある場合、**EnShortPkt**ビットをセットしてください。このビットはショートパケットを送信したINトランザクションが完結することによってクリアされますので、FIFOへのデータ書き込みが終了した時点でセットすることが可能です。また、**DMA_FIFO_Control.AutoEnShort**ビットがセットされていると、ポートインタフェースからの書き込みが終了したときに、最大パケットサイズに満たない端数データがFIFOにあると、そのエンドポイントの $EPx\{x=a,b,c,d\}$ **Control.EnShortPkt**ビットを自動的にセットします。この機能を使用することにより、データ長ゼロのパケットは返さず、データ長ゼロでないショートパケットのみを返す制御を自動的に行うことができます。

図29.5.1.7にIN転送のデータフローのようすを示します。INのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。

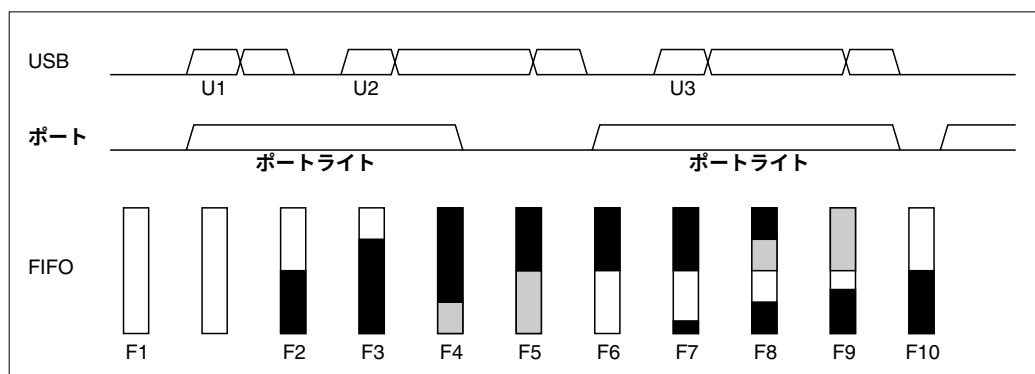


図29.5.1.7 IN転送のデータフロー例

- (U1) 1回目のINトランザクションでは、FIFOに最大パケットサイズ分の有効なデータがないため、NAK応答しています。
- (U2) 2回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (U3) 3回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。
- (F2) ポート転送が開始され、FIFOに有効データが書き込まれます。(PDREQ信号がアサートされます。)
- (F3) FIFOに空き領域があるため、ポート転送が継続しています。
- (F4) FIFOに最大パケットサイズ分の有効データがあるので、INトランザクションに応答して、データパケットを送信しています。トランザクションが完結していないので、送信した分の領域は開放されません。FIFOがフルになり、ポート転送が停止しています。(PDREQ信号がネゲートされます。)
- (F5) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。ポート転送は停止したままです。
- (F6) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。
- (F7) FIFOに空き領域ができたため、ポート転送を再開します。(PDREQ信号をアサートします。)
- (F8) INトランザクションに応答して、データパケットを送信しています。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F9) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F10) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。空き領域がなくなったためにポート転送は一時停止しますが、INトランザクションの完結により空き領域ができたために再開しています。

オートネゴシエーション機能

サスペンド検出、リセット検出、レジューム検出をUSBバスの状態を逐次チェックしながら自動的に行います。実際に何が行われたかは、各割り込み(DetectReset、DetectSuspend)をチェックすることにより確認することができます。

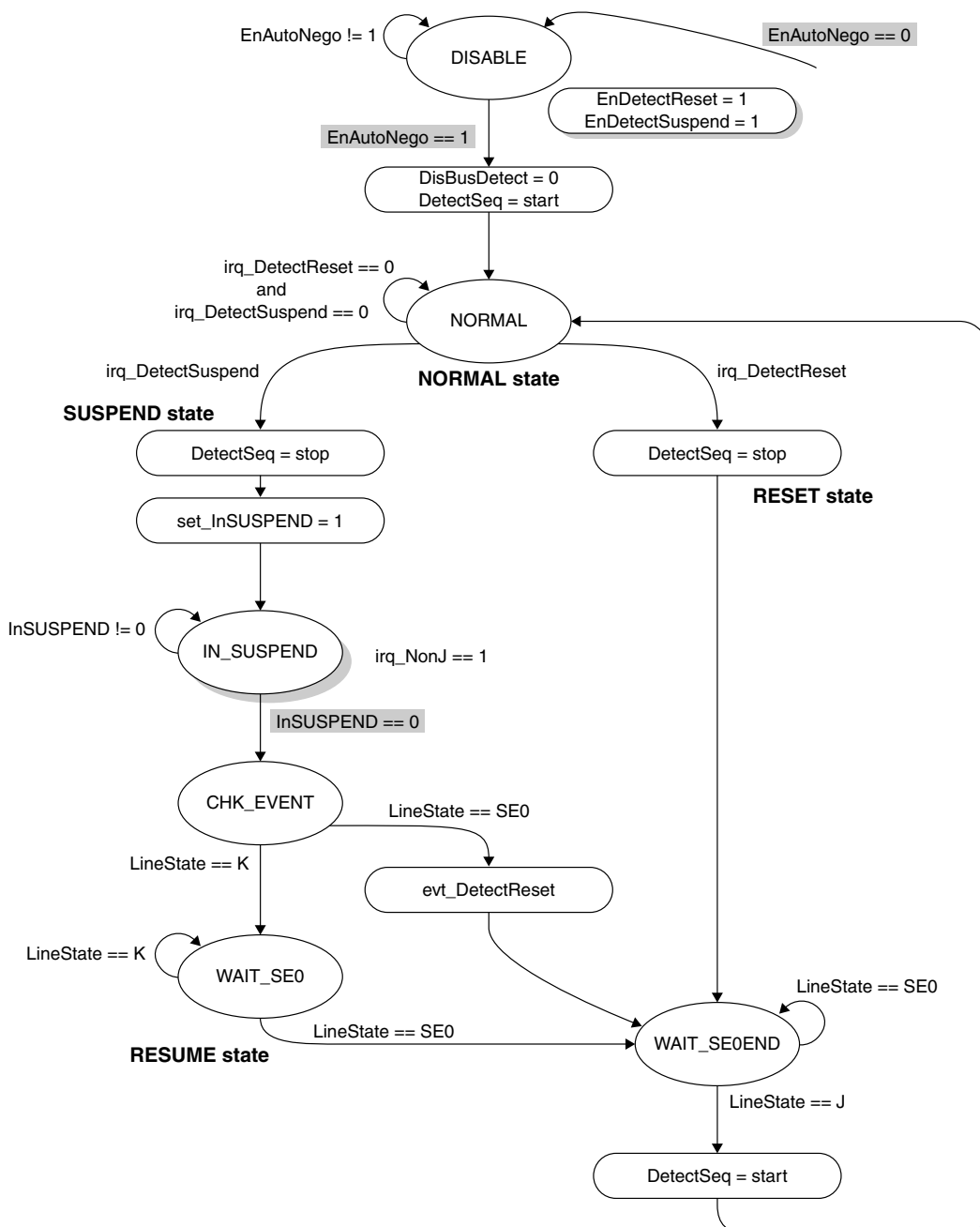


図29.5.1.8 オートネゴシエータ

(1) DISABLE

USB_Control.EnAutoNegoビットをクリアしているときに、このステートに入ります。

オートネゴシエーション機能を有効にするときには、USB_Control.EnAutoNegoビットをセットする前にリセット検出割り込み(SIE_IntEnb.EnDetectReset)、サスペンド検出割り込み(SIE_IntEnb.EnDetectSuspend)をセットし、イベント検出割り込みを許可してください。

オートネゴシエーション機能を有効にすると、USB_Control.DisBusDetectビットを自動的にクリアし、イベント検出機能を有効にします。オートネゴシエーション機能を有効にしている間は、USB_Control.DisBusDetectビットを絶対にセットしないでください。

(2) NORMAL

リセット検出待ち、サスペンド検出待ちをするステートです。

2.5 μ s以上のSE0が検出された場合はリセット、3ms以上アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、リセット検出割り込み、またはサスペンド検出割り込みが発生し、SIE_IntStat.DetectResetビット、またはSIE_IntStat.DetectSuspendビットがセットされます。

サスペンドと判断した場合、一旦イベント検出機能を停止し、IN_SUSPENDステートに入ります。

(3) IN_SUSPEND

サスペンドと判断された場合、ハードウェアによってUSB_Control.InSUSPENDビットが自動的にセットされ、IN_SUSPENDステートに入ります。このUSB_Control.InSUSPENDビットによって、FS-Jからのバスの遷移を検出する機能が有効になり、ホストからのレジューム、リセットのみを検出ようになります。

サスペンド中に実際に消費電流を軽減するかどうかは、アプリケーションに依存します。本コントローラは、消費電流を軽減するためのスヌーズ機能を持っています。オートネゴシエーション機能が有効時にこのスヌーズ機能を使用する場合は、必ずUSB_Control.InSUSPENDビットがセットされたことを確認してから、スヌーズ機能をイネーブルにしてください。

また、スヌーズ状態になった後、サスペンド終了指示であるレジューム(FS-K)を検出するために、ファームウェアにてSIE_IntEnb.EnNonJビットをセットし、NonJ割り込みを許可してください。

NonJ割り込みステータス(SIE_IntStat.NonJ)がセットされた場合、サスペンドからの復帰指示であると判断し、USB_Control.InSUSPENDビットをファームウェアにてクリアすると、CHK_EVENTステートに入ります。

リモートウェイクアップ機能を有効にしているアプリケーションで、サスペンドから復帰する必要があると判断される場合には、このステートの中でUSB_Control.SendWakeupビットをセットし、1ms以上、15ms以下の間FS-Kを出力してください。

(4) CHK_EVENT

CHK_EVENTステートでは、本コントローラはUSB信号をチェックし、FS-Kを検出した場合にレジュームであると判断します。SE0を検出した場合はリセットであると判断します。リセットと判断した場合は、SIE_IntStat.DetectResetビットをセットします。

なお、どのステートにおいても、USBケーブルが抜かれたことには対応していませんので、もしUSBケーブルが抜かれた場合には、すぐに、このオートネゴシエーション機能を停止してください。

各ネゴシエーション機能の単体説明**サスペンド検出**

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のサスペンド検出手順を自動的に実行します。

- (1) 3ms以上、送受信がない(USB_Status.LineState[1:0]に“J”を検出し続ける)ことを内部タイマによりチェックします(T₁)。
- (2) T₂の時点で、USB_Status.LineState[1:0]に“J”を検出した場合、SIE_IntStat.DetectSuspendビットをセットします。
- (3) SIE_IntEnb.EnDetectSuspend、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectSuspendビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectとUSBSNZ/MISC_USBレジスタをそれぞれ1にセットし、T₄までにスヌーズの処理に入ってください。ただし、セルフパワードの製品では、スヌーズしなくても構いません(図29.5.1.9では、スヌーズを行ったときの動作を表しています)。

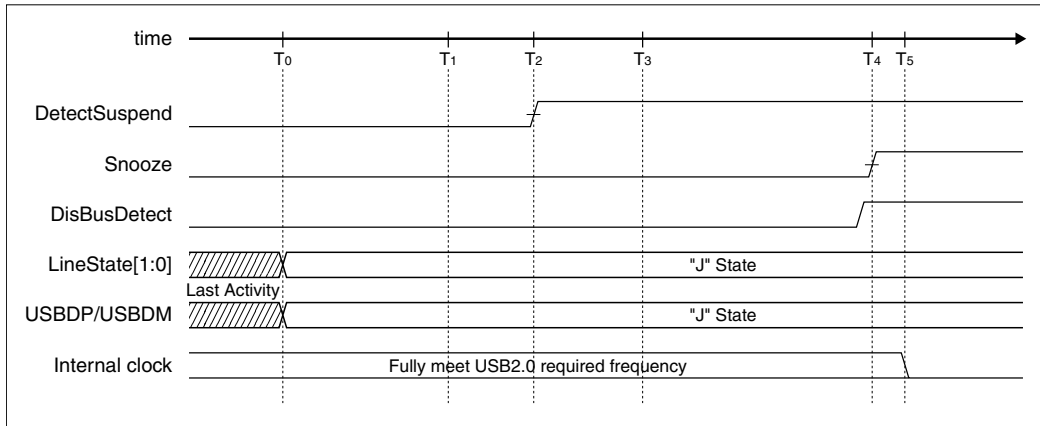


図29.5.1.9 サスPENDタイミング(FSモード)

リセット検出

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のリセット検出手順を自動的に実行します。

- (1) 2.5μs以上、USB_Status.LineState[1:0]に“SE0”を検出し続けたことを内部タイマによりチェックします(T₁)。
- (2) T₂の時点で、USB_Status.LineState[1:0]に“SE0”を検出した場合、SIE_IntStat.DetectResetビットをセットします。
- (3) SIE_IntEnb.EnDetectReset、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectResetビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectビットを1にセットしてください。

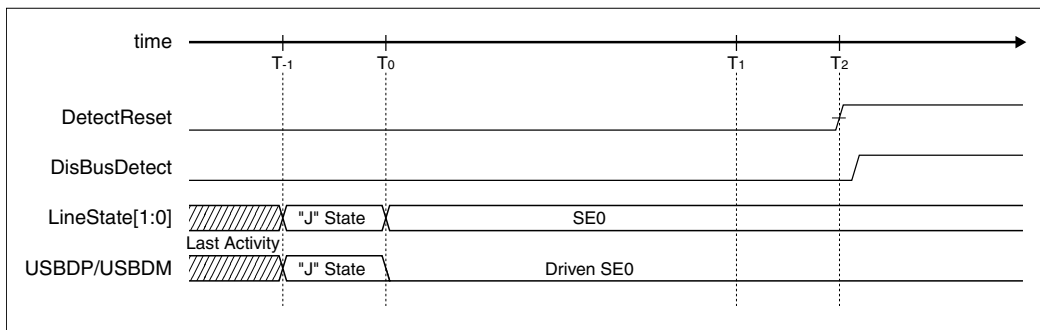


図29.5.1.10 リセットタイミング(FSモード)

レジャーの発行

リモートウェイクアップがサポートされていて、かつホストからリモートウェイクアップを有効にされているときに、何らかの要因で、自らレジャーする方法を説明します。

リモートウェイクアップを行うことが可能なのは、バスがアイドルになってから5ms経過後です。さらに、レジャー信号を出力してから10ms経過以前は、USBのサスPEND状態に入る前の電流をVBUSから引き出すことはできません。

S1C33L27はUSBコントローラのスヌーズモードに対応しています。ここでは、発振回路は動作しているものとして(USB_CKE/CMU_CLKCTL2レジスタ = 1、スリープ状態ではない)、レジャーを発行する場合の動作を説明します。

下記(3)、(4)、(8)、(9)は本コントローラのハードウェアが自動的に処理します。(1)、(2)、(6)、(6a)、(10)は本コントローラを制御するファームウェアで設定してください。

- (1) SIE_IntEnb.EnNonJとUSBSNZビットをクリアしてください。本コントローラが自らウェイクアップするために、スヌーズから復帰させます。
- (2) USB_Control.SendWakeupビットをセットし、レジューム信号を送出させてください。
- (3) XcvtControl.OpMode[1:0]を“Disable Bit Stuffing and NRZI encoding”に設定し、“ALL 0”のデータを送信する準備をします。
- (4) 送信を開始し、ダウンストリームポートに対し“FS K”(レジューム信号)を送出します。
- (5) ダウンストリームポートは、このレジューム信号を検出し、バス上に“FS K”(レジューム信号)を返してきます。
- (6) USB_Control.SendWakeupビットをクリアし、レジューム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。
- (7) ダウンストリームポートがレジューム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジューム信号の最後にはLSのEOPが付いていることに注意してください。

ダウンストリームポートからのレジューム信号の送出の終了を検出したい場合には、上記(6)に続いて、以下の処理を行ってください。

- (6a) USB_Control.StartDetectJビットをセットしてください。
- (7) ダウンストリームポートがレジューム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジューム信号の最後にはLSのEOPが付いていることに注意してください。
- (8) SIE_IntStat.DetectJビットがセットされます。
- (9) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。
- (10) USB_Control.StartDetectJビットをクリアしてください。

ただし、オートネゴシエーション機能を使用している場合には、上記ダウンストリームポートからのレジューム信号の送出の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは発振回路は動作しているものとして(USB_CKE = 1、スリープ状態ではない)、その動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZを1から0に設定)させる前に、OSCパワーアップ時間も必要となります。

レジュームの検出

USBのサスペンド時、バス上には“J”(USB_Status.LineState[1:0]は“J”)が観測されます。バス上に“K”が観測されたときは、ダウンストリームポートからのウェイクアップの指示(レジューム)を受け取ったことになります。ここでは、USBのサスペンド時に本コントローラがスヌーズしていたことを想定し、レジュームを検出した場合の動作を説明します。本コントローラを制御するファームウェアで下記(4)、(5)、(5a)、(9)を設定してください。その他の項目は本コントローラのハードウェアが自動的に処理します。

- (1) “J”から“K”にバスが遷移します。
- (2) SIE_IntStat.NonJビットをセットします。
- (3) SIE_IntEnb.EnNonJ、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
- (4) USBSNZをクリアしてください。
- (5) USB_Control.SendWakeupビットをクリアし、レジューム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。
- (6) ダウンストリームポートが“K”の送出を停止します。
ダウンストリームポートからのレジューム信号の送出の終了を検出したい場合には、上記(5)に続いて、以下の処理を行ってください。
- (5a) USB_Control.StartDetectJビットをセットしてください。
- (6) ダウンストリームポートが“K”の送出を停止します。
- (7) SIE_IntStat.DetectJビットがセットされます。
- (8) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。
- (9) USB_Control.StartDetectJビットをクリアしてください。

ただし、オートネゴシエーション機能を使用している場合には、上記ダウストリームポートからのレジューム信号の送達の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは、発振回路は動作しているものとして(USB_CKE = 1、スリープ状態ではない)、動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZを1から0に設定)させる前に、OSCパワーアップ時間が必要となります。

ケーブル挿入

ハブまたはホストに接続(ケーブルが挿入)された場合の動作は以下のとおりです。本コントローラを制御するファームウェアは、下記(3)と(4)の設定をしてください。(1)と(2)は本コントローラのハードウェアが自動的に処理します。

- (1) ケーブルが接続されるとVBUSが“H”になり、USB_Status.VBUS、SIE_IntStat.VBUS_Changedビットをセットします(T₀)。
- (2) SIE_IntEnb.EnVBUS_Changed、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
- (3) USB_CKEをセットし、USBクロックの供給を開始します(T₁)。
- (4) USBSNZをクリアします(T₂)。
- (5) ダウストリームポートはリセットを送出します(T₄)。

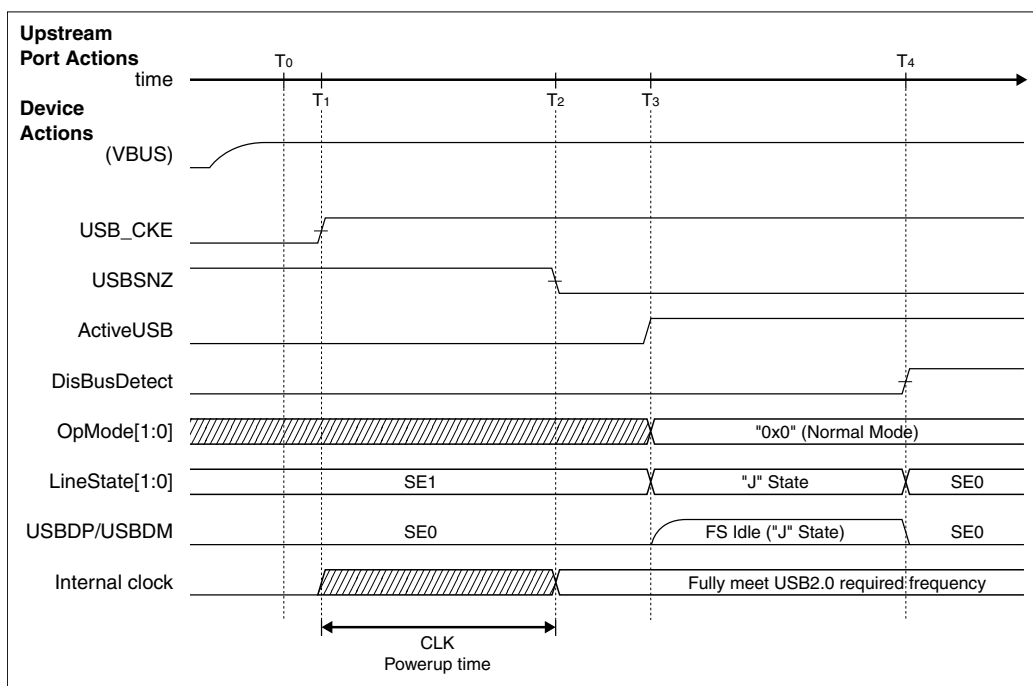


図29.5.1.11 デバイス接続タイミング

表29.5.1.5 デバイス接続タイミング値

タイミングパラメータ	説明	値
T ₀	VBUSが有効です。	0(基準)
T ₁	USB_CKEを1にセットします(ファームウェア)。クロックの入力を開始します。	T ₁
T ₂	USBSNZを0にクリアします(ファームウェア)。	T ₁ + 250μs < T ₂
T ₃	ActiveUSBを1にセットします。OpMode[1:0]を0x0に設定します(ファームウェア)。	T ₀ + 100ms < T ₃
T ₄	ダウストリームポートからリセットが送出されます。DisBusDetectを1にセットします(ファームウェア)。	T ₃ + 100ms < T ₄

29.5.2 FIFO管理

FIFOメモリマップ

FIFOのメモリマップを以下に示します。

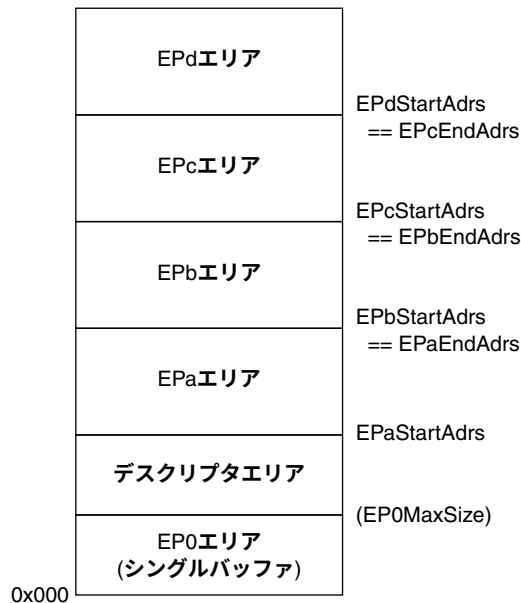


図29.5.2.1 FIFOメモリマップ

FIFOのメモリは、EP0エリア、デスクリプタエリア、EPaエリア、EPbエリア、EPcエリア、EPdエリアの6つのエリアに分割でき、それぞれのエリアは、EP0MaxSizeレジスタ、EPaStartAdrsレジスタ、EPbStartAdrsレジスタ、EPcStartAdrsレジスタ、EPdStartAdrsレジスタの各レジスタ設定によって分割されます。

EP0エリアは、USBで必須のエンドポイント0に使用するエリアで、INおよびOUTの両方向に使用されます。このエリアは、FIFOの先頭に配置され、大きさはEP0MaxSizeレジスタに設定されたエンドポイント0の最大パケットサイズにより決まります。したがって、送受信できるパケットは1つのみ(シングルバッファ)となります。

EPaエリア、EPbエリア、EPcエリア、およびEPdエリアは、エンドポイント番号とINまたはOUTを設定できる汎用エンドポイントのエリアです。EPaエリアは、EPaStartAdrsレジスタに設定されたアドレスを先頭に、EPbStartAdrsレジスタにて設定されたアドレスの前までに割り付けられます。同様に、EPbエリアには、EPbStartAdrsレジスタに設定されたアドレスからEPcStartAdrsレジスタに設定されたアドレスの前までが割り当てられます。EPdエリアには、EPdStartAdrsレジスタに設定されたアドレスからFIFOの最終アドレスまでが割り当てられます。これらのエリア設定用レジスタに設定可能なアドレスは、4バイト単位に制限されています(下位2ビットは書き込み不可)。さらに、これらのエリアについては必ず、それぞれの最大パケットサイズ以上の領域を割り当ててください。最大パケットサイズ以上であれば、どのような値に設定されても問題ありませんが、整数倍に設定することを推奨します。

デスクリプタエリアは、EP0MaxSizeレジスタに設定されたアドレスを先頭に、EPaStartAdrsレジスタに設定されたアドレスの前までに配置されます(実際にはすべてのFIFO領域をデスクリプタエリアとして使用可能ですが、動作上の競合が起きるため、ここに示したエリアを推奨します)。なお、実際の使用方法については後述します。

エリア設定用レジスタを初めて設定した場合や、設定し直した場合には、EPnControl.AllFIFO_Clrビットをセットしてください。エリアの初期設定が終わり次第EPnControl.AllFIFO_Clrビットはクリアされます。ただし、このビットによりRAM上のデータがクリアされることはありません。したがって、デスクリプタエリアを変更していなければ、エリア内に記録された情報が消えることはないため、再度設定し直す必要はありません。

デスクリプタエリアの使用法

デスクリプタエリアは、EP0により送受信されるパケット、すなわち標準リクエストの動作の一部を簡単にかつ高速に行えるエリアです。標準リクエストのうち、デバイスで一義的に決定されるような内容を、電源投入後の初期設定時にこのエリアに書き込んでおくことにより、ホストからその内容を問うリクエストが来た場合には、データの先頭アドレスと、そのサイズを設定するだけで、あとは自動的にそのリクエストのデータステージを行います。リクエストを受け付けてからEP0エリアにデータを書き込む必要がないため、非常に高速にリクエストに応答することができます。

デスクリプタエリアへのデータの書き込み

デスクリプタエリアへデータを書き込む場合には、まず書き込み開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)にデータを書き込みます。書き込み終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスにデータを書き込む場合には、DescDoorレジスタ(RegWindowSel==0x2)に続けてデータを書き込むのみで、アドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアからのデータの読み出し

デスクリプタエリアからデータを読み出す場合には、まず読み出し開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)からデータを読み出します。読み出し終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスからデータを読み出す場合には、DescDoorレジスタ(RegWindowSel==0x2)から続けてデータを読み出すのみでアドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアでのデータステージ(IN)の実行

書き込まれたデータを、EP0のリクエストにて使用する場合には、DescAdrs_H、DescAdrs_Lレジスタにデータステージに送信するデータの先頭アドレスを設定し、リクエストにて指定されたデータのサイズをDescSize_H、DescSize_Lレジスタに設定した後、EP0Control.ReplyDescriptorビットに1をセットします。

ホストからINトークンを受信すると、DescSize_H、DescSize_Lレジスタに設定されたデータ数を最大パケットサイズ(EP0MaxSizeにて設定)に自動的に分割しながら、ホストにデータを送信します。また、DescSize_H、DescSize_Lレジスタの値が最大パケットサイズに満たない場合や、分割した後の残りのデータ数が最大パケットサイズに満たない場合には、自動的にショートパケットとして送信します。設定されたデータ数をすべて送信し終えたところで、EP0Control.ReplyDescriptorをクリアし、FIFO_IntStat.DescriptorCmpがセットされます。このとき、FIFO_IntEnb.EnDescriptorCmpビットがセットされます。MainIntEnb.EnEPIntStatビットがセットされている場合には、同時に#INT信号がアサートされます。

設定したデータ数まで送信する前にステータスステージに移行した場合(OUTトークンを受信した場合)には、EP0Control.ReplyDescriptorビットが自動的にクリアされ、この機能が停止します。同時に、EP0IntStat.OUT_TranNAKステータスとFIFO_IntStat.DescriptorCmpステータスがセットされます。このとき、

- (1) EP0IntEnb.EnOUT_TranNAK、MainIntEnb.EnEP0IntStat、MainIntEnb.EnEPIntStatの3ビット
または
- (2) FIFO_IntEnb.EnDescriptorCmp、MainIntEnb.EnEPIntStatの2ビット
がセットされている場合には、同時に#INT信号がアサートされます。

CPUによるFIFOへのアクセス方法

FIFOにCPUからアクセスする場合には、CPU_JoinRd、CPU_JoinWrレジスタのアクセスしたいエンドポイントのビットに1をセットし、EPnFIFOforCPUレジスタにて読み出し、書き込みを行います。CPU_JoinRd、CPU_JoinWrレジスタはそれぞれ、4ビット中の1ビットのみしか設定できません。複数のビットを同時にセットしようとしたときには、その中で上位のビットのみセットされます。

EPnRdRemain_H、EPnRdRemain_Lレジスタは、CPU_JoinRdにて設定されたエンドポイントから読み出し可能なデータの残り数を示します。また、EPnWrRemain_H、EPnWrRemain_Lレジスタは、CPU_JoinWrにて設定されたエンドポイントの書き込み可能なエリアの残り数を示します。ICE等を使用したCPUのデバッグでレジスタのダンプ等を行う場合に、CPU_JoinRdレジスタをセットしていると、レジスタのダンプ時にFIFOからデータを読み出してしまうことに注意してください。

FIFOへのアクセス制限

本コントローラのFIFOは、USBとの送受信、ポートとの送受信、CPUからの書き込み、読み出しが同時に行われます。このため、CPU(ファームウェア)からのアクセス方法(書き込み、読み出し)に2つの禁止事項があります。

- (1) USBまたはポートがFIFOへの書き込み中に、CPUから同じエンドポイントに書き込むこと
- (2) USBまたはポートがFIFOから読み出し中に、CPUから同じエンドポイントを読み出すこと

これらは、データの連続性を損なう恐れがありますので、絶対に行わないでください。

29.5.3 ポートインタフェース

機能説明

ポートインタフェースは、本コントローラが内蔵しているエンドポイント用FIFOとの間で高速にデータ転送を行うためのDMAインタフェースです。リード/ライトストロブ信号によって転送を行う非同期DMA転送モードをサポートしています。

基本動作説明

ここでは、ポートインタフェースの基本動作について説明します。なお、説明中の“DMA”はUSBファンクションコントローラ内のDMA回路、“DMAC”はS1C33L27のDMAコントローラモジュールを指します。

レジスタ設定

表29.5.3.1に、ポートインタフェースの基本設定用レジスタを示します。各レジスタに適切な値を設定してください。DMA_Joinレジスタの設定により、ポートインタフェースをUSBのIN方向に設定されたエンドポイントと接続した場合は、DMAの書き込み動作になります。また、OUT方向に設定されたエンドポイントと接続した場合は、DMAの読み出し動作になります。

DMA転送中(DMA_Control.DMA_Runningが1のとき)は、基本設定用レジスタを書き換えないようにしてください。DMA転送中に基本設定用レジスタを書き換えた場合の動作は保証できません。

表29.5.3.1 ポートインタフェースの基本設定用レジスタ

項目	レジスタ/ビット	説明
エンドポイント接続	DMA_Join.JoinEP{r=a,b,c,d}DMA	1をセットしたビットのエンドポイントとポートインタフェースを接続します。接続したエンドポイントに対して書き込み/読み出しが可能になります。
カウンタセット	DMA_Count_r{r=HH,HL,LH,LL}	カウントダウンモードのとき、ダウンカウントするバイト数を設定します。
アクティブポート	DMA_Config_0.ActivePort	ポートインタフェースのポートを有効にします。
アクティブレベル	DMA_Config_0.PDREQ_Level DMA_Config_0.PDACK_Level DMA_Config_0.PDRDWR_Level	ポートインタフェース信号のアクティブレベルを設定します。 0: Hアクティブ、1: Lアクティブ
RcvLimitモード	DMA_Config_1.RcvLimitMode	非同期転送書き込み動作時のみ有効です。 本ビットに1をセットした場合、PDREQネグート後も、16バイトまでのデータを受け取ることが可能です。
シングル/マルチワード	DMA_Config_1.SingleWord	非同期転送モード時の転送モードを設定します。 0: マルチワード転送、1: シングルワード転送
カウントモード	DMA_Config_1.CountMode	カウントダウン/フリーランモードを設定します。 0: フリーランモード、1: カウントダウンモード

DMA転送動作

基本設定用レジスタの設定後、DMA_Control.DMA_Goビットに1を書き込むことによって、ポートインタフェースはDMA動作を開始します。DMA動作を開始するとDMAが動作中であることを示すDMA_Control.DMA_Runningビットが1にセットされます。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送は終了します。DMA_Control.DMA_Stopビットに1をセットすることで、DMA要求(PDREQ)を解除することもできます。DMA転送が終了すると、DMA_Control.DMA_Runningビットが0になり、DMA_IntStat.DMA_Cmpビットに1がセットされます。このとき、DMA_IntEnb.EnDMA_Cmpビットがセットされている場合は、CPUに対して#INT信号がアサートされます。

非同期DMA転送モード

データ転送要求信号PDREQ、データ転送許可信号PDACKおよび、リードPDRD/ライトPDWR信号によってデータを入出力する8ビットの非同期DMA転送です。スレーブ機能のみサポートしており、マルチワードまたはシングルワードで転送を行います。

非同期マルチワードDMA転送モード(スレーブ)

1)書き込み動作説明

ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = 0
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、PDREQをアサートしてデータ転送を要求します。PDWRの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングでデータを取り込み、エンドポイントに書き込みます。エンドポイントの空き領域がなくなると、PDREQをネゲートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQをネゲートし、130ns × N(N = DMA_Latency.DMA_Latency[3:0])の期間、PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA要求(PDREQ)を解除(ネゲート)したい場合には、DMA_Control.DMA_Stopビットに1をセットします。ただし、DMA_Control.DMA_Stopビットへの1書き込みでDMACは停止しません。したがって、まず始めにDMAC(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。

注: S1C33L27のDMACはPDREQの立ち上がりエッジでデータ転送を開始します。マルチワードDMA転送モードでは、この後PDREQがアクティブ(Highレベル)の間は新たなDMACトリガは発生しません。次のPDREQ立ち上がりエッジが次のDMACトリガになります。したがって、本コントローラをマルチワードDMA転送モードで使用する場合は、DMACを連続転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じ値を設定してください。

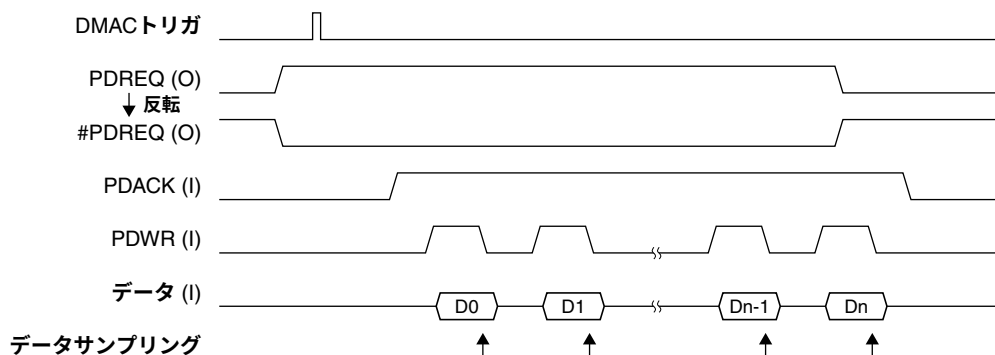


図29.5.3.1 非同期マルチワードDMA転送(書き込み)

DMA_Config_1.DMA_RcvLimitModeビットに1をセットした場合は、RcvLimitモードになります。RcvLimitモードは、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQをネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQをネゲートします。ただし、PDREQネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQネゲート後に受け取れるデータは、16バイトまでとなります。

本モードでは、エンドポイントが完全にフルになる前にPDREQをネゲートします。もし、EP{a,b,c,d}StartAdrsレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAdrsレジスタで設定してください。

注: S1C33L27では、USBのDMAデータ転送回数はDMAC転送カウンタの設定によって決まります。本コントローラによるPDREQのネゲートは転送回数に影響しません。RcvLimitモードの本コントローラがPDREQをネゲートした後も、DMACはDMAC転送カウンタが0になるまで、データ転送を継続します。したがって、DMAC転送カウンタを正しく設定しておく必要があります。

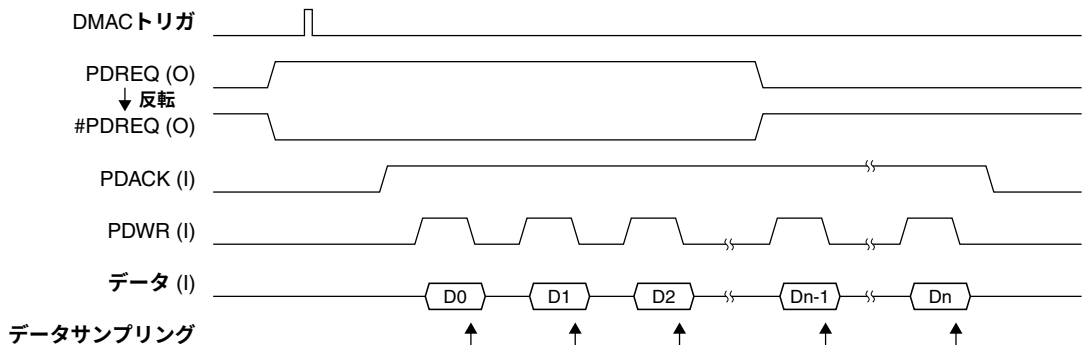


図29.5.3.2 RcvLimitモードでの非同期マルチワードDMA転送(書き込み)

2) 読み出し動作説明

ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = 0
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、PDREQをアサートしてデータ転送を要求します。PDACKがアクティブになると転送データをデータバスに出力します。DMAC(マスタ)は、PDRDの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込んでください。エンドポイントにデータがなくなると、PDREQをネゲートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQをネゲートし、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間、PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA要求(PDREQ)を解除(ネゲート)したい場合には、DMA_Control.DMA_Stopビットに1をセットします。ただし、DMA_Control.DMA_Stopビットへの1書き込みでDMACは停止しません。したがって、まず始めにDMAC(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。

注: S1C33L27のDMACはPDREQの立ち上がりエッジでデータ転送を開始します。マルチワードDMA転送モードでは、この後PDREQがアクティブ(Highレベル)の間は新たなDMACトリガは発生しません。次のPDREQ立ち上がりエッジが次のDMACトリガになります。したがって、本コントローラをマルチワードDMA転送モードで使用する場合は、DMACを連続転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じ値を設定してください。

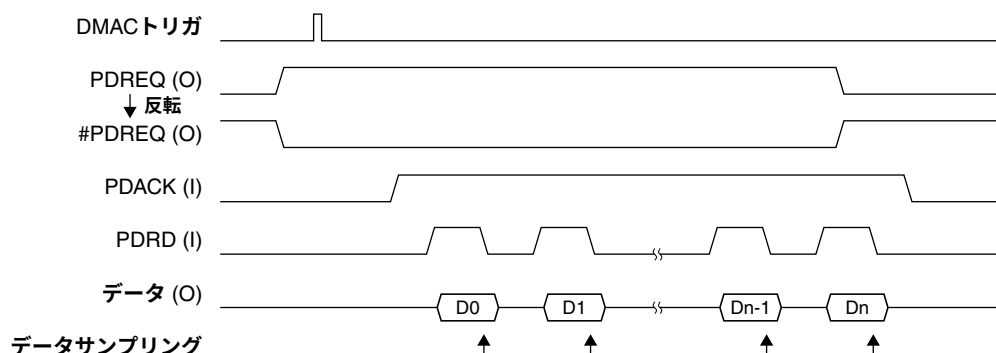


図29.5.3.3 非同期マルチワードDMA転送(読み出し)

非同期シングルワードDMA転送モード(スレーブ)

1) 書き込み動作説明

ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = 1
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、PDREQをアサートしてデータ転送を要求します。PDWRの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込み、エンドポイントに書き込みます。本モードは、1バイトのデータを転送すると(PDWRがアクティブになると)一旦PDREQをネゲートします。その時点でまだエンドポイントに空き領域があれば、PDREQをアサートしてデータ転送を要求します。エンドポイントの空き領域がない場合は、PDREQをアサートせずにデータ転送を拒否します。DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQをネゲートした後、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA要求(PDREQ)を解除(ネゲート)したい場合には、DMA_Control.DMA_Stopビットに1をセットします。ただし、DMA_Control.DMA_Stopビットへの1書き込みでDMACは停止しません。したがって、まず始めにDMAC(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。

注: S1C33L27のDMACはPDREQの立ち上がりエッジでデータ転送を開始します。次のPDREQ立ち上がりエッジが次のDMACトリガになります。DMAC転送カウンタが0になると、DMACトリガが発生してもDMA転送を開始しません。したがって、本コントローラをシングルワードDMA転送モードで使用する場合は、DMACをシングル転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じかそれより小さな値を設定してください。

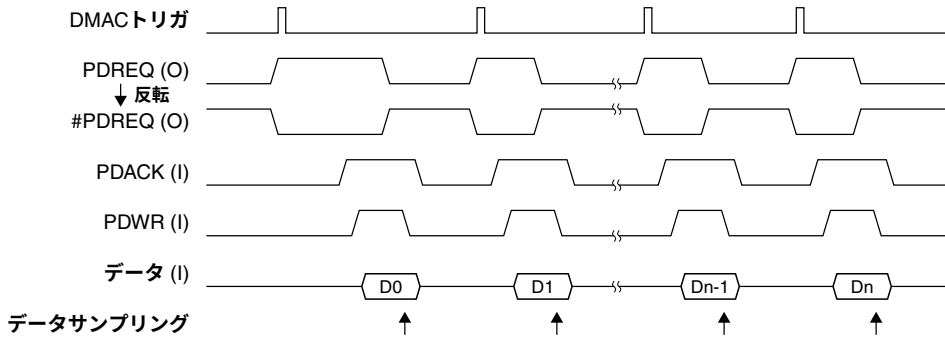


図29.5.3.4 非同期シングルワードDMA転送(書き込み)

2) 読み出し動作説明

ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = 1
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、PDREQをアサートしてデータ転送を要求します。PDACKがアクティブになるとデータバスに転送データを出力します。DMAC(マスタ)は、PDRDの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込んでください。本モードは、1バイトのデータを転送すると(PDRDがアクティブになると)一旦PDREQをネゲートします。その時点でまだエンドポイントにデータが存在すれば、PDREQをアサートしてデータ転送を要求します。エンドポイントにデータがない場合は、PDREQをアサートせずにデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQをネゲートした後、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA要求(PDREQ)を解除(ネゲート)したい場合には、DMA_Control.DMA_Stopビットに1をセットします。ただし、DMA_Control.DMA_Stopビットへの1書き込みでDMACは停止しません。したがって、まず始めにDMAC(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。

注: S1C33L27のDMACはPDREQの立ち上がりエッジでデータ転送を開始します。次のPDREQ立ち上がりエッジが次のDMACトリガになります。DMAC転送カウンタが0になると、DMACトリガが発生してもDMA転送を開始しません。したがって、本コントローラをシングルワードDMA転送モードで使用する場合は、DMACをシングル転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じかそれより小さな値を設定してください。

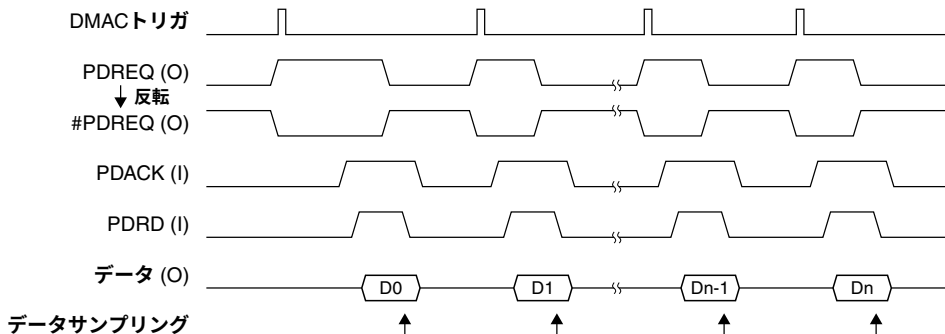


図29.5.3.5 非同期シングルワードDMA転送(読み出し)

29.5.4 スヌーズ

本コントローラは、USBを使用しない場合の消費電流を低減させるためのスヌーズ機能を持っています。USBSNZ/MISC_USBレジスタへの1書き込みによってSNOOZE信号がアサートされると、以下のシーケンスが実行され、48MHzクロックの5クロック後にクロック入力を停止可能な状態になります。

- USB差動コンパレータをディセーブルにします。
- SIE_IntStatレジスタのVBUS_ChangedおよびNonJビットへの非同期アクセスを許可します(USBインタフェース入力をモニタ可能)。
- 同期レジスタへのリード/ライトをマスクします。
- 同期割り込みをマスクします。

SNOOZE信号がネゲートされると、本コントローラは5クロック後(このとき、発振が安定している必要があります)に動作を再開します。

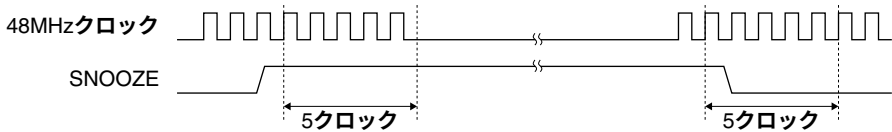


図29.5.4.1 スヌーズシーケンス

スヌーズモードの設定と解除は以下の手順で行ってください。

スヌーズ設定

- (1) MISC_PROT0レジスタに0x96を書き込み、Miscレジスタの書き込み保護を解除します。
- (2) MISC_USBレジスタのUSBSNZを1に設定し、スヌーズ制御を有効にします。
- (3) MISC_PROT0レジスタに0x96以外を書き込み、Miscレジスタの書き込み保護を設定します。
- (4) CMU_PROTECTレジスタに0x96を書き込み、CMUレジスタの書き込み保護を解除します。
- (5) CMU_CLKCTL2レジスタのUSB_CKEを0に設定し、USBクロックの供給を停止します。
- (6) CMU_PROTECTレジスタに0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。

スヌーズ解除

- (1) CMU_PROTECTレジスタに0x96を書き込み、CMUレジスタの書き込み保護を解除します。
- (2) CMU_CLKCTL2レジスタのUSB_CKEを1に設定し、USBクロックの供給を開始します。
- (3) CMU_PROTECTレジスタに0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。
- (4) MISC_PROT0レジスタに0x96を書き込み、Miscレジスタの書き込み保護を解除します。
- (5) MISC_USBレジスタのUSBSNZを0に設定し、スヌーズ制御を無効にします。
- (6) MISC_PROT0レジスタに0x96以外を書き込み、Miscレジスタの書き込み保護を設定します。

29.6 レジスタ

29.6.1 レジスタ一覧

• *Italic & bold*書体で記述されているビットはSNOOZE/SLEEP時も読み書き可能です。

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x300c00	MainIntStat	R(W)	0x00	<i>SIE_IntStat</i>	EPrintStat	DMA_IntStat	FIFO_IntStat	–	–	EPIntStat	RcvEPOSETUP
0x300c01	SIE_IntStat	R(W)	0x00	<i>VBUS_Changed</i>	<i>NonJ</i>	DetectReset	DetectSuspend	RcvSOF	DetectJ	–	SetAddressCmp
0x300c02	EPIntStat	R	0x00	–	–	–	–	EPIntStat	EPIntStat	EPIntStat	EPIntStat
0x300c03	DMA_IntStat	R(W)	0x00	–	–	–	–	–	–	DMA_CountUp	DMA_Cmp
0x300c04	FIFO_IntStat	R(W)	0x00	DescriptorCmp	–	–	–	–	–	FIFO_IN_Cmp	FIFO_OUT_Cmp
0x300c05											
0x300c06											
0x300c07	EPIntStat	R(W)	0x00	–	–	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x300c08	EPIntStat	R(W)	0x00	–	OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x300c09	EPIntStat	R(W)	0x00	–	OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x300c0a	EPIntStat	R(W)	0x00	–	OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x300c0b	EPIntStat	R(W)	0x00	–	OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x300c0c											
0x300c0d											
0x300c0e											
0x300c0f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x300c10	MainIntEnb	R/W	0x00	EnSIE_IntStat	EnEPrintStat	EnDMA_IntStat	EnFIFO_IntStat	–	–	EnEP0IntStat	EnRcvEP0SETUP
0x300c11	SIE_IntEnb	R/W	0x00	EnVBUS_Changed	EnNonJ	EnDetectReset	EnDetectSuspend	EnRcvSOF	EnDetectJ	–	EnSetAddressCmp
0x300c12	EPrintEnb	R/W	0x00	–	–	–	–	EnEP0IntStat	EnEP0IntStat	EnEP0IntStat	EnEP0IntStat
0x300c13	DMA_IntEnb	R/W	0x00	–	–	–	–	–	–	EnDMA_CountUp	EnDMA_Cmp
0x300c14	FIFO_IntEnb	R/W	0x00	EnDescriptorCmp	–	–	–	–	–	EnFIFO_IN_Cmp	EnFIFO_OUT_Cmp
0x300c15											
0x300c16											
0x300c17	EP0IntEnb	R/W	0x00	–	–	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x300c18	EP0IntEnb	R/W	0x00	–	EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x300c19	EP0IntEnb	R/W	0x00	–	EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x300c1a	EP0IntEnb	R/W	0x00	–	EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x300c1b	EP0IntEnb	R/W	0x00	–	EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x300c1c											
0x300c1d											
0x300c1e											
0x300c1f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
0x300c20	RevisionNum	R	0x12	Revision Num[7:0]								
0x300c21	USB_Control	R/W	0x00	DisBusDetect	EnAutoNego	InSUSPEND	StartDetectJ	SendWakeup	–	–	ActiveUSB	
0x300c22	USB_Status	R	0xXX	VBUS	1(FS)	–	–	–	–	LineState[1:0]		
0x300c23	XcvtControl	R/W	0x01	RpuEnb	–	–	–	–	–	OpMode[1:0]		
0x300c24	USB_Test	R/W	0x00	EnUSB_Test	–	–	–	Test_SE0_NAK	Test_J	Test_K	Test_Packet	
0x300c25	EPnControl	W	0x00	AllForceNAK	EPnForceSTALL	AllFIFO_Clr	–	–	–	–	EP0FIFO_Clr	
0x300c26	EPnFIFO_Clr	W	0x00	–	–	–	–	EPdFIFO_Clr	EPcFIFO_Clr	EPbFIFO_Clr	EPaFIFO_Clr	
0x300c27												
0x300c28												
0x300c29												
0x300c2a												
0x300c2b												
0x300c2c												
0x300c2d												
0x300c2e	FrameNumber_H	R	0x80	FrInvalid	–	–	–	–	FrameNumber[10:8]			
0x300c2f	FrameNumber_L	R	0x00	FrameNumber[7:0]								

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x300c30	EP0Setup_0	R	0x00	EP0Setup_0[7:0]							
0x300c31	EP0Setup_1	R	0x00	EP0Setup_1[7:0]							
0x300c32	EP0Setup_2	R	0x00	EP0Setup_2[7:0]							
0x300c33	EP0Setup_3	R	0x00	EP0Setup_3[7:0]							
0x300c34	EP0Setup_4	R	0x00	EP0Setup_4[7:0]							
0x300c35	EP0Setup_5	R	0x00	EP0Setup_5[7:0]							
0x300c36	EP0Setup_6	R	0x00	EP0Setup_6[7:0]							
0x300c37	EP0Setup_7	R	0x00	EP0Setup_7[7:0]							
0x300c38	USB_Address	R/W	0x00	AutoSetAddress	USB_Address[6:0]						
0x300c39	EP0Control	R/W	0x00	INxOUT	–	–	–	–	–	–	ReplyDescriptor
0x300c3a	EP0ControlIN	R/W	0x00	–	EnShortPkt	–	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c3b	EP0ControlOUT	R/W	0x00	AutoForceNAK	–	–	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c3c											
0x300c3d											
0x300c3e											
0x300c3f	EP0MaxSize	R/W	0x08	–	EP0MaxSize[6:3]				–	–	–

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x300c40	EPaControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c41	EPbControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c42	EPcControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c43	EPdControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x300c44											
0x300c45											
0x300c46											
0x300c47											
0x300c48											
0x300c49											
0x300c4a											
0x300c4b											
0x300c4c											
0x300c4d											
0x300c4e											
0x300c4f											

29 USBファンクションコントローラ(USB)

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
0x300c50	EPaMaxSize_H	R/W	0x00	–	–	–	–	–	–	EPaMaxSize[9:8]		
0x300c51	EPaMaxSize_L	R/W	0x00	EPaMaxSize[7:0]								
0x300c52	EPaConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint	–	EndPointNumber[3:0]				
0x300c53	EPaConfig_1	R/W	0x00	ISO	ISO_CRCmode	–	–	–	–	–	–	
0x300c54	EPbMaxSize_H	R/W	0x00	–	–	–	–	–	–	EPbMaxSize[9:8]		
0x300c55	EPbMaxSize_L	R/W	0x00	EPbMaxSize[7:0]								
0x300c56	EPbConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint	–	EndPointNumber[3:0]				
0x300c57	EPbConfig_1	R/W	0x00	ISO	ISO_CRCmode	–	–	–	–	–	–	
0x300c58	EPcMaxSize_H	R/W	0x00	–	–	–	–	–	–	EPcMaxSize[9:8]		
0x300c59	EPcMaxSize_L	R/W	0x00	EPcMaxSize[7:0]								
0x300c5a	EPcConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint	–	EndPointNumber[3:0]				
0x300c5b	EPcConfig_1	R/W	0x00	ISO	ISO_CRCmode	–	–	–	–	–	–	
0x300c5c	EPdMaxSize_H	R/W	0x00	–	–	–	–	–	–	EPdMaxSize[9:8]		
0x300c5d	EPdMaxSize_L	R/W	0x00	EPdMaxSize[7:0]								
0x300c5e	EPdConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint	–	EndPointNumber[3:0]				
0x300c5f	EPdConfig_1	R/W	0x00	ISO	ISO_CRCmode	–	–	–	–	–	–	

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0		
0x300c70	EPaStartAdrs_H	R/W	0x00	－	－	－	－	EPaStartAdrs[11:8]					
0x300c71	EPaStartAdrs_L	R/W	0x00	EPaStartAdrs[7:2]								－	－
0x300c72	EPbStartAdrs_H	R/W	0x00	－	－	－	－	EPbStartAdrs[11:8]					
0x300c73	EPbStartAdrs_L	R/W	0x00	EPbStartAdrs[7:2]								－	－
0x300c74	EPcStartAdrs_H	R/W	0x00	－	－	－	－	EPcStartAdrs[11:8]					
0x300c75	EPcStartAdrs_L	R/W	0x00	EPcStartAdrs[7:2]								－	－
0x300c76	EPdStartAdrs_H	R/W	0x00	－	－	－	－	EPdStartAdrs[11:8]					
0x300c77	EPdStartAdrs_L	R/W	0x00	EPdStartAdrs[7:2]								－	－
0x300c78													
0x300c79													
0x300c7a													
0x300c7b													
0x300c7c													
0x300c7d													
0x300c7e													
0x300c7f													

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x300c80	CPU_JoinRd	R/W	0x00	–	–	–	–	JoinEPdRd	JoinEPcRd	JoinEPbRd	JoinEPaRd
0x300c81	CPU_JoinWr	R/W	0x00	–	–	–	–	JoinEPdWr	JoinEPcWr	JoinEPbWr	JoinEPaWr
0x300c82	EnEPnFIFO_Access	R/W	0x00	–	–	–	–	–	–	EnEPnFIFO_Wr	EnEPnFIFO_Rd
0x300c83	EPnFIFOforCPU	R/W	0xXX	EPnFIFOdata[7:0]							
0x300c84	EPnRdRemain_H	R	0x00	–	–	–	–	EPnRdRemain[11:8]			
0x300c85	EPnRdRemain_L	R	0x00	EPnRdRemain[7:0]							
0x300c86	EPnWrRemain_H	R	0x00	–	–	–	–	EPnWrRemain[11:8]			
0x300c87	EPnWrRemain_L	R	0x00	EPnWrRemain[7:0]							
0x300c88	DescAdrs_H	R/W	0x00	–	–	–	–	DescAdrs[11:8]			
0x300c89	DescAdrs_L	R/W	0x00	DescAdrs[7:0]							
0x300c8a	DescSize_H	R/W	0x00	–	–	–	–	–	–	DescSize[9:8]	
0x300c8b	DescSize_L	R/W	0x00	DescSize[7:0]							
0x300c8c											
0x300c8d											
0x300c8e											
0x300c8f	DescDoor	R/W	0x00	DescModel[7:0]							

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
0x300c90	DMA_FIFO_Control	R/W	0x00	FIFO_Running	AutoEnShort	–	–	–	–	–	–	
0x300c91	DMA_Join	R/W	0x00	–	–	–	–	JoinEPdDMA	JoinEPcDMA	JoinEPbDMA	JoinEPaDMA	
0x300c92	DMA_Control	R/W	0x00	DMA_Running	PDREQ	PDACK	–	CounterClr	–	DMA_Stop	DMA_Go	
0x300c93												
0x300c94	DMA_Config_0	R/W	0x00	ActivePort	–	–	–	PDREQ_Level	PDACK_Level	PDRDWR_Level	–	
0x300c95	DMA_Config_1	R/W	0x00	RcvLimitMode	–	–	–	SingleWord	–	–	CountMode	
0x300c96												
0x300c97	DMA_Latency	R/W	0x00	–	–	–	–	DMA_Latency[3:0]				
0x300c98	DMA_Remain_H	R	0x00	–	–	–	–	DMA_Remain[11:8]				
0x300c99	DMA_Remain_L	R	0x00	DMA_Remain[7:0]								
0x300c9a												
0x300c9b												
0x300c9c	DMA_Count_HH	R/W	0x00	DMA_Count[31:24]								
0x300c9d	DMA_Count_HL	R/W	0x00	DMA_Count[23:16]								
0x300c9e	DMA_Count_LH	R/W	0x00	DMA_Count[15:8]								
0x300c9f	DMA_Count_LL	R/W	0x00	DMA_Count[7:0]								

29.6.2 レジスタ詳細説明

MainIntStat (Main Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
MainIntStat (Main interrupt status)	0x300c00 (8 bits)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	
		D6	EPrIntStat	1	EPr interrupts	0	None	0	R	
		D5	DMA_IntStat	1	DMA interrupts	0	None	0	R	
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R	
		D3-2	—	—		—	—	—	—	0 when being read.
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R	
		D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	

本コントローラの割り込み要因を表示します。このレジスタには割り込み要因を間接的に参照するビットと直接参照するビットがあります。

割り込み要因を間接参照するビットは、それぞれに対応する割り込みステータスレジスタを読み出すことにより、割り込み要因を直接参照するビットまでたどることができます。割り込み要因を間接参照するビットはリードオンリで、大本の割り込み要因を直接参照するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接参照するビットは、書き込みが可能であり、該当ビットに1をセットすることにより、割り込み要因をクリアすることができます。MainIntEnbレジスタにより、対応するビットの割り込みが許可されている場合は、割り込み要因が1にセットされると#INT信号がアサートされ、CPUに対して割り込みが発生します。該当する割り込み要因がすべてクリアされると、#INT端子がネゲートされます。

D7 SIE_IntStat

割り込み要因の状態を間接的に示します。

SIE_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するSIE_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。このビットは、スヌーズ中も読み出し可能です。

D6 EPrIntStat

割り込み要因の状態を間接的に示します。

EPrIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPrIntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D5 DMA_IntStat

割り込み要因の状態を間接的に示します。

DMA_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するDMA_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D4 FIFO_IntStat

割り込み要因の状態を間接的に示します。

FIFO_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するFIFO_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D[3:2] Reserved

D1 EP0IntStat

割り込み要因の状態を間接的に示します。

EP0IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEP0IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D0 RcvEP0SETUP

割り込み要因の状態を直接示します。

セットアップステージが終了し、受信したデータがEP0Setup_0~EP0Setup_7レジスタに格納されると、1にセットされます。同時にEP0ControlIN、EP0ControlOUTレジスタのForceSTALLビットが0に、ForceNAKビットとToggleStatビットが1に、自動的に設定されます。

SIE_IntStat (SIE Interrupt Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
SIE_IntStat (SIE interrupt status)	0x300c01 (8 bits)	D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)	
		D6	NonJ	1	Detect non J state	0	None	0	R(W)	
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)	
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)	
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)	
		D2	DetectJ	1	Detect J state	0	None	0	R(W)	
		D1	—	—	—	—	—	—	—	0 when being read.
		D0	SetAddressCmp	1	AutoSetAddress complete	0	None	0	R(W)	

SIE関連の割り込みを表示します。

D7 VBUS_Changed

割り込み要因の状態を直接示します。

VBUS端子の状態が変化したときに1にセットされます。

USB_StatusレジスタのVBUSビットによってVBUSの状態を確認してください。VBUSが0であれば、ケーブルが抜かれたことを示します。このビットはスヌーズ中も有効です。

D6 NonJ

割り込み要因の状態を直接示します。

USBバス上でJステート以外の状態を検出すると1にセットされます。このビットは、USB_ControlレジスタのInSUSPENDビットが1にセットされているときに有効です。このビットはスヌーズ中も有効です。

D5 DetectReset

割り込み要因の状態を直接示します。

USBのリセットステートを検出すると1にセットされます。このリセット検出は、USB_ControlレジスタのActiveUSBビットが1にセットされているときに有効です。

オートネゴシエーション機能を使用しない場合には、このビットが1にセットされた場合、継続するリセットを誤検出しないよう、USB_ControlレジスタのDisBusDetectビットを1にセットしてUSBのリセット/サスペンドステートの検出を無効にしてください。リセットに対する処理終了後にDisBusDetectビットを0にクリアしてUSBのリセット/サスペンドステートの検出を有効にしてください。

オートネゴシエーション機能については、USB_ControlレジスタのEnAutoNegoビットの説明を参照してください。

D4 DetectSuspend

割り込み要因の状態を直接示します。

USBのサスペンドステートを検出すると1にセットされます。

USBサスペンドステートの検出後は、MISC_USBレジスタのUSBSNZビットを1にセットすることにより、本コントローラをスヌーズモード(内蔵PLLを停止)にすることができます。

D3 RcvSOF

割り込み要因の状態を直接示します。

SOFトークンを受信すると1にセットされます。

D2 DetectJ

割り込み要因の状態を直接示します。

Jステートを検出すると1にセットされます。

D1 Reserved

D0 SetAddressCmp

割り込み要因の状態を直接示します。

AutoSetAddress機能(USB_Addressレジスタ)が正常終了したときに1にセットされます。AutoSetAddress機能が正常終了するのは、INトランザクションにACK応答した場合です。

EPIntStat (EP Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
EPrintStat (EP interrupt status)	0x300c02 (8 bits)	D7–4	–	–		–	–	0 when being read.		
		D3	EPdIntStat	1	EPd interrupt	0	None		0	R
		D2	EPcIntStat	1	EPc interrupt	0	None		0	R
		D1	EPbIntStat	1	EPb interrupt	0	None		0	R
		D0	EPaIntStat	1	EPa interrupt	0	None		0	R

D[7:4] Reserved

D3 EPdIntStat

割り込み要因の状態を間接的に示します。

EPdIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPdIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D2 EPcIntStat

割り込み要因の状態を間接的に示します。

EPcIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPcIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D1 EPbIntStat

割り込み要因の状態を間接的に示します。

EPbIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPbIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D0 EPaIntStat

割り込み要因の状態を間接的に示します。

EPaIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPaIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

DMA_IntStat (DMA Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
DMA_IntStat (DMA interrupt status)	0x300c03 (8 bits)	D7-2	—	—		—	—	0 when being read.		
		D1	DMA_CountUp	1	DMA counter overflow	0	None		0	R(W)
		D0	DMA_Cmp	1	DMA complete	0	None		0	R(W)

DMA割り込みの状態を示します。

D[7:2] Reserved

D1 DMA_CountUp

割り込み要因の状態を直接示します。

DMAがフリーランモードで動作中にDMA_Count_HH、HL、LH、LLがオーバーフローすると1にセットされます。その後、DMA_Count_HH、HL、LH、LLは0に戻り、DMA動作も継続します。

D0 DMA_Cmp

割り込み要因の状態を直接示します。

DMAが停止した場合、あるいは指定数の転送が終了し、処理が完了した場合に1にセットされます。

FIFO_IntStat (FIFO Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
FIFO_IntStat (FIFO interrupt status)	0x300c04 (8 bits)	D7	DescriptorCmp	1	Descriptor complete	0	None	0	R(W)	
		D6-2	—	—		—	—	0 when being read.		
		D1	FIFO_IN_Cmp	1	IN FIFO Complete	0	None	0	R(W)	
		D0	FIFO_OUT_Cmp	1	OUT FIFO complete	0	None	0	R(W)	

FIFO割り込みの状態を示します。

D7 DescriptorCmp

割り込み要因の状態を直接示します。

デスクリプタ返信機能において、DescSizeレジスタの設定数のデータを返信し終わると1にセットされます。

また、DescSizeレジスタの設定数までデータを送信する前にステータスステージへ移行(OUTトークンを受信)した場合には、EP0IntStatレジスタのOUT_TrانNAKビットと共に1にセットされます。

D[6:2] Reserved**D1 FIFO_IN_Cmp**

割り込み要因の状態を直接示します。

DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがIN方向の場合、DMA転送が終了した後にFIFOが空になると1にセットされます。

D0 FIFO_OUT_Cmp

割り込み要因の状態を直接示します。

DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがOUT方向の場合、DMA転送が終了すると1にセットされます。

EP0IntStat (EP0 Interrupt Status)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0IntStat (EP0 interrupt status)	0x300c07 (8 bits)	D7-6	—	—	—	—	0 when being read.
		D5	IN_TrانACK	1 In transaction ACK	0 None	0 R(W)	
		D4	OUT_TrانACK	1 Out transaction ACK	0 None	0 R(W)	
		D3	IN_TrانNAK	1 In transaction NAK	0 None	0 R(W)	
		D2	OUT_TrانNAK	1 Out transaction NAK	0 None	0 R(W)	
		D1	IN_TrانErr	1 In transaction error	0 None	0 R(W)	
		D0	OUT_TrانErr	1 Out transaction error	0 None	0 R(W)	

エンドポイントEP0の割り込みステータスを表示します。

D[7:6] Reserved**D5 IN_TrانACK**

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因の状態を直接示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TrانNAK

割り込み要因の状態を直接示します。

OUTトランザクションに対してNAKを返信したとき、1にセットされます。

D1 IN_TrانErr

割り込み要因の状態を直接示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TrانErr

割り込み要因の状態を直接示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

EPaIntStat (EPa Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
EPaIntStat (EPa interrupt status)	0x300c08 (8 bits)	D7	—	—		—	—	0 when being read.	
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)

エンドポイントEPaの割り込みステータスを表示します。

D7 **Reserved**

D6 **OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 **IN_TranACK**

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 **OUT_TranACK**

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 **IN_TranNAK**

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 **OUT_TranNAK**

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 **IN_TranErr**

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 **OUT_TranErr**

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

EPbIntStat (EPb Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
EPbIntStat (EPb interrupt status)	0x300c09 (8 bits)	D7	—	—		—	—	0 when being read.		
		D6	OUT_ShortACK	1	Out short packet ACK	0	None		0	R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None		0	R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None		0	R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None		0	R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None		0	R(W)
		D1	IN_TranErr	1	In transaction error	0	None		0	R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None		0	R(W)

エンドポイントEPbの割り込みステータスを表示します。

D7 **Reserved**

D6 OUT_ShortACK

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TrانACKと同時に1にセットされます。

D5 IN_TrانACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TrانNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TrانErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TrانErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

EPcIntStat (EPc Interrupt Status)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcIntStat (EPc interrupt status)	0x300c0a (8 bits)	D7	—	—	—	—	0 when being read.
		D6	OUT_ShortACK	1 Out short packet ACK	0 None	0 R(W)	
		D5	IN_TrانACK	1 In transaction ACK	0 None	0 R(W)	
		D4	OUT_TrانACK	1 Out transaction ACK	0 None	0 R(W)	
		D3	IN_TrانNAK	1 In transaction NAK	0 None	0 R(W)	
		D2	OUT_TrانNAK	1 Out transaction NAK	0 None	0 R(W)	
		D1	IN_TrانErr	1 In transaction error	0 None	0 R(W)	
		D0	OUT_TrانErr	1 Out transaction error	0 None	0 R(W)	

エンドポイントEPcの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TrانACKと同時に1にセットされます。

D5 IN_TrانACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

EPdIntStat (EPd Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPdIntStat (EPd interrupt status)	0x300c0b (8 bits)	D7	—	—		—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	
		D5	IN_TranACK	1	In transaction ACK	0	None	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	
		D3	IN_TranNAK	1	In transaction NAK	0	None	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	
		D1	IN_TranErr	1	In transaction error	0	None	
		D0	OUT_TranErr	1	Out transaction error	0	None	

エンドポイントEPdの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接指示します。
OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接指示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接指示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

MainIntEnb (Main Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
MainIntEnb (Main interrupt enable)	0x300c10 (8 bits)	D7	EnSIE_IntStat	1	Enable	0	Disable	0	R/W	
		D6	EnEPrintStat					0	R/W	
		D5	EnDMA_IntStat					0	R/W	
		D4	EnFIFO_IntStat					0	R/W	
		D3-2	—	—		—	—	0 when being read.		
		D1	EnEP0IntStat	1	Enable	0	Disable	0	R/W	
		D0	EnRcvEP0SETUP					0	R/W	

MainIntStatレジスタの割り込み要因による割り込み信号(#INT)のアサートを許可/禁止するレジスタです。対応するビットを1にセットすることで割り込みを許可します。EnSIE_IntStatビットはスヌーズ中も有効です。

SIE_IntEnb (SIE Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
SIE_IntEnb (SIE interrupt enable)	0x300c11 (8 bits)	D7	EnVBUS_Changed	1	Enable	0	Disable	
		D6	EnNonJ					
		D5	EnDetectReset					
		D4	EnDetectSuspend					
		D3	EnRcvSOF					
		D2	EnDetectJ					
		D1	—					
		D0	EnSetAddressCmp	1	Enable	0	Disable	

SIE_IntStatレジスタの割り込み要因による、MainIntStatレジスタのSIE_IntStatビットのアサートを許可/禁止します。EnVBUS_ChangedおよびEnNonJビットはスヌーズ中も有効です。

EPrIntEnb (EPr Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPrIntEnb (EPr interrupt enable)	0x300c12 (8 bits)	D7~4	—	—		—	—	0 when being read.
		D3	EnEPdIntStat	1	Enable	0	Disable	
		D2	EnEPcIntStat					
		D1	EnEPbIntStat					
		D0	EnEPaIntStat					

EPrIntStatレジスタの割り込み要因による、MainIntStatレジスタのEPrIntStatビットのアサートを許可/禁止します。

DMA_IntEnb (DMA Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
DMA_IntEnb (DMA interrupt enable)	0x300c13 (8 bits)	D7~2	—	—		—	—	0 when being read.
		D1	EnDMA_CountUp	1	Enable	0	Disable	
		D0	EnDMA_Cmp					

DMA_IntStatレジスタの割り込み要因による、MainIntStatレジスタのDMA_IntStatビットのアサートを許可/禁止します。

FIFO_IntEnb (FIFO Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
FIFO_IntEnb (FIFO interrupt enable)	0x300c14 (8 bits)	D7	EnDescriptorCmp	1	Enable	0	Disable	
		D6~2	—					
		D1	EnFIFO_IN_Cmp	1	Enable	0	Disable	
		D0	EnFIFO_OUT_Cmp					

FIFO_IntStatレジスタの割り込み要因による、MainIntStatレジスタのFIFO_IntStatビットのアサートを許可/禁止します。

EP0IntEnb (EP0 Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0IntEnb (EP0 interrupt enable)	0x300c17 (8 bits)	D7-6	—	1 Enable	0 Disable	—	0 when being read.
		D5	EnIN_TranACK			0 R/W	
		D4	EnOUT_TranACK			0 R/W	
		D3	EnIN_TranNAK			0 R/W	
		D2	EnOUT_TranNAK			0 R/W	
		D1	EnIN_TranErr			0 R/W	
		D0	EnOUT_TranErr			0 R/W	

EP0IntStatレジスタの割り込み要因による、MainIntStatレジスタのEP0IntStatビットのアサートを許可/禁止します。

EPaIntEnb (EPa Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaIntEnb (EPa interrupt enable)	0x300c18 (8 bits)	D7	—	1 Enable	0 Disable	—	0 when being read.
		D6	EnOUT_ShortACK			0 R/W	
		D5	EnIN_TranACK			0 R/W	
		D4	EnOUT_TranACK			0 R/W	
		D3	EnIN_TranNAK			0 R/W	
		D2	EnOUT_TranNAK			0 R/W	
		D1	EnIN_TranErr			0 R/W	
		D0	EnOUT_TranErr			0 R/W	

EPaIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPaIntStatビットのアサートを許可/禁止します。

EPbIntEnb (EPb Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbIntEnb (EPb interrupt enable)	0x300c19 (8 bits)	D7	—	1 Enable	0 Disable	—	0 when being read.
		D6	EnOUT_ShortACK			0 R/W	
		D5	EnIN_TranACK			0 R/W	
		D4	EnOUT_TranACK			0 R/W	
		D3	EnIN_TranNAK			0 R/W	
		D2	EnOUT_TranNAK			0 R/W	
		D1	EnIN_TranErr			0 R/W	
		D0	EnOUT_TranErr			0 R/W	

EPbIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPbIntStatビットのアサートを許可/禁止します。

EPcIntEnb (EPc Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcIntEnb (EPc interrupt enable)	0x300c1a (8 bits)	D7	—	1 Enable	0 Disable	—	0 when being read.
		D6	EnOUT_ShortACK			0 R/W	
		D5	EnIN_TranACK			0 R/W	
		D4	EnOUT_TranACK			0 R/W	
		D3	EnIN_TranNAK			0 R/W	
		D2	EnOUT_TranNAK			0 R/W	
		D1	EnIN_TranErr			0 R/W	
		D0	EnOUT_TranErr			0 R/W	

EPcIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPcIntStatビットのアサートを許可/禁止します。

EPdIntEnb (EPd Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdIntEnb (EPd interrupt enable)	0x300c1b (8 bits)	D7	—	1 Enable	0 Disable	—	0 when being read.
		D6	EnOUT_ShortACK			0 R/W	
		D5	EnIN_TranACK			0 R/W	
		D4	EnOUT_TranACK			0 R/W	
		D3	EnIN_TranNAK			0 R/W	
		D2	EnOUT_TranNAK			0 R/W	
		D1	EnIN_TranErr			0 R/W	
		D0	EnOUT_TranErr			0 R/W	

EPdIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPdIntStatビットのアサートを許可/禁止します。

RevisionNum (Revision Number)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
RevisionNum (Revision number)	0x300c20 (8 bits)	D7-0	RevisionNum[7:0]	Revision number (0x12)	0x12	R	

本コントローラの改訂番号を示します。このレジスタはスヌーズ中でも有効です。

USB_Control (USB Control)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
USB_Control (USB control)	0x300c21 (8 bits)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W
		D2–1	–	–	–	–	–	–	0 when being read.
		D0	ActiveUSB	1	Activate USB	0	Deactivate USB	0	R/W

USBに関する動作設定を行います。

D7 DisBusDetect

このビットを1にセットすると、USBのリセット/サスペンドステートの自動検出を無効にします。このビットが0にクリアされている場合、リセット/サスペンドステートの検出のため、USBバス上の動きを監視します。

バスアクティビティが3msの期間検出されないとサスペンドステートと判定し、また、2.5μs以上の“SE0”を検出するとリセットと判断し、該当する割り込み要因(DetectSuspend、DetectReset)をセットします。

DetectReset、DetectSuspendのビットが1にセットされた場合は、DisBusDetectビットを1にセットしてリセット/サスペンドステートが継続している間、検出を無効にしてください。

オートネゴシエーション機能を使用する場合は、このビットに1をセットしないでください。

D6 EnAutoNego

オートネゴシエーション機能を有効にします。オートネゴシエーション機能は、リセット検出時に、スピードネゴシエーションが終了してスピードモードが決定するまでのシーケンスを自動化します。オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D5 InSUSPEND

オートネゴシエーション機能使用時に、USBサスペンドステートを検出すると自動的に1にセットされNonJステートの検出機能を有効にします。サスペンドステートから復帰する場合には、このビットを0にクリアしてください。

NonJステートはこのビットがセットされている場合にのみ検出可能です。USBサスペンドステートでスヌーズ機能を使用しない場合はこのビットをセットしてください。

オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D4 StartDetectJ

Jステートの検出機能を有効にします。このビットがセットされた後にJステートが検出され、かつEnDetectJビットがセットされている場合、DetectJ割り込み要因ステータスがセットされます。

D3 SendWakeup

このビットを1にセットすると、USBポートにリモートウェイクアップ信号(K)を出力します。リモートウェイクアップ信号の送出開始から1ms～15msの時間内にこのビットを0にクリアして送出を停止してください。

D[2:1] Reserved**D0 ActiveUSB**

本コントローラでは、このビットがハードリセット後0にクリアされているため、USBの全機能を停止しています。本コントローラの設定終了後に、本ビットを1にセットすることで、USBコントローラとしての動作が可能となります。

USB_Status (USB Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
USB_Status (USB status)	0x300c22 (8 bits)	D7	VBUS	1	VBUS=High	0	VBUS=Low	X	R	
		D6	FS	1	FS mode (fixed)	0	—	1	R	
		D5–2	—	—		—	—	0 when being read.		
		D1–0	LineState[1:0]	LineState[1:0]		DP/DM		X	R	
				0x3		SE1				
				0x2		K				
0x1				J						
		0x0		SE0						

USBに関するステータスを表示します。
このレジスタはスヌーズ中でも有効です。

D7 VBUS

USBVBUS端子の状態を示します。

D6 FS

本コントローラはFSモード固定のため、常に1が返ります。

D[5:2] Reserved**D[1:0] LineState[1:0]**

USBケーブル上の信号状態(DP/DMのFSレシーバの受信値)を示します。

信号状態

LineState[1:0]	DP/DM
0x3	SE1
0x2	K
0x1	J
0x0	SE0

XcvrControl (Xcvr Control)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
XcvrControl (Xcvr control)	0x300c23 (8 bits)	D7	RpuEnb	1	Enable pull-up	0	Disable pull-up	0	R/W	
		D6–2	–	–		–	–	0 when being read.		
		D1–0	OpMode[1:0]	OpMode[1:0]		Operation mode		0x1	R/W	
				0x3		reserved				
				0x2		Disable bitstuffing and NRZI encoding				
0x1				Non-driving						
			0x0	Normal operation						

トランシーバマクロの動作に関する設定を行います。

D7 RpuEnb

D+ラインのプルアップを有効にします。

D[6:2] Reserved**D[1:0] OpMode**

トランシーバマクロの動作モードを設定します。

USBケーブルが抜かれているとき(※)、またはテストモード時以外に、通常は設定する必要はありません。

動作モード

OpMode[1:0]	動作モード
0x3	Reserved
0x2	Disable bitstuffing and NRZI encoding
0x1	Non-driving
0x0	Normal operation

※USBケーブルが抜けているときには、このレジスタを0x1にセットすることを推奨します。

USB_Test (USB Test)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
USB_Test (USB test)	0x300c24 (8 bits)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W	
		D6-4	—	—		—	—	—	—	0 when being read.
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W	
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W	
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W	
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W	

テストモードの動作に関する設定を行います。SetFeatureリクエストで指定されたテストモードに対応するビットを設定し、ステータスステージ終了後にEnUSB_Testビットに1をセットして、USB規格で定義されたテストモードの動作を行うようにしてください。

D7 EnUSB_Test

本レジスタの下位4ビットのいずれか1つのビットに1が設定されている状態でこのビットに1をセットすると、下位4ビット中のセットされているビットに対応するテストモードに入ります。テストモードを行う際には、USB_ControlレジスタのDisBusDetectビットを1にしてUSBサスペンドとリセットの検出を行わないようにする必要があります。また、USB_ControlレジスタのEnAutoNegoビットを0にクリアして、オートネゴシエーション機能を無効にしてください。テストモードへの移行は、必ずSetFeatureリクエストにおけるステータスステージの終了後に行うようにしてください。

D[6:4] Reserved**D3 Test_SE0_NAK**

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_SE0_NAKテストモードに入ります。

D2 Test_J

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Jテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にセットする前に、OpModeを0x2(Disable Bitstuffing and NRZI encoding)にセットしてください。

D1 Test_K

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Kテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にする前に、OpModeを0x2(Disable Bitstuffing and NRZI encoding)にセットしてください。

D0 Test_Packet

このビットを1に設定することにより、Test_Packetテストモードに入ります。
このテストモードはエンドポイントEPcを使用しますので、下記の設定を行ってください。
(1) エンドポイントEPcのMaxPacketSizeを64以上、転送方向をINに設定し、EndPointNumberを0xfに設定して、使用可能としてください。また、エンドポイントEPcのFIFOを64バイト以上割り当ててください。
(2) エンドポイントEPaおよびEPbの設定が、上記EPcの設定と重複しないようにしてください。または、EPaConfig_0.EnEndPointビットおよびEPbConfig_0.EnEndPointビットをクリアしてください。
(3) EPcのFIFOをクリア後、下記のテストパケット用のデータをこのFIFOに書き込んでください。
(4) EPcIntEnbレジスタのEnIN_TranErrビットを0にクリアしてください。
テストパケットの送信完了ごとに、IN_TranErrステータスが1にセットされます。
パケット送信テストモード時にFIFOに書き込むデータは以下の53バイトです。

0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00,
 0x00, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa,
 0xaa, 0xee, 0xee, 0xee, 0xee, 0xee, 0xee, 0xee,
 0xee, 0xfe, 0xff, 0xff, 0xff, 0xff, 0xff, 0xff,
 0xff, 0xff, 0xff, 0xff, 0xff, 0x7f, 0xbf, 0xdf,
 0xef, 0xf7, 0xfb, 0xfd, 0xfc, 0x7e, 0xbf, 0xdf,
 0xef, 0xf7, 0xfb, 0xfd, 0x7e

テストパケット送出時に、SIEがPIDとCRCを付加しますので、FIFOに書き込むデータは、USB規格Rev.2.0に記載されているテストパケットデータのうち、DATA 0 PIDの次のデータからCRC16の前の部分のデータまでとなります(テストパケットはUSB規格のHSモード用に定義されています)。

EPnControl (Endpoint Control)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
EPnControl (Endpoint control)	0x300c25 (8 bits)	D7	AllForceNAK	1	Set all ForceNAK	0	Do nothing	0	W	0 when being read.
		D6	EPPrForceSTALL	1	Set EP's ForceSTALL	0	Do nothing	0	W	
		D5	AllFIFO_Clr	1	Clear all FIFO	0	Do nothing	0	W	
		D4-1	—	—	—	—	—	—		
		D0	EP0FIFO_Clr	1	Clear EP0 FIFO	0	Do nothing	0	W	

エンドポイント全般の動作設定と表示を行います。

D7 **AllForceNAK**

すべてのエンドポイントのForceNAKビットを1にセットします。

D6 **EPPrForceSTALL**

エンドポイントEPa、EPb、EPc、EPdのForceSTALLビットを1にセットします。

D5 **AllFIFO_Clr**

すべてのエンドポイントのFIFOがクリアされます。各エンドポイントの領域設定を行ったときは、設定終了後に必ず一度このビットに1をセットして、すべてのエンドポイントのFIFOをクリアしてください。このビットは、FIFOクリア完了後自動的に0にクリアされます。汎用ポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)に、このビットを1にセットしないでください。誤動作の原因となります。

D[4:1] **Reserved**

D0 **EP0FIFO_Clr**

エンドポイントEP0のFIFOをクリアします。このビットは、FIFOクリア後、自動的に0にクリアされます。

EPPrFIFO_Clr (EPr FIFO Clear)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
EPPrFIFO_Clr (EPr FIFO clear)	0x300c26 (8 bits)	D7-4	—	—		—	—	0 when being read.	
		D3	EPdFIFO_Clr	1 Clear EPd FIFO	0	Do nothing	0		W
		D2	EPcFIFO_Clr	1 Clear EPc FIFO	0	Do nothing	0		W
		D1	EPbFIFO_Clr	1 Clear EPb FIFO	0	Do nothing	0		W
		D0	EPaFIFO_Clr	1 Clear EPa FIFO	0	Do nothing	0		W

エンドポイントのFIFOをクリアします。

D[7:4] **Reserved**

D3 **EPdFIFO_Clr**

エンドポイントEPdのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。
 エンドポイントEPdがポートに接続(DMA_JoinレジスタのJoinEPdDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D2 EPcFIFO_Clr

エンドポイントEPcのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPcがポートに接続(DMA_JoinレジスタのJoinEPcDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D1 EPbFIFO_Clr

エンドポイントEPbのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPbがポートに接続(DMA_JoinレジスタのJoinEPbDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D0 EPaFIFO_Clr

エンドポイントEPaのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPaがポートに接続(DMA_JoinレジスタのJoinEPaDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

FrameNumber_H (Frame Number HIGH)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
FrameNumber_H (Frame number high)	0x300c2e (8 bits)	D7	FnInvalid	1 Invalid frame number 0 Valid frame number	1	R	
		D6-3	—	—	—	—	0 when being read.
		D2-0	FrameNumber[10:8]	Frame number high	0x0	R	

SOFトークンを受信するごとに更新される、USBのフレームナンバーを示します。フレームナンバーを取得する場合は、FrameNumber_HとFrameNumber_Lレジスタを対でアクセスする必要があります。その際にFrameNumber_Hレジスタを先にアクセスしてください。

D7 FnInvalid

受信したSOFパケットにエラーが発生したときに、このビットが1にセットされます。

D[6:3] Reserved**D[2:0] FrameNumber[10:8]**

受信したSOFパケットのFrameNumberフィールドの上位3ビットのデータが入ります。

FrameNumber_L (Frame Number LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
FrameNumber_L (Frame number low)	0x300c2f (8 bits)	D7-0	FrameNumber[7:0]	Frame number low	0x0	R	

D[7:0] FrameNumber[7:0]

受信したSOFパケットのFrameNumberフィールドの下位8ビットのデータが入ります。

EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0Setup_0 (EP0 setup 0) EP0Setup_7 (EP0 setup 7)	0x300c30 0x300c37 (8 bits)	D7-0	EP0Setup_n[7:0]	Endpoint 0 setup data 0 Endpoint 0 setup data 7	0x0	R	

エンドポイントEP0のセットアップステージで受信した8バイトのデータが、EP0Setup_0から順に格納されます。

EP0Setup_0 register

BmRequestTypeがセットされます。

EP0Setup_1 register

BRequestがセットされます。

EP0Setup_2 register

Wvalueの下位8ビットがセットされます。

EP0Setup_3 register

Wvalueの上位8ビットがセットされます。

EP0Setup_4 register

WIndexの下位8ビットがセットされます。

EP0Setup_5 register

WIndexの上位8ビットがセットされます。

EP0Setup_6 register

WLengthの下位8ビットがセットされます。

EP0Setup_7 register

WLengthの上位8ビットがセットされます。

USB_Address (USB Address)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
USB_Address (USB address)	0x300c38 (8 bits)	D7	AutoSetAddress	1 Auto set address	0	R/W	
		D6-0	USB_Address[6:0]	USB address	0x0	R/W	

USBアドレスを設定します。

D7 AutoSetAddress

USBアドレスを自動的に設定します。SetAddressリクエストを受信し、ステータスステージを実行する前にこのビットを1にセットすると、ステータスステージの完了時にSetAddressリクエストによって受信したアドレスをUSB_Addressレジスタに書き込みます。この機能を用いたSetAddressリクエストの処理手順は次のようになります。

(1) SetAddressリクエストのSETUPトランザクションが完了します。

MainIntStatレジスタのRcvEP0SETUPビットに1がセットされます。EP0Setup_0-7レジスタを読んで、リクエストを解釈してください。

(2) AutoSetAddressビットをセットします。

(3) EP0ControlレジスタのINxOUTビットをセットします。

(4) EP0ControlINレジスタのForceNAKビットをクリアし、EnShortPktビットをセットします。

(5) ステータスステージの終了を待ちます。

SIE_IntStatレジスタのSetAddressCmpビットに1がセットされます。

D[6:0] USB_Address[6:0]

USBアドレスを設定します。

AutoSetAddress機能によって自動的に書き込まれます。また、書き込みも可能です。

EP0Control (EP0 Control)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0Control (EP0 control)	0x300c39 (8 bits)	D7	INxOUT	1 In	0	R/W	
		D6-1	—	—	—	—	0 when being read.
		D0	ReplyDescriptor	1 Reply descriptor	0	W	

エンドポイントEP0の設定を行います。

D7 INxOUT

エンドポイントEP0の転送方向を設定します。

セットアップステージで受信したリクエストを判断して、このビットを設定してください。

データステージがある場合は、このビットにデータステージにおける転送方向をセットしてください。セットアップステージが完了することにより、EP0ControlINおよびEP0ControlOUTレジスタのForceNAKビットがセットされるので、データステージおよびステータスステージの実行時にクリアしてください。

データステージが終了したら、ステータスステージの方向に合わせて、このビットを設定し直してください。データステージの転送方向がINの場合は、ステータスステージはOUT方向となりますので、このビットに0を設定してください。また、データステージの転送方向がOUT、またはデータステージがない場合は、ステータスステージはIN方向となりますので、エンドポイントEP0のFIFOをクリアして、このビットに1を設定してください。

このビットの設定値と異なる方向のINまたはOUTトランザクションに対しては、NAK応答します。ただし、そのトランザクション方向に対応するEP0ControlINまたはEP0ControlOUTレジスタのForceSTALLビットがセットされているとSTALL応答します。

D[6:1] Reserved

D0 ReplyDescriptor

デスクリプタ返信機能を実行します。

このビットが1にセットされると、エンドポイントEP0のINトランザクションにตอบสนองして、FIFO内のデスクリプタデータを最大パケットサイズ分返信します。デスクリプタデータは、DescAdrs_H、DescAdrs_Lレジスタに設定された先頭アドレスと、DescSize_H、DescSize_Lレジスタに設定されたサイズで示されます。これらの設定値は、デスクリプタ返信機能の実行中に更新されますので、ReplyDescriptorビットをセットするごとに設定してください。1つのトランザクションごとに、DescAdrs_H、DescAdrs_Lレジスタは送信したデータ数だけインクリメントされ、DescSize_H、DescSize_Lレジスタは、送信したデータ数だけデクリメントされます。

DescSize_H、DescSize_Lの設定数のデータを送信して終了した場合、またはINトランザクション以外のトランザクションが行われた場合、デスクリプタ返信機能は終了し、ReplyDescriptorビットは0にクリアされ、EP0IntStatレジスタのIN_TranACKビットは1にセットされます。

詳細については、動作説明の項を参照してください。

EP0ControlIN (EP0 Control IN)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0ControlIN (EP0 control IN)	0x300c3a (8 bits)	D7	—	—	—	—	0 when being read.
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	—	—	—	—	0 when being read.
		D4	ToggleStat	Toggle sequence bit		0	R
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	R/W	
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	R/W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	

エンドポイントEP0のINトランザクションに関する動作設定および状態表示を行います。

D7 Reserved

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEP0のINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、自動的にこのビットが0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 Reserved

- D4 ToggleStat**
エンドポイントEP0のINトランザクションのトグルシーケンスビットの状態を示します。
- D3 ToggleSet**
エンドポイントEP0のINトランザクションのトグルシーケンスビットを1にセットします。
- D2 ToggleClr**
エンドポイントEP0のINトランザクションのトグルシーケンスビットを0にクリアします。
- D1 ForceNAK**
このビットを1にセットすると、FIFOのデータ数にかかわらずエンドポイントEP0のINトランザクションに対してNAK応答します。
セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。また、ショートパケットを送信したINトランザクションが完了すると、このビットは1にセットされます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。
- D0 ForceSTALL**
このビットを1にセットすると、エンドポイントEP0のINトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EP0ControlOUT (EP0 Control OUT)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EP0ControlOUT (EP0 control OUT)	0x300c3b (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6–5	–		–		–	–	0 when being read.	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEP0のOUTトランザクションに関する動作設定および状態表示を行います。

- D7 AutoForceNAK**
このビットが1の場合、エンドポイントEP0のOUTトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。
- D[6:5] Reserved**
- D4 ToggleStat**
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットの状態を示します。
- D3 ToggleSet**
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを1にセットします。
- D2 ToggleClr**
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを0にクリアします。
- D1 ForceNAK**
このビットを1にセットすると、FIFOの空き容量にかかわらずエンドポイントEP0のOUTトランザクションに対してNAK応答します。
セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEP0のOUTトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EP0MaxSize (EP0 Max Packet Size)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0MaxSize (EP0 max packet size)	0x300c3f (8 bits)	D7	—	—	—	—	0 when being read.
		D6–3	EP0MaxSize[6:3]	Endpoint EP0 max packet size	0x1	R/W	
		D2–0	—	—	—	—	0 when being read.

D7 Reserved

D[6:3] EP0MaxSize[6:3]

エンドポイントEP0の最大パケットサイズを設定します。

このエンドポイントは、8、16、32、64バイトから任意のサイズを選択して使用可能です。

D[2:0] Reserved

EPaControl (EPa Control)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaControl (EPa control)	0x300c40 (8 bits)	D7	AutoForceNAK	1 Auto force NAK	0 Do nothing	0 R/W	
		D6	EnShortPkt	1 Enable short packet	0 Do nothing	0 R/W	
		D5	DisAF_NAK_Short	1 Disable auto force	0 Auto force NAK short	0 R/W	
		D4	ToggleStat	Toggle sequence bit		0 R	
		D3	ToggleSet	1 Set toggle sequence bit	0 Do nothing	0 W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit	0 Do nothing	0 W	
		D1	ForceNAK	1 Force NAK	0 Do nothing	0 R/W	
		D0	ForceSTALL	1 Force STALL	0 Do nothing	0 R/W	

エンドポイントEPaの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPaのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPaのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINTトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

- D4 ToggleStat**
エンドポイントEPaのトグルシーケンスビットの状態を示します。
- D3 ToggleSet**
エンドポイントEPaのトグルシーケンスビットを1にセットします。
- D2 ToggleClr**
エンドポイントEPaのトグルシーケンスビットを0にクリアします。
- D1 ForceNAK**
このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPaのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。
- D0 ForceSTALL**
このビットを1にセットすると、エンドポイントEPaのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EPbControl (EPb Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbControl (EPb control)	0x300c41 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPbの動作設定を行います。

- D7 AutoForceNAK**
このビットが1の場合、エンドポイントEPbのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。
- D6 EnShortPkt**
このビットを1にセットすることで、エンドポイントEPbのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。
FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。
- D5 DisAF_NAK_Short**
このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。
このビットを1にセットすると、この機能が無効になります。
AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。
- D4 ToggleStat**
エンドポイントEPbのトグルシーケンスビットの状態を示します。
- D3 ToggleSet**
エンドポイントEPbのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPbのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPbのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPbのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EPcControl (EPc Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPcControl (EPc control)	0x300c42 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPcの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPcのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPcのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPcのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPcのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPcのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPcのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPcのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EPdControl (EPd Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPdControl (EPd control)	0x300c43 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit			0	R	0 when being read.	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0		W
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0		W
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPdの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPdのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPdのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPdのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPdのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPdのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPdのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPdのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

EPaMaxSize_H (EPa Max Packet Size HIGH)**EPaMaxSize_L (EPa Max Packet Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaMaxSize_H (EPa max packet size high)	0x300c50 (8 bits)	D7-2	—	—	—	—	0 when being read.
		D1-0	EPaMaxSize[9:8]	Endpoint EPa max packet size	0x0	R/W	
EPaMaxSize_L (EPa max packet size low)	0x300c51 (8 bits)	D7-0	EPaMaxSize[7:0]	Endpoint EPa max packet size	0x0	R/W	

EPaMaxSize[9:0]

エンドポイントEPaの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPaの領域が狭い場合は、正常に動作しません。

EPaConfig_0 (EPa Configuration 0)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaConfig_0 (EPa configuration 0)	0x300c52 (8 bits)	D7	INxOUT	1 In	0 Out	0	R/W
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0	R/W
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0	R/W
		D4	—	—	—	—	0 when being read.
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)	0x0	R/W	

エンドポイントEPaの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber[3:0]**

0x1～0xfの任意のエンドポイント番号を設定します。

EPaConfig_1 (EPa Configuration 1)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaConfig_1 (EPa configuration 1)	0x300c53 (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0	R/W
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0	R/W
		D5-0	—	—	—	—	0 when being read.

エンドポイントEPaの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

EPbMaxSize_H (EPb Max Packet Size HIGH)

EPbMaxSize_L (EPb Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbMaxSize_H (EPb max packet size high)	0x300c54 (8 bits)	D7-2	—	—	—	—	0 when being read.
		D1-0	EPbMaxSize[9:8]	Endpoint EPb max packet size	0x0	R/W	
EPbMaxSize_L (EPb max packet size low)	0x300c55 (8 bits)	D7-0	EPbMaxSize[7:0]	Endpoint EPb max packet size	0x0	R/W	

EPbMaxSize[9:0]

エンドポイントEPbの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。ここで設定したサイズより、エンドポイントEPbの領域が狭い場合は、正常に動作しません。

EPbConfig_0 (EPb Configuration 0)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbConfig_0 (EPb configuration 0)	0x300c56 (8 bits)	D7	INxOUT	1 In 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	—	—	—	—	0 when being read.
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)	0x0	R/W	

エンドポイントEPbの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT
エンドポイントの転送方向を設定します。

D6 ToggleMode
トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)
Normal toggle - トランザクションが正常に完結した場合のみトグルします。
Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint
このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved

D[3:0] EndPointNumber[3:0]
0x1～0xfの任意のエンドポイント番号を設定します。

EPbConfig_1 (EPb Configuration 1)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbConfig_1 (EPb configuration 1)	0x300c57 (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0 R/W	
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0 R/W	
		D5-0	—	—	—	—	0 when being read.

エンドポイントEPbの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO

アイソクロナスモードを設定します。

D6 ISO_CRCmode

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

EPcMaxSize_H (EPc Max Packet Size HIGH)

EPcMaxSize_L (EPc Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcMaxSize_H (EPc max packet size high)	0x300c58 (8 bits)	D7-2	—	—	—	—	0 when being read.
		D1-0	EPcMaxSize[9:8]	Endpoint EPc max packet size	0x0	R/W	
EPcMaxSize_L (EPc max packet size low)	0x300c59 (8 bits)	D7-0	EPcMaxSize[7:0]	Endpoint EPc max packet size	0x0	R/W	

EPcMaxSize[9:0]

エンドポイントEPcの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPcの領域が狭い場合は、正常に動作しません。

EPcConfig_0 (EPc Configuration 0)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcConfig_0 (EPc configuration 0)	0x300c5a (8 bits)	D7	INxOUT	1 In	0 Out	0 R/W	
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0 R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0 R/W	
		D4	—	—	—	—	0 when being read.
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)	0x0	R/W	

エンドポイントEPcの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 **Reserved**

D[3:0] **EndPointNumber**

0x1～0xfの任意のエンドポイント番号を設定します。

EPcConfig_1 (EPc Configuration 1)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPcConfig_1 (EPc configuration 1)	0x300c5b (8 bits)	D7	ISO	1	ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	R/W	
		D5-0	—		—	—	—	0 when being read.

エンドポイントEPcの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 **ISO**

アイソクロナスモードを設定します。

D6 **ISO_CRCmode**

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] **Reserved**

EPdMaxSize_H (EPd Max Packet Size HIGH)

EPdMaxSize_L (EPd Max Packet Size LOW)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPdMaxSize_H (EPd max packet size high)	0x300c5c (8 bits)	D7-2	—		—	—	—	0 when being read.
		D1-0	EPdMaxSize[9:8]		Endpoint EPd max packet size	0x0	R/W	
EPdMaxSize_L (EPd max packet size low)	0x300c5d (8 bits)	D7-0	EPdMaxSize[7:0]		Endpoint EPd max packet size	0x0	R/W	

EPdMaxSize[9:0]

エンドポイントEPdの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPdの領域が狭い場合は、正常に動作しません。

EPdConfig_0 (EPd Configuration 0)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPdConfig_0 (EPd configuration 0)	0x300c5e (8 bits)	D7	INxOUT	1	In Out	0	R/W	
		D6	ToggleMode	1	Always toggle Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint Disable endpoint	0	R/W	
		D4	—		—	—	—	0 when being read.
		D3-0	EndPointNumber [3:0]		Endpoint number (0x1 to 0xf)	0x0	R/W	

エンドポイントEPdの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 **INxOUT**

エンドポイントの転送方向を設定します。

D6 **ToggleMode**

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber**

0x1～0xfの任意のエンドポイント番号を設定します。

EPdConfig_1 (EPd Configuration 1)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdConfig_1 (EPd configuration 1)	0x300c5f (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0 R/W	
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0 R/W	
		D5-0	—	—	—	—	0 when being read.

エンドポイントEPdの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO

アイソクロナスモードを設定します。

D6 ISO_CRCmode

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved**EPaStartAdrs_H (EPa FIFO Start Address HIGH)****EPaStartAdrs_L (EPa FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaStartAdrs_H (EPa FIFO start address high)	0x300c70 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPaStartAdrs[11:8]	Endpoint EPa start address	0x0	R/W	
EPaStartAdrs_L (EPa FIFO start address low)	0x300c71 (8 bits)	D7-2	EPaStartAdrs[7:2]	Endpoint EPa start address	0x0	R/W	
		D1-0	—	—	—	—	0 when being read.

EPaStartAdrs[11:2]

エンドポイントEPaに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPaに割り当てられる領域は、EPaStartAdrsにて設定されたアドレスから、EPbStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPaのEPaMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。また、EPaStartAdrsがEPbStartAdrsの設定値を超えないようにしてください。

EPbStartAdrs_H (EPb FIFO Start Address HIGH)**EPbStartAdrs_L (EPb FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbStartAdrs_H (EPb FIFO start address high)	0x300c72 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPbStartAdrs[11:8]	Endpoint EPb start address	0x0	R/W	
EPbStartAdrs_L (EPb FIFO start address low)	0x300c73 (8 bits)	D7-2	EPbStartAdrs[7:2]	Endpoint EPb start address	0x0	R/W	
		D1-0	—	—	—	—	0 when being read.

EPbStartAdrs[11:2]

エンドポイントEPbに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPbに割り当てられる領域は、EPbStartAdrsにて設定されたアドレスから、EPcStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPbのEPbMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。また、EPbStartAdrsがEPcStartAdrsの設定値を超えないようにしてください。

EPcStartAdrs_H (EPc FIFO Start Address HIGH)**EPcStartAdrs_L (EPc FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcStartAdrs_H (EPc FIFO start address high)	0x300c74 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPcStartAdrs[11:8]	Endpoint EPc start address	0x0	R/W	
EPcStartAdrs_L (EPc FIFO start address low)	0x300c75 (8 bits)	D7-2	EPcStartAdrs[7:2]	Endpoint EPc start address	0x0	R/W	
		D1-0	—	—	—	—	0 when being read.

EPcStartAdrs[11:2]

エンドポイントEPcに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPcに割り当てられる領域は、EPcStartAdrsにて設定されたアドレスから、EPdStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPcのEPcMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。また、EPcStartAdrsがEPdStartAdrsの設定値を超えないようにしてください。

EPdStartAdrs_H (EPd FIFO Start Address HIGH)**EPdStartAdrs_L (EPd FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdStartAdrs_H (EPd FIFO start address high)	0x300c76 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPdStartAdrs[11:8]	Endpoint EPd start address	0x0	R/W	
EPdStartAdrs_L (EPd FIFO start address low)	0x300c77 (8 bits)	D7-2	EPdStartAdrs[7:2]	Endpoint EPd start address	0x0	R/W	
		D1-0	—	—	—	—	0 when being read.

EPdStartAdrs[11:2]

エンドポイントEPdに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPdに割り当てられる領域は、EPdStartAdrsにて設定されたアドレスから、FIFOの最終アドレスまでとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPdのEPdMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPd、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。

CPU_JoinRd (CPU Join FIFO Read)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
CPU_JoinRd (CPU join FIFO read)	0x300c80 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3	JoinEPdRd	1 Join EPd FIFO read	0 Do nothing	0 R/W	
		D2	JoinEPcRd	1 Join EPc FIFO read	0 Do nothing	0 R/W	
		D1	JoinEPbRd	1 Join EPb FIFO read	0 Do nothing	0 R/W	
		D0	JoinEPaRd	1 Join EPa FIFO read	0 Do nothing	0 R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOのデータを読み出すことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタを読み出すと、該当するエンドポイントのFIFOのデータが読み出せます。また、EPnRdRemain_H、Lレジスタにより、FIFOの残りデータ数を参照できます。

このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ読み出しは禁止します。

IN方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、ForceNAKビットを使用し、USBインタフェースによるデータ読み出しが行われない状態にしてください。OUT方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、DMA_ControlレジスタのDMA_Runningビットを参照し、DMAによるデータ読み出しが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Rdビットがセットされている場合に有効です。

D[7:4] Reserved**D3 JoinEPdRd**

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPdのFIFO中のデータ数が参照できるようになります。

D2 JoinEPcRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPcのFIFO中のデータ数が参照できるようになります。

D1 JoinEPbRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPbのFIFO中のデータ数が参照できるようになります。

D0 JoinEPaRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPaのFIFO中のデータ数が参照できるようになります。

CPU_JoinWr (CPU Join FIFO Write)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
CPU_JoinWr (CPU join FIFO write)	0x300c81 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3	JoinEPdWr	1 Join EPd FIFO write	0	R/W	
		D2	JoinEPcWr	1 Join EPc FIFO write	0	R/W	
		D1	JoinEPbWr	1 Join EPb FIFO write	0	R/W	
		D0	JoinEPaWr	1 Join EPa FIFO write	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOにデータを書き込むことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタにデータ書き込むと、該当するエンドポイントのFIFOに書き込まれます。また、EPnWrRemain_H、Lレジスタにより、FIFOの空き容量を参照できます。

このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ書き込みは禁止します。

OUT方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、ForceNAKビットを使用し、USB I/Fによるデータ書き込みが行われない状態にしてください。IN方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、DMA_ControlレジスタのDMA_Runningビットを参照し、DMAによるデータ書き込みが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Wrビットがセットされている場合に有効です。

D[7:4] Reserved**D3 JoinEPdWr**

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPdのFIFO中の空き容量が参照できるようになります。

D2 JoinEPcWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPcのFIFO中の空き容量が参照できるようになります。

D1 JoinEPbWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPbのFIFO中の空き容量が参照できるようになります。

D0 JoinEPaWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPaのFIFO中の空き容量が参照できるようになります。

EnEPnFIFO_Access (EPn FIFO Access Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EnEPnFIFO_Access (Enable EPn FIFO access)	0x300c82 (8 bits)	D7-2	—	—	—	—	0 when being read.
		D1	EnEPnFIFO_Wr	1 Enable join EPn FIFO write 0 Do nothing	0	R/W	
		D0	EnEPnFIFO_Rd	1 Enable join EPn FIFO read 0 Do nothing	0	R/W	

CPU_JoinRdレジスタとCPU_JoinWrレジスタをそれぞれ有効にし、CPUインタフェースからのFIFOに対するアクセスを許可します。

D[7:2] Reserved

D1 EnEPnFIFO_Wr

このビットに1をセットするとCPU_JoinWrレジスタが有効となり、CPU_JoinWrレジスタで選択したEPnのFIFOにCPUがデータを書き込めるようになります。

D0 EnEPnFIFO_Rd

このビットに1をセットするとCPU_JoinRdレジスタが有効となり、CPU_JoinRdレジスタで選択したEPnのFIFOからCPUがデータを読み出せるようになります。

EPnFIFOforCPU (EPn FIFO for CPU)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnFIFOforCPU (EPn FIFO for CPU)	0x300c83 (8 bits)	D7-0	EPnFIFOData[7:0]	Endpoint n FIFO access from CPU	X	R/W	

D[7:0] EPnFIFOData[7:0]

CPUインタフェースからエンドポイントのFIFOにアクセスするためのレジスタです。

CPU_JoinRdレジスタで選択されたエンドポイントのFIFO内のデータを、このレジスタから読み出すことができます。

CPU_JoinWrレジスタで選択されたエンドポイントのFIFOに、このレジスタを通してデータを書き込むことができます。

EnEPnFIFO_AccessレジスタのEnEPnFIFO_Rdビットをセットせずにこのレジスタから値を読み出した場合、ダミーデータが出力されます。

また、EnEPnFIFO_AccessレジスタのEnEPnFIFO_Wrビットをセットせずにこのレジスタに書き込んだ場合、FIFOへの書き込みは行われません。

該当するエンドポイントのFIFOが空のときにこのレジスタを読み出すと、ダミーデータが読み出されます。

該当するエンドポイントのFIFOが満杯のときにこのレジスタにデータを書き込んでも、FIFOには書き込まれません。

EPnRdRemain_H (EPn FIFO Read Remain HIGH)

EPnRdRemain_L (EPn FIFO Read Remain LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnRdRemain_H (EPn FIFO read remain high)	0x300c84 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPnRdRemain[11:8]	Endpoint n FIFO read remain	0x0	R	
EPnRdRemain_L (EPn FIFO read remain low)	0x300c85 (8 bits)	D7-0	EPnRdRemain[7:0]	Endpoint n FIFO read remain	0x0	R	

EPnRdRemain[11:0]

CPU_JoinRdレジスタによってCPUインタフェースに接続しているエンドポイントのFIFO内の残りデータ数を示します。FIFOの残りデータ数を取得する場合は、EPnRdRemain_HレジスタとEPnRdRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnRdRemain_Hレジスタを先にアクセスしてください。

EPnWrRemain_H (EPn FIFO Write Remain HIGH)**EPnWrRemain_L (EPn FIFO Write Remain LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnWrRemain_H (EPn FIFO write remain high)	0x300c86 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	EPnWrRemain[11:8]	Endpoint n FIFO write remain	0x0	R	
EPnWrRemain_L (EPn FIFO write remain low)	0x300c87 (8 bits)	D7-0	EPnWrRemain[7:0]	Endpoint n FIFO write remain	0x0	R	

EPnWrRemain[11:0]

CPU_JoinWrレジスタによってCPUインタフェースに接続しているエンドポイントのFIFOの空き容量を示します。FIFOの空き容量を取得する場合は、EPnWrRemain_HレジスタとEPnWrRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnWrRemain_Hレジスタを先にアクセスしてください。

DescAdrs_H (Descriptor Address HIGH)**DescAdrs_L (Descriptor Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescAdrs_H (Descriptor address high)	0x300c88 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	DescAdrs[11:8]	Descriptor address	0x0	R/W	
DescAdrs_L (Descriptor address low)	0x300c89 (8 bits)	D7-0	DescAdrs[7:0]	Descriptor address	0x0	R/W	

DescAdrs[11:0]

デスクリプタ返信機能における、デスクリプタ返信動作、デスクリプタ書き込み動作、およびデスクリプタ読み出し動作開始時のFIFOの先頭アドレスを指定します。

デスクリプタアドレスの指定は、デスクリプタ返信機能に対してFIFO領域を割り当てるものではありません。デスクリプタアドレスは、FIFOの領域設定にかかわらず、0x0000から0x03ff(1Kバイト)までのFIFOの全領域を指定することができます。

デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorの項を参照してください。

デスクリプタ書き込み/読み出し時には、1回の書き込みまたは読み出しごとに、DescAdrsは1ずつ増加します。デスクリプタ書き込み/読み出しについては、DescDoorレジスタの項を参照してください。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

デスクリプタアドレスを参照する場合は、DescAdrs_H、DescAdrs_Lの順に読み出してください。

DescSize_H (Descriptor Size HIGH)**DescSize_L (Descriptor Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescSize_H (Descriptor size high)	0x300c8a (8 bits)	D7-2	—	—	—	—	0 when being read.
		D1-0	DescSize[9:8]	Descriptor size	0x0	R/W	
DescSize_L (Descriptor size low)	0x300c8b (8 bits)	D7-0	DescSize[7:0]	Descriptor size	0x0	R/W	

DescSize[9:0]

デスクリプタサイズには、デスクリプタ返信機能において返信するデータの総数を指定します。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorビットの項を参照してください。

デスクリプタサイズには、FIFOのサイズおよび領域設定にかかわらず、0x0000から0x0ffまでの値を指定することができます。デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

デスクリプタサイズを参照する場合は、DescSize_H、DescSize_Lの順に読み出してください。

DescDoor (Descriptor Door)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescDoor (Descriptor door)	0x300c8f (8 bits)	D7-0	DescMode[7:0]	Descriptor door	0x0	R/W	

D[7:0] DescMode[7:0]

デスクリプタの読み出しおよび書き込みを行うレジスタです。

書き込み開始前に、DescAdrs_H、DescAdrs_Lレジスタに、FIFOのデスクリプタを書き込む領域の先頭アドレスを設定してください。その後、このレジスタに1バイトずつ書き込みを行います。書き込みごとにDescAdrs_H、DescAdrs_Lが自動的に1バイトずつインクリメントされ、順次書き込みが行えます。

DescDoorレジスタから書き込んだデータは、ReplyDescriptorの機能によって何度でも使用できます。つまり、このデータはデスクリプタ返信機能によって、消されたり、上書きされることはありません。ただし、デスクリプタデータを書き込んだ領域が、他のエンドポイントで確保されている領域と重なる場合には、データは上書きされてしまいます。

このレジスタを読むことにより、DescAdrs_H、DescAdrs_Lに設定したアドレスから、順次FIFOのデータを読み出すことができます。このときも、DescAdrs_H、DescAdrs_Lレジスタのアドレスは読み出しごとにインクリメントされます。したがって、DescDoorレジスタに書き込み後、続けて読み出しを行っても、直前に書き込んだ値は読み出せませんので、注意してください。

DMA_FIFO_Control (DMA FIFO Control)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_FIFO_Control (DMA FIFO control)	0x300c90 (8 bits)	D7	FIFO_Running	1 FIFO is running 0 FIFO is not running	0	R	
		D6	AutoEnShort	1 Auto enable short packet 0 Do nothing	0	R/W	
		D5-0	-	-	-	-	0 when being read.

D7 FIFO_Running

DMAに接続されたエンドポイントのFIFOが動作中であることを示します。DMAを起動すると1にセットされ、DMAが終了した後、FIFOが空になると0にクリアされます。

D6 AutoEnShort

このビットが1の場合、DMAの終了時に最大パケットサイズに満たないデータがFIFOに残った場合に、そのエンドポイントのEnShortPktビットを1にセットします。

DMAに接続されたエンドポイントがIN方向の場合に有効です。

D[5:0] Reserved

DMA_Join (DMA Join FIFO)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
DMA_Join (DMA join FIFO)	0x300c91 (8 bits)	D7-4	—	—			—	—	0 when being read.	
		D3	JoinEPdDMA	1	Join EPd to DMA	0	Do nothing	0		R/W
		D2	JoinEPcDMA	1	Join EPc to DMA	0	Do nothing	0		R/W
		D1	JoinEPbDMA	1	Join EPb to DMA	0	Do nothing	0		R/W
		D0	JoinEPaDMA	1	Join EPa to DMA	0	Do nothing	0		R/W

JoinEPdDMA、JoinEPcDMA、JoinEPbDMA、JoinEPaDMAビットの設定により、DMA転送を行うエンドポイントを指定します。これらのビットを設定したのち、DMA_Remain_H、DMA_Remain_Lレジスタにより、エンドポイントがOUT方向の場合は残りデータ数、エンドポイントがIN方向の場合は空き容量が、それぞれ参照できます。

このレジスタで同時に1にセット可能なのは1ビットのみです。複数のビットが同時に1にセットされた場合、上位の1ビットが有効となります。

D[7:4] Reserved

D[3:0] JoinEPdDMA, JoinEPcDMA, JoinEPbDMA, JoinEPaDMA

このビットに1をセットすると、エンドポイントEP x ($x=a,b,c,d$)でDMA転送ができるようになります。また、DMA_Remain_H、DMA_Remain_Lレジスタで、エンドポイントEP x ($x=a,b,c,d$)のFIFOの空き容量(INの場合)またはデータ数(OUTの場合)が参照できるようになります。

DMA_Control (DMA Control)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
DMA_Control (DMA control)	0x300c92 (8 bits)	D7	DMA_Running	1	DMA is running	0	DMA is not running	0	R
		D6	PDREQ	PDREQ signal logic		0		0	R
		D5	PDACK	PDACK signal logic		0		0	R
		D4	—	—		—		—	—
		D3	CounterClr	1	Clear DMA counter	0	Do nothing	0	W
		D2	—	—		—		—	—
		D1	DMA_Stop	1	Finish DMA	0	Do nothing	0	W
		D0	DMA_Go	1	Start DMA	0	Do nothing	0	W
								0 when being read.	

DMA転送時の制御、およびDMAインタフェースの状態を表示します。

D7 DMA_Running

DMA転送中、このビットが1にセットされます。このビットが1である間は、DMA_Joinレジスタを書き換えることはできません。

D6 PDREQ

PDREQ信号のロジックレベルをモニタできます。

D5 PDACK

PDACK信号のロジックレベルをモニタできます。

D4 Reserved

D3 CounterClr

このビットに1をセットすると、DMA_Count_HH、HL、LH、LLレジスタが0x00にクリアされます。DMA_Runningビットが1のときは、このビットへの書き込みは無視されます。

D2 Reserved

D1 DMA_Stop

このビットに1をセットすると、DMA要求(PDREQ)信号がネゲートされます。これにより、DMA_Runningビットが0にクリアされ、DMA_IntStatレジスタのDMA_Cmpビットが1にセットされます。DMA転送を再開する場合、DMA_RunningビットまたはDMA_Cmpビットを確認し、DMAが終了するのを待って行ってください。

注: 本ビットへの1書き込みによってDMACは停止しません。データ転送を終了させるには、まず始めにDMAC(マスタ)を停止させてから、本ビットに1を設定してください。

D0 DMA_Go

このビットを1にセットすると、DMA転送を開始します。

DMA_Config_0 (DMA Configuration 0)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
DMA_Config_0 (DMA configuration 0)	0x300c94 (8 bits)	D7	ActivePort	1	Activate DMA port	0	Deactivate DMA port	0	R/W	
		D6-4	—			—		—	—	0 when being read.
		D3	PDREQ_Level	1	Active-low	0	Active-high	0	R/W	
		D2	PDACK_Level	1	Active-low	0	Active-high	0	R/W	
		D1	PDRDWR_Level	1	Active-low	0	Active-high	0	R/W	
		D0	—			—		—	—	0 when being read.

DMAインタフェースのバスに関する設定を行います。

D7 ActivePort

DMAインタフェースをアクティブにします。

このビットが0のとき、DMAインタフェース信号はHi-Z状態になります。

D[6:4] Reserved

D3 PDREQ_Level

PDREQ信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D2 PDACK_Level

PDACK信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D1 PDRDWR_Level

PDRDおよびPDWR信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D0 Reserved

DMA_Config_1 (DMA Configuration 1)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
DMA_Config_1 (DMA configuration 1)	0x300c95 (8 bits)	D7	RcvLimitMode	1	Receive limit mode	0	Normal	0	R/W
		D6-4	—	—	—	—	—	—	0 when being read.
		D3	SingleWord	1	Single word	0	Multi word	0	R/W
		D2-1	—	—	—	—	—	—	0 when being read.
		D0	CountMode	1	Count-down mode	0	Free-run mode	0	R/W

DMAインタフェースの動作モードに関する設定を行います。

D7 RcvLimitMode

本ビットに1をセットすることによって、RcvLimitモードになります。非同期マルチワードDMA転送の書き込み動作時のみ有効で、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQ信号をネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQ信号をネゲートします。ただし、PDREQ信号ネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQ信号ネゲート後に受け取れるデータは、16バイトまでとなります。本モードでは、エンドポイントが完全にフルになる前にPDREQ信号をネゲートします。

EP{a,b,c,d}StartAdrsレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ設定の場合)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAdrsレジスタで設定してください。

注: S1C33L27では、USBのDMAデータ転送回数はDMAC転送カウンタの設定によって決まります。本コントローラによるPDREQのネゲートは転送回数に影響しません。RcvLimitモードの本コントローラがPDREQをネゲートした後も、DMACはDMAC転送カウンタが0になるまで、データ転送を継続します。したがって、DMAC転送カウンタを正しく設定しておく必要があります。

D[6:4] Reserved**D3 SingleWord**

非同期転送における、ハンドシェイクのモードを設定します。
 シングルワードモードでは、1ワードの転送ごとに、PDREQ信号をネゲートします。
 マルチワードモードでは、次のデータの送受信が可能であれば、1ワード転送ごとにはPDREQ信号をネゲートしません。

- 注
- マルチワードDMA転送モードでは、DMACがPDREQの立ち上がりエッジでデータ転送を開始します。その後PDREQがアクティブ (Highレベル) の間は新たなDMACトリガは発生しません。次のPDREQ立ち上がりエッジが次のDMACトリガになります。したがって、本コントローラをマルチワードDMA転送モードで使用する場合は、DMACを連続転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じ値を設定してください。
 - シングル転送モードでは、DMACがPDREQの立ち上がりエッジでデータ転送を開始します。次のPDREQ立ち上がりエッジが次のDMACトリガになります。DMAC転送カウンタが0になると、DMACトリガが発生してもDMA転送を開始しません。したがって、本コントローラをシングルワードDMA転送モードで使用する場合は、DMACをシングル転送モードに設定し、DMAC転送カウンタにDMA_Remain_HとDMA_Remain_Lレジスタと同じかそれより小さな値を設定してください。

D[2:1] Reserved**D0 CountMode**

DMA転送数制御のモードを設定します。
 フリーランモードでは、DMA転送動作はDMACが停止するまで続きます。DMA_Count_HH、HL、LH、LLレジスタで転送数が参照できます。
 カウントダウンモードでは、DMA転送はDMA_Count_HH、HL、LH、LLレジスタに設定したバイト数の転送が終了するか、あるいはDMA_Stopビットで終了するまで動作します。DMA_Count_HH、HL、LH、LLレジスタでは残り転送数が参照できます。

DMA_Latency (DMA Latency)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Latency (DMA latency)	0x300c97 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	DMA_Latency[3:0]	Latency	0x0	R/W	

非同期転送用の、データ転送のレイテンシを設定できます。レイテンシの単位時間は約130nsです。

D[7:4] Reserved**D[3:0] DMA_Latency[3:0]**

レイテンシを設定します。
 0x1～0xfの値を書き込むと、シングルワードモード、マルチワードモード共に、4ワードの転送を行うごとにPDREQ信号をネゲートし、 $130 \times N(\text{ns})$ の期間、PDREQ信号をアサートしません。

DMA_Remain_H (DMA FIFO Remain HIGH)**DMA_Remain_L (DMA FIFO Remain LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Remain_H (DMA FIFO remain high)	0x300c98 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	DMA_Remain[11:8]	DMA FIFO remain	0x0	R	
DMA_Remain_L (DMA FIFO remain low)	0x300c99 (8 bits)	D7-0	DMA_Remain[7:0]	DMA FIFO remain	0x0	R	

DMA_Remain[11:0]

DMA_JoinレジスタによってDMAに接続しているエンドポイントがOUT方向である場合、そのエンドポイントのFIFO内の残りデータ数を示します。

DMA_JoinレジスタによってDMAに接続しているエンドポイントがIN方向である場合、そのエンドポイントのFIFOの空き容量を示します。

DMA_Remain_HとDMA_Remain_Lレジスタは、対でアクセスする必要があります。その際には、DMA_Remain_Hレジスタを先にアクセスしてください。

DMA_Count_HH (DMA Transfer Byte Counter HIGH/HIGH)

DMA_Count_HL (DMA Transfer Byte Counter HIGH/LOW)

DMA_Count_LH (DMA Transfer Byte Counter LOW/HIGH)

DMA_Count_LL (DMA Transfer Byte Counter LOW/LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Count_HH (DMA transfer byte counter high/high)	0x300c9c (8 bits)	D7-0	DMA_Count[31:24]	DMA transfer byte counter	0x0	R/W	
DMA_Count_HL (DMA transfer byte counter high/low)	0x300c9d (8 bits)	D7-0	DMA_Count[23:16]	DMA transfer byte counter	0x0	R/W	
DMA_Count_LH (DMA transfer byte counter low/high)	0x300c9e (8 bits)	D7-0	DMA_Count[15:8]	DMA transfer byte counter	0x0	R/W	
DMA_Count_LL (DMA transfer byte counter low/low)	0x300c9f (8 bits)	D7-0	DMA_Count[7:0]	DMA transfer byte counter	0x0	R/W	

DMA_Count[31:0]

DMA転送におけるデータ長をバイト単位で設定、および表示します。最大0xffffffffバイトまで設定可能です。

DMA_Config_1レジスタのCountModeビットでDMAがフリーランモード(CountMode = 0)に設定されている場合、DMAで転送した値が随時参照できます。このモードでは、DMA_Countが0xffffffffを超えると0x00000000に戻り、DMA_IntStatレジスタのDMA_CountUpビットに1をセットします。

DMA_Config_1レジスタのCountModeビットでDMAがカウントダウンモード(CountMode = 1)に設定されている場合、DMA_Countに総転送数を設定してから、DMA_ControlレジスタのDMA_Goビットに1をセットして、DMA転送を起動してください。このモードでは、DMA_CountはDMA転送したデータ数だけ随時減算され、0x00000000に達するとDMAは終了します。このモードでは、DMAの残り転送数が参照できます。DMA転送中のこのレジスタへの書き込みは無視されます。

このレジスタを読み出す場合、DMA_Count_HH、DMA_Count_HL、DMA_Count_LH、DMA_Count_LLの順にアクセスしてください。

30 Miscレジスタ (MISC)

- 注: • 0x300010～0x300018番地および0x300024番地のMiscレジスタには書き込み保護が設定されています。これらのMiscレジスタを書き換えるには、PROT0[7:0]/MISC_PROT0レジスタ (0x300010～0x300018番地に対応)、またはPROT1[7:0]/MISC_PROT1レジスタ (0x300024番地に対応) に0x96を書き込んで、書き込み保護を解除する必要があります。なお、Miscレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はPROTx[7:0]を0x96以外に設定してください。
- Miscレジスタをアクセスするには、CMUからPCLKを供給しておく必要があります。クロック制御ビットの詳細は、“クロックマネージメントユニット (CMU)”の章を参照してください。

30.1 RTCウェイト制御

MISC_RTCWTレジスタには、RTCレジスタへのアクセス時に挿入するウェイトサイクル数を設定するRTCWT[2:0]が設けられています。SYSCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

表30.1.1 RTCWT[2:0](RTCウェイトサイクル)の設定

RTCWT[2:0]	ウェイトサイクル数	SYSCLK周波数
0x7	7ウェイトサイクル	$f_{SYSCLK} \leq 60\text{MHz}$
0x6	6ウェイトサイクル	
0x5	5ウェイトサイクル	
0x4	4ウェイトサイクル	
0x3	3ウェイトサイクル	
0x2	2ウェイトサイクル	
0x1	1ウェイトサイクル	
0x0	0ウェイトサイクル	設定不可 (注)

(デフォルト: 0x7)

注: RTCWT[2:0]を0x0 (0ウェイトサイクル) に設定すると、S1C33L27のRTCは動作できません。

30.2 内部RAMウェイト制御

MISC_RAMWTレジスタには、エリア0のRAM(32KB IRAM)、エリア3のRAM(32KB IVRAM)、および演算モジュール用RAM(32KB CALCRAM)へのアクセス時に挿入するウェイトサイクル数(SYSCLKクロック数)をそれぞれ設定する、A0WT、A3WT、CALRWTが設けられています。

制御ビットを1(デフォルト)に設定すると、RAMのアクセス時に1ウェイトサイクルが挿入されます。制御ビットを0に設定すると、ウェイトサイクルは挿入されません。

表30.2.1 A0WT/A3WT/CALRWT (RAMウェイトサイクル)の設定

A0WT/A3WT/CALRWT	ウェイトサイクル数	SYSCLK周波数
1	1ウェイトサイクル	$f_{SYSCLK} \leq 60\text{MHz}$
0	0ウェイトサイクル	

(デフォルト: 1)

S1C33L27では、MISC_RAMWTレジスタを0x0に設定してください。

注: ウェイトサイクルの制御は32KB IVRAMにのみ有効で、IVRAMの配置(IRAM、VRAM、CALCRAM)に対応する設定が使用されます。これらのウェイトサイクルの設定は、他のRAMには影響を与えません。

30.3 USBの設定

30.3.1 USBウェイト制御

MISC_USBレジスタには、USBレジスタへのアクセス時に挿入するウェイトサイクル数を設定するUSBWT[2:0]が設けられています。SYSCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

表30.3.1.1 USBWT[2:0](USBウェイトサイクル)の設定

USBWT[2:0]	ウェイトサイクル数	SYSCLK周波数
0x7	7ウェイトサイクル	$f_{SYSCLK} \leq 60\text{MHz}$
0x6	6ウェイトサイクル	$f_{SYSCLK} \leq 56\text{MHz}$
0x5	5ウェイトサイクル	$f_{SYSCLK} \leq 45\text{MHz}$
0x4	4ウェイトサイクル	$f_{SYSCLK} \leq 36\text{MHz}$
0x3	3ウェイトサイクル	$f_{SYSCLK} \leq 24\text{MHz}$
0x2	2ウェイトサイクル	$f_{SYSCLK} \leq 16\text{MHz}$
0x1	1ウェイトサイクル	$f_{SYSCLK} < 8\text{MHz}$
0x0	0ウェイトサイクル	

(デフォルト: 0x7)

30.3.2 スヌーズ制御

MISC_USBレジスタには、USBファンクションコントローラのスヌーズモードを制御するUSBSNZも割り付けられています。

USB制御の詳細については、“USBファンクションコントローラ(USB)”の章を参照してください。

30.3.3 USB割り込みイネーブル

MISC_USBレジスタには、USBファンクションコントローラによる割り込みの発生を許可/禁止するUSBINTENが設けられています。USB割り込みを許可する場合はUSBINTENを1に、禁止する場合は0に設定してください。

30.4 ブートレジスタ

MISC_BOOTレジスタはブートデバイスの確認と#CE10ブート条件の設定に使用します。

BOOT[1:0]はBOOT[1:0]端子で指定されたブートデバイスを示しています。

表30.4.1 BOOT[1:0]ビット

BOOT[1:0]	ブートモード
0x3	SPI EEPROM/RS232Cブート
0x2	NOR Flash/外部ROMブート
0x1	ホストインタフェースブート
0x0	NAND Flashブート

この他に、MISC_BOOTレジスタは内部ブートシーケンサによるブート処理で 사용되는BOOTENも含んでいます。

注: ICD33を使用してFlashメモリのプログラミングを行う場合は、BOOTENを0に設定する必要があります。このとき、MISC_BOOTレジスタへの書き込みによってブートモードを変更しないように注意してください。

30.5 RAMの再配置

IVRAMとDSTRAMは汎用RAM、あるいは特定ハードウェア用メモリとして再配置が可能です。この設定にはRAMCFG[2:0]/MISC_RAMCFGレジスタを使用します。

表30.5.1 IVRAM/DSTRAMの再配置

RAMCFG[2:0]	IVRAM	DSTRAM
0x7~0x4	CALCRAM(CALC)	DSTRAM(エリア3)
0x3	IRAM(エリア0)	CALCRAM(CALC)
0x2	IRAM(エリア0)	DSTRAM(エリア3)
0x1	VRAM(エリア3)	CALCRAM(CALC)
0x0	VRAM(エリア3)	DSTRAM(エリア3)

(デフォルト: 0x0)

注: • IVRAMをCALCRAMに切り換えた場合、先頭の8KBのみがCALCモジュールに使用されます。

- 読み出し速度を上げるため、IRAM(エリア0)用にリードバッファが設けられています。エリア0のIRAMとして再配置した後は、リードバッファをクリアするためにIRAMへの書き込み操作が必要です。
- CALCRAMへの切り換え後は、CALCモジュールによってのみアクセス可能になります。他のバスマスタ (CPU、DMAC、LCDC) はCALCRAMをアクセスできません。

30.6 制御レジスタ詳細

表30.6.1 Miscレジスタ一覧

アドレス	レジスタ名		機 能
0x300010	MISC_RTCWT	RTC Wait Control Register	RTCアクセスサイクルの設定
0x300012	MISC_USB	USB Configuration Register	USB割り込み許可とアクセスサイクルの設定
0x300014	MISC_RAMWT	Internal RAM Wait Control Register	内蔵RAMアクセスサイクルの設定
0x300016	MISC_BOOT	Boot Register	ブート条件の表示/設定
0x300018	MISC_TRACE	Debug Trace Enable Register	PCトレースデバッグの許可
0x300020	MISC_PROT0	Misc Protect Register 0	Miscレジスタ書き込み保護の設定/解除
0x300022	MISC_PROT1	Misc Protect Register 1	
0x300024	MISC_RAMCFG	RAM Configuration Register	RAMの再配置

以下、Miscレジスタを個々に説明します。

注: 0x300010～0x300018番地および0x300024番地のMiscレジスタには書き込み保護が設定されています。これらのMiscレジスタを書き換えるには、PROT0[7:0]/MISC_PROT0レジスタ (0x300010～0x300018番地に対応)、またはPROT1[7:0]/MISC_PROT1レジスタ (0x300024番地に対応) に0x96を書き込んで、書き込み保護を解除する必要があります。なお、Miscレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はPROTx[7:0]を0x96以外に設定してください。

RTC Wait Control Register (MISC_RTCWT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Wait Control Register (MISC_RTCWT)	0x300010 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	RTCWT[2:0]	RTC register access wait control	0 to 7 cycles	0x7	R/W	Write-protected

D[7:3] **Reserved**

D[2:0] **RTCWT[2:0]: RTC Register Access Wait Control Bits**

RTC制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。

表30.6.2 RTCWT[2:0] (RTCウェイトサイクル) の設定

RTCWT[2:0]	ウェイトサイクル数	SYSCLK周波数
0x7	7ウェイトサイクル	f _{SYSCLK} ≤ 60MHz
0x6	6ウェイトサイクル	
0x5	5ウェイトサイクル	
0x4	4ウェイトサイクル	
0x3	3ウェイトサイクル	
0x2	2ウェイトサイクル	
0x1	1ウェイトサイクル	
0x0	0ウェイトサイクル	設定不可 (注)

(デフォルト: 0x7)

SYSCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

注: RTCWT[2:0]を0x0 (0ウェイトサイクル) に設定すると、S1C33L27のRTCは動作できません。

USB Configuration Register (MISC_USB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USB Configuration Register (MISC_USB)	0x300012 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	USBINTEN	USB interrupt enable	1 Enable 0 Disable	0	R/W	Write-protected
		D5	USBSNZ	USB snooze control	1 Enable 0 Disable	0	R/W	
		D4–3	–	reserved	–	–	–	0 when being read.
		D2–0	USBWT[2:0]	USB register access wait control	0 to 7 cycles	0x7	R/W	Write-protected

D7 **Reserved**

D6 **USBINTEN: USB Interrupt Enable Bit**

USB割り込みを許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

USB割り込み要因については、“USBファンクションコントローラ(USB)”の章を参照してください。

D5 **USBSNZ: USB Snooze Control Bit**

USBファンクションコントローラのスヌーズ制御を有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

USBSNZに1を書き込むと、USBファンクションコントローラは必要なシーケンスを実行後、スヌーズモードに移行します。このビットを0に設定すると、USBファンクションコントローラはスヌーズモードを解除し、動作を再開します。スヌーズシーケンスの詳細については、“USBファンクションコントローラ(USB)”の章内の“スヌーズ”を参照してください。

D[4:3] **Reserved**

D[2:0] **USBWT[2:0]: USB Register Access Wait Control Bits**

USB制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。

表30.6.3 USBWT[2:0](USBウェイトサイクル)の設定

USBWT[2:0]	ウェイトサイクル数	SYSCLK周波数
0x7	7ウェイトサイクル	f _{SYSCLK} ≤ 60MHz
0x6	6ウェイトサイクル	f _{SYSCLK} ≤ 56MHz
0x5	5ウェイトサイクル	f _{SYSCLK} ≤ 45MHz
0x4	4ウェイトサイクル	f _{SYSCLK} ≤ 36MHz
0x3	3ウェイトサイクル	f _{SYSCLK} ≤ 24MHz
0x2	2ウェイトサイクル	f _{SYSCLK} ≤ 16MHz
0x1	1ウェイトサイクル	f _{SYSCLK} < 8MHz
0x0	0ウェイトサイクル	

(デフォルト: 0x7)

SYSCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

Internal RAM Wait Control Register (MISC_RAMWT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal RAM Wait Control Register (MISC_RAMWT)	0x300014 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CALRWT	CALCRAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Write-protected Should be set to 0.
		D2	–	reserved	–	–	–	Should be fixed at 0.
		D1	A3WT	Area 3 RAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Write-protected
		D0	A0WT	Area 0 RAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Should be set to 0.

D[7:4] **Reserved**

D3 **CALRWT: CALCRAM Access Wait Control Bit**

CALCRAMへのアクセス時に挿入するウェイトサイクル数を設定します(IVRAMをCALCRAMに切り換えた場合のみ)。

1(R/W): 1サイクル(デフォルト)

0(R/W): 0サイクル(ノーウェイト)

D2 **Reserved**D1 **A3WT: Area 3 RAM Access Wait Control Bit**

エリア3のIVRAMへのアクセス時に挿入するウェイトサイクル数を設定します(IVRAMをエリア3に配置した場合のみ)。

1(R/W): 1サイクル(デフォルト)

0(R/W): 0サイクル(ノーウェイト)

D0 **A0WT: Area 0 RAM Access Wait Control Bit**

エリア0のIRAMへのアクセス時に挿入するウェイトサイクル数を設定します(IVRAMをエリア0のIRAMに切り換えた場合のみ)。

1(R/W): 1サイクル(デフォルト)

0(R/W): 0サイクル(ノーウェイト)

表30.6.4 A0WT/A3WT/CALRWT (RAMウェイトサイクル)の設定

A0WT/A3WT/CALRWT	ウェイトサイクル数	SYSCLK周波数
1	1ウェイトサイクル	f _{SYSCLK} ≤ 60MHz
0	0ウェイトサイクル	

(デフォルト: 1)

S1C33L27では、MISC_RAMWTレジスタを0x0に設定してください。

Boot Register (MISC_BOOT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Boot Register (MISC_BOOT)	0x300016 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	BOOT[1:0]	Boot mode indicator	BOOT[1:0]	*	R	* Depends on the BOOT pin status at initial reset
					0x3			
					0x2			
					0x1			
					0x0			
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	BOOTEN	#CE10 area boot enable	1 Internal 0 External	1	R/W	Write-protected
		D0	—	reserved	—	—	—	0 when being read.

D[7:6] **Reserved**D[5:4] **BOOT[1:0]: Boot Mode Indicator Bits**

BOOT[1:0]端子で指定されたブートデバイスを示します。

表30.6.5 BOOT[1:0]ビット

BOOT[1:0]	ブートモード
0x3	SPI EEPROM/RS232Cブート
0x2	NOR Flash/外部ROMブート
0x1	ホストインタフェースブート
0x0	NAND Flashブート

D[3:2] **Reserved**D1 **BOOTEN: #CE10 Area Boot Enable Bit**

#CE10外部エリア(0xc00000)からRESETベクタをフェッチするように設定します。

1(R/W): 内部ブート(デフォルト)

0(R/W): 外部ブート

このビットはシステムのブートシーケンサで設定されます。ICD33を使用してFlashメモリのプログラミングを行う場合は、BOOTENを0に設定する必要があります。

D0 **Reserved**

Debug Trace Enable Register (MISC_TRACE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Trace Enable Register (MISC_TRACE)	0x300018 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	TRACE	PC trace debugging enable	1 Disable 0 Enable	0	R/W	Write-protected

D[7:1] Reserved**D0 TRACE: PC Trace Debugging Enable Bit**

デバッグモード時のPCトレース機能を有効/無効にします。

1 (R/W): 無効

0 (R/W): 有効(デフォルト)

TRACEを0に設定すると、PCトレース機能とデバッグ端子(DST0、DST1、DPC0)が有効になります。TRACEを1に設定すると、ポート機能選択ビットを使用してこれらの端子を汎用入出力ポートまたは他の周辺機能端子に設定できるようになります。

Misc Protect Register 0 (MISC_PROT0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Misc Protect Register 0 (MISC_PROT0)	0x300020 (8 bits)	D7-0	PROT0[7:0]	Misc register write-protect flag	Writing 10010110 (0x96) removes the write protection of the Misc registers (0x300010~0x300018). Writing another value set the write protection.	0x0	R/W	

D[7:0] PROT0[7:0]: Misc Register Write-Protect Flag Bits

Miscレジスタ(0x300010~0x300018)の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護を解除

0x96以外(R/W): 書き込み保護を設定(デフォルト: 0x0)

0x300010~0x300018のMiscレジスタを変更する前に、PROT0[7:0]に0x96を書き込んで書き込み保護を解除してください。PROT0[7:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されてもMiscレジスタの内容は変更されません。一度PROT0[7:0]に0x96を書き込むと、それ以外の値に設定するまではMiscレジスタの書き換えが何度でも行えます。Miscレジスタの設定後は、誤書き込み等を防止するため、PROT0[7:0]を0x96以外に設定してください。

Misc Protect Register 1 (MISC_PROT1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Misc Protect Register 1 (MISC_PROT1)	0x300022 (8 bits)	D7-0	PROT1[7:0]	Misc register write-protect flag	Writing 10010110 (0x96) removes the write protection of the Misc register (0x300024). Writing another value set the write protection.	0x0	R/W	

D[7:0] PROT1[7:0]: Misc Register Write-Protect Flag Bits

MISC_RAMCFGレジスタ(0x300024)の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護を解除

0x96以外(R/W): 書き込み保護を設定(デフォルト: 0x0)

MISC_RAMCFGレジスタ(0x300024)を変更する前に、PROT1[7:0]に0x96を書き込んで書き込み保護を解除してください。PROT1[7:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されてもMISC_RAMCFGレジスタの内容は変更されません。一度PROT1[7:0]に0x96を書き込むと、それ以外の値に設定するまではMISC_RAMCFGレジスタの書き換えが何度でも行えます。MISC_RAMCFGレジスタの設定後は、誤書き込み等を防止するため、PROT1[7:0]を0x96以外に設定してください。

RAM Configuration Register (MISC_RAMCFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RAM Configuration Register (MISC_RAMCFG)	0x300024 (8 bits)	D7–3	—	reserved	—		—	—	0 when being read.
		D2–0	RAMCFG[2:0]	DSTRAM/IVRAM configuration	RAMCFG[2:0]	DSTRAM	0x0	R/W	Write-protected
					0x7–0x4	DSTRAM			
					0x3	CALCRAM			
					0x2	DSTRAM			
					0x1	CALCRAM			
					0x0	DSTRAM			
					RAMCFG[2:0]	IVRAM			
					0x7–0x4	CALCRAM			
					0x3	IRAM			
			0x2	IRAM					
			0x1	VRAM					
			0x0	VRAM					

D[7:3] Reserved

D[2:0] RAMCFG[2:0]: DSTRAM/IVRAM Configuration Bits

デフォルトでエリア3に配置されるDSTRAMとIVRAMを再配置します。

表30.6.6 IVRAM/DSTRAMの再配置

RAMCFG[2:0]	IVRAM	DSTRAM
0x7~0x4	CALCRAM(CALC)	DSTRAM(エリア3)
0x3	IRAM(エリア0)	CALCRAM(CALC)
0x2	IRAM(エリア0)	DSTRAM(エリア3)
0x1	VRAM(エリア3)	CALCRAM(CALC)
0x0	VRAM(エリア3)	DSTRAM(エリア3)

(デフォルト: 0x0)

- 注:
- IVRAMをCALCRAMに切り換えた場合、先頭の8KBのみがCALCモジュールに使用されます。
 - 読み出し速度を上げるため、IRAM(エリア0)用にリードバッファが設けられています。エリア0のIRAMとして再配置した後は、リードバッファをクリアするためにIRAMへの書き込み操作が必要です。
 - CALCRAMへの切り換え後は、CALCモジュールによってのみアクセス可能になります。他のバスマスタ(CPU、DMAC、LCDC)はCALCRAMをアクセスできません。

31 演算モジュール(CALC)

31.1 CALCモジュールの概要

S1C33L27は、MP3デコード処理やマルチメディア処理の負荷を低減させるための演算モジュール(CALC)を実装しています。CALCモジュールは各種の演算を行うためのAPIを提供します。CALCモジュールが対応している演算機能を以下に示します。

- 乗算
- 積和演算(MAC)
- 減乗算
- 行列乗算
- アフィン変換
- バタフライ演算

31.2 リソース

31.2.1 予約リソース

CALCモジュールは以下のリソースを使用します。

- CALCRAM (IVRAMまたはDSTRAM、31.2.2節参照)
- スタック 4バイト / 汎用レジスタ(r4～r12)

31.2.2 演算モジュール用RAM(CALCRAM)

積和演算を1サイクルで実行するため、乗数と被乗数をハーバードアーキテクチャで同時アクセスが可能な2つのメモリに分けておく必要があります。引数の1つは演算モジュール用RAM(CALCRAM)に切り換え可能な内蔵メモリに置きます。もう1つの引数はそれ以外のメモリに起きます。CALCRAMとして、DSTRAMまたはIVRAMをRAMCFG[2:0]/MISC_RAMCFGレジスタ選択可能です。MISC_RAMCFGレジスタの詳細については、“Miscレジスタ(MISC)”の章を参照してください。

表31.2.2.1 CALCRAMの選択

RAMCFG[2:0]	IVRAM	DSTRAM
0x7～0x4	CALCRAM(CALC)	DSTRAM(エリア3)
0x3	IRAM(エリア0)	CALCRAM(CALC)
0x2	IRAM(エリア0)	DSTRAM(エリア3)
0x1	VRAM(エリア3)	CALCRAM(CALC)
0x0	VRAM(エリア3)	DSTRAM(エリア3)

31.3 CALC関数説明

31.3.1 関数一覧

表31.3.1.1 CALC関数一覧

関数名	機能
CalcSetMode	数値形式設定
CalcInit	初期値設定
CalcMul1	乗算を実行
CalcMul4	乗算を4回実行
CalcMul6	乗算を6回実行
CalcMul8	乗算を8回実行
CalcMul16	乗算を16回実行
CalcMac2_6	2要素積和演算を6回実行
CalcMac4	4要素積和演算

関数名	機能
CalcMac6	6要素積和演算
CalcMac8	8要素積和演算
CalcMac16	16要素積和演算
CalcMacCircular8	8要素積和演算 (サーキュラーバッファ付き)
CalcSubMul1	3要素減乗算
CalcSubMul8	3要素減乗算を8回実行
CalcMatrix2	2次行列乗算 $((2 \times 2) \times (2 \times 1))$
CalcMatrix3	3次行列乗算 $((3 \times 3) \times (3 \times 1))$
CalcMatrix4	4次行列乗算 $((4 \times 4) \times (4 \times 1))$
CalcAffine2	2次アフィン変換 $((2 \times 2) \times (2 \times 1) + (2 \times 1))$
CalcAffine3	3次アフィン変換 $((3 \times 3) \times (3 \times 1) + (3 \times 1))$
CalcButterfly	バタフライ演算
CalcButterflyConst	定数によるバタフライ演算
CalcButterfly2_1	バタフライ演算
CalcButterfly3_1	1ペアバタフライ演算
CalcButterfly3_2	2ペアバタフライ演算
CalcButterfly3_4	4ペアバタフライ演算
CalcButterfly3_8	8ペアバタフライ演算
CalcButterfly3_16	16ペアバタフライ演算

- 注:
- CALC関数は排他的に実行する必要があります。たとえば、1つのCALC関数を実行中に割り込みが発生した場合、割り込み処理から別のCALC関数を呼び出すことはできません。
 - CALC関数を使用する前に、乗算用引数の1つをCALCRAM (IVRAMまたはDSTRAM) に格納しておく必要があります。CALCRAMはアプリケーションプログラムからMiscレジスタを使用して設定します。
 - CALC関数を最初に使用する際は、その前にCalcInit関数を使用してCALCモジュールを初期化する必要があります。
 - CALC関数の実行中に入力値や結果が指定の演算モードの有効範囲を超えると、正しい値は得られません。有効範囲内の数値を使用してください。

31.3.2 数値形式

このモジュールは以下の形式の数値を扱うことができます。使用する数値形式はCalcSetMode関数で指定します。各演算関数は数値をlong型として定義していますので、適切な型変換を行って使用してください。

32ビット符号なし整数 (CALC_UINT32)

通常のunsigned long型として扱える32ビットの符号なし整数です。CALC関数はこの数値形式に対して飽和処理を行いませんので、演算実行中に値が0～4294967295の範囲を超えてしまった場合、正しい結果は得られません。この範囲に収まるような数値を使用してください。

32ビット符号付き整数 (CALC_SINT32)

通常のsigned long型として扱える32ビットの符号付き整数です。CALC関数はこの数値形式に対して飽和処理を行いませんので、演算実行中に値が-2147483648～2147483647の範囲を超えてしまった場合、正しい結果は得られません。この範囲に収まるような数値を使用してください。

Q31表記32ビット符号付き固定小数点数 (CALC_FIXED32_Q31)

整数部1ビット、小数部31ビットで構成される符号付き固定小数点数です。負の数値は2の補数で表現されます。

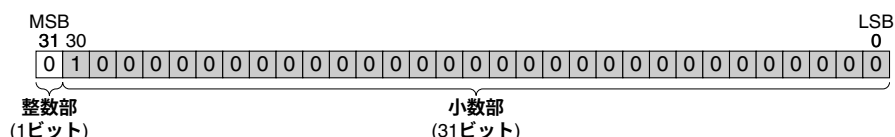


図31.3.2.1 Q31表記32ビット符号付き固定小数点数

Q31表記32ビット符号付き固定小数点数は、元の数値を2147483648倍して端数を丸めた数値です。

例: 0.5 → 0x40000000

-0.25 → 0xe0000000

CALC関数はこの数値形式に対して飽和処理を行いませんので、演算実行中に値が-1～0.9999999995343387の範囲を超えてしまった場合、正しい結果は得られません。この範囲に収まるような数値を使用してください。

Q12表記16ビット符号付き固定小数点数(CALC_FIXED16_Q12)

CALCモジュールは整数部4ビット、小数部28ビットで構成されるQ28表記32ビット符号付き固定小数点数を扱うことができます。これらの数値は整数部4ビット、小数部12ビットで構成されるQ12表記16ビット符号付き固定小数点数に変換されます。負の数値は2の補数で表現されます。これにより、16ビット演算に比べ高精度の結果を得ることができます。

[入力]

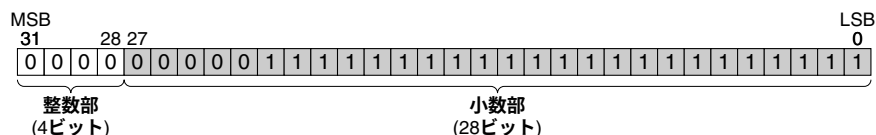


図31.3.2.2 Q28表記32ビット符号付き固定小数点数

Q28表記32ビット符号付き固定小数点数は、元の数値を268435456倍して端数を丸めた数値です。

例: 0.0312499962 → 0x007fffff

-0.0312499962 → 0xff800001

[出力]

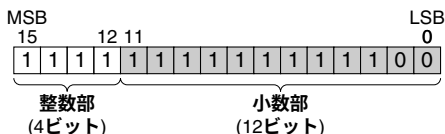


図31.3.2.3 Q12表記16ビット符号付き固定小数点数

Q12表記16ビット符号付き固定小数点数は、元の数値を4096倍して端数を丸めた数値です。

例: -0.000976562 → 0xfffffff

CALC関数はこの数値形式に対して飽和処理を行いますので、演算によって7.999755859375(0x7fff)より大きい数値は7.999755859375(0x7fff)に、-8(0x8000)より小さい数値は-8(0x8000)にクリッピングされます。

CALCモジュールは常に数値を32ビットとして扱います。出力結果の上位16ビットは符号に使用されます。

Q13表記16ビット符号付き固定小数点数(CALC_FIXED16_Q13)

整数部3ビット、小数部13ビットで構成される符号付き固定小数点数です。負の数値は2の補数で表現されます。



図31.3.2.4 Q13表記16ビット符号付き固定小数点数

31 演算モジュール(CALC)

Q13表記16ビット符号付き固定小数点数は、元の数値を8192倍して端数を丸めた数値です。

例: 3.1416015625 → 0x00006488
-2.71826171875 → 0xffffa904

CALC関数はこの数値形式に対して飽和处理を行いますので、演算によって3.9998779296875(0x7fff)より大きい数値は3.9998779296875(0x7fff)に、-4(0x8000)より小さい数値は-4(0x8000)にクリッピングされます。

CALCモジュールは常に数値を32ビットとして扱います。出力結果の上位16ビットは符号に使用されます。

Q14表記16ビット符号付き固定小数点数(CALC_FIXED16_Q14)

整数部2ビット、小数部14ビットで構成される符号付き固定小数点数です。負の数値は2の補数で表現されます。

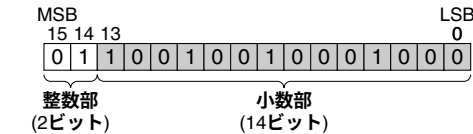


図31.3.2.5 Q14表記16ビット符号付き固定小数点数

Q14表記16ビット符号付き固定小数点数は、元の数値を16384倍して端数を丸めた数値です。

例: 1.57080078125 → 0x00006488
-1.359130859375 → 0xffffa904

CALC関数はこの数値形式に対して飽和处理を行いますので、演算によって1.99993896484375(0x7fff)より大きい数値は1.99993896484375(0x7fff)に、-2(0x8000)より小さい数値は-2(0x8000)にクリッピングされます。

CALCモジュールは常に数値を32ビットとして扱います。出力結果の上位16ビットは符号に使用されます。

31.3.3 CalcSetMode

機能	数値形式設定																
形式	void CalcSetMode(long Mode);																
引数	Mode	数値形式	(入力)														
戻り値	なし																
説明	使用する数値形式を設定します。 “Mode”で下記6種類の数値モードから1つを選択します。 表31.3.3.1 数値モードの選択 <table><tr><th>引数 “Mode” *</th><th>数値モード</th></tr><tr><td>CALC_UINT32</td><td>32ビット符号なし整数</td></tr><tr><td>CALC_SINT32</td><td>32ビット符号付き整数</td></tr><tr><td>CALC_FIXED32_Q31</td><td>Q31表記32ビット符号付き固定小数点</td></tr><tr><td>CALC_FIXED16_Q12</td><td>Q12表記16ビット符号付き固定小数点</td></tr><tr><td>CALC_FIXED16_Q13</td><td>Q13表記16ビット符号付き固定小数点</td></tr><tr><td>CALC_FIXED16_Q14</td><td>Q14表記16ビット符号付き固定小数点</td></tr></table> * これらの定数 (CALC_x) はヘッダファイルcalc.hに定義されています。 CALCモジュールを使用する前、あるいは数値形式を変更する場合に、本関数をコールしてください。 CALC関数はlong型整数の数値を扱いますので、関数を使用する前に型変換を行ってください。			引数 “Mode” *	数値モード	CALC_UINT32	32ビット符号なし整数	CALC_SINT32	32ビット符号付き整数	CALC_FIXED32_Q31	Q31表記32ビット符号付き固定小数点	CALC_FIXED16_Q12	Q12表記16ビット符号付き固定小数点	CALC_FIXED16_Q13	Q13表記16ビット符号付き固定小数点	CALC_FIXED16_Q14	Q14表記16ビット符号付き固定小数点
引数 “Mode” *	数値モード																
CALC_UINT32	32ビット符号なし整数																
CALC_SINT32	32ビット符号付き整数																
CALC_FIXED32_Q31	Q31表記32ビット符号付き固定小数点																
CALC_FIXED16_Q12	Q12表記16ビット符号付き固定小数点																
CALC_FIXED16_Q13	Q13表記16ビット符号付き固定小数点																
CALC_FIXED16_Q14	Q14表記16ビット符号付き固定小数点																
注意	CALC関数の実行中に入力値や結果がCalcSetMode関数で設定した演算モードの有効範囲を超えると、正しい値は得られません。有効範囲を超えないような数値を使用してください。																

31.3.4 CalcInit

機能	初期値設定		
形式	void CalcInit(long Value);		
引数	Value	初期値	(入力)
戻り値	なし		
説明	初期値を設定します。		
注意	電源投入後、CALC関数を最初に使用するときは、CalcInitをコールする必要があります。それ以降は、各関数の終了時に結果の値がクリアされます。		

31.3.5 CalcMul1

機能	乗算を実行		
形式	long CalcMul1(long *C, long X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数	(入力)
戻り値	演算結果(スカラ)		
説明	次の式のとおり、乗算を1回実行します。 $R = C[0] * X$ 指定されている数値形式にかかわらず、long型の1要素配列を引数Cとして用意します。引数CとXはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM) に配置する必要があります。		

31.3.6 CalcMul4

機能	乗算を4回実行		
形式	void CalcMul4(long *Y, long *C, long* X);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、乗算を4回実行します。 $Y[i] = (C[i] * X[i]) \quad \text{for } i = 0, 1, 2, 3$ 指定されている数値形式にかかわらず、long型の4要素配列を引数Y、C、Xとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM) に配置する必要があります。		

31.3.7 CalcMul6

機能	乗算を6回実行		
形式	void CalcMul6(long *Y, long *C, long* X);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	なし		

説明	次の式のとおり、乗算を6回実行します。 $Y[i] = (C[i] * X[i]) \quad \text{for } i = 0, 1, 2, 3, 4, 5$ 指定されている数値形式にかかわらず、long型の6要素配列を引数Y、C、Xとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.8 CalcMul8

機能	乗算を8回実行		
形式	void CalcMul8(long *Y, long *C, long* X);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、乗算を8回実行します。 $Y[i] = (C[i] * X[i]) \quad \text{for } i = 0, 1, 2, 3, \dots, 7$ 指定されている数値形式にかかわらず、long型の8要素配列を引数Y、C、Xとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.9 CalcMul16

機能	乗算を16回実行		
形式	void CalcMul16(long *Y, long *C, long* X);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、乗算を16回実行します。 $Y[i] = (C[i] * X[i]) \quad \text{for } i = 0, 1, 2, 3, \dots, 15$ 指定されている数値形式にかかわらず、long型の16要素配列を引数Y、C、Xとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.10 CalcMac2_6

機能	2要素積和演算を6回実行		
形式	void CalcMac2_6(long *Y, long *C, long *X);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	なし		

説明

次の式のとおり、2要素積和演算を6回実行します。

$$\begin{aligned} Y[0] &= C[0] * X[0] + C[1] * X[6] \\ Y[1] &= C[2] * X[1] + C[3] * X[7] \\ Y[2] &= C[4] * X[2] + C[5] * X[8] \\ Y[3] &= C[6] * X[3] + C[7] * X[9] \\ Y[4] &= C[8] * X[4] + C[9] * X[10] \\ Y[5] &= C[10] * X[5] + C[11] * X[11] \end{aligned}$$

指定されている数値形式にかかわらず、long型の12要素配列を引数CおよびXとして、long型の6要素配列を引数Yとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。

データ配列

Y

[0]	[1]	[2]	[3]	[4]	[5]
1	2	3	4	5	6

X

[0]	[1]	[2]	[3]	[4]	[5]
1	2	3	4	5	6
[6]	[7]	[8]	[9]	[10]	[11]
1	2	3	4	5	6

C

[0]	[1]	[2]	[3]	[4]	[5]
1		2		3	
[6]	[7]	[8]	[9]	[10]	[11]
4		5		6	

31.3.11 CalcMac4

機能	4要素積和演算を実行		
形式	long CalcMac4(long *C, long *X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	演算結果(スカラ)		
説明	次の式のとおり、4要素積和演算を実行します。 $R = \sum_{i=0}^3 (C[i] * X[i])$ 指定されている数値形式にかかわらず、long型の4要素配列を引数C、Xとして用意します。引数C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.12 CalcMac6

機能	6要素積和演算を実行		
形式	long CalcMac6(long *C, long *X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	演算結果(スカラ)		
説明	次の式のとおり、6要素積和演算を実行します。 $R = \sum_{i=0}^5 (C[i] * X[i])$ 指定されている数値形式にかかわらず、long型の6要素配列を引数C、Xとして用意します。引数C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。		

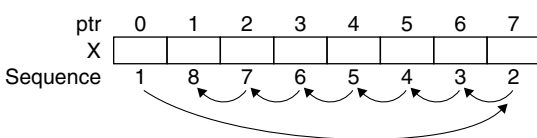
31.3.13 CalcMac8

機能	8要素積和演算を実行		
形式	long CalcMac8(long *C, long *X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	演算結果(スカラー)		
説明	次の式のとおり、8要素積和演算を実行します。 $R = \sum_{i=0}^7 (C[i] * X[i])$ 指定されている数値形式にかかわらず、long型の8要素配列を引数C、Xとして用意します。引数C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.14 CalcMac16

機能	16要素積和演算を実行		
形式	long CalcMac16(long *C, long *X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	演算結果(スカラー)		
説明	次の式のとおり、16要素積和演算を実行します。 $R = \sum_{i=0}^{15} (C[i] * X[i])$ 指定されている数値形式にかかわらず、long型の16要素配列を引数C、Xとして用意します。引数C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.15 CalcMacCircular8

機能	8要素積和演算(サーキュラーバッファ付き)		
形式	long CalcMacCircular8(long *C, long *X);		
引数	C	被乗数ベクトル(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
戻り値	演算結果(スカラー)		
説明	次の式のとおり、8要素積和演算を実行します。 $R = \sum_{i=0}^7 (C[i] * X[ptr])$ 引数Xで指定される8要素配列は、ソフトウェアポインタによりサーキュラーバッファとして扱われます。配列要素は次のように順次使用されます。  図31.3.15.1 サーキュラーバッファアドレッシング 指定されている数値形式にかかわらず、long型の8要素配列を引数C、Xとして用意します。引数C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.16 CalcSubMul1

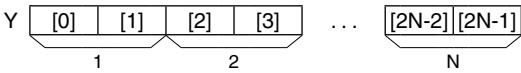
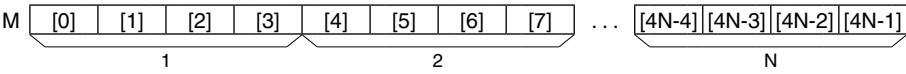
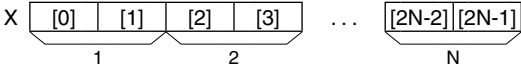
機能	3要素減乗算を実行		
形式	long CalcSubMul1(long A, long B, long *C);		
引数	C	乗数 (CALCRAM) へのポインタ	(入力)
	A	被減数	(入力)
	B	減数	(入力)
戻り値	演算結果 (スカラ)		
説明	次の式のとおり、演算を実行します。 $R = (A - B) * C[0]$ 指定されている数値形式にかかわらず、long型の1要素配列を引数Cとして用意します。引数C、A、Bはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM) に配置する必要があります。		

31.3.17 CalcSubMul8

機能	3要素減乗算を8回実行																																				
形式	void CalcSubMul8(long *Y, long *A, long *B, long *C);																																				
引数	Y	演算結果へのポインタ			(出力)																																
	C	乗数ベクトル (CALCRAM) へのポインタ			(入力)																																
	A	被減数ベクトルへのポインタ			(入力)																																
	B	減数ベクトルへのポインタ			(入力)																																
戻り値	なし																																				
説明	次の式のとおり、演算を実行します。 $Y[i] = (A[i] - B[-i]) * C[i] \quad \text{for } i = 0, 1, 2, 3, \dots, 7$ 指定されている数値形式にかかわらず、long型の8要素配列を引数Y、C、A、Bとして用意します。引数Y、C、A、Bはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM) に配置する必要があります。 データ配列 <table><tr><td>Y</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[6]</td><td>[7]</td></tr><tr><td>A</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[6]</td><td>[7]</td></tr><tr><td>B</td><td>[-7]</td><td>[-6]</td><td>[-5]</td><td>[-4]</td><td>...</td><td>[-1]</td><td>[-0]</td></tr><tr><td>C</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[6]</td><td>[7]</td></tr></table>					Y	[0]	[1]	[2]	[3]	...	[6]	[7]	A	[0]	[1]	[2]	[3]	...	[6]	[7]	B	[-7]	[-6]	[-5]	[-4]	...	[-1]	[-0]	C	[0]	[1]	[2]	[3]	...	[6]	[7]
Y	[0]	[1]	[2]	[3]	...	[6]	[7]																														
A	[0]	[1]	[2]	[3]	...	[6]	[7]																														
B	[-7]	[-6]	[-5]	[-4]	...	[-1]	[-0]																														
C	[0]	[1]	[2]	[3]	...	[6]	[7]																														

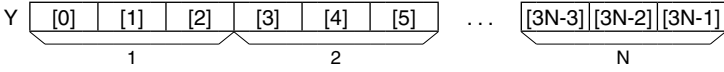
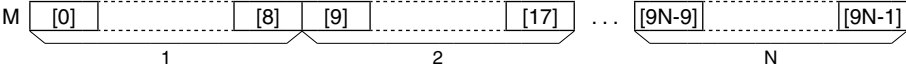
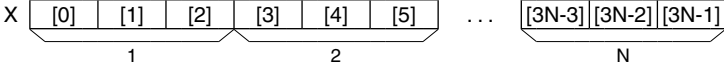
31.3.18 CalcMatrix2

機能	2次行列乗算をN回実行		
形式	void CalcMatrix2(long *Y, long *M, long *X, unsigned long N);		
引数	Y	演算結果 (ベクトル) へのポインタ	(出力)
	M	被乗数行列 (CALCRAM) へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		

説明	次の式のとおり、2次行列と2次ベクトルとの乗算を行います。 $\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] \\ M[2] & M[3] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix}$ 下記のように連続的に配置したlong型の配列を引数Y、M、Xとして用意します。引数Y、M、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数MはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y  M  X 

31.3.19 CalcMatrix3

機能	3次行列乗算をN回実行		
形式	void CalcMatrix3(long *Y, long *M, long* X, unsigned long N);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	M	被乗数行列(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		

説明	次の式のとおり、3次行列と3次ベクトルとの乗算を行います。 $\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] \\ M[3] & M[4] & M[5] \\ M[6] & M[7] & M[8] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \end{bmatrix}$ 下記のように連続的に配置したlong型の配列を引数Y、M、Xとして用意します。引数Y、M、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数MはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y  M  X 

31.3.20 CalcMatrix4

機能	4次行列乗算をN回実行		
形式	void CalcMatrix4(long *Y, long *M, long* X, unsigned long N);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	M	被乗数行列(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)

戻り値	なし
説明	次の式のとおり、4次行列と4次ベクトルとの乗算を行います。 $\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \\ Y[3] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] & M[3] \\ M[4] & M[5] & M[6] & M[7] \\ M[8] & M[9] & M[10] & M[11] \\ M[12] & M[13] & M[14] & M[15] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \\ X[3] \end{bmatrix}$ 下記のように連続的に配置したlong型の配列を引数Y、M、Xとして用意します。引数Y、M、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数MはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。 データ配列

31.3.21 CalcAffine2

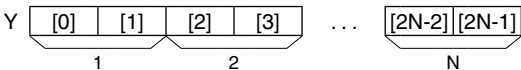
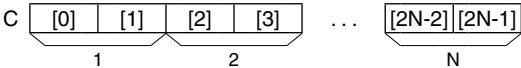
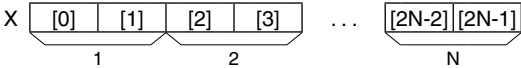
機能	2次アフィン変換をN回実行		
形式	void CalcAffine2(long *Y, long *M, long* X, long* A, unsigned long N);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	M	被乗数行列(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	A	加数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		
説明	次の式のとおり、2次行列と2次ベクトルとの乗算を行い、その結果に2次ベクトルを加算します。 $\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] \\ M[2] & M[3] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix} + \begin{bmatrix} A[0] \\ A[1] \end{bmatrix}$ long型の配列を連続的に配置し、引数Y、M、X、Aとして用意します。引数Y、M、X、Aはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数MはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.22 CalcAffine3

機能	3次アフィン変換をN回実行		
形式	void CalcAffine3(long *Y, long *M, long* X, long* A, unsigned long N);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	M	被乗数行列(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	A	加数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		

説明	次の式のとおり、3次行列と3次ベクトルとの乗算を行い、その結果に3次ベクトルを加算します。 $\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] \\ M[3] & M[4] & M[5] \\ M[6] & M[7] & M[8] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \end{bmatrix} + \begin{bmatrix} A[0] \\ A[1] \\ A[2] \end{bmatrix}$ long型の配列を連続的に配置し、引数Y、M、X、Aとして用意します。引数Y、M、X、Aはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数MはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。

31.3.23 CalcButterfly

機能	バタフライ演算をN回実行		
形式	void CalcButterfly(long *Y, long *C, long* X, unsigned long N);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	被乗数行列(CALCRAM)へのポインタ	(入力)
	X	乗数ベクトルへのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		
説明	次の式のとおり、2次ベクトルの行列乗算を行います。 $\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} C[0] & C[1] \\ -C[1] & C[0] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix}$ 下記のように連続的に配置したlong型の配列を引数Y、C、Xとして用意します。引数Y、C、Xはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y  C  X 		

31.3.24 CalcButterflyConst

機能	定数によるバタフライ演算をN回実行		
形式	void CalcButterflyConst(long *Y1, long *Y2, long* C, unsigned long N);		
引数	Y1	被乗数/演算結果へのポインタ	(入力/出力)
	Y2	被乗数/演算結果へのポインタ	(入力/出力)
	C	乗数となる定数(CALCRAM)へのポインタ	(入力)
	N	演算実行回数	(入力)
戻り値	なし		
説明	次の式のとおり、指定の2次ベクトルによるバタフライ乗算を行います。 A = Y1[0] B = Y2[0] $\begin{bmatrix} Y1[0] \\ Y2[0] \end{bmatrix} = \begin{bmatrix} A & B \\ -B & A \end{bmatrix} \begin{bmatrix} C[0] \\ C[0] \end{bmatrix}$		

説明	下記のように連続的に配置したlong型の配列を引数Y1、Y2として用意します。また、long型の1要素配列を引数Cとして用意します。引数Y1、Y2、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。 データ配列

31.3.25 CalcButterfly2_1

機能	バタフライ演算を実行		
形式	void CalcButterfly2_1(long *Y1, long *Y2, long* C);		
引数	Y1	被乗数/演算結果へのポインタ	(入力/出力)
	Y2	被乗数/演算結果へのポインタ	(入力/出力)
	C	乗数ベクトル (CALCRAM) へのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、指定の2次ベクトルによるバタフライ乗算を行います。 $\begin{matrix} A = Y1[0] \\ B = Y2[0] \end{matrix}$ $\begin{bmatrix} Y1[0] \\ Y2[0] \end{bmatrix} = \begin{bmatrix} A & B \\ B & -A \end{bmatrix} \begin{bmatrix} C[0] \\ C[1] \end{bmatrix}$ long型の1要素配列を引数Y1、Y2として用意します。また、long型の2要素配列を引数Cとして用意します。引数Y1、Y2、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.26 CalcButterfly3_1

機能	1ペアバタフライ演算を実行		
形式	void CalcButterfly3_1(long *Y, long *C, long A, long B);		
引数	Y	演算結果 (ベクトル) へのポインタ	(出力)
	C	乗数ベクトル (CALCRAM) へのポインタ	(入力)
	A	被加数/被減数	(入力)
	B	加数/減数	(入力)
戻り値	なし		
説明	次の式のとおり、バタフライ乗算を行います。 $Y[0] = A + B$ $Y[1] = (A - B) * C[0]$ 指定されている数値形式にかかわらず、long型の2要素配列を引数Yとして、long型の1要素配列を引数Cとして用意します。引数Y、C、A、Bはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。		

31.3.27 CalcButterfly3_2

機能	2ペアバタフライ演算を実行		
形式	void CalcButterfly3_2(long *Y, long *C, long* A);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	乗数ベクトル(CALCRAM)へのポインタ	(入力)
	A	被加数/被減数/加数/減数ベクタへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、バタフライ乗算を行います。 $\begin{array}{l} Y[0] = A[0] + A[3] \\ Y[1] = A[1] + A[2] \end{array}$ $\begin{array}{l} Y[2] = (A[0] - A[3]) * C[0] \\ Y[3] = (A[1] - A[2]) * C[1] \end{array}$ 下記のように連続的に配置したlong型の配列を引数Y、A、Cとして用意します。引数Y、A、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y [0] [1] [2] [3] A [0] [1] [2] [3] C [0] [1]		

31.3.28 CalcButterfly3_4

機能	4ペアバタフライ演算を実行		
形式	void CalcButterfly3_4(long *Y, long *C, long* A);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	乗数ベクトル(CALCRAM)へのポインタ	(入力)
	A	被加数/被減数/加数/減数ベクタへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、バタフライ乗算を行います。 $\begin{array}{l} Y[0] = A[0] + A[7] \\ Y[1] = A[1] + A[6] \\ Y[2] = A[2] + A[5] \\ Y[3] = A[3] + A[4] \end{array}$ $\begin{array}{l} Y[4] = (A[0] - A[7]) * C[0] \\ Y[5] = (A[1] - A[6]) * C[1] \\ Y[6] = (A[2] - A[5]) * C[2] \\ Y[7] = (A[3] - A[4]) * C[3] \end{array}$ 下記のように連続的に配置したlong型の配列を引数Y、A、Cとして用意します。引数Y、A、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM(IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y [0] [1] [2] [3] ... [6] [7] A [0] [1] [2] [3] ... [6] [7] C [0] [1] [2] [3]		

31.3.29 CalcButterfly3_8

機能	8ペアバタフライ演算を実行		
形式	void CalcButterfly3_8(long *Y, long *C, long* A);		
引数	Y	演算結果(ベクトル)へのポインタ	(出力)
	C	乗数ベクトル(CALCRAM)へのポインタ	(入力)
	A	被加数/被減数/加数/減数ベクタへのポインタ	(入力)
戻り値	なし		
説明	次の式のとおり、バタフライ乗算を行います。		
	Y[0] = A[0] + A[15] Y[1] = A[1] + A[14] : Y[7] = A[7] + A[8] Y[8] = (A[0] - A[15]) * C[0] Y[9] = (A[1] - A[14]) * C[1] : Y[15] = (A[7] - A[8]) * C[7]] 下記のように連続的に配置したlong型の配列を引数Y、A、Cとして用意します。引数Y、A、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 Y [0] [1] [2] [3] ... [14] [15] A [0] [1] [2] [3] ... [14] [15] C [0] [1] [2] [3] ... [6] [7]		

31.3.30 CalcButterfly3_16

機能	16ペアバタフライ演算を実行																										
形式	void CalcButterfly3_16(long *Y, long *C, long* A);																										
引数	Y	演算結果(ベクトル)へのポインタ	(出力)																								
	C	乗数ベクトル(CALCRAM)へのポインタ	(入力)																								
	A	被加数/被減数/加数/減数ベクタへのポインタ	(入力)																								
戻り値	なし																										
説明	次の式のとおり、バタフライ乗算を行います。 $\begin{array}{l} Y[0] = A[0] + A[31] \\ Y[1] = A[1] + A[30] \\ \vdots \\ Y[15] = A[15] + A[16] \\ Y[16] = (A[0] - A[31]) * C[0] \\ Y[17] = (A[1] - A[30]) * C[1] \\ \vdots \\ Y[31] = (A[15] - A[16]) * C[15] \end{array}$ 下記のように連続的に配置したlong型の配列を引数Y、A、Cとして用意します。引数Y、A、Cはワード境界アドレスに置いてください(通常、コンパイラが自動的にワード境界に配置します)。引数CはCALCRAM (IVRAMまたはDSTRAM)に配置する必要があります。 データ配列 <table><tr><td>Y</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[30]</td><td>[31]</td></tr><tr><td>A</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[30]</td><td>[31]</td></tr><tr><td>C</td><td>[0]</td><td>[1]</td><td>[2]</td><td>[3]</td><td>...</td><td>[14]</td><td>[15]</td></tr></table>			Y	[0]	[1]	[2]	[3]	...	[30]	[31]	A	[0]	[1]	[2]	[3]	...	[30]	[31]	C	[0]	[1]	[2]	[3]	...	[14]	[15]
Y	[0]	[1]	[2]	[3]	...	[30]	[31]																				
A	[0]	[1]	[2]	[3]	...	[30]	[31]																				
C	[0]	[1]	[2]	[3]	...	[14]	[15]																				

31.4 使用例

CALCモジュールの使用例をいくつか紹介します。

例1: 符号無し整数による積和演算

```
#include "calc.h"

void Sample1(void)
{
    long    *C = (long*)0x00084000;    // DSTRAM
    long    X[4] = {30, 60, 20, 90};
    long    R;

    C[0] = 1;
    C[1] = 2;
    C[2] = 3;
    C[3] = 4;

    // DSTRAM -> CALCRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x1;
    *(volatile unsigned char *)0x300022 = 0x00;

    CalcSetMode(CALC_UINT32);
    CalcInit(0)
    R = CalcMac4(C, X);

    // CALCRAM -> DSTRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x0;
    *(volatile unsigned char *)0x300022 = 0x00;
}
```

<結果> R = 570 (= 1 * 30 + 2 * 60 + 3 * 20 + 4 * 90)

例2: 固定小数点数による座標変換の例(45°回転)

```
#include "calc.h"

void Sample3(void)
{
    // 2-D coordinate transform of rotation
    //
    // X' = cos(n) * X - sin(n) * Y;
    // Y' = sin(n) * X + cos(n) * Y;
    long    *C = (long*)0x84000;    // DSTRAM
    long    src[2] = {30, 60};    // [0] = Y pos, [1] = X pos
    long    dst[2];    // [0] = Y'pos, [1] = X'pos

    // make table by q14 format for 1/4 pi radian
    C[0] = 0x2D41;    // cos(1/4pi) = 0.707107
    C[1] = 0x2D41;    // sin(1/4pi) = 0.707107

    // DSTRAM -> CALCRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x1;
    *(volatile unsigned char *)0x300022 = 0x00;

    CalcSetmode(CALC_FIXED16_Q14);
    CalcInit(0)
    CalcButterfly(dst, C, src, 1);

    // CALCRAM -> DSTRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x0;
    *(volatile unsigned char *)0x300022 = 0x00;
}
```

<結果> (X, Y) = (60, 30) → (X', Y') = (21, 64)

例3: 固定小数点数による色変換の例(RGB → YCbCr)

```

#include "calc.h"

void Sample2(void)
{
    // RGB-YCbCr Color Convert
    //
    // |Y|   | 0.299,  0.587,  0.114 | |R| | 0|
    // |Cb| = |-0.1687, -0.3313,  0.5   |*|G|+|128|
    // |Cr|   | 0.5,    -0.4187, -0.08113| |B| |128|

    long    *M      = (long*)0x84000;    // DSTRAM
    long    RGB[3]   = {140, 120,  80};
    long    A[3]     = { 0, 128, 128};
    long    YCbCr[3];

    // make table by q14 format
    M[0] = 0x00001322;    // 0.299
    M[1] = 0x00002591;    // 0.587
    M[2] = 0x0000074B;    // 0.114
    M[3] = 0xFFFFF535;    // -0.687
    M[4] = 0xFFFFEACC;    // -0.3313
    M[5] = 0x00002000;    // 0.5
    M[6] = 0x00002000;    // 0.5
    M[7] = 0xFFFFF535;    // -0.4187
    M[8] = 0xFFFFFACF;    // -0.08113

    // DSTRAM -> CALCRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x1;
    *(volatile unsigned char *)0x300022 = 0x00;

    // Color convert (RGB-YCbCr)
    CalcSetMode(CALC_FIXED16_Q14);
    CalcInit(0)
    CalcAffine3(YCbCr, M, RGB, A, 1);

    // CALCRAM -> DSTRAM
    *(volatile unsigned char *)0x300022 = 0x96;
    *(volatile unsigned char *)0x300023 = 0x0;
    *(volatile unsigned char *)0x300022 = 0x00;

    // saturation 0-255
    if (YCbCr[0] > 0xFF) YCbCr[0] = 0xFF;
    if (YCbCr[0] < 0x00) YCbCr[0] = 0x00;
    if (YCbCr[1] > 0xFF) YCbCr[1] = 0xFF;
    if (YCbCr[1] < 0x00) YCbCr[1] = 0x00;
    if (YCbCr[2] > 0xFF) YCbCr[2] = 0xFF;
    if (YCbCr[2] < 0x00) YCbCr[2] = 0x00;
}

```

<結果> RGB = (140, 120, 80) → YCbCr = (121, 105, 141)

ヘッダファイル(calc.h)

```

/*****
 *
 *      File Name      : calc.h
 *      Description    : Calculation module interface
 *
 *****/

#ifndef __CALC_H__
#define __CALC_H__

#ifdef __cplusplus
extern "C" {
#endif

```

```

/*****
*      Define macro
*****/

/* Function table address */
#define CALC_API_BASE          ((unsigned long*)0x00023100)

// Calculation mode
#define CALC_FIXED32_Q31      0x00000000
#define CALC_SINT32           0x00000002
#define CALC_UINT32          0x00000002
#define CALC_FIXED16_Q12     0x00000010
#define CALC_FIXED16_Q13     0x00000012
#define CALC_FIXED16_Q14     0x00000112

/*****
*      Function
*****/
#define CalcSetMode \
    (*((void (*)(long))CALC_API_BASE[0]))
#define CalcInit \
    (*((void (*)(long))CALC_API_BASE[1]))
#define CalcMull \
    (*((long (*)(long*, long))CALC_API_BASE[2]))
#define CalcMul4 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[3]))
#define CalcMul6 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[4]))
#define CalcMul8 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[5]))
#define CalcMull16 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[6]))
#define CalcMac2_6 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[7]))
#define CalcMac4 \
    (*((long (*)(long*, long*))CALC_API_BASE[8]))
#define CalcMac6 \
    (*((long (*)(long*, long*))CALC_API_BASE[9]))
#define CalcMac8 \
    (*((long (*)(long*, long*))CALC_API_BASE[10]))
#define CalcMac16 \
    (*((long (*)(long*, long*))CALC_API_BASE[11]))
#define CalcMacCircular8 \
    (*((long (*)(long*, long*))CALC_API_BASE[12]))
#define CalcSubMull \
    (*((long (*)(long, long, long*))CALC_API_BASE[13]))
#define CalcSubMul8 \
    (*((void (*)(long*, long*, long*, long*))CALC_API_BASE[14]))
#define CalcMatrix2 \
    (*((void (*)(long*, long*, long*, unsigned long))CALC_API_BASE[15]))
#define CalcMatrix3 \
    (*((void (*)(long*, long*, long*, unsigned long))CALC_API_BASE[16]))
#define CalcMatrix4 \
    (*((void (*)(long*, long*, long*, unsigned long))CALC_API_BASE[17]))
#define CalcAffine2 \
    (*((void (*)(long*, long*, long*, long*, unsigned long))CALC_API_BASE[18]))
#define CalcAffine3 \
    (*((void (*)(long*, long*, long*, long*, unsigned long))CALC_API_BASE[19]))
#define CalcButterfly \
    (*((void (*)(long*, long*, long*, unsigned long))CALC_API_BASE[20]))
#define CalcButterflyConst \
    (*((void (*)(long*, long*, long*, unsigned long))CALC_API_BASE[21]))
#define CalcButterfly2_1 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[22]))
#define CalcButterfly3_1 \
    (*((void (*)(long*, long*, long, long))CALC_API_BASE[24]))
#define CalcButterfly3_2 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[25]))
#define CalcButterfly3_4 \
    (*((void (*)(long*, long*, long*))CALC_API_BASE[26]))

```

```
#define CalcButterfly3_8 \  
    (*((void (*)(long*, long*, long*))CALC_API_BASE[27]))  
#define CalcButterfly3_16 \  
    (*((void (*)(long*, long*, long*))CALC_API_BASE[28]))  
  
#ifdef __cplusplus  
}  
#endif  
#endif                                     // __CALC_H__
```

32 電気的特性

32.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
内部ロジック&1.8V系I/O電源電圧 *1	LV _{DD}		V _{SS} - 0.3~2.5	V
RTC電源電圧 *1	RTCV _{DD}		V _{SS} - 0.3~2.5	V
PLL電源電圧 *1	PLL _{DD}		V _{SS} - 0.3~2.5	V
3.3V系I/O電源電圧 *1	HV _{DD}		V _{SS} - 0.3~4.0	V
ADC電源電圧 *1	AV _{DD}		V _{SS} - 0.3~4.0	V
3.3V系入力電圧	HV _I		V _{SS} - 0.3~HV _{DD} + 0.5	V
1.8V系入力電圧	LV _I		V _{SS} - 0.3~LV _{DD} + 0.5	V
アナログ入力電圧	AV _I		V _{SS} - 0.3~AV _{DD} + 0.5	V
3.3V系出力電圧	HV _O		V _{SS} - 0.3~HV _{DD} + 0.5	V
1.8V系出力電圧	LV _O		V _{SS} - 0.3~LV _{DD} + 0.5	V
高レベル出力電流	I _{OH}	1端子	-10	mA
		全端子合計	-40	mA
低レベル出力電流	I _{OL}	1端子	10	mA
		全端子合計	40	mA
保存温度	T _{stg}		-65~150	°C

*1) HV_{DD}/AV_{DD} ≥ LV_{DD}/RTCV_{DD}/PLL_{DD}LV_{DD} = RTCV_{DD} = PLL_{DD}*2) #STBY端子の最大入力電圧範囲はV_{SS} - 0.3V~4.0V

32.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧 (高) *1	HV _{DD}	USB未使用時	2.70	3.30	3.60	V
	AV _{DD}	USB使用時	3.00	3.30	3.60	V
電源電圧 (低) *1	LV _{DD}	水晶発振または外部クロック入力	1.65	1.80	1.95	V
	RTCV _{DD} PLL _{DD}	セラミック発振	1.70	1.80	1.90	V
入力電圧	HV _I		-0.3	—	HV _{DD} + 0.3	V
	LV _I		-0.3	—	LV _{DD} + 0.3	V
	AV _I		-0.3	—	AV _{DD} + 0.3	V
動作温度	Ta	水晶発振または外部クロック入力	-40	25	85	°C
		セラミック発振	0	25	70	°C
CPU動作周波数	f _{CPU}		—	—	60	MHz
バス動作周波数	f _{BUS}		—	—	60	MHz
MCLKI発振周波数	f _{OSC3}		—	—	48	MHz
RTCCLKI発振周波数	f _{OSC1}		—	32.768	—	kHz
入力立ち上がり時間 (通常入力)	t _{ri1}		—	—	50	ns
入力立ち下がり時間 (通常入力)	t _{fi1}		—	—	50	ns
入力立ち上がり時間 (シュミット入力)	t _{ri2}		—	—	5	ms
入力立ち下がり時間 (シュミット入力)	t _{fi2}		—	—	5	ms

*1) HV_{DD}/AV_{DD} ≥ LV_{DD}/RTCV_{DD}/PLL_{DD}LV_{DD} = RTCV_{DD} = PLL_{DD}*2) #STBY端子の推奨入力電圧範囲はV_{SS} - 0.3V~3.6V

32.3 DC特性

HV_{DD} = AV_{DD} = 3.0~3.6V

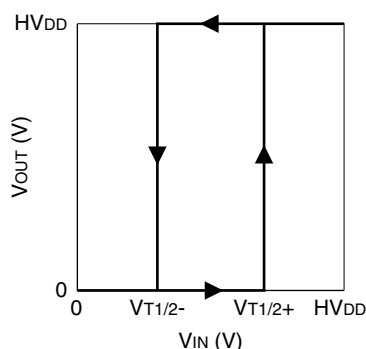
項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}	HV _{DD} = 3.6V, LV _{DD} = 1.95V, HV _{IN} = HV _{DD} , LV _{IN} = LV _{DD} , V _{IL} = 0V	-5	—	5	μA
オフステートリーク電流	I _{OZ}	HV _{DD} = 3.6V, LV _{DD} = 1.95V, HV _{IN} = HV _{DD} , LV _{IN} = LV _{DD} , V _{IL} = 0V	-5	—	5	μA
HV_{DD}, AV_{DD}系I/O						
高レベル出力電圧 (TYPE1)	V _{OH1H}	HV _{DD} = 3.0V, I _{OH} = -2mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE1)	V _{OL1H}	HV _{DD} = 3.0V, I _{OL} = 2mA	—	—	0.4	V
高レベル出力電圧 (TYPE2)	V _{OH2H}	HV _{DD} = 3.0V, I _{OH} = -4mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE2)	V _{OL2H}	HV _{DD} = 3.0V, I _{OL} = 4mA	—	—	0.4	V
高レベル出力電圧 (TYPE3)	V _{OH3H}	HV _{DD} = 3.0V, I _{OH} = -8mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE3)	V _{OL3H}	HV _{DD} = 3.0V, I _{OL} = 8mA	—	—	0.4	V
高レベル入力電圧 (LVTTTL)	V _{IH1H}	HV _{DD} = 3.6V	2	—	HV _{DD} + 0.3	V
低レベル入力電圧 (LVTTTL)	V _{IL1H}	HV _{DD} = 3.0V	-0.3	—	0.8	V
高レベル入力電圧 (LVC MOS)	V _{IH2H}	HV _{DD} = 3.6V	2.2	—	HV _{DD} + 0.3	V
低レベル入力電圧 (LVC MOS)	V _{IL2H}	HV _{DD} = 3.0V	-0.3	—	0.8	V
ポジティブトリガ入力電圧 (LVC MOSシュミット)	V _{T1+}	HV _{DD} = 3.6V, LV _{DD} = 1.95V	1.4	—	2.7	V
ネガティブトリガ入力電圧 (LVC MOSシュミット)	V _{T1-}	HV _{DD} = 3.0V, LV _{DD} = 1.65V	0.6	—	1.8	V
ヒステリシス電圧 (LVC MOSシュミット)	ΔV ₁	HV _{DD} = 3.0V, LV _{DD} = 1.65V	0.3	—	—	V
ブルアップ抵抗 (TYPE1)	R _{PLU1H}	V _I = 0V	25	50	120	kΩ
ブルダウン抵抗 (TYPE1)	R _{PLD1H}	V _I = HV _{DD}	25	50	120	kΩ
ブルアップ抵抗 (TYPE2)	R _{PLU2H}	V _I = 0V	50	100	240	kΩ
ブルダウン抵抗 (TYPE2)	R _{PLD2H}	V _I = HV _{DD}	50	100	240	kΩ
高レベル保持電流 (パスホールドラッチ)	I _{BHH}	HV _{DD} = 3.0V, V _I = 2.0V	—	—	-20	μA
低レベル保持電流 (パスホールドラッチ)	I _{BHL}	HV _{DD} = 3.0V, V _I = 0.8V	—	—	17	μA
高レベル反転電流 (パスホールドラッチ)	I _{BHH0}	HV _{DD} = 3.6V, V _I = 0.8V	-350	—	—	μA
低レベル反転電流 (パスホールドラッチ)	I _{BHL0}	HV _{DD} = 3.6V, V _I = 2.0V	300	—	—	μA
LV_{DD}, RTCV_{DD}系I/O						
高レベル出力電圧 (TYPE1)	V _{OH1L}	LV _{DD} = 1.65V, I _{OH} = -1mA	LV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE1)	V _{OL1L}	LV _{DD} = 1.65V, I _{OL} = 1mA	—	—	0.4	V
高レベル入力電圧 (LVC MOS)	V _{IH1L}	LV _{DD} = 1.95V	1.27	—	LV _{DD} + 0.3	V
低レベル入力電圧 (LVC MOS)	V _{IL1L}	LV _{DD} = 1.65V	-0.3	—	0.57	V
ポジティブトリガ入力電圧 (LVC MOSシュミット)	V _{T2+}	HV _{DD} = 3.6V, LV _{DD} = 1.95V	0.6	—	1.4	V
ネガティブトリガ入力電圧 (LVC MOSシュミット)	V _{T2-}	HV _{DD} = 3.0V, LV _{DD} = 1.65V	0.3	—	1.1	V
ヒステリシス電圧 (LVC MOSシュミット)	ΔV ₂	HV _{DD} = 3.0V, LV _{DD} = 1.65V	0.02	—	—	V
ブルダウン抵抗 (TYPE2)	R _{PLD2L}	V _I = LV _{DD}	48	120	300	kΩ
入力端子容量	C _I	f = 1MHz, HV _{DD} = 0V	—	—	8	pF
出力端子容量	C _O	f = 1MHz, HV _{DD} = 0V	—	—	8	pF
入出力端子容量	C _{IO}	f = 1MHz, HV _{DD} = 0V	—	—	8	pF

HV_{DD} = AV_{DD} = 2.7~3.6 V

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}	HV _{DD} = 3.6V, LV _{DD} = 1.95V, HV _{IN} = HV _{DD} , LV _{IN} = LV _{DD} , V _{IL} = 0V	-5	—	5	μA
オフステートリーク電流	I _{OZ}	HV _{DD} = 3.6V, LV _{DD} = 1.95V, HV _{IN} = HV _{DD} , LV _{IN} = LV _{DD} , V _{IL} = 0V	-5	—	5	μA
HV_{DD}, AV_{DD}系I/O						
高レベル出力電圧 (TYPE1)	V _{OH1H}	HV _{DD} = 2.7V, I _{OH} = -1.8mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE1)	V _{OL1H}	HV _{DD} = 2.7V, I _{OL} = 1.8mA	—	—	0.4	V
高レベル出力電圧 (TYPE2)	V _{OH2H}	HV _{DD} = 2.7V, I _{OH} = -3.6mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE2)	V _{OL2H}	HV _{DD} = 2.7V, I _{OL} = 3.6mA	—	—	0.4	V
高レベル出力電圧 (TYPE3)	V _{OH3H}	HV _{DD} = 2.7V, I _{OH} = -7.2mA	HV _{DD} - 0.4	—	—	V
低レベル出力電圧 (TYPE3)	V _{OL3H}	HV _{DD} = 2.7V, I _{OL} = 7.2mA	—	—	0.4	V
高レベル入力電圧 (LVTTTL)	V _{IH1H}	HV _{DD} = 3.6V	2	—	HV _{DD} + 0.3	V
低レベル入力電圧 (LVTTTL)	V _{IL1H}	HV _{DD} = 2.7V	-0.3	—	0.7	V
高レベル入力電圧 (LVC MOS)	V _{IH2H}	HV _{DD} = 3.6V	2.2	—	HV _{DD} + 0.3	V
低レベル入力電圧 (LVC MOS)	V _{IL2H}	HV _{DD} = 2.7V	-0.3	—	0.7	V
ポジティブトリガ入力電圧 (LVC MOSシュミット)	V _{T1+}	HV _{DD} = 3.6V, LV _{DD} = 1.95V	1.4	—	2.7	V

項目	記号	条件	Min.	Typ.	Max.	単位
ネガティブトリガ入力電圧 (LVCMOSシュミット)	VT1-	HVDD = 2.7V, LVDD = 1.65V	0.5	—	1.8	V
ヒステリシス電圧 (LVCMOSシュミット)	ΔV1	HVDD = 2.7V, LVDD = 1.65V	0.27	—	—	V
プルアップ抵抗 (TYPE1)	RPLU1H	VI = 0V	25	50	150	kΩ
プルダウン抵抗 (TYPE1)	RPLD1H	VI = HVDD	25	50	150	kΩ
プルアップ抵抗 (TYPE2)	RPLU2H	VI = 0V	50	100	300	kΩ
プルダウン抵抗 (TYPE2)	RPLD2H	VI = HVDD	50	100	300	kΩ
高レベル保持電流 (バスホールドラッチ)	HI _{BHH}	HVDD = 2.7V, VI = 2.0V	—	—	-15.7	μA
低レベル保持電流 (バスホールドラッチ)	HI _{BHL}	HVDD = 2.7V, VI = 0.7V	—	—	12.2	μA
高レベル反転電流 (バスホールドラッチ)	HI _{BHH0}	HVDD = 3.6V, VI = 0.7V	-350	—	—	μA
低レベル反転電流 (バスホールドラッチ)	HI _{BHL0}	HVDD = 3.6V, VI = 2.0V	300	—	—	μA
LVDD, RTCVDD系I/O						
高レベル出力電圧 (TYPE1)	VOH1L	LVDD = 1.65V, IOH = -1mA	LVDD - 0.4	—	—	V
低レベル出力電圧 (TYPE1)	VOL1L	LVDD = 1.65V, IOL = 1mA	—	—	0.4	V
高レベル入力電圧 (LVCMOS)	VIH1L	LVDD = 1.95V	1.27	—	LVDD + 0.3	V
低レベル入力電圧 (LVCMOS)	UIL1L	LVDD = 1.65V	-0.3	—	0.57	V
ポジティブトリガ入力電圧 (LVCMOSシュミット)	VT2+	HVDD = 3.6V, LVDD = 1.95V	0.6	—	1.4	V
ネガティブトリガ入力電圧 (LVCMOSシュミット)	VT2-	HVDD = 2.7V, LVDD = 1.65V	0.3	—	1.1	V
ヒステリシス電圧 (LVCMOSシュミット)	ΔV2	HVDD = 2.7V, LVDD = 1.65V	0.02	—	—	V
プルダウン抵抗 (TYPE2)	RPLD2L	VI = LVDD	48	120	300	kΩ
入力端子容量	CI	f = 1MHz, HVDD = 0V	—	—	8	pF
出力端子容量	CO	f = 1MHz, HVDD = 0V	—	—	8	pF
入出力端子容量	CIO	f = 1MHz, HVDD = 0V	—	—	8	pF

シュミット入力電圧



32.4 消費電流

動作電流

項目	記号	条件	Min.	Typ.	Max.	単位	電源
バッテリーバックアップ電流	IBKUP	OSC1: Off, RTC: Stop LVDD/HVDD/AVDD: On #STBY = High	—	0.1	—	μA	RTCVDD
		OSC1: 32kHz, RTC: Run LVDD/HVDD/AVDD: Off #STBY = Low	—	1.3	—	μA	
動作時消費電流 (CPU/CCU/A0RAM) SYSCLK = OSC1	IDD1	SYSCLK = 32kHz *2, *3	—	15	—	μA	LVDD
動作時消費電流 (CPU/CCU/A0RAM) SYSCLK = OSC3	IDD2	SYSCLK = 5MHz *1, *2	—	3	—	mA	LVDD
		SYSCLK = 16MHz *1, *2	—	7	—	mA	
		SYSCLK = 24MHz *1, *2	—	10	—	mA	
		SYSCLK = 33MHz *1, *2	—	13	—	mA	
		SYSCLK = 48MHz *1, *2	—	18	—	mA	
動作時消費電流 (CPU/CCU/A0RAM) OSC3 = 48MHz, SYSCLK = PLL out (60MHz)	IDD3	SYSCLK = 60MHz *1	—	23	—	mA	LVDD
HALTモード時消費電流 (CPU/CCU/A0RAM) SYSCLK = OSC1	IHALT1	SYSCLK = 32kHz *2, *3	—	5	—	μA	LVDD

32 電気的特性

項目	記号	条件	Min.	Typ.	Max.	単位	電源
HALTモード時消費電流 (CPU/CCU/A0RAM) SYSCLK = OSC3	IHALT2	SYSCLK = 5MHz *1, *2	—	0.6	—	mA	LVDD
		SYSCLK = 16MHz *1, *2	—	1.6	—	mA	
		SYSCLK = 24MHz *1, *2	—	2.3	—	mA	
		SYSCLK = 33MHz *1, *2	—	3	—	mA	
		SYSCLK = 48MHz *1, *2	—	4.3	—	mA	
HALTモード時消費電流 (CPU/CCU/A0RAM) OSC3 = 48MHz, SYSCLK = PLL out (60MHz)	IHALT3	SYSCLK = 60MHz *1	—	6.3	—	mA	LVDD
SLEEPモード時消費電流 SYSCLK = OSC3	ISLP	OSC3: Off, OSC1: Off	—	1.0	—	μA	LVDD
RTC消費電流	IRTC	RTC: Run, RTCCLK = 32kHz PCLK = 48MHz, #STBY = Low	—	1.3	—	μA	RTCVDD
		RTC: Run, RTCCLK = 32kHz PCLK = 5MHz, #STBY = High	—	40	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 16MHz, #STBY = High	—	110	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 24MHz, #STBY = High	—	165	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 33MHz, #STBY = High	—	225	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 48MHz, #STBY = High	—	325	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 60MHz, #STBY = High	—	405	—	μA	
		RTC: Run, RTCCLK = 32kHz PCLK = 60MHz, #STBY = High	—	405	—	μA	
USB消費電流	IUSB	USBCLK = 48MHz *4	—	3.8	—	mA	LVDD
LCDC消費電流	ILCDC	LCDC_CLK = 48MHz	—	0.2	—	mA	LVDD
SD_MMC消費電流	ISDMMC	PCLK = 48MHz	—	1.6	—	mA	LVDD
I ² S消費電流	I _{I2S}	PCLK = 48MHz	—	1.2	—	mA	LVDD
SDRAM + SRAM消費電流	IBCU	PCLK = 48MHz	—	1.5	—	mA	LVDD
BCLK消費電流	IBCLK	PCLK = 48MHz	—	1.9	—	mA	LVDD
T16A6 + PSC消費電流	IT16A	PCLK = 48MHz	—	1.9	—	mA	LVDD
USI + PSC + T8F消費電流	IUSI	PCLK = 48MHz	—	2.5	—	mA	LVDD
USIL + PSC + T8F消費電流	IUSIL	PCLK = 48MHz	—	1.8	—	mA	LVDD
UART + PSC消費電流	IUART	PCLK = 48MHz	—	1	—	mA	LVDD
REMC + PSC消費電流	IREMC	PCLK = 48MHz	—	1	—	mA	LVDD
T16P + PSC消費電流	IT16P	PCLK = 48MHz	—	1.3	—	mA	LVDD
ADC10消費電流	IADC10	On, 変換クロック = 2MHz	—	260	—	μA	AVDD
		Off	—	0.5	—	μA	
PLL消費電流	IPLL	48MHz入力 → 60MHz出力	—	2	—	mA	PLLVDD
		Off	—	0.1	—	μA	
LCD表示On	ILCDON	表示: On, CPU: HALT *5 LCDC_CLK = 8MHz	—	8	—	mA	LVDD

*1)・プログラムをエリア0のA0RAM内で実行

- OSC1および周辺モジュールクロックはすべてOff
- SSCG回路はOff
- GPIOポートは入力&プルアップに設定(フローティング入力なし)
- 消費電流は、“ロード命令51%、演算命令21%、分岐命令10%、ext命令18%”の試験プログラムを実行して測定

*2) PLL回路はOff

*3)・プログラムをエリア0のA0RAM内で実行

- OSC3および周辺モジュールクロックはすべてOff
- SSCG回路はOff
- GPIOポートは入力&プルアップに設定(フローティング入力なし)
- 消費電流は、“ロード命令51%、演算命令21%、分岐命令10%、ext命令18%”の試験プログラムを実行して測定

*4) USBREG_CLK、USB_CLKはOn

*5) LCDC_SAPB_CLK、LCDC_AHB_CLK、LCDC_CLK、BCU_CLK、BCLK、IVRAM_ARB_CLK、A3RAM_CLKはOn

32.5 A/D変換器特性

特記なき場合: $V_{DD} = 1.65 \sim 1.95V$, $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $ADST[2:0] = 0x7$

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—		—	10	—	bits
変換時間 *1	—		10	—	1250	μs
ゼロスケール誤差	E_{ZS}		-2	—	2	LSB
フルスケール誤差	E_{FS}		-2	—	2	LSB
積分直線性誤差	E_L		-3	—	3	LSB
微分直線性誤差	E_D		-3	—	3	LSB
許容信号源インピーダンス	—		—	—	5	$k\Omega$
アナログ入力容量	—		—	—	45	pF

*1) Min値はA/Dクロック = 2MHzの場合、Max値はA/Dクロック = 16kHzの場合

A/D変換エラー

$V[001]_h$ = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$ = 実際のゼロスケール点電圧

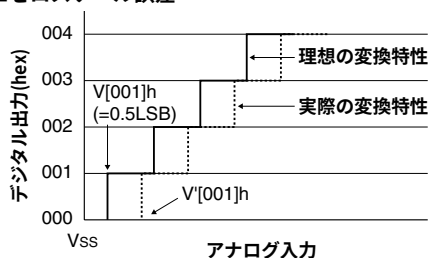
$V[3FF]_h$ = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

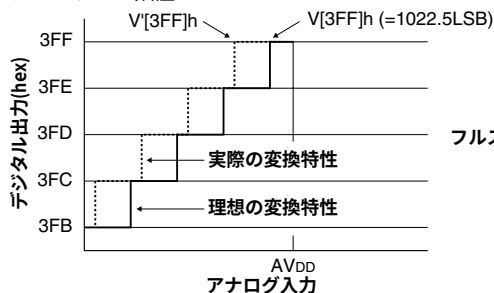
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

■ゼロスケール誤差



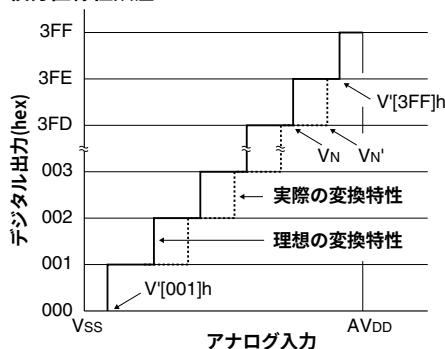
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]_h - 0.5LSB') - (V[001]_h - 0.5LSB)}{1LSB} [LSB]$$

■フルスケール誤差



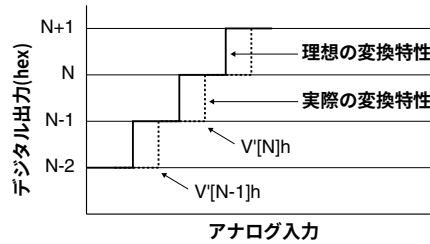
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB') - (V[3FF]_h + 0.5LSB)}{1LSB} [LSB]$$

■積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_{N'} - V_N}{1LSB'} [LSB]$$

■微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V[N]h - V[N-1]h}{1\text{LSB}} - 1 \text{ [LSB]}$$

32.6 発振特性

発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

OSC1水晶発振

特記なき場合: $LV_{DD} = RTCV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tSTA1	*1	—	—	3	s

OSC3水晶発振

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

特記なき場合: $LV_{DD} = RTCV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tSTA3	*1	—	—	25	ms

OSC3セラミック発振

特記なき場合: $LV_{DD} = RTCV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tSTA3	*1	—	—	25	ms

*1) “基本外部結線図”の章に示す推奨部品を使用した場合

32.7 PLL特性

特記なき場合: $PLL_{VDD} = 1.65 \sim 1.95V$, $PLL_{VSS} = 0V$, $T_a = -40 \sim 85^\circ C$

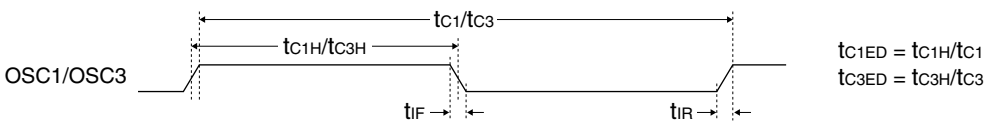
項目	記号	条件	Min.	Typ.	Max.	単位
入力周波数 *1	fPLLIN		5	—	48	MHz
出力周波数 *2	fPLLOUT		20	—	60	MHz
出力安定時間	tPLL		—	—	200	μs

*1) 入力クロック分周比: OSC3 $\times 1$, $\times 1/2$, $\times 1/3$, $\times 1/4$, $\times 1/5$, $\times 1/6$, $\times 1/7$, $\times 1/8$, $\times 1/9$, $\times 1/10$

*2) 通倍率: $\times 1$, $\times 2$, $\times 3$, $\times 4$, $\times 5$, $\times 6$, $\times 7$, $\times 8$, $\times 9$, $\times 10$, $\times 11$, $\times 12$, $\times 13$, $\times 14$, $\times 15$, $\times 16$

32.8 AC特性

32.8.1 外部クロック入力特性



$$t_{C1ED} = t_{C1H}/t_{C1}$$

$$t_{C3ED} = t_{C3H}/t_{C3}$$

OSC1外部クロック

特記なき場合: $LV_{DD} = RTCV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
OSC1外部クロックサイクル時間	tc1	—	30.51	—	μs
OSC1外部クロック入力デューティ	tc1ED	45	—	55	%
OSC1外部クロック入力立ち上がり時間	tiF	—	—	5	ns
OSC1外部クロック入力立ち下がり時間	tiR	—	—	5	ns

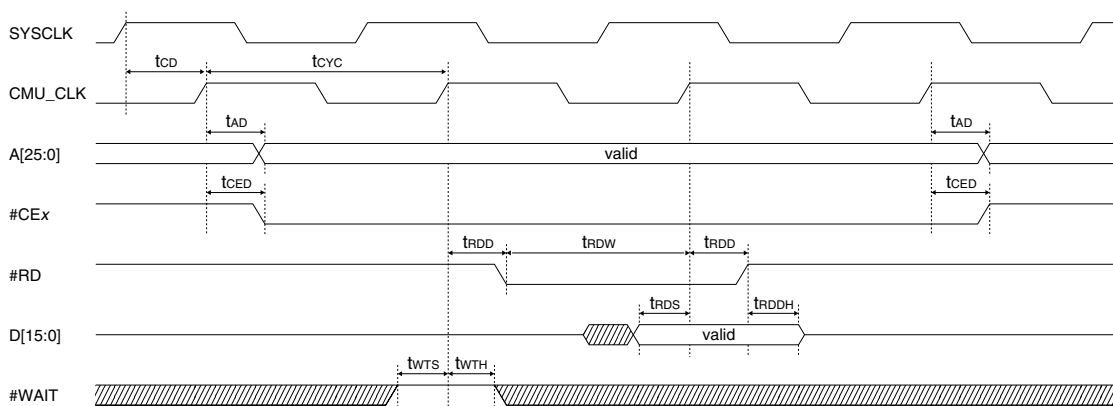
OSC3外部クロック

特記なき場合: $LV_{DD} = RTCV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

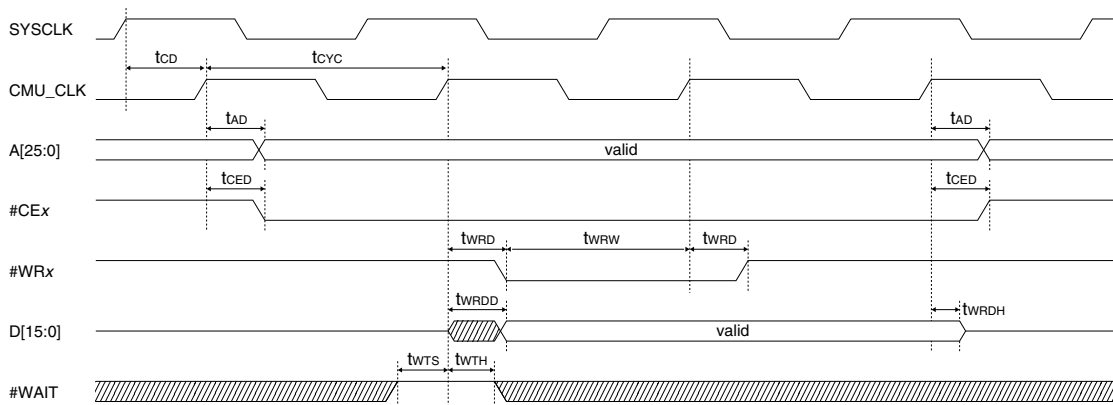
項目	記号	Min.	Typ.	Max.	単位
OSC3外部クロックサイクル時間	tc3	20.83	—	500	ns
OSC3外部クロック入力デューティ	tc3ED	45	—	55	%
OSC3外部クロック入力立ち上がり時間	tiF	—	—	5	ns
OSC3外部クロック入力立ち下がり時間	tiR	—	—	5	ns

32.8.2 SRAMC AC特性

SRAMリードサイクル



SRAMライトサイクル



32 電気的特性

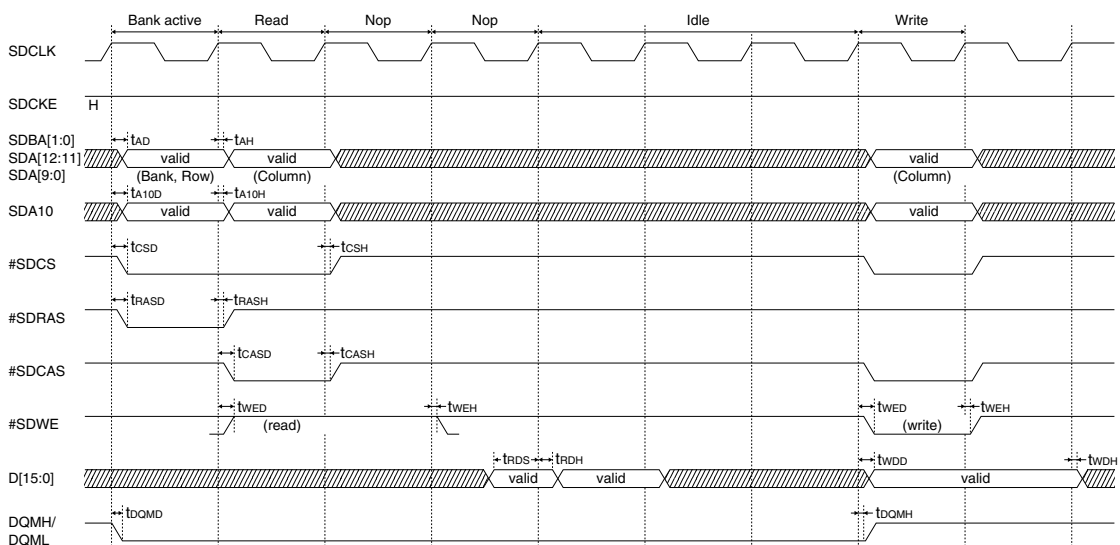
特記なき場合: LVDD = 1.65~1.95V, HVDD = 2.7~3.6V, VSS = 0V, 外部負荷 = 50pF, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
CMU_CLK出力遅延時間	tCD	—	—	24	ns
アドレス遅延時間	tAD	—	—	7	ns
#CE $\times$ 遅延時間	tCED	—	—	7	ns
ライト遅延時間	tWRD	—	—	7	ns
ライトデータ遅延時間	tWRDD	—	—	7	ns
ライトデータホールド時間	tWRDH	1	—	—	ns
リード遅延時間	tRDD	—	—	7	ns
リードデータセットアップ時間	tRDS	7	—	—	ns
リードデータホールド時間	tRDDH	0	—	—	ns
ライト信号パルス幅	tWRW	$tcyc(1 + WC) - 7$		—	ns
リード信号パルス幅	tRDW	$tcyc(1 + WC) - 7$		—	ns
リードアドレスアクセス時間	tACC	—	—	$tcyc(1 + WC) - 14$	ns
チップイネーブルアクセス時間	tCEAC	—	—	$tcyc(1 + WC) - 14$	ns
リード信号アクセス時間	tRDAC	—	—	$tcyc(1 + WC) - 14$	ns
#WAITセットアップ時間	tWTS	48	—	—	ns
#WAITホールド時間	tWTH	0	—	—	ns

WC: ウェイトサイクル数

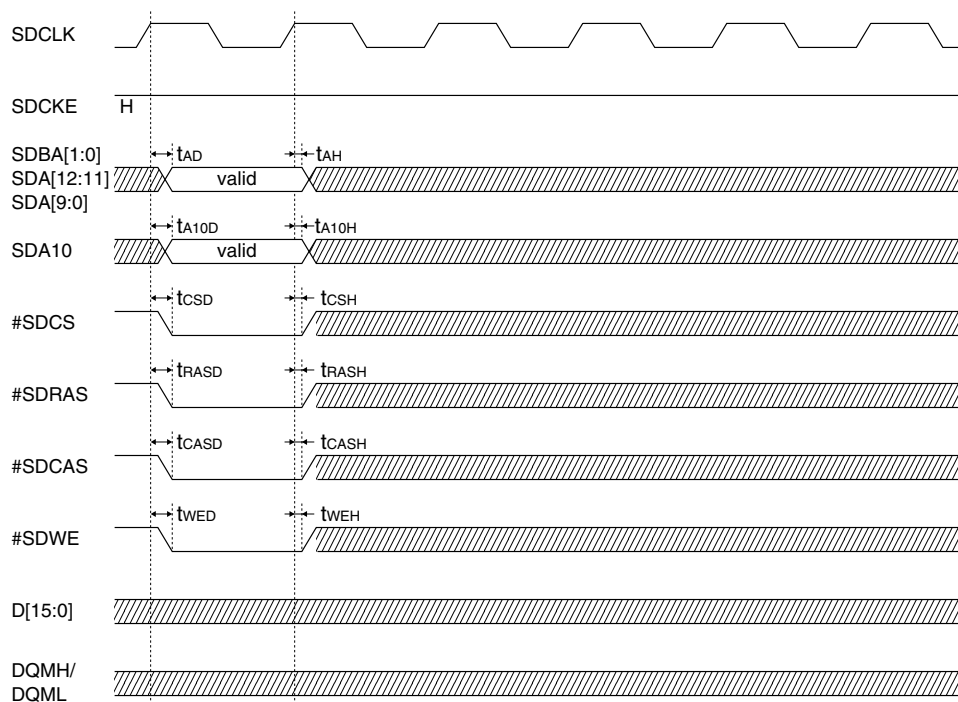
32.8.3 SDRAMC AC特性

SDRAMアクセスサイクル

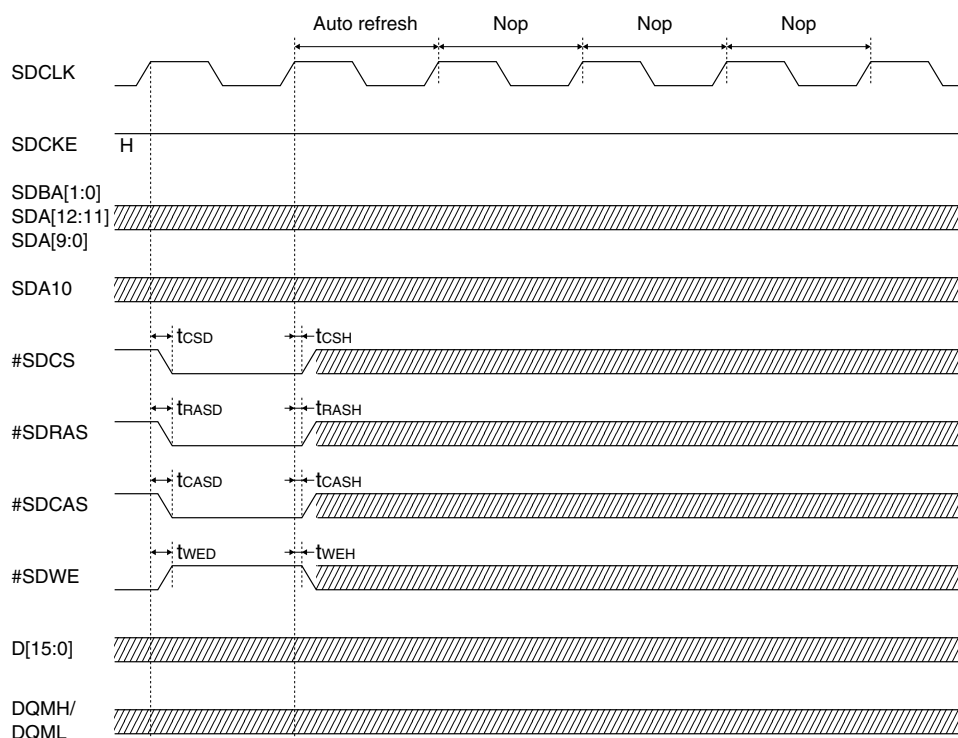


* リード: CASレイテンシ = 2, バースト長 = 2 ライト: シングルライト

SDRAMモードレジスタセットサイクル

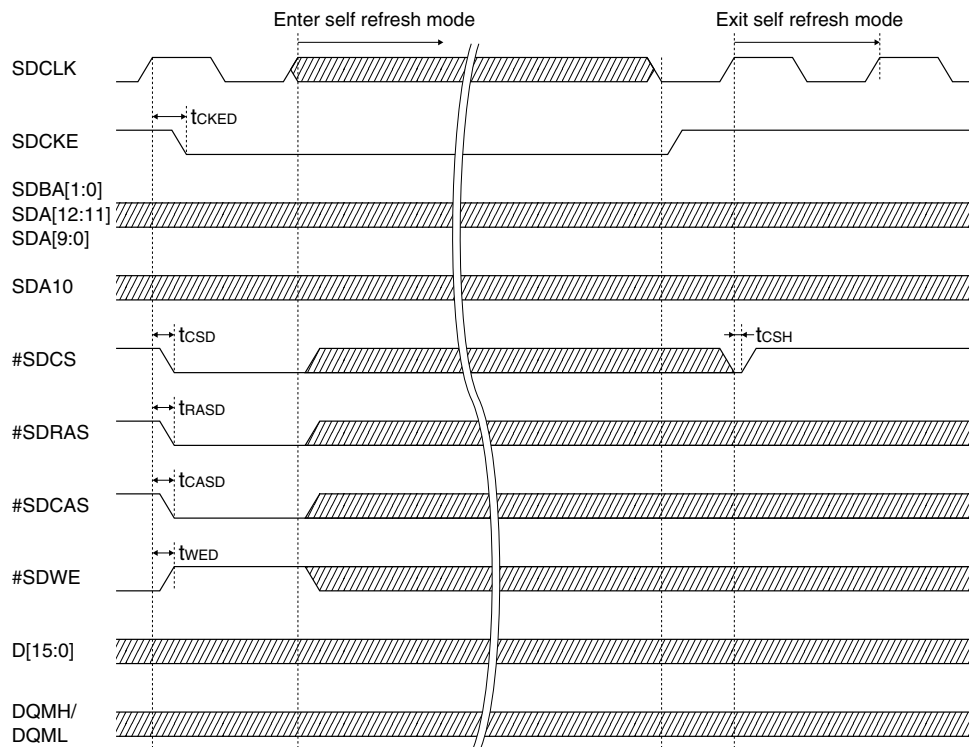


SDRAMオートリフレッシュサイクル



* オートリフレッシュモードに入る前には、プリチャージが必要です。

SDRAMセルフリフレッシュサイクル



* セルフリフレッシュモードに入る前には、プリチャージが必要です。

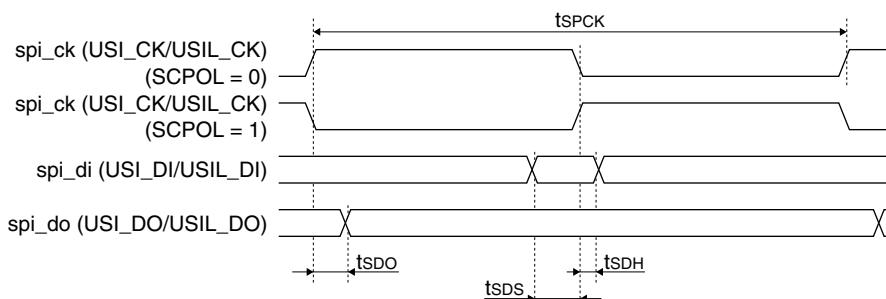
特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C
 外部負荷条件: アドレスバス/データバス = 50pF, SDCLK/#SDCS信号 = 20pF

項目	記号	Min.	Typ.	Max.	単位
アドレス遅延時間	t _{AD}	—	—	13	ns
アドレスホールド時間	t _{AH}	1.2	—	—	ns
SDA10信号遅延時間	t _{A10D}	—	—	13	ns
SDA10信号ホールド時間	t _{A10H}	1.2	—	—	ns
#SDCS信号遅延時間	t _{CSD}	—	—	13	ns
#SDCS信号ホールド時間	t _{CSH}	1.2	—	—	ns
#SDRAS信号遅延時間	t _{RASD}	—	—	13	ns
#SDRAS信号ホールド時間	t _{RASH}	1.2	—	—	ns
#SDCAS信号遅延時間	t _{CASD}	—	—	13	ns
#SDCAS信号ホールド時間	t _{CASH}	1.2	—	—	ns
DQMH,DQML信号遅延時間	t _{DQMD}	—	—	13	ns
DQMH,DQML信号ホールド時間	t _{DQMH}	1.2	—	—	ns
SDCKE信号遅延時間	t _{CKED}	—	—	13	ns
SDCKE信号ホールド時間	t _{CKEH}	1.2	—	—	ns
#SDWE信号遅延時間	t _{WED}	—	—	13	ns
#SDWE信号ホールド時間	t _{WEH}	1.2	—	—	ns
リードデータセットアップ時間	t _{RDS}	9	—	—	ns
リードデータホールド時間	t _{RDH}	0	—	—	ns
ライトデータ遅延時間	t _{WDD}	—	—	13	ns
ライトデータホールド時間	t _{WDH}	1.2	—	—	ns

注: すべての信号はSDRAMクロックの立ち上がりエッジで変化します。

32.8.4 USI/USIL AC特性

SPIマスタ/スレーブモード (USI/USIL)



SPIマスタモード (ノーマルモード)

特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
spi_ckサイクル時間	tSPCK	42 + tpCLK	—	—	ns
spi_diセットアップ時間	tSDS	42 + tpCLK	—	—	ns
spi_diホールド時間	tSDH	0	—	—	ns
spi_do出力遅延時間	tSDO	—	—	5	ns

SPIマスタモード (ファストモード)

特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
spi_ckサイクル時間	tSPCK	44	—	—	ns
spi_diセットアップ時間	tSDS	44	—	—	ns
spi_diホールド時間	tSDH	0	—	—	ns
spi_do出力遅延時間	tSDO	—	—	7	ns

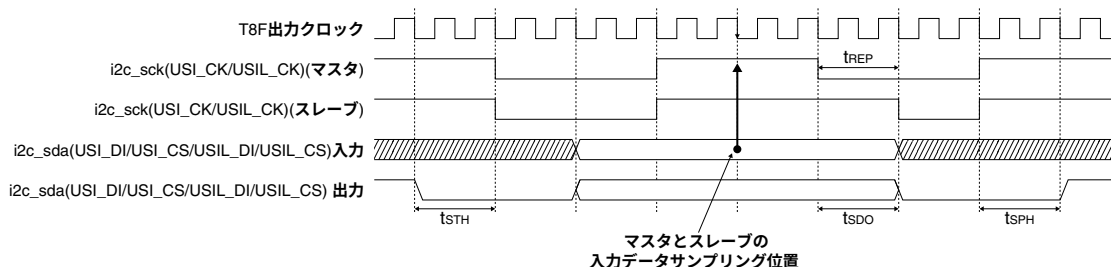
SPIスレーブモード

特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
spi_ckサイクル時間	tSPCK	29 + tpCLK	—	—	ns
spi_diセットアップ時間	tSDS	20 + tpCLK	—	—	ns
spi_diホールド時間	tSDH	9	—	—	ns
spi_do出力遅延時間	tSDO	—	—	42	ns
spi_do出力ホールド時間	tSDOH	—	—	2 * tpCLK + 40.552	ns

tpCLK: PCLK (CMUから供給される周辺モジュールクロック)のクロックサイクル時間

I²Cマスタ/スレーブモード (USI/USIL)



I²Cマスタモード

特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
i2c_sckサイクル時間	tsCL	8 * tr8F	—	—	ns
i2c_sda出力遅延時間	tSDO	—	—	2 * tr8F + 11	ns
スタートコンディションホールド時間	tSTH	4 * tr8F - 5	—	—	ns
ストップコンディションホールド時間	tSPH	3 * tr8F - 4	—	—	ns

I²Cスレーブモード

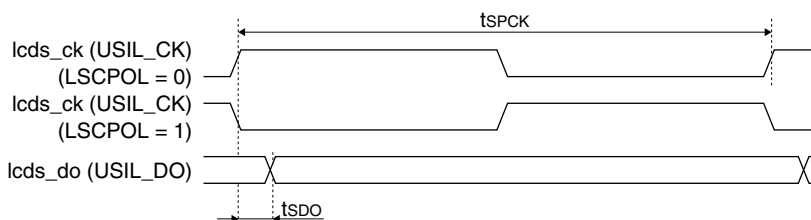
特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
i2c_sckサイクル時間	tscl	8 * tt8F	—	—	ns
i2c_sck入力クロック応答遅延時間	trep	4 * tt8F	—	—	ns
i2c_sda出力遅延時間	tsdo	—	—	2 * tt8F + 11	ns
スタートコンディションホールド時間	tsth	7 * tpclk + 16	—	—	ns
ストップコンディションホールド時間	tspH	7 * tpclk + 17	—	—	ns

tpclk: PCLK (CMUから供給される周辺モジュールクロック)のクロックサイクル時間

tt8F: T8F出力クロックサイクル時間

LCD SPIモード (USIL)



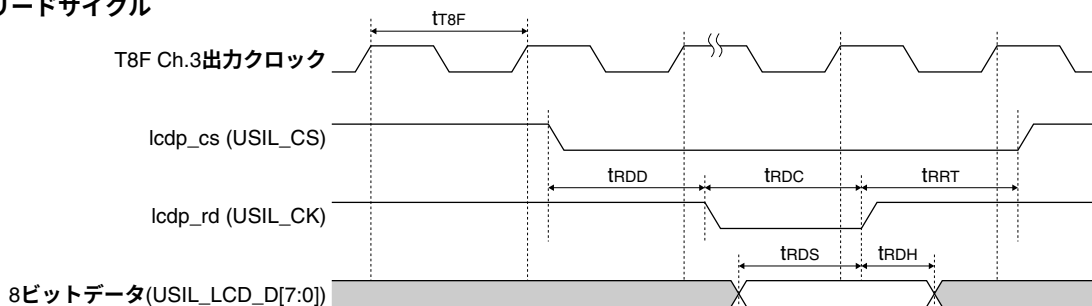
特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
spl_ckサイクル時間	tSPCK	tt8F	—	—	ns
spl_do出力遅延時間	tsdo	—	—	1	ns

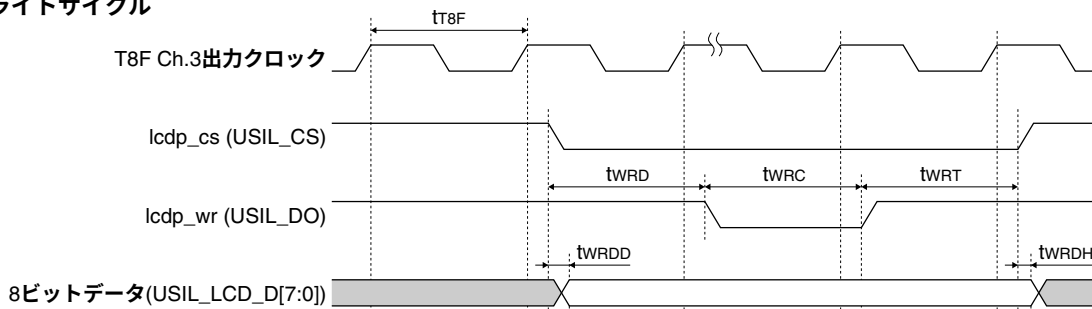
tt8F: T8F出力クロックサイクル時間

LCDパラレルモード (USIL)

リードサイクル



ライトサイクル



特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
lcdp_rd出力遅延時間	trDD	—	—	ts + 1	ns
lcdp_rd/パルス幅	trDC	—	—	tw + tT8F	ns
lcdp_rd→lcdp_cs立ち上がりエッジ	trRT	—	—	th - 1	ns
リードデータセットアップ時間	trDS	22	—	—	ns
リードデータホールド時間	trDH	0	—	—	ns
lcdp_wr出力遅延時間	tWRD	—	—	ts + 1	ns
lcdp_wr/パルス幅	tWRC	—	—	tw + tT8F	ns
lcdp_wr→lcdp_cs立ち上がりエッジ	tWRT	—	—	th + 1	ns
ライトデータ出力遅延時間	tWRDD	—	—	3	ns
ライトデータ出力ホールド時間	tWRDH	—	—	0	ns

ts: LPST[1:0]/USIL_LPACレジスタで設定したセットアップサイクル時間

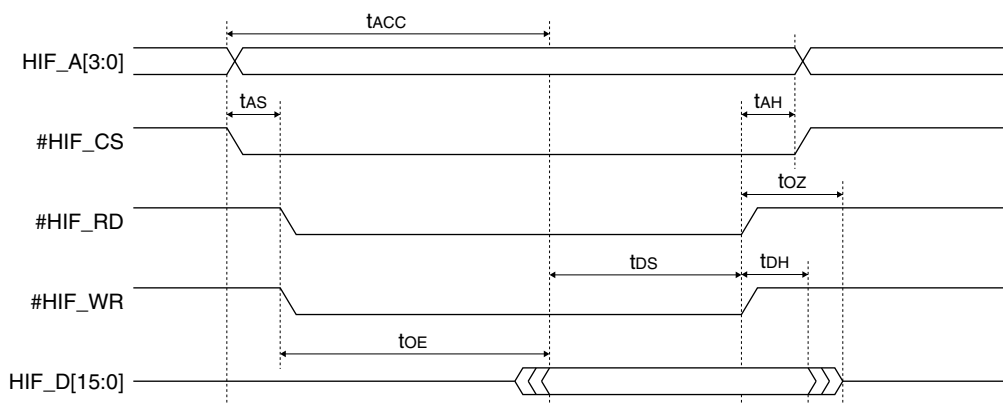
tw: LPWT[3:0]/USIL_LPACレジスタで設定したウェイトサイクル時間

th: LPHD[1:0]/USIL_LPACレジスタで設定したホールドサイクル時間

tT8F: T8F出力クロックサイクル時間

32.8.5 HIF AC特性

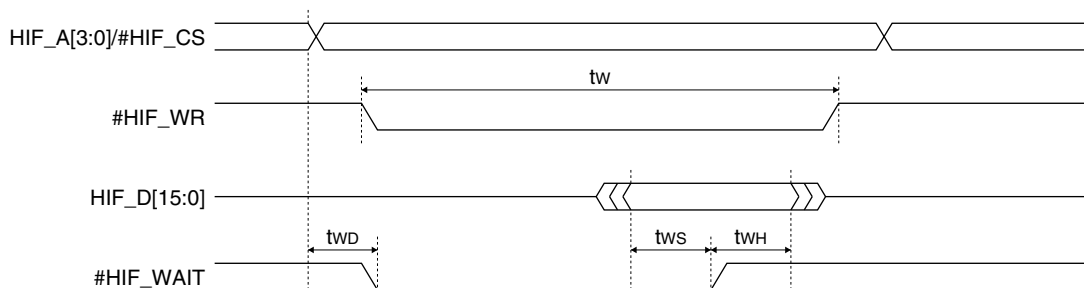
非同期モード



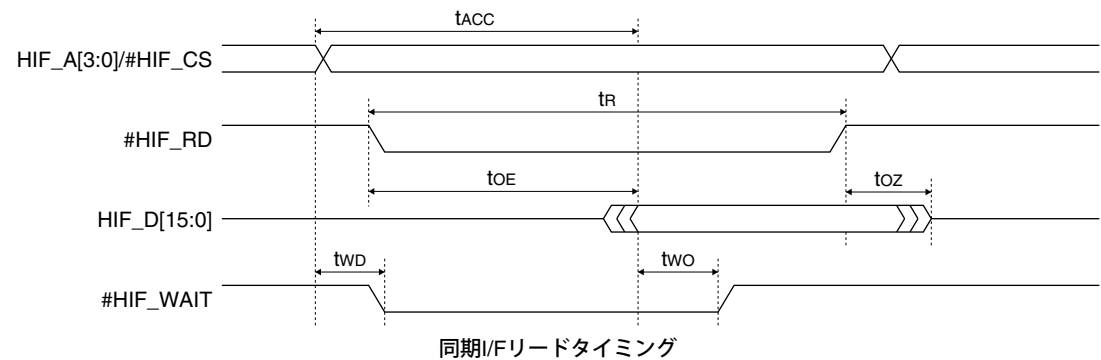
特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
データセットアップ時間	tDS	—	—	25	ns
データホールド時間	tDH	1	—	—	ns
アドレスセットアップ時間	tAS	—	—	25	ns
アドレスホールド時間	tAH	1	—	—	ns
アドレス出力→データ出力遅延時間	tACC	—	—	25	ns
リード信号→データ出力遅延時間	tOE	—	—	25	ns
リード信号→ハインピーダンス	toz	—	—	25	ns

同期モード



同期/フライトタイミング



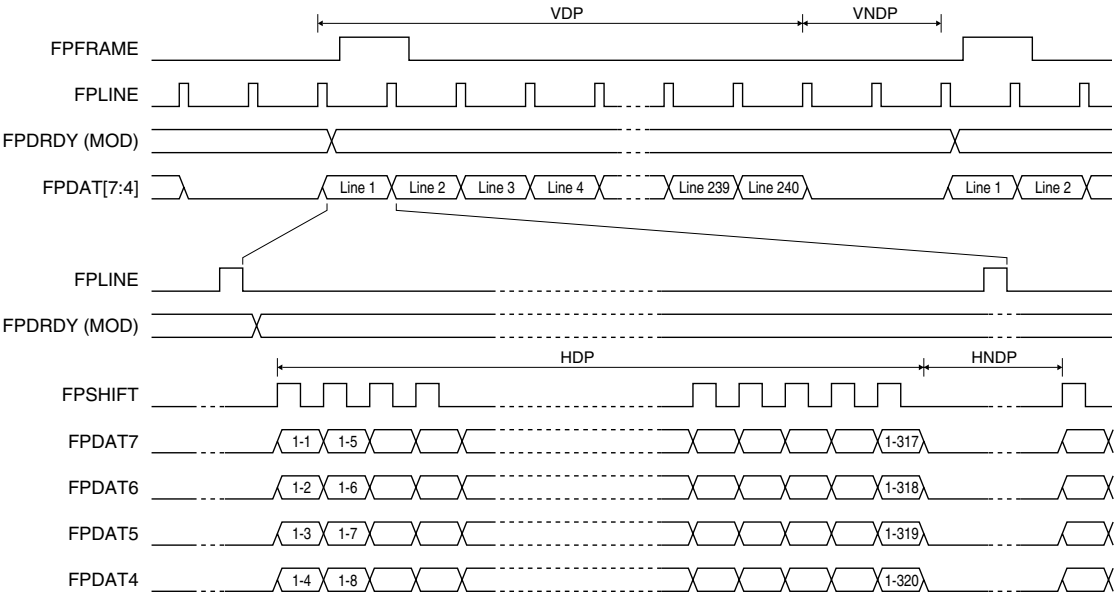
特記なき場合: LV_{DD} = 1.65~1.95V, HV_{DD} = 2.7~3.6V, V_{SS} = 0V, Ta = -40~85°C

項目	記号	Min.	Typ.	Max.	単位
データセットアップ時間	t _{WS}	—	—	25	ns
データホールド時間	t _{WH}	0	—	—	ns
ウェイト信号遅延時間	t _{WD}	—	—	25	ns
リードデータ有効時間	t _{WO}	t _{PCLK} - 8	—	—	ns
アドレス出力→データ出力遅延時間	t _{ACC}	—	—	25	ns
リード信号→データ出力遅延時間	t _{OE}	—	—	25	ns
リード信号→ハイインピーダンス	t _{OZ}	—	—	25	ns
ライトパルス幅	t _W	4 * t _{PCLK}	—	—	ns
リードパルス幅	t _R	5 * t _{PCLK}	—	—	ns

t_{PCLK}: PCLK(CMUから供給される周辺モジュールクロック)のクロックサイクル時間

32.8.6 LCDC AC特性

4ビットシングルモノクロパネルタイミング



図は320 × 240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。FPSHIFT_MSKは1に設定されているものとします。

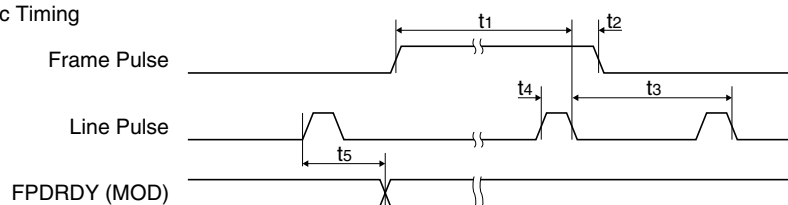
$$\text{HDP (水平表示期間)} = (\text{HDCNT}[6:0] + 1) \times 8 \text{ (Ts)}$$

$$\text{HNDP (水平非表示期間)} = (\text{HTCNT}[6:0] - \text{HDCNT}[6:0]) \times 8 \text{ (Ts)}$$

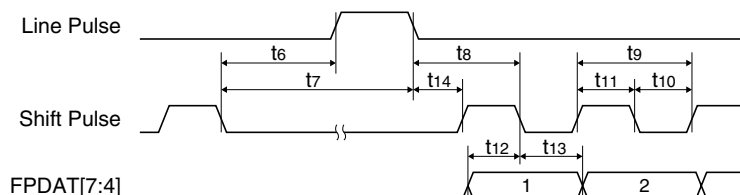
$$\text{VDP (垂直表示期間)} = \text{VDPCNT}[9:0] + 1 \text{ (ライン)}$$

$$\text{VNDP (垂直非表示期間)} = \text{VTCNT}[9:0] - \text{VDPCNT}[9:0] \text{ (ライン)}$$

Sync Timing



Data Timing



記号	項目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2	—	—	(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9	—	—	Ts
t3	ラインパルス周期	注3	—	—	—
t4	ラインパルス幅	9	—	—	Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1	—	—	Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4	—	—	—
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5	—	—	—
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14 + 2	—	—	Ts
t9	シフトパルス周期	4	—	—	Ts
t10	シフトパルスLowパルス幅	2	—	—	Ts
t11	シフトパルスHighパルス幅	2	—	—	Ts
t12	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	2	—	—	Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	2	—	—	Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23	—	—	Ts

注) 1. Ts = ピクセルクロック周期

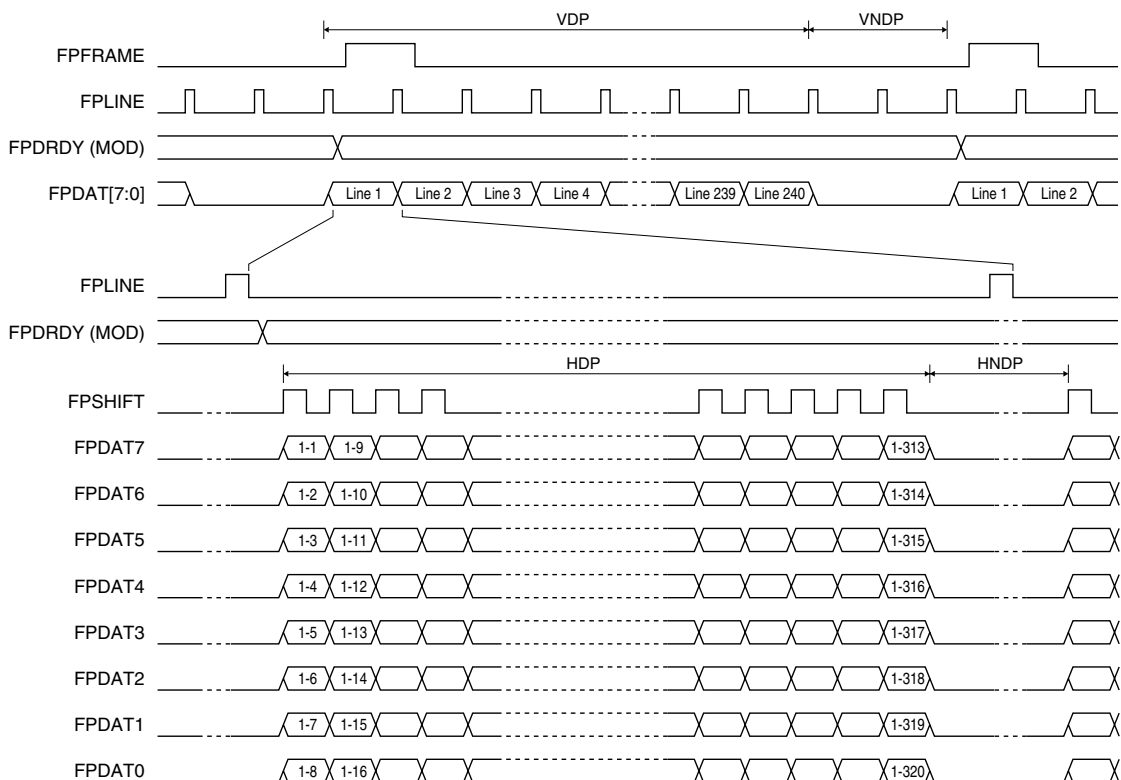
2. t1min = t3min - 9 (Ts)

3. t3min = HDP + HNDP (Ts)

4. t6min = HNDP + 2 (Ts)

5. t7min = HNDP + 11 (Ts)

8ビットシングルモノクロパネルタイミング



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。FPSHIFT_MSKは1に設定されているものとします。

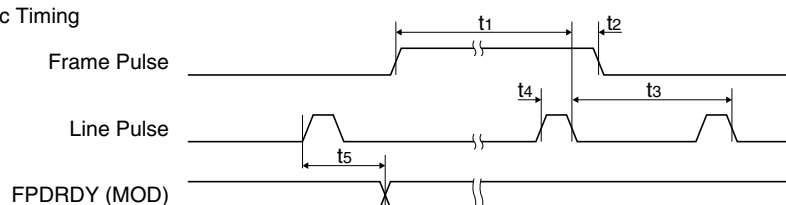
HDP (水平表示期間) = (HDPCNT[6:0] + 1) × 8 (Ts)

HNDP (水平非表示期間) = (HTCNT[6:0] - HDPCNT[6:0]) × 8 (Ts)

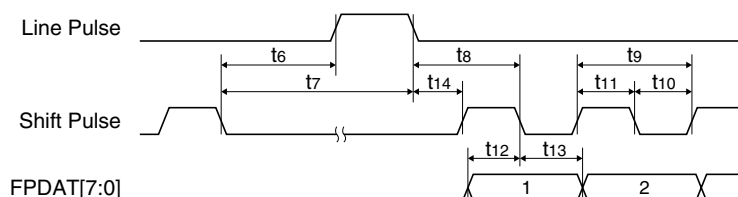
VDP (垂直表示期間) = VDPCNT[9:0] + 1 (ライン)

VNDP (垂直非表示期間) = VTCNT[9:0] - VDPCNT[9:0] (ライン)

Sync Timing



Data Timing



記号	項目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2	—	—	(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9	—	—	Ts
t3	ラインパルス周期	注3	—	—	—
t4	ラインパルス幅	9	—	—	Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1	—	—	Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4	—	—	—
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5	—	—	—
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14 + 4	—	—	Ts
t9	シフトパルス周期	8	—	—	Ts
t10	シフトパルスLowパルス幅	4	—	—	Ts
t11	シフトパルスHighパルス幅	4	—	—	Ts
t12	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	4	—	—	Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	4	—	—	Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23	—	—	Ts

注) 1. Ts = ピクセルクロック周期

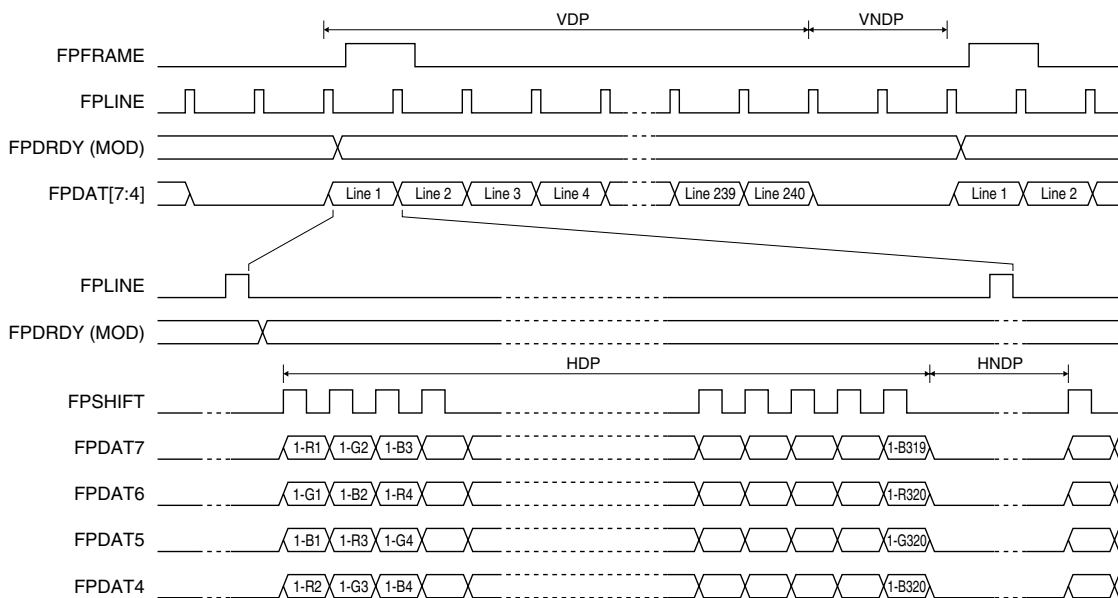
2. t1min = t3min - 9 (Ts)

3. t3min = HDP + HNDP (Ts)

4. t6min = HNDP + 4 (Ts)

5. t7min = HNDP + 13 (Ts)

4ビットシングルカラーパネルタイミング



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

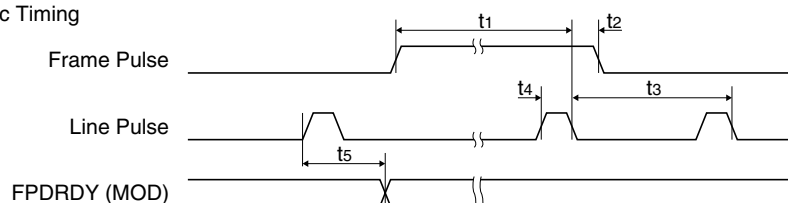
HDP (水平表示期間) = $(\text{HDPCNT}[6:0] + 1) \times 8 \text{ (Ts)}$

HNDP (水平非表示期間) = $(\text{HTCNT}[6:0] - \text{HDPCNT}[6:0]) \times 8 \text{ (Ts)}$

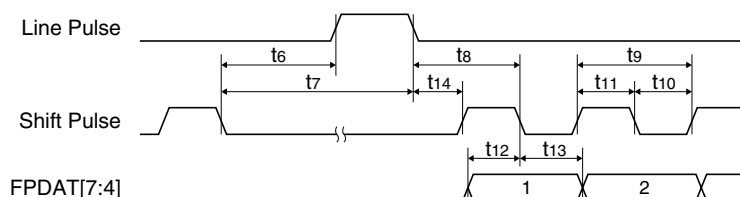
VDP (垂直表示期間) = $\text{VDPCNT}[9:0] + 1 \text{ (ライン)}$

VNDP (垂直非表示期間) = $\text{VTCNT}[9:0] - \text{VDPCNT}[9:0] \text{ (ライン)}$

Sync Timing



Data Timing



記号	項目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2	—	—	(注1)
t_2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9	—	—	Ts
t_3	ラインパルス周期	注3	—	—	—
t_4	ラインパルス幅	9	—	—	Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1	—	—	Ts
t_6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4	—	—	—
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5	—	—	—
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	$t_{14} + 0.5$	—	—	Ts
t_9	シフトパルス周期	1	—	—	Ts
t_{10}	シフトパルスLowパルス幅	0.5	—	—	Ts
t_{11}	シフトパルスHighパルス幅	0.5	—	—	Ts
t_{12}	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	0.5	—	—	Ts
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	0.5	—	—	Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23 (24)	—	—	Ts

注) 1. Ts = ピクセルクロック周期

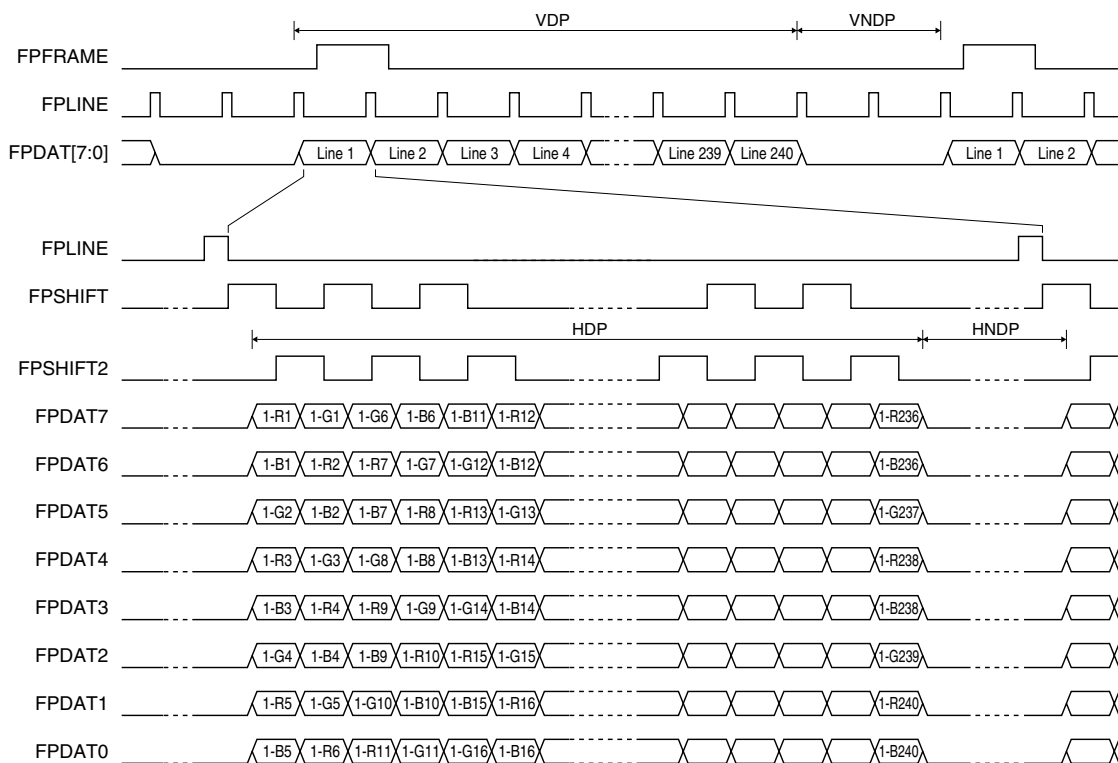
2. $t_{1min} = t_{3min} - 9 (Ts)$

3. $t_{3min} = HDP + HNDP (Ts)$

4. $t_{6min} = HNDP + 1.5 (Ts)$

5. $t_{7min} = HNDP + 10.5 (Ts)$

8ビットシングルカラーパネルタイミング(フォーマット1)



図は320 × 240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

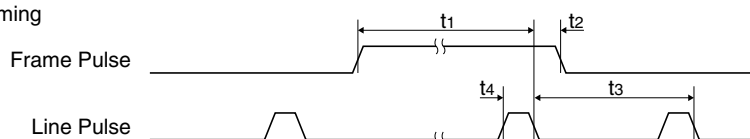
HDP (水平表示期間) = $(\text{HDPCNT}[6:0] + 1) \times 8 \text{ (Ts)}$

HNDP (水平非表示期間) = $(\text{HTCNT}[6:0] - \text{HDPCNT}[6:0]) \times 8 \text{ (Ts)}$

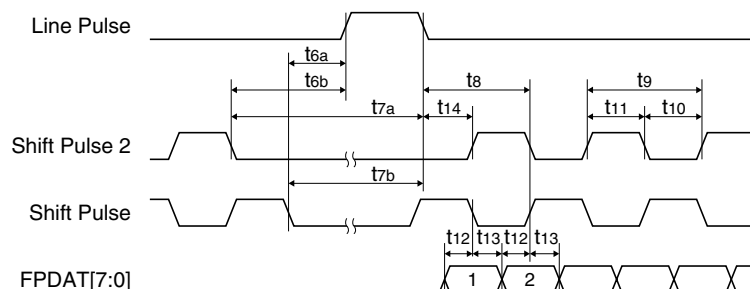
VDP (垂直表示期間) = $\text{VDPCNT}[9:0] + 1 \text{ (ライン)}$

VNDP (垂直非表示期間) = $\text{VTCNT}[9:0] - \text{VDPCNT}[9:0] \text{ (ライン)}$

Sync Timing



Data Timing



記号	項目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2	—	—	(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9	—	—	Ts
t3	ラインパルス周期	注3	—	—	—
t4	ラインパルス幅	9	—	—	Ts
t6a	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4	—	—	—
t6b	シフトパルス2立ち下がりエッジ→ラインパルス立ち上がりエッジ	注5	—	—	—
t7a	シフトパルス2立ち下がりエッジ→ラインパルス立ち下がりエッジ	注6	—	—	—
t7b	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注7	—	—	—
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ, シフトパルス2立ち下がりエッジ	t14 + 2	—	—	Ts
t9	シフトパルス2, シフトパルス周期	4	—	—	Ts
t10	シフトパルス2, シフトパルスLowパルス幅	2	—	—	Ts
t11	シフトパルス2, シフトパルスHighパルス幅	2	—	—	Ts
t12	FPDAT[7:0]セットアップ→シフトパルス2, シフトパルス立ち下がりエッジ	1	—	—	Ts
t13	シフトパルス2, シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1	—	—	Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23(25)	—	—	Ts

注) 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

3. t3min = HDP + HNDP (Ts)

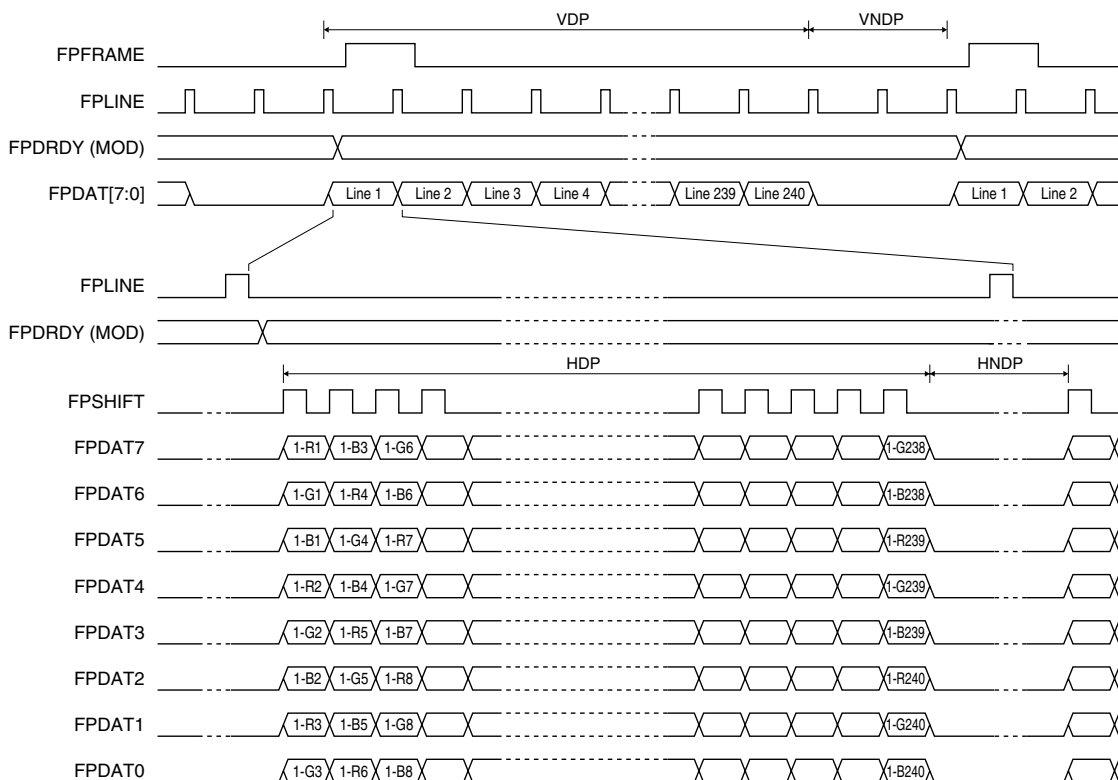
4. t6amin = HNDP + t13 - t10 + 1 (Ts)

5. t6bmin = HNDP + t13 + 1 (Ts)

6. t7amin = HNDP + 11 (Ts)

7. t7bmin = HNDP + 11 - t10 (Ts)

8ビットシングルカラーパネルタイミング(フォーマット2)



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

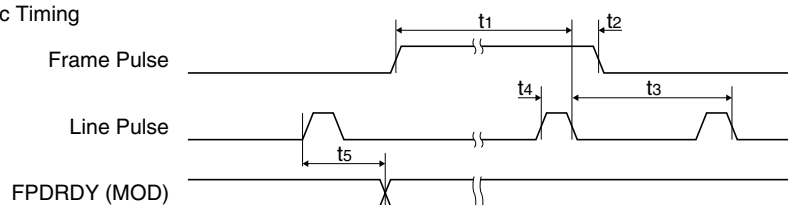
HDP (水平表示期間) = (HDPCNT[6:0] + 1) × 8 (Ts)

HNBP (水平非表示期間) = (HTCNT[6:0] - HDPCNT[6:0]) × 8 (Ts)

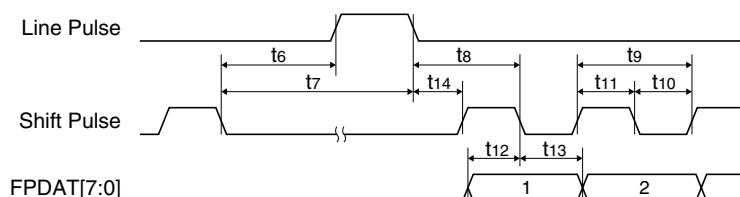
VDP (垂直表示期間) = VDPCNT[9:0] + 1 (ライン)

VNDP (垂直非表示期間) = VTCNT[9:0] - VDPCNT[9:0] (ライン)

Sync Timing



Data Timing



記号	項目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2	—	—	(注1)
t_2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9	—	—	Ts
t_3	ラインパルス周期	注3	—	—	—
t_4	ラインパルス幅	9	—	—	Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1	—	—	Ts
t_6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4	—	—	—
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5	—	—	—
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	$t_{14} + 2$	—	—	Ts
t_9	シフトパルス周期	2(3)	—	—	Ts
t_{10}	シフトパルスLowパルス幅	1	—	—	Ts
t_{11}	シフトパルスHighパルス幅	1	—	—	Ts
t_{12}	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	1	—	—	Ts
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1	—	—	Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23	—	—	Ts

注) 1. Ts = ピクセルクロック周期

2. $t_{1min} = t_{3min} - 9 (Ts)$

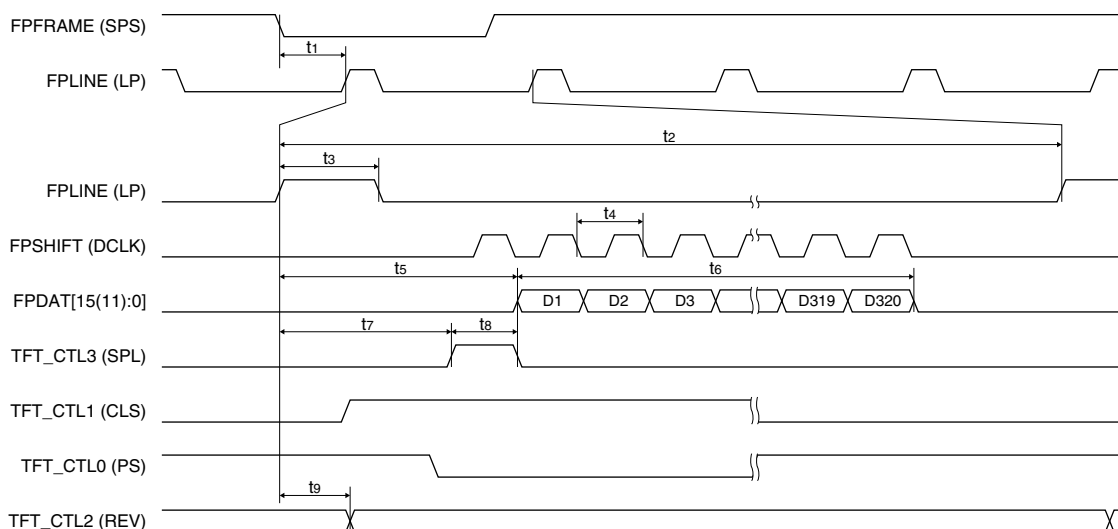
3. $t_{3min} = HDP + HNDP (Ts)$

4. $t_{6min} = HNDP + 1 (Ts)$

5. $t_{7min} = HNDP + 10 (Ts)$

TFTパネルタイミング

(1) TFTパネル水平タイミング

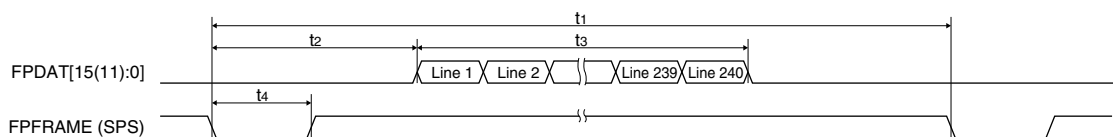


図は320×240パネルのタイミング例です。

記号	項目	Min.	Typ.	Max.	単位
t ₁	FPLINE開始位置	—	注2	—	(注1)
t ₂	水平トータル期間	400	注3	440	Ts
t ₃	FPLINEパルス幅	—	注4	—	Ts
t ₄	FPSHIFT周期	—	1	—	Ts
t ₅	水平表示開始位置	—	注5	—	Ts
t ₆	水平表示期間	—	注6	—	Ts
t ₇	FPLINE立ち上がりエッジ→TFT_CTL3立ち上がりエッジ	—	59	—	Ts
t ₈	TFT_CTL3パルス幅	—	1	—	Ts
t ₉	FPLINE立ち上がりエッジ→TFT_CTL2変化	—	11	—	Ts

- 注) 1. Ts = ピクセルクロック周期
 2. $t_{1typ} = FPLINE\_ST[9:0] + 1$ (Ts)
 3. $t_{2typ} = (HTCNT[6:0] + 1) \times 8$ (Ts)
 4. $t_{3typ} = FPLINE\_WD[6:0] + 1$ (Ts)
 5. $t_{5typ} = HDPCNT[9:0] + 1$ (Ts)
 6. $t_{6typ} = (HDPCNT[6:0] + 1) \times 8$ (Ts)

(2) TFTパネル垂直タイミング

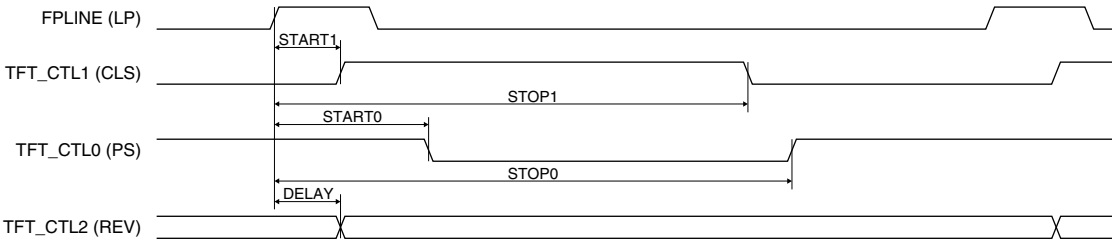


図は320×240パネルのタイミング例です。

記号	項目	Min.	Typ.	Max.	単位
t ₁	垂直トータル期間	245	注1	330	ライン
t ₂	垂直表示開始位置	—	注2	—	ライン
t ₃	垂直表示期間	—	注3	—	ライン
t ₄	垂直同期パルス幅	—	2	—	ライン

- 注) 1. $t_{1typ} = VTCNT[9:0] + 1$ (ライン)
 2. $t_{2typ} = VDPSCNT[9:0]$ (ライン)
 3. $t_{3typ} = VDPCNT[9:0] + 1$ (ライン)

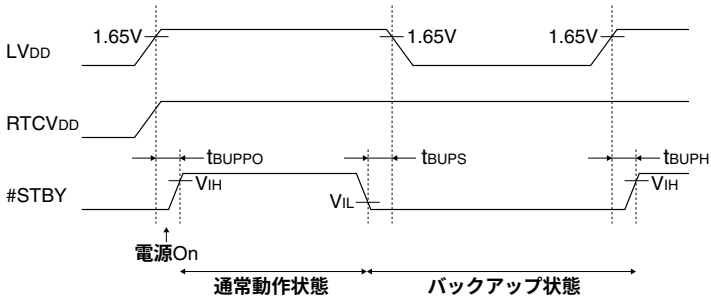
(3) TFTパネル制御信号オフセットタイミング



FPLINE_ST[9:0] = 0x0の場合

START1 = CTL1ST[7:0] (Ts)
 STOP1 = CTL1STP[7:0] + 1 (Ts)
 START0 = CTL0ST[7:0] (Ts)
 STOP0 = CTL0STP[7:0] + 1 (Ts)
 DELAY = CTL2DLY[7:0] (Ts)

32.8.7 #STBY AC特性



特記なき場合: LVDD = RTCVDD = PLLVDD = 1.65~1.95V, HVDD = AVDD = 2.7~3.6V, VSS = 0V

項目	記号	Min.	Typ.	Max.	単位
電源供給開始時#STBY遅延時間	tBUPPO	0	—	—	ns
バックアップ開始時電源遮断時間 *1	tBUPS	1	—	—	ms
バックアップ復帰時電源安定時間 *2	tBUPH	tSTA3 + trST	—	—	ms

- *1) ICをバックアップ状態にするために#STBY端子をLowに設定した後は、少なくともtBUPSの間はLVDDを1.65V以上に保持してください。
- *2) バックアップ状態を解除する場合、LVDDが1.65V以上になってから少なくともtBUPHが経過した後に#STBY端子をHighに設定してください。

32.9 USB DC & AC特性

入力レベル

特記なき場合: LVDD = 1.65~1.95V, HVDD = 3.0~3.6V, VSS = 0V, Ta = 0~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
VBUS入力電圧 *1	VBUS		4.40	—	5.25	V
高レベル(駆動時) *2	VIH		2.0	—	—	V
高レベル(フローティング状態) *2	VIHZ		2.7	—	3.6	V
低レベル *2	VIL		—	—	0.8	V
差動入力感度	VDI	DP - DM	0.2	—	—	V
差動共通モードレンジ	VCM	VDIレンジを含む	0.8	—	2.5	V

- *1) 条件についてはUSB2.0仕様書の7.2.1節参照
- *2) 条件についてはUSB2.0仕様書の7.1.4節参照

出力レベル

特記なき場合: LVDD = 1.65~1.95V, HVDD = 3.0~3.6V, VSS = 0V, Ta = 0~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
低レベル *3	VOL		0	—	0.3	V
高レベル(駆動時) *3	VOH		2.8	—	3.6	V
出力信号クロスオーバー電圧 *4	VCRS		1.3	—	2.0	V

*3) 条件についてはUSB2.0仕様書の7.1.1節参照

*4) 条件についてはUSB2.0仕様書の図7-8および図7-9参照

終端

特記なき場合: LVDD = 1.65~1.95V, HVDD = 3.0~3.6V, VSS = 0V, Ta = 0~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
アップストリームポート側 バスプルアップ抵抗(バスアイドル時) *5	RPU1		0.9	—	1.575	kΩ
アップストリームポート側 バスプルアップ抵抗(受信時) *5	VPUA		1.425	—	3.090	kΩ

*5) 条件についてはUSB2.0仕様書のECN参照

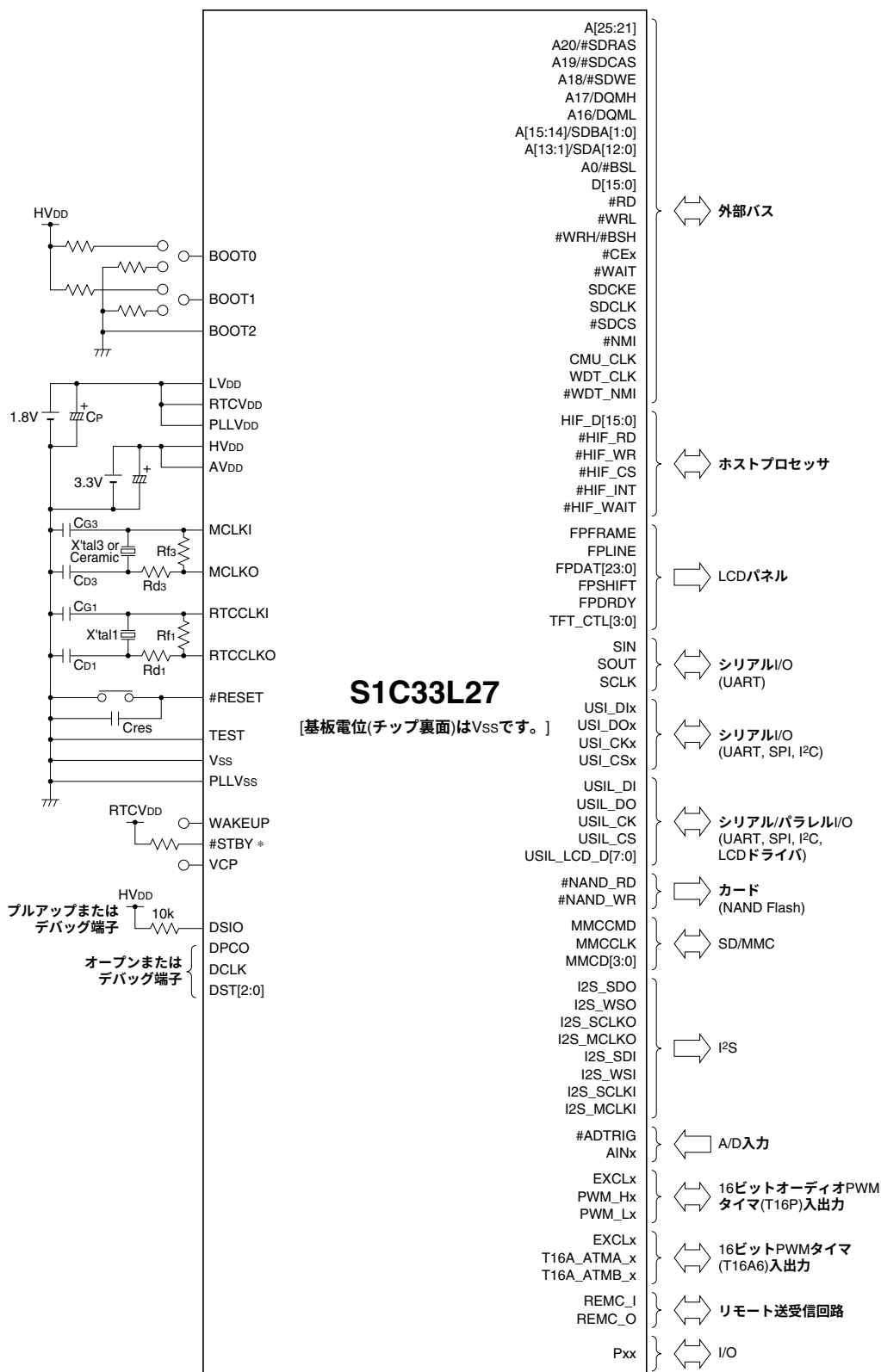
ドライバ特性

特記なき場合: LVDD = 1.65~1.95V, HVDD = 3.0~3.6V, VSS = 0V, Ta = 0~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
立ち上がり時間 *6	TFR		4	—	20	ns
立ち下がり時間 *6	TFF		4	—	20	ns
差動立ち上がり/立ち下がり整合	TFRFM	TFR/TFF	90	—	111.11	%
ドライバ出力抵抗	ZDRV		28	—	44	Ω
VBUS入力インピーダンス	ZVBUS	R1 + R2	125	—	—	kΩ
VBUS抵抗分割比		R1 : R2	1 : 2(定格)			—

*6) 条件についてはUSB2.0仕様書の図7-8および図7-9参照

33 基本外部結線図



外付部品推奨値

OSC1発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件
					C _{D1} [pF]	C _{G1} [pF]	R _{f1} [Ω]	R _{d1} [Ω]	温度範囲 [°C]
X'tal1	水晶振動子	エプソントヨコム 株式会社	32.768k	*1	—	—	—	—	—
	(参考値)		32.768k	—	10	10	10M	0	-40～85

*1 推奨メーカーにお問い合わせください。

OSC3発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数 *2				推奨動作条件
					C _{D3} [pF]	C _{G3} [pF]	R _{f3} [Ω]	R _{d3} [Ω]	温度範囲 [°C]
X'tal3	水晶振動子	エプソントヨコム 株式会社	1M～48M	*1	—	—	—	—	—
	(参考値)		1M～48M	—	15	15	1M	0	-40～85
Ceramic	セラミック 発振子	株式会社 村田製作所	1M	CSBFB1M00J58-R1 [SMD]	330	330	1M	680	-20～80
			1M	CSBLA1M00J58-B0 [leaded]	330	330	1M	680	-20～80
			4M	CSTCR4M00G55-R0 [leaded]	(39)	(39)	1M	470	-20～80
			4M	CSTLS4M00G56-B0 [leaded]	(47)	(47)	1M	330	-20～80
			10M	CSTCE10M0G55-R0 [SMD]	(33)	(33)	1M	220	-20～80
			10M	CSTLS10M0G56-B0 [leaded]	(47)	(47)	1M	220	-20～80
			20M	CSTCE20M0V53-R0 [SMD]	(15)	(15)	1M	0	-20～80
			20M	CSTCG20M0V53-R0 [small SMD]	(15)	(15)	1M	0	-20～80
			40M	CSTCW40M0X51-R0 [SMD]	(6)	(6)	1M	0	-20～80
			48M	CSTCZ48MOX12R**-R [SMD]	(10)	(10)	1M	0	-30～85

*1 推奨メーカーにお問い合わせください。

*2 () 内のC_{D3}値、C_{G3}値は振動子の内蔵容量です。

その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3μF
Cres	#RESET端子キャパシタ	0.47μF

注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

- 水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
Miscレジスタ (MISC) (8-bit device)	0x300010	MISC_RTCWT	RTC Wait Control Register	RTCアクセスサイクルの設定
	0x300012	MISC_USB	USB Configuration Register	USB割り込み許可とアクセスサイクルの設定
	0x300014	MISC_RAMWT	Internal RAM Wait Control Register	内蔵RAMアクセスサイクルの設定
	0x300016	MISC_BOOT	Boot Register	ブート条件の表示/設定
	0x300018	MISC_TRACE	Debug Trace Enable Register	PCトレースデバッグの許可
	0x300020	MISC_PROT0	Misc Protect Register 0	Miscレジスタ書き込み保護の設定/解除
	0x300022	MISC_PROT1	Misc Protect Register 1	
クロック マネージメント ユニット (CMU) (8-bit device)	0x300024	MISC_RAMCFG	RAM Configuration Register	RAMの再配置
	0x300100	CMU_OSCSEL	Clock Source Select Register	システムクロックソースの選択
	0x300101	CMU_OSCCTL	Oscillation Control Register	発振制御
	0x300103	CMU_LCLKDIV	LCDC Clock Division Ratio Select Register	LCDC_CLK周波数の設定
	0x300105	CMU_SYSCLOCKDIV	System Clock Division Ratio Select Register	システムクロック周波数の設定
	0x300106	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力クロックの選択
	0x300107	CMU_PLLINDIV	PLL Input Clock Division Ratio Select Register	PLLの入力クロック周波数の設定
	0x300108	CMU_PLLCTL0	PLL Control Register 0	PLL通信率の設定、PLLイネーブル
	0x300109	CMU_PLLCTL1	PLL Control Register 1	PLLパラメータの設定
	0x30010a	CMU_PLLCTL2	PLL Control Register 2	
	0x30010c	CMU_SSCG0	SSCG Macro Control Register 0	SSCGイネーブル
	0x30010d	CMU_SSCG1	SSCG Macro Control Register 1	SSCGパラメータの設定
	0x300110	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ書き込み保護の設定/解除
	0x300114	CMU_CLKCTL0	Clock Control Register 0	周辺/バスモジュールへのクロック供給制御
	0x300115	CMU_CLKCTL1	Clock Control Register 1	
	0x300116	CMU_CLKCTL2	Clock Control Register 2	
	0x300117	CMU_CLKCTL3	Clock Control Register 3	
	0x300118	CMU_CLKCTL4	Clock Control Register 4	
割り込み コントローラ (ITC) (8-bit device)	0x300210	ITC_PINT0_LV	Port Input 0 Interrupt Level Register	ポート入力0割り込みレベルの設定
	0x300211	ITC_PINT1_LV	Port Input 1 Interrupt Level Register	ポート入力1割り込みレベルの設定
	0x300212	ITC_KINT0_LV	Key Input 0 Interrupt Level Register	キー入力0割り込みレベルの設定
	0x300213	ITC_KINT1_LV	Key Input 1 Interrupt Level Register	キー入力1割り込みレベルの設定
	0x300214	ITC_DMA02_LV	DMAC Ch.0/2 Interrupt Level Register	DMAC Ch.0/2割り込みレベルの設定
	0x300215	ITC_DMA13_LV	DMAC Ch.1/3 Interrupt Level Register	DMAC Ch.1/3割り込みレベルの設定
	0x300216	ITC_DMA46_LV	DMAC Ch.4/6 Interrupt Level Register	DMAC Ch.4/6割り込みレベルの設定
	0x300217	ITC_DMA57_LV	DMAC Ch.5/7 Interrupt Level Register	DMAC Ch.5/7割り込みレベルの設定
	0x300218	ITC_T16P0_LV	T16P Ch.0 Interrupt Level Register	T16P Ch.0割り込みレベルの設定
	0x300219	ITC_T16P1_LV	T16P Ch.1 Interrupt Level Register	T16P Ch.1割り込みレベルの設定
	0x30021a	ITC_T16A0_LV	T16A6 Ch.0 Interrupt Level Register	T16A6 Ch.0割り込みレベルの設定
	0x30021b	ITC_T16A1_LV	T16A6 Ch.1 Interrupt Level Register	T16A6 Ch.1割り込みレベルの設定
	0x30021c	ITC_T16A2_LV	T16A6 Ch.2 Interrupt Level Register	T16A6 Ch.2割り込みレベルの設定
	0x30021d	ITC_T16A3_LV	T16A6 Ch.3 Interrupt Level Register	T16A6 Ch.3割り込みレベルの設定
	0x30021e	ITC_T8F024_LV	T8F Ch.0/2/4 Interrupt Level Register	T8F Ch.0/2/4割り込みレベルの設定
	0x30021f	ITC_T8F135_LV	T8F Ch.1/3/5 Interrupt Level Register	T8F Ch.1/3/5割り込みレベルの設定
	0x300220	ITC_ADC10_LV	ADC10 Interrupt Level Register	ADC10割り込みレベルの設定
	0x300221	ITC_RTC_LV	RTC Interrupt Level Register	RTC割り込みレベルの設定
	0x300222	ITC_USI0_LV	USI Ch.0/UART Interrupt Level Register	USI Ch.0/UART割り込みレベルの設定
	0x300223	ITC_USI1_LV	USI Ch.1 Interrupt Level Register	USI Ch.1割り込みレベルの設定
	0x300224	ITC_USI2_LV	USI Ch.2 Interrupt Level Register	USI Ch.2割り込みレベルの設定
	0x300225	ITC_USIL_LV	USIL Interrupt Level Register	USIL割り込みレベルの設定
	0x300226	ITC_LCDC_LV	LCDC Interrupt Level Register	LCDC割り込みレベルの設定
	0x300227	ITC_SDMMC_LV	SD_MMC Interrupt Level Register	SD_MMC割り込みレベルの設定
	0x300228	ITC_REMC_LV	REMC Interrupt Level Register	REMC割り込みレベルの設定
	0x300229	ITC_I2SOUT_LV	I ² S Output Interrupt Level Register	I ² S出力チャンネル割り込みレベルの設定
	0x30022a	ITC_I2SIN_LV	I ² S Input Interrupt Level Register	I ² S入力チャンネル割り込みレベルの設定
	0x30022b	ITC_HIF_LV	HIF Interrupt Level Register	HIF割り込みレベルの設定
	0x30022c	ITC_USB_LV	USB Interrupt Level Register	USB割り込みレベルの設定
GPIO/ポート MUX (GPIO/PMUX) (8-bit device)	0x300300	GPIO_P0_DAT	P0 Port Data Register	P0ポート入出力データ
	0x300301	GPIO_P0_IOC	P0 Port I/O Control Register	P0ポートの入出力方向制御
	0x300302	GPIO_P1_DAT	P1 Port Data Register	P1ポート入出力データ
	0x300303	GPIO_P1_IOC	P1 Port I/O Control Register	P1ポートの入出力方向制御
	0x300304	GPIO_P2_DAT	P2 Port Data Register	P2ポート入出力データ
	0x300305	GPIO_P2_IOC	P2 Port I/O Control Register	P2ポートの入出力方向制御
	0x300306	GPIO_P3_DAT	P3 Port Data Register	P3ポート入出力データ
	0x300307	GPIO_P3_IOC	P3 Port I/O Control Register	P3ポートの入出力方向制御
	0x300308	GPIO_P4_DAT	P4 Port Data Register	P4ポート入出力データ

周辺回路	アドレス	レジスタ名	機能
GPIO/ポート MUX (GPIO/PMUX) (8-bit device)	0x300309	GPIO_P4_IOC	P4ポートの入出力方向制御
	0x30030a	GPIO_P5_DAT	P5ポート入出力データ
	0x30030b	GPIO_P5_IOC	P5ポートの入出力方向制御
	0x30030c	GPIO_P6_DAT	P6ポート入出力データ
	0x30030d	GPIO_P6_IOC	P6ポートの入出力方向制御
	0x30030e	GPIO_P7_DAT	P7ポート入出力データ
	0x300310	GPIO_P8_DAT	P8ポート入出力データ
	0x300311	GPIO_P8_IOC	P8ポートの入出力方向制御
	0x300312	GPIO_P9_DAT	P9ポート入出力データ
	0x300313	GPIO_P9_IOC	P9ポートの入出力方向制御
	0x300314	GPIO_PA_DAT	PAポート入出力データ
	0x300315	GPIO_PA_IOC	PAポートの入出力方向制御
	0x300316	GPIO_PB_DAT	PBポート入出力データ
	0x300317	GPIO_PB_IOC	PBポートの入出力方向制御
	0x300318	GPIO_PC_DAT	PCポート入出力データ
	0x300319	GPIO_PC_IOC	PCポートの入出力方向制御
	0x30031a	GPIO_PD_DAT	PDポート入出力データ
	0x30031b	GPIO_PD_IOC	PDポートの入出力方向制御
	0x30031c	GPIO_PE_DAT	PEポート入出力データ
	0x30031d	GPIO_PE_IOC	PEポートの入出力方向制御
	0x30031e	GPIO_PF_DAT	PFポート入出力データ
	0x30031f	GPIO_PF_IOC	PFポートの入出力方向制御
	0x300340	GPIO_FPT01_SEL	FPT0-1 Interrupt Port Select Register
	0x300341	GPIO_FPT23_SEL	FPT2-3 Interrupt Port Select Register
	0x300342	GPIO_FPT45_SEL	FPT4-5 Interrupt Port Select Register
	0x300343	GPIO_FPT67_SEL	FPT6-7 Interrupt Port Select Register
	0x300344	GPIO_FPT03_POL	FPT0-3 Interrupt Polarity Select Register
	0x300345	GPIO_FPT47_POL	FPT4-7 Interrupt Polarity Select Register
	0x300346	GPIO_FPT03_MOD	FPT0-3 Interrupt Mode Select Register
	0x300347	GPIO_FPT47_MOD	FPT4-7 Interrupt Mode Select Register
	0x300348	GPIO_FPT03_MSK	FPT0-3 Interrupt Mask Register
	0x300349	GPIO_FPT47_MSK	FPT4-7 Interrupt Mask Register
	0x30034a	GPIO_FPT03_FLG	FPT0-3 Interrupt Flag Register
	0x30034b	GPIO_FPT47_FLG	FPT4-7 Interrupt Flag Register
	0x30034c	GPIO_FPT01_CHAT	FPT0-1 Interrupt Chattering Filter Control Register
	0x30034d	GPIO_FPT23_CHAT	FPT2-3 Interrupt Chattering Filter Control Register
	0x30034e	GPIO_FPT45_CHAT	FPT4-5 Interrupt Chattering Filter Control Register
	0x30034f	GPIO_FPT67_CHAT	FPT6-7 Interrupt Chattering Filter Control Register
	0x300350	GPIO_DMA	Port DMA Trigger Source Select Register
	0x300360	GPIO_FPK0_07_SEL	FPK000-007 Interrupt Select Register
	0x300361	GPIO_FPK0_8F_SEL	FPK008-015 Interrupt Select Register
	0x300362	GPIO_FPK1_07_SEL	FPK100-107 Interrupt Select Register
	0x300363	GPIO_FPK1_8F_SEL	FPK108-115 Interrupt Select Register
	0x300370	GPIO_FPK01_POL	FPK0-1 Interrupt Polarity Select Register
	0x300371	GPIO_FPK01_MOD	FPK0-1 Interrupt Mode Select Register
	0x300372	GPIO_FPK01_MSK	FPK0-1 Interrupt Mask Register
	0x300373	GPIO_FPK01_FLG	FPK0-1 Interrupt Flag Register
	0x300374	GPIO_FPK01_CHAT	FPK0-1 Interrupt Chattering Filter Control Register
	0x300800	PMUX_P0_03	P0[3:0] Port Function Select Register
	0x300801	PMUX_P0_47	P0[7:4] Port Function Select Register
	0x300802	PMUX_P1_03	P1[3:0] Port Function Select Register
	0x300803	PMUX_P1_47	P1[7:4] Port Function Select Register
	0x300804	PMUX_P2_01	P2[1:0] Port Function Select Register
	0x300806	PMUX_P3_03	P3[3:0] Port Function Select Register
	0x300807	PMUX_P3_46	P3[6:4] Port Function Select Register
	0x300808	PMUX_P4_02	P4[2:0] Port Function Select Register
	0x30080a	PMUX_P5_03	P5[3:0] Port Function Select Register
	0x30080b	PMUX_P5_46	P5[6:4] Port Function Select Register
	0x30080c	PMUX_P6_0	P60 Port Function Select Register
	0x30080e	PMUX_P7_03	P7[3:0] Port Function Select Register

周辺回路	アドレス	レジスタ名		機 能
GPIO/ポート MUX (GPIO/PMUX) (8-bit device)	0x30080f	PMUX_P7_47	P7[7:4] Port Function Select Register	P7[7:4]ポート機能の選択
	0x300810	PMUX_P8_03	P8[3:0] Port Function Select Register	P8[3:0]ポート機能の選択
	0x300812	PMUX_P9_03	P9[3:0] Port Function Select Register	P9[3:0]ポート機能の選択
	0x300813	PMUX_P9_47	P9[7:4] Port Function Select Register	P9[7:4]ポート機能の選択
	0x300814	PMUX_PA_03	PA[3:0] Port Function Select Register	PA[3:0]ポート機能の選択
	0x300815	PMUX_PA_47	PA[7:4] Port Function Select Register	PA[7:4]ポート機能の選択
	0x300816	PMUX_PB_03	PB[3:0] Port Function Select Register	PB[3:0]ポート機能の選択
	0x300817	PMUX_PB_47	PB[7:4] Port Function Select Register	PB[7:4]ポート機能の選択
	0x300818	PMUX_PC_03	PC[3:0] Port Function Select Register	PC[3:0]ポート機能の選択
	0x300819	PMUX_PC_47	PC[7:4] Port Function Select Register	PC[7:4]ポート機能の選択
	0x30081a	PMUX_PD_03	PD[3:0] Port Function Select Register	PD[3:0]ポート機能の選択
	0x30081b	PMUX_PD_47	PD[7:4] Port Function Select Register	PD[7:4]ポート機能の選択
	0x30081c	PMUX_PE_03	PE[3:0] Port Function Select Register	PE[3:0]ポート機能の選択
	0x30081d	PMUX_PE_45	PE[5:4] Port Function Select Register	PE[5:4]ポート機能の選択
	0x30081e	PMUX_PF_03	PF[3:0] Port Function Select Register	PF[3:0]ポート機能の選択
	0x30081f	PMUX_PF_4	PF4 Port Function Select Register	PF4機能の選択
	0x300820	GPIO_P0_PUP	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x300821	GPIO_P1_PUP	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x300822	GPIO_P2_PUP	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x300823	GPIO_P3_PUP	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x300824	GPIO_P4_PUP	P4 Port Pull-up Control Register	P4ポートのプルアップ制御
	0x300825	GPIO_P5_PUP	P5 Port Pull-up Control Register	P5ポートのプルアップ制御
	0x300826	GPIO_P6_PUP	P6 Port Pull-up Control Register	P6ポートのプルアップ制御
	0x300827	GPIO_P7_PUP	P7 Port Pull-up Control Register	P7ポートのプルアップ制御
	0x300828	GPIO_P8_PUP	P8 Port Pull-up Control Register	P8ポートのプルアップ制御
	0x300829	GPIO_P9_PUP	P9 Port Pull-up Control Register	P9ポートのプルアップ制御
	0x30082a	GPIO_PA_PUP	PA Port Pull-up Control Register	PAポートのプルアップ制御
	0x30082b	GPIO_PB_PUP	PB Port Pull-up Control Register	PBポートのプルアップ制御
	0x30082d	GPIO_PD_PUP	PD Port Pull-up Control Register	PDポートのプルアップ制御
	0x30082e	GPIO_PE_PUP	PE Port Pull-up Control Register	PEポートのプルアップ制御
	0x30082f	GPIO_PF_PUP	PF Port Pull-up Control Register	PFポートのプルアップ制御
	0x300830	GPIO_BUS_DRV	Bus Drive Control Register	外部データバス/アドレスバス信号のLow駆動制御
	0x30083e	GPIO_FILTER	Port Noise Filter Control Register	ポート入力ノイズフィルタの制御
	0x30083f	GPIO_PROTECT	GPIO/PMUX Write Protect Register	PMUX、GPIO_BUS_DRV、GPIO_FILTER、GPIO_Px_PUPレジスタ書き込み保護の設定/解除
USI Ch.0 (8-bit device)	0x300400	USI_GCFG0	USI Ch.0 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
	0x300401	USI_TD0	USI Ch.0 Transmit Data Buffer Register	送信データバッファ
	0x300402	USI_RD0	USI Ch.0 Receive Data Buffer Register	受信データバッファ
	0x300440	USI_UCFG0	USI Ch.0 UART Mode Configuration Register	UART転送条件の設定
	0x300441	USI_UIE0	USI Ch.0 UART Mode Interrupt Enable Register	割り込みの許可
	0x300442	USI_UIF0	USI Ch.0 UART Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300450	USI_SCFG0	USI Ch.0 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
	0x300451	USI_SIE0	USI Ch.0 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
	0x300452	USI_SIF0	USI Ch.0 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300460	USI_IMTG0	USI Ch.0 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
	0x300461	USI_IMIE0	USI Ch.0 I ² C Master Mode Interrupt Enable Register	割り込みの許可
	0x300462	USI_IMIF0	USI Ch.0 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300470	USI_ISTG0	USI Ch.0 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
	0x300471	USI_ISIE0	USI Ch.0 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
	0x300472	USI_ISIF0	USI Ch.0 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
USI Ch.1 (8-bit device)	0x300500	USI_GCFG1	USI Ch.1 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
	0x300501	USI_TD1	USI Ch.1 Transmit Data Buffer Register	送信データバッファ
	0x300502	USI_RD1	USI Ch.1 Receive Data Buffer Register	受信データバッファ
	0x300540	USI_UCFG1	USI Ch.1 UART Mode Configuration Register	UART転送条件の設定
	0x300541	USI_UIE1	USI Ch.1 UART Mode Interrupt Enable Register	割り込みの許可
	0x300542	USI_UIF1	USI Ch.1 UART Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300550	USI_SCFG1	USI Ch.1 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
	0x300551	USI_SIE1	USI Ch.1 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
	0x300552	USI_SIF1	USI Ch.1 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
USI Ch.1 (8-bit device)	0x300560	USI_IMTG1	USI Ch.1 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
	0x300561	USI_IMIE1	USI Ch.1 I ² C Master Mode Interrupt Enable Register	割り込みの許可
	0x300562	USI_IMIF1	USI Ch.1 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300570	USI_ISTG1	USI Ch.1 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
	0x300571	USI_ISIE1	USI Ch.1 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
	0x300572	USI_ISIF1	USI Ch.1 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
USIL (8-bit device)	0x300600	USIL_GCFG	USIL Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
	0x300601	USIL_TD	USIL Transmit Data Buffer Register	送信データバッファ
	0x300602	USIL_RD	USIL Receive Data Buffer Register	受信データバッファ
	0x300640	USIL_UCFG	USIL UART Mode Configuration Register	UART転送条件の設定
	0x300641	USIL_UIE	USIL UART Mode Interrupt Enable Register	UART割り込みの許可
	0x300642	USIL_UIF	USIL UART Mode Interrupt Flag Register	UART割り込み発生状態の表示
	0x300650	USIL_SCFG	USIL SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
	0x300651	USIL_SIE	USIL SPI Master/Slave Mode Interrupt Enable Register	SPI割り込みの許可
	0x300652	USIL_SIF	USIL SPI Master/Slave Mode Interrupt Flag Register	SPI割り込み発生状態の表示
	0x300660	USIL_IMTG	USIL I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
	0x300661	USIL_IMIE	USIL I ² C Master Mode Interrupt Enable Register	I ² Cマスタ割り込みの許可
	0x300662	USIL_IMIF	USIL I ² C Master Mode Interrupt Flag Register	I ² Cマスタ割り込み発生状態の表示
	0x300670	USIL_ISTG	USIL I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
	0x300671	USIL_ISIE	USIL I ² C Slave Mode Interrupt Enable Register	I ² Cスレーブ割り込みの許可
	0x300672	USIL_ISIF	USIL I ² C Slave Mode Interrupt Flag Register	I ² Cスレーブ割り込み発生状態の表示
	0x300680	USIL_LSCFG	USIL LCD SPI Mode Configuration Register	LCD SPI転送条件の設定
	0x300681	USIL_LSIE	USIL LCD SPI Mode Interrupt Enable Register	LCD SPI割り込みの許可
	0x300682	USIL_LSIF	USIL LCD SPI Mode Interrupt Flag Register	LCD SPI割り込み発生状態の表示
	0x30068f	USIL_LSDCFG	USIL LCD SPI Mode Data Configuration Register	表示データ形式の設定
	0x300690	USIL_LPCFG	USIL LCD Parallel I/F Mode Configuration Register	LCDパラレルインタフェースの設定
	0x300691	USIL_LPIE	USIL LCD Parallel I/F Mode Interrupt Enable Register	LCDパラレルインタフェース割り込みの許可
	0x300692	USIL_LPIF	USIL LCD Parallel I/F Mode Interrupt Flag Register	LCDパラレルインタフェース割り込み発生状態の表示
	0x30069f	USIL_LPAC	USIL LCD Parallel I/F Mode Access Timing Register	LCDパラレルインタフェースアクセスタイミングパラメータの設定
USI Ch.2 (8-bit device)	0x300700	USI_GCFG2	USI Ch.2 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
	0x300701	USI_TD2	USI Ch.2 Transmit Data Buffer Register	送信データバッファ
	0x300702	USI_RD2	USI Ch.2 Receive Data Buffer Register	受信データバッファ
	0x300740	USI_UCFG2	USI Ch.2 UART Mode Configuration Register	UART転送条件の設定
	0x300741	USI_UIE2	USI Ch.2 UART Mode Interrupt Enable Register	割り込みの許可
	0x300742	USI_UIF2	USI Ch.2 UART Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300750	USI_SCFG2	USI Ch.2 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
	0x300751	USI_SIE2	USI Ch.2 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
	0x300752	USI_SIF2	USI Ch.2 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300760	USI_IMTG2	USI Ch.2 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
	0x300761	USI_IMIE2	USI Ch.2 I ² C Master Mode Interrupt Enable Register	割り込みの許可
	0x300762	USI_IMIF2	USI Ch.2 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
	0x300770	USI_ISTG2	USI Ch.2 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
	0x300771	USI_ISIE2	USI Ch.2 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
	0x300772	USI_ISIF2	USI Ch.2 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
ホストインタフェース (HIF) (8/16-bit device)	Host 0x0	HIF_DRIF_B	HIF Direct Interface Byte Data Register	バイトデータダイレクトリード/ライトレジスタ
	Host 0x1	HIF_DRIF_HW	HIF Direct Interface Half Word Data Register	ハーフワードデータダイレクトリード/ライトレジスタ
	Host 0x2	HIF_DRIF_W	HIF Direct Interface Word Data Register	ワードデータダイレクトリード/ライトレジスタ
	Host 0x3	HIF_IDIF_DAT	HIF Indirect Interface Data Register	データインダイレクトリード/ライトレジスタ
	Host 0x4	HIF_IDIF_CTRL	HIF Indirect Interface Control Register	データインダイレクトリード/ライトの制御
	Host 0x6	HIF_CTRL	HIF Control Register	アクセス条件の設定
	Host 0x8	HIF_ADDR0	HIF Address Register 0	アドレスビットA[7:0](8ビットI/F)またはA[15:0](16ビットI/F)
	Host 0x9	HIF_ADDR1	HIF Address Register 1	アドレスビットA[15:8](8ビットI/F)またはA[31:16](16ビットI/F)

周辺回路	アドレス	レジスタ名		機 能
ホストインタフェース (HIF) (8/16-bit device)	Host 0xa	HIF_ADDR2	HIF Address Register 2	アドレスビットA[23:16](8ビットI/F)
	Host 0xb	HIF_ADDR3	HIF Address Register 3	アドレスビットA[31:24](8ビットI/F)
	Host 0xc	HIF_SP_IDX	HIF Special Register Index Register	スペシャルレジスタの指定
	Host 0xd	HIF_SP_DAT	HIF Special Register Data Register	スペシャルレジスタデータ
ホストインタフェース (HIF) (8-bit device)	0xd[0x1] /0x300901	HIF_EXTCTRL1	HIF Extended Control Register 1	割り込みモードの設定
	0xd[0x8] /0x300908	HIF_SMPH0	HIF Semaphore Register 0	セマフォ 0
	0xd[0x9] /0x300909	HIF_SMPH1	HIF Semaphore Register 1	セマフォ 1
	0xd[0xa] /0x30090a	HIF_SMPH2	HIF Semaphore Register 2	セマフォ 2
	0xd[0xb] /0x30090b	HIF_SMPH3	HIF Semaphore Register 3	セマフォ 3
	0xd[0xc] /0x30090c	HIF_SMPH4	HIF Semaphore Register 4	セマフォ 4
	0xd[0xd] /0x30090d	HIF_SMPH5	HIF Semaphore Register 5	セマフォ 5
	0xd[0xe] /0x30090e	HIF_SMPH6	HIF Semaphore Register 6	セマフォ 6
	0xd[0xf] /0x30090f	HIF_SMPH7	HIF Semaphore Register 7	セマフォ 7
	0xd[0x10] /0x300910	HIF_SCRATCH0	HIF Scratchpad Register 0	スクラッチパッドレジスタ0
	0xd[0x11] /0x300911	HIF_SCRATCH1	HIF Scratchpad Register 1	スクラッチパッドレジスタ1
	0xd[0x12] /0x300912	HIF_SCRATCH2	HIF Scratchpad Register 2	スクラッチパッドレジスタ2
	0xd[0x13] /0x300913	HIF_SCRATCH3	HIF Scratchpad Register 3	スクラッチパッドレジスタ3
	Host 0xe /0x300918	HIF_FLAG0	HIF Flag Register 0	スレープフラグ
	Host 0xf /0x300919	HIF_FLAG1	HIF Flag Register 1	ホストフラグ
リアルタイム クロック (RTC) (8-bit device)	0x300a00	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
	0x300a01	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
	0x300a02	RTC_CNTL0	RTC Control 0 Register	RTCの制御
	0x300a03	RTC_CNTL1	RTC Control 1 Register	
	0x300a04	RTC_SEC	RTC Second Register	秒カウンタデータ
	0x300a05	RTC_MIN	RTC Minute Register	分カウンタデータ
	0x300a06	RTC_HOUR	RTC Hour Register	時カウンタデータ
	0x300a07	RTC_DAY	RTC Day Register	日カウンタデータ
	0x300a08	RTC_MONTH	RTC Month Register	月カウンタデータ
	0x300a09	RTC_YEAR	RTC Year Register	年カウンタデータ
	0x300a0a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
	0x300a0f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定
BBRAM (8-bit device)	0x300b00	BBRAM_0	BBRAM byte 0	BBRAM
	0x300b0f	BBRAM_15	BBRAM byte 15	
USB ファンクション コントローラ (USB) (8-bit device)	0x300c00	MainIntStat	Main Interrupt Status Register	メイン割り込みステータス
	0x300c01	SIE_IntStat	SIE Interrupt Status Register	SIE割り込みステータス
	0x300c02	EPIntStat	EP Interrupt Status Register	EP割り込みステータス
	0x300c03	DMA_IntStat	DMA Interrupt Status Register	DMA割り込みステータス
	0x300c04	FIFO_IntStat	FIFO Interrupt Status Register	FIFO割り込みステータス
	0x300c07	EP0IntStat	EP0 Interrupt Status Register	EP0割り込みステータス
	0x300c08	EPaIntStat	EPa Interrupt Status Register	EPa割り込みステータス
	0x300c09	EPbIntStat	EPb Interrupt Status Register	EPb割り込みステータス
	0x300c0a	EPcIntStat	EPc Interrupt Status Register	EPc割り込みステータス
	0x300c0b	EPdIntStat	EPd Interrupt Status Register	EPd割り込みステータス
	0x300c10	MainIntEnb	Main Interrupt Enable Register	メイン割り込みイネーブル
	0x300c11	SIE_IntEnb	SIE Interrupt Enable Register	SIE割り込みイネーブル
	0x300c12	EPIntEnb	EP Interrupt Enable Register	EP割り込みイネーブル
	0x300c13	DMA_IntEnb	DMA Interrupt Enable Register	DMA割り込みイネーブル
	0x300c14	FIFO_IntEnb	FIFO Interrupt Enable Register	FIFO割り込みイネーブル
	0x300c17	EP0IntEnb	EP0 Interrupt Enable Register	EP0割り込みイネーブル
	0x300c18	EPaIntEnb	EPa Interrupt Enable Register	EPa割り込みイネーブル
	0x300c19	EPbIntEnb	EPb Interrupt Enable Register	EPb割り込みイネーブル
	0x300c1a	EPcIntEnb	EPc Interrupt Enable Register	EPc割り込みイネーブル
	0x300c1b	EPdIntEnb	EPd Interrupt Enable Register	EPd割り込みイネーブル
	0x300c20	RevisionNum	Revision Number Register	USBコントローラのリビジョン番号表示

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
USB ファンクション コントローラ (USB) (8-bit device)	0x300c21	USB_Control	USB Control Register	USBの制御
	0x300c22	USB_Status	USB Status Register	USBステータス
	0x300c23	XcvtControl	Xcvt Control Register	送信マクロの制御
	0x300c24	USB_Test	USB Test Register	USBテストモードの設定
	0x300c25	EPnControl	Endpoint Control Register	全FIFOのクリアとNAK/STALLビットの設定
	0x300c26	EPnFIFO_Clr	EPn FIFO Clear Register	FIFOの個別クリア
	0x300c2e	FrameNumber_H	Frame Number High Register	フレーム番号
	0x300c2f	FrameNumber_L	Frame Number Low Register	
	0x300c30	EP0Setup_0	EP0 Setup 0 Register	EP0設定データ(BmRequestType)
	0x300c31	EP0Setup_1	EP0 Setup 1 Register	EP0設定データ(BRequest)
	0x300c32	EP0Setup_2	EP0 Setup 2 Register	EP0設定データ(Wvalue下位ビット)
	0x300c33	EP0Setup_3	EP0 Setup 3 Register	EP0設定データ(Wvalue上位ビット)
	0x300c34	EP0Setup_4	EP0 Setup 4 Register	EP0設定データ(WIndex下位ビット)
	0x300c35	EP0Setup_5	EP0 Setup 5 Register	EP0設定データ(WIndex上位ビット)
	0x300c36	EP0Setup_6	EP0 Setup 6 Register	EP0設定データ(WLength下位ビット)
	0x300c37	EP0Setup_7	EP0 Setup 7 Register	EP0設定データ(WLength上位ビット)
	0x300c38	USB_Address	USB Address Register	USBアドレスの設定
	0x300c39	EP0Control	EP0 Control Register	EP0の制御
	0x300c3a	EP0ControlIN	EP0 Control In Register	EP0 INトランザクションの設定
	0x300c3b	EP0ControlOUT	EP0 Control Out Register	EP0 OUTトランザクションの設定
	0x300c3f	EP0MaxSize	EP0 Max Packet Size Register	EP0最大パケットサイズの設定
	0x300c40	EPaControl	EPa Control Register	EPaの制御
	0x300c41	EPbControl	EPb Control Register	EPbの制御
	0x300c42	EPcControl	EPc Control Register	EPcの制御
	0x300c43	EPdControl	EPd Control Register	EPdの制御
	0x300c50	EPaMaxSize_H	EPa Max Packet Size High Register	EPa最大パケットサイズの設定
	0x300c51	EPaMaxSize_L	EPa Max Packet Size Low Register	
	0x300c52	EPaConfig_0	EPa Configuration 0 Register	EPaの設定
	0x300c53	EPaConfig_1	EPa Configuration 1 Register	
	0x300c54	EPbMaxSize_H	EPb Max Packet Size High Register	EPb最大パケットサイズの設定
	0x300c55	EPbMaxSize_L	EPb Max Packet Size Low Register	
	0x300c56	EPbConfig_0	EPb Configuration 0 Register	EPbの設定
	0x300c57	EPbConfig_1	EPb Configuration 1 Register	
	0x300c58	EPcMaxSize_H	EPc Max Packet Size High Register	EPc最大パケットサイズの設定
	0x300c59	EPcMaxSize_L	EPc Max Packet Size Low Register	
	0x300c5a	EPcConfig_0	EPc Configuration 0 Register	EPcの設定
	0x300c5b	EPcConfig_1	EPc Configuration 1 Register	
	0x300c5c	EPdMaxSize_H	EPd Max Packet Size High Register	EPd最大パケットサイズの設定
	0x300c5d	EPdMaxSize_L	EPd Max Packet Size Low Register	
	0x300c5e	EPdConfig_0	EPd Configuration 0 Register	EPdの設定
	0x300c5f	EPdConfig_1	EPd Configuration 1 Register	
	0x300c70	EPaStartAdrs_H	EPa FIFO Start Address High Register	EPa FIFOスタートアドレスの設定
	0x300c71	EPaStartAdrs_L	EPa FIFO Start Address Low Register	
	0x300c72	EPbStartAdrs_H	EPb FIFO Start Address High Register	EPb FIFOスタートアドレスの設定
	0x300c73	EPbStartAdrs_L	EPb FIFO Start Address Low Register	
	0x300c74	EPcStartAdrs_H	EPc FIFO Start Address High Register	EPc FIFOスタートアドレスの設定
	0x300c75	EPcStartAdrs_L	EPc FIFO Start Address Low Register	
	0x300c76	EPdStartAdrs_H	EPd FIFO Start Address High Register	EPd FIFOスタートアドレスの設定
	0x300c77	EPdStartAdrs_L	EPd FIFO Start Address Low Register	
	0x300c80	CPU_JoinRd	CPU Join FIFO Read Register	FIFOデータリードの設定
	0x300c81	CPU_JoinWr	CPU Join FIFO Write Register	FIFOデータライトの設定
	0x300c82	EnEPnFIFO_Access	EPn FIFO Access Enable Register	CPU_JoinRd、CPU_JoinWrレジスタイネーブル
	0x300c83	EPnFIFOforCPU	EPn FIFO for CPU Register	CPUアクセス用EPn FIFOレジスタ
	0x300c84	EPnRdRemain_H	EPn FIFO Read Remain High Register	
	0x300c85	EPnRdRemain_L	EPn FIFO Read Remain Low Register	FIFO内のデータ残量
	0x300c86	EPnWrRemain_H	EPn FIFO Write High Register	
	0x300c87	EPnWrRemain_L	EPn FIFO Write Low Register	FIFO内の空き容量
	0x300c88	DescAdrs_H	Descriptor Address High Register	
	0x300c89	DescAdrs_L	Descriptor Address Low Register	デスクリプタ返信機能用FIFO開始アドレスの指定
	0x300c8a	DescSize_H	Descriptor Size High Register	
	0x300c8b	DescSize_L	Descriptor Size Low Register	デスクリプタ返信機能用データ数の指定
	0x300c8f	DescDoor	Descriptor Door Register	
	0x300c90	DMA_FIFO_Control	DMA FIFO Control Register	デスクリプタのリード/ライト
	0x300c91	DMA_Join	DMA Join FIFO	DMA FIFOの制御
	0x300c92	DMA_Control	DMA Control Register	DMA転送エンドポイントイネーブル
	0x300c94	DMA_Config_0	DMA Configuration 0 Register	DMA転送の制御とDMAステータス表示
	0x300c95	DMA_Config_1	DMA Configuration 1 Register	DMAインタフェース信号の設定
				DMAインタフェース動作モードの設定

周辺回路	アドレス	レジスタ名		機 能
USB ファンクション コントローラ (USB) (8-bit device)	0x300c97	DMA_Latency	DMA Latency Register	データ転送レイテンシの設定
	0x300c98	DMA_Remain_H	DMA FIFO Remain High Register	FIFO内のデータ残量と空き容量の表示
	0x300c99	DMA_Remain_L	DMA FIFO Remain Low Register	
	0x300c9c	DMA_Count_HH	DMA Transfer Byte Counter High/High Register	DMA転送のデータ長の指定と表示
	0x300c9d	DMA_Count_HL	DMA Transfer Byte Counter High/Low Register	
	0x300c9e	DMA_Count_LH	DMA Transfer Byte Counter Low/High Register	
	0x300c9f	DMA_Count_LL	DMA Transfer Byte Counter Low/Low Register	
ブリスケラ (PSC) (8-bit device)	0x300e00	PSC_CTL0	PSC Ch.0 Control Register	ブリスケラCh.0の制御
	0x300e01	PSC_CTL12	PSC Ch.1/2 Control Register	ブリスケラCh.1/2の制御
UART (with IrDA) (8-bit device)	0x300e10	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x300e11	UART_TXD	UART Transmit Data Register	送信データ
	0x300e12	UART_RXD	UART Receive Data Register	受信データ
	0x300e13	UART_MOD	UART Mode Register	転送データ形式の設定
	0x300e14	UART_CTL	UART Control Register	データ転送の制御
	0x300e15	UART_EXP	UART Expansion Register	IrDAモードの設定
カードインタフェース (CARD) (8-bit device)	0x300f00	CARD_EDC_TRG	CARD EDC Trigger Register	ハードウェアアクセラレータレジスタのリセットと10シンボルEDCの終了
	0x300f01	CARD_EDC_CTRL	CARD EDC Control Register	
	0x300f02	CARD_EDC_RGN	CARD EDC Region Register	カード用エリアの選択
	0x300f10	CARD_EDC_FLG	CARD EDC Flag Register	エラー検出状態の表示
	0x300f20	CARD_EDC10_COD0	CARD 10-Symbol EDC Code Register 0	10シンボル EDC RSコード
	0x300f38	CARD_EDC10_COD24	CARD 10-Symbol EDC Code Register 24	
	0x300f40	CARD_EDC2_COD0	CARD 2-Symbol EDC Code Register 0	2シンボル EDC RSコード
	0x300f43	CARD_EDC2_COD3	CARD 2-Symbol EDC Code Register 3	
ウォッチドッグ タイマ(WDT) (16-bit device)	0x301000	WD_PROTECT	WDT Write Protect Register	WDTレジスタ書き込み保護の設定/解除
	0x301002	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
	0x301004	WD_CMP_L	WDT Comparison Data L Register	比較データ
	0x301006	WD_CMP_H	WDT Comparison Data H Register	
	0x301008	WD_CNT_L	WDT Count Data L Register	
	0x30100a	WD_CNT_H	WDT Count Data H Register	
	0x30100c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット
ファインモード8ビットタイマ(T8F)Ch.0 (16-bit device)	0x301100	T8F_CLK0	T8F Ch.0 Input Clock Select Register	カウントクロックの選択
	0x301102	T8F_TR0	T8F Ch.0 Reload Data Register	リロードデータの設定
	0x301104	T8F_TC0	T8F Ch.0 Counter Data Register	カウンタデータ
	0x301106	T8F_CTL0	T8F Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301108	T8F_INT0	T8F Ch.0 Interrupt Control Register	割り込みの制御
ファインモード8ビットタイマ(T8F)Ch.1 (16-bit device)	0x301110	T8F_CLK1	T8F Ch.1 Input Clock Select Register	カウントクロックの選択
	0x301112	T8F_TR1	T8F Ch.1 Reload Data Register	リロードデータの設定
	0x301114	T8F_TC1	T8F Ch.1 Counter Data Register	カウンタデータ
	0x301116	T8F_CTL1	T8F Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301118	T8F_INT1	T8F Ch.1 Interrupt Control Register	割り込みの制御
ファインモード8ビットタイマ(T8F)Ch.2 (16-bit device)	0x301120	T8F_CLK2	T8F Ch.2 Input Clock Select Register	カウントクロックの選択
	0x301122	T8F_TR2	T8F Ch.2 Reload Data Register	リロードデータの設定
	0x301124	T8F_TC2	T8F Ch.2 Counter Data Register	カウンタデータ
	0x301126	T8F_CTL2	T8F Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301128	T8F_INT2	T8F Ch.2 Interrupt Control Register	割り込みの制御
ファインモード8ビットタイマ(T8F)Ch.3 (16-bit device)	0x301130	T8F_CLK3	T8F Ch.3 Input Clock Select Register	カウントクロックの選択
	0x301132	T8F_TR3	T8F Ch.3 Reload Data Register	リロードデータの設定
	0x301134	T8F_TC3	T8F Ch.3 Counter Data Register	カウンタデータ
	0x301136	T8F_CTL3	T8F Ch.3 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301138	T8F_INT3	T8F Ch.3 Interrupt Control Register	割り込みの制御
ファインモード8ビットタイマ(T8F)Ch.4 (16-bit device)	0x301140	T8F_CLK4	T8F Ch.4 Input Clock Select Register	カウントクロックの選択
	0x301142	T8F_TR4	T8F Ch.4 Reload Data Register	リロードデータの設定
	0x301144	T8F_TC4	T8F Ch.4 Counter Data Register	カウンタデータ
	0x301146	T8F_CTL4	T8F Ch.4 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301148	T8F_INT4	T8F Ch.4 Interrupt Control Register	割り込みの制御
ファインモード8ビットタイマ(T8F)Ch.5 (16-bit device)	0x301150	T8F_CLK5	T8F Ch.5 Input Clock Select Register	カウントクロックの選択
	0x301152	T8F_TR5	T8F Ch.5 Reload Data Register	リロードデータの設定
	0x301154	T8F_TC5	T8F Ch.5 Counter Data Register	カウンタデータ
	0x301156	T8F_CTL5	T8F Ch.5 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x301158	T8F_INT5	T8F Ch.5 Interrupt Control Register	割り込みの制御

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
16ビットPWM タイマ (T16A6) Ch.0 (16-bit device)	0x301160	T16A_CTL0	T16A6 Ch.0 Counter Control Register	カウンタの制御
	0x301162	T16A_TC0	T16A6 Ch.0 Counter Data Register	カウンタデータ
	0x301164	T16A_CCCTL0	T16A6 Ch.0 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x301166	T16A_CCA0	T16A6 Ch.0 Comparator/Capture A Data Register	コンペアA/キャプチャ Aデータ
	0x301168	T16A_CCB0	T16A6 Ch.0 Comparator/Capture B Data Register	コンペアB/キャプチャ Bデータ
	0x30116a	T16A_IEN0	T16A6 Ch.0 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
	0x30116c	T16A_IFLG0	T16A6 Ch.0 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
16ビットPWM タイマ (T16A6) Ch.1 (16-bit device)	0x301170	T16A_CTL1	T16A6 Ch.1 Counter Control Register	カウンタの制御
	0x301172	T16A_TC1	T16A6 Ch.1 Counter Data Register	カウンタデータ
	0x301174	T16A_CCCTL1	T16A6 Ch.1 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x301176	T16A_CCA1	T16A6 Ch.1 Comparator/Capture A Data Register	コンペアA/キャプチャ Aデータ
	0x301178	T16A_CCB1	T16A6 Ch.1 Comparator/Capture B Data Register	コンペアB/キャプチャ Bデータ
	0x30117a	T16A_IEN1	T16A6 Ch.1 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
	0x30117c	T16A_IFLG1	T16A6 Ch.1 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
16ビットPWM タイマ (T16A6) Ch.2 (16-bit device)	0x301180	T16A_CTL2	T16A6 Ch.2 Counter Control Register	カウンタの制御
	0x301182	T16A_TC2	T16A6 Ch.2 Counter Data Register	カウンタデータ
	0x301184	T16A_CCCTL2	T16A6 Ch.2 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x301186	T16A_CCA2	T16A6 Ch.2 Comparator/Capture A Data Register	コンペアA/キャプチャ Aデータ
	0x301188	T16A_CCB2	T16A6 Ch.2 Comparator/Capture B Data Register	コンペアB/キャプチャ Bデータ
	0x30118a	T16A_IEN2	T16A6 Ch.2 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
	0x30118c	T16A_IFLG2	T16A6 Ch.2 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
16ビットPWM タイマ (T16A6) Ch.3 (16-bit device)	0x301190	T16A_CTL3	T16A6 Ch.3 Counter Control Register	カウンタの制御
	0x301192	T16A_TC3	T16A6 Ch.3 Counter Data Register	カウンタデータ
	0x301194	T16A_CCCTL3	T16A6 Ch.3 Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x301196	T16A_CCA3	T16A6 Ch.3 Comparator/Capture A Data Register	コンペアA/キャプチャ Aデータ
	0x301198	T16A_CCB3	T16A6 Ch.3 Comparator/Capture B Data Register	コンペアB/キャプチャ Bデータ
	0x30119a	T16A_IEN3	T16A6 Ch.3 Comparator/Capture Interrupt Enable Register	割り込みの許可/禁止
	0x30119c	T16A_IFLG3	T16A6 Ch.3 Comparator/Capture Interrupt Flag Register	割り込み発生状態の表示
16ビット オーディオ PWMタイマ (T16P) Ch.0 (16-bit device)	0x301200	T16P_A0	T16P Ch.0 Compare A Buffer Register	コンペアAデータ
	0x301202	T16P_B0	T16P Ch.0 Compare B Buffer Register	コンペアBデータ
	0x301204	T16P_CNT_DATA0	T16P Ch.0 Counter Data Register	カウンタデータ
	0x301206	T16P_VOL_CTL0	T16P Ch.0 Volume Control Register	ボリューム制御イネーブル、ボリュームレベルの設定
	0x301208	T16P_CTL0	T16P Ch.0 Control Register	タイマ動作条件の設定
	0x30120a	T16P_RUN0	T16P Ch.0 Running Control Register	タイマのスタート/ストップ
	0x30120c	T16P_CLK0	T16P Ch.0 Internal Clock Control Register	内部カウントクロックの選択
	0x30120e	T16P_INT0	T16P Ch.0 Interrupt Control Register	T16P割り込み制御
16ビット オーディオ PWMタイマ (T16P) Ch.1 (16-bit device)	0x301210	T16P_A1	T16P Ch.1 Compare A Buffer Register	コンペアAデータ
	0x301212	T16P_B1	T16P Ch.1 Compare B Buffer Register	コンペアBデータ
	0x301214	T16P_CNT_DATA1	T16P Ch.1 Counter Data Register	カウンタデータ
	0x301216	T16P_VOL_CTL1	T16P Ch.1 Volume Control Register	ボリューム制御イネーブル、ボリュームレベルの設定
	0x301218	T16P_CTL1	T16P Ch.1 Control Register	タイマ動作条件の設定
	0x30121a	T16P_RUN1	T16P Ch.1 Running Control Register	タイマのスタート/ストップ
	0x30121c	T16P_CLK1	T16P Ch.1 Internal Clock Control Register	内部カウントクロックの選択
	0x30121e	T16P_INT1	T16P Ch.1 Interrupt Control Register	T16P割り込み制御
A/D変換器 (ADC10) (16-bit device)	0x301300	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
	0x301302	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
	0x301304	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
	0x301306	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御
リモート コントローラ (REMC) (16-bit device)	0x301500	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
	0x301502	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
	0x301504	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
	0x301506	REMC_INT	REMC Interrupt Control Register	割り込みの制御

周辺回路	アドレス	レジスタ名		機 能
LCD コントローラ (LCDC) (32-bit device)	0x302000	LCDC_INT	LCDC Interrupt Enable Register	LCDC割り込み許可/禁止
	0x302004	LCDC_PSAVE	Status and Power Save Configuration Register	LCDCステータス表示、パワーセーブ制御
	0x302010	LCDC_HDISP	Horizontal Display Register	水平トータル/表示期間設定
	0x302014	LCDC_VDISP	Vertical Display Register	垂直トータル/表示期間設定
	0x302018	LCDC_MODR	MOD Rate Register	MODレート設定
	0x302020	LCDC_HDPS	Horizontal Display Start Position Register	TFT水平表示期間開始位置設定
	0x302024	LCDC_VDPS	Vertical Display Start Position Register	TFT垂直表示期間開始位置設定
	0x302028	LCDC_FPLINE	FPLINE Pulse Setting Register	TFT FPLINE/パルス設定
	0x30202c	LCDC_FPFR	FPFRAME Pulse Setting Register	TFT FPFRAME/パルス設定
	0x302030	LCDC_FPFROFS	FPFRAME Pulse Offset Register	TFT FPLINE/パルスタイミング調整
	0x302040	LCDC_TFTSO	TFT Special Output Register	TFT用信号制御
	0x302044	LCDC_TFT_CTL1	TFT_CTL1 Pulse Register	TFT_CTL1/パルスタイミング設定
	0x302048	LCDC_TFT_CTL0	TFT_CTL0 Pulse Register	TFT_CTL0/パルスタイミング設定
	0x30204c	LCDC_TFT_CTL2	TFT_CTL2 Register	TFT_CTL2/パルス信号タイミング設定
	0x302050	LCDC_RLDCTL	LCDC Reload Control Register	リロード制御
	0x302054	LCDC_RLDADR	LCDC Reload Table Base Address Register	リロードテーブル開始アドレス設定
	0x302060	LCDC_DISPMD	LCDC Display Mode Register	表示モード設定
	0x302070	LCDC_MAINADR	Main Window Display Start Address Register	メインウィンドウ表示開始アドレス設定
	0x302074	LCDC_MAINOFS	Main Screen Address Offset Register	仮想メインスクリーン幅設定
	0x302080	LCDC_SUBADR	Sub-window Display Start Address Register	サブウィンドウ表示開始アドレス設定
DMA コントローラ (DMAC) (32-bit device)	0x302084	LCDC_SUBOFS	Sub-screen Address Offset Register	仮想サブスクリーン幅設定
	0x302088	LCDC_SUBSP	Sub-window Start Position Register	サブウィンドウ開始位置設定
	0x30208c	LCDC_SUBEP	Sub-window End Position Register	サブウィンドウ終了位置設定
	0x302090	LCDC_MLUT0	Monochrome Look-up Table Register 0	モノクロルックアップテーブルデータエントリ0~7
	0x302094	LCDC_MLUT1	Monochrome Look-up Table Register 1	モノクロルックアップテーブルデータエントリ8~15
	0x302100	DMAC_CH_EN	DMAC Channel Enable Register	DMACチャネルイネーブル
	0x302104	DMAC_TBL_BASE	DMAC Control Table Base Address Register	コントロールテーブル先頭アドレスの設定
	0x302108	DMAC_IE	DMAC Interrupt Enable Register	DMAC割り込みの許可/禁止
SDRAM コントローラ (SDRAMC) (32-bit device)	0x30210c	DMAC_TRG_SEL	DMAC Trigger Select Register	トリガ要因の選択
	0x302110	DMAC_TRG_FLG	DMAC Trigger Flag Register	ソフトウェアトリガ制御とトリガステータス
	0x302114	DMAC_END_FLG	DMAC End-of-Transfer Flag Register	DMA終了チャネルの表示
	0x302118	DMAC_RUN_STAT	DMAC Running Status Register	DMA動作中チャネルの表示
	0x30211c	DMAC_PAUSE_STAT	DMAC Pause Status Register	DMA中断中チャネルの表示
SRAM コントローラ (SRAMC) (32-bit device)	0x302200	SDRAMC_INIT	SDRAM Initialization Register	SDRAMCイネーブルと初期化の制御
	0x302204	SDRAMC_CFG	SDRAM Configuration Register	SDRAMサイズとタイミングパラメータの設定
	0x302208	SDRAMC_REF	SDRAM Refresh Control Register	SDRAMのリフレッシュ制御
	0x302210	SDRAMC_APP	SDRAM Application Configuration Register	CASレイテンシの設定
キャッシュ コントローラ (CCU) (32-bit device)	0x302220	SRAMC_TMG47	#CE[7:4] Access Timing Configuration Register	#CE[7:4]アクセス条件の設定
	0x302224	SRAMC_TMG810	#CE[10:8] Access Timing Configuration Register	#CE[10:8]アクセス条件の設定
	0x302228	SRAMC_TYPE	#CE[10:4] Device Configuration Register	#CE[10:4]デバイスタイプの設定
i2S (32-bit device)	0x302300	CCU_CFG	Cache Configuration Register	命令/データキャッシュイネーブル
	0x302304	CCU_AREA	Cacheable Area Select Register	キャッシュ可能エリアの選択
	0x302308	CCU_LK	Cache Lock Register	キャッシュロック機能の設定
	0x30230c	CCU_STAT	Cache Status Register	キャッシュステータスの表示
	0x302318	CCU_WB_STAT	Cache Write Buffer Status Register	ライトバッファステータスの表示
i2S (32-bit device)	0x302400	I2S_CTL0	I2S Ch.0 Control Register	I2S Ch.0出力の制御
	0x302404	I2S_CTL1	I2S Ch.1 Control Register	I2S Ch.1入力の制御
	0x302408	I2S_DV_MCLK	I2S Master Clock Division ratio Register	マスタクロックの設定
	0x30240c	I2S_DV_BCLK	I2S Audio Clock Division ratio Register	オーディオクロックの設定
	0x302410	I2S_START	I2S Start/Stop Register	I2S動作状態の制御と表示
	0x302414	I2S_STATUS	I2S FIFO Status Register	FIFOステータスの表示
	0x302418	I2S_INT	I2S Interrupt Control Register	I2S割り込みの制御
	0x30241c	I2S_MODE	I2S Mode Select Register	DMAモードと端子モードの設定
	0x302420	I2S_FIFO0	I2S Ch.0 FIFO Register	I2S Ch.0出力データ
	0x302422			
	0x302430	I2S_FIFO1	I2S Ch.1 FIFO Register	I2S Ch.1入力データ
	0x302432			

周辺回路	アドレス	レジスタ名		機 能
SD/MMCインターフェース (SD_MMC) (32-bit device)	0x302600	MMC_CLKCTL	SD_MMC Clock Control Register	MMCクロックの制御
	0x302604	MMC_FUNCCTL	SD_MMC Function Control Register	データ転送の制御
	0x302608	MMC_BLK	SD_MMC Block Size Setting Register	ブロックサイズの設定
	0x30260c	MMC_TIMEOUT	SD_MMC Data/Busy Timeout Period Setting Register	データ/ビジータイムアウトの設定
	0x302610	MMC_CMD_IDX	SD_MMC Command Index Register	コマンドインデックスの設定
	0x302614	MMC_CMD_ARG	SD_MMC Command Argument Register	コマンド引数の設定
	0x302618	MMC_RSP0	SD_MMC Response Register 0	レスポンスコード[31:0]
	0x30261c	MMC_RSP1	SD_MMC Response Register 1	レスポンスコード[63:32]
	0x302620	MMC_RSP2	SD_MMC Response Register 2	レスポンスコード[95:64]
	0x302624	MMC_RSP3	SD_MMC Response Register 3	レスポンスコード[127:96]
	0x302628	MMC_RSP4	SD_MMC Response Register 4	レスポンスコード[135:128]
	0x30262c	MMC_STATUS	SD_MMC Status Register	ステータス表示
	0x302630	MMC_INT	SD_MMC Interrupt Control Register	割り込み/DMA転送の制御
	0x302650	MMC_DAT	SD_MMC Data Transfer FIFO Register	送受信データ

注: 表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x300010–0x300024**Misc Registers (MISC)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Wait Control Register (MISC_RTCWT)	0x300010 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RTCWT[2:0]	RTC register access wait control	0 to 7 cycles	0x7	R/W	Write-protected
USB Configuration Register (MISC_USB)	0x300012 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	USBINTEN	USB interrupt enable	1 Enable 0 Disable	0	R/W	Write-protected
		D5	USBSNZ	USB snooze control	1 Enable 0 Disable	0	R/W	
		D4–3	–	reserved	–	–	–	0 when being read.
		D2–0	USBWT[2:0]	USB register access wait control	0 to 7 cycles	0x7	R/W	Write-protected
Internal RAM Wait Control Register (MISC_RAMWT)	0x300014 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CALRWT	CALCRAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Write-protected Should be set to 0.
		D2	–	reserved	–	–	–	Should be fixed at 0.
		D1	A3WT	Area 3 RAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Write-protected
		D0	A0WT	Area 0 RAM access wait control	1 1 wait cycle 0 0 wait cycles	1	R/W	Should be set to 0.
Boot Register (MISC_BOOT)	0x300016 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	BOOT[1:0]	Boot mode indicator	BOOT[1:0]	Boot mode	*	R * Depends on the BOOT pin status at initial reset
					0x3			
					0x2			
					0x1			
					0x0			
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	BOOTEN	#CE10 area boot enable	1 Internal 0 External	1	R/W	Write-protected
		D0	–	reserved	–	–	–	0 when being read.
Debug Trace Enable Register (MISC_TRACE)	0x300018 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	TRACE	PC trace debugging enable	1 Disable 0 Enable	0	R/W	Write-protected
Misc Protect Register 0 (MISC_PROT0)	0x300020 (8 bits)	D7–0	PROT0[7:0]	Misc register write-protect flag	Writing 10010110 (0x96) removes the write protection of the Misc registers (0x300010–0x300018). Writing another value set the write protection.	0x0	R/W	
Misc Protect Register 1 (MISC_PROT1)	0x300022 (8 bits)	D7–0	PROT1[7:0]	Misc register write-protect flag	Writing 10010110 (0x96) removes the write protection of the Misc register (0x300024). Writing another value set the write protection.	0x0	R/W	
RAM Configuration Register (MISC_RAMCFG)	0x300024 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RAMCFG[2:0]	DSTRAM/IVRAM configuration	RAMCFG[2:0]	DSTRAM	0x0	R/W Write-protected
					0x7–0x4			
					0x3			
					0x2	DSTRAM		
					0x1	CALCRAM		
					0x0	DSTRAM		
					RAMCFG[2:0]	IVRAM		
					0x7–0x4	CALCRAM		
					0x3	IRAM		
					0x2	IRAM		
					0x1	VRAM		
					0x0	VRAM		

0x300100–0x300118**Clock Management Unit (CMU)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (CMU_OSCSEL)	0x300100 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	CLKSEL[1:0]	System clock source select	CLKSEL[1:0]	Clock source	0x0	R/W Write-protected
					0x3	Not allowed		
					0x2	PLL		
					0x1	OSC1		
					0x0	OSC3		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Oscillation Control Register (CMU_OSCCTL)	0x300101 (8 bits)	D7–4	OSC3WT[3:0]	OSC3 wait cycle select	OSC3WT[3:0]	Wait cycle	0xf	R/W	Write-protected		
					0xf	128 cycles					
					0xe	256 cycles					
					0xd	512 cycles					
					0xc	1,024 cycles					
0xb	2,048 cycles										
0xa	4,096 cycles										
0x9	8,192 cycles										
0x8	16,384 cycles										
0x7	32,768 cycles										
0x6	65,536 cycles										
0x5	131,072 cycles										
0x4	262,144 cycles										
0x3	524,288 cycles										
0x2	1,048,576 cycles										
0x1	2,097,152 cycles										
0x0	4,194,304 cycles										
		D3–2	–	reserved	–		–	–	0 when being read.		
		D1	OSC1EN	OSC1 enable	1	Enable	0	Disable	1	R/W	Write-protected
		D0	OSC3EN	OSC3 enable	1	Enable	0	Disable	1	R/W	
LCDC Clock Division Ratio Select Register (CMU_LCLKDIV)	0x300103 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.		
					D4–0	LCLKDIV[4:0]				LCDC clock division ratio select	LCLKDIV[4:0]
		0x1f	1/32								
		0x1e	1/31								
		0x1d	1/30								
		0x1c	1/29								
		0x1b	1/28								
		0x1a	1/27								
		0x19	1/26								
		0x18	1/25								
		0x17	1/24								
		0x16	1/23								
		0x15	1/22								
		0x14	1/21								
		0x13	1/20								
		0x12	1/19								
		0x11	1/18								
		0x10	1/17								
		0xf	1/16								
		0xe	1/15								
		0xd	1/14								
		0xc	1/13								
		0xb	1/12								
		0xa	1/11								
		0x9	1/10								
		0x8	1/9								
		0x7	1/8								
		0x6	1/7								
		0x5	1/6								
		0x4	1/5								
		0x3	1/4								
		0x2	1/3								
0x1	1/2										
0x0	1/1										
System Clock Division Ratio Select Register (CMU_SYCLKDIV)	0x300105 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.		
					D2–0	SYCLKDIV[2:0]				System clock division ratio select	SYCLKDIV[2:0]
		0x7–0x6	1/1								
		0x5	1/32								
		0x4	1/16								
		0x3	1/8								
		0x2	1/4								
0x1	1/2										
0x0	1/1										
CMU_CLK Select Register (CMU_CMUCLK)	0x300106 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.		
					D4–0	CMU_CLKSEL[4:0]				CMU_CLK select	CMU_CLKSEL[4:0]
		0xf–0xb	reserved								
		0xa	OSC/32								
		0x9	OSC/16								
		0x8	OSC/8								
		0x7	OSC/4								
		0x6	OSC/2								
		0x5	OSC/1								
		0x4	LCDC_CLK								
		0x3	BCLK								
		0x2	PLL								
		0x1	OSC1								
		0x0	OSC3								

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PLL Input Clock Division Ratio Select Register (CMU_PLLINDIV)	0x300107 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.
		D3-0	PLLINDIV[3:0]	PLL input clock division ratio select	PLLINDIV[3:0]	Division ratio	0x7	R/W	Clock source = OSC3 Write-protected
					0xf-0xa	1/8			
					0x9	1/10			
					0x8	1/9			
					0x7	1/8			
					0x6	1/7			
					0x5	1/6			
					0x4	1/5			
					0x3	1/4			
			0x2	1/3					
			0x1	1/2					
			0x0	1/1					
PLL Control Register 0 (CMU_PLLCTL0)	0x300108 (8 bits)	D7-4	PLLN[3:0]	PLL multiplication rate setup	PLLN[3:0]	Multiplication rate	0x0	R/W	Write-protected
					0xf	x16			
					0xe	x15			
					0xd	x14			
					0xc	x13			
					0xb	x12			
			0xa	x11					
			0x9	x10					
			0x8	x9					
			0x7	x8					
			0x6	x7					
			0x5	x6					
			0x4	x5					
			0x3	x4					
			0x2	x3					
			0x1	x2					
			0x0	x1					
		D3-2	PLLV[1:0]	PLL V-divider setup	PLLV[1:0]	W	0x1	R/W	
					0x3	8			
					0x2	4			
					0x1	2			
					0x0	Not allowed			
		D1	—	reserved	—		—	—	0 when being read.
		D0	PLLPOWER	PLL enable	1 Enable	0 Disable	0	R/W	Write-protected
PLL Control Register 1 (CMU_PLLCTL1)	0x300109 (8 bits)	D7-4	PLLVC[3:0]	PLL VCO Kv setup	PLLVC[3:0]	fvco [MHz]	0x1	R/W	Write-protected
					0x8	360 < fvco ≤ 400			
					0x7	320 < fvco ≤ 360			
					0x6	280 < fvco ≤ 320			
					0x5	240 < fvco ≤ 280			
					0x4	200 < fvco ≤ 240			
					0x3	160 < fvco ≤ 200			
					0x2	120 < fvco ≤ 160			
					0x1	100 ≤ fvco ≤ 120			
					Other	Not allowed			
		D3-0	PLLRS[3:0]	PLL LPF resistance setup	PLLRS[3:0]	fREFCK [MHz]	0x8	R/W	
					0xa	5 ≤ fREFCK < 20			
					0x8	20 ≤ fREFCK ≤ 150			
					Other	Not allowed			
PLL Control Register 2 (CMU_PLLCTL2)	0x30010a (8 bits)	D7-6	PLLCS[1:0]	PLL LPF capacitance	0x0		0x0	R	
		D5	PLLBYP	PLL bypass mode	0		0	R	
		D4-0	PLLCP[4:0]	PLL charge pump current	0x10		0x10	R	
SSCG Macro Control Register 0 (CMU_SSCG0)	0x30010c (8 bits)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	SSMCON	SSCG enable	1 Enable	0 Disable	0	R/W	Write-protected
SSCG Macro Control Register 1 (CMU_SSCG1)	0x30010d (8 bits)	D7-4	SSMCITM[3:0]	SSCG interval timer (ITM) setting	0x0 to 0xf		0xf	R/W	Write-protected
		D3-0	SSMCIDT[3:0]	SSCG maximum frequency change width setting	0x0 to 0xf		0x0	R/W	
CMU Write Protect Register (CMU_PROTECT)	0x300110 (8 bits)	D7-0	CMUP[7:0]	CMU register write-protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x300100-0x30010d, 0x300114-0x300118). Writing another value set the write protection.		0x0	R/W	
Clock Control Register 0 (CMU_CLKCTL0)	0x300114 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.
		D3	T16A_CKE	T16A6 register clock enable	1 Enable	0 Disable	1	R/W	Write-protected
		D2	TCLK_CKE	T16A6 counter clock enable	1 Enable	0 Disable	1	R/W	
		D1-0	TCLK_SEL[1:0]	T16A6 counter clock source select	TCLK_SEL[1:0]	Clock source	0x0	R/W	
					0x3-0x2	OSC1			
					0x1	OSC3			
					0x0	SYSCLK			

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Control Register 1 (CMU_CLKCTL1)	0x300115 (8 bits)	D7	NANDIF_CKE	CARD clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D6	REMC_CKE	REMC clock enable	1 Enable 0 Disable	1	R/W	
		D5	ADC_CKE	ADC10 clock enable	1 Enable 0 Disable	1	R/W	
		D4	PORT_CKE	GPIO/PMUX clock enable	1 Enable 0 Disable	1	R/W	
		D3	SDMMC_CKE	SD_MMC clock enable	1 Enable 0 Disable	1	R/W	
		D2	I2S_CKE	I2S clock enable	1 Enable 0 Disable	1	R/W	
		D1	ITC_CKE	ITC clock enable	1 Enable 0 Disable	1	R/W	
		D0	DMAC_CKE	DMAC clock enable	1 Enable 0 Disable	1	R/W	
Clock Control Register 2 (CMU_CLKCTL2)	0x300116 (8 bits)	D7	HIF_CKE	HIF clock enable	1 Enable 0 Disable	0	R/W	Write-protected
		D6	LCDC_SAPB_CKE	LCDC SAPB I/F clock enable	1 Enable 0 Disable	0	R/W	
		D5	LCDC_AHB_CKE	LCDC AHB I/F clock enable	1 Enable 0 Disable	0	R/W	
		D4	LCDC_CKE	LCDC clock enable	1 Enable 0 Disable	0	R/W	
		D3	USBREG_CKE	USB register clock enable	1 Enable 0 Disable	0	R/W	
		D2	USB_CKE	USB clock enable	1 Enable 0 Disable	0	R/W	
		D1	BCU_CKE	SRAMC/SDRAMC clock enable	1 Enable 0 Disable	1	R/W	
		D0	BCLK_CKE	BCLK clock enable (in HALT mode)	1 Enable 0 Disable	1	R/W	
Clock Control Register 3 (CMU_CLKCTL3)	0x300117 (8 bits)	D7	PSC1/2_CKE	PSC1/2 clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D6	T8F_CKE	T8F clock enable	1 Enable 0 Disable	1	R/W	
		D5	UART_CKE	UART clock enable	1 Enable 0 Disable	1	R/W	
		D4	T16P_CKE	T16P clock enable	1 Enable 0 Disable	1	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	USI_CKE	USI clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D0	USIL_CKE	USIL clock enable	1 Enable 0 Disable	1	R/W	
Clock Control Register 4 (CMU_CLKCTL4)	0x300118 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	MISC_CKE	MISC clock enable	1 Enable 0 Disable	1	R/W	Write-protected
		D3	IVRAM_ARB_CKE	IVRAM arbiter clock enable	1 Enable 0 Disable	1	R/W	
		D2	A3RAM_CKE	Area 3 RAM clock enable	1 Enable 0 Disable	1	R/W	
		D1	RTC_SAPB_CKE	RTC SAPB I/F clock enable	1 Enable 0 Disable	1	R/W	
		D0	WDT_CKE	WDT clock enable	1 Enable 0 Disable	1	R/W	

0x300210–0x30022c

Interrupt Controller (ITC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port Input 0 Interrupt Level Register (ITC_PINT0_LV)	0x300210 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	Port input 0 interrupt level	1 to 7	0x0	R/W	
Port Input 1 Interrupt Level Register (ITC_PINT1_LV)	0x300211 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	Port input 1 interrupt level	1 to 7	0x0	R/W	
Key input 0 Interrupt Level Register (ITC_KINT0_LV)	0x300212 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	Key input 0 interrupt level	1 to 7	0x0	R/W	
Key Input 1 Interrupt Level Register (ITC_KINT1_LV)	0x300213 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	Key input 1 interrupt level	1 to 7	0x0	R/W	
DMAC Ch.0/2 Interrupt Level Register (ITC_DMA02_LV)	0x300214 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	DMAC Ch.0 and 2 interrupt level	1 to 7	0x0	R/W	
DMAC Ch.1/3 Interrupt Level Register (ITC_DMA13_LV)	0x300215 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	DMAC Ch.1 and 3 interrupt level	1 to 7	0x0	R/W	
DMAC Ch.4/6 Interrupt Level Register (ITC_DMA46_LV)	0x300216 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	DMAC Ch.4 and 6 interrupt level	1 to 7	0x0	R/W	
DMAC Ch.5/7 Interrupt Level Register (ITC_DMA57_LV)	0x300217 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	DMAC Ch.5 and 7 interrupt level	1 to 7	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.0 Interrupt Level Register (ITC_T16P0_LV)	0x300218 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16P Ch.0 interrupt level	1 to 7	0x0	R/W	
T16P Ch.1 Interrupt Level Register (ITC_T16P1_LV)	0x300219 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16P Ch.1 interrupt level	1 to 7	0x0	R/W	
T16A6 Ch.0 Interrupt Level Register (ITC_T16A0_LV)	0x30021a (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16A6 Ch.0 interrupt level	1 to 7	0x0	R/W	
T16A6 Ch.1 Interrupt Level Register (ITC_T16A1_LV)	0x30021b (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16A6 Ch.1 interrupt level	1 to 7	0x0	R/W	
T16A6 Ch.2 Interrupt Level Register (ITC_T16A2_LV)	0x30021c (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16A6 Ch.2 interrupt level	1 to 7	0x0	R/W	
T16A6 Ch.3 Interrupt Level Register (ITC_T16A3_LV)	0x30021d (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T16A6 Ch.3 interrupt level	1 to 7	0x0	R/W	
T8F Ch.0/2/4 Interrupt Level Register (ITC_T8F024_LV)	0x30021e (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T8F Ch.0, 2, and 4 interrupt level	1 to 7	0x0	R/W	
T8F Ch.1/3/5 Interrupt Level Register (ITC_T8F135_LV)	0x30021f (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	T8F Ch.1, 3, and 5 interrupt level	1 to 7	0x0	R/W	
ADC10 Interrupt Level Register (ITC_ADC10_LV)	0x300220 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	ADC10 interrupt level	1 to 7	0x0	R/W	
RTC Interrupt Level Register (ITC_RTC_LV)	0x300221 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	RTC interrupt level	1 to 7	0x0	R/W	
USI Ch.0/UART Interrupt Level Register (ITC_USI0_LV)	0x300222 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	USI Ch.0/UART interrupt level	1 to 7	0x0	R/W	
USI Ch.1 Interrupt Level Register (ITC_USI1_LV)	0x300223 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	USI Ch.1 interrupt level	1 to 7	0x0	R/W	
USI Ch.2 Interrupt Level Register (ITC_USI2_LV)	0x300224 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	USI Ch.2 interrupt level	1 to 7	0x0	R/W	
USIL Interrupt Level Register (ITC_USIL_LV)	0x300225 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	USIL interrupt level	1 to 7	0x0	R/W	
LCDC Interrupt Level Register (ITC_LCDC_LV)	0x300226 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	LCDC interrupt level	1 to 7	0x0	R/W	
SD_MMC Interrupt Level Register (ITC_SDMMC_LV)	0x300227 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	SD_MMC interrupt level	1 to 7	0x0	R/W	
REMC Interrupt Level Register (ITC_REMC_LV)	0x300228 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	REMC interrupt level	1 to 7	0x0	R/W	
I ² S Output Interrupt Level Register (ITC_I2SOUT_LV)	0x300229 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	I ² S output channel interrupt level	1 to 7	0x0	R/W	
I ² S Input Interrupt Level Register (ITC_I2SIN_LV)	0x30022a (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	I ² S input channel interrupt level	1 to 7	0x0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Interrupt Level Register (ITC_HIF_LV)	0x30022b (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	HIF interrupt level	1 to 7	0x0	R/W	
USB Interrupt Level Register (ITC_USB_LV)	0x30022c (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	INT_LV[2:0]	USB interrupt level	1 to 7	0x0	R/W	

0x300300—0x30083f

GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Data Register (GPIO_P0_DAT)	0x300300 (8 bits)	D7-0	P0[7:0]D	P0[7:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P0 Port I/O Control Register (GPIO_P0_IOC)	0x300301 (8 bits)	D7-0	IOC0[7:0]	P0[7:0] I/O control	1 Output 0 Input	0x0	R/W	
P1 Port Data Register (GPIO_P1_DAT)	0x300302 (8 bits)	D7-0	P1[7:0]D	P1[7:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P1 Port I/O Control Register (GPIO_P1_IOC)	0x300303 (8 bits)	D7-0	IOC1[7:0]	P1[7:0] I/O control	1 Output 0 Input	0x0	R/W	
P2 Port Data Register (GPIO_P2_DAT)	0x300304 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	P2[1:0]D	P2[1:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P2 Port I/O Control Register (GPIO_P2_IOC)	0x300305 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	IOC2[1:0]	P2[1:0] I/O control	1 Output 0 Input	0x0	R/W	
P3 Port Data Register (GPIO_P3_DAT)	0x300306 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-0	P3[6:0]D	P3[6:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P3 Port I/O Control Register (GPIO_P3_IOC)	0x300307 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-0	IOC3[6:0]	P3[6:0] I/O control	1 Output 0 Input	0x0	R/W	
P4 Port Data Register (GPIO_P4_DAT)	0x300308 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	P4[2:0]D	P4[2:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P4 Port I/O Control Register (GPIO_P4_IOC)	0x300309 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	IOC4[2:0]	P4[2:0] I/O control	1 Output 0 Input	0x0	R/W	
P5 Port Data Register (GPIO_P5_DAT)	0x30030a (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-0	P5[6:0]D	P5[6:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P5 Port I/O Control Register (GPIO_P5_IOC)	0x30030b (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-0	IOC5[6:0]	P5[6:0] I/O control	1 Output 0 Input	0x0	R/W	
P6 Port Data Register (GPIO_P6_DAT)	0x30030c (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	P60D	P60 I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P6 Port I/O Control Register (GPIO_P6_IOC)	0x30030d (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	IOC60	P60 I/O control	1 Output 0 Input	0	R/W	
P7 Port Data Register (GPIO_P7_DAT)	0x30030e (8 bits)	D7-0	P7[7:0]D	P7[7:0] input port data	1 1 (High) 0 0 (Low)	Ext.	R	Ext.: Depends on the external pin status.
P8 Port Data Register (GPIO_P8_DAT)	0x300310 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	P8[3:0]D	P8[3:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P8 Port I/O Control Register (GPIO_P8_IOC)	0x300311 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	IOC8[3:0]	P8[3:0] I/O control	1 Output 0 Input	0x0	R/W	
P9 Port Data Register (GPIO_P9_DAT)	0x300312 (8 bits)	D7-0	P9[7:0]D	P9[7:0] I/O port data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: Depends on the external pin status.
P9 Port I/O Control Register (GPIO_P9_IOC)	0x300313 (8 bits)	D7-0	IOC9[7:0]	P9[7:0] I/O control	1 Output 0 Input	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks	
PA Port Data Register (GPIO_PA_DAT)	0x300314 (8 bits)	D7–0	PA[7:0]D	PA[7:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PA Port I/O Control Register (GPIO_PA_IOC)	0x300315 (8 bits)	D7–0	IOCA[7:0]	PA[7:0] I/O control	1	Output		0	Input		0x0 R/W	
PB Port Data Register (GPIO_PB_DAT)	0x300316 (8 bits)	D7–0	PB[7:0]D	PB[7:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PB Port I/O Control Register (GPIO_PB_IOC)	0x300317 (8 bits)	D7–0	IOCB[7:0]	PB[7:0] I/O control	1	Output		0	Input		0x0 R/W	
PC Port Data Register (GPIO_PC_DAT)	0x300318 (8 bits)	D7–0	PC[7:0]D	PC[7:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PC Port I/O Control Register (GPIO_PC_IOC)	0x300319 (8 bits)	D7–0	IOCC[7:0]	PC[7:0] I/O control	1	Output		0	Input		0x0 R/W	
PD Port Data Register (GPIO_PD_DAT)	0x30031a (8 bits)	D7–0	PD[7:0]D	PD[7:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PD Port I/O Control Register (GPIO_PD_IOC)	0x30031b (8 bits)	D7–0	IOCD[7:0]	PD[7:0] I/O control	1	Output		0	Input		0x0 R/W	
PE Port Data Register (GPIO_PE_DAT)	0x30031c (8 bits)	D7–6	–	reserved	–				–	–	0 when being read.	
		D5–0	PE[5:0]D	PE[5:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PE Port I/O Control Register (GPIO_PE_IOC)	0x30031d (8 bits)	D7–6	–	reserved	–				–	–	0 when being read.	
		D5–0	IOCE[5:0]	PE[5:0] I/O control	1	Output		0	Input		0x0 R/W	
PF Port Data Register (GPIO_PF_DAT)	0x30031e (8 bits)	D7–5	–	reserved	–				–	–	0 when being read.	
		D4–0	PF[4:0]D	PF[4:0] I/O port data	1	1 (High)		0	0 (Low)		Ext. R/W	Ext.: Depends on the external pin status.
PF Port I/O Control Register (GPIO_PF_IOC)	0x30031f (8 bits)	D7–5	–	reserved	–				–	–	0 when being read.	
		D4–0	IOCF[4:0]	PF[4:0] I/O control	1	Output		0	Input		0x0 R/W	
FPT0–1 Interrupt Port Select Register (GPIO_FPT01_SEL)	0x300340 (8 bits)	D7	–	reserved	–				–	–	0 when being read.	
		D6–4	SPT1[2:0]	FPT1 interrupt input port select	SPT1[2:0]		Port		0x0	R/W		
					0x7 PE1							
					0x6 PD1							
					0x5 PB1							
					0x4 PA1							
					0x3 P91							
					0x2 P73							
					0x1 P13							
					0x0 P01							
		D3	–	reserved	–				–	–	0 when being read.	
		D2–0	SPT0[2:0]	FPT0 interrupt input port select	SPT0[2:0]		Port		0x0	R/W		
					0x7 PE0							
0x6 PD0												
0x5 PB0												
0x4 PA0												
0x3 P90												
0x2 P71												
0x1 P12												
0x0 P00												

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT2-3 Interrupt Port Select Register (GPIO_FPT23_ SEL)	0x300341 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	SPT3[2:0]	FPT3 interrupt input port select	SPT3[2:0]	Port	0x0	R/W
					0x7	PE3		
					0x6	PD3		
					0x5	PB3		
					0x4	PA3		
					0x3	P93		
					0x2	P77		
					0x1	P30		
					0x0	P03		
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	SPT2[2:0]	FPT2 interrupt input port select	SPT2[2:0]	Port	0x0	R/W
					0x7	PE2		
					0x6	PD2		
					0x5	PB2		
					0x4	PA2		
					0x3	P92		
					0x2	P75		
					0x1	P14		
					0x0	P02		
FPT4-5 Interrupt Port Select Register (GPIO_FPT45_ SEL)	0x300342 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	SPT5[2:0]	FPT5 interrupt input port select	SPT5[2:0]	Port	0x0	R/W
					0x7	P55		
					0x6	PD5		
					0x5	PB5		
					0x4	PA5		
					0x3	P95		
					0x2	P81		
					0x1	P32		
					0x0	P05		
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	SPT4[2:0]	FPT4 interrupt input port select	SPT4[2:0]	Port	0x0	R/W
					0x7	PE4		
					0x6	PD4		
					0x5	PB4		
					0x4	PA4		
					0x3	P94		
					0x2	P80		
					0x1	P31		
					0x0	P04		
FPT6-7 Interrupt Port Select Register (GPIO_FPT67_ SEL)	0x300343 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	SPT7[2:0]	FPT7 interrupt input port select	SPT7[2:0]	Port	0x0	R/W
					0x7	PF1		
					0x6	PD7		
					0x5	PB7		
					0x4	PA7		
					0x3	P97		
					0x2	P83		
					0x1	P60		
					0x0	P07		
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	SPT6[2:0]	FPT6 interrupt input port select	SPT6[2:0]	Port	0x0	R/W
					0x7	PF0		
					0x6	PD6		
					0x5	PB6		
					0x4	PA6		
					0x3	P96		
					0x2	P82		
					0x1	P33		
					0x0	P06		
FPT0-3 Interrupt Polarity Select Register (GPIO_FPT03_ POL)	0x300344 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SPPT3	FPT3 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D2	SPPT2	FPT2 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D1	SPPT1	FPT1 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D0	SPPT0	FPT0 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
FPT4-7 Interrupt Polarity Select Register (GPIO_FPT47_ POL)	0x300345 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SPPT7	FPT7 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D2	SPPT6	FPT6 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D1	SPPT5	FPT5 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
		D0	SPPT4	FPT4 input polarity select	1 High / ↑	0 Low / ↓	1	R/W
FPT0-3 Interrupt Mode Select Register (GPIO_FPT03_ MOD)	0x300346 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SEPT3	FPT3 interrupt mode select	1 Edge	0 Level	1	R/W
		D2	SEPT2	FPT2 interrupt mode select	1 Edge	0 Level	1	R/W
		D1	SEPT1	FPT1 interrupt mode select	1 Edge	0 Level	1	R/W
		D0	SEPT0	FPT0 interrupt mode select	1 Edge	0 Level	1	R/W

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPT4-7 Interrupt Mode Select Register (GPIO_FPT47_ MOD)	0x300347 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SEPT7	FPT7 interrupt mode select	1 Edge 0 Level	1	R/W	
		D2	SEPT6	FPT6 interrupt mode select	1 Edge 0 Level	1	R/W	
		D1	SEPT5	FPT5 interrupt mode select	1 Edge 0 Level	1	R/W	
		D0	SEPT4	FPT4 interrupt mode select	1 Edge 0 Level	1	R/W	
FPT0-3 Interrupt Mask Register (GPIO_FPT03_ MSK)	0x300348 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SIET3	FPT3 interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	SIET2	FPT2 interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIET1	FPT1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIET0	FPT0 interrupt enable	1 Enable 0 Disable	0	R/W	
FPT4-7 Interrupt Mask Register (GPIO_FPT47_ MSK)	0x300349 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SIET7	FPT7 interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	SIET6	FPT6 interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIET5	FPT5 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIET4	FPT4 interrupt enable	1 Enable 0 Disable	0	R/W	
FPT0-3 Interrupt Flag Register (GPIO_FPT03_ FLG)	0x30034a (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SFGP3	FPT3 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	X	R/W	Reset by writing 1.
		D2	SFGP2	FPT2 interrupt flag		X	R/W	
		D1	SFGP1	FPT1 interrupt flag		X	R/W	
		D0	SFGP0	FPT0 interrupt flag		X	R/W	
FPT4-7 Interrupt Flag Register (GPIO_FPT47_ FLG)	0x30034b (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SFGP7	FPT7 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	X	R/W	Reset by writing 1.
		D2	SFGP6	FPT6 interrupt flag		X	R/W	
		D1	SFGP5	FPT5 interrupt flag		X	R/W	
		D0	SFGP4	FPT4 interrupt flag		X	R/W	
FPT0-1 Interrupt Chattering Filter Control Register (GPIO_FPT01_ CHAT)	0x30034c (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	SCTP1[2:0]	FPT1 chattering filter time select	SCTP1[2:0]	Filter sampling time	0x0	R/W
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	SCTP0[2:0]	FPT0 chattering filter time select	SCTP0[2:0]	Filter sampling time	0x0	R/W
FPT2-3 Interrupt Chattering Filter Control Register (GPIO_FPT23_ CHAT)	0x30034d (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	SCTP3[2:0]	FPT3 chattering filter time select	SCTP3[2:0]	Filter sampling time	0x0	R/W
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	SCTP2[2:0]	FPT2 chattering filter time select	SCTP2[2:0]	Filter sampling time	0x0	R/W

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
FPT4–5 Interrupt Chattering Filter Control Register (GPIO_FPT45_ CHAT)	0x30034e (8 bits)	D7	–	reserved	–		–	–	0 when being read.	
		D6–4	SCTP5[2:0]	FPT5 chattering filter time select	SCTP5[2:0]	Filter sampling time	0x0	R/W		
					0x7	64/fPCLK				
					0x6	32/fPCLK				
					0x5	16/fPCLK				
					0x4	8/fPCLK				
					0x3	4/fPCLK				
					0x2	2/fPCLK				
					0x1	1/fPCLK				
		0x0	None							
D3	–	reserved	–		–	–	0 when being read.			
D2–0	SCTP4[2:0]	FPT4 chattering filter time select	SCTP4[2:0]	Filter sampling time	0x0	R/W				
			0x7	64/fPCLK						
			0x6	32/fPCLK						
			0x5	16/fPCLK						
			0x4	8/fPCLK						
			0x3	4/fPCLK						
			0x2	2/fPCLK						
			0x1	1/fPCLK						
0x0	None									
FPT6–7 Interrupt Chattering Filter Control Register (GPIO_FPT67_ CHAT)	0x30034f (8 bits)	D7	–	reserved	–		–	–	0 when being read.	
		D6–4	SCTP7[2:0]	FPT7 chattering filter time select	SCTP7[2:0]	Filter sampling time	0x0	R/W		
					0x7	64/fPCLK				
					0x6	32/fPCLK				
					0x5	16/fPCLK				
					0x4	8/fPCLK				
					0x3	4/fPCLK				
					0x2	2/fPCLK				
					0x1	1/fPCLK				
		0x0	None							
D3	–	reserved	–		–	–	0 when being read.			
D2–0	SCTP6[2:0]	FPT6 chattering filter time select	SCTP6[2:0]	Filter sampling time	0x0	R/W				
			0x7	64/fPCLK						
			0x6	32/fPCLK						
			0x5	16/fPCLK						
			0x4	8/fPCLK						
			0x3	4/fPCLK						
			0x2	2/fPCLK						
			0x1	1/fPCLK						
0x0	None									
Port DMA Trigger Source Select Register (GPIO_DMA)	0x300350 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.	
		D2–0	SDMAT[2:0]	Port DMA trigger source select	SDMAT[2:0]	Trigger source	0x0	R/W		
0x7	FPT7									
0x6	FPT6									
0x5	FPT5									
0x4	FPT4									
0x3	FPT3									
0x2	FPT2									
0x1	FPT1									
0x0	FPT0									
FPK000–007 Interrupt Select Register (GPIO_FPK0_07_SEL)	0x300360 (8 bits)	D7	SPK007	FPK007 interrupt select	1	P07 input	0	Disable	0	R/W
		D6	SPK006	FPK006 interrupt select	1	P06 input	0	Disable	0	R/W
		D5	SPK005	FPK005 interrupt select	1	P05 input	0	Disable	0	R/W
		D4	SPK004	FPK004 interrupt select	1	P04 input	0	Disable	0	R/W
		D3	SPK003	FPK003 interrupt select	1	P03 input	0	Disable	0	R/W
		D2	SPK002	FPK002 interrupt select	1	P02 input	0	Disable	0	R/W
		D1	SPK001	FPK001 interrupt select	1	P01 input	0	Disable	0	R/W
		D0	SPK000	FPK000 interrupt select	1	P00 input	0	Disable	0	R/W
FPK008–015 Interrupt Select Register (GPIO_FPK0_8F_SEL)	0x300361 (8 bits)	D7	SPK015	FPK015 interrupt select	1	PA7 input	0	Disable	0	R/W
		D6	SPK014	FPK014 interrupt select	1	PA6 input	0	Disable	0	R/W
		D5	SPK013	FPK013 interrupt select	1	PA5 input	0	Disable	0	R/W
		D4	SPK012	FPK012 interrupt select	1	PA4 input	0	Disable	0	R/W
		D3	SPK011	FPK011 interrupt select	1	PA3 input	0	Disable	0	R/W
		D2	SPK010	FPK010 interrupt select	1	PA2 input	0	Disable	0	R/W
		D1	SPK009	FPK009 interrupt select	1	PA1 input	0	Disable	0	R/W
		D0	SPK008	FPK008 interrupt select	1	PA0 input	0	Disable	0	R/W
FPK100–107 Interrupt Select Register (GPIO_FPK1_07_SEL)	0x300362 (8 bits)	D7	SPK107	FPK107 interrupt select	1	P76 input	0	Disable	0	R/W
		D6	SPK106	FPK106 interrupt select	1	P74 input	0	Disable	0	R/W
		D5	SPK105	FPK105 interrupt select	1	P72 input	0	Disable	0	R/W
		D4	SPK104	FPK104 interrupt select	1	P70 input	0	Disable	0	R/W
		D3	SPK103	FPK103 interrupt select	1	P33 input	0	Disable	0	R/W
		D2	SPK102	FPK102 interrupt select	1	P32 input	0	Disable	0	R/W
		D1	SPK101	FPK101 interrupt select	1	P31 input	0	Disable	0	R/W
		D0	SPK100	FPK100 interrupt select	1	P30 input	0	Disable	0	R/W

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
FPK108–115 Interrupt Select Register (GPIO_FPK1_8F_SEL)	0x300363 (8 bits)	D7	SPK115	FPK115 interrupt select	1	PD7 input	0	Disable	0	R/W	
		D6	SPK114	FPK114 interrupt select	1	PD6 input	0	Disable	0	R/W	
		D5	SPK113	FPK113 interrupt select	1	PD5 input	0	Disable	0	R/W	
		D4	SPK112	FPK112 interrupt select	1	PD4 input	0	Disable	0	R/W	
		D3	SPK111	FPK111 interrupt select	1	PD3 input	0	Disable	0	R/W	
		D2	SPK110	FPK110 interrupt select	1	PD2 input	0	Disable	0	R/W	
		D1	SPK109	FPK109 interrupt select	1	PD1 input	0	Disable	0	R/W	
		D0	SPK108	FPK108 interrupt select	1	PD0 input	0	Disable	0	R/W	
FPK0–1 Interrupt Polarity Select Register (GPIO_FPK01_POL)	0x300370 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	SPKT1	FPK1 input polarity select	1	High / ↑	0	Low / ↓	1	R/W	
		D0	SPKT0	FPK0 input polarity select	1	High / ↑	0	Low / ↓	1	R/W	
FPK0–1 Interrupt Mode Select Register (GPIO_FPK01_MOD)	0x300371 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	SEKT1	FPK1 interrupt mode select	1	Edge	0	Level	1	R/W	
		D0	SEKT0	FPK0 interrupt mode select	1	Edge	0	Level	1	R/W	
FPK0–1 Interrupt Mask Register (GPIO_FPK01_MSK)	0x300372 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	SIEKT1	FPK1 interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	SIEKT0	FPK0 interrupt enable	1	Enable	0	Disable	0	R/W	
FPK0–1 Interrupt Flag Register (GPIO_FPK01_FLG)	0x300373 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	SFGK1	FPK1 interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	X	R/W	
		D0	SFGK0	FPK0 interrupt flag					X	R/W	
FPK0–1 Interrupt Chattering Filter Control Register (GPIO_FPK01_CHAT)	0x300374 (8 bits)	D7	–	reserved	–			–	–	0 when being read.	
		D6–4	SCTK1[2:0]	FPK1 chattering filter time select	SCTK1[2:0]	Filter sampling time	0x0	R/W			
					0x7	64/fPCLK					
					0x6	32/fPCLK					
					0x5	16/fPCLK					
					0x4	8/fPCLK					
					0x3	4/fPCLK					
0x2	2/fPCLK										
0x1	1/fPCLK										
0x0	None										
D3	–	reserved	–			–	–	0 when being read.			
D2–0	SCTK0[2:0]	FPK0 chattering filter time select	SCTK0[2:0]	Filter sampling time	0x0	R/W					
			0x7	64/fPCLK							
			0x6	32/fPCLK							
			0x5	16/fPCLK							
			0x4	8/fPCLK							
			0x3	4/fPCLK							
0x2	2/fPCLK										
0x1	1/fPCLK										
0x0	None										
P0[3:0] Port Function Select Register (PMUX_P0_03)	0x300800 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0]		Function	0x0	R/W	Write-protected	
					0x3	HIF_D0					
					0x2	REMC_I					
					0x1	USI_CK0					
					0x0	P03					
		D5–4	CFP02[1:0]	P02 port function select	CFP02[1:0]		Function	0x0	R/W		
					0x3	#HIF_CS					
					0x2	SCLK					
					0x1	USI_CS0					
					0x0	P02					
		D3–2	CFP01[1:0]	P01 port function select	CFP01[1:0]		Function	0x0	R/W		
					0x3	#HIF_RD					
					0x2	SOUT					
					0x1	USI_DO0					
					0x0	P01					
		D1–0	CFP00[1:0]	P00 port function select	CFP00[1:0]		Function	0x0	R/W		
0x3	#HIF_WR										
0x2	SIN										
0x1	USI_DI0										
0x0	P00										

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[7:4] Port Function Select Register (PMUX_P0_47)	0x300801 (8 bits)	D7–6	CFP07[1:0]	P07 port function select	CFP07[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_D4			
					0x2	T16A_ATMB_1			
					0x1	USI_CK1			
					0x0	P07			
		D5–4	CFP06[1:0]	P06 port function select	CFP06[1:0]	Function	0x0	R/W	
					0x3	HIF_D3			
					0x2	T16A_ATMA_1			
					0x1	USI_CS1			
					0x0	P06			
D3–2	CFP05[1:0]	P05 port function select	CFP05[1:0]	Function	0x0	R/W			
			0x3	HIF_D2					
			0x2	T16A_ATMB_0					
			0x1	USI_DO1					
			0x0	P05					
D1–0	CFP04[1:0]	P04 port function select	CFP04[1:0]	Function	0x0	R/W			
			0x3	HIF_D1					
			0x2	T16A_ATMA_0					
			0x1	USI_DI1					
			0x0	P04					
P1[3:0] Port Function Select Register (PMUX_P1_03)	0x300802 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_D6			
					0x2	PWM_L0			
					0x1	I2S_WSO			
					0x0	P13			
		D5–4	CFP12[1:0]	P12 port function select	CFP12[1:0]	Function	0x0	R/W	
					0x3	HIF_D5			
					0x2	PWM_H0			
					0x1	I2S_SDO			
					0x0	P12			
D3–2	CFP11[1:0]	P11 port function select	CFP11[1:0]	Function	0x0	R/W			
			0x3	SOUT					
			0x2	P11					
			0x1	TFT_CTL1					
			0x0	A25					
D1–0	CFP10[1:0]	P10 port function select	CFP10[1:0]	Function	0x0	R/W			
			0x3	CMU_CLK					
			0x2	P10					
			0x1	TFT_CTL0					
			0x0	A24					
P1[7:4] Port Function Select Register (PMUX_P1_47)	0x300803 (8 bits)	D7–6	CFP17[1:0]	P17 port function select	CFP17[1:0]	Function	0x0	R/W	Write-protected * When TRACE/ MISC_TRACE register = 0 (default)
					0x3	#NAND_RD			
					0x2	REMC_O			
					0x1	#CE5			
					0x0	P17			
					–	DPCO *			
		D5–4	CFP16[1:0]	P16 port function select	CFP16[1:0]	Function	0x0	R/W	
					0x3	#NAND_WR			
					0x2	CMU_CLK			
					0x1	#CE4			
D3–2	CFP15[1:0]	P15 port function select	CFP15[1:0]	Function	0x0	R/W			
			0x3	#HIF_WAIT					
			0x2	PWM_L1					
			0x1	I2S_MCLKO					
D1–0	CFP14[1:0]	P14 port function select	CFP15[1:0]	Function	0x0	R/W			
			0x3	#HIF_WAIT					
			0x2	PWM_L1					
			0x1	I2S_MCLKO					
P2[1:0] Port Function Select Register (PMUX_P2_01)	0x300804 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.
					D3–2	CFP21[1:0]			
		D1–0	CFP20[1:0]	P20 port function select	CFP20[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P21			
					0x0	SDCLK			
					0x3	reserved			
					0x2	reserved			
					0x1	P20			
0x0	SDCKE								

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P3[3:0] Port Function Select Register (PMUX_P3_03)	0x300806 (8 bits)	D7–6	CFP33[1:0]	P33 port function select	CFP33[1:0]	Function	0x0	R/W	Write-protected
					0x3	HIF_A3			
					0x2	T16A_ATMB_3			
					0x1	I2S_MCLKI			
		D5–4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W	
					0x3	HIF_A2			
					0x2	T16A_ATMA_3			
					0x1	I2S_SCLKI			
		D3–2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W	
					0x3	HIF_A1			
					0x2	T16A_ATMB_2			
					0x1	I2S_WSI			
D1–0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W			
			0x3	HIF_A0					
			0x2	T16A_ATMA_2					
			0x1	I2S_SDI					
P3[6:4] Port Function Select Register (PMUX_P3_46)	0x300807 (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFP36[1:0]	P36 port function select	CFP36[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P36			
		D3–2	CFP35[1:0]	P35 port function select	CFP35[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P35			
		D1–0	CFP34[1:0]	P34 port function select	CFP34[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	reserved								
0x1	P34								
P4[2:0] Port Function Select Register (PMUX_P4_02)	0x300808 (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	TFT_CTL3			
					0x1	P42			
		D3–2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TFT_CTL2			
					0x1	P41			
		D1–0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	reserved								
0x1	P40								
P5[3:0] Port Function Select Register (PMUX_P5_03)	0x30080a (8 bits)	D7–6	CFP53[1:0]	P53 port function select	CFP53[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P53			
		D5–4	CFP52[1:0]	P52 port function select	CFP52[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P52			
		D3–2	CFP51[1:0]	P51 port function select	CFP51[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#HIF_INT			
					0x1	P51			
D1–0	CFP50[1:0]	P50 port function select	CFP50[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	#SDCS					
			0x1	P50					

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P5[6:4] Port Function Select Register (PMUX_P5_46)	0x30080b (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFP56[1:0]	P56 port function select	CFP56[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P56			
		0x0	#WRH/#BSH						
		D3–2	CFP55[1:0]	P55 port function select	CFP55[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	reserved								
0x1	P55								
0x0	#WRL								
D1–0	CFP54[1:0]	P54 port function select	CFP54[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	P54					
0x0	#RD								
P60 Port Function Select Register (PMUX_P6_0)	0x30080c (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	CFP60[1:0]	P60 port function select	CFP60[1:0]	Function	0x0	R/W	Write-protected
					0x3	#WDT_NMI			
					0x2	WDT_CLK			
0x1	#WAIT								
0x0	P60								
P7[3:0] Port Function Select Register (PMUX_P7_03)	0x30080e (8 bits)	D7–6	CFP73[1:0]	P73 port function select	CFP73[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	I2S_SCLKI			
					0x1	AIN3			
		0x0	P73						
		D5–4	CFP72[1:0]	P72 port function select	CFP72[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL1			
					0x1	AIN2			
		0x0	P72						
		D3–2	CFP71[1:0]	P71 port function select	CFP71[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	I2S_WSI								
0x1	AIN1								
0x0	P71								
D1–0	CFP70[1:0]	P70 port function select	CFP70[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	EXCL0					
			0x1	AIN0					
0x0	P70								
P7[7:4] Port Function Select Register (PMUX_P7_47)	0x30080f (8 bits)	D7–6	CFP77[1:0]	P77 port function select	CFP77[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	AIN7			
		0x0	P77						
		D5–4	CFP76[1:0]	P76 port function select	CFP76[1:0]	Function	0x0	R/W	
					0x3	#ADTRIG			
					0x2	#WAIT			
					0x1	AIN6			
		0x0	P76						
		D3–2	CFP75[1:0]	P75 port function select	CFP75[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	I2S_MCLKI								
0x1	AIN5								
0x0	P75								
D1–0	CFP74[1:0]	P74 port function select	CFP74[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	WDT_EXCL					
			0x1	AIN4					
0x0	P74								

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P8[3:0] Port Function Select Register (PMUX_P8_03)	0x300810 (8 bits)	D7-6	CFP83[1:0]	P83 port function select	CFP83[1:0]	Function	0x0	R/W	Write-protected
					0x3	MMCD3			
					0x2	USIL_CK			
					0x1	FPDRDY			
					0x0	P83			
		D5-4	CFP82[1:0]	P82 port function select	CFP82[1:0]	Function	0x0	R/W	
					0x3	MMCD2			
					0x2	USIL_CS			
					0x1	FPSHIFT			
					0x0	P82			
		D3-2	CFP81[1:0]	P81 port function select	CFP81[1:0]	Function	0x0	R/W	
					0x3	MMCD1			
					0x2	USIL_DO			
					0x1	FPLINE			
					0x0	P81			
		D1-0	CFP80[1:0]	P80 port function select	CFP80[1:0]	Function	0x0	R/W	
0x3	MMCD0								
0x2	USIL_DI								
0x1	FPFRAME								
0x0	P80								
P9[3:0] Port Function Select Register (PMUX_P9_03)	0x300812 (8 bits)	D7-6	CFP93[1:0]	P93 port function select	CFP93[1:0]	Function	0x0	R/W	Write-protected
					0x3	#NAND_RD			
					0x2	USIL_LCD_D3			
					0x1	FPDAT3			
					0x0	P93			
		D5-4	CFP92[1:0]	P92 port function select	CFP92[1:0]	Function	0x0	R/W	
					0x3	#NAND_WR			
					0x2	USIL_LCD_D2			
					0x1	FPDAT2			
					0x0	P92			
		D3-2	CFP91[1:0]	P91 port function select	CFP91[1:0]	Function	0x0	R/W	
					0x3	MMCCLK			
					0x2	USIL_LCD_D1			
					0x1	FPDAT1			
					0x0	P91			
		D1-0	CFP90[1:0]	P90 port function select	CFP90[1:0]	Function	0x0	R/W	
0x3	MMCCMD								
0x2	USIL_LCD_D0								
0x1	FPDAT0								
0x0	P90								
P9[7:4] Port Function Select Register (PMUX_P9_47)	0x300813 (8 bits)	D7-6	CFP97[1:0]	P97 port function select	CFP97[1:0]	Function	0x0	R/W	Write-protected
					0x3	USI_CK2			
					0x2	USIL_LCD_D7			
					0x1	FPDAT7			
					0x0	P97			
		D5-4	CFP96[1:0]	P96 port function select	CFP96[1:0]	Function	0x0	R/W	
					0x3	USI_CS2			
					0x2	USIL_LCD_D6			
					0x1	FPDAT6			
					0x0	P96			
		D3-2	CFP95[1:0]	P95 port function select	CFP95[1:0]	Function	0x0	R/W	
					0x3	USI_DO2			
					0x2	USIL_LCD_D5			
					0x1	FPDAT5			
					0x0	P95			
		D1-0	CFP94[1:0]	P94 port function select	CFP94[1:0]	Function	0x0	R/W	
0x3	USI_DI2								
0x2	USIL_LCD_D4								
0x1	FPDAT4								
0x0	P94								

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA[3:0] Port Function Select Register (PMUX_PA_03)	0x300814 (8 bits)	D7–6	CFPA3[1:0]	PA3 port function select	CFPA3[1:0]	Function	0x0	R/W	Write-protected
					0x3	FPDAT19			
					0x2	MMCD3			
					0x1	HIF_D11			
					0x0	PA3			
		D5–4	CFPA2[1:0]	PA2 port function select	CFPA2[1:0]	Function	0x0	R/W	
					0x3	FPDAT18			
					0x2	MMCD2			
					0x1	HIF_D10			
					0x0	PA2			
		D3–2	CFPA1[1:0]	PA1 port function select	CFPA1[1:0]	Function	0x0	R/W	
					0x3	FPDAT17			
0x2	MMCD1								
0x1	HIF_D9								
0x0	PA1								
D1–0	CFPA0[1:0]	PA0 port function select	CFPA0[1:0]	Function	0x0	R/W			
			0x3	FPDAT16					
			0x2	MMCD0					
			0x1	HIF_D8					
			0x0	PA0					
PA[7:4] Port Function Select Register (PMUX_PA_47)	0x300815 (8 bits)	D7–6	CFPA7[1:0]	PA7 port function select	CFPA7[1:0]	Function	0x0	R/W	Write-protected
					0x3	FPDAT23			
					0x2	T16A_ATMB_0			
					0x1	HIF_D15			
					0x0	PA7			
		D5–4	CFPA6[1:0]	PA6 port function select	CFPA6[1:0]	Function	0x0	R/W	
					0x3	FPDAT22			
					0x2	T16A_ATMA_0			
					0x1	HIF_D14			
					0x0	PA6			
		D3–2	CFPA5[1:0]	PA5 port function select	CFPA5[1:0]	Function	0x0	R/W	
					0x3	FPDAT21			
0x2	MMCCLK								
0x1	HIF_D13								
0x0	PA5								
D1–0	CFPA4[1:0]	PA4 port function select	CFPA4[1:0]	Function	0x0	R/W			
			0x3	FPDAT20					
			0x2	MMCCMD					
			0x1	HIF_D12					
			0x0	PA4					
PB[3:0] Port Function Select Register (PMUX_PB_03)	0x300816 (8 bits)	D7–6	CFPB3[1:0]	PB3 port function select	CFPB3[1:0]	Function	0x0	R/W	Write-protected
					0x3	MMCD3			
					0x2	REMC_I			
					0x1	FPDAT11			
					0x0	PB3			
		D5–4	CFPB2[1:0]	PB2 port function select	CFPB2[1:0]	Function	0x0	R/W	
					0x3	MMCD2			
					0x2	REMC_O			
					0x1	FPDAT10			
					0x0	PB2			
		D3–2	CFPB1[1:0]	PB1 port function select	CFPB1[1:0]	Function	0x0	R/W	
					0x3	MMCD1			
0x2	#NAND_RD								
0x1	FPDAT9								
0x0	PB1								
D1–0	CFPB0[1:0]	PB0 port function select	CFPB0[1:0]	Function	0x0	R/W			
			0x3	MMCD0					
			0x2	#NAND_WR					
			0x1	FPDAT8					
			0x0	PB0					

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB[7:4] Port Function Select Register (PMUX_PB_47)	0x300817 (8 bits)	D7–6	CFPB7[1:0]	PB7 port function select	CFPB7[1:0]	Function	0x0	R/W	Write-protected
					0x3	T16A_ATMB_1			
					0x2	USI_CK2			
					0x1	FPDAT15			
					0x0	PB7			
		D5–4	CFPB6[1:0]	PB6 port function select	CFPB6[1:0]	Function	0x0	R/W	
					0x3	T16A_ATMA_1			
					0x2	USI_CS2			
					0x1	FPDAT14			
					0x0	PB6			
		D3–2	CFPB5[1:0]	PB5 port function select	CFPB5[1:0]	Function	0x0	R/W	
					0x3	MMCCCLK			
0x2	USI_DO2								
0x1	FPDAT13								
0x0	PB5								
D1–0	CFPB4[1:0]	PB4 port function select	CFPB4[1:0]	Function	0x0	R/W			
			0x3	MMCCCMD					
			0x2	USI_DI2					
			0x1	FPDAT12					
			0x0	PB4					
PC[3:0] Port Function Select Register (PMUX_PC_03)	0x300818 (8 bits)	D7–6	CFPC3[1:0]	PC3 port function select	CFPC3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	PC3			
					0x0	D11			
		D5–4	CFPC2[1:0]	PC2 port function select	CFPC2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	PC2			
					0x0	D10			
		D3–2	CFPC1[1:0]	PC1 port function select	CFPC1[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	reserved								
0x1	PC1								
0x0	D9								
D1–0	CFPC0[1:0]	PC0 port function select	CFPC0[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	PC0					
			0x0	D8					
PC[7:4] Port Function Select Register (PMUX_PC_47)	0x300819 (8 bits)	D7–6	CFPC7[1:0]	PC7 port function select	CFPC7[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	PC7			
					0x0	D15			
		D5–4	CFPC6[1:0]	PC6 port function select	CFPC6[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	PC6			
					0x0	D14			
		D3–2	CFPC5[1:0]	PC5 port function select	CFPC5[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	reserved								
0x1	PC5								
0x0	D13								
D1–0	CFPC4[1:0]	PC4 port function select	CFPC4[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	PC4					
			0x0	D12					

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PD[3:0] Port Function Select Register (PMUX_PD_03)	0x30081a (8 bits)	D7–6	CFPD3[1:0]	PD3 port function select	CFPD3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	USI_CK0			
					0x1	FPDAT19			
					0x0	PD3			
		D5–4	CFPD2[1:0]	PD2 port function select	CFPD2[1:0]	Function	0x0	R/W	
					0x3	SCLK			
					0x2	USI_CS0			
					0x1	FPDAT18			
					0x0	PD2			
D3–2	CFPD1[1:0]	PD1 port function select	CFPD1[1:0]	Function	0x0	R/W			
			0x3	SOUT					
			0x2	USI_DO0					
			0x1	FPDAT17					
			0x0	PD1					
D1–0	CFPD0[1:0]	PD0 port function select	CFPD0[1:0]	Function	0x0	R/W			
			0x3	SIN					
			0x2	USI_DI0					
			0x1	FPDAT16					
			0x0	PD0					
PD[7:4] Port Function Select Register (PMUX_PD_47)	0x30081b (8 bits)	D7–6	CFPD7[1:0]	PD7 port function select	CFPD7[1:0]	Function	0x0	R/W	Write-protected
					0x3	T16A_ATMB_0			
					0x2	USI_CK1			
					0x1	FPDAT23			
					0x0	PD7			
		D5–4	CFPD6[1:0]	PD6 port function select	CFPD6[1:0]	Function	0x0	R/W	
					0x3	T16A_ATMA_0			
					0x2	USI_CS1			
					0x1	FPDAT22			
					0x0	PD6			
D3–2	CFPD5[1:0]	PD5 port function select	CFPD5[1:0]	Function	0x0	R/W			
			0x3	#NAND_RD					
			0x2	USI_DO1					
			0x1	FPDAT21					
			0x0	PD5					
D1–0	CFPD4[1:0]	PD4 port function select	CFPD4[1:0]	Function	0x0	R/W			
			0x3	#NAND_WR					
			0x2	USI_DI1					
			0x1	FPDAT20					
			0x0	PD4					
PE[3:0] Port Function Select Register (PMUX_PE_03)	0x30081c (8 bits)	D7–6	CFPE3[1:0]	PE3 port function select	CFPE3[1:0]	Function	0x0	R/W	Write-protected
					0x3	USI_CK2			
					0x2	T16A_ATMB_3			
					0x1	MMCD3			
					0x0	PE3			
		D5–4	CFPE2[1:0]	PE2 port function select	CFPE2[1:0]	Function	0x0	R/W	
					0x3	USI_CS2			
					0x2	T16A_ATMA_3			
					0x1	MMCD2			
					0x0	PE2			
D3–2	CFPE1[1:0]	PE1 port function select	CFPE1[1:0]	Function	0x0	R/W			
			0x3	USI_DO2					
			0x2	T16A_ATMB_2					
			0x1	MMCD1					
			0x0	PE1					
D1–0	CFPE0[1:0]	PE0 port function select	CFPE0[1:0]	Function	0x0	R/W			
			0x3	USI_DI2					
			0x2	T16A_ATMA_2					
			0x1	MMCD0					
			0x0	PE0					
PE[5:4] Port Function Select Register (PMUX_PE_45)	0x30081d (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–2	CFPE5[1:0]	PE5 port function select	CFPE5[1:0]	Function	0x0	R/W	Write-protected
					0x3	REMC_I			
					0x2	T16A_ATMB_1			
					0x1	MMCCCLK			
		0x0	PE5						
		D1–0	CFPE4[1:0]	PE4 port function select	CFPE4[1:0]	Function	0x0	R/W	
0x3	REMC_O								
0x2	T16A_ATMA_1								
0x1	MMCCMD								
0x0	PE4								

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PF3[3:0] Port Function Select Register (PMUX_PF_03)	0x30081e (8 bits)	D7–6	CFPF3[1:0]	PF3 port function select	CFPF3[1:0]	Function	0x0	R/W	Write-protected
					0x3 0x2 0x1 0x0	TFT_CTL3 PWM_L1 I2S_MCLKO PF3			
		D5–4	CFPF2[1:0]	PF2 port function select	CFPF2[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	TFT_CTL2 PWM_H1 I2S_SCLKO PF2			
		D3–2	CFPF1[1:0]	PF1 port function select	CFPF1[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	TFT_CTL1 PWM_L0 I2S_WSO PF1			
		D1–0	CFPF0[1:0]	PF0 port function select	CFPF0[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	TFT_CTL0 PWM_H0 I2S_SDO PF0			
PF4 Port Function Select Register (PMUX_PF_4)	0x30081f (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	CFPF4[1:0]	PF4 port function select	CFPF4[1:0]	Function	0x0	R/W	Write-protected
					0x3 0x2 0x1 0x0	reserved #ADTRIG I2S_SDI PF4			
P0 Port Pull-up Control Register (GPIO_P0_PUP)	0x300820 (8 bits)	D7–0	PUP0[7:0]	P0[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P0[7:0]: not pulled up Write-protected
P1 Port Pull-up Control Register (GPIO_P1_PUP)	0x300821 (8 bits)	D7–0	PUP1[7:0]	P1[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P1[7:0]: not pulled up Write-protected
P2 Port Pull-up Control Register (GPIO_P2_PUP)	0x300822 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	PUP2[1:0]	P2[1:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P2[1:0]: not pulled up Write-protected
P3 Port Pull-up Control Register (GPIO_P3_PUP)	0x300823 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–0	PUP3[6:0]	P3[6:0] port pull-up enable	1	Enable	0	Disable	0x20 * R/W * P35: pulled up, others: not pulled up Write-protected
P4 Port Pull-up Control Register (GPIO_P4_PUP)	0x300824 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.
		D2–0	PUP4[2:0]	P4[2:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P4[2:0]: not pulled up Write-protected
P5 Port Pull-up Control Register (GPIO_P5_PUP)	0x300825 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–0	PUP5[6:0]	P5[6:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P5[6:0]: not pulled up Write-protected
P6 Port Pull-up Control Register (GPIO_P6_PUP)	0x300826 (8 bits)	D7–1	–	reserved	–		–	–	0 when being read.
		D0	PUP60	P60 port pull-up enable	1	Enable	0	Disable	1 * R/W * P60: pulled up Write-protected
P7 Port Pull-up Control Register (GPIO_P7_PUP)	0x300827 (8 bits)	D7–0	PUP7[7:0]	P7[7:0] port pull-up enable	1	Enable	0	Disable	0x40 * R/W * P76: pulled up, others: not pulled up Write-protected
P8 Port Pull-up Control Register (GPIO_P8_PUP)	0x300828 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–0	PUP8[3:0]	P8[3:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P8[3:0]: not pulled up Write-protected
P9 Port Pull-up Control Register (GPIO_P9_PUP)	0x300829 (8 bits)	D7–0	PUP9[7:0]	P9[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * P9[7:0]: not pulled up Write-protected
PA Port Pull-up Control Register (GPIO_PA_PUP)	0x30082a (8 bits)	D7–0	PUPA[7:0]	PA[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * PA[7:0]: not pulled up Write-protected
PB Port Pull-up Control Register (GPIO_PB_PUP)	0x30082b (8 bits)	D7–0	PUPB[7:0]	PB[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * PB[7:0]: not pulled up Write-protected
PD Port Pull-up Control Register (GPIO_PD_PUP)	0x30082d (8 bits)	D7–0	PUPD[7:0]	PD[7:0] port pull-up enable	1	Enable	0	Disable	0x0 * R/W * PD[7:0]: not pulled up Write-protected

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PE Port Pull-up Control Register (GPIO_PE_PUP)	0x30082e (8 bits)	D7–6	–	reserved	–		–	0 when being read.
		D5–0	PUPE[5:0]	PE[5:0] port pull-up enable	1 Enable	0 Disable	0x0 *	* PE[5:0]: not pulled up Write-protected
PF Port Pull-up Control Register (GPIO_PF_PUP)	0x30082f (8 bits)	D7–5	–	reserved	–		–	0 when being read.
		D4–0	PUPF[4:0]	PF[4:0] port pull-up enable	1 Enable	0 Disable	0x0 *	* PF[4:0]: not pulled up Write-protected
Bus Drive Control Register (GPIO_BUS_DRV)	0x300830 (8 bits)	D7–2	–	reserved	–		–	0 when being read.
		D1	LDRVDB	D[15:0] low drive	1 Low drive	0 Normal output	0	R/W Write-protected
		D0	LDRVAD	A[25:0] low drive			0	R/W
Port Noise Filter Control Register (GPIO_FILTER)	0x30083e (8 bits)	D7–1	–	reserved	–		–	0 when being read.
		D0	ANFEN	Input port noise filter enable	1 Enable	0 Disable	0	R/W Write-protected
GPIO/PMUX Write Protect Register (GPIO_PROTECT)	0x30083f (8 bits)	D7–0	PPROT[7:0]	GPIO/PMUX register protect flag	Writing 10010110 (0x96) removes the write protection of the GPIO and PMUX registers (0x300800–0x300830 and 0x30083e). Writing another value set the write protection.		0x0	R/W

0x300400–0x300472

USI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.0 Global Configuration Register (USI_GCFG0)	0x300400 (8 bits)	D7–4	–	reserved	–		–	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first	0 LSB first	0	R/W
		D2–0	USIMOD [2:0]	Interface mode configuration	USIMOD[2:0]	I/F mode	0x0	R/W
					0x7–0x6 reserved 0x5 I ² C slave 0x4 I ² C master 0x3 SPI slave 0x2 SPI master 0x1 UART 0x0 Software reset			
USI Ch.0 Transmit Data Buffer Register (USI_TD0)	0x300401 (8 bits)	D7–0	TD[7:0]	Transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff		0x0	R/W
USI Ch.0 Receive Data Buffer Register (USI_RD0)	0x300402 (8 bits)	D7–0	RD[7:0]	Receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff		0x0	R
USI Ch.0 UART Mode Configuration Register (USI_UCFG0)	0x300440 (8 bits)	D7–4	–	reserved	–		–	0 when being read.
		D3	UCHLN	Character length select	1 8 bits	0 7 bits	0	R/W
		D2	USTPB	Stop bit select	1 2 bits	0 1 bit	0	R/W
		D1	UPMD	Parity mode select	1 Even	0 Odd	0	R/W
		D0	UPREN	Parity enable	1 With parity	0 No parity	0	R/W
USI Ch.0 UART Mode Interrupt Enable Register (USI_UIE0)	0x300441 (8 bits)	D7–3	–	reserved	–		–	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	URDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W
USI Ch.0 UART Mode Interrupt Flag Register (USI_UIF0)	0x300442 (8 bits)	D7	–	reserved	–		–	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy	0 Idle	0	R
		D5	UTBSY	Transmit busy flag	1 Busy	0 Idle	0	R
		D4	UPEIF	Parity error flag	1 Error	0 Normal	0	R/W Reset by writing 1.
		D3	USEIF	Framing error flag	1 Error	0 Normal	0	R/W
		D2	UOEIF	Overrun error flag	1 Error	0 Normal	0	R/W
		D1	URDIF	Receive buffer full flag	1 Full	0 Not full	0	R/W
		D0	UTDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0	R/W
USI Ch.0 SPI Master/Slave Mode Configuration Register (USI_SCFG0)	0x300450 (8 bits)	D7–6	–	reserved	–		–	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High	0 Low	0	R/W
		D4	SCHLN	Character length select	1 9 bits	0 8 bits	0	R/W
		D3	SCPHA	Clock phase select	1 Phase 1	0 Phase 0	0	R/W
		D2	SCPOL	Clock polarity select	1 Active L	0 Active H	0	R/W
		D1	–	reserved	–		–	Do not set to 1.
		D0	SFSTMOD	Fast mode select	1 Fast	0 Normal	0	R/W
USI Ch.0 SPI Master/Slave Mode Interrupt Enable Register (USI_SIE0)	0x300451 (8 bits)	D7–3	–	reserved	–		–	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	STDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.0 SPI Master/Slave Mode Interrupt Flag Register (USI_SIF0)	0x300452 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SSIF	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle 1 ss = H 0 ss = L	0	R	
		D2	SEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.0 I ² C Master Mode Trigger Register (USI_IMTG0)	0x300460 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 0 Ignored 1 Waiting 0 Finished	0	W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0] Trigger mode 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	0x0	R/W	
USI Ch.0 I ² C Master Mode Interrupt Enable Register (USI_IMIE0)	0x300461 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.0 I ² C Master Mode Interrupt Flag Register (USI_IMIF0)	0x300462 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy 0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0] Status 0x7 reserved 0x6 NAK received 0x5 ACK received 0x4 ACK/NAK sent 0x3 End of Rx data 0x2 End of Tx data 0x1 Stop generated 0x0 Start generated	0x0	R	
		D1	IMEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	IMIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	
USI Ch.0 I ² C Slave Mode Trigger Register (USI_ISTG0)	0x300470 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger 0 Ignored 1 Waiting 0 Finished	0	W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0] Trigger mode 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data/ Detect stop 0x2 Transmit data 0x1 reserved 0x0 Wait for start	0x0	R/W	
USI Ch.0 I ² C Slave Mode Interrupt Enable Register (USI_ISIE0)	0x300471 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.0 I ² C Slave Mode Interrupt Flag Register (USI_ISIF0)	0x300472 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy 0 Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0] Status 0x7 reserved 0x6 NAK received 0x5 ACK received 0x4 ACK/NAK sent 0x3 End of Rx data 0x2 End of Tx data 0x1 Stop detected 0x0 Start detected	0x0	R	
		D1	ISEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	ISIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	

0x300500–0x300572

USI Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.1 Global Configuration Register (USI_GCFG1)	0x300500 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first 0 LSB first	0	R/W	
		D2–0	USIMOD[2:0]	Interface mode configuration	USIMOD[2:0] I/F mode	0x0	R/W	
					0x7–0x6 reserved 0x5 I ² C slave 0x4 I ² C master 0x3 SPI slave 0x2 SPI master 0x1 UART 0x0 Software reset			
USI Ch.1 Transmit Data Buffer Register (USI_TD1)	0x300501 (8 bits)	D7–0	TD[7:0]	Transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	
USI Ch.1 Receive Data Buffer Register (USI_RD1)	0x300502 (8 bits)	D7–0	RD[7:0]	Receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	
USI Ch.1 UART Mode Configuration Register (USI_UCFG1)	0x300540 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	UCHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D2	USTPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D1	UPMD	Parity mode select	1 Even 0 Odd	0	R/W	
		D0	UPREN	Parity enable	1 With parity 0 No parity	0	R/W	
USI Ch.1 UART Mode Interrupt Enable Register (USI_UIE1)	0x300541 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	URDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.1 UART Mode Interrupt Flag Register (USI_UIF1)	0x300542 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D5	UTBSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D4	UPEIF	Parity error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D3	USEIF	Framing error flag	1 Error 0 Normal	0	R/W	
		D2	UOEIF	Overrun error flag	1 Error 0 Normal	0	R/W	
		D1	URDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	UTDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.1 SPI Master/Slave Mode Configuration Register (USI_SCFG1)	0x300550 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High 0 Low	0	R/W	
		D4	SCHLN	Character length select	1 9 bits 0 8 bits	0	R/W	
		D3	SCPHA	Clock phase select	1 Phase 1 0 Phase 0	0	R/W	
		D2	SCPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	–	reserved	–	–	–	Do not set to 1.
		D0	SFSTMOD	Fast mode select	1 Fast 0 Normal	0	R/W	
USI Ch.1 SPI Master/Slave Mode Interrupt Enable Register (USI_SIE1)	0x300551 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.1 SPI Master/Slave Mode Interrupt Flag Register (USI_SIF1)	0x300552 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	SSIF	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle 1 ss = H 0 ss = L	0	R	
		D2	SEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.1 I ² C Master Mode Trigger Register (USI_IMTG1)	0x300560 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 0 Ignored 1 Waiting 0 Finished	0	W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	IMTGMOD[2:0]	I ² C master trigger mode select	IMTGMOD[2:0] Trigger mode	0x0	R/W	
					0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition			

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.1 I ² C Master Mode Interrupt Enable Register (USI_IMIE1)	0x300561 (8 bits)	D7-2	—	reserved	—			—	—	0 when being read.	
		D1	IMEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1	Enable	0	Disable	0	R/W	
USI Ch.1 I ² C Master Mode Interrupt Flag Register (USI_IMIF1)	0x300562 (8 bits)	D7-6	—	reserved	—			—	—	0 when being read.	
		D5	IMBSY	I ² C master busy flag	1	Busy	0	Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R			
					0x7	reserved					
					0x6	NAK received					
					0x5	ACK received					
					0x4	ACK/NAK sent					
					0x3	End of Rx data					
	0x2	End of Tx data									
	0x1	Stop generated									
	0x0	Start generated									
D1	IMEIF	Overrun error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.		
D0	IMIF	Operation completion flag	1	Completed	0	Not completed	0	R/W			
USI Ch.1 I ² C Slave Mode Trigger Register (USI_ISTG1)	0x300570 (8 bits)	D7-5	—	reserved	—			—	—	0 when being read.	
		D4	ISTG	I ² C slave operation trigger	1	Trigger	0	Ignored	0	W	
					1	Waiting	0	Finished		R	
		D3	—	reserved	—			—	—	0 when being read.	
		D2-0	ISTGMOD[2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]	Trigger mode	0x0	R/W			
					0x7	reserved					
0x6	Receive ACK/NAK										
0x5	Transmit NAK										
0x4	Transmit ACK										
0x3	Receive data/ Detect stop										
	0x2	Transmit data									
	0x1	reserved									
	0x0	Wait for start									
USI Ch.1 I ² C Slave Mode Interrupt Enable Register (USI_ISIE1)	0x300571 (8 bits)	D7-2	—	reserved	—			—	—	0 when being read.	
		D1	ISEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1	Enable	0	Disable	0	R/W	
USI Ch.1 I ² C Slave Mode Interrupt Flag Register (USI_ISIF1)	0x300572 (8 bits)	D7-6	—	reserved	—			—	—	0 when being read.	
		D5	ISBSY	I ² C slave busy flag	1	Busy	0	Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0]	Status	0x0	R			
					0x7	reserved					
					0x6	NAK received					
					0x5	ACK received					
					0x4	ACK/NAK sent					
					0x3	End of Rx data					
	0x2	End of Tx data									
	0x1	Stop detected									
	0x0	Start detected									
D1	ISEIF	Overrun error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.		
D0	ISIF	Operation completion flag	1	Completed	0	Not completed	0	R/W			

0x300600–0x30069f

USIL

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
USIL Global Configuration Register (USIL_GCFG)	0x300600 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.	
		D3	LSBFST	MSB/LSB first mode select	1 MSB first	0 LSB first	0	R/W		
		D2–0	USILMOD [2:0]	Interface mode configuration	USILMOD[2:0]		I/F mode	0x0		R/W
					0x7	LCD Parallel				
					0x6	LCD SPI				
					0x5	I ² C slave				
					0x4	I ² C master				
					0x3	SPI slave				
					0x2	SPI master				
					0x1	UART				
0x0	Software reset									
USIL Transmit Data Buffer Register (USIL_TD)	0x300601 (8 bits)	D7–0	TD[7:0]	Transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff		0x0	R/W		
USIL Receive Data Buffer Register (USIL_RD)	0x300602 (8 bits)	D7–0	RD[7:0]	Receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff		0x0	R		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL UART Mode Configuration Register (USIL_UCFG)	0x300640 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	UCHLN	Character length select	1 8 bits	0 7 bits	0 R/W	
		D2	USTPB	Stop bit select	1 2 bits	0 1 bit	0 R/W	
		D1	UPMD	Parity mode select	1 Even	0 Odd	0 R/W	
		D0	UPREN	Parity enable	1 With parity	0 No parity	0 R/W	
USIL UART Mode Interrupt Enable Register (USIL_UIE)	0x300641 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	URDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0 R/W	
USIL UART Mode Interrupt Flag Register (USIL_UIF)	0x300642 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy	0 Idle	0 R	
		D5	UTBSY	Transmit busy flag	1 Busy	0 Idle	0 R	
		D4	UPEIF	Parity error flag	1 Error	0 Normal	0 R/W	Reset by writing 1.
		D3	USEIF	Framing error flag	1 Error	0 Normal	0 R/W	
		D2	UOEIF	Overrun error flag	1 Error	0 Normal	0 R/W	
		D1	URDIF	Receive buffer full flag	1 Full	0 Not full	0 R/W	
		D0	UTDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0 R/W	
USIL SPI Master/Slave Mode Configuration Register (USIL_SCFG)	0x300650 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SCPHA	Clock phase select	1 Phase 1	0 Phase 0	0 R/W	
		D2	SCPOL	Clock polarity select	1 Active L	0 Active H	0 R/W	
		D1	—	reserved	—	—	—	Do not set to 1.
		D0	SFSTMOD	Fast mode select	1 Fast	0 Normal	0 R/W	
USIL SPI Master/Slave Mode Interrupt Enable Register (USIL_SIE)	0x300651 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0 R/W	
USIL SPI Master/Slave Mode Interrupt Flag Register (USIL_SIF)	0x300652 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SSIF	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 1 ss = H	0 Idle 0 ss = L	0 R	
		D2	SEIF	Overrun error flag	1 Error	0 Normal	0 R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full	0 Not full	0 R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0 R/W	
USIL I²C Master Mode Trigger Register (USIL_IMTG)	0x300660 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 1 Waiting	0 Ignored 0 Finished	0 W R	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0] 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	0x0	R/W	
USIL I²C Master Mode Interrupt Enable Register (USIL_IMIE)	0x300661 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	IMIE	Operation completion int. enable	1 Enable	0 Disable	0 R/W	
USIL I²C Master Mode Interrupt Flag Register (USIL_IMIF)	0x300662 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy	0 Standby	0 R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0] 0x7 reserved 0x6 NAK received 0x5 ACK received 0x4 ACK/NAK sent 0x3 End of Rx data 0x2 End of Tx data 0x1 Stop generated 0x0 Start generated	Status 0x0	R	
		D1	IMEIF	Overrun error flag	1 Error	0 Normal	0 R/W	Reset by writing 1.
		D0	IMIF	Operation completion flag	1 Completed	0 Not completed	0 R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USIL I ² C Slave Mode Trigger Register (USIL_ISTG)	0x300670 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger 0 Ignored	0	W	R
					1 Waiting 0 Finished			
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0] Trigger mode	0x0	R/W	
					0x7 reserved			
USIL I ² C Slave Mode Interrupt Enable Register (USIL_ISIE)	0x300671 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	
USIL I ² C Slave Mode Interrupt Flag Register (USIL_ISIF)	0x300672 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy 0 Standby	0	R	
		D4-2	ISSTA [2:0]	I ² C slave status	ISSTA[2:0] Status	0x0	R	
					0x7 reserved			
					0x6 NAK received			
					0x5 ACK received			
					0x4 ACK/NAK sent			
					0x3 End of Rx data			
USIL LCD SPI Mode Configuration Register (USIL_LSCFG)	0x300680 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	LSCPHA	Clock phase select	1 Phase 1 0 Phase 0	0	R/W	
		D2	LSCPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
USIL LCD SPI Mode Interrupt Enable Register (USIL_LSIE)	0x300681 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	LSTDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
USIL LCD SPI Mode Interrupt Flag Register (USIL_LSIF)	0x300682 (8 bits)	D7-2	—	reserved	—	—	—	X when being read.
		D1	LSBSY	Transfer busy flag	1 Busy 0 Idle	0	R	
		D0	LSTDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	Reset by writing 1.
USIL LCD SPI Mode Data Configuration Register (USIL_LSDCFG)	0x30068f (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	LS18DFM [1:0]	LCD SPI 18-bit data format select	LS18DFM[1:0] Data format	0x0	R/W	
					0x3 Format 3			
					0x2 Format 2			
					0x1 Format 1			
USIL LCD Parallel I/F Mode Configuration Register (USIL_LPCFG)	0x300690 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	LPSRDEN	Successive read enable	1 Enable 0 Disable	0	R/W	
		D1	LPCMD	Command bit	1 High 0 Low	0	R/W	
		D0	LPRD	Read trigger	1 Trigger 0 Ignored	0	W	R
					1 Read cycle 0 Read finished			
USIL LCD Parallel I/F Mode Interrupt Enable Register (USIL_LPIE)	0x300691 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	LPRDIE	Read buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	LPWRIE	Write buffer empty interrupt enable	1 Enable 0 Disable	0	R/W	
USIL LCD Parallel I/F Mode Interrupt Flag Register (USIL_LPIF)	0x300692 (8 bits)	D7-3	—	reserved	—	—	—	X when being read.
		D2	LPBSY	Transfer busy flag	1 Busy 0 Idle	0	R	
		D1	LPRDIF	Read buffer full flag	1 Full 0 Not full	0	R/W	Reset by writing 1.
		D0	LPWRIF	Write buffer empty flag	1 Empty 0 Not empty	0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USIL LCD Parallel I/F Mode Access Timing Register (USIL_LPAC)	0x30069f (8 bits)	D7–6	LPHD[1:0]	Hold cycle	LPHD[1:0]	Hold cycle	0x0	R/W	
					0x3	4 cycles			
					0x2	3 cycles			
					0x1	2 cycles			
					0x0	1 cycle			
		D5–4	LPST[1:0]	Setup cycle	LPST[1:0]	Setup cycle	0x0	R/W	
					0x3	4 cycles			
					0x2	3 cycles			
					0x1	2 cycles			
					0x0	1 cycle			
		D3–0	LPWT[3:0]	Wait cycle	LPWT[3:0]	Wait cycle	0x0	R/W	
					0xf	15 cycles			
0xe	14 cycles								
:	:								
0x1	1 cycle								
				0x0	0 cycles				

0x300700–0x300772

USI Ch.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.2 Global Configuration Register (USI_GCFG2)	0x300700 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first	0 LSB first	0	R/W
		D2–0	USIMOD[2:0]	Interface mode configuration	USIMOD[2:0]	I/F mode	0x0	R/W
					0x7–0x6	reserved		
					0x5	I ² C slave		
USI Ch.2 Transmit Data Buffer Register (USI_TD2)	0x300701 (8 bits)	D7–0	TD[7:0]	Transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff		0x0	R/W
USI Ch.2 Receive Data Buffer Register (USI_RD2)	0x300702 (8 bits)	D7–0	RD[7:0]	Receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff		0x0	R
USI Ch.2 UART Mode Configuration Register (USI_UCFG2)	0x300740 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	UCHLN	Character length select	1 8 bits	0 7 bits	0	R/W
		D2	USTPB	Stop bit select	1 2 bits	0 1 bit	0	R/W
		D1	UPMD	Parity mode select	1 Even	0 Odd	0	R/W
		D0	UPREN	Parity enable	1 With parity	0 No parity	0	R/W
USI Ch.2 UART Mode Interrupt Enable Register (USI_UIE2)	0x300741 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	URDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W
USI Ch.2 UART Mode Interrupt Flag Register (USI_UIF2)	0x300742 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy	0 Idle	0	R
		D5	UTBSY	Transmit busy flag	1 Busy	0 Idle	0	R
		D4	UPEIF	Parity error flag	1 Error	0 Normal	0	R/W
		D3	USEIF	Framing error flag	1 Error	0 Normal	0	R/W
		D2	UOEIF	Overrun error flag	1 Error	0 Normal	0	R/W
		D1	URDIF	Receive buffer full flag	1 Full	0 Not full	0	R/W
		D0	UTDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0	R/W
USI Ch.2 SPI Master/Slave Mode Configuration Register (USI_SCFG2)	0x300750 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High	0 Low	0	R/W
		D4	SCHLN	Character length select	1 9 bits	0 8 bits	0	R/W
		D3	SCPHA	Clock phase select	1 Phase 1	0 Phase 0	0	R/W
		D2	SCPOL	Clock polarity select	1 Active L	0 Active H	0	R/W
		D1	SMSKEN	Receive data mask enable	1 Enable	0 Disable	0	R/W
		D0	SFSTMOD	Fast mode select	1 Fast	0 Normal	0	R/W
USI Ch.2 SPI Master/Slave Mode Interrupt Enable Register (USI_SIE2)	0x300751 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	STDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.2 SPI Master/Slave Mode Interrupt Flag Register (USI_SIF2)	0x300752 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	SSIF	Transfer busy flag (master) ss signal low flag (slave)	1 Busy 0 Idle 1 ss = H 0 ss = L	0	R	
		D2	SEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.2 I ² C Master Mode Trigger Register (USI_IMTG2)	0x300760 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 0 Ignored 1 Waiting 0 Finished	0	W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0] Trigger mode 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	0x0	R/W	
USI Ch.2 I ² C Master Mode Interrupt Enable Register (USI_IMIE2)	0x300761 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.2 I ² C Master Mode Interrupt Flag Register (USI_IMIF2)	0x300762 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy 0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0] Status 0x7 reserved 0x6 NAK received 0x5 ACK received 0x4 ACK/NAK sent 0x3 End of Rx data 0x2 End of Tx data 0x1 Stop generated 0x0 Start generated	0x0	R	
		D1	IMEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	IMIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	
USI Ch.2 I ² C Slave Mode Trigger Register (USI_ISTG2)	0x300770 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger 0 Ignored 1 Waiting 0 Finished	0	W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0] Trigger mode 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data/ Detect stop 0x2 Transmit data 0x1 reserved 0x0 Wait for start	0x0	R/W	
USI Ch.2 I ² C Slave Mode Interrupt Enable Register (USI_ISIE2)	0x300771 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.2 I ² C Slave Mode Interrupt Flag Register (USI_ISIF2)	0x300772 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy 0 Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0] Status 0x7 reserved 0x6 NAK received 0x5 ACK received 0x4 ACK/NAK sent 0x3 End of Rx data 0x2 End of Tx data 0x1 Stop detected 0x0 Start detected	0x0	R	
		D1	ISEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D0	ISIF	Operation completion flag	1 Completed 0 Not completed	0	R/W	

Host 0x0–0xf

Host Interface (HIF) for 8-bit interface mode

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Byte Data Register (HIF_DRIF_B)	Host 0x0 (8 bits)	D7–0	B_DAT[7:0]	Byte access data	0x0–0xff	X	R/W	
HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)	Host 0x1 (8 bits)	D7–0	HW_DAT [7:0]	Half word access data	0x0–0xff	X	R/W	
HIF Direct Interface Word Data Register (HIF_DRIF_W)	Host 0x2 (8 bits)	D7–0	W_DAT[7:0]	Word access data	0x0–0xff	X	R/W	
HIF Indirect Interface Data Register (HIF_IDIF_DAT)	Host 0x3 (8 bits)	D7–0	IDIF_DAT [7:0]	Indirect interface data	0x0–0xff	X	R/W	
HIF Indirect Interface Control Register (HIF_IDIF_CTRL)	Host 0x4 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	WR_BF	Write buffer full flag	1 Full 0 Empty	0	R	
		D3	BUSY	Bus controller busy flag	1 Busy 0 Ready	0	R	
		D2–1	ACCESS_MD[1:0]	Access mode select	ACCESS_MD[1:0] Mode 0x3–0x2 Word 0x1 Half word 0x0 Byte	0x0	R/W	
		D0	RW_SEL	Read/write cycle select	1 Write 0 Read	0	R/W	
HIF Control Register (HIF_CTRL)	Host 0x6 (8 bits)	D7	HIFSEL	HIF data width select	1 16 bits 0 8 bits	0	R/W	
		D6–5	–	reserved	–	–	–	0 when being read.
		D4	INTSEL	Interrupt source select	1 ITC_INT 0 SINT	0	R/W	
		D3–2	ADDR_MD [1:0]	Address control mode select	ADDR_MD[1:0] Mode 0x3–0x2 reserved 0x1 Post increment 0x0 Fixed	0x0	R/W	
		D1	ENDIAN	Endian mode select	1 Big endian 0 Little endian	0	R/W	
		D0	AHB_EN	AHB interface enable	1 Enable 0 Disable	0	R/W	
HIF Address Register 0 (HIF_ADDR0)	Host 0x8 (8 bits)	D7–0	ADDR [7:0]	Address A[7:0]	0x0–0xff	0x0	R/W	
HIF Address Register 1 (HIF_ADDR1)	Host 0x9 (8 bits)	D7–0	ADDR [15:8]	Address A[15:8]	0x0–0xff	0x0	R/W	
HIF Address Register 2 (HIF_ADDR2)	Host 0xa (8 bits)	D7–0	ADDR [23:16]	Address A[23:16]	0x0–0xff	0x0	R/W	
HIF Address Register 3 (HIF_ADDR3)	Host 0xb (8 bits)	D7–0	ADDR [31:24]	Address A[31:24]	0x0–0xff	0x0	R/W	
HIF Special Register Index Register (HIF_SP_IDX)	Host 0xc (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4–0	INDEX[4:0]	Special register index	0x1–0x13	0x0	R/W	
HIF Special Register Data Register (HIF_SP_DAT)	Host 0xd (8 bits)	D7–0	SP_DAT[7:0]	Special register data	0x0–0xff	0x0	R/W	
HIF Flag Register 0 (HIF_FLAG0)	Host 0xe (8 bits)	D7	PROTECT	HIF_FLAG write protect	1 Set/remove 0 Disable	0	R/W	
		D6–5	–	reserved	–	–	–	0 when being read.
		D4	SFLAG3	Slave flag 3	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D3	SFLAG2	Slave flag 2	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D2	SFLAG1	Slave flag 1	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D1	SFLAG0	Slave flag 0	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D0	SINT	Slave interrupt flag	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
HIF Flag Register 1 (HIF_FLAG1)	Host 0xf (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	HFLAG2	Host flag 2	1 Set 0 Clear	0	R/W	
		D2	HFLAG1	Host flag 1	1 Set 0 Clear	0	R/W	
		D1	HFLAG0	Host flag 0	1 Set 0 Clear	0	R/W	
		D0	HINT	Host interrupt flag	1 Set 0 Clear	0	R/W	

Host 0x0–0xf

Host Interface (HIF) for 16-bit interface mode

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Direct Interface Byte Data Register (HIF_DRIF_B)	Host 0x0 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	B_DAT[7:0]	Byte access data	0x0–0xff	X	R/W	
HIF Direct Interface Half Word Data Register (HIF_DRIF_HW)	Host 0x1 (16 bits)	D15–0	HW_DAT [15:0]	Half word access data	0x0–0xffff	X	R/W	
HIF Direct Interface Word Data Register (HIF_DRIF_W)	Host 0x2 (16 bits)	D15–0	W_DAT [15:0]	Word access data	0x0–0xffff	X	R/W	
HIF Indirect Interface Data Register (HIF_IDIF_DAT)	Host 0x3 (16 bits)	D15–0	IDIF_DAT [15:0]	Indirect interface data	0x0–0xffff	X	R/W	
HIF Indirect Interface Control Register (HIF_IDIF_CTRL)	Host 0x4 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	WR_BF	Write buffer full flag	1 Full 0 Empty	0	R	
		D3	BUSY	Bus controller busy flag	1 Busy 0 Ready	0	R	
		D2–1	ACCESS_MD[1:0]	Access mode select	ACCESS_MD[1:0] Mode 0x3–0x2 Word 0x1 Half word 0x0 Byte	0x0	R/W	
		D0	RW_SEL	Read/write cycle select	1 Write 0 Read	0	R/W	
HIF Control Register (HIF_CTRL)	Host 0x6 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	HIFSEL	HIF data width select	1 16 bits 0 8 bits	0	R/W	
		D6–5	–	reserved	–	–	–	0 when being read.
		D4	INTSEL	Interrupt source select	1 ITC_INT 0 SINT	0	R/W	
		D3–2	ADDR_MD [1:0]	Address control mode select	ADDR_MD[1:0] Mode 0x3–0x2 reserved 0x1 Post increment 0x0 Fixed	0x0	R/W	
		D1	ENDIAN	Endian mode select	1 Big endian 0 Little endian	0	R/W	
		D0	AHB_EN	AHB interface enable	1 Enable 0 Disable	0	R/W	
HIF Address Register 0 (HIF_ADDR0)	Host 0x8 (16 bits)	D15–0	ADDR [15:0]	Address A[15:0]	0x0–0xffff	0x0	R/W	
HIF Address Register 1 (HIF_ADDR1)	Host 0x9 (16 bits)	D15–0	ADDR [31:16]	Address A[31:16]	0x0–0xffff	0x0	R/W	
HIF Special Register Index Register (HIF_SP_IDX)	Host 0xc (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4–0	INDEX[4:0]	Special register index	0x1–0x13	0x0	R/W	
HIF Special Register Data Register (HIF_SP_DAT)	Host 0xd (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SP_DAT[7:0]	Special register data	0x0–0xff	0x0	R/W	
HIF Flag Register 0 (HIF_FLAG0)	Host 0xe (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	PROTECT	HIF_FLAG write protect	1 Set/remove 0 Disable	0	R/W	
		D6–5	–	reserved	–	–	–	0 when being read.
		D4	SFLAG3	Slave flag 3	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D3	SFLAG2	Slave flag 2	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D2	SFLAG1	Slave flag 1	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D1	SFLAG0	Slave flag 0	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D0	SINT	Slave interrupt flag	1 Set 0 Cleared 1 Reset 0 Ignored	0	R	
		D15–4	–	reserved	–	–	–	0 when being read.
		D3	HFLAG2	Host flag 2	1 Set 0 Clear	0	R/W	
HIF Flag Register 1 (HIF_FLAG1)	Host 0xf (16 bits)	D2	HFLAG1	Host flag 1	1 Set 0 Clear	0	R/W	
		D1	HFLAG0	Host flag 0	1 Set 0 Clear	0	R/W	
		D0	HINT	Host interrupt flag	1 Set 0 Clear	0	R/W	
		D15–0	–	reserved	–	–	–	0 when being read.

Host 0xd [Index 0x1–0x13]

Host Interface (HIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Extended Control Register 1 (HIF_EXTCTRL1)	Host 0xd [0x1] (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	HINT_MD	Host interrupt mode select	1 INT 0 NMI	0	R/W	
		D0	–	reserved	–	–	–	0 when being read.
HIF Semaphore Register 0 (HIF_SMPH0)	Host 0xd [0x8] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH0	Semaphore 0	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 1 (HIF_SMPH1)	Host 0xd [0x9] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH1	Semaphore 1	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 2 (HIF_SMPH2)	Host 0xd [0xa] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH2	Semaphore 2	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 3 (HIF_SMPH3)	Host 0xd [0xb] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH3	Semaphore 3	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 4 (HIF_SMPH4)	Host 0xd [0xc] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH4	Semaphore 4	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 5 (HIF_SMPH5)	Host 0xd [0xd] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH5	Semaphore 5	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 6 (HIF_SMPH6)	Host 0xd [0xe] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH6	Semaphore 6	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 7 (HIF_SMPH7)	Host 0xd [0xf] (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH7	Semaphore 7	1 Busy 0 Not busy	0	R/W	
HIF Scratchpad Register 0 (HIF_SCRATCH0)	Host 0xd [0x10] (8 bits)	D7–0	SCR0[7:0]	Scratch data	0x0–0xff	0x0	R/W	
HIF Scratchpad Register 1 (HIF_SCRATCH1)	Host 0xd [0x11] (8 bits)	D7–0	SCR1[7:0]	Scratch data	0x0–0xff	0x0	R/W	
HIF Scratchpad Register 2 (HIF_SCRATCH2)	Host 0xd [0x12] (8 bits)	D7–0	SCR2[7:0]	Scratch data	0x0–0xff	0x0	R/W	
HIF Scratchpad Register 3 (HIF_SCRATCH3)	Host 0xd [0x13] (8 bits)	D7–0	SCR3[7:0]	Scratch data	0x0–0xff	0x0	R/W	

0x300901–0x300919

Host Interface (HIF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Extended Control Register 1 (HIF_EXTCTRL1)	0x300901 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	HINT_MD	Host interrupt mode select	1 INT 0 NMI	0	R/W	
		D0	–	reserved	–	–	–	0 when being read.
HIF Semaphore Register 0 (HIF_SMPH0)	0x300908 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH0	Semaphore 0	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 1 (HIF_SMPH1)	0x300909 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH1	Semaphore 1	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 2 (HIF_SMPH2)	0x30090a (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH2	Semaphore 2	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 3 (HIF_SMPH3)	0x30090b (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH3	Semaphore 3	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 4 (HIF_SMPH4)	0x30090c (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH4	Semaphore 4	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 5 (HIF_SMPH5)	0x30090d (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH5	Semaphore 5	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 6 (HIF_SMPH6)	0x30090e (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH6	Semaphore 6	1 Busy 0 Not busy	0	R/W	
HIF Semaphore Register 7 (HIF_SMPH7)	0x30090f (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SMPH7	Semaphore 7	1 Busy 0 Not busy	0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HIF Scratchpad Register 0 (HIF_SCRATCH0)	0x300910 (8 bits)	D7-0	SCR0[7:0]	Scratch data	0x0-0xff	0x0	R/W	
HIF Scratchpad Register 1 (HIF_SCRATCH1)	0x300911 (8 bits)	D7-0	SCR1[7:0]	Scratch data	0x0-0xff	0x0	R/W	
HIF Scratchpad Register 2 (HIF_SCRATCH2)	0x300912 (8 bits)	D7-0	SCR2[7:0]	Scratch data	0x0-0xff	0x0	R/W	
HIF Scratchpad Register 3 (HIF_SCRATCH3)	0x300913 (8 bits)	D7-0	SCR3[7:0]	Scratch data	0x0-0xff	0x0	R/W	
HIF Flag Register 0 (HIF_FLAG0)	0x300918 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	SFLAG3	Slave flag 3	1 Set 0 Clear	0	R/W	
		D3	SFLAG2	Slave flag 2	1 Set 0 Clear	0	R/W	
		D2	SFLAG1	Slave flag 1	1 Set 0 Clear	0	R/W	
		D1	SFLAG0	Slave flag 0	1 Set 0 Clear	0	R/W	
		D0	SINT	Slave interrupt flag	1 Set 0 Clear	0	R/W	
HIF Flag Register 1 (HIF_FLAG1)	0x300919 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	HFLAG2	Host flag 2	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D2	HFLAG1	Host flag 1	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D1	HFLAG0	Host flag 0	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	
		D0	HINT	Host interrupt flag	1 Set 0 Cleared	0	R	
					1 Reset 0 Ignored	—	W	

0x300a00-0x300a0f

Real-time Clock (RTC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x300a00 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	RTCIRQ	Interrupt status	1 Occurred 0 Not occurred	X (0)	R/W	Reset by writing 1.
RTC Interrupt Mode Register (RTC_INTMODE)	0x300a01 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4-2	RTCT[2:0]	RTC interrupt cycle setup	RTCT[2:0]	Cycle	X (0x1)	
					0x7	reserved		
					0x6	1/128 second		
					0x5	1/256 second		
					0x4	1/512 second		
					0x3	1 hour		
					0x2	1 minute		
					0x1	1 second		
					0x0	1/64 second		
		D1	RTCIMD	reserved	1		X (1)	R/W Always set to 1.
		D0	RTCIEIEN	RTC interrupt enable	1 Enable 0 Disable	X (0)	R/W	
RTC Control 0 Register (RTC_CNTL0)	0x300a02 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X (0)	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 —	X (0)	R/W	
		D1	RTCSTP	Divider run/stop control	1 Stop 0 Run	X (0)	R/W	
		D0	RTCRST	Software reset	1 Reset 0 —	X (0)	R/W	
RTC Control 1 Register (RTC_CNTL1)	0x300a03 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	RTCRDHL	Read buffer enable	1 Enable 0 Disable	X (0)	R/W	
		D1	RTCBSY	Counter busy flag	1 Busy 0 R/W possible	X (0)	R	
		D0	RTCHLD	Counter hold control	1 Hold 0 Running	X (0)	R/W	
RTC Second Register (RTC_SEC)	0x300a04 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X (*)	R/W	
		D3-0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X (*)	R/W	
RTC Minute Register (RTC_MIN)	0x300a05 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6-4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X (*)	R/W	
		D3-0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X (*)	R/W	
RTC Hour Register (RTC_HOUR)	0x300a06 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X (*)	R/W	
		D5-4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X (*)	R/W	
		D3-0	RTCHL[3:0]	RTC 1-hour counter	0 to 9	X (*)	R/W	
RTC Day Register (RTC_DAY)	0x300a07 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X (*)	R/W	
		D3-0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X (*)	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Month Register (RTC_MONTH)	0x300a08 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X (*)	R/W	
		D3–0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X (*)	R/W	
RTC Year Register (RTC_YEAR)	0x300a09 (8 bits)	D7–4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X (*)	R/W	
		D3–0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X (*)	R/W	
RTC Days of Week Register (RTC_WEEK)	0x300a0a (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0]	Days of week	X (*)	R/W
					0x7			
					0x6			
					0x5			
					0x4			
					0x3			
					0x2			
					0x1			
					0x0			
RTC Wakeup Configuration Register (RTC_WAKEUP)	0x300a0f (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	WUP_CTL	WAKEUP control	1 Active	0 Inactive	X (0)	R/W
		D0	WUP_POL	WAKEUP polarity select	1 Active low	0 Active high	X (0)	R/W

Init.: () indicates the value set after a software reset (RTCRST → 1 → 0) is performed.

* Software reset (RTCRST → 1 → 0) does not affect the counter values. This register retains the value set before a software reset is performed.

0x300b00–0x300b0f

BBRAM

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
BBRAM byte 0 (BBRAM_0 –BBRAM_15)	0x300b00 0x300b0f (8 bits)	D7–0	–	BBRAM byte data	0x0 to 0xff	X	R/W	

0x300c00–0x300c9f

USB Function Controller (USB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MainIntStat (Main interrupt status)	0x300c00 (8 bits)	D7	SIE_IntStat	1 SIE interrupts	0 None	0	R	
		D6	EPrintStat	1 EPr interrupts	0 None	0	R	
		D5	DMA_IntStat	1 DMA interrupts	0 None	0	R	
		D4	FIFO_IntStat	1 FIFO interrupts	0 None	0	R	
		D3–2	–	–	–	–	–	0 when being read.
		D1	EP0IntStat	1 EP0 interrupts	0 None	0	R	
		D0	RcvEP0SETUP	1 Receive EP0 SETUP	0 None	0	R(W)	
SIE_IntStat (SIE interrupt status)	0x300c01 (8 bits)	D7	VBUS_Changed	1 VBUS is changed	0 None	0	R(W)	
		D6	NonJ	1 Detect non J state	0 None	0	R(W)	
		D5	DetectReset	1 Detect USB reset	0 None	0	R(W)	
		D4	DetectSuspend	1 Detect USB suspend	0 None	0	R(W)	
		D3	RcvSOF	1 Receive SOF token	0 None	0	R(W)	
		D2	DetectJ	1 Detect J state	0 None	0	R(W)	
		D1	–	–	–	–	–	0 when being read.
		D0	SetAddressCmp	1 AutoSetAddress complete	0 None	0	R(W)	
EPrintStat (EP interrupt status)	0x300c02 (8 bits)	D7–4	–	–	–	–	–	0 when being read.
		D3	EPdIntStat	1 EPd interrupt	0 None	0	R	
		D2	EPcIntStat	1 EPc interrupt	0 None	0	R	
		D1	EPbIntStat	1 EPb interrupt	0 None	0	R	
		D0	EPaIntStat	1 EPa interrupt	0 None	0	R	
DMA_IntStat (DMA interrupt status)	0x300c03 (8 bits)	D7–2	–	–	–	–	–	0 when being read.
		D1	DMA_CountUp	1 DMA counter overflow	0 None	0	R(W)	
		D0	DMA_Cmp	1 DMA complete	0 None	0	R(W)	
FIFO_IntStat (FIFO interrupt status)	0x300c04 (8 bits)	D7	DescriptorCmp	1 Descriptor complete	0 None	0	R(W)	
		D6–2	–	–	–	–	–	0 when being read.
		D1	FIFO_IN_Cmp	1 IN FIFO Complete	0 None	0	R(W)	
		D0	FIFO_OUT_Cmp	1 OUT FIFO complete	0 None	0	R(W)	
EP0IntStat (EP0 interrupt status)	0x300c07 (8 bits)	D7–6	–	–	–	–	–	0 when being read.
		D5	IN_TranACK	1 In transaction ACK	0 None	0	R(W)	
		D4	OUT_TranACK	1 Out transaction ACK	0 None	0	R(W)	
		D3	IN_TranNAK	1 In transaction NAK	0 None	0	R(W)	
		D2	OUT_TranNAK	1 Out transaction NAK	0 None	0	R(W)	
		D1	IN_TranErr	1 In transaction error	0 None	0	R(W)	
		D0	OUT_TranErr	1 Out transaction error	0 None	0	R(W)	

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPaIntStat (EPa interrupt status)	0x300c08 (8 bits)	D7	–	–		–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)
EPbIntStat (EPb interrupt status)	0x300c09 (8 bits)	D7	–	–		–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)
EPcIntStat (EPc interrupt status)	0x300c0a (8 bits)	D7	–	–		–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)
EPdIntStat (EPd interrupt status)	0x300c0b (8 bits)	D7	–	–		–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)
MainIntEnb (Main interrupt enable)	0x300c10 (8 bits)	D7	EnSIE_IntStat	1	Enable	0	Disable	0 R/W
		D6	EnEPrintStat					0 R/W
		D5	EnDMA_IntStat					0 R/W
		D4	EnFIFO_IntStat					0 R/W
		D3–2	–	–		–	–	0 when being read.
		D1	EnEP0IntStat	1	Enable	0	Disable	0 R/W
		D0	EnRcvEP0SETUP					0 R/W
SIE_IntEnb (SIE interrupt enable)	0x300c11 (8 bits)	D7	EnVBUS_Changed	1	Enable	0	Disable	0 R/W
		D6	EnNonJ					0 R/W
		D5	EnDetectReset					0 R/W
		D4	EnDetectSuspend					0 R/W
		D3	EnRcvSOF					0 R/W
		D2	EnDetectJ					0 R/W
		D1	–	–		–	–	0 when being read.
		D0	EnSetAddressCmp	1	Enable	0	Disable	0 R/W
EPrintEnb (EPd interrupt enable)	0x300c12 (8 bits)	D7–4	–	–		–	–	0 when being read.
		D3	EnEPdIntStat	1	Enable	0	Disable	0 R/W
		D2	EnEPcIntStat					0 R/W
		D1	EnEPbIntStat					0 R/W
		D0	EnEPaIntStat					0 R/W
DMA_IntEnb (DMA interrupt enable)	0x300c13 (8 bits)	D7–2	–	–		–	–	0 when being read.
		D1	EnDMA_CountUp	1	Enable	0	Disable	0 R/W
		D0	EnDMA_Cmp					0 R/W
FIFO_IntEnb (FIFO interrupt enable)	0x300c14 (8 bits)	D7	EnDescriptorCmp	1	Enable	0	Disable	0 R/W
		D6–2	–	–		–	–	0 when being read.
		D1	EnFIFO_IN_Cmp	1	Enable	0	Disable	0 R/W
		D0	EnFIFO_OUT_Cmp					0 R/W
EP0IntEnb (EP0 interrupt enable)	0x300c17 (8 bits)	D7–6	–	–		–	–	0 when being read.
		D5	EnIN_TranACK	1	Enable	0	Disable	0 R/W
		D4	EnOUT_TranACK					0 R/W
		D3	EnIN_TranNAK					0 R/W
		D2	EnOUT_TranNAK					0 R/W
		D1	EnIN_TranErr					0 R/W
		D0	EnOUT_TranErr					0 R/W

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks			
EPaintEnb (EPa interrupt enable)	0x300c18 (8 bits)	D7	–	–		–	–	0 when being read.			
		D6	EnOUT_ShortACK	1	Enable	0	Disable		0	R/W	
		D5	EnIN_TranACK						0	R/W	
		D4	EnOUT_TranACK						0	R/W	
		D3	EnIN_TranNAK						0	R/W	
		D2	EnOUT_TranNAK						0	R/W	
		D1	EnIN_TranErr						0	R/W	
		D0	EnOUT_TranErr						0	R/W	
EPbIntEnb (EPb interrupt enable)	0x300c19 (8 bits)	D7	–	–		–	–	0 when being read.			
		D6	EnOUT_ShortACK	1	Enable	0	Disable		0	R/W	
		D5	EnIN_TranACK						0	R/W	
		D4	EnOUT_TranACK						0	R/W	
		D3	EnIN_TranNAK						0	R/W	
		D2	EnOUT_TranNAK						0	R/W	
		D1	EnIN_TranErr						0	R/W	
		D0	EnOUT_TranErr						0	R/W	
EPcIntEnb (EPc interrupt enable)	0x300c1a (8 bits)	D7	–	–		–	–	0 when being read.			
		D6	EnOUT_ShortACK	1	Enable	0	Disable		0	R/W	
		D5	EnIN_TranACK						0	R/W	
		D4	EnOUT_TranACK						0	R/W	
		D3	EnIN_TranNAK						0	R/W	
		D2	EnOUT_TranNAK						0	R/W	
		D1	EnIN_TranErr						0	R/W	
		D0	EnOUT_TranErr						0	R/W	
EPdIntEnb (EPd interrupt enable)	0x300c1b (8 bits)	D7	–	–		–	–	0 when being read.			
		D6	EnOUT_ShortACK	1	Enable	0	Disable		0	R/W	
		D5	EnIN_TranACK						0	R/W	
		D4	EnOUT_TranACK						0	R/W	
		D3	EnIN_TranNAK						0	R/W	
		D2	EnOUT_TranNAK						0	R/W	
		D1	EnIN_TranErr						0	R/W	
		D0	EnOUT_TranErr						0	R/W	
RevisionNum (Revision number)	0x300c20 (8 bits)	D7–0	RevisionNum[7:0]	Revision number (0x12)		0x12	R				
USB_Control (USB control)	0x300c21 (8 bits)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W		
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W		
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W		
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W		
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W		
		D2–1	–	–		–	–	–	–	0 when being read.	
		D0	ActiveUSB	1	Activate USB	0	Deactivate USB	0	R/W		
USB_Status (USB status)	0x300c22 (8 bits)	D7	VBUS	1	VBUS=High	0	VBUS=Low	X	R		
		D6	FS	1	FS mode (fixed)	0	–	1	R		
		D5–2	–	–		–	–	–	–		0 when being read.
		D1–0	LineState[1:0]	LineState[1:0]		DP/DM		X	R		
				0x3 0x2 0x1 0x0		SE1 K J SE0					
XcvrControl (Xcvr control)	0x300c23 (8 bits)	D7	RpuEnb	1	Enable pull-up	0	Disable pull-up	0	R/W		
		D6–2	–	–		–	–	–	–		0 when being read.
		D1–0	OpMode[1:0]	OpMode[1:0]	Operation mode reserved Disable bitstuffing and NRZI encoding Non-driving Normal operation		0x1	R/W			
USB_Test (USB test)	0x300c24 (8 bits)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W		
		D6–4	–	–		–	–	–	–		
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W		
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W		
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W		
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W		
EPnControl (Endpoint control)	0x300c25 (8 bits)	D7	AllForceNAK	1	Set all ForceNAK	0	Do nothing	0	W	0 when being read.	
		D6	EPrForceSTALL	1	Set EP's ForceSTALL	0	Do nothing	0	W		
		D5	AllFIFO_Clr	1	Clear all FIFO	0	Do nothing	0	W		
		D4–1	–	–		–	–	–	–		
		D0	EP0FIFO_Clr	1	Clear EP0 FIFO	0	Do nothing	0	W		
EPrFIFO_Clr (EPr FIFO clear)	0x300c26 (8 bits)	D7–4	–	–		–	–	–	–	0 when being read.	
		D3	EPdFIFO_Clr	1	Clear EPd FIFO	0	Do nothing	0	W		
		D2	EPcFIFO_Clr	1	Clear EPc FIFO	0	Do nothing	0	W		
		D1	EPbFIFO_Clr	1	Clear EPb FIFO	0	Do nothing	0	W		
		D0	EPaFIFO_Clr	1	Clear EPa FIFO	0	Do nothing	0	W		

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
FrameNumber_H (Frame number high)	0x300c2e (8 bits)	D7	FnInvalid	1	Invalid frame number	0	Valid frame number	1	R	
		D6-3	—		—		—	—	0 when being read.	
		D2-0	FrameNumber[10:8]		Frame number high			0x0	R	
FrameNumber_L (Frame number low)	0x300c2f (8 bits)	D7-0	FrameNumber[7:0]		Frame number low			0x0	R	
EP0Setup_0 (EP0 setup 0)	0x300c30 (8 bits)	D7-0	EP0Setup_0[7:0]		Endpoint 0 setup data 0			0x0	R	
EP0Setup_1 (EP0 setup 1)	0x300c31 (8 bits)	D7-0	EP0Setup_1[7:0]		Endpoint 0 setup data 1			0x0	R	
EP0Setup_2 (EP0 setup 2)	0x300c32 (8 bits)	D7-0	EP0Setup_2[7:0]		Endpoint 0 setup data 2			0x0	R	
EP0Setup_3 (EP0 setup 3)	0x300c33 (8 bits)	D7-0	EP0Setup_3[7:0]		Endpoint 0 setup data 3			0x0	R	
EP0Setup_4 (EP0 setup 4)	0x300c34 (8 bits)	D7-0	EP0Setup_4[7:0]		Endpoint 0 setup data 4			0x0	R	
EP0Setup_5 (EP0 setup 5)	0x300c35 (8 bits)	D7-0	EP0Setup_5[7:0]		Endpoint 0 setup data 5			0x0	R	
EP0Setup_6 (EP0 setup 6)	0x300c36 (8 bits)	D7-0	EP0Setup_6[7:0]		Endpoint 0 setup data 6			0x0	R	
EP0Setup_7 (EP0 setup 7)	0x300c37 (8 bits)	D7-0	EP0Setup_7[7:0]		Endpoint 0 setup data 7			0x0	R	
USB_Address (USB address)	0x300c38 (8 bits)	D7	AutoSetAddress	1	Auto set address	0	Do nothing	0	R/W	
		D6-0	USB_Address[6:0]		USB address			0x0	R/W	
EP0Control (EP0 control)	0x300c39 (8 bits)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6-1	—		—		—	—	0 when being read.	
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0	W	
EP0ControlIN (EP0 control IN)	0x300c3a (8 bits)	D7	—		—		—	—	0 when being read.	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	—		—		—	—	0 when being read.	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	R/W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	R/W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	
EP0ControlOUT (EP0 control OUT)	0x300c3b (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6-5	—		—		—	—	0 when being read.	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W			
EP0MaxSize (EP0 max packet size)	0x300c3f (8 bits)	D7	—		—		—	—	0 when being read.	
		D6-3	EP0MaxSize[6:3]		Endpoint EP0 max packet size			0x1	R/W	
		D2-0	—		—		—	—	0 when being read.	
EPaControl (EPa control)	0x300c40 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	
EPbControl (EPb control)	0x300c41 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	
EPcControl (EPc control)	0x300c42 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdControl (EPd control)	0x300c43 (8 bits)	D7	AutoForceNAK	1 Auto force NAK	0 Do nothing	0 R/W	0 when being read.
		D6	EnShortPkt	1 Enable short packet	0 Do nothing	0 R/W	
		D5	DisAF_NAK_Short	1 Disable auto force	0 Auto force NAK short	0 R/W	
		D4	ToggleStat	Toggle sequence bit		0 R	
		D3	ToggleSet	1 Set toggle sequence bit	0 Do nothing	0 W	
		D2	ToggleClr	1 Clear toggle sequence bit	0 Do nothing	0 W	
		D1	ForceNAK	1 Force NAK	0 Do nothing	0 R/W	
		D0	ForceSTALL	1 Force STALL	0 Do nothing	0 R/W	
EPaMaxSize_H (EPa max packet size high)	0x300c50 (8 bits)	D7-2	—	—		—	0 when being read.
		D1-0	EPaMaxSize[9:8]	Endpoint EPa max packet size		0x0 R/W	
EPaMaxSize_L (EPa max packet size low)	0x300c51 (8 bits)	D7-0	EPaMaxSize[7:0]	Endpoint EPa max packet size		0x0 R/W	
EPaConfig_0 (EPa configuration 0)	0x300c52 (8 bits)	D7	INxOUT	1 In	0 Out	0 R/W	0 when being read.
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0 R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0 R/W	
		D4	—	—		—	
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)		0x0 R/W	
EPaConfig_1 (EPa configuration 1)	0x300c53 (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0 R/W	0 when being read.
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0 R/W	
		D5-0	—	—		—	
EPbMaxSize_H (EPb max packet size high)	0x300c54 (8 bits)	D7-2	—	—		—	0 when being read.
		D1-0	EPbMaxSize[9:8]	Endpoint EPb max packet size		0x0 R/W	
EPbMaxSize_L (EPb max packet size low)	0x300c55 (8 bits)	D7-0	EPbMaxSize[7:0]	Endpoint EPb max packet size		0x0 R/W	
EPbConfig_0 (EPb configuration 0)	0x300c56 (8 bits)	D7	INxOUT	1 In	0 Out	0 R/W	0 when being read.
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0 R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0 R/W	
		D4	—	—		—	
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)		0x0 R/W	
EPbConfig_1 (EPb configuration 1)	0x300c57 (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0 R/W	0 when being read.
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0 R/W	
		D5-0	—	—		—	
EPcMaxSize_H (EPc max packet size high)	0x300c58 (8 bits)	D7-2	—	—		—	0 when being read.
		D1-0	EPcMaxSize[9:8]	Endpoint EPc max packet size		0x0 R/W	
EPcMaxSize_L (EPc max packet size low)	0x300c59 (8 bits)	D7-0	EPcMaxSize[7:0]	Endpoint EPc max packet size		0x0 R/W	
EPcConfig_0 (EPc configuration 0)	0x300c5a (8 bits)	D7	INxOUT	1 In	0 Out	0 R/W	0 when being read.
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0 R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0 R/W	
		D4	—	—		—	
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)		0x0 R/W	
EPcConfig_1 (EPc configuration 1)	0x300c5b (8 bits)	D7	ISO	1 ISO	0 Non-ISO	0 R/W	0 when being read.
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0 R/W	
		D5-0	—	—		—	
EPdMaxSize_H (EPd max packet size high)	0x300c5c (8 bits)	D7-2	—	—		—	0 when being read.
		D1-0	EPdMaxSize[9:8]	Endpoint EPd max packet size		0x0 R/W	
EPdMaxSize_L (EPd max packet size low)	0x300c5d (8 bits)	D7-0	EPdMaxSize[7:0]	Endpoint EPd max packet size		0x0 R/W	
EPdConfig_0 (EPd configuration 0)	0x300c5e (8 bits)	D7	INxOUT	1 In	0 Out	0 R/W	0 when being read.
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0 R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0 R/W	
		D4	—	—		—	
		D3-0	EndPointNumber [3:0]	Endpoint number (0x1 to 0xf)		0x0 R/W	

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
EPdConfig_1 (EPd configuration 1)	0x300c5f (8 bits)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—	—	—	—	—	—	
EPaStartAdrs_H (EPa FIFO start address high)	0x300c70 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPaStartAdrs[11:8]	Endpoint EPa start address		0x0	R/W			
EPaStartAdrs_L (EPa FIFO start address low)	0x300c71 (8 bits)	D7-2	EPaStartAdrs[7:2]	Endpoint EPa start address		0x0	R/W			
		D1-0	—	—		—	—	—	0 when being read.	
EPbStartAdrs_H (EPb FIFO start address high)	0x300c72 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPbStartAdrs[11:8]	Endpoint EPb start address		0x0	R/W			
EPbStartAdrs_L (EPb FIFO start address low)	0x300c73 (8 bits)	D7-2	EPbStartAdrs[7:2]	Endpoint EPb start address		0x0	R/W			
		D1-0	—	—		—	—	—	0 when being read.	
EPcStartAdrs_H (EPc FIFO start address high)	0x300c74 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPcStartAdrs[11:8]	Endpoint EPc start address		0x0	R/W			
EPcStartAdrs_L (EPc FIFO start address low)	0x300c75 (8 bits)	D7-2	EPcStartAdrs[7:2]	Endpoint EPc start address		0x0	R/W			
		D1-0	—	—		—	—	—	0 when being read.	
EPdStartAdrs_H (EPd FIFO start address high)	0x300c76 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPdStartAdrs[11:8]	Endpoint EPd start address		0x0	R/W			
EPdStartAdrs_L (EPd FIFO start address low)	0x300c77 (8 bits)	D7-2	EPdStartAdrs[7:2]	Endpoint EPd start address		0x0	R/W			
		D1-0	—	—		—	—	—	0 when being read.	
CPU_JoinRd (CPU join FIFO read)	0x300c80 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3	JoinEPdRd	1	Join EPd FIFO read	0	Do nothing	0	R/W	
		D2	JoinEPcRd	1	Join EPc FIFO read	0	Do nothing	0	R/W	
		D1	JoinEPbRd	1	Join EPb FIFO read	0	Do nothing	0	R/W	
		D0	JoinEPaRd	1	Join EPa FIFO read	0	Do nothing	0	R/W	
CPU_JoinWr (CPU join FIFO write)	0x300c81 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3	JoinEPdWr	1	Join EPd FIFO write	0	Do nothing	0	R/W	
		D2	JoinEPcWr	1	Join EPc FIFO write	0	Do nothing	0	R/W	
		D1	JoinEPbWr	1	Join EPb FIFO write	0	Do nothing	0	R/W	
		D0	JoinEPaWr	1	Join EPa FIFO write	0	Do nothing	0	R/W	
EnEPnFIFO_Access (EPn FIFO access enable)	0x300c82 (8 bits)	D7-2	—	—		—	—	—	—	0 when being read.
		D1	EnEPnFIFO_Wr	1	Enable join EPn FIFO write	0	Do nothing	0	R/W	
		D0	EnEPnFIFO_Rd	1	Enable join EPn FIFO read	0	Do nothing	0	R/W	
EPnFIFOforCPU (EPn FIFO for CPU)	0x300c83 (8 bits)	D7-0	EPnFIFOData[7:0]	Endpoint n FIFO access from CPU		X	R/W			
EPnRdRemain_H (EPn FIFO read remain high)	0x300c84 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPnRdRemain[11:8]	Endpoint n FIFO read remain		0x0	R			
EPnRdRemain_L (EPn FIFO read remain low)	0x300c85 (8 bits)	D7-0	EPnRdRemain[7:0]	Endpoint n FIFO read remain		0x0	R			
EPnWrRemain_H (EPn FIFO write remain high)	0x300c86 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	EPnWrRemain[11:8]	Endpoint n FIFO write remain		0x0	R			
EPnWrRemain_L (EPn FIFO write remain low)	0x300c87 (8 bits)	D7-0	EPnWrRemain[7:0]	Endpoint n FIFO write remain		0x0	R			
DescAdrs_H (Descriptor address high)	0x300c88 (8 bits)	D7-4	—	—		—	—	—	—	0 when being read.
		D3-0	DescAdrs[11:8]	Descriptor address		0x0	R/W			
DescAdrs_L (Descriptor address low)	0x300c89 (8 bits)	D7-0	DescAdrs[7:0]	Descriptor address		0x0	R/W			
DescSize_H (Descriptor size high)	0x300c8a (8 bits)	D7-2	—	—		—	—	—	—	0 when being read.
		D1-0	DescSize[9:8]	Descriptor size		0x0	R/W			
DescSize_L (Descriptor size low)	0x300c8b (8 bits)	D7-0	DescSize[7:0]	Descriptor size		0x0	R/W			

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescDoor (Descriptor door)	0x300c8f (8 bits)	D7-0	DescMode[7:0]	Descriptor door	0x0	R/W	
DMA_FIFO_ Control (DMA FIFO control)	0x300c90 (8 bits)	D7	FIFO_Running	1 FIFO is running	0 FIFO is not running	0	R
		D6	AutoEnShort	1 Auto enable short packet	0 Do nothing	0	R/W
		D5-0	—	—	—	—	0 when being read.
DMA_Join (DMA join FIFO)	0x300c91 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3	JoinEPdDMA	1 Join EPd to DMA	0 Do nothing	0	R/W
		D2	JoinEPcDMA	1 Join EPc to DMA	0 Do nothing	0	R/W
		D1	JoinEPbDMA	1 Join EPb to DMA	0 Do nothing	0	R/W
		D0	JoinEPaDMA	1 Join EPa to DMA	0 Do nothing	0	R/W
DMA_Control (DMA control)	0x300c92 (8 bits)	D7	DMA_Running	1 DMA is running	0 DMA is not running	0	R
		D6	PDREQ	PDREQ signal logic	0	R	
		D5	PDACK	PDACK signal logic	0	R	
		D4	—	—	—	—	0 when being read.
		D3	CounterClr	1 Clear DMA counter	0 Do nothing	0	W
		D2	—	—	—	—	
		D1	DMA_Stop	1 Finish DMA	0 Do nothing	0	W
		D0	DMA_Go	1 Start DMA	0 Do nothing	0	W
DMA_Config_0 (DMA configuration 0)	0x300c94 (8 bits)	D7	ActivePort	1 Activate DMA port	0 Deactivate DMA port	0	R/W
		D6-4	—	—	—	—	0 when being read.
		D3	PDREQ_Level	1 Active-low	0 Active-high	0	R/W
		D2	PDACK_Level	1 Active-low	0 Active-high	0	R/W
		D1	PDRDWR_Level	1 Active-low	0 Active-high	0	R/W
		D0	—	—	—	—	0 when being read.
DMA_Config_1 (DMA configuration 1)	0x300c95 (8 bits)	D7	RcvLimitMode	1 Receive limit mode	0 Normal	0	R/W
		D6-4	—	—	—	—	0 when being read.
		D3	SingleWord	1 Single word	0 Multi word	0	R/W
		D2-1	—	—	—	—	0 when being read.
		D0	CountMode	1 Count-down mode	0 Free-run mode	0	R/W
DMA_Latency (DMA latency)	0x300c97 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	DMA_Latency[3:0]	Latency	0x0	R/W	
DMA_Remain_H (DMA FIFO remain high)	0x300c98 (8 bits)	D7-4	—	—	—	—	0 when being read.
		D3-0	DMA_Remain[11:8]	DMA FIFO remain	0x0	R	
DMA_Remain_L (DMA FIFO remain low)	0x300c99 (8 bits)	D7-0	DMA_Remain[7:0]	DMA FIFO remain	0x0	R	
DMA_Count_HH (DMA transfer byte counter high/high)	0x300c9c (8 bits)	D7-0	DMA_Count[31:24]	DMA transfer byte counter	0x0	R/W	
DMA_Count_HL (DMA transfer byte counter high/low)	0x300c9d (8 bits)	D7-0	DMA_Count[23:16]	DMA transfer byte counter	0x0	R/W	
DMA_Count_LH (DMA transfer byte counter low/high)	0x300c9e (8 bits)	D7-0	DMA_Count[15:8]	DMA transfer byte counter	0x0	R/W	
DMA_Count_LL (DMA transfer byte counter low/low)	0x300c9f (8 bits)	D7-0	DMA_Count[7:0]	DMA transfer byte counter	0x0	R/W	

0x300e00-0x300e01

Prescaler (PSC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSC0 Control Register (PSC_CTL0)	0x300e00 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run	0 Stop	0	R/W
		D0	PRUN	Prescaler run/stop control	1 Run	0 Stop	0	R/W
PSC1/2 Control Register (PSC_CTL12)	0x300e01 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run	0 Stop	0	R/W
		D0	PRUN	Prescaler run/stop control	1 Run	0 Stop	0	R/W

0x300e10–0x300e15

UART

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Status Register (UART_ST)	0x300e10 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	FER	Framing error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1 Error 0 Normal	0	R/W	
		D4	OER	Overrun error flag	1 Error 0 Normal	0	R/W	Shift register status
		D3	RD2B	Second byte receive flag	1 Ready 0 Empty	0	R	
		D2	TRBS	Transmit busy flag	1 Busy 0 Idle	0	R	
		D1	RDRY	Receive data ready flag	1 Ready 0 Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
UART Transmit Data Register (UART_TXD)	0x300e11 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	
UART Receive Data Register (UART_RXD)	0x300e12 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.
UART Mode Register (UART_MOD)	0x300e13 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	–	reserved	–	0	–	Do not set to 1.
		D4	CHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	SSCK	Input clock select	1 External 0 Internal	0	R/W	
UART Control Register (UART_CTL)	0x300e14 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	RBF1	Receive buffer full int. condition setup	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	
UART Expansion Register (UART_EXP)	0x300e15 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Division ratio	0x0	Source clock = PSC1/2_CLK (PCLK)
					0x7	1/128		
					0x6	1/64		
					0x5	1/32		
					0x4	1/16		
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

0x300f00–0x300f43

Card Interface (CARD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CARD EDC Trigger Register (CARD_EDC_TRG)	0x300f00 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	END	10-symbol EDC end trigger	1 Trigger 0 Ignored	0	W	
		D0	RST	EDC reset	1 Reset 0 Ignored	0	W	
CARD EDC Control Register (CARD_EDC_CTRL)	0x300f01 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SLT	EDC correction mode select	1 2-symbol EDC 0 10-symbol EDC	0	R/W	
		D1	MOD	EDC operation mode select	1 Decode 0 Encode	0	R/W	
		D0	EN	EDC enable	1 Enable 0 Disable	0	R/W	
CARD EDC Region Register (CARD_EDC_RGN)	0x300f02 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RGN[2:0]	Card area select	RGN[2:0]	Card area	0x4	R/W
					0x7	Disabled		
					0x6	reserved		
					0x5	#CE10		
					0x4	#CE9		
					0x3	#CE8		
					0x2	#CE7		
					0x1	#CE5		
					0x0	#CE4		
CARD EDC Flag Register (CARD_EDC_FLG)	0x300f10 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	BSY[1:0]	10-symbol EDC busy flag	BSY[1:0]	Status	0x0	R
					0x3	Busy		
					0x2, 0x1	reserved		
					0x0	Idle		
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	ERR	EDC error flag	1 Error 0 No error	0	R	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CARD 10-Symbol EDC Code Register 0 (CARD_EDC10_ COD0)	0x300f20 (8 bits)	D7-0	RS10_ COD0[7:0]	RS code 0[7:0]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 1 (CARD_EDC10_ COD1)	0x300f21 (8 bits)	D7-2	RS10_ COD1[5:0]	RS code 1[5:0]	0x0 to 0x3f	0x0	R	
		D1-0	RS10_ COD0[9:8]	RS code 0[9:8]	0x0 to 0x3	0x0	R	
CARD 10-Symbol EDC Code Register 2 (CARD_EDC10_ COD2)	0x300f22 (8 bits)	D7-4	RS10_ COD2[3:0]	RS code 2[3:0]	0x0 to 0xf	0x0	R	
		D3-0	RS10_ COD1[9:6]	RS code 1[9:6]	0x0 to 0xf	0x0	R	
CARD 10-Symbol EDC Code Register 3 (CARD_EDC10_ COD3)	0x300f23 (8 bits)	D7-6	RS10_ COD3[1:0]	RS code 3[1:0]	0x0 to 0x3	0x0	R	
		D5-0	RS10_ COD2[9:4]	RS code 2[9:4]	0x0 to 0x3f	0x0	R	
CARD 10-Symbol EDC Code Register 4 (CARD_EDC10_ COD4)	0x300f24 (8 bits)	D7-0	RS10_ COD3[9:2]	RS code 3[9:2]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 5 (CARD_EDC10_ COD5)	0x300f25 (8 bits)	D7-0	RS10_ COD4[7:0]	RS code 4[7:0]	0x0 to 0xff	0x0	R	
		D7-2	RS10_ COD5[5:0]	RS code 5[5:0]	0x0 to 0x3f	0x0	R	
CARD 10-Symbol EDC Code Register 6 (CARD_EDC10_ COD6)	0x300f26 (8 bits)	D1-0	RS10_ COD4[9:8]	RS code 4[9:8]	0x0 to 0x3	0x0	R	
		D7-4	RS10_ COD6[3:0]	RS code 6[3:0]	0x0 to 0xf	0x0	R	
CARD 10-Symbol EDC Code Register 7 (CARD_EDC10_ COD7)	0x300f27 (8 bits)	D3-0	RS10_ COD5[9:6]	RS code 5[9:6]	0x0 to 0xf	0x0	R	
		D7-6	RS10_ COD7[1:0]	RS code 7[1:0]	0x0 to 0x3	0x0	R	
CARD 10-Symbol EDC Code Register 8 (CARD_EDC10_ COD8)	0x300f28 (8 bits)	D5-0	RS10_ COD6[9:4]	RS code 6[9:4]	0x0 to 0x3f	0x0	R	
		D7-0	RS10_ COD7[9:2]	RS code 7[9:2]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 9 (CARD_EDC10_ COD9)	0x300f29 (8 bits)	D7-0	RS10_ COD7[9:2]	RS code 7[9:2]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 10 (CARD_EDC10_ COD10)	0x300f2a (8 bits)	D7-0	RS10_ COD8[7:0]	RS code 8[7:0]	0x0 to 0xff	0x0	R	
		D7-2	RS10_ COD9[5:0]	RS code 9[5:0]	0x0 to 0x3f	0x0	R	
CARD 10-Symbol EDC Code Register 11 (CARD_EDC10_ COD11)	0x300f2b (8 bits)	D1-0	RS10_ COD8[9:8]	RS code 8[9:8]	0x0 to 0x3	0x0	R	
		D7-4	RS10_ COD10[3:0]	RS code 10[3:0]	0x0 to 0xf	0x0	R	
CARD 10-Symbol EDC Code Register 12 (CARD_EDC10_ COD12)	0x300f2c (8 bits)	D3-0	RS10_ COD9[9:6]	RS code 9[9:6]	0x0 to 0xf	0x0	R	
		D7-6	RS10_ COD11[1:0]	RS code 11[1:0]	0x0 to 0x3	0x0	R	
CARD 10-Symbol EDC Code Register 13 (CARD_EDC10_ COD13)	0x300f2d (8 bits)	D5-0	RS10_ COD10[9:4]	RS code 10[9:4]	0x0 to 0x3f	0x0	R	
		D7-0	RS10_ COD11[9:2]	RS code 11[9:2]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 14 (CARD_EDC10_ COD14)	0x300f2e (8 bits)	D7-0	RS10_ COD11[9:2]	RS code 11[9:2]	0x0 to 0xff	0x0	R	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CARD 10-Symbol EDC Code Register 15 (CARD_EDC10_ COD15)	0x300f2f (8 bits)	D7-0	RS10_ COD12[7:0]	RS code 12[7:0]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 16 (CARD_EDC10_ COD16)	0x300f30 (8 bits)	D7-2	RS10_ COD13[5:0]	RS code 13[5:0]	0x0 to 0x3f	0x0	R	
		D1-0	RS10_ COD12[9:8]	RS code 12[9:8]	0x0 to 0x3	0x0	R	
CARD 10-Symbol EDC Code Register 17 (CARD_EDC10_ COD17)	0x300f31 (8 bits)	D7-4	RS10_ COD14[3:0]	RS code 14[3:0]	0x0 to 0xf	0x0	R	
		D3-0	RS10_ COD13[9:6]	RS code 13[9:6]	0x0 to 0xf	0x0	R	
CARD 10-Symbol EDC Code Register 18 (CARD_EDC10_ COD18)	0x300f32 (8 bits)	D7-6	RS10_ COD15[1:0]	RS code 15[1:0]	0x0 to 0x3	0x0	R	
		D5-0	RS10_ COD14[9:4]	RS code 14[9:4]	0x0 to 0x3f	0x0	R	
CARD 10-Symbol EDC Code Register 19 (CARD_EDC10_ COD19)	0x300f33 (8 bits)	D7-0	RS10_ COD15[9:2]	RS code 15[9:2]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 20 (CARD_EDC10_ COD20)	0x300f34 (8 bits)	D7-0	RS10_ COD16[7:0]	RS code 16[7:0]	0x0 to 0xff	0x0	R	
CARD 10-Symbol EDC Code Register 21 (CARD_EDC10_ COD21)	0x300f35 (8 bits)	D7-2	RS10_ COD17[5:0]	RS code 17[5:0]	0x0 to 0x3f	0x0	R	
		D1-0	RS10_ COD16[9:8]	RS code 16[9:8]	0x0 to 0x3	0x0	R	
CARD 10-Symbol EDC Code Register 22 (CARD_EDC10_ COD22)	0x300f36 (8 bits)	D7-4	RS10_ COD18[3:0]	RS code 18[3:0]	0x0 to 0xf	0x0	R	
		D3-0	RS10_ COD17[9:6]	RS code 17[9:6]	0x0 to 0xf	0x0	R	
CARD 10-Symbol EDC Code Register 23 (CARD_EDC10_ COD23)	0x300f37 (8 bits)	D7-6	RS10_ COD19[1:0]	RS code 19[1:0]	0x0 to 0x3	0x0	R	
		D5-0	RS10_ COD18[9:4]	RS code 18[9:4]	0x0 to 0x3f	0x0	R	
CARD 10-Symbol EDC Code Register 24 (CARD_EDC10_ COD24)	0x300f38 (8 bits)	D7-0	RS10_ COD19[9:2]	RS code 19[9:2]	0x0 to 0xff	0x0	R	
CARD 2-Symbol EDC Code Register 0 (CARD_EDC2_ COD0)	0x300f40 (8 bits)	D7-0	RS2_ COD0[7:0]	RS code 0[7:0]	0x0 to 0xff	0x0	R	
CARD 2-Symbol EDC Code Register 1 (CARD_EDC2_ COD1)	0x300f41 (8 bits)	D7-0	RS2_ COD1[7:0]	RS code 1[7:0]	0x0 to 0xff	0x0	R	
CARD 2-Symbol EDC Code Register 2 (CARD_EDC2_ COD2)	0x300f42 (8 bits)	D7-0	RS2_ COD2[7:0]	RS code 2[7:0]	0x0 to 0xff	0x0	R	
CARD 2-Symbol EDC Code Register 3 (CARD_EDC2_ COD3)	0x300f43 (8 bits)	D7-0	RS2_ COD3[7:0]	RS code 3[7:0]	0x0 to 0xff	0x0	R	

0x301000–0x30100c

Watchdog Timer (WDT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_PROTECT)	0x301000 (16 bits)	D15–0	WDPTC [15:0]	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x301002–0x301006). Writing another value set the write protection.	X	W	0 when being read.
WDT Enable and Setup Register (WD_EN)	0x301002 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	CLKSEL	WDT input clock select	1 External clk 0 Internal clk	0	R/W	Write-protected
		D5	CLKEN	WDT clock output control	1 On 0 Off	0	R/W	
		D4	RUNSTP	WDT Run/Stop control	1 Run 0 Stop	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	NMIEN	WDT NMI enable	1 Enable 0 Disable	0	R/W	Write-protected
WDT Comparison Data L Register (WD_CMP_L)	0x301004 (16 bits)	D15–0	CMPDTC [15:0]	WDT comparison data CMPDTC = LSB	0x0 to 0x3fffff (low-order 16 bits)	0x0	R/W	Write-protected
WDT Comparison Data H Register (WD_CMP_H)	0x301006 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–0	CMPDTC [29:16]	WDT comparison data CMPDTC29 = MSB	0x0 to 0x3fffff (high-order 14 bits)	0x0	R/W	Write-protected
WDT Count Data L Register (WD_CNT_L)	0x301008 (16 bits)	D15–0	CTRDT [15:0]	WDT counter data CTRDT0 = LSB	0x0 to 0x3fffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	0x30100a (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–0	CTRDT [29:16]	WDT counter data CTRDT29 = MSB	0x0 to 0x3fffff (high-order 14 bits)	X	R	
WDT Control Register (WD_CTL)	0x30100c (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	WDRESEN	WDT reset	1 Reset 0 ignored	0	W	

0x301100–0x301108

Fine Mode 8-bit Timer (T8F) Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.0 Input Clock Select Register (T8F_CLK0)	0x301100 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0]	Division ratio	0x0	R/W
					0xf			
					0xe			
					0xd			
					0xc			
					0xb			
					0xa			
					0x9			
					0x8			
					0x7			
					0x6			
					0x5			
					0x4			
					0x3			
					0x2			
					0x1			
					0x0			
T8F Ch.0 Reload Data Register (T8F_TR0)	0x301102 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8F Ch.0 Counter Data Register (T8F_TC0)	0x301104 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	
T8F Ch.0 Control Register (T8F_CTL0)	0x301106 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.0 Interrupt Control Register (T8F_INT0)	0x301108 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301110–0x301118**Fine Mode 8-bit Timer (T8F) Ch.1**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.1 Input Clock Select Register (T8F_CLK1)	0x301110 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T8F Ch.1 Reload Data Register (T8F_TR1)	0x301112 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8F Ch.1 Counter Data Register (T8F_TC1)	0x301114 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	
T8F Ch.1 Control Register (T8F_CTL1)	0x301116 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T8F Ch.1 Interrupt Control Register (T8F_INT1)	0x301118 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301120–0x301128**Fine Mode 8-bit Timer (T8F) Ch.2**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.2 Input Clock Select Register (T8F_CLK2)	0x301120 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T8F Ch.2 Reload Data Register (T8F_TR2)	0x301122 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.2 Counter Data Register (T8F_TC2)	0x301124 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	
T8F Ch.2 Control Register (T8F_CTL2)	0x301126 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
T8F Ch.2 Interrupt Control Register (T8F_INT2)	0x301128 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301130–0x301138

Fine Mode 8-bit Timer (T8F) Ch.3

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.3 Input Clock Select Register (T8F_CLK3)	0x301130 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T8F Ch.3 Reload Data Register (T8F_TR3)	0x301132 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8F Ch.3 Counter Data Register (T8F_TC3)	0x301134 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	
T8F Ch.3 Control Register (T8F_CTL3)	0x301136 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
T8F Ch.3 Interrupt Control Register (T8F_INT3)	0x301138 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301140–0x301148

Fine Mode 8-bit Timer (T8F) Ch.4

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.4 Input Clock Select Register (T8F_CLK4)	0x301140 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T8F Ch.4 Reload Data Register (T8F_TR4)	0x301142 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8F Ch.4 Counter Data Register (T8F_TC4)	0x301144 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	
T8F Ch.4 Control Register (T8F_CTL4)	0x301146 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T8F Ch.4 Interrupt Control Register (T8F_INT4)	0x301148 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301150–0x301158

Fine Mode 8-bit Timer (T8F) Ch.5

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.5 Input Clock Select Register (T8F_CLK5)	0x301150 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	T8F clock division ratio select (Prescaler output clock)	DF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T8F Ch.5 Reload Data Register (T8F_TR5)	0x301152 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	T8F reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
T8F Ch.5 Counter Data Register (T8F_TC5)	0x301154 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	T8F counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0x0	R	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.5 Control Register (T8F_CTL5)	0x301156 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T8F Ch.5 Interrupt Control Register (T8F_INT5)	0x301158 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x301160–0x30116c**16-bit PWM Timer (T16A6) Ch.0**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.0 Counter Control Register (T16A_CTL0)	0x301160 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–12	DMASEL[1:0]	DMAC Ch.2/3 invoking channel select	DMASEL[1:0] T16A6 channel 0x3 Ch.3 0x2 Ch.2 0x1 Ch.1 0x0 Ch.0	0x0	R/W	
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio 0xf External clock 0xe 1/16384 0xd 1/8192 0xc 1/4096 0xb 1/2048 0xa 1/1024 0x9 1/512 0x8 1/256 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	Source clock = TCLK
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL[1:0]	Counter select	T16SEL[1:0] Counter channel 0x3 Ch.3 0x2 Ch.2 0x1 Ch.1 0x0 Ch.0	0x0	R/W	
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
		D15–0	T16ATC[15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
T16A6 Ch.0 Comparator/ Capture Control Register (T16A_CCCTL0)	0x301164 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W				
					0x3	↑ and ↓						
					0x2	↓						
					0x1	↑						
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W				
					0x3	cmp B: ↑ or ↓						
					0x2	cmp A: ↑ or ↓						
					0x1	cmp A: ↑, B: ↓						
		D11–10	–	reserved	–		–	–		0 when being read.		
					D9	TOUTBINV					TOUT B invert	1 Invert
D8	CCBMD				T16A_CCB register mode select	1 Capture			0 Comparator		0	R/W
D7–6	CAPATRG [1:0]				Capture A trigger select	CAPATRG[1:0]			Trigger edge		0x0	R/W
		0x3	↑ and ↓									
		0x2	↓									
		0x1	↑									
D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W						
			0x3	cmp B: ↑ or ↓								
			0x2	cmp A: ↑ or ↓								
			0x1	cmp A: ↑, B: ↓								
D3–2	–	reserved	–		–	–	0 when being read.					
			D1	TOUTAINV				TOUT A invert	1 Invert	0 Normal	0	R/W
			D0	CCAMD				T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W
T16A6 Ch.0 Comparator/ Capture A Data Register (T16A_CCA0)	0x301166 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff		0x0	R/W				
T16A6 Ch.0 Comparator/ Capture B Data Register (T16A_CCB0)	0x301168 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff		0x0	R/W				
T16A6 Ch.0 Comparator/ Capture Interrupt Enable Register (T16A_IEN0)	0x30116a (16 bits)	D15–6	–	reserved	–		–	–	0 when being read.			
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W				
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W				
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W				
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W				
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W				
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W				
T16A6 Ch.0 Comparator/ Capture Interrupt Flag Register (T16A_IFLG0)	0x30116c (16 bits)	D15–6	–	reserved	–		–	–	0 when being read.			
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.			
		D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W				
		D3	CAPBIF	Capture B interrupt flag			0	R/W				
		D2	CAPAIF	Capture A interrupt flag			0	R/W				
		D1	CBIF	Compare B interrupt flag			0	R/W				
		D0	CAIF	Compare A interrupt flag			0	R/W				

0x301170–0x30117c

16-bit PWM Timer (T16A6) Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.1 Counter Control Register (T16A_CTL1)	0x301170 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–12	DMASEL [1:0]	DMAC Ch.4/5 invoking channel select	DMASEL[1:0] T16A6 channel 0x3 Ch.3 0x2 Ch.2 0x1 Ch.1 0x0 Ch.0	0x0	R/W	
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio 0xf External clock 0xe 1/16384 0xd 1/8192 0xc 1/4096 0xb 1/2048 0xa 1/1024 0x9 1/512 0x8 1/256 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	Source clock = TCLK
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL [1:0]	Counter select	T16SEL[1:0] Counter channel 0x3 Ch.3 0x2 Ch.2 0x1 Ch.1 0x0 Ch.0	0x1	R/W	
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
T16A6 Ch.1 Counter Data Register (T16A_TC1)	0x301172 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	
T16A6 Ch.1 Comparator/ Capture Control Register (T16A_CCCTL1)	0x301174 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D11–10	–	reserved	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert 0 Normal	0	R/W	
		D8	CCBMD	T16A_CCB register mode select	1 Capture 0 Comparator	0	R/W	
		D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert 0 Normal	0	R/W	
		D0	CCAMD	T16A_CCA register mode select	1 Capture 0 Comparator	0	R/W	
T16A6 Ch.1 Comparator/ Capture A Data Register (T16A_CCA1)	0x301176 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A6 Ch.1 Comparator/ Capture B Data Register (T16A_CCB1)	0x301178 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.1 Comparator/ Capture Interrupt Enable Register (T16A_IEN1)	0x30117a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
T16A6 Ch.1 Comparator/ Capture Interrupt Flag Register (T16A_IFLG1)	0x30117c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag		0	R/W	
		D3	CAPBIF	Capture B interrupt flag		0	R/W	
		D2	CAPAIF	Capture A interrupt flag		0	R/W	
		D1	CBIF	Compare B interrupt flag		0	R/W	
		D0	CAIF	Compare A interrupt flag		0	R/W	

0x301180–0x30118c**16-bit PWM Timer (T16A6) Ch.2**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.2 Counter Control Register (T16A_CTL2)	0x301180 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
T16A6 Ch.2 Counter Data Register (T16A_TC2)	0x301182 (16 bits)	D15–0	T16ATC[15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL[1:0]	Counter select	T16SEL[1:0] Counter channel	0x2	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
T16A6 Ch.2 Comparator/ Capture Control Register (T16A_CCCTL2)	0x301184 (16 bits)	D15–14	CAPBTRG[1:0]	Capture B trigger select	CAPBTRG[1:0] Trigger edge	0x0	R/W	
					0x3 ↑ and ↓			
					0x2 ↓			
					0x1 ↑			
					0x0 None			
		D13–12	TOUTBMD[1:0]	TOUT B mode select	TOUTBMD[1:0] Mode	0x0	R/W	
					0x3 cmp B: ↑ or ↓			
					0x2 cmp A: ↑ or ↓			
					0x1 cmp A: ↑, B: ↓			
					0x0 Off			
		D11–10	–	reserved	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert 0 Normal	0	R/W	
T16A6 Ch.2 Comparator/ Capture Control Register (T16A_CCCTL2)	0x301184 (16 bits)	D8	CCBMD	T16A_CCB register mode select	1 Capture 0 Comparator	0	R/W	
		D7–6	CAPATRG[1:0]	Capture A trigger select	CAPATRG[1:0] Trigger edge	0x0	R/W	
					0x3 ↑ and ↓			
					0x2 ↓			
					0x1 ↑			
					0x0 None			
		D5–4	TOUTAMD[1:0]	TOUT A mode select	TOUTAMD[1:0] Mode	0x0	R/W	
					0x3 cmp B: ↑ or ↓			
					0x2 cmp A: ↑ or ↓			
					0x1 cmp A: ↑, B: ↓			
					0x0 Off			
		D3–2	–	reserved	–	–	–	0 when being read.
T16A6 Ch.2 Comparator/ Capture Control Register (T16A_CCCTL2)	0x301184 (16 bits)	D1	TOUTAINV	TOUT A invert	1 Invert 0 Normal	0	R/W	
		D0	CCAMD	T16A_CCA register mode select	1 Capture 0 Comparator	0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.2 Comparator/ Capture A Data Register (T16A_CCA2)	0x301186 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A6 Ch.2 Comparator/ Capture B Data Register (T16A_CCB2)	0x301188 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A6 Ch.2 Comparator/ Capture Interrupt Enable Register (T16A_IEN2)	0x30118a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
T16A6 Ch.2 Comparator/ Capture Interrupt Flag Register (T16A_IFLG2)	0x30118c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag		0	R/W	
		D3	CAPBIF	Capture B interrupt flag		0	R/W	
		D2	CAPAIF	Capture A interrupt flag		0	R/W	
		D1	CBIF	Compare B interrupt flag		0	R/W	
		D0	CAIF	Compare A interrupt flag		0	R/W	

0x301190–0x30119c

16-bit PWM Timer (T16A6) Ch.3

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.3 Counter Control Register (T16A_CTL3)	0x301190 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	CLKS[3:0]	Counter clock (division ratio) select	CLKS[3:0] Division ratio	0x0	R/W	Source clock = TCLK
					0xf External clock			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
		D7	BUSY	Register writing status	1 Busy 0 Idle	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5–4	T16SEL[1:0]	Counter select	T16SEL[1:0] Counter channel	0x3	R/W	
					0x3 Ch.3			
					0x2 Ch.2			
					0x1 Ch.1			
					0x0 Ch.0			
		D3	CBUFEN	Compare buffer enable	1 Enable 0 Disable	0	R/W	
		D2	TMMD	Count mode select	1 One-shot 0 Repeat	0	R/W	
		D1	PRESET	Counter reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	PRUN	Counter run/stop control	1 Run 0 Stop	0	R/W	
T16A6 Ch.3 Counter Data Register (T16A_TC3)	0x301192 (16 bits)	D15–0	T16ATC[15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A6 Ch.3 Comparator/ Capture Control Register (T16A_CCCTL3)	0x301194 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D11–10	–	reserved	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W
		D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W
		D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W
T16A6 Ch.3 Comparator/ Capture A Data Register (T16A_CCA3)	0x301196 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A6 Ch.3 Comparator/ Capture B Data Register (T16A_CCB3)	0x301198 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A6 Ch.3 Comparator/ Capture Interrupt Enable Register (T16A_IEN3)	0x30119a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W
T16A6 Ch.3 Comparator/ Capture Interrupt Flag Register (T16A_IFLG3)	0x30119c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D4	CAPAOWIF	Capture A overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D3	CAPBIF	Capture B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D2	CAPAIF	Capture A interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D0	CAIF	Compare A interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W

0x301200–0x30120e

16-bit Audio PWM Timer (T16P) Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.0 Compare A Buffer Register (T16P_A0)	0x301200 (16 bits)	D15–0	CMPA[15:0]	Compare A data CMPA15 = MSB CMPA0 = LSB	0x0 to 0xffff	X	R/W	
T16P Ch.0 Compare B Buffer Register (T16P_B0)	0x301202 (16 bits)	D15–0	CMPB[15:0]	Compare B data CMPB15 = MSB CMPB0 = LSB	0x0 to 0xffff	X	R/W	
T16P Ch.0 Counter Data Register (T16P_CNT_ DATA0)	0x301204 (16 bits)	D15–0	CNT_DATA [15:0]	Counter data CNT_DATA15 = MSB CNT_DATA0 = LSB	0x0 to 0xffff	X	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.0 Volume Control Register (T16P_VOL_ CTL0)	0x301206 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	VOLBPS	Volume control enable	1 Disable	0 Enable	1	R/W
		D6–0	VOLSEL [6:0]	Volume level select	VOLSEL [6:0] Volume level		0x40	R/W
					0x7f	× 127/64		
					0x7e	× 126/64		
					:	:		
					0x40	× 64/64		
					:	:		
T16P Ch.0 Control Register (T16P_CTL0)	0x301208 (16 bits)	D15–12	BCNT [3:0]	B match count	0x0 to 0xf		0x0	R/W
		D11	RESSEL	PCM data resolution select	1 16 bits	0 8 bits	1	R/W
		D10	SGNSEL	PCM data format select	1 Signed	0 Unsigned	1	R/W
		D9–8	SPLTMD [1:0]	Split mode select	SPLTMD [1:0] Split mode		0x0	R/W
					0x3	10 bits + 6 bits		
					0x2	9 bits + 7 bits		
					0x1	8 bits + 8 bits		
					0x0	Normal (16 bits)		
		D7	CHSYNC	Channel sync enable	1 Enable	0 Disable	0	R/W
		D6	SELFPM	Fine mode select	1 Fine mode	0 Normal	0	R/W
		D5	–	reserved	–	–	–	0 when being read.
		D4	INITOL	Initial output level select	1 High	0 Low	0	R/W
		D3	CLKSEL	Input clock select	1 External	0 Internal	0	R/W
		D2	–	reserved	–	–	–	0 when being read.
		D1	PRESET	T16P reset	1 Reset	0 Ignored	0	W
		D0	–	reserved	–	–	–	–
T16P Ch.0 Run- ning Control Register (T16P_RUN0)	0x30120a (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	PRUN	Timer run/stop control	1 Run	0 Stop	0	R/W
T16P Ch.0 Internal Clock Control Register (T16P_CLK0)	0x30120c (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	CLKDIV [3:0]	Counter clock division ratio select (Prescaler output clock)	CLKDIV [3:0] Division ratio		0x0	R/W
					0xf–0xd	reserved		
					0xc	1/4096		
					0xb	1/2048		
					0xa	1/1024		
					0x9	1/512		
					0x8	1/256		
					0x7	1/128		
					0x6	1/64		
					0x5	1/32		
					0x4	1/16		
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		
T16P Ch.0 Interrupt Control Register (T16P_INT0)	0x30120e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	BUFEF	Buffer empty interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	1	R/W
		D9	INTBF	B match interrupt flag			0	R/W
		D8	INTAF	A match interrupt flag			0	R/W
		D7–3	–	reserved	–	–	–	0 when being read.
		D2	INTBEEN	Buffer empty interrupt enable	1 Enable	0 Disable	0	R/W
		D1	INTBEN	B match interrupt enable	1 Enable	0 Disable	0	R/W
		D0	INTAEN	A match interrupt enable	1 Enable	0 Disable	0	R/W

0x301210–0x30121e

16-bit Audio PWM Timer (T16P) Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.1 Compare A Buffer Register (T16P_A1)	0x301210 (16 bits)	D15–0	CMPA [15:0]	Compare A data CMPA15 = MSB CMPA0 = LSB	0x0 to 0xffff	X	R/W	
T16P Ch.1 Compare B Buffer Register (T16P_B1)	0x301212 (16 bits)	D15–0	CMPB [15:0]	Compare B data CMPB15 = MSB CMPB0 = LSB	0x0 to 0xffff	X	R/W	
T16P Ch.1 Counter Data Register (T16P_CNT_ DATA1)	0x301214 (16 bits)	D15–0	CNT_DATA [15:0]	Counter data CNT_DATA15 = MSB CNT_DATA0 = LSB	0x0 to 0xffff	X	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Ch.1 Volume Control Register (T16P_VOL_ CTL1)	0x301216 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	VOLBPS	Volume control enable	1 Disable 0 Enable	1	R/W	Effective only for 16-bit data
		D6–0	VOLSEL [6:0]	Volume level select	VOLSEL [6:0] Volume level 0x7f × 127/64 0x7e × 126/64 : : 0x40 × 64/64 : : 0x2 × 2/64 0x1 × 1/64 0x0 × 0 (mute)	0x40	R/W	
T16P Ch.1 Control Register (T16P_CTL1)	0x301218 (16 bits)	D15–12	BCNT [3:0]	B match count	0x0 to 0xf	0x0	R/W	
		D11	RESSEL	PCM data resolution select	1 16 bits 0 8 bits	1	R/W	
		D10	SGNSEL	PCM data format select	1 Signed 0 Unsigned	1	R/W	
		D9–8	SPLTMD [1:0]	Split mode select	SPLTMD [1:0] Split mode 0x3 10 bits + 6 bits 0x2 9 bits + 7 bits 0x1 8 bits + 8 bits 0x0 Normal (16 bits)	0x0	R/W	Effective only for 16-bit data
		D7	CHSYNC	Channel sync enable	1 Enable 0 Disable	0	R/W	
		D6	SELFMD	Fine mode select	1 Fine mode 0 Normal	0	R/W	
		D5	–	reserved	–	–	–	
		D4	INITOL	Initial output level select	1 High 0 Low	0	R/W	0 when being read.
		D3	CLKSEL	Input clock select	1 External 0 Internal	0	R/W	
		D2	–	reserved	–	–	–	
T16P Ch.1 Running Control Register (T16P_RUN1)	0x30121a (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T16P Ch.1 Internal Clock Control Register (T16P_CLK1)	0x30121c (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	CLKDIV [3:0]	Counter clock division ratio select (Prescaler output clock)	CLKDIV [3:0] Division ratio 0xf–0xd reserved 0xc 1/4096 0xb 1/2048 0xa 1/1024 0x9 1/512 0x8 1/256 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
T16P Ch.1 Interrupt Control Register (T16P_INT1)	0x30121e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	BUFEF	Buffer empty interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	1	R/W	Reset by writing 1.
		D9	INTBF	B match interrupt flag		0	R/W	
		D8	INTAF	A match interrupt flag		0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2	INTBEEN	Buffer empty interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	INTBEN	B match interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	INTAEN	A match interrupt enable	1 Enable 0 Disable	0	R/W	

0x301300–0x301306

A/D Converter (ADC10)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x301300 (16 bits)	D15–0	ADD [15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Trigger/ Channel Select Register (ADC10_TRG)	0x301302 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	ADCE[2:0]	End channel select	0x0 to 0x7	0x0	R/W	
		D10–8	ADCS[2:0]	Start channel select	0x0 to 0x7	0x0	R/W	
		D7	STMD	Conversion result storing mode	1 ADD[15:6] 0 ADD[9:0]	0	R/W	
		D6	ADMS	Conversion mode select	1 Continuous 0 Single	0	R/W	
		D5–4	ADTS[1:0]	Conversion trigger select	ADTS[1:0] Trigger	0x0	R/W	
					0x3 reserved 0x2 reserved 0x1 T8F Ch.4 0x0 Software			
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	ADST[2:0]	Sampling time setting	ADST[2:0] Sampling time	0x7	R/W	
					0x7 9 clocks 0x6 8 clocks 0x5 7 clocks 0x4 6 clocks 0x3 5 clocks 0x2 4 clocks 0x1 3 clocks 0x0 2 clocks			
A/D Control/ Status Register (ADC10_CTL)	0x301304 (16 bits)	D15	–	reserved	–	–	–	0 when being read.
		D14–12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x7	0x0	R	
		D11	–	reserved	–	–	–	0 when being read.
		D10	ADIBS	ADC10 status	1 Busy 0 Idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed 0 Run/Stand-by	0	R	Reset when ADC10_ADD is read.
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	ADOCIE	Conversion completion int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	ADCTL	A/D conversion control	1 Start 0 Stop	0	R/W	
		D0	ADEN	ADC10 enable	1 Enable 0 Disable	0	R/W	
A/D Clock Control Register (ADC10_CLK)	0x301306 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					0xf reserved 0xe 1/32768 0xd 1/16384 0xc 1/8192 0xb 1/4096 0xa 1/2048 0x9 1/1024 0x8 1/512 0x7 1/256 0x6 1/128 0x5 1/64 0x4 1/32 0x3 1/16 0x2 1/8 0x1 1/4 0x0 1/2			

0x301500–0x301506

Remote Controller (REMC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x301500 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock division ratio select (Prescaler output clock)	CGCLK[3:0] Division ratio	0x0	R/W	Source clock = PSC1/2_CLK (PCLK)
					LCCLK[3:0]			
					0xf reserved 0xe 1/16384 0xd 1/8192 0xc 1/4096 0xb 1/2048 0xa 1/1024 0x9 1/512 0x8 1/256 0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1			
		D11–8	LCCLK[3:0]	Length counter clock division ratio select (Prescaler output clock)	0x7 1/128 0x6 1/64 0x5 1/32 0x4 1/16 0x3 1/8 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	
		D7–2	–	reserved	–	–	–	0 when being read.
		D1	REMMD	REMC mode select	1 Receive 0 Transmit	0	R/W	
		D0	REMCN	REMC enable	1 Enable 0 Disable	0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Length Setup Register (REMC_CAR)	0x301502 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–8	REMC_L[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5–0	REMC_H[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W	
REMC Length Counter Register (REMC_LCNT)	0x301504 (16 bits)	D15–8	REMC_LEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	
REMC Interrupt Control Register (REMC_INT)	0x301506 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag		0	R/W	
		D8	REMUIF	Underflow interrupt flag		0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable 0 Disable	0	R/W	

0x302000–0x302094

LCD Controller (LCDC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC Interrupt Enable Register (LCDC_INT)	0x302000 (32 bits)	D31–1	–	reserved	–	–	–	0 when being read.
		D0	FRINTEN	Frame interrupt enable	1 Enable 0 Disable	0	R/W	
Status and Power Save Configuration Register (LCDC_PSAVE)	0x302004 (32 bits)	D31	FRINTF	Frame interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D30–8	–	reserved	–	–	–	0 when being read.
		D7	VNDPF	Vertical display status flag	1 VNDP 0 VDP	1	R	
		D6–2	–	reserved	–	–	–	0 when being read.
		D1–0	PSAVE[1:0]	Power save mode select	PSAVE[1:0] Mode 0x3 Normal 0x2 reserved 0x1 reserved 0x0 Power save	0x0	R/W	
Horizontal Display Register (LCDC_HDISP)	0x302010 (32 bits)	D31–23	–	reserved	–	–	–	0 when being read.
		D22–16	HTCNT[6:0]	Horizontal total period (HT) setup HT = HDP + HNDP HT > HDPS + HDP (for TFT)	HT = (HTCNT + 1) × 8 [Ts] HNDP = (HTCNT - HDPCNT) × 8 [Ts]	0x0	R/W	
		D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	HDPCNT [6:0]	Horizontal display period (HDP) setup	HDP = (HDPCNT + 1) × 8 [Ts]	0x0	R/W	
Vertical Display Register (LCDC_VDISP)	0x302014 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	VTCNT[9:0]	Vertical total period (VT) setup VT = VDP + VNDP VT > VDPS + VDP (for TFT)	VT = VTCNT + 1 [lines] VNDP = VTCNT - VDPCNT [lines]	0x0	R/W	
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	VDPCNT [9:0]	Vertical display period (VDP) setup	VDP = VDPCNT + 1 [lines]	0x0	R/W	
MOD Rate Register (LCDC_MODR)	0x302018 (32 bits)	D31–6	–	reserved	–	–	–	0 when being read.
		D5–0	MOD[5:0]	LCD MOD rate setup	0x0 to 0x3f	0x0	R/W	
Horizontal Display Start Position Register (LCDC_HDPS)	0x302020 (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9–0	HDPSCNT [9:0]	Horizontal display period start position for TFT HT > HDP + HDPS	HDPS = HDPSCNT [Ts]	0x0	R/W	0x0 must be set for STN panels.
Vertical Display Start Position Register (LCDC_VDPS)	0x302024 (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9–0	VDPCNT [9:0]	Vertical display period start position for TFT VT > VDP + VDPS	VDPS = VDPCNT [lines]	0x0	R/W	0x0 must be set for STN panels.
FPLINE Pulse Setting Register (LCDC_FPLINE)	0x302028 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	FPLINE_ST[9:0]	FPLINE pulse start position setup	Start position = FPLINE_ST + 1 [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPLINE_POL	FPLINE pulse polarity setup	1 Active high 0 Active low	0	R/W	(*1)
		D6–0	FPLINE_WD[6:0]	FPLINE pulse width setup	Pulse width = FPLINE_WD + 1 [Ts]	0x0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFRAME Pulse Setting Register (LCDC_FPFR)	0x30202c (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	FPFRAME_ST[9:0]	FPFRAME pulse start position setup	Start position = FPFRAME_ST × HT [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPFRAME_POL	FPFRAME pulse polarity setup	1 Active high 0 Active low	0	R/W	(*1)
		D6–0	FPFRAME_WD[6:0]	FPFRAME pulse width setup	Pulse width = (FPFRAME_WD+1) × HT [Ts]	0x0	R/W	(*1)
FPFRAME Pulse Offset Register (LCDC_FPFROFS)	0x302030 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	FPFRAME_STOFS[9:0]	FPFRAME pulse stop offset	Stop offset = FPFRAME_STOFS [Ts]	0x0	R/W	*1: For TFT 0x0 must be set for STN panels.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	FPFRAME_STOFS[9:0]	FPFRAME pulse start offset	Start offset = FPFRAME_STOFS [Ts]	0x0	R/W	(*1)
TFT Special Output Register (LCDC_TFTSO)	0x302040 (32 bits)	D31–4	–	reserved	–	–	–	0 when being read.
		D3	CTL1CTL	TFT_CTL1 control	1 Program 0 Toggle/line	0	R/W	For TFT
		D2	CTLCNT_RUN	TFT_CTL0–2 control counter run/stop	1 Run 0 Stop	0	R/W	0x0 must be set for STN panels.
		D1	FPSHIFT_POL	FPSHIFT polarity	1 Falling 0 Rising	0	R/W	
		D0	CTL01SWAP	TFT_CTL0/TFT_CTL1 swap	1 Swap 0 Not swap	0	R/W	
TFT_CTL1 Pulse Register (LCDC_TFT_CTL1)	0x302044 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	CTL1STP[9:0]	TFT_CTL1 pulse stop offset TFT_CTL1 pulse width = (CTL1STP - CTL1ST + 1) Ts	Stop offset = CTL1STP + 1 [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL1ST[9:0]	TFT_CTL1 pulse start offset	Start offset = CTL1ST [Ts]	0x0	R/W	(*2)
TFT_CTL0 Pulse Register (LCDC_TFT_CTL0)	0x302048 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25–16	CTL0STP[9:0]	TFT_CTL0 pulse stop offset TFT_CTL0 pulse width = (CTL0STP - CTL0ST + 1) Ts	Stop offset = CTL0STP + 1 [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.
		D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL0ST[9:0]	TFT_CTL0 pulse start offset	Start offset = CTL0ST [Ts]	0x0	R/W	(*2)
TFT_CTL2 Register (LCDC_TFT_CTL2)	0x30204c (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9–0	CTL2DLY[9:0]	TFT_CTL2 delay setup	Delay = CTL2DLY [Ts]	0x0	R/W	*2: For TFT This register is enabled when CTLCNT_RUN = 1.
LCDC Reload Control Register (LCDC_RLDCTL)	0x302050 (32 bits)	D31–2	–	reserved	–	–	–	0 when being read.
		D1	LUTRLD	LUT reload trigger	1 Trigger 0 Ignored	0	W	
					1 Reloading 0 Finished		R	
		D0	CTABRLD	Control table reload trigger	1 Trigger 0 Ignored	0	W	
					1 Reloading 0 Finished		R	
LCDC Reload Table Base Address Register (LCDC_RLDADR)	0x302054 (32 bits)	D31–10	RTBL_BADR[31:10]	Reload table base address (1KB boundary address, A[9:0] = 0x0)	Area 3*	0x0	R/W	* DSTRAM cannot be used.
		D9–0	–	reserved	–	–	–	0 when being read.

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Display Mode Register (LCDC_DISPMD)	0x302060 (32 bits)	D31	PANELSEL	Panel type select	1 TFT 0 STN	0	R/W	
		D30	COLOR	Color/mono select	1 Color 0 Mono	0	R/W	
		D29	FPSHIFT_MSK	FPSHIFT mask enable	1 Enable 0 Disable	0	R/W	
		D28	—	reserved	—	—	—	0 when being read.
		D27–26	DWD[1:0]	LCD panel data width select	DWD[1:0] Data width 0x3 8 bits (fmt2) 0x2 reserved 0x1 8 bits (fmt1) 0x0 4 bits	0x0	R/W	
		D25	SWINV	Software video invert	1 Invert 0 Normal	0	R/W	
		D24	BLANK	Display blank enable	1 Blank 0 Normal	0	R/W	
		D23–8	—	reserved	—	—	—	0 when being read.
		D7	FRMRPT	Frame repeat for EL panel	1 Repeat 0 Not repeat	0	R/W	
		D6–5	—	reserved	—	—	—	0 when being read.
		D4	LUTPASS	LUT bypass mode select	1 Bypass 0 Use	1	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2–0	BPP[2:0]	Bit-per-pixel select	BPP[2:0] bpp 0x7 reserved 0x6 24 bpp 0x5 16 bpp 0x4 12 bpp 0x3 8 bpp 0x2 4 bpp 0x1 2 bpp 0x0 1 bpp	0x0	R/W	
Main Window Display Start Address Register (LCDC_MAINADR)	0x302070 (32 bits)	D31–0	MW_START [31:0]	Main window start address MW_START31 = MSB MW_START0 = LSB	0x0 to 0xfffffff (Areas 3–5, 7–10, 13–16, and 19–22)	0x0	R/W	
Main Screen Address Offset Register (LCDC_MAINOFS)	0x302074 (32 bits)	D31–12	—	reserved	—	—	—	0 when being read.
		D11–0	MW_OFS [11:0]	Main screen address offset	Main screen width (pixels) × bpp/32	0x0	R/W	
Sub-window Display Start Address Register (LCDC_SUBADR)	0x302080 (32 bits)	D31–0	SW_START [31:0]	Sub-window start address SW_START31 = MSB SW_START0 = LSB	0x0 to 0xfffffff (Areas 3–5, 7–10, 13–16, and 19–22)	0x0	R/W	
Sub-screen Address Offset Register (LCDC_SUBOFS)	0x302084 (32 bits)	D31–12	—	reserved	—	—	—	0 when being read.
		D11–0	SW_OFS [11:0]	Sub-screen address offset	Sub-screen width (pixels) × bpp/32	0x0	R/W	
Sub-window Start Position Register (LCDC_SUBSP)	0x302088 (32 bits)	D31	PIP_EN	PIP enable	1 Enable 0 Disable	0	R/W	
		D30–26	—	reserved	—	—	—	0 when being read.
		D25–16	PIP_YSTART [9:0]	Sub-window vertical (Y) start position	Y start position = PIP_YSTART (lines) from the origin	0x0	R/W	*3: This register is enabled when PIP_EN = 1.
		D15–10	—	reserved	—	—	—	0 when being read.
		D9–0	PIP_XSTART [9:0]	Sub-window horizontal (X) start position	X start position = PIP_XSTART (pixels) from the origin (word units)	0x0	R/W	(*3)
Sub-window End Position Register (LCDC_SUBEP)	0x30208c (32 bits)	D31–26	—	reserved	—	—	—	0 when being read.
		D25–16	PIP_YEND [9:0]	Sub-window vertical (Y) end position	Y end position = PIP_YEND (lines) from the origin	0x0	R/W	*3: This register is enabled when PIP_EN = 1.
		D15–10	—	reserved	—	—	—	0 when being read.
		D9–0	PIP_XEND [9:0]	Sub-window horizontal (X) end position	X end position = PIP_XEND (pixels) from the origin (word units)	0x0	R/W	(*3)
Monochrome Look-up Table Register 0 (LCDC_MLUT0)	0x302090 (32 bits)	D31–28	MLUT7[3:0]	Monochrome LUT entry 7 data	0x0 to 0xf	0x0	R/W	
		D27–24	MLUT6[3:0]	Monochrome LUT entry 6 data	0x0 to 0xf	0x0	R/W	
		D23–20	MLUT5[3:0]	Monochrome LUT entry 5 data	0x0 to 0xf	0x0	R/W	
		D19–16	MLUT4[3:0]	Monochrome LUT entry 4 data	0x0 to 0xf	0x0	R/W	
		D15–12	MLUT3[3:0]	Monochrome LUT entry 3 data	0x0 to 0xf	0x0	R/W	
		D11–8	MLUT2[3:0]	Monochrome LUT entry 2 data	0x0 to 0xf	0x0	R/W	
		D7–4	MLUT1[3:0]	Monochrome LUT entry 1 data	0x0 to 0xf	0x0	R/W	
		D3–0	MLUT0[3:0]	Monochrome LUT entry 0 data	0x0 to 0xf	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Monochrome Look-up Table Register 1 (LCD_C_MLUT1)	0x302094 (32 bits)	D31–28	MLUT15[3:0]	Monochrome LUT entry 15 data	0x0 to 0xf	0x0	R/W	
		D27–24	MLUT14[3:0]	Monochrome LUT entry 14 data	0x0 to 0xf	0x0	R/W	
		D23–20	MLUT13[3:0]	Monochrome LUT entry 13 data	0x0 to 0xf	0x0	R/W	
		D19–16	MLUT12[3:0]	Monochrome LUT entry 12 data	0x0 to 0xf	0x0	R/W	
		D15–12	MLUT11[3:0]	Monochrome LUT entry 11 data	0x0 to 0xf	0x0	R/W	
		D11–8	MLUT10[3:0]	Monochrome LUT entry 10 data	0x0 to 0xf	0x0	R/W	
		D7–4	MLUT9[3:0]	Monochrome LUT entry 9 data	0x0 to 0xf	0x0	R/W	
		D3–0	MLUT8[3:0]	Monochrome LUT entry 8 data	0x0 to 0xf	0x0	R/W	

0x302100–0x30211c

DMA Controller (DMAC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Channel Enable Register (DMAC_CH_EN)	0x302100 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	DMAON7	DMAC Ch.7 enable	1 Enable 0 Disable	0	R/W	
		D6	DMAON6	DMAC Ch.6 enable	1 Enable 0 Disable	0	R/W	
		D5	DMAON5	DMAC Ch.5 enable	1 Enable 0 Disable	0	R/W	
		D4	DMAON4	DMAC Ch.4 enable	1 Enable 0 Disable	0	R/W	
		D3	DMAON3	DMAC Ch.3 enable	1 Enable 0 Disable	0	R/W	
		D2	DMAON2	DMAC Ch.2 enable	1 Enable 0 Disable	0	R/W	
		D1	DMAON1	DMAC Ch.1 enable	1 Enable 0 Disable	0	R/W	
		D0	DMAON0	DMAC Ch.0 enable	1 Enable 0 Disable	0	R/W	
DMAC Control Table Base Address Register (DMAC_TBL_BASE)	0x302104 (32 bits)	D31–10	TBL_BASE [31:10]	DMAC control table base address	0x0 to 0xfffffc00 (1,024-byte boundary address within a RAM)	0x84 000	R/W	
		D9–0	TBL_BASE [9:0]	Fixed at 0x0 (Cannot be altered.)			R	
DMAC Interrupt Enable Register (DMAC_IE)	0x302108 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	DMAIE7	DMAC Ch.7 interrupt enable	1 Enable 0 Disable	0	R/W	
		D6	DMAIE6	DMAC Ch.6 interrupt enable	1 Enable 0 Disable	0	R/W	
		D5	DMAIE5	DMAC Ch.5 interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	DMAIE4	DMAC Ch.4 interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	DMAIE3	DMAC Ch.3 interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	DMAIE2	DMAC Ch.2 interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	DMAIE1	DMAC Ch.1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	DMAIE0	DMAC Ch.0 interrupt enable	1 Enable 0 Disable	0	R/W	
DMAC Trigger Select Register (DMAC_TRG_SEL)	0x30210c (32 bits)	D31–16	–	reserved	–	–	–	0 when being read.
		D15–14	TRG_SEL7 [1:0]	Ch.7 trigger select	TRG_SEL7[1:0] Trigger source 0x3 ADC complete 0x2 USI Ch.2 Tx 0x1 USIL Tx 0x0 No hard trigger	0x0	R/W	
		D13–12	TRG_SEL6 [1:0]	Ch.6 trigger select	TRG_SEL6[1:0] Trigger source 0x3 USB 0x2 USI Ch.2 Rx 0x1 USIL Rx 0x0 No hard trigger	0x0	R/W	
		D11–10	TRG_SEL5 [1:0]	Ch.5 trigger select	TRG_SEL5[1:0] Trigger source 0x3 T16A6 A 0x2 SD_MMC Tx 0x1 USI Ch.1 Tx 0x0 No hard trigger	0x0	R/W	
		D9–8	TRG_SEL4 [1:0]	Ch.4 trigger select	TRG_SEL4[1:0] Trigger source 0x3 T16A6 B 0x2 SD_MMC Rx 0x1 USI Ch.1 Rx 0x0 No hard trigger	0x0	R/W	
		D7–6	TRG_SEL3 [1:0]	Ch.3 trigger select	TRG_SEL3[1:0] Trigger source 0x3 T16A6 A 0x2 I ² S input R 0x1 USI Ch.0 Tx 0x0 No hard trigger	0x0	R/W	
		D5–4	TRG_SEL2 [1:0]	Ch.2 trigger select	TRG_SEL2[1:0] Trigger source 0x3 T16A6 B 0x2 I ² S input L 0x1 USI Ch.0 Rx 0x0 No hard trigger	0x0	R/W	
		D3–2	TRG_SEL1 [1:0]	Ch.1 trigger select	TRG_SEL1[1:0] Trigger source 0x3 Port 0x2 T16P Ch.1 0x1 I ² S output R 0x0 No hard trigger	0x0	R/W	
		D1–0	TRG_SEL0 [1:0]	Ch.0 trigger select	TRG_SEL0[1:0] Trigger source 0x3 ADC complete 0x2 T16P Ch.0 0x1 I ² S output L 0x0 No hard trigger	0x0	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Trigger Flag Register (DMAC_TRG_FLG)	0x302110 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	TRG7	Ch.7 software trigger/trigger status	1 (W) Soft trigger	0 (W) Ignored	0 R/W	
		D6	TRG6	Ch.6 software trigger/trigger status			0 R/W	
		D5	TRG5	Ch.5 software trigger/trigger status			0 R/W	
		D4	TRG4	Ch.4 software trigger/trigger status			0 R/W	
		D3	TRG3	Ch.3 software trigger/trigger status	1 (R) Triggered	0 (R) Not triggered	0 R/W	
		D2	TRG2	Ch.2 software trigger/trigger status			0 R/W	
		D1	TRG1	Ch.1 software trigger/trigger status			0 R/W	
		D0	TRG0	Ch.0 software trigger/trigger status			0 R/W	
DMAC End-of-Transfer Flag Register (DMAC_END_FLG)	0x302114 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	ENDF7	Ch.7 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	Reset by writing 1.
		D6	ENDF6	Ch.6 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D5	ENDF5	Ch.5 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D4	ENDF4	Ch.4 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D3	ENDF3	Ch.3 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D2	ENDF2	Ch.2 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D1	ENDF1	Ch.1 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
		D0	ENDF0	Ch.0 end-of-transfer flag	1 Finished	0 Not finished	0 R/W	
DMAC Running Status Register (DMAC_RUN_STAT)	0x302118 (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	RUN7	Ch.7 running status	1 Running	0 Idle/paused	0 R	
		D6	RUN6	Ch.6 running status	1 Running	0 Idle/paused	0 R	
		D5	RUN5	Ch.5 running status	1 Running	0 Idle/paused	0 R	
		D4	RUN4	Ch.4 running status	1 Running	0 Idle/paused	0 R	
		D3	RUN3	Ch.3 running status	1 Running	0 Idle/paused	0 R	
		D2	RUN2	Ch.2 running status	1 Running	0 Idle/paused	0 R	
		D1	RUN1	Ch.1 running status	1 Running	0 Idle/paused	0 R	
		D0	RUN0	Ch.0 running status	1 Running	0 Idle/paused	0 R	
DMAC Pause Status Register (DMAC_PAUSE_STAT)	0x30211c (32 bits)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	PAUSE7	Ch.7 pause status	1 Paused	0 Not paused	0 R	
		D6	PAUSE6	Ch.6 pause status	1 Paused	0 Not paused	0 R	
		D5	PAUSE5	Ch.5 pause status	1 Paused	0 Not paused	0 R	
		D4	PAUSE4	Ch.4 pause status	1 Paused	0 Not paused	0 R	
		D3	PAUSE3	Ch.3 pause status	1 Paused	0 Not paused	0 R	
		D2	PAUSE2	Ch.2 pause status	1 Paused	0 Not paused	0 R	
		D1	PAUSE1	Ch.1 pause status	1 Paused	0 Not paused	0 R	
		D0	PAUSE0	Ch.0 pause status	1 Paused	0 Not paused	0 R	

0x302200-0x302210

SDRAM Controller (SDRAMC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Initialization Register (SDRAMC_INIT)	0x302200 (32 bits)	D31-5	—	reserved	—	—	—	0 when being read.
		D4	SDON	SDRAM controller enable	1 Enable	0 Disable	0 R/W	
		D3	INIDO	SDRAM initialization status	1 Finished	0 Busy	0 R	
		D2	INIMRS	MRS command enable for init.	1 Enable	0 Disable	0 R/W	
		D1	INIPRE	PALL command enable for init.	1 Enable	0 Disable	0 R/W	
		D0	INIREF	REF command enable for init.	1 Enable	0 Disable	0 R/W	
SDRAM Configuration Register (SDRAMC_CFG)	0x302204 (32 bits)	D31-14	—	reserved	—	—	—	0 when being read.
		D13-12	T24NS[1:0]	Number of SDRAM tRP and tRCD cycles	T24NS[1:0]	# of cycles	0x0	R/W
					0x3	4 cycles		
					0x2	3 cycles		
					0x1	2 cycles		
					0x0	1 cycle		
		D11	—	reserved	—	—	—	0 when being read.
		D10-8	T60NS[2:0]	Number of SDRAM tRAS cycles	T60NS[2:0]	# of cycles	0x0	R/W
					0x7	8 cycles		
					0x6	7 cycles		
					:	:		
					0x1	2 cycles		
					0x0	1 cycle		
		D7-4	T80NS[3:0]	Number of SDRAM tRC, tRFC and tXSR cycles	T80NS[3:0]	# of cycles	0xe	R/W
					0xc	13 cycles		
					0x8	9 cycles		
					0x4	5 cycles		
					0x0	1 cycle		
					Other	reserved		
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ADDRC[2:0]	SDRAM address configuration	ADDRC[2:0]	Configuration	0x0	R/W
					0x7	512M bits		
					0x6	128M bits x 2		
					0x5	64M bits x 2		
					0x4	reserved		
					0x3	256M bits		
					0x2	128M bits		
					0x1	64M bits		
					0x0	16M bits		

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM Refresh Control Register (SDRAMC_REF)	0x302208 (32 bits)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	SREFDO	SDRAM self-refresh status	1 Finished 0 Busy	0	R	
		D24	SCKON	SDRAM clock during self-refresh	1 Enable 0 Disable	0	R/W	
		D23	SELEN	SDRAM self-refresh enable	1 Enable 0 Disable	0	R/W	
		D22–16	SELCO[6:0]	SDRAM self-refresh counter	0x0 to 0x7f	0x7f	R/W	
		D15–12	–	reserved	–	–	–	0 when being read.
SDRAM Application Configuration Register (SDRAMC_APP)	0x302210 (32 bits)	D31–6	–	reserved	–	–	–	0 when being read.
		D5	–	reserved	–	0	–	Do not set to 1.
		D4	–	reserved	–	–	–	0 when being read.
		D3–2	CAS[1:0]	CAS latency setup	CAS[1:0] CAS latency	0x0	R/W	
					0x3 3			
					0x2 2			
					0x1 1			
					0x0 0			
		D1	–	reserved	–	–	–	0 when being read.
		D0	–	reserved	–	0	–	Do not set to 1.

0x302220–0x302228

SRAM Controller (SRAMC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
#CE[7:4] Access Timing Configuration Register (SRAMC_TMG47)	0x302220 (32 bits)	D31–30	CE7SETUP[1:0]	#CE7 setup cycle	CE7SETUP[1:0] Setup cycle	0x3	R/W	
					0x3 4 cycles			
					0x2 3 cycles			
					0x1 2 cycles			
					0x0 1 cycle			
		D29–28	CE7HOLD[1:0]	#CE7 hold cycle	CE7HOLD[1:0] Hold cycle	0x3	R/W	
					0x3 4 cycles			
					0x2 3 cycles			
					0x1 2 cycles			
					0x0 1 cycle			
		D27–24	CE7WAIT[3:0]	#CE7 static wait cycle	CE7WAIT[3:0] Wait cycle	0xf	R/W	
					0xf 15 cycles			
					0xe 14 cycles			
					: :			
					0x1 1 cycle			
					0x0 0 cycles			
		D23–16	–	reserved	–	–	–	1 when being read.
		D15–14	CE5SETUP[1:0]	#CE5 setup cycle	CE5SETUP[1:0] Setup cycle	0x3	R/W	
					0x3 4 cycles			
					: :			
		D13–12	CE5HOLD[1:0]	#CE5 hold cycle	CE5HOLD[1:0] Hold cycle	0x3	R/W	
					0x3 4 cycles			
					: :			
		D11–8	CE5WAIT[3:0]	#CE5 static wait cycle	CE5WAIT[3:0] Wait cycle	0xf	R/W	
					0xf 15 cycles			
					: :			
		D7–6	CE4SETUP[1:0]	#CE4 setup cycle	CE4SETUP[1:0] Setup cycle	0x3	R/W	
					0x3 4 cycles			
					: :			
		D5–4	CE4HOLD[1:0]	#CE4 hold cycle	CE4HOLD[1:0] Hold cycle	0x3	R/W	
					0x3 4 cycles			
					: :			
		D3–0	CE4WAIT[3:0]	#CE4 static wait cycle	CE4WAIT[3:0] Wait cycle	0xf	R/W	
					0xf 15 cycles			
					: :			
					0x0 0 cycles			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
#CE[10:8] Access Timing Configuration Register (SRAMC_ TMG810)	0x302224 (32 bits)	D31–24	–	reserved	–	–	–	1 when being read.
		D23–22	CE10SETUP [1:0]	#CE10 setup cycle	CE10SETUP[1:0] 0x3 4 cycles 0x2 3 cycles 0x1 2 cycles 0x0 1 cycle	0x3	R/W	
		D21–20	CE10HOLD [1:0]	#CE10 hold cycle	CE10HOLD[1:0] 0x3 4 cycles 0x2 3 cycles 0x1 2 cycles 0x0 1 cycle	0x3	R/W	
		D19–16	CE10WAIT [3:0]	#CE10 static wait cycle	CE10WAIT[3:0] 0xf 15 cycles 0xe 14 cycles : : 0x1 1 cycle 0x0 0 cycles	0xf	R/W	
		D15–14	CE9SETUP [1:0]	#CE9 setup cycle	CE9SETUP[1:0] 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D13–12	CE9HOLD [1:0]	#CE9 hold cycle	CE9HOLD[1:0] 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D11–8	CE9WAIT [3:0]	#CE9 static wait cycle	CE9WAIT[3:0] 0xf 15 cycles : : 0x0 0 cycles	0xf	R/W	
		D7–6	CE8SETUP [1:0]	#CE8 setup cycle	CE8SETUP[1:0] 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D5–4	CE8HOLD [1:0]	#CE8 hold cycle	CE8HOLD[1:0] 0x3 4 cycles : : 0x0 1 cycle	0x3	R/W	
		D3–0	CE8WAIT [3:0]	#CE8 static wait cycle	CE8WAIT[3:0] 0xf 15 cycles : : 0x0 0 cycles	0xf	R/W	
#CE[10:4] Device Configuration Register (SRAMC_TYPE)	0x302228 (32 bits)	D31–14	–	reserved	–	–	–	0 when being read.
		D13–12	CE10TYPE [1:0]	#CE10 device type	CExTYPE[1:0] 0x3–0x2 8-bit device 0x1 16-bit BSL type 0x0 16-bit A0 type	0x0	R/W	
		D11–10	CE9TYPE [1:0]	#CE9 device type		0x0	R/W	
		D9–8	CE8TYPE [1:0]	#CE8 device type		0x0	R/W	
		D7–6	CE7TYPE [1:0]	#CE7 device type		0x0	R/W	
		D5–4	–	reserved	–	–	–	0 when being read.
		D3–2	CE5TYPE [1:0]	#CE5 device type	CExTYPE[1:0] 0x3–0x2 8-bit device 0x1 16-bit BSL type 0x0 16-bit A0 type	0x0	R/W	
		D1–0	CE4TYPE [1:0]	#CE4 device type		0x0	R/W	

0x302300–0x302318

Cache Controller (CCU)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Cache Configuration Register (CCU_CFG)	0x302300 (32 bits)	D31–9	–	reserved	–	–	–	0 when being read.
		D8	WBEN	Write buffer enable	1 Enable 0 Disable	1	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2	SBRK	Software break enable	1 Enable 0 Disable	1	R/W	
		D1	IC	Instruction cache enable	1 Enable 0 Disable	0	R/W	
		D0	DC	Data cache enable	1 Enable 0 Disable	0	R/W	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Cacheable Area Select Register (CCU_AREA)	0x302304 (32 bits)	D31–7	–	reserved	–		–	–	0 when being read.
		D6–4	ARIC[2:0]	Instruction cache area select	ARIC[2:0]	Area	0x0	R/W	
					0x7	Area 22			
					0x6	Area 21			
					0x5	Area 20			
					0x4	Area 19			
					0x3	Area 18			
					0x2	Area 17			
					0x1	Areas 15 & 16			
					0x0	Area 14			
		D3	–	reserved	–		–	–	0 when being read.
		D2–0	ARDC[2:0]	Data cache area select	ARDC[2:0]	Area	0x0	R/W	
0x7	Area 22								
0x6	Area 21								
0x5	Area 20								
0x4	Area 19								
0x3	Area 18								
0x2	Area 17								
0x1	Areas 15 & 16								
0x0	Area 14								
Cache Lock Register (CCU_LK)	0x302308 (32 bits)	D31–8	–	reserved	–		–	–	0 when being read.
		D7	LKPRI7	Interrupt level 7 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D6	LKPRI6	Interrupt level 6 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D5	LKPRI5	Interrupt level 5 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D4	LKPRI4	Interrupt level 4 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D3	LKPRI3	Interrupt level 3 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D2	LKPRI2	Interrupt level 2 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D1	LKPRI1	Interrupt level 1 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		D0	LKPRI0	Interrupt level 0 cache-lock enable	1 Lock	0 Unlock	0 R/W		
		Cache Status Register (CCU_STAT)	0x30230c (32 bits)	D31–4	–	reserved	–		–
D3	ICLKS			Instruction cache lock status	1 Locked	0 Not locked	X R		
D2	DCLKS			Data cache lock status	1 Locked	0 Not locked	0 R		
D1	ICS			Instruction cache operating status	1 Active	0 Inactive	0 R		
D0	DCS			Data cache operating status	1 Active	0 Inactive	0 R		
Cache Write Buffer Status Register (CCU_WB_STAT)	0x302318 (32 bits)	D31–10	–	reserved	–		–	–	X when being read.
		D9	WEFINISH	Write-finish flag	1 Finished	0 Writing	1 R		
		D8	WBEMPTY	Write buffer empty flag	1 Empty	0 Full	1 R		
		D7–0	–	reserved	–		–	–	X when being read.

0x302400–0x302432

I²S

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I ² S Ch.0 Control Register (I2S_CTL0)	0x302400 (32 bits)	D31–11	–	reserved	–			–	–	0 when being read.	
		D10	DTSIGN0	I ² S Ch.0 signed/unsigned data format select	1	Signed	0	Unsigned	0		R/W
		D9	DATRES0	I ² S Ch.0 output data resolution select	1	24 bits	0	16 bits	0		R/W
		D8	I2SEN0	I ² S Ch.0 enable	1	Enable	0	Disable	0		R/W
		D7	WCLKMD0	I ² S Ch.0 output word clock mode select	1	L: High R: Low	0	L: Low R: High	0		R/W
		D6	BCLKPOL0	I ² S Ch.0 output bit clock polarity select	1	Negative	0	Positive	0		R/W
		D5	DTFORM0	I ² S Ch.0 output data format select	1	LSB first	0	MSB first	0		R/W
		D4	I2SOUTEN0	I ² S Ch.0 output enable	1	Enable	0	Disable	0		R/W
		D3–2	DTTMG0[1:0]	I ² S Ch.0 output data timing select	DTTMG0[1:0]		Timing mode		0x0		R/W
					0x3		reserved				
					0x2		Right justified				
					0x1		Left justified				
D1–0	CHMD0[1:0]	I ² S Ch.0 output channel mode select	CHMD0[1:0]		Channel mode		0x0	R/W			
			0x3		Mute						
			0x2		Mono left						
			0x1		Mono right						
				0x0	Stereo						

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks	
I ² S Ch.1 Control Register (I2S_CTL1)	0x302404 (32 bits)	D31–7	–	reserved	–				–	–	0 when being read.	
		D6	I2SBYPASS	I ² S bypass mode select	1	Bypass	0	Normal	0	R/W		
		D5	WCLKMD1	I ² S Ch.1 input word clock mode select	1	L: High R: Low	0	L: Low R: High	0	R/W		
		D4	BCLKPOL1	I ² S Ch.1 input bit clock polarity select	1	Negative	0	Positive	0	R/W		
		D3–2	DTTMG1 [1:0]	I ² S Ch.1 input data timing select	DTTMG1[1:0]		Timing mode		0x0	R/W		
					0x3 0x2 0x1 0x0	reserved Right justified Left justified I ² S						
		D1	DATRES1	I ² S Ch.1 input data resolution select	1	24 bits	0	16 bits	0	R/W		
D0	I2SEN1	I ² S Ch.1 enable	1	Enable	0	Disable	0	R/W				
I ² S Master Clock Division Ratio Register (I2S_DV_MCLK)	0x302408 (32 bits)	D31–16	–	reserved	–				–	–	0 when being read.	
		D15	MCLKSEL	I2S_MCLK source clock select	1	External clk	0	System clk	0	R/W		
		D14–6	–	reserved	–				–	–	0 when being read.	
		D5–0	MCLKDIV [5:0]	I2S_MCLK division ratio select	MCLKDIV[5:0]		Division ratio		0x0	R/W	Source clock = I2S_CLK (PCLK)	
					0x3f 0x3e 0x3d : 0x2 0x1 0x0	1/64 1/63 1/62 : 1/3 1/2 reserved						
I ² S Audio Clock Division Ratio Register (I2S_DV_BCLK)	0x30240c (32 bits)	D31–21	–	reserved	–				–	–	0 when being read.	
		D20–16	WSCLKCYC1 [4:0]	I ² S Ch.1 WS clock cycle setup	WSCLKCYC1[4:0]		Clock period		0x0	R/W		
					Other 0x10 0xf 0xe 0xd 0xc 0xb 0xa 0x9 0x8 0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	reserved 32 clocks 31 clocks 30 clocks 29 clocks 28 clocks 27 clocks 26 clocks 25 clocks 24 clocks 23 clocks 22 clocks 21 clocks 20 clocks 19 clocks 18 clocks 17 clocks 16 clocks						
		D15–13	–	reserved	–				–	–		0 when being read.
		D12–8	WSCLKCYC0 [4:0]	I ² S Ch.0 WS clock cycle setup	WSCLKCYC0[4:0]		Clock period		0x0	R/W		
					Other 0x10 0xf 0xe 0xd 0xc 0xb 0xa 0x9 0x8 0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	reserved 32 clocks 31 clocks 30 clocks 29 clocks 28 clocks 27 clocks 26 clocks 25 clocks 24 clocks 23 clocks 22 clocks 21 clocks 20 clocks 19 clocks 18 clocks 17 clocks 16 clocks						
		D7–0	BCLKDIV0 [7:0]	I ² S Ch.0 bit clock division ratio select	BCLKDIV0[7:0]		Division ratio		0x0	R/W		Source clock = Clock selected by MCLKSEL
					0xff 0xfe 0xfd : 0x2 0x1 0x0	1/512 1/510 1/508 : 1/6 1/4 1/2						
		D31–9	–	reserved	–				–	–		0 when being read.
		D8	I2SSTART1	I ² S Ch.1 start/stop control	1	Start (run)	0	Stop	0	R/W		
D7	I2SBUSY	I ² S busy flag	1	Busy	0	Idle	0	R				
D6–1	–	reserved	–				–	–	0 when being read.			
D0	I2SSTART0	I ² S Ch.0 start/stop control	1	Start (run)	0	Stop	0	R/W				

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S FIFO Status Register (I2S_STATUS)	0x302414 (32 bits)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	I2SFIFOFF1	I ² S Ch.1 FIFO full flag	1 Full 0 Not full	0	R	
		D8	I2SFIOFEF1	I ² S Ch.1 FIFO empty flag	1 Empty 0 Not empty	1	R	
		D7-5	—	reserved	—	—	—	0 when being read.
		D4-2	FIFOSTAT0[2:0]	I ² S Ch.0 FIFO state machine	FIFOSTAT0[2:0] State 0x7-0x6 reserved 0x5 FLUSH 0x4 EMPTY 0x3 LACK 0x2 FULL 0x1 INIT 0x0 STOP	0x0	R	
		D1	I2SFIFOFF0	I ² S Ch.0 FIFO full flag	1 Full 0 Not full	0	R	
		D0	I2SFIOFEF0	I ² S Ch.0 FIFO empty flag	1 Empty 0 Not empty	1	R	
I ² S Interrupt Control Register (I2S_INT)	0x302418 (32 bits)	D31-15	—	reserved	—	—	—	0 when being read.
		D14	I2SWFIF1	I ² S Ch.1 FIFO whole full int. flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D13	—	reserved	—	—	—	0 when being read.
		D12	I2SOFIF1	I ² S Ch.1 FIFO one data int. flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D11	—	reserved	—	—	—	0 when being read.
		D10	I2SWEIF0	I ² S Ch.0 FIFO whole empty int. flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	I2SHEIF0	I ² S Ch.0 FIFO half empty int. flag	1 Enable 0 Disable	0	R/W	
		D8	I2SOEIF0	I ² S Ch.0 FIFO one empty int. flag	1 Enable 0 Disable	0	R/W	
		D7	—	reserved	—	—	—	0 when being read.
		D6	I2SWFIE1	I ² S Ch.1 FIFO whole full int. enable	1 Enable 0 Disable	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	I2SOFIE1	I ² S Ch.1 FIFO one data int. enable	1 Enable 0 Disable	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	I2SWEIE0	I ² S Ch.0 FIFO whole empty int. enable	1 Enable 0 Disable	0	R/W	
		D1	I2SHEIE0	I ² S Ch.0 FIFO half empty int. enable	1 Enable 0 Disable	0	R/W	
		D0	I2SOEIE0	I ² S Ch.0 FIFO one empty int. enable	1 Enable 0 Disable	0	R/W	
I ² S Mode Select Register (I2S_MODE)	0x30241c (32 bits)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	I2SDMA1	I ² S Ch.1 DMA mode select	1 Dual ch. 0 Single ch.	0	R/W	
		D8	I2SDMA0	I ² S Ch.0 DMA mode select	1 Dual ch. 0 Single ch.	0	R/W	
		D7-1	—	reserved	—	—	—	0 when being read.
		D0	I2SPIN	I ² S pin mode select	1 5 pins 0 8 pins	0	R/W	
I ² S Ch.0 FIFO Register (I2S_FIFO0)	0x302420 (32 bits)	D31-0	I2SFIFO0[31:0]	I ² S Ch.0 output FIFO	0x0 to 0xffffffff	0x0	W	for 16-bit data (W write) or 24-bit data (W write) 0 when being read.
		D15-0	I2SFIFO0[15:0]	I ² S Ch.0 output FIFO	0x0 to 0xffff	0x0	W	for 16-bit data (HW write)
		D15-0	I2SFIFO0[31:16]	I ² S Ch.0 output FIFO	0x0 to 0xffff	0x0	W	0 when being read.
I ² S Ch.1 FIFO Register (I2S_FIFO1)	0x302430 (32 bits)	D31-0	I2SFIFO1[31:0]	I ² S Ch.1 input FIFO	0x0 to 0xffffffff	0x0	R	for 16-bit data (W read) or 24-bit data (W read) 0 when being read.
		D15-0	I2SFIFO1[15:0]	I ² S Ch.1 input FIFO	0x0 to 0xffff	0x0	R	for 16-bit data (HW read)
		D15-0	I2SFIFO1[31:16]	I ² S Ch.1 input FIFO	0x0 to 0xffff	0x0	R	0 when being read.

0x302600-0x302650

SD/MMC Interface (SD_MMC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SD_MMC Clock Control Register (MMC_CLKCTL)	0x302600 (32 bits)	D31-25	—	reserved	—	—	—	0 when being read.
		D24	CLKSTF	Clock change status flag	1 Changing 0 Completed	0	R	
		D23-17	—	reserved	—	—	—	0 when being read.
		D16	CLKRUN	MMC clock divider run/stop control	1 Run 0 Stop	0 *	R/W	
		D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	CLKDIV[7:0]	MMC clock division ratio setting	fCLK / 2 × fSDMMCCLK - 1	0x0 *	R/W	

* SYNCRST/MMC_FUNCCTLレジスタでは初期化されません。

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SD_MMC Function Control Register (MMC_FUNCCTL)	0x302604 (32 bits)	D31–17	–	reserved	–	–	–	0 when being read.
		D16	SYNRST	Synchronous reset enable	1 Enable 0 Disable	0	R/W	
		D15–14	–	reserved	–	–	–	0 when being read.
		D13	8CLKEN	8 clocks sending enable	1 Enable 0 Disable	0	R/W	
		D12	BUSYEN	Busy wait enable	1 Enable 0 Disable	0	R/W	
		D11	DAREN	Data reception enable	1 Enable 0 Disable	0	R/W	
		D10	DATEN	Data transmission enable	1 Enable 0 Disable	0	R/W	
		D9	RSPEN	Response reception enable	1 Enable 0 Disable	0	R/W	
		D8	COMSED	Command transmission enable	1 Enable 0 Disable	0	R/W	
		D7–4	–	reserved	–	–	–	0 when being read.
		D3	DATBYT	Transfer data byte order type select	1 D[31:24] first 0 D[7:0] first	0	R/W	
		D2	DATMD	Data transfer mode select	1 Multi block 0 Single block	0	R/W	
		D1	RSPMD	Response mode select	1 136-bit long 0 48-bit short	0	R/W	
		D0	BUSSEL	Wide bus mode enable	1 Wide 0 Standard	0	R/W	
SD_MMC Block Size Setting Register (MMC_BLK)	0x302608 (32 bits)	D31–12	–	reserved	–	–	–	0 when being read.
		D11–0	BLKSIZ	Block size setting	0x0–0xffff	0x0	R/W	
SD_MMC Data/ Busy Timeout Period Setting Register (MMC_TIMEOUT)	0x30260c (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	TMOUT	Data/busy timeout period setting	0x0–0xffffffff	0xff ffff	R/W	
SD_MMC Command Index Register (MMC_CMD_IDX)	0x302610 (32 bits)	D31–6	–	reserved	–	–	–	0 when being read.
		D5–0	CMDIDX	SD/MMC memory card command index	0x0–0x3f	0x0	R/W	
SD_MMC Command Argument Register (MMC_CMD_ARG)	0x302614 (32 bits)	D31–0	CMDARG	SD/MMC memory card command argument	0x0–0xffffffff	0x0	R/W	
SD_MMC Response Register 0 (MMC_RSP0)	0x302618 (32 bits)	D31–0	RSP[31:0]	SD/MMC memory card response	0x0–0xffffffff	*	R	* 0xffffffff
SD_MMC Response Register 1 (MMC_RSP1)	0x30261c (32 bits)	D31–0	RSP[63:32]	SD/MMC memory card response	0x0–0xffffffff	*	R	* 0x0000ffff
SD_MMC Response Register 2 (MMC_RSP2)	0x302620 (32 bits)	D31–0	RSP[95:64]	SD/MMC memory card response	0x0–0xffffffff	0x0	R	
SD_MMC Response Register 3 (MMC_RSP3)	0x302624 (32 bits)	D31–0	RSP[127:96]	SD/MMC memory card response	0x0–0xffffffff	0x0	R	
SD_MMC Response Register 4 (MMC_RSP4)	0x302628 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7–0	RSP[135:128]	SD/MMC memory card response	0x0–0xffffffff	0x0	R	
SD_MMC Status Register (MMC_STATUS)	0x30262c (32 bits)	D31–18	–	reserved	–	–	–	0 when being read.
		D17	EMPTFLG	Transmit FIFO empty flag	1 Empty 0 Not empty	1	R	
		D16	FULLFLG	Receive FIFO full flag	1 Full 0 Not full	0	R	
		D15–12	–	reserved	–	–	–	0 when being read.
		D11–9	CRCST[2:0]	Card CRC status	CRCST[2:0] Status	0x0	R	
					0x7 Flash prg. error 0x5 Transmit error 0x2 No error Other reserved			
		D8	BUSY_ST	Card busy status	1 Busy 0 Ready	0	R	
		D7	RSPFLG	Command with response flag	1 Completed 0 Not completed	0	R/W	Reset by writing 1.
		D6	CMDFLG	Command without response flag	1 Completed 0 Not completed	0	R/W	
		D5	HEMPTFLG	Transmit FIFO half-empty flag	1 Empty 0 Not empty	0	R/W	
		D4	HFULLFLG	Receive FIFO half-full flag	1 Full 0 Not full	0	R/W	
		D3	RSPTMFLG	Response timeout flag	1 Timeout 0 No error	0	R/W	
		D2	DATTMFLG	Data transfer timeout flag	1 Timeout 0 No error	0	R/W	
		D1	RSPCRCFLG	Response CRC error flag	1 CRC error 0 No error	0	R/W	
		D0	DATCRCFLG	Data CRC error/error token flag	1 CRC error 0 No error	0	R/W	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
SD_MMC Interrupt Control Register (MMC_INT)	0x302630 (32 bits)	D31–9	–	reserved	–			–	–	0 when being read.
		D8	DMAEN	FIFO half-empty/half-full DMA transfer enable	1	Enable	0 Disable	0 *	R/W	
		D7	RSPINTEN	Command with response interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D6	CMDINTEN	Command without response interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D5	TFEINTEN	Transmit FIFO half-mpty interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D4	RFFINTEN	Receive FIFO half-full interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D3	RSPTMEN	Response timeout interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D2	DATTMEN	Data transfer timeout interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D1	RSPCRCEN	Response CRC error interrupt enable	1	Enable	0 Disable	0 *	R/W	
		D0	DATCRCEN	Data CRC error/error token interrupt enable	1	Enable	0 Disable	0 *	R/W	
SD_MMC Data Transfer FIFO Register (MMC_DAT)	0x302650 (32 bits)	D31–0	FIFODAT [31:0]	FIFO read/write data	0x0–0xffffffff			0x0	R/W	

* SYNCRST/MMC_FUNCCTLレジスタでは初期化されません。

Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- slp命令の実行

システム全体を停止可能な場合は、slp命令を実行します。SLEEPモードではCPUが動作を停止し、CMUによる周辺回路へのクロック供給も停止します。これにより、OSC1発振回路とRTCを除き、周辺回路はすべて停止します。

CPUは、イニシャルリセット、RTC割り込み、#NMI信号、外部デバイスからの割り込み(ポートまたはキー入力割り込み)、またはデバッグからの強制ブレークによってSLEEPモードから再起動します。

システムクロック

- クロックソースの選択(CMUモジュール)

システムクロックソースをOSC3、PLL、OSC1から選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。

- OSC3発振回路の停止(CMUモジュール)

OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。

- 低速システムクロックの選択(CMUモジュール)

CMUモジュールは、システムクロック速度をソースクロック(OSC3、PLL、OSC1)の1/1～1/32に減速可能な分周回路を内蔵しています。アプリケーションに必要な最低限の速度でS1C33L27を動作させることにより、消費電流を低減できます。

CPUクロック(CCLK)

- halt命令の実行

表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、LCD表示や、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

周辺クロック

- 周辺クロックの停止(CMU、PSCモジュール)

周辺回路の動作が不要な場合は、以下の周辺クロックの供給を停止することができます。

表B.1 周辺モジュールと動作クロック

動作クロック	クロック制御ビット	周辺モジュール
PCLK	T16A_CKE/CMU_CLKCTL0レジスタ	• 16ビットPWMタイマ(T16A6 Ch.0～3) レジスタ • プリスケアラ(PSC Ch.0) → T16A6 Ch.0～3
	NANDIF_CKE/CMU_CLKCTL1レジスタ	カードインタフェース(CARD)
	REMC_CKE/CMU_CLKCTL1レジスタ	リモートコントローラ(REMC)
	ADC_CKE/CMU_CLKCTL1レジスタ	A/D変換器(ADC10)
	PORT_CKE/CMU_CLKCTL1レジスタ	入出力ポート/ポートMUX(GPIO/PMUX)
	SDMMC_CKE/CMU_CLKCTL1レジスタ	SD/MMCインタフェース(SD_MMC)
	I2S_CKE/CMU_CLKCTL1レジスタ	I ² S(I2S)
	ITC_CKE/CMU_CLKCTL1レジスタ	割り込みコントローラ(ITC)
	DMAC_CKE/CMU_CLKCTL1レジスタ	DMAコントローラ(DMAC)
	HIF_CKE/CMU_CLKCTL2レジスタ	ホストインタフェース(HIF)
	LCDC_SAPB_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ(LCDC) レジスタ
	LCDC_AHB_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ(LCDC) AHBインタフェース/FIFO
	USBREG_CKE/CMU_CLKCTL2レジスタ	USBファンクションコントローラ(USB) レジスタ

動作クロック	クロック制御ビット	周辺モジュール
PCLK	BCU_CKE/CMU_CLKCTL2レジスタ	- SRAMコントローラ (SRAMC) - SDRAMコントローラ (SDRAMC)
	PSC1/2_CKE/CMU_CLKCTL3レジスタ	- プリスケラ (PSC Ch.1) → - T8F Ch.0 → USI Ch.0 - T8F Ch.2 → USI Ch.2 - T8F Ch.4 → ADC10 - ADC10 - プリスケラ (PSC Ch.2) → - T8F Ch.1 → USI Ch.1 - T8F Ch.3 → USIL - T8F Ch.5 → UART - UART - REMC - T16P Ch.0~1 - GPIO
	T8F_CKE/CMU_CLKCTL3レジスタ	ファインモード8ビットタイマ (T8F Ch.0~5)
	UART_CKE/CMU_CLKCTL3レジスタ	UART
	T16P_CKE/CMU_CLKCTL3レジスタ	16ビットオーディオPWMタイマ (T16P Ch.0~1)
	USI_CKE/CMU_CLKCTL3レジスタ	ユニバーサルシリアルインタフェース (USI Ch.0~2)
	USIL_CKE/CMU_CLKCTL3レジスタ	LCD I/F付きユニバーサルシリアルインタフェース (USIL)
	MISC_CKE/CMU_CLKCTL4レジスタ	Miscレジスタ (MISC)
	IVRAM_ARB_CKE/CMU_CLKCTL4レジスタ	IVRAMアービタ (LCDC)
	A3RAM_CKE/CMU_CLKCTL4レジスタ	DSTRAM
	RTC_SAPB_CKE/CMU_CLKCTL4レジスタ	- リアルタイムクロック (RTC) レジスタ - BBRAM
	WDT_CKE/CMU_CLKCTL4レジスタ	ウォッチドッグタイマ (WDT)
TCLK	TCLK_CKE/CMU_CLKCTL0レジスタ	16ビットPWMタイマ (T16A6 Ch.0~3) カウンタ - プリスケラ (PSC Ch.0) → T16A6 Ch.0~3
LCDC_CLK	LCDC_CKE/CMU_CLKCTL2レジスタ	LCDコントローラ (LCDC)
USB_CLK	USB_CKE/CMU_CLKCTL2レジスタ	USBファンクションコントローラ (USB)
BCLK	BCLK_CKE/CMU_CLKCTL2レジスタ	- IVRAM (エリア3) - DSTRAM (エリア3) - SRAMコントローラ (SRAMC) のバスインタフェースとレジスタ - SDRAMコントローラ (SDRAMC) のバスインタフェースとレジスタ - クロックマネージメントユニット (CMU) のレジスタ - SAPBバス (HALTモード時に停止可能)

クロック制御とCPUの起動/停止方法の一覧を表B.2に示します。

表B.2 クロック制御一覧

消費電流	OSC1	OSC3/PLL	CPU (CCLK)	周辺モジュール	CPU停止方法	CPU起動方法
↑ 低	発振	停止	停止	停止	slp命令実行	1
	発振	停止	停止	停止 (RTCのみ動作)	slp命令実行	1, 2
	発振 (システムCLK)	停止	停止	停止 (RTCのみ動作)	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作	動作		
	停止	発振 (システムCLK)	停止	動作	halt命令実行	1, 3
	発振	発振 (システムCLK)	停止	動作	halt命令実行	1, 2, 3
高 ↓	発振	発振 (システムCLK)	動作 (OSC3/1) 動作 (PLL/1)	動作		

HALT、SLEEPモードの解除方法 (CPU起動方法)

- ポート/キー入力割り込み、#RESET、#NMI、またはデバッグ割り込み (ICD強制ブレーク発行) による起動
CPUは、ポート/キー入力割り込み要因、#RESET、#NMIの発生、またはデバッグからの強制ブレークにより起動します。
- RTCによる起動
CPUはRTCの割り込み要因の発生により起動します。

3. 周辺モジュール割り込みによる起動

CPUは、割り込みコントローラで割り込みが許可されている周辺モジュールの割り込み要因により起動します。CPUのIEフラグが0の場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。IEフラグが1の場合、CPUは割り込み処理ルーチンに分岐します。

バッテリーバックアップモード

- システム電源(LVDD、HVDD、AVDD、PLLVDD)をOff

システム電源とRTCVD_{DD}に別電源を用いているシステムでは、RTCVD_{DD}系回路(RTC、OSC1、BBRAM)のみを動作させ、システム電源をOffにして消費電流を低減することができます。システム電源をOffにするため、SLEEPモードでは消費されるリーク電流も削減可能です。

この制御にはRTCに用意されている#STBY端子とWAKEUP端子を使用します。制御方法の詳細については、“リアルタイムクロック(RTC)”の章を参照してください。

注: バッテリーバックアップモードによる消費電流の低減は、外付け回路の部品点数が多い場合やHVDD/AVDD系回路を長時間停止できる場合に効果があります。システムの構成によってはSLEEPモード等による省電力化の方が有効な場合もありますので、システム設計の際に検討してください。

Appendix C 実装上の注意事項

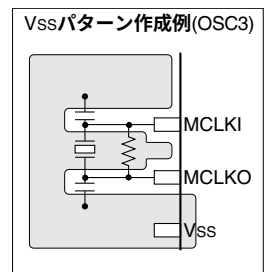
基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、RTCCLKO端子とその回路構成部品および配線です。RTCCLKI端子の処理もこれらと同様に重要です。以下、RTCCLKI、RTCCLKO端子のノイズ対策を記載します。なお、MCLKI、MCLKO端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- RTCCLKI(MCLKI)、RTCCLKO(MCLKO)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- RTCCLKI(MCLKI)、RTCCLKO(MCLKO)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- RTCCLKI(MCLKI)、RTCCLKO(MCLKO)端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- RTCCLKI、MCLKI端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。RTCCLKO、MCLKO端子は開放してください。
- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。
CMU_CLK端子の出力をオシロスコープなどで確認します。
OSC3出力波形の品質は、CMU_CLK出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。
OSC1波形の品質もCMU_CLK出力で確認します(システムクロックソースをOSC1に切り換え後)。特にクロックの立ち上がり/立ち下りの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

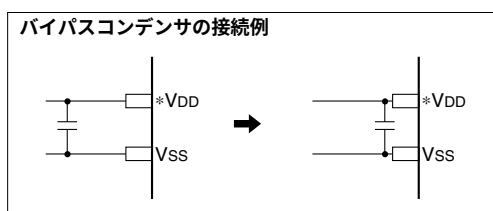
(1)~(3)の対応が不十分な場合、OSC3またはPLL出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するRTCや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - 電源からLVDD、HVDD、PLLVD、AVDD、PLLVS、およびVSS端子へはできるだけ短くかつ太いパターンで接続してください。特にAVDD電源は、A/D変換器に用いるため変換精度に影響を与えます。
 - *VDD-VSSのバイパスコンデンサを接続する場合、*VDD端子とVSS端子をできるだけ最短で接続してください。

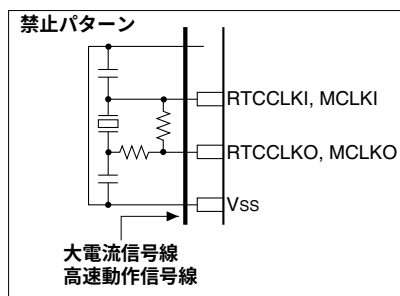


A/D変換器

- A/D変換器を使用しない場合でも、AVDDをHVDDに接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



USB

本チップに搭載のUSBファンクションコントローラのI/O部は以下の特長を持ちます。

DP、DM端子は直接USBコネクタに接続できます。

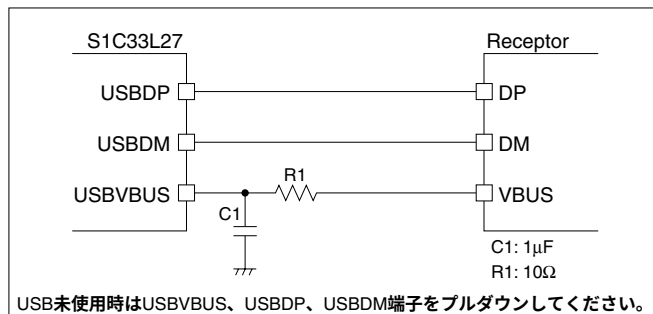
VBUSは、チップ内部で2/3に抵抗分割して検出していますので、5Vの直接入力が可能です。

USBコネクタからUSBケーブルが抜かれてもレシーバはフローティング状態にはなりません。また、USBケーブルが抜かれるとVBUS端子はVSSとなり、USB I/O部の消費電力はリーク電流によるもののみとなります。

VBUSについての注意

VBUS端子には、最大でも6Vを超える電圧がかからないようにしてください。これを超えた場合、ICが破損することがあります。

特に、ケーブル挿入時の入力電圧のオーバーシュートやホスト電源が不安定になることを抑えることが必要です。外部結線例を以下に示します。



上記の対策を施すとともに、実機上でもVBUSの状態に問題のないことをオシロスコープなどで十分に確認してください。長いUSBケーブルを使用し、ホスト側のコネクタに挿入した際に、オーバーシュートなどの現象はより起きやすくなります。

DP、DMについての注意

プリント回路基板を設計する際には、以下の点に注意してDPおよびDM信号を配線してください。

- スキューの防止、差動インピーダンスの安定を図るため、DP信号線とDM信号線はできるだけ平行で同じ長さとし、最短距離で端子とコネクタを接続してください。これらの配線がクロスすることはできる限り避けてください。
- これらの信号線の周囲はGNDパターンで囲み、直下の内層もGNDパターンを作成してください。特に、高速なデジタル信号線の並走やクロスはできる限り避けてください。

最終的には、実機上でのEYEパターンの確認を推奨します。

ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の5点について確認してみてください。

(1) TEST端子

この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TEST端子は必ず基板上でGNDに接続してください。

IC内にプルダウン抵抗が付いていますが、50～100kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。

製品版では、DSIO端子をHVDDに直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、50～100kΩ程度と高インピーダンスなため、ノイズには強くありません。

(3) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。回路設計上、リセット入力が高レベルでのインピーダンスが高いときに起こりやすくなります。

(4) #NMI端子

この端子にLowレベルのノイズが入るとNMIが発生します。回路設計上、#NMIが高レベルでのインピーダンスが高いときに起こりやすくなります。#NMIが高レベルの場合のインピーダンスを下げるか、誤動作しても問題ないようにソフトウェアで対応してください。

(5)*VDD、VSS電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTEST、DSIO、#RESET、#NMI入力回路は入力信号のエッジを検出しているため(#NMIはレベル検出に設定可能)、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A)まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B)基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。

特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

(1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。

(2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。

(3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

(4)ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。

(5)実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては、機械的ダメージのほか、

(1)実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ

(2)半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D ブート

D.1 ブートモード

S1C33L27は次の6種類のブートモードをサポートしています。

- ラージページNAND Flashブート (ラージページ: 2048 + 64、4096 + 128バイト/ページ)
- スモールページNAND Flashブート (スモールページ: 512 + 16、1024 + 32バイト/ページ)
- ホストインタフェースブート
- NOR Flash/外部ROMブート (8ビットまたは16ビット)
- SPI-EEPROMブート
- PC RS232Cブート

どのブートモードでS1C33L27を起動させるかについては、イニシャルリセット時のBOOT[1:0]端子と#CE10端子の設定によって選択できるようになっています。

表D.1.1 ブートモードの設定

端子設定			ブートモード	実行開始アドレス
BOOT1	BOOT0	#CE10		
0	0	1(入力)	ラージページMLC/SLC NAND Flash ($>1024 + 32$ バイト/ページ)	A0RAM (0x0) にMBRをロードして実行開始
		0(入力)	スモールページMLC/SLC NAND Flash ($\leq 1024 + 32$ バイト/ページ)	
0	1	出力	ホストインタフェース	ホストデバイスによって指定されたメモリにMBRをロードして実行開始
1	0	出力	NOR Flash/外部ROM	0x20000000に書かれたアドレスから実行開始
1	1	1(入力)	SPI-EEPROM	A0RAM (0x0) にMBRをロードして実行開始
		0(入力)	PC RS232C	

注: • #CE10プルアップ抵抗はデフォルトで無効となります。#CE10端子をNAND Flash、SPI-EEPROM、またはPC RS232Cブート用の入力端子として使用する場合は、#CE10端子に外部プルダウン抵抗(端子レベルを0に設定する場合)または外部プルアップ抵抗(端子レベルを1に設定する場合)を接続してください。

- PFBGA12U-180パッケージおよびチップにはBOOT2端子も存在します。この端子はV_{ss}に接続してください。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807800	全ページ	新規制定
411807801	1-1	概要 (旧) S1C33L27は、低価格電子辞書やOA/FA機器の制御パネルなど、多くの汎用入出力ポートや... 低電力CMOSプロセスを使用したEPSON SoC(System on Chip)テクノロジーにより実装しています。 (新) S1C33L27は、多くの汎用入出力ポートやシリアルインタフェース、USB、ADC、表示パネルなど... RAM内蔵LCDドライバとの通信を可能とする専用インタフェースを実装しています。 特長: テクノロジ (旧) テクノロジ • 0.18μm AL-4層アナログ混在低電力CMOSプロセステクノロジー (新) 削除 特長: CCU (旧)・4ウェיאソシエイティブフレーム構造 ... 1Kバイト命令キャッシュと1Kバイトデータキャッシュ (新)・4ウェיאソシエイティブ方式の1Kバイト命令キャッシュと1Kバイトデータキャッシュ
	1-2	特長: SRAMC (旧)・SRAM、ROM、Flashメモリを直接接続可能 ... • リトルエンディアンアクセスに対応 (新)・SRAM、ROM、Flashメモリを接続可能 ... • リトルエンディアンアクセス 特長: SDRAMC (旧)・SDRAMを直接接続可能なインタフェースを内蔵 ... • CPU、DMAC、HIF、LCDCによる外部バスの占有を調停 (新)・SDRAMを接続可能なインタフェースを内蔵 ... • AHB-1(CPU、DMAC、HIF)とAHB-2(LCDC)による外部バスアクセスを調停 特長: HIF (旧)・トークンの受け渡しや他の通信プロトコルに使用可能なセマフォレジスタを内蔵 (新)・セマフォレジスタを内蔵 特長: ITC (旧)・5本のマスク不可能割り込み • 34本のマスク可能割り込み(4本のソフトウェア割り込み含む) (新)・5本のマスク不可能な割り込み • 34本のマスク可能な割り込み(4本のソフトウェア例外を含む)
	1-3	特長: T16P (旧)・8、16、22.05、32、44.1、48kHzのサンプリングレートに対応 ... • 高精度なパルス幅制御を行うファインモードを搭載 (新)・8、16、22.05、32、44.1、48kHzのサンプリングレートに対応可能 ... • パルス幅の精度を向上させるファインモードを搭載 特長: RTC (旧)・周期的な割り込みを発生可能 (新)・計時割り込みを発生可能 特長: USI (旧)・UART、SPI、I²Cモジュールとして使用可能な3チャンネルのマルチシリアルI/O ... (新)・UART、SPI、I²Cモジュールとして使用可能な3チャンネルのマルチシリアルインタフェース 特長: USI(SPIモード) (旧) - 受信データマスク機能(マスタモードのみ) (新) 削除
	1-4	特長: USIL (旧)・UART、SPI、I²C、RAM内蔵LCD用インタフェース ... 使用可能なマルチシリアルI/O (新)・UART、SPI、I²C、RAM内蔵LCD用インタフェース ... 使用可能なマルチシリアルインタフェース 特長: USIL(UARTモード) (旧) - データ長: 7または8ビット ... - DMA転送に対応 (新) - USIと同一 特長: USIL(SPIモード) (旧) - マスタモードとスレーブモードに対応 ... - DMA転送に対応 (新) - データ長: 8ビット固定 - その他はUSIと同一 特長: USIL(I²Cモード) (旧) - マスタモード(シングルマスタのみ)とスレーブモードに対応 ... - スタート/ストップ、データ転送、ACK/NAK転送、オーバーランエラー割り込みを発生可能 (新) - USIと同一 特長: USIL(LCDパラレルインタフェースモード) (旧) - T8Fによりアクセスタイミングを制御。... ウェイトサイクル(1~16)を設定可能 (新) 削除

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	1-4	特長: UART (旧)• IrDA1.0インタフェースを内蔵 (新)• IrDA1.0準拠 特長: I2S (旧)• ビットクロック、ワードセレクト信号、データ、マスタクロックを生成するマスタとして動作 (新) 削除 特長: I2S (旧)• I2S FIFOエンプティ割り込み(出力チャネル)とI2S FIFOフル割り込み(入力チャネル)を発生可能 (新)• FIFOエンプティ割り込み(出力チャネル: ハーフエンプティ、完全エンプティ、または1データエンプティ)とFIFOフル割り込み(入力チャネル: 完全フルまたは1データ)を発生可能
	1-5	特長: SD_MMC (旧)• 0~30MHzの有効クロック速度 • 4ビット(ワイドバス)と1ビットのインタフェースに対応 (新)• 最大30MHzの有効クロック速度 • 4ビット(ワイドバス)と1ビットのSDバスインタフェースに対応 特長: LCDC (旧)• 640×480ピクセル(VGA)、320×240ピクセル(QVGA)等、VGAクラス以下の主要な解像度に対応 ... (新)• 640×480ピクセル(VGA)、320×240ピクセル(QVGA)等の各種解像度に対応 ... 特長: ADC10 (旧)• 最大8チャネル(180pinパッケージ)または ... のアナログ入力を持つ10ビットA/D変換器 (新)• 10ビット逐次比較型A/D変換器 • 最大8チャネルのアナログ入力(チップ、PFBGA12U-180パッケージの場合) • 最大4チャネルのアナログ入力(TQFP24/QFP20-144pin、TQFP15-128pinパッケージの場合) 特長: USB (旧)• オートネゴシエーション機能に対応 ... • スクラッチ可能な可変バルクエンドポイント数 (新)• オートネゴシエーション機能を搭載 ... • 4つの汎用エンドポイントとエンドポイント0(コントロール)をサポート 特長: GPIO (旧)• 最大91本の入出力ポート、8本の入力専用ポートを使用可能(PFBGA12U-180パッケージの場合) (新)• 最大91本の入出力ポート、8本の入力専用ポートを使用可能(チップ、PFBGA12U-180パッケージの場合)
	1-6	特長: 動作電圧 (旧)• LVDD(コア/内部ロジック電源電圧): (新)• LVDD(内部ロジック/内部メモリ電源電圧): 特長: 動作電圧 (旧)USB使用時、またはセラミック発振子使用時は1.7V~1.9V(1.8V Typ.) (新)セラミック発振子使用時は1.7V~1.9V(1.8V Typ.)
	1-7	ブロック図 図1.2.1修正
	1-14~1-22	端子機能 (旧) Pad (新) チップ
	1-14	端子機能: 電源端子一覧(LVDD) (旧) コア電源端子 ... (USB使用時、またはセラミック発振子使用時は1.7~1.9V) (新) 内部ロジック/内部メモリ電源端子 ... (セラミック発振子使用時は1.7~1.9V)
	1-23	USI/USIL端子構成: USI_DOx、USIL_DO 表1.3.2.8、表1.3.2.9修正
	2-1	CPU (旧)従来のC33 STD CPUの標準機能に対し、C33 ADVにも採用されている有用な機能/命令を一部追加 ... 過去の資産を有効に活用することができます。 (新) 削除
	2-5	CPU: デバッグモード(命令ブレイク) (旧)3カ所のアドレスに命令ブレイクを設定できます。 (新)2カ所のアドレスに命令ブレイクを設定できます。
	3-2	メモリマップ: 内部エリアマップ 図3.2修正
	4-1	電源: 電源端子 表4.1.1修正 電源: 電源系 図4.1.1修正
	4-2	電源: 動作電圧(LVDD) (旧)CPUコアおよび内部ロジック回路は、LVDD~Vss間に供給される電源電圧によって動作します。 ... USB使用時、またはセラミック発振子使用時は1.7~1.9V (新)内部ロジックおよび内部メモリ回路は、LVDD~Vss間に供給される電源電圧によって動作します。 ... セラミック発振子使用時は1.7~1.9V
	4-3	電源: パワーオンシーケンス 図4.7.1修正

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	4-3	電源: パワーオンシーケンス (旧) (2) t_{PR}: パワーオンリセット時間 ... パワーオンリセット時間については、“電気的特性”を参照してください。 (新) (2) t_{STA3}: OSC3発振開始時間 (3) t_{TRST}: 最小リセットパルス幅 ... クロックが安定した状態から最低3クロックの期間、#RESET信号をLowに保持してください。 電源: パワーオフシーケンス (旧) 電源切断時: ... 3. LVDD, PLLVDD(, RTCVDD) (1と同時の切断も可能) 注: • HVDDだけが供給された状態になると、HVDD → AVDDの経路でダイオードが形成 ... • LVDDが切断されている状態で ... デバイスの破壊や特性劣化を引き起こす可能性があります。 (新) 電源切断時: ... 3. LVDD, PLLVDD(, RTCVDD) (2と同時の切断も可能) 注: LVDDが切断されている状態で ... 破壊や特性劣化を引き起こす可能性があります。
	5-1	リセットとNMI: #RESET端子 (旧) 内部リセット信号は、#RESET端子をHighにしてからデフォルト設定のOSC3発振安定待ち時間が経過した時点で解除されます。 (新) 内部リセット信号は、#RESET端子をHighにしてからデフォルト設定のOSC3発振安定待ちサイクルが経過した時点で解除されます。 図5.1.1.1修正
	5-2	リセットとNMI: イニシャルリセットシーケンス (旧) 電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間(128/OSC3クロック周波数) ... 注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。 (新) 電源投入時の#RESET端子によるリセット解除後、発振安定待ちサイクル(OSC3クロック128 ... 注: 発振安定待ちサイクルには、発振開始時間は含まれていません。そのため、電源投入時の命令実行までの時間は、下図よりも長くなる場合があります。 図5.1.3.1修正 リセットとNMI: 初期設定状態 表5.1.4.1修正
	5-3	リセットとNMI: イニシャルリセット時の注意事項 (旧) 低速(OSC1)発振回路 ... 低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します ... OSC1クロックはこの安定時間が経過してから使用してください。 (新) 低速(OSC1)発振回路 ... 低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の開始に長い時間を要します ... OSC1クロックはこの開始時間が経過してから使用してください。
	5-4	リセットとNMI: #NMI端子 (旧) C33 PEコアへのNMI(ノンマスカブル割り込み)を発生させるには、以下の2つの条件を満たす ... (2) システムクロックの3サイクル以上、#NMI端子のLowレベルを保持 (新) C33 PEコアへのNMI(ノンマスカブル割り込み)を発生させるには、システムクロックの3サイクル以上、#NMI端子のLowレベルを保持する必要があります。
	6-3, 6-17	CMU: OSC3発振開始時の安定待ち時間 (旧) 例: OSC3発振開始時間(Max.) = 10ms、f_{SYCLK} = 48MHzの場合 OSC3発振安定待ち時間 ≥ 480,000 [サイクル] OSC3WT[3:0] = 0x3 (OSC3発振安定待ち時間 = 524,288サイクル) に設定します。 (新) 例: OSC3発振開始時間(Max.) = 25ms、f_{SYCLK} = 48MHzの場合 OSC3発振安定待ち時間 ≥ 1,200,000 [サイクル] OSC3WT[3:0] = 0x1 (OSC3発振安定待ち時間 = 2,097,152サイクル) に設定します。
	6-4	CMU: PLL On/Off制御 (旧) 注: • PLLPOWERを1に設定してPLLが動作を開始した直後は、出力クロック安定待ち時間 ... • CPUをSLEEPモードに設定する前に(slp命令を実行する前に)、必ずPLLをOffにしてください。 (新) 注: • PLLPOWERを1に設定してPLLが動作を開始した直後は、出力安定時間 ... • CPUをSLEEPモードに設定する前に(slp命令を実行する前に)、必ずPLLをOffにしてください。 • PLLをOffする前にシステムのクロックソースをOSC3またはOSC1に切り換えてください。
	6-7	CMU: PLLの電源 (旧) PLLの電源はノイズの影響を防ぐため、コア電源とは別に ... PLLVss端子が設けられています。 (新) PLLの電源はノイズの影響を防ぐため、内部ロジック/内部メモリ電源とは別にPLLVDDおよびPLLVSS端子が設けられています。
	6-9	CMU: システムクロックソースの選択 (旧) (3/4/1) (RTCを除き、)動作中の周辺回路を停止します。 (新) (3/4/1) (RTCを除き、)周辺回路の動作を停止します。 CMU: システムクロックソースの選択 (旧) OSC3からPLLへの切り換え 1. PLLを起動する前に、PLL入力クロックを選択し、通倍率などのパラメータを設定します。 (新) OSC3からPLLへの切り換え 1. PLLを起動する前に、PLL入力クロックや通倍率などのパラメータを設定します。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	6-10	CMU: システムクロックソースの選択 (旧)注: 停止しているクロックソースをシステムクロックに ... システムが停止してしまいます。 (新)注: • 停止しているクロックソースをシステムクロックに ... システムが停止してしまいます。 • システムクロック変更後は、... 適宜周辺回路の設定を行ってください。
		CMU: クロック供給制御 (旧)なし (新)コアクロック (CCLK)、バスクロック (BCLK)以外のクロック供給回路にはクロックイネーブル... クロックイネーブルビットが1に設定されている場合もクロック供給は停止します。
	6-12	CMU: 周辺モジュールクロック (PCLK) (旧)クロックイネーブルビットが1の場合、クロックはHALTモード時も供給されます。 ... クロックイネーブルビットが1に設定されていてもクロック供給は停止します。 (新)削除
		CMU: 16ビットPWMタイマカウンタクロック (TCLK) (旧)TCLK_CKEが1の場合、TCLKはHALTモード時も供給されます。 ... SLEEPモードでは(slp命令が実行されると)、TCLK_CKEが1に設定されていてもTCLKは停止します。 (新)削除
	6-13	CMU: LCDCクロック (LCDC_CLK) (旧)LCDC_CKEが1の場合、LCDC_CLKはHALTモード時も供給されます。 ... (slp命令が実行されると)、LCDC_CKEが1に設定されていてもLCDC_CLKは停止します。 (新)削除
		CMU: USBクロック (USB_CLK) (旧)USB_CKEが1の場合、USB_CLKはHALTモード時も供給されます。 ... (slp命令が実行されると)、USB_CKEが1に設定されていてもUSB_CLKは停止します。 (新)削除
	6-15	CMU: スタンバイモード (旧)注: • SLEEPモードでは、起床要因の割り込み信号入力から割り込みモジュールへのクロック供給 ... • S1C33L27をSLEEPモードに設定する前に、LCDCへのクロック供給をOffしてください。 (新)注: • SLEEPモードでは、起床要因の割り込み信号入力から割り込みモジュールへのクロック供給 ... • S1C33L27をSLEEPモードに設定する前に、LCDCへのクロック供給をOffしてください。 • システムクロックがPLLの場合は、... OSC1に変更してからSLEEPモードに設定してください。
	8-1	RTC: RTCモジュールの概要 (旧)• 周期的な割り込みが可能 (新)• 計時割り込みが可能
	8-9	RTC: WAKEUPと#STBY端子 (旧)なお、#STBY端子をHighにしたままシステム電源をOffにするとRTCVDD系からLVDD, PLLVDD, HVDD, AVDD系への電流のリークが発生しますので、... #STBY端子をLowに設定してください。 (新)なお、#STBY端子をHighにしたままシステム電源をOffにするとRTCVDD系に電流のリークが発生し ますので、システム電源をOffにする前に必ず#STBY端子をLowに設定してください。
	9-1	SRAMC: SRAMCモジュールの概要 (旧)• リトルエンディアンアクセスに対応 (新)• リトルエンディアンアクセス
	10-1	SDRAM: SDRAMCモジュールの概要 (旧)SDRAMコントローラ (SDRAMC)は、エリア7と19に最大64MBのSDRAMを直接接続可能なSDRAM ダイレクトインタフェースを提供します。 (新)SDRAMコントローラ (SDRAMC)は、エリア7と19に最大64MBのSDRAMを接続可能なSDRAMイン タフェースを提供します。
	10-12, 10-14	SDRAMC: セルフリフレッシュ (旧)なし (新)注: セルフリフレッシュ中は絶対に ... セルフリフレッシュモードではないことを確認してください。
	11-6, 11-23	HIF: アドレスの設定とアドレス制御モードの選択 (旧)注: • ... • メモリが実装されていないアドレスを ... あるいは無効な読み出し (0読み出し) が実行されます。 (新)注: • ... • メモリが実装されていないアドレスを ... あるいは無効な読み出しが実行されます。
	11-14	HIF: タイミングチャート 図11.5.1修正
	12-3, 12-8	CCU: キャッシュ対象エリアの選択 表12.3.2.1、表12.7.2修正
	14-2, 14-11	DMAC: オートリロード機能 (旧)オードリロード (新)オートリロード
	14-7, 14-13, 14-14	DMAC: DMACトリガ要因 (旧)なし (新)表14.4.1、表14.7.2修正 * DMACを起動するT16A6のチャネルをDMASEL[1:0]/T16A_CTLxレジスタで設定してください。
	16-3, 16-9	T16A6: コンパレータモード時の割り込み (旧)注: コンペアA割り込みおよびコンペアB割り込みの発生間隔は、... T16A6が受け付けません。 (新)注: コンペアAデータレジスタ (T16A_CCAx) ... 4未満の設定では各割り込み要因は発生しません。

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	16-6, 16-14	T16A6: カウンタ値の読み出し (旧) 注: カウンタチャンネルを選択する ... T16A_TC0レジスタからはCh.1のカウンタ値が読み出されます。 (新) 注: カウンタ値は、T16SEL[1:0]/T16A_CTLxレジスタ ... T16A_TCxレジスタから読み出してください。
	16-13	T16A6: T16A6 Ch.x Counter Control Registers (T16A_CTLx) - (D[5:4]) T16SEL[1:0]: Counter Select Bits (旧) T16A_TCxレジスタからは、T16SEL[1:0]で選択したチャンネルのカウンタ値が読み出されます。 (新) カウンタ値は、T16SEL[1:0]で設定したチャンネルのT16A_TCxレジスタから読み出してください。
	17-4, 17-14	T16P: 分割モード (SPLTMD[1:0]) (旧) 分割モードを選択すると、コンペアAデータの分割上位ビット(上位10、9、または8ビット)と ... それぞれカウンタデータと比較され、この2つの比較結果により2つのPWM信号が生成されます。 (新) 分割モードを選択すると、コンペアAデータの上位ビット(上位10、9、または8ビット)と ... それぞれカウンタデータと比較され、この2つの比較結果により2つのPWM信号が生成されます。
	19-1	UART: UARTモジュールの概要 (旧) なし (新) ・全二重通信をサポート
	19-3	UART: データ送受信を許可 (旧) 注: UARTが送受信中はRXENを0に設定しないでください。 (新) 注: ・UARTが送受信中はRXENを0に設定しないでください。 ・送信のみ、または受信のみを許可することはできません。 UART: データ送信制御 (旧) 送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 (新) 送信バッファサイズは1バイトですが、送信データバッファとシフトレジスタが別個に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。
	19-4	UART: データ受信制御 (旧) 受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。 (新) 削除
	19-5	UART: データ送受信を禁止 (旧) RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていたらクリアされます)。 (新) RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていたらクリアされます)。受信データバッファは空になりません。
	19-6	UART: オーバーランエラー (旧) ただし、その受信が終了した時点で、... そのデータで上書きされ、オーバーランエラーが発生します。 (新) ただし、その受信が終了した時点で、... バッファに送られず、オーバーランエラーが発生します。
	19-6, 19-9	UART: オーバーランエラー (OER) (旧) なし (新) さらに、RXENを0に設定し、RDRYフラグがクリアされるまで受信データバッファを読み出してください。
	19-12	UART: UART Control Registers (UART_CTL) - (D0) RXEN: UART Enable Bit (旧) RXENに0を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。 (新) RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。受信データバッファは空になりません。
	20-1	USI: USIモジュールの概要 - SPIマスタ/スレーブモード (旧) - 受信データマスク機能(マスタモードのみ) (新) 削除
	20-2	USI: USI端子一覧(表20.2.1) (旧) *2: 端子の機能をUSI用に切り換えると、... 端子はすべて入力に設定されます。 (新) *2: 端子の機能をUSI用に切り換えると、... 端子はすべて入力に設定されます。端子がUSI用に設定... その前に、必要に応じて端子の機能を汎用入出力ポートに切り換えてください。
	20-6	USI: SPIモード時の設定 (旧) SPIマスタモードではクロックモードとデータ長の選択、および受信データマスクの設定も行います。 (新) SPIマスタモードではクロックモードとデータ長の選択も行います。
	20-7	USI: 受信データマスク (旧) 受信データマスク(マスタモードのみ) SPIマスタモードには受信データマスク(データ再送信)機能があり... ... SMSKENを0(デフォルト)に設定して受信データマスク機能を無効にしてください。 (新) 削除
	20-8	USI: UARTモードのデータ転送 - データ受信 (旧) URDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。 (新) URDIFが1にセットされ、かつ受信データバッファ ... オーバーランエラーが発生します)。 USI: データ受信タイミングチャート (UARTモード) 図20.5.1.2修正
	20-9	USI: データ送信タイミングチャート (SPIモード) 図20.5.2.1修正

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	20-10	USI: SPIモードのデータ転送 - データ受信 (旧) SRDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。 (新) SRDIFが1にセットされている状態では、... 受信した時点でオーバーランエラーが発生します)。 USI: データ受信タイミングチャート (SPIモード) 図20.5.2.2修正 USI: I²Cモードの接続例 図20.5.3.1追加
	20-12	USI: I²Cマスタモードのデータ送信タイミング 図20.5.3.3修正
	20-12, 20-13	USI: スレーブアドレスと転送方向ビットの送信 (旧) ... 10ビットの場合はソフトウェア制御により2回の送信を行います。 ... 10ビットアドレスの場合は、図20.5.3.4に従ってこの手順を2回実行してください。 ... (新) ... 10ビットの場合はソフトウェア制御により2回または3回の送信を行います。 ... 図20.5.3.5修正 ... 10ビットアドレスの場合は、図20.5.3.5に従ってこの手順を2回または3回実行してください。 ...
	20-15	USI: I²Cマスタモードのデータ受信タイミング 図20.5.3.10修正
	20-17	USI: I²Cスレーブモードの制御 (旧) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。 (新) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。その後、ISIFに1を書き込んでクリアしてください。これにより、ISSTA[2:0]も自動的に0x0にリセットされます。
	20-18	USI: I²Cスレーブモードのデータ送信タイミング 図20.5.3.13修正
	20-20	USI: I²Cスレーブモードのデータ受信タイミング 図20.5.3.15修正
	20-21	USI: 受信エラー - オーバーランエラー (旧) オーバーランエラー (全インタフェースモード) 受信データバッファにロードされた受信データを読み出す前に、次のデータ受信が完了すると ... なお、オーバーランエラーフラグは1を書き込むことによって0にリセットされます。 (新) オーバーランエラー (全インタフェースモード) UARTモード オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ ... I²Cマスタ/スレーブモード ... クリアした後、受信データバッファ (USI_RDxレジスタ) を2回読み出してください。
	20-23	USI: UARTモードの割り込み - 受信エラー割り込み (旧) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... USIを初期化してください。 USI: SPIモードの割り込み - 受信エラー割り込み (旧) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USI_RDxレジスタ) を2回読み出してください。
	20-24, 20-25	USI: I²Cマスタモード/I²Cスレーブモードの割り込み - 受信エラー割り込み (旧) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 (新) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 受信データを読み出さずに2バイトの受信を完了後、... その時点でオーバーランエラーが発生します。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USI_RDxレジスタ) を2回読み出してください。
	20-25, 20-26, 20-34, AP-A-3, AP-A-4, AP-A-31, AP-A-32, AP-A-37	USI: 0x30045f/55f/75f USI Ch.x SPI Master Mode Receive Data Mask Registers (USI_SMSKx) (新) 削除
	20-27	USI: USI Ch.x Receive Data Buffer Registers (USI_RDx) - (D[7:0]) RD[7:0]: USI Receive Data Buffer Bits (旧) このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。 (新) 削除
	20-30	USI: USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx) - (D2) UOEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、受信データバッファ ... UOEIFは1を書き込むことによりリセットされます。 (新) オーバーランエラーは、URDIFが1にセットされ、... USIを初期化してください。

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	20-30, 20-32, AP-A-30, AP-A-32, AP-A-36	USI: USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx) (旧) D1 SMSKEN: Receive Data Mask Enable Bit (新) D1 Reserved (Do not set to 1. / 1書き込み禁止)
	20-33	USI: USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIFx) - (D2) SEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、受信データバッファに ...SEIFは1を書き込むことによりリセットされます。 (新) オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると ... SEIFへの1書き込みとUSI_RDxレジスタの2回読み出しの順番は逆でも構いません。
	20-36	USI: USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIFx) - (D[4:2]) IMSTA[2:0]: I ² C Master Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を ... 自動的に0x0になります。 USI: USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIFx) - (D1) IMEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... IMEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、... 1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。
	20-38	USI: USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIFx) - (D[4:2]) ISSTA[2:0]: I ² C Slave Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。ISSTA[2:0]はISIFに1を ... 自動的に0x0になります。
	20-39	USI: USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIFx) - (D1) ISEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... ISEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、... 1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。
	21-1	USIL: USILモジュールの概要 - SPIマスタ/スレーブモード (旧) - 受信データマスク機能(マスタモードのみ) (新) 削除
	21-2, 21-3	USIL: USIL端子一覧 (旧) 表21.2.1 * USILをI ² Cマスタまたはスレーブモードに ... データ入出力端子として使用することはできません。 (新) 表21.2.1修正 *1: USILをI ² Cマスタまたはスレーブモード ... データ入出力端子として使用することはできません。 *2: 端子の機能をUSIL用に切り換えると、... 端子の機能を汎用入出力ポートに切り換えてください。
	21-3	USIL: 転送クロック (旧) USILをUART、SPIマスタ(ノーマルモード)、I ² Cマスタ、またはLCD SPIとして使用する場合は ... USILをSPIマスタ(ファストモード)またはLCDパラレルインタフェースとして使用する場合は、PCLKがソースクロックとなります。 (新) USILをUART、SPIマスタ(ノーマルモード)、I ² Cマスタ、LCD SPI、またはLCDパラレルインタフェースとして使用する場合は転送用ソースクロックは8ビットタイマ(T8F Ch.3)から供給されます。... USILをSPIマスタ(ファストモード)として使用する場合は、PCLKがソースクロックとなります。
	21-6	USIL: SPIモード時の設定 (旧) SPIマスタモードではクロックモードの選択と受信データマスクの設定も行います。 (新) SPIマスタモードではクロックモードの選択も行います。
	21-7	USIL: 受信データマスク (旧) 受信データマスク(マスタモードのみ) SPIマスタモードには受信データマスク(データ再送信)機能があり... ... SMSKENを0(デフォルト)に設定して受信データマスク機能を無効にしてください。 (新) 削除
	21-12	USIL: UARTモードのデータ転送 - データ受信 (旧) URDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。 (新) URDIFが1にセットされ、かつ ... 受信した時点でオーバーランエラーが発生します。 USIL: データ受信タイミングチャート(UARTモード) 図21.5.1.2修正
	21-13	USIL: データ送信タイミングチャート(SPIモード) 図21.5.2.1修正 USIL: SPIモードのデータ転送 - データ受信 (旧) SRDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。 (新) SRDIFが1にセットされている状態では、... 受信した時点でオーバーランエラーが発生します。
	21-14	USIL: データ受信タイミングチャート(SPIモード) 図21.5.2.2修正 USIL: I ² Cモードの接続例 図21.5.3.1追加
	21-16	USIL: I ² Cマスタモードのデータ送信タイミング 図21.5.3.3修正

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	21-16, 21-17	USIL: スレーブアドレスと転送方向ビットの送信 (旧) ... 10ビットの場合はソフトウェア制御により2回の送信を行います。 ... 10ビットアドレスの場合は、図21.5.3.4に従ってこの手順を2回実行してください。 ... (新) ... 10ビットの場合はソフトウェア制御により2回または3回の送信を行います。 ... 図21.5.3.5修正 ... 10ビットアドレスの場合は、図21.5.3.5に従ってこの手順を2回または3回実行してください。 ...
	21-19	USIL: I ² Cマスタモードのデータ受信タイミング 図21.5.3.10修正
	21-21	USIL: I ² Cスレーブモードの制御 (旧) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。 (新) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。その後、ISIFに1を書き込んでクリアしてください。これにより、ISSTA[2:0]も自動的に0x0にリセットされます。
	21-21, 21-22	USIL: I ² Cスレーブモードのデータ送信タイミング 図21.5.3.13修正
	21-23, 21-24	USIL: I ² Cスレーブモードのデータ受信タイミング 図21.5.3.15修正
	21-25	USIL: LCD SPIモードのデータ転送 (旧) LSB DYフラグはLCD SPIモードに設定された ... このフラグを読み出して確認してください。 (新) LSB SYフラグはLCD SPIモードに設定された ... データ分の転送が終了すると0に戻ります。
		USIL: 図21.5.4.1 (旧) データ送信タイミングチャート (LCD SPIモード) (新) データ送信タイミングチャート (LCD SPIモード、16ビットデータ形式)
		USIL: LCDパラレルモードのデータ転送 - データライト (旧) LCDパラレルインタフェースを介して ... バッファ (TD[7:0]/USIL_TDレジスタ) に書き込みます。 LCDパラレルインタフェースは、チップイネーブルおよびライト信号をアクティブにして、... コマンドビットの状態はUSIL_DI端子から出力されます。送信回路にはLPWRIF/USIL_LPIF... (新) LCDパラレルインタフェースを介して ... バッファ (TD[7:0]/USIL_TDレジスタ) に書き込みます。 コマンドビットは必ずデータを ... レジスタ書き込み後、USIL_DI端子から出力されます。 LCDパラレルインタフェースは、チップイネーブル信号をアクティブにして、... 送信回路には ...
		USIL: LCDパラレルモードのデータ転送 - データライト (旧) このフラグは、ライトバッファに書き込んだデータがUSIL_LCD_D[7:0]端子から出力されると1に セットされ、ライトバッファが空になったことを示します。 (新) このフラグは、ライトバッファに書き込んだデータがシフトレジスタに転送されると1にセットされ、 ライトバッファが空になったことを示します。
		USIL: データライトタイミングチャート (LCDパラレルモード) 図21.5.5.1修正
	21-26, 21-51	USIL: LCDパラレルモードのデータ転送 - データリード (旧) LCDパラレルインタフェースを介してLCDドライバ ... ビットの状態はUSIL_DI端子から出力します。 (新) LCDパラレルインタフェースを介して ... LPRD/USIL_LPCFGレジスタに1を書き込みます。 LPRDに書き込む前に、コマンドビット (LPCMD/USIL_LPCFGレジスタ) の値を設定してください。 コマンドビットの値はレジスタ書き込み後、USIL_DI端子から出力されます。
	21-28, 21-29	USIL: 受信エラー - オーバーランエラー (旧) オーバーランエラー (UART、SPI、I ² Cモード) 受信データバッファにロードされた受信データを読み出す前に、次のデータ受信が完了すると... なお、オーバーランエラーフラグは1を書き込むことによって0にリセットされます。 (新) オーバーランエラー (UART、SPI、I ² Cマスタ/スレーブモード) UARTモード オーバーランエラーは、URDIFが1にセットされ、かつ受信データバッファ ... I ² Cマスタ/スレーブモード ... クリアした後、受信データバッファ (USIL_RDレジスタ) を2回読み出してください。
		USIL: UARTモードの割り込み - 受信エラー割り込み (旧) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... USILを初期化してください。
	21-31	USIL: SPIモードの割り込み - 受信エラー割り込み (旧) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USIL_RDレジスタ) を2回読み出してください。
	21-31, 21-32	USIL: I ² Cマスタモード/I ² Cスレーブモードの割り込み - 受信エラー割り込み (旧) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 (新) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 受信データを読み出さずに2バイトの受信を完了後、... その時点でオーバーランエラーが発生します。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USIL_RDレジスタ) を2回読み出してください。

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	21-34, 21-42, AP-A-4, AP-A-34	USIL: 0x30065f USIL SPI Master Mode Receive Data Mask Register (USIL_SMSK) (新) 削除
	21-36	USIL: USIL Receive Data Buffer Register (USIL_RD) - (D[7:0]) RD[7:0]: USIL Receive Data Buffer Bits (旧) このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。 (新) 削除
	21-38	USIL: USIL UART Mode Interrupt Flag Register (USIL_UIF) - (D2) UOEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... UOEIFは1を書き込むことによりリセットされます。 (新) オーバーランエラーは、URDIFが1にセットされ、... USILを初期化してください。
	21-39, 21-40, AP-A-34	USIL: USIL SPI Master/Slave Mode Configuration Register (USIL_SCFG) (旧) D1 SMSKEN: Receive Data Mask Enable Bit (新) D1 Reserved (Do not set to 1. / 1書き込み禁止)
	21-41	USIL: USIL SPI Master/Slave Mode Interrupt Flag Register (USIL_SIF) - (D2) SEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、受信データバッファ ... SEIFは1を書き込むことによりリセットされます。 (新) オーバーランエラーは、SRDIFが1にセットされた状態で、受信データが連続して送られてくると ... SEIFへの1書き込みとUSIL_RDレジスタの2回読み出しの順番は逆でも構いません。
	21-43	USIL: USIL I ² C Master Mode Interrupt Flag Register (USIL_IMIF) - (D[4:2]) IMSTA[2:0]: I ² C Master Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を ... 自動的に0x0になります。
	21-44	USIL: USIL I ² C Master Mode Interrupt Flag Register (USIL_IMIF) - (D1) IMEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... IMEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、... 受信データバッファ(USIL_RDレジスタ)を2回読み出してください。
	21-46	USIL: USIL I ² C Slave Mode Interrupt Flag Register (USIL_ISIF) - (D[4:2]) ISSTA[2:0]: I ² C Slave Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。ISSTA[2:0]はISIFに1を ... 自動的に0x0になります。 USIL: USIL I ² C Slave Mode Interrupt Flag Register (USIL_ISIF) - (D1) ISEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... ISEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後(受信データバッファに1バイト目、... 受信データバッファ(USIL_RDレジスタ)を2回読み出してください。
	21-48	USIL: USIL LCD SPI Mode Interrupt Flag Register (USIL_LSIF) - (D1) LSBYS: Transfer Busy Flag Bit (旧) 送信動作が終了すると、0にクリアされます。 (新) LSDMOD[1:0]/USIL_LSDCFGレジスタで設定された ... が終了すると0にクリアされます。
	22-3	I ² S: 端子モード 図22.4.1修正 I ² S: I ² Sインタフェースクロック 図22.4.2修正
	22-5, 22-28	I ² S: サンプリングクロック周期 図22.4.3、図22.8.13修正
	22-9	I ² S: データ出力の制御(Ch.0) (旧)・I ² S Ch.0 FIFOハーフエンブティ割り込み ハーフエンブティ割り込みを許可すると、... 読み出される時点で割り込みが発生します。 (新)・I ² S Ch.0 FIFOハーフエンブティ割り込み ハーフエンブティ割り込みを許可すると、... 読み出された時点で割り込みが発生します。
	22-13	I ² S: データ出力タイミングチャート 図22.5.2修正
	22-14	I ² S: 受信FIFOデータと割り込み 図22.6.1修正
	22-25, 22-26	I ² S: データ入力タイミング 図22.8.10～図22.8.12修正
	22-30	I ² S: FIFOの状態モニタ 表22.8.8修正
	24-1	CARD: CARDモジュールの概要 (旧)・デバイスのデータとアドレス信号をSRAMCの外部バスに直結可能 ... - 2つのRSアルゴリズム共に可変長の符号化と復号化に対応 (新)・デバイスのデータとアドレス信号を外部バスに接続可能 ... - 2つのRSアルゴリズム共に可変長の符号化と復号化に対応
	25-1	SD_MMC: SD_MMCモジュールの概要 (旧) S1C33L27はカード(NAND Flash)インタフェースに加え、... (SD_MMC)モジュールを内蔵しています。 (新) S1C33L27はマルチメディアカード(以下MMC)、... (SD_MMC)モジュールを内蔵しています。 SD_MMC: SD_MMCモジュールの概要 (旧)・可変クロックレート: 0～30MHz ・4ビット(ワイドバス)または1ビット(スタンダードバス)インタフェースに対応 (新)・可変クロックレート: 最大30MHz ・4ビット(ワイドバス)または1ビット(スタンダードバス)のSDバスインタフェースに対応

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411807801	25-1	SD_MMC: SD_MMCモジュールの概要 (旧)・SD/MMCモードに対応 (新) 削除
	26-7, 26-19	GPIO: 割り込みモードと極性の選択(ポート入力割り込み) (旧) SLEEPモード時にCMUIはSLEEP状態を解除 ... SLEEPモード時はCMUIにレベル信号を出力します。 (新) ポート入力割り込み要因によるSLEEPモードの解除は、... 設定にかかわらず行えます。
	26-10, 26-26	GPIO: 割り込みモードと極性の選択(キー入力割り込み) (旧) SLEEPモード時にCMUIはSLEEP状態を解除 ... SLEEPモード時はCMUIにレベル信号を出力します。 (新) キー入力割り込み要因によるSLEEPモードの解除は、... 設定にかかわらず行えます。
	27-1	ADC: ADC10モジュールの概要 (旧)・入力チャネル: 最大8チャネル(180pinパッケージ) 最大4チャネル(128pinまたは144pinパッケージ) (新)・入力チャネル: 最大8チャネル(チップ、PFBGA12U-180/パッケージ) 最大4チャネル(TQFP24/QFP20-144pin、TQFP15-128pin/パッケージ)
	27-2	ADC: A/D変換器入力端子 表27.2.1修正
	27-3	ADC: A/D変換開始チャネル/終了チャネルの選択 (旧)例:・180pinパッケージ版による1回のA/D変換の動作 ... ・128pinまたは144pinパッケージ版による1回のA/D変換の動作 ... 注: ... 128pinまたは144pinパッケージに存在しない ... 通常の変換動作を行います。 (新)例:・チップ、PFBGA12U-180/パッケージ版による1回のA/D変換の動作 ... ・TQFP24/QFP20-144pin、TQFP15-128pinパッケージ版による1回のA/D変換の動作 ... 注: ... TQFP24/QFP20-144pin、TQFP15-128pinパッケージに存在しない ... 通常の変換動作を行います。
	28-1-28-44, AP-A-65	LCDC (旧) HR-TFT、汎用HR-TFT (新) TFT
	28-1	LCDC: LCDCモジュールの概要(内部バスインタフェースとVRAM) (旧)・バスアービタとIVRAMインタフェースを使用するUMA(Unified Memory Access)を実装 (新)・バスアービタとIVRAMインタフェースを使用するUMA(Unified Memory Architecture)を実装 LCDC: LCDCモジュールの概要(内部バスインタフェースとVRAM) (旧)・LCDCレジスタはエリア6に配置され32ビットアクセスが可能 (新) 削除
	28-2	LCDC: ブロック図 図28.2.1修正 LCDC: ブロック図 (旧) ルックアップテーブル モノクロモード時はLCDCに内蔵された ... モノクロ表示の階調を設定しておきます。 (新) モノクロモード時はLCDCに内蔵されたルックアップテーブルを使用します。
	28-11	LCDC: TFTパネルタイミングパラメータ 図28.5.3.1修正
	28-13	LCDC: TFTパネルタイミングパラメータ (旧) LCFC_FPFRRレジスタ (新) LCDC_FPFRRレジスタ
	28-15	LCDC: VRAMデータ形式 (旧) 最初のラインの2番目以降のピクセルデータを最初のピクセルデータに続けて配置し、さらに2番目のラインから最終ラインまでのデータを続けます。 (新) 1ライン目の2番目以降のピクセルデータを最初のピクセルデータに続けて配置し、さらに2ライン目から最終ラインまでのデータを続けます。
	28-20	LCDC: TFTパネルのLUTバイパスモード (旧) TFTパネルを使用する場合、LUTバイパスモードは以下の条件が成立している場合に有効です。 ... ・カラーモードが選択されている(COLOR/LCDC_DISPMODレジスタ = 1) (新) TFTパネルを使用する場合、以下の設定を行ってください。 ... ・カラーモードを選択(COLOR/LCDC_DISPMODレジスタ = 1)
	28-29	LCDC: ブランク表示と反転表示 (旧) この機能は、... ルックアップテーブルから出力された表示データを反転します。 (新) この機能は、LCDCが出力する表示データを反転します。
	28-31	LCDC: サブウィンドウの設定例 (旧) たとえば、LCDC_MAINADR = 0x1003a97cに設定した場合 ... 他のピクセルは正しく表示されません。 (新) 削除 LCDC: サブウィンドウの設定例 (旧) たとえば、LCDC_SUBADR = 0x101257fcまたは0x1015fffcに設定した場合 ... 他のピクセルは正しく表示されません。 (新) 削除
	28-44	LCDC: LCDC Display Mode Register (LCDC_DISPMOD) - (D25) SWINV: Software Video Invert Bit (旧) 反転操作はルックアップテーブルの出力に対して行われます。 (新) 反転操作はLCDCが表示データを出力する際に行われます。

コードNo.	ページ	改訂内容 (旧内容を含む) および改訂理由
411807801	29-2	USB: USB動作クロック (旧) このクロックはUSB制御レジスタの設定後に停止させることができます。 (新) 削除
	29-16	USB: デバイス接続タイミング値 表29.5.1.5修正
	29-28	USB: SIE_IntStat (SIE Interrupt Status) - (D6) NonJ (旧) ... InSUSPENDビットが1にセットされているときに有効です。 (新) ... InSUSPENDビットが1にセットされているときに有効です。このビットはスヌーズ中にも有効です。
	30-1	MISC: USBの設定 (旧) 30.3.1 USBウェイト制御 (新) 30.3.1 USBウェイト制御
	31-1, 31-2, 31-6, 31-7, 31-13~31-15	CALC (旧) ...演算 (Type 2)、...演算 (Type 3) (新) (Type2)、(Type 3) を削除
	31-1	CALC: 予約リソース (旧) ・スタック 4バイト/r4 r12 (新) ・スタック 4バイト / 汎用レジスタ (r4~r12)
	32-1	電気的特性: 絶対最大定格 (旧) なし (新) *2) #STBY端子の最大入力電圧範囲はV _{SS} - 0.3V~4.0V
		電気的特性: 推奨動作条件 (旧) なし (新) *1) $HV_{DD}/AV_{DD} \geq LV_{DD}/RTCV_{DD}/PLL_{VDD}$ $LV_{DD} = RTCV_{DD} = PLL_{VDD}$ *2) #STBY端子の推奨入力電圧範囲はV _{SS} - 0.3V~3.6V
	32-2	電気的特性: DC特性 - 低レベル入力電圧 (LVCMOS) (旧) Min. - (新) Min. -0.3 V
	32-3	電気的特性: DC特性 - ブルアップ/ダウン抵抗 (旧) ブルアップ抵抗 (TYPE1) Min. 24 kΩ ブルダウン抵抗 (TYPE1) Min. 24 kΩ ブルアップ抵抗 (TYPE2) Min. 48 kΩ ブルダウン抵抗 (TYPE2) Min. 48 kΩ (新) ブルアップ抵抗 (TYPE1) Min. 25 kΩ ブルダウン抵抗 (TYPE1) Min. 25 kΩ ブルアップ抵抗 (TYPE2) Min. 50 kΩ ブルダウン抵抗 (TYPE2) Min. 50 kΩ
	32-6	電気的特性: 発振特性 (旧) ...発振回路 (新) ...発振
	32-24, 32-25	電気的特性: TFTパネルタイミング (旧) 汎用HR-TFT (新) TFT
	32-25	電気的特性: #STBY AC特性 特性表修正
	33-1	基本外部結線図: #STBY 図修正
	AP-A-74, AP-A-76	I/Oレジスタ: SD_MMC Clock Control Register (MMC_CLKCTL) SD_MMC Interrupt Control Register (MMC_INT) (旧) なし (新) * SYN_RST/MMC_FUNCCTLレジスタでは初期化されません。
	AP-B-2	パワーセーブ: クロック制御一覧 表B.2修正
	AP-C-2	実装上の注意事項: 禁止パターン 図修正
	AP-C-3	実装上の注意事項: VBUSについての注意 図修正

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL(06)6120-6000(代表) FAX(06)6120-6100

ドキュメントコード：411807801
2010年 4月 作成 ①
2010年12月 改訂