

S2S65A30

テクニカルマニュアル(2)



本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。



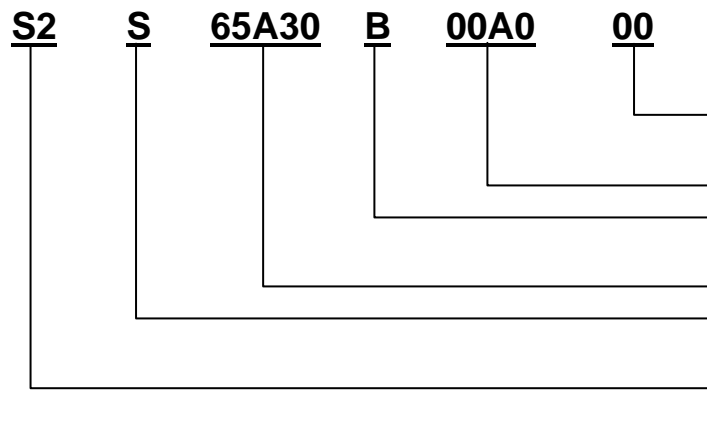
は、ARM 社の登録商標です。

CompactFlash は Sandisk 社の登録商標です。

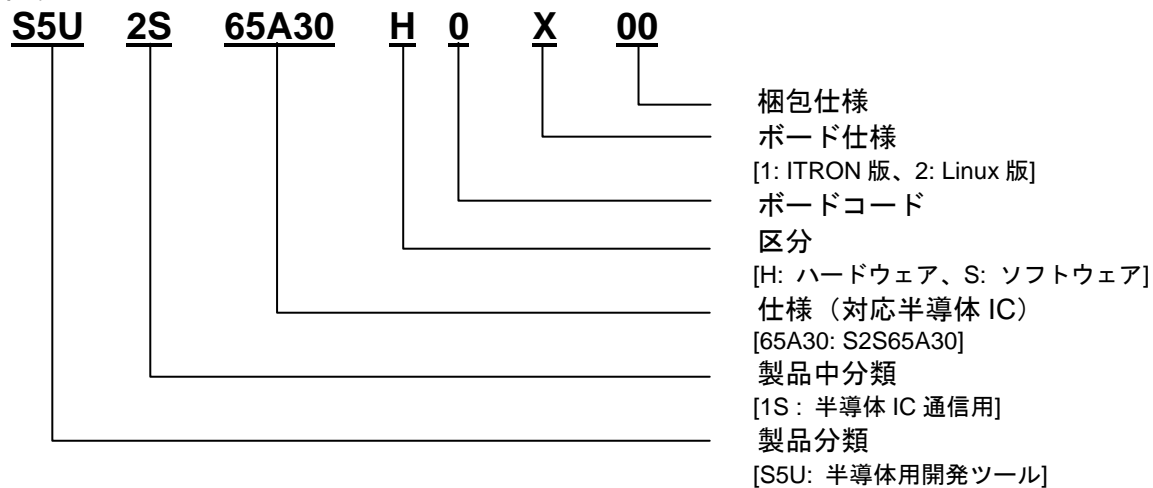
その他記載の会社名、製品名は、それぞれの会社の商標もしくは登録商標です。

製品型番体系

●デバイス



●開発ツール



使用上の注意事項

本書のレジスタの記述に関しては、以下のことにご注意ください。

本書のレジスタに関する記述については、以下のような省略を用いることがあります。

R/W :	リードおよびライト
RO :	リードオンリ
WO :	ライトオンリ
RSV :	予約ビット／レジスタ（特に指定のない場合は“0”を書き込んでください。）
n/a :	not available（特に指定のない場合は“0”を書き込んでください。）

特に指定のない場合、レジスタの予約ビットには“0”をセットしてください。予約ビットに書き込みを行うと予想できない結果になることがあります。“n/a”と記載してあるビットはハードウェアに影響をあたえません。

あるレジスタは特定の条件のときのみアクセスできるようになっています。アクセス不可のレジスタへのリード／ライトは無効です。

目 次

19. シリアル周辺機器インタフェース (SPI)	5
19.1 概要	5
19.1.1 マスタモード	5
19.1.2 スレーブモード	6
19.2 ブロック図	7
19.3 外部端子	7
19.4 クロックとデータ転送タイミング	8
19.5 レジスタ説明	10
19.5.1 レジスタ一覧	10
19.5.2 レジスタ詳細説明	10
20. コンパクトフラッシュカードインタフェース (CF)	16
20.1 概要	16
20.2 ブロック図	16
20.3 CF Card I/Fの各空間の配分	17
20.4 外部端子	18
20.5 レジスタ	19
20.5.1 レジスタ一覧	19
20.5.2 レジスタ詳細説明	19
20.6 本コンパクトフラッシュカードインタフェースの利用制限事項	23
21. SDメモ리카ードインタフェース	24
21.1 概要	24
22. タイマA (TIMA)	25
22.1 概要	25
22.2 ブロック図	25
22.3 外部端子	26
22.4 レジスタ	26
22.4.1 レジスタ一覧	26
22.4.2 レジスタ詳細説明	27
22.5 各モードでのロード値の設定方法	35
22.5.1 タイマカウンタのモード	35
22.6 タイマ内部クロック設定例 (1KHz、1MHz)	36
22.6.1 ディバイダとプリスケアラの設定方法	36
22.7 タイミング図	37
22.7.1 サイクリックモード時のイミディエイトロードリクエスト	37
22.7.2 サイクリックモード時の通常リロード	37
22.7.3 シングルモード時の通常リロード	38
22.7.4 ポート出力	38
23. タイマB (TIMB)	40
23.1 概要	40
23.2 特徴	40
23.3 ブロック図	40
23.4 外部端子	41
23.5 レジスタ	41
23.5.1 レジスタ一覧	41

23.5.2 レジスタ詳細説明	42
23.6 動作説明.....	50
23.6.1 カウント動作	50
23.6.2 タイマ入出力機能	51
24. リアルタイムクロック (RTC)	54
24.1 概要.....	54
24.2 ブロック図.....	54
24.3 外部端子.....	55
24.4 レジスタ.....	56
24.4.1 レジスタ一覧	56
24.4.2 レジスタ詳細説明	57
24.5 RTCのレジスタ設定方法	64
24.5.1 パワーオン後の初期設定	64
24.5.2 動作停止、動作再開	65
24.5.3 動作中の動作停止以外の再設定.....	65
24.5.4 動作中のシステムリセット後の再設定	65
24.5.5 プログラミング上の注意事項	65
25. ウォッチドッグタイマ (WDT).....	66
25.1 概要.....	66
25.2 ブロック図.....	66
25.3 外部端子.....	67
25.4 レジスタ.....	67
25.4.1 レジスタ一覧	67
25.4.2 レジスタ詳細説明	67
26. GPIO.....	70
26.1 概要.....	70
26.2 外部端子.....	71
26.3 レジスタ.....	73
26.3.1 レジスタ一覧	73
26.3.2 レジスタ詳細説明	74
26.3.2.1 GPIOAレジスタ	74
26.3.2.2 GPIOBレジスタ	75
26.3.2.3 GPIOCレジスタ	76
26.3.2.4 GPIODレジスタ	77
26.3.2.5 GPIOEレジスタ	78
26.3.2.6 GPIOFレジスタ	79
26.3.2.7 GPIOGレジスタ	80
26.3.2.8 GPIOHレジスタ	81
26.3.2.9 GPIOIレジスタ	82
26.3.2.10 GPIOJレジスタ	83
26.3.2.11 GPIOKレジスタ	84
26.4 GPIOAおよびGPIOBの割り込みロジック	87
27. A/D変換コントローラ(ADC).....	88
27.1 概要.....	88
27.2 ブロック図.....	88
27.3 外部端子.....	88
27.4 動作ステート	89
27.5 レジスタ.....	90
27.5.1 レジスタ一覧	90
27.5.2 レジスタ詳細説明	90

27.6 使用例	95
27.7 入力電圧と変換データ値	96
28. エリアセンサ(ARS)	97
28.1 概要.....	97
28.1.1 機能	97
28.2 ブロック図.....	98
28.3 外部端子.....	98
28.4 レジスタ説明	98
28.4.1 レジスター一覧	98
28.4.2 レジスタ詳細説明	99
29. DMAコントローラ 3 (DMAC3).....	102
29.1 概要.....	102
29.1.1 機能の概要.....	102
29.2 ブロック図.....	102
29.3 外部端子.....	103
29.4 レジスタ.....	103
29.4.1 レジスター一覧	103
29.4.2 レジスタ詳細	104
30. IP変換モジュール(IPC) [2:1]	108
30.1 概要.....	108
30.1.1 機能の概要.....	108
30.2 ブロック図.....	108
30.3 外部端子.....	109
30.4 レジスタ.....	109
30.4.1 レジスター一覧	109
30.4.2 レジスタ詳細	110
30.5 IP変換回路を使用する場合の注意事項.....	118
30.5.1 注意事項	118
30.5.2 制限事項	118
31. 絶対最大定格	120
31.1 絶対最大定格	120
31.2 推奨動作条件（2 電源、3.3V対応入出力バッファ）	120
31.3 電源投入タイミング.....	121
31.4 電源切断タイミング.....	121
32. 電気的特性.....	122
32.1 DC特性	122
32.2 AC特性.....	124
32.2.1 AC特性測定条件	124
32.2.2 AC特性タイミング一覧表.....	124
32.2.2.1 クロックタイミング	124
32.2.2.2 CPUコントロール信号タイミング	124
32.2.2.3 バッテリーバックアップモードタイミング	124
32.2.2.4 カメラインタフェース (CAM) タイミング.....	125
32.2.2.5 メモリコントローラ (MEMC) タイミング	125
32.2.2.6 I ² C Single Master Core Module (I2C) タイミング	127
32.2.2.7 I ² Sタイミング	127
32.2.2.8 シリアル周辺機器インタフェース (SPI) タイミング.....	128
32.2.2.9 コンパクトフラッシュインタフェース (CF) タイミング.....	128
32.2.3 タイミングチャート	130
32.2.3.1 クロックタイミング	130

32.2.3.2 CPUコントロール信号タイミング	131
32.2.3.3 バッテリーバックアップモードタイミング	133
32.2.3.4 カメラインタフェースタイミング	134
32.2.3.5 メモリインタフェースコントローラ	135
32.2.3.6 I2C Single Master Core Module タイミング	146
32.2.3.7 I2Sタイミング	146
32.2.3.8 シリアル周辺機器インタフェースタイミング	147
32.2.3.9 コンパクトフラッシュインタフェース (CF) タイミング	148
33. 参考外部接続例	151
33.1 メモリ接続例	151
33.2 コンパクトフラッシュ接続例 (16 ビットバス対応)	153
33.3 シリアル周辺機器インタフェース (SPI) 接続例	154
33.3.1 マスタ時	154
33.3.2 スレーブ時	154
33.4 I ² S接続例	155
33.4.1 マスタ時	155
33.4.2 スレーブ時	155
34. 外形寸法図	156
34.1 Plastic TFBGA 280pin Body size 16x16x1.2mm (PFBGA16U-280)	156
35. Appendix 1 S2S65A30 内部レジスタ一覧	157
改訂履歴	176

19. シリアル周辺機器インタフェース (SPI)

19.1 概要

シリアル周辺機器インタフェース (SPI) は 1 チャンネルです。

SPI はマスタまたはスレーブモードの両方の動作をサポートし、1 ～ 32 ビットのデータ転送を行います。個々のデータ転送の間に 0 ～ 65535 クロック分の遅延時間を挿入することができ、内部割り込みも発生可能です。送信、受信ともにデータバッファが組み込まれています。SPI には 4 本の端子が設けられております。SRDY#信号に関しては内部で LOW に固定されており、外部端子として使用することはできません。

19.1.1 マスタモード

マスタモードに設定された SPI は、SPI バスに接続されたスレーブデバイスとのデータ転送を制御します。シリアルクロックは SPI が SCLK 端子からスレーブデバイスに供給し、シリアルデータは MOSI 端子から出力、MISO 端子から入力します。SPI には SS (スレーブセレクト) 端子も設けられています。この端子はデータ転送には必要ではありませんが、モード違反エラーの検出に使用することができます。モード違反エラーはマルチマスタ SPI システムにおいて、2 つ以上のデバイスが同時にマスタに設定されると発生します。SPI がマスタモード時に SS 端子が アクティブレベルになったことを検出するとモード違反割り込みが発生し、SPI は信号の競合を避けるため自動的にスレーブモードに再設定されます。モード違反エラーの検出が不要な場合は SS 端子を汎用入出力ポートとして使用することができます。

SPI をイネーブ (動作可能状態) にした後、送信データレジスタ (TXD) に送信データを書き込むと、データ転送が始まります。

図にマスタモードの制御 / 動作フローを示します。

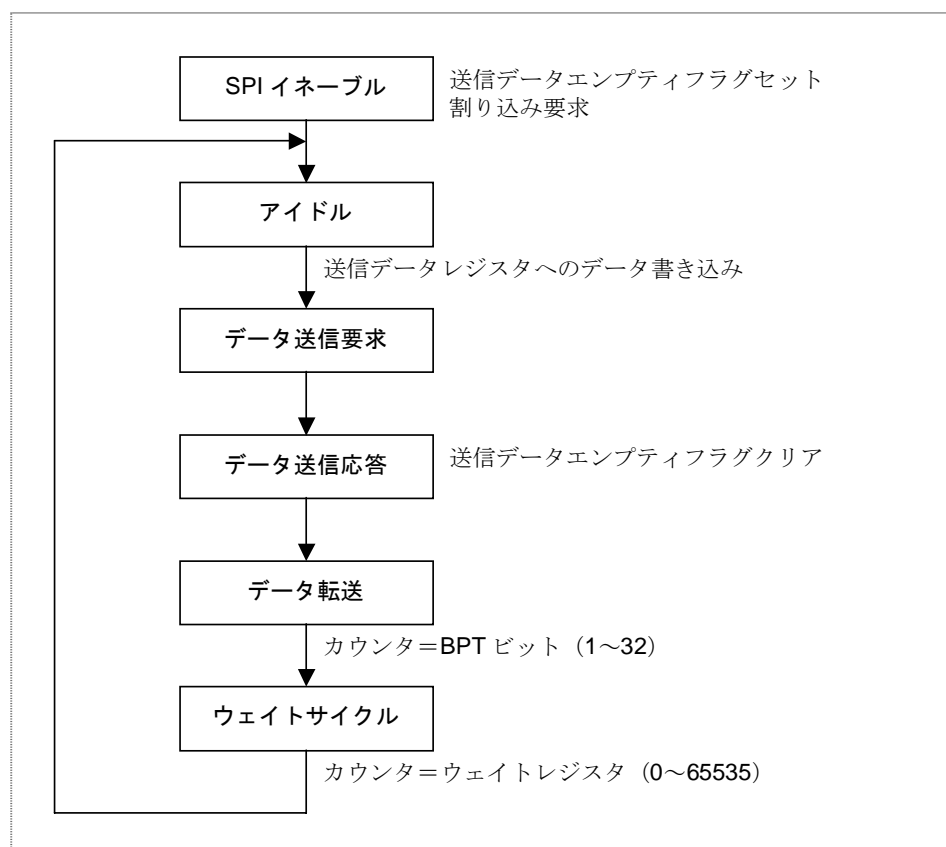


図 19.1 SPI マスタモード時の送信フロー

19. シリアル周辺機器インタフェース (SPI)

19.1.2 スレーブモード

SPI をスレーブモードに設定した場合は、外部 SPI マスタが SPI とのデータ転送を制御します。動作クロックは、外部マスタが出力したものを SCLK 端子から入力して使用します。シリアルデータは MOSI 端子から入力、MISO 端子から出力します。SS (スレーブセレクト) 端子は入力となります。

SS 端子が アクティブレベルになることによってシリアルクロック入力と転送動作がイネーブルとなります。

SPI をイネーブル (動作可能状態) にした後、外部 SPI マスタによって転送が開始します。SCLK クロックで動作するカウンタが内蔵されており、設定した転送ビット数分の送受信を制御します。

設定した転送ビット数を超えて SCLK クロックが入力された場合、設定した転送ビット数のみ転送データが保証されます。

図にスレーブモードの制御 / 動作フローを示します。

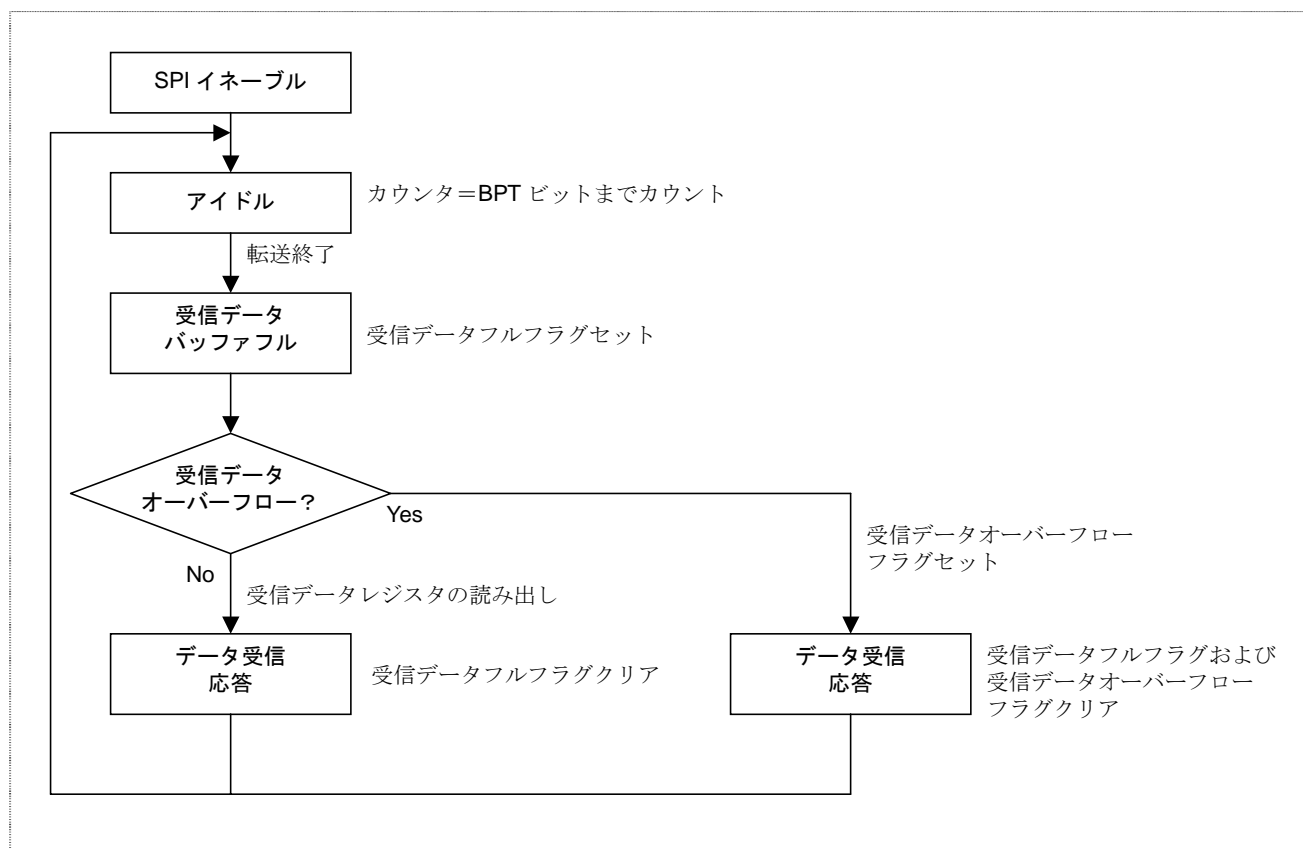


図 19.2 SPI スレーブモード時の受信フロー

19.2 ブロック図

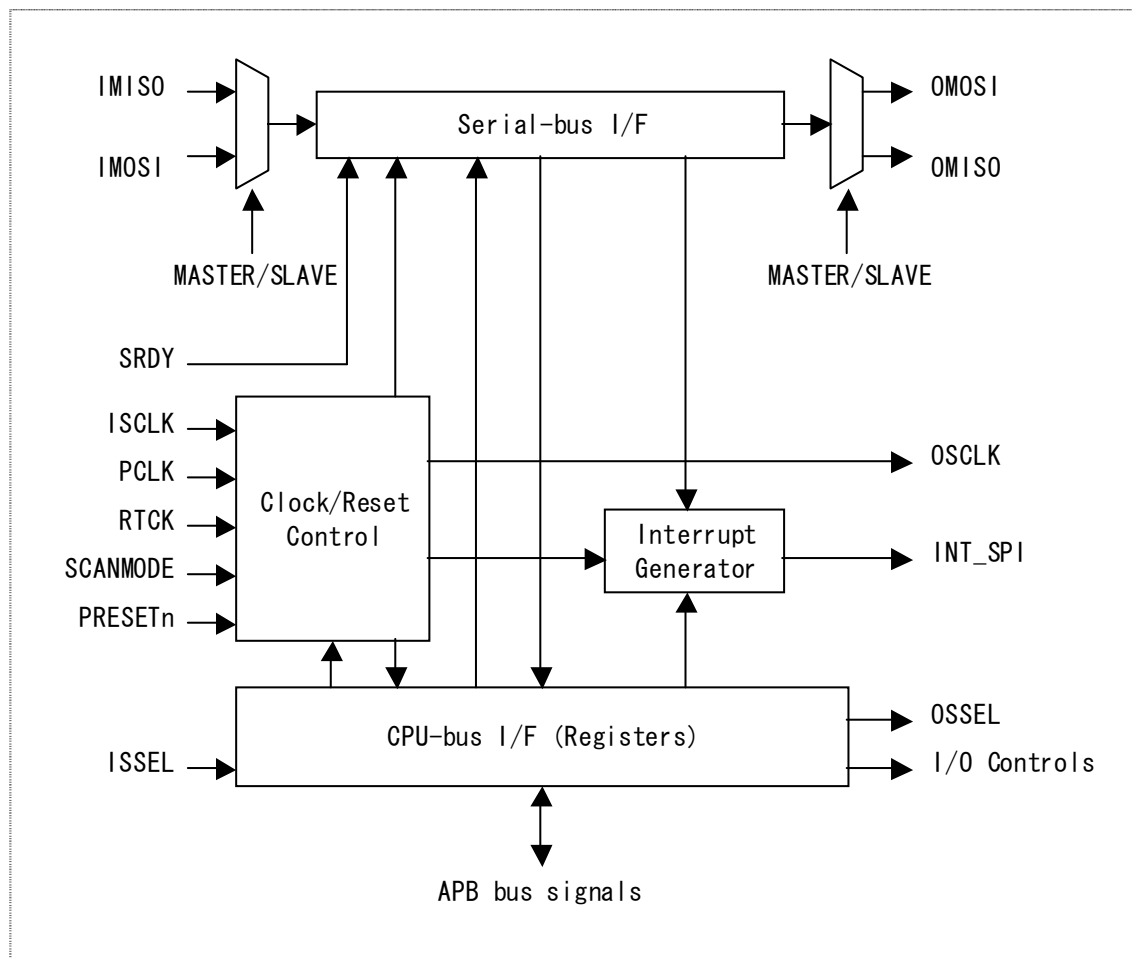


図 19.3 SPI ブロック図

19.3 外部端子

シリアル周辺機器インタフェースに関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子／備考
SPI_SCLK	入出力	SPI 用シリアルクロック	GPIOC5*
SPI_SS	入出力	SPI 用チップセレクト	GPIOC4*
SPI_MISO	入出力	SPI 用シリアルデータマスタ入力/スレーブ出力	GPIOC6*
SPI_MOSI	入出力	SPI 用シリアルデータマスタ出力/スレーブ入力	GPIOC7*

注意(*) : SPI 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

19. シリアル周辺機器インタフェース (SPI)

19.4 クロックとデータ転送タイミング

SPI をマスタモードで使用する場合、内部の SCLK クロックを使用して、転送データの入出力を行うシフトレジスタを動作させます。SCLK はクロックの位相と極性の組み合わせにより 4 種類から選択することができます。

クロックの位相は CPHA ビット (SPI 制御レジスタ 1 の Bit 9) で選択します。CPHA を “0” に設定した場合、出力データはクロックの立ち下がりエッジで変化し (シフトレジスタから出力)、入力データはクロックの立ち上がりエッジでシフトレジスタに取り込まれます (シフトレジスタ内のビットは順次シフト)。データを送信データレジスタに書き込むと、MSB が出力されます。CPHA を “1” に設定した場合、出力は立ち上がりエッジで変化し、入力は立ち下がりエッジで取り込まれます。データの MSB は SCLK の最初の立ち上がりで出力されます。

クロックの極性は CPOL ビット (SPI 制御レジスタ 1 の Bit 8) で選択します。CPOL が “0” の場合は HIGH アクティブ、“1” の場合は LOW アクティブです。上記の CPHA の説明はクロックが HIGH アクティブの場合の入出力タイミングで、CPOL を “1” に設定した場合はエッジの立ち上がりと立ち下がりが逆になります。ただし、SPI 内部のエッジトリガイベントのタイミングは逆転しません。

図にこれらの選択による SCLK クロック波形を示します。この柔軟性により、市場にあるほとんどのシリアル周辺デバイスに対応します。

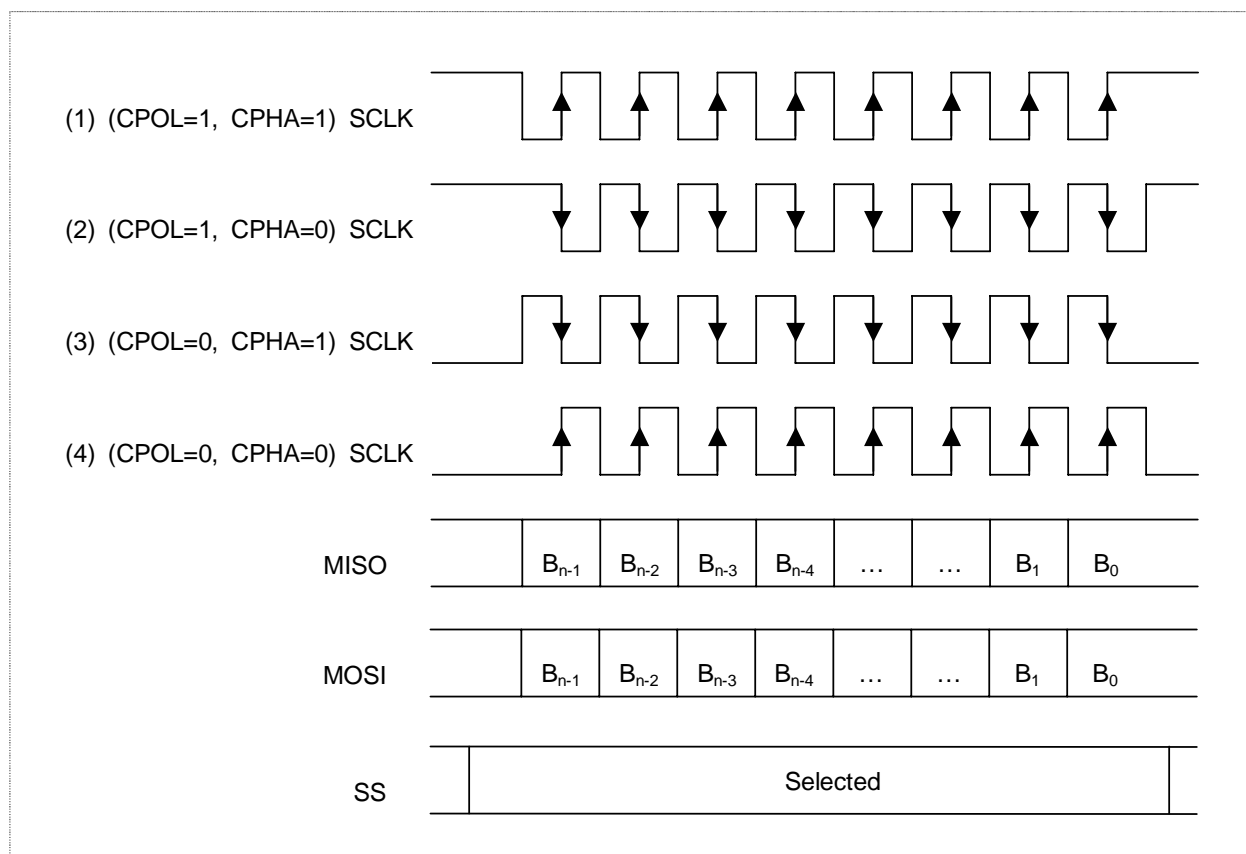


図 19.4 SPI マスタモード時のクロックの設定 (転送データのビット数が n の場合)

図 19.5 にスレーブモード時のSCLKクロック波形を示します。

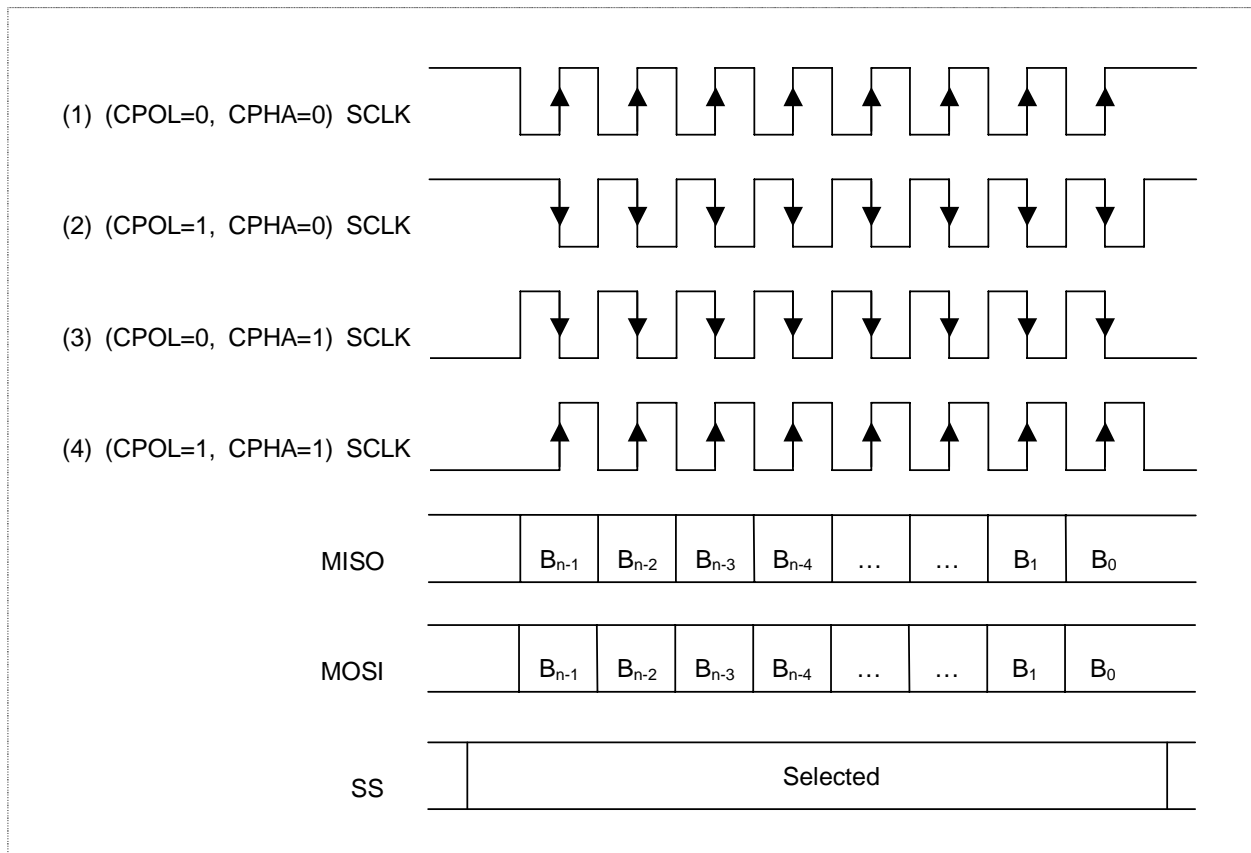


図 19.5 SPI スレーブモード時のクロックの設定（転送データのビット数が n の場合）

19. シリアル周辺機器インタフェース (SPI)

19.5 レジスタ説明

19.5.1 レジスタ一覧

SPI の制御レジスタが配置されているデフォルトのベースアドレスは、0xFFFF_2000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 19.1 SPI レジスタ一覧（ベースアドレス：0xFFFF_2000）

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
SPI 制御レジスタ				
0x00	SPI 受信データレジスタ	0x0000_0000	RO	32
0x04	SPI 送信データレジスタ	0x0000_0000	R/W	32
0x08	SPI 制御レジスタ 1	0x0000_0000	R/W	32
0x0C	SPI 制御レジスタ 2	0x0000_0000	R/W	32
0x10	SPI ウェイトレジスタ	0x0000_0000	R/W	32
0x14	SPI ステータスレジスタ	0x0000_0010	RO	32
0x18	SPI 割り込み制御レジスタ	0x0000_0000	R/W	32

19.5.2 レジスタ詳細説明

SPI 受信データレジスタ															
SPI[0x00] 初期値 = 0x0000_0000															
Read Only															
受信データ [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
受信データ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **受信データビット[31:0]**
外部シリアル周辺デバイスから受信したデータが読み出せます。

SPI 送信データレジスタ															
SPI[0x04] 初期値 = 0x0000_0000															
Read/Write															
送信データ [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
送信データ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **送信データビット[31:0]**
送信データを書き込むデータバッファです。このレジスタが空であることを示す TDEF ビット（SPI ステータスレジスタの Bit 4）が“1”の場合にデータを書き込むことができます。

SPI 制御レジスタ 1															
SPI[0x08] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
N/a	BPT [4:0]					CPHA	CPOL	n/a	MCBR [2:0]			CLKS	RX RAW	Mode	ENA
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [14:10] : BPT[4:0] 転送ビット数

1回の転送で送受信するデータのビット長を指定します。

00000 : 1 ビット

00001 : 2 ビット

:

11110 : 31 ビット

11111 : 32 ビット

Bit 9 : CPHA シリアルクロック位相選択

SCLK クロックの位相を選択します。

0 : データサイクルの後半にクロックパルスを生成 (図 20.4. (2)(4)参照)

1 : データサイクルの前半にクロックパルスを生成 (図 20.4. (1)(3)参照)

Bit 8 : CPOL シリアルクロック極性選択

SCLK クロックの極性を選択します。

0 : アクティブ HIGH (HIGH パルスをクロックとして生成) (図 20.4. (3)(4)参照)

1 : アクティブ LOW (LOW パルスをクロックとして生成) (図 20.4. (1)(2)参照)

Bits [6:4] : MCBR [2:0] マスタクロックビットレート選択

マスタモード時の SCLK クロック速度を設定します。このビットの設定によりソースクロック (バスクロック) の分周比が次のように設定されます。

$$\text{分周比} = 4 * 2^{\text{MCBR}[2:0]}$$

したがって、SPI のマスタクロックは以下のようになります。

$$\text{マスタクロック周波数 (f}_{\text{SCLK}}) = \text{バスクロック周波数} / (4 * 2^{\text{MCBR}[2:0]})$$

注意 : スレーブモード時、またはマスタモードでもソースクロックにリアルタイムクロック (32.768KHz) を選択した場合 (本レジスタの Bit 3 = 1)、このビットは無効になります。

Bit 3 : CLKS ソースクロック選択

マスタモード時の SCLK クロックを生成するソースクロックを選択します。

0 : バスクロック

1 : リアルタイムクロック (32.768KHz)

Bit 2 : RXDATA RAW

0 : RXDATA は BPT 幅によりマスクされます。

1 : RXDATA はシフトレジスタのマスク前データです。

Bit 1 : Mode SPI モード選択

本インタフェースをマスタモードで使用するか、スレーブモードで使用するか選択します。

0 : スレーブモード

1 : マスタモード

Bit 0 : ENA SPI イネーブル

SPI の送受信回路をイネーブルにします。

0 : ディセーブル

1 : イネーブル

19. シリアル周辺機器インタフェース (SPI)

SPI 制御レジスタ 2															
SPI[0x0C] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a				SSA	SS	SSP	SSC	n/a					予約 (0)		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 11 : **SSA スレーブ選択端子(SS)自動制御**
 このビットはマスタモード時には以下のような設定を行います。
 0 : SS 端子が出力に設定されている場合、SS 端子は SS (Bit10) に制御されます。
 1 : SS 端子が出力に設定されている場合、SS 端子は内部の転送タイミングにより制御されます。
 このビットはスレーブモード時には無効です。
- Bit 10 : **SS スレーブ選択端子(SS)制御**
 マスタモード時に SS 端子が出力に設定されているときに、SS 端子の出力を制御します。
 0 : SS 端子はインアクティブレベル出力
 1 : SS 端子はアクティブレベル出力
 スレーブモード時に SS 端子が無効入力として設定されているとき (SSC = 0) には、
 0 : この SPI は選択されていない
 1 : この SPI は選択されている
 その他の場合にはこのビットは無効です。
- Bit 9 : **SSP スレーブ選択端子(SS)極性選択**
 0 : LOW アクティブ
 1 : HIGH アクティブ
- Bit 8 : **SSC スレーブ選択端子(SS)設定**
 マスタモード時に、SS 端子の入出力方向を切り換えます。
 0 : 入力 (モード違反の検出)
 1 : 出力 (スレーブ選択出力)
 HIGH/LOW 出力を SS ビット (本レジスタの Bit 10) で設定できます。
 モード違反の検出は行えません。
 スレーブモードの場合、
 0 : SS 端子を無効入力として設定。SS ビット (Bit10) の選択が有効となります。
 1 : SS 端子は有効入力として設定。
- Bits [10:8]の設定をまとめると以下ようになります。

表 19.2 SS 端子の状態設定

モード 選択*	Bit 8 : SSC SS 設定	Bit 11 : SSA SS 自動選択	Bit 9 : SSP SS 極性選択	Bit 10 : SS SS 制御	SS 端子の状態 (アクティブレベル)
マスタ モード	0 : SS 端子入力 (モード違反検出)	無効	0 : LOW アク ティブ	無効	SS 入力 (LOW)
			1 : HIGH アク ティブ		SS 入力 (HIGH)
	1 : SS 端子出力	0 : SS ビット による制御	0 : LOW アク ティブ	0 : インアク ティブ	SS 出力=HIGH (LOW)
			1 : HIGH アク ティブ	1 : アクティブ	SS 出力=LOW (LOW)
				0 : インアク ティブ	SS 出力=LOW (HIGH)
				1 : アクティブ	SS 出力=HIGH (HIGH)
		1 : 自動制御	0 : LOW アク ティブ	無効	SS 出力=自動制御 (LOW)
			1 : HIGH アク ティブ		SS 出力=自動制御 (HIGH)
スレーブ モード	0 : SS 端子無効入力	無効	無効	0 : 非選択	SS 入力 (HIGH) <非選択>
	1 : SS 端子有効入力		0 : LOW アク ティブ 1 : HIGH アク ティブ	1 : 選択	SS 入力 (HIGH) <選択>
				無効	SS 入力 (LOW)
					SS 入力 (HIGH)

* : モード選択は Mode ビット (SPI 制御レジスタ 1 の Bit 1) で行います。

Bits [2:0] : **予約 (0)**

SPI ウェイトレジスタ															
SPI[0x10] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WAIT Cycles [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **WAIT Cycles [15:0] ウェイトサイクル**
 各データ送受信動作の間に挿入する待ち時間を SCLK クロック数で設定します。(待ち時間 =
 WAIT Cycles [15:0] × SCLK 周期)
 0000h (w) : 0 クロック
 0001h (w) : 1 クロック
 0002h (w) : 2 クロック
 :
 FFFh (w) : 65535 クロック
 このレジスタの設定は、マスタモード時のみ有効となります。

19. シリアル周辺機器インタフェース (SPI)

SPI ステータスレジスタ															
SPI[0x14] 初期値 = 0x0000_0010															
Read Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a									BSYF	MFEF	TDEF	RDOF	RDFF	n/a	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 6 : BSYF 転送ビジーフラグ

SPI が送信/受信動作中であることを示します。

0 : 待機中

1 : 送信または受信動作中

このフラグは送信または受信開始により自動的にセットされます。セットされたフラグは、転送を終了して待機中になると自動的にクリアされます。

このフラグはマスタモード時のみ有効で、スレーブモード時は常に“0”になります。

Bit 5 : MFEF モード違反エラーフラグ

モード違反エラーが発生したことを示します。

0 : エラーなし

1 : エラー発生

SPI がマスタモードの場合に、SS 端子が外部シリアルデバイスによってアクティブレベルにされると、このフラグがセットされます。このフラグはエラーを解除すると自動的にクリアされます。エラーを解除するために、SPI はこのフラグおよび MFIE ビット (SPI 割り込み制御レジスタの Bit5) がセットされている間スレーブモードになり、データ転送を開始せずにすべての出力をディセーブルにします。

Bit 4 : TDEF 送信データエンプティフラグ

送信データレジスタが空であることを示します。

0 : 送信データあり

1 : 送信データなし (デフォルト)

このフラグは、送信データレジスタに書き込まれたデータがシリアルインタフェースに送られるとき (またはリセット時) にセットされます。これにより、次の送信データを送信データレジスタに書き込むことができ、セットされたフラグは送信データレジスタへの書き込みによってクリアされます。

Bit 3 : RDOF 受信データオーバーフローフラグ

受信データオーバーフローが発生したことを示します。

0 : オーバーフローなし

1 : オーバーフロー発生

受信データフルフラグがセットされている状態 (受信データが読み出されていない状態) で、次の受信データがシリアルインタフェースから受信データレジスタに送られると、このフラグがセットされます。セットされたフラグは受信データレジスタを読み出すことでクリアされます。

Bit 2 : RDFF 受信データフルフラグ

受信データレジスタに受信データがあることを示します。

0 : 受信データなし

1 : 受信データあり

受信データがシリアルインタフェースから受信データレジスタに送られると、このフラグがセットされます。セットされたフラグは受信データレジスタを読み出すことでクリアされます。

注意 : このレジスタは、SPI イネーブルビット (SPI 制御レジスタ 1 の Bit 0) が“0”にセットされ、SPI ディセーブルになったときもすべてクリアされます。

SPI 割り込み制御レジスタ															
SPI[0x18] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a										MFIE	TEIE	ROIE	RFIE	MIRQ	IRQE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 5 : **MFIE モード違反割り込みイネーブル**
 モード違反割り込みをイネーブル（許可）/ディセーブル（禁止）します。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル
 この設定は、SPI がマスタモードで、SS 端子がモード違反検出用に設定されている場合に有効です。
- Bit 4 : **TEIE 送信データレジスタエンプティ割り込みイネーブル**
 送信データレジスタエンプティ割り込みをイネーブル/ディセーブルします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル
- Bit 3 : **ROIE 受信データオーバーフローエラー割り込みイネーブル**
 受信データオーバーフローエラー割り込みをイネーブル/ディセーブルします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル
- Bit 2 : **RFIE 受信データレジスタフル割り込みイネーブル**
 受信データフル割り込みをイネーブル/ディセーブルします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル
- Bit 1 : **MIRQ マニュアル割り込み要求セット/クリア**
 SPI のマニュアル割り込み要求をセット/クリアします。
 0 : 割り込み要求をクリア
 1 : 割り込み要求をセット
 このビットにより、ソフトウェアで SPI 割り込みを発生させることができます。IRQE (Bit 0) が “0（割り込み禁止）” に設定されている場合、このビットによる制御は無効です。
- Bit 0 : **IRQE 割り込み要求イネーブル**
 SPI の割り込み要求をイネーブル/ディセーブルします。
 0 : 割り込み要求ディセーブル
 1 : 割り込み要求イネーブル

20. コンパクトフラッシュカードインタフェース (CF)

20. コンパクトフラッシュカードインタフェース (CF)

20.1 概要

コンパクトフラッシュカードインタフェースには以下のような特長があります。

- CF Card Attribute memory Space (2KB space)
- CF Card Common memory Space (2KB space)
- CF Card IO Space (2KB space)
- 割り込み出力対応 (STSCHG#, IRQ)
- 内部 PCLK クロックの各種レンジ (50MHz-6MHz) に対応したコマンドストローブタイミング出力
- CFIORD#,CFIOWR#についてはプログラマブルなアイドルサイクル挿入とプログラマブルなコマンドサイクル挿入をサポート
- CF I/F での True IDE モードをサポート (CFOE#のプルダウン回路と CSSEL 信号、およびローアクティブ・リセットへの対応が外部で必要です。)

注意：S2S65A30 では、以下の信号線については端子数の制約から実装しておりません。内部ですべて“LOW”に固定されています。

- CD [2:1]#
- VS [2:1]#
- BVD2#
- WP/IOIS16#

20.2 ブロック図

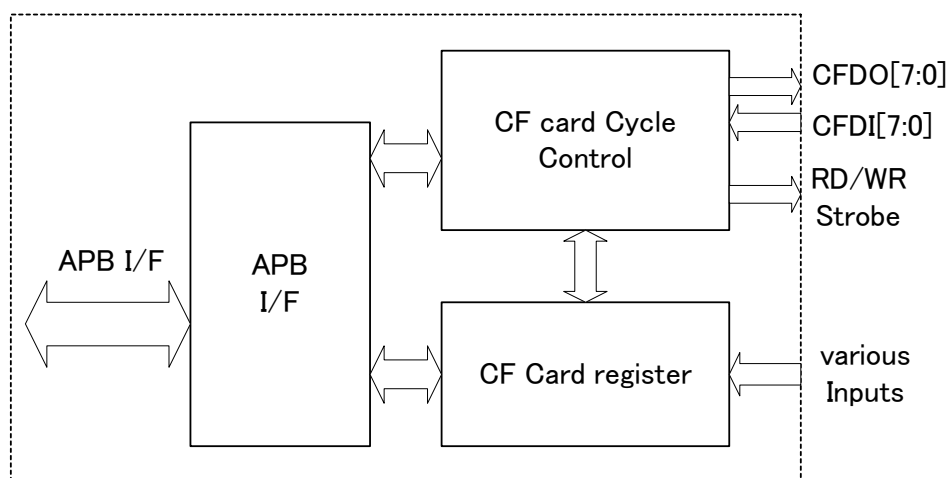


図 20.1 CF Card I/F ブロック図

20.3 CF Card I/F の各空間の配分

表 20.1 CF カード I/F の空間配分

Description	Address Range	サイズ
CF カードアトリビュート空間	0xFFFE4000 - 0xFFFE47FF	2KB
CF カード共通メモリ空間	0xFFFE4800 - 0xFFFE4FFF	2KB
CF カード I/O 空間	0xFFFE5000 - 0xFFFE57FF	2KB
CF カード True IDE CS1# Space	0xFFFE5800 - 0xFFFE5BFF	1KB
CF カード True IDE CS2# Space	0xFFFE5C00 - 0xFFFE5FFF	1KB
CF カード インタフェース 設定	0xFFFE6000 - 0xFFFE6FFF	4KB

注意： CF カードの各空間のアクセスには 8Bit または 16Bit のデータサイズのアクセスのみを行ってください。32Bit のデータサイズによるアクセスでは正常動作いたしません。
CF カードインタフェース設定のレジスタアクセスについては 16/32Bit のいずれかでアクセスをしてください。

True IDE の実現：

S2S65A30 の CF I/F を使用して True IDE を実現するためには、指定された空間をアクセスするだけでは実現できません。システムレベル（＝ボード上）であらかじめ信号を操作することが必要です。具体的には以下の 2 信号を正しく操作することが必須です。

－OE#（別名 ATASEL）

－CSSEL

CF Card I/F の OE#信号を Power On Reset（電源が OFF から ON に至ることが必須）時に LOW とサンプルされるようにしておきます。

もう一つは IDE デバイスのマスター/スレーブ動作を決めるために CSSEL を Pull Up または Pull Down、あるいは Open しておくことが必要になります。

また True IDE での CS1#, CS2#空間に対するアドレスは以下の様になっています。

－CS1#でアクセスできるレジスタは上記の表のアドレス空間中の下位 3Bit が 0x0 - 0x7 である空間

－CS2#でアクセスできるレジスタは上記の表のアドレス空間中の下位 3Bit が 0x6 - 0x7 である空間

になっています。たとえば“Alternate Status Register”は CS2#空間の内、下位 3Bit が 0x7 のアドレスに割り振られています。

20. コンパクトフラッシュカードインタフェース (CF)

20.4 外部端子

コンパクトフラッシュカードインタフェース (CF) 関連の外部端子は以下の通りです。

表 20.2 外部端子 (CF)

端子名	入出力	端子機能	マルチプレクス端子／備考
CFCE2#	出力	CF 用カードイネーブル 2(CE2#)出力	GPIOH0*
CFCE1#	出力	CF 用カードイネーブル 1(CE1#)出力	GPIOH1*
CFIORD#	出力	CF 用 I/O Read ストロープ出力	GPIOH2*
CFIOWR#	出力	CF 用 I/O Write ストロープ出力	GPIOH3*
CFWAIT#	入力	CF カードからのウェイト要求入力	GPIOH4*
CFRST	出力	CF カードへのリセット出力	GPIOH5*もしくは GPIOC2*
CFIRQ	入力	CF カードからの割り込み要求入力	GPIOH6*
CFSTSCHG#	入力	CF カードからのステータスチェンジ入力	GPIOH7*
CFDEN#	出力	CF カードの外部バッファ用データイネーブル出力	GPIOI0*
CFDDIR	出力	CF 用データバス方向指示出力	GPIOI1*
CFREG#	出力	CF 用アトリビュート空間および I/O 空間選択 REG 信号	MA11**
CFADDR [10:0]	出力	CF 用アドレス信号	MA [10:0]**
CFDATA [15:0]	入出力	CF 用 16 ビットデータ信号	MD [15:0]**
CFOE#	出力	CF インタフェースのメモリおよびアトリビュート空間の出力イネーブル信号	MOE#**
CFWE#	出力	CF インタフェースのメモリおよびアトリビュート空間のライトイネーブル信号	MWE0#**

注意(*)： CF 用の外部端子は GPIO 端子とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

注意(**)： CF 動作時には、メモリコントローラ用の端子が CF の外部端子として動作します。

20.5 レジスタ

20.5.1 レジスタ一覧

コンパクトフラッシュカードインタフェース レジスタのベースアドレスは、0xFFFE_6000 です。

表 20.3 レジスタ一覧（ベースアドレス：0xFFFE_6000）

Address Offset	Register Name	Abbreviation Name	Default Value	R/W	Data Access Size
0x00	CF Card Interface Control Register	CFCTL	0x1000	(R/W)	16 (/32)
0x04	CF Card Pin Status Register	CFPINSTS	0x0XXX	RO	16 (/32)
0x08	CF Card IRQ Source & Clear Register	CFINTRSTS	0x0XXX	R/W	16 (/32)
0x0C	CF Card IRQ Enable Register	CFINTMSTS	0x0000	R/W	16 (/32)
0x10	CF Card IRQ Status Register	CFINTSTS	0x0000	RO	16 (/32)
0x14	CF Card MISC Register	CFMISC	0x0000	R/W	16 (/32)

20.5.2 レジスタ詳細説明

CF Card Interface Control Register (CFCTL)							
CF[0x00] 初期値 = 0x1000				(Read/Write)			
PROG CYCEN	PROG IDLE [2:0]			R/W	PROG CYC [3:0]		
15	14	13	12		11	10	9
Reserved (0)	IOIS8_IO	IOIS8_MEM	PROG IDLE EN	CFRST	CFCARDEN	PCKMD[1:0]	
RO				R/W			
7	6	5	4	3	2	1	0

- Bit 15 : **PROG_CYCEN**
CFIORD#/CFIOWR#信号についてプログラマブルなコマンドサイクル機能をイネーブルにします。
通常はディスエーブルのまま使ってください。
0 : Disable (After RESET/ Default)
1 : Enable
- Bits [14:12] : **PROG_IDLE[2:0]**
CF Card I/F での Idle Cycle 数を指定します。（Default 値は“1”）
- Bits [11:8] : **PROG_CYC[3:0]**
CFIORD#/CFIOWR#信号についてコマンド・アクティブ・サイクル数を指定します。
PROG_CYCEN = 1 のときのみ有効。
- Bit 7 : **Reserved**
- Bit 6 : **IOIS8_IO**
CF カードの IO 空間のデバイスサイズを指定します。
0 : 16Bit CF カード・デバイスとして動作
1 : 8Bit CF カード・デバイスとして動作
- Bit 5 : **IOIS8_MEM**
CF カードのコモンメモリ空間のデバイスサイズを指定します。
0 : 16Bit CF カード・デバイスとして動作
1 : 8Bit CF カード・デバイスとして動作

20. コンパクトフラッシュカードインタフェース (CF)

- Bit 4 : **PROG_IDLE_EN**
CFIORD#/CFIOWR#信号について CFCE1#・CFCE2#からコマンドがアクティブになるまでのプログラマブルなアイドルサイクル機能をイネーブルにします。通常はディスエーブルのまま使用してください。
0 : Disable
1 : Enable
- Bit 3 : **CFRST**
CF I/F 機能が選択された場合、CFRST Pin をダイレクトにコントロールします。
0 : CFRST Pin は “Low” になります。
1 : CFRST Pin は “High” になります。
- Bit 2 : **CFCARDEN**
0 : CF Card Interface は無効です。
1 : CF Card Interface が有効になります。
- Bits [1:0] : **PCKMD[1:0]**
クロックの周波数に応じて CF Card I/F が適切に働くよう値を変更できます。
00 : PCLK が 50MHz (-25MHz) 程度のとき、この値を使用してください。
01 : PCLK が 24MHz 程度のときこの値を使用してください。
10 : PCLK が 12MHz 程度のときこの値を使用してください。
11 : PCLK が 6MHz 程度のときこの値を使用してください。

CF Card Pin Status Register (CFPINSTS)							
CF[0x04]		初期値 = 0x0XXX					Read Only
0							IREQ#2
15	14	13	12	11	10	9	8
WP	IREQ#1	BVD2#	BVD1#/ STSCHG	VS2#	VS1#	CD2#	CD1#
7	6	5	4	3	2	1	0

Bit [1:0]を除き Pin の状態そのものの値が各 Bit に反映されます。
Bit [1:0] (CD2#,CD1#) Pin はノイズフィルタを通った pin の状態がみえます。

- Bit 8 : **IREQ#2 入力**
IREQ# Pin が High アクティブの割り込み入力のあるときには、この Bit 参照が便利です。
CF Card IREQ# の Pin 状態そのものを知ることができます。
- Bit 7 : **WP Pin 入力**
CF Card インタフェース WP Pin の状態を知ることができます。
- Bit 6 : **RDY/BSY, IREQ pin 入力 (CF Card ではモードにより名前が変わります)**
IREQ# Pin が Low アクティブの割り込み入力のあるときには、この Bit 参照が便利です。
CF Card インタフェース RDY/BSY または IREQ Pin の反転入力状態を知ることができます。
- Bit 5 : **BVD2# pin 入力**
CF Card インタフェース BVD2# pin の状態を知ることができます。
- Bit 4 : **BVD1#/STSCHG# pin 入力**
CF Card インタフェース BVD1#/STSCHG# pin の状態を知ることができます。
- Bit 3 : **VS2# pin 入力**
CF Card インタフェース VS2# pin の状態を知ることができます。

20. コンパクトフラッシュカードインタフェース (CF)

- Bit 2 : **VS1# pin 入力**
CF Card インタフェース VS2# pin の状態を知ることができます。
- Bit 1 : **CD2# pin 入力**
ノイズ除去後の CF Card インタフェース CD2# pin の状態を知ることができます。
- Bit 0 : **CD1# pin 入力**
ノイズ除去後の CF Card インタフェース CD1# pin の状態を知ることができます。

注意 : Bit7, Bit5, Bits [3:0]は S2S65A30 ではサポートしていません。

CF Card IRQ Source & Clear Register (CFINTRSTS)							Read/Write
CF[0x08] 初期値 = 0x0XXX							
Reserved							IRQ#2
15	14	13	12	11	10	9	8
Reserved	IRQ#1	Reserved	BVD1/ STSCHG	Reserved		CD2	CD1
7	6	5	4	3	2	1	0

このレジスタは割り込み要求のソース（マスクされていない）を示すと同時に“1”を書くことにより、それぞれ該当 Bit がクリアされます。

- Bits [15:7] : **予約ビット**
読み出し時は“0”が読み出されます。書き込み時は必ず“0”を書くこと。
- Bit 8 : **IRQ#2 入力**
CFIRQ Pin が High アクティブの割り込み入力のときには、この Bit 参照が便利です。
CF Card が I/O モードにプログラムされたあと、この Bit が“1”を示すときは CFIRQ による割り込み要求が発生していることを示します。“0”を示すときは CFIRQ pin による割り込み要求は発生していません。
- Bit 6 : **IRQ#1（反転入力）**
CFIRQ Pin が Low アクティブの割り込み入力のときには、この Bit 参照が便利です。
CF Card が I/O モードにプログラムされたあと、この Bit が“1”を示すときは CFIRQ による割り込み要求が発生していることを示します。“0”を示すときは CFIRQ pin による割り込み要求は発生していません。
- Bit 4 : **BVD1/STSCHG#**
CF Card が I/O モードにプログラムされたあと、この Bit が“0”を示すときは、STSCHG#が“0”、すなわち RDY/BSY#または WP 信号に変化があったことを示します。“1”は特に RDY/BSY#または WP 信号に変化がないことを示します。
- Bit 1 : **CD2 pin status change**
この信号（ノイズ除去後の信号）が Low から High,または High から Low に変化したときに“1”にセットされます。割り込み信号のソースのひとつであり、“1”を書くことによりクリアされます。
- Bit 0 : **CD1 pin status change**
この信号（ノイズ除去後の信号）が Low から High,または High から Low に変化したときに“1”にセットされます。割り込み信号のソースのひとつであり、“1”を書くことによりクリアされます。

注意 : Bits [1:0] は S2S65A30 ではサポートしていません。

20. コンパクトフラッシュカードインタフェース (CF)

CF Card IRQ Enable Register (CFINTMSTS)							Read/Write
CF[0x0C] 初期値 = 0x0000							
Reserved							IRQEN#EN2
15	14	13	12	11	10	9	8
Reserved	IREQ#EN1	Reserved	BVD1EN/ STSCHGEN	Reserved		CD2EN	CD1EN
7	6	5	4	3	2	1	0

各 Bit は CF Card IRQ Source & Clear Register の Bit に対応しています。

各 Bit とも

0 : 割り込みはマスクされます。

1 : 割り込みはアンマスク、すなわちイネーブルの状態になります。

注意 : Bits [1:0] は S2S65A30 ではサポートしておりません。

CF Card IRQ Status Register (CFINTSTS)							Read Only
CF[0x10] 初期値 = 0x0000							
Reserved							IREQ#2
15	14	13	12	11	10	9	8
Reserved	IREQ#1	Reserved	BVD1/ STSCHG	Reserved		CD2	CD1
7	6	5	4	3	2	1	0

このレジスタには IRQ Source Register と IRQ Enable Register の各 Bit の “AND” をとった値が反映されます。

0 : 割り込みそのものがないか、割り込みがマスクされている状態。

1 : 割り込みがイネーブルでかつ割り込み要因が存在することを示す。

注意 : Bits [1:0] は S2S65A30 ではサポートしておりません。

CF Card MISC Register (CFMISC)							Read/Write
CF[0x14] 初期値 = 0x0000							
Reserved							
15	14	13	12	11	10	9	8
Reserved							CSRDEN
7	6	5	4	3	2	1	0

このレジスタは一部のハードウェア用に用意されており、通常は何も書かないでください。

Bits [15:2] : 予約ビット

Bit 0 : CSRDEN

リード時に CFCE1#と CFCE2#の両方をアクティブにするかどうかを決定します。

0 : ノーマルオペレーション。

1 : リード操作時に CFCE1#と CFCE2#の両方をアクティブにします。

20.6 本コンパクトフラッシュカードインタフェースの利用制限事項

本チップでは、端子数の制約のために以下の端子を実装しておらず、内部で“LOW”に固定しているために、一部のレジスタに対して利用制限がかかります。

- CD [2:1]#
- VS [2:1]#
- BVD2#
- WP/IOIS16#

以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
CF[0x04] Bit 7	WP Pin 入力	使用不可
CF[0x04] Bit 5	BVD2# Pin 入力	使用不可
CF[0x04] Bit 3	VS2# Pin 入力	使用不可
CF[0x04] Bit 2	VS1# Pin 入力	使用不可
CF[0x04] Bit 1	CD2# Pin 入力	使用不可
CF[0x04] Bit 0	CD1# Pin 入力	使用不可
CF[0x08] Bit 1	CD2 pin status change	使用不可
CF[0x08] Bit 0	CD1 pin status change	使用不可
CF[0x0C] Bit 1	CD2EN	使用不可
CF[0x0C] Bit 0	CD1EN	使用不可
CF[0x10] Bit 1	CD2	使用不可
CF[0x10] Bit 0	CD1	使用不可

21. SD メモリカードインタフェース

21. SD メモリカードインタフェース

21.1 概要

SD メモリカードインタフェースは SD Memory Card Physical Layer Specification Version 2.00 に準拠しています。

詳細は S2S65A30 SDMMC インタフェースを参照してください。

22. タイマ A (TIMA)

22.1 概要

タイマ A には以下のような特長があります。

- ・ 3ch の 16bit ダウンカウントタイマを内蔵 (3ch のタイマはすべて同一構造)
- ・ 2 種類のタイマモードをサポート (サイクリックモード/シングルモード)
- ・ タイマがカウント “0” になるたび、IRQ がマスクされていない限り割り込みを発生
- ・ ディバイダ用 8bit カウンタ内蔵 (1/1～1/256)
- ・ 2ch のプリスケアラ用 8bit カウンタにより、ディバイダで分周されたクロックを任意の値でカウント設定が可能
- ・ アンダーフロー時のタイマ出力モード機能 (3 種類) :
アンダーフロー信号、任意の 0/1 値出力、アンダーフロー周波数のトグル出力

22.2 ブロック図

以下にタイマ A のブロック図を示します。タイマブロックはレジスタブロック (Register (BusI/F))、ディバイダブロック (Divider)、2ch のプリスケアラブロック (Prescaler #0,1) 及び 3ch のタイマカウンタブロック (Timer Counter #0-2) から構成されています。プリスケアラ及びタイマカウンタのそれぞれのチャンネルは同一のものであり、下記の詳細ブロックにはそれぞれの 0ch を代表して記します。ディバイダとレジスタはそれぞれ全てのチャンネルに対応して制御します。タイマカウント用のクロック (TINCLK) はシステムコントローラより供給され、PCLK の 1/8 クロックが使用されます。詳細はシステムコントローラの項を参照願います。

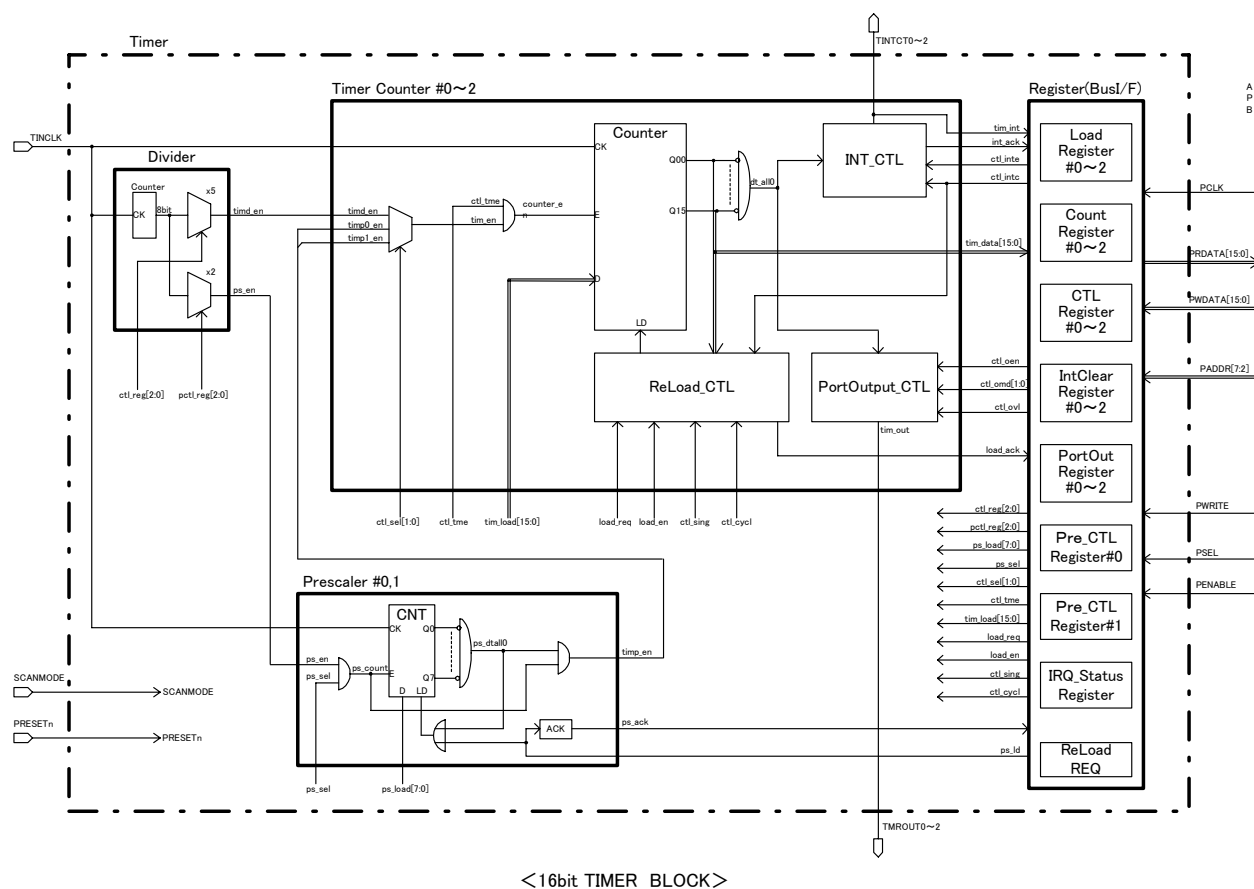


図 22.1 ブロックダイアグラム

22. タイマ A (TIMA)

22.3 外部端子

タイマ A 関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子*/備考
TimerA0out	出力	タイマ A0 出力	GPIOB4/INT4 (*)
TimerA1out	出力	タイマ A1 出力	GPIOB4/INT5 (*)
TimerA2out	出力	タイマ A2 出力	GPIOB5/INT6 (*)

注意(*)： タイマ A 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1” に設定することにより使用できます。

22.4 レジスタ

22.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_B000 です。

表 22.1 レジスタ一覧（ベースアドレス：0xFFFF_B000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データアクセス サイズ
0x00	タイマ A0 ロードレジスタ	TMA0LD	0x0000	R/W	16 (/32) *1
0x04	タイマ A0 カウントレジスタ	TMA0CNT	0x0000	RO	16 (/32) *1
0x08	タイマ A0 制御レジスタ	TMA0CTRL	0x0000	(R/W)	16 (/32) *1
0x0C	タイマ A0 IRQ フラグクリアレジスタ	TMA0IRQ	-	WO	8 (/16/32) *2
0x10	タイマ A0 ポート出力制御レジスタ	TMA0POUT	0x0000	(R/W)	8 (/16/32) *2
0x20	タイマ A1 ロードレジスタ	TMA1LD	0x0000	R/W	16 (/32) *1
0x24	タイマ A1 カウントレジスタ	TMA1CNT	0x0000	RO	16 (/32) *1
0x28	タイマ A1 制御レジスタ	TMA1CTRL	0x0000	(R/W)	16 (/32) *1
0x2C	タイマ A1 IRQ フラグクリアレジスタ	TMA1IRQ	-	WO	8 (/16/32) *2
0x30	タイマ A1 ポート出力制御レジスタ	TMA1POUT	0x0000	(R/W)	8 (/16/32) *2
0x40	タイマ A2 ロードレジスタ	TMA2LD	0x0000	R/W	16 (/32) *1
0x44	タイマ A2 カウントレジスタ	TMA2CNT	0x0000	RO	16 (/32) *1
0x48	タイマ A2 制御レジスタ	TMA2CTRL	0x0000	(R/W)	16 (/32) *1
0x4C	タイマ A2 IRQ フラグクリアレジスタ	TMA2IRQ	-	WO	8 (/16/32) *2
0x50	タイマ A2 ポート出力制御レジスタ	TMA2POUT	0x0000	(R/W)	8 (/16/32) *2
0x60-0x9C	予約	-	-	-	-
0xA0	プリスケアラ 0 制御レジスタ	PS0CTRL	0x0000	(R/W)	16 (/32) *1
0xA4	プリスケアラ 1 制御レジスタ	PS1CTRL	0x0000	(R/W)	16 (/32) *1
0xB0	タイマ A IRQ ステータスレジスタ	TMAIRQSTS	0x0000	RO	8 (/16/32) *2

*1: 16 ビットまたは 32 ビットデータアクセスが可能。

*2: 各種サイズ（8/16/32 ビット）のデータアクセスが可能。

22.4.2 レジスタ詳細説明

タイマ A0 ロードレジスタ (TMA0LD)							
TIM[0x00] 初期値 = 0x0000							
Read/Write							
タイマ A0 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ A0 ロード値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA0LD [15:0] タイマ A0 ロード値ビット[15:0]**
 タイマ A0 にロードするカウント初期値（16 ビット値）を設定するレジスタです。

タイマ A0 カウントレジスタ (TMA0CNT)							
TIM[0x04] 初期値 = 0x0000							
Read only							
タイマ A0 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ A0 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA0CNT [15:0] タイマ A0 カレントカウント値ビット[15:0]**
 タイマ A0 の現在のカウント値が読み出せます。

タイマ A0 制御レジスタ (TMA0CTRL)							
TIM[0x08] 初期値 = 0x0000							
(Read/Write)							
n/a						ディバイダ／プリスケアラ	
RO						[1:0]	
15	14	13	12	11	10	9	8
タイマ A0		モード選択		ディバイダ分周比 [2:0]		イミディエイト	
イネーブル		n/a		R/W		ロード	
R/W		R/W		R/W		リクエスト	
7	6	5	4	3	2	1	0
						IRQ	
						リクエスト	
						R/W	
						R/W	

Bits [9:8] : **ディバイダ／プリスケアラ選択 [1:0]**
 タイマ A0 で使用するクロックの分周元を指定します。
 0x : ディバイダ
 10 : プリスケアラ#0
 11 : プリスケアラ#1

Bit 7 : **タイマ A0 イネーブル**
 このビットがイネーブルのとき、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。
 0 : タイマ A0 ディセーブル
 1 : タイマ A0 イネーブル（サイクリックモード/シングルモード）

Bit 5 : **モード選択**
 0 : サイクリックモード
 1 : シングルモード

22. タイマ A (TIMA)

Bits [4:2] : **ディバイダ分周比 [2:0]**

000	: 分周なし	→1/1
001	: 4 分周	→1/4
010	: 8 分周	→1/8
011	: 16 分周	→1/16
100	: 32 分周	→1/32
101	: 64 分周	→1/64
110	: 128 分周	→1/128
111	: 256 分周	→1/256

Bit 1 : **イミディエイトロードリクエスト (サイクリックモード時)**
 サイクリックモード時にタイマ A0 のロード値をリロードするタイミングを要求します。
 0 : カウンタ値が “0x0000” になったときに、書き込まれたロード値をリロード
 1 : レジスタにロード値を書き込むと即時リロード
注意： シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

Bit 0 : **タイマ A0 割り込み要求イネーブル**
 0 : 割り込み要求ディセーブル (IRQ マスク)
 1 : 割り込み要求イネーブル

タイマ A0 IRQ フラグクリアレジスタ (TMA0IRQ)							
TIM[0x0C] 初期値 = -							
Write Only							
任意のデータ							
15	14	13	12	11	10	9	8
任意のデータ							
7	6	5	4	3	2	1	0

このレジスタはタイマ A0 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ A0 ポート出力制御レジスタ (TMA0POUT)							
TIM[0x10] 初期値 = 0x0000							
(Read/Write)							
n/a RO							
15	14	13	12	11	10	9	8
n/a RO				出力モード選択 R/W		出カイネーブル R/W	出力値 R/W
7	6	5	4	3	2	1	0

Bits [3:2] : **出力モード選択**
 00 : アンダーフロー発生時に出力値 (Bit 0) を出力
 01 : アンダーフロー出力
 10 : アンダーフロー発生毎にトグル出力
 11 : 予約

Bit 1 : **出カイネーブル**
 0 : 出力モードディセーブル
 1 : 出力モードイネーブル
 該当するポートが GPIO として設定されているときに、このビットを “1” にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

Bit 0 : **出力値**
 出力モード (Bits [3:2]) が “00” のときに、このビットの値が出力されます。

22. タイマ A (TIMA)

タイマ A1 ロードレジスタ (TMA1LD)							
TIM[0x20] 初期値 = 0x0000							
Read/Write							
タイマ A1 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ A1 ロード値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA1LD [15:0] タイマ A1 ロード値ビット[15:0]**
 タイマ A1 にロードするカウント初期値（16 ビット値）を設定するレジスタです。

タイマ A1 カウントレジスタ (TMA1CNT)							
TIM[0x24] 初期値 = 0x0000							
Read Only							
タイマ A1 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ A1 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA1CNT [15:0] タイマ A1 カレントカウント値ビット[15:0]**
 タイマ A1 の現在のカウント値が読み出せます。

タイマ A1 制御レジスタ (TMA1CTRL)							
TIM[0x28] 初期値 = 0x0000							
(Read/Write)							
n/a						ディバイダ／プリスケーラ	
RO						[1:0]	
15	14	13	12	11	10	9	8
タイマ A1 イネーブル	n/a	モード選択	ディバイダ分周比 [2:0]			イミディエイト ロード リクエスト	IRQ リクエスト
R/W	RO	R/W	R/W			R/W	R/W
7	6	5	4	3	2	1	0

Bits [9:8] : **ディバイダ／プリスケアラ選択 [1:0]**
 タイマ A1 で使用するクロックの分周元を指定します。
 0x : ディバイダ
 10 : プリスケアラ#0
 11 : プリスケアラ#1

Bit 7 : **タイマ A1 イネーブル**
 このビットがイネーブルのとき、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。
 0 : タイマ A1 ディセーブル
 1 : タイマ A1 イネーブル（サイクリックモード/シングルモード）

Bit 5 : **モード選択**
 0 : サイクリックモード
 1 : シングルモード

22. タイマ A (TIMA)

Bits [4:2] : **ディバイダ分周比 [2:0]**

000	: 分周なし	→1/1
001	: 4 分周	→1/4
010	: 8 分周	→1/8
011	: 16 分周	→1/16
100	: 32 分周	→1/32
101	: 64 分周	→1/64
110	: 128 分周	→1/128
111	: 256 分周	→1/256

Bit 1 : **イミディエイトロードリクエスト (サイクリックモード時)**
サイクリックモード時にタイマ A1 のロード値をリロードするタイミングを設定します。
0 : カウンタ値が “0x0000” になったときに、書き込まれたロード値をリロード
1 : レジスタにロード値を書き込むと即時リロード
注意： シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

Bit 0 : **タイマ A1 割り込み要求イネーブル**
0 : 割り込み要求ディセーブル (IRQ マスク)
1 : 割り込み要求イネーブル

タイマ A1 IRQ フラグクリアレジスタ (TMA1IRQ)							
TIM[0x2C]				初期値 = -			
Write Only							
任意のデータ							
15	14	13	12	11	10	9	8
任意のデータ							
7	6	5	4	3	2	1	0

このレジスタはタイマ A1 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ A1 ポート出力制御レジスタ (TMA1POUT)								
TIM[0x30]				初期値 = 0x0000				
(Read/Write)								
				n/a RO				
15	14	13	12	11	10	9	8	
n/a RO				出力モード選択 R/W		出力イネーブル R/W	出力値 R/W	
7	6	5	4	3	2	1	0	

Bits [3:2] : **出力モード選択**
00 : アンダーフロー発生時に出力値 (Bit 0) を出力
01 : アンダーフロー出力
10 : アンダーフロー発生毎にトグル出力
11 : 予約

Bit 1 : **出力イネーブル**
0 : 出力モードディセーブル
1 : 出力モードイネーブル
該当するポートが GPIO として設定されているときに、このビットを “1” にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

Bit 0 : **出力値**
出力モード (Bits [3:2]) が “00” のときに、このビットの値が出力されます。

22. タイマ A (TIMA)

タイマ A2 ロードレジスタ (TMA2LD)							
TIM[0x40] 初期値 = 0x0000							
Read/Write							
タイマ A2 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ A2 ロード値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA2LD [15:0] タイマ A2 ロード値ビット[15:0]**
 タイマ A2 にロードするカウント初期値（16 ビット値）を設定するレジスタです。

タイマ A2 カウントレジスタ (TMA2CNT)							
TIM[0x44] 初期値 = 0x0000							
Read only							
タイマ A2 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ A2 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TMA2CNT [15:0] タイマ A2 カレントカウント値ビット[15:0]**
 タイマ A2 の現在のカウント値が読み出せます。

タイマ A2 制御レジスタ (TMA2CTRL)							
TIM[0x48] 初期値 = 0x0000							
(Read/Write)							
n/a						ディバイダ／プリスケアラ	
RO						[1:0]	
R/W						R/W	
15	14	13	12	11	10	9	8
タイマ A2 イネーブル	n/a	モード選択	ディバイダ分周比 [2:0]			イミディエイト ロード リクエスト	IRQ リクエスト
R/W	RO	R/W	R/W			R/W	R/W
7	6	5	4	3	2	1	0

Bits [9:8] : **ディバイダ／プリスケアラ選択 [1:0]**
 タイマ A2 で使用するクロックの分周元を指定します。
 0x : ディバイダ
 10 : プリスケアラ#0
 11 : プリスケアラ#1

Bit 7 : **タイマ A2 イネーブル**
 このビットがイネーブルのとき、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。
 0 : タイマ A2 ディセーブル
 1 : タイマ A2 イネーブル（サイクリックモード/シングルモード）

Bit 5 : **モード選択**
 0 : サイクリックモード
 1 : シングルモード

22. タイマ A (TIMA)

Bits [4:2] : **ディバイダ分周比 [2:0]**
000 : 分周なし →1/1
001 : 4 分周 →1/4
010 : 8 分周 →1/8
011 : 16 分周 →1/16
100 : 32 分周 →1/32
101 : 64 分周 →1/64
110 : 128 分周 →1/128
111 : 256 分周 →1/256

Bit 1 : **イミディエイトロードリクエスト (サイクリックモード時)**
サイクリックモード時にタイマ A2 のロード値をリロードするタイミングを設定します。
0 : カウンタ値が “0x0000” になったときに、書き込まれたロード値をリロード
1 : レジスタにロード値を書き込むと即時リロード
注意： シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

Bit 0 : **タイマ A2 割り込み要求イネーブル**
0 : 割り込み要求ディセーブル (IRQ マスク)
1 : 割り込み要求イネーブル

タイマ A2 IRQ フラグクリアレジスタ (TMA2IRQ)							
TIM[0x4C]				初期値 = -			
Write Only							
任意のデータ							
15	14	13	12	11	10	9	8
任意のデータ							
7	6	5	4	3	2	1	0

このレジスタはタイマ A2 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ A2 ポート出力制御レジスタ (TMA2POUT)							
TIM[0x50]				初期値 = 0x0000			
(Read/Write)							
				n/a			
				RO			
15	14	13	12	11	10	9	8
n/a				出力モード選択		出カインーブル	出力値
RO				R/W		R/W	R/W
7	6	5	4	3	2	1	0

Bits [3:2] : **出力モード選択**
00 : アンダーフロー発生時に出力値 (Bit 0) が有効
01 : アンダーフロー出力
10 : アンダーフロー発生毎にトグル出力
11 : 予約

Bit 1 : **出カインーブル**
0 : 出力モードディセーブル
1 : 出力モードイネーブル
該当するポートが GPIO として設定されているときに、このビットを “1” にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

Bit 0 : **出力値**
出力モード (Bits [3:2]) が “00” のときには、このビットの値が出力されます。

プリスケラ 0 制御レジスタ (PS0CTRL)							
TIM[0xA0] 初期値 = 0x0000				(Read/Write)			
ディバイダ分周比 [2:0]				n/a			
R/W				RO			
15	14	13	12	11	10	9	8
プリスケラ 0 ロード値 [7:0]							
R/W							
7	6	5	4	3	2	1	0

Bits [15:13] : **ディバイダ分周比 [2:0]**
 000 : 分周なし →1/1
 001 : 4 分周 →1/4
 010 : 8 分周 →1/8
 011 : 16 分周 →1/16
 100 : 32 分周 →1/32
 101 : 64 分周 →1/64
 110 : 128 分周 →1/128
 111 : 256 分周 →1/256

Bits [7:0] : **プリスケラ 0 ロード値ビット[7:0]**
 プリスケラ 0 においてディバイダで分周されたクロックをカウントする値を設定するレジスタです。

プリスケラ 1 制御レジスタ (PS1CTRL)							
TIM[0xA4] 初期値 = 0x0000				(Read/Write)			
ディバイダ分周比				n/a			
R/W				RO			
15	14	13	12	11	10	9	8
プリスケラ 1 ロード値[7:0]							
R/W							
7	6	5	4	3	2	1	0

Bits [15:13] : **ディバイダ分周比 [2:0]**
 000 : 分周なし →1/1
 001 : 4 分周 →1/4
 010 : 8 分周 →1/8
 011 : 16 分周 →1/16
 100 : 32 分周 →1/32
 101 : 64 分周 →1/64
 110 : 128 分周 →1/128
 111 : 256 分周 →1/256

Bits [7:0] : **プリスケラ 1 ロード値ビット [7:0]**
 プリスケラ 1 においてディバイダで分周されたクロックをカウントする値を設定するレジスタです。

22. タイマ A (TIMA)

タイマ A IRQ ステータスレジスタ (TMAIRQSTS)							
TIM[0xB0]		初期値 = 0x0000					Read Only
15	14	5	4	3	2	1	0
n/a		予約			Timer2 IRQ	Timer1 IRQ	Timer0 IRQ
7	6	5	4	3	2	1	0

Bits [4:3] : **予約**

Bit 2 : **タイマ A2 IRQ ステータス**

タイマ A2 の割り込みステータスを示します。

0 : 割り込み要求なし（または、IRQ マスク）

1 : 割り込み要求あり

この割り込みステータスはタイマ A2 IRQ フラグクリアレジスタでクリアします。

Bit 1 : **タイマ A1 IRQ ステータス**

タイマ A1 の割り込みステータスを示します。

0 : 割り込み要求なし（または、IRQ マスク）

1 : 割り込み要求あり

この割り込みステータスはタイマ A1 IRQ フラグクリアレジスタでクリアします。

Bit 0 : **タイマ A0 IRQ ステータス**

タイマ A0 の割り込みステータスを示します。

0 : 割り込み要求なし（または、IRQ マスク）

1 : 割り込み要求あり

この割り込みステータスはタイマ A0 IRQ フラグクリアレジスタでクリアします。

22.5 各モードでのロード値の設定方法

22.5.1 タイマカウンタのモード

3ch のタイマは、それぞれ 2 種類のモードが設定できます。
各モードについてのロード値の設定方法を説明します。

(1) サイクリックモード

ロードレジスタにより設定したロード値から“0”までを繰り返しカウントダウンします。ロードのタイミングには 2 通りあります。

a) イミディエイトロードリクエストをした場合

タイマ A 制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値を“1”にすることで即時にロード値をカウンタに反映することができます。

手順は、即時反映させたい場合にイミディエイトロードリクエストを“1”にし、次に反映させたいロード値をロードレジスタで設定します。タイマ A 制御レジスタの 7bit 目 (タイマ A イネーブル) の状態に関わらず強制的にロード値を書き込むことができます。

b) イミディエイトロードリクエストをしない場合

タイマ A 制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値が“0”であれば、ダウンカウンタの各ビットがすべて“0”になったときに割り込みを発生し、その時点でロードレジスタに設定してある値をリロードして再度ダウンカウントし始めます。

フリーランモードで使いたい場合は、ロード値に“FFFFh”の値を設定します。

(2) シングルモード

ロードレジスタにより設定したロード値からカウントダウンし、カウンタの出力がすべて“0”になったら割り込みを発生してストップします。IRQ フラグクリアレジスタで割り込みをクリアしても、カウンタはストップしたままです。

リロードのタイミングはタイマ A 制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値に関係なく、ロードレジスタによりロード値を設定した時点で即時反映されます。タイマ A 制御レジスタの Bit 7 (タイマ A イネーブルビット) の状態に関わらず強制的にロード値を書き込むことができます。

22. タイマ A (TIMA)

22.6 タイマ内部クロック設定例（1KHz、1MHz）

22.6.1 ディバイダとプリスケアラの設定方法

3ch のタイマは、それぞれディバイダと 2ch のプリスケアラで分周比とカウント数を設定して任意の 2 種類の周期でカウントダウンすることができます。

プリスケアラを使用せずディバイダの分周比でタイマを動作させる場合は 3ch のタイマそれぞれにディバイダ分周比を設定することができます。

タイマの入力クロック（TINCLK）は APB バスクロック（PCLK）の 1/8 クロックが入力されます。

表に 6MHz の TINCLK（PCLK=48MHz のとき）が入力された場合の 1ms (1KHz) および 1μs (1MHz) 周期の設定例を示します。該当するプリスケアラ制御レジスタを下記のように設定して下さい。なお、プリスケアラのロード値はカウントを 1/1 にする場合には“0x00”、1/2 にする場合には“0x01”、1/3 にする場合“0x02”・・・として設定します。

表 22.2 ミリ&マイクロ周期設定例*

周期	ディバイダ分周比	プリスケアラ ロード値	周波数
1ms	Bits [15:13] = 100b (1/32 選択)	Bits [7:0] = 1011 1010b (0xBA) (1/187 選択)	1.002673KHz
	Bits [15:13] = 101b (1/64 選択)	Bits [7:0] = 0101 1101b (0x5D) (1/94 選択)	0.997340KHz
1μs	Bits [15:13] = 000b (1/1 選択)	Bits [7:0] = 0000 0101b (0x05) (1/6 選択)	1.000000MHz

注意(*) : fTINCLK=6MHz（fPCLK=48MHz）が入力された場合の設定例です。

作成したい周波数を PCLK の周波数から算出する計算式は以下のようになります。

作成したい周波数に近くなるようにディバイダ分周比とプリスケアラロード値をプリスケアラ[1:0]制御レジスタに設定してください。

$$\text{作成したい周波数 } f = \frac{f_{\text{PCLK}} \div 8}{f_{\text{TINCLK}}} \div \frac{\text{bit [15:13]*による設定値}}{\text{ディバイダ分周比}} \div \frac{\text{bit [7:0]*による設定値}}{\text{プリスケアラロード値}}$$

* : プリスケアラ[1:0]制御レジスタ（TIM[0xA0], TIM[0xA4]）

表による計算例

例 1) $1\text{KHz} \div 48\text{MHz} \div 8 \div 32 \div 187 = 1.002673\text{KHz}$

例 2) $1\text{KHz} \div 48\text{MHz} \div 8 \div 64 \div 94 = 0.997340\text{KHz}$

例 3) $1\text{MHz} = 48\text{MHz} \div 8 \div 1 \div 6 = 1.000000\text{MHz}$

22.7 タイミング図

22.7.1 サイクリックモード時のイミディエイトロードリクエスト

サイクリックモード時にイミディエイトロードリクエストを行い、即時にロード値を反映した場合のタイミングチャートを下記に示します。カウンタのイネーブルサイクルをプリスケラにて 1/3 に設定しています。

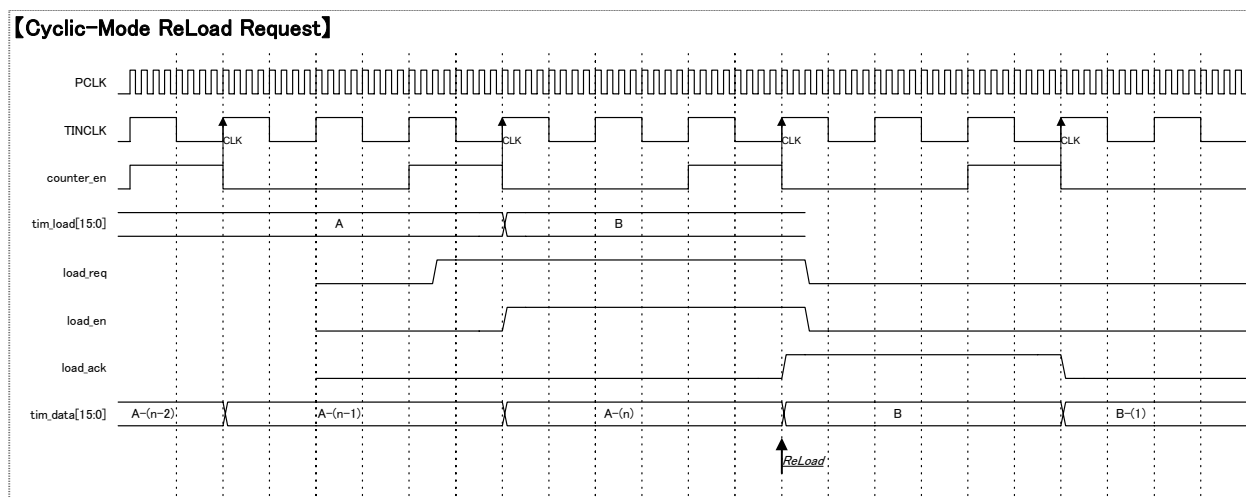


図 22.2 サイクリックモード時のイミディエイトロードリクエスト

22.7.2 サイクリックモード時の通常リロード

サイクリックモード時にイミディエイトロードリクエストを行わず、カウンタ出力がすべて“0”になったときにリロードする通常の循環カウントダウンのタイミングチャートと割り込みの発生を、分周なしの場合のタイミングで下記に記します。

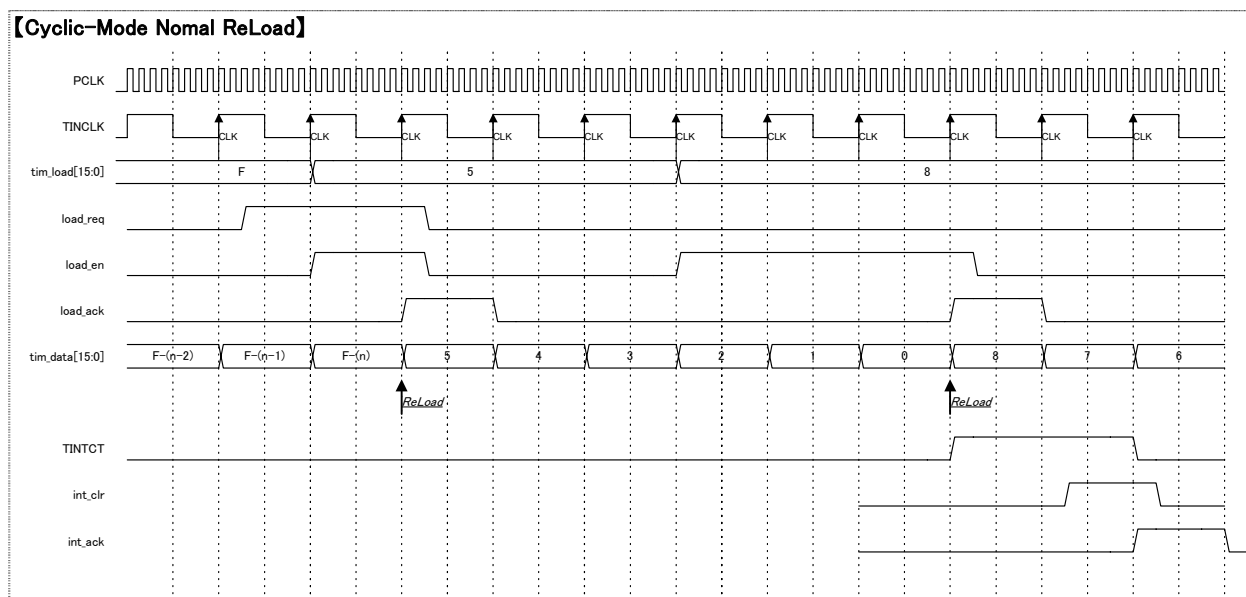


図 22.3 サイクリックモード時の通常リロード

22. タイマ A (TIMA)

22.7.3 シングルモード時の通常リロード

シングルモード時にカウンタ出力がすべて“0”になった場合の割り込みの発生と、ロード値を書き込んだ場合のタイミングチャートを、分周なしの場合のタイミングで下記に記します。

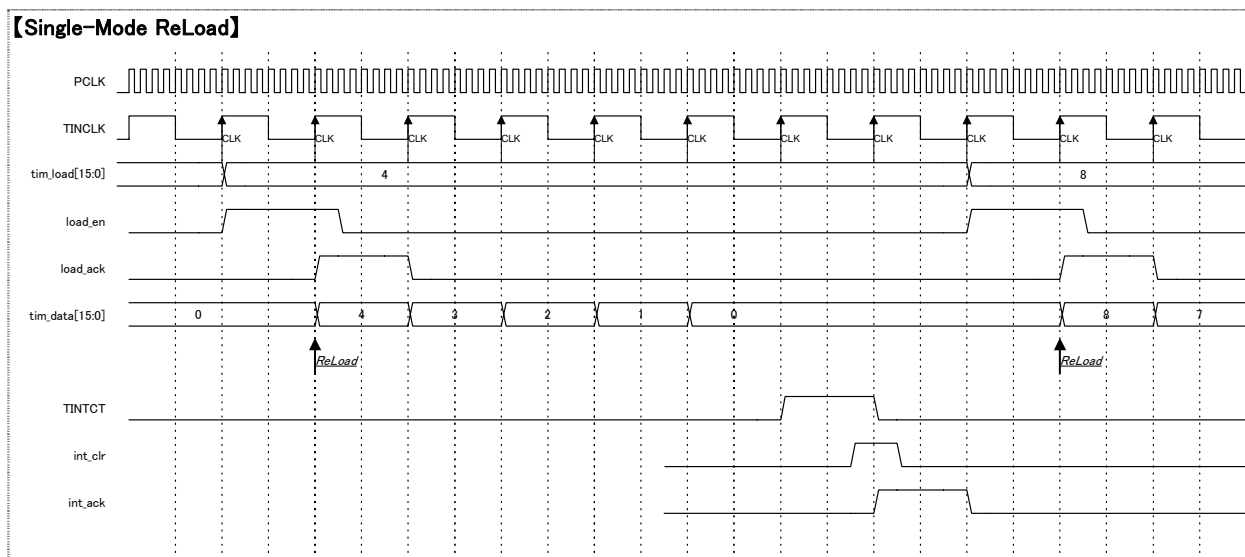


図 22.4 シングルモード時の通常リロード

22.7.4 ポート出力

アンダーフロー発生時にポート出力する場合のタイミングチャートをモードごとに記します。以下に記載している波形はすべてディバイダおよびプリスケアラの設定値をデフォルト（1/1）にしたものです。

（１）アンダーフロー発生時に出力値（bit0）を出力（出力モード＝“00”）

アンダーフローが発生すると、ポート出力制御レジスタの Bit 0（出力値ビット）の値を保持しながら出力します。

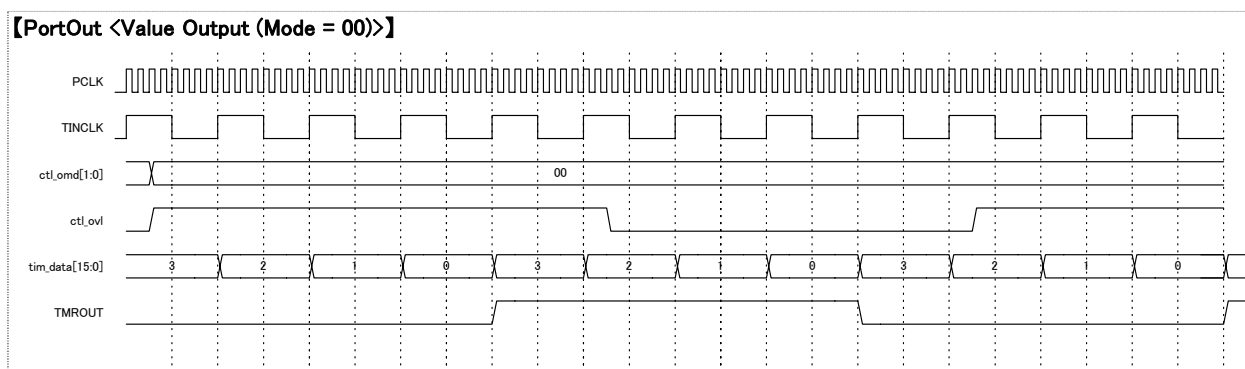


図 22.5 アンダーフロー発生時の出力（出力値）

(2) アンダーフローを出力 (出力モード = “01”)

アンダーフローが発生するたびにアンダーフロー自身を出力します。

TMROUT のアンダーフローのパルス幅はダウンカウン트의データ幅と同じです。カウント値が “0” から Load 値 (図中では “3”) になるタイミングでアンダーフローが出力されます。

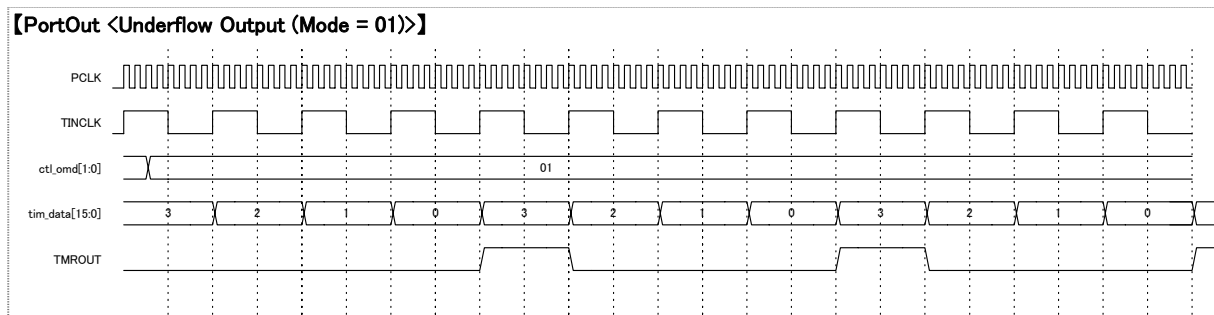


図 22.6 アンダーフロー発生時の出力 (アンダーフロー出力)

(3) アンダーフロー発生時にトグル出力 (出力モード = “10”)

アンダーフローが発生するたびに、信号を反転させながら出力します。

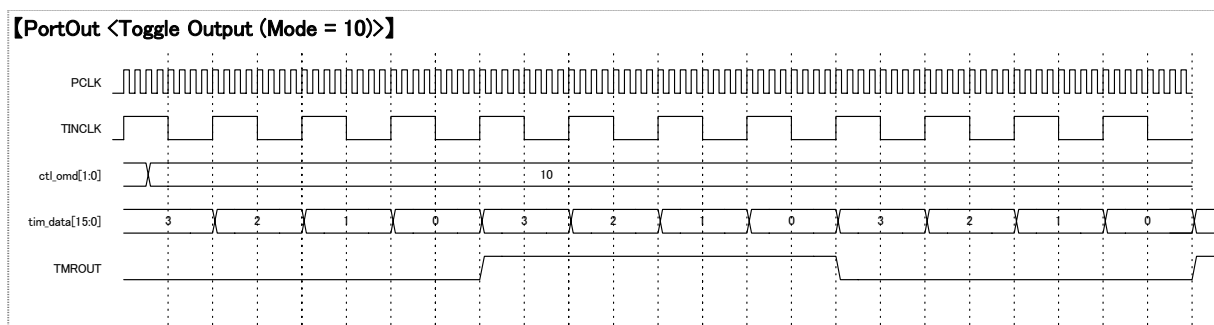


図 22.7 アンダーフロー発生時の出力 (トグル出力)

23. タイマ B (TIMB)

23. タイマ B (TIMB)

23.1 概要

タイマBは、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。また、外部入力パルスによりイベントカウンタとして動作させることが可能なほか、タイマカウンタと 4 本の common レジスタのコンペア信号により任意のデューティ比パルス出力を実現できる多機能タイマです。

23.2 特徴

- ・ カウンタ入力クロック：
外部クロックまたは内部システムクロックの 1/16～1/2048
- ・ 最大 4 本のパルス出力処理が可能
- ・ common レジスタ：4 本
それぞれをアウトプットレジスタまたはインプットキャプチャレジスタとして設定可能
- ・ タイマ入出力機能：
アウトプットコンペア：0 出力/1 出力/トグル出力が可能
インプットキャプチャ：立ち上がりエッジ/立ち下がりエッジ/両エッジを検出可能
PWM 出力が可能
- ・ インプットキャプチャ動作時は、現在のカウント値と一つ前のカウント値を保持
- ・ 外部入力パルスによるイベントカウンタ動作が可能
- ・ 5 種類の割り込み要因：
コンペアマッチ/インプットキャプチャ兼用割り込み x4 要因、オーバーフロー割り込み

23.3 ブロック図

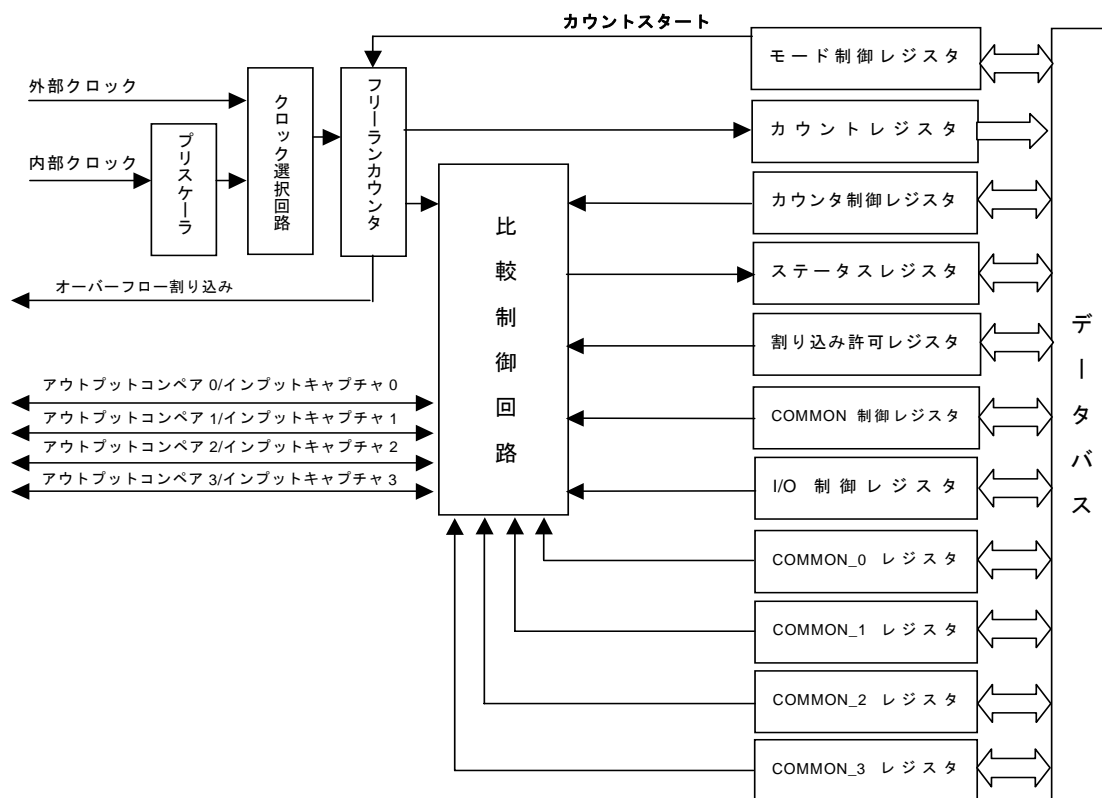


図 23.1 タイマ B ブロック図

23.4 外部端子

タイマ B 関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子*/備考
TimerBIn	入力	外部クロック入力端子	GPIOB7
TimerB0IO	入出力	common_0 レジスタ : アウトプットコンペア出力/インプットキャ プチャ入力端子	GPIOC0
TimerB1IO	入出力	common_1 レジスタ : アウトプットコンペア出力/インプットキャ プチャ入力端子	GPIOC1
TimerB2IO	入出力	common_2 レジスタ : アウトプットコンペア出力/インプットキャ プチャ入力端子	GPIOC2
TimerB3io	入出力	common_3 レジスタ : アウトプットコンペア出力/インプットキャ プチャ入力端子	GPIOC3/ UART3_CLK

注意(*) : タイマ B 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

23.5 レジスタ

23.5.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFFD_3000 です。

表 23.1 レジスタ一覧（ベースアドレス : 0xFFFFD_3000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データアクセスサ イズ
0x00	タイマ B モード制御レジスタ	TIMBMDC	0x0000	R/W	16 (/32)
0x04	タイマ B カウンタ制御レジスタ	TIMBCNTC	0x0000	R/W	16 (/32)
0x08	タイマ B ステータスレジスタ	TIMBSTS	0x0000	R/W	16 (/32)
0x0C	タイマ B 割り込み許可レジスタ	TIMBINTEN	0x0000	R/W	16 (/32)
0x10	タイマ B カウントレジスタ	TIMBCNT	0x0000	R/W	16 (/32)
0x14	タイマ B COMMON 制御レジスタ	TIMBCOMC	0x0000	R/W	16 (/32)
0x18	タイマ B I/O 制御レジスタ	TIMBIO	0x0000	R/W	16 (/32)
0x1C	タイマ B 周期レジスタ	TIMBDUTY	0x0000	R/W	16 (/32)
0x20	タイマ B COMMON_0 レジスタ	TIMBCOM0	0x0000	R/W	16 (/32)
0x24	タイマ B COMMON_1 レジスタ	TIMBCOM1	0x0000	R/W	16 (/32)
0x28	タイマ B COMMON_2 レジスタ	TIMBCOM2	0x0000	R/W	16 (/32)
0x2C	タイマ B COMMON_3 レジスタ	TIMBCOM3	0x0000	R/W	16 (/32)
0x30	タイマ B COMINP_0 レジスタ	TIMBINP0	0x0000	RO	16 (/32)
0x34	タイマ B COMINP_1 レジスタ	TIMBINP1	0x0000	RO	16 (/32)
0x38	タイマ B COMINP_2 レジスタ	TIMBINP2	0x0000	RO	16 (/32)
0x3C	タイマ B COMINP_3 レジスタ	TIMBINP3	0x0000	RO	16 (/32)

23. タイマ B (TIMB)

23.5.2 レジスタ詳細説明

タイマ B モード制御レジスタ (TIMBMDC)							
TIMB[0x00] 初期値 = 0x0000				Read/Write			
clr_B3o 15	clr_B2o 14	clr_B1o 13	clr_B0o 12	set_B3o 11	set_B2o 10	set_B1o 9	set_B0o 8
Reserved				B3pwm 3	B2pwm 2	B1pwm 1	B0pwm 0
7	6	5	4				

- Bit 15 : **clr_B3o タイマ出力 3 強制クリア**
(W) 1 : TimerB3io 出力を強制的に Low にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB3io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 14 : **clr_B2o タイマ出力 2 強制クリア**
(W) 1 : TimerB2io 出力を強制的に Low にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB2io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 13 : **clr_B1o タイマ出力 1 強制クリア**
(W) 1 : TimerB1io 出力を強制的に Low にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB1io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 12 : **clr_B0o タイマ出力 0 強制クリア**
(W) 1 : TimerB0io 出力を強制的に Low にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB0io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 11 : **set_B3o タイマ出力 3 強制セット**
(W) 1 : TimerB3io 出力を強制的に High にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB3io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 10 : **set_B2o タイマ出力 2 強制セット**
(W) 1 : TimerB2io 出力を強制的に High にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB2io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 9 : **set_B1o タイマ出力 1 強制セット**
(W) 1 : TimerB1io 出力を強制的に High にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB1io の出力状態を表します (インプットキャプチャ時は無効)
- Bit 8 : **set_B0o タイマ出力 0 強制セット**
(W) 1 : TimerB0io 出力を強制的に High にします (インプットキャプチャ時は無効)
0 : 無効
(R) : 現在の TimerB0io の出力状態を表します (インプットキャプチャ時は無効)
- Bits [7 : 4] : **Reserved**
- Bits 3 : **B3pwm PWM モード 3 (TimerB3io 出力)**
0 : アウトプットコンペア出力
1 : PWM 出力
- Bits 2 : **B2pwm PWM モード 2 (TimerB2io 出力)**
0 : アウトプットコンペア出力
1 : PWM 出力

Bits 1 : **B1pwm PWM モード 1 (TimerB1io 出力)**
 0 : アウトプットコンペア出力
 1 : PWM 出力

Bits 0 : **B0pwm PWM モード 0 (TimerB0io 出力)**
 0 : アウトプットコンペア出力
 1 : PWM 出力

タイマ B カウンタ制御レジスタ (TIMBCNTC)							
TIMB[0x04] 初期値 = 0x0000				Read/Write			
BcntTST 15	14	13	12	11	10	9	8
Reserved				Bclksel			
BcntCLR 7	6	5	4	3	2	1	BcntST 0
Reserved							

Bits 15 : **BcntTST カウンタテストモード (Reserved)**
 1 を書き込まないで下さい。

Bits [14:12] : **Reserved**

Bits [11 : 8] : **Bclksel クロックセレクト※**
 0000 : 内部システムクロックの 16 分周
 0001 : 内部システムクロックの 32 分周
 0010 : 内部システムクロックの 64 分周
 0011 : 内部システムクロックの 128 分周
 0100 : 内部システムクロックの 256 分周
 0101 : 内部システムクロックの 512 分周
 0110 : 内部システムクロックの 1024 分周
 0111 : 内部システムクロックの 2048 分周
 1xxx : 外部クロック

※ 内部システムクロックからの分周比はシステムコントローラで行われる 8 分周を含みます

Bits 7 : **BcntCLR カウントモード設定**
 0 : フリーランカウンタとして動作 (0xFFFF までカウントアップし、0x0000 に戻る)
 1 : 周期カウンタとして動作 (周期レジスタ TIMBDUTY までカウントアップし、0x0000 に戻る)

Bits [6:1] : **Reserved**

Bits 0 : **BcntST カウンタスタート**
 0 : タイマカウント停止
 1 : タイマカウント動作

23. タイマ B (TIMB)

タイマ B ステータスレジスタ (TIMBSTS)							
TIMB[0x08] 初期値 = 0x0000						Read/Write	
Reserved						Bmatch	Bovf
15	14	13	12	11	10	9	8
Reserved				B3sts	B2sts	B1sts	B0sts
7	6	5	4	3	2	1	0

Bits [15 : 10] : **Reserved**

Bits 9 : **Bmatch 周期レジスタコンペアマッチステータス**

(R) 1 : 周期レジスタの値とタイマカウンタ値が一致したとき。

(R) 0 : カウンタの一致はありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

Bits 8 : **Bovf オーバーフロー**

(R) 1 : タイマカウンタが H'FFFF から H'0000 にオーバーフローしたとき

(R) 0 : オーバーフローはありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

Bits [7 : 4] : **Reserved**

Bits 3 : **B3sts TimerB3io インพุットキャプチャ/コンペアマッチステータス**

(R) 1 : アウトプットコンペア設定でカウンタ値と一致したとき。

インพุットキャプチャ設定でカウンタ値が TIMBCOM3 に転送されたとき。

(R) 0 : ステータスフラグの割り込みはありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

Bits 2 : **B2sts TimerB2io インพุットキャプチャ/コンペアマッチステータス**

(R) 1 : アウトプットコンペア設定でカウンタ値と一致したとき。

インพุットキャプチャ設定でカウンタ値が TIMBCOM2 に転送されたとき。

(R) 0 : ステータスフラグの割り込みはありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

Bits 1 : **B1sts TimerB1io インพุットキャプチャ/コンペアマッチステータス**

(R) 1 : アウトプットコンペア設定でカウンタ値と一致したとき。

インพุットキャプチャ設定でカウンタ値が TIMBCOM1 に転送されたとき。

(R) 0 : ステータスフラグの割り込みはありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

Bits 0 : **B0sts TimerB0io インพุットキャプチャ/コンペアマッチステータス**

(R) 1 : アウトプットコンペア設定でカウンタ値と一致したとき。

インพุットキャプチャ設定でカウンタ値が TIMBCOM0 に転送されたとき。

(R) 0 : ステータスフラグの割り込みはありません。

(W) 1 : ステータスレジスタのクリア

(W) 0 : 無効

タイマ B 割り込み許可レジスタ (TMBINTEN)							
TIMB[0x0C]				初期値 = 0x0000			
Reserved						BmatchEN	BovfEN
15	14	13	12	11	10	9	8
reserved				B3intEN	B2intEN	B1intEN	B0intEN
7	6	5	4	3	2	1	0

Bits [15 : 10] : **Reserved**

Bits 9 : **BmatchEN 周期レジスタコンペアマッチ割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

Bits 8 : **BovfEN TimerBovf オーバーフロー割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

Bits [7 : 4] : **Reserved**

Bits 3 : **B3intEN TimerB3io インพุットキャプチャ/コンペアマッチ割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

Bits 2 : **B2intEN TimerB2io インพุットキャプチャ/コンペアマッチ割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

Bits 1 : **B1intEN TimerB1io インพุットキャプチャ/コンペアマッチ割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

Bits 0 : **B0intEN TimerB0io インพุットキャプチャ/コンペアマッチ割り込み制御フラグ**

- 1 : 割り込み許可
- 0 : 割り込み禁止

タイマ B カウントレジスタ (TIMBCNT)							
TIMB[0x10]		初期値 = 0x0000					Read/Write
Bcount [15:8]							
15	14	13	12	11	10	9	8
Bcount [7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **Bcount カレントカウント値ビット[15:0]**

タイマ B の現在のカウント値が読み出せます。
タイマカウントが停止中 (BcntST が 0) のときは、カウント値を任意の値に設定できます。

23. タイマ B (TIMB)

タイマ B COMMON 制御レジスタ (TIMBCOMC)								
TIMB[0x14]				初期値 = 0x0000				Read/Write
Reserved								
15	14	13	12	11	10	9	8	
Reserved				B3comFUNC	B2comFUNC	B1comFUNC	B0comFUNC	
7	6	5	4	3	2	1	0	

Bits [15:4] : **Reserved**

Bits 3 : **B3comFUNC TIMBCOM3 の機能選択**
 0 : アウトプットコンペアレジスタとして機能
 1 : インプットキャプチャレジスタとして機能

Bits 2 : **B2comFUNC TIMBCOM2 の機能選択**
 0 : アウトプットコンペアレジスタとして機能
 1 : インプットキャプチャレジスタとして機能

Bits 1 : **B1comFUNC TIMBCOM1 の機能選択**
 0 : アウトプットコンペアレジスタとして機能
 1 : インプットキャプチャレジスタとして機能

Bits 0 : **B0comFUNC TIMBCOM0 の機能選択**
 0 : アウトプットコンペアレジスタとして機能
 1 : インプットキャプチャレジスタとして機能

タイマ B I/O 制御レジスタ (TIMBIO)							
TIMB[0x18]				初期値 = 0x0000			
Read/Write							
Reserved[15:8]							
15	14	13	12	11	10	9	8
B3comIO		B2comIO		B1comIO		B0comIO	
7	6	5	4	3	2	1	0

Bits [15:8] : **Reserved**

Bits [7:6] : **B3comIO**
 TIMBCOM3 がアウトプットコンペアレジスタ機能の場合
 00 : コンペアマッチによる端子出力禁止
 01 : コンペアマッチで TimerB3io に 0 出力
 10 : コンペアマッチで TimerB3io に 1 出力
 11 : コンペアマッチで TimerB3io に トグル出力
 TIMBCOM3 がインプットキャプチャレジスタ機能の場合
 00 : TimerB3io の立ち上がりエッジで TIMBCOM3 にインプットキャプチャ
 01 : TimerB3io の立ち下がりエッジで TIMBCOM3 にインプットキャプチャ
 10 : TimerB3io の両エッジで TIMBCOM3 にインプットキャプチャ
 11 : Reserved

Bits [5:4] :

B2comIO

TIMBCOM2 がアウトプットコンペアレジスタ機能の場合

- 00 : コンペアマッチによる端子出力禁止
- 01 : コンペアマッチで TimerB2io に 0 出力
- 10 : コンペアマッチで TimerB2io に 1 出力
- 11 : コンペアマッチで TimerB2io にトグル出力

TIMBCOM2 がインプットキャプチャレジスタ機能の場合

- 00 : TimerB2io の立ち上がりエッジで TIMBCOM2 にインプットキャプチャ
- 01 : TimerB2io の立ち下がりエッジで TIMBCOM2 にインプットキャプチャ
- 10 : TimerB2io の両エッジで TIMBCOM2 にインプットキャプチャ
- 11 : Reserved

Bits [3:2] :

B1comIO

TIMBCOM1 がアウトプットコンペアレジスタ機能の場合

- 00 : コンペアマッチによる端子出力禁止
- 01 : コンペアマッチで TimerB1io に 0 出力
- 10 : コンペアマッチで TimerB1io に 1 出力
- 11 : コンペアマッチで TimerB1io にトグル出力

TIMBCOM1 がインプットキャプチャレジスタ機能の場合

- 00 : TimerB1io の立ち上がりエッジで TIMBCOM1 にインプットキャプチャ
- 01 : TimerB1io の立ち下がりエッジで TIMBCOM1 にインプットキャプチャ
- 10 : TimerB1io の両エッジで TIMBCOM1 にインプットキャプチャ
- 11 : Reserved

Bits [1:0] :

B0comIO

TIMBCOM0 がアウトプットコンペアレジスタ機能の場合

- 00 : コンペアマッチによる端子出力禁止
- 01 : コンペアマッチで TimerB0io に 0 出力
- 10 : コンペアマッチで TimerB0io に 1 出力
- 11 : コンペアマッチで TimerB0io にトグル出力

TIMBCOM0 がインプットキャプチャレジスタ機能の場合

- 00 : TimerB0io の立ち上がりエッジで TIMBCOM0 にインプットキャプチャ
- 01 : TimerB0io の立ち下がりエッジで TIMBCOM0 にインプットキャプチャ
- 10 : TimerB0io の両エッジで TIMBCOM0 にインプットキャプチャ
- 11 : Reserved

タイマ B 周期レジスタ (TIMBDUTY)								
TIMB[0x1C]				初期値 = 0x0000				Read/Write
				Bduty[15:8]				
15	14	13	12	11	10	9	8	
				Bduty [7:0]				
7	6	5	4	3	2	1	0	

Bits [15:0] :

Bduty デューティレジスタ

周期カウントモードにおける周期カウント値を設定します。

23. タイマ B (TIMB)

タイマ B COMMON_0 レジスタ (TIMBCOM0)							
TIMB[0x20] 初期値 = 0x0000							
Read/Write							
B0com[15:8]							
15	14	13	12	11	10	9	8
B0com[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B0com COMMON_0 レジスタ**
アウトプットコンペアモード時のカウンタ値を設定します。
インプットキャプチャモード時は、一つ前の B0inp の内容が保持されます。

タイマ B COMMON_1 レジスタ (TIMBCOM1)							
TIMB[0x24] 初期値 = 0x0000							
Read/Write							
B1com[15:8]							
15	14	13	12	11	10	9	8
B1com[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B1com COMMON_1 レジスタ**
アウトプットコンペアモード時のカウンタ値を設定します。
インプットキャプチャモード時は、一つ前の B1inp の内容が保持されます。

タイマ B COMMON_2 レジスタ (TIMBCOM2)							
TIMB[0x28] 初期値 = 0x0000							
Read/Write							
B2com[15:8]							
15	14	13	12	11	10	9	8
B2com[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B2com COMMON_2 レジスタ**
アウトプットコンペアモード時のカウンタ値を設定します。
インプットキャプチャモード時は、一つ前の B2inp の内容が保持されます。

タイマ B COMMON_3 レジスタ (TIMBCOM3)							
TIMB[0x2C] 初期値 = 0x0000							
Read/Write							
B3com[15:8]							
15	14	13	12	11	10	9	8
B3com[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B3com COMMON_3 レジスタ**
アウトプットコンペアモード時のカウンタ値を設定します。
インプットキャプチャモード時は、一つ前の B3inp の内容が保持されます。

タイマ B COMINP_0 レジスタ (TIMBINP0)							
TIMB[0x30] 初期値 = 0x0000							
Read Only							
B0inp[15:8]							
15	14	13	12	11	10	9	8
B0inp[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B0inp COMINP_0 レジスタ**
 インプットキャプチャモード時にカウンタ値が入力されます。

タイマ B COMINP_1 レジスタ (TIMBINP1)							
TIMB[0x34] 初期値 = 0x0000							
Read Only							
B1inp[15:8]							
15	14	13	12	11	10	9	8
B1inp[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B1inp COMINP_1 レジスタ**
 インプットキャプチャモード時にカウンタ値が入力されます。

タイマ B COMINP_2 レジスタ (TIMBINP2)							
TIMB[0x38] 初期値 = 0x0000							
Read Only							
B2inp[15:8]							
15	14	13	12	11	10	9	8
B2inp[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B2inp COMINP_2 レジスタ**
 インプットキャプチャモード時にカウンタ値が入力されます。

タイマ B COMINP_3 レジスタ (TIMBINP3)							
TIMB[0x3C] 初期値 = 0x0000							
Read Only							
B3inp[15:8]							
15	14	13	12	11	10	9	8
B3inp[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **B3inp COMINP_3 レジスタ**
 インプットキャプチャモード時にカウンタ値が入力されます。

23. タイマ B (TIMB)

23.6 動作説明

23.6.1 カウント動作

タイマカウンタの動作は、16 ビットアップカウンタを使ったフリーランニングカウント動作または周期カウント動作の 2 種類になります。

(1) フリーランニングカウント動作

カウンタ制御レジスタ(TIMBCNTC)のカウントモード設定ビット (Bits[7]) を 0 に、カウンタスタートビット(Bits[0])を 1 にセットするとフリーランニングカウント動作を開始します。カウンタクロックは、カウンタ制御レジスタ (TIMBCNTC) のクロックセレクトビット(Bits[3:1])の値により内蔵プリスケアラで分周されます。カウンタが H'FFFF から H'0000 にオーバーフローすると、ステータスレジスタ(TIMBSTS)のオーバーフロービット (Bovf Bits[8]) に 1 がセットされ、割り込み許可レジスタ(TIMBINTEN)のオーバーフロー制御フラグ(Bits[8])が割り込み許可設定になっていれば割り込み要求(TimerBovf)が発生します。割り込み要求(Bovf)クリアはソフトウェアによりおこないます。フリーランニングカウント動作を図に示します。

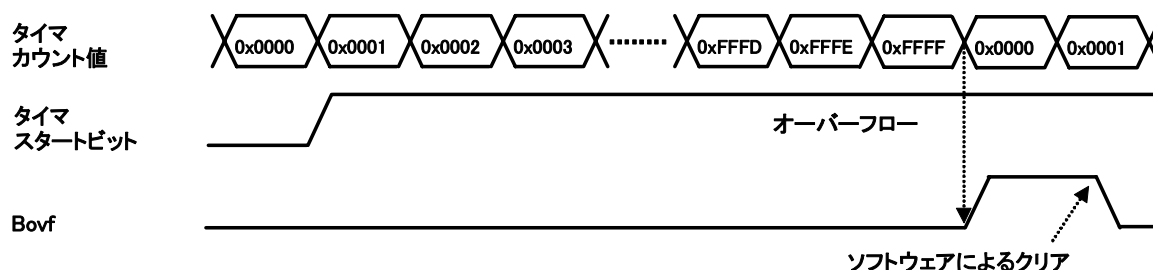


図 23.2 フリーランニングカウント動作

(2) 周期カウント動作

カウンタ制御レジスタ(TIMBCNTC)のカウントモード設定ビット(Bits[7])に 1 をセットすると、周期レジスタの値で周期カウント動作をおこないます。カウンタの値が周期レジスタの値と一致するとタイマカウンタはH'0000 にクリアされ、ステータスレジスタ(TIMBSTS)の周期レジスタコンペアマッチ(Bits[9])に 1 がセットされ、割り込み許可レジスタ(TIMBINTEN)の周期レジスタコンペアマッチ割り込み制御フラグ(Bits[9])が割り込み許可設定になっていれば割り込み要求(TimerBovf)が発生します。割り込み要求(Bmatch)クリアはソフトウェアによりおこないます。周期レジスタの値がH'12FFの場合の周期カウント動作を図に示します。

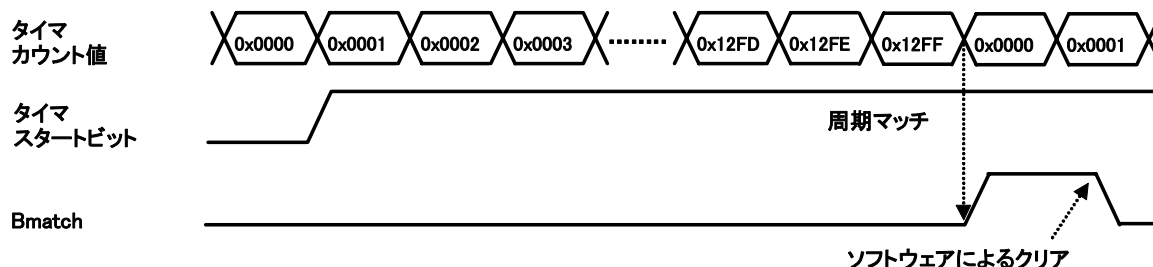


図 23.3 周期カウント動作 (周期レジスタの値が H'12FF の場合)

23.6.2 タイマ入出力機能

タイマ B は、入出力機能として以下の 3 つのモードを持っています。各モードは端子 (TimerB0/1/2/3io) 毎に設定することが可能です。

- アウトプットコンペア
- PWM 出力
- インプットキャプチャ

(1) アウトプットコンペア動作

COMMON 制御レジスタ (TIMBCOM) の TimerB0io、TimerB1io、TimerB2io、TimerB3io の機能選択をアウトプットコンペアレジスタに設定し、I/O 制御レジスタ (TIMBIO) の機能選択をおこなうことにより、TimerB0io、TimerB1io、TimerB3io 端子から 0 出力/1 出力/トグル出力をおこなうことができます。

タイマカウンタをフリーランニング動作させ、COMMON_0 レジスタの値を H'AAAA、COMMON_1 レジスタの値を H'BBBB、COMMON_2 レジスタの値を H'AAAA に設定し、TimerB0io を 1 出力、TimerB1io を 0 出力、TimerB2io をトグル出力にした場合の動作を図 23.4 に示します。

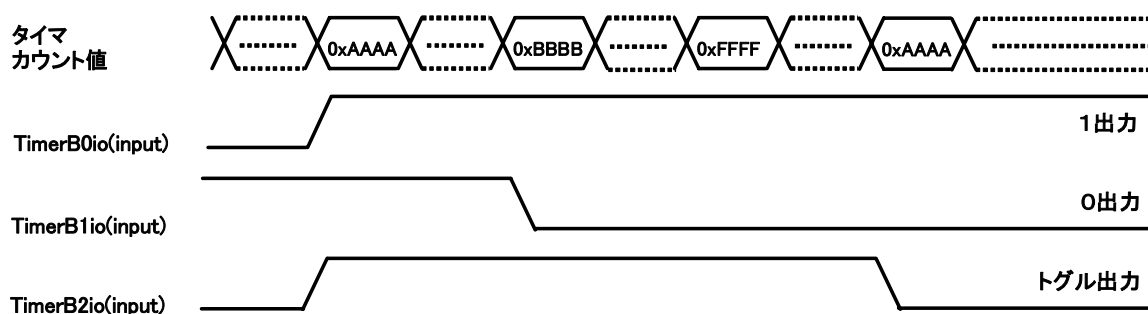


図 23.4 出力の設定

TimerB*io の出力変化に関わらず、COMMON レジスタとカウンタ値が一致すると B*sts の割込み要因が発生します。

23. タイマ B (TIMB)

(2) PWM 動作

PWM モードは、周期レジスタ(TIMBDUTY)に対する COMMON レジスタ (TIMBCOM0、TIMBCOM1、TIMBCOM2、TIMBCOM3) の値により TimerB0io、TimerB1io、TimerB2io、TimerB3io 出力端子よりそれぞれの PWM 波形を出力します。最大 4 相の PWM 出力が可能です。モード制御レジスタ(TIMBMDC)で PWM モード出力機能(Bits[3:0])を選択した場合、選択された COMMON レジスタは PWM のコンペアレジスタとして機能します。周期レジスタ(TIMBDUTY)と COMMON レジスタの値が同一の場合、コンペアマッチが発生しても出力値は変化しません。周期レジスタを H'FF00、TIMBCOM0 を H'AA00、TIMBCOM1 を H'BB00 に設定し、TimerB0io、TimerB1io の出力レベルが “High” だった場合の動作を図 23.5 に示します。

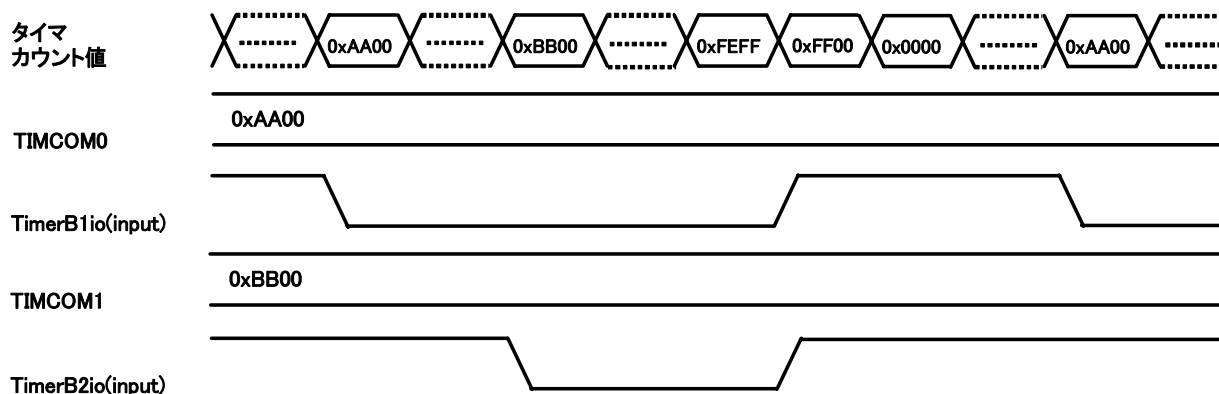


図 23.5 PWM 動作

(3) インพุットキャプチャ動作

COMMON 制御レジスタ(TIMBCOMC)の TimerB0io、TimerB1io、TimerB2io、TimerB3io の機能選択をインพุットキャプチャレジスタに設定することにより、TimerB0io、TimerB1io、TimerB2io、TimerB3io 端子の入力エッジを検出してタイマカウンタの値を COMINP_0 レジスタ、COMINP_1 レジスタ、COMINP_2 レジスタ、COMINP_3 レジスタに転送できます。また一つ前の COMINP_*レジスタの内容が、COMMON_*レジスタに退避されます。従って両レジスタの内容と、オーバーフロー割込みが発生した回数より、入力信号のエッジ間隔を正確に計算することができます。検出エッジは、I/O 制御レジスタ(TIMBIO)の機能を設定することにより、立ち上がり/立下り/両エッジを選択できます。これらの機能を使って、パルス幅や周期の測定をおこなうことができます。

タイマカウンタをフリーランニング動作に設定し、TimerB0ioのインพุットキャプチャ機能を両エッジ、TimerB1ioのインพุットキャプチャ機能を立ち上がりエッジに設定した場合の動作を図に示します。

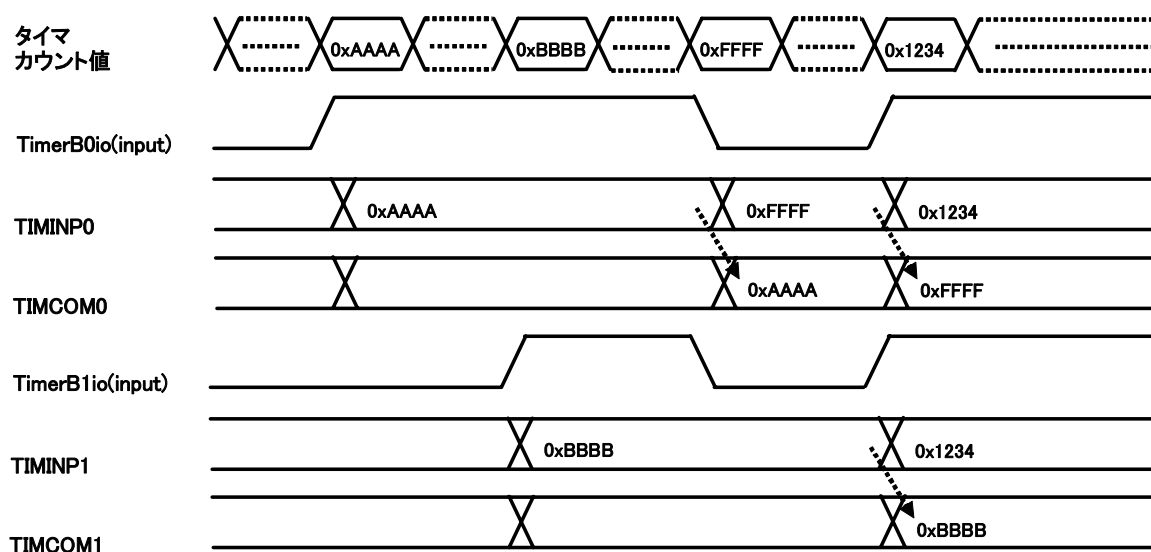


図 23.6 動作設定

24. リアルタイムクロック (RTC)

24. リアルタイムクロック (RTC)

24.1 概要

リアルタイムクロック (以降 RTC) は 32,768Hz を入力クロックとして、256Hz を出力するプリスケアラ、8bit の分周タイマ、秒、分、時、日、月、年 (閏年対応) カウンタにより時刻を計時し、時計やストップウォッチなどの各種の計時機能を実現します。各データはソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1秒、1分、1時間、1日のカウントアップによる割り込みを発生させることができ、周期割り込みやウェイクアップソースとして使用できます。さらに、分、時、日、月、年指定によるアラームを発生させることができ、ウェイクアップソースやアラーム機能として使用できます。RTC は 32,768Hz のクロックが動作していれば CPU および他の内蔵周辺回路がスタンバイ状態でも動作可能です。またシステムリセットによって計時に影響がでませんので、外部からリセット動作が入っても計時をつづけることができます。

メモリとして 8Byte のバックアップワーク用 RAM を内蔵しています。

RTC は消費電力低減を目的としたバックアップモードを用意しております。すべての電源が供給されている状態から、BUP#端子を“0”に、RTCVDD 以外の電源供給を止めることで実現します。このとき RTC にアクセスすることができなくなります。

24.2 ブロック図

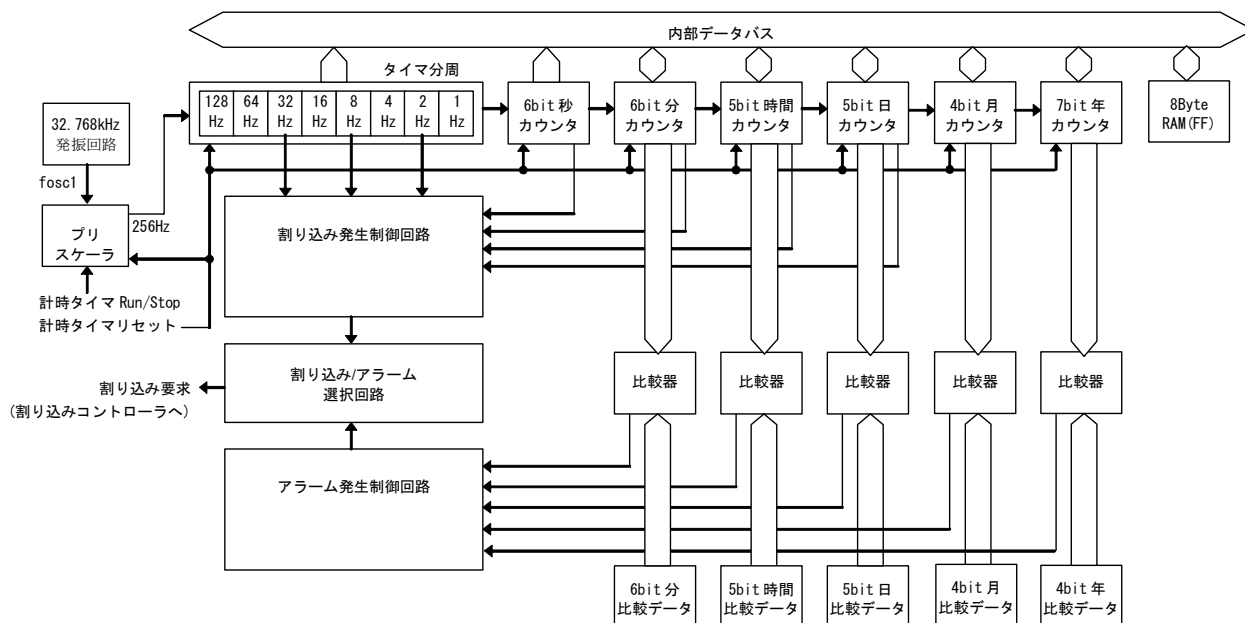


図 24.1 ブロックダイアグラム

24.3 外部端子

RTC に関連する外部端子は以下の通りです。

端子名	入出力	バス幅	端子機能	マルチプレクス端子／備考
BUP#	入力	1	スタンバイモード切替 (1.8V 端子)	
SYS_OSCI	入力	1	水晶振動子用接続端子	
SYS_OSCO	出力	1	水晶振動子用接続端子	

BUP#端子は、メイン電源(LVDD)遮断後に RTC 部分に RTC 部以外から不定状態が伝播しないようにするための端子です。LVDD 遮断前に Low に設定して下さい。本端子が Low の時は、RTC 部分にアクセスが出来ません。

24. リアルタイムクロック (RTC)

24.4 レジスタ

24.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0x FFFF_8000 です。

表 24.1 レジスタ一覧（ベースアドレス：0x FFFF_8000）

Address Offset	Register Name	Default Value	R/W	Data Access Size
0x00	RTC ラン／ストップ制御レジスタ	xxx- --xxb	R/W	8 (/16/32)
0x04	RTC 割り込みレジスタ	0x xxxx	R/W	16 (/32)
0x08	RTC タイマ分周レジスタ	xxxx xxxxb	R/(W)	8 (/16/32)
0x0C	RTC 秒カウンタレジスタ	--xx xxxxb	R/W	8 (/16/32)
0x10	RTC 分カウンタレジスタ	--xx xxxxb	R/W	8 (/16/32)
0x14	RTC 時カウンタレジスタ	---x xxxxb	R/W	8 (/16/32)
0x18	RTC 日カウンタレジスタ	---x xxxxb	R/W	8 (/16/32)
0x1C	RTC 月カウンタレジスタ	---- xxxxb	R/W	8 (/16/32)
0x20	RTC 年カウンタレジスタ	-xxx xxxxb	R/W	8 (/16/32)
0x24	RTC アラーム分コンペアレジスタ	--xx xxxxb	R/W	8 (/16/32)
0x28	RTC アラーム時コンペアレジスタ	---x xxxxb	R/W	8 (/16/32)
0x2C	RTC アラーム日コンペアレジスタ	---x xxxxb	R/W	8 (/16/32)
0x30	RTC アラーム月コンペアレジスタ	---- xxxxb	R/W	8 (/16/32)
0x34	RTC アラーム年コンペアレジスタ	-xxx xxxxb	R/W	8 (/16/32)
0x38-0x3C	N/a			
0x40	RTC テストレジスタ	---x xxxxb	R/W	8 (/16/32)
0x44	RTC プリスケアラレジスタ	-xxx xxxxb	R/(W)	8 (/16/32)
0x48	RTC テストクロックレジスタ	xxxx xxxxb	WO	8 (/16/32)
0x4C-0x5C	N/a			
0x60	RTC RAM0	xxxx xxxxb	R/W	8 (/16/32)
0x64	RTC RAM1	xxxx xxxxb	R/W	8 (/16/32)
0x68	RTC RAM2	xxxx xxxxb	R/W	8 (/16/32)
0x6c	RTC RAM3	xxxx xxxxb	R/W	8 (/16/32)
0x70	RTC RAM4	xxxx xxxxb	R/W	8 (/16/32)
0x74	RTC RAM5	xxxx xxxxb	R/W	8 (/16/32)
0x78	RTC RAM6	xxxx xxxxb	R/W	8 (/16/32)
0x7C	RTC RAM7	xxxx xxxxb	R/W	8 (/16/32)

24.4.2 レジスタ詳細説明

すべての予約ビットは、特に指定のないかぎり“0”にしてください。ソフトウェアがこれらの予約ビットを読み出しても、その値は信頼すべきではありません。

RTC ラン／ストップ制御レジスタ (8 bit)									
RTC[0x00]		初期値 = xxx- --xx b						Read/Write	
BUSY		BUSYWIDTH[1:0]		Reserved			TCADJ	TCRUN	
x		xx		-			-	x	
RO		R/W					WO	R/W	
7		6	5	4	3	2	1	Bit0	

x : 不定ビット

Bit 7 :

BUSY ビジー (リードオンリ)

従前機種においてはこのビットが“1”の時は RTC 内部の時刻レジスタのアップデートサイクル中のため、正しいデータが読み出される事の保証はありませんでしたが、S2S65A30 ではこのビットが“1”の時にも値を読み出すことができます。従前機種との間でソフトウェアに互換性を持たせる場合にはこのビットが“1”の場合の値は破棄し、“0”になるまで待ってください。

このビットはRTCラン／ストップ制御レジスタ Bits [6:5] (BUSYWIDTH) で設定された期間の間、“1”となります。この期間中は正しく動作しなくなる可能性がありますので時刻およびアラームの設定は行わないで下さい。

Bits [6:5] :

BUSYWIDTH ビジー間隔

ビジー期間の間隔を設定します。

00 : 約 244 μ s

01 : 約 122 μ s

10 : 約 61 μ s

11 : 予約

このビットはシステムリセットによって初期化されません。

正常動作を保証するため、RTC 停止中にリセット動作を行ってください。

Bits [4:2] :

Reserved 予約

Bit 1 :

TCADJ RTC アジャスト (ライトオンリ)

0 : ノーマルモード

このビットを読み出すと、常に“0”になります。

1 : アジャスト RTC カウンタ

このビットに 1 を、RTC ラン／ストップ制御レジスタのビット 0 に“0”を同時に書くことではプリスケラカウンタと 128-1Hz カウンタのみリセットします。

RTC が動作中の場合、アジャスト動作は無効となります。

Bit 0 :

TCRUN

読み出し

0 : RTC 停止中

1 : RTC 動作中

書き込み

0 : RTC を停止

1 : RTC を動作開始

32KHz クロックとの同期を取るために、約 30～61 μ s 遅延した後に動作／停止します。

24. リアルタイムクロック (RTC)

RTC 割り込みレジスタ (16 bit)							
RTC[0x04] 初期値 = 0xXXXX				Read/Write			
-	-	Reserved	-	-	x	TCISE[2:0]	x
15	14	13	12	11	R/W	R/W	R/W
10	9	8					
Reserved	TCASE[4:0]				TCIF	TCAF	
-	x	x	x	x	x	x	x
7	R/W	R/W	R/W	R/W	R/W	R/W	R/W
6	5	4	3	2	1	0	

x : 不定ビット

Bits [15:11] : **Reserved 予約**

Bits [10:8] : **TCISE[2:0] 割り込みソースイネーブルビットの選択ビット**

- 000 : “32Hz” からのキャリイ (1/32 秒に 1 回)
- 001 : “8Hz” からのキャリイ (1/8 秒に 1 回)
- 010 : “2Hz” からのキャリイ (1/2 秒に 1 回)
- 011 : “1Hz” からのキャリイ (1 秒に 1 回)
- 100 : “1 分” からのキャリイ (1 分に 1 回)
- 101 : “1 時間” からのキャリイ (1 時間に 1 回)
- 110 : “日” からのキャリイ (1 日に 1 回)
- 111 : 割り込みソースなし (初期値)

キャリイの変化を割り込みソースとしているため、割り込みが発生するのは指定された間隔に対して 1 回です。

Bits [6:2] : **TCASE[4:0] RTC アラームソース選択ビット**

- 00000 : アラームなし (初期値)
- xxxx1 : 分アラームイネーブル
- xxx1x : 時アラームイネーブル
- xx1xx : 日アラームイネーブル
- x1xxx : 月アラームイネーブル
- 1xxxx : 年アラームイネーブル

“1” に設定されたアラームソースのカウンタがアラームコンペアレジスタと一致したときに割り込みが発生します。複数のソースをイネーブルにした場合は、そのいずれもがアラームコンペアレジスタと一致しているときに割り込みが発生します。

この割り込みは設定された各アラームソースの値が変化し、アラームコンペアと一致した瞬間に発生されます。従前機種においては時間と日のアラームをセットし割り込みが発生した際に、割り込みが発生してから 1 時間の間は、同じアラームソースの設定を行うとアラームの設定をした直後に割り込みが発生してしまいましたが、S2S65A30 においては各アラームソースが変化した瞬間のみ割り込みが発生します。

Bit 1 : **TCIF RTC タイマからの割り込み要求フラグ**

読み出し

- 0 : ペンディング中の割り込みなし
- 1 : RTC タイマからの未処理の割り込み要求あり

書き込み

- 0 : N/A
- 1 : RTC タイマからの割り込み要求をクリア

Bit 0 : **TCAF アラームからの割り込み要求フラグ**

読み出し

- 0 : ペンディング中の割り込みなし
- 1 : アラームからの未処理の割り込み要求あり

書き込み

- 0 : N/A
- 1 : アラームからの割り込み要求をクリア

24. リアルタイムクロック (RTC)

RTC タイマ分周レジスタ (8 bit)							
RTC[0x008]		初期値 = xxxx xxxx b					
		TCD[7:0]					
x	x	x	x	x	x	x	x
R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)
7	6	5	4	3	2	1	0

x : 不定ビット

Bit 7 :	TCD7: 1Hz インジケータ	1: High, 0: Low
Bit 6 :	TCD6: 2Hz インジケータ	1: High, 0: Low
Bit 5 :	TCD5: 4Hz インジケータ	1: High, 0: Low
Bit 4 :	TCD4: 8Hz インジケータ	1: High, 0: Low
Bit 3 :	TCD3: 16Hz インジケータ	1: High, 0: Low
Bit 2 :	TCD2: 32Hz インジケータ	1: High, 0: Low
Bit 1 :	TCD1: 64Hz インジケータ	1: High, 0: Low
Bit 0 :	TCD0: 128Hz インジケータ	1: High, 0: Low

このレジスタは RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 1 (TCADJ) を “1” に書くことで “0” にリセットされます。ソフトウェアはこのレジスタをアップカウンタとしてみなすことができます。このレジスタには 32KHz からシステムクロックに同期させる回路を内蔵していないため、複数回リードを行い同じ値になったときの値を正しい値とする必要があります。

RTC テストレジスタ (RTC[0x40]) で分周カウンタ書き込み許可モードになっているときにのみ書き込み可能になります。ハードウェアテスト用の機能であるため分周カウンタ書き込み許可モードによるこのレジスタへの書き込み動作は保証外となります。

RTC 秒カウンタレジスタ (8 bit)							
RTC[0x0C]		初期値 = --xx xxxx b					
Reserved		TCMD[5:0]					
-	-	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCMD[5:0]**

これらの 6 ビットは 0-59 秒をバイナリデータとして示します。

TCMD5=MSB, TCMD0=LSB.

59 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC 分カウンタレジスタ (8 bit)							
RTC[0x10]		初期値 = --xx xxxx					
Reserved		TCHD[5:0]					
-	-	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCHD[5:0]**

これらの 6 ビットは 0-59 分をバイナリデータとして示します。

24. リアルタイムクロック (RTC)

TCHD5=MSB, TCHD0=LSB.

59 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC 時間カウンタレジスタ (8 bit)							
RTC[0x14] 初期値 = ---x xxxx b				Read/Write			
Reserved				TCDD[4:0]			
-	-	-	x	x	x	x	x
			R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:5] : **Reserved 予約**

Bits [4:0] : **TCDD[4:0]**

これらの 5 ビットは 0-23 時間をバイナリデータとして示します。

TCDD4=MSB, TCDD0=LSB.

23 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC 日カウンタレジスタ (8 bit)							
RTC[0x18] 初期値 = ---x xxxx b				Read/Write			
Reserved				TCND [4:0]			
-	-	-	x	x	x	x	x
			R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:5] : **Reserved 予約**

Bits [4:0] : **TCND[4:0]**

この 5 ビットの日カウンタは、1-31 日をバイナリデータで示します。

TCND4 = MSB, TCND0 = LSB.

0 及び 31 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC 月カウンタレジスタ (8 bit)							
RTC[0x1C] 初期値 = ---- xxxx b				Read/Write			
Reserved				TCDD[3:0]			
-	-	-	-	x	x	x	x
				R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:4] : **Reserved 予約**

Bits [3:0] : **TCTD[3:0]**

これらの 4 ビットは 1-12 月をバイナリデータとして示します。

TCTD3=MSB, TCTD0=LSB.

0 及び 12 より大きい値を書き込んだときは、その値がそのまま反映されます。

24. リアルタイムクロック (RTC)

RTC 年カウンタレジスタ (8 bit)							
RTC[0x20] 初期値 = -xxx xxxx b							Read/Write
Reserved	TCYD[6:0]						
-	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bit 7 : **Reserved 予約**

Bits [6:0] : **TCYD[6:0]**

これらの7ビットは1-99 年をバイナリデータとして示します。

TCYD6=MSB, TCTD0=LSB.

0 及び 99 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC アラーム分コンペアレジスタ (8 bit)							
RTC[0x24] 初期値 = --xx xxxx b							Read/Write
Reserved		TCCH[5:0]					
-	-	x	x	x	x	x	x
		R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCCH[5:0]**

これらの6ビットは0-59 分をバイナリデータとして示します。

TCCH5=MSB, TCCH0=LSB.

59 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC アラーム時間コンペアレジスタ (8 bit)							
RTC[0x28] 初期値 = ---x xxxx b							Read/Write
Reserved			TCCD[4:0]				
-	-	-	x	x	x	x	x
			R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:5] : **Reserved 予約**

Bits [4:0] : **TCCD[4:0]**

これらの5ビットは0-23 時間をバイナリデータとして示します。

TCCD4=MSB, TCCD0=LSB.

23 より大きい値を書き込んだときは、その値がそのまま反映されます。

24. リアルタイムクロック (RTC)

RTC アラーム日コンペアレジスタ (8 bit)							
RTC[0x2C] 初期値 = ---- ---x xxxx xxxx b				Read/Write			
Reserved				TCCN[4:0]			
-	-	-	X	x	x	x	x
			R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [4:0] : **TCCN[4:0]**
 これらの 4 ビットは 0-31 日をバイナリデータとして示します。
 TCCN4=MSB, TCCN0=LSB.
 0 及び 31 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC アラーム月コンペアレジスタ (8 bit)							
RTC[0x30] 初期値 = ---- xxxx b				Read/Write			
Reserved				TCCT[3:0]			
-	-	-	-	x	x	x	x
				R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット (b)

Bits [7:4] : **Reserved 予約**

Bits [3:0] : **TCCT[3:0]**
 これらの 4 ビットは 0-15 月をバイナリデータとして示します。
 TCCT3=MSB, TCCT0=LSB.
 0 及び 12 より大きい値を書き込んだときは、その値がそのまま反映されます。

RTC アラーム年コンペアレジスタ (8 bit)							
RTC[0x34] 初期値 = -xxx xxxx b							Read/Write
Reserved	TCCY[6:0]						
-	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bit 7 : **Reserved 予約**

Bits [3:0] : **TCCY[6:0]**
 これらの 7 ビットは 0-127 年をバイナリデータとして示します。
 TCCY6=MSB, TCCY0=LSB.
 0 及び 99 より大きい値を書き込んだときは、その値がそのまま反映されます。

24. リアルタイムクロック (RTC)

RTC テストレジスタ (8 bit)							
RTC[0x40] 初期値 = ---x xxxx b				Read/Write			
Reserved				RTST4	RTST3	RTST2	RTST1
-				x	x	x	x
-				R/W	R/W	R/W	R/W
7	6	5		4	3	2	1
							0

x : 不定ビット

Bits [7:5] : **Reserved 予約**

Bits [4:1] : **RTST[4:1] テストモード設定**

0000 : 分周カウンタ書き込み許可モード

このモード時に分周カウンタは書き込み可能になります。

xx10 : テストクロックモード

このモード時は 32KHz クロック入力代わりに RTC テストクロックレジスタへの書き込みによって発生するパルスを使用します。

x1xx : 秒、分、時、日、年、月カウンタキャリーバイパスモード

秒、分、時、日、月、年カウンタのキャリーがクロックになります。

1xxx : 分周カウンタキャリーバイパスモード

分周カウンタのキャリーがクロックになります。

Bit 0 **RTST0 テストモード許可**

前回 “1” を書き、次に “0” を書いたときにテストモードになります。

RTC プリスケアラレジスタ (8 bit)							
RTC[0x44] 初期値 = -xxx xxxx b				Read/(Write)			
Reserved				TCP [6:0]			
-	x	x	x	x	x	x	x
	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)
7	6	5	4	3	2	1	0

x : 不定ビット

Bits 7 : **Reserved 予約**

Bits [6:0] : **TCP[6:0]**

これらの 7 ビットはプリスケアラ値を示します。

TCP8 = MSB, TCP0 = LSB.

このレジスタはシステムリセットによって初期化されません。

RTC テストレジスタで分周カウンタ書き込み許可モードになっているときにのみ書き込み可能になります。ハードウェアテスト用の機能であるため分周カウンタ書き込み許可モードによるこのレジスタへの書き込み動作は保証外となります。

RTC テストクロックレジスタ (8 bit)							
RTC[0x48] 初期値 = -xxx xxxx b				Write Only			
TSTCLK[7:0]							
x	x	x	x	x	x	x	x
WO	WO	WO	WO	WO	WO	WO	WO
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:0] : **TSTCLK[7:0] テストクロック**

24. リアルタイムクロック (RTC)

RTC テストレジスタでテストクロックモードに設定して、このレジスタに任意の値を書くとテストクロックにパルスが 1 回発生します。ハードウェアテスト用の機能であるため、このレジスタの使用は動作保証外となります。

RTC RAM0 - 7 レジスタ (8 bit)							
RTC[0x60 - 0x7C]				初期値 = xxxx xxxx b			
Read/Write							
TCRAM0[7:0]							
x	x	x	x	x	x	x	X
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット

Bits [7:0] : **TCRAM0 - 7[7:0]**
これらの 8 ビットは RAM として使用可能です。
TCRAM0-7[7]=MSB, TCRAM0-7 [0]=LSB.
またこのレジスタはシステムリセット/ADJ ビットによって初期化されません。

24.5 RTC のレジスタ設定方法

テストレジスタ、テストクロックレジスタ及びテストモードにかかわる動作は、動作保証対象外となります。また、すべてのレジスタはシステムリセットによる初期化は行われません。

24.5.1 パワーオン後の初期設定

パワーオン直後、RTC 内の全てのレジスタは不定状態です。以下の手順での初期化が必要です。

- RTC テストレジスタ (RTC[0x40]) の全てのビットに 2 度“0x00”を書きます。
- RTC が停止状態で各種設定を行いますので、RTC ラン/ストップ制御レジスタ (RTC[0x00]) のビット 0 に“0b0”を書き停止状態にします。
- RTC ラン/ストップ制御レジスタ (RTC[0x00]) のビット 0 が“0b0”であることを確認します。
(このビットが“0b0”のとき RTC は停止状態、“0b1”のとき動作状態であることを示します。
RTC は各種レジスタ設定を 32KHz 系の回路と同期させるために 30~61μs の遅延が発生しますので、確実に停止していることを確認する必要があります。RTC ラン/ストップ制御レジスタ (RTC[0x00]) のビット 0 は 32KHz 系回路側のランストップ制御信号を再度同期化していますので、同期による遅延が反映された結果になっています。)
- RTC ラン/ストップ制御レジスタ (RTC[0x00]) のビット 1-0 に“0b10”を書き、プリスケアラおよび分周タイマをリセットします。
(パワーオン時は全てのレジスタが不定状態ですので、この動作によりプリスケアラおよび分周タイマが“0”に初期化されます。ビット 1 に“0b1”を書くだけでなく、ビット 0 に“0b0”を書く必要があることに注意してください。)
- 日時の設定をする前に割り込みをディセーブルにし、フラグをクリアする必要があります。RTC 割り込みレジスタ (RTC[0x04]) に“0x0703”を書き込み、割り込みコントローラに影響を与えないようにします。
- RTC 割り込みレジスタ (RTC[0x04]) 設定後、日時の設定を行います。秒、分、時、日、月、年カウンタを設定してください。
(存在しない時刻が書き込まれた状態で下位より桁上げがあると、カウンタが誤動作しますので、正しい値を入力して下さい。)
- アラームを設定する場合は、分、時、日、月、年アラームコンペアレジスタを設定します。また、割り込みを設定する場合は RTC 割り込みレジスタ (RTC[0x04]) の周期割り込みとアラーム割り込みをそれぞれイネーブルにします。
- ワークとして実装しています 8byte RAM も初期値不定のため割り込みフラグクリア後初期化することを推奨します。
- 最後に RTC ラン/ストップ制御レジスタ (RTC[0x00]) BUSY の幅を設定します。BUSY の幅はソフトウェア処理が確実に終了できる時間より大きい値の設定を推奨します。たとえばソフトウェアが他の処理によって設定処理が停止することも含めて 100μs 以内に設定処理が終了する場合は、BUSYWIDTH を“01”(122μs) に設定します。RTC が停止状態ですので秒カウンタから BUSY

の幅設定までは順不同となります。どれから設定を行っても問題ありません。

- J) 以上の設定が終了した後、RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 0 に“0b1”を書くことで RTC をスタートさせます。30~61 μ s 後に RTC は動作を開始します。

24.5.2 動作停止、動作再開

RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 0 に“0b0”を書き、RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 0 が“0b0”になるまで待ちます (およそ 30~61 μ s)。ビット 0 が“0b0”になることで、動作停止状態となります。各カウンタの値は停止中でも保持されています。動作停止状態から動作を再開する場合、RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 0 に“0b1”を書き込むことで動作状態となります。この時保持している値からカウントを再開します。割り込み処理後、動作を再開する場合は、割り込みフラグをクリアした後で、RTC ラン／ストップ制御レジスタのビット 1-0 に“10”を書き、プリスケアラ及び分周タイマをリセット後、RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 0 に“0b1”を書き込み動作状態にします。

24.5.3 動作中の動作停止以外の再設定

RTC ラン／ストップ制御レジスタ (RTC[0x000]) のビット 0 以外、動作中にアクセスを行うと動作保証範囲外となります。特にプリスケアラ及び分周タイマのリセットを動作中にを行うと誤動作を行う可能性がありますので注意願います。

RTC 割り込みレジスタおよび分、時、日、月、年アラームコンペアレジスタは BUSY ビットが“0”のときに設定変更可能ですが、変更前に RTC の割り込みを割り込みコントローラでディゼーブルにした後で設定してください。変更後は割り込みコントローラ及び RTC の割り込みフラグをクリアした上で RTC の割り込みを割り込みコントローラでイネーブルにする必要があります。これは変更中に発生する可能性のある不要な割り込みを禁止するためです。

秒、分、時、日、月、年カウンタレジスタは BUSY ビットが“0”のときに変更可能です。秒、分、時、日、月、年カウンタレジスタへの再設定は一瞬で終わりますので、その期間中は他の周辺回路の割り込みをすべてディゼーブルにして他の処理が割り込まないようにすることで 1 回の BUSY の確認だけで再設定を済ますことができます。

24.5.4 動作中のシステムリセット後の再設定

RTC が動作状態のときにシステムリセットが発生した場合、RTC に影響はなく動作し続けます。(RTC 内の全てのレジスタはシステムリセットの影響を受けません。)

RTC は RTCVDD (1.8V : Typ.) を落とさない限り動作し続けます。

24.5.5 プログラミング上の注意事項

- パワーオン直後、RTC内の全てのレジスタは不定状態です。「24.5.1 パワーオン後の初期設定」にしたがって初期設定を行ってください。
- プリスケアラおよび分周タイマをリセットする場合は、RTC を停止させた後で、RTC ラン／ストップ制御レジスタ (RTC[0x00]) のビット 1-0 に“0b10”を書いてください。ビット 1 に“1”を書くだけでなく、ビット 0 に“0”を書く必要があります。RTC 動作中にリセット動作を行った場合、無効となります。
- 不要な割り込み発生を防止するため、割り込み要因およびアラーム要因の設定変更は、RTC の割り込みを割り込みコントローラ側でディゼーブルにした状態で行ってください。また割り込みをイネーブルに戻す前に割り込み要因フラグおよびアラーム要因フラグをクリアしてください。

25. ウォッチドッグタイマ (WDT)

25.1 概要

ウォッチドッグタイマ (WDT) はシステムの暴走を監視するためのユニットで、ソフトウェアプリセットが可能な 16 ビットダウンカウンタで構成されています。初期設定値からカウントダウンし、カウンタが“0”になると、ウォッチドッグタイマ動作選択ビット (WDT[0x08] Bit 4) の設定に従い割り込み要求またはリセット要求が発生します。ソフトウェアは周期的にプリセットデータをカウンタにロードし、カウンタが“0”にならないようにします。これで割り込みまたはリセット要求が発生した場合、プログラムが正常に実行できなかったと判断できます。

“0”になった後のカウントで、カウンタは 0xFFFF になります。カウンタの値はソフトウェアでいつでも読み出し可能です。なお、カウンタはシステムリセットあるいはウォッチドッグタイマイネーブルビット (WDT[0x08]Bit 5) への“0”書き込みによって 0xFFFF に設定されます。カウントはウォッチドッグタイマイネーブルビットを“0”に設定することで停止させることもできます。ウォッチドッグタイマは HALT モード時も動作します。

ウォッチドッグタイマのソースクロックは APB クロックです。ウォッチドッグタイマはプリスケアラを内蔵しているため、ソースクロックの分周比を制御してカウントクロックの周波数を設定することができます。

25.2 ブロック図

ウォッチドッグタイマのブロック図を以下に示します。

ウォッチドッグタイマは、レジスタブロック (read, load, control レジスタ/APB バス I/F) と 16 ビットダウンカウンタ、11 ビットダウンカウンタ内蔵のプリスケアラブロックから構成されています。

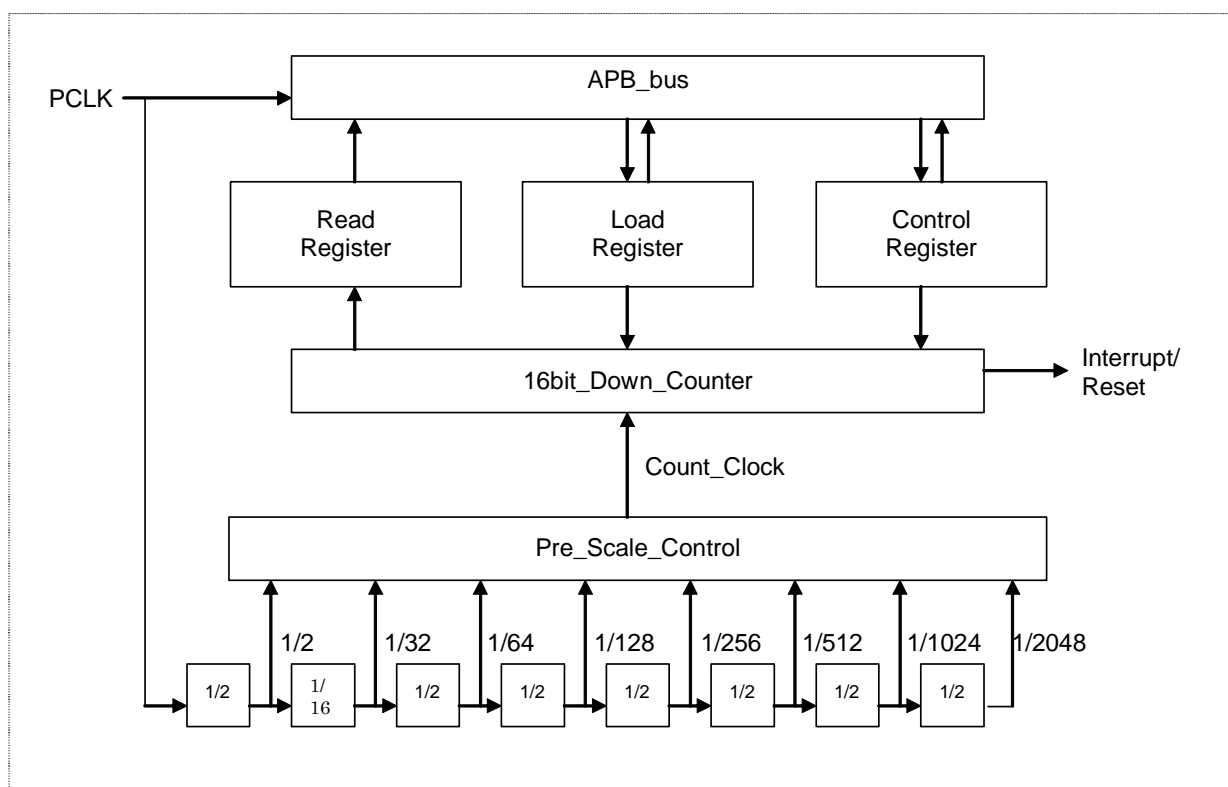


図 25.1 WDT ブロック図

25.3 外部端子

ウォッチドッグタイマに関連する外部端子はありません。

25.4 レジスタ

25.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_C000 です。

表 25.1 レジスタ一覧（ベースアドレス：0xFFFF_C000）

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
0x00	ウォッチドッグタイマロードレジスタ	0x0000_FFFF	R/W	16 (/32)
0x04	ウォッチドッグタイマカウントレジスタ	0x0000_FFFF	RO	16 (/32)
0x08	ウォッチドッグタイマ制御レジスタ	0x0000_0000	R/W	16 (/32)

25.4.2 レジスタ詳細説明

ウォッチドッグタイマの制御レジスタのベースアドレスは 0xFFFF_C000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

ウォッチドッグタイマロードレジスタ															
WDT[0x00] 初期値 = 0x0000_FFFF															
Read/Write															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
タイマロード値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **タイマロード値ビット[15:0]**
ここにデータを書き込むと、その値がカウンタにロードされます。

ウォッチドッグタイマカウントレジスタ															
WDT[0x04] 初期値 = 0x0000_FFFF															
Read Only															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
カレントタイマカウント値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **カレントタイマカウント値ビット[15:0]**
現在のカウンタの値が読み出せます。

Bits [15:8] : **予約**
書き込み時は必ず 0xA5 にしてください。

Bit 6 : **ウォッチドッグタイマステータス（リードオンリ）**
カウンタが“0”になったかどうかを示します。
0 : カウンタ = “0” 以外
1 : カウンタ = “0”
このビットはカウンタが“0”になると“1”にセットされ、その後その状態を保持します。クリアするには、ウォッチドッグタイマイネーブル（本レジスタのビット 5）を一旦“0”に設定し、ウォッチドッグタイマをリセットする必要があります。

Bit 5 : **ウォッチドッグタイマイネーブル**
ウォッチドッグタイマのカウントを許可/禁止します。
0 (r/w) : タイマディセーブル。
“0”を書き込むと、カウント中であればカウントを停止します。同時にカウンタが 0xFFFF にリセットされ、ウォッチドッグタイマステータス（本レジスタのビット 6）も“0”にリセットされます。
1 (r/w) : タイマイネーブル。
“1”を書き込んだ時点でウォッチドッグタイマはダウンカウントを開始します。

Bit 4 : **ウォッチドッグタイマ動作**
カウンタが“0”になったときの動作を指定します。
0 (r/w) : リセット要求信号を出力。
カウンタが“0”になると、ウォッチドッグタイマはリセット要求信号（WRST=HIGH）をシステムコントローラに出力します。リセット要求信号はカウンタが“0”以外になると LOW に戻ります。
1 (r/w) : 割り込み要求信号を出力。
カウンタが“0”になると、ウォッチドッグタイマは割り込み要求（信号 WINT = HIGH）を出力します。割り込み要求信号はウォッチドッグタイマイネーブル（本レジスタのビット 5）をディセーブルにすると LOW に戻ります。

Bits [2:0] : **プリスケアラ分周比ビット[2:0]**
カウントクロックを生成するためのプリスケアラの分周比を選択します。プリスケアラのソースクロックは APB クロックです。

* : プリスケアラ分周比 $n = \begin{cases} 2 & \dots \text{Bits}[2:0] = 0 \text{ のとき} \\ 2^{(4 + \text{Bits}[2:0])} & \dots \text{Bits}[2:0] \neq 0 \text{ のとき} \end{cases}$

このとき、カウントクロック周波数 ($f_{\text{カウントクロック}}$) は APB システムクロック (PCLK) 周波数 (f_{PCLK}) とプリスケアラ分周比 (n) により以下の式で表されます。

$$f_{\text{カウントクロック}} = f_{\text{PCLK}} / n$$

26. GPIO

26.1 概要

この機能ブロックは GPIO の機能と、GPIO 端子にマルチプレクスした端子機能を選択するためのレジスタで構成されています。

本 GPIO には以下のような特長があります。

- 10 の 8Bit GPIO ポートをサポート
GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG/GPIOH/ GPIOJ/GPIOK
- 1 つの 2Bit GPIO ポートをサポート
GPIOI
- 全ての GPIO の端子毎に方向（入力／出力）が変更可能
- 一部の端子は他の機能とマルチプレクス仕様
- マルチ機能の I/O 端子は端子機能レジスタで機能を選択
- GPIOA & GPIOB については割り込み入力の機能もサポート
- GPIOA および GPIOB からの割り込みはエッジまたはレベルおよび High/Low の極性の選択が可能

26.2 外部端子

GPIO に関連する外部端子は以下の通りです。

ポート	端子名	入出力	端子機能	マルチプレクス端子／備考		
				共用	機能 1	機能 2
A	GPIOA0	入出力	汎用 I/O ポート A0 入出力		TXD1	
	GPIOA1	入出力	汎用 I/O ポート A1 入出力		RXD1	
	GPIOA2	入出力	汎用 I/O ポート A2 入出力		RTS1	I2S1_WS
	GPIOA3	入出力	汎用 I/O ポート A3 入出力		CTS1	I2S1_SCK
	GPIOA4	入出力	汎用 I/O ポート A4 入出力		TXD2	
	GPIOA5	入出力	汎用 I/O ポート A5 入出力		RXD2	
	GPIOA6	入出力	汎用 I/O ポート A6 入出力		RTS2	SCL
	GPIOA7	入出力	汎用 I/O ポート A7 入出力		CTS2	SDA
B	GPIOB0	入出力	汎用 I/O ポート B0 入出力	INT0	I2S0_WS	
	GPIOB1	入出力	汎用 I/O ポート B1 入出力	INT1	I2S0_SCK	
	GPIOB2	入出力	汎用 I/O ポート B2 入出力	INT2	I2S0_SD	
	GPIOB3	入出力	汎用 I/O ポート B3 入出力	INT3	I2S1_SD	
	GPIOB4	入出力	汎用 I/O ポート B4 入出力	INT4	TimerA0out	
	GPIOB5	入出力	汎用 I/O ポート B5 入出力	INT5	TimerA1out	DREQ#
	GPIOB6	入出力	汎用 I/O ポート B6 入出力	INT6	TimerA2out	
	GPIOB7	入出力	汎用 I/O ポート B7 入出力	INT7	TimerBIn	
C	GPIOC0	入出力	汎用 I/O ポート C0 入出力		TimerB0IO	
	GPIOC1	入出力	汎用 I/O ポート C1 入出力		TimerB1IO	DACK#
	GPIOC2	入出力	汎用 I/O ポート C2 入出力		TimerB2IO	CFRST
	GPIOC3	入出力	汎用 I/O ポート C3 入出力		TimerB3IO	UART3_CLK
	GPIOC4	入出力	汎用 I/O ポート C4 入出力		SPI_SS	TXD3
	GPIOC5	入出力	汎用 I/O ポート C5 入出力		SPI_SCLK	RXD3
	GPIOC6	入出力	汎用 I/O ポート C6 入出力		SPI_MISO	RTS3
	GPIOC7	入出力	汎用 I/O ポート C7 入出力		SPI_MOSI	CTS3
D	GPIOD0	入出力	汎用 I/O ポート D0 入出力		MA20	
	GPIOD1	入出力	汎用 I/O ポート D1 入出力		MA21	
	GPIOD2	入出力	汎用 I/O ポート D2 入出力		MA22	
	GPIOD3	入出力	汎用 I/O ポート D3 入出力		MA23	
	GPIOD4	入出力	汎用 I/O ポート D4 入出力		MCS2#	
	GPIOD5	入出力	汎用 I/O ポート D5 入出力		MCS3#	
	GPIOD6	入出力	汎用 I/O ポート D6 入出力		SDDQM2	
	GPIOD7	入出力	汎用 I/O ポート D7 入出力		SDDQM3	
E	GPIOE0	入出力	汎用 I/O ポート E0 入出力		CM1DATA0	IPC1DATA0
	GPIOE1	入出力	汎用 I/O ポート E1 入出力		CM1DATA1	IPC1DATA1
	GPIOE2	入出力	汎用 I/O ポート E2 入出力		CM1DATA2	IPC1DATA2
	GPIOE3	入出力	汎用 I/O ポート E3 入出力		CM1DATA3	IPC1DATA3
	GPIOE4	入出力	汎用 I/O ポート E4 入出力		CM1DATA4	IPC1DATA4
	GPIOE5	入出力	汎用 I/O ポート E5 入出力		CM1DATA5	IPC1DATA5
	GPIOE6	入出力	汎用 I/O ポート E6 入出力		CM1DATA6	IPC1DATA6
	GPIOE7	入出力	汎用 I/O ポート E7 入出力		CM1DATA7	IPC1DATA7
F	GPIOF0	入出力	汎用 I/O ポート F0 入出力		CM1VREF	IPC1VREF
	GPIOF1	入出力	汎用 I/O ポート F1 入出力		CM1HREF	IPC1HREF
	GPIOF2	入出力	汎用 I/O ポート F2 入出力		CM1CLKOUT	IPC1FIELD
	GPIOF3	入出力	汎用 I/O ポート F3 入出力		CM1CLKIN	IPC1CLKIN
	GPIOF4	入出力	汎用 I/O ポート F4 入出力		CM2VREF	IPC2VREF
	GPIOF5	入出力	汎用 I/O ポート F5 入出力		CM2HREF	IPC2HREF
	GPIOF6	入出力	汎用 I/O ポート F6 入出力		CM2CLKOUT	IPC2FIELD
	GPIOF7	入出力	汎用 I/O ポート F7 入出力		CM2CLKIN	IPC2CLKIN

26. GPIO

ポート	端子名	入出力	端子機能	マルチプレクス端子／備考		
				共用	機能 1	機能 2
G	GPIOG0	入出力	汎用 I/O ポート G0 入出力		CM2DATA0	IPC2DATA0
	GPIOG1	入出力	汎用 I/O ポート G1 入出力		CM2DATA1	IPC2DATA1
	GPIOG2	入出力	汎用 I/O ポート G2 入出力		CM2DATA2	IPC2DATA2
	GPIOG3	入出力	汎用 I/O ポート G3 入出力		CM2DATA3	IPC2DATA3
	GPIOG4	入出力	汎用 I/O ポート G4 入出力		CM2DATA4	IPC2DATA4
	GPIOG5	入出力	汎用 I/O ポート G5 入出力		CM2DATA5	IPC2DATA5
	GPIOG6	入出力	汎用 I/O ポート G6 入出力		CM2DATA6	IPC2DATA6
	GPIOG7	入出力	汎用 I/O ポート G7 入出力		CM2DATA7	IPC2DATA7
H	GPIOH0	入出力	汎用 I/O ポート H0 入出力		CFCE2#	SDMDATA0
	GPIOH1	入出力	汎用 I/O ポート H1 入出力		CFCE1#	SDMDATA1
	GPIOH2	入出力	汎用 I/O ポート H2 入出力		CFIORD#	SDMDATA2
	GPIOH3	入出力	汎用 I/O ポート H3 入出力		CFIOWR#	SDMDATA3
	GPIOH4	入出力	汎用 I/O ポート H4 入出力		CFWAIT#	SDMCMD
	GPIOH5	入出力	汎用 I/O ポート H5 入出力		CFRST	SDMCLK
	GPIOH6	入出力	汎用 I/O ポート H6 入出力		CFIRQ	SDMCD#
	GPIOH7	入出力	汎用 I/O ポート H7 入出力		CFSTSCHG#	SDMWP
I	GPIOI0	入出力	汎用 I/O ポート I0 入出力		CFDEN#	SDMGPO
	GPIOI1	入出力	汎用 I/O ポート I1 入出力		CFDDIR	
J	GPIOJ0	入出力	汎用 I/O ポート J0 入出力		SDD16	
	GPIOJ1	入出力	汎用 I/O ポート J1 入出力		SDD17	
	GPIOJ2	入出力	汎用 I/O ポート J2 入出力		SDD18	
	GPIOJ3	入出力	汎用 I/O ポート J3 入出力		SDD19	
	GPIOJ4	入出力	汎用 I/O ポート J4 入出力		SDD20	
	GPIOJ5	入出力	汎用 I/O ポート J5 入出力		SDD21	
	GPIOJ6	入出力	汎用 I/O ポート J6 入出力		SDD22	
	GPIOJ7	入出力	汎用 I/O ポート J7 入出力		SDD23	
K	GPIOK0	入出力	汎用 I/O ポート K0 入出力		SDD24	
	GPIOK1	入出力	汎用 I/O ポート K1 入出力		SDD25	
	GPIOK2	入出力	汎用 I/O ポート K2 入出力		SDD26	
	GPIOK3	入出力	汎用 I/O ポート K3 入出力		SDD27	
	GPIOK4	入出力	汎用 I/O ポート K4 入出力		SDD28	
	GPIOK5	入出力	汎用 I/O ポート K5 入出力		SDD29	
	GPIOK6	入出力	汎用 I/O ポート K6 入出力		SDD30	
	GPIOK7	入出力	汎用 I/O ポート K7 入出力		SDD31	

26.3 レジスタ

26.3.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_1000 です。

表 26.1 レジスタ一覧（ベースアドレス：0xFFFF_1000）

Address Offset	Register Name	Abbreviation Name	Default Value	R/W	Data Access Size
0x00	GPIOA データレジスタ	GPIOA_DATA	0x0000	R/W	8 (/16/32) *1
0x04	GPIOA 端子機能レジスタ	GPIOA_FNC	0x0000	R/W	16 (/32) *2
0x08	GPIOB データレジスタ	GPIOB_DATA	0x0000	R/W	8 (/16/32) *1
0x0C	GPIOB 端子機能レジスタ	GPIOB_FNC	0x0000	R/W	16 (/32) *2
0x10	GPIOC データレジスタ	GPIOC_DATA	0x0000	R/W	8 (/16/32) *1
0x14	GPIOC 端子機能レジスタ	GPIOC_FNC	0x0000	R/W	16 (/32) *2
0x18	GPIOD データレジスタ	GPIOD_DATA	0x0000	R/W	8 (/16/32) *1
0x1C	GPIOD 端子機能レジスタ	GPIOD_FNC	0x0000	R/W	16 (/32) *2
0x20	GPIOE データレジスタ	GPIOE_DATA	0x0000	R/W	8 (/16/32) *1
0x24	GPIOE 端子機能レジスタ	GPIOE_FNC	0x0000	R/W	16 (/32) *2
0x28	GPIOF データレジスタ	GPIOF_DATA	0x0000	R/W	8 (/16/32) *1
0x2C	GPIOF 端子機能レジスタ	GPIOF_FNC	0x0000	R/W	16 (/32) *2
0x30	GPIOG データレジスタ	GPIOG_DATA	0x0000	R/W	8 (/16/32) *1
0x34	GPIOG 端子機能レジスタ	GPIOG_FNC	0x0000	R/W	16 (/32) *2
0x38	GPIOH データレジスタ	GPIOH_DATA	0x0000	R/W	8 (/16/32) *1
0x3C	GPIOH 端子機能レジスタ	GPIOH_FNC	0x0000	R/W	16 (/32) *2
0x40	GPIOI データレジスタ	GPIOI_DATA	0x0000	R/W	8 (/16/32) *1
0x44	GPIOI 端子機能レジスタ	GPIOI_FNC	0x0000	R/W	16 (/32) *2
0x48	GPIOJ データレジスタ	GPIOJ_DATA	0x0000	R/W	8 (/16/32) *1
0x4C	GPIOJ 端子機能レジスタ	GPIOJ_FNC	0x0000	R/W	16 (/32) *2
0x50	GPIOK データレジスタ	GPIOK_DATA	0x0000	R/W	8 (/16/32) *1
0x54	GPIOK 端子機能レジスタ	GPIOK_FNC	0x0000	R/W	16 (/32) *2
0x58-5C	N/a				
0x60	GPIOA&B IRQ タイプレジスタ	GPIOAB_ITYP	0x0000	R/W	16 (/32) *2
0x64	GPIOA&B IRQ 極性レジスタ	GPIOAB_IPOL	0x0000	R/W	16 (/32) *2
0x68	GPIOA&B IRQ イネーブルレジスタ	GPIOAB_IEN	0x0000	R/W	16 (/32) *2
0x6C	GPIOA&B IRQ ステータス&クリアレジスタ	GPIOAB_ISTS	0x0000	R/W	16 (/32) *2

*1: 8、16 または 32 ビットデータがアクセス可能です。

*2: 16 または 32 ビットデータがアクセス可能です。

26. GPIO

26.3.2 レジスタ詳細説明

26.3.2.1 GPIOA レジスタ

GPIOA データレジスタ (GPIOA_DATA)								Read/Write
GPIO[0x00] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
GPIOADATA [7:0]								
7	6	5	4	3	2	1	0	

GPIOA のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOA が出力設定時にはこのレジスタの内容が読み出され、GPIOA が入力設定時には端子の状態を読むことができます。

GPIOA 端子機能レジスタ (GPIOA_FNC)								Read/Write
GPIO[0x04] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
GPA7MD [1:0]		GPA6MD [1:0]		GPA5MD [1:0]		GPA4MD [1:0]		
15	14	13	12	11	10	9	8	
GPA3MD [1:0]		GPA2MD [1:0]		GPA1MD [1:0]		GPA0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOA の端子機能を選択します。GPIOA の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.2 PortA の端子選択機能

GPAxMD1	GPAxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOAx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOAx ポート出力
1	1	GPIO 以外の機能 2 (GPIOA[7:6],[3:2]のみ設定可能)

26.3.2.2 GPIOB レジスタ

GPIOB データレジスタ (GPIOB_DATA)								Read/Write
GPIO[0x08] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOB_DATA [7:0]				0

GPIOB のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOB が出力設定時にはこのレジスタの内容が読み出され、GPIOB が入力設定時には端子の状態を読むことができます。

GPIOB 端子機能レジスタ (GPIOB_FNC)								Read/Write
GPIO[0x0C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPB7MD [1:0]		GPB6MD [1:0]		GPB5MD [1:0]		GPB4MD [1:0]		
15	14	13	12	11	10	9	8	
GPB3MD [1:0]		GPB2MD [1:0]		GPB1MD [1:0]		GPB0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOB の端子機能を選択します。GPIOB の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.3 PortB の端子選択機能

GPBxMD1	GPBxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOBx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOBx ポート出力
1	1	GPIO 以外の機能 2 (GPIOB5 のみ設定可能)

26. GPIO

26.3.2.3 GPIOC レジスタ

GPIOC データレジスタ (GPIOC_DATA)								Read/Write
GPIO[0x10] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOCDATA [7:0]				0

GPIOC のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOC が出力設定時にはこのレジスタの内容が読み出され、GPIOC が入力設定時には端子の状態を読むことができます。

GPIOC 端子機能レジスタ (GPIOC_FNC)								Read/Write
GPIO[0x14] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPC7MD [1:0]		GPC6MD [1:0]		GPC5MD [1:0]		GPC4MD [1:0]		
15	14	13	12	11	10	9	8	
GPC3MD [1:0]		GPC2MD [1:0]		GPC1MD [1:0]		GPC0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOC の端子機能を選択します。GPIOC の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.4 PortC の端子選択機能

GPCxMD1	GPCxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOCx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOCx ポート出力
1	1	GPIO 以外の機能 2 (GPIOC[7:1]のみ設定可能)

26.3.2.4 GPIOD レジスタ

GPIOD データレジスタ (GPIOD_DATA)								Read/Write
GPIO[0x18] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIODDATA [7:0]								
7	6	5	4	3	2	1	0	

GPIOD のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOD が出力設定時にはこのレジスタの内容が読み出され、GPIOD が入力設定時には端子の状態を読むことができます。

GPIOD 端子機能レジスタ (GPIOD_FNC)								Read/Write
GPIO[0x1C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPD7MD [1:0]		GPD6MD [1:0]		GPD5MD [1:0]		GPD4MD [1:0]		
15	14	13	12	11	10	9	8	
GPD3MD [1:0]		GPD2MD [1:0]		GPD1MD [1:0]		GPD0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOD の端子機能を選択します。GPIOD の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.5 PortD の端子選択機能

GPDxMD1	GPDxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIODx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIODx ポート出力
1	1	予約

26. GPIO

26.3.2.5 GPIOE レジスタ

GPIOE データレジスタ (GPIOE_DATA)								Read/Write
GPIO[0x20] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOEDATA [7:0]				0

GPIOE のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOE が出力設定時にはこのレジスタの内容が読み出され、GPIOE が入力設定時には端子の状態を読むことができます。

GPIOE 端子機能レジスタ (GPIOE_FNC)								Read/Write
GPIO[0x24] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPE7MD [1:0]		GPE6MD [1:0]		GPE5MD [1:0]		GPE4MD [1:0]		
15	14	13	12	11	10	9	8	
GPE3MD [1:0]		GPE2MD [1:0]		GPE1MD [1:0]		GPE0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOE の端子機能を選択します。GPIOE の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.6 PortE の端子選択機能

GPExMD1	GPExMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOEx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOEx ポート出力
1	1	GPIO 以外の機能 2

26.3.2.6 GPIOF レジスタ

GPIOF データレジスタ (GPIOF_DATA)								Read/Write
GPIO[0x28] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOFDATA [7:0]								
7	6	5	4	3	2	1	0	

GPIOF のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOF が出力設定時にはこのレジスタの内容が読み出され、GPIOF が入力設定時には端子の状態を読むことができます。

GPIOF 端子機能レジスタ (GPIOF_FNC)								Read/Write
GPIO[0x2C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPF7MD [1:0]		GPF6MD [1:0]		GPF5MD [1:0]		GPF4MD [1:0]		
15	14	13	12	11	10	9	8	
GPF3MD [1:0]		GPF2MD [1:0]		GPF1MD [1:0]		GPF0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOF の端子機能を選択します。GPIOF の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.7 PortF の端子選択機能

GPFxMD1	GPFxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOFx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOFx ポート出力
1	1	GPIO 以外の機能 2

26. GPIO

26.3.2.7 GPIOG レジスタ

GPIOG データレジスタ (GPIOG_DATA)								Read/Write
GPIO[0x30] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOGDATA [7:0]				0

GPIOG のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOG が出力設定時にはこのレジスタの内容が読み出され、GPIOG が入力設定時には端子の状態を読むことができます。

GPIOG 端子機能レジスタ (GPIOG_FNC)								Read/Write
GPIO[0x34] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPG7MD [1:0]		GPG6MD [1:0]		GPG5MD [1:0]		GPG4MD [1:0]		
15	14	13	12	11	10	9	8	
GPG3MD [1:0]		GPG2MD [1:0]		GPG1MD [1:0]		GPG0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOG の端子機能を選択します。GPIOG の各ポートに対して 2Bit が端子機能選択に使われます。

表 26.8 PortG の端子選択機能

GPGxMD1	GPGxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOGx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOGx ポート出力
1	1	GPIO 以外の機能 2

26.3.2.8 GPIOH レジスタ

GPIOH データレジスタ (GPIOH_DATA)								Read/Write
GPIO[0x38] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOHDATA[7:0]								
7	6	5	4	3	2	1	0	

GPIOH のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOH が出力設定時にはこのレジスタの内容が読み出され、GPIOH が入力設定時には端子の状態を読むことができます。

GPIOH 端子機能レジスタ (GPIOH_FNC)								Read/Write
GPIO[0x3C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPH7MD [1:0]		GPH6MD [1:0]		GPH5MD [1:0]		GPH4MD [1:0]		
15	14	13	12	11	10	9	8	
GPH3MD [1:0]		GPH2MD [1:0]		GPH1MD [1:0]		GPH0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOH の端子機能を選択します。GPIOH のポートに対して 2Bit が端子機能選択に使われます。

表 26.9 PortH の端子選択機能

GPHxMD1	GPHxMD0	端子機能
0	0	GPIOHx ポート入力（デフォルト）
0	1	GPIO 以外の機能 1
1	0	GPIOHx ポート出力
1	1	GPIO 以外の機能 2

26. GPIO

26.3.2.9 GPIOI レジスタ

GPIOI データレジスタ (GPIOI_DATA)								Read/Write
GPIO[0x40] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	3	2	GPIOIDATA[1:0]	
							1	0

GPIOI のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOI が出力設定時にはこのレジスタの内容が読み出され、GPIOI が入力設定時には端子の状態を読むことができます。

GPIOI 端子機能レジスタ (GPIOI_FNC)								Read/Write
GPIO[0x44] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	GPIO1MD [1:0]		GPIO0MD [1:0]	
					3	2	1	0

GPIOI の端子機能を選択します。GPIOI のポートに対して 2Bit が端子機能選択に使われます。

表 26.10 PortI の端子選択機能

GPIOxMD1	GPIOxMD0	端子機能
0	0	GPIOIx ポート入力（デフォルト）
0	1	GPIO 以外の機能 1（GPIOI[1:0]のみ設定可能）
1	0	GPIOIx ポート出力
1	1	GPIO 以外の機能 2（GPIOI[0]のみ設定可能）

26.3.2.10 GPIOJ レジスタ

GPIOJ データレジスタ (GPIOJ_DATA)								Read/Write
GPIO[0x48] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOJDATA[7:0]								
7	6	5	4	3	2	1	0	

GPIOJ のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOJ が出力設定時にはこのレジスタの内容が読み出され、GPIOJ が入力設定時には端子の状態を読むことができます。

GPIOJ 端子機能レジスタ (GPIOJ_FNC)								Read/Write
GPIO[0x4C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPJ7MD [1:0]		GPJ6MD [1:0]		GPJ5MD [1:0]		GPJ4MD [1:0]		
15	14	13	12	11	10	9	8	
GPJ3MD [1:0]		GPJ2MD [1:0]		GPJ1MD [1:0]		GPJ0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOJ の端子機能を選択します。GPIOJ のポートに対して 2Bit が端子機能選択に使われます。

表 26.11 PortJ の端子選択機能

GPJxMD1	GPJxMD0	端子機能
0	0	GPIOJ0 ポート入力（デフォルト）
0	1	GPIO 以外の機能 1
1	0	GPIOJ0 ポート出力
1	1	予約

26. GPIO

26.3.2.11 GPIOK レジスタ

GPIOK データレジスタ (GPIOK_DATA)								Read/Write
GPIO[0x50] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOKDATA[7:0]								
7	6	5	4	3	2	1	0	

GPIOK のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOK が出力設定時にはこのレジスタの内容が読み出され、GPIOK が入力設定時には端子の状態を読むことができます。

GPIOK 端子機能レジスタ (GPIOK_FNC)								Read/Write
GPIO[0x54] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPK7MD [1:0]		GPK6MD [1:0]		GPK5MD [1:0]		GPK4MD [1:0]		
15	14	13	12	11	10	9	8	
GPK3MD [1:0]		GPK2MD [1:0]		GPK1MD [1:0]		GPK0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOK の端子機能を選択します。GPIOK のポートに対して 2Bit が端子機能選択に使われます。

表 26.12 PortK の端子選択機能

GPKxMD1	GPKxMD0	端子機能
0	0	GPIOK0 ポート入力（デフォルト）
0	1	GPIO 以外の機能 1
1	0	GPIOK0 ポート出力
1	1	予約

GPIOA&B IRQ に関連するレジスタ

以下の GPIO[0x60]～GPIO[0x6C]は IRQ14 の割り込み要求を設定するためのレジスタです。

GPIOA&B IRQ TYPE

GPIOA&B IRQ タイプレジスタ (GPIOAB_ITYP)								Read/Write
GPIO[0x60] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PORTB_IRQ_TYPE [7:0]
7	6	5	4	3	2	1	0	PORTA_IRQ_TYPE [7:0]

Bits [15:8] : **PORTB_IRQ_TYPE**

Bits [7:0] : **PORTA_IRQ_TYPE**

各 Bit は以下のようにレベルトリガかエッジ割り込みのいずれかを選択できます。

0 : 割り込み要求をレベルトリガとして取り扱います。

1 : 割り込みをエッジとして取り扱います。

GPIOA&B IRQ Polarity

GPIOA&B IRQ 極性レジスタ (GPIOAB_IPOL)								Read/Write
GPIO[0x64] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PORTB_IRQ_POL [7:0]
7	6	5	4	3	2	1	0	PORTA_IRQ_POL [7:0]

Bits [15:8] : **PORTB_IRQ_POL**

Bits [7:0] : **PORTA_IRQ_POL**

0 : 割り込み要求がレベルのとき High レベルが割り込み要求になります。

割り込み要求がエッジの場合には信号の立ち上がりが割り込み要求になります。

1 : 割り込み要求がレベルのとき Low レベルが割り込み要求になります。

割り込み要求がエッジの場合には信号の立ち下がりが割り込み要求になります。

26. GPIO

GPIOA&B IRQ ENABLE

GPIOA&B IRQ イネーブルレジスタ (GPIOAB_IEN)								Read/Write
GPIO[0x68] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PORTB_IEN [7:0]
7	6	5	4	3	2	1	0	PORTA_IEN [7:0]

Bits [15:8] : **PORTB_IEN[7:0]**
PORTB[7:0]の割り込み許可／禁止に対応します。
0 : GPIOB からの割り込み禁止
1 : GPIOB からの割り込み許可

Bits [7:0] : **PORTA_IEN[7:0]**
PORTA[7:0]の割り込み許可／禁止に対応します。
0 : GPIOA からの割り込み禁止
1 : GPIOA からの割り込み許可

GPIOA&B IRQ STATUS & Clear

GPIOA&B IRQ ステータス&クリアレジスタ (GPIOAB_ISTS)								Read/Write
GPIO[0x6C] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PORTB_IRQ [7:0]
7	6	5	4	3	2	1	0	PORTA_IRQ [7:0]

Bits [15:8] : **PORTB_IRQ[7:0]**
PORTB[7:0]の各 Bit からの割り込みステータスとクリアに対応します。
[Read]
0 : 割り込み要求はありません。
1 : 割り込み要求があることを示します。
[Write]
0 : 何も変化しません。
1 : “1” を書き込むことにより、割り込み要求要因がクリアされます。

Bits [7:0] : **PORTA_IRQ[7:0]**
PORTA[7:0]の各 Bit からの割り込みステータスとクリアに対応します。
[Read]
0 : 割り込み要求はありません。
1 : 割り込み要求があることを示します。
[Write]
0 : 何も変化しません。
1 : “1” を書き込むことにより、割り込み要求要因がクリアされます。

Note: GPIOA と GPIOB からの各 Bit からの割り込み要求は“ロジカル OR”されて割り込みコントローラに通知されます。そのため、GPIO IRQ ハンドラ内でどのポートからの割り込み要求かをソフトウェアで判定する必要があります。

26.4 GPIOA および GPIOB の割り込みロジック

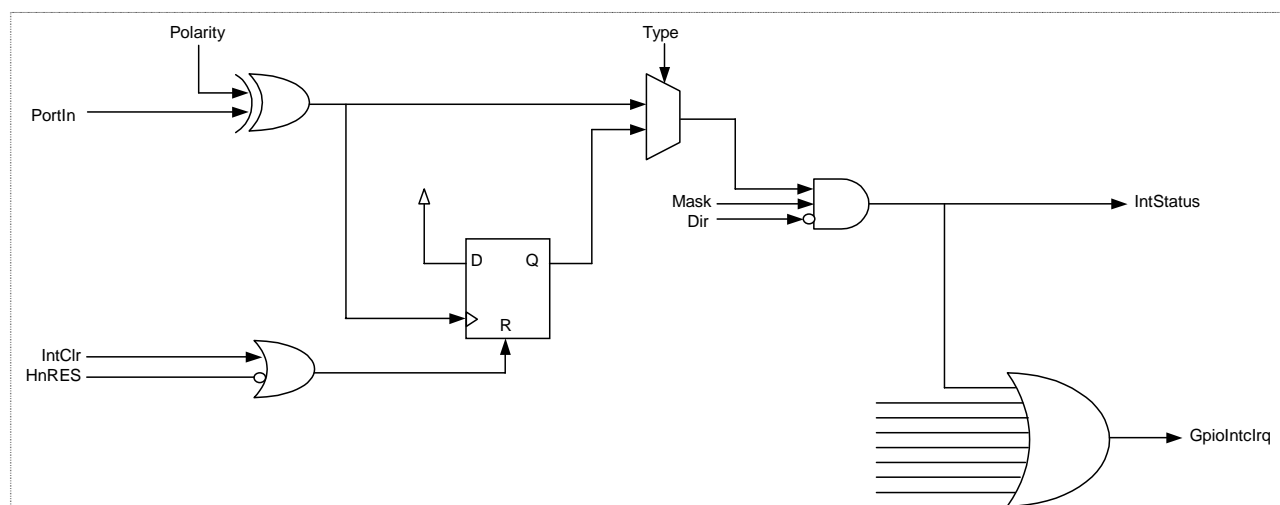


図 26.1 GPIOA and GPIOB の Interrupt Logic

注意：割り込みのタイプまたは極性を変更した際には偽の割り込みが入ることがあります。これを防ぐために、タイプや極性を変更したときには必ず割り込み要因をクリアしてから使用してください。

27. A/D 変換コントローラ(ADC)

27. A/D 変換コントローラ(ADC)

27.1 概要

8 本のアナログ信号 ADIN[7:0]を入力し、内蔵している 10 ビット A/D 変換器(ADC)により A/D 変換を行い、デジタル信号を出力します。また、ADC をコントロールするコントローラを持っています。アナログ入力電圧範囲は 0V～ 3.3V で、8 つのチャネルを連続的にサンプリング可能です。変換時間は 1 回あたり 20 μ s 以下(システムクロック \approx 49MHz 設定時)で、変換が終了した時点で割り込みを発生させることができます。

27.2 ブロック図

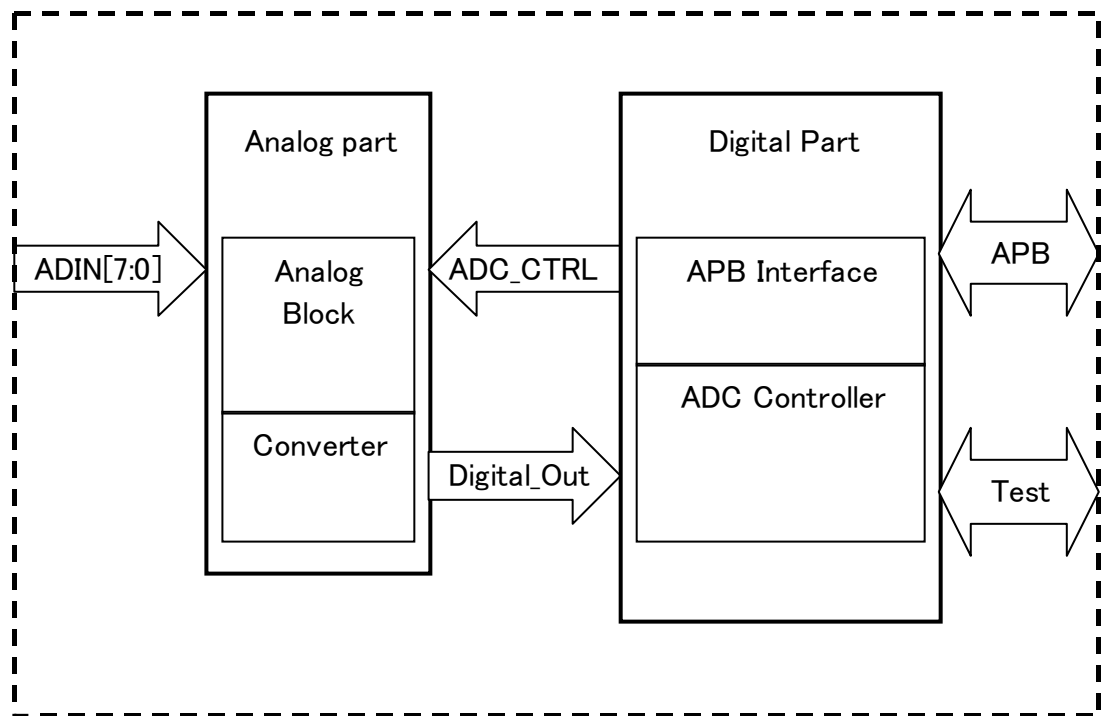


図 27.1 ADC ブロック図

27.3 外部端子

ADC 関連の外部端子は以下の通りです。

表 27.1 外部端子 (CF)

端子名	入出力	端子機能	マルチプレクス端子／備考
ADIN[7:0]	入力	アナログ信号入力出力	

27.4 動作ステート

ADC は以下のステートにより動作を行います。

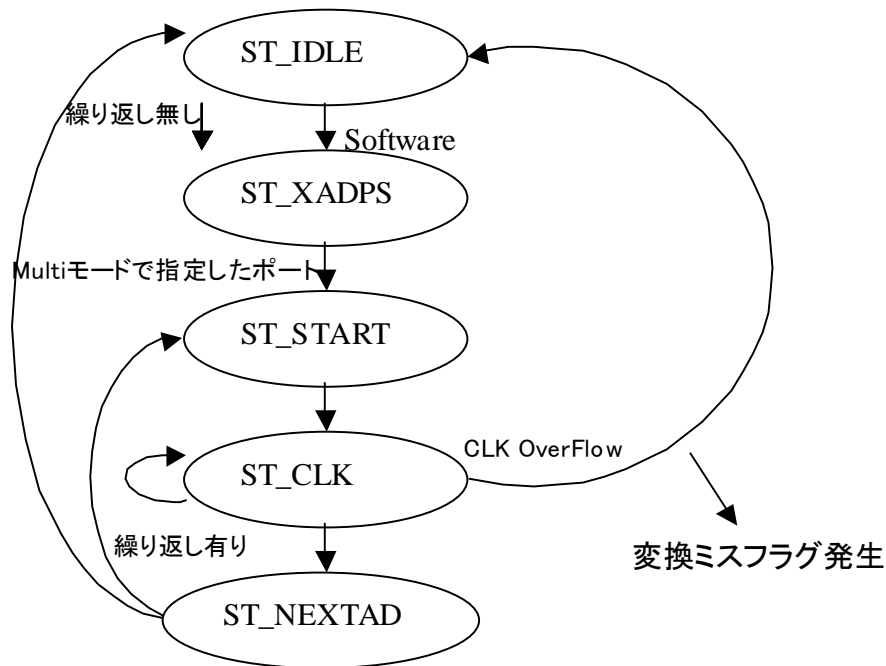


図 27.2 ADC 動作ステート

- ST_IDLE : 初期状態はこのステートです。
ソフトウェアによる入力が行なわれるまでこのステートを保持します。
- ST_XADPS : A/D 変換を開始する信号 XADPS を起動します。
このステートで A/D 電源が ON になります。
- ST_START : START 信号を起動します。
- ST_CLK : A/D 変換を行うステートです。
A/D 変換には一定時間が必要ですが、何らかの要因により一定時間を超える場合はエラーとして ST_IDLE ステートに戻るようになります。このとき ADC フラグレジスタのビット 3 に“1”が書き込まれます。(このときの A/D 変換結果の値は保証されません)
- ST_NEXTAD : シングルポートの場合は、A/D 変換後 ST_IDLE に戻ります。
A/D 変換をマルチポートで指定し、全ての変換が終了していない場合は、ST_START に戻り A/D 変換を再開します。
マルチポートで指定した全てのポートが終了した場合は ST_IDLE に戻ります。

27. A/D 変換コントローラ(ADC)

27.5 レジスタ

27.5.1 レジスタ一覧

ADC レジスタのベースアドレスは、0xFFFD_C000 です。

表 27.2 レジスタ一覧（ベースアドレス：0xFFFD_C000）

Address Offset	Register Name	Abbreviation Name	Default Value	R/W	Data Access Size
0x00	ADC Data Register 0	ADCDT0	0x0000	RO	16 (/32)
0x04	ADC Data Register 1	ADCDT1	0x0000	RO	16 (/32)
0x08	ADC Data Register 2	ADCDT2	0x0000	RO	16 (/32)
0x0C	ADC Data Register 3	ADCDT3	0x0000	RO	16 (/32)
0x10	ADC Data Register 4	ADCDT4	0x0000	RO	16 (/32)
0x14	ADC Data Register 5	ADCDT5	0x0000	RO	16 (/32)
0x18	ADC Data Register 6	ADCDT6	0x0000	RO	16 (/32)
0x1C	ADC Data Register 7	ADCDT7	0x0000	RO	16 (/32)
0x20	ADC Control Register	ADCCTL	0x00	R/W	8 (/16/32)
0x24	ADC Flag Register	ADCFLG	0x0000	R/W	16 (/32)

27.5.2 レジスタ詳細説明

ADC Data Register 0 (ADCDT0)							
ADC[0x00]		初期値 = 0x0000					Read Only
Data 0 [9:2]							
RO							
15	14	13	12	11	10	9	8
Data 0 [1:0]		Reserved					
RO		RO					
7	6	5	4	3	2	1	0

Bit [15:6] : **Data 0 [9:0]**
チャンネル 0 10bit A/D 変換データ[9:0]
チャンネル 0 (ADIN0 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 1 (ADCDT1)							
ADC[0x04]				初期値 = 0x0000			
Read Only							
Data 1 [9:2]							
RO							
15	14	13	12	11	10	9	8
Data 1 [1:0]		Reserved					
RO		RO					
7	6	5	4	3	2	1	0

Bit [15:6] : **Data 1 [9:0]**
チャンネル 1 10bit A/D 変換データ[9:0]
チャンネル 1 (ADIN1 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 2 (ADCDT2)															
ADC[0x08] 初期値 = 0x0000															
Read Only															
Data 2 [9:2]															
RO															
15	14	13	12	11	10	9	8								
Data 2 [1:0]								Reserved							
RO								RO							
7	6	5	4	3	2	1	0								

Bit [15:6] : **Data 2 [9:0]**
 チャンネル 2 10bit A/D 変換データ[9:0]
 チャンネル 2 (ADIN2 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 3 (ADCDT3)															
ADC[0x0C] 初期値 = 0x0000															
Read Only															
Data 3 [9:2]															
RO															
15	14	13	12	11	10	9	8								
Data 3 [1:0]								Reserved							
RO								RO							
7	6	5	4	3	2	1	0								

Bit [15:6] : **Data 3 [9:0]**
 チャンネル 3 10bit A/D 変換データ[9:0]
 チャンネル 3 (ADIN3 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 4 (ADCDT4)															
ADC[0x10] 初期値 = 0x0000															
Read Only															
Data 4 [9:2]															
RO															
15	14	13	12	11	10	9	8								
Data 4 [1:0]								Reserved							
RO								RO							
7	6	5	4	3	2	1	0								

Bit [15:6] : **Data 4 [9:0]**
 チャンネル 4 10bit A/D 変換データ[9:0]
 チャンネル 4 (ADIN4 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

27. A/D 変換コントローラ(ADC)

ADC Data Register 5 (ADCDT5)																	
ADC[0x14] 初期値 = 0x0000														Read Only			
Data 5 [9:2]																	
RO																	
15		14		13		12		11		10		9				8	
Data 5 [1:0]				Reserved													
RO				RO													
7		6		5		4		3		2		1				0	

Bit [15:6] : **Data 5 [9:0]**
チャンネル 5 10bit A/D 変換データ[9:0]
チャンネル 5 (ADIN5 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 6 (ADCDT6)																	
ADC[0x18] 初期値 = 0x0000														Read Only			
Data 6 [9:2]																	
RO																	
15	14	13	12	11	10	9	8										
Data 6 [1:0]								Reserved									
RO								RO									
7	6	5	4	3	2	1	0										

Bit [15:6] : **Data 6 [9:0]**
チャンネル 6 10bit A/D 変換データ[9:0]
チャンネル 6 (ADIN6 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Data Register 7 (ADCDT7)																	
ADC[0x1C] 初期値 = 0x0000														Read Only			
Data 7 [9:2]																	
RO																	
15		14		13		12		11		10		9				8	
Data 7 [1:0]				Reserved													
RO				RO													
7		6		5		4		3		2		1				0	

Bit [15:6] : **Data 7 [9:0]**
チャンネル 7 10bit A/D 変換データ[9:0]
チャンネル 7 (ADIN7 端子のアナログ入力)の変換結果が読み出します。

Bits [5:0] : **Reserved**

ADC Control Register (ADCCTL)							
ADC[0x20]		初期値 = 0x00					Read/Write
Reserved	ADCIEN	ADCSTT	ADCMLT	ADCEXT	ADCCH2	ADCCH1	ADCCH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

Bit 7 : Reserved

Bit 6 : **A/D 割り込み許可**

A/D 変換終了割り込みを許可/禁止します。

0 (r/w) 割り込み禁止

1 (r/w) 割り込み許可

割り込み許可は必ず“1”にしてください。割り込みを発生させたくない場合は割り込み制御モジュールを割り込み禁止にしてください。

Bit 5 : **A/D 変換を開始します。**

0 (r) A/D 変換終了

1 (r/w) A/D 変換開始

指定したチャンネルすべての A/D 変換が終了すると、このビットは自動的に 0 に戻ります。

A/D 変換中に 0 を書き込んだ場合でも変換動作は終了しません。

A/D 変換が規定のクロックで終了しない場合は 0x24[3]のビットに“1”が発生し、エラー状態を確認することができます。

Bit 4 : **マルチモード選択**

変換モード(シングルモードあるいはマルチモード)を選択します。

0 (r/w) シングルモード

1 (r/w) マルチモード

シングルモード時は 1 チャンネルの入力のみを A/D 変換します。マルチモードが選択された場合は、すべてのチャンネルについて、連続的に A/D 変換します。どちらの場合も、変換するチャンネルはチャンネル選択ビット(ビット[2:0])により切換え可能です。

Bit 3 : **外部トリガイネーブル**

0 外部トリガディセーブル

1 外部トリガイネーブル

このレジスタがイネーブルになっている場合は、Timer B からの立ち下がりエッジをトリガとして A/D Convert がスタートします。

変換実行中に Timer B の立ち下がりエッジが発生した場合、現在の変換を終了したところで A/D Convert が終了するため、再度 A/D Convert を実施して下さい。

Timer B から入力する信号は 1μs 以上になるようにして下さい。

27. A/D 変換コントローラ(ADC)

Bit [2:0] : **チャンネル選択ビット[2:0]**
A/D 変換するチャンネルを選択します。シングルモードとマルチモードで、選択肢は変わります。

Bits[2:0]	機能説明	
CH[2:0]	Single Mode	Multi Mode
000	AN0	AN0
001	AN1	AN0-AN1
010	AN2	AN0AN2
011	AN3	AN0AN3
100	AN4	AN0-AN4
101	AN5	AN0-AN5
110	AN6	AN0-AN6
111	AN7	AN0-AN7

A/D 変換は外部トリガイネーブルを“1”にすることで、Timer B からのトリガで行なうことができます。このため、変換後のデータを転送する場合は A/D 変換後の割り込みを検知し、割り込み発生後に読み出すことを推奨します。

変換後のデータを読み出すことで End Flag は“0”になります。End Flag が“1”の状態では Timer B からの新たな入力を受けると End Flag を“0”として新たな A/D 変換が開始されます。

A/D 変換中にデータ転送をした場合の値は保証できません。

ADC Flag Register (ADCFLG)							
ADC[0x24] 初期値 = 0x00				Read/Write			
Reserved				ADCERR	ADCCNV	Reserved	
-	-	-	-			-	-
7	6	5	4	3	2	1	0

Bit [7:4] : **Reserved**

Bit 3 : **ADCERR**
A/D 変換中に異常が発生した場合に“1”が書き込まれます。
“1”が書き込まれた要因は A/D 変換クロックが 15 回以上発生しても A/D 変換が終了しない場合になります。このときデータレジスタに変換データは書き込まれないため、変換前のレジスタ値が読み出されることとなります。このフラグが発生した後も、A/D 変換が正常に行われればデータレジスタの値は正しく更新されます。
“1”が書き込まれた場合、システムリセットかこのビットに“1”を書き込むことで、このビットを“0”にします。

Bit 2 : **ADCCNV**
A/D 変換が正常に終了し、データレジスタに変換データが格納されたことを示す。
マルチモード時は、設定した全てのチャンネルの A/D 変換が終了し、全てのデータがデータレジスタに格納されたことを示す。このビットを有効にするためには、ADC[0x20]-Bit6 の A/D 割り込み許可をイネーブルにする必要があります。
ADCCNV は Analog Part から出力される信号をトレースしています。AD 変換が終了した後、Analog Part から変換終了の Flag が出力されレジスタに変換データが格納されると“1”になります。再度 AD 変換を開始すると、このビットは“0”に戻ります。
A/D 変換終了後はまずこのレジスタを読んでから他のレジスタへアクセスするようにして下さい。
ADC[0x00 – 0x1C]のレジスタへのリードもしくは ADC[0x20]へのライトを行いますと本 Bit は消去されます。

Bit [1:0] : **Reserved**

27.6 使用例

・シングルモード

シングルモードは、単チャンネルのアナログ入力を変換します。

A/D 変換はソフトウェアまたは外部トリガ入力によって ADC 制御レジスタ (以下 ADC[0x20]))のビット 5 が“1”にセットされると指定したチャンネルの A/D 変換が開始されます。

以下にシングルモードで ADIN1 端子のみを使用する場合の動作を示します。

1. シングルモード、ADIN1 入力および割り込み許可の設定を行います(ADC[0x20]のビット[7:0]を 61h に設定し A/D 変換を開始します)。
2. A/D 変換が終了すると、ADC[0x20]のビット[7]に“1”がセットされ、ADC[0x20]のビット[5]が“0”に戻り、次の A/D 変換開始まで待機します。その後変換結果がデータレジスタ 1 にセットされます。
3. 割り込みコントローラで ADC 変換割り込みを許可している場合は、変換終了後、割り込みが受けつけられますので、割り込み処理ルーチン内にデータレジスタ 1 の読み出しを設定することで、ADIN1 の変換結果を読み出すことが出来ます。
4. 割り込み処理ルーチン終了後、ADC[0x20]のビット[5]を“1”にセットするとで次の変換を行うことが出来ます。

・マルチモード

マルチモードは、複数チャンネル(1 チャンネルを含む)のアナログ入力を順次変換します。

マルチモードおよび ADC[0x20]のビット[2:0]に “001” が設定された場合は、ADIN0 の変換が終了した後、続けて ADIN1 の変換が開始されます。A/D 変換は、指定した全てのチャンネルを一巡して変換が終了します。変換後は End Flag(ADCFLG)が“1”にセットされデータ変換が終了したことを示します。

変換されたデータは各チャンネルに対応した ADC データレジスタに保持されます。

以下にマルチモードで ADIN0/1/2 端子を使用する場合の動作を示します。

1. マルチモード、ADIN0 - ADIN1 - ADIN2 入力、割り込み許可を選択します(ADC[0x20]のビット[7:0]を 72h に設定し A/D 変換を開始します)。
2. A/D 変換は ADIN0 から始まります。変換が終了すると変換結果がデータレジスタ 0 にセットされます。同様に ADIN1、ADIN2 の順に変換され変換結果が各データレジスタにセットされますが、最終のとなる ADIN2 のデータは End Flag をセットした後に格納されます。
3. ADIN2 の変換が終了すると、ADC[0x20]のビット[7]に“1”がセットされ、ADC[0x20]のビット[5]が“0”に戻り、次の A/D 変換は開始まで待機します。その後変換結果がデータレジスタ 2 にセットされます。
4. 割り込みコントローラ側で ADC 変換終了割り込みを許可している場合は、変換終了後、割り込みが受けつけられますので、割り込み処理ルーチン内にデータレジスタ 1/2/3 の読み出しを設定することで、ADIN1/2/3 の変換結果を読み出すことが出来ます。
5. 割り込み処理ルーチン終了後、ADC[0x20]のビット[5]を“1”にセットするとで次の変換を行うことが出来ます。

27. A/D 変換コントローラ(ADC)

27.7 入力電圧と変換データ値

ADC Data Register0-7[15:0]に入力電圧により、下図の値が格納されます。
本 ADC は 10bitAD 変換を行います、 $\pm 2\text{bit}$ の誤差がありますので ADC Data Register[7:0]の bit15-8 を参照願います。

入力電圧 [V]	変換基準値	ADC Data Register0-7[15:0]		備考
		Min.	Max.	
0.0	0	0x00_00	0x00_C0	
0.3	0x5D	0x16_80	0x18_00	
0.6	0xB5	0x2D_C0	0x2F_40	
0.9	0x117	0x45_00	0x46_80	
1.2	0x1174	0x5C_40	0x5D_C0	
1.5	0x1D1	0x73_80	0x75_00	
1.8	0x22E	0x8A_C0	0x8C_40	
2.1	0x28B	0xA2_00	0xA3_80	
2.4	0x2E8	0xB9_40	0xBA_C0	
2.7	0x345	0xD0_80	0xD2_00	
3.0	0x3A2	0xE7_C0	0xE9_40	
3.3	0x3FF	0xFF_00	0xFF_C0	

28. エリアセンサ(ARS)

28.1 概要

カメラインタフェースからの YUV 入力信号を画面イメージで 16 分割し、それぞれの矩形エリアごとに YUV 成分（どれか 1 つを選択）を積算してレジスタに保持し、以前の積算値と比較することで、部分的な動きの検出をリアルタイムに、CPU に負担をかけずに実行することができます。

【2M ピクセルカメラ（1632*1224）の例】

積算されるデータ幅は $1632 \times 1224 \times 63/16 = 7865424$ (Dec) = 780450(Hex) = 23bit ですが、4 ピクセルに 1 回だけ積算を行う為 21bit となります。

Area 0	Area 1	Area 2	Area 3
Area 4	Area 5	Area 6	Area 7
Area 8	Area 9	Area 10	Area 11
Area 12	Area 13	Area 14	Area 15

図 28.1 画像分割エリア分布 (Area0～15)

28.1.1 機能

エリアセンサが実現している機能は以下のとおりです。

- 画像イメージを 16 分割して各々のエリアで YUV 成分から 1 つを選択し積算します
- 16 分割された矩形エリアは、データサイズ（H/V Sync）により自動的に計算します
- 積算・比較の周期を設定可能ですので速い動きや遅い動きに対応できます
- 積算値の変化率を設定し、設定された変化率よりも大きな変化を感知して割り込みを発生させます
- ステータスレジスタを読むことにより、どの矩形エリアにコントラストに変化があったのか認識出来ます
- 割り込み発生をエリアごとにイネーブルすることやクリアすることが出来ます
- 各エリアの積算値（21bit）及び前フレームとの大小関係を読み出し可能
- レジスタによりカメラ 1/カメラ 2 を切り替え可能

28. エリアセンサ(ARS)

28.2 ブロック図

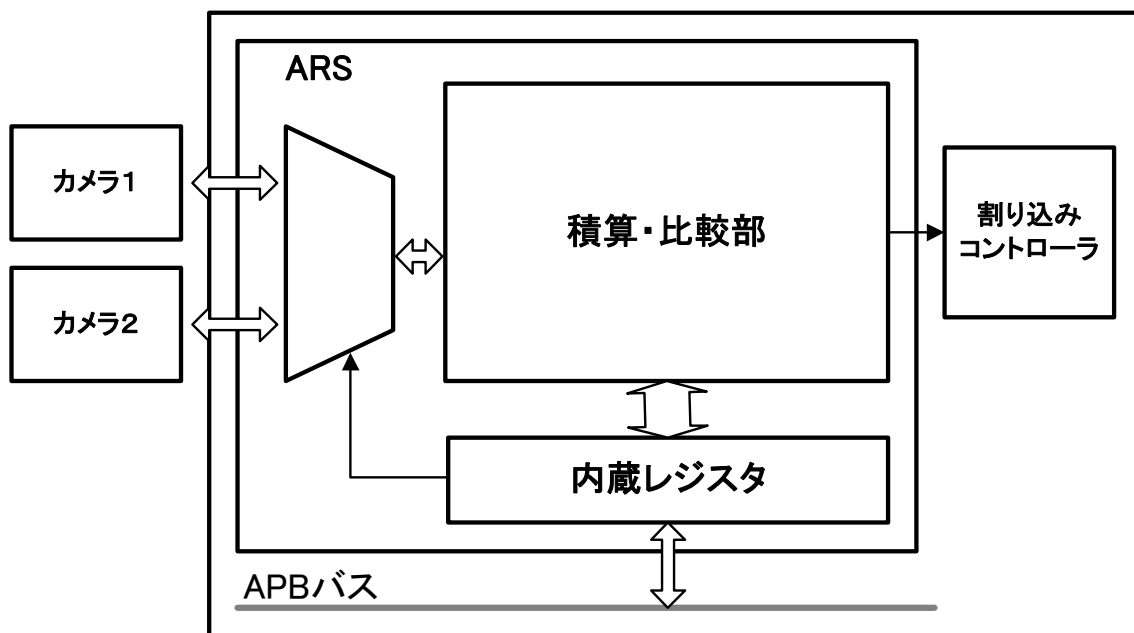


図 28.2 ARS ブロック図

28.3 外部端子

ARS に関連する外部端子はありません。なお、各カメラの入力及びクロックは内部カメラ入力用モジュールより供給されております。

28.4 レジスタ説明

28.4.1 レジスタ一覧

ARS の制御レジスタが配置されているデフォルトのベースアドレスは、0xFFFE_7000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 28.1 ARS レジスタ一覧

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
ARS 制御レジスタ ベースアドレス : 0xFFFE_7000				
0x00	ARS コントロールレジスタ (ARSCTRL)	0x0000_0080	R/W	32
0x04	ARS エリア選択レジスタ (ARSASEL)	0x0000_0000	R/W	32
0x0C	ARS ステータスレジスタ (ARSSTAT)	0x0000_0000	R/W	32
0x10	ARS 割り込み要因レジスタ (ARSINT)	0x0000_0000	R/W	32
0x40	ARS 積算レジスタ 0 (ARSADD0)	0x0000_0000	RO	32
0x44	ARS 積算レジスタ 1 (ARSADD1)	0x0000_0000	RO	32
0x48	ARS 積算レジスタ 2 (ARSADD2)	0x0000_0000	RO	32
0x4C	ARS 積算レジスタ 3 (ARSADD3)	0x0000_0000	RO	32
0x50	ARS 積算レジスタ 4 (ARSADD4)	0x0000_0000	RO	32
0x54	ARS 積算レジスタ 5 (ARSADD5)	0x0000_0000	RO	32
0x58	ARS 積算レジスタ 6 (ARSADD6)	0x0000_0000	RO	32
0x5C	ARS 積算レジスタ 7 (ARSADD7)	0x0000_0000	RO	32
0x60	ARS 積算レジスタ 8 (ARSADD8)	0x0000_0000	RO	32
0x64	ARS 積算レジスタ 9 (ARSADD9)	0x0000_0000	RO	32
0x68	ARS 積算レジスタ 10 (ARSADD10)	0x0000_0000	RO	32
0x6C	ARS 積算レジスタ 11 (ARSADD11)	0x0000_0000	RO	32
0x70	ARS 積算レジスタ 12 (ARSADD12)	0x0000_0000	RO	32
0x74	ARS 積算レジスタ 13 (ARSADD13)	0x0000_0000	RO	32
0x78	ARS 積算レジスタ 14 (ARSADD14)	0x0000_0000	RO	32
0x7C	ARS 積算レジスタ 15 (ARSADD15)	0x0000_0000	RO	32

28.4.2 レジスタ詳細説明

ARS コントロールレジスタ							
ARS[0x00]		初期値 = 0x0000_0080					Read/Write
SWRST (WO)	Reserved		ADDCYC (R/W)				
15	14	13	12	11	10	9	8
ADDOFF (RO)	CHGRATE (R/W)			CAMSEL (R/W)	YUVSEL (R/W)		ARSEN (R/W)
7	6	5	4	3	2	1	0

Bit 15 : **SWRST ソフトウェアリセット**
 エリアセンサモジュールをリセットできます。
 0 : 何もしない
 1 : ソフトウェアリセットを実行

Bits [14:13] : **(Reserved)**

Bits [12:8] : **ADDCYC 積算周期設定**
 積算・比較を行う周期を設定します。このレジスタに設定した値でカメラインタフェースから送られてくる画像イメージの YUV 成分を積算し、以前の値との比較を行います。
 00000 : 積算しない (初期値)
 00001 : 毎フレーム積算
 00010 : 2 フレーム毎に積算
 :
 11111 : 31 フレーム毎に積算

28. エリアセンサ(ARS)

- Bit 7 : **ADDOFF 積算 On/Off 状態表示 (Read Only)**
積算の On/Off の状態を表示します。積算値やステータスレジスタを読み出す場合にはこのレジスタを参照し、Off になっていることを確認してから読み出しを行ってください。
0 : 積算 On (初期値)
1 : 積算 Off
- Bits [6:4] : **CHGRATE 変化率設定**
積算値に以下の閾値以上の変化があった場合にステータスレジスタ (ARS[0x08]) の各ステータスビットに“1”をセットし、割り込みを発生させます。
000 : 約 1.5% (初期値)
001 : 約 3%
010 : 約 6%
011 : 約 13%
100 : 約 25%
101 : 約 50%
11x : (Reserved)
- Bit 3 : **CAMSEL カメラ選択**
積算するカメラの入力を選択します。
0 : カメラ 0 (初期値)
1 : カメラ 1
- Bits [2:1] : **YUVSEL 積算エレメント選択**
Y/U/V の中から積算する値を選択します。
00 : 積算しない (初期値)
01 : Y を積算
10 : U を積算
11 : V を積算
- Bit 0 : **ARSEN ARS イネーブル**
ARS の積算機能の On/Off を設定します。このビットに“1”を書き込みますと、次のフレームより積算を開始します。また、このビットに“0”を書き込みますと現在のフレームが終了した後に ARS の積算機能が停止します。
0 : ARS Disable
1 : ARS Enable

ARS エリア選択レジスタ								
ARS[0x04]				初期値 = 0x0000_0000				Read/Write
ASEL[15:8]								
15	14	13	12	11	10	9	8	
ASEL[7:0]								
7	6	5	4	3	2	1	0	

- Bit[15:0] : **ASEL エリア選択レジスタ**
変化を検出するエリアを選択します。(複数選択可) 各分割エリアの対応は図 28.1 分割エリアの分布を参照して下さい。

ARS ステータスレジスタ								
ARS[0x0C]				初期値 = 0x0000_0000				Read/Write
ARSSTAT [15:8]								
15	14	13	12	11	10	9	8	
ARSSTAT[7:0]								
7	6	5	4	3	2	1	0	

Bit[15:0] : **ARSSTAT エリアステータスレジスタ**
 各分割エリアに設定した変化率以上の変化があったかどうかを示します。
 0 : エリア内に変化なし
 1 : エリア内に変化あり
 また、各ビットに“1”を書き込むことでクリアすることができます。

ARS 割り込みステータスレジスタ								
ARS[0x10]				初期値 = 0x0000_0000				Read/Write
ARSINT [15:8]								
15	14	13	12	11	10	9	8	
ARSINT[7:0]								
7	6	5	4	3	2	1	0	

Bits [15:0] : **ARSINT[15:0] ARS 割り込み要因レジスタ**
 各分割エリアで割り込み要因が発生したかを示します。また、各ビットに“1”を書くことで要因をクリアすることができます。

ARS 積算値レジスタ 0~15																	
ARS[0x40] ~ ARS[0x7C]											初期値 = 0000_0000					Read Only	
GTO		(Reserved)										ADDV[20:16]					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
ADDV[15:0]																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bit [31] : **GTO 積算値増加/減少レジスタ**
 現在の積算値が以前の積算値と比較して増加したか減少したかを示します。
 0 : 減少した
 1 : 増加した

Bits [20:0] : **ADDV [20:0] エリア積算値レジスタ**
 各エリアの積算値を示します。

29. DMA コントローラ 3 (DMAC3)

29.1 概要

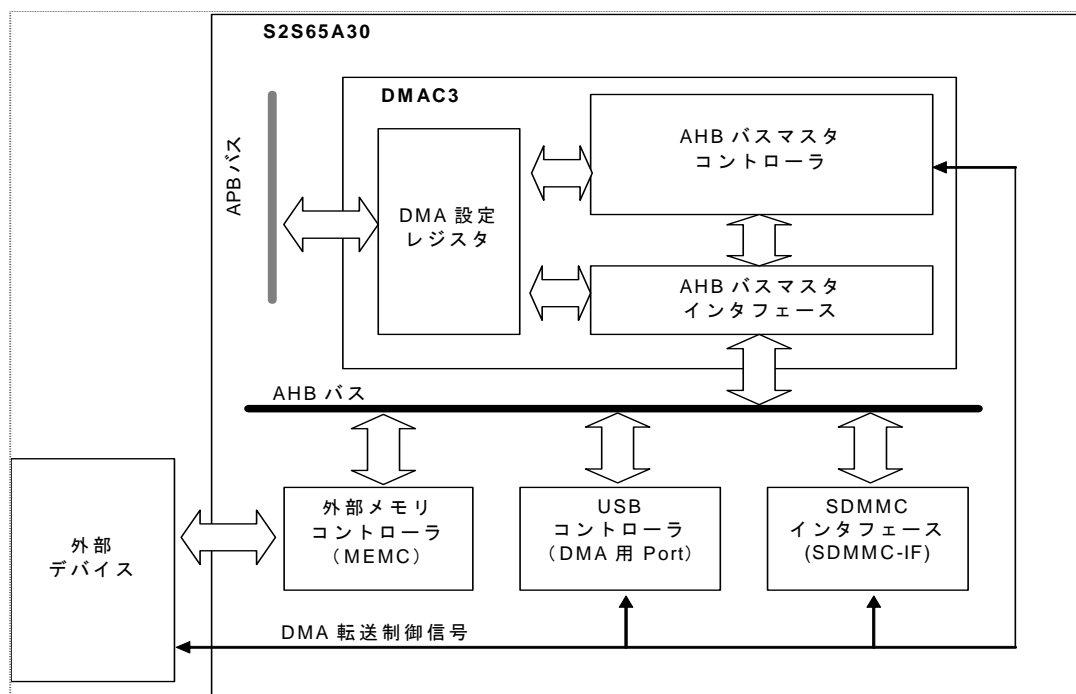
S2S65A30 内蔵 DMA コントローラ 3 は内蔵 SDMMC インタフェース、内蔵 USB 2.0 HS デバイスコントローラ、SRAM/SDRAM インタフェースに接続された外部デバイスやメモリデバイス間で高速にデータを転送するための DMA コントローラです。異なるアクセスサイズのデバイス間においても最適な DMA 転送を行う事ができるだけでなく、各 I/O デバイス間の DMA 転送もサポートします。また、外部 DREQ#/DACK#端子により外部デバイスとの間でハンドシェイクを行いながら DMA 転送をすることも可能です。

29.1.1 機能の概要

機能の概要は以下の通りです。

- DMA 転送チャンネル数：1 チャンネル
- メモリ-メモリ間転送、メモリ-I/O デバイス間転送、I/O デバイス-I/O デバイス間転送に対応
- I/O デバイスからの 1 リクエストに対して 32Byte 連続転送可能（対応デバイスのみ）
- 転送ソース/ディestinationそれぞれにシングル転送/バースト転送の設定が可能
- 8bit/16bit/32bit の転送サイズに対応
- 転送サイズが異なるデバイス間の転送もサポート
- 転送バイト数を設定せずに転送し続けるフリーラン機能
- 32Byte の転送バッファを内蔵

29.2 ブロック図



*DMAC3 より内蔵デバイスの I/O レジスタ領域(0xFFFD_0000~0xFFFF_FFFF)や、JPEG コントローラ 1/2 の FIFO およびラインバッファの AHB 領域 (0xD000_0000~0xEFFF_FFFF) にはアクセスできませんのでご注意ください。

29.3 外部端子

DMA コントローラ 3 関連の外部端子は以下の通りです。

表 29.1 DMA コントローラ 3 関連外部端子一覧

端子名	入出力	端子機能	マルチプレクス端子／備考*
DREQ#	I	外部 DMA 要求信号	GPIOB5、INT5、TimerA1Out
DACK#	O	外部 DMA 応答信号	GPIOC1、TimerB1IO

注意(*)：これらの外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2”に設定することにより使用できます。

29.4 レジスタ

29.4.1 レジスタ一覧

以下に DMA コントローラ 3 のレジスタ一覧を示します。これらのレジスタのベースアドレスは、0xFFFF_3000 です。

表 29.2 レジスタ一覧（ベースアドレス：0xFFFF_3000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
DMA Controller 3 Registers					
0x00	DMAC3 転送元アドレスレジスタ	SADR	0x0000_0000	R/W	32
0x04	DMAC3 転送先アドレスレジスタ	DADR	0x0000_0000	R/W	32
0x08	DMAC3 転送バイト数レジスタ	TBYTE	0x0000_0000	R/W	32
0x0C	DMAC3 転送制御レジスタ	DCTRL	0x0000_0000	R/W	32
0x10	DMAC3 動作制御レジスタ	DOPSR	0x0000_0000	R/W	32
0x14 -	(Reserved)	-	0xFFFF_XXXX	R	-

29. DMA コントローラ 3 (DMAC3)

29.4.2 レジスタ詳細

DMAC3 転送元アドレスレジスタ (SADR)															
DMAC3[0x00] 初期値 = 0x0000_0000															
Read/Write															
SADR[31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SADR[15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0]

SADR[31:0]

DMA 転送の転送元アドレスを設定します。

設定するアドレスは転送データサイズに合わせる必要があります。たとえば転送元の転送データサイズが 32bit の時は、このレジスタの bit[1:0]は“00”でなければなりません。

また、このレジスタの設定値は DMA 転送開始後にハードウェアにより自動的に次の転送元アドレスに更新されます。その更新タイミングは転送元からの転送が終了したタイミングとなります。

*DMA コントローラ 3 では転送元からの転送データを転送先のアドレスに応じて Byte 位置を調整しませんので、転送先アドレスレジスタ (DADR) の下位 2Bit は転送元アドレスレジスタ (SADR) の下位 2Bit と同じでなければなりません。

DMAC3 転送先アドレスレジスタ (DADR)															
DMAC3[0x04] 初期値 = 0x0000_0000															
Read/Write															
DADR[31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DADR[15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0]

DADR[31:0]

DMA 転送の転送先アドレスを設定します。

設定するアドレスは転送データサイズに合わせる必要があります。たとえば転送先の転送データサイズが 32bit の時は、このレジスタの bit[1:0]は“00”でなければなりません。

また、このレジスタの設定値は DMA 転送開始後にハードウェアにより自動的に次の転送先アドレスに更新されます。その更新タイミングは転送先への転送が終了したタイミングとなります。

*DMA コントローラ 3 では転送元からの転送データを転送先のアドレスに応じて Byte 位置を調整しませんので、転送先アドレスレジスタ (DADR) の下位 2Bit は転送元アドレスレジスタ (SADR) の下位 2Bit と同じでなければなりません。

DMAC3 転送バイト数レジスタ (TBYTE)															
DMAC3[0x08] 初期値 = 0x0000_0000															
Read/Write															
TBYTE[31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TBYTE[15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0]

TBYTE[31:0]

DMA 転送するバイト数を設定します。このレジスタの値はハードウェアにより自動的にデクリメントされます。その更新タイミングは転送元からのデータの読み出しが完了したタイミングです。DMA 終了の割り込みはこの転送バイト数レジスタが“0”になった時点で発生します。フリーランモードでない場合に、本レジスタに“0”を設定してはいけません。

DMAC3 転送制御レジスタ (DCTRL)															
DMAC3[0x10] 初期値 = 0x0000_0000													Read/Write		
DRS[1:0]		SRS[1:0]		DDRM	SDRM	ERP	LCK	(RSV)		EAW[1:0]		(RSV)		DAM	SAM
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
(RSV)				FRM	(RSV)	DTM	STM	DTS[1:0]		STS[1:0]		(RSV)	IE	TE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:30] : **DRS[1:0] 転送先リソース選択**
 転送先の DMA 要求リソースを選択します。
 00 : USB2.0 HS デバイスコントローラ (初期値)
 01 : SDMMC コントローラ
 10 : DREQ#外部端子
 11 : ソフトウェア要求

Bits [29:28] : **SRS[1:0] 転送元リソース選択**
 転送元の DMA 要求リソースを選択します。
 00 : USB2.0 HS デバイスコントローラ (初期値)
 01 : SDMMC コントローラ
 10 : DREQ#外部端子
 11 : ソフトウェア要求

Bit 27 : **DDRM 転送先要求モード**
 転送先の DREQ モードを設定します。
 0 : 1 転送要求毎に 1 転送ワード分転送を行う (初期値)
 1 : 1 転送要求毎に 32 バイト分転送を行う

Bit 26 : **SDRM 転送元要求モード**
 転送元の DREQ モードを設定します。
 0 : 1 転送要求毎に 1 転送ワード分転送を行う (初期値)
 1 : 1 転送要求毎に 32 バイト分転送を行う

Bit 25 : **ERP 外部 DREQ 極性設定**
 外部 DREQ#入力、DACK#出力端子の極性を設定します。
 0 : 外部 DREQ#/DACK#端子は Low アクティブ (初期値)
 1 : 外部 DREQ#/DACK#端子は High アクティブ

Bits[24:22] : **予約 (0)**

Bits[21:20] : **EAW[1:0] 外部 DREQ ウェイト設定**
 外部 DACK#端子を出力した後の DREQ#端子からの DMA 要求を受け付けるまでのウェイト設定をします。Bit27,26 に設定された外部デバイスの転送要求モードが“0”の場合には非同期対策回路のため正常にハンドシェイクできない場合がありますので、必要な場合は本レジスタでウェイトを挿入して下さい。ほとんどの外部デバイスの場合にはメモリコントローラ(MEMC)にて設定されるウェイトサイクルにより不要ですが、S2S65A30 が DACK#を出力してから DREQ#を取り下げるまでのサイクル数が長いデバイスの場合には本レジスタの設定が必要になる場合があります。その他、DACK#信号を使わないで DMA 転送を行う場合にも設定は不要です。
 00 : ウェイトサイクルなし (初期値)
 01 : 1 サイクルのウェイトサイクルを挿入
 10 : 2 サイクルのウェイトサイクルを挿入
 01 : 3 サイクルのウェイトサイクルを挿入

Bits[19:18] : **予約 (0)**

29. DMA コントローラ 3 (DMAC3)

- Bit 17 : **DAM 転送先アドレスモード**
転送先のアドレスを転送毎にインクリメントする/しないを設定します。
*本設定と Bit9 の転送先転送モードとの関係に注意してください。Bit9 の転送モードを“1”(インクリメントバーストする)にした場合には必ず本 bit に“1”を設定して下さい。
0 : 転送先アドレスを固定する (初期値)
1 : 転送先アドレスをインクリメントする
- Bit 16 : **SAM 転送元アドレスモード**
転送元のアドレスを転送毎にインクリメントする/しないを設定します。
*本設定と Bit8 の転送元転送モードとの関係に注意してください。Bit9 の転送モードを“1”(インクリメントバーストする)にした場合には必ず本 bit に“1”を設定して下さい。
0 : 転送元アドレスを固定する (初期値)
1 : 転送元アドレスをインクリメントする
- Bits[15:12] : **予約 (0)**
- Bit 11 : **FRM フリーランモード**
本 Bit を“1”に設定すると転送バイトレジスタの値に関係なく DMA 転送をし続けます。(転送終了割り込みは発生されません)
0 : 通常モード (初期値)
1 : フリーランモード
- Bit 10 : **予約 (0)**
- Bit 9 : **DTM 転送先転送モード**
転送先の転送モードを設定します。バースト転送を行ってかつアドレスインクリメントする場合には本 Bit に“1”を設定してください。
0 : シングル転送 (初期値)
1 : INCR (インクリメンタルバースト) 転送
- Bit 8 : **STM 転送元転送モード**
転送元の転送モードを設定します。バースト転送を行ってかつアドレスインクリメントする場合には本 Bit に“1”を設定してください。
0 : シングル転送 (初期値)
1 : INCR (インクリメンタルバースト) 転送
- Bits [7:6] : **DTS[1:0] 転送先転送サイズ**
転送先の転送サイズを設定します。転送先デバイスに合わせて設定して下さい。
00 : 8bit (初期値)
01 : 16bit
10 : 32bit
11 : 予約
- Bits [5:4] : **STS[1:0] 転送元転送サイズ**
転送元の転送サイズを設定します。転送元デバイスに合わせて設定して下さい。
00 : 8bit (初期値)
01 : 16bit
10 : 32bit
11 : 予約
- Bit 3 : **予約 (0)**

Bit 2 : **IE 割り込みイネーブル**

DMA 転送終了の割り込みを許可/禁止します。

0 : 割り込みを禁止する (初期値)

1 : 割り込みを許可する

本ビットを“1”に設定しない場合には DMA 転送終了後に TE ビット(DMA 転送終了ビット)は“1”になりません。

Bit 1 : **TE DMA 転送終了**

DMA 転送の結果転送バイトカウンタが“0”になると“1”がセットされます。割り込みソースフラグとしても機能し、本 Bit に“0”を書き込むとクリアされます。

0 : Read:転送が終了していない (初期値)

1 : Read:転送が終了した

Bit 0 : **DE DMA 転送イネーブル**

DMA 転送の開始、停止を制御します。

0 : DMA 転送を停止 (初期値)

1 : DMA 転送を許可

フリーランモード以外の DMA 転送終了後には本ビットは自動的に“0”になります。

DMAC3 動作制御レジスタ (DOPSR)															
DMAC3[0x10] 初期値 = 0x0000_0000															
(RSV)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
(RSV)															DGE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:1] : **予約 (0)**Bit 0 : **DGE DMA グローバルイネーブル**

DMAC3 モジュール全体のイネーブルを設定します。DMA 転送中に本 Bit に“0”を書き込むと直ちに DMA 転送を中断しますが、復帰するにはシステムコントローラのソフトウェアリセットを発行し、システム全体をリセットする必要がありますので、通常は DMA 転送イネーブル (DMAC3[0x0C]:Bit0)により DMA 転送だけを中断してください。

0 : DMA モジュールディセーブル (初期値)

1 : DMA モジュールイネーブル

予約レジスタ															
DMAC3[0x14] 初期値 = 0xFFFF_FFFF															
RSV															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

予約レジスタです。アクセスしないでください。

30. IP 変換モジュール(IPC) [2:1]

30. IP 変換モジュール(IPC) [2:1]

30.1 概要

S2S65A30 内蔵 IP(Interlaced-to-Progressive)変換モジュールはカメラ I/F より入力されたインタレース(Interlaced Scan)画像(YUV422 形式)をプログレッシブ(Progressive Scan)画像に変換するモジュールです。IP 変換用の画像バッファとして外部 SDRAM を使用しますが、IP 変換モジュール内部にて約 1/2 にデータを圧縮して SDRAM に格納することにより、メモリ領域およびバス帯域の削減を図っております。また、SDRAM より画像データを取り出すときには、圧縮されたデータを伸張しながらプログレッシブ形式の画像(YUV422 形式)として S2S65A30 内蔵 JPEG コントローラ専用カメラ IF へ画像を出力します。その他、アスペクト比の調整機能や画像の補正機能を内蔵しております。

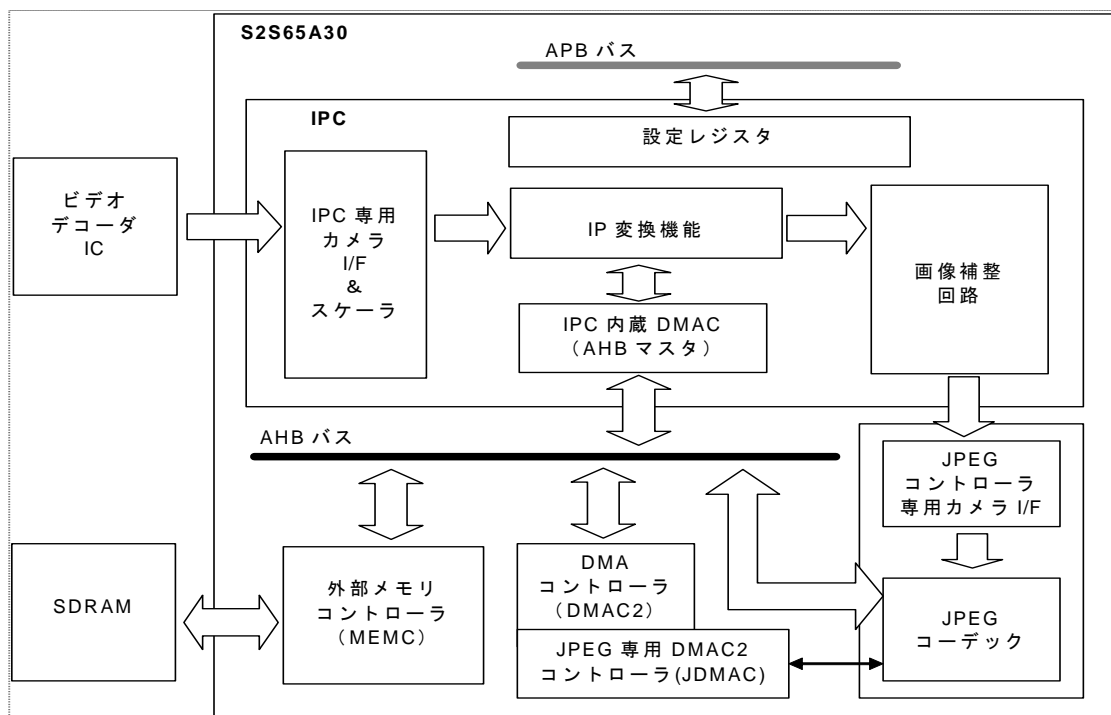
*IP 変換を行わずに本モジュールの画像補正機能だけを利用する事も可能です。

30.1.1 機能の概要

機能の概要は以下の通りです。

- ・ 入力可能フォーマット：BT.601 同期信号入力/BT.656 フォーマット(YUV422 8bit 形式)
- ・ アスペクト比調整用スケーラ内蔵
- ・ IP 変換機能 (Weave:単純合成/Bob:ダブリング/Interpolate:線形補間)
- ・ 変換用バッファとして外部 SDRAM を使用
- ・ SDRAM に格納される画像データを約 1/2 に圧縮
- ・ 画像補正機能内蔵

30.2 ブロック図



30.3 外部端子

IP 変換モジュール関連の外部端子は以下の通りです。

表 30.1 IP 変換モジュール関連外部端子一覧

端子名	入出力	端子機能	マルチプレクス端子／備考*
IPC1VREF	I	IPC1 垂直同期信号入力	CM1VREF、GPIOF0
IPC1HREF	I	IPC1 水平同期信号入力	CM1HREF、GPIOF1
IPC1FIELD	I	IPC1 フィールド信号入力	CM1CLKOUT、GPIOF2
IPC1CLKIN	I	IPC1 クロック入力	CM1CLKIN、GPIOF3
IPC1DATA[7:0]	I	IPC1 データ入力 (8Bit)	CM1DATA[7:0]、GPIOE[7:0]
IPC2VREF	I	IPC2 垂直同期信号入力	CM2VREF、GPIOF4
IPC2HREF	I	IPC2 水平同期信号入力	CM2HREF、GPIOF5
IPC2FIELD	I	IPC2 フィールド信号入力	CM2CLKOUT、GPIOF6
IPC2CLKIN	I	IPC2 クロック入力	CM2CLKIN、GPIOF7
IPC2DATA[7:0]	I	IPC2 データ入力 (8Bit)	CM2DATA[7:0]、GPIOG[7:0]

注意(*)：これらの外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2”に設定することにより使用できます。

30.4 レジスタ

30.4.1 レジスタ一覧

以下に IP 変換モジュール[2:1]のレジスタ一覧を示します。これらのレジスタのベースアドレスは、IPC1:0xFFFE_1000、IPC2:0xFFFD_1000 です。

表 30.2 レジスタ一覧（ベースアドレス：0xFFFF(E/D)_1000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
IPC Camera I/F Register (IPC1: 0xFFFE_1000 / IPC2: 0xFFFD_1000)					
0x000	IPC カメラ入力モード設定	INMODE	0x0000	R/W	16/8bit
0x010	IPC カメラ入力設定	INCONFIG	0x0001	R/W	16/8bit
0x000-0FC	(Reserved)	-	-	-	-
IPC Input Timing Register (IPC1: 0xFFFE_1100 / IPC2: 0xFFFD_1100)					
0x108	IPC X 方向開始位置設定	XSTART	0x0001	R/W	16/8bit
0x10C	IPC Y 方向開始位置設定 / ODD フィールド Y 方向開始位置設定	YSTART / YSTART_O	0x0001	R/W	16/8bit
0x110	IPC EVEN フィールド Y 方向開始位置設定	YSTART_E	0x0001	R/W	16/8bit
0x114	IPC 割り込み設定	INTSEL	0x0000	R/W	16/8bit
0x118-0x1FC	(Reserved)	-	-	-	-
IPC Scaler Register (IPC1: 0xFFFE_1200 / IPC2: 0xFFFD_1200)					
0x200	IPC スケーラー設定	CONTROL	0x0001	R/W	16/8bit
0x204-3FC	(Reserved)	-	-	-	-
IPC Buffer Control Register (IPC1: 0xFFFE_1400 / IPC2: 0xFFFD_1400)					
0x400	IPC 変換バッファ用 SDRAM 開始アドレス 1	IPCBUF_SADR_L	0x0000	R/W	16bit
0x404	IPC 変換バッファ用 SDRAM 開始アドレス 2	IPCBUF_SADR_H	0x0000	R/W	16bit
0x408-0x4FC	(Reserved)	-	-	-	-
IPC Format Register (IPC1: 0xFFFE_1500 / IPC2: 0xFFFD_1500)					

30. IP 変換モジュール(IPC) [2:1]

0x500-50C	(Reserved)	-	-	-	-
0x510	IPC ビデオ出力 X 方向有効画素	VOUT_HD	0x0280	R(/W)	16bit
0x514-0x51C	(Reserved)	-	-	-	-
0x520	IPC ビデオ出力 X 方向長設定	VOUT_HT	0x02DA	R(/W)	16bit
0x524-0x530	(Reserved)	-	-	-	-
0x534	IPC ビデオ出力垂直ブランクライン数	VOUT_VP	0x0001	R/W	16bit
0x538-0x53C	(Reserved)	-	-	-	-
0x540	IPC ビデオ出力 Y 方向有効画素	VOUT_VD	0x01E0	R(/W)	16bit
0x544-0x6FC	(Reserved)	-	-	-	-
IPC Mode Register (IPC1: 0xFFFE_1700 / IPC2: 0xFFFD_1700)					
0x700	IPC Interlaced-to-Progressive 変換モード	IPC_MODE	0x0080	R/W	16/8bit
0x704-7FC	(Reserved)	-	-	-	-
IPC Output Control Register (IPC1: 0xFFFE_1800 / IPC2: 0xFFFD_1800)					
0x800	IPC 同期信号出力極性設定	OUTCONFIG	0x0003	R/W	16/8bit
0x804	IPC 画像補整回路バイパス設定	BYPASS	0x0000	R/W	16/8bit
0x808	IPC 画像補整設定更新レジスタ	UPDATE	0x0000	R/W	16/8bit
0x80C-0x9FC	補正值設定レジスタ領域 (Reserved)	-	-	-	16bit

30.4.2 レジスタ詳細

IPC カメラ入力モード設定 (INMODE)														
IPC[0x000] 初期値 = 0x0000										Read/Write				
(RSV)								EN	(RSV)				MODE[2:0]	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 0

Bits[15:8] : 予約 (0)

Bit [7] **EN カメラ入力イネーブル**
 IP 変換モジュールへの画像データの入力の有効/無効を設定します。
 0 : 無効 (初期値)
 1 : 有効

Bits[6:3] : 予約 (0)

Bits[2:0] : **MODE[2:0] 入力モード**
 IP 変換モジュールへの画像データの入力のモードを設定します。
 *IP 変換モジュールの IP 変換機能を使用せず画像補整機能だけを使用する場合には本レジスタにて VGA Progressive を選択して下さい。
 000 : NTSC(720) Interlaced 入力 720 x 480 pixel (初期値)
 001 : NTSC(704) Interlaced 入力 704 x 480 pixel
 010 : PAL Interlaced 入力 720 x 576 pixel
 100 : VGA Progressive 640 x 480 pixel
 上記以外 : 設定禁止

IPC カメラ入力設定 (INCONFIG)															
IPC[0x010] 初期値 = 0x0001										Read/Write					
(RSV)										FORM[1:0]	ITU	ODDPOL	HSPOL	VSPOL	CKPOL
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits[15:7] : 予約 (0)

Bits [6:5] **FORM[1:0] 入力 YUV 様式**

IP 変換モジュールへ入力される YUV データの入力される順序を設定します。

00 : U - Y0 - V - Y1 (初期値)

01 : V - Y0 - U - Y1

10 : Y0 - U - Y1 - V

11 : Y0 - V - Y1 - U

Bit [4] : **ITUSEL 入力規格設定**

IP 変換モジュールへ入力される画像の規格を設定します。

0 : ITU-R BT601 (初期値)

1 : ITU-R BT656

Bit [3] : **ODDPOL 奇数フィールド選択信号極性設定**

IP 変換モジュールへ入力されるフィールド信号(IPC1FIELD,IPC2FIELD)の極性を設定します。奇数フィールド期間中のフィールド信号の極性を設定して下さい。本ビットは INTSEL にて ITU-R BT656 を選択した場合には無効です。ITU-R BT656 を選択された場合には IPC1FIELD,IPC2FIELD 端子には何も入力しないか、該当端子を GPIO モジュールの端子機能設定により GPIO の設定とした上で本 bit に"1"を設定してから IPC カメラ入力モード設定レジスタでカメラ入力を Enable にして下さい。

0 : Low Active (初期値)

1 : High Active

Bit [2] : **HSPOL 水平同期信号極性設定**

IP 変換モジュールへ入力される HREF 信号(IPC1HREF,IPC2HREF)の極性を設定します。本ビットは INTSEL にて ITU-R BT656 を選択した場合には無効です。ITU-R BT656 を選択された場合には IPC1HREF,IPC2HREF 端子には何も入力しないか、該当端子を GPIO モジュールの端子機能設定により GPIO の設定とした上で本 bit に"1"を設定してから IPC カメラ入力モード設定レジスタでカメラ入力を Enable にして下さい。

0 : Low Active (初期値)

1 : High Active

Bit [1] : **VSPOL 垂直同期信号極性設定**

IP 変換モジュールへ入力される VREF 信号(IPC1VREF,IPC2VREF)の極性を設定します。本ビットは INTSEL にて ITU-R BT656 を選択した場合には無効です。ITU-R BT656 を選択された場合には IPC1VREF,IPC2VREF 端子には何も入力しないか、該当端子を GPIO モジュールの端子機能設定により GPIO の設定とした上で本 bit に"1"を設定してから IPC カメラ入力モード設定レジスタでカメラ入力を Enable にして下さい。

0 : Low Active (初期値)

1 : High Active

Bit [0] : **CKPOL クロック信号極性設定**

IP 変換モジュールへ入力される画像クロック信号(IPC1CLKIN,IPC2CLKIN)の極性を設定します。

0 : 立ち下がりエッジで動作

1 : 立ち上がりエッジで動作 (初期値)

30. IP 変換モジュール(IPC) [2:1]

IPC 水平方向開始位置設定 (XSTART)															
IPC[0x108] 初期値 = 0x0001								Read/Write							
(RSV)								XSTART[7:0]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits[15:8] : 予約 (0)

Bits [7:0] XSTART[7:0] 水平方向開始位置

水平方向の有効画素の開始位置を設定します。

ITU-R BT.656 モードで入力する場合などは有効画素が始まる水平方向の pixel 位置を指定して下さい。

IPC 垂直方向開始位置設定 / ODD フレーム垂直方向開始位置設定 (YSTART/YSTART_O)															
IPC[0x10C] 初期値 = 0x0001								Read/Write							
(RSV)								XSTART[7:0] / XSTART_O[7:0]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits[15:8] : 予約 (0)

Bits [7:0] YSTART[7:0] 水平方向開始位置

/ YSTART_O[7:0] 奇数フィールド水平方向開始位置

水平方向の有効画素の開始位置を設定します。インタレース形式の入力の場合には奇数フィールドの有効画素の開始位置を設定します。

ITU-R BT.656 で入力する場合などは有効画素が始まる垂直方向の pixel 位置を指定して下さい。

IPC EVEN フレーム垂直方向開始位置設定 (YSTART_E)															
IPC[0x110] 初期値 = 0x0001								Read/Write							
(RSV)								YSTART_E[7:0]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits[15:8] : 予約 (0)

Bits [7:0] YSTART_E[7:0] 偶数フィールド水平方向開始位置

インタレース形式の入力の奇数フィールドの有効画素の開始位置を設定します。プログレッシブ形式の入力の場合には本レジスタは無効となります。

ITU-R BT.656 で入力する場合などは有効画素が始まる垂直方向の pixel 位置を指定して下さい。

IPC 割り込み設定 (INTSEL)															Read/Write	
IPC[0x114] 初期値 = 0x0000															HINT	VINT
(RSV)															1	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2			

Bits[15:2] 予約 (0)

Bit [1] **HINT HSYNC 割り込み**

水平同期信号により割り込みを発生させることができます。ITU-R BT601 モードの時には IPCxHREF 端子が“Low”から“High”(Low Active 設定の場合)に変化した際に割り込みが発生します。ITU-R BT656 モードの場合には埋め込み水平同期信号のビットが“1”から“0”に変化したタイミングで割り込みが発生します。

0 : 割り込み禁止 (初期値)

1 : 割り込み許可

Bit [0] **VINT VSYNC 割り込み**

垂直同期信号により割り込みを発生させることができます。ITU-R BT601 モードの時には IPCxVREF 端子が“Low”から“High”(Low Active 設定の場合)に変化した際に割り込みが発生します。ITU-R BT656 モードの場合には埋め込み垂直同期信号のビットが“1”から“0”に変化したタイミングで割り込みが発生します。

0 : 割り込み禁止 (初期値)

1 : 割り込み許可

IPC スケーラー設定 (CONTROL)															Read/Write	
IPC[0x200] 初期値 = 0x0001																SCLE
(RSV)															1	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		

Bits[15:1] 予約 (Read:不定/Write:0)

Bit [0] **SCLE スケーラー回路 Enable**

スケーラー回路の有効/無効を制御します。通常は“1”のまま変更しないで下さい。

0 : スケーラー回路 Disable

1 : スケーラー回路 Enable (初期値)

30. IP 変換モジュール(IPC) [2:1]

IPC 変換バッファ用 SDRAM 開始アドレス 1 (IPCBUF_SADR_L)														Read/Write	
IPC[0x400] 初期値 = 0x0000															
IPCBUF_SADR[15:2]														(RSV)	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IPC 変換バッファ用 SDRAM 開始アドレス 2 (IPCBUF_SADR_H)														Read/Write	
IPC[0x404] 初期値 = 0x0000															
IPCBUF_SADR[31:16]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

0x400 Bits [15:2] IPCBUF_SADR[15:2] IP 変換バッファ開始アドレス[15:2]

0x404 Bits [15:0] IPCBUF_SADR[31:16] IP 変換バッファ開始アドレス[31:16]

IP 変換のバッファとして使用する SDRAM の先頭アドレスを指定します。メモリ帯域や容量が不足してしまいますので SDRAM 領域以外には設定しないで下さい。

最低限必要な IP 変換バッファ領域は NTSC の場合 467kByte、PAL の場合 671kByte ですが、カメラとビデオデコーダ内部回路との同期切り替えのタイミングなどに、ビデオデコーダから規格外の信号が出力されてくる可能性があり、このような場合にはより多くのメモリを使用してしまいます。通常の同期切り替えであれば NTSC の場合 778kByte、PAL の場合 1118kByte 以上確保することにより、ソフトウェアにより確保された領域にはみ出してしまうことはありませんが、同期の切り替えが頻繁に起きたり、偶数フィールドのみが何フィールドも連続して出力されたりするような状態においては必要とされるメモリ量が確定されません。このような場合に対応するためには、以降の領域にメモリ領域が割り当てられていない領域に IP 変換用のバッファ領域を割り当てて下さい。(ミラーとして見えてしまうメモリ領域にも注意が必要です。SDCS1#の領域を使用していない場合は～0x4FFF_FFFF 付近、SDCS1#を使用する場合は～0x5FFF_FFFF 付近の領域を使用して下さい。)

IPC ビデオ出力 X 方向有効画素 (VOUT_HD)															
IPC[0x510] 初期値 = 0x0280 (640d) NTSC / 0x0300 (768d) PAL															
Read/(Write)															
(RSV)						HD[9:0]									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:10] 予約 (0)

Bits [9:0] : **HD[9:0] 出力水平方向有効画素数**

IP 変換後の画像データとして出力するビデオ出力の水平(X)方向有効画素数を Pixel 単位で設定します。通常はリードオンリのビットとなりますので初期値のままご使用下さい。

IPC ビデオ出力 X 方向長 (VOUT_HT)															
IPC[0x520] 初期値 = 0x02DA (730d) NTSC / 0x035A (858) PAL															
Read/(Write)															
(RSV)						HT[9:0]									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:10] 予約 (0)

Bits [9:0] : **HT[9:0] 出力水平方向画素数**

IP 変換後の画像データとして出力するビデオ出力の水平(X)方向長を Pixel 単位で設定します。必ず VOUT_HD に設定した値に 0x5A(90d)を加えた値を設定して下さい。また通常はリードオンリのビットとなりますので初期値のままご使用下さい。

IPC ビデオ出力垂直ブラントライン数 (VOUT_VP)															
IPC[0x534] 初期値 = 0x0001 (1d)															
Read/Write															
(RSV)										VP[5:0]					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:6] 予約 (0)

Bits [5:0] **VP[5:0] 出力垂直ブラント期間ライン数**

IP 変換後のビデオ出力信号の垂直ブラント期間ライン数を設定します。S2S65A30 では S2S65A00 互換カメラインタフェース(S2S65A30 テクニカルマニュアル 4 章記載)のフレーム割り込み(VREF がアクティブからインアクティブレベルへ変化時)を使用する場合には、割り込み処理が間に合う程度に設定する必要があります。

初期値のままではフレーム割り込みが発生してから約 58 μ sec 程度 (システム周波数が 50MHz で NTSC の場合) で次のフレームが開始されてしまい、次のフレームまでに行わなければならない処理が間に合わなくなってしまう恐れがあります。

なお、本レジスタの設定値と垂直ブラント期間との関係は以下の計算式で求められます。

(本レジスタの設定値) \times (IPC ビデオ出力 X 方向長) \times (システムクロック周期) \times 4

*本レジスタの設定値は NTSC の場合 0x0040 程度までとする必要があります。0x0040 より大きな値を設定されますと、S2S65A30 内部クロックおよびカメラ入力クロックの周波数およびクロックジッタ等の影響によっては正常に動作しない可能性があります。また、VOUT_HT および VOUT_VD を変更して使用される場合にはさらに小さな値までしか設定できなくなる事があります。

PAL の場合は本レジスタの値を増やすことはできません。初期値のまま使用されますと割り込み応答処理に許された時間は約 68 μ sec となってしまうので、全フレーム (25fps@PAL) JPEG エンコードする場合には IP 変換回路出力 (3 章のカメラインタフェースの入力) の有効フレーム期間中にリサイズの ActAgain 処理を行う事を推奨致します。

30. IP 変換モジュール(IPC) [2:1]

IPC ビデオ出力 Y 方向有効画素 (VOUT_VD)															
IPC[0x540] 初期値 = 0x01E0 (480d) NTSC / 0x0240 (576) PAL															
(RSV)								VD[9:0]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:10] 予約 (0)

Bits [9:0] VD[9:0] 出力垂直方向有効画素数

IP 変換後の画像データとして出力するビデオ出力の垂直(Y)方向有効画素数を Pixel 単位で設定します。通常はリードオンリのビットとなりますので初期値のままご使用下さい。

IPC Interlaced-to-Progressive 変換モード (IPC_MODE)															
IPC[0x700] 初期値 = 0x0080															
(RSV)								IPCE	(RSV)				MODE		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:8] 予約 (0)

Bit [7] IPCE IP 変換モジュール Enable

IP 変換用回路の Enable/Disable を設定します。IP 変換を行わない(Progressive Scan で入力して画像補正機能を使用する)場合にも本モジュールは Enable に設定する必要があります。

0 : IP 変換回路 Disable

1 : IP 変換回路 Enable (初期値)

Bits [6:2] 予約 (0)

Bits [1:0] : MODE[1:0] IP 変換モード選択

Interlaced-to-Progressive 変換モードを設定します。

00 : Weave Mode : 単純合成 (初期値)

01 : Bob Mode : ダブリング

10 : Interpolation Mode : 線形補間

11 : 予約

IPC 同期信号出力極性設定 (OUTCONFIG)															
IPC[0x800] 初期値 = 0x0003															
(RSV)														OPOL	HSEL
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:2] 予約 (0)

Bit [1] OPOL 出力極性設定

IP 変換用回路から出力される画像における同期信号極性を設定します。通常は初期値のまま使用し、IP 変換回路の次段に接続される S2S65A シリーズの JPEG コントローラ専用カメラ I/F の設定をこちらの設定に合わせてご使用下さい。

0 : 正論理

1 : 負論理 (初期値)

Bit [0] HSEL 水平同期種類設定

IP 変換用回路から出力される画像における水平同期信号の種類を設定します。通常は初期値のまま使用し、IP 変換回路の次段に接続される S2S65A シリーズの JPEG コントローラ専用カメラ I/F の設定をこちらの設定に合わせてご使用下さい。

0 : HSYNC 出力

1 : データ有効(HVALID)出力 (初期値)

IPC 画像補整回路バイパス設定 (BYPASS)														
IPC[0x804] 初期値 = 0x0000														
(RSV)														Read/Write
15	14	13	12	11	10	9	8	7	6	5	4	3	2	BYPASS (RSV)
														1 0

Bits [15:2] 予約 (0)

Bit [1] **BYPASS 画像補整回路バイパス設定**
 画像補整回路をバイパスするかどうかを設定します。
 0 : 画像補整回路を使用する (初期値)
 1 : 画像補整回路をバイパスする

Bit [0] 予約 (0)

IPC 画像補整設定更新レジスタ (UPDATE)														
IPC[0x808] 初期値 = 0x0000														
(RSV)														Read/Write
15	14	13	12	11	10	9	8	7	6	5	4	3	2	UPDATE[1:0]
														1 0

Bits [15:2] 予約 (0)

Bits [1:0] **UPDATE[1:0] 画像補整設定更新**
 画像補整設定を更新する場合に“11”を設定します。次のフレームから設定が反映されます。
 00 : 更新しない (初期値)
 01 : 設定禁止
 10 : 設定禁止
 11 : 画像補整設定を更新する

画像補正設定領域															
IPC [0x80C-9FC] 初期値 = 0xFFFF															
(RSV)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

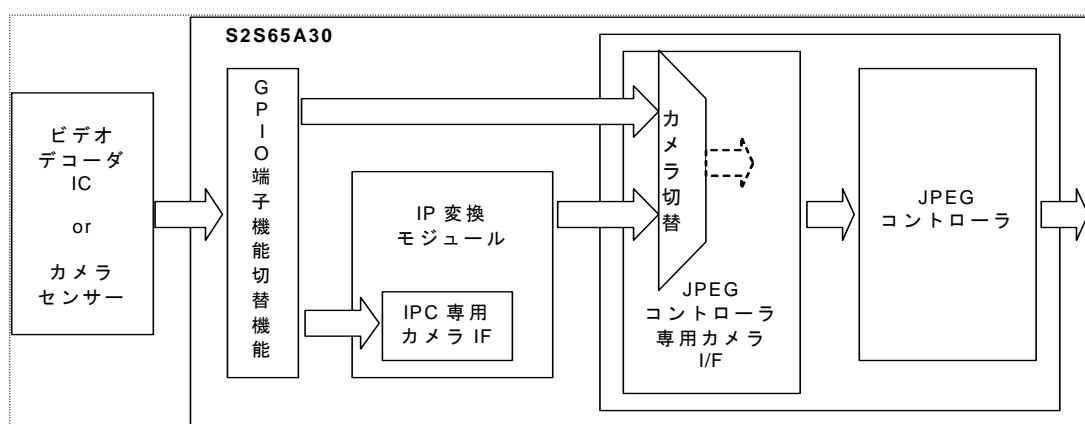
画像補正設定領域です。
 このエリアのレジスタにはサンプルソフトウェアを介してのみアクセス可能です。

30. IP 変換モジュール(IPC) [2:1]

30.5 IP 変換回路を使用する場合の注意事項

30.5.1 注意事項

IP 変換モジュール[2:1]は JPEG エンコーダ専用カメラインタフェースの前段に挿入されますが、GPIO の端子切り替え機能および JPEG エンコーダ専用カメラインタフェースの機能により、S2S65A00 互換の機能との切り替えがなされます。IP 変換モジュールを使用するには GPIO の端子切り替え機能および JPEG エンコーダのカメラインタフェースのカメラポート切り替え機能を適切に設定して下さい。GPIO の端子機能設定は“GPIO 以外の端子機能 2”に、JPEG コントローラ専用カメラ I/F の設定としては“カメラ入力 2”に設定する必要があります。



30.5.2 制限事項

IP 変換回路では画像変換用のバッファとして外部 SDRAM を使用しますが、SDRAM へ一時保存する画像データは JPEG 圧縮前の YUV データを約 1/2 に圧縮しただけの画像であり、内部バスおよび SDRAM の帯域を非常に多く占有してしまいます。このことに起因して IP 変換回路を使用する場合には、以下の制限事項がありますのでご注意ください。

【制限範囲】

- A) システム周波数および IP 変換回路に入力する画像のクロック周波数が制限されます
- B) 使用可能な SDRAM の種類およびメモリコントローラ(MEMC)の設定内容が制限されます
- C) JPEG 画像への圧縮を行わずに YUV データをキャプチャすることはできません
- D) , E) メモリ領域や内部バスを占有する種類の DMA 転送が制限されます。

		A) システム周波数	B) SDRAM 種別 & MEMC 設定	C) YUV データ キャプチャ	D) , E) DMA 機能制限
IP 変換 機能	1ch のみ使用	- (*)	- (**)	○	-(***)
	2ch 使用	○	○(**)	○	○(***)

○ : 制限事項が適用されます

(*) : 画像の入力クロックはシステムクロック周波数の 2/3 未満でなければなりません

(**) : SDRAM バスのバス幅は 32bit でなければなりません

(***) : 外部 SRAM デバイスのアクセスウェイトサイクル設定は 12 以下でなければなりません。

【制限内容詳細】

- A) システム周波数は 50.00MHz の設定とし、画像入力クロックは 27MHz (typ.)以下でなければなりません。
- B) SDRAM は以下の設定に対応可能なものでなければなりません。またメモリコントローラにも以下の設定をしなければなりません。
- ◆ CAS レイテンシ : 2 サイクル以下 (CL=2 or CL=1)
 - ◆ RAS-CAS デレイ : 2 サイクル以下
- *その他、メモリコントローラのオートリフレッシュのホールド数(MEMC[0x74]-bit[11:8])は“0x1”に設定して下さい。
- C) JPEG エンコードを行わずに YUV データのまま画像をキャプチャする事はバス帯域の不足によりできません。(JPEG コントローラのラインバッファがオーバーフローしてしまいます)
- D) DMA コントローラ 3 のインクリメンタルバースト転送機能(DMAC3[0x10]-Bit[9:8])は使用できません。
- E) DMA コントローラ 3 によりメモリコントローラ(MEMC)を経由して外部 SRAM や外部 I/O デバイスとの間で DMA 転送する場合は、外部デバイスのアクセスウェイトサイクルを以下の基準値を満たすように設定して下さい。また、DMA コントローラ 3 を使用しない場合にも外部デバイスのアクセスウェイトサイクル (WAITRD+WAITRH および WAITWR+WAITWH) は 12 以下となるように設定して下さい。
- ① SRAM デバイス[3:0]タイミングレジスタ(MEMC[0x20,0x30,0x40,0x50])のウェイトサイクルの設定を 6 サイクル以下のなるべく小さな値として下さい。
 - (ア) Read 設定 : $WAITRD + WAITRH \leq 6$
 - (イ) Write 設定 : $WAITWR + WAITWH + 1 \leq 6$
 - ② 上記が満たせない場合には DMA コントローラ 3 にて DMA 転送を行うデバイスとそれ以外のデバイスとの間のウェイとサイクルの和が 12 サイクル以下のなるべく小さな値となるようにしてください。
 - (ウ) Read 設定 : $WAITRD_{(DMA+非 DMA)} + WAITRH_{(DMA+非 DMA)} \leq 12$
 - (エ) Write 設定 : $WAITWR_{(DMA+非 DMA)} + WAITWH_{(DMA+非 DMA)} + 1 \leq 12$

31. 絶対最大定格

31. 絶対最大定格

31.1 絶対最大定格

(VSS = 0 [V])

項目	記号	定格値	単位
電源電圧	HVDD, UVDD3, C1VDD, C2VDD, SDVDD, AVDD	-0.3 ~ 4.0	V
	LVDD, UPVDD, UXVDD, RTCVDD, PLLVDD	-0.3 ~ 2.5	V
入力電圧	HVI	-0.3 ~ HVDD+0.5	V
	LVI	-0.3 ~ LVDD+0.5	V
	USBVBUS	-0.3 ~ 6.0	V
出力電圧	HVO	-0.3 ~ HVDD+0.5	V
	LVO	-0.3 ~ LVDD+0.5	V
出力電流／ピン	IOUT	± 10	mA
保存温度	Tstg	-65 ~ 150	°C

31.2 推奨動作条件（2 電源、3.3V 対応入出力バッファ）

(UVSS = PVSS = XVSS = 0 [V]
VSS = PLLVSS = AVSS = 0 [V])

	項目	記号	Min.	Typ.	Max.	単位
電源電圧（高電圧）	I/O セル用電源	HVDD	3.00	3.30	3.60	V
	USB 用電源	UVDD3	3.00	3.30	3.60	V
	カメラ 1 I/F 用電源	C1VDD	2.40	3.00	3.60	V
	カメラ 2 I/F 用電源	C2VDD	2.40	3.00	3.60	V
	SDRAM I/F 用電源	SDVDD	2.70	3.00	3.60	V
	A/D 用電源	AVDD	3.00	3.30	3.60	V
電源電圧（低電圧）	コア（内部）用電源	LVDD	1.65	1.80	1.95	V
	USB 用電源	UPVDD	1.65	1.80	1.95	V
	USB 用電源	UXVDD	1.65	1.80	1.95	V
	アナログ（PLL）用電源	PLLVDD	1.65	1.80	1.95	V
	RTC 用電源	RTCVDD	1.65	1.80	1.95	V
入力電圧	I/O セル用電源	HVi	VSS	—	HVDD	V
	USB 用電源電圧	UV3i	UVSS	—	UVDD3	V
	カメラ 1 I/F 用電源	C1Vi	VSS	—	C1VDD	V
	カメラ 2 I/F 用電源	C2Vi	VSS	—	C2VDD	V
	SDRAM I/F 用電源	SDVi	VSS	—	SDVDD	V
	A/D 用電源	AVi	AVSS	—	AVDD	V
	コア（内部）用電源	LVi	VSS	—	LVDD	V
	USB 用電源	UPVi	PVSS	—	UPVDD	V
	USB 用電源	UXVi	XVSS	—	UXVDD	V
	アナログ（PLL）用電源	PLLVi	PLLVSS	—	PLLVDD	V
	RTC 用電源	RTCVi	VSS	—	RTCVDD	V
周囲温度		Ta	-40	25	85*	°C
入力立ち上がり時間（ノーマル入力）		tri	—	—	50	ns
入力立ち下がり時間（ノーマル入力）		tfa	—	—	50	ns
入力立ち上がり時間（シュミット入力）		tri	—	—	5	ms
入力立ち下がり時間（シュミット入力）		tfa	—	—	5	ms

*: この温度範囲は、Tj = -40～125[°C]を想定した推奨周囲温度です。

31.3 電源投入タイミング

3.3V 系電源（HVDD）と 1.8V 系電源（LVDD）の投入順序については以下のようにお願いします。

- (1) 片側の電源を投入後、1 秒以内に残りの電源を投入して下さい。この間隔をできるだけ短くすることおよび LVDD を先に投入されることを推奨します。また、HVDD だけが先に投入された状態はシステムの誤動作(電源が正常に投入されない等)を引き起こす危険性がありますので十分に注意して下さい。
- (2) HVDD1 および LVDD が安定した後も、32KHz 発振開始時間以上（例えば 100ms 以上）RESET# をローレベルに保ってください。

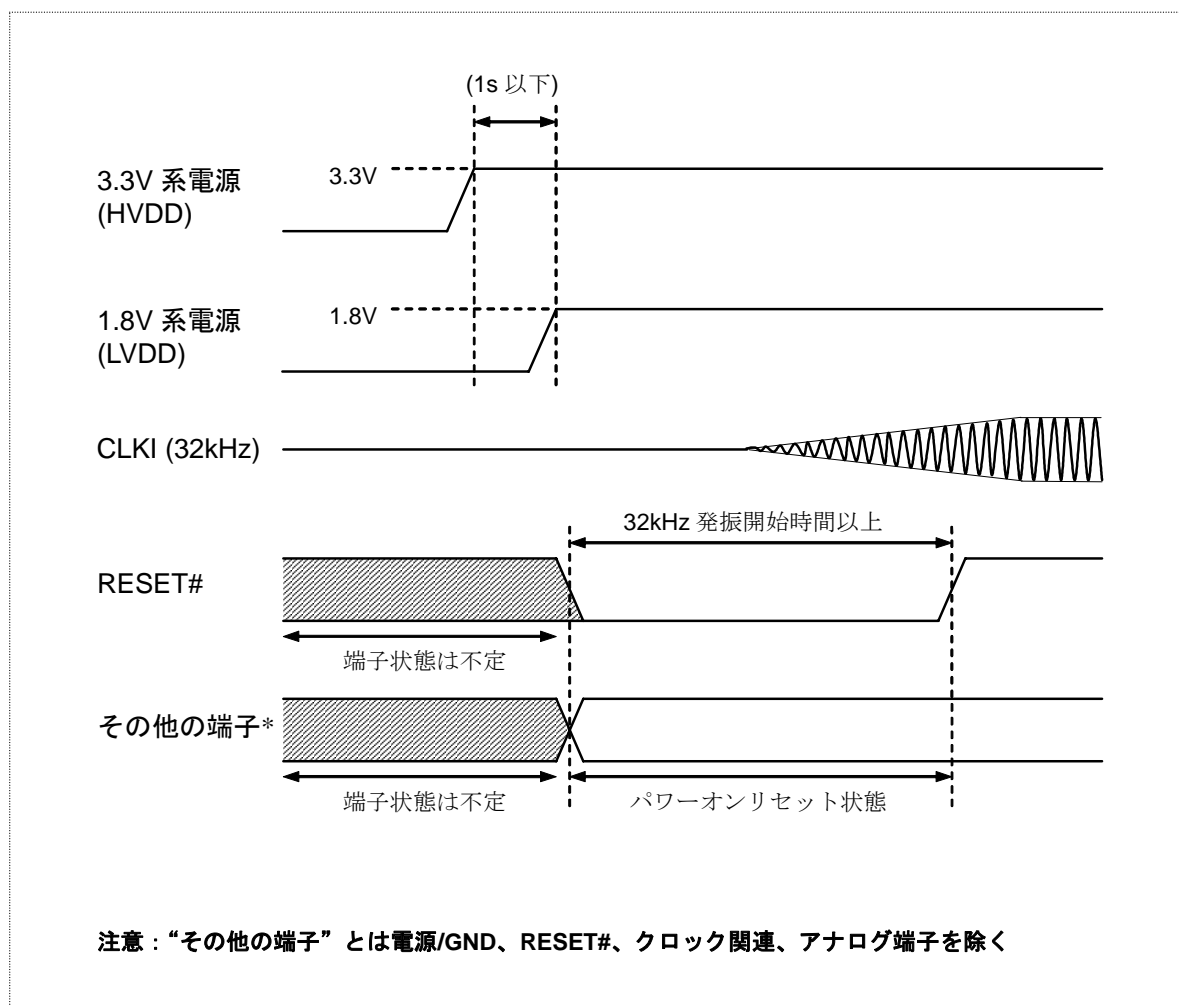


図 31.1 電源投入タイミング

31.4 電源切断タイミング

3.3V 系電源（HVDD）と 1.8V 系電源（LVDD）の切断順序については以下のようにお願いします。

- (1) 片側の電源を切断後、1 秒以内に残りの電源を切断して下さい。この間隔をできるだけ短くすることを推奨します。
- (2) 1.8V 系電源だけを切断した状態では端子状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

32. 電気的特性

32. 電気的特性

32.1 DC 特性

表 32.1 DC 特性 (3.3V)

(HVDD = 3.3V ± 0.3V, VSS = 0V, Ta = -40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	ILI	—	-5	—	5	μA
オフステートリーク電流	IOZ	—	-5	—	5	μA
高レベル出力電圧*	VOH	IOH = -4mA HVDD=Min.	HVDD -0.4	—	—	V
低レベル出力電圧*	VOL	IOL = 4mA HVDD=Min.	—	—	0.4	V
高レベル入力電圧	VIH1	LVC MOS レベル、HVDD=Max.	2.2	—	—	V
低レベル入力電圧	VIL1	LVC MOS レベル、HVDD=Min.	—	—	0.8	V
高レベル入力電圧	VT1+	LVC MOS シュミット	1.4	—	2.7	V
低レベル入力電圧	VT1-	LVC MOS シュミット	0.6	—	1.8	V
ヒステリシス電圧	VH1	LVC MOS シュミット	0.3	—	—	V
高レベル入力電圧	VIH2	LVTTTL レベル、HVDD=Max.	2.0	—	—	V
低レベル入力電圧	VIL2	LVTTTL レベル、HVDD=Min.	—	—	0.8	V
プルアップ抵抗	PPU	VI=0V	25	50	120	kΩ
プルダウン抵抗	PPD	VI=HVDD	25	50	120	kΩ
			50	100	240	
入力端子容量	CI	f=1MHz, HVDD = 0V	—	—	8	pF
出力端子容量	CO	f=1MHz, HVDD = 0V	—	—	8	pF
入出力端子容量	CIO	f=1MHz, HVDD = 0V	—	—	8	pF
ADC 動作電流	IADC	—	—	—	1	mA
ADC 入力インピーダンス	PADC	—	—	5	—	kΩ

* : すべての出力および入出力端子が対象となります。

*² : MD[15:0]端子以外のプルダウン抵抗付きの端子

表 32.2 DC 特性 (1.8V)

(RTCVDD = 1.8V ± 0.15V, VSS = 0V, Ta = -40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	ILI	—	-5	—	5	μA
オフステートリーク電流	IOZ	—	-5	—	5	μA
高レベル入力電圧	VT1+	LVC MOS シュミット	0.6	—	1.4	V
低レベル入力電圧	VT1-	LVC MOS シュミット	0.3	—	1.1	V
ヒステリシス電圧	VH1	LVC MOS シュミット	0.02	—	—	V
入力端子容量	CI	f=1MHz, HVDD = 0V	—	—	8	pF

表 32.3 USBVBUS 判定電圧

項目	記号	条件	Min.	Typ.	Max.	単位
H レベルトリガ電圧	VBTH	UVDD3 = 3.6V	1.86	—	2.85	V
L レベルトリガ電圧	VBTL	UVDD3 = 3.0V	1.48	—	2.23	V
ヒステリシス電圧	VBH	UVDD3 = 3.0V	0.31	—	0.64	V

表 32.4 消費電流（参考値、標準サンプルの室温条件で測定）

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流 (LVDD)	ILOW	ロースピードモード ^{*1}	—	180	—	μA
	ILOWh	ロースピード HALT モード ^{*2}	—	155	—	μA
	I _{FO1}	ハイスピードモード 1 ^{*3}	—	120	—	mA
	I _{FO2}	ハイスピードモード 2 ^{*4}	—	95	—	mA
	I _{FO3}	ハイスピードモード 3 ^{*5}	—	145	—	mA
消費電力(RTCVDD)	IRTCO	RTC 単体動作 (BUP#=LOW) ^{*6}	—	1	—	μA
	IRTCH	RTC 通常動作 (BUP#=High) ^{*7}	—	450	—	μA
消費電流 (PLLVDD)	IDDP _{PLL}	PLL 周波数 = 50.00MHz	—	1.8	—	mA
	IDDPD	PLL パワーダウン時	—	1	—	μA

*¹: システムを 32KHz で動作させた時

*²: システムを 32KHz で動作させてかつ内部バスクロックを停止させた時

*³: 2 台のカメラを接続しそれぞれ IP 変換、JPEG エンコード (30fps@VGA) を行い、SD メモリへ常時記録した時

*⁴: カメラインタフェースおよび JPEG コントローラを停止し、外付け SDRAM に保存された JPEG ファイルを SD メモリに記録している時

*⁵: 2 台のカメラを接続しそれぞれ IP 変換、JPEG エンコード (30fps@VGA) を行い、USB を経由して PC 上で画像を表示している時

*⁶: RTC 部だけを計時動作させ他の電源を遮断した状態 (バッテリーバックアップモード)

*⁷: システムを 50MHz で動作させた場合の RTC 部の消費電流

32. 電氣的特性

32.2 AC 特性

32.2.1 AC 特性測定条件

HVDD、AVDD、UVDD3、 = 3.3V \pm 0.3V

C1VDD、C2VDD = 3.0V \pm 0.6V

SDVDD = 2.7V \sim 3.6V

LVDD、UPVDD、UXVDD、PLLVDD、RTCVDD = 1.8V \pm 0.15V

T_A = -40°C \sim 85°C

C_L = 30pF(特記なき場合)

32.2.2 AC 特性タイミング一覧表

32.2.2.1 クロックタイミング

表 32.4 クロック (CLKI) タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SYSCLKI 周波数	f _{clkI}	-	32.768	-	KHz	-
SYSCLKI 入力サイクル時間	t _{clkI}	-	1/ f _{OSC}	-	s	-
SYSCLKI ハイレベルパルス幅	t _{CLKIH}	5	-	-	μs	-
SYSCLKI ローレベルパルス幅	t _{CLKIL}	5	-	-	μs	-
SYSCLKI 立ち上がり時間 (10% \rightarrow 90%)	t _{CLKIR}	-	-	12	μs	-
SYSCLKI 立ち下がり時間 (90% \rightarrow 10%)	t _{CLKIF}	-	-	12	μs	-
システムクロック周波数	f _{sys}	-	-	50.01	MHz	*0
システムクロック周波数周期	T _s	1/f _{sys} -	-	-	ns	-

*0: PLL の出力クロックにおける Period Jitter 分(\pm 2%)はすでに計算に含まれているため考慮しなくてよい。システムクロック設定値の最大値で記載。

32.2.2.2 CPU コントロール信号タイミング

表 32.5 CPU コントロール信号 タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
RESET#/パルス幅	t _{RESW}	10	-	-	TCLKI	*1
IRQ/FIQ パルス幅	t _{IRQW}	10	-	-	Ts	*2
クロック再開時間	t _{WAK}	-	-	4	Ts	*2
PLL 安定時間	t _{PLLST}	-	-	100	ms	-

*1: TCLKI = 32KHz 単位。スレッシュホールド電圧を切る振幅が必要。

*2: Ts = システムクロックサイクル時間。システムクロックとして PLL 出力クロックを使用している場合には Period Jitter(\pm 2%)分の誤差に対する考慮が必要 (以後略)。

32.2.2.3 バッテリーバックアップモードタイミング

表 32.6 バッテリーバックアップタイミング

項目	記号	Min.	Typ.	Max.	単位	備考
電源供給開始時 BUP#端子遅延時間	t _{BUPPO}	0	-	-	ns	
バックアップ開始時電源遮断時間	t _{BUPS}	10	-	-	ns	
バックアップ復帰時電源安定時間	t _{BUPH}	10	-	-	TCLKI	*1
バックアップ解除後 RESET#有効期間	t _{BUPRST}	10	-	-	TCLKI	*1

*1: TCLKI = 32KHz 単位。スレッシュホールド電圧を切る振幅が必要。

32.2.2.4 カメラインタフェース (CAM) タイミング

表 32.7 カメラインタフェース (CAM) タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
CMVREF 立ち上がりエッジ→CMHREF 立ち上がりエッジ	tCAM1	0	-	-	Tc	*3
水平ブランク期間	tCAM2	4	-	-	Tc	*3
CMHREF 立ち下がりエッジ→CMVREF 立ち下がりエッジ	tCAM3	0	-	-	Tc	*3
垂直ブランク期間	tCAM4	1	-	-	Line	-
カメラ入力クロック期間	tCAM5	1.6 (3.2)	-	-	Ts	*2
カメラ入力クロックローレベルパルス幅	tCAM6	0.8 (1.6)	-	-	Ts	*2
カメラ入力クロックハイレベルパルス幅	tCAM7	0.8 (1.6)	-	-	Ts	*2
データセットアップ時間	tCAM8	10	-	-	ns	-
データホールド時間	tCAM9	10	-	-	ns	-
CMVREF, CMHREF セットアップ時間	tCAM10	10	-	-	ns	-
CMVREF, CMHREF ホールド時間	tCAM11	10	-	-	ns	-

*2 : Ts = システムクロックサイクル時間

Min 値は高速サンプリング時の値、()内は通常サンプリング時の Min 値

*3 : Tc = カメラインタフェース入力クロックサイクル時間

32.2.2.5 メモリコントローラ (MEMC) タイミング

■ スタティックメモリコントローラ タイミング

表 32.8 スタティックメモリタイミング 1 (MCS0#/MCS1#)

項目	記号	Min.	Typ.	Max.	単位	備考
アドレス信号セットアップ時間	tMAS	1	-	-	ns	
アドレス信号ホールド時間(対 MOE#)	tMAHOE	$n_1Ts + 1$	-	-	ns	*2 *4
アドレス信号ホールド時間(対 MWE#)	tMAHWE	$(n_2+1)Ts - 1$	-	-	ns	*2 *5
アドレス信号ホールド時間(対 MCSx#)	tMAHCE	$1Ts - 3$	-	-	ns	*2
データ出力許可信号遅延時間	tMOED	$n_3Ts - 6$	-	-	ns	*2 *6
データ出力許可信号有効期間	tMOEV	$n_4Ts - 0.5$	-	-	ns	*2 *7
データ出力許可信号インターバル期間	tMOEI	-	n_3	-	Ts	*2
チップセレクトホールド時間(対 MOE#)	tMCEHOE	$n_1Ts + 1$	-	-	ns	*2 *4
読み込みデータセットアップ時間	tMDRS	-	-	16	ns	
読み込みデータホールド時間	tMDRH	0	-	-	ns	
書き込み有効信号遅延時間	tMWED	$n_5Ts - 3$	-	-	ns	*2 *8
書き込み有効信号有効期間	tMWEV	$n_6Ts - 0.5$	-	-	ns	*2 *9
書き込み有効信号インターバル期間	tMWEL	-	n_7+1	-	Ts	*10
チップセレクト信号ホールド時間(対 MWE#)	tMCEHWE	$(n_2+1)Ts + 0$	-	-	ns	*2 *5
バイトイネーブル信号遅延時間	tMBED	0	-	-	ns	
バイトイネーブル信号ホールド時間	tMBEH	$(n_2+1)Ts - 5$	-	-	ns	*2 *5
書き込みデータセットアップ時間	tMDWS	-	-	$n_6Ts - 6$	ns	*2 *9
書き込みデータホールド時間	tMDWH	$(n_2+1)Ts - 5$	-	-	ns	*2 *5

32. 電気的特性

表 32.9 スタティックメモリアイミング 2 (MCS2#/MCS3#)

項目	記号	Min.	Typ.	Max.	単位	備考
アドレス信号セットアップ時間	tMAS	0	-	-	ns	
アドレス信号ホールド時間(対 MOE#)	tMAHOE	$n_1Ts + 1$	-	-	ns	*2 *4
アドレス信号ホールド時間(対 MWE#)	tMAHWE	$(n_2+1)Ts - 1$	-	-	ns	*2 *5
アドレス信号ホールド時間(対 MCSx#)	tMAHCE	$1Ts - 1$	-	-	ns	*2
データ出力許可信号遅延時間	tMOED	$n_3Ts - 2.5$	-	-	ns	*2 *6
データ出力許可信号有効期間	tMOEV	$n_4Ts - 0.5$	-	-	ns	*2 *7
データ出力許可信号インターバル期間	tMOEI	-	n_3	-	Ts	*2
チップセレクトホールド時間(対 MOE#)	tMCEHOE	$n_1Ts + 0$	-	-	ns	*2 *4
読み込みデータセットアップ時間	tMDRS	-	-	16	ns	
読み込みデータホールド時間	tMDRH	0	-	-	ns	
書き込み有効信号遅延時間	tMWED	$n_5Ts + 0$	-	-	ns	*2 *8
書き込み有効信号有効期間	tMWEV	$n_6Ts - 0.5$	-	-	ns	*2 *9
書き込み有効信号インターバル期間	tMW EI	-	n_7	-	Ts	*10
チップセレクト信号ホールド時間(対 MWE#)	tMCEHWE	$(n_2+1)Ts - 3$	-	-	ns	*2 *5
バイトイネーブル信号遅延時間	tMBED	0	-	-	ns	
バイトイネーブル信号ホールド時間	tMBEH	$(n_2+1)Ts - 5$	-	-	ns	*2 *5
書き込みデータセットアップ時間	tMDWS	-	-	$n_6Ts - 6$	ns	*2 *9
書き込みデータホールド時間	tMDWH	$(n_2+1)Ts - 5$	-	-	ns	*2 *5

*2 Ts = システムクロックサイクル時間

*4 n_1 = WAITRH レジスタで設定した値 (MEMC:0x20,0x30,0x40,0x50)

*5 n_2 = WAITWH レジスタで設定した値 (MEMC:0x20,0x30,0x40,0x50)

*6 n_3 = WAITOE レジスタで設定した値に WAITRH レジスタで設定した値を加算した値 (MEMC:0x20,0x30,0x40,0x50)

*7 n_4 = WAITRD レジスタ値から WAITOE レジスタ値を減算した値 (MEMC:0x20,0x30,0x40,0x50)

*8 n_5 = WAITWE レジスタで設定した値 (MEMC:0x20,0x30,0x40,0x50)

*9 n_6 = WAITWR レジスタ値から WAITWE レジスタ値を減算した値 (MEMC:0x20,0x30,0x40,0x50)

*10 n_7 = WAITWE レジスタで設定した値に WAITWH レジスタで設定した値を加算した値 (MEMC:0x20,0x30,0x40,0x50)

■ SDRAM コントローラ タイミング

表 32.10 SDRAM コントローラ タイミング (SDVDD=3.3V±0.3V)

項目	記号	Min.	Typ.	Max.	単位	備考
SDCKE 遅延時間	tCKED	2.5	-	10	ns	-
SDCS[1:0]#遅延時間	tCSD	2.5	-	10	ns	-
SDRAS#遅延時間	tRASD	2.5	-	10	ns	-
SDCAS#遅延時間	tCASD	2.5	-	10	ns	-
SDWE#遅延時間	tWED	2.5	-	10	ns	-
SDDQM[3:0]遅延時間	tDQMD	2.5	-	11	ns	-
アドレス遅延時間	tADD	2.5	-	11	ns	-
ライトデータ遅延時間	tWDD	2.5	-	16.5	ns	-
リードデータセットアップ時間	tRDS	12	-	-	ns	-
リードデータホールド時間	tRDH	0	-	-	ns	-

表 32.11 SDRAM コントローラ タイミング (SDVDD=3.0V±0.3V)

項目	記号	Min.	Typ.	Max.	単位	備考
SDCKE 遅延時間	tCKED	2.5	-	10	ns	-
SDCS[1:0]#遅延時間	tCSD	2.5	-	10	ns	-
SDRAS#遅延時間	tRASD	2.5	-	10	ns	-
SDCAS#遅延時間	tCASD	2.5	-	10	ns	-
SDWE#遅延時間	tWED	2.5	-	10	ns	-
SDDQM[3:0]遅延時間	tDQMD	2.5	-	11	ns	-
アドレス遅延時間	tADD	2.5	-	11	ns	-
ライトデータ遅延時間	tWDD	2.5	-	16.5	ns	-
リードデータセットアップ時間	tRDS	12.5	-	-	ns	-
リードデータホールド時間	tRDH	0	-	-	ns	-

32.2.2.6 I²C Single Master Core Module (I2C) タイミング

表 32.12 I2C タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCL サイクル時間	tC(SCL)	8	-	30720	Ts	*2
SCL パルス幅 (High)	tWH(SCL)	-	1/2	-	Tc(SCL)	*10
SCL パルス幅 (Low)	tWL(SCL)	-	1/2	-	Tc(SCL)	*10
SDA 出力遅延時間	tD(OSDA)	-	1/4	-	Tc(SCL)	*10
SDA 入力セットアップ時間	tSU(ISDA)	0	-	-	ns	*11
SDA 入力ホールド時間	tHD(ISDA)	0	-	-	ns	*11
SDA サンプル時間	tSMP(SDA)	-	1/4	-	Tc(SCL)	*10
スタートコンディション開始時間	tS(ST)	1/4	-	-	Tc(SCL)	*10
スタートコンディション完了時間	tE(ST)	1/2	-	-	Tc(SCL)	*10
ストップコンディション開始時間	tS(SP)	1/4	-	-	Tc(SCL)	*10
ストップコンディション完了時間	tE(SP)	1/2	-	-	Tc(SCL)	*10

*2 : Ts = システムクロックサイクル時間

*11 : Tc(SCL) = SCL (I²C クロック) サイクル時間*12 : SDA サンプル時間 (T_{smp}(SDA)) 参照32.2.2.7 I²S タイミング

表 32.13 I2S タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCK サイクル時間	tSCKCT	2	-	512	Ts	*2
SCK パルス幅 (High)	tSCKWH	1	-	-	Ts	*2
SCK パルス幅 (Low)	tSCKWL	1	-	-	Ts	*2
SCK デューティ比	tSCKDT	-	50	-	%	*12
WS サイクル時間	tWSCT	32	-	256	tSCKCT	*13
WS 出力遅延時間	tWSOD	-1	-	1	Ts	*2
WS 入力セットアップ時間	tWSISU	1	-	-	Ts	*2
WS 入力ホールド時間	tWSIHD	1	-	-	Ts	*2
SD 出力遅延時間	tSDOD	-1	-	1	Ts	*2
SD 入力セットアップ時間	tSDISU	1	-	-	Ts	*2
SD 入力ホールド時間	tSDIHD	1	-	-	Ts	*2

*2 : Ts = システムクロックサイクル時間

*13 : tSCKDT = tSCKWH / (tSCKWH + tSCKWL)

*14 : tSCKCT = SCK サイクル時間

32. 電気的特性

32.2.2.8 シリアル周辺機器インタフェース (SPI) タイミング

表 32.14 SPI タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCLK サイクル時間	tC(SCLK)	4	-	512	Ts	*2
SCLK パルス幅 (前半)	tWH1(SCLK)	-	1/2	-	Tc(SCLK)	*14
SCLK パルス幅 (後半)	tWH2(SCLK)	-	1/2	-	Tc(SCLK)	*14
SS 出力開始時間 (自動制御時)	tS(OSS)	3	-	-	Ts	*2
SS 出力完了時間 (自動制御時)	tE(OSS)	1	-	-	Ts	*2
SS 入力セットアップ時間	tSU(SS)	3	-	-	Ts	*2
SS 入力ホールド時間	tHD(SS)	1	-	-	Ts	*2
MISO 入力セットアップ時間	tSU(MI)	30	-	-	ns	
MISO 入力ホールド時間	tHD(MI)	0	-	-	ns	
MISO 出力遅延時間	tD(SO)	-	-	30	ns	
MOSI 入力セットアップ時間	tSU(SI)	10	-	-	ns	
MOSI 入力ホールド時間	tHD(SI)	10	-	-	ns	
MOSI 出力遅延時間	tD(MO)	-	-	0	ns	

*2 : Ts = システムクロックサイクル時間

*15 : Tc(SCLK) = SCLK (SPI クロック) サイクル時間 = $(4 \times 2^{\text{MCBR}}) Ts$

32.2.2.9 コンパクトフラッシュインタフェース (CF) タイミング

■ CF Attribute Memory タイミング

表 32.15 CF Attribute Memory Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	tATRC	-	20	-	Ts	*2
アドレスセットアップ時間	tADSAR	-	4	-	Ts	*2
アドレスホールド時間 (MOE#インアクティブから)	tADHMOE	-	2	-	Ts	*2
リード前 CE 有効時間	tCEVBR	-	3	-	Ts	*2
リード後 CE 有効時間	tCEVAR	-	2	-	Ts	*2
MOE# アクティブ時間	tMOEW	-	14	-	Ts	*2
リードデータセットアップ時間	tRDS	1Ts + 16	-	-	ns	
リードデータホールド時間	tRDH	0	-	-	ns	

*2 : Ts = システムクロックサイクル時間

表 32.16 CF Attribute Memory Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	tATWC	-	16	-	Ts	*2
アドレスセットアップ時間	tADSAW	-	3	-	Ts	*2
MWE0#アクティブ時間	tMWE0W	-	9	-	Ts	*2
ライトリカバリー時間	tWREC	-	2	-	Ts	*2
ライトデータ有効時間 1	tWDV1	-	11	-	Ts	*2
ライトデータ有効時間 2	tWDV2	-	2	-	Ts	*2

■ CF Common Memory タイミング

表 32.17 CF Common Memory Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	tCMRC	-	17	-	Ts	*2
アドレスセットアップ時間	tCRADS	-	4	-	Ts	*2
アドレスホールド時間 (MOE#インアクティブから)	tADHMOE	-	2	-	Ts	*2
リード前 CE 有効時間	tCEVBR	-	3	-	Ts	*2
リード後 CE 有効時間	tCEVAR	-	2	-	Ts	*2
リード後ウェイトアクティブ許容時間	tWTATAR	-	-	6	Ts	*2
ウェイトリリース後データセットアップ時間	tDSAWT	-	-	0	Ts	*2
ウェイトアクティブ時間	tWTW			3000	ns	
リードデータセットアップ時間	tRDS	1Ts + 16	-	-	ns	
リードデータホールド時間	tRDH	0	-	-	ns	

表 32.18 CF Common Memory Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	tCMWC	-	17	-	Ts	*2
アドレスセットアップ時間	tADS	-	4	-	Ts	*2
アドレスホールド時間	tADH	-	4	-	Ts	*2
ライト前 CE 有効時間	tCEVBW	-	3	-	Ts	*2
ライト後 CE 有効時間	tCEVAW	-	2	-	Ts	*2
MWE0# アクティブ時間	tMWE0W	-	9	-	Ts	*2
ライト前データ有効時間	tDVBW	-	11	-	Ts	*2
ライト後データ有効時間	tDVAW	-	2	-	Ts	*2
ライトリカバリー時間	tWREC	-	2	-	Ts	*2
ライト後ウェイトアクティブ許容時間	tWTATAW	-	-	6	Ts	*2
ウェイトリリース後ライトアクティブ時間	tWWAWT	-	-	3	Ts	*2
ウェイトアクティブ時間	tWTW	-	-	3000	ns	

■ CF I/O Space/IDE タイミング

表 32.19 CF I/O Space/IDE Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	tIORC	-	20	-	Ts	*2
IORD#アクティブ時間	tIORW	-	10	-	Ts	*2
アドレスセットアップ時間	tADSIO	-	6	-	Ts	*2
アドレスホールド時間	tADHIO	-	4	-	Ts	*2
IO リード前 CE 有効時間	tCEVBIOR	-	5	-	Ts	*2
IO リード後 CE 有効時間	tCEVAIOR	-	3	-	Ts	*2
IO リード前 REG 有効時間	tREGVBIOR	-	6	-	Ts	*2
IO リード後 REG 有効時間	tREGVAIOR	-	4	-	Ts	*2
IO リードアクティブ後ウェイト許容時間	tWTATIOR	-	-	6	Ts	*2
ウェイトリリース後データ遅延許容時間	tDATAWT	-	-	0	Ts	*2
ウェイトアクティブ時間	tWTW	-	-	3000	ns	
リードデータセットアップ時間	tRDS	1Ts + 16	-		ns	
リードデータホールド時間	tRDH	0			ns	

32. 電気的特性

表 32.20 CF I/O Space/IDE Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	tIOWC	-	20	-	Ts	*2
IOWR# アクティブ時間	tIOWW	-	10	-	Ts	*2
アドレスセットアップ時間	tADSIO	-	6	-	Ts	*2
アドレスホールド時間	tADHIO	-	4	-	Ts	*2
IO ライト前 CE 有効時間	tCEVBIOW	-	5	-	Ts	*2
IO ライト後 CE 有効時間	tCEVAIOW	-	3	-	Ts	*2
IO ライト前 REG 有効時間	tREGVBIOW	-	6	-	Ts	*2
IO ライト後 REG 有効時間	tREGVAIOW	-	4	-	Ts	*2
IO ライト前データ有効時間	tDVBIO	-	14	-	Ts	*2
IO ライト後データ有効時間	tDVAIO	-	3	-	Ts	*2
IO ライト後ウェイト許容時間	tWTATIO	-	-	6	Ts	*2
ウェイトリリース後IO ライトインアクティブ時間	tWITAWT	-	-	2	Ts	*2
ウェイトアクティブ時間	tWTW	-	-	3000	ns	

32.2.3 タイミングチャート

32.2.3.1 クロックタイミング

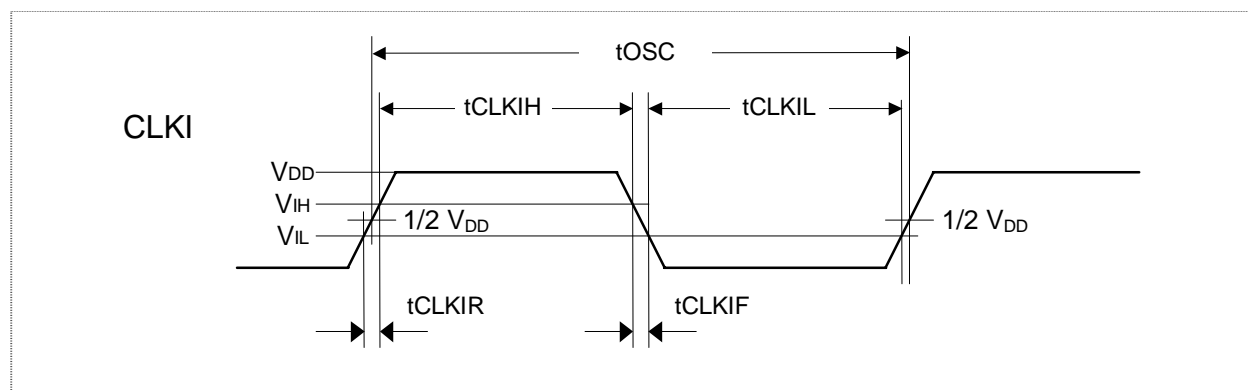


図 32.1 クロックタイミング

32.2.3.2 CPU コントロール信号タイミング

■ RESET# タイミング

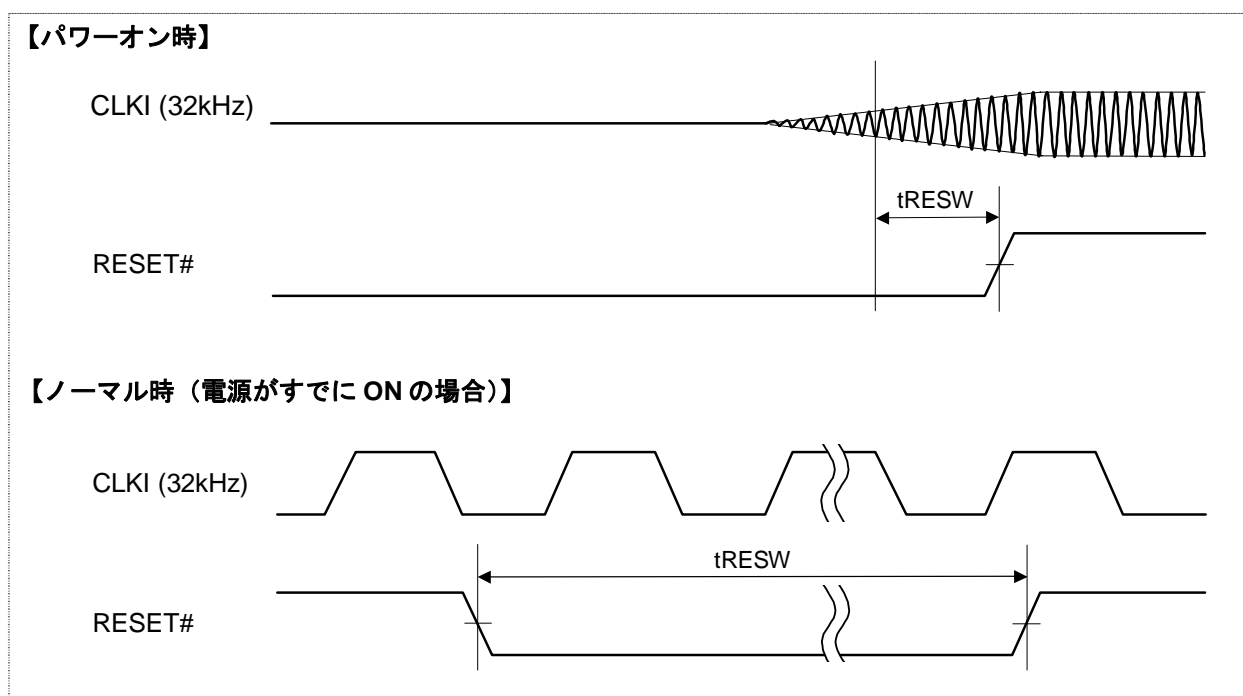


図 32.2 RESET# タイミング

■ 割り込み信号タイミング

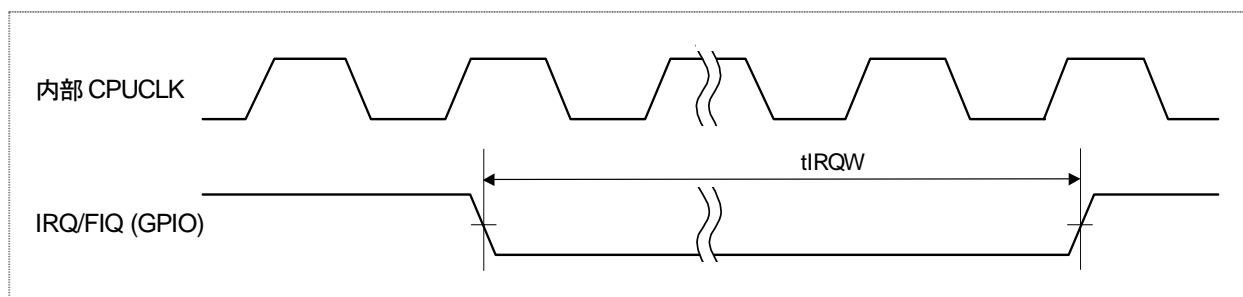
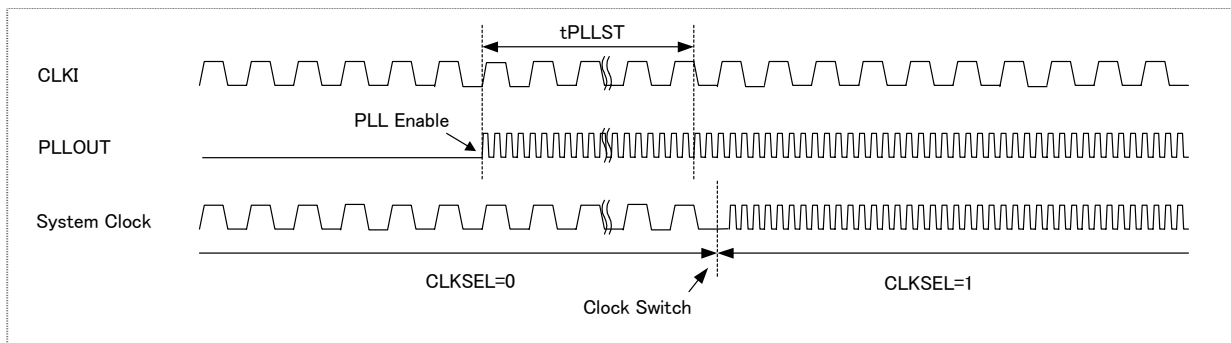


図 32.3 割り込み信号タイミング

32. 電气的特性

■ PLL 関連タイミング

(1) クロックスイッチ 1 (PLL Enable)

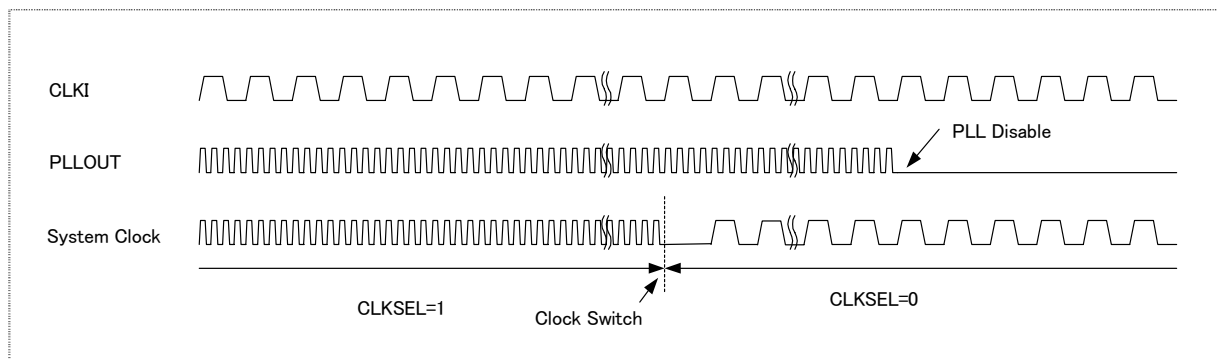


System Clock = CPUCLK / HCLK1 / HCLK2 / PCLK

図 32.4 クロックスイッチ 1 (PLL Enable)

システムクロックを 32KHz から PLL 出力に変更する場合の内部クロックのタイミングです。システムコントローラの PLL Setting Register 2 (SYS[0x0C]) ビット 0 (PLEN) を“1”にして、PLL をイネーブルにします。PLL 安定時間 (t_{PLLST}) 後に Clock Select Register (SYS[0x18]) ビット 0 (CLKSEL) を“1”にして、システムクロックとして PLL 出力を選択します。

(2) クロックスイッチ 2 (PLL Disable)

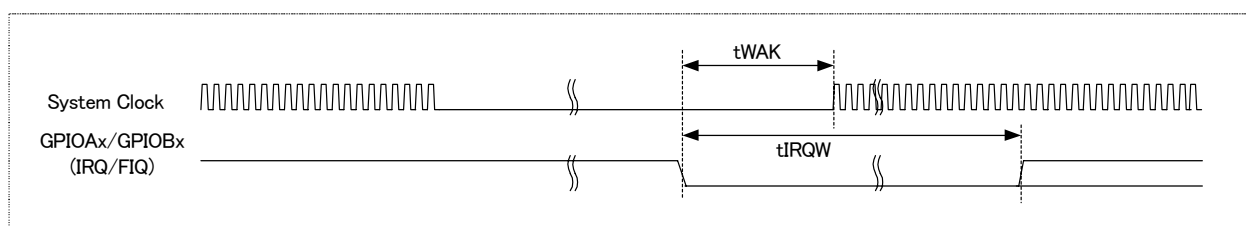


System Clock = CPUCLK / HCLK1 / HCLK2 / PCLK

図 32.5 クロックスイッチ 2 (PLL Disable)

システムクロックを PLL 出力から 32KHz に変更する場合の内部クロックのタイミングです。Clock Select Register (SYS[0x18]) ビット 0 (CLKSEL) を“0”にして、システムクロックとして CLKI (32KHz) を選択します。その後、システムコントローラの PLL Setting Register 2 (SYS[0x0C]) ビット 0 (PLEN) を“0”にして、PLL をディセーブルにします。

(3) ハイスピード HALT モードから割り込みによるクロック再開

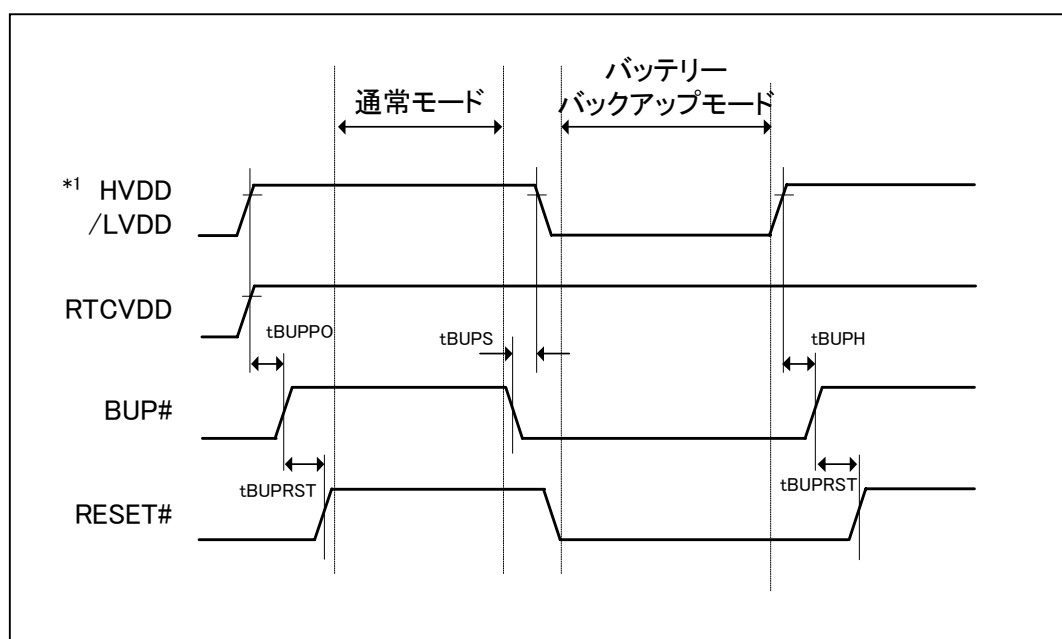


System Clock = CPUCLK / HCLK1 / HCLK2 / PCLK

図 32.6 クロック再開タイミング

ハイスピード HALT モードから割り込み発生により、ハイスピードモードへ移行するタイミングです。クロック再開時間 (t_{WAK}) 後にシステムクロックが再開します。割り込みパルス幅 (t_{IRQW}) はそれよりも十分に長くってください。

32.2.3.3 バッテリーバックアップモードタイミング



*1 : C1VDD, C2VDD, SDVDD, AVDD, ULDD3, UPVDD, UXVDD, PLLVDD を含む

32. 電気的特性

32.2.3.4 カメラインタフェースタイミング

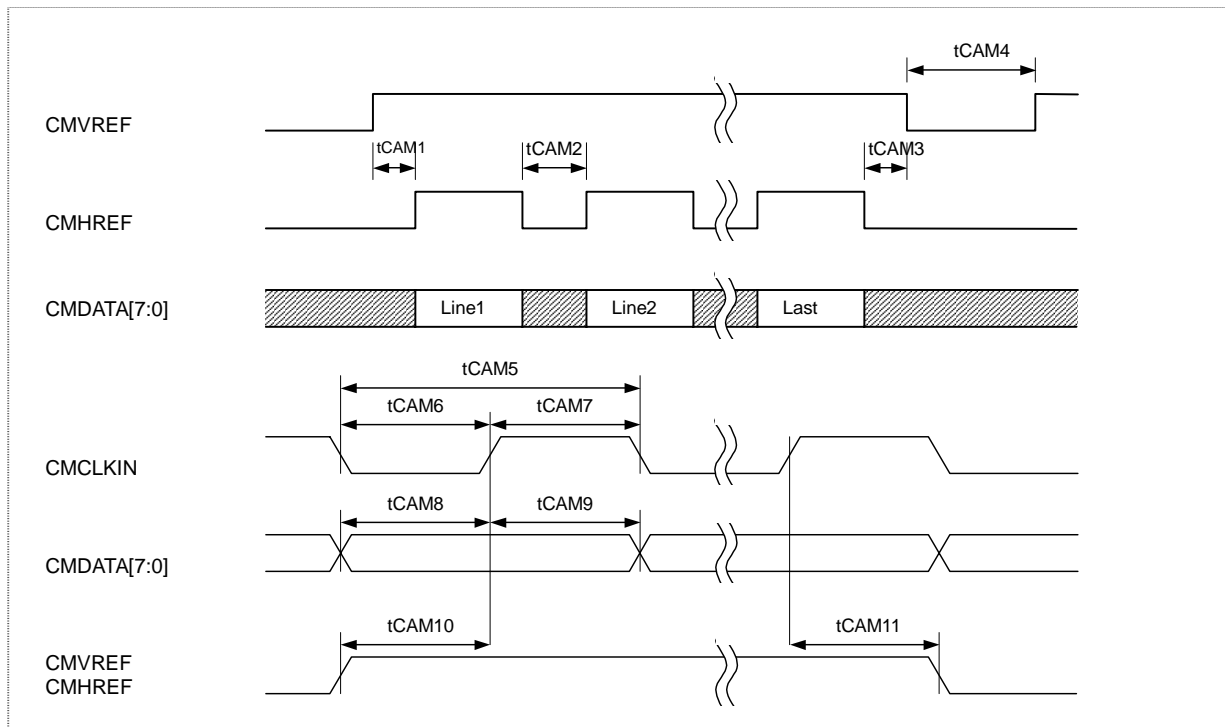


図 32.7 カメラインタフェースタイミング

CMCLKIN の有効エッジはソフトウェアにより変更できます。上図は CMCLKIN が“Low”から“High”に変化したときにデータを取り込むタイミングを示しています。

32.2.3.5 メモリインタフェースコントローラ

32.2.3.5.1 スタティックメモリコントローラタイミング (Flash EEPROM, SRAM, etc.)

■ スタティックメモリ リード タイミング

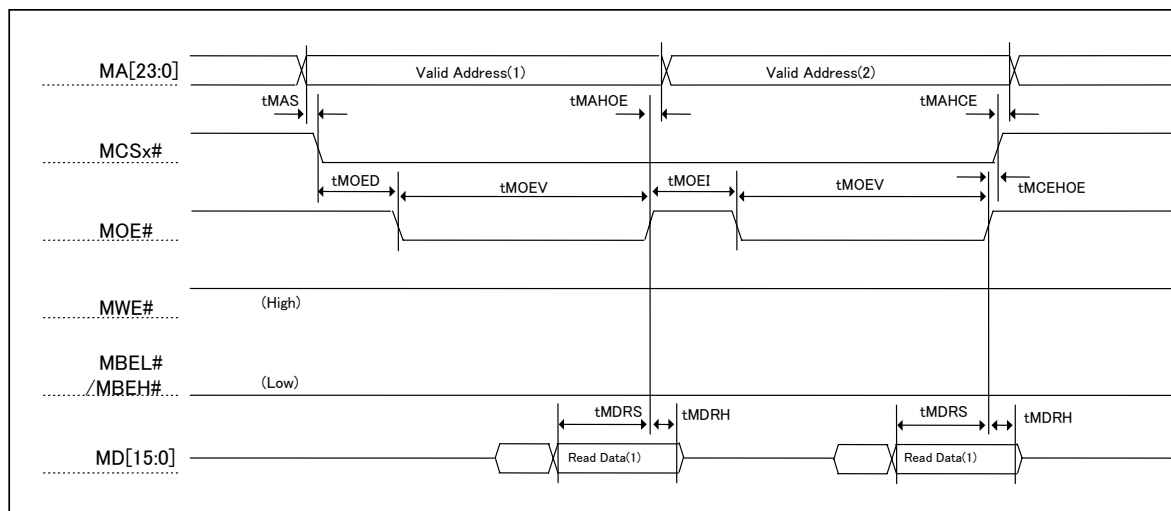


図 32.8 スタティックメモリ リードタイミング

■ スタティックメモリ ライト タイミング

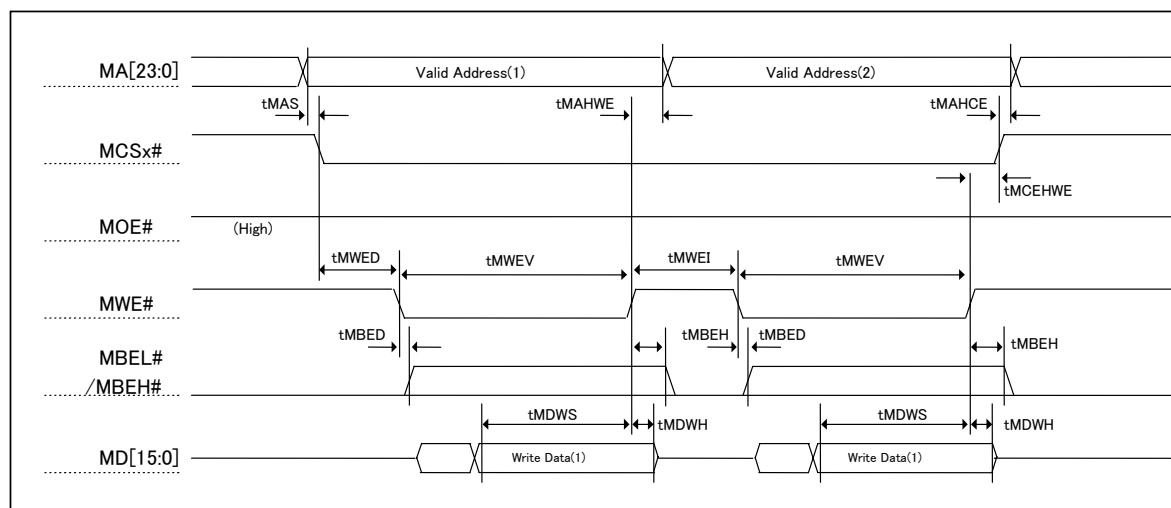


図 32.9 スタティックメモリ ライトタイミング

32. 電気的特性

32.2.3.5.2 SDRAM コントローラ AC タイミング

以下に SDRAM コントローラの AC タイミングを示します。
 図中に表記されているコマンドについて以下の表にまとめて説明します。

コマンド	機能	MCS2#	MRAS#	MCAS#	MWE1#	アドレス、その他
ACT	バンクアクティブ	L	L	H	H	Bank/Row
RD	リード	L	H	L	H	Bank/Col
WR	ライト	L	H	L	L	Bank/Col
BT	バーストターミネート	L	H	H	L	-
PCGA	プリチャージオールバンク	L	L	H	L	SDA10 = HIGH
PCG	プリチャージ	L	L	H	L	SDA10 = LOW
AREF	オートリフレッシュ	L	L	L	H	SDCLKEN = HIGH
SELF_IN	セルフリフレッシュ開始	L	L	L	H	SDCLKEN = LOW
SELF_OUT	セルフリフレッシュ終了	H	x	x	x	SDCLKEN = HIGH
LMR	モードレジスタセット	L	L	L	L	-

■ SDRAM リードサイクル

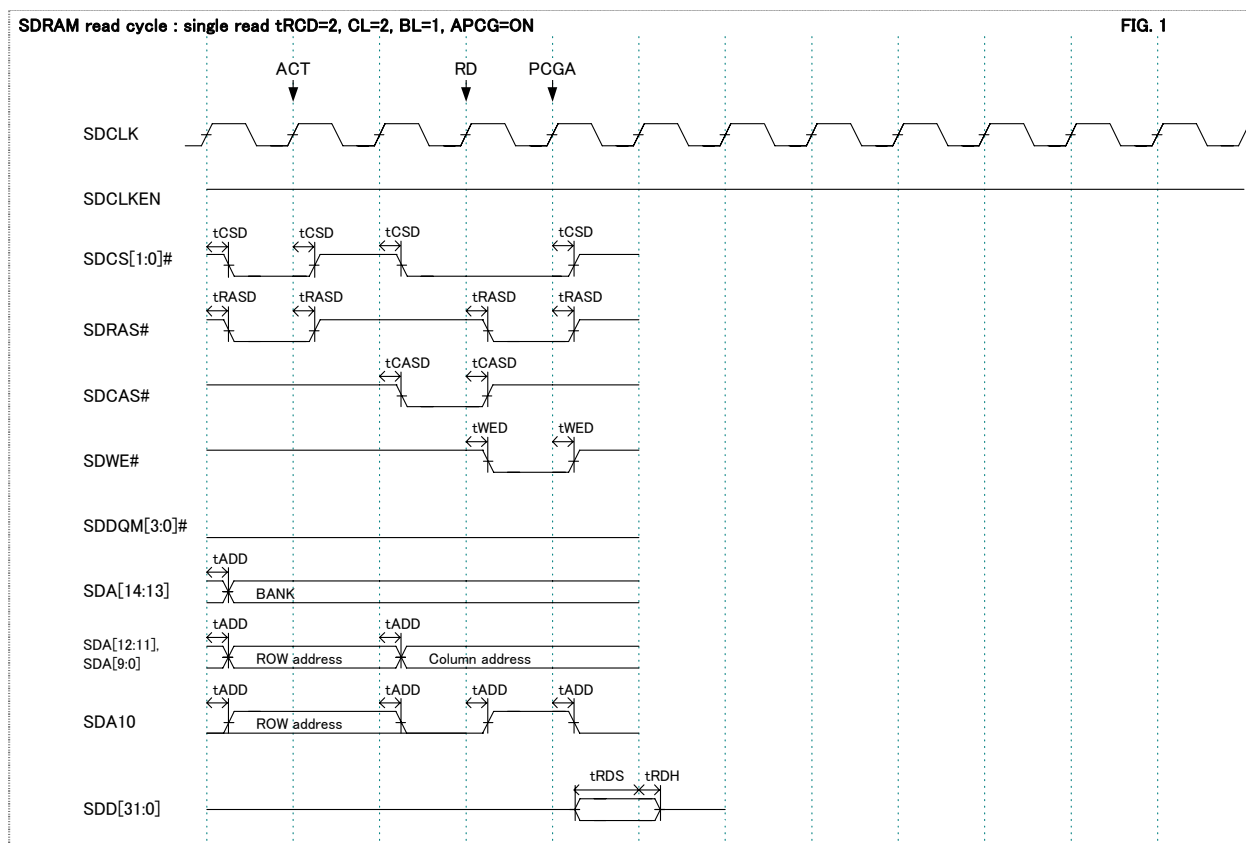
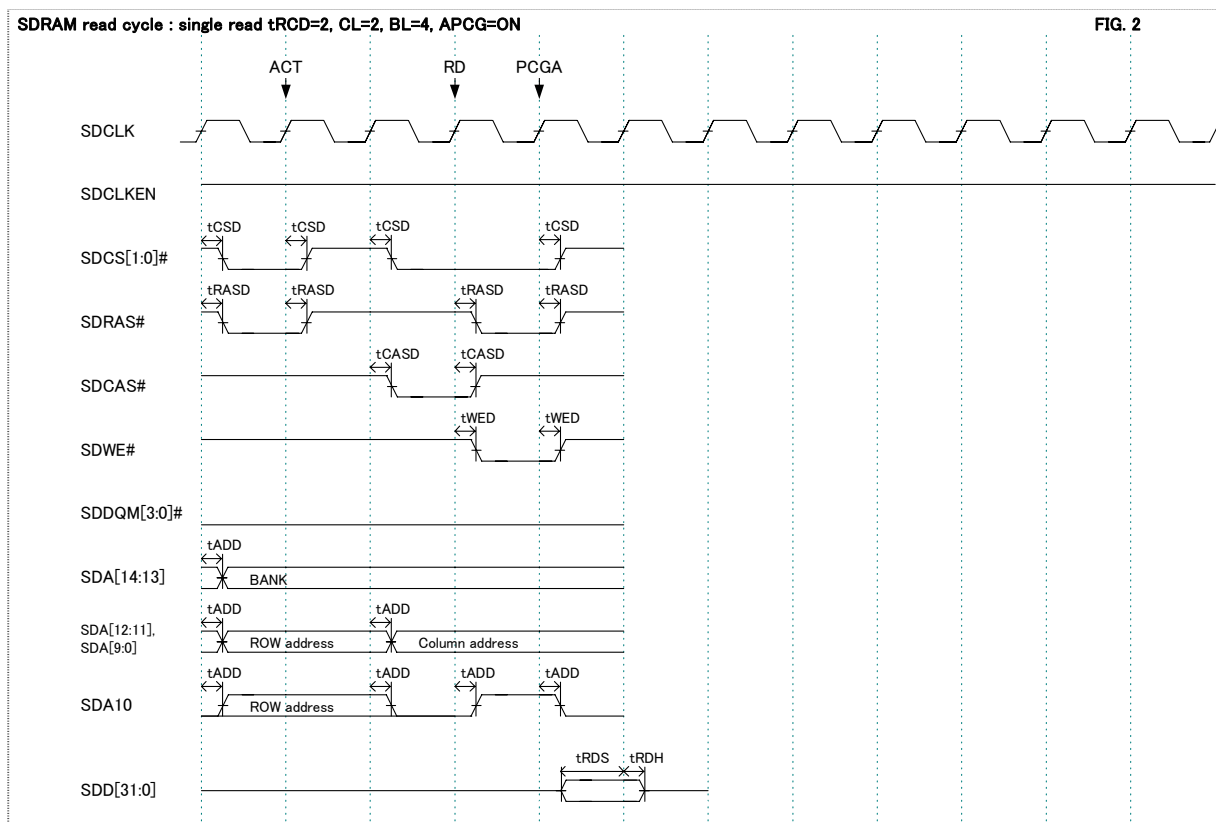
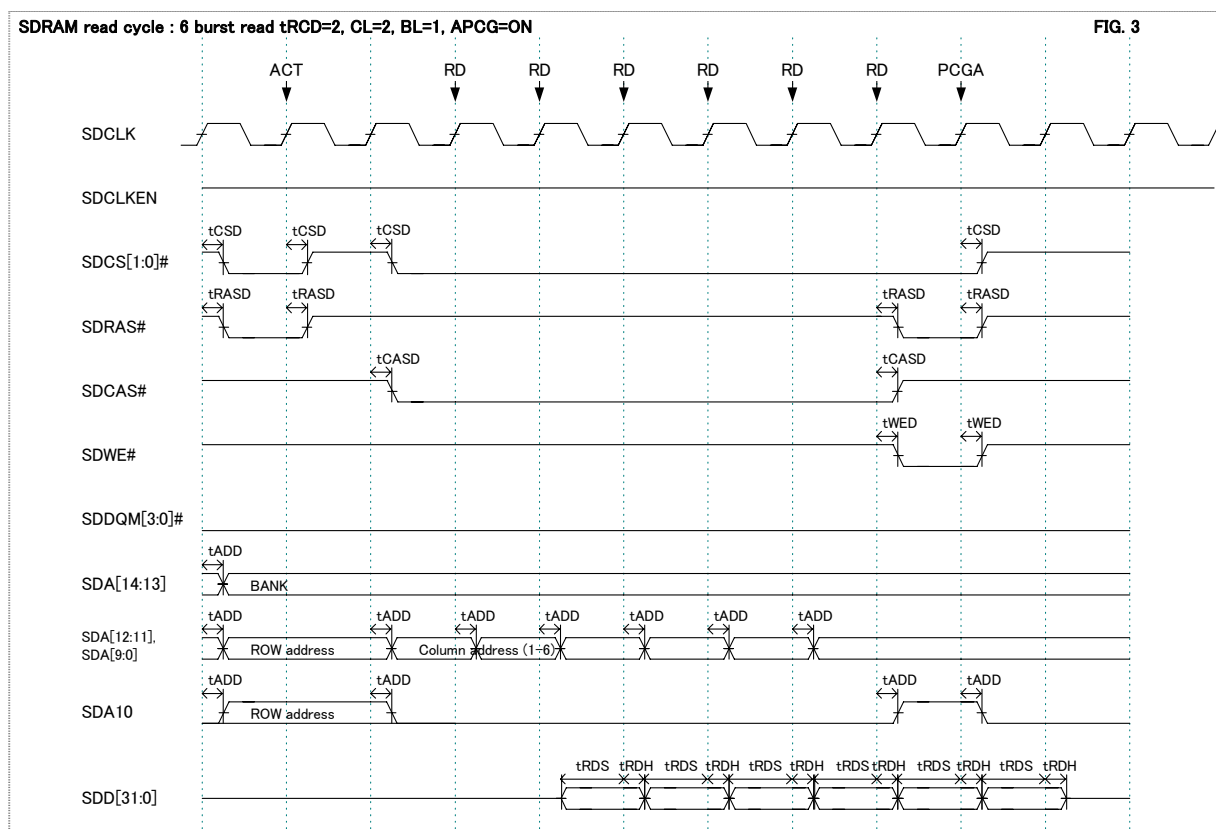


図 32.10 SDRAM リードサイクル 1 : シングルリード ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

図 32.11 SDRAM リードサイクル 2 : シングルリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$ 図 32.12 SDRAM リードサイクル 3 : 6 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

32. 電気的特性

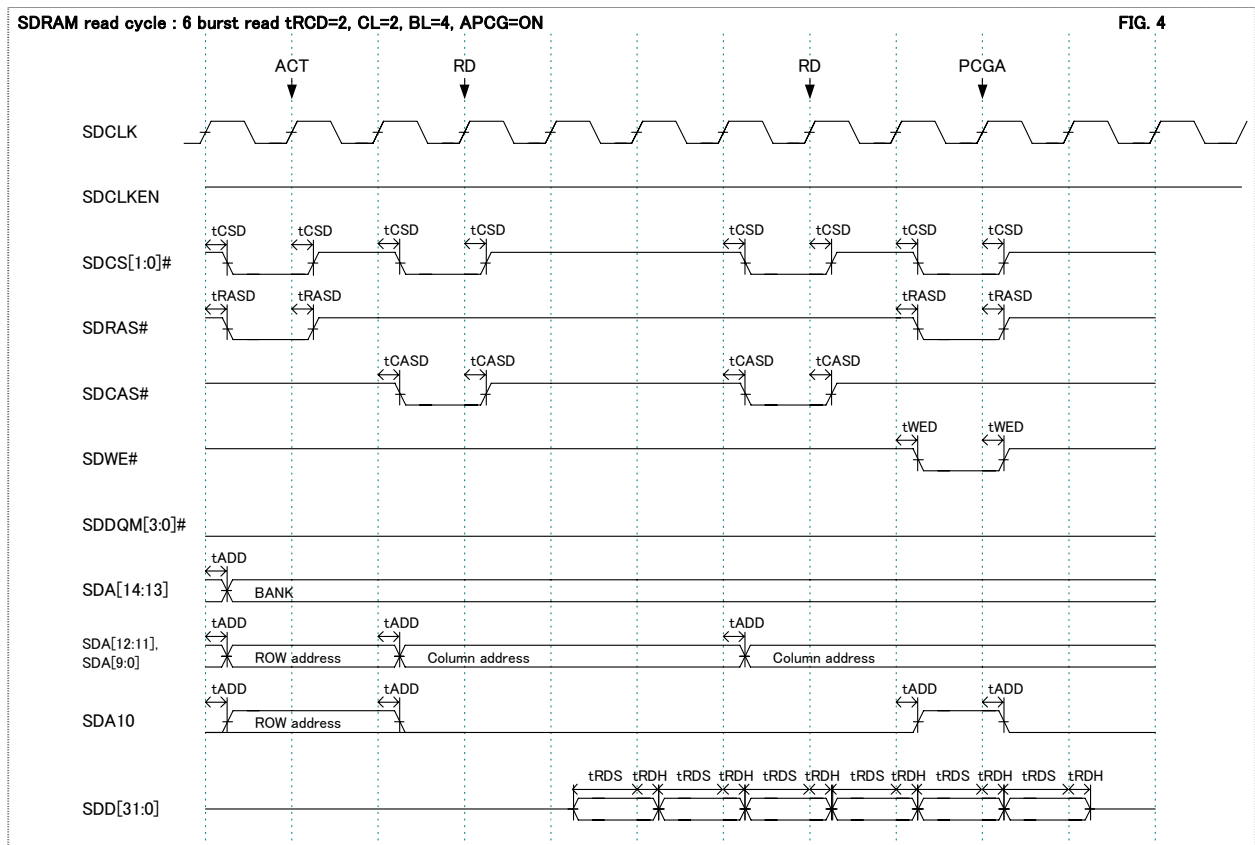


図 32.13 SDRAM リードサイクル 4 : 6 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

■ SDRAM ライトサイクル

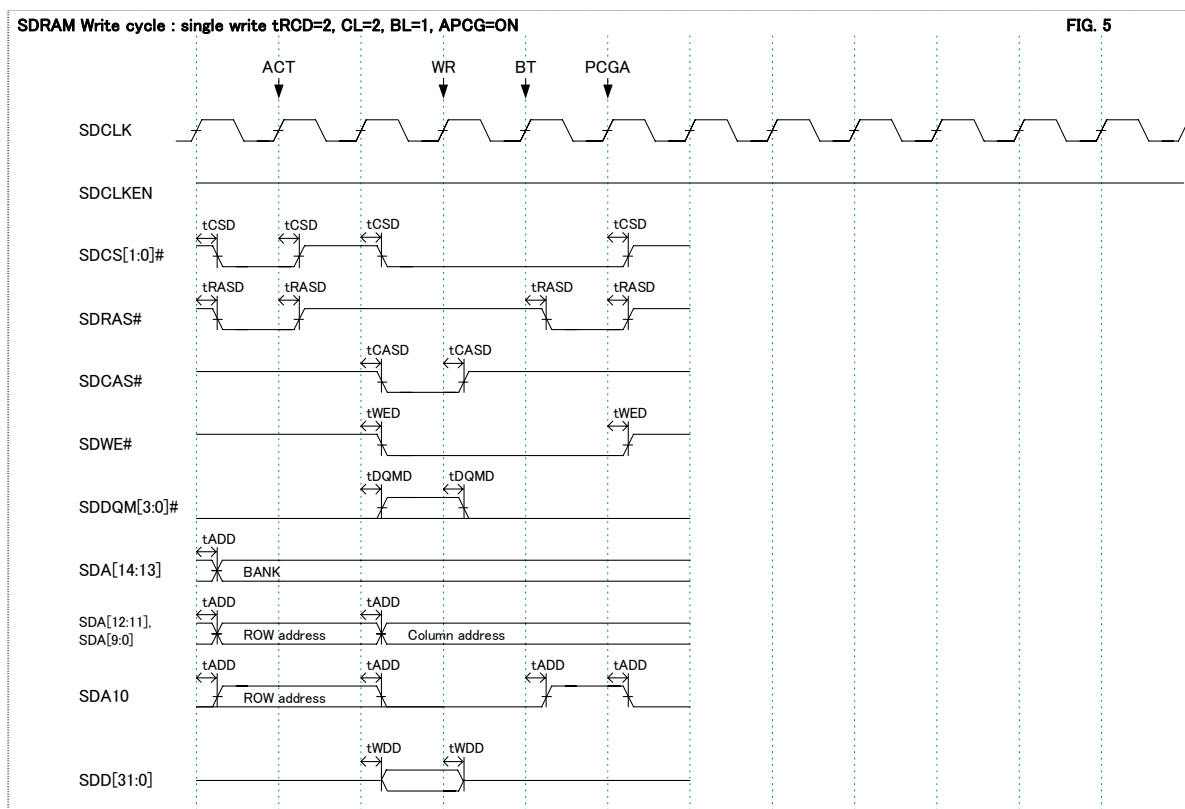


図 32.14 SDRAM ライトサイクル 1 : シングルライト ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

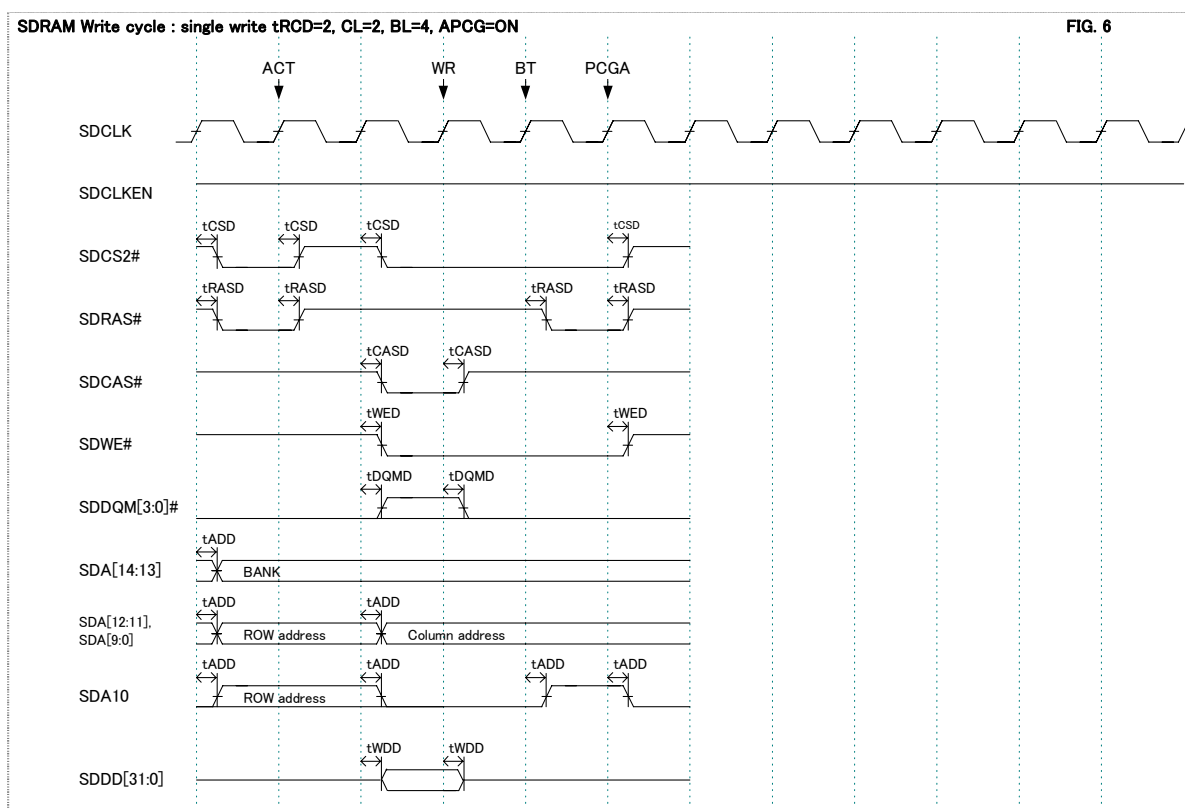


図 32.15 SDRAM ライトサイクル 2 シングルライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

32. 電気的特性

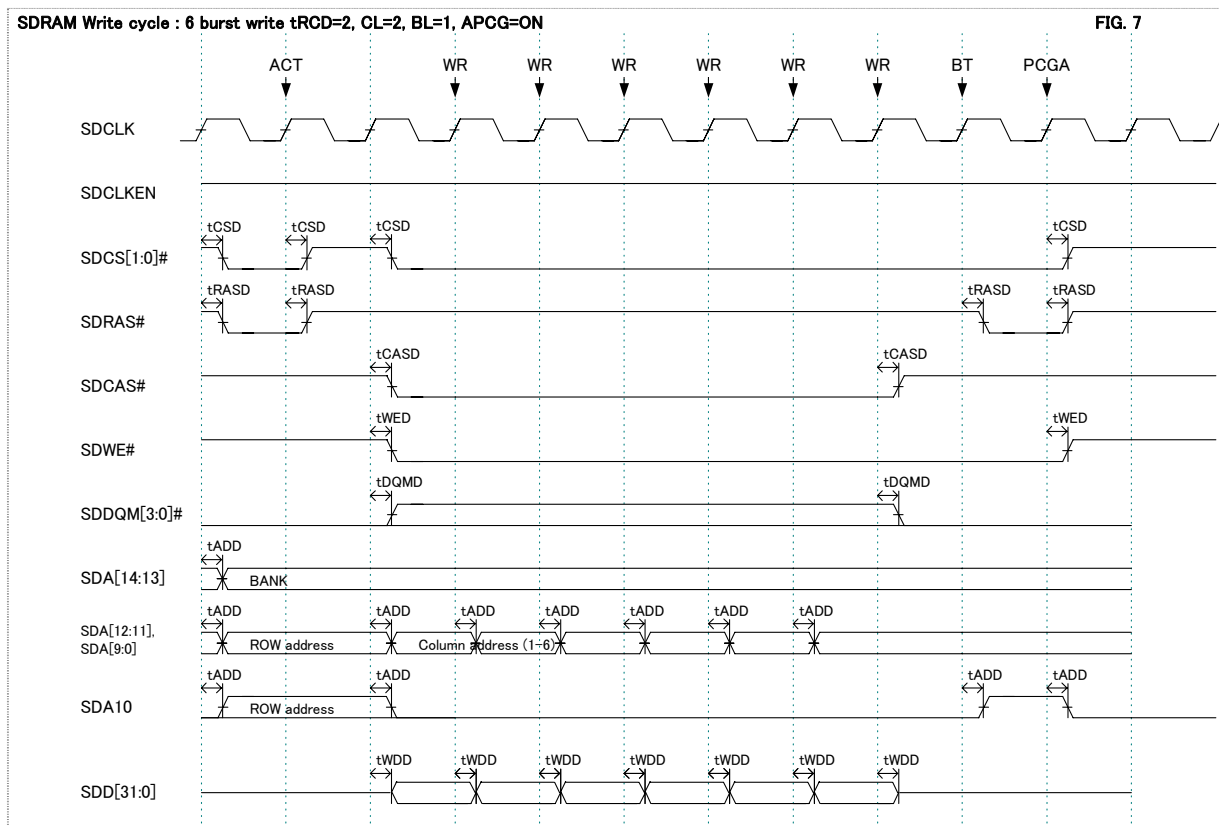


図 32.16 SDRAM ライトサイクル 3 : 6 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

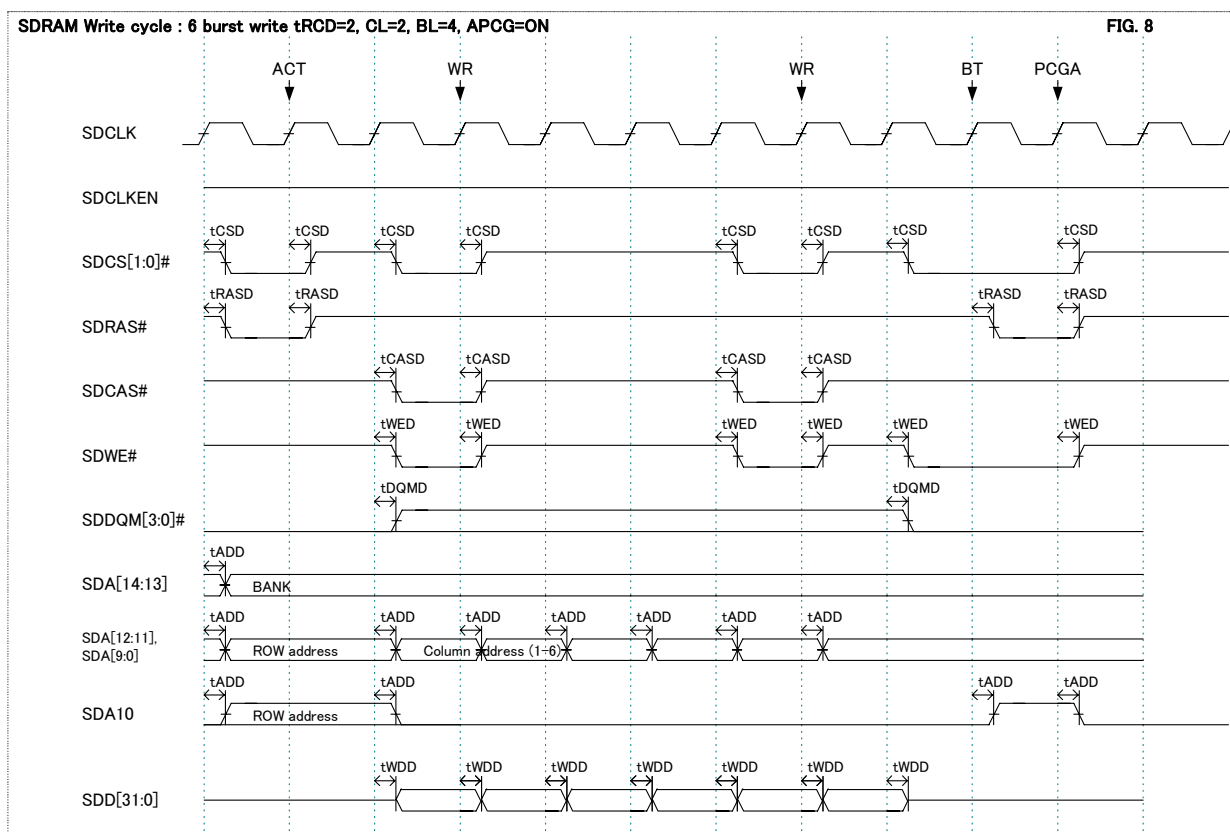


図 32.17 SDRAM ライトサイクル 4 : 6 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

■ SDRAM リードサイクル (Row アクティブモード)

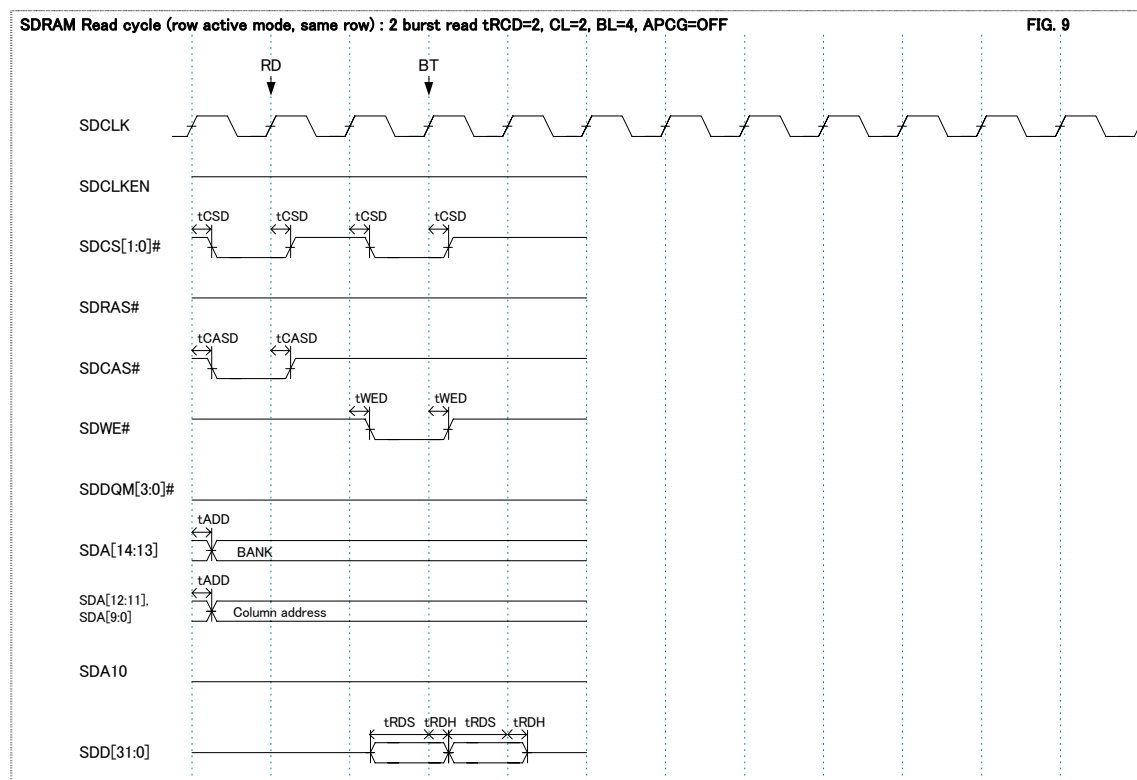


図 32.18 SDRAM リードサイクル Row アクティブモード 1 (same row) :
2 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

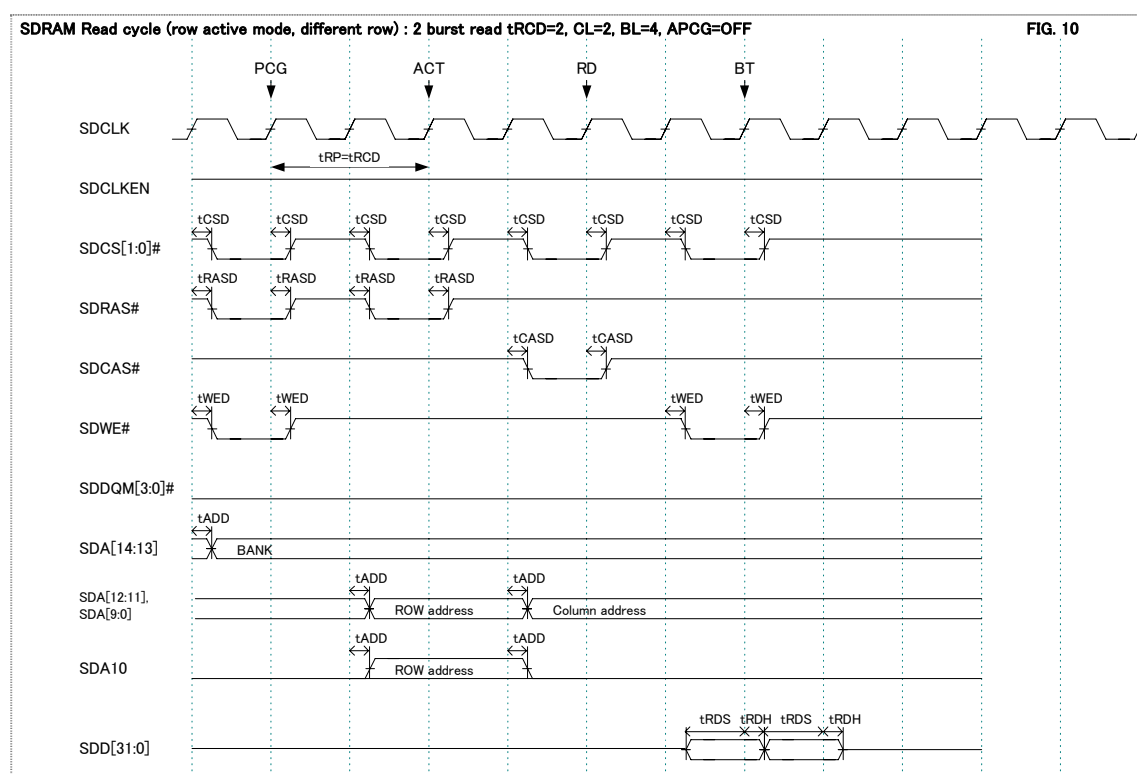


図 32.19 SDRAM リードサイクル Row アクティブモード 2 (different row) :
2 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

32. 電気的特性

■ SDRAM ライトサイクル (Row アクティブモード)

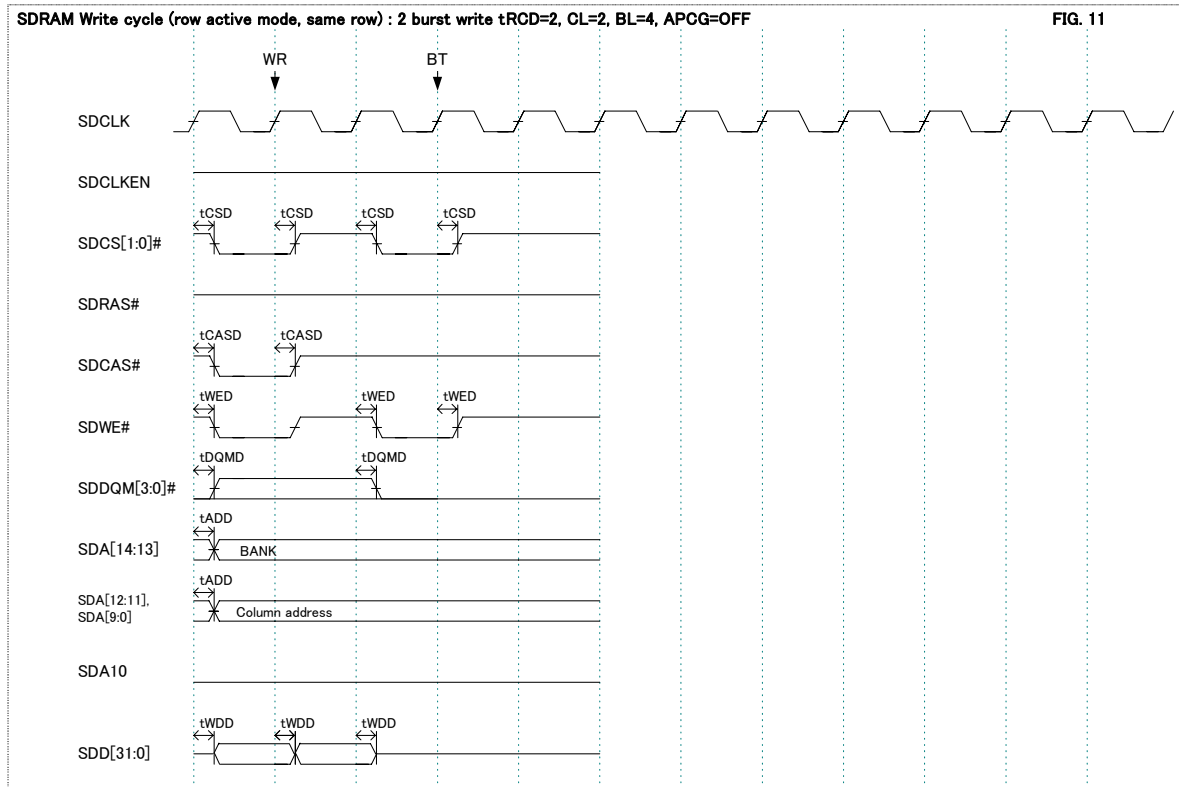


図 32.20 SDRAM ライトサイクル Row アクティブモード 1 (same row) :
2 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

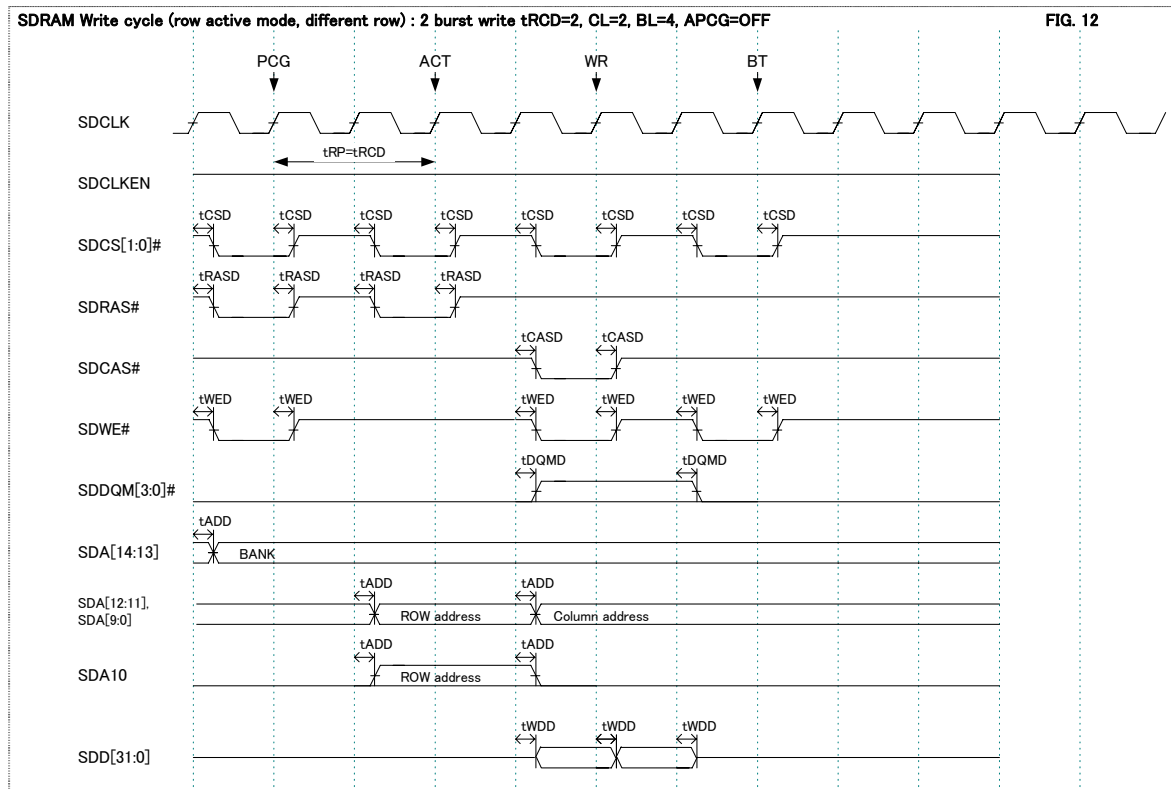


図 32.21 SDRAM ライトサイクル Row アクティブモード 2 (different row) :
2 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

■ SDRAM オートリフレッシュサイクル

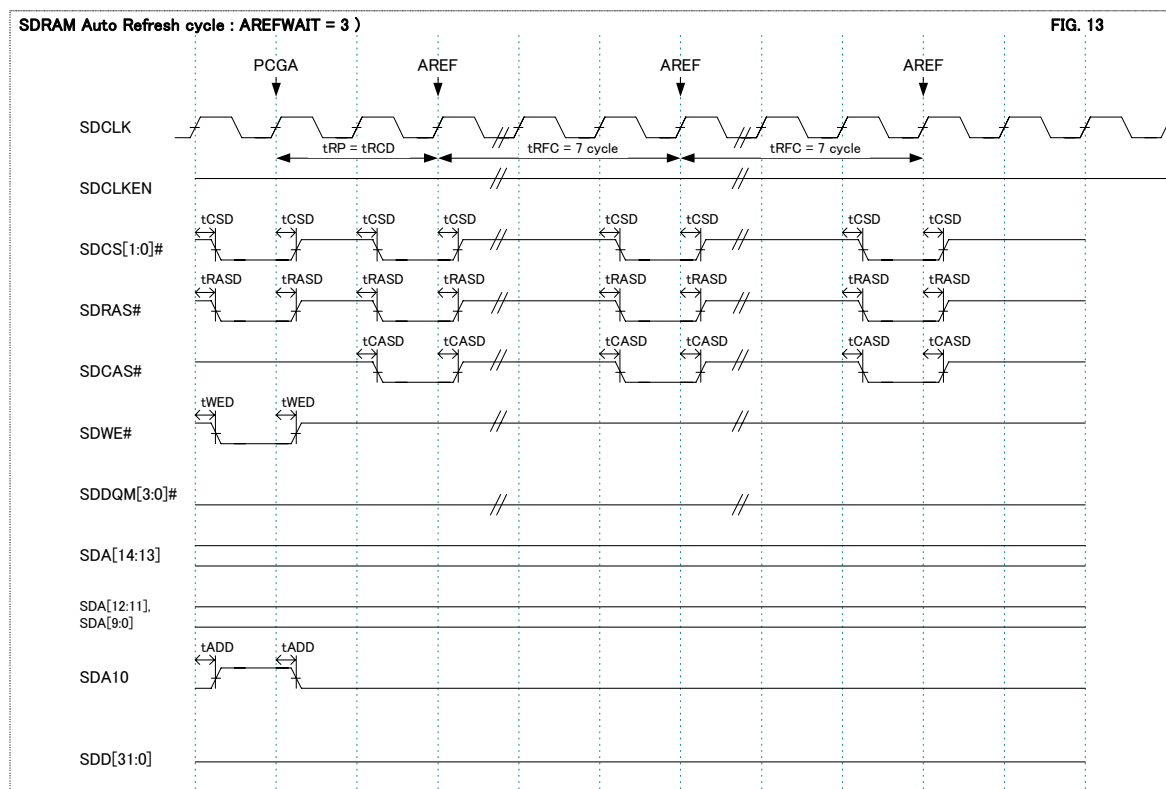


図 32.22 SDRAM オートリフレッシュサイクル : AREFWAIT=3

■ SDRAM セルフリフレッシュサイクル

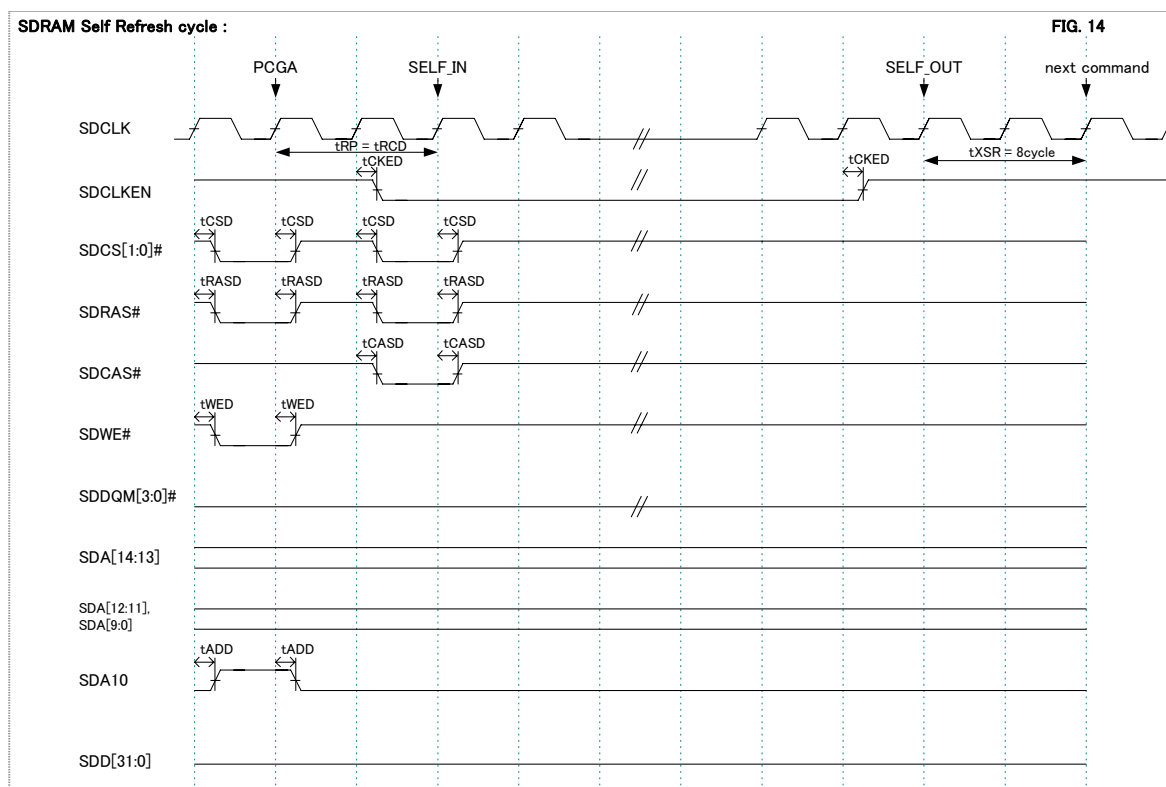


図 32.23 SDRAM セルフリフレッシュサイクル

32. 電気的特性

■ SDRAM 初期化サイクル

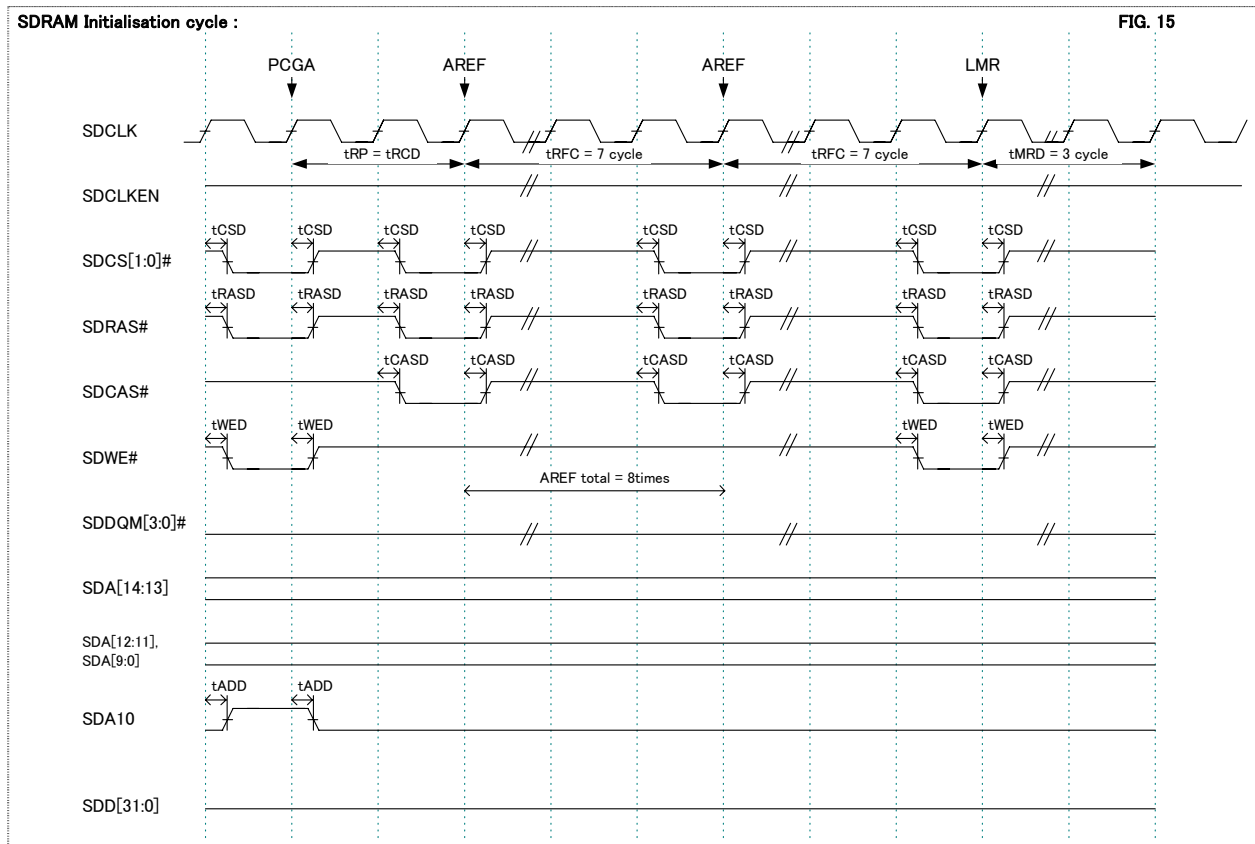


図 32.24 SDRAM 初期化サイクル

SDCLK/SDCLKEN コントロール

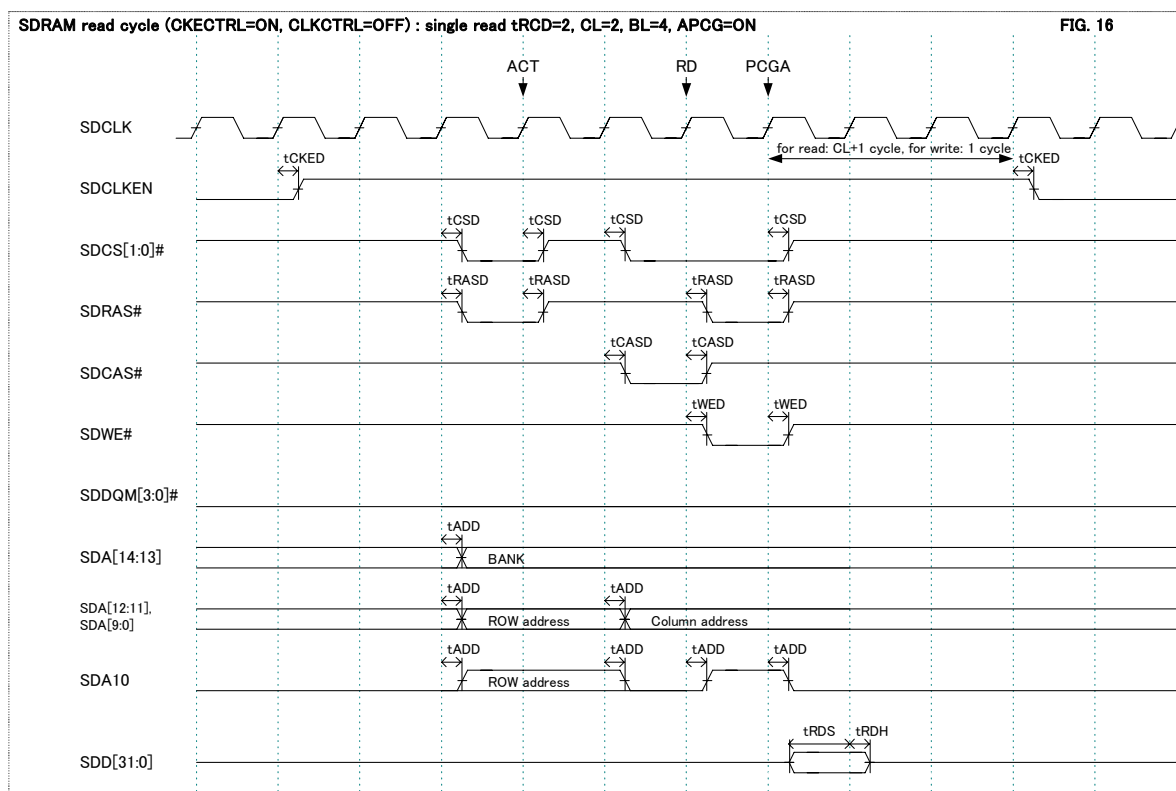


図 32.25 SDCLK/SDCLKEN コントロール 1 (CKECTRL=ON, CLKCTRL=OFF) : シングルリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

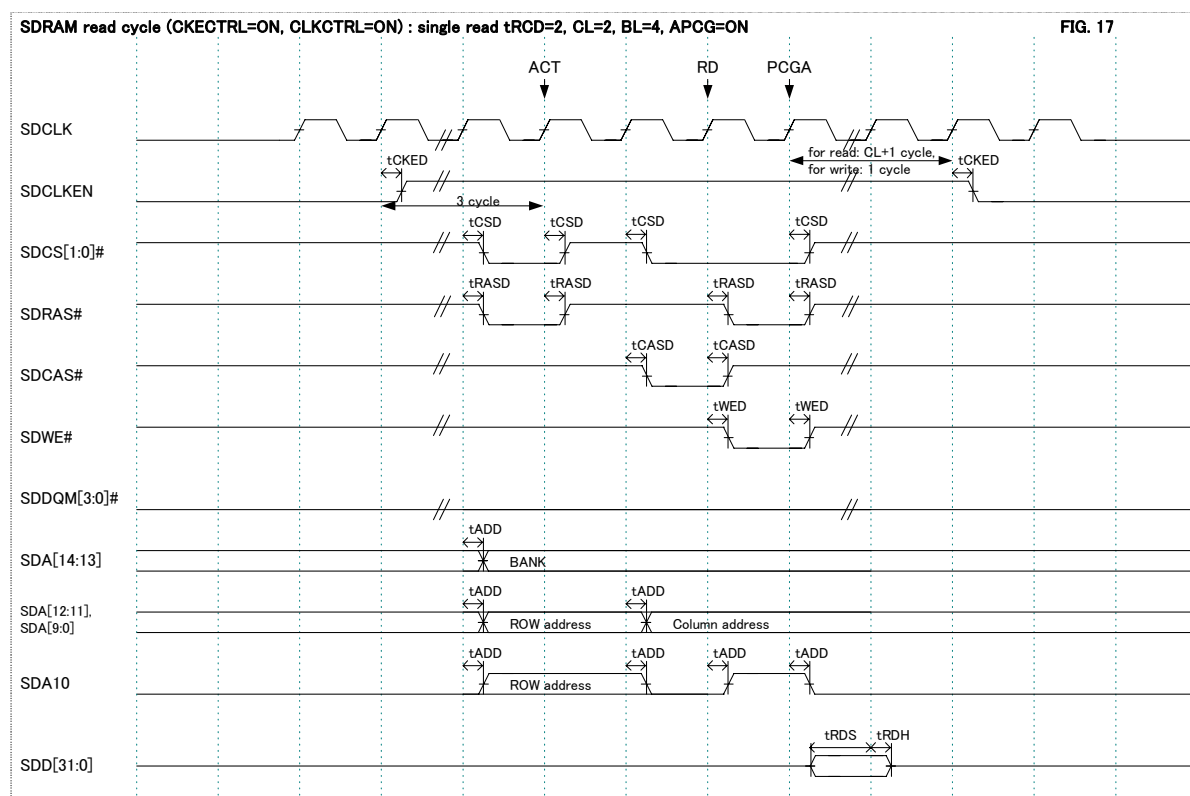


図 32.26 SDCLK/SDCLKEN コントロール 2 (CKECTRL=ON, CLKCTRL=ON) : シングルリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

32. 電気的特性

32.2.3.6 I2C Single Master Core Module タイミング

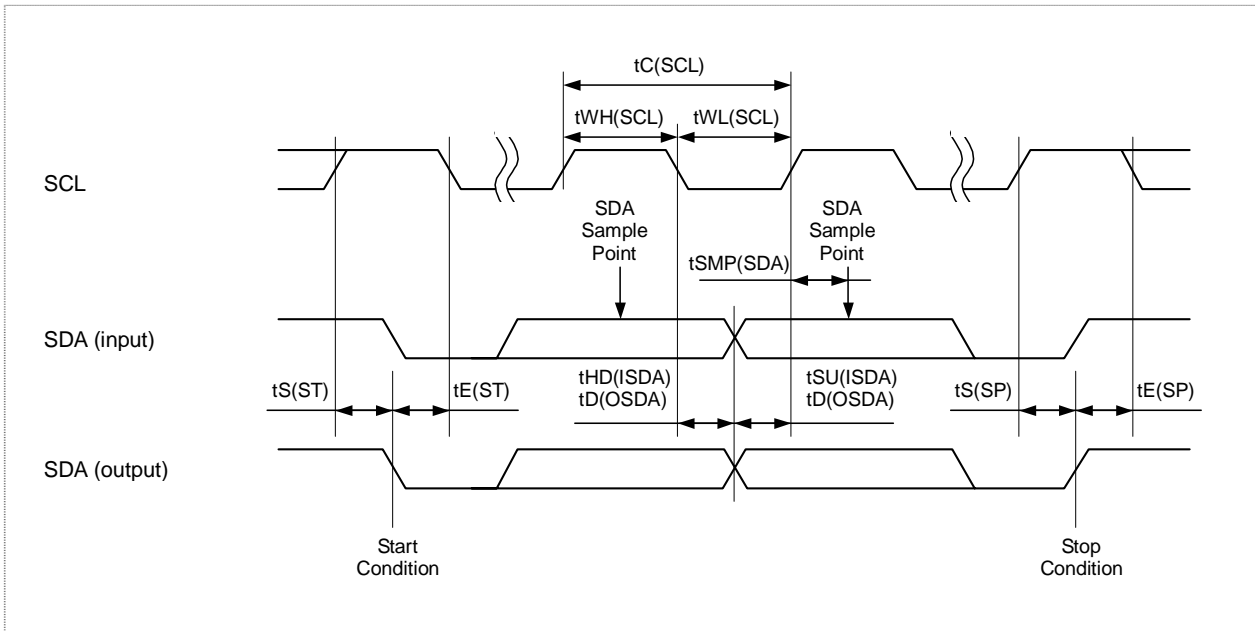


図 32.27 I2C Single Master Core Module タイミング

32.2.3.7 I2S タイミング

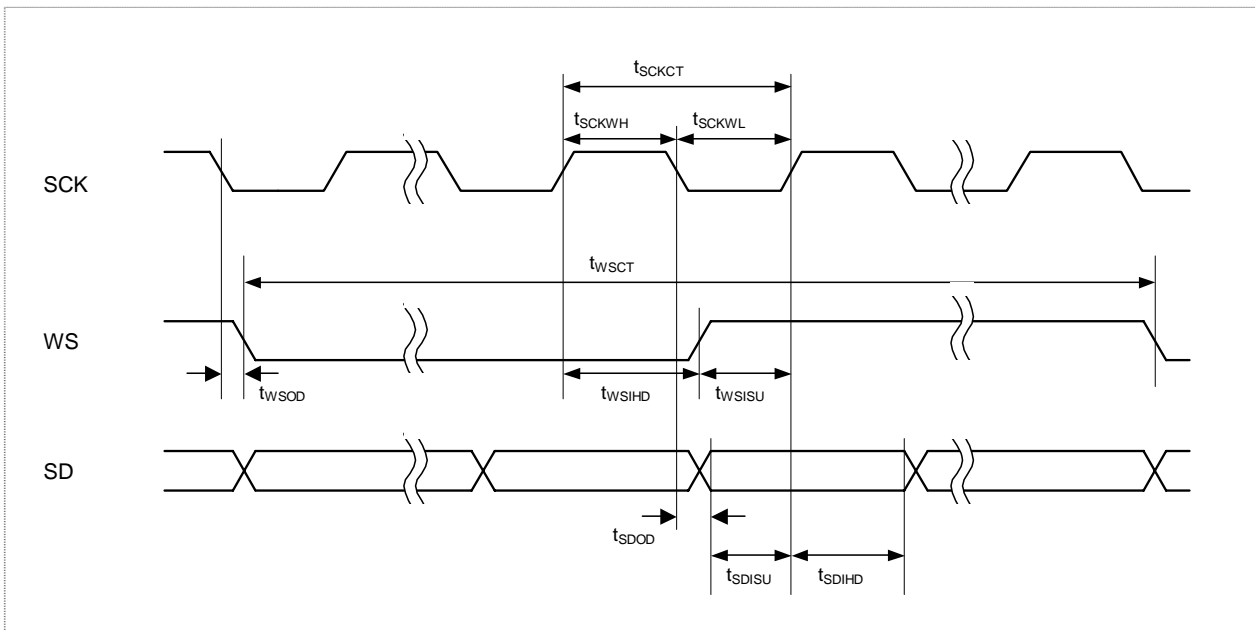


図 32.28 I2S タイミング

32.2.3.8 シリアル周辺機器インタフェースタイミング

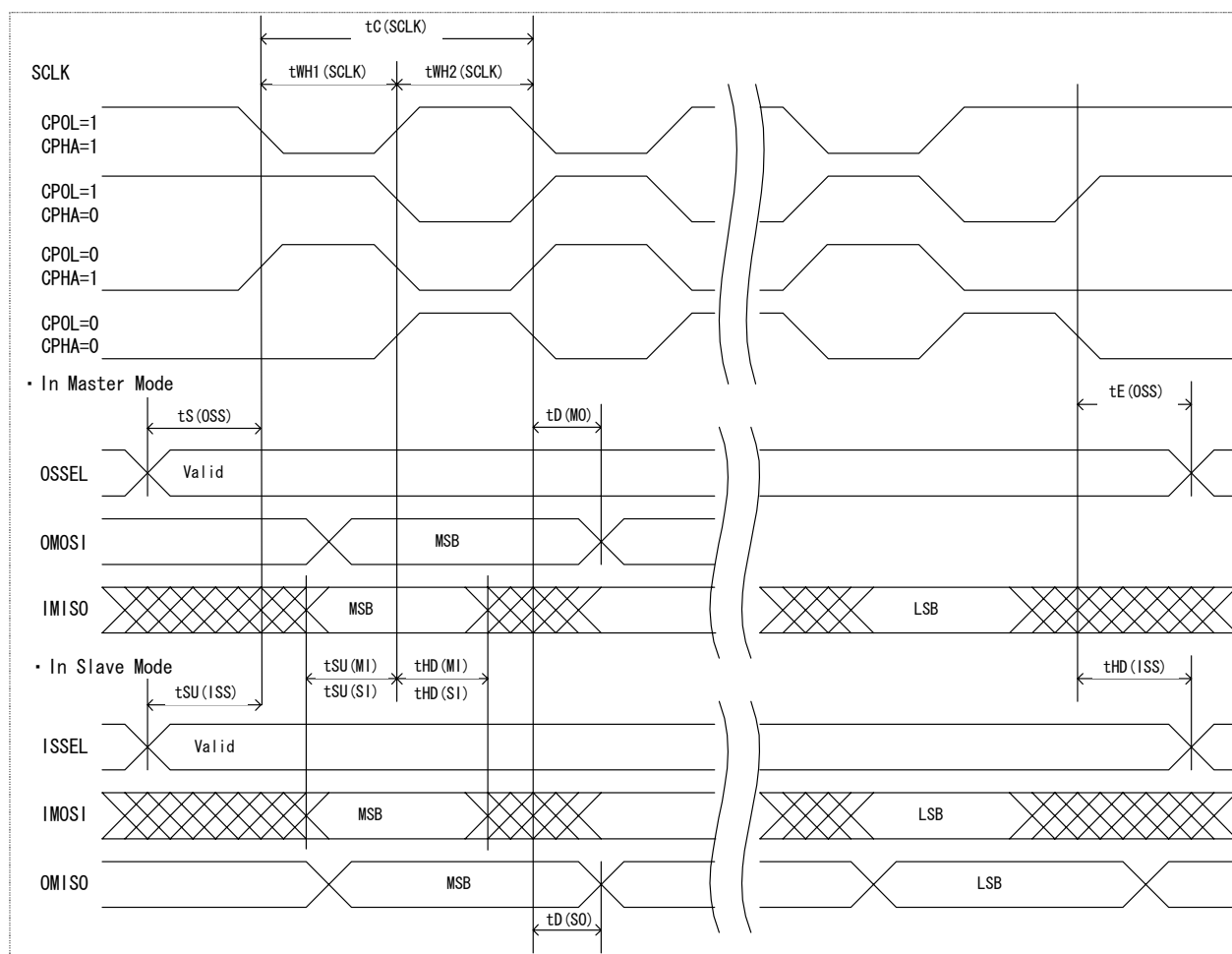


図 32.29 シリアル周辺機器インタフェースタイミング

32. 電気的特性

32.2.3.9 コンパクトフラッシュインタフェース (CF) タイミング

■ CF Attribute Memory Read Cycle

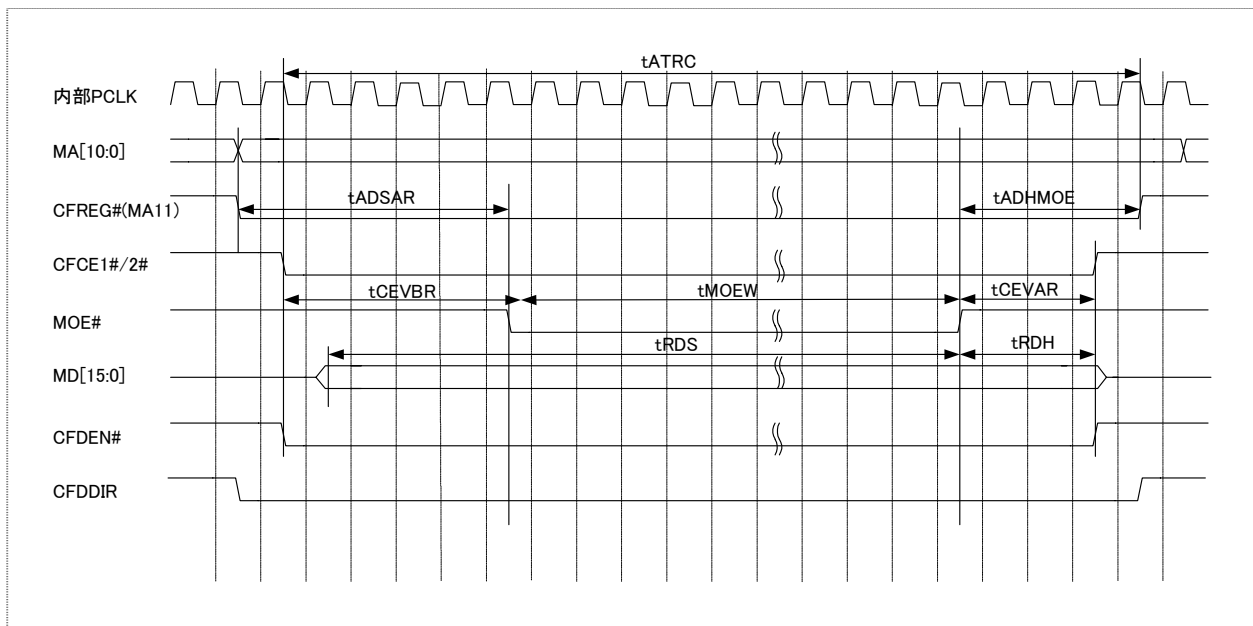


図 32.30 CF アトリビュートメモリ リードサイクル

■ CF Attribute Memory Write Cycle

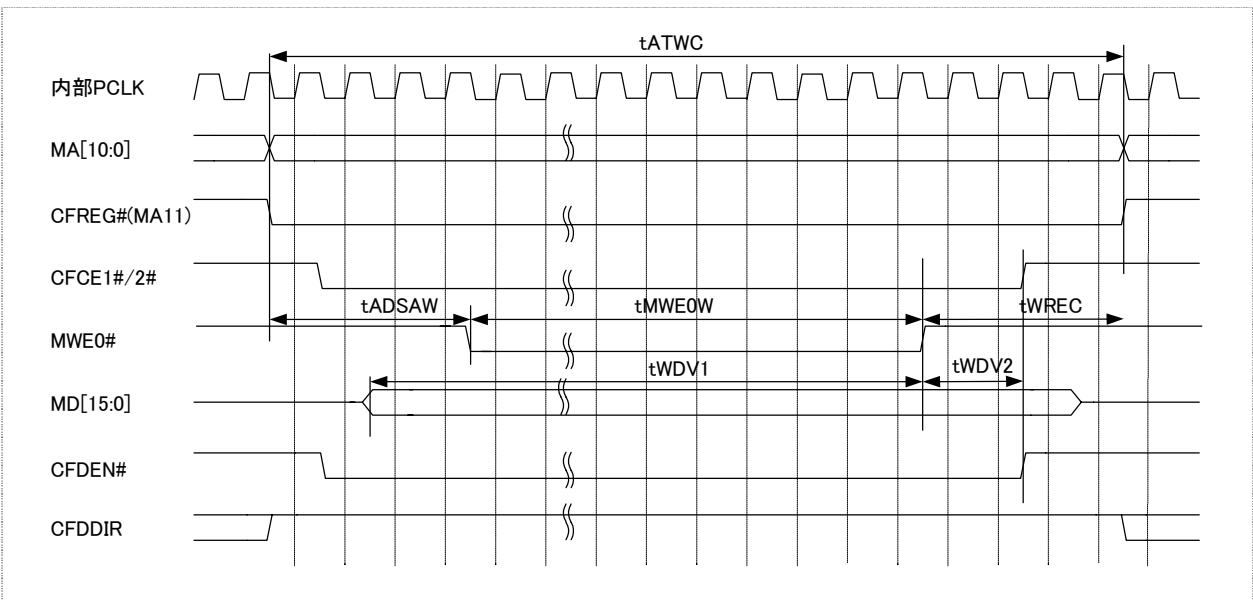


図 32.31 CF アトリビュートメモリ ライトサイクル

■ CF Common Memory Read Cycle

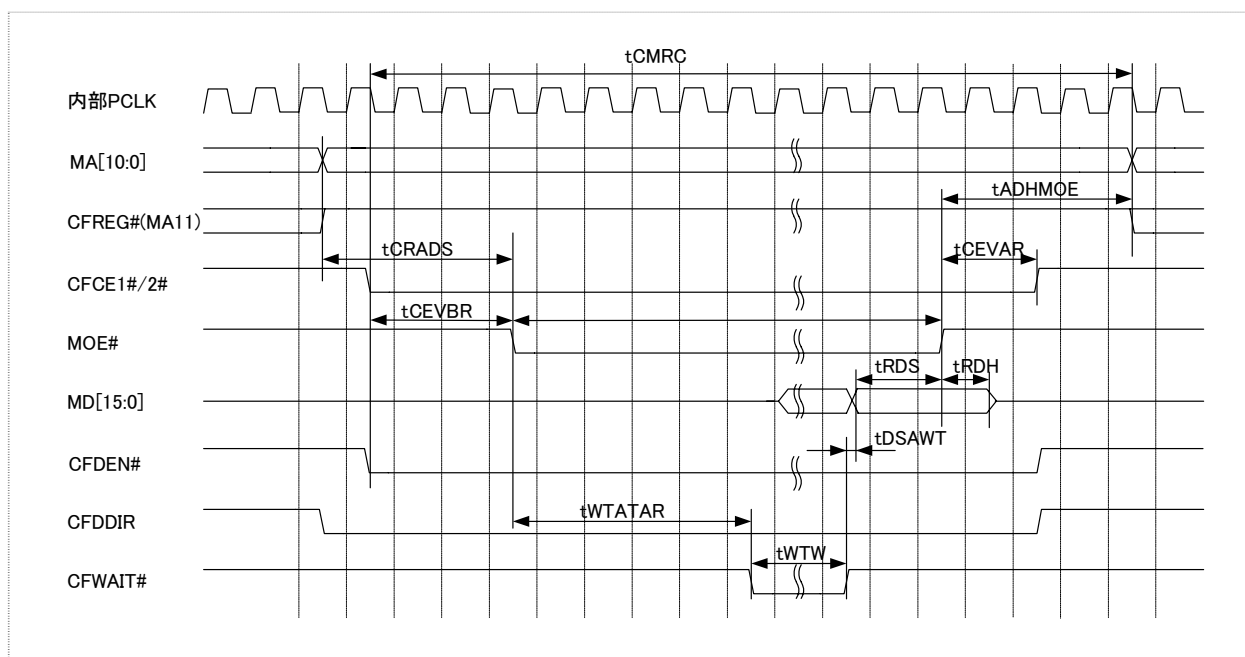


図 32.32 CF コモンメモリ リードサイクル

■ CF Common Memory Write Cycle

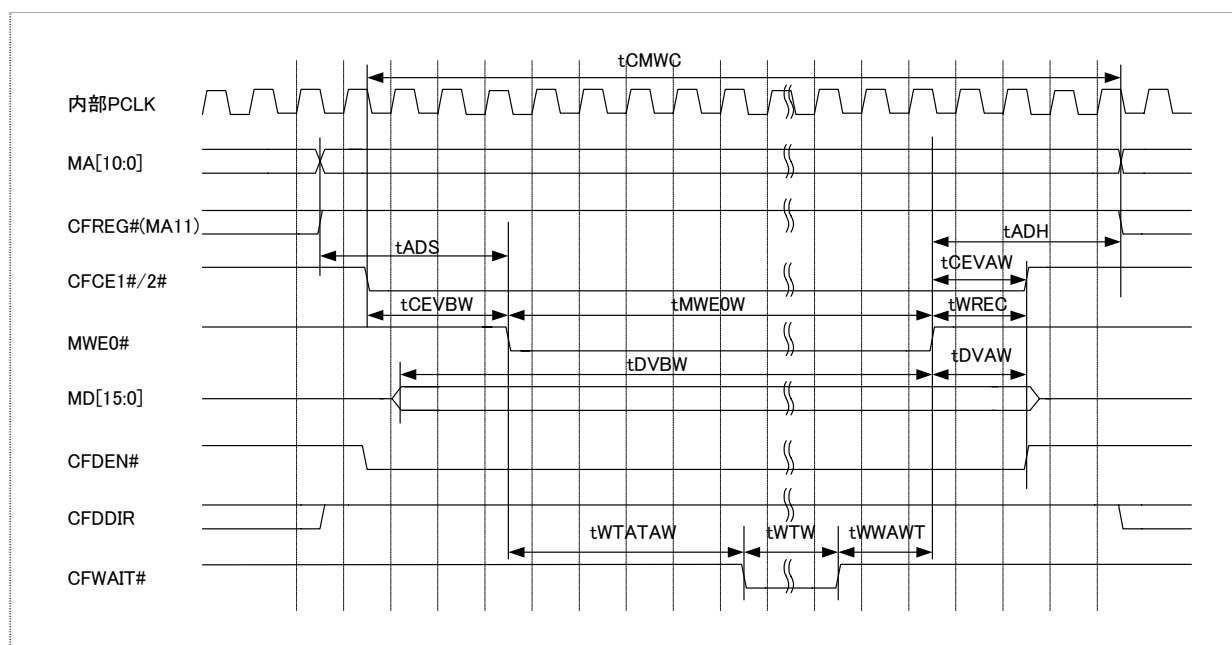


図 32.33 CF コモンメモリ ライトサイクル

32. 電気的特性

■ CF I/O Space/IDE Read Cycle

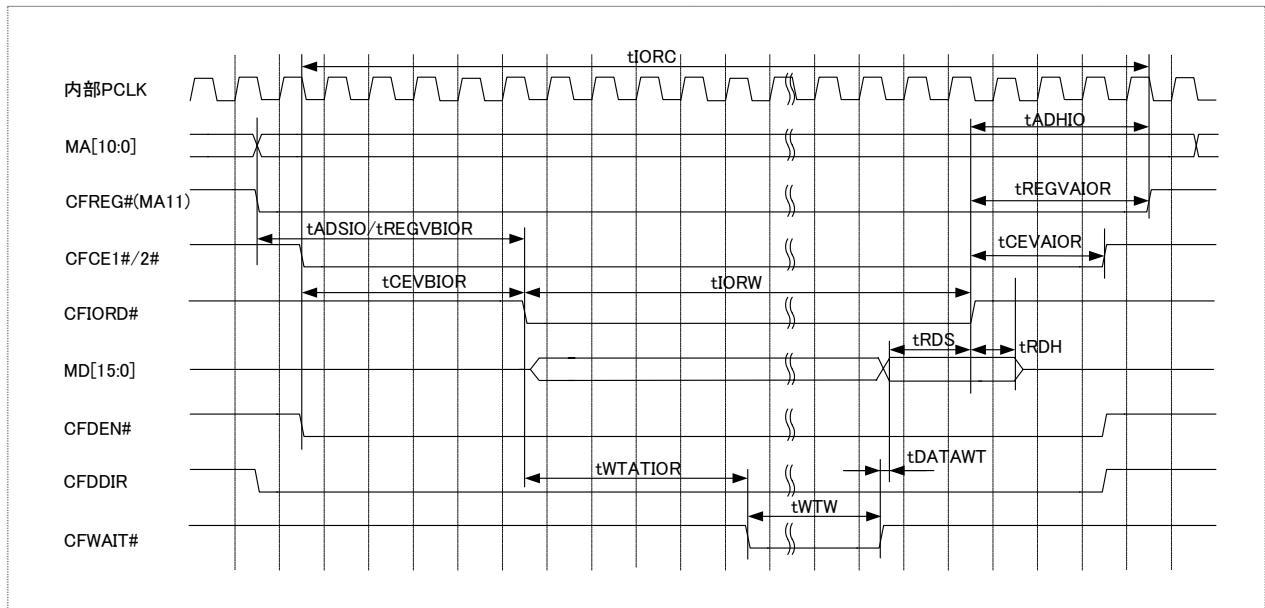


図 32.34 CF I/O 空間/IDE リードサイクル

■ CF I/O Space/IDE Write Cycle

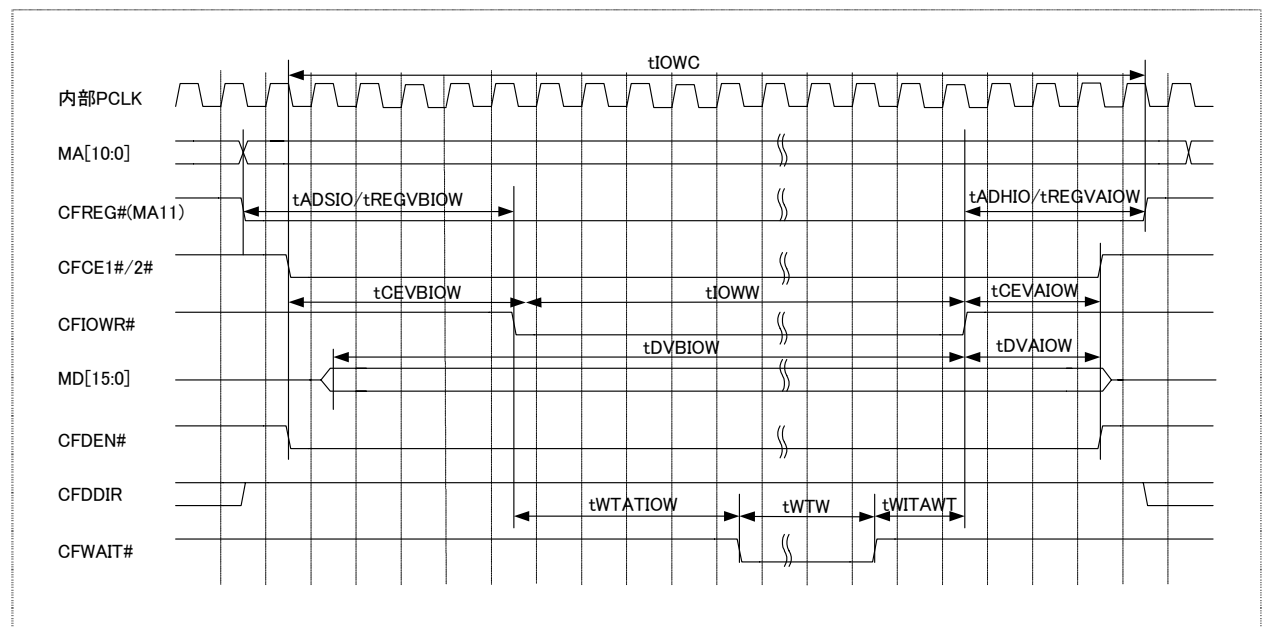


図 32.35 CF I/O 空間/IDE ライトサイクル

33. 参考外部接続例

33.1 メモリ接続例

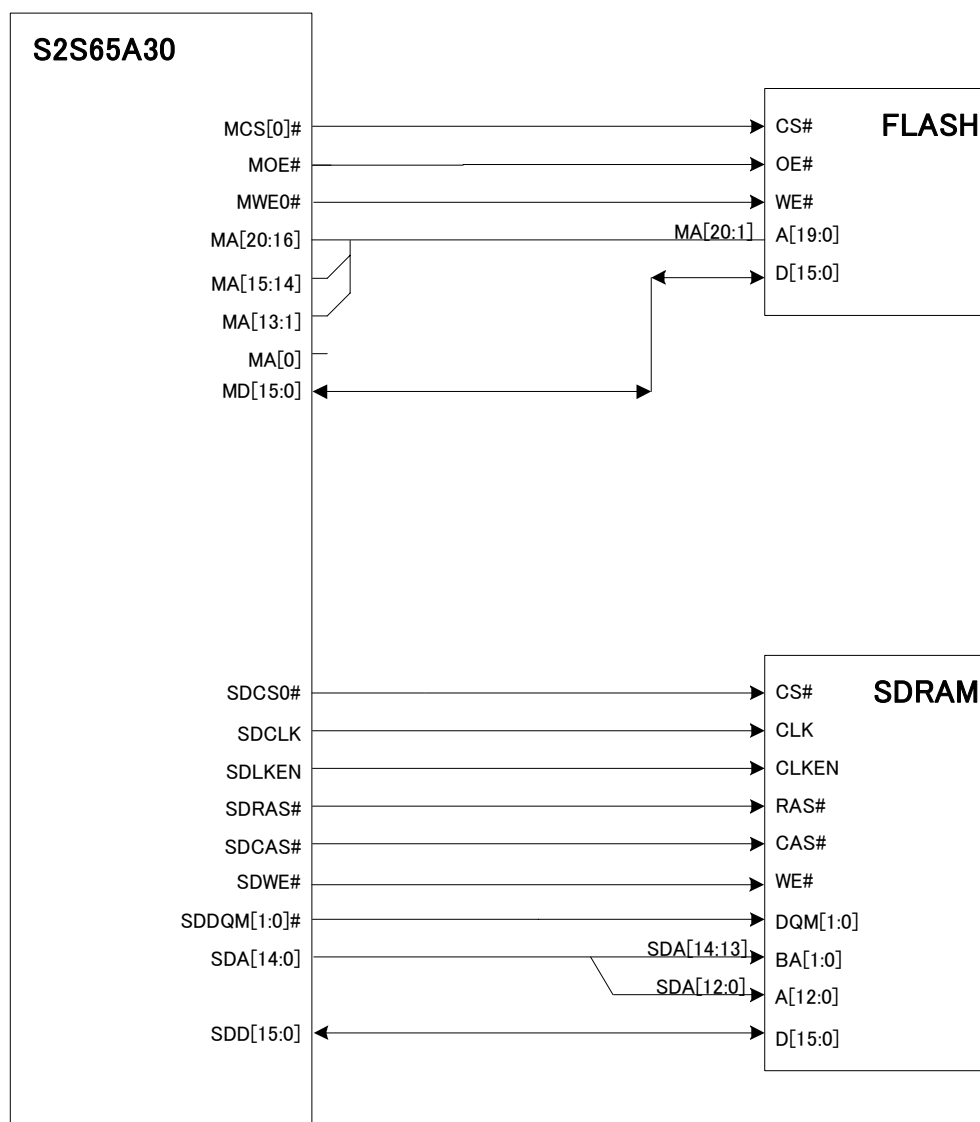


図 33.1 メモリ接続例（1）

注意：SDRAM のバンクアドレス（BA[1:0]）には SDMA[14:13]を接続してください。

33. 参考外部接続例

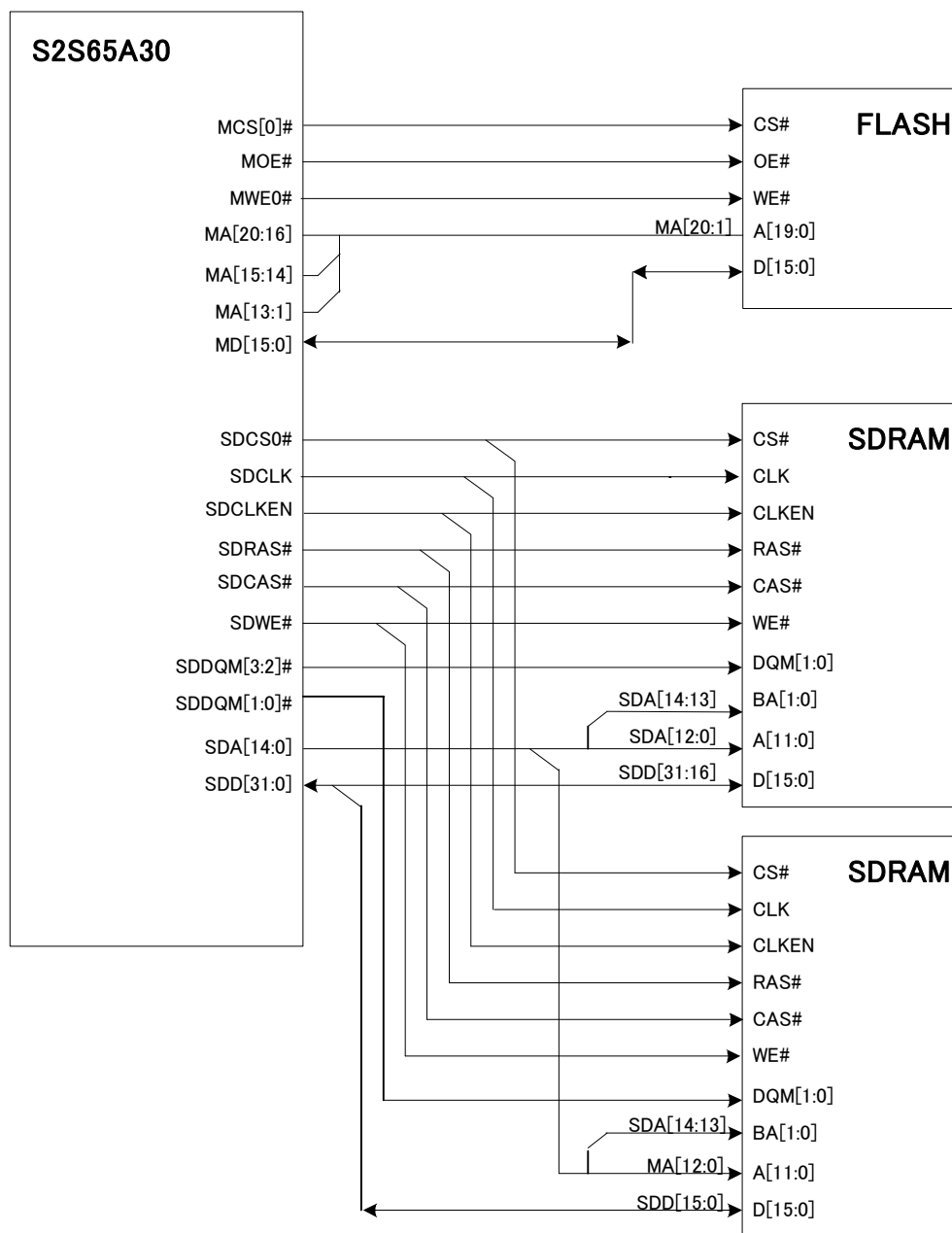


図 33.2 メモリ接続例（2）

注意：SDRAM のバンクアドレス（BA[1:0]）には SDA[14:13] を接続してください。

33.2 コンパクトフラッシュ接続例（16 ビットバス対応）

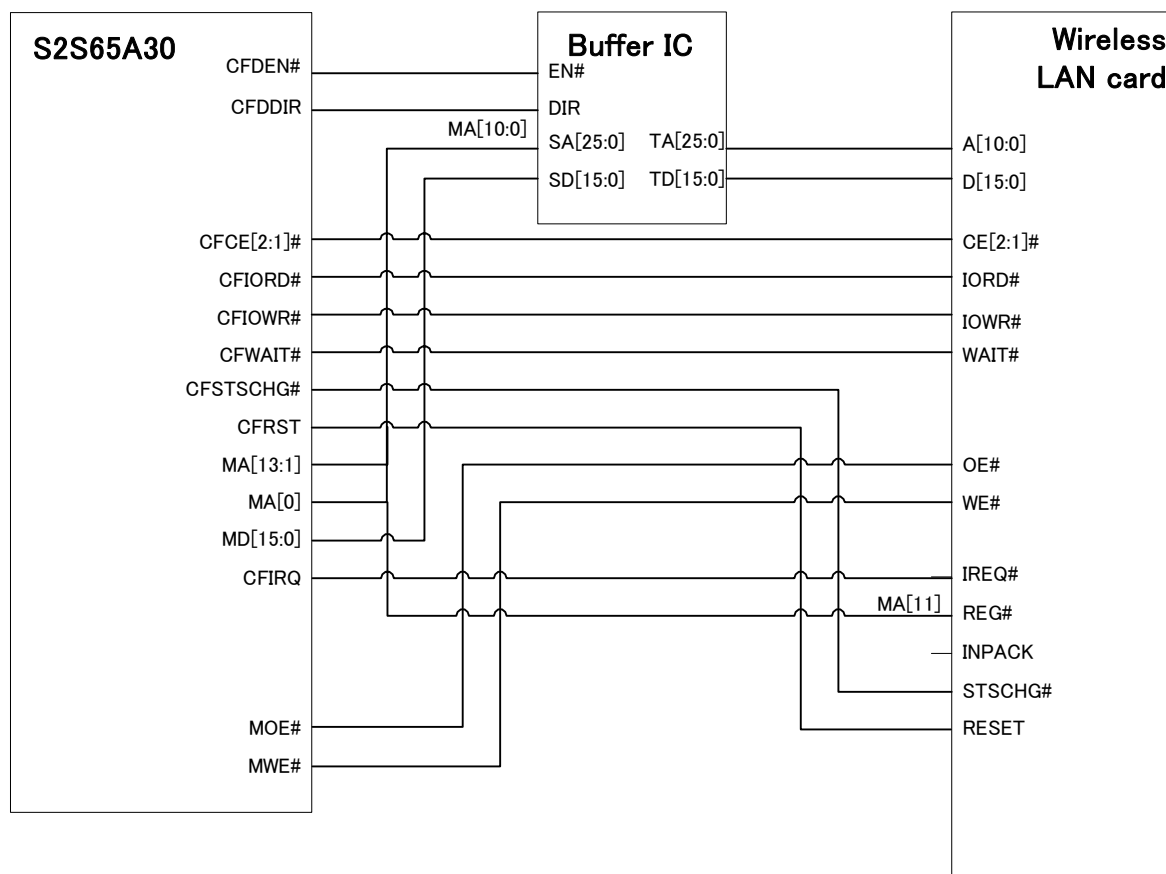


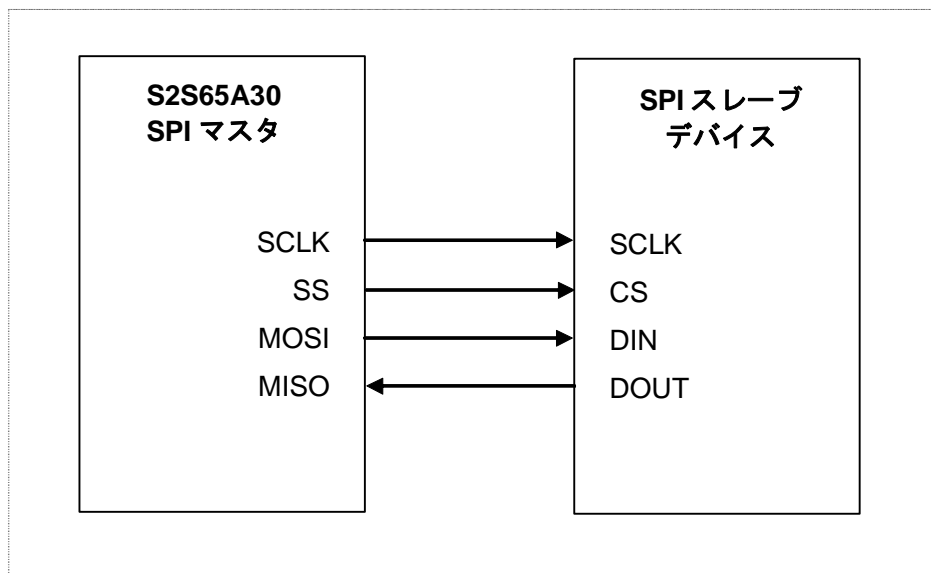
図 33.3 コンパクトフラッシュ I/F 接続例

33. 参考外部接続例

33.3 シリアル周辺機器インタフェース（SPI）接続例

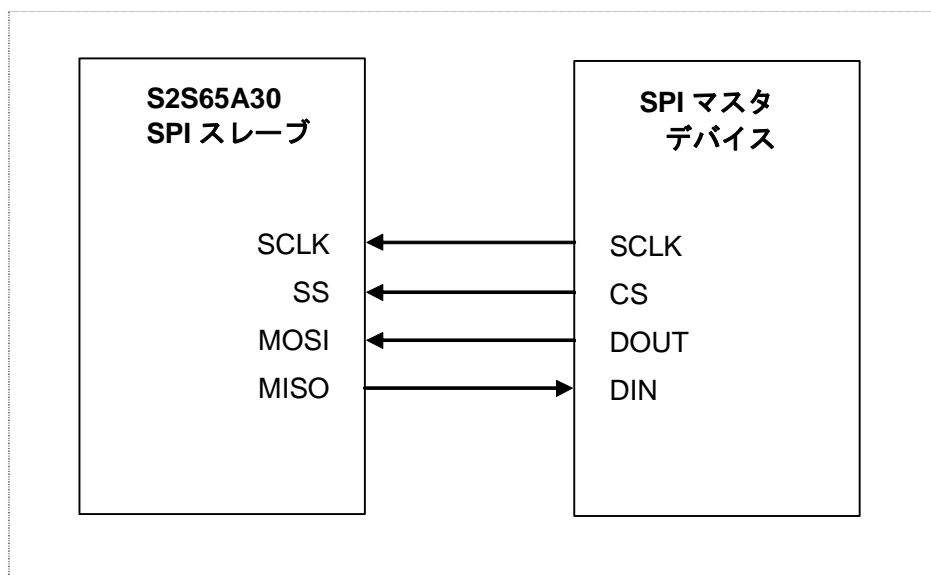
33.3.1 マスタ時

S2S65A30 がマスタ時の接続例です。



33.3.2 スレーブ時

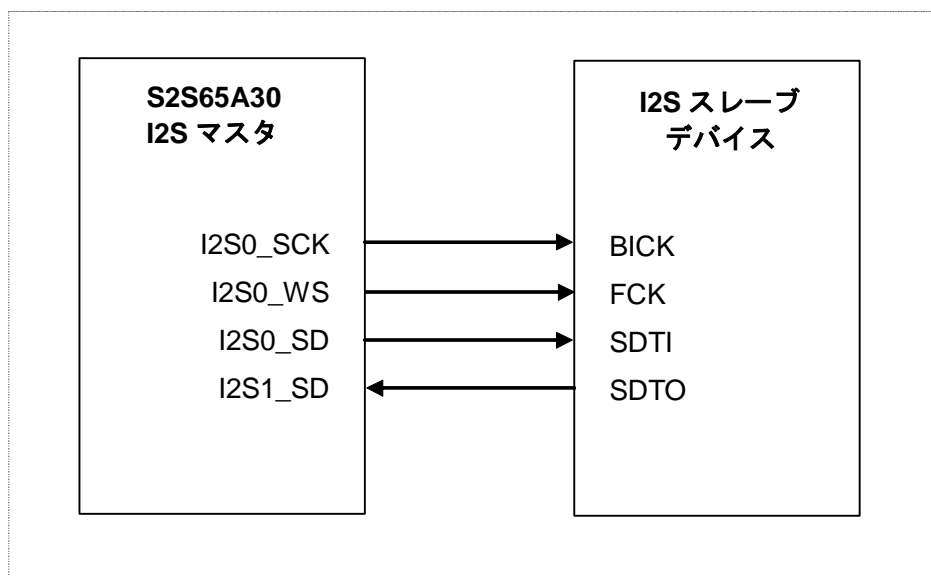
S2S65A30 がスレーブ時の接続例です。



33.4 I²S 接続例

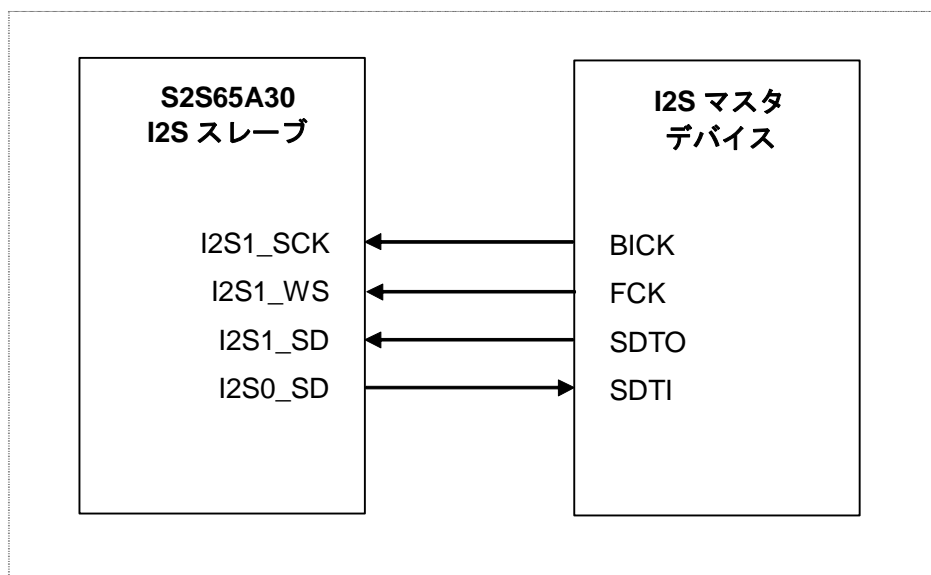
33.4.1 マスタ時

S2S65A30 がマスタ時の接続例です。



33.4.2 スレーブ時

S2S65A30 がスレーブ時の接続例です。



34. 外形寸法図

34. 外形寸法図

34.1 Plastic TFBGA 280pin Body size 16x16x1.2mm (PFBGA16U-280)

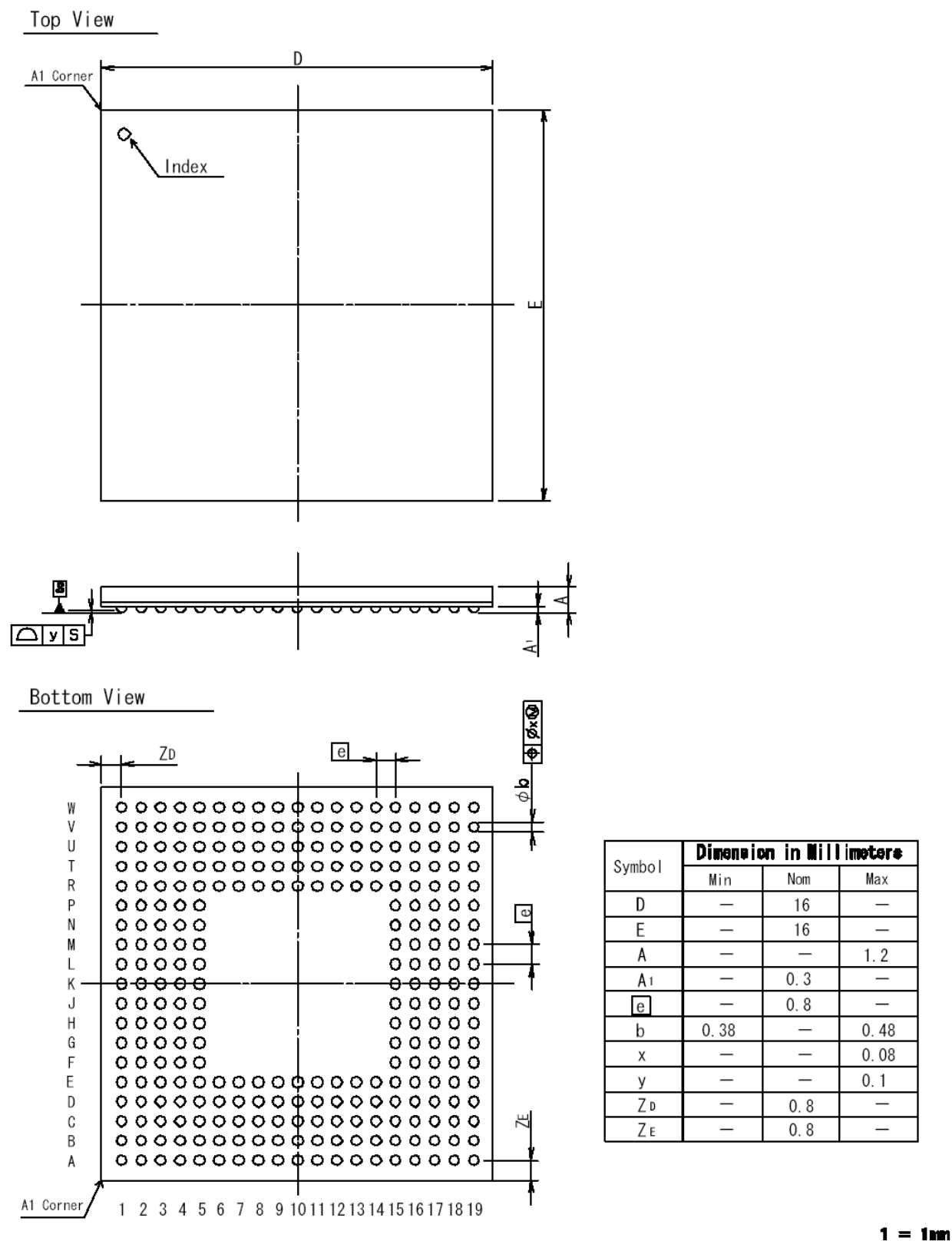


図 34.1 パッケージ寸法図 (PFBGA16U-280PIN)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称		レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_1000	IPC&INTIM2		IPC2			
0xFFFD_1000	IPC カメラ入力モード設定		INMODE	0x0000	R/W	16/8
0xFFFD_1010	IPC カメラ入力設定		INCONFIG	0x0001	R/W	16/8
0xFFFD_1108	IPC X 方向開始位置設定		XSTART	0x0001	R/W	16/8
0xFFFD_110C	IPC Y 方向開始位置設定/ ODD フィールド Y 方向開始位置設定		YSTART/ YSTART_O	0x0001	R/W	16/8
0xFFFD_1110	IPC EVEN フィールド Y 方向開始位置設定		YSTART_E	0x0001	R/W	16/8
0xFFFD_1140	IPC 割り込み設定		INTSEL	0x0000	R/W	16/8
0xFFFD_1200	IPC スケーラ設定		CONTROL	0x0001	R/W	16/8
0xFFFD_1400	IPC 変換バッファ用 SDRAM 開始アドレス 1		IPCBUF_SADR_ L	0x0000	R/W	16/8
0xFFFD_1404	IPC 変換バッファ用 SDRAM 開始アドレス 2		IPCBUF_SADR_ H	0x0000	R/W	16/8
0xFFFD_1510	IPC ビデオ出力 X 方向有効画素		VOUT_HD	0x0280	R/W	16
0xFFFD_1520	IPC ビデオ出力 X 方向長設定		VOUT_HT	0x02DA	R/W	16
0xFFFD_1534	IPC ビデオ出力垂直ブランクライン数		VOUT_VP	0x0001	R/W	16
0xFFFD_1540	IPC ビデオ出力 Y 方向有効画素		VOUT_VD	0x01E0	R/W	16
0xFFFD_1700	IPC Interlaced_to_Progressive 変換モード		IPC_MODE	0x0080	R/W	16/8
0xFFFD_1800	IPC 同期信号出力極性設定		OUTCONFIG	0x0003	R/W	16/8
0xFFFD_1804	IPC 画像補正回路バイパス設定		BYPASS	0x0000	R/W	16/8
0xFFFD_1808	IPC 画像補正設定更新レジスタ		UPDATE	0x0000	R/W	16/8
0xFFFD_180C_19FC	補正値設定レジスタ領域					
0x FFFD_3000	TIMB 関連レジスタ		TIMB			
0x FFFD_3000	タイマ B モード制御レジスタ		TIMBMDC	0x0000	R/W	16/(32)
0x FFFD_3004	タイマ B カウンタ制御レジスタ		TIMBCNTC	0x0000	R/W	16/(32)
0x FFFD_3008	タイマ B ステータスレジスタ		TIMBSTS	0x0000	R/W	16/(32)
0x FFFD_300C	タイマ B 割り込み許可レジスタ		TIMBINTEN	0x0000	R/W	16/(32)
0x FFFD_3010	タイマ B カウントレジスタ		TIMBCNT	0x0000	R/W	16/(32)
0x FFFD_3014	タイマ B COMMON 制御レジスタ		TIMBCOMC	0x0000	R/W	16/(32)
0x FFFD_3018	タイマ B I/O 制御レジスタ		TIMBIO	0x0000	R/W	16/(32)
0x FFFD_301C	タイマ B 周期レジスタ		TIMBDUTY	0x0000	R/W	16/(32)
0x FFFD_3020	タイマ B COMMON_0 レジスタ		TIMBCOM0	0x0000	R/W	16/(32)
0x FFFD_3024	タイマ B COMMON_1 レジスタ		TIMBCOM1	0x0000	R/W	16/(32)
0x FFFD_3028	タイマ B COMMON_2 レジスタ		TIMBCOM2	0x0000	R/W	16/(32)
0x FFFD_302C	タイマ B COMMON_3 レジスタ		TIMBCOM3	0x0000	R/W	16/(32)
0x FFFD_3030	タイマ B COMINP_0 レジスタ		TIMBINP0	0x0000	RO	16/(32)
0x FFFD_3034	タイマ B COMINP_1 レジスタ		TIMBINP1	0x0000	RO	16/(32)
0x FFFD_3038	タイマ B COMINP_2 レジスタ		TIMBINP2	0x0000	RO	16/(32)
0x FFFD_303C	タイマ B COMINP_3 レジスタ		TIMBINP3	0x0000	RO	16/(32)
0x FFFD_4000	DLAB	UART2 関連レジスタ	UART2			
0x FFFD_4000	0	受信バッファレジスタ	RBR	0x 00	RO	8 (/16/32)
0x FFFD_4000	0	送信ホールディングレジスタ	THR	-	WO	8 (/16/32)
0x FFFD_4000	1	デバイザラッチ LSB レジスタ	DLL	0x 00	R/W	8 (/16/32)
0x FFFD_4004	0	割り込みイネーブルレジスタ	IER	0x 00	R/W	8 (/16/32)
0x FFFD_4004	1	デバイザラッチ MSB レジスタ	DLM	0x 00	R/W	8 (/16/32)
0x FFFD_4008	割り込み識別レジスタ		IIR	0x 01	RO	8 (/16/32)
0x FFFD_4008	FIFO 制御レジスタ		FCR	-	WO	8 (/16/32)
0x FFFD_400C	ライン制御レジスタ		LCR	0x 00	R/W	8 (/16/32)
0x FFFD_4010	モデム制御レジスタ		MCR	0x 00	R/W	8 (/16/32)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称		レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_4014	ラインステータスレジスタ		LSR	0x 60	RO	8 (/16/32)
0x FFFD_4018	モデムステータスレジスタ		MSR	0x EX	RO	8 (/16/32)
0x FFFD_401C	スクラッチレジスタ		SCR	0x 00	R/W	8 (/16/32)
0x FFFD_4020	テスト 0 レジスタ		T0	0x 00	R/W	8 (/16/32)
0x FFFD_4024	テスト 1 レジスタ		T1	0x 00	R/W	8 (/16/32)
0x FFFD_4028	テストステータス 0 レジスタ		TS0	-	RO	8 (/16/32)
0x FFFD_402C	テストステータス 1 レジスタ		TS1	0x 01	RO	8 (/16/32)
0x FFFD_4030	テストステータス 2 レジスタ		TS2	0x 0F	RO	8 (/16/32)
0x FFFD_403C	テストステータス 3 レジスタ		TS3	0x 03	RO	8 (/16/32)
0x FFFD_5000	DLAB	UART3 関連レジスタ	UART3			
0x FFFD_5000	0	受信バッファレジスタ	RBR	0x 00	RO	8 (/16/32)
0x FFFD_5000	0	送信ホールディングレジスタ	THR	-	WO	8 (/16/32)
0x FFFD_5000	1	デバイズラッチ LSB レジスタ	DLL	0x 00	R/W	8 (/16/32)
0x FFFD_5004	0	割り込みイネーブルレジスタ	IER	0x 00	R/W	8 (/16/32)
0x FFFD_5004	1	デバイズラッチ MSB レジスタ	DLM	0x 00	R/W	8 (/16/32)
0x FFFD_5008	割り込み識別レジスタ		IIR	0x 01	RO	8 (/16/32)
0x FFFD_5008	FIFO 制御レジスタ		FCR	-	WO	8 (/16/32)
0x FFFD_500C	ライン制御レジスタ		LCR	0x 00	R/W	8 (/16/32)
0x FFFD_5010	モデム制御レジスタ		MCR	0x 00	R/W	8 (/16/32)
0x FFFD_5014	ラインステータスレジスタ		LSR	0x 60	RO	8 (/16/32)
0x FFFD_5018	モデムステータスレジスタ		MSR	0x EX	RO	8 (/16/32)
0x FFFD_501C	スクラッチレジスタ		SCR	0x 00	R/W	8 (/16/32)
0x FFFD_5020	テスト 0 レジスタ		T0	0x 00	R/W	8 (/16/32)
0x FFFD_5024	テスト 1 レジスタ		T1	0x 00	R/W	8 (/16/32)
0x FFFD_5028	テストステータス 0 レジスタ		TS0	-	RO	8 (/16/32)
0x FFFD_502C	テストステータス 1 レジスタ		TS1	0x 01	RO	8 (/16/32)
0x FFFD_5030	テストステータス 2 レジスタ		TS2	0x 0F	RO	8 (/16/32)
0x FFFD_503C	テストステータス 3 レジスタ		TS3	0x 02	RO	8 (/16/32)
0x FFFD_8000	カメラ 2 インタフェース関連レジスタ		CAM2			
0x FFFD_8000	カメラ 2 クロック周期設定レジスタ			0x 0000	R/W	16
0x FFFD_8004	カメラ 2 信号設定レジスタ			0x 0000	R/W	16
0x FFFD_8008~ 0x FFFD_801C	予約			-	-	-
0x FFFD_8020	カメラ 2 モード設定レジスタ			0x 0000	R/W	16
0x FFFD_8024	カメラ 2 フレーム制御レジスタ			0x 0000	R/W	16
0x FFFD_8028	カメラ 2 コントロールレジスタ			0x 0000	WO	16
0x FFFD_802C	カメラ 2 ステータスレジスタ			0x 0004	RO	16
0x FFFD_8030~ 0x FFFD_805C	予約			-	-	-
0x FFFD_9000	JPEG2 リサイズ関連レジスタ		RSZ2			
0x FFFD_9060	グローバルリサイズ制御レジスタ			0x 0000	WO	16
0x FFFD_9064	キャプチャ制御ステートレジスタ			0x 0000	RO	16
0x FFFD_9068	キャプチャデータ設定レジスタ			0x 0000	R/W	16
0x FFFD_9070~ 0x FFFD_907C	予約レジスタ			-	-	-
0x FFFD_90C0	取り込みリサイズ制御レジスタ			0x 0000	R/W	16
0x FFFD_90C8	取り込みリサイズスタート X 座標レジスタ			0x 0000	R/W	16
0x FFFD_90CC	取り込みリサイズスタート Y 座標レジスタ			0x 0000	R/W	16
0x FFFD_90D0	取り込みリサイズエンド X 座標レジスタ			0x 027F	R/W	16
0x FFFD_90D4	取り込みリサイズエンド Y 座標レジスタ			0x 01DF	R/W	16
0x FFFD_90D8	取り込みリサイズ縮小率レジスタ			0x 8080	R/W	16
0x FFFD_90DC	取り込みリサイズ縮小モードレジスタ			0x 0000	R/W	16

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_A000	JPEG2 モジュールレジスタ	JCTL2			
0x FFFD_A000	JPEG 制御レジスタ		0x 0000	R/W	16
0x FFFD_A004	JPEG ステータスフラグレジスタ		0x 8080	R/W	16
0x FFFD_A008	JPEG ロウステータスフラグレジスタ		0x 8080	RO	16
0x FFFD_A00C	JPEG 割り込み制御レジスタ		0x 0000	R/W	16
0x FFFD_A010	予約レジスタ		-	-	-
0x FFFD_A014	JPEG コーデックスタートストップ制御レジスタ		0x 0000	WO	16
0x FFFD_A018~ 0x FFFD_A01C	予約レジスタ		-	-	-
0x FFFD_A020	ハフマンテーブル自動設定レジスタ		0x 0000	R/W	16
0x FFFD_A040	JPEG2 FIFO 設定レジスタ	JFIFO2			
0x FFFD_A040	JPEG FIFO 制御レジスタ		0x 0000	R/W	16
0x FFFD_A044	JPEG FIFO ステータスレジスタ		0x 8001	RO	16
0x FFFD_A048	JPEG FIFO サイズレジスタ		0x 003F	R/W	16
0x FFFD_A04C	JPEG FIFO リード/ライトポートレジスタ		0x 0000_0000	R/W	32
0x FFFD_A050~ 0x FFFD_A058	予約レジスタ		-	-	-
0x FFFD_A060	エンコードサイズリミットレジスタ 0		0x 0000	R/W	16
0x FFFD_A064	エンコードサイズリミットレジスタ 1		0x 0000	R/W	16
0x FFFD_A068	エンコードサイズ結果レジスタ 0		0x 0000	RO	16
0x FFFD_A06C	エンコードサイズ結果レジスタ 1		0x 0000	RO	16
0x FFFD_A070~ 0x FFFD_A078	予約レジスタ		-	-	16
0x FFFD_A080	JPEG2 ラインバッファ設定レジスタ	JLB2			
0x FFFD_A080	JPEG ラインバッファステータスフラグレジスタ		0x 0000	R/W	16
0x FFFD_A084	JPEG ラインバッファロウステータスフラグレジスタ		0x 0000	RO	16
0x FFFD_A088	JPEG ラインバッファカレントステータスフラグレジスタ		0x X009	RO	16
0x FFFD_A08C	JPEG ラインバッファ割り込み制御レジスタ		0x 0000	R/W	16
0x FFFD_A090~ 0x FFFD_A09C	予約レジスタ		-	-	-
0x FFFD_A0A0	JPEG ラインバッファ水平ピクセル許容サイズレジスタ		0x 2800	R/W	16
0x FFFD_A0A4	JPEG ラインバッファメモリアドレスオフセットレジスタ		0x 0020	R/W	16
0x FFFD_A0A8~ 0x FFFD_A0BC	予約レジスタ		-	-	-
0x FFFD_A0C0	JPEG ラインバッファリード/ライトポートレジスタ		0x 0000	R/W	16
0x FFFD_B000	JPEG2 コーデックレジスタ	JCOCEC2			
0x FFFD_B000	動作モード設定レジスタ		0x 0000	R/W	16
0x FFFD_B004	コマンド設定レジスタ		Not applicable	WO	16
0x FFFD_B008	JPEG 動作ステータスレジスタ		0x 0000	RO	16
0x FFFD_B00C	量子化テーブル番号レジスタ		0x 0000	R/W	16
0x FFFD_B010	ハフマンテーブル番号レジスタ		0x 0000	R/W	16
0x FFFD_B014	DRI 設定レジスタ 0		0x 0000	R/W	16
0x FFFD_B018	DRI 設定レジスタ 1		0x 0000	R/W	16
0x FFFD_B01C	垂直ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFD_B020	垂直ピクセルサイズレジスタ 1		0x 0000	R/W	16

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_B024	水平ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFD_B028	水平ピクセルサイズレジスタ 1		0x 0000	R/W	16
0x FFFD_B02C~ 0x FFFD_B034	予約レジスタ		-	-	-
0x FFFD_B038	RST マーカ動作設定レジスタ		0x 0000	R/W	16
0x FFFD_B03C	RST マーカ動作ステータスレジスタ		0x 0000	RO	16
0x FFFD_B040~ 0x FFFD_B0CC	挿入マーカデータレジスタ		0x 00FF	R/W	16
0x FFFD_B400~ 0x FFFD_B4FC	量子化テーブル No.0 レジスタ		Not applicable	R/W	16
0x FFFD_B500~ 0x FFFD_B5FC	量子化テーブル No.1 レジスタ		Not applicable	R/W	16
0x FFFD_B800~ 0x FFFD_B83C	DC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFD_B840~ 0x FFFD_B86C	DC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16
0x FFFD_B880~ 0x FFFD_B8BC	AC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFD_B8C0~ 0x FFFD_BB44	AC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16
0x FFFD_BC00~ 0x FFFD_BC3C	DC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFD_BC40~ 0x FFFD_BC6C	DC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFD_BC80~ 0x FFFD_BCBC	AC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFD_BCC0~ 0x FFFD_BF44	AC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFD_C000	ADC 関連レジスタ	ADC			
0x FFFD_C000	ADC データレジスタ 0	ADC DT0	0x 0000	RO	16/(32)
0x FFFD_C004	ADC データレジスタ 1	ADC DT1	0x 0000	RO	16/(32)
0x FFFD_C008	ADC データレジスタ 2	ADC DT2	0x 0000	RO	16/(32)
0x FFFD_C00C	ADC データレジスタ 3	ADC DT3	0x 0000	RO	16/(32)
0x FFFD_C010	ADC データレジスタ 4	ADC DT4	0x 0000	RO	16/(32)
0x FFFD_C014	ADC データレジスタ 5	ADC DT5	0x 0000	RO	16/(32)
0x FFFD_C018	ADC データレジスタ 6	ADC DT6	0x 0000	RO	16/(32)
0x FFFD_C01C	ADC データレジスタ 7	ADC DT7	0x 0000	RO	16/(32)
0x FFFD_C020	ADC 制御レジスタ	ADC CTL	0x 00	RW	8/(16/32)
0x FFFD_C024	ADC フラグレジスタ	ADC FLG	0x 0000	RW	16/(32)
0x FFFD_D000	Reserved				
0x FFFD_F000	USB2.0 HS Device 制御関連レジスタ	USB			
0x FFFD_F000	Main Interrupt Status	MainIntStat	0x 00	R/(W)	8/(16)
0x FFFD_F001	Reserved		-	-	
0x FFFD_F002	Reserved		-	-	8/(16)
0x FFFD_F003	CPU Interrupt Status	CPU_IntStat	0x 00	R/(W)	
0x FFFD_F004~ 0x FFFD_F005	Reserved		-	-	8/(16)
0x FFFD_F006	Reserved		-	-	
0x FFFD_F007	DMA Interrupt Status	DMA_IntStat	0x 00	R/(W)	8/(16)
0x FFFD_F008~ 0x FFFD_F00F	Reserved		-	-	
0x FFFD_F010	Main Interrupt Enable	MainIntEnb	0x 00	R/W	8/(16)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F011	Reserved		-	-	
0x FFFD_F012	Reserved		-	-	
0x FFFD_F013	CPU Interrupt Enable	CPU_IntEnb	0x 00	R/W	8(/16)
0x FFFD_F014~ 0x FFFD_F015	Reserved		-	-	-
0x FFFD_F016	Reserved		-	-	
0x FFFD_F017	DMA Interrupt Enable	DMA_IntEnb	0x 00	R/W	8(/16)
0x FFFD_F018~ 0x FFFD_F01F	Reserved		-	-	-
0x FFFD_F020	Power Management Control 0	PM_Control0	0x 00	R/W	
0x FFFD_F021	Power Management Control 1	PM_Control1	0x 00	R	8(/16)
0x FFFD_F022	Wakeup Time Low(BE)	WakeupTim_L	0x 00	R/W	
0x FFFD_F023	Wakeup Time High(BE)	WakeupTim_H	0x 00	R/W	8(/16)
0x FFFD_F024~ 0x FFFD_F02F	Reserved		-	-	-
0x FFFD_F030	Reserved		-	-	
0x FFFD_F031	Macro Reset	MacroReset	0x XX	W	8(/16)
0x FFFD_F032	Reserved		-	-	
0x FFFD_F033	Mode Protection	ModeProtect	0x 56	R/W	8(/16)
0x FFFD_F034	Reserved		-	-	
0x FFFD_F035	Macro Configuration 0	MacroConfig0	0x 41	R/W	8(/16)
0x FFFD_F036	Reserved		-	-	
0x FFFD_F037	Macro Configuration 1	MacroConfig1	0x 06	R/W	8(/16)
0x FFFD_F038	Reserved		-	-	-
0x FFFD_F039	Reserved		-	-	-
0x FFFD_F03A	Macro Type 0	MacroType0	0x 44	R	
0x FFFD_F03B	Macro Type 1	MacroType1	0x 08	R	8(/16)
0x FFFD_F03C	Macro Type 2	MacroType2	0x 02	R	
0x FFFD_F03D	Macro Type 3	MacroType3	0x 30	R	8(/16)
0x FFFD_F03E	FIFO Capacity Low(BE)	FIFO_CapacityL	0x 00	R	
0x FFFD_F03F	FIFO Capacity High(BE)	FIFO_CapacityH	0x 12	R	8(/16)
0x FFFD_F040	Reserved		-	-	
0x FFFD_F041	DMA0 Configuration	DMA0_Config	0x 00	R/W	8(/16)
0x FFFD_F042	DMA0 Control	DMA0_Control	0x 00	R/W	
0x FFFD_F043	Reserved		-	-	8(/16)-
0x FFFD_F044	DMA0 FIFO Remain Low(BE)	DMA0_RemainL	0x 00	R	
0x FFFD_F045	DMA0 FIFO Remain High(BE)	DMA0_RemainH	0x 00	R	8(/16)
0x FFFD_F046~ 0x FFFD_F047	Reserved		-	-	-
0x FFFD_F048	DMA0 Transfer Byte Counter High/Low(BE)	DMA0_Count_H L	0x 00	R/W	
0x FFFD_F049	DMA0 Transfer Byte Counter High/High(BE)	DMA0_Count_H H	0x 00	R/W	8(/16)
0x FFFD_F04A	DMA0 Transfer Byte Counter Low/Low(BE)	DMA0_Count_LL	0x 00	R/W	
0x FFFD_F04B	DMA0 Transfer Byte Counter Low/High(BE)	DMA0_Count_L H	0x 00	R/W	8(/16)
0x FFFD_F04C~ 0x FFFD_F04F	Reserved		-	-	-
0x FFFD_F050	Reserved		-	-	
0x FFFD_F051	DMA1 Configuration	DMA1_Config	0x 00	R/W	8(/16)
0x FFFD_F052	DMA1 Control	DMA1_Control	0x 00	R/W	
0x FFFD_F053	Reserved		-	-	8(/16)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F054	DMA1 FIFO Remain Low(BE)	DMA1_RemainL	0x 00	R	8(/16)
0x FFFD_F055	DMA1 FIFO Remain High(BE)	DMA1_RemainH	0x 00	R	
0x FFFD_F056~ 0x FFFD_F057	Reserved		-	-	-
0x FFFD_F058	DMA1 Transfer Byte Counter High/Low(BE)	DMA1_Count_H L	0x 00	R/W	8(/16)
0x FFFD_F059	DMA1 Transfer Byte Counter High/High(BE)	DMA1_Count_H H	0x 00	R/W	
0x FFFD_F05A	DMA1 Transfer Byte Counter Low/Low(BE)	DMA1_Count_LL	0x 00	R/W	8(/16)
0x FFFD_F05B	DMA1 Transfer Byte Counter Low/High(BE)	DMA1_Count_L H	0x 00	R/W	
0x FFFD_F05C~ 0x FFFD_F05F	Reserved		-	-	-
0x FFFD_F060~ 0x FFFD_F07F	Reserved		-	-	-
0x FFFD_F080	Device Interrupt Status	DeviceIntStat	0x 00	R/W	8(/16)
0x FFFD_F081	EP _r Interrupt Status	EP _r IntStat	0x 00	R	
0x FFFD_F082	SIE Interrupt Status	SIE_IntStat	0x 00	R/(W)	8(/16)
0x FFFD_F083	Reserved		-	-	
0x FFFD_F084	FIFO Interrupt Status	FIFO_IntStat	0x 00	R/(W)	8(/16)
0x FFFD_F085	Bulk Interrupt Status	BulkIntStat	0x 00	R/(W)	
0x FFFD_F086	Reserved		-	-	8(/16)
0x FFFD_F087	EP ₀ Interrupt Status	EP ₀ IntStat	0x 00	R/(W)	
0x FFFD_F088	EP _a Interrupt Status	EP _a IntStat	0x 00	R/(W)	8(/16)
0x FFFD_F089	EP _b Interrupt Status	EP _b IntStat	0x 00	R/(W)	
0x FFFD_F08A	EP _c Interrupt Status	EP _c IntStat	0x 00	R/(W)	8(/16)
0x FFFD_F08B	EP _d Interrupt Status	EP _d IntStat	0x 00	R/(W)	
0x FFFD_F08C	EP _e Interrupt Status	EP _e IntStat	0x 00	R/(W)	8(/16)
0x FFFD_F08D	EP _f Interrupt Status	EP _f IntStat	0x 00	R/(W)	
0x FFFD_F08E	EP _g Interrupt Status	EP _g IntStat	0x 00	R/(W)	8(1/6)
0x FFFD_F08F	EP _h Interrupt Status	EP _h IntStat	0x 00	R/(W)	
0x FFFD_F090	Device Interrupt Enable	DeviceIntEnb	0x 00	R/W	8(/16)
0x FFFD_F091	EP _r Interrupt Enable	EP _r IntEnb	0x 00	R/W	
0x FFFD_F092	SIE Interrupt Enable	SIE_IntEnb	0x 00	R/W	8(/16)
0x FFFD_F093	Reserved		-	-	
0x FFFD_F094	FIFO Interrupt Enable	FIFO_IntEnb	0x 00	R/W	8(/16)
0x FFFD_F095	Bulk Interrupt Enable	BulkIntEnb	0x 00	R/W	
0x FFFD_F096	Reserved		-	-	8(/16)
0x FFFD_F097	EP ₀ Interrupt Enable	EP ₀ IntEnb	0x 00	R/W	
0x FFFD_F098	EP _a Interrupt Enable	EP _a IntEnb	0x 00	R/W	8(/16)
0x FFFD_F099	EP _b Interrupt Enable	EP _b IntEnb	0x 00	R/W	
0x FFFD_F09A	EP _c Interrupt Enable	EP _c IntEnb	0x 00	R/W	8(/16)
0x FFFD_F09B	EP _d Interrupt Enable	EP _d IntEnb	0x 00	R/W	
0x FFFD_F09C	EP _e Interrupt Enable	EP _e IntEnb	0x 00	R/W	8(/16)
0x FFFD_F09D	EP _f Interrupt Enable	EP _f IntEnb	0x 00	R/W	
0x FFFD_F09E	EP _g Interrupt Enable	EP _g IntEnb	0x 00	R/W	8(/16)
0x FFFD_F09F	EP _h Interrupt Enable	EP _h IntEnb	0x 00	R/W	
0x FFFD_F0A0	Reset DTM	ResetDTM	0x 01	R/W	8(/16)
0x FFFD_F0A1	Reserved		-	-	
0x FFFD_F0A2	Nego Control	NegoControl	0x 00	R/W	8(/16)
0x FFFD_F0A3	Reserved		-	-	
0x FFFD_F0A4	USB Status	USB_Status	0x XX	R/W	8(/16)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F0A5	Xcvr Control	XcvrControl	0x 41	R/W	
0x FFFD_F0A6	USB Test	USB_Test	0x 00	R/W	8(/16)
0x FFFD_F0A7	Reserved		-	-	
0x FFFD_F0A8	Endpoint Control	EPnControl	0x XX	W	8(/16)
0x FFFD_F0A9	Endpoint Clear	EPnFIFO_Clr	0x XX	W	
0x FFFD_F0AA	Clear All EPn Join	ClrAllEPnJoin	0x XX	W	8(/16)
0x FFFD_F0AB	Reserved		-	-	
0x FFFD_F0AC	BulkOnly Control	BulkOnlyControl	0x 00	R/W	8(/16)
0x FFFD_F0AD	BulkOnly Configuration	BulkOnlyConfig	0x 00	R/W	
0x FFFD_F0AE	Reserved		-	-	-
0x FFFD_F0AF	Reserved		-	-	-
0x FFFD_F0B0	EP0 SETUP 0	EP0SETUP_0	0x 00	R	8(/16)
0x FFFD_F0B1	EP0 SETUP 1	EP0SETUP_1	0x 00	R	
0x FFFD_F0B2	EP0 SETUP 2	EP0SETUP_2	0x 00	R	8(/16)
0x FFFD_F0B3	EP0 SETUP 3	EP0SETUP_3	0x 00	R	
0x FFFD_F0B4	EP0 SETUP 4	EP0SETUP_4	0x 00	R	8(/16)
0x FFFD_F0B5	EP0 SETUP 5	EP0SETUP_5	0x 00	R	
0x FFFD_F0B6	EP0 SETUP 6	EP0SETUP_6	0x 00	R	8(/16)
0x FFFD_F0B7	EP0 SETUP 7	EP0SETUP_7	0x 00	R	
0x FFFD_F0B8	USB Address	USB_Address	0x 00	R/(W)	8(/16)
0x FFFD_F0B9	Reserved		-	-	
0x FFFD_F0BA	SETUP Control	SETUP_Control	0x 00	R/W	8(/16)
0x FFFD_F0BB	Reserved		-	-	
0x FFFD_F0BC~ 0x FFFD_F0BD	Reserved		-	-	-
0x FFFD_F0BE	FrameNumber Low	FrameNumber_L	0x 00	R	8(/16)
0x FFFD_F0BF	FrameNumber High	FrameNumber_H	0x 80	R	
0x FFFD_F0C0	EP0 Max Packet Size	EP0MaxSize	0x 40	R/W	8(/16)
0x FFFD_F0C1	EP0 Control	EP0Control	0x 00	R/W	
0x FFFD_F0C2	EP0 Control IN	EP0ControlIN	0x 00	R/W	8(/16)
0x FFFD_F0C3	EP0 Control OUT	EP0ControlOUT	0x 00	R/W	
0x FFFD_F0C4	Reserved		-	-	8(/16)
0x FFFD_F0C5	EP0 Join	EP0Join	0x 00	-	
0x FFFD_F0C6~ 0x FFFD_F0CF	Reserved		-	-	-
0x FFFD_F0D0	EPa Max Packet Size Low	EPaMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F0D1	EPa Max Packet Size High	EPaMaxSize_H	0x 00	R/W	
0x FFFD_F0D2	EPa Configuration	EPaConfig	0x 00	R/W	8(/16)
0x FFFD_F0D3	Reserved		-	-	
0x FFFD_F0D4	EPa Control	EPaControl	0x 00	R/W	8(/16)
0x FFFD_F0D5	EPa Join	EPaJoin	0x 00	R/W	
0x FFFD_F0D6	Reserved		-	-	-
0x FFFD_F0D7	Reserved		-	-	-
0x FFFD_F0D8	EPb Max Packet Size Low	EPbMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F0D9	EPb Max Packet Size High	EPbMaxSize_H	0x 00	R/W	
0x FFFD_F0DA	EPb Configuration	EPbConfig	0x 00	R/W	8(/16)
0x FFFD_F0DB	Reserved		-	-	
0x FFFD_F0DC	EPb Control	EPbControl	0x 00	R/W	8(/16)
0x FFFD_F0DD	EPb Join	EPbJoin	0x 00	R/W	
0x FFFD_F0DE	Reserved		-	-	-
0x FFFD_F0DF	Reserved		-	-	-
0x FFFD_F0E0	EPc Max Packet Size Low	EPcMaxSize_L	0x 00	R/W	8(/16)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F0E1	EPc Max Packet Size High	EPcMaxSize_H	0x 00	R/W	8(/16)
0x FFFD_F0E2	EPc Configuration	EPcConfig	0x 00	R/W	
0x FFFD_F0E3	Reserved		-	-	
0x FFFD_F0E4	EPc Control	EPcControl	0x 00	R/W	8(/16)
0x FFFD_F0E5	EPc Join	EPcJoin	0x 00	R/W	
0x FFFD_F0E6	Reserved		-	-	-
0x FFFD_F0E7	Reserved		-	-	-
0x FFFD_F0E8	EPd Max Packet Size Low	EPdMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F0E9	EPd Max Packet Size High	EPdMaxSize_H	0x 00	R/W	
0x FFFD_F0EA	EPd Configuration	EPdConfig	0x 00	R/W	8(/16)
0x FFFD_F0EB	Reserved		-	-	
0x FFFD_F0EC	EPd Control	EPdControl	0x 00	R/W	8(/16)
0x FFFD_F0ED	EPd Join	EPdJoin	0x 00	R/W	
0x FFFD_F0EE	Reserved		-	-	-
0x FFFD_F0EF	Reserved		-	-	-
0x FFFD_F0F0	EPe Max Packet Size Low	EPeMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F0F1	EPe Max Packet Size High	EPeMaxSize_H	0x 00	R/W	
0x FFFD_F0F2	EPe Configuration	EPeConfig	0x 00	R/W	8(/16)
0x FFFD_F0F3	Reserved		-	-	
0x FFFD_F0F4	EPe Control	EPeControl	0x 00	R/W	8(/16)
0x FFFD_F0F5	EPe Join	EPeJoin	0x 00	R/W	
0x FFFD_F0F6	Reserved		-	-	-
0x FFFD_F0F7	Reserved		-	-	-
0x FFFD_F0F8	EPf Max Packet Size Low	EPfMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F0F9	EPf Max Packet Size High	EPfMaxSize_H	0x 00	R/W	
0x FFFD_F0FA	EPf Configuration	EPfConfig	0x 00	R/W	8(/16)
0x FFFD_F0FB	Reserved		-	-	
0x FFFD_F0FC	EPf Control	EPfControl	0x 00	R/W	8(/16)
0x FFFD_F0FD	EPf Join	EPfJoin	0x 00	R/W	
0x FFFD_F0FE	Reserved		-	-	-
0x FFFD_F0FF	Reserved		-	-	-
0x FFFD_F100	EPg Max Packet Size Low	EPgMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F101	EPg Max Packet Size High	EPgMaxSize_H	0x 00	R/W	
0x FFFD_F102	EPg Configuration	EPgConfig	0x 00	R/W	8(/16)
0x FFFD_F103	Reserved		-	-	
0x FFFD_F104	EPg Control	EPgControl	0x 00	R/W	8(/16)
0x FFFD_F105	EPg Join	EPgJoin	0x 00	R/W	
0x FFFD_F106	Reserved		-	-	-
0x FFFD_F107	Reserved		-	-	-
0x FFFD_F108	EPH Max Packet Size Low	EPHMaxSize_L	0x 00	R/W	8(/16)
0x FFFD_F109	EPH Max Packet Size High	EPHMaxSize_H	0x 00	R/W	
0x FFFD_F10A	EPH Configuration	EPHConfig	0x 00	R/W	8(/16)
0x FFFD_F10B	Reserved		-	-	
0x FFFD_F10C	EPH Control	EPHControl	0x 00	R/W	8(/16)
0x FFFD_F10D	EPH Join	EPHJoin	0x 00	R/W	
0x FFFD_F10E	Reserved		-	-	-
0x FFFD_F10F	Reserved		-	-	-
0x FFFD_F110	Endpoint a Start Address Low	EPaStartAdrs_L	0x 00	R/W	8(/16)
0x FFFD_F111	Endpoint a Start Address High	EPaStartAdrs_H	0x 00	R/W	
0x FFFD_F112	Endpoint b Start Address Low	EPbStartAdrs_L	0x 00	R/W	8(/16)
0x FFFD_F113	Endpoint b Start Address High	EPbStartAdrs_H	0x 00	R/W	
0x FFFD_F114	Endpoint c Start Address Low	EPcStartAdrs_L	0x 00	R/W	8(/16)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F115	Endpoint c Start Address High	EPcStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F116	Endpoint d Start Address Low	EPdStartAdrs_L	0x 00	R/W	
0x FFFD_F117	Endpoint d Start Address High	EPdStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F118	Endpoint e Start Address Low	EPeStartAdrs_L	0x 00	R/W	
0x FFFD_F119	Endpoint e Start Address High	EPeStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F11A	Endpoint f Start Address Low	EPfStartAdrs_L	0x 00	R/W	
0x FFFD_F11B	Endpoint f Start Address High	EPfStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F11C	Endpoint g Start Address Low	EPgStartAdrs_L	0x 00	R/W	
0x FFFD_F11D	Endpoint g Start Address High	EPgStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F11E	Endpoint h Start Address Low	EPhStartAdrs_L	0x 00	R/W	
0x FFFD_F11F	Endpoint h Start Address High	EPhStartAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F120	Endpoint n End Address Low	EP_EndAdrs_L	0x 00	R/W	
0x FFFD_F121	Endpoint n End Address High	EP_EndAdrs_H	0x 12	R/W	8(/16)
0x FFFD_F122	Reserved		-	-	
0x FFFD_F123	Reserved		-	-	8(/16)
0x FFFD_F124	Descriptor Address Low	DescAdrs_L	0x 00	R/W	
0x FFFD_F125	Descriptor Address High	DescAdrs_H	0x 00	R/W	8(/16)
0x FFFD_F126	Descriptor Size High	DescSize_L	0x 00	R/W	
0x FFFD_F127	Descriptor Size Low	DescSize_H	0x 00	R/W	8(/16)
0x FFFD_F128	DMA0 FIFO Control	DMA0_FIFO_Control	0x 00	R/W	
0x FFFD_F129	Reserved		-	-	8(/16)
0x FFFD_F12A	DMA1 FIFO Control	DMA1_FIFO_Control	0x 00	R/W	
0x FFFD_F12B	Reserved		-	-	8(/16)
0x FFFD_F12C~ 0x FFFD_F12F	Reserved		-	-	
0x FFFD_F130	FIFO Read 0	FIFO_Rd_0	0x XX	R	8(/16)
0x FFFD_F131	FIFO Read 1	FIFO_Rd_1	0x XX	R	
0x FFFD_F132	FIFO Write 0	FIFO_Wr_0	0x XX	W	8(/16)
0x FFFD_F133	FIFO Write 1	FIFO_Wr_1	0x XX	W	
0x FFFD_F134	FIFO Read Remain Low	FIFO_RdRemain_L	0x 00	R	8(/16)
0x FFFD_F135	FIFO Read Remain High	FIFO_RdRemain_H	0x 00	R	
0x FFFD_F136	FIFO Write Remain Low	FIFO_WrRemain_L	0x 00	R	8(/16)
0x FFFD_F137	FIFO Write Remain High	FIFO_WrRemain_H	0x 00	R	
0x FFFD_F138	FIFO Byte Read	FIFO_ByteRd	0x XX	R	8
0x FFFD_F139~ 0x FFFD_F13F	Reserved		-	-	-
0x FFFD_F140	RAM Read Address Low	RAM_RdAdrs_L	0x 00	R/W	8(/16)
0x FFFD_F141	RAM Read Address High	RAM_RdAdrs_H	0x 00	R/W	
0x FFFD_F142	RAM Read Control	RAM_RdControl	0x 00	R/W	8(/16)
0x FFFD_F143	RAM Read Counter	RAM_RdCount	0x 00	R/W	
0x FFFD_F144	RAM Write Address Low	RAM_WrAdrs_L	0x 00	R/W	8(/16)
0x FFFD_F145	RAM Write Address High	RAM_WrAdrs_H	0x 00	R/W	
0x FFFD_F146	RAM Write Door 0	RAM_WrDoor_0	0x XX	W	8(/16)
0x FFFD_F147	RAM Write Door 1	RAM_WrDoor_1	0x XX	W	
0x FFFD_F148~ 0x FFFD_F14F	Reserved		-	-	-

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFD_F150	RAM Read 00	RAM_Rd_00	0x XX	R	8(/16)
0x FFFD_F151	RAM Read 01	RAM_Rd_01	0x XX	R	
0x FFFD_F152	RAM Read 02	RAM_Rd_02	0x XX	R	8(/16)
0x FFFD_F153	RAM Read 03	RAM_Rd_03	0x XX	R	
0x FFFD_F154	RAM Read 04	RAM_Rd_04	0x XX	R	8(/16)
0x FFFD_F155	RAM Read 05	RAM_Rd_05	0x XX	R	
0x FFFD_F156	RAM Read 06	RAM_Rd_06	0x XX	R	8(/16)
0x FFFD_F157	RAM Read 07	RAM_Rd_07	0x XX	R	
0x FFFD_F158	RAM Read 08	RAM_Rd_08	0x XX	R	8(/16)
0x FFFD_F159	RAM Read 09	RAM_Rd_09	0x XX	R	
0x FFFD_F15A	RAM Read 0A	RAM_Rd_0A	0x XX	R	8(/16)
0x FFFD_F15B	RAM Read 0B	RAM_Rd_0B	0x XX	R	
0x FFFD_F15C	RAM Read 0C	RAM_Rd_0C	0x XX	R	8(/16)
0x FFFD_F15D	RAM Read 0D	RAM_Rd_0D	0x XX	R	
0x FFFD_F15E	RAM Read 0E	RAM_Rd_0E	0x XX	R	8(/16)
0x FFFD_F15F	RAM Read 0F	RAM_Rd_0F	0x XX	R	
0x FFFD_F160	RAM Read 10	RAM_Rd_10	0x XX	R	8(/16)
0x FFFD_F161	RAM Read 11	RAM_Rd_11	0x XX	R	
0x FFFD_F162	RAM Read 12	RAM_Rd_12	0x XX	R	8(/16)
0x FFFD_F163	RAM Read 13	RAM_Rd_13	0x XX	R	
0x FFFD_F164	RAM Read 14	RAM_Rd_14	0x XX	R	8(/16)
0x FFFD_F165	RAM Read 15	RAM_Rd_15	0x XX	R	
0x FFFD_F166	RAM Read 16	RAM_Rd_16	0x XX	R	8(/16)
0x FFFD_F167	RAM Read 17	RAM_Rd_17	0x XX	R	
0x FFFD_F168	RAM Read 18	RAM_Rd_18	0x XX	R	8(/16)
0x FFFD_F169	RAM Read 19	RAM_Rd_19	0x XX	R	
0x FFFD_F16A	RAM Read 1A	RAM_Rd_1A	0x XX	R	8(/16)
0x FFFD_F16B	RAM Read 1B	RAM_Rd_1B	0x XX	R	
0x FFFD_F16C	RAM Read 1C	RAM_Rd_1C	0x XX	R	8(/16)
0x FFFD_F16D	RAM Read 1D	RAM_Rd_1D	0x XX	R	
0x FFFD_F16E	RAM Read 1E	RAM_Rd_1E	0x XX	R	8(/16)
0x FFFD_F16F	RAM Read 1F	RAM_Rd_1F	0x XX	R	
0x FFFD_F170~ 0x FFFD_F2FF	Reserved		-	-	-
0x FFFE_0000	APB ブリッジ関連レジスタ	APB			
0x FFFE_0000	APB WAIT0 レジスタ	APBWAIT0	0x 0050_0500	R/W	32
0x FFFE_0004	APB WAIT1 レジスタ	APBWAIT1	0x 0000_0000	R/W	32
0x FFFE_0008	APB WAIT2 レジスタ	APBWAIT2	0x 0050_0000	R/W	32
0x FFFE_1000	IPC&INTIM1	IPC1			
0xFFFE_1000	IPC カメラ入力モード設定	INMODE	0x0000	R/W	16/8
0xFFFE_1010	IPC カメラ入力設定	INCONFIG	0x0001	R/W	16/8
0xFFFE_1108	IPC X 方向開始位置設定	XSTART	0x0001	R/W	16/8
0xFFFE_110C	IPC Y 方向開始位置設定/ ODD フィールド Y 方向開始位置設定	YSTART/ YSTART_O	0x0001	R/W	16/8
0xFFFE_1110	IPC EVEN フィールド Y 方向開始位置設定	YSTART_E	0x0001	R/W	16/8
0xFFFE_1140	IPC 割り込み設定	INTSEL	0x0000	R/W	16/8
0xFFFE_1200	IPC スケール設定	CONTROL	0x0001	R/W	16/8
0xFFFE_1400	IPC 変換バッファ用 SDRAM 開始アドレス 1	IPCBUF_SADR_ L	0x0000	R/W	16/8
0xFFFE_1404	IPC 変換バッファ用 SDRAM 開始アドレス 2	IPCBUF_SADR_ H	0x0000	R/W	16/8
0xFFFE_1510	IPC ビデオ出力 X 方向有効画素	VOUT_HD	0x0280	R/W	16

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0xFFFE_1520	IPC ビデオ出力 X 方向長設定	VOUT_HT	0x02DA	R/W	16
0xFFFE_1534	IPC ビデオ出力垂直ブランクライン数	VOUT_VP	0x0001	R/W	16
0xFFFE_1540	IPC ビデオ出力 Y 方向有効画素	VOUT_VD	0x01E0	R/W	16
0xFFFE_1700	IPC Interlaced_to_Progressive 変換モード	IPC_MODE	0x0080	R/W	16/8
0xFFFE_1800	IPC 同期信号出力極性設定	OUTCONFIG	0x0003	R/W	16/8
0xFFFE_1804	IPC 画像補正回路バイパス設定	BYPASS	0x0000	R/W	16/8
0xFFFE_1808	IPC 画像補正設定更新レジスタ	UPDATE	0x0000	R/W	16/8
0xFFFE_180C_19FC	補正值設定レジスタ領域				
0x FFFE_3000	DMA コントローラ 1 関連レジスタ	DMAC1			
0x FFFE_3000	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0x XXXX_XXXX	R/W	32
0x FFFE_3004	DMA チャンネル 0 デスティネーション アドレスレジスタ	DAR0	0x XXXX_XXXX	R/W	32
0x FFFE_3008	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x 00XX_XXXX	R/W	32
0x FFFE_300C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x 00XX_XXXX	R/W	32
0x FFFE_3010	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0x XXXX_XXXX	R/W	32
0x FFFE_3014	DMA チャンネル 1 デスティネーション アドレスレジスタ	DAR1	0x XXXX_XXXX	R/W	32
0x FFFE_3018	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x 00XX_XXXX	R/W	32
0x FFFE_301C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x 00XX_XXXX	R/W	32
0x FFFE_3020	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0x XXXX_XXXX	R/W	32
0x FFFE_3024	DMA チャンネル 2 デスティネーション アドレスレジスタ	DAR2	0x XXXX_XXXX	R/W	32
0x FFFE_3028	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x 00XX_XXXX	R/W	32
0x FFFE_302C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x 00XX_XXXX	R/W	32
0x FFFE_3030	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0x XXXX_XXXX	R/W	32
0x FFFE_3034	DMA チャンネル 3 デスティネーション アドレスレジスタ	DAR3	0x XXXX_XXXX	R/W	32
0x FFFE_3038	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x 00XX_XXXX	R/W	32
0x FFFE_303C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x 00XX_XXXX	R/W	32
0x FFFE_3060	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x 0000_0000	R/W	32
0x FFFE_6000	CF インタフェース制御関連レジスタ	CF			
0x FFFE_6000	CF Card Interface Control Register	CFCTL	0x 1000	(R/W)	16/(32)
0x FFFE_6004	CF Card Pin Status Register	CFPINSTS	0x 0XXX	RO	16/(32)
0x FFFE_6008	CF Card IRQ Source & Clear Register	CFINTRSTS	0x 0XXX	R/W	16/(32)
0x FFFE_600C	CF Card IRQ Enable Register	CFINTMSTS	0x 0000	R/W	16/(32)
0x FFFE_6010	CF Card IRQ Status Register	CFINTSTS	0x 0000	RO	16/(32)
0x FFFE_6014	CF Card MISC Register	CFMISC	0x 0000	R/W	16/(32)
0x FFFE_7000	ARS 制御レジスタ	ARS			
0x FFFE_7000	ARS コントロールレジスタ	ARSCTRL	0x0000_0080	R/W	32
0x FFFE_7004	ARS エリア選択レジスタ	ARSASEL	0x0000_0000	R/W	32
0x FFFE_700C	ARS ステータスレジスタ	ARSSTAT	0x0000_0000	R/W	32
0x FFFE_7010	ARS 割り込み要因レジスタ	ARSINT	0x0000_0000	R/W	32
0x FFFE_7040	ARS 積算レジスタ 0	ARSADD0	0x0000_0000	RO	32
0x FFFE_7044	ARS 積算レジスタ 1	ARSADD1	0x0000_0000	RO	32
0x FFFE_7048	ARS 積算レジスタ 2	ARSADD2	0x0000_0000	RO	32
0x FFFE_704C	ARS 積算レジスタ 3	ARSADD3	0x0000_0000	RO	32
0x FFFE_7050	ARS 積算レジスタ 4	ARSADD4	0x0000_0000	RO	32

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFE_7054	ARS 積算レジスタ 5	ARSADD5	0x0000_0000	RO	32
0x FFFE_7058	ARS 積算レジスタ 6	ARSADD6	0x0000_0000	RO	32
0x FFFE_705C	ARS 積算レジスタ 7	ARSADD7	0x0000_0000	RO	32
0x FFFE_7060	ARS 積算レジスタ 8	ARSADD8	0x0000_0000	RO	32
0x FFFE_7064	ARS 積算レジスタ 9	ARSADD9	0x0000_0000	RO	32
0x FFFE_7068	ARS 積算レジスタ 10	ARSADD10	0x0000_0000	RO	32
0x FFFE_706C	ARS 積算レジスタ 11	ARSADD11	0x0000_0000	RO	32
0x FFFE_7070	ARS 積算レジスタ 12	ARSADD12	0x0000_0000	RO	32
0x FFFE_7074	ARS 積算レジスタ 13	ARSADD13	0x0000_0000	RO	32
0x FFFE_7078	ARS 積算レジスタ 14	ARSADD14	0x0000_0000	RO	32
0x FFFE_707C	ARS 積算レジスタ 15	ARSADD15	0x0000_0000	RO	32
0x FFFE_8000	カメラ1インタフェース関連レジスタ	CAM1			
0x FFFE_8000	カメラ1クロック周期設定レジスタ		0x 0000	R/W	16
0x FFFE_8004	カメラ1信号設定レジスタ		0x 0000	R/W	16
0x FFFE_8008~ 0x FFFE_801C	予約		-	-	-
0x FFFE_8020	カメラ1モード設定レジスタ		0x 0000	R/W	16
0x FFFE_8024	カメラ1フレーム制御レジスタ		0x 0000	R/W	16
0x FFFE_8028	カメラ1コントロールレジスタ		0x 0000	WO	16
0x FFFE_802C	カメラ1ステータスレジスタ		0x 0004	RO	16
0x FFFE_8030~ 0x FFFE_805C	予約		-	-	-
0x FFFE_9000	JPEG1 リサイズ関連レジスタ	RSZ1			
0x FFFE_9060	グローバルリサイズ制御レジスタ		0x 0000	WO	16
0x FFFE_9064	キャプチャ制御スタートレジスタ		0x 0000	RO	16
0x FFFE_9068	キャプチャデータ設定レジスタ		0x 0000	R/W	16
0x FFFE_9070~ 0x FFFE_907C	予約レジスタ		-	-	-
0x FFFE_90C0	取り込みリサイズ制御レジスタ		0x 0000	R/W	16
0x FFFE_90C8	取り込みリサイズスタート X 座標レジスタ		0x 0000	R/W	16
0x FFFE_90CC	取り込みリサイズスタート Y 座標レジスタ		0x 0000	R/W	16
0x FFFE_90D0	取り込みリサイズエンド X 座標レジスタ		0x 027F	R/W	16
0x FFFE_90D4	取り込みリサイズエンド Y 座標レジスタ		0x 01DF	R/W	16
0x FFFE_90D8	取り込みリサイズ縮小率レジスタ		0x 8080	R/W	16
0x FFFE_90DC	取り込みリサイズ縮小モードレジスタ		0x 0000	R/W	16
0x FFFE_A000	JPEG1 モジュールレジスタ	JCTL1			
0x FFFE_A000	JPEG 制御レジスタ		0x 0000	R/W	16
0x FFFE_A004	JPEG ステータスフラグレジスタ		0x 8080	R/W	16
0x FFFE_A008	JPEG ロウステータスフラグレジスタ		0x 8080	RO	16
0x FFFE_A00C	JPEG 割り込み制御レジスタ		0x 0000	R/W	16
0x FFFE_A010	予約レジスタ		-	-	-
0x FFFE_A014	JPEG コーデックスタートストップ制御レジスタ		0x 0000	WO	16
0x FFFE_A018~ 0x FFFE_A01C	予約レジスタ		-	-	-
0x FFFE_A020	ハフマンテーブル自動設定レジスタ		0x 0000	R/W	16
0x FFFE_A040	JPEG1 FIFO 設定レジスタ	JFIFO1			
0x FFFE_A040	JPEG FIFO 制御レジスタ		0x 0000	R/W	16
0x FFFE_A044	JPEG FIFO ステータスレジスタ		0x 8001	RO	16
0x FFFE_A048	JPEG FIFO サイズレジスタ		0x 003F	R/W	16
0x FFFE_A04C	JPEG FIFO リード/ライトポートレジスタ		0x 0000_0000	R/W	32

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFE_A050～ 0x FFFE_A058	予約レジスタ		-	-	-
0x FFFE_A060	エンコードサイズリミットレジスタ 0		0x 0000	R/W	16
0x FFFE_A064	エンコードサイズリミットレジスタ 1		0x 0000	R/W	16
0x FFFE_A068	エンコードサイズ結果レジスタ 0		0x 0000	RO	16
0x FFFE_A06C	エンコードサイズ結果レジスタ 1		0x 0000	RO	16
0x FFFE_A070～ 0x FFFE_A078	予約レジスタ		-	-	-
0x FFFE_A080	JPEG1 ラインバッファ設定レジスタ	JLB1			
0x FFFE_A080	JPEG ラインバッファステータスフラグレジスタ		0x 0000	R/W	16
0x FFFE_A084	JPEG ラインバッファロウステータスフラグレジスタ		0x 0000	RO	16
0x FFFE_A088	JPEG ラインバッファカレントステータスフラグレジスタ		0x X009	RO	16
0x FFFE_A08C	JPEG ラインバッファ割り込み制御レジスタ		0x 0000	R/W	16
0x FFFE_A090～ 0x FFFE_A09C	予約レジスタ		-	-	-
0x FFFE_A0A0	JPEG ラインバッファ水平ピクセル許容サイズレジスタ		0x 2800	R/W	16
0x FFFE_A0A4	JPEG ラインバッファメモリアドレスオフセットレジスタ		0x 0020	R/W	16
0x FFFE_A0A8～ 0x FFFE_A0BC	予約レジスタ		-	-	-
0x FFFE_A0C0	JPEG ラインバッファリード/ライトポートレジスタ		0x 0000	R/W	16
0x FFFE_B000	JPEG1 コーデックレジスタ	JCOCEC1			
0x FFFE_B000	動作モード設定レジスタ		0x 0000	R/W	16
0x FFFE_B004	コマンド設定レジスタ		Not applicable	WO	16
0x FFFE_B008	JPEG 動作ステータスレジスタ		0x 0000	RO	16
0x FFFE_B00C	量子化テーブル番号レジスタ		0x 0000	R/W	16
0x FFFE_B010	ハフマンテーブル番号レジスタ		0x 0000	R/W	16
0x FFFE_B014	DRI 設定レジスタ 0		0x 0000	R/W	16
0x FFFE_B018	DRI 設定レジスタ 1		0x 0000	R/W	16
0x FFFE_B01C	垂直ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFE_B020	垂直ピクセルサイズレジスタ 1		0x 0000	R/W	16
0x FFFE_B024	水平ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFE_B028	水平ピクセルサイズレジスタ 1		0x 0000	R/W	16
0x FFFE_B02C～ 0x FFFE_B034	予約レジスタ		-	-	-
0x FFFE_B038	RST マーカ動作設定レジスタ		0x 0000	R/W	16
0x FFFE_B03C	RST マーカ動作ステータスレジスタ		0x 0000	RO	16
0x FFFE_B040～ 0x FFFE_B0CC	挿入マーカデータレジスタ		0x 00FF	R/W	16
0x FFFE_B400～ 0x FFFE_B4FC	量子化テーブル No.0 レジスタ		Not applicable	R/W	16
0x FFFE_B500～ 0x FFFE_B5FC	量子化テーブル No.1 レジスタ		Not applicable	R/W	16
0x FFFE_B800～ 0x FFFE_B83C	DC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFE_B840～ 0x FFFE_B86C	DC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFE_B880～ 0x FFFE_B8BC	AC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFE_B8C0～ 0x FFFE_BB44	AC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16
0x FFFE_BC00～ 0x FFFE_BC3C	DC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFE_BC40～ 0x FFFE_BC6C	DC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFE_BC80～ 0x FFFE_BCBC	AC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFE_BCC0～ 0x FFFE_BF44	AC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFE_C000	JPEG_DMAL 関連レジスタ	JDMA			
0x FFFE_C000	DMA チャネル 0 JPEG ソースアドレスレジスタ	JSAR0	0x XXXX_XXXX	R/W	32
0x FFFE_C004	DMA チャネル 0 JPEG デスティネーションアドレスレジスタ	JDAR0	0x XXXX_XXXX	R/W	32
0x FFFE_C008	DMA チャネル 0 JPEG 転送カウントレジスタ	JTCR0	0x 0000_0000	R/W	32
0x FFFE_C00C	DMA チャネル 0 JPEG コントロールレジスタ	JCTL0	0x 0000_0000	R/W	32
0x FFFE_C010	DMA チャネル 0 JPEG ブロックカウントレジスタ	JBCR0	0x 00XX_XXXX	R/W	32
0x FFFE_C014	DMA チャネル 0 JPEG デスティネーションオフセット アドレスレジスタ	JOFR0	0x 0000_0000	R/W	32
0x FFFE_C018	DMA チャネル 0 JPEG ブロックエンドカウントレジスタ	JBER0	0x 00XX_XXXX	R/W	32
0x FFFE_C020	DMA チャネル 1 JPEG ソースアドレスレジスタ	JSAR1	0x XXXX_XXXX	R/W	32
0x FFFE_C024	DMA チャネル 1 JPEG デスティネーションアドレスレジスタ	JDAR1	0x XXXX_XXXX	R/W	32
0x FFFE_C028	DMA チャネル 1 JPEG 転送カウントレジスタ	JTCR1	0x 0000_0000	R/W	32
0x FFFE_C02C	DMA チャネル 1 JPEG コントロールレジスタ	JCTL1	0x 0000_0000	R/W	32
0x FFFE_C030	DMA チャネル 1 JPEG ブロックカウントレジスタ	JBCR1	0x 00XX_XXXX	R/W	32
0x FFFE_C034	DMA チャネル 1 JPEG デスティネーションオフセット アドレスレジスタ	JOFR1	0x 0000_0000	R/W	32
0x FFFE_C038	DMA チャネル 1 JPEG ブロックエンドカウントレジスタ	JBER1	0x 00XX_XXXX	R/W	32
0x FFFE_C040	DMA チャネル JPEG FIFO データ選択モードレジスタ	JFSM	0x 0000_0000	R/W	32
0x FFFE_C048	DMA チャネル JPEG 拡張レジスタ	JHID	0x 0000_0000	R/W	32
0x FFFE_D000	I2C 関連レジスタ	I2C			
0x FFFE_D000	I2C 送信データレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D004	I2C 受信データレジスタ		0000 0000 b	RO	8 (16/32)
0x FFFE_D008	I2C コントロールレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D00C	I2C バスステータスレジスタ		00xx 0000 b	RO	8 (16/32)
0x FFFE_D010	I2C エラーステータスレジスタ		0000 0000 b	RO	8 (16/32)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFE_D014	I2C 割り込みコントロール/ステータスレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D018	I2C-BUS サンプルクロック分周設定レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D01C	I2C SCL クロック分周設定レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D020	I2C I/O コントロールレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D024	I2C DMA モードレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D028	I2C DMA カウンタ値(LSB)レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D02C	I2C DMA カウンタ値(MSB)レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D030	I2C DMA ステータスレジスタ		0000 1000 b	RO	8 (16/32)
0x FFFE_D034~ 0x FFFE_D038	予約		-	-	-
0x FFFE_E000	I2S 関連レジスタ	I2S			
0x FFFE_E000	I2S0 制御レジスタ		0x 0000	R/W	16(32)
0x FFFE_E004	I2S0 クロック分周レジスタ		0x 0000	R/W	16(32)
0x FFFE_E008	I2S0 送受信ポートレジスタ		-	R/W	8(16/32)
0x FFFE_E010	I2S0 割り込みステータスレジスタ		0x 0000	R/W	16(32)
0x FFFE_E014	I2S0 割り込みロウステータスレジスタ		0x 0009	RO	16(32)
0x FFFE_E018	I2S0 割り込みイネーブルレジスタ		0x 0000	R/W	16(32)
0x FFFE_E01C	I2S0 カレントステータスレジスタ		0x 0009	RO	16(32)
0x FFFE_E040	I2S1 制御レジスタ		0x 0000	R/W	16(32)
0x FFFE_E044	I2S1 クロック分周レジスタ		0x 0000	R/W	16(32)
0x FFFE_E048	I2S1 送受信ポートレジスタ		-	R/W	8(16/32)
0x FFFE_E050	I2S1 割り込みステータスレジスタ		0x 0000	R/W	16(32)
0x FFFE_E054	I2S1 割り込みロウステータスレジスタ		0x 0009	RO	16(32)
0x FFFE_E058	I2S1 割り込みイネーブルレジスタ		0x 0000	R/W	16(32)
0x FFFE_E05C	I2S1 カレントステータスレジスタ		0x 0009	RO	16(32)
0x FFFF_1000	GPIO 関連レジスタ	GPIO			
0x FFFF_1000	GPIOA データレジスタ	GPIOA_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1004	GPIOA 端子機能レジスタ	GPIOA_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1008	GPIOB データレジスタ	GPIOB_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_100C	GPIOB 端子機能レジスタ	GPIOB_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1010	GPIOC データレジスタ	GPIOC_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1014	GPIOC 端子機能レジスタ	GPIOC_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1018	GPIOD データレジスタ	GPIOD_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_101C	GPIOD 端子機能レジスタ	GPIOD_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1020	GPIOE データレジスタ	GPIOE_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1024	GPIOE 端子機能レジスタ	GPIOE_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1028	GPIOF データレジスタ	GPIOF_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_102C	GPIOF 端子機能レジスタ	GPIOF_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1030	GPIOG データレジスタ	GPIOG_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1034	GPIOG 端子機能レジスタ	GPIOG_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1038	GPIOH データレジスタ	GPIOH_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_103C	GPIOH 端子機能レジスタ	GPIOH_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1040	GPIOI データレジスタ	GPIOI_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1044	GPIOI 端子機能レジスタ	GPIOI_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1048	GPIOJ データレジスタ	GPIOJ_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_104C	GPIOJ 端子機能レジスタ	GPIOJ_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1050	GPIOK データレジスタ	GPIOK_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1054	GPIOK 端子機能レジスタ	GPIOK_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1060	GPIOA&B IRQ タイプレジスタ	GPIOAB_ITYP	0x 0000_0000	R/W	16 (/32)
0x FFFF_1064	GPIOA&B IRQ 極性レジスタ	GPIOAB_IPOL	0x 0000_0000	R/W	16 (/32)
0x FFFF_1068	GPIOA&B IRQ イネーブルレジスタ	GPIOAB_IEN	0x 0000_0000	R/W	16 (/32)
0x FFFF_106C	GPIOA&B IRQ ステータス&クリアレジスタ	GPIOAB_ISTS	0x 0000_0000	R/W	16 (/32)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFF_2000	SPI 関連レジスタ	SPI			
0x FFFF_2000	SPI 受信データレジスタ		0x 0000_0000	RO	32
0x FFFF_2004	SPI 送信データレジスタ		0x 0000_0000	R/W	32
0x FFFF_2008	SPI 制御レジスタ 1		0x 0000_0000	R/W	32
0x FFFF_200C	SPI 制御レジスタ 2		0x 0000_0000	R/W	32
0x FFFF_2010	SPI ウェイトレジスタ		0x 0000_0000	R/W	32
0x FFFF_2014	SPI ステータスレジスタ		0x 0000_0010	RO	32
0x FFFF_2018	SPI 割り込み制御レジスタ		0x 0000_0000	R/W	32
0xFFFF_3000	DMAC3	DMAC3			
0xFFFF_3000	DMAC3 転送元アドレスレジスタ	SADR	0x0000_0000	R/W	32
0xFFFF_3004	DMAC3 転送先アドレスレジスタ	DADR	0x0000_0000	R/W	32
0xFFFF_3008	DMAC3 転送バイト数レジスタ	TBYTE	0x0000_0000	R/W	32
0xFFFF_300C	DMAC3 転送制御レジスタ	DCTRL	0x0000_0000	R/W	32
0xFFFF_3010	DMAC3 動作制御レジスタ	DOPSR	0x0000_0000	R/W	32
0x FFFF_5000	DLAB UART 関連レジスタ	UART			
0x FFFF_5000	0 受信バッファレジスタ	RBR	0x 00	RO	8 (/16/32)
0x FFFF_5000	0 送信ホールディングレジスタ	THR	-	WO	8 (/16/32)
0x FFFF_5000	1 デバイザラッチ LSB レジスタ	DLL	0x 00	R/W	8 (/16/32)
0x FFFF_5004	0 割り込みイネーブルレジスタ	IER	0x 00	R/W	8 (/16/32)
0x FFFF_5004	1 デバイザラッチ MSB レジスタ	DLM	0x 00	R/W	8 (/16/32)
0x FFFF_5008	割り込み識別レジスタ	IIR	0x 01	RO	8 (/16/32)
0x FFFF_5008	FIFO 制御レジスタ	FCR	-	WO	8 (/16/32)
0x FFFF_500C	ライン制御レジスタ	LCR	0x 00	R/W	8 (/16/32)
0x FFFF_5010	モデム制御レジスタ	MCR	0x 00	R/W	8 (/16/32)
0x FFFF_5014	ラインステータスレジスタ	LSR	0x 60	RO	8 (/16/32)
0x FFFF_5018	モデムステータスレジスタ	MSR	0x EX	RO	8 (/16/32)
0x FFFF_501C	スクラッチレジスタ	SCR	0x 00	R/W	8 (/16/32)
0x FFFF_5020	テスト 0 レジスタ	T0	0x 00	R/W	8 (/16/32)
0x FFFF_5024	テスト 1 レジスタ	T1	0x 00	R/W	8 (/16/32)
0x FFFF_5028	テストステータス 0 レジスタ	TS0	-	RO	8 (/16/32)
0x FFFF_502C	テストステータス 1 レジスタ	TS1	0x 01	RO	8 (/16/32)
0x FFFF_5030	テストステータス 2 レジスタ	TS2	0x 0F	RO	8 (/16/32)
0x FFFF_503C	テストステータス 3 レジスタ	TS3	0x 02	RO	8 (/16/32)
0x FFFF_8000	RTC 関連レジスタ	RTC			
0x FFFF_8000	RTC ラン/ストップ制御レジスタ		xxx- --xx b	R/W	8(/16/32)
0x FFFF_8004	RTC 割り込みレジスタ		0x xxxx	R/W	16(/32)
0x FFFF_8008	RTC タイマ分周レジスタ		xxxx xxxx b	R/(W)	8(/16/32)
0x FFFF_800C	RTC 秒カウンタレジスタ		--xx xxxx b	R/W	8(/16/32)
0x FFFF_8010	RTC 分カウンタレジスタ		--xx xxxx b	R/W	8(/16/32)
0x FFFF_8014	RTC 時間カウンタレジスタ		---x xxxx b	R/W	8(/16/32)
0x FFFF_8018	RTC 日カウンタレジスタ		---x xxxx b	R/W	8(/16/32)
0x FFFF_801C	RTC 月カウンタレジスタ		---- xxxx b	R/W	8(/16/32)
0x FFFF_8020	RTC 年カウンタレジスタ		-xxx xxxx b	R/W	8(/16/32)
0x FFFF_8024	RTC アラーム分コンペアレジスタ		--xx xxxx b	R/W	8(/16/32)
0x FFFF_8028	RTC アラーム時間コンペアレジスタ		---x xxxx b	R/W	8(/16/32)
0x FFFF_802C	RTC アラーム日コンペアレジスタ		---x xxxx b	R/W	8(/16/32)
0x FFFF_8030	RTC アラーム月コンペアレジスタ		---- xxxx b	R/W	8(/16/32)
0x FFFF_8034	RTC アラーム年コンペアレジスタ		-xxx xxxx b	R/W	8(/16/32)
0x FFFF_8040	RTC テストレジスタ		---x xxxx b	R/W	8(/16/32)
0x FFFF_8044	RTC プリスケアラレジスタ		-xxx xxxx b	R/(W)	8(/16/32)
0x FFFF_8048	RTC テストクロックレジスタ		xxxx xxxx b	WO	8(/16/32)
0x FFFF_8060	RTC RAM0		xxxx xxxx b	R/W	8(/16/32)

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFF_8064	RTC RAM1		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_8068	RTC RAM2		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_806C	RTC RAM3		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_8070	RTC RAM4		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_8074	RTC RAM5		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_8078	RTC RAM6		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_807C	RTC RAM7		xxxx xxxx b	R/W	8/(16/32)
0x FFFF_9000	DMA コントローラ 2 関連レジスタ	DMAC2			
0x FFFF_9000	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0x XXXX_XXXX	R/W	32
0x FFFF_9004	DMA チャンネル 0 デスティネーション アドレスレジスタ	DAR0	0x XXXX_XXXX	R/W	32
0x FFFF_9008	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x 00XX_XXXX	R/W	32
0x FFFF_900C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x 0000_0000	R/W	32
0x FFFF_9010	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0x XXXX_XXXX	R/W	32
0x FFFF_9014	DMA チャンネル 1 デスティネーション アドレスレジスタ	DAR1	0x XXXX_XXXX	R/W	32
0x FFFF_9018	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x 00XX_XXXX	R/W	32
0x FFFF_901C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x 0000_0000	R/W	32
0x FFFF_9020	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0x XXXX_XXXX	R/W	32
0x FFFF_9024	DMA チャンネル 2 デスティネーション アドレスレジスタ	DAR2	0x XXXX_XXXX	R/W	32
0x FFFF_9028	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x 00XX_XXXX	R/W	32
0x FFFF_902C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x 0000_0000	R/W	32
0x FFFF_9030	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0x XXXX_XXXX	R/W	32
0x FFFF_9034	DMA チャンネル 3 デスティネーション アドレスレジスタ	DAR3	0x XXXX_XXXX	R/W	32
0x FFFF_9038	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x 00XX_XXXX	R/W	32
0x FFFF_903C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x 0000_0000	R/W	32
0x FFFF_9060	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x 0000_0000	R/W	32
0x FFFF_9064	DMA チャンネル MISC レジスタ	MISC	0x 0000_0000	R/W	32
0x FFFF_9070	DMA チャンネル 転送終了コントロールレジスタ	TECL	0x 0000_0000	R/W	32
0x FFFF_A000	メモリコントローラ関連レジスタ	MEMC			
0x FFFF_A020	SRAM デバイス 0 タイミングレジスタ	RAMTMG0	0x 0000_1C7F	R/W	32
0x FFFF_A024	SRAM デバイス 0 制御レジスタ	RAMCNTL0	0x 0000_0001	R/W	32
0x FFFF_A030	SRAM デバイス 1 タイミングレジスタ	RAMTMG1	0x 0000_1C7F	R/W	32
0x FFFF_A034	SRAM デバイス 1 制御レジスタ	RAMCNTL1	0x 0000_0001	R/W	32
0x FFFF_A040	SRAM デバイス 2 タイミングレジスタ	RAMTMG2	0x 0000_1C7F	R/W	32
0x FFFF_A044	SRAM デバイス 2 制御レジスタ	RAMCNTL2	0x 0000_0001	R/W	32
0x FFFF_A050	SRAM デバイス 3 タイミングレジスタ	RAMTMG3	0x 0000_1C7F	R/W	32
0x FFFF_A054	SRAM デバイス 3 制御レジスタ	RAMCNTL3	0x 0000_0001	R/W	32
0x FFFF_A060	SDRAM モードレジスタ	SDMR	0x 0000_0032	R/W	16/32
0x FFFF_A064	予約	-	-	-/-	-
0x FFFF_A068	予約	-	-	-/-	-
0x FFFF_A070	SDRAM 設定レジスタ	SDCNFG	0x 0600_C700	R/W	32
0x FFFF_A074	SDRAM 詳細設定レジスタ	SDADVCNFG	0x 000F_0300	R/W	32
0x FFFF_A080	初期化制御レジスタ	SDINIT	0x 0000_0000	R/W	16/32
0x FFFF_A090	SDRAM リフレッシュタイマレジスタ	SDREF	0x 0000_00A0	R/W	16/32
0x FFFF_A0A0	SDRAM ステータスレジスタ	SDSTAT	0x 0000_0202	RO	32

35. Appendix 1 S2S65A30 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFF_B000	タイマ A 関連レジスタ	TIM			
0x FFFF_B000	タイマ A 0 ロードレジスタ	TMA0LD	0x 0000	R/W	16 (/32)
0x FFFF_B004	タイマ A 0 カウントレジスタ	TMA0CNT	0x 0000	RO	16 (/32)
0x FFFF_B008	タイマ A 0 制御レジスタ	TMA0CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B00C	タイマ A 0 IRQ フラグクリアレジスタ	TMA0IRQ	-	WO	8 (/16/32)
0x FFFF_B010	タイマ A 0 ポート出力制御レジスタ	TMA0POUT	0x 0000	(R/W)	8 (/16/32)
0x FFFF_B020	タイマ A 1 ロードレジスタ	TMA1LD	0x 0000	R/W	16 (/32)
0x FFFF_B024	タイマ A 1 カウントレジスタ	TMA1CNT	0x 0000	RO	16 (/32)
0x FFFF_B028	タイマ A 1 制御レジスタ	TMA1CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B02C	タイマ A 1 IRQ フラグクリアレジスタ	TMA1IRQ	-	WO	8 (/16/32)
0x FFFF_B030	タイマ A 1 ポート出力制御レジスタ	TMA1POUT	0x 0000	(R/W)	8 (/16/32)
0x FFFF_B040	タイマ A 2 ロードレジスタ	TMA2LD	0x 0000	R/W	16 (/32)
0x FFFF_B044	タイマ A 2 カウントレジスタ	TMA2CNT	0x 0000	RO	16 (/32)
0x FFFF_B048	タイマ A 2 制御レジスタ	TMA2CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B04C	タイマ A 2 IRQ フラグクリアレジスタ	TMA2IRQ	-	WO	8 (/16/32)
0x FFFF_B050	タイマ A 2 ポート出力制御レジスタ	TMA2POUT	0x 0000	(R/W)	8 (/16/32)
0x FFFF_B060~ 0x FFFF_B09C	予約	-	-	-	-
0x FFFF_B0A0	プリスケラ 0 制御レジスタ	PS0CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B0A4	プリスケラ 1 制御レジスタ	PS1CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B0B0	タイマ A IRQ ステータスレジスタ	TMAIRQSTS	0x 0000	RO	8 (/16/32)
0x FFFF_C000	WDT 関連レジスタ	WDT			
0x FFFF_C000	ウォッチドッグタイマロードレジスタ		0x 0000_FFFF	R/W	16 (/32)
0x FFFF_C004	ウォッチドッグタイマカウントレジスタ		0x 0000_FFFF	RO	16 (/32)
0x FFFF_C008	ウォッチドッグタイマ制御レジスタ		0x 0000_0000	R/W	16 (/32)
0x FFFF_D000	システムコントローラ関連レジスタ	SYS			
0x FFFF_D000	Chip ID Register	CHIPID	0x 065A_000X	RO	32
0x FFFF_D004	Chip Configuration Register	CHIPCFG	0x 0000_XXXX	RO	16 (/32)
0x FFFF_D008	PLL Setting Register 1	PLLSET1	0x 0421_84AE	R/W	32
0x FFFF_D00C	PLL Setting Register 2	PLLSET2	0x 0000_0000	(R/W)	16 (/32)
0x FFFF_D010	HALT Mode Clock Control Register	HALTMODE	0x 0000_0000	R/W	16 (/32)
0x FFFF_D014	IO Clock Control Register	IOCLKCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D018	Clock Select Register	CLK_SEL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D01C	HALT Control Register	HALTCTL	-	WO	16 (/32)
0x FFFF_D020	Memory Remap Register	REMAP	0x 0000_0000	R/W	16 (/32)
0x FFFF_D024	Software Reset Register	SOFT_RST	-	WO	32
0x FFFF_D028	UART1 Clock Divider Register	UART1DIV	0x 0000_0000	R/W	16 (/32)
0x FFFF_D02C	UART2 Clock Divider Register	UART2DIV	0x 0000_0000	R/W	16 (/32)
0x FFFF_D030	UART3 Clock Divider Register	UART3DIV	0x 0000_0000	R/W	16 (/32)
0x FFFF_D034	Timer-B Clock Select Register	TIMBCKSEL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D040	MD Bus Pull-down Control Register	MDPLDCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D044	SDD Bus Pull-down Control Register	SDDPLDCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D048	GPIOE Resistor Control Register	PORTERCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D04C	GPIOF Resistor Control Register	PORTFRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D050	GPIOG Resistor Control Register	PORTGRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D054	GPIOH Resistor Control Register	PORTHRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D058	GPIOI Resistor Control Register	PORTIRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D05C	GPIOJ Resistor Control Register	PORTJRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D060	GPIOK Resistor Control Register	PORTKRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D064	Internal TEST Mode Register	ITESTM	0x 0000_0000	R/W	32
0x FFFF_D068	Embedded Memory Control Register	EMBMEMCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D06C	MISC Register	MISC	0x 0000_0000	R/W	32

アドレス (h)	レジスタ名称	レジスタ 略号	初期値 ^{*1} (h)	R/W	データ アクセス サイズ ^{*2} (bit)
0x FFFF_F000	割り込みコントローラ関連レジスタ	INT			
0x FFFF_F000	IRQ ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F004	IRQ マスク前ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F008	IRQ イネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F00C	IRQ イネーブルクリアレジスタ		0x 0000_0000	WO	32
0x FFFF_F010	ソフトウェア IRQ レジスタ		0x 0000_0000	WO	32
0x FFFF_F020	IRQxx ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F024	IRQxx マスク前ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F028	IRQxx イネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F02C	IRQxx イネーブルクリアレジスタ		0x 0000_0000	WO	32
0x FFFF_F080	IRQ レベルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F084	IRQ 極性レジスタ		0x FFFF_FFFF	R/W	32
0x FFFF_F088	IRQ トリガリセットレジスタ		0x 0000_0000	WO	32
0x FFFF_F0A0	IRQxx レベルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F0A4	IRQxx 極性レジスタ		0x 0000_0FFF	R/W	32
0x FFFF_F0A8	IRQxx トリガリセットレジスタ		0x 0000_0000	WO	32
0x FFFF_F100	FIQ ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F104	FIQ マスク前ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F108	FIQ イネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F10C	FIQ イネーブルクリアレジスタ		0x 0000_0000	WO	32
0x FFFF_F180	FIQ レベルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F184	FIQ 極性レジスタ		0x 0000_0003	R/W	32
0x FFFF_F188	FIQ トリガリセットレジスタ		0x 0000_0000	WO	32

*1: 初期値は 16 進数表示 (h : hexadecimal) になっていますが、末尾に “b” の表示がある場合は、2 進数 (b : binary) を表しています。

また、“X” は不定値(h)を、“x” は不定値(b)を表しています。

*2: データアクセスサイズはレジスタにアクセスするサイズをビットで表しています。8 (/16/32) は、通常は 8 ビットアクセスで使いますが、16 ビットまたは 32 ビットデータアクセス命令を使用している場合は 16 ビットまたは 32 ビットでもアクセス可能です。同様に 16 (/32) は、通常は 16 ビットアクセスですが、32 ビットでもアクセス可能です。これらの場合、下位ビットのみ有効な値として使用してください。

改訂履歴

付-1

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev 1.0	2009/08/	全ページ	新規	新規制定 Appendix レジスタ MAP に新規レジスタを追加
Rev 1.1	2009/9/2	P.122	修正	32.2.1 C _L =50pf を 30pf に修正
Rev 1.2	2010/4/15	-	追加 修正	誤記修正 ・ 軽微な誤記修正等 追記・削除 ・ IP 変換回路の SDRAM 使用領域についての説明を追記 ・ IPC Video Output Blank Line Number レジスタおよび説明を追加 ・ 電気的特性に ADC 電流および入力インピーダンスを追加 ・ "ADC End Flag"レジスタを削除 ・ 電源投入手順について注意点を追記 ・ その他（補足説明の追記など）
Rev 1.3	2011/11/1 8	Appendex 1	修正	・ DMA コントロールレジスタ チャンネル 0/1/2/3 初期値 0x0000_0000 → 0x00XX_XXXX ・ JPEG ラインバッファカレントステータスフラグレジスタ初期値 0x0009 → 0xX009 ・ UART 0/1/2/3 ラインステータス初期値 0x00 → 0x06 ・ UART 0/1/2/3 モデムステータスレジスタ初期値 0x00 → 0xEX ・ UART 0/1/2/3 テストステータスレジスタ 1 初期値 0x00 → 0x01 ・ UART 0/1/2/3 モデムステータスレジスタ 2 初期値 0x00 → 0x0F ・ UART 0/1/2/3 モデムステータスレジスタ 3 初期値 0x00 → 0x02 ・ I2C I/O コントロールレジスタ初期値 0x11 → 0x00

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411736702
2009 年 8 月 作成 (H)
2011 年 11 月 改訂