

S2S65A30

テクニカルマニュアル(1)



本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。



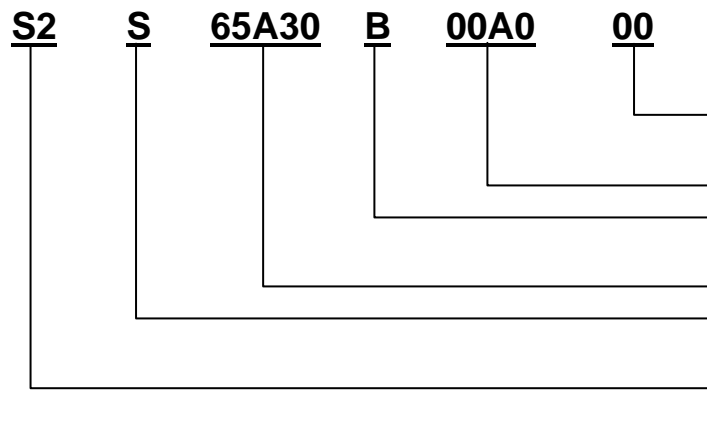
は、ARM 社の登録商標です。

CompactFlash は Sandisk 社の登録商標です。

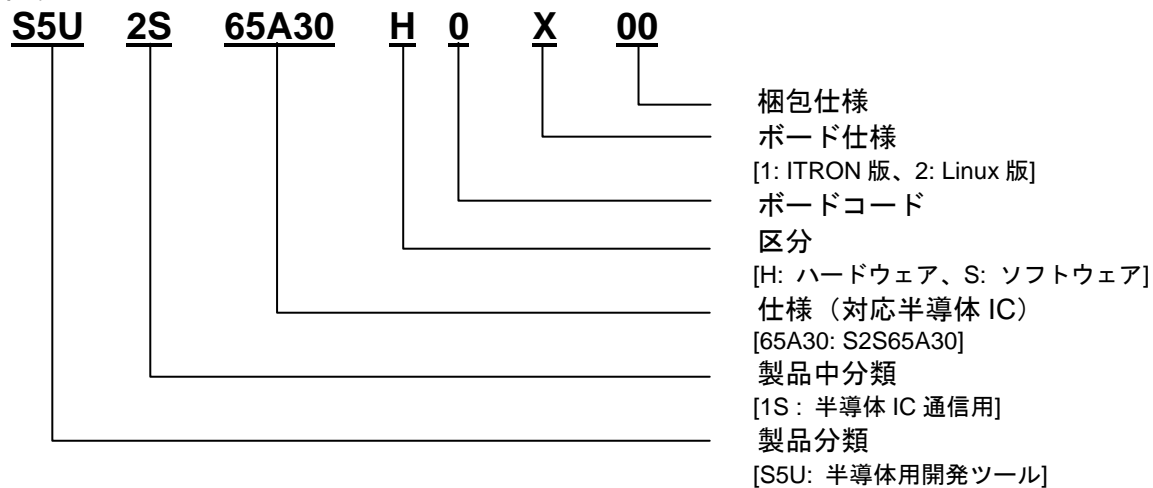
その他記載の会社名、製品名は、それぞれの会社の商標もしくは登録商標です。

製品型番体系

●デバイス



●開発ツール



使用上の注意事項

本書のレジスタの記述に関しては、以下のことにご注意ください。

本書のレジスタに関する記述については、以下のような省略を用いることがあります。

R/W : リードおよびライト
RO : リードオンリ
WO : ライトオンリ
RSV : 予約ビット／レジスタ（特に指定のない場合は“0”を書き込んでください。）
n/a : not available（特に指定のない場合は“0”を書き込んでください。）

特に指定のない場合、レジスタの予約ビットには“0”をセットしてください。予約ビットに書き込みを行うと予想できない結果になることがあります。“n/a”と記載してあるビットはハードウェアに影響をあたえません。

あるレジスタは特定の条件のときのみアクセスできるようになっています。アクセス不可のレジスタへのリード／ライトは無効です。

目 次

1. 概要.....	1
1.1 特長.....	1
1.2 内蔵機能.....	1
2. ブロック図.....	4
3. 端子.....	5
3.1 端子配置図.....	5
3.2 端子の説明.....	7
3.3 GPIO端子のマルチプレクス端子機能、リセット直後の端子機能.....	19
3.4 リセット中の端子の状態.....	21
4. 機能説明.....	22
4.1 システムコンフィギュレーション.....	22
4.2 メモリマップ.....	23
4.2.1 メモリマップ.....	23
4.3 I/Oマップ.....	24
4.4 割り込みコントローラ.....	26
4.5 S2S65A30 の内蔵機能.....	27
5. CPU.....	28
5.1 概要.....	28
5.2 ARM720Tブロック図.....	28
6. DMAコントローラ 1 (DMAC1).....	29
6.1 概要.....	29
6.2 ブロック図.....	29
6.3 外部端子.....	30
6.4 レジスタ.....	30
6.4.1 レジスター一覧.....	30
6.4.2 レジスタ詳細.....	31
7. カメラインタフェース[2:1] (CAM[2:1]).....	37
7.1 概要.....	37
7.2 ブロック図.....	37
7.3 外部端子.....	38
7.4 レジスタ.....	38
7.4.1 レジスター一覧.....	38
7.4.2 レジスタ詳細説明.....	39
7.5 動作説明.....	47
7.5.1 フレームキャプチャ割り込み.....	48
8. JPEGコントローラ (JPG[2:1]).....	50
8.1 概要.....	50
8.2 ブロック図.....	50
8.3 外部端子.....	50
8.4 レジスタ.....	51
8.4.1 レジスター一覧.....	51
8.4.2 Resizer Operation Registers (RSZ[2:1]).....	53
8.4.3 JPEG Module Registers (JCTL[2:1]).....	58

8.4.4 JPEG FIFO Setting Register (JFIFO[2:1])	66
8.4.5 JPEG ラインバッファ設定レジスタ (JLB[2:1])	70
8.4.6 JPEG Codec Registers (JCODEC[2:1])	74
8.5 動作説明	84
8.5.1 キャプチャ制御機能	84
8.5.1.1 カメラ画像JPEGエンコード用ステートマシン	84
8.5.1.2 YUVキャプチャ用ステートマシン	86
8.5.2 リサイズ機能	88
8.5.2.1 切り取り機能	88
8.5.2.2 縮小機能	89
8.5.2.3 リサイズ回路利用制限	92
8.5.3 画像処理データフロー	93
8.5.3.1 カメラ画像JPEGエンコード	94
8.5.3.2 YUVデータキャプチャ	95
8.5.3.3 JPEGデコード (DMA使用)	96
8.5.4 JPEGコーデック機能	97
8.5.4.1 JPEGコーデックレジスタに関する制限	98
8.5.5 JPEGコーデック以外の機能	99
8.5.5.1 JPEG FIFO	99
8.5.5.2 JPEGラインバッファ	99
8.5.5.3 YUVフォーマットコンバータ	100
8.5.5.4 JPEGモジュール割り込み	101
8.5.5.5 JPEG180° 回転エンコード	102
8.5.5.6 ソフトウェアリセット処理について	102
8.5.5.7 マーカ高速出力モード	103
8.5.6 シーケンス例	104
8.5.6.1 カメラ画像JPEGエンコード処理 (単フレーム)	104
8.5.6.2 終了処理	106
9. JPEG_DMAL (JDMA)	107
9.1 概要	107
9.2 ブロック図	107
9.3 外部端子	108
9.4 レジスタ	108
9.4.1 レジスタ一覧	108
9.4.2 レジスタ詳細説明	109
9.4.3 レジスタ詳細説明 (JPEG Decode時のYUVデータDMA転送に関するレジスタ)	112
10. DMAコントローラ 2 (DMAC2)	116
10.1 概要	116
10.2 ブロック図	116
10.3 外部端子	117
10.4 レジスタ	117
10.4.1 レジスタ一覧	117
10.4.2 レジスタ詳細	118
11. USB HS-Device	123
11.1 概要	123
11.2 ブロック図	123
11.3 特長	124
12. APBブリッジ (APB)	125
12.1 概要	125
12.2 ブロック図	125
12.3 外部端子	126
12.4 レジスタ	126

12.4.1 レジスター一覧	126
12.4.2 レジスタ詳細説明	126
13. システムコントローラ (SYS).....	129
13.1 概要.....	129
13.2 動作モード.....	129
13.2.1 パワーオンステート	130
13.2.2 ロースピードモード	130
13.2.3 ロースピードHALTモード.....	130
13.2.4 ハイスピードモード	130
13.2.5 ハイスピードHALTモード.....	130
13.3 外部端子.....	131
13.4 レジスタ.....	131
13.4.1 レジスター一覧	131
13.4.2 レジスタ詳細説明	132
13.5 PLL Setting Example	147
13.6 PLL Parameter table	148
13.7 Remap後のメモリマップ.....	149
13.7.1 Remap後のメモリマップ (AHB1).....	149
13.7.2 Remap後のメモリマップ (AHB2).....	151
13.7.3 Remap後のメモリマップ (AHB3).....	153
13.8 クロック・コントロールブロック図.....	155
13.9 UART Clock 設定例:.....	156
14. メモリコントローラ (MEMC).....	157
14.1 概要.....	157
14.1.1 SRAMコントローラ.....	157
14.1.2 SDRAM コントローラ	157
14.1.3 外部バスインタフェースモジュール	157
14.2 ブロック図.....	158
14.3 外部端子.....	158
14.4 Memory controller.....	159
14.4.1 デバイス数.....	159
14.4.2 外部メモリ幅	159
14.4.3 デバイスのセグメント設定.....	159
14.5 SRAM control	159
14.5.1 タイミング設定.....	159
14.5.2 ライトプロテクト	160
14.6 SDRAM control.....	160
14.6.1 モードレジスタ設定	160
14.6.2 バースト対応	160
14.6.3 オートプリチャージ設定	160
14.6.4 低消費電力化	160
14.6.5 メモリクロック停止	160
14.6.6 省電力モードサポート	161
14.6.7 オートリフレッシュ制御	161
14.6.8 セルフリフレッシュ制御	161
14.6.9 ステータスレジスタ	161
14.7 レジスタ.....	162
14.7.1 レジスター一覧	162
14.7.2 レジスタ詳細	162
15. 割り込みコントローラ (INT).....	171
15.1 概要.....	171
15.2 ブロック図.....	173

15.3 FIQ.....	173
15.4 IRQ.....	173
15.5 外部端子.....	174
15.6 レジスタ.....	175
15.6.1 レジスタ一覧.....	175
15.6.2 レジスタ詳細説明.....	176
16. UART1/2/3.....	188
16.1 概要.....	188
16.2 ブロック図.....	188
16.3 外部端子.....	189
16.4 レジスタ説明.....	190
16.4.1 レジスタ一覧.....	190
16.4.2 レジスタアクセスにおける注意事項.....	190
16.4.3 レジスタ詳細説明.....	191
16.4.4 ボーレート設定例.....	204
16.5 本UART1/2/3の利用制限事項.....	205
17. I²C Single Master Core Module (I2C).....	206
17.1 概要.....	206
17.1.1 マスタモード.....	206
17.1.2 スレーブモード.....	206
17.2 ブロック図.....	207
17.3 外部端子.....	207
17.4 レジスタ.....	208
17.4.1 レジスタ一覧.....	208
17.4.2 レジスタ詳細説明.....	209
17.5 動作説明（バス・コントロール・コマンド使用例）.....	217
17.5.1 スタート（S）フロー例.....	217
17.5.2 ストップ（P）フロー例.....	217
17.5.3 レシーブ（R）フロー例.....	217
17.5.4 トランスファ（T）フロー例.....	218
17.5.5 スレーブ機器への書込みシーケンス例.....	218
17.5.6 スレーブからの読出しシーケンス例.....	219
17.6 本I2C Single Master Core Module (I2C)の利用制限事項.....	219
18. I²S (I2S).....	220
18.1 概要.....	220
18.1.1 機能.....	220
18.2 ブロック図.....	220
18.3 外部端子.....	221
18.4 レジスタ説明.....	221
18.4.1 レジスタ一覧.....	221
18.4.2 レジスタ詳細説明.....	222
18.5 機能説明.....	229
18.5.1 I2Sタイミングチャート（32fs）.....	229
18.5.2 データ幅とFIFO段数.....	229
18.5.3 DMA転送.....	230
18.5.4 INTCへの割り込み.....	230
18.5.5 クロック選択（クロック共有）.....	230
18.5.6 モノラルステレオ変換機能.....	231
18.6 設定例.....	231
改訂履歴.....	232

1. 概要

本製品 S2S65A30 はドライブレコーダ専用 IC です。カメラインタフェース機能、JPEG エンコーダ/デコーダ機能に加え、Interlace/progressive 変換、画像補正、CF、SD Memory、USB2.0 Device(High-Speed 対応) 各種インタフェース及び8chのADCを内蔵しています。S2S65A30にカメラモジュール、SDRAM、外付けのストレージ(CF Memory Card または SD Memory Card)とファームウェアを格納した Flash ROM を接続することにより、ドライブレコーダが簡単に構成できます。一例として、内蔵エンコーダで生成した JPEG データを SDRAM に常時蓄積しておきます。加速度センサ IC による急な速度変化の検出など外部トリガを受けて、蓄積した画像データを外付けのストレージ (CF Memory Card または SD Memory Card) に転送、保存することが可能です。また、S2S65A30 は GPIO および I²C バスを搭載していますので、カメラの設定や外部機器の制御を行うことも可能です。

1.1 特長

- 1 Chip ソリューション：低システムコストを実現可能
- 30 fps @VGA のハードウェアによるリアルタイム JPEG エンコードを実現 (ISO 10918 準拠)
- 2 台までカメラモジュール接続対応
- カメラモジュールごとにハードウェア JPEG エンコーダを搭載 (計 2 系統)
- 動体検知機能による動き検出をサポート
- I²S による音声データの録音・再生をサポート
- CompactFlash インタフェースによる CF Memory Card 又は無線 LAN インタフェース (802.11b/g) 対応可能
- SD Memory インタフェースによる SD Memory Card の接続対応
- ARM720T 50MHz 動作
- USB 2.0 Device(High-Speed) 機能サポートとによる PC との接続が可能
- 8ch の ADC サポートによる各種アナログセンサとの接続が可能
- イベントカウンタ用のタイマを搭載
- メモリバス：2 ポート (16bit-Bus: FROM/SRAM, 16/32bit-Bus: SDRAM)
- Interlace/Progressive 変換機能
- JPEG デコード機能
- 画像の明暗補正機能

1.2 内蔵機能

CPU：

- ・32 ビット RISC ARM720T (最大 50MHz、キャッシュ内蔵)
- ・32 ビット長命令と効率の良い Thumb コードと呼ばれる 16 ビット長命令コードを切り替えて利用可能
- ・32 ビット汎用レジスタ (31 本)
- ・乗算器を内蔵

RAM：

- ・56 KB の CPU/JPEG Work 用内蔵 RAM (CPU Work: 32KB max.)

スタンバイ機能

- ・CPU の動作が必要ない場合には CPU のクロックをとめることができる HALT 機能
- ・主要な I/O ブロックごとにクロックをとめられる I/O クロックストップ機能

カメラ入力/Interlace/Progressive 変換：

- ・8 ビット パラレルインタフェース×2 ポート
- ・2 台のカメラモジュールを接続可能
- ・解像度 640×480 程度まで (VGA, QVGA, CIF, QCIF)
- ・YUV4-2-2 プログレッシブ/ (2 ポート共)
- ・Interlace/Progressive 変換機能によりインタレース信号 (2 ポート共)
- ・カメラデータ入力用ピクセルクロック周波数は CPU クロック周波数の 2/3 未満

1. 概要

画像補正：

- ・カメラ 2ch の明暗部の補正機能

JPEG：

- ・ハードウェア JPEG エンコーダ×2
- ・Max 30 fps @VGA 以上の処理能力（2 系統並列動作により 60fps@VGA を処理可能）
- ・Resize 機能（画面切り取り可）
- ・専用の Line Buffer
- ・JPEG エンコーダ出力に容量可変 FIFO 内蔵
- ・Enhanced DMA 内蔵
- ・ハードウェア JPEG デコーダ（DMA 対応、フレームレートは内部バス負荷に依存）

USB2.0 Device:

- ・HS(480Mbps)および FS(12Mbps)の転送をサポート
- ・FS/HS Termination 機能内蔵（外付け回路不要）
- ・VBUS 5V Interface（ただし、外付け保護回路が必要です）
- ・Control Bulk および Interrupt 転送をサポート
- ・Control(End Point 0)および Bulk/Interrupt 共用 End Point（5 本）をサポート
- ・16-bit または 8-bit 幅の汎用 CPU Interface 搭載
- ・Little Endian 対応
- ・Register Table については S1R72V05 の HS-Device 部を基本として追加／削除
- ・USB 用 Clock 入力として 12MHz または 24MHz 水晶発振子入力に対応
- ・内部 Clock 用途としては入力 USB 用 Clock を元にして、以下の周波数が使用可能
- ・入力 USB 用 Clock：12MHz または 24MHz
- ・内部 USB 用 Clock：60MHz（内蔵 USB 用 PLL 経由）

メモリコントローラ：

- ・AHB バスインタフェースのメモリコントローラ
- ・SRAM タイミングデバイスを最大 4 つまでサポート可能
- ・SDRAM を最大 8 つまでサポート可能（8bit バス幅の SDRAM 接続の場合）
- ・SDRAM オートリフレッシュのリフレッシュ間隔をデバイスにあわせて調整可能
- ・SDRAM バーストリフレッシュサポート
- ・SDRAM のセルフリフレッシュをサポート

CF カードインタフェース：

- ・CF+ 仕様 Rev1.4 準拠
- ・無線 LAN および PHS カードなどの interface として利用可能
- ・True IDE モードのサポート

SD メモリインタフェース：

- ・SD Memory Card Physical Layer Spec. ver.2.0 準拠

割り込みコントローラ：

- ・32 本の IRQ と 2 本の FIQ のサポート

シリアルインタフェース：

- ・UART：16550 ソフトウェア互換 ×3 チャンネル
- ・SPI：クロック同期式 ×1 チャンネル
- ・I²C マスタインタフェース（カメラ I/F および汎用用途）
- ・I²S インタフェース（音声／オーディオデータ対応、I²S 規格に準拠）

タイマ A：

- ・16 ビットタイマ ×3 チャンネルのタイマ
- ・リロード/Cyclic または One Shot 動作モード
- ・アンダーフロー出力によるトグル出力、または Port 出力をサポート

タイマ B：イベントカウンタ用

- ・16 ビット・アップ・カウント・タイマ

- ・COMMON レジスタを 4 つ実装し、それぞれアウトプット・レジスタ、インプットキャプチャレジスタとして設定可能

ウォッチドッグタイマ

- ・割り込み出力またはリセット可能なウォッチドッグタイマ

リアルタイムクロック

- ・年、月、日、時間、分、秒、うるう年のサポート
- ・1/128 – 1/2 までの内部タイマタップを割り込みソースとしても利用可
- ・アラーム機能および割り込みをサポート

GPIO :

- ・汎用 I/O Port (最大 82 本)
- ・すべてのポートに対して方向がプログラマブル設定可能
- ・一部は他の I/O 機能と選択

A/D コンバータ :

- ・8-Channel Input(コントローラによるセレクト)
- ・10-bit 分解能
- ・1 回あたりの変換処理時間は 20 μ s 以下

電源 :

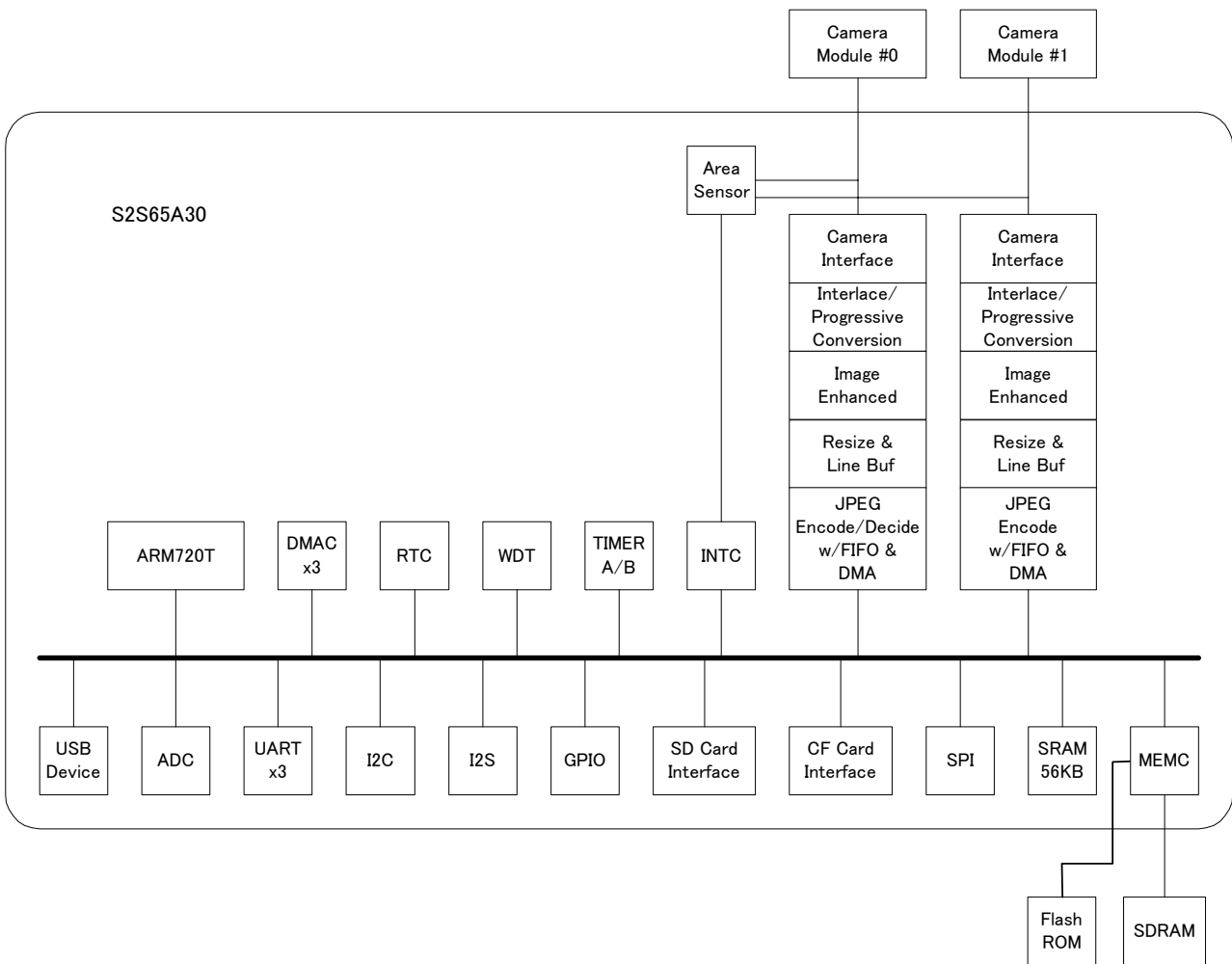
- ・3.3V (I/O 電源)
- ・3.3V (USB)
- ・1.8V (コア電源)
- ・2.4~3.6V (カメラ 1/2 I/O 電源)
- ・2.7~3.6V (SDRAM I/O 電源)
- ・3.3V (A/D 電源)
- ・1.8V (USB/PLL/RTC)

パッケージ :

- ・PFBGA 280 Pin (PFBGA16UX280) 16 x 16 x 1.2 mm, 0.8mm ボールピッチ

2. ブロック図

2. ブロック図



*1 : 内蔵 SRAM は JPG[2:1]のラインバッファと共有しています。JPG[2:1]を使用する場合は CPU-Work として使用することは出来ません。

図 2.1 S2S65A30 内部ブロック図

3. 端子

3.1 端子配置図

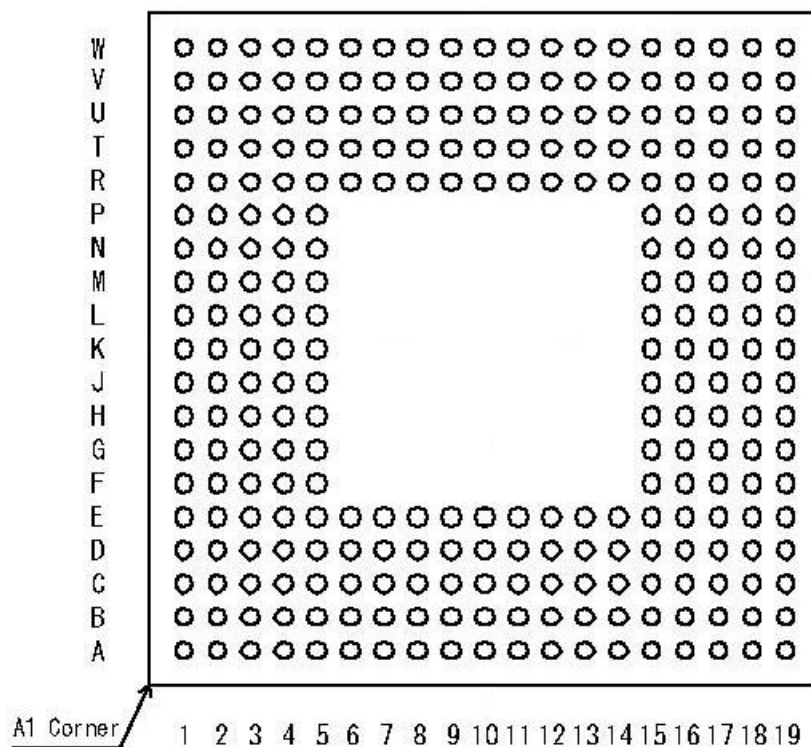


図 3.1 端子配置図 (BOTTOM VIEW)

ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称
A1	NC	D14	HVDD	K15	LVDD	T7	CM2DATA2
A2	CM1CLKIN	D15	GPIOA2	K16	CFDEN#	T8	GPIOD2
A3	CM1CLKOUT	D16	GPIOA4	K17	CFDDIR	T9	GPIOD1
A4	C1VDD	D17	GPIOA0	K18	LVDD	T10	MA17
A5	SYS_OSCO	D18	LVDD	K19	CFSTSCHG#	T11	MA15
A6	SYS_OSCI	D19	GPIOA1	L1	VSS	T12	MA11
A7	RTCVDD	E1	LVDD	L2	GPIOJ6	T13	MA7
A8	PLLVD	E2	VSS	L3	GPIOJ3	T14	VSS
A9	SYSVCP	E3	SDA6	L4	GPIOJ5	T15	MA2
A10	SYSCLKI	E4	VSS	L5	LVDD	T16	MCS1#
A11	LVDD	E5	SDA0	L15	HVDD	T17	MD13
A12	VSS	E6	GPIOK5	L16	CFWAIT#	T18	MD12
A13	UXVDD	E7	GPIOK4	L17	CFRST	T19	MD10
A14	DP	E8	VSS	L18	VSS	U1	SDD0
A15	DM	E9	CM1DATA0	L19	CFIRQ	U2	SDDQM1#
A16	UVDD3	E10	TESTEN1	M1	GPIOJ0	U3	CM2HREF
A17	R1	E11	VSS	M2	GPIOJ2	U4	VSS
A18	UPVDD	E12	LVDD	M3	GPIOJ1	U5	CM2DATA4
A19	NC	E13	TDI	M4	SDD15	U6	AVSS
B1	SDA13	E14	GPIOB3	M5	VSS	U7	CM2DATA5
B2	SDA14	E15	GPIOB1	M15	CFCE2#	U8	CM2DATA7
B3	CM1HREF	E16	GPIOB0	M16	MD3	U9	GPIOD3

3. 端子

ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称
B4	VSS	E17	GPIOA3	M17	CFCE1#	U10	GPIOD0
B5	CM1DATA3	E18	HVDD	M18	CFIORD#	U11	MA16
B6	CM1DATA6	E19	GPIOA5	M19	CFIOWR#	U12	MA12
B7	VSS	F1	SDA1	N1	SDD11	U13	MA8
B8	BUP#	F2	SDVDD	N2	VSS	U14	MA4
B9	PLLVD	F3	SDA5	N3	SDD13	U15	MA1
B10	SYSCKSEL	F4	SDA2	N4	SDD14	U16	VSS
B11	TRST#	F5	GPIOK1	N5	SDD12	U17	MBEL#
B12	TESTCK	F15	LVDD	N15	MD5	U18	MD14
B13	XVSS	F16	GPIOB2	N16	MD1	U19	MD15
B14	UVDD3	F17	GPIOA6	N17	VSS	V1	GPIOD6
B15	UVSS	F18	LVDD	N18	MD2	V2	VSS
B16	VSS	F19	GPIOA7	N19	MD0	V3	CM2VREF
B17	UVSS	G1	GPIOK7	P1	SDVDD	V4	CM2DATA0
B18	PVSS	G2	GPIOK6	P2	SDD10	V5	AVDD
B19	USBCK_OSCO	G3	GPIOK3	P3	SDD9	V6	ADIN7
C1	SDA11	G4	GPIOK0	P4	SDD8	V7	ADIN5
C2	VSS	G5	VSS	P5	VSS	V8	ADIN3
C3	SDVDD	G15	GPIOC1	P15	MD9	V9	ADIN1
C4	SDA12	G16	HVDD	P16	MD8	V10	AVSS
C5	CM1VREF	G17	GPIOB5	P17	MD6	V11	MA19
C6	CM1DATA5	G18	VSS	P18	MD4	V12	MA14
C7	CM1DATA7	G19	GPIOB4	P19	LVDD	V13	VSS
C8	VSS	H1	LVDD	R1	SDD6	V14	MA3
C9	HVDD	H2	VSS	R2	SDD5	V15	GPIOD5
C10	VSS	H3	GPIOK2	R3	SDD4	V16	MCS0#
C11	TESTEN0	H4	SDWE#	R4	SDD7	V17	MWE#
C12	TDO	H5	SDCAS#	R5	SDD3	V18	LVDD
C13	VSS	H15	GPIOC6	R6	SDD2	V19	VSS
C14	VBUS	H16	GPIOC0	R7	CM2DATA1	W1	NC
C15	VSS	H17	GPIOB6	R8	CM2DATA6	W2	CM2CLKIN
C16	HVDD	H18	HVDD	R9	VSS	W3	CM2CLKOUT
C17	VSS	H19	GPIOB7	R10	HVDD	W4	C2VDD
C18	VSS	J1	SDCS1#	R11	MA13	W5	AVDD
C19	USBCK_OSCI	J2	SDCS0#	R12	MA9	W6	ADIN6
D1	SDA8	J3	SDRAS#	R13	MA6	W7	ADIN4
D2	SDA9	J4	GPIOJ7	R14	MA5	W8	ADIN2
D3	SDA7	J5	GPIOJ4	R15	HVDD	W9	ADIN0
D4	SDA10	J15	GPIOC7	R16	GPIOD4	W10	AVDD
D5	SDA4	J16	GPIOC5	R17	MD11	W11	MA18
D6	SDA3	J17	GPIOC4	R18	VSS	W12	HVDD
D7	CM1DATA1	J18	GPIOC3	R19	MD7	W13	MA10
D8	CM1DATA2	J19	GPIOC2	T1	VSS	W14	LVDD
D9	CM1DATA4	K1	SDCLK	T2	LVDD	W15	HVDD
D10	LVDD	K2	SDCLKEN	T3	SDD1	W16	MA0
D11	TCK	K3	SDVDD	T4	GPIOD7	W17	MOE#
D12	TMS	K4	SDVDD	T5	SDDQM0#	W18	MBEH#
D13	RESET#	K5	VSS	T6	CM2DATA3	W19	NC

注意：端子名称右端の#は、ローアクティブ信号であることを示しています。

3.2 端子の説明

- # : 端子名称右端の#は、そのローアクティブ信号であることを示しています。
 I : 入力ピン
 O : 出力ピン
 IO : 双方向ピン
 P : 電源

表 3.1 Cell Type の説明

Cell Type	説明	使用端子例	
		端子名	使用電源電圧
ILS	Low Voltage LVCMOS Schmitt input	BUP#	RTCVDD
ICD1	LVCMOS input with pull-down resistor (50kΩ@3.3V)	TESTEN[1:0],TESTCK	HVDD
ICU1	LVCMOS input with pull-up resistor (50kΩ@3.3V)	TMS, TDI	HVDD
ICSU1	LVCMOS Schmitt input with pull-up resistor (50kΩ@3.3V)	TRST#,TCK,RESET#	HVDD
ICSD1	LVCMOS Schmitt input with pull-down resistor (50kΩ@3.3V)	SYSCKSEL	HVDD
ILTR	Low Voltage Transparent Input	SYS_OSCI	RTCVDD
		USBCK_OSCI	UPVDD
		R1	UVDD3
IHTR	High Voltage Transparent Input	ADIN[7:0]	ADVDD
OLTR	Low Voltage Transpatent Output	SYS_OSCO,SYSVCP	PLLVD
		USBCK_OSCO	UPVDD
BLNC4U1	Low noise LVCMOS IO buffer with pull-up resistor (50kΩ@3.3V) (±4mA)	CF I/F	HVDD
BLNC4D2	Low noise LVCMOS IO buffer with pull-down resistor (100kΩ@3.3V) (±4mA)	MD [15:0]	HVDD
		SDD[15:0],GPIOJ,GPIOK	SDVDD
BLNS4	Low noise LVCMOS Schmitt IO buffer (±4mA)	GPIOA, GPIOB, GPIOC,GPIOD, SYSCCLKI	HVDD
BLNS4D1	Low noise LVCMOS Schmitt IO buffer with pull-down resistor (50kΩ@3.3V) (±4mA)	Camera I/F	C1VDD, C2VDD
OLN4	Low noise output buffer (±4mA)	SRAM デバイス I/F (MD を除く)	HVDD
		SDRAM I/F(SDD[15:0]を除く)	SDVDD
OTLN4	Low noise Tri-state output buffer (±4mA)	TDO	HVDD
USBDM	USB DM buffer	DM	UVDD3
USBDP	USB DP buffer	DP	UVDD3
USBVBUS	USB VBUS output buffer	VBUS	UVDD3

3. 端子

表 3.2 端子の説明

端子名称	Type	Cell Type	ピン No.	説明
(MA [23:20])	(I/O)	(BLNS4)		これらの端子については GPIO[3:0] の説明を参照してください。
MA [19:12]	O	OLN4	V11,W11,T10, U11,T11,V12, R11,U12	Flash-ROM/SRAM 用アドレス出力信号[19:12]
MA 11	O	OLN4	T12	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ MA11 : Flash-ROM/SRAM 用アドレス出力信号 11 (リセット直後の端子機能) ・ CFREG#出力信号 コンパクトフラッシュ(CF)インタフェース動作時は、CF インタフェースのアトリビュートおよび I/O 空間を選択する REG 信号として動作します。
MA [10:0]	O	OLN4	W13,R12,U13, T13,R13,R14, U14,V14,T15, U15,W16	これらの端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ MA[10:0] : Flash-ROM/SRAM 用アドレス出力信号 [10:0] (リセット直後の端子機能) ・ CFADDR[10:0]出力信号 CF インタフェース動作時は、CF インタフェースのアドレス信号[10:0]となります。
MBEL#	I/O	OLN4	U17	Flash-ROM/SRAM 用データバス下位バイト・イネーブル出力
MBEH#	I/O	OLN4	W18	Flash-ROM/SRAM 用データバス上位バイト・イネーブル出力
MD [15:0]	I/O	BLNC4D2	U19,U18,T17, T18,R17,T19, P15,P16,R19, P17,N15,P18, M16,N18,N16, N19	これらの端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ 16Bit の Flash-ROM/SRAM 用 Data Bus (リセット直後の端子機能) ・ CF インタフェース動作時は 16Bit データとなります。 ・ MODESEL[15:0] パワーオンリセット時 (RESET#の Low から High への遷移時)に内部の動作モードを決めるためにサンプリングされます。“4.1 システムコンフィギュレーション”の項を参照してください。 このとき、動作モードを決めるために外部でプルアップ抵抗が必要になる場合があります。(4.7~10kΩ程度の抵抗)
MCS [3:2]#	O	(BLNS4)	V15,R16	これらの端子については GPIO[5:4] の説明を参照してください。
MCS [1:0]#	O	OLN4	T16,V16	Flash-ROM/SRAM 用チップセレクト信号[1:0] (ローアクティブ信号)
MOE#	O	OLN4	W17	この端子は以下の機能を持っています。 (ローアクティブ信号) <ul style="list-style-type: none"> ・ MOE# : Flash-ROM/SRAM 用ストローブ信号 (リセット直後の端子機能) ・ CFOE#出力信号 CF インタフェース動作時は、CF インタフェースのメモリおよびアトリビュート空間の出カイネーブル信号となります。

端子名称	Type	Cell Type	ピン No.	説明
MWE#	O	OLN4	V17	この端子は以下の機能を持っています。 (ローアクティブ信号) ・ MWE# : Flash-ROM/SRAM 用 Write Enable 信号 (スタティックメモリ用) (リセット直後の端子機能) ・ CFWE#出力信号 CF インタフェース動作時は、CF インタフェースのメモリおよびアトリビュート空間のライトイネーブル信号となります。
SDA [14:0]	O	OLN4	B2,B1,C4, C1,D4,D2, D1,D3,E3, F3,D5,D6, F4,F1,E5	SDRAM 用アドレス出力[14:0]
SDD[31:16]	(I/O)	(BLNC4D2)		これらの端子については GPIOK[7:0],GPIOJ[7:0]の説明を参照してください。
SDD [15:0]	I/O	BLNC4D2	M4,N4,N3, N5,N1,P2, P3,P4,R4, R1,R2,R3, R5,R6,T3, U1	SDRAM 用データ入出力[15:0]
SDWE#	O	OLN4	H4	SDRAM 用 Write Enable 信号
SDCLK	O	OLN4	K1	SDRAM 用クロック出力 内部動作周波数 (CPUCLK) と同じ周波数が出力されます。
SDCLKEN	O	OLN4	K2	SDRAM 用クロック・イネーブル信号
SDRAS#	O	OLN4	J3	SDRAM 用 RAS 信号 (ローアクティブ信号)
SDCAS#	O	OLN4	H5	SDRAM 用 CAS 信号 (ローアクティブ信号)
SDCS[1:0]#	O	OLN4	J1,J2	SDRAM 用チップセレクト信号 (ローアクティブ信号)
SDDQM[3:2]#	(I/O)	(BLNS4)		これらの端子については GPIOD[7:6]の説明を参照してください。
SDDQM[1:0]#	O	OLN4	U2,T5	SDRAM 用 DQM 信号 (ローアクティブ信号) SDDQM0#が下位バイトに対応し、SDDQM1#が上位バイトに対応します。
CM1DATA[7:0]	I/O	BLNS4D1	C7,B6,C6, D9,B5,D8, D7,E9	これらの端子は以下の機能を持っています。リセット時は GPIOE[7:0]入力になっています。 ・ CM1DATA[7:0] : Progressive カメラ 1YUV データ入力 CM1DATA[7:0]端子として使用するためには GPIOE 端子機能レジスタのビット[15:0]を“GPIO 以外の機能 1”に設定してください。 ・ IPC1DATA[7:0] : Interlace カメラ 1YUV データ入力 IPC1DATA[7:0]端子として使用するためには GPIOE 端子機能レジスタのビット[15:0]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOE[7:0]入出力 (リセット直後の端子機能)

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
CM1VREF	I/O	BLNS4D1	C5	<p>この端子は以下の機能を持っています。リセット時は GPIOF0 入力になっています。</p> <ul style="list-style-type: none"> ・ CM1VREF : Progressive カメラ 1 データ入力時の垂直同期入力 CM1VREF 端子として使用するためには GPIOF 端子機能レジスタのビット[1:0]を“GPIO 以外の機能 1”に設定してください。 ・ IPC1VREF : Interlace カメラ 1 データ入力時の垂直同期入力 IPC1VREF 端子として使用するためには GPIOF 端子機能レジスタのビット[1:0]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF0 入出力（リセット直後の端子機能）
CM1HREF	I/O	BLNS4D1	B3	<p>この端子は以下の機能を持っています。リセット時は GPIOF1 入力になっています。</p> <ul style="list-style-type: none"> ・ CM1HREF : Progressive カメラ 1 データ入力時の水平同期入力 CM1HREF 端子として使用するためには GPIOF 端子機能レジスタのビット[3:2]を“GPIO 以外の機能 1”に設定してください。 ・ IPC1HREF : Interlace カメラ 1 データ入力時の水平同期入力 IPC1HREF 端子として使用するためには GPIOF 端子機能レジスタのビット[3:2]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF1 入出力（リセット直後の端子機能）
CM1CLKOUT	I/O	BLNS4D1	A3	<p>この端子は以下の機能を持っています。リセット時は GPIOF2 入力になっています。</p> <ul style="list-style-type: none"> ・ CM1CLKOUT : Progressive カメラ 1 用基本クロック出力 CM1CLKOUT 端子として使用するためには GPIOF 端子機能レジスタのビット[5:4]を“GPIO 以外の機能 1”に設定してください。 ・ IPC1FIELD : Interlace カメラ 1 用フィールド識別信号入力 IPC1FIELD 端子として使用するためには GPIOF 端子機能レジスタのビット[5:4]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF2 入出力（リセット直後の端子機能）
CM1CLKIN	I/O	BLNS4D1	A2	<p>この端子は以下の機能を持っています。リセット時は GPIOF3 入力になっています。</p> <ul style="list-style-type: none"> ・ CM1CLKIN : Progressive カメラ 1 データ入力用ピクセルクロック CM1CLKIN 端子として使用するためには GPIOF 端子機能レジスタのビット[7:6]を“GPIO 以外の機能 1”に設定してください。 ・ IPC1CLKIN : Interlace カメラ 1 データ入力用ピクセルクロック IPC1CLKIN 端子として使用するためには GPIOF 端子機能レジスタのビット[7:6]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF3 入出力（リセット直後の端子機能）

端子名称	Type	Cell Type	ピン No.	説明
CM2DATA[7:0]	I/O	BLNS4D1	U8,R8,U7, U5,T6,T7, R7,V4	これらの端子は以下の機能を持っています。リセット時は GPIOG[7:0]入力になっています。 <ul style="list-style-type: none"> ・ CM2DATA[7:0] : Progressive カメラ 2YUV データ入力 CM2DATA[7:0]端子として使用するためには GPIOG 端子機能レジスタのビット[15:0]を“GPIO 以外の機能 1”に設定してください。 ・ IPC2DATA[7:0] : Interlace カメラ 2YUV データ入力 IPC2DATA[7:0]端子として使用するためには GPIOG 端子機能レジスタのビット[15:0]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOG[7:0]入出力（リセット直後の端子機能）
CM2VREF	I/O	BLNS4D1	V3	この端子は以下の機能を持っています。リセット時は GPIOF4 入力になっています。 <ul style="list-style-type: none"> ・ CM2VREF : Progressive カメラ 2 データ入力時の垂直同期入力 CM2VREF 端子として使用するためには GPIOF 端子機能レジスタのビット[9:8]を“GPIO 以外の機能 1”に設定してください。 ・ IPC2VREF : Interlace カメラ 2 データ入力時の垂直同期入力 IPC2VREF 端子として使用するためには GPIOF 端子機能レジスタのビット[9:8]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF4 入出力（リセット直後の端子機能）
CM2HREF	I/O	BLNS4D1	U3	この端子は以下の機能を持っています。リセット時は GPIOF5 入力になっています。 <ul style="list-style-type: none"> ・ CM2HREF : Progressive カメラ 2 データ入力時の水平同期入力 CM2HREF 端子として使用するためには GPIOF 端子機能レジスタのビット[11:10]を“GPIO 以外の機能 1”に設定してください。 ・ IPC2HREF : Interlace カメラ 2 データ入力時の水平同期入力 IPC2HREF 端子として使用するためには GPIOF 端子機能レジスタのビット[11:10]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF5 入出力（リセット直後の端子機能）
CM2CLKOUT	I/O	BLNS4D1	W3	この端子は以下の機能を持っています。リセット時は GPIOF6 入力になっています。 <ul style="list-style-type: none"> ・ CM2CLKOUT : Progressive カメラ 2 用基本クロック出力 CM2CLKOUT 端子として使用するためには GPIOF 端子機能レジスタのビット[13:12]を“GPIO 以外の機能 1”に設定してください。 ・ IPC2FIELD : Interlace カメラ 2 用フィールド識別信号入力 IPC2FIELD 端子として使用するためには GPIOF 端子機能レジスタのビット[13:12]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF6 入出力（リセット直後の端子機能）

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
CM2CLKIN	I/O	BLNS4D1	W2	<p>この端子は以下の機能を持っています。リセット時は GPIOF7 入力になっています。</p> <ul style="list-style-type: none"> ・ CM2CLKIN : Progressive カメラ 2 データ入力用ピクセルクロック CM2CLKIN 端子として使用するためには GPIOF 端子機能レジスタのビット[15:14]を“GPIO 以外の機能 1”に設定してください。 ・ IPC2CLKIN : Interlace カメラ 2 データ入力用ピクセルクロック IPC2CLKIN 端子として使用するためには GPIOF 端子機能レジスタのビット[15:14]を“GPIO 以外の機能 2”に設定してください。 ・ GPIOF7 入出力（リセット直後の端子機能）
CFCE2#	I/O	BLNC4U1	M15	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFCE2# : Compact Flash Memory Interface 用（以下 CF 用）カードイネーブル 2(CE2#)出力（ローアクティブ信号） この端子は、リセット時は GPIOH0 入力になっています。CFCE2#端子として使用するためには GPIOH 端子機能レジスタのビット[1:0]を“GPIO 以外の機能 1”に設定してください。 ・ GPIOH0 入出力（リセット直後の端子機能） ・ SDMDATA0 : SD カード用データ入出力 0（GPIO 以外の端子機能 2）
CFCE1#	I/O	BLNC4U1	M17	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFCE1# : CF 用カードイネーブル 1 (CE1#) 出力（ローアクティブ信号） この端子は、リセット時は GPIOH1 入力になっています。CFCE1#端子として使用するためには GPIOH 端子機能レジスタのビット[3:2]を“GPIO 以外の機能 1”に設定してください。 ・ GPIOH1 入出力（リセット直後の端子機能） ・ SDMDATA1 : SD カード用データ入出力 1（GPIO 以外の端子機能 2）
CFIORD#	I/O	BLNC4U1	M18	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFIORD# : CF 用 IO Read ストローブ出力（ローアクティブ信号） この端子は、リセット時は GPIOH2 入力になっています。CFIORD#端子として使用するためには GPIOH 端子機能レジスタのビット[5:4]を“GPIO 以外の機能 1”に設定してください。 ・ GPIOH2 入出力（リセット直後の端子機能） ・ SDMDATA2 : SD カード用データ入出力 2（GPIO 以外の端子機能 2）
CFIOWR#	I/O	BLNC4U1	M19	<p>この端子は以下の機能を持っています。</p> <p>（ローアクティブ信号）</p> <ul style="list-style-type: none"> ・ CFIOWR# : CF 用 IO Write ストローブ出力 この端子は、リセット時は GPIOH3 入力になっています。CFIOWR#端子として使用するためには GPIOH 端子機能レジスタのビット[7:6]を“GPIO 以外の機能 1”に設定してください。 ・ GPIOH3 入出力（リセット直後の端子機能） ・ SDMDATA3 : SD カード用データ入出力 3（GPIO 以外の端子機能 2）

端子名称	Type	Cell Type	ピン No.	説明
CFWAIT#	I/O	BLNC4U1	L16	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFWAIT# : CF 用ウェイト要求力 (ローアクティブ信号) <p>この端子は、リセット時は GPIOH4 入力になっています。CFWAIT#端子として使用するためには GPIOH 端子機能レジスタのビット[9:8]を“GPIO 以外の機能 1”に設定してください。</p> <ul style="list-style-type: none"> ・ GPIOH4 入出力 (リセット直後の端子機能) ・ SDMCMD : SD カード用コマンド入出力 (GPIO 以外の機能 2)
CFRST	I/O	BLNC4U1	L17	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFRST : CF カードへのリセット信号 <p>カードリセット時に HIGH、カードの通常動作時に LOW となります。</p> <p>この端子は、リセット時は GPIOH5 入力になっています。CFRST 端子として使用するためには GPIOH 端子機能レジスタのビット[11:10]を“GPIO 以外の機能 1”に設定してください。</p> <ul style="list-style-type: none"> ・ GPIOH5 入出力 (リセット直後の端子機能) ・ SDMCLK : SD カード用クロック出力 (GPIO 以外の機能 2)
CFIRQ	I/O	BLNC4U1	L19	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFIRQ : CF カードからの割り込み要求信号 <p>この端子は、リセット時は GPIOH6 入力になっています。CFIRQ 端子として使用するためには GPIOH 端子機能レジスタのビット[13:12]を“GPIO 以外の機能 1”に設定してください。</p> <ul style="list-style-type: none"> ・ GPIOH6 入出力 (リセット直後の端子機能) ・ SDMCD# : SD カード用カードディテクト入力 (GPIO 以外の機能 2)
CFSTSCHG#	I/O	BLNC4U1	K19	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFSTSCHG# : CF カードからのステータスチェンジ信号 (ローアクティブ信号) <p>この端子は、リセット時は GPIOH7 入力になっています。CFSTSCHG#端子として使用するためには GPIOH 端子機能レジスタのビット[15:14]を“GPIO 以外の機能 1”に設定してください。</p> <ul style="list-style-type: none"> ・ GPIOH7 入出力 (リセット直後の端子機能) ・ SDMWP : SD カード用ライトプロテクト入力 (GPIO 以外の機能 2)
CFDEN#	I/O	BLNC4U1	K16	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・ CFDEN# : CF カードの外部バッファ用データバスイネーブル信号 (ローアクティブ信号) <p>この端子は、リセット時は GPIOI0 入力になっています。CFDEN#端子として使用するためには GPIOI 端子機能レジスタのビット[1:0]を“GPIO 以外の機能 1”に設定してください。</p> <ul style="list-style-type: none"> ・ GPIOI0 入出力端子 (リセット直後の端子機能) ・ SDMGPO : SD カード用汎用出力 (GPIO 以外の機能 2)

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
CFDDIR	I/O	BLNC4U1	K17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ CFDDIR : CF 用データバス方向指示出力 この端子は、CF 用データのリード時に LOW となります。また、この端子はリセット時には GPIOI1 入力になっています。CFDDIR 端子として使用するためには GPIOI 端子機能レジスタのビット[3:2]を“GPIO 以外の機能 1”に設定してください。 ・ GPIOI1 入出力（リセット直後の端子機能）
R1	I	ILTR	A17	USB Device 内部動作設定端子
DM	I/O	USBDM	A15	USB Device D- 入出力
DP	I/O	USBDP	A14	USB Device D+ 入出力
VBUS	I	USBVBUS	C14	USB Device VBUS 入力
ADIN[7:0]	I	IHTR	V6,W6, V7,W7, V8,W8, V9,W9	アナログ信号入力
GPIOA0	I/O	BLNS4	D17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA0 入出力（リセット直後の端子機能） ・ TXD1 : UART1 送信データ出力（GPIO 以外の機能 1）
GPIOA1	I/O	BLNS4	D19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA1 入出力（リセット直後の端子機能） ・ RXD1 : UART1 受信データ入力（GPIO 以外の機能 1）
GPIOA2	I/O	BLNS4	D15	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA2 入出力（リセット直後の端子機能） ・ RTS1 : UART1 送信要求出力（GPIO 以外の機能 1） ・ I2S1_WS : I2S1 用ワードセレクト（GPIO 以外の機能 2）
GPIOA3	I/O	BLNS4	E17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA3 入出力（リセット直後の端子機能） ・ CTS1 : UART1 送信可能入力（GPIO 以外の機能 1） ・ I2S1_SCK : I2S1 用シリアルクロック（GPIO 以外の機能 2）
GPIOA4	I/O	BLNS4	D16	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA4 入出力（リセット直後の端子機能） ・ TXD2 : UART2 送信データ出力（GPIO 以外の機能 1）
GPIOA5	I/O	BLNS4	E19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA5 入出力（リセット直後の端子機能） ・ RXD2 : UART2 受信データ入力（GPIO 以外の機能 1）
GPIOA6	I/O	BLNS4	F17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA6 入出力（リセット直後の端子機能） ・ RTS2 : UART2 送信要求出力（GPIO 以外の機能 1） ・ SCL : I2C クロック入出力（GPIO 以外の機能 2）
GPIOA7	I/O	BLNS4	F19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOA7 入出力（リセット直後の端子機能） ・ CTS2 : UART2 受信可能入力（GPIO 以外の機能 1） ・ SDA : I2C データ入出力（GPIO 以外の機能 2）
GPIOB0	I/O	BLNS4	E16	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB0 入出力（リセット直後の端子機能） ・ INT0 入力 ・ I2S0_WS : I2S0 用ワードセレクト（GPIO 以外の機能 1）

端子名称	Type	Cell Type	ピン No.	説明
GPIOB1	I/O	BLNS4	E15	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB1 入出力（リセット直後の端子機能） ・ INT1 入力 ・ I2S0_SCK : I2S0 用シリアルクロック（GPIO 以外の機能 1）
GPIOB2	I/O	BLNS4	F16	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB2 入出力（リセット直後の端子機能） ・ INT2 入力 ・ I2S0_SD : I2S0 用シリアルデータ（GPIO 以外の機能 1）
GPIOB3	I/O	BLNS4	E14	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB3 入出力（リセット直後の端子機能） ・ INT3 入力 ・ I2S1_SD : I2S1 用シリアルデータ（GPIO 以外の機能 1）
GPIOB4	I/O	BLNS4	G19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB4 入出力（リセット直後の端子機能） ・ INT4 入力 ・ TimerA0Out（GPIO 以外の機能 1）
GPIOB5	I/O	BLNS4	G17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB5 入出力（リセット直後の端子機能） ・ INT5 入力 ・ TimerA1Out（GPIO 以外の機能 1） ・ DREQ#（GPIO 以外の機能 2）
GPIOB6	I/O	BLNS4	H17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB6 入出力（リセット直後の端子機能） ・ INT6 入力 ・ TimerA2Out（GPIO 以外の機能 1）
GPIOB7	I/O	BLNS4	H19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOB7 入出力（リセット直後の端子機能） ・ INT7 入力 ・ TimerBIn（GPIO 以外の機能 1）
GPIOC0	I/O	BLNS4	H16	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOC0 入出力（リセット直後の端子機能） ・ TimerB0IO（GPIO 以外の機能 1）
GPIOC1	I/O	BLNS4	G15	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOC1 入出力（リセット直後の端子機能） ・ TimerB1IO（GPIO 以外の機能 1） ・ DACK#（GPIO 以外の機能 2）
GPIOC2	I/O	BLNS4	J19	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOC2 入出力（リセット直後の端子機能） ・ TimerB2IO（GPIO 以外の機能 1） ・ CFRST#（GPIO 以外の機能 2）
GPIOC3	I/O	BLNS4	J18	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOC3 入出力（リセット直後の端子機能） ・ TimerB3IO（GPIO 以外の機能 1） ・ UART3_CLK（GPIO 以外の機能 2）
GPIOC4	I/O	BLNS4	J17	この端子は以下の機能を持っています。 <ul style="list-style-type: none"> ・ GPIOC4 入出力（リセット直後の端子機能） ・ SPI_SS : SPI 用チップセレクト（GPIO 以外の機能 1） ・ TXD3 : UART3 送信データ出力（GPIO 以外の機能 2）

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
GPIOC5	I/O	BLNS4	J16	この端子は以下の機能を持っています。 ・ GPIOC5 入出力（リセット直後の端子機能） ・ SPI_SCLK : SPI 用シリアルクロック（GPIO 以外の機能 1） ・ RXD3 : UART3 受信データ入力（GPIO 以外の機能 2）
GPIOC6	I/O	BLNS4	H15	この端子は以下の機能を持っています。 ・ GPIOC6 入出力（リセット直後の端子機能） ・ SPI_MISO: SPI 用シリアルデータマスタ入力/スレーブ出力（GPIO 以外の機能 1） ・ RTS3 : UART3 送信要求出力（GPIO 以外の機能 2）
GPIOC7	I/O	BLNS4	J15	この端子は以下の機能を持っています。 ・ GPIOC6 入出力（リセット直後の端子機能） ・ SPI_MOSI: SPI 用シリアルデータマスタ出力/スレーブ入力（GPIO 以外の機能 1） ・ CTS3 : UART3 受信可能入力（GPIO 以外の機能 2）
GPIOD[3:0]	I/O	BLNS4	U9,T8, T9,U10	この端子は以下の機能を持っています。 ・ GPIOD [3:0]入出力（リセット直後の端子機能） ・ MA [23:20] : アドレス出力信号 [23:20]（GPIO 以外の機能 1）
GPIOD[5:4]	I/O	BLNS4	V15,R16	この端子は以下の機能を持っています。 ・ GPIOD[5:4]入出力（リセット直後の端子機能） ・ MCS[3:2]# : メモリ用チップセレクト出力信号（GPIO 以外の機能 1）
GPIOD6	I/O	BLNS4	V1	この端子は以下の機能を持っています。 ・ GPIOD6 入出力（リセット直後の端子機能） ・ SDRAM 用 DQM2#信号（ローアクティブ信号） ・ SDDQM2# : SDRAM32 ビットデータ幅の上位 16 ビットの下位バイトに対応（GPIO 以外の機能 1）
GPIOD7	I/O	BLNS4	T4	この端子は以下の機能を持っています。 ・ GPIOD7 入出力（リセット直後の端子機能） ・ SDRAM 用 DQM3#信号（ローアクティブ信号） ・ SDDQM3# : SDRAM32 ビットデータ幅の上位 16 ビットの上位バイトに対応（GPIO 以外の機能 1）
GPIOJ[7:0]	I/O	BLNC4D2	J4,L2, L4,J5, L3,M2, M3,M1	この端子は以下の機能を持っています。 ・ GPIOJ[7:0]入出力（リセット直後の端子機能） ・ SDD[23:16] : SDRAM 用データ入出力（GPIO 以外の機能 1）
GPIOK[7:0]	I/O	BLNC4D2	G1,G2, E6,E7, G3,H3, F5,G4	この端子は以下の機能を持っています。 ・ GPIOK[7:0]入出力（リセット直後の端子機能） ・ SDD[31:24] : SDRAM 用データ入出力（GPIO 以外の機能 1）
SYSCLKI	I/O	BLNS4	A10	32KHz システムクロック入力 SYSCKSEL="High"の時、基本クロック入力。 SYSCKSEL="Low"の時、設定により 32KHz またはシステムクロックの 1/4 が出力。
SYS_OSCI	I	ILTR	A6	水晶振動子用接続端子 動作クロック発振端子です。32KHz の水晶振動子を接続します。
SYS_OSCO	O	OLTR	A5	水晶振動子用接続端子 動作クロック発振端子です。32KHz の水晶振動子を接続します。
SYSVCP	O	OLTR	A9	内蔵 PLL 用システムテスト端子 システムのテスト時に PLL の出力をモニタするために使用します。 通常使用時はオープンにしてください。

端子名称	Type	Cell Type	ピン No.	説明
SYSCSEL	I	ICSD1	B10	32KHz システムクロック入力の水晶振動子/発振器の選択信号 SYSCSEL="High"の時、水晶発振器を使用。 SYSCSEL="Low"の時、水晶振動子を使用。
USBCK_OSCI	I	ILTR	C19	水晶振動子用接続端子 USB 専用の動作クロック発振端子です。12/24MHz の水晶振動子を接続します。
USBCK_OSCO	O	OLTR	B19	水晶振動子用接続端子 USB 専用の動作クロック発振端子です。12/24MHz の水晶振動子を接続します。
TRST#	I	ICSD1	B11	JTAG Interface 用リセット（ローアクティブ信号） プルダウン抵抗付シュミットトリガ入力になっています。
TCK	I	ICSU1	D11	JTAG Interface 用クロック入力ピン シュミットトリガ入力になっています。
TMS	I	ICU1	D12	JTAG Interface 用 TMS ピン この端子はプルアップ抵抗を内蔵しています。
TDI	I	ICU1	E13	JTAG Interface 用シリアルデータ入力ピン この端子はプルアップ抵抗を内蔵しています。
TDO	O	OTLN4	C12	JTAG Interface 用シリアルデータ出力ピン
TESTEN0	I	ICD1	C11	テストイネーブル 0（ハイアクティブ信号） この端子はプルダウン抵抗を内蔵しています。 通常使用時は VSS へ接続するか、またはオープンにしてください。
TESTEN1	I	ICD1	E10	テストイネーブル 1（ハイアクティブ信号） この端子はプルダウン抵抗を内蔵しています。 通常使用時は VSS へ接続するか、またはオープンにしてください。
TESTCK	I	ICD1	B12	テストクロック端子 この端子はプルダウン抵抗を内蔵しています。 通常使用時は VSS へ接続するか、またはオープンにしてください。
RESET#	I	ICSU1	D13	システムリセット信号（ローアクティブ信号） HVDD1 および LVDD が安定した後も 100ms の間 Reset#をアクティブ(Low) に保ってください。
BUP#	I	ILS	B8	スタンバイ信号（ローアクティブ信号）1.8V 信号
HVDD	P	P	C9,C16,D14, E18,G16,H18, L15,R10,R15, W12,W15	I/O セル用電源 : 3.3V(Typical) 3.0V (Min) – 3.6V (Max)
C1VDD	P	P	A4	カメラ 1 インタフェース用電源 : 3.0 (Typical) 2.4V (Min) – 3.6V (Max)
C2VDD	P	P	W4	カメラ 2 インタフェース用電源 : 3.0 (Typical) 2.4V (Min) – 3.6V (Max)
SDVDD	P	P	C3,F2, K3,K4, P1	SDRAM 用電源 3.3V(Typical) 2.7V (Min) – 3.6V (Max)
AVDD	P	P	V5,W5, W10	A/D C 用電源 : 3.3V(Typical) 3.0V (Min) – 3.6V (Max)
UVDD3	P	P	A16,B14	USB 用電源 : 3.3V(Typical) 3.0V (Min) – 3.6V (Max)

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
LVDD	P	P	A11,D10,D18, E1,E12,F15, F18,H1,K15, K18,L5,P19, T2,V18,W14	コア（内部）用電源：1.8V(Typical) 1.65V (Min) – 1.95V (Max)
UPVDD	P	P	A18	USB 用電源：1.8V(Typical) 1.65V (Min) – 1.95V (Max)
UXVDD	P	P	A13	USB 用電源：1.8V(Typical) 1.65V (Min) – 1.95V (Max)
PLLVD	P	P	B9	アナログ(PLL)用電源：1.8V(Typical) 1.65V (Min) – 1.95V (Max) アナログ電源としての取り扱いが必要です。ノイズの少ない安定した電源を供給してください。
RTCVDD	P	P	A7	RTC 用電源：1.8V(Typical) 1.65V (Min) – 1.95V (Max)
UVSS	P	P	B15,B17	USB 用グラウンド
PVSS	P	P	B18	USB 用グラウンド
XVSS	P	P	B13	USB 用グラウンド
AVSS	P	P	U6,V10	A/D C 用グラウンド
PLLVSS	P	P	A8	アナログ(PLL)用グラウンド アナログ電源としての取り扱いが必要です。ノイズの少ない安定したグラウンドを供給してください。
VSS	P	P	A12,B4,B7, B16,C2,C8, C10,C13,C15, C17,C18,E2, E4,E8,E11, G5,G18,H2, K5,L1,L18, M5,N2,N17, P5,R9,R18, T1,T14,U4, U16,V2,V13, V19	I/O セル、カメラインタフェースおよびコア電源共通グラウンド

3.3 GPIO 端子のマルチプレクス端子機能、リセット直後の端子機能

S2S65A30 端子名称	リセット 直後の 端子機能	FlashROM/ SAM 拡張	SDRAM 拡張	UART	I2C/ I2S/ SPI	タイマ	Progressive カメラ I/F	Interlace カメラ I/F	CF カード	SD カード
GPIOA0	GPIOA0			TXD1						
GPIOA1	GPIOA1			RXD1						
GPIOA2	GPIOA2			RTS1	I2S1_WS					
GPIOA3	GPIOA3			CTS1	I2S1_SCK					
GPIOA4	GPIOA4			TXD2						
GPIOA5	GPIOA5			RXD2						
GPIOA6	GPIOA6			RTS2	SCL					
GPIOA7	GPIOA7			CTS2	SDA					
GPIOB0	GPIOB0				I2S0_WS					
GPIOB1	GPIOB1				I2S0_SCK					
GPIOB2	GPIOB2				I2S0_SD					
GPIOB3	GPIOB3				I2S1_SD					
GPIOB4	GPIOB4					TimerA0out				
GPIOB5	GPIOB5	DREQ#				TimerA1out				
GPIOB6	GPIOB6					TimerA2out				
GPIOB7	GPIOB7					TimerBIN				
GPIOC0	GPIOC0					TimerB0IO				
GPIOC1	GPIOC1	DACK#				TimerB1IO				
GPIOC2	GPIOC2					TimerB2IO			CFRST	
GPIOC3	GPIOC3			UART3_CLK		TimerB3IO				
GPIOC4	GPIOC4			TXD3	SPI_SS					
GPIOC5	GPIOC5			RXD3	SPI_SCLK					
GPIOC6	GPIOC6			RTS3	SPI_MISO					
GPIOC7	GPIOC7			CTS3	SPI_MOSI					
GPIOD0	GPIOD0	MA20								
GPIOD1	GPIOD1	MA21								
GPIOD2	GPIOD2	MA22								
GPIOD3	GPIOD3	MA23								
GPIOD4	GPIOD4	MCS2#								
GPIOD5	GPIOD5	MCS3#								
GPIOD6	GPIOD6		SDDQM2#							
GPIOD7	GPIOD7		SDDQM3#							
CM1DATA0	GPIOE0						CM1DATA0	IPC1DATA0		
CM1DATA1	GPIOE1						CM1DATA1	CM1DATA1		
CM1DATA2	GPIOE2						CM1DATA2	IPC1DATA2		
CM1DATA3	GPIOE3						CM1DATA3	IPC1DATA3		
CM1DATA4	GPIOE4						CM1DATA4	IPC1DATA4		
CM1DATA5	GPIOE5						CM1DATA5	IPC1DATA5		
CM1DATA6	GPIOE6						CM1DATA6	IPC1DATA6		
CM1DATA7	GPIOE7						CM1DATA7	IPC1DATA7		
CM1VREF	GPIOF0						CM1VREF	IPC1VREF		
CM1HREF	GPIOF1						CM1HREF	IPC1HREF		
CM1CLKOUT	GPIOF2						CM1CLKOUT	IPC1FIELD		
CM1CLKIN	GPIOF3						CM1CLKIN	IPC1CLKIN		
CM2VREF	GPIOF4						CM2VREF	IPC2VREF		
CM2HREF	GPIOF5						CM2HREF	IPC2HREF		
CM2CLKOUT	GPIOF6						CM2CLKOUT	IPC2FIELD		
CM2CLKIN	GPIOF7						CM2CLKIN	IPC2CLKIN		
CM2DATA0	GPIOG0						CM2DATA0	IPC2DATA0		
CM2DATA1	GPIOG1						CM2DATA1	IPC2DATA1		
CM2DATA2	GPIOG2						CM2DATA2	IPC2DATA2		
CM2DATA3	GPIOG3						CM2DATA3	IPC2DATA3		
CM2DATA4	GPIOG4						CM2DATA4	IPC2DATA4		
CM2DATA5	GPIOG5						CM2DATA5	IPC2DATA5		
CM2DATA6	GPIOG6						CM2DATA6	IPC2DATA6		
CM2DATA7	GPIOG7						CM2DATA7	IPC2DATA7		

3. 端子

S2S65A30 端子名称	リセット 直後の 端子機能	FlashROM/ SAM 拡張	SDRAM 拡張	UART/ SPI	I2C/ I2S	タイマ	Progressive カメラ I/F	Interlace カメラ I/F	CF カード	SD カード
CFCE2#	GPIOH0								CFCE2#	SDMDATA0
CFCE1#	GPIOH1								CFCE1#	SDMDATA1
CFIORD#	GPIOH2								CFIORD#	SDMDATA2
CFIOWR#	GPIOH3								CFIOWR#	SDMDATA3
CFWAIT#	GPIOH4								CFWAIT#	SDMCMD
CFRST	GPIOH5								CFRST	SDMCLK
CFIRQ	GPIOH6								CFIRQ	SDMCD#
CFSTSCHG#	GPIOH7								CFSTSCHG#	SDMWVP
CFDEN#	GPIOI0								CFDEN#	SDMGPO
CFDDIR	GPIOI1								CFDDIR	
GPIOJ0	GPIOJ0		SDD16							
GPIOJ1	GPIOJ1		SDD17							
GPIOJ2	GPIOJ2		SDD18							
GPIOJ3	GPIOJ3		SDD19							
GPIOJ4	GPIOJ4		SDD20							
GPIOJ5	GPIOJ5		SDD21							
GPIOJ6	GPIOJ6		SDD22							
GPIOJ7	GPIOJ7		SDD23							
GPIOK0	GPIOK0		SDD24							
GPIOK1	GPIOK1		SDD25							
GPIOK2	GPIOK2		SDD26							
GPIOK3	GPIOK3		SDD27							
GPIOK4	GPIOK4		SDD28							
GPIOK5	GPIOK5		SDD29							
GPIOK6	GPIOK6		SDD30							
GPIOK7	GPIOK7		SDD31							

機能 1 : 機能 1

機能 2 : 機能 2

3.4 リセット中の端子の状態

Pin Name	RESET 中の方向	RESET 中の値	内蔵抵抗の有無	説明
MA[19:0]	出力	Low (但し、bit11 のみ High)	無し	
MD[15:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	100kΩ
MCS[1:0]#	出力	High	無し	
MCS[3:2]#	入力	High-Z	無し	外部回路依存(GPIOD[5:4])
MBEL#	出力	Low	無し	
MBEH#	出力	Low	無し	
MOE#	出力	High	無し	
MWE#	出力	High	無し	
SDA[14:0]	出力	Low	無し	
SDD[15:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	100kΩ
SDCS[1:0]#	出力	High	無し	
SDWE#	出力	High	無し	
SDCLK	出力	SDCLK(32KHz)	無し	
SDLKEN	出力	Low	無し	
SDRAS#	出力	High	無し	
SDCAS#	出力	High	無し	
SDDQM[1:0]#	出力	Low	無し	
CM1DATA[7:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM1VREF	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM1HREF	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM1CLKOUT	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM1CLKIN	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM2DATA[7:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM2VREF	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM2HREF	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM2CLKOUT	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CM2CLKIN	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
CFCE2#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFCE1#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFIORD#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFIOWR#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFWAIT#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFRST	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFIRQ	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFSTSCHG#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFDEN#	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
CFDDIR	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
GPIOA[7:0]	入力	High-Z	無し	外部回路依存
GPIOB[7:0]	入力	High-Z	無し	外部回路依存
GPIOC[7:0]	入力	High-Z	無し	外部回路依存
GPIOD[7:0]	入力	High-Z	無し	外部回路依存
GPIOJ[7:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	100kΩ
GPIOK[7:0]	入力	High-Z(Pull-down)	Pull Down 抵抗有り	100kΩ
SYSClKI	—	High-Z	無し	SYSCSEL に依存
SYSVCP	出力	High-Z	無し	Open のまま使用する
SYSCSEL	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
TRST#	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
TCK	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
TMS	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
TDI	入力	High-Z(Pull-up)	Pull Up 抵抗有り	50kΩ
TDO	出力	High-Z	無し	
TESTEN0	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
TESTEN1	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
TESTCK	入力	High-Z(Pull-down)	Pull Down 抵抗有り	50kΩ
RESET#	入力	Low	無し	

4. 機能説明

4. 機能説明

4.1 システムコンフィギュレーション

S2S65A30 ではチップの内部動作を、MD バスから決めるようになっています。

具体的にはリセット中の MD[15:0]バスの値を RESET#がアクティブの期間中及びその立ち上がりに内部でサンプルし、確定させることにより、IC の動作モードが確定します。また、MD バス内部にはプルダウン抵抗 (Typ: 100KΩ) が内蔵されているため、通常は何もする必要はありません。システムの都合によっては外部にプルアップ抵抗をつけ、動作モードの変更を行うことができます。

外部にプルアップ抵抗をつけた場合には、外部のプルアップ抵抗と内部のプルダウン抵抗による定常電流が存在することになります。しかし S2S65A30 では、このチップ内部のプルダウン抵抗をソフトウェアにより切り離すことによりこの定常電流を切ることができます。

詳細は“13. システムコントローラ”を参照してください。

表 4.1 システムコンフィギュレーション端子 MODESEL[15:0]

端子名	端子機能	リセット時の値	
		Low	High
MD0	MODESEL0	32KHz Mode (通常動作)	予約 (テスト用) *
MD1	MODESEL1	水晶発振安定待ち時間 00 : 約 3 秒 01 : 約 100msec 10 : 約 20msec 11 : 約 2msec	
MD2	MODESEL2		
MD3	MODESEL3	USER 設定用	USER 設定用
MD4	MODESEL4	USER 設定用	USER 設定用
MD5	MODESEL5	USER 設定用	USER 設定用
MD6	MODESEL6	USER 設定用	USER 設定用
MD7	MODESEL7	USER 設定用	USER 設定用
MD8	MODESEL8	USER 設定用	USER 設定用
MD9	MODESEL9	USER 設定用	USER 設定用
MD10	MODESEL10	USER 設定用	USER 設定用
MD11	MODESEL11	USER 設定用	USER 設定用
MD12	MODESEL12	USER 設定用	USER 設定用
MD13	MODESEL13	USER 設定用	USER 設定用
MD14	MODESEL14	USER 設定用	USER 設定用
MD15	MODESEL15	USER 設定用	USER 設定用

注意 * : 予約 (テスト用) と指定されている設定は使用しないでください。予約 (テスト用) の設定を使用した場合には IC の破壊に至ることがあります。

MD0 : クロック入力の設定
 Low : 32KHz (PLL 入力 : 通常動作)
 High : 予約 (テスト用 : ユーザは使用できません。)

MD[2:1] : 水晶発振安定待ち時間設定
 00 : 約 3 秒
 01 : 約 100msec
 10 : 約 20msec
 11 : 約 2msec

MD [15:3] : ユーザ用に 12Bits 分を開放しています。
 設定された値はシステムコントローラ内の Chip Configuration Register に反映されます。ユーザ側で用途を決めて利用できます。

4.2 メモリマップ

内部では3つの AHB Bus が存在しますが、ARM720T が接続された AHB Bus 側を以下 AHB1 Bus、DMAC2 に接続された Bus を AHB2、DMAC3 に接続された Bus を AHB3 と呼びます。ARM720T がアクセス可能な Bus が AHB1、DMAC2 がアクセス可能な Bus が AHB2、DMAC3 がアクセス可能な Bus が AHB3 になります。

4.2.1 メモリマップ

表 4.2 メモリマップ

Start Address	End Address	Size	AHB1	AHB2	AHB3	Chip Select Pin
0x0000_0000	0x00FF_FFFF	16MB	External ROM			MCS0#
0x0100_0000	0x03FF_FFFF	48MB	Reserved			
0x0400_0000	0x04FF_FFFF	16MB	External SRAM			MCS1#
0x0500_0000	0x07FF_FFFF	48MB	Reserved			
0x0800_0000	0x08FF_FFFF	16MB	External SRAM			MCS2#
0x0900_0000	0x0BFF_FFFF	48MB	Reserved			
0x0C00_0000	0x0CFF_FFFF	16MB	External SRAM			MCS3#
0x0D00_0000	0x0FFF_FFFF	48MB	Reserved			
0x1000_0000	0x1FFF_FFFF	256MB	Reserved			
0x2000_0000	0x2FFF_FFFF	256MB	Internal SRAM			
0x3000_0000	0x3FFF_FFFF	256MB	Reserved			
0x4000_0000	0x4FFF_FFFF	256MB	External SDRAM			SDCS0#
0x5000_0000	0x5FFF_FFFF	256MB	External SDRAM			SDCS1#
0x6000_0000	0x6FFF_FFFF	256MB	Reserved			
0x7000_0000	0x7FFF_FFFF	256MB	Reserved			
0x8000_0000	0x8FFF_FFFF	256MB	SDMMC I/F			
0x9000_0000	0x9FFF_FFFF	256MB	Reserved			
0xA000_0000	0xAFFF_FFFF	256MB	Reserved			
0xB000_0000	0xBFFF_FFFF	256MB	Reserved			
0xC000_0000	0xC0FF_FFFF	16MB	External ROM			MCS0#
0xC100_0000	0xC3FF_FFFF	48MB	Reserved			
0xC400_0000	0xC4FF_FFFF	16MB	External SRAM			MCS1#
0xC500_0000	0xC7FF_FFFF	48MB	Reserved			
0xC800_0000	0xC8FF_FFFF	16MB	External SRAM			MCS2#
0xC900_0000	0xCBFF_FFFF	48MB	Reserved			
0xCC00_0000	0xCCFF_FFFF	16MB	External SRAM			MCS3#
0xCD00_0000	0xCFFF_FFFF	48MB	Reserved			
0xD000_0000	0xDFFF_FFFF	256MB	Reserved	JPEG2 Port	Reserved	
0xE000_0000	0xEFFF_FFFF	256MB	Reserved	JPEG1 Port	Reserved	
0xF000_0000	0xFFFF_FFFF	256MB	I/O Register	Reserved	USB DMA Port	

CS0 につながるデバイスがブートデバイスとなります。

0xC000_0000～0xCFFF_FFFF のエリアは 0x0000_0000 に配置された Device の別名空間エリアになります。すなわち、こちらの空間をアクセスしても同じ内容が見えます。

メモリマップの最下位に位置する部分は S2S65A30 の内蔵 I/O デバイスによって使用されます。この内蔵 I/O の配置は、“仕様書：IO マップ” に示します。

S2S65A30 の(外部)メモリコントローラにつながったメモリ(外部 ROM、外部 SRAM、外部 SDRAM)、および内蔵 SRAM に関しては、共有リソースとしてどちらの AHB-Bus (Master) からアクセスすることができます。

4. 機能説明

4.3 I/O マップ

内蔵 I/O 領域は 0xF000_0000～0xFFFF_FFFF の 256 MB 領域の内、以下の部分を実際に使用していません。空欄部分（予約）に関しては Device は存在せず、アクセスしても不定データが読み出されるだけです。

表 4.3 内蔵 I/O マップ

Base Address	Space Size	S2S65A30
0xFFFFD_0000	4KB	予約
0xFFFFD_1000	1KB	IPC Timing & Scaler2
0xFFFFD_1400	1KB	IPC2
0xFFFFD_1800	2KB	AME2
0xFFFFD_2000	4KB	予約
0xFFFFD_3000	4KB	Timer B
0xFFFFD_4000	4KB	UART2
0xFFFFD_5000	4KB	UART3
0xFFFFD_6000	4KB	予約
0xFFFFD_7000	4KB	予約
0xFFFFD_8000	4KB	カメラ I/F_2
0xFFFFD_9000	4KB	JPEG resize_2
0xFFFFD_A000	4KB	JPEG module/FIFO_2
0xFFFFD_B000	4KB	JPEG codec_2
0xFFFFD_C000	4KB	ADC
0xFFFFD_D000	4KB	予約
0xFFFFD_E000	4KB	予約
0xFFFFD_F000	4KB	USB_2.0_Device
0xFFFE_0000	4KB	APB ブリッジ
0xFFFE_1000	1KB	IPC Timing & Scaler1
0xFFFE_1400	1KB	IPC1
0xFFFE_1800	2KB	AME1
0xFFFE_2000	4KB	予約
0xFFFE_3000	4KB	DMAC1
0xFFFE_4000	2KB	CF attribute
0xFFFE_4800	2KB	CF common
0xFFFE_5000	2KB	CF I/O
0xFFFE_5800	1KB	CF ture IDE CS1#
0xFFFE_5C00	1KB	CF ture IDE CS2#
0xFFFE_6000	4KB	CF 制御
0xFFFE_7000	4KB	ARS
0xFFFE_8000	4KB	カメラ I/F_1
0xFFFE_9000	4KB	JPEG resize_1
0xFFFE_A000	4KB	JPEG module/FIFO_1
0xFFFE_B000	4KB	JPEG codec_1
0xFFFE_C000	4KB	JPEG DMAC
0xFFFE_D000	4KB	I2C
0xFFFE_E000	4KB	I2S
0xFFFE_F000	4KB	(割込みコントローラ)
0xFFFF_0000	4KB	予約
0xFFFF_1000	4KB	GPIO/端子機能
0xFFFF_2000	4KB	SPI
0xFFFF_3000	4KB	DMAC3
0xFFFF_4000	4KB	予約
0xFFFF_5000	4KB	UART1
0xFFFF_6000	1KB	予約
0xFFFF_7000	4KB	予約
0xFFFF_8000	4KB	RTC
0xFFFF_9000	4KB	DMAC2
0xFFFF_A000	4KB	メモリコントローラ
0xFFFF_B000	4KB	Timer A
0xFFFF_C000	4KB	WDT
0xFFFF_D000	4KB	システムコントローラ

Base Address	Space Size	S2S65A30
0xFFFF_E000	4KB	予約
0xFFFF_F000	4KB	割込みコントローラ

4. 機能説明

4.4 割り込みコントローラ

S2S65A30 では FIQ については 2 つのソース、IRQ については最大 32 個の割り込みソースを取り扱うことができます。

IRQ のマッピングは以下のように内部の割り込み要求が割り込みコントローラに接続されています。詳細は“15. 割り込みコントローラ”を参照してください。

種類	レベル	S2S65A30
FIQ	FIQ0	ウォッチドックタイマ
	FIQ1	GPIOB0
IRQ	IRQ0	ウォッチドックタイマ
	IRQ1	割り込みコントローラ
	IRQ2	ARM720T COMMRx
	IRQ3	ARM721T COMMTx
	IRQ4	Timer A Ch.0
	IRQ5	Timer A Ch.1
	IRQ6	Timer A Ch.2
	IRQ7	予約
	IRQ8	JPEG 制御_1
	IRQ9	DMA1C
	IRQ10	JPEG DMAC_1
	IRQ11	カメラ I/F_1 / IPC_1
	IRQ12	ARS
	IRQ13	DMA2C
	IRQ14	GPIOA or GPIOB / GPIOI or GPIOJ
	IRQ15	SPI
	IRQ16	I2C
	IRQ17	UART_1
	IRQ18	RTC
	IRQ19	CF カード I/F
	IRQ20	INT_GPIOB (GPIOB)
	IRQ21	Timer B
	IRQ22	DMAC_3
	IRQ23	JPEG 制御_2
	IRQ24	JPEG DMAC_2
	IRQ25	カメラ I/F_2 / IPC_2
	IRQ26	UART2
	IRQ27	UART3
	IRQ28	SD メモリ
	IRQ29	USB_DEV
	IRQ30	ADC
	IRQ31	I2S

4.5 S2S65A30 の内蔵機能

S2S65A30 は、ドライブレコーダー機能を実現するために多くの機能ブロックを内蔵しています。以下に一覧を示します。

章番号	機能ブロック名	機能名略号
5.	CPU	CPU
6.	DMA コントローラ 1	DMAC1
7.	カメラインタフェース[1:0]	CAM[1:0]
8.	JPEG コントローラ[1:0]	JPG[1:0]
9.	JPEG_DMALC	JDMA
10.	DMA コントローラ 2	DMAC2
11.	USB2.0 デバイス	USB2d
12.	APB ブリッジ	APB
13.	システムコントローラ	SYS
14.	メモリコントローラ	MEMC
15.	割り込みコントローラ	INT
16.	UART[2:0]	UART[2:0]
17.	I2C Single Master Core Module	I2C
18.	I2S インタフェース	I2S
19.	シリアル周辺機器インタフェース	SPI
20.	コンパクトフラッシュカードインタフェース	CF
21.	SD メモリコントロールインタフェース	SD
22.	タイマ A	TIMA
23.	タイマ B	TIMB
24.	リアルタイムクロック	RTC
25.	ウォッチドッグタイマ	WDT
26.	GPIO	GPIO
27.	AD コンバータ	ADC
28.	エリアセンサ	ARS
29.	IP 変換モジュール	IPC
30.	DMA コントローラ 3	DMAC3

5. CPU

5. CPU

5.1 概要

S2S65A30 の CPU モジュールとしては、ARM720T コアが使用されています。ARM720T は ARM7TDMI をコアとして、ユニファイド 8k バイトキャッシュ、メモリ管理ユニット (MMU)、拡張書き込みバッファを搭載しています。

ARM720T コアについての詳細は“ARM720T Revision 4 (AMBA AHB Bus Interface Version) コア CPU マニュアル”を参照してください。

5.2 ARM720T ブロック図

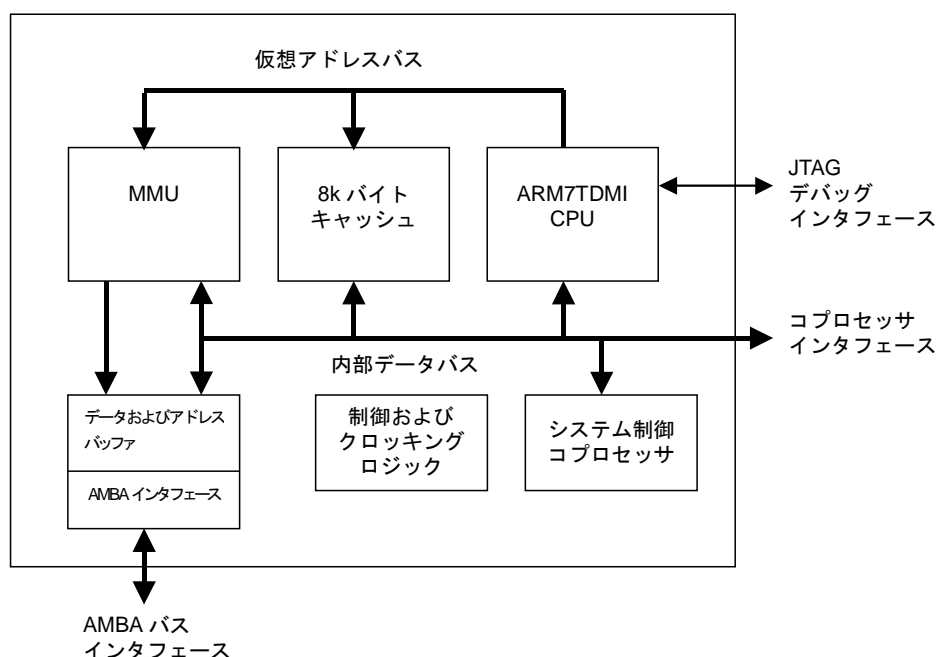


図 5.1 ARM720T ブロック図

6. DMA コントローラ 1 (DMAC1)

6.1 概要

DMAC1 は、AHB1 上のバスマスタとして置かれ、APB デバイスとメモリ間（内蔵および外部メモリ）、またはメモリ間（内蔵および外部メモリ）で、CPU を介することなく転送を行う DMA コントローラです。

本 DMA コントローラは 2 つのアドレス・フェーズを使うデュアルアドレス転送方式を採用しています。この方式は DMA 要求がある度ごとに、転送元アドレスからデータを DMAC1 内のテンポラリーレジスタに読み込み、次に転送先アドレスへテンポラリーレジスタの内容を書き込む方式で、転送回数が“0”になるまで、この動作を繰り返します。転送サイズは 8、16、32 ビットを指定可能です。

6.2 ブロック図

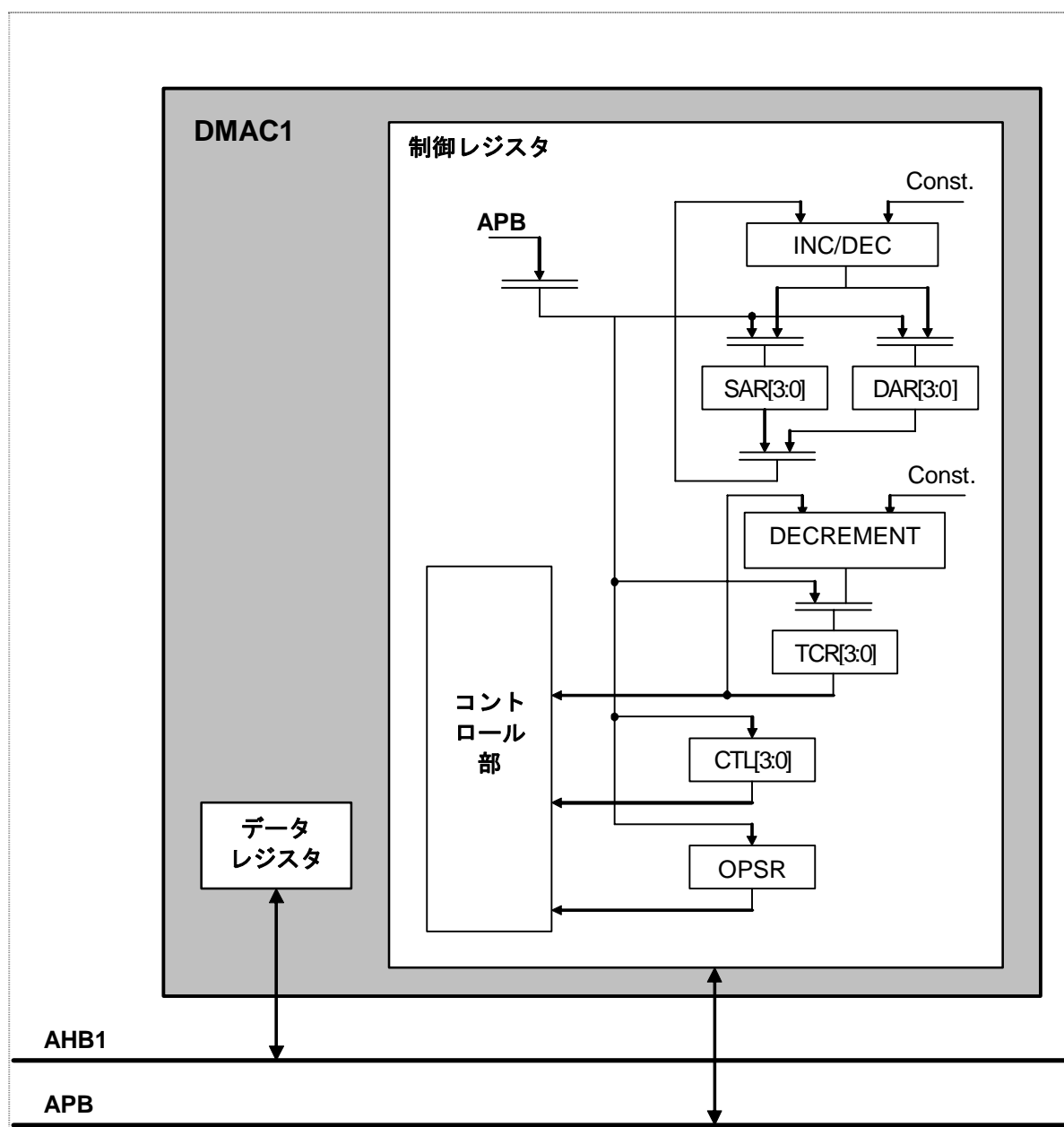


図 6.1 DMA コントローラ 1 (DMAC1) ブロック図

6. DMA コントローラ 1 (DMAC1)

6.3 外部端子

DMA コントローラ 1 に関連する外部端子はありません。

6.4 レジスタ

6.4.1 レジスタ一覧

DMAC1 関連レジスタのベースアドレスは 0xFFFE_3000 です。

この章以降のレジスタに関しては、以下のような省略を用いることがあります。

R/W : リードおよびライト
RO : リードオンリ
WO : ライトオンリ
RSV : 予約ビット／レジスタ（特に指定のない場合は“0”を書き込んでください。）
n/a : not available（特に指定のない場合は“0”を書き込んでください。）

表 6.1 レジスタ一覧（ベースアドレス : 0xFFFE_3000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
0x00	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x00XX_XXXX	R/W	32
0x0C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x00XX_XXXX	R/W	32
0x10	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0XXXXX_XXXX	R/W	32
0x14	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0XXXXX_XXXX	R/W	32
0x18	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x00XX_XXXX	R/W	32
0x1C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x00XX_XXXX	R/W	32
0x20	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0XXXXX_XXXX	R/W	32
0x24	DMA チャンネル 2 デスティネーションアドレスレジスタ	DAR2	0XXXXX_XXXX	R/W	32
0x28	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x00XX_XXXX	R/W	32
0x2C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x00XX_XXXX	R/W	32
0x30	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0XXXXX_XXXX	R/W	32
0x34	DMA チャンネル 3 デスティネーションアドレスレジスタ	DAR3	0XXXXX_XXXX	R/W	32
0x38	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x00XX_XXXX	R/W	32
0x3C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x00XX_XXXX	R/W	32
0x60	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x0000_0000	R/W	32

6.4.2 レジスタ詳細

特に指定のない場合、予約ビットには“0”をセットしてください。予約ビットに書き込みを行うと予想できない結果になることがあります。“n/a”と記載してあるビットはハードウェアに影響をあたえません。

あるレジスタは特定の条件のときのみアクセスできるようになっています。アクセス不可のレジスタへのリード／ライトは無効です。

DMA チャンネル[3:0] ソースアドレスレジスタ (SAR[3:0])															
DMAC1[0x00] [0x10] [0x20] [0x30] 初期値 = 0xFFFF_FFFF															
DMA チャンネル[3:0] ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル[3:0] ソースアドレス [31:0]**

チャンネル[3:0]で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル[3:0]コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル[3:0]コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

DMA チャンネル[3:0] デスティネーションアドレスレジスタ (DAR[3:0])															
DMAC1[0x04] [0x14] [0x24] [0x34] 初期値 = 0xFFFF_FFFF															
DMA チャンネル[3:0] デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル[3:0] デスティネーションアドレス [31:0]**

チャンネル[3:0]で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル[3:0]コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル[3:0]コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル[3:0] 転送カウンタレジスタ (TCR[3:0])															
DMAC1[0x08] [0x18] [0x28] [0x38] 初期値 = 0x00XX_FFFF															
n/a								DMA チャンネル[3:0] 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル[3:0] 転送カウンタ [23:0]**

これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに“0”を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって“0”になった時点で発生します。

このレジスタをリードすると bits[31:24]には“0”が付加されます。

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル[1:0] コントロールレジスタ (CTL[1:0])															
DMAC1[0x0C] [0x1C] 初期値 = 0x00XX_XXXX												Read/Write			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM				SAM				RS				TS		IE	TE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] : **RSV 予約 (0)**

Bit 19 : **IDLE アイドル遅延イネーブル**

DMA ターゲット・デバイスによっては、イネーブルの設定が必要です。

デバイスへのライト転送（メモリから IO デバイスへの転送）時には“1”に設定することを推奨します。

0 : 通常動作

1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 : **RSV 予約**

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 : **RSV 予約 (0)**

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

00 : 転送先アドレス固定（更新しない）

01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

00 : 転送元アドレス固定（更新しない）

01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。

0000 : Reserved

0001 : Reserved

0010 : Reserved

0011 : Reserved

0100 : UART#1 出力(TX)

0101 : UART#1 入力(RX)

0110 : UART#2 出力(TX)

0111 : UART#2 入力(RX)

1000 : UART#3 出力(TX)

1001 : UART#3 入力(RX)

1010 : SPI 入出力(SPI-TX/RX)

1011 : Reserved

1100 : Reserved
 1101 : Reserved
 1110 : Reserved
 1111 : SW-Request ソフトウェアリクエスト
 Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。

Bit 7 : **RSV 予約 (0)**

Bit 6 : **RIM リクエスト入力モード**
 DMA 要求信号の入力モードを選択します。
 0 : アクティブ LOW (レベルトリガ)
 1 : 立ち下がりエッジ (エッジトリガ)

Bit 5 : **TM 転送モード**
 DMA 転送の転送モードを選択します。
 0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
 1 : デマンド転送 (DMA 要求がある間は転送を継続)

Bits [4:3] : **TS 転送サイズ [1:0]**
 1 回で転送するデータサイズを選択
 00 : 8 ビット
 01 : 16 ビット
 10 : 32 ビット
 11 : 予約

Bit 2 : **IE 割り込みイネーブル**
 DMA チャンネル[1:0]の転送終了割り込みを許可／禁止します。
 0 : 割り込み禁止
 1 : 割り込み許可

Bit 1 : **TE DMA 転送終了**
 0(リード時) : 転送中または待機中
 1(リード時) : DMA 転送終了
 0(ライト時) : 本ビットをクリア
 1(ライト時) : 無効
 このビットは DMA 転送の結果、DMA チャンネル 0 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。

Bit 0 : **DE DMA イネーブル**
 このビットによりチャンネル[1:0]の DMA 転送を許可します。
 0 : DMA 転送禁止
 1 : DMA 転送許可

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル[3:2] コントロールレジスタ (CTL[3:2])															
DMAC1[0x2C] [0x3C] 初期値 = 0x00XX XXXX												Read/Write			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS				RSV	RIM	TM	TS		IE	TE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] : **RSV 予約 (0)**

Bit 19 : **IDLE アイドル遅延イネーブル**

DMA ターゲット・デバイスによっては、イネーブルの設定が必要です。

デバイスへのライト転送（メモリから IO デバイスへの転送）時には“1”に設定することを推奨します。

0 : 通常動作

1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 : **RSV 予約 (0)**

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 : **RSV 予約 (0)**

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

00 : 転送先アドレス固定（更新しない）

01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

00 : 転送元アドレス固定（更新しない）

01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。

0000 : Reserved

0001 : Reserved

0010 : Reserved

0011 : Reserved

0100 : I2C 出力(I2C-TX)

0101 : I2C 入力(I2C-RX)

0110 : I2S 入出力(I2S-CH0)

0111 : I2S 入出力(I2S-CH1)

1000 : Reserved

1001 : Reserved

1010 : SPI 入出力(SPI-TX/RX)

1011 : Reserved

1100 : Reserved
 1101 : Reserved
 1110 : Reserved
 1111 : SW-Request ソフトウェアリクエスト
 Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。

Bit 7 : **RSV 予約 (0)**

Bit 6 : **RIM リクエスト入力モード**
 DMA 要求信号の入力モードを選択します。
 0 : アクティブ LOW (レベルトリガ)
 1 : 立ち下がりエッジ (エッジトリガ)

Bit 5 : **TM 転送モード**
 DMA 転送の転送モードを選択します。
 0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
 1 : デマンド転送 (DMA 要求がある間は転送を継続)

Bits [4:3] : **TS 転送サイズ [1:0]**
 1 回で転送するデータサイズを選択
 00 : 8 ビット
 01 : 16 ビット
 10 : 32 ビット
 11 : 予約

Bit 2 : **IE 割り込みイネーブル**
 DMA チャンネル[3:2]の転送終了割り込みを許可／禁止します。
 0 : 割り込み禁止
 1 : 割り込み許可

Bit 1 : **TE DMA 転送終了**
 0(リード時) : 転送中または待機中
 1(リード時) : DMA 転送終了
 0(ライト時) : 本ビットをクリア
 1(ライト時) : 無効
 このビットは DMA 転送の結果、DMA チャンネル 3 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。

Bit 0 : **DE DMA イネーブル**
 このビットによりチャンネル[3:2]の DMA 転送を許可します。
 0 : DMA 転送禁止
 1 : DMA 転送許可

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル オペレーティング選択レジスタ (OPSR)															
DMAC1[0x60] 初期値 = 0x0000_0000															
Read/Write															
na															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						DPM		n/a						DGE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit [9:8] : **DPM プライオリティモード**
同時に複数のチャンネルに対して転送要求があった場合に優先順位を決めます。
00 : CH0>CH1>CH2>CH3
01 : CH1>CH0>CH3>CH2
10 : CH2>CH3>CH0>CH1
11 : 簡易ラウンドロビンモード

Bit 0 : **DGE DMA グローバルイネーブル**
DMA の全チャンネルをすべてイネーブル／ディセーブルにします。
0 : ディセーブル
1 : イネーブル

7. カメラインタフェース[2:1] (CAM[2:1])

7.1 概要

JPEG コントローラ専用カメラインタフェースは以下のような特長を持っています。

- ・ 8 ビットパラレルインタフェース：2 ポート（1 ポートは S2S65A30 内蔵 IP 変換機能に予約）
- ・ 最大 VGA サイズ（640×480）までのカメラに対応可能
- ・ 8 ビットデータバスインタフェース（YUV4:2:2 形式）
- ・ ITU-R BT.656, BT.601 形式を Progressive Scan に拡張した様式に対応
- ・ キャプチャフレームの設定可能
- ・ カメラデータ入力用ピクセルクロック周波数はシステムクロックの 2/3 未満

7.2 ブロック図

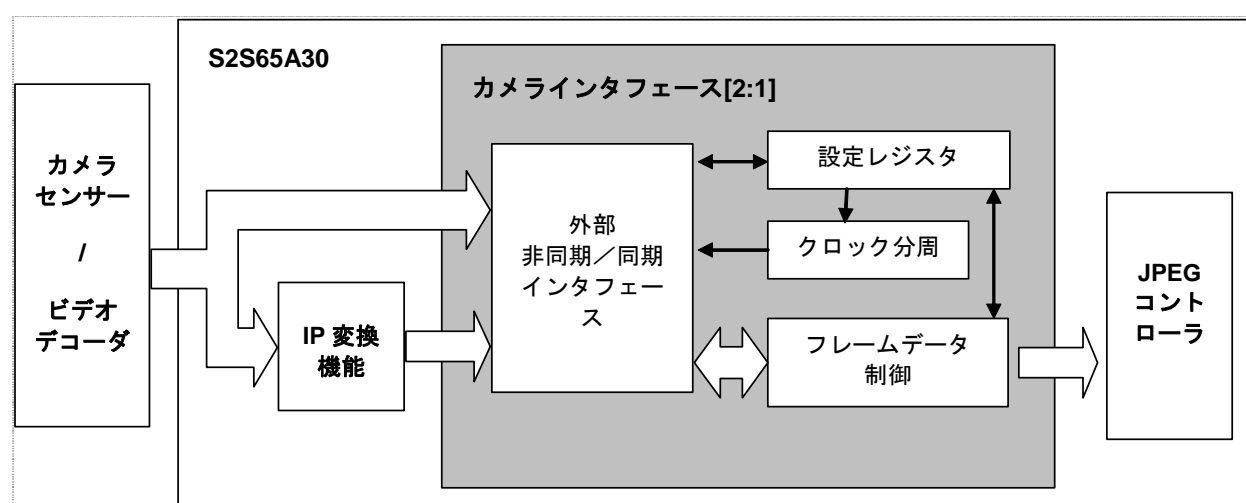


図 7.1 カメラインタフェース[2:1] ブロック図

7. カメラインタフェース[2:1] (CAM[2:1])

7.3 外部端子

カメラインタフェース[2:1] 関連の外部端子は以下のようにになっています。

表 7.1 外部端子

端子名	入出力	端子機能	マルチプレクス端子*／備考
CM1DATA [7:0]	I	カメラ 1 データ(YUV)入力	GPIOE [7:0]、IPC1DATA[7:0]
CM1VREF	I	カメラ 1 データ入力時の垂直同期入力	GPIOF0、IPC1VREF
CM1HREF	I	カメラ 1 データ入力時の水平同期入力	GPIOF1、IPC1HREF
CM1CLKOUT	O	カメラ 1 用基本クロック出力	GPIOF2、IPC1FIELD
CM1CLKIN	I	カメラ 1 データ入力用ピクセルクロック	GPIOF3、IPC1CLKIN
CM2DATA [7:0]	I	カメラ 2 データ(YUV)入力	GPIOG [7:0]、IPC2DATA[7:0]
CM2VREF	I	カメラ 2 データ入力時の垂直同期入力	GPIOF4、IPC2VREF
CM2HREF	I	カメラ 2 データ入力時の水平同期入力	GPIOF5、IPC2HREF
CM2CLKOUT	O	カメラ 2 用基本クロック出力	GPIOF6、IPC2FIELD
CM2CLKIN	I	カメラ 2 データ入力用ピクセルクロック	GPIOF7、IPC2CLKIN

注意(*): カメラインタフェース(CAM)用の外部端子はGPIO 端子とマルチプレクスしています。CAM 用外部端子として使用する場合は、GPIO 端子機能レジスタにより“GPIO 以外の機能 1” に設定してください。S2S65A30 内蔵 IP 変換機能を使用する場合には“GPIO 以外の機能 2” に設定して下さい。

7.4 レジスタ

7.4.1 レジスタ一覧

以下にカメラインタフェース[2:1]のレジスタ一覧を示します。これらのレジスタのベースアドレスは次のようになっています。

カメラインタフェース 1 : 0xFFFE_8000

カメラインタフェース 2 : 0xFFFD_8000

表 7.2 レジスタ一覧

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセス サイズ
カメラインタフェース : Base Address 0xFFFE_8000(CAM1) 0xFFFD_8000(CAM2)				
0x00	カメラ[2:1]入力 1 クロック周期設定レジスタ	0x0000	R/W	16bit
0x04	カメラ[2:1]入力 1 信号設定レジスタ	0x0000	R/W	16bit
0x08	予約	-	-	-
0x0C	カメラ[2:1]入力 2 信号設定レジスタ	0x0000	R/W	16bit
0x20	カメラ[2:1]モード設定レジスタ	0x0000	R/W	16bit
0x24	カメラ[2:1]フレーム制御レジスタ	0x0000	R/W	16bit
0x28	カメラ[2:1]コントロールレジスタ	0x0000	WO	16bit
0x2C	カメラ[2:1]ステータスレジスタ	0x0004	RO	16bit
0x30 – 0x5C	予約	-	-	-

7. カメラインタフェース[2:1] (CAM[2:1])

7.4.2 レジスタ詳細説明

カメラ[2:1]入力1クロック周期設定レジスタ							
CAM2 [0x00], CAM1 [0x00]				初期値 = 0x0000		Read/Write	
				n/a			
15	14	13	12	11	10	9	8
n/a			Clock Frequency Select bits [4:0]				
7	6	5	4	3	2	1	0

Bits [4:0] : **Clock Frequency Select bits [4:0]**
出力クロック（CMCLKOUT）の周期を設定します。

表 7.3 カメラクロック周期設定

Bits [4:0]	Clock Frequency
00000	内部クロック 1/1
00001	内部クロック 1/2（推奨値）
00010	内部クロック 1/3
00011	内部クロック 1/4
00100	内部クロック 1/5
00101	内部クロック 1/6
00110	内部クロック 1/7
00111	内部クロック 1/8
01000	内部クロック 1/9
01001	内部クロック 1/10
01010	内部クロック 1/11
01011	内部クロック 1/12
01100	内部クロック 1/13
01101	内部クロック 1/14
01110	内部クロック 1/15
01111	内部クロック 1/16
10000	内部クロック 1/17
10001	内部クロック 1/18
10010	内部クロック 1/19
10011	内部クロック 1/20
10100	内部クロック 1/21
10101	内部クロック 1/22
10110	内部クロック 1/23
10111	内部クロック 1/24
11000	内部クロック 1/25
11001	内部クロック 1/26
11010	内部クロック 1/27
11011	内部クロック 1/28
11100	内部クロック 1/29
11101	内部クロック 1/30
11110	内部クロック 1/31
11111	内部クロック 1/32

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]入力 1 信号設定レジスタ							
CAM2 [0x04], CAM1 [0x04]				初期値 = 0x0000		Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a	Reserved (0)	Clock Mode Select	YUV Data Format Select bits [1:0]		HREF Active Select	VREF Active Select	Valid Input Clock Edge
7	6	5	4	3	2	1	0

Bit 6 : **予約ビット (0)**
書き込む場合は“0”を書き込んでください。

Bit 5 : **Clock Mode Select**
内部動作で使用するクロックを選択します。内部分周クロック使用時は 1/2 分周以上に設定する必要があります。また外部クロック入力と異なり、内部分周クロックを使用する場合は、ボード上遅延およびカメラ（イメージセンサ）内部遅延によってカメラ（イメージセンサ）の出力データと内部分周クロックとの同期が取りにくくなります。安定動作させるためにはそれらの遅延が無視できる程度まで分周比を大きく設定する必要があります。
0 : 外部クロック入力（CMCLKIN 入力を使用）
1 : 内部分周クロック（カメラクロック周期設定レジスタで設定したクロック（=CMCLKOUT と同じクロック）を内部で使用。）

Bits [4:3] : **YUV Data Format Select bits[1:0]**
バイト単位で入力する YUV データの並び順を選択します。

表 7.4 YUV Format Select

Bits [4:3]	YUV Format (8bit)
00	(1 st) CbYCrY (last)
01	(1 st) CrYCbY (last)
10	(1 st) YCbYCr (last)
11	(1 st) YCrYCb (last)

Bit 2 : **HREF Active Select**
HREF のデータアクティブレベルを設定します。
0 : HREF のデータ有効期間は High レベルで認識します。
1 : HREF のデータ有効期間は Low レベルで認識します。

Bit 1 : **VREF Active Select**
VREF のデータアクティブレベルを設定します。
0 : VREF のデータ有効期間時は High レベルで認識します。
1 : VREF のデータ有効期間時は Low レベルで認識します。

Bit 0 : **Valid Input Clock Edge**
入力クロックの有効エッジを選択します。
Bit 5 で選択した外部／内部のどちらのクロックに対しても有効です。
0 : クロックが Low から High に変化したときデータを取り込みます。
1 : クロックが High から Low に変化したときデータを取り込みます。

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]入力 2 信号設定レジスタ							
CAM2 [0x0C], CAM1 [0x0C]				初期値 = 0x0000		Read/Write	
				n/a			
15	14	13	12	11	10	9	8
(RSV)	Reserved (0)	(RSV)	YUV Data Format Select bits [1:0]		HREF Active Select	VREF Active Select	(RSV)
7	6	5	4	3	2	1	0

※ 本レジスタは S2S65A30 内蔵の IP 変換モジュールよりの入力を設定するためのレジスタです。IP 変換モジュールの出力関係の設定をデフォルト値にて使用される場合には、本レジスタも初期値のままご使用ください。

Bits [15:5] : **予約ビット (0)**
書き込む場合は“0”を書き込んでください。

Bits [4:3] : **YUV Data Format Select bits[1:0]**
バイト単位で入力する YUV データの並び順を選択します。

表 7.5 YUV Format Select

Bits [4:3]	YUV Format (8bit)
00	(1 st) CbYCrY (last)
01	(1 st) CrYCbY (last)
10	(1 st) YCbYCr (last)
11	(1 st) YCrYCb (last)

Bit 2 : **HREF Active Select**
HREF のデータアクティブレベルを設定します。
0 : HREF のデータ有効期間は High レベルで認識します。
1 : HREF のデータ有効期間は Low レベルで認識します。

Bit 1 : **VREF Active Select**
VREF のデータアクティブレベルを設定します。
0 : VREF のデータ有効期間時は High レベルで認識します。
1 : VREF のデータ有効期間時は Low レベルで認識します。

Bit 0 : **予約ビット (0)**
書き込む場合は“0”を書き込んでください。

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]入力モード設定レジスタ							
CAM2 [0x20], CAM1 [0x20]				初期値 = 0x0000			
Read/Write							
RSV (0)			RSV Camera Active Pull-down Disable	n/a	Fast Sampling Mode	RSV (0)	
15	14	13	12	11	10	9	8
ITU-R BT656 Enable	RSV (0)		Camera Port Select	Clock Output Disable	RSV (0)		Camera Module Enable
7	6	5	4	3	2	1	0

Bit [15:11] : **RSV 予約 (0)**

Bit 10 : **Fast Sampling Mode**

カメラからの入力データを通常の倍速でサンプリングする動作を設定します。通常は“1”に設定して下さい。

0 : 通常サンプリング

1 : 高速サンプリング

Bit [9:8] : **RSV 予約 (0)**

Bit 7 : **ITU-R BT656 Enable**

ITU-R BT656 対応カメラ入力の選択を行います。

このモードは YUV422-8bit インタフェースモード時のみ有効です。

S2S65A30 内蔵 IP 変換モジュールの出力は必ず通常カメラモードの出力となりますので、IP 変換モジュールをご使用になる場合には必ず“0”を設定して下さい。

0 : 通常カメラモード

1 : ITU-R BT656 対応カメラモード

Bits [6:5] : **RSV 予約 (0)**

Bit 4 : **Camera Port Select**

カメラ入力のポートを選択します。

0 : カメラ入力 1 (S2S65A30 では外部端子からの入力を使用)

1 : カメラ入力 2 (S2S65A30 では IP 変換モジュールから入力を使用)

Bit 3 : **Clock Output Disable**

クロック出力 (CMCLKOUT) の動作を設定します。IP 変換モジュールの入力を使用する場合には無効ですので“1”を設定することを推奨します。

0 : クロック出力 (CMCLKOUT 出力を使用。周期はカメラ周期設定レジスタで設定。)

1 : クロック出力禁止 (CMCLKOUT を出力せず、Low レベル固定になります。)

Bits [2:1] : **RSV 予約 (0)**

Bit 0 : **Camera Module Enable**

カメラモジュールの動作を設定します。

このビットの設定が有効のとき、外部クロック出力等が有効になります。

このビットが “0” のとき、カメラモジュールへのクロック供給が停止するため、低消費電力対策に有効です。このビットが “0” であってもカメラインタフェースのレジスタ群へのリード/ライトは可能です。

0 : カメラモジュール無効

1 : カメラモジュール有効

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]フレーム制御レジスタ							Read/Write
CAM2 [0x24], CAM1 [0x24] 初期値 = 0x0000							Jpeg Raw Data Capture Mode 8
n/a							
15	14	13	12	11	10	9	
Frame Capture Interrupt Control 7	Single Frame Capture Enable 6	Shutter Sync. Disable 5	Frame Sample Control bits [2:0]			Frame Capture Interrupt Polarity 1	Frame Capture Interrupt Enable 0
			4	3	2		

Bit 8 : **Jpeg Raw Data Capture Mode**
 JPEG データ取り込みモードを設定します。
 0 : YUV データ取り込み設定
 1 : 予約

Bit 7 : **Frame Capture Interrupt Control**
 フレーム割り込みの制御を行います。
 フレーム取り込み終了割り込み設定時は bit5 の設定に影響されません。
 フレーム取り込み終了割り込み設定時は bit0 の設定には影響されず割り込みが有効になります。

表 7.6 フレーム割り込み制御

Image Capture Interrupt Polarity Bit	Interrupt
0	有効フレーム取り込み時割り込み発生
1	フレーム取り込み終了時割り込み発生

Bit 6 : **Single Frame Capture Enable**
 フレーム取り込みのモードを設定します。
 0 : 繰り返し取り込みを行います。
 1 : 画像フレーム取り込み動作設定 (CAM[0x28] bit 2 = 1) 後の 1 フレーム取り込み後停止します。
 注意 : このビットは Camera Module Enable (CAM[0x20] bit 0) が “1” のときは変更禁止です。

Bit 5 : **Shutter Synchronization Disable**
 フレーム割り込みフラグのシャッター同期を禁止します。
 0 : シャッターを押した後有効フレーム毎にフレーム割り込みステータスを出力します。
 1 : 有効フレーム毎に常時フレーム割り込みステータスを出力します。

Bits [4:2] : **Frame Sample Control Bits [2:0]**
 カメラ入力フレーム間引きの制御を行います。

表 7.7 フレーム間引き制御

Frame Sample Control Bits[2:0]	Mode
000	間引きなし
001	1/2 に間引き
010	1/3 に間引き
011	1/4 に間引き
100	1/5 に間引き
101	1/6 に間引き
110	Reserved
111	Reserved (全フレーム間引き)

7. カメラインタフェース[2:1] (CAM[2:1])

Bit 1 : **Image Capture Interrupt Polarity**
画像取り込み時の割り込み発生を制御を行います。

表 7.8 フレーム割り込み制御

Image Capture Interrupt Polarity Bit	Interrupt
0	VREF データアクティブレベルから VREF データインアクティブレベルへの変化時
1	VREF データインアクティブレベルから VREF データアクティブレベルへの変化時

Bit 0 : **Image Capture Interrupt Enable**
画像取り込み時の割り込みを有効にします。
0 : 無効
1 : 有効

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]コントロールレジスタ							
CAM2 [0x28], CAM1 [0x28] 初期値 = 0x0000						Write Only	
n/a						ITU-R BT656 Error Flag 1 Clear 9	ITU-R BT656 Error Flag 0 Clear 8
15	14	13	12	11	10		
n/a				Frame Capture Stop 3	Frame Capture Start 2	Frame Interrupt Status Clear 1	Camera Module Soft Reset 0
7	6	5	4				

- Bit 9 :** **ITU-R BT656 Error Flag 1 Clear**
 このビットに“1”を書き込むことで状態をクリアできます。
 0 : 何も動作しません。
 1 : エラーフラグ 1 の値をクリアします。
- Bit 8 :** **ITU-R BT656 Error Flag 0 Clear**
 このビットに“1”を書き込むことで状態をクリアできます。
 0 : 何も動作しません。
 1 : エラーフラグ 0 の値をクリアします。
- Bit 3 :** **Frame Capture Stop**
 画像フレーム取り込みの停止設定をします。
 なお、リセット後のデフォルトは取り込み動作状態ですが、**bit 0** カメラモジュールソフトリセットと同時に本ビットを設定することで、カメラモジュールを取り込み停止状態から開始することができます。
 0 : 何も動作しません
 1 : 取り込み動作の停止設定をします
- Bit 2 :** **Frame Capture Start**
 画像フレーム取り込みの動作設定をします。
 シングルフレーム取り込み設定時は、1 フレーム取り込み後停止します。
 0 : 何も動作しません。
 1 : 取り込み動作の動作設定をします。
- Bit 1 :** **Frame Capture Interrupt Status Clear**
 このビットに 1 を書き込むことでカメラからのフレーム割り込みステータスをクリアします。
 0 : フレーム割り込みステータスをクリアしません。
 1 : フレーム割り込みステータスをクリアします。
- Bit 0 :** **Camera Module Soft Reset**
 カメラ回路部を初期化します。
 0 : カメラ回路部を初期化しません。
 1 : カメラ回路部を初期化します。
注意： このビットが“1”のとき、レジスタは初期化されませんが、CAM [0x20] bit0 (Camera Module Enable) だけは初期化され“0”になります。

7. カメラインタフェース[2:1] (CAM[2:1])

カメラ[2:1]ステータスレジスタ							
CAM2 [0x2C], CAM1 [0x2C] 初期値 = 0x0004						Read Only	
n/a						ITU-R BT656 Error Flag 1	ITU-R BT656 Error Flag 0
15	14	13	12	11	10	9	8
n/a	Camera VSYNC	RSV (1)	Effective Frame Status	Frame Capture Busy Status	Frame Capture Start/Stop Flag	Frame Interrupt Status	n/a
7	6	5	4	3	2	1	0

Bit 9 : ITU-R BT656 Error Flag 1

ITU-R BT656 モード時、リファレンスコマンドの状態を確認できます。

0 : 正常動作

1 : リファレンスデコード時 2 bit のエラーを検出

Bit 8 : ITU-R BT656 Error Flag 0

ITU-R BT656 モード時、リファレンスコマンドの状態を確認できます。

0 : 正常動作

1 : リファレンスデコード時 1 bit のエラー訂正を検出

Bit 6 : Camera VSYNC

カメラモジュールからの VSYNC の値を確認できます。

ITU-R BT656 モード時はリファレンスコードデコード後の値を確認できます。

また、VSYNC の値はポラリティ設定によらず一定です。

0 : 垂直ブランク期間中

1 : 有効データ期間中

Bit 5 : RSV 予約 (1)

Bit 4 : Effective Frame Status

このビットを読み込むことでフレーム間引き時の有効/無効フレームを確認できます。

0 : フレームは無効 (間引き) フレーム

1 : フレームは有効フレーム

Bit 3 : Frame Capture Busy Status

画像フレーム取り込み状態を確認できます。

0 : フレーム取り込み停止中

1 : フレーム取り込み動作中

Bit 2 : Frame Capture Start/Stop Flag

画像フレーム取り込みの設定状態を確認できます。

シングルフレーム取り込み時は動作設定後、フレーム取り込み終了で自動的に停止設定になります。

0 : フレーム取り込み停止設定

1 : フレーム取り込み動作設定

Bit 1 : Frame Capture Interrupt Status

このビットを読み込むことでフレーム割り込みステータスを確認できます。

0 : フレーム割り込みが発生していません

1 : フレーム割り込みが発生しています

注意 : フレーム割り込みはカメラフレーム制御レジスタ (CAM[0x24]) の bit7 = 1 または bit0 = 1 のときに発生します。

7.5 動作説明

カメラインタフェースは 8 ビットのデータバスを使用して YUV4:2:2 形式の画像データをクロックで受信します。

カメラの使用可否については必ず AC 特性を確認してください。

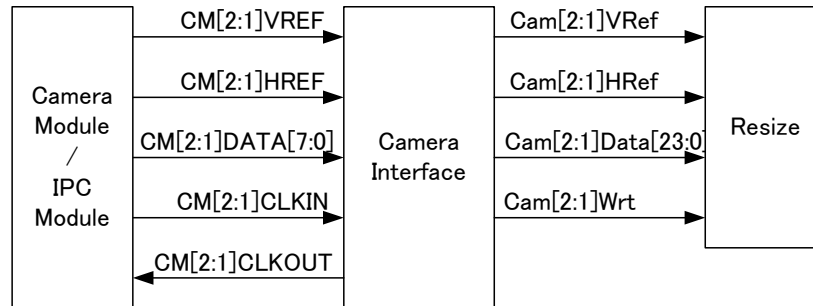


図 7.2 カメラインタフェース接続図

表 7.9 内部信号

内部信号名	説明
CM[2:1]VREF	カメラモジュールから来る垂直データ有効信号
CM[2:1]HREF	カメラモジュールから来る水平データ有効信号
CM[2:1]DATA[7:0]	カメラモジュールから来る 8 ビットデータ信号 ITU-R BT.601 フォーマットにも対応
CM[2:1]CLKIN	カメラモジュールから来るピクセルクロック
CM[2:1]CLKOUT	カメラモジュールを動作させるクロック
Cam[2:1]VRef	リサイズ回路へ送る垂直データ有効信号
Cam[2:1]HRef	リサイズ回路へ送る水平データ有効信号
Cam[2:1]Data[23:0]	YUV4:2:2 を YUV4:4:4 に変換した上で 24 ビット化した信号
Cam[2:1]Wrt	リサイズ回路へ送るデータ有効信号

カメラインタフェースはカメラモジュールから来る内部画像処理用クロックと非同期な信号を内部画像処理用クロックに同期させ、リサイズ回路にカメラ画像データを出力します。下図は CM[2:1]DATA、CM[2:1]HREF、CM[2:1]VREF を使用してカメラモジュールより出力された画像データを CM[2:1]CLKIN の立ち上がりエッジでデータサンプルする回路を表したものです。

7. カメラインタフェース[2:1] (CAM[2:1])

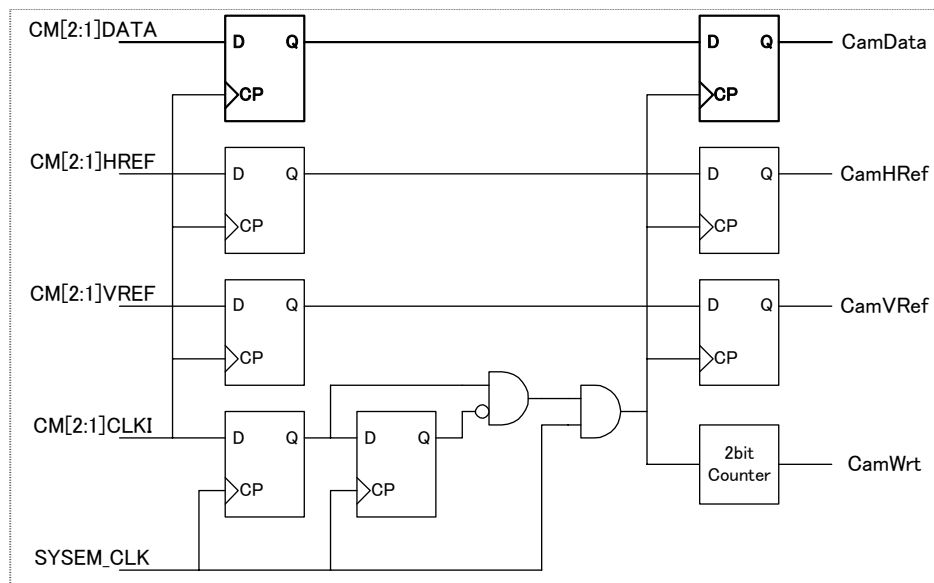


図 7.3 データサンプル回路

通常サンプリングモード（カメラモード設定レジスタ CAMx[0x20] bit10=0）では、カメラクロックモジュールから来るクロックを内部システムクロックでサンプリングし、クロックエッジを検出している機構から、理論上内部システムクロックはカメラモジュールから来るピクセルクロックの2倍以上の周波数で無ければなりません。現実的な問題としてクロックデューティ比などの要因により、2倍の周波数で動作するかどうかはシステム依存となり、確実に動作させるためには3倍以上の周波数である必要があります。

高速サンプリングモード（カメラモード設定レジスタ CAMx[0x20] bit10=1）では、通常サンプリングモードの回路を2系統使用して1サイクルごとにトグルさせて使用するため、サンプリング性能が2倍になります。

7.5.1 フレームキャプチャ割り込み

カメラ画像データの VREF 信号から割り込みを発生させることができます。この割り込みは JPEG エンコードなどのカメラ画像を使用した画像処理ルーチンに必要な割り込みです。

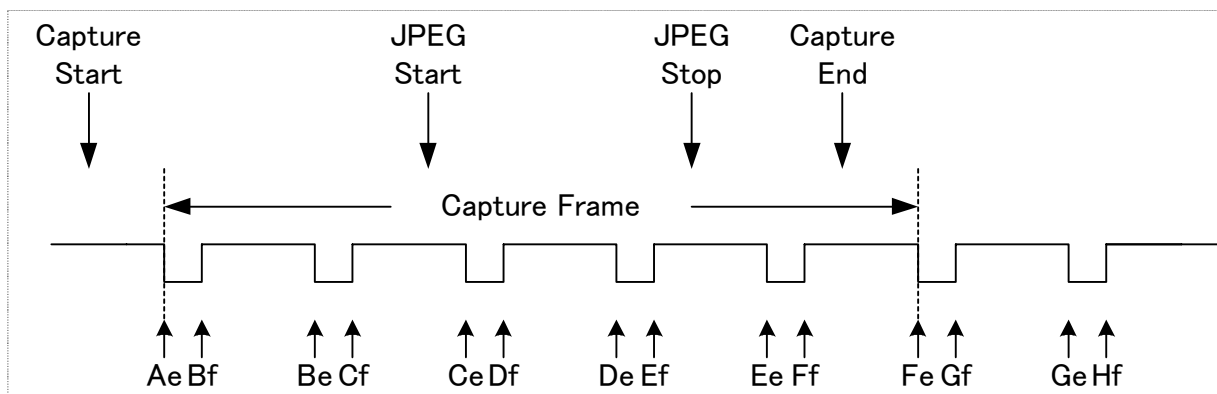


図 7.4 割り込み発生タイミング

図 7.4 はカメラインタフェースのキャプチャを有効にしてから無効にするまでの一連のタイミングチャートで、カメラフレーム割り込みに関するアクションが示してあります。Capture Startはカメラインタフェースのカメラモード設定レジスタビット0を“1”にしたことを意味します。同様にCapture Endはカメラモード設定レジスタビット0を“0”にしたことを意味します。JPEG StartはJPEGスタートストップ制御レジスタに“1”を書いたことを意味し、JPEG EndはJPEGスタートストップ制御レジ

7. カメラインタフェース[2:1] (CAM[2:1])

スタに“0”を書いたことを意味します。Capture Frameはカメラモジュールから来たデータをリサイズ回路に流すフレームを表しています。

フレームキャプチャの割り込みタイミングを決定するレジスタ設定は全部で4つあります。表 7.10 は4つのレジスタビットの設定により割り込みが上の図のどのタイミングで発生するかを示しています。通常使用するレジスタ設定は上から4番目の設定（網掛け部分）になります。

表 7.10 割り込み発生タイミング

カメラフレーム制御レジスタ CAM[0x24]				カメラフレーム割り込みが 発生するタイミング
ビット7	ビット5	ビット1	ビット0	
0	x	x	0	割り込み発生なし
0	0	0	1	Ce, De
0	0	1	1	Df, Ef
0	1	0	1	Be, Ce, De, Ee, Fe
0	1	1	1	Cf, Df, Ef, Ff, Gf
1	x	0	x	Fe
1	x	1	x	Gf

8. JPEG コントローラ (JPG[2:1])

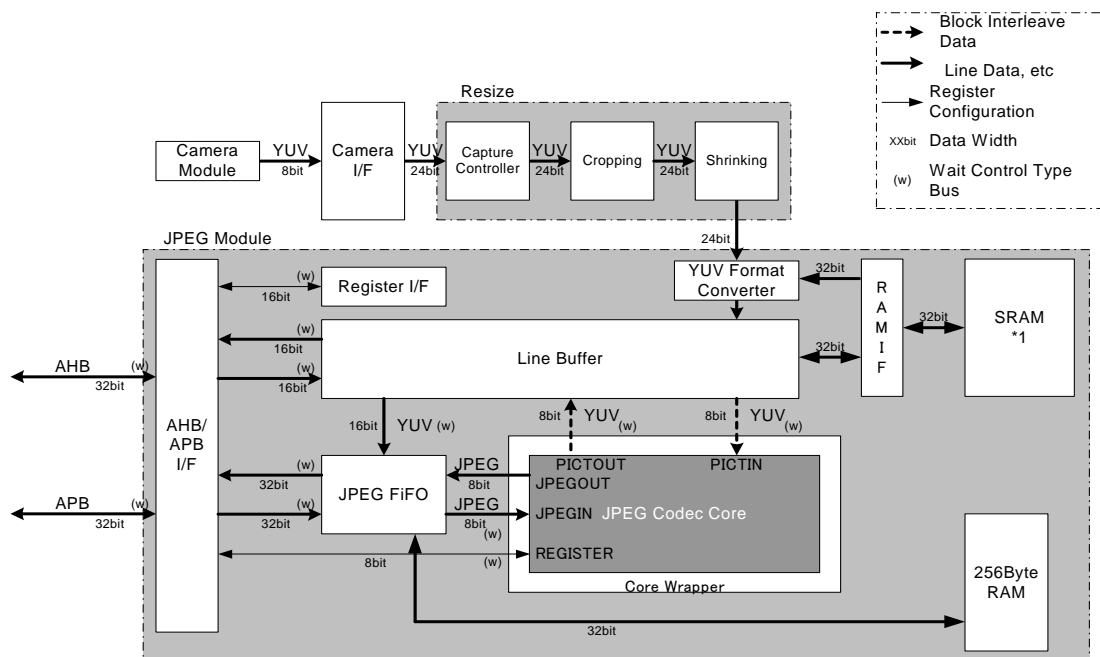
8. JPEG コントローラ (JPG[2:1])

8.1 概要

カメラ入力画像を JPEG エンコードする機能、JPEG デコードする機能、および YUV データとしてキャプチャする機能を実現しています。JPEG エンコード・デコード方式は JPEG の Baseline 方式にほぼ準拠しています。演算精度は JPEG Part2 (ISO/IEC10918-2) に準拠しており十分な演算精度を持っています。最大画像サイズはラインバッファ用内蔵メモリサイズの制限より VGA サイズまでとなります。JPEG エンコード・デコードできる画像は MCU サイズ以上の YUV フォーマットの最小単位画像となっています。量子化テーブルは圧縮時 2 テーブル設定可能で、伸長時は 4 テーブルまで対応可能になっています。ハフマンテーブル DC/AC はそれぞれ 2 つのテーブルを扱うことができます。任意のマーカをエンコード時最大 36byte まで挿入可能です。処理対象マーカは SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI で伸長時には自動解読されます。DNL マーカには対応していません。対応 YUV フォーマットはカメラ画像のエンコード時が YUV4:4:4、YUV4:2:2、YUV4:1:1、YUV4:2:0、YUV データキャプチャ時が YUV4:2:2、YUV4:2:0 ですが、カメラ I/F は YUV4:2:2 にのみ対応しておりますので、通常は YUV4:2:2 の設定でご使用ください。グレー画像や RGB 画像には対応していません。処理速度は VGA サイズで最小 1/30 秒ですが、画像データやハフマンテーブル、量子化テーブルに大きく影響を受けますので常にその処理速度が出ることは保証できません。

S2S56A30 では 2 つのカメラ接続に対応するために、全く同等の機能を持つ 2 チャンネルの JPEG コントローラ[2:1]を持っています。

8.2 ブロック図



*1 : SRAM の割り当ては、SYS[0x68]の Bits[5:4] EMBRAMSEL[1:0]を参照。

図 8.1 JPEG コントローラブロック図

8.3 外部端子

JPEG コントローラに関連する外部端子はありません。

8.4 レジスタ

以下にレジスタ一覧を示します。全く同じ JPEG コントローラを 2 チャンネル (JPEG1, JPEG2) 搭載しておりますので、ベースアドレスが異なるだけで、各々内容は全く同じレジスタになります。

8.4.1 レジスタ一覧

表 8.1 レジスタ一覧

Address Offset	Register Name	Default Value	R/W	Data Access Size
Resizer Operation Registers (RSZ[2:1]) : Base Address = 0xFFFE_9000(JPG1) 0xFFFD_9000(JPG2)				
0x60	グローバルリサイズ制御レジスタ	0x0000	WO	16bit
0x64	キャプチャ制御ステートレジスタ	0x0000	RO	16bit
0x68	キャプチャデータ設定レジスタ	0x0000	R/W	16bit
0x70-0x7C	予約レジスタ	-	-	-
0xC0	取り込みリサイズ制御レジスタ	0x0000	R/W	16bit
0xC8	取り込みリサイズスタート X 座標レジスタ	0x0000	R/W	16bit
0xCC	取り込みリサイズスタート Y 座標レジスタ	0x0000	R/W	16bit
0xD0	取り込みリサイズエンド X 座標レジスタ	0x027F	R/W	16bit
0xD4	取り込みリサイズエンド Y 座標レジスタ	0x01DF	R/W	16bit
0xD8	取り込みリサイズ縮小率レジスタ	0x8080	R/W	16bit
0xDC	取り込みリサイズ縮小モードレジスタ	0x0000	R/W	16bit
JPEG Module Registers (JCTL[2:1]) : Base Address = 0xFFFE_A000(JPG1) 0xFFFD_A000(JPG2)				
0x00	JPEG 制御レジスタ	0x0000	R/W	16bit
0x04	JPEG ステータスフラグレジスタ	0x8080	R/W	16bit
0x08	JPEG ロウステータスフラグレジスタ	0x8080	RO	16bit
0x0C	JPEG 割り込み制御レジスタ	0x0000	R/W	16bit
0x10	予約レジスタ	-	-	-
0x14	JPEG コーデックスタートストップ制御レジスタ	0x0000	WO	16bit
0x18 - 0x1C	予約レジスタ	-	-	-
0x20	ハフマンテーブル自動設定レジスタ	0x0000	R/W	16bit
JPEG FIFO Setting Registers (JFIFO[2:1]) : Base Address = 0xFFFE_A000(JPG1) 0xFFFD_A000(JPG2)				
0x40	JPEG FIFO 制御レジスタ	0x0000	R/W	16bit
0x44	JPEG FIFO ステータスレジスタ	0x8001	RO	16bit
0x48	JPEG FIFO サイズレジスタ	0x003F	R/W	16bit
0x4C	JPEG FIFO リード/ライトポートレジスタ	0x0000 0000	R/W	32bit
0x50 - 0x58	予約レジスタ	-	-	-
0x60	エンコードサイズリミットレジスタ 0	0x0000	R/W	16bit
0x64	エンコードサイズリミットレジスタ 1	0x0000	R/W	16bit
0x68	エンコードサイズ結果レジスタ 0	0x0000	RO	16bit
0x6C	エンコードサイズ結果レジスタ 1	0x0000	RO	16bit
0x70 - 0x78	予約レジスタ	-	-	-
JPEG Line Buffer Setting Registers (JLB[2:1]) : Base Address = 0xFFFE_A000(JPG1) 0xFFFD_A000(JPG2)				
0x80	JPEG ラインバッファステータスフラグレジスタ	0x0000	R/W	16bit
0x84	JPEG ラインバッファロウステータスフラグレジスタ	0x0000	RO	16bit
0x88	JPEG ラインバッファカレントステータスフラグレジスタ	0x0009	RO	16bit
0x8C	JPEG ラインバッファ割り込み制御レジスタ	0x0000	R/W	16bit
0x90 - 0x9C	予約レジスタ	-	-	-

8. JPEG コントローラ (JPG[2:1])

Address Offset	Register Name	Default Value	R/W	Data Access Size
0xA0	JPEG ラインバッファ水平ピクセル許容サイズレジスタ	0x2800	R/W	16bit
0xA4	JPEG ラインバッファメモリアドレスオフセットレジスタ	0x0020	R/W	16bit
0xA8 – 0xBC	予約レジスタ	-	-	-
0xC0	JPEG ラインバッファリード/ライトポートレジスタ	0x0000 0000	R/W	32bit
JPEG Codec Registers (JCODEC[2:1]) : Base Address = 0xFFFE_B000(JPG0) 0xFFFD_B000(JPG1)				
0x00	動作モード設定レジスタ	0x0000	R/W	16bit
0x04	コマンド設定レジスタ	Not applicable	WO	16bit
0x08	JPEG 動作ステータスレジスタ	0x0000	RO	16bit
0x0C	量子化テーブル番号レジスタ	0x0000	R/W	16bit
0x10	ハフマンテーブル番号レジスタ	0x0000	R/W	16bit
0x14	DRI 設定レジスタ 0	0x0000	R/W	16bit
0x18	DRI 設定レジスタ 1	0x0000	R/W	16bit
0x1C	垂直ピクセルサイズレジスタ 0	0x0000	R/W	16bit
0x20	垂直ピクセルサイズレジスタ 1	0x0000	R/W	16bit
0x24	水平ピクセルサイズレジスタ 0	0x0000	R/W	16bit
0x28	水平ピクセルサイズレジスタ 1	0x0000	R/W	16bit
0x2C - 0x34	予約レジスタ	-	-	-
0x38	RST マーカ動作設定レジスタ	0x0000	R/W	16bit
0x3C	RST マーカ動作ステータスレジスタ	0x0000	RO	16bit
0x40 – 0xCC	挿入マーカデータレジスタ	0x00FF	R/W	16bit
0x400 – 0x4FC	量子化テーブル No.0 レジスタ	Not applicable	R/W	16bit
0x500 – 0x5FC	量子化テーブル No.1 レジスタ	Not applicable	R/W	16bit
0x800 – 0x83C	DC ハフマンテーブル No.0 レジスタ 0	Not applicable	WO	16bit
0x840 – 0x86C	DC ハフマンテーブル No.0 レジスタ 1	Not applicable	WO	16bit
0x880 – 0x8BC	AC ハフマンテーブル No.0 レジスタ 0	Not applicable	WO	16bit
0x8C0 – 0xB44	AC ハフマンテーブル No.0 レジスタ 1	Not applicable	WO	16bit
0xC00 – 0xC3C	DC ハフマンテーブル No.1 レジスタ 0	Not applicable	WO	16bit
0xC40 – 0xC6C	DC ハフマンテーブル No.1 レジスタ 1	Not applicable	WO	16bit
0xC80 – 0xCBC	AC ハフマンテーブル No.1 レジスタ 0	Not applicable	WO	16bit
0xCC0 – 0xF44	AC ハフマンテーブル No.1 レジスタ 1	Not applicable	WO	16bit

以下に各レジスタの詳細について説明します。

8.4.2 Resizer Operation Registers (RSZ[2:1])

注意：リサイズのレジスタは一部を除き、カメラインタフェースからのデータを受け取っている間に変更できません。

グローバルリサイザ制御レジスタ RSZ[0x60] 初期値 = 0x0000								Write Only
15	14	n/a	12	11	10	9	8	ACTAGAIN
7	6	5	4	3	2	1	0	

Bit [10:9] : **予約**
必ず各ビットに“0”を設定してください。

Bit 8 : **ACTAGAIN (ライトオンリ)**
このビットは連続エンコードを実行するときに使用します。このビットに 1 を書くと現フレームに引き続き次のフレームも JPEG コーデック回路に画像が送られます。
連続エンコードの実現可否はシステムおよびソフトウェア仕様に依存します。詳細は動作説明を参照してください。

Bit [4:3] : **予約**
必ず、各ビットに“0”を設定してください。

Bits [1:0] : **予約**
必ず、各ビットに“0”を設定してください。

キャプチャ制御ステートレジスタ RSZ[0x64] 初期値 = 0x0000								Read Only
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	

Bit [3:0] : **ステート値**
キャプチャ制御シーケンスステートマシンの現在のステート値を示しています。ステート値の意味は、動作説明「8.5.1 キャプチャ制御機能」を参照してください。

キャプチャデータ設定レジスタ RSZ[0x68] 初期値 = 0x0000								Read/Write
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	Data Format Select

Bit 0 : **取り込み画像データフォーマット選択**
取り込み画像のデータフォーマットを選択します。このビットを“1”に設定した場合、RSZ[0xC0]以外の RSZ[*]レジスタの設定は全て無効となります。(ReadOnly のレジスタの中には状態が変化するものもありますが、有効値ではありません。)
0 : YUV データ
1 : 予約 (JPEG データ)

8. JPEG コントローラ (JPG[2:1])

予約レジスタ RSZ[0x70-7C] 初期値 = 0x0000								Read/Write
Reserved								
15	14	13	12	11	10	9	8	
Reserved								
7	6	5	4	3	2	1	0	

Bit [15:0] : **予約**
必ず、各ビットに “0” を設定してください。

取り込みリサイズ制御レジスタ RSZ[0xC0] 初期値 = 0x0000								Read/Write
n/a								
15	14	13	12	11	10	9	8	
Capture Resizer Software Reset (WO)	n/a			Reserved (0)			Capture Resizer Enable	
7	6	5	4	3	2	1	0	

Bit 7 : **取り込みリサイズソフトウェアリセット (ライトオンリ)**
このビットに “1” を書くことで取り込みリサイズはソフトウェアリセットされます。 “0” を書いたときには何も起きません。

Bits [3:1] : **予約**
必ず各ビットに “0” を設定してください。

Bit 0 : **取り込みリサイズイネーブル**
このビットが “0” のとき、リサイズモジュールへのクロック供給が停止するため、低消費電力対策に有効です。このビットが “0” であっても、リサイズモジュールのレジスタ群へのリード/ライトは可能です。
ライト時
0 : 取り込みリサイズはディセーブルになります。
1 : 取り込みリサイズはイネーブルになります。
リード時
0 : 取り込みリサイズはディセーブルです。
1 : 取り込みリサイズはイネーブルです。

取り込みリサイズスタート X 座標レジスタ RSZ[0xC8] 初期値= 0x0000								Read/Write
n/a					Capture Resizer Start X Position bits [10:8]			
15	14	13	12	11	10	9	8	
Capture Resizer Start X Position bits [7:0]								
7	6	5	4	3	2	1	0	

Bits [10:0] : **取り込みリサイズスタート X 座標 [10:0]**
これらのビットは取り込みリサイズの取り込み開始 X 座標を設定します。

8. JPEG コントローラ (JPG[2:1])

取り込みリサイズスタート Y 座標レジスタ							
RSZ[0xCC] 初期値 = 0x0000				Read/Write			
15	14	13	12	11	10	9	8
Capture Resizer Start Y Position bits [10:8]							
7	6	5	4	3	2	1	0
Capture Resizer Start Y Position bits [7:0]							

Bits [10:0] : **取り込みリサイズスタート Y 座標 [10:0]**
 これらのビットは取り込みリサイズの取り込み開始 Y 座標を決定します。

取り込みリサイズエンド X 座標レジスタ							
RSZ[0xD0] 初期値 = 0x027F				Read/Write			
15	14	13	12	11	10	9	8
Capture Resizer End X Position bits [10:8]							
7	6	5	4	3	2	1	0
Capture Resizer End X Position bits [7:0]							

Bits [10:0] : **取り込みリサイズエンド X 座標 [10:0]**
 これらのビットは取り込みリサイズの取り込み終了 X 座標を決定します。

取り込みリサイズエンド Y 座標レジスタ							
RSZ[0xD4] 初期値 = 0x01DF				Read/Write			
15	14	13	12	11	10	9	8
Capture Resizer End Y Position bits [10:8]							
7	6	5	4	3	2	1	0
Capture Resizer End Y Position bits [7:0]							

Bits [10:0] : **取り込みリサイズエンド Y 座標 [10:0]**
 これらのビットは取り込みリサイズの取り込み終了 Y 座標を決定します。

取り込みリサイズ縮小率レジスタ							
RSZ[0xD8] 初期値 = 0x8080				Read/Write			
15	14	13	12	11	10	9	8
Reserved (0)							
7	6	5	4	3	2	1	0
Reserved (0)				Capture Resizer Scaling Rate bits [3:0]			

Bits [15:4] : **予約**
 必ず各ビットに “0” を設定してください。

8. JPEG コントローラ (JPG[2:1])

Bits [3:0] :

取り込みリサイズ縮小率 [3:0]

これらのビットは取り込みリサイズの縮小率を設定します。取り込みリサイズ縮小モードレジスタの設定により利用できない縮小率があります。詳しくは取り込みリサイズ縮小モードレジスタの説明にある“表 8.4 取り込みリサイズ縮小率/モード選択”を参照してください。

表 8.2 取り込みリサイズ縮小率設定

bits [3:0]	取り込みリサイズ縮小率設定
0000	予約
0001	1/1
0010	1/2
0011	1/3 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0100	1/4
0101	1/5 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0110	1/6 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0111	1/7 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
1000	1/8
1001-1111	予約

取り込みリサイズ縮小モードレジスタ							
RSZ[0xDC]				初期値 = 0x0000			
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a				Reserved (0)		Capture Resizer Scaling Mode bits [1:0]	
7	6	5	4	3	2	1	0

Bits [3:2] : 予約
必ず各ビットに“0”を設定してください。

Bits [1:0] : **取り込みリサイズ縮小モード [1:0]**
これらのビットは取り込みリサイズ縮小モードを設定します。縮小モードによっては取り込みリサイズ縮小率レジスタで設定できない縮小率があります。詳しくは“表 8.4 取り込みリサイズ縮小率/モード選択”を参照してください。

表 8.3 取り込みリサイズ縮小モード選択

Bits [1:0]	Capture Resizer Scaling Mode
00	縮小なし
01	縦方向、横方向ともに間引き
10	縦方向間引き、横方向加算平均
11	予約

表 8.4 取り込みリサイズ縮小率/モード選択

		RSZ[0xDC] Bits [1:0]			
		00	01	10	11
RSZ[0xD8] Bits [3:0]	0000	1/1	予約	予約	予約
	0001	1/1	予約	予約	予約
	0010	1/1	1/2	1/2	予約
	0011	1/1	1/3	予約	予約
	0100	1/1	1/4	1/4	予約
	0101	1/1	1/5	予約	予約
	0110	1/1	1/6	予約	予約
	0111	1/1	1/7	予約	予約
	1000	1/1	1/8	1/8	予約
	other	予約	予約	予約	予約

8. JPEG コントローラ (JPG[2:1])

8.4.3 JPEG Module Registers (JCTL[2:1])

JPEG 制御レジスタ							
JCTL[0x00] 初期値 = 0x0000							Read/Write
JPEG Encode Fast Mode 15	JPEG Marker Fast Output Mode 14	Reserved (0) 13 12 11 10 9					JPEG 180° Rotation Enable 8
JPEG Module SW Reset (WO) 7	Reserved (0) 6 5		UV Data Type Conversion 4	Operation Mode bits [2:0] 3 2 1			JPEG Module Enable 0

Bit15 : **JPEG 高速エンコードモード**

0 : 影響なし。

1 : 固定されたハフマンテーブルを使用して JPEG 圧縮処理を促進します。

注意： このビットを “1” にして JPEG 圧縮を行う際には、JPEG ハフマンテーブル値 (JCODEC[0x800]-[0xF44]の有効アドレス) を「ISO/IEC 10918-1 Annex K」に記載されている値に設定するか、もしくは JCTL[0x20]ハフマン自動設定レジスタを “1” に設定する必要があります。

Bit14 : **JPEG マーカ高速出力モード**

0 : 影響なし。

1 : 固定されたハフマンテーブルを使用して JPEG マーカ出力を促進します。

注意： このビットの設定は高速エンコードモード (Bit15) が “1” のときのみ有効です。このビットを “1” にして JPEG 圧縮を行う際には、JPEG ハフマンテーブル値 (JCODEC[0x800]-[0xF44]の有効アドレス) を書き込む必要はありません。（「ISO/IEC 10918-1 Annex K」に記載されている値が使用されます。）

Bits [13:9] : **予約**

必ず各ビットに “0” を設定してください。

Bit 8 : **JPEG 180° 回転イネーブル**

JPEGエンコードデータを回転させるかどうか選択します。ハードウェアが回転するのは特定のライン単位になりますので、ソフトウェアでJPEGファイル中のデータの並べ替えが必要となります。詳しくは“8.5.5.5 JPEG180° 回転エンコード”を参照してください。

0 : 回転しない

1 : 180° 回転させる

Bit 7 : **JPEG モジュールソフトウェアリセット (ライトオンリ)**

JPEG コーデックを除く JPEG モジュールをリセットします。レジスタはリセットされません。JPEG エンコード開始前には必ずリセットしてください。このリセットを実行するためには JPEG モジュールイネーブルに “1” が設定されている必要があります。JPEG モジュールがイネーブルになっていない状態では、このビットに “1” を書いてもソフトウェアリセットが実行されない場合があります。

0 : 影響なし

1 : リセット

Bit [6:5] **予約**

必ず各ビットに “0” を設定してください。

Bit 4 : **UV データタイプ変換**

カメラから入力される UV タイプを変換します。

表 8.5 UV Data Type

Bit 4	Camera Data Type	Internal Data Type
0 (変換)	$0 \leq U \leq 255$ $0 \leq V \leq 255$	$-128 \leq U \leq 127$ $-128 \leq V \leq 127$
	$16 \leq Cb \leq 240$ $16 \leq Cr \leq 240$	$-112 \leq Cb \leq 112$ $-112 \leq Cr \leq 112$
	$-128 \leq U \leq 127$ $-128 \leq V \leq 127$	$0 \leq U \leq 255$ $0 \leq V \leq 255$
	$-112 \leq Cb \leq 112$ $-112 \leq Cr \leq 112$	$16 \leq Cb \leq 240$ $16 \leq Cr \leq 240$
1 (非変換)	$0 \leq U \leq 255$ $0 \leq V \leq 255$	$0 \leq U \leq 255$ $0 \leq V \leq 255$
	$16 \leq Cb \leq 240$ $16 \leq Cr \leq 240$	$16 \leq Cb \leq 240$ $16 \leq Cr \leq 240$
	$-128 \leq U \leq 127$ $-128 \leq V \leq 127$	$-128 \leq U \leq 127$ $-128 \leq V \leq 127$
	$-112 \leq Cb \leq 112$ $-112 \leq Cr \leq 112$	$-112 \leq Cb \leq 112$ $-112 \leq Cr \leq 112$

Bits [3:1] :

動作モード選択

JPEG 動作モードを設定します。YUV データキャプチャが選択されると JPEG コーデックへのクロック供給が停止され JPEG コーデックレジスタへアクセスできません。そのため JPEG コーデックレジスタの設定変更をする場合はカメラ画像 JPEG エンコード (YUV データキャプチャ以外) に設定してください。

カメラ画像 JPEG エンコードおよび JPEG デコード時の YUV フォーマットは JCODEC[0x00]bit1-0YUV フォーマット選択で設定しますが、YUV データキャプチャの YUV フォーマットはこのレジスタビットで設定します。

なお、YUV4:2:0 と設定して VGA 画像を取得する場合には、ラインバッファ RAM として 31KB 以上の領域を割り当てる必要があります。S2S65A30 では 32KB および 24KB の内蔵 RAM をラインバッファ RAM として搭載しておりますので YUV4:2:0 と設定できる入力は 1ch のみです。

表 8.6 JPEG 動作モード

bits [3:1]	JPEG 動作モード
000	カメラ画像 JPEG エンコード (YUV4:4:4、YUV4:2:2、YUV4:1:1、YUV4:2:0 ただし YUV4:1:1 および YUV4:4:4 はリサイズにて 1/2 以下に縮小した画像のみ対応) (初期値)
001	予約
010	予約
011	YUV データキャプチャ (YUV 4:2:2)
100	JPEG デコード (YUV 4:2:2)
101	予約
110	予約
111	YUV データキャプチャ (YUV 4:2:0)

Bit 0 :

JPEG モジュールイネーブル

JPEG モジュールをイネーブルにします。ディセーブル時は JPEG モジュールへのクロック供給が停止され JPEG コーデックレジスタへアクセスできません。また JPEG モジュールのディセーブルは必ずリサイズをディセーブルする前に行ってください。

0 : ディセーブル (初期値)

1 : イネーブル

8. JPEG コントローラ (JPG[2:1])

JPEG ステータスフラグレジスタ JCTL[0x04] 初期値 = 0x8080							Read/Write
Reserved (1) -	JPEG Codec File Out Status (RO)	JPEG FIFO Threshold Status bits [1:0] (RO)		Encode Size Limit Violation Flag (R/W)	JPEG FIFO Threshold Trigger Flag (R/W)	JPEG FIFO Full Flag (R/W)	JPEG FIFO Empty Flag (R/W)
15	14	13	12	11	10	9	8
Reserved (1) -			Decode Maker Read Flag (R/W)	Reserved -	JPEG Line Buffer Overflow Flag (RO)	JPEG Codec Interrupt Flag (RO)	JPEG Line Buffer Interrupt Flag (RO)
7	6	5	4	3	2	1	0

Bit 15 : **予約**
必ず“1”を設定してください。

Bit 14 : **JPEG コーデックファイルアウトステータス（リードオンリ）**
JPEG エンコード時の JPEG コーデック出力状態を示します。
0 : JPEG ファイル出力停止中
1 : JPEG エンコード中または JPEG ファイル出力中
ライト時には必ず“1”を設定してください。

Bits [13:12] : **JPEG FIFO しきい値ステータス（リードオンリ）**
JPEG FIFO の現在のデータ状態を示します。
ライト時には必ず“1”を設定してください。

表 8.7 JPEG FIFO Threshold Status

bits [13:12]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズの 1/4 未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

Bit 11 : **エンコードサイズリミット違反フラグ**
JPEG エンコード時に JPEG ファイルのサイズがエンコードサイズリミットレジスタに設定されるエンコードサイズリミットを超えたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (JCTL[0x0C] bit 11) によりディセーブルにできます。この機能はファイルサイズを超えたことを通知するだけで、JPEG エンコード動作は継続しています。
リード時
0 : 割り込みなし
1 : 割り込みあり（エンコードサイズオーバー発生）
ライト時
0 : 影響なし
1 : クリア

Bit 10 : **JPEG FIFO しきい値トリガフラグ**
JPEG FIFO のデータサイズが JPEG FIFO しきい値（JPEG FIFO 制御レジスタ bits 5-4）を少なくとも一回は超えたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 10) によりディセーブルにできます。
リード時
0 : 割り込みなし
1 : 割り込みあり（JPEG FIFO しきい値オーバー発生）
ライト時
0 : 影響なし
1 : クリア

- Bit 9 :** **JPEG FIFO フルフラグ**
JPEG FIFO が少なくとも一回はフルになったことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 9) によりディセーブルにできます。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (JPEG FIFO フル発生)
ライト時
 0 : 影響なし
 1 : クリア
- Bit 8 :** **JPEG FIFO エンプティフラグ**
JPEG FIFO が少なくとも一回はエンプティになったことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 8) によりディセーブルにできます。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (JPEG FIFO エンプティ発生)
ライト時
 0 : 影響なし
 1 : クリア
- Bit [7:5] :** **予約**
各ビットに、必ず “1” を設定してください。
- Bit 4 :** **デコードマーカフラグ**
JPEG デコード時に JPEG ファイルからマーカがリードされたことを示す割り込みフラグです。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (マーカリード終了)
ライト時
 0 : 影響なし
 1 : クリア
割り込みをクリアする場合には、先に JPEG 割り込み制御レジスタ bit4 をディセーブルにしてください。
- Bit 3 :** **予約**
必ず、“1” を設定してください。
- Bit 2 :** **JPEG ラインバッファオーバーフローフラグ (リードオンリ)**
JPEG ラインバッファがオーバーフローしたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 2) によりディセーブルにできます。
このフラグは JPEG モジュールソフトウェアリセット (bit 7) によりクリアされます。
 0 : 割り込みなし
 1 : 割り込みあり (JPEG ラインバッファオーバーフロー発生)
ライト時には必ず “1” を設定してください。
この機能はラインバッファがオーバーフローしたことを通知するだけで、JPEG モジュールは動作を継続しています。ただしデータはオーバーフローにより破壊されています。
- Bit 1 :** **JPEG コーデック割り込みフラグ (リードオンリ)**
JPEG コーデックが割り込みを発生したことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 1) によりディセーブルにできます。このフラグは JPEG 動作ステータス (bit 0) をリードすることでクリアされます。
 0 : 割り込みなし
 1 : 割り込みあり (JPEG コーデック割り込み発生)

8. JPEG コントローラ (JPG[2:1])

Bit 0 : **JPEG ラインバッファ割り込みフラグ（リードオンリ）**

JPEG デコード時に使用し、JPEG ラインバッファ割り込みが発生したことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ(bit0)によりディセーブルにできます。このフラグは JPEG ラインバッファステータスフラグレジスタをクリアすることでクリアされます。

0 : 割り込みなし

1 : 割り込みあり（JPEG ラインバッファ割り込み発生）

JPEG ロウステータスフラグレジスタ							
JCTL[0x08] 初期値 = 0x8080				Read Only			
Reserved	Raw JPEG Codec File Out Status	Raw JPEG FIFO Threshold Status bits [1:0]		Raw Encode Size Limit Violation Flag	Raw JPEG FIFO Threshold Trigger Flag	Raw JPEG FIFO Full Flag	Raw JPEG FIFO Empty Flag
15	14	13	12	11	10	9	8
Reserved			Raw Decode Marker Read Flag	Reserved	Raw JPEG Line Buffer Overflow Flag	Raw JPEG Codec Interrupt Flag	Raw JPEG Line Buffer Interrupt Flag
7	6	5	4	3	2	1	0

Bit 15 : **予約**

Bit 14 : **JPEG コーデックファイルアウトロウステータス**

JPEG エンコード時の JPEG コーデック出力状態を示します。

0 : JPEG ファイル出力停止中

1 : JPEG エンコード中または JPEG ファイル出力中

Bits [13:12] : **JPEG FIFO しきい値ロウステータス**

JPEG FIFO の現在のデータ状態を示します。

表 8.8 JPEG FIFO Threshold Status

Bits [13:12]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズ未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

Bit 11 : **エンコードサイズリミット違反ロウフラグ**

JPEG エンコード時に JPEG ファイルのサイズがエンコードサイズリミット（エンコードサイズリミットレジスタ 0,1）を超えたことを示すフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 11) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 11 に“1”をライトすることで行われます。この機能はファイルサイズを超えたことを通知するだけで、JPEG エンコード動作は継続しています。

0 : エンコードサイズオーバー発生なし

1 : エンコードサイズオーバー発生あり

Bit 10 : **JPEG FIFO しきい値トリガロウフラグ**

JPEG FIFO のデータサイズが JPEG FIFO しきい値（JPEG FIFO 制御レジスタ bit5-4）を少なくとも一回は超えたことを示すフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 10) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 10 に“1”をライトすることで行われます。

0 : JPEG FIFO しきい値オーバー発生なし

1 : JPEG FIFO しきい値オーバー発生あり

Bit 9 : JPEG FIFO フルロウフラグ

JPEG FIFO が少なくとも一回はフルになったことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 9) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 9 に“1”をライトすることで行われます。

- 0 : JPEG FIFO フル発生なし
- 1 : JPEG FIFO フル発生あり

Bit 8 : JPEG FIFO エンプティロウフラグ

JPEG FIFO が少なくとも一回はエンプティになったことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 8) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 8 に“1”をライトすることで行われます。

- 0 : JPEG FIFO エンプティ発生なし
- 1 : JPEG FIFO エンプティ発生あり

Bit [7:5] : 予約**Bit 4 : JPEG デコードマーカリードロウフラグ**

JPEG デコード時に JPEG ファイルからマーカがリードされたことを示すフラグです。このフラグは JPEG 割り込み制御レジスタ (bit4) が“0”に設定されているときには“0”から“1”に変化することはありません。一方すでに“1”になっている状態で JPEG 割り込み制御レジスタ (bit4) を“1”から“0”に変化させてもこのステータスが“0”に変化することはありません。このフラグのクリアは JPEG ステータスフラグレジスタ bit4 に“1”をライトすることで行われます。

- 0 : マーカリード未終了
- 1 : マーカリード終了

Bit 3 : 予約**Bit 2 : JPEG ラインバッファオーバーフローロウフラグ**

JPEG ラインバッファがオーバーフローしたことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (JCTL[0x0C] bit 2) には影響されません。このフラグは JPEG モジュールソフトウェアリセット (JCTL[0x00] bit 7) によりクリアされます。

- 0 : JPEG ラインバッファオーバーフロー発生なし
- 1 : JPEG ラインバッファオーバーフロー発生あり

Bit 1 : JPEG コーデック割り込みロウフラグ

JPEG コーデックが割り込みを発生したことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 1) には影響されません。このフラグは JPEG 動作ステータスレジスタ (bit 0) をリードすることでクリアされます。

- 0 : JPEG コーデック割り込み発生なし
- 1 : JPEG コーデック割り込み発生あり

Bit 0 : JPEG ラインバッファ割り込みロウフラグ

YUV データキャプチャで使用し、JPEG ラインバッファ割り込みが発生したことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 0) には影響されません。このフラグは JPEG ラインバッファ割り込みフラグレジスタをクリアすることでクリアされます。

- 0 : JPEG ラインバッファ割り込み発生なし
- 1 : JPEG ラインバッファ割り込み発生あり

8. JPEG コントローラ (JPG[2:1])

JPEG 割り込み制御レジスタ							
JCTL[0x0C] 初期値 = 0x0000				Read/Write			
Reserved (0)				Encode Size Limit Violation Interrupt Enable	JPEG FIFO Threshold Trigger Interrupt Enable	JPEG FIFO Full Interrupt Enable	JPEG FIFO Empty Interrupt Enable
15	14	13	12	11	10	9	8
Reserved (0)			Decode Marker Read Interrupt Enable	Reserved (0)	JPEG Line Buffer Overflow Interrupt Enable	JPEG Codec Interrupt Enable	JPEG Line Buffer Interrupt Enable
7	6	5	4	3	2	1	0

Bits [15:12] : **予約**

必ず、各ビットに“0”を設定してください。

Bit 11 : **エンコードサイズリミット違反割り込みイネーブル**

エンコードサイズリミット違反割り込みをイネーブルにします。

0 : ディセーブル (初期値)

1 : イネーブル

Bit 10 : **JPEG FIFO しきい値トリガ割り込みイネーブル**

JPEG FIFO しきい値トリガ割り込みをイネーブルにします。

0 : ディセーブル (初期値)

1 : イネーブル

Bit 9 : **JPEG FIFO フル割り込みイネーブル**

JPEG FIFO フル割り込みをイネーブルにします。

0 : ディセーブル (初期値)

1 : イネーブル

Bit 8 : **JPEG FIFO エンプティ割り込みイネーブル**

JPEG FIFO エンプティ割り込みをイネーブルにします。

0 : ディセーブル (初期値)

1 : イネーブル

Bits [7:5] : **予約**

必ず、各ビットに“0”を設定してください。

Bit 4 : **JPEG デコードマーカリード割り込みイネーブル**

JPEG デコードマーカリード割り込みをイネーブルにします。このイネーブルはデコードマーカリード状態で JPEG デコード動作を一時停止させる機能を併せ持っています。一時停止の解除はこのビットをディセーブルにすることです。

0 : ディセーブル (初期値)

1 : イネーブル

Bit 3 : **予約**

必ず、“0”を設定してください。

Bit 2 : **JPEG ラインバッファオーバーフロー割り込みイネーブル**

JPEG ラインバッファオーバーフロー割り込みをイネーブルにします。

0 : ディセーブル (初期値)

1 : イネーブル

Bit 1 : **JPEG コーデック割り込みイネーブル**
 JPEG コーデック割り込みをイネーブルにします。
 0 : ディセーブル (初期値)
 1 : イネーブル

Bit 0 : **JPEG ラインバッファ割り込みイネーブル**
 JPEG ラインバッファ割り込みをイネーブルにします。このビットは JPEG ラインバッファ割り込み制御レジスタのイネーブル制御の根元となるイネーブルです。このビットがディセーブルである場合は JPEG ラインバッファ割り込み制御レジスタのどのビットをイネーブルにしても JPEG ラインバッファ割り込み制御レジスタで制御される JPEG ラインバッファの割り込みがイネーブルになることはありません。JPEG ラインバッファオーバーフロー割り込みはこのイネーブル制御とは関係ありません。
 0 : ディセーブル (初期値)
 1 : イネーブル

JPEG コーデックスタートストップ制御レジスタ							
JCTL[0x14] 初期値 = 0x0000							
							Write Only
15	14	13	12	11	10	9	8
n/a							JPEG Start/Stop Control
7	6	5	4	3	2	1	0

Bit 0 : **JPEG スタート/ストップ制御**
 JPEG モジュール動作 (YUV データキャプチャ含む) の制御を行います。JPEG デコード時は使用しません。
JPEG エンコード時
 0 : エンコード キャンセル (エンコード前の場合エンコード開始をキャンセル)
 1 : エンコード開始 (次フレームをエンコード)
YUV データキャプチャ時
 0 : キャプチャ停止 (現フレーム後停止)
 1 : キャプチャ開始 (次フレームから開始)

ハフマンテーブル自動設定レジスタ							
JCTL[0x20] 初期値 = 0x0000							
							Read/Write
15	14	13	12	11	10	9	8
n/a						ハフマンテーブル自動設定非待機モード	ハフマンテーブル自動設定
7	6	5	4	3	2	1	0

Bit 1 : **ハフマンテーブル自動設定時の非待機モード**
 JPEG コーデックコアをエンコードに設定時に、Bit0 に “1” を書き込むと同時にこのビットに “1” を書き込むと、JCODEC レジスタ以外のレジスタへのアクセスが可能になります。
 Bit 0 に “1” を書き込むのと同時に “0” を書き込んだ場合、ハフマンテーブルの設定終了後に他のレジスタアドレスへのアクセスが可能になります。
 Bit0 に対する有効な “1” 書き込みと同時に書き込んだとき以外は無効です。
 読み出し時は “0” です。

Bit 0 : **ハフマンテーブル自動設定**
 JPEG コーデックコアをエンコードに設定時に “1” を書き込むと JPEG ハフマンテーブル値 (JCODEC[0x800]-[0xF44]の有効アドレス) に「ISO/IEC 10918-1 Annex K」記載の値を自動的に書き込みます。
 エンコード設定時以外や “0” を書き込んだときには何も起こりません。

8. JPEG コントローラ (JPG[2:1])

このビットが“1”のときは、JCODEC レジスタにはアクセス出来ません。（ダミーライト扱いになります。）

このビットが“1”のときは、本レジスタアドレスへの書き込みアクセスは禁止です。

このビットは“1”を書き込まれた後、ハフマンテーブル設定終了後に自動的にクリア（“0”）されます。

8.4.4 JPEG FIFO Setting Register (JFIFO[2:1])

JPEG FIFO 制御レジスタ							
JFIFO[0x40]				初期値 = 0x0000			
Read/Write							
Reserved (0)							
15	14	13	12	11	10	9	8
Reserved (0)		JPEG FIFO Trigger Threshold bits [1:0]		Reserved (0)	JPEG FIFO Clear	JPEG FIFO Direction (RO)	Reserved (0)
7	6	5	4	3	2	1	0

Bits [15:6] : **予約**
必ず、各ビットに“0”を設定してください。

Bits [5:4] : **JPEG FIFO トリガしきい値**
JPEG FIFO のトリガのしきい値を設定します。

表 8.9 JPEG FIFO Trigger Threshold Selection

Bits [5:4]	JPEG FIFO Trigger Threshold
00	トリガなし
01	4 バイト以上でトリガ
10	FIFO サイズの 1/4 以上でトリガ
11	FIFO サイズの 1/2 以上でトリガ

Bit 3 : **予約**
必ず、“0”を設定してください。

Bit 2 : **JPEG FIFO クリア**
JPEG FIFO をクリアします。JPEG FIFO をクリアしたときは必ず JPEG モジュールをリセット（JPEG 制御レジスタ bit 7）してください。
0 : 影響なし
1 : JPEG FIFO クリア

Bit 1 : **JPEG FIFO コーデック方向（リードオンリ）**
JPEG FIFO の方向を示します。
0 : 受信（JPEG エンコード設定）
1 : 送信（JPEG デコード設定）

Bit 0 : **予約**
必ず、“0”を設定してください。

JPEG FIFO ステータスレジスタ								
JFIFO[0x44]				初期値 = 0x8001				Read Only
				Reserved				
15	14	13	12	11	10	9	8	
Reserved				JPEG FIFO Threshold Status bits [1:0]		JPEG FIFO Full Status	JPEG FIFO Empty Status	
7	6	5	4	3	2	1	0	

Bits [15:4] : 予約

Bits [3:2] : **JPEG FIFO しきい値ステータス**
JPEG FIFO の現在のデータ状態を示します。

表 8.10 JPEG FIFO Threshold Status

Bits [3:2]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズの 1/4 未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

Bit 1 : **JPEG FIFO フルスステータス**
JPEG FIFO の現在のフル状態を示します。
0 : フルでない
1 : フル

Bit 0 : **JPEG FIFO エンプティステータス**
JPEG FIFO の現在のエンプティ状態を示します。
0 : エンプティでない
1 : エンプティ

JPEG FIFO サイズレジスタ								
JFIFO[0x48]				初期値 = 0x003F				Read/Write
Reserved (0)		JPEG FIFO Size bits [14:8]						
15	14	13	12	11	10	9	8	
JPEG FIFO Size bits [7:0]								
7	6	5	4	3	2	1	0	

Bit 15 : 予約
必ず、“0” に設定してください。

Bits [14:0] : **JPEG FIFO サイズ**
JPEG FIFO サイズをワード単位で設定します。JPEG FIFO の最大値は 64 ワードです。JPEG FIFO は専用 RAM を使用していますので、通常は最大値である 64 ワードを設定することになります。
JPEG FIFO サイズ (ワード) = JPEG FIFO サイズ bits[14:0]+1

注意 : 本レジスタは最大“0x003F”まで設定可能ですが、“0x003F” (初期値) でお使いになることを推奨します。その他“0x001F”, “0x000F”, “0x0007”, “0x0003”, “0x0001”, “0x0000” が設定可能ですが、それ以外の数値は設定しないでください。

8. JPEG コントローラ (JPG[2:1])

JPEG FIFO リード/ライトポートレジスタ							
JFIFO[0x4C]		初期値 = 0x0000 0000					Read/Write
JPEG FIFO Read/Write Port bits [31:24]							
31	30	29	28	27	26	25	24
JPEG FIFO Read/Write Port bits [23:16]							
23	22	21	20	19	18	17	16
JPEG FIFO Read/Write Port bits [15:8]							
15	14	13	12	11	10	9	8
JPEG FIFO Read/Write Port bits [7:0]							
7	6	5	4	3	2	1	0

Bits [31:0] : **JPEG FIFO リード/ライトポート**

JPEG エンコード時および YUV データキャプチャ時の JPEG FIFO リードポート (JPEG ファイル および YUV データの DMA 転送における転送元) です。JPEG デコード時は JPEG FIFO がライトポート (JPEG ファイルの DMA 転送の転送先) になります。

DMA 転送の転送元や転送先に本ポートを設定する場合は、本ポートの AHB バスから見たアドレスである、0xE000_004C(JPEG1)、0xD000_004C(JPEG2)を設定して下さい。

予約レジスタ							
JFIFO[0x50, 0x54, 0x58]				初期値 = -			
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

8. JPEG コントローラ (JPG[2:1])

エンコードサイズリミットレジスタ 0							
JFIFO[0x60] 初期値 = 0x0000							
Read/Write							
Encode Size Limit bits [15:8]							
15	14	13	12	11	10	9	8
Encode Size Limit bits [7:0]							
7	6	5	4	3	2	1	0

エンコードサイズリミットレジスタ 1							
JFIFO[0x64] 初期値 = 0x0000							
Read/Write							
n/a							
15	14	13	12	11	10	9	8
Encode Size Limit bits [23:16]							
7	6	5	4	3	2	1	0

エンコードサイズリミットレジスタ 1 bits [7:0]

エンコードサイズリミットレジスタ 0 bits [15:0] :

エンコードサイズリミット bits[23:0]

JPEG エンコード時の JPEG ファイルのデータサイズリミットをバイト数で設定します。このレジスタ設定値以上の JPEG ファイルがエンコードされた場合はエンコードサイズリミット違反の割り込みが発生します。この値を超えても JPEG エンコード動作自体には影響はありません。JPEG デコード時は使用しません。

エンコードサイズ結果レジスタ 0							
JFIFO[0x68] 初期値 = 0x0000							
Read Only							
Encode Size Result bits [15:8]							
15	14	13	12	11	10	9	8
Encode Size Result bits [7:0]							
7	6	5	4	3	2	1	0

エンコードサイズ結果レジスタ 1							
JFIFO[0x6C] 初期値 = 0x0000							
Read Only							
n/a							
15	14	13	12	11	10	9	8
Encode Size Result bits [23:16]							
7	6	5	4	3	2	1	0

エンコードサイズ結果レジスタ 1 bits [7:0]

エンコードサイズ結果レジスタ 0 bits [15:0] :

エンコードサイズ結果 bits[23:0]

JPEG エンコード時の JPEG ファイルのデータサイズを示します。JPEG エンコード終了時のみ正しいサイズを表示します。JPEG デコード時は使用しません。

予約レジスタ							
JFIFO[0x70, 0x74, 0x78] 初期値 = -							
-/-							
予約							
15	14	13	12	11	10	9	8
予約							
7	6	5	4	3	2	1	0

8. JPEG コントローラ (JPG[2:1])

8.4.5 JPEG ラインバッファ設定レジスタ (JLB[2:1])

JPEG ラインバッファステータスフラグレジスタ							
JLB[0x80]				初期値 = 0x0000			
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a			予約	JPEG Line Buffer Empty Flag	JPEG Line Buffer Full Flag	JPEG Line Buffer Half Flag	予約
7	6	5	4	3	2	1	0

Bit 4 : **予約**
必ず、“1” に設定してください。

Bit 3 : **JPEG ラインバッファエンプティフラグ**
JPEG ラインバッファが少なくとも一回はエンプティになったことを示す割り込みフラグです。
このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 3) によりディセーブルにできます。
リード時
0 : 割り込みなし
1 : 割り込みあり (JPEG ラインバッファエンプティ発生)
ライト時
0 : 影響なし
1 : クリア

Bit 2 : **JPEG ラインバッファフルフラグ**
JPEG ラインバッファが少なくとも一回はフルになったことを示す割り込みフラグです。このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 2) によりディセーブルにできます。
リード時
0 : 割り込みなし
1 : 割り込みあり (JPEG ラインバッファフル発生)
ライト時
0 : 影響なし
1 : クリア

Bit 1 : **JPEG ラインバッファハーフフルフラグ**
JPEG ラインバッファが少なくとも一回はハーフフルになったことを示す割り込みフラグです。
このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 1) によりディセーブルにできます。
リード時
0 : 割り込みなし
1 : 割り込みあり (JPEG ラインバッファハーフフル発生)
ライト時
0 : 影響なし
1 : クリア

Bit 0 : **予約**
必ず、“1” に設定してください。

8. JPEG コントローラ (JPG[2:1])

JPEG ラインバッファロウステータスフラグレジスタ							
JLB[0x84] 初期値 = 0x0000							
Read Only							
15	14	13	12	11	10	9	8
n/a			Reserved	Raw JPEG Line Buffer Empty Flag	Raw JPEG Line Buffer Full Flag	Raw JPEG Line Buffer Half Flag	Reserved
7	6	5	4	3	2	1	0

Bit 4 : 予約

Bit 3 : JPEG ラインバッファエンプティロウフラグ

JPEG ラインバッファが少なくとも一回はエンプティになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 3) には影響されません。

- 0 : JPEG ラインバッファエンプティ発生なし
- 1 : JPEG ラインバッファエンプティ発生あり

Bit 2 : JPEG ラインバッファフルロウフラグ

JPEG ラインバッファが少なくとも一回はフルになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 2) には影響されません。

- 0 : JPEG ラインバッファフル発生なし
- 1 : JPEG ラインバッファフル発生あり

Bit 1 : JPEG ラインバッファハーフフルロウフラグ

JPEG ラインバッファが少なくとも一回はハーフフルになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 1) には影響されません。

- 0 : JPEG ラインバッファハーフフル発生なし
- 1 : PEG ラインバッファハーフフル発生あり

Bit 0 : 予約

JPEG ラインバッファカレントステータスフラグレジスタ							
JLB[0x88] 初期値 = 0xX009							
Read Only							
15	14	13	12	11	10	9	8
n/a			Reserved	JPEG Line Buffer Empty Current Status	JPEG Line Buffer Full Current Status	JPEG Line Buffer Half Full Current Status	Reserved
7	6	5	4	3	2	1	0

Bit 4 : 予約

Bit 3 : JPEG ラインバッファエンプティカレントステータス

JPEG ラインバッファの現在のエンプティ状態を示します。

- 0 : エンプティでない
- 1 : エンプティ

Bit 2 : JPEG ラインバッファフルカレントステータス

JPEG ラインバッファの現在のフル状態を示します。

- 0 : フルでない
- 1 : フル

Bit 1 : JPEG ラインバッファハーフフルステータス

JPEG ラインバッファの現在のハーフフル状態を示します。

- 0 : ハーフフルでない

8. JPEG コントローラ (JPG[2:1])

1 : ハーフフル

Bit 0 : 予約

JPEG ラインバッファ割り込み制御レジスタ							
JLB[0x8C]				初期値 = 0x0000			
Read/Write							
n/a				n/a			
15	14	13	12	11	10	9	8
n/a			Reserved	JPEG Line Buffer Empty Interrupt Enable	JPEG Line Buffer Full Interrupt Enable	JPEG Line Buffer Half Full Interrupt Enable	Reserved
7	6	5	4	3	2	1	0

Bit4 : 予約
必ず、“0” に設定してください。

Bit 3 : **JPEG ラインバッファエンプティ割り込みイネーブル**
JPEG ラインバッファエンプティ割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 2 : **JPEG ラインバッファフル割り込みイネーブル**
JPEG ラインバッファフル割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 1 : **JPEG ラインバッファハーフフル割り込みイネーブル**
JPEG ラインバッファハーフフル割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 0 : 予約
必ず、“0” に設定してください。

JPEG ラインバッファ水平ピクセル許容サイズレジスタ							
JLB[0xA0]		初期値 = 0x2800					Read/Write
Horizontal Support Size bits [10:4]							
15	14	13	12	11	10	9	8
Horizontal Support Size bits [3:0]				n/a	Horizontal Support Size Setting bits [2:0]		
7	6	5	4	3	2	1	0

Bits [15:4] : **JPEG ラインバッファ水平ピクセル許容サイズ (リードオンリ)**
Bits[2:0]によって設定された水平ピクセル許容サイズです。

Bits [2:0] : **JPEG ラインバッファ水平ピクセル許容サイズ設定**
JPEG ラインバッファが許容する水平ピクセルサイズを設定します。このレジスタを初期値以外で使用する場合は、JLB[0xA4]及びシステムコントローラのメモリ配分レジスタの設定と合わせて変更する必要があります。
000 : 水平ピクセルサイズ=640 まで許容します。 (初期値)
001 : 水平ピクセルサイズ=800 まで許容します。
010 : 水平ピクセルサイズ=1024 まで許容します。
011 : 水平ピクセルサイズ=1280 まで許容します。
100 : 水平ピクセルサイズ=1600 まで許容します。
101-111 : 設定不可

JPEG ラインバッファメモリアドレスオフセットレジスタ							
JLB[0xA4] 初期値 = 0x0020							
Read/Write							
Reserved (0)							
15	14	13	12	11	10	9	8
JPG-LB Memory Address Offset bits [6:0]							
Reserved (0)	6	5	4	3	2	1	0
7							

Bits [15:7] : **予約**
必ず、“0” に設定してください。

Bits [6:0] : **JPEG ラインバッファメモリアドレスオフセット**
JPEG ラインバッファ使用する内部メモリのアドレスオフセット値を 1KB アドレス単位で設定します。このレジスタを初期値以外で使用する場合は、システムコントローラのメモリ配分レジスタの設定と合わせて変更する必要があります。

JPEG ラインバッファリード/ライトポートレジスタ							
JLB[0xC0] 初期値 = 0x0000_0000							
Read/Write							
JPEG Line Buffer Read/Write Port bits [31:24]							
31	30	29	28	27	26	25	24
JPEG Line Buffer Read/Write Port bits [23:16]							
23	22	21	20	19	18	17	16
JPEG Line Buffer Read/Write Port bits [15:8]							
15	14	13	12	11	10	9	8
JPEG Line Buffer Read/Write Port bits [7:0]							
7	6	5	4	3	2	1	0

Bits [31:0] : **JPEG ラインバッファリード/ライトポート**
JPEG デコード時には JPEG ラインバッファのリードポート（YUV データの DMA 転送の転送元）となります。
DMA 転送時には本ポートの AHB バスからみたアドレスである 0xE000_00C0(JPEG1)、0xD000_00C0(JPEG2)を設定して下さい。

8. JPEG コントローラ (JPG[2:1])

8.4.6 JPEG Codec Registers (JCODEC[2:1])

動作モード設定レジスタ							
JCODEC[0x00]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a			Reserved (0)	Marker Insert Enable	JPEG Operation Select	YUV Format Select bits [1:0]	
7	6	5	4	3	2	1	0

Bit 4 : **予約**
必ず、“0” を設定してください。

Bit 3 : **マーカ挿入イネーブル**
JPEG エンコード時に挿入マーカデータレジスタに書かれたデータの JPEG ファイルへの挿入をイネーブルにします。JPEG デコード時は使用しません。
0 : ディセーブル（マーカ挿入なし）（初期値）
1 : イネーブル（マーカ挿入あり）

Bit 2 : **JPEG 動作モード選択**
JPEG 動作モードを設定します。

表 8.11 JPEG Operation Selection

Bit 2	JPEG Operation
0（初期値）	エンコード
1	デコード

Bits [1:0] : **YUV フォーマット選択**
JPEG エンコード時の YUV データ形式を設定します。リサイズで縮小処理を行っていない場合は YUV 4:4:4 形式の JPEG エンコードはできません。JPEG デコード時は JPEG ファイルの YUV データ形式を示します。

表 8.12 YUV Format Selection

Bits [1:0]	YUV Format
00（初期値）	4:4:4
01	4:2:2
10	4:2:0
11	4:1:1

コマンド設定レジスタ JCODEC[0x04] 初期値 = not applicable								Write Only
15	14	13	12	11	10	9	8	
JPEG Codec SW Reset	n/a						JPEG Operation Start	
7	6	5	4	3	2	1	0	

このレジスタはリードしないでください。また JPEG 動作中にライトしないでください。（リセットは可能）

Bit 7 : **JPEG コーデックソフトウェアリセット**
JPEG コーデックをソフトウェアリセットします。JPEG コーデックレジスタはリセットされません。
0 : 影響なし
1 : リセット

Bit 0 : **JPEG 動作スタート**
JPEG 動作（YUV データキャプチャ含む）を開始します。
0 : 影響なし
1 : JPEG 動作開始

JPEG 動作ステータスレジスタ JCODEC[0x08] 初期値 = 0x0000								Read Only
15	14	13	12	11	10	9	8	
n/a						JPEG Operation Status (RO)		
7	6	5	4	3	2	1	0	

このレジスタをリードすることで JPEG ステータスフラグレジスタ bit 1 / JPEG ロウステータスフラグレジスタ bit 1 がクリアされます。

Bit 0 : **JPEG 動作ステータス**
JPEG コーデックの動作状態を示します。
0 : 停止中
1 : JPEG エンコードおよびデコード動作中

量子化テーブル番号レジスタ JCODEC[0x0C] 初期値 = 0x0000								Read/Write
15	14	13	12	11	10	9	8	
n/a					V Table Select	U Table Select	Y Table Select	
7	6	5	4	3	2	1	0	

Bit 2 : **V 成分テーブル選択**
JPEG エンコード時の V 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。
0 : 量子化テーブル 0 使用（初期値）
1 : 量子化テーブル 1 使用

8. JPEG コントローラ (JPG[2:1])

Bit 1 : U 成分テーブル選択

JPEG エンコード時の U 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。

- 0 : 量子化テーブル 0 を使用 (初期値)
- 1 : 量子化テーブル 1 を使用

Bit 0 : Y 成分テーブル選択

JPEG エンコード時の Y 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。

- 0 : 量子化テーブル 0 を使用 (初期値)
- 1 : 量子化テーブル 1 を使用

ハフマンテーブル番号レジスタ								
JCODEC[0x10]				初期値 = 0x0000				Read/Write
n/a								
15	14	13	12	11	10	9	8	
n/a		V ACTable Select	V DCTable Select	U ACTable Select	U DCTable Select	Y ACTable Select	Y DCTable Select	
7	6	5	4	3	2	1	0	

Bit 5 : V 成分 AC テーブル選択

JPEG エンコード時の V 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 4 : V 成分 DC テーブル選択

JPEG エンコード時の V 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

Bit 3 : U 成分 AC テーブル選択

JPEG エンコード時の U 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 2 : U 成分 DC テーブル選択

JPEG エンコード時の U 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

Bit 1 : Y 成分 AC テーブル選択

JPEG エンコード時の Y 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“0”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 0 : Y 成分 DC テーブル選択

JPEG エンコード時の Y 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“0”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

DRI 設定レジスタ 0							
JCODEC[0x14]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
DRI Value bits [15:8]							
7	6	5	4	3	2	1	0

DRI 設定レジスタ 1							
JCODEC[0x18]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
DRI Value bits [7:0]							
7	6	5	4	3	2	1	0

DRI 設定レジスタ 0 bits [7:0]

DRI 設定レジスタ 1 bits [7:0] :

DRI 値 bits [15:0]

JPEG エンコード時の RST マーカを挿入する MCU 数を設定します。

(設定値が“0”の場合、RST マーカは挿入されませんが、RST インターバル定義マーカはインターバル定義値として“0”が挿入されます。)

JPEG デコード時は使用しません。

8. JPEG コントローラ (JPG[2:1])

垂直ピクセルサイズレジスタ 0							
JCODEC[0x1C]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
Y Pixel Size bits [15:8]							
7	6	5	4	3	2	1	0

垂直ピクセルサイズレジスタ 1							
JCODEC[0x20]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
Y Pixel Size bits [7:0]							
7	6	5	4	3	2	1	0

垂直ピクセルサイズレジスタ 0 bits [7:0]

垂直ピクセルサイズレジスタ 1 bits [7:0] :

Y ピクセルサイズ bits[15:0]

JPEG エンコード時および YUV データキャプチャ時の垂直方向の画像サイズを設定します。

JPEG デコード時は JPEG ファイルの垂直方向の画像サイズを示します。

注意 : YUV データキャプチャモード設定時 (JCTL[0x00] bit 3-1 = 011 もしくは 111) のときは、ライトオンリとなります。そのときにリードした値は不定になります。

水平ピクセルサイズレジスタ 0							
JCODEC[0x24]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
X Pixel Size bits [15:8]							
7	6	5	4	3	2	1	0

水平ピクセルサイズレジスタ 1							
JCODEC[0x28]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
X Pixel Size bits [7:0]							
7	6	5	4	3	2	1	0

水平ピクセルサイズレジスタ 0 bits [7:0]

水平ピクセルサイズレジスタ 1 bits [7:0] :

X ピクセルサイズ bits[15:0]

JPEG エンコード時および YUV データキャプチャ時の水平方向の画像サイズを設定します。

JPEG デコード時は JPEG ファイルの水平方向の画像サイズを示します。

注意 : YUV データキャプチャモード設定時 (JCTL[0x00] bit 3-1 = 011 もしくは 111) のときは、ライトオンリとなります。そのときにリードした値は不定になります。

予約レジスタ JCODEC[0x2C-34]							
Reserved				Reserved			
15	14	13	12	11	10	9	8
Reserved				Reserved			
7	6	5	4	3	2	1	0

RST マーカ動作設定レジスタ JCODEC[0x38] 初期値 = 0x0000								Read/Write
n/a				n/a				
15	14	13	12	11	10	9	8	
n/a						RST Marker Operation Select bits [1:0]		
7	6	5	4	3	2	1	0	

Bits [1:0] :

RST マーカ動作選択

JPEG デコード時のRSTマーカ動作を設定します。JPEG エンコード時は使用しません。

表 8-13 RST Marker Selection

Bits [1:0]	RST Marker Operation
00 (初期値)	エラー検出／データ補正機能オフ この設定はデコードされる JPEG ファイルが正常でエラーがないことを保証できる条件においてのみ使用されます。この設定時に JPEG ファイル中にエラーがあった場合には、エラー検出は行われず、デコード処理が正常に終了しません。
01	エラー検出機能オン この設定ではデコード処理中にエラーが検出された時点で JPEG デコード処理が終了し、JPEG コーデック終了割り込みが発生します。エラーの種類を確認するためには JCODEC[0x3C]RST マーカ動作ステータスレジスタビット[6:3]JPEG デコードエラーステータスをリードします。エラーが検出されたときには次のデコードをスタートさせるために JPEG コーデックコアのソフトウェアリセットが必要です。
10	データ補正機能オン この設定ではデコード処理中にエラーが検出された時に自動的にデータがスキップまたは追加され、JPEG ファイルすべてがデコードされるまでデコード処理は継続します。JPEG デコード処理が終了したときに、JPEG コーデック終了割り込みが発生します。
11	予約

RST マーカ動作ステータスレジスタ JCODEC[0x3C] 初期値 = 0x0000								Read Only
n/a				n/a				
15	14	13	12	11	10	9	8	
Revise Code	JPEG Error Status bits [3:0]					n/a		
7	6	5	4	3	2	1	0	

Bit 7 :

補正コード

JPEG デコード時の補正動作の状態を示します。RST マーカ処理をデータ補正機能オン（RSTマーカ動作設定レジスタ bits [1:0] = “10”）に設定した場合に有効になります。JPEG エンコード時は使用しません。

0 : 補正動作未実施

1 : 補正動作実施

8. JPEG コントローラ (JPG[2:1])

Bits [6:3] :

JPEG デコードエラーステータス

JPEG デコード時のエラーコードを示します。RSTマーカ処理をエラー検出機能オン（RSTマーカ動作設定レジスタ bits [1:0] = “01”）に設定した場合に有効になります。JPEG エンコード時は使用しません。

表 8-14 JPEG Error Status

Bits [6:3]	JPEG Error Status
0000	エラー無し
0001 – 1010	予約
1011	リスタートインターバルエラー
1100	画像サイズエラー
1101 – 1111	予約

挿入マーカデータレジスタ								
JCODEC[0x40-0xCC]				初期値 = 0x00FF				Read/Write
n/a								
15	14	13	12	11	10	9	8	
Insert marker Data bits [7:0]								
7	6	5	4	3	2	1	0	

JPEG エンコード時のマーカ挿入するレジスタ（36 バイト）です。マーカ長に関係なく 36 バイトすべてが挿入されます。JPEG デコード時は使用しません。

Address Offset [40h-44h] : 挿入するマーカコードを設定します。

Address Offset [48h-4Ch] : マーカ長を設定します。設定値は 0002h ～ 0022h です。

Address Offset [50h-CCh] : マーカデータを設定します。最大 32 バイトです。マーカ長を超えるデータ部分は必ず FFh で埋めてください。

量子化テーブル No.0 レジスタ								
JCODEC[0x400-0x4FC]				初期値 = not applicable				Read/Write
				n/a				
15	14	13	12	11	10	9	8	
Quantization Table No. 0 bits [7:0]								
7	6	5	4	3	2	1	0	

量子化テーブル No.0

JPEG エンコード時のテーブル番号 0 の量子化テーブル値を設定します。JPEG デコード時は使用しません。

量子化テーブル No.1 レジスタ							
JCODEC[0x500-0x5FC]				初期値 = not applicable			Read/Write
				n/a			
15	14	13	12	11	10	9	8
Quantization Table No. 1 bits [7:0]							
7	6	5	4	3	2	1	0

量子化テーブル No.1

JPEG エンコード時のテーブル番号 1 の量子化テーブル値を設定します。JPEG デコード時は使用しません。

DC ハフマンテーブル No.0 レジスタ 0								
JCODEC[0x800-0x83C]				初期値 = not applicable				Write Only
				n/a				
15	14	13	12	11	10	9	8	
DC Huffman Table No. 0 Register 0 bits [7:0]								
7	6	5	4	3	2	1	0	

DC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の DC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

DC ハフマンテーブル No.0 レジスタ 1								
JCODEC[0x840-0x86C]				初期値 = not applicable				Write Only
				n/a				
15	14	13	12	11	10	9	8	
Reserved (must be all 0)				DC Huffman Table No. 0 Register 1 bits [3:0]				
7	6	5	4	3	2	1	0	

DC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の DC 成分用ハフマンテーブル値です。発生頻度順のグループ番号を設定します。設定は下位 4 ビットで行い、上位 4 ビットは必ず“0000” に設定してください。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.0 レジスタ 0							
JCODEC[0x880-0x8BC]				初期値 = not applicable			Write Only
				n/a			
15	14	13	12	11	10	9	8
AC Huffman Table No. 0 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

8. JPEG コントローラ (JPG[2:1])

AC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の AC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.0 レジスタ 1							
JCODEC[0x8C0-0xB44] 初期値 = not applicable							
Write Only							
n/a							
15	14	13	12	11	10	9	8
AC Huffman Table No. 0 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の AC 成分用ハフマンテーブル値です。発生頻度順のゼロラン長/ グループ番号を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

DC ハフマンテーブル No.1 レジスタ 0							
JCODEC[0xC00-0xC3C] 初期値 = not applicable							
Write Only							
n/a							
15	14	13	12	11	10	9	8
DC Huffman Table 1 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

DC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の DC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

DC ハフマンテーブル No.1 レジスタ 1							
JCODEC[0xC40-0xC6C] 初期値 = not applicable							
Write Only							
n/a							
15	14	13	12	11	10	9	8
Reserved (must be all 0)				DC Huffman Table No. 1 Register 1 bits [3:0]			
7	6	5	4	3	2	1	0

DC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の DC 成分用ハフマンテーブル値です。発生頻度順のグループ番号を設定します。設定は下位 4 ビットで行い、上位 4 ビットは必ず“0000” に設定してください。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.1 レジスタ 0							
JCODEC[0xC80-0xCBC] 初期値 = not applicable							
							Write Only
15	14	13	12	11	10	9	8
n/a							
AC Huffman Table No. 1 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の AC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.1 レジスタ 1							
JCODEC[0xCC0-0xF44] 初期値 = not applicable							
							Write Only
15	14	13	12	11	10	9	8
n/a							
AC Huffman Table No. 1 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の AC 成分用ハフマンテーブル値です。発生頻度順のゼロラン長／グループ番号を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

8. JPEG コントローラ (JPG[2:1])

8.5 動作説明

デコードの動作機能については、S2S65A30 JPEG デコードドライバ設計仕様書（Linux）参照。

8.5.1 キャプチャ制御機能

本デバイスでは、ステートマシンによってデータキャプチャを制御しています。これはカメラ画像 JPEG エンコードや YUV キャプチャではフレーム単位でのデータキャプチャが必要であり、その制御をハードウェアに行わせることによって時間制限の緩和が期待されるためです。

ステートマシンはカメラ画像 JPEG エンコードと YUV データキャプチャでステート遷移条件およびステートの意味が異なっています。

ステートマシンの現在のステートはレジスタからリードできますが、リアルタイムに変化する信号であるため、リードする目的はソフトウェアデバッグのみであることが望ましいです。

8.5.1.1 カメラ画像 JPEG エンコード用ステートマシン

カメラ画像 JPEG エンコードモード時のキャプチャ制御ステートマシンは以下のようになります。

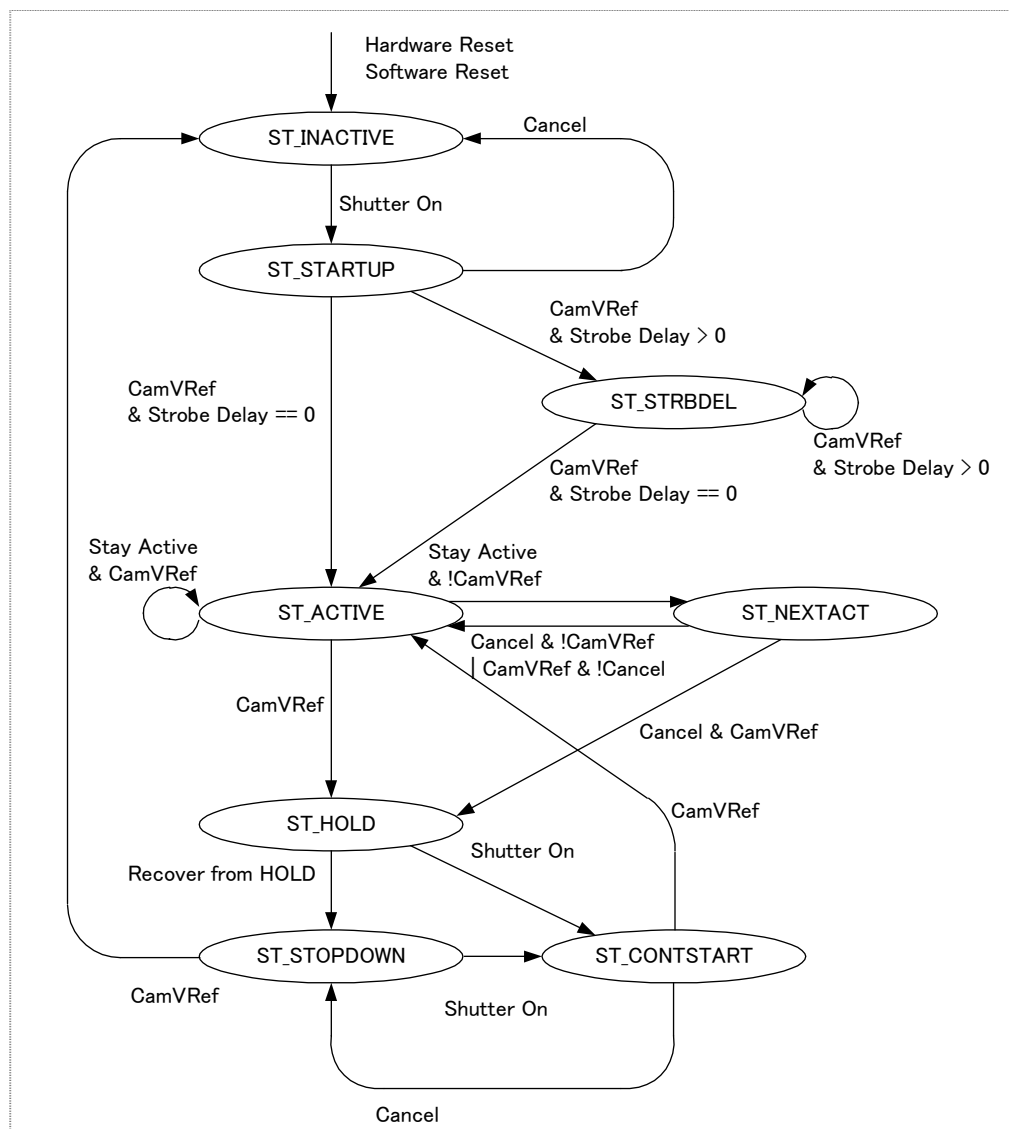


図 8.2 State Machine for Camera Image JPEG Encode

各ステートの意味は以下の表のとおりです。ステート ID はレジスタリードによって読み出される値になります。

表 8.15 State Description in Camera Image JPEG Encode Mode

ステート	説明
ST_INACTIVE ステート ID (0x0)	初期状態です。このステートはカメラデータを取り込んでいません。
ST_STARTUP ステート ID (0x1)	ST_INACTIVE から、シャッターが押された状態です。このステートはカメラデータを取り込んでいません。
ST_STRBDEL ステート ID (0x3)	ストロボフレーム遅延を待っている状態です。ストロボ遅延がある場合には ST_ACTIVE に行く前にこのステートで指定フレーム数分取り込みを遅らせます。このステートはカメラデータを取り込んでいません。
ST_ACTIVE ステート ID (0x7)	カメラデータを取り込むステートです。このステートではカメラからの VREF 以外でステート遷移を起こすことはないため、切り取り、縮小設定が正しく設定されている限り、フレームデータが取り込まれることを保証しています。
ST_NEXTACT ステート ID (0xB)	ST_ACTIVE 中に次フレームキャプチャリクエストを“1”にすることでこのステートに入ります。このステートでは、カメラからの VREF が入り次第、ST_ACTIVE に戻ります。このステートは連続フレームエンコードを実現するために用意されています。このステートはカメラデータを取り込んでいます。
ST_HOLD ステート ID (0x6)	取り込みが終了した次のフレームからこのステートに入ります。このステートはカメラデータの取り込みを行っていません。
ST_STOPDOWN ステート ID (0x4)	ST_HOLD からホールド解除信号が来た状態です。次のフレームから ST_INACTIVE に遷移し、ホールドが解除されます。このステートはカメラデータの取り込みを行っていません。
ST_CONTSTART ステート ID (0x5)	ホールド状態のときにシャッターが押されたことで次のフレームからまた取り込みを行います。このステートはカメラデータの取り込みを行っていません。

またイベントとアクションとの対応は以下の表の通りになります。

表 8.16 Event Description in Camera Image JPEG Encode Mode

イベント	アクション
Software Reset	リサイズ回路をソフトウェアリセット
Shutter On	JPEG スタートストップレジスタに“1”をライト
Cancel, Recover from HOLD	JPEG スタートストップレジスタに“0”をライト
CamVRef	カメラ画像データの VREF データアクティブレベルからデータインアクティブレベルへ変化するタイミング。本節の説明において VREF とだけ書いてあるときはこのタイミングを表しています。
Stay Active	JPEG 制御レジスタの次フレーム取り込みリクエストビットに“1”をライト
Strobe Delay	ストロボフレーム遅延カウント

8. JPEG コントローラ (JPG[2:1])

カメラ画像 JPEG エンコードを一回行ったときのタイミングチャートは以下のようになります。

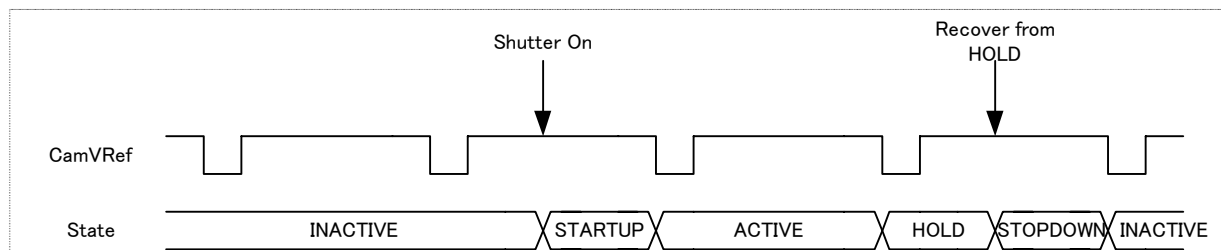


図 8.3 Timing Chart for Camera Image JPEG Encode (Single)

8.5.1.2 YUV キャプチャ用ステートマシン

YUV キャプチャモードのキャプチャ制御ステートマシンは以下のようになります。

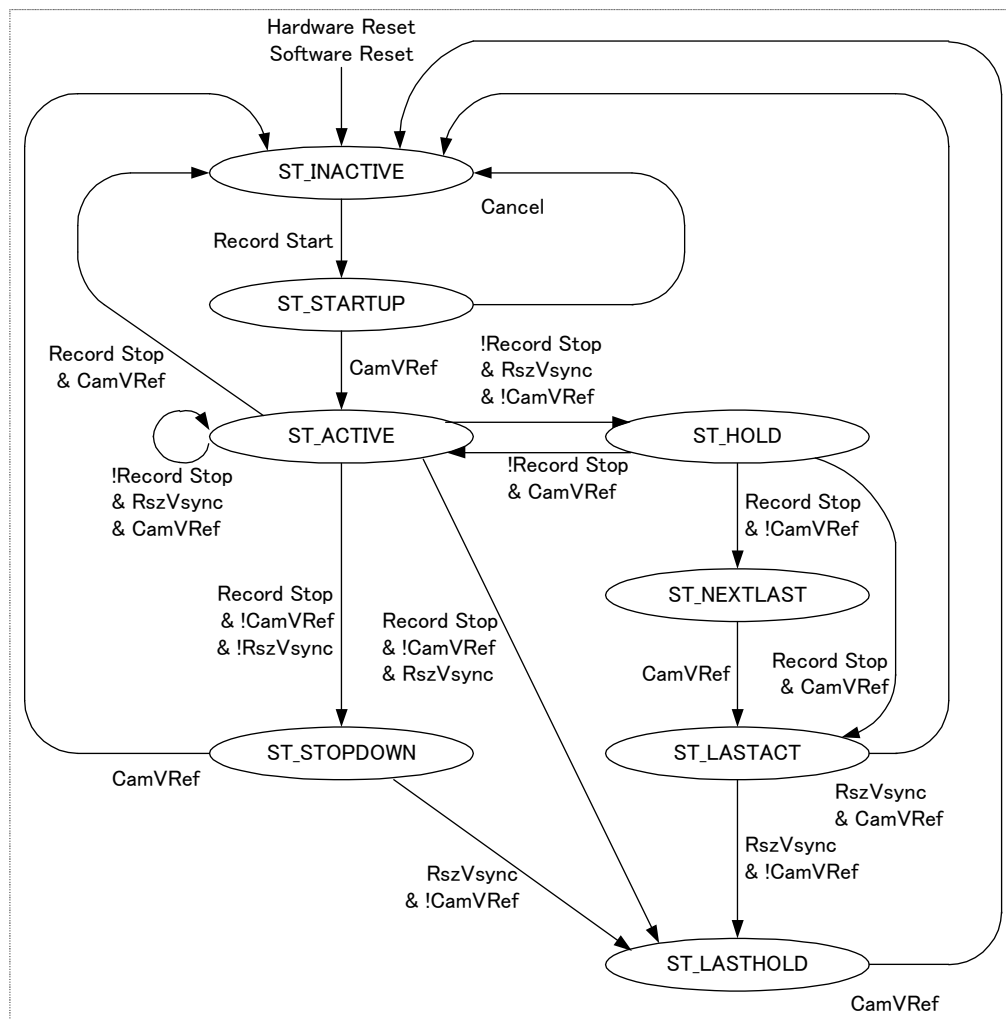


図 8.4 State Machine for YUV Capture

表 8.17 State Description in YUV Capture Mode

ステート	説明
ST_INACTIVE ステート ID (0x0)	初期状態です。このステートはカメラデータの取り込みを行っていません。
ST_STARTUP ステート ID (0x1)	ST_INACTIVE から、録画スタート信号が入った状態です。このステートはカメラデータの取り込みを行っていません。
ST_ACTIVE ステート ID (0x7)	カメラデータを取り込むステートです。このステートはカメラデータの取り込みを行っています。
ST_HOLD ステート ID (0x6)	フレーム中に取り込みデータの VREF が発生したときに、ST_ACTIVE からこのステートに移ります。このステートはカメラデータの取り込みを行っていません。
ST_STOPDOWN ステート ID (0x4)	ST_ACTIVE から、録画ストップ信号が入った状態です。現フレームで取り込みが終了します。このステートはカメラデータの取り込みを行っていません。
ST_NEXTLAST ステート ID (0xE)	ST_HOLD 中に録画ストップ信号が入るとこのステートに入ります。このステートは取り込みデータの VREF 後からカメラ VREF までの間は JPEG モジュールが動画取り込みの終わりを認識できないという制限のために、取り込みデータの VREF 後の録画ストップ信号に対してもう “1” フレーム取り込ませるためのステートです。このステートはカメラデータの取り込みを行っていません。
ST_LASTACT ステート ID (0xF)	上記の制限で説明されているもう 1 フレーム取り込むステートになります。このステートはカメラデータの取り込みを行っています。
ST_LASTHOLD ステート ID (0xD)	録画の最終フレームで取り込みデータの VREF が発生した後にこのステートに移ります。このステートはカメラデータの取り込みを行っていません。

またイベントとアクションとの対応は以下の表の通りになります。

表 8.18 Event Description in YUV Capture Mode

イベント	アクション
Software Reset	リサイズ回路をソフトウェアリセット
Record Start	JPEG スタートストップレジスタに “1” をライト
Cancel, Record Stop	JPEG スタートストップレジスタに “0” をライト
CamVRef	カメラ画像データの VREF データアクティブレベルからデータインアクティブレベルへ変化するタイミング。本節の説明において VREF とだけ書いてあるときはこのタイミングを表しています。
RszVsync	リサイズ回路の出力するフレームエンド信号

8. JPEG コントローラ (JPG[2:1])

8.5.2 リサイズ機能

リサイズ回路はカメラインタフェースからくる画像データに対して切り取りと縮小を行います。JPEG デコード時には使用できません。リサイズ回路は切り取り処理と縮小処理の 2 つのステージを持っています。YUV4:2:2 でカメラモジュールから来た画像データはカメラインタフェースにおいて YUV4:4:4 フォーマットに変換されますので、リサイズ回路では 1x1 画素単位で切り取り処理を行うことができます。

8.5.2.1 切り取り機能

切り取り処理は縮小処理の前段階として、縮小処理に必要な画像サイズになるように画像の周辺部を切り捨てます。切り取り処理は X/Y スタート/エンド座標レジスタを使用します。元画像の左上を座標(0,0)とし、スタート座標は切り取り残す画像の左上の座標、エンド座標は残す画像の右下の座標を表します。これらの設定値は 1x1 画素単位で指定できますが、それぞれ入力カメラ画像の最大座標より大きい座標を指定することはできません。エンド座標をスタート座標より小さい値に設定した場合、リサイズ回路は正常に動作せず、何らかのデータがリサイズ回路から出力されますので、エンド座標は必ずスタート座標以上になるように設定してください。リサイズ回路からのデータ出力を強制停止させたい場合には、RSZ[0xC0]bit0 に“0”を書き、リサイズ回路をディセーブルにしてください。

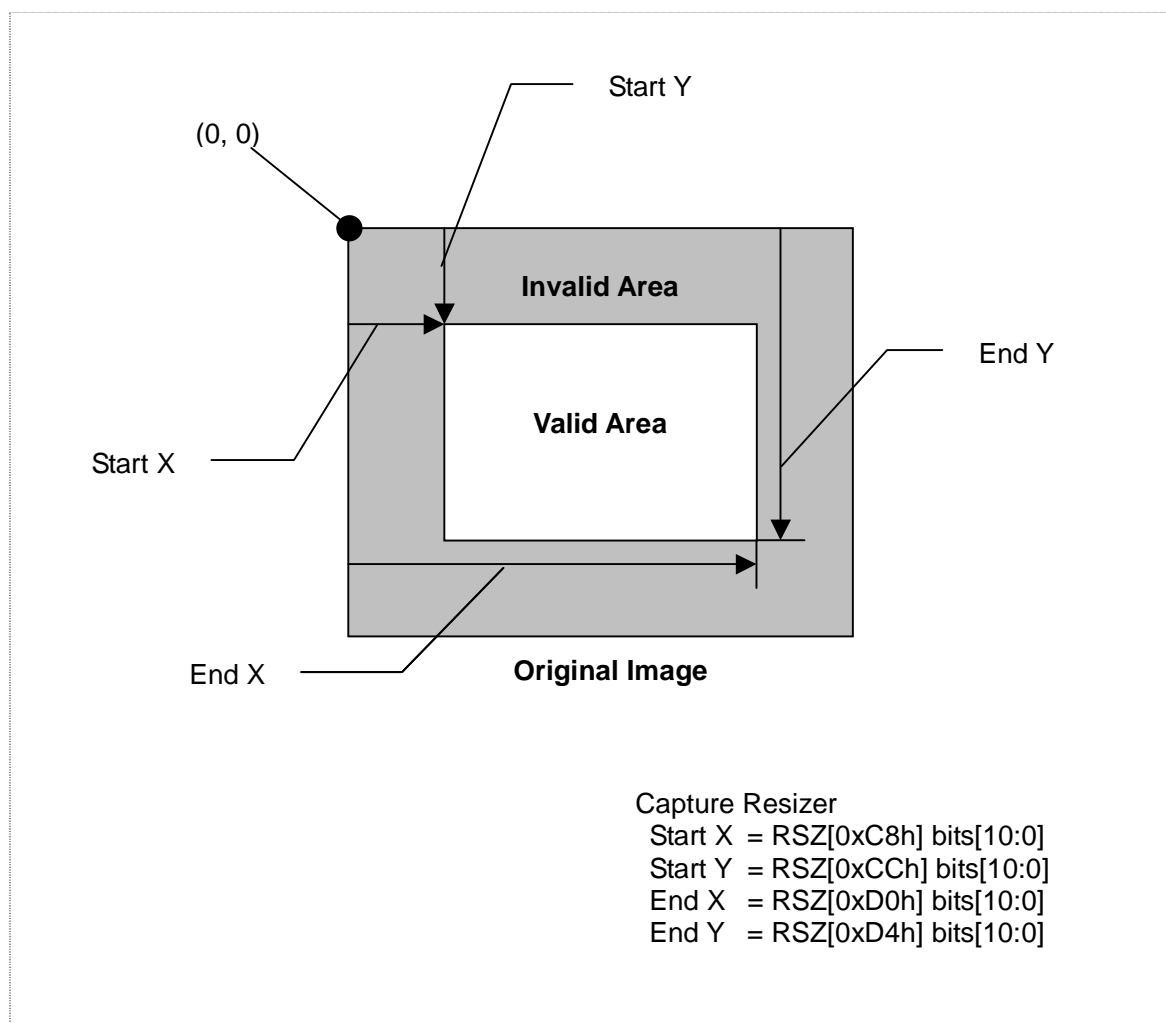


図 8.5 Trimming Function

8.5.2.2 縮小機能

縮小処理は切り取り処理の後に行われ、切り取られた画像に対して設定された縮小率で画像を縮小します。縮小後の画像サイズは、JPEG エンコードで設定する画像サイズと同じでなければなりません。

縮小処理には、間引き縮小モード、加算平均縮小モード、縮小無しモードと3種類の縮小モードがあります。間引き縮小モードでは画像ブロックから代表点を選び、それを縮小後画像の1画素とします。1/2～1/8の任意の縮小率で設定が可能です。加算平均縮小モードでは、縦方向が間引き縮小で横方向が加算平均による縮小になります。間引き縮小選択された画像ブロック列のすべての画素を加算し、その平均値が画像ブロックの縮小後の1画素となります。1/2、1/4、1/8の3種類の縮小率を選ぶことができます。縮小無しモードは、縮小しないときに設定します。縮小無しモードでは、縮小率設定レジスタの値は無効になります。また縮小無しモードを用意していますので、それ以外のモードで縮小率設定レジスタに“1”を書いたときの動作は保証していません。縮小しない場合は縮小無しモードを選択してください。

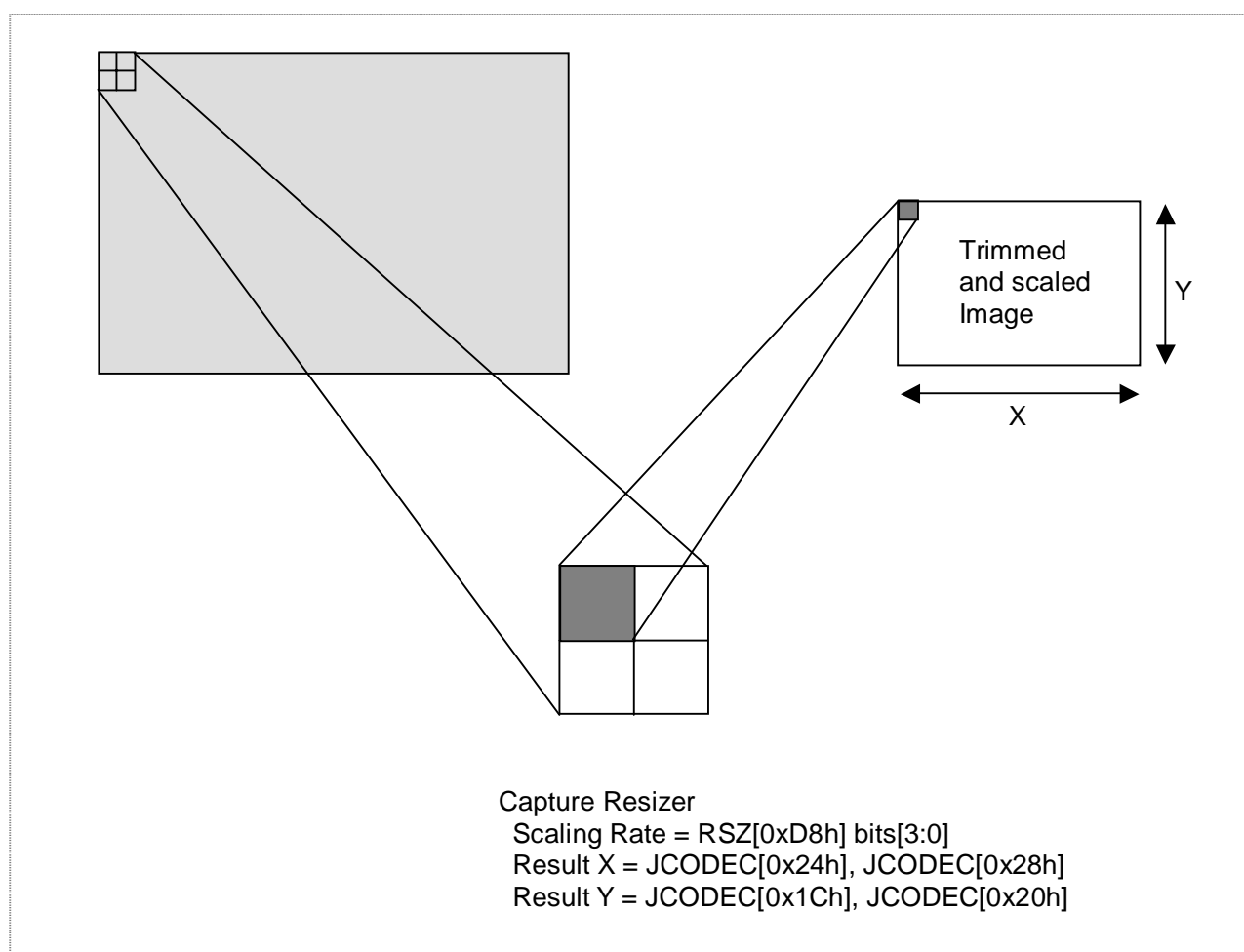


図 8.6 Scaling Example (1/2 Scaling)

8. JPEG コントローラ (JPG[2:1])

8.5.2.2.1 1/2 縮小

1/2 縮小では、2x2 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

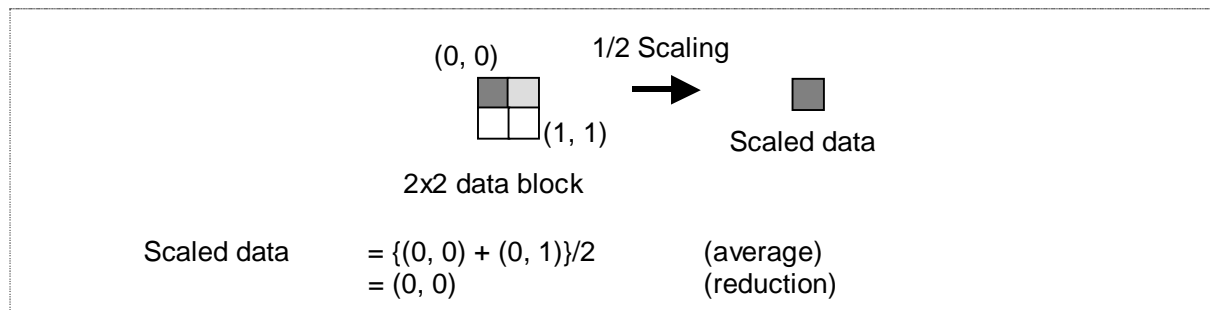


図 8.7 1/2 Compression

8.5.2.2.2 1/3 縮小

1/3 縮小では、3x3 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

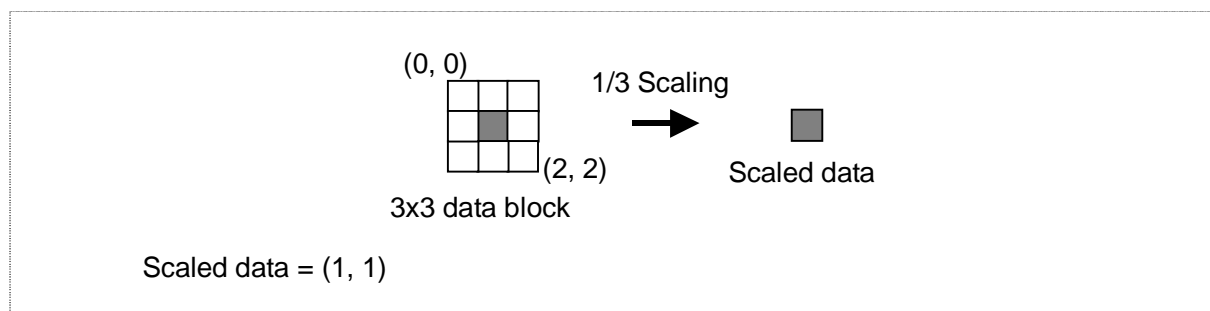


図 8.8 1/3 Scaling

8.5.2.2.3 1/4 縮小

1/4 縮小では、4x4 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

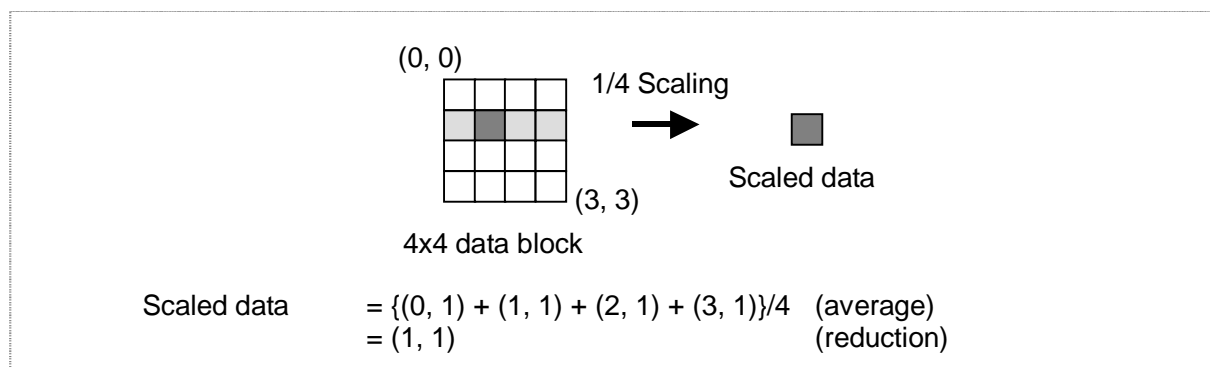


図 8.9 1/4 Scaling

8.5.2.2.4 1/5 縮小

1/5 縮小では、5x5 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

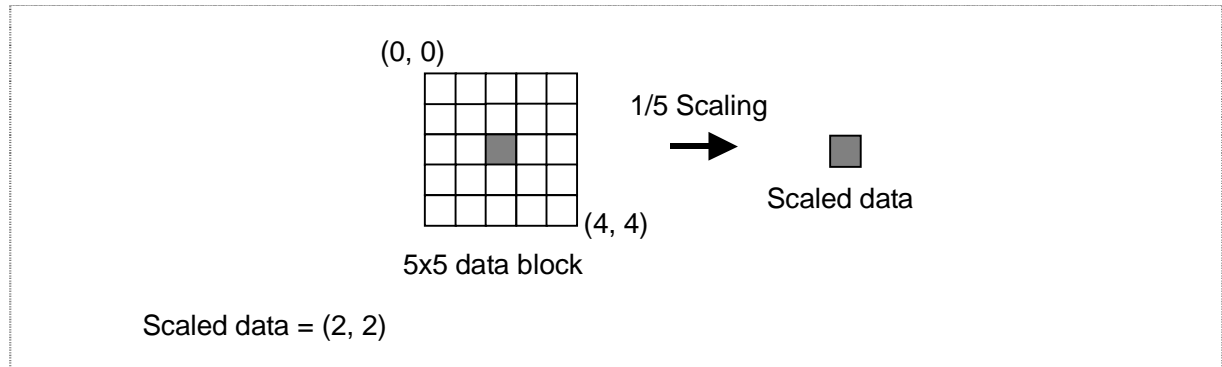


図 8.10 1/5 Scaling

8.5.2.2.5 1/6 縮小

1/6 縮小では、6x6 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

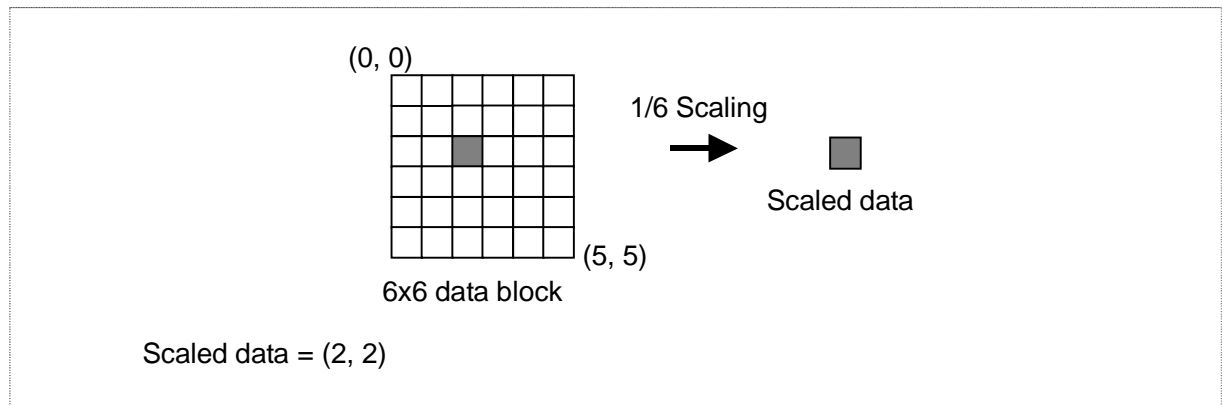


図 8.11 1/6 Scaling

8. JPEG コントローラ (JPG[2:1])

8.5.2.2.6 1/7 縮小

1/7 縮小では、7x7 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

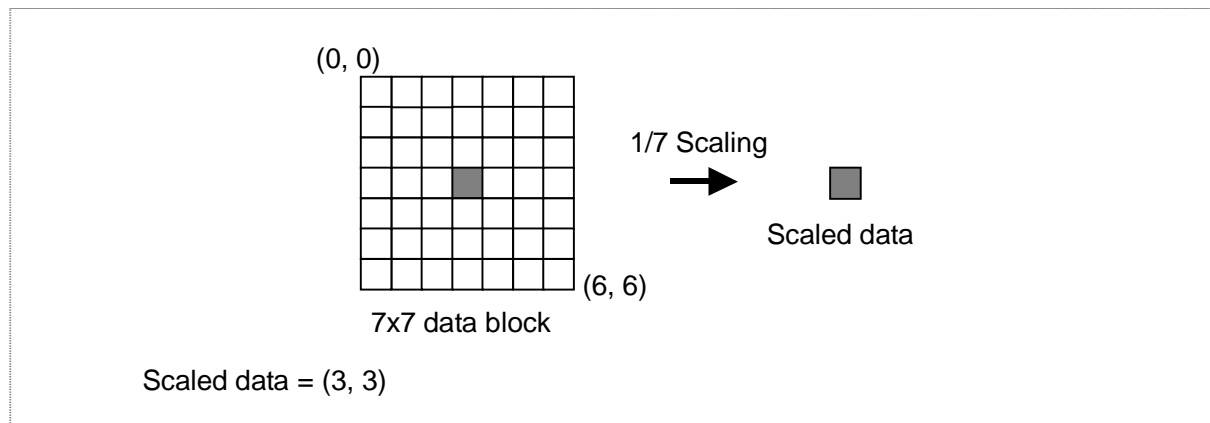


図 8.12 1/7 Scaling

8.5.2.2.7 1/8 縮小

1/8 縮小では、8x8 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

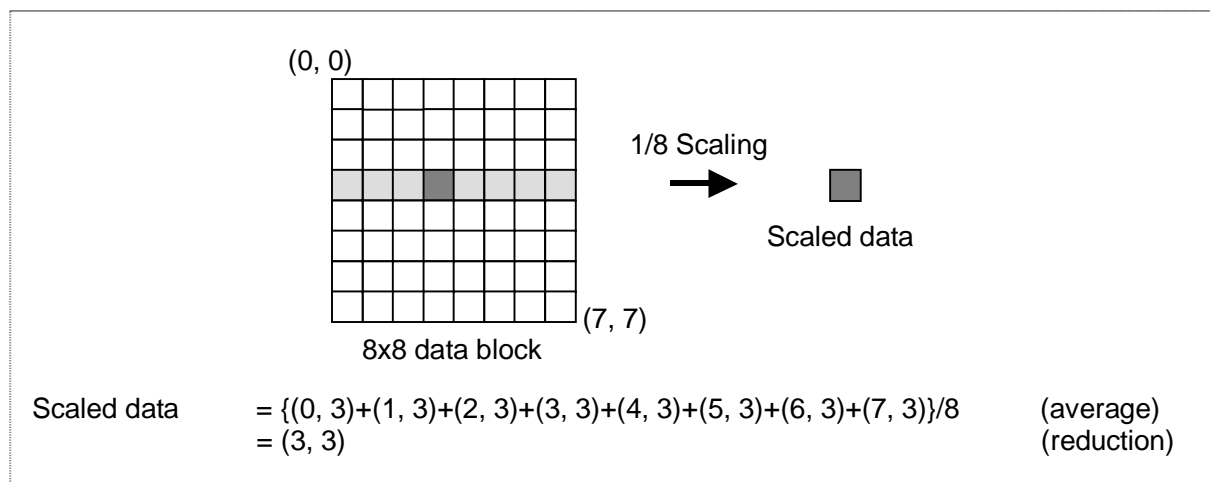


図 8.13 1/8 Scaling

8.5.2.3 リサイズ回路利用制限

リサイズ回路のレジスタは、ソフトウェアリセットやイネーブルを除き、カメラインタフェースからデータがきている間に変更できません。カメラインタフェースからデータがきているときにレジスタを変更した場合、データが破壊されます。リサイズ回路のレジスタ設定をカメラ動作中に変更する場合は、カメラインタフェースの VREF 割り込みを使用して、VREF データブランク期間（フレームの間のカメラインタフェースがイメージセンサーからデータを受け取っていない期間）中に変更する方法が一般的です。

リサイズ X/Y スタート、ストップ座標レジスタは、カメラ画像よりも大きい座標を指定することはできません。指定した場合は、正常に動作しなくなります。

リサイズ X/Y スタート、ストップ座標レジスタを指定することで切り取られる画像は、縮小率設定レジスタで設定した値で割り切れなければなりません。

8.5.3 画像処理データフロー

ここでは、各画像処理モードでのデータフローを図示します。

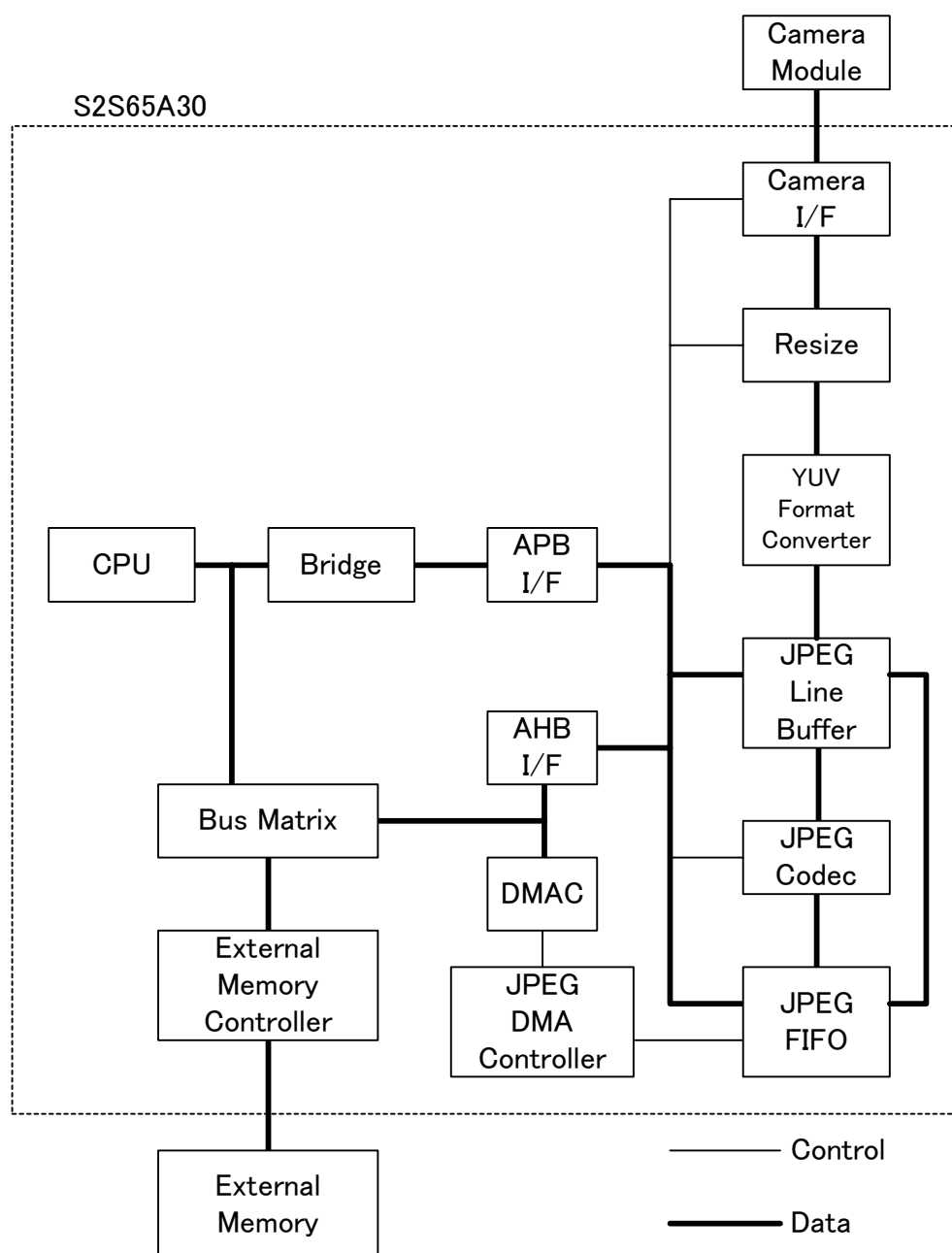


図 8.14 画像処理データフロー

8. JPEG コントローラ (JPG[2:1])

8.5.3.1 カメラ画像 JPEG エンコード

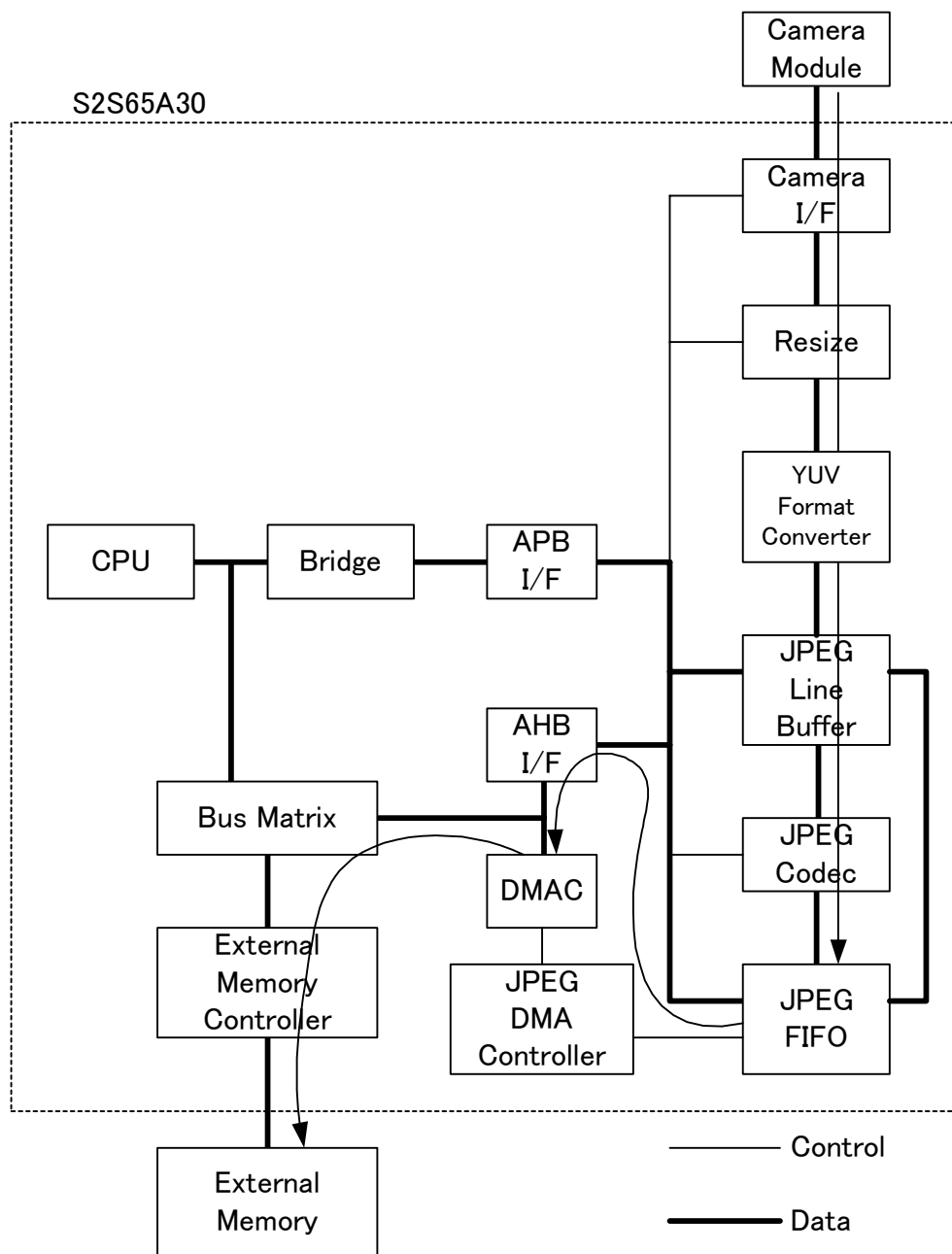


図 8.15 カメラ画像 JPEG エンコードデータフロー

8.5.3.2 YUV データキャプチャ

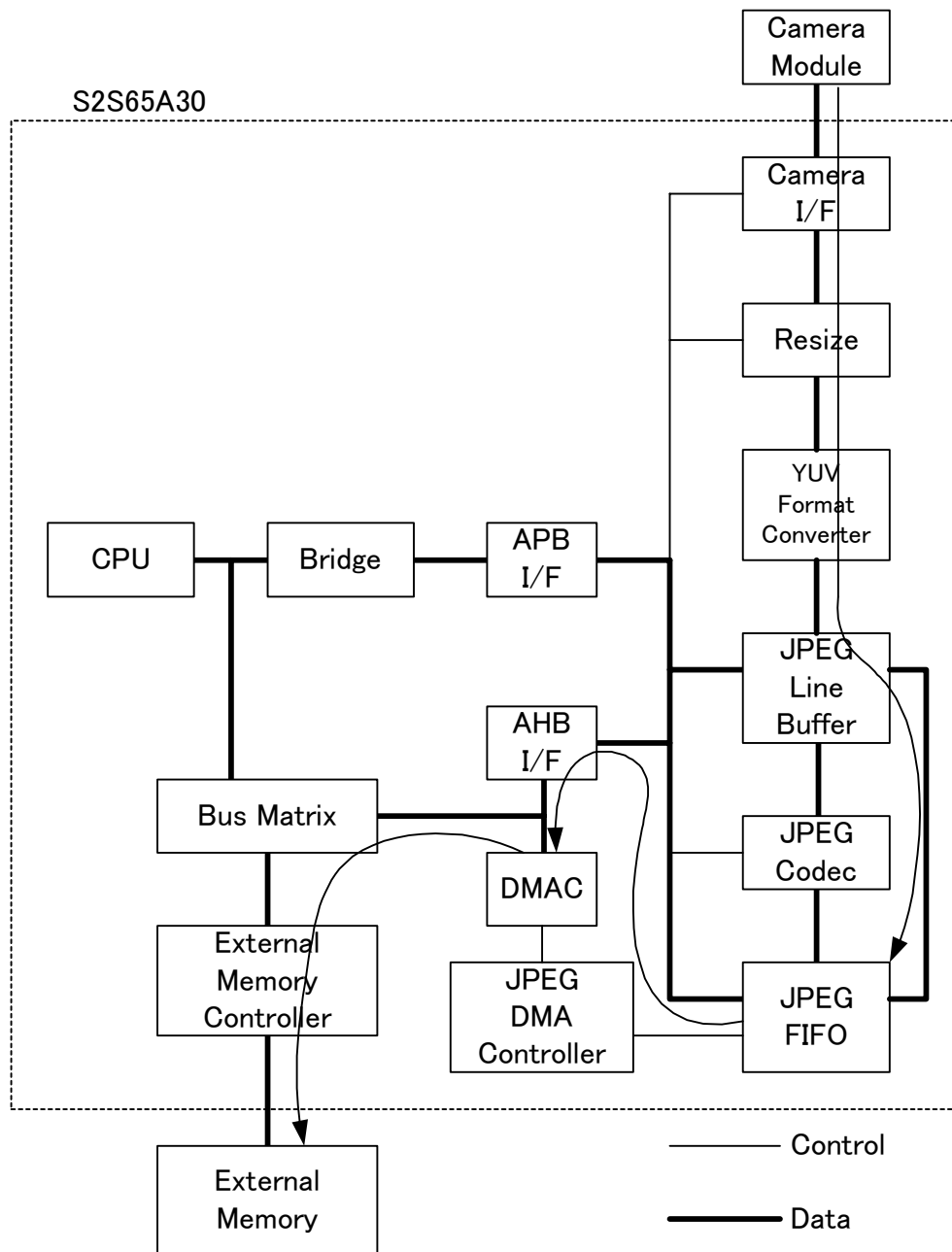


図 8.16 YUV データキャプチャデータフロー

8. JPEG コントローラ (JPG[2:1])

8.5.3.3 JPEG デコード (DMA 使用)

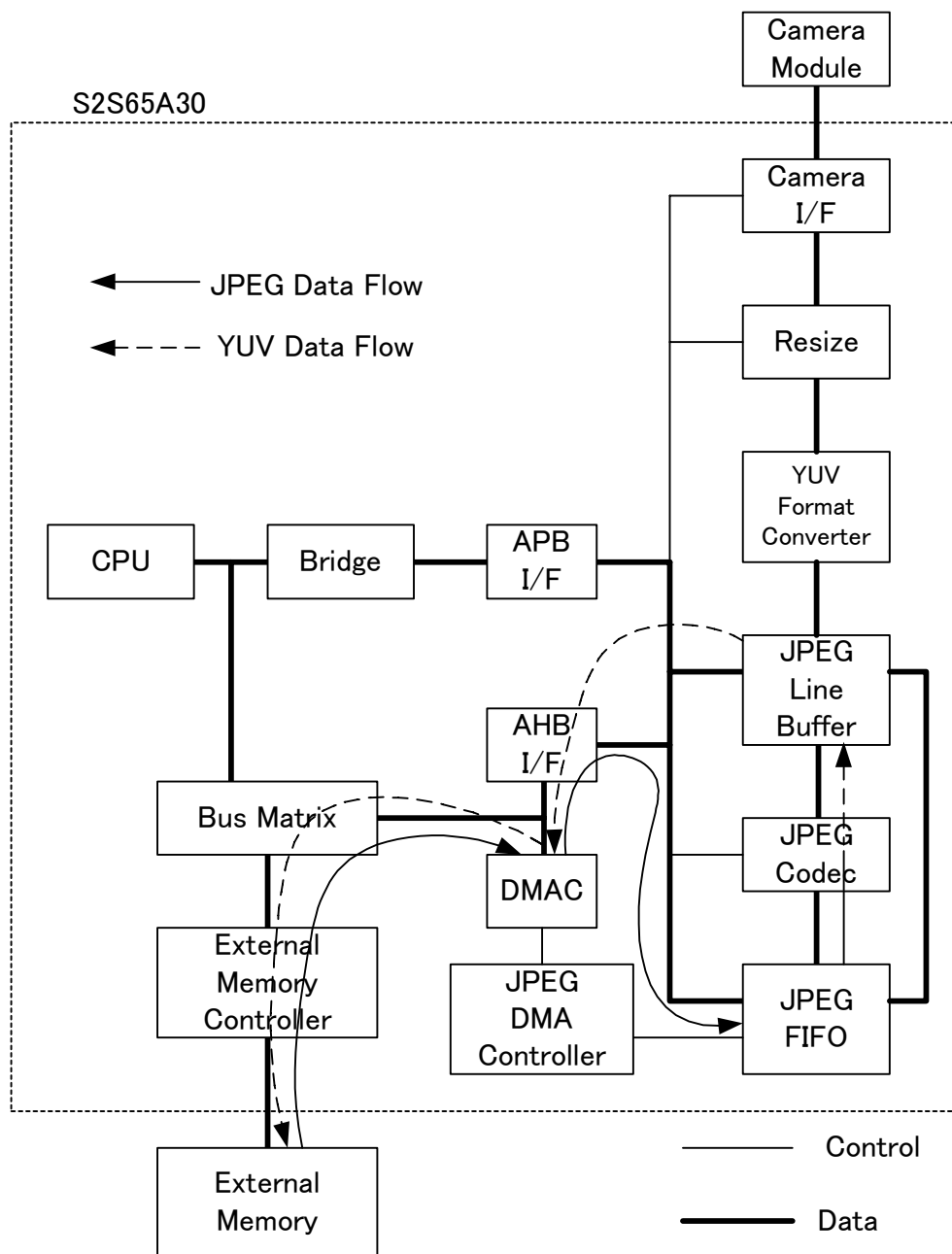


図 8.17 JPEG デコードデータフロー (DMA 使用)

8.5.4 JPEG コーデック機能

本デバイスに搭載されている JPEG コーデック回路は JPEG ベースライン方式にほぼ準拠しており、JPEG Part-2 (ISO/IEC10918-2) で要求される適合性試験の結果を満足しています。JPEG コーデック回路は最大横幅 1600 画素、縦幅は 2048 画素まで対応していますが、S2S65A30 ではラインバッファとして利用する内蔵 RAM 容量の制限により、横幅が 640 画素までとなってしまう、一般的な画像サイズの中では VGA サイズまでの JPEG エンコードに対応可能です。

リサイズ回路から来た YUV4:4:4 フォーマットのデータは、YUV フォーマットコンバータによって JCODEC[0x00] bits[1:0] で設定された YUV フォーマットに変換されます。ただしカメラ画像 JPEG エンコード、JPEG デコードおよび YUV キャプチャでは処理される画像サイズが以下の解像度でなければならないという制限があります。

表 8.19 Minimum Resolution Restrictions

YUV Format	Minimum Resolution
4:4:4	1x1
4:2:2	2x1
4:2:0	2x2
4:1:1	4x1

さらに画像の最小サイズにも制限があり、このサイズより小さいサイズの画像は動作保証されません。

表 8.20 Minimum Size

YUV Format	MCU Size (Horizontal x Vertical)
4:4:4	(8 x 8)
4:2:2	16 x 8
4:2:0	16 x 16
4:1:1	32 x 8

量子化テーブルはエンコード用に 2 つ、デコード用に 4 つ持つことができます。ハフマンテーブルは JPEG エンコード、デコードともに AC、DC それぞれ 2 つずつ持つことができます。また JPEG エンコードでは、マーカ識別子を含め最大 36 バイトのマーカを挿入することができます。デコード処理で自動的に認識されるマーカは SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、DNL および EOI で、それ以外のマーカは無視されます。カメラ画像の JPEG エンコード処理は YUV4:4:4、YUV4:2:2、YUV4:2:0、および YUV4:1:1 をサポートしています。ただし YUV4:4:4 はカメラ入力画像よりデータ量が大きくなりますので、カメラ画像を縮小無しでエンコードする場合はサポート対象外となります。JPEG データから YUV データへのデコードは YUV4:2:2 および 4:2:0 のみサポートします。画像データ処理能力は 640x480 画像サイズで 1/30 秒以下となりますが、量子化テーブル、ハフマンテーブルの値、カメラ入力画像の細かさなどの要因によりこの処理能力を満たせない場合があります。また、JPEG デコードでは内部バスの帯域および DMA 転送の効率などの問題より VGA サイズで最小 1/20 秒程度となりますが、デコード後の YUV データのさらなる転送先（例：外付け表示コントローラ）への転送まで含めた場合の処理時間はもっと大きくなります。

JPEG を連続してエンコードする場合、安定して動作する方式は 1 フレームエンコードしたら 1 フレームエンコードしない処理になります。毎フレーム連続エンコード機能は持っていますが、実現できるかどうかはシステムで採用されるカメラモジュールの種類、ソフトウェア処理速度に依存します。具体的には以下の不等式が成り立つ必要があります。

カメラの VREF インアクティブ期間

> 割り込み応答時間

- + プライオリティの高いタスクによって処理が中断される合計時間
- + 次フレームエンコードのための設定処理時間
- + JPEG コーデック回路のマーカ出力時間

JPEG コーデック回路のマーカ出力時間は、マーカ高速出力モードを使用するとシステムクロック 50MHz 時で 36μs、使用しない場合はおよそ 2ms になります。マーカ高速出力モードを使用しないで VGA サイズの毎フレーム連続エンコードを行う場合は、VREF のインアクティブ期間が少なくとも 15 ライン以上無いとオーバーフローが発生する可能性が極めて高くなります。

8. JPEG コントローラ (JPG[2:1])

8.5.4.1 JPEG デコードできないファイル

以下の JPEG ファイルはデコード処理できません。

- (拡張子が “jpg” のファイルだが、) JPEG ではないファイル
- マーカの壊れたファイル
- グレー画像 (UV データのない) の JPEG ファイル
- 色要素が YUV ではない JPEG ファイル
- DNL マーカを使用した JPEG ファイル
- ハフマンテーブルや量子化テーブルのような画像以外のデータが壊れたファイル

JPEG コーデック回路へ入力する JPEG ファイルが正常であることを保証できない場合は、ソフトウェアであらかじめ JPEG ファイルのマーカを読み、JPEG コーデック回路がデコード処理可能なファイルであるかどうかを確認することで JPEG デコード処理が暴走することを回避する必要があります。JPEG ではビット単位でのエラー訂正が行われられないため、ファイルの内容が保証できない場合にはあらゆるエラー状態が存在します。したがってそれらをすべてハードウェアで行うことは困難であり、本デバイスではソフトウェア側でのプリチェックを期待しています。JPEG デコードマーカリードフラグはファイルが正常であることが保証されている場合に有効な割り込みとなります。JPEG ファイルが正常であることを保証できない環境では JPEG デコードマーカリードフラグを使用すべきではありません。

例えばマーカコードの1ビットだけが反転してしまっただけで、JPEG デコード処理は正常に動作しない可能性があります。ソフトウェア開発する際はいつまでもデコード終了しないときに異常が発生したという判定を行う必要があります。

8.5.4.2 JPEG コーデックレジスタに関する制限

JPEG コーデックレジスタは JPEG コーデック動作中 (JPEG コーデックスタートから JPEG コーデック終了まで) は変更禁止です。該当期間中のアクセスに対して応答があった場合、誤動作を引き起こすか、もしくは無効になります。

また、JPEG コーデックレジスタは JPEG コーデック回路にクロックが供給されていないときにアクセスしても無効になります。JPEG コーデック回路のクロックが停止する条件は以下の通りです。

- JPEG モジュールがディセーブルになっているとき
- JPEG モジュールがイネーブルで JPEG 処理モードが 000 または 100 ではないとき

ただし YUV キャプチャで設定が必要となるレジスタに限っては JPEG コーデック回路にクロックが供給されていなくても設定可能なようになっています。

JPEG コーデック回路で予約となっているレジスタや書き込みのみのレジスタにリードアクセスした場合、リード値を保証しないだけでなく JPEG コーデック回路そのものの動作を保証しないという制限があります。特に JPEG デコード処理と JPEG エンコード処理とでレジスタのアクセス制限が変化しますので、間違ったレジスタアクセスにならないように注意してください。

また JPEG コーデックステータスレジスタ及び JPEG コーデックマーカステータスレジスタはリード自体で内部状態が変化するため、必要なときにのみリードするように注意してください。また JPEG エンコード処理が終わったときには JPEG コーデックステータスレジスタをリード、JPEG デコード処理が終わったときには JPEG コーデックステータスレジスタをリードする前に JPEG コーデックマーカステータスレジスタをリードしてください。このリードを行うことによって JPEG コーデック回路は処理が完了します。リードを行わなかった場合、次の処理が正常に動作しなくなります。

量子化テーブルおよびハフマンテーブルは、連続して同じ処理を行うときのみテーブル書き込みを省略できます。デコード処理からエンコード処理に移ったときや、エンコード処理でも設定を変更した場合は、テーブルは書き直しになります。

8.5.5 JPEG コーデック以外の機能

8.5.5.1 JPEG FIFO

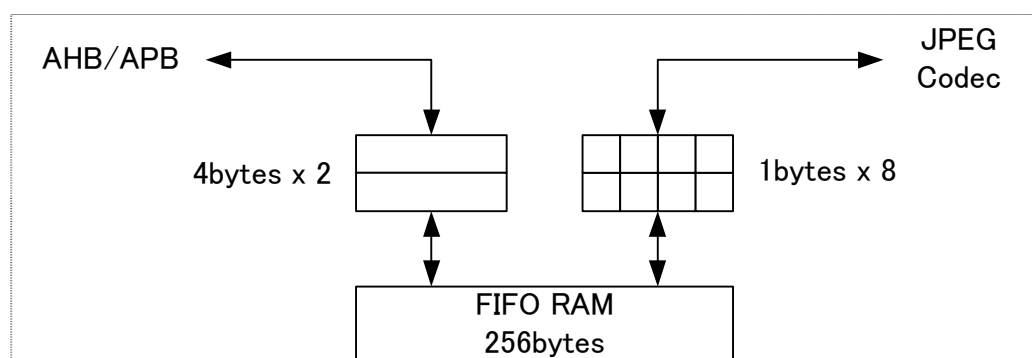


図 8.18 JPEG FIFO Overview

JPEG FIFO は 256 バイトの RAM、4 バイト x2 のバッファが RAM のリードライトで 2 つの計 272 バイトのデータを保持することができます。JPEG FIFO のステータスを見て FIFO リードライトを CPU で行う場合は、256 バイトの RAM をリードライトできる最大値とすることが望ましいです。

JPEG FIFO のステータスは JPEG FIFO ステータスレジスタでチェックすることができます。さらにそのステータスの大部分が JPEG 割り込みステータスレジスタでもチェックできます。JPEG FIFO ステータスレジスタはリードした時点のステータスを表しており、JPEG 割り込みステータスレジスタの Empty と Full ステータスは、一度でもその状態になったことを表しています。JPEG 割り込み制御レジスタではこの一度でもその状態になったという情報から割り込みを発生させていますので、割り込みがクリアされるまでは、情報を保持しつづけています。

カメラ画像 JPEG エンコード、YUV データ JPEG エンコードにおいて JPEG FIFO からデータを取り出す方法は 2 つあります。1 つは CPU が JPEG FIFO リードライトポートレジスタをリードすることです。もう 1 つは JPEG DMA コントローラを使用することです。

1. ローパフォーマンス – JPEG FIFO エンプティフラグでデータがあることを確認して、CPU が JPEG FIFO リードライトポートレジスタをリードする方法です。FIFO サイズが小さいため、FIFO フルやしきい値での割り込みは効率が悪く使用できません。CPU で JPEG コーデック終了割り込みフラグが立つまで、JPEG FIFO エンプティフラグをポーリングしてデータを読み出すため、CPU 占有率が高く、マルチタスクやリアルタイム処理に向きません。
2. ハイパフォーマンス – JPEG DMA コントローラによってデータをメモリ領域に転送する方法です。JPEG DMA コントローラは JPEG FIFO からフレーム終了の情報をもって自動的に転送を終了させるため、DMA 設定においてメモリ領域に確保したメモリサイズ回路を最大転送量に設定するだけで、必要な転送は実現できます。1 フレームにつき少しのレジスタ設定だけでよく、FIFO からの転送にかかる CPU 負荷はほとんどありません。

JPEG デコードでは DMA コントローラが FIFO の空き状況を監視しながら適切に FIFO への書き込みを行いますので、DMA 転送中は CPU が FIFO の状態を知る必要はありません。

8.5.5.2 JPEG ラインバッファ

JPEG ラインバッファは、30KB と 24KB の RAM を持ち、ラインベース方式データとブロックインターリーブ方式データへの相互変換を行っています。処理できるデータサイズは横幅 640 画素までです。JPEG ファイルを作成するときには MCU 単位サイズの画像データが必要であるため、足りないデータの補完を行っています。たとえば 100x100 画像を YUV4:2:2 でエンコードする場合、112x104 に補完して JPEG コーデック回路にデータを送出します。この機能は MCU 単位サイズとして足りない部分だけを補完しますので、たとえばリサイズ回路から 60x60 でしかきていないデータを 112x104 などに大きく補完するわけではありません。

JPEG デコード時は YUV データを取り出すためのデータポートレジスタを持っており、ラインバッファのステータスは JPEG ラインバッファステータスレジスタでチェックすることができます。通常

8. JPEG コントローラ (JPG[2:1])

は YUV データは DMA コントローラを用いて取り出しますので、DMA 転送中にラインバッファのフルやエンプティのフラグを知る必要はありません。

JPEG ラインバッファは、自分自身がオーバーフローしたときを検出し、割り込みを発生させることができます。JPEG エンコードにおいては、JPEG FIFO や JPEG コーデック回路は処理が続けられない状態になったときに入力データを待たせる機能がついているため、リサイズ回路から止められないデータが来たときに JPEG コーデック回路が入力を頻繁に待たせていると JPEG ラインバッファがオーバーフローを起こします。したがって JPEG FIFO リードや JPEG エンコード処理負荷などの理由によりリアルタイムでエンコードできない場合は、すべてラインバッファオーバーフロー割り込みが検出されます。

ラインバッファはラインベース方式データとブロックインターリーブ方式データへの相互変換のため MCU 単位横幅のライン数分のデータを 1 バンクという単位として扱っており、30KB RAM を有効利用するように入力画像サイズの横幅によって RAM に貯めておけるバンク数が増えるようになっていきます。

YUV フォーマットが 4:2:0 の場合 16 ラインで 1 バンク、4:2:2 の場合 8 ラインで 1 バンクとなります。

表 8.21 入力画像サイズによる RAM データ量 (バンク数)

入力画像横サイズ	データ量
≤32	入力画像横サイズ x 32banks
≤64	入力画像横サイズ x 16banks
≤128	入力画像横サイズ x 8banks
≤256	入力画像横サイズ x 4banks
>256	入力画像横サイズ x 2banks

8.5.5.3 YUV フォーマットコンバータ

YUV フォーマットコンバータは、リサイズ回路から来た YUV4:4:4 フォーマットのカメラ画像を 4 種類の YUV フォーマットに変換します。YUV フォーマット変換は下図のようにすべて加算平均を使用しています。下図では U 成分を例にしていますが、V 成分の加算平均式は同じになります。Y 成分は YUV フォーマットでも元画像と同じになります。

元画像

U_0	U_1	U_2	U_3
U_4	U_5	U_6	U_7

フォーマット変換後画像

U_0	U_1	U_2	U_3
U_4	U_5	U_6	U_7

YUV4:4:4

$\frac{U_0+U_1}{2}$	$\frac{U_2+U_3}{2}$
$\frac{U_4+U_5}{2}$	$\frac{U_6+U_7}{2}$

YUV4:2:2

$\frac{(U_0+U_1+U_4+U_5)}{4}$	$\frac{(U_2+U_3+U_6+U_7)}{4}$
-------------------------------	-------------------------------

YUV4:2:0

$\frac{U_0+U_1+U_2+U_3}{4}$	
$\frac{U_4+U_5+U_6+U_7}{4}$	

YUV4:1:1

図 8.19 YUV フォーマット変換

8.5.5.4 JPEG モジュール割り込み

ここでは割り込みフラグがどのようなときに使用されるのかを説明しています。

1. JPEG コーデック割り込みフラグ

カメラ画像 JPEG エンコードでは、CPU による FIFO アクセスを行うときに使用します。DMA を使用した JPEG エンコードでは使用しません。このフラグが立った段階で JPEG ファイルサイズが確定しますので、すでにリードしたデータ量をエンコード結果サイズから引いた値が最後にリードすべきデータ残数となります。YUV キャプチャではこのフラグが立つことはありません。JPEG デコードでは最後のデータをラインバッファからリードするトリガとして使用します。

2. JPEG ラインバッファオーバーフロー割り込みフラグ

カメラ画像 JPEG エンコードのときに使用します。JPEG コーデック回路は JPEG エンコードがリアルタイムで常に成功することを保証していないため、カメラ画像 JPEG エンコードを行うときには、この割り込みをイネーブルにすることが必須となります。

3. JPEG デコードマーカリードフラグ

JPEG デコードのときにのみ使用します。ただし JPEG ファイルが本デバイスの JPEG コーデック回路によってデコードできることを保証できない環境においては、JPEG ファイルのマーカをソフトウェアが読み出して正常動作することを確認する必要があるため、このフラグは使用しません。

このフラグが立っている間はデコード処理が中断しています。JPEG デコードマーカリード割り込みがディセーブルの場合、このフラグがロウステータスを含め、立つことはありません。

3. JPEG FIFO エンプティフラグ

JPEG デコード開始時に FIFO の状態を確認することができます。その後は DMA コントローラが自動的に FIFO 制御回路とハンドシェイクをしながら DMA 転送を行いますので見る必要はありませんが、JPEG デコードが正常に終了しなかった場合などにこのフラグを確認して要因を絞り込んでください。

JPEG エンコードでは FIFO のデータがなくなったことを確認するという使用方法がありますが、念のためにという意味合いが強く、このフラグを見てエンコード処理を行う必要性はあまりありません。

4. JPEG FIFO フルフラグ

カメラ画像 JPEG エンコードで CPU による JPEG FIFO リードを行うときに使用することがあります。DMA を使用したカメラ画像 JPEG エンコードでは使用しません。その場合フルになったら FIFO のサイズ分だけリードするという使用方法になります。ただしフル中は JPEG コーデック回路のエンコード処理が中断しており、ラインバッファにデータが溜まりつづける状態になるため、実際には JPEG FIFO しきい値ステータスレジスタで 1/2 以上や 1/4 以上を見て、FIFO 有効サイズレジスタの値分をリードする方法が採用されることになります。

JPEG デコード時には DMA コントローラが自動的に FULL を判別して DMA 転送を中断しますので、このフラグを参照する必要はありません。

5. JPEG FIFO しきい値トリガフラグ

しきい値をトリガとした割り込みによる FIFO アクセスは FIFO サイズが小さいため、割り込み応答時間のオーバーヘッドが大きくなり、実質的に使用できません。したがってこのフラグの使い道は特にありません。

6. エンコードサイズリミットオーバーフラグ

カメラ画像 JPEG エンコードで使用します。JPEG DMA コントローラを使用する場合には、DMA 転送の最大転送数による割り込みを使用する方がメモリ領域の破壊が発生しませんので、JPEG ファイルの最大サイズを制限する直接的な方法としては使用しません。かわりにもう少しで超えそうであるという状態を検出することに使用し、たとえば量子化テーブルを大きい値に変更するなどの処理を行うことができます。

8. JPEG コントローラ (JPG[2:1])

8.5.5.5 JPEG180° 回転エンコード

JPEG180° 回転エンコードは、1 フレームを回転させるのではなく、フレームの MCU 単位幅ライン数分のライン単位で回転します。したがってソフトウェアがライン単位で回転させたデータの並べ替えを行う必要があります。たとえば最初のライン単位のデータは JPEG ファイルの画像データ領域の最初に書かれていますが、1 フレーム回転では画像データ領域の最後になりますので、ソフトウェアで最後に移動させる必要があります。



図 8.20 JPEG180° 回転エンコード

ソフトウェアがエンコードされた画像データだけからライン単位の終わりを認識することは困難ですので、RST マーカをライン単位が終わるごとに挿入するようにしてライン単位の終わりを認識させます。したがって RST マーカ挿入は必須です。RST マーカの挿入間隔は画像の横幅を MCU 単位横サイズで割った値の小数点以下繰り上げとなります。たとえば横幅 100 画素の画像を YUV4:2:0 フォーマットで JPEG180° 回転エンコードしたときに挿入される RST マーカの挿入間隔は、 $100/16=6.25 \rightarrow 7$ となります。

8.5.5.6 YUV データフォーマット

本デバイスでは、YUV データ JPEG エンコード、JPEG デコード、YUV キャプチャにおいて YUV データをソフトウェアが扱います。これらの処理モードでは、YUV4:2:2 および YUV4:2:0 のみが処理可能フォーマットであり、YUV データの並びは以下ようになります。

	YUV 4:2:2	YUV 4:2:0
Nth line	UYVYUYVY	UYVYUYVY
N+1th line	UYVYUYVY	YYYYYYYY

YUV データはビッグエンディアン形式で、アドレスの若い番地から U、Y、V、Y という順番にデータが並びます。YUV4:2:0 の場合、奇数ラインの UV データは偶数ラインの UV データと共有になります。したがって奇数ラインのデータは Y データのみとなります。

8.5.5.7 ソフトウェアリセット処理について

JPEG コーデック回路は 1 フレームがエンコード、デコードにおける基本単位になっており、連続エンコード、デコードはそれら単発の処理を繰り返し行うことで実現します。JPEG コーデック回路が処理を行う前には、ソフトウェアリセットを行うことを推奨します。これは JPEG コーデック回路が初期状態に戻ることで安定した動作を期待できるためです。ソフトウェアリセットは機能ブロックのみをリセットするため、レジスタ設定した値はそのまま残っています。

JPEG コーデック回路のソフトウェアリセット以外に YUV フォーマットコンバータ、JPEG ラインバッファ、JPEG FIFO のコンポーネントをリセットする JPEG モジュールソフトウェアリセットがあり、カメラ画像を JPEG エンコード処理する場合に、推奨するソフトウェアリセット処理が異なります。これは、各コンポーネントでの処理時間によるタイムラグがあるためです。

毎フレーム連続エンコードする場合は、JPEG モジュールソフトウェアリセットを実行しないことを推奨します。現フレームの処理の終わりと次フレームの処理の始まりが平行して動作し、ソフトウェアリセットを実行するタイミングが存在しない可能性が高いためです。

一方で 1 フレームエンコードしたら 1 フレーム以上のインターバルを設ける場合には、現フレームのエンコード処理と次フレームのエンコード処理が重なることはありませんので、JPEG エンコードを開始する前にソフトウェアリセットを実行することを推奨します。

また JPEG モジュールソフトウェアリセットは MCU 単位ではない画像をエンコード処理した後に必ず実行する必要があります。これは毎フレーム連続エンコードをする場合には、MCU 単位の画像になる必要があることも意味しています。

8.5.5.8 マーカ高速出力モード

JPEG データでは JPEG マーカと呼ばれるいくつかのマーカでデータの種別を区別しています。JPEG コーデック回路はほとんどのマーカを圧縮データ部より前に配置しており、以前までの製品ではそのマーカを出力するのにシステムクロック 50MHz でおよそ 2ms かかっていました。S2S65A30 では新たにマーカ高速出力モードを追加し、JPEG 高速エンコードモードと同時に使用することにより、システムクロック 50MHz でおよそ 36 μ s でマーカ出力を終えることができるようになりました。

ハフマンテーブルを固定値にすることで高速化を図っていますので、JPEG 高速エンコードモードが無効になっているとレジスタ設定に関わらずマーカ高速出力モードも無効になります。

8. JPEG コントローラ (JPG[2:1])

8.5.6 シーケンス例

8.5.6.1 カメラ画像 JPEG エンコード処理 (単フレーム)

ここでは、カメラ画像を 1 枚だけ JPEG エンコードするシーケンスを説明します。FIFO からのデータリードには DMA を使用します。

1. カメラインタフェースの設定を行います。詳細はカメラインタフェース機能説明を参照してください。
2. JPEG モジュールをイネーブルし (JCTL[0x00] bit 0 = 1)、JPEG 動作モード (同レジスタ bits [3:1]) を “000” に設定します。
3. JPEG モジュールをソフトウェアリセットします (JCTL[0x00] bit 7 = 1)。
4. JPEG コーデックレジスタを初期化します。基本的にレジスタの若い順番から設定しますが、コマンドレジスタを除いて、順番に依存性はありません。
 - (ア) JPEG コーデック回路をソフトウェアリセットします (JCODEC[0x04] bit 7 = 1)。
 - (イ) JPEG エンコードの処理モードをエンコードにします (JCODEC[0x00] bit 2 = 0)。
 - (ウ) 任意のマークを挿入する場合は、マーク挿入をイネーブルにします (JCODEC[0x00] bit 3 = 1)。
 - (エ) 量子化テーブル番号およびハフマンテーブル番号を設定します (JCODEC[0x0C], [0x10])。
 - (オ) RST マークを挿入する場合は、挿入する間隔を設定します (JCODEC[0x14], [0x18])。
 - (カ) 画像サイズを入力します (JCODEC[0x1C], [0x20], [0x24], [0x28])。
 - (キ) 挿入マークを入力します (JCODEC[0x40 - 0xCC])。
 - (ク) 量子化テーブルを設定します。設定する順番は以下のとおりです (JCODEC[0x400 - 0x4FC], [0x500 - 0x5FC])。

1	2	3	4	5	6	7	8
9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24
25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56
57	58	59	60	61	62	63	64

- (ケ) ハフマンテーブルを設定します。設定するデータは勧告書 ISO/IEC 10918 付属書 K を例にすると以下のようになります。

DC ハフマンテーブル No. 0 レジスタ 0 には A を設定する (JCODEC[0x800 - 0x83C])
DC ハフマンテーブル No. 0 レジスタ 1 には B を設定する (JCODEC[0x840 - 0x86C])
AC ハフマンテーブル No. 0 レジスタ 0 には E を設定する (JCODEC[0x880 - 0x8BC])
AC ハフマンテーブル No. 0 レジスタ 1 には F を設定する (JCODEC[0x8C0 - 0xB44])
DC ハフマンテーブル No. 1 レジスタ 0 には C を設定する (JCODEC[0xC00 - 0xC3C])
DC ハフマンテーブル No. 1 レジスタ 1 には D を設定する (JCODEC[0xC40 - 0xC6C])
AC ハフマンテーブル No. 1 レジスタ 0 には G を設定する (JCODEC[0xC80 - 0xCBC])
AC ハフマンテーブル No. 1 レジスタ 1 には H を設定する (JCODEC[0xCC0 - 0xF44])

A:	00h, 01h, 05h,, 00h, 00h	16 byte
B:	00h, 01h, 02h,, 0Ah, 0Bh	12 byte
C:	00h, 03h, 01h,, 00h, 00h	16 byte
D:	00h, 01h, 02h,, 0Ah, 0Bh	12 byte
E:	00h, 02h, 01h, 03h,, 1h, 7Dh	16 byte
F:	01h, 02h, 03h,, F9h, FAh	162 byte
G:	00h, 02h, 01h, 02h, ..., 02h, 77h	16 byte
H:	00h, 01h, 02h,, F9h, FAh	162 byte

5. JPEG モジュールを初期化します。
 - (ア) JPEG FIFO サイズを設定します。FIFO は専用 RAM です。0x3F を入力します。(JFIFO[0x48] = 0x3F)
 - (イ) エンコードサイズリミットをバイト単位で設定します (JFIFO[0x60], [0x64])。
 - (ウ) JPEG FIFO をクリアします (JFIFO[0x40] bit 2 = 1)。
6. リサイズ回路を初期化します。(RSZ[0xC0] bit 7 = 1) リサイズ後の画像サイズがステップ 4(カ) で設定した値と同じになるように設定します。(RSZ[0xC8], [0xCC], [0xD0], [0xD4])
7. 割り込みを設定します。JPEG ステータスフラグレジスタ (JCTL[0x04]) に 0x0000FFFF を書いて割り込みをクリアし、その後でラインバッファオーバーフロー割り込み、エンコードサイズリミット違反割り込みを有効にします (JCTL[0x0C] bit 2 = bit11 = 1)。JPEG ステータスフラグレジスタは予約になっているビットに“1”を書いても問題ありません。さらに割り込みコントローラの JPEG モジュールの割り込みイネーブルをイネーブルに設定します (INT[0x008])。
8. JPEG DMA コントローラを設定します (JDMA[0x00]~[0x40])。
9. JPEG エンコードをスタートさせます。
 - (ア) JPEG コーデック回路をスタートさせます (JCODEC[0x04] bit 0 = 1)。
 - (イ) JPEG モジュールをスタートさせます (JCTL[0x14] bit 0 = 1)。
JPEG コーデック回路をスタートさせた後、JPEG マーカを出力するためにシステムクロック 50MHz でおよそ 2ms 必要となります。2ms 経過する前に JPEG モジュールをスタートさせた場合は、実際には 2ms 経過してからキャプチャ処理がスタートすることになります。
10. JPEG DMA コントローラのフレーム終了割り込みを待ちます。途中ラインバッファオーバーフロー割り込みが発生した場合やしばらくたっても JPEG エンコード処理が終了しない場合は終了処理を実行します。

8. JPEG コントローラ (JPG[2:1])

8.5.6.2 終了処理

終了処理はすべての処理モードで共通にすることができます。処理に異常が起きた場合でも終了処理を実行することで初期状態に戻ります。JPEG コーデック回路レジスタにライトアクセスした場合、その後に別のレジスタへのダミーリードが必要ですが、このシーケンスでは省略しています。

1. リサイズ回路のグローバル制御レジスタ (RSZ[0x60]) に “0x0000” を書き込みます。これは予約レジスタに間違った値が入ってしまっている場合を想定しています。
2. リサイズ回路をイネーブル (RSZ[0xC0] bit 0 = 1) にし、さらにソフトウェアリセット (RSZ[0xC0] bit 7 = 1) します。
3. JPEG モジュール回路をイネーブルにし (JCTL[0x00] bit 0 = 1)、JPEG 動作モードを 000 にします (JCTL[0x00] bits 3-1 = 000)。
4. JPEG コーデック回路をソフトウェアリセットします (JCODEC[0x04] bit 7 = 1)。
5. JPEG コーデック回路の RST マーカ動作ステータスレジスタ (JCODEC[0x3C]) をダミーリードします。
6. JPEG コーデック回路の JPEG 動作ステータスレジスタ (JCODEC[0x08]) をダミーリードします。
7. JPEG コーデック回路の動作モード設定レジスタ (JCODEC[0x00]) に 0x00 を書きます。
8. JPEG モジュール回路をソフトウェアリセットします (JCTL[0x00] bit 7 = 1)。
9. JPEG ラインバッファ割り込み制御レジスタ (JLB[0x8C]) に 0x0000 を書き、すべてのラインバッファ割り込みをディセーブルにします。
10. JPEG ラインバッファステータスフラグレジスタ (JLB[0x80]) に 0xFFFF を書きます。
11. JPEG 割り込み制御レジスタ (JCTL[0x0C]) に 0x0000 を書き、すべての JPEG 割り込みをディセーブルにします。
12. JPEG ステータスフラグレジスタ (JCTL[0x04]) に 0xFFFF を書きます。
13. JPEG DMA 回路をソフトウェアリセットします (JDMA[0x20] bit 15 = 1)。
14. JPEG DMA 回路の DMA イネーブルおよび JPEG 割り込みイネーブルをディセーブルにします (JDMA[0x0C] bit 0 = 0、JDMA[0x0C] bit 21 = 0)。
15. JPEG DMA 回路の割り込みフラグをクリアします (JDMA[0x0C] bit 1 = 0)。
16. 割り込みコントローラの JPEG コントローラ割り込み、JPEG DMA 割り込みをディセーブルにします。
17. JPEG モジュールをディセーブルにします (JCTL[0x00] bit 0 = 0)。
18. リサイズ回路をディセーブルにします (RSZ[0xC0] bit 0 = 0)。

注意：JPEG モジュールはリサイズ回路よりも先にディセーブルにする必要があります。JPEG モジュールが最後にディセーブルになると、JPEG コーデック回路へのクロック供給が停止しない場合があります。JPEG デコードではリサイズ回路は使用できませんので、リサイズ回路は始めからディセーブルですが、JPEG モジュールをディセーブルにするときには、リサイズ回路を一回イネーブルにして、JPEG モジュールをディセーブルにした後、再度リサイズかいろをディセーブルにする手順をとってください。

9. JPEG_DMAC (JDMA)

9.1 概要

JPEG_DMAC はカメラインタフェースから送られてくる画像データを専用に処理するための DMA コントローラの制御回路です。

JPEG_DMAC は JPEG コントローラ[2:1]の状態に応じて DMAC コントローラ 2 に対して必要なレジスタデータの書き込みや制御を行います。このことによりカメラインタフェースから送られてくる画像データを DMA コントローラ 2 を用いて適切に DMA 転送することができます。

DMA コントローラ 2 に対するリクエスト／アクノリッジは JPEG コントローラ内蔵の FIFO/ラインバッファの制御回路が行います。

9.2 ブロック図

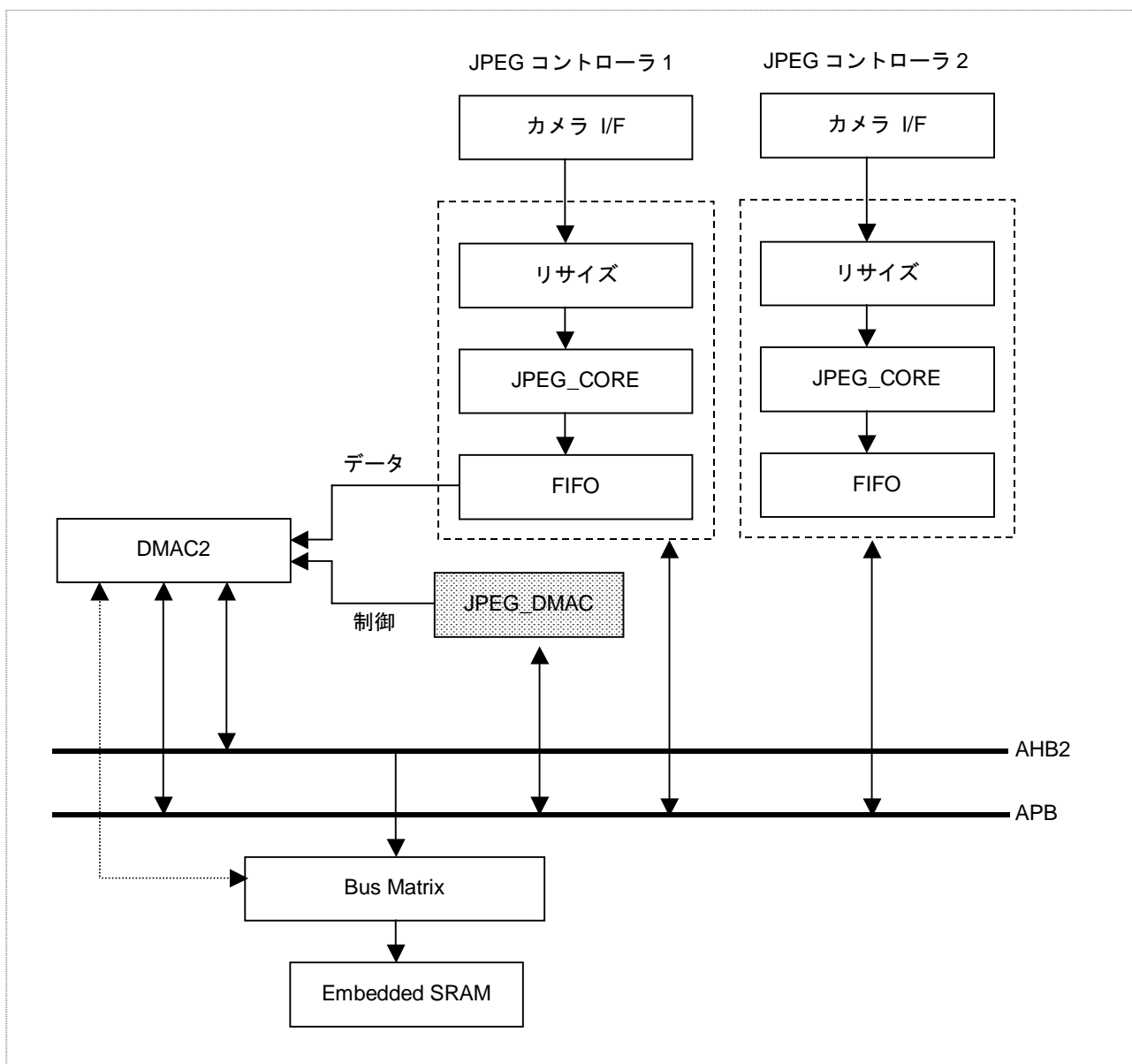


図 9.1 JPEG_DMAC と JPEG コントローラ、DMAC2 等の関係ブロック図

9. JPEG_DMAC (JDMA)

9.3 外部端子

JPEG_DMAC に関連する外部端子はありません。

9.4 レジスタ

9.4.1 レジスタ一覧

JPEG_DMAC のレジスタのベースアドレスは 0xFFFE_C000 です。

表 9.1 レジスタ一覧（ベースアドレス：0xFFFE_C000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値*	R/W	データ アクセ ス サイズ
0x00	DMA チャンネル 0 JPEG ソースアドレスレジスタ	JSAR0	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル 0 JPEG デスティネーションアドレスレジスタ	JDAR0	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル 0 JPEG 転送カウントレジスタ	JTCR0	0x0000_0000	R/W	32
0x0C	DMA チャンネル 0 JPEG コントロールレジスタ	JCTL0	0x0000_0000	R/W	32
0x10 - 0x18	-	-	-	-	-
0x1C	DMA チャンネル 0 JPEG エンコードリザルトサイズレジスタ	JERS0-	-0x0000_0000	RO-	32-
0x20	DMA チャンネル 1 JPEG ソースアドレスレジスタ	JSAR1	0XXXXX_XXXX	R/W	32
0x24	DMA チャンネル 1 JPEG デスティネーションアドレスレジスタ	JDAR1	0XXXXX_XXXX	R/W	32
0x28	DMA チャンネル 1 JPEG 転送カウントレジスタ	JTCR1	0x0000_0000	R/W	32
0x2C	DMA チャンネル 1 JPEG コントロールレジスタ	JCTL1	0x0000_0000	R/W	32
0x30 - 0x38	-	-	-	-	-
0x3C	DMA チャンネル 1 JPEG エンコードリザルトサイズレジスタ	JERS1-	-0x0000_0000	RO-	32-
0x40	DMA チャンネル JPEG FIFO データ選択モードレジスタ	JFSM	0x0000_0000	R/W	32
0x48	DMA チャンネル JPEG 拡張レジスタ	JHID	0x0000_0000	R/W	32
	以下、デコードのために追加されたレジスタ				
0x50	DMA チャンネル 2 JPEG ソースアドレスレジスタ	JSAR2	0XXXXX_XXXX	R/W	32
0x54	DMA チャンネル 2 JPEG デスティネーションアドレスレジスタ	JDAR2	0XXXXX_XXXX	R/W	32
0x58	DMA チャンネル 2 JPEG 転送カウントレジスタ	JTCR2	0x0000_0000	R/W	32
0x5C	DMA チャンネル 2 JPEG コントロールレジスタ	JCTL2	0x0000_0000	R/W	32

*注意： X：不定(h)

補足) DMA チャンネル 0 は JPEG コントローラ 1 で、DMA チャンネル 1 は JPEG コントローラ 2 で使用することを推奨します。

9.4.2 レジスタ詳細説明

DMA チャンネル 0/1 JPEG ソースアドレスレジスタ (JSAR0/1)															
JDMA[0x00], [0x20] 初期値 = 0xFFFF_FFFF															
DMA チャンネル 0/1 JPEG ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0/1 JPEG ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0/1 JPEG ソースアドレス [31:0]

これらのビットには JPEG_DMA 転送のソースアドレスをソフトウェアにより設定します。ハードウェアにより更新することはありません。

エンコードの場合は下記のように設定して下さい。

- ・JPEG1 を使用する場合は、0xE000_004C(JPEG FIFO AHB アドレス)を設定してください。
- ・JPEG2 を使用する場合は、0xD000_004C(JPEG FIFO AHB アドレス)を設定してください。

デコードの場合は下記のように設定して下さい。

- ・JPEG 画像のある SDRAM のアドレスを指定してください。
- ・DMA チャンネル 0 は JPEG1 を使用してデコードする場合にのみ利用可能です。
- ・DMA チャンネル 1 は JPEG2 を使用してデコードする場合にのみ利用可能です。

DMA チャンネル 0/1 JPEG デスティネーションアドレスレジスタ (JDAR0/1)															
JDMA[0x04], [0x24] 初期値 = 0xFFFF_FFFF															
DMA チャンネル 0/1 JPEG デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0/1 JPEG デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0/1 JPEG デスティネーションアドレス [31:0]

これらのビットには JPEG_DMA 転送のデスティネーションアドレスをソフトウェアにより設定します。DMA 転送の 1 ブロックが終了すると現在設定されている値に DMA チャンネル JPEG デスティネーションオフセットアドレスレジスタに設定されているオフセット値が自動的に加算されます。

エンコードの場合は下記のように設定して下さい。

- ・JPEG ファイルを転送する転送先の外部メモリ (SDRAM) アドレスを指定して下さい。

デコードの場合は下記のように設定して下さい。

- ・JPEG[2:1] FIFO のアドレスを指定します。
- ・DMA チャンネル 0 は JPEG1 の FIFO アドレス(0xE000_004C)を指定してください。
- ・DMA チャンネル 1 は JPEG2 の FIFO アドレス(0xD000_004C)を指定してください。

DMA チャンネル 0/1 JPEG 転送カウントレジスタ (JTCR0/1)															
JDMA[0x08], [0x28] 初期値 = 0x0000_0000															
n/a								DMA チャンネル 0/1 JPEG 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0/1 JPEG 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] :

DMA チャンネル 0/1 JPEG 転送カウンタ [23:0]

これらのビットには JPEG_DMA 転送時の転送回数をソフトウェアにより設定します。この値をハードウェアで更新することはありません。

このレジスタをリードすると bits[31:24]には“0”が付加されます。

9. JPEG_DMAC (JDMA)

DMA チャンネル 0/1 JPEG コントロールレジスタ (JCTL0/1)														
JDMA[0x0C], [0x2C] 初期値 = 0x0000_0000												Read/Write		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
DAM		SAM		RS				RSV		TM	TS		IE	JTE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
														0

- Bit 25 : **JENC JPEG Encode デスティネーションカウントアップストップ**
 0 : 通常書き込み（従来互換）されます。
 1 : JPEG Core から入力されるデータがサイズオーバーのとき、デスティネーションアドレスのカウントを停止します。
- Bits [24:23] : **RSV 予約 (0)**
- Bit 22 : **JS JPEG_DMA 転送スタート**
 0 : 1 ブロック転送終了または FIFO_END がアサートされるとこのビットは自動的に“0”にクリアされます。
 1 : JPEG_DMA 転送を開始するときに“1”にセットされます。
- Bit 21 : **JIE JPEG 割り込みイネーブル**
 このビットが“1”のときに JTE (Bit 1) がセットされると、割り込みをアサートします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル
- Bit [20:19] : **JCS[1:0] DMA チャンネル選択**
 使用する DMAC2 の DMA チャンネルを選択します。
 00 : DMA チャンネル 0 (JCTL0)
 01 : DMA チャンネル 1 (JCTL1)
 10,11 : 予約
- Bit 18 : **IB4 Increment Bust 4beat 転送**
 YUV データキャプチャ時の YUV データを DMA 転送する場合のみ“1”に設定します。
 0 : シングル転送
 1 : 4beat バースト転送イネーブル
 本 bit に“1”を設定した場合には DMA チャンネル 0/1 JPEG 転送カウンタの値も 4 の倍数にする必要があります。
- Bit 17 : **AM アクノリッジモード**
 DACK 信号の出力タイミングを選択します。
 0 : DMA リードサイクルの間アクティブ
 1 : DMA ライトサイクルの間アクティブ
- Bit 16 : **AL アクノリッジレベル**
 DACK 信号の出力極性を選択します。
 0 : LOW アクティブ
 1 : HIGH アクティブ
- Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**
 1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。
 00 : 転送先アドレス固定（更新しない）
 01 : 転送先アドレスを転送データサイズに合わせてインクリメント
 (8 ビットは+1、16 ビットは+2、32 ビットは+4)
 10 : 転送先アドレスを転送データサイズに合わせてデクリメント
 (8 ビットは-1、16 ビットは-2、32 ビットは-4)
 11 : 予約
- Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

- 00 : 転送元アドレス固定 (更新しない)
- 01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
- 10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
- 11 : 予約

Bits [11:8] :

RS リソース選択 [3:0]

DMA 転送を開始させる要因を選択します。

- 0010 : JPEG1 Encode (JCTL0 推奨)
- 0011 : JPEG2 Encode (JCTL1 推奨)
- 1100 : JPEG1 Decode (JCTL0 のみ設定可能)
- 1101 : JPEG2 Decode (JCTL1 のみ設定可能)
- Other : 予約

Bits [7:6] :

RSV 予約 (0)

Bit 5 :

TM 送信モード

DMA 転送の送信モードを選択します。

- 0 : シングル転送
- 1 : デマンド転送

Bits [4:3] :

TS 転送データサイズ

1 回で転送するデータサイズを選択

- 00 : 8 ビット
- 01 : 16 ビット
- 10 : 32 ビット
- 11 : 予約

Bit 2 :

IE 割り込みイネーブル

- 0 : 1 回のブロック転送終了後に割り込みを発生しない
- 1 : 1 回のブロック転送終了後に割り込みを発生

Bit 1 :

JTE JPEG_DMA 転送終了

- 0 (リード時) : 転送中または待機中
- 1 (リード時) : JPEG_DMA 転送終了
- 0 (ライト時) : 本ビットをクリア
- 1 (ライト時) : 無効

このビットは DMA チャンネル JPEG 転送ブロックカウントレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

YUV キャプチャモードでは、本ビットは動作しません。YUV キャプチャモードでの転送終了は DMAC2 の割り込みを使用して下さい。

Bit 0 :

DE DMA イネーブル

このビットにより JPEG_DMA 転送を許可します。

- 0 : JPEG_DMA 転送禁止
- 1 : JPEG_DMA 転送許可

9. JPEG_DMAC (JDMA)

JPEG Encode Result Size レジスタ (JERD0/1)															
JDMA[0x1C], [0x3C] 初期値 = 0x0000_0000														Read Only	
JPEs	n/a							Encode Result Size [23:0]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Encode Result Size [23:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31] : **JPEG Encode Result**
 コントロールレジスタ (JDMA[0x0C,0x2C]の bit25) が”1”の場合、Encode 結果が指定サイズより大きくなった時に”1”にセットされます。

Bits [23:0] : **JPEG Encode Result Size [23:0]**
 JPEG Encode 終了時にサイズがセットされます。

9.4.3 レジスタ詳細説明 (JPEG Decode 時の YUV データ DMA 転送に関するレジスタ)

DMA チャンネル 2 JPEG ソースアドレスレジスタ (JSAR2)															
JDMA[0x50] 初期値 = 0xXXXX_XXXX														Read/Write	
DMA チャンネル 2 JPEG ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 JPEG ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル 2 JPEG ソースアドレス [31:0]**
 これらのビットには JPEG_DMA 転送のソースアドレスをソフトウェアにより設定します。ハードウェアにより更新することはありません。
 デコードの場合は下記のように設定して下さい。
 ・JPEG ファイルはデコードされた後、JPEG コントローラ内のラインバッファに格納されますのでラインバッファのアドレスを指定して下さい。
 ・JPEG1 でデコードを行う場合には 0xE000_00C0 を指定して下さい。
 ・JPEG2 でデコードを行う場合には 0xD000_00C0 を指定して下さい。
 ・DMA チャンネル JPEG FIFO データ選択モードレジスタ(JDMA[0x40])のラインバッファモードは AHB バスからのアクセス設定に変更して下さい。

DMA チャンネル 2 JPEG デスティネーションアドレスレジスタ (JDAR2)															
JDMA[0x54] 初期値 = 0xXXXX_XXXX														Read/Write	
DMA チャンネル 2 JPEG デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 JPEG デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル 2 JPEG デスティネーションアドレス [31:0]**
 これらのビットには JPEG_DMA 転送のデスティネーションアドレスをソフトウェアにより設定します。DMA 転送の 1 ブロックが終了すると現在設定されている値に DMA チャンネル JPEG デスティネーションオフセットアドレスレジスタに設定されているオフセット値が自動的に加算されます。
 デコードの場合は下記のように設定して下さい。
 ・デコード後の YUV データを格納する外部メモリ (SDRAM) のアドレスを指定して下さい。

DMA チャンネル 2 JPEG 転送カウントレジスタ (JTCR2)															
JDMA[0x58] 初期値 = 0x0000_0000															
Read/Write															
n/a								DMA チャンネル 2 JPEG 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 JPEG 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル 2 JPEG 転送カウンタ [23:0]**
 これらのビットには JPEG_DMA 転送時の転送回数をソフトウェアにより設定します。この値をハードウェアで更新することはありません。
 このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル 2 JPEG コントロールレジスタ (JCTL2)															
JDMA[0x5C] 初期値 = 0x0000_0000															
Read/Write															
RSV								JS	JIE	JCS1	JCS0	IB4	AM	AL	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS				RSV		TM	TS		IE	JTE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:23] : **RSV 予約 (0)**

Bit 22 : **JS JPEG_DMA 転送スタート**
 0 : 1 ブロック転送終了または FIFO_END がアサートされるとこのビットは自動的に “0” にクリアされます。
 1 : JPEG_DMA 転送を開始するときに “1” にセットされます。

Bit 21 : **JIE JPEG 割り込みイネーブル**
 このビットが “1” のときに JTE (Bit 1) がセットされると、割り込みをアサートします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル

Bit [20:19] : **JCS[1:0] DMA チャンネル選択**
 使用する DMACH2 の DMA チャンネルを選択します。
 00 : DMA チャンネル 0
 01 : DMA チャンネル 1
 10 : DMA チャンネル 2
 11 : DMA チャンネル 3

Bit 18 : **IB4 Increment Bust 4beat 転送**
 YUV データを DMA 転送する場合のみ使用します。JPEG デコード時、本 bit は基本的に “1” に設定してご使用下さい。
 0 : シングル転送
 1 : 4beat バースト転送イネーブル

Bit 17 : **AM アクノリッジモード**
 DACK 信号の出力タイミングを選択します。
 0 : DMA リードサイクルの間アクティブ
 1 : DMA ライトサイクルの間アクティブ

Bit 16 : **AL アクノリッジレベル**
 DACK 信号の出力極性を選択します。
 0 : LOW アクティブ
 1 : HIGH アクティブ

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**
 1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

9. JPEG_DMAC (JDMA)

- 00 : 転送先アドレス固定 (更新しない)
- 01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
- 10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
- 11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**
1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

- 00 : 転送元アドレス固定 (更新しない)
- 01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
- 10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
- 11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**
DMA 転送を開始させる要因を選択します。

- 0110 : JPEG1 YUV
- 0111 : JPEG2 YUV
- Other : 予約

Bits [7:6] : **RSV 予約 (0)**

Bit 5 : **TM 送信モード**
DMA 転送の送信モードを選択します。

- 0 : シングル転送
- 1 : デマンド転送

Bits [4:3] : **TS 転送データサイズ**
1 回で転送するデータサイズを選択

- 00 : 8 ビット
- 01 : 16 ビット
- 10 : 32 ビット
- 11 : 予約

Bit 2 : **IE 割り込みイネーブル**

- 0 : 1 回のブロック転送終了後に割り込みを発生しない
- 1 : 1 回のブロック転送終了後に割り込みを発生

Bit 1 : **JTE JPEG_DMA 転送終了**

- 0 (リード時) : 転送中または待機中
- 1 (リード時) : JPEG_DMA 転送終了
- 0 (ライト時) : 本ビットをクリア
- 1 (ライト時) : 無効

このビットは DMA チャンネル JPEG 転送ブロックカウントレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

JPEG Decode 時、JPEG ファイルの JPEG FIFO への書き込み DMA 転送による割り込み(JCTL[1:0] の JTE ビットによる割り込み)は発生致しません。JPEG Decode の終了はデコードされた YUV データの外部メモリへの転送終了の要因である本 bit の割り込みにより判別して下さい。

Bit 0 : **DE DMA イネーブル**
このビットにより JPEG_DMA 転送を許可します。

- 0 : JPEG_DMA 転送禁止
- 1 : JPEG_DMA 転送許可

DMA チャンネル JPEG FIFO データ選択モードレジスタ (JFSM)															
JDMA[0x40] 初期値 = 0x0000_0000												Read/Write			
n/a		RSV									JL1B	JF1B	RSV		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		RSV									JL0B	JF0B	RSV		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DMAC を使用しデータ転送を行う場合は、AHB 側からのバスアクセスを設定します。

Bits [29:24] : **RSV 予約 (0)**
 Bits [21:20] : **RSV 予約 (0)**
 Bits [18:16] : **RSV 予約 (0)**
 Bits [13:8] : **RSV 予約 (0)**
 Bits [5:4] : **RSV 予約 (0)**

Bit 20, 4 : **JL[1:0]B ラインバッファモード**
 JPEG Line バッファ [1:0] のデータ出力バスの設定を行います。JPEG 画像のデコード時に使用します。
 0 : APB バス側からのアクセスの対応
 1 : AHB バス側からのアクセスの対応
 JL1B は JPEG2、JF0B は JPEG1 にそれぞれ対応します。

Bit 19, 3 : **JF[1:0]B FIFO モード**
 JPEG FIFO [1:0] のデータ出力バスの設定を行います。
 0 : APB バス側からのアクセスの対応
 1 : AHB バス側からのアクセスの対応
 JF1B は JPEG2、JF0B は JPEG1 にそれぞれ対応します。

Bits [2:0] : **RSV 予約 (0)**

DMA チャンネル JPEG 拡張レジスタ (JHID)															
JDMA[0x48] 初期値 = 0x0000_0000												Read/Write			
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SW	n/a	SRCH2	SRCH1	SRCH0	n/a										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 15 : **SW ソフトウェアリセット**
 JDMA 内のすべてのレジスタをソフトウェアリセットします。本ビットに“1”を書き込むことでソフトウェアリセットを実行します。ソフトウェアリセットの完了後に本ビットは自動的に“0”に戻ります。

Bit 13 : **SRCH2 ソフトウェアリセット CH2**
 JDMA 内のすべての CH2 関係レジスタをソフトウェアリセットします。本ビットに“1”を書き込むことでソフトウェアリセットを実行します。ソフトウェアリセットの完了後に本ビットは自動的に“0”に戻ります。

Bit 12 : **SRCH1 ソフトウェアリセット CH1**
 JDMA 内のすべての CH1 関係レジスタをソフトウェアリセットします。本ビットに“1”を書き込むことでソフトウェアリセットを実行します。CH1/0 で共通に使用している部分はリセットされません。ソフトウェアリセットの完了後に本ビットは自動的に“0”に戻ります。

Bit 11 : **SRCH0 ソフトウェアリセット CH0**
 JDMA 内のすべての CH0 関係レジスタをソフトウェアリセットします。本ビットに“1”を書き込むことでソフトウェアリセットを実行します。CH1/0 で共通に使用している部分はリセットされません。ソフトウェアリセットの完了後に本ビットは自動的に“0”に戻ります。

10. DMA コントローラ 2 (DMAC2)

10.1 概要

DMAC2 は、JPEG_DMIC から送られてくる制御情報もしくはソフトウェア設定による制御情報をもとに DMA 転送を行う DMA コントローラです。

10.2 ブロック図

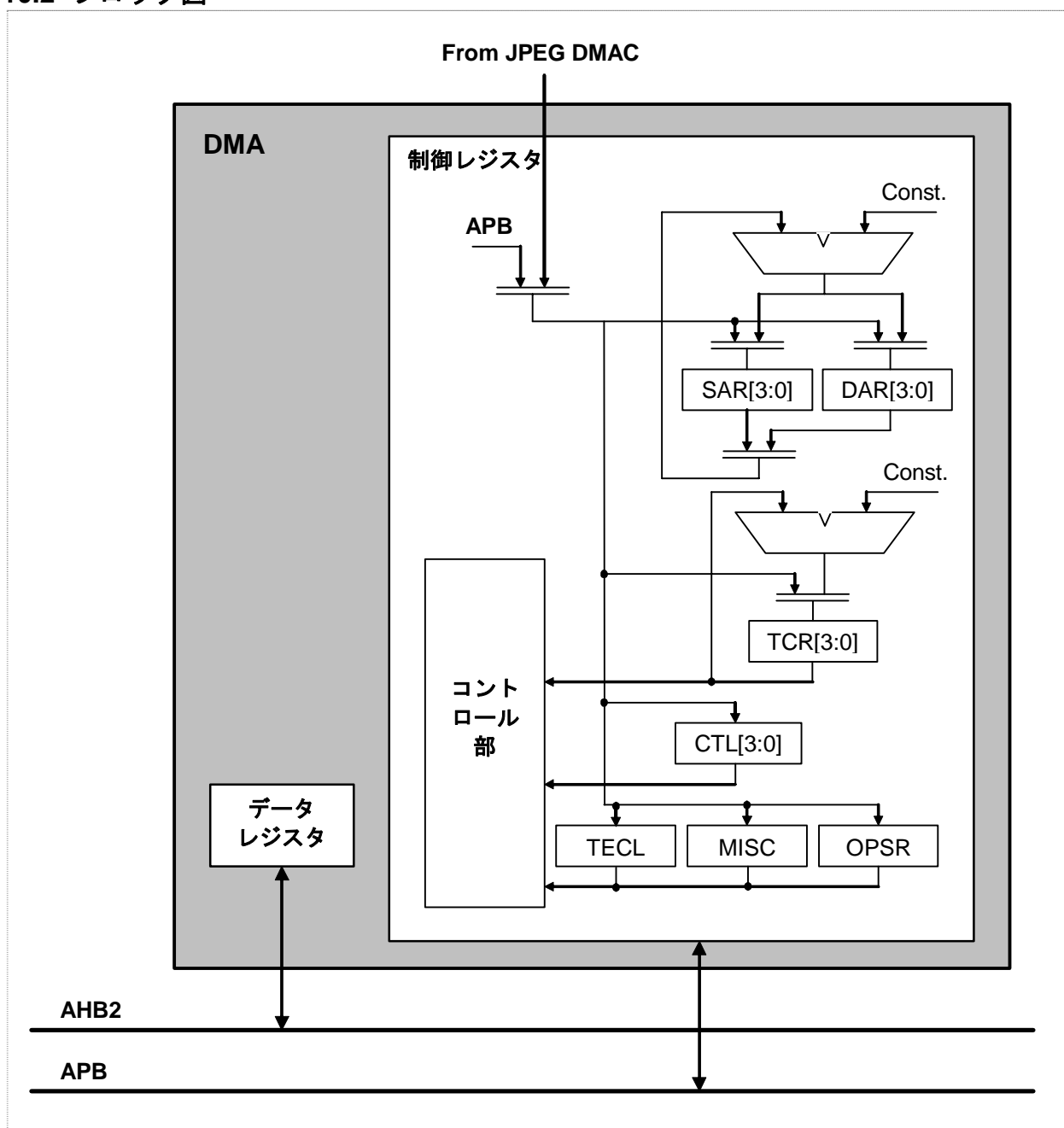


図 10.1 DMA コントローラ 2 ブロック図

10.3 外部端子

DMA コントローラ 2 に関連する外部端子はありません。

10.4 レジスタ

10.4.1 レジスタ一覧

DMAC2 関連レジスタのベースアドレスは 0xFFFF_9000 です。

表 10.1 レジスタ一覧（ベースアドレス：0xFFFF_9000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
0x00	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x00XX_XXXX	R/W	32
0x0C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x0000_0000	R/W	32
0x10	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0XXXXX_XXXX	R/W	32
0x14	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0XXXXX_XXXX	R/W	32
0x18	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x00XX_XXXX	R/W	32
0x1C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x0000_0000	R/W	32
0x20	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0XXXXX_XXXX	R/W	32
0x24	DMA チャンネル 2 デスティネーションアドレスレジスタ	DAR2	0XXXXX_XXXX	R/W	32
0x28	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x00XX_XXXX	R/W	32
0x2C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x0000_0000	R/W	32
0x30	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0XXXXX_XXXX	R/W	32
0x34	DMA チャンネル 3 デスティネーションアドレスレジスタ	DAR3	0XXXXX_XXXX	R/W	32
0x38	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x00XX_XXXX	R/W	32
0x3C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x0000_0000	R/W	32
0x40 – 0x5C	予約	-	-	-	-
0x60	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x0000_0000	R/W	32
0x64	DMA チャンネル MISC レジスタ	MISC	0x0000_0000	R/W	32
0x70	DMA チャンネル 転送終了コントロールレジスタ	TECL	0x0000_0000	R/W	32

10. DMA コントローラ 2 (DMAC2)

10.4.2 レジスタ詳細

DMA チャンネル[3:0] ソースアドレスレジスタ (SAR[3:0])															
DMAC2[0x00], [0x10], [0x20], [0x30] 初期値 = 0xXXXX_XXXX															
DMA チャンネル[3:0] ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル[3:0] ソースアドレス [31:0]**
チャンネル[3:0]で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル[3:0]コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル[3:0]コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

DMA チャンネル[3:0] デスティネーションアドレスレジスタ (DAR[3:0])															
DMAC2[0x04], [0x14], [0x24], [0x34] 初期値 = 0xXXXX_XXXX															
DMA チャンネル[3:0] デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル[3:0] デスティネーションアドレス [31:0]**
チャンネル[3:0]で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル[3:0]コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル[3:0]コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル[3:0] 転送カウントレジスタ (TCR[3:0])															
DMAC2[0x08], [0x18], [0x28], [0x38] 初期値 = 0x00XX_XXXX															
n/a								DMA チャンネル[3:0] 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル[3:0] 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル[3:0] 転送カウンタ [23:0]**
これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに “0” を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって “0” になった時点で発生します。
このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル[3:0] コントロールレジスタ (CTL[3:0])																	
DMAC2[0x0C], [0x1C], [0x2C], [0x3C]												初期値 = 0x0000_0000				Read/Write	
n/a								RSV					IB4	AM	AL		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DAM		SAM		RS				RSV	RIM	TM	TS		IE	TE	DE		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [23:19] : **RSV 予約 (0)**

Bit 18 : **IB4 インクリメントバースト 4**

このビットが“1”のときにインクリメントバースト 4 転送を実行します。ただしインクリメントバースト 4 転送で転送するデータはデータサイズ 4 個分で割り切れなければなりません。データサイズ 4 個分で割り切れないサイズのデータを転送する場合には、少なくとも端数は別の DMA 転送としてこのビットを“0”に設定して転送する必要があります。
この機能はメモリからメモリへのブロック転送にのみ使用します。

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 : **AL アクノリッジレベル**

DACK 信号の出力極性を選択します。

0 : LOW アクティブ

1 : HIGH アクティブ

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

00 : 転送先アドレス固定 (更新しない)

01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

00 : 転送元アドレス固定 (更新しない)

01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。

1111 : **SW-Request** ソフトウェアリクエスト

Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を開始します。

なお、設定可能なアドレスは、4.2.2 メモリマップ (AHB2) でマッピングされているアドレスのみとなります。

Other : 予約

Bit 7 : **RSV 予約 (0)**

10. DMA コントローラ 2 (DMAC2)

Bit 6 : **RIM リクエスト入力モード**

DMA 要求信号の入力モードを選択します。

- 0 : LOW アクティブ (レベルトリガ)
- 1 : 立ち下がりエッジ (エッジトリガ)

Bit 5 : **TM 転送モード**

DMA 転送の転送モードを選択します。

- 0 : シングル転送
- 1 : デマンド転送

Bits [4:3] : **TS 転送サイズ [1:0]**

1 回で転送するデータサイズを選択

- 00 : 8 ビット
- 01 : 16 ビット
- 10 : 32 ビット
- 11 : 予約

Bit 2 : **IE 割り込みイネーブル**

DMA チャンネル[3:0]の転送終了割り込みを許可／禁止します。

- 0 : 割り込み禁止
- 1 : 割り込み許可

Bit 1 : **TE DMA 転送終了**

- 0 (リード時) : 転送中または待機中
- 1 (リード時) : JPEG_DMA 転送終了
- 0 (ライト時) : 本ビットをクリア
- 1 (ライト時) : 無効

このビットは DMA チャンネル[3:0]転送カウントレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

Bit 0 : **DE DMA イネーブル**

このビットによりチャンネル[3:0]の DMA 転送を許可します。

- 0 : DMA 転送禁止
- 1 : DMA 転送許可

DMA チャンネル オペレーティング選択レジスタ (OPSR)															
DMAC2[0x60] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						DPE	DPM	n/a						DGE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 9 : **DPE DMA プライオリティ変更イネーブル**
 0 : プライオリティの変更を行わない。
 1 : プライオリティの変更を行う。
 本ビットが“1”の場合、以下の条件で Bit 8 の DPM の値を変更します。
 シングル転送時：1 回の転送ごとに DPM を変更します。
 デマンド転送時：リクエストがネゲートされ、転送が中断したとき、もしくは転送カウンタが“0”となったときに変更します。
- Bit 8 : **DPM DMA プライオリティモード**
 0 : CH0>CH1>CH2>CH3 の優先
 1 : CH1>CH0>CH2>CH3 の優先
- Bit 0 : **DGE DMA グローバルイネーブル**
 DMA の全チャンネルをすべてイネーブル／ディセーブルにします。
 0 : ディセーブル
 1 : イネーブル

DMA チャンネル MISC レジスタ (MISC)															
DMAC2[0x64] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SR	n/a						DPL								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 15 : **SR ソフトウェアリセット**
 この Bit に“1”を書き込むことで、DMAC2 内のレジスタを初期化することができます。
 DMAC2 内のすべてのレジスタが初期化されますので、必要なレジスタは再設定を行ってください。
- Bits [3:0] : **DPL DMA 極性選択[1:0]**
DPL3 DMA チャンネル 3 の極性を選択します。
 0 : 正
 1 : 負
DPL2 DMA チャンネル 2 の極性を選択します。
 0 : 正
 1 : 負
DPL1 DMA チャンネル 1 の極性を選択します。
 0 : 正
 1 : 負
DPL0 DMA チャンネル 0 の極性を選択します。
 0 : 正
 1 : 負

10. DMA コントローラ 2 (DMAC2)

DMA チャンネル 転送終了コントロールレジスタ (TECL)															
DMAC2[0x70] 初期値 = 0x0000_0000															
Read/Write															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		STTE	ENTE	n/a											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 13 : **STTE 転送終了受付による TE セット**
この Bit に “1” を書き込むことで、リクエスト発行要因からの転送終了信号を受け付け、TE を
セットします。
この Bit は Bit12 が “1” にセットされたときに有効となります。

Bits 12 : **ENTE 転送終了受け付けイネーブル**
この Bit に “1” を書き込むことで、リクエスト発行要因からの転送終了信号を受け付けします。
但し、TE のセットは行わず TE をセットする場合は Bit13 に “1” を書き込んでください。

11. USB HS-Device

11.1 概要

本 USB HS-Device Macro は SEIKO EPSON USB2.0 準拠 High Speed USB-Host/Device Combination Controller (S1R72V05)に搭載されている USB HS-Device Controller 部分を SoC (System On Chip) 搭載用途向けに切り出し Macro 化したものです。

本 USB HS-Device Macro の詳細は “[Appendix2 USB Device コントローラ](#)” を参照してください。

11.2 ブロック図

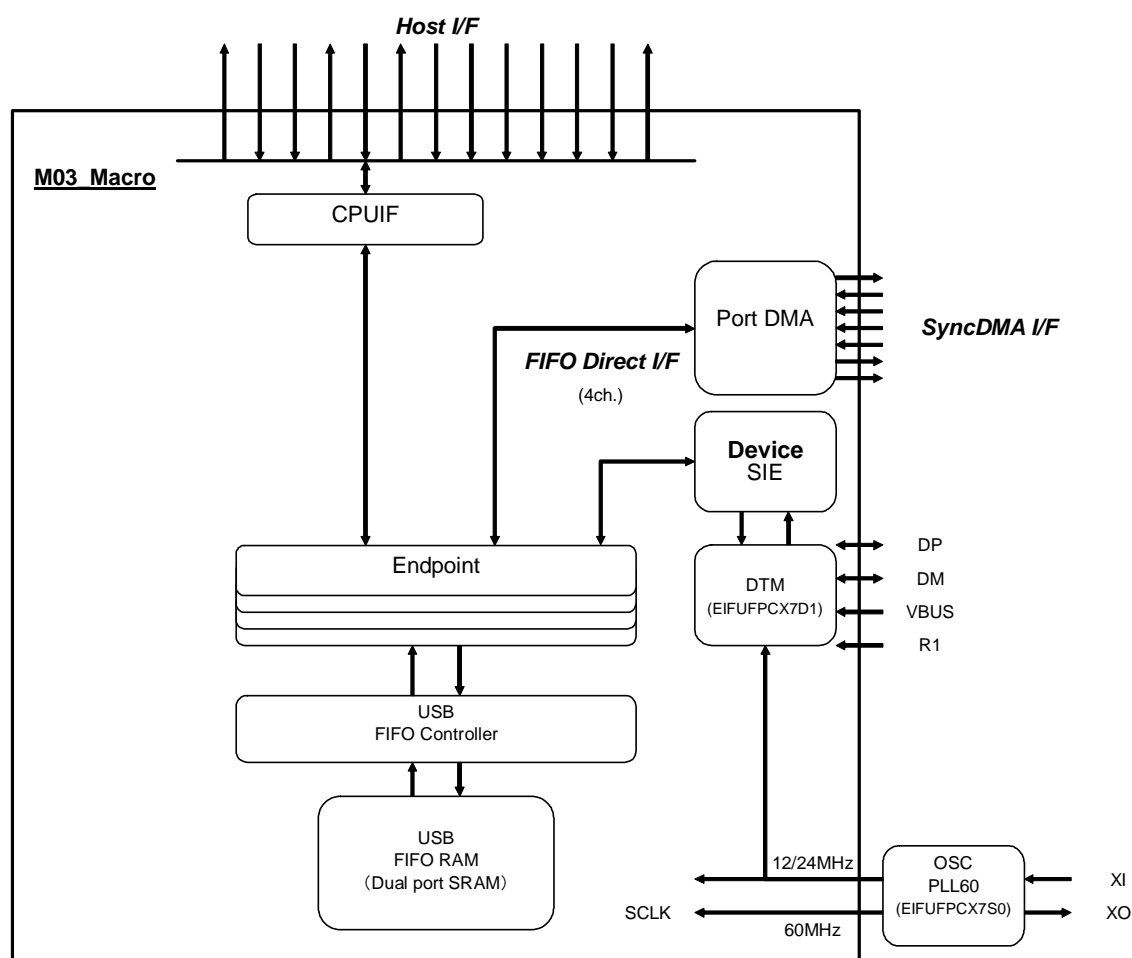


図 11.1 USB HS-Device ブロック図

11.3 特長

本 USB HS-Device Macro は以下の基本機能を有します。

<USB2.0 Device Function>

- HS(480Mbps)および FS(12Mbps)の転送 Support。
- FS/HS Termination 機能内蔵(外付け回路不要)。
- VBUS 5V Interface (但し外付け保護回路が必要となります。)
- Control Bulk および Interrupt 転送を Support。
- Control(End Point 0)および Bulk/Interrupt 共用 End Point (5 本) を Support。

<CPU Interface>

- 16-bit または 8-bit 幅の汎用 CPU Interface 搭載。(S2S65A30 では内部 AMBA バスに対応)
- Little Endian 対応。
- Register Table については S1R72V05 の HS-Device 部を基本として追加／削除。

<発振回路>

- USB 用 Clock 入力として 12MHz または 24MHz 水晶発振子入力に対応。
(発振回路および帰還抵抗として 1M Ω)内蔵。
 - 内部 Clock 用途としては入力 USB 用 Clock を元にして、以下の周波数が使用可能です。
- 入力 USB 用 Clock : 12MHz または 24MHz
内部 USB 用 Clock : 60MHz(内蔵 USB 用 PLL 経由)

12. APB ブリッジ (APB)

12.1 概要

本モジュールは、内部の高速バス—AHB1 と低速の APB 機能デバイス(以下 APB デバイス)が接続されている APB バス間におかれ、AHB バスへの制御を各 APB デバイスに代わって行うブリッジ機能を持った AHB バス上のスレーブ・デバイスです。この APB ブリッジを経由することにより、個々の APB デバイスは AHB バスの制御から開放され、その代わりシンプルな APB バスに対する制御のみを行えば済むことになります。ソフトウェアのプログラマにとっては、この APB ブリッジは本来気にすることのないデバイスですが、場合によっては APB デバイスに対するウェイト機能(0~3 ウェイト)を設定する必要があります。通常はリセット時のままお使いください。

12.2 ブロック図

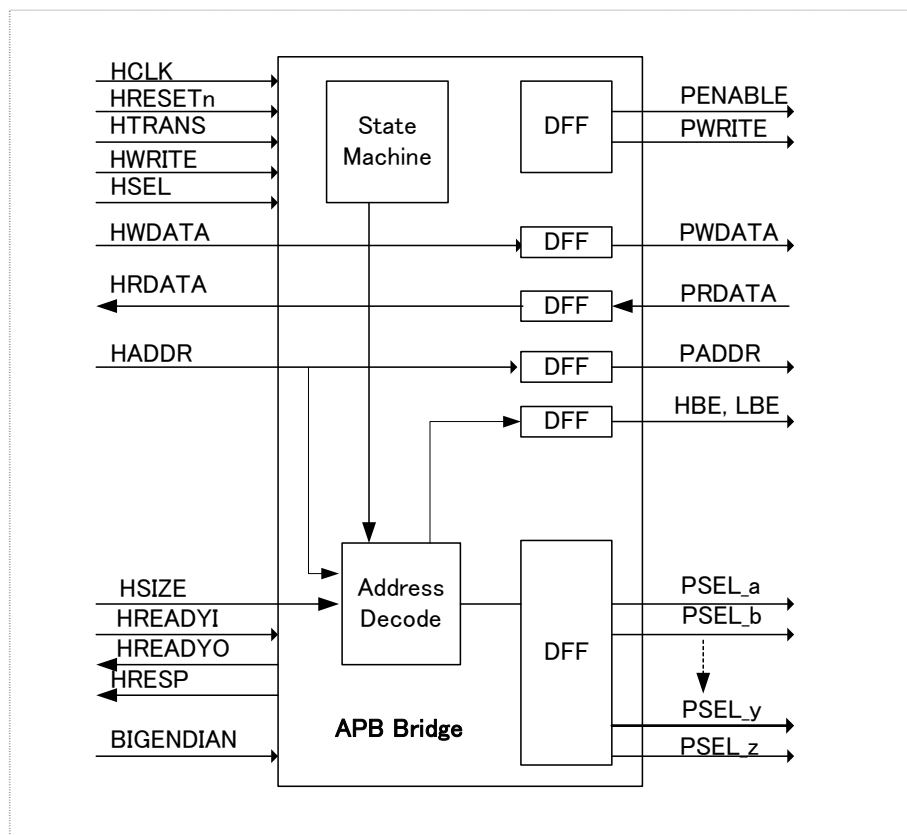


図 12.1 APB ブリッジ ブロック図

12. APB ブリッジ (APB)

12.3 外部端子

APB ブリッジに関連する外部端子はありません。

12.4 レジスタ

12.4.1 レジスタ一覧

APB 関連レジスタのベースアドレスは 0xFFFE_0000 です。

表 12.1 レジスタ一覧 (ベースアドレス : 0xFFFE_0000)

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
0x00	APB WAIT0 Register	APBWAIT0	0x0050_0500	R/W	32bit
0x04	APB WAIT1 Register	APBWAIT1	0x0000_0000	R/W	32bit
0x08	APB WAIT2 Register	APBWAIT2	0x0050_0000	R/W	32bit

12.4.2 レジスタ詳細説明

APB WAIT0 レジスタ (APBWAIT0)										
APB[0x00]		初期値 = 0x0050_0500								Read/Write
PW0FCNF [1:0]	PW0ECNF [1:0]	PW0DCNF [1:0]	PW0CCNF [1:0]	PW0BCNF [1:0]	PW0ACNF [1:0]	PW09CNF [1:0]	PW08CNF [1:0]			
31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16			
PW07CNF [1:0]	PW06CNF [1:0]	PW05CNF [1:0]	PW04CNF [1:0]	PW03CNF [1:0]	PW02CNF [1:0]	PW01CNF [1:0]	PW00CNF [1:0]			
15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0			

Bits [31:0] :

PWxCNF[1:0] (x=00 to 0F)

- 00 : 0 ウェイト 基本の 2-APB サイクル (デフォルト)
- 01 : 1 ウェイト 2-APB サイクル+1-ウェイトサイクル=3-APB サイクル
- 10 : 2 ウェイト 2-APB サイクル+2-ウェイトサイクル=4-APB サイクル
- 11 : 3 ウェイト 2-APB サイクル+3-ウェイトサイクル=5-APB サイクル

APB WAIT1 レジスタ (APBWAIT1)									
APB[0x04]		初期値 = 0x0000_0000						Read/Write	
PW1FCNF [1:0]	PW1ECNF [1:0]	PW1DCNF [1:0]	PW1CCNF [1:0]	PW1BCNF [1:0]	PW1ACNF [1:0]	PW19CNF [1:0]	PW18CNF [1:0]		
31 30	29 28	27 26	25 24	23 22	21 20	19 18	17 16		
PW17CNF [1:0]	PW16CNF [1:0]	PW15CNF [1:0]	PW14CNF [1:0]	PW13CNF [1:0]	PW12CNF [1:0]	PW11CNF [1:0]	PW10CNF [1:0]		
15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0		

Bits [31:0] :

PWxCNF[1:0] (x=10 to 1F)

- 00 : 0 ウェイト 基本の 2-APB サイクル (デフォルト)
- 01 : 1 ウェイト 2-APB サイクル+1-ウェイトサイクル=3-APB サイクル
- 10 : 2 ウェイト 2-APB サイクル+2-ウェイトサイクル=4-APB サイクル
- 11 : 3 ウェイト 2-APB サイクル+3-ウェイトサイクル=5-APB サイクル

12. APB ブリッジ (APB)

APB WAIT2 レジスタ (APBWAIT2)																	
APB[0x08] 初期値 = 0x0050_0000												Read/Write					
PW2FCNF [1:0]		PW2ECNF [1:0]		PW2DCNF [1:0]		PW2CCNF [1:0]		PW2BCNF [1:0]		PW2ACNF [1:0]				PW29CNF [1:0]		PW28CNF [1:0]	
31	30	29	28	27	26	25	24	23	22	21	20			19	18	17	16
PW27CNF [1:0]		PW26CNF [1:0]		PW25CNF [1:0]		PW24CNF [1:0]		PW23CNF [1:0]		PW22CNF [1:0]				PW21CNF [1:0]		PW20CNF [1:0]	
15	14	13	12	11	10	9	8	7	6	5	4			3	2	1	0

Bits [31:0] :

PWxCNF[1:0] (x=20 to 2F)

- 00 : 0 ウェイト 基本の 2-APB サイクル (デフォルト)
- 01 : 1 ウェイト 2-APB サイクル+1-ウェイトサイクル=3-APB サイクル
- 10 : 2 ウェイト 2-APB サイクル+2-ウェイトサイクル=4-APB サイクル
- 11 : 3 ウェイト 2-APB サイクル+3-ウェイトサイクル=5-APB サイクル

表 12.2 APBWAIT[2:0]レジスタと APB Device の対応一覧

APBWAIT0		APBWAIT1		APBWAIT2	
PW0xCNF	APB Device	PW1xCNF	APB Device	PW2xCNF	APB Device
PW00CNF	APB ブリッジ	PW10CNF	Reserved	PW20CNF	Reserved
PW01CNF	IPC-1	PW11CNF	GPIO	PW21CNF	IPC-2
PW02CNF	Reserved	PW12CNF	SPI	PW22CNF	Reserved
PW03CNF	DMA1C	PW13CNF	DMAC3	PW23CNF	Timer B
PW04CNF	CF Attribute CF Common	PW14CNF	Reserved	PW24CNF	UART2
PW05CNF	CF I/O	PW15CNF	UART1	PW25CNF	UART3
PW06CNF	CF CTL	PW16CNF	Reserved	PW26CNF	Reserved
PW07CNF	ARS	PW17CNF	Reserved	PW27CNF	Reserved
PW08CNF	Camera I/F-1	PW18CNF	RTC	PW28CNF	Camera I/F-2
PW09CNF	JPEG Resize-1	PW19CNF	DMA2C	PW29CNF	JPEG Resize-2
PW0ACNF	JPEG module/FIFO-1	PW1ACNF	Memory CNTL	PW2ACNF	JPEG module/FIFO-2
PW0BCNF	JPEG Codec-1	PW1BCNF	Timer A	PW2BCNF	JPEG Codec-2
PW0CCNF	JPEG-DMAC	PW1CCNF	WDT	PW2CCNF	ADC
PW0DCNF	I2C	PW1DCNF	SYS-CNTL	PW2DCNF	Reserved
PW0ECNF	I2S	PW1ECNF	Reserved	PW2ECNF	Reserved
PW0FCNF	(INT-CNTL)	PW1FCNF	INT-CNTL	PW2FCNF	USB_2.0 Device

12. APB ブリッジ (APB)

表 12.3 内蔵 I/O マップ

Base Address	Space Size	S2S65A30
0xFFFD_0000	4KB	Reserved
0xFFFD_1000	4KB	IPC-2
0xFFFD_2000	4KB	Reserved
0xFFFD_3000	4KB	Timer B
0xFFFD_4000	4KB	UART2
0xFFFD_5000	4KB	UART3
0xFFFD_6000	4KB	Reserved
0xFFFD_7000	4KB	Reserved
0xFFFD_8000	4KB	Camera I/F-2
0xFFFD_9000	4KB	JPEG Resize-2
0xFFFD_A000	4KB	JPEG module/FIFO-2
0xFFFD_B000	4KB	JPEG Codec-2
0xFFFD_C000	4KB	ADC
0xFFFD_D000	4KB	Reserved
0xFFFD_E000	4KB	Reserved
0xFFFD_F000	4KB	USB_2.0 Device
0xFFFE_0000	4KB	APB ブリッジ
0xFFFE_1000	4KB	IPC-1
0xFFFE_2000	4KB	Reserved
0xFFFE_3000	4KB	DMA1C
0xFFFE_4000	2KB	CF attribute
0xFFFE_4800	2KB	CF common
0xFFFE_5000	2KB	CF I/O
0xFFFE_5800	1KB	CF ture IDE CS1#
0xFFFE_5C00	1KB	CF ture IDE CS2#
0xFFFE_6000	4KB	CF 制御
0xFFFE_7000	4KB	ARS
0xFFFE_8000	4KB	Camera I/F-1
0xFFFE_9000	4KB	JPEG Resize-1
0xFFFE_A000	4KB	JPEG module/FIFO-1
0xFFFE_B000	4KB	JPEG Codec-1
0xFFFE_C000	4KB	JPEG-DMAC
0xFFFE_D000	4KB	I2C
0xFFFE_E000	4KB	I2S
0xFFFE_F000	4KB	(INT-CNTL)
0xFFFF_0000	4KB	Reserved
0xFFFF_1000	4KB	GPIO
0xFFFF_2000	4KB	SPI
0xFFFF_3000	4KB	DMA3C
0xFFFF_4000	4KB	Reserved
0xFFFF_5000	4KB	UART1
0xFFFF_6000	1KB	Reserved
0xFFFF_7000	4KB	Reserved
0xFFFF_8000	4KB	RTC
0xFFFF_9000	4KB	DMA2C
0xFFFF_A000	4KB	Memory CNTL
0xFFFF_B000	4KB	Timer A
0xFFFF_C000	4KB	WDT
0xFFFF_D000	4KB	SYS-CNTL
0xFFFF_E000	4KB	Reserved
0xFFFF_F000	4KB	INT-CNTL

13. システムコントローラ (SYS)

13.1 概要

このブロックは主にクロックコントロール、ローパワー化手段、およびチップ・システム全体にかかわる事柄—メモリマップなどを制御するブロックです。

主な特徴は、

- HALT によるローパワーモード (IDLE) への移行サポート
- HALT 中の CPU、Bus クロックの ON/OFF の選択可能
- CPU/AHB/APB クロックのダイナミックな周波数切り替え
- 内蔵 I/O 毎のクロック ON/OFF
- 32kHz 動作モードのサポート
- PLL クロック切り替え手段のサポート
- ソフトウェアリセットのサポート
- Programmable Clock generator for UART

13.2 動作モード

S2S65A30 はロースピードモード、ロースピード HALT モード、ハイスピードモード、ハイスピード HALT モードの 4 つの動作状態をもっています。

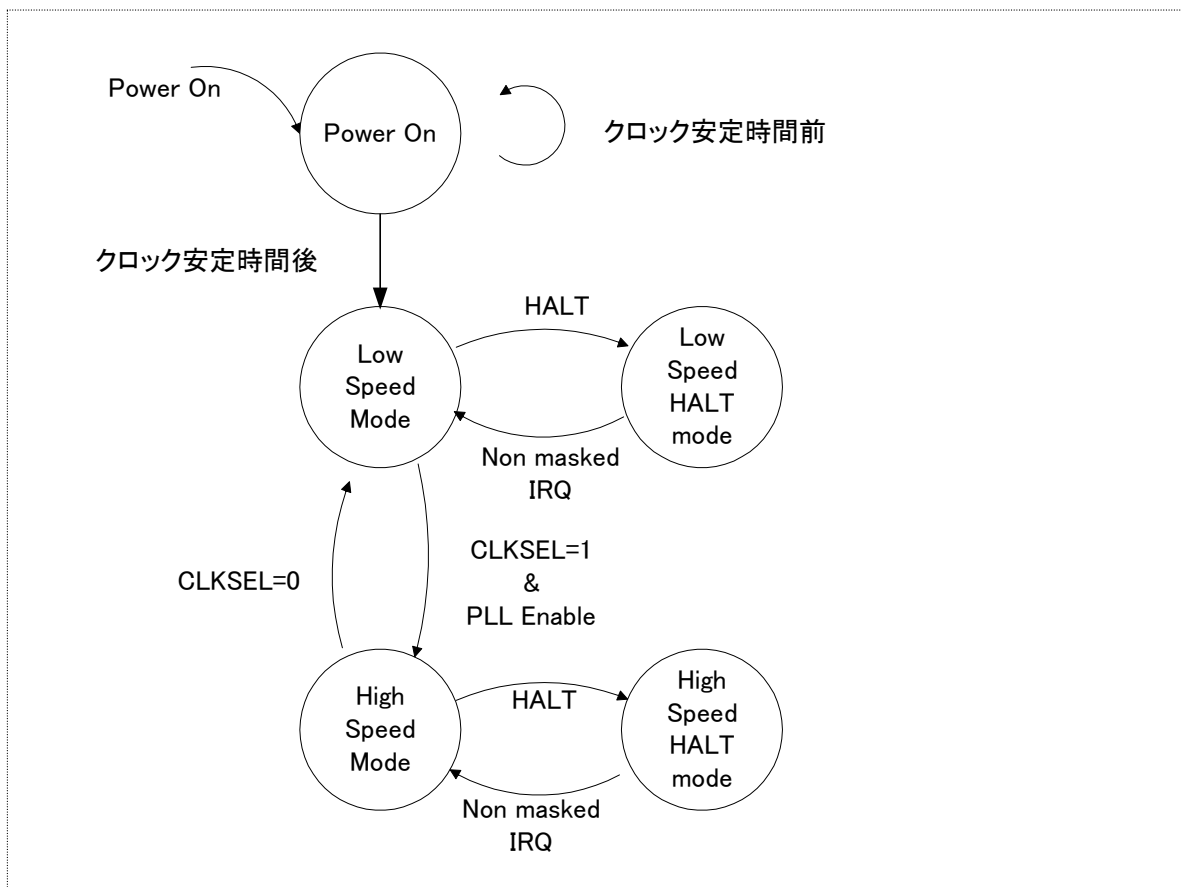


図 13.1 System の内部動作ステート

注意： Low Speed Mode から High Speed Mode に移る際には、ソフトウェアにより PLL 安定時間 (Max 100ms) を待った後、移行することができます。

13. システムコントローラ (SYS)

以下、各動作状態（モード）について説明します。

13.2.1 パワーオンステート

このモードは特別な動作モードではありませんが、パワーオン時のリセット信号によりこの状態に入ります。クロック入力には 32KHz を使用します。外部の 32KHz を想定した場合、立ち上がり時間を Max3 秒ほど確保する時間が必要であり、その間この状態にとどまります。リセット解除後、RSTTIM (SYS[0x04])にて設定された時間が経過した後に次の動作モードであるロースピードモードへ遷移します。

13.2.2 ロースピードモード

リセット直後のこのモードでは、PLL は停止しています。32KHz による動作のみが可能です。パワーオンリセット直後は、この状態から CPU がスタートすることになります。

PLL の設定をこのモードで行うことにより、(UART やタイマでの基本クロックに制約があるものの) 任意の通倍率を設定することが可能です。PLL の動作は PLL の安定に時間がかかるため(Max:100ms)、ソフトウェアでこの時間を待った後、設定した周波数にソフトウェアにより切り替えること（即ちハイスピードモード）になります。ハイスピードモード移行時に PLL の設定を変更したい場合は、必ずこのロースピードモードに遷移した後で、変更を行う必要があります。

13.2.3 ロースピード HALT モード

このモードは、ロースピードから HALT 動作を行うコマンドを発行することにより遷移することができ、もっとも消費電力の小さいモードとなります。内蔵 I/O バスや内蔵 I/O へのクロックの供給は、設定レジスタの値に依存しますが、すべてとめてしまうことも可能です。このモードからの復帰（常にロースピードモードへ復帰）にはマスクされていない割り込みによります。例としては、割り込みイネーブルされた GPIO 入力の変化、外部割り込み端子、もしくは 32kHz で動作しているタイマからの割り込みなどによってこのモードを抜け出すことができます。

13.2.4 ハイスピードモード

このモードは、ロースピードモードで PLL を起動した後、ソフトウェアにより移行され、PLL に設定された通倍率の基本クロックが CPU や内部のバスに供給され、動作します。

13.2.5 ハイスピード HALT モード

ハイスピードモードの状態では、HALT 動作を行うコマンドを発行することにより、このモードへ遷移します。このモードでは、このモードへ入る前に設定された各 I/O バスへのクロックストップ設定、CPU へのクロックストップ設定が同時に有効になります。したがってローパワーを実現するためには、このモードの多用、即ち CPU が動作する必要のない場合には、HALT を頻繁に発行することにより、実現できます。このモードはマスクされていない割り込みにより、ハイスピードモードへ戻ることができます。例としてタイマ割り込みや UART 受信割り込みをイネーブルにしておけば、割り込みが発生し、その後すぐにハイスピードモードに移ることが可能です。

13.3 外部端子

システムコントローラ関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子／備考
RESET#	I	ハードウェアリセット入力	なし
SYSCLKI	I/O	32kHz 発振器クロック入力/クロック出力	水晶振動子使用時 32kHz 出力可能
SYS_OSCI	I	32kHz 水晶振動子入力	なし
SYS_OSCO	O	32kHz 水晶振動子出力	なし
SYS_CLKSEL	I	32kHz クロック源選択	なし

13.4 レジスタ

13.4.1 レジスタ一覧

以下に、システムコントロールの制御レジスタを示します。これらのレジスタのベースアドレスは、0xFFFF_D000 です。

表 13.1 レジスタ一覧（ベースアドレス：0xFFFF_D000）

Address Offset	Register Name	Abbreviation Name	Initial Value	R/W	Data Access Size
0x00	Chip ID Register	CHIPID	0x065A_300X	RO	32bit
0x04	Chip Configuration Register	CHIPCFG	0x0000_XXXX	RO	16/32bit
0x08	PLL Setting Register 1	PLLSET1	0x0423_4930	R/W	32bit
0x0C	PLL Setting Register 2	PLLSET2	0x0000_0000	(R/W)	16/32bit
0x10	HALT Mode Clock Control Register	HALTMODE	0x0000_0000	R/W	16/32bit
0x14	IO Clock Control Register	IOCLKCTL	0x0000_0000	R/W	16/32bit
0x18	Clock Select Register	CLK_SEL	0x0000_0000	R/W	16/32bit
0x1C	HALT Control Register	HALTCTL	-	WO	16/32bit
0x20	Memory Remap Register	REMAP	0x0000_0000	R/W	16/32bit
0x24	Software Reset Register	SOFTIRST	-	WO	32bit
0x28	UART1 Clock Divider Register	UART1DIV	0x0000_0000	R/W	16/32bit
0x2C	UART2 Clock Divider Register	UART2DIV	0x0000_0000	R/W	16/32bit
0x30	UART3 Clock Divider Register	UART3DIV	0x0000_0000	R/W	16/32bit
0x34	Timer-B Clock Select Register	TIMBCLSEL	0x0000_0000	R/W	16/32bit
0x38	ADC Sampling Clock Divide Register	ADCKKDIV	0x0000_000A	R/W	16/32bit
0x40	MD Bus Pull-down Control Register	MDPLDCTL	0x0000_0000	R/W	16/32bit
0x44	SDD Bus Pull-down Control Register	SDDPLDCTL	0x0000_0000	R/W	16/32bit
0x48	GPIOE Resistor Control Register	PORTERCTL	0x0000_0000	R/W	16/32bit
0x4C	GPIOF Resistor Control Register	PORTFRCTL	0x0000_0000	R/W	16/32bit
0x50	GPIOG Resistor Control Register	PORTGRCTL	0x0000_0000	R/W	16/32bit
0x54	GPIOH Resistor Control Register	PORTHRCTL	0x0000_0000	R/W	16/32bit
0x58	GPIOI Resistor Control Register	PORTIRCTL	0x0000_0000	R/W	16/32bit
0x5C	GPIOJ Resistor Control Register	PORTJRCTL	0x0000_0000	R/W	16/32bit
0x60	GPIOK Resistor Control Register	PORTKRCTL	0x0000_0000	R/W	16/32bit
0x64	MISC Resistor Control Register	MISCRCTL	0x0000_0000	R/W	16/32bit
0x68	Embedded Memory Control Register	EMBMEMCTL	0x0000_0000	R/W	32bit
0x6C	(Reserved)	(Reserved)	0x0000_0000	R/W	32bit
0x70	(Reserved)	(Reserved)	0x0000_0000	R/W	32bit

13. システムコントローラ (SYS)

13.4.2 レジスタ詳細説明

Chip ID Register (CHIPID)							
SYS[0x00]		初期値 = 0x065A_300X					Read Only
				PRODUCT ID [23:16]			
31	30	29	28	27	26	25	24
				PRODUCT ID [15:8]			
23	22	21	20	19	18	17	16
				PRODUCT ID [7:0]			
15	14	13	12	11	10	9	8
Reserved					REVISION CODE		
7	6	5	4	3	2	1	0

- Bits[31:8] : **Product ID Code [23:0]**
このチップでは 16 進表記で 065A30h が埋め込まれています。
- Bits[7:3] : **予約**
- Bits[2:0] : **Revision Code [2:0]**
この IC のレビジョンを示します。S2S65A30B00A000 の場合は 01h となります。

Chip Configuration Register (CHIPCFG)							
SYS[0x04]		初期値 = 0x0000_XXXX					Read Only
				n/a			
31	30	29	28	27	26	25	24
				n/a			
23	22	21	20	19	18	17	16
CONF [15:8]							
15	14	13	12	11	10	9	8
CONF [7:3]					RSTTIM[1:0]		Reserved
7	6	5	4	3	2	1	0

- Bits[15:0] : **CONF [15:3]**
CNF[15:3]は MD[15:3]データバスにつながったプルアップ/プルダウン抵抗の状態を RESET#の立ち上がりでサンプルし、ソフトウェアの動作を決めるために利用できます。
詳細な機能は 4.1 システムコンフィギュレーションの項を参照してください。
- Bits[2:1] : **RSTTIM [1:0]**
RSTTIM[1:0]では RESET#端子が High になってから IC 内部のリセットが解除されるまでの時間を設定できます。必ず接続する水晶振動子や発振器の発振安定時間にあわせて適切な設定でご利用下さい。
本レジスタは Read Only です。MD[1:0]端子を抵抗を介してプルアップ/プルダウンすること以外には設定できません。
- 00 : 約 3 sec (従来機種互換)
01 : 約 100 msec
10 : 約 20 msec
11 : 約 2 msec
- Bit 0 : **予約**
テスト用に予約されております。
MD0 端子はプルダウン抵抗を介してプルダウンして下さい。

PLL Setting Register 1 (PLLSET1)							
SYS[0x08] 初期値 = 0x0423_4930				Read/Write			
n/a	CS [1:0]				CP [4:0]		
31	30	29	28	27	26	25	24
	RS [3:0]				VC[3:0]		
23	22	21	20	19	18	17	16
	N-Counter [3:0]				W-Divider [1:0]		L-Counter [9:8]
15	14	13	12	11	10	9	8
	L-Counter [7:0]						
7	6	5	4	3	2	1	0

このレジスタは内蔵PLLの動作周波数を決定するレジスタです。設定値を変更する場合には、必ずPLL Setting Register 2 (SYS[0x0C]) のBit 1 (PLLEN) に“0”を設定し、PLLをパワーダウン状態にしてから行ってください。具体的な推奨設定値については PLL Setting Example、PLL Parameter tableを参照して下さい。

Bits [31] : **予約 (0)**

Bits [30:29] : **CS [1:0]**
内蔵 PLL の LPF の容量値を調整します。推奨値にしたがってください。

Bits [28:24]: **CP [4:0]**
内蔵 PLL の CP の電流値を調整します。推奨値にしたがってください。

Bits [23:20]: **RS [3:0]**
内蔵 PLL の LPF の抵抗値を調整します。推奨値にしたがってください。

Bits [19:16] : **VC[3:0]**
内蔵 PLL の VCO 動作のためのパラメータ指定です。推奨値にしたがってください。

Bits [15:12] : **NN value N-Counter [3:0]**
この N-Counter は下記の L-Counter と共に、PLL の通倍率を決定するために使用されます。詳細は LL Value の説明、および PLL の設定例を参照してください。

Bits [11:10] : **V-Divider [1:0]**
内蔵 PLL の内部で PLL-Out を分周するときの値を指定します。
00 : 使用禁止
01 : 1/2 分周
10 : 1/4 分周
11 : 1/8 分周
推奨値にしたがってください。

Bits [9:0] : **LL Value L-Counter [9:0]**
これらの値は内蔵 PLL の通倍率を決定します。推奨値にしたがってください。

$$\text{PLL Output} = (\text{N-Counter} + 1) \times (\text{L-Counter} + 1) \times \text{CLKI_L}$$

$$= \text{NN} \times \text{LL} \times \text{CLKI_L}$$
NN = N-Counter, LL = L-Counter, CLKI_L = 外部クロック入力(32.768KHz)

13. システムコントローラ (SYS)

PLL Setting Register 2 (PLLSET2)								(Read/Write)
SYS[0x0C] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	PLLEN

Bits [7:1] : 予約 (0)

Bit 0 : PLLEN

内蔵 PLL の Enable/Disable を指定します。PLLEN = 0 の時にのみ、PLL Setting Register1 の値を変更できます。

0 : PLL は Disable になります。 (PLL はパワーダウン状態を保ちます。)

1 : PLL は Enable になります。

HALT Mode Clock Control Register (HALTMODE)								Read/Write
SYS[0x10] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	Reserved (0)
23	22	21	20	19	18	17	16	Reserved (0)
15	14	13	12	11	10	9	8	Reserved (0)
CPUCKSEL [1:0]		n/a		HALT_MDCLK [4:0]				
7	6	5	4	3	2	1	0	

CPU や内部バス (AHB1、AHB2、APB Bus) のクロック周波数および HALT モードの間にどのクロックを停止するかどうかを決めるレジスタです。

Bits [31:8] : 予約 (0)

Bits [7:6] : CPUCKSEL [1:0]

CPU/AHB1/AHB2/AHB3/APB 用クロック分周の指定をします。

CPU クロック = AHB1 クロック = AHB2 クロック = APB クロック となります。すなわち、CPU クロックを分周した場合でも AHB1 クロック、AHB2 クロック、APB クロックは全て同じ周波数になります。このクロック変更指定は、書き込むと即座にグリッジ無しに変更後の周波数に反映されます。

00 : PLL 出力の 1/1 が CPU に供給されます。

01 : PLL 出力の 1/2 が CPU に供給されます。

10 : PLL 出力の 1/4 が CPU に供給されます。

11 : PLL 出力の 1/8 が CPU に供給されます。

Bits [3:0] : HALT_MDCLK [3:0]

本 Bits [4:0] は、該当 Bit に“0”を書くことにより HALT モードの間、指定された内部 Bus (CPU、AHB1-Bus、AHB2-Bus、APB-bus のいずれか、またはすべて) のクロック供給を停止します。HALT モードからの復帰はマスクされていない割り込みにより可能です。そのため割り込みを起こす必要のある内部デバイス (UART、Timer、Ethernet、GPIO など) へはクロックを供給しておく必要があります。

0 : クロックは供給され続けます (Clock On)

1 : クロックは停止状態になります (Clock Off)

Bit3 : ARM720T 用クロックの On/Off を指定します。

Bit2 : AHB1 用クロックの On/Off を指定します。*
 Bit1 : AHB2,AHB3 用クロックの On/Off を指定します。
 Bit0 : APB 用クロックの On/Off を指定します。

Bits [3:0]のクロック On/Off 指定は、“1”を書いてもすぐにクロックが停止するわけではなく、HALT Control Register を介して HALT モードに移行した間のみ有効になります。例えば、実行すべき Job が無い場合、または何かの割り込みイベントを待っている場合にこの機能を利用して、何もしないで CPU が待っている間の低電力化が図れます。

***使用上の制限：** AHB1 バスクロックを HALT で停止しようとする時には、必ず CPUCCLK も HALT で停止する指定をしてください。 CPUCCLK の停止については、AHB1 バスクロックと独立に制限なく HALT による停止指定ができます。

IO Clock Control Register (IOCLKCTL)								Read/Write
SYS[0x14] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
		n/a						
23	22	21	20	19	Reserved (0) 18	IOCLKCTL [17:16]		
						17	16	
IOCLKCTL [15:8]								
15	14	13	12	11	10	9	8	
IOCLKCTL [7:0]								
7	6	5	4	3	2	1	0	

このレジスタの各 Bit は対応する I/O (Timer, UART, SPI... など) へクロックを供給するか供給を停止するかを指定します。“1”を書くことによりクロックが供給され、“0”を書くことによりクロック供給が停止します。使用しない I/O 機能に対して “0” を書くことにより低消費電力化が図れます。

Bit 18 : **予約 (0)**

Bits [17:0] : **IOCLKCTL [17:0]**

Bit17 (IPC2_CLKEN)	: IPC 2 用クロックの On/Off を指定します。
Bit16 (IPC1_CLKEN)	: IPC 1 用クロックの On/Off を指定します。
Bit15 (DMA3C_CLKEN)	: DMA3C 用クロックの On/Off を指定します。
Bit14 (ADC_CLKEN)	: ADC 用クロックの On/Off を指定します。
Bit13 (UART1_CLKEN)	: UART1 用クロックの On/Off を指定します。
Bit12 (UART2_CLKEN)	: UART2 用クロックの On/Off を指定します。
Bit11 (UART3_CLKEN)	: UART3 用クロックの On/Off を指定します。
Bit10 (DMA1C_CLKEN)	: DMA1C 用クロックの On/Off を指定します。
Bit9 (DMA2C_CLKEN)	: DMA2C 用クロックの On/Off を指定します。
Bit8 (SPI_CLKEN)	: SPI 用クロックの On/Off を指定します。
Bit7 (I2C_CLKEN)	: I2C 用クロックの On/Off を指定します。
Bit6 (I2S_CLKEN)	: I2S 用クロックの On/Off を指定します。
Bit5 (TIMER_A_CLKEN)	: Timer Ch0/1/2 用クロックの On/Off を指定します。
Bit4 (TIMER_B_CLKEN)	: Timer Ch0/1/2 用クロックの On/Off を指定します。
Bit3 (CF_CLKEN)	: CF Card I/F 用クロックの On/Off を指定します。
Bit2 (SDMMC-IF)	: SDMMC-IF 用クロックの On/Off を指定します。
Bit1 (USB_CLKEN)	: USB I/F 用クロックの On/Off を指定します。
Bit0 (Reserved)	: 予約

13. システムコントローラ (SYS)

Clock Select Register (CLK_SEL)								Read/Write
SYS[0x18] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	CLKSEL

Bits [31:6] : 予約 (0)

Bit [5] : **SYSCLKOEN**

SYSCLKSEL 端子が”Low”、つまり水晶振動子により 32kHz を供給した場合に SYSCLKI 端子より 32kHz クロックを出力するかどうかを選択します。

- 0 : SYSCLKI 端子よりクロックを出力しない (初期値)
- 1 : SYSCLKI 端子よりクロックを出力する

Bits[4:1] : 予約 (0)

Bit 0 : **CLKSEL**

32KHz または PLL 出力のどちらをシステムクロックとして使用するかを決めます。“PLL 出力を使用”に指定する場合には、PLL の諸パラメータをあらかじめ設定しておき、更に PLL をイネーブルにし、適切な PLL 安定時間 (100ms) を保持した後、この PLL 出力変更 Bit を 1 に設定する必要があります。

PLL がパワーダウン状態にある場合にはこの bit を”1”にしても PLL クロックに切り替わりません。システムクロックとして PLL 出力を使用したい場合には、SYS[0x0C] PLLSET2 レジスタと併せて設定して下さい。

また、PLL クロックで動作中に PLL をパワーダウンにした場合にもシステムクロックとして 32kHz クロックが使用されます。

- 0 : 32KHz
- 1 : PLL 出力

HALT Control Register (HALTCTL)								Write Only
SYS[0x1C] 初期値 = -								
31	30	29	28	27	26	25	24	Halt Control [31:24]
23	22	21	20	19	18	17	16	Halt Control [23:16]
15	14	13	12	11	10	9	8	Halt Control [15:8]
7	6	5	4	3	2	1	0	Halt Control [7:0]

Bits [31:0] : **Halt Control [31:0]**

このレジスタに任意の値を書くことにより、チップを HALT モードへ移行させることができます。

Memory Remap Register (REMAP)								Read/Write
SYS[0x20] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
n/a								
7	6	5	4	3	2	REMAP2 1	REMAP1 0	

リセット後のメモリマップを変更できます。Remap 機能により、リセット後に 0x0 番地に見えていた空間に SDRAM の空間がアサインされます。詳細はシステムコントローラの Appendix を参照してください。通常は使用する必要はありません。RAM ベースで走行する OS によっては使い勝手がよくなります。

Bit1 : **REMAP2**
 AHB2,AHB3 Bus 側のメモリマップを変更できます。
 0 : リセット後のメモリマップになります。
 1 : メモリマップを変更します。

Bit0 : **REMAP1**
 AHB1 Bus 側のメモリマップを変更できます。
 0 : リセット後のメモリマップになります。
 1 : メモリマップを変更します。

注意：メモリマップ変更の操作は、メモリマップの影響を受けない領域で変更コードを実行するなどの注意が必要です。
 また、AHB1/AHB2/AHB3 間でのメモリマップの矛盾を避けるため、REMAP1 と REMAP2 は同時にセットすることを推奨いたします。

Software Reset Register (SOFTST)								Write Only
SYS[0x24] 初期値 = -								
31	30	29	28	27	26	25	24	
Software Reset [31:24]								
23	22	21	20	19	18	17	16	
Software Reset [23:16]								
15	14	13	12	11	10	9	8	
Software Reset [15:8]								
7	6	5	4	3	2	1	0	
Software Reset [7:0]								

Bits [31:0] : **Software Reset [31:0]**
 このレジスタに AA5555AAh を書くことにより本 IC (S2S65A30) 内のすべてのレジスタが初期化され、CPU はリセットされます。

13. システムコントローラ (SYS)

UART1/2 Clock Divider Register (UART1/2DIV)								Read/Write
SYS[0x28/2C] 初期値 = 0x0000_0000								
DIVMODE				N/a				
31	30	29	28	27	26	25	24	
				N/a				
23	22	21	20	19	18	17	16	
				N/a				
15	14	13	12	11	10	9	8	
			UART 1/2 CLKDIV [7:0]					
7	6	5	4	3	2	1	0	

このレジスタは UART1/2 用のボーレート TIME ベース用分周器として使用されます。本 IC では、基本的に PCLK クロックが、この分周比×1/2 分周によって分周されて UART の SCLK (=転送レート生成クロック) に供給されます。

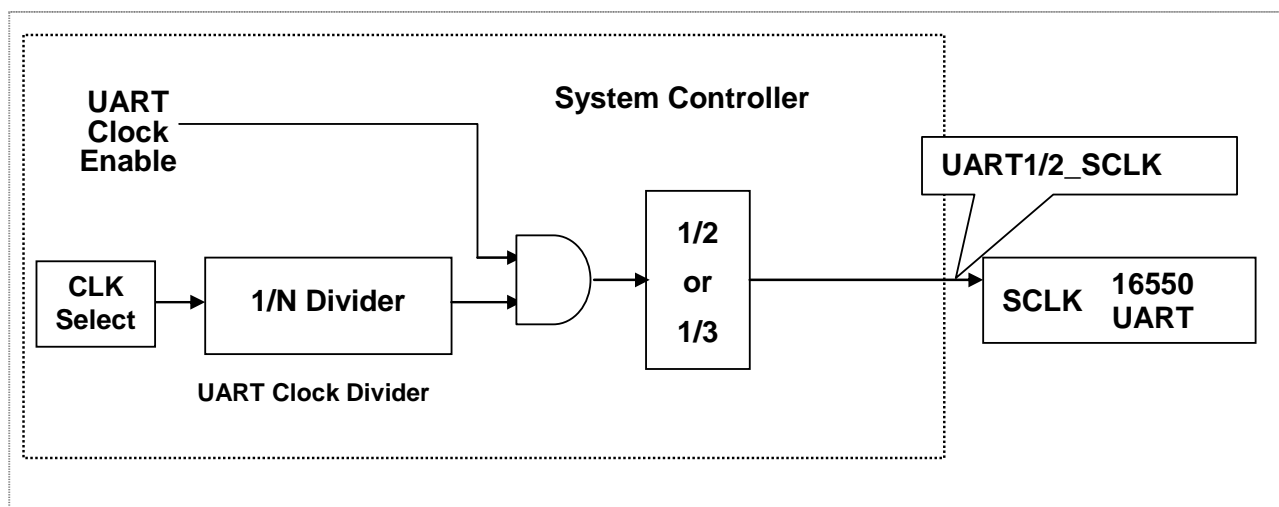
Bit [31] : **UART1/2 DIVMODE**
 分周回路の最終段の分周比 1/N を設定します。
 0 : 1/2 分周
 1 : 1/3 分周

Bits [7:0] : **UART1/2CLKDIV [7:0]**
 分周比 1/N を生成します。 (N = Bits[7:0] + 1)
 0 : 1/1
 1 : 1/2 分周
 .
 .
 255 : 1/256 分周

UART1/2 への UART1/2_SCLK は、UART1/2CLKDIV の分周後、さらに 1/2 分周されたクロックで供給されます。

即ち、UART1/2_SCLK = (PCLK の周波数) * 1/N * 1/2 となります。(下図参照。)

注意：この UART1/2_SCLK は SPI I/F 用クロックの SCLK とは全く異なります。
 UART1/2 を使用する場合には必ず一度は本レジスタに書き込みを行ってください。



UART3 Clock Divider Register (UART3DIV)							
SYS[30]				初期値 = 0x0000_0000			
				Read/Write			
DIVMODE				N/a			
31	30	29	28	27	26	25	24
				N/a			
23	22	21	20	19	18	17	16
				N/a			
15	14	13	12	11	10	9	UART3_CKSEL
							8
				UART 3 CLKDIV [7:0]			
7	6	5	4	3	2	1	0

このレジスタは UART3 用のボーレート TIME ベース用分周器として使用されます。本 IC では、基本的に PCLK クロックが、この分周比×1/2 分周によって分周されて UART の SCLK (=転送レート生成クロック) に供給されます。

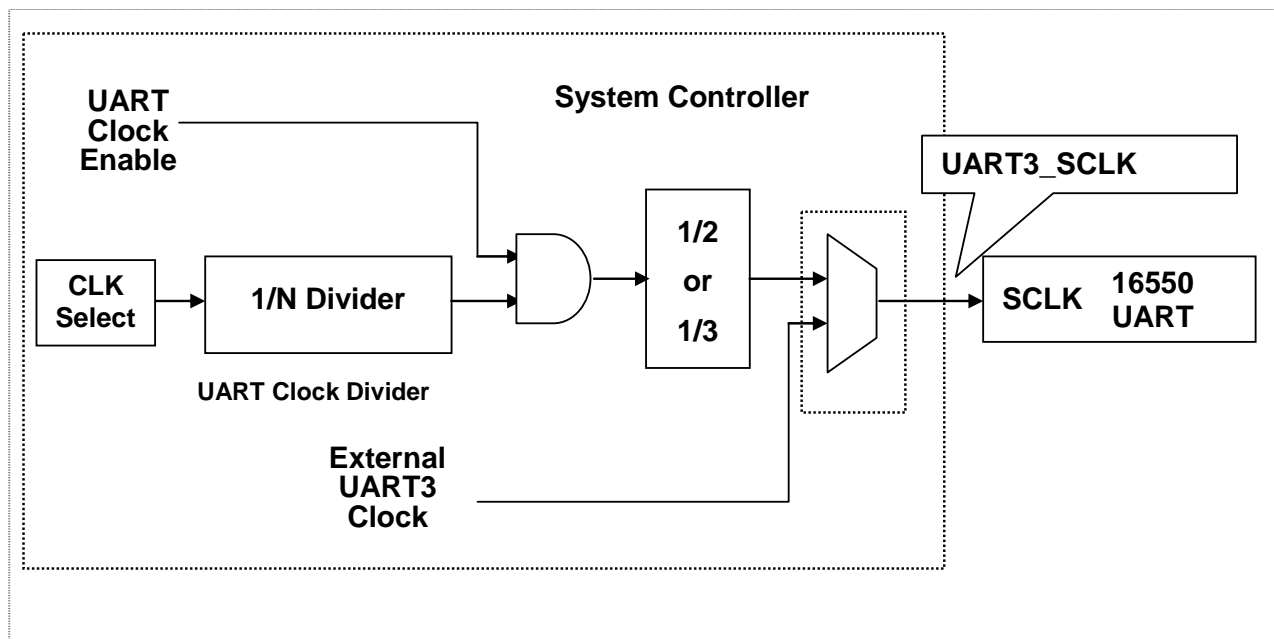
- Bit [31] : **UART3 DIVMODE**
 分周回路の最終段の分周比 1/N を設定します。
 0 : 1/2 分周
 1 : 1/3 分周
- Bits8 : **UART3CKSEL**
 UART3 のみ外部入力のカロックを選択可能とします。
 0 : 内部システムカロックを使用 (UART1/2 と同じ)
 1 : 外部端子(UART3_EXT_CLK)の入力カロックを使用
- Bits [7:0] : **UART3CLKDIV [7:0]**
 分周比 1/N を生成します。 (N = Bits[7:0] + 1)
 0 : 1/1
 1 : 1/2 分周
 ・
 ・
 255 : 1/256 分周

UART3 への UART3_SCLK は、UART3CLKDIV の分周後、さらに 1/2 分周されたカロックで供給されます。

即ち、 $UART3_SCLK = (PCLK \text{ の周波数}) * 1/N * 1/2$ となります。(下図参照。)

注意 : この UART3_SCLK は SPI I/F 用カロックの SCLK とは全く異なります。
 UART3 を使用する場合には必ず一度は本レジスタに書き込みを行ってください。

13. システムコントローラ (SYS)



Timer B Clock Select Register (TIMBCKSEL)								Read/Write
SYS[0x34] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	N/a	3	2	1	CLKSEL 0

Bit 0 :

CLKSEL

このレジスタは Timer-B に供給するクロックを選択します。

0 : PLL 出力の 1/8

1 : 32KHz

ADC Sampling Clock Divide Register (ADCKDIV)								Read/Write
SYS[0x38] 初期値 = 0x0000_000A								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	ADCKDIVN3[3:0]			4	ADCKDIVN2		ADCKDIVN1	
	6	5			3	2	1	0

Bits [7:4] :

ADCKDIVN3[3:0]

このレジスタでは ADC へ供給するクロックの分周比を設定します。ADCKDIV1 および ADCKDIV2 で分周されたクロックの (ADCKDIVN3+1) 分の 1 のクロックが ADC へサンプリング用クロックの High および Low 期間として設定されます。通常は初期値のままご利用下さい。

分周設定 : $(ADCKDIVN1 \times ADCKDIVN2) \times 1 / ((ADCKDIVN3+1) \times 2)$

Bits [3:2] :

ADCKDIVN2[1:0]

このレジスタでは ADC へ供給するクロックの分周比を設定します。ADCKDIV2 では ADCKDIV1 で分周したクロックをさらに分周し、分周されたクロックは ADCKDIV3 の基準クロックとして利用されます。通常は初期値のままご利用下さい。

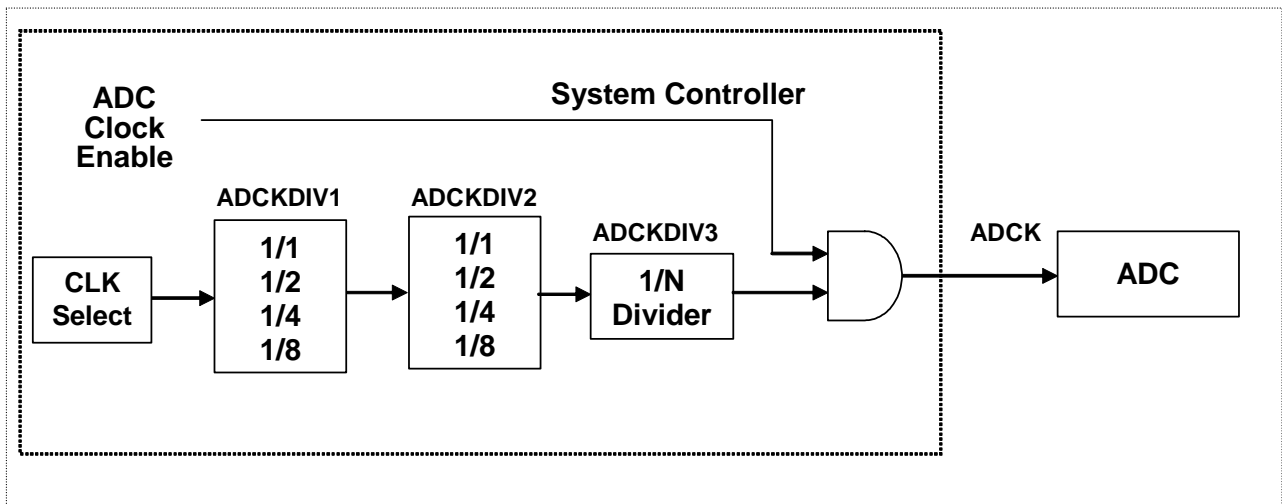
00 : 1/1
01 : 1/2
10 : 1/4 (初期値)
11 : 1/8

Bits [1:0] :

ADCKDIVN1[1:0]

このレジスタでは ADC へ供給するクロックの分周比を設定します。ADCKDIV1 で分周したクロックは ADCKDIV2 の基準クロックとして利用されます。通常は初期値のままご利用下さい。

00 : 1/1
01 : 1/2
10 : 1/4 (初期値)
11 : 1/8



MD Bus Resistor Control Register (MDPLDCTL)								Read/Write
SYS[0x40] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
MDPLDNDIS [15:8]								
15	14	13	12	11	10	9	8	
MDPLDNDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [15:0] :

MDPLDNDIS [15:0]

MD[15:0] Bus に内蔵されているプルダウン抵抗の接続／切り離しを制御します。リセット後、必要に応じて（特にローパワーアプリケーション時には外部でのプルアップ抵抗の有無に応じて）切り離すことが可能です。

各ビットはそれぞれ MD[15:0] の各端子に対応しています。

0 : プルダウン抵抗イネーブル（リセット後はこの状態です。）
1 : プルダウン抵抗ディセーブル

13. システムコントローラ (SYS)

SDD Bus Resistor Control Register (SDDPLDCTL)								Read/Write
SYS[0x44] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
SDDPLDNDIS [15:8]								
15	14	13	12	11	10	9	8	
SDDPLDNDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [15:0] :

SDDPLDNDIS [15:0]

SDD[15:0] Bus に内蔵されているプルダウン抵抗の接続／切り離しを制御します。リセット後、必要に応じて（特にローパワーアプリケーション時には外部でのプルアップ抵抗の有無に応じて）切り離すことが可能です。

各ビットはそれぞれ MD[15:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル（リセット後はこの状態です。）
- 1 : プルダウン抵抗ディセーブル

GPIOE Resistor Control Register (PORTERCTL)								Read/Write
SYS[0x48] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTEPDDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTEPDDIS [7:0]

このレジスタは GPIOE[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。

各ビットはそれぞれ GPIOE[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル（リセット後はこの状態です。）
- 1 : プルダウン抵抗ディセーブル

GPIOF Resistor Control Register (PORTFRCTL)								Read/Write
SYS[0x4C] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTFPDDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:4] :

PRTDPDDIS [7:0]

これらのビットは GPIOF[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。

各ビットはそれぞれ GPIOF[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル（リセット後はこの状態です。）
- 1 : プルダウン抵抗ディセーブル

GPIOG Resistor Control Register (PORTGRCTL)								Read/Write
SYS[0x50] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTGPDDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTGPDDIS [7:0]

このレジスタは GPIOG[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOG[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
1 : プルダウン抵抗ディセーブル

GPIOH Resistor Control Register (PORTHRCTL)								Read/Write
SYS[0x54] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTHPUDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTHPUDIS [7:0]

このレジスタは GPIOH[7:0]端子内蔵のプルアップ抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOH[7:0]の各端子に対応しています。

- 0 : プルアップ抵抗イネーブル (リセット後はこの状態です。)
1 : プルアップ抵抗ディセーブル

GPIOI Resistor Control Register (PORTIRCTL)								Read/Write
SYS[0x58] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
Reserved						PORTIPUDIS [1:0]		
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTIPUDIS [1:0]

このレジスタは GPIOI[1:0]端子内蔵のプルアップ抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOI[1:0]の各端子に対応しています。

- 0 : プルアップ抵抗イネーブル (リセット後はこの状態です。)
1 : プルアップ抵抗ディセーブル

13. システムコントローラ (SYS)

GPIOJ Resistor Control Register (PORTJRCTL)								Read/Write
SYS[0x5C] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTJPDDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTJPDDIS [7:0]

このレジスタは GPIOJ[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOJ[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
- 1 : プルダウン抵抗ディセーブル

GPIOK Resistor Control Register (PORTKRCTL)								Read/Write
SYS[0x60] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
PORTKPDDIS [7:0]								
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTKPDDIS [7:0]

このレジスタは GPIOK[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOK[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
- 1 : プルダウン抵抗ディセーブル

MISC Resister Control Register (MISCRCTL)								Read/Write
SYS[0x64] 初期値 = 0x0000_0000								
Reserved								
31	30	29	28	27	26	25	24	
Reserved								
23	22	21	20	19	18	17	16	
Reserved								
15	14	13	12	11	10	9	8	
Reserved								
7	6	5	4	3	2	1	0	TRSTNPDDIS

Bit [0] :

TRSTNPDDIS

このレジスタは TRST#端子内蔵のプルダウン抵抗の接続／切り離しを制御します。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
- 1 : プルダウン抵抗ディセーブル

Embedded Memory Control Register (EMBMEMCTL)								Read/Write
SYS[0x68] 初期値 = 0x0000_0000								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
Reserved		EMBRAMSEL[1:0]		Reserved		EMBWAITEN[1:0]		
7	6	5	4	3	2	1	0	

Bits [31:6] : 予約 (0)

Bits [5:4] : **EMBRAMSEL[1:0] Embedded SRAM Select**

00 : JPEG1 ラインバッファとして、内蔵 SRAM の 24KB が割り当てられます。(JPEG コントローラ 1 の JPEG Line Buffer の[0xA4]をデフォルト値(0x0020)の設定で使用してください。)

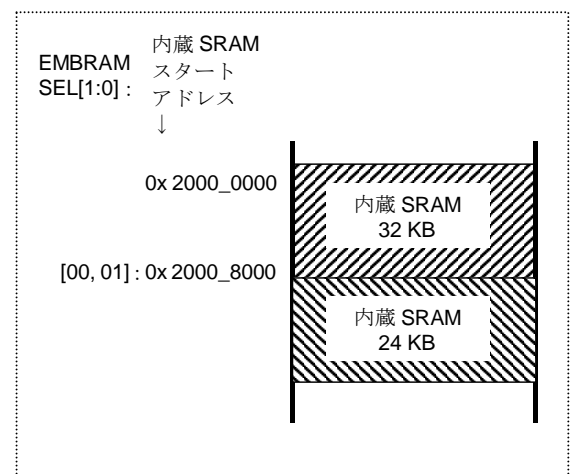
内蔵 SRAM として 32KB が使用可能です。使用する場合のスタートアドレスは 0x 2000_0000 となります。

01 : JPEG1 ラインバッファとして 32KB、JPEG2 ラインバッファとして 24KB が割り当てられます。

(この場合、JPEG コントローラ 1 の JPEG Line Buffer の[0xA4]を 0x0000、JPEG コントローラ 2 の JPEG Line Buffer の[0xA4]をデフォルト値(0x0020)の設定で使用してください。)

10 : JPEG1 ラインバッファとして 56KB が割り当てられます。JPEG コントローラ 1 の JPEG Line Buffer の[0xA4]を 0x0000 の設定で使用してください。)

11 : 内蔵 SRAM として全てのサイズ (56KB) が使用可能です。使用する場合のスタートアドレスは 0x 2000_0000 となります。



Bits [3:2] : 予約 (0)

Bits [1:0] : **EMBWAITEN[1:0] Embedded SRAM Wait Control**

00 : ノーウエイト

01 : Read Access Wait ON (Read : 1 ウエイト, Write : ノーウエイト)

10 : Read Access Wait ON、Read Data Wait ON、
(Read : 2 ウエイト, Write : ノーウエイト)

11 : Read Access Wait ON、Write Access Wait ON、Write Access Wait On
(Read : 2 ウエイト, Write : 1 ウエイト)

13. システムコントローラ (SYS)

MISC Register (MISC)							
SYS[0x6C]				初期値 = 0x0000_0000			
(Read/Write)							
Reserved							
31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

Bits [31:0] : **予約 (0)**

Internal TEST Mode Register (ITESTM)							
SYS[0x70]		初期値 = 0x0000_0000					Read/Write
31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

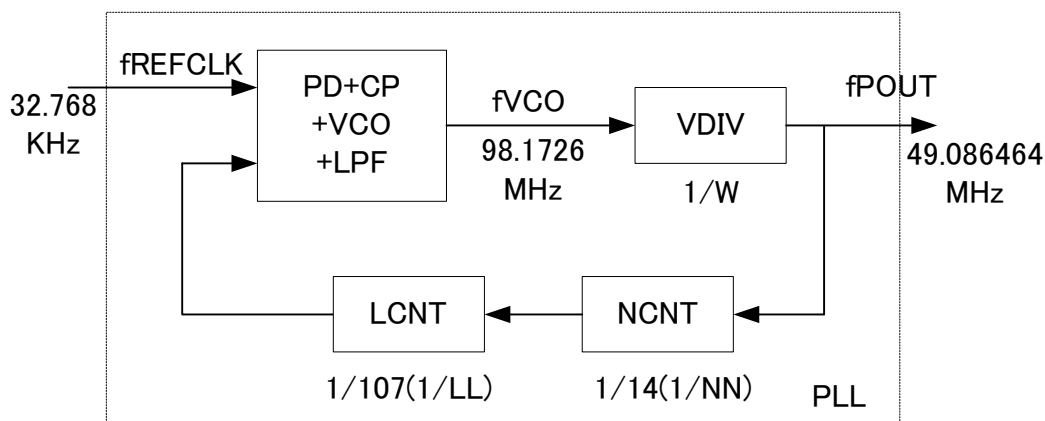
この LSI の内部テストに使用されるレジスタです。ユーザは触ることはできません。
リセット時のまま、何もしないでください。

Bits [31:0] : **予約 (0)**

13.5 PLL Setting Example

以下に PLL の設定例を示します。

CPU Clock = 49.086464 MHz の場合 :



fPOUT = 49.086464 MHz を選択した場合 :

fREFCLK = 32.768KHz

$fPOUT / fREFCLK = 49.086464 \text{ MHz} / 32.768 \text{ KHz} = 1498$ (分周比)

分周比は $1498 = 2 \times 7 \times 207 = 107 \times 14$

したがって分周の値として、NN = 4, LL = 107 を選ぶことができます。

NN = 14、つまり N-Counter [3:0] = 13 = 1101 (Binary)

LL = 107、つまり L-Counter [9:0] = 106 = 00_0110_1010 (Binary)

VCO 周波数 : $fVCO = fPOUT \times W = 49.086464 \text{ MHz} \times 2 = 98.172928 \text{ MHz}$

この場合 W = 2 で、約 100MHz ですので、

W = 2、つまり W-Divider [1:0] = 01 (Binary) となります。

13. システムコントローラ (SYS)

13.6 PLL Parameter table

PLL Setting Register1 の設定は使用する周波数のレンジに応じて以下の値を使用してください。PLL の出力安定時間は Max100ms 必要ですので、設定後 PLL を ON にしても、実際に 32kHz から切り換える際には、必ずこの時間を待ったあと、CLKSEL=1 にして所望のクロックにスイッチしてください。なお PLL の周波数の変更は 32KHz で走行時で、かつ PLEN=0 の時 (= PLL Disable) にのみ変更可能です。32KHz 以外の周波数で既に走行時に、別の周波数にダイレクトに移行することはできません。必ず 32KHz を経由してください。実際の PLL Setting Register1 の設定例を以下に示します。

ターゲット周波数例	通倍率 from 32.768KHz	PLL_Setting Register1 (Hex)	NN N-Counter	LL L-Counter
49.086464MHz	1498 = 14 x 107	0x0421_D46A	1101b	00_0110_1010b
49.971200MHz	1525 = 5 x 305	0x0423_4930	0100b	01_0011_0000b
50.003968MHz	1526 = 7 x 218	0x0423_68D9	0110b	00_1101_1001b

W-Divider、VC、RS、CP、CS の各値は、システム周波数が 45-50MHz である限り、以下のどちらか値をご使用ください。

VV_Divider	VC[3:0]	RS[3:0]	CP[4:0]	CS[1:0]
01b	0001b	0010b	0_0100b	00b
10b	0011b	0010b	0_0100b	00b

13.7 Remap 後のメモリマップ

13.7.1 Remap 後のメモリマップ (AHB1)

Remap 機能により、リセット後のメモリマップを変更することができます。
ROM ベースで走行する OS では必要ありませんが、RAM ベースで走行する OS にとっては Remap 後のメモリマップの方が使いやすい場合もあります。

表 13.2 Remap 後の AHB1 メモリマップ

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x0FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	128MByte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	Reserved		
0xF000_0000	0xFFFF_FFFF	256Mbyte	内蔵 I/O エリア		32/16/8

13. システムコントローラ (SYS)

表 13.3 Remap 前の AHB1 メモリマップ

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x01FF_FFFF	32MByte	外部 ROM	MCS0#	16
0x0200_0000	0x03FF_FFFF	32MByte	Reserved		
0x0400_0000	0x05FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0x0600_0000	0x07FF_FFFF	32MByte	Reserved		
0x0800_0000	0x09FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0x0A00_0000	0x0BFF_FFFF	32MByte	Reserved		
0x0C00_0000	0x0DFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0x0E00_0000	0x0FFF_FFFF	32MByte	Reserved		
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	256Mbyte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	16/32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	16/32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	Reserved		
0xF000_0000	0xFFFF_FFFF	256Mbyte	内蔵 I/O エリア		32/16/8

13.7.2 Remap 後のメモリマップ (AHB2)

表 13.4 remap 後のメモリマップ (AHB2)

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x0FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	128MByte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	JPEG2 DMA Port		
0xE000_0000	0xEFFF_FFFF	256Mbyte	JPEG1 DMA Port		32
0xF000_0000	0xFFFF_FFFF	256Mbyte	Reserved		

13. システムコントローラ (SYS)

表 13.5 Remap 前の AHB2 メモリマップ

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x01FF_FFFF	32MByte	外部 ROM	MCS0#	16
0x0200_0000	0x03FF_FFFF	32MByte	Reserved		
0x0400_0000	0x05FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0x0600_0000	0x07FF_FFFF	32MByte	Reserved		
0x0800_0000	0x09FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0x0A00_0000	0x0BFF_FFFF	32MByte	Reserved		
0x0C00_0000	0x0DFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0x0E00_0000	0x0FFF_FFFF	32MByte	Reserved		
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	256Mbyte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	16/32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	16/32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	JPEG2 DMA Port		
0xE000_0000	0xEFFF_FFFF	256Mbyte	JPEG1 DMA Port		32
0xF000_0000	0xFFFF_FFFF	256Mbyte	Reserved		

13.7.3 Remap 後のメモリマップ (AHB3)

表 13.6 remap 後のメモリマップ (AHB3)

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x0FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	128MByte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	Reserved		32
0xF000_0000	0xFFFF_FFFF	256Mbyte	USB DMA Port		

13. システムコントローラ (SYS)

表 13.7 Remap 前の AHB3 メモリマップ

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x01FF_FFFF	32MByte	外部 ROM	MCS0#	16
0x0200_0000	0x03FF_FFFF	32MByte	Reserved		
0x0400_0000	0x05FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0x0600_0000	0x07FF_FFFF	32MByte	Reserved		
0x0800_0000	0x09FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0x0A00_0000	0x0BFF_FFFF	32MByte	Reserved		
0x0C00_0000	0x0DFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0x0E00_0000	0x0FFF_FFFF	32MByte	Reserved		
0x1000_0000	0x1FFF_FFFF	256MByte	Reserved		
0x2000_0000	0x2FFF_FFFF	256Mbyte	内蔵 SRAM		32
0x3000_0000	0x3FFF_FFFF	256MByte	Reserved		
0x4000_0000	0x4FFF_FFFF	256MByte	外部 SDRAM	SDCS0#	16/32
0x5000_0000	0x5FFF_FFFF	256MByte	外部 SDRAM	SDCS1#	16/32
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	SDMMC-IF		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC1FF_FFFF	32MByte	外部 ROM	MCS0#	16
0xC200_0000	0xC3FF_FFFF	32MByte	Reserved		
0xC400_0000	0xC5FF_FFFF	32MByte	外部 SRAM	MCS1#	16
0xC600_0000	0xC7FF_FFFF	32MByte	Reserved		
0xC800_0000	0xC9FF_FFFF	32MByte	外部 SRAM	MCS2#	16
0xCA00_0000	0xCBFF_FFFF	32MByte	Reserved		
0xCC00_0000	0xCDFF_FFFF	32MByte	外部 SRAM	MCS3#	16
0xCE00_0000	0xCFFF_FFFF	32MByte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	Reserved		32
0xF000_0000	0xFFFF_FFFF	256Mbyte	USB DMA Port		

13.8 クロック・コントロールブロック図

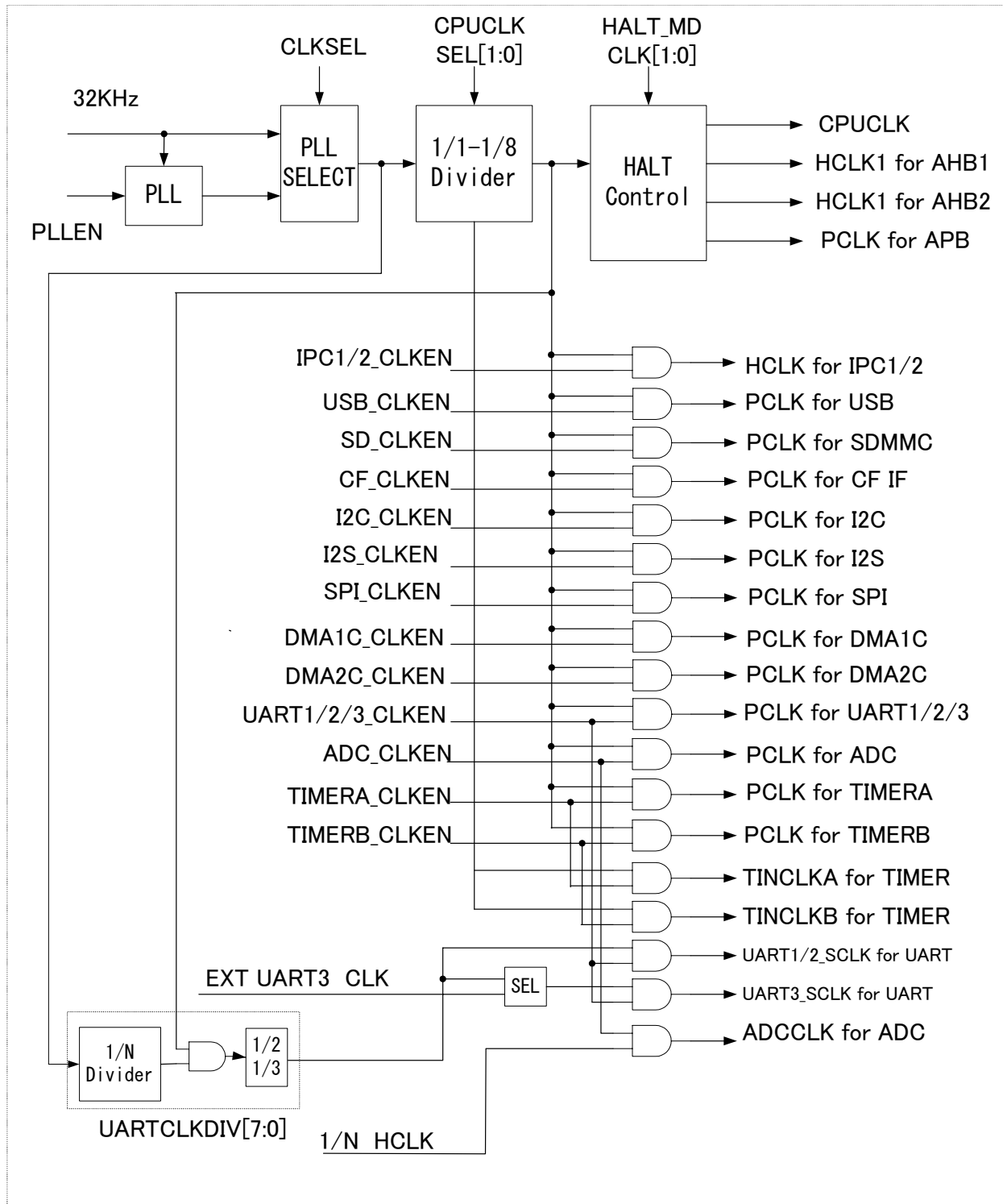


図 13.2 クロック・コントロールブロック図

図でクロック信号名“PCLK_for_ブロック名”は、各ブロックでのバス制御およびレジスタ制御用に使われるクロックを意味しています。また UART1/2/3_SCLCLK はそれぞれ UART1/2/3 での送受信レート生成用のクロック入力、TINCLKA/B はそれぞれ TimerA/B ブロックでのカウント用基本クロック入力にそれぞれ使用されます。

13. システムコントローラ (SYS)

13.9 UART Clock 設定例:

CPU Clock = 49.086464 MHz の場合 :

Baudrate	Ideal x16 Clock (Hz)	SYS[0x28]	16550 Divisor Value (DEC)	16550 Divisor Value (HEX)	Percent Error %	Actual x16 Clock (Hz)
110	1760	0	13945	3679	0.00	1760.0
300	4800	0	5113	13F9	0.00	4800.2
600	9600	0	2557	09FD	0.02	9598.4
1200	19200	0	1278	04FE	0.02	19204.4
2400	38400	0	639	027F	0.02	38408.8
4800	76800	0	320	0140	0.13	76697.6
9600	153600	0	160	00A0	0.13	153395.2
14400	230400	0	107	006B	0.44	229376.0
19200	307200	0	80	0050	0.13	306790.4
38400	614400	0	40	0028	0.13	613580.8
57600	921600	0	27	001B	1.37	909008.6
115200	1843200	0	9*	0009	1.37	1818017.2

CPU Clock = 50.003968 MHz の場合 :

Baudrate	Ideal x16 Clock (Hz)	SYS[0x28]	16550 Divisor Value (DEC)	16550 Divisor Value (HEX)	Percent Error %	Actual x16 Clock (Hz)
110	1760	0	14206	377E	0.00	1760.0
300	4800	0	5209	1459	0.00	4699.8
600	9600	0	2604	0A2C	0.01	9601.4
1200	19200	0	1302	0516	0.01	19202.8
2400	38400	0	651	028B	0.01	38405.5
4800	76800	0	326	0146	0.14	76693.2
9600	153600	0	163	00A3	0.14	153386.4
14400	230400	0	109	006D	0.44	2293760
19200	307200	0	81	0051	0.48	308666.5
38400	614400	0	41	0029	0.75	609804.5
57600	921600	0	27	001B	0.48	925999.4
115200	1843200	0	9*	0009	0.48	1851998.8

*UART1/2/3 Clock Divider Register (SYS[0x28/2C/30])の DIVMODE ビットを”1”に設定し、分周回路の最終段の分周比を 1/3 に設定する必要があります。

UART ボーレータの Error レートの見積もりには PLL クロックの Period Jitter として 2%の誤差を考慮する必要があります。

14. メモリコントローラ (MEMC)

14.1 概要

メモリコントローラは非同期 **SRAM** タイプデバイスおよび **SDRAM** をコントロールする **AHB** バスインタフェースのメモリコントローラです。非同期 **SRAM** は最大 4 つまで、**SDRAM** は最大 2 つまでのデバイスをサポートすることができます。

メモリコントローラの特長を以下に示します。

- **SRAM** タイミングデバイスに対応します。
- **SDRAM** に対応します。
- **SDRAM** オートリフレッシュのリフレッシュ間隔をデバイスにあわせて調整することができます。メモリコントローラが他のメモリアクセス等で使用できない場合は、複数回のリフレッシュを貯めこみ、メモリコントローラが空いた時点でバーストリフレッシュをすることができます。リフレッシュはバックグラウンドで実行します。
- **SDRAM** のセルフリフレッシュをサポートします。またセルフリフレッシュに入っている **SDRAM** に読み書きを行うことができます。この場合、セルフリフレッシュから抜けたあと、アイドル状態のままでいるか、再びセルフリフレッシュモードに入るかを選択できます。

14.1.1 SRAM コントローラ

- **SRAM** コントローラは次のデバイスをサポートします。
非同期 **SRAM**, **ROM**, **FLASH**, **EEPROM**
- 外部 8 ビット/16 ビットバス
- バースト転送をサポート
- wait state をプログラム可能
- **MWE#**, **MOE#**の挿入タイミングがプログラム可能。
- **MWE#**共通、バイトイネーブルが独立の x16 タイプのスタティックメモリに外部ロジックなしで接続できます。

14.1.2 SDRAM コントローラ

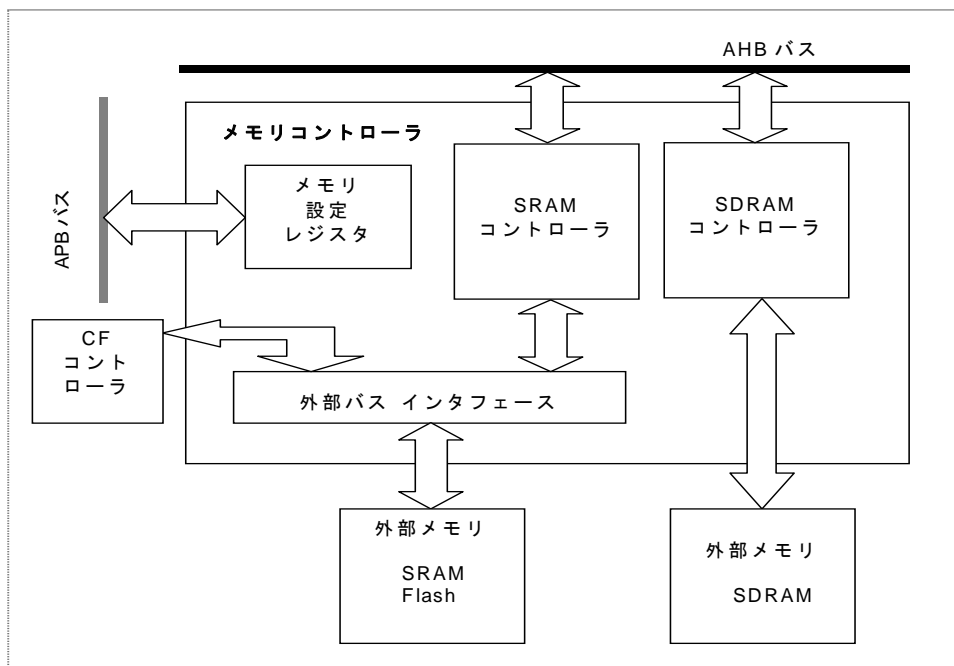
- **SDRAM** コントローラは次のデバイスをサポートします。
SDRAM
- 16/32 ビットバス
- バースト転送をサポート
- オートプリチャージの **ON/OFF** をプログラム可能
- セルフリフレッシュモードデバイスからの **IN/OUT** 自動設定モードサポート
- **SDRAM** イニシャライズ手動モードサポート

14.1.3 外部バスインタフェースモジュール

- **SRAM** コントローラと **CF** コントローラモジュールをアドレス/データバスを共通で使いたい場合に必要モジュールです。外部メモリとのアクセスに対して、**SRAM** コントローラと **CF** コントローラモジュールの外部バスアクセス要求の調停を行います。バスの要求はハンドシェイク方式です。

14. メモリコントローラ (MEMC)

14.2 ブロック図



14.3 外部端子

メモリコントローラ関連の外部端子は以下の通りです。

表 14.1 メモリコントローラ関連外部端子一覧

端子名	入出力	端子機能	マルチプレクス端子／備考
MA[23:20]	O	SRAM アドレス出力信号[23:20]	GPIOD[3:0]*
MA [19:12]	O	SRAM アドレス出力信号[19:12]	
MA11	O	SRAM アドレス出力信号 11	CFREG#**
MA [10:0]	O	SRAM アドレス出力信号[10:0]	CFADDR [10:0]**
MD [15:0]	I/O	SRAM データ入出力信号[15:0]	MODESEL[15:0]***
MCS [3:2]#	O	SRAM 用チップセレクト信号[3:2]	GPIOD[5:4]*
MCS [1:0]#	O	SRAM 用チップセレクト信号[1:0]	
MOE#	O	SRAM 出力用ストローブ信号	CFOE#**
MWE#	O	SRAM 用 Write イネーブル信号	CFWE#**
MBEH#	O	SRAM 用上位バイトイネーブル信号	
MBEL#	O	SRAM 用下位バイトイネーブル信号	
MWAIT	I	メモリコントローラ用ウェイト信号	CFWAIT#と端子を共有

注意(*)：これらのメモリコントローラ用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

注意(**)：コンパクトフラッシュインタフェース(CF)動作時には、メモリコントローラ用端子が CF の外部端子として動作します。

注意(***)：パワーオンリセット時には、内部動作モードを決定するための MODESEL 端子として動作します。

表 14.2 メモリコントローラ関連外部端子一覧

端子名	入出力	端子機能	マルチプレクス端子／備考
SDA [14:13]	O	SDRAM バンクドレス出力信号[1:0]	
SDA [12:0]	O	SDRAM アドレス出力信号[12:0]	
SDD [31:16]	I/O	SDRAM データ入出力信号[31:16]	GPIOD7*,GPIOD6*
SDD [15:0]	I/O	SDRAM データ入出力信号[15:0]	
SDCS[1:0]#	O	SDRAM 用チップセレクト信号[1:0]	
SDWE#	O	SDRAM 用 Write イネーブル信号	
SDCLK	O	SDRAM 用クロック出力信号	
SDCLKEN	O	SDRAM 用クロックイネーブル出力信号	
SDRAS#	O	SDRAM 用 RAS 信号	
SDCAS#	O	SDRAM 用 CAS 信号	
SDDQM3#	I/O	SDRAM 用最上位バイト用 DQM 信号	GPIOD7*
SDDQM2#	I/O	SDRAM 用中上位バイト用 DQM 信号	GPIOD6*
SDDQM1#	O	SDRAM 用中下位バイト用 DQM 信号	
SDDQM0#	O	SDRAM 用最下位バイト用 DQM 信号	

注意(*)：これらのメモリコントローラ用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

14.4 Memory controller

14.4.1 デバイス数

最大 4 つまでの SRAM タイミングデバイス（デバイス 0-3）を接続できます。
SDRAM デバイスはチップセレクト信号を 2 本使用してデータ 8 ビット幅の SDRAM を最大 8 つ (Max:512MB)接続可能です。

14.4.2 外部メモリ幅

外部メモリのバス幅は、SRAM タイミングデバイスにおいて 16 ビット、SDRAM デバイスは 16 ビット幅、又は 32 ビット幅を設定により切り替え可能です。

14.4.3 デバイスのセグメント設定

SRAM インタフェースは最大 16MB の空間がチップセレクト信号毎に割り当てられています。SRAM のタイミング空間としては 64MB(16MBx4)利用可能です。また、SDRAM インタフェースは最大 256MB の空間がチップセレクト毎に割り当てられ、最大で 512MB（各 256MB）がアサインされます。

14.5 SRAM control

14.5.1 タイミング設定

各デバイスコントローラのタイミング設定は、メモリコントローラの供給されるクロック周期に係数をかけるという形で設定します。クロック周期にあわせて、最適な値に設定してください。
調整できる項目としては、読み出し、書き込みのタイミング、MOE#,MWE#信号の挿入タイミングなどがあります。

14. メモリコントローラ (MEMC)

14.5.2 ライトプロテクト

該当する制御レジスタの WPROTECT ビットを“1”に設定することで対象となるデバイスを書き込み禁止にすることができます。禁止された領域へ書き込み動作を行うとバスアクセスがアボートし、CPU へエラーが通知されますので、ソフトウェアで適切に処理して下さい。

14.6 SDRAM control

14.6.1 モードレジスタ設定

「SDRAM モードレジスタ」を設定した後、初期化制御レジスタにてデバイスに LMR 命令を発行します。通常は INIT_SD (MEMC[0x80]bit15) を使用してください。このとき命令を発行するターゲットのデバイスの選択を同時に行ってください。各デバイスコントローラのタイミング設定は、クロック数で設定します。クロック周期にあわせて、最適な値に設定してください。

14.6.2 バースト対応

SDRAM はバースト長 1,2,4,8 に対応します。また、アドレスはインクリメントバーストに限定されています。SDRAM では同一 ROW の中ではバースト長を越える場合でもアクセスのペナルティはありません。あるデバイスへの R/W 中に、異なるデバイスへのアクセス要求によって割込みが起きた場合、SDRAM コントローラは自動的にプリチャージまたはバーストターミネートコマンドを発行してバスの引き渡しを迅速に行います。

14.6.3 オートプリチャージ設定

読み出し、書き込み動作を完了後、プリチャージを発行するかどうかを設定します。「プリチャージしない」を選択すると、ROW 系が選択されたままになり、同じページ内のデータの読み出し、書き込みが早くなります。アクティブな ROW アドレスはオートリフレッシュ時にプリチャージが行われ、その後アイドルになります。また手動でプリチャージをすることもできます。「SDRAM 設定レジスタ (MEMC[0x70])」を参照してください。

14.6.4 低消費電力化

データのアクセスが完了してアイドル状態となっている（セルフリフレッシュ状態や ROW アクティブなままの状態を含む）デバイスに対して、MCLKEN をディアサートすることができます。SDRAM 設定レジスタ (MEMC[0x70]) の CKECTRL ビットを“1”に設定することで有効になります。CKECTRL ビットを“1”に設定した場合に限り、更なる低消費電力化を目的として、メモリに供給するクロック自身を止めることもできます。CLKCTRL ビットを“1”に設定することで有効になります。オートリフレッシュの蓄積値が設定値を超えた場合や、デバイスに対して読み書き要求がある場合、CKECTRL ビットが“1”であっても CKE を HIGH にアサートしてデータのやり取りが再開されます。

14.6.5 メモリクロック停止

CKECTRL にて MCLKEN を LOW に保つ以外に、SDRAM へのクロック供給を停止することで更なる低消費電力を実現することができます。このモードは CLKCTRL ビットを“1”にすることで有効になります。CLKCTRL ビットを有効にするときは、必ず CKECTRL ビットを有効にしてください。メモリコントローラは接続されている全ての SDRAM が次のいずれかの状態である場合にメモリクロック MCLK を停止します。

メモリ未初期化の状態、セルフリフレッシュモード中または ROW アクティブでないチップ IDLE 状態。

メモリクロック停止状態においても、メモリの読み書き要求やオートリフレッシュ要求がある場合はメモリクロックは再び供給を開始します。

なお例外的に、SDRAM 詳細設定レジスタ (MEMC[0x74]) 中の CLKFORCE ビットを“1”にすると、

SDRAM メモリの状態にかかわらず、MCLK の出力が継続されます。

14.6.6 省電力モードサポート

システムが省電力モードに入るときに、メモリコントローラ自体へのクロックが停止される場合があります。SDRAM 内のデータを保持するためには、オートリフレッシュかセルフリフレッシュが必要ですが、メモリコントローラのクロック供給がなくなるので、全ての SDRAM をセルフリフレッシュモードに入れる必要があります。

ソフトウェアによって全ての SDRAM をセルフリフレッシュモードに入れてから、システムコントローラを省電力モードに設定することで実現してください。

14.6.7 オートリフレッシュ制御

オートリフレッシュは少なくとも一つの SDRAM が初期化され、かつ IDLE（セルフリフレッシュは除く）状態にある場合に実行されます。周期は SDRAM リフレッシュタイマレジスタに設定された HCLK 数です。メモリコントローラは接続されている SDRAM を同時にリフレッシュしますので、リフレッシュ周期が一番頻繁にリフレッシュが必要なデバイスにあわせてください。

分散リフレッシュを基本としますが、オートリフレッシュによってデータ転送が分断されることを防ぐために、複数回のリフレッシュ要求を蓄積することができます。蓄積回数は SDRAM 詳細設定レジスタ (MEMC[0x74]) の AREFWAIT ビット[3:0]で指定します。蓄積リフレッシュカウントが指定した回数を超えた場合に、SDRAM コントローラはリフレッシュ要求を認識して、次のメモリコントローラアイドルの際にオートリフレッシュを開始します。

リフレッシュタイミング要求タイミングにおいてデバイスがバスアクセスをしている場合は、バスアクセスを優先し、バスリクエストがなくなった時点でオートリフレッシュが行われます。

14.6.8 セルフリフレッシュ制御

メモリコントローラは SDRAM のセルフリフレッシュをサポートします。セルフリフレッシュモードには SDRAM 詳細設定レジスタ (MEMC[0x74]) の該当デバイスの SELF ビットを“1”にすることで移行します。セルフリフレッシュモードから抜ける場合は、対応するレジスタビットに“0”を設定してください。

セルフリフレッシュモードに入っている SDRAM へのアクセス (Read/Write) があった場合は、自動的にセルフリフレッシュモードから抜け出して、必要なコマンドを実行します。この後デバイスは基本的にアイドル状態になりますが、設定により再度セルフリフレッシュモードに入るようにすることができます。このモードを使用するには SDRAM 詳細設定レジスタ (MEMC[0x74]) の RESELF ビットを“1”に設定してください。SREFCNT ビットに設定したカウント分、対象とする SDRAM へのアクセスが無くなると、自動的にセルフリフレッシュモードに入ります。

14.6.9 ステータスレジスタ

SDRAM コントローラおよび接続されるデバイスに関するステータスを知ることができます。

14. メモリコントローラ (MEMC)

14.7 レジスタ

14.7.1 レジスタ一覧

以下にメモリコントローラのレジスタ一覧を示します。これらのレジスタのベースアドレスは、0xFFFF_A000 です。

表 14.2 レジスタ一覧（ベースアドレス：0xFFFF_A000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
SRAM controller registers					
0x00	SRAM デバイス 0 バス幅設定レジスタ	RAMWIDTH0	0x0000_0040	R/W	32
0x04	SRAM デバイス 1 バス幅設定レジスタ	RAMWIDTH 1	0x0000_0040	R/W	32
0x08	SRAM デバイス 2 バス幅設定レジスタ	RAMWIDTH 2	0x0000_0040	R/W	32
0x0C	SRAM デバイス 3 バス幅設定レジスタ	RAMWIDTH 3	0x0000_0040	R/W	32
0x20	SRAM デバイス 0 タイミングレジスタ	RAMTMG0	0x0000_1C7C	R/W	32
0x24	SRAM デバイス 0 制御レジスタ	RAMCNTL0	0x0000_0001	R/W	32
0x30	SRAM デバイス 1 タイミングレジスタ	RAMTMG1	0x0000_1C7C	R/W	32
0x34	SRAM デバイス 1 制御レジスタ	RAMCNTL1	0x0000_0001	R/W	32
0x40	SRAM デバイス 2 タイミングレジスタ	RAMTMG2	0x0000_1C7C	R/W	32
0x44	SRAM デバイス 2 制御レジスタ	RAMCNTL2	0x0000_0001	R/W	32
0x50	SRAM デバイス 3 タイミングレジスタ	RAMTMG3	0x0000_1C7C	R/W	32
0x54	SRAM デバイス 3 制御レジスタ	RAMCNTL3	0x0000_0001	R/W	32
SDRAM controller registers					
0x60	SDRAM モードレジスタ	SDMR	0x0000_0032	R/W	16/32
0x64	予約	-	-	-/-	-
0x68	予約	-	-	-/-	-
0x70	SDRAM 設定レジスタ	SDCNFG	0x0600_C700	R/W	32
0x74	SDRAM 詳細設定レジスタ	SDADVCNFG	0x000F_0300	R/W	32
0x80	初期化制御レジスタ	SDINIT	0x0000_0000	R/W	16/32
0x90	SDRAM リフレッシュタイマレジスタ	SDREF	0x0000_00A0	R/W	16/32
0xA0	SDRAM ステータスレジスタ	SDSTAT	0x0000_0202	RO	32

14.7.2 レジスタ詳細

SRAM デバイス[3:0] バス幅設定レジスタ (RAMWIDTH[3:0])															
MEMC[0x00, 0x04, 0x08, 0x0C] 初期値 = 0x0000_0040 Read/Write															
RSV (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)								RAMWIDTH		RSV (0)					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [30:8] **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [7:6] **WIDTH [1:0] SRAM バス幅設定**
00: 8bit
01: 16bit (初期値)
1x: 予約

Bits [5:0] **RSV 予約**

予約ビットです。必ず“0”を設定してください。

SRAM デバイス[3:0] タイミングレジスタ (RAMTMG[3:0])																
MEMC[0x20, 0x30, 0x40, 0x50]										初期値 = 0x0000_1C7C					Read/Write	
RSV (0) 31	WAITWE [4:0]					RSV (0) 25	WAITOE [4:0]					RSV (0)		WAITWH[1:0]		
	30	29	28	27	26		24	23	22	21	20	19	18	17	16	
RSV (0) 15	WAITWR [4:0]					RSV (0) 9	WAITRD [4:0]					RSV (0)		WAITRH[1:0]		
	14	13	12	11	10		8	7	6	5	4	3	2	1	0	

Bit 31

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [30:26]

WAITWE [4:0] ライトイネーブル信号挿入ディレイ制御

MWE#信号挿入タイミング設定（初期値 0x0）

Bit 25

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [24:20]

WAITOE [4:0] 出カイネーブル信号挿入ディレイ制御

MOE#信号挿入タイミング設定（初期値 0x0）

Bits [19:18]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [17:16]

WAITWH[1:0]

MWE#信号ホールドサイクル設定（初期値 0x0）

MWE#信号の立ち上がりから MCS#[3:0]の立ち上がりまでのサイクル数を設定します。
（WE#信号のホールドサイクルはこのレジスタの設定値+1 サイクルとなります。）

Bit 15

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [14:10]

WAITWR [4:0] ライトサイクルウェイト制御

書き込み時のウェイトサイクル設定。SRAM/ROM デバイスに対し、書き込み時のウェイトサイクル数を設定します。（初期値 0x07）

Bit 9

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [8:4]

WAITRD [4:0] リードサイクルウェイト制御

読み出し時のウェイトサイクル設定。SRAM/ROM デバイスに対し、読み出し時のウェイトサイクル数を設定します。（初期値 0x07）

Bits [3:2] :

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [1:0] :

WAITRH[1:0]

MOE#信号ホールドサイクル設定。（初期値 0x0）

MOE#信号の立ち上がりから MCS#[3:0]の立ち上がりまでのサイクル数を設定します。

14. メモリコントローラ (MEMC)

SRAM デバイス[3:0] 制御レジスタ (RAMCNTL[3:0])														Read/Write	
MEMC[0x24, 0x34, 0x44, 0x54] 初期値 = 0x0000_0001															
RSV (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)												WPROTECT	MWAITPOL[1:0]		RBLE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:4]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bit 3

WPROTECT ライトプロテクト

ライトプロテクトビットを設定したデバイスに対して、書き込みを実行しません。

0：ライトプロテクトなし（初期値）

1：ライトプロテクトあり

Bits [2:1]

MWAITPOL [1:0]

MWAIT 信号の極性を設定します。

00：ディスエーブル（初期値）

01：ローアクティブでイネーブル

10：ハイアクティブでイネーブル

11：予約

Bit 0

RBLE バイトレーンコントロール制御設定

バイトレーンコントロールのないデバイスで書き込み時のバイトコントロールを実現するには、このビットを“0”に設定し、対象となるデバイスの MWE#と本デバイスの DQM を接続してください。

0：読み出し時に DQM[1:0]が HIGH になり、書き込みを防ぎます。

1：読み出し時に DQM[1:0]が LOW になって全バイトレーンから読み出しを行います。（初期値）

SDRAM モードレジスタ (SDMR)															
MEMC[0x60] 初期値 = 0x0000_0032															
Read/Write															
RSV (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)						WBM	OP Mode [1:0]		CL [2:0]			BT	BL [2:0]		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:10] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bit 9 : **WBM ライトバーストモード**
0 : 設定されたバースト長での書き込み (初期値)
1 : シングル ロケーション アクセス

Bits [8:7] : **OP Mode [1:0] オペレーションモード**
00 : 通常オペレーション
xx : 他の組み合わせは全て予約

Bits [6:4] : **CL [2:0] CAS レイテンシ**
000 : 予約
001 : CL=1
010 : CL=2
011 : CL=3 (初期値)
1xx : 予約

Bit 3 : **BT バーストタイプ**
0 : シーケンシャル (初期値)
1 : 予約

Bits [2:0] : **BL [2:0] バースト長**
000 : BL=1
001 : BL=2
010 : BL=4 (初期値)
011 : BL=8
100 : 予約
101 : 予約
110 : 予約
111 : 予約

予約レジスタ															
MEMC[0x64, 0x68] 初期値 = 0x xxxx_xxxx															
RSV															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

予約レジスタです。アクセスしないでください。

14. メモリコントローラ (MEMC)

SDRAM 設定レジスタ (SDCNFG)													
MEMC[0x70] 初期値 = 0x0600_C700										Read/Write			
31	30	29	28	27	26	25	24	23	22	21	20	19	18
RSV (0)					CLK-CTRL		CKE-CTRL	COLW [7:4]				RSV (0)	
15	14	13	12	11	10	9	8	7	6	5	4	3	2
RSV (0)					TRCD [1:0]		APCG	RSV (0)		RSV (0)		BNUM [1:0]	
												1	0

Bits [31:27] **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bit 26 **CLKCTRL MCLK コントロール**
このビットはダイナミック MCLKEN コントロール (CKECTRL) をイネーブルにした場合にのみ、“1”に設定可能です。
0 : MCLK が継続的に出力されます。
1 : SDRAM がアイドル状態（セルフリフレッシュ状態含む）にあるとき、MCLK を停止します。（初期値）
注意： SDRAM の初期化（MEMC [0x80] bit15 : INIT_SD = 1）を行った後、本ビット（CLKCTRL）の値を変更するには、いったん SDRAM をセルフリフレッシュモードに入れてください。すなわち、セルフリフレッシュモード IN → CLKCTRL 変更 → セルフリフレッシュモード OUT としてください。

Bit 25 **CKECTRL ダイナミック MCLKEN コントロール**
0 : MCLKEN=H が継続的に出力されます（SDRAM の初期化前およびセルフリフレッシュ状態を除く）。
1 : SDRAM がアイドル状態（セルフリフレッシュ状態か、バンクアクティブだがアクセスがない状態を含む）にあるとき、MCLKEN を LOW にします。（初期値）
注意： SDRAM の初期化（MEMC [0x80] bit15 : INIT_SD = 1）を行った後、本ビット（CKECTRL）の値を変更するには、いったん SDRAM をセルフリフレッシュモードに入れてください。すなわち、セルフリフレッシュモード IN → CKECTRL 変更 → セルフリフレッシュモード OUT としてください。

Bit 24 **XBW 外部バス幅**
外部バス幅を選択します。
0 : 外部バス幅=16 ビット（初期値）
1 : 外部バス幅=32 ビット

Bits [23:20] **COLW [7:4] コラムアドレス幅**
SDRAM のコラムアドレス幅を設定します。
COLW [5:4]: SDRAM デバイス 0 設定用
COLW [7:6]: SDRAM デバイス 1 設定用
00 : コラムアドレス A0 – A7（初期値）
01 : コラムアドレス A0 – A8
10 : コラムアドレス A0 – A9
11 : コラムアドレス A0 – A9, A11

Bits [19:16] **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [15:11] **RSV 予約**
予約ビットです。初期値=0b11000 ですが必ず“0”を設定してください。

Bits [10:9] **TRCD [1:0] RAS-CAS ディレイ**
MRAS# から MCAS# までの遅延時間を設定（サイクル数）します。
00 : 予約
01 : 1 サイクル
10 : 2 サイクル

11 : 3 サイクル (初期値)

Bit 8

APCG オートプリチャージコントロール

オートプリチャージの設定をします。

0 : オートプリチャージなし (オートリフレッシュ実行のタイミングで全バンクプリチャージされます)

1 : オートプリチャージ有り (初期値)

Bits [7:6]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [5:4]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [3:2]

BNUM [1:0] バンク数

接続されている SDRAM のバンク数を設定します。

BNUM0 : SDRAM デバイス 0 設定用

BNUM1 : SDRAM デバイス 1 設定用

0 : 4 バンクデバイス (初期値)

1 : 予約 (2 バンクデバイス)

Bits [1:0]

RSV 予約

予約ビットです。必ず“0”を設定してください。

SDRAM 詳細設定レジスタ (SDADVCFNG)														Read/Write			
MEMC[0x74] 初期値 = 0x000F_0300																	
RSV (0)														SREFCNT [3:0]			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
				AREFWAIT [3:0]				CLK-FORCE	RESELF	RSV (0)		SELF [1:0]		RSV (0)			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [31:20] :

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [19:16] :

SREFCNT [3:0] セルフリフレッシュ再導入前サイクル数

SDRAM へのアクセスがなくなった後、セルフリフレッシュモードに再び入るまでのサイクル数を設定します。設定値は RESELF ビット (MEMC[0x74] bit 6) を“1”に設定した場合のみ有効です。(初期値 0xF)

Bits [15:12] :

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [11:8] :

AREFWAIT [3:0] オートリフレッシュ ホールド数

分散リフレッシュの実行タイミングにおいて、メモリコントローラインタフェースが占有されている場合、リフレッシュを一旦保持し、後に複数回のリフレッシュを行うことができます。(初期値 0x03)

Bit 7 :

CLKFORCE

0 : MCLK クロックの出力は、メモリコントローラの状態に依存します。(初期値)

1 : メモリコントローラの状態によらず、MCLK クロックを出力します。

Bit 6 :

RESELF セルフリフレッシュ再導入モード

このビットはセルフリフレッシュモードに入っている SDRAM を読み出し/書き込みアクセスのために一旦起動させた後、再びセルフリフレッシュモードに再導入するかどうかをコントロールします。

0 : セルフリフレッシュモードに再導入しません。(初期値)

14. メモリコントローラ (MEMC)

1 : SREFCNT[3:0]サイクル分アクセスがない場合再びセルフリフレッシュモードに SDRAM を導入します。

Bits [5:4] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [3:2] : **SELF [1:0] セルフリフレッシュモード ON/OFF**
このビットはセルフリフレッシュモードに入っている SDRAM が読み書きのために起きた場合、ゼロに自動的にクリアされます (RESELF モード設定時は除く)。
SELF0 : SDRAM デバイス 0 設定用
SELF1 : SDRAM デバイス 1 設定用
0 : セルフリフレッシュモードから抜けます。(初期値)
1 : SDRAM をセルフリフレッシュモードに設定します。

Bits [1:0] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

初期化制御レジスタ (SDINIT)																
MEMC[0x80] 初期値 = 0x0000_0000														Read/Write		
RSV (0)																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
INIT_	RSV (0)							LMR	AREF	PCG-ALL	RSV (0)	DEVSEL [1:0]		RSV (0)		
SD	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

注意 : このレジスタの複数の命令を同時に設定しないでください。
通常 SDRAM の初期化においては INIT_SD をご使用ください。
その他の命令はマニュアルによる初期化が必要な場合に使用してください。
いずれの命令も対象となるデバイスを DEVSEL[1:0] (MEMC[0x80] bits[3:2]) で選択してください。

Bits [31:16] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bit 15 : **INIT_SD SDRAM 初期化**
SDRAM の初期化シーケンスを自動的に行います。DEVSEL (本レジスタの bit[3:0]) にて対象となるデバイスを選択してください。
0 : 何もしない (初期値)
1 : SDRAM の初期化を行います (初期化完了後、自動的に“0”に戻ります)。

Bits [14:8] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bit 7 : **LMR モードレジスタセット**
SDRAM ヘモードレジスタセット命令を発行します。
0 : 何もしない (初期値)
1 : モードレジスタセット命令を発行します (命令発行後、自動的に 0 に戻ります)

Bit 6 : **AREF オートリフレッシュ**
SDRAM ヘオートリフレッシュ命令を発行します。
0 : 何もしない (初期値)
1 : オートリフレッシュ命令を発行します (命令発行後、自動的に 0 に戻ります)

Bit 5 : **PCGALL プリチャージオール**
SDRAM に全バンクプリチャージ命令を発行します。
0 : 何もしない (初期値)
1 : 全バンクプリチャージ命令を発行します (命令発行後、自動的に 0 に戻ります)

Bit 4 **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [3:2] **DEVSEL [1:0] デバイス選択**
命令を発行するデバイスを選択します。
DEVSEL0 : SDRAM デバイス 0 設定用
DEVSEL1 : SDRAM デバイス 1 設定用
 0 : 選択しない (初期値)
 1 : 選択した

Bits [1:0] **RSV 予約**
予約ビットです。必ず“0”を設定してください。

SDRAM リフレッシュタイマレジスタ (SDREF)															
MEMC[0x90] 初期値 = 0x0000_00A0															
Read/Write															
RSV (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)				REFTIME [11:0]											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:12] **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [11:0] **REFTIME [11:0] リフレッシュ間隔**
分散リフレッシュの発行間隔を設定します。
分散オートリフレッシュ間隔に見合った HCLK サイクル数を設定してください。
例えばリフレッシュ間隔が 16 μ s で、システムクロック HCLK の周波数が 10MHz であったとすると、
16 μ s x 10MHz = 160 サイクル (=1010_0000b) を設定してください。

14. メモリコントローラ (MEMC)

SDRAM ステータスレジスタ (SDSTAT)															
MEMC[0xA0] 初期値 = 0x0000_0202														Read Only	
RSV															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV				DEVST1 [3:0]				RSV				DEVST0 [3:0]			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:12]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [11:8]

DEVST1 [3:0] SDRAM デバイス 1 ステータス

SDRAM デバイス 1 の現在の状態を示します

DEVST1 [0]	1 : SDRAM デバイス 1 が使用可能（イネーブルで、初期設定が完了している状態） 0 : SDRAM デバイス 1 が使用できない
DEVST1 [1]	1 : SDRAM デバイス 1 がアイドル状態かサスペンド状態 0 : SDRAM デバイス 1 がその他の状態
DEVST1 [2]	1 : SDRAM デバイス 1 のいずれかのバンクの ROW が活性化されている 0 : SDRAM デバイス 1 の ROW 不活性状態
DEVST1 [3]	1 : SDRAM デバイス 1 がセルフリフレッシュモード中 0 : SDRAM デバイス 1 がセルフリフレッシュモードではない

Bits [7:4]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [3:0]

DEVST0 [3:0] SDRAM デバイス 0 ステータス

SDRAM デバイス 0 の現在の状態を示します。

DEVST0 [0]	1 : SDRAM デバイス 0 が使用可能（イネーブルで、初期設定が完了している状態）。 0 : SDRAM デバイス 0 が使用できない。
DEVST0 [1]	1 : SDRAM デバイス 0 がアイドル状態かサスペンド状態。 0 : SDRAM デバイス 0 がその他の状態。
DEVST0 [2]	1 : SDRAM デバイス 0 のいずれかのバンクの ROW が活性化されている。 0 : SDRAM デバイス 0 の ROW 不活性状態。
DEVST0 [3]	1 : SDRAM デバイス 0 がセルフリフレッシュモード中。 0 : SDRAM デバイス 0 がセルフリフレッシュモードではない。

15. 割り込みコントローラ (INT)

15.1 概要

割り込みコントローラ (INTC) は 2 つの高速割り込み要求 (FIQ) と 32 の通常の割り込み要求 (IRQ) を処理することができます。各割り込み要求入力への周辺回路／機能の割り当てを表 15.1 に示します。リセット後は、割り込み要求はすべてHIGHアクティブのレベルトリガ入力です。INT[7:0]については、リセット直後はローレベルトリガ設定になっていますが、必要に応じて、本割り込みコントローラにより入力信号の極性とレベル / エッジトリガの選択が行えるようになっています。割り込みコントローラは、FIQ および IRQ 入力を処理し、ARM720T コアに対して nFIQ と nIRQ の 2 つの割り込み要求信号を出力します。

表 15.1 割り込みソース一覧

割り込みの種類	割り込みレベル	割り込みソース	説明
高速割り込み要求 FIQ	FIQ0	ウォッチドッグタイマ	
	FIQ1 (***)	GPIOB0 端子	Ex. Battery Low
通常割り込み要求 IRQ	IRQ0	ウォッチドッグタイマ	
	IRQ1	割り込みコントローラ	レジスタによるソフトウェアリクエスト
	IRQ2	ARM720T COMMRx	Debug Communication Port
	IRQ3	ARM720T COMMTx	Debug Communication Port
	IRQ4	タイマ A	16 ビットタイマチャンネル 0
	IRQ5	タイマ A	16 ビットタイマチャンネル 1
	IRQ6	タイマ A	16 ビットタイマチャンネル 2
	IRQ7	予約	
	IRQ8	JPEG1 制御	
	IRQ9	DMAC1	AHB1 上の DMAC
	IRQ10	JPEG1 DMAC	
	IRQ11	カメラ 1 I/F / IPC1	カメラ 1 と IPC1 の OR
	IRQ12	ARS	
	IRQ13	DMAC2	DMA INT (AHB2 上の JPEG 用の DMAC)
	IRQ14 (*)	GPIOA または GPIOB	GPIOA/B より割り込み入力端子選択
	IRQ15	SPI	SPI TXRDY/RXRDY
	IRQ16	I2C	Transfer Complete
	IRQ17	UART1	UART TXRDY/RXRDY
	IRQ18	RTC	Alarm or Timer tick
	IRQ19	CF カード I/F	
	IRQ20 (**)	INTGB	GPIOB7～GPIOB0 直接入力代表 bit
	IRQ21	タイマ B	
	IRQ22	DMAC3	
	IRQ23	JPEG2 制御	
	IRQ24	JPEG2 DMAC	
	IRQ25	カメラ 2 I/F / IPC2	カメラ 2 と IPC2 の OR
	IRQ26	UART2	
	IRQ27	UART3	
	IRQ28	SDMMC I/F	
	IRQ29	USB DEV	
	IRQ30	ADC	
	IRQ31	I2S	

注意(*) : GPIOA[7:0]または GPIOB[7:0]から割り込み要求を設定します。詳細は“26. GPIO”のレジスタ詳細説明 GPIO[0x60]～GPIO[0x6C]を参照してください。

注意(**) : GPIOB[7:0]から割り込み要求を設定します。詳細は IRQ_{xx} レジスタ詳細説明を参照してください。

注意(***) : GPIOB0 端子から直接入力 (デフォルトはローレベルアクティブ割り込み要求。但し、内部で反転していますので、内部での割り込みレベルはハイレベルアクティブになります)。

15. 割り込みコントローラ (INT)

表 15.2 割り込みソース一覧

割り込みの種類	割り込みレベル	割り込みソース	説明
GPIOB 割り込み要求 IRQxx	IRQGB0(*)	INT0	GPIOB0 直接入力
	IRQGB1(*)	INT1	GPIOB1 直接入力
	IRQGB2(*)	INT2	GPIOB2 直接入力
	IRQGB3(*)	INT3	GPIOB3 直接入力
	IRQGB4(*)	INT4	GPIOB4 直接入力
	IRQGB5(*)	INT5	GPIOB5 直接入力
	IRQGB6(*)	INT6	GPIOB6 直接入力
	IRQGB7(*)	INT7	GPIOB7 直接入力

注意(*) : GPIOB[7:0]端子から直接入力（デフォルトはローレベルアクティブ割り込み要求。但し、内部で反転していますので、内部での割り込みレベルはハイレベルアクティブになります）。これらの割り込み設定（イネーブル、極性、レベル等）は割り込みコントローラの制御レジスタによってのみ変更が可能です。IRQ14(*)とは異なり、“26.GPIO”のレジスタ詳細説明 GPIO[0x60]～GPIO[0x6C]では変更可能できません。

15.2 ブロック図

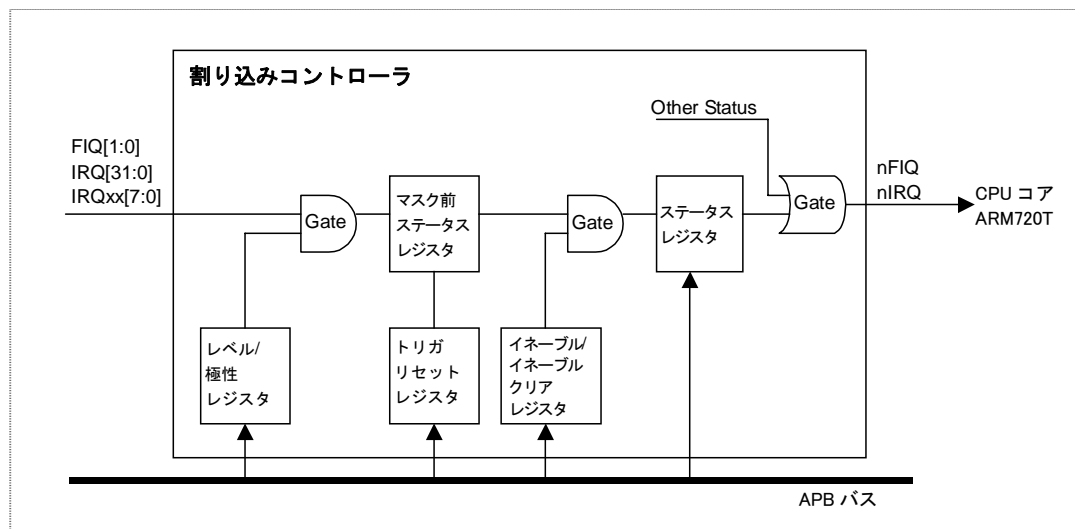


図 15.1 割り込みコントローラ ブロック図

15.3 FIQ

FIQ0、FIQ1 にはそれぞれ割り込み出力としてのウォッチドッグタイマ、および GPIO ポート B[0]が割り当てられています。この 2 本の FIQ 信号は ARM720T に入力する nFIQ を生成するために使用されます。

15.4 IRQ

IRQ には内部デバイスの割り込み要求が割り当てられています。すべての IRQ 割り込み要求は、ARM720T に入力する nIRQ 信号を生成するために OR されます。割り込みコントローラは全部で 32 本の割り込み要求入力 IRQ31～IRQ0 を持ち、それぞれ、割り込み制御レジスタのビットに 1 対 1 で対応しています。たとえば、IRQ0 はビット 0 に割り付けられ、IRQ1 はビット 1 に割り付けられています。対応については表 15.1 を参照してください。

外部割り込みの INT0～INT7 において、IRQGB0～IRQGB7 で割り込み要求を受けた後、外部代表割り込みとして IRQ20 に割当てられます。

15.5 優先レベル

各 IRQ に対して割り込み優先レベル（レベル 0：低～3：高）の設定が可能です。同じ優先レベルの割り込み要因が発生した場合は IRQ 番号の小さいものが優先されます。

本機能を使用しない場合 (S2S65A30 から追加された INTC のレジスタを設定しない場合) は、S2S65A00 と互換の動作になります。

本機能は、μITRON 版のサンプルソフトウェアでは使用していますが、Linux 版のサンプルソフトウェアでは使用していません。

15. 割り込みコントローラ (INT)

15.6 外部端子

割り込みコントローラ (INT) に関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子*/備考
FIQ1	I	高速割り込み端子 1	GPIOB0/I2S_WS
INT0	I	外部割り込み端子 0	GPIOB0/I2S_WS
INT1	I	外部割り込み端子 1	GPIOB1/I2S_SCK
INT2	I	外部割り込み端子 2	GPIOB2/I2S_SDO
INT3	I	外部割り込み端子 3	GPIOB3/I2S_SDI
INT4	I	外部割り込み端子 4	GPIOB4/TimerA0out
INT5	I	外部割り込み端子 5	GPIOB5/TimerA1out
INT6	I	外部割り込み端子 6	GPIOB6/TimerA2out
INT7	I	外部割り込み端子 7	GPIOB7/TimerBIn

注意(*) : INT 関連の外部割り込み端子は、GPIO 端子入力により行います。GPIO 端子を割り込み入力として使用する場合は割り込み制御用の内部レジスタの設定を行います。その他の端子機能として使用する場合は、GPIO 端子機能レジスタにより“GPIO 以外の機能 1 または 2”に設定してください。

15.7 レジスタ

15.7.1 レジスタ一覧

割り込みコントローラの制御レジスタが配置されているベースアドレスは 0xFFFF_F000 です。

表 15.3 レジスタ一覧 (ベースアドレス : 0xFFFF_F000)

アドレス オフセット	レジスタ名称	初期値	R/W	データアクセス サイズ
0x000	IRQ ステータスレジスタ	0x0000_0000	RO	32
0x004	IRQ マスク前ステータスレジスタ	0x0000_0000(*1)	RO	32
0x008	IRQ イネーブルレジスタ	0x0000_0000	R/W	32
0x00C	IRQ イネーブルクリアレジスタ	0x0000_0000	WO	32
0x010	ソフトウェア IRQ レジスタ	0x0000_0000	WO	32
0x020	IRQxx ステータスレジスタ	0x0000_0000	RO	32
0x024	IRQxx マスク前ステータスレジスタ	0x0000_0000(*1)	RO	32
0x028	IRQxx イネーブルレジスタ	0x0000_0000	R/W	32
0x02C	IRQxx イネーブルクリアレジスタ	0x0000_0000	WO	32
0x040	IRQ Priority レジスタ 0	0x0000_0000	R/W	32
0x044	IRQ Priority レジスタ 1	0x0000_0000	R/W	32
0x048	IRQ Priority レジスタ 2	0x0000_0000	R/W	32
0x04C	IRQ Priority レジスタ 3	0x0000_0000	R/W	32
0x050	IRQ Request Number レジスタ	0x0000_FFFF	RO	32
0x054	IRQ Present Priority レジスタ	0x0000_00FF	R/W	32
0x080	IRQ レベルレジスタ	0x0000_0000	R/W	32
0x084	IRQ 極性レジスタ	0xFFFF_FFFF	R/W	32
0x088	IRQ トリガリセットレジスタ	0x0000_0000	WO	32
0x0A0	IRQxx レベルレジスタ	0x0000_0000	R/W	32
0x0A4	IRQxx 極性レジスタ	0x0000_0FFF	R/W	32
0x0A8	IRQxx トリガリセットレジスタ	0x0000_0000	WO	32
0x100	FIQ ステータスレジスタ	0x0000_0000	RO	32
0x104	FIQ マスク前ステータスレジスタ	0x0000_0000(*1)	RO	32
0x108	FIQ イネーブルレジスタ	0x0000_0000	R/W	32
0x10C	FIQ イネーブルクリアレジスタ	0x0000_0000	WO	32
0x180	FIQ レベルレジスタ	0x0000_0000	R/W	32
0x184	FIQ 極性レジスタ	0x0000_0003	R/W	32
0x188	FIQ トリガリセットレジスタ	0x0000_0000	WO	32

注意(*1) : IRQ/IRQxx/FIQ マスク前ステータスレジスタの初期値は、システムの構成条件により変化します。

注意(*2): 0x040-0x054 のレジスタが新しく追加されたレジスタです。Linux 版のサンプルソフトウェアでは使用していません。

15. 割り込みコントローラ (INT)

15.7.2 レジスタ詳細説明

特に指定のない場合、予約されていないレジスタビットの初期値はすべて“0”です。

IRQ ステータスレジスタ															
INT[0x000] 初期値 = 0x0000_0000															
Read Only															
IRQ[31:16] ステータス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]ステータス

各ユニットからの割り込み要求の発生状態（マスク後）を示します。

0 (r) : 割り込み要求なし

1 (r) : 割り込み要求あり

これらのステータスビットは、IRQ イネーブルレジスタ (INT[0x008]) で割り込みを許可されている IRQ の状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPU に送られます。これらのビットは、IRQ マスク前ステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。

ビット [31:0]は同じ番号のIRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

IRQ マスク前ステータスレジスタ															
INT[0x004] 初期値 = 0x0000_0000															
Read Only															
IRQ[31:16] マスク前ステータス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] マスク前ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]マスク前ステータス

各ユニットの割り込み要因の発生状態（マスク前）を示します。

0 (r) : 割り込み要因なし

1 (r) : 割り込み要因あり

これらのステータスビットは、IRQ イネーブルレジスタ (INT[0x008]) で割り込みをマスクする前の IRQ の状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、IRQ トリガリセットレジスタ (INT[0x088]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

ビット[31:0]は同じ番号のIRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

IRQ イネーブルレジスタ															
INT[0x008] 初期値 = 0x0000_0000															
IRQ[31:16] イネーブル															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] イネーブル															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]イネーブル

各ユニットからの割り込み要求 (IRQ) 入力を許可します。

0 (r) : 割り込み要求禁止状態

1 (r) : 割り込み要求許可状態

0 (w) : 無効

1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 (IRQ) 入力が現在許可（ビットが“1”）されているか禁止（ビットが“0”）されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求 (IRQ) 入力が許可されます。割り込みコントローラはそのビットに対応する IRQ の入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求 (IRQ) 入力が禁止されることはありません。ビットのクリアは IRQ イネーブルクリアレジスタ (INT[0x00C]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

ビット[31:0]は同じ番号のIRQ[31:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

IRQ イネーブルクリアレジスタ															
INT[0x00C] 初期値 = 0x0000_0000															
IRQ[31:16] イネーブルクリア															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] イネーブルクリア															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]イネーブルクリア

各ユニットからの割り込み要求 (IRQ) 入力を禁止（マスク）します。

0 (w) : 無効

1 (w) : 割り込み要求入力を禁止

“1”を書き込むことによって、そのビットに対応する IRQ イネーブルレジスタ (INT[0x008]) の IRQ イネーブルビットがクリアされ、割り込み要求 (IRQ) 入力が禁止されます。“0”の書き込みは無効です。

ビット[31:0]は同じ番号のIRQ[31:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

15. 割り込みコントローラ (INT)

ソフトウェア IRQ レジスタ															
INT[0x010] 初期値 = 0x0000_0000															
Write Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														ソフトウェア IRQ	RSV
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 1 : **ソフトウェア IRQ**
 IRQ1 のソフトウェア割り込みを制御します。
 0 (w) ソフトウェア割り込み要求をクリア
 1 (w) ソフトウェア割り込みを発生
 現在設定されているソフトウェア割り込み要因の状態は **IRQ** マスク前ステータスレジスタ (INT[0x004]) のビット 1 から読み出すことができます。

Bit 0 : **RSV 予約**

IRQxx ステータスレジスタ															
INT[0x020] 初期値 = 0x0000_0000															
Read Only															
IRQxx[31:16] ステータス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]ステータス**
 IRQxx[31:12] : n/a
 IRQxx[11:8] : Reserved
 IRQxx[7:0] : IRQxx(IRQGB[7:0])ステータス
 各ユニットからの割り込み要求の発生状態（マスク後）を示します。
 0 (r) : 割り込み要求なし
 1 (r) : 割り込み要求あり
 これらのステータスビットは、**IRQxx** イネーブルレジスタ (INT[0x028]) で割り込みを許可されている **IRQxx** の状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPU に送られます。これらのビットは、**IRQ** マスク前ステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。
 ビット [7:0]は同じ番号の**IRQxx**[7:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

IRQxx マスク前ステータスレジスタ															
INT[0x024] 初期値 = 0x0000_0000															
Read Only															
IRQxx[31:16] マスク前ステータス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] マスク前ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]マスク前ステータス**
 IRQxx[31:12] : n/a
 IRQxx[11:8] : Reserved
 IRQxx[7:0] : IRQxx(IRQGB[7:0])マスク前ステータス
 各ユニットの割り込み要因の発生状態（マスク前）を示します。

0 (r) : 割り込み要因なし

1 (r) : 割り込み要因あり

これらのステータスビットは、IRQxx イネーブルレジスタ (INT[0x028]) で割り込みをマスクする前の IRQxx の状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、IRQxx トリガリセットレジスタ (INT[0x0A8]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

ビット[7:0]は同じ番号のIRQxx[7:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

IRQxx イネーブルレジスタ															
INT[0x028] 初期値 = 0x0000_0000															
Read/Write															
IRQxx[31:16] イネーブル															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] イネーブル															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]イネーブル**
 IRQxx[31:12] : n/a
 IRQxx[11:8] : Reserved
 IRQxx[7:0] : IRQxx(IRQGB[7:0])イネーブルレジスタ
 各ユニットからの割り込み要求 (IRQ) 入力を許可します。

0 (r) : 割り込み要求禁止状態

1 (r) : 割り込み要求許可状態

0 (w) : 無効

1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 (IRQxx) 入力が現在許可（ビットが“1”）されているか禁止（ビットが“0”）されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求 (IRQxx) 入力が許可されます。割り込みコントローラはそのビットに対応する IRQxx の入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求 (IRQxx) 入力が禁止されることはありません。ビットのクリアは IRQxx イネーブルクリアレジスタ (INT[0x02C]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

ビット[7:0]は同じ番号のIRQxx[7:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

15. 割り込みコントローラ (INT)

IRQxx イネーブルクリアレジスタ															
INT[0x02C] 初期値 = 0x0000_0000														Write Only	
IRQxx[31:16] イネーブルクリア															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] イネーブルクリア															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]イネーブルクリア**

IRQxx[31:12] : n/a

IRQxx[11:8] : Reserved

IRQxx[7:0] : IRQxx(IRQGB[7:0])イネーブルクリア

各ユニットからの割り込み要求 (IRQxx) 入力を禁止 (マスク) します。

0 (w) : 無効

1 (w) : 割り込み要求入力を禁止

“1”を書き込むことによって、そのビットに対応する IRQxx イネーブルレジスタ (INT[0x028]) の IRQxx イネーブルビットがクリアされ、割り込み要求 (IRQxx) 入力が禁止されます。“0”の書き込みは無効です。

ビット[7:0]は同じ番号のIRQxx[7:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

IRQ Priority レジスタ 0															
INT[0x040] 初期値 = 0x0000_0000														Read/Write	
RSV		IRQ07PR		RSV		IRQ06PR		RSV		IRQ05PR		RSV		IRQ04PR	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV		IRQ03PR		RSV		IRQ02PR		RSV		IRQ01PR		RSV		IRQ00PR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IRQ Priority レジスタ 1															
INT[0x044] 初期値 = 0x0000_0000														Read/Write	
RSV		IRQ15PR		RSV		IRQ14PR		RSV		IRQ13PR		RSV		IRQ12PR	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV		IRQ11PR		RSV		IRQ10PR		RSV		IRQ09PR		RSV		IRQ08PR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IRQ Priority レジスタ 2															
INT[0x048] 初期値 = 0x0000_0000														Read/Write	
RSV		IRQ23PR		RSV		IRQ22PR		RSV		IRQ21PR		RSV		IRQ20PR	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV		IRQ19PR		RSV		IRQ18PR		RSV		IRQ17PR		RSV		IRQ16PR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IRQ Priority レジスタ 3															
INT[0x04C] 初期値 = 0x0000_0000														Read/Write	
RSV		IRQ31PR		RSV		IRQ30PR		RSV		IRQ29PR		RSV		IRQ28PR	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV		IRQ27PR		RSV		IRQ26PR		RSV		IRQ25PR		RSV		IRQ24PR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IRQxxPR

割り込み要求 (IRQxx) の優先レベルを 2bit で 0 (低)~3 (高) を設定します。同じ優先レベルの割り込み要因に関しては、IRQ 番号の小さいものが優先されます。

RSV 予約

15. 割り込みコントローラ (INT)

IRQ Request Number レジスタ															
INT[0x050] 初期値 = 0xFFFF															
Read Only															
RSV[31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ Req Priority[15:8]								IRQ Number[7:0]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:16] : **RSV[31:16] 予約**

Bits [15:8] : **IRQ Req Priority[15:8]**
発生した割り込み要因の IRQ 番号に設定された優先レベルを示します。割り込み要因がない場合は、0xFF を示します。

Bits [7:0] : **IRQ Number[7:0]**
現在処理すべき最も優先度の高い IRQ 番号をしめします。割り込み要因がない場合は、0xFF を示します。

IRQ Present Priority レジスタ															
INT[0x054] 初期値 = 0x00FF															
Read/Write															
RSV															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV								RSV				IRQPR[3:0]			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:4] : **RSV[31:4] 予約**

Bits [3:0] : **IRQPR[3:0]**
現在の割り込み優先度を示します。本レジスタに設定された優先度以下の割り込み要因は割り込みコントローラで自動的にマスクされ、CPU に対して割り込み要求を行いません。0xF は割り込み優先度 0 より低い値を意味します。
本レジスタは、ソフトウェアにより変更します。ハードウェアによる設定は行われません。

IRQ レベルレジスタ															
INT[0x080] 初期値 = 0x0000_0000															
Read/Write															
IRQ[31:16] レベル															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] レベル															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQ[31:0]レベル**
各 IRQ 入力のトリガモードを設定します。
0 (r/w) : レベルトリガモード
1 (r/w) : エッジトリガモード
この選択により、割り込み要求 (IRQ) 信号をレベルでサンプリングするか、信号の立ち上がり / 立ち上がりエッジでサンプリングするかが決まります。信号の極性 (LOWレベル/立ち上がりエッジまたはHIGHレベル/立ち上がりエッジ) はIRQ極性レジスタ (INT[0x084]) で設定します。ビット[31:0]は同じ番号のIRQ[31:0]に1対1に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

注意：通常はこのレジスタの値を変更することなくリセット時のままお使いください。

15. 割り込みコントローラ (INT)

IRQ 極性レジスタ															
INT[0x084] 初期値 = 0xFFFF_FFFF															
Read/Write															
IRQ[31:16] 極性															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] 極性															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQ[31:0]極性**
各 IRQ 信号の極性を設定します。
0 (r/w) : LOW レベル/立ち下がりエッジ
1 (r/w) : HIGH レベル/立ち上がりエッジ
この選択に従って割り込み要求 (IRQ)信号がサンプリングされます。レベル/エッジの選択はIRQ
レベルレジスタ (INT[0x080]) で行います。ビット[31:0]は同じ番号のIRQ[31:0]に 1 対 1 に対応し
ています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

注意：通常はこのレジスタの値を変更することなくリセット時のままお使いください。
SD カード検出の割り込みを要因に使用する場合は、bit28 を 0 に設定してください。

IRQ トリガリセットレジスタ															
INT[0x088] 初期値 = 0x0000_0000															
Write Only															
IRQ[31:16] トリガリセット															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] トリガリセット															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQ[31:0]トリガリセット**
エッジトリガモードに設定されている割り込みのマスク前ステータスをクリアします。
0 (w) : 無効
1 (w) : 割り込みステータスをクリア
“1”を書き込むと、IRQマスク前ステータスレジスタ (INT[0x004]) 内の対応するステータスビッ
トの中で、エッジトリガモードに設定されているビットをクリアします。ビット[31:0]は同じ番号
のIRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参
照してください。

IRQxx レベルレジスタ															
INT[0x0A0] 初期値 = 0x0000_0000															
Read/Write															
IRQxx[31:16] レベル															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] レベル															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]レベル**

IRQxx[31:12] : n/a

IRQxx[11:8] : Reserved

IRQxx[7:0] : IRQxx(IRQGB[7:0])レベル

各 IRQxx 入力のトリガモードを設定します。

0 (r/w) : レベルトリガモード

1 (r/w) : エッジトリガモード

この選択により、割り込み要求 (IRQxx) 信号をレベルでサンプリングするか、信号の立ち下がり/立ち上がりエッジでサンプリングするかが決まります。信号の極性 (LOW レベル/立ち下がりエッジまたは HIGH レベル/立ち上がりエッジ) は IRQxx 極性レジスタ (INT[0x0A4]) で設定します。ビット[7:0]は同じ番号のIRQxx[7:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

IRQxx 極性レジスタ															
INT[0x0A4] 初期値 = 0x0000_0FFF															
Read/Write															
IRQxx[31:16] 極性															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] 極性															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]極性**

IRQxx[31:12] : n/a

IRQxx[11:8] : Reserved

IRQxx[7:0] : IRQxx(IRQGB[7:0])極性

各 IRQxx 信号の極性を設定します。

0 (r/w) : LOW レベル/立ち下がりエッジ

1 (r/w) : HIGH レベル/立ち上がりエッジ

この選択に従って割り込み要求 (IRQxx)信号がサンプリングされます。レベル/エッジの選択は IRQxx レベルレジスタ (INT[0x0A0]) で行います。

ビット[7:0]は同じ番号のIRQxx[7:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

但し、GPIOB[7:0]は内部で反転しています。ピンでローレベルアクティブの場合は、内部ではハイレベルアクティブとなりますので、“1”を設定してください。

15. 割り込みコントローラ (INT)

IRQxx トリガリセットレジスタ															
INT[0x0A8] 初期値 = 0x0000_0000														Write Only	
IRQxx[31:16] トリガリセット															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQxx[15:0] トリガリセット															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **IRQxx[31:0]トリガリセット**

IRQxx[31:12] : n/a

IRQxx[11:8] : Reserved

IRQxx[7:0] : IRQxx(IRQGB[7:0])トリガリセット

エッジトリガモードに設定されている割り込みのマスク前ステータスをクリアします。

0 (w) : 無効

1 (w) : 割り込みステータスをクリア

“1”を書き込むと、IRQxx マスク前ステータスレジスタ (INT[0x024]) 内の対応するステータスビットの中で、エッジトリガモードに設定されているビットをクリアします。

ビット[7:0]は同じ番号のIRQxx[7:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.2 を参照してください。

FIQ ステータスレジスタ															
INT[0x100] 初期値 = 0x0000_0000														Read Only	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0] ステータス	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] : **FIQ[1:0]ステータス**

FIQ 割り込み要求の発生状態（マスク後）を示します。

0 (r) : 割り込み要求なし

1 (r) : 割り込み要求あり

これらのステータスビットは、FIQ イネーブルレジスタ (INT[0x108]) で割り込みを許可されている FIQ の状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPU に送られます。これらのビットは、FIQ マスク前ステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ マスク前ステータスレジスタ																	
INT[0x104] 初期値 = 0x0000_0000														Read Only			
31	30	29	28	27	26	25	24	n/a		23	22	21	20	19	18	17	16
n/a																FIQ [1:0]マスク 前ステータス	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [1:0] :

FIQ[1:0]マスク前ステータス

FIQ 割り込み要因の発生状態（マスク前）を示します。

0 (r) : 割り込み要因なし

1 (r) : 割り込み要因あり

これらのステータスビットは、FIQ イネーブルレジスタ (INT[0x108]) で割り込みをマスクする前の FIQ の状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、FIQ トリガリセットレジスタ (INT[0x188]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ イネーブルレジスタ															
INT[0x108] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0] イネーブル	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] :

FIQ[1:0]イネーブル

高速割り込み要求 (FIQ) 入力を許可します。

0 (r) : 割り込み要求禁止状態

1 (r) : 割り込み要求許可状態

0 (w) : 無効

1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 (FIQ) 入力が現在許可（ビットが“1”）されているか禁止（ビットが“0”）されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求 (FIQ) 入力が許可されます。割り込みコントローラはそのビットに対応する FIQ の入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求 (FIQ) 入力が禁止されることはありません。ビットのクリアは FIQ イネーブルクリアレジスタ (INT[0x10C]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

15. 割り込みコントローラ (INT)

FIQ イネーブルクリアレジスタ INT[0x10C] 初期値 = 0x0000_0000															Write Only	
31	30	29	28	27	26	25	24	n/a	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	n/a	7	6	5	4	3	2	FIQ [1:0] イネーブルクリア	
															1	0

Bits [1:0] : **FIQ[1:0] イネーブルクリア**
 高速割り込み要求 (FIQ) 入力を禁止 (マスク) します。
 0 (w) : 無効
 1 (w) : 割り込み要求入力を禁止
 “1” を書き込むことによって、そのビットに対応する FIQ イネーブルレジスタ (INT[0x108]) の FIQ イネーブルビットがクリアされ、割り込み要求 (FIQ) 入力が禁止されます。“0” の書き込みは無効です。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ レベルレジスタ INT[0x180] 初期値 = 0x0000_0000															Read/Write	
31	30	29	28	27	26	25	24	n/a	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	n/a	7	6	5	4	3	2	FIQ [1:0] レベル	
															1	0

Bits [1:0] : **FIQ[1:0] レベル**
 各 FIQ 入力のトリガモードを設定します。
 0 (r/w) : レベルトリガモード
 1 (r/w) : エッジトリガモード
 この選択により、割り込み要求 (FIQ) 信号をレベルでサンプリングするか、信号の立ち下がり/立ち上がりエッジでサンプリングするかが決まります。信号の極性 (LOW レベル/立ち下がりエッジ、または HIGH レベル/立ち上がりエッジ) は FIQ 極性レジスタ (INT[0x184]) で設定します。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ 極性レジスタ INT[0x184] 初期値 = 0x0000_0003															Read/Write	
31	30	29	28	27	26	25	24	n/a	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	n/a	7	6	5	4	3	2	FIQ [1:0] 極性	
															1	0

Bits [1:0] : **FIQ[1:0] 極性**
 各 FIQ 信号の極性を設定します。
 0 (r/w) : LOW レベル/立ち下がりエッジ
 1 (r/w) : HIGH レベル/立ち上がりエッジ
 この選択にしたがって割り込み要求 (FIQ) 信号がサンプリングされます。レベル/エッジの選択は FIQ レベルレジスタ (INT[0x180]) で行います。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。
 但し、GPIOB0 は内部で反転しています。ピンでローレベルアクティブの場合は、内部ではハイレベルアクティブとなりますので、“1”を設定してください。

FIQ トリガリセットレジスタ															
INT[0x188] 初期値 = 0x0000_0000														Write Only	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0] トリガリセット	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] :

FIQ[1:0]トリガリセット

エッジトリガモードに設定されている割り込みのマスク前ステータスをクリアします。

0 (w) : 無効

1 (w) : 割り込みステータスをクリア

“1”を書き込むと、FIQ マスク前ステータスレジスタ (INT[0x104]) 内の対応するステータスビットの中で、エッジトリガモードに設定されているビットをクリアします。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

16. UART1/2/3

16.1 概要

UART1/2/3 は、業界標準の 16550 と互換性を持つ非同期データ転送用インタフェースです。CPU のパラレルデータをシリアル変換して周辺デバイスに転送するとともに、周辺デバイスから送られたシリアルデータを入力しパラレルデータに変換します。

S2S65A30 は、まったく同じ機能を持つ UART モジュールを 3 個(UART1/2/3)持っています。

16.2 ブロック図

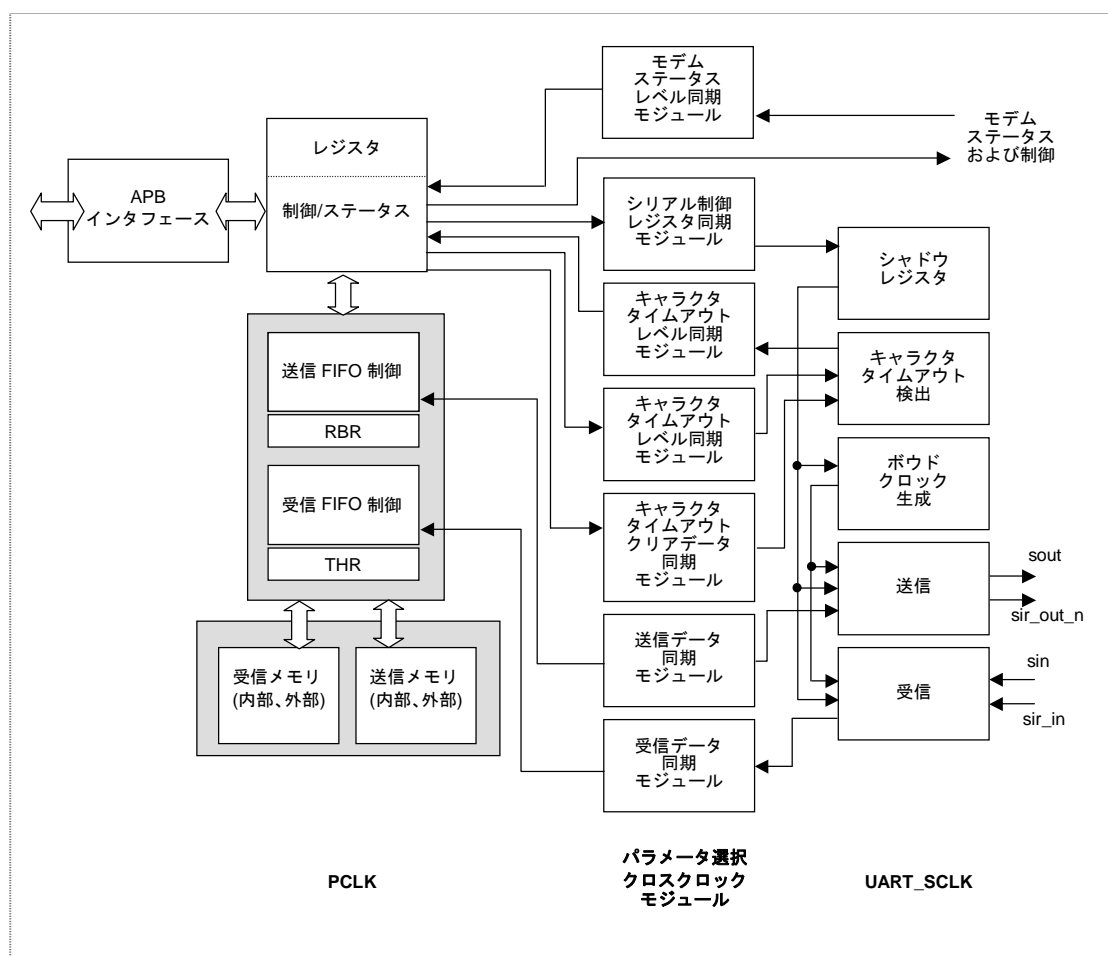


図 16.1 UART1/2/3 ブロック図

16.3 外部端子

UART1/2/3 関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子
TXD1	出力	UART1 用送信データ出力	GPIOA0(*)
RXD1	入力	UART1 用受信データ入力	GPIOA1(*)
RTS1	出力	UART1 用送信要求出力	GPIOA2(*)
CTS1	入力	UART1 用送信可能入力	GPIOA3(*)
TXD2	出力	UART2 用送信データ出力	GPIOA4(*)
RXD2	入力	UART2 用受信データ入力	GPIOA5(*)
RTS2	出力	UART2 用送信要求出力	GPIOA6(*)
CTS2	入力	UART2 用送信可能入力	GPIOA7(*)
UART3_CLK	入力	UART3 用クロック入力	GPIOC3(**)
TXD3	出力	UART3 用送信データ出力	GPIOC4(**)
RXD3	入力	UART3 用受信データ入力	GPIOC5(**)
RTS3	出力	UART3 用送信要求出力	GPIOC6(**)
CTS3	入力	UART3 用送信可能入力	GPIOC7(**)

注意(*) : UART1/2 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1” に設定することにより使用できます。

注意(**) : UART3 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2” に設定することにより使用できます。

16. UART1/2/3

16.4 レジスタ説明

UART1/2/3 の制御レジスタが配置されているデフォルトのベースアドレスは、それぞれ以下のようになっています。

UART1 : 0x FFFF_5000

UART2 : 0x FFFD_4000

UART3 : 0x FFFD_5000

特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

注意 : UART1/2/3 に対するアクセスは 32 ビット境界のオフセットでアクセスする限り、8bit, 16bit, 32bit のいずれのアクセスサイズでもリード/ライトが可能です。

16.4.1 レジスタ一覧

表 16.1 レジスタ一覧
ベースアドレス : 0xFFFF_5000 (UART1)
0xFFFD_4000 (UART2)
0xFFFD_5000 (UART3)

アドレス オフセット	DLAB	レジスタ名称	レジスタ 略称	初期値	R/W	データア クセスサイズ
0x00	0	受信バッファレジスタ	RBR	0x00	RO	8/16/32bit
0x00	0	送信ホールディングレジスタ	THR	-	WO	8/16/32bit
0x00	1	デバイザラッチ LSB レジスタ	DLL	0x00	R/W	8/16/32bit
0x04	0	割り込みイネーブルレジスタ	IER	0x00	R/W	8/16/32bit
0x04	1	デバイザラッチ MSB レジスタ	DLM	0x00	R/W	8/16/32bit
0x08	-	割り込み識別レジスタ	IIR	0x01	RO	8/16/32bit
0x08	-	FIFO 制御レジスタ	FCR	-	WO	8/16/32bit
0x0C	-	ライン制御レジスタ	LCR	0x00	R/W	8/16/32bit
0x10	-	モデム制御レジスタ	MCR	0x00	R/W	8/16/32bit
0x14	-	ラインステータスレジスタ	LSR	0x60	RO	8/16/32bit
0x18	-	モデムステータスレジスタ	MSR	0xEX	RO	8/16/32bit
0x1C	-	スクラッチレジスタ	SCR	0x00	R/W	8/16/32bit
0x20	-	テスト 0 レジスタ	T0	0x00	R/W	8/16/32bit
0x24	-	テスト 1 レジスタ	T1	0x00	R/W	8/16/32bit
0x28	-	テストステータス 0 レジスタ	TS0	-	RO	8/16/32bit
0x2C	-	テストステータス 1 レジスタ	TS1	0x01	RO	8/16/32bit
0x30	-	テストステータス 2 レジスタ	TS2	0x0F	RO	8/16/32bit
0x3C	-	テストステータス 3 レジスタ	TS3	0x02	RO	8/16/32bit

16.4.2 レジスタアクセスにおける注意事項

UART1/2/3 の制御レジスタは、レジスタ間のアドレスにアクセスしたときの動作は保証されません。例えば、アドレスオフセット 01h にバイトアクセスしたときの動作は保証されません。必ず指定されたアドレスオフセットによるアクセスを行ってください。

20h~3Ch までのレジスタは、UART 自身をデバッグする目的で用意されたレジスタです。デバッグ以外で使用することはできません。またこれらのレジスタは将来において仕様が変更される可能性があります。

16.4.3 レジスタ詳細説明

受信バッファレジスタ (RBR)									
UART1/2/3[0x00]		DLAB [0]	初期値 = 0x00						Read Only
シリアル受信データ (RBR[7:0])									
7	6	5	4	3	2	1	0		

Bits [7:0] :

RBR[7:0] シリアル受信データビット[7:0]

ライン制御レジスタの DLAB ビット (UART1/2/3[0x0C] Bit 7) が “0” の場合の読み出し時は、このレジスタは受信バッファとして機能します。Bit [7:0]からはシリアルポートが受信したバイトデータを読み出すことができます。なお、読み出されたデータは、ラインステータスレジスタのデータレディビット (UART1/2/3[0x14] Bit 0) が “1” の場合にのみ有効です。このレジスタにアクセスすると、受信 FIFO の先頭データを読み出します。受信 FIFO が満杯の場合、FIFO 内にすでに受信したデータは保持されますが、以降に送られるデータは失われます。

送信ホールディングレジスタ (THR)									
UART1/2/3[0x00]		DLAB [0]		初期値 = -				Write Only	
シリアル送信データ (THR [7:0])									
7	6	5	4	3	2	1	0		

Bits [7:0] :

THR[7:0] シリアル送信データビット[7:0]

ライン制御レジスタの DLAB ビット (UART1/2/3[0x0C] Bit 7) が “0” の場合の書き込み時、このレジスタは送信バッファとして機能します。送信 FIFO が満杯になるまで、最大 16 バイトのデータを書き込むことができます。送信 FIFO が満杯になると、それ以降にこのレジスタに書き込んだデータは失われます。

デバイザラッチ LSB レジスタ (DLL)										
UART1/2/3[0x00]		DLAB [1]		初期値 = 0x00						Read/Write
デバイザラッチ LSB (DL[7:0])										
7	6	5	4	3	2	1	0			

Bits [7:0] :

DL[7:0] デバイザラッチ LSB ビット

ライン制御レジスタの DLAB ビット (UART1/2/3[0x0C] Bit 7) が “1” の場合、このレジスタはボーレートを決めるソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは下位 8 ビット用です。上位 8 ビットはデバイザラッチ MSB レジスタ (UART1/2/3[0x04]) に設定します。ボーレートは次のように設定されます。

$$\text{ボーレート} = \text{入力クロック} / (16 \times \text{DL}[15:0])$$
 表 16.4 にボーレートと分周値の対応を示します。

16. UART1/2/3

割り込みイネーブルレジスタ (IER)							
UART1/2/3[0x04] DLAB [0] 初期値 = 0x00				Read/Write			
プログラマブル送信ホールディングエンプティ 割り込み許可 (EPTBEI)	Reserved (0)			モデムステータス割り込み許可 (EDSSI)	受信ラインステータス割り込み許可 (ELSI)	送信ホールディングエンプティ 割り込み許可 (ETBEI)	受信データ可能 割り込み許可 (ERBFI)
7	6	5	4	3	2	1	0

ライン制御レジスタの DLAB ビット (UART1/2/3[0x0C] Bit 7) が 0 の場合、このレジスタは UART1/2/3 の割り込みイネーブルレジスタとして機能し、5 つの UART1/2/3 割り込み許可/禁止します。Bit 7 は 16550 にはない機能です。16550 と互換性を保つファームウェアを作成する場合は、Bit 7 を使用しないで下さい。

Bit 7 : **EPTBEI プログラマブル送信ホールディングレジスタエンプティ割り込み許可**
FIFO モード時 (UART1/2/3[0x08] Bit 0 = 1) かつ送信ホールディングレジスタエンプティ割り込みが許可されているとき (UART1/2/3[0x04] Bit 1 = 1) にのみ有効になります。

0 (r/w) : 割り込み禁止

1 (r/w) : 割り込み許可

注意：このビットは 16550 には存在しません。（16550 非互換）

Bit 3 : **EDSSI モデムステータス割り込み許可**

0 (r/w) : 割り込み禁止

1 (r/w) : 割り込み許可

ただしオート CTS 制御モード (モデム制御レジスタ Bit 5 が “1” で、かつ FIFO 制御レジスタ Bit 0 が “1” に設定されているとき) では、CTS#入力変化によって割り込みが発生しなくなります。

Bit 2 : **ELSI 受信ラインステータス割り込み許可**

0 (r/w) : 割り込み禁止

1 (r/w) : 割り込み許可

Bit 1 : **ETBEI 送信ホールディングレジスタエンプティ割り込み許可**

0 (r/w) : 割り込み禁止

1 (r/w) : 割り込み許可

Bit 0 : **ERBFI 受信データ可能割り込み許可**

0 (r/w) : 割り込み禁止

1 (r/w) : 割り込み許可

各割り込み要因の内容については、表 16.2 を参照してください。

デバィザラッチ MSB レジスタ (DLM)									
UART1/2/3[0x04] DLAB [1]				初期値 = 0x00				Read/Write	
デバィザラッチ MSB (DL[15:8])									
7	6	5	4	3	2	1	0		

Bits [7:0] : **DL[15:8] デバイザラッチ MSB ビット**

ライン制御レジスタの DLAB ビット (UART1/2/3[0x0C] Bit 7) が “1” の場合、このレジスタはボーレートを決定するソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは上位 8 ビット用です。下位 8 ビットはデバイザラッチ LSB レジスタ (UART1/2/3[0x00]) に設定します。ボーレートは次のように設定されます。

ボーレート = 入力クロック / (16 × DL[15:0])

ボーレートと分周値の対応については、

表 16.4 を参照してください。

割り込み識別レジスタ (IIR)							
UART1/2/3[0x08] 初期値 = 0x01				Read Only			
FIFO イネーブル (FFEN [1:0])		Reserved		割り込み ID (IID [3:0])			
7	6	5	4	3	2	1	0

Bits [7:6] : **FFEN [1:0] FIFO イネーブルステータスビット**
 送信用および受信用の FIFO が有効になっているか、無効になっているかを示します。
 00 : FIFO は無効
 11 : FIFO は有効

Bits [3:0] : **IID [3:0] 割り込み ID ビット[3:0]**
 UART1/2/3 で発生している割り込みソースを識別します。

表 16.2 UART1/2/3 割り込み

IID [3:0]	割り込みの種類	割り込みソース	割り込み ID の リセット方法	優先順位
0001	なし	なし	n/a	n/a
0110	受信ラインステータス 割り込み	・ オーバーランエラー ・ パリティエラー ・ フレーミングエラー ・ ブレーク受信	・ ラインステータスレジス タの読み出し	1 (最高)
0100	受信データ可能割り込み	・ 受信データ可能	・ ラインステータスレジス タの読み出し	2
	受信データトリガレベル到 達割り込み	・ 受信 FIFO 内に受信データ をトリガレベルまで受信	・ 受信 FIFO 内のデータが トリガレベル未満に減少	
1100	キャラクタタイムアウト 割り込み	・ 受信 FIFO に 1 キャラクタ 以上のデータがある状態 で、4 キャラクタ相当の期 間、受信 FIFO からデータ が読み出されないか、入力 されない	・ 受信バッファレジスタの 読み出し	2
0010	送信ホールディングレジス タエンプティ割り込み	・ 送信ホールディングレジス タが空	・ 割り込み識別レジスタの 読み出し ・ 送信ホールディングレジ スタへの書き込み	3
	送信データトリガレベル到 達割り込み	・ 送信 FIFO 内のデータをト リガレベルまで送信	・ 割り込み識別レジスタの 読み出し ・ 送信 FIFO へトリガレベ ルよりも多いデータの書 き込み	
0000	モデムステータス割り込み	・ CTS#入力、DSR 入力、RI 入力、DCD 入力のいずれか が変化	・ モデムステータスレジス タの読み出し	4 (最低)

16. UART1/2/3

FIFO 制御レジスタ (FCR)					
UART1/2/3[0x08]			初期値 = -		
受信データトリガレベル (RCVRT[1:0])		送信データトリガレベル (XMITT[1:0])		DMA モード選択 (DMAMS)	送信FIFOリセット (XMITFR)
7	6	5	4	3	2
				受信FIFOリセット (RCVRFR)	FIFO イネーブル (EFIFO)
				1	0

Bits [7:6] : **RCVRT[1:0] 受信データトリガレベル設定**
FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に受信 FIFO に何バイトのデータを受信したら受信データトリガレベル到達割り込みを発生させるかを設定します。

- 00 (w) : 1 バイト
- 01 (w) : 4 バイト
- 10 (w) : 8 バイト
- 11 (w) : 14 バイト

受信 FIFO 内のデータ数がこの設定値以上になると、受信データトリガレベル到達割り込みを発生します。受信バッファレジスタから受信データを読み出し、FIFO 内のデータ数が設定値未満になると、データ受信割り込み要因はクリアされます。

Bits [5:4] : **XMITT[1:0] 送信データトリガレベル設定**
プログラマブル送信ホールディングレジスタエンプティ割り込みが許可されていて (UART1/2/3[0x04] Bit 7=1)、かつ FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に送信 FIFO に残っているデータが何バイト以下のときに送信データトリガレベル到達割り込みを発生させるかを設定します。このビットは 16550 にはない機能です。16550 と互換性を保つファームウェアを作成する場合は、このビットを使用しないで下さい。

- 00 (w) : 0 バイト
- 01 (w) : 2 バイト
- 10 (w) : 4 バイト
- 11 (w) : 8 バイト

送信 FIFO 内のデータ数がこの設定値以下になると、送信データトリガレベル到達割り込みを発生します。送信バッファレジスタに送信データを書き込み、FIFO 内のデータ数が設定値より多くなると、データ送信割り込み要因はクリアされます。

注意： このビットは 16550 には存在しません。（16550 非互換）

Bit 3 : **DMAMS DMA モード選択ビット**
DMA コントローラ用のステータス信号（内部信号）の動作モードを設定します。

- 0 (w) : シングルワードモード
- 1 (w) : マルチワードモード

Bit 2 : **XMITFR 送信 FIFO リセット**
FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に送信 FIFO 内のデータをクリアします。シフトレジスタはリセットされません。このビットにライトされた“1”は自動的にリセットされます。

- 0 (w) : 無効
- 1 (w) : クリア

注意： FIFO に残っているデータの中で、2 キャラクタまではクリア前に送信されます。

Bit 1 : **RCVRFR 受信 FIFO リセット**
FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に受信 FIFO 内のデータをクリアします。シフトレジスタはリセットされません。このビットにライトされた“1”は自動的にリセットされます。

- 0 (w) : 無効
- 1 (w) : クリア

注意： 受信 FIFO リセットによっては、受信データがあることを示すデータレディビットはクリアされません。受信 FIFO をクリアした後は、必ず受信バッファレジスタ (UART1/2/3[0x00]) を読み出してデータレディビットをクリアしてください。

- Bit 0 : **EFIFO FIFO イネーブル**
 送信および受信 FIFO を有効/無効に設定します。
 0 (w) : 無効。送受信に FIFO は使用されません。
 1 (w) : 有効。FIFO を通して送受信が行われます。

ライン制御レジスタ (LCR)							Read/Write	
UART1/2/3[0x0C] 初期値 = 0x00								
DLAB	ブ레이크制御 (SBRK)	Reserved (0)	偶数パリティ (EPS)	パリティイネーブル (PEN)	ストップビット 数 (STB)	ワード長 (WLS[1:0])		
7	6	5	4	3	2	1	0	

- Bit 7 : **DLAB デバイザラッチアクセスビット**
 UART1/2/3[0x00]、UART1/2/3[0x04]からデバイザラッチ LSB/MSB レジスタにアクセスするか、受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセスするか設定します。
 0 (r/w) : 受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセス
 1 (r/w) : デバイザラッチ LSB/MSB レジスタにアクセス
- Bit 6 : **SBRK ブレーク制御**
 ブレーク信号の出力を制御します。
 0 (r/w) : 通常出力
 1 (r/w) : ブレーク信号出力。このビットが“1”に設定されている間（“0”を書き込むまで）、シリアル出力が LOW になります。
- Bit 4 : **EPS 偶数パリティ**
 偶数/奇数パリティを選択します。
 0 (r/w) : 奇数パリティ
 1 (r/w) : 偶数パリティ
 この設定は、パリティイネーブル (Bit 3) が“1”の場合にのみ有効です。
- Bit 3 : **PEN パリティイネーブル**
 パリティチェックとパリティビットの付加を有効/無効に設定します。
 0 (r/w) : パリティ無効。受信データはパリティなしとして扱われます。送信データにはパリティビットが付加されません。
 1 (r/w) : パリティ有効。パリティビット付きとしてデータを受信し、パリティチェックを行います。送信データにはパリティビットが付加されます。
- Bit 2 : **STB ストップビット数**
 ストップビット数を選択します。
 0 (r/w) : 1 ビット
 1 (r/w) : 2 ビット（データ長が 6、7 または 8 ビットの場合）
 1.5 ビット（データ長が 5 ビットの場合）
 選択されたストップビットが送信データに付加されます。受信時は選択したストップビット数にかかわらず、最初の 1 ビットのみがチェックされます。
- Bits [1:0] : **WLS[1:0] ワード長ビット[1:0]**
 送受信キャラクタ（パリティ、ストップビットを除く）のビット数を選択します。
 00 (r/w) : 5 ビット
 01 (r/w) : 6 ビット
 10 (r/w) : 7 ビット
 11 (r/w) : 8 ビット

16. UART1/2/3

モデム制御レジスタ (MCR)							Read/Write
UART1/2/3[0x10]		初期値 = 0x00					
n/a		オートフロー 制御イネーブル(AFCE)	ループバック (LOOP)	アウトプット 2 制御 (OUT2)	アウトプット 1 制御 (OUT1)	RTS 制御 (RTS)	DTR 制御 (DTR)
7	6	5	4	3	2	1	0

Bit 5 :

AFCE オートフロー制御イネーブル

モデムの CTS#、RTS#信号を使用した、オートフロー制御をイネーブルします。

0 (r/w) : マニュアルフロー制御モード

1 (r/w) : オートフロー制御モード

このビットを“1”に設定し、かつ FIFO 制御レジスタの Bit 0 を“1”にすると、オート CTS 制御モードになり、送信 FIFO にデータが入っているときに CTS#入力が HIGH になると自動的にデータ送信を中断します。CTS#入力が LOW になると自動的にデータ送信を再開します。さらにモデム制御レジスタ Bit 1 を“1”に設定すると、オート RTS 制御モードになり、受信 FIFO が受信データトリガレベルに到達すると、自動的に RTS#出力を HIGH にします。受信 FIFO がエンプティになると、自動的に RTS#出力を LOW にします。

注意： このビットは 16550 には存在しません。（16550 非互換）

Bit 4 :

LOOP ループバック

モデムのローカルループテストを行います。

0 (r/w) : 通常動作

1 (r/w) : ローカルループテスト

このビットを“1”に設定すると、シリアル出力ラインがシリアル入力ラインに接続され、送信データを入力して診断が行えます。

以下にループ・バック・モードと通常モードの相違点を示します。

表に示すように、ループ・バック・モードでは、シリアル・データとモデム制御の出力系が入力系にフィードバックされますので簡単な自己診断が単体で行えます。また、この場合でも割り込み機能やブレイク機能はそのまま動作します。

表 16.3 ループバックモードと通常モードの相違点

相違箇所		ループ・バック・モード時	通常モード時
DTR#端子		常時ハイ・レベル（インアクティブ）を出力	DTR ビットの反転値を出力
RTS#端子		常時ハイ・レベル（インアクティブ）を出力	RTS ビットの反転値を出力
TXD 端子		常時ハイ・レベル（マーク状態）を出力	送信シフトレジスタ（TSR）からシリアルデータを順次出力
モデムステータスレジスタ	CTS ビット	RTS ビットの設定値がリードされます。	CTS#端子の反転値がリードされます。
	DSR ビット	DTR ビットの設定値がリードされます。	DSR#端子の反転値がリードされます。
	RI ビット	OUT1 ビットの設定値がリードされます。	RI#端子の反転値がリードされます。
	DCD ビット	OUT2 ビットの設定値がリードされます。	DCD#端子の反転値がリードされます。
	DCTS ビット	RTS ビットの変化を捕らえます。	CTS#端子の変化を捕らえます。
	DDSR ビット	DTR ビットの変化を捕らえます。	DSR#端子の変化を捕らえます。
	TERI ビット	OUT1 ビットの立ち下がり変化を捕らえます。	RI#端子の変化を捕らえます。
受信シフトレジスタ		送信シフトレジスタ（TSR）からシリアルデータを取り込みます。	RXD 端子からシリアルデータを取り込みます。

- Bit 3 :** **OUT2 アウトプット 2#制御**
 OUT2#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、DCD#に相当する内部信号に接続されます。
 0 (r/w) : OUT2# = HIGH
 1 (r/w) : OUT2# = LOW
 注意：このビットはループバックモード時のみ使用可能です。
- Bit 2 :** **OUT1 アウトプット 1#制御**
 OUT1#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、RI#に相当する内部信号に接続されます。
 0 (r/w) : OUT1# = HIGH
 1 (r/w) : OUT1# = LOW
 注意：このビットはループバックモード時のみ使用可能です。
- Bit 1 :** **RTS RTS#制御**
 マニュアルフロー制御モード（モデム制御レジスタ Bit 5 を 0 に設定）時は RTS#出力を直接制御します。
 0 (r/w) : RTS# = HIGH
 1 (r/w) : RTS# = LOW
 オートフロー制御モード（モデム制御レジスタ Bit 5 を 1 に設定）時はオート RTS 制御モードになります。
 0 (r/w) : RTS 非制御
 1 (r/w) : オート RTS 制御モード
 ただしループバックテストモード時は常時ハイレベル出力となり、CTS#に相当する内部信号に接続されます。
- Bit 0 :** **DTR DTR#制御**
 DTR#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、DSR#に相当する内部信号に接続されます。
 0 (r/w) : DTR# = HIGH
 1 (r/w) : DTR# = LOW
 注意：このビットはループバックモード時のみ使用可能です。

ラインステータスレジスタ (LSR)							Read Only
UART1/2/3[0x14] 初期値 = 0x60							
受信 FIFO エラー	送信 エンプティ (TEMT)	送信ホールディング レジスタエンプティ (THRE)	ブレーク割り込み (BI)	フレーミングエラー (FE)	パリティエラー (PE)	オーバーランエラー (OE)	データレディ (DR)
7	6	5	4	3	2	1	0

- Bit 7 :** **RCVRE 受信 FIFO エラー**
 受信 FIFO でエラー（パリティエラー、フレーミングエラー、ブレーク表示）が発生しているかどうかを示します。このビットは FIFO を有効に設定している場合（FIFO 制御レジスタ UART1/2/3[08h] Bit 0（FIFO イネーブルビット）= 1）にのみ有効で、FIFO を無効に設定している場合（FIFO イネーブルビット = 0）は常に 0 になります。
 0 : エラーなし
 1 : エラー発生
 次に受信バッファから読み出されるデータ以外に FIFO 内にエラーデータがなければ、このフラグは本レジスタの読み出しにより “0” にリセットされます。
- Bit 6 :** **TEMT 送信エンプティ**
 送信シフトレジスタと送信 FIFO/送信ホールディングレジスタが空であることを示します。
 0 : 送信データあり
 1 : 送信データなし
 FIFO を有効に設定している場合（FIFO イネーブルビット = 1）、送信 FIFO と送信シフトレジスタの両方が空かどうかを示します。FIFO を無効に設定している場合（FIFO イネーブルビット = 0）

は、送信ホールディングレジスタと送信シフトレジスタの両方が空かどうかを示します。送信データが書き込まれると 0 に戻ります。

Bit 5 :

THRE 送信ホールディングレジスタエンプティ

このビットは割り込みイネーブルレジスタ UART1/2/3[0x04]Bit 7 (EPTBEI ビット) によって動作が変わります。

プログラマブル送信ホールディングレジスタエンプティ割り込みが禁止されている場合 (EPTBEI ビット=0)、送信 FIFO/送信ホールディングレジスタが空であることを示します。

0 : 送信データあり

1 : 送信データなし

FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、送信 FIFO が空かどうかを示します。FIFO を無効に設定している場合 (FIFO イネーブルビット = 0) は、送信ホールディングレジスタが空かどうかを示します。送信ホールディングレジスタエンプティ割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。なお、このビットは送信動作によって送信 FIFO/送信ホールディングレジスタが空になった場合にセットされます。リセットや FIFO のクリア等によって空になった場合はセットされません。送信データが書き込まれると 0 に戻ります。

プログラマブル送信ホールディングレジスタエンプティ割り込みが許可されている場合 (EPTBEI ビット = 1)、送信 FIFO がフル状態であることを示しています。

0 (r) : 送信 FIFO にデータが書き込める状態

1 (r) : 送信 FIFO がフル状態

プログラマブル送信ホールディングレジスタエンプティ割り込みが発生したときに、送信 FIFO にデータを書く前にこのビットを読むことにより、送信 FIFO がフルになるまで送信データを書き込めます。このビットとプログラマブル送信ホールディングレジスタエンプティ割り込みを使用することで送信 FIFO は常にデータが入った状態になり、割り込みにすぐに応答できないシステムにおいても効率的なデータ転送が可能となります。

Bit 4 :

BI ブレーク割り込みフラグ

ブレーク割り込みを示します。

0 : ブレーク割り込みなし

1 : ブレーク割り込みあり

1 つのキャラクタに当る受信期間中、入力ラインが 0 になっていると、このフラグがセットされます。

FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 3 :

FE フレーミングエラー

フレーミングエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

受信データに有効なストップビットがない場合に、このフラグがセットされます。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 2 :

PE パリティエラー

パリティエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

パリティイネーブルビットがセットされている場合に行う受信データのパリティチェックでエラーが発生すると、このフラグがセットされます。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされ

ると割り込み要求が発生します。このフラグは本レジスタの読み出しにより“0”にリセットされます。

Bit 1 : OE オーバーランエラー

オーバーランエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

FIFO を無効に設定している場合 (FIFO イネーブルビット = 0) は、受信バッファレジスタ内のカレントキャラクタが読み出される前に次のキャラクタが送られてくるとオーバーランエラーになります。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1) は、FIFO が満杯の状態で新しいキャラクタが送られてくるとオーバーランエラーになります。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより“0”にリセットされます。

Bit 0 : DR データレディ

受信データが存在することを示します。

0 : 受信データなし

1 : 受信データあり

受信バッファレジスタまたは FIFO 内に 1 キャラクタ以上の有効なデータがある場合、“1”にセットされます。受信データ可能割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは受信 FIFO から受信データがすべて読み出されると“0”にリセットされます。

モデムステータスレジスタ (MSR)							
UART1/2/3[0x18] 初期値 = 0xEX							Read Only
DCD ステータス (DCD)	RI ステータス (RI)	DSR ステータス (DSR)	CTS ステータス (CTS)	DCD 変化 (DDCD)	RI 立下り変化 (TERI)	DSR 変化 (DDSR)	CTS 変化 (DCTS)
7	6	5	4	3	2	1	0

Bit 7 : DCD DCD ステータス

DCD 端子の入力状態を示します。

0 : DCD 入力 = HIGH

1 : DCD 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 6 : RI RI ステータス

RI 端子の入力状態を示します。

0 : RI 入力 = HIGH

1 : RI 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 5 : DSR DSR ステータス

DSR 端子の入力状態を示します。

0 : DSR 入力 = HIGH

1 : DSR 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 4 : CTS CTS ステータス

CTS#端子の入力状態を示します。

0 : CTS1#入力 = HIGH

1 : CTS#1 入力 = LOW

Bit 3 : DDCD DCD 変化

DCD 端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART1/2/3[0x10] Bit 4 = 1) では、DCD 端子にかかわらずアウトプット 2 制御ビット (UART1/2/3[0x10] Bit 3) の変化が反映されます。

16. UART1/2/3

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意： このビットはループバックモード時のみ使用可能です。

Bit 2 :

TERI RI 立下り変化

RI 端子の入力が、前回の読み出し以降に立下り変化したかどうかを示します。ただしループバックモード設定時 (UART1/2/3[0x10] Bit 4 = 1) では、RI 端子にかかわらずアウトプット 1 制御ビット (UART1/2/3[0x10] Bit 2) の立下り変化が反映されます。

0 : 立下り変化なし

1 : 立下り変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意： このビットはループバックモード時のみ使用可能です。

Bit 1 :

DDSR DSR 変化

DSR 端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART1/2/3[0x10] Bit 4 = 1) では、DSR 端子にかかわらず DTR ビット (UART1/2/3[0x10] Bit 0) の変化が反映されます。

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意： このビットはループバックモード時のみ使用可能です。

Bit 0 :

DCTS CTS 変化

CTS#端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART1/2/3[0x10] Bit 4 = 1) では、CTS#端子にかかわらず RTS 制御ビット (UART1/2/3[0x10] Bit 1) の変化が反映されます。

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

スクラッチレジスタ (SCR)									
UART1/2/3[0x1C]				初期値 = 0x00					
Read/Write									
スクラッチビット (SCR [7:0])									
7	6	5	4	3	2	1	0		

Bits [7:0] :

SCR [7:0] スクラッチビット

ハードウェア動作には影響を与えない汎用レジスタとして使用可能です。

テスト 0 レジスタ (T0)							
UART1/2/3[0x20]				初期値 = 0x00			
Read/Write							テストモード
7	6	5	4	3	2	1	0
			n/a				

Bit 0 :

テストモード

テストモードを設定します。テストモードでは、ループバックテストと同等のテストが行えます。

0 (r/w) : 通常モード

1 (r/w) : テストモード

テスト1レジスタ (T1)							
UART1/2/3[0x24]				初期値 = 0x00			
n/a				DCD テスト	RI テスト	DSR テスト	CTS テスト
7	6	5	4	3	2	1	0

Bit 3 : **DCD テスト**
 テストモード時 (UART1/2/3[0x20] Bit 0=1) に DCD 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力

Bit 2 : **RI テスト**
 テストモード時 (UART1/2/3[0x20] Bit 0=1) に RI 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力

Bit 1 : **DSR テスト**
 テストモード時 (UART1/2/3[0x20] Bit 0=1) に DSR 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力

Bit 0 : **CTS テスト**
 テストモード時 (UART1/2/3[0x20] Bit 0=1) に CTS#入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力

テストステータス0レジスタ (TS0)							
UART1/2/3[0x28]				初期値 = -			
n/a				DCD ロウ ステータス	RI ロウ ステータス	DSR ロウ ステータス	CTS ロウ ステータス
7	6	5	4	3	2	1	0

Bit 3 : **DCD ロウステータス**
 常に DCD 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力

Bit 2 : **RI ロウステータス**
 常に RI 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力

Bit 1 : **DSR ロウステータス**
 常に DSR 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力

Bit 0 : **CTS ロウステータス**
 常に CTS#端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力

16. UART1/2/3

テストステータス 1 レジスタ (TS1)							
UART1/2/3[0x2C] 初期値 = 0x01						Read Only	
n/a				DCD ステータス	RI ステータス	DSR ステータス	CTS ステータス
7	6	5	4	3	2	1	0

- Bit 3 : **DCD ステータス**
UART1/2/3 回路が認識する DCD 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 2 : **RI ステータス**
UART1/2/3 回路が認識する RI 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 1 : **DSR ステータス**
UART1/2/3 回路が認識する DSR 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 0 : **CTS ステータス**
UART1/2/3 回路が認識する CTS#信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力

テストステータス 2 レジスタ (TS2)							
UART1/2/3[0x30] 初期値 = 0x0F						Read Only	
n/a			BAUDOUT ステータス	OUT2 ステータス	OUT1 ステータス	RTS ステータス	DTR ステータス
7	6	5	4	3	2	1	0

- Bit 4 : **BAUDOUT ステータス**
UART1/2/3 回路が出力する BAUDOUT 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 3 : **OUT2 ステータス**
UART1/2/3 回路が出力する OUT2 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 2 : **OUT1 ステータス**
UART1/2/3 回路が出力する OUT1 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 1 : **RTS ステータス**
UART1/2/3 回路が出力する RTS#信号の状態を示します。
0 : ローレベル (アクティブ) を出力
1 : ハイレベル (インアクティブ) を出力
- Bit 0 : **DTR ステータス**
UART1/2/3 回路が出力する DTR 信号の状態を示します。
0 : ローレベル (アクティブ) を出力
1 : ハイレベル (インアクティブ) を出力

テストステータス 3 レジスタ (TS3)									
UART1/2/3[0x3C] 初期値 = 0x02					Read Only				
n/a					TXRDY ステータス	RXRDY ステータス	INTR ステータス		
7	6	5	4	3	2	1	0		

Bit 2 : **TXRDY ステータス**
 UART1/2/3 回路が出力する TXRDY 信号の状態を示します。
 0 : ローレベル (アクティブ) を出力
 1 : ハイレベル (インアクティブ) を出力

Bit 1 : **RXRDY ステータス**
 UART1/2/3 回路が出力する RXRDY 信号の状態を示します。
 0 : ローレベル (アクティブ) を出力
 1 : ハイレベル (インアクティブ) を出力

Bit 0 : **INTR ステータス**
 UART1/2/3 回路が出力する INTR 信号の状態を示します。
 0 : ローレベル (インアクティブ) を出力
 1 : ハイレベル (アクティブ) を出力

16. UART1/2/3

16.4.4 ボーレート設定例

UART1/2/3 内でのボーレート設定のためのクロック分周値は、以下の計算式で求められます。

$$\text{分周値} = \text{UART1/2/3_SCLK 入力クロック周波数(Hz)} \div \text{ボーレート(bps)} \div 16$$

例えば、UART1/2/3 への入力クロック (=UART1/2/3_SCLK) が 24.543232MHz のときのクロック分周値は下記のようになります。

表 16.4 ボーレートと分周値

ボーレート	×16 クロック 理想値	24.543232MHz UART1/2/3 ソースクロック		
		×16 クロック の分周値	誤差パーセント %	実際の ×16 クロック
300	4800	5113	0.00	4800.2
600	9600	2557	0.02	9598.4
1200	19200	1278	0.02	19204.4
2400	38400	639	0.02	38408.8
4800	76800	320	0.13	76697.6
9600	153600	160	0.13	153395.2
14400	230400	107	0.44	229376.0
19200	307200	80	0.13	306790.4
28800	460800	53	0.49	463079.8
38400	614400	40	0.13	613580.8
57600	921600	27	1.37	909008.6
115200	1843200	13	2.43	1887940.9
125000	2000000	12	2.26	2045269.3
250000	4000000	6	2.26	4090538.7
500000	8000000	3	2.26	8181077.3
750000	12000000	2	2.26	12271616.0
1500000	24000000	1	2.26	24002560.0

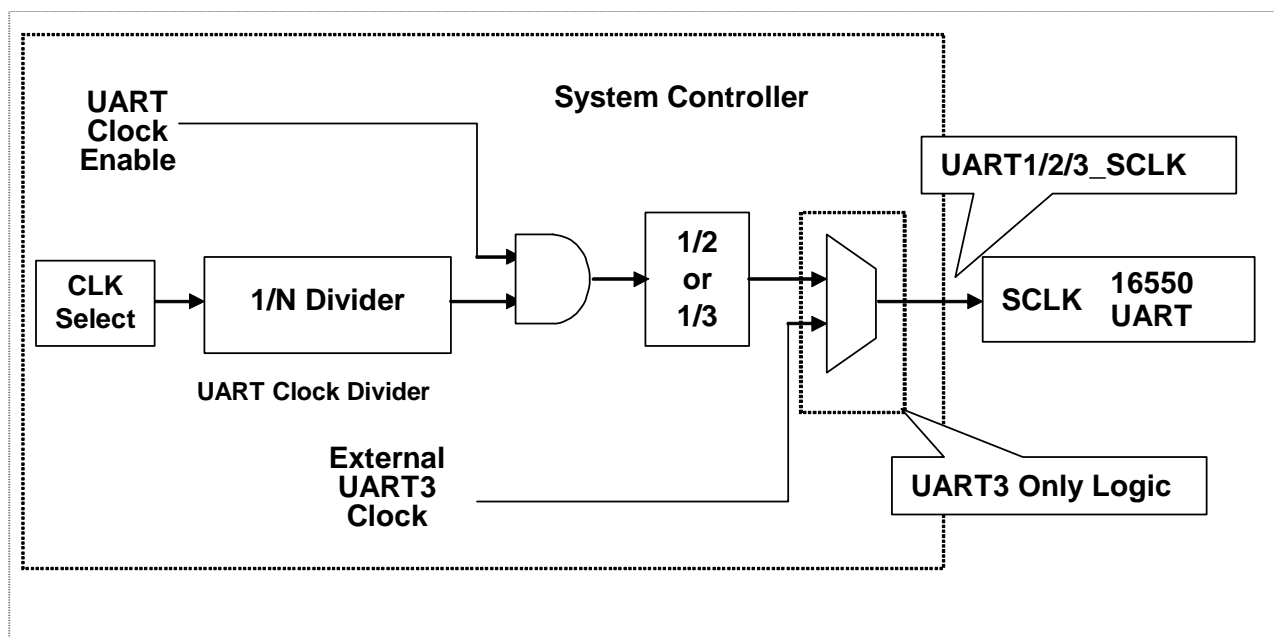


図 16.2 UART1/2/3 クロック概念図

16.5 本 UART1/2/3 の利用制限事項

本チップでは、16550 と互換を保つすべての信号を I/O 端子として用意していないため、回路自体は 16550 の機能のほとんどを有していますが、一部のレジスタに対して利用制限がかかります。以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
UART1/2/3[0x10]Bit 0	DTR : DTR#制御	ループバックモードのみ使用可能
UART1/2/3[0x10]Bit 2	OUT1 : アウトプット 1#制御	ループバックモードのみ使用可能
UART1/2/3[0x10]Bit 3	OUT2 : アウトプット 2#制御	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 1	DDSR : DSR 変化	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 2	TERI : RI 立下り変化	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 3	DDCD : DCD 変化	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 5	DSR : DSR ステータス	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 6	RI : RI ステータス	ループバックモードのみ使用可能
UART1/2/3[0x18]Bit 7	DCD : DCD ステータス	ループバックモードのみ使用可能

以下のレジスタ設定は、16550 に存在し、本 UART1/2/3 には存在しません。

オフセットアドレス	レジスタビット名称	制限
UART1/2/3[0x0C]Bit 5	スティックパリティ	常に使用不可

以下のレジスタ設定は、16550 には存在せず、本 UART1/2/3 に存在します。16550 互換のファームウェアを作成する場合は、これらのレジスタを使用しないようにする必要があります。

オフセットアドレス	レジスタビット名称	制限
UART1/2/3[0x04]Bit 7	EPTBEI : プログラマブル送信ホールディングレジスタエンプティ割り込み許可	16550 非互換
UART1/2/3[0x08]Bit [5:4]	XMITT[1:0] : 送信データトリガレベル設定	16550 非互換
UART1/2/3[0x10]Bit 5	AFCE : オートフロー制御イネーブル	16550 非互換

17. I²C Single Master Core Module (I2C)

17.1 概要

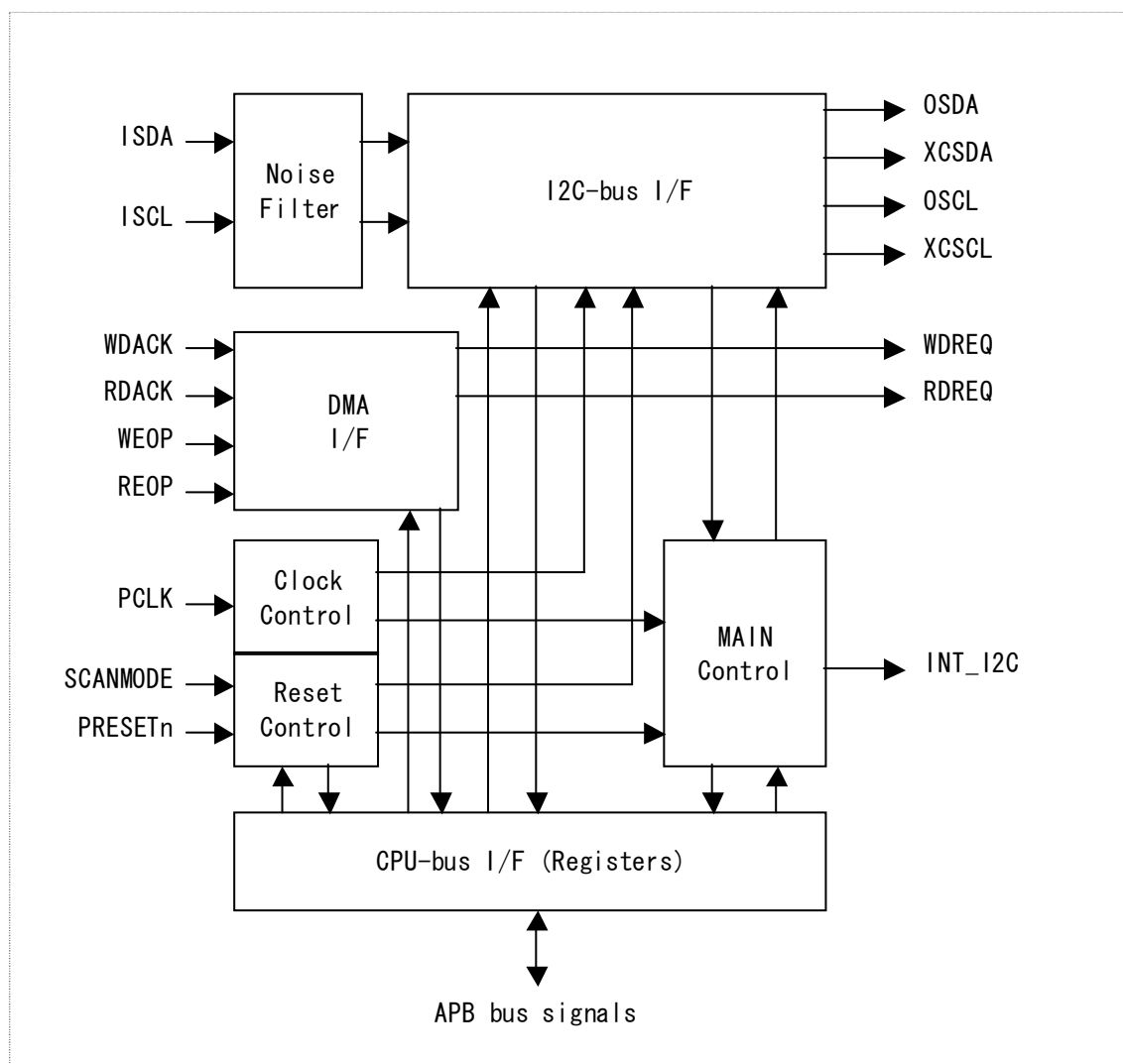
17.1.1 マスタモード

- I²C バスの I²C シングルマスタモードをサポート
- I²C バスの I²C マルチマスタモードはサポートしていません。
- I²C バス上に複数のスレーブデバイスを接続可能。
- I²C データ転送に関するシフトレジスタのほかに、ソフトウェアによるリード／ライトタイミングを緩和するために、送信および受信用のバッファ（TBUF および RBUF）を持っています。
- バスエラーステータスを検出し、ステータスレジスタにより通知可能
- I²C のクロックウェイト機能をサポート

17.1.2 スレーブモード

- スレーブモードはサポートしていません。

17.2 ブロック図

図 17.1 I²C 内部ブロック図

17.3 外部端子

端子名	入出力	端子機能	マルチプレクス端子*/備考
SCL	入出力	I2C 用クロック入出力	GPIOA6
SDA	入出力	I2C 用データ入出力	GPIOA7

注意(*) : I2C 用の外部端子は GPIO 端子とマルチプレクスされていますので、GPIO 端子機能レジスタにより “GPIO 以外の機能 2” に設定することにより使用できます。

17. I2C Single Master Core Module (I2C)

17.4 レジスタ

17.4.1 レジスタ一覧

次の表に掲載されているアドレスオフセット値は I²C ロジックモジュールに割り当てられているベースアドレスからのオフセットです。これらのレジスタのベースアドレスは、0xFFFE_D000 です。

表 17.1 レジスタ一覧（ベースアドレス：0xFFFE_D000）

アドレス オフセット	レジスタ名称	初期値	R/W	アクセス サイズ ^{*1}
0x00	I ² C 送信データレジスタ	0000 0000b	R/W	8 (16/32)
0x04	I ² C 受信データレジスタ	0000 0000b	RO	8 (16/32)
0x08	I ² C コントロールレジスタ	0000 0000b	R/W	8 (16/32)
0x0C	I ² C バスステータスレジスタ	00xx 0000b ^{*2}	RO	8 (16/32)
0x10	I ² C エラーステータスレジスタ	0000 0000b	RO	8 (16/32)
0x14	I ² C 割り込みコントロール/ステータスレジスタ	0000 0000b	R/W	8 (16/32)
0x18	I ² C-BUS サンプルクロック分周設定レジスタ	0000 0000b	R/W	8 (16/32)
0x1C	I ² C SCL クロック分周設定レジスタ	0000 0000b	R/W	8 (16/32)
0x20	I ² C I/O コントロールレジスタ	0000 0000b	R/W	8 (16/32)
0x24	I ² C DMA モードレジスタ	0000 0000b	R/W	8 (16/32)
0x28	I ² C DMA カウンタ値(LSB)レジスタ	0000 0000b	R/W	8 (16/32)
0x2C	I ² C DMA カウンタ値(MSB)レジスタ	0000 0000b	R/W	8 (16/32)
0x30	I ² C DMA ステータスレジスタ	0000 1000b	RO	8 (16/32)
0x34 – 0x38	Reserved	-	-	-

*1：レジスタ一覧にあるレジスタは 8 ビットで定義されており、通常ファームウェアではこれらのレジスタを 8 ビットアクセスで使用します。しかし、ファームウェアが 16 ビットまたは 32 ビットアクセス命令を使用している場合には 16 ビットまたは 32 ビットアクセスできますが、下位 8 ビットのみ有効な値として使用してください。

*2：このレジスタの Bit 5 (SDA) および Bit 4 (SCL) は外部端子である SDA 端子および SCL 端子をモニタしています。これらの端子の状態により初期値が決まります。通常これらの端子は外部でプルアップされているため、SDA=1、SCL=1 となりますが、外部端子の設定に対応した値となります。

17.4.2 レジスタ詳細説明

以下に各レジスタの詳細を説明します。

I ² C 送信データレジスタ							
I2C[0x00]		初期値 = 0000 0000b					
		I ² C 送信データ TD [7:0]					
7	6	5	4	3	2	1	0

Bits [7:0] :

TD[7:0] I²C 送信データ

このレジスタは、I²C-BUS 転送の送信データを格納する 8 ビットのバッファです。
マスタからデータを送信するときには、MSB ビットから LSB ビットまでを順に送信します。(下図参照)

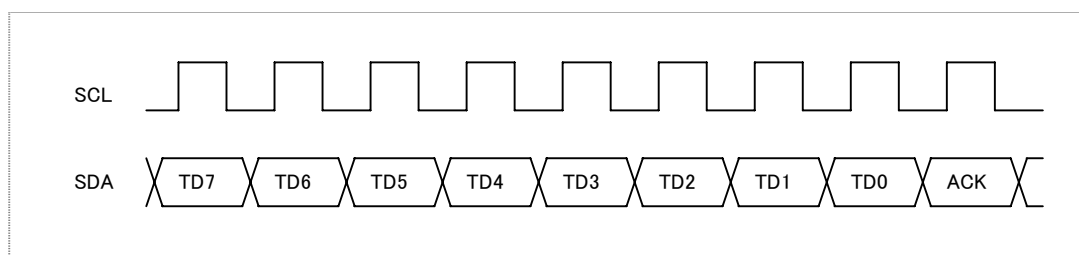


図 17.2 送信時のビット配置

I ² C 受信データレジスタ							
I2C[0x04]		初期値 = 0000 0000b					
		I ² C 受信データ RD [7:0]*					
7	6	5	4	3	2	1	0

Bits [7:0] :

RD[7:0] I²C 受信データ

このレジスタは、I²C-BUS 転送の受信データを格納する 8 ビットのバッファです。
スレーブデバイスからの送信データを、MSB ビットから LSB ビットまでを順に受信します。(下図参照)

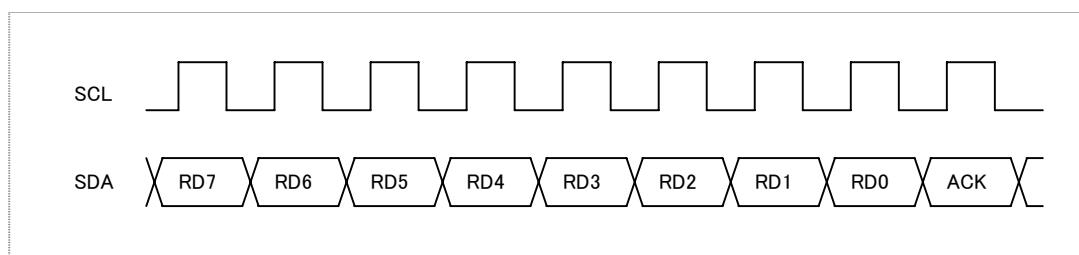


図 17.3 受信時のビット配置

17. I2C Single Master Core Module (I2C)

I ² C コントロールレジスタ							
I2C[0x08] 初期値 = 0000 0000b						Read/write	
予約 (0)		SR	CLKW*	TACK*		TRNS [2:0] *	
7	6	5	4	3	2	1	0

Note : (*)はソフトウェアリセットでも初期化されます。

このレジスタは、スタート、ストップコンディションの発生や、データの送受信の開始などを制御します。

TRNS[2:0]がライトされるとその指定された動作を行います。

I²C バスステータスレジスタ I2C[0x0C]ビット 7 の RUN=1 のときに TRNS[2:0]がライトされても、そのコマンドは実行されません。

Bits [7:6] : **予約 (0)**

Bit 5 : **SR ソフトウェアリセット**
ソフトウェアで強制的にリセットをかけ、初期化動作を行います。
 0 : ソフトウェアリセットを解除
 1 : ソフトウェアリセットをセット

Bit 4 : **CLKW クロックウェイトモードイネーブル**
クロックウェイト機能を使用するか／しないかを選択します。
 0 : クロックウェイトモードディセーブル
 1 : クロックウェイトモードイネーブル

Bit3 : **TACK データ受信時アクノリッジ設定（受信[Read]モードのみ）**
データ受信時にスレーブデバイスに送信するアクノリッジを設定します。
 0 : アクノリッジをスレーブデバイスに送信しません。
 1 : アクノリッジをスレーブデバイスに送信します。
注意 : DMA 転送モード時は、最終バイト転送時のみ本ビットの値（TACK）が使用され、その他は常に“0”が送信されます。

Bits [2:0] : **TRNS[2:0] 送信コントロールコマンド**
動作指定および開始の指示をします。
 001 : I²C スタートコンディション
 010 : I²C ストップコンディション
 011 : I²C データレシーブ
 100 : I²C データトランスファ
 101, 110 : 使用不可
 000, 111 : エラーステータスレジスタのエラーフラグをクリアします。

I ² C バスステータスレジスタ							Read Only
I2C[0x0C] 初期値 = 00xx 0000b							
RUN*	予約	SDA	SCL	Using*	Busy*	Error*	Finish*
7	6	5	4	3	2	1	0

Note: (*) : ソフトウェアリセットでも初期化されます。
x : unknown (不定)

このレジスタは、I²C-BUS の状態を表すレジスタです。

Bit 7 : **RUN コマンド実行ステータス**

コマンドの動作の有無を示します。

- 0 : I²C-BUS (コマンド) 待ち状態
- 1 : I²C-BUS (コマンド) 実行中

Bit 6 : **予約**

Bit [5:4] : **SDA, SCL I²C-BUS モニタ**

現在の SDA, SCL の状態を示します。通常 SDA および SCL は外部でプルアップされているため HIGH になっており、それに対応した値を示します。

Bit 3 : **Using I²C-BUS 使用**

I²C シングルマスタが I2C-BUS を使用しているかどうかを示します。

- 0 : I²C シングルマスタは I²C-BUS を使用していない状態
- 1 : I²C シングルマスタが I²C-BUS を使用中

Bit 2 : **Busy I²C-BUS ビジー**

I²C-BUS の使用状態を示します。

- 0 : I²C-BUS BusFree 状態
- 1 : I²C-BUS 使用中

Bit 1 : **Error エラー発生**

エラー発生の有無を示します。

- 0 : エラーなし
- 1 : エラー状態の発生
このビットは I²C コントロールレジスタのライトでクリアされます。

Bit 0 : **Finish コマンド実行終了**

コマンドの終了を示します。

- 0 : コマンド未実行、または実行中
- 1 : コマンド実行終了
このビットは、リセットが有効なとき (RESET# = LOW)、I²C コントロールレジスタのビット 5 (ソフトウェアリセット) = 1 のとき、または I²C コントロールレジスタのビット [2:0] (TRNS) に対する有効なコマンドの書き込みによってクリアされます。

17. I2C Single Master Core Module (I2C)

I ² C エラーステータスレジスタ							Read Only	
I2C[0x10] 初期値 = 0000 0000b								
予約			受信 アクリッジ *	SCL ミスマッチ*	SDA ミスマッチ*	ストップ コンディション *	スタート コンディション *	
7	6	5	4	3	2	1	0	

Note: (*) : ソフトウェアリセットでも初期化されます。

このレジスタは、エラー状態を表すレジスタです。

Bits [7:5] : **予約**

Bit 4 : **受信アクリッジメントエラー**
受信アクリッジによるエラーの有無を示します。
0 : エラーなし
1 : エラーあり

Bit 3 : **SCL ミスマッチエラー**
ISCL と OSCL の値不一致によるエラーの有無を示します。
0 : 正常動作中
1 : クロックの不一致検出あり

Bit 2 : **SDA ミスマッチエラー**
ISDA と OSDA の値不一致によるエラーの有無を示します。
0 : 正常動作中
1 : データの不一致検出あり

Bit 1 : **ストップコンディション検出**
ストップコンディション発生によるエラーの有無を示します。
0 : 正常動作中
1 : コマンドによるストップコンディション発生時以外のストップコンディションの検出あり

Bit 0 : **スタートコンディション検出**
スタートコンディション発生によるエラーの有無を示します。
0 : 正常動作中
1 : コマンドによるスタートコンディション発生時以外での、スタートコンディションの検出あり

注意 : これらのエラーステータスは、リセットが有効なとき (**RESET# = LOW**)、I²C コントロールレジスタのビット 5 (ソフトウェアリセット) = 1 のとき、または I²C コントロールレジスタのビット[2:0] (**TRNS**) に対する有効なコマンドの書き込みによってクリアされます。

I ² C 割り込みコントロール／ステータスレジスタ							
I2C[0x14] 初期値 = 0000 0000b				Read/Write			
予約 (0)				エラーINT ステータス フラグ*	終了 INT ステータス フラグ*	エラーINT イネーブル*	終了 INT イネーブル*
7	6	5	4	3	2	1	0

Note: (*) : ソフトウェアリセットでも初期化されます。

Bits [7:4] : **予約 (0)**

Bit 3 : **エラー発生による割り込みステータスフラグ**

このビットは Bit 1 = 1 のときのみ有効です。

0 : エラー未発生

1 : エラー発生による割り込み要求発生

このビットに “1” をライトすることにより、このフラグはクリアされます。

Bit 2 : **コマンド終了割り込みステータスフラグ**

このビットは Bit 0 = 1 のときのみ有効です。

0 : コマンド終了割り込みイネーブルビット (Bit 0) = 0、またはコマンドが未終了

1 : コマンド終了による割り込み要求発生

このビットに “1” をライトすることにより、このフラグはクリアされます。

Bit 1 : **エラー発生割り込みイネーブル**

エラー発生による割り込みのコントロールをします。

0 : エラー発生による割り込み発生ディセーブル

1 : エラー発生による割り込み発生イネーブル

Bit 0 : **コマンド終了割り込みイネーブル**

コマンド終了による割り込み発生コントロールをします。

0 : コマンド終了による割り込み発生ディセーブル

1 : コマンド終了による割り込み発生イネーブル

I ² C-BUS サンプルクロック分周設定レジスタ							
I2C[0x18] 初期値 = 0000 0000b				Read/Write			
予約 (0)				分周比 (I ² C サンプル) [3:0]			
7	6	5	4	3	2	1	0

マスタクロックを分周することによって I2C-BUS サンプルクロックを生成します。

Bits [7:4] : **予約ビット (0)**

Bits [3:0] : **分周比 (I²C サンプル) [3:0]**

マスタクロックから I²C-BUS サンプルクロックを生成するための分周比を設定します。

I²C-BUS サンプルクロックの周波数 ($f_{I2C \text{ サンプル}}$) は 以下の式で求められます。

Bits[3:0] > 0 のとき :

$$f_{I2C \text{ サンプル}} = f_{PCLK} / (4 * m) \text{ [Hz]}$$

Bits[3:0] = 0 のとき :

$$f_{I2C \text{ サンプル}} = f_{PCLK} / 2 \text{ [Hz]}$$

注意 : 上記式において、m = 分周比 (I²C サンプル) [3:0]

17. I2C Single Master Core Module (I2C)

I ² C SCL クロック分周設定レジスタ							
I2C[0x1C] 初期値 = 0000 0000b						Read/Write	
予約 (0)					分周比(SCL) [2:0]		
7	6	5	4	3	2	1	0

SCL を生成するための分周比を設定するレジスタです。

Bits [7:3] : **予約 (0)**

Bit [2:0] : **分周比(SCL) [2:0]**

I²C-BUS サンプルクロックから SCL を生成するための分周比を設定します。

I²C-BUS 転送時の SCL の周波数 (f_{SCL}) は以下の式で決定します。

分周比 (I²C サンプル) [3:0] > 0 のとき :

$$\begin{aligned} f_{SCL} &= f_{I2C \text{ サンプル}} / (2^n * 4) \\ &= f_{PCLK} / \{ (4 * m) * (2^n * 4) \} \\ &= f_{PCLK} / (16 * m * 2^n) \quad [Hz] \end{aligned}$$

分周比 (I²C サンプル) [3:0] = 0 のとき :

$$\begin{aligned} f_{SCL} &= f_{PCLK} / \{ 2 * (2^n * 4) \} \\ &= f_{PCLK} / (8 * 2^n) \quad [Hz] \end{aligned}$$

注意 : 上記式において、“m” および “n” を以下のように指定 :

m = 分周比 (I²C サンプル) [3:0]

(I²C-BUS サンプルクロック分周設定レジスタ Bits[3:0] 参照)

n = 分周比(SCL) [2:0]

I ² C I/O コントロールレジスタ							
I2C[0x20] 初期値 = 0000 0000b						Read/Write	
予約 (0)		High Drive SDA	Sample SDA	予約 (0)		High Drive SCL	Sample SCL
7	6	5	4	3	2	1	0

出力モード選択と、ノイズフィルタの有効、無効を決定するレジスタです。

Bits [7:6] : **予約 (0)**

Bit 5 : **SDA の HIGH ドライブイネーブル**

0 : “SDA=1” は IC 外部のプルアップ抵抗により制御

1 : “SDA=1” は本 IC 自身が “High” をドライブすることにより制御

Bit 4 : **SDA のサンプリングイネーブル**

0 : SDA 入力として、I²C-BUS サンプルクロックにより 1 データサンプリング

1 : SDA 入力として、I²C-BUS サンプルクロックにより 2 データサンプリング

注意 : 本ビットは “0” でご使用ください。

Bits [3:2] : **予約 (0)**

Bit 1 : **SCL の HIGH ドライブイネーブル**

0 : “SCL=1” は IC 外部のプルアップ抵抗により制御

1 : “SCL=1” は本 IC 自身が “High” をドライブすることにより制御

Bit 0 : **SCL のサンプリングイネーブル**
 0 : SCL 入力として、I²C-BUS サンプルクロックにより 1 データサンプリング
 1 : SCL 入力として、I²C-BUS サンプルクロックにより 2 データサンプリング
 注意 : 本ビットは “0” でご使用ください。

I ² C DMA モードレジスタ							
I2C[0x24] 初期値 = 0000 0000b						Read/Write	
予約 (0)						DMA_MODE [1:0]	
7	6	5	4	3	2	1	0

Bits[7:2] : **予約 (0)**

Bits [1:0] : **DMA_MODE[1:0] DMA モード設定**
 00 : DMA 転送を使用しない。
 01 : シングルアドレスモード
 10 : デュアルアドレスモード (EOP なし) 。DMA カウンタ使用。
 11 : デュアルアドレスモード (EOP あり) 。
 転送中 (Start(restart)から Stop まで) の DMA モードの ON/OFF の切り替えは可能ですが、使用する DMA モード (Single、Dual (EOP あり)、Dual (EOP なし)) の切り替えはしないでください。
 バースト転送はサポートしていません。

I ² C DMA カウンタ値 (LSB) レジスタ							
I2C[0x28] 初期値 = 0000 0000b						Read/Write	
DMA カウンタ値(LSB)							
7	6	5	4	3	2	1	0

ライト時 : DMA カウンタ値の下位バイト[7:0]をセットするレジスタです。
 リード時 : DMA カウンタ値の下位バイト[7:0]を返します。

I ² C DMA カウンタ値 (MSB) レジスタ							
I2C[0x2C] 初期値 = 0000 0000b						Read/Write	
DMA カウンタ値(MSB)							
7	6	5	4	3	2	1	0

ライト時 : DMA カウンタ値の上位バイト[15:8]をセットするレジスタです。
 リード時 : DMA カウンタ値の上位バイト[15:8]を返します。

17. I2C Single Master Core Module (I2C)

I ² C DMA ステータスレジスタ							
I2C[0x30] 初期値 = 0000 1000b				Read Only			
予約				TBUF Empty*	RBUF Update*	RDREQ Monitor*	WDREQ Monitor*
7	6	5	4	3	2	1	0

Note: (*) : ソフトウェアリセットでも初期化されます。

Bits[7:4] : **予約**

Bit 3 : **TBUF_Empty 送信バッファエンプティ**

I²C シングルマスタコアの送信データバッファ (TBUF) の書き込みが可能かどうかを示します。

0 : 送信バッファに未送信のデータあり

1 : 送信バッファエンプティ。書き込み可能

Bit 2 : **RBUF_Update 受信バッファ更新**

I²C 受信データバッファ (RBUF) のデータが更新されたものかどうかを示します。

0 : 受信バッファが未更新

1 : 受信バッファのデータが更新済み

Bit 1 : **Reserved (RDREQ Monitor RDREQ 信号モニタ)**

RDREQ 信号の状態を示します。

0 : RDREQ 端子の信号が Low であることを示します。

1 : RDREQ 端子の信号が High であることを示します。

注意 : このビットは状態が変化しますが、使用はできません。

Bit 0 : **Reserved (WDREQ Monitor WDREQ 信号モニタ)**

WDREQ 信号の状態を示します。

0 : WDREQ 端子の信号が Low であることを示します。

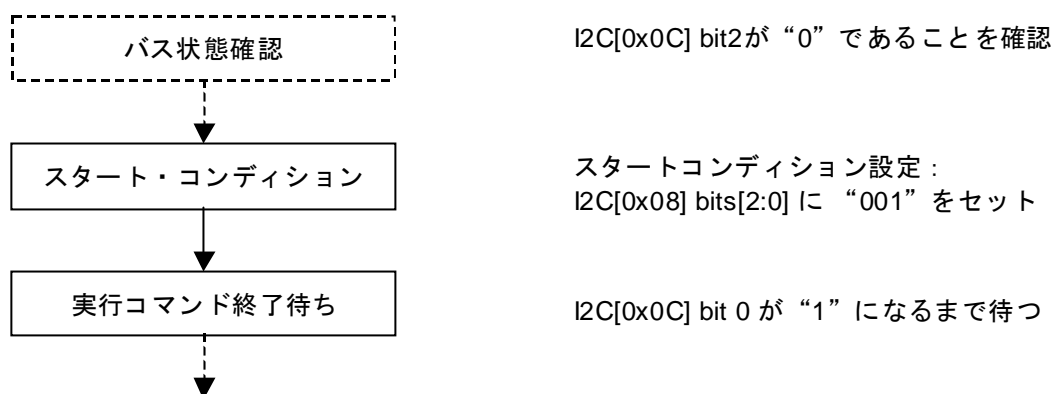
1 : WDREQ 端子の信号が High であることを示します。

注意 : このビットは状態が変化しますが、使用はできません。

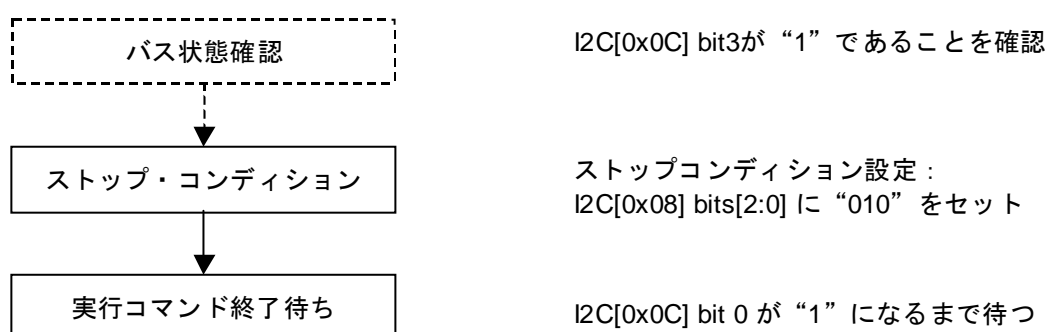
17.5 動作説明（バス・コントロール・コマンド使用例）

以下は、本モジュールによる I2C バスをコントロールする例です。実際は、状態確認やエラー発生時の対応等が必要となる場合があります。また、具体的なコントロール方法は、スレーブ機器の仕様に依存します。

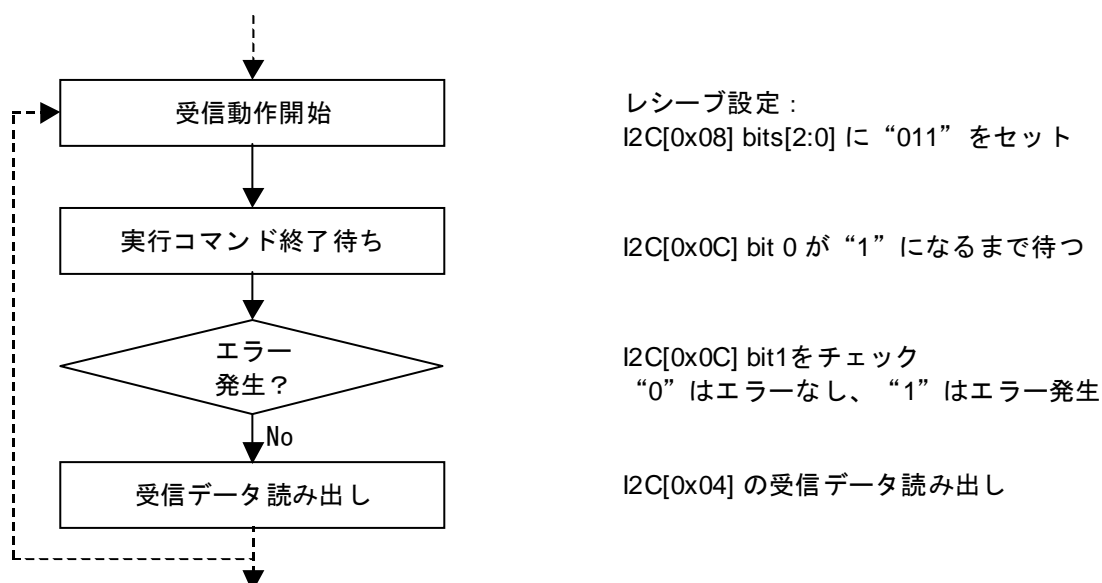
17.5.1 スタート（S）フロー例



17.5.2 ストップ（P）フロー例

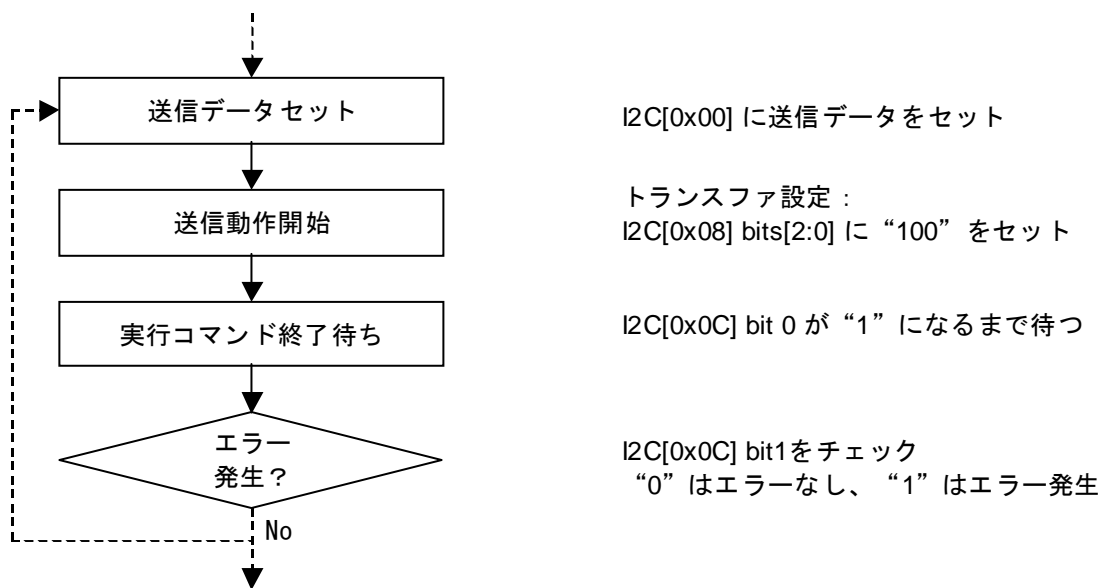


17.5.3 レシーブ（R）フロー例



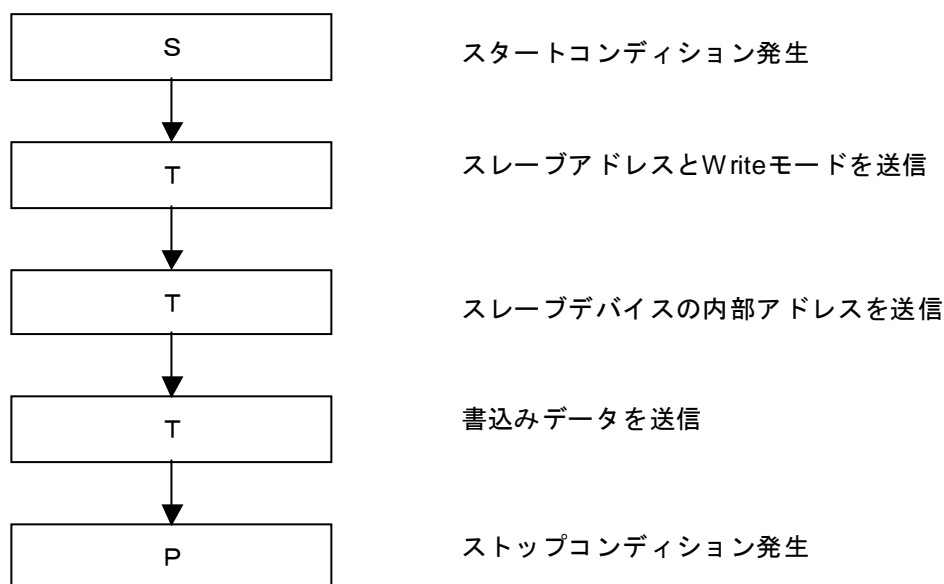
17. I2C Single Master Core Module (I2C)

17.5.4 トランスファ（T）フロー例



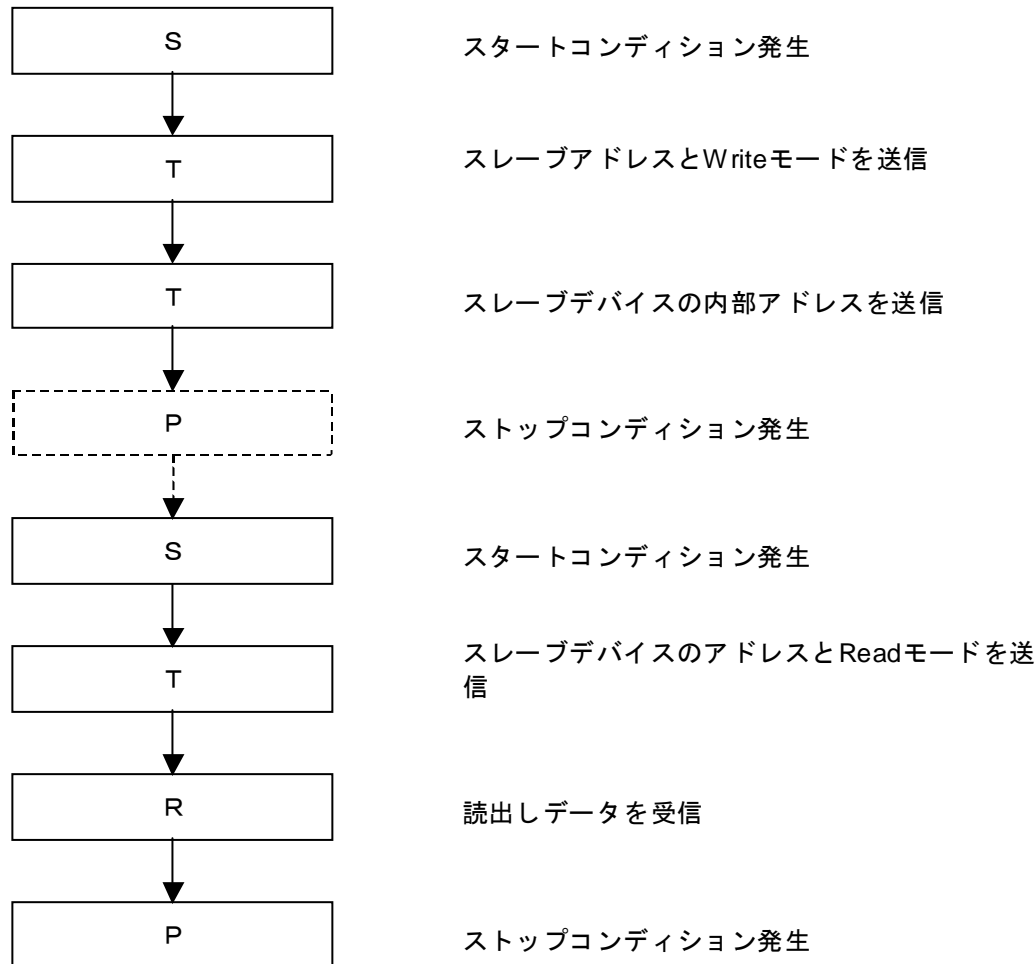
17.5.5 スレーブ機器への書込みシーケンス例

図中の S/P/R/T は、前述のスタート/ストップ/レシーブ/トランスファの各フローに対応します。



17.5.6 スレーブからの読出しシーケンス例

図中の S/P/R/T は、前述のスタート/ストップ/レシーブ/トランスファの各フローに対応します。



17.6 本 I2C Single Master Core Module (I2C)の利用制限事項

以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
I2C[0x30] Bit 0	WDREQ 信号モニタ	使用不可
I2C[0x30] Bit 1	RDREQ 信号モニタ	使用不可

18. I²S (I2S)

18.1 概要

I²S は Philips 社が策定した I²S 規格に準拠しています。このモジュールは主に音声／オーディオデータの通信に使用します。I²S は 2Channel の通信ができるようになっています。Channel 毎に送信か受信かを選択できますので、例えば Audio デバイスからの音声／オーディオデータの受信と Audio デバイスへの音声／オーディオデータの送信を同時に行えるだけでなく、異なる 2 つの Audio デバイスから同時に受信することもできます。

18.1.1 機能

I²S が実現している機能は以下のとおりです。

- マスターモード (SCK と WS を出力) とスレーブモード (SCK と WS を入力) が選択可能
- 送信モード (SD を出力) と受信モード (SD を入力) を選択可能
- 16 ビット、14 ビット、8 ビットのデータ幅に対応
- ステレオ、モノラルを選択可能
- 32fs、64fs、128fs、256fs のフレームサイクルに対応
- ソースクロックの 1/2~1/512 まで 256 段階でクロック分周選択可能 (マスターモードのみ)
- DMA 対応
- クロック共有機能 (2Channel で使用するクロックを共通にする)
- FIFO オーバーフロー、アンダーフロー検出
- FIFO の 6 種類の状態による割り込み発生
- 0 出力機能 (送信モード、FIFO アンダーフロー時)
- モノラルステレオ変換 (送信モードのみ)

18.2 ブロック図

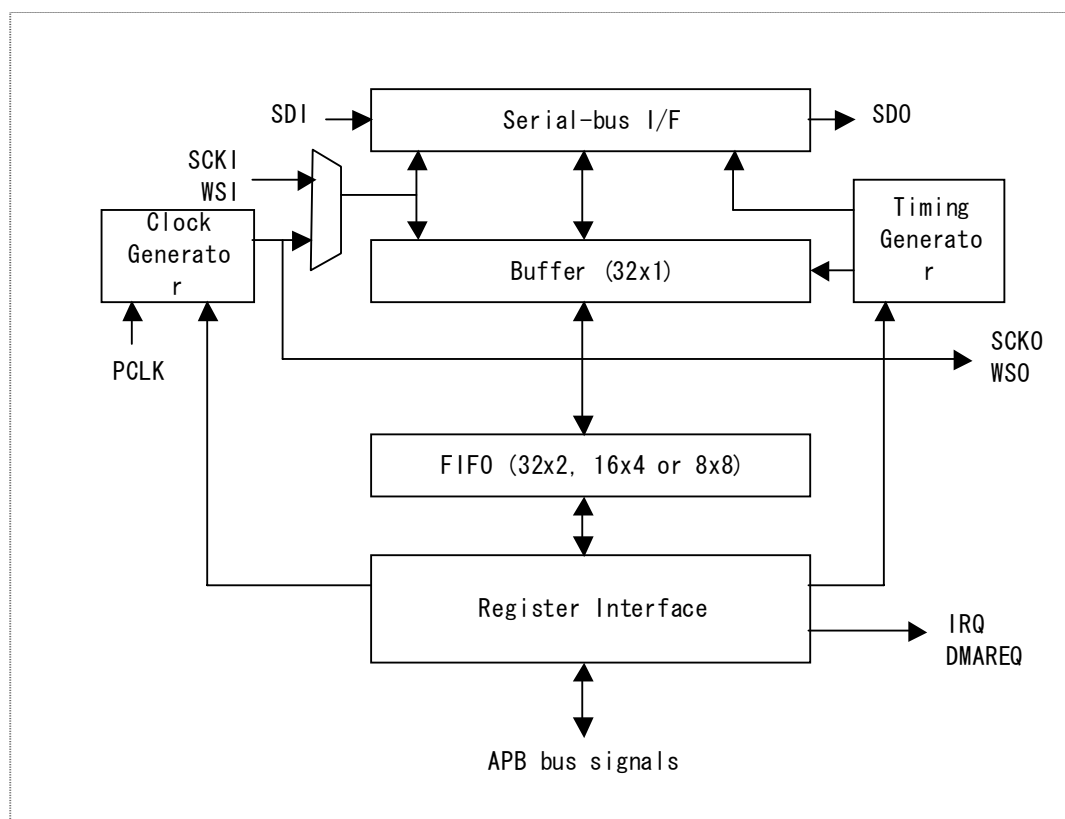


図 18.1 I2S ブロック図

18.3 外部端子

I²S に関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子／備考
I2S_SCK (I2S0_SCK)	入出力	I2S0 用シリアルクロック	GPIOB1 (*)
I2S_WS (I2S0_WS)	入出力	I2S0 用ワードセレクト	GPIOB0 (*)
I2S_SDO (I2S0_SD)	入出力	I2S0 用シリアルデータ	GPIOB2 (*)
(I2S1_SCK)	入出力	I2S1 用シリアルクロック	GPIOA3 (**)
(I2S1_WS)	入出力	I2S1 用ワードセレクト	GPIOA2 (**)
I2S_SDI (I2S1_SD)	入出力	I2S1 用シリアルデータ	GPIOB3 (*)

注意(*)： I2S 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

注意(**)： I2S1 用の WS/SCK 外部端子は、I2S0 を送信モード/I2S1 を受信モードに設定することで外部接続は必要ありません。接続を行う場合は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2”に設定することにより使用できます。

18.4 レジスタ説明

18.4.1 レジスタ一覧

I²S の制御レジスタが配置されているデフォルトのベースアドレスは、0xFFFFE_E000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 18.1 I2S[1:0]レジスタ一覧

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
I2S0 制御レジスタ ベースアドレス：0xFFFFE_E000				
0x00	I2S0 制御レジスタ	0x0000	R/W	16/32
0x04	I2S0 クロック分周レジスタ	0x0000	R/W	16/32
0x08	I2S0 送受信ポートレジスタ	-	R/W	8/16/32
0x10	I2S0 割り込みステータスレジスタ	0x0000	R/W	16/32
0x14	I2S0 割り込みロウステータスレジスタ	0x0009	RO	16/32
0x18	I2S0 割り込みイネーブルレジスタ	0x0000	R/W	16/32
0x1C	I2S0 カレントステータスレジスタ	0x0009	RO	16/32
I2S1 制御レジスタ ベースアドレス：0xFFFFE_E000				
0x40	I2S1 制御レジスタ	0x0000	R/W	16/32
0x44	I2S1 クロック分周レジスタ	0x0000	R/W	16/32
0x48	I2S1 送受信ポートレジスタ	-	R/W	8/16/32
0x50	I2S1 割り込みステータスレジスタ	0x0000	R/W	16/32
0x54	I2S1 割り込みロウステータスレジスタ	0x0009	RO	16/32
0x58	I2S1 割り込みイネーブルレジスタ	0x0000	R/W	16/32
0x5C	I2S1 カレントステータスレジスタ	0x0009	RO	16/32

18. I2S (I2S)

18.4.2 レジスタ詳細説明

I2S[1:0]制御レジスタ I2S0[0x00], I2S1[0x40] 初期値 = 0x0000 Read/Write							
15	n/a	13	CNVM2S	FRAMECYC [1:0]	CLKOUTEN	CLKSEL	
	14		12	11	10	9	8
SFTRST (WO)	DATAWIDTH [1:0]		MONO/ STEREO	DMAEN	TX/RX	MST/SLV	I2SEN
7	6	5	4	3	2	1	0

- Bit 12 : **CNVM2S モノラル・ステレオ変換（送信モードのみ）**
モノラルデータをステレオデータに変換して送信します。具体的にはLチャンネルで送信されるモノラルデータをRチャンネルでも送信します。
0 : モノラル・ステレオ変換無効
1 : モノラル・ステレオ変換有効
- Bits [11:10] : **FRAMECYC [1:0] フレームサイクル選択（マスターモードのみ）**
フレームサイクル数を制御します。このレジスタビットはマスターモードのみ有効です。
スリープモードでは、データ幅 x 2 以上 256fs 以下の偶数となるフレームサイクル数が使用できません。
00 : 32fs
01 : 64fs
10 : 128fs
11 : 256fs
- Bit 9 : **CLKOUTEN クロック出力イネーブル（マスターモードのみ）**
クロック出力を制御します。
0 : クロック出力ディゼーブル
1 : クロック出力イネーブル
- Bit 8 : **CLKSEL クロック選択**
クロックソースを選択します。
0 : 外部から来る SDI/WSI（スリープモード）または自生成クロック／ワードセレクト（マスターモード）を使用します
1 : もう一つの Channel が使用するクロック及びワードセレクトを共用して使用します
このレジスタビットは、I2S クロックと I2S ワードセレクト信号を他の Channel の I2S を共有するときに使用します。
注意： このレジスタビットを“1”にするときは、同レジスタの Bit 1 を“0”にし、スリープモードにしてください。クロック共有機能はマスターモードで使用できません。
- Bit 7 : **SFTRST ソフトウェアリセット (Write Only)**
FIFO データ、シフトレジスタおよび内部制御回路をリセットします。マスターモード時に使用するクロック生成回路はリセットされません。同じくマスターモード時に使用するワードセレクト生成回路は、受信モード時はリセットされませんが、送信モード時は出力が“1”になるようにリセットされます。
0 : n/a
1 : ソフトウェアリセット
- Bits [6:5] : **DATAWIDTH [1:0] データビット幅**
データのビット幅を選択します。
00 : 16 ビット
01 : 14 ビット
10 : 8 ビット
11 : Reserved

- Bit 4 : **MONO/ STEREO モノラル／ステレオ選択**
 データがステレオタイプかモノラルタイプかを選択します。
 0 : ステレオタイプ
 1 : モノラルタイプ
- Bit 3 : **DMAEN DMA イネーブル**
 DMA を使用するか、使用しないかを選択します。
 0 : DMA ディゼーブル (DMA リクエストを発行しない)
 1 : DMA イネーブル (DMA リクエストを DMA コントローラ 1 に発行する)
- Bit 2 : **TX/RX 送信／受信選択**
 I2S を送信モードで使用するか、受信モードで使用するかを選択します。
 0 : 受信モード (データを入力)
 1 : 送信モード (データを出力)
- Bit 1 : **MST/SLV マスター／スレーブ選択**
 I2S をマスターモードで使用するか、スレーブモードで使用するかを選択します。
 0 : スレーブモード (クロックとワードセレクトを入力)
 1 : マスターモード (クロックとワードセレクトを出力)
- Bit 0 : **I2SEN I2S イネーブル**
 I2S モジュールのイネーブル制御を行います。
 0 : I2S ディゼーブル
 1 : I2S イネーブル

I2S[1:0]クロック分周レジスタ I2S0[0x04], I2S1[0x44]								初期値 = 0x0000	Read/Write
n/a									
15	14	13	12	11	10	9	8		
CLKDIV [7:0]									
7	6	5	4	3	2	1	0		

- Bit[7:0] : **CLKDIV [7:0] クロック分周 (マスターモードのみ)**
 マスターモード時に出力クロックのソースクロックからの分周数を設定します。

$$\text{クロック分周数} = (\text{CLKDIV} + 1) \times 2$$

 この設定によりサンプリング周波数は以下のようになります。

$$\text{サンプリング周波数} = \frac{\text{ソースクロック周波数}}{(\text{クロック分周数} \times \text{フレームサイクル})}$$

 S2S65A30 ではソースクロック周波数は、システムクロック周波数と同じになります。

18. I2S (I2S)

I2S[1:0]送受信ポートレジスタ															
I2S0[0x08], I2S1[0x48]															
初期値 = -															
Read/Write															
TXD/RXD [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXD/RXD [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit[31:0] : **TXD/RXD [31:0] 送受信ポート[31:0]**
 受信モード時
 リード : FIFO に溜まった I2S のデータを読み出します。
 ライト : n/a
 送信モード時
 リード : n/a
 ライト : FIFO に I2S のデータを書きます。

1 回のアクセスで読み書きできるデータは、データ幅及びステレオ／モノラル設定によって異なります。

- 16 ビットステレオ :
 - TXD/RXD[31:16] 右データ
 - TXD/RXD[15:0] 左データ
- 14 ビットステレオ :
 - TXD/RXD[31:30] 0 データ
 - TXD/RXD[29:16] 右データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] 左データ
- 8 ビットステレオ
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:8] 右データ
 - TXD/RXD[7:0] 左データ
- 16 ビットモノラル :
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:0] モノラルデータ
- 14 ビットモノラル :
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] モノラルデータ
- 8 ビットモノラル :
 - TXD/RXD[31:8] 無効データ
 - TXD/RXD[7:0] モノラルデータ

注意 : 送受信ポートレジスタはサンプリング単位でデータを扱っていますので、1 回のレジスタアクセスで 1 つのサンプリングデータがすべて読み書きされなければなりません。例えば 16 ビットステレオの場合、左データのみを 16 ビットアクセスで読み出したとしても、右データは次のデータに更新されてしまいますので、32 ビットアクセスで左右両方のデータを一度で読み出すようにしてください。

I2S[1:0]割り込みステータスレジスタ							
I2S0[0x10], I2S1[0x50]				初期値 = 0x0000			
Read/Write							
				n/a			
15	14	13	12	11	10	9	8
n/a		OVERFLOWFLG	UNDERFLOWFLG	NOTFULLFLG	NOTEMPTYFLG	FULLFLG	EMPTYFLG
7	6	5	4	3	2	1	0

このレジスタは、ロウ割り込みステータスレジスタ (I2S0[0x14]、I2S1[0x54]) と割り込みイネーブルレジスタ (I2S0[0x18]、I2S1[0x58]) とをビット AND した結果を示しています。

Bit 5 :

OVERFLOWFLG FIFO オーバーフロー割り込みフラグ

FIFO が 1 度でもオーバーフローになったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもオーバーフローになっていません

リード 1 : FIFO が 1 度はオーバーフローになりました

このフラグが “1” を書いたことでクリアされるかどうかはモードによって異なります。

送信モード : 必ずクリアされます。オーバーフローした分のデータはオーバーフローを起こした時点で無くなっています。すでに FIFO になったデータはそのままです。

受信モード : FIFO がフルではない状態が I2S クロック 1 クロック分に期間続いた後に試みた場合はクリアされます。またソフトウェアリセットを実行した後に試みた場合もクリアされます。

Bit 4 :

UNDERFLOWFLG FIFO アンダーフロー割り込みフラグ

FIFO が 1 度でもアンダーフローになったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度もアンダーフローになっていません

リード 1 : FIFO が 1 度はアンダーフローになりました

このフラグが “1” を書いたことでクリアされるかどうかはモードによって異なります。

送信モード : FIFO にデータを書いた後 I2S クロック 1 クロック分後に試みた場合はクリアされます。またソフトウェアリセットを実行した後に試みた場合もクリアされます。

受信モード : 必ずクリアされます。アンダーフローで取得したデータの値は保証されません。

Bit 3 :

NOTFULLFLG FIFO ノットフル割り込みフラグ

FIFO が 1 度でもフルではない状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度もフルではない状態になっていません

リード 1 : FIFO が 1 度はフルではない状態になりました

このフラグが “1” を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がフル状態 : フラグはクリアされます。

FIFO がフルではない状態 : フラグはクリアされません。

18. I2S (I2S)

Bit 2 : **NOTEEMPTYFLG FIFO ノットエンプティ割り込みフラグ**

FIFO が 1 度でもエンプティではない状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもエンプティではない状態になっていません

リード 1 : FIFO が 1 度はエンプティではない状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がエンプティ状態 : フラグはクリアされます。

FIFO がエンプティではない状態 : フラグはクリアされません。

Bit 1 : **FULLFLG FIFO フル割り込みフラグ**

FIFO が 1 度でもフル状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度もフル状態になっていません

リード 1 : FIFO が 1 度はフル状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がフル状態 : フラグはクリアされません。

FIFO がフルではない状態 : フラグはクリアされます。

Bit 0 : **EMPTYFLG FIFO エンプティ割り込みフラグ**

FIFO が 1 度でもエンプティ状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度もエンプティ状態になっていません

リード 1 : FIFO が 1 度はエンプティ状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がエンプティ状態 : フラグはクリアされません。

FIFO がエンプティではない状態 : フラグはクリアされます。

I2S[1:0]ロウ割り込みステータスレジスタ							
I2S0[0x14], I2S1[0x54]				初期値 = 0x0009			
Read Only							
n/a							
15	14	13	12	11	10	9	8
n/a		RAW OVERFLOWFLG	RAW UNDERFLOWFLG	RAW NOTFULLFLG	RAW NOTEEMPTYFLG	RAWFULLFLG	RAW EMPTYFLG
7	6	5	4	3	2	1	0

Bit 5 : **RAWOVERFLOWFLG ロウ FIFO オーバーフロー割り込みフラグ**

FIFO が 1 度でもオーバーフローになったかどうかを示します。

0 : FIFO が 1 度もオーバーフローになっていません

1 : FIFO が 1 度はオーバーフローになりました

Bit 4 : **RAWUNDERFLOWFLG ロウ FIFO アンダーフロー割り込みフラグ**

FIFO が 1 度でもアンダーフローになったかどうかを示します。

0 : FIFO が 1 度もアンダーフローになっていません

1 : FIFO が 1 度はアンダーフローになりました

- Bit 3 : **RAWNOTFULLFLG ロー FIFO ノットフル割り込みフラグ**
 FIFO が 1 度でもフルではない状態になったかどうかを示します。
 0 : FIFO が 1 度でもフルではない状態になっていません
 1 : FIFO が 1 度はフルではない状態になりました
- Bit 2 : **RAWNOTEMPTYFLG ロー FIFO ノットエンプティ割り込みフラグ**
 FIFO が 1 度でもエンプティではない状態になったかどうかを示します。
 0 : FIFO が 1 度でもエンプティではない状態になっていません
 1 : FIFO が 1 度はエンプティではない状態になりました
- Bit 1 : **RAWFULLFLG ロー FIFO フル割り込みフラグ**
 FIFO が 1 度でもフル状態になったかどうかを示します。
 0 : FIFO が 1 度でもフル状態になっていません
 1 : FIFO が 1 度はフル状態になりました
- Bit 0 : **RAWEMPTYFLG ロー FIFO エンプティ割り込みフラグ**
 FIFO が 1 度でもエンプティ状態になったかどうかを示します。
 0 : FIFO が 1 度でもエンプティ状態になっていません
 1 : FIFO が 1 度はエンプティ状態になりました

I2S[1:0]割り込みイネーブルレジスタ							
I2S0[0x18], I2S1[0x58]				初期値 = 0x0000			
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a		OVERFLOW IRQEN	UNDERFLOW IRQEN	NOTFULL IRQEN	NOTEMPTY IRQEN	FULL IRQEN	EMPTY IRQEN
7	6	5	4	3	2	1	0

- Bit 5 : **OVERFLOWIRQEN FIFO オーバーフロー割り込みイネーブル**
 FIFO が 1 度でもオーバーフローになったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 4 : **UNDERFLOWIRQEN FIFO アンダーフロー割り込みイネーブル**
 FIFO が 1 度でもアンダーフローになったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 3 : **NOTFULLIRQEN FIFO ノットフル割り込みイネーブル**
 FIFO が 1 度でもフルではない状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 2 : **NOTEMPTYIRQEN FIFO ノットエンプティ割り込みイネーブル**
 FIFO が 1 度でもエンプティではない状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 1 : **FULLIRQEN FIFO フル割り込みイネーブル**
 FIFO が 1 度でもフル状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます

18. I2S (I2S)

- Bit 0 : **EMPTYIRQEN FIFO エンプティ割り込みイネーブル**
FIFO が 1 度でもエンプティ状態になったときに割り込みを発生させるかどうかを選択します。
0 : 割り込みを発生させません
1 : 割り込みを発生させます

I2S[1:0]カレントステータスレジスタ I2S0[0x1C], I2S1[0x5C] 初期値 = 0x0009 Read Only							
FIFOWPNTR [3:0]				FIFORPNTR [3:0]			
15	14	13	12	11	10	9	8
DMASTS	n/a			NOTFULLSTS	NOTEMPTYSTS	FULLSTS	EMPTYSTS
7	6	5	4	3	2	1	0

- Bit [15:12] : **FIFOWPNTR [3:0] FIFO ライトポインタ**
FIFO の現在のライトポインタを示します。(0x0 ~ 0xF)

- Bit [11:8] : **FIFORPNTR [3:0] FIFO リードポインタ**
FIFO の現在のリードポインタを示します。(0x0 ~ 0xF)

FIFO の実アドレスは、データサイズ及びステレオタイプかモノラルタイプかによって変わります。
ポインタの下位 1 ビット : 16 ビットステレオ、14 ビットステレオ
ポインタの下位 2 ビット : 16 ビットモノラル、14 ビットモノラル、8 ビットモノラル
ポインタの下位 3 ビット : 8 ビットモノラル

- Bit 7 : **DMASTS DMA ステータス**
DMA リクエストを現在発行しているかどうかを示します。
0 : DMA リクエストは発行していません
1 : DMA リクエストを発行しています

- Bit 3 : **NOTFULLSTS FIFO ノットフルカレントステータス**
FIFO が現在フルではない状態であるかどうかを示します。
0 : FIFO は現在フル状態です
1 : FIFO は現在フル状態ではありません

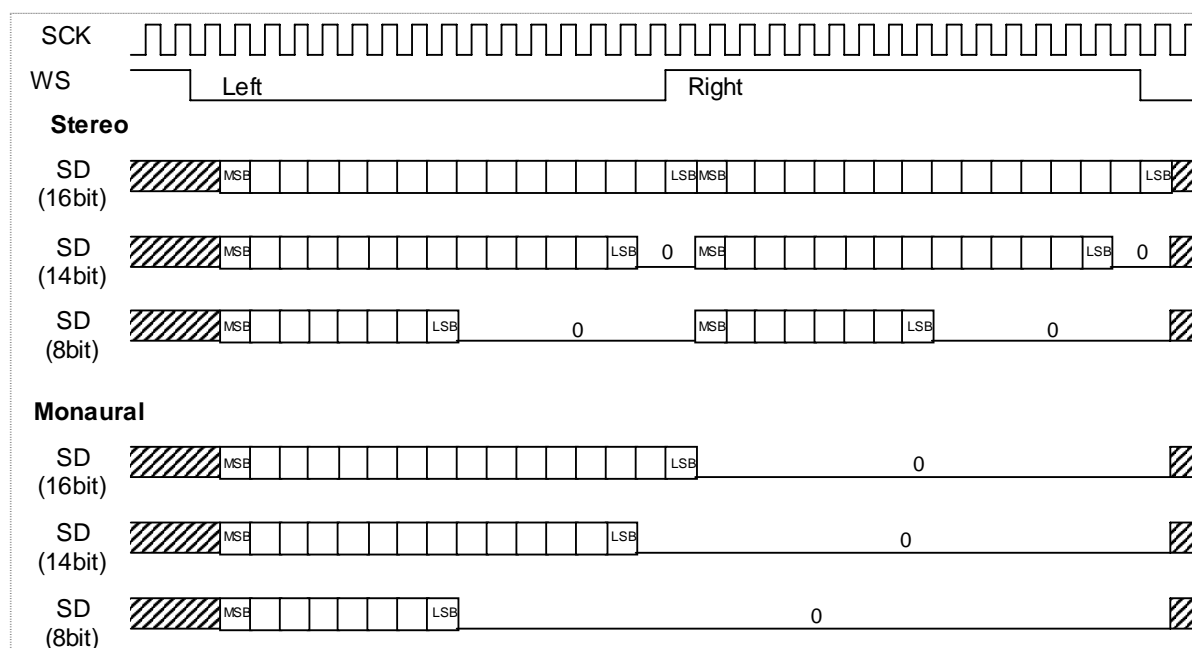
- Bit 2 : **NOTEMPTYSTS FIFO ノットエンプティカレントステータス**
FIFO が現在エンプティではない状態であるかどうかを示します。
0 : FIFO は現在エンプティ状態です。
1 : FIFO は現在エンプティ状態ではありません

- Bit 1 : **FULLSTS FIFO フルカレントステータス**
FIFO が現在フル状態であるかどうかを示します。
0 : FIFO は現在フル状態ではありません
1 : FIFO は現在フル状態です

- Bit 0 : **EMPTYSTS FIFO エンプティカレントステータス**
FIFO が現在エンプティ状態であるかどうかを示します。
0 : FIFO はエンプティ状態ではありません
1 : FIFO はエンプティ状態です

18.5 機能説明

18.5.1 I2S タイミングチャート (32fs)



18.5.2 データ幅と FIFO 段数

1 回のアクセスで読み書きできるデータは、データ幅及びステレオ／モノラル設定によって異なります。

- 16 ビットステレオ :
 - TXD/RXD[31:16] 右データ
 - TXD/RXD[15:0] 左データ
- 14 ビットステレオ :
 - TXD/RXD[31:30] 0 データ
 - TXD/RXD[29:16] 右データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] 左データ
- 8 ビットステレオ
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:8] 右データ
 - TXD/RXD[7:0] 左データ
- 16 ビットモノラル :
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:0] モノラルデータ
- 14 ビットモノラル :
 - TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] モノラルデータ
- 8 ビットモノラル :
 - TXD/RXD[31:8] 無効データ
 - TXD/RXD[7:0] モノラルデータ

注意：送受信ポートレジスタはサンプリング単位でデータを扱っていますので、1 回のレジスタアクセスで 1 つのサンプリングデータがすべて読み書きされなければなりません。例えば 16 ビットステレオの場合、左データのみを 16 ビットアクセスで読み出したとしても、右データは次のデータに更新されてしまいますので、32 ビットアクセスで左右両方のデータを一度で読み出すようにしてください。

18. I2S (I2S)

FIFO 段数は、データ幅及びステレオ／モノラル設定によって変化します。

FIFO2 段：16 ビットステレオ、14 ビットステレオ

FIFO4 段：16 ビットモノラル、14 ビットモノラル、8 ビットステレオ

FIFO8 段：8 ビットモノラル

18.5.3 DMA 転送

I2S は DMA コントローラ 1 を使用した DMA 転送が可能です。但し、使用可能なチャネルは 2/3 になります。送信モード時は FIFO がフル状態ではないときに DMA リクエストがアサートされ、受信モード時は FIFO がエンプティ状態ではないときに DMA リクエストがアサートされます。また FIFO がオーバーフローになった時点で DMA リクエストはネゲートされます。これは FIFO オーバーフローという異常状態のときに I2S に余計な動作をさせないための処置です。

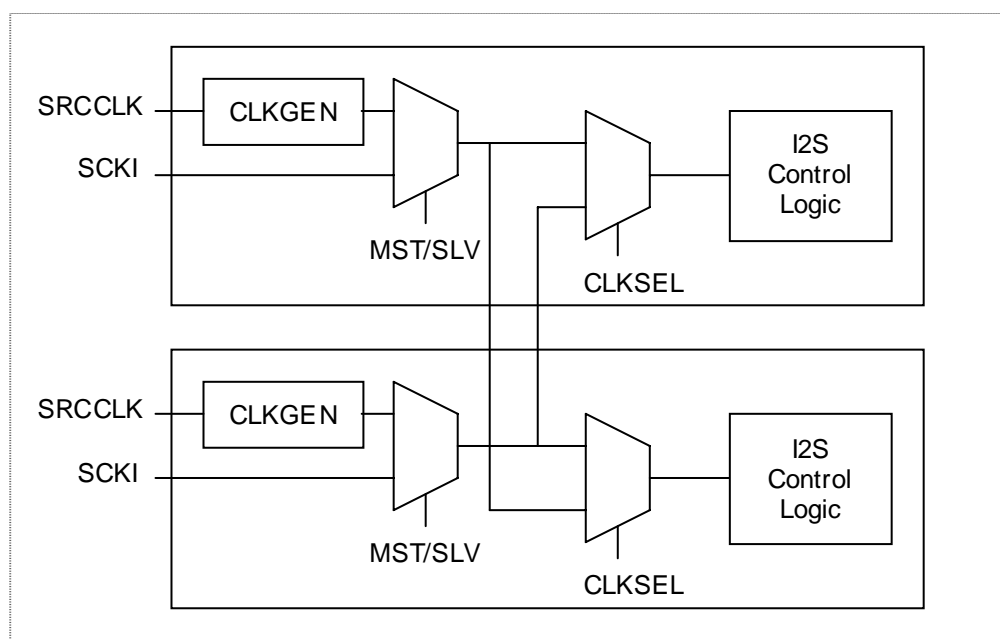
I2S0[0x00], I2S1[0x40] Bit 3 を “1” にすることで DMA 転送が有効になります。

18.5.4 INTC への割り込み

I2S は 2Channel 構成となっていますが、INTC への割り込み(IRQ31)は 2Channel を“OR”して送信しています。割り込み要因を確認する際は、2Channel 両方の I2S[1:0]割り込みステータスレジスタ(I2S0[0x10], I2S1[0x50])を確認する必要があります。

18.5.5 クロック選択（クロック共有）

I2S0[0x00], I2S1[0x40]の Bit 8 のクロック選択機能によって、使用するクロックを共有化することができます。共有化する回路は以下の構成になっています。



他の Channel からクロックを入力してクロック共有状態となった Channel はマスターモードでクロック出力ができなくなります。したがって I2S0[0x00], I2S1[0x40]の Bit 1 を “0” にし、スレーブモードで使用します。クロックを提供する側の Channel は、マスターモード、スレーブモードのどちらでも使用できます。

同一クロックを使用して I2S の送受信を同時に行う場合、このクロック選択機能を使用することで 4 つの信号ピンで実現できるようになります。

18.5.6 モノラルステレオ変換機能

モノラルデータをステレオタイプのオーディオに出力する場合に、モノラルデータをステレオデータに変換して出力することができます。L データしかないモノラルデータに対して L データを R データにコピーし、ステレオ化します。

送信モード時に I2S0[0x00], I2S1[0x40] Bit 12 を “1” にすることでステレオデータに変換されてデータが出力されます。

受信したステレオデータをモノラルデータに変換することはできません。

18.6 設定例

送受信をもつオーディオチップと SCK、WS、SDI、SDO の 4 本で接続し、オーディオチップのクロックとワードセレクト（LR クロック）を受信する場合の I2S レジスタ設定例を示します。I2S の I/O が他の I/O と共有している場合は、この設定の前に I2S の I/O が有効になるように GPIO のレジスタ設定を行う必要があります。

Channel0 の設定条件

- スレーブモード
- 送信モード
- DMA イネーブル
- 16ビットステレオ
- 32fs

Channel1 の設定条件

- スレーブモード
- 受信モード
- DMA イネーブル
- 16ビットステレオ
- 32fs
- クロック共有

設定手順

```
I2S0[0x00] = 0x00000005 # スレーブモード、送信モード、16 ビットステレオ、32fs
I2S0[0x18] = 0x00000030 # オーバーフロー、アンダーフロー割り込み有効
I2S0[0x00] = 0x00000085 # ソフトウェアリセット
I2S0[0x00] = 0x0000000D # DMA イネーブル
I2S1[0x40] = 0x00000101 # スレーブモード、受信モード、16 ビットステレオ、32fs、クロック共有
I2S1[0x58] = 0x00000030 # オーバーフロー、アンダーフロー割り込み有効
I2S1[0x40] = 0x00000181 # ソフトウェアリセット
I2S1[0x40] = 0x00000109 # DMA イネーブル
```

改訂履歷

[illegible]

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411697803
2009 年 9 月 作成
2011 年 11 月 改訂