

S2R72A4x シリーズ データシート

S2R72A44F12C4
S2R72A43F12C4
S2R72A42F12C4
S2R72A44F07E2
S2R72A43F07E2
S2R72A42F07E2

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍사용途に使用する目的をもって製品および弊社が提供する技術を費消、再販または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. 概要.....	1
2. 特長.....	2
3. ブロック図.....	3
4. 端子配置図.....	4
5. 端子機能説明.....	6
5.1 VBUS スイッチ制御.....	9
6. Descriptor.....	10
6.1 Device Descriptor.....	10
6.2 Device Qualifier Descriptor.....	10
6.3 Configuration Descriptor.....	11
6.4 Other Speed Configuration Descriptor.....	12
6.5 HUB Class Descriptor.....	12
7. リクエストリスト.....	13
7.1 Standard Request.....	13
7.2 Class-specific Request.....	14
8. 電気的特性.....	16
8.1 絶対最大定格.....	16
8.2 推奨動作条件.....	16
8.3 DC 特性.....	17
8.3.1 消費電流.....	17
8.3.2 入力特性.....	19
8.3.3 出力特性.....	20
8.3.4 端子容量.....	20
8.4 AC 特性.....	21
8.4.1 電源投入/切断タイミング.....	21
8.4.2 RESET タイミング.....	22
8.4.3 クロックタイミング.....	22
8.4.4 USB I/F タイミング.....	22
8.4.5 過電流検出タイミング.....	22
9. 外形寸法図.....	23
9.1 QFP12-48.....	23
9.2 SQFN7-48.....	24
改訂履歴表.....	25

1. 概要

S2R72A44F12C4、S2R72A43F12C4、S2R72A42F12C4、S2R72A44F07E2、S2R72A43F07E2、S2R72A42F07E2 は USB2.0 (Universal Serial Bus Specification Revision 2.0) 準拠のハイスピードモードに対応した、USB HUB コントローラ LSI です。車載向けの厳しい品質要求に対応し、Max.105°Cの動作温度に対応しています。

ハイスピードモード対応のダウンストリームポートを2ポート備え、フルスピードモード対応ダウンストリームポート数のバリエーションによる品揃えをしています。

メインチップの USB ホストポートを容易に拡張し、カーナビゲーションなどに、携帯音楽プレーヤ、ETC を初めとした複数の USB デバイスを接続できます。

2. 特長

2. 特長

- 広温度範囲
動作温度範囲 $-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$ に対応
- 低消費電力
パワーマネジメント機能により低消費電力を実現
- USB 仕様
アップストリームポート
HS (480Mbps)、FS (12Mbps) に対応 (自動検出)
ターミネーション内蔵 (外付け抵抗不要)
FS-HUB として動作する USB1.1 モードをサポート
ダウンストリームポート
S2R72A44 : 全 4 ポート HS 対応 2 ポート、FS 対応 2 ポート
S2R72A43 : 全 3 ポート HS 対応 2 ポート、FS 対応 1 ポート
S2R72A42 : 全 2 ポート HS 対応 2 ポート
HS 対応ポートは HS (480Mbps)、FS (12Mbps)、LS (1.5Mbps) に対応
FS 対応ポートは FS (12Mbps)、LS (1.5Mbps) に対応
全ポートターミネーション内蔵 (外付け抵抗不要)
4 個の non-periodic バッファを持つシングル・トランザクショントランスレータ内蔵
Gang または Individual をサポート (過電流制御)
メインチップとの接続を考慮したアップストリームポートの端子 (U0_DP/U0_DM) 配置
- その他仕様
12MHz の水晶発振子対応 (発振回路、帰還抵抗内蔵)
電源電圧 : USB 電源 3.3V、内部コア電圧 1.8V
パッケージ : QFP パッケージ (48pin、7mm \square 、0.5mm pitch、1.4mm 厚)
S2R72Ax $F12C4$ シリーズ
SQFN パッケージ (48pin、7mm \square 、0.5mm pitch、1.0mm 厚)
S2R72Ax $F07E2$ シリーズ

3. ブロック図

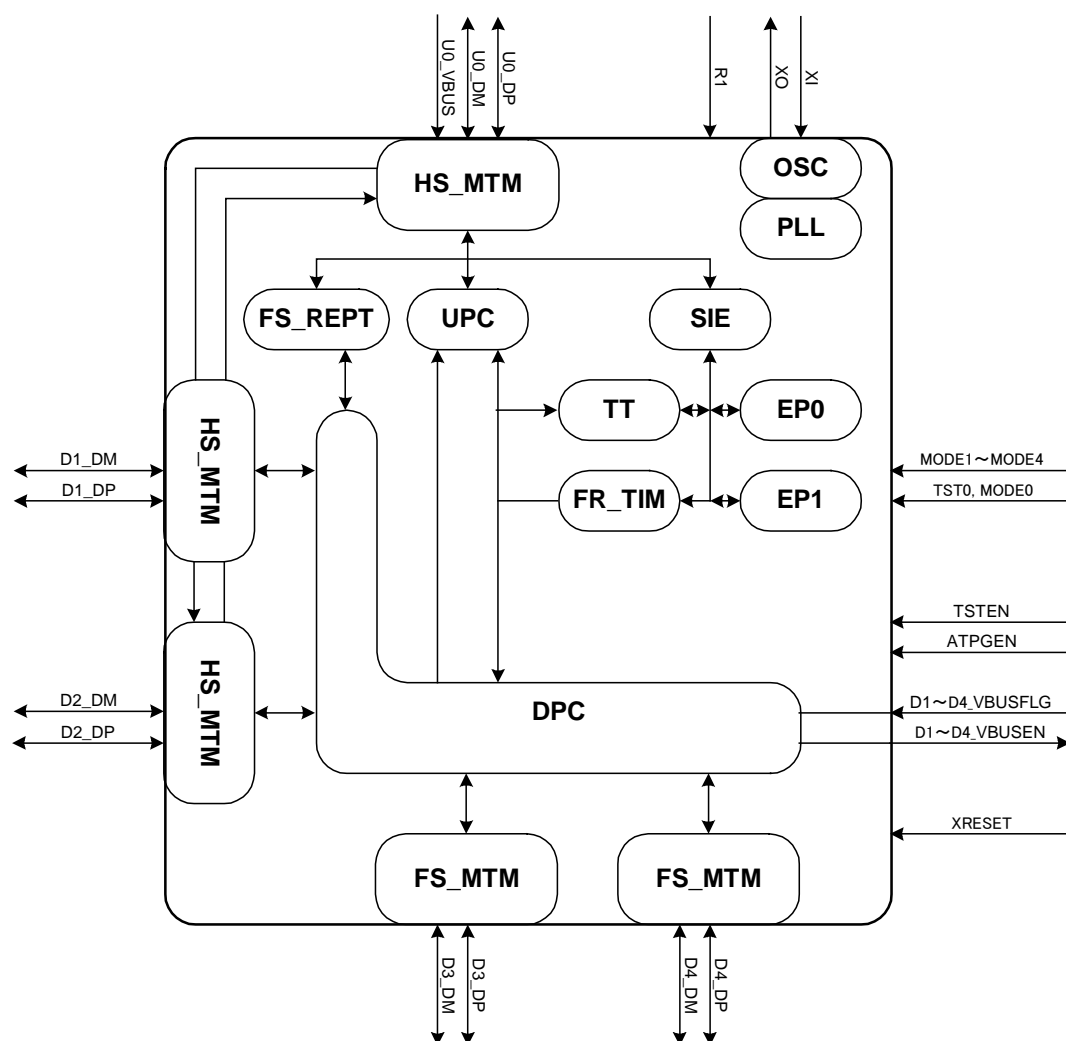


図 3.1 ブロック図

- DPC : ダウンストリームポートコントローラ
- EP0 : エンドポイント 0 コントローラ
- EP1 : エンドポイント 1 コントローラ
- FR_TIM : Frame タイマ
- FS_REPT : FS/LS リピータ回路
- FS_MTM : FS/LS Transceiver Macro 回路
- HS_MTM : HS/FS/LS Transceiver Macro 回路
- OSC : 発振回路 (帰還抵抗内蔵)
- PLL : Phase Locked Loop
- SIE : シリアルインターフェースエンジン
- TT : トランザクショントランスレータ
- UPC : アップストリームポートコントローラ

4. 端子配置図

4. 端子配置図

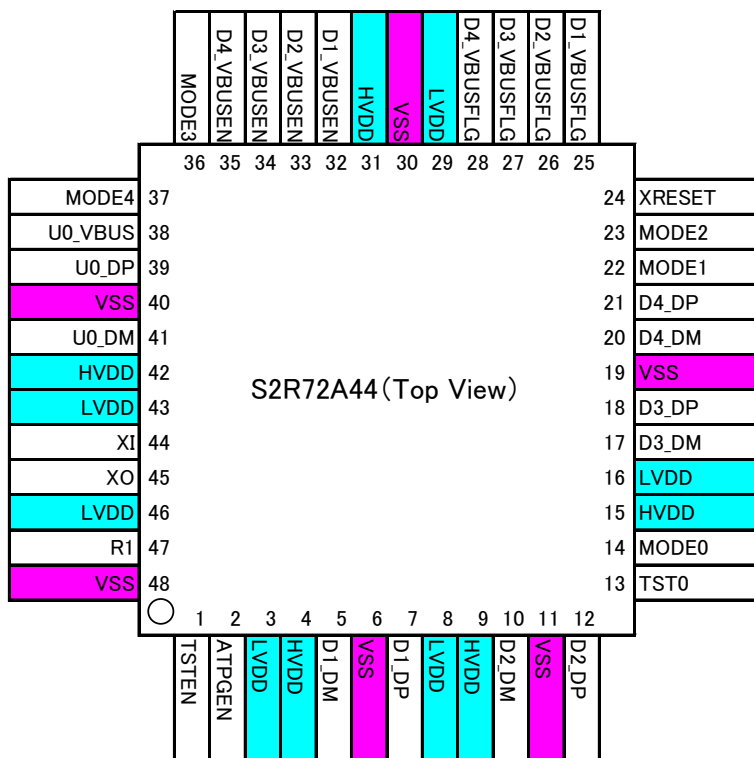


図 4.1 S2R72A44 パッケージ端子配置図 (QFP12-48, SQFN7-48)

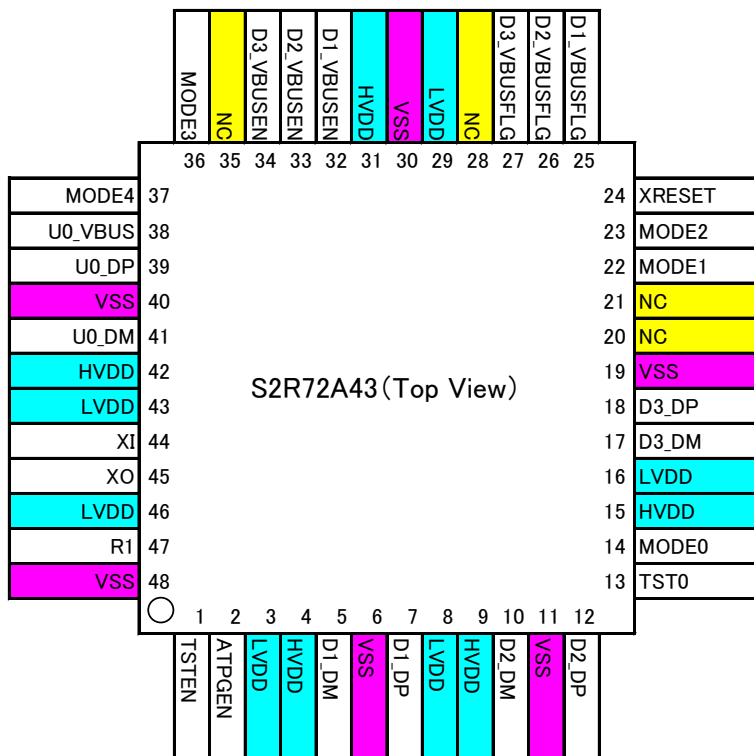


図 4.2 S2R72A43 パッケージ端子配置図 (QFP12-48, SQFN7-48)

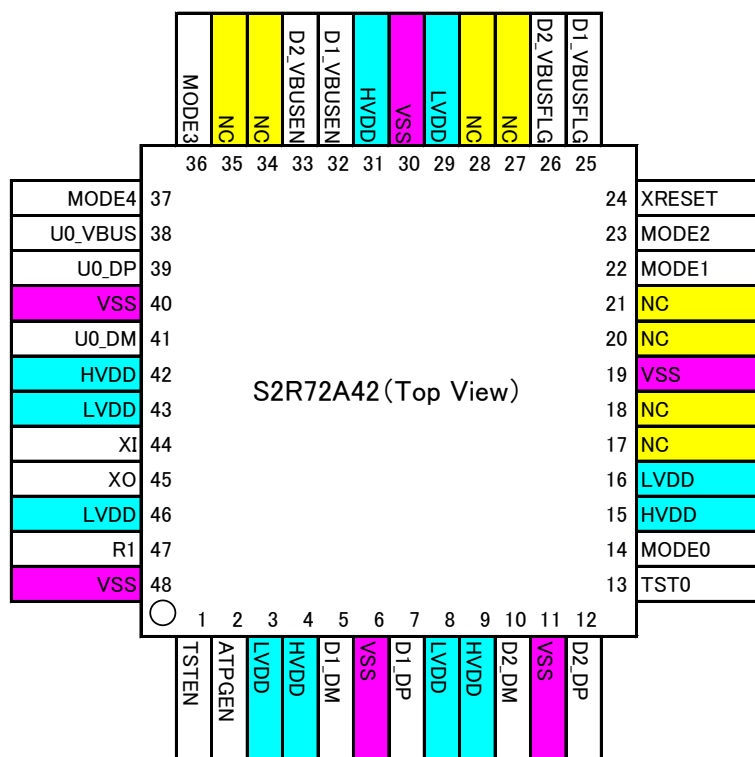


図 4.3 S2R72A42 パッケージ端子配置図 (QFP12-48, SQFN7-48)

5. 端子機能説明

5. 端子機能説明

GENERAL (S2R72A44/A43/A42 共通)

Pin No.	名称	I/O	RESET	端子説明
24	XRESET	IN	-	リセット信号

REFERENCE (S2R72A44/A43/A42 共通)

Pin No.	名称	I/O	RESET	端子説明
44	XI	IN	-	内部発振回路用入力 (12MHz)
45	XO	OUT	-	内部発振回路用出力 (12MHz)
47	R1	IN	-	基準電圧設定端子 12kΩ ±1%を VSS 間に接続

TEST (S2R72A44/A43/A42 共通)

Pin No.	名称	I/O	RESET	端子説明
1	TSTEN	IN(PD)	-	テスト端子 (※) ユーザー不使用
2	ATPGEN	IN(PD)	-	テスト端子 (※) ユーザー不使用
13	TST0	IN	-	テスト端子 (※) ユーザー不使用

PD: Pull Down I/O 使用

※: 基板上で Low 固定または Pull Down してください。

MODE (S2R72A44/A43/A42 共通)

Pin No.	名称	I/O	RESET	端子説明																																				
14	MODE0	IN	-	USB Revision 設定 (※3) 0: USB2.0 (High-Speed 対応 HUB) 1: USB1.1 (Full-Speed HUB)																																				
22	MODE1	IN	-	VBUS 供給モード設定 MODE1: bPwrOn2PwrGood 切り替え設定端子 0: 0ms 1: 100ms MODE2: Gang/Individual 切り替え端子 0: Gang 1: Individual																																				
23	MODE2	IN	-	<table border="1"> <thead> <tr> <th>MODE2</th> <th>MODE1</th> <th>VBUS供給モード</th> </tr> </thead> <tbody> <tr> <td>H</td> <td>H</td> <td>Individual モード</td> </tr> <tr> <td>L</td> <td>H</td> <td>Gang モード</td> </tr> <tr> <td>H/L</td> <td>L</td> <td>非制御モード</td> </tr> </tbody> </table>	MODE2	MODE1	VBUS供給モード	H	H	Individual モード	L	H	Gang モード	H/L	L	非制御モード																								
MODE2	MODE1	VBUS供給モード																																						
H	H	Individual モード																																						
L	H	Gang モード																																						
H/L	L	非制御モード																																						
36	MODE3	IN	-	ポート設定端子																																				
37	MODE4	IN	-	<table border="1"> <thead> <tr> <th colspan="3"></th> <th colspan="3">設定可否</th> </tr> <tr> <th>MODE4</th> <th>MODE3</th> <th>ポート</th> <th>A44</th> <th>A43</th> <th>A42</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2ポート</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>0</td> <td>1</td> <td>3ポート</td> <td>○</td> <td>○</td> <td>×</td> </tr> <tr> <td>1</td> <td>1</td> <td>4ポート</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> <td>×</td> <td>×</td> <td>×</td> </tr> </tbody> </table>				設定可否			MODE4	MODE3	ポート	A44	A43	A42	0	0	2ポート	○	○	○	0	1	3ポート	○	○	×	1	1	4ポート	○	×	×	1	0	設定禁止	×	×	×
			設定可否																																					
MODE4	MODE3	ポート	A44	A43	A42																																			
0	0	2ポート	○	○	○																																			
0	1	3ポート	○	○	×																																			
1	1	4ポート	○	×	×																																			
1	0	設定禁止	×	×	×																																			

※ 3: USB1.1 モードでは、USB2.0 (High-Speed) 対応の USB ホストとの接続においても、Full-Speed で動作します。

USB (S2R72A44/A43/A42 共通)				
Pin No.	名称	I/O	RESET	端子説明
38	U0_VBUS	IN(PD)	-	アップストリームポート VBUS 入力端子
39	U0_DP	BI	Hi-Z	アップストリームポート USB データライン Data+
41	U0_DM	BI	Hi-Z	アップストリームポート USB データライン Data-
7	D1_DP	BI	Hi-Z	ダウンストリームポート 1 USB データライン Data+
5	D1_DM	BI	Hi-Z	ダウンストリームポート 1 USB データライン Data-
12	D2_DP	BI	Hi-Z	ダウンストリームポート 2 USB データライン Data+
10	D2_DM	BI	Hi-Z	ダウンストリームポート 2 USB データライン Data-
25	D1_VBUSFLG	IN(PU)	-	<p>ダウンストリームポート 1 USB パワースイッチ・フォールト検出入力信号 (CMOS シュミット入力) 1: 正常 0: 異常</p> <p>Gang モードの場合、この端子を使用してください。</p> <p>USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。</p>
32	D1_VBUSEN	OUT	Low	<p>ダウンストリームポート 1 USB パワースイッチ制御出力信号</p> <p>Gang モードの場合、この端子を使用してください。</p> <p>USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。</p>
26	D2_VBUSFLG	IN(PU)	-	<p>ダウンストリームポート 2 USB パワースイッチ・フォールト検出入力信号 (CMOS シュミット入力) 1: 正常 0: 異常</p> <p>USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。</p>
33	D2_VBUSEN	OUT	Low	<p>ダウンストリームポート 2 USB パワースイッチ制御出力信号</p> <p>USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。</p>

PD: Pull Down I/O 使用

PU: Pull Up I/O 使用

5. 端子機能説明

USB (S2R72A44)				
Pin No.	名称	I/O	RESET	端子説明
18	D3_DP	BI	Hi-Z	ダウンストリームポート3 USB データライン Data+
17	D3_DM	BI	Hi-Z	ダウンストリームポート3 USB データライン Data-
21	D4_DP	BI	Hi-Z	ダウンストリームポート4 USB データライン Data+
20	D4_DM	BI	Hi-Z	ダウンストリームポート4 USB データライン Data-
27	D3_VBUSFLG	IN(PU)	-	ダウンストリームポート3 USB パワースイッチ・フォールト検出入力信号 (CMOS シュミット入力) 1: 正常 0: 異常 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。
34	D3_VBUSEN	OUT	Low	ダウンストリームポート3 USB パワースイッチ制御出力信号 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。
28	D4_VBUSFLG	IN(PU)	-	ダウンストリームポート4 USB パワースイッチ・フォールト検出入力信号 (CMOS シュミット入力) 1: 正常 0: 異常 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。
35	D4_VBUSEN	OUT	Low	ダウンストリームポート4 USB パワースイッチ制御出力信号 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。

PU: Pull Up I/O 使用

USB (S2R72A43)				
Pin No.	名称	I/O	RESET	端子説明
18	D3_DP	BI	Hi-Z	ダウンストリームポート3 USB データライン Data+
17	D3_DM	BI	Hi-Z	ダウンストリームポート3 USB データライン Data-
21	NC	-	-	不使用 (Open にしてください)
20	NC	-	-	不使用 (Open にしてください)
27	D3_VBUSFLG	IN(PU)	-	ダウンストリームポート3 USB パワースイッチ・フォールト検出入力信号 (CMOS シュミット入力) 1: 正常 0: 異常 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。
34	D3_VBUSEN	OUT	Low	ダウンストリームポート3 USB パワースイッチ制御出力信号 USB パワースイッチを外付けする場合にご使用ください。 使用しない場合は Open にしてください。
28	NC	-	-	不使用 (Open にしてください)
35	NC	-	-	不使用 (Open にしてください)

PU: Pull Up I/O 使用

USB (S2R72A42)				
Pin No.	名称	I/O	RESET	端子説明
18	NC	-	-	不使用 (Open にしてください)
17	NC	-	-	不使用 (Open にしてください)
21	NC	-	-	不使用 (Open にしてください)
20	NC	-	-	不使用 (Open にしてください)
27	NC	-	-	不使用 (Open にしてください)
34	NC	-	-	不使用 (Open にしてください)
28	NC	-	-	不使用 (Open にしてください)
35	NC	-	-	不使用 (Open にしてください)

POWER(S2R72A44/A43/A42 共通)			
Pin No.	名称	電圧	端子説明
4、9、15、31、42	HVDD	3.3V	USB 用、IO 用 3.3V 電源
3、8、16、29、43、46	LVDD	1.8	内部コア用 1.8V 電源
6、11、19、30、40、48	VSS	0V	GND

Exposed Die Pad : SQFNx-PKG only

5.1 VBUS スイッチ制御

Dx{x=1-4}_VBUSEN 端子により、ダウンポート個別(Individual モード, MODE2=High)、または、全ダウンポート共通(Gang モード, MODE2=Low)に、VBUS スイッチのオン・オフ制御を行えます。Gang モードの場合は、D1_VBUSEN 端子を使用します。

Dx{x=1-4}_VBUSEN 端子は、SetPortFeature(PORT_POWER)リクエストの受領によってのみアサートされます。また、本端子のアサートには、下記条件の全てが必要です。

- MODE1 端子が High に設定されている(bPwrOn2PwrGood=0b1)こと。
- 本 IC が SetConfiguration()標準リクエストにより、Configured されていること。
- Dx{x=1-4}_VBUSFLG 端子がアサートされていないこと。

Dx{x=1-4}_VBUSFLG 端子がアサートされていると、その間、対象のダウンポートの PORT_OVER_CURRENT ステータスがセットされます。そのことは、GetPortStatus()リクエストにより、ダウンポート毎に確認することができます。

上記のうち、いずれかの条件が満たされなくなったとき、Dx{x=1-4}_VBUSEN 端子はネゲートされます。再び条件が満たされたとしても、自動的に再アサートされず、SetPortFeature(PORT_POWER)の受領によってアサートされます。

なお、Gang モードでは、D1_VBUSEN 端子を使用します。このモードでは、Dx{x=2-4}_VBUSEN 端子はアサートされません。

6. Descriptor

6. Descriptor

6.1 Device Descriptor

Field	Size	USB2.0 モード		USB1.1 モード	備考
	(Byte)	High-Speed	Full-Speed	Full-Speed	
bLength	1	12h	12h	12h	
bDescriptorType	1	01h	01h	01h	
bcdUSB	2	0200h	0200h	0110h	0200h: USB2.0 0110h: USB1.1
bDeviceClass	1	09h	09h	09h	
bDeviceSubClass	1	00h	00h	00h	
bDeviceProtocol	1	01h	00h	00h	
bMaxPacketSize0	1	40h	40h	40h	
idVendor	2	04B8h	04B8h	04B8h	EPSON
idProduct	2	090Ah	090Ah	090Ah	S2R72A0x / S2R72A4x シリーズ
bcdDevice	2	0090h	0090h	0090h	
iManufacturer	1	00h	00h	00h	
iProduct	1	00h	00h	00h	
iSerialNumber	1	00h	00h	00h	
bNumConfigurations	1	01h	01h	01h	

6.2 Device Qualifier Descriptor

Field	Size	USB2.0 モード		USB1.1 モード	備考
	(Byte)	High-Speed	Full-Speed	Full-Speed	
bLength	1	0Ah	0Ah	非対応	
bDescriptorType	1	06h	06h	非対応	
bcdUSB	2	0200h	0200h	非対応	0200h: USB2.0 0110h: USB1.1
bDeviceClass	1	09h	09h	非対応	
bDeviceSubClass	1	00h	00h	非対応	
bDeviceProtocol	1	00h	01h	非対応	
bMaxPacketSize0	1	40h	40h	非対応	
bNumConfigurations	1	01h	01h	非対応	
bReserved	1	00h	00h	非対応	

6.3 Configuration Descriptor

Field	Size	USB2.0 モード		USB1.1 モード	備考
	(Byte)	High-Speed	Full-Speed	Full-Speed	
Configuration Descriptor					
bLength	1	09h	09h	09h	
bDescriptorType	1	02h	02h	02h	
wTotalLength	2	0019h	0019h	0019h	
bNumInterface	1	01h	01h	01h	
bConfigurationValue	1	01h	01h	01h	
iConfiguration	1	00h	00h	00h	
bmAttribute	1	E0h	E0h	E0h	
bMaxPower	1	32h	32h	32h	
Interface Descriptor					
bLength	1	09h	09h	09h	
bDescriptorType	1	04h	04h	04h	
bInterfaceNumber	1	00h	00h	00h	
bAlternateSetting	1	00h	00h	00h	
bNumEndpoints	1	01h	01h	01h	
bInterfaceClass	1	09h	09h	09h	
bInterfaceSubClass	1	00h	00h	00h	
bInterfaceProtocol	1	00h	00h	00h	
iInterface	1	00h	00h	00h	
Endpoint Descriptor					
bLength	1	07h	07h	07h	
bDescriptorType	1	05h	05h	05h	
bEndpointAddress	1	81h	81h	81h	
bmAttribute	1	03h	03h	03h	
wMaxPacketSize	2	0001h	0001h	0001h	
bInterval	1	0Ch	FFh	FFh	

6. Descriptor

6.4 Other Speed Configuration Descriptor

Field	Size	USB2.0 モード		USB1.1 モード	備考
	(Byte)	High-Speed	Full-Speed	Full-Speed	
Other_Speed_Configuration Descriptor					
bLength	1	09h	09h	非対応	
bDescriptorType	1	07h	07h	非対応	
wTotalLength	2	0019h	0019h	非対応	
bNumInterface	1	01h	01h	非対応	
bConfigurationValue	1	01h	01h	非対応	
iConfiguration	1	00h	00h	非対応	
bmAttribute	1	E0h	E0h	非対応	
bMaxPower	1	32h	32h	非対応	
Interface Descriptor					
bLength	1	09h	09h	非対応	
bDescriptorType	1	04h	04h	非対応	
bInterfaceNumber	1	00h	00h	非対応	
bAlternateSetting	1	00h	00h	非対応	
bNUMEndpoints	1	01h	01h	非対応	
bInterfaceClass	1	09h	09h	非対応	
bInterfaceSubClass	1	00h	00h	非対応	
bInterfaceProtocol	1	00h	00h	非対応	
iInterface	1	00h	00h	非対応	
Endpoint Descriptor					
bLength	1	07h	07h	非対応	
bDescriptorType	1	05h	05h	非対応	
bEndpointAddress	1	81h	81h	非対応	
bmAttribute	1	03h	03h	非対応	
wMaxPacketSize	2	0001h	0001h	非対応	
bInterval	1	FFh	0Ch	非対応	

6.5 HUB Class Descriptor

Field	Size	USB2.0 モード		USB1.1 モード	備考
	(Byte)	High-Speed	Full-Speed	Full-Speed	
bDescLength	1	09h	09h	09h	
bDescriptorType	1	29h	29h	29h	
bNbrPorts	1	04h/03h/02h	04h/03h/02h	04h/03h/02h	端子設定： {MODE4,MODE3}=11b/01b/00b
wHubCharacteristics	2	0029h/0020h	0029h/0020h	0009h/0000h	端子設定：MODE2=High/Low
bPwrOn2PwrGood	1	32h/00h	32h/00h	32h/00h	端子設定：MODE1=High/Low
bHubContrCurrent	1	64h	64h	64h	
DeviceRemovable	1	00h	00h	00h	
PortpwrCtrlMask	1	FFh	FFh	FFh	

7. リクエストリスト

網掛けされたリクエストには非対応です。非対応のリクエストには STALL 応答します。

7.1 Standard Request

Request	bmRequest Type	bRequest	wValue	wIndex	wLength
SET_DESCRIPTOR(DEVICE)	0x00	0x07	0x0100	0x0000	0x0012
SET_DESCRIPTOR(CONFIGURATION)	0x00	0x07	0x0200	0x0000	0x0019
SET_DESCRIPTOR(String_Index0)	0x00	0x07	0x0300	0x0409 or 0x0000	0x0004
SET_DESCRIPTOR(String_Index1)	0x00	0x07	0x0301	0x0409	(variable)
SET_DESCRIPTOR(String_Index2)	0x00	0x07	0x0302	0x0409	(variable)
SET_DESCRIPTOR(String_Index3)	0x00	0x07	0x0303	0x0409	(variable)
SET_DESCRIPTOR(String_Index4)	0x00	0x07	0x0304	0x0409	(variable)
SET_DESCRIPTOR(String_Index5)	0x00	0x07	0x0305	0x0409	(variable)
SET_DESCRIPTOR(INTERFACE)	0x00	0x07	0x0400	0x0000	0x0009
SET_DESCRIPTOR(ENDPOINT)	0x00	0x07	0x0500	0x0000	0x0007
SET_DESCRIPTOR(DEVICE_QUALIFIER)	0x00	0x07	0x0600	0x0000	0x000A
SET_DESCRIPTOR(OTHER_SPEED_CONFIGURATION)	0x00	0x07	0x0700	0x0000	0x0019
SET_DESCRIPTOR(INTERFACE_POWER)	0x00	0x07	0x0800	0x0000	0x0019
GET_DESCRIPTOR(DEVICE)	0x80	0x06	0x0100	0x0000	0x0012
GET_DESCRIPTOR(CONFIGURATION)	0x80	0x06	0x0200	0x0000	0x0019
GET_DESCRIPTOR(String_Index0)	0x80	0x06	0x0300	0x0409 or 0x0000	0x0004
GET_DESCRIPTOR(String_Index1)	0x80	0x06	0x0301	0x0409	(variable)
GET_DESCRIPTOR(String_Index2)	0x80	0x06	0x0302	0x0409	(variable)
GET_DESCRIPTOR(String_Index3)	0x80	0x06	0x0303	0x0409	(variable)
GET_DESCRIPTOR(String_Index4)	0x80	0x06	0x0304	0x0409	(variable)
GET_DESCRIPTOR(String_Index5)	0x80	0x06	0x0305	0x0409	(variable)
GET_DESCRIPTOR(INTERFACE)	0x80	0x06	0x0400	0x0000	0x0009
GET_DESCRIPTOR(ENDPOINT)	0x80	0x06	0x0500	0x0000	0x0007
GET_DESCRIPTOR(DEVICE_QUALIFIER)	0x80	0x06	0x0600	0x0000	0x000A
GET_DESCRIPTOR(OTHER_SPEED_CONFIGURATION)	0x80	0x06	0x0700	0x0000	0x0019
GET_DESCRIPTOR(INTERFACE_POWER)	0x80	0x06	0x0800	0x0000	0x0019
GET_STATUS(DEVICE)	0x80	0x00	0x0000	0x0000	0x0002
GET_STATUS(INTERFACE)	0x81	0x00	0x0000	0x0000	0x0002
GET_STATUS(ENDPOINT0)	0x82	0x00	0x0000	0x00n0 (n=0 or 8)	0x0002
GET_STATUS(ENDPOINT1)	0x82	0x00	0x0000	0x0000	0x0002
SYNCH FRAME	0x82	0x0C	0x0000	0x0000	0x0002
SET_ADDRESS()	0x00	0x05	0x00mn (m=0-7, n=0-F)	0x0000	0x0000
GET_CONFIGURATION ()	0x80	0x08	0x0000	0x0000	0x0001
SET_CONFIGURATION ()	0x00	0x09	0x000n (n=0 or 1)	0x0000	0x0000
GET_INTERFACE()	0x81	0x0A	0x0000	0x0000	0x0001
SET_INTERFACE()	0x01	0x0B	0x0000	0x0000	0x0000
SET_FEATURE(DEVICE_REMOTE_WAKEUP)	0x00	0x03	0x0001	0x0000	0x0000
CLEAR_FEATURE(DEVICE_REMOTE_WAKEUP)	0x00	0x01	0x0001	0x0000	0x0000

7. リクエストリスト

SET_FEATURE(ENDPOINT0 HALT)	0x02	0x03	0x0000	0x00n0 (n=0 or 8)	0x0000
CLEAR_FEATURE(ENDPOINT0 HALT)	0x02	0x01	0x0000	0x00n0 (n=0 or 8)	0x0000
SET_FEATURE(ENDPOINT1 HALT)	0x02	0x03	0x0000	0x0081	0x0000
CLEAR_FEATURE(ENDPOINT1 HALT)	0x02	0x01	0x0000	0x0081	0x0000
SET_FEATURE(TEST_J)	0x00	0x03	0x0002	0x0100	0x0000
SET_FEATURE(TEST_K)	0x00	0x03	0x0002	0x0200	0x0000
SET_FEATURE(TEST_SE0_NAK)	0x00	0x03	0x0002	0x0300	0x0000
SET_FEATURE(TEST_PACKET)	0x00	0x03	0x0002	0x0400	0x0000
SET_FEATURE(TEST_FORCE_ENABLE)	0x00	0x03	0x0002	0x0500	0x0000

7.2 Class-specific Request

Request	bmRequest Type	bRequest	wValue	wIndex	wLength
GetHubDescriptor()	0xA0	0x06	0x0000 or 0x2900	0x0000	0x0009
SetHubDescriptor()	0x20	0x07	0x0000 or 0x2900	0x0000	0xFFFF
GetHubStatus()	0xA0	0x00	0x0000	0x0000	0x0004
GetPortStatus(Port y)	0xA3	0x00	0x0000	0x000y	0x0004
GetBusStatus(Port y)	0xA3	0x02	0x0000	0x000y	0x0001
SetHubFeature(C_HUB_LOCAL_POWER)	0x20	0x03	0x0000	0x0000	0x0000
ClearHubFeature(C_HUB_LOCAL_POWER)	0x20	0x01	0x0000	0x0000	0x0000
SetHubFeature(C_HUB_OVER_CURRENT)	0x20	0x03	0x0001	0x0000	0x0000
ClearHubFeature(C_HUB_OVER_CURRENT)	0x20	0x01	0x0001	0x0000	0x0000
SetPortFeature(PORT_CONNECTION)	0x23	0x03	0x0000	0x000y	0x0000
ClearPortFeature(PORT_CONNECTION)	0x23	0x01	0x0000	0x000y	0x0000
SetPortFeature(PORT_ENABLE)	0x23	0x03	0x0001	0x000y	0x0000
ClearPortFeature(PORT_ENABLE)	0x23	0x01	0x0001	0x000y	0x0000
SetPortFeature(PORT_SUSPEND)	0x23	0x03	0x0002	0x000y	0x0000
ClearPortFeature(PORT_SUSPEND)	0x23	0x01	0x0002	0x000y	0x0000
SetPortFeature(PORT_RESET)	0x23	0x03	0x0004	0x000y	0x0000
ClearPortFeature(PORT_RESET)	0x23	0x01	0x0004	0x000y	0x0000
SetPortFeature(PORT_POWER)	0x23	0x03	0x0008	0x000y	0x0000
ClearPortFeature(PORT_POWER)	0x23	0x01	0x0008	0x000y	0x0000
SetPortFeature(PORT_LOW_SPEED)	0x23	0x03	0x0009	0x000y	0x0000
ClearPortFeature(PORT_LOW_SPEED)	0x23	0x01	0x0009	0x000y	0x0000
SetPortFeature(PORT_HIGH_SPEED)	0x23	0x03	0x000A	0x000y	0x0000
ClearPortFeature(PORT_HIGH_SPEED)	0x23	0x01	0x000A	0x000y	0x0000
SetPortFeature(C_PORT_CONNECTION)	0x23	0x03	0x0010	0x000y	0x0000
ClearPortFeature(C_PORT_CONNECTION)	0x23	0x01	0x0010	0x000y	0x0000
SetPortFeature(C_PORT_ENABLE)	0x23	0x03	0x0011	0x000y	0x0000
ClearPortFeature(C_PORT_ENABLE)	0x23	0x01	0x0011	0x000y	0x0000
SetPortFeature(C_PORT_SUSPEND)	0x23	0x03	0x0012	0x000y	0x0000
ClearPortFeature(C_PORT_SUSPEND)	0x23	0x01	0x0012	0x000y	0x0000
SetPortFeature(C_PORT_OVER_CURRENT)	0x23	0x03	0x0013	0x000y	0x0000
ClearPortFeature(C_PORT_OVER_CURRENT)	0x23	0x01	0x0013	0x000y	0x0000
SetPortFeature(C_PORT_RESET)	0x23	0x03	0x0014	0x000y	0x0000
ClearPortFeature(C_PORT_RESET)	0x23	0x01	0x0014	0x000y	0x0000
SetPortFeature(TEST_J)	0x23	0x03	0x0015	0x010y	0x0000
ClearPortFeature(TEST_J)	0x23	0x01	0x0015	0x010y	0x0000

7. リクエストリスト

SetPortFeature(TEST_K)	0x23	0x03	0x0015	0x020y	0x0000
ClearPortFeature(TEST_K)	0x23	0x01	0x0015	0x020y	0x0000
SetPortFeature(TEST_SE0_NAK)	0x23	0x03	0x0015	0x030y	0x0000
ClearPortFeature(TEST_SE0_NAK)	0x23	0x01	0x0015	0x030y	0x0000
SetPortFeature(TEST_PACKET)	0x23	0x03	0x0015	0x040y	0x0000
ClearPortFeature(TEST_PACKET)	0x23	0x01	0x0015	0x040y	0x0000
SetPortFeature(TEST_FORCE_ENABLE)	0x23	0x03	0x0015	0x050y	0x0000
ClearPortFeature(TEST_FORCE_ENABLE)	0x23	0x01	0x0015	0x050y	0x0000
SetPortFeature(PORT_INDICATOR)	0x23	0x03	0x0016	0x0*0y	0x0000
ClearPortFeature(PORT_INDICATOR)	0x23	0x01	0x0016	0x0*0y	0x0000
GetTTState()	0xA3	0x0A	0x0000	0x0001	0x08D0
ResetTT()	0x23	0x09	0x0000	0x0001	0x0000
ClearTTBuffer()	0x23	0x08	(EP No.)	0x0001	0x0000
StopTT()	0x23	0x0B	0x0000	0x0001	0x0000

※ 1 : y=1-4(A44), 1-3(A43), 1-2(A42)

8. 電気的特性

8. 電気的特性

8.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	HVDD	-0.3~4.0	V
	LVDD	-0.3~2.5	V
入力電圧	HVI	-0.3~HVDD+0.5	V
	LVI※1	-0.3~LVDD+0.5	V
	VVI※2	-0.3~6.0	V
出力電圧	HVO	-0.3~HVDD+0.5	V
	LVO※3	-0.3~LVDD+0.5	V
出力電流／端子	Iout※4	±10	mA
保存温度	Tstg	-65~150	°C

※1 : XI

※2 : U0_VBUS

※3 : XO

※4 : USB 端子を除く

8.2 推奨動作条件

項目	記号	MIN	TYP	MAX	単位
電源電圧	HVDD	3.00	3.30	3.60	V
	LVDD	1.65	1.80	1.95	V
入力電圧	HVI	-0.3	–	HVDD+0.3	V
	VVI※1	-0.3	–	5.25	V
	LVI※2	-0.3	–	LVDD+0.3	V
周囲温度	T _a	-40	25	105	°C

※1 : U0_VBUS

※2 : XI

[電源投入順序の注意事項]

- AC 特性「電源投入／切断タイミング」をご参照ください。

8.3 DC 特性

8.3.1 消費電流

項目	記号	条件	MIN	TYP	MAX	単位	
消費電流※1							
消費電流	HVDD	IHC02(F) ※3	U0=FS, D1/D2=FS, D3/D4=none D1 to D2 データコピー動作	-	5	8	mA
	LVDD	ILC02(F)	U0 バス占有率 86.2%(1.0MB/s) 図 8-1(1)	-	22	34	mA
消費電流	HVDD	IHC04(F) ※3	U0=FS, D1/D2=FS, D3/D4=FS D1 to D2 データコピー動作	-	5	8	mA
	LVDD	ILC04(F)	U0 バス占有率 85.4%(1.0MB/s) 図 8-1(2)	-	22	34	mA
消費電流	HVDD	IHC20(H)	U0=HS, D1/D2=HS, D3/D4=FS D1 to D2 データコピー動作	-	10	15	mA
	LVDD	ILC20(H)	U0 バス占有率 25.5%(12.7MB/s) 図 8-1(3)	-	40	60	mA
消費電流	HVDD	IHC02(H) ※3	U0=HS, D1/D2=none, D3/D4=FS D4 to D3 データコピー動作	-	5	8	mA
	LVDD	ILC02(H)	U0 バス占有率 8.1%(1.0MB/s) 図 8-1(4)	-	34	50	mA
消費電流	HVDD	IHC22(H) ※3	U0=HS, D1/D2=HS, D3/D4=FS D4 to D3 データコピー動作	-	14	22	mA
	LVDD	ILC22(H)	U0 バス占有率 6.38%(1.0MB/s) 図 8-1(5)	-	40	60	mA
電源電流※2							
電源電流 (HS)	HVDD	IDDH(H)	HS モードで動作し、ダウンポート に HS デバイスが2つ接続され、 データ転送を行っている。	-	60	90	mA
	LVDD	IDDL(H)		-	64	96	mA
電源電流 (FS)	HVDD	IDDH(F)	FS モードで動作し、ダウンポート に FS デバイスが2つ接続され、 データ転送を行っている。	-	24	36	mA
	LVDD	IDDL(F)		-	40	60	mA
電源電流 (静止電流)							
HVDD 電源電流		IDDSH	HVDD=3.6V, Ta=105°C	-	-	20	μA
LVDD 電源電流		IDDSL	LVDD=1.95V, Ta=105°C	-	-	500	μA
入力リーク							
入力リーク電流		IL	各電源の MAX 条件	-5	-	5	μA

※ 1 : 弊社測定環境における、動作時の平均消費電流を示します。熱放射や電池消費を見積る参考にして下さい。Max は測定値(Typ)からの見積り値です。平均値であるため動作の繁忙などの測定条件に依存して、測定値は変動します。「条件」における U0 バス占有率は動作の繁忙の目安になります。また、転送レートは測定時におけるデータコピー動作の実効レートを示します。

※ 2 : 弊社測定環境における、動作時に瞬間的に消費するピーク電流を示します。電源回路の電流供給能力を見積る参考にして下さい。Max は測定値(Typ)からの見積り値です。電源のパソコンなどの環境条件により測定値は変動します。

※ 3 : FS 転送における HVDD の消費電流は、ケーブル長の影響を大きく受けます。

8. 電気的特性

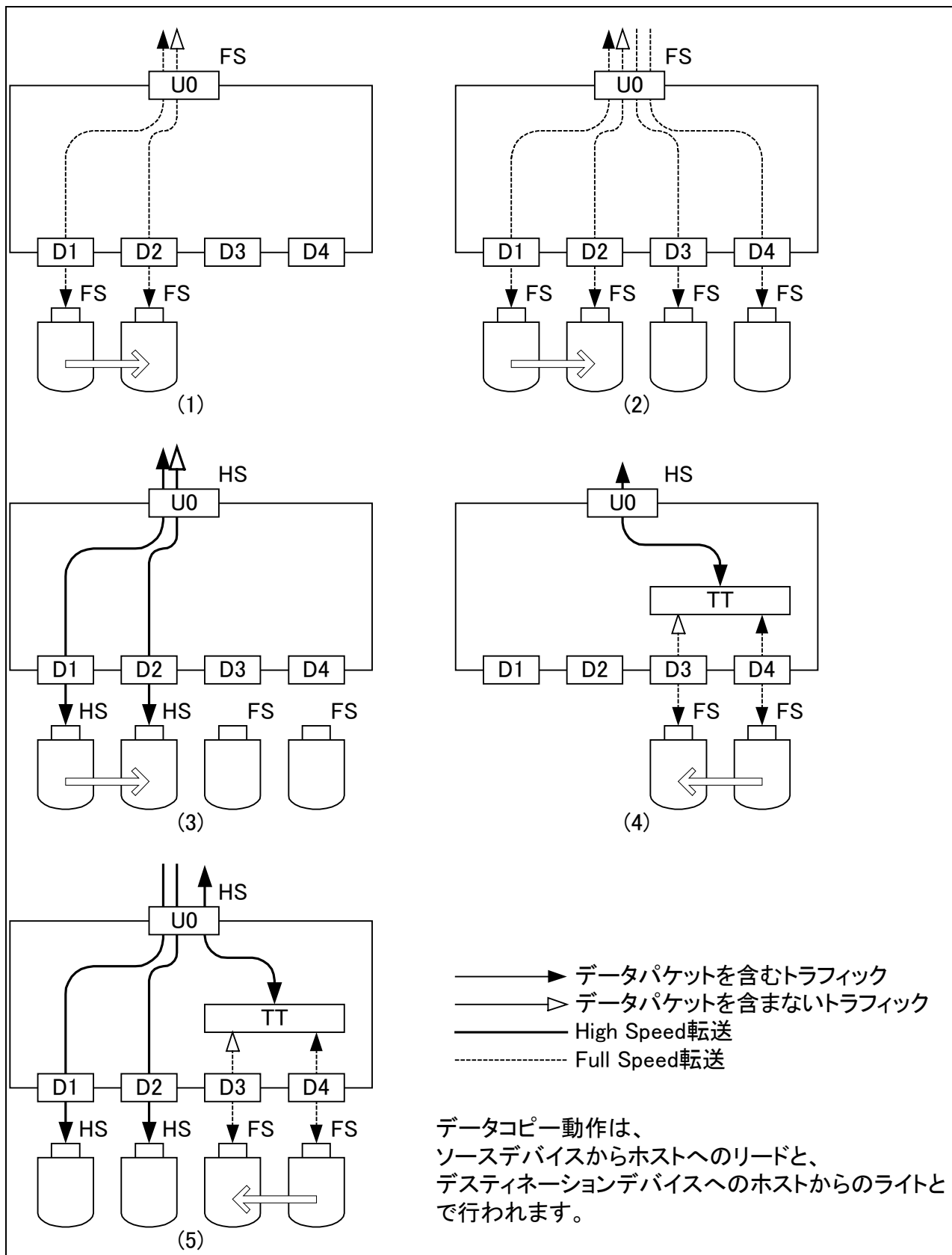


図 8-1

8.3.2 入力特性

項目	記号	条件	MIN	TYP	MAX	単位
入力特性 (シュミット)	端子 :	TSTEN、ATPGEN、TST0、MODE0、MODE1、MODE2、MODE3、MODE4、XRESET、D1_VBUSFLG、D2_VBUSFLG、D3_VBUSFLG、D4_VBUSFLG				
	"H"レベルトリガ電圧	VT1+	HVDD = 3.6V	-	-	2.52 V
	"L"レベルトリガ電圧	VT1-	HVDD = 3.0V	0.75	-	- V
	ヒステリシス電圧	$\Delta V1$	HVDD = 3.0V	0.30	-	- V
クロック入力特性	端子 :	XI				
	"H"レベルトリガ電圧	VT+(XI)	LVDD = 1.95V	-	-	1.2 V
	"L"レベルトリガ電圧	VT-(XI)	LVDD = 1.65V	0.60	-	- V
入力特性 (シュミット USB FS)	端子 :	U0_DP、U0_DM、D1_DP、D1_DM、D2_DP、D2_DM、D3_DP、D3_DM、D4_DP、D4_DM				
	"H"レベルトリガ電圧	VT+(USB)	HVDD = 3.6V	-	-	2.00 V
	"L"レベルトリガ電圧	VT-(USB)	HVDD = 3.0V	0.80	-	- V
入力特性 (USB:FS 差動入力)	端子 :	U0_DP/U0_DM のペア、D1_DP/D1_DM のペア、D2_DP/D2_DM のペア、D3_DP/D3_DM のペア、D4_DP/D4_DM のペア				
	差動入力の感度	VDSU	HVDD = 3.0V コモン電位 0.8V~2.5V	0.20	-	- V
入力特性 (シュミット)	端子 :	U0_VBUS				
	"H"レベルトリガ電圧	VT+(VBUS)	HVDD = 3.6V	-	-	2.88 V
	"L"レベルトリガ電圧	VT-(VBUS)	HVDD = 3.0V	1.37	-	- V
入力特性	端子 :	D1_VBUSFLG、D2_VBUSFLG、D3_VBUSFLG、D4_VBUSFLG				
	プルアップ抵抗	RPLU	VI = VSS	32	80	192 k Ω
入力特性	端子 :	U0_DP				
	プルアップ抵抗	RPLUU	VI = VSS	1.425	-	1.575 k Ω
入力特性	端子 :	D1_DP、D1_DM、D2_DP、D2_DM、D3_DP、D3_DM、D4_DP、D4_DM				
	プルダウン抵抗	RPLDD	VI = HVDD	14.25	-	15.75 k Ω
入力特性	端子 :	TSTEN、ATPGEN				
	プルダウン抵抗	RPLDU	VI = HVDD	32	80	192 k Ω
入力特性	端子名 :	U0_VBUS				
	プルダウン抵抗	RPLD	VVI = 5.0V	100	-	165 k Ω

8. 電気的特性

8.3.3 出力特性

(V_{SS}=0V)

項目	記号	条件	MIN	TYP	MAX	単位
出力特性	端子 :	D1_VBUSEN、D2_VBUSEN、D3_VBUSEN、D4_VBUSEN				
“H”レベル出力電圧	VOH1	HVDD = 3.0V IOH = -1.4mA	HVDD -0.4	-	-	V
“L”レベル出力電圧	VOL1	HVDD = 3.0V IOL = 1.4mA	-	-	0.4	V
出力特性 (USB:HS)	端子 :	U0_DP、D0_DM、 D1_DP、D1_DM、D2_DP、D2_DM				
HS 送信電流(GND 基準)	IOUH	HVDD = 3.3V	-20	-	-18	mA
HS ターミネーション抵抗 (GND 基準)	ROUH	HVDD = 3.3V	40.5	-	49.5	Ω
出力特性 (USB:FS)	端子 :	U0_DP、D0_DM、 D1_DP、D1_DM、D2_DP、D2_DM、D3_DP、D3_DM、D4_DP、D4_DM				
“H”レベル出力抵抗	ROHUF	HVDD=3.3V	40.5	-	49.5	Ω
“L”レベル出力抵抗	ROLUF	HVDD=3.3V	40.5	-	49.5	Ω
出力特性 (USB LS)	端子 :	U0_DP、D0_DM、 D1_DP、D1_DM、D2_DP、D2_DM、D3_DP、D3_DM、D4_DP、D4_DM				
“H”レベル出力抵抗	ROHUL	HVDD=3.3V	60.0	-	100.0	Ω
“L”レベル出力抵抗	ROLUL	HVDD=3.3V	60.0	-	100.0	Ω
出力特性	端子 :	XO				
“H”レベル出力電流	IOH1	LVDD=1.8V XO 負荷電圧 = LVDD-0.4V	-1.70	-	-1.20	mA
“L”レベル出力電流	IOL1	LVDD=1.8V XO 負荷電圧 = 0.4V	1.25	-	1.75	mA
出力特性	端子 :	D1_VBUSEN、D2_VBUSEN、D3_VBUSEN、D4_VBUSEN				
OFF-STATE リーク電流	IOZ	HVDD = 3.6V VOH = HVDD VOL = VSS	-10	-	10	uA

8.3.4 端子容量

項目	記号	条件	MIN	TYP	MAX	単位
端子容量	端子名 :	USB を除く入力端子				
入力端子容量	CI	f = 1MHz	-	-	8	pF
端子容量	端子名 :	出力端子				
出力端子容量	CO	f = 1MHz	-	-	8	pF
端子容量	端子名 :	U0_DP、U0_DM、D1_DP、D1_DM、D2_DP、D2_DM				
入出力端子容量 (USB)	CBUH	f = 1MHz	-	-	12	pF
端子容量	端子名 :	D3_DP、D3_DM、D4_DP、D4_DM				
入出力端子容量 (USB)	CBUF	f = 1MHz	-	-	15	pF

8.4 AC 特性

8.4.1 電源投入／切断タイミング

A. 電源投入／切断タイミング(LVDD⇒HVDD／HVDD⇒LVDDの場合：推奨条件)

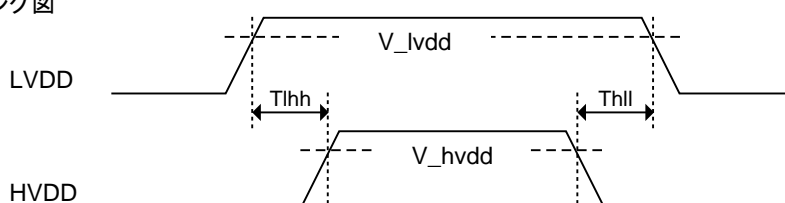
タイミングパラメータ

項目	記号	min	typ	max	単位
HVDD電源投入タイミング	Tlhh	0	-	10	sec
HVDD切断タイミング	Thll	0	-	10	sec

電圧パラメータ

項目	記号	電圧条件		単位
		投入時	遮断時	
LVDD起点電圧	V_lvdd	LVDD_min	LVDD_min	V
HVDD起点電圧	V_hvdd	HVDD_min	HVDD_min	V

タイミング図



B. 電源投入・切断タイミング(HVDD⇒LVDD／LVDD⇒HVDDの場合)

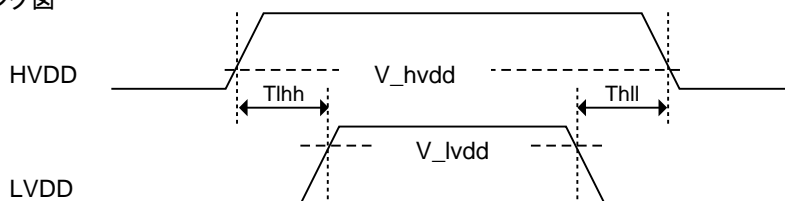
タイミングパラメータ

項目	記号	min	typ	max	単位
LVDD電源投入タイミング	Tlhh	0	-	1	sec
LVDD切断タイミング	Thll	0	-	1	sec

電圧パラメータ

項目	記号	電圧条件		単位
		投入時	遮断時	
LVDD起点電圧	V_lvdd	LVDD_min	LVDD_min	V
HVDD起点電圧	V_hvdd	0.3	0.3	V

タイミング図



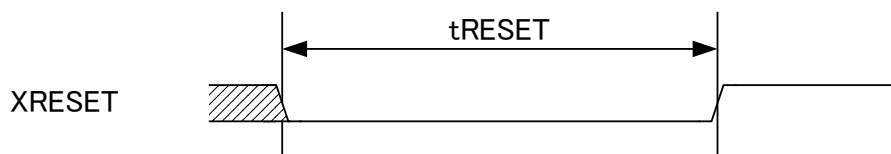
※：電源投入／切断ともにLVDD⇒HVDDのタイミングの場合、投入はA.、切断はB.を参照ください。
同様に、電源投入／切断ともにHVDD⇒LVDDのタイミングの場合、投入はB.、切断はA.を参照ください。

※：LVDD_min は記号 LVDD の min 値、HVDD_min は記号 HVDD の min 値をそれぞれ指します。

※：電源投入／切断タイミングは、A(LVDD⇒HVDD／HVDD⇒LVDD の場合)を推奨します。B(HVDD⇒LVDD／LVDD⇒HVDD の場合)は、IC の信頼性に影響を及ぼさない許容範囲です。また B では、両電源(LVDD, HVDD)がともに ON 状態以外では、動作の保証(内部レジスタ及び外部 I/O の状態等)は致しかねます。

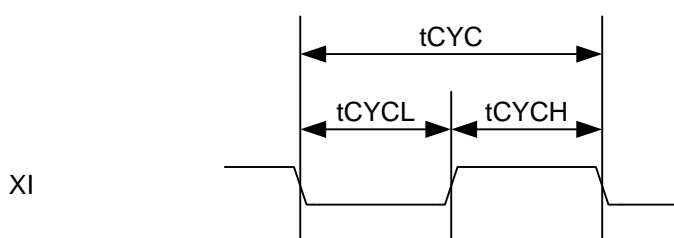
8. 電気的特性

8.4.2 RESET タイミング



記号	説明	min	typ	max	単位
tRESET	リセットパルス幅	400	-	-	ns

8.4.3 クロックタイミング



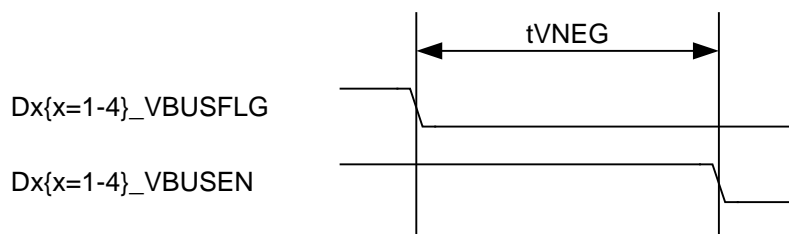
記号	説明	min	typ	max	単位
tCYC	クロックサイクル	-	12.000	-	MHz
tCYCL tCYCH	クロックデューティ	-	50	-	%

※水晶振動子の周波数精度は、±100ppm(FS 限定の場合±200ppm)以下のものを推奨します。

8.4.4 USB I/F タイミング

USB2.0 『Universal Serial Bus Specification Revision 2.0』規格に準拠します。

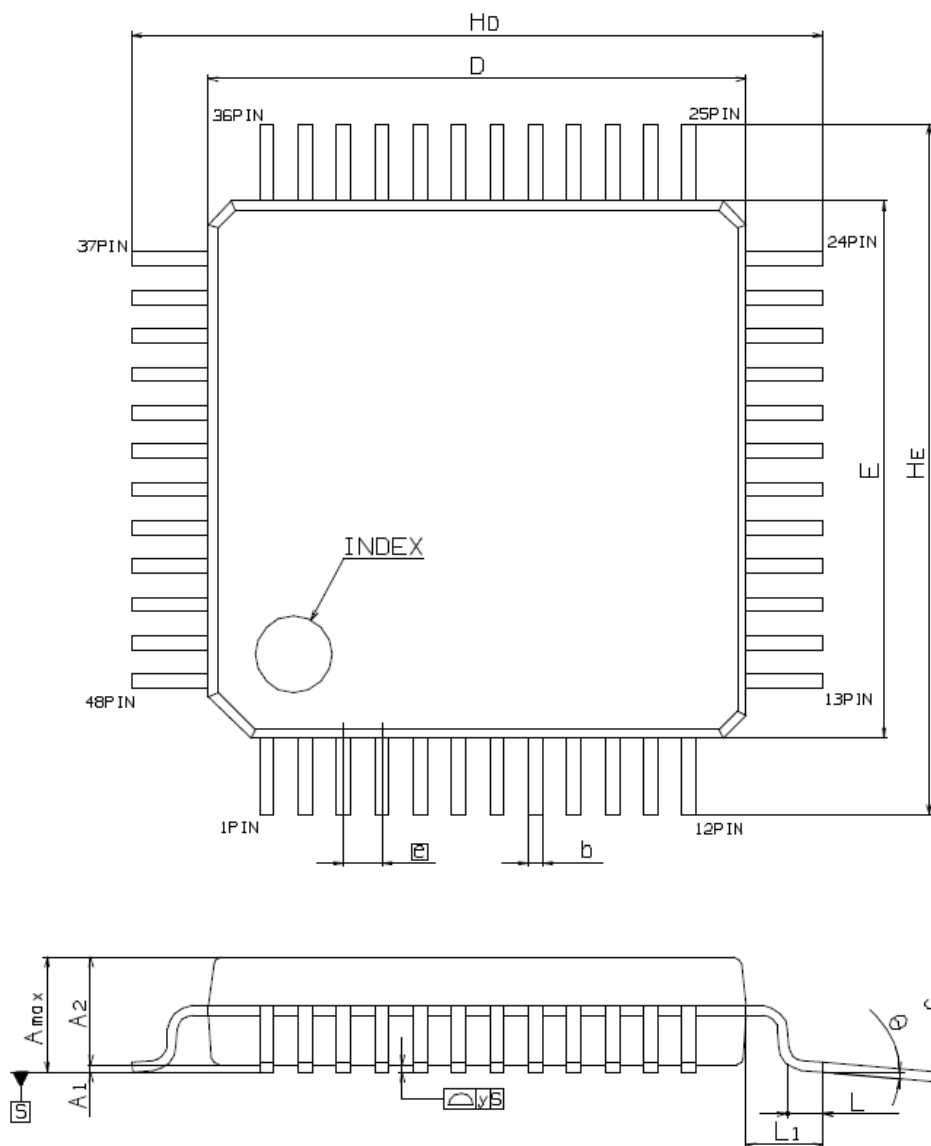
8.4.5 過電流検出タイミング



記号	説明	min	typ	max	単位
tVNEG	VBUSFLGアサーションから VBUSENネゲート時間	4	-	6	ms

9. 外形寸法図

9.1 QFP12-48



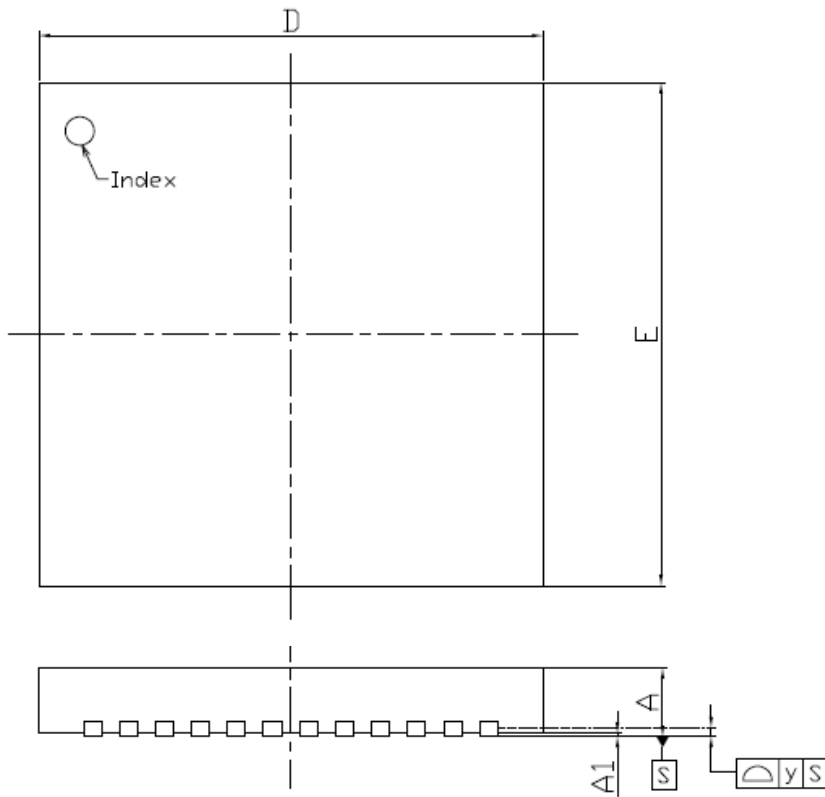
Symbol	Dimension in Millimeters		
	Min	Nom	Max
E	-	7	-
D	-	7	-
A_{max}	-	-	1.7
A_1	-	0.1	-
A_2	-	1.4	-
r	-	0.5	-
b	0.13	-	0.27
c	0.09	-	0.2
θ	0°	-	10°
L	0.3	-	0.7
L_1	-	1	-
H_E	-	9	-
H_D	-	9	-
y	-	-	0.08

1 = 1mm

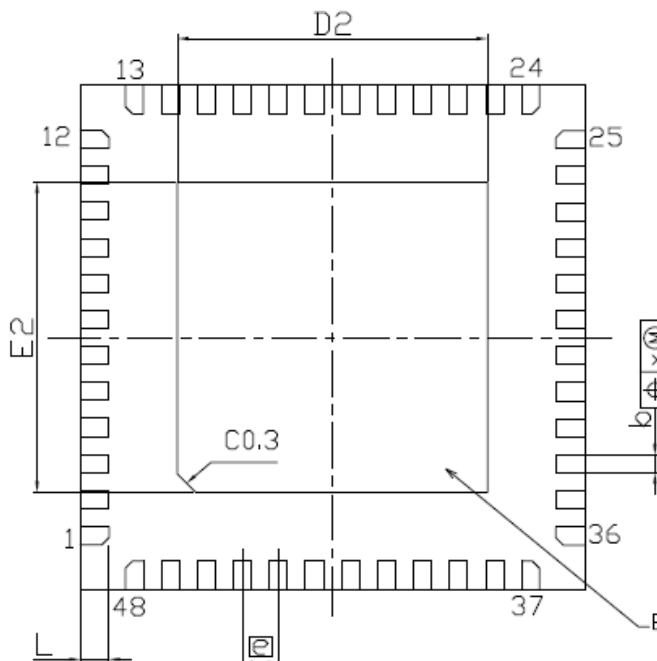
9. 外形寸法図

9.2 SQFN7-48

Top View



Bottom View



Symbol	Dimension: In Millimeters		
	Min	Nom	Max
D	6,90	7,00	7,10
E	6,90	7,00	7,10
A	-	-	1,00
A ₁	0,00	-	-
b	0,20	0,25	0,30
⊕	-	0,50	-
L	0,35	0,40	0,45
D2	4,20	4,30	4,40
E2	4,20	4,30	4,40
x	-	-	0,10
y	-	-	0,08

Exposed Die Padを実装基板にハンダ付けする場合
お客様のシステムボードのVSSに接続してください。

Exposed Die Padを実装基板にハンダ付けしない場合
Exposed Die Pad直下に、信号配線・基板パターンを
設置しないでください。

Exposed Die Pad

1 = 1mm

改訂履歴表

付-1

Rev. No.	日付	ページ	種別	改訂内容 (旧内容を含む) および改訂理由
Rev 0.01	2009/03/31	全ページ	新規	新規制定
Rev 0.79	2009/06/17	全ページ	修正	MODE4、3端子の“端子説明”誤記修正。 USB1.1モードを機能追加。 「6. Descriptor」を追加し、以降章番を繰り下げ。 一部 TBD 項目を記載。
Rev 0.90	2009/09/11	全ページ	修正	0.79の修正項目を確定とし取り消し線による履歴を削除。 7.4.1 注釈追記。
Rev 0.91	2009/10/13	p.6	修正	MODE1,MODE2 端子の端子説明を補足。
		全ページ	追記	「7. リクエストリスト」章を設け、「電気的特性」章以降の章番を繰り下げ。
Rev.0.92	2009/X/X	p.16	修正	LVO の誤植修正。Lout の注釈追記。
		p.17	修正	IDDSH,IDDSL を定義。VT-の誤植修正。VDSU の条件修正。 VT+(VBUS), VT-(VBUS)の定義修正。ΔV(VBUS)を削除。
		p.18	追記	RPLUU, RPLDD を新規定義。
		p.19	修正	VOHUF,VOLUF を ROHUF,ROLUF に定義変更。
Rev.0.95	2010/3/12	全ページ	制定	T.B.D 項目を定義
Rev.0.97	2010/8/31	p.22	修正	V_hvdd を 0.1V から 0.3V に変更(緩和)。
		p.21	追加	IOH1, IOL1 を定義追加
		p.9	追加	「5.1 VBUS スイッチ制御」を追加
		p.22	追加	「8.4.5 過電流検出タイミング」を追加
		p.17	修正	消費電流を TBD に変更(rev.1.0 で再定義する)
		全ページ	修正	名称を、それぞれ下記の通りに変更 旧)S2R72A02F12E3 新)S2R72A42F12C4 旧)S2R72A03F12E3 新)S2R72A43F12C4 旧)S2R72A04F12E3 新)S2R72A44F12C4 旧)S2R72A0xF12E3 シリーズ 新)S2R72A4xF12C4 シリーズ 各略称も同様に変更
Rev.1.00	2011/3/31	全頁	制定	正式制定
		p.1	修正	誤字修正 S2R72A42F12EC4⇒S2R72A42F12C4
		p.12	修正	「6.5 HUB Class Descriptor」の wHubCharacteristics の記載漏れを修正
		p.17	修正	「8.3.1 消費電流」の T.B.D 項目を定義
		p.19	修正	「8.3.2 入力特性」において、VT+(XI)/VT-(XI)の“条件”欄の誤記を修正
		p.20	修正	「8.3.3 出力特性」において、出力電圧(USB:HS)を出力特性(USB:HS)とし定義変更。

改訂履歴表

		p.22	修正	「8.4.2 RESET タイミング」の tRESET 規定値の誤記を修正
Rev.1.10	2012/02/06	p.6	修正	Pin No.1 TSTEN、Pin No.2 ATPGEN の端子処置内容を修正 誤)「LSI 内部で Pull Down されていますが、基板上での Low 固定を推奨します。」 正)「基板上で Low 固定または Pull Down して下さい。」
Rev.1.20	2013/05/27	P1	追加	S2R72A44F07E2、S2R72A43F07E2、S2R72A42F07E2 を追加
		P2	追加	SQFN パッケージを追加
		P4	追加	図 4.1、図 4.2 に SQFN7-48 を追加
		P5	追加	図 4.3 に SQFN7-48 を追加
		P24	追加	「9.2 SQFN7-48」パッケージ図面を追加
Rev.1.30	2014/07/11	P21	追加	電源投入順について、B の表記及び表現が誤解を生むかもしれないため注釈を追加した。
Rev.1.40	2017/9/20	P9	追加	Exposed Die Pad 追加
		P24	修正	SQFN-PKG 図面の修正
以上				

セイコーエプソン株式会社

営業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 御堂筋グラントワー15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411906605
2009年9月作成 ©
2017年9月改訂