

S2R72V18

データシート

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

適用範囲

本ドキュメントは、USB2.0 デバイス・ホストコントローラ LSI 「S2R72V18」 に適用されます。

目次

1. 概要.....	1
2. 特長.....	2
3. ブロック図.....	3
4. 機能説明.....	4
4.1 電源	4
4.2 リセット	5
4.2.1 ハードリセット	5
4.2.2 ソフトリセット	5
4.3 クロック	5
4.4 パワーマネージメント.....	6
4.5 CPU-I/F.....	7
4.6 USBデバイスI/F.....	7
4.6.1 スピードモードと転送タイプ.....	7
4.6.2 リソース	7
4.6.2.1 エンドポイント	7
4.6.2.2 FIFO	7
4.6.3 データフロー.....	8
4.6.4 USBデバイスポートの外付け回路	9
4.7 USBホストI/F	10
4.7.1 スピードモードと転送タイプ.....	10
4.7.2 リソース	10
4.7.2.1 チャンネル.....	10
4.7.2.2 FIFO	10
4.7.3 データフロー.....	10
4.7.4 USBホストポートの外付け回路	12
4.8 FIFO	12
5. 端子配置図.....	13
6. 端子機能説明	14
7. 電気的特性.....	17
7.1 絶対最大定格	17
7.2 推奨動作条件	17
7.3 DC特性	18
7.3.1 消費電流	18
7.3.2 入力特性	20
7.3.3 出力特性	21

7.3.4	端子容量	22
7.4	AC特性	23
7.4.1	RESETタイミング	23
7.4.2	クロックタイミング	23
7.4.3	CPU/DMA I/Fアクセスタイミング	24
7.4.3.1	CVDD=1.65V~3.6Vでの規定	24
7.4.3.2	CVDD=3.0~3.6Vに制限した場合の規定(緩和規定)	25
7.4.4	USB I/Fタイミング	26
8.	接続例	27
8.1	CPU I/F接続例	27
8.2	USB I/F接続例	28
9.	製品型番	29
10.	外形寸法図	30

1. 概要

S2R72V18 は USB2.0 準拠のハイスピードモードに対応する USB ホスト / デバイスコントローラ LSI です。ホストポートを 2 つ備え USB ルート HUB として機能し、また、内一つのポートは制御を切り替えることにより USB デバイスポートとしても機能します。

2. 特長

2. 特長

《 USB2.0 ホスト機能 》

- 2 ポートルート HUB 装備
- HS(480Mbps), FS(12Mbps) 及び LS(1.5Mbps)転送サポート
- ダウンストリームポート用プルダウン抵抗内蔵 (外付け回路不要)
- HS ターミネーション内蔵 (外付け回路不要)
- コントロール、バルク、インタラプト及びアイソクロナス転送をサポート
組み込みに特化し、実績のある Channel 方式
各ポート Control 転送専用 Channel 1 本
各ポート Bulk 転送専用 Channel 1 本
各ポート Bulk、Interrupt 及び Isochronous 転送用 Channel 4 本
- USB パワースイッチインタフェース

《 USB2.0 デバイス機能 》

- HS(480Mbps)及び FS(12Mbps)転送サポート
- FS/HS ターミネーション内蔵 (外付け回路不要)
- VBUS 5V I/F (外付け保護回路要)
- コントロール、バルク、インタラプト及びアイソクロナス転送をサポート
- Bulk, Interrupt, Isochronous 転送用 5 本、及び、Endpoint 0 をサポート

《 MCU I/F 》

- 16bit 幅の、汎用 CPU バス I/F に対応
- 各ポート DMA 1ch 搭載 (Multi-word 手順)
- Big Endian(Little Endian の CPU に対応するためのバススワップ機能を搭載)
- I/F 電圧変更可能(3.3V ~ 1.8V)

《 その他 》

- クロック入力 : 12MHz, 24MHz の水晶発振子対応。(発振回路及び帰還抵抗 1 M Ω 内蔵)
- 電源電圧 : 3.3V と 1.8V 及び CPU I/F 電源(3.3V~1.8V)の 3 電圧系統
- パッケージタイプ QFP14-80, PFBGA10UX121
- 動作保証温度範囲 -40℃~105℃

3. ブロック図

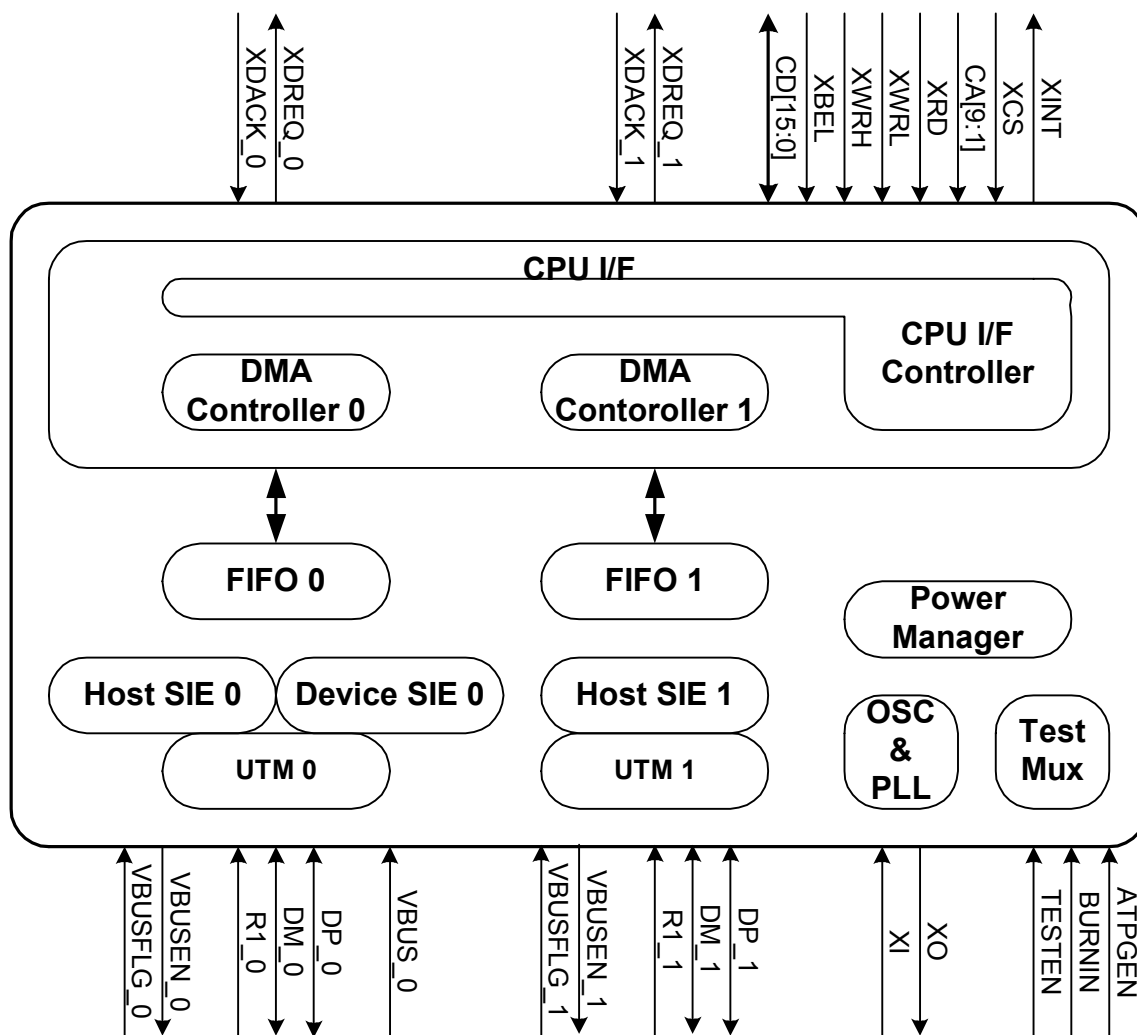


図 3-1 ブロック図

4. 機能説明

4. 機能説明

以下の説明で使用するレジスタ名称につきましては、本 LSI のテクニカルマニュアルをご参照下さい。また、本機種のレジスタは、USB デバイス機能を除き各ポートに同じ機能のものが有りますが、特にポート別の説明をする場合にのみそのことを明記します。

4.1 電源

本 LSI には 3 系統の電源と、共通の GND があります。USB I/O 用の電源である HVDD(3.3V)、CPU I/F I/O 用の電源である CVDD(3.3V~1.8V)と、内部回路及び TEST I/O 用の電源である LVDD(1.8V)を電源としています。(図 4-1 参照)

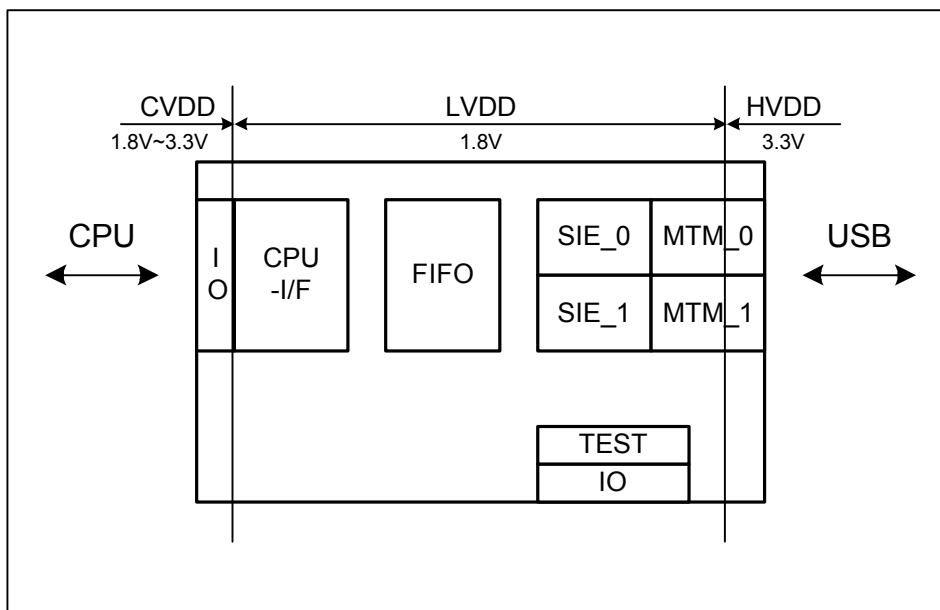


図 4-1 S2R72V18 電源系統図

以下に電源投入順ならびに電源オフ順を説明します。

本 LSI は、定常的に一部の電源のみを ON または OFF することは出来ません。また、CVDD 及び HVDD の I/O 電源と、LVDD の内部電源との間で、電源投入順及び遮断順に、下記の制限があります。CVDD と HVDD の投入順及び遮断順には制限がありません。

- LVDD を先に ON にした後、CVDD 及び HVDD を ON にするように、電源を投入してください。
- CVDD 及び HVDD を OFF にした後、LVDD を OFF にするように、電源を遮断してください。

なお、電源回路の特性や、電源負荷の関係などによって前記の順序を厳密に守れない場合は、LVDD が OFF であり、かつ、CVDD または HVDD が ON となるような状態が 1sec 以下となるようにしてください。

4.2 リセット

本 LSI は外部 XRESET 端子によるハードリセットと、レジスタ設定によるソフトリセットの機能を持ちます。

4.2.1 ハードリセット

電源投入時はリセット状態から立ち上げ、電源確定後にリセットを解除して下さい。

4.2.2 ソフトリセット

ソフトウェア的に回路のリセット、また、内蔵の USB アナログマクロを個別にリセットすることが出来ます。各ポートの `ChipReset.AllReset` ビットにより、`CPU_MODE` レジスタを除く全回路をソフトリセットします。また、各ポートの `ChipReset.ResetMTM` ビットにより、各ポートの USB アナログマクロをリセットします。但し、スリープステート以外では、USB アナログマクロをリセットしないで下さい。

4.3 クロック

本 LSI は、オシレータと帰還抵抗($1\text{M}\Omega$)を内蔵し、外付けの振動子によるクロック生成に対応しています。またレジスタ設定により、発振周波数を 12MHz または 24MHz に設定できます。

図 4-2 に発振回路の接続例を示します。図中の発振回路の C_d , C_g , R_d は、振動子によってマッチングをとって頂く必要がありますので、これらの回路定数は振動子メーカーにご相談ください。

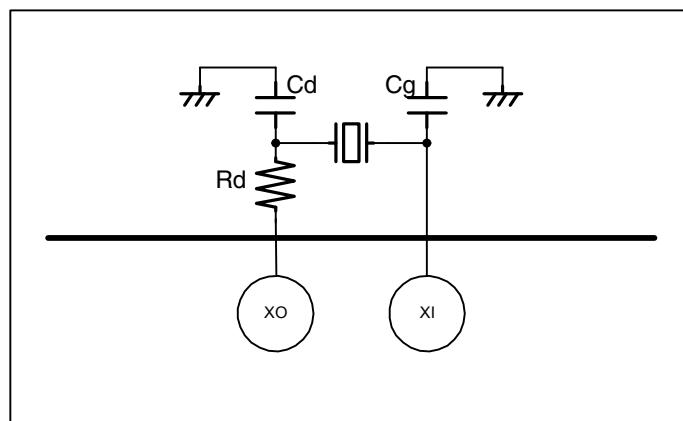


図 4-2 内蔵オシレータと外付け振動子によるクロック生成

4. 機能説明

4.4 パワーマネージメント

本 LSI はパワーマネジメント機能を装備し、ポート毎に SLEEP / ACTIVE の 2 通りのパワーマネジメントステートと、チップ共通の CPU_Cut のパワーマネジメントステートを持ちます。(図 4-3 参照)

ACTIVE ステートでは全ての機能ブロックが動作状態となります一方、SLEEP ステートでは待機状態から復帰するために必要な最低限の回路のみが動作します。さらに、CPU_Cut モードでは、CPU-I/F の入力バッファによる電力消費も抑制します。

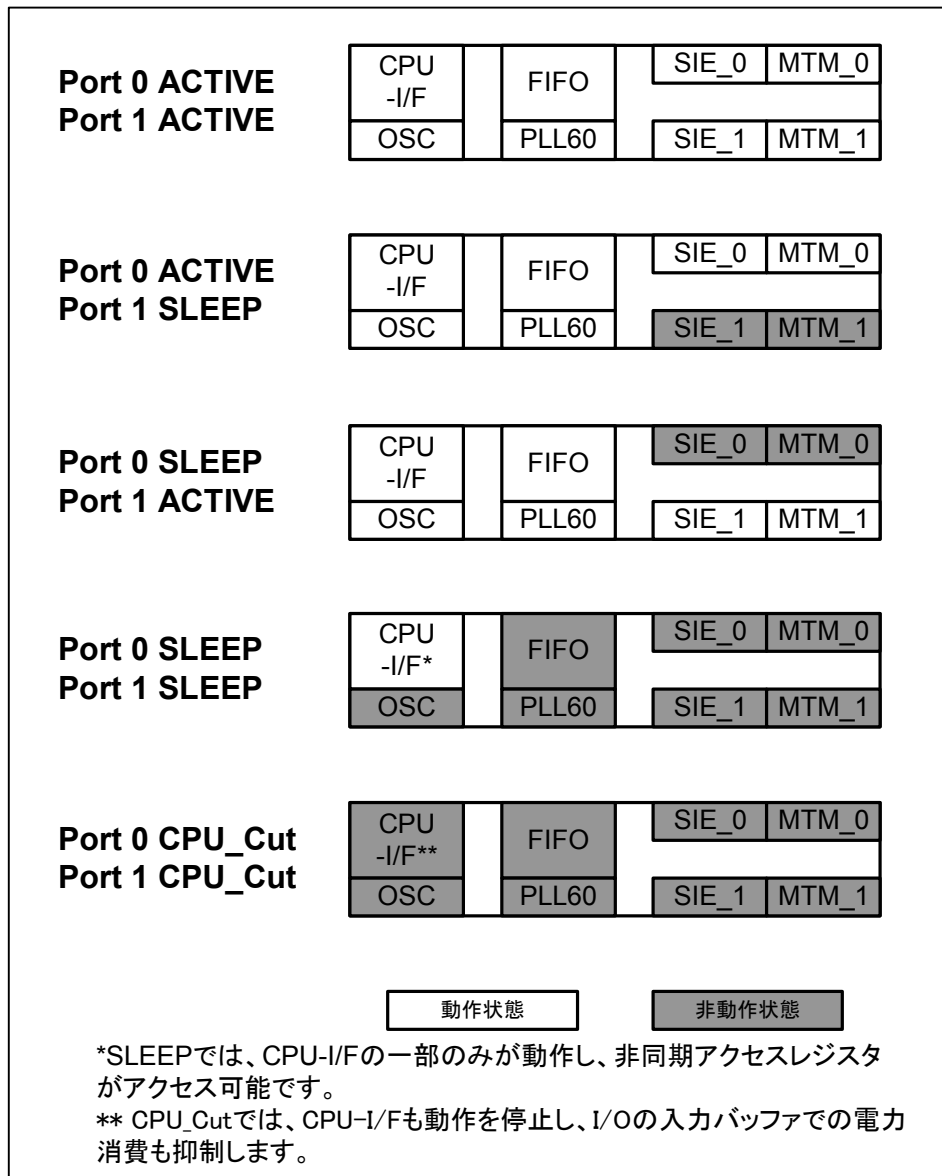


図 4-3 パワーマネージメントステート

4.5 CPU-I/F

本 LSI は 16 ビットインタフェースで CPU と接続します。16bit 単位での Big Endian または Little Endian の Endian を設定できます。Big Endian では、偶数アドレスのレジスタがバスの上位(CD[15:8])で、奇数アドレスのレジスタがバスの下位(CD[7:0])でアクセスできます。Little Endian では、偶数アドレスのレジスタがバスの下位(CD[7:0])で、奇数アドレスのレジスタがバスの上位(CD[15:8])でアクセスできます。

また、上位または下位 8bit での書き込みに対し、High/Low のストローブ(XWRH/XWRL)でアクセスするストローブモードか、または、High/Low のバイトイネーブル(XBEH/XBEL)でアクセスするバイトイネーブルモードかのバスモードを設定することが出来ます。Endian 及びバスモードは、リセット解除直後に CPUIF_MODE レジスタで設定します。

また、本 LSI の CPU-I/F は、各ポート専用 to 各 1ch(計 2ch)の DMA(スレーブ)をに装備しています。

パワーマネジメントステートにより、アクセス可能なレジスタが異なります。詳しくは、本 LSI のテクニカルマニュアルをご参照下さい。

4.6 USBデバイスI/F

本 LSI の USB Port 0 は、USB2.0(Universal Serial Bus Specification Revision 2.0)規格に準拠した、High-Speed 仕様の USB デバイス機能をサポートします。

4.6.1 スピードモードと転送タイプ

本 LSI の USB デバイス機能は、HS(480Mbps)及び FS(12Mbps)のスピードモードをサポートします。バスリセット時に行われるスピードネゴシエーションにより、スピードモードは自動的に決定されます。例えば HS スピードモードに対応する USB ホストと接続した場合は、スピードネゴシエーションにより自動的に HS 転送モードが選択されます。但し、レジスタ設定により、意図的に FS スピードモードが選択されるようにスピードネゴシエーションを実行させることが可能です。

転送タイプは、コントロール転送(エンドポイント 0)、バルク転送、インタラプト転送、及び、アイソクロナス転送の、USB2.0 規格が定める全ての転送タイプをサポートします。

4.6.2 リソース

4.6.2.1 エンドポイント

本 LSI の USB デバイス機能は、エンドポイント 0 と、5 本の汎用エンドポイントを備えています。エンドポイント 0 はコントロール転送をサポートします。汎用エンドポイントはバルク転送、インタラプト転送、及び、アイソクロナス転送をサポートします。汎用エンドポイントのエンドポイントナンバー、マックスパケットサイズ、及び、転送方向(IN/OUT)は任意に設定できます。

4.6.2.2 FIFO

本 LSI の各ポートは、USB のデータ転送で使用可能な FIFO を 4.5kB 備え、USB とのデータ転送路を形成します。各エンドポイントへの FIFO 容量の割り当て量を、ソフトウェアから任意に設定できます。例えば、バルク転送を行うエンドポイントに、十分大きなサイズの FIFO エリアを割り当てることにより、パフォーマンスの向上を図ることが出来ます。

4. 機能説明

4.6.3 データフロー

エンドポイントは、USB FIFO エリアと一対一に割り当てられ、USB FIFO の有効空き容量(OUT 転送の場合)、または、有効データ数(IN 転送の場合)によって、自動的に USB 上のトランザクションへの応答を行います。従って、ソフトウェアは個々のトランザクションの実行に関与する必要が無く、USB FIFO 上のデータフローとして USB のデータ転送を制御することが出来ます。

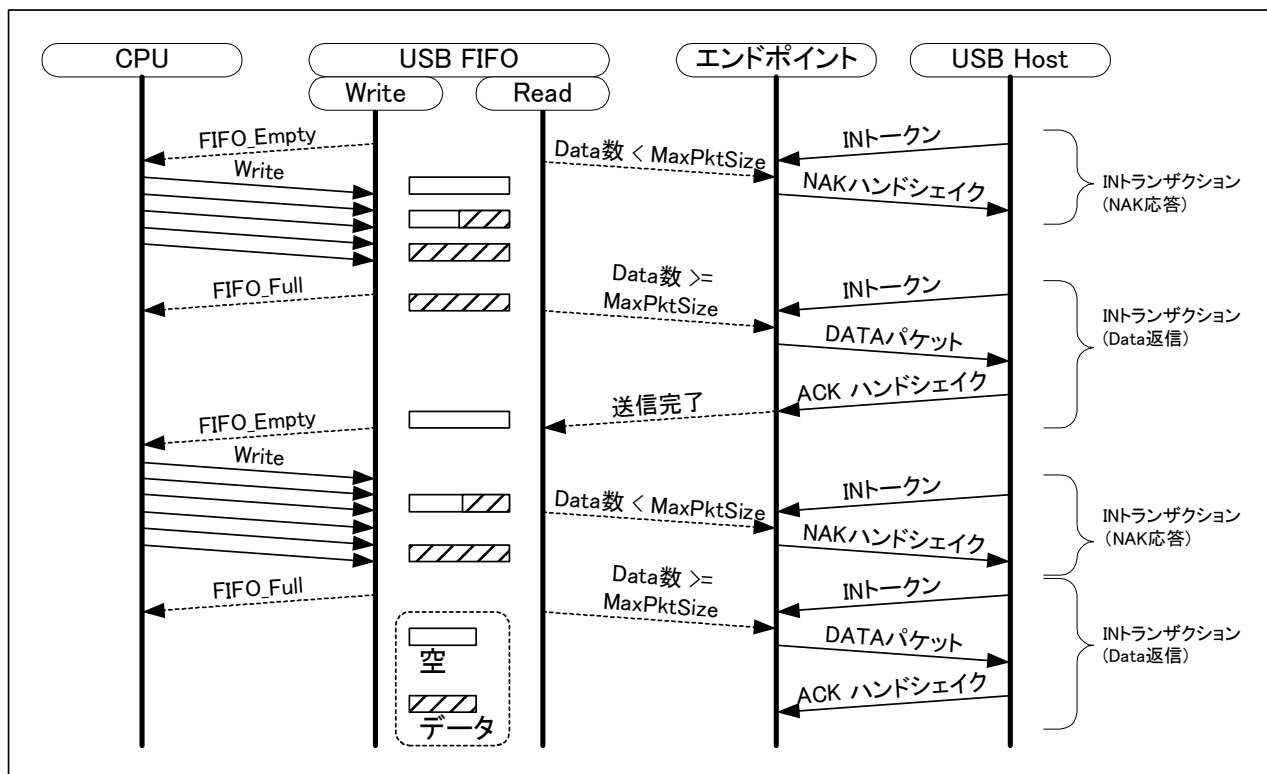


図 4-4 データフローの例(IN 転送で MaxPktSize 分の FIFO を割り当てた場合)

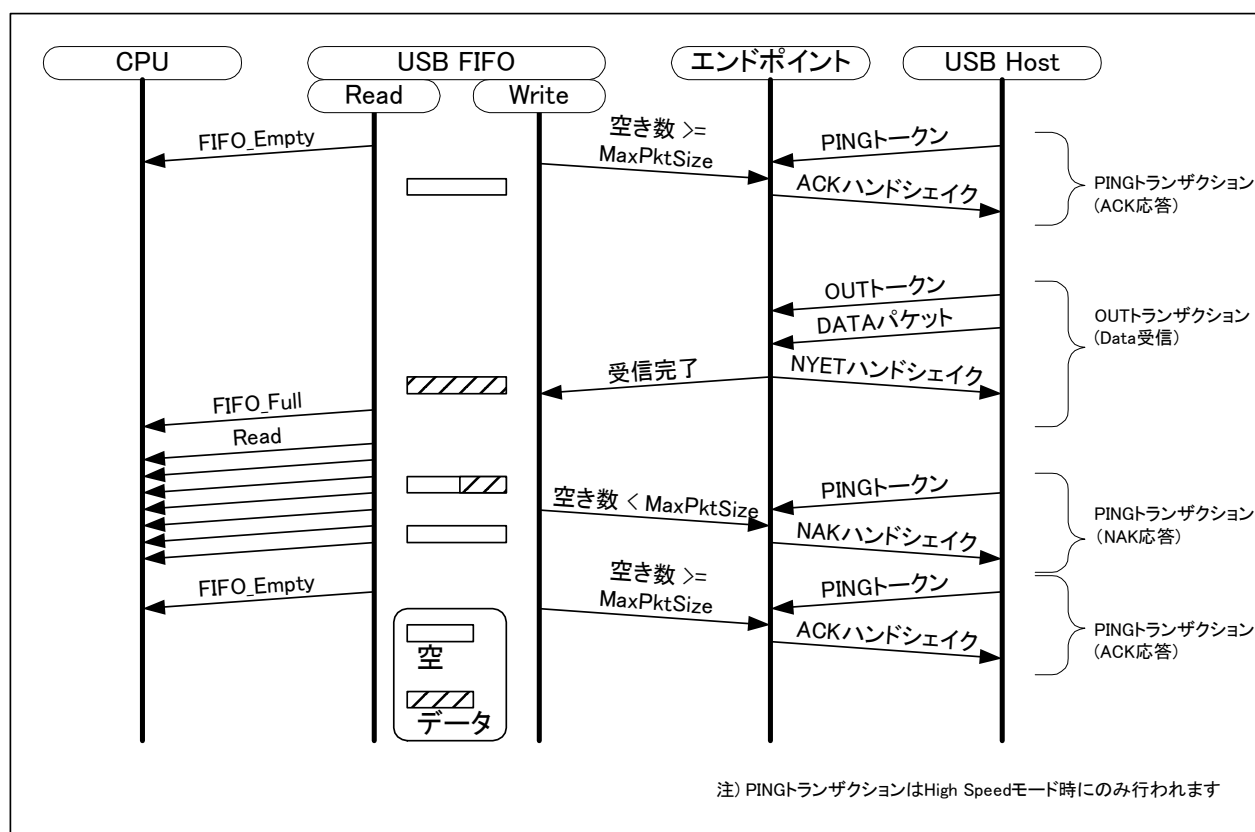


図 4-5 データフローの例(OUT 転送で MaxPktSize 分の FIFO を割り当てた場合)

4.6.4 USBデバイスポートの外付け回路

本 LSI の USB Port 0 は FS 及び HS のデバイス終端抵抗を内蔵しており、一般的に用いられているインピーダンス調整のための外付け部品が不要です。そのため、DP/DM ラインは、本 LSI の端子とコネクタとを直結することが出来ます。但し、静電保護や EMI 対策につきましては、必要に応じて適切な部品をご使用下さい。

VBUS 端子は 5V 入力となっており、外部での電圧変換を必要としません。但し市場の USB ホスト製品や HUB 製品によっては、接続時に VBUS に定格を超えるサージを印加するものがありますので、そのための保護回路を推奨しています。

別途、「S1R72V シリーズ向け USB2.0 Hi-Speed 用 PCB 設計ガイドライン」を用意しておりますので、ご参照下さい。

4.7 USBホストI/F

本 LSI の USB Port 0 及び USB Port 1 は、USB2.0(Universal Serial Bus Specification Revision 2.0) 規格に準拠した、High-Speed 仕様の USB ホスト機能をサポートします。

4.7.1 スピードモードと転送タイプ

本 LSI の USB ホスト機能は、HS(480Mbps)、FS(12Mbps)及び LS(1.5Mbps)のスピードモードをサポートします。バスリセット時に行われるスピードネゴシエーションにより、スピードモードは自動的に決定されます。

転送タイプは、コントロール転送、バルク転送、インタラプト転送、及び、アイソクロナス転送の、USB2.0 規格が定める全ての転送タイプをサポートします。

4.7.2 リソース

4.7.2.1 チャンネル

本 LSI の USB ホスト機能では、デバイスのエンドポイントと 1 対 1 で対応し、そのエンドポイントと行う転送の為の設定レジスタセットをチャンネルと呼びます。本 LSI の USB ホスト機能は、コントロール転送専用チャンネルを 1 本と、バルク転送専用チャンネルを 1 本と、バルク転送、インタラプト転送、及び、アイソクロナス転送をサポートする汎用チャンネルを 4 本備えています。全てのチャンネルのエンドポイントナンバー、マックスパケットサイズ、及び、転送方向(IN/OUT)は任意に設定できます。また、チャンネルをソフトウェアで時分割で使用するにより、チャンネル数を越える数のエンドポイントと転送を行うことが出来ます。

4.7.2.2 FIFO

本 LSI の各ポートは、USB のデータ転送を行う FIFO をそれぞれ 4.5kB 備え、USB とのデータ転送路を形成します。各チャンネルへの FIFO 容量の割り当て量を、ソフトウェアから任意に設定できます。例えば、バルク転送を行うチャンネルに、十分大きなサイズの FIFO エリアを割り当てることにより、パフォーマンスの向上を図ることが出来ます。

4.7.3 データフロー

チャンネルは、FIFO エリアと一対一に割り当てられ、FIFO の有効空き容量(IN 転送の場合)、または、有効データ数(OUT 転送の場合)によって、自動的に USB 上へトランザクションの発行を行います。従って、ソフトウェアは個々のトランザクションの実行に関与する必要が無く、FIFO 上のデータフローとして USB のデータ転送を制御することが出来ます。

4. 機能説明

4.7.4 USBホストポートの外付け回路

本 LSI は各ポートに HS 終端抵抗を含めた USB ホストの終端抵抗を内蔵していますので、一般的に用いられているインピーダンス調整のための外付け部品が不要です。そのため、DP/DM ラインは、本 LSI の端子とコネクタとを直結することが出来ます。但し、静電保護や EMI 対策につきましては、必要に応じて適切な部品をご使用下さい。

VBUS に関しては外付けの VBUS 制御部品が必要となります。

4.8 FIFO

本 LSI は、USB のデータ転送を行う USB FIFO を各ポート毎に 4.5kB 備えています。各エンドポイントまたはチャネルへの USB FIFO 容量の割り当て量を、レジスタ設定により任意に設定できます。

USB FIFO を介して、USB-I/F と CPU-I/F との間の転送を行うことが出来ます。

[illegible]

図 5-1 QFP パッケージ端子配置図

	1	2	3	4	5	6	7	8	9	10	11	
A	NC	XI	VSS	HVDD	LVDD	DP_1	DM_1	R1_1	LVDD	VSS	NC	A
B	XO	LVDD	VBUSFLG_0	VBUSFLG_1	VSS	HVDD	VSS	VSS	BURNIN	CD15	VSS	B
C	LVDD	VSS	VBUSEN_0	VBUSEN_1	VSS	VSS	VSS	VSS	VSS	CD14	CD13	C
D	R1_0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CD12	CD11	D
E	DM_0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CD9	CD10	LVDD	E
F	DP_0	HVDD	VBUS_0	VSS	VSS	VSS	VSS	VSS	CD6	CD7	CD8	F
G	LVDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CD4	CD5	CVDD	G
H	VSS	LVDD	VSS	VSS	VSS	VSS	VSS	VSS	ATPGEN	CD2	CD3	H
J	CVDD	XRESET	TESTEN	CA5	CA9	XCS	XWRL	VSS	VSS	CD1	CD0	J
K	XBEL	CA1	CA3	CA6	CA7	XINT	XWRH	XDREQ0	XDREQ1	VSS	VSS	K
L	NC	CA2	CA4	CVDD	CA8	VSS	XRD	LVDD	XDACK0	XDACK1	NC	L
	1	2	3	4	5	6	7	8	9	10	11	

Top View

図 5-2 BGA パッケージ端子配置図

6. 端子機能説明

6. 端子機能説明

OSC						
Pin	Ball	名称	I/O	RESET	端子タイプ	端子説明
80	A2	XI	IN	-	Analog	内部発振回路用入力 12MHz/24MHz
1	B1	XO	OUT	-	Analog	内部発振回路用出力

TEST						
Pin	Ball	名称	I/O	RESET	端子タイプ	端子説明
19	J3	TESTEN	IN	-	-	テスト端子(Low 固定)
41	H9	ATPGEN	IN	-	-	テスト端子(Low 固定)
61	B9	BURNIN	IN	-	-	テスト端子(Low 固定)

USB Port 0						
Pin	Ball	名称	I/O	RESET	端子タイプ	端子説明
5	D1	R1_0	IN	-	Analog	内部動作基準電流設定端子 6.2k Ω $\pm$ 1%の抵抗を VSS 間に接続
10	F1	DP_0	BI	Hi-Z	Analog	USB ポート 0・データライン Data+
8	E1	DM_0	BI	Hi-Z	Analog	USB ポート 0・データライン Data-
76	B3	VBUSFLG_0	IN	(PU)	Schmitt (PU)	USB パワースイッチ・フォールト検出信号 1:正常 0:異常
77	C3	VBUSEN_0	OUT	Lo	2mA	USB パワースイッチ制御信号
12	F3	VBUS_0	IN	(PD)	(PD)	USB デバイス・バス検出信号

PD: Pull Down

PU: Pull Up

USB Port 1						
Pin	Ball	名称	I/O	RESET	端子タイプ	端子説明
64	A8	R1_1	IN	-	Analog	内部動作基準電流設定端子 6.2k Ω $\pm$ 1%の抵抗を VSS 間に接続
69	A6	DP_1	BI	Hi-Z	Analog	USB ポート 1・データライン Data+
67	A7	DM_1	BI	Hi-Z	Analog	USB ポート 1・データライン Data-
74	B4	VBUSFLG_1	IN	(PU)	Schmitt (PU)	USB パワースイッチ・フォールト検出信号 1:正常 0:異常
75	C4	VBUSEN_1	OUT	Lo	2mA	USB パワースイッチ制御信号

PD: Pull Down

PU: Pull Up

6. 端子機能説明

CPU I/F						
Pin	Ball	名称	I/O	RESET	端子タイプ	端子説明
Bus Mode ⇒						16bit Strobe mode 16bit BE mode
17	J2	XRESET	IN	-	-	リセット信号
33	L7	XRD	IN	-	-	リード・ストロブ
35	J7	XWRL (XWR)	IN	-	-	ライト・ストロブ 下位 ライト・ストロブ
34	K7	XWRH (XBEH)	IN	-	-	ライト・ストロブ 上位 ハイ・バイト イネーブル
32	J6	XCS	IN	-	-	チップセレクト信号
31	K6	XINT	OUT	High	2mA (Tri-state)	割り込み出力信号
37	K8	XDREQ0	OUT	High	2mA	Port 0 DMA リクエスト
38	L9	XDACK0	IN	-	-	Port 0 DMA アクノリッジ
39	K9	XDREQ1	OUT	High	2mA	Port 1 DMA リクエスト
40	L10	XDACK1	IN	-	-	Port 1 DMA アクノリッジ
18	K1	XBEL	IN	-	-	High or Low 固定 ロー・バイト イネーブル
20	K2	CA1	IN	-	-	CPU バスアドレス
21	L2	CA2	IN	-	-	
22	K3	CA3	IN	-	-	
23	L3	CA4	IN	-	-	
24	J4	CA5	IN	-	-	
26	K4	CA6	IN	-	-	
27	K5	CA7	IN	-	-	
28	L5	CA8	IN	-	-	
29	J5	CA9	IN	-	-	
42	J11	CD0	BI	Hi-Z	2mA	CPU データバス
43	J10	CD1	BI	Hi-Z	2mA	
44	H10	CD2	BI	Hi-Z	2mA	
45	H11	CD3	BI	Hi-Z	2mA	
46	G9	CD4	BI	Hi-Z	2mA	
47	G10	CD5	BI	Hi-Z	2mA	
49	F9	CD6	BI	Hi-Z	2mA	
50	F10	CD7	BI	Hi-Z	2mA	
51	F11	CD8	BI	Hi-Z	2mA	
52	E9	CD9	BI	Hi-Z	2mA	
53	E10	CD10	BI	Hi-Z	2mA	
55	D11	CD11	BI	Hi-Z	2mA	
56	D10	CD12	BI	Hi-Z	2mA	
57	C11	CD13	BI	Hi-Z	2mA	
58	C10	CD14	BI	Hi-Z	2mA	
59	B10	CD15	BI	Hi-Z	2mA	

XINT 端子は、レジスタ設定により、I/O モードと Hi-Z/I/O モードを選択できます。

PD: Pull Down

PU: Pull Up

6. 端子機能説明

POWER				
Pin	Ball	名称	電圧	端子説明
7, 11, 66, 70, 73	F2, B6, A4	HVDD	3.3V	USB I/O 用電源
16, 25, 48	J1, L4, G11	CVDD	1.8~3.3 v	CPU I/F I/O 用電源
3, 13, 15, 36, 54, 62, 71, 79	C1, G1, H2, L8, E11, A9, A5, B2	LVDD	1.8V	OSC I/O, TEST I/O, 内部電源
2, 4, 6, 9, 14, 30, 60, 63, 65, 68, 72, 78	A3, A10, B5, B7, B8, B11, C2, C5, C6, C7, C8, C9, D2, D3, D4, D5, D6, D7, D8, D9, E2, E3, E4, E5, E6, E7, E8, F4, F5, F6, F7, F8, G2, G3, G4, G5, G6, G7, G8, H1, H3, H4, H5, H6, H7, H8, J8, J9, K10, K11, L6	VSS	0V	GND
-	A1, A11, L1, L11	N.C.	0V	N.C.端子(GND に接続してください)

7. 電気的特性

7.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	HVDD	VSS - 0.3 ~ 4.0	V
	CVDD	VSS - 0.3 ~ 4.0	V
	LVDD	VSS - 0.3 ~ 2.5	V
入力電圧	HVI	VSS - 0.3 ~ HVDD + 0.5	V
	CVI*1	VSS - 0.3 ~ CVDD + 0.5	V
	VVI*2	VSS - 0.3 ~ 6.0	V
	LVI*3	VSS - 0.3 ~ LVDD + 0.5	V
出力電圧	HVO	VSS - 0.3 ~ HVDD + 0.5	V
	CVO*1	VSS - 0.3 ~ CVDD + 0.5	V
出力電流／端子	IOUT	±10	mA
保存温度	Tstg	-65 ~ 150	°C

※1 CPU-IF

※2 VBUS_0

※3 XI, TESTEN, ATPGEN, BURNIN

7.2 推奨動作条件

項目	記号	MIN	TYP	MAX	単位
電源電圧	HVDD	3.00	3.30	3.60	V
	CVDD	1.65	-	3.60	V
	LVDD	1.65	1.80	1.95	V
入力電圧	HVI	-0.3	-	HVDD+0.3	V
	CVI*1	-0.3	-	CVDD+0.3	V
	VVI*2	-0.3	-	6.0	V
	LVI*3	-0.3	-	LVDD+0.3	V
周囲温度	Ta	-40	25	105	°C

※1 CPU-I/F

※2 VBUS_0

※3 XI, TESTEN, ATPGEN, BURNIN

本 IC は下記順序で電源投入を行ってください。

LVDD (内部) →HVDD,CVDD(IO 部)

また、本 IC は下記順序で電源遮断を行って下さい。

HVDD,CVDD(IO 部) →LVDD (内部)

注)

LVDD が切断されている状態で HVDD,CVDD のみを継続的(1Sec 以上)に印可することは Chip の信頼性上問題がありますので避けてください。

7. 電気的特性

7.3 DC特性

7.3.1 消費電流

項目	記号	条件	MIN	TYP	MAX	単位
電源供給電流 ※1						
電源電流	IDDH	HVDD = 3.3V(typ), HVDD = 3.6V(max)	-	17.3	26.0	mA
	IDDCH	CVDD = 3.3V(typ), CVDD = 3.6V(max)	-	2.0	6.0	mA
	IDDCL	CVDD = 1.8V(typ), CVDD = 1.95V(max)	-	0.8	2.3	mA
	IDDL	LVDD = 1.8V(typ), LVDD = 1.95V(max)	-	60.9	92.0	mA
静止電流 ※2						
電源電流	IDDS	VIN = HVDD, CVDD, LVDD or VSS HVDD = 3.6V CVDD = 3.6V LVDD = 1.95V	-	-	40	μ A
入力リーク						
入力リーク電流	IL	HVDD = 3.6V CVDD = 3.6V LVDD = 1.95V HVIH = HVDD CVIH = CVDD LVIH = LVDD VIL = VSS	-5	-	5	μ A

※1: typ は 72V18 のそれぞれのポートが USB ホストとして動作させ、それぞれのポートに接続したデバイス間でデータを送受信している状態での測定値。max は同値からの見積値。

※2: Ta = 25°C、双方向端子が入力状態である場合の静止電流値。

7. 電気的特性

弊社動作環境下における、各パワーマネジメントステートでの消費電力測定値(Ta = 25°C)

項目	条件	MIN	TYP	MAX	単位
CPU_Cut	CPU バス動作※1※2				
電源電力	HVDD = 3.3V CVDD = 3.3V LVDD = 1.8V	-	17	-	μW
SLEEP	CPU バス動作※1※2				
電源電力	HVDD = 3.3V CVDD = 3.3V LVDD = 1.8V	-	212	-	μW
ACTIVE/SLEEP (USB⇄CPU-I/F)	※3				
電源電力	HVDD = 3.3V CVDD = 3.3V LVDD = 1.8V	-	101	-	mW
ACTIVE/ACTIVE (USB⇄CPU-I/F)	※4				
電源電力	HVDD = 3.3V CVDD = 3.3V LVDD = 1.8V	-	172	-	mW

※1： CPU が CPU バス上に接続されているメモリ(SRAM や ROM 等)にアクセスしている状態。

※2： S2R72V18 が内蔵している DP プルアップ抵抗による消費電流値(約 200 μA)を除く。

※3： USB デバイスとして PC と接続し、データを送受信している状態。

※4： 双方のポートが USB ホストとして USB-HDD を接続し、CPU バス上のメモリと USB-HDD 間でデータを送受信している状態。

7. 電氣的特性

7.3.2 入力特性

項目	記号	条件	MIN	TYP	MAX	単位
入力特性(LVCMOS)	端子名 : CA[8:1], CD[15:0], XCS, XRD, XWRL, XWRH, XBEL, XDACK_0, XDACK_1, XRESET					
“H”レベル入力電圧	VIH2	CVDD = 3.6V	2.2	-	-	V
“L”レベル入力電圧	VIL2	CVDD = 3.0V	-	-	0.8	V
“H”レベル入力電圧	VIH3	CVDD = 1.95V	1.27	-	-	V
“L”レベル入力電圧	VIL3	CVDD = 1.65V	-	-	0.57	V
シュミット入力特性	端子名 : VBUSFLG_0, VBUSFLG_1					
“H”レベルトリガ電圧	VT+	HVDD = 3.6V	1.4	-	2.7	V
“L”レベルトリガ電圧	VT-	HVDD = 3.0V	0.6	-	1.8	V
ヒステリシス電圧	ΔV	HVDD = 3.0V	0.3	-	-	V
シュミット入力特性 (USB FS)	端子名 : DP_0, DM_0, DP_1, DM_1					
“H”レベルトリガ電圧	VT+(USB)	HVDD = 3.6V	1.1	-	1.8	V
“L”レベルトリガ電圧	VT-(USB)	HVDD = 3.0V	1.0	-	1.5	V
ヒステリシス電圧	ΔV (USB)	HVDD = 3.0V	0.1	-	-	V
入力特性(USB FS 差動)	端子名 : DP_0, DM_0 のペア、 DP_1, DM_1 のペア					
差動入力感度	VDS(USB)	HVDD = 3.0V 差動入力電圧 = 0.8V~2.5V	-	-	0.2V	V
入力特性(VBUS)	端子名 : VBUS_0					
“H”レベルトリガ電圧	VT+(VBUS)	HVDD = 3.6V	1.86	-	2.85	V
“L”レベルトリガ電圧	VT-(VBUS)	HVDD = 3.0V	1.48	-	2.23	V
ヒステリシス電圧	ΔV (VBUS)	HVDD = 3.0V	0.31	-	0.64	V
入力特性	端子名 : VBUS_0					
プルダウン抵抗	RPLDV	VIH = 5.0V	110	125	150	k Ω

7.3.3 出力特性

項目	記号	条件	MIN	TYP	MAX	単位
出力特性 端子名 : CD[15:0], XDREQ_0, XDREQ_1, XINT						
“H”レベル出力電圧	VOH1	CVDD = 3.0V IOH = -2mA	CVDD-0.4	-	-	V
“L”レベル出力電圧	VOL1	CVDD = 3.0V IOL = 2mA	-	-	VSS+0.4	V
“H”レベル出力電圧	VOH2	CVDD = 1.65V IOH = -1mA	CVDD-0.4	-	-	V
“L”レベル出力電圧	VOL2	CVDD = 1.65V IOL = 1mA	-	-	VSS+0.4	V
出力特性 端子名 : VBUSEN_0, VBUSEN_1						
“H”レベル出力電圧	VOH4	HVDD = 3.0V IOH = -2mA	HVDD-0.4	-	-	V
“L”レベル出力電圧	VOL4	HVDD = 3.0V IOL = 2mA	-	-	VSS+0.4	V
出力特性(USB FS) 端子名 : DP_0, DM_0, DP_1, DM_1						
“H”レベル出力電圧	VOH(USB)	HVDD=3.0V	2.8	-	-	V
“L”レベル出力電圧	VOL(USB)	HVDD=3.6V	-	-	0.3	V
出力特性(USB HS) 端子名 : DP_0, DM_0, DP_1, DM_1						
“H”レベル出力電圧	VHSOH (USB)	HVDD = 3.0V	360	-	-	mV
“L”レベル出力電圧	VHSOL (USB)	HVDD = 3.6V	-	-	10.0	mV
出力特性 端子名 : CD[15:0], XINT						
OFF-STATE リーク電流	IOZ	CVDD = 3.6V CVOH = CVDD VOL = VSS	-5	-	5	μ A

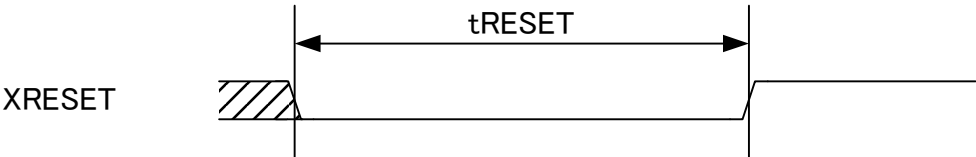
7. 電気的特性

7.3.4 端子容量

項目	記号	条件	MIN	TYP	MAX	単位
端子容量 端子名： 全入力端子						
入力端子容量	CI	f = 10MHz HVDD = CVDD = LVDD = VSS	-	-	8	pF
端子容量 端子名： 全出力端子						
出力端子容量	CO	f = 10MHz HVDD = CVDD = LVDD = VSS	-	-	8	pF
端子容量 端子名： 全入出力端子(DP_0, DM_0, DP_1, DM_1 を除く)						
入出力端子容量 1	CIO1	f = 10MHz HVDD = CVDD = LVDD = VSS	-	-	8	pF
端子容量 端子名： DP_0, DM_0, DP_1, DM_1						
入出力端子容量 2	CIO2	f = 10MHz HVDD = CVDD = LVDD = VSS	-	-	8	pF

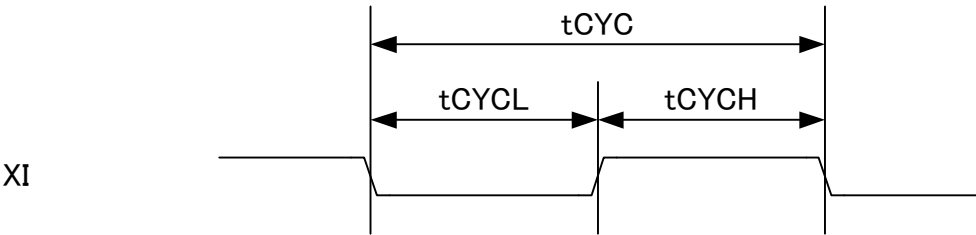
7.4 AC特性

7.4.1 RESETタイミング



記号	説明	min	typ	max	単位
tRESET	リセットパルス幅	40	–	–	ns

7.4.2 クロックタイミング

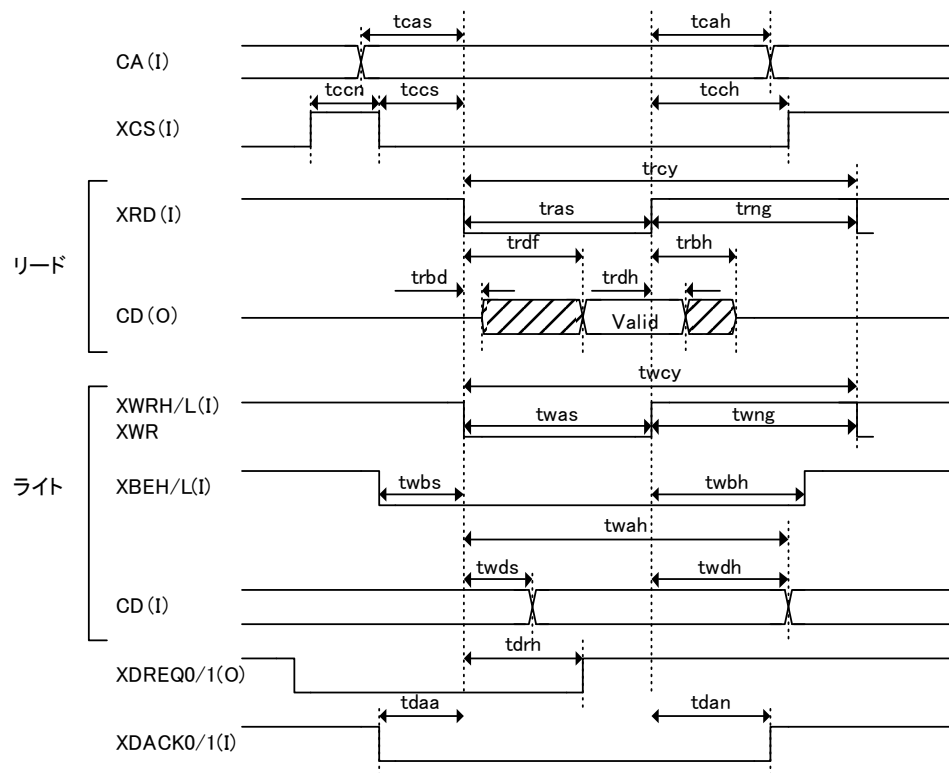


記号	説明	min	typ	max	単位
tCYC	クロックサイクル(ClkSelect=0)	11.999	12	12.001	MHz
tCYC	クロックサイクル(ClkSelect=1)	23.998	24	24.002	MHz
tCYCH tCYCL	クロックデューティ	45	–	55	%

7.4.3.1 CVDD=1.65V~3.6Vでの規定



7.4.3.2 CVDD=3.0~3.6Vに制限した場合の規定(緩和規定)



(CL=30pF)

記号	項目	min	typ	max	unit
tcas	アドレスセットアップ時間	6	—	—	ns
tcch	アドレスホールド時間	6	—	—	ns
tccs	XCSセットアップ時間	6	—	—	ns
tcch	XCSホールド時間	6	—	—	ns
tccn	XCSネゲート時間 (CPUIFモード設定時のみ※)	15	—	—	ns
trcy	リードサイクル	75	—	—	ns
tras	リードストローブアサート時間	40	—	—	ns
trng	リードストローブネゲート時間	25	—	—	ns
trbd	リードデータ出力開始時間	1	—	—	ns
trdf	リードデータ確定時間	—	—	35	ns
trdh	リードデータホールド時間	2	—	—	ns
trbh	リードデータ出力遅延時間	—	—	10	ns
twcy	ライトサイクル	75	—	—	ns
twas	ライトストローブアサート時間	40	—	—	ns
twng	ライトストローブネゲート時間	25	—	—	ns
twbs	ライトバイトイネーブルセットアップ時間	6	—	—	ns
twbh	ライトバイトイネーブルホールド時間	6	—	—	ns
twds	ライトデータ遅延許容時間	—	—	10	ns
twdh	ライトデータホールド時間 (ストローブネゲーションから)	6	—	—	ns
twah	ライトデータホールド時間 (ストローブアサーションから)	50	—	—	ns
tdrn	XDREQ0/1ネゲート遅延時間	—	—	30	ns
tdaa	XDACK0/1セットアップ時間	6	—	—	ns
tdan	XDACK0/1ホールド時間	6	—	—	ns

※CPUIFモードの設定に関しては『テクニカルマニュアル』を参照してください。

7. 電気的特性

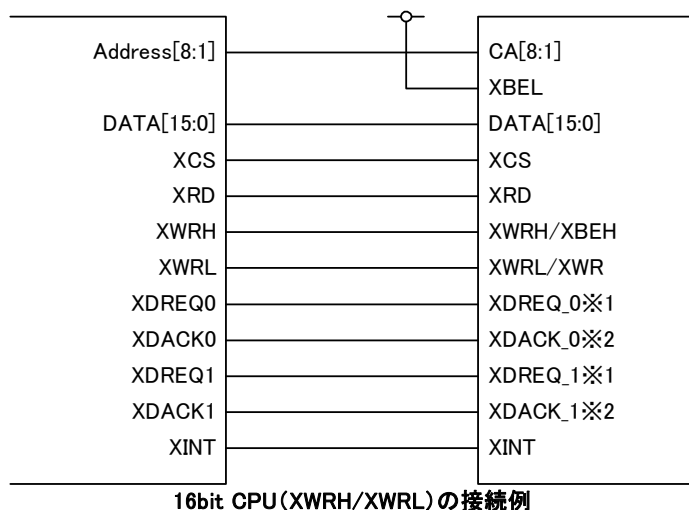
7.4.4 USB I/Fタイミング

USB2.0 規格に準拠します。

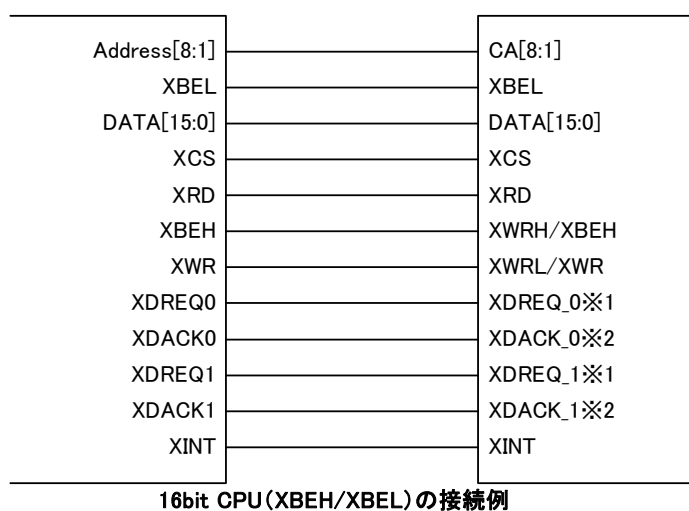
< Universal Serial Bus Specification Revision 2.0 Released on April 27, 2000 >

8. 接続例

8.1 CPU I/F接続例



※1: DMA不使用時はopen

※2: DMA不使用時は
Inactiveレベルに固定

※1: DMA不使用時はopen

※2: DMA不使用時は
Inactiveレベルに固定

8. 接続例

8.2 USB I/F接続例

別途、「S1R72V シリーズ向け USB2.0 Hi-Speed 用 PCB 設計ガイドライン」を参照して下さい。

9. 製品型番

表 9-1 製品型番

製品型番	製品種別
S2R72V18B10****	PFBGA10UX121 パッケージ品
S2R72V18F14****	QFP14-80 パッケージ品

10. 外形寸法図

10. 外形寸法図

巻末の PFBGA10UX121 及び QFP14-80 のパッケージ図面をご参照下さい。

改訂履歴

年月日	改訂内容			
	Rev.	頁	種別	内 容
07/10/12	0.79	全項	新規	新規制定
08/04/01	0.90	24	改訂	T.B.D であった規定値を記入した。
08/07/25	1.00	18,19	改訂	T.B.D であった規定値を記入した。
		18	改訂	“typ は USB ホストとして USB-HDD を接続し、IDE-HDD と USB-HDD 間でデータを送受信している状態(実転送レート 30MB/s)での測定値” → “typ は 72V18 のそれぞれのポートが USB ホストとして動作させ、それぞれのポートに接続したデバイス間でデータを送受信している状態での測定値”
		19	改訂	“一方のポートが USB ホストとして USB-HDD を接続し、CPU バス上のメモリと USB-HDD 間でデータを送受信している状態” → “USB デバイスとして PC と接続し、データを送受信している状態”
				以下余白

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411284302
2007 年 10 月 作成
2008 年 7 月 改訂