

CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33L19

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

Windows 2000およびWindows XPは米国マイクロソフト社の登録商標です。

PC/ATおよびIBMは米国International Business Machines社の登録商標です。

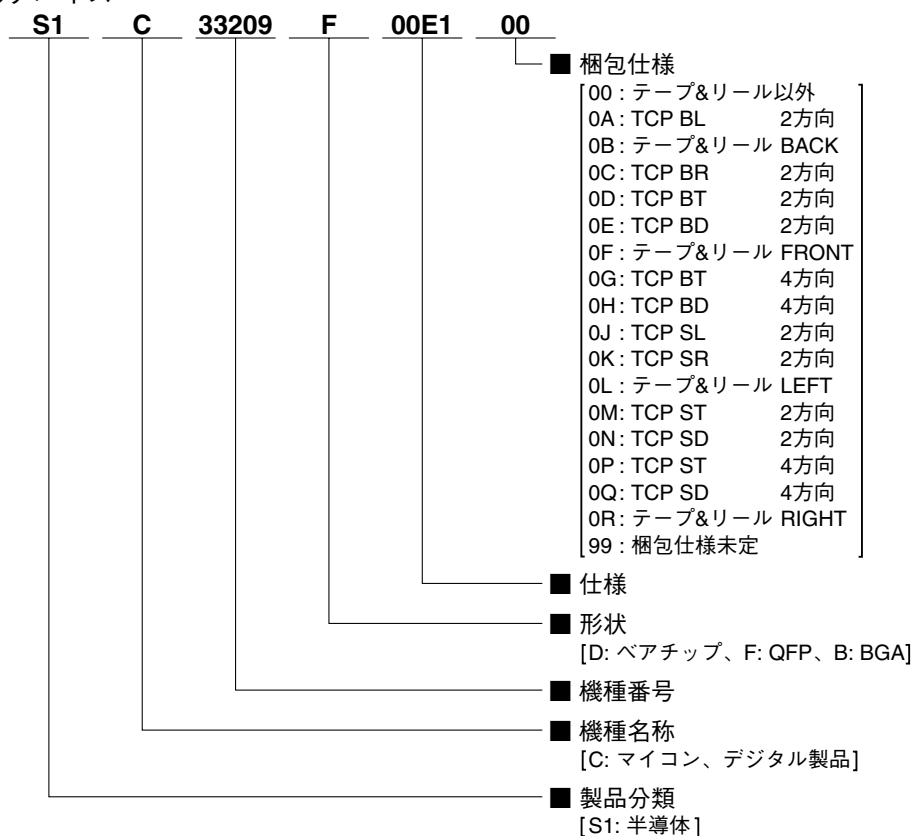
その他のブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

S1C33L19テクニカルマニュアル改訂履歴

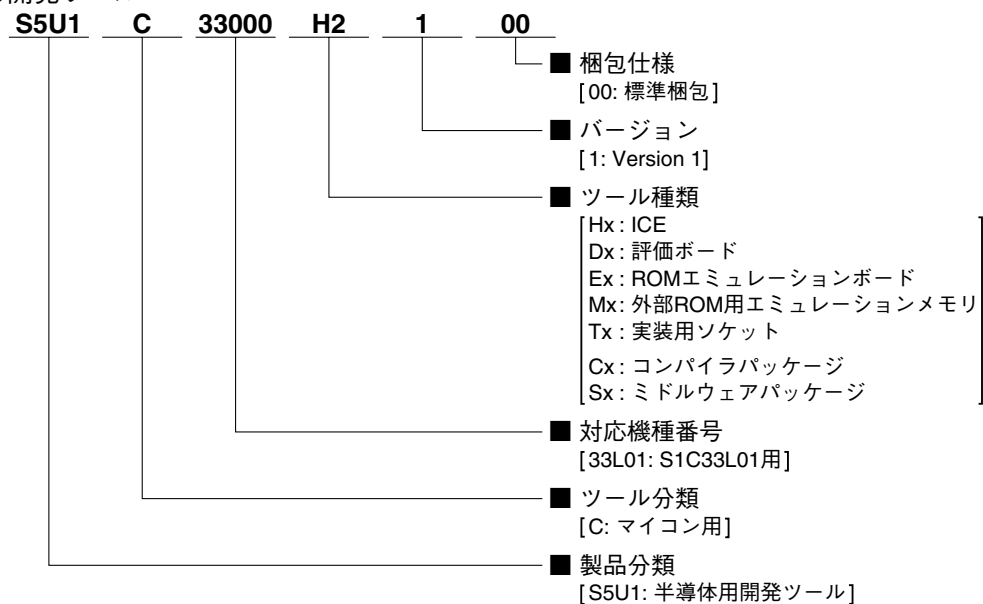
2009年4月 初版

製品型番体系

●デバイス



●開発ツール



S1C33L19 Technical Manual

I S1C33L19の仕様	I
I.1 概要	Overview
I.2 ブロック図	Block
I.3 端子説明	Pin
I.4 電源	Power
I.5 CPUコアとバスアーキテクチャ	CPU
I.6 メモリマップ	Map
I.7 電气的特性	E char
I.8 基本外部結線図	Wiring
I.9 実装上の注意事項	Mount
II バスモジュール	II
II.1 高速DMA (HSDMA)	HSDMA
II.2 インテリジェントDMA (IDMA)	IDMA
II.3 SRAMコントローラ (SRAMC)	SRAMC
II.4 SDRAMコントローラ (SDRAMC)	SDRAMC
III 周辺モジュール1(システム)	III
III.1 クロックマネージメントユニット (CMU)	CMU
III.2 割り込みコントローラ (ITC)	ITC
III.3 リアルタイムクロック (RTC)	RTC
III.4 Miscレジスタ	MISC
IV 周辺モジュール2(タイマ)	IV
IV.1 16ビットタイマ (T16)	T16
IV.2 ウォッチドッグタイマ (WDT)	WDT
V 周辺モジュール3(インタフェース)	V
V.1 汎用シリアルインタフェース (EFSIO)	EFSIO
V.2 非同期シリアルトランシーバ (UART)	UART
V.3 シリアルペリフェラルインタフェース (SPI)	SPI
V.4 I ² Sインタフェース (I ² S)	I ² S
VI 周辺モジュール4(ポート)	VI
VI.1 汎用入出力ポート (GPIO)	GPIO
VI.2 拡張汎用入出力ポート (EGPIO)	EGPIO
VII 周辺モジュール5(アナログ)	VII
VII.1 A/D変換器 (ADC)	ADC
VIII 周辺モジュール6(LCD)	VIII
VIII.1 LCDコントローラ (LCDC)	LCDC
VIII.2 IVRAMとIVRAMアービタ	IVRAM
IX 周辺モジュール7(USB)	IX
IX.1 USBファンクションコントローラ (USB)	USB
X 周辺モジュール8(CALC)	X
X.1 ハードウェア演算モジュール	CALC
Appendix	AP
A I/Oマップ	I/Omap
B C33 PEコアと他のC33コアとの相違点	C33PE
C 開発ツール	DEV
D ブート	Boot
E 注意事項のまとめ	Notes
F クロック制御補足説明	Clock

適用

本書は、セイコーエプソンRISC型32ビットマイクロコンピュータS1C33L19のハードウェア機能や制御レジスタ、設計上の注意事項を解説しています。

本書はアプリケーション/回路の設計者を対象として作成されていますので、内容の理解には、組み込み型マイクロコンピュータや一般的な周辺回路の機能や制御方法などの知識が必要です。

本書の構成

I. S1C33L19の仕様

この章には、S1C33L19の概要、端子説明、電気的特性、ノイズ対策を含む実装上の注意事項が記載されています。

II. バスモジュール

S1C33L19のDMAやバスを管理するモジュールを個別に説明します。

III～IX. 周辺モジュール

内蔵周辺モジュールを個別に説明します。

Appendix

S1C33L19に内蔵されている制御レジスタの一覧、その他補足説明などが掲載されています。

制御ビットとアドレスの記述について

同一機能の制御ビットが複数存在する場合、本書では次のように記述しています。

例: 16ビットタイマのRUN/STOP制御ビット

PRUN x (D0/0x300786 + 8 $\cdot$ x)

この例の‘ x ’はタイマ番号(0～3)を表します。タイマ0～タイマ3にはそれぞれのタイマを制御する同じ機能の制御ビットが設けられています。これを1つにまとめて説明するために‘ x ’を使用しています。したがって、実際のビット名とアドレスは以下のように‘ x ’を0～3に置き換えたものになります。

タイマ0: PRUN0 (D0/0x300786) ※0x300786 + 8 $\times$ 0 = 0x300786

タイマ1: PRUN1 (D0/0x30078E) ※0x300786 + 8 $\times$ 1 = 0x30078E

タイマ2: PRUN2 (D0/0x300796) ※0x300786 + 8 $\times$ 2 = 0x300796

タイマ3: PRUN3 (D0/0x30079E) ※0x300786 + 8 $\times$ 3 = 0x30079E

タイマのほか、メモリのブロック番号やA/D変換器のチャンネル番号なども同様です。

- 目 次 -

I S1C33L19の仕様

I.1 概要	I-1-1
I.2 ブロック図	I-2-1
I.3 端子説明	I-3-1
I.3.1 端子配置	I-3-1
I.3.1.1 QFPパッケージ端子配置図 (S1C33L19F)	I-3-1
I.3.1.2 PFBGAパッケージ端子配置図 (S1C33L19B)	I-3-2
I.3.2 端子機能	I-3-3
I.3.3 マルチプレックス端子の機能切り換え	I-3-9
I.3.3.1 端子機能選択ビット	I-3-9
I.3.3.2 ポート機能選択レジスター一覧	I-3-12
0x3003A0: P00–P03 Port Function Select Register (pP0_03_CFP)	I-3-13
0x3003A1: P04–P07 Port Function Select Register (pP0_47_CFP)	I-3-14
0x3003A2: P10–P13 Port Function Select Register (pP1_03_CFP)	I-3-15
0x3003A3: P14–P17 Port Function Select Register (pP1_47_CFP)	I-3-16
0x3003A4: P20–P23 Port Function Select Register (pP2_03_CFP)	I-3-17
0x3003A5: P24–P27 Port Function Select Register (pP2_47_CFP)	I-3-18
0x3003A6: P30–P33 Port Function Select Register (pP3_03_CFP)	I-3-19
0x3003A7: P34–P36 Port Function Select Register (pP3_46_CFP)	I-3-20
0x3003A8: P40–P43 Port Function Select Register (pP4_03_CFP)	I-3-21
0x3003A9: P44–P47 Port Function Select Register (pP4_47_CFP)	I-3-22
0x3003AA: P50–P53 Port Function Select Register (pP5_03_CFP)	I-3-23
0x3003AB: P54–P57 Port Function Select Register (pP5_47_CFP)	I-3-24
0x3003AC: P60–P63 Port Function Select Register (pP6_03_CFP)	I-3-25
0x3003AD: P64–P67 Port Function Select Register (pP6_47_CFP)	I-3-26
0x3003AE: P70–P73 Port Function Select Register (pP7_03_CFP)	I-3-27
0x3003AF: P74 Port Function Select Register (pP7_4_CFP)	I-3-28
0x3003B0: P80–P83 Port Function Select Register (pP8_03_CFP)	I-3-29
0x3003B1: P84–P85 Port Function Select Register (pP8_45_CFP)	I-3-30
0x3003B2: P90–P93 Port Function Select Register (pP9_03_CFP)	I-3-31
0x3003B3: P94–P97 Port Function Select Register (pP9_47_CFP)	I-3-32
0x300C20: PA0–PA3 Port Function Select Register (pPA_03_CFP)	I-3-33
0x300C21: PA4 Port Function Select Register (pPA_4_CFP)	I-3-34
0x300C22: PB0–PB3 Port Function Select Register (pPB_03_CFP)	I-3-35
0x300C24: PC0–PC3 Port Function Select Register (pPC_03_CFP)	I-3-36
0x300C25: PC4–PC7 Port Function Select Register (pPC_47_CFP)	I-3-37
I.3.4 入出力セルと入出力特性	I-3-38
I.3.5 パッケージ	I-3-41
I.3.5.1 TQFP24-144pinパッケージ	I-3-41
I.3.5.2 PFBGA-180pinパッケージ	I-3-43
I.3.5.3 パッケージの熱抵抗	I-3-45
I.3.6 パッド配置	I-3-46
I.4 電源	I-4-1
I.4.1 電源端子	I-4-1
I.4.2 動作電圧 (V_{DD} , V_{SS})	I-4-2
I.4.3 PLL用電源 (PLV_{DD} , PLV_{SS})	I-4-2
I.4.4 I/Oインタフェース電源 (V_{DDH})	I-4-2
I.4.5 アナログ回路用電源 (AV_{DD})	I-4-2
I.4.6 電源に関する注意事項	I-4-3

I.5 CPUコアとバスアーキテクチャ	I-5-1
I.5.1 特長	I-5-1
I.5.2 CPUレジスタ	I-5-2
I.5.3 命令セット	I-5-3
I.5.4 トラップテーブル	I-5-6
I.5.5 パワーダウンモード	I-5-8
I.5.6 デバッグモード	I-5-9
I.5.7 バスアーキテクチャ	I-5-10
I.5.7.1 32ビット高速バス	I-5-10
I.5.7.2 SAPBバス	I-5-11
I.5.7.3 外部バス	I-5-11
I.5.8 チップID	I-5-12
I.6 メモリマップ	I-6-1
I.6.1 ブートアドレスとGate ROM	I-6-3
I.6.2 エリア0(A0RAM)	I-6-3
I.6.3 エリア1(ファームウェア用内部シーケンサ)	I-6-4
I.6.4 エリア2(デバッグエリア)	I-6-4
I.6.5 エリア3(IVRAM)	I-6-4
I.6.6 エリア3(DST RAM)	I-6-4
I.6.7 エリア6(I/Oエリア)	I-6-4
I.6.8 外部メモリエリア	I-6-4
I.7 電気的特性	I-7-1
I.7.1 絶対最大定格	I-7-1
I.7.2 推奨動作条件	I-7-1
I.7.3 DC特性	I-7-2
I.7.4 消費電流	I-7-3
I.7.5 A/D変換器特性	I-7-5
I.7.6 発振特性	I-7-6
I.7.7 PLL特性	I-7-7
I.7.8 AC特性	I-7-8
I.7.8.1 記号説明	I-7-8
I.7.8.2 AC特性測定条件	I-7-8
I.7.8.3 SRAMC AC特性表	I-7-9
I.7.8.4 SRAMC AC特性タイミングチャート	I-7-10
I.7.8.5 SDRAMインタフェース AC特性	I-7-11
I.7.8.6 LCDC AC特性	I-7-14
I.7.9 USB DC & AC特性	I-7-27
I.8 基本外部結線図	I-8-1
I.9 実装上の注意事項	I-9-1

II バスモジュール

II.1 高速DMA (HSDMA)	II-1-1
II.1.1 HSDMAの機能概要	II-1-1
II.1.2 HSDMAの入出力端子	II-1-5
II.1.3 コントロール情報のプログラミング	II-1-6
II.1.3.1 標準モードと拡張モード	II-1-6
II.1.3.2 IDMAとHSDMAのシーケンシャルアクセス時間	II-1-7
II.1.3.3 デュアルアドレスモードのレジスタ設定	II-1-8
II.1.3.4 シングルアドレスモードのレジスタ設定	II-1-11
II.1.4 DMA転送の許可/禁止	II-1-14
II.1.5 トリガ要因	II-1-15
II.1.6 HSDMAの動作	II-1-16
II.1.6.1 デュアルアドレスモードの動作	II-1-16
II.1.6.2 シングルアドレスモードの動作	II-1-20
II.1.7 HSDMAの割り込み機能	II-1-24
II.1.8 HSDMA動作クロック	II-1-25
II.1.9 制御レジスタ詳細	II-1-26
0x301120–0x301150: HSDMA Ch.x Transfer Counter Registers (pHSx_CNT)	II-1-28
0x301122–0x301152: HSDMA Ch.x Control Registers	II-1-29
0x301124–0x301154: HSDMA Ch.x Low-Order Source Address Setup Registers (pHSx_SADR)	II-1-30
0x301126–0x301156: HSDMA Ch.x High-Order Source Address Setup Registers	II-1-31
0x301128–0x301158: HSDMA Ch.x Low-Order Destination Address Setup Registers (pHSx_DADR)	II-1-33
0x30112A–0x30115A: HSDMA Ch.x High-Order Destination Address Setup Registers	II-1-34
0x30112C–0x30115C: HSDMA Ch.x Enable Registers (pHSx_EN)	II-1-36
0x30112E–0x30115E: HSDMA Ch.x Trigger Flag Registers (pHSx_TF)	II-1-37
0x301162–0x301192: HSDMA Ch.x Control Registers (pHSx_ADV MODE) for ADV mode	II-1-38
0x301164–0x301196: HSDMA Ch.x Source Address Setup Registers (pHSx_AD_SADR) for ADV mode	II-1-40
0x301168–0x30119A: HSDMA Ch.x Destination Address Setup Registers (pHSx_ADV_DADR) for ADV mode	II-1-42
0x30119C: HSDMA STD/ADV Mode Select Register (pHS_CNTLMODE)	II-1-44
0x30119E: DMA Sequential Access Time Register (pHS_ACCTIME)	II-1-45
II.1.10 注意事項	II-1-46
II.2 インテリジェントDMA (IDMA)	II-2-1
II.2.1 IDMAの機能概要	II-2-1
II.2.2 コントロール情報のプログラミング	II-2-3
II.2.2.1 ベースアドレスの設定	II-2-3
II.2.2.2 コントロール情報	II-2-3
II.2.3 IDMAの起動	II-2-8
II.2.4 IDMAの動作	II-2-11
II.2.4.1 シングル転送モード	II-2-11
II.2.4.2 連続転送モード	II-2-12
II.2.4.3 ブロック転送モード	II-2-13
II.2.4.4 トリガの種類による割り込み要因処理	II-2-14
II.2.5 リンク	II-2-15
II.2.6 IDMAの割り込み機能	II-2-16
II.2.7 制御レジスタ詳細	II-2-18
0x301100: IDMA Base Address Register 0 (pIDMABASE)	II-2-19
0x301102: IDMA Base Address Register 1	II-2-19

0x301104: IDMA Start Register (pIDMA_START)	II-2-20
0x301105: IDMA Enable Register (pIDMA_EN)	II-2-21
II.2.8 注意事項	II-2-22
II.3 SRAMコントローラ (SRAMC)	II-3-1
II.3.1 SRAMCの概要	II-3-1
II.3.2 SRAMC端子	II-3-2
II.3.3 外部メモリエリア (エリア4, 5, 7~22)	II-3-3
II.3.3.1 チップイネーブル信号	II-3-4
II.3.3.2 エリア別設定条件	II-3-4
II.3.4 外部デバイスの接続とバスオペレーション	II-3-7
II.3.4.1 外部デバイスの接続	II-3-7
II.3.4.2 メモリ上のデータ配置	II-3-7
II.3.4.3 外部バスオペレーション	II-3-8
II.3.5 SRAMC動作クロックとバスクロック	II-3-9
II.3.5.1 SRAMCの動作クロック	II-3-9
II.3.5.2 バスクロックの生成	II-3-10
II.3.5.3 バスクロックの外部出力	II-3-10
II.3.6 バスアクセスタイミングチャート	II-3-11
II.3.6.1 SRAMリード/ライトタイミング (外部#WAITなし)	II-3-11
II.3.6.2 SRAMリード/ライトタイミング (外部#WAITあり)	II-3-13
II.3.6.3 SRAMリード/ライトタイミング (#CE4/#CE11セットアップ時間付き)	II-3-14
II.3.6.4 SRAMリードタイミング (#CE9出力ディセーブル時間指定)	II-3-15
II.3.7 制御レジスタ詳細	II-3-16
0x301500: BCLK and Setup Time Control Register (pSRAMC_BCLK_SETUP)	II-3-17
0x301504: Wait Control Register (pSRAMC_SWAIT)	II-3-18
0x301508: Device Size Setup Register (pSRAMC_SLV_SIZE)	II-3-20
0x30150C: Device Type Setup Register (pSRAMC_A0_BSL)	II-3-21
0x301510: Area Location Setup Register (pSRAMC_ALS)	II-3-22
II.3.8 注意事項	II-3-23
II.4 SDRAMコントローラ (SDRAMC)	II-4-1
II.4.1 SDRAMインタフェース	II-4-1
II.4.1.1 SDRAMインタフェースの概要	II-4-1
II.4.1.2 SDRAMC端子	II-4-2
II.4.1.3 SDRAMの構成	II-4-3
II.4.1.4 SDRAMC動作クロックとSDRAMクロック	II-4-8
II.4.1.5 SDRAMインタフェースの制御と動作	II-4-10
II.4.2 命令/データキューバッファ	II-4-18
II.4.2.1 概要	II-4-18
II.4.2.2 IQB (命令キューバッファ)	II-4-18
II.4.2.3 DQB (データキューバッファ)	II-4-19
II.4.2.4 IQB/DQBの動作	II-4-20
II.4.3 バスアービタ	II-4-21
II.4.3.1 概要	II-4-21
II.4.3.2 バスアービタの制御	II-4-21
II.4.4 制御レジスタ詳細	II-4-22
0x301600: SDRAM Initial Register (pSDRAMC_INI)	II-4-23
0x301604: SDRAM Configuration Register (pSDRAMC_CTL)	II-4-25
0x301608: SDRAM Refresh Register (pSDRAMC_REF)	II-4-27
0x301610: SDRAM Application Configuration Register (pSDRAMC_APP)	II-4-29
II.4.5 注意事項	II-4-31

III 周辺モジュール1(システム)

III.1 クロックマネージメントユニット(CMU)	III-1-1
III.1.1 CMUの概要	III-1-1
III.1.2 リセット入力とイニシャルリセット	III-1-2
III.1.2.1 イニシャルリセット端子	III-1-2
III.1.2.2 イニシャルリセット内容	III-1-2
III.1.2.3 パワーオンリセット	III-1-3
III.1.2.4 イニシャルリセット時の注意事項	III-1-4
III.1.3 NMI入力	III-1-5
III.1.4 システムクロックソースの選択	III-1-6
III.1.5 発振回路の制御	III-1-7
III.1.5.1 OSC3発振回路	III-1-7
III.1.5.2 OSC3分周回路の設定	III-1-8
III.1.5.3 OSC1発振回路	III-1-8
III.1.6 PLLの制御	III-1-10
III.1.6.1 PLLのOn/Off	III-1-10
III.1.6.2 PLL入力クロックの選択	III-1-10
III.1.6.3 逡倍率の設定	III-1-11
III.1.6.4 その他のPLL設定	III-1-12
III.1.6.5 PLLの電源	III-1-13
III.1.7 SSCGの制御	III-1-14
III.1.7.1 SSCGのOn/Off	III-1-14
III.1.7.2 SS変調用パラメータの設定	III-1-15
III.1.8 メインシステムクロック(MCLK)の設定	III-1-16
III.1.9 クロック供給制御	III-1-17
III.1.9.1 各モジュールへのMCLKクロック供給	III-1-17
III.1.9.2 HALT時のクロック自動制御	III-1-17
III.1.9.3 LCDCへのクロック供給	III-1-18
III.1.9.4 SDRAMCへのクロック供給	III-1-19
III.1.9.5 SRAMCへのクロック供給	III-1-19
III.1.9.6 GPIOへのクロック供給	III-1-20
III.1.9.7 EFSIOへのクロック供給	III-1-20
III.1.9.8 USBへのクロック供給	III-1-20
III.1.9.9 RTCへのクロック供給	III-1-21
III.1.10 外部出力クロック(CMU_CLK)の設定	III-1-22
III.1.11 スタンバイモード	III-1-23
III.1.11.1 HALTモード	III-1-23
III.1.11.2 SLEEPモード	III-1-23
III.1.11.3 注意事項	III-1-25
III.1.12 クロック設定手順	III-1-26
III.1.12.1 クロックソースをOSC3からPLLに変更	III-1-26
III.1.12.2 クロックソースをPLLからOSC3に変更後PLLをOff	III-1-27
III.1.12.3 クロックソースをOSC3またはPLLからOSC1に変更後OSC3とPLLをOff	III-1-28
III.1.12.4 クロックソースをOSC1からOSC3に変更	III-1-29
III.1.12.5 クロックソースをOSC1からPLLに変更	III-1-30
III.1.12.6 SLEEP時にOSC3を停止	III-1-31
III.1.12.7 発振OnのままのSLEEP(クロック変更なし)	III-1-32

III.1.13 パワーダウン制御	III-1-33
III.1.14 制御レジスタの詳細	III-1-34
0x301B00: Gated Clock Control Register 0 (pCMU_GATEDCLK0)	III-1-35
0x301B04: Gated Clock Control Register 1 (pCMU_GATEDCLK1)	III-1-37
0x301B08: System Clock Control Register (pCMU_CLKCNTL)	III-1-40
0x301B0C: PLL Control Register (pCMU_PLL)	III-1-44
0x301B10: SSCG Macro Control Register (pCMU_SSCG)	III-1-46
0x301B14: Clock Option Register (pCMU_OPT)	III-1-47
0x301B24: Clock Control Protect Register (pCMU_PROTECT)	III-1-49
III.1.15 注意事項	III-1-50
III.2 割り込みコントローラ (ITC)	III-2-1
III.2.1 割り込み機能概要	III-2-1
III.2.1.1 マスク可能な割り込み	III-2-1
III.2.1.2 割り込み要因とインテリジェントDMA	III-2-4
III.2.1.3 NMI (ノンマスカブル割り込み)	III-2-4
III.2.1.4 CPUの割り込み処理	III-2-4
III.2.1.5 割り込みによるスタンバイモードの解除	III-2-5
III.2.2 トラップテーブル	III-2-6
III.2.3 ITC動作クロック	III-2-7
III.2.4 マスク可能な割り込みの制御	III-2-8
III.2.4.1 割り込みコントローラの構成	III-2-8
III.2.4.2 PSR (プロセッサステータスレジスタ)	III-2-8
III.2.4.3 割り込み要因フラグと割り込みイネーブルレジスタ	III-2-9
III.2.4.4 割り込みプライオリティレジスタと割り込みレベル	III-2-10
III.2.5 IDMAの起動	III-2-11
III.2.6 HSDMAの起動	III-2-14
III.2.7 制御レジスタ詳細	III-2-15
0x300260: Port Input 0–1 Interrupt Priority Register (pINT_PP01L)	III-2-17
0x300261: Port Input 2–3 Interrupt Priority Register (pINT_PP23L)	III-2-18
0x300262: Key Input Interrupt Priority Register (pINT_PK01L)	III-2-19
0x300263: HSDMA Ch.0–1 Interrupt Priority Register (pINT_PHSD01L)	III-2-20
0x300264: HSDMA Ch.2–3 Interrupt Priority Register (pINT_PHSD23L)	III-2-21
0x300265: IDMA Interrupt Priority Register (pINT_PDM)	III-2-22
0x300266: 16-bit Timer 0–1 Interrupt Priority Register (pINT_P16T01)	III-2-23
0x300267: 16-bit Timer 2–3 Interrupt Priority Register (pINT_P16T23)	III-2-24
0x300269: LCD C, Serial I/F Ch.0 Interrupt Priority Register (pINT_PLCDC_PSI00)	III-2-25
0x30026A: Serial I/F Ch.1, A/D Interrupt Priority Register (pINT_PSI01_PAD)	III-2-26
0x30026B: RTC Interrupt Priority Register (pINT_PRTC)	III-2-27
0x30026C: Port Input 4–5 Interrupt Priority Register (pINT_PP45L)	III-2-28
0x30026D: Port Input 6–7 Interrupt Priority Register (pINT_PP67L)	III-2-29
0x30026E: Serial I/F Ch.2, SPI Interrupt Priority Register (pINT_PSI02_PSPI)	III-2-30
0x300270: Key Input, Port Input 0–3 Interrupt Enable Register (pINT_EK01_EP03)	III-2-31
0x300271: DMA Interrupt Enable Register (pINT_EDMA)	III-2-32
0x300272: 16-bit Timer 0–1 Interrupt Enable Register (pINT_E16T01)	III-2-33
0x300273: 16-bit Timer 2–3 Interrupt Enable Register (pINT_E16T23)	III-2-34
0x300276: Serial I/F Ch.0–1 Interrupt Enable Register (pINT_ESIF01)	III-2-35
0x300277: Port Input 4–7, RTC, A/D Interrupt Enable Register (pINT_EP47_ERTC_EAD) ..	III-2-36
0x300278: LCD C Interrupt Enable Register (pINT_ELCDC)	III-2-37
0x300279: Serial I/F Ch.2, SPI Interrupt Enable Register (pINT_ESIF2_ESPI)	III-2-38
0x300280: Key Input, Port Input 0–3 Interrupt Cause Flag Register (pINT_FK01_FP03)	III-2-39
0x300281: DMA Interrupt Cause Flag Register (pINT_FDMA)	III-2-41
0x300282: 16-bit Timer 0–1 Interrupt Cause Flag Register (pINT_F16T01)	III-2-42
0x300283: 16-bit Timer 2–3 Interrupt Cause Flag Register (pINT_F16T23)	III-2-43
0x300286: Serial I/F Ch.0–1 Interrupt Cause Flag Register (pINT_FSIF01)	III-2-44

0x300287: Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (pINT_FP47_FRTC_FAD)	III-2-45
0x300288: LCD C Interrupt Cause Flag Register (pINT_FL CDC)	III-2-46
0x300289: Serial I/F Ch.2, SPI Interrupt Cause Flag Register (pINT_FSIF2_FSPI)	III-2-47
0x300290: Port Input 0–3, HSDMA Ch.0–1, 16-bit Timer 0 IDMA Request Register (pIDMAREQ_RP03_RHS_R16T0)	III-2-48
0x300291: 16-bit Timer 1–3 IDMA Request Register (pIDMAREQ_R16T13)	III-2-49
0x300292: Serial I/F Ch.0 IDMA Request Register (pIDMAREQ_RSIF0)	III-2-50
0x300293: Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Request Register (pIDMAREQ_RSIF1_RAD_RP47)	III-2-51
0x300294: Port Input 0–3, HSDMA Ch.0–1, 16-bit Timer 0 IDMA Enable Register (pIDMAEN_DEP03_DEHS_DE16T0)	III-2-52
0x300295: 16-bit Timer 1–3 IDMA Enable Register (pIDMAEN_DE16T13)	III-2-53
0x300296: Serial I/F Ch.0 IDMA Enable Register (pIDMAEN_DESIF0)	III-2-54
0x300297: Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Enable Register (pIDMAEN_DESIF1_DEAD_DEP47)	III-2-55
0x300298: HSDMA Ch.0–1 Trigger Set-up Register (pHSDMA_HTGR1)	III-2-56
0x300299: HSDMA Ch.2–3 Trigger Set-up Register (pHSDMA_HTGR2)	III-2-56
0x30029A: HSDMA Software Trigger Register (pHSDMA_HSOFTTGR)	III-2-58
0x30029B: LCD C, Serial I/F Ch.2, SPI IDMA Request Register (pIDMAREQ_RLCD C_RSIF2_RSPI)	III-2-59
0x30029C: LCD C, Serial I/F Ch.2, SPI IDMA Enable Register (pIDMAEN_DELCD C_DESIF2_DESPI)	III-2-60
0x30029F: Flag Set/Reset Method Select Register (pRST_RESET)	III-2-61
0x3002A0: Port Input 8–9 Interrupt Priority Register (pINT_PP89L)	III-2-62
0x3002A1: Port Input 10–11 Interrupt Priority Register (pINT_PP1011L)	III-2-63
0x3002A2: Port Input 12–13 Interrupt Priority Register (pINT_PP1213L)	III-2-64
0x3002A3: Port Input 14–15 Interrupt Priority Register (pINT_PP1415L)	III-2-65
0x3002A4: I ² S Interrupt Priority Register (pINT_PI2S)	III-2-66
0x3002A6: Port Input 8–15 Interrupt Enable Register (pINT_EP815)	III-2-67
0x3002A7: I ² S Interrupt Enable Register (pINT_EI2S)	III-2-68
0x3002A9: Port Input 8–15 Interrupt Cause Flag Register (pINT_FP815)	III-2-69
0x3002AA: I ² S Interrupt Cause Flag Register (pINT_FI2S)	III-2-70
0x3002AC: Port Input 8–15 IDMA Request Register (pIDMAREQ_RP815)	III-2-71
0x3002AD: I ² S IDMA Request Register (pIDMAREQ_RI2S)	III-2-72
0x3002AE: Port Input 8–15 IDMA Enable Register (pIDMAEN_DEP815)	III-2-73
0x3002AF: I ² S IDMA Enable Register (pIDMAEN_DEI2S)	III-2-74
0x3003C4: Port Input Interrupt Select Register 3 (pINTSEL_SPT811)	III-2-75
III.2.8 注意事項	III-2-76
III.3 リアルタイムクロック (RTC)	III-3-1
III.3.1 RTCの概要	III-3-1
III.3.2 RTCカウンタ	III-3-2
III.3.3 RTCの制御	III-3-5
III.3.3.1 動作クロックの制御	III-3-5
III.3.3.2 RTCのイニシャルシーケンス	III-3-6
III.3.3.3 24時間制/12時間制の選択とカウンタの設定	III-3-7
III.3.3.4 カウンタのスタート/ストップおよびリセット	III-3-7
III.3.3.5 カウンタのホールドとビジーフラグ	III-3-8
III.3.3.6 動作中のカウンタのリード/ライト	III-3-9
III.3.3.7 30秒補正	III-3-9
III.3.4 RTC割り込み	III-3-10
III.3.5 OSC1発振回路	III-3-11
III.3.5.1 OSC1発振回路の入出力端子	III-3-11
III.3.5.2 発振回路の構造	III-3-11
III.3.5.3 発振の制御	III-3-12

III.3.6 制御レジスタ詳細	III-3-13
0x301900: RTC Interrupt Status Register (pRTCINTSTAT)	III-3-14
0x301904: RTC Interrupt Mode Register (pRTCINTMODE)	III-3-15
0x301908: RTC Control Register (pRTC_CNTL0)	III-3-16
0x30190C: RTC Access Control Register (pRTC_CNTL1)	III-3-18
0x301910: RTC Second Register (pRTCSEC)	III-3-19
0x301914: RTC Minute Register (pRTCMIN)	III-3-20
0x301918: RTC Hour Register (pRTCHOUR)	III-3-21
0x30191C: RTC Day Register (pRTCDAAY)	III-3-22
0x301920: RTC Month Register (pRTCMONTH)	III-3-23
0x301924: RTC Year Register (pRTCYEAR)	III-3-24
0x301928: RTC Days of Week Register (pRTCDAAYWEEK)	III-3-25
III.3.7 注意事項	III-3-26
III.4 Miscレジスタ	III-4-1
III.4.1 RTCとUSBのウェイト制御レジスタ	III-4-1
III.4.1.1 RTCをアクセスするためのウェイトサイクル数の設定	III-4-1
III.4.1.2 USB用の設定	III-4-2
III.4.2 デバッグポートMUXレジスタ	III-4-3
III.4.3 ブートレジスタ	III-4-4
III.4.4 定数テーブル選択レジスタ	III-4-5
III.4.5 端子制御レジスタ	III-4-6
III.4.5.1 プルアップ制御	III-4-6
III.4.5.2 バスのLow駆動	III-4-6
III.4.6 Miscレジスタの動作クロック	III-4-7
III.4.7 制御レジスタ詳細	III-4-8
0x300010: RTC Wait Control Register (pMISC_RTCWT)	III-4-9
0x300012: USB Wait Control Register (pMISC_USBWT)	III-4-10
0x300014: Debug Port MUX Register (pMISC_PMUX)	III-4-11
0x300016: Performance Analyzer Control Register (pMISC_PAC)	III-4-12
0x300018: Boot Register (pMISC_BOOT)	III-4-13
0x30001A: COROM Switch Register (pMISC_COROM)	III-4-14
0x300020: Misc Protect Register (pMISC_PROT)	III-4-15
0x300C41: Bus Signal Low Drive Control Register (pMISC_BUSLOW)	III-4-16
0x300C42: P0 Pull-up Control Register (pMISC_PUP0)	III-4-17
0x300C43: P1 Pull-up Control Register (pMISC_PUP1)	III-4-18
0x300C44: P2 Pull-up Control Register (pMISC_PUP2)	III-4-19
0x300C45: P3 Pull-up Control Register (pMISC_PUP3)	III-4-20
0x300C46: P4 Pull-up Control Register (pMISC_PUP4)	III-4-21
0x300C47: P5 Pull-up Control Register (pMISC_PUP5)	III-4-22
0x300C48: P6 Pull-up Control Register (pMISC_PUP6)	III-4-23
0x300C49: P7 Pull-up Control Register (pMISC_PUP7)	III-4-24
0x300C4A: P8 Pull-up Control Register (pMISC_PUP8)	III-4-25
0x300C4B: P9 Pull-up Control Register (pMISC_PUP9)	III-4-26
0x300C4C: PA Pull-up Control Register (pMISC_PUPA)	III-4-27
0x300C4D: PB Pull-up Control Register (pMISC_PUPB)	III-4-28
III.4.8 注意事項	III-4-29

IV 周辺モジュール2(タイマ)

IV.1 16ビットタイマ(T16)	IV-1-1
IV.1.1 16ビットタイマの構成	IV-1-1
IV.1.2 16ビットタイマの入出力端子	IV-1-3
IV.1.3 16ビットタイマの用途	IV-1-4
IV.1.4 16ビットタイマの動作クロック	IV-1-5
IV.1.5 16ビットタイマの制御と動作	IV-1-6
IV.1.6 クロック出力の制御	IV-1-10
IV.1.7 16ビットタイマ割り込みとDMA	IV-1-13
IV.1.8 制御レジスタ詳細	IV-1-16
0x300780–0x300798: 16-bit Timer <i>x</i> Comparison Data A Setup Registers (pT16_CR <i>x</i> A) ...	IV-1-17
0x300782–0x30079A: 16-bit Timer <i>x</i> Comparison Data B Setup Registers (pT16_CR <i>x</i> B) ...	IV-1-18
0x300784–0x30079C: 16-bit Timer <i>x</i> Counter Data Registers (pT16_TC <i>x</i>)	IV-1-19
0x300786–0x30079E: 16-bit Timer <i>x</i> Control Registers (pT16_CTL <i>x</i>)	IV-1-20
0x3007D0–0x3007D2: DA16 Ch. <i>x</i> Registers (pDA16_CR <i>x</i> A)	IV-1-22
0x3007DC: Count Pause Register (pT16_CNT_PAUSE)	IV-1-23
0x3007DE: 16-bit Timer STD/ADV Mode Select Register (pT16_ADVMODE)	IV-1-24
0x3007E0–0x3007E6: 16-bit Timer <i>x</i> Clock Control Registers (pT16_CLKCTL_*)	IV-1-25
IV.1.9 注意事項	IV-1-26
IV.2 ウォッチドッグタイマ(WDT)	IV-2-1
IV.2.1 ウォッチドッグタイマの構成	IV-2-1
IV.2.2 ウォッチドッグタイマの入出力端子	IV-2-2
IV.2.3 ウォッチドッグタイマの動作クロック	IV-2-3
IV.2.4 ウォッチドッグタイマの制御	IV-2-4
IV.2.4.1 ウォッチドッグタイマの設定	IV-2-4
IV.2.4.2 ウォッチドッグタイマのスタート/ストップ	IV-2-5
IV.2.4.3 ウォッチドッグタイマのリセット	IV-2-5
IV.2.4.4 スタンバイモード時の動作	IV-2-5
IV.2.4.5 ウォッチドッグタイマのクロック出力	IV-2-6
IV.2.4.6 NMI外部出力	IV-2-6
IV.2.5 制御レジスタ詳細	IV-2-7
0x300660: Watchdog Timer Write-Protect Register (pWD_WP)	IV-2-8
0x300662: Watchdog Timer Enable Register (pWD_EN)	IV-2-9
0x300664: Watchdog Timer Comparison Data Setup Register 0 (pWD_COMP_LOW)	IV-2-11
0x300666: Watchdog Timer Comparison Data Setup Register 1 (pWD_COMP_HIGH)	IV-2-11
0x300668: Watchdog Timer Count Register 0 (pWD_CNT_LOW)	IV-2-12
0x30066A: Watchdog Timer Count Register 1 (pWD_CNT_HIGH)	IV-2-12
0x30066C: Watchdog Timer Control Register (pWD_CNTL)	IV-2-13
IV.2.6 注意事項	IV-2-14

V 周辺モジュール3(インタフェース)

V.1 汎用シリアルインタフェース(EFSIO)	V-1-1
V.1.1 シリアルインタフェースの構成	V-1-1
V.1.1.1 シリアルインタフェースの特長	V-1-1
V.1.1.2 シリアルインタフェースの入出力端子	V-1-2
V.1.1.3 インタフェースモード/転送モードの設定	V-1-3
V.1.1.4 シリアルインタフェースの動作クロック	V-1-4
V.1.1.5 標準モードと拡張モード	V-1-5
V.1.2 ボーレートタイマ(ボーレートの設定)	V-1-6
V.1.3 クロック同期式インタフェース	V-1-8
V.1.3.1 クロック同期式インタフェースの概要	V-1-8
V.1.3.2 クロック同期式インタフェースの設定	V-1-9
V.1.3.3 クロック同期式転送の制御と動作	V-1-10
V.1.4 調歩同期式インタフェース	V-1-17
V.1.4.1 調歩同期式インタフェースの概要	V-1-17
V.1.4.2 調歩同期式インタフェースの設定	V-1-18
V.1.4.3 調歩同期式転送の制御と動作	V-1-20
V.1.5 IrDAインタフェース	V-1-25
V.1.5.1 IrDAインタフェースの概要	V-1-25
V.1.5.2 IrDAインタフェースの設定	V-1-25
V.1.5.3 IrDAインタフェースの制御と動作	V-1-27
V.1.6 ISO7816インタフェース(Ch.1)	V-1-28
V.1.6.1 ISO7816インタフェースの概要	V-1-28
V.1.6.2 ISO7816インタフェースの設定	V-1-29
V.1.6.3 ISO7816モードの制御と動作	V-1-32
V.1.7 シリアルインタフェース割り込みとDMA	V-1-37
V.1.8 制御レジスタ詳細	V-1-40
0x300B00–0x300B10: Serial I/F Ch.x Transmit Data Registers (pEFSIFx_TXD)	V-1-41
0x300B01–0x300B11: Serial I/F Ch.x Receive Data Registers (pEFSIFx_RXD)	V-1-42
0x300B02–0x300B12: Serial I/F Ch.x Status Registers (pEFSIFx_STATUS)	V-1-43
0x300B03–0x300B13: Serial I/F Ch.x Control Registers (pEFSIFx_CTL)	V-1-45
0x300B04–0x300B14: Serial I/F Ch.x IrDA Registers (pEFSIFx_IRDA)	V-1-47
0x300B05–0x300B15: Serial I/F Ch.x Baud-rate Timer Control Registers (pEFSIFx_BRTRUN)	V-1-49
0x300B06–0x300B16: Serial I/F Ch.x Baud-rate Timer Reload Data Registers (LSB) (pEFSIFx_BRTRDL)	V-1-50
0x300B07–0x300B17: Serial I/F Ch.x Baud-rate Timer Reload Data Registers (MSB) (pEFSIFx_BRTRDM)	V-1-50
0x300B08–0x300B18: Serial I/F Ch.x Baud-rate Timer Count Data Registers (LSB) (pEFSIFx_BRTCDL)	V-1-51
0x300B09–0x300B19: Serial I/F Ch.x Baud-rate Timer Count Data Registers (MSB) (pEFSIFx_BRTCDM)	V-1-51
0x300B1A: Serial I/F Ch.1 ISO7816 Mode Control Register (pEFSIF1_7816CTL)	V-1-52
0x300B1B: Serial I/F Ch.1 ISO7816 Mode Status Register (pEFSIF1_7816STA)	V-1-54
0x300B1C: Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (LSB) (pEFSIF1_FIDIL)	V-1-55
0x300B1D: Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (MSB) (pEFSIF1_FIDIM)	V-1-55
0x300B1E: Serial I/F Ch.1 Transmit Time Guard Register (pEFSIF1_TTGR)	V-1-57
0x300B1F: Serial I/F Ch.1 ISO7816 Mode Output Clock Setup Register (pEFSIF1_CLKNUM)	V-1-58
0x300B4F: Serial I/F STD/ADV Mode Select Register (pEFSIF_ADV)	V-1-59
V.1.9 注意事項	V-1-60

V.2 非同期シリアルトランシーバ(UART)	V-2-1
V.2.1 UARTの構成	V-2-1
V.2.2 UART端子	V-2-2
V.2.3 ボーレートタイマ(ボーレートの設定)	V-2-3
V.2.4 転送データの設定	V-2-5
V.2.5 データ送受信の制御	V-2-6
V.2.6 受信エラー	V-2-9
V.2.7 UART割り込み	V-2-10
V.2.8 制御レジスタ詳細	V-2-14
0x00300B20 : UART Transmit Data Register (UART_TXD)	V-2-15
0x00300B21 : UART Receive Data Register (UART_RXD)	V-2-16
0x00300B22 : UART Status Register (UART_STATUS)	V-2-17
0x00300B23 : UART Control Register (UART_CTL)	V-2-19
0x00300B24: UART Configure Register (UART_CFG)	V-2-20
0x00300B25: UART Baud-rate Timer Control Register (UART_BRTRUN)	V-2-21
0x00300B26: UART Baud-rate Timer Reload Data Register (LSB) (UART_BRTRDL)	V-2-22
0x00300B27: UART Baud-rate Timer Reload Data Register (MSB) (UART_BRTRDM)	V-2-22
0x00300B28: UART Baud-rate Timer Count Data Register (LSB) (UART_BRTCDL)	V-2-23
0x00300B29: UART Baud-rate Timer Count Data Register (MSB) (UART_BRTCDM)	V-2-23
V.2.9 注意事項	V-2-24
V.3 シリアルペリフェラルインタフェース(SPI)	V-3-1
V.3.1 SPIの概要	V-3-1
V.3.2 SPIの入出力端子	V-3-2
V.3.3 SPIの動作クロック	V-3-3
V.3.4 SPIの設定	V-3-4
V.3.5 データ転送の制御	V-3-6
V.3.6 SPI割り込みとDMA	V-3-10
V.3.7 制御レジスタ詳細	V-3-13
0x301700: SPI Receive Data Register (pSPI_RXD)	V-3-14
0x301704: SPI Transmit Data Register (pSPI_TXD)	V-3-15
0x301708: SPI Control Register 1 (pSPI_CTL1)	V-3-16
0x30170C: SPI Control Register 2 (pSPI_CTL2)	V-3-18
0x301710: SPI Wait Register (pSPI_WAIT)	V-3-19
0x301714: SPI Status Register (pSPI_STAT)	V-3-20
0x301718: SPI Interrupt Control Register (pSPI_INT)	V-3-21
0x30171C: SPI Receive Data Mask Register (pSPI_RXMK)	V-3-23
V.3.8 注意事項	V-3-24
V.4 I²Sインタフェース(I²S)	V-4-1
V.4.1 I ² Sモジュールの概要	V-4-1
V.4.2 I ² S入出力端子	V-4-2
V.4.3 I ² Sモジュールの動作クロック	V-4-3
V.4.4 I ² Sモジュールの設定	V-4-4
V.4.5 データ出力の制御(CH.0)	V-4-12
V.4.6 データ入力制御(CH.1)	V-4-16
V.4.7 I ² S割り込み	V-4-19
V.4.8 制御レジスタ詳細	V-4-22
0x00301C00: I ² S CH.0 Control Register (pI2S_CONTRL_CH0)	V-4-23
0x00301C04: I ² S CH.1 Control Register (pI2S_CONTRL_CH1)	V-4-27
0x00301C08: I ² S MCLK Divide Ratio Register (pI2S_DV_MCLK_RATIO)	V-4-30
0x00301C0C: I ² S Audio Clock Divide Ratio Register (pI2S_DV_LRCLK_RATIO)	V-4-31

0x00301C10: I ² S Start/Stop Register (pl2S_START).....	V-4-33
0x00301C14: I ² S FIFO Status Register (pl2S_FIFO_STATUS)	V-4-34
0x00301C18: I ² S Interrupt Mode Select Register (pl2S_INT_MOD).....	V-4-36
0x00301C20: I ² S CH.0 FIFO Register (pl2S_FIFO_CH0).....	V-4-39
0x00301C30: I ² S CH.1 FIFO Register (pl2S_FIFO_CH1).....	V-4-40
V.4.9 注意事項.....	V-4-41
V.4.10 I ² Sクロックの設定	V-4-42

VI 周辺モジュール4(ポート)

VI.1 汎用入出力ポート (GPIO)	VI-1-1
VI.1.1 入出力ポートの構成	VI-1-1
VI.1.2 入出力端子機能の選択	VI-1-1
VI.1.3 I/O制御レジスタと入出力モード	VI-1-2
VI.1.4 入力割り込み	VI-1-3
VI.1.4.1 ポート入力割り込み	VI-1-3
VI.1.4.2 キー入力割り込み	VI-1-5
VI.1.4.3 割り込みコントローラの制御レジスタ	VI-1-7
VI.1.5 入出力ポートの動作クロック	VI-1-9
VI.1.6 制御レジスタ詳細	VI-1-10
0x300380–0x300392: P $\mathbf{x}$ Port Data Registers (pP $\mathbf{x}$ _PxD)	VI-1-11
0x30038E: P7 Port Data Register (pP7_P7D)	VI-1-12
0x300381–0x300393: P $\mathbf{x}$ I/O Control Registers (pP $\mathbf{x}$ _IOC $\mathbf{x}$)	VI-1-13
0x3003A0–0x3003B3: P $\mathbf{xx}$ Port Function Select Registers (pP $\mathbf{x}$ _ $\mathbf{xx}$ _CFP)	VI-1-14
0x3003C0: Port Input Interrupt Select Register 1 (pPINTSEL_SPT03)	VI-1-15
0x3003C1: Port Input Interrupt Select Register 2 (pPINTSEL_SPT47)	VI-1-15
0x3003C4: Port Input Interrupt Select Register 3 (pPINTSEL_SPT811)	VI-1-15
0x3003C5: Port Input Interrupt Select Register 4 (pPINTSEL_SPT1215)	VI-1-15
0x3003C2: Port Input Interrupt Polarity Select Register 1 (pPINTPOL_SPP07)	VI-1-17
0x3003C6: Port Input Interrupt Polarity Select Register 2 (pPINTPOL_SPP815)	VI-1-17
0x3003C3: Port Input Interrupt Edge/Level Select Register 1 (pPINTEL_SEPT07)	VI-1-18
0x3003C7: Port Input Interrupt Edge/Level Select Register 2 (pPINTEL_SEPT815)	VI-1-18
0x3003D0: Key Input Interrupt Select Register (pKINTSEL_SPPK01)	VI-1-19
0x3003D2: Key Input Interrupt (FPK0) Input Comparison Register (pKINTCOMP_SCPK0)	VI-1-20
0x3003D3: Key Input Interrupt (FPK1) Input Comparison Register (pKINTCOMP_SCPK1)	VI-1-20
0x3003D4: Key Input Interrupt (FPK0) Input Mask Register (pKINTCOMP_SMPK0)	VI-1-21
0x3003D5: Key Input Interrupt (FPK1) Input Mask Register (pKINTCOMP_SMPK1)	VI-1-21
VI.1.7 注意事項	VI-1-22
VI.2 拡張汎用入出力ポート (EGPIO)	VI-2-1
VI.2.1 EGPIOポートの構成	VI-2-1
VI.2.2 入出力端子機能の選択	VI-2-1
VI.2.3 I/O制御レジスタと入出力モード	VI-2-2
VI.2.4 EGPIOの動作クロック	VI-2-3
VI.2.5 制御レジスタ詳細	VI-2-4
0x300C00–0x300C04: P $\mathbf{x}$ I/O Control Registers (pP $\mathbf{x}$ _IOC)	VI-2-5
0x300C01–0x300C05: P $\mathbf{x}$ Port Data Registers (pP $\mathbf{x}$ _DATA)	VI-2-6
0x300C20–0x300C25: P $\mathbf{xx}$ Port Function Select Registers (pP $\mathbf{x}$ _CFP0/1)	VI-2-7

VII 周辺モジュール5(アナログ)

VII.1 A/D変換器(ADC)	VII-1-1
VII.1.1 A/D変換器の特長と構成	VII-1-1
VII.1.2 A/D変換器の入力端子	VII-1-2
VII.1.3 A/D変換器の動作クロック	VII-1-3
VII.1.4 A/D変換器の設定	VII-1-4
VII.1.5 A/D変換の制御と動作	VII-1-9
VII.1.6 A/D変換器割り込みとDMA	VII-1-13
VII.1.7 制御レジスタ詳細	VII-1-15
0x300520: A/D Clock Control Register (pAD_CLKCTL)	VII-1-16
0x300540: A/D Conversion Result Register (pAD_ADD)	VII-1-17
0x300542: A/D Trigger/Channel Select Register (pAD_TRIG_CHNL)	VII-1-18
0x300544: A/D Control/Status Register (pAD_EN_SMPL_STAT)	VII-1-20
0x300546: A/D Channel Status Flag Register (pAD_END)	VII-1-23
0x300548–0x300550: A/D Ch.x Conversion Result Buffer Registers (pAD_CHx_BUF)	VII-1-24
0x300558: A/D Upper Limit Value Register (pAD_UPPER)	VII-1-25
0x30055A: A/D Lower Limit Value Register (pAD_LOWER)	VII-1-26
0x30055C: A/D Conversion Complete Interrupt Mask Register (pAD_CH04_INTMASK)	VII-1-27
0x30055E: A/D Converter Mode Select/Internal Status Register (pAD_ADVMODE)	VII-1-28
VII.1.8 注意事項	VII-1-29

VIII 周辺モジュール6(LCD)

VIII.1 LCDコントローラ (LCDC).....	VIII-1-1
VIII.1.1 概要.....	VIII-1-1
VIII.1.2 ブロック図.....	VIII-1-3
VIII.1.3 LCDコントローラの出力端子.....	VIII-1-4
VIII.1.4 システム設定.....	VIII-1-6
VIII.1.4.1 表示メモリ (VRAM)の構成.....	VIII-1-6
VIII.1.4.2 LCDCクロックの設定.....	VIII-1-7
VIII.1.5 LCDパネルの設定.....	VIII-1-9
VIII.1.5.1 パネルの種類.....	VIII-1-9
VIII.1.5.2 STNパネルタイミングパラメータ.....	VIII-1-10
VIII.1.5.3 HR-TFTパネルタイミングパラメータ.....	VIII-1-12
VIII.1.5.4 表示モード.....	VIII-1-17
VIII.1.5.5 ルックアップテーブル.....	VIII-1-20
VIII.1.5.6 フレームレート.....	VIII-1-26
VIII.1.5.7 その他の設定.....	VIII-1-26
VIII.1.6 表示の制御.....	VIII-1-27
VIII.1.6.1 LCDパワーアップ/ダウン制御.....	VIII-1-27
VIII.1.6.2 表示開始アドレスとラインアドレスオフセットの設定.....	VIII-1-28
VIII.1.6.3 表示データの書き込み.....	VIII-1-29
VIII.1.6.4 ブランク表示と反転表示.....	VIII-1-29
VIII.1.6.5 Picture-in-Picture Plus.....	VIII-1-29
VIII.1.7 LCDC割り込みとDMA.....	VIII-1-32
VIII.1.8 パワーセーブ.....	VIII-1-34
VIII.1.9 制御レジスタ詳細.....	VIII-1-35
0x301A00: Frame Interrupt Register (pLCDC_INT).....	VIII-1-36
0x301A04: Status and Power Save Configuration Register (pLCDC_PS).....	VIII-1-37
0x301A10: Horizontal Display Register (pLCDC_HD).....	VIII-1-38
0x301A14: Vertical Display Register (pLCDC_VD).....	VIII-1-39
0x301A18: MOD Rate Register (pLCDC_MR).....	VIII-1-40
0x301A20: Horizontal Display Start Position Register (pLCDC_HDPS).....	VIII-1-41
0x301A24: Vertical Display Start Position Register (pLCDC_VDPS).....	VIII-1-42
0x301A28: FPLINE Pulse Setup Register (pLCDC_L).....	VIII-1-43
0x301A2C: FPFRAME Pulse Setup Register (pLCDC_F).....	VIII-1-44
0x301A30: FPFRAME Pulse Offset Register (pLCDC_FO).....	VIII-1-45
0x301A40: HR-TFT Special Output Register (pLCDC_TSO).....	VIII-1-46
0x301A44: TFT_CTL1 Pulse Register (pLCDC_TC1).....	VIII-1-47
0x301A48: TFT_CTL0 Pulse Register (pLCDC_TC0).....	VIII-1-48
0x301A4C: TFT_CTL2 Register (pLCDC_TC2).....	VIII-1-49
0x301A60: LCDC Display Mode Register (pLCDC_DMD).....	VIII-1-50
0x301A64: IRAM Select Register (pLCDC_IRAM).....	VIII-1-53
0x301A70: Main Window Display Start Address Register (pLCDC_MADD).....	VIII-1-54
0x301A74: Main Window Line Address Offset Register (pLCDC_MLADD).....	VIII-1-55
0x301A80: Sub-window Display Start Address Register (pLCDC_SADD).....	VIII-1-56
0x301A88: Sub-window Start Position Register (pLCDC_SSP).....	VIII-1-57
0x301A8C: Sub-window End Position Register (pLCDC_SEP).....	VIII-1-58
0x301AA0: Look-up Table Data Register 0 (pLCDC_LUT_03).....	VIII-1-59
0x301AA4: Look-up Table Data Register 1 (pLCDC_LUT_47).....	VIII-1-60
0x301AA8: Look-up Table Data Register 2 (pLCDC_LUT_8B).....	VIII-1-61
0x301AAC: Look-up Table Data Register 3 (pLCDC_LUT_CF).....	VIII-1-62
VIII.1.10 注意事項.....	VIII-1-63

IX 周辺モジュール7(USB)

IX.1 USBファンクションコントローラ(USB)	IX-1-1
IX.1.1 USBファンクションコントローラの概要	IX-1-1
IX.1.2 USBインタフェース端子	IX-1-2
IX.1.3 USB動作クロックおよびDMAレジスタの設定	IX-1-3
IX.1.3.1 USBクロックの制御	IX-1-3
IX.1.3.2 Miscレジスタの設定	IX-1-3
IX.1.3.3 ITCとHSDMAの設定	IX-1-4
IX.1.4 機能説明	IX-1-7
IX.1.4.1 USB制御	IX-1-8
IX.1.4.2 FIFO管理	IX-1-25
IX.1.4.3 ポートインタフェース	IX-1-28
IX.1.4.4 スヌーズ	IX-1-33
IX.1.5 レジスタ	IX-1-34
IX.1.5.1 レジスタ一覧	IX-1-34
IX.1.5.2 レジスタ詳細説明	IX-1-37
0x300900: MainIntStat (Main Interrupt Status)	IX-1-37
0x300901: SIE_IntStat (SIE Interrupt Status)	IX-1-38
0x300902: EPIntStat (EP Interrupt Status)	IX-1-39
0x300903: DMA_IntStat (DMA Interrupt Status)	IX-1-40
0x300904: FIFO_IntStat (FIFO Interrupt Status)	IX-1-41
0x300907: EP0IntStat (EP0 Interrupt Status)	IX-1-42
0x300908: EPaIntStat (EPa Interrupt Status)	IX-1-43
0x300909: EPbIntStat (EPb Interrupt Status)	IX-1-44
0x30090A: EPcIntStat (EPc Interrupt Status)	IX-1-45
0x30090B: EPdIntStat (EPd Interrupt Status)	IX-1-46
0x300910: MainIntEnb (Main Interrupt Enable)	IX-1-47
0x300911: SIE_IntEnb (SIE Interrupt Enable)	IX-1-48
0x300912: EPIntEnb (EP Interrupt Enable)	IX-1-49
0x300913: DMA_IntEnb (DMA Interrupt Enable)	IX-1-50
0x300914: FIFO_IntEnb (FIFO Interrupt Enable)	IX-1-51
0x300917: EP0IntEnb (EP0 Interrupt Enable)	IX-1-52
0x300918: EPaIntEnb (EPa Interrupt Enable)	IX-1-53
0x300919: EPbIntEnb (EPb Interrupt Enable)	IX-1-54
0x30091A: EPcIntEnb (EPc Interrupt Enable)	IX-1-55
0x30091B: EPdIntEnb (EPd Interrupt Enable)	IX-1-56
0x300920: RevisionNum (Revision Number)	IX-1-57
0x300921: USB_Control (USB Control)	IX-1-58
0x300922: USB_Status (USB Status)	IX-1-59
0x300923: XcvtControl (Xcvt Control)	IX-1-60
0x300924: USB_Test (USB Test)	IX-1-61
0x300925: EPnControl (Endpoint Control)	IX-1-62
0x300926: EPnFIFO_Clr (EPn FIFO Clear)	IX-1-63
0x30092E: FrameNumber_H (Frame Number HIGH)	IX-1-64
0x30092F: FrameNumber_L (Frame Number LOW)	IX-1-65
0x300930–0x300937: EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7)	IX-1-66
0x300938: USB_Address (USB Address)	IX-1-67
0x300939: EP0Control (EP0 Control)	IX-1-68
0x30093A: EP0ControlIN (EP0 Control IN)	IX-1-69
0x30093B: EP0ControlOUT (EP0 Control OUT)	IX-1-70
0x30093F: EP0MaxSize (EP0 Max Packet Size)	IX-1-71
0x300940: EPaControl (EPa Control)	IX-1-72
0x300941: EPbControl (EPb Control)	IX-1-73
0x300942: EPcControl (EPc Control)	IX-1-74
0x300943: EPdControl (EPd Control)	IX-1-75

0x300950: EPaMaxSize_H (EPa Max Packet Size HIGH)	IX-1-76
0x300951: EPaMaxSize_L (EPa Max Packet Size LOW)	IX-1-76
0x300952: EPaConfig_0 (EPa Configuration 0)	IX-1-77
0x300953: EPaConfig_1 (EPa Configuration 1)	IX-1-78
0x300954: EPbMaxSize_H (EPb Max Packet Size HIGH)	IX-1-79
0x300955: EPbMaxSize_L (EPb Max Packet Size LOW)	IX-1-79
0x300956: EPbConfig_0 (EPb Configuration 0)	IX-1-80
0x300957: EPbConfig_1 (EPb Configuration 1)	IX-1-81
0x300958: EPcMaxSize_H (EPc Max Packet Size HIGH)	IX-1-82
0x300959: EPcMaxSize_L (EPc Max Packet Size LOW)	IX-1-82
0x30095A: EPcConfig_0 (EPc Configuration 0)	IX-1-83
0x30095B: EPcConfig_1 (EPc Configuration 1)	IX-1-84
0x30095C: EPdMaxSize_H (EPd Max Packet Size HIGH)	IX-1-85
0x30095D: EPdMaxSize_L (EPd Max Packet Size LOW)	IX-1-85
0x30095E: EPdConfig_0 (EPd Configuration 0)	IX-1-86
0x30095F: EPdConfig_1 (EPd Configuration 1)	IX-1-87
0x300970: EPaStartAdrs_H (EPa FIFO Start Address HIGH)	IX-1-88
0x300971: EPaStartAdrs_L (EPa FIFO Start Address LOW)	IX-1-88
0x300972: EPbStartAdrs_H (EPb FIFO Start Address HIGH)	IX-1-89
0x300973: EPbStartAdrs_L (EPb FIFO Start Address LOW)	IX-1-89
0x300974: EPcStartAdrs_H (EPc FIFO Start Address HIGH)	IX-1-90
0x300975: EPcStartAdrs_L (EPc FIFO Start Address LOW)	IX-1-90
0x300976: EPdStartAdrs_H (EPd FIFO Start Address HIGH)	IX-1-91
0x300977: EPdStartAdrs_L (EPd FIFO Start Address LOW)	IX-1-91
0x300980: CPU_JoinRd (CPU Join FIFO Read)	IX-1-92
0x300981: CPU_JoinWr (CPU Join FIFO Write)	IX-1-93
0x300982: EnEPnFIFO_Access (Enable EPn FIFO Access)	IX-1-94
0x300983: EPnFIFOforCPU (EPn FIFO for CPU)	IX-1-95
0x300984: EPnRdRemain_H (EPn FIFO Read Remain HIGH)	IX-1-96
0x300985: EPnRdRemain_L (EPn FIFO Read Remain LOW)	IX-1-96
0x300986: EPnWrRemain_H (EPn FIFO Write Remain HIGH)	IX-1-97
0x300987: EPnWrRemain_L (EPn FIFO Write Remain LOW)	IX-1-97
0x300988: DescAdrs_H (Descriptor Address HIGH)	IX-1-98
0x300989: DescAdrs_L (Descriptor Address LOW)	IX-1-98
0x30098A: DescSize_H (Descriptor Size HIGH)	IX-1-99
0x30098B: DescSize_L (Descriptor Size LOW)	IX-1-99
0x30098F: DescDoor (Descriptor Door)	IX-1-100
0x300990: DMA_FIFO_Control (DMA FIFO Control)	IX-1-101
0x300991: DMA_Join (DMA Join FIFO)	IX-1-102
0x300992: DMA_Control (DMA Control)	IX-1-103
0x300994: DMA_Config_0 (DMA Configuration 0)	IX-1-104
0x300995: DMA_Config_1 (DMA Configuration 1)	IX-1-105
0x300997: DMA_Latency (DMA Latency)	IX-1-106
0x300998: DMA_Remain_H (DMA FIFO Remain HIGH)	IX-1-107
0x300999: DMA_Remain_L (DMA FIFO Remain LOW)	IX-1-107
0x30099C: DMA_Count_HH (DMA Transfer Byte Counter HIGH/HIGH)	IX-1-108
0x30099D: DMA_Count_HL (DMA Transfer Byte Counter HIGH/LOW)	IX-1-108
0x30099E: DMA_Count_LH (DMA Transfer Byte Counter LOW/HIGH)	IX-1-108
0x30099F: DMA_Count_LL (DMA Transfer Byte Counter LOW/LOW)	IX-1-108

X 周辺モジュール8(CALC)

X.1 ハードウェア演算モジュール	X-1-1
X.1.1 概要.....	X-1-1
X.1.2 提供機能	X-1-1
X.1.3 機能詳細	X-1-2
X.1.3.1 数値形式	X-1-2
X.1.3.2 CalcOpen	X-1-3
X.1.3.3 CalcClose	X-1-3
X.1.3.4 CalcMac4	X-1-3
X.1.3.5 CalcMac8	X-1-4
X.1.3.6 CalcMac16	X-1-4
X.1.3.7 CalcMatrix2	X-1-5
X.1.3.8 CalcMatrix3	X-1-5
X.1.3.9 CalcMatrix4	X-1-6
X.1.3.10 CalcAffine2	X-1-7
X.1.3.11 CalcAffine3	X-1-7
X.1.3.12 Calc Butterfly	X-1-8
X.1.4 使用例	X-1-9
X.1.5 ヘッダファイル.....	X-1-11

Appendix

Appendix A I/Oマップ	AP-A-1
0x300010–0x300020 Misc Register	AP-A-2
0x300260–0x3002AF Interrupt Controller	AP-A-3
0x300300–0x30031B Card Interface	AP-A-11
0x300380–0x3003D5 I/O Ports	AP-A-13
0x300520–0x30055E A/D Converter	AP-A-24
0x300660–0x30066C Watchdog Timer	AP-A-27
0x300780–0x3007EA 16-bit Timer	AP-A-29
0x300900–0x30099F USB Function Controller	AP-A-35
0x300B00–0x300B4F Serial Interface	AP-A-45
0x300C00–0x300C25 Extended Ports	AP-A-50
0x300C40–0x300C4D Misc Register	AP-A-52
0x301100–0x301105 Intelligent DMA	AP-A-54
0x301120–0x30119E High-Speed DMA	AP-A-55
0x301500–0x301510 SRAM Controller	AP-A-68
0x301600–0x301610 SDRAM Controller	AP-A-69
0x301700–0x30171C SPI	AP-A-70
0x301900–0x301928 Real Time Clock	AP-A-71
0x301A00–0x301AAC LCD Controller	AP-A-73
0x301B00–0x301B24 Clock Management Unit	AP-A-80
0x301C00–0x301C20 I ² S Interface	AP-A-84
Appendix B C33 PEコアと他のC33コアとの相違点	AP-B-1
B.1 命令	AP-B-1
B.2 レジスタ	AP-B-2
B.3 アドレス空間、その他	AP-B-2
Appendix C 開発ツール	AP-C-1
C.1 開発ツールの種類	AP-C-1
C.2 S5U1C33001C使用上の注意	AP-C-2
Appendix D ブート	AP-D-1
D.1 ブートモード	AP-D-1
D.2 NORフラッシュ /外部ROMブート	AP-D-2
D.2.1 NORフラッシュ /外部ROMブートシステムの構成	AP-D-2
D.2.2 NORフラッシュ /外部ROMブートシーケンス	AP-D-2
D.2.3 NORフラッシュ /外部ROMブートのリセットベクタ	AP-D-3
D.3 SPI-EEPROMブート	AP-D-4
D.3.1 SPI-EEPROMブートシステムの構成	AP-D-4
D.3.2 SPI-EEPROMブートシーケンス	AP-D-5
D.3.3 EEPROMデータ	AP-D-6
D.4 PC RS232Cブート	AP-D-7
D.4.1 PC RS232Cブートシステムの構成	AP-D-7
D.4.2 PC RS232Cブートシーケンス	AP-D-8
D.4.3 転送データ	AP-D-9
D.5 注意事項	AP-D-10
Appendix E 注意事項のまとめ	AP-E-1
Appendix F クロック制御補足説明	AP-F-1

S1C33L19 Technical Manual

I S1C33L19の仕様

I.1 概要

S1C33L19は、フォトビューワなどの小型映像機器、ドアホンなどのホームエレクトロニクス機器、OA機器のオペレーションパネルなど、LCD表示を必要とする電子機器に対して、LCD表示機能に加え、JPEG画像処理機能を付加した、画像表示用途に特化したコストパフォーマンスの高い32ビットRISCコントローラです。

JPEG画像処理機能では、負荷が大きいJPEG処理を内蔵ハードウェアアクセラレータで処理しますので、ソフトウェア処理よりも高速に処理することが出来ます。また、複雑な制御を内部で行い使い易いシンプルなJPEGデコーダ/エンコーダAPIとして提供しますので、アプリケーションプログラムで簡単にご利用いただけます。これによって、写真などのJPEG画像データを容易に高速に伸長・圧縮でき、アプリケーションの表現力を向上させたり、データ量を削減させたりすることが可能になります。

周辺回路、ピン配置はS1C33L17の完全上位互換となっていますので、多くの汎用入出力ポート、強力なPWMタイマ/カウンタ、USB-FSデバイスコントローラを含む多彩なシリアルインタフェース、ADC機能を用いたアプリケーションを実現することが出来ます。

S1C33L19には32ビットRISC CPUコア、JPEG デコーダ/エンコーダ、汎用DMAコントローラ、USB-FSデバイスコントローラ、PWMコントロールタイマ/カウンタ、各種インタフェース(IrDA1.0, ISO7816-3プロトコルを含むSIO、SPI、I2S)、ADC、RAM、汎用RAM兼用IVRAM、RTC、NAND Flashインタフェースなどが0.18μm微細CMOSプロセスを使用したEPSON SoCテクノロジーにより実装されています。

表 I.1.1 ラインアップ

機種名	パッケージ
S1C33L19F***	TQFP24-144pin
S1C33L19B***	PFBGA-180pin
S1C33L19D***	チップ

以下に主な機能と特長を示します。

テクノロジー

- 0.18μm AL-4層アナログ混在低電力CMOSプロセステクノロジー

CPU

- SoCに最適化された、AMBAバス付きEPSONオリジナル32ビットRISC CPUコア C33 PE
- 最大動作周波数: 66MHz
- 内部2段パイプラインと4個の命令キュー
- 命令セット: 128命令(16ビット固定長)
- 32ビットS1C33 RISCコアと互換性を持つ基本命令
- CPUとLCDC用のデュアルAMBAバスシステム

内蔵メモリ

- 8KB RAM
- 12KB IVRAM(VRAMまたは汎用RAMとして使用可能)
- 2KB DST RAM(ビルトインMACおよびAPI使用時は、被乗数の格納が可能)

発振回路/PLL

OSC3発振回路

- 水晶発振: 5MHz Min.～48MHz Max.
- セラミック発振: 5MHz Min.～48MHz Max.
- 外部クロック入力: 5MHz Min.～48MHz Max.
- USB機能を使用するには0.25%以内の精度の48MHzクロックソースを接続してください。
- セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。

PLL

- PLL入力周波数: 5MHz Min.～50MHz Max. (OSC3 $\times 1$, $\times 1/2$, $\times 1/3$, ... $\times 1/9$, $\times 1/10$)
- PLL出力周波数: 20MHz Min.～90MHz Max.
- 逡倍率: $\times 1$, $\times 2$, $\times 3$, ... $\times 15$, $\times 16$

OSC1発振回路

- 水晶発振: 32.768kHz Typ.
- 外部クロック入力: 32.768kHz Typ.

ハードウェアアクセラレートモジュール

JPEG デコーダ/エンコーダ

- 内蔵ハードウェアアクセラレータによる高速演算処理
- JPEG-baseline (ITU-T T.82準拠、JIS X4081準拠)
- 対応マーカー: SOI, DQT, DHT, SOF0, DRI, SOS, EOI
- JPEG画像形式: YUV444, YUV422, YUV420, YUV411、Grayscale
- ビットマップ形式: RGB 24/16/8bit, Grayscale 4/2/1bit
- 高速縮小機能: 1/1, 1/2, 1/4, 1/8 シュリンクモード
- メモリ使用量を削減できる分割デコード／エンコード処理が可能
- 対応画像データサイズ: 無制限(搭載メモリサイズに依存)
- API一覧
JPEG ヘッダー分析 (JpegAnalyze)
JPEG デコード処理 (JpegDecode)
JPEG エンコード処理 (JpegEncode)
- デコード処理時間:
VGA(640x480) 1000[msec] (typ.)
QVGA(320x240) 290[msec] (typ.)
QQVGA(160x120) 86[msec] (typ.)
* CPU: 66MHz, VRAM: Color 16bit, Q値=75, YUV420フォーマット時
- エンコード処理時間
VGA(640x480) 1600[msec] (typ.)
QVGA(320x240) 420[msec] (typ.)
QQVGA(160x120) 120[msec] (typ.)
* CPU: 66MHz, VRAM: Color 16bit, Q値=75, YUV420フォーマット時

ハードウェア演算モジュール(Calculation module)

内蔵ハードウェアアクセラレータを用いた高速演算処理が可能。

- 4/8/16要素積和演算(MAC)
- 2/3/4次行列演算(Matrix)
- 2/3次アフィン変換(Affine)
- バタフライ演算(Butterfly)

数値表記形式として以下の演算モードをサポート。

- 符号有り/無し32bit整数(unsigned long/ signed long)
- Q13/14 16bit固定小数点数(FLOAT16_Q13/FLOAT16_Q14)

数値のオーバーフローを防止するための飽和処理をサポート(16bit固定小数点数のみ)

高速バス (HB) モジュール

SRAMC (SRAMコントローラ)

- 25ビットアドレスと8/16ビットの選択が可能なデータバス
- 各チップイネーブル信号が最大512Mバイト (A[24:0]) のアドレス空間を提供
- 外部デバイスの接続に最大8つのチップイネーブル信号を使用可能
- バスウェイトサイクル数をプログラマブルに設定可能 (0~7サイクル)
- 外部ウェイト信号に対応
- 4Gバイトの物理アドレス空間を使用可能
 - 物理アドレス空間を23に分割したエリアを選択して使用可能: エリア0~エリア22
 - エリア0~4とエリア6はシステム予約
- 各エリアはリトルエンディアンに対応
- メモリマップドI/O
- A0とBS (バスストローブ) のいずれかの方式による外部デバイスのアクセスに対応
- SRAM、ROM、Flash ROMを直接接続可能なインタフェースを内蔵

SDRAMC (SDRAM APP、AHBローカルバスアービタ付きSDRAMコントローラ)

- SDRAMを直接接続可能なインタフェースを内蔵
- 16ビットデータバスを持つSDRAMに対応
 - 最小構成: 16Mビット (2MB)、16ビットSDRAM × 1
 - 最大構成: 512Mビット (64MB)、16ビットSDRAM × 1
- CASレイテンシ: 1、2または3に設定可能
- バーストおよびシングルリード/ライトに対応
- DQM (バイト書き込み) 機能に対応
- 最大4つのSDRAMバンクとバンクアクティブモードに対応
- 12ビットオートリフレッシュカウンタを内蔵
- 省電力動作のためのインテリジェントなセルフリフレッシュ機能
- 2段の32ビットデータバッファと8段 × 2スロットの16ビット命令バッファを内蔵
- 最大90MHzのSDRAMクロックに対応
 - CPUクロック = 48MHzの場合: SDRAMクロックを最大48MHzに設定可能
 - CPUクロック = 45MHzの場合: SDRAMクロックをPLLにより最大90MHzに設定可能
- CPU、DMAC、LCDC、SRAMC間の外部バスの占有を調停

DMAC (ダイレクトメモリアクセスコントローラ)

- 4ch. 高速ハードウェアDMA
- 128ch. インテリジェントDMA (プログラム可能なコントロールテーブルを持つ可変データ転送コントローラ)

IVRAMARB (内部ビデオRAMアービタ)

- 12KB SRAM (3,072ワード × 16ビット × 2) をIVRAMとして内蔵
- LCDCとCPU双方からのアクセスを調停
- IVRAMはCPUおよびLCDCから最小2サイクルでアクセス可能 (32ビットアクセス時)
- 表示用のUMA (Unified Memory Access) をサポート
- ビデオRAMとして使用しない場合、レジスタの設定によりIVRAMをエリア0内の12KB汎用RAMとして使用可能

周辺回路バス (SAPB) モジュール

TCU (PWM出力付きタイマ/カウンタユニット)

- 4ch. 16ビットタイマ/カウンタ
- DA16 (デジタルD/A) モードにも対応したPWM出力が可能
- チャネル別に動作クロックを生成するプリスケアラを内蔵 (周辺回路用クロックを1/1~1/4,096に分周)
- DMA転送を起動可能

WDT(ウォッチドッグタイマ)

- NMI(ノンマスカブル割り込み)を発生可能な30ビットウォッチドッグタイマ
- ウォッチドッグタイマのオーバーフロー周期(NMI発生周期)をプログラマブルに設定可能
- ウォッチドッグタイマのオーバーフロー信号を外部にも出力可能

ADC(A/D変換器)

- 5ch. 10ビットA/D変換器
- 結果が上下限設定範囲外の場合に割り込みを発生可能
- ADCの各チャンネルにデータバッファを内蔵
- ADCの動作クロックを生成するプリスケアラを内蔵(周辺回路用クロックを1/2~1/256に分周)

ITC(割り込みコントローラ)

- 割り込みによりDMA転送を開始可能
- DMAC割り込み: 5種類
- 入力割り込み: 18種類
- TCU割り込み: 8種類
- EFSIO割り込み: 9種類
- ADC割り込み: 2種類
- RTC割り込み: 1種類
- SPI割り込み: 3種類
- USB割り込み: 2種類
- I²S割り込み: 2種類
- LCDC割り込み: 1種類

GPIO(汎用入出力ポート)

- 最大82ポート(TQFP24-144pinの場合)
 - * S1C33L19のGPIOポートは他の周辺機能(EFSIO、PWMなど)と端子を兼用しています。したがって、使用可能なGPIOポート数は周辺機能の使用状況により変わります。

USB(USB2.0準拠FSデバイスコントローラ)

- USB2.0フルスピードモード(12M bps)に対応
- オートネゴシエーション機能に対応
- コントロール、バルク、アイソクロナス、インタラプト転送に対応
- 4つの汎用エンドポイントとエンドポイント0(コントロール)をサポート
- プログラマブルな1KバイトFIFOを内蔵
- 8ビットローカルバスDMAポートをサポート
- DMA転送を起動可能
- 非同期DMA転送に対応
- DMAスレーブモードに対応
- USB-FS用クロック: 48MHz(固定)
- スヌーズモードに対応

RTC(リアルタイムクロック)

- 時刻(秒、分、時)カウンタとカレンダー(日、曜日、月、年)カウンタを内蔵
- どちらのカウンタもBCDデータでのリード/ライトが可能
- 時計のスタート/ストップ制御が可能
- 24時間制と12時間制の選択が可能
- ソフトウェアによる30秒補正が可能
- 周期的な割り込みを発生可能

CARD(ダイレクトコントロール付きシリアル入出力)

- スマートメディアインタフェース信号(#SMRE、#SMWE)を生成
- 8ビットNANDフラッシュインタフェース信号を生成
- MLCまたはSLC NANDフラッシュエラー検出のためのハードウェア・リードソロモンCODECを搭載
- NANDフラッシュブートに対応

EFSIO (FIFOバッファ付き拡張シリアルインタフェース)

- 2ch. クロック同期式/非同期式シリアルインタフェース
- FIFOデータバッファ内蔵(各チャネルに4バイトの受信データバッファと2バイトの送信データバッファを搭載)
- IrDA1.0インタフェースを内蔵
- ボーレートジェネレータ(12ビットプログラマブルタイマ)を内蔵
- ISO7816モードに対応(Ch.1のみ)
 - データの並び(MSB先頭、LSB先頭)を変更可能
 - ISO7816-3 T=0 & T=1プロトコル互換のメモリカードインタフェースに対応
 - ボーレートとガードタイムをプログラマブルに設定可能
 - ISO7816アクノリッジとオートリピート転送に対応
- DMA転送を起動可能

UART (非同期シリアルトランシーバ)

- 2バイトの受信データバッファと1バイトの送信データバッファを搭載した非同期のみのシリアルインタフェース(Ch.2)
- ボーレートジェネレータ(12ビットプログラマブルタイマ)を内蔵
- DMA転送を起動可能

SPI (シリアルペリフェラルインタフェース)

- 1ch. SPI(マスタモードまたはスレーブモードで動作)
- 1~32ビットのデータ転送に対応
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 転送の間に1~65,536クロックの遅延時間を挿入可能
- 送信データレジスタエンptyおよび受信データレジスタフル割り込みを発生可能
- MMCおよびSDカードの機能をサポート
- DMA転送を起動可能
- マスタモードでの最大ビットレートMCLK/2が設定可能

EGPIO (拡張GPIO)

- 標準GPIOに加え、最大17ポートのマルチプレックスGPIOが使用可能。チップの場合は最大91ポートが使用可能
 - * EGPIOポートは他の周辺機能と端子を兼用しています。したがって、使用可能なEGPIOポート数は周辺機能の使用状況により変わります。
- ほとんどのポートがレジスタで有効/無効に制御可能なプルアップ抵抗を内蔵
- 強制的なポートのLow駆動が可能

CMU (拡張クロックマネジメントユニット)

- 各周辺モジュールへのクロック供給を制御(動的な切り換えには未対応)
- リセットおよびNMI入力の管理
- システムクロックソースの切り換え(MCLK、SDRAM_CLK、RTC_CLK)
- MCLKとRTC_CLKの発振回路を制御
- PLLのOn/Offおよび周波数通倍率を制御
- スタンバイモード(SLEEP、HALT)に応じたクロックの制御
- LCDCクロックを生成するための分周を制御
- 外部バスクロックの管理

MISC(Misc.設定レジスタ)

- USBとRTCモジュールアクセス用ウェイト設定レジスタ
- デバッグポート機能選択レジスタ
- ブートモード設定用レジスタ

I²S(IC間サウンドバスインタフェース)

- ユニバーサルオーディオI²Sバスインタフェースに対応
- 入出力チャンネルに16ビットまたは24ビットを選択可能
- ビットクロック、ワードセレクトクロック、シリアルデータを受信するスレーブとして動作
- I²Sマスタークロックを内部生成または外部から入力可能
- 2つのI²S割り込み信号を生成
- 4つのI²S HSDMAトリガ信号を生成

LCDC(AMBAバス付きSTN/TFT LCDコントローラ)

VRAM:

- レジスタ設定により表示データバッファまたは汎用RAMとして使用可能な12KB RAMを内蔵
- LCDCからSDRAM(外部VRAM)またはIVRAM(内蔵VRAM)をアクセス可能なUMA方式をサポート
- 外部VRAM(SDRAM)はメモリマップの任意の位置に配置可能
- サブウィンドウ領域はIVRAMと外部VRAMのどちらにも、またメインウィンドウと同じか異なるVRAMのどちらにも配置可能

ディスプレイ対応:

- 4または8ビット モノクロLCDパネル
 - 4または8ビット カラー LCDパネル
 - シングルパネル、シングルドライブパッシブディスプレイ
 - 12または16ビット 汎用HR-TFTパネル
 - 320×240ドット、シャープ製HR-TFTパネル、セイコーインスツル製TFTパネル、その他TFTパネル
 - 解像度の例
 - 320×240(8bppモード、外部VRAMが必要) bpp = ビット/ピクセル
 - 320×240(1bppモード)
- * パネルの水平解像度は(16 ÷ bpp)の倍数である必要があります。

表示モード:

- フレームレートモジュレーションによりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
 - 1bppモードでの2階調表示
 - 2bppモードでの4階調表示
 - 4bppモードでの16階調表示
- カラーパッシブLCDパネルで最大64K色の同時表示が可能
 - 8bppモードでの256色表示
 - 12bppモードでの4K色表示
 - 16bppモードでの64K色表示
- TFTパネルで最大6,5536色の同時表示が可能
 - 1bppモードでの2色表示
 - 2bppモードでの4色表示
 - 4bppモードでの16色表示
 - 8bppモードでの256色表示
 - 12bppモードでの4K色表示
 - 16bppモードでの64k色表示
- 6ビット×16エントリ×3色で構成されるルックアップテーブルを内蔵
 - モノクロ1/2/4bppモード、カラー 8/12bppモードでは、ルックアップテーブルの使用/バイパスが可能
 - カラー 1/2/4/16bppモードでは、ルックアップテーブルを使用不可(バイパス)

表示機能:

- Picture-in-Picture Plus (PIP+)

Picture-in-Picture Plusは、メイン表示ウィンドウ内に第2のウィンドウ(サブウィンドウ)を表示する機能です。サブウィンドウはメインウィンドウと同じ表示色数を維持するとともに、レジスタ制御によりメインウィンドウ上の任意の位置に表示可能です。PIP+のハードウェアによるサブウィンドウの表示はソフトウェアで実現するよりも遙かに高速で、GUIの表示性能を向上させるとともに、CPUの余ったパワーを音声など他の処理に振り向けられます。

- 12または16ビット汎用HR-TFTインタフェース

12または16ビット汎用HR-TFTインタフェースは、320 × 240ドットのシャープ製HR-TFTパネル、セイコーインスツルメンツ製TFTパネル、あるいは他のTFTパネルに対応します。FPFRAM、FPLINE、FPSHIFT、TFT_CTL0～3信号のタイミングはレジスタ制御によりTFTパネルの仕様に合わせて設定可能です。

- クロックソース

LCDCのクロックは、CMUにあるクロック分周制御レジスタの設定により、IC内部で48MHzクロックを1～16分周して生成できます。

動作電圧

- V_{DD}(コア): 1.70～1.90V(Typ. 1.8V) セラミック発振子を使用する場合
- V_{DD}(コア): 1.65～1.95V(Typ. 1.8V) 水晶振動子を使用もしくは外部クロックを入力する場合
- PLV_{DD}: 1.65～1.95V(Typ. 1.8V)
- V_{DDH}(I/O): 2.70～3.60V USBを使用しない場合(耐5V I/Oには未対応)
- V_{DDH}(I/O): 3.00～3.60V(Typ. 3.3V) USBを使用する場合(耐5V I/Oには未対応)

動作周波数

- CPU: 66MHz Max.
- USB: 48MHz 固定
- SDRAMC: 90MHz Max.
- LCDC: 66MHz Max.
- その他の周辺回路: 66MHz Max.

動作温度

- -40～85°C
(セラミック発振子を使用する場合は0～70°C)

消費電流

- SLEEP時: 1.0μA Typ. (動作クロック = 48MHz)
- HALT時: 3.2mA Typ. (動作クロック = 48MHz)
- 実行時:
 - コア 22.0mA Typ. (動作クロック = 48MHz)
 - SRAMC 3.6mA Typ. (動作クロック = 48MHz, クロックのみ供給時)
 - SDRAMC 5.6mA Typ. (動作クロック = 48MHz, クロックのみ供給時)
 - DMA 4.1mA Typ. (動作クロック = 48MHz, クロックのみ供給時)
 - LCDC 5.6mA Typ. (動作クロック = 48MHz, クロックのみ供給時)
 - USB 11.0mA Typ. (動作クロック = 48MHz, クロックのみ供給時)
 - ADC 260.0μA Typ. (A/D変換器イネーブル時)
 - JPEG 25.0mA Typ. (動作クロック48MHz, JPEGデコーダ/エンコーダ動作時)

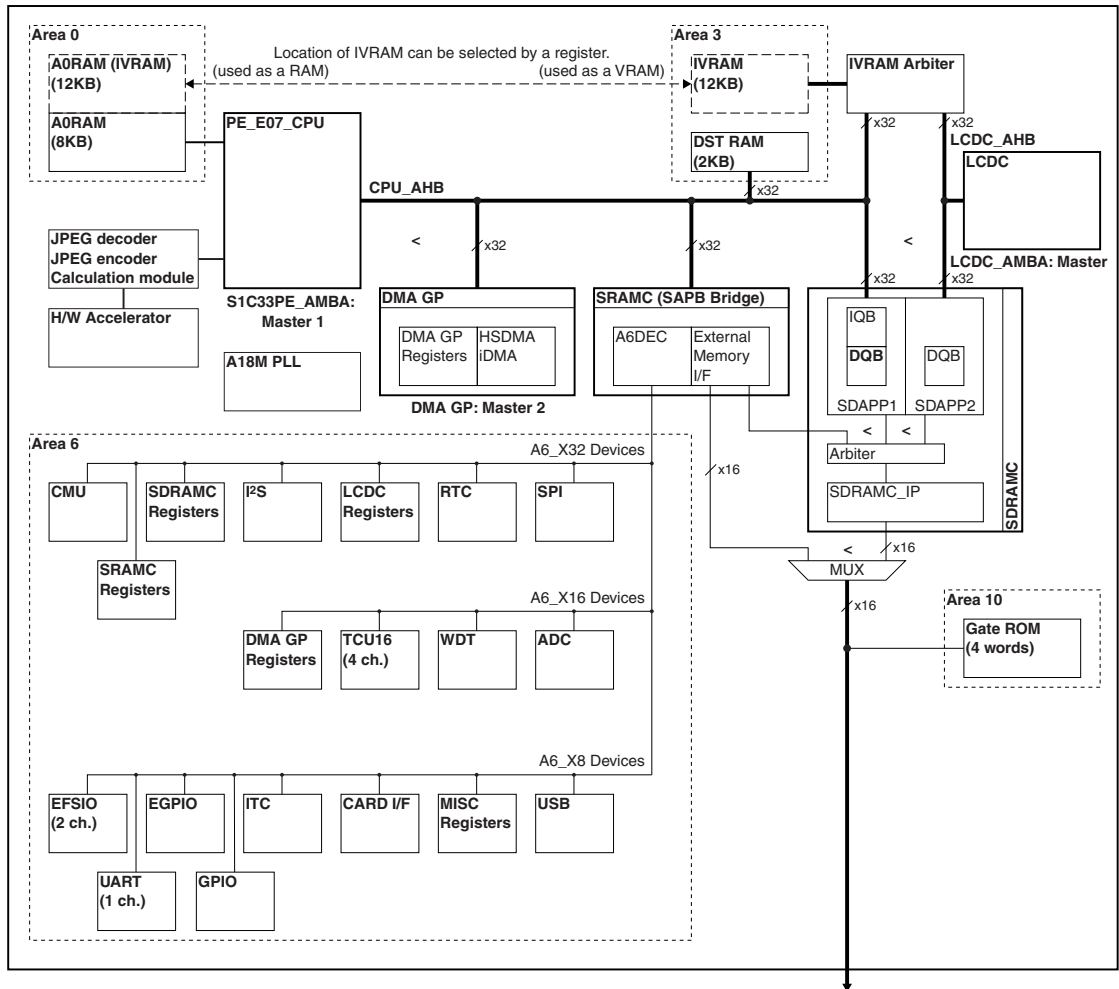
* CMUでCPUクロックを制御することにより、消費電流を低減できます。

出荷形態

- パッケージ: TQFP24-144pin(16mm × 16mm × 1.0mm、端子ピッチ0.4mm)
PFBGA-180pin(12mm × 12mm × 1.2mm、ボールピッチ0.8mm)
- チップ: 168パッド(パッドピッチ90μm)

このページはブランクです。

I.2 ブロック図



図I.2.1 S1C33L19ブロック図

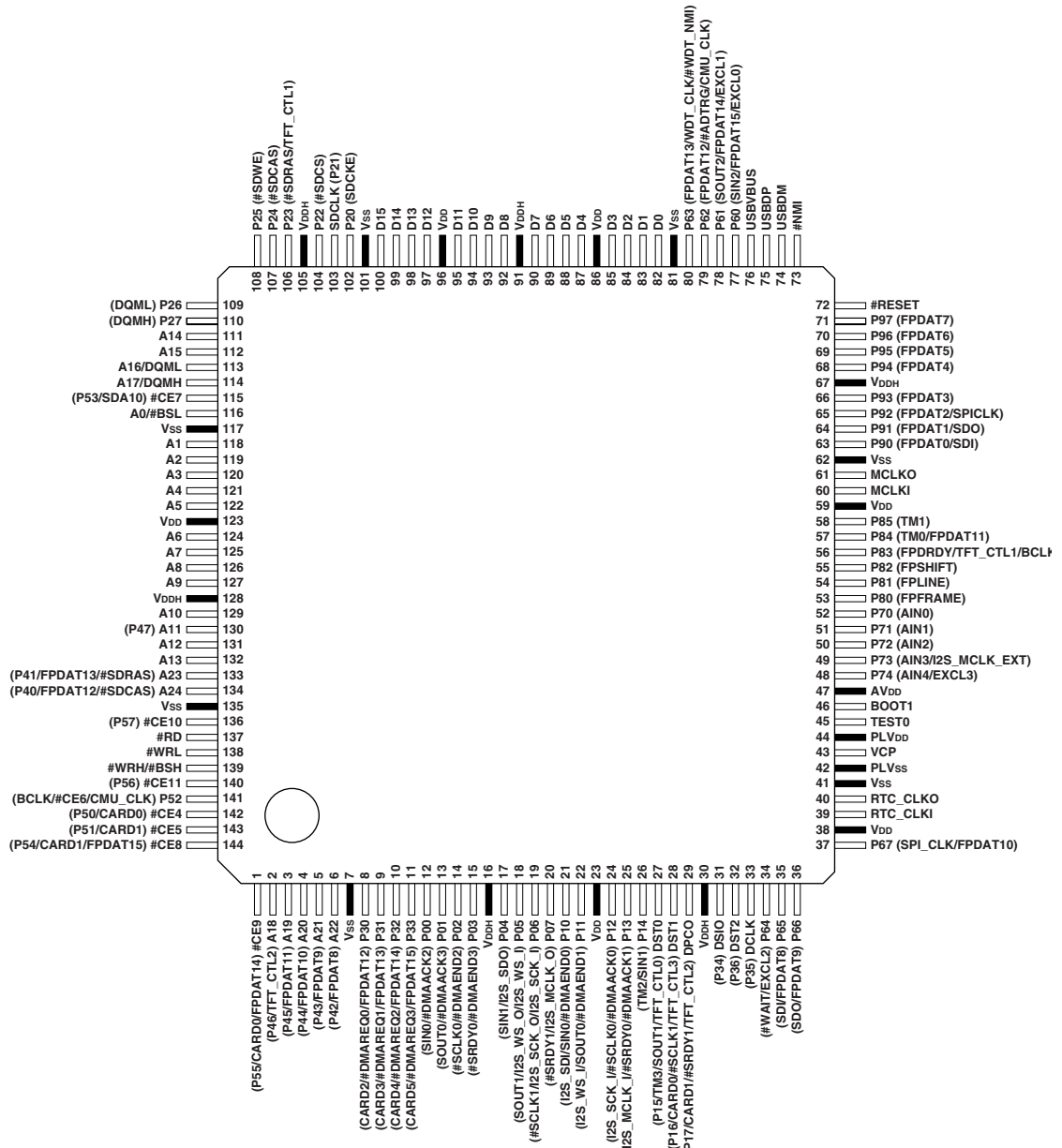
このページはブランクです。

I.3 端子説明

I.3.1 端子配置

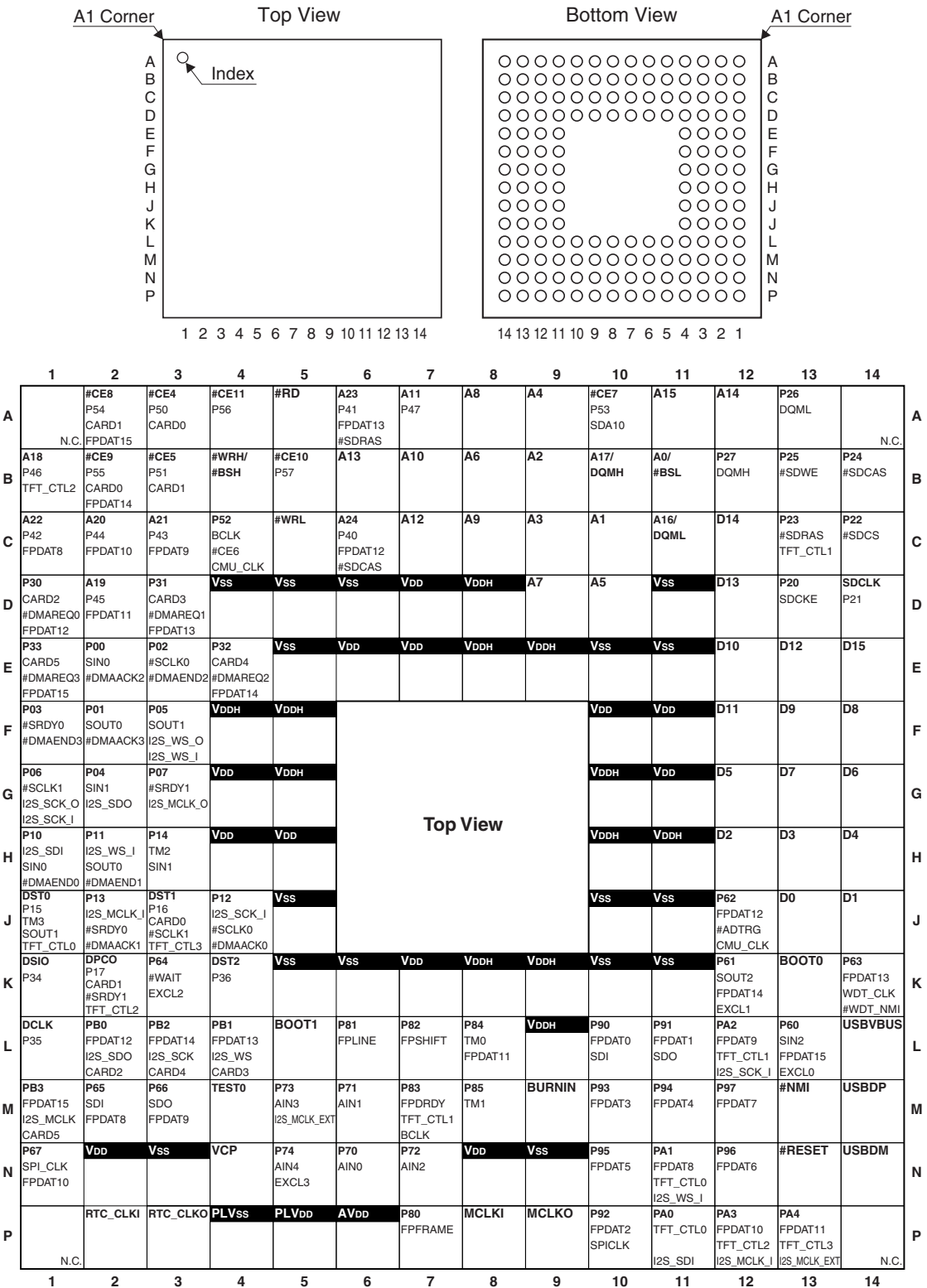
S1C33L19のパッケージモデルは、TQFP24-144pinまたはPFBGA-180pinのプラスチックパッケージを採用しています。

I.3.1.1 QFPパッケージ端子配置図(S1C33L19F)



図I.3.1.1.1 端子配置図(TQFP24-144pin)

I.3.1.2 PFBGAパッケージ端子配置図(S1C33L19B)



図I.3.1.2.1 端子配置図 (PFBGA-180pin)

I.3.2 端子機能

表I.3.2.1～表I.3.2.6に各端子の機能を示します。

表I.3.2.1 電源端子一覧

端子名	端子No.		機能
	QFP	PFBGA	
V _{DD}	23,38,59,86,96,123	D7,E6,E7,F10,F11,G4, G11,H4,H5,K7,N2,N8	コア用電源(+) (1.8V)
V _{DDH}	16,30,67,91,105,128	D8,E8,E9,F4,F5,G5,G10, H10,H11,K8,K9,L9	I/O用電源(+) (3.3V)
V _{SS}	7,41,62,81,101,117,135	D4,D5,D6,D11,E5,E10, E11,J5,J10,J11,K5,K6, K10,K11,N3,N9	電源(-) GND
PLV _{DD}	44	P5	PLL用電源(+) (PLV _{DD} = V _{DD})
PLV _{SS}	42	P4	PLL用電源(-) (PLV _{SS} = V _{SS})
AV _{DD}	47	P6	アナログシステムおよびAIN0～AIN4用電源(+) (3.3V, AV _{DD} = V _{DDH})

表I.3.2.2 クロック端子一覧

端子名	端子No.		I/O	Pull-up/down	機能
	QFP	PFBGA			
MCLKI	60	P8	I	—	高速(OSC3)発振入力 (水晶/セラミック発振、またはV _{DD} レベルの外部クロック入力)
MCLKO	61	P9	O	—	高速(OSC3)発振出力
RTC_CLKI	39	P2	I	—	リアルタイムクロック用(OSC1)発振入力 (水晶/セラミック発振、またはV _{DD} レベルの外部クロック入力)
RTC_CLKO	40	P3	O	—	リアルタイムクロック用(OSC1)発振出力
VCP	43	N4	O	—	PLLアナログモニタ(電流モニタ用)

表I.3.2.3 外部バス端子一覧

端子名	端子No.		I/O	Pull-up/down	機能
	QFP	PFBGA			
D[7:0]	90–87, 85–82	G13,G14, G12,H14, H13,H12, J14,J13	I/o	*2	データバス(D7–D0)
D[15:8] PC[7:0]	100–97, 95–92	E14,C12, D12,E13, F12,E12, F13,F14	I/o	*2	D[15:8]: データバス(D15–D8) PC[7:0]: 拡張汎用入出力ポート
A0 / #BSL	116	B11	i/O (L)	100k PU *1	アドレスバス(A0)またはバーストロープ(下位バイト)信号
A[10:1]	129, 127–124, 122–118	B7,C8, A8,D9, B8,D10, A9,C9, B9,C10	i/O (L)	100k PU *1	アドレスバス(A10–A1)
A11 P47	130	A7	i/O (L)	100k PU *1	A11: アドレスバス(A11) (デフォルト) P47: 汎用入出力ポート
A[15:12]	112,111, 132,131	A11,A12, B6,C7	i/O (L)	100k PU *1	アドレスバス(A15–A12)
A16 / DQML	113	C11	i/O (L)	100k PU *1	アドレスバス(A16)またはSDRAMデータ(下位バイト)入出力マスク信号出力
A17 / DQMH	114	B10	i/O (L)	100k PU *1	アドレスバス(A17)またはSDRAMデータ(上位バイト)入出力マスク信号出力
A18 P46 TFT_CTL2	2	B1	i/O (L)	100k PU *1	A18: アドレスバス(A18) (デフォルト) P46: 汎用入出力ポート TFT_CTL2: LCDC TFT I/F制御信号 2出力
A19 P45 FPDAT11	3	D2	i/O (L)	100k PU *1	A19: アドレスバス(A19) (デフォルト) P45: 汎用入出力ポート FPDAT11: LCDデータ
A20 P44 FPDAT10	4	C2	i/O (L)	100k PU *1	A20: アドレスバス(A20) (デフォルト) P44: 汎用入出力ポート FPDAT10: LCDデータ
A21 P43 FPDAT9	5	C3	i/O (L)	100k PU *1	A21: アドレスバス(A21) (デフォルト) P43: 汎用入出力ポート FPDAT9: LCDデータ

I S1C33L19の仕様: 端子説明

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
A22 P42 FPDAT8	6	C1	i/O (H)	100k PU *1	A22: アドレスバス(A22) (デフォルト) P42: 汎用入出力ポート FPDAT8: LCDデータ
A23 P41 FPDAT13 #SDRAS	133	A6	i/O (H)	100k PU *1	A23: アドレスバス(A23) (デフォルト) P41: 汎用入出力ポート FPDAT13: LCDデータ #SDRAS: SDRAMローアドレスストローブ信号出力
A24 P40 FPDAT12 #SDCAS	134	C6	i/O (L)	100k PU *1	A24: アドレスバス(A24) (デフォルト) P40: 汎用入出力ポート FPDAT12: LCDデータ #SDCAS: SDRAMカラムアドレスストローブ信号出力
#RD	137	A5	O	100k PU *1	リード信号
#WRL	138	C5	O	100k PU *1	ライト(下位バイト)信号
#WRH / #BSH	139	B4	O	100k PU *1	ライト(上位バイト)信号バスストローブ(上位バイト)信号
#CE10 P57	136	B5	*3	100k PU *1	#CE10: エリア10、13、20チップイネーブル信号(デフォルト) P57: 汎用入出力ポート
#CE4 P50 CARD0	142	A3	i/O (H)	100k PU *1	#CE4: エリア4、14チップイネーブル信号(デフォルト) P50: 汎用入出力ポート CARD0: カードI/F信号0出力
#CE5 P51 CARD1	143	B3	i/O (H)	100k PU *1	#CE5: エリア5、15、16チップイネーブル信号(デフォルト) P51: 汎用入出力ポート CARD1: カードI/F信号1出力
P52 BCLK #CE6 CMU_CLK	141	C4	I/o (PU)	100k PU *1	P52: 汎用入出力ポート(デフォルト) BCLK: バスクロック出力 #CE6: エリア6、17、18チップイネーブル信号 CMU_CLK: CMU外部クロック出力
#CE7 P53 SDA10	115	A10	i/O (H)	100k PU *1	#CE7: エリア7、19チップイネーブル信号(デフォルト) P53: 汎用入出力ポート SDA10: SDRAMアドレス10
#CE8 P54 CARD1 FPDAT15	144	A2	i/O (H)	100k PU *1	#CE8: エリア8、21チップイネーブル信号(デフォルト) P54: 汎用入出力ポート CARD1: カードI/F信号1出力 FPDAT15: LCDデータ
#CE9 P55 CARD0 FPDAT14	1	B2	i/O (H)	100k PU *1	#CE9: エリア9、22チップイネーブル信号(デフォルト) P55: 汎用入出力ポート CARD0: カードI/F信号0出力 FPDAT14: LCDデータ
#CE11 P56	140	A4	i/O (H)	100k PU *1	#CE11: エリア11、12チップイネーブル信号(デフォルト) P56: 汎用入出力ポート
P20 SDCKE	102	D13	I/o (PU)	100k PU *1	P20: 汎用入出力ポート(デフォルト) SDCKE: SDRAMクロックイネーブル信号出力
SDCLK P21	103	D14	I/o (PU)	100k PU *1	SDCLK: SDRAMクロック出力(デフォルト) P21: 汎用入出力ポート
P22 #SDCS	104	C14	I/o (PU)	100k PU *1	P22: 汎用入出力ポート(デフォルト) #SDCS: SDRAMチップイネーブル信号出力
P23 #SDRAS TFT_CTL1	106	C13	I/o (PU)	100k PU *1	P23: 汎用入出力ポート(デフォルト) #SDRAS: SDRAMローアドレスストローブ信号出力 TFT_CTL1: LCD TFT I/F制御信号1出力
P24 #SDCAS	107	B14	I/o (PU)	100k PU *1	P24: 汎用入出力ポート(デフォルト) #SDCAS: SDRAMカラムアドレスストローブ信号出力
P25 #SDWE	108	B13	I/o (PU)	100k PU *1	P25: 汎用入出力ポート(デフォルト) #SDWE: SDRAMライト信号出力
P26 DQML	109	A13	I/o (PU)	100k PU *1	P26: 汎用入出力ポート(デフォルト) DQML: SDRAMデータ(下位バイト)入出力マスク信号出力
P27 DQMH	110	B12	I/o (PU)	100k PU *1	P27: 汎用入出力ポート(デフォルト) DQMH: SDRAMデータ(上位バイト)入出力マスク信号出力

表I.3.2.4 入出力ポート/周辺回路端子一覧

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
P00 SINO #DMAACK2	12	E2	I/o (Hi-Z)	100k PU *1	P00: 汎用入出力ポート(デフォルト) SINO: シリアル/F Ch.0データ入力 #DMAACK2: HSDMA Ch.2応答信号出力
P01 SOUT0 #DMAACK3	13	F2	I/o (Hi-Z)	100k PU *1	P01: 汎用入出力ポート(デフォルト) SOUT0: シリアル/F Ch.0データ出力 #DMAACK3: HSDMA Ch.3応答信号出力
P02 #SCLK0 #DMAEND2	14	E3	I/o (Hi-Z)	100k PU *1	P02: 汎用入出力ポート(デフォルト) #SCLK0: シリアル/F Ch.0クロック入出力 #DMAEND2: HSDMA Ch.2転送終了信号出力
P03 #SRDY0 #DMAEND3	15	F1	I/o (Hi-Z)	100k PU *1	P03: 汎用入出力ポート(デフォルト) #SRDY0: シリアル/F Ch.0レディ信号入出力 #DMAEND3: HSDMA Ch.3転送終了信号出力
P04 SIN1 I2S_SDO	17	G2	I/o (Hi-Z)	100k PU *1	P04: 汎用入出力ポート(デフォルト) SIN1: シリアル/F Ch.1データ入力 I2S_SDO: I2S送信データ信号
P05 SOUT1 I2S_WS_O I2S_WS_I	18	F3	I/o (Hi-Z)	100k PU *1	P05: 汎用入出力ポート(デフォルト) SOUT1: シリアル/F Ch.1データ出力 I2S_WS_O: I2Sワードセレクト信号出力 I2S_WS_I: I2Sワードセレクト信号入力
P06 #SCLK1 I2S_SCK_O I2S_SCK_I	19	G1	I/o (Hi-Z)	100k PU *1	P06: 汎用入出力ポート(デフォルト) #SCLK1: シリアル/F Ch.1クロック入出力 I2S_SCK_O: I2Sシリアルクロック信号出力 I2S_SCK_I: I2Sシリアルクロック信号入力
P07 #SRDY1 I2S_MCLK_O	20	G3	I/o (Hi-Z)	100k PU *1	P07: 汎用入出力ポート(デフォルト) #SRDY1: シリアル/F Ch.1レディ信号入出力 I2S_MCLK_O: I2Sマスタクロック信号出力
P10 I2S_SDI SINO #DMAEND0	21	H1	I/o (Hi-Z)	100k PU *1	P10: 汎用入出力ポート(デフォルト) I2S_SDI: I2S受信データ信号 SINO: シリアル/F Ch.0データ入力 #DMAEND0: HSDMA Ch.0転送終了信号出力
P11 I2S_WS_I SOUT0 #DMAEND1	22	H2	I/o (Hi-Z)	100k PU *1	P11: 汎用入出力ポート(デフォルト) I2S_WS_I: I2Sワードセレクト信号入力 SOUT0: シリアル/F Ch.0データ出力 #DMAEND1: HSDMA Ch.1転送終了信号出力
P12 I2S_SCK_I #SCLK0 #DMAACK0	24	J4	I/o (Hi-Z)	100k PU *1	P12: 汎用入出力ポート(デフォルト) I2S_SCK_I: I2Sシリアルクロック信号入力 #SCLK0: シリアル/F Ch.0クロック入出力 #DMAACK0: HSDMA Ch.0応答信号出力
P13 I2S_MCLK_I #SRDY0 #DMAACK1	25	J2	I/o (Hi-Z)	100k PU *1	P13: 汎用入出力ポート(デフォルト) I2S_MCLK_I: I2Sマスタクロック信号入力 #SRDY0: シリアル/F Ch.0レディ信号入出力 #DMAACK1: HSDMA Ch.1応答信号出力
P14 TM2 SIN1	26	H3	I/o (Hi-Z)	100k PU *1	P14: 汎用入出力ポート(デフォルト) TM2: 16ビットタイマ2出力 SIN1: シリアル/F Ch.1データ入力
DST0 P15 TM3 SOUT1 TFT_CTL0	27	J1	i/O (H)	100k PU *1	DST0: デバッグ用DST0信号出力(デフォルト) P15: 汎用入出力ポート TM3: 16ビットタイマ3出力 SOUT1: シリアル/F Ch.1データ出力 TFT_CTL0: LCD C TFT I/F制御信号0出力
DST1 P16 CARD0 #SCLK1 TFT_CTL3	28	J3	i/O (H)	100k PU *1	DST1: デバッグ用DST1信号出力(デフォルト) P16: 汎用入出力ポート CARD0: カードI/F信号0出力 #SCLK1: シリアル/F Ch.1クロック入出力 TFT_CTL3: LCD C TFT I/F制御信号3出力
DPCO P17 CARD1 #SRDY1 TFT_CTL2	29	K2	i/O (H)	100k PU *1	DPCO: デバッグ用DPCO信号出力(デフォルト) P17: 汎用入出力ポート CARD1: カードI/F信号1出力 #SRDY1: シリアル/F Ch.1レディ信号入出力 TFT_CTL2: LCD C TFT I/F制御信号2出力
P30 CARD2 #DMAREQ0 FPDAT12	8	D1	I/o (Hi-Z)	100k PU *1	P30: 汎用入出力ポート(デフォルト) CARD2: カードI/F信号2出力 #DMAREQ0: HSDMA Ch.0要求入力 FPDAT12: LCDデータ
P31 CARD3 #DMAREQ1 FPDAT13	9	D3	I/o (Hi-Z)	100k PU *1	P31: 汎用入出力ポート(デフォルト) CARD3: カードI/F信号3出力 #DMAREQ1: HSDMA Ch.1要求入力 FPDAT13: LCDデータ

I S1C33L19の仕様: 端子説明

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
P32 CARD4 #DMAREQ2 FPDAT14	10	E4	I/o (Hi-Z)	100k PU *1	P32: 汎用入出力ポート(デフォルト) CARD4: カードI/F信号4出力 #DMAREQ2: HSDMA Ch.2要求入力 FPDAT14: LCDデータ
P33 CARD5 #DMAREQ3 FPDAT15	11	E1	I/o (Hi-Z)	100k PU *1	P33: 汎用入出力ポート(デフォルト) CARD5: カードI/F信号5出力 #DMAREQ3: HSDMA Ch.3要求入力 FPDAT15: LCDデータ
P60 SIN2 FPDAT15 EXCL0	77	L13	I/o (Hi-Z)	100k PU *1	P60: 汎用入出力ポート(デフォルト) SIN2: シリアルI/F Ch.2データ入力 FPDAT15: LCDデータ EXCL0: 16ビットタイマ0外部クロック入力
P61 SOUT2 FPDAT14 EXCL1	78	K12	I/o (Hi-Z)	100k PU *1	P61: 汎用入出力ポート(デフォルト) SOUT2: シリアルI/F Ch.2データ出力 FPDAT14: LCDデータ EXCL1: 16ビットタイマ1外部クロック入力
P62 FPDAT12 #ADTRG CMU_CLK	79	J12	I/o (Hi-Z)	100k PU *1	P62: 汎用入出力ポート(デフォルト) FPDAT12: LCDデータ #ADTRG: A/D変換器トリガ入力 CMU_CLK: CMU外部クロック出力
P63 FPDAT13 WDT_CLK #WDT_NMI	80	K14	I/o (Hi-Z)	100k PU *1	P63: 汎用入出力ポート(デフォルト) FPDAT13: LCDデータ WDT_CLK: ウォッチドッグタイマクロック出力 #WDT_NMI: ウォッチドッグタイマNMI信号出力
P64 #WAIT EXCL2	34	K3	I/o (Hi-Z)	100k PU *1	P64: 汎用入出力ポート(デフォルト) #WAIT: ウェイト要求入力 EXCL2: 16ビットタイマ2外部クロック入力
P65 SDI FPDAT8	35	M2	I/o (Hi-Z)	100k PU *1	P65: 汎用入出力ポート(デフォルト) SDI: SPIデータ入力 FPDAT8: LCDデータ
P66 SDO FPDAT9	36	M3	I/o (Hi-Z)	100k PU *1	P66: 汎用入出力ポート(デフォルト) SDO: SPIデータ出力 FPDAT9: LCDデータ
P67 SPI_CLK FPDAT10	37	N1	I/o (Hi-Z)	100k PU *1	P67: 汎用入出力ポート(デフォルト) SPI_CLK: SPIクロック FPDAT10: LCDデータ
P70 AIN0	52	N6	I (Hi-Z)	100k PU *1	P70: 汎用入出力ポート(デフォルト) AIN0: A/D変換器Ch.0入力
P71 AIN1	51	M6	I (Hi-Z)	100k PU *1	P71: 汎用入出力ポート(デフォルト) AIN1: A/D変換器Ch.1入力
P72 AIN2	50	N7	I (Hi-Z)	100k PU *1	P72: 汎用入出力ポート(デフォルト) AIN2: A/D変換器Ch.2入力
P73 AIN3 I2S_MCLK_EXT	49	M5	I (Hi-Z)	100k PU *1	P73: 汎用入出力ポート(デフォルト) AIN3: A/D変換器Ch.3入力 I2S_MCLK_EXT: I ² Sマスタクロック信号外部入力
P74 AIN4 EXCL3	48	N5	I (Hi-Z)	100k PU *1	P74: 汎用入出力ポート(デフォルト) AIN4: A/D変換器Ch.4入力 EXCL3: 16ビットタイマ3外部クロック入力
P80 FPFRAME	53	P7	I/o (Hi-Z)	100k PU *1	P80: 汎用入出力ポート(デフォルト) FPFRAME: LCDフレームクロック出力
P81 FPLINE	54	L6	I/o (Hi-Z)	100k PU *1	P81: 汎用入出力ポート(デフォルト) FPLINE: LCDラインクロック出力
P82 FPSHIFT	55	L7	I/o (Hi-Z)	100k PU *1	P82: 汎用入出力ポート(デフォルト) FPSHIFT: LCDシフトクロック出力
P83 FPDRDY TFT_CTL1 BCLK	56	M7	I/o (Hi-Z)	100k PU *1	P83: 汎用入出力ポート(デフォルト) FPDRDY: LCD DRDY/MOD信号出力 TFT_CTL1: LCDC TFT I/F制御信号1出力 BCLK: バスクロック出力
P84 TM0 FPDAT11	57	L8	I/o (Hi-Z)	100k PU *1	P84: 汎用入出力ポート(デフォルト) TM0: 16ビットタイマ0出力 FPDAT11: LCDデータ
P85 TM1	58	M8	I/o (Hi-Z)	100k PU *1	P85: 汎用入出力ポート(デフォルト) TM1: 16ビットタイマ1出力
P90 FPDAT0 SDI	63	L10	I/o (Hi-Z)	100k PU *1	P90: 汎用入出力ポート(デフォルト) FPDAT0: LCDデータ SDI: SPIデータ入力
P91 FPDAT1 SDO	64	L11	I/o (Hi-Z)	100k PU *1	P91: 汎用入出力ポート(デフォルト) FPDAT1: LCDデータ SDO: SPIデータ出力

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
P92 FPDAT2 SPICLK	65	P10	I/o (Hi-Z)	100k PU *1	P92: 汎用入出力ポート(デフォルト) FPDAT2: LCDデータ SPICLK: SPIクロック
P93 FPDAT3	66	M10	I/o (Hi-Z)	100k PU *1	P93: 汎用入出力ポート(デフォルト) FPDAT3: LCDデータ
P94 FPDAT4	68	M11	I/o (Hi-Z)	100k PU *1	P94: 汎用入出力ポート(デフォルト) FPDAT4: LCDデータ
P95 FPDAT5	69	N10	I/o (Hi-Z)	100k PU *1	P95: 汎用入出力ポート(デフォルト) FPDAT5: LCDデータ
P96 FPDAT6	70	N12	I/o (Hi-Z)	100k PU *1	P96: 汎用入出力ポート(デフォルト) FPDAT6: LCDデータ
P97 FPDAT7	71	M12	I/o (Hi-Z)	100k PU *1	P97: 汎用入出力ポート(デフォルト) FPDAT7: LCDデータ
PA0 TFT_CTL0 I2S_SDI	—	P11	I/o (PU)	100k PU *1	PA0: 拡張汎用入出力ポート(デフォルト) TFT_CTL0: LCDC TFT I/F制御信号0出力 I2S_SDI: I2S受信データ信号
PA1 FPDAT8 TFT_CTL0 I2S_WS_I	—	N11	I/o (PU)	100k PU *1	PA1: 拡張汎用入出力ポート(デフォルト) FPDAT8: LCDデータ TFT_CTL0: LCDC TFT I/F制御信号0出力 I2S_WS_I: I2Sワードセレクト信号入力
PA2 FPDAT9 TFT_CTL1 I2S_SCK_I	—	L12	I/o (PU)	100k PU *1	PA2: 拡張汎用入出力ポート(デフォルト) FPDAT9: LCDデータ TFT_CTL1: LCDC TFT I/F制御信号1出力
PA3 FPDAT10 TFT_CTL2 I2S_MCLK_I	—	P12	I/o (PU)	100k PU *1	PA3: 拡張汎用入出力ポート(デフォルト) FPDAT10: LCDデータ TFT_CTL2: LCDC TFT I/F制御信号2出力 I2S_MCLK_I: I2Sマスタクロック信号入力
PA4 FPDAT11 TFT_CTL3 I2S_MCLK_EXT	—	P13	I/o (PU)	100k PU *1	PA4: 拡張汎用入出力ポート(デフォルト) FPDAT11: LCDデータ TFT_CTL3: LCDC TFT I/F制御信号3出力 I2S_MCLK_EXT: I2Sマスタクロック信号外部入力
PB0 FPDAT12 I2S_SDO CARD2	—	L2	I/o (PU)	100k PU *1	PB0: 拡張汎用入出力ポート(デフォルト) FPDAT12: LCDデータ I2S_SDO: I2S送信データ信号 CARD2: カードI/F信号2出力
PB1 FPDAT13 I2S_WS_O CARD3	—	L4	I/o (PU)	100k PU *1	PB1: 拡張汎用入出力ポート(デフォルト) FPDAT13: LCDデータ I2S_WS_O: I2Sワードセレクト信号出力 CARD3: カードI/F信号3出力
PB2 FPDAT14 I2S_SCK_O CARD4	—	L3	I/o (PU)	100k PU *1	PB2: 拡張汎用入出力ポート(デフォルト) FPDAT14: LCDデータ I2S_SCK_O: I2Sシリアルクロック信号出力 CARD4: カードI/F信号4出力
PB3 FPDAT15 I2S_MCLK_O CARD5	—	M1	I/o (PU)	100k PU *1	PB3: 拡張汎用入出力ポート(デフォルト) FPDAT15: LCDデータ I2S_MCLK_O: I2Sマスタクロック信号出力 CARD5: カードI/F信号5出力

表I.3.2.5 USBインタフェース端子一覧

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
USBDP	75	M14	I/o	—	USB D+端子
USBDM	74	N14	I/o	—	USB D-端子
USBVBUS	76	L14	I	—	USB VBUS端子(5V入力可)

表I.3.2.6 その他

端子名	端子No.		I/O	Pull-up/down	機 能
	QFP	PFBGA			
#RESET	72	N13	I	50k PU	イニシャルリセット入力端子(ノイズ除去機能付き)
#NMI	73	M13	I	50k PU	NMI要求入力端子(ノイズ除去機能付き)
DSIO P34	31	K1	I/o	50k PU	DSIO: デバッグ用シリアル入出力端子(ノイズ除去機能付き) (デフォルト) P34: 汎用入出力ポート
DCLK P35	33	L1	I/O (H)	50k PU	DCLK: デバッグ用DCLK信号出力(デフォルト) P35: 汎用入出力ポート
DST2 P36	32	K4	I/O (L)	100k PU	DST2: デバッグ用DST2信号出力(デフォルト) P36: 汎用入出力ポート
BOOT1	46	L5	I	—	ブートモード選択信号1入力
BOOT0	—	K13	I	—	ブートモード選択信号0入力
BURNIN	—	M9	I	50k PD	ウエハレベルバーンインテストイネーブル入力
TEST0	45	M4	I	60k PD	テスト用入力0

*1: 端子制御レジスタにより、プルアップを有効/無効に制御可能

*2: バスホールドラッチ付き

*3: イニシャルリセット時における#CE10端子の入出力方向はBOOT[1:0]端子の設定状態によって変わります。詳細については、“Appendix D ブート”を参照してください。

注: • 端子名の#は、入出力する信号がLowアクティブであることを示します。

• 太字で記載されている端子名は、デフォルト設定の端子(信号)名です。

• 太字の大文字で記載されているI/Oはデフォルト設定の入出力方向です。
I/Oの()は以下の状態を表します。

(H)、(L): デフォルトの出力レベル。イニシャルリセット時にレベルが確定する信号のみ記述しています。

(PU): イニシャルリセット時にプルアップされます(レジスタ制御プルアップが有効になります)。

(Hi-Z): イニシャルリセット時にハイインピーダンスになります(レジスタ制御プルアップが無効になります)。

• RTC_CLKIとMCLKI端子のみ、入力レベルをV_{DD}とする必要があります。その他の端子への入力レベルはすべてV_{DDH}(またはAV_{DD})としてください。

• QFPパッケージでは、PA*およびPB*ポートが端子として出力されません。ポートがフローティングとなるような設定(入力モード、プルアップOFF)は行わないでください。

• QFPパッケージでは、BOOT0が端子として出力されません。パッケージ内でLowレベルに固定されます。

I.3.3 マルチプレックス端子の機能切り換え

I.3.3.1 端子機能選択ビット

表I.3.3.1.1に示すとおり、各端子には1～4種類の機能が割り当てられています。

電源投入時やコールドリセット時は、P21/SDCLK端子およびデバッグ端子を除き機能0に初期設定されます。それ以外の機能に使用する場合は、各端子に対応した端子機能選択ビットにデータを書き込んで使用する機能を選択してください。

表I.3.3.1.1 端子機能/機能選択ビット一覧

端子機能0	端子機能1	端子機能2	端子機能3	デバッグ機能	機能選択ビット
MCLKI					
MCLKO					
RTC_CLKI					
RTC_CLKO					
VCP					
#RESET					
#NMI					
BOOT1					
BOOT0					
BURNIN					
DSIO	P34				CFPC34[1:0] (D[1:0]/0x3003A7)
DCLK	P35				CFPC35[1:0] (D[3:2]/0x3003A7)
DST2	P36				CFPC36[1:0] (D[5:4]/0x3003A7)
D0					
D1					
D2					
D3					
D4					
D5					
D6					
D7					
D8	PC0				CFPC0[1:0] (D[1:0]/0x300C24)
D9	PC1				CFPC1[1:0] (D[3:2]/0x300C24)
D10	PC2				CFPC2[1:0] (D[5:4]/0x300C24)
D11	PC3				CFPC3[1:0] (D[7:6]/0x300C24)
D12	PC4				CFPC4[1:0] (D[1:0]/0x300C25)
D13	PC5				CFPC5[1:0] (D[3:2]/0x300C25)
D14	PC6				CFPC6[1:0] (D[5:4]/0x300C25)
D15	PC7				CFPC7[1:0] (D[7:6]/0x300C25)
A0/#BSL					
A1					
A2					
A3					
A4					
A5					
A6					
A7					
A8					
A9					
A10					
A11	P47				CFPC47[1:0] (D[7:6]/0x3003A9)
A12					
A13					
A14					
A15					
A16/DQML					
A17/DQMH					
A18	P46	TFT_CTL2			CFPC46[1:0] (D[5:4]/0x3003A9)
A19	P45	FPDAT11			CFPC45[1:0] (D[3:2]/0x3003A9)
A20	P44	FPDAT10			CFPC44[1:0] (D[1:0]/0x3003A9)

I S1C33L19の仕様: 端子説明

端子機能0	端子機能1	端子機能2	端子機能3	デバッグ機能	機能選択ビット
A21	P43	FPDAT9			CFP43[1:0] (D[7:6]/0x3003A8)
A22	P42	FPDAT8			CFP42[1:0] (D[5:4]/0x3003A8)
A23	P41	FPDAT13	#SDRAS		CFP41[1:0] (D[3:2]/0x3003A8)
A24	P40	FPDAT12	#SDCAS		CFP40[1:0] (D[1:0]/0x3003A8)
#RD					
#WRL					
#WRH/#BSH					
#CE10	P57				CFP57[1:0] (D[7:6]/0x3003AB)
#CE4	P50	CARD0			CFP50[1:0] (D[1:0]/0x3003AA)
#CE5	P51	CARD1			CFP51[1:0] (D[3:2]/0x3003AA)
P52	BCLK	#CE6	CMU_CLK		CFP52[1:0] (D[5:4]/0x3003AA)
#CE7	P53	SDA10			CFP53[1:0] (D[7:6]/0x3003AA)
#CE8	P54	CARD1	FPDAT15		CFP54[1:0] (D[1:0]/0x3003AB)
#CE9	P55	CARD0	FPDAT14		CFP55[1:0] (D[3:2]/0x3003AB)
#CE11	P56				CFP56[1:0] (D[5:4]/0x3003AB)
P00	SIN0	#DMAACK2			CFP00[1:0] (D[1:0]/0x3003A0)
P01	SOUT0	#DMAACK3			CFP01[1:0] (D[3:2]/0x3003A0)
P02	#SCLK0	#DMAEND2			CFP02[1:0] (D[5:4]/0x3003A0)
P03	#SRDY0	#DMAEND3			CFP03[1:0] (D[7:6]/0x3003A0)
P04	SIN1	I2S_SDO			CFP04[1:0] (D[1:0]/0x3003A1)
P05	SOUT1	I2S_WS_O	I2S_WS_I		CFP05[1:0] (D[3:2]/0x3003A1)
P06	#SCLK1	I2S_SCK_O	I2S_SCK_I		CFP06[1:0] (D[5:4]/0x3003A1)
P07	#SRDY1	I2S_MCLK_O			CFP07[1:0] (D[7:6]/0x3003A1)
P10	I2S_SDI	SIN0	#DMAEND0		CFP10[1:0] (D[1:0]/0x3003A2)
P11	I2S_WS_I	SOUT0	#DMAEND1		CFP11[1:0] (D[3:2]/0x3003A2)
P12	I2S_SCK_I	#SCLK0	#DMAACK0		CFP12[1:0] (D[5:4]/0x3003A2)
P13	I2S_MCLK_I	#SRDY0	#DMAACK1		CFP13[1:0] (D[7:6]/0x3003A2)
P14	TM2	SIN1			CFP14[1:0] (D[1:0]/0x3003A3)
P15	TM3	SOUT1	TFT_CTL0	DST0	CFP15[1:0] (D[3:2]/0x3003A3)
P16	CARD0	#SCLK1	TFT_CTL3	DST1	CFP16[1:0] (D[5:4]/0x3003A3)
P17	CARD1	#SRDY1	TFT_CTL2	DPCO	CFP17[1:0] (D[7:6]/0x3003A3)
P20	SDCKE				CFP20[1:0] (D[1:0]/0x3003A4)
P21	SDCLK				CFP21[1:0] (D[3:2]/0x3003A4)
P22	#SDCS				CFP22[1:0] (D[5:4]/0x3003A4)
P23	#SDRAS	TFT_CTL1			CFP23[1:0] (D[7:6]/0x3003A4)
P24	#SDCAS				CFP24[1:0] (D[1:0]/0x3003A5)
P25	#SDWE				CFP25[1:0] (D[3:2]/0x3003A5)
P26	DQML				CFP26[1:0] (D[5:4]/0x3003A5)
P27	DQMH				CFP27[1:0] (D[7:6]/0x3003A5)
P30	CARD2	#DMAREQ0	FPDAT12		CFP30[1:0] (D[1:0]/0x3003A6)
P31	CARD3	#DMAREQ1	FPDAT13		CFP31[1:0] (D[3:2]/0x3003A6)
P32	CARD4	#DMAREQ2	FPDAT14		CFP32[1:0] (D[5:4]/0x3003A6)
P33	CARD5	#DMAREQ3	FPDAT15		CFP33[1:0] (D[7:6]/0x3003A6)
P60	SIN2	FPDAT15	EXCL0		CFP60[1:0] (D[1:0]/0x3003AC)
P61	SOUT2	FPDAT14	EXCL1		CFP61[1:0] (D[3:2]/0x3003AC)
P62	FPDAT12	#ADTRG	CMU_CLK		CFP62[1:0] (D[5:4]/0x3003AC)
P63	FPDAT13	WDT_CLK	#WDT_NMI		CFP63[1:0] (D[7:6]/0x3003AC)
P64	#WAIT	EXCL2			CFP64[1:0] (D[1:0]/0x3003AD)
P65	SDI	FPDAT8			CFP65[1:0] (D[3:2]/0x3003AD)
P66	SDO	FPDAT9			CFP66[1:0] (D[5:4]/0x3003AD)
P67	SPI_CLK	FPDAT10			CFP67[1:0] (D[7:6]/0x3003AD)
P70	AIN0				CFP70[1:0] (D[1:0]/0x3003AE)
P71	AIN1				CFP71[1:0] (D[3:2]/0x3003AE)
P72	AIN2				CFP72[1:0] (D[5:4]/0x3003AE)
P73	AIN3	I2S_MCLK_EXT			CFP73[1:0] (D[7:6]/0x3003AE)
P74	AIN4	EXCL3			CFP74[1:0] (D[1:0]/0x3003AF)
P80	FPFRAME				CFP80[1:0] (D[1:0]/0x3003B0)
P81	FPLINE				CFP81[1:0] (D[3:2]/0x3003B0)
P82	FPSHIFT				CFP82[1:0] (D[5:4]/0x3003B0)
P83	FPDRDY	TFT_CTL1	BCLK		CFP83[1:0] (D[7:6]/0x3003B0)
P84	TM0	FPDAT11			CFP84[1:0] (D[1:0]/0x3003B1)
P85	TM1				CFP85[1:0] (D[3:2]/0x3003B1)

端子機能0	端子機能1	端子機能2	端子機能3	デバッグ機能	機能選択ビット
P90	FPDAT0	SDI			CFP90[1:0] (D[1:0]/0x3003B2)
P91	FPDAT1	SDO			CFP91[1:0] (D[3:2]/0x3003B2)
P92	FPDAT2	SPICLK			CFP92[1:0] (D[5:4]/0x3003B2)
P93	FPDAT3				CFP93[1:0] (D[7:6]/0x3003B2)
P94	FPDAT4				CFP94[1:0] (D[1:0]/0x3003B3)
P95	FPDAT5				CFP95[1:0] (D[3:2]/0x3003B3)
P96	FPDAT6				CFP96[1:0] (D[5:4]/0x3003B3)
P97	FPDAT7				CFP97[1:0] (D[7:6]/0x3003B3)
PA0	TFT_CTL0		I2S_SDI		CFPA0[1:0] (D[1:0]/0x300C20)
PA1	FPDAT8	TFT_CTL0	I2S_WS_I		CFPA1[1:0] (D[3:2]/0x300C20)
PA2	FPDAT9	TFT_CTL1	I2S_SCK_I		CFPA2[1:0] (D[5:4]/0x300C20)
PA3	FPDAT10	TFT_CTL2	I2S_MCLK_I		CFPA3[1:0] (D[7:6]/0x300C20)
PA4	FPDAT11	TFT_CTL3	I2S_MCLK_EXT		CFPA4[1:0] (D[1:0]/0x300C21)
PB0	FPDAT12	I2S_SDO	CARD2		CFPB0[1:0] (D[1:0]/0x300C22)
PB1	FPDAT13	I2S_WS_O	CARD3		CFPB1[1:0] (D[3:2]/0x300C22)
PB2	FPDAT14	I2S_SCK_O	CARD4		CFPB2[1:0] (D[5:4]/0x300C22)
PB3	FPDAT15	I2S_MCLK_O	CARD5		CFPB3[1:0] (D[7:6]/0x300C22)
USBDP					
USBDM					
USBVBUS					
TEST0					

- 端子機能選択ビットの設定値0～3が機能0～3に対応します。
- TRCMUX(D0/0x300014)が1の場合(デフォルト設定)、P15～P17、P34～P36端子はデバッグ機能に固定され、機能選択ビットは無効となります。デバッグ以外の機能を使用する場合は、TRCMUX(D0/0x300014)を0に設定してから機能選択ビットによる切り換えを行ってください。

* **TRCMUX**: P15～17, P34～36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

- CARD0からCARD5はカードインタフェース用の出力端子です。それぞれの端子の機能を、使用するカードインタフェースに合わせて表I.3.3.1.2のとおり選択可能です。この選択はCard I/F Output Port Configuration Register(0x300302)で行います。カードインタフェースと出力信号の詳細については、別冊“カードインタフェース(CARD)”を参照してください。

表I.3.3.1.2 ポートとカードインタフェース信号の対応

端子名	機能0(デフォルト)	機能1	機能選択ビット
CARD0	#SMRD	#CFCE1	CARDIO0 (D0/0x300302)
CARD1	#SMWR	#CFCE2	CARDIO1 (D1/0x300302)
CARD2	#IORD	#SMRD	CARDIO2 (D2/0x300302)
CARD3	#IOWR	#SMWR	CARDIO3 (D3/0x300302)
CARD4	#OE	#CFCE1	CARDIO4 (D4/0x300302)
CARD5	#WE	#CFCE2	CARDIO5 (D5/0x300302)

#SMRD, #SMWR: スマートメディア(NANDフラッシュ)用出力端子

#CFCE1, #CFCE2: コンパクトフラッシュ用出力端子

#IORD, #IOWR, #OE, #WE: PCカード用出力端子

* **CARDIOx**: CARDx Port Function Select Bit in the Card I/F Output Port Configuration Register (Dx/0x300302)

I.3.3.2 ポート機能選択レジスタ一覧

表I.3.3.2.1 ポート機能選択レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x003003A0	P00–P03 Port Function Select Register (pP0_03_CFP)	8	P00～P03ポートの機能選択
0x003003A1	P04–P07 Port Function Select Register (pP0_47_CFP)	8	P04～P07ポートの機能選択
0x003003A2	P10–P13 Port Function Select Register (pP1_03_CFP)	8	P10～P13ポートの機能選択
0x003003A3	P14–P17 Port Function Select Register (pP1_47_CFP)	8	P14～P17ポートの機能選択
0x003003A4	P20–P23 Port Function Select Register (pP2_03_CFP)	8	P20～P23ポートの機能選択
0x003003A5	P24–P27 Port Function Select Register (pP2_47_CFP)	8	P24～P27ポートの機能選択
0x003003A6	P30–P33 Port Function Select Register (pP3_03_CFP)	8	P30～P33ポートの機能選択
0x003003A7	P34–P36 Port Function Select Register (pP3_46_CFP)	8	P34～P36ポートの機能選択
0x003003A8	P40–P43 Port Function Select Register (pP4_03_CFP)	8	P40～P43ポートの機能選択
0x003003A9	P44–P47 Port Function Select Register (pP4_47_CFP)	8	P44～P47ポートの機能選択
0x003003AA	P50–P53 Port Function Select Register (pP5_03_CFP)	8	P50～P53ポートの機能選択
0x003003AB	P54–P57 Port Function Select Register (pP5_47_CFP)	8	P54～P57ポートの機能選択
0x003003AC	P60–P63 Port Function Select Register (pP6_03_CFP)	8	P60～P63ポートの機能選択
0x003003AD	P64–P67 Port Function Select Register (pP6_47_CFP)	8	P64～P67ポートの機能選択
0x003003AE	P70–P73 Port Function Select Register (pP7_03_CFP)	8	P70～P73ポートの機能選択
0x003003AF	P74 Port Function Select Register (pP7_4_CFP)	8	P74ポートの機能選択
0x003003B0	P80–P83 Port Function Select Register (pP8_03_CFP)	8	P80～P83ポートの機能選択
0x003003B1	P84–P85 Port Function Select Register (pP8_45_CFP)	8	P84～P85ポートの機能選択
0x003003B2	P90–P93 Port Function Select Register (pP9_03_CFP)	8	P90～P93ポートの機能選択
0x003003B3	P94–P97 Port Function Select Register (pP9_47_CFP)	8	P94～P97ポートの機能選択
0x00300C20	PA0–PA3 Port Function Select Register (pPA_03_CFP)	8	PA0～PA3ポートの機能選択 *
0x00300C21	PA4 Port Function Select Register (pPA_4_CFP)	8	PA4ポートの機能選択 *
0x00300C22	PB0–PB3 Port Function Select Register (pPB_03_CFP)	8	PB0～PB3ポートの機能選択 *
0x00300C24	PC0–PC3 Port Function Select Register (pPC_03_CFP)	8	PC0～PC3ポートの機能選択
0x00300C25	PC4–PC7 Port Function Select Register (pPC_47_CFP)	8	PC4～PC7ポートの機能選択

* これらのポートは、TQFP24-144pinパッケージでは使用できません。

以下にポート機能選択レジスタを個々に説明します。

ポート機能選択レジスタは0x3003A0～0x3003B3と0x300C20～0x300C25に割り付けられており、バイトアクセスが可能です。

0x3003A0: P00–P03 Port Function Select Register (pP0_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P00–P03 port function select register (pP0_03_CFP)	003003A0 (B)	D7	CFP031	P03 port extended function	CFP03[1:0]	Function	0	R/W	
		D6	CFP030		11	reserved	0		
					10	#DMAEND3			
					01	#SRDY0			
					00	P03			
		D5	CFP021	P02 port extended function	CFP02[1:0]	Function	0	R/W	
		D4	CFP020		11	reserved	0		
					10	#DMAEND2			
					01	#SCLK0			
					00	P02			
		D3	CFP011	P01 port extended function	CFP01[1:0]	Function	0	R/W	
		D2	CFP010		11	reserved	0		
					10	#DMAACK3			
					01	SOUT0			
					00	P01			
		D1	CFP001	P00 port extended function	CFP00[1:0]	Function	0	R/W	
		D0	CFP000		11	reserved	0		
					10	#DMAACK2			
					01	SIN0			
					00	P00			

P00～P03ポートの機能を選択します。

D[7:6] CFP03[1:0]: P03 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): #DMAEND3
 01(R/W): #SRDY0
 00(R/W): P03(デフォルト)

D[5:4] CFP02[1:0]: P02 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): #DMAEND2
 01(R/W): #SCLK0
 00(R/W): P02(デフォルト)

D[3:2] CFP01[1:0]: P01 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): #DMAACK3
 01(R/W): SOUT0
 00(R/W): P01(デフォルト)

D[1:0] CFP00[1:0]: P00 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): #DMAACK2
 01(R/W): SIN0
 00(R/W): P00(デフォルト)

0x3003A1: P04–P07 Port Function Select Register (pP0_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P04–P07 port function select register (pP0_47_CFP)	003003A1 (B)	D7 D6	CFP071 CFP070	P07 port extended function	CFP07[1:0]	Function	0	R/W	
					11	reserved	0		
					10	I2S_MCLK_O			
					01	#SRDY1			
					00	P07			
		D5 D4	CFP061 CFP060	P06 port extended function	CFP06[1:0]	Function	0	R/W	
					11	I2S_SCK_I	0		
					10	I2S_SCK_O			
					01	#SCLK1			
					00	P06			
		D3 D2	CFP051 CFP050	P05 port extended function	CFP05[1:0]	Function	0	R/W	
					11	I2S_WS_I	0		
					10	I2S_WS_O			
					01	SOUT1			
					00	P05			
		D1 D0	CFP041 CFP040	P04 port extended function	CFP04[1:0]	Function	0	R/W	
11	reserved				0				
10	I2S_SDO								
01	SIN1								
00	P04								

P04～P07ポートの機能を選択します。

D[7:6] CFP07[1:0]: P07 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): I2S_MCLK_O

01(R/W): #SRDY1

00(R/W): P07(デフォルト)

D[5:4] CFP06[1:0]: P06 Port Extended Function Select Bits

11(R/W): I2S_SCK_I

10(R/W): I2S_SCK_O

01(R/W): #SCLK1

00(R/W): P06(デフォルト)

D[3:2] CFP05[1:0]: P05 Port Extended Function Select Bits

11(R/W): I2S_WS_I

10(R/W): I2S_WS_O

01(R/W): SOUT1

00(R/W): P05(デフォルト)

D[1:0] CFP04[1:0]: P04 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): I2S_SDO

01(R/W): SIN1

00(R/W): P04(デフォルト)

0x3003A2: P10–P13 Port Function Select Register (pP1_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P10–P13 port function select register (pP1_03_CFP)	003003A2 (B)	D7	CFP131	P13 port extended function	CFP13[1:0]	Function	0	R/W	
		D6	CFP130		11	#DMAACK1	0		
					10	#SRDY0			
					01	I2S_MCLK_I			
					00	P13			
		D5	CFP121	P12 port extended function	CFP12[1:0]	Function	0	R/W	
		D4	CFP120		11	#DMAACK0	0		
					10	#SCLK0			
					01	I2S_SCK_I			
					00	P12			
		D3	CFP111	P11 port extended function	CFP11[1:0]	Function	0	R/W	
		D2	CFP110		11	#DMAEND1	0		
					10	SOUT0			
					01	I2S_WS_I			
					00	P11			
		D1	CFP101	P10 port extended function	CFP10[1:0]	Function	0	R/W	
		D0	CFP100		11	#DMAEND0	0		
					10	SIN0			
					01	I2S_SDI			
					00	P10			

P10～P13ポートの機能を選択します。

D[7:6] CFP13[1:0]: P13 Port Extended Function Select Bits

11(R/W): #DMAACK1
 10(R/W): #SRDY0
 01(R/W): I2S_MCLK_I
 00(R/W): P13(デフォルト)

D[5:4] CFP12[1:0]: P12 Port Extended Function Select Bits

11(R/W): #DMAACK0
 10(R/W): #SCLK0
 01(R/W): I2S_SCK_I
 00(R/W): P12(デフォルト)

D[3:2] CFP11[1:0]: P11 Port Extended Function Select Bits

11(R/W): #DMAEND1
 10(R/W): SOUT0
 01(R/W): I2S_WS_I
 00(R/W): P11(デフォルト)

D[1:0] CFP10[1:0]: P10 Port Extended Function Select Bits

11(R/W): #DMAEND0
 10(R/W): SIN0
 01(R/W): I2S_SDI
 00(R/W): P10(デフォルト)

0x3003A3: P14–P17 Port Function Select Register (pP1_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P14–P17 port function select register (pP1_47_CFP)	003003A3 (B)	D7 D6	CFP171 CFP170	P17 port extended function	CFP17[1:0]	Function	0	R/W	When TRCMUX (D0/0x300014) is set to 1 (default), this register becomes ineffective and the port is configured for debugging.
					11	TFT_CTL2	0		
					10	#SRDY1			
					01	CARD1			
					00	P17			
		D5 D4	CFP161 CFP160	P16 port extended function	CFP16[1:0]	Function	0	R/W	
					11	TFT_CTL3	0		
					10	#SCLK1			
					01	CARD0			
					00	P16			
		D3 D2	CFP151 CFP150	P15 port extended function	CFP15[1:0]	Function	0	R/W	
					11	TFT_CTL0	0		
					10	SOUT1			
					01	TM3			
					00	P15			
		D1 D0	CFP141 CFP140	P14 port extended function	CFP14[1:0]	Function	0	R/W	
					11	reserved	0		
					10	SIN1			
					01	TM2			
					00	P14			

P14～P17ポートの機能を選択します。

D[7:6] CFP17[1:0]: P17 Port Extended Function Select Bits

11(R/W): TFT_CTL2

10(R/W): #SRDY1

01(R/W): CARD1

00(R/W): P17(デフォルト)

TRCMUX(D0/0x300014)が1の場合(デフォルト設定)、本ビットは無効となりP17端子はデバッグ用のDPCO端子として機能します。

* **TRCMUX**: P15–17, P34–36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

D[5:4] CFP16[1:0]: P16 Port Extended Function Select Bits

11(R/W): TFT_CTL3

10(R/W): #SCLK1

01(R/W): CARD0

00(R/W): P16(デフォルト)

TRCMUX(D0/0x300014)が1の場合(デフォルト設定)、本ビットは無効となりP16端子はデバッグ用のDSTI端子として機能します。

D[3:2] CFP15[1:0]: P15 Port Extended Function Select Bits

11(R/W): TFT_CTL0

10(R/W): SOUT1

01(R/W): TM3

00(R/W): P15(デフォルト)

TRCMUX(D0/0x300014)が1の場合(デフォルト設定)、本ビットは無効となりP15端子はデバッグ用のDST0端子として機能します。

D[1:0] CFP14[1:0]: P14 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): SIN1

01(R/W): TM2

00(R/W): P14(デフォルト)

0x3003A4: P20–P23 Port Function Select Register (pP2_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P20–P23 port function select register (pP2_03_CFP)	003003A4 (B)	D7 D6	CFP231 CFP230	P23 port extended function	CFP23[1:0]	Function	0	R/W	
					11	reserved	0		
					10	TFT_CTL1			
					01	#SDRAS			
					00	P23			
		D5 D4	CFP221 CFP220	P22 port extended function	CFP22[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	#SDCS			
					00	P22			
					D3 D2	CFP211 CFP210	P21 port extended function		
		1*	reserved	1					
		01	SDCLK						
		00	P21						
		D1 D0	CFP201 CFP200	P20 port extended function				CFP20[1:0]	
					1*	reserved	0		
					01	SDCKE			
					00	P20			

P20～P23ポートの機能を選択します。

D[7:6] CFP23[1:0]: P23 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): TFT_CTL1
 01(R/W): #SDRAS
 00(R/W): P23(デフォルト)

D[5:4] CFP22[1:0]: P22 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): Reserved
 01(R/W): #SDCS
 00(R/W): P22(デフォルト)

D[3:2] CFP21[1:0]: P21 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): Reserved
 01(R/W): SDCLK(デフォルト)
 00(R/W): P21

D[1:0] CFP20[1:0]: P20 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): Reserved
 01(R/W): SDCKE
 00(R/W): P20(デフォルト)

0x3003A5: P24–P27 Port Function Select Register (pP2_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P24–P27 port function select register (pP2_47_CFP)	003003A5 (B)	D7 D6	CFP271	P27 port extended function	CFP27[1:0]	Function	0	R/W	
			CFP270		1* 01 00	reserved DQMH P27	0		
		D5 D4	CFP261	P26 port extended function	CFP26[1:0]	Function	0	R/W	
			CFP260		1* 01 00	reserved DQML P26	0		
		D3 D2	CFP251	P25 port extended function	CFP25[1:0]	Function	0	R/W	
			CFP250		1* 01 00	reserved #SDWE P25	0		
		D1 D0	CFP241	P24 port extended function	CFP24[1:0]	Function	0	R/W	
			CFP240		1* 01 00	reserved #SDCAS P24	0		

P24～P27ポートの機能を選択します。

D[7:6] CFP27[1:0]: P27 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): DQMH

00 (R/W): P27 (デフォルト)

D[5:4] CFP26[1:0]: P26 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): DQML

00 (R/W): P26 (デフォルト)

D[3:2] CFP25[1:0]: P25 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): #SDWE

00 (R/W): P25 (デフォルト)

D[1:0] CFP24[1:0]: P24 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): #SDCAS

00 (R/W): P24 (デフォルト)

0x3003A6: P30–P33 Port Function Select Register (pP3_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P30–P33 port function select register (pP3_03_CFP)	003003A6 (B)	D7 D6	CFP331 CFP330	P33 port extended function	CFP33[1:0]	Function	0	R/W	
					11	FPDAT15	0		
					10	#DMAREQ3			
					01	CARD5			
					00	P33			
		D5 D4	CFP321 CFP320	P32 port extended function	CFP32[1:0]	Function	0	R/W	
					11	FPDAT14	0		
					10	#DMAREQ2			
					01	CARD4			
					00	P32			
		D3 D2	CFP311 CFP310	P31 port extended function	CFP31[1:0]	Function	0	R/W	
					11	FPDAT13	0		
					10	#DMAREQ1			
					01	CARD3			
					00	P31			
		D1 D0	CFP301 CFP300	P30 port extended function	CFP30[1:0]	Function	0	R/W	
					11	FPDAT12	0		
					10	#DMAREQ0			
					01	CARD2			
					00	P30			

P30～P33ポートの機能を選択します。

D[7:6] CFP33[1:0]: P33 Port Extended Function Select Bits

11 (R/W): FPDAT15
 10 (R/W): #DMAREQ3
 01 (R/W): CARD5
 00 (R/W): P33 (デフォルト)

D[5:4] CFP32[1:0]: P32 Port Extended Function Select Bits

11 (R/W): FPDAT14
 10 (R/W): #DMAREQ2
 01 (R/W): CARD4
 00 (R/W): P32 (デフォルト)

D[3:2] CFP31[1:0]: P31 Port Extended Function Select Bits

11 (R/W): FPDAT13
 10 (R/W): #DMAREQ1
 01 (R/W): CARD3
 00 (R/W): P31 (デフォルト)

D[1:0] CFP30[1:0]: P30 Port Extended Function Select Bits

11 (R/W): FPDAT12
 10 (R/W): #DMAREQ0
 01 (R/W): CARD2
 00 (R/W): P30 (デフォルト)

0x3003A7: P34–P36 Port Function Select Register (pP3_46_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P34–P36 port function select register (pP3_46_CFP)	003003A7 (B)	D7–6	–	reserved	–		–	–	0 when being read.
		D5	CFP361	P36 port extended function	CFP36[1:0]	Function	0	R/W	When TRCMUX (D0/0x300014) is set to 1 (default), this register becomes ineffective and the port is configured for debugging.
		D4	CFP360		1*	reserved	0		
					01	P36			
					00	DST2			
		D3	CFP351	P35 port extended function	CFP35[1:0]	Function	0	R/W	
		D2	CFP350		1*	reserved	0		
					01	P35			
					00	DCLK			
		D1	CFP341	P34 port extended function	CFP34[1:0]	Function	0	R/W	
		D0	CFP340		1*	reserved	0		
					01	P34			
					00	DSIO			

P34～P36ポートの機能を選択します。

D[7:6] Reserved**D[5:4] CFP36[1:0]: P36 Port Extended Function Select Bits**

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P36

00(R/W): DST2(デフォルト)

P36を汎用入出力ポートとして使用する場合は、CFP36[1:0]の選択に加え、TRCMUX(D0/0x300014)を0に設定する必要があります。

* **TRCMUX**: P15–17, P34–36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

D[3:2] CFP35[1:0]: P35 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P35

00(R/W): DCLK(デフォルト)

P35を汎用入出力ポートとして使用する場合は、CFP35[1:0]の選択に加え、TRCMUX(D0/0x300014)を0に設定する必要があります。

D[1:0] CFP34[1:0]: P34 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P34

00(R/W): DSIO(デフォルト)

P34を汎用入出力ポートとして使用する場合は、CFP34[1:0]の選択に加え、TRCMUX(D0/0x300014)を0に設定する必要があります。

0x3003A8: P40–P43 Port Function Select Register (pP4_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P40–P43 port function select register (pP4_03_CFP)	003003A8 (B)	D7 D6	CFP431 CFP430	P43 port extended function	CFP43[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT9			
					01	P43			
					00	A21			
		D5 D4	CFP421 CFP420	P42 port extended function	CFP42[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT8			
					01	P42			
					00	A22			
		D3 D2	CFP411 CFP410	P41 port extended function	CFP41[1:0]	Function	0	R/W	
					11	#SDRAS	0		
					10	FPDAT13			
					01	P41			
					00	A23			
		D1 D0	CFP401 CFP400	P40 port extended function	CFP40[1:0]	Function	0	R/W	
11	#SDCAS				0				
10	FPDAT12								
01	P40								
00	A24								

P40～P43ポートの機能を選択します。

D[7:6] CFP43[1:0]: P43 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): FPDAT9
 01(R/W): P43
 00(R/W): A21(デフォルト)

D[5:4] CFP42[1:0]: P42 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): FPDAT8
 01(R/W): P42
 00(R/W): A22(デフォルト)

D[3:2] CFP41[1:0]: P41 Port Extended Function Select Bits

11(R/W): #SDRAS
 10(R/W): FPDAT13
 01(R/W): P41
 00(R/W): A23(デフォルト)

D[1:0] CFP40[1:0]: P40 Port Extended Function Select Bits

11(R/W): #SDCAS
 10(R/W): FPDAT12
 01(R/W): P40
 00(R/W): A24(デフォルト)

0x3003A9: P44–P47 Port Function Select Register (pP4_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P44–P47 port function select register (pP4_47_CFP)	003003A9 (B)	D7 D6	CFP471 CFP470	P47 port extended function	CFP47[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	P47			
					00	A11			
		D5 D4	CFP461 CFP460	P46 port extended function	CFP46[1:0]	Function	0	R/W	
					11	reserved	0		
					10	TFT_CTL2			
					01	P46			
					00	A18			
		D3 D2	CFP451 CFP450	P45 port extended function	CFP45[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT11			
					01	P45			
					00	A19			
		D1 D0	CFP441 CFP440	P44 port extended function	CFP44[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT10			
					01	P44			
					00	A20			

P44～P47ポートの機能を選択します。

D[7:6] CFP47[1:0]: P47 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): Reserved
 01(R/W): P47
 00(R/W): A11(デフォルト)

D[5:4] CFP46[1:0]: P46 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): TFT_CTL2
 01(R/W): P46
 00(R/W): A18(デフォルト)

D[3:2] CFP45[1:0]: P45 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): FPDAT11
 01(R/W): P45
 00(R/W): A19(デフォルト)

D[1:0] CFP44[1:0]: P44 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): FPDAT10
 01(R/W): P44
 00(R/W): A20(デフォルト)

0x3003AA: P50–P53 Port Function Select Register (pP5_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P50–P53 port function select register (pP5_03_CFP)	003003AA (B)	D7	CFP531	P53 port extended function	CFP53[1:0]	Function	0	R/W	
		D6	CFP530		11	reserved	0		
					10	SDA10			
					01	P53			
					00	#CE7			
		D5	CFP521	P52 port extended function	CFP52[1:0]	Function	0	R/W	
		D4	CFP520		11	CMU_CLK	0		
					10	#CE6			
					01	BCLK			
					00	P52			
		D3	CFP511	P51 port extended function	CFP51[1:0]	Function	0	R/W	
		D2	CFP510		11	reserved	0		
					10	CARD1			
					01	P51			
					00	#CE5			
		D1	CFP501	P50 port extended function	CFP50[1:0]	Function	0	R/W	
		D0	CFP500		11	reserved	0		
					10	CARD0			
					01	P50			
					00	#CE4			

P50～P53ポートの機能を選択します。

D[7:6] CFP53[1:0]: P53 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): SDA10
 01(R/W): P53
 00(R/W): #CE7(デフォルト)

D[5:4] CFP52[1:0]: P52 Port Extended Function Select Bits

11(R/W): CMU_CLK
 10(R/W): #CE6
 01(R/W): BCLK
 00(R/W): P52(デフォルト)

D[3:2] CFP51[1:0]: P51 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): CARD1
 01(R/W): P51
 00(R/W): #CE5(デフォルト)

D[1:0] CFP50[1:0]: P50 Port Extended Function Select Bits

11(R/W): Reserved
 10(R/W): CARD0
 01(R/W): P50
 00(R/W): #CE4(デフォルト)

0x3003AB: P54–P57 Port Function Select Register (pP5_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P54–P57 port function select register (pP5_47_CFP)	003003AB (B)	D7	CFP571	P57 port extended function	CFP57[1:0]	Function	0	R/W	
		D6	CFP570		1*	reserved	0		
					01	P57			
					00	#CE10			
		D5	CFP561	P56 port extended function	CFP56[1:0]	Function	0	R/W	
		D4	CFP560		1*	reserved	0		
					01	P56			
					00	#CE11			
		D3	CFP551	P55 port extended function	CFP55[1:0]	Function	0	R/W	
		D2	CFP550		11	FPDAT14	0		
					10	CARD0			
					01	P55			
					00	#CE9			
		D1	CFP541	P54 port extended function	CFP54[1:0]	Function	0	R/W	
		D0	CFP540		11	FPDAT15	0		
					10	CARD1			
		01	P54						
		00	#CE8						

P54～P57ポートの機能を選択します。

D[7:6] CFP57[1:0]: P57 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P57

00(R/W): #CE10(デフォルト)

D[5:4] CFP56[1:0]: P56 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P56

00(R/W): #CE11(デフォルト)

D[3:2] CFP55[1:0]: P55 Port Extended Function Select Bits

11(R/W): FPDAT14

10(R/W): CARD0

01(R/W): P55

00(R/W): #CE9(デフォルト)

D[1:0] CFP54[1:0]: P54 Port Extended Function Select Bits

11(R/W): FPDAT15

10(R/W): CARD1

01(R/W): P54

00(R/W): #CE8(デフォルト)

0x3003AC: P60–P63 Port Function Select Register (pP6_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P60–P63 port function select register (pP6_03_CFP)	003003AC (B)	D7	CFP631	P63 port extended function	CFP63[1:0]	Function	0	R/W	
		D6	CFP630		11	#WDT_NMI	0		
					10	WDT_CLK			
					01	FPDAT13			
					00	P63			
		D5	CFP621	P62 port extended function	CFP62[1:0]	Function	0	R/W	
		D4	CFP620		11	CMU_CLK	0		
					10	#ADTRG			
					01	FPDAT12			
					00	P62			
		D3	CFP611	P61 port extended function	CFP61[1:0]	Function	0	R/W	
		D2	CFP610		11	EXCL1	0		
					10	FPDAT14			
					01	SOUT2			
					00	P61			
		D1	CFP601	P60 port extended function	CFP60[1:0]	Function	0	R/W	
		D0	CFP600		11	EXCL0	0		
					10	FPDAT15			
					01	SIN2			
					00	P60			

P60～P63ポートの機能を選択します。

D[7:6] CFP63[1:0]: P63 Port Extended Function Select Bits

11(R/W): #WDT_NMI

10(R/W): WDT_CLK

01(R/W): FPDAT13

00(R/W): P63(デフォルト)

D[5:4] CFP62[1:0]: P62 Port Extended Function Select Bits

11(R/W): CMU_CLK

10(R/W): #ADTRG

01(R/W): FPDAT12

00(R/W): P62(デフォルト)

D[3:2] CFP61[1:0]: P61 Port Extended Function Select Bits

11(R/W): EXCL1

10(R/W): FPDAT14

01(R/W): SOUT2

00(R/W): P61(デフォルト)

D[1:0] CFP60[1:0]: P60 Port Extended Function Select Bits

11(R/W): EXCL0

10(R/W): FPDAT15

01(R/W): SIN2

00(R/W): P60(デフォルト)

0x3003AD: P64–P67 Port Function Select Register (pP6_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P64–P67 port function select register (pP6_47_CFP)	003003AD (B)	D7 D6	CFP671 CFP670	P67 port extended function	CFP67[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT10			
					01	SPI_CLK			
					00	P67			
		D5 D4	CFP661 CFP660	P66 port extended function	CFP66[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT9			
					01	SDO			
					00	P66			
		D3 D2	CFP651 CFP650	P65 port extended function	CFP65[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT8			
					01	SDI			
					00	P65			
		D1 D0	CFP641 CFP640	P64 port extended function	CFP64[1:0]	Function	0	R/W	
11	reserved				0				
10	EXCL2								
01	#WAIT								
00	P64								

P64～P67ポートの機能を選択します。

D[7:6] CFP67[1:0]: P67 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): FPDAT10

01(R/W): SPI_CLK

00(R/W): P67(デフォルト)

D[5:4] CFP66[1:0]: P66 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): FPDAT9

01(R/W): SDO

00(R/W): P66(デフォルト)

D[3:2] CFP65[1:0]: P65 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): FPDAT8

01(R/W): SDI

00(R/W): P65(デフォルト)

D[1:0] CFP64[1:0]: P64 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): EXCL2

01(R/W): #WAIT

00(R/W): P64(デフォルト)

0x3003AE: P70–P73 Port Function Select Register (pP7_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P70–P73 port function select register (pP7_03_CFP)	003003AE (B)	D7 D6	CFP731 CFP730	P73 port extended function	CFP73[1:0]	Function	0	R/W	
					11	reserved	0		
					10	I2S_MCLK_EXT			
					01	AIN3			
					00	P73			
		D5 D4	CFP721 CFP720	P72 port extended function	CFP72[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	AIN2			
					00	P72			
					D3 D2	CFP711 CFP710	P71 port extended function		
		1*	reserved	0					
		01	AIN1						
		00	P71						
		D1 D0	CFP701 CFP700	P70 port extended function				CFP70[1:0]	
					1*	reserved	0		
					01	AIN0			
					00	P70			

P70～P73ポートの機能を選択します。

D[7:6] CFP73[1:0]: P73 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): I2S_MCLK_EXT
 01 (R/W): AIN3
 00 (R/W): P73 (デフォルト)

D[5:4] CFP72[1:0]: P72 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN2
 00 (R/W): P72 (デフォルト)

D[3:2] CFP71[1:0]: P71 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN1
 00 (R/W): P71 (デフォルト)

D[1:0] CFP70[1:0]: P70 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN0
 00 (R/W): P70 (デフォルト)

0x3003AF: P74 Port Function Select Register (pP7_4_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P74 port function select register (pP7_4_CFP)	003003AF (B)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	CFP741	P74 port extended function	CFP74[1:0]	Function	0	R/W	
		D0	CFP740		11	reserved	0		
					10	EXCL3			
					01	AIN4			
					00	P74			

P74ポートの機能を選択します。

D[7:2] Reserved

D[1:0] CFP74[1:0]: P74 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): EXCL3

01 (R/W): AIN4

00 (R/W): P74 (デフォルト)

0x3003B0: P80–P83 Port Function Select Register (pP8_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P80–P83 port function select register (pP8_03_CFP)	003003B0 (B)	D7	CFP831	P83 port extended function	CFP83[1:0]	Function	0	R/W	
		D6	CFP830		11	BCLK	0		
					10	TFT_CTL1			
					01	FPDRDY			
					00	P83			
		D5	CFP821	P82 port extended function	CFP82[1:0]	Function	0	R/W	
		D4	CFP820		1*	reserved	0		
					01	FPSHIFT			
					00	P82			
		D3	CFP811	P81 port extended function	CFP81[1:0]	Function	0	R/W	
		D2	CFP810		1*	reserved	0		
					01	FPLINE			
					00	P81			
		D1	CFP801	P80 port extended function	CFP80[1:0]	Function	0	R/W	
		D0	CFP800		1*	reserved	0		
					01	FPFRAME			
					00	P80			

P80～P83ポートの機能を選択します。

D[7:6] CFP83[1:0]: P83 Port Extended Function Select Bits

11 (R/W): BCLK
 10 (R/W): TFT_CTL1
 01 (R/W): FPDRDY
 00 (R/W): P83 (デフォルト)

D[5:4] CFP82[1:0]: P82 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): FPSHIFT
 00 (R/W): P82 (デフォルト)

D[3:2] CFP81[1:0]: P81 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): FPLINE
 00 (R/W): P81 (デフォルト)

D[1:0] CFP80[1:0]: P80 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): FPFRAME
 00 (R/W): P80 (デフォルト)

0x3003B1: P84–P85 Port Function Select Register (pP8_45_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P84–P85 port function select register (pP8_45_CFP)	003003B1 (B)	D7–4	–	reserved	–		ñ	ñ	0 when being read.
		D3	CFP851	P85 port extended function	CFP85[1:0]	Function	0	R/W	
		D2	CFP850		1*	reserved	0		
					01	TM1			
					00	P85			
		D1	CFP841	P84 port extended function	CFP84[1:0]	Function	0	R/W	
		D0	CFP840		11	reserved	0		
					10	FPDAT11			
					01	TM0			
					00	P84			

P84～P85ポートの機能を選択します。

D[7:4] Reserved**D[3:2] CFP85[1:0]: P85 Port Extended Function Select Bits**

11(R/W): Reserved

10(R/W): Reserved

01(R/W): TM1

00(R/W): P85(デフォルト)

D[1:0] CFP84[1:0]: P84 Port Extended Function Select Bits

11(R/W): Reserved

10(R/W): FPDAT11

01(R/W): TM0

00(R/W): P84(デフォルト)

0x3003B2: P90–P93 Port Function Select Register (pP9_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P90–P93 port function select register (pP9_03_CFP)	003003B2 (B)	D7 D6	CFP931 CFP930	P93 port extended function	CFP93[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	FPDAT3			
					00	P93			
		D5 D4	CFP921 CFP920	P92 port extended function	CFP92[1:0]	Function	0	R/W	
					11	reserved	0		
					10	SPICLK			
					01	FPDAT2			
		D3 D2	CFP911 CFP910	P91 port extended function	CFP91[1:0]	Function	0	R/W	
					11	reserved	0		
					10	SDO			
					01	FPDAT1			
		D1 D0	CFP901 CFP900	P90 port extended function	CFP90[1:0]	Function	0	R/W	
					11	reserved	0		
					10	SDI			
					01	FPDAT0			
		00	P90						

P90～P93ポートの機能を選択します。

D[7:6] CFP93[1:0]: P93 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): FPDAT3
 00 (R/W): P93 (デフォルト)

D[5:4] CFP92[1:0]: P92 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): SPICLK
 01 (R/W): FPDAT2
 00 (R/W): P92 (デフォルト)

D[3:2] CFP91[1:0]: P91 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): SDO
 01 (R/W): FPDAT1
 00 (R/W): P91 (デフォルト)

D[1:0] CFP90[1:0]: P90 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): SDI
 01 (R/W): FPDAT0
 00 (R/W): P90 (デフォルト)

0x3003B3: P94–P97 Port Function Select Register (pP9_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P94–P97 port function select register (pP9_47_CFP)	003003B3 (B)	D7 D6	CFP971	P97 port extended function	CFP97[1:0]	Function	0	R/W	
			CFP970		1* 01 00	reserved FPDAT7 P97	0		
		D5 D4	CFP961	P96 port extended function	CFP96[1:0]	Function	0	R/W	
			CFP960		1* 01 00	reserved FPDAT6 P96	0		
		D3 D2	CFP951	P95 port extended function	CFP95[1:0]	Function	0	R/W	
			CFP950		1* 01 00	reserved FPDAT5 P95	0		
		D1 D0	CFP941	P94 port extended function	CFP94[1:0]	Function	0	R/W	
			CFP940		1* 01 00	reserved FPDAT4 P94	0		

P94～P97ポートの機能を選択します。

D[7:6] CFP97[1:0]: P97 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): FPDAT7

00 (R/W): P97 (デフォルト)

D[5:4] CFP96[1:0]: P96 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): FPDAT6

00 (R/W): P96 (デフォルト)

D[3:2] CFP95[1:0]: P95 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): FPDAT5

00 (R/W): P95 (デフォルト)

D[1:0] CFP94[1:0]: P94 Port Extended Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): FPDAT4

00 (R/W): P94 (デフォルト)

0x300C20: PA0–PA3 Port Function Select Register (pPA_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA0nPA3 port function select register (pPA_03_CFP)	00300C20 (B)	D7	CFPA31	PA3 port extended function	CFPA3[1:0]	Function	0	R/W	
		D6	CFPA30		11	I2S_MCLK_I	0		
					10	TFT_CTL2			
					01	FPDAT10			
					00	PA3			
		D5	CFPA21	PA2 port extended function	CFPA2[1:0]	Function	0	R/W	
		D4	CFPA20		11	I2S_SCK_I	0		
					10	TFT_CTL1			
					01	FPDAT9			
					00	PA2			
		D3	CFPA11	PA1 port extended function	CFPA1[1:0]	Function	0	R/W	
		D2	CFPA10		11	I2S_WS_I	0		
					10	TFT_CTL0			
					01	FPDAT8			
					00	PA1			
		D1	CFPA01	PA0 port extended function	CFPA0[1:0]	Function	0	R/W	
		D0	CFPA00		11	I2S_SDI	0		
					10	reserved			
					01	TFT_CTL0			
					00	PA0			

注: PA0～PA3ポートはTQFP24-144pinパッケージでは使用できません。

PA0～PA3ポートの機能を選択します。

D[7:6] CFPA3[1:0]: PA3 Port Extended Function Select Bits

11(R/W): I2S_MCLK_I
 10(R/W): TFT_CTL2
 01(R/W): FPDAT10
 00(R/W): PA3(デフォルト)

D[5:4] CFPA2[1:0]: PA2 Port Extended Function Select Bits

11(R/W): I2S_SCK_I
 10(R/W): TFT_CTL1
 01(R/W): FPDAT9
 00(R/W): PA2(デフォルト)

D[3:2] CFPA1[1:0]: PA1 Port Extended Function Select Bits

11(R/W): I2S_WS_I
 10(R/W): TFT_CTL0
 01(R/W): FPDAT8
 00(R/W): PA1(デフォルト)

D[1:0] CFPA0[1:0]: PA0 Port Extended Function Select Bits

11(R/W): I2S_SDI
 10(R/W): Reserved
 01(R/W): TFT_CTL0
 00(R/W): PA0(デフォルト)

0x300C21: PA4 Port Function Select Register (pPA_4_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA4 port function select register (pPA_4_CFP)	00300C21 (B)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	CFPA41	PA4 port extended function	CFPA4[1:0]	Function	0	R/W	
		D0	CFPA40		11	I2S_MCLK_EXT	0		
					10	TFT_CTL3			
					01	FPDAT11			
					00	PA4			

注: PA4ポートはTQFP24-144pinパッケージでは使用できません。

PA4ポートの機能を選択します。

D[7:2] Reserved

D[1:0] CFPA4[1:0]: PA4 Port Extended Function Select Bits

11(R/W): I2S_MCLK_EXT

10(R/W): TFT_CTL3

01(R/W): FPDAT11

00(R/W): PA4(デフォルト)

0x300C22: PB0–PB3 Port Function Select Register (pPB_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB0–PB3 port function select register (pPB_03_CFP)	00300C22 (B)	D7 D6	CFPB31 CFPB30	PB3 port extended function	CFPB3[1:0]	Function	0	R/W	
					11	CARD5	0		
					10	I2S_MCLK_O			
					01	FPDAT15			
					00	PB3			
		D5 D4	CFPB21 CFPB20	PB2 port extended function	CFPB2[1:0]	Function	0	R/W	
					11	CARD4	0		
					10	I2S_SCK_O			
					01	FPDAT14			
					00	PB2			
		D3 D2	CFPB11 CFPB10	PB1 port extended function	CFPB1[1:0]	Function	0	R/W	
					11	CARD3	0		
					10	I2S_WS_O			
					01	FPDAT13			
					00	PB1			
		D1 D0	CFPB01 CFPB00	PB0 port extended function	CFPB0[1:0]	Function	0	R/W	
					11	CARD2	0		
					10	I2S_SDO			
					01	FPDAT12			
					00	PB0			

注: PB0～PB3ポートはTQFP24-144pinパッケージでは使用できません。

PB0～PB3ポートの機能を選択します。

D[7:6] CFPB3[1:0]: PB3 Port Extended Function Select Bits

11(R/W): CARD5
10(R/W): I2S_MCLK_O
01(R/W): FPDAT15
00(R/W): PB3(デフォルト)

D[5:4] CFPB2[1:0]: PB2 Port Extended Function Select Bits

11(R/W): CARD4
10(R/W): I2S_SCK_O
01(R/W): FPDAT14
00(R/W): PB2(デフォルト)

D[3:2] CFPB1[1:0]: PB1 Port Extended Function Select Bits

11(R/W): CARD3
10(R/W): I2S_WS_O
01(R/W): FPDAT13
00(R/W): PB1(デフォルト)

D[1:0] CFPB0[1:0]: PB0 Port Extended Function Select Bits

11(R/W): CARD2
10(R/W): I2S_SDO
01(R/W): FPDAT12
00(R/W): PB0(デフォルト)

0x300C24: PC0–PC3 Port Function Select Register (pPC_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC0–PC3 port function select register (pPC_03_CFP)	00300C24 (B)	D7 D6	CFPC31 CFPC30	PC3 port extended function	CFPC3[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	PC3			
					00	D11			
		D5 D4	CFPC21 CFPC20	PC2 port extended function	CFPC2[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	PC2			
					00	D10			
		D3 D2	CFPC11 CFPC10	PC1 port extended function	CFPC1[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	PC1			
					00	D9			
		D1 D0	CFPC01 CFPC00	PC0 port extended function	CFPC0[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	PC0			
					00	D8			

PC0～PC3ポートの機能を選択します。

D[7:6] CFPC3[1:0]: PC3 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC3
 00 (R/W): D11 (デフォルト)

D[5:4] CFPC2[1:0]: PC2 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC2
 00 (R/W): D10 (デフォルト)

D[3:2] CFPC1[1:0]: PC1 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC1
 00 (R/W): D9 (デフォルト)

D[1:0] CFPC0[1:0]: PC0 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC0
 00 (R/W): D8 (デフォルト)

0x300C25: PC4–PC7 Port Function Select Register (pPC_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC4–PC7 port function select register (pPC_47_CFP)	00300C25 (B)	D7	CFPC71	PC7 port extended function	CFPC7[1:0]	Function	0	R/W	
		D6	CFPC70		1*	reserved	0		
					01	PC7			
					00	D15			
		D5	CFPC61	PC6 port extended function	CFPC6[1:0]	Function	0	R/W	
		D4	CFPC60		1*	reserved	0		
					01	PC6			
					00	D14			
		D3	CFPC51	PC5 port extended function	CFPC5[1:0]	Function	0	R/W	
		D2	CFPC50		1*	reserved	0		
					01	PC5			
					00	D13			
		D1	CFPC41	PC4 port extended function	CFPC4[1:0]	Function	0	R/W	
		D0	CFPC40		1*	reserved	0		
					01	PC4			
					00	D12			

PC4～PC7ポートの機能を選択します。

D[7:6] CFPC7[1:0]: PC7 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC7
 00 (R/W): D15 (デフォルト)

D[5:4] CFPC6[1:0]: PC6 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC6
 00 (R/W): D14 (デフォルト)

D[3:2] CFPC5[1:0]: PC5 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC5
 00 (R/W): D13 (デフォルト)

D[1:0] CFPC4[1:0]: PC4 Port Extended Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): PC4
 00 (R/W): D12 (デフォルト)

I.3.4 入出力セルと入出力特性

表I.3.4.1 端子特性

信号名	I/O	I/Oセル名	入力レベル	Ioh/Iol	Pull-up/down	電源	備考
MCLKI	I	LLINY	Transparent	—	—	VDD	注2
MCKO	O	LLOTY	—	—	—	VDD	注2
RTC_CLKI	I	LLINY	Transparent	—	—	VDD	注2
RTC_CLKO	O	LLOTY	—	—	—	VDD	注2
VCP	O	LLOTY	—	—	—	PLVDD	注4
#RESET	I	HIBHP1TY	Schmitt	—	50 kΩ up	VDDH	
#NMI	I	HIBHP1TY	Schmitt	—	50 kΩ up	VDDH	
BOOT1	I	HIBASP2TY	LVC MOS	—	100 kΩ up	VDDH	
BOOT0	I	HIBHP1TY	Schmitt	—	50 kΩ up	VDDH	注5
BURNIN	I	HIBHY	Schmitt	—	50 kΩ down	VDDH	注5
DSIO (P34)	I/O	HBBH2BP1TY	Schmitt	4 mA	50 kΩ up	VDDH	
DCLK (P35)	I/O	HBBH2BP1TY	Schmitt	4 mA	50 kΩ up	VDDH	
DST2 (P36)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	
D0	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D1	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D2	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D3	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D4	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D5	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D6	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D7	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D8 (PC0)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D9 (PC1)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D10 (PC2)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D11 (PC3)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D12 (PC4)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D13 (PC5)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D14 (PC6)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
D15 (PC7)	I/O	HBBT2AHTY	LVTTL	4 mA	Bus-hold latch	VDDH	
A0/#BSL	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A1	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A2	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A3	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A4	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A5	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A6	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A7	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A8	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A9	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A10	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A11 (P47)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A12	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A13	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A14	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A15	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A16/DQML	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A17/DQMH	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A18 (P46/TFT_CTL2)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A19 (P45/FPDAT11)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A20 (P44/FPDAT10)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A21 (P43/FPDAT9)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A22 (P42/FPDAT8)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A23 (P41/FPDAT13/#SDRAS)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
A24 (P40/FPDAT12/#SDCAS)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
#RD	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
#WRL	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
#WRH/#BSH	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
#CE10 (P57)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
#CE4 (P50/CARD0)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
#CE5 (P51/CARD1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1

信号名	I/O	I/Oセル名	入力レベル	IoH/IoL	Pull-up/down	電源	備考
P52 (BCLK/#CE6/CMU_CLK)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
#CE7 (P53/SDA10)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
#CE8 (P54/CARD1/FPDAT15)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
#CE9 (P55/CARD0/FPDAT14)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
#CE11 (P56)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P00 (SIN0/#DMAACK2)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P01 (SOUT0/#DMAACK3)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P02 (#SCLK0/#DMAEND2)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P03 (#SRDY0/#DMAEND3)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P04 (SIN1/I2S_SDO)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P05 (SOUT1/I2S_WS_O/I2S_WS_I)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P06 (#SCLK1/I2S_SCK_O/I2S_SCK_I)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P07 (#SRDY1/I2S_MCLK_O)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P10 (I2S_SDI/SIN0/#DMAEND0)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P11 (I2S_WS_I/SOUT0/#DMAEND1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P12 (I2S_SCK_I/#SCLK0/#DMAACK0)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P13 (I2S_MCLK_I/#SRDY0/#DMAACK1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P14 (TM2/SIN1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
DST0 (P15/TM3/SOUT1/TFT_CTL0)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
DST1 (P16/CARD0/#SCLK1/TFT_CTL3)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
DP00 (P17/CARD1/#SRDY1/TFT_CTL2)	I/O	HBBH2BP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P20 (SDCKE)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
SDCLK (P21)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P22 (#SDCS)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P23 (#SDRAS/TFT_CTL1)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P24 (#SDCAS)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P25 (#SDWE)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P26 (DQML)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P27 (DQMH)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	VDDH	注1
P30 (CARD2/#DMAREQ0/FPDAT12)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P31 (CARD3/#DMAREQ1/FPDAT13)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P32 (CARD4/#DMAREQ2/FPDAT14)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P33 (CARD5/#DMAREQ3/FPDAT15)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P60 (SIN2/FPDAT15/EXCL0)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P61 (SOUT2/FPDAT14/EXCL1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P62 (FPDAT12/#ADTRG/CMU_CLK)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P63 (FPDAT13/WDT_CLK/#WDT_NMI)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P64 (#WAIT/EXCL2)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P65 (SDI/FPDAT8)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P66 (SDO/FPDAT9)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P67 (SPI_CLK/FPDAT10)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P70 (AIN0)	I	HIBASP2TY	LVC MOS	—	100 kΩ up	AVDD	注1, 3
P71 (AIN1)	I	HIBASP2TY	LVC MOS	—	100 kΩ up	AVDD	注1, 3
P72 (AIN2)	I	HIBASP2TY	LVC MOS	—	100 kΩ up	AVDD	注1, 3
P73 (AIN3/I2S_MCLK_EXT)	I	HIBASP2TY	LVC MOS	—	100 kΩ up	AVDD	注1, 3
P74 (AIN4/EXCL3)	I	HIBASP2TY	LVC MOS	—	100 kΩ up	AVDD	注1, 3
P80 (FPFRAME)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P81 (FPLINE)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P82 (FPSHIFT)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P83 (FPDRDY/TFT_CTL1/BCLK)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P84 (TM0/FPDAT11)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P85 (TM1)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P90 (FPDAT0/SDI)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P91 (FPDAT1/SDO)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P92 (FPDAT2/SPICLK)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P93 (FPDAT3)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P94 (FPDAT4)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P95 (FPDAT5)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P96 (FPDAT6)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1
P97 (FPDAT7)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	VDDH	注1

I S1C33L19の仕様: 端子説明

信号名	I/O	I/Oセル名	入力レベル	I _{OH} /I _{OL}	Pull-up/down	電源	備考
PA0 (TFT_CTL0/I2S_SDI)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PA1 (FPDAT8/TFT_CTL0/I2S_WS_I)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	V _{DDH}	注1, 5
PA2 (FPDAT9/TFT_CTL1/I2S_SCK_I)	I/O	HBBH2AP2TY	Schmitt	4 mA	100 kΩ up	V _{DDH}	注1, 5
PA3 (FPDAT10/TFT_CTL2/I2S_MCLK_I)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PA4 (FPDAT11/TFT_CTL3/I2S_MCLK_EXT)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PB0 (FPDAT12/I2S_SDO/CARD2)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PB1 (FPDAT13/I2S_WS_O/CARD3)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PB2 (FPDAT14/I2S_SCK_O/CARD4)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
PB3 (FPDAT15/I2S_MCLK_O/CARD5)	I/O	HBBH1BP2TY	Schmitt	2 mA	100 kΩ up	V _{DDH}	注1, 5
USBDP	I/O	—	—	—	—	V _{DDH}	
USBDM	I/O	—	—	—	—	V _{DDH}	
USBVBUS	I	—	—	—	—	V _{DDH}	
TEST0	I	LITST1Y	LVC MOS	—	60 kΩ down	V _{DDH}	

注: 1 端子制御レジスタによりプルアップ抵抗を有効/無効に設定可能です。

2 この端子は、 $0V \leq V_{IN} \leq V_{DD}$ の入力電圧範囲で使用してください。

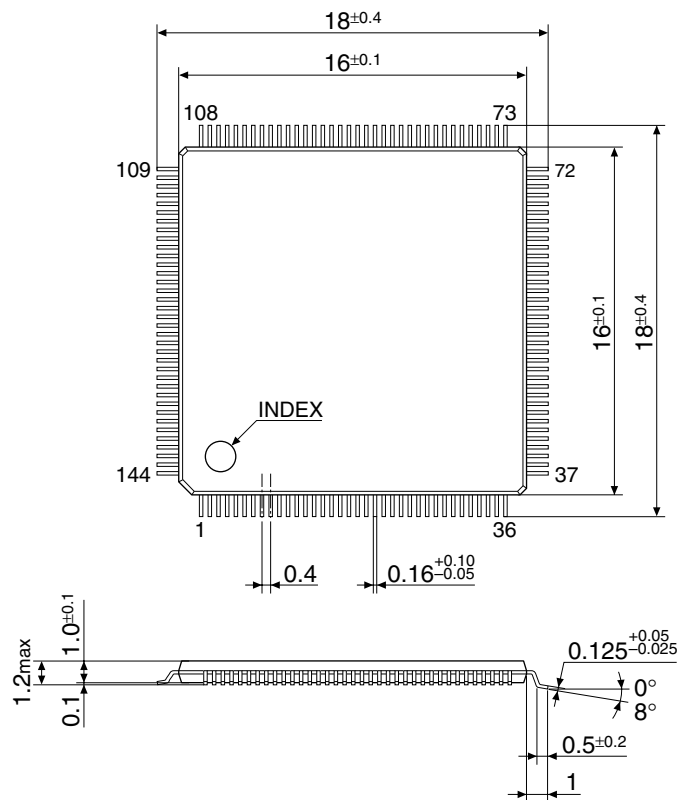
3 この端子は、 $0V \leq V_{IN} \leq AV_{DD}$ の入力電圧範囲で使用してください。

4 この端子は、 $0V \leq V_{IN} \leq PLV_{DD}$ の入力電圧範囲で使用してください。

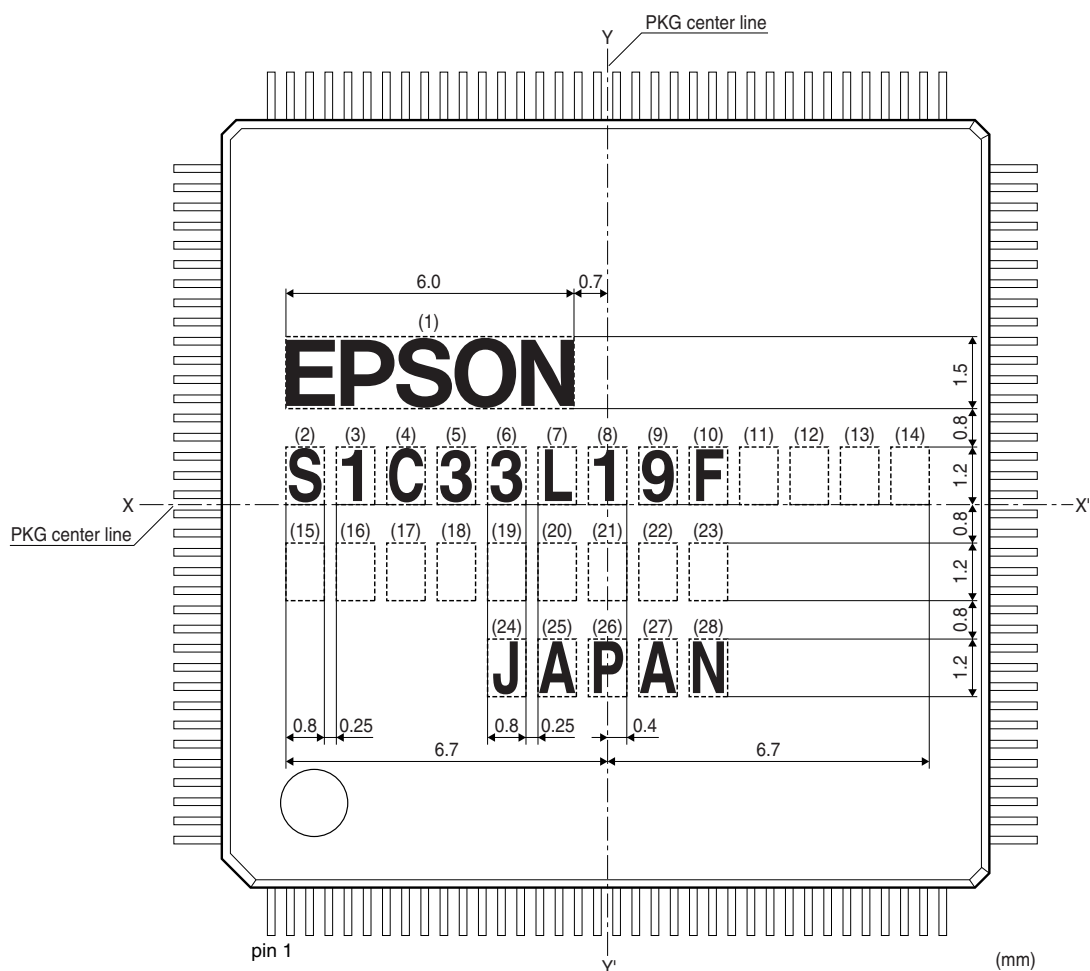
5 これらの端子は、TQFP24-144pinパッケージでは使用できません。

I.3.5 パッケージ

I.3.5.1 TQFP24-144pinパッケージ



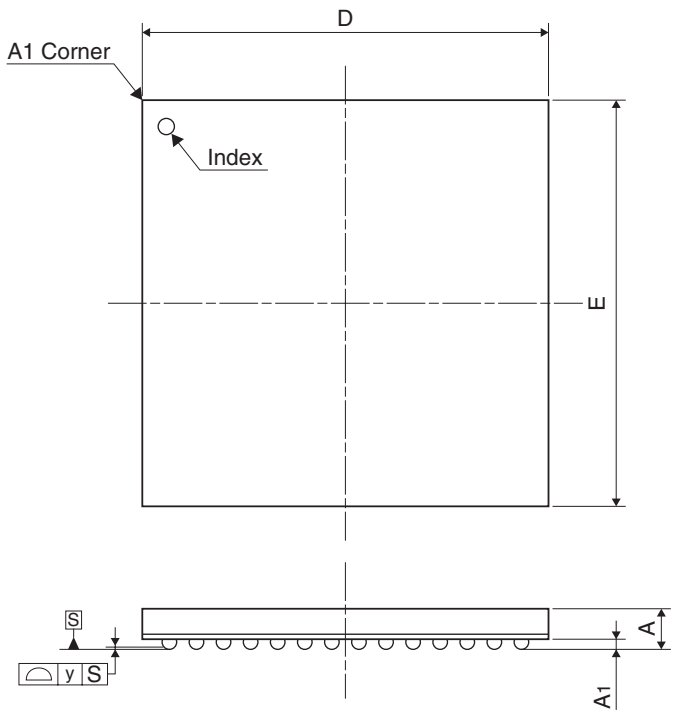
図I.3.5.1.1 TQFP24-144pinパッケージ寸法



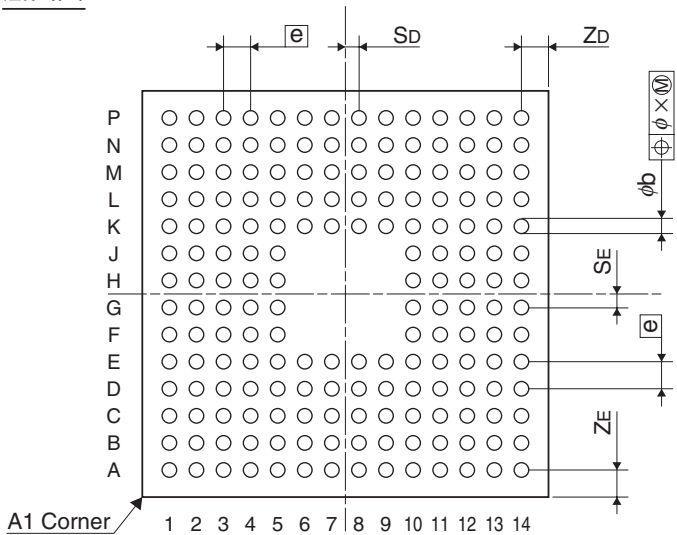
図I.3.5.1.2 TQFP24-144pinパッケージマーキング

I.3.5.2 PFBGA-180pinパッケージ

上面図

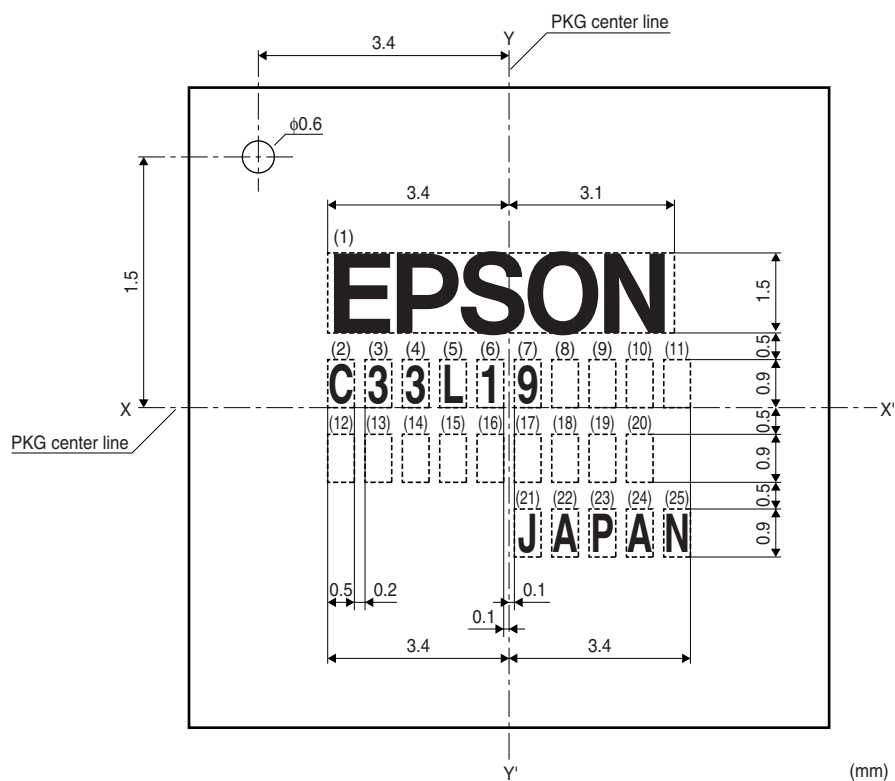


底面図



記号	寸法(mm)		
	Min	Nom	Max
D	11.8	12.0	12.2
E	11.8	12.0	12.2
A			1.20
A1	0.25	0.30	0.35
e		0.80	
b	0.38	0.43	0.48
X			0.08
Y			0.10
Sd		0.40	
Se		0.40	
Zd		0.80	
Ze		0.80	

図I.3.5.2.1 PFBGA-180pinパッケージ寸法



図I.3.5.2.2 PFBGA-180pinパッケージマーキング

I.3.5.3 パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) [^{\circ}\text{C}]$$

通常の使用においては、チップ温度(T_j)は 100°C 以下を目安に使用してください。

■TQFP24-144pinパッケージの熱抵抗

1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 33.3^{\circ}\text{C/W}$$

この値は測定用基板(サイズ: $114 \times 76 \times 1.6\text{mm t}$ 、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

$$\text{熱抵抗} = 90 \sim 100^{\circ}\text{C/W}$$

この値はサンプルが宙づりされた無風状態での熱抵抗です。

■PFBGA-180pinパッケージの熱抵抗

1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 30^{\circ}\text{C/W}$$

この値は測定用基板(サイズ: $114.5 \times 101.5 \times 1.6\text{mm t}$ 、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

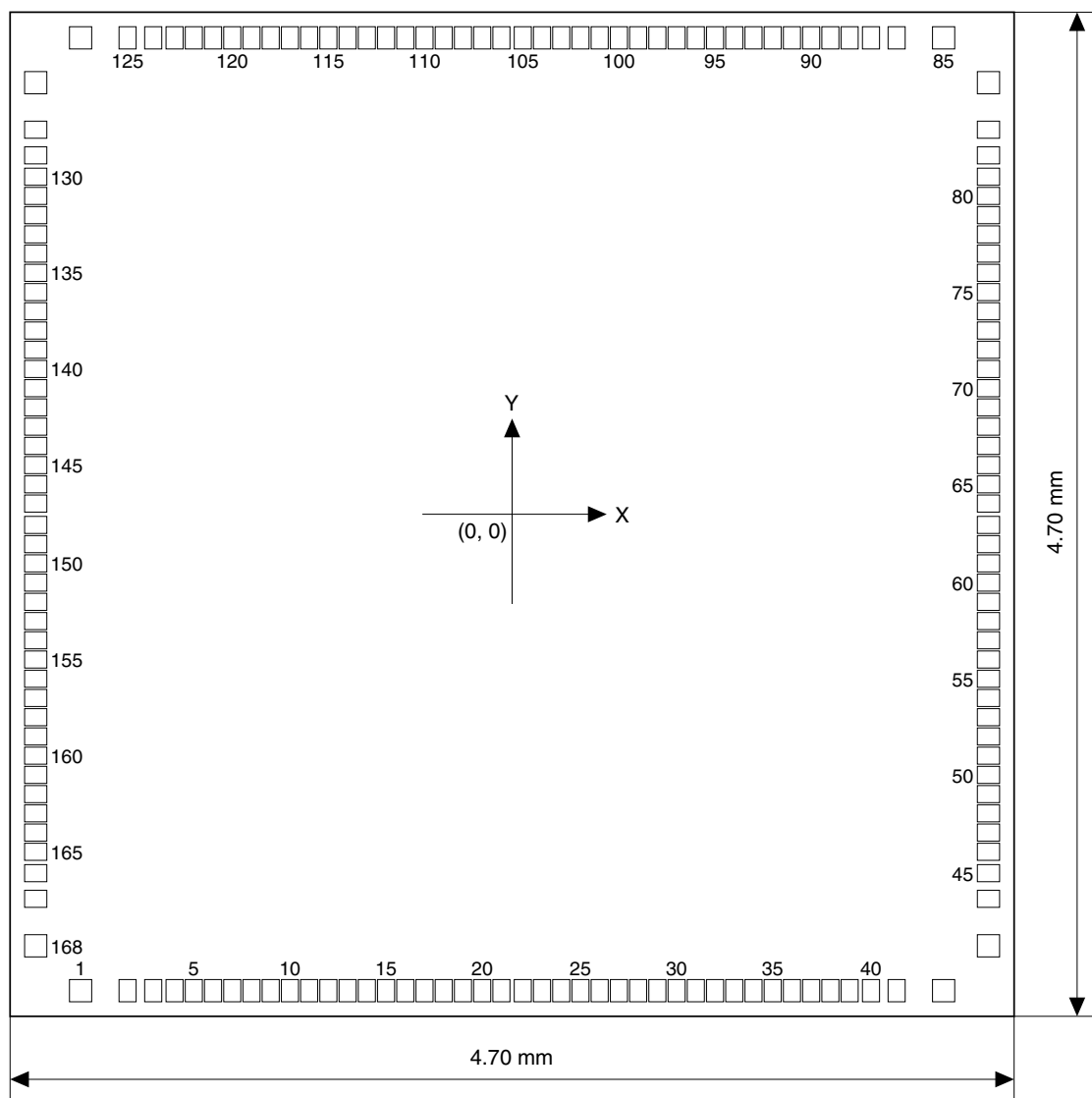
2. 単体宙づり状態(無風状態)

$$\text{熱抵抗} = 165^{\circ}\text{C/W}$$

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

I.3.6 パッド配置



パッド開口サイズ (X × Y) 104μm × 104μm: パッドNo. 1, 42, 43, 84, 85, 126, 127, 168
 80μm × 104μm: パッドNo. 2~41, 86~125
 104μm × 80μm: パッドNo. 44~83, 128~167

図I.3.6.1 パッド配置図

表I.3.6.1 パッド座標(単位: mm)

No.	パッド名	X	Y	No.	パッド名	X	Y
1	#CE9 (P55/CARD0/FPDAT14)	-2.02	-2.23	51	TEST0	2.23	-1.13
2	A18 (P46/TFT_CTL2)	-1.80	-2.23	52	BOOT1	2.23	-1.04
3	A19 (P45/FPDAT11)	-1.68	-2.23	53	AVDD	2.23	-0.95
4	A20 (P44/FPDAT10)	-1.58	-2.23	54	P74 (AIN4/EXCL3)	2.23	-0.86
5	A21 (P43/FPDAT9)	-1.49	-2.23	55	P73 (AIN3/I2S_MCLK_EXT)	2.23	-0.77
6	A22 (P42/FPDAT8)	-1.40	-2.23	56	P72 (AIN2)	2.23	-0.68
7	Vss	-1.31	-2.23	57	P71 (AIN1)	2.23	-0.59
8	P30 (CARD2/#DMAREQ0/FPDAT12)	-1.22	-2.23	58	P70 (AIN0)	2.23	-0.50
9	P31 (CARD3/#DMAREQ1/FPDAT13)	-1.13	-2.23	59	P80 (FPFRAME)	2.23	-0.41
10	P32 (CARD4/#DMAREQ2/FPDAT14)	-1.04	-2.23	60	P81 (FPLINE)	2.23	-0.32
11	P33 (CARD5/#DMAREQ3/FPDAT15)	-0.95	-2.23	61	P82 (FPSHIFT)	2.23	-0.23
12	P00 (SINO/#DMAACK2)	-0.86	-2.23	62	P83 (FPDRDY/TFT_CTL1/BCLK)	2.23	-0.14
13	P01 (SOUT0/#DMAACK3)	-0.77	-2.23	63	P84 (TM0/FPDAT11)	2.23	-0.05
14	P02 (#SCLK0/#DMAEND2)	-0.68	-2.23	64	P85 (TM1)	2.23	0.05
15	P03 (#SRDY0/#DMAEND3)	-0.59	-2.23	65	VDD	2.23	0.14
16	VDDH	-0.50	-2.23	66	MCLKI	2.23	0.23
17	P04 (SIN1/I2S_SDO)	-0.41	-2.23	67	MCLKO	2.23	0.32
18	P05 (SOUT1/I2S_WS_O/I2S_WS_I)	-0.32	-2.23	68	Vss	2.23	0.41
19	P06 (#SCLK1/I2S_SCK_O/I2S_SCK_I)	-0.23	-2.23	69	BURNIN	2.23	0.50
20	P07 (#SRDY1/I2S_MCLK_O)	-0.14	-2.23	70	P90 (FPDAT0/SDI)	2.23	0.59
21	P10 (I2S_SDI/SINO/#DMAEND0)	-0.05	-2.23	71	P91 (FPDAT1/SDO)	2.23	0.68
22	P11 (I2S_WS_I/SOUT0/#DMAEND1)	0.05	-2.23	72	P92 (FPDAT2/SPICLK)	2.23	0.77
23	VDD	0.14	-2.23	73	P93 (FPDAT3)	2.23	0.86
24	P12 (I2S_SCK_I/#SCLK0/#DMAACK0)	0.23	-2.23	74	VDDH	2.23	0.95
25	P13 (I2S_MCLK_I/#SRDY0/#DMAACK1)	0.32	-2.23	75	PA0 (TFT_CTL0/I2S_SDI)	2.23	1.04
26	P14 (TM2/SIN1)	0.41	-2.23	76	P94 (FPDAT4)	2.23	1.13
27	DST0 (P15/TM3/SOUT1/TFT_CTL0)	0.50	-2.23	77	PA1 (FPDAT8/TFT_CTL0/I2S_WS_I)	2.23	1.22
28	DST1 (P16/CARD0/#SCLK1/TFT_CTL3)	0.59	-2.23	78	P95 (FPDAT5)	2.23	1.31
29	DPCO (P17/CARD1/#SRDY1/TFT_CTL2)	0.68	-2.23	79	PA2 (FPDAT9/TFT_CTL1/I2S_SCK_I)	2.23	1.40
30	VDDH	0.77	-2.23	80	P96 (FPDAT6)	2.23	1.49
31	VDDH	0.86	-2.23	81	PA3 (FPDAT10/TFT_CTL2/I2S_MCLK_I)	2.23	1.58
32	DSIO (P34)	0.95	-2.23	82	P97 (FPDAT7)	2.23	1.68
33	DST2 (P36)	1.04	-2.23	83	PA4 (FPDAT11/TFT_CTL3/I2S_MCLK_EXT)	2.23	1.80
34	DCLK (P35)	1.13	-2.23	84	#RESET	2.23	2.02
35	PB0 (FPDAT12/I2S_SDO/CARD2)	1.22	-2.23	85	#NMI	2.02	2.23
36	P64 (#WAIT)	1.31	-2.23	86	VDD	1.80	2.23
37	PB1 (FPDAT13/I2S_WS_O/CARD3)	1.40	-2.23	87	USBDM	1.68	2.23
38	Vss	1.49	-2.23	88	USBDP	1.58	2.23
39	P65 (SDI/FPDAT8)	1.58	-2.23	89	N.C.	1.49	2.23
40	PB2 (FPDAT14/I2S_SCK_O/CARD4)	1.68	-2.23	90	USBVBUS	1.40	2.23
41	P66 (SDO/FPDAT9)	1.80	-2.23	91	N.C.	1.31	2.23
42	PB3 (FPDAT15/I2S_MCLK_O/CARD5)	2.02	-2.23	92	VDDH	1.22	2.23
43	P67 (SPL_CLK/FPDAT10)	2.23	-2.02	93	P60 (SIN2/FPDAT15/EXCL0)	1.13	2.23
44	VDD	2.23	-1.80	94	P61 (SOUT2/FPDAT14/EXCL1)	1.04	2.23
45	RTC_CLKI	2.23	-1.68	95	P62 (FPDAT12/#ADTRG/CMU_CLK)	0.95	2.23
46	RTC_CLKO	2.23	-1.58	96	P63 (FPDAT13/WDT_CLK/#WDT_NMI)	0.86	2.23
47	Vss	2.23	-1.49	97	BOOT0	0.77	2.23
48	PLVss	2.23	-1.40	98	Vss	0.68	2.23
49	VCP	2.23	-1.31	99	D0	0.59	2.23
50	PLVDD	2.23	-1.22	100	D1	0.50	2.23

I S1C33L19の仕様: 端子説明

No.	パッド名	X	Y	No.	パッド名	X	Y
101	D2	0.41	2.23	135	Vss	-2.23	1.13
102	D3	0.32	2.23	136	Vss	-2.23	1.04
103	VDD	0.23	2.23	137	A1	-2.23	0.95
104	D4	0.14	2.23	138	A2	-2.23	0.86
105	D5	0.05	2.23	139	A3	-2.23	0.77
106	D6	-0.05	2.23	140	A4	-2.23	0.68
107	D7	-0.14	2.23	141	A5	-2.23	0.59
108	VDDH	-0.23	2.23	142	VDD	-2.23	0.50
109	D8	-0.32	2.23	143	VDD	-2.23	0.41
110	D9	-0.41	2.23	144	A6	-2.23	0.32
111	D10	-0.50	2.23	145	A7	-2.23	0.23
112	D11	-0.59	2.23	146	A8	-2.23	0.14
113	VDD	-0.68	2.23	147	A9	-2.23	0.05
114	D12	-0.77	2.23	148	VDDH	-2.23	-0.05
115	D13	-0.86	2.23	149	VDDH	-2.23	-0.14
116	D14	-0.95	2.23	150	A10	-2.23	-0.23
117	D15	-1.04	2.23	151	A11 (P47)	-2.23	-0.32
118	Vss	-1.13	2.23	152	A12	-2.23	-0.41
119	P20 (SDCKE)	-1.22	2.23	153	A13	-2.23	-0.50
120	SDCLK (P21)	-1.31	2.23	154	A23 (P41/FPDAT13/#SDRAS)	-2.23	-0.59
121	P22 (#SDCS)	-1.40	2.23	155	A24 (P40/FPDAT12/#SDCAS)	-2.23	-0.68
122	VDDH	-1.49	2.23	156	Vss	-2.23	-0.77
123	P23 (#SDRAS/TFT_CTL1)	-1.58	2.23	157	Vss	-2.23	-0.86
124	P24 (#SDCAS)	-1.68	2.23	158	#CE10 (P57)	-2.23	-0.95
125	P25 (#SDWE)	-1.80	2.23	159	#RD	-2.23	-1.04
126	Vss	-2.02	2.23	160	#WRL	-2.23	-1.13
127	P26 (DQML)	-2.23	2.02	161	#WRH/#BSH	-2.23	-1.22
128	P27 (DQMH)	-2.23	1.80	162	#CE11 (P56)	-2.23	-1.31
129	A14	-2.23	1.68	163	P52 (BCLK/#CE6/CMU_CLK)	-2.23	-1.40
130	A15	-2.23	1.58	164	VDD	-2.23	-1.49
131	A16/DQML	-2.23	1.49	165	#CE4 (P50/CARD0)	-2.23	-1.58
132	A17/DQMH	-2.23	1.40	166	#CE5 (P51/CARD1)	-2.23	-1.68
133	#CE7 (P53/SDA10)	-2.23	1.31	167	#CE8 (P54/CARD1/FPDAT15)	-2.23	-1.80
134	A0/#BSL	-2.23	1.22	168	VDDH	-2.23	-2.02

I.4 電源

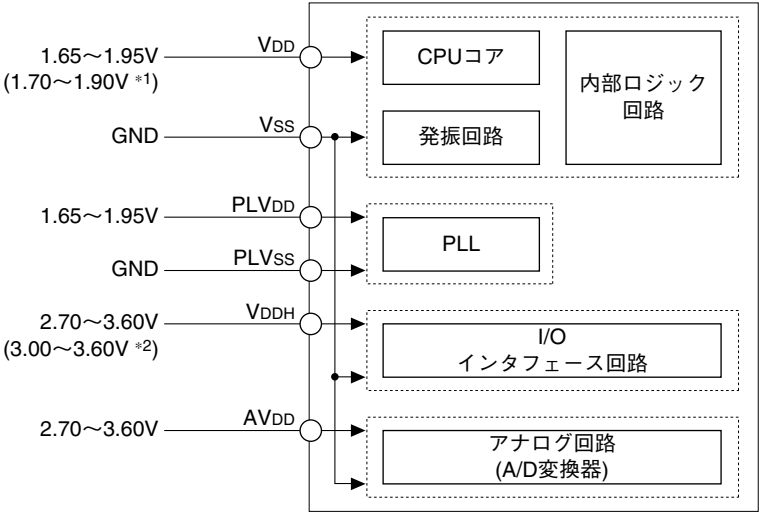
ここではS1C33L19の動作電圧について説明します。

I.4.1 電源端子

S1C33L19の電源端子を表I.4.1.1に示します。

表I.4.1.1 電源端子

端子名	端子No.		機 能
	QFP	PFBGA	
V _{DD}	23,38,59,86,96,123	D7,E6,E7,F10,F11,G4,G11,H4,H5,K7,N2,N8	コア用電源(+) (1.8V)
V _{DDH}	16,30,67,91,105,128	D8,E8,E9,F4,F5,G5,G10,H10,H11,K8,K9,L9	I/O用電源(+) (3.3V)
V _{SS}	7,41,62,81,101,117,135	D4,D5,D6,D11,E5,E10,E11,J5,J10,J11,K5,K6,K10,K11,N3,N9	電源(-) GND
PLV _{DD}	44	P5	PLL用電源(+) (PLV _{DD} = V _{DD})
PLV _{SS}	42	P4	PLL用電源(-) (PLV _{SS} = V _{SS})
AV _{DD}	47	P6	アナログシステムおよびAIN0～AIN4用電源(+) (3.3V, AV _{DD} = V _{DDH})



*1 セラミック発振回路使用時
*2 USBファンクションコントローラ使用時

図I.4.1.1 電源系

I.4.2 動作電圧(V_{DD} , V_{SS})

S1C33L19のコアCPUおよび内部ロジック回路は、 $V_{DD} \sim V_{SS}$ 間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

$V_{DD} = 1.65V \sim 1.95V (1.8V \pm 0.15V, V_{SS} = GND)$

または

$V_{DD} = 1.70V \sim 1.90 (1.8V \pm 0.10V, V_{SS} = GND)$ セラミック発振回路使用時

注: S1C33L19のQFPパッケージは6本の V_{DD} 端子と7本の V_{SS} 端子を持っています。PFBGAパッケージは12本の V_{DD} 端子と16本の V_{SS} 端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

I.4.3 PLL用電源(PLV_{DD} , PLV_{SS})

PLL回路がデジタル回路の影響を受けないように、 V_{DD} 、 V_{SS} 電源端子とは別に専用の電源端子(PLV_{DD} 、 PLV_{SS})が設けられています。 PLV_{DD} には V_{DD} と同レベルの電圧を供給してください。

$PLV_{DD} = V_{DD}$ 、 $PLV_{SS} = V_{SS}$

PLL電源ライン上のノイズはPLL出力精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

I.4.4 I/Oインタフェース電源(V_{DDH})

V_{DDH} 電圧は外部信号とのインタフェースに使用します。S1C33L19の出力インタフェースレベルは、Highレベルが V_{DDH} 、Lowレベルが V_{SS} となります。GNDレベルには V_{DD} 端子と共通の V_{SS} 端子を使用します。 V_{DDH} には次の電圧が使用可能です。

$V_{DDH} = 2.70V \sim 3.60V (V_{SS} = GND)$ USBファンクションコントローラ未使用時

または

$V_{DDH} = 3.00V \sim 3.60V (3.3V \pm 0.3V, V_{SS} = GND)$ USBファンクションコントローラ使用時

注: • S1C33L19のQFPパッケージは6本、PFBGAパッケージは12本の V_{DDH} 端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

- MCLKI、RTC_CLKI端子に外部クロックを入力する場合、クロックの電圧レベルは V_{DD} としてください。

I.4.5 アナログ回路用電源(AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、前記の電源端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。

アナログ回路の電源電圧は AV_{DD} 端子に供給し、 V_{SS} 端子をGNDレベルとしてください。

AV_{DD} には次の電圧が使用可能です。

$AV_{DD} = 2.70V \sim 3.60V (3.0/3.3V \pm 0.3V, V_{SS} = GND)$

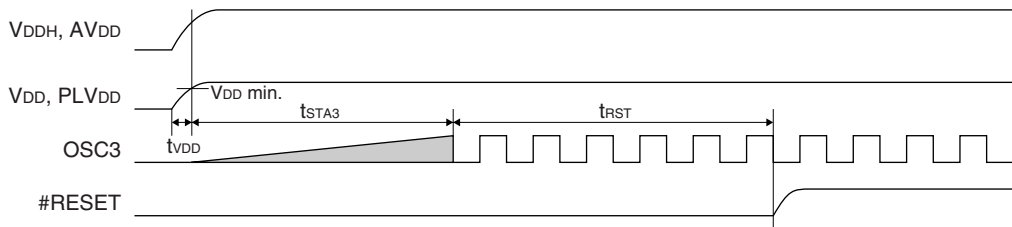
注: アナログ回路を使用しない場合は、必ず AV_{DD} 端子に V_{DDH} 電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

I.4.6 電源に関する注意事項

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図I.4.6.1 パワーオンシーケンス

- (1) t_{vDD} : 電源投入時の電源が安定するまでの時間
下記の順序で(あるいは同時に)、電源を投入してください。
電源投入時: V_{DD} , PLV_{DD} (内部) $\rightarrow$ V_{DDH} , AV_{DD} (I/O部) $\rightarrow$ 入力信号印加
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{rST} : 最小リセットパルス幅
チップに供給されるクロックが安定した状態から最低6クロックの期間、 $\#RESET$ 信号をLowに保持してください。

■パワーオフシーケンス

下記の順序で(あるいは同時に)、電源を切断してください。
電源切断時: 入力信号オフ $\rightarrow$ AV_{DD} , V_{DDH} (I/O部) $\rightarrow$ PLV_{DD} , V_{DD} (内部)

■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $V_{DD}-V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは V_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $V_{DD}-V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を V_{DD} 、 V_{DDH} 、 AV_{DD} または V_{SS} に固定してください。
- (4) 出力を短絡しないでください。

このページはブランクです。

I.5 CPUコアとバスアーキテクチャ

S1C33L19はC33 PEコアを内蔵しています。

C33 PE (Processor Element) はS1C33 Familyの32ビットRISCプロセッサです。従来のC33 STD CPUの標準機能に対し、C33 ADVにも採用されている有用な機能/命令を一部追加するとともに、一般のアプリケーションやコントローラでは使用しない機能/命令を削除し、高速動作が可能なコストパフォーマンスの高いコアユニットを実現します。

組み込み用途に最適化して設計されており (完全RTL設計)、カスタムマイコンの開発期間の短縮とコストの削減が見込めます。

主要な命令はC33 STD CPUのオブジェクトコードと互換性がありますので、過去の資産を有効に活用することができます。

C33 PEコアの詳細については、“S1C33 Family C33 PEコアマニュアル”を参照してください。

I.5.1 特長

プロセッサ形式

- セイコーエプソンオリジナル32ビットRISCプロセッサ
- 32ビット長の内部データ処理
- 32ビット×8ビットの乗算器を内蔵

動作周波数

- DC～66MHz以上 (機種およびプロセス技術により異なります。)

命令セット

- コード長 16ビット固定長
- 命令数 125命令
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を32ビットまで拡張
- 乗算命令 16×16、32×32ビットの乗算をサポート

レジスタセット

- 32ビット汎用レジスタ
- 32ビットの特殊レジスタ

メモリ空間, 外部バス

- 命令、データ、I/O混在のリニア空間
- 最大4Gバイトのメモリ空間
- 命令バスとデータバスを分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、240種類の外部割り込みに対応
- 4種類のソフトウェア例外
- 3種類の命令実行例外
- ベクタテーブルからベクタを読み込み処理ルーチンへ直接分岐

パワーダウンモード

- HALTモード
- SLEEPモード

I.5.2 CPUレジスタ

C33 PEコアは、16本の汎用レジスタおよび8本の特殊レジスタを内蔵しています。

特殊レジスタ		汎用レジスタ	
	ビット31 ビット0		ビット31 ビット0
#15	PC	#15	R15
#11	DBBR	#14	R14
#10	IDIR	#13	R13
#8	TTBR	#12	R12
#3	AHR	#11	R11
#2	ALR	#10	R10
#1	SP	#9	R9
#0	PSR	#8	R8
		#7	R7
		#6	R6
		#5	R5
		#4	R4
		#3	R3
		#2	R2
		#1	R1
		#0	R0

図I.5.2.1 レジスタ

I.5.3 命令セット

C33 PEコアの命令セットは、C33 STDコアCPUの命令セットをもとに命令の機能を拡張すると共に命令の追加と削除を行っています。オブジェクトコードはC33 STDコアCPUと互換性がありますので、S1C33シリーズの資産を若干の変更のみでC33 PE機種に移植可能です。命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C33 Family C33 PEコアマニュアル”を参照してください。

表I.5.3.1 S1C33シリーズ互換命令

種 類	ニーモニック		機 能
算術演算	add	$\%rd, \%rs$	汎用レジスタ間の加算
		$\%rd, imm6$	汎用レジスタと即値の加算
		$\%sp, imm10$	SPと即値の加算(即値はゼロ拡張)
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き加算
	sub	$\%rd, \%rs$	汎用レジスタ間の減算
		$\%rd, imm6$	汎用レジスタと即値の減算
		$\%sp, imm10$	SPと即値の減算(即値はゼロ拡張)
	sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き減算
	cmp	$\%rd, \%rs$	汎用レジスタ間の算術比較
		$\%rd, sign6$	汎用レジスタと即値の算術比較(即値はゼロ拡張)
	mlt.h	$\%rd, \%rs$	符号付き整数乗算(16ビット×16ビット→32ビット)
	mltu.h	$\%rd, \%rs$	符号なし整数乗算(16ビット×16ビット→32ビット)
分岐	mlt.w	$\%rd, \%rs$	符号付き整数乗算(32ビット×32ビット→64ビット)
	mltu.w	$\%rd, \%rs$	符号なし整数乗算(32ビット×32ビット→64ビット)
	jrgt	sign8	PC相対条件ジャンプ 分岐条件: $IZ \& !(N \wedge V)$
	jrgt.d		ディレイド分岐可
	jrge	sign8	PC相対条件ジャンプ 分岐条件: $!(N \wedge V)$
	jrge.d		ディレイド分岐可
	jrlt	sign8	PC相対条件ジャンプ 分岐条件: $N \wedge V$
	jrlt.d		ディレイド分岐可
	jrle	sign8	PC相対条件ジャンプ 分岐条件: $Z \vee N \wedge V$
	jrle.d		ディレイド分岐可
	jrugt	sign8	PC相対条件ジャンプ 分岐条件: $IZ \& !C$
	jrugt.d		ディレイド分岐可
	jruge	sign8	PC相対条件ジャンプ 分岐条件: $!C$
	jruge.d		ディレイド分岐可
	jrult	sign8	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	sign8	PC相対条件ジャンプ 分岐条件: $Z \vee !C$
	jrule.d		ディレイド分岐可
	jreq	sign8	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	sign8	PC相対条件ジャンプ 分岐条件: $!Z$
	jrne.d		ディレイド分岐可
	jp	sign8	PC相対ジャンプ ディレイド分岐可
	jp.d	$\%rb$	絶対ジャンプ ディレイド分岐可
	call	sign8	PC相対サブルーチンコール ディレイドコール可
	call.d	$\%rb$	絶対サブルーチンコール ディレイドコール可
	ret		サブルーチンからのリターン
	ret.d		ディレイドリターン可
	reti		割り込み、例外処理ルーチンからのリターン
	ret.d		デバッグ処理ルーチンからのリターン
	int	imm2	ソフトウェア例外
	brk		デバッグ例外

I S1C33L19の仕様: CPUコアとバスアーキテクチャ

種 類	ニーモニック		機 能
データ転送	ld.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb] +$	ポストインクリメント可
		$\%rd, [\%sp+imm6]$	スタック(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ
	ld.ub	$[\%rb] +, \%rs$	ポストインクリメント可
		$[\%sp+imm6], \%rs$	汎用レジスタ(バイト) → スタック
		$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	ld.h	$\%rd, [\%rb] +$	ポストインクリメント可
		$\%rd, [\%sp+imm6]$	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, \%rs$	汎用レジスタ(ハーフワード) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(ハーフワード) → 汎用レジスタ(符号拡張)
	ld.uh	$\%rd, [\%rb] +$	ポストインクリメント可
		$\%rd, [\%sp+imm6]$	スタック(ハーフワード) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(ハーフワード) → メモリ
		$[\%rb] +, \%rs$	ポストインクリメント可
	ld.w	$[\%sp+imm6], \%rs$	汎用レジスタ(ハーフワード) → スタック
		$\%rd, \%rs$	汎用レジスタ(ハーフワード) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(ハーフワード) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb] +$	ポストインクリメント可
		$\%rd, [\%sp+imm6]$	スタック(ハーフワード) → 汎用レジスタ(ゼロ拡張)
		$\%rd, \%rs$	汎用レジスタ(ワード) → 汎用レジスタ
		$\%rd, sign6$	即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(ワード) → 汎用レジスタ
システム制御	nop	$\%rd, [\%rb] +$	ポストインクリメント可
		$\%rd, [\%sp+imm6]$	スタック(ワード) → 汎用レジスタ
		$[\%rb], \%rs$	汎用レジスタ(ワード) → メモリ
		$[\%rb] +, \%rs$	ポストインクリメント可
即値拡張	ext	$[\%sp+imm6], \%rs$	汎用レジスタ(ワード) → スタック
		$\%rd, \%rs$	汎用レジスタ(ワード) → 汎用レジスタ
		$\%rd, sign6$	即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(ワード) → 汎用レジスタ
ビット処理	btst	$[\%rb], imm3$	汎用レジスタ(ワード) → 汎用レジスタ
		$[\%rb], imm3$	即値 → 汎用レジスタ(符号拡張)
		$[\%rb], imm3$	メモリ(ワード) → 汎用レジスタ
		$[\%rb], imm3$	メモリデータの指定ビットをクリア
その他	swap	$[\%rb], imm3$	メモリデータの指定ビットをセット
		$[\%rb], imm3$	メモリデータの指定ビットを反転
		$[\%rb], imm3$	ワード中のバイト境界でバイト単位のスワップ
		$[\%rb], imm3$	ワード中のバイト境界でバイト単位のスワップ
その他	pushn	$\%rs$	$\%rs \sim \%r0$ までの汎用レジスタをスタックにプッシュ
		$\%rd$	$\%rd \sim \%r0$ までの汎用レジスタのデータをスタックからポップ
		$\%rs$	$\%rs \sim \%r0$ までの汎用レジスタをスタックにプッシュ
		$\%rd$	$\%rd \sim \%r0$ までの汎用レジスタのデータをスタックからポップ

表中の記号の意味は次のとおりです。

表I.5.3.2 記号の意味

記 号	説 明
$\%rs$	汎用レジスタ(ソース)
$\%rd$	汎用レジスタ(デスティネーション)
$\%ss$	特殊レジスタ(ソース)
$\%sd$	特殊レジスタ(デスティネーション)
$[\%rb]$	汎用レジスタ(間接アドレス)
$[\%rb] +$	汎用レジスタ(ポストインクリメント付き間接アドレス)
$\%sp$	スタックポインタ
$imm2, imm4, imm3,$ $imm5, imm6, imm10,$ $imm13$	符号なし即値(数値はビット長) ただし、シフト命令ではシフト量、ビット処理命令においては ビット位置を表します。
$sign6, sign8$	符号付き即値(数値はビット長)

表I.5.3.3 機能拡張された命令

種 類	ニーモニック		機 能	拡張機能
論理演算	and	$\$rd, \$rs$	汎用レジスタ間の論理積	命令実行後、Vフラグをクリアします。
		$\$rd, \$sign6$	汎用レジスタと即値の論理積	
	or	$\$rd, \$rs$	汎用レジスタ間の論理和	
		$\$rd, \$sign6$	汎用レジスタと即値の論理和	
	xor	$\$rd, \$rs$	汎用レジスタ間の排他的論理和	
		$\$rd, \$sign6$	汎用レジスタと即値の排他的論理和	
シフト&ローテート	not	$\$rd, \$rs$	汎用レジスタ間の論理反転(1の補数)	9～31ビットのシフト/ローテートが可能となりました。
		$\$rd, \$sign6$	汎用レジスタと即値の論理反転(1の補数)	
	srl	$\$rd, \$rs$	右論理シフト(シフト量: レジスタ指定 0～31)	
		$\$rd, \$imm5$	右論理シフト(シフト量: 即値指定 0～31)	
	sll	$\$rd, \$rs$	左論理シフト(シフト量: レジスタ指定 0～31)	
		$\$rd, \$imm5$	左論理シフト(シフト量: 即値指定 0～31)	
	sra	$\$rd, \$rs$	右算術シフト(シフト量: レジスタ指定 0～31)	
		$\$rd, \$imm5$	右算術シフト(シフト量: 即値指定 0～31)	
	sla	$\$rd, \$rs$	左算術シフト(シフト量: レジスタ指定 0～31)	
		$\$rd, \$imm5$	左算術シフト(シフト量: 即値指定 0～31)	
データ転送	rr	$\$rd, \$rs$	右ローテート(シフト量: レジスタ指定 0～31)	ロード対象の特殊レジスタが増えました。
		$\$rd, \$imm5$	右ローテート(シフト量: 即値指定 0～31)	
	rl	$\$rd, \$rs$	左ローテート(シフト量: レジスタ指定 0～31)	
		$\$rd, \$imm5$	左ローテート(シフト量: 即値指定 0～31)	
	ld.w	$\$rd, \$ss$	特殊レジスタ(ワード) → 汎用レジスタ	
		$\$sd, \$rs$	汎用レジスタ(ワード) → 特殊レジスタ	

表I.5.3.4 C33 PEコアの追加命令

種 類	ニーモニック		機 能
分岐	jpr	$\$rb$	PC相対ジャンプ
	jpr.d		ディレイド分岐可
システム制御	psrset	$imm5$	PSRの指定ビットをセット
	psrclr	$imm5$	PSRの指定ビットをクリア
コプロセッサ制御	ld.c	$\$rd, \$imm4$	コプロセッサからのデータロード
	ld.c	$imm4, \$rs$	コプロセッサへのデータストア
	do.c	$imm6$	コプロセッサ実行
	ld.cf		コプロセッサからC、V、Z、Nフラグをロード
その他	swaph	$\$rd, \$rs$	ワード中のハーフワード境界でバイト単位のスワップ
	push	$\$rs$	汎用レジスタの単独プッシュ
	pop	$\$rd$	汎用レジスタの単独ポップ
	pushs	$\$ss$	%ss～ALRまでの特殊レジスタをスタックにプッシュ
	pops	$\$sd$	%sd～ALRまでの特殊レジスタのデータをスタックからポップ

表I.5.3.5 削除命令

種 類	ニーモニック		機 能
算術演算	div0s	$\$rs$	符号付き整数除算の第1ステップ
	div0u	$\$rs$	符号なし整数除算の第1ステップ
	div1	$\$rs$	ステップ除算実行
	div2s	$\$rs$	符号付き整数除算結果のデータ補正1
	div3s	$\$rs$	符号付き整数除算結果のデータ補正2
その他	mirror	$\$rd, \$rs$	ワード中のバイトごとにビット単位でスワップ
	mac	$\$rs$	積和演算(16ビット×16ビット+64ビット→64ビット)
	scan0	$\$rd, \$rs$	0のビットをサーチ
	scan1	$\$rd, \$rs$	1のビットをサーチ

I.5.4 トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。

イニシャルリセット後、TTBRレジスタは0xC00000番地に設定されます。

したがって、トラップテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。

TTBRレジスタのビット9～0は0に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

表I.5.4.1 トラップテーブル

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
0(Base)	リセット	リセット端子へのLow入力	—	1
1	reserved	—	—	—
2(Base+8)	ext例外	ext命令(不正使用)	—	4
3(Base+0C)	未定義命令例外	未定義命令	—	3
4–5	reserved	—	—	—
6(Base+18)	アドレス不整例外	メモリアクセス命令	—	2
0x60000	デバッグ例外	brk命令等	—	5
7(Base+1C)	NMI	#NMI端子へのLow入力 またはウォッチドッグタイマオーバーフロー	—	6
8–10	reserved	—	—	—
11(Base+2C)	不正割り込み例外	ITCからの不正割り込みの発生	—	高い ↑
12(Base+30)	ソフトウェア例外0	int命令	—	
13(Base+34)	ソフトウェア例外1	int命令	—	
14(Base+38)	ソフトウェア例外2	int命令	—	
15(Base+3C)	ソフトウェア例外3	int命令	—	
16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	
17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	
18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	—	
21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	—	
22(Base+58)	高速DMA Ch.0	高速DMA Ch.0転送終了	5	
23(Base+5C)	高速DMA Ch.1	高速DMA Ch.1転送終了	6	
24(Base+60)	高速DMA Ch.2	高速DMA Ch.2転送終了	—	
25(Base+64)	高速DMA Ch.3	高速DMA Ch.3転送終了	—	
26(Base+68)	インテリジェントDMA	インテリジェントDMA転送終了	—	
27–29	reserved	—	—	
30(Base+78)	16ビットタイマ0	タイマ0コンペアB	7	
31(Base+7C)		タイマ0コンペアA	8	
32–33	reserved	—	—	
34(Base+88)	16ビットタイマ1	タイマ1コンペアB	9	
35(Base+8C)		タイマ1コンペアA	10	
36–37	reserved	—	—	
38(Base+98)	16ビットタイマ2	タイマ2コンペアB	11	
39(Base+9C)		タイマ2コンペアA	12	
40–41	reserved	—	—	
42(Base+A8)	16ビットタイマ3	タイマ3コンペアB	13	
43(Base+AC)		タイマ3コンペアA	14	
44–55	reserved	—	—	低い ↓

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
56(Base+E0)	シリアルインタフェース	受信エラー	—	高い ↑
57(Base+E4)	Ch.0	受信バッファフル	23	
58(Base+E8)		送信バッファエンプティ	24	
59	reserved	—	—	
60(Base+F0)	シリアルインタフェース	受信エラー	—	
61(Base+F4)	Ch.1	受信バッファフル	25	
62(Base+F8)		送信バッファエンプティ	26	
63(Base+FC)	A/D変換器	上下限範囲外	—	
64(Base+100)		変換完了	27	
65(Base+104)	RTC	1/64秒、1秒、1分、または1時間カウントアップ	—	
66–67	reserved	—	—	
68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	
71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	
72(Base+120)	reserved	—	—	
73(Base+124)	LCDC	フレーム終了	33	
74–75	reserved	—	—	
76(Base+130)	シリアルインタフェース	受信エラー	—	
77(Base+134)	Ch.2	受信バッファフル	34	
78(Base+138)		送信バッファエンプティ	35	
79–80	reserved	—	—	
81(Base+144)	SPI	受信DMA要求	36	
82(Base+148)		送信DMA要求	37	
83	reserved	—	—	
84(Base+150)	ポート入力割り込み8 SPI	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low) SPI割り込み(D[1:0]/0x3003C4 = 0x10)	38	
85(Base+154)	ポート入力割り込み9 USB PDREQ	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low) USB DMA要求(D[3:2]/0x3003C4 = 0x10)	39	
86(Base+158)	ポート入力割り込み10 USB	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low) USB割り込み(D[5:4]/0x3003C4 = 0x10)	40	
87(Base+15C)	ポート入力割り込み11	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	41	
88(Base+160)	ポート入力割り込み12	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	42	
89(Base+164)	ポート入力割り込み13	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	43	
90(Base+168)	ポート入力割り込み14	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	44	
91(Base+16C)	ポート入力割り込み15	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	45	
92–93	reserved	—	—	
94(Base+178)	I ² S 出力FIFOエンプティ	I ² S出力チャンネル割り込み	46	
95–97	reserved	—	—	
98(Base+188)	I ² S 入力FIFOフル	I ² S入力チャンネル割り込み	48	↓ 低い
99–107	—	—	—	

* IDMA Ch.の19～22、32、47～53はシステム予約されています。

I.5.5 パワーダウンモード

C33 PEコアはHALTモードとSLEEPモードの2種類のパワーダウンモードをサポートしています。

HALTモード

C33 PEコアがhalt命令を実行すると、その時点でプログラムの実行を中断しHALTモードに移行します。

HALTモードではC33 PEコアだけが動作を停止します。詳細については、“III.1.11 スタンバイモード”を参照してください。

SLEEPモード

C33 PEコアがslp命令を実行すると、その時点でプログラムの実行を中断しSLEEPモードに移行します。

SLEEPモードではC33 PEコアおよびチップ上の周辺回路も動作を停止しますので、HALTモードよりも大幅に消費電流を低減することができます。詳細については、“III.1.11 スタンバイモード”を参照してください。

HALT, SLEEPモードの解除

HALT、SLEEPモードはイニシャルリセット、マスク可能な外部割り込み、NMI、デバッグ例外によって解除します。

割り込みによるHALT、SLEEPモードの解除には、プロセッサの割り込み許可/禁止の状態(PSRのIEフラグ)は影響しません。

プロセッサが割り込み許可の状態、割り込みによってHALT、SLEEPモードを解除した場合は、対応する割り込み処理ルーチンを実行します。したがって、発生した割り込みの処理ルーチンをretiで終了すると、haltまたはslpの次の命令の位置にリターンします。

プロセッサが割り込み禁止状態の場合、HALT、SLEEPモードを解除後はhaltまたはslpの次の命令から実行を開始します。

I.5.6 デバッグモード

C33 PEコアには、プログラム開発を支援するデバッグモードが設けられています。デバッグモードがサポートしている機能は以下のとおりです。

- **命令ブレーク**

設定した命令のアドレスを実行する前にデバッグ例外が発生します。3カ所のアドレスに命令ブレークを設定できます。

- **データブレーク**

設定したアドレスに書き込み/読み出しが行われるとデバッグ例外が発生します。データブレークの設定が可能なアドレスは1カ所です。

- **シングルステップ**

各命令ごとにデバッグ例外が発生します。

- **強制ブレーク**

外部入力信号でデバッグ例外が発生します。

- **バスブレーク**

選択したバスのデータが設定値と一致するとデバッグ例外が発生します。

- **バストレース**

選択したバスの値をトレースします。

- **PCトレース**

プロセッサの命令実行状態をトレースします。

デバッグ例外が発生すると、プロセッサは次の処理を行います。

(1) 実行中の命令を中断します。

デバッグ例外は、実行中の命令のEステージの最後に発生します。次のシステムクロックの立ち上がりエッジでデバッグ例外を受け付けます。

(2) プロセッサは、PC、R0の順にそれぞれの内容を以下のアドレスに格納します。

PC → 0x00060008

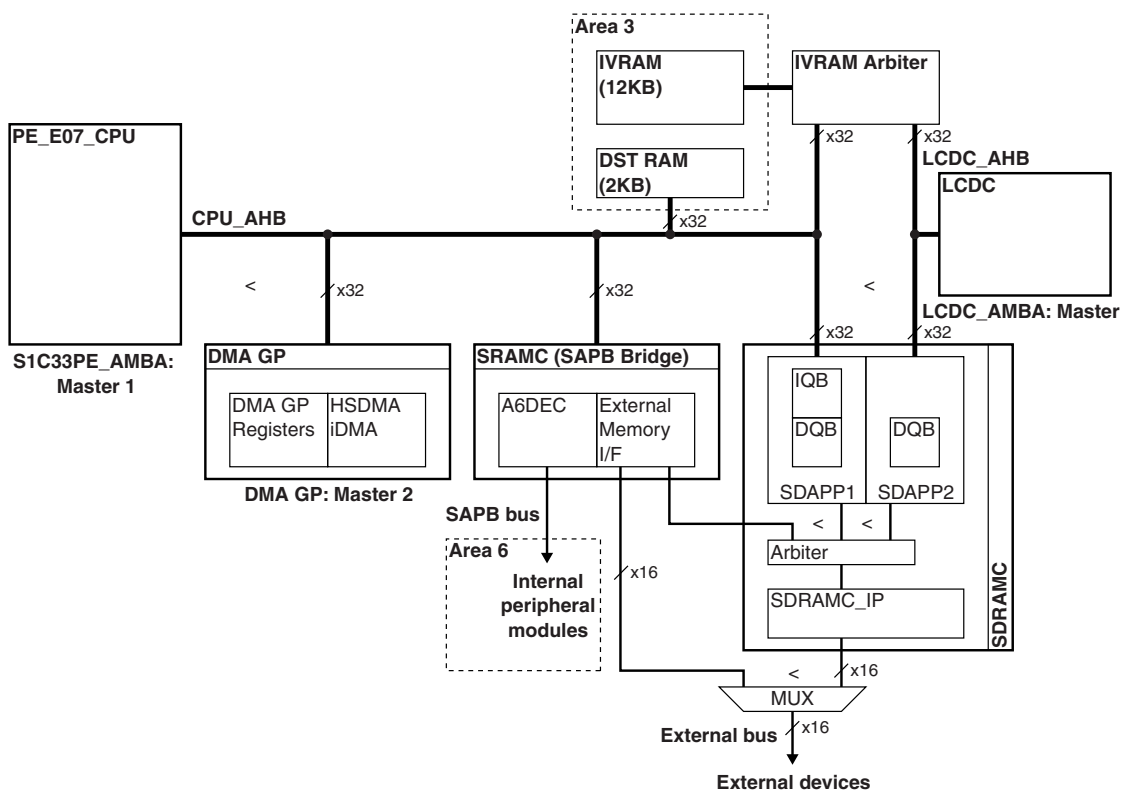
R0 → 0x0006000C

(3) プロセッサは、デバッグ例外ベクタを0x00060000番地からPCにロードし、デバッグ例外処理ルーチンに分岐します。

例外処理ルーチンでは、処理の最後にret d命令を実行して中断している命令に復帰します。ret d命令で復帰する際、プロセッサはR0、PCの順でデータを復帰します。

デバッグ例外中はハードウェア割り込みおよびNMIは受け付けられません。

I.5.7 バスアーキテクチャ



図I.5.7.1 S1C33L19のバス構成

I.5.7.1 32ビット高速バス

S1C33L19では、CPUとLCDCがIVRAM(内部ビデオRAM)や外部SDRAMを同時にアクセスするケースがありますので、一方によるバスの占有を回避するため、CPU_AHBバスとLCDC_AHBバスの2系統の内部32ビット高速バスシステムを採用しています。

CPU_AHBバスにはC33 PEコア、DMAC、SRAMC、SDRAMCの命令/データキャッシュ、IVRAMアービタ、エリア3のDST RAMが接続されています。通常はC33 PEコアがバスマスタとなり、DMA要求が発生するとバス権がDMACに移ります。

LCDC_AHBバスにはLCDC、IVRAMアービタ、SDRAMCのLCDC用データキャッシュが接続されています。このバスのマスタはLCDCのみとなっています。

IVRAMアービタは両方のバスに接続され、CPUとLCDCによるIVRAMへのアクセスを調停しています。IVRAMへのアクセス権は、表示リフレッシュのためLCDCの優先度が高くなっています。IVRAMアービタの詳細は、“VIII.2 IVRAMとIVRAMアービタ”を参照してください。

SDRAMCも両方のバスに接続され、CPUとLCDCの両方から外部SDRAMがアクセスできるようになっています。この場合もLCDCの優先度が高くなっています。CPUとLCDC間のバス権の調停は、SDRAMC内のバスアービタが行います。このバスアービタの詳細は、“II.4.3 バスアービタ”を参照してください。

I.5.7.2 SAPBバス

SAPBバスはエリア6に配置されている内部周辺モジュールのアクセスに使用されます。SRAMCがCPU_AHBバスとSAPBバスのブリッジとして機能します。

I.5.7.3 外部バス

S1C33L19の外部バスは25ビットのアドレスバスと16ビットのデータバスで構成されます。

SDRAMはSDRAMCを介し、その他のデバイスはSRAMCを介してアクセスされます。

外部バスのアクセス権もSDRAMCのバスアービタが調停します。

外部メモリについては、“I.6 メモリマップ”、“II.3 SRAMコントローラ(SRAMC)”、“II.4 SDRAMコントローラ(SDRAMC)”を参照してください。

I.5.8 チップID

S1C33L19は、CPUの種類や機種、チップのバージョンをアプリケーションソフトウェアで識別できるように、チップIDビットを内蔵しています。

コアIDビット (D[7:0]/0x20000)

チップコアの種類を示すID(8ビット)が読み出せます。

ID	チップコア
0x02	C33スタンダードマクロコア (C33 STDコア)
0x03	C33ミニマクロコア
0x04	C33アドバンスドマクロコア (C33 ADVコア)
0x05	C33 PEコア
0x06	C33 PEリトルエンディアンコア

S1C33L19はC33 PEリトルエンディアンコアを採用しているため、チップコアIDは0x06です。

製品シリーズIDビット (D[7:0]/0x20001)

S1C33 Familyの製品シリーズを示すID(8ビット)が読み出せます。

ID	製品シリーズ
0x03	S1C333xxシリーズ
0x04	S1C334xxシリーズ
0x0E	S1C33Exxシリーズ
0x15	S1C33Lxxシリーズ

S1C33L19の製品シリーズIDは0x15です。

機種IDビット (D[7:0]/0x20002)

機種を示すID(8ビット)が読み出せます。

S1C33L19の機種IDは0x17です。

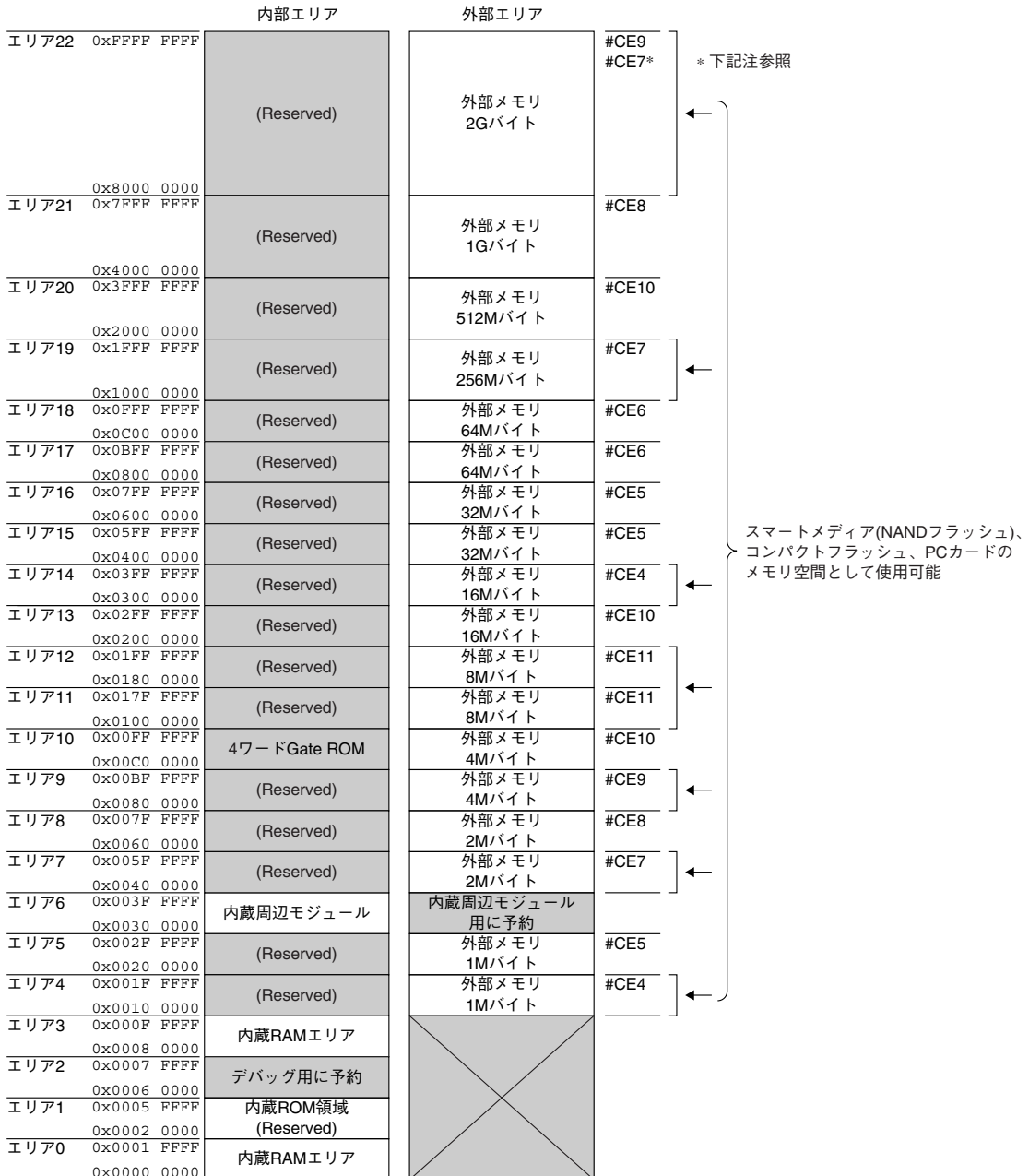
バージョンビット (D[7:0]/0x20003)

チップのバージョンコード(8ビット)が読み出せます。

0x02はバージョンNo.です。

I.6 メモリマップ

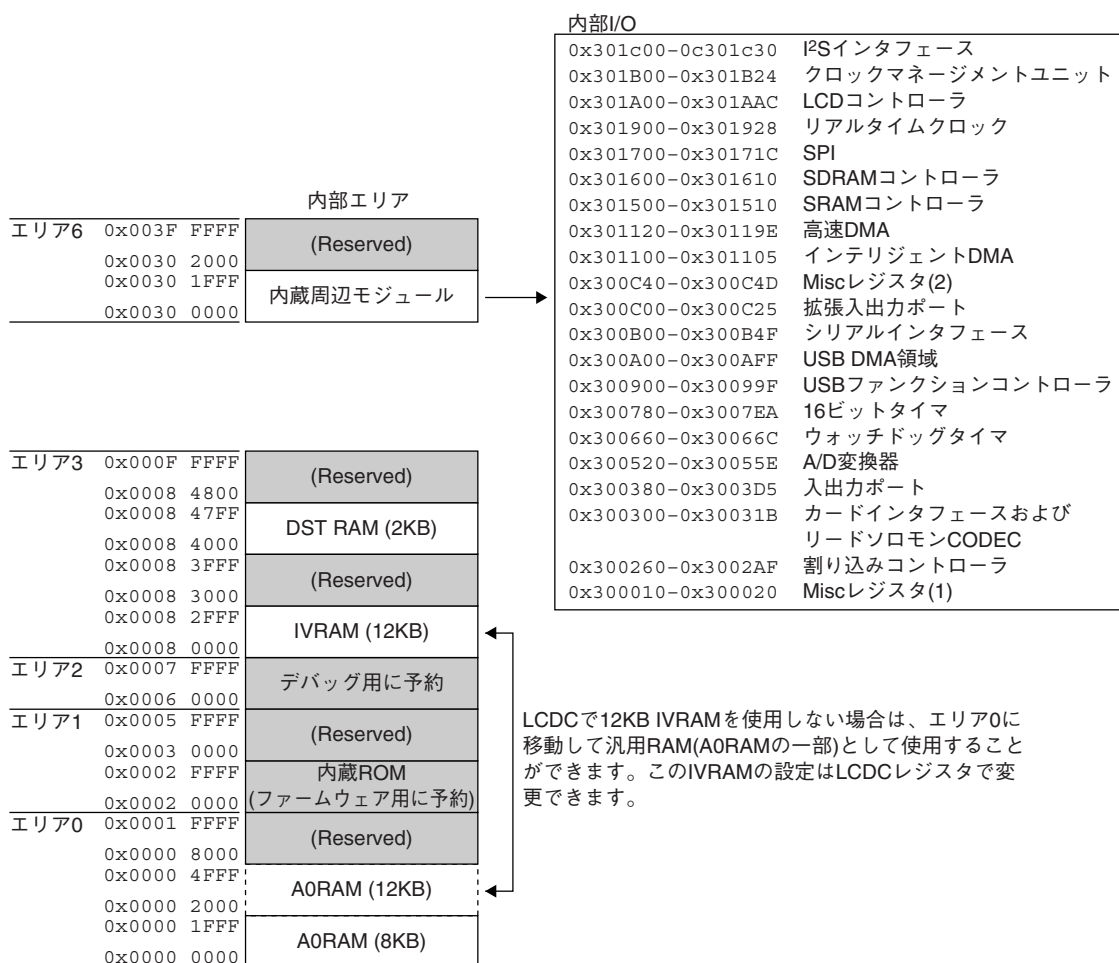
図I.6.1にS1C33L19のアドレス空間全体のメモリマップを、図I.6.2に内蔵メモリおよび内蔵I/O空間のメモリマップを示します。



図I.6.1 全体メモリマップ

注: エリア22はデフォルト設定で#CE9に割り付けられますが、SDRAMCをOn(イネーブル)にすると#CE7に割り付けが変更されます。

I S1C33L19の仕様: メモリマップ



図I.6.2 内部エリアマップ

以下、S1C33L19のエリアの構成について説明します。

I.6.1 ブートアドレスとGate ROM

電源投入時およびリセット時はC33 PEコアの仕様により、ブートアドレスが0xC00000(TTBRの初期値)に設定されます。S1C33L19では、エリア10(内部エリア)の0xC00000に4ワードのGate ROMが置かれており、エリア10に外部メモリがあるか否かにかかわらず、最初にこの中のベクタによってブートシーケンスにジャンプするようになっています。Gate ROMに格納されたどのベクタにジャンプするかについては、このときのBOOT端子の入力状態で決まります。また、#CE10端子もブートモードの設定に使用されます。これらの端子の設定により、S1C33L19はNANDフラッシュ、SPI-EEPROM、PC(RS232C)、および外部NORフラッシュ /ROMからブートできるようになっています。これらを制御するブートシーケンスはエリア1の内部シーケンスにプログラムされています。

表I.6.1.1とI.6.1.2に端子設定と選択されるブートモードを示します。各ブートの詳細については、“Appendix D ブート”を参照してください。

表I.6.1.1 ブートモードの設定(PFBGA-180pinまたはチップ)

BOOT1端子	BOOT0端子	#CE10端子	ブートモード	ブートコードスタートアドレス	MBR実行アドレス
1	1	1 (入力)	SPI-EEPROM	エリア1の0x20010	A0RAMの0x400
		0 (入力)	PC RS232C		A0RAMの0x0
1	0	出力	NORフラッシュ/外部ROM	エリア1の0x2000C	0xC00000の内容による
0	1	—	Reserved	—	—
0	0	1 (入力)	ラージページNANDフラッシュ ($> 1024 + 32$ バイト/ページ)	エリア1の0x20004	A0RAMの0x0
		0 (入力)	スモールページNANDフラッシュ ($\leq 1024 + 32$ バイト/ページ)		

表I.6.1.2 ブートモードの設定(TQFP24-144pin)

BOOT1端子	#CE10端子	ブートモード	ブートコードスタートアドレス	MBR実行アドレス
1	出力	NORフラッシュ/外部ROM	エリア1の0x2000C	0xC00000の内容による
0	1 (入力)	ラージページNANDフラッシュ ($> 1024 + 32$ バイト/ページ)	エリア1の0x20004	A0RAMの0x0
	0 (入力)	スモールページNANDフラッシュ ($\leq 1024 + 32$ バイト/ページ)		

* TQFP24-144pinパッケージは端子数の制限からBOOT1端子のみ使用可能です(BOOT0はIC内部でV_{ss}にプルダウンされます)。

I.6.2 エリア0(A0RAM)

エリア0には、8Kバイトの高速RAM(A0RAM)が内蔵されています。配置アドレスは0x0～0x1FFFです。S1C33L19はこの他に12KバイトのRAM(IVRAM)を内蔵しており、デフォルト設定ではLCDC用のVRAMとしてエリア3に配置されます。LCDCを使用しないとき、あるいは外部SDRAMをVRAMとして使用するときなど、IVRAMをVRAMとして使用する必要のない場合は、IVRAMをエリア0に配置してA0RAMを20Kバイトに拡張することができます。この切り換えはLCDCの制御ビットIRAM(D0/0x301A64)で行います。IRAM = 0(デフォルト)の場合IVRAMはエリア3に、IRAM = 1の場合はエリア0の0x2000～0x4FFF(8KバイトA0RAMの直後)に配置されます。

* **IRAM:** IRAM Assign Bit in the IRAM Select Register (D0/0x301A64)

A0RAM(エリア0に配置したIVRAMも含む)はAHBバスを介さずに、CPUから直接アクセスされるため、ウェイトサイクルは挿入されません。バイト、ハーフワード、ワードのいずれのアクセスにおいても1サイクル(ノーウェイト)でアクセスされます。また、ハーバードアーキテクチャにより、外部メモリ(キャッシュ)からの命令フェッチとA0RAMへのアクセスが同時に行えるようになっています。

注: • A0RAMには、IDMAのコントロール情報を置くことはできません。また、DMAの転送元/転送先に指定することもできません。

- アドレス0x0～0xFは、デバッグモニタS5U1C330M2D1(MON33)によってデバッグを行う場合、デバッグ用領域として使用されます。S5U1C330M2D1を使用する場合は、ユーザプログラムからこのアドレスへのアクセスは禁止します。デバッグをS5U1C33001H(ICD33)のみで行う場合は、ユーザ領域として使用可能です。

I.6.3 エリア1(ファームウェア用内部シーケンサ)

エリア1には、64KバイトのマスクROMが内蔵されます。このROMは、各種ブート機能やコア内部の拡張機能に対応するファームウェア用として予約されており、ユーザプログラムを書き込むことはできません。

ユーザプログラムやデバッグからはこのエリアをアクセスしないでください。

I.6.4 エリア2(デバッグエリア)

エリア2はデバッグ専用エリアで、デバッグ用リソースに割り当てられています。デバッグモード時以外は、このエリアへの書き込みは行えません。

ユーザプログラムやデバッグからはこのエリアをアクセスしないでください。

I.6.5 エリア3(IVRAM)

エリア3の0x80000～0x82FFFには、デフォルト設定で12KバイトのIVRAM(Internal Video RAM)が配置されます。このRAMはLCDC用のVRAMとして使用することができます。LCDCとCPUからそれぞれの32ビットAHBバスを介してアクセスでき、アクセスの競合はIVRAMアービタが調停します。エリア3に配置したIVRAMは、最小2ウェイトでアクセスされます。

I.6.2節で説明したとおり、VRAMとして使用しない場合は、エリア0に配置してノーウェイトの高速汎用RAMとして使用することもできます。

注: エリア3に配置したIVRAMにプログラムを置いて実行することはできません。

I.6.6 エリア3(DST RAM)

エリア3の0x84000～0x847FFには、2KバイトのDST RAM(Descriptor Table RAM)が配置されます。A0RAMにはIDMAのコントロール情報を置くことができないため、このRAMをそのために使用します。IDMAのコントロール情報以外の領域は汎用RAMとしても使用できます。また、DMAの転送元/転送先に指定することも可能です。

DST RAMは、最小2ウェイトでアクセスされます。

注: DST RAMの上位256バイト(0x84700～0x847FF)はデバッグ用エリアとして予約されています。

ユーザプログラムやデバッグからはこのエリアをアクセスしないでください。

ただし、デバッグのc33 dasコマンドで指定するデバッグRAMアドレスは0x84780としてください。

```
c33 das 0x60000 0x84780 1
```

I.6.7 エリア6(I/Oエリア)

エリア6は内蔵の各種IPや周辺回路のI/Oエリアに割り当てられています。

エリア6は外部メモリエリアの一つですが、外部メモリをアクセスすることはできません。

このエリアに割り付けられている内蔵周辺回路については、III章～IX章の周辺ユニットの説明を、制御レジスタの一覧については、“Appendix A I/Oマップ”を参照してください。

I.6.8 外部メモリエリア

エリア4、5、7～22はメモリなどの外部デバイス用に使用可能です。接続するデバイスの仕様に合わせてSRAMC、あるいはSDRAMCを設定してください。S1C33L19の内部アドレスバスおよび内部データバスは32ビットですが、端子数の制限により、外部バスはデータバスが16ビット(D[15:0])、アドレスバスは最大25ビット(A[24:0])です。

I.7 電気的特性

I.7.1 絶対最大定格

(Vss=PLVss=0V)					
項 目	記号	条 件	定 格 値	単位	注
内部ロジック電源電圧	VDD		-0.3~+2.5	V	
PLL電源電圧	PLVDD		-0.3~+2.5	V	
I/O電源電圧	VDDH		-0.3~+4.0	V	
アナログ電源電圧	AVDD		-0.3~+4.0	V	
入力電圧	Vi		-0.3~VDDH+0.5	V	
アナログ入力電圧	AVIN		-0.3~AVDD+0.3	V	
高レベル出力電流	IOH	1端子	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	IOL	1端子	10	mA	
		全端子合計	40	mA	
保存温度	TSTG		-65~+150	°C	

E char

I.7.2 推奨動作条件

(Vss=PLVss=0V)							
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
内部ロジック電源電圧	VDD	水晶または外部クロック	1.65	1.80	1.95	V	
		セラミック発振	1.70	1.80	1.90	V	
PLL電源電圧	PLVDD		1.65	1.80	1.95	V	
I/O電源電圧	VDDH	USB未使用時	2.70	—	3.60	V	
		USB使用時	3.00	3.30	3.60	V	
アナログ電源電圧	AVDD		2.70	—	3.60	V	
入力電圧	HVi		Vss	—	VDDH	V	
	LVi		Vss	—	VDD	V	
アナログ入力電圧	AVIN		Vss	—	AVDD	V	
CPU動作周波数	fCPU		—	—	66	MHz	
バス動作周波数	fBUS		—	—	66	MHz	
OSC3発振周波数	fOSC3		5	—	48	MHz	
OSC3外部入力クロック周波数	fECLK3		2	—	48	MHz	
OSC1発振周波数	fOSC1		—	32.768	—	kHz	
動作温度	Ta	水晶または外部クロック	-40	25	85	°C	
		セラミック発振	0	25	70	°C	
入力立ち上がり時間(ノーマル入力)	tri		—	—	50	ns	
入力立ち下がり時間(ノーマル入力)	tfi		—	—	50	ns	
入力立ち上がり時間(シュミット入力)	tri		—	—	5	ms	
入力立ち下がり時間(シュミット入力)	tfi		—	—	5	ms	

I.7.3 DC特性

(特記なき場合: $V_{DDH}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		5	—	5	μA	
オフステートリーク電流	I_{OZ}		-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-1.7mA$ (2mA Type), $I_{OH}=-3.5mA$ (4mA Type), $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=1.7mA$ (2mA Type), $I_{OL}=3.5mA$ (4mA Type), $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	LVTTLレベル, $V_{DDH}=\text{Max.}$	2.0	—	V_{DDH}	V	
低レベル入力電圧	V_{IL}	LVTTLレベル, $V_{DDH}=\text{Min.}$	V_{SS}	—	0.8	V	
ポジティブトリガ入力電圧	V_{T+}	LVC MOSシュミット	1.2	—	2.7	V	
ネガティブトリガ入力電圧	V_{T-}	LVC MOSシュミット	0.5	—	1.8	V	
ヒステリシス電圧	V_H	LVC MOSシュミット	0.2	—	—	V	
プルアップ抵抗	R_{PU}	$V_I=0V$					
		100k Ω Type	50	100	288	k Ω	
プルダウン抵抗	R_{PD}	$V_I=V_{DDH}$					
		50k Ω Type	25	50	144	k Ω	
		120k Ω Type	60	120	346	k Ω	
		50k Ω Type	25	50	144	k Ω	
高レベル保持電流	I_{BHH}	バスホールド対応端子, $V_I=1.9V$, $V_{DDH}=\text{Min.}$	—	—	-20	μA	
低レベル保持電流	I_{BHL}	バスホールド対応端子, $V_I=0.8V$, $V_{DDH}=\text{Min.}$	—	—	17	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応端子, $V_I=0.8V$, $V_{DDH}=\text{Max.}$	-350	—	—	μA	
低レベル反転電流	I_{BHLO}	バスホールド対応端子, $V_I=1.9V$, $V_{DDH}=\text{Max.}$	300	—	—	μA	
入力端子容量	C_I	$f=1MHz$, $V_{DDH}=0V$	—	—	8	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DDH}=0V$	—	—	8	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DDH}=0V$	—	—	8	pF	

注: 端子の特性については、“I.3.4 入出力セルと入出力特性”を参照してください。

I.7.4 消費電流

■動作電流

(特記なき場合: V_{DDH}=3.3V, V_{DD}=1.8V, V_{SS}=0V, Ta=25°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
CPU動作時消費電流 (MCLK=SDCLK)	IDD1	20MHz	—	10.0	—	mA	1
		25MHz	—	12.0	—	mA	1
		33MHz	—	16.0	—	mA	1
		48MHz	—	22.0	—	mA	1
		66MHz	—	30.0	—	mA	1
CPU動作時消費電流 (MCLK/SDCLK) (MCLK=1/2SDCLK)	IDD2	24/48MHz	—	12.0	—	mA	2
		30/60MHz	—	16.0	—	mA	2
		40/80MHz	—	21.0	—	mA	2
		45/90MHz	—	23.0	—	mA	2
HALTモード時消費電流	IDD3	20MHz	—	1.4	—	mA	3
		25MHz	—	1.7	—	mA	3
		33MHz	—	2.2	—	mA	3
		48MHz	—	3.2	—	mA	3
		66MHz	—	6.3	—	mA	3
HALTモード時消費電流 (動作クロック=48MHz×1/n)	IDD4	1/1 (=48MHz)	—	3.2	—	mA	3
		1/2 (=24MHz)	—	2.3	—	mA	3
		1/4 (=12MHz)	—	1.9	—	mA	3
		1/8 (=6MHz)	—	1.7	—	mA	3
		1/16 (=3MHz)	—	1.6	—	mA	3
		1/32 (=1.5MHz)	—	1.5	—	mA	3

注: 消費電流消費

*1.

- プログラムはA0RAM内で実行されます。
- OSC1とすべての周辺回路のすべてのクロックはオフです。
- MCLKが66MHz以上のときは、×11(48/8×11)にPLLが使用されます。他の周波数ではPLLは使用されません。SSCGは常にオフです。
- SDCLKはオフです。(0x3003a4/D2=0)
- GPIOポートはすべて入力として設定されプルアップされます(フローティング入力なし)。
- CPU動作時の消費電流は、ロード命令51%、算術演算命令21%、ブランチ命令10%、ext命令18%からなるテストプログラムをA0RAM内で実行して計測されています。

*2.

- プログラムはSDRAM (Micron/MT48LC8M16A2) 内で実行されます。
- OSC1と周辺回路のすべてのクロック (SDRAMクロック以外) はオフです。(0x301b00=0x00000040, 0x301b04=0x0)
- MCLK/SDCLKが30/60MHzのとき:PLLはオン(48/8×10)
40/80MHzのとき:PLLはオン(48/6×10)
45/90MHzのとき:PLLはオン(48/8×15)
24/48MHzのとき:PLLはオフ
- 未使用GPIOポートはすべて入力として設定されプルアップされます(フローティング入力なし)。
- CPU動作時の消費電流は、ロード命令51%、算術演算命令21%、ブランチ命令10%、ext命令18%からなるテストプログラムをA0RAM内で実行して計測されています。

*3.

- プログラムはA0RAM内で実行されます。
- OSC1と周辺回路のすべてのクロックはオフです。
- MCLKが66MHz以上のとき、×11(48/8×11)にはPLLが使用されます。他の周波数ではPLLは使用されません。SSCGは常にオフです。
- SDCLKはオフです。(0x3003a4/D2=0)
- GPIOポートはすべて(P7[4:0]以外)低レベルを出力するように設定されています。P7[4:0]はプルアップが可能です。
- データバス、アドレスバス、#CE信号はLow駆動が可能です。

E char

■SLEEPモード時消費電流

(特記なき場合: V_{DDH}=3.3V, V_{DD}=1.8V, V_{SS}=0V, T_a=25°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SLEEPモード時消費電流	I _{DS1}	48MHz	—	1.0	—	μA	1
	I _{DS2}	32kHz (OSC1動作時)	—	2.0	—	μA	1

注:

*1.

- プログラムはA0RAM内で実行されます。
- 周辺回路のすべてのクロックはオフです。
- PLLはオフです。SSCGは常にオフです。
- SDCLKはオフです。(0x3003a4/D2=0)
- GPIOポートはすべて(P7[4:0]以外)低レベルを出力するように設定されています。P7[4:0]はプルアップが可能です。
- データバス、アドレスバス、#CE信号はLow駆動が可能です。
- スリープモードではOSC3はオフです。(D3/0x301b14=1)

■周辺回路動作電流

(特記なき場合: V_{DDH}=AV_{DD}=3.3V, V_{DD}=PLV_{DD}=1.8V, V_{SS}=0V, T_a=25°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SRAMコントローラ動作電流	I _{SR}	SRAMクロック供給時(48MHz)	—	3.6	—	mA	4
SDRAMコントローラ動作電流	I _{SD}	SDRAMクロック供給時(48MHz)	—	5.6	—	mA	4
DMAコントローラ動作電流	I _{DMA}	DMAクロック供給時(48MHz)	—	4.1	—	mA	4
LCDコントローラ動作電流	I _{LCD}	LCDCクロック供給時(48MHz)	—	5.6	—	mA	4
USBコントローラ動作電流	I _{USB}	USBクロック供給(48MHz)状態でのアイドル時	—	11.0	—	mA	4
RTC動作電流	I _{RTC}	OSC1発振(32kHz)	—	2.0	—	μA	4
OSC3発振回路動作電流	I _{OSC3}	OSC3発振(48MHz)	—	1.4	—	mA	4
SSCG動作電流	I _{SSCG}	SSCGクロック入力(48MHz)	—	500.0	—	μA	4
PLL動作電流	I _{PLL}	PLL出力クロック(90MHz)	—	2.1	—	mA	5
A/D変換器動作電流	I _{AD}	A/D変換器イネーブル時	—	260.0	—	μA	6
JPEGデコード／エンコード動作電流	I _{JPEG}	JPEGデコード／エンコード動作時	—	25.0	—	mA	7

注) 4. V_{DD}での消費電流(クロックのみ供給時)5. PLV_{DD}での消費電流6. AV_{DD}での消費電流

7. CPU clock = 48MHz、LCD clock = CPU clock × 1/16での消費電流

I.7.5 A/D変換器特性

(特記なき場合: $V_{DDH}=AV_{DD}=2.7V\sim 3.6V$, $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim +85^{\circ}C$, $ST[1:0]=11$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	—		—	10	—	bit	
変換時間	—		10	—	1250	μs	1
ゼロスケール誤差	E_{ZS}		-2	—	2	LSB	
フルスケール誤差	E_{FS}		-2	—	2	LSB	
積分直線性誤差	E_L		-3	—	3	LSB	
微分直線性誤差	E_D		-3	—	3	LSB	
許容信号源インピーダンス	—		—	—	5	$k\Omega$	
アナログ入力容量	—		—	—	45	pF	

注) 1. Min値はA/D変換器クロック入力=2MHzの場合

Max値はA/D変換器クロック入力=16kHzの場合

A/D変換誤差

$V[001]_h$ = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$ = 実際のゼロスケール点電圧

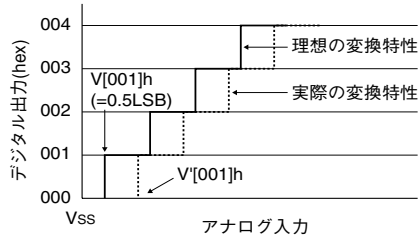
$V[3FF]_h$ = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

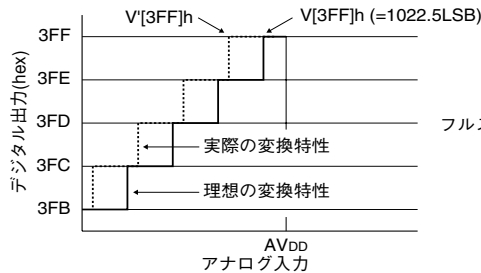
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

■ゼロスケール誤差



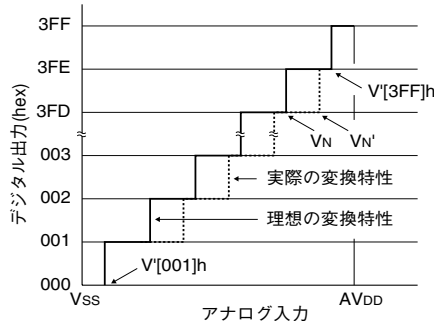
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]_h - 0.5LSB') - (V[001]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

■フルスケール誤差



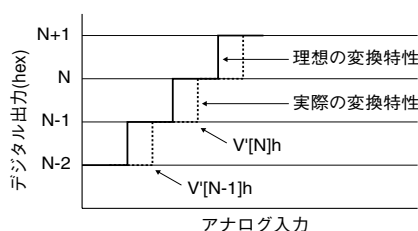
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB') - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

■積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_N' - V_N}{1LSB'} \text{ [LSB]}$$

■微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V'[N]_h - V'[N-1]_h}{1LSB'} - 1 \text{ [LSB]}$$

I.7.6 発振特性

発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

■OSC1発振回路(水晶発振)

(特記なき場合: $V_{DD}=1.65V\sim1.95V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA1}				3	sec	

■OSC3発振回路(水晶/セラミック発振)

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

(特記なき場合: $V_{DD}=1.70V\sim1.90V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA3}				25	ms	

I.7.7 PLL特性

I

(特記なき場合: PLVDD=1.65V~1.95V, PLVSS=0V, Ta=-40°C~+85°C)							
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
入力周波数	fPLLIN		5		50	MHz	1
出力周波数	fPLLOUT		20		90	MHz	2
出力安定時間	tPLL				200	μs	

注) 1. 入力クロックソース分周比: OSC3 ×1, ×1/2, ×1/3, ×1/4, ×1/5, ×1/6, ×1/7, ×1/8, ×1/9, ×1/10
2. 設定可能な通倍率: ×1, ×2, ×3, ×4, ×5, ×6, ×7, ×8, ×9, ×10, ×11, ×12, ×13, ×14, ×15, ×16

E char

I.7.8 AC特性

I.7.8.1 記号説明

tcyc: バスクロックサイクルタイム
バスクロック1周期の時間です。

I.7.8.2 AC特性測定条件

信号検定レベル: 入力信号 Highレベル $V_{IH} = V_{DDH} - 0.4V$
 Lowレベル $V_{IL} = 0.4V$

出力信号 Highレベル $V_{OH} = 1/2 V_{DDH}$
 Lowレベル $V_{OL} = 1/2 V_{DDH}$

ただし、OSC3外部クロック入力の場合は下記のとおりです。

入力信号 Highレベル $V_{IH} = 1/2 V_{DD}$
 Lowレベル $V_{IL} = 1/2 V_{DD}$

入力信号波形: 立ち上がり (10%→90% V_{DD}) 5ns
 立ち下がり (90%→10% V_{DD}) 5ns

出力負荷容量: SDCLK以外の端子: $C_L = 50pF$
 SDCLK端子: $C_L = 20pF$

I.7.8.3 SRAMC AC特性表

■外部クロック入力特性

(注) このAC特性値は、外部クロック入力の場合に適用されます。

OSC3入力クロックは、必ず V_{DD} と V_{SS} の範囲内で与えてください。

(特記なき場合: $V_{DDH}=2.7V\sim 3.6V$, $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{c3}	16.7	500	ns	
OSC3クロック入力デューティ	t _{c3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t _{lF}		5	ns	
OSC3クロック入力立ち下がり時間	t _{lR}		5	ns	
BCLKハイレベル出力遅延時間	t _{CD1}		25	ns	
BCLKローレベル出力遅延時間	t _{CD2}		25	ns	

E char

■BCLKクロック出力特性

(注) このAC特性値は、高速発振回路使用の場合に適用されます。

(特記なき場合: $V_{DDH}=2.7V\sim 3.6V$, $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t _{CBD}	40	60	%	

■バスアクセスサイクル

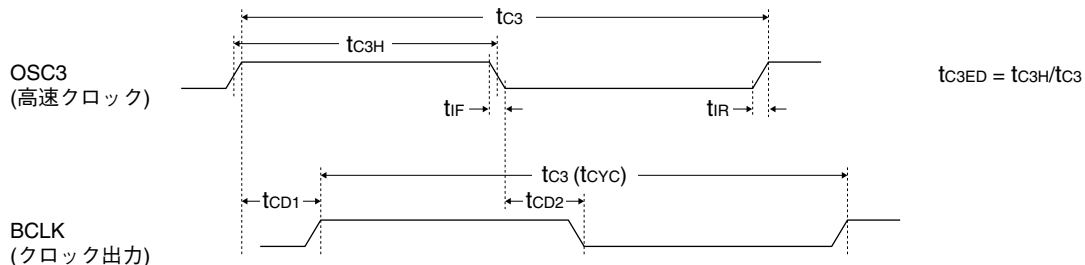
(特記なき場合: $V_{DDH}=2.7V\sim 3.6V$, $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, 外部負荷=50pF, $T_a=-40^{\circ}C\sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
CMU_CLK出力遅延時間	t _{CD}		27	ns	
アドレス遅延時間	t _{AD}		15	ns	
#CE _x 遅延時間	t _{CED}		15	ns	
ライト遅延時間	t _{WRD}		15	ns	
ライトデータ遅延時間	t _{WRDD}		15	ns	
ライトデータホールド時間	t _{WRDH}	-2		ns	
リード遅延時間	t _{RDD}		15	ns	
リードデータセットアップ時間	t _{RDS}	9		ns	
リードデータホールド時間	t _{RDDH}	0		ns	
ライト信号パルス幅	t _{WRW}	t _{cyc} (1+WC)-15		ns	
リード信号パルス幅	t _{RDW}	t _{cyc} (1+WC)-15		ns	
リードアドレスアクセス時間	t _{ACC}		t _{cyc} (1+WC)-24	ns	
チップイネーブルアクセス時間	t _{CEAC}		t _{cyc} (1+WC)-24	ns	
リード信号アクセス時間	t _{RDAC}		t _{cyc} (1+WC)-24	ns	
#WAITセットアップ時間	t _{WTS}	10		ns	
#WAITホールド時間	t _{WTH}	0		ns	

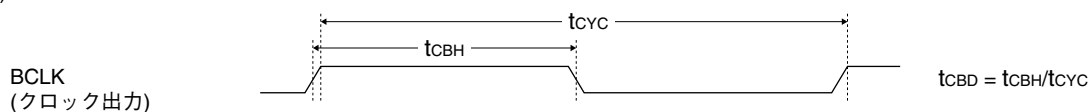
I.7.8.4 SRAMC AC特性タイミングチャート

■クロック

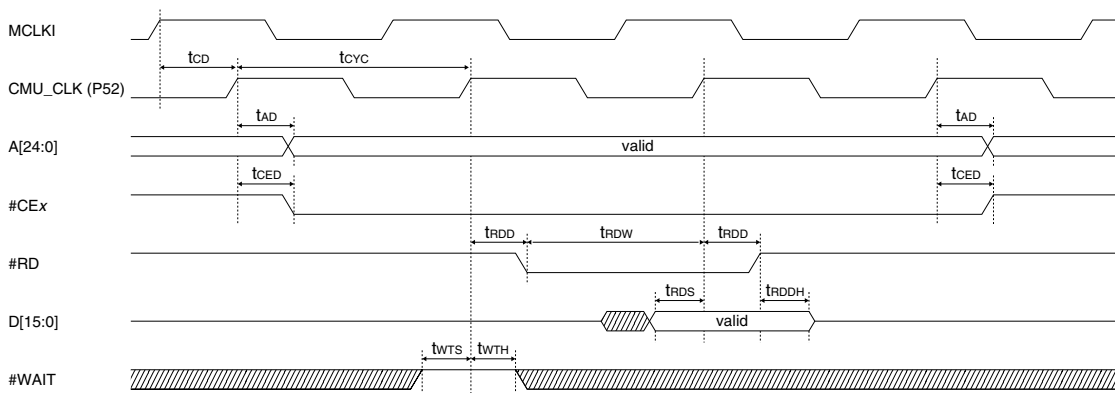
(1)外部クロック入力の場合



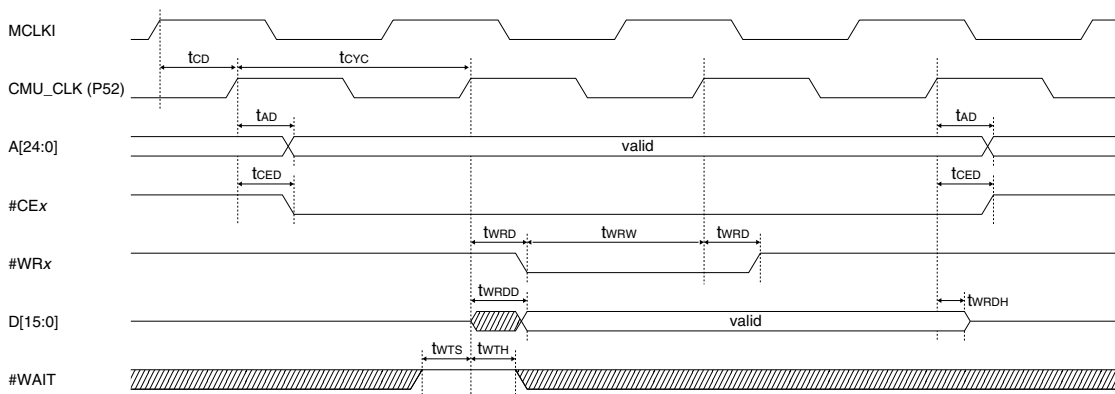
(2)高速発振回路動作の場合



■SRAMリードサイクル



■SRAMライトサイクル



I.7.8.5 SDRAMインタフェース AC特性

■通常モード (SDCLK = MCLK, 60MHz Max.)

(特記なき場合: V_{DDH}=2.7V~3.3V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C
外部負荷条件: アドレスバス/データバス=50pF, SDCLK/制御信号=20pF)

項 目	記号	Min.	Max.	単位	注
アドレス遅延時間	t _{AD}		10	ns	
アドレスホールド時間	t _{AH}	2		ns	
SDA10遅延時間	t _{A10D}		10	ns	
SDA10ホールド時間	t _{A10H}	2		ns	
#SDCS遅延時間	t _{CSD}		10	ns	
#SDCSホールド時間	t _{CSH}	2		ns	
#SDRAS信号遅延時間	t _{RASD}		10	ns	
#SDRASホールド時間	t _{RASH}	2		ns	
#SDCAS信号遅延時間	t _{CASD}		10	ns	
#SDCASホールド時間	t _{CASH}	2		ns	
DQMH, DQML信号遅延時間	t _{DQMD}		10	ns	
DQMH, DQMLホールド時間	t _{DQMH}	2		ns	
SDCKE信号遅延時間	t _{CKED}		10	ns	
SDCKE信号ホールド時間	t _{CKEH}	2		ns	
#SDWE信号遅延時間	t _{WED}		10	ns	
#SDWE信号ホールド時間	t _{WEH}	2		ns	
リードデータセットアップ時間	t _{RDS}	2		ns	
リードデータホールド時間	t _{RDH}	0		ns	
ライトデータ遅延時間	t _{WDD}		11	ns	
ライトデータホールド時間	t _{WDH}	2		ns	

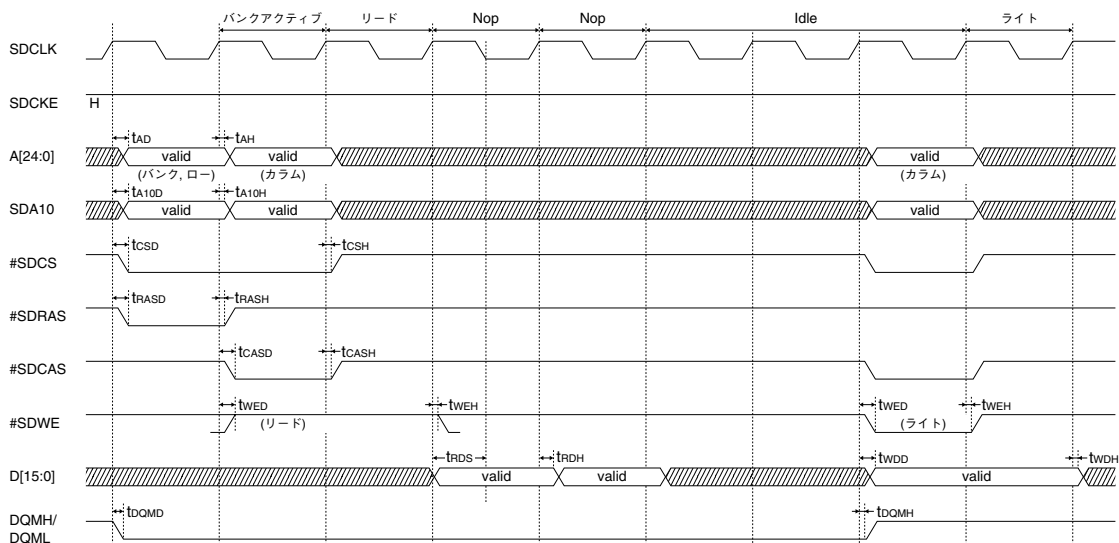
■2連倍モード (SDCLK = 2 × MCLK, 90MHz Max.)

(特記なき場合: V_{DDH}=2.7V~3.3V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C
外部負荷条件: アドレスバス/データバス=30pF, SDCLK/制御信号=20pF)

項 目	記号	Min.	Max.	単位	注
アドレス遅延時間	t _{AD}		8	ns	
アドレスホールド時間	t _{AH}	1.5		ns	
SDA10遅延時間	t _{A10D}		8	ns	
SDA10ホールド時間	t _{A10H}	1.5		ns	
#SDCS遅延時間	t _{CSD}		8	ns	
#SDCSホールド時間	t _{CSH}	1.5		ns	
#SDRAS信号遅延時間	t _{RASD}		8	ns	
#SDRASホールド時間	t _{RASH}	1.5		ns	
#SDCAS信号遅延時間	t _{CASD}		8	ns	
#SDCASホールド時間	t _{CASH}	1.5		ns	
DQMH, DQML信号遅延時間	t _{DQMD}		8	ns	
DQMH, DQMLホールド時間	t _{DQMH}	1.5		ns	
SDCKE信号遅延時間	t _{CKED}		8	ns	
SDCKE信号ホールド時間	t _{CKEH}	1.5		ns	
#SDWE信号遅延時間	t _{WED}		8	ns	
#SDWE信号ホールド時間	t _{WEH}	1.5		ns	
リードデータセットアップ時間	t _{RDS}	4		ns	
リードデータホールド時間	t _{RDH}	0		ns	
ライトデータ遅延時間	t _{WDD}		8	ns	
ライトデータホールド時間	t _{WDH}	1.5		ns	

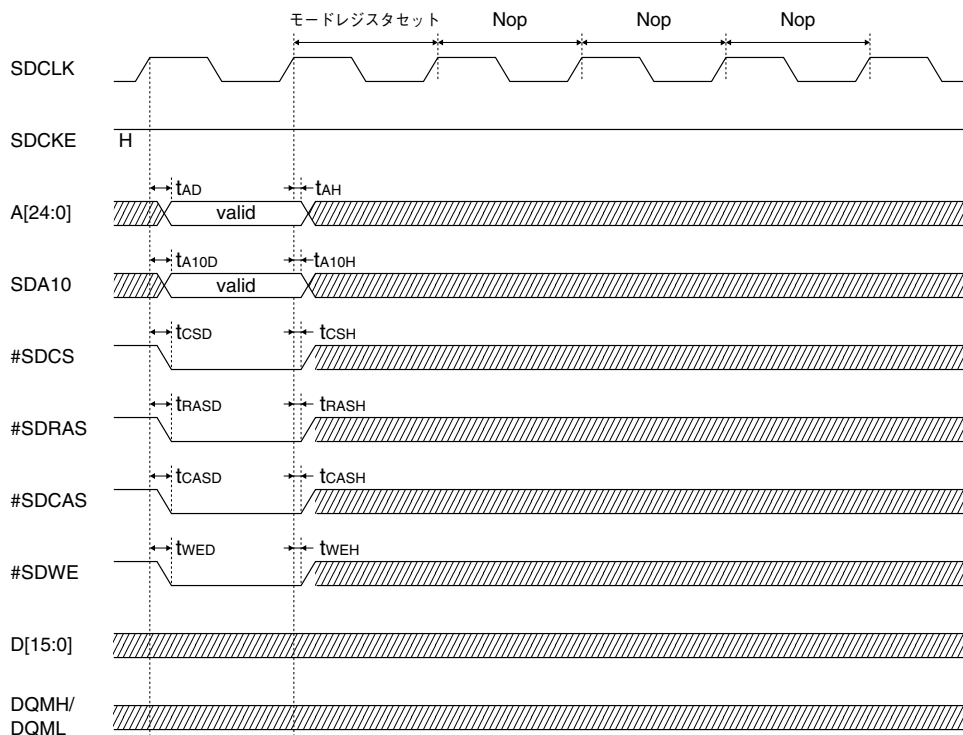
注: すべての信号はSDRAMクロックの立ち上がりエッジで変化します。

■SDRAMアクセスサイクル

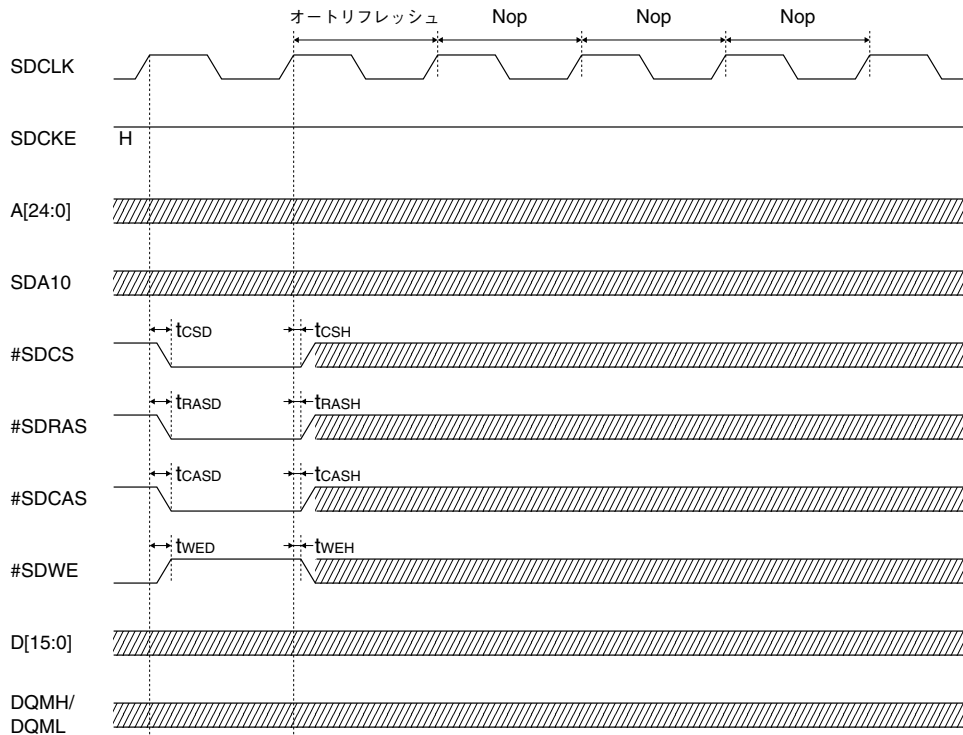


* リード: CASレイテンシ = 2, バースト長 = 2 ライト: シングルライト

■SDRAMモードレジスタセットサイクル

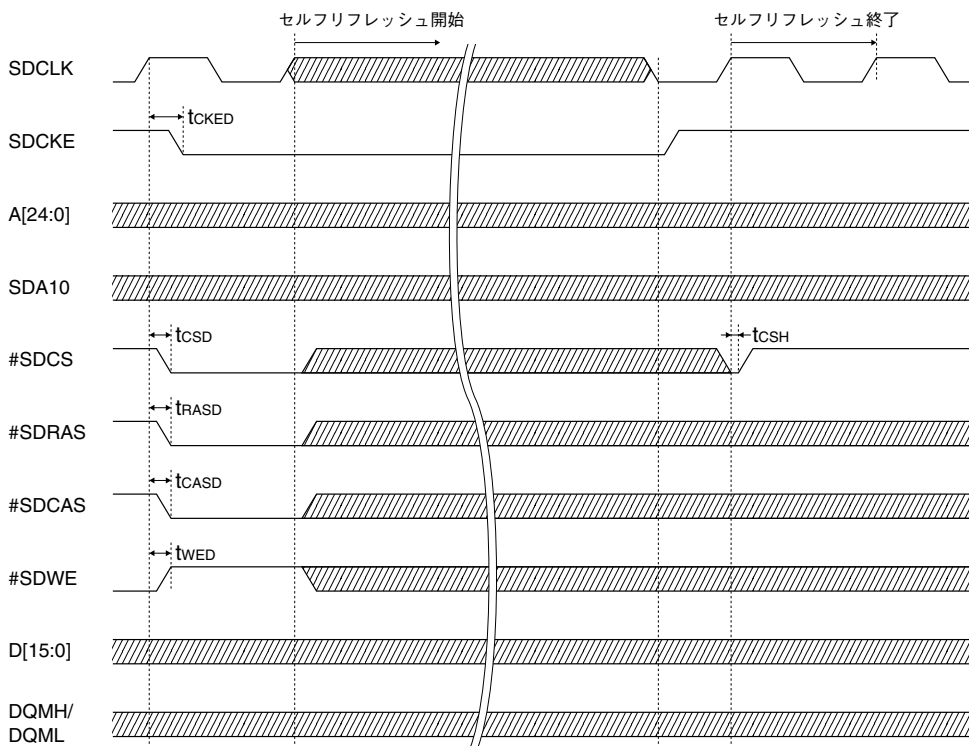


■SDRAMオートリフレッシュサイクル



* オートリフレッシュモードに入る前には、プリチャージが必要です。

■SDRAMセルフリフレッシュサイクル



* セルフリフレッシュモードに入る前には、プリチャージが必要です。

I.7.8.6 LCDC AC特性

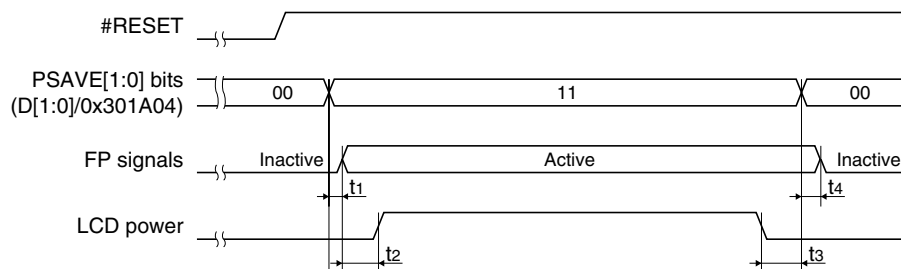
条件: $V_{DDH} = 2.7V \sim 3.6V$

$T_a = -40^{\circ}C \sim 85^{\circ}C$

全出力の T_{rise} および T_{fall} は5ns(10%~90%)未満であること。

$C_L = 60pF$ (LCDパネルインタフェース)

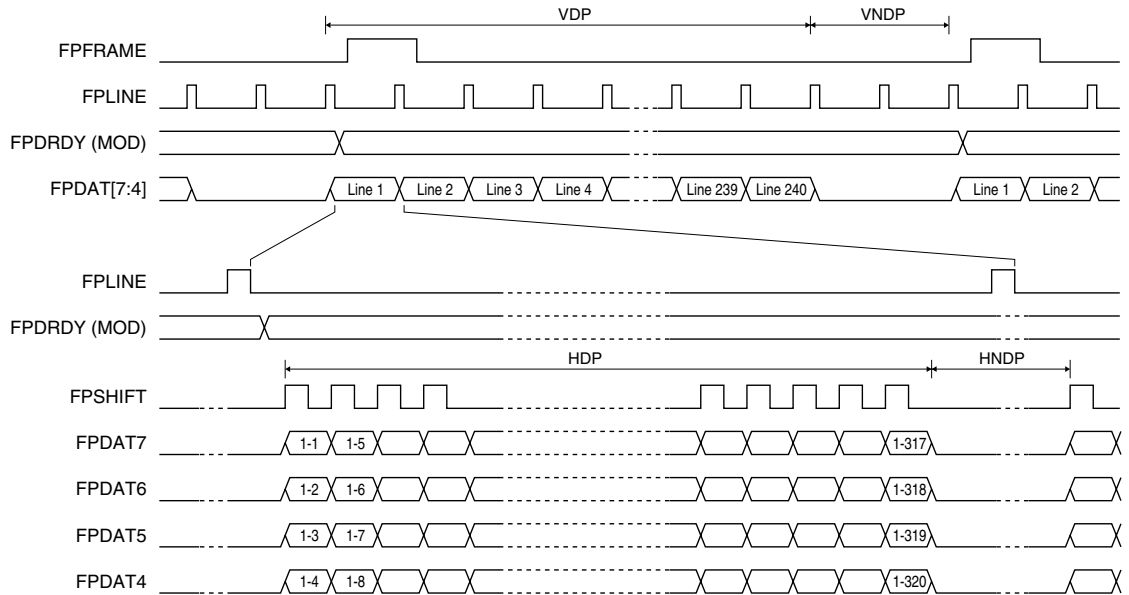
■パワーアップ/ダウタイミング



記号	項 目	Min.	Typ.	Max.	単位
t ₁	パワーセーブインアクティブ→FPLINE, FPFRAME, FPSHIFT, FPDAT, FPDRDYアクティブ			1	フレーム
t ₂	FPLINE, FPFRAME, FPSHIFT, FPDAT, FPDRDYアクティブ→LCDパワーオン	1			フレーム
t ₃	パワーセーブアクティブ→LCDパワーオフ	1			フレーム
t ₄	パワーセーブアクティブ→FPLINE, FPFRAME, FPSHIFT, FPDAT, FPDRDYインアクティブ			1	フレーム

注) LCDパネル電源の供給制御には任意の入出力ポートを使用可能です。ただし、信号の出力を制御する際、t₂とt₃のタイミング条件を満たす必要があります。

■4ビットシングルモノクロパネルタイミング



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。FPSMASK (D29/0x301A60) は1に設定されているものとします。

VDP = 垂直表示期間 = VDPCNT[9:0] + 1 (ライン)

VNDP = 垂直非表示期間 = VTCNT[9:0] - VDPCNT[9:0] (ライン)

HDP = 水平表示期間 = (HDPCNT[6:0] + 1) × 8 (Ts)

HNRP = 水平非表示期間 = (HTCNT[6:0] - HDPCNT[6:0]) × 8 (Ts)

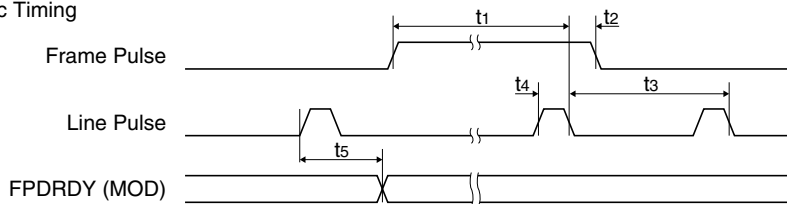
VDPCNT[9:0] (D[9:0]/0x301A14)

VTCNT[9:0] (D[25:16]/0x301A14)

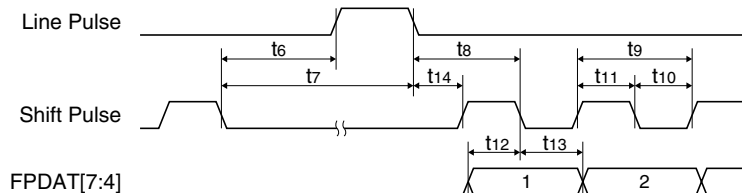
HDPCNT[6:0] (D[6:0]/0x301A10)

HTCNT[6:0] (D[22:16]/0x301A10)

Sync Timing



Data Timing



注: FPSMASK (D29/0x301A60) が1に設定されている場合のタイミング例です。

4ビットモノクロパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t_2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			T_s
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			T_s
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			T_s
t_6	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	$t_{14}+2$			T_s
t_9	シフトパルス周期	4			T_s
t_{10}	シフトパルスLowパルス幅	2			T_s
t_{11}	シフトパルスHighパルス幅	2			T_s
t_{12}	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	2			T_s
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	2			T_s
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			T_s

注) 1. T_s = ピクセルクロック周期

2. $t_{1min} = t_{3min} - 9 (T_s)$

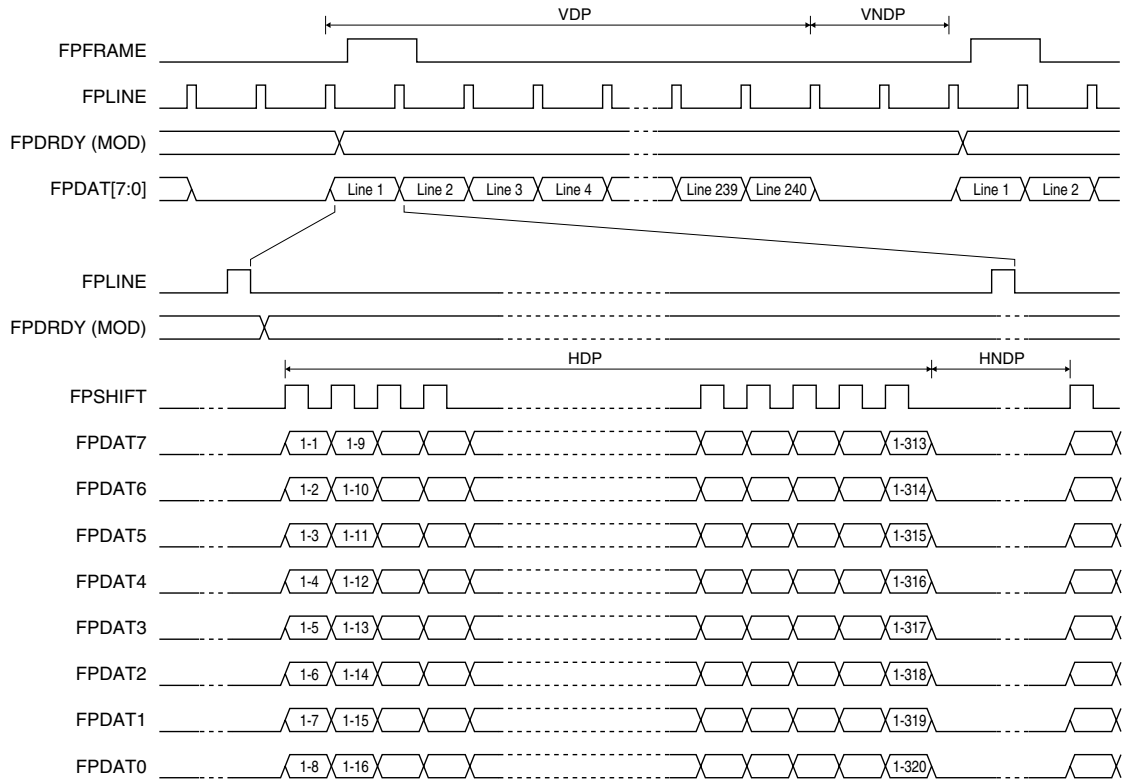
3. $t_{3min} = (HTCNT[6:0] + 1) \times 8 (T_s)$

4. $t_{6min} = (HTCNT[6:0] - HDPCNT[6:0]) \times 8 + 2 (T_s)$

5. $t_{7min} = (HTCNT[6:0] - HDPCNT[6:0]) \times 8 + 11 (T_s)$

■8ビットシングルモノクロパネルタイミング

E char



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。FPSMASK (D29/0x301A60) は1に設定されているものとします。

VDP = 垂直表示期間 = $\text{VDP CNT}[9:0] + 1$ (ライン)

VNDP = 垂直非表示期間 = $\text{VTCNT}[9:0] - \text{VDP CNT}[9:0]$ (ライン)

HDP = 水平表示期間 = $(\text{HDP CNT}[6:0] + 1) \times 8$ (Ts)

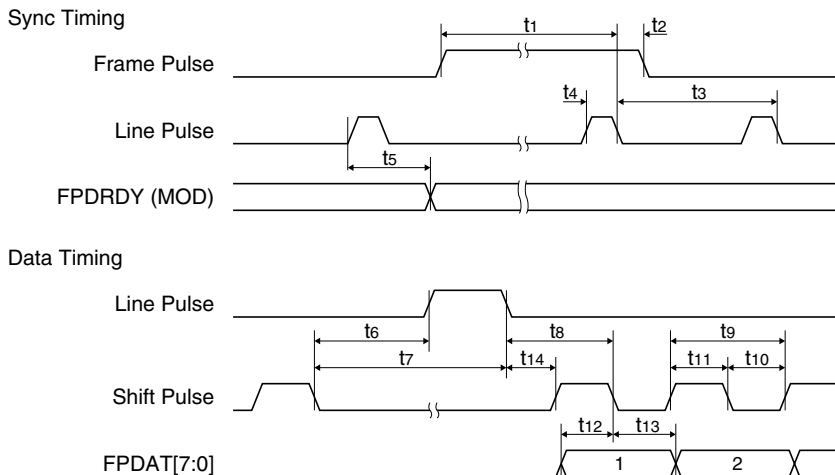
HNDP = 水平非表示期間 = $(\text{HTCNT}[6:0] - \text{HDP CNT}[6:0]) \times 8$ (Ts)

VDP CNT[9:0] (D[9:0]/0x301A14)

VTCNT[9:0] (D[25:16]/0x301A14)

HDP CNT[6:0] (D[6:0]/0x301A10)

HTCNT[6:0] (D[22:16]/0x301A10)



注: FPSMASK(D29/0x301A60)が1に設定されている場合のタイミング例です。

8ビットモノクロパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14+4			Ts
t9	シフトパルス周期	8			Ts
t10	シフトパルスLowパルス幅	4			Ts
t11	シフトパルスHighパルス幅	4			Ts
t12	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	4			Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	4			Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注) 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

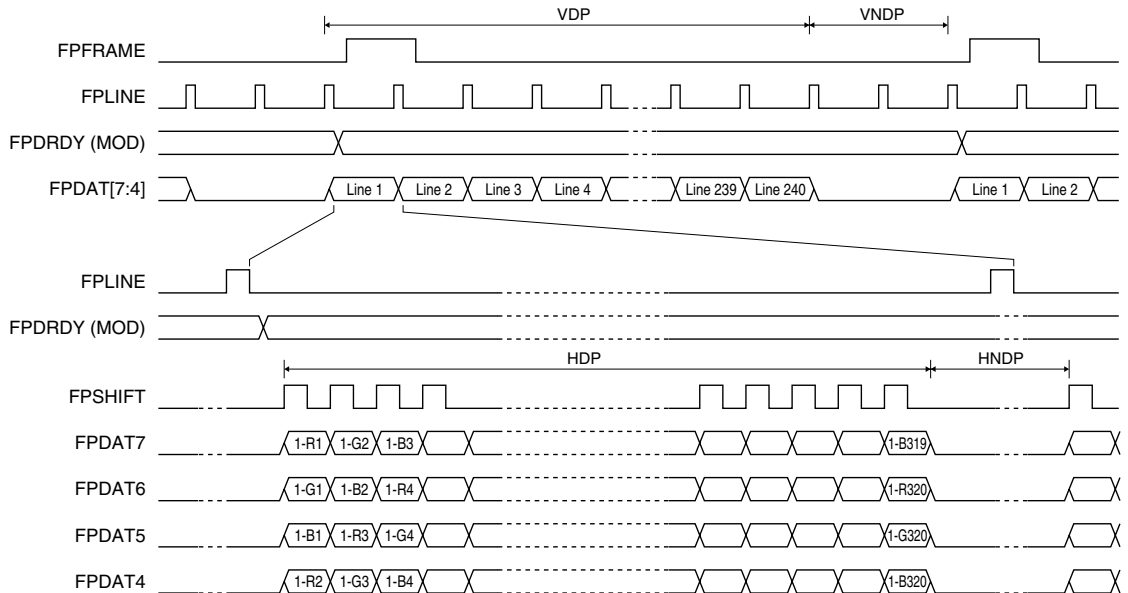
3. t3min = (HTCNT[6:0] + 1) × 8 (Ts)

4. t6min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 4 (Ts)

5. t7min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 13 (Ts)

■4ビットシングルカラーパネルタイミング

E char



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = $\text{VDPCNT}[9:0] + 1$ (ライン)

VNDP = 垂直非表示期間 = $\text{VTCNT}[9:0] - \text{VDPCNT}[9:0]$ (ライン)

HDP = 水平表示期間 = $(\text{HDPCNT}[6:0] + 1) \times 8$ (Ts)

HNDP = 水平非表示期間 = $(\text{HTCNT}[6:0] - \text{HDPCNT}[6:0]) \times 8$ (Ts)

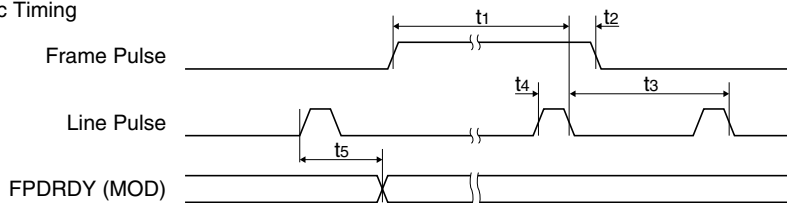
$\text{VDPCNT}[9:0]$ (D[9:0]/0x301A14)

$\text{VTCNT}[9:0]$ (D[25:16]/0x301A14)

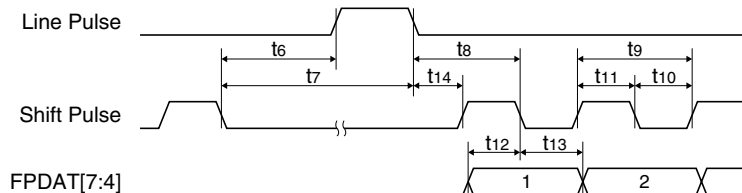
$\text{HDPCNT}[6:0]$ (D[6:0]/0x301A10)

$\text{HTCNT}[6:0]$ (D[22:16]/0x301A10)

Sync Timing



Data Timing



4ビットシングルカラーパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14+0.5			Ts
t9	シフトパルス周期	1			Ts
t10	シフトパルスLowパルス幅	0.5			Ts
t11	シフトパルスHighパルス幅	0.5			Ts
t12	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	0.5			Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	0.5			Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23(24)			Ts

注) 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

3. t3min = (HTCNT[6:0] + 1) × 8 (Ts)

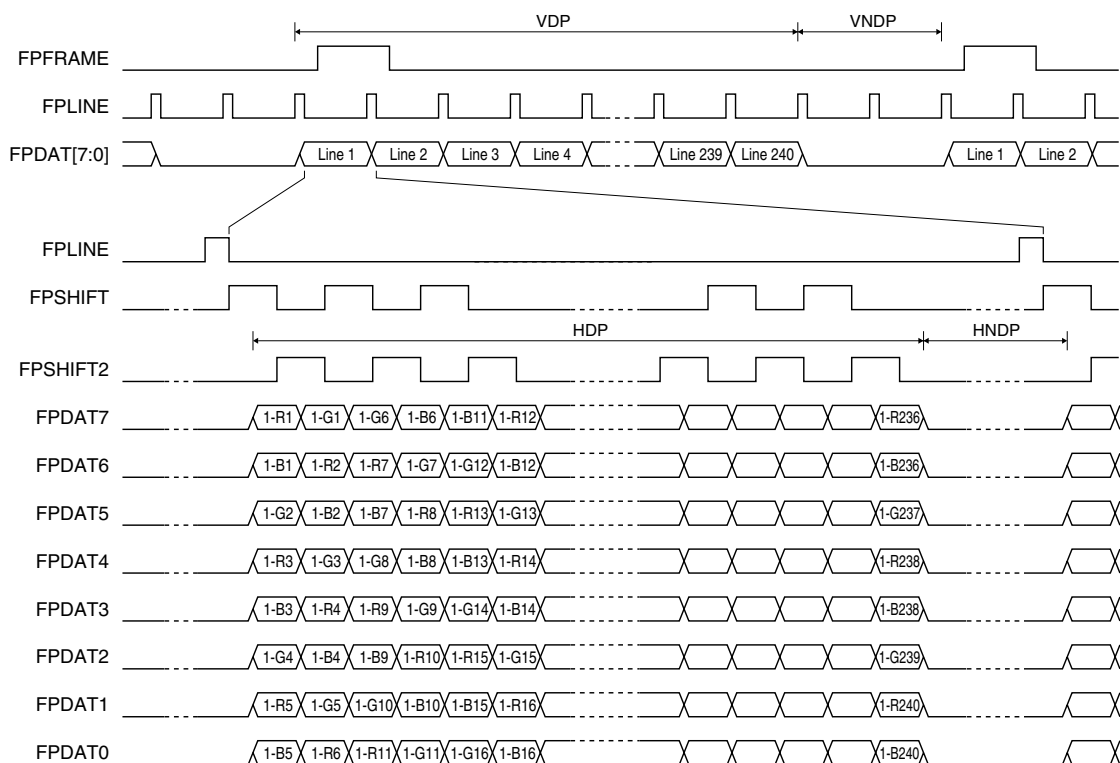
4. t6min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 1.5 (Ts)

5. t7min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 10.5 (Ts)

■8ビットシングルカラーパネルタイミング (Format 1)

I

E char



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = VDPCNT[9:0] + 1 (ライン)

VNDP = 垂直非表示期間 = VTCNT[9:0] - VDPCNT[9:0] (ライン)

$$\text{HDP} = \text{水平表示期間} = (\text{HDPCNT}[6:0] + 1) \times 8 \text{ (Ts)}$$
$$\text{HNDP} = \text{水平非表示期間} = (\text{HTCNT}[6:0] - \text{HDPCNT}[6:0]) \times 8 \text{ (Ts)}$$

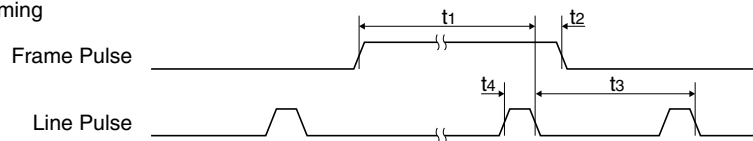
VDPCNT[9:0] (D[9:0]/0x301A14)

VTCNT[9:0] (D[25:16]/0x301A14)

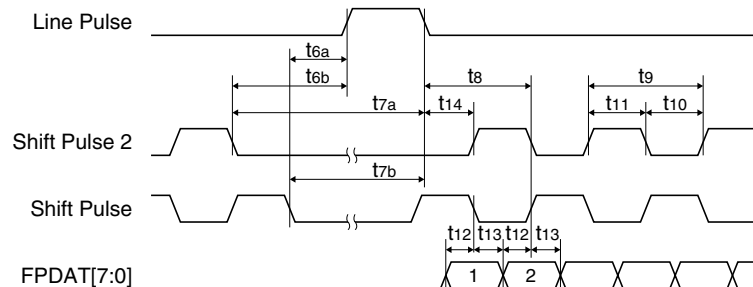
HDPCNT[6:0] (D[6:0]/0x301A10)

HTCNT[6:0] (D[22:16]/0x301A10)

Sync Timing



Data Timing



8ビットシングルカラーパネルACタイミング (Format 1)

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t6a	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t6b	シフトパルス2立ち上がりエッジ→ラインパルス立ち上がりエッジ	注5			
t7a	シフトパルス2立ち上がりエッジ→ラインパルス立ち上がりエッジ	注6			
t7b	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注7			
t8	ラインパルス立ち上がりエッジ→シフトパルス立ち上がり, シフトパルス2立ち上がりエッジ	t14+2			Ts
t9	シフトパルス2, シフトパルス周期	4			Ts
t10	シフトパルス2, シフトパルスLowパルス幅	2			Ts
t11	シフトパルス2, シフトパルスHighパルス幅	2			Ts
t12	FPDAT[7:0]セットアップ→シフトパルス2, シフトパルス立ち上がりエッジ	1			Ts
t13	シフトパルス2, シフトパルス立ち上がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	ラインパルス立ち上がりエッジ→シフトパルス立ち上がりエッジ	23(25)			Ts

注) 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

3. t3min = (HTCNT[6:0] + 1) × 8 (Ts)

4. t6amin = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + t13 - t10 + 1 (Ts)

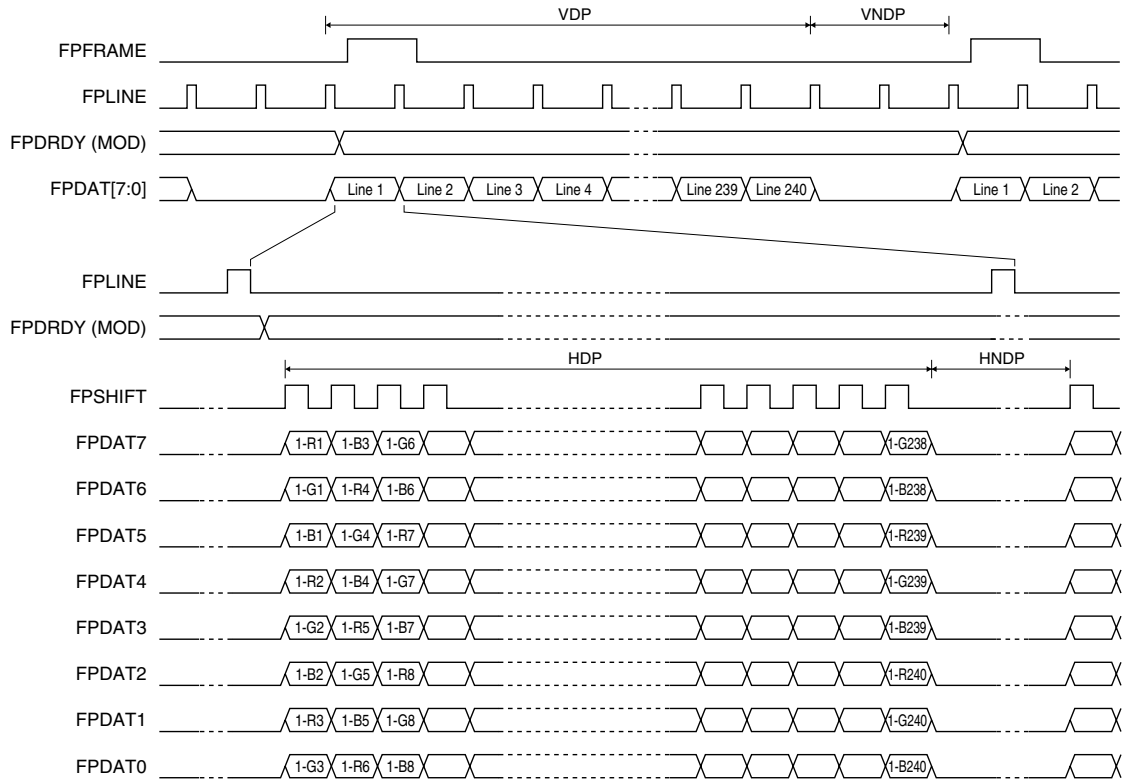
5. t6bmin = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + t13 + 1 (Ts)

6. t7amin = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 11 (Ts)

7. t7amin = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 11 - t10 (Ts)

■8ビットシングルカラーパネルタイミング (Format 2)

E char



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = $\text{VDPCNT}[9:0] + 1$ (ライン)

VNDP = 垂直非表示期間 = $\text{VTCNT}[9:0] - \text{VDPCNT}[9:0]$ (ライン)

HDP = 水平表示期間 = $(\text{HDPCNT}[6:0] + 1) \times 8$ (Ts)

HNDP = 水平非表示期間 = $(\text{HTCNT}[6:0] - \text{HDPCNT}[6:0]) \times 8$ (Ts)

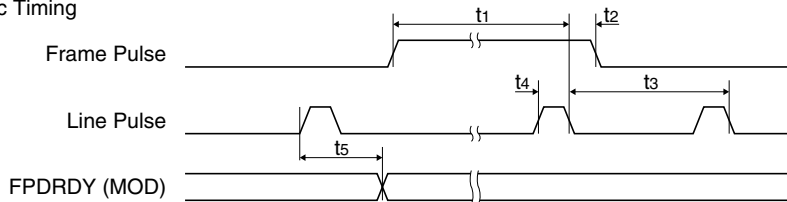
$\text{VDPCNT}[9:0]$ (D[9:0]/0x301A14)

$\text{VTCNT}[9:0]$ (D[25:16]/0x301A14)

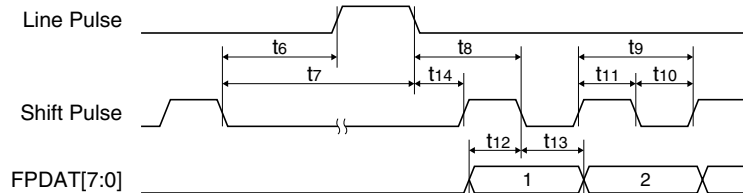
$\text{HDPCNT}[6:0]$ (D[6:0]/0x301A10)

$\text{HTCNT}[6:0]$ (D[22:16]/0x301A10)

Sync Timing



Data Timing



8ビットシングルカラーパネルACタイミング (Format 2)

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14+2			Ts
t9	シフトパルス周期	2(3)			Ts
t10	シフトパルスLowパルス幅	1			Ts
t11	シフトパルスHighパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	1			Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注) 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

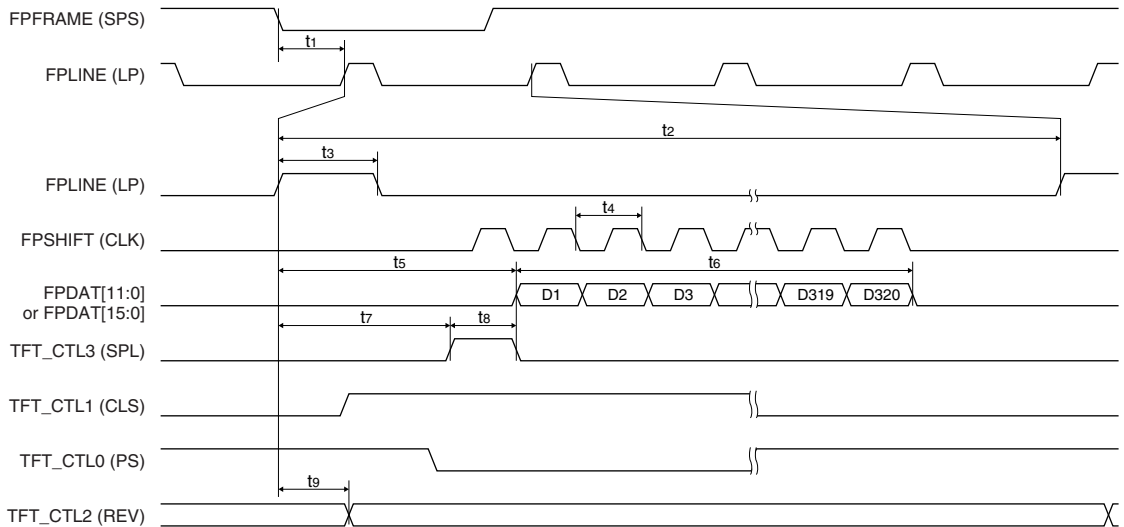
3. t3min = (HTCNT[6:0] + 1) × 8 (Ts)

4. t6min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 1 (Ts)

5. t7min = (HTCNT[6:0] - HDPCNT[6:0]) × 8 + 10 (Ts)

■12/16ビット汎用HR-TFTパネルタイミング

(1) HR-TFTパネル水平タイミング



図は320×240パネルのタイミング例です。

記号	項 目	Min.	Typ.	Max.	単位
t ₁	FPLINE開始位置		注2		(注1)
t ₂	水平トータル期間	400	注3	440	Ts
t ₃	FPLINEパルス幅		注4		Ts
t ₄	FPSHIFT周期		1		Ts
t ₅	水平表示開始位置		注5		Ts
t ₆	水平表示期間		注6		Ts
t ₇	FPLINE立ち上がりエッジ→TFT_CTL3立ち上がりエッジ		59		Ts
t ₈	TFT_CTL3パルス幅		1		Ts
t ₉	FPLINE立ち上がりエッジ→TFT_CTL2変化		11		Ts

注) 1. Ts = ピクセルクロック周期

2. t_{1typ} = FPLST[9:0] + 1 (Ts)

3. t_{2typ} = (HTCNT[6:0] + 1) × 8 (Ts)

4. t_{3typ} = FPLWD[6:0] + 1 (Ts)

5. t_{5typ} = HDPSCNT[9:0] + 1 (Ts)

6. t_{6typ} = (HDPCNT[6:0] + 1) × 8 (Ts)

FPLST[9:0] (D[25:16]/0x301A28)

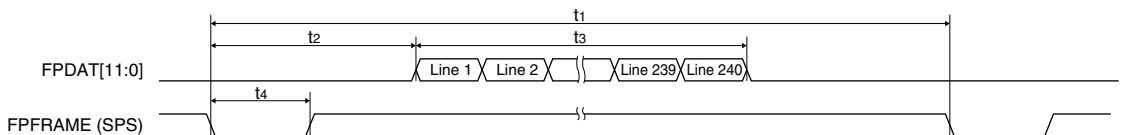
HTCNT[6:0] (D[22:16]/0x301A10)

FPLWD[6:0] (D[6:0]/0x301A28)

HDPSCNT[9:0] (D[9:0]/0x301A20)

HDPCNT[6:0] (D[6:0]/0x301A10)

(2) HR-TFTパネル垂直タイミング



図は320×240パネルのタイミング例です。

記号	項 目	Min.	Typ.	Max.	単位
t ₁	垂直トータル期間	245	注1	330	ライン
t ₂	垂直表示開始位置		注2		ライン
t ₃	垂直表示期間		注3		ライン
t ₄	垂直同期パルス幅		2		ライン

注) 1. t_{1typ} = VTCNT[9:0] + 1 (ライン)

2. t_{2typ} = VDPSCNT[9:0] (ライン)

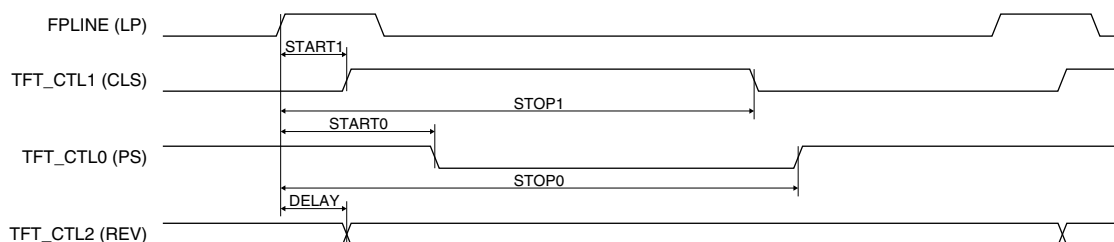
3. t_{3typ} = VDPCNT[9:0] + 1 (ライン)

VTCNT[9:0] (D[25:16]/0x301A14)

VDPSCNT[9:0] (D[9:0]/0x301A24)

VDPCNT[9:0] (D[9:0]/0x301A14)

(3) HR-TFTパネル制御信号オフセットタイミング



図はFPLST[9:0] (D[25:16]/0x301A28) = 0x0の場合のタイミング例です。

START1 = CTL1ST[7:0] (Ts)	CTL1ST[7:0] (D[7:0]/0x301A44)
STOP1 = CTL1STP[7:0] + 1 (Ts)	CTL1STP[7:0] (D[23:16]/0x301A44)
START0 = CTL0ST[7:0] (Ts)	CTL0ST[7:0] (D[7:0]/0x301A48)
STOP0 = CTL0STP[7:0] + 1 (Ts)	CTL0STP[7:0] (D[23:16]/0x301A48)
DELAY = CTL2DLY[7:0] (Ts)	CTL2DLY[7:0] (D[7:0]/0x301A4C)

I.7.9 USB DC & AC特性

■入力レベル

(特記なき場合: V_{DD}=3.0V~3.6V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
VBUS入力電圧	VBUS		4.40	—	5.25	V	1
高レベル入力電圧(駆動時)	VIH		2.0	—	—	V	2
高レベル入力電圧 (フローティング状態)	VIHZ		2.7	—	3.6	V	2
低レベル入力電圧	VIL		—	—	0.8	V	2
差動入力感度	VDI	IDP - DMI	0.2	—	—	V	
差動コモンモードレンジ	VCM	VDIレンジを含む	0.8	—	2.5	V	

注) 1. 条件についてはUSB2.0仕様書の7.2.1節参照

2. 条件についてはUSB2.0仕様書の7.1.4節参照

■出力レベル

(特記なき場合: V_{DD}=3.0V~3.6V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
低レベル出力電圧	VOL		0.0	—	0.3	V	3
高レベル出力電圧(駆動時)	VOH		2.8	—	3.6	V	3
出力信号クロスオーバー電圧	VCRS		1.3	—	2.0	V	4

注) 3. 条件についてはUSB2.0仕様書の7.1.1節参照

4. 条件についてはUSB2.0仕様書の図7-8および図7-9参照

■終端

(特記なき場合: V_{DD}=3.0V~3.6V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
アップストリームポート側 バスプルアップ抵抗 (バスアイドル時)	RPUI		0.9	—	1.575	kΩ	5
アップストリームポート側 バスプルアップ抵抗 (受信時)	VPUA		1.425	—	3.090	kΩ	5

注) 5. 条件についてはUSB2.0仕様書のECN参照

■ドライバ特性

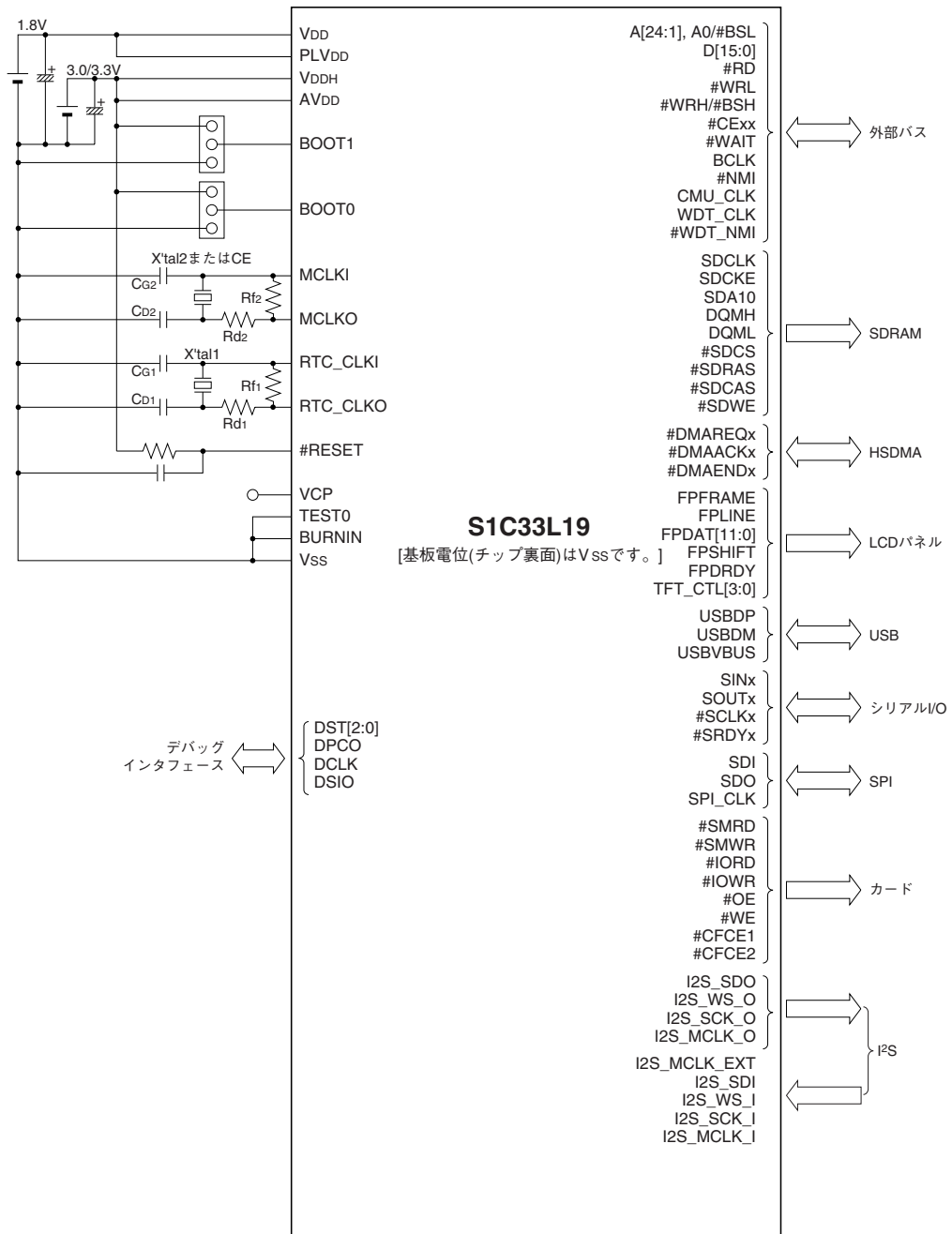
(特記なき場合: V_{DD}=3.0V~3.6V, V_{DD}=1.65V~1.95V, Ta=-40°C~+85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
立ち上がり時間	TFR		4	—	20	ns	4
立ち下がり時間	TFF		4	—	20	ns	4
差動立ち上がり/立ち下がり 整合	TFRFM	TFR/TFF	90	—	111.11	%	
ドライバ出力励行	ZDRV		28	—	44	Ω	
VBUS入力インピーダンス	ZVBUS	R1 + R2	125	—	—	kΩ	
VBUS抵抗分割比		R1 : R2	1 : 2 (定格)				

注) 4. 条件についてはUSB2.0仕様書の図7-8および図7-9参照

このページはブランクです。

I.8 基本外部結線図



X'tal1	水晶振動子	32.768kHz	
Cg1	ゲート容量	12pF	*4
Cd1	ドレイン容量	12pF	*4
Rf1	帰還抵抗	10MΩ	*4
Rd1	ドレイン抵抗	0Ω	*4

X'tal2 or CE	振動子	水晶	セラミック *1
Cg2	ゲート容量	3pF	(6pF) *2, *3
Cd2	ドレイン容量	4pF	(6pF) *2, *3
Rf2	帰還抵抗	1MΩ	22kΩ *2
Rd2	ドレイン抵抗	0Ω	47Ω *2

注: *1 CSTCW48M0X11***

*2 発振特性は諸条件(使用部品、基板パターンなど)により変化します。ここに記載されている値は一例であり、特に動作を保証するものではありません。特にセラミック発振は外部部品や基板による影響に非常に敏感です。

セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。

*3 セラミック発振子の内蔵容量です。

*4 発振特性は諸条件(使用部品、基板パターンなど)により変化します。ここに記載されている値は一例であり、特に動作を保証するものではありません。

このページはブランクです。

I.9 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

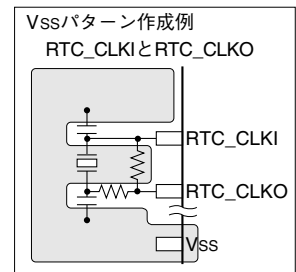
■発振回路

- 発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、RTC_CLKO端子とその回路構成部品および配線です。RTC_CLKI端子の処理もこれらと同様に重要です。以下、RTC_CLKI、RTC_CLKO端子のノイズ対策を記載します。

なお、MCLKI、MCLKO端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- RTC_CLKI、RTC_CLKO端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- RTC_CLKI、RTC_CLKO端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- RTC_CLKI、RTC_CLKO端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- RTC_CLKI、MCLKI端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。RTC_CLKO、MCLKO端子は開放してください。
- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

CMU_CLK端子の出力をオシロスコープなどで確認します。

OSC3あるいはPLLの出力波形の品質は、CMU_CLK出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質もCMU_CLK出力で確認します(システムクロックソースをOSC1に切り換え後)。特にクロックの立ち上がり/立ち下りの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

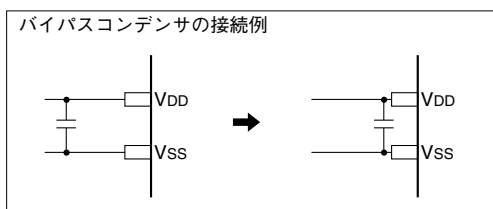
(1)~(3)の対応が不十分な場合、OSC3やPLL出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3やPLL出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するRTCや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

■リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

■電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
- (1) 電源からVDD、VDDH、VSS、AVDD、PLVDD、およびPLVSS端子へはできるだけ短くかつ太いパターンで接続してください。特にAVDD電源は、A/D変換器に用いるため変換精度に影響を与えます。
 - (2) VDD-VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。

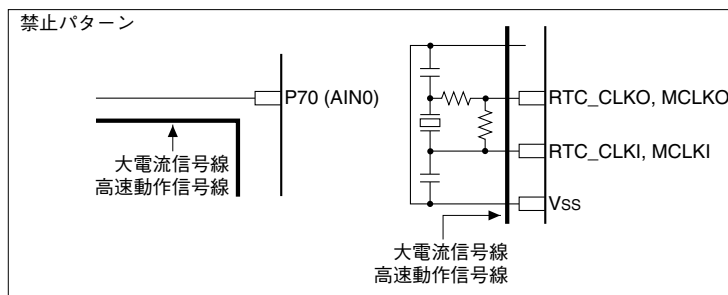


■A/D変換器

- A/D変換器を使用しない場合でも、AVDDをVDDHに接続してください。

■信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



■USB

本チップに搭載のUSBファンクションコントローラのI/O部は以下の特長を持ちます。

DP、DM端子は直接USBコネクタに接続できます。

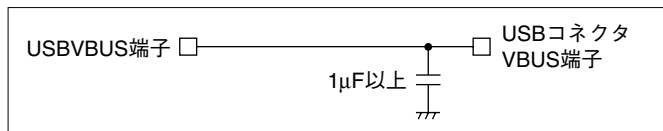
VBUSは、チップ内部で2/3に抵抗分割して検出していますので、5Vの直接入力が可能です。

USBコネクタからUSBケーブルが抜かれてもレシーバはフローティング状態にはなりません。また、USBケーブルが抜かれるとVBUS端子はV_{ss}となり、USB I/O部の消費電力はリーク電流によるもののみとなります。

●VBUSについての注意

VBUS端子には、最大でも6Vを越える電圧がかからないようにしてください。これを越えた場合、ICが破損することがあります。

特に、ケーブル挿入時の入力電圧のオーバーシュートやホスト電源が不安定になることを抑えることが必要で、USBコネクタの近くに1 μ F、もしくはそれ以上のコンデンサを接続してVBUSをデカップリングしてください。また、このコンデンサにはできるだけセラミックコンデンサを使用してください。



上記の対策を施すとともに、実機上でもVBUSの状態に問題のないことをオシロスコープなどで十分に確認してください。

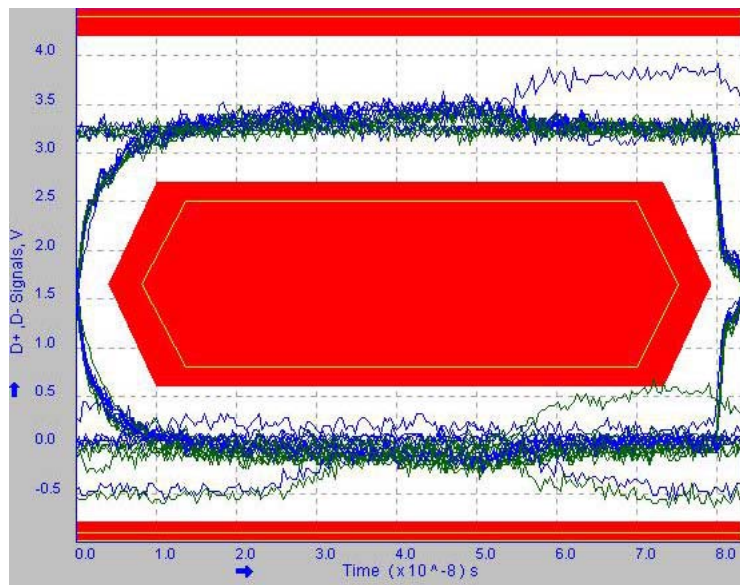
長いUSBケーブルを使用し、ホスト側のコネクタに挿入した際に、オーバーシュートなどの現象はより起きやすくなります。

●DP、DMについての注意

プリント回路基板を設計する際には、以下の点に注意してDPおよびDM信号を配線してください。

- スキューの防止、差動インピーダンスの安定を図るため、DP信号線とDM信号線はできるだけ平行で同じ長さとし、最短距離で端子とコネクタを接続してください。これらの配線がクロスすることはできる限り避けてください。
- これらの信号線の周囲はGNDパターンで囲み、直下の内層もGNDパターンを作成してください。特に、高速なデジタル信号線の並走やクロスはできる限り避けてください。

最終的には、実機上でのEYEパターンの確認を推奨します。



EYEダイアグラム

■ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の5点について確認してみてください。

(1) TEST0端子

この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TEST0端子は必ず基板上でGNDに接続してください。

IC内にプルダウン抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。

製品版では、DSIO端子をV_{DD}に直結、もしくは10k Ω 以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

詳細は“S1C33 Familyアプリケーションノート”を参照してください。

(3) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。

回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

詳細は“S1C33 Familyアプリケーションノート”を参照してください。

(4) #NMI端子

この端子にLowレベルのノイズが入るとNMIが発生します。

回路設計上、#NMIが高レベル状態でのインピーダンスが高いときに起こりやすくなります。

#NMIが高レベルの場合のインピーダンスを下げるか、誤動作しても問題ないようにソフトウェアで対応してください。

(5) V_{DD}、V_{SS}、V_{DDH}電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1k Ω 以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTEST0、DSIO、#RESET、#NMI入力の回路は入力信号のエッジを検出しているため(#NMIはレベル検出に設定可能)、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。

目安としては1k Ω 以下、できれば0 Ω となるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。

特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

■参考資料

“S1C33 Familyアプリケーションノート”の“4 S1C33チップ用ボードの基本回路”には、電源、発振、リセット、メモリ、ポートおよびデバッグについて、より詳しい注意点が記載されていますので参照してください。

■その他

本製品シリーズは0.18 μ m微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全発振回路入出力端子は、内部の0.18 μ mトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的变化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Mount

このページはブランクです。

S1C33L19 Technical Manual

II バスモジュール

II.1 高速DMA (HSDMA)

II.1.1 HSDMAの機能概要

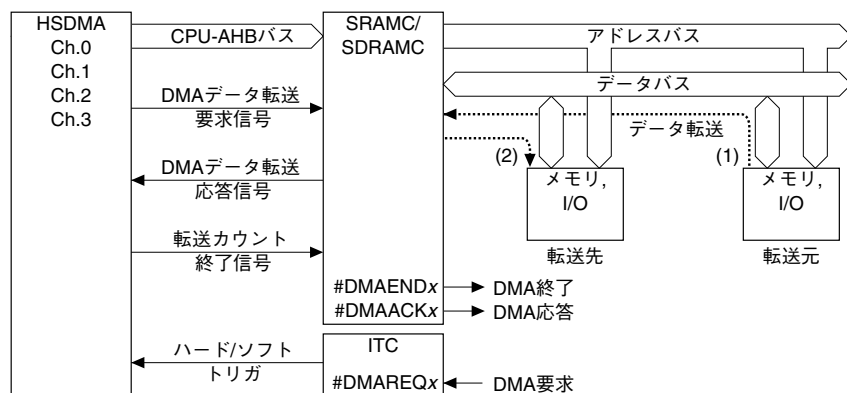
SI1C33L19は、デュアルアドレス転送およびシングルアドレス転送に対応した4チャネルのHSDMA(高速DMA)回路を内蔵しています。HSDMA機能に必要な制御レジスタはロジック回路により構成されているため、HSDMA要求に即座に対応してデータ転送を行います。

注: HSDMAのCh.0~Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名にはチャンネル番号を示す0~3が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は0~3を'x'に置き換えて説明します。

■デュアルアドレス転送

この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出します。次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。

メモリ上に転送情報を持つインテリジェントDMAとは異なり、DMAリンク機能はありませんが、転送条件等をメモリから読み出す必要がありませんので、高速なDMA転送が行えます。



(1) 転送元メモリもしくはI/Oデバイスから転送データを読み出します。

(2) 転送先メモリもしくはI/Oデバイスへ転送データを書き込みます

図11.1.1.1 デュアルアドレス転送

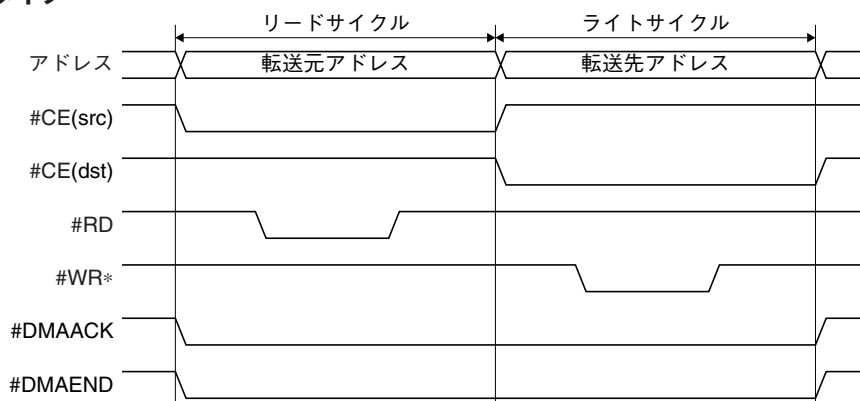
デュアルアドレス転送の特長を以下に示します。

・転送元	外部メモリ、エリア0と1以外の内蔵メモリ
・転送先	外部メモリ、エリア0と1以外の内蔵メモリ
・転送データサイズ	8、16または32ビット
・トリガ	1. ソフトウェアトリガ(レジスタ制御) 2. ハードウェアトリガ(外部トリガ入力、割り込み要因)
・転送モード	1. シングル転送(1トリガで1データのみを転送) 2. 連続転送(1トリガで指定数のデータを連続して転送) 3. ブロック転送(1トリガで指定サイズのデータブロックを転送)
・転送アドレス制御	転送後、転送データサイズに従って転送元/転送先アドレスをインクリメント/デクリメント可能 連続転送、ブロック転送では転送終了後にアドレスの初期化が可能
・#DMAEND信号出力	各トリガによる転送の最後のアクセスでLow出力
・#DMAACK信号出力	DMA要求を受け付けるとLow出力

注: A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、IVRAM(エリア0)をDMA転送元または転送先に指定することはできません。IVRAM(エリア3)、DST RAM(エリア3)、エリア6の周辺I/OレジスタはDMA転送に使用可能です。

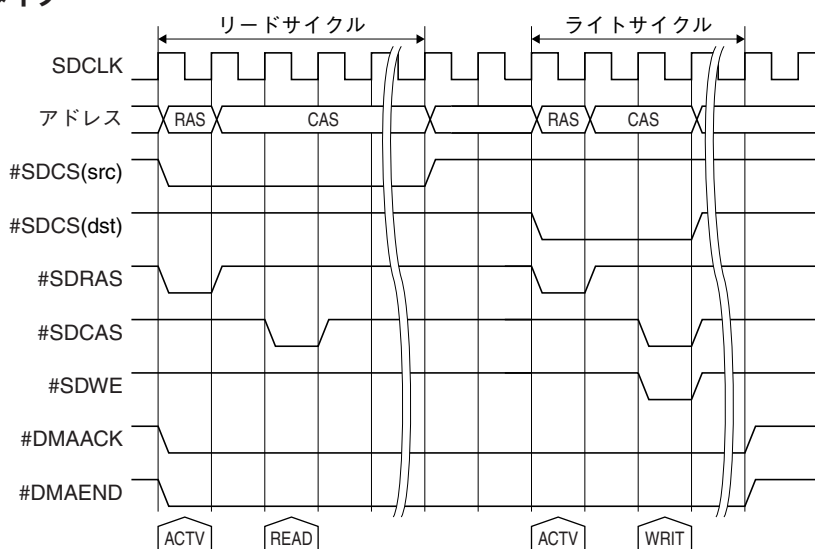
デュアルアドレスモードのタイミングチャート

(1) SRAMタイプ



図II.1.1.2 #DMAACK/#DMAEND信号出力タイミング(SRAMタイプ、標準設定)

(2) SDRAMタイプ



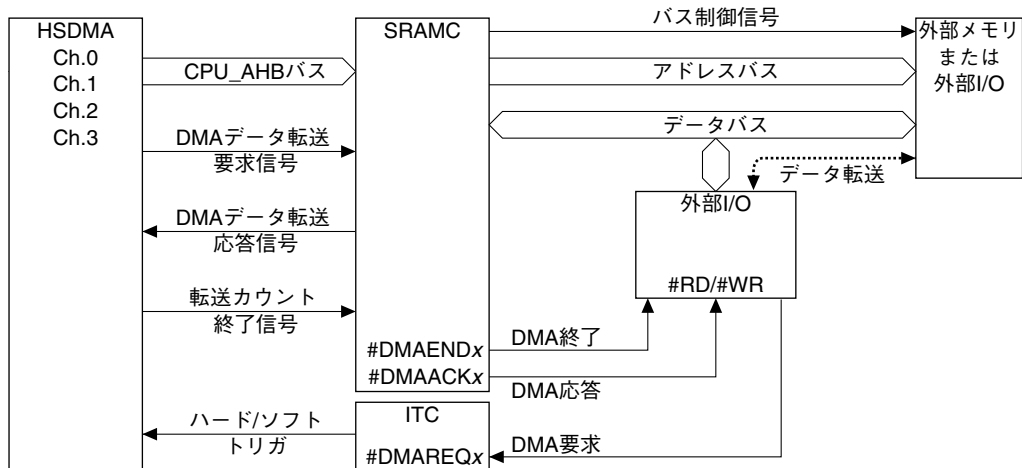
図II.1.1.3 #DMAACK/#DMAEND信号出力タイミング(SDRAMタイプ、標準設定)

注: 外部メモリのデバイスサイズが転送データサイズより小さい場合、複数回のアクセスサイクルが発生しますが、#DMAACK/#DMAEND信号はその複数回のアクセスの期間アクティブとなります。

■ シングルアドレス転送

この転送方式では、通常はデータの読み出しと書き込みを連続的に実行して実現するデータ転送を、外部バス上で一度に実行することによって一層の高速化を図っています。データ転送の制御に#DMAACK_xおよび#DMAEND_x信号を使用します。

デュアルアドレス転送とは異なり、メモリ間のデータ転送は行えませんが、最小サイクルでデータ転送が行えます。



図II.1.1.4 シングルアドレス転送

シングルアドレス転送の特長を以下に示します。

- 転送元/転送先
 1. 外部I/O ↔ 外部メモリ間 (SDRAMを除く)
 2. 外部I/O ↔ 外部I/O間
- 転送データサイズ
 - 8、16または32ビット
- トリガ
 1. ソフトウェアトリガ (レジスタ制御)
 2. ハードウェアトリガ (外部トリガ入力、割り込み要因)
- 転送モード
 1. シングル転送 (1トリガで1データのみを転送)
 2. 連続転送 (1トリガで指定数のデータを連続して転送)
 3. ブロック転送 (1トリガで指定サイズのデータブロックを転送)
- 転送アドレス制御

転送後、転送データサイズに従って転送元/転送先アドレスをインクリメント/デクリメント可能

連続転送、ブロック転送では転送終了後にアドレスの初期化が可能
- #DMAEND信号出力

各トリガによる転送の最後のアクセスでLow出力
- #DMAACK信号出力

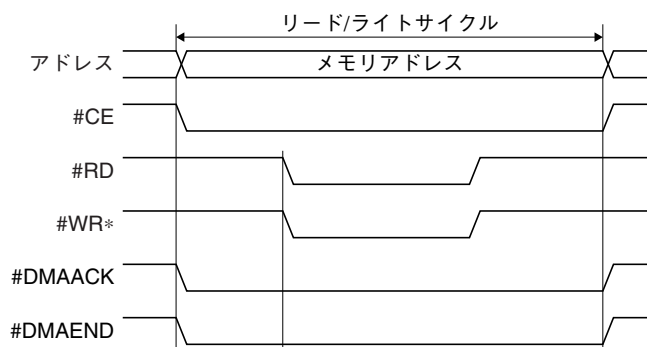
外部I/Oのアクセス用にすべてのサイクルで出力

注: • A0RAM (エリア0)、ファームウェア用内部シーケンサ (エリア1)、エリア2、IVRAM (エリア0またはエリア3)、DST RAM (エリア3)、エリア6の周辺I/Oレジスタをシングルアドレス転送には使用できません。

- シングルアドレスモードでは、基本的にメモリ間のデータ転送は行えません。メモリ間のシングルアドレス転送を行うには外部ロジックが必要となります。
- 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。

シングルアドレスモードのタイミングチャート

(1)SRAMタイプ



図II.1.1.5 #DMAACK/#DMAEND信号出力タイミング(SRAMタイプ、標準設定)

(2)SDRAMタイプ

シングルアドレスモードでは、SDRAMはサポートされていません。

II.1.2 HSDMAの入出力端子

表II.1.2.1にHSDMAで使用する端子を示します。

表II.1.2.1 HSDMAの入出力端子

端子名	I/O	機能
#DMAREQ0	I	HSDMA Ch.0用DMA転送要求入力端子
#DMAREQ1	I	HSDMA Ch.1用DMA転送要求入力端子
#DMAREQ2	I	HSDMA Ch.2用DMA転送要求入力端子
#DMAREQ3	I	HSDMA Ch.3用DMA転送要求入力端子
#DMAACK0	O	HSDMA Ch.0用DMA応答信号出力端子
#DMAACK1	O	HSDMA Ch.1用DMA応答信号出力端子
#DMAACK2	O	HSDMA Ch.2用DMA応答信号出力端子
#DMAACK3	O	HSDMA Ch.3用DMA応答信号出力端子
#DMAEND0	O	HSDMA Ch.0用転送終了信号出力端子
#DMAEND1	O	HSDMA Ch.1用転送終了信号出力端子
#DMAEND2	O	HSDMA Ch.2用転送終了信号出力端子
#DMAEND3	O	HSDMA Ch.3用転送終了信号出力端子

■#DMAREQx(DMA要求入力端子)

外部周辺回路からのDMA要求信号を入力する場合に使用します。このトリガ(信号の立ち上がり/立ち下がりを選択可)により1回のデータ転送が行われます。#DMAREQ0～#DMAREQ3はそれぞれCh.0～Ch.3の入力端子です。

この外部入力以外にも、HSDMAのトリガ要因としてソフトウェアトリガまたは割り込み要因を割り込みコントローラで選択できます。

■#DMAACKx(DMA応答信号出力端子)

DMAコントローラがDMA要求を受け付けたことを示す#DMAACKx信号を出力します。

シングルアドレスモードの場合、転送元あるいは転送先となるI/Oデバイスは、この信号に同期してデータを外部バスに出力、あるいは外部バスからデータを取り込みます。#DMAACK0～#DMAACK3はそれぞれCh.0～Ch.3の出力端子です。

デュアルアドレスモードでもこの信号が出力されます。

#DMAACKx信号の波形は、図II.1.1.2、II.1.1.3、II.1.1.5を参照してください。

■#DMAENDx(転送終了信号出力端子)

制御レジスタに設定した回数のデータ転送が終了したことを示す#DMAENDx信号を出力します。

#DMAEND0～#DMAEND3はそれぞれCh.0～Ch.3の出力端子です。

注: 上記の制御端子は、汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態でHSDMA以外の機能に設定されます。それらの端子に割り当てられているHSDMAの信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

II.1.3 コントロール情報のプログラミング

HSDMAは内部レジスタに設定されたコントロール情報によって動作します。

なお、レジスタの制御ビットにはアドレスモードにより機能が異なるものがありますので注意してください。

以下、コントロール情報の内容について説明します。HSDMAを使用する前に、それぞれの設定を行ってください。

II.1.3.1 標準モードと拡張モード

S1C33L19のHSDMAはC33 STDのHSDMAを基に機能が拡張されており、従来のHSDMAとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表II.1.3.1.1に動作モードによる機能の相違点を示します。

表II.1.3.1.1 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
転送元/転送先アドレスビット数	28ビット	32ビット
ワード(32ビット)データ転送	不可	可能
初期化付きアドレスデクリメント	不可	可能

拡張モードにするには、HSDMAADV(D0/0x30119C)を1に設定します。この設定後、拡張モード用制御レジスタ(0x301162～0x30119A)への書き込みが可能となります。イニシャルリセット時はHSDMAADV(D0/0x30119C)が0に設定され、標準モードになります。

* **HSDMAADV**: Standard/Advanced Mode Select Bit in the HSDMA STD/ADV Mode Select Register (D0/0x30119C)

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。

拡張モードの各機能については、HSDMAADV(D0/0x30119C)が1に設定されているものとして説明します。

注: • 拡張モードに設定した場合は、拡張モード用の制御レジスタを使用してください。

- 標準/拡張モードの設定は、HSDMAのすべてのチャンネルに適用されます。個別に設定することはできません。

II.1.3.2 IDMAとHSDMAのシーケンシャルアクセス時間

AHBバスの使用に関しては、DMAC(IDMAとHSDMA)の優先順位がCPUよりも高くなっています。したがって、デフォルト設定におけるDMA転送中は、転送が完了するまでCPUはAHBバスを使用することができません。また、SDRAM内のアドレス間でDMA転送が行われていると、LCDCもSDRAM内の表示データを読み出せなくなります。このDMAによる表示の不具合などを防ぐため、指定サイクル(シーケンシャルアクセス時間)を超えるDMA転送は一時的に中断して、バスをCPUあるいはLCDCに解放することができます。シーケンシャルアクセス時間はDMAACCTIME[3:0](D[3:0]/0x30119E)により制限なし、あるいは64サイクル~960サイクル(64 MCLKサイクル単位)に設定できます。

* **DMAACCTIME[3:0]**: IDMA and HSDMA Sequential Access Time Setup Bits in the DMA Sequential Access Time Register (D[3:0]/0x30119E)

表II.1.3.2.1 シーケンシャルアクセス時間の設定

DMAACCTIME3	DMAACCTIME2	DMAACCTIME1	DMAACCTIME0	DMAシーケンシャルアクセス時間
1	1	1	1	960サイクル
1	1	1	0	896サイクル
1	1	0	1	832サイクル
1	1	0	0	768サイクル
1	0	1	1	704サイクル
1	0	1	0	640サイクル
1	0	0	1	576サイクル
1	0	0	0	512サイクル
0	1	1	1	448サイクル
0	1	1	0	384サイクル
0	1	0	1	320サイクル
0	1	0	0	256サイクル
0	0	1	1	192サイクル
0	0	1	0	128サイクル
0	0	0	1	64サイクル
0	0	0	0	制限なし

(デフォルト: 0b0000 = 制限なし)

“制限なし”に設定すると、DMA転送を終了するまでAHBバスは解放されません。サイクル数を指定すると、DMA転送から指定時間が経過するとDMACはDMA転送を一時的に中断し、バスを解放します。CPUあるいはLCDCはこの間に、待たされていたバスアクセスを行います。この後、DMACは中断していたDMA転送を再開します。

II.1.3.3 デュアルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャネルをディセーブル($HSx\_EN(D0/0x30112C + 0x10 \cdot x) = 0$)にして行ってください。

* **HSx_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register ($D0/0x30112C + 0x10 \cdot x$)

■アドレスモード

アドレスモード選択ビットDUALMx($D15/0x301122 + 0x10 \cdot x$)を1(デュアルアドレスモード)に設定してください。イニシャルリセット時、このビットは0(シングルアドレスモード)に設定されます。

* **DUALMx**: Ch.x Address Mode Select Bit in the HSDMA Ch.x Control Register ($D15/0x301122 + 0x10 \cdot x$)

■転送モード

転送モードをDxMOD[1:0]($D[15:14]/0x30112A + 0x10 \cdot x$)で設定します。

* **DxMOD[1:0]**: Ch.x Transfer Mode Select Bits in the HSDMA Ch.x High-Order Destination Address Setup Register ($D[15:14]/0x30112A + 0x10 \cdot x$)

転送モードは以下の3種類から選択可能です。

シングル転送モード(DxMOD[1:0]($D[15:14]/0x30112A + 0x10 \cdot x$) = 00、デフォルト)

シングル転送モードは、1回のトリガに対して指定されたサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

連続転送モード(DxMOD[1:0]($D[15:14]/0x30112A + 0x10 \cdot x$) = 01)

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で0になります。

ブロック転送モード(DxMOD[1:0]($D[15:14]/0x30112A + 0x10 \cdot x$) = 10)

ブロック転送モードは、1回のトリガに対してBLKLENx[7:0]($D[7:0]/0x301120 + 0x10 \cdot x$)で設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

■転送データサイズ

標準モード(HSDMAADV(D0/0x30119C) = 0、デフォルト)

転送データ1個分のサイズをDATSIZEx($D14/0x301126 + 0x10 \cdot x$)ビットで設定します。

このビットが1の場合はハーフワードサイズ(16ビット)、0(デフォルト)の場合はバイトサイズ(8ビット)となります。

* **DATSIZEx**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x High-Order Source Address Setup Register ($D14/0x301126 + 0x10 \cdot x$)

拡張モード(HSDMAADV(D0/0x30119C) = 1)

拡張モードでは、DATSIZEx($D14/0x301126 + 0x10 \cdot x$)で選択するハーフワード、バイトに加え、WORDSIZEx($D0/0x301162 + 0x10 \cdot x$)によりワードサイズ(32ビット)も選択可能です。

* **WORDSIZEx**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x Control Register for ADV mode ($D0/0x301162 + 0x10 \cdot x$)

表II.1.3.3.1 拡張モードでの転送データサイズの選択

WORDSIZEx	DATSIZEx	転送データサイズ
1	X	ワード (32ビット)
0	1	ハーフワード (16ビット)
0	0	バイト (8ビット)

■ブロックサイズ

ブロック転送モード ($DxMOD[1:0](D[15:14]/0x30112A + 0x10 \cdot x) = 10$) の場合に、1回に転送されるブロックのサイズ(単位は選択されたデータサイズによる)を $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ で設定します。

* **BLKLENx[7:0]**: Ch.x Block Length Bits in the HSDMA Ch.x Transfer Counter Register
($D[7:0]/0x301120 + 0x10 \cdot x$)

注: ブロック転送モードを使用する場合は、必ずブロックサイズを0以外に設定してください。

シングル転送モード/連続転送モードでは、 $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ を転送回数のビット7~0の指定に使用します。

■転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数が $TCx\_L[7:0](D[15:8]/0x301120 + 0x10 \cdot x)$ と $TCx\_H[7:0](D[7:0]/0x301122 + 0x10 \cdot x)$ で指定できます。

* **TCx_L[7:0]**: Ch.x Transfer Counter [7:0] Bits in the HSDMA Ch.x Transfer Counter Register
($D[15:8]/0x301120 + 0x10 \cdot x$)

* **TCx_H[7:0]**: Ch.x Transfer Counter [15:8] Bits in the HSDMA Ch.x Control Register
($D[7:0]/0x301122 + 0x10 \cdot x$)

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数が $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ 、 $TCx\_L[7:0](D[15:8]/0x301120 + 0x10 \cdot x)$ および $TCx\_H[7:0](D[7:0]/0x301122 + 0x10 \cdot x)$ で指定できます。

注: 設定した転送回数は転送に従ってデクリメントされます。0を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

■転送元/転送先アドレス

標準モード (HSDMAADV(D0/0x30119C) = 0、デフォルト)

標準モードでは、28ビットの転送元および転送先アドレスを $SxADRL[15:0](D[15:0]/0x301124 + 0x10 \cdot x)$ 、 $SxADRH[11:0](D[11:0]/0x301126 + 0x10 \cdot x)$ 、 $DxADRL[15:0](D[15:0]/0x301128 + 0x10 \cdot x)$ および $DxADRH[11:0](D[11:0]/0x30112A + 0x10 \cdot x)$ で設定します。

* **SxADRL[15:0]**: Ch.x Source Address[15:0] in the HSDMA Ch.x Low-Order Source Address Setup Register
($D[15:0]/0x301124 + 0x10 \cdot x$)

* **SxADRH[11:0]**: Ch.x Source Address[27:16] in the HSDMA Ch.x High-Order Source Address Setup Register
($D[11:0]/0x301126 + 0x10 \cdot x$)

* **DxADRL[15:0]**: Ch.x Destination Address[15:0] in the HSDMA Ch.x Low-Order Destination Address Setup Register
($D[15:0]/0x301128 + 0x10 \cdot x$)

* **DxADRH[11:0]**: Ch.x Destination Address[27:16] in the HSDMA Ch.x High-Order Destination Address Setup Register
($D[11:0]/0x30112A + 0x10 \cdot x$)

拡張モード (HSDMAADV(D0/0x30119C) = 1)

拡張モードでは、32ビットの転送元および転送先アドレスを $SxADRL[15:0](D[15:0]/0x301164 + 0x10 \cdot x)$ 、 $SxADRH[15:0](D[15:0]/0x301166 + 0x10 \cdot x)$ 、 $DxADRL[15:0](D[15:0]/0x301168 + 0x10 \cdot x)$ および $DxADRH[15:0](D[15:0]/0x30116A + 0x10 \cdot x)$ で設定します。

* **SxADRL[15:0]**: Ch.x Source Address[15:0] in the HSDMA Ch.x Low-Order Source Address Setup Register for ADV mode
($D[15:0]/0x301164 + 0x10 \cdot x$)

* **SxADRH[15:0]**: Ch.x Source Address[31:16] in the HSDMA Ch.x High-Order Source Address Setup Register for ADV mode
($D[15:0]/0x301166 + 0x10 \cdot x$)

* **DxADRL[15:0]**: Ch.x Destination Address[15:0] in the HSDMA Ch.x Low-Order Destination Address Setup Register for ADV mode
($D[15:0]/0x301168 + 0x10 \cdot x$)

* **DxADRH[15:0]**: Ch.x Destination Address[31:16] in the HSDMA Ch.x High-Order Destination Address Setup Register for ADV mode
($D[15:0]/0x30116A + 0x10 \cdot x$)

注: 拡張モードの場合は、必ず拡張モード用の制御レジスタで転送元/転送先アドレスを設定してください。

■アドレスインクリメント/デクリメント制御

標準モード (HSDMAADV (D0/0x30119C) = 0、デフォルト)

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御に $SxIN[1:0](D[13:12]/0x301126 + 0x10 \cdot x)$ 、転送先アドレスの制御に $DxIN[1:0](D[13:12]/0x30112A + 0x10 \cdot x)$ を使用します。

* **$SxIN[1:0]$** : Ch.x Source Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register ($D[13:12]/0x301126 + 0x10 \cdot x$)

* **$DxIN[1:0]$** : Ch.x Destination Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register ($D[13:12]/0x30112A + 0x10 \cdot x$)

$SxIN[1:0]/DxIN[1:0] = 00$: アドレス固定 (デフォルト)

データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

$SxIN[1:0]/DxIN[1:0] = 01$: アドレスデクリメント (初期化なし)

1つのデータ転送終了時にアドレスが設定したデータサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

$SxIN[1:0]/DxIN[1:0] = 10$: アドレスインクリメント (初期化付き)

1つのデータの転送終了時にアドレスが設定したデータサイズ分インクリメントされます。シングル転送モードの場合、転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、インクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

$SxIN[1:0]/DxIN[1:0] = 11$: アドレスインクリメント (初期化なし)

1つのデータの転送終了時にアドレスが設定したデータサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

拡張モード (HSDMAADV (D0/0x30119C) = 1)

拡張モードでも、 $SxIN[1:0](D[13:12]/0x301126 + 0x10 \cdot x)$ と $DxIN[1:0](D[13:12]/0x30112A + 0x10 \cdot x)$ によるアドレス制御が可能です。拡張モードではこれに加え、アドレスデクリメント (初期化付き) も選択できるようになっています。この選択は、 $SxID(D4/0x301162 + 0x10 \cdot x)$ と $DxID(D5/0x301162 + 0x10 \cdot x)$ で行います。

* **$SxID$** : Ch.x Source Address Control Bit in the HSDMA Ch.x Control Register for ADV mode ($D4/0x301162 + 0x10 \cdot x$)

* **$DxID$** : Ch.x Destination Address Control Bit in the HSDMA Ch.x Control Register for ADV mode ($D5/0x301162 + 0x10 \cdot x$)

$SxID(D4/0x301162 + 0x10 \cdot x)$ 、 $DxID(D5/0x301162 + 0x10 \cdot x)$ を 0 (デフォルト) に設定すると、それぞれ $SxIN[1:0](D[13:12]/0x301126 + 0x10 \cdot x)$ 、 $DxIN[1:0](D[13:12]/0x30112A + 0x10 \cdot x)$ で選択した条件が有効になります。 $SxID(D4/0x301162 + 0x10 \cdot x)$ 、 $DxID(D5/0x301162 + 0x10 \cdot x)$ を 1 に設定すると、アドレスデクリメント (初期化付き) が選択されます。

$SxID/DxID = 1$: アドレスデクリメント (初期化付き)

1つのデータの転送終了時にアドレスが設定したデータサイズ分デクリメントされます。シングル転送モードの場合、転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、デクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にデクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

II.1.3.4 シングルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャネルをディセーブル(HS_x_EN(D0/0x30112C + 0x10•x) = 0)にして行ってください。

* **HS_x_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register (D0/0x30112C + 0x10•x)

■ アドレスモード

アドレスモード選択ビットDUALM_x(D15/0x301122 + 0x10•x)を0(シングルアドレスモード)に設定してください。イニシャルリセット時、このビットは0に設定されます。

* **DUALM_x**: Ch.x Address Mode Select Bit in the HSDMA Ch.x Control Register (D15/0x301122 + 0x10•x)

■ 転送モード

転送モードをD_xMOD[1:0](D[15:14]/0x30112A + 0x10•x)で設定します。

* **D_xMOD[1:0]**: Ch.x Transfer Mode Select Bits in the HSDMA Ch.x High-Order Destination Address Setup Register (D[15:14]/0x30112A + 0x10•x)

表II.1.3.4.1 転送モード

D _x MOD1	D _x MOD0	モード
1	1	無効
1	0	ブロック転送モード
0	1	連続転送モード
0	0	シングル転送モード

転送モードについては、“II.1.3.3 デュアルアドレスモードのレジスタ設定”を参照してください。

■ 転送方向

データ転送方向をD_xDIR(D14/0x301122 + 0x10•x)で設定します。

* **D_xDIR**: Ch.x Transfer Direction Control Bit in the HSDMA Ch.x Control Register (D14/0x301122 + 0x10•x)

1を書き込むとメモリライト(I/Oデバイスからメモリへのデータ転送)、0を書き込むとメモリリード(メモリからI/Oデバイスへのデータ転送)が選択されます。

■ 転送データサイズ

標準モード(HSDMAADV(D0/0x30119C) = 0、デフォルト)

転送データ1個分のサイズをDATSIZE_x(D14/0x301126 + 0x10•x)ビットで設定します。このビットが1の場合はハーフワードサイズ(16ビット)、0(デフォルト)の場合はバイトサイズ(8ビット)となります。

* **DATSIZE_x**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x High-Order Source Address Setup Register (D14/0x301126 + 0x10•x)

拡張モード(HSDMAADV(D0/0x30119C) = 1)

拡張モードでは、DATSIZE_x(D14/0x301126 + 0x10•x)で選択するハーフワード、バイトに加え、WORDSIZE_x(D0/0x301162 + 0x10•x)によりワードサイズ(32ビット)も選択可能です。

* **WORDSIZE_x**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x Control Register for ADV mode (D0/0x301162 + 0x10•x)

表II.1.3.4.2 拡張モードでの転送データサイズの選択

WORDSIZE _x	DATSIZE _x	転送データサイズ
1	X	ワード (32ビット)
0	1	ハーフワード (16ビット)
0	0	バイト (8ビット)

DATSIZE_x(D14/0x301126 + 0x10•x)とWORDSIZE_x(D0/0x301162 + 0x10•x)は転送データ1個分のサイズを設定します。

■ブロックサイズ

ブロック転送モード ($DxMOD[1:0](D[15:14]/0x30112A + 0x10 \cdot x) = 10$) の場合に、1回に転送されるブロックのサイズ(単位は選択されたデータサイズによる)を $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ で設定します。

* **BLKLENx[7:0]**: Ch.x Block Length Bits in the HSDMA Ch.x Transfer Counter Register
($D[7:0]/0x301120 + 0x10 \cdot x$)

シングル転送モード/連続転送モードでは、 $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ を転送回数のビット7~0の指定に使用します。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを0以外に設定してください。

■転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数が $TCx\_L[7:0](D[15:8]/0x301120 + 0x10 \cdot x)$ と $TCx\_H[7:0](D[7:0]/0x301122 + 0x10 \cdot x)$ で指定できます。

* **TCx_L[7:0]**: Ch.x Transfer Counter [7:0] Bits in the HSDMA Ch.x Transfer Counter Register
($D[15:8]/0x301120 + 0x10 \cdot x$)

* **TCx_H[7:0]**: Ch.x Transfer Counter [15:8] Bits in the HSDMA Ch.x Control Register ($D[7:0]/0x301122 + 0x10 \cdot x$)

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数が $BLKLENx[7:0](D[7:0]/0x301120 + 0x10 \cdot x)$ 、 $TCx\_L[7:0](D[15:8]/0x301120 + 0x10 \cdot x)$ および $TCx\_H[7:0](D[7:0]/0x301122 + 0x10 \cdot x)$ で指定できます。

■メモリアドレス

標準モード(HSDMAADV(D0/0x30119C) = 0、デフォルト)

標準モードでは、 $SxADRL[15:0](D[15:0]/0x301124 + 0x10 \cdot x)$ と $SxADRH[11:0](D[11:0]/0x301126 + 0x10 \cdot x)$ で28ビットのメモリアドレスを指定します。

* **SxADRL[15:0]**: Ch.x Source Address[15:0] in the HSDMA Ch.x Low-Order Source Address Setup Register
($D[15:0]/0x301124 + 0x10 \cdot x$)

* **SxADRH[11:0]**: Ch.x Source Address[27:16] in the HSDMA Ch.x High-Order Source Address Setup Register ($D[11:0]/0x301126 + 0x10 \cdot x$)

拡張モード(HSDMAADV(D0/0x30119C) = 1)

拡張モードでは、 $SxADRL[15:0](D[15:0]/0x301164 + 0x10 \cdot x)$ と $SxADRH[15:0](D[15:0]/0x301166 + 0x10 \cdot x)$ で32ビットのメモリアドレスを指定します。

* **SxADRL[15:0]**: Ch.x Source Address[15:0] in the HSDMA Ch.x Low-Order Source Address Setup Register for ADV mode ($D[15:0]/0x301164 + 0x10 \cdot x$)

* **SxADRH[15:0]**: Ch.x Source Address[31:16] in the HSDMA Ch.x High-Order Source Address Setup Register for ADV mode ($D[15:0]/0x301166 + 0x10 \cdot x$)

注: 拡張モードの場合は、必ず拡張モード用の制御レジスタでメモリアドレスを設定してください。

シングルアドレスモードのデータ転送は、システムインタフェースに接続されたメモリと外部のI/Oデバイス間で行われます。I/Oデバイスは#DMAACK_x信号で直接アクセスされますので、アドレスの指定は不要です。シングルアドレスモードでは $DxADRL[15:0](D[15:0]/0x301168 + 0x10 \cdot x)$ および $DxADRH[15:0](D[11:0]/0x30116A + 0x10 \cdot x)$ は使用しません。

■ アドレスインクリメント/デクリメント制御

標準モード (HSDMAADV(D0/0x30119C) = 0、デフォルト)

メモリアドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、SxIN[1:0](D[13:12]/0x301126 + 0x10・x)を使用します。

* **SxIN[1:0]**: Ch.x Source Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register (D[13:12]/0x301126 + 0x10・x)

表II.1.3.4.3 アドレス制御

SxIN1	SxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

拡張モード (HSDMAADV(D0/0x30119C) = 1)

拡張モードでも、SxIN[1:0](D[13:12]/0x301126 + 0x10・x)によるアドレス制御が可能です。拡張モードではこれに加え、初期化付きデクリメントも選択できるようになっています。この選択は、SxID (D4/0x301162 + 0x10・x)で行います。

* **SxID**: Ch.x Source Address Control Bit in the HSDMA Ch.x Control Register for ADV mode (D4/0x301162 + 0x10・x)

SxID(D4/0x301162 + 0x10・x)を0(デフォルト)に設定すると、SxIN[1:0](D[13:12]/0x301126 + 0x10・x)で選択した条件が有効になります。SxID(D4/0x301162 + 0x10・x)を1に設定すると、初期化付きデクリメントが選択されます。

設定内容については“II.1.3.3 デュアルアドレスモードのレジスタ設定”を参照してください。

シングルアドレスモードではDxIN[1:0](D[13:12]/0x30112A + 0x10・x)およびDxID (D5/0x301162 + 0x10・x)は使用しません。

II.1.4 DMA転送の許可/禁止

HSDMAによるデータ転送は、 $HS_x\_EN(D0/0x30112C + 0x10 \cdot x)$ に1を書き込むことにより許可されます。

* **HS_x_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register ($D0/0x30112C + 0x10 \cdot x$)

ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。 $HS_x\_EN(D0/0x30112C + 0x10 \cdot x)$ が1の場合、コントロール情報を設定することはできません。

$HS_x\_EN(D0/0x30112C + 0x10 \cdot x)$ が0の場合、HSDMA要求は受け付けられません。

DMA転送を終了(転送カウンタ = 0)すると $HS_x\_EN(D0/0x30112C + 0x10 \cdot x)$ は0にリセットされ、以降のトリガ入力を禁止します。

II.1.5 トリガ要因

各HSDMAチャネルは15種類のトリガ要因に対応しており、使用するトリガ要因をHSDxS[3:0](D[7:0]/0x300298、D[7:0]/0x300299)で選択できます。なお、この機能は割り込みコントローラでサポートしています。

- * **HSD0S[3:0]**: Ch.0 Trigger Set-Up Bits in the HSDMA Ch.0–1 Trigger Set-Up Register (D[3:0]/0x300298)
- * **HSD1S[3:0]**: Ch.1 Trigger Set-Up Bits in the HSDMA Ch.0–1 Trigger Set-Up Register (D[7:4]/0x300298)
- * **HSD2S[3:0]**: Ch.2 Trigger Set-Up Bits in the HSDMA Ch.2–3 Trigger Set-Up Register (D[3:0]/0x300299)
- * **HSD3S[3:0]**: Ch.3 Trigger Set-Up Bits in the HSDMA Ch.2–3 Trigger Set-Up Register (D[7:4]/0x300299)

表II.1.5.1に設定値とトリガ要因の対応を示します。

表II.1.5.1 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	#DMAREQ0入力 (立ち下がリエッジ)	#DMAREQ1入力 (立ち下がリエッジ)	#DMAREQ2入力 (立ち下がリエッジ)	#DMAREQ3入力 (立ち下がリエッジ)
0010	#DMAREQ0入力 (立ち上がリエッジ)	#DMAREQ1入力 (立ち上がリエッジ)	#DMAREQ2入力 (立ち上がリエッジ)	#DMAREQ3入力 (立ち上がリエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	(reserved)	(reserved)	(reserved)	(reserved)
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	(reserved)	(reserved)	I ² S入力チャンネルHSDMA(左)	I ² S入力チャンネルHSDMA(右)
1001	I ² S出力チャンネルHSDMA(左)	I ² S出力チャンネルHSDMA(右)	SPI送信DMA要求	SPI受信DMA要求
1010	シリアル/F Ch.0 Rxバッファフル	シリアル/F Ch.1 Rxバッファフル	シリアル/F Ch.2 Rxバッファフル	(reserved)
1011	シリアル/F Ch.0 Txバッファエンブティ	シリアル/F Ch.1 Txバッファエンブティ	シリアル/F Ch.2 Txバッファエンブティ	(reserved)
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	ポート8入力(SPI割り込み)	ポート9入力(USB PDREQ)	ポート10入力(USB割り込み)	ポート11入力
1110	ポート12入力	ポート13入力	ポート14入力	ポート15入力

割り込み要因をトリガ設定レジスタで選択すると、そのHSDMAチャネルは選択した割り込み要因の発生によって起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で(転送カウンタが0でない場合でも)CPUに対し割り込み要求を発生します。転送カウンタが0になった場合にものみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

ソフトウェアトリガを選択した場合、そのHSDMAチャネルはHSTx(Dx/0x30029A)に1を書き込むことで起動します。

- * **HSTx**: Ch.x Software Trigger Bit in the HSDMA Software Trigger Register (Dx/0x30029A)

トリガ要因が発生すると、対応するHSDMAチャネルが起動するようにトリガフラグHSx_TF(D0/0x30112E + 0x10*x)を1にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。

- * **HSx_TF**: Ch.x Trigger Flag Status/Clear Bit in the HSDMA Ch.x Trigger Flag Register (D0/0x30112E + 0x10*x)

DMA転送を開始する前であれば、このビットに1を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、1でトリガフラグがセット状態、0でクリア状態であることを示します。

注: HSDMAおよびIDMAの各チャネルに同時にトリガが発生した場合、チャネルの優先順位を下記に示します。(割り込みレベルが同一の場合)

優先順位	High ←	→ Low
チャネル	HSDMA Ch.0 > Ch.1 > Ch.2 > Ch.3 > IDMAソフトウェアトリガ > IDMAハードウェアトリガ	

II.1.6 HSDMAの動作

HSDMAの各チャンネルは、選択されているトリガ要因の発生によってデータ転送を開始します。
 なお、DMA転送を開始する前に、転送条件とトリガ要因の設定を行い、使用するHSDMAチャンネルのデータ転送を許可しておく必要があります。

II.1.6.1 デュアルアドレスモードの動作

デュアルアドレスモードでは、転送元と転送先のアドレスがSRAMCおよびSDRAMCに設定されている該当エリアのバス条件でアクセスされます。

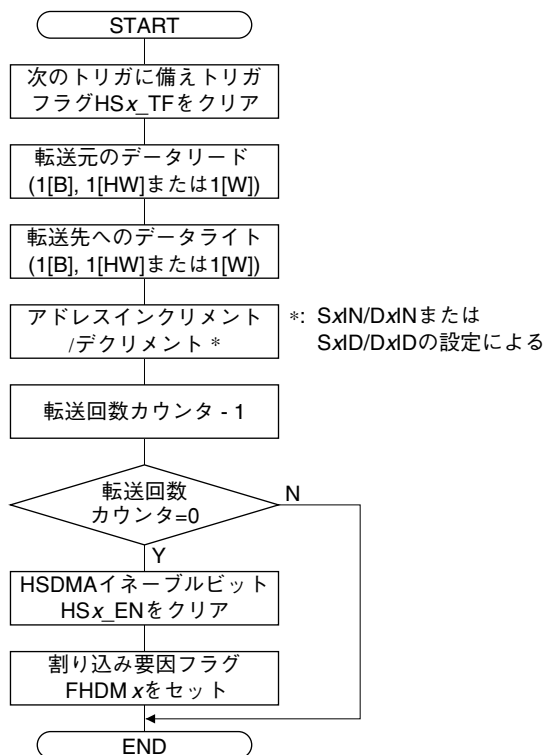
HSDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。以下、各転送モード別の動作を説明します。

■シングル転送モード(デュアルアドレスモード)

コントロール情報のD_xMOD[1:0](D[15:14]/0x30112A + 0x10•x)が00に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZE_x(D14/0x301126 + 0x10•x)およびWORDSIZE_x(D0/0x301162 + 0x10•x)に設定したサイズのデータを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

- * **D_xMOD[1:0]**: Ch.x Transfer Mode Select Bits in the HSDMA Ch.x High-Order Destination Address Setup Register (D[15:14]/0x30112A + 0x10•x)
- * **DATSIZE_x**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x High-Order Source Address Setup Register (D14/0x301126 + 0x10•x)
- * **WORDSIZE_x**: Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x Control Register for ADV mode (D0/0x301162 + 0x10•x)

シングル転送モードのHSDMA動作を図II.1.6.1.1のフローチャートに示します。



図II.1.6.1.1 シングル転送モードの動作フロー

(1) トリガを受け付けると、トリガフラグ $HSx\_TF(D0/0x30112E + 0x10 \cdot x)$ がクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。

* **HSx_TF**: Ch.x Trigger Flag Status/Clear Bit in the HSDMA Ch.x Trigger Flag Register
(D0/0x30112E + 0x10•x)

(2) 読み出したデータを転送先アドレスに書き込みます。

(3) アドレスが $SxIN[1:0](D[13:12]/0x301126 + 0x10 \cdot x)/DxIN[1:0](D[13:12]/0x30112A + 0x10 \cdot x)$ または $SxID(D4/0x301162 + 0x10 \cdot x)/DxID(D5/0x301162 + 0x10 \cdot x)$ の設定に従ってインクリメント/デクリメントされます。*1

* **SxIN[1:0]**: Ch.x Source Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register (D[13:12]/0x301126 + 0x10•x)

* **DxIN[1:0]**: Ch.x Destination Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register (D[13:12]/0x30112A + 0x10•x)

* **SxID**: Ch.x Source Address Control Bit in the HSDMA Ch.x Control Register for ADV mode
(D4/0x301162 + 0x10•x)

* **DxID**: Ch.x Destination Address Control Bit in the HSDMA Ch.x Control Register for ADV mode
(D5/0x301162 + 0x10•x)

(4) 転送カウンタがデクリメントされます。

(5) 転送カウンタが0になった場合は、HSDMAイネーブルビット $HSx\_EN(D0/0x30112C + 0x10 \cdot x)$ がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

* **HSx_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register (D0/0x30112C + 0x10•x)

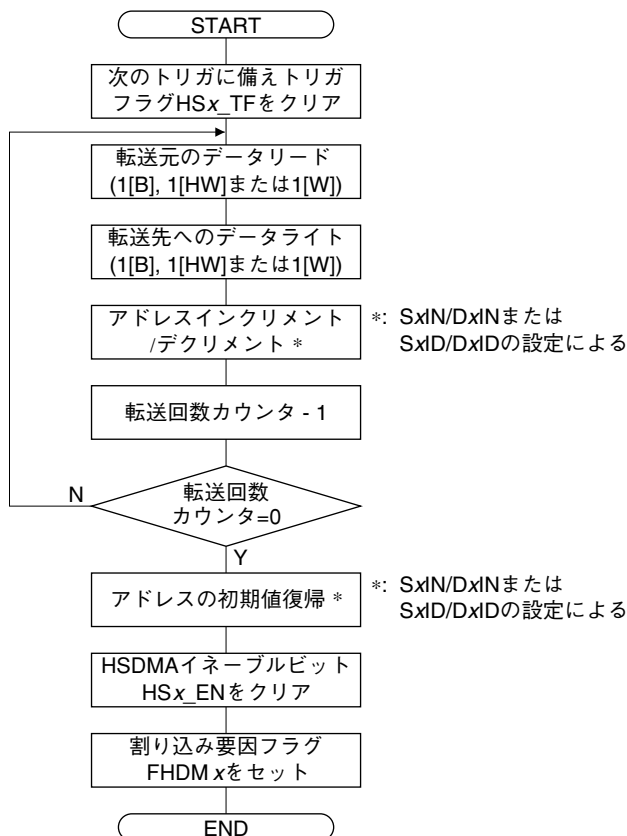
*1 HSDMA標準モード時は、 $SxID(D4/0x301162 + 0x10 \cdot x)$ および $DxID(D5/0x301162 + 0x10 \cdot x)$ は共に0に固定されます。

■連続転送モード(デュアルアドレスモード)

コントロール情報のDxMOD[1:0](D[15:14]/0x30112A + 0x10・x)が01に設定されているチャンネルは、連続転送モードで動作します。

連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは一度の実行で0になります。

連続転送モードの動作を図II.1.6.1.2のフローチャートに示します。



図II.1.6.1.2 連続転送モードの動作フロー

(1) トリガを受け付けると、トリガフラグHSx_TF(D0/0x30112E + 0x10・x)がクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。

(2) 読み出したデータを転送先アドレスに書き込みます。

(3) アドレスがSxIN[1:0](D[13:12]/0x301126 + 0x10・x)/DxIN[1:0](D[13:12]/0x30112A + 0x10・x)またはSxID(D4/0x301162 + 0x10・x)/DxID(D5/0x301162 + 0x10・x)の設定に従ってインクリメント/デクリメントされます。*1

(4) 転送カウンタがデクリメントされます。

(5) (1)～(4)を転送カウンタが0になるまで繰り返します。

(6) SxIN[1:0](D[13:12]/0x301126 + 0x10・x)/DxIN[1:0](D[13:12]/0x30112A + 0x10・x)が10、もしくはSxID(D4/0x301162 + 0x10・x)/DxID(D5/0x301162 + 0x10・x)が1の場合は、アドレスを初期値に戻します。*1

(7) 転送カウンタが0になった場合は、HSDMAイネーブルビットHSx_EN(D0/0x30112C + 0x10・x)がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

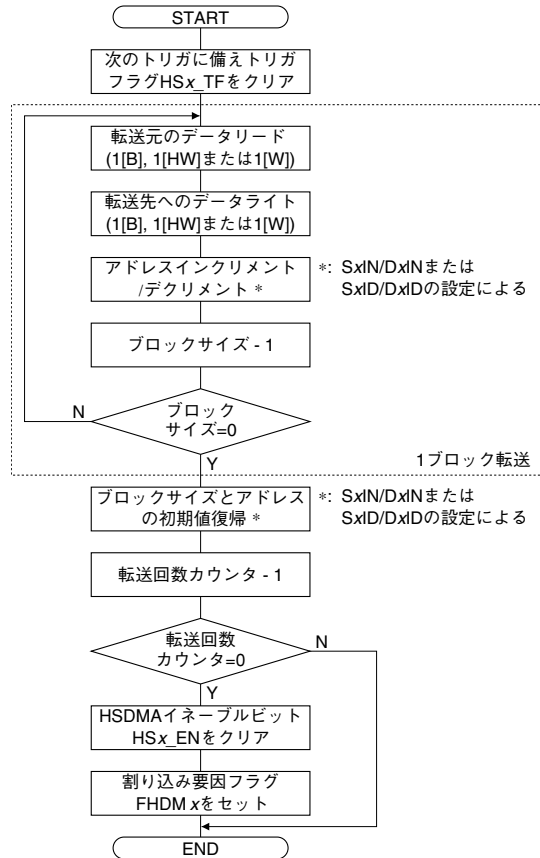
*1 HSDMA標準モード時は、SxID(D4/0x301162 + 0x10・x)およびDxID(D5/0x301162 + 0x10・x)は共に0に固定されます。

■ブロック転送モード(デュアルアドレスモード)

コントロール情報のD_xMOD[1:0](D[15:14]/0x30112A + 0x10・x)が10に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)で設定したサイズのブロックを1回転送して終了します。転送カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

ブロック転送モードの動作を図II.1.6.1.3のフローチャートに示します。

* BLKLEN_x[7:0]: Ch.x Block Length Bits in the HSDMA Ch.x Transfer Counter Register (D[7:0]/0x301120 + 0x10・x)



図II.1.6.1.3 ブロック転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHS_x_TF(D0/0x30112E + 0x10・x)がクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスのインクリメント/デクリメント、BLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)のデクリメントを行います。
- (4) (1)～(3)をBLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)が0になるまで繰り返します。
- (5) S_xIN[1:0](D[13:12]/0x301126 + 0x10・x)/D_xIN[1:0](D[13:12]/0x30112A + 0x10・x)が10、もしくはS_xID(D4/0x301162 + 0x10・x)/D_xID(D5/0x301162 + 0x10・x)が1の場合は、アドレスを初期値に戻します。*1
- (6) 転送カウンタがデクリメントされます。
- (7) (1)～(6)を転送カウンタが0になるまで繰り返します。
- (8) 転送カウンタが0になった場合は、HSDMAイネーブルビットHS_x_EN(D0/0x30112C + 0x10・x)がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

*1 HSDMA標準モード時は、S_xID(D4/0x301162 + 0x10・x)およびD_xID(D5/0x301162 + 0x10・x)は共に0に固定されます。

II.1.6.2 シングルアドレスモードの動作

シングルアドレスモードでは転送元データの読み出しと転送先への書き込みが同時に行われます。データ転送方向(I/Oデバイス読み出し→メモリ書き込み、メモリ読み出し→I/Oデバイス書き込み)はDxDIR(D14/0x301122 + 0x10・x)により設定されます。

* **DxDIR**: Ch.x Transfer Direction Control Bit in the HSDMA Ch.x Control Register (D14/0x301122 + 0x10・x)

シングルアドレスモードには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。以下、シングルアドレスモードの動作を説明します。

■#DMAACKx信号の出力とバスオペレーション

HSDMA回路はDMA要求を受け付けると、#DMAACKx端子からLowレベルのパルスを出力するとともに、メモリに対するバスオペレーションを実行します。このバスオペレーションの内容は次のとおりです。

I/Oデバイスからメモリへのデータ転送(DxDIR(D14/0x301122 + 0x10・x) = 1)

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。転送先のメモリが属するエリアに設定されたインタフェース条件で、ライト動作を行います。データバスはハイインピーダンスにしたままです。

外部I/Oデバイスは#DMAACKx信号をリード信号として、転送データをデータバスに出力します。メモリは、このデータをライト信号により取り込みます。

メモリからI/Oデバイスへのデータ転送(DxDIR(D14/0x301122 + 0x10・x) = 0、デフォルト)

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。転送元のメモリが属するエリアに設定されたインタフェース条件で、リード動作を行います。

メモリは、リード信号によって転送データをデータバスに出力します。外部I/Oデバイスは#DMAACKx信号をライト信号として、そのデータをデータバスから取り込みます。転送データサイズとI/Oデバイスサイズにより、以下の回数のバスオペレーションが発生します。

表II.1.6.2.1 バスオペレーション回数

転送データサイズ	I/Oデバイスサイズ	バスオペレーション
32ビット	8ビット	4回
32ビット	16ビット	2回
16ビット	8ビット	2回
その他		1回

注: • A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、エリア2、IVRAM(エリア0またはエリア3)、DST RAM(エリア3)、エリア6の周辺I/Oレジスタをシングルアドレス転送には使用できません。

- シングルアドレスモードでは、基本的にメモリ間のデータ転送は行えません。メモリ間のシングルアドレス転送を行うには外部ロジックが必要となります。
- 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。

■#DMAENDx信号の出力

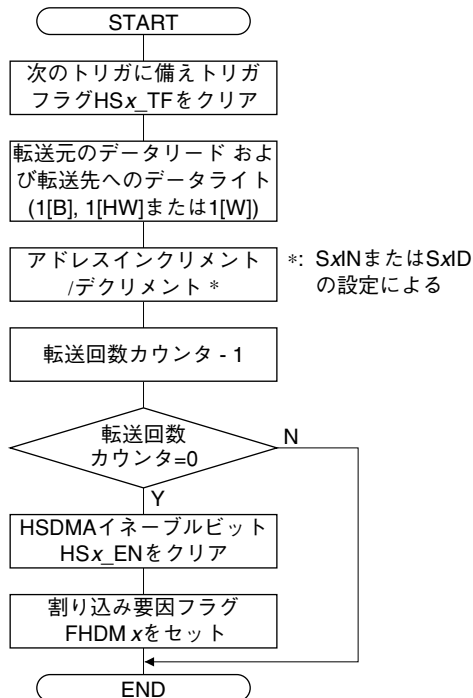
転送カウンタが0になると、#DMAENDx端子から指定回数の転送が終了したことを示す転送終了信号が出力されます。同時に、HSDMA転送終了割り込み要因が発生します。

■ シングル転送モード (シングルアドレスモード)

コントロール情報の $DxMOD[1:0]$ ($D[15:14]/0x30112A + 0x10 \cdot x$) が 00 に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対して $DATSIZEx$ ($D14/0x301126 + 0x10 \cdot x$) および $WORDSIZEx$ ($D0/0x301162 + 0x10 \cdot x$) に設定したサイズのデータを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

- * **$DxMOD[1:0]$** : Ch.x Transfer Mode Select Bits in the HSDMA Ch.x High-Order Destination Address Setup Register ($D[15:14]/0x30112A + 0x10 \cdot x$)
- * **$DATSIZEx$** : Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x High-Order Source Address Setup Register ($D14/0x301126 + 0x10 \cdot x$)
- * **$WORDSIZEx$** : Ch.x Transfer Data Size Select Bit in the HSDMA Ch.x Control Register for ADV mode ($D0/0x301162 + 0x10 \cdot x$)

シングル転送モードのHSDMA動作を図II.1.6.2.1のフローチャートに示します。



図II.1.6.2.1 シングル転送モードの動作フロー

- (1) トリガを受け付けるとトリガフラグ HSx_TF ($D0/0x30112E + 0x10 \cdot x$) がクリアされ、コントロール情報に設定された転送方向の指定により、設定されたサイズのデータを外部メモリまたはI/Oデバイスから読み出すと同時に、I/Oデバイスまたは外部メモリへ書き込みます。*1

* **HSx_TF** : Ch.x Trigger Flag Status/Clear Bit in the HSDMA Ch.x Trigger Flag Register ($D0/0x30112E + 0x10 \cdot x$)

- (2) アドレスが $SxIN[1:0]$ ($D[13:12]/0x301126 + 0x10 \cdot x$) または $SxID$ ($D4/0x301162 + 0x10 \cdot x$) の設定に従ってインクリメント/デクリメントされます。*2

* **$SxIN[1:0]$** : Ch.x Source Address Control Bits in the HSDMA Ch.x High-Order Source Address Setup Register ($D[13:12]/0x301126 + 0x10 \cdot x$)

* **$SxID$** : Ch.x Source Address Control Bit in the HSDMA Ch.x Control Register for ADV mode ($D4/0x301162 + 0x10 \cdot x$)

- (3) 転送カウンタがデクリメントされます。

- (4) 転送カウンタが0になった場合は、HSDMAイネーブルビット HSx_EN ($D0/0x30112C + 0x10 \cdot x$) がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

* **HSx_EN** : Ch.x Enable Bit in the HSDMA Ch.x Enable Register ($D0/0x30112C + 0x10 \cdot x$)

- *1 I/Oデバイスからの読み出し時はデータバスをハイインピーダンスにしたままです。また、外部メモリの書き込み/読み出しアドレスは、コントロール情報のメモリアドレスレジスタSxADRL、SxADRHから出力されます。

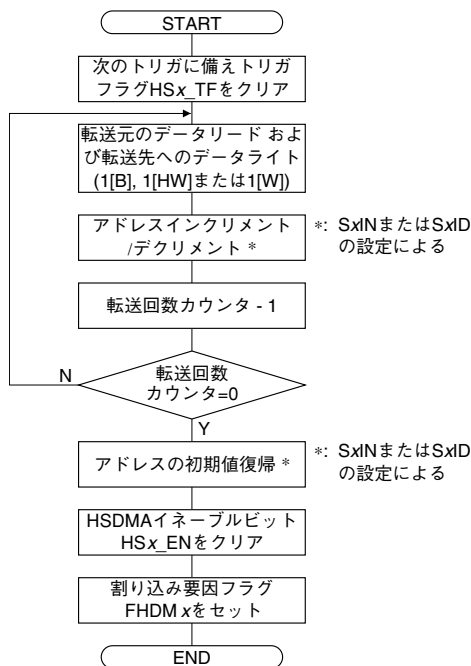
* SxADRL: Ch.x Source Address[15:0] in the HSDMA Ch.x Low-Order Source Address Setup Register (STD mode: D[15:0]/0x301124 + 0x10•x, ADV mode: D[15:0]/0x301164 + 0x10•x)

* SxADRH: Ch.x Source Address (high-order bits) in the HSDMA Ch.x High-Order Source Address Setup Register (STD mode: D[11:0]/0x301126 + 0x10•x, ADV mode: D[15:0]/0x301166 + 0x10•x)

- *2 HSDMA標準モード時、SxID(D4/0x301162 + 0x10•x)は0に固定されます。

■連続転送モード(シングルアドレスモード)

コントロール情報のDxMOD[1:0](D[15:14]/0x30112A + 0x10•x)が01に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは一度の実行で0になります。連続転送モードの動作を図II.1.6.2.2のフローチャートに示します。



図II.1.6.2.2 連続転送モードの動作フロー

- (1) トリガを受け付けるとトリガフラグHSx_TF(D0/0x30112E + 0x10•x)がクリアされ、コントロール情報に設定された転送方向の指定により、設定されたサイズのデータを外部メモリまたはI/Oデバイスから読み出すと同時に、I/Oデバイスまたは外部メモリへ書き込みます。*1
- (2) アドレスがSxIN[1:0](D[13:12]/0x301126 + 0x10•x)またはSxID(D4/0x301162 + 0x10•x)の設定に従ってインクリメント/デクリメントされます。*2
- (3) 転送カウンタがデクリメントされます。
- (4) (1)～(3)を転送カウンタが0になるまで繰り返します。
- (5) SxIN[1:0](D[13:12]/0x301126 + 0x10•x)が10もしくは、SxID(D4/0x301162 + 0x10•x)が1の場合は、アドレスを初期値に戻します。*2
- (6) 転送カウンタが0になった場合は、HSDMAイネーブルビットHSx_EN(D0/0x30112C + 0x10•x)がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

- *1 I/Oデバイスからの読み出し時はデータバスをハイインピーダンスにしたままです。また、外部メモリの書き込み/読み出しアドレスは、コントロール情報のメモリアドレスレジスタSxADRL、SxADRHから出力されます。

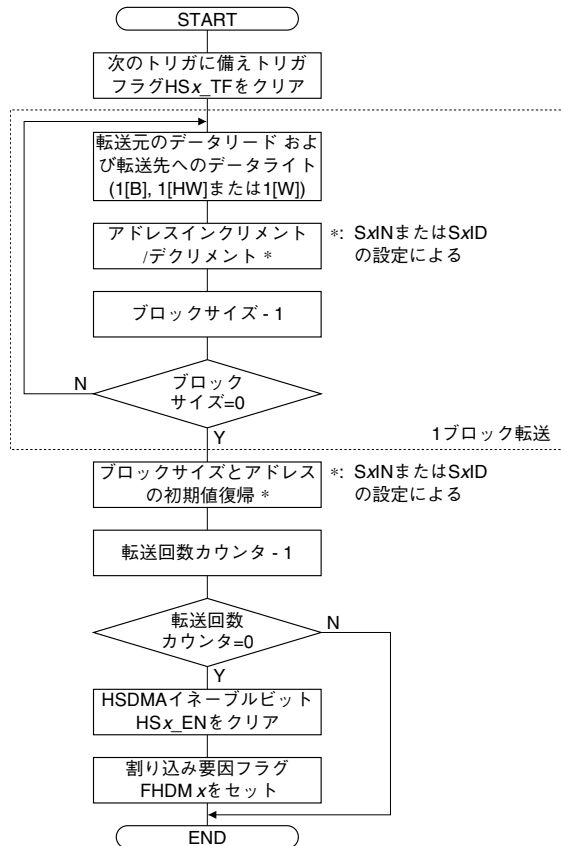
- *2 HSDMA標準モード時、SxID(D4/0x301162 + 0x10•x)は0に固定されます。

■ブロック転送モード(シングルアドレスモード)

コントロール情報のD_xMOD[1:0](D[15:14]/0x30112A + 0x10・x)が10に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)で設定したサイズのブロックを1回転送して終了します。転送カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

ブロック転送モードの動作を図II.1.6.2.3のフローチャートに示します。

* BLKLEN_x[7:0]: Ch.x Block Length Bits in the HSDMA Ch.x Transfer Counter Register (D[7:0]/0x301120 + 0x10・x)



図II.1.6.2.3 ブロック転送モードの動作フロー

- (1) トリガを受け付けるとトリガフラグHS_x_TF(D0/0x30112E + 0x10・x)がクリアされ、コントロール情報に設定された転送方向の指定により、設定されたサイズのデータを外部メモリまたはI/Oデバイスから読み出すと同時に、I/Oデバイスまたは外部メモリへ書き込みます。*1
- (2) アドレスのインクリメント/デクリメント、BLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)のデクリメントを行います。
- (3) (1)～(2)をBLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)が0になるまで繰り返します。
- (4) S_xIN[1:0](D[13:12]/0x301126 + 0x10・x)が10もしくは、S_xID(D4/0x301162 + 0x10・x)が1の場合は、アドレスを初期値に戻します。*2
- (5) 転送カウンタがデクリメントされます。
- (6) (1)～(5)を転送カウンタが0になるまで繰り返します。
- (7) 転送カウンタが0になった場合は、HSDMAイネーブルビットHS_x_EN(D0/0x30112C + 0x10・x)がクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが1にセットされます。

*1 I/Oデバイスからの読み出し時はデータバスをハイインピーダンスにしたままです。また、外部メモリの書き込み/読み出しアドレスは、コントロール情報のメモリアドレスレジスタS_xADRL、S_xADRHから出力されます。

*2 HSDMA標準モード時、S_xID(D4/0x301162 + 0x10・x)は0に固定されます。

II.1.7 HSDMAの割り込み機能

HSDMAコントローラは、HSDMA各チャネルの転送カウンタが0になった時点で割り込みを発生、またはIDMAを起動することができます。

■割り込みコントローラの制御レジスタ

各チャネルに用意されている割り込みコントローラの制御レジスタを、表II.1.7.1に示します。

表II.1.7.1 割り込みコントローラの制御レジスタ

HSDMA Ch.	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.0	FHDM0(D0/0x300281)	EHDM0(D0/0x300271)	PHSD0L[2:0](D[2:0]/0x300263)
Ch.1	FHDM1(D1/0x300281)	EHDM1(D1/0x300271)	PHSD1L[2:0](D[6:4]/0x300263)
Ch.2	FHDM2(D2/0x300281)	EHDM2(D2/0x300271)	PHSD2L[2:0](D[2:0]/0x300264)
Ch.3	FHDM3(D3/0x300281)	EHDM3(D3/0x300271)	PHSD3L[2:0](D[6:4]/0x300264)

HSDMAコントローラは一連のHSDMA転送が終了し、転送カウンタが0になったところでHSDMA割り込み要因フラグを1にセットします。このときに、対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。HSDMA割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、各チャネルのデータ転送終了時に1にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、HSDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したHSDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

HSDMA Ch.0とCh.1の転送終了割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。HSDMAに設定されたIDMAチャネル番号は次のとおりです。

IDMA Ch.

Ch.0転送終了割り込み: 0x05

Ch.1転送終了割り込み: 0x06

IDMAを起動させるには、割り込み要因に対応するIDMAリクエストビットとIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表II.1.7.2 IDMA転送の制御ビット

HSDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	RHDM0(D4/0x300290)	DEHDM0(D4/0x300294)
Ch.1	RHDM1(D5/0x300290)	DEHDM1(D5/0x300294)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はIDMAによる転送終了後に発生します。また、IDMAの転送のみを行い、割り込みは発生しないように設定することもできます。IDMAによるデータ転送とIDMA転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■トラップベクタ

各チャネルの割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0転送終了割り込み: 0xC00058

Ch.1転送終了割り込み: 0xC0005C

Ch.2転送終了割り込み: 0xC00060

Ch.3転送終了割り込み: 0xC00064

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

II.1.8 HSDMA動作クロック

HSDMAはCMUで生成したDMA_CLKクロック(= MCLK)を入力して動作します。
クロック制御の詳細については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■DMA動作クロックの供給制御

DMA_CLKクロックはデフォルト設定でDMAコントローラに供給されるようになっています。DMAの機能が不要な場合は、DMA_CKE(D1/0x301B04)により供給を停止して消費電力を抑えることができます。

* **DMA_CKE:** DMAC Clock Control Bit in the Gated Clock Control Register 1 (D1/0x301B04)

DMA_CKE(D1/0x301B04)を0(初期設定は1)に設定すると、DMAコントローラへのクロック供給が停止します。

II
HSDMA

■スタンバイモード時のクロック状態

スタンバイモードの種類により、DMA_CLKクロックの供給は停止します。

HALTモード: DMA_CLKクロックは通常モードと同様に供給されます(DMA_CKE = 1の場合)。

SLEEPモード: DMA_CLKクロックの供給が停止します。

したがって、SLEEPモード時は、HSDMAも動作を停止します。

II.1.9 制御レジスタ詳細

表II.1.9.1 HSDMA制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301120	HSDMA Ch.0 Transfer Counter Register (pHS0_CNT)	16	Ch.0の転送カウンタ下位データとブロック長を設定
0x00301122	HSDMA Ch.0 Control Register	16	Ch.0のアドレスモードと転送カウンタ上位データを設定
0x00301124	HSDMA Ch.0 Low-Order Source Address Setup Register (pHS0_SADR)	16	Ch.0の転送元下位アドレスを設定
0x00301126	HSDMA Ch.0 High-Order Source Address Setup Register	16	Ch.0の転送元上位アドレスと転送データサイズの設定、転送元アドレスインクリメント/デクリメントの制御
0x00301128	HSDMA Ch.0 Low-Order Destination Address Setup Register (pHS0_DADR)	16	Ch.0の転送先下位アドレスを設定
0x0030112A	HSDMA Ch.0 High-Order Destination Address Setup Register	16	Ch.0の転送先上位アドレスと転送データサイズの設定、転送先アドレスインクリメント/デクリメントの制御
0x0030112C	HSDMA Ch.0 Enable Register (pHS0_EN)	16	Ch.0のDMA転送を許可/禁止
0x0030112E	HSDMA Ch.0 Trigger Flag Register (pHS0_TF)	16	Ch.0のトリガ状態
0x00301130	HSDMA Ch.1 Transfer Counter Register (pHS1_CNT)	16	Ch.1の転送カウンタ下位データとブロック長を設定
0x00301132	HSDMA Ch.1 Control Register	16	Ch.1のアドレスモードと転送カウンタ上位データを設定
0x00301134	HSDMA Ch.1 Low-Order Source Address Setup Register (pHS1_SADR)	16	Ch.1の転送元下位アドレスを設定
0x00301136	HSDMA Ch.1 High-Order Source Address Setup Register	16	Ch.1の転送元上位アドレスと転送データサイズの設定、転送元アドレスインクリメント/デクリメントの制御
0x00301138	HSDMA Ch.1 Low-Order Destination Address Setup Register (pHS1_DADR)	16	Ch.1の転送先下位アドレスを設定
0x0030113A	HSDMA Ch.1 High-Order Destination Address Setup Register	16	Ch.1の転送先上位アドレスと転送データサイズの設定、転送先アドレスインクリメント/デクリメントの制御
0x0030113C	HSDMA Ch.1 Enable Register (pHS1_EN)	16	Ch.1のDMA転送を許可/禁止
0x0030113E	HSDMA Ch.1 Trigger Flag Register (pHS1_TF)	16	Ch.1のトリガ状態
0x00301140	HSDMA Ch.2 Transfer Counter Register (pHS2_CNT)	16	Ch.2の転送カウンタ下位データとブロック長を設定
0x00301142	HSDMA Ch.2 Control Register	16	Ch.2のアドレスモードと転送カウンタ上位データを設定
0x00301144	HSDMA Ch.2 Low-Order Source Address Setup Register (pHS2_SADR)	16	Ch.2の転送元下位アドレスを設定
0x00301146	HSDMA Ch.2 High-Order Source Address Setup Register	16	Ch.2の転送元上位アドレスと転送データサイズの設定、転送元アドレスインクリメント/デクリメントの制御
0x00301148	HSDMA Ch.2 Low-Order Destination Address Setup Register (pHS2_DADR)	16	Ch.2の転送先下位アドレスを設定
0x0030114A	HSDMA Ch.2 High-Order Destination Address Setup Register	16	Ch.2の転送先上位アドレスと転送データサイズの設定、転送先アドレスインクリメント/デクリメントの制御
0x0030114C	HSDMA Ch.2 Enable Register (pHS2_EN)	16	Ch.2のDMA転送を許可/禁止
0x0030114E	HSDMA Ch.2 Trigger Flag Register (pHS2_TF)	16	Ch.2のトリガ状態
0x00301150	HSDMA Ch.3 Transfer Counter Register (pHS3_CNT)	16	Ch.3の転送カウンタ下位データとブロック長を設定
0x00301152	HSDMA Ch.3 Control Register	16	Ch.3のアドレスモードと転送カウンタ上位データを設定
0x00301154	HSDMA Ch.3 Low-Order Source Address Setup Register (pHS3_SADR)	16	Ch.3の転送元下位アドレスを設定
0x00301156	HSDMA Ch.3 High-Order Source Address Setup Register	16	Ch.3の転送元上位アドレスと転送データサイズの設定、転送元アドレスインクリメント/デクリメントの制御
0x00301158	HSDMA Ch.3 Low-Order Destination Address Setup Register (pHS3_DADR)	16	Ch.3の転送先下位アドレスを設定
0x0030115A	HSDMA Ch.3 High-Order Destination Address Setup Register	16	Ch.3の転送先上位アドレスと転送データサイズの設定、転送先アドレスインクリメント/デクリメントの制御
0x0030115C	HSDMA Ch.3 Enable Register (pHS3_EN)	16	Ch.3のDMA転送を許可/禁止
0x0030115E	HSDMA Ch.3 Trigger Flag Register (pHS3_TF)	16	Ch.3のトリガ状態

アドレス	レジスタ名	サイズ	機能
0x00301162	HSDMA Ch.0 Control Register (pHS0_ADMODE) for ADV mode	16	Ch.0の拡張モード機能を選択
0x00301164	HSDMA Ch.0 Low-Order Source Address Setup Register (pHS0_AD_SADR) for ADV mode	16	Ch.0の拡張モード用転送元下位アドレスを設定
0x00301166	HSDMA Ch.0 High-Order Source Address Setup Register for ADV mode	16	Ch.0の拡張モード用転送元上位アドレスを設定
0x00301168	HSDMA Ch.0 Low-Order Destination Address Setup Register (pHS0_ADV_DADR) for ADV mode	16	Ch.0の拡張モード用転送先下位アドレスを設定
0x0030116A	HSDMA Ch.0 High-Order Destination Address Setup Register for ADV mode	16	Ch.0の拡張モード用転送先上位アドレスを設定
0x00301172	HSDMA Ch.1 Control Register (pHS1_ADMODE) for ADV mode	16	Ch.1の拡張モード機能を選択
0x00301174	HSDMA Ch.1 Low-Order Source Address Setup Register (pHS1_AD_SADR) for ADV mode	16	Ch.1の拡張モード用転送元下位アドレスを設定
0x00301176	HSDMA Ch.1 High-Order Source Address Setup Register for ADV mode	16	Ch.1の拡張モード用転送元上位アドレスを設定
0x00301178	HSDMA Ch.1 Low-Order Destination Address Setup Register (pHS1_ADV_DADR) for ADV mode	16	Ch.1の拡張モード用転送先下位アドレスを設定
0x0030117A	HSDMA Ch.1 High-Order Destination Address Setup Register for ADV mode	16	Ch.1の拡張モード用転送先上位アドレスを設定
0x00301182	HSDMA Ch.2 Control Register (pHS2_ADMODE) for ADV mode	16	Ch.2の拡張モード機能を選択
0x00301184	HSDMA Ch.2 Low-Order Source Address Setup Register (pHS2_AD_SADR) for ADV mode	16	Ch.2の拡張モード用転送元下位アドレスを設定
0x00301186	HSDMA Ch.2 High-Order Source Address Setup Register for ADV mode	16	Ch.2の拡張モード用転送元上位アドレスを設定
0x00301188	HSDMA Ch.2 Low-Order Destination Address Setup Register (pHS2_ADV_DADR) for ADV mode	16	Ch.2の拡張モード用転送先下位アドレスを設定
0x0030118A	HSDMA Ch.2 High-Order Destination Address Setup Register for ADV mode	16	Ch.2の拡張モード用転送先上位アドレスを設定
0x00301192	HSDMA Ch.3 Control Register (pHS3_ADMODE) for ADV mode	16	Ch.3の拡張モード機能を選択
0x00301194	HSDMA Ch.3 Low-Order Source Address Setup Register (pHS3_AD_SADR) for ADV mode	16	Ch.3の拡張モード用転送元下位アドレスを設定
0x00301196	HSDMA Ch.3 High-Order Source Address Setup Register for ADV mode	16	Ch.3の拡張モード用転送元上位アドレスを設定
0x00301198	HSDMA Ch.3 Low-Order Destination Address Setup Register (pHS3_ADV_DADR) for ADV mode	16	Ch.3の拡張モード用転送先下位アドレスを設定
0x0030119A	HSDMA Ch.3 High-Order Destination Address Setup Register for ADV mode	16	Ch.3の拡張モード用転送先上位アドレスを設定
0x0030119C	HSDMA STD/ADV Mode Select Register (pHS_CNTLMODE)	16	標準モードまたは拡張モードの選択
0x0030119E	DMA Sequential Access Time Register (pHS_ACETIME)	16	IDMAとHSDMAのシーケンシャルアクセス時間を設定

以下にHSDMAの制御レジスタを個々に説明します。

HSDMAの制御レジスタは0x301120～0x30119Eの16ビットデバイスエリアに割り付けられており、ハーフワードおよびバイトアクセスが可能です。

注: HSDMA制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301120–0x301150: HSDMA Ch.x Transfer Counter Registers (pHSx_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x transfer counter register (pHSx_CNT)	00301120 I 00301150 (HW)	D15	TCx_L7	Ch.x transfer counter[7:0] (block transfer mode)		0	R/W	
		D14	TCx_L6			0		
		D13	TCx_L5			0		
		D12	TCx_L4			0		
		D11	TCx_L3			0		
		D10	TCx_L2			0		
		D9	TCx_L1			0		
		D8	TCx_L0			0		
		D7	BLKLENx7	Ch.x block length (block transfer mode)		0	R/W	
		D6	BLKLENx6			0		
		D5	BLKLENx5			0		
		D4	BLKLENx4			0		
		D3	BLKLENx3			0		
		D2	BLKLENx2			0		
		D1	BLKLENx1			0		
		D0	BLKLENx0			0		

注: ビット名などの'x'はチャンネル番号の0～3を示します。

0x301120 HSDMA Ch.0 Transfer Counter Register (pHS0_CNT)

0x301130 HSDMA Ch.1 Transfer Counter Register (pHS1_CNT)

0x301140 HSDMA Ch.2 Transfer Counter Register (pHS2_CNT)

0x301150 HSDMA Ch.3 Transfer Counter Register (pHS3_CNT)

D[15:8] TCx_L[7:0]: Ch.x Transfer Counter Bits

転送回数を設定します。(デフォルト: 0x00)

ブロック転送モードでは、TCx_L[7:0]を転送カウンタのビット[7:0]として使用します。シングル転送モード/連続転送モードではTCx_L[7:0]を転送カウンタのビット[15:8]として使用します。このカウンタは対応するチャンネルのDMA転送1回ごとにデクリメントされます。カウンタが0になると転送終了割り込み要因を発生します。シングルアドレスモードでは、同時に#DMAENDx端子から転送終了信号を出力します。

カウンタが0の場合でもDMA要求は受け付けられ、デクリメントによって0xFFFF(または0xFFFFF)となります。

カウンタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN(D0/0x30112C + 0x10・x) = 0)して行ってください。

D[7:0] BLKLENx[7:0]: Ch.x Block Length Bits

ブロック転送モードでは、これらのビットを転送ブロックサイズの指定に使用します。(デフォルト: 0x00)

1回のトリガに対してBLKLENx[7:0]で設定したサイズのブロックを1回転送して終了します。

シングル転送モード/連続転送モードでは、これらのビットを転送カウンタの下位8ビットの指定に使用します。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを0以外に設定してください。

0x301122–0x301152: HSDMA Ch.x Control Registers

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks			
HSDMA Ch.x control register	00301122 I	D15	DUALMx	Ch.x address mode selection	1	Dual addr	0	Single addr	0	R/W			
		D14	DxDIR	D) Invalid S) Ch.x transfer direction control	—			—	—				
Note: D) Dual address mode S) Single address mode	00301152 (HW)	D13–8		—	reserved			—			—	0 when being read.	
		D7	TCx_H7	Ch.x transfer counter[15:8] (block transfer mode)							0	R/W	
		D6	TCx_H6								0		
		D5	TCx_H5								0		
		D4	TCx_H4								0		
		D3	TCx_H3	Ch.x transfer counter[23:16] (single/successive transfer mode)							0		
		D2	TCx_H2								0		
		D1	TCx_H1								0		
		D0	TCx_H0								0		

注: ビット名などの'x'はチャンネル番号の0～3を示します。

0x301122 HSDMA Ch.0 Control Register

0x301132 HSDMA Ch.1 Control Register

0x301142 HSDMA Ch.2 Control Register

0x301152 HSDMA Ch.3 Control Register

D15 DUALMx: Ch.x Address Mode Select Bit

アドレスモードを選択します。

1(R/W): デュアルアドレスモード

0(R/W): シングルアドレスモード(デフォルト)

DUALMxに1を書き込むと、そのHSDMAチャンネルはデュアルアドレスモードに設定され、転送元と転送先アドレスを指定したデータ転送が行えます。0を書き込むと、外部メモリ～外部I/O間の高速なデータ転送を行うシングルアドレスモードに設定されます。

D14 DxDIR: Ch.x Transfer Direction Control Bit

シングルアドレスモードのデータ転送方向を制御します。

1(R/W): メモリライト(I/O→メモリ)

0(R/W): メモリリード(メモリ→I/O) (デフォルト)

DxDIRに1を書き込むと、外部I/Oデバイスから外部メモリ(または外部/内部I/O)へのデータ転送に設定されます。0を書き込むと、外部メモリ(または外部/内部I/O)から外部I/Oデバイスへのデータ転送となります。

このビットはシングルアドレスモード時にのみ有効です。

D[13:8] Reserved

D[7:0] TCx_H[7:0]: Ch.x Transfer Counter Bits

転送回数を設定します。(デフォルト: 0x00)

ブロック転送モードでは、TCx_H[7:0]を転送カウンタのビット[15:8]として使用します。シングル転送モード/連続転送モードではTCx_H[7:0]を転送カウンタのビット[23:16]として使用します。

このカウンタは対応するチャンネルのDMA転送1回ごとにデクリメントされます。カウンタが0になると転送終了割り込み要因を発生します。シングルアドレスモードでは、同時に#DMAENDx端子から転送終了信号を出力します。

カウンタが0の場合でもDMA要求は受け付けられ、デクリメントによって0xFFFF(または0xFFFFF)となります。

カウンタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN(D0/0x30112C + 0x10•x) = 0)して行ってください。

0x301124–0x301154: HSDMA Ch.x Low-Order Source Address Setup Registers (pHSx_SADR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x low-order source address setup register (pHSx_SADR) Note: D) Dual address mode S) Single address mode	00301124 I 00301154 (HW)	D15	SxADRL15	D) Ch.x source address[15:0]		0	R/W	
		D14	SxADRL14	S) Ch.x memory address[15:0]		0		
		D13	SxADRL13			0		
		D12	SxADRL12			0		
		D11	SxADRL11			0		
		D10	SxADRL10			0		
		D9	SxADRL9			0		
		D8	SxADRL8			0		
		D7	SxADRL7			0		
		D6	SxADRL6			0		
		D5	SxADRL5			0		
		D4	SxADRL4			0		
		D3	SxADRL3			0		
		D2	SxADRL2			0		
		D1	SxADRL1			0		
		D0	SxADRL0			0		

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

0x301124 HSDMA Ch.0 Low-Order Source Address Setup Register (pHS0_SADR)

0x301134 HSDMA Ch.1 Low-Order Source Address Setup Register (pHS1_SADR)

0x301144 HSDMA Ch.2 Low-Order Source Address Setup Register (pHS2_SADR)

0x301154 HSDMA Ch.3 Low-Order Source Address Setup Register (pHS3_SADR)

D[15:0] SxADRL[15:0]: Ch.x Source Address[15:0] (標準モード用)

デュアルアドレスモードでは、これらのビットを転送元アドレスの指定に使用します。シングルアドレスモードでは転送先または転送元の外部メモリアドレス指定に使用します。

SxADRL[15:0]でアドレスの下位16ビットを設定します。

レジスタの書き込みおよび読み出しは、DMA転送を禁止 ($HSx\_EN(D0/0x30112C + 0x10 \cdot x) = 0$) して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント ($SxIN[1:0](D[13:12]/0x301126 + 0x10 \cdot x)$ または $SxID(D4/0x301162 + 0x10 \cdot x)$ の設定による) されます。

注: 以下のエリアはDMA転送には使用できません。

デュアルアドレスモード: エリア0、エリア2

シングルアドレスモード: エリア0、エリア1、エリア2、エリア3、エリア6

• シングルアドレスモードでは、メモリ間のデータ転送は行えません。

• 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。

• 拡張モード時のアドレス指定には、SxADRL[15:0](D[15:0]/0x301164 + 0x10・x) および SxADRH[15:0](D[15:0]/0x301166 + 0x10・x) を使用してください。

0x301126–0x301156: HSDMA Ch.x High-Order Source Address Setup Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x high-order source address setup register Note: D) Dual address mode S) Single address mode	00301126 I 00301156 (HW)	D15	–	reserved	–	–	–	0 when being read.
		D14	DATSIZEx	Ch.x transfer data size	1 Half word 0 Byte	0	R/W	
		D13	SxIN1	D) Ch.x source address control	SxIN[1:0]	Inc/dec	0	R/W
		D12	SxIN0	S) Ch.x memory address control	11 10 01 00	Inc.(no init) Inc.(init) Dec.(no init) Fixed	0	
		D11	SxADDRH11	D) Ch.x source address[27:16]			0	R/W
		D10	SxADDRH10	S) Ch.x memory address[27:16]			0	
		D9	SxADDRH9				0	
		D8	SxADDRH8				0	
		D7	SxADDRH7				0	
		D6	SxADDRH6				0	
		D5	SxADDRH5				0	
		D4	SxADDRH4				0	
		D3	SxADDRH3				0	
		D2	SxADDRH2				0	
		D1	SxADDRH1				0	
		D0	SxADDRH0				0	

注: ビット名などの'x'はチャンネル番号の0～3を示します。

0x301126 HSDMA Ch.0 High-Order Source Address Setup Register
 0x301136 HSDMA Ch.1 High-Order Source Address Setup Register
 0x301146 HSDMA Ch.2 High-Order Source Address Setup Register
 0x301156 HSDMA Ch.3 High-Order Source Address Setup Register

D15 Reserved

D14 DATSIZEx: Ch.x Transfer Data Size Select Bit

転送するデータのサイズを選択します。

1(R/W): ハーフワード(16ビット)

0(R/W): バイト(デフォルト)

DATSIZExに1を書き込むと転送データサイズが16ビット、0を書き込むと8ビットに設定されます。

注: 拡張モード時は、 $WORDSIZEx(D0/0x301162 + 0x10 \cdot x) = 0$ の場合に本ビットが有効になります。 $WORDSIZEx(D0/0x301162 + 0x10 \cdot x) = 1$ の場合は本ビットの設定は無視され、転送データサイズは32ビットになります。

標準モード時は、 $WORDSIZEx(D0/0x301162 + 0x10 \cdot x)$ の設定にかかわらず、本ビットの設定が有効です。

D[13:12] SxIN[1:0]: Ch.x Source Address Control Bits

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表II.1.9.2 アドレス制御

SxIN1	SxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

(デフォルト: 0b00)

デュアルアドレスモードでは、この設定が転送元アドレスに適用されます。シングルアドレスモードでは外部メモリアドレスに適用されます。

“アドレス固定”(00)に設定しておく、データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

“初期化なしインクリメント”(11)を設定しておく、1つのデータの転送終了時に転送元アドレスがDATSIZE x (D14)またはWORDSIZE x (D0/0x301162 + 0x10 $\cdot$ x)に設定したサイズ分インクリメントされます。

“初期化なしデクリメント”(01)を設定した場合は、転送元アドレスが同様にデクリメントされます。

“初期化付きインクリメント”(10)を設定しておく、1つのデータの転送終了時に転送元アドレスがDATSIZE x (D14)またはWORDSIZE x (D0/0x301162 + 0x10 $\cdot$ x)に設定したサイズ分インクリメントされます。シングル転送モードの場合、転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、インクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

注: 拡張モード時は、SxID (D4/0x301162 + 0x10 $\cdot$ x) = 0の場合に本ビットが有効になります。SxID (D4/0x301162 + 0x10 $\cdot$ x) = 1の場合は本ビットの設定は無視され、“アドレスデクリメント(初期化付き)”が設定されます。

標準モード時は、SxID (D4/0x301162 + 0x10 $\cdot$ x)の設定にかかわらず、本ビットの設定が有効です。

D[11:0] SxADRH[11:0]: Ch.x Source Address[27:16] (標準モード用)

デュアルアドレスモードでは、これらのビットを転送元アドレスの上位12ビットの指定に使用します。シングルアドレスモードでは外部メモリアドレスの上位12ビットの指定に使用します。

詳細については、SxADRL[15:0](D[15:0]/0x301124 + 0x10 $\cdot$ x)を参照してください。

0x301128–0x301158: HSDMA Ch.x Low-Order Destination Address Setup Registers (pHSx_DADR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x low-order destination address setup register (pHSx_DADR)	00301128 I 00301158 (HW)	D15	DxADRL15	D) Ch.x destination address[15:0] S) Invalid		0	R/W	
		D14	DxADRL14			0		
		D13	DxADRL13			0		
		D12	DxADRL12			0		
		D11	DxADRL11			0		
		D10	DxADRL10			0		
		D9	DxADRL9			0		
		D8	DxADRL8			0		
		D7	DxADRL7			0		
		D6	DxADRL6			0		
		D5	DxADRL5			0		
		D4	DxADRL4			0		
		D3	DxADRL3			0		
		D2	DxADRL2			0		
		D1	DxADRL1			0		
		D0	DxADRL0			0		

Note:
D) Dual address
mode
S) Single
address
mode

II
HSDMA

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

- 0x301128 HSDMA Ch.0 Low-Order Destination Address Setup Register (pHS0_DADR)
- 0x301138 HSDMA Ch.1 Low-Order Destination Address Setup Register (pHS1_DADR)
- 0x301148 HSDMA Ch.2 Low-Order Destination Address Setup Register (pHS2_DADR)
- 0x301158 HSDMA Ch.3 Low-Order Destination Address Setup Register (pHS3_DADR)

D[15:0] DxADRL[15:0]: Ch.x Destination Address[15:0] (標準モード用)

デュアルアドレスモードでは、これらのビットを転送先アドレスの指定に使用します。

DxADRL[15:0]でアドレスの下位16ビットを設定します。

レジスタの書き込みおよび読み出しは、DMA転送を禁止 (HSx_EN(D0/0x30112C + 0x10・x) = 0) して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント (DxIN[1:0](D[13:12]/0x30112A + 0x10・x) または DxID(D5/0x301162 + 0x10・x) の設定による) されます。

注: シングルアドレスモードでは、これらのビットは使用しません。

- 以下のエリアを転送先アドレスに指定することはできません。
エリア0(A0RAM)、エリア2
- 拡張モード時のアドレス指定には、DxADRL[15:0](D[15:0]/0x301168 + 0x10・x) および DxADRH[15:0](D[15:0]/0x30116A + 0x10・x) を使用してください。

0x30112A–0x30115A: HSDMA Ch.x High-Order Destination Address Setup Registers

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
HSDMA Ch.x high-order destination address setup register Note: D) Dual address mode S) Single address mode	0030112A I 0030115A (HW)	D15	DxMOD1	Ch.x transfer mode	DxMOD[1:0]	Mode	0	R/W	
		D14	DxMOD0		11	Invalid	0		
					10	Block			
					01	Successive			
					00	Single			
		D13	DxIN1	D) Ch.x destination address control S) Invalid	DxIN[1:0]	Inc/dec	0	R/W	
		D12	DxIN0		11	Inc.(no init)	0		
					10	Inc.(init)			
					01	Dec.(no init)			
					00	Fixed			
		D11	DxADRH11	D) Ch.x destination address[27:16] S) Invalid			0	R/W	
		D10	DxADRH10				0		
		D9	DxADRH9				0		
		D8	DxADRH8				0		
		D7	DxADRH7				0		
		D6	DxADRH6				0		
		D5	DxADRH5				0		
		D4	DxADRH4				0		
		D3	DxADRH3				0		
		D2	DxADRH2				0		
		D1	DxADRH1				0		
		D0	DxADRH0				0		

注: ビット名などの'x'はチャンネル番号の0～3を示します。

0x30112A HSDMA Ch.0 High-Order Destination Address Setup Register

0x30113A HSDMA Ch.1 High-Order Destination Address Setup Register

0x30114A HSDMA Ch.2 High-Order Destination Address Setup Register

0x30115A HSDMA Ch.3 High-Order Destination Address Setup Register

D[15:14] DxMOD[1:0]: Ch.x Transfer Mode Select Bits

転送モードを選択します。

表II.1.9.3 転送モード

DxMOD1	DxMOD0	モード
1	1	無効
1	0	ブロック転送モード
0	1	連続転送モード
0	0	シングル転送モード

(デフォルト: 0b00)

シングル転送モードは、1回のトリガに対してDATSIZE_x(D14/0x301126 + 0x10・x)またはWORDSIZE_x(D0/0x301162 + 0x10・x)に設定したサイズのデータを1回転送して終了します。連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。ブロック転送モードは、1回のトリガに対してBLKLEN_x[7:0](D[7:0]/0x301120 + 0x10・x)で設定したサイズのブロックを1回転送して終了します。

D[13:12] DxIN[1:0]: Ch.x Destination Address Control Bits

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表II.1.9.4 アドレス制御

DxIN1	DxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

(デフォルト: 0b00)

デュアルアドレスモードでは、この設定が転送先アドレスに適用されます。“アドレス固定”(00)に設定しておくと、データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

“初期化なしインクリメント”(11)を設定しておく、1つのデータの転送終了時に転送先アドレスが $\text{DATSIZE}_x(\text{D14}/0\text{x}301126 + 0\text{x}10 \cdot x)$ または $\text{WORDSIZE}_x(\text{D0}/0\text{x}301162 + 0\text{x}10 \cdot x)$ に設定したサイズ分インクリメントされます。

“初期化なしデクリメント”(01)を設定した場合は、転送先アドレスが同様にデクリメントされます。

“初期化付きインクリメント”(10)を設定しておく、1つのデータの転送終了時に転送先アドレスが $\text{DATSIZE}_x(\text{D14}/0\text{x}301126 + 0\text{x}10 \cdot x)$ または $\text{WORDSIZE}_x(\text{D0}/0\text{x}301162 + 0\text{x}10 \cdot x)$ に設定したサイズ分インクリメントされます。シングル転送モードの場合、転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、インクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

シングルアドレスモードでは、これらのビットは使用しません。

注: 拡張モード時は、 $\text{DxID}(\text{D5}/0\text{x}301162 + 0\text{x}10 \cdot x) = 0$ の場合に本ビットが有効になります。 $\text{DxID}(\text{D5}/0\text{x}301162 + 0\text{x}10 \cdot x) = 1$ の場合は本ビットの設定は無視され、“アドレスデクリメント(初期化付き)”が設定されます。

標準モード時は、 $\text{DxID}(\text{D5}/0\text{x}301162 + 0\text{x}10 \cdot x)$ の設定にかかわらず、本ビットの設定が有効です。

D[11:0] **DxADRH[11:0]: Ch.x Destination Address[27:16]** (標準モード用)

デュアルアドレスモードでは、これらのビットを転送先アドレスの上位12ビットの指定に使用します。

詳細については、 $\text{DxADRL}[15:0](\text{D}[15:0]/0\text{x}301128 + 0\text{x}10 \cdot x)$ を参照してください。

シングルアドレスモードでは、これらのビットは使用しません。

0x30112C–0x30115C: HSDMA Ch.x Enable Registers (pHSx_EN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA Ch.x enable register (pHSx_EN)	0030112C I	D15–1	–	reserved	–			–	–	0 when being read.
	0030115C (HW)	D0	HSx_EN	Ch.x enable	1	Enable	0	Disable	0	R/W

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

- 0x30112C HSDMA Ch.0 Enable Register (pHS0_EN)
- 0x30113C HSDMA Ch.1 Enable Register (pHS1_EN)
- 0x30114C HSDMA Ch.2 Enable Register (pHS2_EN)
- 0x30115C HSDMA Ch.3 Enable Register (pHS3_EN)

D[15:1] Reserved

D0 HSx_EN: Ch.x Enable Bit

各HSDMAチャンネルのDMA転送を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットに1を書き込むと、DMA転送が許可されます。これにより、そのHSDMAチャンネルは#DMAREQ_x信号または選択されているトリガ要因によるDMA要求を受け付け可能な状態となります。

0を書き込むと、DMA転送は禁止されます。

DMA転送が終了(転送カウンタ = 0)すると、HSx_ENはハードウェアによりクリアされます。転送条件等の設定は、DMA転送を禁止(HSx_EN = 0)してから行ってください。

0x30112E–0x30115E: HSDMA Ch.x Trigger Flag Registers (pHSx_TF)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA Ch.x trigger flag register (pHSx_TF)	0030112E I 0030115E (HW)	D15–1	–	reserved	–			–	–	0 when being read.
		D0	HSx_TF	Ch.x trigger flag clear (writing)	1	Clear	0	No operation	0	R/W
				Ch.x trigger flag status (reading)	1	Set	0	Cleared		

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

- 0x30112E HSDMA Ch.0 Trigger Flag Register (pHS0_TF)
- 0x30113E HSDMA Ch.1 Trigger Flag Register (pHS1_TF)
- 0x30114E HSDMA Ch.2 Trigger Flag Register (pHS2_TF)
- 0x30115E HSDMA Ch.3 Trigger Flag Register (pHS3_TF)

D[15:1] Reserved

D0 HSx_TF: Ch.x Trigger Flag Clear/Status Bit

トリガフラグの状態の確認とクリアに使用します。

- 1(R): セット状態
- 0(R): クリア状態(デフォルト)
- 1(W): トリガフラグクリア
- 0(W): 無効

トリガフラグは各HSDMAチャンネルのトリガ要因が発生すると1にセットされ、そのHSDMAチャンネルがデータ転送を開始すると0にクリアされます。HSx_TFを読み出すことにより、その設定状態が確認できます。また、DMA転送開始前であれば、HSx_TFに1を書き込むことでセットされているトリガフラグをクリア(DMA転送を中止)することができます。

0x301162–0x301192: HSDMA Ch.x Control Registers (pHSx_ADV MODE) for ADV mode

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x control register (pHSx_ADV MODE) for ADV mode Note: D) Dual mode S) Single mode	00301162 I 00301192 (HW)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	DxID	D) Ch.x destination address control S) Invalid	1 Decrement (with init.) 0 DxIN[1:0] setting	0	R/W	
		D4	SxID	D) Ch.x source address control S) Ch.x memory address control	1 Decrement (with init.) 0 SxIN[1:0] setting	0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	WORDSIZEx	Ch.x transfer data size	1 Word 0 DATSIZEx setting	0	R/W	

注: • このレジスタは拡張モード時(HSDMAADV(D0/0x30119C) = 1)にのみ有効です。

- ビット名などの‘x’はチャンネル番号の0～3を示します。

0x301162	HSDMA Ch.0 Control Register (pHS0_ADV MODE)
0x301172	HSDMA Ch.1 Control Register (pHS1_ADV MODE)
0x301182	HSDMA Ch.2 Control Register (pHS2_ADV MODE)
0x301192	HSDMA Ch.3 Control Register (pHS3_ADV MODE)

D[15:6] Reserved

D5 DxID: Ch.x Destination Address Control Bit

転送先アドレスの初期化付きデクリメント機能を有効にします。

1(R/W): 初期化付きデクリメント

0(R/W): DxIN[1:0]の設定が有効(デフォルト)

デュアルアドレスモードでこのビットを1に設定すると初期化付きデクリメント機能が有効となり、1つのデータの転送終了時に転送先アドレスがDATSIZEx(D14/0x301126 + 0x10•x)またはWORDSIZEx(D0/0x301162 + 0x10•x)で設定したデータサイズ分デクリメントされます。シングル転送モードの場合、転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、デクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にデクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

本ビットを0に設定した場合はDxIN[1:0](D[13:12]/0x30112A + 0x10•x)の設定が有効となります。

シングルアドレスモードでは、このビットは使用しません。

D4 SxID: Ch.x Source Address Control Bit

転送元アドレスの初期化付きデクリメント機能を有効にします。

1(R/W): 初期化付きデクリメント

0(R/W): SxIN[1:0]の設定(デフォルト)

デュアルアドレスモードでは、この設定が転送元アドレスに適用されます。シングルアドレスモードでは外部メモリアドレスに適用されます。

このビットを1に設定すると初期化付きデクリメント機能が有効となり、1つのデータの転送終了時に転送元/外部メモリアドレスがDATSIZEx(D14/0x301126 + 0x10•x)またはWORDSIZEx(D0/0x301162 + 0x10•x)で設定したデータサイズ分デクリメントされます。シングル転送モードの場合、転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後、デクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にデクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

本ビットを0に設定した場合はSxIN[1:0](D[13:12]/0x301126 + 0x10•x)の設定が有効となります。

D[3:1] Reserved

D0 WORDSIZE_x: Ch.x Transfer Data Size Select Bit

転送するデータのサイズを選択します。

1(R/W): ワード

0(R/W): DATSIZE_xの設定が有効(デフォルト)

1を書き込むと転送データサイズが32ビットに設定されます。0を書き込むとDATSIZE_x(D14/0x301126 + 0x10・x)の設定が有効になります。

0x301164–0x301196: HSDMA Ch.x Source Address Setup Registers (pHSx_AD_SADR) for ADV mode

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x low-order source address setup register (pHSx_AD_SADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301164 I 00301194 (HW)	D15	SxADRL15	D) Ch.x source address[15:0]		0	R/W	
		D14	SxADRL14	S) Ch.x memory address[15:0]		0		
		D13	SxADRL13			0		
		D12	SxADRL12			0		
		D11	SxADRL11			0		
		D10	SxADRL10			0		
		D9	SxADRL9			0		
		D8	SxADRL8			0		
		D7	SxADRL7			0		
		D6	SxADRL6			0		
		D5	SxADRL5			0		
		D4	SxADRL4			0		
		D3	SxADRL3			0		
		D2	SxADRL2			0		
		D1	SxADRL1			0		
		D0	SxADRL0			0		
HSDMA Ch.x high-order source address setup register for ADV mode Note: D) Dual address mode S) Single address mode	00301166 I 00301196 (HW)	D15	SxADRH15	D) Ch.x source address[31:16]		0	R/W	
		D14	SxADRH14	S) Ch.x memory address[31:16]		0		
		D13	SxADRH13			0		
		D12	SxADRH12			0		
		D11	SxADRH11			0		
		D10	SxADRH10			0		
		D9	SxADRH9			0		
		D8	SxADRH8			0		
		D7	SxADRH7			0		
		D6	SxADRH6			0		
		D5	SxADRH5			0		
		D4	SxADRH4			0		
		D3	SxADRH3			0		
		D2	SxADRH2			0		
		D1	SxADRH1			0		
		D0	SxADRH0			0		

注: • このレジスタは拡張モード時(HSDMAADV(D0/0x30119C) = 1)にのみ有効です。

- ビット名などの‘x’はチャンネル番号の0～3を示します。

0x301164	HSDMA Ch.0 Low-Order Source Address Setup Register (pHS0_AD_SADR)
0x301166	HSDMA Ch.0 High-Order Source Address Setup Register for ADV mode
0x301174	HSDMA Ch.1 Low-Order Source Address Setup Register (pHS1_AD_SADR)
0x301176	HSDMA Ch.1 High-Order Source Address Setup Register for ADV mode
0x301184	HSDMA Ch.2 Low-Order Source Address Setup Register (pHS2_AD_SADR)
0x301186	HSDMA Ch.2 High-Order Source Address Setup Register for ADV mode
0x301194	HSDMA Ch.3 Low-Order Source Address Setup Register (pHS3_AD_SADR)
0x301196	HSDMA Ch.3 High-Order Source Address Setup Register for ADV mode

D[15:0]/0x301164–0x301194 SxADRL[15:0]: Ch.x Low-Order Source Address[15:0]

D[15:0]/0x301166–0x301196 SxADRH[15:0]: Ch.x High-Order Source Address[31:16]

デュアルアドレスモードでは、これらのビットを32ビットの転送元アドレスの指定に使用します。シングルアドレスモードでは32ビットの外部メモリアドレスの指定に使用します。レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN(D0/0x30112C + 0x10・x) = 0)して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(SxIN[1:0](D[13:12]/0x301126 + 0x10・x)またはSxID(D4/0x301162 + 0x10・x)の設定による)されます。

- 注: • 以下のエリアはDMA転送には使用できません。
デュアルアドレスモード: エリア0、エリア2
シングルアドレスモード: エリア0、エリア1、エリア2、エリア3、エリア6
- シングルアドレスモードでは、メモリ間のデータ転送は行えません。
 - 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。
 - 標準モード時のアドレス指定には、SxADRL[15:0] ($D[15:0]/0x301124 + 0x10 \cdot x$) および SxADDRH[11:0] ($D[11:0]/0x301126 + 0x10 \cdot x$) を使用してください。

0x301168–0x30119A: HSDMA Ch.x Destination Address Setup Registers (pHSx_ADV_DADR) for ADV mode

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.x low-order destination address setup register (pHSx_ADV_DADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301168 I 00301198 (HW)	D15	DxADRL15	D) Ch.x destination address[15:0]		0	R/W	
		D14	DxADRL14	S) Invalid		0		
		D13	DxADRL13			0		
		D12	DxADRL12			0		
		D11	DxADRL11			0		
		D10	DxADRL10			0		
		D9	DxADRL9			0		
		D8	DxADRL8			0		
		D7	DxADRL7			0		
		D6	DxADRL6			0		
		D5	DxADRL5			0		
		D4	DxADRL4			0		
		D3	DxADRL3			0		
		D2	DxADRL2			0		
		D1	DxADRL1			0		
		D0	DxADRL0			0		
HSDMA Ch.x high-order destination address setup register for ADV mode Note: D) Dual address mode S) Single address mode	0030116A I 0030119A (HW)	D15	DxADRH15	D) Ch.x destination address[31:16]		0	R/W	
		D14	DxADRH14	S) Invalid		0		
		D13	DxADRH13			0		
		D12	DxADRH12			0		
		D11	DxADRH11			0		
		D10	DxADRH10			0		
		D9	DxADRH9			0		
		D8	DxADRH8			0		
		D7	DxADRH7			0		
		D6	DxADRH6			0		
		D5	DxADRH5			0		
		D4	DxADRH4			0		
		D3	DxADRH3			0		
		D2	DxADRH2			0		
		D1	DxADRH1			0		
		D0	DxADRH0			0		

注: • このレジスタは拡張モード時(HSDMAADV(D0/0x30119C) = 1)にのみ有効です。

- ビット名などの‘x’はチャンネル番号の0～3を示します。

0x301168	HSDMA Ch.0 Low-Order Destination Address Setup Register (pHS0_ADV_DADR)
0x30116A	HSDMA Ch.0 High-Order Destination Address Setup Register for ADV mode
0x301178	HSDMA Ch.1 Low-Order Destination Address Setup Register (pHS1_ADV_DADR)
0x30117A	HSDMA Ch.1 High-Order Destination Address Setup Register for ADV mode
0x301188	HSDMA Ch.2 Low-Order Destination Address Setup Register (pHS2_ADV_DADR)
0x30118A	HSDMA Ch.2 High-Order Destination Address Setup Register for ADV mode
0x301198	HSDMA Ch.3 Low-Order Destination Address Setup Register (pHS3_ADV_DADR)
0x30119A	HSDMA Ch.3 High-Order Destination Address Setup Register for ADV mode

D[15:0]/0x301168–0x301198 DxADRL[15:0]: Ch.x Destination Address[15:0]

D[15:0]/0x30116A–0x30119A DxADRH[15:0]: Ch.x Destination Address[31:16]

デュアルアドレスモードでは、これらのビットを32ビットの転送先アドレスの指定に使用します。

レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN(D0/0x30112C + 0x10•x) = 0)して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(DxIN[1:0](D[13:12]/0x30112A + 0x10•x)またはDxID(D5/0x301162 + 0x10•x)の設定による)されます。

- 注: • シングルアドレスモードでは、これらのビットは使用しません。
- 以下のエリアを転送先アドレスとして指定することはできません。
エリア0 (A0RAM)、エリア2
 - 標準モード時のアドレス指定には、DxADRL[15:0] ($D[15:0]/0x301128 + 0x10 \cdot x$) および DxADRH[11:0] ($D[11:0]/0x30112A + 0x10 \cdot x$) を使用してください。

0x30119C: HSDMA STD/ADV Mode Select Register (pHS_CNTLMODE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA STD/ADV mode select register (pHS_CNTLMODE)	0030119C (HW)	D15-1	—	reserved	—			—	—	0 when being read.
		D0	HSDMAADV	Standard mode/advanced mode select	1	Advanced mode	0	Standard mode	0	R/W

D[15:1] Reserved**D0 HSDMAADV: Standard/Advanced Mode Select Bit**

標準モードまたは拡張モードを選択します。

1(R/W): 拡張モード

0(R/W): 標準モード(デフォルト)

S1C33L19のHSDMAはC33 STDのHSDMAを基に機能が拡張されており、従来のHSDMAとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表II.1.9.5に動作モードによる機能の相違点を示します。

表II.1.9.5 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
転送元/転送先アドレスビット数	28ビット	32ビット
ワード(32ビット)データ転送	不可	可能
初期化付きアドレスデクリメント	不可	可能

拡張モードにするには、このビットを1に設定します。この設定後、拡張モード用制御レジスタ(0x301162～0x30119A)への書き込みが可能となります。

- 注: • 拡張モードに設定した場合は、拡張モード用の制御レジスタを使用してください。
- 標準/拡張モードの設定は、HSDMAのすべてのチャンネルに適用されます。個別に設定することはできません。

0x30119E: DMA Sequential Access Time Register (pHS_ACCTIME)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
DMA sequential access time register (pHS_ACCTIME)	0030119E (HW)	D15-4	—	reserved	—			—	—	0 when being read.
		D3	DMAACCTIME3	IDMA and HSDMA sequential access time setup	0	Unlimited	8	512 cycles	0	R/W
		D2	DMAACCTIME2		1	64 cycles	9	576 cycles	0	
		D1	DMAACCTIME1		2	128 cycles	A	640 cycles	0	
		D0	DMAACCTIME0		3	192 cycles	B	704 cycles	0	
					4	256 cycles	C	768 cycles		
					5	320 cycles	D	832 cycles		
					6	384 cycles	E	896 cycles		
					7	448 cycles	F	960 cycles		

D[15:4] Reserved

D[3:0] DMAACCTIME: IDMA and HSDMA Sequential Access Time Setup Bits

IDMAとHSDMAのシーケンシャルアクセス時間を設定します。

表II.1.9.6 シーケンシャルアクセス時間の設定

DMAACCTIME3	DMAACCTIME2	DMAACCTIME1	DMAACCTIME0	DMAシーケンシャルアクセス時間
1	1	1	1	960サイクル
1	1	1	0	896サイクル
1	1	0	1	832サイクル
1	1	0	0	768サイクル
1	0	1	1	704サイクル
1	0	1	0	640サイクル
1	0	0	1	576サイクル
1	0	0	0	512サイクル
0	1	1	1	448サイクル
0	1	1	0	384サイクル
0	1	0	1	320サイクル
0	1	0	0	256サイクル
0	0	1	1	192サイクル
0	0	1	0	128サイクル
0	0	0	1	64サイクル
0	0	0	0	制限なし

(デフォルト: 0b0000 = 制限なし)

“制限なし”に設定すると、DMA転送を終了するまでAHBバスは解放されません。サイクル数を指定すると、DMA転送から指定時間が経過するとDMACはDMA転送を一時的に中断し、バスを解放します。CPUあるいはLCDCはこの間に、待たされていたバスアクセスを行います。この後、DMACは中断していたDMA転送を再開します。

II.1.10 注意事項

- 転送条件の設定は、必ずDMAコントローラが動作停止中に(HS_x_EN(D0/0x30112C + 0x10•x))を0に設定して)行ってください。

* **HS_x_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register (D0/0x30112C + 0x10•x)

- イニシャルリセット後、割り込み要因フラグ(FHDM_x(Dx/0x300281))は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

* **FHDM_x**: HSDMA Ch.x Cause-of-Interrupt Flag in the DMA Interrupt Cause Flag Register (Dx/0x300281)

- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FHDM_x)をリセットしてください。
- HSDMAはIDMA(インテリジェントDMA)およびCPUよりも優先順位が高く設定されています。ただし、IDMAと共通の回路を使用しているため、IDMAの転送中はHSDMAがバス権を獲得することはできません。IDMA転送中に発生したHSDMAの起動要求はIDMA転送が終了するまで保留されます。HSDMA転送中に発生した割り込み要因によるIDMAの起動要求または割り込み要求は、HSDMA転送終了後に受け付けられます。
- デュアルアドレスモードでは、A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、IVRAM(エリア0)をDMA転送元または転送先に指定することはできません。IVRAM(エリア3)、DST RAM(エリア3)、エリア6の周辺I/OレジスタはDMA転送に使用可能です。
- シングルアドレスモードでは、A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、エリア2、IVRAM(エリア0またはエリア3)、DST RAM(エリア3)、エリア6の周辺I/Oレジスタを転送には使用できません。
- シングルアドレスモードでは、基本的にメモリ間のデータ転送は行えません。メモリ間のシングルアドレス転送を行うには外部ロジックが必要となります。
- 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。
- チップをSLEEPモードに設定する場合は、slp命令を実行する前に必ずHSDMAをディセーブルに設定してください。HALTモードはHSDMAがイネーブルのまま設定可能です。

II.2 インテリジェントDMA (IDMA)

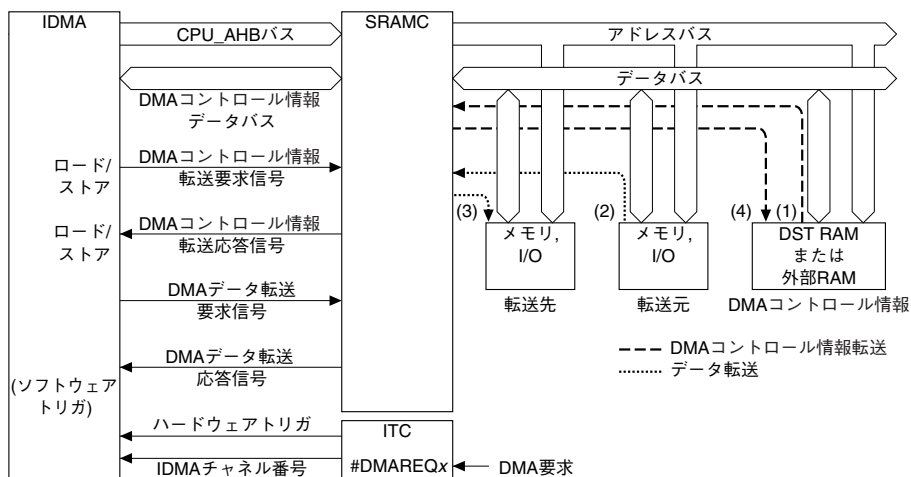
II.2.1 IDMAの機能概要

S1C33L19は、コントロール情報をRAM上にプログラミング可能なインテリジェントDMA (IDMA) を内蔵しています。内部周辺回路の割り込み要因によって起動可能な41チャンネルを含め、最大128チャンネルのプログラミングが可能です。

RAM上のコントロール情報のロードとストアによるオーバーヘッドが生じますが、連続転送やブロック転送、他のIDMAへのリンク機能などをサポートしています。

IDMAは内部周辺回路の割り込み要因およびソフトウェアによるトリガにより起動し、RAM上のコントロール情報に従ってデータ転送を行います。転送終了時には割り込みを発生させることや、リンク設定によって他のIDMAを起動させることができます。

■インテリジェントDMA転送



図II.2.1.1 インテリジェントDMA転送のデータおよびコントロール情報フロー

インテリジェントDMAの特長を以下に示します。

- 転送制御回路 HSDMAのデュアルアドレスモードと同等
- チャンネル数 128チャンネル
- コントロール情報 RAM上にプログラム可能
 - DST RAM (エリア3) または外部RAMに格納可能 (A0RAMは不可)
- 転送元 外部メモリ、エリア0と1以外の内蔵メモリ
- 転送先 外部メモリ、エリア0と1以外の内蔵メモリ
- 転送データサイズ 8、16または32ビット
- トリガ
 1. ソフトウェアトリガ (レジスタ制御)
 2. ハードウェアトリガ (割り込み要因)
- 転送モード
 1. シングル転送 (1トリガで1データのみを転送)
 2. 連続転送 (1トリガで指定数のデータを連続して転送)
 3. ブロック転送 (1トリガで指定サイズのデータブロックを転送)
- 転送アドレス制御 転送後、転送データサイズに従って転送元/転送先アドレスをインクリメント/デクリメント可能
 - 連続転送、ブロック転送では転送終了後にアドレスの初期化が可能
- リンク機能 他チャンネルを連続して起動可能

■S1C33L19の拡張機能

S1C33L19のDMAコントローラでは、一部のIDMA機能がC33 STDの機能から拡張されています。表II.2.1.1に相違点を示します。

表II.2.1.1 C33 STD IDMAとS1C33L19 IDMAの相違点

機 能	C33 STD IDMA	S1C33 L19 IDMA
転送元/転送先アドレスビット幅	28ビット	32ビット
転送回数カウンタ(シングル/連続転送モード時)	24ビット	32ビット
転送回数カウンタ(ブロック転送モード時)	16ビット	20ビット
ブロックサイズ指定ビット幅	8ビット	12ビット
転送データサイズ	16ビット、8ビット	32ビット、16ビット、8ビット
初期化付きアドレスデクリメント機能	なし	あり
コントロール情報サイズ/チャンネル	3ワード(96ビット)	4ワード(128ビット)
コントロール情報ベースアドレス	28ビット(ワード境界アドレス)	32ビット(4ワード境界アドレス)

この機能追加により、コントロール情報内の項目の配置も変更されています。また、コントロール情報をエリア0内蔵RAM(A0RAM)に置くことはできません。

II.2.2 コントロール情報のプログラミング

インテリジェントDMAはRAM上に用意されたコントロール情報によって動作します。コントロール情報は必ずDST RAM(エリア3)もしくは外部RAMに置いてください。A0RAM(エリア0)にコントロール情報を置くことはできません。

コントロール情報は各チャンネルごとに4ワード(16バイト)のサイズで、ソフトウェアで設定するベースアドレスをCh.0の先頭アドレスとして連続的に配置する必要があります。したがって、128チャンネルをすべて使用する場合は、RAM上に512ワード(2048バイト)の領域が必要となります。DST RAM(エリア3)の最後の132バイトはデバッグ回路用に予約されていますので、オンチップデバッグ機能を使用する場合は最大119チャンネルのみ使用可能です。

以下、ベースアドレスの設定方法と、コントロール情報の内容について説明します。IDMAを使用する前に、それぞれの設定を行ってください。

II.2.2.1 ベースアドレスの設定

コントロール情報の先頭アドレス(Ch.0の先頭アドレス)を、下位16ビット用はDBASEL[15:0](D[15:0]/0x301100)、上位16ビット用はDBASEH[15:0](D[15:0]/0x301102)で設定します。

- * **DBASEL[15:0]**: IDMA Low-order Base Address Bits in the IDMA Base Address Register 0 (D[15:0]/0x301100)
- * **DBASEH[15:0]**: IDMA High-order Base Address Bits in the IDMA Base Address Register 1 (D[15:0]/0x301102)

イニシャルリセット時、ベースアドレスは0x200003A0に設定されます。

- 注:
- コントロール情報は必ずDST RAM(エリア3)もしくは外部RAMに置いてください。A0RAM(エリア0)にコントロール情報を置くことはできません。
 - IDMAベースアドレスレジスタに設定するアドレスは、必ず4ワード単位の境界を指定してください。
 - ベースアドレスの設定は、DMA転送を禁止 (IDMAEN(D0/0x301105) = 0) して行ってください。DMA転送が許可されている場合 (IDMAEN(D0/0x301105) = 1)、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

- * **IDMAEN**: IDMA Enable Bit in the IDMA Enable Register (D0/0x301105)

II.2.2.2 コントロール情報

使用するIDMAチャンネルのコントロール情報をRAMに書き込みます。

各チャンネルのコントロール情報を置くアドレスは、ベースアドレスとチャンネル番号によって決まります。

チャンネルの先頭アドレス = ベースアドレス + (チャンネル番号 × 16[バイト])

- 注:
- コントロール情報の書き込みは、指定のチャンネルによるDMA転送が発生しない状態で行ってください。RAMにコントロール情報を書き込み中にそのチャンネルのDMA転送が発生すると正しい転送は行われません。コントロール情報の読み出しについては常時可能です。

II バスモジュール: インテリジェントDMA (IDMA)

各チャンネルのコントロール情報(4ワード)の内容は次のとおりです。

表II.2.2.2.1 IDMAコントロール情報

ワード	ビット	名 称	機 能
1st	D31	LNKEN	IDMAリンクイネーブル 1 = 許可、0 = 禁止
	D30–24	LNKCHN[6:0]	IDMAリンクフィールド
	D23–18	reserved	–
	D17–16	DATSIZ[1:0]	データサイズコントロール(11は設定禁止)
			DATSIZ1 DATSIZ0 設定内容
			1 0 ワード(32ビット)
			0 1 ハーフワード(16ビット)
			0 0 バイト(8ビット)
	D15	reserved	–
	D14–12	SRINC[2:0]	転送元アドレスコントロール(下記以外は設定禁止)
			SRINC2 SRINC1 SRINC0 設定内容
			1 0 0 初期化付きアドレスデクリメント (連続またはブロック転送モードでアドレスリセット)
			0 1 1 初期化なしアドレスインクリメント (アドレスリセットなし)
			0 1 0 初期化付きアドレスインクリメント (連続またはブロック転送モードでアドレスリセット)
			0 0 1 初期化なしアドレスデクリメント (アドレスリセットなし)
			0 0 0 アドレス固定
	D11	reserved	–
	D10–8	DSINC[2:0]	転送先アドレスコントロール(下記以外は設定禁止)
			DSINC2 DSINC1 DSINC0 設定内容
			1 0 0 初期化付きアドレスデクリメント (連続またはブロック転送モードでアドレスリセット)
			0 1 1 初期化なしアドレスインクリメント (アドレスリセットなし)
			0 1 0 初期化付きアドレスインクリメント (連続またはブロック転送モードでアドレスリセット)
			0 0 1 初期化なしアドレスデクリメント (アドレスリセットなし)
			0 0 0 アドレス固定
	D7–6	reserved	–
	D5–4	DMOD[1:0]	転送モード(11は設定禁止)
			DMOD1 DMOD0 設定内容
			1 0 ブロック転送モード
			0 1 連続転送モード
			0 0 シングル転送モード
	D3–1	reserved	–
	D0	DINTEN	終了割り込みイネーブル 1 = 許可、0 = 禁止
2nd	D31–12	TC[19:0]	転送回数カウンタ(ブロック転送モード) 転送回数カウンタ上位20ビット(シングル/連続転送モード)
	D11–0	BLKLEN[11:0]	ブロックサイズ(ブロック転送モード) 転送回数カウンタ下位12ビット(シングル/連続転送モード)
3rd	D31–0	SRADR[31:0]	転送元アドレス
4th	D31–0	DSADR[31:0]	転送先アドレス

LNKEN: IDMAリンクイネーブル (D31/1st Word)

このビットを1に設定しておくと、このチャンネルのDMA転送を終了後に、IDMAリンクフィールドに設定されたIDMAチャンネルを起動します。最初に実行するチャンネルのトリガのみで、複数チャンネルのDMA転送を連続で行うことができます。リンクするチャンネル数に制限はありません。IDMAチャンネルの実行順にリンクを設定してください。

このビットが0の場合、このチャンネルのDMA転送のみで終了します。

LNKCHN[6:0]: IDMAリンクフィールド (D[30:24]/1st Word)

IDMAのリンクを行う場合に、次に実行するチャンネル番号(0～127)を設定しておきます。

このフィールドのデータは、LNKENが1に設定されている場合にのみ有効です。

DATSIZ[1:0]: データサイズコントロール(D[17:16]/1st Word)

転送データ1個分のサイズを設定します。

表II.2.2.2.2 転送データサイズ

DATSIZ1	DATSIZ0	転送データサイズ
1	1	無効
1	0	ワード(32ビット)
0	1	ハーフワード(16ビット)
0	0	バイト(8ビット)

SRINC[2:0]: 転送元アドレスコントロール(D[14:12]/1st Word)

転送元アドレスの更新形式を設定します。

- **SRINC[2:0] = 000: アドレス固定**

データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

- **SRINC[2:0] = 011: 初期化なしアドレスインクリメント(アドレスリセットなし)**

1つのデータの転送終了時に転送元アドレスがDATSIZに設定したデータサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

- **SRINC[2:0] = 001: 初期化なしアドレスデクリメント(アドレスリセットなし)**

1つのデータの転送終了時に転送元アドレスがDATSIZに設定したデータサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

- **SRINC[2:0] = 010: 初期化付きアドレスインクリメント**

(連続またはブロック転送モードでアドレスリセット)

1つのデータの転送終了時に転送元アドレスがDATSIZに設定したデータサイズ分インクリメントされます。シングル転送モードの場合、転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後(CNT = 0)、インクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

- **SRINC[2:0] = 100: 初期化付きアドレスデクリメント**

(連続またはブロック転送モードでアドレスリセット)

1つのデータの転送終了時に転送元アドレスがDATSIZに設定したデータサイズ分デクリメントされます。シングル転送モードの場合、転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後(CNT = 0)、デクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にデクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

- **SRINC[2:0] = 上記以外: 設定禁止**

注: シングル転送モードでは、アドレス初期化付きを指定してもアドレスは初期値に戻りません。

DSINC[2:0]: 転送先アドレスコントロール(D[10:8]/1st Word)

転送先アドレスの更新形式を設定します。

- **DSINC[2:0] = 000: アドレス固定**

データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスに書き込まれます。

- **DSINC[2:0] = 011: 初期化なしアドレスインクリメント(アドレスリセットなし)**

1つのデータの転送終了時に転送先アドレスがDATSIZに設定したデータサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

- **DSINC[2:0] = 001: 初期化なしアドレスデクリメント(アドレスリセットなし)**

1つのデータの転送終了時に転送先アドレスがDATSIZに設定したデータサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

- **DSINC[2:0] = 010: 初期化付きアドレスインクリメント
(連続またはブロック転送モードでアドレスリセット)**

1つのデータの転送終了時に転送先アドレスがDATSIZに設定したデータサイズ分インクリメントされます。シングル転送モードの場合、転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後(CNT = 0)、インクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

- **DSINC[2:0] = 100: 初期化付きアドレスデクリメント
(連続またはブロック転送モードでアドレスリセット)**

1つのデータの転送終了時に転送先アドレスがDATSIZに設定したデータサイズ分デクリメントされます。シングル転送モードの場合、転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。連続転送モードでは、指定回数の転送終了後(CNT = 0)、デクリメントされたアドレスが、ソフトウェアで設定した初期値に戻ります。ブロック転送モードの場合も、ブロック転送中にデクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

- **DSINC[2:0] = 上記以外: 設定禁止**

注: シングル転送モードでは、アドレス初期化付きを指定してもアドレスは初期値に戻りません。

DMOD[1:0]: 転送モード(D[5:4]/1st Word)

転送モードを設定しておきます。

転送モードの概要は次のとおりです(詳細は後述)。

- **DMOD[1:0] = 00: シングル転送モード**

シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

- **DMOD[1:0] = 01: 連続転送モード**

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で0になります。

- **DMOD[1:0] = 10: ブロック転送モード**

ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

- **DMOD[1:0] = 11: 設定禁止**

DINTEN: 終了割り込みイネーブル(D0/1st Word)

このビットを1に設定しておく、転送回数カウンタが0になった時点でIDMAを起動した割り込み要因フラグに基づいてCPUへの割り込み要求が発生します。

このビットが0の場合、転送回数カウンタが0になってもCPUへの割り込み要求は発生しません。

TC[19:0]: 転送回数カウンタ(D[31:12]/2nd Word)

ブロック転送モードでは最大20ビットの転送回数が指定可能で、その値をここに設定します。

シングル転送モード/連続転送モードでは最大32ビットの転送回数が指定可能で、ここにはその上位20ビットを設定します。

BLKLEN[11:0]: ブロックサイズ/転送回数カウンタ (D[11:0]/2nd Word)

ブロック転送モードでは、1回に転送されるブロックのサイズ(単位はDATSIZによる)を設定します。シングル転送モード/連続転送モードでは、転送回数の下位12ビットを設定します。

注: 設定した転送回数とブロックサイズは転送に従ってデクリメントされます。0を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

SRADR[31:0]: 転送元アドレス (D[31:0]/3rd Word)

転送元の先頭アドレスを設定しておきます。この内容は、SRINCの設定に従って更新されます。

DSADR[31:0]: 転送先アドレス (D[31:0]/4th Word)

転送先の先頭アドレスを設定しておきます。この内容は、DSINCの設定に従って更新されます。

注: • エリア0(A0RAM)とエリア2は、IDMA転送およびコントロール情報の格納には使用できません。
• コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャンネルのDMA転送が発生しない状況で行ってください。

II

IDMA

II.2.3 IDMAの起動

IDMAを起動するトリガには次の3種類の要因があります。

1. 内蔵周辺回路の割り込み要因(ハードウェアトリガ)
2. ソフトウェアトリガ
3. リンク設定

■DMA転送の許可/禁止

IDMAイネーブルビットIDMAEN(D0/0x301105)に1を書き込むことによってDMAコントローラがイネーブルとなり、上記のトリガを受け付けられる状態となります。ただし、DMA転送を許可する前に、必ずベースアドレスと起動するチャンネルのコントロール情報を正しく設定してください。

IDMAEN(D0/0x301105)に0を書き込むとIDMA起動要求は受け付けられません。

* IDMAEN: IDMA Enable Bit in the IDMA Enable Register (D0/0x301105)

■内蔵周辺回路の割り込み要因によるIDMAの起動

割り込み機能を持つ内蔵周辺回路の中には、その割り込み要因でIDMAを起動できるものがあります。これらに対応するIDMAチャンネル番号はあらかじめ決められています。この機能を持つ割り込み要因とIDMAチャンネルの関係を表II.2.3.1に示します。

表II.2.3.1 IDMAを起動可能な割り込み要因

周辺回路	割り込み要因	IDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
入出力ポート	ポート入力0	1	RP0 (D0/0x300290)	DEP0 (D0/0x300294)
	ポート入力1	2	RP1 (D1/0x300290)	DEP1 (D1/0x300294)
	ポート入力2	3	RP2 (D2/0x300290)	DEP2 (D2/0x300294)
	ポート入力3	4	RP3 (D3/0x300290)	DEP3 (D3/0x300294)
高速DMA	Ch.0転送終了	5	RHDM0 (D4/0x300290)	DEHDM0 (D4/0x300294)
	Ch.1転送終了	6	RHDM1 (D5/0x300290)	DEHDM1 (D5/0x300294)
16ビットタイマ 0-3	タイマ0コンペアB	7	R16TU0 (D6/0x300290)	DE16TU0 (D6/0x300294)
	タイマ0コンペアA	8	R16TC0 (D7/0x300290)	DE16TC0 (D7/0x300294)
	タイマ1コンペアB	9	R16TU1 (D0/0x300291)	DE16TU1 (D0/0x300295)
	タイマ1コンペアA	10	R16TC1 (D1/0x300291)	DE16TC1 (D1/0x300295)
	タイマ2コンペアB	11	R16TU2 (D2/0x300291)	DE16TU2 (D2/0x300295)
	タイマ2コンペアA	12	R16TC2 (D3/0x300291)	DE16TC2 (D3/0x300295)
	タイマ3コンペアB	13	R16TU3 (D4/0x300291)	DE16TU3 (D4/0x300295)
	タイマ3コンペアA	14	R16TC3 (D5/0x300291)	DE16TC3 (D5/0x300295)
シリアル/F Ch.0-Ch.1	Ch.0受信バッファフル	23	RSRX0 (D6/0x300292)	DESRX0 (D6/0x300296)
	Ch.0送信バッファエンプティ	24	RSTX0 (D7/0x300292)	DESTX0 (D7/0x300296)
	Ch.1受信バッファフル	25	RSRX1 (D0/0x300293)	DESRX1 (D0/0x300297)
	Ch.1送信バッファエンプティ	26	RSTX1 (D1/0x300293)	DESTX1 (D1/0x300297)
A/D変換器	A/D変換終了	27	RADE (D2/0x300293)	DEADE (D2/0x300297)
入出力ポート	ポート入力4	28	RP4 (D4/0x300293)	DEP4 (D4/0x300297)
	ポート入力5	29	RP5 (D5/0x300293)	DEP5 (D5/0x300297)
	ポート入力6	30	RP6 (D6/0x300293)	DEP6 (D6/0x300297)
	ポート入力7	31	RP7 (D7/0x300293)	DEP7 (D7/0x300297)
LCDC	フレーム終了	33	RLCDC (D1/0x30029B)	DELCDC (D1/0x30029C)
シリアル/F Ch.2	Ch.2受信バッファフル	34	RSRX2 (D2/0x30029B)	DESRX2 (D2/0x30029C)
	Ch.2送信バッファエンプティ	35	RSTX2 (D3/0x30029B)	DESTX2 (D3/0x30029C)
SPI	受信DMA要求	36	RSPIRX (D4/0x30029B)	DESPIRX (D4/0x30029C)
	送信DMA要求	37	RSPITX (D5/0x30029B)	DESPITX (D5/0x30029C)
入出力ポート または ポートMUX割り込み	ポート入力8 / SPI	38	RP8 (D0/0x3002AC)	DEP8 (D0/0x3002AE)
	ポート入力9 / USB PDREQ	39	RP9 (D1/0x3002AC)	DEP9 (D1/0x3002AE)
	ポート入力10 / USB INT	40	RP10 (D2/0x3002AC)	DEP10 (D2/0x3002AE)
	ポート入力11	41	RP11 (D3/0x3002AC)	DEP11 (D3/0x3002AE)
入出力ポート	ポート入力12	42	RP12 (D4/0x3002AC)	DEP12 (D4/0x3002AE)
	ポート入力13	43	RP13 (D5/0x3002AC)	DEP13 (D5/0x3002AE)
	ポート入力14	44	RP14 (D6/0x3002AC)	DEP14 (D6/0x3002AE)
	ポート入力15	45	RP15 (D7/0x3002AC)	DEP15 (D7/0x3002AE)
I ² S	I ² S出力チャンネル	46	RI2S0 (D0/0x3002AD)	DEI2S0 (D0/0x3002AF)
	I ² S入力チャンネル	48	RI2S1 (D2/0x3002AD)	DEI2S1 (D2/0x3002AF)

これらの割り込み要因は、割り込み要求とIDMA起動要求に共通に使用されます。

割り込み要因発生時にIDMAを起動するには、表に示したIDMAリクエストビットとIDMAイネーブルビットに1を書き込んでおきます。

非リンクモード(LNKEN=0):の場合

その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャネルを起動します。

1にセットされた割り込み要因フラグは、それによるDMA転送が終了するまで保持されます。

1回のDMA転送終了時に次の2つの条件が満たされていれば、割り込み要因フラグがリセットされずに割り込み要求を発生します。

- 転送回数カウンタが0になった
- コントロール情報のDINTENが1(割り込み許可)に設定されている

この場合、IDMAリクエストビットは0にクリアされます。したがって、次の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後、割り込みを許可する前に行ってください。IDMAイネーブルビットはクリアされず、1を保持します。

転送回数カウンタが0以外の場合、DMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされずに1を保持したままとなります。

転送回数カウンタが0になった場合でも、コントロール情報のDINTENが0に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

IDMAリクエストレジスタのビットを0に設定しておく、その割り込み要因はIDMA起動要求を発生せずに、割り込み要求を発生します。

割り込み要因に対応する割り込みコントローラの制御レジスタ(割り込みイネーブルレジスタ、割り込みプライオリティレジスタ)は、IDMAの起動には影響しません。割り込みイネーブルレジスタのビットが0の場合でもIDMAは起動します。ただし、DMA転送終了後に割り込みを発生させる場合は、これらのレジスタで割り込みを許可しておくことが必要です。

リンクモード(LNKEN=1):の場合

1. 割り込み要因が発生したとき、リンクされたチェーンごとにIDMAが連続的に起動されます。このモードでは、割り込み要因フラグは、各チャネルの転送回数カウンタまたはDINTEN設定の値に関係なく0にクリアされます。したがって、対応する割り込み要求がCPUに出されることはありません。
2. 最初のチャネルのIDMAリクエストビットは、各チャネルの転送回数カウンタまたはDINTEN設定の値に関係なく、クリアされず1を保持します。
3. 各リンクされたチャネルのIDMAイネーブルビットは、チャネルの転送回数カウンタの値が0になったときに0にクリアされます。したがって、第1のチャネルのIDMAイネーブルビットがクリアされているとき、次に割り込み要因が発生したときにIDMAを起動しなければならない場合は、このビットを再び設定してください。
4. 次の2つの条件を満たした場合にIDMA割り込み要因フラグFIDMA(D4/0x300281)が設定されます。
 - 最後にリンクされたチャネルの転送回数カウンタが0になる。
 - 最後にリンクされたチャネルのコントロール情報のDINTENが1に設定される(割り込み許可)。

最後にリンクされたチャネルの転送回数カウンタが0でないかまたは最後にリンクされたチャネルのDINTENが0の場合は、FIDMA(D4/0x300281)は設定されず、割り込みは生成されません。

■ソフトウェアトリガによるIDMAの起動

前述の割り込み要因に対応したIDMAチャンネルを含め、コントロール情報が設定されているすべてのIDMAチャンネルはソフトウェアによって起動することができます。

IDMAEN(D0/0x301105)を1に設定した後、起動するIDMAチャンネル番号(0~127)をDCHN[6:0](D[6:0]/0x301104)に書き込み、DSTART(D7/0x301104)に1を書き込むことによって、指定したIDMAチャンネルがDMA転送を開始します。

* **DCHN[6:0]**: IDMA Channel Number Set-up Bits in the IDMA Start Register (D[6:0]/0x301104)

* **DSTART**: IDMA Start Control Bit in the IDMA Start Register (D7/0x301104)

DSTARTはDMA転送中は1を保持し、1回のDMA転送を終了するとハードウェアによって0に戻されます。

DMA転送中は、これらのビットをソフトウェアで変更しないでください。

DINTENが1(割り込み許可)に設定されていると、1回のDMA転送が終了した時点でIDMA転送終了割り込み要因が発生します。

■リンク設定によるIDMAの起動

コントロール情報のLNKENが1(リンク許可)に設定されていると、そのチャンネルのDMA転送を終了後にIDMAリンクフィールドLNKCHNに設定されているIDMAチャンネルを続けて起動します。

リンクされたすべてのチャンネルの転送が完了した後は、割り込み条件を満たした場合でも、最初のチャンネルによる割り込み要求は生成されません。

リンクモードでは、IDMA転送終了割り込みだけを生成することができます。この割り込みをIDMA転送の終了時(すなわち、最後にリンクされたチャンネルの転送回数カウンタが0になったとき)に生成するには、最後にリンクされたIDMAコントロール情報のDINTEN(転送終了割り込みイネーブル)ビットを1に設定してください。

■DMA転送中のIDMA起動要求

DMA転送中に発生した別のチャンネルに対するIDMA起動要求は、その時点に実行中のDMA転送を終了するまで保留されます。起動要求はクリアされませんので、実行中のDMA転送を終了すると受け付けられます。

DMA転送中のチャンネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません。したがって、同一チャンネルを起動するには、そのDMA転送時間よりも長いインターバルが必要です。ただし、リンクモードでは、単一システム上に複数のIDMAチェーンが同時に存在できない場合があります。IDMAチェーンが複数あると動作が不安定になります。

■DMA転送禁止状態でのIDMA起動要求

IDMAEN(D0/0x301105)が0(DMA転送禁止)のときに発生したIDMA起動要求は、IDMAEN(D0/0x301105)を1に設定するまで保留されます。起動要求はクリアされませんので、DMA転送を許可した時点で受け付けられます。

■ソフトウェアトリガとハードウェアトリガが同時に発生した場合

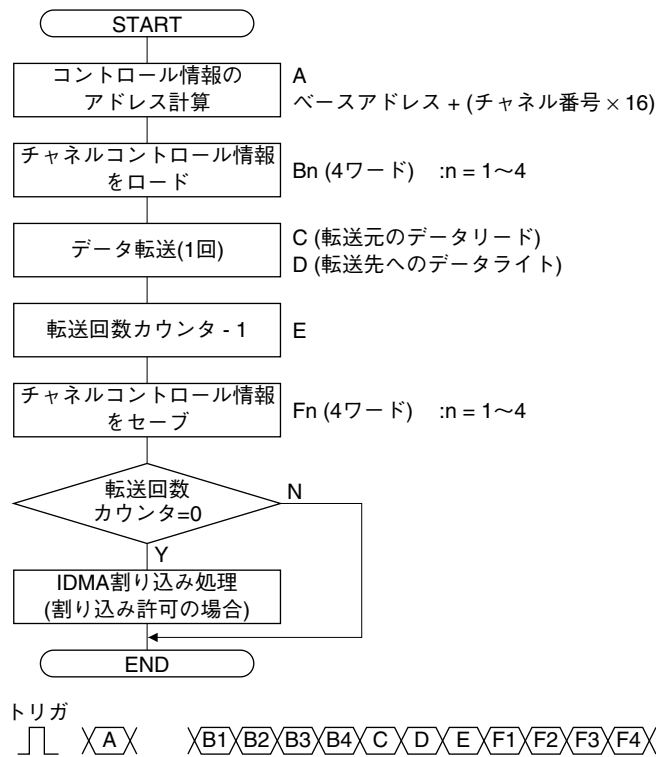
同一チャンネルへのソフトウェアトリガとハードウェアトリガが同時に発生した場合、ソフトウェアトリガによるIDMA転送が先に行われます。この転送が終了した時点で、ハードウェアトリガによるIDMA転送が行われます。

II.2.4 IDMAの動作

IDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。また、トリガの種類により割り込み要因の処理も異なります。なお、IDMAはデュアルアドレスモード固定です。シングルアドレスモードには対応していません。以下の説明は、IDMAが非リンクモードであると想定しています。リンクモードについては、“I.2.5リンク”を参照してください。

II.2.4.1 シングル転送モード

コントロール情報のDMODが00に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードの動作を図II.2.4.1.1のフローチャートに示します。



図II.2.4.1.1 シングル転送モードの動作フロー

- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (4) 読み出したデータを転送先アドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6) 変更されたコントロール情報をRAMに書き込みます。
- (7) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠0	リセット(0)	変更なし(1)	変更なし(1)
転送カウンタ=0, DINTEN=1	変更なし(1)	リセット(0)	変更なし(1)
転送カウンタ=0, DINTEN=0	リセット(0)	変更なし(1)	リセット(0)

II.2.4.2 連続転送モード

コントロール情報のDMODが01に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で0になります。連続転送モードの動作を図II.2.4.2.1のフローチャートに示します。

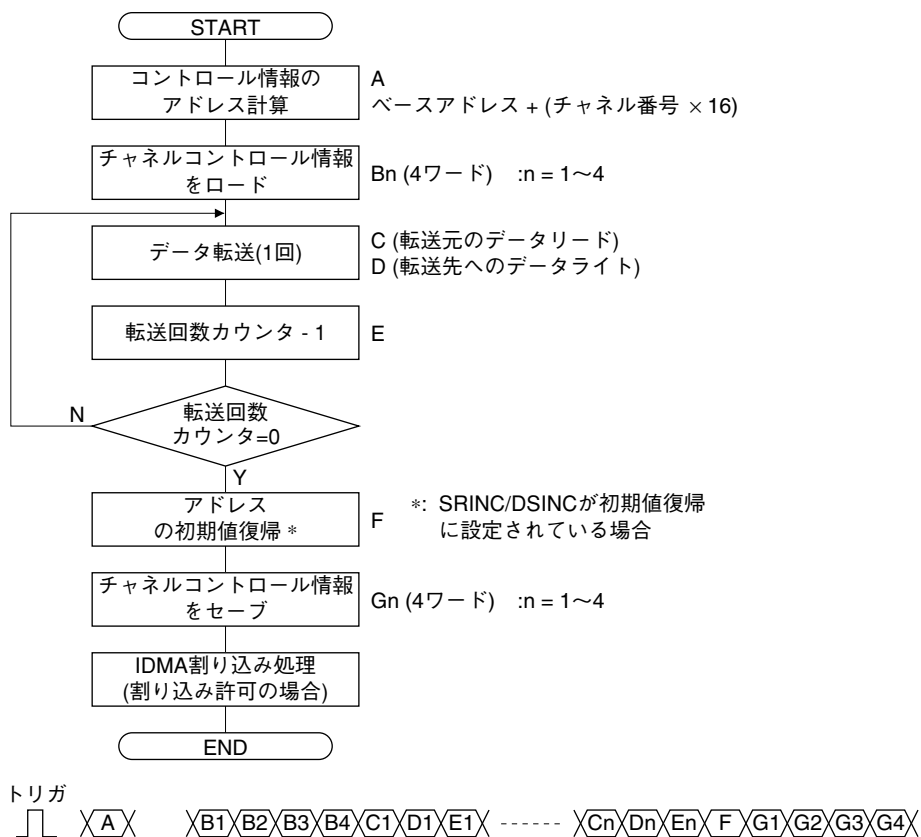


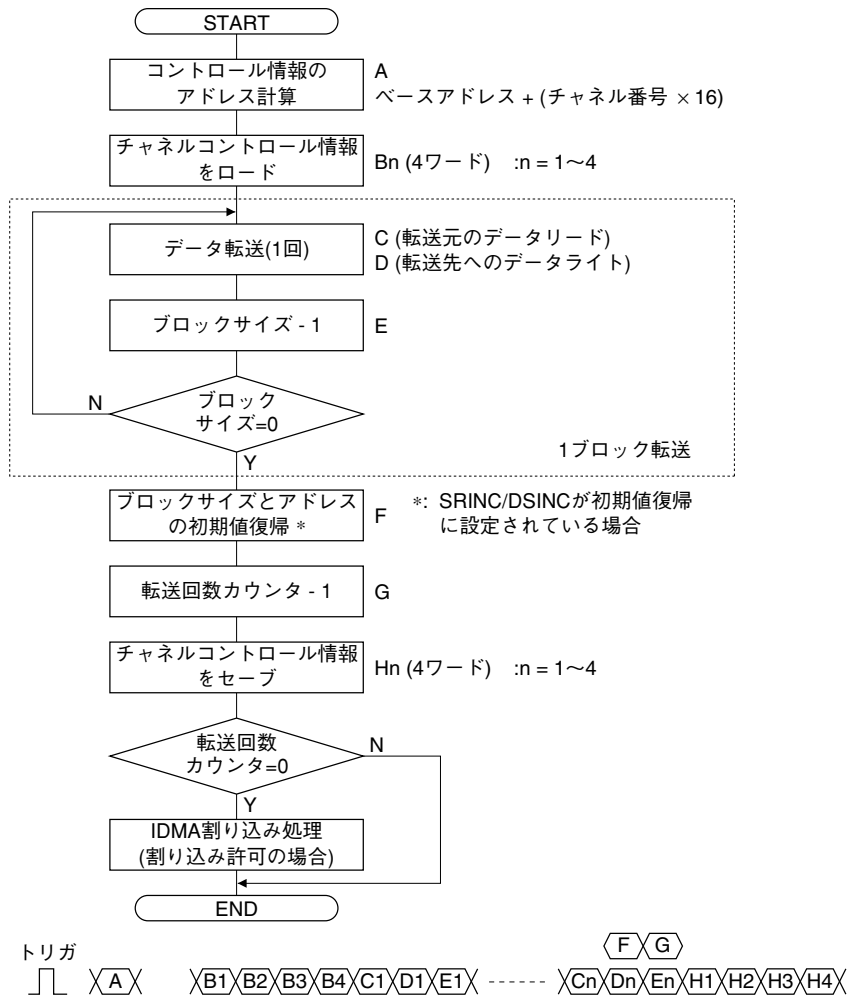
図11.2.4.2.1 連続転送モードの動作フロー

- (1) トリガを受け付けると、ベースアドレスとチャネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (4) 読み出したデータを転送先アドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6) (3)～(5)を転送回数カウンタが0になるまで繰り返します。
- (7) SRINC、DSINCが010または100の場合は、アドレスを初期値に戻します。
- (8) 変更されたコントロール情報をRAMに書き込みます。
- (9) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠0	リセット (0)	変更なし (1)	変更なし (1)
転送カウンタ=0, DINTEN=1	変更なし (1)	リセット (0)	変更なし (1)
転送カウンタ=0, DINTEN=0	リセット (0)	変更なし (1)	リセット (0)

II.2.4.3 ブロック転送モード

コントロール情報のDMODが10に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。ブロック転送モードの動作を図II.2.4.3.1のフローチャートに示します。



- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (4) 読み出したデータを転送先アドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、BLKLENのデクリメントを行います。
- (6) (3)~(5)をBLKLENが0になるまで繰り返します。
- (7) SRINC、DSINCが010または100の場合は、アドレスを初期値に戻します。
- (8) 転送回数カウンタをデクリメントします。
- (9) 変更されたコントロール情報をRAMに書き込みます。
- (10) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠0	リセット(0)	変更なし(1)	変更なし(1)
転送カウンタ=0, DINTEN=1	変更なし(1)	リセット(0)	変更なし(1)
転送カウンタ=0, DINTEN=0	リセット(0)	変更なし(1)	リセット(0)

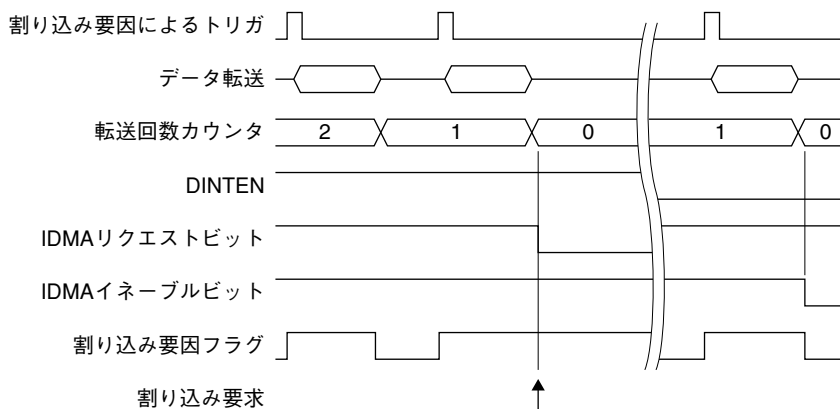
II.2.4.4 トリガの種類による割り込み要因処理

■割り込み要因で起動した場合

IDMAを起動した割り込み要因フラグは、DMA転送中もセットされた状態を保持します。1回のDMA転送を終了した時点で転送回数カウンタが0になり、かつDINTENが1(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも0にクリアされます。IDMAイネーブルビットは1を保持します。

転送回数カウンタが0以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが0になった場合でも、DINTENが0(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。



図II.2.4.4.1 割り込み要因によって起動した場合の動作

割り込み要因で起動した場合、IDMA割り込み要因フラグFIDMA (D4/0x300281)はセットされません。

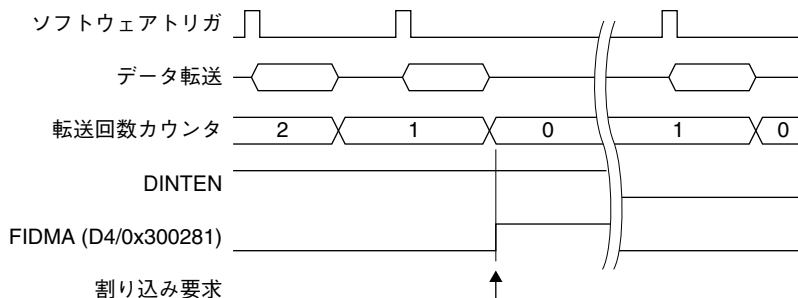
* FIDMA: IDMA Cause-of-Interrupt Flag in the DMA Interrupt Cause Flag Register (D4/0x300281)

■ソフトウェアトリガにより起動した場合

1回のDMA転送を終了した時点で転送回数カウンタが0になり、かつDINTENが1(割り込み許可)に設定されていれば、FIDMA (D4/0x300281)がセットされ、割り込み要求を発生します。

転送回数カウンタが0以外、またはDINTENが0(割り込み禁止)の場合、FIDMA (D4/0x300281)はセットされません。

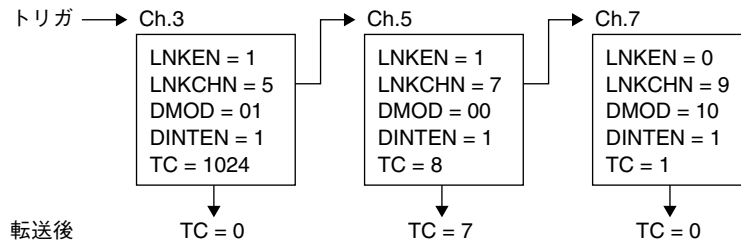
ソフトトリガによる転送中に割り込み要因フラグがセットされた場合、その割り込み要因フラグによるIDMA起動要求は保留されます。ただし、実行中のDMA転送が終了したところで割り込み要因フラグがリセットされますので、それによるDMA転送は行われません。



図II.2.4.4.2 ソフトウェアトリガによって起動した場合の動作

II.2.5 リンク

コントロール情報のIDMAリンクフィールドLNKCHNに次に実行するIDMAチャンネル番号を設定し、LNKENによってリンクを許可しておく、そのIDMAチャンネルのDMA転送を続けて行うことができます。リンクの設定例を図II.2.5.1に示します。



図II.2.5.1 リンクの設定例

上記例の動作は次のとおりです。

■ハードトリガの場合

- (1) 割り込み要因によってIDMA Ch.3が起動し、設定されているDMA転送を行います。
IDMAが連続転送モードで動作しており、転送回数カウンタが0に設定されるので、IDMAイネーブルビットがクリアされます。DINTENが1に設定された場合でも、チャンネル3を起動した割り込み要因フラグは常に0にクリアされます。
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが0となります。チャンネル7のDINTENが1なので、IDMA割り込み要因フラグFIDMA (D4/0x300281)が設定されます。他の割り込み条件が満たされた場合にIDMA割り込み終了が生成されます。
- (4) (1)でIDMAチャンネル3を起動した割り込み要因フラグがクリアされるので、リンクモードではチャンネル3のIDMAを起動する割り込み要因は生成されることはありません。

■ソフトトリガの場合

- (1) ソフトウェアトリガDSTART (D7/0x301104)によってIDMA Ch.3が起動し、設定されているDMA転送を行います。
IDMAが連続転送モードで動作しており、転送回数カウンタが0に設定されるので、IDMAイネーブルビットがクリアされます。このとき、DINTENが1に設定された場合でもIDMA割り込み要因フラグFIDMA (D4/0x300281)は設定されません。
 - * **DSTART**: IDMA Start Control Bit in the IDMA Start Register (D7/0x301104)
 - * **FIDMA**: IDMA Cause-of-Interrupt Flag in the DMA Interrupt Cause Flag Register (D4/0x300281)
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが0となります。この転送終了もFIDMA (D4/0x300281)を1にセットする要因となります。チャンネル7のDINTENが1なので、この転送が完了するとFIDMA (D4/0x300281)が1に設定されます。
- (4) FIDMA (D4/0x300281)が設定されるので、ここで割り込み要求が生成されます。前に述べたように各チャンネルでの転送操作が実行されます。

注: 単一システム上に複数のIDMAリンクチェーンが同時に存在できない場合があります。IDMAチェーンが複数あると動作が不安定になります。

II.2.6 IDMAの割り込み機能

IDMAは、IDMAの起動要因となった割り込みおよびIDMA自身の転送終了割り込みを発生することができます。

■割り込み要因で起動した場合の割り込み

非リンクモード(LNKEN=0):の場合

IDMAリクエストレジスタおよびIDMAイネーブルレジスタのビットを1に設定しておく、その割り込み要因が発生しても割り込み要求の出力は保留され、その要因に割り当てられたIDMAチャンネルを起動します。

1回のDMA転送を終了した時点で転送回数カウンタが0になり、かつDINTENが1(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも0にクリアされます。IDMAイネーブルビットは1を保持します。

転送回数カウンタが0以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが0になった場合でも、DINTENが0(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

割り込み要因で起動した場合、IDMA割り込み要因フラグFIDMA(D4/0x300281)はセットされません。

IDMAを起動可能な各割り込み要因と割り込み制御レジスタについては、それぞれの周辺回路の説明を参照してください。

なお、割り込み要因の優先順位は割り込みプライオリティレジスタで設定されます(“III.2 割り込みコントローラ(ITC)”を参照)。ただし、IDMAと割り込み要求を比べた場合、IDMAの方が優先順位は高くなっています。したがって、IDMA転送中にその起動要因よりも優先順位の高い割り込み要因が発生しても、その割り込み要求あるいはIDMA起動要求は現在のIDMA転送が終了するまでは受け付けられません。

リンクモード(LNKEN=1):の場合

1. 割り込み要因が発生すると、各リンクチェーン上にIDMAが連続的に起動されます。このモードでは、割り込み要因フラグは、各チャンネルの転送回数カウンタの値やDINTEN設定に関係なく0にクリアされます。すなわち、対応する割り込み要求がCPUに出されません。
2. 最初のチャンネルのIDMAリクエストビットは、各チャンネルの転送回数カウンタの値やDINTEN設定に関係なくクリアされず1を保持します。
3. 各リンクされたチャンネルのIDMAイネーブルビットは、チャンネルの転送回数カウンタの値が0になったときに必ず0にクリアされます。したがって、第1のチャンネルのIDMAイネーブルビットがクリアされたときは、次に割り込み要因が発生したときにIDMAを起動しなければならない場合は、このビットを再び設定してください。
4. 以下の2つの条件が満たされた場合に、IDMA割り込み要因フラグFIDMA(D4/0x300281)が設定されます。
 - 最後にリンクされたチャンネルの転送回数カウンタが0になる。
 - 最後にリンクされたチャンネルのコントロール情報のDINTENが1に設定される(割り込み許可)。

■ソフトウェアトリガで起動した場合の割り込み

非リンクモード(LNKEN=0):の場合

1回のDMA転送を終了した時点で転送回数カウンタが0になり、かつDINTENが1(割り込み許可)に設定されていれば、FIDMA(D4/0x300281)がセットされ、割り込み要求が発生します。

転送回数カウンタが0以外、またはDINTENが0(割り込み禁止)の場合、FIDMA(D4/0x300281)はセットされません。

リンクモード(LNKEN=1):の場合

以下の2つの条件が満たされた場合に、IDMA割り込み要因フラグFIDMA(D4/0x300281)が設定され、割り込み要求が生成されます。

- 最後にリンクされたチャンネルの転送回数カウンタが0になる。
- 最後にリンクされたチャンネルのコントロール情報のDINTENが1に設定される(割り込み許可)。

最後にリンクされたチャンネルの転送回数カウンタが0でないか最後にリンクされたチャンネルのDINTENが0の場合、FIDMA(D4/0x300281)は設定されません。

■割り込みコントローラのIDMA割り込み制御レジスタ

IDMA転送終了割り込みの制御ビットは次のとおりです。

- * **FIDMA**: IDMA Cause-of-Interrupt Flag in the DMA Interrupt Cause Flag Register (D4/0x300281)
- * **EIDMA**: IDMA Interrupt Enable Bit in the DMA Interrupt Enable Register (D4/0x300271)
- * **PDM[2:0]**: IDMA Interrupt Level Bits in the IDMA Interrupt Priority Register (D[2:0]/0x300265)

ソフトウェアトリガまたはその後のリンクで起動したIDMAチャンネルのDMA転送を終了し、転送回数カウンタが0になるとIDMA転送終了割り込み要因フラグを1にセットします。ただし、そのチャンネルのコントロール情報で割り込みを許可(DINTEN = 1)に設定しておくことが必要です。このときに、対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、IDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したIDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■トラップベクタ

IDMA転送終了割り込みのトラップベクタアドレスは、デフォルトで0xC00068に設定されています。なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

II.2.7 制御レジスタ詳細

表II.2.7.1 IDMA制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301100	IDMA Base Address Register 0 (pIDMABASE)	16	IDMAベースアドレスの下位16ビットを設定
0x00301102	IDMA Base Address Register 1	16	IDMAベースアドレスの上位16ビットを設定
0x00301104	IDMA Start Register (pIDMA_START)	8	IDMAチャネルの起動
0x00301105	IDMA Enable Register (pIDMA_EN)	8	IDMA転送の許可/禁止

以下にIDMAの制御レジスタを個々に説明します。
IDMAの制御レジスタは0x301100～0x301105の16ビットデバイスエリアに割り付けられており、ハーフワードおよびバイトアクセスが可能です。

注: IDMA制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301100: IDMA Base Address Register 0 (pIDMABASE)**0x301102: IDMA Base Address Register 1**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IDMA base address register 0 (pIDMABASE)	00301100 (HW)	D15	DBASEL15	IDMA base address		0	R/W	
		D14	DBASEL14	low-order 16 bits		0		
		D13	DBASEL13	(Initial value: 0x200003A0)		0		
		D12	DBASEL12			0		
		D11	DBASEL11			0		
		D10	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		Fix at 0.
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA base address register 1	00301102 (HW)	D15	DBASEH15	IDMA base address		0	R/W	
		D14	DBASEH14	high-order 16 bits		0		
		D13	DBASEH13	(Initial value: 0x200003A0)		1		
		D12	DBASEH12			0		
		D11	DBASEH11			0		
		D10	DBASEH10			0		
		D9	DBASEH9			0		
		D8	DBASEH8			0		
		D7	DBASEH7			0		
		D6	DBASEH6			0		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		

RAM上に置くコントロール情報の先頭アドレスを指定します。
イニシャルリセット時、ベースアドレスは0x200003A0に設定されます。

D[15:0]/0x301100 DBASEL[15:0]: IDMA Low-order Base Address Bits

DBASELにはアドレスの下位16ビットを設定します。

D[15:0]/0x301102 DBASEH[15:0]: IDMA High-order Base Address Bits

DBASEHにはアドレスの上位16ビットを設定します。

S1C33L19では32ビットのベースアドレスを扱うため、DBASEH[15:12]が拡張されています。

注: • コントロール情報は必ずDST RAM(エリア3)もしくは外部RAMに置いてください。A0RAM(エリア0)にコントロール情報を置くことはできません。

- IDMAベースアドレスレジスタに設定するアドレスは、必ず4ワード単位の境界を指定してください。
- これらのレジスタはバイト単位の書き込み/読み出しができません。アドレス0x301100に対するワード書き込み/読み出し、またはアドレス0x301100と0x301102に対するハーフワード書き込み/読み出しを行ってください。ハーフワードの書き込みは、0x301100、0x301102の順に行う必要があります。ハーフワードの読み出しについては、順序は問いません。
- ベースアドレスの設定は、DMA転送を禁止 (IDMAEN (D0/0x301105) = 0) して行ってください。DMA転送が許可されている場合 (IDMAEN (D0/0x301105) = 1)、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

0x301104: IDMA Start Register (pIDMA_START)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IDMA start register (pIDMA_START)	00301104 (B)	D7	DSTART	IDMA start	1 IDMA start 0 Stop	0	R/W	
		D6	DCHN6	IDMA channel number	0 to 127	0	R/W	
		D5	DCHN5					
		D4	DCHN4					
		D3	DCHN3					
		D2	DCHN2					
		D1	DCHN1					
		D0	DCHN0					

D7 DSTART: IDMA Start Control Bit

ソフトウェアトリガ/動作モニタに使用します。

1(W): IDMA開始

0(W): 無効

1(R): 動作中(ソフトウェアトリガで起動した場合のみ)

0(R): 停止中(デフォルト)

DSTARTへの1書き込みはソフトウェアトリガとなり、DCHNレジスタに設定してあるIDMAチャンネルを起動します。

D[6:0] DCHN[6:0]: IDMA Channel Number Setting Bits

ソフトウェアトリガにより起動するチャンネル番号(0~127)を設定します。(デフォルト: 0)

注: IDMAチャンネル番号の変更とIDMAの開始を同時に行わないでください。DCHN[6:0]を設定する際は、DSTARTに0を書き込んでください。

0x301105: IDMA Enable Register (pIDMA_EN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
IDMA enable register (pIDMA_EN)	00301105 (B)	D7-1	–	reserved	–				–	–	0 when being read.
		D0	IDMAEN	IDMA enable (for software trigger)	1	Enabled	0	Disabled	0	R/W	

D[7:1] **Reserved**

D0 **IDMAEN: IDMA Enable Bit**

IDMA転送を許可します。
1 (R/W): 許可
0 (R/W): 禁止(デフォルト)

IDMAENに1を書き込むことによって、インテリジェントDMAによるデータ転送が許可されます。0を書き込むと、IDMA転送は禁止されます。

II.2.8 注意事項

- コントロール情報は必ずDST RAM(エリア3)もしくは外部RAMに置いてください。エリア0(A0RAM)とエリア2は、IDMA転送およびコントロール情報の格納には使用できません。
- IDMAベースアドレスレジスタに設定するアドレスは、必ず4ワード単位の境界を指定してください。
- ベースアドレスの設定は、DMA転送を禁止 (IDMAEN(D0/0x301105) = 0) して行ってください。DMA転送が許可されている場合 (IDMAEN(D0/0x301105) = 1)、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。
 - * **IDMAEN**: IDMA Enable Bit in the IDMA Enable Register (D0/0x301105)
- IDMAチャンネル番号の変更とIDMAの開始を同時に行わないでください。DCHN[6:0](D[6:0]/0x301104)を設定する際は、DSTART(D7/0x301104)に0を書き込んでください。
 - * **DCHN[6:0]**: IDMA Channel Number Set-up Bits in the IDMA Start Register (D[6:0]/0x301104)
 - * **DSTART**: IDMA Start Control Bit in the IDMA Start Register (D7/0x301104)
- コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャンネルのDMA転送が発生しない状況で行ってください。
- C33 PEコアは先読み動作を行っているため、ソフトウェアトリガをスタートさせるプログラムの直後に、別のチャンネル設定を行わないでください。
- チップをSLEEPモードに設定(slp命令を実行)する場合は、その前に必ずIDMAをディセーブルに設定してください。HALTモードはIDMAがイネーブルのまま設定可能です。

II.3 SRAMコントローラ (SRAMC)

II.3.1 SRAMCの概要

SRAMコントローラ (SRAMC) は、CPU_AHBバスに接続されたバスモジュールのひとつです。SRAMCは外部メモリ空間を19のエリアに分割して管理します。エリアごとに設定されたバス条件で外部バス信号を制御し、接続されたメモリやI/Oデバイスをアクセスします。

SRAMCの機能と特長を以下に示します。

- 32ビットのアドレスバスおよびデータバスをサポート
- 外部アドレス空間を19のエリアに分割して管理(エリア4～22)
- エリアごとにデバイスの種類、デバイスサイズ、ウェイトサイクル数などの設定が可能
- 外部エリアに対応した8本のチップイネーブル信号(#CE4～#CE11)を出力
- A0、BSL方式の2種類のインタフェース方式に対応(BSL方式は外部メモリのみ)
- 外部バスにはSRAM、ROM、フラッシュを直結可能
- 外部#WAIT端子によるウェイトステート挿入可能(SRAMタイプのみ)
- リトルエンディアン形式をサポート

II.3.2 SRAMC端子

表II.3.2.1にSRAMCが使用する端子の一覧を示します。

表II.3.2.1 SRAMC端子一覧

端子名	I/O	機能
A0/ #BSL	O	アドレス信号出力端子 / 下位バイトバスストローブ信号出力端子
A[24:1]	O	アドレス信号出力端子(外部アドレスバス)
D[15:0]	I/O	データ信号入出力端子(外部データバス)
#CE11	O	エリア11、12チップイネーブル信号出力端子
#CE10	I/O	エリア10、13、20チップイネーブル信号出力端子 / ブートモード選択端子
#CE9	O	エリア9、22チップイネーブル信号出力端子
#CE8	O	エリア8、21チップイネーブル信号出力端子
#CE7	O	エリア7、19チップイネーブル信号出力端子
#CE6	O	エリア6、17、18チップイネーブル信号出力端子
#CE5	O	エリア5、15、16チップイネーブル信号出力端子
#CE4	O	エリア4、14チップイネーブル信号出力端子
#RD	O	リード信号出力端子
#WRL/ #WR	O	下位バイトライト信号出力(A0方式を選択したエリアのアクセス時) / ライト信号出力端子(BSL方式を選択したエリアのアクセス時)
#WRH/ #BSH	O	上位バイトライト信号出力(A0方式を選択したエリアのアクセス時) / 上位バイトバスストローブ信号出力端子(BSL方式を選択したエリアのアクセス時)
BCLK	O	バスクロック出力端子
#WAIT	I	外部ウェイト要求入力端子
BOOT[1:0]	I	ブートモード選択端子(TQFP24-144pin/パッケージはBOOT1のみ使用可能)

注: • 上記制御端子のいくつかは、汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態でSRAMC以外の機能に設定されます。それらの端子に割り当てられているSRAMCの信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。
端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

- バス制御信号はソフトウェアによりプルアップ制御および強制Low駆動が可能です。制御方法の詳細については、“III.4 Miscレジスタ”を参照してください。

II.3.3 外部メモリエリア (エリア4, 5, 7~22)

SRAMCがサポートする外部メモリ空間は、図II.3.3.1に示すとおり19のエリアに分割されます。

			#CE4	#CE5	#CE6	#CE7	#CE8	#CE9	#CE10	#CE11
エリア22	0x83FF FFFF	外部メモリ								
(*1, *2)	0x8000 0000	64Mバイト				(*4)		●		
エリア21	0x43FF FFFF	外部メモリ					●			
	0x4000 0000	64Mバイト								
エリア20	0x23FF FFFF	外部メモリ							●	
	0x2000 0000	64Mバイト								
エリア19	0x13FF FFFF	外部メモリ				●				
(*1, *2)	0x1000 0000	64Mバイト								
エリア18	0x0FFF FFFF	外部メモリ			●					
	0x0C00 0000	64Mバイト								
エリア17	0x0BFF FFFF	外部メモリ			●					
	0x0800 0000	64Mバイト								
エリア16	0x07FF FFFF	外部メモリ		●						
	0x0600 0000	32Mバイト								
エリア15	0x05FF FFFF	外部メモリ		●						
	0x0400 0000	32Mバイト								
エリア14	0x03FF FFFF	外部メモリ	●							
(*1)	0x0300 0000	16Mバイト								
エリア13	0x02FF FFFF	外部メモリ							●	
	0x0200 0000	16Mバイト								
エリア12	0x01FF FFFF	外部メモリ								●
(*1)	0x0180 0000	8Mバイト								
エリア11	0x017F FFFF	外部メモリ								●
(*1)	0x0100 0000	8Mバイト								
エリア10	0x00FF FFFF	外部メモリ							●	
	0x00C0 0000	4Mバイト								
エリア9	0x00BF FFFF	外部メモリ						●		
(*1)	0x0080 0000	4Mバイト								
エリア8	0x007F FFFF	外部メモリ					●			
	0x0060 0000	2Mバイト								
エリア7	0x005F FFFF	外部メモリ				●				
(*1, *2)	0x0040 0000	2Mバイト								
エリア6	0x003F FFFF	(内部周辺モジュール用の予約エリア)			(*3)					
	0x0030 0000									
エリア5	0x002F FFFF	外部メモリ		●						
	0x0020 0000	1Mバイト								
エリア4	0x001F FFFF	外部メモリ	●							
(*1)	0x0010 0000	1Mバイト								

*1 スマートメディア(NANDフラッシュ)、コンパクトフラッシュまたはPCカード用のメモリ空間として使用可

*2 SDRAMエリアとして使用可

*3 外部メモリはアクセス不可

*4 エリア22はデフォルト設定で#CE9に割り付けられますが、SDRAMCをOn(イネーブル)にすると#CE7に割り付けが変更されます

図II.3.3.1 S1C33L19の外部メモリ空間

エリア4、5、7~22は外部メモリデバイスなどを接続してSRAMCからアクセスできる外部メモリエリアになります。デバイスの種類やサイズ、ウェイトサイクル数などのアクセス条件をエリアごとに設定できます。

II.3.3.1 チップイネーブル信号

SRAMCは最大25ビットの外部アドレスバス、16ビットの外部データバス、および8本のチップイネーブル端子(#CE4～#CE11)を持ち、512MBのアドレス空間をアクセスできるようになっています。

各チップイネーブル信号には複数のエリアが割り当てられています。表II.3.3.1.1にチップイネーブル端子とエリアの対応表を示します。

表II.3.3.1.1 チップイネーブル端子とエリアの対応

#CE端子	対応エリア	連続したアドレス範囲で使用可能なエリアの容量					
		エリア	容量	エリア	容量	エリア	容量
#CE4	エリア4, 14	エリア4	1MB	エリア14	16MB	—	—
#CE5	エリア5, 15, 16	エリア5	1MB	エリア15+16	64MB	—	—
#CE6	エリア17, 18	エリア17+18	128MB	—	—	—	—
#CE7	エリア7, 19	エリア7	2MB	エリア19	64MB	—	—
#CE8	エリア8, 21	エリア8	2MB	エリア21	64MB	—	—
#CE9	エリア9, 22	エリア9	4MB	エリア22	64MB	—	—
#CE10	エリア10, 13, 20	エリア10	4MB	エリア13	16MB	エリア20	64MB
#CE11	エリア11, 12	エリア11+12	16MB	—	—	—	—

#CE_x信号は、対応しているどのエリア内のアドレスをアクセスしてもアクティブになります。

エリア6はS1C33L19内部周辺モジュールのI/Oエリアに割り当てられています。そのため、エリア6も外部メモリエリアのひとつですが、外部メモリをアクセスすることはできません。

II.3.3.2 エリア別設定条件

エリア別のバスアクセス条件は、#CE_x信号ごとに行えます。したがって、それぞれの#CE_x信号が対応している複数のエリアには同じ条件が設定されます。

ここでは、#CE_xエリアごとに設定される項目と制御ビットを示します。

SRAMCの制御レジスタは、イニシャルリセットで初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。

バスサイクルの動作については、“II.3.6 バスアクセスタイミングチャート”を参照してください。

注: 制御レジスタおよび制御ビットの構成は、#CE4エリア～#CE11エリアのすべてにおいて同一です。制御ビット名はエリアを示すCE4～CE11から始まりますが、以下の説明はCE_xを使用して全エリア共通に説明しています。

表II.3.3.2.1 エリア別設定項目

設定項目	内 容	制御ビットの設定
デバイスタイプ (#CE4～#CE11)	BSL	CEXTYPE = 1
	A0	CEXTYPE = 0 (デフォルト)
デバイスサイズ (#CE4～#CE9, #CE11)	16ビット	CEXSIZE[1:0] = 01 (デフォルト)
	8ビット	CEXSIZE[1:0] = 10
スタティックウェイトサイクル (#CE4～#CE11)	7サイクルのウェイト挿入 :	CEXWAIT[2:0] = 111 (デフォルト)
	0サイクルのウェイト挿入	CEXWAIT[2:0] = 000
#CEセットアップ時間 (#CE4, #CE11)	セットアップ時間なし	CEXSTUP = 1
	+1 BCLK	CEXSTUP = 0 (デフォルト)
出力ディセーブル時間 (#CE9)	7サイクル :	CE9HOLD[2:0] = 111
	0サイクル	CE9HOLD[2:0] = 000 (デフォルト)

■エンディアンモード

S1C33L19はリトルエンディアンモードのみをサポートしています。

■デバイスタイプ

SRAMCにはSRAMタイプのバスインタフェースが組み込まれており、デバイスタイプとしてA0方式(デフォルト)またはBSL方式を選択することができます。#CE_xエリアでBSL方式のインタフェースを使用する場合は、CEXTYPE(Dx - 4/0x30150C)を1に設定します。

* CEXTYPE: #CE_x Device Type Select Bit in the Device Type Setup Register (Dx - 4/0x30150C)

各方式で使用するバス制御信号端子を表II.3.3.2.2に示します。

表II.3.3.2.2 A0/BSL方式によるバス制御信号端子機能

端子名	A0方式(デフォルト)	BSL方式
#CE _x	#CE _x	#CE _x
#RD	#RD	#RD
A0/#BSL	未使用	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

■ デバイスサイズ

デバイスサイズはCE_xSIZE[1:0](0x301508)で選択します。

- * **CE4SIZE[1:0]**: #CE4 Device Size Select Bits in the Device Size Setup Register (D[1:0]/0x301508)
- * **CE5SIZE[1:0]**: #CE5 Device Size Select Bits in the Device Size Setup Register (D[3:2]/0x301508)
- * **CE6SIZE[1:0]**: #CE6 Device Size Select Bits in the Device Size Setup Register (D[5:4]/0x301508)
- * **CE7SIZE[1:0]**: #CE7 Device Size Select Bits in the Device Size Setup Register (D[7:6]/0x301508)
- * **CE8SIZE[1:0]**: #CE8 Device Size Select Bits in the Device Size Setup Register (D[9:8]/0x301508)
- * **CE9SIZE[1:0]**: #CE9 Device Size Select Bits in the Device Size Setup Register (D[11:10]/0x301508)
- * **CE11SIZE[1:0]**: #CE11 Device Size Select Bits in the Device Size Setup Register (D[15:14]/0x301508)

表II.3.3.2.3 デバイスサイズの選択

CE _x SIZE1	CE _x SIZE0	デバイスサイズ	接続するデータバス
1	1	Reserved	—
1	0	8ビット	D[7:0]
0	1	16ビット	D[15:0]
0	0	Reserved	—

イニシャルリセット時、デバイスサイズは16ビットに初期設定されます。

注: #CE10のデバイスサイズはブート時の0xC00000番地の内容によって設定されます。
0xC00000の内容のLSBが0の場合は16ビット、1の場合は8ビットに設定されます。

■ スタティックウェイトサイクル

スタティックウェイトサイクルは、エリアのアクセス時に必ず挿入されるウェイトサイクルで、チップイネーブルおよびリード/ライト信号が指定サイクル数分延長されます。接続するデバイスの仕様に合わせ、CE_xWAIT[2:0](0x301504)でウェイトサイクル数を指定します。

- * **CE4WAIT[2:0]**: Number of #CE4 Static Wait Cycles Setup Bits in the Wait Control Register (D[2:0]/0x301504)
- * **CE5WAIT[2:0]**: Number of #CE5 Static Wait Cycles Setup Bits in the Wait Control Register (D[6:4]/0x301504)
- * **CE6WAIT[2:0]**: Number of #CE6 Static Wait Cycles Setup Bits in the Wait Control Register (D[10:8]/0x301504)
- * **CE7WAIT[2:0]**: Number of #CE7 Static Wait Cycles Setup Bits in the Wait Control Register (D[14:12]/0x301504)
- * **CE8WAIT[2:0]**: Number of #CE8 Static Wait Cycles Setup Bits in the Wait Control Register (D[18:16]/0x301504)
- * **CE9WAIT[2:0]**: Number of #CE9 Static Wait Cycles Setup Bits in the Wait Control Register (D[22:20]/0x301504)
- * **CE10WAIT[2:0]**: Number of #CE10 Static Wait Cycles Setup Bits in the Wait Control Register (D[26:24]/0x301504)
- * **CE11WAIT[2:0]**: Number of #CE11 Static Wait Cycles Setup Bits in the Wait Control Register (D[30:28]/0x301504)

表II.3.3.2.4 スタティックウェイトサイクルの設定

CE _x WAIT2	CE _x WAIT1	CE _x WAIT0	ウェイトサイクル数
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	ノーウェイト

イニシャルリセット時、スタティックウェイトサイクル数は、すべての外部エリアで7サイクルに設定されます。

SRAMデバイスを接続するエリアでは、このスタティックウェイト制御に加え、#WAIT端子を使用したダイナミックウェイト制御も可能です。

ウェイトを挿入したバスサイクルについては、“II.3.6 バスアクセスタイミングチャート”を参照してください。

■#CE4/#CE11セットアップ時間

通常、#CE信号はリード/ライト信号の1 BCLKクロック前にアクティブになります。#CE4と#CE11信号についてはこのセットアップ時間を設けずにリード/ライト信号と同じタイミングでアクティブにすることができます。この場合は、CE_xSTUP(D1, D2/0x301500)を1に設定します。

* **CE4STUP**: #CE4 Setup Time Select Bit in the BCLK and Setup Time Control Register (D1/0x301500)

* **CE11STUP**: #CE11 Setup Time Select Bit in the BCLK and Setup Time Control Register (D2/0x301500)

イニシャルリセット時、#CE4と#CE11には1 BCLKクロックのセットアップ時間が設定されます。

セットアップ付き/なしのバスサイクルについては“II.3.6 バスアクセスタイミングチャート”を参照してください。

■#CE9出力ディセーブル時間

出力時間の長いデバイスを接続した場合、そのデバイスに対するリードサイクルに続けて次のアクセスを開始すると、データバス上で競合が起こる場合があります(リードデバイスがデータバスをハイインピーダンスにしていないため)。出力ディセーブル時間はこのデータバスの競合を防止するための設定で、リードサイクルと次のバスオペレーションの間に指定したサイクル数の出力ディセーブル時間が挿入されます。ただし、この設定は#CE9エリアにのみ有効です。出力ディセーブル時間の設定により遅延する信号は、#RDや#WRL/#WRHなどのバス制御信号です。

サイクル数については接続するデバイスの仕様を確認して設定してください。

設定はCE9HOLD[2:0](D[6:4]/0x301500)で行います。

* **CE9HOLD[2:0]**: #CE9 Output-Disable Time Setup Bits in the BCLK and Setup Time Control Register (D[6:4]/0x301500)

表II.3.3.2.5 #CE9出力ディセーブルサイクルの設定

CE9HOLD2	CE9HOLD1	CE9HOLD0	出力ディセーブルサイクル数
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	なし

イニシャルリセット時の初期設定は“なし”(0サイクル)です。

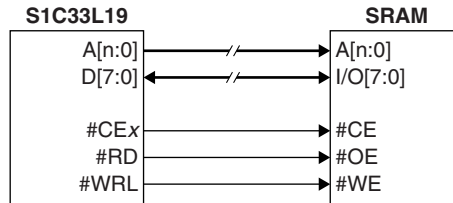
出力ディセーブルサイクルが挿入される条件を以下に示します。

- ・リードアクセス時に常に挿入されます。
- ・データサイズ>デバイスサイズのリードアクセスでは、最後のアクセス時にのみ挿入されます。
- ・ライトアクセス時は挿入されません。
- ・同じエリアに対しての連続アクセス時は挿入されません。

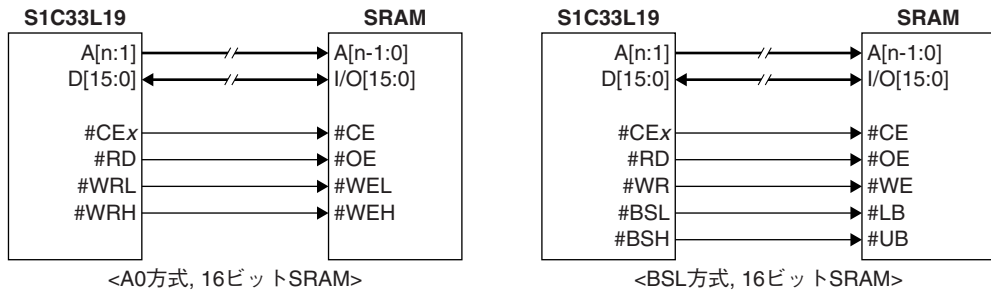
II.3.4 外部デバイスの接続とバスオペレーション

II.3.4.1 外部デバイスの接続

以下にS1C33L19とSRAMの接続例を示します。



図II.3.4.1.1 8ビットデバイスサイズでの8ビットSRAMの接続例



図II.3.4.1.2 16ビットデバイスサイズでの16ビットSRAMの接続例

II.3.4.2 メモリ上のデータ配置

S1C33L19のSRAMCはバイト(8ビット)、ハーフワード(16ビット)、ワード(内部32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。

SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細についてはC33 PEコアマニュアルを参照してください。

表II.3.4.2.1にデータタイプによるメモリ上の配置位置を示します。

表II.3.4.2.1 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界(A[0] = 0)
ワード	ワード境界(A[1:0] = 0b00)

メモリ上のハーフワードデータ、ワードデータは、リトルエンディアン形式でアクセスされます。メモリ効率を上げるには同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

II.3.4.3 外部バスオペレーション

S1C33L19の内部データバスサイズは32ビットです。ただし、外部データバス端子はD[15:0]の16ビットです。

デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。

A0方式とBSL方式のバスオペレーションを表II.3.4.3.1に示します。

メモリの接続については、“II.3.4.1 外部デバイスの接続”を参照してください。

表II.3.4.3.1 バスオペレーション

デバイス サイズ	データ サイズ	R/W	A1	A0	A0方式			BSL方式			アクセス 回数
					使用する 制御信号	D[15:8] 端子	D[7:0] 端子	使用する 制御信号	D[15:8] 端子	D[7:0] 端子	
8ビット	バイト	W	*	*	#WRL	—	D[7:0]	—	—	—	1回
		R	*	*	#RD	—	D[7:0]	—	—	—	1回
	ハーフ ワード	W	*	0	#WRL	—	D[7:0]	—	—	—	1回目
			*	1		—	D[15:8]		—	—	2回目
		R	*	0	#RD	—	D[7:0]	—	—	—	1回目
			*	1		—	D[15:8]		—	—	2回目
	ワード	W	0	0	#WRL	—	D[7:0]	—	—	—	1回目
			0	1		—	D[15:8]		—	—	2回目
			1	0		—	D[23:16]		—	—	3回目
			1	1		—	D[31:24]		—	—	4回目
		R	0	0	#RD	—	D[7:0]	—	—	—	1回目
			0	1		—	D[15:8]		—	—	2回目
			1	0		—	D[23:16]		—	—	3回目
			1	1		—	D[31:24]		—	—	4回目
16ビット	バイト	W	*	0	#WRL	—	D[7:0]	#WR #BSL	—	D[7:0]	1回
			*	1	#WRH	D[7:0]	—	#WR #BSH	D[7:0]	—	1回
		R	*	0	#RD	—	D[7:0]	#RD #BSL	—	D[7:0]	1回
			*	1		D[7:0]	—	#RD #BSH	D[7:0]	—	1回
	ハーフ ワード	W	*	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回
		R	*	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回
	ワード	W	0	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目
		R	0	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目

II.3.5 SRAMC動作クロックとバスクロック

II.3.5.1 SRAMCの動作クロック

SRAMCはCMUで生成したSRAMC_CLKとSRAMC_SAPB_CLKクロック(= MCLK)を入力して動作します。バス制御信号はSRAMC_CLKクロックに同期して生成されます。

SRAMC_SAPB_CLKクロックはSRAMCの制御レジスタ用に使用されます。

SRAMC動作クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■SRAMC動作クロックの供給制御

SRAMC動作クロックはデフォルト設定でSRAMCに供給されるようになっています。各クロックの供給はCMUで制御でき、不要な場合はそれぞれの制御ビットにより供給を停止して消費電力を抑えることができます。

1. SRAMC_SAPB_CLK

SRAMC_SAPB_CLKはSRAMC制御レジスタの動作クロックです。レジスタを設定する際に必要となりますが、それ以外は消費電力を抑えるため、SRAMSAPB_CKE(D7/0x301B04)を0に設定して停止させることができます。

* **SRAMSAPB_CKE**: SRAMC SAPB I/F Clock Control Bit in the Gated Clock Control Register 1 (D7/0x301B04)

2. SRAMC_CLK

SRAMC_CLKはSRAMインタフェース動作クロックです。外部メモリ/デバイスやエリア6にある周辺モジュールの制御レジスタをアクセスする際に必要となるため、通常動作時には停止できませんが、HALT時は停止させることができます。SRAMC_HCKE(D26/0x301B04)を0に設定すると、CPUがHALTモードになった時点でクロック供給が停止し、HALTモードが解除されるとクロック供給を再開します。

* **SRAMC_HCKE**: SRAMC Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D26/0x301B04)

■スタンバイモード時のクロック状態

スタンバイモードの種類により、SRAMC動作クロックの供給は停止します。

HALTモード: クロックは通常モードと同様に供給されます。

CMUレジスタの設定により停止可能です。

SLEEPモード: クロックの供給が停止します。

したがって、SLEEPモード時は、SRAMCも動作を停止します。

II.3.5.2 バスクロックの生成

SRAMCはSRAMC_CLKクロックを分周してバスクロックBCLKを生成します。この分周比を以下の制御ビットで設定します。

#CE9エリア以外のバスクロック設定

- * **BCLK**: BCLK Divide Control Bit in the BCLK and Setup Time Control Register (D0/0x301500)

#CE9エリアのバスクロック設定

- * **CE9BCLK**: #CE9 Area BCLK Divide Control Bit in the BCLK and Setup Time Control Register (D7/0x301500)

表II.3.5.2.1 BCLK (SRAMC_CLK分周比)の設定

BCLK/CE9BCLK	BCLK周波数
1	SRAMC_CLK × 1/2
0	SRAMC_CLK × 1

イニシャルリセット時はSRAMC_CLK × 1/2に設定されます。

II.3.5.3 バスクロックの外部出力

BCLKクロックの出力はポートの拡張機能です。したがって、BCLKクロックを出力するには、対応するポートのFunction Select Registerで端子の機能をBCLK出力に切り換える必要があります。BCLKクロック出力機能が割り当てられている端子と機能の切り換え方法については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

II.3.6 バスアクセスタイミングチャート

II.3.6.1 SRAMリード/ライトタイミング(外部#WAITなし)

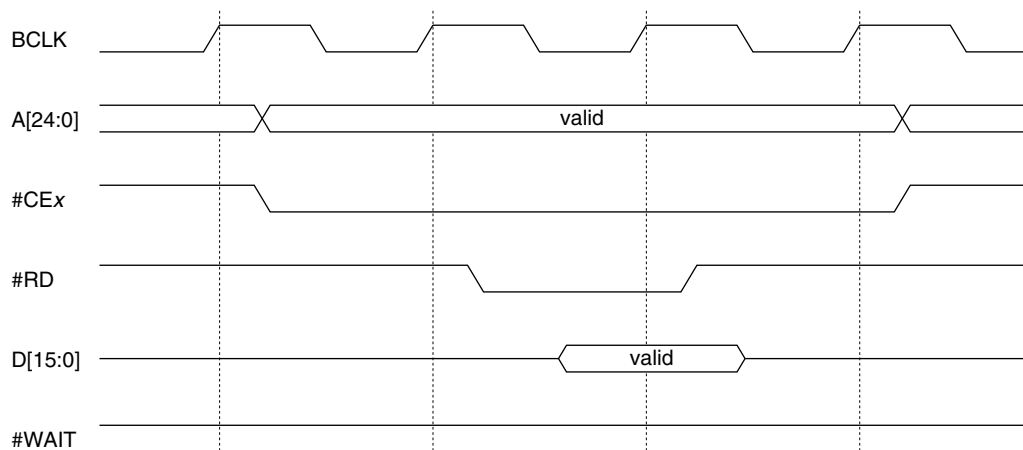
1. SRAMリード/ライトタイミング(スタティックウェイトなし)

[設定例]

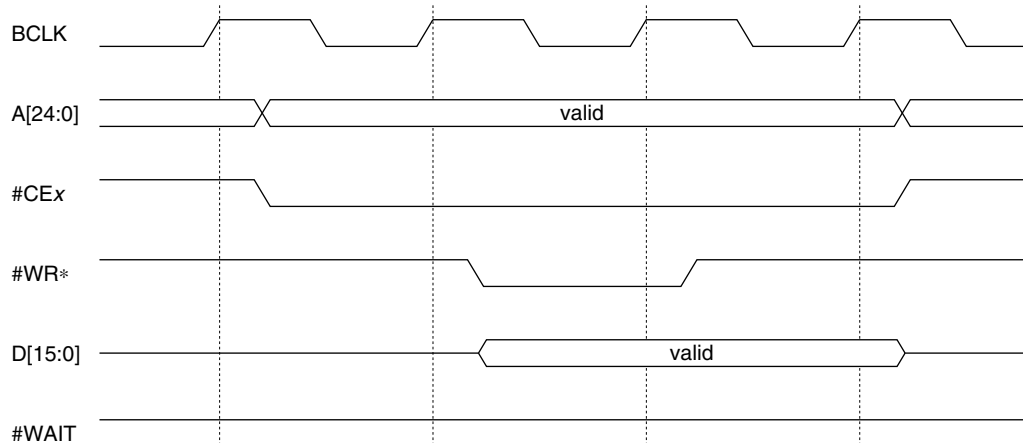
デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CE4/#CE11セットアップ時間: なし



図II.3.6.1.1 SRAMリードタイミング(スタティックウェイトなし)



図II.3.6.1.2 SRAMライトタイミング(スタティックウェイトなし)

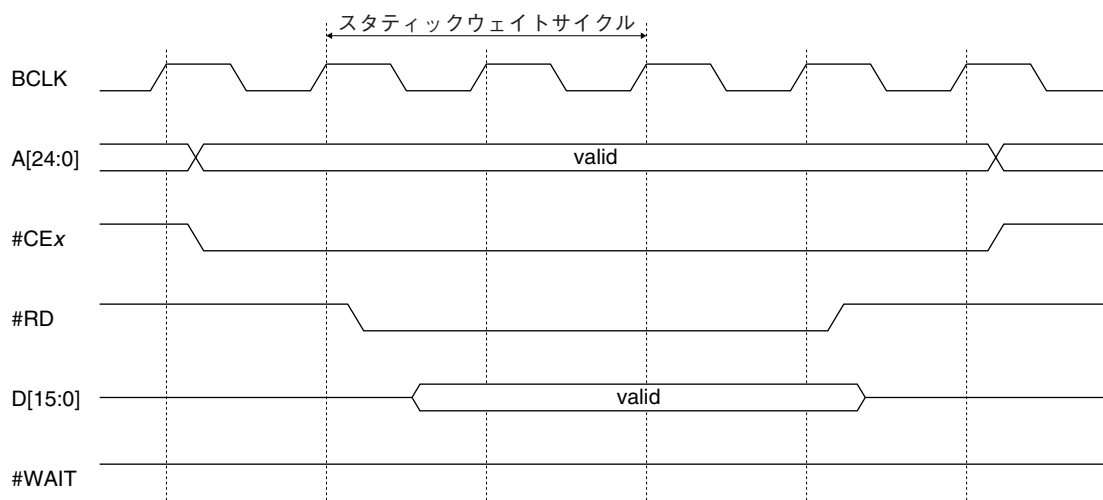
2. SRAMリード/ライトタイミング(スタティックウェイト付き)

[設定例]

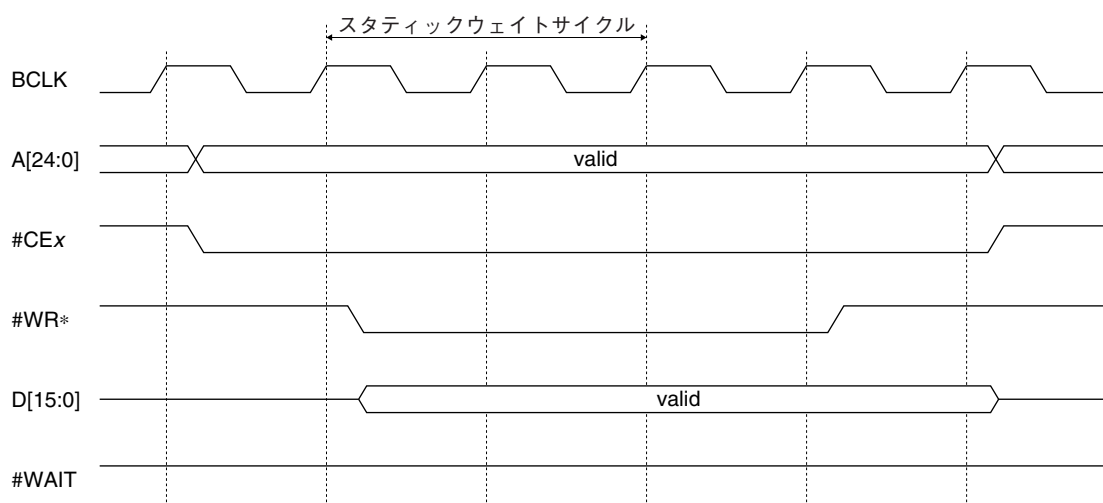
デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 2サイクル

#CE4/#CE11セットアップ時間: なし



図II.3.6.1.3 SRAMリードタイミング(スタティックウェイト付き)



図II.3.6.1.4 SRAMライトタイミング(スタティックウェイト付き)

II.3.6.2 SRAMリード/ライトタイミング(外部#WAITあり)

外部#WAIT端子によるウェイトサイクルの挿入は、デバイスがSRAMの場合にのみ可能です。

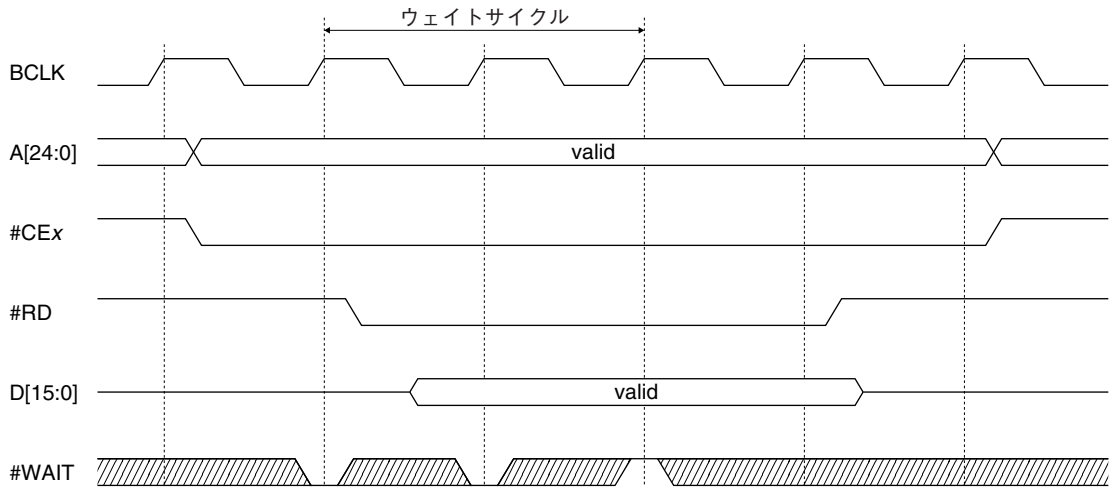
外部#WAIT信号は、リードまたはライト信号がHighに立ち上がる時点からBCLKの1クロック前の立ち上がりエッジでサンプリングされます。#WAIT信号のアクティブレベル(Low)がサンプリングされている間はWAIT状態となり、インアクティブレベル(High)がサンプリングされた時点で、それ以降の動作を再開します。

[設定例]

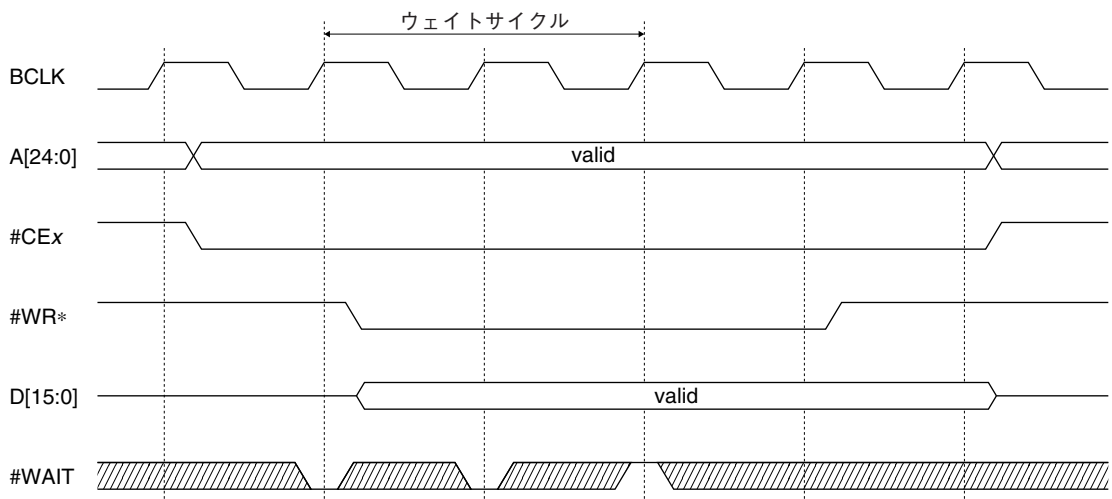
デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CE4/#CE11セットアップ時間: なし



図II.3.6.2.1 SRAMリードタイミング(外部#WAITあり)



図II.3.6.2.2 SRAMライトタイミング(外部#WAITあり)

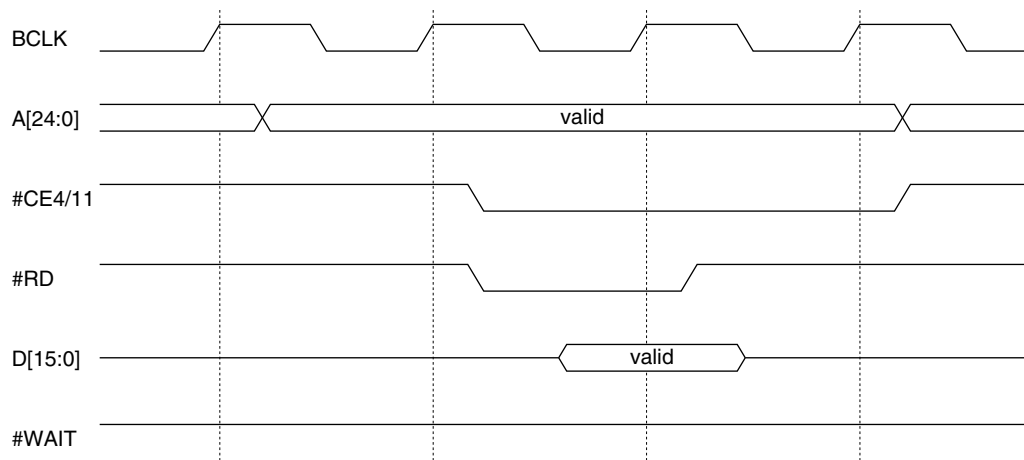
II.3.6.3 SRAMリード/ライトタイミング(#CE4/#CE11セットアップ時間付き)

[設定例]

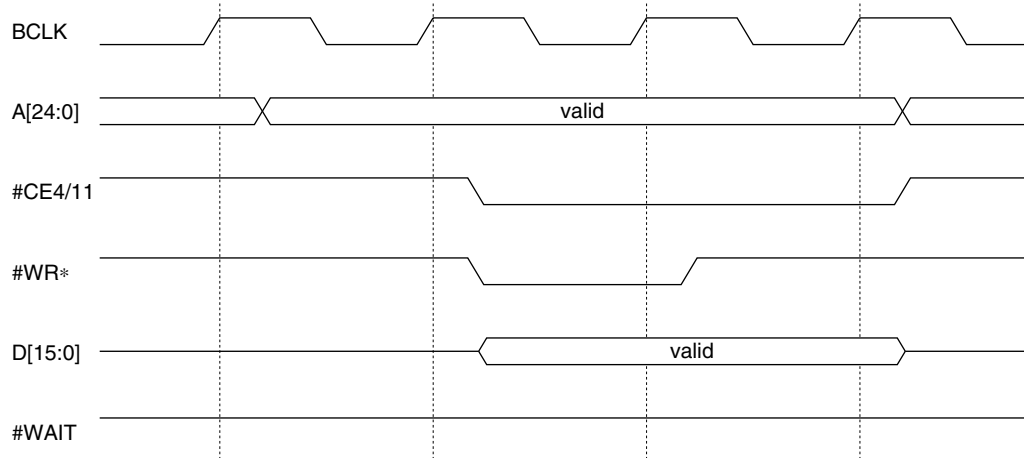
デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CE4/#CE11セットアップ時間: +1 BCLK



図II.3.6.3.1 SRAMリードタイミング(#CE4/#CE11セットアップ時間付き)



図II.3.6.3.2 SRAMライトタイミング(#CE4/#CE11セットアップ時間付き)

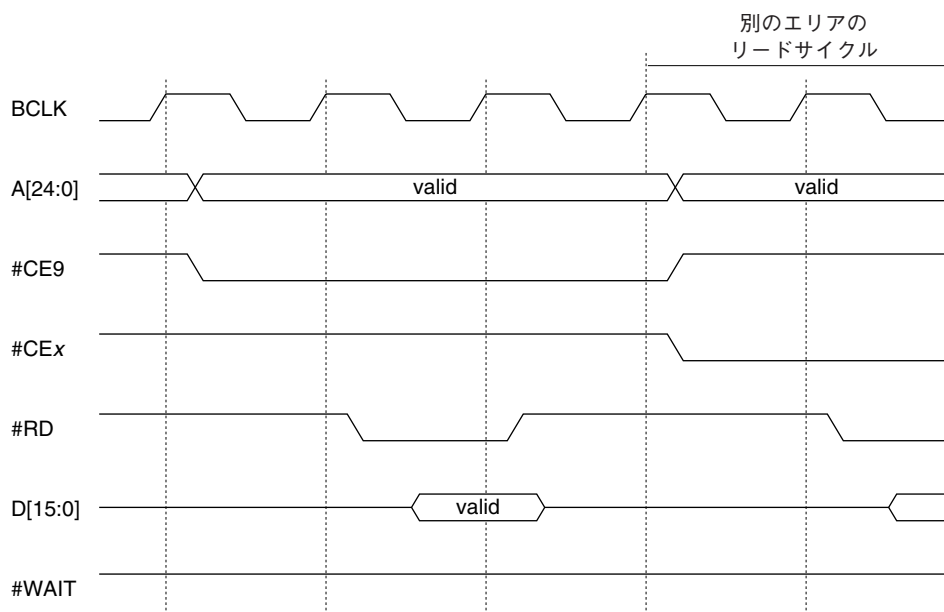
II.3.6.4 SRAMリードタイミング(#CE9出力ディセーブル時間指定)

[設定例]

デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CE9出力ディセーブル時間: なし



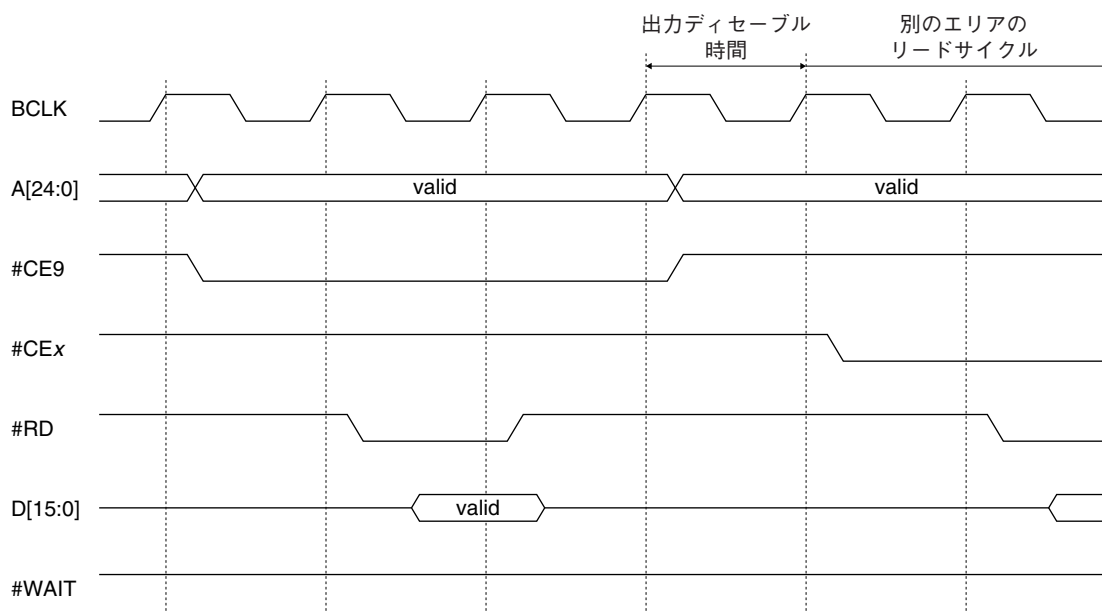
図II.3.6.4.1 SRAMリードタイミング(#CE9出力ディセーブル時間なし)

[設定例]

デバイスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

#CE9出力ディセーブル時間: 1サイクル



図II.3.6.4.2 SRAMリードタイミング(#CE9出力ディセーブル時間指定)

II.3.7 制御レジスタ詳細

表II.3.7.1 SRAMCレジスタ一覧

アドレス	レジスタ名	サイズ	機 能
0x00301500	BCLK and Setup Time Control Register (pSRAMC_BCLK_SETUP)	32	BCLKと#CE4/#CE11セットアップ時間の設定
0x00301504	Wait Control Register (pSRAMC_SWAIT)	32	エリア別スタティックウェイトサイクル数の設定
0x00301508	Device Size Setup Register (pSRAMC_SLV_SIZE)	32	エリア別デバイスサイズの設定
0x0030150C	Device Type Setup Register (pSRAMC_A0_BSL)	32	エリア別デバイスタイプの設定
0x00301510	Area Location Setup Register (pSRAMC_ALS)	32	エリア6の位置を設定

以下にSRAMCの制御レジスタを個々に説明します。

SRAMCの制御レジスタは0x301500～0x301510の32ビットデバイスエリアに割り付けられており、ワード、ハーフワードおよびバイトアクセスが可能です。

注: SRAMC制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301500: BCLK and Setup Time Control Register (pSRAMC_BCLK_SETUP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
BCLK and setup time control register (pSRAMC_BCLK_SETUP)	00301500 (W)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	CE9BCLK	#CE9 area BCLK divide control	1 SRAMC_CLK × 1/2 0 SRAMC_CLK × 1	1	R/W	
		D6	CE9HOLD2	#CE9 area output disable time	0 to 7	0	R/W	
		D5	CE9HOLD1			0		
		D4	CE9HOLD0			0		
		D3	—	reserved	—	—	—	0 when being read.
		D2	CE11STUP	#CE11 setup time	1 No setup time 0 +1 BCLK	0	R/W	
		D1	CE4STUP	#CE4 setup time	1 No setup time 0 +1 BCLK	0	R/W	
		D0	BCLK	BCLK divide control	1 SRAMC_CLK × 1/2 0 SRAMC_CLK × 1	1	R/W	

D[31:8] Reserved**D7 CE9BCLK: #CE9 Area BCLK Divide Control Bit**

#CE9エリアのBCLKクロックは他のエリアとは別に設定可能です。BCLKはSRAMC_CLKを1/1または1/2に分周して生成しますが、この分周比をCE9BCLKで選択します。

1(R/W): SRAMC_CLK × 1/2(デフォルト)

0(R/W): SRAMC_CLK × 1

D[6:4] CE9HOLD[2:0]: #CE9 Area Output Disable Time Setup Bits

#CE9エリアをアクセスする際の出力ディセーブル時間を設定します。

表II.3.7.2 #CE9出力ディセーブルサイクルの設定

CE9HOLD2	CE9HOLD1	CE9HOLD0	出力ディセーブルサイクル数
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	なし

(デフォルト: 0b000 = なし)

出力ディセーブル時間の長いデバイスを使用する場合は、そのデバイスのリード直後のバスオペレーションでデータバス上の競合が発生しないように、遅延時間を設定します。

D3 Reserved**D2 CE11STUP: #CE11 Setup Time Select Bit**

#CE11信号のセットアップ時間(#CEアクティブ→#RD/#WR*アクティブ)を選択します。

1(R/W): セットアップ時間なし

0(R/W): +1 BCLK(デフォルト)

D1 CE4STUP: #CE4 Setup Time Select Bit

#CE4信号のセットアップ時間(#CEアクティブ→#RD/#WR*アクティブ)を選択します。

1(R/W): セットアップ時間なし

0(R/W): +1 BCLK(デフォルト)

D0 BCLK: BCLK Divide Control Bit

BCLKは#CE9エリアを除くSRAMエリア用のクロックで、SRAMC_CLKを1/1または1/2に分周して生成します。この分周比をBCLKで選択します。

BCLK端子からは、SRAMC_CLKクロックが分周されずにそのまま出力されます。

1(R/W): SRAMC_CLK × 1/2(デフォルト)

0(R/W): SRAMC_CLK × 1

#CE9エリア用のBCLKの設定には、CE9BCLK(D7)を使用してください。

0x301504: Wait Control Register (pSRAMC_SWAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Wait control register (pSRAMC_SWAIT)	00301504 (W)	D31	—	reserved	—	—	—	0 when being read.
		D30	CE11WAIT2	Number of #CE11 static wait cycles	0 to 7	1	R/W	
		D29	CE11WAIT1			1		
		D28	CE11WAIT0			1		
		D27	CE10WAIT3	reserved	—	—	—	0 when being read.
		D26	CE10WAIT2	Number of #CE10 static wait cycles	0 to 7	1	R/W	
		D25	CE10WAIT1			1		
		D24	CE10WAIT0			1		
		D23	CE9WAIT3	reserved	—	—	—	0 when being read.
		D22	CE9WAIT2	Number of #CE9 static wait cycles	0 to 7	1	R/W	
		D21	CE9WAIT1			1		
		D20	CE9WAIT0			1		
		D19	CE8WAIT3	reserved	—	—	—	0 when being read.
		D18	CE8WAIT2	Number of #CE8 static wait cycles	0 to 7	1	R/W	
		D17	CE8WAIT1			1		
		D16	CE8WAIT0			1		
		D15	CE7WAIT3	reserved	—	—	—	0 when being read.
		D14	CE7WAIT2	Number of #CE7 static wait cycles	0 to 7	1	R/W	
		D13	CE7WAIT1			1		
		D12	CE7WAIT0			1		
		D11	CE6WAIT3	reserved	—	—	—	0 when being read.
		D10	CE6WAIT2	Number of #CE6 static wait cycles	0 to 7	1	R/W	
		D9	CE6WAIT1			1		
		D8	CE6WAIT0			1		
		D7	CE5WAIT3	reserved	—	—	—	0 when being read.
		D6	CE5WAIT2	Number of #CE5 static wait cycles	0 to 7	1	R/W	
		D5	CE5WAIT1			1		
		D4	CE5WAIT0			1		
		D3	CE4WAIT3	reserved	—	—	—	0 when being read.
		D2	CE4WAIT2	Number of #CE4 static wait cycles	0 to 7	1	R/W	
		D1	CE4WAIT1			1		
		D0	CE4WAIT0			1		

D31 Reserved

D[30:28] CE11WAIT[2:0]: Number of #CE11 Static Wait Cycles Setup Bits

#CE11エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

表II.3.7.3 スタティックウェイトサイクルの設定

CExWAIT2	CExWAIT1	CExWAIT0	ウェイトサイクル数
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	ノーウェイト

(デフォルト: 0b111 = 7サイクル)

D27 Reserved

D[26:24] CE10WAIT[2:0]: Number of #CE10 Static Wait Cycles Setup Bits

#CE10エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D23 Reserved

D[22:20] CE9WAIT[2:0]: Number of #CE9 Static Wait Cycles Setup Bits

#CE9エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D19 Reserved

D[18:16] CE8WAIT[2:0]: Number of #CE8 Static Wait Cycles Setup Bits

#CE8エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D15 Reserved

D[14:12] CE7WAIT[2:0]: Number of #CE7 Static Wait Cycles Setup Bits

#CE7エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D11 Reserved

D[10:8] CE6WAIT[2:0]: Number of #CE6 Static Wait Cycles Setup Bits

#CE6エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D7 Reserved

D[6:4] CE5WAIT[2:0]: Number of #CE5 Static Wait Cycles Setup Bits

#CE5エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D3 Reserved

D[2:0] CE4WAIT[2:0]: Number of #CE4 Static Wait Cycles Setup Bits

#CE4エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

II

SRAMC

0x301508: Device Size Setup Register (pSRAMC_SLV_SIZE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Device size setup register (pSRAMC_SLV_SIZE)	00301508 (W)	D31-16	—	reserved	—	—	—	0 when being read.
		D15	CE11SIZE1	#CE11 device size	(See below)	0	R/W	
		D14	CE11SIZE0			1		
		D13-12	—	reserved	—	—	—	0 when being read.
		D11	CE9SIZE1	#CE9 device size	CExSIZE[1:0]	Size	0	R/W
		D10	CE9SIZE0				1	
		D9	CE8SIZE1	#CE8 device size	11	reserved	0	R/W
		D8	CE8SIZE0				1	
		D7	CE7SIZE1	#CE7 device size	10	8 bits	0	R/W
		D6	CE7SIZE0				1	
		D5	CE6SIZE1	#CE6 device size	01	16 bits	0	R/W
		D4	CE6SIZE0				1	
		D3	CE5SIZE1	#CE5 device size	00	reserved	0	R/W
		D2	CE5SIZE0				1	
		D1	CE4SIZE1	#CE4 device size	00	reserved	0	R/W
		D0	CE4SIZE0				1	

D[31:16] Reserved**D[15:14] CE11SIZE[1:0]: Device Size Select Bits**

#CE11エリアのデバイスサイズを選択します。

表 II.3.7.4 デバイスサイズの選択

CExSIZE1	CExSIZE0	デバイスサイズ	接続するデータバス
1	1	Reserved	—
1	0	8ビット	D[7:0]
0	1	16ビット	D[15:0]
0	0	Reserved	—

(デフォルト: 0b01 = 16ビット)

D[13:12] Reserved

注: #CE10のデバイスサイズはブート時の0xC00000番地の内容によって設定されます。
0xC00000の内容のLSBが0の場合は16ビット、1の場合は8ビットに設定されます。

D[11:10] CE9SIZE[1:0]: Device Size Select Bits

#CE9エリアのデバイスサイズを選択します。

D[9:8] CE8SIZE[1:0]: Device Size Select Bits

#CE8エリアのデバイスサイズを選択します。

D[7:6] CE7SIZE[1:0]: Device Size Select Bits

#CE7エリアのデバイスサイズを選択します。

D[5:4] CE6SIZE[1:0]: Device Size Select Bits

#CE6エリアのデバイスサイズを選択します。

D[3:2] CE5SIZE[1:0]: Device Size Select Bits

#CE5エリアのデバイスサイズを選択します。

D[1:0] CE4SIZE[1:0]: Device Size Select Bits

#CE4エリアのデバイスサイズを選択します。

0x30150C: Device Type Setup Register (pSRAMC_A0_BSL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Device type setup register (pSRAMC_A0_BSL)	0030150C (W)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	CE11TYPE	#CE11 device type	1 BSL	0 A0	0	R/W
		D6	CE10TYPE	#CE10 device type			0	R/W
		D5	CE9TYPE	#CE9 device type			0	R/W
		D4	CE8TYPE	#CE8 device type			0	R/W
		D3	CE7TYPE	#CE7 device type			0	R/W
		D2	CE6TYPE	#CE6 device type			0	R/W
		D1	CE5TYPE	#CE5 device type			0	R/W
		D0	CE4TYPE	#CE4 device type			0	R/W

D[31:8] Reserved**D7 CE11TYPE: Device Type Select Bit**

#CE11エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

表II.3.7.5 A0/BSL方式によるバス制御信号端子機能

端子名	A0方式(デフォルト)	BSL方式
#CE _x	#CE _x	#CE _x
#RD	#RD	#RD
A0/#BSL	未使用	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

D6 CE10TYPE: Device Type Select Bit

#CE10エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D5 CE9TYPE: Device Type Select Bit

#CE9エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D4 CE8TYPE: Device Type Select Bit

#CE8エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D3 CE7TYPE: Device Type Select Bit

#CE7エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D2 CE6TYPE: Device Type Select Bit

#CE6エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D1 CE5TYPE: Device Type Select Bit

#CE5エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

D0 CE4TYPE: Device Type Select Bit

#CE4エリアのデバイスタイプ(A0またはBSL)を選択します。

1 (R/W): BSL

0 (R/W): A0(デフォルト)

0x301510: Area Location Setup Register (pSRAMC_ALS)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Area location setup register (pSRAMC_ALS)	00301510 (W)	D31-1	—	reserved	—			—	—	0 when being read.
		D0	A6LOC	Area 6 location setup	1	External	0	Internal	0	R/W

D[31:1] Reserved

D0 A6LOC: Area 6 Location Setup Bit

エリア6に外部エリアを使用するか、内部エリアを使用するか選択します。

1(R/W): 外部エリア

0(R/W): 内部エリア(デフォルト)

注: S1C33L19では、エリア6に外部デバイスを使用することはできません。 A6LOCを1に設定しないでください。

II.3.8 注意事項

BCLK端子から出力されるクロックは、BCLK(D0/0x301500)によるBCLK分周比の設定にかかわらず、SRAMC_CLKクロックが分周されずにそのまま出力されます。

* **BCLK**: BCLK Divide Control Bit in the BCLK and Setup Time Control Register (D0/0x301500)

このページはブランクです。

II.4 SDRAMコントローラ (SDRAMC)

II.4.1 SDRAMインタフェース

SDRAMコントローラは、エリア7、19、22に最大64MBのSDRAMを直接接続可能なSDRAMダイレクトインタフェースを提供します。ここでは、SDRAMインタフェースの制御方法や動作について説明します。SDRAMアクセス時のパフォーマンスを向上させる命令およびデータキューバッファと、CPUとLCDCからのSDRAMアクセスを制御するバスアービタについては、それぞれ“II.4.2 命令/データキューバッファ”、“II.4.3 バスアービタ”を参照してください。

II.4.1.1 SDRAMインタフェースの概要

SDRAMインタフェースの主な特長と仕様を以下に示します。

- 最大64MBのSDRAMを接続可能
- SDRAMに対応した3つのエリア(エリア7、19、22)
SDRAMチップ構成例
 - 32M×16ビット×1チップ(64MB)
 - 16M×16ビット×1チップまたは16M×8ビット×2チップ(32MB)
 - 8M×16ビット×1チップまたは8M×8ビット×2チップ(16MB)
 - 4M×16ビット×1チップ(8MB)
 - 2M×8ビット×2チップ(4MB)
 - 1M×16ビット×1チップ(2MB)
- データバス幅: 16ビット
- CASレイテンシ: 1、2、または3
- バースト長: 2
- 2または4バンクのSDRAMに対応(BA1とBA0出力)
ローアドレス範囲: 2K(SDA10～SDA0)、4K(SDA11～SDA0)、または8K(SDA12～SDA0)
カラムアドレス範囲: 256(SDA7～SDA0)、512(SDA8～SDA0)、または1K(SDA9～SDA0)
- DQMLおよびDQMH端子を使用したバイト書き込みに対応
- バンクインターリーブアクセス対応
- プログラマブルな12ビットオートリフレッシュカウンタを内蔵
使用するクロック周波数によらず、必要なリフレッシュが可能
- 省電力動作のためのインテリジェントセルフリフレッシュモード
- ドライブ強度、自動温度補償セルフリフレッシュ、パーシャルアレイセルフリフレッシュをプログラム可能なExtended Mode Register Setコマンドをサポート

II.4.1.2 SDRAMC端子

表II.4.1.2.1にSDRAMCが使用する端子の一覧を示します。

表II.4.1.2.1 SDRAMC端子一覧

端子名	I/O	機 能
A[13:12]	O	アドレス信号出力端子(SDA[12:11])
A[10:1]	O	アドレス信号出力端子(SDA[9:0])
A[15:14]	O	バンクセレクト信号出力端子(SDBA[1:0])
D[15:0]	I/O	データ信号入出力端子(外部データバス)
SDA10	O	アドレス信号出力端子(SDA10)
SDCKE	O	SDRAMクロックイネーブル信号出力端子
SDCLK	O	SDRAMクロック出力端子
#SDCS	O	SDRAMチップセレクト信号出力端子
#SDRAS	O	SDRAMローアドレスストローブ信号出力端子
#SDCAS	O	SDRAMカラムアドレスストローブ信号出力端子
#SDWE	O	SDRAMライト信号出力端子
DQML	O	SDRAMデータ(下位バイト選択用)入出力マスク信号出力端子
DQMH	O	SDRAMデータ(上位バイト選択用)入出力マスク信号出力端子

注: 上記制御端子のいくつかは、汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態でSDRAMC以外の機能に設定されます。それらの端子に割り当てられているSDRAMCの信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

“DQML”と“DQMH”は端子P26/P27またはA16/A17から出力可能です。“DQML”と“DQMH”を端子A16/A17から出力するには、P26/P27ポート端子の機能を設定してください(GPIO (D[7:4]/0x003003A5 = 0000))。

II.4.1.3 SDRAMの構成

■SDRAMエリア

SDRAMC用に#CE7エリア(エリア7、エリア19またはエリア22)が予約されています。ただし、イニシャルリセット時にSDRAMCは無効となり、#CE7エリアはSRAMCで制御されるSRAMエリアに設定されます。このため、SDRAMを使用する場合はSDON(D4/0x301600)とAPPON(D1/0x301610)を1にして、#CE7エリアをSDRAMエリアに設定する必要があります。

- * **SDON**: SDRAM Controller Enable Bit in the SDRAM Initial Register (D4/0x301600)
- * **APPON**: SDAPP Control Bit in the SDRAM Application Configuration Register (D1/0x301610)

注: SDON(D4/0x301600)とAPPON(D1/0x301610)を1に設定すると、SRAMCに設定されている#CE7エリアの外部SRAMアクセス条件は無効となります。

■SDRAMサイズとアクセス条件の設定

SDRAMCが対応可能なSDRAMのサイズとタイミングパラメータに関する条件は以下のとおりです。

表II.4.1.3.1 SDRAM設定項目

設定項目	内 容	制御ビットの設定
SDRAMアドレス構成	32M×16ビット×1	ADDRC[2:0](D[2:0]/0x301604) = 111
	16M×16ビット×1	ADDRC[2:0](D[2:0]/0x301604) = 011
	8M×16ビット×1	ADDRC[2:0](D[2:0]/0x301604) = 010
	4M×16ビット×1	ADDRC[2:0](D[2:0]/0x301604) = 001
	1M×16ビット×1(デフォルト)	ADDRC[2:0](D[2:0]/0x301604) = 000(デフォルト)
	16M×8ビット×2	ADDRC[2:0](D[2:0]/0x301604) = 110
	8M×8ビット×2	ADDRC[2:0](D[2:0]/0x301604) = 101
	2M×8ビット×2	ADDRC[2:0](D[2:0]/0x301604) = 100
CASレイテンシ	3, 2(デフォルト), または1	CAS[1:0](D[3:2]/0x301610) = 11, 10(デフォルト), または01
バースト長	2(固定)	—
trp, trcd	1(デフォルト)~4サイクル	T24NS[1:0](D[13:12]/0x301604) = 00(デフォルト)~11
trass	1(デフォルト)~8サイクル	T60NS[2:0](D[10:8]/0x301604) = 000(デフォルト)~111
trc, trfc, txsr	1~16サイクル(デフォルト: 15)	T80NS[3:0](D[7:4]/0x301604) = 0000~1110(デフォルト), 1111

SDRAMアドレス構成

ADDRC[2:0](D[2:0]/0x301604)でSDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ(ページサイズ)およびローアドレスサイズも設定されます。

- * **ADDRC[2:0]**: SDRAM Address Configuration Bits in the SDRAM Configuration Register (D[2:0]/0x301604)

表II.4.1.3.2 SDRAMサイズの選択

ADDRC2	ADDRC1	ADDRC0	バンク数	ローサイズ	カラムサイズ	SDRAMチップ構成	メモリサイズ
1	1	1	4	8K	1K	32M×16ビット×1	64Mバイト
1	1	0	4	4K	1K	16M×8ビット×2	32Mバイト
1	0	1	4	4K	512	8M×8ビット×2	16Mバイト
1	0	0	2	2K	512	2M×8ビット×2	4Mバイト
0	1	1	4	8K	512	16M×16ビット×1	32Mバイト
0	1	0	4	4K	512	8M×16ビット×1	16Mバイト
0	0	1	4	4K	256	4M×16ビット×1	8Mバイト
0	0	0	2	2K	256	1M×16ビット×1	2Mバイト

CPUアドレスとバンク、カラム、ローアドレスとの対応は以下のとおりです。

A(m+n+p)	A(m+n+1)	A(m+n)	...	A(m+1)	A(m)	...	A1	A0
バンクアドレス			ローアドレス			カラムアドレス		DQM

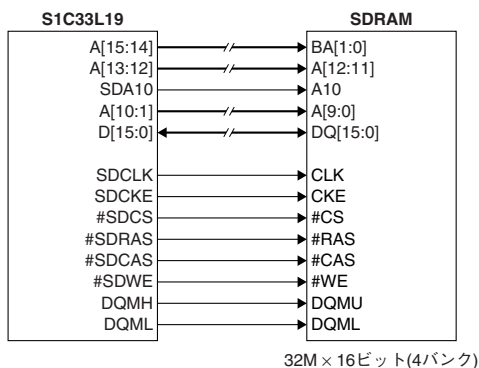
図II.4.1.3.1 SDRAMアドレス

- m: カラムアドレスサイズ(ビット数) 8ビット(256)、9ビット(512)、10ビット(1K)
 n: ローアドレスサイズ(ビット数) 11ビット(2K)、12ビット(4K)、13ビット(8K)
 p: バンクアドレスサイズ(ビット数) 1ビット(2バンク)、2ビット(4バンク)

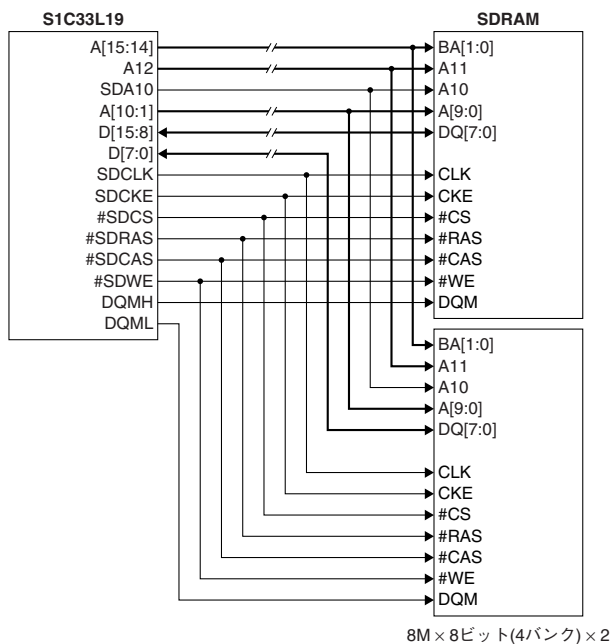
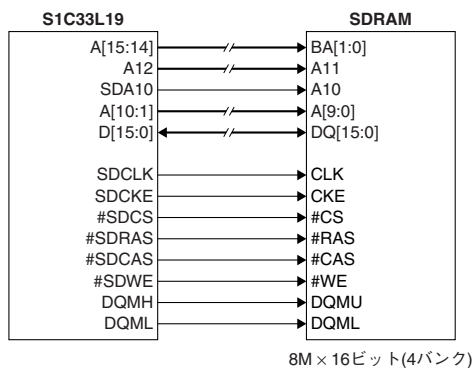
バイトデータのリード/ライト時は、SDRAMCがA0/BSLとWRH/BSHをDQMLとDQMHにデコードします。

メモリサイズにより使用されない上位アドレスビットはすべて0に固定されます。

図II.4.1.3.2とII.4.1.3.3にSDRAMの接続例を、図II.4.1.3.4に使用するSDRAMによるエリアの構成とアドレス範囲を示します。



図II.4.1.3.2 64MバイトSDRAM接続例



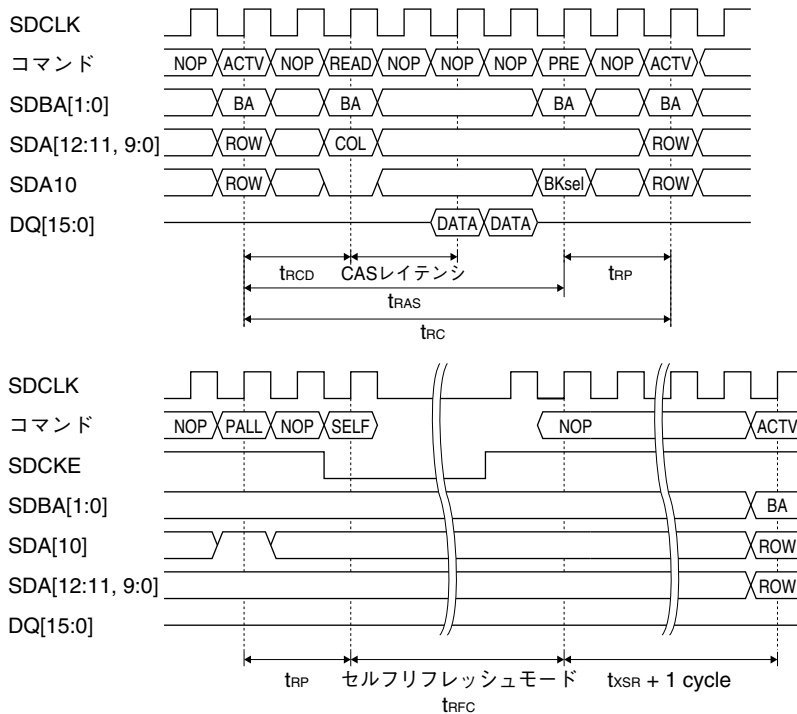
図II.4.1.3.3 16MバイトSDRAM接続例

エリア7(2MB, 0x00400000~0x005FFFFFFF)		エリア19(256MB, 0x10000000~0x1FFFFFFF)	
1M×16ビット×1=2MB (ADDR[2:0] = "000") 0x005FFFFFFF 0x00500000 0x004FFFFFFF 0x00400000 バンク1 バンク0 エリア7		1M×16ビット×1=2MB (ADDR[2:0] = "000") 0x1FFFFFFF 0x10200000 0x101FFFFFFF 0x10100000 0x100FFFFFFF 0x10000000 ミラー バンク1 バンク0 エリア19	
2M×8ビット×2=4MB (ADDR[2:0] = "100") バンク1は アクセス不可 0x005FFFFFFF 0x00400000 ~~バンク1~~ バンク0 エリア7		2M×8ビット×2=4MB (ADDR[2:0] = "100") 0x1FFFFFFF 0x10400000 0x103FFFFFFF 0x10200000 0x101FFFFFFF 0x10000000 ミラー バンク1 バンク0 エリア19	
4M×16ビット×1=8MB (ADDR[2:0] = "001") バンク1~3は アクセス不可 0x005FFFFFFF 0x00400000 バンク3 バンク2 バンク1 バンク0 エリア7		4M×16ビット×1=8MB (ADDR[2:0] = "001") 0x1FFFFFFF 0x10800000 0x107FFFFFFF 0x10600000 0x105FFFFFFF 0x10400000 0x103FFFFFFF 0x10200000 0x101FFFFFFF 0x10000000 ミラー バンク3 バンク2 バンク1 バンク0 エリア19	
8M×16ビット×1=16MB (ADDR[2:0] = "010") または 8M×8ビット×2=16MB (ADDR[2:0] = "101") バンク0の上位半分と バンク1~3は アクセス不可 0x005FFFFFFF 0x00400000 バンク3 バンク2 バンク1 バンク0 バンク0 エリア7		8M×16ビット×1=16MB (ADDR[2:0] = "010") または 8M×8ビット×2=16MB (ADDR[2:0] = "101") 0x1FFFFFFF 0x11000000 0x10FFFFFFF 0x10C00000 0x10BFFFFFFF 0x10800000 0x107FFFFFFF 0x10400000 0x103FFFFFFF 0x10000000 ミラー バンク3 バンク2 バンク1 バンク0 エリア19	
16M×16ビット×1=32MB (ADDR[2:0] = "011") または 16M×8ビット×2=32MB (ADDR[2:0] = "110") バンク0の上位と バンク1~3は アクセス不可 0x005FFFFFFF 0x00400000 バンク3 バンク2 バンク1 バンク0 エリア7		16M×16ビット×1=32MB (ADDR[2:0] = "011") または 16M×8ビット×2=32MB (ADDR[2:0] = "110") 0x1FFFFFFF 0x12000000 0x11FFFFFFF 0x11800000 0x117FFFFFFF 0x11000000 0x10FFFFFFF 0x10800000 0x107FFFFFFF 0x10000000 ミラー バンク3 バンク2 バンク1 バンク0 エリア19	
32M×16ビット×1=64MB (ADDR[2:0] = "111") バンク0の上位と バンク1~3は アクセス不可 0x005FFFFFFF 0x00400000 バンク3 バンク2 バンク1 バンク0 エリア7		32M×16ビット×1=64MB (ADDR[2:0] = "111") 0x1FFFFFFF 0x14000000 0x13FFFFFFF 0x13000000 0x12FFFFFFF 0x12000000 0x11FFFFFFF 0x11000000 0x10FFFFFFF 0x10000000 ミラー バンク3 バンク2 バンク1 バンク0 エリア19	

図II.4.1.3.4 SDRAMマップ

タイミングの設定

以下のパラメータをSDRAMの仕様に合わせて設定しておくことができます。



図II.4.1.3.5 SDRAMタイミングパラメータ

(1) CASレイテンシ

CASレイテンシは、リード(READ)コマンド発行後にSDRAMからデータが出力されるまでのSDCLKクロック数のことで、本SDRAMインタフェースではCAS[1:0](D[3:2]/0x301610)で1〜3に設定可能です。

* **CAS[1:0]**: CAS Latency Setup Bits in the SDRAM Application Configuration Register (D[3:2]/0x301610)

表II.4.1.3.3 CASレイテンシの設定

CAS1	CAS0	CASレイテンシ
1	1	3
1	0	2
0	1	1
0	0	Reserved

イニシャルリセット時、CASレイテンシは2に初期設定されます。

(2) trc, trfc, txsr

trc: ACTIVE→ACTIVEコマンドサイクル時間

trfc: オートリフレッシュサイクル時間

txsr: セルフリフレッシュ終了→ACTIVEコマンド期間

これらのタイミングパラメータはT80NS[3:0](D[7:4]/0x301604)でSDCLKの1〜16サイクルに設定できます。

* **T80NS[3:0]**: Number of trc, trfc and txsr Cycles Setup Bits in the SDRAM Configuration Register (D[7:4]/0x301604)

表II.4.1.3.4 trc, trfc, txsrの設定

T80NS3	T80NS2	T80NS1	T80NS0	trc, trfc, txsr
1	1	1	1	16サイクル
1	1	1	0	15サイクル
1	1	0	1	14サイクル
1	1	0	0	13サイクル
1	0	1	1	12サイクル
1	0	1	0	11サイクル
1	0	0	1	10サイクル
1	0	0	0	9サイクル
0	1	1	1	8サイクル
0	1	1	0	7サイクル
0	1	0	1	6サイクル
0	1	0	0	5サイクル
0	0	1	1	4サイクル
0	0	1	0	3サイクル
0	0	0	1	2サイクル
0	0	0	0	1サイクル

イニシャルリセット時、trc、trfc、txsrは15サイクルに初期設定されます。

(3) tras

tras: ACTIVE→PRECHARGEコマンド期間

このタイミングパラメータはT60NS[2:0](D[10:8]/0x301604)でSDCLKの1～8サイクルに設定できます。

* **T60NS[2:0]**: Number of tras Cycles Setup Bits in the SDRAM Configuration Register (D[10:8]/0x301604)

表II.4.1.3.5 trasの設定

T60NS2	T60NS1	T60NS0	tras
1	1	1	8サイクル
1	1	0	7サイクル
1	0	1	6サイクル
1	0	0	5サイクル
0	1	1	4サイクル
0	1	0	3サイクル
0	0	1	2サイクル
0	0	0	1サイクル

イニシャルリセット時、trasは1サイクルに初期設定されます。

(4) trp, trcd

trp: PRECHARGE→ACTIVEコマンド期間

trcd: ACTIVE→READ/WRITE遅延時間

これらのタイミングパラメータはT24NS[1:0](D[13:12]/0x301604)でSDCLKの1～4サイクルに設定できます。

* **T24NS[1:0]**: Number of trp and trcd Cycles Setup Bits in the SDRAM Configuration Register (D[13:12]/0x301604)

表II.4.1.3.6 trp, trcdの設定

T24NS1	T24NS0	trp, trcd
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時、trp、trcdは1サイクルに初期設定されます。

II.4.1.4 SDRAMC動作クロックとSDRAMクロック

■SDRAMCの動作クロック

SDRAMCはCMUで生成した以下のクロックを入力して動作します。

クロックの設定や制御については、“III.1 クロックマネージメントユニット (CMU)”を参照してください。

SDRAMC動作クロックは、デフォルト設定ではSDRAMCに供給されません。各クロックの供給はCMUで制御できますので、必要な場合にのみそれぞれの制御ビットによりクロック供給をOnにすることで消費電力を抑えることができます。

1. SDAPP_CPU_CLKクロック

SDAPP_CPU_CLKクロック(=MCLK)はCPUとSDRAMC間のインタフェースに使用します。SDRAMCを使用する場合は、SDAPCPU_CKE(D6/0x301B00)でクロック供給をOnにしてください。

* **SDAPCPU_CKE**: SDRAMC CPU APP Clock Control Bit in the Gated Clock Control Register 0 (D6/0x301B00)

また、SDAPP_CPU_CLKは、HALT時に供給を自動的に停止させることもできます。

SDAPCPU_HCKE(D7/0x301B00)を0に設定すると、CPUがHALTモードになった時点でクロック供給が停止し、HALTモードが解除されるとクロック供給を再開します。

* **SDAPCPU_HCKE**: SDRAMC CPU APP Clock Control (HALT) Bit in the Gated Clock Control Register 0 (D7/0x301B00)

2. SDAPP_LCDC_CLKクロック

SDAPP_LCDC_CLKクロック(=MCLK)はLCDCとSDRAMC間のインタフェースに使用します。SDRAMをVRAMとして使用する場合は、SDAPLCDC_CKE(D5/0x301B00)でクロック供給をOnにしてください。

* **SDAPLCDC_CKE**: SDRAMC LCDC APP Clock Control Bit in the Gated Clock Control Register 0 (D5/0x301B00)

3. SDRAMインタフェースと命令/データキューバッファ用クロック

SDRAMCはSDRAMインタフェースの動作クロックとしてOSC_Wクロック(MCLKのソースクロック)を入力します。このクロックはSDCLK(SDRAM同期クロック)としても使用されます。そのため、OSC_Wを1/2に分周してMCLKを生成している場合は、SDRAMをCPUクロックより2倍高速なクロックでアクセスすることができます。

注: SDCLKは、チップリセット後にSDCLK端子(P21)から出力されます。SDRAMアクセス中に動作クロック(SDCLK)が停止すると、SDRAMが意図しない状態で動作を停止することによってシステムに障害が発生する場合があります。下記の操作はSDCLKを停止しますので、必ずSDRAMへのアクセスが発生しない状態で行ってください。

- S1C33L19をSLEEP状態に設定する
- P21のポート機能をSDCLK出力から、汎用入出力に切り換える

CPUのほかに、DMA(SDRAMに対するDMA転送を設定している場合)、およびLCDC(SDRAMをLCDCの表示RAMとして設定している場合)からもSDRAMはアクセスされます。このような場合は、上記の操作を行う前にDMAとLCDCの動作を停止させ、SDRAMへのアクセスが発生しない状態にする必要があります。

4. SDSAPB_CLKクロック

SDSAPB_CLKはSDRAMC制御レジスタの動作クロックです。レジスタを設定する際に必要となりますが、それ以外は消費電力を抑えるため、SDSAPB_CKE(D4/0x301B00)を0に設定して停止させることができます。

* **SDSAPB_CKE**: SDRAMC SAPB I/F Clock Control Bit in the Gated Clock Control Register 0 (D4/0x301B00)

上記のクロック制御ビット(初期設定は0)を1に設定すると、SDRAMCへのクロック供給がOnします。

スタンバイモードの種類により、SDRAMC動作クロックの供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

CMUレジスタの設定により停止可能です。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時は、SDRAMCも動作を停止します。

■2通倍モード

SDRAMCは、SDRAMをCPUクロックより2倍高速なクロックでアクセスする2通倍モードをサポートしています。たとえば、CPUが45MHzクロックで動作している場合、SDRAMは90MHzで動作可能です。

SDRAMCは次の操作で2通倍モードになります。

(1)MCLKをOSC_W $\times$ 1/2に設定します。

(2)DBF(D5/0x301610)を1に設定します。

* **DBF**: Double Frequency Mode Enable Bit in the SDRAM Application Configuration Register (D5/0x301610)

注: SDCLKクロック周波数は最大90MHzに制限されています。したがって、CPUクロック(MCLK)が45MHz以上の場合は、SDRAMCを2通倍モードに設定することはできません。この場合は(通常モードの場合)、CPUの上限動作周波数66MHzがSDCLKの最大周波数となります。

II.4.1.5 SDRAMインタフェースの制御と動作

■SDRAMの初期化

SDRAMを使用するには、電源投入後、以下の手順でSDRAMを初期化してください。

1. SDRAMインタフェース端子の設定
汎用入出力ポートや、他の周辺機能との兼用端子を、Port Function Select Registerの設定によってSDRAM用に切り換えます。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。
2. SDRAMCレジスタの初期設定
SDRAMCレジスタを以下の順番で設定します。
 - (1) SDRAM Configuration Register(0x301604)
SDRAMのサイズやアドレス構成、アクセス用タイミングパラメータを設定します。
 - (2) SDRAM Refresh Register(0x301608)
オートリフレッシュカウンタとセルフリフレッシュカウンタを設定します。
 - (3) SDRAM Initial Register(0x301600)
SDON(D4)を1に設定します(SDRAMCをOn)。
 - (4) SDRAM Application Configuration Register(0x301610)
CASレイテンシを設定すると共に、SDAPPとバスアービタをOnします。また、必要に応じ、2倍モードやキューバッファを有効にします。
3. SDRAM電源投入後の待機
SDRAMの電源投入後は、一定時間(例: 100 μ sまたは200 μ s)以上NOP状態(#SDCS = 1)を保つ必要があります。この時間はSDRAMにより変わりますので、仕様を確認してください。
4. SDRAMイニシャルシーケンスの実行
SDRAMを初期化するため、PALL(全バンクプリチャージ)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行します。この実行順序はSDRAMにより異なりますので注意してください。
例1: PALL → REF → REF → MRS (→ EMRS)
例2: PALL → MRS → REF → REF (→ REF → REF → REF → REF → REF → REF)
初期化手順については、使用するSDRAMの仕様を参照してください。
各コマンドは以下に示す制御ビットで個々に実行可能です。

PALL(全バンクプリチャージ)コマンドの実行

SDRAM Initial Register(0x301600)に0x12を書き込み、INIPRE(D1/0x301600)を1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、PALLコマンドがSDRAMに送られます。

* **INIPRE**: PALL Command Enable for Initialization Bit in the SDRAM Initial Register (D1/0x301600)

REF(オートリフレッシュ)コマンドの実行

SDRAM Initial Register(0x301600)に0x11を書き込み、INIREF(D0/0x301600)を1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、REFコマンドがSDRAMに送られます。

* **INIREF**: REF Command Enable for Initialization Bit in the SDRAM Initial Register (D0/0x301600)

REFコマンドを複数回実行する場合は、それぞれの実行の間にnop命令を入れてください。

REFコマンド実行 → nop命令実行 → REFコマンド実行(→ REF → nop → REF...)

SDRAM Configuration Register(0x301604)に設定したSDRAMタイミングパラメータは、このイニシャルシーケンス実行時は無効となります。そのため、SDRAMタイミングを満たすために十分な数のnop命令を実行する必要があります。

MRS/EMRS(モードレジスタセット/拡張モードレジスタセット)コマンドの実行

SDRAM Initial Register(0x301600)に0x14を書き込み、INIMRS(D2/0x301600)を1に設定します。
次に、CASレイテンシ(MRS)や拡張モードパラメータ(EMRS)によって決まるSDRAMの下記
のアドレスに任意のデータを書き込みます。

* **INIMRS**: MRS Command Enable for Initialization Bit in the SDRAM Initial Register (D2/0x301600)

表II.4.1.5.1 MRS/EMRSコマンドを実行するためのデータライトアドレス

CPUアドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
SDRAMアドレス	BA1	BA0	SDA12	SDA11	SDA10	SDA9	SDA8	SDA7	SDA6	SDA5	SDA4	SDA3	SDA2	SDA1	SDA0
MRS	モード		Reserved			WB	テストモード		CASレイテンシ			BT	バースト長		
CASレイテンシ = 1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	1
CASレイテンシ = 2	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1
CASレイテンシ = 3	0	0	0	0	0	1	0	0	0	1	1	0	0	0	1
EMRS	モード		Reserved							DS	TCSR		PASR		
	1	0	0	0	0	0	0	0	0	SDRAM仕様参照					

たとえば、CASレイテンシ = 2の指定でMRSコマンドを実行するには、SDRAM Initial Register (0x301600)に0x14を書き込み後、アドレス0x10000442(SDRAMをエリア19に配置した場合)に任意の値を書き込んでください。

注: • MRSコマンドで指定するCASレイテンシは、CAS[1:0](D[3:2]/0x301610)の設定内容と同じにする必要があります。

* **CAS[1:0]**: CAS Latency Setup Bits in the SDRAM Application Configuration Register (D[3:2]/0x301610)

- イニシャルシーケンスのコマンドを実行後は、コマンドイネーブルビットを0に設定する必要があります。最後の初期化コマンドを実行後はSDRAM Initial Register(0x301600)に0x10を書き込んでください。
- SDRAMの初期化が終了するまで、セルフリフレッシュ機能は無効にしてください。

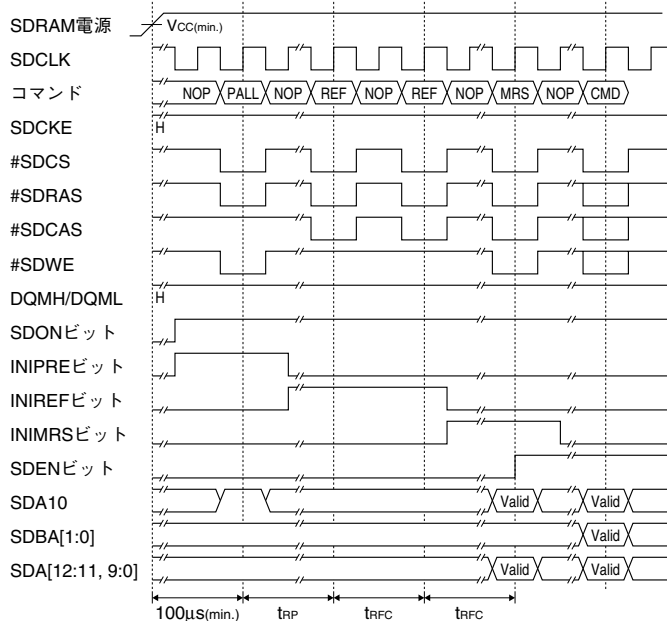
5. SDRAM初期化終了のチェック

SDEN(D3/0x301600)は電源投入時に0にリセットされ、上記のSDRAM初期化が終了すると1にセットされます。SDRAMをアクセスする前に、SDEN(D3/0x301600)が1になっていることを確認してください。

SDEN(D3/0x301600)は電源投入時以外にも、SDON(D4/0x301600)への0書き込みにより0にリセットされます。

* **SDEN**: SDRAM Initialize Flag in the SDRAM Initial Register (D3/0x301600)

* **SDON**: SDRAM Controller Enable Bit in the SDRAM Initial Register (D4/0x301600)



図II.4.1.5.1 SDRAMの電源投入と初期化

■SDRAMコマンド

SDRAMは信号の論理レベルを組み合わせる構成されるコマンドによって制御されます。
本SDRAMCが出力するコマンドを表II.4.1.5.2に示します。

表II.4.1.5.2 サポートSDRAMコマンド一覧

コマンド		端 子								
機 能	シンボル	SDCKE	DQM (DQMH/L)	SDBA[1:0]	SDA10	SDA[12:11] SDA[9:0]	#SDCS	#SDRAS	#SDCAS	#SDWE
選択解除	—	H	X	X	X	X	H	X	X	X
バンクアクティブ	ACTV	H	X	V	V	V	L	L	H	H
指定バンクプリチャージ	PRE	H	X	V	L	X	L	L	H	L
全バンクプリチャージ	PALL	H	X	X	H	X	L	L	H	L
ライト	WRIT	H	X	V	L	V	L	H	L	L
リード	READ	H	X	V	L	V	L	H	L	H
モードレジスタセット	MRS	H	X	X	V	V	L	L	L	L
NOP	NOP	H	X	X	X	X	L	H	H	H
オートリフレッシュ	REF	H	X	X	X	X	L	L	L	H
セルフリフレッシュ開始	SELF	H → L	X	X	X	X	L	L	L	H
セルフリフレッシュ終了	—	L → H	X	X	X	X	H	X	X	X
データライト/出力許可	—	H	L	X	X	X	X	X	X	X
データライト/出力禁止	—	H	H	X	X	X	X	X	X	X

V = 有効, X = 任意/不定, L = Lowレベル, H = Highレベル

各コマンド出力はSDRAMコントローラが行いますので、SDRAMの初期化以外ユーザプログラムで制御する必要はありません。

■SDRAMのバスオペレーション

S1C33L19の外部データバスサイズは16ビットです。デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。SDRAMエリアのバスオペレーションを表II.4.1.5.3に示します。

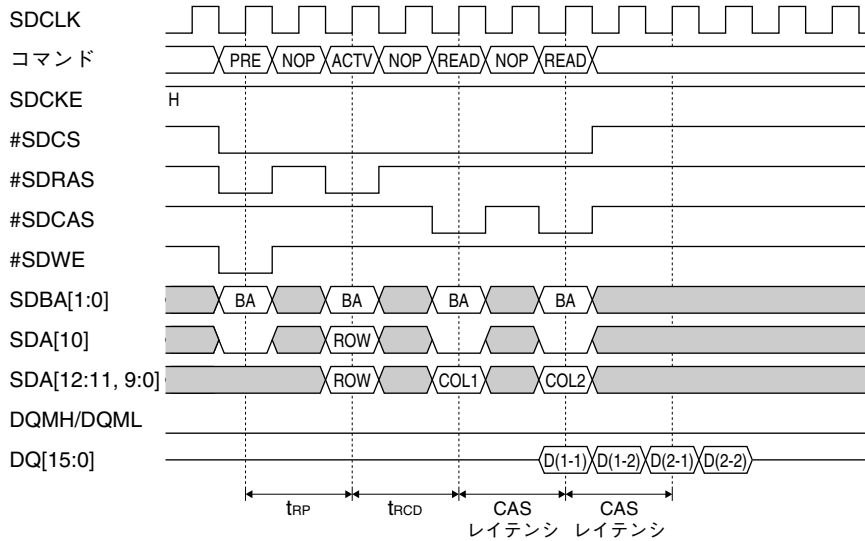
表II.4.1.5.3 バスオペレーション

デバイス サイズ	データ サイズ	R/W	A1	A0	リトルエンディアン			アクセス 回数
					使用する 制御信号	D[15:8] 端子	D[7:0] 端子	
16ビット	バイト	W	*	0	DQML	—	D[7:0]	1回
			*	1	DQMH	D[7:0]	—	1回
		R	*	0	リード	—	D[7:0]	1回
			*	1		D[7:0]	—	1回
	ハーフ ワード	W	*	*	DQMH/L	D[15:0]		1回
		R	*	*	リード	D[15:0]		1回
	ワード	W	0	*	DQMH/L	D[15:0]		1回目
			1	*		D[31:16]		2回目
		R	0	*	リード	D[15:0]		1回目
			1	*		D[31:16]		2回目

■ リードサイクル

SDRAMCはバーストリードによりSDRAMからデータを読み出します。バースト長は2に固定されています。図II.4.1.5.2に、同じローアドレスから2ワードのデータを読み出す場合のタイミング例を示します。

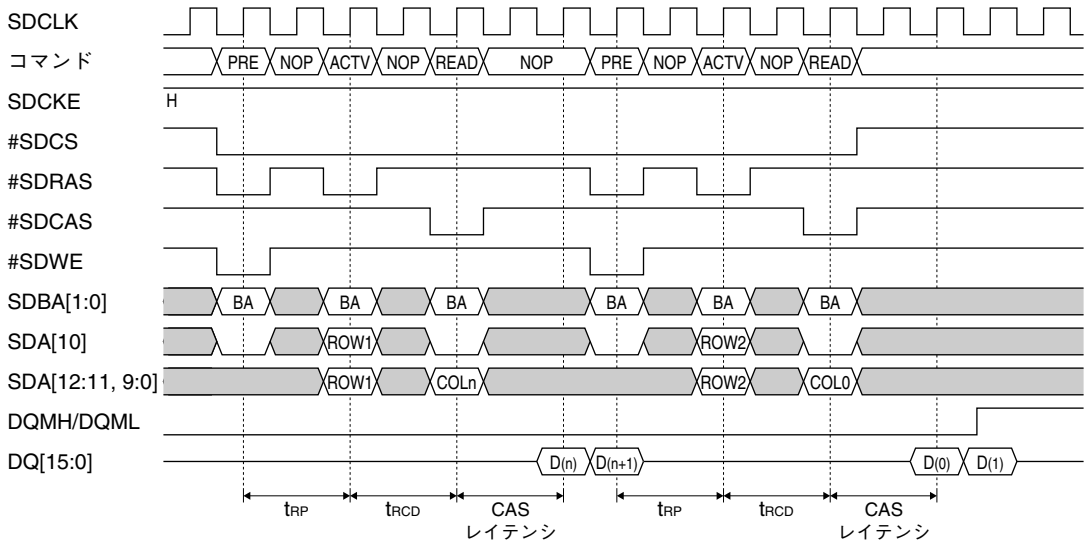
パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル



図II.4.1.5.2 同一ページ内のバーストリード

図II.4.1.5.3は、バーストリード中にローアドレスが変わる場合の例です。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

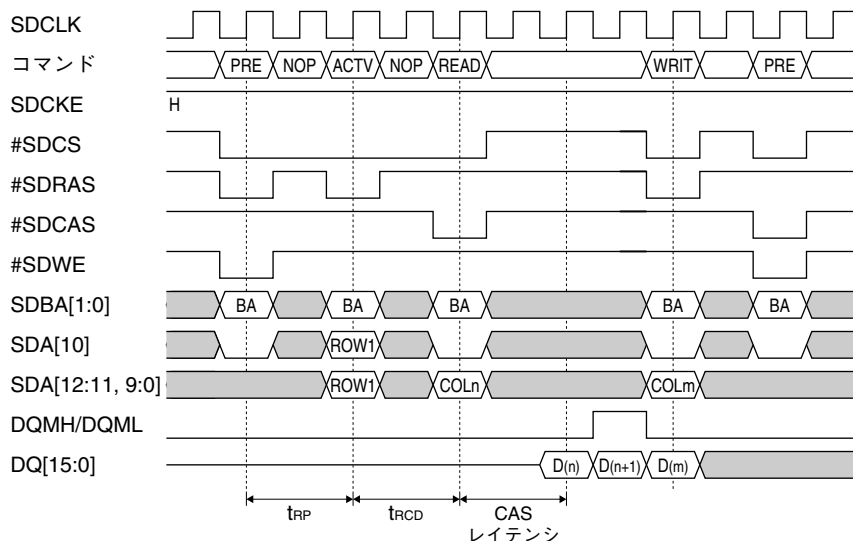


図II.4.1.5.3 バーストリード時のローアドレス変更

■ライトサイクル

SDRAMへの書き込みは、常にシングルライトになります。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル

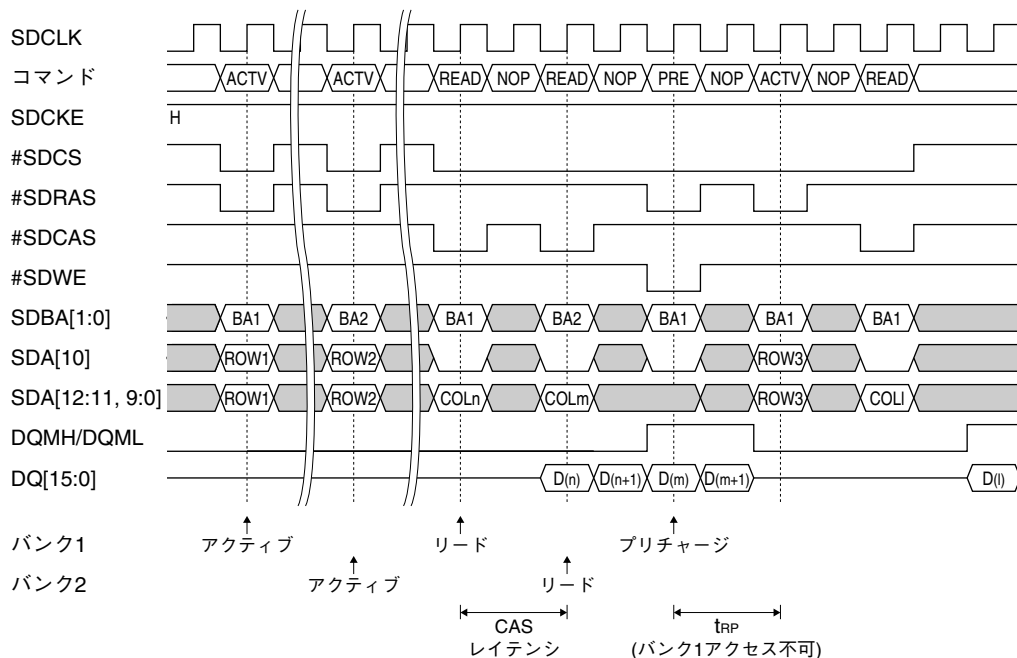


図II.4.1.5.4 バーストリード→シングルライト (同一ページ)

■バンクインターリーブアクセス

複数のバンク (4バンクまで) を同時にアクティブにすることができます。これにより、バンクが変わる場合でも、ACTV (アクティブ) コマンドをその都度発行することなく、連続的にSDRAMをアクセスすることができます。

パラメータの設定例: CASレイテンシ = 2、 t_{RCD} = 2サイクル、 t_{RAS} = 4サイクル、 t_{RP} = 2サイクル



図II.4.1.5.5 バンクインターリーブアクセス

■SDRAMリフレッシュ

SDRAMCは、オートリフレッシュとセルフリフレッシュの2種類のSDRAMリフレッシュモードに対応しています。

オートリフレッシュ

SDRAMCは12ビットのオートリフレッシュカウンタを内蔵しています。このカウンタはSDCLKクロックで常にカウントを行い、カウントが指定した値になると全バンクのプリチャージコマンドとオートリフレッシュコマンドをSDRAMに送信するようになっています。その時点でカウンタはリセットされ、次のリフレッシュ周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

オートリフレッシュの周期はSDCLKクロック (MCLKまたはMCLKの2倍)の周波数と、AURCO[11:0] (D[11:0]/0x301608)に設定するカウント値で決まります。

* **AURCO[11:0]:** SDRAM Auto-Refresh Counter Bits in the SDRAM Refresh Register (D[11:0]/0x301608)

SDRAMの仕様を満たすようにAURCO[11:0] (D[11:0]/0x301608)の値を設定してください。カウント値は次の計算式で求められます。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trp} - \text{trcd} - 3$$

RFP: 最大リフレッシュ周期 [s]

ROWS: ローアドレスサイズ

fCLK: SDCLKクロック周波数 [Hz]

BL: バースト長 (= 2)

CL: CASレイテンシ

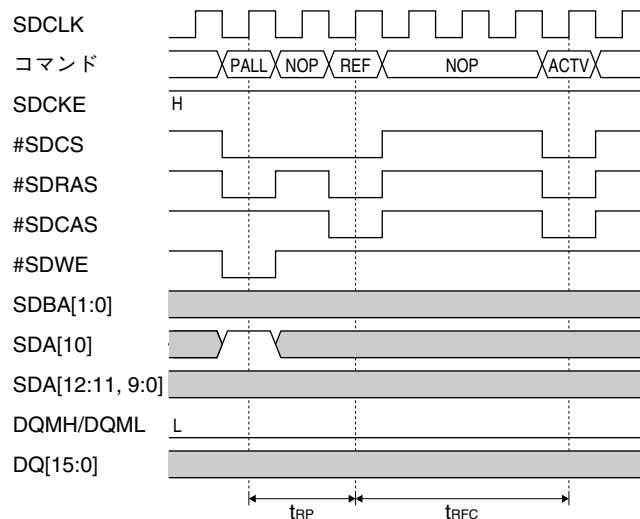
trp: PRECHARGEコマンド期間 [クロック数]

trcd: ACTIVE→READ/WRITE遅延時間 [クロック数]

たとえば、RFP = 64ms、ROWS = 4,096、fCLK = 20MHz、CL = 2、trp = 2、trcd = 2の場合の設定値は次のように算出されます。

$$\text{AURCO} \leq \frac{0.064}{4,096} \times 20,000,000 - 2 - 2 - 2 \times 2 - 2 - 3 = 299$$

AURCO[11:0] (D[11:0]/0x301608) には299(0x12b)以下の値を設定します。



図II.4.1.5.6 オートリフレッシュ

セルフリフレッシュ

セルフリフレッシュはSDRAMのセルフリフレッシュ機能を使用するもので、リフレッシュ期間中にクロックが不要なため、電力消費を抑えることができます。また、パワーダウンモード時のデータ保持には、このセルフリフレッシュを使用します。

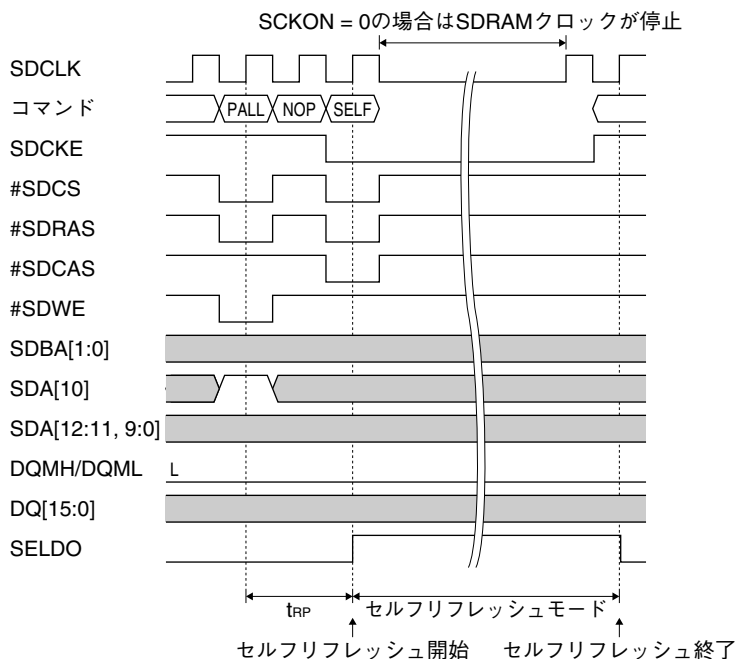
セルフリフレッシュを行う場合は、SELEN(D23/0x301608)を1に設定します。これにより、SDRAMCはセルフリフレッシュコマンド(SDCKE出力をLowに設定)をSDRAMに送ることができるようになります。

* **SELEN**: SDRAM Self-Refresh Enable Bit in the SDRAM Refresh Register (D23/0x301608)

実際にコマンドが送られるのはSDRAMのアクセスから、またはオートリフレッシュから一定時間経過後で、SDRAMCは、この時間をカウントするセルフリフレッシュカウンタを内蔵しています。このカウンタはSDCLKクロックでカウントを行い、カウントが指定した値になるとセルフリフレッシュコマンドをSDRAMに送信します。また、SDRAMのアクセスやオートリフレッシュコマンドの発行時にカウンタはリセットされ、再度カウントを開始するようになっています。カウンタと比較する値は、SELCO[6:0](D[22:16]/0x301608)で1~127の範囲で指定可能です。セルフリフレッシュを有効に設定している場合は、カウンタを0に設定しないでください。

* **SELCO[6:0]**: SDRAM Self-Refresh Counter Bits in the SDRAM Refresh Register (D[22:16]/0x301608)

セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。その後SDRAMへのアクセスが終了してカウンタが指定した値になると、SDRAMCは再度セルフリフレッシュコマンドをSDRAMに送信します。セルフリフレッシュコマンドの送信前にオートリフレッシュコマンドが発行されるか、SDRAMへのアクセスが発生すると、カウンタはリスタートします。したがって、セルフリフレッシュカウンタ値はオートリフレッシュカウンタ値よりも小さく設定する必要があります。



図II.4.1.5.7 セルフリフレッシュ

セルフリフレッシュ中(SDCKE = Lowの期間)は、SELDO(D25/0x301608)が1になりますので、これを読み出して確認することができます。

* **SELDO**: SDRAM Self-Refresh Status Bit in the SDRAM Refresh Register (D25/0x301608)

また、SCKON(D24/0x301608)を0に設定することで、セルフリフレッシュ中のSDRAMクロック出力を停止して電力消費を抑えることができます。

* **SCKON**: SDRAM Clock Enable During Self-Refresh Bit in the SDRAM Refresh Register (D24/0x301608)

■ パワーダウンモード

S1C33L19はC33 PEコアの2つのパワーダウンモード (HALT、SLEEP)をサポートしています。

HALTモード

- HALTモード時にLCDCによるSDRAMへのアクセスが可能か否かについては、通常モード時の状態がそのまま適用されます。
- HALTモード時にCPUとDMAによるSDRAMへのアクセスが可能か否かについては、SDAPCPU_CKE (D6/0x301B00) およびSDAPCPU_HCKE (D7/0x301B00) の設定で決まります。
 - * **SDAPCPU_CKE**: SDRAMC CPU APP Clock Control Bit in the Gated Clock Control Register 0 (D6/0x301B00)
 - * **SDAPCPU_HCKE**: SDRAMC CPU APP Clock Control (HALT) Bit in the Gated Clock Control Register 0 (D7/0x301B00)

表II.4.1.5.4 SDAPP_CPU_CLKクロックの状態

モード	SDAPCPU_HCKE	SDAPCPU_CKE	SDAPLCDC_CKE	SDRAMクロック(*)
通常モード	x	1	1	On (CPU, DMA, LCDC)
	x	1	0	On (CPU, DMA)
	x	0	1	On (LCDC)
	x	0	0	Off (アクセス不可)
HALTモード	1	1	1	On (DMA, LCDC)
	1	1	0	On (DMA)
	1	0	1	On (LCDC)
	1	0	0	Off (アクセス不可)
	0	x	x	Off (アクセス不可)

※: ()内はSDRAMをアクセス可能なモジュールです。

注: HALT時にSDRAMクロックを停止させた状態でもSDRAMのデータを保持するには、SDRAMクロックを停止する前にSELDO (D25/0x301608) を1に設定してSDRAMをセルフリフレッシュモードにしてください。

SLEEPモード

SLEEPモードでは、以下の手順でSDRAMをOffにすることにより、消費電力を低減できます。

1. SDRAM上のプログラムで動作している場合は、内蔵RAM等でのプログラム実行に切り換えます。
2. SDRAMの電源をOffします。
3. SDRAM用に使用していた端子を汎用入出力ポートの機能に切り換えます。
4. データバスおよびアドレスバスをLow駆動にします。
5. SDON (D4/0x301600) を0に設定してSDRAMCをOffします。
6. slp命令を実行します。

* **SDON**: SDRAM Controller Enable Bit in the SDRAM Initial Register (D4/0x301600)

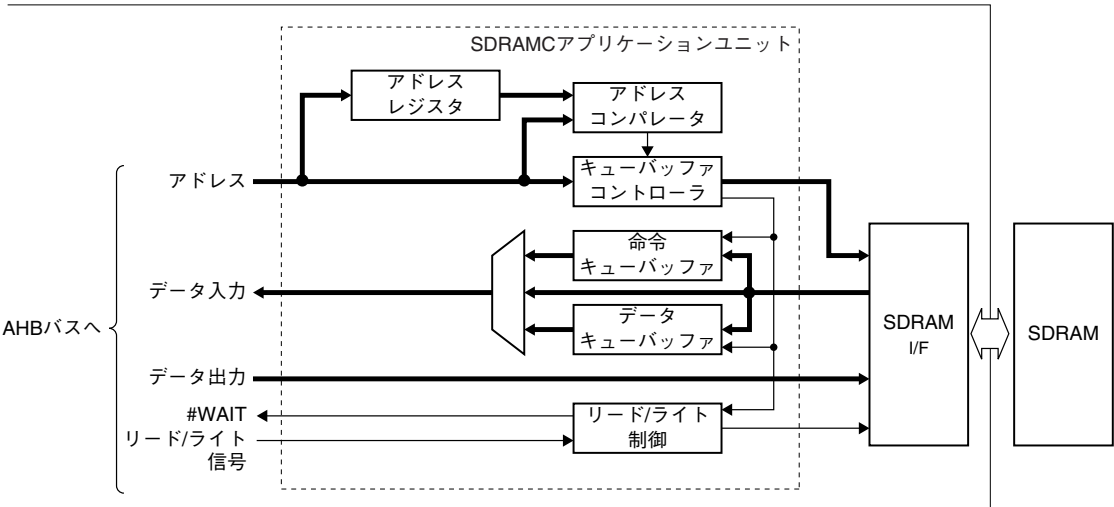
SLEEPからの起床時は以下の処理を行います。

1. CPUがSLEEPから起床します。
2. ポートをSDRAM用に切り換えます。
3. データバスおよびアドレスバスのLow駆動を解除します。
4. SDRAMの電源をOnします。
5. SDRAMの仕様に合わせ、100 μ sまたは200 μ s以上の安定待ち時間を取ります。
6. SDON (D4/0x301600) を1に設定してSDRAMCをOnします。
7. SDRAMCを初期設定します。

II.4.2 命令/データキューバッファ

II.4.2.1 概要

SDRAMCモジュールには、C33 PEコア (AHBバス)とII.4.1節で説明したSDRAMインタフェースユニット間のインタフェースを行うSDRAMCアプリケーションユニットが組み込まれています。このユニットは、SDRAMインタフェースモジュールを駆動するためのリード/ライト、アドレス、データおよびハンドシェイク信号を生成します。また、このユニットには、命令のプリフェッチ機能を実現し、C33 PEコアのメモリアクセス性能を向上させる、命令キューバッファとデータキューバッファも組み込まれています。



図II.4.2.1.1 命令/データキューバッファ

II.4.2.2 IQB(命令キューバッファ)

IQBは命令をプリフェッチするキューバッファで、16 × 16ビットDフリップフロップで構成されています。下図に示すように、2スロット×8 × 16ビットのバッファとして使用されます。

A[24:14]	A[13:4]	A[3:1]							
IQBアドレス	スロット0 アドレス	スロット0							
		Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7
	スロット1 アドレス	スロット1							
		Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7

図II.4.2.2.1 IQBの構造

IQB(D0/0x301610)を1に設定することにより、IQBはCPUとSDRAM間に置かれた命令キャッシュとして働きます。

* **IQB**: Instruction Queue Buffer Enable Bit in the SDRAM Application Configuration Register (D0/0x301610)

IQBをイネーブルに設定後、CPUがSDRAMから最初の命令をフェッチしようとする、SDRAMCアプリケーションユニットはSDRAMから8命令(CPUが必要としている命令を含む)をプリフェッチし、IQBのスロット0にストアします。CPUはIQBのスロット0から必要としている命令を読み出します。IQBにプリフェッチされていれば、その後もCPUは続いて実行する命令を、IQBから読み出すことができます(これをヒットと呼びます)。次に実行する命令がIQBにストアされていなかった場合(ミスと呼びます)、SDRAMCアプリケーションユニットはSDRAMから別の8命令(CPUが必要としている命令を含む)をプリフェッチし、IQBのスロット1にストアします。CPUはスロット1から必要としている命令を読み出します。このように2つのスロットは交互に使用され、実行するルーチンがSDRAM上にある間、CPUは実行命令をIQBからフェッチします。

各スロットは8命令をストア可能です。したがって、IQBは常に4ワード(128ビット)境界アドレスから始まるデータを取り込みます。

CPUの実行対象命令アドレス A[3:1]	スロット0, 1							
	Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7
000								
001								
010								
011								
100								
101								
110								
111								

CPUの実行対象命令
 IQBのプリフェッチ命令

図II.4.2.2.2 スロット内の命令

II

IQBを無効(IQB(D0/0x301610) = 0)に設定している場合、CPUはSDRAMにある命令およびデータを次に説明するデータキューバッファから読み出します。

II.4.2.3 DQB(データキューバッファ)

SDRAMC

DQBは2段の16ビットバッファで構成され、主にSDRAMから読み出すデータのキューバッファとしてSDRAM読み出し待ち時間の削減のために使用されます。バッファ 0とバッファ 1の2段構成は、SDRAMの2バーストリードに対応したものです。

IQB(D0/0x301610)を1に設定してIQBを有効にすると、DQBはプログラム内のデータを保持するデータバッファとして働きます。IQB(D0/0x301610)を0に設定してIQBを無効にすると、DQBは命令とデータの区別なく、SDRAMから読み出されるすべてのデータを保持するリードバッファとして働きます。DQBを無効に設定することはできません。

表II.4.2.3.1にSDRAMを対象とするバスオペレーションによるDQBの状態を示します。

表II.4.2.3.1 バスオペレーションとDQBステータス

バスオペレーション	DQBステータス(アクティブまたはインアクティブ)	
	IQBイネーブル	IQBディセーブル
CPU命令フェッチ	インアクティブ	アクティブ
CPUベクタフェッチ	アクティブ	アクティブ
CPUデータリード	アクティブ	アクティブ
CPUデータライト	インアクティブ	インアクティブ
CPUスタックリード	アクティブ	アクティブ
CPUスタックライト	インアクティブ	インアクティブ
DMAデータリード	アクティブ	アクティブ
DMAデータライト	インアクティブ	インアクティブ

SDRAMインタフェースは、常に32ビット境界アドレスから始まる2つの連続したハーフワードデータをバーストリードにより読み出します。したがって、ワード境界アドレス(A[1:0]が00に固定)にある16ビットデータは常にバッファ 0に、続くハーフワード境界アドレス(A[1:0] = 10)にあるデータはバッファ 1にストアされます。

CPUがSDRAM上のデータを読み出す際にDQBがそのデータを保持している場合は、SDRAMへのリードサイクルは発生せず、データはDQBから読み出されます。

II.4.2.4 IQB/DQBの動作

■SDRAMからのデータ読み出し

IQB/DQBのヒットおよびミス进行判定するため、SDRAMCアプリケーションユニットにはIQB/DQBに取り込んだデータのアドレスを保持するアドレスレジスタと、その内容とCPUからの読み出しアドレスを比較するアドレスコンパレータが組み込まれています。

アドレスコンパレータは、CPUがアクセスしているSDRAMアドレスとアドレスレジスタ内のアドレスデータを比較し、一致するとヒットを、不一致の場合はミスを発行します。

イニシャルリセット時、IQB/DQBとアドレスレジスタは空の状態にリセットされます。したがって、CPUのSDRAMに対する最初のフェッチ/読み出しは必ずミスとなります。

ミスの場合

内部ウェイト信号がC33 PEコアに出力され、バスサイクルはウェイト状態になります。SDRAMCアプリケーションユニットはSDRAMインタフェースを介してSDRAMからデータを読み出し、IQBまたはDQBにストアします。バッファが読み出し可能になると、内部ウェイト信号がインアクティブになり、バスサイクルはウェイト状態を抜けてIQBまたはDQBからデータを読み出します。

ヒットの場合

SDRAMへのアクセスは発生しません。CPUは命令のフェッチまたはデータの読み出しを、IQBまたはDQBからノーウェイトで行えます。

■SDRAMへのデータ書き込み

CPUがSDRAMにデータを書き込む場合は、SDRAMインタフェースがSDRAMへの書き込みを終了するまで、C33 PEコアのウェイト信号入力がアクティブになります。

IQBまたはDQBに取り込まれているデータのアドレスに対して書き込みが行われた場合、バッファされているデータは消去されます。

II.4.3 バスアービタ

II.4.3.1 概要

SDRAMCはバスアービタを内蔵しています。LCDCは外部SDRAMをVRAMとして使用することができますので、CPUとLCDCからSDRAMへのアクセスが同時に発生することがあります。また、LCDCがSDRAMをアクセス中に、SRAMCからの外部バスアクセスが発生することもあります。バスアービタは、これらのバス使用権を調停します。バスマスタの優先順位は、(1)LCDC、(2)DMA、(3)CPU、(4)SRAMCとなっています。ただし、DMAACCTIME[3:0](D[3:0]/0x30119E)によってDMAシーケンシャルアクセス時間を設定しない限り、LCDCでも長いDMA転送を中断させることはできません。

* **DMAACCTIME[3:0]**: IDMA and HSDMA Sequential Access Time Setup Bits in the DMA Sequential Access Time Register (D[3:0]/0x30119E)

II.4.3.2 バスアービタの制御

イニシャルリセット時、バスアービタは無効に設定されます。この状態では、CPUからのSDRAMアクセス要求とSRAMCからのアクセス要求は受け付けられますが、LCDCからのSDRAMアクセス要求は受け付けられません。LCDCからSDRAMをアクセスする前に、バスアービタを有効に設定する必要があります。バスアービタを有効にするには、ARBON(D31/0x301610)を1に設定します。

* **ARBON**: Arbiter Enable Bit in the SDRAM Application Configuration Register (D31/0x301610)

LCDCがIVRAMのみを使用する場合など、LCDCによるSDRAMアクセスが発生しない場合はARBONを0に設定してバスアービタの動作を停止し、消費電流を低減できます。

II.4.4 制御レジスタ詳細

表II.4.4.1 SDRAMCレジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301600	SDRAM Initial Register (pSDRAMC_INI)	32	SDRAMCイネーブルと初期化の制御
0x00301604	SDRAM Configuration Register (pSDRAMC_CTL)	32	SDRAMサイズとタイミングパラメータの設定
0x00301608	SDRAM Refresh Register (pSDRAMC_REF)	32	リフレッシュの制御
0x00301610	SDRAM Application Configuration Register (pSDRAMC_APP)	32	SDAPPモジュールの制御

以下にSDRAMCの制御レジスタを個々に説明します。
SDRAMCの制御レジスタは0x301600～0x301610の32ビットデバイスエリアに割り付けられており、ワード、ハーフワードおよびバイトアクセスが可能です。

0x301600: SDRAM Initial Register (pSDRAMC_INI)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM initial register (pSDRAMC_INI)	00301600 (W)	D31~5	—	reserved	—	—	—	0 when being read.
		D4	SDON	SDRAM controller enable	1 Enabled 0 Disabled	0	R/W	
		D3	SDEN	SDRAM initialize flag	1 Initialized 0 Not initialized	0	R	
		D2	INIMRS	MRS command enable for init.	1 Enabled 0 Disabled	0	R/W	
		D1	INIPRE	PALL command enable for init.	1 Enabled 0 Disabled	0	R/W	
		D0	INIREF	REF command enable for init.	1 Enabled 0 Disabled	0	R/W	

D[31:5] Reserved

D4 **SDON: SDRAM Controller Enable Bit**

SDRAMコントローラを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

SDONを1に設定するとSDRAMコントローラが動作を開始します。SDONを1に設定する前に、必ずSDRAMCクロックのSDRAMコントローラへの供給を開始してください。

D3 **SDEN: SDRAM Initialize Flag**

SDRAMが初期化(モードレジスタセット)を終了したことを示します。

1(R): 初期化終了

0(R): 初期化前(デフォルト)

SDENは電源投入時に0にリセットされ、初期化シーケンスを終了すると1にセットされます。SDRAMをアクセスする前に、SDENが1になっていることを確認してください。

D2 **INIMRS: MRS Command Enable for Initialization Bit**

SDRAMの初期化のためのMRS(モードレジスタセット)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SDRAMを初期化するには、PALL(全バンクプリチャージ)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行します。この実行順序はSDRAMにより異なりますので、使用するSDRAMの仕様を参照してください。

例1: PALL → REF → REF → MRS (→ EMRS)

例2: PALL → MRS → REF → REF (→ REF → REF → REF → REF → REF → REF)

MRS/EMRS(モードレジスタセット/拡張モードレジスタセット)コマンドを実行するには、本レジスタに0x14を書き込み、INIMRSを1に設定します。次に、CASレイテンシ(MRS)や拡張モードパラメータ(EMRS)によって決まるSDRAMの下記のアドレスに任意のデータを書き込みます。

表II.4.4.2 MRS/EMRSコマンドを実行するためのデータライトアドレス

CPUアドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	
SDRAMアドレス	BA1	BA0	SDA12	SDA11	SDA10	SDA9	SDA8	SDA7	SDA6	SDA5	SDA4	SDA3	SDA2	SDA1	SDA0	
MRS	モード		Reserved			WB	テストモード		CASレイテンシ			BT		バースト長		
	CASレイテンシ = 1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	1
	CASレイテンシ = 2	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1
	CASレイテンシ = 3	0	0	0	0	0	1	0	0	0	1	1	0	0	0	1
EMRS	モード		Reserved							DS		TCSR		PASR		
	1	0	0	0	0	0	0	0	0	SDRAM仕様参照						

たとえば、CASレイテンシ = 2の指定でMRSコマンドを実行するには、SDRAM Initial Register (0x301600)に0x14を書き込み後、アドレス0x10000442(SDRAMをエリア19に配置した場合)に任意の値を書き込んでください。

注: MRSコマンドで指定するCASレイテンシは、CAS[1:0](D[3:2]/0x301610)の設定内容と同じにする必要があります。

* **CAS[1:0]**: CAS Latency Setup Bits in the SDRAM Application Configuration Register (D[3:2]/0x301610)

D1 INIPRE: PALL Command Enable for Initialization Bit

SDRAMの初期化のためのPALL(全バンクプリチャージ)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PALL(全バンクプリチャージ)コマンドを実行するには、本レジスタに0x12を書き込み、INIPREを1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、PALLコマンドがSDRAMに送られます。イニシャルシーケンスについてはINIMRS(D2)を参照してください。

D0 INIREF: REF Command Enable for Initialization Bit

SDRAMの初期化のためのREF(オートリフレッシュ)コマンドの出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

REF(オートリフレッシュ)コマンドを実行するには、本レジスタに0x11を書き込み、INIREFを1に設定します。次に、SDRAMの任意のアドレスに任意のデータを書き込みます。このダミーライト操作により、REFコマンドがSDRAMに送られます。イニシャルシーケンスについてはINIMRS(D2)を参照してください。

REFコマンドを複数回実行する場合は、それぞれの実行の間にnop命令を入れてください。

REFコマンド実行 → nop命令実行 → REFコマンド実行(→ REF → nop → REF...)

- 注:
- SDRAM Configuration Register(0x301604)に設定したSDRAMタイミングパラメータは、このイニシャルシーケンス実行時は無効となります。そのため、SDRAMタイミングを満たすために十分な数のnop命令を実行する必要があります。
 - イニシャルシーケンスのコマンドを実行後は、コマンドイネーブルビットを0に設定する必要があります。最後の初期化コマンドを実行後はSDRAM Initial Register(0x301600)に0x10を書き込んでください。
 - SDRAMの初期化が終了するまで、セルフリフレッシュ機能は無効にしてください。

0x301604: SDRAM Configuration Register (pSDRAMC_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SDRAM configuration register (pSDRAMC_CTL)	00301604 (W)	D31–14	–	reserved	–		–	–	0 when being read.
		D13	T24NS1	Number of SDRAM trp and trcd cycles	T24NS[1:0] = 0 to 3 → 1 to 4 cycles		0	R/W	
		D12	T24NS0		0				
		D11	–	reserved	–		–	–	0 when being read.
		D10	T60NS2	Number of SDRAM tras cycles	T60NS[2:0] = 0 to 7 → 1 to 8 cycles		0	R/W	
		D9	T60NS1		0				
		D8	T60NS0		0				
		D7	T80NS3	Number of SDRAM trc, trfc and txsr cycles	T80NS[3:0] = 0 to 15 → 1 to 16 cycles		1	R/W	
		D6	T80NS2		1				
		D5	T80NS1		1				
		D4	T80NS0		0				
		D3	–	reserved	–		–	–	0 when being read.
		D2	ADDRC2	SDRAM address configuration	ADDRC[2:0]	Configuration	0	R/W	
		D1	ADDRC1		111	32M x 16 bits x 1	0		
		D0	ADDRC0		110	16M x 8 bits x 2	0		
					101	8M x 8 bits x 2			
					100	2M x 8 bits x 2			
		011	16M x 16 bits x 1						
		010	8M x 16 bits x 1						
		001	4M x 16 bits x 1						
		000	1M x 16 bits x 1						

D[31:14] Reserved

D[13:12] T24NS[1:0]: Number of SDRAM trp and trcd Setup Bits

SDRAMタイミングパラメータのtrpとtrcdを設定します。

- trp PRECHARGE→ACTIVEコマンド期間
- trcd ACTIVE→READ/WRITE遅延時間

表II.4.4.3 trp, trcdの設定

T24NS1	T24NS0	trp, trcd
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

(デフォルト: 0b00 = 1サイクル)

D11 Reserved

D[10:8] T60NS[2:0]: Number of SDRAM tras Setup Bits

SDRAMタイミングパラメータのtrasを設定します。

- tras ACTIVE→PRECHARGEコマンド期間

表II.4.4.4 trasの設定

T60NS2	T60NS1	T60NS0	tras
1	1	1	8サイクル
1	1	0	7サイクル
1	0	1	6サイクル
1	0	0	5サイクル
0	1	1	4サイクル
0	1	0	3サイクル
0	0	1	2サイクル
0	0	0	1サイクル

(デフォルト: 0b000 = 1サイクル)

D[7:4] T80NS[3:0]: Number of SDRAM trc, trfc, and txsr Setup Bits

SDRAMタイミングパラメータのtrc、trfc、txsrを設定します。

- trc ACTIVE→ACTIVEコマンドサイクル時間
- trfc オートリフレッシュサイクル時間
- txsr セルフリフレッシュ終了→ACTIVEコマンド期間

表II.4.4.5 trc, trfc, txsrの設定

T80NS3	T80NS2	T80NS1	T80NS0	trc, trfc, txsr
1	1	1	1	16サイクル
1	1	1	0	15サイクル
1	1	0	1	14サイクル
1	1	0	0	13サイクル
1	0	1	1	12サイクル
1	0	1	0	11サイクル
1	0	0	1	10サイクル
1	0	0	0	9サイクル
0	1	1	1	8サイクル
0	1	1	0	7サイクル
0	1	0	1	6サイクル
0	1	0	0	5サイクル
0	0	1	1	4サイクル
0	0	1	0	3サイクル
0	0	0	1	2サイクル
0	0	0	0	1サイクル

(デフォルト: 0b1110 = 15サイクル)

D3 Reserved**D[2:0] ADDR[2:0]: SDRAM Address Configuration Bits**

SDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ(ページサイズ)、およびローアドレスサイズも決定します。

表II.4.4.6 SDRAMサイズの選択

ADDR2	ADDR1	ADDR0	バンク数	ローサイズ	カラムサイズ	SDRAMチップ構成	メモリサイズ
1	1	1	4	8K	1K	32M×16ビット×1	64Mバイト
1	1	0	4	4K	1K	16M×8ビット×2	32Mバイト
1	0	1	4	4K	512	8M×8ビット×2	16Mバイト
1	0	0	2	2K	512	2M×8ビット×2	4Mバイト
0	1	1	4	8K	512	16M×16ビット×1	32Mバイト
0	1	0	4	4K	512	8M×16ビット×1	16Mバイト
0	0	1	4	4K	256	4M×16ビット×1	8Mバイト
0	0	0	2	2K	256	1M×16ビット×1	2Mバイト

(デフォルト: 0b000 = 2Mバイト)

0x301608: SDRAM Refresh Register (pSDRAMC_REF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SDRAM refresh register (pSDRAMC_REF)	00301608 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	SELDO	SDRAM self-refresh status	1 Refresh mode 0 Done	0	R	
		D24	SCKON	SDRAM clock during self-refresh	1 Enabled 0 Disabled	0	R/W	
		D23	SELEN	SDRAM self-refresh enable	1 Enabled 0 Disabled	0	R/W	
		D22	SELCO6	SDRAM self-refresh counter	0x0 to 0x7F	1	R/W	
		D21	SELCO5			1		
		D20	SELCO4			1		
		D19	SELCO3			1		
		D18	SELCO2			1		
		D17	SELCO1			1		
		D16	SELCO0			1		
		D15–12	–	reserved	–	–	–	0 when being read.
		D11	AURCO11	SDRAM auto-refresh counter	0x0 to 0xFFFF	0	R/W	
		D10	AURCO10			0		
		D9	AURCO9			0		
		D8	AURCO8			0		
		D7	AURCO7			1		
		D6	AURCO6			0		
		D5	AURCO5			0		
		D4	AURCO4			0		
		D3	AURCO3			1		
		D2	AURCO2			1		
		D1	AURCO1			0		
		D0	AURCO0			0		

D[31:26] Reserved

D25 SELDO: SDRAM Self-Refresh Status Bit

SDRAMのセルフリフレッシュ状態を示します。

1(R): セルフリフレッシュ中

0(R): セルフリフレッシュモード以外(デフォルト)

SDRAMCがSDCKE端子をLowにしている間(SDRAMがセルフリフレッシュ中)、SELDOが1になります。それ以外は0になります。

SLEEPモードに設定する場合は、その前に必ずSDRAM以外の場所に置かれているプログラムで本ビットを読み出し、SDRAMがセルフリフレッシュモード中であることを確認してください。

D24 SCKON: SDRAM Clock Enable During Self-Refresh Bit

セルフリフレッシュ中にSDRAMクロックを停止するかどうかを選択します。

1(R/W): 許可(出力を保持)

0(R/W): 禁止(出力を停止) (デフォルト)

SCKONに0を書き込むと、SDRAMがセルフリフレッシュ中にSDCLK端子からのSDRAMクロック出力を停止します。これにより、消費電流を低減できます。

SCKONが1の場合は、SDRAMがセルフリフレッシュ中でもSDCLK端子からSDRAMクロックが出力されます。

D23 SELEN: SDRAM Self-Refresh Enable Bit

SDRAMのセルフリフレッシュ制御機能を有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

SELENに1を書き込むと、SDRAMCはSDRAMのセルフリフレッシュを開始(SDCKE出力をLowに設定)できるようになります。実際にセルフリフレッシュを開始するのはSDRAMのアクセスまたはオートリフレッシュからSELCO[6:0](D[22:16])で指定したクロックサイクルの経過後です。SELENが0の場合、セルフリフレッシュ機能は無効になります。

D[22:16] SELCO[6:0]: SDRAM Self-Refresh Counter Bits

セルフリフレッシュカウンタ値を設定します。(デフォルト: 0x7F)

SELEN(D23)が1(セルフリフレッシュ有効)に設定されている場合、セルフリフレッシュカウンタはSDRAMのアクセス後、あるいはオートリフレッシュ実行後にSDCLKクロックにより0からカウントアップを行います。カウンタがここで指定した値になるとSDCKE出力をLowにしてSDRAMにセルフリフレッシュを開始させます。セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。

D[15:12] Reserved

D[11:0] AURCO[11:0]: SDRAM Auto-Refresh Counter Bits

オートリフレッシュカウンタ値を設定します。(デフォルト: 0x8C)

オートリフレッシュカウンタはSDCLKクロックにより0からカウントアップを行い、ここで指定した値になるとオートリフレッシュコマンドを送信します。その時点でカウンタはリセットされ、次の周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

次の式で算出される値が、設定可能な最大値です。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trp} - \text{trcd} - 3$$

RFP: 最大リフレッシュ周期 [s]

ROWS: ロードアドレスサイズ

fCLK: SDCLKクロック周波数 [Hz]

BL: バースト長(= 2)

CL: CASレイテンシ

trp: PRECHARGEコマンド期間 [クロック数]

trcd: ACTIVE→READ/WRITE遅延時間 [クロック数]

0x301610: SDRAM Application Configuration Register (pSDRAMC_APP)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
SDRAM application configuration register (pSDRAMC_APP)	00301610 (W)	D31	ARBON	Arbiter enable	1	Enabled	0 Disabled	0	R/W	0 when being read.	
		D30-6	–	reserved	–			–	–		
		D5	DBF	Double frequency mode enable	1	Enabled	0 Disabled	0	R/W		
		D4	INCR	INCR transfer enable	1	Enabled	0 Disabled	0	R/W		
		D3 D2	CAS1 CAS0	CAS latency setup	CAS[1:0]		CAS latency		1		R/W
					11		3		0		
					10		2				
					01		1				
			00	reserved							
D1	APPON	SDAPP control	1	On	0 Off	0	R/W				
D0	IQB	Instruction queue buffer enable	1	Enabled	0 Disabled	0	R/W				

D31 ARBON: Arbiter Enable Bit

バスアービタを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

ARBONを1に設定するとバスアービタが有効になり、CPU、LCDC、SRAMCからのSDRAMアクセス要求の調停を開始します。ARBONを0に設定するとバスアービタは無効となり、動作を停止します。この場合、LCDCからはSDRAMをアクセスできなくなります。

D[30:6] Reserved**D5 DBF: Double Frequency Mode Enable Bit**

2通倍モードを有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

DBFを1に設定すると、SDRAMCはCPUクロック(45MHz max.)の2倍高速なSDRAMクロック(90MHz max.)を使用する2通倍モードに設定されます。CPUクロック(66MHz max.)と同じ周波数のSDRAMクロックを使用する場合はDBFを0に設定してください。

D4 INCR: INCR Transfer Enable Bit

INCR転送を有効にします。INCRを1に設定すると、LCDCまたはIDMAによるSDRAMの読み出し速度が向上します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

D[3:2] CAS[1:0]: CAS Latency Setup Bits

CASレイテンシを設定します。

CASレイテンシは、READ(リード)コマンド発行後にSDRAMからデータが出力されるまでのSDCLKクロック数のことです。

表II.4.4.7 CASレイテンシの設定

CAS1	CAS0	CASレイテンシ
1	1	3
1	0	2
0	1	1
0	0	Reserved

(デフォルト: 0b10 = 2)

D1 APPON: SDRAM Application Unit Control Bit

SDRAMアプリケーションユニットをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

SDRAMCを使用する場合はAPPONを1に設定してください。

D0 **IQB: Instruction Queue Buffer Enable Bit**

IQB(命令キューバッファ)を有効にします。

1(R/W): 有効

0(R/W): 無効(デフォルト)

IQBを1に設定するとIQBが有効になり、SDRAMに格納されている命令はIQBにプリフェッチされるようになります。IQBはCPUの高速な命令キャッシュとして働きます。この場合、DQBはデータリードバッファとして使用されます。IQBを0に設定するとIQBは無効になり、DQBが命令/データバッファとして使用されます。

II.4.5 注意事項

SDRAMアクセス中に動作クロック (SDCLK) が停止すると、SDRAMが意図しない状態で動作を停止することによってシステムに障害が発生する場合があります。下記の操作はSDCLKを停止しますので、必ずSDRAMへのアクセスが発生しない状態で行ってください。

- S1C33L19をSLEEP状態に設定する
- P21のポート機能をSDCLK出力から、汎用入出力に切り換える
- SDRAMCへのモジュールクロック供給を停止する

CPUのほかに、DMA (SDRAMに対するDMA転送を設定している場合)、およびLCDC (SDRAMをLCDCの表示RAMとして設定している場合) からSDRAMはアクセスされます。このような場合は、上記の操作を行う前にDMAとLCDCの動作を停止させ、SDRAMへのアクセスが発生しない状態にする必要があります。

このページはブランクです。

III 周辺モジュール1 (システム)

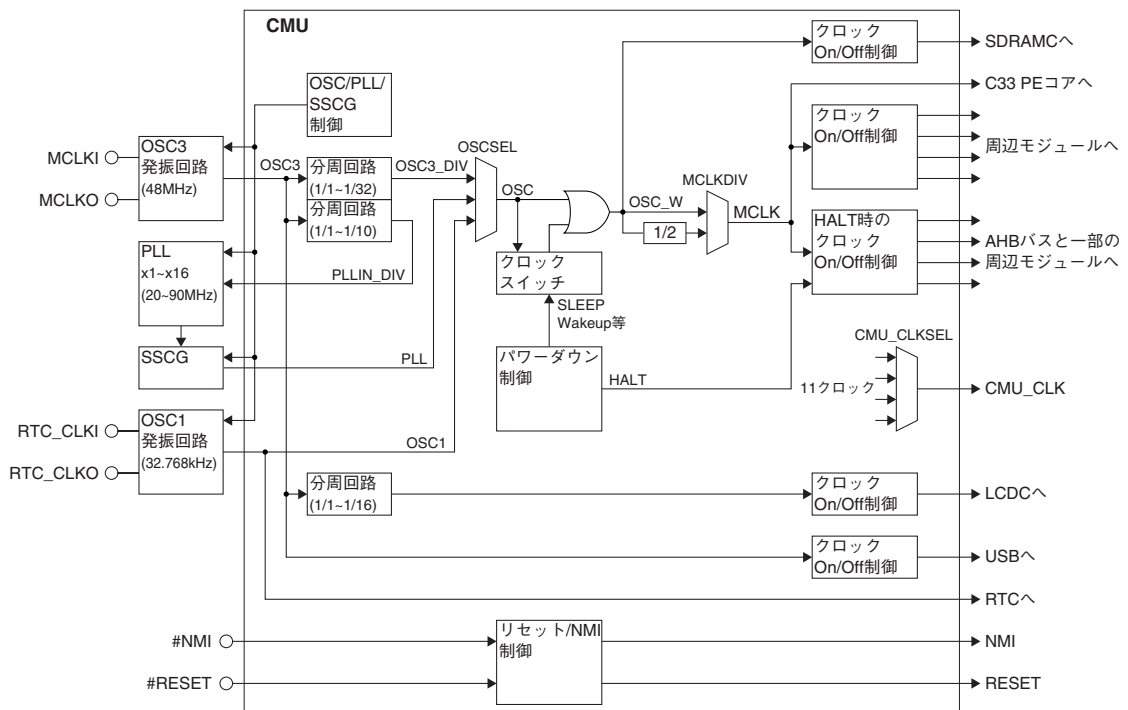
III.1 クロックマネージメントユニット(CMU)

III.1.1 CMUの概要

CMU(クロックマネージメントユニット)は、各機能モジュールに供給する動作クロックを制御します。CMUの主な機能は以下のとおりです。

- リセットとNMI入力制御
- システムクロックソース(OSC3、PLL、またはOSC1)の選択
- OSC3およびOSC1発振回路のOn/Off制御
- PLLのOn/Offや通倍率などの制御
- SSCGの制御
- スタンバイモード(SLEEP、HALT)に応じたクロック制御
- メインシステムクロックの分周比選択
- 外部バスクロック選択
- 機能モジュールごとのクロック供給のOn/Off制御

システムクロックの選択、発振回路やPLLの制御、メインシステムクロックの分周比選択、機能モジュールごとのクロックのOn/Offにより、処理に合わせて最適な動作周波数を選択するとともに不要なクロック供給を停止し、さらにスタンバイモードを組み合わせることで消費電力を大幅に抑えることができます。



図III.1.1.1 CMUブロック図

注: 0x301B00~0x301B14番地のCMU制御レジスタは書き込み保護されています。これらのCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00~0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

III.1.2 リセット入力とイニシャルリセット

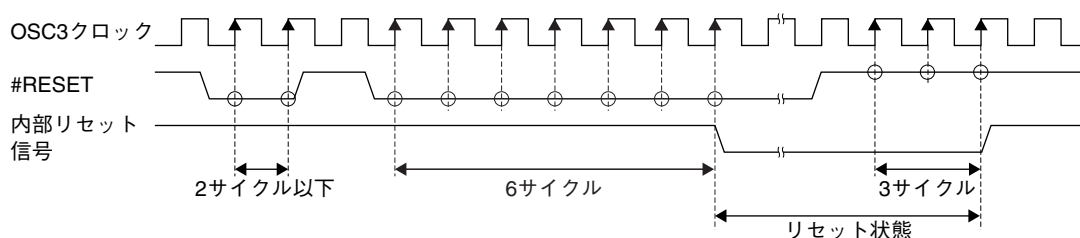
CMUには外部リセット入力(#RESET)から内部リセット信号を生成する機能もあります。

III.1.2.1 イニシャルリセット端子

外部からのイニシャルリセット入力には#RESET端子を使用します。ICをリセットするには、#RESET端子を0(Low)にします。

#RESET端子の入力信号はOSC3クロックでサンプリングされます。したがって、OSC3クロックが入力または生成されていないとチップはリセットされません。また、図III.1.2.1.1に示すとおり、サンプリングで3回連続してLowレベルが検出されないと内部リセット信号は生成されません。確実にリセットをかけるには、少なくともOSC3クロックの3サイクル以上#RESET = 0を保持してください。内部リセット信号の解除も3回の連続したHighレベル検出により行われます。

S1C33L19は内部リセット信号が0(Low)になるとリセットされ、そのリセット信号が1(High)に立ち上がることで動作を開始します。



図III.1.2.1.1 #RESETのサンプリング

III.1.2.2 イニシャルリセット内容

C33 PEコアと周辺回路は、内部リセット信号が0の期間中に初期化されます。イニシャルリセットによるIC内部の設定内容を以下に示します。

CPU - TTBR:	0xC00000に初期化
CPU - PC:	0xC00000からリセットベクタをロード
CPU - PSR:	全PSRビットが0にリセット
CPU - その他のレジスタ:	不定
CPU - 動作クロック:	OSC3 × 1/1のクロックで動作
発振回路:	高速(OSC3)および低速(OSC1)発振回路がON(PLLとSSCGはOFF)
周辺回路へのクロック供給:	USB、SDRAMC、LCDCを除き、すべてON
I/O端子の状態:	初期化(“I.3.2 端子機能”参照)
他の周辺回路:	初期化または不定(I/Oマップ参照)

注: S1C33L19はI/O端子とTTBRレジスタ値を保持するホットリセットには対応していません。

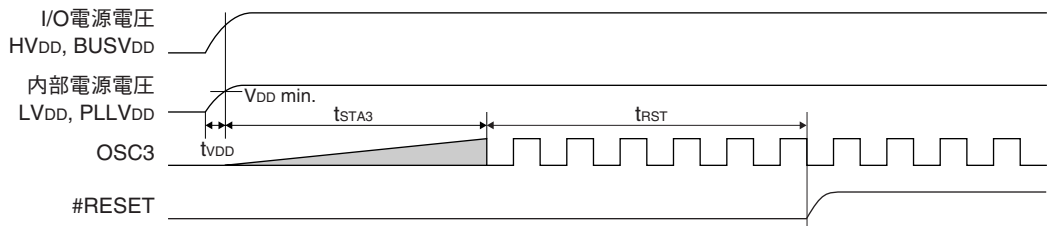
III.1.2.3 パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずコールドリセットを行ってください。
 #RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。
 イニシャルリセット(#RESET = 0)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要します。CPUを確実に起動させるには、この発振安定時間の経過後にイニシャルリセットを解除することが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化します。リセット解除時間には十分な余裕をとってください。

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図III.1.2.3.1 パワーオンシーケンス

- (1) t_{VDD} : 電源投入時の電源が安定するまでの時間
 下記の順序で(あるいは同時に)、電源を投入してください。
 電源投入時: 内部コア電源電圧(V_{DD} 、 PLV_{DD})→I/O電源電圧(V_{DDH} 、 AV_{DD})→入力信号印加
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{RST} : 最小リセットパルス幅

CMUに供給されるOSC3クロックが安定した状態から最低3クロックの期間、#RESET信号を0(Low)に保持してください。

III.1.2.4 イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、PSRを除き、コアCPUの内部レジスタは不定となります。したがって、プログラムによる初期化が必要です。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します(電気的特性参照)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

入出力ポートと入出力端子

イニシャルリセットは入出力ポートの制御レジスタおよびデータレジスタを初期化しますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、イニシャルリセットにより初期化あるいは不定となります。プログラムにより必要な設定を行ってください。
イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

III.1.3 NMI入力

外部NMI信号は#NMI端子からCMUに入力され、CPUに送られます。

CPUによるNMI例外処理については、“S1C33 Family C33 PEコアマニュアル”を参照してください。

- 注:
- 確実にNMIを発生させるには、システムクロックの3クロック幅以上のLowパルスが必要です。NMI信号を立ち下げた後、3クロック以上Lowレベルを保持してください。
 - NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

III.1.4 システムクロックソースの選択

本CMUには以下の3系統のクロック入力があり、いずれか1つをシステムのソースクロック(OSC)として選択できるようになっています。

1. OSC3クロック

OSC3発振回路で生成、あるいは外部からMCLKI端子に入力したクロックです。
OSC3発振回路の詳細については、“III.1.5.1 OSC3発振回路”を参照してください。

2. OSC1クロック

RTC(リアルタイムクロック)用のソースクロックです(32.768kHz、typ.)。高速動作が不要な場合には、この低速クロックでシステムを動作させることにより、消費電力を抑えることができます。OSC1発振回路の詳細については、“III.1.5.3 OSC1発振回路”を参照してください。

3. PLLクロック

SSCGを通したPLLの出力クロックです。PLLはOSC3分周クロックを逡倍して、高速動作用のクロックを生成します。設定可能な逡倍率は1~16ですが、OSC3分周クロック発振周波数により変わります(最大出力周波数は90MHz)。

PLLの詳細については、“III.1.6 PLLの制御”を参照してください。

クロックソースはOSCSEL[1:0](D[3:2]/0x301B08)で表III.1.4.1のとおり選択できます。

* **OSCSEL[1:0]**: OSC Clock Select Bits in the System Clock Control Register (D[3:2]/0x301B08)

表III.1.4.1 システムクロックソースの選択

OSCSEL1	OSCSEL0	クロックソース
1	1	PLL
1	0	OSC3
0	1	OSC1
0	0	OSC3

(デフォルト: 0b00 = OSC3)

ここでクロックソースを変更してもすぐには切り換わず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSEL[1:0](D[3:2]/0x301B08)の設定後は一度slp命令を実行する必要があります。通常SLEEPモードからはポートからの外部入力割り込みなどによって通常動作に復帰しますが、ソースクロック変更用にslp命令の実行から一定時間後に自動的に通常動作に復帰させる機能や、SLEEPモード時にOSC3発振が停止しないようにする機能も用意されています。これらの制御の詳細については、“III.1.11 スタンバイモード”で説明します。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

III.1.5 発振回路の制御

III.1.5.1 OSC3発振回路

OSC3発振回路はCPUと内蔵周辺回路動作のメインクロックを発生します。

■OSC3発振回路の入出力端子

表III.1.5.1.1にOSC3発振回路の入出力端子を示します。

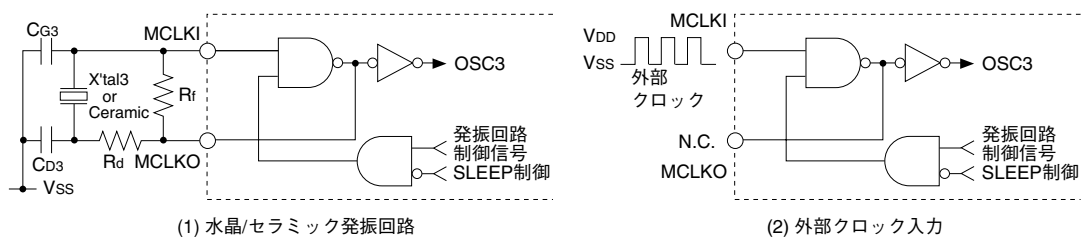
表III.1.5.1.1 OSC3発振回路の入出力端子

端子名	I/O	機能
MCLKI	I	OSC3発振入力端子: 水晶/セラミック発振または外部クロック入力
MCLKO	O	OSC3発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)

■発振回路の構造

OSC3発振回路は、水晶/セラミック発振と外部クロック入力に対応しています。電源にはコア電圧 V_{DD} を使用します。

図III.1.5.1.1にOSC3発振回路の構造を示します。



図III.1.5.1.1 OSC3発振回路

水晶またはセラミック発振回路として使用する場合は、図III.1.5.1.1(1)のように水晶(X'tal3)振動子またはセラミック(Ceramic)発振子、帰還抵抗(R_f)、2つのコンデンサ(C_{G3} 、 C_{D3})および必要に応じてドレイン抵抗(R_d)を、MCLKIとMCLKO端子および V_{SS} に接続してください。

外部クロックを使用する場合はMCLKO端子を開放し、 V_{DD} レベルでデューティ比が50%のクロックをMCLKI端子に入力してください。

発振周波数の範囲は以下のとおりです。

- 水晶発振: 5MHz Min.～48MHz Max.
- セラミック発振: 5MHz Min.～48MHz Max.
- 外部クロック入力: 5MHz Min.～48MHz Max.
- USB機能を使用するには0.25%以内の精度の48MHzクロックソースを接続してください。
- セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。

発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

■発振の制御

OSC3発振は、CMUレジスタ内の制御ビットSOSC3(D1/0x301B08)で制御します。

* **SOSC3**: High-speed Oscillation (OSC3) On/Off Control Bit in the System Clock Control Register (D1/0x301B08)

この制御ビットを0に設定するとOSC3発振回路は停止し、1に設定すると発振を開始してクロックを出力します。イニシャルリセット時は1に設定され、発振動作を行います。

注: SOSC3(D1/0x301B08)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します(“電気的特性”参照)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

III.1.5.2 OSC3分周回路の設定

システムクロックのソースにOSC3を選択した場合、OSC3の分周クロックをシステムクロックとして使用することができます。処理内容に応じてクロック周波数をできるだけ低く設定することにより、消費電流を低減できます。

OSC3分周回路は $OSC3 \times 1/1$ から $OSC3 \times 1/32$ まで6種類の分周クロックを出力可能で、OSC3DIV[2:0](D[10:8]/0x301B08)でその中から1つを選択します。

* **OSC3DIV[2:0]**: OSC3 Clock Divider Select Bits in the System Clock Control Register (D[10:8]/0x301B08)

表III.1.5.2.1 OSC3分周クロックの選択

OSC3DIV2	OSC3DIV1	OSC3DIV0	OSC3_DIV
1	1	1	OSC3•1/1
1	1	0	OSC3•1/1
1	0	1	OSC3•1/32
1	0	0	OSC3•1/16
0	1	1	OSC3•1/8
0	1	0	OSC3•1/4
0	0	1	OSC3•1/2
0	0	0	OSC3•1/1

(デフォルト: 0b000 = OSC3•1/1)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大OSC3クロックの32サイクルの時間を要します。

III.1.5.3 OSC1発振回路

S1C33L19はRTCの計時用のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。このOSC1クロックは、パワーセーブ動作用にコアシステムや周辺回路の動作クロックとして使用することも可能です。

■OSC1発振回路の入出力端子

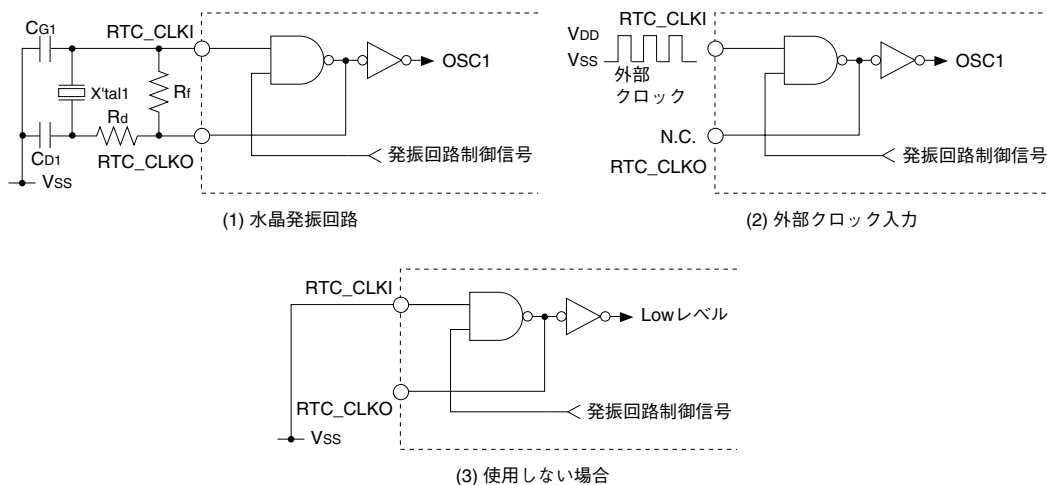
表III.1.5.3.1にOSC1発振回路の入出力端子を示します。

表III.1.5.3.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機 能
RTC_CLKI	I	OSC1発振入力端子: 水晶発振または外部クロック入力
RTC_CLKO	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

■発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはコア電圧V_{DD}を使用します。図III.1.5.3.1にOSC1発振回路の構造を示します。



図III.1.5.3.1 OSC1発振回路

水晶発振回路として使用する場合は、図III.1.5.3.1(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、RTC_CLKIとRTC_CLKO端子およびV_{SS}に接続してください。

外部クロックを使用する場合はRTC_CLKO端子を開放し、V_{DD}レベルでデューティ比が50%のクロックをRTC_CLKI端子に入力してください。V_{DDH}など、I/Oレベルのクロックは入力しないでください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

OSC1発振回路を使用しない場合はRTC_CLKI端子をV_{SS}に接続し、RTC_CLKO端子を開放してください。

■発振の制御

OSC1発振は、CMUレジスタ内の制御ビットSOSC1(D0/0x301B08)で制御します。

* **SOSC1**: Low-speed Oscillation (OSC1) On/Off Control Bit in the System Clock Control Register (D0/0x301B08)

この制御ビットを0に設定するとOSC1発振回路は停止し、1に設定すると発振を開始してクロックを出力します。イニシャルリセット時は1に設定され、発振動作を行います。

注: SOSC1(D0/0x301B08)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

III.1.6 PLLの制御

PLLはOSC3クロックを逡倍して、高速動作のソースクロックを生成します。

III.1.6.1 PLLのOn/Off

PLLはPLLPOWER(D0/0x301B0C)でOn/Offできます。

* **PLLPOWER**: PLL On/Off Control Bit in the PLL Control Register (D0/0x301B0C)

PLLPOWER(D0/0x301B0C)を1に設定することによりPLLが動作を開始します。イニシャルリセット時、PLLPOWER(D0/0x301B0C)は0(パワーダウンモード)に設定され、PLLは停止します。

注: PLLPOWER(D0/0x301B0C)を1に設定してPLLが動作を開始した直後は、出力クロック安定待ち時間(“電氣的特性”参照)が必要です(例: S1C33L19では200 μ s)。システムのクロックソースをPLLに切り換える際は、PLLをOnにした後にこの待ち時間を取ってください。

III.1.6.2 PLL入力クロックの選択

PLLの入力には、OSC3 $\times$ 1/1からOSC3 $\times$ 1/10までの10種類の分周クロックから1つをPLLINDIV[3:0](D[23:20]/0x301B08)で選択します。

* **PLLINDIV[3:0]**: PLL Input Clock Source Divider Select Bits in the System Clock Control Register (D[23:20]/0x301B08)

表III.1.6.2.1 PLL入力クロックの選択

PLLINDIV3	PLLINDIV2	PLLINDIV1	PLLINDIV0	PLL入力クロック
1	0	0	1	OSC3 $\cdot$ 1/10
1	0	0	0	OSC3 $\cdot$ 1/9
0	1	1	1	OSC3 $\cdot$ 1/8
0	1	1	0	OSC3 $\cdot$ 1/7
0	1	0	1	OSC3 $\cdot$ 1/6
0	1	0	0	OSC3 $\cdot$ 1/5
0	0	1	1	OSC3 $\cdot$ 1/4
0	0	1	0	OSC3 $\cdot$ 1/3
0	0	0	1	OSC3 $\cdot$ 1/2
0	0	0	0	OSC3 $\cdot$ 1/1
その他				OSC3 $\cdot$ 1/8

(デフォルト: 0b0111 = OSC3 $\cdot$ 1/8)

注: • PLL入力クロックは、必ずPLLがOff(PLLPOWER(D0/0x301B0C) = 0)、システムのクロックソースがPLL以外(OSCSEL[1:0](D[3:2]/0x301B08) = 0~2)の状態を設定してください。システムがPLLクロックで動作中にPLL入力クロックを変更すると誤動作します。

• 入力クロック周波数の範囲については、“電氣的特性”を参照してください。

III.1.6.3 通倍率の設定

PLLの通倍率はPLLN[3:0](D[7:4]/0x301B0C)で表III.1.6.3.1のとおり指定可能です。

* **PLLN[3:0]**: PLL Multiplication Rate Setup Bits in the PLL Control Register (D[7:4]/0x301B0C)

表III.1.6.3.1 PLLの通倍率

PLLN3	PLLN2	PLLN1	PLLN0	通倍率
1	1	1	1	x16
1	1	1	0	x15
1	1	0	1	x14
1	1	0	0	x13
1	0	1	1	x12
1	0	1	0	x11
1	0	0	1	x10
1	0	0	0	x9
0	1	1	1	x8
0	1	1	0	x7
0	1	0	1	x6
0	1	0	0	x5
0	0	1	1	x4
0	0	1	0	x3
0	0	0	1	x2
0	0	0	0	x1

(デフォルト: 0b0000 = x1)

PLL出力クロック周波数 = PLL入力クロック周波数 × 通倍率

- 注: • 通倍率は、PLL出力クロック周波数が上限動作周波数を越えないように設定してください。
設定可能な通倍率と出力クロック周波数の範囲については、“電気的特性”を参照してください。
- 通倍率は、必ずPLLがOff(PLLPOWR(D0/0x301B0C) = 0)、システムのクロックソースがPLL以外(OSCSEL[1:0](D[3:2]/0x301B08) = 0~2)の状態を設定してください。システムがPLLクロックで動作中に通倍率を変更すると誤動作します。

III.1.6.4 その他のPLL設定

■V-Divider

<出力クロック周波数 × W>によって求められる周波数 f_{vco} が100MHzから400MHzの間に収まるように、PLL $V[1:0]$ (D[3:2]/0x301B0C)でWの値を設定します。消費電力を抑えるには小さい値の方が有利です。

* PLL $V[1:0]$: PLL V-Divider Setup Bits in the PLL Control Register (D[3:2]/0x301B0C)

表III.1.6.4.1 W値の設定

PLL $V1$	PLL $V0$	W
1	1	8
1	0	4
0	1	2
0	0	禁止

(デフォルト: 0b01 = 2)

■VCO Kv定数 (VC値)

<出力クロック周波数 × W>によって求められる周波数 f_{vco} の範囲に応じて、VCO Kv回路定数(VC値)をPLL $VC[3:0]$ (D[15:12]/0x301B0C)で設定します。

* PLL $VC[3:0]$: PLL VCO Kv Setup Bits in the PLL Control Register (D[15:12]/0x301B0C)

表III.1.6.4.2 VC値の設定

PLL $VC3$	PLL $VC2$	PLL $VC1$	PLL $VC0$	f_{vco} [MHz]
1	0	0	0	$360 < f_{vco} \leq 400$
0	1	1	1	$320 < f_{vco} \leq 360$
0	1	1	0	$280 < f_{vco} \leq 320$
0	1	0	1	$240 < f_{vco} \leq 280$
0	1	0	0	$200 < f_{vco} \leq 240$
0	0	1	1	$160 < f_{vco} \leq 200$
0	0	1	0	$120 < f_{vco} \leq 160$
0	0	0	1	$100 \leq f_{vco} \leq 120$
その他				禁止

(デフォルト: 0b0001)

■LPF抵抗値 (RS値)

入力クロック周波数に応じて、PLLのLPF抵抗値(RS値)をPLL $RS[3:0]$ (D[11:8]/0x301B0C)で設定します。

* PLL $RS[3:0]$: PLL LPF Resistance Setup Bits in the PLL Control Register (D[11:8]/0x301B0C)

表III.1.6.4.3 RS値の設定

PLL $RS3$	PLL $RS2$	PLL $RS1$	PLL $RS0$	f_{REFCK} [MHz]
1	0	1	0	$5 \leq f_{REFCK} < 20$
1	0	0	0	$20 \leq f_{REFCK} \leq 150$
その他				禁止

(デフォルト: 0b1000)

■LPF容量値 (CS値)

CMUの制御レジスタにLPF容量値(CS値)を設定するPLL $CS[1:0]$ (D[23:22]/0x301B0C)が用意されています。ただし、初期値(0b00)のまま、変更しないでください。

* PLL $CS[1:0]$: PLL LPF Capacitance Setup Bits in the PLL Control Register (D[23:22]/0x301B0C)

■チャージポンプ電流値 (CP値)

CMUの制御レジスタにチャージポンプ電流値(CP値)を設定するPLL $CP[4:0]$ (D[20:16]/0x301B0C)が用意されています。ただし、初期値(0b10000)のまま、変更しないでください。

* PLL $CP[4:0]$: PLL Charge Pump Current Setup Bits in the PLL Control Register (D[20:16]/0x301B0C)

表III.1.6.4.4 PLL設定例

PLL入力クロック	PLL出力クロック	PLLN[3:0]	PLLV[1:0]	PLLVC[3:0]	PLLRS[3:0]
6MHz	90MHz	x15, 0b1110	0b01	0b0011	0b1010
	66MHz	x11, 0b1010	0b01	0b0010	0b1010
10MHz	80MHz	x8, 0b0111	0b01	0b0010	0b1010
	40MHz	x4, 0b0011	0b10	0b0010	0b1010
20MHz	80MHz	x4, 0b0011	0b01	0b0010	0b1000
	40MHz	x2, 0b0001	0b10	0b0010	0b1000
45MHz	90MHz	x2, 0b0001	0b01	0b0011	0b1000

注: PLLの設定は、必ずPLLがOff (PLLPOWER (D0/0x301B0C) = 0)、システムのクロックソースがPLL以外 (OSCSEL[1:0] (D[3:2]/0x301B08) = 0~2) の状態で行ってください。システムがPLLクロックで動作中に変更すると誤動作します。

III.1.6.5 PLLの電源

PLLの電源はノイズの影響を防ぐため、コア電源とは別にPLV_{DD}およびPLV_{SS}端子が設けられています。それぞれに以下の電圧を供給してください。

PLV_{DD}端子: V_{DD}レベルを供給

PLV_{SS}端子: V_{SS}レベルに設定

端子配置については、“1.3 端子説明”を参照してください。

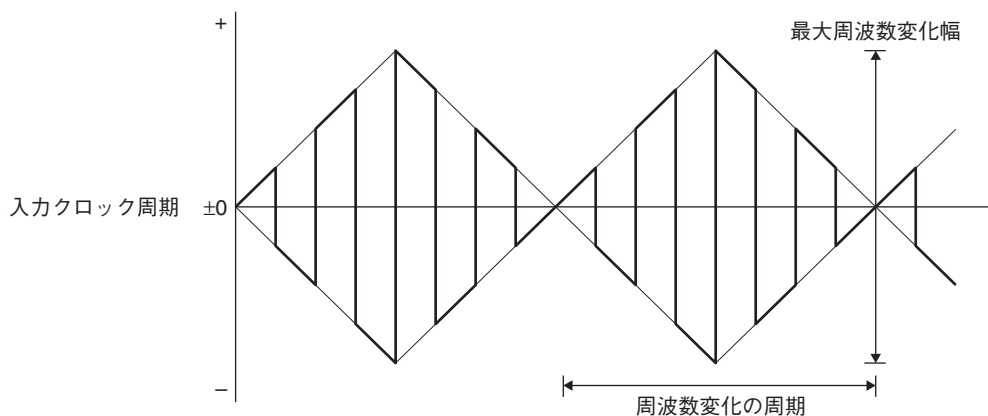
III.1.7 SSCGの制御

SSCG(Spread Spectrum Clock Generator)はクロック信号をスペクトラム拡散(SS変調)して、EMI(Electromagnetic Interference)ノイズを低減するための回路です。SSCGはPLL出力クロックに対してSS変調を行います。このため、システムクロックソースにPLLクロックが選択されている場合、SS変調はコアおよび周辺回路(OSC1クロックを使用するRTCを除く)のすべての動作クロックに有効となり、ノイズ低減効果が得られます。

注: システムクロックソースにOSC3クロックまたはOSC1クロックが選択されている場合、動作クロック(システムクロック)に対するSS変調は行われません。

*スペクトラム拡散(SS変調)の動作について

本SSCGは、入力クロックのHigh区間の幅を調整することでSS変調を行います。High区間の調整は、SSCG内の遅延調整回路の設定値を一定間隔で大きくしたり小さくしたりすることで行います。このときの設定値が変化する最大幅が最大周波数変化幅となります。その上限値が制御レジスタで設定されます。また、設定値が変化する間隔をインターバルタイマで調整しており、この間隔(周波数変化の周期)も制御レジスタで設定されます。



図III.1.7.1 SS変調

III.1.7.1 SSCGのOn/Off

SSCGはSSMCON(D0/0x301B10)でOn/Offできます。

* **SSMCON**: SSCG Macro On/Off Control Bit in the SSCG Macro Control Register (D0/0x301B10)

SSMCON(D0/0x301B10)を1に設定することによりSSCGが動作を開始します。イニシャルリセット時、SSMCON(D0/0x301B10)は0に設定され、SSCGは停止します(バイパスされます)。

注: • SSCGのOn/Offは、以下に示す手順のとおり、SSCGモジュールに安定したクロックが供給されている状態で行ってください。

SSCGのOn手順

1. PLLをOnします。
2. PLL安定時間以上待機します。
3. SSCGをOnします。

SSCGのOff手順

1. SSCGをOffします。
2. PLLをOffします。

- SS変調はPLL出力クロックに対して行われます。PLLクロック以外にSS変調をかけることはできません。システムクロックにPLLクロックを使用しない場合は、SSCGもOffとしてください。

III.1.7.2 SS変調用パラメータの設定

前記の“スペクトラム拡散(SS変調)の動作について”に示したとおり、最大周波数変化幅上限値と周波数変化周期の設定が必要です。

最大周波数変化幅については、PLL出力クロック周波数に応じてSSMCIDT[3:0](D[11:8]/0x301B10)を表III.1.7.2.1のように設定してください。これにより、PLL出力クロック周波数の±2%程度の最大周波数変化幅に設定されます。

* **SSMCIDT[3:0]**: SSCG Macro Maximum Frequency Change Width Setting Bits in the SSCG Macro Control Register (D[11:8]/0x301B10)

表III.1.7.2.1 最大周波数変化幅の設定

PLL出力クロック周波数 [MHz]	SSMCIDT3	SSMCIDT2	SSMCIDT1	SSMCIDT0
$f \leq 19.8$	1	1	1	1
$19.8 < f \leq 21.2$	1	1	1	0
$21.2 < f \leq 22.5$	1	1	0	1
$22.5 < f \leq 24.2$	1	1	0	0
$24.2 < f \leq 25.9$	1	0	1	1
$25.9 < f \leq 28.4$	1	0	1	0
$28.4 < f \leq 30.8$	1	0	0	1
$30.8 < f \leq 34.2$	1	0	0	0
$34.2 < f \leq 37.8$	0	1	1	1
$37.8 < f \leq 43.1$	0	1	1	0
$43.1 < f \leq 48.9$	0	1	0	1
$48.9 < f \leq 58.5$	0	1	0	0
$58.5 < f \leq 69.7$	0	0	1	1
$69.7 < f \leq 90.0$	0	0	1	0
—	0	0	0	1
—	0	0	0	0

(デフォルト: 0b0000)

周波数変化の周期はSSMCITM[3:0](D[15:12]/0x301B10)で指定されますが、0b0001の設定で使用してください。

* **SSMCITM[3:0]**: SSCG Macro Interval Timer Setting Bits in the SSCG Macro Control Register (D[15:12]/0x301B10)

- 注:
- SSMCIDT[3:0](D[11:8]/0x301B10)は必ず表III.1.7.2.1のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。
 - PLLがOffの場合、SSCGにクロックが供給されないことによりSSMCIDT[3:0](D[11:8]/0x301B10)とSSMCITM[3:0](D[15:12]/0x301B10)の初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。

III.1.8 メインシステムクロック (MCLK) の設定

MCLKはC33 PEコアおよび内部モジュール用のメインシステムクロックです。
システムのソースクロックOSC(OSCSEL[1:0](D[3:2]/0x301B08)で選択)は分周回路で1/1または1/2に分周され、2種類のクロックが選択可能となっています。MCLKDIV(D12/0x301B08)により、その2種類の中からMCLKを選択します。

* **MCLKDIV**: MCLK Clock Divider Select Bit in the System Clock Control Register (D12/0x301B08)

表III.1.8.1 MCLKの選択

MCLKDIV	MCLK
1	OSC•1/2
0	OSC•1/1

(デフォルト: 0 = OSC•1/1)

SDRAMを2通倍モード(MCLK : SDRAMクロック = 1 : 2)で動作させる場合、MCLKはOSC•1/2に設定してください(SDRAMクロックにはOSCが使用されます)。
MCLKの選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまでに最大2サイクルかかります。

III.1.9 クロック供給制御

消費電流を抑えるため、機能モジュールごとにクロックの供給を停止できるようになっています。

III.1.9.1 各モジュールへのMCLKクロック供給

表III.1.9.1.1に各モジュールへのMCLKクロックの供給をOn/Offする制御ビットを示します。ここに示したモジュールは制御可能なクロック経路が1系統のみで、表に記載の制御ビットのみで動作をOn/Offできます。LDC、SDRAMC、SRAMC、GPIO、EFSIO、USB、RTCのクロック制御については、III.1.9.3～III.1.9.9節を参照してください。

表III.1.9.1.1 MCLKクロック供給制御ビット

モジュール	制御ビット	制御レジスタ
DST RAM(エリア3 RAM)	DSTRAM_CKE (D3)	Gated Clock Control Register 0 (0x301B00)
16ビットタイマ3	TM3_CKE (D16)	Gated Clock Control Register 1 (0x301B04)
16ビットタイマ2	TM2_CKE (D15)	
16ビットタイマ1	TM1_CKE (D14)	
16ビットタイマ0	TM0_CKE (D13)	
拡張GPIO/ Miscレジスタ(0x300C41～0x300C4D)	EGPIO_MISC_CKE (D12)	
I2S	I2S_CKE (D11)	
ウォッチドッグタイマ	WDT_CKE (D9)	
SPI	SPI_CKE (D6)	
カードインタフェース	CARD_CKE (D4)	
A/D変換器	ADC_CKE (D3)	
割り込みコントローラ	ITC_CKE (D2)	
DMAコントローラ	DMA_CKE (D1)	

イニシャルリセット時、これらの制御ビットは1(On)に設定され、クロックが各モジュールに供給されます。モジュールを使用しない場合は、対応する制御ビットを0(Off)に設定し、クロック供給を停止してください。

- 注: • これらのクロックはHALT時に停止しません。HALT時に停止させたい場合は、halt命令の実行前に、各制御ビットを0に設定してください。
SLEEP時にはクロック供給がすべて停止します。
- モジュールへのクロック供給を停止する場合、そのモジュールが非動作中か不使用の状態である必要があります。使用中/動作中に強制的にクロック供給を停止すると、ICがハングアップする場合があります。

III.1.9.2 HALT時のクロック自動制御

表III.1.9.2.1に示すクロックは、HALT時に停止させるかどうか設定しておくことができます。

表III.1.9.2.1 HALT時のクロック供給制御ビット

機能	制御ビット	制御レジスタ
SDRAMC CPU_AHBバスI/F	SDAPCPU_HCKE (D7)	Gated Clock Control Register 0 (0x301B00)
CPU_AHBバス制御	CPUAHB_HCKE (D29)	Gated Clock Control Register 1 (0x301B04)
LDC_AHBバス制御	LDCAHB_HCKE (D28)	
GPIO入力/割り込み制御	GPIONSTP_HCKE (D27)	
SRAMC	SRAMC_HCKE (D26)	
EFSIOボーレートタイマ	EFSIOBR_HCKE (D25)	
Miscレジスタ(0x300010～0x300020)	MISC_HCKE (D24)	

イニシャルリセット時、これらの制御ビットは1(On)に設定され、各クロックはHALT時も停止しません。HALT時に不要なクロックは、対応する制御ビットを0(Off)に設定してください。CPUがHALTモードになると、クロックの供給が停止します。

注: SLEEP時には制御ビットの設定にかかわらず、これらのクロック供給はすべて停止します。

III.1.9.3 LCDCへのクロック供給

LCDCに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)LCDC内のAHBバスインタフェース用クロック(LCDC_AHBIF_CLK)

LCDCがIVRAM(内部VRAM)あるいはSDRAM(外部VRAM)をアクセスするのに必要なクロック(MCLK)です。このクロックを停止すると、LCDの表示を行うことはできません。On/Off制御はLCDCAHBIF_CKE(D2/0x301B00)で行います(デフォルト: Off)。

* **LCDCAHBIF_CKE**: LCDC AHB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D2/0x301B00)

(2)制御レジスタ用クロック(LCDC_SAPB_CLK)

エリア6にあるLCDCレジスタの制御に必要なクロック(MCLK)です。LCDCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はLCDCSAPB_CKE(D1/0x301B00)で行います(デフォルト: Off)。

* **LCDCSAPB_CKE**: LCDC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D1/0x301B00)

(3)IVRAMアービタ用クロック(IVRAM_ARB_CLK)

LCDCとCPUのいずれかがIVRAMをアクセスするのに必要なクロック(MCLK)です。IVRAMをA0RAMに設定し、CPUのみがアクセスする場合には必要ありませんので、停止させることができます。On/Off制御はIVRAMARB_CKE(D19/0x301B04)で行います(デフォルト: On)。

* **IVRAMARB_CKE**: IVRAM Arbiter Clock Control Bit in the Gated Clock Control Register 1 (D19/0x301B04)

(4)LCDインタフェースクロック(LCDC_CLK)

LCDインタフェースのクロック(LCDC_CLK)でOSC3クロックを分周して生成されます。分周回路はOSC3・1/1からOSC3・1/16まで16種類の分周クロックを出力可能で、LCDCDIV[3:0](D[19:16]/0x301B08)を使用してその中から1つをフレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCDC}}}{\text{HT} \times \text{VT}} [\text{Hz}]$$

f_{LCDC} : LCDC_CLK周波数

HT: 水平トータル期間(非表示期間を含む)[ピクセル]

VT: 垂直トータル期間(非表示期間を含む)[ピクセル]

* **LCDCDIV[3:0]**: LCDC Clock Divider Select Bits in the System Clock Control Register (D[19:16]/0x301B08)

表III.1.9.3.1 LCDCクロックの選択

LCDCDIV3	LCDCDIV2	LCDCDIV1	LCDCDIV0	LCDC_CLK
1	1	1	1	OSC3・1/16
1	1	1	0	OSC3・1/15
1	1	0	1	OSC3・1/14
1	1	0	0	OSC3・1/13
1	0	1	1	OSC3・1/12
1	0	1	0	OSC3・1/11
1	0	0	1	OSC3・1/10
1	0	0	0	OSC3・1/9
0	1	1	1	OSC3・1/8
0	1	1	0	OSC3・1/7
0	1	0	1	OSC3・1/6
0	1	0	0	OSC3・1/5
0	0	1	1	OSC3・1/4
0	0	1	0	OSC3・1/3
0	0	0	1	OSC3・1/2
0	0	0	0	OSC3・1/1

(デフォルト: 0b0111 = OSC3・1/8)

クロック供給のOn/Off制御はLCDC_CKE(D0/0x301B00)で行います(デフォルト: Off)。

* **LCDC_CKE**: LCDC Main Clock Control Bit in the Gated Clock Control Register 0 (D0/0x301B00)

注: LCDCDIV[3:0](D[19:16]/0x301B08)によるクロック分周比の変更は、LCDインタフェースクロックの供給がOff(LCDC_CKE(D0/0x301B00) = 0)の状態で行ってください。

(5) LCDC_AHBバスクロック(LCDC_AHBBUS_CLK)

通常動作時、LCDC_AHBバスの動作クロック(MCLK)は常に供給されます。ただし、LCDCAHB_HCKE(D28/0x301B04)でHALT時の自動制御(III.1.9.2節参照)が可能です(デフォルト: On)。

* **LCDCAHB_HCKE**: LCDC_AHB Bus Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D28/0x301B04)

注: LCD表示中にLCDCへのクロック供給を停止することはできません。LCDCへのクロック供給を停止するには、LCDCがパワーセーブモードに設定されている必要があります。

III.1.9.4 SDRAMCへのクロック供給

SDRAMCに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)SDRAMC内のAHBバスインタフェース用クロック(SDAPP_CPU_CLK, SDAPP_LCDC_CLK)

SDRAMCとCPU_AHBバス、LCDC_AHBバスとのインタフェースに必要なクロック(MCLK)です。これらのクロックを停止すると、SDRAMやキューバッファをアクセスすることはできません。On/Off制御はそれぞれSDAPCPU_CKE(D6/0x301B00)とSDAPLCDC_CKE(D5/0x301B00)で行います(デフォルト: Off)。

* **SDAPCPU_CKE**: SDRAMC CPU APP Clock Control Bit in the Gated Clock Control Register 0 (D6/0x301B00)

* **SDAPLCDC_CKE**: SDRAMC LCDC APP Clock Control Bit in the Gated Clock Control Register 0 (D5/0x301B00)

また、CPU_AHBバスインタフェース用クロック(SDAPP_CPU_CLK)はSDAPCPU_HCKE(D7/0x301B00)でHALT時の自動制御(III.1.9.2節参照)が可能です(デフォルト: Off)。

* **SDAPCPU_HCKE**: SDRAMC CPU APP Clock Control (HALT) Bit in the Gated Clock Control Register 0 (D7/0x301B00)

(2)制御レジスタ用クロック(SDSAPB_CLK)

エリア6にあるSDRAMCレジスタの制御に必要なクロック(MCLK)です。SDRAMCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はSDSAPB_CKE(D4/0x301B00)で行います(デフォルト: Off)。

* **SDSAPB_CKE**: SDRAMC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D4/0x301B00)

(3)SDRAMクロック(SDIP_CLK)

SDRAMインタフェースのクロック(OSC_W)です。MCLKをOSC・1/2に設定するとSDRAMのバスを2通倍モードで動作させることができます(SDRAM: 90MHz max., CPU: 45MHz)。On/Off制御は(1)に示したSDAPCPU_CKE(D6/0x301B00)またはSDAPLCDC_CKE(D5/0x301B00)で行います(デフォルト: Off)。

III.1.9.5 SRAMCへのクロック供給

SRAMCに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)SRAMCクロック(SRAMC_CLK)

SRAMCはSAPBバスと外部バスを制御しているため、ICが動作中はSRAMCクロック(MCLK)を停止することができません。ただし、SRAMC_HCKE(D26/0x301B04)でHALT時の自動制御(III.1.9.2節参照)が可能となっています(デフォルト: On)。

* **SRAMC_HCKE**: SRAMC Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D26/0x301B04)

(2)制御レジスタ用クロック (SRAMSAPB_CLK)

エリア6にあるSRAMCレジスタの制御に必要なクロック(MCLK)です。SRAMCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はSRAMSAPB_CKE (D7/0x301B04)で行います(デフォルト: On)。

* **SRAMSAPB_CKE**: SRAMC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 1 (D7/0x301B04)

III.1.9.6 GPIOへのクロック供給

GPIOに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)GPIOクロック (PORT_CLK)

GPIO回路の動作とGPIO制御レジスタのアクセスに必要なクロック(MCLK)です。On/Off制御はGPIO_CKE (D8/0x301B04)で行います(デフォルト: On)。

* **GPIO_CKE**: GPIO Normal Clock Control Bit in the Gated Clock Control Register 1 (D8/0x301B04)

(2)GPIOノーストップクロック (PORT_NOSTOP_CLK)

入力ポートの読み出しと入力割り込みを発生させるために必要なクロック(MCLK)です。GPIONSTP_HCKE (D27/0x301B04)でHALT時の自動制御(III.1.9.2節参照)が可能となっています(デフォルト: On)。

* **GPIONSTP_HCKE**: GPIO No Stop Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D27/0x301B04)

ただし、HALTモードを入力割り込みで解除する場合は、HALT中もこのクロックが必要です。

III.1.9.7 EFSIOへのクロック供給

EFSIOに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)制御レジスタ用クロック (EFSIOSAPB_CLK)

エリア6にあるEFSIOレジスタの制御に必要なクロック(MCLK)です。EFSIOレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はEFSIOSAPB_CKE (D5/0x301B04)で行います(デフォルト: On)。

* **EFSIOSAPB_CKE**: EFSIO SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 1 (D5/0x301B04)

(2)EFSIOボーレートタイマクロック (EFSIO_BAUDRATE_CLK)

EFSIOのボーレートタイマを動作させるために必要なクロック(MCLK)です。EFSIOBR_HCKE (D25/0x301B04)でHALT時の自動制御(III.1.9.2節参照)が可能となっています(デフォルト: On)。

* **EFSIOBR_HCKE**: EFSIO Baud Rate Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D25/0x301B04)

III.1.9.8 USBへのクロック供給

USBに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)USBクロック (USB_CLK)

USBインタフェースに必要なクロック(OSC3 = 48MHz)です。On/Off制御はUSB_CKE (D8/0x301B00)で行います(デフォルト: Off)。

* **USB_CKE**: USB IP 48 MHz Clock Control Bit in the Gated Clock Control Register 0 (D8/0x301B00)

(2)制御レジスタ用クロック(USBSAPB_CLK)

エリア6にあるUSBレジスタの制御に必要なクロック(MCLK)です。USBレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はUSBSAPB_CKE(D9/0x301B00)で行います(デフォルト: Off)。

* **USBSAPB_CKE**: USB SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D9/0x301B00)

III.1.9.9 RTCへのクロック供給

RTCに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)32.768kHzクロック(OSC1)

RTCの計時に必要なクロック(OSC1 = 32.768kHz)です。クロック供給はRTCを使用しない場合およびOSC1クロックをシステムクロックとして使用しない場合に停止させることができます。OSC1クロックを停止するには、SOSC1(D0/0x301B08)を0に設定してOSC1発振回路をOffにします(デフォルト: On)。

* **SOSC1**: Low-speed Oscillation (OSC1) On/Off Control Bit in the System Clock Control Register (D0/0x301B08)

(2)制御レジスタ用クロック(RTCSAPB_CLK)

エリア6にあるRTCレジスタの制御に必要なクロック(MCLK)です。RTCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はRTCSAPB_CKE(D0/0x301B04)で行います(デフォルト: On)。

* **RTCSAPB_CKE**: RTC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 1 (D0/0x301B04)

III.1.10 外部出力クロック (CMU_CLK) の設定

CMU_CLKは外部デバイス用に出力するクロックです。11種類のクロックからCMU_CLKSEL[4:0] (D[28:24]/0x301B08)で選択することができます。

- * **CMU_CLKSEL[4:0]**: CMU_CLK Output Clock Source Select Bits in the System Clock Control Register (D[28:24]/0x301B08)

表III.1.10.1 CMU_CLKの選択

CMU_CLKSEL4	CMU_CLKSEL3	CMU_CLKSEL2	CMU_CLKSEL1	CMU_CLKSEL0	CMU_CLK
0	1	0	1	0	OSC3_DIV•1/32
0	1	0	0	1	OSC3_DIV•1/16
0	1	0	0	0	OSC3_DIV•1/8
0	0	1	1	1	OSC3_DIV•1/4
0	0	1	1	0	OSC3_DIV•1/2
0	0	1	0	1	OSC3_DIV•1/1
0	0	1	0	0	LCDC_CLK
0	0	0	1	1	MCLK
0	0	0	1	0	–
0	0	0	0	1	OSC1
0	0	0	0	0	OSC3
その他					Reserved

(デフォルト: 0b00000 = OSC3)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表III.1.10.1に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[4:0] (D[28:24]/0x301B08)に設定しないでください。

III.1.11 スタンバイモード

S1C33L19はHALTモード、SLEEPモードの2種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

また、システムのクロックソース(OSC3、OSC1、PLL)を切り換える場合も、SLEEPモードへ移行する必要があります。

III.1.11.1 HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。

HALTモードではCPU、A0RAM(エリア0ノーウェイトRAM)が動作を停止します。また、HALT時にクロック供給を自動停止させた回路(III.1.9.2節参照)も動作を停止します。その他の内蔵周辺回路は、halt命令実行時の状態(停止/動作)を継続します。

HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。デバッグからの強制ブレークでも解除されます。

HALTモードは、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

割り込みによってHALTモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。

なお、HALTモードは、割り込みコントローラ(ITC)からCPUに入る割り込み信号がアクティブになることにより解除されます。つまり、PSRが割り込み禁止の状態に設定されている場合でも、ITCの割り込みイネーブルビットにより許可されている割り込みの割り込み要因フラグがセットされることで、HALTモードを解除することが可能です。ただし、この場合は割り込み処理ルーチンは実行されません。

また、#NMI信号は、LowレベルになることでHALTモードを解除します。

III.1.11.2 SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。SLEEPモードではCPUが動作を停止するとともに、CMUも各機能モジュールへのクロック供給を停止します。したがって、発振回路とRTCを除き、すべての周辺回路が動作を停止します。なお、CMUがSLEEPモード移行処理を開始してから実際にクロック出力が停止するまでには、その時点で選択されているソースクロック(OSC)で最大8サイクルを要します。

SLEEPモードはイニシャルリセット、RTC割り込み、外部からのNMIまたは入力割り込みが発生することによって解除されます(WAKEUPWT = 1の場合)。

割り込みによってSLEEPモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。

SLEEPモード時は割り込みコントローラ(ITC)へのクロック供給が停止しているため、ITCの割り込み要因フラグはセットされません。このため、ITCへのクロック供給が停止している場合は、ITCで割り込みが許可されている割り込み発生源からの割り込み信号がITCをそのまま通過してCMUに渡され、スタンバイモードの解除に使用されます。この場合、ITCの割り込み要因フラグは、SLEEP解除後にクロックの供給が開始されてからセットされます。PSRが割り込み禁止の状態に設定されている場合でも、上記の割り込み要因でSLEEPモードを解除することはできますが、割り込み処理ルーチンは実行されません。#NMI信号は、LowレベルになることでSLEEPモードを解除します。

注: • SLEEPモードでは、起床要因の割り込み信号入力からITCへのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ(ITC)による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになるとITCの割り込み要因フラグがセットされず割り込みが発生しない場合があります。さらに、ITCからCPUに割り込み要求が伝わるまでも時間差があるため、CPUは割り込み処理を開始する前に、slp命令に続く数命令を実行してしまう場合があります。

NMIによる起床時も同様で、クロック供給開始前に#NMI信号がインアクティブになるとNMIフラグがセットされず、割り込み処理が発生しない場合があります。

- SLEEPモードに設定する前に、USBとLCDCへのクロック供給をOffしてください。

■OSC3の発振停止と起床時の発振安定待ち

デフォルト設定では、低速(OSC1)および高速(OSC3)発振回路はSLEEPモードでも停止しません。OSC3発振については、OSC3OFF(D3/0x301B14)でSLEEPモード時に停止させるように設定することができます。

* **OSC3OFF**: OSC3 Disable During SLEEP in the Clock Option Register (D3/0x301B14)

OSC3OFF(D3/0x301B14)を1に設定すると、SLEEPモード時にOSC3発振が停止します。この場合、SLEEPモードから起床した時点でOSC3発振回路が発振を開始します。ただし、発振が安定する前にCPUがOSC3/PLLクロック動作を開始すると誤動作するため、CPUの動作開始を遅らせるOSC発振開始待ちタイマが用意されています。待ち時間はOSCTM[7:0](D[15:8]/0x301B14)とTMHSP(D2/0x301B14)により設定可能です。

* **OSCTM[7:0]**: OSC Oscillation Stabilization-Wait Timer in the Clock Option Register (D[15:8]/0x301B14)

* **TMHSP**: Stabilization-Wait Timer High-Speed Mode Select Bit in the Clock Option Register (D2/0x301B14)

表III.1.11.2.1 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6μs
	:	:	:
	0xFF	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xFF	2M	104.5ms

(時間は20MHzのOSC3で動作している場合の例です。)

■クロックソース切り換え時のSLEEP制御

SLEEPモードからの起床時には、OSCSEL[1:0](D[3:2]/0x301B08)の設定にしたがってクロックソース(OSC3、OSC1、PLL)の切り換えも行われます。クロックソースを切り換えるにはSLEEPモードへの移行と復帰が必要です。そこで、割り込み等を使用せずに自動的にSLEEPモードを解除する機能が用意されています。この機能を使用するにはWAKEUPWT(D0/0x301B14)を0に設定します(デフォルトでは1に設定されています)。

* **OSCSEL[1:0]**: OSC Clock Select Bits in the System Clock Control Register (D[3:2]/0x301B08)

* **WAKEUPWT**: Wakeup-Wait Function Enable Bit in the Clock Option Register (D0/0x301B14)

WAKEUPWT(D0/0x301B14)が0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、前記の発振安定待ち時間経過後にOSCSEL[1:0](D[3:2]/0x301B08)で設定したソースクロックでCPUが再起動します。

WAKEUPWT(D0/0x301B14) = 0の場合でも、OSCTM[7:0](D[15:8]/0x301B14)とTMHSP(D2/0x301B14)の設定によるOSC発振開始待ち時間は有効です。最も早くSLEEPモードを解除するには、OSCTM[7:0](D[15:8]/0x301B14) = 0x0、TMHSP(D2/0x301B14) = 1に設定してください。

WAKEUPWT(D0/0x301B14)が1に設定されている場合は、イニシャルリセット、RTC割り込み、外部からのNMIまたは入力割り込みによってSLEEPモードが解除されます。

クロック切り換えとSLEEPの制御手順については、“III.1.12 クロック設定手順”を参照してください。

III.1.11.3 注意事項

■割り込み

スタンバイモードはITC経由の割り込み、NMI、リセットにより解除されます。ITCは、スタンバイモードの解除に使用する割り込みが発生するように設定されている必要があります。ITCへのクロック供給が停止している場合は、割り込みが許可されている割り込み発生源からの割り込み信号がITCをそのまま通過してCMUに入力され、スタンバイモードの解除とクロック供給の開始に使用されます。

HALTモードではITCにクロックが供給されているため、割り込み要因フラグはすぐにセットされ、CPUにもすぐに割り込み要求が出されます。

SLEEPモードでは、CMUがITCへのクロック供給を開始してから割り込み要因フラグがセットされ、CPUへの割り込み要求も出されます。CPUに対する割り込み要求が若干遅れるため、SLEEPモードを解除後、CPUは割り込み処理に移行する前にslp命令に続く数命令を実行してしまうことがあります。また、ITCへのクロックの供給を開始する前に割り込み発生源からの割り込み信号がインアクティブになった場合は割り込み要因フラグがセットされず、割り込みは発生しません。

CPUのPSRレジスタにあるIEおよびIL[3:0]ビットは、割り込みによるスタンバイモードの解除には影響しません。スタンバイモードを解除するためにITCで割り込みを許可しておき、IEビットで割り込みを禁止することで、スタンバイモード解除後に割り込み処理を行わないといった使い方もできます。

■発振回路

SLEEPモード時にOSC3発振が停止する設定の場合、SLEEPモードの解除によりOSC3発振を再開します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要しますので、OSC3またはPLLをクロックソースとしてCPUを再起動させる場合は、この発振安定時間が経過後にCPUが動作を開始するようにOSCTM[7:0](D[15:8]/0x301B14)とTMHSP(D2/0x301B14)を設定しておかなければなりません。

PLLを使用する場合は、OSC3クロックの発振安定後にPLLのロックアップ時間(例: S1C33L19では200μs)も必要です。

高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

■バスとDMA

スタンバイモードになると、バスモジュールはその時点のバスサイクルの実行終了後に停止します。すべてのチップイネーブル信号がインアクティブとなります。

HALTモードではバスクロック信号が出力可能で、DMAも動作します。

SLEEPモードではバスクロック信号は出力されません。DMAも停止します。

チップをSLEEPモードに設定(slp命令を実行)する場合は、その前に必ずHSDMA/IDMAをディセーブルに設定してください。HALTモードはHSDMA/IDMAがイネーブルのまま設定可能です。

■クロックソース切り換え

クロックソースを切り換える目的でslp命令を実行する際は、自動的にSLEEPモードを解除する機能を使用します。SLEEPモードが解除されるとOSCTM[7:0](D[15:8]/0x301B14)で設定したOSC発振待ちタイマが動作しますが、このタイマは切り換わった後のクロックソースで動作しますので、OSC発振開始待ち時間の設定には注意してください。

■その他

コアCPUの内部レジスタ、入出力ポートの状態はスタンバイモード時も保持されます。内蔵周辺回路の制御およびデータレジスタの内容も基本的には保持されますが、SLEEPモード移行時に変更されるものもあります。各周辺回路の説明を参照してください。

III.1.12 クロック設定手順

ここでは、クロックを設定/変更する手順を説明します。
イニシャルリセット時のクロック設定状態は以下のとおりです。

OSC3発振回路: On
PLL: Off
OSC1発振回路: On
システムクロックソース: OSC3
MCLK: OSC3・1/1
CMU_CLK: OSC3・1/1

III.1.12.1 クロックソースをOSC3からPLLに変更

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. PLLPOWR(D0/0x301B0C) = 0
PLLをOffします。
3. PLL Control Register(0x301B0C)の設定
 - PLLN[3:0](D[7:4]) = 0b0000~0b1111
PLLの通倍率(x1~x16)を設定します。
 - PLLV[1:0](D[3:2]) = 0b01~0b11
PLLのW値(2、4、8)を設定します。
 - PLLVC[3:0](D[15:12]) = 0b0001~0b1000
VCO Kv回路定数を設定します。
 - PLLRS[3:0](D[11:8]) = 0b1000または0b1010
LPF抵抗値を設定します。
4. PLLPOWR(D0/0x301B0C) = 1
PLLをOnします。
5. OSCSEL[1:0](D[3:2]/0x301B08) = 0b11
PLLをクロックソースに選択します。
6. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8]) = * * PLL出力クロックが安定する時間(例: S1C33L19では200μs)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイムはPLLクロックで動作することに注意してください。
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = *
 - WAKEUPWT(D0) = 0 PLL出力安定時間については、“電気的特性”を参照してください。
設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
7. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
8. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、PLLをクロックソースとしてシステムが再起動します。
9. クロック制御レジスタの再設定
必要に応じてMCLK、CMU_CLKの設定変更、およびその他のクロック制御レジスタの再設定を行います。
10. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

III.1.12.2 クロックソースをPLLからOSC3に変更後PLLをOff

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. OSCSEL[1:0](D[3:2]/0x301B08) = 0b00
OSC3をクロックソースに選択します。
3. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8]) = 0x0
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = 1
 - WAKEUPWT(D0) = 0
 SLEEPを自動解除し、割り込みを待たずに最短(数十クロック)で再起動するように設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から数十クロック後、SLEEPモードは自動的に解除され、OSC3をクロックソースとしてシステムが再起動します。
6. PLLPOWR(D0/0x301B0C) = 0
PLLをOffします。
7. クロック制御レジスタの再設定
必要に応じてMCLK、CMU_CLKの設定変更、およびその他のクロック制御レジスタの再設定を行います。
8. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

III.1.12.3 クロックソースをOSC3またはPLLからOSC1に変更後OSC3とPLLをOff

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. SOSC1(D0/0x301B08) = 1
OSC1発振回路が停止している場合は、Onします。
3. OSCSEL[1:0](D[3:2]/0x301B08) = 0b01
OSC1をクロックソースに選択します。
4. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8]) = * * OSC1発振が安定する時間(例: S1C33L19では3秒)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイマはOSC1クロックで動作することに注意してください。
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = *
 - WAKEUPWT(D0) = 0 OSC1発振開始時間については、“電気的特性”を参照してください。
設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
5. 動作している周辺回路がある場合は、すべて停止させます。
6. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC1をクロックソースとしてシステムが再起動します。
7. PLLPOWR(D0/0x301B0C) = 0
PLLをOffします。
8. SOSC3(D1/0x301B08) = 0
OSC3発振回路をOffします。
9. クロック制御レジスタの再設定
必要に応じてMCLK、CMU_CLKの設定変更、およびその他のクロック制御レジスタの再設定を行います。
10. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

III.1.12.4 クロックソースをOSC1からOSC3に変更

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. SOSC3(D1/0x301B08) = 1
OSC3発振回路が停止している場合は、Onします。
3. OSCSEL[1:0](D[3:2]/0x301B08) = 0b00
OSC3をクロックソースに選択します。
4. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8]) = * * OSC3発振が安定する時間(例: S1C33L19では25ms)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイムはOSC3クロックで動作することに注意してください。
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = *
 - WAKEUPWT(D0) = 0 OSC3発振開始時間については、“電気的特性”を参照してください。
設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
5. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
6. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC3をクロックソースとしてシステムが再起動します。
7. クロック制御レジスタの再設定
必要に応じてMCLK、CMU_CLKの設定変更、およびその他のクロック制御レジスタの再設定を行います。
8. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

III.1.12.5 クロックソースをOSC1からPLLに変更

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. SOSC3(D1/0x301B08) = 1
OSC3発振回路が停止している場合は、Onします。
3. OSC3発振が安定するまで待機します(OSC3をOnした場合のみ。例: S1C33L19では25ms)。
OSC3発振開始時間については、“電気的特性”を参照してください。
4. PLLPOWR(D0/0x301B0C) = 0
PLLをOffします。
5. PLL Control Register(0x301B0C)の設定
 - PLLN[3:0](D[7:4]) = 0b0000~0b1111
PLLの通倍率(x1~x16)を設定します。
 - PLLV[1:0](D[3:2]) = 0b01~0b11
PLLのW値(2、4、8)を設定します。
 - PLLVC[3:0](D[15:12]) = 0b0001~0b1000
VCO Kv回路定数を設定します。
 - PLLRS[3:0](D[11:8]) = 0b1000または0b1010
LPF抵抗値を設定します。
6. PLLPOWR(D0/0x301B0C) = 1
PLLをOnします。
7. OSCSEL[1:0](D[3:2]/0x301B08) = 0b11
PLLをクロックソースに選択します。
8. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8]) = * * PLL出力クロックが安定する時間(例: S1C33L19では200μs)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイムはPLLクロックで動作することに注意してください。
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = *
 - WAKEUPWT(D0) = 0 PLL出力安定時間については、“電気的特性”を参照してください。
設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
9. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
10. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、PLLをクロックソースとしてシステムが再起動します。
11. クロック制御レジスタの再設定
必要に応じてMCLK、CMU_CLKの設定変更、およびその他のクロック制御レジスタの再設定を行います。
12. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

III.1.12.6 SLEEP時にOSC3を停止

OSC3またはPLLをクロックソースとして動作している場合に、SLEEPモードでOSC3発振を停止させるには、以下のように制御します。

1. クロックソースがPLLの場合はOSC3に変更し、PLLを停止します。(下記の注を参照)
変更方法については、“III.1.12.2 クロックソースをPLLからOSC3に変更後PLLをOff”を参照してください。
また、クロックソースがOSC3の場合でも、PLLが動作している場合は停止してください。
2. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
3. Clock Option Register(0x301B14)の設定
 - OSCTM[7:0](D[15:8])とTMHSP(D2)
SLEEP解除後の発振安定待ち時間を設定します。
例: TMHSP = 1, OSCTM[7:0] = 0x40(OSC3 = 20MHzの場合で約26ms)
 - OSC3OFF(D3/0x301B14) = 1
SLEEP時にOSC3発振が停止するように設定します。
 - WAKEUPWT(D0/0x301B14) = 1
SLEEPモードがRTC割り込み、外部からのNMIまたは入力割り込みによって解除されるように設定します。
4. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。
5. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
6. slp命令を実行します。
チップはSLEEPモードになり、CMUはクロック出力を停止します。

SLEEPモードはRTC割り込み、デバッグからの強制ブレーク、外部からのNMIまたは入力割り込みによって解除され、設定した発振開始待ち時間経過後、OSCSEL[1:0](D[3:2]/0x301B08)で選択されているクロックソース(OSC3)でシステムが再起動します。
7. PLLをクロックソースにする場合は、別途OSC3からPLLへの切り換えを行ってください。(下記の注を参照)
変更方法については、“III.1.12.1 クロックソースをOSC3からPLLに変更”を参照してください。

注: SLEEPモードでOSC3発振を停止させる場合、SLEEP移行前とSLEEPからの起床時は必ず次の条件を満たしてください。

- ・ OSC3をクロックソースとして動作
- ・ PLLはOff

SLEEPからの起床時にOSC3とPLLがともにOnし、PLLをクロックソースとして動作を開始する設定にすると、PLLが不安定になる可能性があります。

このため、PLLをクロックソースにするには、上記のステップ1と7の手順が必要になります。

III.1.12.7 発振OnのままのSLEEP(クロック変更なし)

クロックソースの変更と発振停止を行わずに、SLEEPモードにする手順は以下のとおりです。これは、起動性能を犠牲にせずにコアと周辺機能を停止して消費電力を抑えるための制御です。

1. Clock Control Protect Register(0x301B24) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. Clock Option Register(0x301B14)の設定
 - OSCCTM[7:0](D[15:8]) = 0x0
 - OSC3OFF(D3) = 0
 - TMHSP(D2) = 1
 - WAKEUPWT(D0) = 1

SLEEPモードがRTC割り込み、外部からのNMIまたは入力割り込みによって解除され、最短(数十クロック)で再起動するように設定します。
3. Clock Control Protect Register(0x301B24) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
チップはSLEEPモードになり、CMUはクロック出力を停止します。

SLEEPモードはRTC割り込み、デバッガからの強制ブレーク、外部からのNMIまたは入力割り込みによって解除され、OSCSEL[1:0](D[3:2]/0x301B08)で選択されているクロックソースでシステムが再起動します。

III.1.13 パワーダウン制御

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のためのポイントをまとめます。

1. 動作クロック周波数をできるだけ低くする

CMUにより3種類のクロックソースの選択と、システムクロック周波数の設定が行えます。(III.1.4～III.1.10参照)

システムの処理内容に合わせ、できる限り動作クロック周波数を低く抑えてください。

- OSC1クロックで処理可能な場合は、PLLとOSC3を停止してOSC1のみで動作させてください。
- 高速処理が必要な場合でも、OSC3クロック周波数で処理可能な場合はPLLを停止してOSC3で動作させてください。
- PLLを使用する場合でも、できるだけ小さな通倍率を使用してください。
- MCLKはソースクロックから生成するための分周比が選択できます。処理内容に従い、できるだけ低いクロック周波数に設定してください。
- 周辺回路によっては、プリスケアラを使用したり、モジュール内に独自のクロック制御機能が組み込まれている場合もあります。詳細については、個々の周辺回路の説明を参照してください。

2. 不要なクロック供給を停止する

CMUはクロックの供給を機能モジュール別にOn/Offできるようになっています。(III.1.9参照)

- 使用しない機能モジュールへのクロック供給は停止してください。
- 周辺回路によっては、プリスケアラを使用したり、モジュール内に独自のクロック制御機能が組み込まれている場合もあります。詳細については、個々の周辺回路の説明を参照してください。

3. スタンバイモードに設定する

キー入力待ち状態などでは、halt命令やslp命令を実行してできるだけスタンバイモードに設定してください。(III.1.11参照)

- 可能であれば、OSC3発振が停止する設定でSLEEPモードにすると、最も電力消費を抑えられます。ただし、基本的には、RTC以外使用できません。
- 発振安定時間を取らずに、SLEEPモードから迅速に再起動したい場合は、OSC3発振がOffしない状態でSLEEPモードに移行してください。OSC3セル部とRTC以外はパワーダウン状態となります。
- 周辺回路の動作が必要な場合は、halt命令によるHALTモードに設定します。HALTモードではCPUとA0RAMが停止します。また、HALT時にクロック供給を自動停止させた回路(III.1.9.2節参照)も動作を停止します。

4. 外部ポートの不要なプルアップを切る

入力ポートがLowレベルになると、プルアップ抵抗により電流を消費します。プルアップ制御レジスタで不要なプルアップを切ってください。ただし、入力ポートがオープン(フローティング状態)にならないよう注意してください。

III.1.14 制御レジスタの詳細

表III.1.14.1 CMUレジスタ一覧

アドレス	レジスタ名	サイズ	機 能
0x00301B00	Gated Clock Control Register 0 (pCMU_GATEDCLK0)	32	機能モジュールへのクロック供給制御0
0x00301B04	Gated Clock Control Register 1 (pCMU_GATEDCLK1)	32	機能モジュールへのクロック供給制御1
0x00301B08	System Clock Control Register (pCMU_CLKCNTL)	32	システムクロックの設定
0x00301B0C	PLL Control Register (pCMU_PLL)	32	PLL定数設定、On/Off制御
0x00301B10	SSCG Macro Control Register (pCMU_SSCG)	32	SSCG制御
0x00301B14	Clock Option Register (pCMU_OPT)	32	スタンバイ/起床条件の設定
0x00301B24	Clock Control Protect Register (pCMU_PROTECT)	32	クロック制御レジスタ書き込み保護設定/解除

以下にCMUの制御レジスタを個々に説明します。

CMU制御レジスタは0x301B00～0x301B24の32ビットデバイスエリアに割り付けられており、ワード、ハーフワードおよびバイトアクセスが可能です。

注: CMUレジスタ (0x301B00～0x301B14)は書き込み保護されています。これらのレジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

0x301B00: Gated Clock Control Register 0 (pCMU_GATEDCLK0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Gated clock control register 0 (pCMU_GATEDCLK0) Protected	00301B00 (W)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	USBSAPB_CKE	USB SAPB I/F clock control	1 On	0 Off	0	R/W
		D8	USB_CKE	USB IP 48 MHz clock control			0	R/W
		D7	SDAPCPU_HCKE	SDRAMC CPU APP clock control (HALT)			0	R/W
		D6	SDAPCPU_CKE	SDRAMC CPU APP clock control			0	R/W
		D5	SDAPLCDC_CKE	SDRAMC LCDC APP clock control			0	R/W
		D4	SDSAPB_CKE	SDRAMC SAPB I/F clock control			0	R/W
		D3	DSTRAM_CKE	DST RAM clock control			1	R/W
		D2	LCDCAHBIF_CKE	LCDC AHB I/F clock control			0	R/W
		D1	LCDCSAPB_CKE	LCDC SAPB I/F clock control			0	R/W
		D0	LCDC_CKE	LCDC main clock control			0	R/W

D[31:10] Reserved**D9 USBSAPB_CKE: USB SAPB Interface Clock Control Bit**

USB SAPBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D8 USB_CKE: USB IP 48 MHz Clock Control Bit

USBモジュールへのクロック(OSC3 = 48MHz)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D7 SDAPCPU_HCKE: SDRAMC CPU APP Clock Control (HALT) Bit

HALT時のSDRAMC CPU_AHBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D6 SDAPCPU_CKE: SDRAMC CPU APP Clock Control Bit

SDRAMC CPU_AHBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D5 SDAPLCDC_CKE: SDRAMC LCDC APP Clock Control Bit

SDRAMC LCDC_AHBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D4 SDSAPB_CKE: SDRAMC SAPB Interface Clock Control Bit

SDRAMC SAPBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D3 DSTRAM_CKE: DST RAM Clock Control Bit

エリア3のDST RAMへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D2 LCDCAHBIF_CKE: LCDC AHB Bus Interface Clock Control Bit

LCDC AHBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

III 周辺モジュール1(システム): クロックマネージメントユニット (CMU)

D1 **LCDCSAPB_CKE: LCDC SAPB Interface Clock Control Bit**

LCDC SAPBバスインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D0 **LCDC_CKE: LCDC Main Clock Control Bit**

LCDCモジュールへのクロック(LCDC_CLK)の供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

0x301B04: Gated Clock Control Register 1 (pCMU_GATEDCLK1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Gated clock control register 1 (pCMU_GATEDCLK1) Protected	00301B04 (W)	D31–30	–	reserved	–	–	–	0 when being read.
		D29	CPUAHB_HCKE	CPU_AHB bus clk control (HALT)	1 On	0 Off	1	R/W
		D28	LCDCAHB_HCKE	LCDC_AHB bus clk control (HALT)			1	R/W
		D27	GPIONSTP_HCKE	GPIO no stop clock control (HALT)			1	R/W
		D26	SRAMC_HCKE	SRAMC clock control (HALT)			1	R/W
		D25	EFSIOBR_HCKE	EFSIO baud rate clk control (HALT)			1	R/W
		D24	MISC_HCKE	Misc (0x300010–0x300020) clock control (HALT)			1	R/W
		D23–20	–	reserved	–	–	–	0 when being read.
		D19	IVRAMARB_CKE	IVRAM arbiter clock control	1 On	0 Off	1	R/W
		D18–17	–	reserved	–	–	–	0 when being read.
		D16	TM3_CKE	16-bit timer 3 clock control	1 On	0 Off	1	R/W
		D15	TM2_CKE	16-bit timer 2 clock control			1	R/W
		D14	TM1_CKE	16-bit timer 1 clock control			1	R/W
		D13	TM0_CKE	16-bit timer 0 clock control			1	R/W
		D12	EGPIO_MISC_CKE	EGPIO and Misc (0x300C41–0x300C4D) clock control			1	R/W
		D11	I2S_CKE	I ² S clock control			1	R/W
		D10	–	reserved	–	–	–	0 when being read.
		D9	WDT_CKE	Watchdog timer clock control	1 On	0 Off	1	R/W
		D8	GPIO_CKE	GPIO normal clock control			1	R/W
		D7	SRAMSAPB_CKE	SRAMC SAPB I/F clock control			1	R/W
		D6	SPI_CKE	SPI clock control			1	R/W
		D5	EFSIOSAPB_CKE	EFSIO SAPB I/F clock control			1	R/W
		D4	CARD_CKE	CARD I/F clock control			1	R/W
		D3	ADC_CKE	ADC clock control			1	R/W
		D2	ITC_CKE	ITC clock control			1	R/W
		D1	DMA_CKE	DMAC clock control			1	R/W
		D0	RTCSAPB_CKE	RTC SAPB I/F clock control			1	R/W

D[31:30] Reserved

D29 CPUAHB_HCKE: CPU_AHB Bus Clock Control (HALT) Bit

HALT時のCPU_AHBバスへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D28 LCDCAHB_HCKE: LCDC_AHB Bus Clock Control (HALT) Bit

HALT時のLCDC_AHBバスへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D27 GPIONSTP_HCKE: GPIO No Stop Clock Control (HALT) Bit

HALT時のGPIO入力/割り込み回路へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D26 SRAMC_HCKE: SRAMC Clock Control (HALT) Bit

HALT時のSRAMCへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D25 EFSIOBR_HCKE: EFSIO Baud Rate Clock Control (HALT) Bit

HALT時のEFSIOボーレートタイマへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D24 MISC_HCKE: Misc (0x300010–0x300020) Clock Control (HALT) Bit

HALT時のMiscレジスタ(0x300010～0x300020)へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D[23:20] Reserved

D19 **IVRAMARB_CKE: IVRAM Arbiter Clock Control Bit**

IVRAMアービタへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D[18:17] Reserved

D16 **TM3_CKE: 16-bit Timer 3 Clock Control Bit**

16ビットタイマ3へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D15 **TM2_CKE: 16-bit Timer 2 Clock Control Bit**

16ビットタイマ2へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D14 **TM1_CKE: 16-bit Timer 1 Clock Control Bit**

16ビットタイマ1へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D13 **TM0_CKE: 16-bit Timer 0 Clock Control Bit**

16ビットタイマ0へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D12 **EGPIO_MISC_CKE: EGPIO and Misc (0x300C41~0x300C4D) Clock Control Bit**

EGPIOおよびMiscレジスタ(0x300C41~0x300C4D)へのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D11 **I2S_CKE: I²S Clock Control Bit**

I²Sインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D10 Reserved

D9 **WDT_CKE: Watchdog Timer Clock Control Bit**

ウォッチドッグタイマへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D8 **GPIO_CKE: GPIO Normal Clock Control Bit**

GPIOへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D7 **SRAMSAPB_CKE: SRAMC SAPB Interface Clock Control Bit**

SRAMC SAPBインタフェースへのクロック(MCLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

- D6 SPI_CKE: SPI Clock Control Bit**
SPIへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D5 EFSIOSAPB_CKE: EFSIO SAPB Interface Clock Control Bit**
EFSIO SAPBインタフェースへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D4 CARD_CKE: Card Interface Clock Control Bit**
カードインタフェースへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D3 ADC_CKE: A/D Converter Clock Control Bit**
A/D変換器へのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D2 ITC_CKE: ITC Clock Control Bit**
ITCへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D1 DMA_CKE: DMAC Clock Control Bit**
DMAコントローラへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off
- D0 RTC_SAPB_CKE: RTC SAPB Interface Clock Control Bit**
RTC SAPBインタフェースへのクロック(MCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

0x301B08: System Clock Control Register (pCMU_CLKCNTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System clock control register (pCMU_CLKCNTL) Protected	00301B08 (W)	D31–29	–	reserved	–	–	–	0 when being read.
		D28	CMU_CLKSEL4	CMU_CLK output clock source selection	CMU_CLKSEL[4:0]	Clock source	0	R/W
		D27	CMU_CLKSEL3		Other	reserved	0	
		D26	CMU_CLKSEL2		01010	OSC3_DIV*1/32	0	
		D25	CMU_CLKSEL1		01001	OSC3_DIV*1/16	0	
		D24	CMU_CLKSEL0		01000	OSC3_DIV*1/8	0	
					00111	OSC3_DIV*1/4		
					00110	OSC3_DIV*1/2		
					00101	OSC3_DIV*1/1		
					00100	LCDC_CLK		
					00011	MCLK		
					00010	–		
					00001	OSC1		
					00000	OSC3		
		D23	PLLINDIV3	PLL input clock source divider selection	PLLINDIV[3:0]	Divider	0	R/W
		D22	PLLINDIV2		Other	OSC3*1/8	1	
		D21	PLLINDIV1		1001	OSC3*1/10	1	
		D20	PLLINDIV0		1000	OSC3*1/9	1	
					0111	OSC3*1/8		
					0110	OSC3*1/7		
					0101	OSC3*1/6		
					0100	OSC3*1/5		
					0011	OSC3*1/4		
					0010	OSC3*1/3		
					0001	OSC3*1/2		
					0000	OSC3*1/1		
		D19	LCDCDIV3	LCDC clock divider selection	LCDCDIV[3:0]	Divider	0	R/W
		D18	LCDCDIV2		1111	OSC3*1/16	1	
		D17	LCDCDIV1		1110	OSC3*1/15	1	
		D16	LCDCDIV0		1101	OSC3*1/14	1	
					1100	OSC3*1/13		
					1011	OSC3*1/12		
					1010	OSC3*1/11		
					1001	OSC3*1/10		
					1000	OSC3*1/9		
					0111	OSC3*1/8		
					0110	OSC3*1/7		
					0101	OSC3*1/6		
					0100	OSC3*1/5		
					0011	OSC3*1/4		
					0010	OSC3*1/3		
					0001	OSC3*1/2		
					0000	OSC3*1/1		
		D15–13	–	reserved	–	–	–	0 when being read.
		D12	MCLKDIV	MCLK clock divider selection	1 1/2	0 1/1	0	R/W
		D11	–	reserved	–	–	–	0 when being read.
		D10	OSC3DIV2	OSC3 clock divider selection	OSC3DIV[2:0]	Divider	0	R/W
		D9	OSC3DIV1		111	OSC3*1/1	0	
		D8	OSC3DIV0		110	OSC3*1/1	0	
					101	OSC3*1/32		
					100	OSC3*1/16		
					011	OSC3*1/8		
					010	OSC3*1/4		
					001	OSC3*1/2		
					000	OSC3*1/1		
		D7–4	–	reserved	–	–	–	0 when being read.
		D3	OSCSEL1	OSC clock selection	OSCSEL[1:0]	Clock source	0	R/W
		D2	OSCSEL0		11	PLL	0	
					10	OSC3		
					01	OSC1		
		D1	SOSC3	High-speed oscillation (OSC3) On/Off	1 On	0 Off	1	R/W
		D0	SOSC1	Low-speed oscillation (OSC1) On/Off	1 On	0 Off	1	R/W

D[31:29] Reserved

D[28:24] CMU_CLKSEL[4:0]: CMU_CLK Output Clock Source Select Bits

CMU_CLKは外部バス用のクロックです。表III.1.14.2に示す11種類の中から選択可能です。

表III.1.14.2 CMU_CLKの選択

CMU_CLKSEL4	CMU_CLKSEL3	CMU_CLKSEL2	CMU_CLKSEL1	CMU_CLKSEL0	CMU_CLK
0	1	0	1	0	OSC3_DIV•1/32
0	1	0	0	1	OSC3_DIV•1/16
0	1	0	0	0	OSC3_DIV•1/8
0	0	1	1	1	OSC3_DIV•1/4
0	0	1	1	0	OSC3_DIV•1/2
0	0	1	0	1	OSC3_DIV•1/1
0	0	1	0	0	LCDC_CLK
0	0	0	1	1	MCLK
0	0	0	1	0	—
0	0	0	0	1	OSC1
0	0	0	0	0	OSC3
その他					Reserved

(デフォルト: 0b000000)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表III.1.14.2に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[4:0]に設定しないでください。

D[23:20] PLLINDIV[3:0]: PLL Input Clock Source Divider Select Bits

PLL入力クロックを10種類のOSC3分周クロックから選択します。

表III.1.14.3 PLL入力クロックの選択

PLLINDIV3	PLLINDIV2	PLLINDIV1	PLLINDIV0	PLL入力クロック
1	0	0	1	OSC3•1/10
1	0	0	0	OSC3•1/9
0	1	1	1	OSC3•1/8
0	1	1	0	OSC3•1/7
0	1	0	1	OSC3•1/6
0	1	0	0	OSC3•1/5
0	0	1	1	OSC3•1/4
0	0	1	0	OSC3•1/3
0	0	0	1	OSC3•1/2
0	0	0	0	OSC3•1/1
その他				OSC3•1/8

(デフォルト: 0b0111)

注: PLL入力クロックは、必ずPLLがOff (PLLPOWER(D0/0x301B0C) = 0)、システムのクロックソースがPLL以外 (OSCSEL[1:0](D[3:2]/0x301B08) = 0~2) の状態で設定してください。システムがPLLクロックで動作中にPLL入力クロックを変更すると誤動作します。

D[19:16] LCDCDIV[3:0]: LCDC Clock Divider Select Bits

LCDインタフェース用クロック (LCDC_CLK)を16種類のOSC3分周クロックから選択します。フレームレートに合わせて選択してください。

$$\text{フレームレート} = \frac{f_{\text{LCDC}}}{\text{HT} \times \text{VT}} [\text{Hz}]$$

f_{LCDC} : LCDC_CLK周波数

HT: 水平トータル期間(非表示期間を含む) [ピクセル]

VT: 垂直トータル期間(非表示期間を含む) [ピクセル]

表III.1.14.4 LCDCクロックの選択

LCDCDIV3	LCDCDIV2	LCDCDIV1	LCDCDIV0	LDCD_CLK
1	1	1	1	OSC3•1/16
1	1	1	0	OSC3•1/15
1	1	0	1	OSC3•1/14
1	1	0	0	OSC3•1/13
1	0	1	1	OSC3•1/12
1	0	1	0	OSC3•1/11
1	0	0	1	OSC3•1/10
1	0	0	0	OSC3•1/9
0	1	1	1	OSC3•1/8
0	1	1	0	OSC3•1/7
0	1	0	1	OSC3•1/6
0	1	0	0	OSC3•1/5
0	0	1	1	OSC3•1/4
0	0	1	0	OSC3•1/3
0	0	0	1	OSC3•1/2
0	0	0	0	OSC3•1/1

(デフォルト: 0b0111)

D[15:13] Reserved

D12 MCLKDIV: MCLK Clock Divider Select Bit

メインシステムクロックを選択します。

1(R/W): OSC•1/2

0(R/W): OSC•1/1(デフォルト)

MCLKはS1C33L19のメインシステムクロックです。システムのソースクロックOSC (OSCSEL[1:0](D[3:2])で選択)を分周回路で1/1または1/2に分周した2種類のクロックから選択します。

SDRAMを2通倍モード(MCLK max. = 45MHz, SDCLK max. = 90MHz)で動作させる場合、MCLKDIVは1に設定してください。

D11 Reserved

D[10:8] OSC3DIV[2:0]: OSC3 Clock Divider Select Bits

OSC3をシステムクロックソースに設定した場合の、システムクロック周波数を選択します。OSC3分周クロックの中からOSC3DIV[2:0]で選択します。

表III.1.14.5 OSC3分周クロックの選択

OSC3DIV2	OSC3DIV1	OSC3DIV0	OSC3_DIV
1	1	1	OSC3•1/1
1	1	0	OSC3•1/1
1	0	1	OSC3•1/32
1	0	0	OSC3•1/16
0	1	1	OSC3•1/8
0	1	0	OSC3•1/4
0	0	1	OSC3•1/2
0	0	0	OSC3•1/1

(デフォルト: 0b000)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大OSC3クロックの32サイクルの時間を要します。

D[7:4] Reserved

D[3:2] OSCSEL[1:0]: OSC Clock Select Bits

システムのクロックソース(OSC)を選択します。

表III.1.14.6 システムクロックソースの選択

OSCSEL1	OSCSEL0	クロックソース
1	1	PLL
1	0	OSC3
0	1	OSC1
0	0	OSC3

(デフォルト: 0b00)

ここでクロックソースを変更してもすぐには切り換わず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSEL[1:0]の設定後は一度SLEEPモードに設定する必要があります。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

D1 SOSC3: High-speed Oscillation (OSC3) On/Off Bit

OSC3発振回路をOn/Offします。

1(R/W): On(デフォルト)

0(R/W): Off

D0 SOSC1: Low-speed Oscillation (OSC1) On/Off Bit

OSC1発振回路をOn/Offします。

1(R/W): On(デフォルト)

0(R/W): Off

注: SOSC3(D1)またはSOSC1(D0)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください。

0x301B0C: PLL Control Register (pCMU_PLL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PLL control register (pCMU_PLL) Protected	00301B0C (W)	D31-24	—	reserved	—	—	—	0 when being read.
		D23	PLLCS1	PLL LPF capacitance setup	Fixed at "00" (default)	0	R/W	
		D22	PLLCS0			0	R/W	
		D21	PLLBYP	PLL bypass mode setup	Fixed at "0" (default)	0	R/W	
		D20	PLLCP4	PLL charge pump current setup	Fixed at "10000" (default)	1	R/W	
		D19	PLLCP3			0		
		D18	PLLCP2			0		
		D17	PLLCP1			0		
		D16	PLLCP0			0		
		D15	PLLV3	PLL VCO Kv setup	PLLV3[3:0]	f _{vco} [MHz]	0	R/W
		D14	PLLV2		1000	360 < f _{vco} ≤ 400	0	
		D13	PLLV1		0111	320 < f _{vco} ≤ 360	0	
		D12	PLLV0		0110	280 < f _{vco} ≤ 320	1	
					0101	240 < f _{vco} ≤ 280		
					0100	200 < f _{vco} ≤ 240		
					0011	160 < f _{vco} ≤ 200		
					0010	120 < f _{vco} ≤ 160		
					0001	100 ≤ f _{vco} ≤ 120		
					Other	Not allowed		
		D11	PLLR3	PLL LPF resistance setup	PLLR3[3:0]	f _{REFCK} [MHz]	1	R/W
		D10	PLLR2		1010	5 ≤ f _{REFCK} < 20	0	
		D9	PLLR1		1000	20 ≤ f _{REFCK} ≤ 150	0	
		D8	PLLR0		Other	Not allowed	0	
		D7	PLLN3	PLL multiplication rate setup	PLLN[3:0]	Multiplication rate	0	R/W
		D6	PLLN2		1111	x16	0	
		D5	PLLN1		1110	x15	0	
					:	:	0	
		D4	PLLN0		0001	x2		
					0000	x1		
		D3	PLLV1	PLL V-divider setup	PLLV[1:0]	W	0	R/W
		D2	PLLV0		11	8	1	
					10	4		
					01	2		
					00	Not allowed		
		D1	—	reserved	—	—	—	0 when being read.
		D0	PLLPOWR	PLL on/off control	1 On	0 Off	0	R/W

注: 本レジスタのD[23:2]を変更する場合は、その前にPLLをOff(PLLPOWR(D0) = 0)に設定してください。

D[31:24] Reserved

D[23:22] PLLCS[1:0]: PLL LPF Capacitance Setup Bits

LPF容量値(CS値)を設定します。(デフォルト: 0b00)

本ビットはイニシャルリセット時の初期設定のまま、変更せずに使用してください。

D21 PLLBYP: PLL Bypass Mode Setup Bit

PLLバイパス時のモードを設定します。(デフォルト: 0)

本ビットはイニシャルリセット時の初期設定のまま、変更せずに使用してください。

D[20:16] PLLCP[4:0]: PLL Charge Pump Current Setup Bits

チャージポンプ電流値(CP値)を設定します。(デフォルト: 0b10000)

本ビットはイニシャルリセット時の初期設定のまま、変更せずに使用してください。

D[15:12] PLLVC[3:0]: PLL VCO Kv Setup Bits

<出力クロック周波数 × W>によって求められる周波数f_{vco}の範囲に応じて、VCO Kv回路定数(VC値)を設定します。

表III.1.14.7 VC値の設定

PLLVC3	PLLVC2	PLLVC1	PLLVC0	f _{vco} [MHz]
1	0	0	0	360 < f _{vco} ≤ 400
0	1	1	1	320 < f _{vco} ≤ 360
0	1	1	0	280 < f _{vco} ≤ 320
0	1	0	1	240 < f _{vco} ≤ 280
0	1	0	0	200 < f _{vco} ≤ 240
0	0	1	1	160 < f _{vco} ≤ 200
0	0	1	0	120 < f _{vco} ≤ 160
0	0	0	1	100 ≤ f _{vco} ≤ 120
その他				禁止

(デフォルト: 0b0001)

D[11:8] PLLRS[3:0]: PLL LPF Resistance Setup Bits

入力クロック (OSC3) 周波数に応じて、PLLのLPF抵抗値(RS値)を設定します。

表III.1.14.8 RS値の設定

PLLRS3	PLLRS2	PLLRS1	PLLRS0	f _{REFCK} [MHz]
1	0	1	0	5 ≤ f _{REFCK} < 20
1	0	0	0	20 ≤ f _{REFCK} ≤ 150
その他				禁止

(デフォルト: 0b1000)

D[7:4] PLLN[3:0]: PLL Multiplication Rate Setup Bits

PLLの通倍率を設定します。(デフォルト: 0b0000 = x1)

PLL通倍率 = PLLN[3:0] + 1 (x1~x16)

注: 通倍率は、PLL出力クロック周波数が上限動作周波数を越えないように設定してください。
設定可能な通倍率と出力クロック周波数の範囲については、“電気的特性”を参照してください。

D[3:2] PLLV[1:0]: PLL V-Divider Setup Bits

<出力クロック周波数 × W>によって求められる周波数f_{vco}が100MHzから400MHzの間に収まるようにWの値を設定します。

表III.1.14.9 W値の設定

PLLV1	PLLV0	W
1	1	8
1	0	4
0	1	2
0	0	禁止

(デフォルト: 0b01)

D1 Reserved

D0 PLLPOWER: PLL On/Off Control Bit

PLLをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

PLLPOWERを1に設定後、PLLの出力クロックが安定するまでに最大200μsの時間が必要です。
システムのクロックソースをPLLに切り換える前にこの待ち時間をプログラムで作成してください。

PLLを使用しない場合は消費電流低減のため、Off(パワーダウンモード)に設定してください。

表III.1.14.10 PLL設定例

PLL入力クロック	PLL出力クロック	PLLN[3:0]	PLLV[1:0]	PLLVC[3:0]	PLLRS[3:0]
6MHz	90MHz	x15, 0b1110	0b01	0b0011	0b1010
	66MHz	x11, 0b1010	0b01	0b0010	0b1010
10MHz	80MHz	x8, 0b0111	0b01	0b0010	0b1010
	40MHz	x4, 0b0011	0b10	0b0010	0b1010
20MHz	80MHz	x4, 0b0011	0b01	0b0010	0b1000
	40MHz	x2, 0b0001	0b10	0b0010	0b1000
45MHz	90MHz	x2, 0b0001	0b01	0b0011	0b1000

0x301B10: SSCG Macro Control Register (pCMU_SSCG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SSCG macro control register (pCMU_SSCG)	00301B10 (W)	D31-16	—	reserved	—	—	—	0 when being read.
		D15	SSMCITM3	SSCG macro interval timer (ITM) setting	0 to 0xF	1	R/W	
		D14	SSMCITM2			1		
		D13	SSMCITM1			1		
		D12	SSMCITM0			1		
		D11	SSMCIDT3	SSCG macro maximum frequency change width setting	0 to 0xF	0	R/W	
		D10	SSMCIDT2			0		
		D9	SSMCIDT1			0		
		D8	SSMCIDT0			0		
		D7-1	—	reserved	—	—	—	0 when being read.
Protected		D0	SSMCON	SSCG macro On/Off	1 On 0 Off	0	R/W	

注: PLLがOffの場合、SSCGにクロックが供給されないことによりSSMCIDT[3:0](D[11:8])とSSMCITM[3:0](D[15:12])の初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。

D[31:16] Reserved

D[15:12] SSMCITM[3:0]: SSCG Macro Interval Timer Setting Bits

SSCGのSS変調における周波数変化の周期を設定します。(“III.1.7 SSCGの制御”参照)
0b0001の設定で使用してください。(デフォルト: 0b1111)

D[11:8] SSMCIDT[3:0]: SSCG Macro Maximum Frequency Change Width Setting Bits

SSCGのSS変調における最大周波数変化幅を設定します。(“III.1.7 SSCGの制御”参照)

表III.1.14.11 最大周波数変化幅の設定

PLL出力クロック周波数 [MHz]	SSMCIDT3	SSMCIDT2	SSMCIDT1	SSMCIDT0
$f \leq 19.8$	1	1	1	1
$19.8 < f \leq 21.2$	1	1	1	0
$21.2 < f \leq 22.5$	1	1	0	1
$22.5 < f \leq 24.2$	1	1	0	0
$24.2 < f \leq 25.9$	1	0	1	1
$25.9 < f \leq 28.4$	1	0	1	0
$28.4 < f \leq 30.8$	1	0	0	1
$30.8 < f \leq 34.2$	1	0	0	0
$34.2 < f \leq 37.8$	0	1	1	1
$37.8 < f \leq 43.1$	0	1	1	0
$43.1 < f \leq 48.9$	0	1	0	1
$48.9 < f \leq 58.5$	0	1	0	0
$58.5 < f \leq 69.7$	0	0	1	1
$69.7 < f \leq 90.0$	0	0	1	0
—	0	0	0	1
—	0	0	0	0

(デフォルト: 0b0000)

注: SSMCIDT[3:0]は必ず表III.1.14.11のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。

D[7:1] Reserved

D0 SSMCON: SSCG Macro On/Off Control Bit

SSCGをOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定することによりSSCGが動作を開始します。0に設定するとSSCGは停止し、クロックはSSCGをバイパスします。

0x301B14: Clock Option Register (pCMU_OPT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock option register (pCMU_OPT) Protected	00301B14 (W)	D31-16	—	reserved	—	—	—	0 when being read.
		D15	OSCTM7	OSC oscillation stabilization-wait timer	0 to 255	0	R/W	
		D14	OSCTM6			0		
		D13	OSCTM5			0		
		D12	OSCTM4			0		
		D11	OSCTM3			0		
		D10	OSCTM2			0		
		D9	OSCTM1			0		
		D8	OSCTM0			0		
		D7-4	—	reserved	—	—	—	0 when being read.
		D3	OSC3OFF	OSC3 disable during SLEEP	1 Stop 0 Run	0	R/W	
		D2	TMHSP	Wait-timer high-speed mode	1 High speed 0 Normal	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	WAKEUPWT	Wakeup-wait function enable	1 Wait interrupt 0 No wait	0	R/W	

D[31:16] Reserved

D[15:8] OSCTM[7:0]: OSC Oscillation Stabilization-Wait Timer

SLEEPモードから復帰する際にCPUの実行開始を遅延させる発振安定待ち時間を設定します。TMHSP(D2) = 1の場合、OSCの16クロック単位、TMHSP(D2) = 0の場合、OSCの8192クロック単位で設定可能です。(デフォルト: 0b00 = 待ち時間なし)

表III.1.14.12 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6μs
	:	:	:
	0xFF	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xFF	2M	104.5ms

(時間は20MHzのOSC3で動作している場合の例です。)

SLEEPモード時にOSC3発振を停止させる場合は、必ず電気的特性に記載のOSC3発振開始時間以上の待ち時間となるようにデータを設定してください。

注: 発振安定待ちタイマはSLEEP解除後のクロックで動作しますので、クロックを切り換える目的でslp命令を実行する場合は、OSCTM[7:0]に設定する値に注意してください。

D[7:4] Reserved

D3 OSC3OFF: OSC3 Disable During SLEEP

SLEEPモード時にOSC3発振回路を停止するかどうかを選択します。

1(R/W): 停止

0(R/W): 動作(デフォルト)

クロックソース(OSC)切り換えのためのSLEEP移行時は動作させたまま、パワーダウン目的のSLEEPの場合は停止させてください。

D2 **TMHSP: Stabilization-Wait Timer High-Speed Mode Select Bit**

発振安定待ちタイマ(OSCTM[7:0])のカウントモードを設定します。

1(R/W): 高速モード

0(R/W): 通常モード(デフォルト)

発振安定待ちタイマは、通常モードではOSCの8192クロック単位で0から2Mクロックまで、高速モードではOSCの16クロック単位で0から4080クロックまでカウントします。使用するOSC周波数でOSC3発振開始時間が得られるモードに設定してください。

D1 **Reserved**

D0 **WAKEUPWT: Wakeup-Wait Function Enable Bit**

クロックソース切り換え用のSLEEPモード起床待ち機能を有効にします。

1(R/W): 割り込み待ち

0(R/W): 自動起床(デフォルト)

WAKEUPWTが0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、OSCSEL[1:0](D[3:2]/0x301B08)で設定したソースクロックでCPUが再起動します。この場合でもOSCTM[7:0](D[15:8])による発振安定時間待ちが有効なため、クロック切り換えを最短で行うには、OSCTM[7:0]を0x0に設定してください。

WAKEUPWTが1に設定されている場合は、イニシャルリセット、RTC割り込み、デバッグからの強制ブレーク、外部からのNMIまたはポート入力などの割り込みによってSLEEPモードが解除されます。

0x301B24: Clock Control Protect Register (pCMU_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock control protect register (pCMU_PROTECT)	00301B24 (W)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	CLGP7	Clock control register protect flag	Writing 10010110 (0x96)	0	R/W	
		D6	CLGP6		removes the write protection of the clock control registers (0x301B00–0x301B14). Writing another value set the write protection.	0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

D[31:8] Reserved**D[7:0] CLGP[7:0]: Clock Control Register Protect Flag**

クロック制御レジスタ (0x301B00～0x301B14) の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護解除

0x96以外(R/W): 書き込み保護(デフォルト: 0x0)

クロック制御レジスタを変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではクロック制御レジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

III.1.15 注意事項

■クロック制御に関する注意

- クロック制御レジスタ(0x301B00~0x301B14)は書き込み保護されています。これらのレジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。一度書き込み保護を解除すると、0x96以外に設定し直すまで、クロック制御レジスタには何度でも書き込みます。なお、クロック制御レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。
- クロックソースを変更する場合、その後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。
また、SLEEPが解除された時点の発振安定待ち時間を作るタイマは、切り換わった後のクロックで動作しますので、この時間を指定するOSCTM[7:0](D[15:8]/0x301B14)とTMHSP(D2/0x301B14)の設定に注意してください。
- SOSC3(D1/0x301B08)またはSOSC1(D0/0x301B08)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください(例: S1C33L19ではOSC3が25ms、OSC1が3秒)。
- PLLPOWR(D0/0x301B0C)を1に設定してPLLが動作を開始した直後は、出力クロック安定待ち時間(“電気的特性”参照)が必要です(例: S1C33L19では200μs)。システムのクロックソースをPLLに切り換える際は、PLLをOnにした後にこの待ち時間を取ってください。
- 設定可能なPLL通倍率は上限動作周波数(90MHz)とOSC3発振周波数により変わります。上限動作周波数を越えないように設定してください。
- PLLの設定は、必ずPLLがOff(PLLPOWR(D0/0x301B0C) = 0)、システムのクロックソースがPLL以外(OSCSEL[1:0](D[3:2]/0x301B08) = 0~2)の状態で行ってください。システムがPLLクロックで動作中に設定を変更すると誤動作します。

■リセット入力に関する注意

- #RESET端子を0(Low)にしても、クロックが入力されていないとチップはリセットされません。確実にリセットをかけるためには、少なくともOSC3クロックの3サイクル以上、#RESET = 0を保持してください。なお入出力ポート端子については、クロックが入力されていない場合でもイニシャルリセットで初期化されます。
- 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

■NMI入力に関する注意

NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

■SSCGの制御に関する注意

- SSCGを使用する場合、SSMCITM[3:0](D[15:12]/0x301B10)は0b0001に設定してください。
- SSMCIDT[3:0](D[11:8]/0x301B10)は必ず表III.1.7.2.1のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。
- PLLがOffの場合、SSCGにクロックが供給されないことによりSSMCIDT[3:0](D[11:8]/0x301B10)とSSMCITM[3:0](D[15:12]/0x301B10)の初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。
- SSCGのOn/Offは、以下に示す手順のとおり、SSCGモジュールに安定したクロックが供給されている状態で行ってください。

SSCGのOn手順

1. PLLをOnします。
2. PLL安定時間以上待機します。
3. SSCGをOnします。

SSCGのOff手順

1. SSCGをOffします。
 2. PLLをOffします。
- SS変調はPLL出力クロックに対して行われます。PLLクロック以外にSS変調をかけることはできません。システムクロックにPLLクロックを使用しない場合は、SSCGもOffとしてください。

このページはブランクです。

III.2 割り込みコントローラ (ITC)

S1C33L19には割り込みコントローラが内蔵されており、内蔵周辺回路が発生するすべての割り込みを制御します。ここでは、マスク可能な割り込みの制御方法を中心に、割り込みコントローラの機能を説明します。個別の割り込み要因の詳細と発生条件等については、各周辺回路の説明を参照してください。

III.2.1 割り込み機能概要

III.2.1.1 マスク可能な割り込み

ITCには以下の種類のマスク可能な割り込みが用意されています。表III.2.1.1.1にS1C33L19のトラップテーブルを示します。

表III.2.1.1.1 トラップテーブル

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
0(Base)	リセット	リセット端子へのLow入力	—	1
1	reserved	—	—	—
2(Base+8)	ext例外	ext命令(不正使用)	—	4
3(Base+0C)	未定義命令例外	未定義命令	—	3
4-5	reserved	—	—	—
6(Base+18)	アドレス不整例外	メモリアクセス命令	—	2
0x60000	デバッグ例外	brk命令等	—	5
7(Base+1C)	NMI	#NMI端子へのLow入力 またはウォッチドッグタイマオーバーフロー	—	6
8-10	reserved	—	—	—
11(Base+2C)	不正割り込み例外	ITCからの不正割り込みの発生	—	高い ↑
12(Base+30)	ソフトウェア例外0	int命令	—	
13(Base+34)	ソフトウェア例外1	int命令	—	
14(Base+38)	ソフトウェア例外2	int命令	—	
15(Base+3C)	ソフトウェア例外3	int命令	—	
16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	↓ 低い
17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	
18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	—	
21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	—	
22(Base+58)	高速DMA Ch.0	高速DMA Ch.0転送終了	5	
23(Base+5C)	高速DMA Ch.1	高速DMA Ch.1転送終了	6	
24(Base+60)	高速DMA Ch.2	高速DMA Ch.2転送終了	—	
25(Base+64)	高速DMA Ch.3	高速DMA Ch.3転送終了	—	
26(Base+68)	インテリジェントDMA	インテリジェントDMA転送終了	—	
27-29	reserved	—	—	
30(Base+78)	16ビットタイマ0	タイマ0コンペアB	7	
31(Base+7C)		タイマ0コンペアA	8	
32-33	reserved	—	—	
34(Base+88)	16ビットタイマ1	タイマ1コンペアB	9	
35(Base+8C)		タイマ1コンペアA	10	
36-37	reserved	—	—	
38(Base+98)	16ビットタイマ2	タイマ2コンペアB	11	
39(Base+9C)		タイマ2コンペアA	12	
40-41	reserved	—	—	
42(Base+A8)	16ビットタイマ3	タイマ3コンペアB	13	
43(Base+AC)		タイマ3コンペアA	14	
44-55	reserved	—	—	

III 周辺モジュール1(システム): 割り込みコントローラ (ITC)

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
56(Base+E0)	シリアルインタフェース	受信エラー	—	高い ↑
57(Base+E4)	Ch.0	受信バッファフル	23	
58(Base+E8)		送信バッファエンpty	24	
59	reserved	—	—	
60(Base+F0)	シリアルインタフェース	受信エラー	—	
61(Base+F4)	Ch.1	受信バッファフル	25	
62(Base+F8)		送信バッファエンpty	26	
63(Base+FC)	A/D変換器	上下限範囲外	—	
64(Base+100)		変換完了	27	
65(Base+104)	RTC	1/64秒、1秒、1分、または1時間カウントアップ	—	
66–67	reserved	—	—	
68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	
71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	
72(Base+120)	reserved	—	—	
73(Base+124)	LCDC	フレーム終了	33	
74–75	reserved	—	—	
76(Base+130)	シリアルインタフェース	受信エラー	—	
77(Base+134)	Ch.2	受信バッファフル	34	
78(Base+138)		送信バッファエンpty	35	
79–80	reserved	—	—	
81(Base+144)	SPI	受信DMA要求	36	
82(Base+148)		送信DMA要求	37	
83	reserved	—	—	
84(Base+150)	ポート入力割り込み8	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	38	
	SPI	SPI割り込み(D[1:0]/0x3003C4 = 0x10)		
85(Base+154)	ポート入力割り込み9	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	39	
	USB PDREQ	USB DMA要求(D[3:2]/0x3003C4 = 0x10)		
86(Base+158)	ポート入力割り込み10	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	40	
	USB	USB割り込み(D[5:4]/0x3003C4 = 0x10)		
87(Base+15C)	ポート入力割り込み11	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	41	
88(Base+160)	ポート入力割り込み12	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	42	
89(Base+164)	ポート入力割り込み13	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	43	
90(Base+168)	ポート入力割り込み14	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	44	
91(Base+16C)	ポート入力割り込み15	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	45	
92–93	reserved	—	—	
94(Base+178)	I ² S出力チャンネル割り込み	I ² S出力FIFOエンpty	46	
95–97	reserved	—	—	
98(Base+188)	I ² S入力チャンネル割り込み	I ² S入力FIFOフル	48	
99–107	reserved	—	—	低い ↓

* IDMA Ch.の19～22、32、47～53はシステム予約されています。

■表の内容

“ベクタ番号(アドレス)”はトラップテーブルのベクタ番号で、()内はトラップテーブル先頭アドレス(Base)からのオフセット(バイト数)を示します。トラップテーブル先頭アドレス(Base)はデフォルトでブートアドレスとなりますので、イニシャルリセット時は0xC00000となります。このアドレスは、TTBRレジスタで変更することも可能です。

“例外/割り込み系列(周辺回路)”は、記述された周辺回路ごとに割り込みレベルがプログラムできることを示します。

“例外/割り込み要因”は、各割り込み系列内で発生する割り込み要因の種類を示します。

“IDMA Ch.”に数値を持つ割り込み要因は、要因の発生時にIDMA(インテリジェントDMA)を起動してデータを転送できることを示します。数値はIDMAのチャンネル番号です。数値のない割り込み要因はIDMAを起動することはできません。

“優先順位”は、すべての割り込み系列が同じ割り込みレベルに設定されている場合の優先順位を示します。複数の割り込み要因が同時に発生した場合は、優先順位の高いものから受け付けられます。各割り込み系列に設定する割り込みレベルによって、優先順位は変わります。ただし、同一割り込み系列内の割り込み要因については記述された順序に固定です。

■多重化されている割り込み

以下のベクタ番号には、2つの割り込み要因が割り付けられています。

No. 84: ポート入力割り込み8とSPI割り込み

No. 85: ポート入力割り込み9とUSB PDREQ割り込み

No. 86: ポート入力割り込み10とUSB割り込み

イニシャルリセット時、これらのベクタアドレスはポート入力割り込み用に設定されます。各ポート入力割り込みは、4つのポートから割り込みに使用するポートを選択できるようになっており、その中にSPIまたはUSBが含まれています。したがって、SPIまたはUSB割り込みを使用する場合は、Port Input Interrupt Select Register 3(0x3003C4)により入力ポートではなく使用する割り込みを選択します。また、この選択により、ポート入力割り込み用の割り込み制御レジスタはSPIまたはUSB割り込み制御用に変更されます。Port Input Interrupt Select Register 3(0x3003C4)の詳細については、“III.2.7 制御レジスタ詳細”を参照してください。

■マスク可能な割り込みの発生条件

CPUに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 発生した割り込み要因に対応する割り込みイネーブルレジスタのビットが1にセットされている。
- PSR(CPU内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。(割り込みレベルは各割り込み系列の割り込みプライオリティレジスタで設定可能です。)
- NMIなど、他の優先順位の高いトラップ要因が発生していない。
- 発生した割り込み要因でIDMAが起動するようにプログラムされていない(IDMAリクエストビットが1にセットされていない)。

割り込み要因が発生すると対応する割り込み要因フラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

ただし、割り込み要因でIDMAを起動し、以下のいずれかの条件が成立する場合には割り込み要因フラグがリセットされます。

- IDMAがリンクモードの場合。
- 非リンクモードではIDMA転送回数カウンタが0以外の場合。
- 非リンクモードで転送回数カウンタが0の場合でも、IDMAコントロール情報で割り込みは禁止されている場合。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最もレベルの高い割り込み要因がその時点でのCPUへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

PSRおよび割り込み制御レジスタの詳細は後述します。

各割り込み要因の発生条件については、各周辺回路の説明を参照してください。

■不正割り込み例外(ベクタ番号: 11)について

CPU～ITC間のインタフェース仕様により、割り込み発生信号のラッチと割り込みベクタおよび割り込みレベルのラッチの間にタイムラグがあります。

(1)CPUがITCからの割り込み発生信号をラッチ



(2)CPUがITCからの割り込みベクタおよび割り込みレベルをラッチ



(3)割り込みハンドラを実行

割り込みベクタおよび割り込みレベルのラッチが終了する前(1と2の間)に割り込み発生信号の生成に関わるレジスタ(ITCの割り込みイネーブルや割り込み要因)を操作した場合、不正割り込み例外(ベクタ番号: 11)が発生します。

このため、CPUの割り込みを許可した状態(PSRのIEビット = 1)で、割り込み発生信号に関わるレジスタを操作した場合、非常にまれですが不正割り込み例外が発生することがあります。

不正割り込み例外が発生した場合でも、例外処理ルーチン内で何も行わなければプログラムの動作には影響を与えません。

不正割り込み例外を発生させないためには、割り込み発生信号の生成に関わるレジスタを操作する前にCPUの割り込みを禁止(PSRのIEビット = 0)してください。

III.2.1.2 割り込み要因とインテリジェントDMA

いくつかの割り込み要因はIDMAを起動するように設定できます。IDMAを起動するように設定した割り込み要因が発生した場合は、CPUへの割り込み要求の前にIDMAが起動されます。CPUへの割り込み要求はIDMA終了後に発生します(プログラムにより割り込みを禁止することも可能)。

IDMAの起動はPSRの設定にかかわらず行われます。詳細は“III.2.5 IDMAの起動”を参照してください。

III.2.1.3 NMI(ノンマスカブル割り込み)

#NMI端子の制御または内蔵のウォッチドッグタイマにより、NMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはトラップテーブル先頭アドレス+28(バイト)に設定されています。

この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

ただし、SP(スタックポインタ)設定前に発生すると誤動作するため、イニシャルリセット後はSPに対して書き込みが行われるまでハードウェアによってマスクされるようになっています。

#NMI入力制御については“III.1.3 NMI入力”を参照してください。

III.2.1.4 CPUの割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っています。CPUは割り込み要求を受け付けるとその時点の命令の実行終了後、トラップ処理に移行します。

トラップ処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のPC(プログラムカウンタ)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

III.2.1.5 割り込みによるスタンバイモードの解除

スタンバイモード (HALT、SLEEP) は、NMI または マスク 可能な割り込みによって解除されます。

HALT モードの解除にはすべてのマスク可能な割り込みを使用することができます。

SLEEP モードでは周辺回路へのクロック供給が停止するため、RTC と入出力ポート以外の周辺回路の割り込みは使用できません。

HALT モードを解除可能な割り込み: NMI およびすべてのマスク可能な割り込み

SLEEP モードを解除可能な割り込み: NMI、入出力ポート割り込み、RTC 割り込み

割り込みによって HALT モードが解除されると、CPU はトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPU のトラップ処理では、halt 命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンの reti 命令は、halt 命令の次の命令に分岐します。

なお、HALT モードは、割り込みコントローラ (ITC) から CPU に入る割り込み信号がアクティブになることにより解除されます。つまり、PSR が割り込み禁止の状態に設定されている場合でも、ITC の割り込みイネーブルビットにより許可されている割り込みの割り込み要因フラグがセットされることで、HALT モードを解除することが可能です。ただし、この場合は割り込み処理ルーチンは実行されません。

また、#NMI 信号は、Low レベルになることで HALT モードを解除します。

割り込みによって SLEEP モードが解除されると、CPU はトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPU のトラップ処理では、slp 命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンの reti 命令は、slp 命令の次の命令に分岐します。

SLEEP モード時は割り込みコントローラ (ITC) へのクロック供給が停止しているため、ITC の割り込み要因フラグはセットされません。このため、ITC へのクロック供給が停止している場合は、ITC で割り込みが許可されている割り込み発生源からの割り込み信号が ITC をそのまま通過して CMU に渡され、スタンバイモードの解除に使用されます。この場合、ITC の割り込み要因フラグは、SLEEP 解除後にクロックの供給が開始されてからセットされます。

PSR が割り込み禁止の状態に設定されている場合でも、上記の割り込み要因で SLEEP モードを解除することはできますが、割り込み処理ルーチンは実行されません。

#NMI 信号は、Low レベルになることで SLEEP モードを解除します。

注: • SLEEP モードでは、起床要因の割り込み信号入力から ITC へのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ (ITC) による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになると ITC の割り込み要因フラグがセットされず割り込みが発生しない場合があります。

さらに、ITC から CPU に割り込み要求が伝わるまでも時間差があるため、CPU は割り込み処理を開始する前に、slp 命令に続く数命令を実行してしまう場合があります。

NMI による起床時も同様で、クロック供給開始前に #NMI 信号がインアクティブになると NMI フラグがセットされず、割り込み処理が発生しない場合があります。

- スタンバイモードからの再起動用の割り込み要因が IDMA を起動するように設定されている場合、その割り込みにより IDMA が起動します。

IDMA 側の設定で IDMA 終了後の割り込みが禁止されていると、CPU への割り込み要求信号が発生しないため、CPU は動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

III.2.2 トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。

イニシャルリセット後、TTBRレジスタは0xC00000番地に設定されます。

TTBRレジスタのビット9～0は0に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

III.2.3 ITC動作クロック

ITCはCMUで生成したITC動作クロック(ITC_CLK = MCLK)を入力して動作します。
MCLKの設定やクロックの制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■ITC動作クロックの供給制御

ITC動作クロックはデフォルト設定でITCに供給されるようになっています。
このクロックをOffにすると、割り込み要因フラグレジスタ、IDMA関連レジスタ以外のITCレジスタ(割り込みプライオリティとイネーブルレジスタ、HSDMAトリガ設定レジスタ)への書き込みができなくなります。このクロックをOffにしても、周辺回路からの割り込み要求信号により割り込み要因フラグはセット可能なため、その割り込みが許可されていれば、CPUへの割り込みも発生します。割り込み要因フラグのクリアも可能です。また、HSDMAを起動することもできます。IDMAは起動できません。ただし、IDMAイネーブルビットが1(IDMA要求許可)に設定されている場合、割り込みによりIDMAリクエストビットがセットされてしまいます(セットされても起動しません)。このクロック供給はITC_CKE(D2/0x301B04)によって制御することができます。

* ITC_CKE: ITC Clock Control Bit in the Gated Clock Control Register 1 (D2/0x301B04)

■スタンバイモード時のクロック状態

スタンバイモードの種類により、ITC動作クロックの供給は停止します。
HALTモード: クロックは通常モードと同様に供給されます。
SLEEPモード: クロックの供給が停止します。
したがって、SLEEPモード時はITCも動作を停止します。

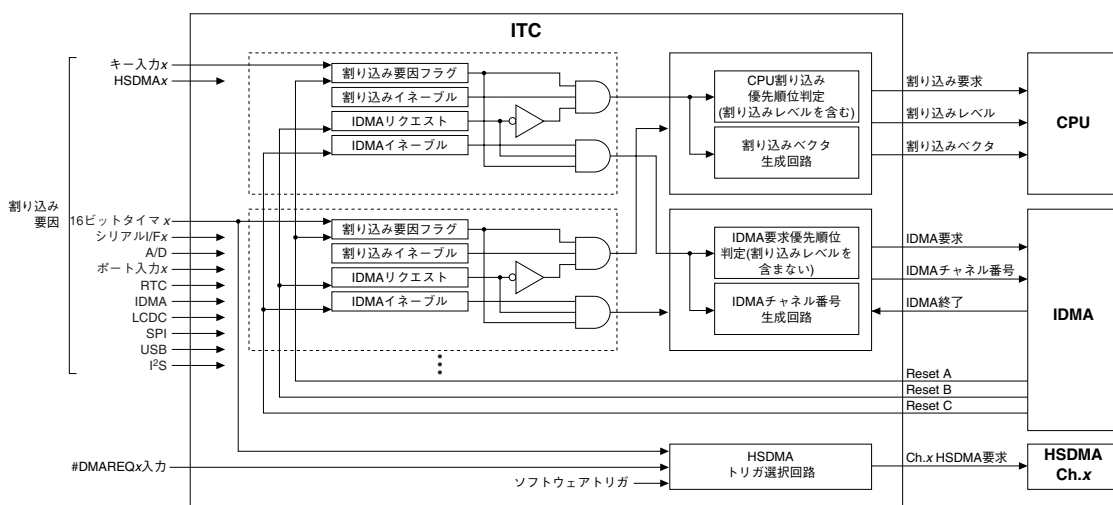
III

ITC

III.2.4 マスク可能な割り込みの制御

III.2.4.1 割り込みコントローラの構成

割り込みコントローラは図III.2.4.1.1のように構成されています。



図III.2.4.1.1 割り込みコントローラの構成

以下、割り込みの制御に使用するレジスタの機能について説明します。

III.2.4.2 PSR (プロセッサステータスレジスタ)

PSRはコアCPU内の特殊レジスタで、CPUに対する割り込み要求を許可/禁止する制御ビットを含んでいます。

■IE (割り込みイネーブル) ビット ...PSR[4]

このビットにより、CPUへの割り込み要求を許可あるいは禁止します。IEビットを1にセットすると、CPUはマスク可能な割り込み要求を受け付け可能な状態になります。0にリセットすると、マスク可能な割り込み要求はCPUに受け付けられません。

CPUは割り込み要求を受け付けると(あるいは他のトラップが発生すると)、PSRをスタックに退避後にIEビットを0にリセットします。したがって、以降はIEビットをプログラムで1にセットするか、割り込み(トラップ)処理ルーチンをret命令で終了するまで、マスク可能な割り込みは受け付けられません。IEビットはイニシャルリセットにより0(割り込み禁止)に初期化されます。

■IL (割り込みレベル) ...PSR[11:8]

ILはその中に設定された割り込みレベル以下の割り込みを禁止します。たとえば、ILに3が設定されていると、割り込みプライオリティレジスタ(後述)が3以下に設定されている割り込みは、IEビットが1にセットされている場合でもCPUには受け付けられません。ILと割り込みプライオリティレジスタの設定により割り込みの優先順位を、割り込み系列ごとに制御することができます。割り込みレベルの詳細については、「III.2.4.4 割り込みプライオリティレジスタと割り込みレベル」を参照してください。CPUはマスク可能な割り込み要求を受け付けると、PSRをスタックに退避後にILをその割り込みのレベルに設定します。したがって、割り込み処理ルーチンの中でIEビットを1にセットしても、ILを書き換えないうちに現在処理中の割り込みと同じレベルまたはそれ以下のレベルの割り込みは禁止されます。割り込み処理ルーチンをret命令で終了すると、ILは割り込み発生前の状態に戻ります。

マスク可能な割り込み以外のトラップ(リセットを除く)では、ILは書き換えられません。

ILはイニシャルリセットによりレベル0(レベル1以上の割り込みを許可)に設定されます。

注: C33 PEコアの機能としては、ILによって割り込みレベルを0~15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

III.2.4.3 割り込み要因フラグと割り込みイネーブルレジスタ

各マスク可能な割り込み要因には、割り込み要因フラグと割り込みイネーブルレジスタが用意されています。

■割り込み要因フラグ

割り込み要因フラグは、対応する割り込み要因が発生すると1にセットされます。CPUのトラップ処理によらず、このフラグを読み出すことによっても割り込み要因の発生を知ることができます。

割り込み要因フラグは、ソフトウェアによるデータ書き込みによってリセットされます。

なお、割り込み要因フラグのリセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はRSTONLY(D0/0x30029F)で行います。

* RSTONLY: Cause-of-Interrupt Flag Reset Method Select Bit in the Flag Set/Reset Method Select Register (D0/0x30029F)

●リセットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(RSTONLY(D0/0x30029F) = 1)に設定されます。

リセットオンリー方式の場合、割り込み要因フラグは1を書き込むことでリセットされます。

割り込み要因フラグレジスタの同一アドレス内には複数の割り込み要因フラグが割り付けられていますが、0を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。

ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、1にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。

この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

●リード/ライト方式

この方式はRSTONLY(D0/0x30029F)に0を書き込むことにより設定されます。

リード/ライト方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。この場合、0を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、割り込み要因フラグは初期化されないため、割り込みを許可する前に必ずリセットしてください。

注: マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにreti命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

■割り込みイネーブルレジスタ

割り込みイネーブルレジスタは、CPUに対する割り込み要求の出力を制御します。割り込みイネーブルレジスタのビットを1に設定した場合にのみ、対応する割り込み要因の発生によりCPUに対する割り込み要求が可能となります。0に設定されている場合は、対応する割り込み要因が発生してもCPUへの割り込み要求は行われません。

割り込みイネーブルビットは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。また、読み出すことで、いつでも設定状態が確認できます。

なお、この設定は割り込み要因フラグの動作には影響を与えませんので、割り込みイネーブルレジスタのビットが0の場合でも割り込み要因フラグは割り込み要因の発生によって1にセットされます。イニシャルリセット時、割り込みイネーブルレジスタは0(割り込み禁止)に設定されます。

割り込み要因の発生によりIDMAを起動する場合、あるいはスタンバイモード(HALT、SLEEP)を解除する場合も、対応する割り込みイネーブルレジスタのビットを1に設定しておく必要があります。

III 周辺モジュール1(システム): 割り込みコントローラ(ITC)

割り込みコントローラは、以下の条件が成立すると、CPUに対して割り込み要求を出力します。

- 割り込み要因の発生により割り込み要因フラグが1にセットされた
- 発生した割り込み要因に対応した割り込みイネーブルレジスタのビットが1(割り込み許可)に設定されている
- 発生した割り込み要因に対応したIDMAリクエストレジスタのビットが0(割り込み要求)に設定されている

同時に複数の割り込みが発生した場合は、その中で最も優先順位の高い割り込み要因を割り込み要求の対象とします(次節参照)。

条件が成立すると、割り込みコントローラはCPUに対して割り込み要求信号、発生した割り込みの系列に対応した割り込みプライオリティレジスタの設定内容(割り込みレベル)、およびそのベクタ番号を出力します。

これらの信号は、割り込み要因フラグが0にリセットされるか、割り込みイネーブルレジスタのビットが0(割り込み禁止)に設定されるまで、あるいは他の優先順位の高い割り込み要因が発生するまで保持されます。CPUが割り込み要求を受け付けても解除されません。

III.2.4.4 割り込みプライオリティレジスタと割り込みレベル

割り込みプライオリティレジスタは、割り込み系列ごとに用意された3ビットのレジスタで、対応する割り込み系列の割り込みレベルを0~7に設定できます。この設定により、表III.2.1.1.1に示したデフォルトの優先順位をシステムに合わせて変更することができます。割り込みプライオリティレジスタに設定された値は、割り込みコントローラとCPUでそれぞれ以下のように利用されます。

■割り込みコントローラにおける割り込みプライオリティレジスタの役割

割り込みイネーブルレジスタによって割り込みが許可されている複数の割り込み要因が同時に発生した場合、割り込みコントローラはその中で最も大きな数値が書き込まれた割り込みプライオリティレジスタを持つ割り込み系列内の割り込み要因を割り込み要求の対象とします。

同一レベルの複数の割り込み系列に割り込み要因が発生した場合は、表III.2.1.1.1に示したデフォルトの優先順位に従います。同じ割り込み系列内の割り込み要因も表III.2.1.1.1の順序で処理されます。それ以外に発生している割り込み要因は、それよりも優先順位の高い割り込みがCPUに受け付けられるまで保留されます。

割り込みコントローラは、CPUへの割り込み要求信号を出力する際、割り込みプライオリティレジスタの内容もCPUに対して出力します。

割り込みコントローラは、割り込み要求を出力中にそれよりも優先順位の高い割り込み要因が発生すると、ベクタ番号と割り込みレベルの出力を新たな割り込み要因に対応させて変更します。それまでの割り込み要求については保留されます。

■CPUの処理における割り込みプライオリティレジスタの役割

CPUは割り込みコントローラから出力された割り込みプライオリティレジスタの内容と、PSR内のILに設定された割り込みレベルを比較して、その割り込み要求を受け付けるかどうかを決定します。

IEビット=1 & IL < 割り込みプライオリティレジスタ: 割り込み要求を受け付ける

IEビット=1 & IL ≥ 割り込みプライオリティレジスタ: 割り込み要求を受け付けない

割り込みレベルによって割り込みを制御するには、ILに割り込みを禁止するレベルを書き込んでください。たとえば、ILに3を書き込むと、割り込みプライオリティレジスタに4以上の値が書き込まれた割り込みのみを受け付けます。

割り込みを受け付けると、その割り込みプライオリティレジスタに設定された割り込みレベルをILに設定します。それ以降、そのレベル以下の割り込み要求は受け付け禁止状態となります。

割り込みプライオリティレジスタに0を設定した場合、その割り込みは禁止されます。ただし、割り込み要因によってIDMAを起動することはできます。

注: • C33 PEコアの機能としては、ILによって割り込みレベルを0~15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

- 割り込み処理ルーチン内でILの割り込みレベルの書き換えにより、多重割り込みにも対応可能です。ただし、割り込み発生後、割り込み要因フラグをリセットする前にILの割り込みレベルを現在のレベルよりも低く設定し、IEをセットして割り込みを許可すると、再度同一の割り込みが発生してしまいますので注意してください。

III.2.5 IDMAの起動

表III.2.1.1.1の中でIDMAチャンネル番号が記述された割り込み要因には、インテリジェントDMA(IDMA)を起動する機能があります。

■IDMAリクエストレジスタ

IDMAリクエストレジスタは、IDMAを起動する割り込み要因を指定するのに使用します。IDMAリクエストレジスタのビットを1に設定すると、対応する割り込み要因の発生によりIDMAの起動要求が発生します。0に設定されている場合は、対応する割り込み要因が発生してもIDMA起動要求は発生せず、通常の割り込み処理が行われます。イニシャルリセット時、IDMAリクエストレジスタは0に設定されます。

なお、IDMAリクエストレジスタのセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はIDMAONLY(D1/0x30029F)で行います。

* **IDMAONLY:** IDMA Request Register Set Method Select Bit in the Flag Set/Reset Method Select Register (D1/0x30029F)

• セットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(IDMAONLY(D1/0x30029F) = 1)に設定されます。

セットオンリー方式の場合、IDMAリクエストビットは1を書き込むことでセットされます。

IDMAリクエストレジスタ内には複数のIDMAリクエストビットが割り付けられていますが、0を書き込んだビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。

リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、1にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

• リード/ライト方式

この方式はIDMAONLY(D1/0x30029F)に0を書き込むことにより設定されます。

リード/ライト方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。この場合、0を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

■IDMAイネーブルレジスタ

割り込み要因によってIDMAを起動するには、要因に対応するIDMAイネーブルレジスタのビットに1を書き込んでおく必要があります。IDMAイネーブルビットが0に設定されている場合、その割り込み要因によってIDMAは起動しません。イニシャルリセット時、IDMAイネーブルレジスタは0に設定されます。

なお、IDMAリクエストレジスタと同様に、IDMAイネーブルレジスタもセット方式(セットオンリー方式、リード/ライト方式)をソフトウェアで選択できるようになっています。選択はDENONLY(D2/0x30029F)で行います。セット方式についてはIDMAリクエストレジスタの説明を参照してください。

* **DENONLY:** IDMA Enable Register Set Method Select Bit in the Flag Set/Reset Method Select Register (D2/0x30029F)

■IDMAの起動

割り込み要因発生時にIDMAを起動するには、要因に対応するIDMAリクエストレジスタとIDMAイネーブルレジスタのビットに1を書き込んでおきます。次に、非リンクIDMAを起動する割り込み要因が発生したときは、対応する非リンクIDMAチャンネルが起動した後で割り込み要求がCPUに出されます。割り込み要因がリンクIDMAチェーンを起動したときは、割り込み要求はCPUに出されません。DMA転送は、IDMAチャンネルのコントロール情報にしたがって実行されます。ITCの割り込みプライオリティレジスタに設定された割り込みレベルは、IDMAの起動に影響を及ぼしません。CPUの割り込みレベルが割り込みプライオリティレジスタの設定値より高い場合でも、IDMA要求を受け入れることができます。ただし、非リンクモードIDMA転送が完了した後でCPUへの割り込み要求を生成するときは、割り込みプライオリティレジスタに設定された割り込みレベルを使って割り込みが制御されます。IDMA起動要求は、割り込みイネーブルレジスタとCPUのPSRが割り込みを禁止するよう

III 周辺モジュール1(システム): 割り込みコントローラ (ITC)

に設定されたときでも受け入れられます。また、IDMAチャネルのコントロール情報が既に設定されていない必要があります。

割り込みイネーブルレジスタおよびCPUのPSRが割り込み禁止状態に設定されていても、IDMA起動要求は受け付けられます。また、IDMA側で転送のためのコントロール情報を設定し、DMAを許可しておくことも必要です。

■IDMA終了後の割り込み

以下の説明は、非リンクIDMA転送に関するものです。リンクDMA転送については、“II.2インテリジェントDMA (IDMA)”を参照してください。”

• IDMA終了後に割り込みを発生させる場合

DMA転送終了時に、保留されていた割り込み要求を発生させることもできます。

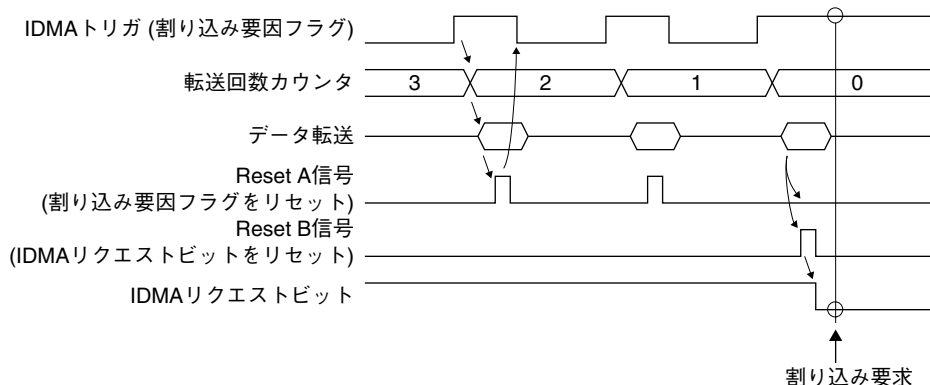
これには、割り込みコントローラおよびCPUのPSRで、その割り込み要求を受け付け可能な状態に設定しておくとともに、IDMAのコントロール情報で割り込みを許可(DINTEN = 1)しておきます。

ただし、IDMAチャネルに設定された転送回数カウンタがその回の転送で0にならなかった場合は、割り込み要因フラグがリセットされ、割り込み要求は発生しません。転送回数カウンタは、1回の転送ごとにデクリメントされるようになっています。

DINTENが1に設定されている状態で転送回数カウンタが0になった場合は、割り込み要因フラグがリセットされず、IDMAリクエストレジスタのビットは0にクリアされます。このとき、割り込み条件が成立していれば割り込み要求を発生します。

次回の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後に行ってください。

図III.2.5.1にDINTENが1に設定されている場合のハードウェアによる割り込み制御を示します。



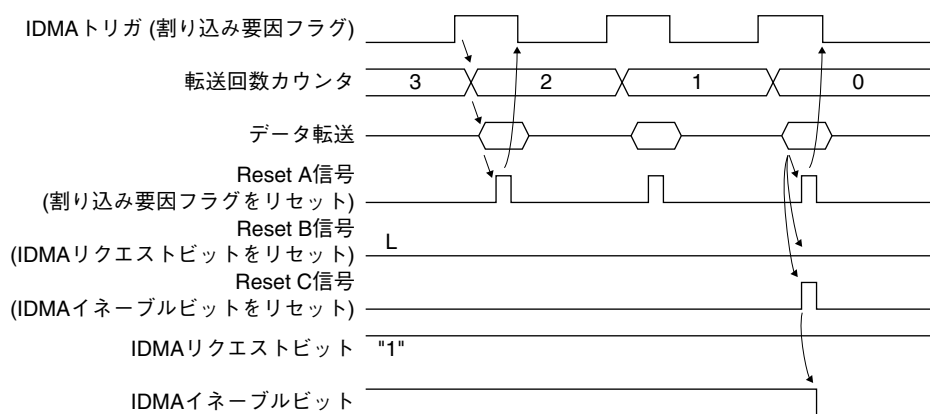
図III.2.5.1 DINTEN=1の場合の制御

• IDMA終了後の割り込みを禁止する場合

IDMAのコントロール情報で割り込みを禁止(DINTEN = 0)しておくと、転送回数カウンタが0になった場合でも割り込み要因フラグがリセットされ、割り込み要求は発生しません。

この場合、IDMAリクエストビットはクリアされずに1を保持したままとなります。ただし、IDMAイネーブルビットはクリアされ、同割り込み要因による以降のIDMA要求は禁止されます。

図III.2.5.2にDINTENが0に設定されている場合のハードウェアの制御を示します。



図III.2.5.2 DINTEN=0の場合の制御

IDMAの詳細については、“II.2 インテリジェントDMA (IDMA)”を参照してください。

III.2.6 HSDMAの起動

いくつかの割り込み要因は高速DMA (HSDMA)を起動することもできます。

■HSDMAトリガ設定レジスタ

DMAブロックは4チャンネルのHSDMA回路を内蔵しています。各チャンネルは個別に、割り込み要因を含むトリガ要因をソフトウェアで選択できるようになっています。この選択には、HSDxS[3:0] (0x300298～0x300299)を使用します。

- * **HSD0S[3:0]**: Ch.0 Trigger Set-up Bits in the HSDMA Ch.0–1 Trigger Set-up Register (D[3:0]/0x300298)
- * **HSD1S[3:0]**: Ch.1 Trigger Set-up Bits in the HSDMA Ch.0–1 Trigger Set-up Register (D[7:4]/0x300298)
- * **HSD2S[3:0]**: Ch.2 Trigger Set-up Bits in the HSDMA Ch.2–3 Trigger Set-up Register (D[3:0]/0x300299)
- * **HSD3S[3:0]**: Ch.3 Trigger Set-up Bits in the HSDMA Ch.2–3 Trigger Set-up Register (D[7:4]/0x300299)

表III.2.6.1にレジスタの設定値とトリガ要因の対応を示します。

表III.2.6.1 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	#DMAREQ0入力 (立ち下がりエッジ)	#DMAREQ1入力 (立ち下がりエッジ)	#DMAREQ2入力 (立ち下がりエッジ)	#DMAREQ3入力 (立ち下がりエッジ)
0010	#DMAREQ0入力 (立ち上がりエッジ)	#DMAREQ1入力 (立ち上がりエッジ)	#DMAREQ2入力 (立ち上がりエッジ)	#DMAREQ3入力 (立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	(reserved)	(reserved)	(reserved)	(reserved)
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	(reserved)	(reserved)	I ² S入力チャンネルHSDMA(左)	I ² S入力チャンネルHSDMA(右)
1001	I ² S出力チャンネルHSDMA(左)	I ² S出力チャンネルHSDMA(右)	SPI送信DMA要求	SPI受信DMA要求
1010	シリアル/F Ch.0 Rxバッファフル	シリアル/F Ch.1 Rxバッファフル	シリアル/F Ch.2 Rxバッファフル	(reserved)
1011	シリアル/F Ch.0 Txバッファエンブティ	シリアル/F Ch.1 Txバッファエンブティ	シリアル/F Ch.2 Txバッファエンブティ	(reserved)
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	ポート8入力(SPI割り込み)	ポート9入力(USB PDREQ)	ポート10入力(USB割り込み)	ポート11入力
1110	ポート12入力	ポート13入力	ポート14入力	ポート15入力

■HSDMAの起動

HSDMAトリガ設定レジスタで割り込み要因を選択すると、その割り込み要因の発生によって指定のHSDMAチャンネルが起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

HSDMAを起動した割り込み要因によるCPUへの割り込み要求は、HSDMA要求から2クロック(MCLK)後に出力されます。したがって、CPUがキャッシュで動作している場合などは、DMA転送とCPUによるHSDMAを起動した割り込みの処理が並行して行われます。ただし、HSDMAによりバスが使用されるため、割り込み処理ルーチンから周辺回路をアクセスする場合、その実行はDMA転送の終了まで待たされます。

なお、割り込み要因によってHSDMAを起動させるには、HSDMAの制御レジスタで転送条件の設定を行い、DMA転送を許可しておく必要があります。

詳細については“II.1 高速DMA (HSDMA)”を参照してください。

III.2.7 制御レジスタ詳細

表III.2.7.1 ITC制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300260	Port Input 0~1 Interrupt Priority Register (pINT_PP01L)	8	ポート入力0~1割り込みの優先レベルを設定
0x00300261	Port Input 2~3 Interrupt Priority Register (pINT_PP23L)	8	ポート入力2~3割り込みの優先レベルを設定
0x00300262	Key Input Interrupt Priority Register (pINT_PK01L)	8	キー入力割り込みの優先レベルを設定
0x00300263	HSDMA Ch.0~1 Interrupt Priority Register (pINT_PHSD01L)	8	HSDMA Ch.0~1割り込みの優先レベルを設定
0x00300264	HSDMA Ch.2~3 Interrupt Priority Register (pINT_PHSD23L)	8	HSDMA Ch.2~3割り込みの優先レベルを設定
0x00300265	IDMA Interrupt Priority Register (pINT_PDM)	8	IDMA割り込みの優先レベルを設定
0x00300266	16-bit Timer 0~1 Interrupt Priority Register (pINT_P16T01)	8	16ビットタイマ0~1割り込みの優先レベルを設定
0x00300267	16-bit Timer 2~3 Interrupt Priority Register (pINT_P16T23)	8	16ビットタイマ2~3割り込みの優先レベルを設定
0x00300269	LCDC, Serial I/F Ch.0 Interrupt Priority Register (pINT_PLCDC_PSI0)	8	LCDC、シリアルI/F Ch.0割り込みの優先レベルを設定
0x0030026A	Serial I/F Ch.1, A/D Interrupt Priority Register (pINT_PSI01_PAD)	8	シリアルI/F Ch.1、A/D変換器割り込みの優先レベルを設定
0x0030026B	RTC Interrupt Priority Register (pINT_PRTC)	8	RTC割り込みの優先レベルを設定
0x0030026C	Port Input 4~5 Interrupt Priority Register (pINT_PP45L)	8	ポート入力4~5割り込みの優先レベルを設定
0x0030026D	Port Input 6~7 Interrupt Priority Register (pINT_PP67L)	8	ポート入力6~7割り込みの優先レベルを設定
0x0030026E	Serial I/F Ch.2, SPI Interrupt Priority Register (pINT_PSI02_PSPI)	8	シリアルI/F Ch.2、SPI割り込みの優先レベルを設定
0x00300270	Key Input, Port Input 0~3 Interrupt Enable Register (pINT_EK01_EP03)	8	キー入力、ポート入力0~3割り込みの許可/禁止
0x00300271	DMA Interrupt Enable Register (pINT_EDMA)	8	DMA割り込みの許可/禁止
0x00300272	16-bit Timer 0~1 Interrupt Enable Register (pINT_E16T01)	8	16ビットタイマ0~1割り込みの許可/禁止
0x00300273	16-bit Timer 2~3 Interrupt Enable Register (pINT_E16T23)	8	16ビットタイマ2~3割り込みの許可/禁止
0x00300276	Serial I/F Ch.0~1 Interrupt Enable Register (pINT_ESIF01)	8	シリアルI/F Ch.0~1割り込みの許可/禁止
0x00300277	Port Input 4~7, RTC, A/D Interrupt Enable Register (pINT_EP47_ERTC_EAD)	8	ポート入力4~7、RTC、A/D変換器割り込みの許可/禁止
0x00300278	LCDC Interrupt Enable Register (pINT_ELCDC)	8	LCDC割り込みの許可/禁止
0x00300279	Serial I/F Ch.2, SPI Interrupt Enable Register (pINT_ESIF2_ESPI)	8	シリアルI/F Ch.2、SPI割り込みの許可/禁止
0x00300280	Key Input, Port Input 0~3 Interrupt Cause Flag Register (pINT_FK01_FP03)	8	キー入力、ポート入力0~3割り込み要因の発生状態の表示とリセット
0x00300281	DMA Interrupt Cause Flag Register (pINT_FDMA)	8	DMA割り込み要因の発生状態の表示とリセット
0x00300282	16-bit Timer 0~1 Interrupt Cause Flag Register (pINT_F16T01)	8	16ビットタイマ0~1割り込み要因の発生状態の表示とリセット
0x00300283	16-bit Timer 2~3 Interrupt Cause Flag Register (pINT_F16T23)	8	16ビットタイマ2~3割り込み要因の発生状態の表示とリセット
0x00300286	Serial I/F Ch.0~1 Interrupt Cause Flag Register (pINT_FSIF01)	8	シリアルI/F Ch.0~1割り込み要因の発生状態の表示とリセット
0x00300287	Port Input 4~7, RTC, A/D Interrupt Cause Flag Register (pINT_FP47_FRTC_FAD)	8	ポート入力4~7、RTC、A/D変換器割り込み要因の発生状態の表示とリセット
0x00300288	LCDC Interrupt Cause Flag Register (pINT_FLCDC)	8	LCDC割り込み要因の発生状態の表示とリセット
0x00300289	Serial I/F Ch.2, SPI Interrupt Cause Flag Register (pINT_FSIF2_FSPI)	8	シリアルI/F Ch.2、SPI割り込み要因の発生状態の表示とリセット
0x00300290	Port Input 0~3, HSDMA Ch.0~1, 16-bit Timer 0 IDMA Request Register (pIDMAREQ_RP03_RHS_R16T0)	8	ポート入力0~3、HSDMA Ch.0~1、16ビットタイマ0割り込みによるIDMAの起動を制御
0x00300291	16-bit Timer 1~3 IDMA Request Register (pIDMAREQ_R16T13)	8	16ビットタイマ1~3割り込みによるIDMAの起動を制御
0x00300292	Serial I/F Ch.0 IDMA Request Register (pIDMAREQ_RSIF0)	8	シリアルI/F Ch.0割り込みによるIDMAの起動を制御
0x00300293	Serial I/F Ch.1, A/D, Port Input 4~7 IDMA Request Register (pIDMAREQ_RSIF1_RAD_RP47)	8	シリアルI/F Ch.1、A/D変換器、ポート入力4~7割り込みによるIDMAの起動を制御

III 周辺モジュール1(システム): 割り込みコントローラ (ITC)

アドレス	レジスタ名	サイズ	機 能
0x00300294	Port Input 0~3, HSDMA Ch.0~1, 16-bit Timer 0 IDMA Enable Register (pIDMAEN_DEP03_DEHS_DE16T0)	8	ポート入力0~3、HSDMA Ch.0~1、16ビットタイマ0によるIDMA転送の許可/禁止
0x00300295	16-bit Timer 1~3 IDMA Enable Register (pIDMAEN_DE16T13)	8	16ビットタイマ1~3によるIDMA転送の許可/禁止
0x00300296	Serial I/F Ch.0 IDMA Enable Register (pIDMAEN_DESIF0)	8	シリアルI/F Ch.0によるIDMA転送の許可/禁止
0x00300297	Serial I/F Ch.1, A/D, Port Input 4~7 IDMA Enable Register (pIDMAEN_DESIF1_DEAD_DEP47)	8	シリアルI/F Ch.1、A/D変換器、ポート入力4~7によるIDMA転送の許可/禁止
0x00300298	HSDMA Ch.0~1 Trigger Set-up Register (pHSDMA_HTGR1)	8	HSDMA Ch.0~1のトリガ要因を選択
0x00300299	HSDMA DMA Ch.2~3 Trigger Set-up Register (pHSDMA_HTGR2)	8	HSDMA Ch.2~3のトリガ要因を選択
0x0030029A	HSDMA Software Trigger Register (pHSDMA_HSOFTTGR)	8	HSDMA転送を開始
0x0030029B	LCDC, Serial I/F Ch.2, SPI IDMA Request Register (pIDMAREQ_RLCDC_RSIF2_RSPI)	8	LCDC、シリアルI/F Ch.2、SPI割り込みによるIDMAの起動を制御
0x0030029C	LCDC, Serial I/F Ch.2, SPI IDMA Enable Register (pIDMAEN_DELCDC_DESIF2_DESPI)	8	LCDC、シリアルI/F Ch.2、SPIによるIDMA転送の許可/禁止
0x0030029F	Flag Set/Reset Method Select Register (pRST_RESET)	8	フラグのセット/リセット方式を選択
0x003002A0	Port Input 8~9 Interrupt Priority Register (pINT_PP89L)	8	ポート入力8~9割り込みの優先レベルを設定
0x003002A1	Port Input 10~11 Interrupt Priority Register (pINT_PP1011L)	8	ポート入力10~11割り込みの優先レベルを設定
0x003002A2	Port Input 12~13 Interrupt Priority Register (pINT_PP1213L)	8	ポート入力12~13割り込みの優先レベルを設定
0x003002A3	Port Input 14~15 Interrupt Priority Register (pINT_PP1415L)	8	ポート入力14~15割り込みの優先レベルを設定
0x003002A4	I ² S Interrupt Priority Register (pINT_PI2S)	8	I ² S割り込みの優先レベルを設定
0x003002A6	Port Input 8~15 Interrupt Enable Register (pINT_EP815)	8	ポート入力8~15割り込みの許可/禁止
0x003002A7	I ² S Interrupt Enable Register (pINT_EI2S)	8	I ² S割り込みの許可/禁止
0x003002A9	Port Input 8~15 Interrupt Cause Flag Register (pINT_FP815)	8	ポート入力8~15割り込み要因の発生状態の表示とリセット
0x003002AA	I ² S Interrupt Cause Flag Register (pINT_FI2S)	8	I ² S割り込み要因の発生状態の表示とリセット
0x003002AC	Port Input 8~15 IDMA Request Register (pIDMAREQ_RP815)	8	ポート入力8~15割り込みによるIDMAの起動を制御
0x003002AD	I ² S IDMA Request Register (pIDMAREQ_RI2S)	8	I ² S割り込みによるIDMAの起動を制御
0x003002AE	Port Input 8~15 IDMA Enable Register (pIDMAEN_DEP815)	8	ポート入力8~15によるIDMA転送の許可/禁止
0x003002AF	I ² S IDMA Enable Register (pIDMAEN_DEI2S)	8	I ² SによるIDMA転送の許可/禁止
0x003003C4	Port Input Interrupt Select Register 3 (pPINTSEL_SPT811)	8	FPT8~FPT11ポート入力割り込みに使用するポートを選択(GPIOレジスタ)

以下にITCの制御レジスタを個々に説明します。

ITCの制御レジスタは0x300260~0x3002AFの8ビットデバイスエリアに割り付けられており、バイトアクセスが可能です。

注: • ITC制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ポート入力8~11割り込みの制御レジスタは、Port Input Interrupt Select Register 3(0x3003C4)の設定によってSPI、USB割り込みの制御用に機能が変更されます。
- 0x300275番地は予約レジスタです。このアドレスのD[3:0]には絶対に1を書き込まないでください。

0x300260: Port Input 0–1 Interrupt Priority Register (pINT_PP01L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 0–1 interrupt priority register (pINT_PP01L)	00300260 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP1L2	Port input 1 interrupt level	0 to 7	X	R/W	
		D5	PP1L1			X		
		D4	PP1L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP0L2	Port input 0 interrupt level	0 to 7	X	R/W	
		D1	PP0L1			X		
		D0	PP0L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PP1L[2:0]: Port Input 1 Interrupt Level Bits**

ポート入力1割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PP0L[2:0]: Port Input 0 Interrupt Level Bits**

ポート入力0割り込みの優先レベルを設定します。

III

ITC

0x300261: Port Input 2–3 Interrupt Priority Register (pINT_PP23L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 2–3 interrupt priority register (pINT_PP23L)	00300261 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP3L2	Port input 3 interrupt level	0 to 7	X	R/W	
		D5	PP3L1			X		
		D4	PP3L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP2L2	Port input 2 interrupt level	0 to 7	X	R/W	
		D1	PP2L1			X		
		D0	PP2L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)
割り込みレベルは0～7の範囲で設定することができます。
割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PP3L[2:0]: Port Input 3 Interrupt Level Bits
ポート入力3割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PP2L[2:0]: Port Input 2 Interrupt Level Bits
ポート入力2割り込みの優先レベルを設定します。

0x300262: Key Input Interrupt Priority Register (pINT_PK01L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Key input interrupt priority register (pINT_PK01L)	00300262 (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	PK1L2	Key input 1 interrupt level	0 to 7	X	R/W	
		D5	PK1L1			X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	0 when being read.
		D2	PK0L2	Key input 0 interrupt level	0 to 7	X	R/W	
		D1	PK0L1			X		
		D0	PK0L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PK1L[2:0]: Key Input 1 Interrupt Level Bits

キー入力1割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PK0L[2:0]: Key Input 0 Interrupt Level Bits

キー入力0割り込みの優先レベルを設定します。

III

ITC

0x300263: HSDMA Ch.0–1 Interrupt Priority Register (pINT_PHSD01L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.0–1 interrupt priority register (pINT_PHSD01L)	00300263 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PHSD1L2	HSDMA Ch.1 interrupt level	0 to 7	X	R/W	
		D5	PHSD1L1			X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PHSD0L2	HSDMA Ch.0 interrupt level	0 to 7	X	R/W	
		D1	PHSD0L1			X		
		D0	PHSD0L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PHSD1L[2:0]: HSDMA Ch.1 Interrupt Level Bits
HSDMA Ch.1割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PHSD0L[2:0]: HSDMA Ch.0 Interrupt Level Bits
HSDMA Ch.0割り込みの優先レベルを設定します。

0x300264: HSDMA Ch.2–3 Interrupt Priority Register (pINT_PHSD23L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.2–3 interrupt priority register (pINT_PHSD23L)	00300264 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PHSD3L2	HSDMA Ch.3 interrupt level	0 to 7	X	R/W	
		D5	PHSD3L1			X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PHSD2L2	HSDMA Ch.2 interrupt level	0 to 7	X	R/W	
		D1	PHSD2L1			X		
		D0	PHSD2L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PHSD3L[2:0]: HSDMA Ch.3 Interrupt Level Bits**
HSDMA Ch.3割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PHSD2L[2:0]: HSDMA Ch.2 Interrupt Level Bits**
HSDMA Ch.2割り込みの優先レベルを設定します。

III

ITC

0x300265: IDMA Interrupt Priority Register (pINT_PDM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IDMA interrupt priority register (pINT_PDM)	00300265 (B)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	PDM2	IDMA interrupt level	0 to 7	X	R/W	
		D1	PDM1			X		
		D0	PDM0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)
割り込みレベルは0～7の範囲で設定することができます。
割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D[7:3] Reserved

D[2:0] PDM[2:0]: IDMA Interrupt Level Bits
IDMA割り込みの優先レベルを設定します。

0x300266: 16-bit Timer 0–1 Interrupt Priority Register (pINT_P16T01)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 0–1 interrupt priority register (pINT_P16T01)	00300266 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	P16T12	16-bit timer 1 interrupt level	0 to 7	X	R/W	
		D5	P16T11			X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	P16T02	16-bit timer 0 interrupt level	0 to 7	X	R/W	
		D1	P16T01			X		
		D0	P16T00			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **P16T1[2:0]: 16-bit Timer 1 Interrupt Level Bits**

16ビットタイマ1割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **P16T0[2:0]: 16-bit Timer 0 Interrupt Level Bits**

16ビットタイマ0割り込みの優先レベルを設定します。

III

ITC

0x300267: 16-bit Timer 2–3 Interrupt Priority Register (pINT_P16T23)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 2–3 interrupt priority register (pINT_P16T23)	00300267 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	P16T32	16-bit timer 3 interrupt level	0 to 7	X	R/W	
		D5	P16T31			X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	P16T22	16-bit timer 2 interrupt level	0 to 7	X	R/W	
		D1	P16T21			X		
		D0	P16T20			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)
 割り込みレベルは0～7の範囲で設定することができます。
 割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **P16T3[2:0]: 16-bit Timer 3 Interrupt Level Bits**
 16ビットタイマ3割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **P16T2[2:0]: 16-bit Timer 2 Interrupt Level Bits**
 16ビットタイマ2割り込みの優先レベルを設定します。

0x300269: LCDC, Serial I/F Ch.0 Interrupt Priority Register (pINT_PLCDC_PSI00)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC, serial I/F Ch.0 interrupt priority register (pINT_PLCDC_ PSI00)	00300269 (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	PSIO02	Serial interface Ch.0 interrupt level	0 to 7	X	R/W	
		D5	PSIO01			X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	0 when being read.
		D2	PLCDC2	LCDC interrupt level	0 to 7	X	R/W	
		D1	PLCDC1			X		
		D0	PLCDC0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PSIO0[2:0]: Serial Interface Ch.0 Interrupt Level Bits**

シリアルインタフェースCh.0割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PLCDC[2:0]: LCDC Interrupt Level Bits**

LCDC割り込みの優先レベルを設定します。

III

ITC

0x30026A: Serial I/F Ch.1, A/D Interrupt Priority Register (pINT_PSI01_PAD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.1, A/D interrupt priority register (pINT_PSI01_PAD)	0030026A (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	PAD2	A/D converter interrupt level	0 to 7	X	R/W	
		D5	PAD1			X		
		D4	PAD0			X		
		D3	—	reserved	—	—	—	0 when being read.
		D2	PSIO12	Serial interface Ch.1 interrupt level	0 to 7	X	R/W	
		D1	PSIO11			X		
		D0	PSIO10			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PAD[2:0]: A/D Converter Interrupt Level Bits
A/D変換器割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PSIO1[2:0]: Serial Interface Ch.1 Interrupt Level Bits
シリアルインタフェースCh.1割り込みの優先レベルを設定します。

0x30026B: RTC Interrupt Priority Register (pINT_PRTC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC interrupt priority register (pINT_PRTC)	0030026B (B)	D7-3	—	reserved	—	—	—	Writing 1 not allowed.
		D2	PRTC2	RTC interrupt level	0 to 7	X	R/W	
		D1	PRTC1			X		
		D0	PRTC0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D[7:3] Reserved

D[2:0] PRTC[2:0]: RTC Interrupt Level Bits

RTC割り込みの優先レベルを設定します。

0x30026C: Port Input 4–5 Interrupt Priority Register (pINT_PP45L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 4–5 interrupt priority register (pINT_PP45L)	0030026C (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP5L2	Port input 5 interrupt level	0 to 7	X	R/W	
		D5	PP5L1			X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP4L2	Port input 4 interrupt level	0 to 7	X	R/W	
		D1	PP4L1			X		
		D0	PP4L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)
 割り込みレベルは0～7の範囲で設定することができます。
 割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PP5L[2:0]: Port Input 5 Interrupt Level Bits**
 ポート入力5割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PP4L[2:0]: Port Input 4 Interrupt Level Bits**
 ポート入力4割り込みの優先レベルを設定します。

0x30026D: Port Input 6–7 Interrupt Priority Register (pINT_PP67L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 6–7 interrupt priority register (pINT_PP67L)	0030026D (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP7L2	Port input 7 interrupt level	0 to 7	X	R/W	
		D5	PP7L1			X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP6L2	Port input 6 interrupt level	0 to 7	X	R/W	
		D1	PP6L1			X		
		D0	PP6L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PP7L[2:0]: Port Input 7 Interrupt Level Bits**

ポート入力7割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PP6L[2:0]: Port Input 6 Interrupt Level Bits**

ポート入力6割り込みの優先レベルを設定します。

III

ITC

0x30026E: Serial I/F Ch.2, SPI Interrupt Priority Register (pINT_PSI02_PSPI)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.2, SPI interrupt priority register (pINT_PSI02_PSPI)	0030026E (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	PSPI2	SPI interrupt level	0 to 7	X	R/W	
		D5	PSPI1			X		
		D4	PSPI0			X		
		D3	—	reserved	—	—	—	0 when being read.
		D2	PSIO22	Serial interface Ch.2 interrupt level	0 to 7	X	R/W	
		D1	PSIO21			X		
		D0	PSIO20			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)
割り込みレベルは0～7の範囲で設定することができます。
割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PSPI[2:0]: SPI Interrupt Level Bits
SPI割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PSIO2[2:0]: Serial Interface Ch.2 Interrupt Level Bits
シリアルインタフェースCh.2割り込みの優先レベルを設定します。

0x300270: Key Input, Port Input 0–3 Interrupt Enable Register (pINT_EK01_EP03)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Key input, port input 0–3 interrupt enable register (pINT_EK01_EP03)	00300270 (B)	D7–6	–	reserved	–				–	–	0 when being read.
		D5	EK1	Key input 1	1	Enabled	0	Disabled	0	R/W	
		D4	EK0	Key input 0					0	R/W	
		D3	EP3	Port input 3					0	R/W	
		D2	EP2	Port input 2					0	R/W	
		D1	EP1	Port input 1					0	R/W	
		D0	EP0	Port input 0					0	R/W	

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておくことが必要です。

D[7:6] Reserved**D5 EK1: Key Input 1 Interrupt Enable Bit**

キー入力1割り込みを許可または禁止します。

D4 EK0: Key Input 0 Interrupt Enable Bit

キー入力0割り込みを許可または禁止します。

D3 EP3: Port Input 3 Interrupt Enable Bit

ポート入力3割り込みを許可または禁止します。

D2 EP2: Port Input 2 Interrupt Enable Bit

ポート入力2割り込みを許可または禁止します。

D1 EP1: Port Input 1 Interrupt Enable Bit

ポート入力1割り込みを許可または禁止します。

D0 EP0: Port Input 0 Interrupt Enable Bit

ポート入力0割り込みを許可または禁止します。

0x300271: DMA Interrupt Enable Register (pINT_EDMA)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
DMA interrupt enable register (pINT_EDMA)	00300271 (B)	D7–5	–	reserved	–				–	–	0 when being read.
		D4	EIDMA	IDMA	1	Enabled	0	Disabled	0	R/W	
		D3	EHDMA3	HSDMA Ch.3					0	R/W	
		D2	EHDMA2	HSDMA Ch.2					0	R/W	
		D1	EHDMA1	HSDMA Ch.1					0	R/W	
		D0	EHDMA0	HSDMA Ch.0					0	R/W	

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D[7:5] Reserved**D4 EIDMA: IDMA Enable Interrupt Bit**

IDMA割り込みを許可または禁止します。

D3 EHDMA3: HSDMA Ch.3 Interrupt Enable Bit

HSDMA Ch.3割り込みを許可または禁止します。

D2 EHDMA2: HSDMA Ch.2 Interrupt Enable Bit

HSDMA Ch.2割り込みを許可または禁止します。

D1 EHDMA1: HSDMA Ch.1 Interrupt Enable Bit

HSDMA Ch.1割り込みを許可または禁止します。

D0 EHDMA0: HSDMA Ch.0 Interrupt Enable Bit

HSDMA Ch.0割り込みを許可または禁止します。

0x300272: 16-bit Timer 0–1 Interrupt Enable Register (pINT_E16T01)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks	
16-bit timer 0–1 interrupt enable register (pINT_E16T01)	00300272 (B)	D7	E16TC1	16-bit timer 1 comparison A	1	Enabled	0	Disabled	0	R/W		
		D6	E16TU1	16-bit timer 1 comparison B					0	R/W		
		D5–4	–	reserved		–				–	–	0 when being read.
		D3	E16TC0	16-bit timer 0 comparison A	1	Enabled	0	Disabled	0	R/W		
		D2	E16TU0	16-bit timer 0 comparison B					0	R/W		
		D1–0	–	reserved		–				–	–	0 when being read.

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D7 E16TC1: 16-bit Timer 1 Comparison A Interrupt Enable Bit
16ビットタイマ1コンペアA割り込みを許可または禁止します。

D6 E16TU1: 16-bit Timer 1 Comparison B Interrupt Enable Bit
16ビットタイマ1コンペアB割り込みを許可または禁止します。

D[5:4] Reserved

D3 E16TC0: 16-bit Timer 0 Comparison A Interrupt Enable Bit
16ビットタイマ0コンペアA割り込みを許可または禁止します。

D2 E16TU0: 16-bit Timer 0 Comparison B Interrupt Enable Bit
16ビットタイマ0コンペアB割り込みを許可または禁止します。

D[1:0] Reserved

III

ITC

0x300273: 16-bit Timer 2–3 Interrupt Enable Register (pINT_E16T23)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
16-bit timer 2–3 interrupt enable register (pINT_E16T23)	00300273 (B)	D7	E16TC3	16-bit timer 3 comparison A	1	Enabled	0	Disabled	0	R/W	
		D6	E16TU3	16-bit timer 3 comparison B					0	R/W	
		D5–4	–	reserved	–				–	–	0 when being read.
		D3	E16TC2	16-bit timer 2 comparison A	1	Enabled	0	Disabled	0	R/W	
		D2	E16TU2	16-bit timer 2 comparison B					0	R/W	
		D1–0	–	reserved	–				–	–	0 when being read.

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D7 E16TC3: 16-bit Timer 3 Comparison A Interrupt Enable Bit

16ビットタイマ3コンペアA割り込みを許可または禁止します。

D6 E16TU3: 16-bit Timer 3 Comparison B Interrupt Enable Bit

16ビットタイマ3コンペアB割り込みを許可または禁止します。

D[5:4] Reserved**D3 E16TC2: 16-bit Timer 2 Comparison A Interrupt Enable Bit**

16ビットタイマ2コンペアA割り込みを許可または禁止します。

D2 E16TU2: 16-bit Timer 2 Comparison B Interrupt Enable Bit

16ビットタイマ2コンペアB割り込みを許可または禁止します。

D[1:0] Reserved

0x300276: Serial I/F Ch.0–1 Interrupt Enable Register (pINT_ESIF01)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Serial I/F Ch.0–1 interrupt enable register (pINT_ESIF01)	00300276 (B)	D7–6	–	reserved	–		–	–	0 when being read.		
		D5	ESTX1	SIF Ch.1 transmit buffer empty	1	Enabled	0	Disabled	0	R/W	
		D4	ESRX1	SIF Ch.1 receive buffer full					0	R/W	
		D3	ESERR1	SIF Ch.1 receive error					0	R/W	
		D2	ESTX0	SIF Ch.0 transmit buffer empty					0	R/W	
		D1	ESRX0	SIF Ch.0 receive buffer full					0	R/W	
		D0	ESERR0	SIF Ch.0 receive error					0	R/W	

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D[7:6] Reserved**D5 ESTX1: SIF Ch.1 Transmit Buffer Empty Interrupt Enable Bit**

シリアルインタフェースCh.1送信バッファエンプティ割り込みを許可または禁止します。

D4 ESRX1: SIF Ch.1 Receive Buffer Full Interrupt Enable Bit

シリアルインタフェースCh.1受信バッファフル割り込みを許可または禁止します。

D3 ESERR1: SIF Ch.1 Receive Error Interrupt Enable Bit

シリアルインタフェースCh.1受信エラー割り込みを許可または禁止します。

D2 ESTX0: SIF Ch.0 Transmit Buffer Empty Interrupt Enable Bit

シリアルインタフェースCh.0送信バッファエンプティ割り込みを許可または禁止します。

D1 ESRX0: SIF Ch.0 Receive Buffer Full Interrupt Enable Bit

シリアルインタフェースCh.0受信バッファフル割り込みを許可または禁止します。

D0 ESERR0: SIF Ch.0 Receive Error Interrupt Enable Bit

シリアルインタフェースCh.0受信エラー割り込みを許可または禁止します。

III

ITC

0x300277: Port Input 4–7, RTC, A/D Interrupt Enable Register (pINT_EP47_ERTC_EAD)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input 4–7, RTC, A/D interrupt enable register (pINT_EP47_ERTC_EAD)	00300277 (B)	D7	–	reserved	–		–	–	0 when being read.		
		D6	EP7	Port input 7	1	Enabled	0	Disabled		0	R/W
		D5	EP6	Port input 6						0	R/W
		D4	EP5	Port input 5						0	R/W
		D3	EP4	Port input 4						0	R/W
		D2	ERTC	RTC						0	R/W
		D1	EADE	A/D conversion completion						0	R/W
		D0	EADC	A/D out-of-range						0	R/W

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D7 Reserved

D6 EP7: Port Input 7 Interrupt Enable Bit

ポート入力7割り込みを許可または禁止します。

D5 EP6: Port Input 6 Interrupt Enable Bit

ポート入力6割り込みを許可または禁止します。

D4 EP5: Port Input 5 Interrupt Enable Bit

ポート入力5割り込みを許可または禁止します。

D3 EP4: Port Input 4 Interrupt Enable Bit

ポート入力4割り込みを許可または禁止します。

D2 ERTC: RTC Interrupt Enable Bit

RTC割り込みを許可または禁止します。

D1 EADE: A/D Conversion Completion Interrupt Enable Bit

A/D変換終了割り込みを許可または禁止します。

D0 EADC: A/D Out-of-Range Interrupt Enable Bit

A/D変換上下限割り込みを許可または禁止します。

0x300278: LCDC Interrupt Enable Register (pINT_ELDC)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC interrupt enable register (pINT_ELCDC)	00300278 (B)	D7-2	—	reserved	—			—	—	0 when being read.	
		D1	ELCDC	LCDC frame end	1	Enabled	0	Disabled	0	R/W	
		D0	—	reserved	—			—	—	Do not write 1.	

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D[7:2] Reserved

D1 ELCDC: LCDC Interrupt Enable Bit
LCDC割り込みを許可または禁止します。

D0 Reserved (1 は書き込まないでください。)

III

ITC

0x300279: Serial I/F Ch.2, SPI Interrupt Enable Register (pINT_ESIF2_ESPI)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Serial I/F Ch.2, SPI interrupt enable register (pINT_ESIF2_ESPI)	00300279 (B)	D7-6	—	reserved	—		—	—	0 when being read.
		D5	ESPTX	SPI transmit DMA	1	Enabled	0	Disabled	0 R/W
		D4	ESPIRX	SPI receive DMA					0 R/W
		D3	—	reserved	—		—	—	Do not write 1.
		D2	ESTX2	SIF Ch.2 transmit buffer empty	1	Enabled	0	Disabled	0 R/W
		D1	ESRX2	SIF Ch.2 receive buffer full					0 R/W
		D0	ESERR2	SIF Ch.2 receive error					0 R/W

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。
IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D[7:6] Reserved**D5 ESPTX: SPI Transmit DMA Interrupt Enable Bit**

SPI送信DMA割り込みを許可または禁止します。

D4 ESPIRX: SPI Receive DMA Interrupt Enable Bit

SPI受信DMA割り込みを許可または禁止します。

D3 Reserved (1 は書き込まないでください。)**D2 ESTX2: SIF Ch.2 Transmit Buffer Empty Interrupt Enable Bit**

シリアルインタフェースCh.2送信バッファエンプティ割り込みを許可または禁止します。

D1 ESRX2: SIF Ch.2 Receive Buffer Full Interrupt Enable Bit

シリアルインタフェースCh.2受信バッファフル割り込みを許可または禁止します。

D0 ESERR2: SIF Ch.2 Receive Error Interrupt Enable Bit

シリアルインタフェースCh.2受信エラー割り込みを許可または禁止します。

0x300280: Key Input, Port Input 0–3 Interrupt Cause Flag Register (pINT_FK01_FP03)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Key input, port input 0–3 interrupt cause flag register (pINT_FK01_FP03)	00300280 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	FK1	Key input 1	1	Occurred	0	Not occurred	X	R/W	
		D4	FK0	Key input 0					X	R/W	
		D3	FP3	Port input 3					X	R/W	
		D2	FP2	Port input 2					X	R/W	
		D1	FP1	Port input 1					X	R/W	
		D0	FP0	Port input 0					X	R/W	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

割り込み要因フラグは各周辺回路で割り込み要因が発生すると1にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが1に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが1(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により1にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを1にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY(D0/0x30029F) = 1)の場合が1、リード/ライト方式(RSTONLY(D0/0x30029F) = 0)の場合が0となりますので注意してください。

イニシャルリセット時、割り込み要因フラグは不定となりますので、必ずソフトウェアでリセットしてください。

注: マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにreti命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。

III 周辺モジュール1(システム): 割り込みコントローラ (ITC)

D[7:6] Reserved

D5 FK1: Key Input 1 Cause-of-Interrupt Flag

キー入力1割り込み要因の発生状態を示します。

D4 FK0: Key Input 0 Cause-of-Interrupt Flag

キー入力0割り込み要因の発生状態を示します。

D3 FP3: Port Input 3 Cause-of-Interrupt Flag

ポート入力3割り込み要因の発生状態を示します。

D2 FP2: Port Input 2 Cause-of-Interrupt Flag

ポート入力2割り込み要因の発生状態を示します。

D1 FP1: Port Input 1 Cause-of-Interrupt Flag

ポート入力1割り込み要因の発生状態を示します。

D0 FP0: Port Input 0 Cause-of-Interrupt Flag

ポート入力0割り込み要因の発生状態を示します。

0x300281: DMA Interrupt Cause Flag Register (pINT_FDMA)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
DMA interrupt cause flag register (pINT_FDMA)	00300281 (B)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	FIDMA	IDMA	1	Occurred	0	Not occurred	X R/W
		D3	FHDM3	HSDMA Ch.3					X R/W
		D2	FHDM2	HSDMA Ch.2					X R/W
		D1	FHDM1	HSDMA Ch.1					X R/W
		D0	FHDM0	HSDMA Ch.0					X R/W

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0-3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D[7:5] Reserved

D4 FIDMA: IDMA Cause-of-Interrupt Flag

IDMA割り込み要因の発生状態を示します。

D3 FHDM3: HSDMA Ch.3 Cause-of-Interrupt Flag

HSDMA Ch.3割り込み要因の発生状態を示します。

D2 EHDM2: HSDMA Ch.2 Cause-of-Interrupt Flag

HSDMA Ch.2割り込み要因の発生状態を示します。

D1 FHDM1: HSDMA Ch.1 Cause-of-Interrupt Flag

HSDMA Ch.1割り込み要因の発生状態を示します。

D0 FHDM0: HSDMA Ch.0 Cause-of-Interrupt Flag

HSDMA Ch.0割り込み要因の発生状態を示します。

0x300282: 16-bit Timer 0–1 Interrupt Cause Flag Register (pINT_F16T01)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
16-bit timer 0–1 interrupt cause flag register (pINT_F16T01)	00300282 (B)	D7	F16TC1	16-bit timer 1 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D6	F16TU1	16-bit timer 1 comparison B					X	R/W	
		D5–4	–	reserved	–			–	–	0 when being read.	
		D3	F16TC0	16-bit timer 0 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D2	F16TU0	16-bit timer 0 comparison B					X	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D7 F16TC1: 16-bit Timer 1 Comparison A Cause-of-Interrupt Flag

16ビットタイマ1コンペアA割り込み要因の発生状態を示します。

D6 F16TU1: 16-bit Timer 1 Comparison B Cause-of-Interrupt Flag

16ビットタイマ1コンペアB割り込み要因の発生状態を示します。

D[5:4] Reserved**D3 F16TC0: 16-bit Timer 0 Comparison A Cause-of-Interrupt Flag**

16ビットタイマ0コンペアA割り込み要因の発生状態を示します。

D2 F16TU0: 16-bit Timer 0 Comparison B Cause-of-Interrupt Flag

16ビットタイマ0コンペアB割り込み要因の発生状態を示します。

D[1:0] Reserved

0x300283: 16-bit Timer 2–3 Interrupt Cause Flag Register (pINT_F16T23)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
16-bit timer 2–3 interrupt cause flag register (pINT_F16T23)	00300283 (B)	D7	F16TC3	16-bit timer 3 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D6	F16TU3	16-bit timer 3 comparison B					X	R/W	
		D5–4	–	reserved		–			–	–	0 when being read.
		D3	F16TC2	16-bit timer 2 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D2	F16TU2	16-bit timer 2 comparison B					X	R/W	
		D1–0	–	reserved		–			–	–	0 when being read.

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D7 F16TC3: 16-bit Timer 3 Comparison A Cause-of-Interrupt Flag

16ビットタイマ3コンペアA割り込み要因の発生状態を示します。

D6 F16TU3: 16-bit Timer 3 Comparison B Cause-of-Interrupt Flag

16ビットタイマ3コンペアB割り込み要因の発生状態を示します。

D[5:4] Reserved**D3 F16TC2: 16-bit Timer 2 Comparison A Cause-of-Interrupt Flag**

16ビットタイマ2コンペアA割り込み要因の発生状態を示します。

D2 F16TU2: 16-bit Timer 2 Comparison B Cause-of-Interrupt Flag

16ビットタイマ2コンペアB割り込み要因の発生状態を示します。

D[1:0] Reserved

0x300286: Serial I/F Ch.0–1 Interrupt Cause Flag Register (pINT_FSIF01)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.0-1 interrupt cause flag register (pINT_FSIF01)	00300286 (B)	D7-6	-	reserved	-			-	-	0 when being read.	
		D5	FSTX1	SIF Ch.1 transmit buffer empty	1	Occurred	0	Not occurred	X		R/W
		D4	FSRX1	SIF Ch.1 receive buffer full					X		R/W
		D3	FSERR1	SIF Ch.1 receive error					X		R/W
		D2	FSTX0	SIF Ch.0 transmit buffer empty					X		R/W
		D1	FSRX0	SIF Ch.0 receive buffer full					X		R/W
		D0	FSERR0	SIF Ch.0 receive error					X		R/W

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D[7:6] Reserved**D5 FSTX1: SIF Ch.1 Transmit Buffer Empty Cause-of-Interrupt Flag**

シリアルインタフェースCh.1送信バッファエンプティ割り込み要因の発生状態を示します。

D4 FSRX1: SIF Ch.1 Receive Buffer Full Cause-of-Interrupt Flag

シリアルインタフェースCh.1受信バッファフル割り込み要因の発生状態を示します。

D3 FSERR1: SIF Ch.1 Receive Error Cause-of-Interrupt Flag

シリアルインタフェースCh.1受信エラー割り込み要因の発生状態を示します。

D2 FSTX0: SIF Ch.0 Transmit Buffer Empty Cause-of-Interrupt Flag

シリアルインタフェースCh.0送信バッファエンプティ割り込み要因の発生状態を示します。

D1 FSRX0: SIF Ch.0 Receive Buffer Full Cause-of-Interrupt Flag

シリアルインタフェースCh.0受信バッファフル割り込み要因の発生状態を示します。

D0 FSERR0: SIF Ch.0 Receive Error Cause-of-Interrupt Flag

シリアルインタフェースCh.0受信エラー割り込み要因の発生状態を示します。

0x300287: Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (pINT_FP47_FRTC_FAD)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port input 4–7, RTC, A/D interrupt cause flag register (pINT_FP47_FRTC_FAD)	00300287 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	FP7	Port input 7	1	Occurred	0	Not occurred	X	R/W	
		D5	FP6	Port input 6					X	R/W	
		D4	FP5	Port input 5					X	R/W	
		D3	FP4	Port input 4					X	R/W	
		D2	FRTC	RTC					X	R/W	
		D1	FADE	A/D conversion completion					X	R/W	
		D0	FADC	A/D out-of-range					X	R/W	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D7 **Reserved**

D6 **FP7: Port Input 7 Cause-of-Interrupt Flag**
ポート入力7割り込み要因の発生状態を示します。

D5 **FP6: Port Input 6 Cause-of-Interrupt Flag**
ポート入力6割り込み要因の発生状態を示します。

D4 **FP5: Port Input 5 Cause-of-Interrupt Flag**
ポート入力5割り込み要因の発生状態を示します。

D3 **FP4: Port Input 4 Cause-of-Interrupt Flag**
ポート入力4割り込み要因の発生状態を示します。

D2 **FRTC: RTC Cause-of-Interrupt Flag**
RTC割り込み要因の発生状態を示します。

D1 **FADE: A/D Conversion Completion Cause-of-Interrupt Flag**
A/D変換終了割り込み要因の発生状態を示します。

D0 **FADC: A/D Out-of-Range Cause-of-Interrupt Flag**
A/D変換上下限割り込み要因の発生状態を示します。

0x300288: LCDC Interrupt Cause Flag Register (pINT_FLCDC)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC interrupt cause flag register (pINT_FLCDC)	00300288 (B)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	FLCDC	LCDC frame end	1	Occurred	0	Not occurred	X	R/W	
		D0	–	reserved	–			–	–	0 when being read.	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D[7:2] Reserved

D1 FLCDC: LCDC Cause-of-Interrupt Flag
LCDC割り込み要因の発生状態を示します。

D0 Reserved

0x300289: Serial I/F Ch.2, SPI Interrupt Cause Flag Register (pINT_FSIF2_FSPI)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.2, SPI interrupt cause flag register (pINT_FSIF2_FSPI)	00300289 (B)	D7-6	—	reserved	—			—	—	0 when being read.	
		D5	FSPITX	SPI transmit DMA	1	Occurred	0	Not occurred	X	R/W	
		D4	FSPIRX	SPI receive DMA					X	R/W	
		D3	—	reserved	—			—	—	0 when being read.	
		D2	FSTX2	SIF Ch.2 transmit buffer empty	1	Occurred	0	Not occurred	X	R/W	
		D1	FSRX2	SIF Ch.2 receive buffer full					X	R/W	
		D0	FSERR2	SIF Ch.2 receive error					X	R/W	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0-3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D[7:6] Reserved

D5 FSPITX: SPI Transmit DMA Cause-of-Interrupt Flag

SPI送信DMA割り込み要因の発生状態を示します。

D4 FSPIRX: SPI Receive DMA Cause-of-Interrupt Flag

SPI受信DMA割り込み要因の発生状態を示します。

D3 Reserved

D2 FSTX2: SIF Ch.2 Transmit Buffer Empty Cause-of-Interrupt Flag

シリアルインタフェースCh.2送信バッファエンプティ割り込み要因の発生状態を示します。

D1 FSRX2: SIF Ch.2 Receive Buffer Full Cause-of-Interrupt Flag

シリアルインタフェースCh.2受信バッファフル割り込み要因の発生状態を示します。

D0 FSERR2: SIF Ch.2 Receive Error Cause-of-Interrupt Flag

シリアルインタフェースCh.2受信エラー割り込み要因の発生状態を示します。

0x300290: Port Input 0–3, HSDMA Ch.0–1, 16-bit Timer 0 IDMA Request Register (pIDMAREQ_RP03_RHS_R16T0)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Port input 0–3, HSDMA Ch.0–1, 16-bit timer 0 IDMA request register (pIDMAREQ_RP03 _RHS_R16T0)	00300290 (B)	D7	R16TC0	16-bit timer 0 comparison A	1	IDMA request	0	Interrupt request	0	R/W	
		D6	R16TU0	16-bit timer 0 comparison B					0	R/W	
		D5	RHDM1	HSDMA Ch.1					0	R/W	
		D4	RHDM0	HSDMA Ch.0					0	R/W	
		D3	RP3	Port input 3					0	R/W	
		D2	RP2	Port input 2					0	R/W	
		D1	RP1	Port input 1					0	R/W	
		D0	RP0	Port input 0					0	R/W	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D7 R16TC0: 16-bit Timer 0 Comparison A IDMA Request Bit

16ビットタイマ0コンペアA割り込み要因発生時にIDMAを起動するかどうか設定します。

D6 R16TU0: 16-bit Timer 0 Comparison B IDMA Request Bit

16ビットタイマ0コンペアB割り込み要因発生時にIDMAを起動するかどうか設定します。

D5 RHDM1: HSDMA Ch.1 IDMA Request Bit

HSDMA Ch.1割り込み要因発生時にIDMAを起動するかどうか設定します。

D4 RHDM0: HSDMA Ch.0 IDMA Request Bit

HSDMA Ch.0割り込み要因発生時にIDMAを起動するかどうか設定します。

D3 RP3: Port Input 3 IDMA Request Bit

ポート入力3割り込み要因発生時にIDMAを起動するかどうか設定します。

D2 RP2: Port Input 2 IDMA Request Bit

ポート入力2割り込み要因発生時にIDMAを起動するかどうか設定します。

D1 RP1: Port Input 1 IDMA Request Bit

ポート入力1割り込み要因発生時にIDMAを起動するかどうか設定します。

D0 RP0: Port Input 0 IDMA Request Bit

ポート入力0割り込み要因発生時にIDMAを起動するかどうか設定します。

0x300291: 16-bit Timer 1–3 IDMA Request Register (pIDMAREQ_R16T13)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 1–3 IDMA request register (pIDMAREQ_R16T13)	00300291 (B)	D7–6	–	reserved	1 IDMA request 0	–	–	0 when being read.
		D5	R16TC3	16-bit timer 3 comparison A			0	R/W
		D4	R16TU3	16-bit timer 3 comparison B			0	R/W
		D3	R16TC2	16-bit timer 2 comparison A			0	R/W
		D2	R16TU2	16-bit timer 2 comparison B			0	R/W
		D1	R16TC1	16-bit timer 1 comparison A			0	R/W
		D0	R16TU1	16-bit timer 1 comparison B			0	R/W

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA(IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D[7:6] Reserved**D5 R16TC3: 16-bit Timer 3 Comparison A IDMA Request Bit**

16ビットタイマ3コンペアA割り込み要因発生時にIDMAを起動するかどうか設定します。

D4 R16TU3: 16-bit Timer 3 Comparison B IDMA Request Bit

16ビットタイマ3コンペアB割り込み要因発生時にIDMAを起動するかどうか設定します。

D3 R16TC2: 16-bit Timer 2 Comparison A IDMA Request Bit

16ビットタイマ2コンペアA割り込み要因発生時にIDMAを起動するかどうか設定します。

D2 R16TU2: 16-bit Timer 2 Comparison B IDMA Request Bit

16ビットタイマ2コンペアB割り込み要因発生時にIDMAを起動するかどうか設定します。

D1 R16TC1: 16-bit Timer 1 Comparison A IDMA Request Bit

16ビットタイマ1コンペアA割り込み要因発生時にIDMAを起動するかどうか設定します。

D0 R16TU1: 16-bit Timer 1 Comparison B IDMA Request Bit

16ビットタイマ1コンペアB割り込み要因発生時にIDMAを起動するかどうか設定します。

0x300292: Serial I/F Ch.0 IDMA Request Register (pIDMAREQ_RSIF0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Serial I/F Ch.0 IDMA request register (pIDMAREQ_ RSIF0)	00300292 (B)	D7	RSTX0	SIF Ch.0 transmit buffer empty	1	IDMA request	0	Interrupt request	0	R/W
		D6	RSRX0	SIF Ch.0 receive buffer full					0	R/W
		D5–0	–	reserved	–		–	–	0 when being read.	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D7 RSTX0: SIF Ch.0 Transmit Buffer Empty IDMA Request Bit

シリアルインタフェースCh.0送信バッファエンpty割り込み要因発生時にIDMAを起動するかどうか設定します。

D6 RSRX0: SIF Ch.0 Receive Buffer Full IDMA Request Bit

シリアルインタフェースCh.0受信バッファフル割り込み要因発生時にIDMAを起動するかどうか設定します。

D[5:0] Reserved

0x300293: Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Request Register (pIDMAREQ_RSIF1_RAD_RP47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Serial I/F Ch.1, A/D, port input 4–7 IDMA request register (pIDMAREQ_RSIF1_RAD_RP47)	00300293 (B)	D7	RP7	Port input 7	1	IDMA request	0	Interrupt request	0	R/W	
		D6	RP6	Port input 6					0	R/W	
		D5	RP5	Port input 5					0	R/W	
		D4	RP4	Port input 4					0	R/W	
		D3	–	reserved					–	–	
		D2	RADE	A/D conversion completion	1	IDMA request	0	Interrupt request	0	R/W	
		D1	RSTX1	SIF Ch.1 transmit buffer empty					0	R/W	
		D0	RSRX1	SIF Ch.1 receive buffer full					0	R/W	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D7 RP7: Port Input 7 IDMA Request Bit

ポート入力7割り込み要因発生時にIDMAを起動するかどうか設定します。

D6 RP6: Port Input 6 IDMA Request Bit

ポート入力6割り込み要因発生時にIDMAを起動するかどうか設定します。

D5 RP5: Port Input 5 IDMA Request Bit

ポート入力5割り込み要因発生時にIDMAを起動するかどうか設定します。

D4 RP4: Port Input 4 IDMA Request Bit

ポート入力4割り込み要因発生時にIDMAを起動するかどうか設定します。

D3 Reserved

D2 RADE: A/D Conversion Completion IDMA Request Bit

A/D変換終了割り込み要因発生時にIDMAを起動するかどうか設定します。

D1 RSTX1: SIF Ch.1 Transmit Buffer Empty IDMA Request Bit

シリアルインタフェースCh.1送信バッファエンプティ割り込み要因発生時にIDMAを起動するかどうか設定します。

D0 RSRX1: SIF Ch.1 Receive Buffer Full IDMA Request Bit

シリアルインタフェースCh.1受信バッファフル割り込み要因発生時にIDMAを起動するかどうか設定します。

0x300294: Port Input 0–3, HSDMA Ch.0–1, 16-bit Timer 0 IDMA Enable Register (pIDMAEN_DEP03_DEHS_DE16T0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input 0–3, HSDMA Ch.0–1, 16-bit timer 0 IDMA enable register (pIDMAEN_DEP03 _DEHS_DE16T0)	00300294 (B)	D7	DE16TC0	16-bit timer 0 comparison A	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DE16TU0	16-bit timer 0 comparison B					0	R/W	
		D5	DEHDM1	HSDMA Ch.1					0	R/W	
		D4	DEHDM0	HSDMA Ch.0					0	R/W	
		D3	DEP3	Port input 3					0	R/W	
		D2	DEP2	Port input 2					0	R/W	
		D1	DEP1	Port input 1					0	R/W	
		D0	DEP0	Port input 0					0	R/W	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D7 DE16TC0: 16-bit Timer 0 Comparison A IDMA Enable Bit

16ビットタイマ0コンペアA割り込み要因によるIDMA転送を許可または禁止します。

D6 DE16TU0: 16-bit Timer 0 Comparison B IDMA Enable Bit

16ビットタイマ0コンペアB割り込み要因によるIDMA転送を許可または禁止します。

D5 DEHDM1: HSDMA Ch.1 IDMA Enable Bit

HSDMA Ch.1割り込み要因によるIDMA転送を許可または禁止します。

D4 DEHDM0: HSDMA Ch.0 IDMA Enable Bit

HSDMA Ch.0割り込み要因によるIDMA転送を許可または禁止します。

D3 DEP3: Port Input 3 IDMA Enable Bit

ポート入力3割り込み要因によるIDMA転送を許可または禁止します。

D2 DEP2: Port Input 2 IDMA Enable Bit

ポート入力2割り込み要因によるIDMA転送を許可または禁止します。

D1 DEP1: Port Input 1 IDMA Enable Bit

ポート入力1割り込み要因によるIDMA転送を許可または禁止します。

D0 DEP0: Port Input 0 IDMA Enable Bit

ポート入力0割り込み要因によるIDMA転送を許可または禁止します。

0x300295: 16-bit Timer 1–3 IDMA Enable Register (pIDMAEN_DE16T13)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
16-bit timer 1–3 IDMA enable register (pIDMAEN _DE16T13)	00300295 (B)	D7–6	–	reserved	–		–	–	0 when being read.
		D5	DE16TC3	16-bit timer 3 comparison A	1 IDMA enabled	0 IDMA disabled	0	R/W	
		D4	DE16TU3	16-bit timer 3 comparison B			0	R/W	
		D3	DE16TC2	16-bit timer 2 comparison A			0	R/W	
		D2	DE16TU2	16-bit timer 2 comparison B			0	R/W	
		D1	DE16TC1	16-bit timer 1 comparison A			0	R/W	
		D0	DE16TU1	16-bit timer 1 comparison B			0	R/W	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D[7:6] Reserved**D5 DE16TC3: 16-bit Timer 3 Comparison A IDMA Enable Bit**

16ビットタイマ3コンペアA割り込み要因によるIDMA転送を許可または禁止します。

D4 DE16TU3: 16-bit Timer 3 Comparison B IDMA Enable Bit

16ビットタイマ3コンペアB割り込み要因によるIDMA転送を許可または禁止します。

D3 DE16TC2: 16-bit Timer 2 Comparison A IDMA Enable Bit

16ビットタイマ2コンペアA割り込み要因によるIDMA転送を許可または禁止します。

D2 DE16TU2: 16-bit Timer 2 Comparison B IDMA Enable Bit

16ビットタイマ2コンペアB割り込み要因によるIDMA転送を許可または禁止します。

D1 DE16TC1: 16-bit Timer 1 Comparison A IDMA Enable Bit

16ビットタイマ1コンペアA割り込み要因によるIDMA転送を許可または禁止します。

D0 DE16TU1: 16-bit Timer 1 Comparison B IDMA Enable Bit

16ビットタイマ1コンペアB割り込み要因によるIDMA転送を許可または禁止します。

0x300296: Serial I/F Ch.0 IDMA Enable Register (pIDMAEN_DESIF0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Serial I/F Ch.0 IDMA enable register (pIDMAEN _DESIF0)	00300296 (B)	D7	DESTX0	SIF Ch.0 transmit buffer empty	1	IDMA enabled	0	IDMA disabled	0	R/W
		D6	DESRX0	SIF Ch.0 receive buffer full					0	R/W
		D5–0	–	reserved	–		–	–	0 when being read.	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D7 DESTX0: SIF Ch.0 Transmit Buffer Empty IDMA Enable Bit

シリアルインタフェースCh.0送信バッファエンプティ割り込み要因によるIDMA転送を許可または禁止します。

D6 DESRX0: SIF Ch.0 Receive Buffer Full IDMA Enable Bit

シリアルインタフェースCh.0受信バッファフル割り込み要因によるIDMA転送を許可または禁止します。

D[5:0] Reserved

0x300297: Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Enable Register (pIDMAEN_DESIF1_DEAD_DEP47)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Serial I/F Ch.1, A/D, port input 4–7 IDMA enable register (pIDMAEN_DESIF1 _DEAD_DEP47)	00300297 (B)	D7	DEP7	Port input 7	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DEP6	Port input 6					0	R/W	
		D5	DEP5	Port input 5					0	R/W	
		D4	DEP4	Port input 4					0	R/W	
		D3	–	reserved					–		
		D2	DEADE	A/D conversion completion	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D1	DESTX1	SIF Ch.1 transmit buffer empty					0	R/W	
		D0	DESRX1	SIF Ch.1 receive buffer full					0	R/W	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D7 DEP7: Port Input 7 IDMA Enable Bit

ポート入力7割り込み要因によるIDMA転送を許可または禁止します。

D6 DEP6: Port Input 6 IDMA Enable Bit

ポート入力6割り込み要因によるIDMA転送を許可または禁止します。

D5 DEP5: Port Input 5 IDMA Enable Bit

ポート入力5割り込み要因によるIDMA転送を許可または禁止します。

D4 DEP4: Port Input 4 IDMA Enable Bit

ポート入力4割り込み要因によるIDMA転送を許可または禁止します。

D3 Reserved

D2 DEADE: A/D Conversion Completion IDMA Enable Bit

A/D変換終了割り込み要因によるIDMA転送を許可または禁止します。

D1 DESTX1: SIF Ch.1 Transmit Buffer Empty IDMA Enable Bit

シリアルインタフェースCh.1送信バッファエンプティ割り込み要因によるIDMA転送を許可または禁止します。

D0 DESRX1: SIF Ch.1 Receive Buffer Full IDMA Enable Bit

シリアルインタフェースCh.1受信バッファフル割り込み要因によるIDMA転送を許可または禁止します。

0x300298: HSDMA Ch.0–1 Trigger Set-up Register (pHSDMA_HTGR1)**0x300299: HSDMA Ch.2–3 Trigger Set-up Register (pHSDMA_HTGR2)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.0–1 trigger set-up register (pHSDMA_HTGR1)	00300298 (B)	D7	HSD1S3	HSDMA Ch.1 trigger set-up	0 Software trigger	0	R/W	
		D6	HSD1S2		1 #DMAREQ1 input (falling edge)	0		
		D5	HSD1S1		2 #DMAREQ1 input (rising edge)	0		
		D4	HSD1S0		3 Port 1 input	0		
					4 Port 5 input			
					5 (reserved)			
					6 16-bit timer 1 compare B			
					7 16-bit timer 1 compare A			
					8 (reserved)			
					9 I ² S Output Ch. HSDMA Right			
					A SI/F Ch.1 Rx buffer full			
					B SI/F Ch.1 Tx buffer empty			
					C A/D conversion completion			
					D Port 9 input (USB PDREQ)			
					E Port 13 input			
		D3	HSD0S3	HSDMA Ch.0 trigger set-up	0 Software trigger	0	R/W	
		D2	HSD0S2		1 #DMAREQ0 input (falling edge)	0		
		D1	HSD0S1		2 #DMAREQ0 input (rising edge)	0		
		D0	HSD0S0		3 Port 0 input	0		
					4 Port 4 input			
					5 (reserved)			
					6 16-bit timer 0 compare B			
					7 16-bit timer 0 compare A			
					8 (reserved)			
					9 I ² S Output Ch. HSDMA Left			
					A SI/F Ch.0 Rx buffer full			
					B SI/F Ch.0 Tx buffer empty			
					C A/D conversion completion			
					D Port 8 input (SPI interrupt)			
					E Port 12 input			
HSDMA Ch.2–3 trigger set-up register (pHSDMA_HTGR2)	00300299 (B)	D7	HSD3S3	HSDMA Ch.3 trigger set-up	0 Software trigger	0	R/W	
		D6	HSD3S2		1 #DMAREQ3 input (falling edge)	0		
		D5	HSD3S1		2 #DMAREQ3 input (rising edge)	0		
		D4	HSD3S0		3 Port 3 input	0		
					4 Port 7 input			
					5 (reserved)			
					6 16-bit timer 3 compare B			
					7 16-bit timer 3 compare A			
					8 I ² S Input Ch. HSDMA Right			
					9 SPI Rx			
					A (reserved)			
					B (reserved)			
					C A/D conversion completion			
					D Port 11 input			
					E Port 15 input			
		D3	HSD2S3	HSDMA Ch.2 trigger set-up	0 Software trigger	0	R/W	
		D2	HSD2S2		1 #DMAREQ2 input (falling edge)	0		
		D1	HSD2S1		2 #DMAREQ2 input (rising edge)	0		
		D0	HSD2S0		3 Port 2 input	0		
					4 Port 6 input			
					5 (reserved)			
					6 16-bit timer 2 compare B			
					7 16-bit timer 2 compare A			
					8 I ² S Input Ch. HSDMA Left			
					9 SPI Tx			
					A SI/F Ch.2 Rx buffer full			
					B SI/F Ch.2 Tx buffer empty			
					C A/D conversion completion			
					D Port 10 input (USB interrupt)			
					E Port 14 input			

これらのレジスタは各HSDMAチャネルのトリガ要因を選択します。

表III.2.7.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	#DMAREQ0入力 (立ち下がりエッジ)	#DMAREQ1入力 (立ち下がりエッジ)	#DMAREQ2入力 (立ち下がりエッジ)	#DMAREQ3入力 (立ち下がりエッジ)
0010	#DMAREQ0入力 (立ち上がりエッジ)	#DMAREQ1入力 (立ち上がりエッジ)	#DMAREQ2入力 (立ち上がりエッジ)	#DMAREQ3入力 (立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	(reserved)	(reserved)	(reserved)	(reserved)
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	(reserved)	(reserved)	I ² S入力チャンネルHSDMA(左)	I ² S入力チャンネルHSDMA(右)
1001	I ² S出力チャンネルHSDMA(左)	I ² S出力チャンネルHSDMA(右)	SPI送信DMA要求	SPI受信DMA要求
1010	シリアル/I/F Ch.0 Rxバッファフル	シリアル/I/F Ch.1 Rxバッファフル	シリアル/I/F Ch.2 Rxバッファフル	(reserved)
1011	シリアル/I/F Ch.0 Txバッファエンブティ	シリアル/I/F Ch.1 Txバッファエンブティ	シリアル/I/F Ch.2 Txバッファエンブティ	(reserved)
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	ポート8入力(SPI割り込み)	ポート9入力(USB PDREQ)	ポート10入力(USB割り込み)	ポート11入力
1110	ポート12入力	ポート13入力	ポート14入力	ポート15入力

(デフォルト: 0000)

HSDMAトリガ設定レジスタで割り込み要因を選択すると、その割り込み要因の発生によって指定のHSDMAチャネルが起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

HSDMAを起動した割り込み要因によるCPUへの割り込み要求は、HSDMA要求から2クロック(MCLK)後に出力されます。したがって、CPUがキャッシュで動作している場合などは、DMA転送とCPUによるHSDMAを起動した割り込みの処理が並行して行われます。ただし、HSDMAによりバスが使用されるため、割り込み処理ルーチンから周辺回路をアクセスする場合、その実行はDMA転送の終了まで待たされます。

なお、割り込み要因によってHSDMAを起動させるには、HSDMAの制御レジスタで転送条件の設定を行い、DMA転送を許可しておく必要があります。

詳細については“II.1 高速DMA (HSDMA)”を参照してください。

0x30029A: HSDMA Software Trigger Register (pHSDMA_HSOFTTGR)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA software trigger register (pHSDMA_HSOFTTGR)	0030029A (B)	D7-4	—	reserved	—			—	—	0 when being read.
		D3	HST3	HSDMA Ch.3 software trigger	1	Trigger	0	Invalid	0	W
		D2	HST2	HSDMA Ch.2 software trigger					0	W
		D1	HST1	HSDMA Ch.1 software trigger					0	W
		D0	HST0	HSDMA Ch.0 software trigger					0	W

このレジスタの各ビットはHSDMA転送を開始します。

1(W): トリガ

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

HST_xに1を書き込むことで、DMA転送を開始するトリガパルスが生成されます。この制御は、HSDMAの該当チャネルのトリガ要因をHSDMAトリガ設定レジスタ(0x300298または0x300299)でソフトウェアトリガに設定した場合にのみ有効です。

D[7:4] Reserved

D3 HST3: HSDMA Ch.3 Software Trigger
HSDMA Ch.3のDMA転送を開始します。

D2 HST2: HSDMA Ch.2 Software Trigger
HSDMA Ch.2のDMA転送を開始します。

D1 HST1: HSDMA Ch.1 Software Trigger
HSDMA Ch.1のDMA転送を開始します。

D0 HST0: HSDMA Ch.0 Software Trigger
HSDMA Ch.0のDMA転送を開始します。

0x30029B: LCDC, Serial I/F Ch.2, SPI IDMA Request Register (pIDMAREQ_RLCDC_RSIF2_RSPI)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC, serial I/F Ch.2, SPI IDMA request register (pIDMAREQ_RLCDC_RSIF2_RSPI)	0030029B (B)	D7-6	—	reserved	—			—	—	0 when being read.	
		D5	RSPTX	SPI transmit DMA	1	IDMA request	0	Interrupt request	0	R/W	
		D4	RSPIRX	SPI receive DMA					0	R/W	
		D3	RSTX2	SIF Ch.2 transmit buffer empty					0	R/W	
		D2	RSRX2	SIF Ch.2 receive buffer full					0	R/W	
		D1	RLCDC	LCDC frame end					0	R/W	
		D0	—	reserved	—			—	—	0 when being read.	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D[7:6] Reserved

D5 RSPITX: SPI Transmit IDMA Request Bit

SPI送信DMA割り込み要因発生時にIDMAを起動するかどうか設定します。

D4 RSPIRX: SPI Receive IDMA Request Bit

SPI受信DMA割り込み要因発生時にIDMAを起動するかどうか設定します。

D3 RSTX2: SIF Ch.2 Transmit Buffer Empty IDMA Request Bit

シリアルインタフェースCh.2送信バッファエンプティ割り込み要因発生時にIDMAを起動するかどうか設定します。

D2 RSRX2: SIF Ch.2 Receive Buffer Full IDMA Request Bit

シリアルインタフェースCh.2受信バッファフル割り込み要因発生時にIDMAを起動するかどうか設定します。

D1 RLCDC: LCDC IDMA Request Bit

LCDC割り込み要因発生時にIDMAを起動するかどうか設定します。

D0 Reserved

III

ITC

0x30029C: LCDC, Serial I/F Ch.2, SPI IDMA Enable Register (pIDMAEN_DELCDC_DESIF2_DESPI)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC, serial I/F Ch.2, SPI IDMA enable register (pIDMAEN_DELCDC _DESIF2_DESPI)	0030029C (B)	D7-6	—	reserved	—			—	—	0 when being read.	
		D5	DESPITX	SPI transmit DMA	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D4	DESPIRX	SPI receive DMA					0	R/W	
		D3	DESTX2	SIF Ch.2 transmit buffer empty					0	R/W	
		D2	DESRX2	SIF Ch.2 receive buffer full					0	R/W	
		D1	DELCDC	LCDC frame end					0	R/W	
		D0	—	reserved	—			—	—	0 when being read.	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D[7:6] Reserved

D5 DESPITX: SPI Transmit IDMA Enable Bit

SPI送信DMA割り込み要因によるIDMA転送を許可または禁止します。

D4 DESPIRX: SPI Receive IDMA Enable Bit

SPI受信DMA割り込み要因によるIDMA転送を許可または禁止します。

D3 DESTX2: SIF Ch.2 Transmit Buffer Empty IDMA Enable Bit

シリアルインタフェースCh.2送信バッファエンpty割り込み要因によるIDMA転送を許可または禁止します。

D2 DESRX2: SIF Ch.2 Receive Buffer Full IDMA Enable Bit

シリアルインタフェースCh.2受信バッファフル割り込み要因によるIDMA転送を許可または禁止します。

D1 DELCDC: LCDC IDMA Enable Bit

LCDC割り込み要因によるIDMA転送を許可または禁止します。

D0 Reserved

0x30029F: Flag Set/Reset Method Select Register (pRST_RESET)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Flag set/reset method select register (pRST_RESET)	0030029F (B)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	DENONLY	IDMA enable register set method selection	1 Set only	0 RD/WR	1 R/W	
		D1	IDMAONLY	IDMA request register set method selection	1 Set only	0 RD/WR	1 R/W	
		D0	RSTONLY	Cause-of-interrupt flag reset method selection	1 Reset only	0 RD/WR	1 R/W	

D[7:3] Reserved**D2 DENONLY: IDMA Enable Register Set Method Select Bit**

IDMAイネーブルレジスタのセット方式を選択します。

1(R/W): セットオンリー方式(デフォルト)

0(R/W): リード/ライト方式

セットオンリー方式の場合、IDMAイネーブルビットは1を書き込むことでセットされます。0を書き込んだIDMAイネーブルビットはセットもリセットもされません。したがって、特定のIDMAイネーブルビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、1にセットされたIDMAイネーブルビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はDENONLYに0を書き込むことにより設定されます。この方式の場合、IDMAイネーブルレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。この場合、0を書き込んだIDMAイネーブルビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAイネーブルビットがハードウェアによってリセットされる可能性がありますので注意してください。

D1 IDMAONLY: IDMA Request Register Set Method Select Bit

IDMAリクエストレジスタのセット方式を選択します。

1(R/W): セットオンリー方式(デフォルト)

0(R/W): リード/ライト方式

セットオンリー方式の場合、IDMAリクエストビットは1を書き込むことでセットされます。0を書き込んだIDMAリクエストビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、1にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はIDMAONLYに0を書き込むことにより設定されます。この方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。この場合、0を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

D0 RSTONLY: Cause-of-Interrupt Flag Reset Method Select Bit

割り込み要因フラグのリセット方式を選択します。

1(R/W): リセットオンリー方式(デフォルト)

0(R/W): リード/ライト方式

リセットオンリー方式の場合、割り込み要因フラグは1を書き込むことでリセットされます。0を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、1にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。リード/ライト方式はRSTONLYに0を書き込むことにより設定されます。この方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、0を書き込むとリセットされ、1を書き込むとセットされます。この場合、0を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

0x3002A0: Port Input 8–9 Interrupt Priority Register (pINT_PP89L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 8–9 interrupt priority register (pINT_PP89L)	003002A0 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP9L2	Port input 9/USB PDREQ interrupt level	0 to 7	X	R/W	
		D5	PP9L1			X		
		D4	PP9L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP8L2	Port input 8/SPI interrupt level	0 to 7	X	R/W	
		D1	PP8L1			X		
		D0	PP8L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved**D[6:4] PP9L[2:0]: Port Input 9/USB PDREQ Interrupt Level Bits**

ポート入力9割り込みの優先レベルを設定します。

注: SPT9[1:0](D[3:2]/0x3003C4) = 10の場合、USB PDREQ割り込み用の制御ビットとして機能します。

D3 Reserved**D[2:0] PP8L[2:0]: Port Input 8/SPI Interrupt Level Bits**

ポート入力8割り込みの優先レベルを設定します。

注: SPT8[1:0](D[1:0]/0x3003C4) = 10の場合、SPI割り込み用の制御ビットとして機能します。

0x3002A1: Port Input 10–11 Interrupt Priority Register (pINT_PP1011L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 10–11 interrupt priority register (pINT_PP1011L)	003002A1 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP11L2	Port input 11 interrupt level	0 to 7	X	R/W	
		D5	PP11L1			X		
		D4	PP11L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP10L2	Port input 10/USB interrupt level	0 to 7	X	R/W	
		D1	PP10L1			X		
		D0	PP10L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PP11L[2:0]: Port Input 11 Interrupt Level Bits**

ポート入力11割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PP10L[2:0]: Port Input 10/USB Interrupt Level Bits**

ポート入力10割り込みの優先レベルを設定します。

注: SPTA[1:0] (D[5:4]/0x3003C4) = 10の場合、USB割り込み用の制御ビットとして機能します。

III

ITC

0x3002A2: Port Input 12–13 Interrupt Priority Register (pINT_PP1213L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 12–13 interrupt priority register (pINT_PP1213L)	003002A2 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP13L2	Port input 13 interrupt level	0 to 7	X	R/W	
		D5	PP13L1			X		
		D4	PP13L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP12L2	Port input 12 interrupt level	0 to 7	X	R/W	
		D1	PP12L1			X		
		D0	PP12L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 Reserved

D[6:4] PP13L[2:0]: Port Input 13 Interrupt Level Bits

ポート入力13割り込みの優先レベルを設定します。

D3 Reserved

D[2:0] PP12L[2:0]: Port Input 12 Interrupt Level Bits

ポート入力12割り込みの優先レベルを設定します。

0x3002A3: Port Input 14–15 Interrupt Priority Register (pINT_PP1415L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 14–15 interrupt priority register (pINT_PP1415L)	003002A3 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP15L2	Port input 15 interrupt level	0 to 7	X	R/W	
		D5	PP15L1			X		
		D4	PP15L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP14L2	Port input 14 interrupt level	0 to 7	X	R/W	
		D1	PP14L1			X		
		D0	PP14L0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D7 **Reserved**

D[6:4] **PP15L[2:0]: Port Input 15 Interrupt Level Bits**

ポート入力15割り込みの優先レベルを設定します。

D3 **Reserved**

D[2:0] **PP14L[2:0]: Port Input 14 Interrupt Level Bits**

ポート入力14割り込みの優先レベルを設定します。

III

ITC

0x3002A4: I²S Interrupt Priority Register (pINT_PI2S)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S interrupt priority register (pINT_PI2S)	003002A4 (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	PI2SI2	I ² S Input Ch. interrupt level	0 to 7	X	R/W	
		D5	PI2SI1			X		
		D4	PI2SI0			X		
		D3	—	reserved	—	—	—	0 when being read.
		D2	PI2SO2	I ² S Output Ch. interrupt level	0 to 7	X	R/W	
		D1	PI2SO1			X		
		D0	PI2SO0			X		

割り込みの優先レベルを設定するレジスタです。(デフォルト: 不定)

割り込みレベルは0～7の範囲で設定することができます。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。

D[7] Reserved

D[6:4] PI2SI[2:0]: I2S Input Ch. Interrupt Level Bits

I²S入力チャネル割り込みの優先レベルを設定します。

D[3] Reserved

D[2:0] PI2SO[2:0]: I2S Output Ch. Interrupt Level Bits

I²S出力チャネル割り込みの優先レベルを設定します。

0x3002A6: Port Input 8–15 Interrupt Enable Register (pINT_EP815)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Port input 8–15 interrupt enable register (pINT_EP815)	003002A6 (B)	D7	EP15	Port input 15	1	Enabled	0	Disabled	0	R/W	
		D6	EP14	Port input 14					0	R/W	
		D5	EP13	Port input 13					0	R/W	
		D4	EP12	Port input 12					0	R/W	
		D3	EP11	Port input 11					0	R/W	
		D2	EP10	Port input 10/USB					0	R/W	
		D1	EP9	Port input 9/USB PDREQ					0	R/W	
		D0	EP8	Port input 8/SPI					0	R/W	

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D7 EP15: Port Input 15 Enable Bit

ポート入力15割り込みを許可または禁止します。

D6 EP14: Port Input 14 Enable Bit

ポート入力14割り込みを許可または禁止します。

D5 EP13: Port Input 13 Enable Bit

ポート入力13割り込みを許可または禁止します。

D4 EP12: Port Input 12 Enable Bit

ポート入力12割り込みを許可または禁止します。

D3 EP11: Port Input 11 Enable Bit

ポート入力11割り込みを許可または禁止します。

D2 EP10: Port Input 10/USB Enable Bit

ポート入力10割り込みを許可または禁止します。

注: SPTA[1:0](D[5:4]/0x3003C4) = 10の場合、USB割り込み用の制御ビットとして機能します。

D1 EP9: Port Input 9/USB PDREQ Enable Bit

ポート入力9割り込みを許可または禁止します。

注: SPT9[1:0](D[3:2]/0x3003C4) = 10の場合、USB PDREQ割り込み用の制御ビットとして機能します。

D0 EP8: Port Input 8/SPI Enable Bit

ポート入力8割り込みを許可または禁止します。

注: SPT8[1:0](D[1:0]/0x3003C4) = 10の場合、SPI割り込み用の制御ビットとして機能します。

0x3002A7: I²S Interrupt Enable Register (pINT_EI2S)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S interrupt enable register (pINT_EI2S)	003002A7 (B)	D7	—	reserved	—	—	—	0 when being read.
		D6	EI2SI	I ² S Input Ch. interrupt Enable	1 Enabled 0 Disabled	0	R/W	
		D5–3	—	reserved	—	—	—	0 when being read.
		D2	EI2SO	I ² S Output Ch. interrupt Enable	1 Enabled 0 Disabled	0	R/W	
		D1–0	—	reserved	—	—	—	0 when being read.

このレジスタの各ビットは、CPUに対する割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

このビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

D[7] Reserved

D[6] EI2SI: I²S Input Ch. Interrupt Enable Bit
I²S入力チャネル割り込みを許可または禁止します。

D[5:3] Reserved

D[2] EI2SO: I²S Output Ch. Interrupt Enable Bit
I²S出力チャネル割り込みを許可または禁止します。

D[1:0] Reserved

0x3002A9: Port Input 8–15 Interrupt Cause Flag Register (pINT_FP815)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port input 8–15 interrupt cause flag register (pINT_FP815)	003002A9 (B)	D7	FP15	Port input 15	1	Occurred	0	Not occurred	X	R/W	
		D6	FP14	Port input 14					X	R/W	
		D5	FP13	Port input 13					X	R/W	
		D4	FP12	Port input 12					X	R/W	
		D3	FP11	Port input 11					X	R/W	
		D2	FP10	Port input 10/USB					X	R/W	
		D1	FP9	Port input 9/USB PDREQ					X	R/W	
		D0	FP8	Port input 8/SPI					X	R/W	

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D7 FP15: Port Input 15 Cause-of-Interrupt Flag

ポート入力15割り込み要因の発生状態を示します。

D6 FP14: Port Input 14 Cause-of-Interrupt Flag

ポート入力14割り込み要因の発生状態を示します。

D5 FP13: Port Input 13 Cause-of-Interrupt Flag

ポート入力13割り込み要因の発生状態を示します。

D4 FP12: Port Input 12 Cause-of-Interrupt Flag

ポート入力12割り込み要因の発生状態を示します。

D3 FP11: Port Input 11 Cause-of-Interrupt Flag

ポート入力11割り込み要因の発生状態を示します。

D2 FP10: Port Input 10/USB Cause-of-Interrupt Flag

ポート入力10割り込み要因の発生状態を示します。

注: SPTA[1:0](D[5:4]/0x3003C4) = 10の場合、USB割り込み用の制御ビットとして機能します。

D1 FP9: Port Input 9/USB PDREQ Cause-of-Interrupt Flag

ポート入力9割り込み要因の発生状態を示します。

注: SPT9[1:0](D[3:2]/0x3003C4) = 10の場合、USB PDREQ割り込み用の制御ビットとして機能します。

D0 FP8: Port Input 8/SPI Cause-of-Interrupt Flag

ポート入力8割り込み要因の発生状態を示します。

注: SPT8[1:0](D[1:0]/0x3003C4) = 10の場合、SPI割り込み用の制御ビットとして機能します。

0x3002AA: I²S Interrupt Cause Flag Register (pINT_FI2S)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I ² S interrupt cause flag register (pINT_FI2S)	003002AA (B)	D7	—	reserved	—			—	—	0 when being read.
		D6	FI2SI	I ² S Input Ch. cause-of-interrupt Flag	1	Occurred	0	Not occurred	X	R/W
		D5–3	—	reserved	—			—	—	0 when being read.
		D2	FI2SO	I ² S Output Ch. cause-of-interrupt Flag	1	Occurred	0	Not occurred	X	R/W
		D1–0	—	reserved	—			—	—	0 when being read.

このレジスタの各ビットは割り込み要因の発生状態を示す割り込み要因フラグです。セットされた割り込み要因フラグは、書き込みによってリセットできます。(デフォルト: 不定)

1(R): 割り込み要因あり

0(R): 割り込み要因なし

リセットオンリー方式書き込み時(デフォルト)

1(W): フラグをリセット

0(W): 無効

リード/ライト方式書き込み時

1(W): フラグをセット

0(W): フラグをリセット

詳細については“Key Input, Port Input 0–3 Interrupt Cause Flag Register (0x300280)”を参照してください。

D[7] Reserved

D[6] FI2SI: I²S Input Ch. Cause-of-Interrupt Flag Bit

I²S入力チャネル割り込み要因の状態を示します。

D[5:3] Reserved

D[2] FI2SO: I²S Output Ch. Cause-of-Interrupt Flag Bit

I²S出力チャネル割り込み要因の状態を示します。

D[1:0] Reserved

0x3002AC: Port Input 8–15 IDMA Request Register (pIDMAREQ_RP815)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input 8–15 IDMA request register (pIDMAREQ _RP815)	003002AC (B)	D7	RP15	Port input 15	1	IDMA request	0	Interrupt request	0	R/W	
		D6	RP14	Port input 14					0	R/W	
		D5	RP13	Port input 13					0	R/W	
		D4	RP12	Port input 12					0	R/W	
		D3	RP11	Port input 11					0	R/W	
		D2	RP10	Port input 10/USB					0	R/W	
		D1	RP9	Port input 9/USB PDREQ					0	R/W	
		D0	RP8	Port input 8/SPI					0	R/W	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D7 RP15: Port Input 15 IDMA Request Bit

ポート入力15割り込み要因発生時にIDMAを起動するかどうか設定します。

D6 RP14: Port Input 14 IDMA Request Bit

ポート入力14割り込み要因発生時にIDMAを起動するかどうか設定します。

D5 RP13: Port Input 13 IDMA Request Bit

ポート入力13割り込み要因発生時にIDMAを起動するかどうか設定します。

D4 RP12: Port Input 12 IDMA Request Bit

ポート入力12割り込み要因発生時にIDMAを起動するかどうか設定します。

D3 RP11: Port Input 11 IDMA Request Bit

ポート入力11割り込み要因発生時にIDMAを起動するかどうか設定します。

D2 RP10: Port Input 10/USB IDMA Request Bit

ポート入力10割り込み要因発生時にIDMAを起動するかどうか設定します。

注: SPTA[1:0](D[5:4]/0x3003C4) = 10の場合、USB割り込み用の制御ビットとして機能します。

D1 RP9: Port Input 9/USB PDREQ IDMA Request Bit

ポート入力9割り込み要因発生時にIDMAを起動するかどうか設定します。

注: SPT9[1:0](D[3:2]/0x3003C4) = 10の場合、USB PDREQ割り込み用の制御ビットとして機能します。

D0 RP8: Port Input 8/SPI IDMA Request Bit

ポート入力8割り込み要因発生時にIDMAを起動するかどうか設定します。

注: SPT8[1:0](D[1:0]/0x3003C4) = 10の場合、SPI割り込み用の制御ビットとして機能します。

0x3002AD: I²S IDMA Request Register (pIDMAREQ_RI2S)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S IDMA request register (pIDMAREQ_RI2S)	003002AD (B)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	RI2SI	I ² S Input Ch. IDMA request	1 IDMA request 0 Interrupt request	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	RI2SO	I ² S Output Ch. IDMA request	1 IDMA request 0 Interrupt request	0	R/W	

このレジスタの各ビットは、割り込み要因発生時にIDMAを起動するかどうかを設定します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求

0(R/W): 無効(デフォルト)

リード/ライト方式

1(R/W): IDMA要求

0(R/W): 割り込み要求

このビットを1に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。0に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては、“II.2 インテリジェントDMA (IDMA)”を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが0となった場合、IDMAリクエストビットは0にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

D[7:3] Reserved

D[2] RI2SI: I²S Input Ch. IDMA Request Bit

I²S入力チャネル割り込み要因発生時にIDMAを起動するかどうかを設定します。

D[1] Reserved

D0 RI2SO: I²S Output Ch. IDMA Request Bit

I²S出力チャネル割り込み要因発生時にIDMAを起動するかどうかを設定します。

0x3002AE: Port Input 8–15 IDMA Enable Register (pIDMAEN_DEP815)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input 8–15 IDMA enable register (pIDMAEN_DEP815)	003002AE (B)	D7	DEP15	Port input 15	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DEP14	Port input 14					0	R/W	
		D5	DEP13	Port input 13					0	R/W	
		D4	DEP12	Port input 12					0	R/W	
		D3	DEP11	Port input 11					0	R/W	
		D2	DEP10	Port input 10/USB					0	R/W	
		D1	DEP9	Port input 9/USB PDREQ					0	R/W	
		D0	DEP8	Port input 8/SPI					0	R/W	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D7 DEP15: Port Input 15 IDMA Enable Bit

ポート入力15割り込み要因によるIDMA転送を許可または禁止します。

D6 DEP14: Port Input 14 IDMA Enable Bit

ポート入力14割り込み要因によるIDMA転送を許可または禁止します。

D5 DEP13: Port Input 13 IDMA Enable Bit

ポート入力13割り込み要因によるIDMA転送を許可または禁止します。

D4 DEP12: Port Input 12 IDMA Enable Bit

ポート入力12割り込み要因によるIDMA転送を許可または禁止します。

D3 DEP11: Port Input 11 IDMA Enable Bit

ポート入力11割り込み要因によるIDMA転送を許可または禁止します。

D2 DEP10: Port Input 10/USB IDMA Enable Bit

ポート入力10割り込み要因によるIDMA転送を許可または禁止します。

注: SPTA[1:0](D[5:4]/0x3003C4) = 10の場合、USB割り込み用の制御ビットとして機能します。

D1 DEP9: Port Input 9/USB PDREQ IDMA Enable Bit

ポート入力9割り込み要因によるIDMA転送を許可または禁止します。

注: SPT9[1:0](D[3:2]/0x3003C4) = 10の場合、USB PDREQ割り込み用の制御ビットとして機能します。

D0 DEP8: Port Input 8/SPI IDMA Enable Bit

ポート入力8割り込み要因によるIDMA転送を許可または禁止します。

注: SPT8[1:0](D[1:0]/0x3003C4) = 10の場合、SPI割り込み用の制御ビットとして機能します。

0x3002AF: I²S IDMA Enable Register (pIDMAEN_DEI2S)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S IDMA enable register (pIDMAEN_DEI2S)	003002AF (B)	D7-3	—	reserved	—			— — 0 when being read.
		D2	DEI2SI	I ² S Input Ch. IDMA request	1 IDMA enabled 0 IDMA disabled	0	R/W	
		D1	—	reserved	—			— — 0 when being read.
		D0	DEI2SO	I ² S Output Ch. IDMA request	1 IDMA enabled 0 IDMA disabled	0	R/W	

このレジスタの各ビットは、割り込み要因によるIDMA転送を許可または禁止します。

セットオンリー方式(デフォルト)

1(R/W): IDMA要求許可

0(R): IDMA要求禁止(デフォルト)

0(W): 無効

リード/ライト方式

1(R/W): IDMA要求許可

0(R/W): IDMA要求禁止

このビットを1に設定すると、対応する割り込み要因によるIDMAの起動を許可します。0に設定するとIDMA起動要求は受け付けられません。

D[7:3] Reserved

D[2] DEI2SI: I²S Input Ch. IDMA Enable Bit

I²S入力チャネル割り込み要因によるIDMA転送を許可または禁止します。

D[1] Reserved

D0 DEI2SO: I²S Output Ch. IDMA Enable Bit

I²S出力チャネル割り込み要因によるIDMA転送を許可または禁止します。

0x3003C4: Port Input Interrupt Select Register 3 (pPINTSEL_SPT811)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port input interrupt select register 3 (pPINTSEL_SPT811)	003003C4 (B)	D7	SPTB1	FPT11 interrupt input port selection	SPTB[1:0]	Port	0	R/W	
		D6	SPTB0		11	P93	0		
					10	(reserved)			
					01	P83			
					00	P73			
		D5	SPTA1	FPT10 interrupt input port selection	SPTA[1:0]	Port	0	R/W	
		D4	SPTA0		11	P92	0		
					10	INT_USB			
					01	P82			
					00	P72			
		D3	SPT91	FPT9 interrupt input port selection	SPT9[1:0]	Port	0	R/W	
		D2	SPT90		11	P91	0		
					10	USB_PDREQ			
					01	P81			
					00	P71			
		D1	SPT81	FPT8 interrupt input port selection	SPT8[1:0]	Port	0	R/W	
		D0	SPT80		11	P90	0		
					10	INT_SPI			
					01	P80			
					00	P70			

SPTx[1:0]: FPTx Interrupt Input Port Select Bits

FPTxポート入力割り込みに使用する入力端子または割り込み要因を選択します。

表III.2.7.3 ポート入力割り込み用入力端子の選択

割り込み 要因	SPT設定			
	11	10	01	00
FPT11	P93	(reserved)	P83	P73
FPT10	P92	INT_USB	P82	P72
FPT9	P91	USB_PDREQ	P81	P71
FPT8	P90	INT_SPI	P80	P70

(デフォルト: 0b00)

III.2.8 注意事項

- SLEEPモードでは、起床要因の割り込み信号入力からITCへのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ (ITC) による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになるとITCの割り込み要因フラグがセットされず割り込みが発生しない場合があります。
さらに、ITCからCPUに割り込み要求が伝わるまでも時間差があるため、CPUは割り込み処理を開始する前に、slp命令に続く数命令を実行してしまう場合があります。
NMIによる起床時も同様で、クロック供給開始前に#NMI信号がインアクティブになるとNMIフラグがセットされず、割り込み処理が発生しない場合があります。
- スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。
IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。
- C33 PEコアの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、ITCでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
- リセットオンリー方式で割り込み要因フラグをリセットする(1を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで1にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする(0を書き込む)場合、0を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
また、IDMAリクエストレジスタ、IDMAイネーブルレジスタのセットオンリー方式、リード/ライト方式についても同様の注意が必要です。
- イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- CPU～ITC間のインタフェース仕様により、割り込み発生信号のラッチと割り込みベクタおよび割り込みレベルのラッチの間にタイムラグがあります。
 (1)CPUがITCからの割り込み発生信号をラッチ
 ↓
 (2)CPUがITCからの割り込みベクタおよび割り込みレベルをラッチ
 ↓
 (3)割り込みハンドラを実行
 割り込みベクタおよび割り込みレベルのラッチが終了する前(1と2の間)に割り込み発生信号の生成に関わるレジスタ(ITCの割り込みイネーブルや割り込み要因)を操作した場合、不正割り込み例外(ベクタ番号: 11)が発生します。
 このため、CPUの割り込みを許可した状態(PSRのIEビット = 1)で、割り込み発生信号に関わるレジスタを操作した場合、非常にまれですが不正割り込み例外が発生することがあります。
 不正割り込み例外が発生した場合でも、例外処理ルーチン内で何も行わなければプログラムの動作には影響を与えません。
 不正割り込み例外を発生させないためには、割り込み発生信号の生成に関わるレジスタを操作する前にCPUの割り込みを禁止(PSRのIEビット = 0)してください。

III.3 リアルタイムクロック(RTC)

III.3.1 RTCの概要

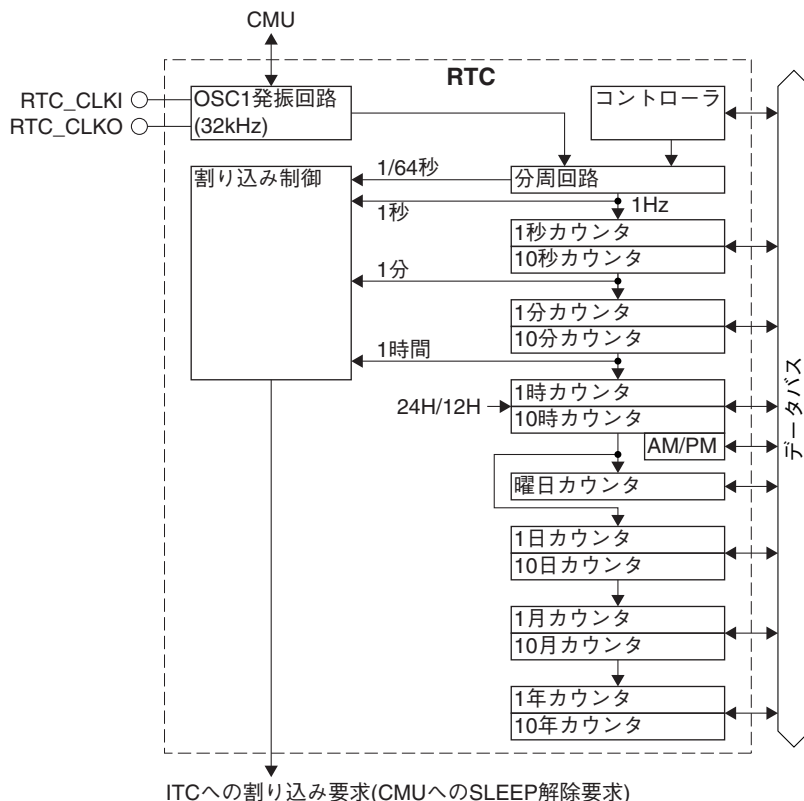
S1C33L19は万年カレンダー付きのリアルタイムクロック(RTC)と、その動作クロックを生成するOSC1発振回路を内蔵しています。

RTCとOSC1発振回路はSLEEPモードでも動作します。また、RTCはCPUに対して周期的に割り込みを発生することができます。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタおよびカレンダー(日、曜日、月、年)カウンタ内蔵
- カウンタはすべてBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- ソフトウェアによる30秒補正機能
- 周期的な割り込みが可能
- 1/64秒、1秒、1分、1時間周期、レベル/エッジ割り込みを選択可能
- 独立電源により、システムパワーオフ時も動作(スタンバイモード)
- 32.768kHz(Typ.)の動作クロックを生成するOSC1発振回路(水晶発振または外部クロック入力)を内蔵

図III.3.1.1にRTCのブロック図を示します。



図III.3.1.1 RTCブロック図

III.3.2 RTCカウンタ

RTCは以下に示す13個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

1秒カウンタ

1秒桁の4ビットBCDカウンタで、32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。カウントデータはRTCSL[3:0](D[3:0]/0x301910)を使用して読み出し/書き込みを行います。

* **RTCSL[3:0]**: RTC 1-second Counter Bits in the RTC Second Register (D[3:0]/0x301910)

10秒カウンタ

10秒桁の3ビットBCDカウンタで、1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。カウントデータはRTCSH[2:0](D[6:4]/0x301910)を使用して読み出し/書き込みを行います。

* **RTCSH[2:0]**: RTC 10-second Counter Bits in the RTC Second Register (D[6:4]/0x301910)

1分カウンタ

1分桁の4ビットBCDカウンタで、10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。カウントデータはRTCML[3:0](D[3:0]/0x301914)を使用して読み出し/書き込みを行います。

* **RTCML[3:0]**: RTC 1-minute Counter Bits in the RTC Minute Register (D[3:0]/0x301914)

10分カウンタ

10分桁の3ビットBCDカウンタで、1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。カウントデータはRTCMH[2:0](D[6:4]/0x301914)を使用して読み出し/書き込みを行います。

* **RTCMH[2:0]**: RTC 10-minute Counter Bits in the RTC Minute Register (D[6:4]/0x301914)

1時カウンタ

1時桁の4ビットBCDカウンタで、10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。カウントデータはRTCHL[3:0](D[3:0]/0x301918)を使用して読み出し/書き込みを行います。

* **RTCHL[3:0]**: RTC 1-hour Counter Bits in the RTC Hour Register (D[3:0]/0x301918)

10時カウンタ

10時桁の2ビットBCDカウンタで、1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。カウントデータはRTCHH[1:0](D[5:4]/0x301918)を使用して読み出し/書き込みを行います。

* **RTCHH[1:0]**: RTC 10-hour Counter Bits in the RTC Hour Register (D[5:4]/0x301918)

12時間制を選択した場合、午前/午後を示すRTCAP(D6/0x301918)ビットが有効になり、午前を0、午後を1で示します。24時間制の場合、RTCAP(D6/0x301918)は0に固定されます。

* **RTCAP**: AM/PM Indicator Bit in the RTC Hour Register (D6/0x301918)

1日カウンタ

1日桁の4ビットBCDカウンタで、10時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。カウントデータはRTCDL[3:0](D[3:0]/0x30191C)を使用して読み出し/書き込みを行います。

* RTCDL[3:0]: RTC 1-day Counter Bits in the RTC Day Register (D[3:0]/0x30191C)

10日カウンタ

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。カウントデータはRTCDH[1:0](D[5:4]/0x30191C)を使用して読み出し/書き込みを行います。

* RTCDH[1:0]: RTC 10-day Counter Bits in the RTC Day Register (D[5:4]/0x30191C)

1月カウンタ

1月桁の4ビットBCDカウンタで、日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。カウントデータはRTCMOL[3:0](D[3:0]/0x301920)を使用して読み出し/書き込みを行います。

* RTCMOL[3:0]: RTC 1-month Counter Bits in the RTC Month Register (D[3:0]/0x301920)

10月カウンタ

10月桁のビットで、1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。カウントデータはRTCMOH(D4/0x301920)を使用して読み出し/書き込みを行います。

* RTCMOH: RTC 10-month Counter Bit in the RTC Month Register (D4/0x301920)

1年カウンタ

1年桁の4ビットBCDカウンタで、月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。カウントデータはRTCYL[3:0](D[3:0]/0x301924)を使用して読み出し/書き込みを行います。

* RTCYL[3:0]: RTC 1-year Counter Bits in the RTC Year Register (D[3:0]/0x301924)

10年カウンタ

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。カウントデータはRTCYH[3:0](D[7:4]/0x301924)を使用して読み出し/書き込みを行います。

* RTCYH[3:0]: RTC 10-year Counter Bits in the RTC Year Register (D[7:4]/0x301924)

曜日カウンタ

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。カウントデータはRTCWK[2:0](D[2:0]/0x301928)を使用して読み出し/書き込みを行います。

* RTCWK[2:0]: RTC Days of Week Counter Bits in the RTC Days of Week Register (D[2:0]/0x301928)

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表III.3.2.1に示します。

表III.3.2.1 曜日カウンタ値と曜日との対応

RTCWK2	RTCWK1	RTCWK0	曜 日
1	1	0	土曜日
1	0	1	金曜日
1	0	0	木曜日
0	1	1	水曜日
0	1	0	火曜日
0	0	1	月曜日
0	0	0	日曜日

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。電源投入後は不定となります。“III.3.3.2 RTCのイニシャルシーケンス”に示す手順でカウンタを初期設定してください。

うるう年検出について

本RTCのうるう年検出は西暦専用で、2399年までは自動判別します。

0～99の中の4で割り切れる年はうるう年と判定します。1年カウンタと10年カウンタが共に0の場合は平年と判定します。

III.3.3 RTCの制御

III.3.3.1 動作クロックの制御

■カウンタクロック

RTCは32.768kHz(Typ.)のOSC1クロックを入力してカウントを行います。OSC1発振はCMUのSOSC1(D0/0x301B08)でOn/Offを制御することができます。

* **SOSC1**: Low-speed Oscillation (OSC1) On/Off Control Bit in the System Clock Control Register (D0/0x301B08)

RTCを使用する場合は、SOSC1(D0/0x301B08)を1(デフォルト)に設定し、OSC1発振回路を動作させておく必要があります。

注: 停止していたOSC1発振回路を動作させた直後は、発振の安定に時間(約3秒)が必要です。この時間が経過するまでは、RTCのカウントを開始しないでください。

OSC1クロックは、チップがHALTまたはSLEEPのどのスタンバイモードであっても停止しません。

クロック制御の詳細については、“III.1 クロックマネージメントユニット(CMU)”を、OSC1発振回路の回路構成については、“III.3.5 OSC1発振回路”をそれぞれ参照してください。

■レジスタクロック

RTCの制御レジスタのアクセスにはRTC_CLKクロック(= MCLK)が必要です。

レジスタの設定後は消費電流を低減させるため、RTCSAPB_CKE(D0/0x301B04)を0に設定してクロック供給を停止させることができます。

* **RTCSAPB_CKE**: RTC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 1 (D0/0x301B04)

III

RTC

III.3.3.2 RTCのイニシャルシーケンス

電源投入直後はRTCレジスタの内容が不定になります。電源投入時は以下の手順でRTCによる計時を開始してください。各制御内容の詳細については、続く節で個々に説明します。

1. 電源投入
2. システムの初期化処理とOSC1発振安定待ち
OSC1発振回路は電源投入直後に発振を開始しますが、出力クロックの安定に最大で3秒の時間が必要です。
3. RTC割り込みをディセーブル
不要なRTC割り込みの発生を防ぐため、次のように設定します。
RTC Interrupt Mode Register(0x301904)に0x0を書き込み、RTC割り込みを禁止します。
RTC Interrupt Status Register(0x301900)に0x1を書き込み、割り込みステータスをクリアします。
詳細は、“III.3.4 RTC割り込み”を参照してください。
4. カウントの開始
RTC Control Register(0x301908)に0x2(12時間制の場合)または0x12(24時間制の場合)を書き込み、カウントを開始させます。これは、設定の変更がカウントデータに影響する12時間制/24時間制の内容などを初期化するための操作で、正式なカウント開始操作ではありません。
詳細は、“III.3.3.3 24時間制/12時間制の選択とカウンタの設定”と“III.3.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。
5. RTCのアクセス可能状態の確認
RTC Access Control Register(0x30190C)を使用してカウンタホールド制御とビジーフラグの読み出しを行い、RTCへのアクセスが可能になったことを確認します。
詳細は、“III.3.3.5 カウンタのホールドとビジーフラグ”を参照してください。
6. カウントの停止とリセット
RTC Control Register (0x301908)に0x1を書き込み、カウントを停止させるとともにカウントクロックの分周段をリセットします。
詳細は、“III.3.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。
7. 日付と時刻を設定
すべてのカウンタを、それぞれのレジスタを使用して現在の日時に初期設定します。
詳細は、“III.3.3.3 24時間制/12時間制の選択とカウンタの設定”を参照してください。
8. カウントを再開
カウンタのホールド状態(5で設定)を解除し、4と同じ操作でカウントを再開します。
詳細は、“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。

III.3.3.3 24時間制/12時間制の選択とカウンタの設定

■24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H(D4/0x301908)で選択できるようになっています。

RTC24H = 1: 24時間制

RTC24H = 0: 12時間制

この選択により、時カウンタのカウント範囲が変わります。

* **RTC24H:** 24H/12H Mode Select Bit in the RTC Control Register (D4/0x301908)

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24H(D4/0x301908)はカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24H(D4/0x301908)を書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24H(D4/0x301908)を変更した場合は、これらのカウンタのデータを再設定してください。

■12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すRTCAP(D6/0x301918)ビットが有効になります。

RTCAP = 0: 午前

RTCAP = 1: 午後

24時間制の場合、RTCAP(D6/0x301918)は0に固定されます。

* **RTCAP:** AM/PM Indicator Bit in the RTC Hour Register (D6/0x301918)

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

■カウンタの設定

カウンタが停止中はどのカウンタについても、任意のタイミングでデータの読み出し/書き込みが可能です。ただし、以下のような設定は計時ミスの原因になりますので避けてください。

- 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
- カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。

カウンタが動作中に内容を書き換えるには、正しく書き換えるための手順があります。その詳細については、“III.3.3.6 動作中のカウンタのリード/ライト”を参照してください。

III.3.3.4 カウンタのスタート/ストップおよびリセット

■カウンタのスタート/ストップ

RTCはRTCSTP(D1/0x301908)を0に設定するとカウントを開始し、1に設定すると停止します。

* **RTCSTP:** Counter Run/Stop Control Bit in the RTC Control Register (D1/0x301908)

RTCSTP(D1/0x301908)への1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、次節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

■リセット

RTCRST(D0/0x301908)は32kHzから2Hzまでのカウンタをリセットするビットです。

* **RTCRST:** Software Reset Bit in the RTC Control Register (D0/0x301908)

RTCRST(D0/0x301908)を1に設定すると、上記カウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

III.3.3.5 カウンタのホールドとビジーフラグ

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、カウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行います。

このために2つの制御ビットRTCBSY(D1/0x30190C)とRTCHLD(D0/0x30190C)が設けられています。

- * **RTCBSY**: Counter Busy Flag in the RTC Access Control Register (D1/0x30190C)
- * **RTCHLD**: Counter Hold Control Bit in the RTC Access Control Register (D0/0x30190C)

RTCBSY(D1/0x30190C)はカウンタが桁上げ中であることを示す、読み出し専用のフラグです。RTCBSY(D1/0x30190C)は桁上げ中に1、それ以外は0となります。RTCBSY(D1/0x30190C)が0であることを確認してカウンタにアクセスすることで、正しい値の読み出しと設定が行えます。

ただし、カウント動作中はRTCBSY(D1/0x30190C)が1に固定されており、現在の状態を反映させるためには、RTCHLD(D0/0x30190C)に1を書き込む必要があります。

RTCBSY = 0 (RTCがアクセス可能状態)

RTCHLD(D0/0x30190C)に1を書き込み後、RTCBSY(D1/0x30190C)の読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は継続します。

この状態で、データの読み出しまたは書き込みを行います。

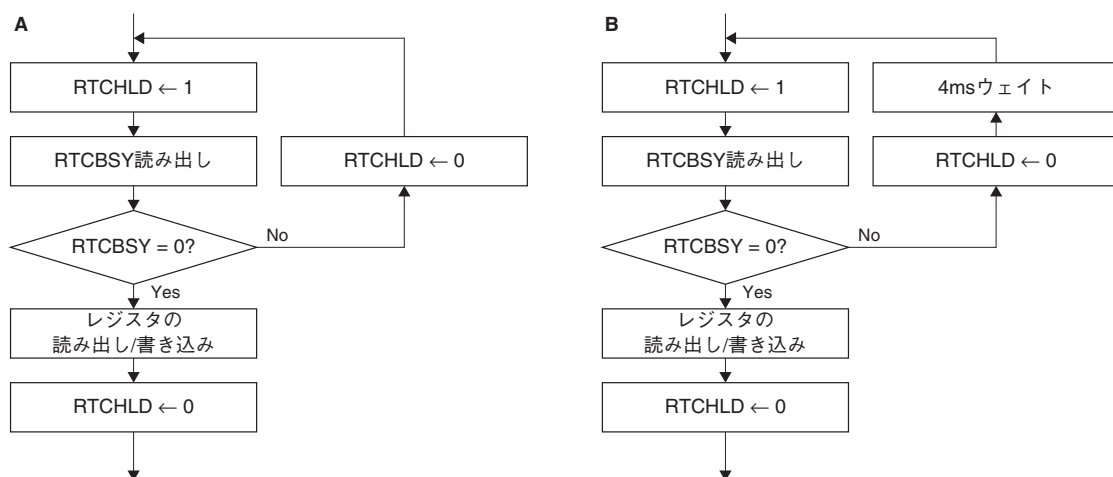
データの読み出し/書き込み後は、RTCHLD(D0/0x30190C)を0に戻します。

カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLD(D0/0x30190C)を0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLD(D0/0x30190C)を0に戻してください。

RTCBSY = 1 (RTCがビジー状態)

RTCHLD(D0/0x30190C)に1を書き込み後、RTCBSY(D1/0x30190C)の読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLD(D0/0x30190C)を0に戻し、[A]再度同じ手順でRTCBSY(D1/0x30190C)のチェックを繰り返すか、[B]4ms待機してから再度RTCBSY(D1/0x30190C)をチェックします。

RTCBSY(D1/0x30190C)が1だった場合は、必ずすぐにRTCHLD(D0/0x30190C)を0に戻してください。RTCHLD(D0/0x30190C)を1のまま放置すると、時刻が狂う場合があります。



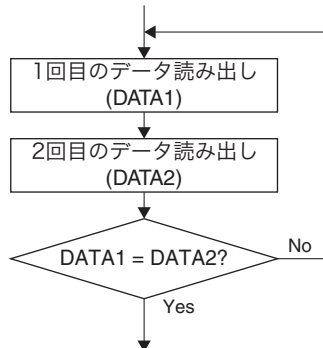
図III.3.3.5.1 RTCビジーの確認手順

データの読み出しは、RTCHLD(D0/0x30190C)とRTCBSY(D1/0x30190C)を使用しない方法でも行えます(次節参照)。

III.3.3.6 動作中のカウンタのリード/ライト

前節で説明したとおり、カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。図III.3.3.5.1のフローチャートに示した手順で、カウンタの読み出し/書き込みを行ってください。

カウンタの読み出しは、図III.3.3.6.1のように、RTCHLD(D0/0x30190C)とRTCBSY(D1/0x30190C)を使用しないで行うこともできます。



図III.3.3.6.1 カウンタをホールドしない読み出し手順

III.3.3.7 30秒補正

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。この機能はRTCADJ(D2/0x301908)に1を書き込むことで実行できます。

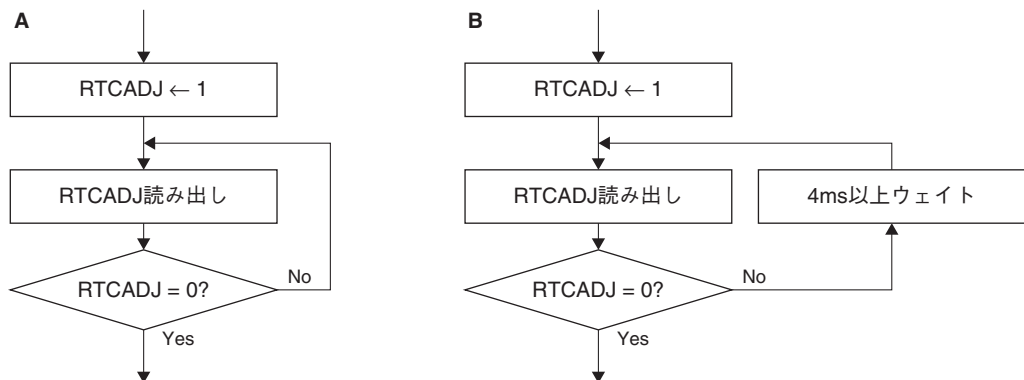
* **RTCADJ**: 30-second Adjustment Bit in the RTC Control Register (D2/0x301908)

RTCADJ(D2/0x301908)に1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

RTCADJ(D2/0x301908)は1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

RTCADJ(D2/0x301908)が1の間はカウンタへのアクセスは禁止します。また、RTCADJ(D2/0x301908)への0書き込みも誤動作の原因になるため禁止します。



図III.3.3.7.1 30秒補正の実行手順

III.3.4 RTC割り込み

RTCは、一定周期で割り込みを発生する機能を持っています。

RTCはスタンバイモード時にも動作するため、SLEEPモードの解除にも使用可能です。

ここでは、RTC内の割り込み制御機能を説明します。CPUに対して割り込みを発生させるにはITCの設定も必要です。ITCの制御については、“III.2 割り込みコントローラ(ITC)”を参照してください。また、割り込みによるSLEEPモードの解除については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■割り込み周期の設定

RTCから割り込み要求を出す周期を、RTCT[1:0](D[3:2]/0x301904)で表III.3.4.1に示す4種類から選択できます。

* **RTCT[1:0]**: RTC Interrupt Cycle Setup Bits in the RTC Interrupt Mode Register (D[3:2]/0x301904)

表III.3.4.1 割り込み周期の設定

RTCT1	RTCT0	割り込み周期
1	1	1時間
1	0	1分
0	1	1秒
0	0	1/64秒

RTCT[1:0](D[3:2]/0x301904)は、RTC割り込みを禁止した状態で設定してください(下記“割り込みの許可/禁止”参照)。

■割り込み条件の設定

ITCへ送る割り込み要求信号のエッジで割り込みを発生させるか、信号レベルで割り込みを発生させるかを設定できます。この設定には、RTCIMD(D1/0x301904)を使用します。

* **RTCIMD**: RTC Interrupt Mode Select Bit in the RTC Interrupt Mode Register (D1/0x301904)

RTCIMD(D1/0x301904)を1に設定すると信号レベルによる割り込み、0に設定するとエッジ割り込みが選択されます。

エッジ割り込みが選択されている場合、RTCはCMUから供給されるバスクロックを使って割り込みパルスをITCに出力します。SLEEP時など、バスクロックが供給されていない状態で割り込み要因が発生した場合は信号レベルによる割り込みとなり、RTCから出力される割り込み信号は、割り込み要因の発生からバスクロックの供給が開始されるまでアクティブレベルを保持します。

■割り込みの許可/禁止

ITCへのRTC割り込み要求の出力は、RTCIEN(D0/0x301904)を1に設定すると許可され、0に設定すると禁止されます。

* **RTCIEN**: RTC Interrupt Enable Bit in the RTC Interrupt Mode Register (D0/0x301904)

■割り込みステータス

RTCが動作すると、設定した割り込み周期の信号によりRTCIRQ(D0/0x301900)がセットされます。RTCIEN(D0/0x301904)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

* **RTCIRQ**: Interrupt Status Bit in the RTC Interrupt Status Register (D0/0x301900)

このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

■注意事項

RTCの上記の割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。

電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIEN(D0/0x301904)を0(割り込み禁止)に設定してください。また、RTCIRQ(D0/0x301900)も必ず1を書き込んでリセットしてください。

III.3.5 OSC1発振回路

本ICはRTCの計時用のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。

このOSC1クロックは、パワーセーブ動作にコアシステムや周辺回路の動作クロックとして使用することも可能です。その詳細については、“III.1 クロックマネジメントユニット(CMU)”を参照してください。

III.3.5.1 OSC1発振回路の入出力端子

表III.3.5.1.1にOSC1発振回路の入出力端子を示します。

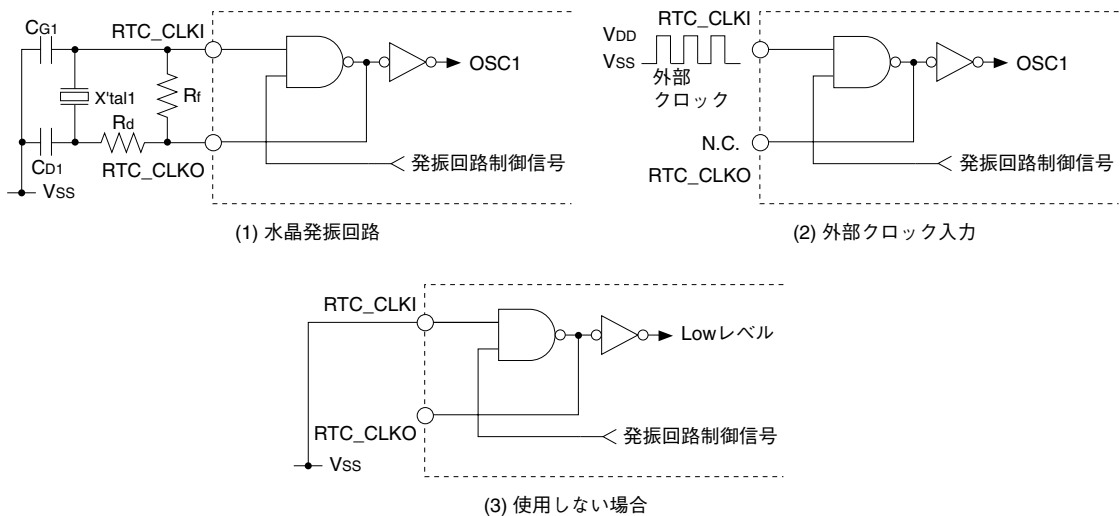
表III.3.5.1.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機 能
RTC_CLKI	I	OSC1発振入力端子: 水晶発振または外部クロック入力
RTC_CLKO	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

III.3.5.2 発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同様、V_{DD}を使用します。

図III.3.5.2.1にOSC1発振回路の構造を示します。



図III.3.5.2.1 OSC1発振回路

水晶発振回路として使用する場合は、図III.3.5.2.1(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、RTC_CLKIとRTC_CLKO端子およびV_{SS}に接続してください。

外部クロックを使用する場合はRTC_CLKO端子を開放し、V_{DD}レベルでデューティ比が50%のクロックをRTC_CLKI端子に入力してください。V_{DDH}など、I/Oレベルのクロックは入力しないでください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については“電氣的特性”を参照してください。

OSC1発振回路を使用しない場合はRTC_CLKI端子をV_{SS}に接続し、RTC_CLKO端子を開放してください。

III.3.5.3 発振の制御

OSC1発振は、CMUレジスタ内の制御ビットSOSC1(D0/0x301B08)で制御します。

* **SOSC1**: Low-speed Oscillation (OSC1) On/Off Control Bit in the System Clock Control Register (D0/0x301B08)

この制御ビットを0に設定するとOSC1発振回路は停止し、1に設定すると発振を開始してクロックを出力します。イニシャルリセット時は1に設定され、発振動作を行います。

- 注:
- System Clock Control Register(0x301B08)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。
 - SOSC1(D0/0x301B08)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

III.3.6 制御レジスタ詳細

表III.3.6.1 RTCレジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301900	RTC Interrupt Status Register (pRTCINTSTAT)	32	RTC割り込みステータス
0x00301904	RTC Interrupt Mode Register (pRTCINTMODE)	32	RTC割り込み条件と割り込み許可の設定
0x00301908	RTC Control Register (pRTC_CNTL0)	32	RTC動作の制御
0x0030190C	RTC Access Control Register (pRTC_CNTL1)	32	RTCビジーステータスとカウンタホールド制御
0x00301910	RTC Second Register (pRTCSEC)	32	秒カウンタデータ
0x00301914	RTC Minute Register (pRTCMIN)	32	分カウンタデータ
0x00301918	RTC Hour Register (pRTCHOUR)	32	時カウンタデータ
0x0030191C	RTC Day Register (pRTCDAAY)	32	日カウンタデータ
0x00301920	RTC Month Register (pRTCMONTH)	32	月カウンタデータ
0x00301924	RTC Year Register (pRTCYEAR)	32	年カウンタデータ
0x00301928	RTC Days of Week Register (pRTCDAYWEEK)	32	曜日カウンタデータ

以下にRTCの制御レジスタを個々に説明します。

RTCの制御レジスタは0x301900～0x301928のエリア6に32ビットデバイスとして割り付けられており、ワード、ハーフワードおよびバイトアクセスが可能です。

- 注:
- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
 - カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”を参照してください。
 - RTCの制御レジスタをアクセスするには、Miscレジスタの設定を行う必要があります。その設定については、“III.4 Miscレジスタ”を参照してください。
 - 本文説明中に現れた、RTCに関連するCMUやITCなどのレジスタについては、それぞれの節を参照してください。
 - III.1 クロックマネージメントユニット(CMU)
 - III.2 割り込みコントローラ(ITC)

III

RTC

0x301900: RTC Interrupt Status Register (pRTCINTSTAT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RTC interrupt status register (pRTCINTSTAT)	00301900 (W)	D31-1	—	reserved	—				—	—	0 when being read.
		D0	RTCIRQ	Interrupt status	1	Occurred	0	Not occurred	X	R/W	Reset by writing 1.

D[31:1] Reserved

D0 RTCIRQ: Interrupt Status Bit

RTC割り込み要因の発生状況を示します。

1(R): 割り込み要因発生

0(R): 割り込み要因なし

1(W): 本ビットを0にリセット

0(W): 無効

RTCT[1:0](D[3:2]/0x301904)で設定した割り込み周期の信号によってセットされます。このとき、RTCIEN(D0/0x301904)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。割り込みが禁止されている場合でもセットされます。

注: このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

また、電源投入時の値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでリセットしてください。

0x301904: RTC Interrupt Mode Register (pRTCINTMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC interrupt mode register (pRTCINTMODE)	00301904 (W)	D31~4	—	reserved	—	—	—	0 when being read.
		D3	RTCT1	RTC interrupt cycle setup	RTCT[1:0]	Cycle	X	R/W
		D2	RTCT0		11	1 hour	X	
					10	1 minute		
					01	1 second		
					00	1/64 second		
		D1	RTCIMD	RTC interrupt mode select	1 Level sense	0 Edge trigger	X	R/W
		D0	RTCIEN	RTC interrupt enable	1 Enabled	0 Disabled	X	R/W

D[31:4] Reserved**D[3:2] RTCT[1:0]: RTC Interrupt Cycle Setup Bits**

RTCの割り込み周期を選択します。

表III.3.6.2 割り込み周期の設定

RTCT1	RTCT0	割り込み周期
1	1	1時間
1	0	1分
0	1	1秒
0	0	1/64秒

(デフォルト: 不定)

選択した時間のカウンタのカウントアップパルスによりRTCIRQ(D0/0x301900)がセットされ、RTCIEN(D0)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください。(割り込み許可との同時設定は可能)

D1 RTCIMD: RTC Interrupt Mode Select Bit

RTC割り込みを割り込み要求信号のエッジで発生させるか、信号レベルで発生させるかを選択します。

1(R/W): レベル割り込み

0(R/W): エッジ割り込み

エッジ割り込みを選択してSLEEPの解除に使用する場合、CMUによりSLEEPモードは解除されますが、その時点ではITCが停止しているため、割り込みは発生しません。SLEEP解除後にRTC割り込み処理ルーチンを実行したい場合はレベル割り込みを選択してください。

D0 RTCIEN: RTC Interrupt-Enable Bit

ITCへのRTC割り込み要求の出力を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止

RTC割り込みを発生させる場合やRTC割り込み要求信号によってSLEEPモードを解除する場合は、このビットを1に設定します。このビットが0の場合、RTCIRQ(D0/0x301900)がセットされても割り込みは発生せず、SLEEPモードを解除することもできません。

注: 電源投入時のRTCIENの値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでクリアしてください。

0x301908: RTC Control Register (pRTC_CNTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC control register (pRTC_CNTL0)	00301908 (W)	D31-5	—	reserved	—	—	—	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	—	reserved	—	—	—	
		D2	RTCADJ	30-second adjustment	1 Adjust 0 —	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RTCST	Software reset	1 Reset 0 —	X	R/W	

D[31:5] Reserved**D4 RTC24H: 24H/12H Mode Select Bit**

時カウンタを24時間制/12時間制のどちらで使用するか選択します。

1(R/W): 24時間制

0(R/W): 12時間制

この選択により、時カウンタのカウント範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。本レジスタにはカウンタをスタートさせる制御ビット(D1)も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

D3 Reserved**D2 RTCADJ: 30-second Adjustment Bit**

30秒補正を実行します。

1(W): 30秒補正実行

0(W): 無効

1(R): 30秒補正実行中

0(R): 30秒補正終了(実行中以外)

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。

本ビットに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合、キャリーを発生しません。

本ビットは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

注: RTCADJが1の間はカウンタへのアクセスは禁止します。また、その間の0書き込みも誤動作の原因になるため禁止します。

D1 RTCSTP: Counter Run/Stop Control Bit

カウンタの動作を開始/停止します。また、動作状態を示します。

1(R/W): 停止制御/停止中

0(R/W): 開始制御/動作中

RTCは本ビットを0に設定するとカウントを開始し、1に設定すると停止します。

また、カウント動作中の本ビットの読み出し値は0、停止中の読み出し値は1です。

本ビットへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、III.3.3.5節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

D0 RTCRST: Software Reset Bit

分周段のカウンタをリセットします。

1(R/W): リセット状態

0(R/W): リセット解除

本ビットを1に設定すると、32kHzから2Hzまでのカウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

III

RTC

0x30190C: RTC Access Control Register (pRTC_CNTL1)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
RTC access control register (pRTC_CNTL1)	0030190C (W)	D31-2	—	reserved	—			—	—	0 when being read.
		D1	RTCBSY	Counter busy flag	1	Busy	0	R/W possible	X	R
		D0	RTCHLD	Counter hold control	1	Hold	0	Running	X	R/W

D[31:2] Reserved**D1 RTCBSY: Counter Busy Flag**

カウンタが桁上げ動作中かどうかを示します。

1(R): ビジー(桁上げ中)

0(R): リード/ライト可能

1/0(W): 無効

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、本ビットによりカウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行ってください。

ただし、カウント動作中は本ビットが1に固定されており、現在の状態を反映させるためには、RTCHLD(D0)に1を書き込む必要があります。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は継続します。

この状態で、データの読み出しまたは書き込みを行います。データの読み出し/書き込み後は、RTCHLD(D0)を0に戻します。

カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLD(D0)を0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLD(D0)を0に戻してください。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLD(D0)を0に戻し、再度同じ手順で本ビットのチェックを繰り返すか、4ms待機してから再度本ビットをチェックします。本ビットが1だった場合は、必ずすぐにRTCHLD(D0)を0に戻してください。RTCHLD(D0)を1のまま放置すると、時刻が狂う場合があります。

D0 RTCHLD: Counter Hold Control Bit

カウンタのビジー状態の確認と、カウンタのホールドを行います。

1(R/W): ビジーチェック/カウンタホールド

0(R/W): 通常動作

制御方法については、上記RTCBSY(D1)の説明を参照してください。

0x301910: RTC Second Register (pRTCSEC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC second register (pRTCSEC)	00301910 (W)	D31-7	—	reserved	—	—	—	0 when being read.
		D6	RTCSH2	RTC 10-second counter	0 to 5	X	R/W	
		D5	RTCSH1			X		
		D4	RTCSH0			X		
		D3	RTCSL3	RTC 1-second counter	0 to 9	X	R/W	
		D2	RTCSL2			X		
		D1	RTCSL1			X		
		D0	RTCSL0			X		

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

D[31:7] Reserved

D[6:4] RTCSH[2:0]: RTC 10-second Counter Bits

10秒桁の3ビットBCDカウンタです。

1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。

D[3:0] RTCSL[3:0]: RTC 1-second Counter Bits

1秒桁の4ビットBCDカウンタです。

32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。

III

RTC

0x301914: RTC Minute Register (pRTCMin)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC minute register (pRTCMin)	00301914 (W)	D31-7	—	reserved	—	—	—	0 when being read.
		D6	RTCMIH2	RTC 10-minute counter	0 to 5	X	R/W	
		D5	RTCMIH1			X		
		D4	RTCMIH0			X		
		D3	RTCMIL3	RTC 1-minute counter	0 to 9	X	R/W	
		D2	RTCMIL2			X		
		D1	RTCMIL1			X		
		D0	RTCMIL0			X		

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

D[31:7] Reserved**D[6:4] RTCMIH[2:0]: RTC 10-minute Counter Bits**

10分桁の3ビットBCDカウンタです。

1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。

D[3:0] RTCMIL[3:0]: RTC 1-minute Counter Bits

1分桁の4ビットBCDカウンタです。

10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。

0x301918: RTC Hour Register (pRTCHOUR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC hour register (pRTCHOUR)	00301918 (W)	D31-7	—	reserved	—	—	—	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5	RTCHH1	RTC 10-hour counter	0 to 2 or 0 to 1	X	R/W	
		D4	RTCHH0			X	R/W	
		D3	RTCHL3	RTC 1-hour counter	0 to 9	X	R/W	
		D2	RTCHL2			X		
		D1	RTCHL1			X		
		D0	RTCHL0			X		

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/0x301908) を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24H (D4/0x301908) を変更した場合は、本レジスタを再設定してください。

D[31:7] Reserved

D6 RTCAP: AM/PM Indicator Bit

12時間制を選択した場合に午前/午後を示します。

1(R/W): 午後

0(R/W): 午前

本ビットはRTC24H (D4/0x301908) が0(12時間制)に設定されている場合にのみ有効です。

24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

注: RTC24H (D4/0x301908) により12時間制から24時間制に変更した場合、RTCAPビットは時カウンタが更新された時点で0に固定されます。時カウンタが更新されるまでは、RTCAPビットは現在の値を保持します。

D[5:4] RTCHH[1:0]: RTC 10-hour Counter Bits

10時桁の2ビットBCDカウンタです。

1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。

D[3:0] RTCHL[3:0]: RTC 1-hour Counter Bits

1時桁の4ビットBCDカウンタです。

10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。

0x30191C: RTC Day Register (pRTCDAY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC day register (pRTCDAY)	0030191C (W)	D31–6	–	reserved	–	–	–	0 when being read.
		D5	RTCDH1	RTC 10-day counter	0 to 3	X	R/W	
		D4	RTCDH0			X		
		D3	RTCDL3	RTC 1-day counter	0 to 9	X	R/W	
		D2	RTCDL2			X		
		D1	RTCDL1			X		
		D0	RTCDL0			X		

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/0x301908) を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24H (D4/0x301908) を変更した場合は、本レジスタを再設定してください。

D[31:6] Reserved**D[5:4] RTCDH[1:0]: RTC 10-day Counter Bits**

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。

D[3:0] RTCDL[3:0]: RTC 1-day Counter Bits

1日桁の4ビットBCDカウンタです。

10時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。

0x301920: RTC Month Register (pRTCMONTH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC month register (pRTCMONTH)	00301920 (W)	D31-5	—	reserved	—	—	—	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 or 1	X	R/W	
		D3	RTCMOL3	RTC 1-month counter	0 to 9	X	R/W	
		D2	RTCMOL2			X		
		D1	RTCMOL1			X		
		D0	RTCMOL0			X		

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H(D4/0x301908)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24H(D4/0x301908)を変更した場合は、本レジスタを再設定してください。

D[31:5] Reserved**D4 RTCMOH: RTC 10-month Counter Bit**

10月桁のビットです。

1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。

D[3:0] RTCMOL[3:0]: RTC 1-month Counter Bits

1月桁の4ビットBCDカウンタです。

日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。

III

RTC

0x301924: RTC Year Register (pRTCYEAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC year register (pRTCYEAR)	00301924 (W)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	RTCYH3	RTC 10-year counter	0 to 9	X	R/W	
		D6	RTCYH2			X		
		D5	RTCYH1			X		
		D4	RTCYH0			X		
		D3	RTCYL3	RTC 1-year counter	0 to 9	X	R/W	
		D2	RTCYL2			X		
		D1	RTCYL1			X		
		D0	RTCYL0			X		

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/0x301908) を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24H (D4/0x301908) を変更した場合は、本レジスタを再設定してください。

D[31:8] Reserved

D[7:4] RTCYPH[3:0]: RTC 10-year Counter Bits

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。

D[3:0] RTCYHL[3:0]: RTC 1-year Counter Bits

1年桁の4ビットBCDカウンタです。

月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。

0x301928: RTC Days of Week Register (pRTCDAWEEK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC days of week register (pRTCDAWEEK)	00301928 (W)	D31–3	–	reserved	–		–	–	0 when being read.
		D2	RTCWK2	RTC days of week counter	RTCWK[2:0]	Days of week	X	R/W	
		D1	RTCWK1		111	–	X		
		D0	RTCWK0		110	Saturday	X		
					101	Friday			
					100	Thursday			
					011	Wednesday			
					010	Tuesday			
					001	Monday			
					000	Sunday			

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H(D4/0x301908)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24H(D4/0x301908)を変更した場合は、本レジスタを再設定してください。

D[31:3] Reserved

D[2:0] RTCWK[2:0]: RTC Days of Week Counter Bits

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表III.3.6.3に示します。

表III.3.6.3 曜日カウンタ値と曜日との対応

RTCWK2	RTCWK1	RTCWK0	曜 日
1	1	0	土曜日
1	0	1	金曜日
1	0	0	木曜日
0	1	1	水曜日
0	1	0	火曜日
0	0	1	月曜日
0	0	0	日曜日

(デフォルト: 不定)

III

RTC

III.3.7 注意事項

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”を参照してください。
- RTC24H(D4/0x301908)を書き換えて12時間制/24時間制を変更すると、時、日、月、年、曜日のカウンタデータが壊れることがあります。したがって、RTC24H(D4/0x301908)を変更した場合は、これらのカウンタのデータを再設定してください。
- 以下のようなカウンタの設定は計時ミスの原因になりますので避けてください。
 - 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
 - カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。
- RTCの割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。
電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIEN(D0/0x301904)を0(割り込み禁止)に設定してください。また、RTCIRQ(D0/0x301900)も必ず1を書き込んでリセットしてください。
- 電源投入時など、OSC1発振回路を動作させた直後は、発振の安定に時間(約3秒)が必要です。この時間が経過するまでは、RTCのカウントを開始しないでください。

III.4 Miscレジスタ

- 注: • 0x300010～0x30001A番地のMiscレジスタは書き込み保護されています。これらのMiscレジスタを書き換えるには、Misc Protect Register(0x300020)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x300010～0x30001A番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMisc Protect Register(0x300020)を0x96以外に設定してください。
- Miscレジスタへのクロック供給は以下のビットで制御します。番地により設定するビットが異なりますので注意してください。
 - 0x300010～0x300020: MISC_HCKE(D24/0x301B04)
 - 0x300C41～0x300C4D: EGPIIO_MISC_CKE(D12/0x301B04)
- 各制御ビットの詳細については“III.1 クロックマネージメントユニット(CMU)”を参照してください。

III.4.1 RTCとUSBのウェイト制御レジスタ

III

III.4.1.1 RTCをアクセスするためのウェイトサイクル数の設定

RTC Wait Control Register(0x300010)には、RTCへのアクセス時に挿入するウェイトサイクル数を設定する制御ビットRTCWT[2:0](D[2:0])が設けられています。

MISC

* **RTCWT[2:0]**: RTC Register Access Wait Control Bits in the RTC Wait Control Register (D[2:0]/0x300010)

表III.4.1.1.1 RTCアクセス時のウェイトサイクル数

RTCWT2	RTCWT1	RTCWT0	ウェイトサイクル数 (MCLKサイクル数)
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	0サイクル

(デフォルト: 0b111 = 7サイクル)

MCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。
S1C33L19はRTCWT[2:0]≥1で動作可能です。

III.4.1.2 USB用の設定

USB Wait Control Register(0x300012)には、USBレジスタへのアクセス時に挿入するウェイトサイクル数を設定する制御ビットUSBWT[2:0](D[2:0])が設けられています。

* **USBWT[2:0]**: USB Register Access Wait Control Bits in the USB Wait Control Register (D[2:0]/0x300012)

表III.4.1.2.1 USBアクセス時のウェイトサイクル数

USBWT2	USBWT1	USBWT0	ウェイトサイクル数 (MCLKサイクル単位)	MCLKクロック 周波数
1	1	1	7サイクル	60MHz以下
1	1	0	6サイクル	56MHz以下
1	0	1	5サイクル	45MHz以下
1	0	0	4サイクル	36MHz以下
0	1	1	3サイクル	24MHz以下
0	1	0	2サイクル	16MHz以下
0	0	1	1サイクル	8MHz以下
0	0	0	0サイクル	8MHz以下

(デフォルト: 0b111 = 7サイクル)

MCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

USB Wait Control Register(0x300012)にはUSBファンクションコントローラのスヌーズモードを制御するUSBSNZビット(D5)も割り付けられています。

* **USBSNZ**: USB Snooze Control Bit in the USB Wait Control Register (D5/0x300012)

USB制御の詳細については、“IX.1 USBファンクションコントローラ”を参照してください。

III.4.2 デバッグポートMUXレジスタ

P15～P17、P34～P36端子はPCトレースデバッグ機能および他の周辺機能と共用されており、イニシャルリセット時はDST0(P15)、DST1(P16)、DPCO(P17)、DSIO(P34)、DCLK(P35)、DST2(P36)デバッグ端子に設定されます。これらの端子をGPIOポートまたは他の周辺機能端子として使用するには、TRCMUX(D0/0x300014)を0に設定する必要があります。

* **TRCMUX:** P15–17, P34–36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

TRCMUX(D0/0x300014)が0に設定されると、P15～P17、P34～P36のポート機能選択ビットが有効となり、端子機能の選択が可能になります。これらの端子をデバッグ用に使用する場合は、TRCMUX(D0/0x300014)を1に設定してください。

III.4.3 ブートレジスタ

Boot Register(0x300018)はブートデバイスの確認と#CE10ブート条件の設定に使用します。
 BOOT[3:0](D[7:4]/0x300018)はBOOT1とBOOT0端子で指定されたブートデバイスを示しています。

- * **BOOT[3:0]**: Boot Mode Indicator Bits in the Boot Register (D[7:4]/0x300018)

表III.4.3.1 BOOT[3:0]ビット

BOOT3	BOOT2	BOOT1	BOOT0	ブートモード
1	0	0	0	SPIブート
0	1	0	0	NORフラッシュ/外部ROMブート
0	0	1	0	Reserved
0	0	0	1	NANDフラッシュブート

この他に、Boot Register(0x300018)は内部ブートファームウェアによるブートシーケンスで使用される
 BOOT_ENA(D1)とCE10_SIZE(D0)も含んでいます。

- * **BOOT_ENA**: #CE10 Area Boot Enable Bit in the Boot Register (D1/0x300018)
- * **CE10_SIZE**: #CE10 Area Size Select Bit in the Boot Register (D0/0x300018)

注: ICD33を使用してフラッシュメモリのプログラミングを行う場合は、BOOT_ENA(D1/0x300018)を0
 に設定する必要があります。このとき、書き込みによってブートモードを変更しないように注意し
 てください。

III.4.4 定数テーブル選択レジスタ

ハードウェアアクセラレータで定数を使用する場合に定数の参照先を切り替えます。

* **COROM**: Reference Source of Constant Value Select Register (D0/0x30001A)

0 (R/W): チップ内蔵定数

1 (R/W): DSTRAM (デフォルト)

通常、DSTRAM(0x84000-0x847FF)を参照先とします。ハードウェアアクセラレートモジュールによっては、チップ内蔵定数を参照先に設定することがあります。

III.4.5 端子制御レジスタ

III.4.5.1 プルアップ制御

一部を除き、S1C33L19の入出力端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。1端子ごとにプルアップ抵抗を使用するかしないかプルアップ制御ビットによって選択可能です。表III.4.5.1.1にレジスタおよび制御ビットと端子の対応を示します。

表III.4.5.1.1 プルアップ制御ビットと端子の対応

制御レジスタ	制御ビット	端子	初期設定
P0 Pull-up Control Register (0x300C42)	PUP0[7:0] (D[7:0])	P07~P00	プルアップなし
P1 Pull-up Control Register (0x300C43)	PUP1[7:5] (D[7:5])	P17~P15	プルアップ
	PUP1[4:0] (D[4:0])	P14~P10	プルアップなし
P2 Pull-up Control Register (0x300C44)	PUP2[7:0] (D[7:0])	P27~P20	プルアップ
P3 Pull-up Control Register (0x300C45)	PUP3[6:4] (D[6:4])	P36~P34	プルアップ
	PUP3[3:0] (D[3:0])	P33~P30	プルアップなし
P4 Pull-up Control Register (0x300C46)	PUP4[7:0] (D[7:0])	P47~P40	プルアップ
P5 Pull-up Control Register (0x300C47)	PUP5[7:0] (D[7:0])	P57~P50	プルアップ
P6 Pull-up Control Register (0x300C48)	PUP6[7:0] (D[7:0])	P67~P60	プルアップなし
P7 Pull-up Control Register (0x300C49)	PUP7[4:0] (D[4:0])	P74~P70	プルアップなし
P8 Pull-up Control Register (0x300C4A)	PUP8[5:0] (D[5:0])	P85~P80	プルアップなし
P9 Pull-up Control Register (0x300C4B)	PUP9[7:0] (D[7:0])	P97~P90	プルアップなし
PA Pull-up Control Register (0x300C4C)	PUPA[4:0] (D[4:0])	PA4~PA0	プルアップ
PB Pull-up Control Register (0x300C4D)	PUPB[3:0] (D[3:0])	PB3~PB0	プルアップ

プルアップ制御ビットを1に設定すると、対応する端子は入力モード時にプルアップされます。プルアップせずに使用する端子については、対応する制御ビットに0を書き込んでください。

注: • プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

- ポートが出力モードの場合、プルアップ制御ビットの設定にかかわらず端子はプルアップされません。

III.4.5.2 バスのLow駆動

S1C33L19では、バス信号出力を制御レジスタにより強制的にLowにすることができます。バスに接続されている外部デバイスの電源をOFFにしたいときに有効です。

表III.4.5.2.1にレジスタおよび制御ビットとバス信号の対応を示します。

表III.4.5.2.1 Low駆動制御ビットとバス信号の対応

制御レジスタ	制御ビット	バス信号
Bus Signal Low Drive Control Register (0x300C41)	LDRVDB (D3)	D[15:0]
	LDRVCE (D2)	#CE[11:4]
	LDRVAD (D1)	A[24:0]
	LDRVRW (D0)	#RD, #WRL, #WRH, #BSL

上記の制御ビットに1を書き込むと、対応するバス信号がLowになります。0を書き込むとSRAMC/SDRAMCにより通常に制御される状態に戻ります。

注: • Low駆動制御ビットは、バス信号を汎用入出力ポート(Pxx)に設定した場合は無効です。

- 外部メモリから命令をフェッチしている状態で上記信号をLowにすると正常動作なくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

III.4.6 Miscレジスタの動作クロック

MiscレジスタはCMUから供給されるMISC_CLK(= MCLK)およびEGPIO_MISC_CLK(= MCLK)クロックで動作します。MISC_CLKは0x300010～0x300020番地、EGPIO_MISC_CLKは0x300C41～0x300C4D番地のクロックになります。クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■Miscレジスタ動作クロックの供給制御

MISC_CLKクロックは常にMiscレジスタ(0x300010～0x300020)に供給され、通常動作時に停止することはできませんが、HALT時には停止させることができます。MISC_HCKE(D24/0x301B04)を0に設定しておくことにより、CPUがHALTモードになるとMISC_CLKの供給が停止し、HALTモードが解除されるとクロック供給が再開します。

EGPIO_MISC_CLKクロックは、デフォルト設定でEGPIOおよびMiscレジスタ(0x300C41～0x300C4D)に供給されるようになっています。EGPIOを使用しない場合で、かつMiscレジスタの0x300C41～0x300C4D番地にアクセスしない場合は、EGPIO_MISC_CKE(D12/0x301B04)により供給を停止して消費電流を低減することができます。

- * **MISC_HCKE:** Misc (0x300010–0x300020) Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D24/0x301B04)
- * **EGPIO_MISC_CKE:** EGPIO and Misc (0x300C41–0x300C4D) Clock Control Bit in the Gated Clock Control Register 1 (D12/0x301B04)

■スタンバイモード時のクロック状態

スタンバイモードの種類により、Miscレジスタへのクロック供給は停止します。

HALTモード: 0x300010～0x300020番地

動作クロックは通常モードと同様に供給されます。

MISC_HCKE(D24/0x301B04)を0に設定することで停止可能です。

0x300C41～0x300C4D番地

動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はMiscレジスタも動作を停止します。

III.4.7 制御レジスタ詳細

表III.4.7.1 Miscレジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300010	RTC Wait Control Register (pMISC_RTCWT)	8	RTCレジスタアクセスウェイトサイクルの設定
0x00300012	USB Wait Control Register (pMISC_USBWT)	8	USBレジスタアクセスウェイトサイクルの設定
0x00300014	Debug Port MUX Register (pMISC_PMUX)	8	P15～P17、P34～P36端子をデバッグ用に設定
0x00300016	Performance Analyzer Control Register (pMISC_PAC)	8	テスト用レジスタ
0x00300018	Boot Register (pMISC_BOOT)	8	ブート条件の表示/設定
0x0030001A	COROM Switch Register (pMISC_COROM)	8	定数テーブル選択レジスタ
0x00300020	Misc Protect Register (pMISC_PROT)	8	Miscレジスタ書き込み保護の設定/解除
0x00300C41	Bus Signal Low Drive Control Register (pMISC_BUSLOW)	8	バスのLow駆動制御
0x00300C42	P0 Pull-up Control Register (pMISC_PUP0)	8	P0ポートプルアップ抵抗の制御
0x00300C43	P1 Pull-up Control Register (pMISC_PUP1)	8	P1ポートプルアップ抵抗の制御
0x00300C44	P2 Pull-up Control Register (pMISC_PUP2)	8	P2ポートプルアップ抵抗の制御
0x00300C45	P3 Pull-up Control Register (pMISC_PUP3)	8	P3ポートプルアップ抵抗の制御
0x00300C46	P4 Pull-up Control Register (pMISC_PUP4)	8	P4ポートプルアップ抵抗の制御
0x00300C47	P5 Pull-up Control Register (pMISC_PUP5)	8	P5ポートプルアップ抵抗の制御
0x00300C48	P6 Pull-up Control Register (pMISC_PUP6)	8	P6ポートプルアップ抵抗の制御
0x00300C49	P7 Pull-up Control Register (pMISC_PUP7)	8	P7ポートプルアップ抵抗の制御
0x00300C4A	P8 Pull-up Control Register (pMISC_PUP8)	8	P8ポートプルアップ抵抗の制御
0x00300C4B	P9 Pull-up Control Register (pMISC_PUP9)	8	P9ポートプルアップ抵抗の制御
0x00300C4C	PA Pull-up Control Register (pMISC_PUPA)	8	PAポートプルアップ抵抗の制御
0x00300C4D	PB Pull-up Control Register (pMISC_PUPB)	8	PBポートプルアップ抵抗の制御

以下にMiscレジスタを個々に説明します。

Miscレジスタは、エリア6の0x300010～0x300020と0x300C41～0x300C4Dに8ビットデバイスとして割り付けられており、バイトアクセスが可能です。

注: 0x300010～0x30001A番地のMiscレジスタは書き込み保護されています。これらのMiscレジスタを書き換えるには、Misc Protect Register(0x300020)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x300010～0x30001A番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMisc Protect Register(0x300020)を0x96以外に設定してください。0x300C41～0x300C4D番地のレジスタは書き込み保護されません。

0x300010: RTC Wait Control Register (pMISC_RTCWT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC wait control register (pMISC_RTCWT) Protected	00300010 (B)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	RTCWT2	RTC register access wait control	0 to 7 (cycles)	1	R/W	
		D1	RTCWT1			1		
		D0	RTCWT0			1		

D[7:3] **Reserved**

D[2:0] **RTCWT[2:0]: RTC Register Access Wait Control Bits**

RTC制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。

表III.4.7.2 RTCアクセス時のウェイトサイクル数

RTCWT2	RTCWT1	RTCWT0	ウェイトサイクル数 (MCLKサイクル数)
1	1	1	7サイクル
1	1	0	6サイクル
1	0	1	5サイクル
1	0	0	4サイクル
0	1	1	3サイクル
0	1	0	2サイクル
0	0	1	1サイクル
0	0	0	0サイクル

(デフォルト: 0b111 = 7サイクル)

MCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。
S1C33L19はRTCWT[2:0]≥1で動作可能です。

0x300012: USB Wait Control Register (pMISC_USBWT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USB wait control register (pMISC_USBWT)	00300012 (B)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	USBSNZ	USB snooze control	1 Enabled 0 Disabled	0	R/W	
		D4-3	—	reserved	—	—	—	0 when being read.
		D2	USBWT2	USB register access wait control	0 to 7 (cycles)	1	R/W	
		D1	USBWT1			1		
Protected		D0	USBWT0			1		

D[7:6] Reserved**D5 USBSNZ: USB Snooze Control Bit**

USBファンクションコントローラのスヌーズ制御を有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

USBSNZに1を書き込むと、USBファンクションコントローラは必要なシーケンスを実行後、スヌーズモードに移行します。このビットを0に設定すると、USBファンクションコントローラはスヌーズモードを解除し、動作を再開します。スヌーズシーケンスの詳細については、“IX.1.4.4 スヌーズ”を参照してください。

D[4:3] Reserved**D[2:0] USBWT[2:0]: USB Register Access Wait Control Bits**

USB制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。

表III.4.7.3 USBアクセス時のウェイトサイクル数

USBWT2	USBWT1	USBWT0	ウェイトサイクル数 (MCLKサイクル単位)	MCLKクロック 周波数
1	1	1	7サイクル	60MHz以下
1	1	0	6サイクル	56MHz以下
1	0	1	5サイクル	45MHz以下
1	0	0	4サイクル	36MHz以下
0	1	1	3サイクル	24MHz以下
0	1	0	2サイクル	16MHz以下
0	0	1	1サイクル	8MHz以下
0	0	0	0サイクル	8MHz以下

(デフォルト: 0b111 = 7サイクル)

MCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

0x300014: Debug Port MUX Register (pMISC_PMUX)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Debug port MUX register (pMISC_PMUX) Protected	00300014 (B)	D7-1	—	reserved	—			—	—	0 when being read.
		D0	TRCMUX	P15-17, P34-36 debug function selection	1	Debug	0	GPIO, etc.	1	R/W

D[7:1] Reserved

D0 TRCMUX: P15-17, P34-36 Debug Function Select Bit

P15～P17、P34～P36端子をデバッグ用に設定します。

1(R/W): デバッグ用端子(デフォルト)

0(R/W): GPIOまたは周辺機能端子

P15～P17、P34～P36端子はPCトレースデバッグ機能および他の周辺機能と共用されており、イニシャルリセット時はDST0(P15)、DST1(P16)、DPCO(P17)、DSIO(P34)、DCLK(P35)、DST2(P36)デバッグ端子に設定されます。これらの端子をGPIOポートまたは他の周辺機能端子として使用するには、TRCMUXを0に設定する必要があります。

TRCMUXが0に設定されると、P15～P17、P34～P36のポート機能選択ビットが有効となり、端子機能の選択が可能になります。これらの端子をデバッグ用に使用する場合は、TRCMUXを1に設定してください。

III

MISC

0x300016: Performance Analyzer Control Register (pMISC_PAC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Performance analyzer control register (pMISC_PAC) Protected	00300016 (B)	D7-2	—	reserved	—	—	—	Do not access in the user program.
		D1	PARUN	Test bit	—	—	—	
		D0	PACLR	Test bit	—	—	—	

D[7:2] Reserved**D1 PARUN: Test Bit****D0 PACLR: Test Bit**

注: このレジスタはテスト用です。ユーザプログラムからはアクセスしないでください。

0x300018: Boot Register (pMISC_BOOT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Boot register (pMISC_BOOT)	00300018 (B)	D7	BOOT3	Boot mode indicator	BOOT[3:0]		Boot mode	X	R/W	Depend on the BOOT1 and BOOT0 pin status at initial reset
		D6	BOOT2		1000	SPI	X			
D5		BOOT1	0100		NOR Flash/ROM	X				
D4		BOOT0	0010		reserved	X				
			0001		NAND Flash					
Protected		D3–2	–	reserved	–		–	–	0 when being read.	
		D1	BOOT_ENA	#CE10 area boot enable	1	Internal	0	External	1	R/W
		D0	CE10_SIZE	#CE10 area size	1	16 bits	0	8 bits	1	R/W

D[7:4] BOOT[3:0]: Boot Mode Indicator Bits

BOOT1とBOOT0端子で指定されたブートデバイスを示します。

表III.4.7.4 BOOT[3:0]ビット

BOOT3	BOOT2	BOOT1	BOOT0	ブートモード
1	0	0	0	SPIブート
0	1	0	0	NORフラッシュ/外部ROMブート
0	0	1	0	Reserved
0	0	0	1	NANDフラッシュブート

これらのビットはシステムのブートプログラムで設定されます。ユーザプログラムからビットの値を変更しないでください。

D[3:2] Reserved

D1 BOOT_ENA: #CE10 Area Boot Enable Bit

#CE10外部エリア(0xC00000)からRESETベクタをフェッチするように設定します。

1(R/W): 内部ブート(デフォルト)

0(R/W): 外部ブート

このビットはシステムのブートプログラムで設定されます。ICD33を使用してフラッシュメモリのプログラミングを行う場合は、BOOT_ENAを0に設定する必要があります。

D0 CE10_SIZE: #CE10 Area Size Select Bit

ブート時に#CE10エリアのサイズを設定します。

1(R/W): 16ビット(デフォルト)

0(R/W): 8ビット

このビットはシステムのブートプログラムで設定されます。ユーザプログラムからビットの値を変更しないでください。

0x30001A: COROM Switch Register (pMISC_COROM)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
COROM Switch Register (pMISC_COROM)	0030001A (B)	D7-1	—	reserved	—			—	—	0 when being read.
		D0	COROM	Reference Source of Constant Value Select Register	1	DSTRAM	0	Internal	1	R/W

D[7:1]: **Reserved**

D0: Reference Source of Constant Value Select Register

ハードウェアアクセラレータで定数を使用する場合に定数の参照先を切り替えます。

0 (R/W): チップ内蔵定数

1 (R/W): DSTRAM (デフォルト)

通常、DSTRAM(0x84000-0x847FF)を参照先とします。ハードウェアアクセラレートモジュールによってはチップ内蔵定数を参照先に設定することがあります。

0x300020: Misc Protect Register (pMISC_PROT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Misc protect register (pMISC_PROT)	00300020 (B)	D7	PROT7	Misc register protect flag	Writing 10010110 (0x96)	0	R/W	
		D6	PROT6		removes the write protection of	0		
		D5	PROT5		the Misc registers	0		
		D4	PROT4		(0x300010–0x30001A).	0		
		D3	PROT3		Writing another value set the	0		
		D2	PROT2		write protection.	0		
		D1	PROT1			0		
		D0	PROT0			0		

D[7:0] PROT[7:0]: Misc Register Protect Flag

Miscレジスタ (0x300010～0x30001A)の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護解除

0x96以外(R/W): 書き込み保護(デフォルト: 0x0)

0x300010～0x30001AのMiscレジスタを変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではMiscレジスタの書き換えが何度でも行えます。Miscレジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x300C41: Bus Signal Low Drive Control Register (pMISC_BUSLOW)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Bus signal low drive control register (pMISC_BUSLOW)	00300C41 (B)	D7-4	—	reserved	—		—	—	0 when being read.	
		D3	LDRVDB	D15-D0 low drive	1	Low drive	0	Normal output	0	R/W
		D2	LDRVCE	#CE11-#CE4 low drive					0	R/W
		D1	LDRVAD	A24-A0 low drive					0	R/W
		D0	LDRVVRW	#RD, #WRL, #WRH, #BSL low drive					0	R/W

D[7:4] Reserved**D3 LDRVDB: D15–D0 Low Drive Control Bit**

データバス信号を強制的にLowに制御します。

1(R/W): Low駆動

0(R/W): 通常出力(デフォルト)

LDRVDBを1に設定すると、D15～D0信号が強制的にLowとなります。0に設定すると、SRAMC/SDRAMCによる通常出力となります。

D2 LDRVCE: #CE11–#CE4 Low Drive Control Bit

チップイネーブル信号を強制的にLowに制御します。

1(R/W): Low駆動

0(R/W): 通常出力(デフォルト)

LDRVCEを1に設定すると、#CE11～#CE4信号が強制的にLowとなります。0に設定すると、SRAMC/SDRAMCによる通常出力となります。

D1 LDRVAD: A24–A0 Low Drive Control Bit

アドレスバス信号を強制的にLowに制御します。

1(R/W): Low駆動

0(R/W): 通常出力(デフォルト)

LDRVADを1に設定すると、A24～A0信号が強制的にLowとなります。0に設定すると、SRAMC/SDRAMCによる通常出力となります。

D0 LDRVVRW: #RD, #WRL, #WRH, #BSL Low Drive Control Bit

バス制御信号を強制的にLowに制御します。

1(R/W): Low駆動

0(R/W): 通常出力(デフォルト)

LDRVVRWを1に設定すると、#RD、#WRL、#WRHおよび#BSL信号が強制的にLowとなります。0に設定すると、SRAMCによる通常出力となります。

注: • 端子を汎用入出力ポート(Pxx)に設定した場合、Low駆動の制御は無効です。

- 外部メモリから命令をフェッチしている状態でバス信号をLowにすると正常動作しなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

0x300C42: P0 Pull-up Control Register (pMISC_PUP0)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 pull-up control register (pMISC_PUP0)	00300C42 (B)	D7	PUP07	P07 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP06	P06 pull-up					0	R/W	
		D5	PUP05	P05 pull-up					0	R/W	
		D4	PUP04	P04 pull-up					0	R/W	
		D3	PUP03	P03 pull-up					0	R/W	
		D2	PUP02	P02 pull-up					0	R/W	
		D1	PUP01	P01 pull-up					0	R/W	
		D0	PUP00	P00 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP07: P07 Pull-up Control Bit

P07ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D6 PUP06: P06 Pull-up Control Bit

P06ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D5 PUP05: P05 Pull-up Control Bit

P05ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D4 PUP04: P04 Pull-up Control Bit

P04ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP03: P03 Pull-up Control Bit

P03ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP02: P02 Pull-up Control Bit

P02ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP01: P01 Pull-up Control Bit

P01ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP00: P00 Pull-up Control Bit

P00ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C43: P1 Pull-up Control Register (pMISC_PUP1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P1 pull-up control register (pMISC_PUP1)	00300C43 (B)	D7	PUP17	P17 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP16	P16 pull-up					1	R/W	
		D5	PUP15	P15 pull-up					1	R/W	
		D4	PUP14	P14 pull-up					0	R/W	
		D3	PUP13	P13 pull-up					0	R/W	
		D2	PUP12	P12 pull-up					0	R/W	
		D1	PUP11	P11 pull-up					0	R/W	
		D0	PUP10	P10 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP17: P17 Pull-up Control Bit

P17ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D6 PUP16: P16 Pull-up Control Bit

P16ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D5 PUP15: P15 Pull-up Control Bit

P15ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D4 PUP14: P14 Pull-up Control Bit

P14ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP13: P13 Pull-up Control Bit

P13ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP12: P12 Pull-up Control Bit

P12ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP11: P11 Pull-up Control Bit

P11ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP10: P10 Pull-up Control Bit

P10ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C44: P2 Pull-up Control Register (pMISC_PUP2)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P2 pull-up control register (pMISC_PUP2)	00300C44 (B)	D7	PUP27	P27 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP26	P26 pull-up					1	R/W	
		D5	PUP25	P25 pull-up					1	R/W	
		D4	PUP24	P24 pull-up					1	R/W	
		D3	PUP23	P23 pull-up					1	R/W	
		D2	PUP22	P22 pull-up					1	R/W	
		D1	PUP21	P21 pull-up					1	R/W	
		D0	PUP20	P20 pull-up					1	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP27: P27 Pull-up Control Bit

P27ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D6 PUP26: P26 Pull-up Control Bit

P26ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D5 PUP25: P25 Pull-up Control Bit

P25ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D4 PUP24: P24 Pull-up Control Bit

P24ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D3 PUP23: P23 Pull-up Control Bit

P23ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D2 PUP22: P22 Pull-up Control Bit

P22ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D1 PUP21: P21 Pull-up Control Bit

P21ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D0 PUP20: P20 Pull-up Control Bit

P20ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

0x300C45: P3 Pull-up Control Register (pMISC_PUP3)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P3 pull-up control register (pMISC_PUP3)	00300C45 (B)	D7	—	reserved	—		—	—	1 when being read.		
		D6	PUP36	P36 pull-up	1	Pulled up	0	No pull-up		1	R/W
		D5	PUP35	P35 pull-up						1	R/W
		D4	PUP34	P34 pull-up						1	R/W
		D3	PUP33	P33 pull-up						0	R/W
		D2	PUP32	P32 pull-up						0	R/W
		D1	PUP31	P31 pull-up						0	R/W
		D0	PUP30	P30 pull-up						0	R/W

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 Reserved**D6 PUP36: P36 Pull-up Control Bit**

P36ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D5 PUP35: P35 Pull-up Control Bit

P35ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D4 PUP34: P34 Pull-up Control Bit

P34ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D3 PUP33: P33 Pull-up Control Bit

P33ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP32: P32 Pull-up Control Bit

P32ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP31: P31 Pull-up Control Bit

P31ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP30: P30 Pull-up Control Bit

P30ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C46: P4 Pull-up Control Register (pMISC_PUP4)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P4 pull-up control register (pMISC_PUP4)	00300C46 (B)	D7	PUP47	P47 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP46	P46 pull-up					1	R/W	
		D5	PUP45	P45 pull-up					1	R/W	
		D4	PUP44	P44 pull-up					1	R/W	
		D3	PUP43	P43 pull-up					1	R/W	
		D2	PUP42	P42 pull-up					1	R/W	
		D1	PUP41	P41 pull-up					1	R/W	
		D0	PUP40	P40 pull-up					1	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP47: P47 Pull-up Control Bit

P47ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D6 PUP46: P46 Pull-up Control Bit

P46ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D5 PUP45: P45 Pull-up Control Bit

P45ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D4 PUP44: P44 Pull-up Control Bit

P44ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D3 PUP43: P43 Pull-up Control Bit

P43ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D2 PUP42: P42 Pull-up Control Bit

P42ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D1 PUP41: P41 Pull-up Control Bit

P41ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D0 PUP40: P40 Pull-up Control Bit

P40ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

0x300C47: P5 Pull-up Control Register (pMISC_PUP5)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P5 pull-up control register (pMISC_PUP5)	00300C47 (B)	D7	PUP57	P57 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP56	P56 pull-up					1	R/W	
		D5	PUP55	P55 pull-up					1	R/W	
		D4	PUP54	P54 pull-up					1	R/W	
		D3	PUP53	P53 pull-up					1	R/W	
		D2	PUP52	P52 pull-up					1	R/W	
		D1	PUP51	P51 pull-up					1	R/W	
		D0	PUP50	P50 pull-up					1	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP57: P57 Pull-up Control Bit

P57ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D6 PUP56: P56 Pull-up Control Bit

P56ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D5 PUP55: P55 Pull-up Control Bit

P55ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D4 PUP54: P54 Pull-up Control Bit

P54ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D3 PUP53: P53 Pull-up Control Bit

P53ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D2 PUP52: P52 Pull-up Control Bit

P52ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D1 PUP51: P51 Pull-up Control Bit

P51ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D0 PUP50: P50 Pull-up Control Bit

P50ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

0x300C48: P6 Pull-up Control Register (pMISC_PUP6)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P6 pull-up control register (pMISC_PUP6)	00300C48 (B)	D7	PUP67	P67 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP66	P66 pull-up					0	R/W	
		D5	PUP65	P65 pull-up					0	R/W	
		D4	PUP64	P64 pull-up					0	R/W	
		D3	PUP63	P63 pull-up					0	R/W	
		D2	PUP62	P62 pull-up					0	R/W	
		D1	PUP61	P61 pull-up					0	R/W	
		D0	PUP60	P60 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP67: P67 Pull-up Control Bit

P67ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D6 PUP66: P66 Pull-up Control Bit

P66ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D5 PUP65: P65 Pull-up Control Bit

P65ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D4 PUP64: P64 Pull-up Control Bit

P64ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP63: P63 Pull-up Control Bit

P63ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP62: P62 Pull-up Control Bit

P62ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP61: P61 Pull-up Control Bit

P61ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP60: P60 Pull-up Control Bit

P60ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C49: P7 Pull-up Control Register (pMISC_PUP7)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P7 pull-up control register (pMISC_PUP7)	00300C49 (B)	D7-5	—	reserved	—				—	—	1 when being read.
		D4	PUP74	P74 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D3	PUP73	P73 pull-up					0	R/W	
		D2	PUP72	P72 pull-up					0	R/W	
		D1	PUP71	P71 pull-up					0	R/W	
		D0	PUP70	P70 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D[7:5] Reserved**D4 PUP74: P74 Pull-up Control Bit**

P74ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP73: P73 Pull-up Control Bit

P73ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP72: P72 Pull-up Control Bit

P72ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP71: P71 Pull-up Control Bit

P71ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP70: P70 Pull-up Control Bit

P70ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C4A: P8 Pull-up Control Register (pMISC_PUP8)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P8 pull-up control register (pMISC_PUP8)	00300C4A (B)	D7–6	–	reserved	–			–	–	1 when being read.	
		D5	PUP85	P85 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D4	PUP84	P84 pull-up					0	R/W	
		D3	PUP83	P83 pull-up					0	R/W	
		D2	PUP82	P82 pull-up					0	R/W	
		D1	PUP81	P81 pull-up					0	R/W	
		D0	PUP80	P80 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1 (R/W): プルアップあり

0 (R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D[7:6] Reserved

D5 PUP85: P85 Pull-up Control Bit

P85ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D4 PUP84: P84 Pull-up Control Bit

P84ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP83: P83 Pull-up Control Bit

P83ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP82: P82 Pull-up Control Bit

P82ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP81: P81 Pull-up Control Bit

P81ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP80: P80 Pull-up Control Bit

P80ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C4B: P9 Pull-up Control Register (pMISC_PUP9)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P9 pull-up control register (pMISC_PUP9)	00300C4B (B)	D7	PUP97	P97 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP96	P96 pull-up					0	R/W	
		D5	PUP95	P95 pull-up					0	R/W	
		D4	PUP94	P94 pull-up					0	R/W	
		D3	PUP93	P93 pull-up					0	R/W	
		D2	PUP92	P92 pull-up					0	R/W	
		D1	PUP91	P91 pull-up					0	R/W	
		D0	PUP90	P90 pull-up					0	R/W	

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D7 PUP97: P97 Pull-up Control Bit

P97ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D6 PUP96: P96 Pull-up Control Bit

P96ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D5 PUP95: P95 Pull-up Control Bit

P95ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D4 PUP94: P94 Pull-up Control Bit

P94ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D3 PUP93: P93 Pull-up Control Bit

P93ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D2 PUP92: P92 Pull-up Control Bit

P92ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D1 PUP91: P91 Pull-up Control Bit

P91ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

D0 PUP90: P90 Pull-up Control Bit

P90ポートのプルアップ抵抗を制御します。(デフォルト: 0、プルアップなし)

0x300C4C: PA Pull-up Control Register (pMISC_PUPA)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
PA pull-up control register (pMISC_PUPA)	00300C4C (B)	D7–5	–	reserved	–			–	–	1 when being read.
		D4	PUPA4	PA4 pull-up	1	Pulled up	0	No pull-up	1	R/W
		D3	PUPA3	PA3 pull-up					1	R/W
		D2	PUPA2	PA2 pull-up					1	R/W
		D1	PUPA1	PA1 pull-up					1	R/W
		D0	PUPA0	PA0 pull-up					1	R/W

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D[7:5] Reserved

D4 PUPA4: PA4 Pull-up Control Bit

PA4ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D3 PUPA3: PA3 Pull-up Control Bit

PA3ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D2 PUPA2: PA2 Pull-up Control Bit

PA2ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D1 PUPA1: PA1 Pull-up Control Bit

PA1ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D0 PUPA0: PA0 Pull-up Control Bit

PA0ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

0x300C4D: PB Pull-up Control Register (pMISC_PUPB)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
PB pull-up control register (pMISC_PUPB)	00300C4D (B)	D7-4	—	reserved	—		—	—	1 when being read.	
		D3	PUPB3	PB3 pull-up	1	Pulled up	0	No pull-up	1	R/W
		D2	PUPB2	PB2 pull-up					1	R/W
		D1	PUPB1	PB1 pull-up					1	R/W
		D0	PUPB0	PB0 pull-up					1	R/W

このレジスタは、入出力ポートのプルアップ抵抗を制御します。

1(R/W): プルアップあり

0(R/W): プルアップなし

プルアップ制御ビットを1に設定すると、対応する端子が入力モード時にプルアップされます。0に設定すると、プルアップされません。また、プルアップ制御ビットが1の場合でも、ポートが出力モード時はプルアップされません。

プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

D[7:4] Reserved

D3 PUPB3: PB3 Pull-up Control Bit

PB3ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D2 PUPB2: PB2 Pull-up Control Bit

PB2ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D1 PUPB1: PB1 Pull-up Control Bit

PB1ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

D0 PUPB0: PB0 Pull-up Control Bit

PB0ポートのプルアップ抵抗を制御します。(デフォルト: 1、プルアップ)

III.4.8 注意事項

- 0x300010～0x30001A番地のMiscレジスタは書き込み保護されています。これらのMiscレジスタを書き換えるには、Misc Protect Register(0x300020)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x300010～0x30001A番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMisc Protect Register(0x300020)を0x96以外に設定してください。
- Miscレジスタへのクロック供給は以下のビットで制御します。番地により設定するビットが異なりますので注意してください。
0x300010～0x300020: MISC_HCKE(D24/0x301B04)
0x300C41～0x300C4D: EGPI0_MISC_CKE(D12/0x301B04)
各制御ビットの詳細については“III.1 クロックマネージメントユニット(CMU)”を参照してください。
- Low駆動制御ビットは、バス信号を汎用入出力ポート(Pxx)に設定した場合は無効です。
- 外部メモリから命令をフェッチしている状態でバス信号をLowにすると正常動作なくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

このページはブランクです。

S1C33L19 Technical Manual

IV 周辺モジュール2 (タイマ)

IV.1 16ビットタイマ(T16)

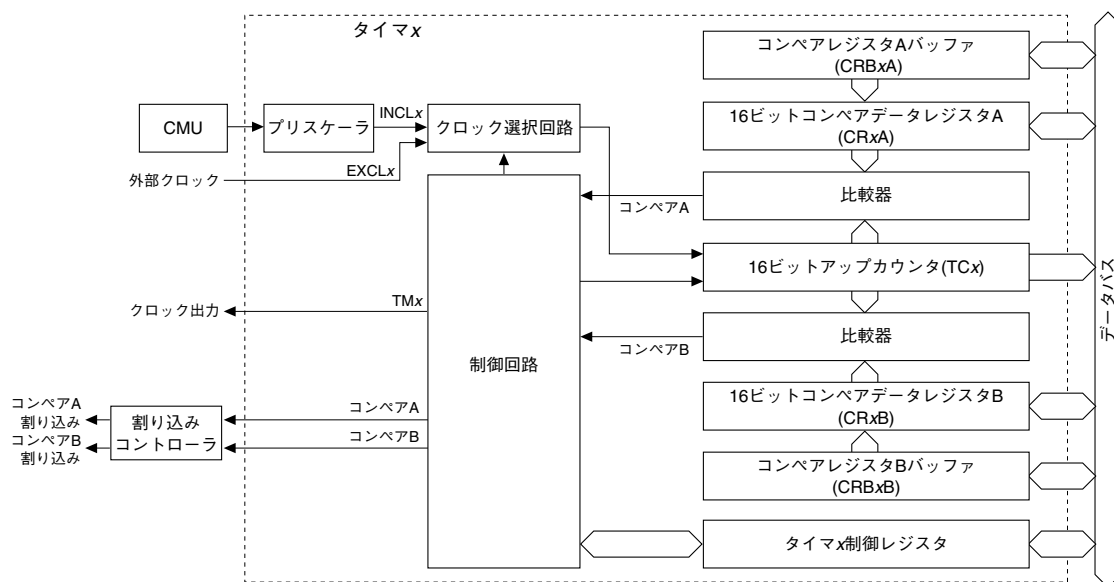
IV.1.1 16ビットタイマの構成

S1C33L19は、16ビットプログラマブルタイマの4系統を内蔵しています(タイマ0～3)。16ビットタイマの主な機能は次の通りです。

- プリスケアラを内蔵し、プログラマブルなカウントクロックの設定が可能
- 外部入力によるイベントカウンタ機能
- コンペアデータレジスタによって周期を設定可能な割り込み発生機能
- コンペアデータレジスタを使用したPWM出力
- PWMによる高音質出力に適したファインモード、DA16に対応

注: 以降、4系統のタイマの名称をタイマ x として説明します($x = 0 \sim 3$)。16ビットタイマ0～3の機能および制御レジスタの構成は同一です。制御ビット名にはタイマ番号を示す0～3が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を x に置き換えて記述します。

図IV.1.1.1に16ビットタイマの1チャンネルの構成を示します。



図IV.1.1.1 16ビットタイマの構成

各タイマには、16ビットのアップカウンタ($TCx[15:0](D[15:0]/0x300784 + 8 \cdot x)$)と、2つの16ビットコンペアデータレジスタ($CRxA[15:0](D[15:0]/0x300780 + 8 \cdot x)$ 、 $CRxB[15:0](D[15:0]/0x300782 + 8 \cdot x)$)とそのバッファ($CRBxA$ 、 $CRBxB$)が設けられています。

- * **TCx[15:0]**: 16-bit Timer x Counter Data Bits in the 16-bit Timer x Counter Data Register ($D[15:0]/0x300784 + 8 \cdot x$)
- * **CRxA[15:0]**: 16-bit Timer x Comparison Data A Bits in the 16-bit Timer x Comparison Data A Setup Register ($D[15:0]/0x300780 + 8 \cdot x$)
- * **CRxB[15:0]**: 16-bit Timer x Comparison Data B Bits in the 16-bit Timer x Comparison Data B Setup Register ($D[15:0]/0x300782 + 8 \cdot x$)

16ビットカウンタはソフトウェアで0にリセット可能で、プリスケアラの出力クロックまたは入出力ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

IV 周辺モジュール2(タイマ): 16ビットタイマ(T16)

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETx(D1/0x300786 + 8•x)への1書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

* **PRESETx**: 16-bit Timer x Reset Bit in the 16-bit Timer x Control Register (D1/0x300786 + 8•x)

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

IV.1.2 16ビットタイマの入出力端子

表IV.1.2.1に16ビットタイマで使用する入出力端子を示します。

表IV.1.2.1 16ビットタイマの入出力端子

端子名	I/O	機 能
EXCL0	I/O	16ビットタイマ0イベントカウンタ入力
EXCL1	I/O	16ビットタイマ1イベントカウンタ入力
EXCL2	I/O	16ビットタイマ2イベントカウンタ入力
EXCL3	I/O	16ビットタイマ3イベントカウンタ入力
TM0	I/O	16ビットタイマ0出力
TM1	I/O	16ビットタイマ1出力
TM2	I/O	16ビットタイマ2出力
TM3	I/O	16ビットタイマ3出力

■TMx (16ビットタイマ出力端子)

タイマ x で生成したクロックを出力します。

■EXCLx (イベントカウンタ入力端子)

タイマ x をイベントカウンタとして使用する場合に、外部からのカウントパルスを入力します。

注: 16ビットタイマの入出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態では16ビットタイマ以外の機能に設定されます。これらの端子に割り当てられている16ビットタイマの入出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

IV.1.3 16ビットタイマの用途

16ビットタイマのアップカウンタは、ソフトウェアで設定したコンペアデータにより周期的にコンペアマッチ信号を出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

■CPUへの割り込み要求/IDMA起動要求(タイマ0~3)

各タイマのコンペアマッチ(カウンタとコンペアデータの一致)を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

また、この割り込み要因によってIDMAまたはHSDMAを起動することも可能です。

■IC外部へのクロック出力(タイマ0~3)

コンペアマッチ信号により生成したクロックをIC外部に出力することができます。コンペアB信号でクロックの周期が決まり、コンペアA信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

■A/D変換開始トリガ(タイマ0)

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、16ビットタイマ0のコンペアB信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/D変換トリガ選択ビットTS[1:0](D[4:3]/0x300542)に0b01を書き込み、トリガに16ビットタイマ0を選択します。

* TS[1:0]: A/D Conversion Trigger Select Bits in the A/D Trigger/Channel Select Register (D[4:3]/0x300542)

IV.1.4 16ビットタイマの動作クロック

16ビットタイマはCMUから供給されるTM_x_CLKクロック(= MCLK)で動作します。また、タイマのカウントに使用するクロックは、各タイマに内蔵されたプリスケアラがTM_x_CLKクロックから生成します。

■動作クロックの供給制御

TM_x_CLKクロックはデフォルト設定で16ビットタイマに供給されるようになっています。16ビットタイマを使用しない場合は、TM_x_CKE(D13+x/0x301B04)により供給を停止して消費電力を抑えることができます。

* **TM_x_CKE**: 16-bit Timer x Clock Control Bit in the Gated Clock Control Register 1 (D13+x/0x301B04)

TM_x_CKE(D13+x/0x301B04)を0(初期設定は1)に設定すると、16ビットタイマへの動作クロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスもできなくなります。動作クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■スタンバイモード時のクロック状態

スタンバイモードの種類により、16ビットタイマへのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時は16ビットタイマも動作を停止します。

IV.1.5 16ビットタイマの制御と動作

16ビットタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 入力・出力端子の設定(必要な場合のみ)...IV.1.2、I.3.3参照
2. カウントクロックの設定
3. コンペアデータレジスタ/バッファの選択
4. クロック出力条件の設定(信号極性、初期信号、ファインモード)...IV.1.6参照
5. コンペアデータの設定
6. 割り込み/DMAの設定...IV.1.7参照

■標準モードと拡張モード

S1C33L19の16ビットタイマはC33 STDの16ビットタイマを基に機能が拡張されており、従来の16ビットタイマとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表IV.1.5.1に動作モードによる機能の相違点を示します。

表IV.1.5.1 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
カウンタデータレジスタへの書き込み	不可(リードオンリ)	可能
タイマ出力レベルの初期値(HighまたはLow)設定	不可 (OUTINV x の設定値で決定)	可能 (INITOL x で指定可能)
DA16機能(DA16レジスタ)	使用不可	使用可能
複数タイマの完全な同期	不可	可能 (PAUSE x で制御可能)

拡張モードにするには、T16ADV(D0/0x3007DE)を1に設定します。この設定後、拡張モード用制御レジスタ/ビットへの書き込みが可能となります。イニシャルリセット時はT16ADV(D0/0x3007DE)が0に設定され、標準モードになります。

* **T16ADV**: Standard Mode/Advanced Mode Select Bit in the 16-bit Timer STD/ADV Mode Select Register (D0/0x3007DE)

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。拡張モードの各機能については、T16ADV(D0/0x3007DE)が1に設定されているものとして説明します。

注: 標準/拡張モードの設定は、16ビットタイマのすべてに適用されます。タイマ個別に設定することはできません。

■カウントクロックの設定

各タイマのカウントクロックには内部クロックと外部クロックが選択できます。選択はCKSL x (D3/0x300786 + 8 $\cdot$ x)で行います。

* **CKSL x** : 16-bit Timer x Input Clock Select Bit in the 16-bit Timer x Control Register (D3/0x300786 + 8 $\cdot$ x)

CKSL x (D3/0x300786 + 8 $\cdot$ x)に1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。イニシャルリセット時は内部クロックに設定されます。外部クロックは、入力端子を設定したタイマで使用可能です。

• 内部クロック

内部クロックを選択すると、そのタイマに内蔵されたプリスケアラがTM x _CLKから生成したクロックにより動作します。

プリスケアラの分周比はP16TS x [2:0](D[2:0]/0x3007E0 + 2 $\cdot$ x)で8種類から選択可能です。クロックはP16TON x (D3/0x3007E0 + 2 $\cdot$ x)に1を書き込むことでプリスケアラから出力されます。

* **P16TS x [2:0]**: 16-bit Timer x Clock Division Ratio Select Bits in the 16-bit Timer x Clock Control Register (D[2:0]/0x3007E0 + 2 $\cdot$ x)

* **P16TON x** : 16-bit Timer x Clock Control Bit in the 16-bit Timer x Clock Control Register (D3/0x3007E0 + 2 $\cdot$ x)

表IV.1.5.2 プリスケアラ分周比の設定

P16TSx2	P16TSx1	P16TSx0	分周比
1	1	1	MCLK/4096
1	1	0	MCLK/1024
1	0	1	MCLK/256
1	0	0	MCLK/64
0	1	1	MCLK/16
0	1	0	MCLK/4
0	0	1	MCLK/2
0	0	0	MCLK/1

(デフォルト: 0b000 = MCLK/1)

注: カウントクロックの設定は、16ビットタイマが停止中に行ってください。

- 使用しないタイマのP16TONx(D3/0x3007E0 + 2•x)は消費電流を低減させるため、0に設定してください。
- 外部クロック

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はCPU動作クロックの2倍以上としてください。

■コンペアデータレジスタ/バッファの選択

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETx(D1/0x300786 + 8•x)への1書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについて、SELCRBx(D5/0x300786 + 8•x)で設定します。

* **SELCRBx**: 16-bit Timer x Comparison Register Buffer Enable Bit in the 16-bit Timer x Control Register (D5/0x300786 + 8•x)

SELCRBx(D5/0x300786 + 8•x)に1を書き込むとコンペアレジスタバッファ、0を書き込むとコンペアデータレジスタが選択されます。

イニシャルリセット時は、コンペアデータレジスタが選択されます。

■コンペアデータの設定

タイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値はCRxA[15:0](D[15:0]/0x300780 + 8•x)とCRxB[15:0](D[15:0]/0x300782 + 8•x)で設定します。

* **CRxA[15:0]**: 16-bit Timer x Comparison Data A Bits in the 16-bit Timer x Comparison Data A Setup Register (D[15:0]/0x300780 + 8•x)

* **CRxB[15:0]**: 16-bit Timer x Comparison Data B Bits in the 16-bit Timer x Comparison Data B Setup Register (D[15:0]/0x300782 + 8•x)

SELCRBx(D5/0x300786 + 8•x)が0に設定されている場合、これらのレジスタによりコンペアデータレジスタが直接読み出し/書き込み可能です。

SELCRBxが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは初期化されません。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TMx信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

■DA16機能(拡張モード)

拡張モードでは、16ビットデータを上位10ビットと下位6ビットに分割して2つのタイマのコンペアデータAレジスタ(またはバッファ)に同時に書き込むDA16機能をサポートしています。これにより、16ビットタイマを16ビットD/A変換器のように使用するためのソフトウェアの負荷を軽減することができます。

この機能のためにDA16レジスタが3個設けられています。これらのレジスタとタイマの対応を以下に示します。

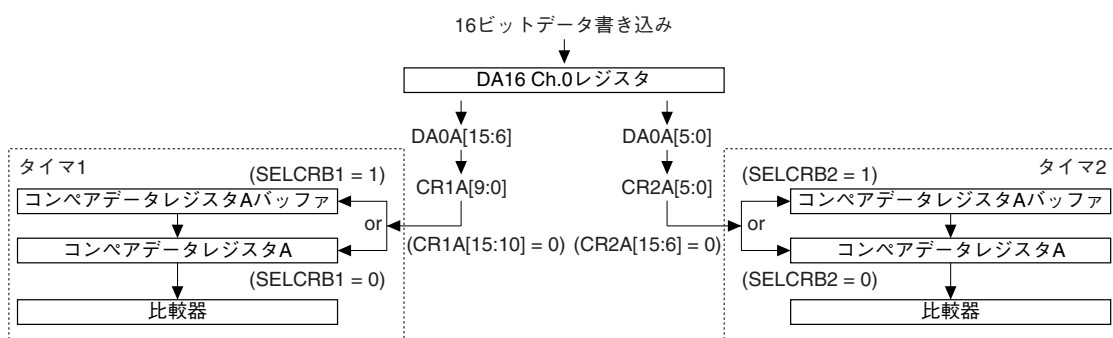
(タイマAおよびタイマB)

DA16 Ch.0 Register (0x3007D0): タイマ1およびタイマ2

DA16 Ch.1 Register (0x3007D2): タイマ0およびタイマ3

このレジスタにデータを書き込むと、データの上位10ビットはタイマAのコンペアデータAレジスタ(バッファ)にコンペアデータの下位10ビットとして、下位6ビットはタイマBのコンペアデータAレジスタ(バッファ)にコンペアデータの下位6ビットとしてロードされます。

標準モードでは、DA16レジスタにデータを書き込むことはできません。



図IV.1.5.1 DA16機能(Ch.0)

■カウンタのリセット

各タイマのアップカウンタは、 $\text{PRESET}_x(\text{D1}/0\text{x}300786 + 8 \cdot x)$ によってリセットできます。

* **PRESET_x**: 16-bit Timer x Reset Bit in the 16-bit Timer x Control Register ($\text{D1}/0\text{x}300786 + 8 \cdot x$)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。

カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

■タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御する $\text{PRUN}_x(\text{D0}/0\text{x}300786 + 8 \cdot x)$ が設けられています。

* **PRUN_x**: 16-bit Timer x Run/Stop Control Bit in the 16-bit Timer x Control Register ($\text{D0}/0\text{x}300786 + 8 \cdot x$)

タイマは $\text{PRUN}_x(\text{D0}/0\text{x}300786 + 8 \cdot x)$ に1を書き込むことによってカウントを開始します。PRUN_xに0を書き込むとクロックの入力が禁止され、カウントは停止します。

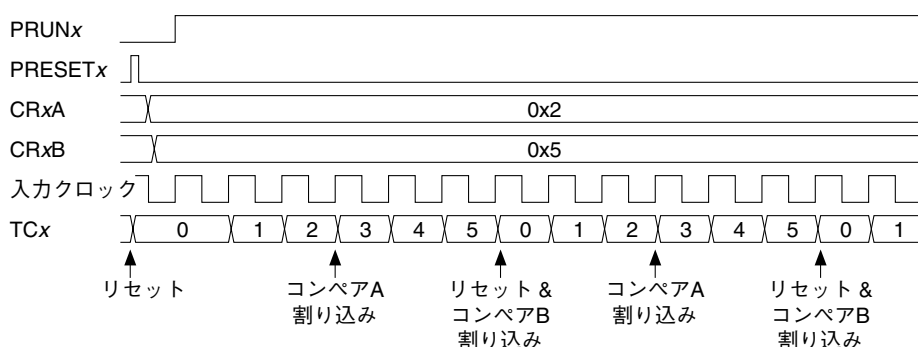
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウント中にカウンタがコンペアデータレジスタAの設定値と一致すると、コンペアA割り込みが発生します。

また、カウンタがコンペアデータレジスタBの設定値と一致すると、コンペアB割り込みが発生するとともに、カウンタをリセットします。SELCRB_x($\text{D5}/0\text{x}300786 + 8 \cdot x$)が1に設定されている場合は、コンペアレジスタバッファに設定してある値がコンペアデータレジスタにロードされます。

どちらの割り込みが発生した場合もカウンタ動作はそのまま続きます。コンペアB割り込みの場合はカウンタ値0からのカウントとなります。

PRUN_x($\text{D0}/0\text{x}300786 + 8 \cdot x$)とPRESET_x($\text{D1}/0\text{x}300786 + 8 \cdot x$)に同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。



図IV.1.5.2 カウンタの基本動作タイミング

■複数タイマの同期方法(拡張モード)

タイマのRUN/STOP制御ビットはアドレスの離れた制御レジスタにあるため、複数のタイマを同時にスタートさせることができません。そこで、1つのアドレスに各タイマのカウンタを一時停止する制御ビットPAUSE_x(D_x/0x3007DC)が用意されています。

* PAUSE_x: 16-bit Timer x Count Pause Bit in the Count Pause Register (D_x/0x3007DC)

PAUSE_x(D_x/0x3007DC)を1に設定するとタイマ_xのカウンタが停止し、0に設定するとPRUN_x(D₀/0x300786 + 8・_x)の設定に従って動作あるいは停止状態となります。

ただし、PAUSE_x(D_x/0x3007DC)を使用するには、16ビットタイマを拡張モードに設定する必要があります。

複数のタイマのカウンタを同期させる手順は以下のとおりです。

1. 同期させるすべてのタイマのプリスケールクロックを同じ設定にします。
2. 同期させるタイマのPAUSE_x(D_x/0x3007DC)を1に設定してポーズ状態にします。
3. 同期させるタイマのPRUN_x(D₀/0x300786 + 8・_x)を1に設定します。
この時点では、PAUSE_x(D_x/0x3007DC)が1に設定されているため、タイマはカウンタを開始しません。
4. 同期させるタイマのPAUSE_x(D_x/0x3007DC)を同時に0に設定します。
対応するタイマすべてが同時にカウンタを開始します。

■カウンタデータの読み出し

カウンタデータはTC_x[15:0](D[15:0]/0x300784 + 8・_x)から任意のタイミングで読み出しが可能です。

* TC_x[15:0]: 16-bit Timer x Counter Data Bits in the 16-bit Timer x Counter Data Register (D[15:0]/0x300784 + 8・_x)

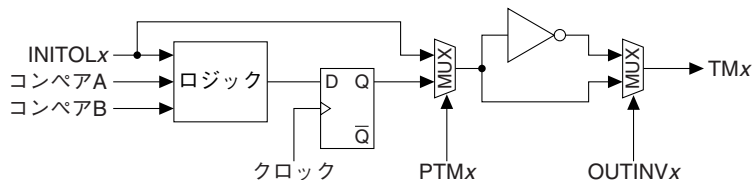
■カウンタデータの書き込み(拡張モード)

拡張モードでは、TC_x[15:0](D[15:0]/0x300784 + 8・_x)に任意のタイミングでカウンタデータを書き込むことができます。これにより、割り込み/クロック出力の周期を一時的に変更することが可能になります。標準モードでは、カウンタデータを書き込むことはできません。

IV.1.6 クロック出力の制御

各タイマは、コンペアマッチ信号によってTM_x信号を発生させることができます。

図IV.1.6.1に16ビットタイマのクロック出力回路を示します。



図IV.1.6.1 16ビットタイマのクロック出力回路

■初期出力レベルの設定(拡張モード)

クロック出力がOffの状態でのデフォルト出力レベルは0(Lowレベル)です。これをINITOL_x(D8/0x300786 + 8・*x*)で1(Highレベル)に変更することができます。ただし、この機能は拡張モードでのみ使用可能です。

* **INITOL_x**: 16-bit Timer *x* Initial Output Level Select Bit in the 16-bit Timer *x* Control Register (D8/0x300786 + 8・*x*)

INITOL_x(D8/0x300786 + 8・*x*)が0(デフォルト)の場合、初期出力レベルはLowです。1に設定すると、初期出力レベルはHighになります。

タイマをPRESET_x(D1/0x300786 + 8・*x*)への1書き込みによりリセットした場合も、タイマ出力はここで設定した初期出力レベルになります。

■出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOUTINV_x(D4/0x300786 + 8・*x*)で反転させることができます。OUTINV_x(D4/0x300786 + 8・*x*)に1を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

* **OUTINV_x**: 16-bit Timer *x* Clock Output Inversion Bit in the 16-bit Timer *x* Control Register (D4/0x300786 + 8・*x*)

OUTINV_x(D4/0x300786 + 8・*x*)を1に設定すると、INITOL_x(D8/0x300786 + 8・*x*)で設定した初期出力レベルも反転します。

出力波形については図IV.1.6.2を参照してください。

■出力端子の設定

ここで発生したTM_x信号は、クロック出力端子(表IV.1.2.1参照)から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

コールドスタート時、出力に使用する端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をタイマ出力に切り換えると、INITOL_x(D8/0x300786 + 8・*x*)およびOUTINV_x(D4/0x300786 + 8・*x*)の設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって出力が変化するまで出力はこのレベルに保たれます。

表IV.1.6.1 初期出力レベル

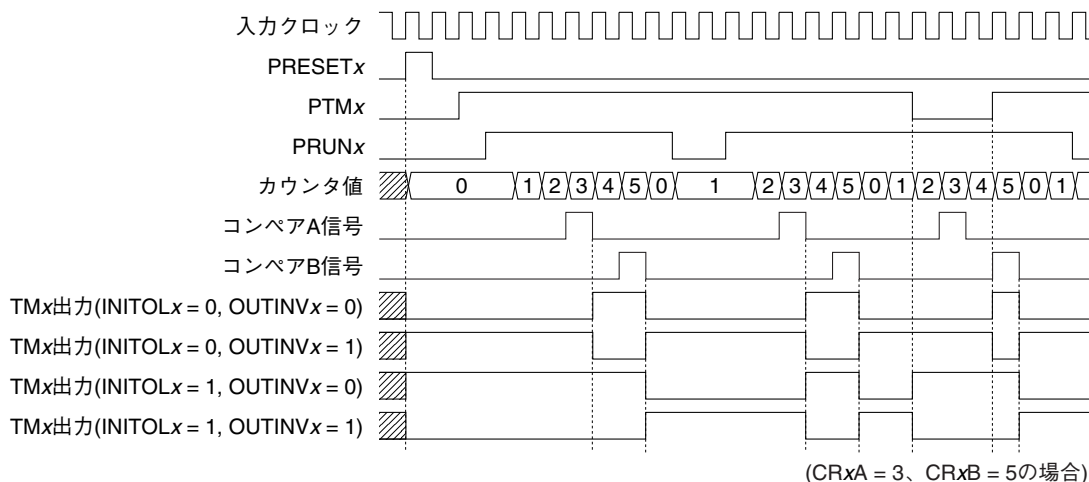
INITOL _x	OUTINV _x	初期出力レベル
1	1	Low
1	0	High
0	1	High
0	0	Low

■クロック出力の開始

TM_xクロックを出力するには、クロック出力制御ビットPTM_x(D2/0x300786 + 8・x)に1を書き込みます。PTM_xに0を書き込むと、出力はINITOL_x(D8/0x300786 + 8・x)およびOUTINV_x(D4/0x300786 + 8・x)の設定値に従った初期出力レベルとなります。

* **PTM_x**: 16-bit Timer x Clock Output Control Bit in the 16-bit Timer x Control Register (D2/0x300786 + 8・x)

図IV.1.6.2に出力波形を示します。



図IV.1.6.2 16ビットタイマの出力波形

OUTINV_x = 0(アクティブHigh)の場合

タイマは、カウンタがCRxA[15:0](D[15:0]/0x300780 + 8・x)に設定したコンペアデータAに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxB[15:0](D[15:0]/0x300782 + 8・x)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込みも発生します。

* **CRxA[15:0]**: 16-bit Timer x Comparison Data A Bits in the 16-bit Timer x Comparison Data A Setup Register (D[15:0]/0x300780 + 8・x)

* **CRxB[15:0]**: 16-bit Timer x Comparison Data B Bits in the 16-bit Timer x Comparison Data B Setup Register (D[15:0]/0x300782 + 8・x)

OUTINV_x = 1(アクティブLow)の場合

タイマは、カウンタがCRxA[15:0](D[15:0]/0x300780 + 8・x)に設定したコンペアデータAに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxB[15:0](D[15:0]/0x300782 + 8・x)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込みも発生します。

■クロック出力ファインモードの設定

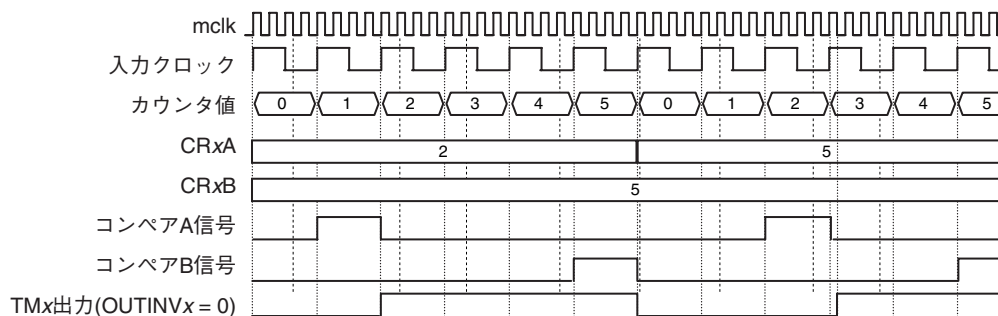
デフォルト(イニシャルリセット時)では、 $CRxA[15:0](D[15:0]/0x300780 + 8 \cdot x)$ と $TCx[15:0](D[15:0]/0x300784 + 8 \cdot x)$ が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

* **TCx[15:0]**: 16-bit Timer x Counter Data Bits in the 16-bit Timer x Counter Data Register ($D[15:0]/0x300784 + 8 \cdot x$)

ファインモードのクロック出力は、 $CRxA[15:1](D[15:1]/0x300780 + 8 \cdot x)$ と $TCx[14:0](D[14:0]/0x300784 + 8 \cdot x)$ が一致した場合に、 $CRxA0(D0/0x300780 + 8 \cdot x)$ の値に従って変化します。

$CRxA0$ が0の場合: 入力クロックの立ち上がりで変化

$CRxA0$ が1の場合: 半周期遅れのMCLKの立ち下がりで変化



図IV.1.6.3 ファインモードのクロック出力

このように、ファインモードではMCLKの半周期きざみで出力デューティを調節することができます。ただし、 $CRxA[15:0] = 0$ の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでの $CRxB[15:0]$ の最大値は $2^{15} - 1 = 32,767$ 、 $CRxA[15:0]$ の設定範囲は $0 \sim (2 \times CRxB[15:0] - 1)$ となります。

ファインモードは $SELFMx(D6/0x300786 + 8 \cdot x)$ で設定します。

* **SELFMx**: 16-bit Timer x Fine Mode Select Bit in the 16-bit Timer x Control Register ($D6/0x300786 + 8 \cdot x$)

$SELFMx(D6/0x300786 + 8 \cdot x)$ に1を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

■注意事項

- (1) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、 $A = B$ でも問題ありません。割り込みは正常に発生します。
- (2) タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- (3) コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

IV.1.7 16ビットタイマ割り込みとDMA

16ビットタイマには、各タイマのコンペアマッチAとBによって割り込みを発生させる機能があります。割り込みの発生タイミングは、図IV.1.5.2に示したとおりです。

■割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表IV.1.7.1に示します。

表IV.1.7.1 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0コンペアA	F16TC0 (D3/0x300282)	E16TC0 (D3/0x300272)	P16T0[2:0] (D[2:0]/0x300266)
タイマ0コンペアB	F16TU0 (D2/0x300282)	E16TU0 (D2/0x300272)	
タイマ1コンペアA	F16TC1 (D7/0x300282)	E16TC1 (D7/0x300272)	P16T1[2:0] (D[6:4]/0x300266)
タイマ1コンペアB	F16TU1 (D6/0x300282)	E16TU1 (D6/0x300272)	
タイマ2コンペアA	F16TC2 (D3/0x300283)	E16TC2 (D3/0x300273)	P16T2[2:0] (D[2:0]/0x300267)
タイマ2コンペアB	F16TU2 (D2/0x300283)	E16TU2 (D2/0x300273)	
タイマ3コンペアA	F16TC3 (D7/0x300283)	E16TC3 (D7/0x300273)	P16T3[2:0] (D[6:4]/0x300267)
タイマ3コンペアB	F16TU3 (D6/0x300283)	E16TU3 (D6/0x300273)	

タイマにコンペアマッチが発生すると、対応する割り込み要因フラグが1にセットされます。

その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、タイマのコンペアマッチによって1にセットされます。

割り込みプライオリティレジスタは、タイマ割り込みの優先レベル(0~7)を設定します。優先順位はタイマ番号の小さい方が高く、また、割り込みの種類としてはコンペアB割り込みがコンペアA割り込みに優先します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

タイマの割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。

各割り込み要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.	IDMA Ch.
タイマ0コンペアB: 0x07	タイマ0コンペアA: 0x08
タイマ1コンペアB: 0x09	タイマ1コンペアA: 0x0A
タイマ2コンペアB: 0x0B	タイマ2コンペアA: 0x0C
タイマ3コンペアB: 0x0D	タイマ3コンペアA: 0x0E

IDMAを起動させるには、表IV.1.7.2に示すIDMAリクエストビットとIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表IV.1.7.2 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
タイマ0コンペアA	R16TC0(D7/0x300290)	DE16TC0(D7/0x300294)
タイマ0コンペアB	R16TU0(D6/0x300290)	DE16TU0(D6/0x300294)
タイマ1コンペアA	R16TC1(D1/0x300291)	DE16TC1(D1/0x300295)
タイマ1コンペアB	R16TU1(D0/0x300291)	DE16TU1(D0/0x300295)
タイマ2コンペアA	R16TC2(D3/0x300291)	DE16TC2(D3/0x300295)
タイマ2コンペアB	R16TU2(D2/0x300291)	DE16TU2(D2/0x300295)
タイマ3コンペアA	R16TC3(D5/0x300291)	DE16TC3(D5/0x300295)
タイマ3コンペアB	R16TU3(D4/0x300291)	DE16TU3(D4/0x300295)

IDMAリクエストビットおよびIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■高速DMA

タイマ0～5の割り込み要因は、高速DMA(HSDMA)を起動することもできます。
タイマ0～5に対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表IV.1.7.3 HSDMAトリガ設定ビット

割り込み要因	HSDMA Ch.	トリガ設定ビット
タイマ0コンペアA	0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0-1 trigger set-up register (0x300298) = 0111
タイマ0コンペアB	0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0-1 trigger set-up register (0x300298) = 0110
タイマ1コンペアA	1	HSD1S[3:0] (D[7:4]) / HSDMA Ch.0-1 trigger set-up register (0x300298) = 0111
タイマ1コンペアB	1	HSD1S[3:0] (D[7:4]) / HSDMA Ch.0-1 trigger set-up register (0x300298) = 0110
タイマ2コンペアA	2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2-3 trigger set-up register (0x300299) = 0111
タイマ2コンペアB	2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2-3 trigger set-up register (0x300299) = 0110
タイマ3コンペアA	3	HSD3S[3:0] (D[7:4]) / HSDMA Ch.2-3 trigger set-up register (0x300299) = 0111
タイマ3コンペアB	3	HSD3S[3:0] (D[7:4]) / HSDMA Ch.2-3 trigger set-up register (0x300299) = 0110

HSDMAを起動させるには、トリガ設定ビットで割り込み要因を選択しておきます。また、HSDMA側の転送条件等の設定も必要です。

HSDMAのトリガ要因に16ビットタイマを選択すると、その割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、“II.1 高速DMA(HSDMA)”を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0コンペアB割り込み: 0x0C00078
 タイマ0コンペアA割り込み: 0x0C0007C
 タイマ1コンペアB割り込み: 0x0C00088
 タイマ1コンペアA割り込み: 0x0C0008C
 タイマ2コンペアB割り込み: 0x0C00098
 タイマ2コンペアA割り込み: 0x0C0009C
 タイマ3コンペアB割り込み: 0x0C000A8
 タイマ3コンペアA割り込み: 0x0C000AC

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

IV.1.8 制御レジスタ詳細

表IV.1.8.1 16ビットタイマ制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300780	16-bit Timer 0 Comparison Data A Setup Register (pT16_CR0A)	16	16ビットタイマ0のコンペアデータAを設定
0x00300782	16-bit Timer 0 Comparison Data B Setup Register (pT16_CR0B)	16	16ビットタイマ0のコンペアデータBを設定
0x00300784	16-bit Timer 0 Counter Data Register (pT16_TC0)	16	16ビットタイマ0のカウンタデータ
0x00300786	16-bit Timer 0 Control Register (pT16_CTL0)	16	16ビットタイマ0の制御
0x00300788	16-bit Timer 1 Comparison Data A Setup Register (pT16_CR1A)	16	16ビットタイマ1のコンペアデータAを設定
0x0030078A	16-bit Timer 1 Comparison Data B Setup Register (pT16_CR1B)	16	16ビットタイマ1のコンペアデータBを設定
0x0030078C	16-bit Timer 1 Counter Data Register (pT16_TC1)	16	16ビットタイマ1のカウンタデータ
0x0030078E	16-bit Timer 1 Control Register (pT16_CTL1)	16	16ビットタイマ1の制御
0x00300790	16-bit Timer 2 Comparison Data A Setup Register (pT16_CR2A)	16	16ビットタイマ2のコンペアデータAを設定
0x00300792	16-bit Timer 2 Comparison Data B Setup Register (pT16_CR2B)	16	16ビットタイマ2のコンペアデータBを設定
0x00300794	16-bit Timer 2 Counter Data Register (pT16_TC2)	16	16ビットタイマ2のカウンタデータ
0x00300796	16-bit Timer 2 Control Register (pT16_CTL2)	16	16ビットタイマ2の制御
0x00300798	16-bit Timer 3 Comparison Data A Setup Register (pT16_CR3A)	16	16ビットタイマ3のコンペアデータAを設定
0x0030079A	16-bit Timer 3 Comparison Data B Setup Register (pT16_CR3B)	16	16ビットタイマ3のコンペアデータBを設定
0x0030079C	16-bit Timer 3 Counter Data Register (pT16_TC3)	16	16ビットタイマ3のカウンタデータ
0x0030079E	16-bit Timer 3 Control Register (pT16_CTL3)	16	16ビットタイマ3の制御
0x003007D0	DA16 Ch.0 Register (pDA16_CR0A)	16	DA16 Ch.0のコンペアデータAを設定
0x003007D2	DA16 Ch.1 Register (pDA16_CR1A)	16	DA16 Ch.1のコンペアデータAを設定
0x003007DC	Count Pause Register (pT16_CNT_PAUSE)	16	複数タイマの同時一時停止制御
0x003007DE	16-bit Timer STD/ADV Mode Select Register (pT16_ADVMODE)	16	標準モードまたは拡張モードの選択
0x003007E0	16-bit Timer 0 Clock Control Register (pT16_CLKCTL_0)	16	16ビットタイマ0クロックの制御と分周比の選択
0x003007E2	16-bit Timer 1 Clock Control Register (pT16_CLKCTL_1)	16	16ビットタイマ1クロックの制御と分周比の選択
0x003007E4	16-bit Timer 2 Clock Control Register (pT16_CLKCTL_2)	16	16ビットタイマ2クロックの制御と分周比の選択
0x003007E6	16-bit Timer 3 Clock Control Register (pT16_CLKCTL_3)	16	16ビットタイマ3クロックの制御と分周比の選択

以下に16ビットタイマの制御レジスタを個々に説明します。

16ビットタイマの制御レジスタは0x300780～0x3007EAの16ビットデバイスエリアに割り付けられており、ハーフワードおよびバイトアクセスが可能です。

注: 16ビットタイマの制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x300780–0x300798: 16-bit Timer x Comparison Data A Setup Registers (pT16_CRxA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer x comparison data A setup register (pT16_CRxA)	00300780 00300798 (HW)	D15	CRxA15	16-bit timer x comparison data A	0 to 65535	X	R/W	
		D14	CRxA14	CRxA15 = MSB		X		
		D13	CRxA13	CRxA0 = LSB		X		
		D12	CRxA12			X		
		D11	CRxA11			X		
		D10	CRxA10			X		
		D9	CRxA9			X		
		D8	CRxA8			X		
		D7	CRxA7			X		
		D6	CRxA6			X		
		D5	CRxA5			X		
		D4	CRxA4			X		
		D3	CRxA3			X		
		D2	CRxA2			X		
		D1	CRxA1			X		
		D0	CRxA0			X		

注: ビット名などの‘x’はタイマ番号の0～3を示します。

0x300780 16-bit Timer 0 Comparison Data A Setup Register (pT16_CR0A)

0x300788 16-bit Timer 1 Comparison Data A Setup Register (pT16_CR1A)

0x300790 16-bit Timer 2 Comparison Data A Setup Register (pT16_CR2A)

0x300798 16-bit Timer 3 Comparison Data A Setup Register (pT16_CR3A)

D[15:0] CRxA[15:0]: 16-bit Timer x Comparison Data A Bits

各タイマのコンペアデータAを設定します。(デフォルト: 不定)

SELCRB_x(D5/0x300786 + 8・x)が0に設定されている場合、これらのレジスタによりコンペアデータレジスタAが直接読み出し/書き込み可能です。

SELCRB_xが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファAに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタAにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアA割り込みが発生します。同時に、タイマ出力波形が変化します(OUTINV_x(D4/0x300786 + 8・x) = 0の場合は立ち上がり、OUTINV_x = 1の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

0x300782–0x30079A: 16-bit Timer x Comparison Data B Setup Registers (pT16_CRxB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer x comparison data B setup register (pT16_CRxB)	00300782 I 0030079A (HW)	D15	CRxB15	16-bit timer x comparison data B CRxB15 = MSB CRxB0 = LSB	0 to 65535	X	R/W	
		D14	CRxB14			X		
		D13	CRxB13			X		
		D12	CRxB12			X		
		D11	CRxB11			X		
		D10	CRxB10			X		
		D9	CRxB9			X		
		D8	CRxB8			X		
		D7	CRxB7			X		
		D6	CRxB6			X		
		D5	CRxB5			X		
		D4	CRxB4			X		
		D3	CRxB3			X		
		D2	CRxB2			X		
		D1	CRxB1			X		
		D0	CRxB0			X		

注: ビット名などの‘x’はタイマ番号の0～3を示します。

0x300782 16-bit Timer 0 Comparison Data B Setup Register (pT16_CR0B)

0x30078A 16-bit Timer 1 Comparison Data B Setup Register (pT16_CR1B)

0x300792 16-bit Timer 2 Comparison Data B Setup Register (pT16_CR2B)

0x30079A 16-bit Timer 3 Comparison Data B Setup Register (pT16_CR3B)

D[15:0] CRxB[15:0]: 16-bit Timer x Comparison Data B Bits

各タイマのコンペアデータBを設定します。(デフォルト: 不定)

SELCRB_x(D5/0x300786 + 8・x)が0に設定されている場合、これらのレジスタによりコンペアデータレジスタBが直接読み出し/書き込み可能です。

SELCRB_xが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファBに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタBにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアB割り込みが発生します。同時に、タイマ出力波形が変化し(OUTINV_x(D4/0x300786 + 8・x) = 0の場合は立ち下がり、OUTINV_x = 1の場合は立ち上がります)、カウンタが0にリセットされます。

0x300784–0x30079C: 16-bit Timer x Counter Data Registers (pT16_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer x counter data register (pT16_TCx)	00300784 I 0030079C (HW)	D15	TCx15	16-bit timer x counter data TCx15 = MSB TCx0 = LSB	0 to 65535	X	R/W	Data can be written only in advanced mode.
		D14	TCx14			X		
		D13	TCx13			X		
		D12	TCx12			X		
		D11	TCx11			X		
		D10	TCx10			X		
		D9	TCx9			X		
		D8	TCx8			X		
		D7	TCx7			X		
		D6	TCx6			X		
		D5	TCx5			X		
		D4	TCx4			X		
		D3	TCx3			X		
		D2	TCx2			X		
		D1	TCx1			X		
		D0	TCx0			X		

注: ビット名などの'x'はタイマ番号の0～3を示します。

0x300784 16-bit Timer 0 Counter Data Register (pT16_TC0)

0x30078C 16-bit Timer 1 Counter Data Register (pT16_TC1)

0x300794 16-bit Timer 2 Counter Data Register (pT16_TC2)

0x30079C 16-bit Timer 3 Counter Data Register (pT16_TC3)

D[15:0] TCx[15:0]: 16-bit Timer x Counter Data Bits

各タイマのカウンタデータが読み出せます。(デフォルト: 不定)

データは任意のタイミングで読み出しが可能です。

拡張モードでは任意のタイミングでカウンタデータを書き込むことができます。これにより、割り込み/クロック出力の周期を一時的に変更することが可能になります。標準モードでは、カウンタデータを書き込むことはできません。

0x300786–0x30079E: 16-bit Timer x Control Registers (pT16_CTLx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
16-bit timer x control register (pT16_CTLx)	00300786 I	D15–9	–	reserved	–			–	–	0 when being read.
		D8	INITOLx	16-bit timer x initial output level	1	High	0 Low	0	R/W	Advanced mode
	0030079E (HW)	D7	(TMODEx)	(reserved for 16-bit timer x test)	1	Test mode	0 Normal	0	R	Do not write 1.
		D6	SELFmx	16-bit timer x fine mode selection	1	Fine mode	0 Normal	0	R/W	
		D5	SELCRBx	16-bit timer x comparison buffer	1	Enabled	0 Disabled	0	R/W	
		D4	OUTINVx	16-bit timer x output inversion	1	Invert	0 Normal	0	R/W	
		D3	CKSLx	16-bit timer x input clock selection	1	External clock	0 Internal clock	0	R/W	
		D2	PTMx	16-bit timer x clock output control	1	On	0 Off	0	R/W	
		D1	PRESETx	16-bit timer x reset	1	Reset	0 Invalid	0	W	0 when being read.
		D0	PRUNx	16-bit timer x Run/Stop control	1	Run	0 Stop	0	R/W	

注: ビット名などの‘x’はタイマ番号の0～3を示します。

0x300786 16-bit Timer 0 Control Register (pT16_CTL0)

0x30078E 16-bit Timer 1 Control Register (pT16_CTL1)

0x300796 16-bit Timer 2 Control Register (pT16_CTL2)

0x30079E 16-bit Timer 3 Control Register (pT16_CTL3)

D[15:9] Reserved**D8 INITOLx: 16-bit Timer x Initial Output Level Bit (拡張モード)**

タイマ出力の初期出力レベルを設定します。

1(R/W): High

0(R/W): Low(デフォルト)

クロック出力をPTMx(D2)への0書き込みによりOFFした場合、またはタイマをPRESETx(D1)への1書き込みによりリセットした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、OUTINVx(D4)が1の場合、このレベルは反転します。
このビットへの書き込みは、拡張モードでのみ可能です。

D7 (TMODEx): Reserved

このビットは1に設定しないでください。

D6 SELFmx: 16-bit Timer x Fine Mode Select Bit

クロック出力をファインモードに設定します。

1(R/W): ファインモード

0(R/W): 通常出力(デフォルト)

SELFmxが1に設定されていると、クロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFmxが0に設定されている場合は、通常のクロック出力が行われます。

D5 SELCRBx: 16-bit Timer x Comparison Buffer Enable Bit

コンペアレジスタバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SELCRBxが1に設定されていると、コンペアデータの書き込み/読み出しがコンペアレジスタバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

SELCRBxが0に設定されている場合は、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

D4 OUTINVx: 16-bit Timer x Output Inversion Bit

タイマ出力信号の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

OUTINV_xに1を書き込むと、TM_x出力用にアクティブLowの信号(OFFレベル = High)が生成されます。OUTINV_xが0の場合は、アクティブHighの信号(OFFレベル = Low)が生成されます。本ビットへの1書き込みはINITOL_x(D8)で設定した初期出力レベルも反転します。

D3 CKSLx: 16-bit Timer x Input Clock Select Bit

各タイマの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

CKSL_xに0を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。1を書き込んだ場合は外部クロック(クロック入力端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、対応するポート機能選択レジスタでクロック入力端子を設定しておく必要があります。

D2 PTMx: 16-bit Timer x Clock Output Control Bit

TM_x信号(タイマ出力クロック)の出力制御を行います。

1(R/W): On

0(R/W): Off(デフォルト)

PTM_xに1を書き込むと、TM_x信号がクロック出力端子から出力されます。PTM_xに0を書き込むことによって出力は停止し、OUTINV_x(D4)およびINITOL_x(D8)の設定値に従ったOFFレベルとなります。TM_x信号を出力する前に、対応するポート機能選択レジスタでクロック出力端子を設定しておく必要があります。

D1 PRESETx: 16-bit Timer x Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

PRESET_xに1を書き込むことによって、タイマ_xのカウンタがリセットされます。

D0 PRUNx: 16-bit Timer x Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

各タイマはPRUN_xに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

0x3007D0–0x3007D2: DA16 Ch.x Registers (pDA16_CRxA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DA16 Ch.x register (pDA16_CRxA)	003007D0 I 003007D2 (HW)	D15	DAxA15	DA16 Ch.x comparison data A DAxA15 = MSB DAxA0 = LSB	0 to 65535	X	R/W	Advanced mode
		D14	DAxA14			X		
		D13	DAxA13			X		
		D12	DAxA12			X		
		D11	DAxA11			X		
		D10	DAxA10			X		
		D9	DAxA9			X		
		D8	DAxA8			X		
		D7	DAxA7			X		
		D6	DAxA6			X		
		D5	DAxA5			X		
		D4	DAxA4			X		
		D3	DAxA3			X		
		D2	DAxA2			X		
		D1	DAxA1			X		
		D0	DAxA0			X		

注: ビット名などの'x'はチャンネル番号の0～1を示します。

0x3007D0 DA16 Ch.0 Register (pDA16_CR0A)

0x3007D2 DA16 Ch.1 Register (pDA16_CR1A)

D[15:0] DAxA[15:0]: DA16 Ch.x Comparison Data A Bits (拡張モード)

DA16モードで、各チャンネルのコンペアデータAを設定します。(デフォルト: 不定)

これらのレジスタとタイマの対応を以下に示します。

(タイマAおよびタイマB)

DA16 Ch.0 Register: タイマ1およびタイマ2

DA16 Ch.1 Register: タイマ0およびタイマ3

このレジスタにデータを書き込むと、データの上位10ビット(DAxA[15:6])はタイマAのコンペアデータAレジスタ(バッファ)にコンペアデータの下位10ビットとして、下位6ビット(DAxA[5:0])はタイマBのコンペアデータAレジスタ(バッファ)にコンペアデータの下位6ビットとしてロードされます。

これにより、16ビットタイマを16ビットD/A変換器のように使用するためのソフトウェアの負荷を軽減することができます。

このレジスタへの書き込みは、拡張モードでのみ可能です。

0x3007DC: Count Pause Register (pT16_CNT_PAUSE)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Count pause register (PT16_CNT_PAUSE)	003007DC (HW)	D15-4	–	reserved	–		–	–	0 when being read.	
		D3	PAUSE3	16-bit timer 3 count pause	1	Pause	0	Count	0	R/W Advanced mode
		D2	PAUSE2	16-bit timer 2 count pause					0	
		D1	PAUSE1	16-bit timer 1 count pause					0	
		D0	PAUSE0	16-bit timer 0 count pause					0	
									0	

タイマのRUN/STOP制御ビットはアドレスの離れた制御レジスタにあるため、複数のタイマを同時にスタートさせることができません。そこで、本レジスタに各タイマのカウントを一時停止する制御ビットPAUSE_xが用意されています。

1(R/W): 一時停止

0(R/W): カウント(デフォルト)

PAUSE $_x$ を1に設定するとタイマ $_x$ のカウン트가停止し、0に設定するとPRUN $_x$ (D0/0x300786 + 8 $\cdot$ $_x$)の設定に従って動作あるいは停止状態となります。

このビットへの書き込みは、拡張モードでのみ可能です。

複数のタイマのカウントを同期させる手順は以下のとおりです。

1. 同期させるすべてのタイマのプリスケールクロックを同じ設定にします。
2. 同期させるタイマのPAUSE_xを1に設定してポーズ状態にします。
3. 同期させるタイマのPRUN_x(D0/0x300786 + 8・x)を1に設定します。
4. 同期させるタイマのPAUSE_xを同時に0に設定します。

D[15:4] Reserved

D3 PAUSE3: 16-bit Timer 3 Count Pause Bit (拡張モード)
16ビットタイマ3のカウントを一時停止します。

D2 PAUSE2: 16-bit Timer 2 Count Pause Bit (拡張モード)
16ビットタイマ2のカウントを一時停止します。

D1 PAUSE1: 16-bit Timer 1 Count Pause Bit (拡張モード)
16ビットタイマ1のカウントを一時停止します。

D0 PAUSE0: 16-bit Timer 0 Count Pause Bit (拡張モード)
16ビットタイマ0のカウントを一時停止します。

0x3007DE: 16-bit Timer STD/ADV Mode Select Register (pT16_ADVMODE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
16-bit timer STD/ADV mode select register (pT16_ADVMODE)	003007DE (HW)	D15-1	—	reserved	—			—	—	Writing 1 not allowed.
		D0	T16ADV	Standard mode/advanced mode select	1	Advanced mode	0	Standard mode	0	R/W

D[15:1] Reserved**D0 T16ADV: Standard/Advanced Mode Select Bit**

標準モードまたは拡張モードを選択します。

1(R/W): 拡張モード

0(R/W): 標準モード(デフォルト)

S1C33L19の16ビットタイマはC33 STDの16ビットタイマを基に機能が拡張されており、従来の16ビットタイマとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表IV.1.8.2に標準モードと拡張モードの相違点を示します。

表IV.1.8.2 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
カウンタデータレジスタへの書き込み	不可(リードオンリ)	可能
タイマ出力レベルの初期値(HighまたはLow)設定	不可 (OUTINV _x の設定値で決定)	可能 (INITOL _x で指定可能)
DA16機能(DA16レジスタ)	使用不可	使用可能
複数タイマの完全な同期	不可	可能 (PAUSE _x で制御可能)

拡張モードにするには、このビットを1に設定します。この設定後、拡張モード用制御レジスタ/ビットへの書き込みが可能となります。

注: 標準/拡張モードの設定は、16ビットタイマのすべてに適用されます。タイマ個別に設定することはできません。

0x3007E0–0x3007E6: 16-bit Timer x Clock Control Registers (pT16_CLKCTL_x)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
16-bit timer x clock control register (pT16_CLKCTL_x)	003007E0 I	D15–4	–	reserved	–		–	–	0 when being read.	
		D3	P16TONx	16-bit timer x clock control	1	On	0	Off	0	R/W
	003007E6 (HW)	D2	P16TSx2	16-bit timer x clock division ratio selection	P16TSx[2:0]		Division ratio		0	R/W
		D1	P16TSx1		111	MCLK/4096	0			
		D0	P16TSx0		110	MCLK/1024	0			
					101	MCLK/256				
					100	MCLK/64				
					011	MCLK/16				
					010	MCLK/4				
					001	MCLK/2				
000	MCLK/1									

注: ビット名などの‘x’はタイマ番号の0～3を示します。

- 0x3007E0 16-bit Timer 0 Clock Control Register (pT16_CLKCTL_0)
 0x3007E2 16-bit Timer 1 Clock Control Register (pT16_CLKCTL_1)
 0x3007E4 16-bit Timer 2 Clock Control Register (pT16_CLKCTL_2)
 0x3007E6 16-bit Timer 3 Clock Control Register (pT16_CLKCTL_3)

D[15:4] Reserved**D3 P16TONx: 16-bit Timer x Clock Control Bit**

16ビットタイマxへのクロック供給を制御します。

1 (R/W): On

0 (R/W): Off(デフォルト)

D[2:0] P16TSx[2:0]: 16-bit Timer x Clock Division Ratio Setup Bits

16ビットタイマxクロックの分周比を選択します。

表IV.1.8.3 分周比の選択

P16TSx2	P16TSx1	P16TSx0	分周比
1	1	1	MCLK/4096
1	1	0	MCLK/1024
1	0	1	MCLK/256
1	0	0	MCLK/64
0	1	1	MCLK/16
0	1	0	MCLK/4
0	0	1	MCLK/2
0	0	0	MCLK/1

(デフォルト: 0b000)

IV.1.9 注意事項

- カウントクロックや動作モードの設定は、16ビットタイマが停止中に行ってください。
- コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、 $A = B$ でも問題ありません。割り込みは正常に発生します。
- タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- 通常モードの場合、コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、 $A > 2 \times B + 1$ に設定すると、コンペアマッチA信号は発生しません。
- イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

IV.2 ウォッチドッグタイマ(WDT)

IV.2.1 ウォッチドッグタイマの構成

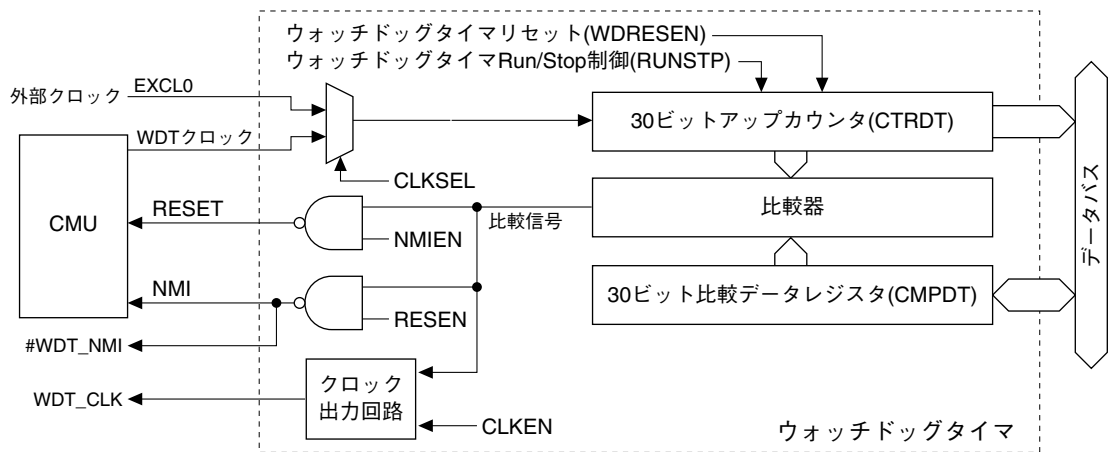
S1C33L19は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは30ビットのアップカウンタと比較データレジスタで構成され、プログラマブルな周期でNMIまたは内部リセットを発生可能です。

ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

ウォッチドッグタイマのカウントクロックとしては、WDTクロック(= MCLK)または16ビットタイマ0の外部クロック入力(EXCLO)のいずれかを選択できます。

また、比較データレジスタで設定されるNMI/リセット発生周期によりクロックを生成し、ウォッチドッグタイマ出力クロックとしてチップ外部に出力することも可能です。

図IV.2.1.1にウォッチドッグタイマのブロック図を示します。



図IV.2.1.1 ウォッチドッグタイマのブロック図

IV.2.2 ウォッチドッグタイマの入出力端子

表IV.2.2.1 ウォッチドッグタイマの入出力端子

端子名	I/O	機 能
EXCL0	I	外部クロック入力端子(16ビットタイマ0外部クロック入力)
WDT_CLK	O	ウォッチドッグタイマクロック出力端子
#WDT_NMI	O	ウォッチドッグタイマNMI出力端子

ウォッチドッグタイマのカウンタを外部クロックで動作させる場合はEXCL0端子を、またウォッチドッグタイマで生成するクロックを外部に出力する場合はWDT_CLK端子を使用します。

ウォッチドッグタイマで生成するNMI信号を外部に出力する場合は#WDT_NMI端子を使用します。

注: これらの端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではウォッチドッグタイマ以外の機能に設定されます。ウォッチドッグタイマのクロック入出力ポートとして使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

IV.2.3 ウォッチドッグタイマの動作クロック

ウォッチドッグタイマのモジュールは、CMUから供給されるWDTクロック(= MCLK)で動作します。イニシャルリセット時は、このクロックが供給されるように設定されますが、ウォッチドッグタイマの動作を停止中、またはウォッチドッグタイマを使用しない場合は、CMUからの供給を停止して消費電流を低減することができます。この制御はCMUのWDT_CKE(D9/0x301B04)で行います。

* **WDT_CKE**: Watchdog Timer Clock Control Bit in the Gated Clock Control Register 1 (D9/0x301B04)

WDT_CKE(D9/0x301B04)を0に設定すると、CMUからウォッチドッグタイマへのクロック供給が停止します。クロックの生成と制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: • ウォッチドッグタイマのカウントクロックに外部クロックを使用する場合も、WDTクロックはウォッチドッグタイマの動作および制御レジスタのアクセスに必要です。

- Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

IV.2.4 ウォッチドッグタイマの制御

IV.2.4.1 ウォッチドッグタイマの設定

■カウントクロックの選択

30ビットのアップカウンタを内部クロック(MCLK)で動作させるか、外部クロック(EXCL0)で動作させるかをCLKSEL(D6/0x300662)で選択できます。

* **CLKSEL**: Watchdog Timer Input Clock Select Bit in Watchdog Timer Enable Register (D6/0x300662)

CLKSEL(D6/0x300662)が0(デフォルト)の場合は内部クロック(MCLK)が、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(16ビットタイマ0外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

MCLKの生成と制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

■NMI/リセット発生周期の設定

NMI/リセットを発生させる周期を設定するために、30ビットの比較データレジスタが設けられています。

* **CMPDT[15:0]**: 16 Low-order Comparison Data Bits in the Watchdog Timer Comparison Data Setup Register 0 (D[15:0]/0x300664)

* **CMPDT[29:16]**: 14 High-order Comparison Data Bits in the Watchdog Timer Comparison Data Setup Register 1 (D[13:0]/0x300666)

ここに設定したデータはアップカウンタ値と比較され、アップカウンタ値が比較値と一致すると、指定されたNMI信号またはリセット信号が出力されるようになっています。アップカウンタも、この時点で0にリセットされます。

NMI/リセット発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CMPDT} + 1}{f_{\text{WDTIN}}} \text{ [秒]}$$

CMPDT: CMPDT[29:0](D[13:0]/0x300666、D[15:0]/0x300664)の設定値

f_{WDTIN}: MCLKまたはEXCL0入力クロック周波数 [Hz]

たとえば、50MHzのMCLKを入力する場合、指定可能な最大NMI/リセット発生周期は約21.47秒です。

注: 比較データレジスタには0x0000001F以下の値は設定しないでください。

■NMI/リセット発生機能の選択

指定の周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するにはNMIEN(D1/0x300662)を1に、リセット信号を出力するにはRESEN(D0/0x300662)を1に設定します。

* **NMIEN**: Watchdog Timer NMI Enable Bit in the Watchdog Timer Enable Register (D1/0x300662)

* **RESEN**: Watchdog Timer RESET Enable Bit in the Watchdog Timer Enable Register (D0/0x300662)

両方を0にした場合(デフォルト)、アップカウンタは動作可能でクロック出力も可能ですが、NMIまたはリセットは発生しません。

両方を1に設定すると、NMIとリセット信号が両方出力されます。ただし、優先順位の高いリセット例外処理が実行されます。

NMI信号とリセット信号は、どちらも32 MCLKクロック幅のパルスとして出力されます。

注: カウンタと比較レジスタの値によっては、ここでNMIまたはリセット機能をイネーブルにした後に(あるいはウォッチドッグタイマをスタートしていない場合でも)、NMIまたはリセットが発生する場合があります。NMIEN(D1/0x300662)またはRESEN(D0/0x300662)に1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

■ウォッチドッグタイマレジスタの書き込み保護

不要な書き込みによるNMIやリセットの発生を防止するため、Watchdog Timer Enable Register(0x300662)とWatchdog Timer Comparison Data Registers(0x300664、0x300666)は書き込み保護されています。これらのレジスタを書き換えるには、Watchdog Timer Write-Protect Register(0x300660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、Watchdog Timer Write-Protect Register(0x300660)を0x96以外に設定して、書き込み保護を有効にしてください。

IV.2.4.2 ウォッチドッグタイマのスタート/ストップ

ウォッチドッグタイマはRUNSTP(D4/0x300662)に1を書き込むことでカウントを開始し、0を書き込むと停止します。

* **RUNSTP**: Watchdog Timer Run/Stop Control Bit in the Watchdog Timer Enable Register (D4/0x300662)

RUNSTP(D4/0x300662)も書き込み保護されたWatchdog Timer Enable Register(0x300662)にありますので、内容を変更する前にWatchdog Timer Write-Protect Register(0x300660)に0x96(HW)を書き込んで、書き込み保護を解除する必要があります。

IV.2.4.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマのNMI/リセット発生機能を使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI/リセット発生周期以内で処理されるようにしてください。

ウォッチドッグタイマはWDRESEN(D0/0x30066C)に1を書き込むことでリセットされます。この時点でアップカウンタが0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

* **WDRESEN**: Watchdog Timer Reset Bit in the Watchdog Timer Control Register (D0/0x30066C)

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIまたはリセットによってCPUはトラップ処理に移行し、処理ルーチンを実行します。

リセットとNMIのトラップベクタアドレスは、それぞれデフォルトで0xC00000と0xC0001Cに設定されます。なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

アップカウンタのカウント値は、Watchdog Timer Count Registers(0x300668、0x30066A)から任意のタイミングで読み出し可能です。

* **CTRDT[15:0]**: 16 Low-order Counter Data Bits in the Watchdog Timer Count Register 0 (D[15:0]/0x300668)

* **CTRDT[29:16]**: 14 High-order Counter Data Bits in the Watchdog Timer Count Register 1 (D[13:0]/0x30066A)

IV.2.4.4 スタンバイモード時の動作

■HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にNMIEN(D1/0x300662)およびRESEN(D0/0x300662)を0に設定するか、RUNSTP(D4/0x300662)に0を書き込んでウォッチドッグタイマを停止させてください。

NMIEN(D1/0x300662)またはRESEN(D0/0x300662)によりNMIまたはリセットに発生を禁止した場合、ウォッチドッグタイマはHALTモード時もカウントを継続します。HALTモードを解除後にNMIまたはリセットの発生を許可する際には、その前にウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマを停止させてHALTモードに移行した場合も、動作を再開させる前にウォッチドッグタイマをリセットしてください。

■SLEEPモード時

SLEEPモード時はCMUからのMCLKの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じNMIEN(D1/0x300662)およびRESEN(D0/0x300662)によってNMI/リセットの発生を禁止状態に設定してください。

IV.2.4.5 ウォッチドッグタイマのクロック出力

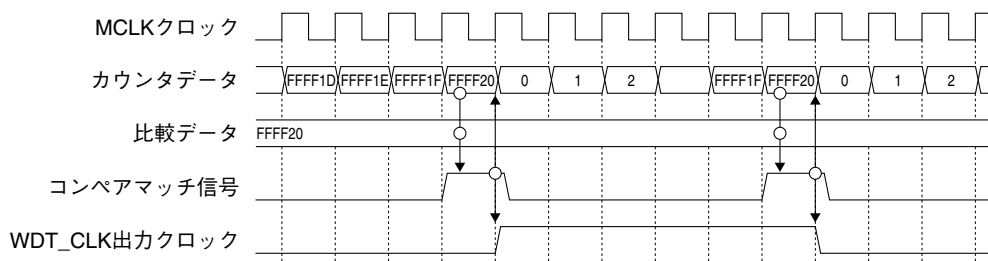
ウォッチドッグタイマはNMI/リセット発生周期のクロックをIC外部に出力することができます。この出力を行うにはWDT_CLK端子を設定した上で、CLKEN(D5/0x300662)を1に設定します。

* **CLKEN:** Watchdog Timer Clock Output Control Bit in the Watchdog Timer Enable Register (D5/0x300662)

CLKEN(D5/0x300662)も書き込み保護されたWatchdog Timer Enable Register(0x300662)にありますので、内容を変更する前にWatchdog Timer Write-Protect Register(0x300660)に0x96を書き込んで、書き込み保護を解除する必要があります。

ウォッチドッグタイマがソフトウェアでリセットされない場合、クロック出力はNMI発生周期でレベルが反転します。(リセットの発生を禁止している場合)

ソフトウェアでウォッチドッグタイマがリセットされると、クロック出力はその時点でLowレベルになります。

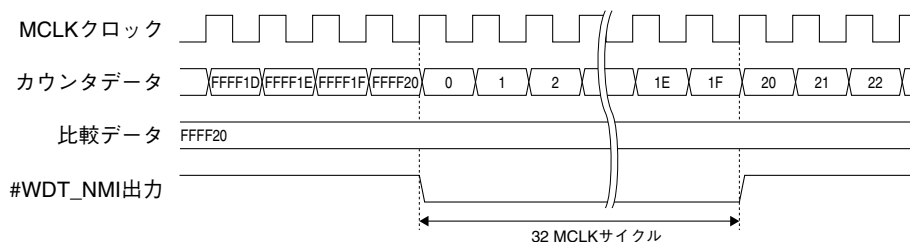


図IV.2.4.5.1 ウォッチドッグタイマのクロック出力

IV.2.4.6 NMI外部出力

ウォッチドッグタイマは生成したNMI信号をIC外部に出力することができます。出力には#WDT_NMI端子を使用しますが、この端子はイニシャルリセットで汎用入出力端子に設定されますので、端子機能を切り換えておく必要があります(I.3.3節参照)。

NMIEN(D1/0x300662)を1に設定すると、NMIの内部出力に加え外部出力も有効となります。ウォッチドッグタイマのカウンタが比較データの値になると、#WDT_NMI端子から32 MCLKサイクルのLowパルスが出力されます。



図IV.2.4.6.1 NMI外部出力

IV.2.5 制御レジスタ詳細

表IV.2.5.1 ウォッチドッグタイマ制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300660	Watchdog Timer Write-Protect Register (pWD_WP)	16	WDT書き込み保護の設定/解除
0x00300662	Watchdog Timer Enable Register (pWD_EN)	16	ウォッチドッグタイマの設定とスタート
0x00300664	Watchdog Timer Comparison Data Setup Register 0 (pWD_COMP_LOW)	16	比較データ(下位16ビット)の設定
0x00300666	Watchdog Timer Comparison Data Setup Register 1 (pWD_COMP_HIGH)	16	比較データ(上位14ビット)の設定
0x00300668	Watchdog Timer Count Register 0 (pWD_CNT_LOW)	16	ウォッチドッグタイマカウンタデータ(下位16ビット)
0x0030066A	Watchdog Timer Count Register 1 (pWD_CNT_HIGH)	16	ウォッチドッグタイマカウンタデータ(上位14ビット)
0x0030066C	Watchdog Timer Control Register (pWD_CNTL)	16	ウォッチドッグタイマのリセット

以下にウォッチドッグタイマの制御レジスタを個々に説明します。

ウォッチドッグタイマの制御レジスタは0x300660～0x30066Cの16ビットデバイスエリアに割り付けられており、ハーフワードアクセスが可能です。

- 注: • 0x300662と0x30066C(8ビットアクセス可能)を除き、ウォッチドッグタイマの制御レジスタはハーフワードアクセスのみ有効です。バイトサイズでリード/ライトしないでください。
- ウォッチドッグタイマの制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

IV

WDT

0x300660: Watchdog Timer Write-Protect Register (pWD_WP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog timer write-protect register (pWD_WP)	00300660 (HW)	D15	WDPTC15	Watchdog timer register write-protect	Writing 0x96 removes the write protection of the watchdog timer enable and comparison data registers (0x300662–0x300666). Writing another value set the write protection.	X	W	0 when being read.
		D14	WDPTC14			X		
		D13	WDPTC13			X		
		D12	WDPTC12			X		
		D11	WDPTC11			X		
		D10	WDPTC10			X		
		D9	WDPTC9			X		
		D8	WDPTC8			X		
		D7	WDPTC7			X		
		D6	WDPTC6			X		
		D5	WDPTC5			X		
		D4	WDPTC4			X		
		D3	WDPTC3			X		
		D2	WDPTC2			X		
		D1	WDPTC1			X		
		D0	WDPTC0			X		

D[15:0] WDPTC[15:0]: Watchdog Timer Write-Protect Bits

アドレス0x300662～0x300666の書き込み保護を設定/解除します。

0x96(W): 書き込み保護解除

0x96以外(W): 書き込み保護(デフォルト: 不定)

0x0(R): 読み出し時は常時0x0

Watchdog Timer Enable Register(0x300662)とWatchdog Timer Comparison Data Registers(0x300664、0x300666)を変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x300662: Watchdog Timer Enable Register (pWD_EN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Watchdog timer enable register (pWD_EN)	00300662 (HW)	D15-7	—	reserved	—		—	—	0 when being read.
		D6	CLKSEL	Watchdog timer input clock select	1 External clock	0 Internal clock	0	R/W	
		D5	CLKEN	Watchdog timer clock output control	1 On	0 Off	0	R/W	
		D4	RUNSTP	Watchdog timer Run/Stop control	1 Run	0 Stop	0	R/W	
		D3-2	—	reserved	—		—	—	0 when being read.
		D1	NMIEN	Watchdog timer NMI enable	1 Enabled	0 Disabled	0	R/W	
		D0	RESEN	Watchdog timer RESET enable	1 Enabled	0 Disabled	0	R/W	

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、Watchdog Timer Write-Protect Register(0x300660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、Watchdog Timer Write-Protect Register(0x300660)を0x96以外に設定して、書き込み保護を有効にしてください。

D[15:7] Reserved**D6 CLKSEL: Watchdog Timer Input Clock Select Bit**

ウォッチドッグタイマのカウントクロックを選択します。

1(R/W): 外部クロックEXCL0

0(R/W): 内部クロックMCLK(デフォルト)

本ビットが0(デフォルト)の場合は内部クロック(MCLK)が、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(16ビットタイマ0外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

D5 CLKEN: Watchdog Timer Clock Output Control Bit

ウォッチドッグタイマのクロック出力を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定すると、NMI/リセット発生周期のクロックが出力されます。ただし、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでWDT_CLK(ウォッチドッグタイマクロック出力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

D4 RUNSTP: Watchdog Timer Run/Stop Control Bit

ウォッチドッグタイマをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

NMIまたはリセット発生機能を有効にしている場合は、不要なNMIまたはリセットの発生を防ぐため、ウォッチドッグタイマをスタートする前に必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

D[3:2] Reserved

D1 NMIEN: Watchdog Timer NMI Enable Bit

ウォッチドッグタイマによるNMI信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でNMI信号(32 MCLKクロック幅のパルス)をCMUと#WDT_NMI端子に出力します。本ビットを0に設定した場合、NMI信号は出力されません。

本ビットの設定にかかわらず、アップカウンタが比較データレジスタの設定値と一致するとアップカウンタは0にリセットされ、カウントを継続します。

D0 RESEN: Watchdog Timer RESET Enable Bit

ウォッチドッグタイマによる内部リセット信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でリセット信号(32 MCLKクロック幅のパルス)をCMUに出力します。本ビットを0に設定した場合、リセット信号は出力されません。

0x300664: Watchdog Timer Comparison Data Setup Register 0 (pWD_COMP_LOW)**0x300666: Watchdog Timer Comparison Data Setup Register 1 (pWD_COMP_HIGH)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog timer comparison data setup register 0 (pWD_COMP_LOW)	00300664 (HW)	D15	CMPDT15	Watchdog timer comparison data CMPDT0 = LSB	0x0 to 0x3FFFFFFF (low-order 16 bits)	0	R/W	
		D14	CMPDT14			0		
		D13	CMPDT13			0		
		D12	CMPDT12			0		
		D11	CMPDT11			0		
		D10	CMPDT10			0		
		D9	CMPDT9			0		
		D8	CMPDT8			0		
		D7	CMPDT7			0		
		D6	CMPDT6			0		
		D5	CMPDT5			0		
		D4	CMPDT4			0		
		D3	CMPDT3			0		
		D2	CMPDT2			0		
		D1	CMPDT1			0		
		D0	CMPDT0			0		
Watchdog timer comparison data setup register 1 (pWD_COMP_HIGH)	00300666 (HW)	D15-14	—	reserved	—	—	—	0 when being read.
		D13	CMPDT29	Watchdog timer comparison data CMPDT29 = MSB	0x0 to 0x3FFFFFFF (high-order 14 bits)	0	R/W	
		D12	CMPDT28			0		
		D11	CMPDT27			0		
		D10	CMPDT26			0		
		D9	CMPDT25			0		
		D8	CMPDT24			0		
		D7	CMPDT23			0		
		D6	CMPDT22			0		
		D5	CMPDT21			0		
		D4	CMPDT20			0		
		D3	CMPDT19			0		
		D2	CMPDT18			0		
		D1	CMPDT17			0		
		D0	CMPDT16			0		

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、Watchdog Timer Write-Protect Register (0x300660) に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、Watchdog Timer Write-Protect Register (0x300660) を0x96以外に設定して、書き込み保護を有効にしてください。

NMI/リセット発生周期をこれらのレジスタで設定します。

NMIまたはリセットの発生が許可されていれば、アップカウンタがこれらのレジスタに設定した比較データに一致した時点でNMIまたはリセット信号が出力されます。

ウォッチドッグタイマからクロック出力を行う場合も、出力クロックの周期がこれらのレジスタで設定されます。

D[15:0]/0x300664 CMPDT[15:0]: Watchdog Timer Comparison Data (16 low-order bits)

比較データの低位16ビットを設定します。(デフォルト: 0x0000)

D[13:0]/0x300666 CMPDT[29:16]: Watchdog Timer Comparison Data (14 high-order bits)

比較データの上位14ビットを設定します。(デフォルト: 0x0000)

注: 比較データとして0x0000001F以下の値は設定しないでください。

0x300668: Watchdog Timer Count Register 0 (pWD_CNT_LOW)**0x30066A: Watchdog Timer Count Register 1 (pWD_CNT_HIGH)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog timer count register 0 (pWD_CNT_LOW)	00300668 (HW)	D15	CTRDT15	Watchdog timer counter data CTRDT0 = LSB	0x0 to 0x3FFFFFFF (low-order 16 bits)	X	R	
		D14	CTRDT14			X		
		D13	CTRDT13			X		
		D12	CTRDT12			X		
		D11	CTRDT11			X		
		D10	CTRDT10			X		
		D9	CTRDT9			X		
		D8	CTRDT8			X		
		D7	CTRDT7			X		
		D6	CTRDT6			X		
		D5	CTRDT5			X		
		D4	CTRDT4			X		
		D3	CTRDT3			X		
		D2	CTRDT2			X		
		D1	CTRDT1			X		
		D0	CTRDT0			X		
Watchdog timer count register 1 (pWD_CNT_HIGH)	0030066A (HW)	D15-14	—	reserved	—	—	—	0 when being read.
		D13	CTRDT29	Watchdog timer counter data CTRDT29 = MSB	0x0 to 0x3FFFFFFF (high-order 14 bits)	X	R	
		D12	CTRDT28			X		
		D11	CTRDT27			X		
		D10	CTRDT26			X		
		D9	CTRDT25			X		
		D8	CTRDT24			X		
		D7	CTRDT23			X		
		D6	CTRDT22			X		
		D5	CTRDT21			X		
		D4	CTRDT20			X		
		D3	CTRDT19			X		
		D2	CTRDT18			X		
		D1	CTRDT17			X		
		D0	CTRDT16			X		

アップカウンタの現在のカウント値をこれらのレジスタから読み出すことができます。

D[15:0]/0x300668 CTRDT[15:0]: Watchdog Timer Count Data (16 low-order bits)

30ビットアップカウンタの下位16ビットが読み出せます。(デフォルト: 不定)

D[13:0]/0x30066A CTRDT[29:16]: Watchdog Timer Count Data (14 high-order bits)

30ビットアップカウンタの上位14ビットが読み出せます。(デフォルト: 不定)

0x30066C: Watchdog Timer Control Register (pWD_CNTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Watchdog timer control register (pWD_CNTL)	0030066C (HW)	D15-1	–	reserved	–			–	–	0 when being read.
		D0	WDRESEN	Watchdog timer reset	1	Reset	0	Invalid	0	

D[15:1] Reserved**D0 WDRESEN: Watchdog Timer Reset Bit**

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

NMIまたはリセット信号出力を許可している場合は、設定したNMI/リセット発生周期以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

IV.2.6 注意事項

- ウォッチドッグタイマによるNMIまたはリセット信号出力を許可した場合は、設定したNMI/リセット発生周期以内にウォッチドッグタイマをリセットする必要があります。
- 比較データレジスタには0x0000001F以下の値は設定しないでください。
- カウンタと比較レジスタの値によっては、NMIまたはリセット機能をイネーブルにした後、あるいはウォッチドッグタイマをスタートした後すぐに、NMIまたはリセットが発生する場合があります。NMIEN(D1/0x300662)、RESEN(D0/0x300662)またはRUNSTP(D4/0x300662)に1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

- * **NMIEN**: Watchdog Timer NMI Enable Bit in the Watchdog Timer Enable Register (D1/0x300662)
- * **RESEN**: Watchdog Timer RESET Enable Bit in the Watchdog Timer Enable Register (D0/0x300662)
- * **RUNSTP**: Watchdog Timer Run/Stop Control Bit in the Watchdog Timer Enable Register (D4/0x300662)

S1C33L19 Technical Manual

V 周辺モジュール3 (インタフェース)

V.1 汎用シリアルインタフェース(EFSIO)

V.1.1 シリアルインタフェースの構成

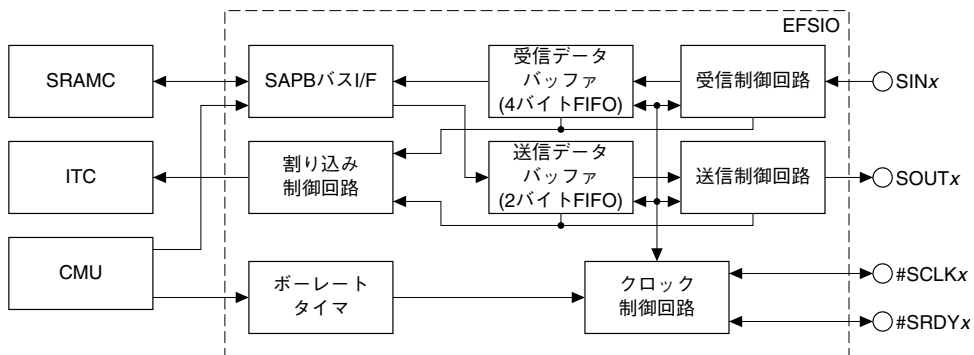
V.1.1.1 シリアルインタフェースの特長

S1C33L19には、3つのシリアルインタフェースチャンネルがあります。Ch.0とCh.1は汎用シリアルインタフェース(EFSIO)です。Ch.2は非同期シリアルトランシーバ(UART)です。

注: この節では、EFSIO(Ch.0、Ch.1)について説明します。Ch.2については、“V.2非同期シリアルトランシーバ(UART)”を参照してください。

- 転送方式としてクロック同期式モード、調歩同期式モード、またはISO7816モードを選択可能
 - クロック同期式モード(Ch.0、Ch.1)
 - データ長: 8ビット固定(スタート/ストップ/パリティビットなし)
 - 受信エラー: オーバーランエラーを検出
 - 調歩同期式モード(Ch.0、Ch.1)
 - データ長: 7ビットまたは8ビットを選択可能
 - 受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出
 - スタートビット: 1ビット固定
 - ストップビット: 1ビットまたは2ビットを選択可能
 - パリティビット: 偶数、奇数、またはなしを選択可能
 - 受信部と送信部が独立しているため、全二重通信が可能
 - IrDAインタフェースに対応
 - 内部クロックまたは外部クロック入力を選択可能
 - ISO7816モード(Ch.1)
 - データ長: 8ビット固定(スタート/ストップ/パリティビットを含まないデータ長)
 - 受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出
 - スタートビット: 1ビット固定
 - ストップビット: 2ビット(T=0)または1ビット(T=1)
 - パリティビット: 偶数固定
 - 1本のデータ信号線による半二重通信
 - 低速デバイスに対応する送信タイムガード機能
- ボーレート設定: ボーレートタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
 - クロック同期式モードは最大8Mbps、調歩同期式モードは最大1Mbpsの転送が可能
- 4バイトの受信データバッファ(FIFO)および2バイトの送信データバッファ(FIFO)により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信バッファエンプティ、受信バッファフル、受信エラー)の割り込みを発生可能

図V.1.1.1.1にシリアルインタフェース(1チャンネル)の構成を示します。



図V.1.1.1.1 シリアルインタフェースの構成

注: Ch.0～Ch.1は同一の構成で、同一の機能を持ちます(Ch.1のISO7816機能を除く)。信号名や制御ビット名の後ろにはチャンネル番号を示す0または1が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は0～1を‘x’に置き換えて記述します。

V.1.1.2 シリアルインタフェースの入出力端子

表V.1.1.2.1にシリアルインタフェースで使用する端子を示します。

表V.1.1.2.1 シリアルインタフェースの端子構成

端子名	I/O	機 能
SIN0	I	シリアルI/F Ch.0データ入力
SOUT0	O	シリアルI/F Ch.0データ出力
#SCLK0	I/O	シリアルI/F Ch.0クロック入出力
#SRDY0	I/O	シリアルI/F Ch.0レディ入出力
SIN1	I	シリアルI/F Ch.1データ入力
SOUT1	O	シリアルI/F Ch.1データ出力
#SCLK1	I/O	シリアルI/F Ch.1クロック入出力
#SRDY1	I/O	シリアルI/F Ch.1レディ入出力

■SINx(シリアルデータ入力端子)

シリアルデータを入力します。

■SOUTx(シリアルデータ出力端子)

シリアルデータを出力します。

■#SCLKx(クロック入出力端子)

クロックを入出力します。クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモード、ISO7816モード(Ch.1)ではクロック出力端子として使用されます。調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力ポートとして使用することができます。

■#SRDYx(レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。

調歩同期式モード、ISO7816モード(Ch.1)ではこの端子を使用しませんので、入出力ポートとして使用することができます。

注: シリアルインタフェースの入出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではシリアルインタフェース以外の機能に設定されます。これらの端子に割り当てられているシリアルインタフェースの入出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.1.1.3 インタフェースモード/転送モードの設定

シリアルインタフェースの種類と転送モードは、SMDx[1:0](D[1:0]/0x300Bx3)、IRMDx[1:0](D[1:0]/0x300Bx4)、7816MD1[1:0](D[1:0]/0x300B1A)によってチャンネル個別に表V.1.1.3.1のように設定できます。

- * **SMDx[1:0]**: Serial I/F Ch.x Transfer Mode Select Bits in the Serial I/F Ch.x Control Register (D[1:0]/0x300Bx3)
- * **IRMDx[1:0]**: Serial I/F Ch.x Interface Mode Select Bits in the Serial I/F Ch.x IrDA Register (D[1:0]/0x300Bx4)
- * **7816MD1[1:0]**: Serial I/F Ch.1 ISO7816 Mode Select Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[1:0]/0x300B1A)

表V.1.1.3.1 モード設定

7816MD1[1:0]	IRMDx[1:0]	インタフェースモード	SMDx[1:0]	転送モード	対応チャネル
10	00	ISO7816モード(Ch.1のみ)	11	ISO7816 (T = 1)モード, 調歩同期式	Ch.1
01			00	ISO7816 (T = 1)モード, クロック同期式	
			11	ISO7816 (T = 0)モード, 調歩同期式	
			00	ISO7816 (T = 0)モード, クロック同期式	
00	10	IrDAモード	11	調歩同期式8ビットモード(IrDA I/F)	Ch.0
	00	通常モード	10	調歩同期式7ビットモード(IrDA I/F)	Ch.1
			11	調歩同期式8ビットモード(通常I/F)	
			10	調歩同期式7ビットモード(通常I/F)	
			01	クロック同期式スレーブモード	
			00	クロック同期式マスタモード	
				その他	

イニシャルリセット時、7816MD1[1:0](D[1:0]/0x300B1A)は0b00、SMDx[1:0](D[1:0]/0x300Bx3)とIRMDx[1:0](D[1:0]/0x300Bx4)は不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合、転送モードは調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子はモードにより構成が異なります。表V.1.1.3.2に各モードの端子構成を示します。

表V.1.1.3.2 転送モードによる端子設定

転送モード	SINx	SOUTx	#SCLKx	#SRDYx
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力
ISO7816	データ入力	データ出力	クロック出力	Pポート

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#SRDYxを使用しないため、#SRDYx端子は入出力(P)ポートとして使用可能です。また、外部クロックを使用しない場合は#SCLKx端子も入出力ポートとして使用可能です。

ISO7816モード(Ch.1)では#SRDY1を使用しないため、この端子は入出力(P)ポートとして使用可能です。シリアルインタフェースに使用される入出力ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

V.1.1.4 シリアルインタフェースの動作クロック

シリアルインタフェースはCMUから供給されるクロックで動作します。また、各チャネルで使用するデータ転送用のクロックはモジュールに内蔵のボーレートタイマで生成します。

■EFSIOアクセス用クロックの供給制御

シリアルインタフェースのSAPBバスインタフェース用クロック(= MCLK)はデフォルト設定でシリアルインタフェースに供給されるようになっています。シリアルインタフェースを使用しない場合は、EFSIOSAPB_CKE(D5/0x301B04)により供給を停止して消費電力を抑えることができます。

* **EFSIOSAPB_CKE**: EFSIO SAPB I/F Clock Control Bit in the Gated Clock Control Register 1 (D5/0x301B04)

EFSIOSAPB_CKE(D5/0x301B04)を0(初期設定は1)に設定すると、このクロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスができなくなります。

クロックの設定や制御については、“III.1 クロックマネジメントユニット(CMU)”を参照してください。

■ボーレートタイマ、インタフェース用クロック

データ転送用クロックは各チャネルに内蔵のボーレートタイマで生成します。このボーレートタイマの動作クロック(= MCLK)は上記のSAPBバスインタフェース用クロックとは別に供給されます。このクロックは通常動作中には停止できませんが、EFSIOBR_HCKE(D25/0x301B04)を0に設定することにより、HALT時に自動停止(III.1.9.2節参照)させることができます(デフォルト: On)。

* **EFSIOBR_HCKE**: EFSIO Baud Rate Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D25/0x301B04)

ボーレートタイマについてはV.1.2節を参照してください。

■スタンバイモード時のクロック状態

スタンバイモードの種類により、シリアルインタフェースへのクロック供給は停止します。

HALTモード: SAPBバスインタフェース用クロックは通常モードと同様に供給されます。(HALT前に停止可)

ボーレートタイマ用クロックはHALT時に自動停止させることもできます。

SLEEPモード: SAPBバスインタフェース用クロック、ボーレートタイマ用クロックの供給が停止します。

したがって、SLEEPモード時はシリアルインタフェースも動作を停止します。

注: Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

V.1.1.5 標準モードと拡張モード

S1C33L19のシリアルインタフェースはC33 STDのシリアルインタフェースを基に機能が拡張されており、従来のシリアルインタフェースとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表V.1.1.5.1に動作モードによる機能の相違点を示します。

表V.1.1.5.1 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
#SRDYマスク制御	無効	有効
受信バッファフル割り込みを発生させるバッファ内の受信データ数	1	1～4を指定可能

拡張モードにするには、SIOADV(D0/0x300B4F)を1に設定します。この設定後、拡張モード用制御レジスタ/ビットへの書き込みが可能となります。イニシャルリセット時はSIOADV(D0/0x300B4F)が0に設定され、標準モードになります。

* **SIOADV**: Standard Mode/Advanced Mode Select Bit in the Serial I/F STD/ADV Mode Select Register (D0/0x300B4F)

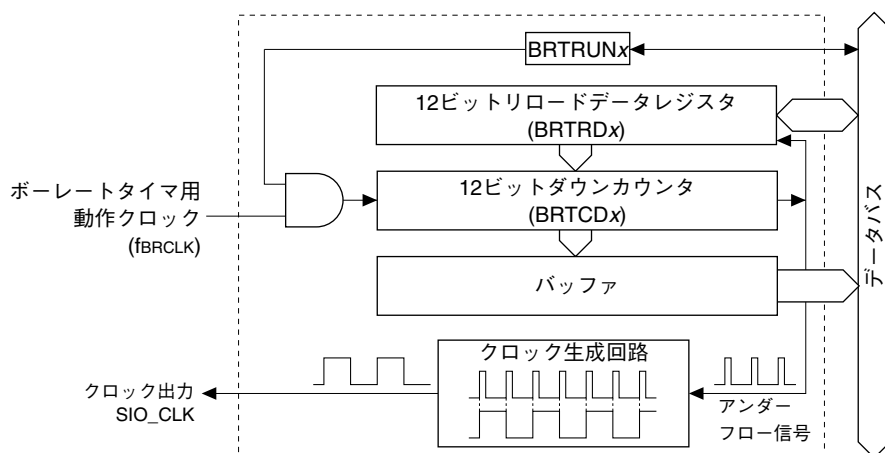
以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。拡張モードの各機能については、SIOADV(D0/0x300B4F)が1に設定されているものとして説明します。

注: 標準モードまたは拡張モードの設定は、Ch.0とCh.1の両方に同時に適用されます。各チャンネル個別に設定することはできません。各チャンネル個別に設定することはできません。

V.1.2 ボーレートタイマ(ボーレートの設定)

クロック同期式マスタモード、ISO7816モードはデータ転送に内部クロックを使用します。また、調歩同期式モードでも、内部クロックを動作クロックとして選択することができます。このクロックを生成するため、本シリアルインタフェースは、各チャネルに専用のボーレートタイマ(12ビットプログラマブルタイマ)を内蔵しています。カウンタの初期値をソフトウェアで設定することにより、転送クロック/サンプリングクロックの周波数を任意に設定可能です。

クロック同期式スレーブモードの場合、あるいは調歩同期式モードで外部クロックを使用する場合、ボーレートタイマを設定して動作させる必要はありません。



図V.1.2.1 ボーレートタイマによる転送クロックの生成

ボーレートタイマは12ビットのプリセッタブルダウンカウンタBRTCD_x[11:0](D[3:0]/0x300Bx9、D[7:0]/0x300Bx8)と、カウンタに初期値をセットするための12ビットリロードデータレジスタBRTRD_x[11:0](D[3:0]/0x300Bx7、D[7:0]/0x300Bx6)で構成されます。

- * **BRTCD_x[11:8]**: Serial I/F Ch.x Baud-rate Timer Counter Data [11:8] Bits in the Serial I/F Ch.x Baud-rate Timer Counter Data Register (MSB) (D[3:0]/0x300Bx9)
- BRTCD_x[7:0]**: Serial I/F Ch.x Baud-rate Timer Counter Data [7:0] Bits in the Serial I/F Ch.x Baud-rate Timer Counter Data Register (LSB) (D[7:0]/0x300Bx8)
- * **BRTRD_x[11:8]**: Serial I/F Ch.x Baud-rate Timer Reload Data [11:8] Bits in the Serial I/F Ch.x Baud-rate Timer Reload Data Register (MSB) (D[3:0]/0x300Bx7)
- BRTRD_x[7:0]**: Serial I/F Ch.x Baud-rate Timer Reload Data [7:0] Bits in the Serial I/F Ch.x Baud-rate Timer Reload Data Register (LSB) (D[7:0]/0x300Bx6)

カウントクロック(BRCLK)は、CMUからMCLKクロックが供給されます。MCLKクロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

このクロックはHALT時に自動停止させることができます(V.1.1.4節参照)。

ボーレートタイマでクロックを生成する操作手順は次のとおりです。

1. リロードデータレジスタBRTRD_x[11:0](D[3:0]/0x300Bx7、D[7:0]/0x300Bx6)に初期値をセット
2. BRTRUN_x(D0/0x300Bx5)を1に設定

- * **BRTRUN_x**: Serial I/F Ch.x Baud-rate Timer Run/Stop Control Bit in the Serial I/F Ch.x Baud-rate Timer Control Register (D0/0x300Bx5)

BRTRUN_x(D0/0x300Bx5)に1が書き込まれると、ボーレートタイマはリロードデータレジスタに設定した初期値をカウンタにロードしてカウントダウンを開始します。カウンタはアンダーフローが発生すると、アンダーフローパルスを出力するとともにリロードデータをロードしてカウントを継続します。これにより、リロードデータで決まる周期でアンダーフローが発生します。クロック生成回路はアンダーフロー信号によって出力信号のレベルを反転させ、デューティ比が50%でアンダーフローを1/2に分周したクロックを生成します。

シリアル通信時以外は、消費電流を低減させるため、ボーレートタイマを停止(BRTRUN_xを0に設定)してください。

■リロードデータの算出方法

リロードデータレジスタに設定する初期値は以下の式で求められます。転送モードにより異なります。

クロック同期式マスタモード、ISO7816モード(クロック同期式)の場合

$$\text{BRTRD} = \frac{f_{\text{BRCLK}}}{2 \times \text{bps}} - 1$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{BRCLK}: ボーレートタイマ動作クロック周波数(= MCLK Hz)

bps: 転送速度(ビット/秒)

調歩同期式モードの場合

$$\text{BRTRD} = \frac{f_{\text{BRCLK}} \times \text{DIVMD}}{2 \times \text{bps}} - 1$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{BRCLK}: ボーレートタイマ動作クロック周波数(= MCLK Hz)

bps: 転送速度(ビット/秒)

DIVMD: シリアルインタフェース内部分周比(1/16または1/8、DIVMD_xで選択)

ISO7816モードの場合

$$\text{BRTRD} = \frac{f_{\text{BRCLK}}}{2 \times \text{bps}} \times \frac{D}{F} - 1$$

$$\text{BRTRD} = \frac{f_{\text{BRCLK}}}{2 \times f_{\text{SIO\_CLK}}} - 1$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{BRCLK}: ボーレートタイマ動作クロック周波数(= MCLK Hz)

bps: 転送速度(ビット/秒)

D: ビットレート調整値(1, 2, 4, 8, 16, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64)

F: クロック周波数分周値(372, 558, 744, 1116, 1488, 1860, 512, 768, 1024, 1536, 2048)

f_{SIO_CLK}: ISO7816クロック周波数(ボーレートタイマ出力および#SCLK1出力)

注: ボーレートタイマの開始と対応するアンダーフロッククロック出力の間には特定の間隔があります。特にボーレート設定が低い場合には、ボーレートタイマを開始した後で、シリアルデータの送受信が始まるまでに一定の時間がかかることに注意してください。

V.1.3 クロック同期式インタフェース

V.1.3.1 クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部に2バイト、受信部に4バイトのバッファ(FIFO)を内蔵しているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

■マスタモードとスレーブモード

SMDx[1:0](D[1:0]/0x300Bx3)によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

* SMDx[1:0]: Serial I/F Ch.x Transfer Mode Select Bits in the Serial I/F Ch.x Control Register (D[1:0]/0x300Bx3)

●クロック同期式マスタモード(SMDx[1:0] = 00)

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

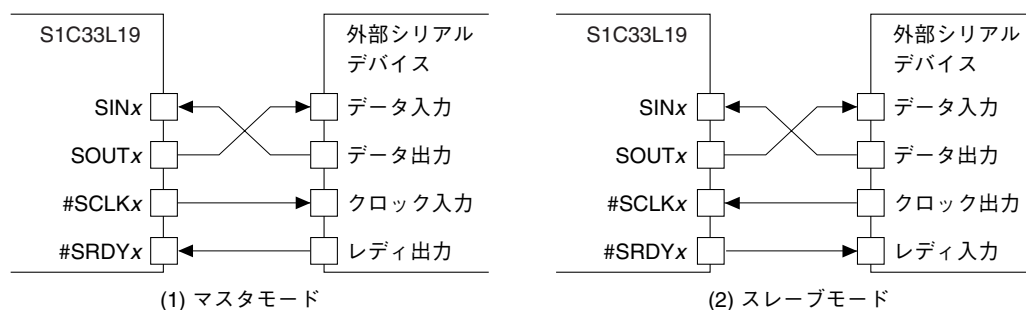
同期クロックは#SCLKx端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#SRDYx端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

●クロック同期式スレーブモード(SMDx[1:0] = 01)

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#SRDYx信号が#SRDYx端子から出力されます。

図V.1.3.1.1にクロック同期式モードにおける入出力端子の接続例を示します。

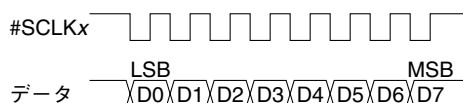


図V.1.3.1.1 クロック同期式モードの接続例

■クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし



図V.1.3.1.2 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

V.1.3.2 クロック同期式インタフェースの設定

シリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. クロックの設定
5. 受信FIFOレベルの設定
6. 割り込み/DMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENx(D7/0x300Bx3)およびRXENx(D6/0x300Bx3)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

* **TXENx:** Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)

* **RXENx:** Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)

■入出力端子の設定

クロック同期式モードでは、SIN_x、SOUT_x、#SCLK_x、#SRDY_xの4本の端子をすべて使用します。使用するチャンネルに合わせ、Port Function Select Registerで端子の設定を行ってください(複数チャンネルの同時使用も可能)。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

■インタフェースモード設定

IRMDx[1:0](D[1:0]/0x300Bx4)に0b00を書き込み、通常のインタフェースを選択します。IRMDx[1:0](D[1:0]/0x300Bx4)はイニシャルリセット時に不定となりますので、初期化する必要があります。

* **IRMDx[1:0]:** Serial I/F Ch.x Interface Mode Select Bits in the Serial I/F Ch.x IrDA Register (D[1:0]/0x300Bx4)

Ch.1の場合は7816MD1[1:0](D[1:0]/0x300B1A)も0b00に設定しておく必要があります。

* **7816MD1[1:0]:** Serial I/F Ch.1 ISO7816 Mode Select Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[1:0]/0x300B1A)

■転送モード設定

シリアルインタフェースの転送モードをSMDx[1:0](D[1:0]/0x300Bx3)で設定します。

本インタフェースをクロック同期式転送のマスタとして使用する場合はSMDx[1:0]を0b00に、スレーブとして使用する場合は0b01に設定してください。

* **SMDx[1:0]:** Serial I/F Ch.x Transfer Mode Select Bits in the Serial I/F Ch.x Control Register (D[1:0]/0x300Bx3)

■クロックの設定

• クロック同期式マスタモード

クロック同期式マスタモードはボーレートタイマで生成したクロックで動作します。各チャンネルのボーレートタイマを転送速度に合わせて設定してください。ボーレートタイマの制御方法については、“V.1.2 ボーレートタイマ(ボーレートの設定)”を参照してください。

シリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCK_x(D2/0x300Bx3)があります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも0(内部クロック)を書き込んで初期化してください。

* **SSCKx:** Serial I/F Ch.x Input Clock Select Bit in the Serial I/F Ch.x Control Register (D2/0x300Bx3)

• クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#SCLK_x端子から入力します。したがって、ボーレートタイマの制御は必要ありません。

SSCK_xは1(#SCLK_x)を書き込んで初期化してください。

■受信FIFOレベルの設定(拡張モード)

本シリアルインタフェースには4バイトの受信用FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みを発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定にはFIFOINTx[1:0](D[6:5]/0x300Bx4)を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

* **FIFOINTx[1:0]**: Serial I/F Ch.x Receive Buffer Full Interrupt Timing Select Bits in the Serial I/F Ch.x IrDA Register (D[6:5]/0x300Bx4)

V.1.3.3 クロック同期式転送の制御と動作

■送信制御

(1)送信許可

送信の制御にはTXENx(D7/0x300Bx3)を使用します。

このビットに1を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#SCLKx端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXENx(D7/0x300Bx3)に0を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

* **TXENx**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDYx、#SCLKxは以下のタイミングで入力/出力が切り換わります。

#SRDYx: スレーブモードに設定→出力モードに切り換わります。

上記以外→入力モード

#SCLKx: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENx(D7/0x300Bx3)と受信許可ビットRXENx(D6/0x300Bx3)を同時に許可に設定することはできません。送信を行う場合はRXENx(D6/0x300Bx3)を0に固定し、変更しないでください。また、送信中はTXENx(D7/0x300Bx3)を0に設定しないでください。

* **RXENx**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)

(2)送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データはTXDx[7:0](D[7:0]/0x300Bx0)に書き込みます。TXDx[7:0](D[7:0]/0x300Bx0)に書き込んだデータは送信データバッファに入り送信まで待機します。

* **TXDx[7:0]**: Serial I/F Ch.x Transmit Data Bits in the Serial I/F Ch.x Transmit Data Register (D[7:0]/0x300Bx0)

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかは送信データバッファエンプティフラグTDBEx(D1/0x300Bx2)で確認可能です。このフラグは送信データバッファに1つ以上の空きがある場合に1となり、送信データの書き込みによってデータバッファが満杯になると0になります。

* **TDBEx**: Serial I/F Ch.x Transmit Data Buffer Empty Flag in the Serial I/F Ch.x Status Register (D1/0x300Bx2)

送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。送信状態は送信終了フラグTEND_x(D5/0x300Bx2)で確認できます。このフラグはデータ送信中に1となり、送信を終了すると0に戻ります。

* **TEND_x**: Serial I/F Ch._x Transmit-Completion Flag in the Serial I/F Ch._x Status Register (D5/0x300Bx2)

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで1を保持し(図V.1.3.3.1)、スレーブモード時は1バイト送信するごとに0となります(図V.1.3.3.2)。

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

・クロック同期式マスタモード

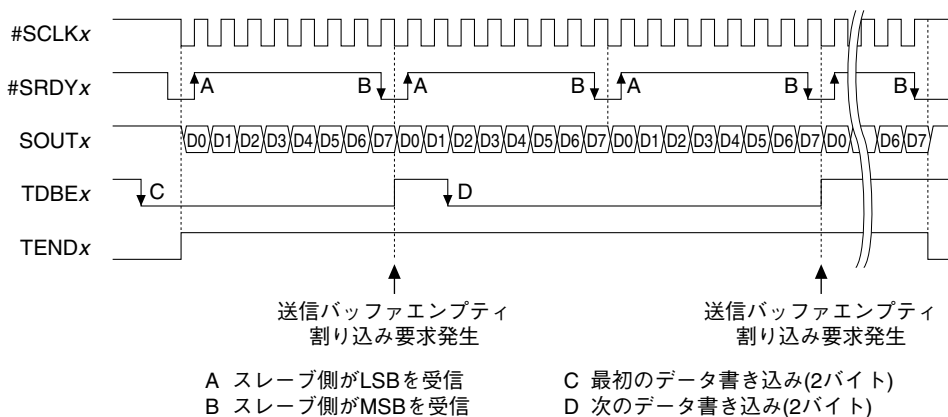
マスタモードが送信動作を開始するタイミングは次のとおりです。

送信データバッファにデータが書き込まれている状態で、#SRDY_xがLowになった場合

または

#SRDY_xがLowの状態、送信データバッファにデータが書き込まれた場合

図V.1.3.3.1にクロック同期式マスタモードの送信タイミングチャートを示します。

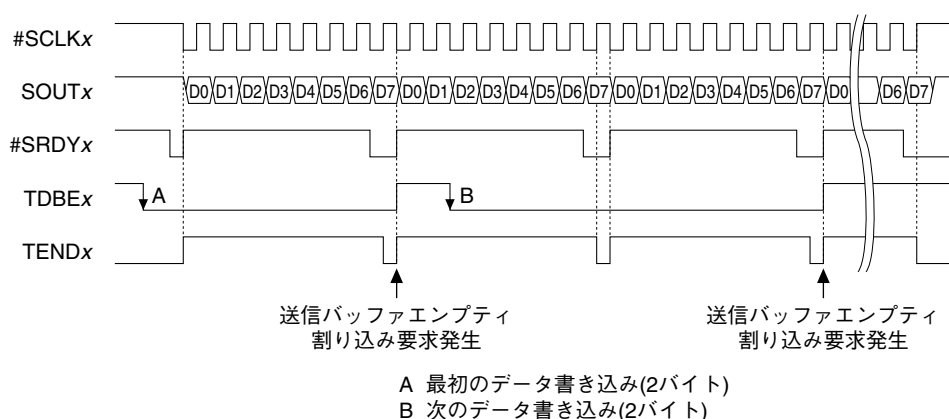


図V.1.3.3.1 クロック同期式マスタモードの送信タイミング

1. スレーブからの#SRDY_x信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #SRDY_xがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#SCLK_x端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUT_x端子から出力されます。この時点で送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUT_xから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

• クロック同期式スレーブモード

図V.1.3.3.2にクロック同期式スレーブモードの送信タイミングチャートを示します。



図V.1.3.3.2 クロック同期式スレーブモードの送信タイミング

1. #SRDY_x信号をLow(送信レディ)にしてマスタ側からのクロック入力待ちます。
2. 同期クロックが#SCLK_x端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUT_x端子から出力されます。
#SRDY_x信号はこの時点でHighに戻ります。また、送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUT_xから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をSOUT_x端子に出力したところで、#SRDY_x信号をLowにします。
マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN_x(D7/0x300B_x3)に0を書き込んで送信禁止に設定してください。これにより送信データバッファ (FIFO)もクリア(初期化)されますので、TXEN_x(D7/0x300B_x3)に0を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

■受信制御

(1)受信許可

受信の制御にはRXEN_x(D6/0x300Bx3)を使用します。

このビットに1を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信動作を開始します。#SCLK_x端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。RXEN_x(D6/0x300Bx3)に0を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

* **RXEN_x**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)

なお、ポート機能選択レジスタをシリアル入出力用に設定した後、#SRDY_x、#SCLK_xは以下のタイミングで入力/出力が切り換わります。

#SRDY_x: スレーブモードに設定→出力モードに切り換わります。

上記以外→入力モード

#SCLK_x: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXEN_x(D6/0x300Bx3)と送信許可ビットTXEN_x(D7/0x300Bx3)を同時に許可に設定することはできません。受信を行う場合はTXEN_x(D7/0x300Bx3)を0に固定し、変更しないでください。また、受信中はRXEN_x(D6/0x300Bx3)を0に設定しないでください。

* **TXEN_x**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)

(2)受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、受信データレジスタRXD_x[7:0](D[7:0]/0x300Bx1)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

* **RXD_x[7:0]**: Serial I/F Ch.x Receive Data Bits in the Serial I/F Ch.x Receive Data Register (D[7:0]/0x300Bx1)

受信データバッファ内にあるデータの数RXD_xNUM[1:0](D[7:6]/0x300Bx2)で確認できます。RXD_xNUM[1:0](D[7:6]/0x300Bx2)が0の場合、バッファ内には0個または1個のデータがあります。RXD_xNUM[1:0](D[7:6]/0x300Bx2)が1~3の場合、バッファ内には2~4個のデータがあります。

* **RXD_xNUM[1:0]**: Number of Ch.x Receive Data in FIFO in the Serial I/F Ch.x Status Register (D[7:6]/0x300Bx2)

また、受信データバッファに受信データがあることを示すフラグRDBF_x(D0/0x300Bx2)が設けられています。このフラグは受信データバッファ内に1つ以上の受信データがあると1となり、データがすべて読み出されて空になると0に戻ります。

* **RDBF_x**: Serial I/F Ch.x Receive Data Buffer Full Flag in the Serial I/F Ch.x Status Register (D0/0x300Bx2)

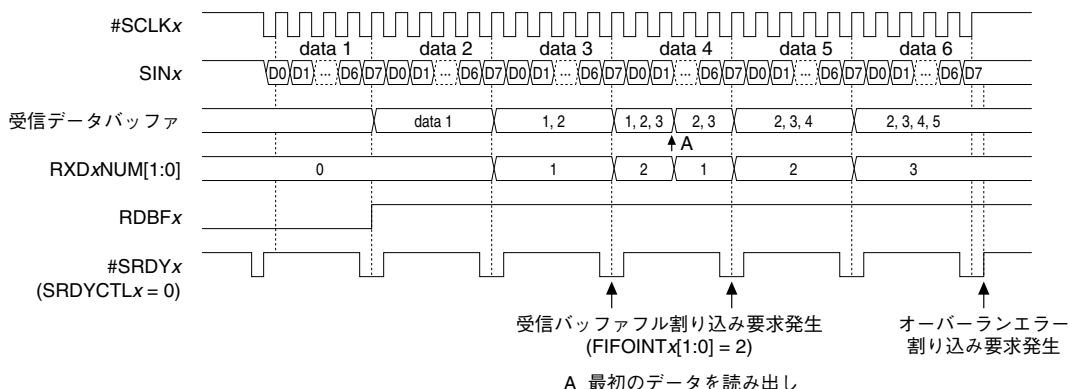
受信データバッファ内のデータ数が指定した個数以上(標準モードでは1、拡張モードでは1~4)になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

マスタモード、スレーブモードそれぞれの受信動作は以下のとおりです。

・クロック同期式マスタモード

図V.1.3.3.3にクロック同期式マスタモードの受信タイミングチャートを示します。

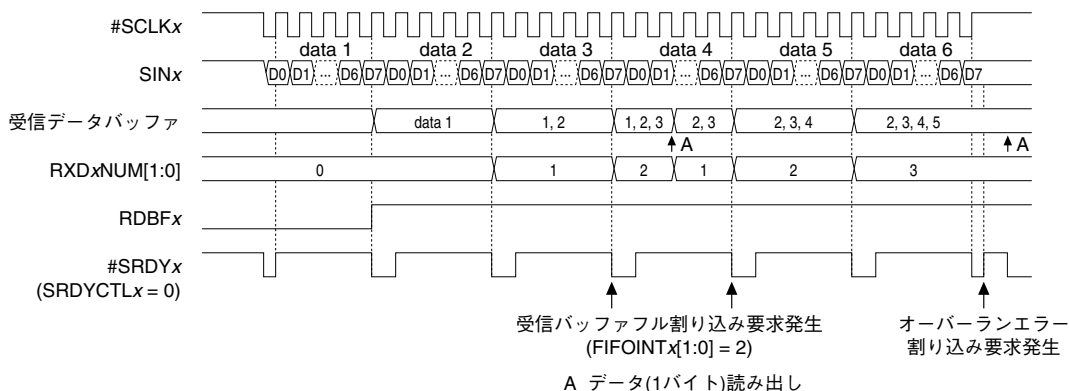


図V.1.3.3.3 クロック同期式マスタモードの受信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、SINxの入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

・クロック同期式スレーブモード

図V.1.3.3.4にクロック同期式スレーブモードの受信タイミングチャートを示します。



図V.1.3.3.4 クロック同期式スレーブモードの受信タイミング

1. #SRDYx信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、SINxの入力を#SCLKxから入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

(3) オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER_x(D2/0x300Bx2)が1にセットされます。オーバーランエラーフラグは、1にセットされるとソフトウェアで0を書き込むまでリセットされません。

* OER_x: Serial I/F Ch.x Overrun Error Flag in the Serial I/F Ch.x Status Register (D2/0x300Bx2)

オーバーランエラーはシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

次に説明する#SRDY_x制御により、オーバーランエラーを発生しないようにすることもできます。

(4) #SRDY_x信号の制御(拡張モード)

受信時の#SRDY_x信号は、スレーブデバイスがマスタデバイスに対してデータが受信可能であることを知らせるために出力します。

本シリアルインタフェースがクロック同期式スレーブモードの場合、RXEN_x(D6/0x300Bx3)に1を書き込んで受信を許可すると#SRDY_x信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#SRDY_xはHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#SRDY_xがHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データバッファのデータを読み出すことで#SRDY_xがLowに戻り、続くデータがあれば受信を再開します。

通常の出力行タイミングは図V.1.3.3.4に示したとおりで、受信データバッファが満杯の場合でも#SRDY_x信号は受信可能として出力されます。この状態で受信データバッファが読み出せない場合、前記のようにオーバーランエラーが発生します。これを防ぐため、受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#SRDY_x信号を強制的にHighにして、マスタデバイスのデータ送信を中断させることができるようになっています。

この機能を使用するにはSRDYCTL_x(D7/0x300Bx4)を1に設定します。

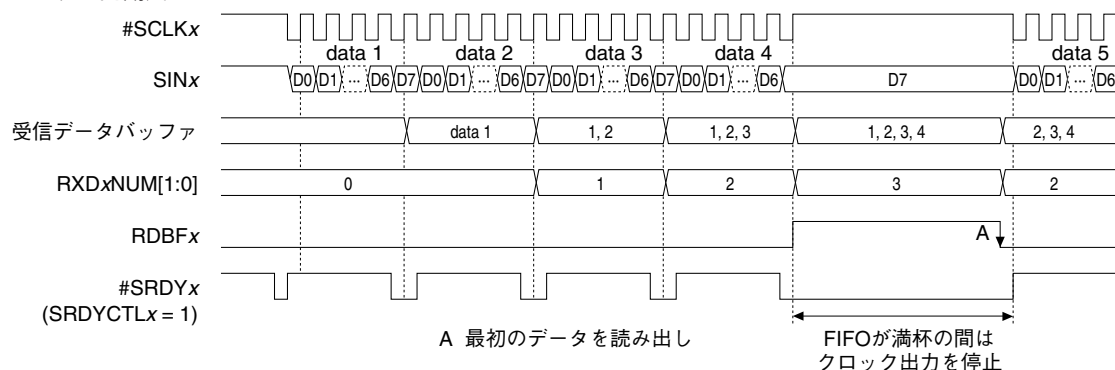
* SRDYCTL_x: Serial I/F Ch.x #SRDY Control Bit in the Serial I/F Ch.x IrDA Register (D7/0x300Bx4)

クロック同期式マスタモードでもこの機能は有効で、受信データバッファが満杯になると、データを読み出すまでスレーブからの#SRDY_x(Low)を無視し#SCLK_xの出力を停止します。

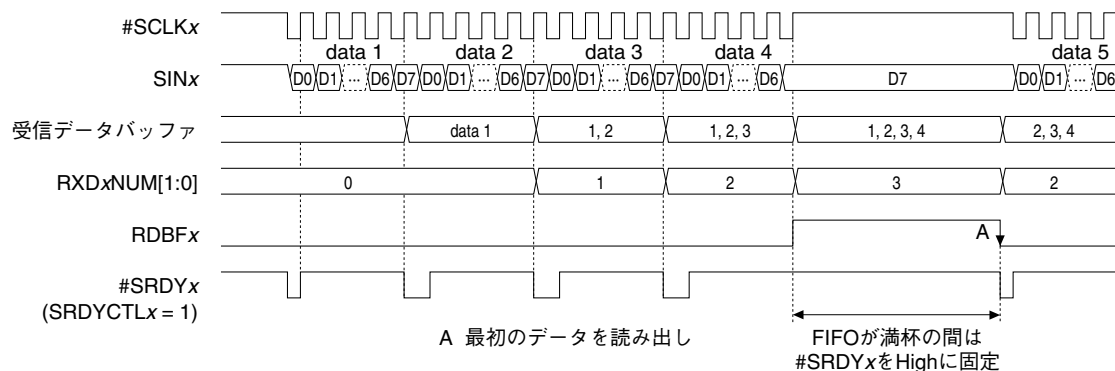
この機能を有効にした場合でも、受信データバッファが満杯以外では、通常の受信動作を行います。

V 周辺モジュール3(インタフェース): 汎用シリアルインタフェース(EFSIO)

クロック同期式マスタモード



クロック同期式スレーブモード



図V.1.3.3.5 #SRDYx信号のHighマスクモード

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENx(D6/0x300Bx3)に0を書き込んで受信禁止に設定してください。これにより受信データバッファ (FIFO) もクリア (初期化) されますので、RXENx (D6/0x300Bx3) に0を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

V.1.4 調歩同期式インタフェース

V.1.4.1 調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。調歩同期式8ビットモード(SMDx[1:0] = 0b11)では8ビットデータの転送、調歩同期式7ビットモード(SMDx[1:0] = 0b10)では7ビットデータの転送が行えます。

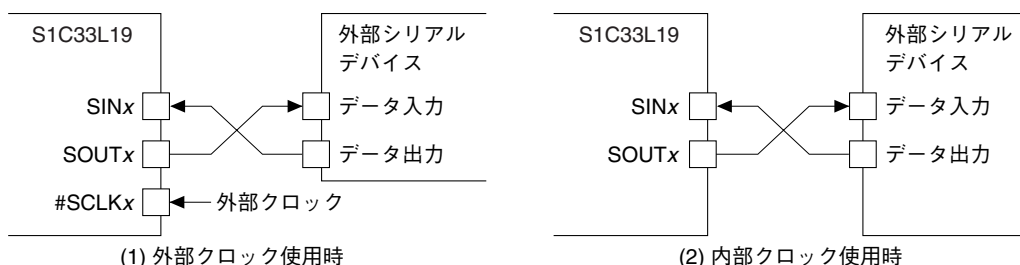
* SMDx[1:0]: Serial I/F Ch.x Transfer Mode Select Bits in the Serial I/F Ch.x Control Register (D[1:0]/0x300Bx3)

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、8ビットタイマによる内部クロック、または#SCLKx端子から入力する外部クロックのいずれかを選択することができます。

送信部に2バイト、受信部に4バイトのバッファを内蔵しているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図V.1.4.1.1に調歩同期式モードにおける入出力端子の接続例を示します。



図V.1.4.1.1 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

■調歩同期式転送データフォーマット

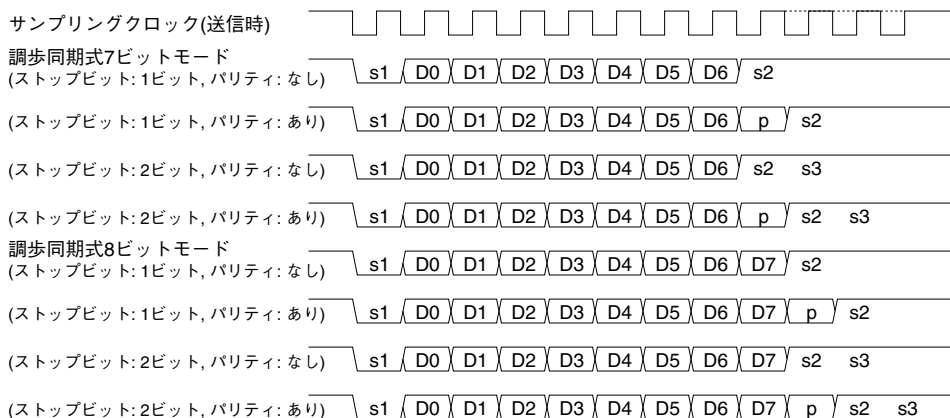
調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット(転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、またはなし



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図V.1.4.1.2 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

V.1.4.2 調歩同期式インタフェースの設定

シリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/DMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENx(D7/0x300Bx3)およびRXENx(D6/0x300Bx3)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

- * **TXENx:** Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)
- * **RXENx:** Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)

■入出力端子の設定

調歩同期式モードでは、SIN_xおよびSOUT_xの2本の端子を使用します。外部クロックを入力する場合は、さらに#SCLK_x端子も使用します。

使用するチャンネルに合わせ、Port Function Select Registerで端子の設定を行ってください(複数チャンネルの同時使用も可能)。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

■インタフェースモード設定

IRMDx[1:0](D[1:0]/0x300Bx4)は通常のインタフェースとして使用する場合は0b00を、IrDAインタフェースとして使用する場合は0b10を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

- * **IRMDx[1:0]:** Serial I/F Ch.x Interface Mode Select Bits in the Serial I/F Ch.x IrDA Register (D[1:0]/0x300Bx4)

Ch.1の場合は7816MD1[1:0](D[1:0]/0x300B1A)も0b00に設定しておく必要があります。

- * **7816MD1[1:0]:** Serial I/F Ch.1 ISO7816 Mode Select Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[1:0]/0x300B1A)

■転送モード設定

シリアルインタフェースの転送モードをSMDx[1:0](D[1:0]/0x300Bx3)で設定します。

本インタフェースを調歩同期式8ビットモードで使用する場合はSMDx[1:0]を0b11に、調歩同期式7ビットモードで使用する場合は0b10に設定してください。

- * **SMDx[1:0]:** Serial I/F Ch.x Transfer Mode Select Bits in the Serial I/F Ch.x Control Register (D[1:0]/0x300Bx3)

■入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックがSSCKx(D2/0x300Bx3)で選択できます。

- * **SSCKx:** Serial I/F Ch.x Input Clock Select Bit in the Serial I/F Ch.x Control Register (D2/0x300Bx3)

SSCKx(D2/0x300Bx3)に1を書き込むと外部クロック(#SCLK_x端子より入力)、0を書き込むと内部クロックが選択されます。

注: SSCKx(D2/0x300Bx3)はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

• 内部クロック

内部クロックを選択すると、ボーレートタイマで生成したクロックで動作します。各チャンネルのボーレートタイマを転送速度に合わせて設定してください。ボーレートタイマの制御方法については、“V.1.2 ボーレートタイマ(ボーレートの設定)”を参照してください。

• 外部クロック

外部クロックを選択すると、#SCLK_x端子から入力するクロックで動作します。
したがって、ボーレートタイマの制御は必要ありません。

クロック周波数は任意に設定可能です。#SCLK_x端子から入力されたクロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります(“サンプリングクロック”参照)。転送速度を設定する際には、この分周比も考慮してください。

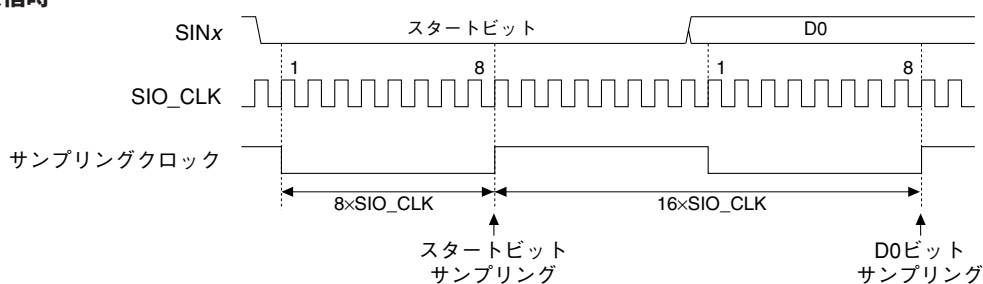
• サンプリングクロック

調歩同期式モードではSIO_CLK(ボーレートタイマの出力クロックまたは#SCLK_x端子からの入力クロック)をシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。
分周比はDIVMD_x(D4/0x300B_x4)に0を書き込むと1/16、1を書き込むと1/8に設定されます。

* DIVMD_x: Serial I/F Ch.x Clock Division Ratio Select Bit in the Serial I/F Ch.x IrDA Register (D4/0x300B_x4)

注: DIVMD_x(D4/0x300B_x4)はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。

受信時

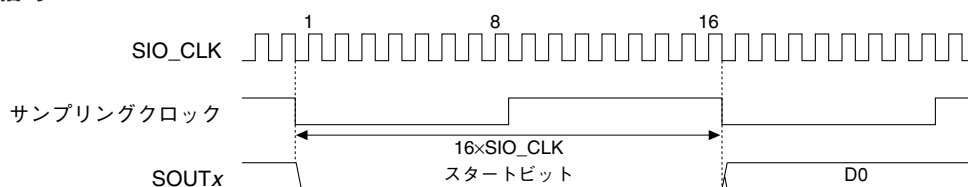


図V.1.4.2.1 調歩同期式受信時のサンプリングクロック(1/16分周選択時)

各ビットデータは、図V.1.4.2.1のようなタイミングでサンプリングされます。

SIO_CLKの立ち上がりエッジでSIN_xのLowレベルを検出すると、8xSIO_CLK後(1/8選択時は4xSIO_CLK後)にスタートビットがサンプリングされます。スタートビットのサンプリング時にSIN_x端子がLowでない場合は以降のデータのサンプリングを中止し、スタートビット検出の状態に戻ります(この場合、エラーは発生しません)。スタートビットサンプリング時にSIN_x端子がLowの場合、以降は16xSIO_CLK(1/8選択時は8xSIO_CLK)ごとにビットデータのサンプリングが行われます。

送信時



図V.1.4.2.2 調歩同期式送信時のサンプリングクロック(1/16分周選択時)

送信時は各ビットデータを、16xSIO_CLK(1/8選択時は8xSIO_CLK)ごとにSOUT_x端子に出力します。

■データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表V.1.4.2.2のとおり設定できます。

ストップビット選択

* **STPB_x**: Serial I/F Ch.x Stop-Bit Length Select Bit in the Serial I/F Ch.x Control Register (D3/0x300Bx3)

パリティイネーブル

* **EPR_x**: Serial I/F Ch.x Parity Enable Bit in the Serial I/F Ch.x Control Register (D5/0x300Bx3)

パリティモード選択

* **PMD_x**: Serial I/F Ch.x Parity Mode Select Bit in the Serial I/F Ch.x Control Register (D4/0x300Bx3)

表V.1.4.2.1 ストップビットとパリティビットの設定

STPB _x	EPR _x	PMD _x	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPR_xが0の場合、PMD_xの設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

■受信FIFOレベルの設定(拡張モード)

本シリアルインタフェースには4バイトの受信用FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みを発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定にはFIFOINT_x[1:0](D[6:5]/0x300Bx4)を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

* **FIFOINT_x[1:0]**: Serial I/F Ch.x Receive Buffer Full Interrupt Timing Select Bits in the Serial I/F Ch.x IrDA Register (D[6:5]/0x300Bx4)

V.1.4.3 調歩同期式転送の制御と動作

■送信制御

(1)送信許可

送信の制御には送信許可ビットTXEN_x(D7/0x300Bx3)を使用します。

このビットに1を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXEN_x(D7/0x300Bx3)に0を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

* **TXEN_x**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)

注: 送信中はTXEN_x(D7/0x300Bx3)を0に設定しないでください。

(2)送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データはTXD_x[7:0](D[7:0]/0x300Bx0)に書き込みます。

* **TXD_x[7:0]**: Serial I/F Ch.x Transmit Data Bits in the Serial I/F Ch.x Transmit Data Register (D[7:0]/0x300Bx0)

調歩同期式7ビットモードでは、ビット7(MSB)は無効となります。

TXD_x[7:0](D[7:0]/0x300B_x0)に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかは送信データバッファエンプティフラグTDBE_x(D1/0x300B_x2)で確認可能です。このフラグは送信データバッファに1つ以上の空きがある場合に1となり、送信データの書き込みによってデータバッファが満杯になると0になります。

* **TDBE_x**: Serial I/F Ch.x Transmit Data Buffer Empty Flag in the Serial I/F Ch.x Status Register (D1/0x300B_x2)

送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。送信状態は送信終了フラグTEND_x(D5/0x300B_x2)で確認できます。このフラグはデータ送信中に1となり、全データの送信を終了すると0に戻ります。

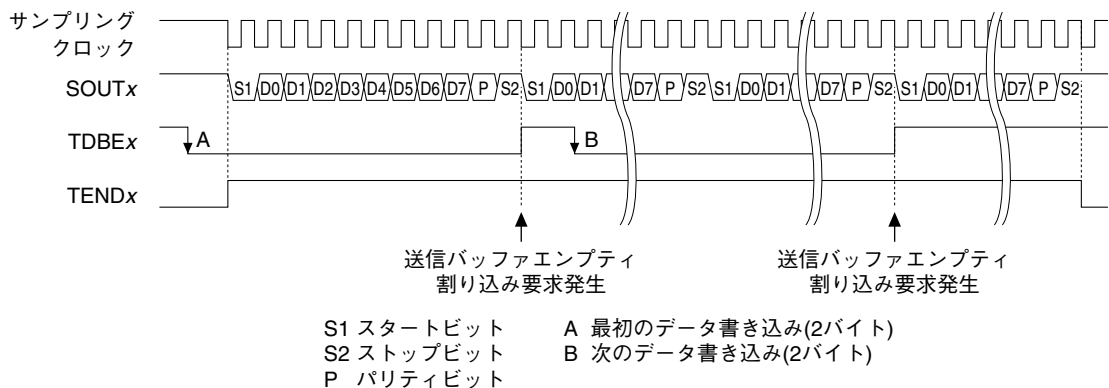
* **TEND_x**: Serial I/F Ch.x Transmit-Completion Flag in the Serial I/F Ch.x Status Register (D5/0x300B_x2)

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

図V.1.4.3.1に調歩同期式モードの送信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビットあり



図V.1.4.3.1 調歩同期式モードの送信タイミング

1. サンプルクロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、SOUT_x端子をLowにしてスタートビットを送信します。
2. 続くサンプルクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPR_x = 1の場合)とストップビットを続けて送信します。

* **EPR_x**: Serial I/F Ch.x Parity Enable Bit in the Serial I/F Ch.x Control Register (D5/0x300B_x3)

4. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN_x(D7/0x300B_x3)に0を書き込んで送信禁止に設定してください。これにより送信データバッファ (FIFO) もクリア(初期化)されますので、TXEN_x(D7/0x300B_x3)に0を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

■受信制御

(1) 受信許可

受信の制御には受信許可ビットRXEN_x(D6/0x300B_x3)を使用します。このビットに1を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXEN_x(D6/0x300B_x3)に0を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

* **RXEN_x**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300B_x3)

注: 受信中はRXEN_x(D6/0x300B_x3)を0に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、RXD_x[7:0](D[7:0]/0x300B_x1)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

* **RXD_x[7:0]**: Serial I/F Ch.x Receive Data Bits in the Serial I/F Ch.x Receive Data Register (D[7:0]/0x300B_x1)

受信データバッファ内にあるデータの数はRXD_xNUM[1:0](D[7:6]/0x300B_x2)で確認できます。RXD_xNUM[1:0](D[7:6]/0x300B_x2)が0の場合、バッファ内には0個または1個のデータがあります。RXD_xNUM[1:0](D[7:6]/0x300B_x2)が1~3の場合、バッファ内には2~4個のデータがあります。

* **RXD_xNUM[1:0]**: Number of Ch.x Receive Data in FIFO in the Serial I/F Ch.x Status Register (D[7:6]/0x300B_x2)

また、受信データバッファフルを示すフラグRDBF_x(D0/0x300B_x2)が設けられています。このフラグは受信データバッファ内に1つ以上の受信データがあると1となり、データがすべて読み出されて空になると0に戻ります。

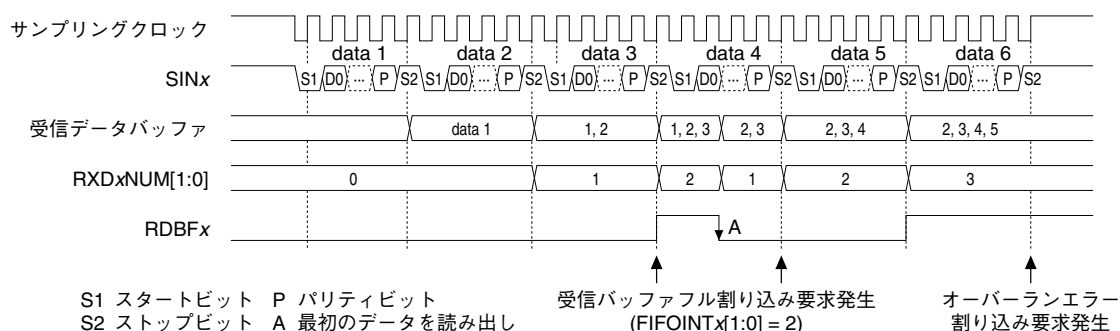
* **RDBF_x**: Serial I/F Ch.x Receive Data Buffer Full Flag in the Serial I/F Ch.x Status Register (D0/0x300B_x2)

受信データバッファ内のデータ数が指定の個数以上(標準モードでは1、拡張モードでは1~4)になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

図V.1.4.3.2に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビット あり



図V.1.4.3.2 調歩同期式モードの受信タイミング

1. スタートビット (SINx = Low) の入力によりサンプリングを開始します。
 2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
 3. MSBが取り込まれると、続くパリティビットを取り込みます (EPRx = 1 の場合)。
 4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
- 受信データレジスタへの転送時にはパリティチェックが行われます (EPRx = 1 の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

• パリティエラー

EPRx(D5/0x300Bx3)が1(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMDx(D4/0x300Bx3)の設定(奇数または偶数パリティ)との整合をチェックします。

* **PMDx**: Serial I/F Ch.x Parity Mode Select Bit in the Serial I/F Ch.x Control Register (D4/0x300Bx3)

この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPERx(D3/0x300Bx2)が1にセットされます。

* **PERx**: Serial I/F Ch.x Parity Error Flag in the Serial I/F Ch.x Status Register (D3/0x300Bx2)

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PERx(D3/0x300Bx2)は0を書き込むことによってリセットされます。

• フレーミングエラー

ストップビットを0として受信すると、本シリアルインタフェースは同期ずれと判断してフレーミングエラーが発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER_x(D4/0x300Bx2)が1にセットされます。

* **FER_x**: Serial I/F Ch.x Framing Error Flag in the Serial I/F Ch.x Status Register (D4/0x300Bx2)

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FER_x(D4/0x300Bx2)は0を書き込むことによってリセットされます。

• オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER_x(D2/0x300Bx2)が1にセットされます。

* **OER_x**: Serial I/F Ch.x Overrun Error Flag in the Serial I/F Ch.x Status Register (D2/0x300Bx2)

本エラーが発生した場合でも、受信動作は継続します。

なお、OER_x(D2/0x300Bx2)は0を書き込むことによってリセットされます。

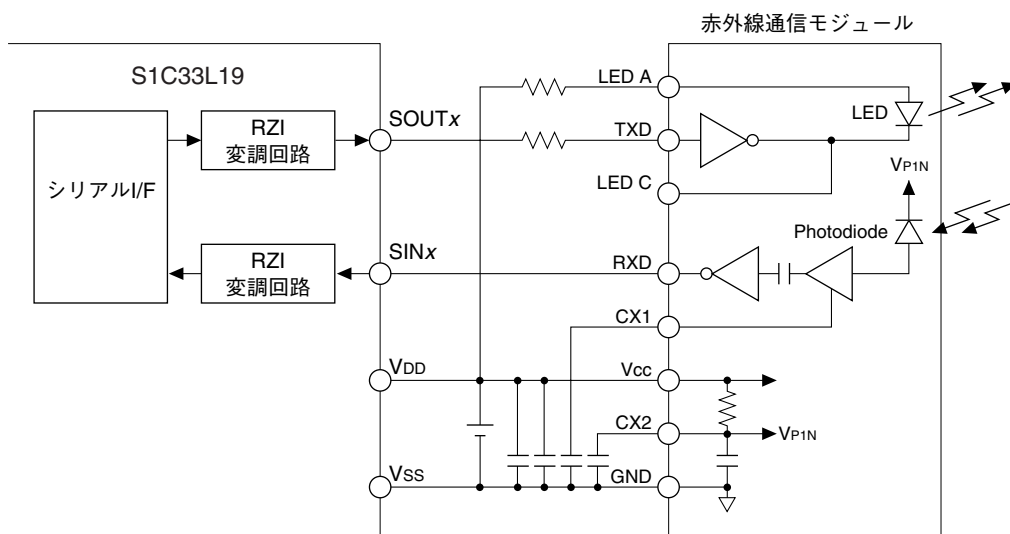
(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN_x(D6/0x300Bx3)に0を書き込んで受信禁止に設定してください。これにより受信データバッファ (FIFO)もクリア(初期化)されますので、RXEN_x(D6/0x300Bx3)に0を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

V.1.5 IrDAインタフェース

V.1.5.1 IrDAインタフェースの概要

シリアルインタフェースは各チャネルにRZI変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。



図V.1.5.1.1 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。IrDAインタフェース部以外のシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については“V.1.4 調歩同期式インタフェース”を参照してください。

V.1.5.2 IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード (IrDAインタフェース機能) の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/IDMA/HSDMAの設定
8. 入出力論理の設定

1～6までは調歩同期式インタフェースで説明した内容です。“V.1.4 調歩同期式インタフェース”を参照してください。7については“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENx(D7/0x300Bx3) および RXENx(D6/0x300Bx3)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。また、IrDAインタフェース機能の選択(2)は、必ず転送モード(3)以降の設定を行う前に行ってください。

* **TXENx**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)

* **RXENx**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)

■IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、IRMDx[1:0](D[1:0]/0x300Bx4)でIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

表V.1.5.2.1 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

* **IRMDx[1:0]**: Serial I/F Ch.x Interface Mode Select Bits in the Serial I/F Ch.x IrDA Register (D[1:0]/0x300Bx4)

注: IRMDx[1:0](D[1:0]/0x300Bx4)はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

■入出力論理の設定

IrDAインタフェースを使用する場合、RZI変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力SIN_xと出力SOUT_xの論理をそれぞれIRRL_x(D2/0x300Bx4)、IRTL_x(D3/0x300Bx4)によって個別に設定することができます。

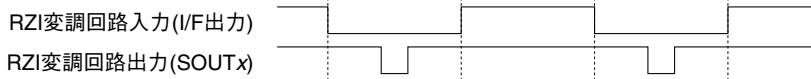
* **IRRL_x**: Serial I/F Ch.x IrDA I/F Input Logic Inversion Bit in the Serial I/F Ch.x IrDA Register (D2/0x300Bx4)

* **IRTL_x**: Serial I/F Ch.x IrDA I/F Output Logic Inversion Bit in the Serial I/F Ch.x IrDA Register (D3/0x300Bx4)

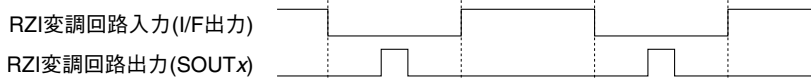
IRRL_x(D2/0x300Bx4)/IRTL_x(D3/0x300Bx4)に1を書き込むことで、入力/出力信号の論理が反転します。0を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTL_x = 0

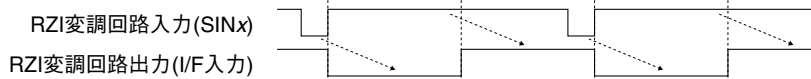


(2) IRTL_x = 1

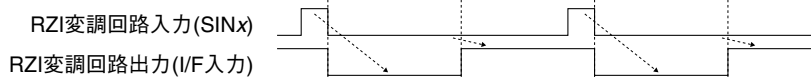


受信時

(1) IRRL_x = 0



(2) IRRL_x = 1



図V.1.5.2.1 IRRL_xとIRTL_xの設定例

注: IRRL_x(D2/0x300Bx4)およびIRTL_x(D3/0x300Bx4)はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

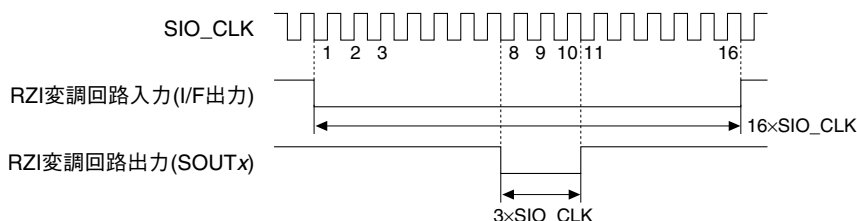
V.1.5.3 IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。“V.1.4.3 調歩同期式転送の制御と動作”を参照してください。

RZI変調回路によるデータの変調と復調の動作は以下のとおりです。

■送信時

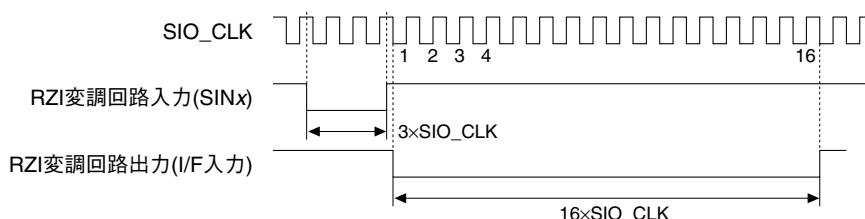
送信時は、シリアルインタフェースの出力信号のパルス幅を3/16倍に変換しSOUT_x端子から出力します。



図V.1.5.3.1 RZI変調回路によるデータの変調

■受信時

受信時は、SIN_xからの入力信号のパルス幅を16/3倍に変換し、シリアルインタフェースに送ります。



図V.1.5.3.2 RZI変調回路によるデータの復調

注: • IrDAインタフェースを使用する場合、シリアルインタフェース内部の分周比は1/16 (DIVMD_x = 1) に設定し、1/8 (DIVMD_x = 0) には設定しないでください。

* **DIVMD_x**: Serial I/F Ch._x Clock Division Ratio Select Bit in the Serial I/F Ch._x IrDA Register (D4/0x300B_x4)

- 図V.1.5.3.2は入力信号が3×SIO_CLK幅のLowパルスになっていますが、回路的にはエッジ (IRRL_x = 0のときは立ち上がりエッジ、IRRL_x = 1のときは立ち下がりエッジ) で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

V.1.6 ISO7816インタフェース(Ch.1)

注: ISO7816モードはCh.1でのみ使用可能です。

V.1.6.1 ISO7816インタフェースの概要

S1C33L19は、ISO7816-3準拠のICカード(スマートカード)インタフェースをサポートしています。

ISO7816ではデータ送受信用とクロック用の2線によりシリアル通信を行います。

転送方式は、データの前後にスタートビットとストップビットを付加する調歩同期式です。同じデータフォーマットで、クロックと同期した転送も可能となっています。

データラインが送受信で共用されるため、半二重通信となります。

本インタフェースは、T = 0とT = 1プロトコルをサポートしており、それぞれに対応するモードを7816MD1[1:0](D[1:0]/0x300B1A)で選択できます。

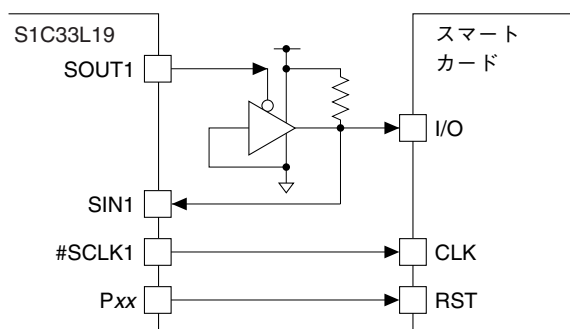
* **7816MD1[1:0]**: Serial I/F Ch.1 ISO7816 Mode Select Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[1:0]/0x300B1A)

表V.1.6.1.1 ISO7816モードの選択

7816MD11	7816MD10	モード
1	1	Reserved
1	0	ISO7816 (T = 1)モード
0	1	ISO7816 (T = 0)モード
0	0	通常のインタフェース

(デフォルト: 0b00)

図V.1.6.1.1にスマートカードの接続例を示します。



図V.1.6.1.1 ISO7816モードの接続例

■ISO7816転送データフォーマット

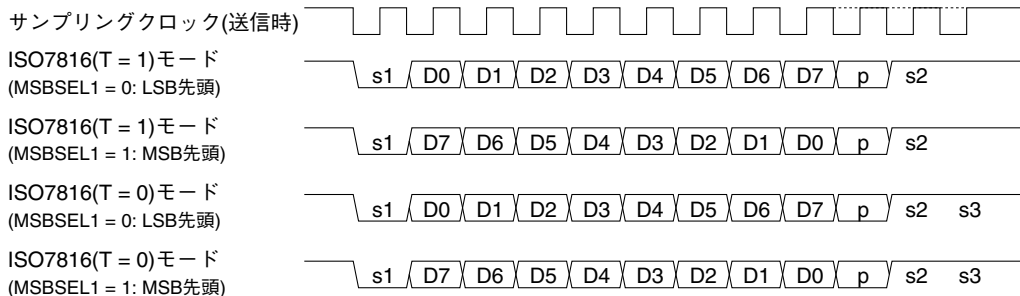
ISO7816のデータフォーマットは以下のとおりです。

データ長: 8ビット固定

スタートビット: 1ビット固定

ストップビット: 1ビット(T = 1)または2ビット(T = 0)

パリティビット: 偶数パリティ



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図V.1.6.1.2 ISO7816データフォーマット

V.1.6.2 ISO7816インタフェースの設定

ISO7816モードで転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. エラー時再送信回数(T=0)、タイムガードの設定
6. 受信FIFOレベルの設定
7. 割り込み/DMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXEN1(D7/0x300B13)およびRXEN1(D6/0x300B13)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

* **TXEN1:** Serial I/F Ch.1 Transmit Enable Bit in the Serial I/F Ch.1 Control Register (D7/0x300B13)

* **RXEN1:** Serial I/F Ch.1 Receive Enable Bit in the Serial I/F Ch.1 Control Register (D6/0x300B13)

■入出力端子の設定

ISO7816モードでは、SIN1、SOUT1および#SCLK1の3本の端子を使用します。

Port Function Select Registerで端子の設定を行ってください。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

■インタフェースモード設定

7816MD1[1:0](D[1:0]/0x300B1A)を0b10(T=1プロトコル)または0b01(T=0プロトコル)に設定します。

* **7816MD1[1:0]:** Serial I/F Ch.1 ISO7816 Mode Select Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[1:0]/0x300B1A)

■転送モード設定

転送モードをSMD1[1:0](D[1:0]/0x300B13)で設定します。

調歩同期式モードで使用する場合はSMD1[1:0]を0b11に、クロック同期式モードで使用する場合は0b00に設定してください。

* **SMD1[1:0]:** Serial I/F Ch.1 Transfer Mode Select Bits in the Serial I/F Ch.1 Control Register (D[1:0]/0x300B13)

■入力クロックの設定

ISO7816モードの転送には、ボーレートタイマで生成したクロックを使用します。チャンネル1のボーレートタイマを転送速度に合わせて設定してください。ボーレートタイマの制御方法については、“V.1.2 ボーレートタイマ(ボーレートの設定)”を参照してください。

調歩同期式

ISO7816のビットレートは次の式で求められます。

$$\text{bps} = \frac{D}{F} \times \text{fsio\_clk}$$

bps: ビットレート(ビット/秒)

D: ビットレート調整値

1, 2, 4, 8, 16, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64

F: クロック周波数分周値

372(5MHz), 558(6MHz), 744(8MHz), 1116(12MHz), 1488(16MHz), 1860(20MHz),

512(5MHz), 768(7.5MHz), 1024(10MHz), 1536(15MHz), 2048(20MHz)

()内は出力クロック最大周波数

fsio_clk: ISO7816クロック周波数(ボーレートタイマ出力および#SCLK1端子からカードへのクロック出力)

V 周辺モジュール3(インタフェース): 汎用シリアルインタフェース(EFSIO)

また、調歩同期式モードで使用するサンプリングクロック周波数は次の式で求められます。

$$f_{\text{SAMPL}} = \frac{D}{F} \times f_{\text{SIO\_CLK}} \times \frac{1}{\text{DIVMD}}$$

f_{SAMPL} : サンプリングクロック周波数

DIVMD : シリアルインタフェース内部分周比(1/16または1/8、 DIVMD1 で選択)

サンプリングクロックの設定にはFIDI1[13:0](D[5:0]/0x300B1D, D[7:0]/0x300B1C)と DIVMD1 (D4/0x300B14)を使用します。

* **FIDI1[13:0]**: Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Setup Bits in the Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Registers (D[5:0]/0x300B1D, D[7:0]/0x300B1C)

* **DIVMD1**: Serial I/F Ch.1 Clock Division Ratio Select Bit in the Serial I/F Ch.1 IrDA Register (D4/0x300B14)

DIVMD は DIVMD1 (D4/0x300B14)に0を書き込むと1/16、1を書き込むと1/8に設定されます。

FIDI1[13:0](D[5:0]/0x300B1D, D[7:0]/0x300B1C)には $F \times \text{DIVMD} / D - 1$ の値を設定します。表V.1.6.2.1とV.1.6.2.2に設定可能な値の一覧を示します。

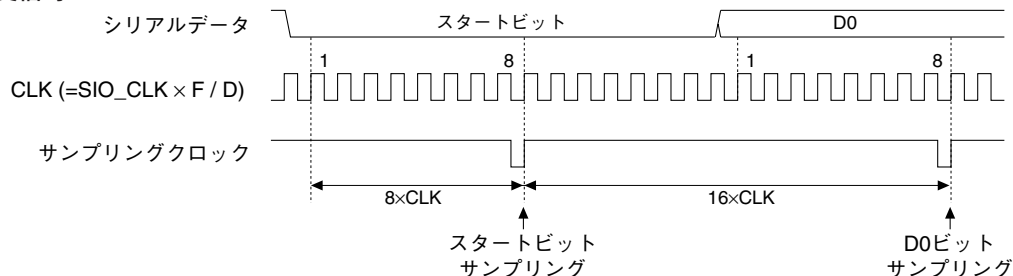
表V.1.6.2.1 FIDI1[13:0]設定値(DIVMD = 1/8)

F/(D×8) -1		D										
		1	2	4	8	16	1/2	1/4	1/8	1/16	1/32	1/64
F	372	46	22	11	5	2	92	185	371	743	1487	2975
	558	69	34	16	8	3	139	278	557	1115	2231	4463
	744	92	46	22	11	5	185	371	743	1487	2975	5951
	1116	139	69	34	16	8	278	557	1115	2231	4463	8927
	1488	185	92	46	22	11	371	743	1487	2975	5951	11903
	1860	232	115	57	28	14	464	929	1859	3719	7439	14879
	512	63	31	15	7	3	127	255	511	1023	2047	4095
	768	95	47	23	11	5	191	383	767	1535	3071	6143
	1024	127	63	31	15	7	255	511	1023	2047	4095	8191
	1536	191	95	47	23	11	383	767	1535	3071	6143	12287
	2048	255	127	63	31	15	511	1023	2047	4095	8191	16383

表V.1.6.2.2 FIDI1[13:0]設定値(DIVMD = 1/16)

F/(D×16) -1		D										
		1	2	4	8	16	1/2	1/4	1/8	1/16	1/32	1/64
F	372	22	11	5	2	0	46	92	185	371	743	1487
	558	34	16	8	3	1	69	139	278	557	1115	2231
	744	46	22	11	5	2	92	185	371	743	1487	2975
	1116	69	34	16	8	3	139	278	557	1115	2231	4463
	1488	92	46	22	11	5	185	371	743	1487	2975	5951
	1860	115	57	28	14	6	232	464	929	1859	3719	7439
	512	31	15	7	3	1	63	127	255	511	1023	2047
	768	47	23	11	5	2	95	191	383	767	1535	3071
	1024	63	31	15	7	3	127	255	511	1023	2047	4095
	1536	95	47	23	11	5	191	383	767	1535	3071	6143
	2048	127	63	31	15	7	255	511	1023	2047	4095	8191

受信時

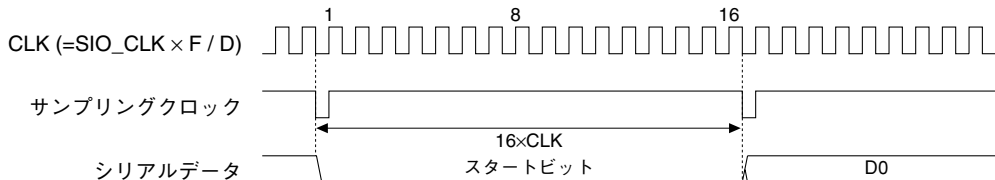


図V.1.6.2.1 調歩同期式受信時のサンプリングクロック(1/16分周選択時)

各ビットデータは、図V.1.6.2.1のようなタイミングでサンプリングされます。

CLKの立ち上がりエッジでSIN1のLowレベルを検出すると、8×CLK後(1/8選択時は4×CLK後)にスタートビットがサンプリングされます。スタートビットのサンプリング時にSIN1端子がLowでない場合は以降のデータのサンプリングを中止し、スタートビット検出の状態に戻ります(この場合、エラーは発生しません)。スタートビットサンプリング時にSIN1端子がLowの場合、以降は16×CLK(1/8選択時は8×CLK)ごとにビットデータのサンプリングが行われます。

送信時



図V.1.6.2.2 調歩同期式送信時のサンプリングクロック(1/16分周選択時)

送信時は各ビットデータを、16×CLK(1/8選択時は8×CLK)ごとにSOUT1端子に出力します。

クロック同期式

ISO7816モードにおけるクロック同期転送の転送速度も非同期転送と同様に算出できます。ただし、クロック同期転送の場合はDIVMD1(D4/0x300B14)の設定にかかわらず、DIVMDは1となります(1/16および1/8とはなりません)。

■エラー時再送信回数の指定(T = 0プロトコル)

T = 0プロトコルでの送信時にエラーが発生した場合(受信側からNACKが返った場合)、同じデータの自動再送信が可能です。エラーが続いた場合は再送信を繰り返すことができ、RPNUM1[2:0](D[7:5]/0x300B1A)にこの回数を設定します。最大で7回の再送信を指定可能です。0を設定した場合、送信エラーが発生しても再送信は行われません。

T = 1プロトコルでの送信エラー時は、RPNUM1[2:0](D[7:5]/0x300B1A)の設定にかかわらずデータの自動再送信は行われません。

* **RPNUM1[2:0]:** Serial I/F Ch.1 Number of Transmit Repetition Setup Bits in the Serial I/F Ch.1 ISO7816 Mode Control Register (D[7:5]/0x300B1A)

■タイムガードの設定

ISO7816モードの送信時には、各キャラクタの送信後にタイムガード(アイドル時間)を設定することができます。この時間をTTGR1[7:0](D[7:0]/0x300B1E)にETU(ビットサイクル数)単位で指定します。TTGR1[7:0](D[7:0]/0x300B1E)を0に設定した場合、アイドル時間は挿入されません。0以外の値を設定すると、ストップビット出力後のSOUT1出力を指定ETU数分Highに固定します。この間の出力はロングストップビットとして扱われます。

* **TTGR1[7:0]:** Serial I/F Ch.1 Transmit Time Guard Setup Bits in the Serial I/F Ch.1 Transmit Time Guard Register (D[7:0]/0x300B1E)

■受信FIFOレベルの設定(拡張モード)

本シリアルインタフェースには4バイトの受信FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みが発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定にはFIFOINT1[1:0](D[6:5]/0x300B14)を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

* **FIFOINT1[1:0]:** Serial I/F Ch.1 Receive Buffer Full Interrupt Timing Select Bits in the Serial I/F Ch.1 IrDA Register (D[6:5]/0x300B14)

V.1.6.3 ISO7816モードの制御と動作

■送信制御

(1) クロック出力

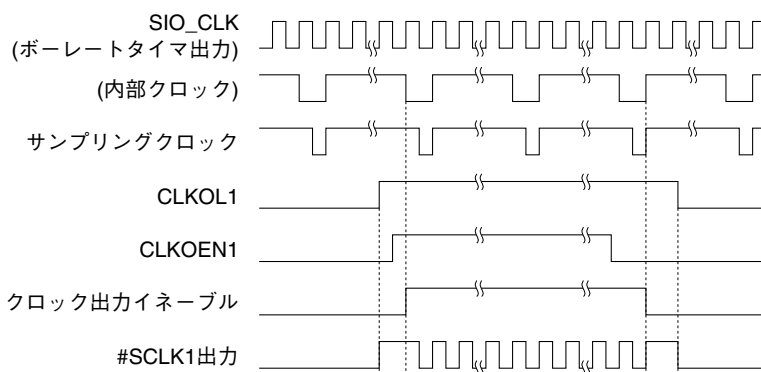
最初に、次の手順でクロックの出力を開始させます。

1. CLKOL1 (D3/0x300B1A)を1に設定(強制Low出力を解除)
2. CLKOEN1 (D4/0x300B1A)を1に設定(クロック出力開始)

* **CLKOL1**: Serial I/F Ch.1 Clock Output Forced Low Bit in the Serial I/F Ch.1 ISO7816 Mode Control Register (D3/0x300B1A)

* **CLKOEN1**: Serial I/F Ch.1 Clock Output Enable Bit in the Serial I/F Ch.1 ISO7816 Mode Control Register (D4/0x300B1A)

調歩同期式のクロック出力はサンプリングクロックに同期して行われます。



図V.1.6.3.1 クロック出力制御(調歩同期式の例)

(2) 送信許可

送信の制御には送信許可ビットTXEN1 (D7/0x300B13)を使用します。

このビットに1を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXEN1 (D7/0x300B13)に0を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

* **TXEN1**: Serial I/F Ch.1 Transmit Enable Bit in the Serial I/F Ch.1 Control Register (D7/0x300B13)

注: 送信中はTXEN1 (D7/0x300B13)を0に設定しないでください。

(3) 送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データはTXD1[7:0](D[7:0]/0x300B10)に書き込みます。

* **TXD1[7:0]**: Serial I/F Ch.1 Transmit Data Bits in the Serial I/F Ch.1 Transmit Data Register (D[7:0]/0x300B10)

TXD1[7:0](D[7:0]/0x300B10)に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかは送信データバッファエンプティフラグTDBE1 (D1/0x300B12)で確認可能です。このフラグは送信データバッファに1つ以上の空きがある場合に1となり、送信データの書き込みによってデータバッファが満杯になると0になります。

* **TDBE1**: Serial I/F Ch.1 Transmit Data Buffer Empty Flag in the Serial I/F Ch.1 Status Register (D1/0x300B12)

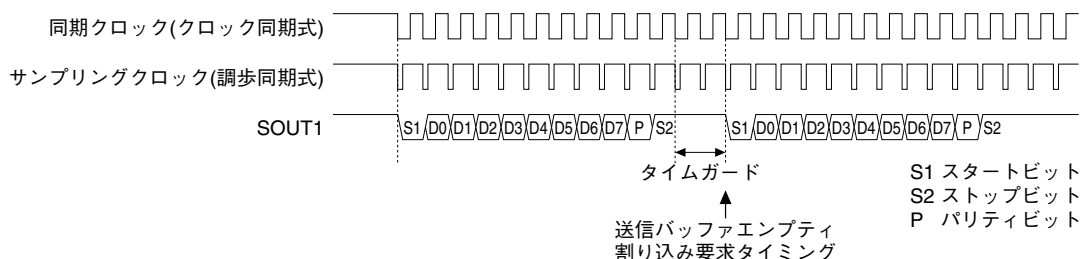
送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。送信状態は送信終了フラグTEND1(D5/0x300B12)で確認できます。このフラグはデータ送信中に1となり、全データの送信を終了すると0に戻ります。

* **TEND1**: Serial I/F Ch.1 Transmit-Completion Flag in the Serial I/F Ch.1 Status Register (D5/0x300B12)

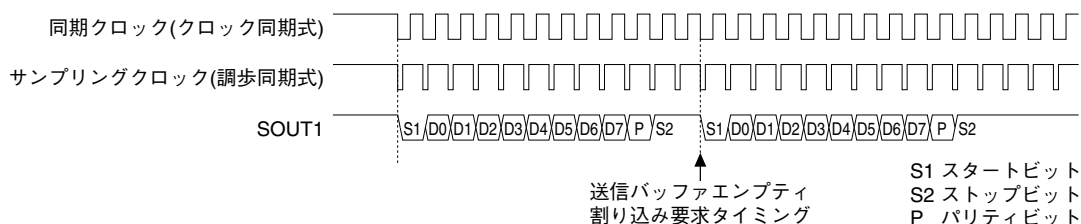
送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

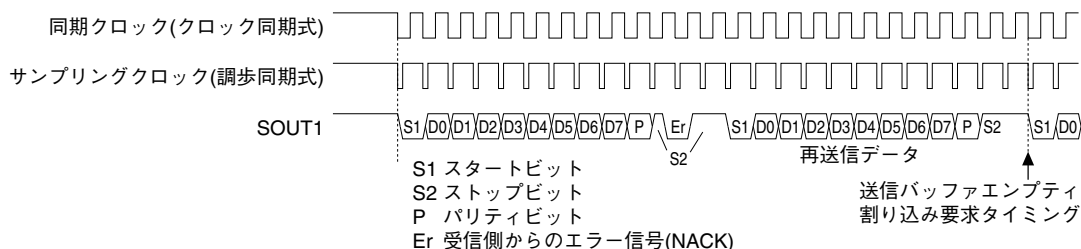
図V.1.6.3.2～V.1.6.3.4にISO7816モードの送信タイミングチャートを示します。



図V.1.6.3.2 ISO7816(T = 1)モードの送信タイミング(LSB先頭、タイムガード = 2)



図V.1.6.3.3 ISO7816(T = 0)モードの送信タイミング(LSB先頭、タイムガード = 0、パリティエラーなし)



図V.1.6.3.4 ISO7816(T = 0)モードの送信タイミング(LSB先頭、タイムガード = 0、パリティエラーあり)

1. アイドル状態のデータ線(SOUT1)はハイインピーダンス(プルアップによりHighレベル)となっています。
2. クロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、SOUT1端子をLowにしてスタートビットを送信します。
3. 続くクロックの各立ち下がりエッジでシフトレジスタの各ビットを順次送信します。
4. 8ビット目を送信後、パリティビットとストップビットを続けて送信します。その後SOUT1をハイインピーダンス(プルアップによりHighレベル)にします。
5. ストップビット送信後、タイムガードが設定されている場合はその期間アイドル状態となります。
6. 送信データバッファにデータがある場合は、同様に次のデータを送信します。
7. T = 0モード時に受信側でパリティエラーが発生すると、受信側からLowレベルのエラー信号(NACK)が返ります。エラー発生時の再送信回数を設定している場合は、同じデータを再送信します。

T = 1モードの場合、受信側でエラーが発生してもエラー信号は返りません。

(4) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN1(D7/0x300B13)に0を書き込んで送信禁止に設定してください。これにより送信データバッファ (FIFO) もクリア(初期化)されますので、TXEN1(D7/0x300B13)に0を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

クロック出力を停止する場合は、CLKOEN1(D4/0x300B1A)、CLKOL1(D3/0x300B1A)の順序でそれぞれを0に設定します。

■受信制御**(1) クロック出力**

クロックが出力されていない場合は、次の手順で開始させます。

1. CLKOL1(D3/0x300B1A)を1に設定(強制Low出力を解除)
2. CLKOEN1(D4/0x300B1A)を1に設定(クロック出力開始)

* **CLKOL1**: Serial I/F Ch.1 Clock Output Forced Low Bit in the Serial I/F Ch.1 ISO7816 Mode Control Register (D3/0x300B1A)

* **CLKOEN1**: Serial I/F Ch.1 Clock Output Enable Bit in the Serial I/F Ch.1 ISO7816 Mode Control Register (D4/0x300B1A)

(2) 受信許可

受信の制御には受信許可ビットRXEN1(D6/0x300B13)を使用します。このビットに1を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXEN1(D6/0x300B13)に0を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

* **RXEN1**: Serial I/F Ch.1 Receive Enable Bit in the Serial I/F Ch.1 Control Register (D6/0x300B13)

注: 受信中はRXEN1(D6/0x300B13)を0に設定しないでください。

(3) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、RXD1[7:0](D[7:0]/0x300B11)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

* **RXD1[7:0]**: Serial I/F Ch.1 Receive Data Bits in the Serial I/F Ch.1 Receive Data Register (D[7:0]/0x300B11)

受信データバッファ内にあるデータの数はRXD1NUM[1:0](D[7:6]/0x300B12)で確認できます。RXD1NUM[1:0](D[7:6]/0x300B12)が0の場合、バッファ内には0個または1個のデータがあります。RXD1NUM[1:0](D[7:6]/0x300B12)が1~3の場合、バッファ内には2~4個のデータがあります。

* **RXD1NUM[1:0]**: Number of Ch.1 Receive Data in FIFO in the Serial I/F Ch.1 Status Register (D[7:6]/0x300B12)

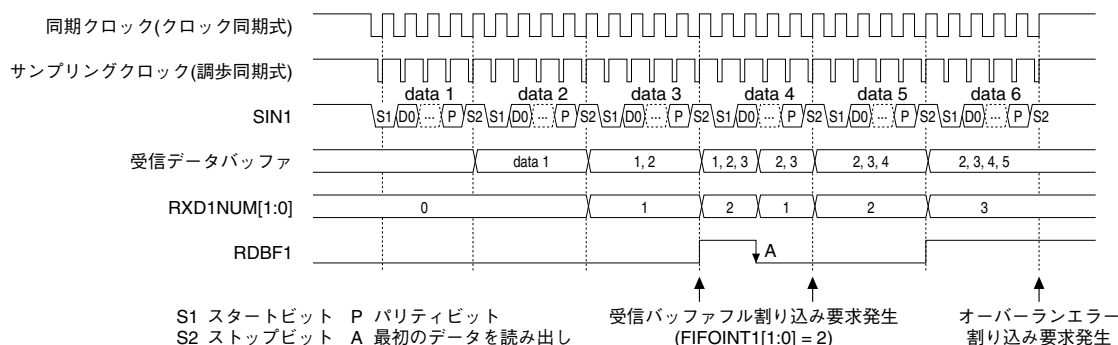
また、受信データバッファフルを示すフラグRDBF1(D0/0x300B12)が設けられています。このフラグは受信データバッファ内に1つ以上の受信データがあると1となり、データがすべて読み出されて空になると0に戻ります。

* **RDBF1**: Serial I/F Ch.1 Receive Data Buffer Full Flag in the Serial I/F Ch.1 Status Register (D0/0x300B12)

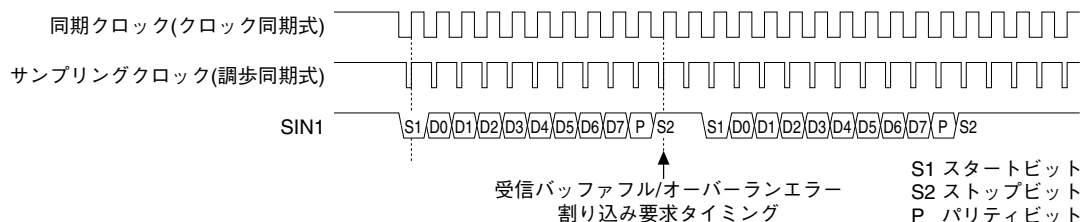
受信データバッファ内のデータ数が指定の個数以上(標準モードでは1、拡張モードでは1~4)になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

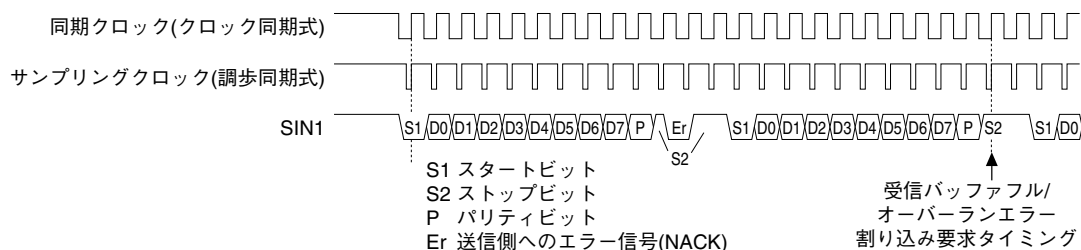
図V.1.6.3.5～V.1.6.3.7にISO7816モードの受信タイミングチャートを示します。



図V.1.6.3.5 ISO7816(T = 1)モードの受信タイミング(LSB先頭)



図V.1.6.3.6 ISO7816(T = 0)モードの受信タイミング(LSB先頭、パリティエラーなし)



図V.1.6.3.7 ISO7816(T = 0)モードの受信タイミング(LSB先頭、パリティエラーあり)

1. 調歩同期式の場合は、スタートビット (SIN1 = Low) の入力によりサンプリングを開始します。クロック同期式の場合は、同期クロックの最初の立ち上がりエッジからサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットを順次シフトレジスタに取り込みます。8ビット目を受信するまで、この動作を繰り返します。
3. 8ビット目が取り込まれると、続くパリティビットを取り込みます。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
受信データレジスタへの転送時にはパリティチェックが行われます。
5. T = 0モード時にパリティエラーが発生すると、送信側にLowレベルのエラー信号(NACK)を返します。
T = 1モードの場合、パリティエラーが発生してもエラー信号を返しません。

(4) 受信エラー

ISO7816モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、“V.1.7 シリアルインタフェース割り込みとDMA”を参照してください。

• パリティエラー

ISO7816モードの受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われます。

T=1モードでデータとパリティビット(偶数パリティ)が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER1(D3/0x300B12)が1にセットされます。

*** PER1: Serial I/F Ch.1 Parity Error Flag in the Serial I/F Ch.1 Status Register (D3/0x300B12)**

T=1モードで本エラーが発生した場合、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

T=0モードの場合、エラーとなった受信データは受信データバッファにロードされず、パリティエラーフラグPER1(D3/0x300B12)は1にはなりません。このためソフトウェアによるパリティエラーの検出は行えません。

なお、PER1(D3/0x300B12)は0を書き込むことによってリセットされます。

前述のように、T=0モード時にパリティエラーが発生すると、送信側にLowレベルのエラー信号(NACK)を返します。(図V.1.6.3.7参照)

T=1モードの場合、パリティエラーが発生してもエラー信号を返しません。

• フレーミングエラー(調歩同期式モード)

調歩同期式モードでストップビットを0として受信すると、本シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER1(D4/0x300B12)が1にセットされます。

*** FER1: Serial I/F Ch.1 Framing Error Flag in the Serial I/F Ch.1 Status Register (D4/0x300B12)**

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FER1(D4/0x300B12)は0を書き込むことによってリセットされます。

• オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER1(D2/0x300B12)が1にセットされます。

*** OER1: Serial I/F Ch.1 Overrun Error Flag in the Serial I/F Ch.1 Status Register (D2/0x300B12)**

本エラーが発生した場合でも、受信動作は継続します。

なお、OER1(D2/0x300B12)は0を書き込むことによってリセットされます。

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN1(D6/0x300B13)に0を書き込んで受信禁止に設定してください。これにより受信データバッファ(FIFO)もクリア(初期化)されますので、RXEN1(D6/0x300B13)に0を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

クロック出力を停止する場合は、CLKOEN1(D4/0x300B1A)、CLKOL1(D3/0x300B1A)の順序でそれぞれを0に設定します。

V.1.7 シリアルインタフェース割り込みとDMA

シリアルインタフェースには各チャネルごとに、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

■送信バッファエンプティ割り込み

この割り込み要因は、送信データレジスタに設定した送信データがシフトレジスタに転送された時点で発生し、割り込み要因フラグFSTX_xを1にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■受信バッファフル割り込み

この割り込み要因は、受信バッファ内にFIFOINT_x[1:0](D[6:5]/0x300Bx4)で指定した数(標準モードでは1)のデータを受信した時点で発生し、割り込み要因フラグFSRX_xを1にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

* **FIFOINT_x[1:0]**: Serial I/F Ch.x Receive Buffer Full Interrupt Timing Select Bits in the Serial I/F Ch.x IrDA Register (D[6:5]/0x300Bx4)

■受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合、またはISO7816 T = 0モードでのデータ転送時に送信エラーが検出された場合に発生し、割り込み要因フラグFSERR_xを1にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

4種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER_x(パリティエラー)、OER_x(オーバーランエラー)、FER_x(フレーミングエラー)、TER1(送信エラーフラグ)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

- * **PER_x**: Serial I/F Ch.x Parity Error Flag in the Serial I/F Ch.x Status Register (D3/0x300Bx2)
- * **OER_x**: Serial I/F Ch.x Overrun Error Flag in the Serial I/F Ch.x Status Register (D2/0x300Bx2)
- * **FER_x**: Serial I/F Ch.x Framing Error Flag in the Serial I/F Ch.x Status Register (D4/0x300Bx2)
- * **TER1**: Serial I/F Ch.1 ISO7816 Transmit Error Flag in the Serial I/F Ch.1 ISO7816 Mode Status Register (D0/0x300B1B)

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

■割り込みコントローラの制御レジスタ

割り込み系列(チャンネル)ごとに用意されている割り込みコントローラの制御レジスタを、表V.1.7.1に示します。

表V.1.7.1 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.0	受信エラー	FSERR0(D0/0x300286)	ESERR0(D0/0x300276)	PSIO0[2:0](D[6:4]/0x300269)
	受信バッファフル	FSRX0(D1/0x300286)	ESRX0(D1/0x300276)	
	送信バッファエンプティ	FSTX0(D2/0x300286)	ESTX0(D2/0x300276)	
Ch.1	受信エラー	FSERR1(D3/0x300286)	ESERR1(D3/0x300276)	PSIO1[2:0](D[2:0]/0x30026A)
	受信バッファフル	FSRX1(D4/0x300286)	ESRX1(D4/0x300276)	
	送信バッファエンプティ	FSTX1(D5/0x300286)	ESTX1(D5/0x300276)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが1にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

Ch.0受信バッファフル割り込み: 0x17

Ch.0送信バッファエンプティ割り込み: 0x18

Ch.1受信バッファフル割り込み: 0x19

Ch.1送信バッファエンプティ割り込み: 0x1A

IDMAを起動させるには、表V.1.7.2に示すIDMAリクエストビットおよびIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表V.1.7.2 IDMA転送の制御ビット

Ch.	割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	受信バッファフル	RSRX0(D6/0x300292)	DESRX0(D6/0x300296)
	送信バッファエンプティ	RSTX0(D7/0x300292)	DESTX0(D7/0x300296)
Ch.1	受信バッファフル	RSRX1(D0/0x300293)	DESRX1(D0/0x300297)
	送信バッファエンプティ	RSTX1(D1/0x300293)	DESTX1(D1/0x300297)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■高速DMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA(HSDMA)を起動することもできます。

各チャンネルに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表V.1.7.3 HSDMAトリガ設定ビット

SIF Ch.	HSDMA Ch.	トリガ設定ビット
0	0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0-1 trigger set-up register (0x300298)
1	1	HSD1S[3:0] (D[7:4]) / HSDMA Ch.0-1 trigger set-up register (0x300298)
2	2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2-3 trigger set-up register (0x300299)

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに“1010”を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに“1011”を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、“II.1 高速DMA(HSDMA)”を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0受信エラー割り込み: 0xC000E0

Ch.0受信バッファフル割り込み: 0xC000E4

Ch.0送信バッファエンプティ割り込み: 0xC000E8

Ch.1受信エラー割り込み: 0xC000F0

Ch.1受信バッファフル割り込み: 0xC000F4

Ch.1送信バッファエンプティ割り込み: 0xC000F8

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

V.1.8 制御レジスタ詳細

表V.1.8.1 シリアルインタフェース制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300B00	Serial I/F Ch.0 Transmit Data Register (pEFSIF0_TXD)	8	Ch.0の送信データ
0x00300B01	Serial I/F Ch.0 Receive Data Register (pEFSIF0_RXD)	8	Ch.0の受信データ
0x00300B02	Serial I/F Ch.0 Status Register (pEFSIF0_STATUS)	8	Ch.0の転送/エラー状態
0x00300B03	Serial I/F Ch.0 Control Register (pEFSIF0_CTL)	8	Ch.0の転送モード設定と転送の制御
0x00300B04	Serial I/F Ch.0 IrDA Register (pEFSIF0_IRDA)	8	Ch.0の調歩同期式/IrDAモードを設定
0x00300B05	Serial I/F Ch.0 Baud-rate Timer Control Register (pEFSIF0_BRTRUN)	8	Ch.0のボーレートタイマの制御
0x00300B06	Serial I/F Ch.0 Baud-rate Timer Reload Data Register (LSB) (pEFSIF0_BRTRDL)	8	Ch.0のボーレートタイマ用リロードデータ下位8ビット
0x00300B07	Serial I/F Ch.0 Baud-rate Timer Reload Data Register (MSB) (pEFSIF0_BRTRDM)	8	Ch.0のボーレートタイマ用リロードデータ上位4ビット
0x00300B08	Serial I/F Ch.0 Baud-rate Timer Count Data Register (LSB) (pEFSIF0_BRTCDL)	8	Ch.0のボーレートタイマのカウントデータ下位8ビット
0x00300B09	Serial I/F Ch.0 Baud-rate Timer Count Data Register (MSB) (pEFSIF0_BRTCDM)	8	Ch.0のボーレートタイマのカウントデータ上位4ビット
0x00300B10	Serial I/F Ch.1 Transmit Data Register (pEFSIF1_TXD)	8	Ch.1の送信データ
0x00300B11	Serial I/F Ch.1 Receive Data Register (pEFSIF1_RXD)	8	Ch.1の受信データ
0x00300B12	Serial I/F Ch.1 Status Register (pEFSIF1_STATUS)	8	Ch.1の転送/エラー状態
0x00300B13	Serial I/F Ch.1 Control Register (pEFSIF1_CTL)	8	Ch.1の転送モード設定と転送の制御
0x00300B14	Serial I/F Ch.1 IrDA Register (pEFSIF1_IRDA)	8	Ch.1の調歩同期式/IrDAモードを設定
0x00300B15	Serial I/F Ch.1 Baud-rate Timer Control Register (pEFSIF1_BRTRUN)	8	Ch.1のボーレートタイマの制御
0x00300B16	Serial I/F Ch.1 Baud-rate Timer Reload Data Register (LSB) (pEFSIF1_BRTRDL)	8	Ch.1のボーレートタイマ用リロードデータ下位8ビット
0x00300B17	Serial I/F Ch.1 Baud-rate Timer Reload Data Register (MSB) (pEFSIF1_BRTRDM)	8	Ch.1のボーレートタイマ用リロードデータ上位4ビット
0x00300B18	Serial I/F Ch.1 Baud-rate Timer Count Data Register (LSB) (pEFSIF1_BRTCDL)	8	Ch.1のボーレートタイマのカウントデータ下位8ビット
0x00300B19	Serial I/F Ch.1 Baud-rate Timer Count Data Register (MSB) (pEFSIF1_BRTCDM)	8	Ch.1のボーレートタイマのカウントデータ上位4ビット
0x00300B1A	Serial I/F Ch.1 ISO7816 Mode Control Register (pEFSIF1_7816CTL)	8	Ch.1のISO7816モード設定とクロック出力制御
0x00300B1B	Serial I/F Ch.1 ISO7816 Mode Status Register (pEFSIF1_7816STA)	8	Ch.1のISO7816モードのエラー状態
0x00300B1C	Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (LSB) (pEFSIF1_FIDIL)	8	Ch.1のISO7816モードのFI/DI比下位8ビット設定
0x00300B1D	Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (MSB) (pEFSIF1_FIDIM)	8	Ch.1のISO7816モードのFI/DI比上位6ビット設定
0x00300B1E	Serial I/F Ch.1 Transmit Time Guard Register (pEFSIF1_TTGR)	8	Ch.1の送信タイムガード設定
0x00300B1F	Serial I/F Ch.1 ISO7816 Mode Output Clock Setup Register (pEFSIF1_CLKNUM)	8	Ch.1のISO7816モードの出力クロック数設定
0x00300B4F	Serial I/F STD/ADV Mode Select Register (pEFSIF_ADV)	8	標準モードまたは拡張モードの選択

以下にシリアルインタフェースの制御レジスタを個々に説明します。

シリアルインタフェースの制御レジスタは0x300B00～0x300B4Fの8ビットデバイスエリアに割り付けられており、バイトアクセスが可能です。

注: シリアルインタフェースの制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x300B00–0x300B10: Serial I/F Ch.x Transmit Data Registers (pEFSIFx_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.x transmit data register (pEFSIFx_TXD)	00300B00 I 00300B10 (B)	D7	TXDx7	Serial I/F Ch.x transmit data	0x0 to 0xFF(0x7F)	X	R/W	7-bit asynchronous mode does not use TXDx7.
		D6	TXDx6	TXDx7(x6) = MSB		X		
		D5	TXDx5	TXDx0 = LSB		X		
		D4	TXDx4			X		
		D3	TXDx3			X		
		D2	TXDx2			X		
		D1	TXDx1			X		
		D0	TXDx0			X		

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

0x300B00 Serial I/F Ch.0 Transmit Data Register (pEFSIF0_TXD)

0x300B10 Serial I/F Ch.1 Transmit Data Register (pEFSIF1_TXD)

D[7:0] TXDx[7:0]: Serial I/F Ch.x Transmit Data Bits

送信データを設定します。(デフォルト: 不定)

TXEN_xに1を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。TXD_x[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。調歩同期式7ビットモードにおいては、TXD_x7(MSB)が無効となります。

SOUT_x端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

0x300B01–0x300B11: Serial I/F Ch.x Receive Data Registers (pEFSIFx_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.x receive data register (pEFSIFx_RXD)	00300B01 I 00300B11 (B)	D7	RxDx7	Serial I/F Ch.x receive data	0x0 to 0xFF(0x7F)	X	R	7-bit asynchronous mode does not use RxDx7 (fixed at 0).
		D6	RxDx6	RxDx7(x6) = MSB		X		
		D5	RxDx5	RxDx0 = LSB		X		
		D4	RxDx4			X		
		D3	RxDx3			X		
		D2	RxDx2			X		
		D1	RxDx1			X		
		D0	RxDx0			X		

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

0x300B01 Serial I/F Ch.0 Receive Data Register (pEFSIF0_RXD)

0x300B11 Serial I/F Ch.1 Receive Data Register (pEFSIF1_RXD)

D[7:0] RxDx[7:0]: Serial I/F Ch.x Receive Data Bits

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯になった状態では、次の受信が終了するまでにデータを読み出さないとオーバーランエラーになります。受信データバッファには読み出しが必要なことを示す受信バッファステータスフラグRDBFxが設けられています。このフラグは受信データバッファ内に1個以上の受信データがある場合に1となり、データがすべて読み出されて空になると0に戻ります。

受信データバッファ内の受信データがFIFOINTx[1:0]で指定した数(標準モードでは1)になると、受信バッファフル割り込み要因が発生します。

調歩同期式7ビットモードにおいては、RxDx7には0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 不定)

0x300B02–0x300B12: Serial I/F Ch.x Status Registers (pEFSIFx_STATUS)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.x status register (pEFSIFx_STATUS)	00300B02 I 00300B12 (B)	D7	RXDxNUM1	Number of Ch.x receive data in FIFO	RXDxNUM[1:0]		Number of data	0	R		
		D6	RXDxNUM0		1	1	4	0			
					1	0	3				
					0	1	2				
					0	0	1 or 0				
		D5	TENDx	Ch.x transmit-completion flag	1	Transmitting	0	End	0	R	Reset by writing 0.
		D4	FERx	Ch.x framing error flag	1	Error	0	Normal	0	R/W	
		D3	PERx	Ch.x parity error flag	1	Error	0	Normal	0	R/W	
		D2	OERx	Ch.x overrun error flag	1	Error	0	Normal	0	R/W	
		D1	TDBEx	Ch.x transmit data buffer empty	1	Empty	0	Not empty	1	R	
D0	RDBFx	Ch.x receive data buffer full	1	Full	0	Not full	0	R			

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

0x300B02 Serial I/F Ch.0 Status Register (pEFSIF0_STATUS)

0x300B12 Serial I/F Ch.1 Status Register (pEFSIF1_STATUS)

D[7:6] RXDxNUM[1:0]: Number of Ch.x Receive Data in FIFO

受信データバッファ(FIFO)内の読み出されていない受信データの数を示します。

表V.1.8.2 受信データの数

RXDxNUM1	RXDxNUM0	データ数
1	1	4
1	0	3
0	1	2
0	0	1または0

(デフォルト: 0b00)

RXDxNUM[1:0]が0の場合は0または1個、1～3は2～4個の受信データがあることを示します。

D5 TENDx: Serial I/F Ch.x Transmit-Completion Flag

送信状態を示します。

1(R): 送信中

0(R): 送信終了(デフォルト)

TENDxはデータ送信中に1となり、送信を終了すると0に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで1を保持します(図V.1.3.3.1、図V.1.4.3.1参照)。クロック同期式スレーブモード時は1バイト送信するごとに0となります(図V.1.3.3.2参照)。

D4 FERx: Serial I/F Ch.x Framing Error Flag

フレーミングエラーの発生を示します。

1(R): エラー

0(R): エラーなし(デフォルト)

1(W): 無効

0(W): 0にリセット

FERxはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に1となります。フレーミングエラーは、ISO7816モードまたは調歩同期式モードの受信時にストップビットが0になっていた場合に発生します。

FERxは0を書き込むか、あるいはRXENxとTXENxを共に0に設定することによりリセットされます。

D3 PERx: Serial I/F Ch.x Parity Error Flag

パリティエラーの発生を示します。

1(R): エラー

0(R): エラーなし(デフォルト)

1(W): 無効

0(W): 0にリセット

PERxはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に1となります。パリティチェックはISO7816モードまたはEPRxを1(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データバッファに転送する際に行われます。

PERxは0を書き込むか、あるいはRXENxとTXENxを共に0に設定することによりリセットされます。

D2 OERx: Serial I/F Ch.x Overrun Error Flag

オーバーランエラーの発生を示します。

1(R): エラー

0(R): エラーなし(デフォルト)

1(W): 無効

0(W): 0にリセット

OERxはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に1となります。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERxは0を書き込むか、あるいはRXENxとTXENxを共に0に設定することによりリセットされます。

D1 TDBEx: Serial I/F Ch.x Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。

1(R): 空きあり(デフォルト)

0(R): 満杯

TDBExは送信データバッファに送信データを書き込むための空きがある場合に1となり、満杯になると0になります。

送信データバッファには2個の送信データを書き込み可能です。

D0 RDBFx: Serial I/F Ch.x Receive Data Buffer Full Flag

受信データバッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RDBFxは受信データバッファ内に1個以上の受信データがある場合に1となり、データがすべて読み出されて空になると0に戻ります。

0x300B03–0x300B13: Serial I/F Ch.x Control Registers (pEFSIFx_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Serial I/F Ch.x control register (pEFSIFx_CTL)	00300B03 I 00300B13 (B)	D7	TXENx	Ch.x transmit enable	1	Enabled	0 Disabled	0	R/W	Valid only in asynchronous mode.	
		D6	RXENx	Ch.x receive enable	1	Enabled	0 Disabled	0	R/W		
		D5	EPRx	Ch.x parity enable	1	With parity	0 No parity	X	R/W		
		D4	PMDx	Ch.x parity mode select	1	Odd	0 Even	X	R/W		
		D3	STPBx	Ch.x stop bit select	1	2 bits	0 1 bit	X	R/W		
		D2	SSCKx	Ch.x input clock select	1	#SCLKx	0 Internal clock	X	R/W		
		D1	SMDx1	Ch.x transfer mode select	SMDx[1:0]		Transfer mode		X		R/W
		D0	SMDx0				11	8-bit asynchronous			
							10	7-bit asynchronous			
01	Clock sync. Slave										
		00	Clock sync. Master								

注: ビット名などの‘x’はチャネル番号の0～1を示します。

0x300B03 Serial I/F Ch.0 Control Register (pEFSIF0_CTL)

0x300B13 Serial I/F Ch.1 Control Register (pEFSIF1_CTL)

D7 TXEN_x: Serial I/F Ch.x Transmit Enable Bit

各チャネルを送信許可状態に設定します。

1(R/W): 送信許可

0(R/W): 送信禁止(デフォルト)

TXEN_xに1を書き込むとそのチャネルが送信許可状態となり、0を書き込むと送信禁止状態となります。

転送モード等の設定を行う場合は、TXEN_xが0の状態で行ってください。

TXEN_xに0を書き込んで送信禁止状態にすると、送信データバッファ(FIFO)もクリアされます。

D6 RXEN_x: Serial I/F Ch.x Receive Enable Bit

各チャネルを受信許可状態に設定します。

1(R/W): 受信許可

0(R/W): 受信禁止(デフォルト)

RXEN_xに1を書き込むとそのチャネルが受信許可状態となり、0を書き込むと受信禁止状態となります。

転送モード等の設定を行う場合は、RXEN_xが0の状態で行ってください。

RXEN_xに0を書き込んで受信禁止状態にすると、受信データバッファ(FIFO)もクリアされます。

D5 EPR_x: Serial I/F Ch.x Parity Enable Bit

調歩同期式転送のパリティ機能を選択します。(デフォルト: 不定)

1(R/W): パリティ付

0(R/W): パリティなし

EPR_xによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPR_xに1を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。0を書き込んだ場合はチェックおよび付加は行われません。

EPR_xは調歩同期式モードの場合にのみ有効です。クロック同期式モードにはパリティ機能がないため、EPR_xの設定は無効となります。ISO7816モードはEPR_xの設定にかかわらずパリティ機能が有効となります。

D4 PMD_x: Serial I/F Ch._x Parity Mode Select Bit

調歩同期式転送の奇数パリティ / 偶数パリティを選択します。(デフォルト: 不定)

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ

PMD_xに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。調歩同期式モードのパリティチェックおよびパリティビットの付加はEPR_xに1が書き込まれている場合にのみ有効で、EPR_xに0が書き込まれている場合は、PMD_xの設定は無効となります。ISO7816モードではPMD_xの設定にかかわらず偶数パリティとなります。

D3 STPB_x: Serial I/F Ch._x Stop-Bit Length Select Bit

調歩同期式転送を行う場合のストップビット長を選択します。(デフォルト: 不定)

1(R/W): 2ビット

0(R/W): 1ビット

STPB_xは調歩同期式転送時にのみ有効なストップビット選択ビットです。1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

クロック同期式転送を行う場合、STPB_xの設定は無効となります。

ISO7816(T=0)モードのストップビットは2ビット、ISO7816(T=1)モードでは1ビットとなります。

D2 SSCK_x: Serial I/F Ch._x Input Clock Select Bit

調歩同期式転送のクロック源を選択します。(デフォルト: 不定)

1(R/W): #SCLK_x(外部クロック)

0(R/W): 内部クロック

調歩同期式モード時に、内部クロック(ポーレートタイマの出力)を使用するか、外部クロック(#SCLK_x端子から入力)を使用するか選択します。SSCK_xに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

D[1:0] SMD_x[1:0]: Serial I/F Ch._x Transfer Mode Select Bits

シリアルインタフェースの転送モードを表V.1.8.3のとおり設定します。

表V.1.8.3 転送モードの設定

SMD _x 1	SMD _x 0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

(デフォルト: 不定)

SMD_x[1:0]は読み出しも可能です。

IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。

0x300B04–0x300B14: Serial I/F Ch.x IrDA Registers (pEFSIFx_IRDA)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Serial I/F Ch.x IrDA register (pEFSIFx_IRDA)	00300B04 I 00300B14 (B)	D7	SRDYCTLx	Ch.x #SRDY control	1	High mask	0	Normal	0	R/W	Writing is disabled when SIOADV (D0/0x300B4F) = "0".
		D6	FIFOINTx1	Ch.x receive buffer full interrupt timing	FIFOINTx[1:0]		Receive level		0	R/W	
		D5	FIFOINTx0		11 10 01 00		4 3 2 1		0		
		D4	DIVMDx		Ch.x async. clock division ratio	1	1/8	0	1/16	X	
		D3	IRTLx		Ch.x IrDA I/F output logic inversion	1	Inverted	0	Direct	X	R/W
		D2	IRRLx	Ch.x IrDA I/F input logic inversion	1	Inverted	0	Direct	X	R/W	
		D1	IRMDx1	Ch.x interface mode select	IRMDx[1:0]		I/F mode		X	R/W	
		D0	IRMDx0		11 10 01 00		reserved IrDA 1.0 reserved General I/F		X		

注: ビット名などの'x'はチャンネル番号の0~1を示します。

0x300B04 Serial I/F Ch.0 IrDA Register (pEFSIF0_IRDA)

0x300B14 Serial I/F Ch.1 IrDA Register (pEFSIF1_IRDA)

D7 SRDYCTLx: Serial I/F Ch.x #SRDY Control Bit

受信バッファフル時の#SRDYx信号の制御内容を選択します。

1(R/W): Highマスク

0(R/W): 通常出力(デフォルト)

SRDYCTLxが0に設定されると通常出力制御が行われ、受信データバッファが満杯の場合でも#SRDYx信号は受信可能として出力されます。1を書き込んでHighマスクを選択すると、クロック同期式スレープモードとマスタモードで、それぞれ以下の制御が行われます。

クロック同期式スレープモード

受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#SRDYx信号を強制的にHighにして、マスタデバイスのデータ送信を中断させます。

クロック同期式マスタモード

受信データバッファが満杯になると、データを読み出すまでスレープからの#SRDYx(Low)を無視し#SCLKxの出力を停止します。

これにより、オーバーランエラーの発生を回避することができます。

この機能を有効にした場合でも、受信データバッファが満杯以外では通常の受信動作を行います。#SRDYx信号を使用しない調歩同期式モードとISO7816モードでは、このビットの設定は無効です。

注: 本ビットは、SIOADV(D0/0x300B4F)が1(拡張モード)に設定されている場合にのみ書き換えが可能です。

D[6:5] FIFOINTx[1:0]: Serial I/F Ch.x Receive Buffer Full Interrupt Timing Select Bits

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

表V.1.8.4 受信バッファ内のデータ数

FIFOINTx1	FIFOINTx0	受信レベル
1	1	4
1	0	3
0	1	2
0	0	1

(デフォルト: 0b00)

0~3の指定値で1~4個の受信データ数が設定されます。受信データバッファ内の受信データがここで指定した数になると、受信バッファフル割り込み要因フラグFSRXxが1にセットされます。

注: 本ビットは、SIOADV(D0/0x300B4F)が1(拡張モード)に設定されている場合にのみ書き換えが可能です。

D4 DIVMDx: Serial I/F Ch.x Clock Division Ratio Select Bit

サンプリングクロックの分周比を選択します。(デフォルト: 不定)

1(R/W): 1/8

0(R/W): 1/16

調歩同期式モードまたはISO7816モードのサンプリングクロックを生成するための分周比を選択します。DIVMDxに1を書き込むと、シリアルインタフェースの入力クロック(ポーレートタイマ出力または#SCLKx入力)を1/8に分周してサンプリングクロックを生成します。0を書き込んだ場合は1/16に分周されます。

D3 IRTLx: Serial I/F Ch.x IrDA I/F Output Logic Inversion Bit

IrDA出力信号の論理を反転します。(デフォルト: 不定)

1(R/W): 反転

0(R/W): 反転なし

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに1を書き込むと、出力データが0のときにHighパルスを出力するように設定されます(出力データが1のときはLowレベルを保持)。0を書き込んだ場合は、出力データが0のときにLowパルスを出力するように設定されます(出力データが1のときはHighレベルを保持)。

D2 IRLRx: Serial I/F Ch.x IrDA I/F Input Logic Inversion Bit

IrDA入力信号の論理を反転します。(デフォルト: 不定)

1(R/W): 反転

0(R/W): 反転なし

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRRLxに1を書き込むと、Highパルスを0として入力します。0を書き込んだ場合は、Lowパルスを0として入力します。

D[1:0] IRMDx[1:0]: Serial I/F Ch.x Interface Mode Select Bits

IrDAインタフェース機能を選択します。

表V.1.8.5 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

(デフォルト: 不定)

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMDx[1:0]に0b10を書き込んでください。IrDA機能を使用しない場合はIRMDx[1:0]に0b00を書き込んでください。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

0x300B05–0x300B15: Serial I/F Ch.x Baud-rate Timer Control Registers (pEFSIFx_BRTRUN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Serial I/F Ch.x baud-rate timer control register (pEFSIFx_BRTRUN)	00300B05	D7–1	–	reserved	–			–	–	0 when being read.
	00300B15	D0	BRTRUNx	Baud-rate timer Run/Stop control	1	Run	0	Stop	0	R/W

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

0x300B05 Serial I/F Ch.0 Baud-rate Timer Control Register (pEFSIF0_BRTRUN)

0x300B15 Serial I/F Ch.1 Baud-rate Timer Control Register (pEFSIF1_BRTRUN)

D[7:1] Reserved

D0 BRTRUNx: Baud-rate Timer Run/Stop Control Bit

ボーレートタイマのRUN/STOPを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

ボーレートタイマはBRTRUN_xに1を書き込むことによってリロードデータBRTRD_x[11:0] (0x300B_x6～0x300B_x7)をカウンタにロードし、ダウンカウントを開始します。ボーレートタイマはBRTRUN_xへの0書き込みにより停止します。

0x300B06–0x300B16: Serial I/F Ch.x Baud-rate Timer Reload Data Registers (LSB) (pEFSIFx_BRTRDL)**0x300B07–0x300B17: Serial I/F Ch.x Baud-rate Timer Reload Data Registers (MSB) (pEFSIFx_BRTRDM)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.x baud-rate timer reload data register (LSB) (pEFSIFx_BRTRDL)	00300B06 I 00300B16 (B)	D7	BRTRDx7	Serial I/F Ch.x baud-rate timer reload data [7:0]	0x0 to 0xFF (BRTRDx[11:0] = 0x0 to 0xFFFF)	0	R/W	
		D6	BRTRDx6			0		
		D5	BRTRDx5			0		
		D4	BRTRDx4			0		
		D3	BRTRDx3			0		
		D2	BRTRDx2			0		
		D1	BRTRDx1			0		
		D0	BRTRDx0			0		
Serial I/F Ch.x baud-rate timer reload data register (MSB) (pEFSIFx_BRTRDM)	00300B07 I 00300B17 (B)	D7–4	–	reserved	–	–	R/W	0 when being read.
		D3	BRTRDx11	Serial I/F Ch.x baud-rate timer reload data [11:8]	0x0 to 0xF (BRTRDx[11:0] = 0x0 to 0xFFFF)	0		
		D2	BRTRDx10			0		
		D1	BRTRDx9			0		
		D0	BRTRDx8			0		

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

- 0x300B06 Serial I/F Ch.0 Baud-rate Timer Reload Data Register (LSB) (pEFSIF0_BRTRDL)
 0x300B07 Serial I/F Ch.0 Baud-rate Timer Reload Data Register (MSB) (pEFSIF0_BRTRDM)
 0x300B16 Serial I/F Ch.1 Baud-rate Timer Reload Data Register (LSB) (pEFSIF1_BRTRDL)
 0x300B17 Serial I/F Ch.1 Baud-rate Timer Reload Data Register (MSB) (pEFSIF1_BRTRDM)

D[7:0]/0x300Bx6 BRTRDx[7:0]: Baud-rate Timer Reload Data [7:0]**D[3:0]/0x300Bx7 BRTRDx[11:8]: Baud-rate Timer Reload Data [11:8]**

ボーレートタイマのカウント初期値を設定します。(デフォルト: 0x000)

本レジスタに設定したリロードデータがカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はBRTRUNx(D0/0x300Bx5)に1を書き込んでカウンタをスタートさせた場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

0x300B08–0x300B18: Serial I/F Ch.x Baud-rate Timer Count Data Registers (LSB) (pEFSIFx_BRTCDL)

0x300B09–0x300B19: Serial I/F Ch.x Baud-rate Timer Count Data Registers (MSB) (pEFSIFx_BRTCDM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.x baud-rate timer count data register (LSB) (pEFSIFx_BRTCDL)	00300B08 I 00300B18 (B)	D7	BRTCDx7	Serial I/F Ch.x baud-rate timer count data [7:0]	0x0 to 0xFF (BRTCDx[11:0] = 0x0 to 0xFFFF)	0	R	
		D6	BRTCDx6			0		
		D5	BRTCDx5			0		
		D4	BRTCDx4			0		
		D3	BRTCDx3			0		
		D2	BRTCDx2			0		
		D1	BRTCDx1			0		
		D0	BRTCDx0			0		
Serial I/F Ch.x baud-rate timer count data register (MSB) (pEFSIFx_BRTCDM)	00300B09 I 00300B19 (B)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	BRTCDx11	Serial I/F Ch.x baud-rate timer count data [11:8]	0x0 to 0xF (BRTCDx[11:0] = 0x0 to 0xFFFF)	0	R	
		D2	BRTCDx10			0		
		D1	BRTCDx9			0		
		D0	BRTCDx8			0		

注: ビット名などの‘x’はチャンネル番号の0～1を示します。

- 0x300B08 Serial I/F Ch.0 Baud-rate Timer Count Data Register (LSB) (pEFSIF0_BRTCDL)
- 0x300B09 Serial I/F Ch.0 Baud-rate Timer Count Data Register (MSB) (pEFSIF0_BRTCDM)
- 0x300B18 Serial I/F Ch.1 Baud-rate Timer Count Data Register (LSB) (pEFSIF1_BRTCDL)
- 0x300B19 Serial I/F Ch.1 Baud-rate Timer Count Data Register (MSB) (pEFSIF1_BRTCDM)

D[7:0]/0x300Bx8 BRTCDx[7:0]: Baud-rate Timer Count Data [7:0]

D[3:0]/0x300Bx9 BRTCDx[11:8]: Baud-rate Timer Count Data [11:8]

ボーレートタイマのデータが読み出せます。(デフォルト: 0x000)

本レジスタは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

0x300B1A: Serial I/F Ch.1 ISO7816 Mode Control Register (pEFSIF1_7816CTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.1 ISO7816 mode control register (pEFSIF1_7816CTL)	00300B1A (B)	D7	RPNUM12	Serial I/F Ch.1	0x0 to 0x7			0	R/W		
		D6	RPNUM11	number of transmit repetition				0			
		D5	RPNUM10					0			
		D4	CLKOEN1	Ch.1 clock output enable	1	Enabled	0	Disabled	0		R/W
		D3	CLKOL1	Ch.1 clock output forced low	1	Normal	0	Forced low	0		R/W
		D2	MSBSEL1	Ch.1 MSB first selection	1	MSB first	0	LSB first	0		R/W
		D1	7816MD11	Serial I/F Ch.1	7816MD1[1:0]			0	R/W		
		D0	7816MD10	ISO7816 mode selection	11		reserved				
					10	ISO7816, T = 1					
					01	ISO7816, T = 0					
00	Normal I/F										

D[7:5] RPNUM1[2:0]: Serial I/F Ch.1 Number of Transmit Repetition Setup Bits

送信エラー時の再送信回数を設定します。(デフォルト: 0)

T = 0プロトコルでの送信時にエラーが発生した場合(受信側からNACKが返った場合)、同じデータの自動再送信が可能です。エラーが続いた場合は、再送信を繰り返すことができ、RPNUM1[2:0]にはこの回数を設定します。最大で7回の再送信を指定可能です。0を設定した場合、送信エラーが発生しても再送信は行われません。

T = 1プロトコルでの送信エラー時は、RPNUM1[2:0]の設定にかかわらずデータの再送信は行われません。

D4 CLKOEN1: Serial I/F Ch.1 Clock Output Enable Bit

ISO7816モード時のクロック出力を有効にします。

1(W): 有効

0(W): 出力禁止

1(R): クロック出力中

0(R): クロック出力停止中(デフォルト)

CLKOL1(D3)を1に設定後、CLKOEN1に1を書き込むことによってクロックが#SCLK1端子から出力されます。CLKOEN1の読み出し時は実際にクロック出力中か停止中かを示します。クロック出力を停止する場合は、CLKOEN1に0を書き込み後、読み出し値が0になるまで待つてからCLKOL1(D3)を0に設定してください。

CLKNEN1(D7/0x300B1F)とCLKN1[6:0](D[6:0]/0x300B1F)の設定によりクロック数を指定して出力を行う場合、CLKOEN1はCLKOL1(D3)と共に0に設定しておく必要があります。

D3 CLKOL1: Serial I/F Ch.1 Clock Output Forced Low Bit

ISO7816モード時のクロック出力を強制的にLowにします。

1(R/W): 通常出力

0(R/W): 強制Low(デフォルト)

CLKOL1を0に設定することにより、#SCLK1端子はLowレベルに固定されます。通常のクロック出力時は、CLKOL1を1に設定後CLKOEN1(D4)に1を書き込みます。クロック出力を停止する場合は、CLKOEN1(D4)に0を書き込み後、読み出し値が0になるまで待つてからCLKOL1を0に設定してください。

CLKNEN1(D7/0x300B1F)とCLKN1[6:0](D[6:0]/0x300B1F)の設定によりクロック数を指定して出力を行う場合、CLKOL1はCLKOEN1(D4)と共に0に設定しておく必要があります。

D2 MSBSEL1: Serial I/F Ch.1 MSB First Select Bit

ISO7816モード時のデータ出力をMSB先頭とLSB先頭のどちらで行うか選択します。

1(R/W): MSB先頭

0(R/W): LSB先頭(デフォルト)

MSBSEL1が0の場合、データはD0を先頭にシリアル出力されます。D7を先頭に出力するには、MSBSEL1を1に設定します。

D[1:0] 7816MD1[1:0]: Serial I/F Ch.1 ISO7816 Mode Select Bits

本シリアルインタフェースをISO7816モードに設定します。

表V.1.8.6 ISO7816モードの設定

7816MD11	7816MD10	モード
1	1	Reserved
1	0	ISO7816 (T = 1)モード
0	1	ISO7816 (T = 0)モード
0	0	通常のインタフェース

(デフォルト: 0b00)

0x300B1B: Serial I/F Ch.1 ISO7816 Mode Status Register (pEFSIF1_7816STA)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Serial I/F Ch.1 ISO7816 mode status register (pEFSIF1_7816STA)	00300B1B (B)	D7-1	—	reserved	—			—	—	0 when being read.
		D0	TER1	Ch.1 ISO7816 transmit error flag	1	Error	0	Normal	0	R/W

D[7:1] Reserved

D0 TER1: Serial I/F Ch.1 ISO7816 Transmit Error Flag

ISO7816(T = 0)モード時に送信エラーが発生したことを示します。

1(R): エラー

0(R): エラーなし(デフォルト)

1(W): 無効

0(W): 0にリセット

TER1はISO7816(T = 0)モードでのデータ送信時に受信ユニットからエラー信号(NACK)が返った場合に1にセットされます。RPNUM1[2:0](D[7:5]/0x300B1A)を0(再送信を無効)に設定している場合はNACKが一度でも返ると送信エラーとなります。RPNUM1[2:0](D[7:5]/0x300B1A)に0以外の再送信回数を設定している場合は、その回数の再送信を行います。この間のNACKでは送信エラーとはなりません。最後の再送信を終了した時点でNACKが返るとTER1が1にセットされます。

TER1は0を書き込むか、あるいはRXEN1とTXEN1を共に0に設定することによりリセットされます。

0x300B1C: Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (LSB)
(pEFSIF1_FIDIL)**0x300B1D: Serial I/F Ch.1 ISO7816 Mode FI/DI Ratio Register (MSB)**
(pEFSIF1_FIDIM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.1 ISO7816 mode FI/DI ratio register (LSB) (pEFSIF1_FIDIL)	00300B1C (B)	D7	FIDI17	Serial I/F Ch.1	0x0 to 0xFF	0	R/W	Valid only in ISO7816 mode.
		D6	FIDI16	ISO7816 mode FI/DI ratio [7:0]	(FIDI1[13:0] = 0x0 to 0x3FFF)	0		
		D5	FIDI15			0		
		D4	FIDI14			0		
		D3	FIDI13			0		
		D2	FIDI12			0		
		D1	FIDI11			0		
		D0	FIDI10			0		
Serial I/F Ch.1 ISO7816 mode FI/DI ratio register (MSB) (pEFSIF1_FIDIM)	00300B1D (B)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	FIDI113	Serial I/F Ch.1	0x0 to 0x3F	0	R/W	Valid only in ISO7816 mode.
		D4	FIDI112	ISO7816 mode FI/DI ratio [13:8]	(FIDI1[13:0] = 0x0 to 0x3FFF)	0		
		D3	FIDI111			0		
		D2	FIDI110			0		
		D1	FIDI19			0		
		D0	FIDI18			0		

D[7:0]/0x300B1C FIDI1[7:0]: ISO7816 Mode FI/DI Ratio [7:0]**D[5:0]/0x300B1D FIDI1[13:8]: ISO7816 Mode FI/DI Ratio [13:8]**

ISO7816のFI/DI比を設定します。(デフォルト: 0x0000)

ISO7816のビットレートは次の式で求められます。

$$\text{bps} = \frac{D}{F} \times f_{\text{SIO\_CLK}}$$

bps: ビットレート(ビット/秒)

D: ビットレート調整値

1, 2, 4, 8, 16, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64

F: クロック周波数分周値

372(5MHz), 558(6MHz), 744(8MHz), 1116(12MHz), 1488(16MHz), 1860(20MHz),
512(5MHz), 768(7.5MHz), 1024(10MHz), 1536(15MHz), 2048(20MHz)

()内は出力クロック最大周波数

f_{SIO_CLK}: ISO7816クロック周波数(ボーレートタイマ出力および#SCLK1出力)

また、調歩同期式モードで使用するサンプリングクロック周波数は次の式で求められます。

$$f_{\text{SAMPL}} = \frac{D}{F} \times f_{\text{SIO\_CLK}} \times \frac{1}{\text{DIVMD}}$$

f_{SAMPL}: サンプリングクロック周波数

DIVMD: シリアルインタフェース内部分周比(1/16または1/8、DIVMD1で選択)

FIDI1[13:0]にはF × DIVMD / D - 1の値を設定します。表V.1.8.7とV.1.8.8に設定可能な値の一覧を示します。

表V.1.8.7 FID1[13:0]設定値(DIVMD = 1/8)

F/(D×8) -1		D										
		1	2	4	8	16	1/2	1/4	1/8	1/16	1/32	1/64
F	372	46	22	11	5	2	92	185	371	743	1487	2975
	558	69	34	16	8	3	139	278	557	1115	2231	4463
	744	92	46	22	11	5	185	371	743	1487	2975	5951
	1116	139	69	34	16	8	278	557	1115	2231	4463	8927
	1488	185	92	46	22	11	371	743	1487	2975	5951	11903
	1860	232	115	57	28	14	464	929	1859	3719	7439	14879
	512	63	31	15	7	3	127	255	511	1023	2047	4095
	768	95	47	23	11	5	191	383	767	1535	3071	6143
	1024	127	63	31	15	7	255	511	1023	2047	4095	8191
	1536	191	95	47	23	11	383	767	1535	3071	6143	12287
	2048	255	127	63	31	15	511	1023	2047	4095	8191	16383

表V.1.8.8 FID1[13:0]設定値(DIVMD = 1/16)

F/(D×16) -1		D										
		1	2	4	8	16	1/2	1/4	1/8	1/16	1/32	1/64
F	372	22	11	5	2	0	46	92	185	371	743	1487
	558	34	16	8	3	1	69	139	278	557	1115	2231
	744	46	22	11	5	2	92	185	371	743	1487	2975
	1116	69	34	16	8	3	139	278	557	1115	2231	4463
	1488	92	46	22	11	5	185	371	743	1487	2975	5951
	1860	115	57	28	14	6	232	464	929	1859	3719	7439
	512	31	15	7	3	1	63	127	255	511	1023	2047
	768	47	23	11	5	2	95	191	383	767	1535	3071
	1024	63	31	15	7	3	127	255	511	1023	2047	4095
	1536	95	47	23	11	5	191	383	767	1535	3071	6143
	2048	127	63	31	15	7	255	511	1023	2047	4095	8191

0x300B1E: Serial I/F Ch.1 Transmit Time Guard Register (pEFSIF1_TTGR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.1 transmit time guard register (pEFSIF1_TTGR)	00300B1E (B)	D7	TTGR17	Serial I/F Ch.1 transmit time guard	0x0 to 0xFF	0	R/W	
		D6	TTGR16			0		
		D5	TTGR15			0		
		D4	TTGR14			0		
		D3	TTGR13			0		
		D2	TTGR12			0		
		D1	TTGR11			0		
		D0	TTGR10			0		

D[7:0] TTGR1[7:0]: Serial I/F Ch.1 Transmit Time Guard Setup Bits

送信時のタイムガード機能を設定します。(デフォルト: 0x00)

ISO7816モードの送信時には、低速受信ユニット用に各キャラクタの送信後にタイムガード(アイドル時間)を設定することができます。TTGR1[7:0]には、この時間をETU(ビットサイクル数)単位で指定します。

TTGR1[7:0]を0に設定した場合、アイドル時間は挿入されません。0以外の値を設定すると、ストップビット出力後のSOUT1出力を指定ETU数分Highに固定します。この間の出力はロングストップビットとして扱われます。

0x300B1F: Serial I/F Ch.1 ISO7816 Mode Output Clock Setup Register (pEFSIF1_CLKNUM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Serial I/F Ch.1 ISO7816 mode output clock setup register (pEFSIF1_CLKNUM)	00300B1F (B)	D7	CLKNEN1	Ch.1 CLKN enable	1 Enabled 0 Disabled	0	R/W	
		D6	CLKN16	Serial I/F Ch.1 number of output clocks	0x0 to 0x7F	0	R/W	
		D5	CLKN15			0		
		D4	CLKN14			0		
		D3	CLKN13			0		
		D2	CLKN12			0		
		D1	CLKN11			0		
		D0	CLKN10			0		

D7 CLKNEN1: Serial I/F Ch.1 Transmit Enable Bit

ISO7816モード時に、CLKN1[6:0]で指定したクロック数分のクロック出力を行います。

1(W): 有効

0(W): 出力禁止

1(R): クロック出力中

0(R): クロック出力停止中(デフォルト)

CLKNEN1に1を書き込むことによって、CLKN1[6:0](D[6:0])で指定した数のクロックが#SCLK1端子から出力されます。クロック出力はサンプリングクロックに同期して行われますので、CLKNEN1への書き込みとは同期していません。CLKNEN1の読み出し時は実際にクロック出力中か停止中かを示します。

CLKNEN1とCLKN1[6:0](D[6:0])の設定によりクロック数を指定して出力を行う場合、CLKOEN1(D4/0x300B1A)とCLKOL1(D3/0x300B1A)は共に0に設定しておく必要があります。

ISO7816モードの通常のクロック出力はCLKOEN1(D4/0x300B1A)とCLKOL1(D3/0x300B1A)で制御してください。

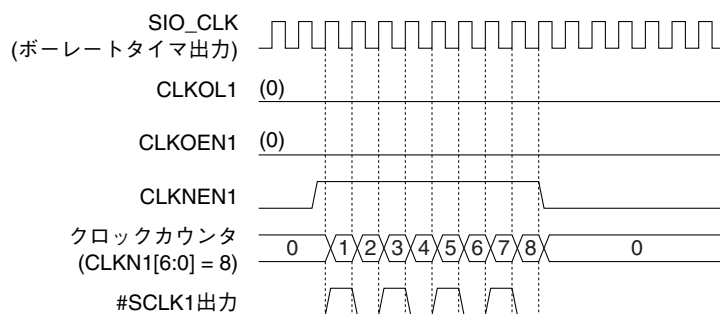
D[6:0] CLKN1[6:0]: Serial I/F Ch.1 Number of Output Clocks Setup Bits

ISO7816モード時に出力するクロック数を設定します。(デフォルト: 0x00)

設定値が偶数の場合はCLKN1[6:0] / 2個のクロック数に設定されます。

設定値が奇数の場合は(CLKN1[6:0] - 1) / 2個のクロック数に設定されます。

CLKNEN1(D7)とCLKN1[6:0]の設定によりクロック数を指定して出力を行う場合、CLKOEN1(D4/0x300B1A)とCLKOL1(D3/0x300B1A)は共に0に設定しておく必要があります。



図V.1.8.1 指定数のクロック出力

0x300B4F: Serial I/F STD/ADV Mode Select Register (pEFSIF_ADV)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Serial I/F STD/ADV mode select register (pEFSIF_ADV)	00300B4F (B)	D7-1	—	reserved	—				—	—	Writing 1 not allowed.
		D0	SIOADV	Standard mode/advanced mode select	1	Advanced mode	0	Standard mode	0	R/W	

D[7:1] **Reserved**

D0 **SIOADV: Standard/Advanced Mode Select Bit**

標準モードまたは拡張モードを選択します。

1(R/W): 拡張モード

0(R/W): 標準モード(デフォルト)

S1C33L19のシリアルインタフェースはC33 STDのシリアルインタフェースを基に機能が拡張されており、従来のシリアルインタフェースとの互換性を持つ標準(STD)モードと、拡張機能を使用可能な拡張(ADV)モードの2種類の動作モードを持っています。表V.1.8.9に標準モードと拡張モードの相違点を示します。

表V.1.8.9 標準モードと拡張モードの相違点

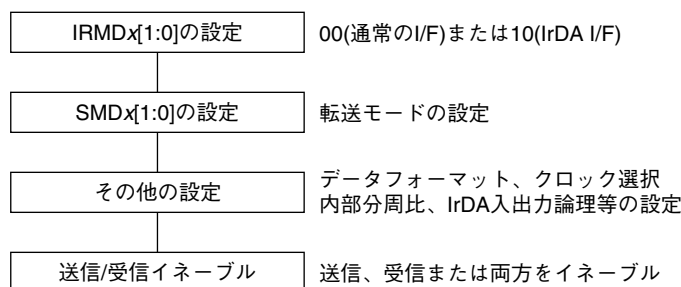
機 能	標準モード	拡張モード
#SRDYマスク制御	無効	有効
受信バッファフル割り込みを発生させるバッファ内の受信データ数	1	1~4を指定可能

拡張モードにするには、SIOADVを1に設定します。この設定後、拡張モード用制御ビット(SRDYCTLxおよびFIFOINTx[1:0])への書き込みが可能となります。

注: 標準/拡張モードの設定は、シリアルインタフェースのすべてのチャンネルに適用されます。各チャンネル個別に設定することはできません。

V.1.9 注意事項

- シリアルインタフェースの各種設定は、送受信が禁止の状態($TXEN_x = RXEN_x = 0$)で行ってください。
 - * **TXEN_x**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)
 - * **RXEN_x**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)
- シリアルインタフェースが送信(受信)中は、TXEN_x(RXEN_x)を0に設定しないでください。また、slp命令も実行しないでください。
- クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN_xとRXEN_xを同時に許可に設定することはできません。
- イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- シリアルインタフェースは、次の手順で初期設定してください。



図V.1.9.1 シリアルインタフェースの初期設定手順

- クロック同期式マスタモードで送信する場合、上記のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みはボーレートタイマからのクロックがシリアルインタフェースに供給されている状態(具体的には最低1回はボーレートタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- シリアルインタフェースの転送レートは、クロック同期式モードで最大8Mbps、調歩同期式モードで最大1Mbpsと規定します。これ以上の転送レート(ボーレート)は設定しないでください。
- 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。
- クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにボーレートタイマのリロード値を設定してください。
- 送信許可ビットTXEN_xに0を書き込んで送信禁止に設定すると送信データバッファ(FIFO)がクリア(初期化)されます。同様に、受信許可ビットRXEN_xに0を書き込んで受信禁止に設定すると受信データバッファ(FIFO)がクリア(初期化)されます。送受信終了後は、これらのビットに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。
- IrDAの受信時、RZI変調回路はSIN_xからの入力信号をエッジ(IRRL_x = 0のときは立ち上がりエッジ、IRRL_x = 1のときは立ち下がりエッジ)で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

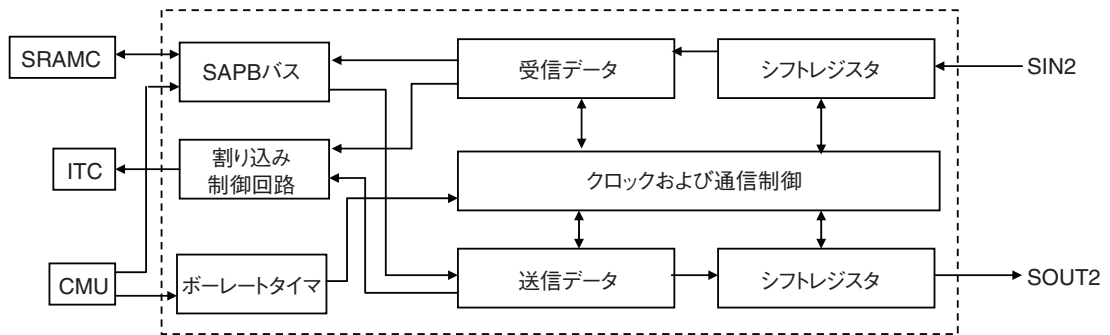
* **IRRL_x**: Serial I/F Ch.x IrDA I/F Input Logic Inversion Bit in the Serial I/F Ch.x IrDA Register (D2/0x300Bx4)

V.2 非同期シリアルトランシーバ(UART)

V.2.1 UARTの構成

S1C33L19はUARTを1チャンネル内蔵しています。UARTは150～115200bpsの転送速度で外部シリアルデバイスとの非同期データ転送を行います。転送クロックは、タイマモジュールを使って内部で生成されます。転送クロックにはタイマモジュールによる内部生成クロックと、#SCLK0端子から入力する外部クロックのいずれかを使用できます。データ長(7ビットまたは8ビット)、ストップビット長(1ビットまたは2ビット)、パリティモード(偶数、奇数、パリティなし)はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTは3種類の割り込み(送信バッファエンプティ、受信バッファフル、受信エラー)を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。

図V.2.1.1に、UARTの構造を示します。



図V.2.1.1 UARTの構造

V.2.2 UART端子

表V.2.2.1にUARTの入出力端子の一覧を示します。

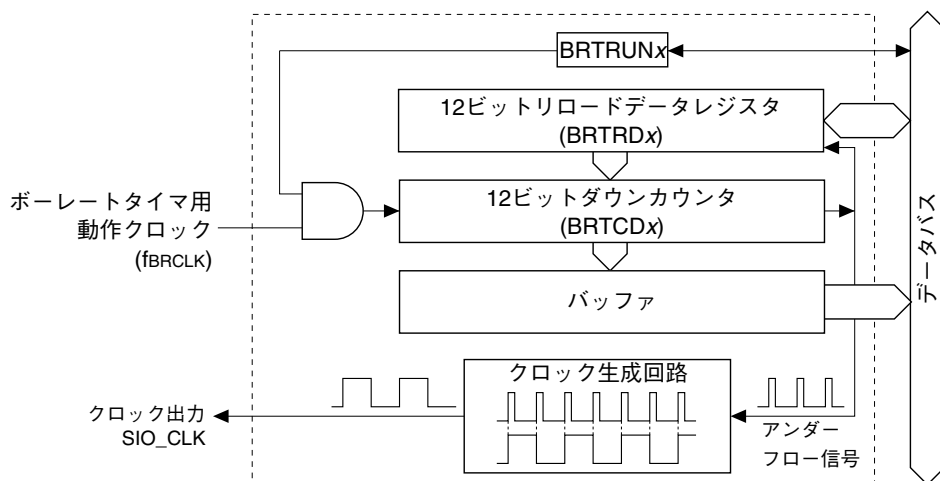
表V.2.2.1 UART端子一覧

端子名	I/O	本数	機 能
SIN2	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT2	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。

UARTの入出力端子(SIN2、SOUT2)は汎用入出力ポート端子(P60、P61)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.2.3 ボーレートタイマ(ボーレートの設定)

UARTは、内蔵ボーレートタイマを使って生成されるクロックによって動作します(12ビットプログラマブルタイマ)。タイマの初期値をソフトウェアで設定することにより、転送速度/サンプリング周波数を自由に設定可能です。



図V.2.3.1 ボーレートタイマによる動作クロックの生成

ボーレートタイマは、12ビットのプリセットブルダウンカウンタBRTCD2[11:0](D[3:0]/0x300B29、D[7:0]/0x300B28)と、カウンタを初期値に設定するための12ビットリロードデータレジスタBRTRD2[11:0](D[3:0]/0x300B27、D[7:0]/0x300B26)で構成されています。

- * **BRTCD2[11:8]:** UART Baud-rate Timer Counter Data [11:8] Bits in the UART Baud-rate Timer Counter Data Register (MSB) (D[3:0]/0x300B29)
- * **BRTCD2[7:0]:** UART Baud-rate Timer Counter Data [7:0] Bits in the UART Baud-rate Timer Counter Data Register (LSB) (D[7:0]/0x300B28)
- * **BRTRD2[11:8]:** UART Baud-rate Timer Reload Data [11:8] Bits in the UART Baud-rate Timer Reload Data Register (MSB) (D[3:0]/0x300B27)
- * **BRTRD2[7:0]:** UART Baud-rate Timer Reload Data [7:0] Bits in the UART Baud-rate Timer Reload Data Register (LSB) (D[7:0]/0x300B26)

カウントクロック(BRCLK)は、CMUからMCLKクロックが供給されます。MCLKクロックの設定や制御については、“III.1クロックマネージメントユニット(CMU)”を参照してください。

このクロックはHALT時に自動停止させることができます(V.1.1.4節参照)。

ボーレートタイマでクロックを生成する操作手順は次のとおりです。

1. リロードデータレジスタBRTRD2[11:0](D[3:0]/0x300B27、D[7:0]/0x300B26)に初期値をセット
2. BRTRUN2(D0/0x300B25)を1に設定

- * **BRTRUN2:** UART Baud-rate Timer Run/Stop Control Bit in the UART Baud-rate Timer Control Register (D0/0x300B25)

BRTRUN2(D0/0x300B25)に1が書き込まれると、ボーレートタイマはリロードデータレジスタに設定した初期値をカウンタにロードしてカウントダウンを開始します。カウンタはアンダーフローが発生すると、アンダーフローパルスを出力するとともにリロードデータをリロードしてカウントを継続します。

アンダーフローは、リロードデータで決まる周期で発生します。クロック生成回路は、アンダーフロー信号によって出力信号のレベルを反転させ、デューティ比が50%でアンダーフローを1/2に分周したクロックを生成します。シリアル通信時以外は、消費電流を減少させるため、ボーレートタイマを停止(BRTRUN2を0に設定)してください。

リロードデータの算出方法

リロードデータレジスタに設定する初期値は以下の式で求められます。
 BRTRD: ボーレートタイマのデータレジスタ設定値をリロードします。

$$\text{BRTRD} = \frac{f_{\text{BRCLK}} \times \frac{1}{16}}{2 \times \text{bps}} - 1$$

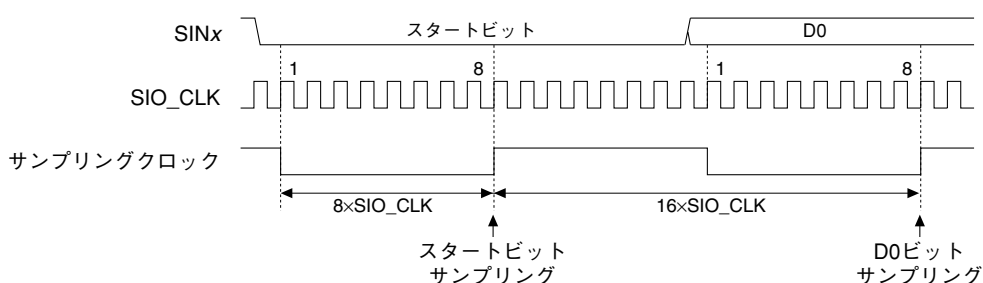
BRTRD: ボーレートタイマのリロードデータレジスタ設定値
 f_{BRCLK} : ボーレートタイマ動作クロック周波数 (= MCLK Hz)
 bps: 転送速度 (ビット / 秒)

注: ボーレートタイマの開始と対応するアンダーフロークロック出力の間には特定の間隔があります。
 特にボーレート設定が低い場合には、ボーレートタイマを開始した後で、シリアルデータの送受信が始まるまでに一定の時間がかかることに注意してください。

サンプリングクロック

UARTでは、SIO_CLK(UARTボーレートタイマによるクロック出力)をシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。分周比は1/16で固定されています。

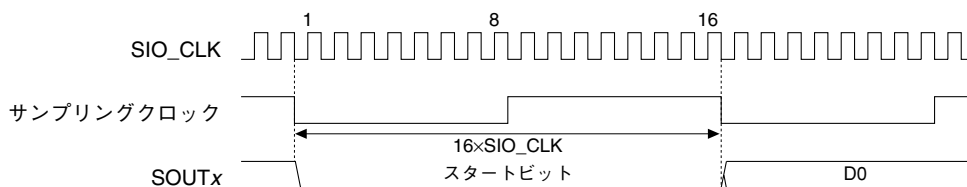
- 受信時



図V.2.3.2 UART受信時のサンプリングクロック

各ビットデータは、図V.2.3.2のようなタイミングでサンプリングされます。SIO_CLKの立ち上がりエッジでSINxのLowレベルを検出すると、8xSIO_CLK後にスタートビットがサンプリングされます。スタートビットのサンプリング時にLowレベルが検出されない場合、以降のデータのサンプリングを中止し、スタートビット検出の状態に戻ります(この場合、エラーは発生しません)。スタートビットサンプリング時にSINx端子がLowの場合、以降は16xSIO_CLKごとにビットデータのサンプリングが行われます。

- 送信時



図V.2.3.3 UART送信時のサンプリングクロック

送信時は各ビットデータを、16xSIO_CLKごとにSOUTx端子から出力します。

V.2.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x00300B23)

データ長

データ長は、CHLN(D4/UART_CFGレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

* **CHLN**: Character Length Select Bit in the UART Mode (UART_CFG) Register (D4/0x00300B24)

ストップビット

ストップビット長はSTPB(D1/UART_CFGレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

* **STPB**: Stop Bit Select Bit in the UART Mode (UART_CFG) Register (D1/0x00300B24)

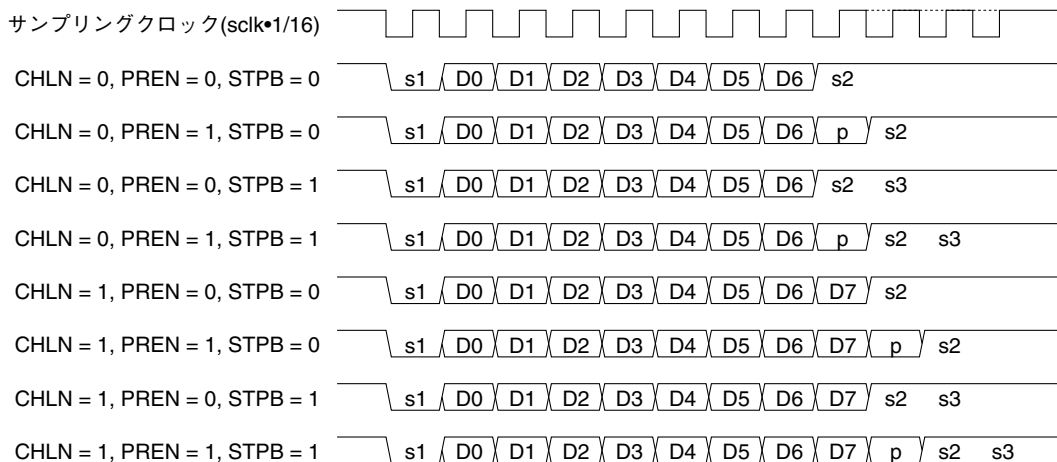
パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART_CFGレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD(D2/UART_CFGレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

* **PREN**: Parity Enable Bit in the UART Mode (UART_CFG) Register (D3/0x00300B24)

* **PMD**: Parity Mode Select Bit in the UART Mode (UART_CFG) Register (D2/0x00300B24)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図V.2.4.1 転送データ形式

V.2.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 転送データ形式を設定します。V.2.4節を参照してください。
- (2) UART割り込みを使用する場合は、割り込み条件を設定します。V.2.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x00300B23)

データ送受信を許可

最初にRXENビット(D0/UART_CTLレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

データ送信制御

送信を開始するには、UART_TXDレジスタ(0x00300B20)に送信データを書き込みます。

* **UART_TXD**: UART Transmit Data Register (0x00300B20)

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT2端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT2端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

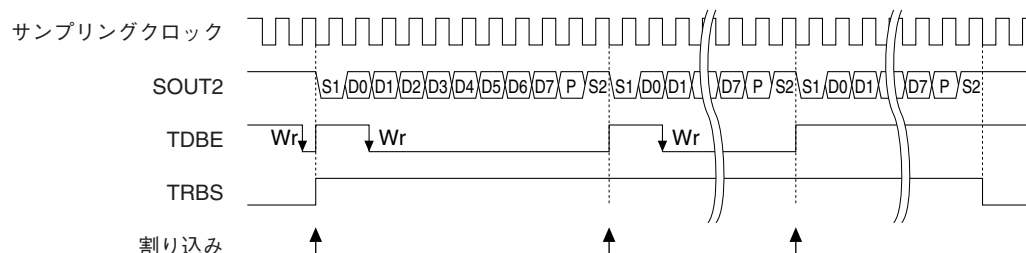
送信回路にはTDBE(D0/UART_STATUSレジスタ)とTRBS(D2/UART_STATUSレジスタ)の2つのステータスフラグが用意されています。

* **TDBE**: Transmit Data Buffer Empty Flag in the UART Status (UART_STATUS) Register (D0/0x00300B22)

* **TRBS**: Transmit Busy Flag in the UART Status (UART_STATUS) Register (D2/0x00300B22)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(V.2.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット,
Wr: 送信データバッファへのデータ書き込み

図V.2.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBはシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART_RXDレジスタ(0x00300B21)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

* **UART_RXD:** UART Receive Data Register (0x00300B21)

受信回路にはRDRY(D1/UART_STATUSレジスタ)とRD2B(D3/UART_STATUSレジスタ)の2つのバッファステータスフラグが用意されています。

* **RDRY:** Receive Data Ready Flag in the UART Status (UART_STATUS) Register (D1/0x00300B22)

* **RD2B:** Second Byte Receive Flag in the UART Status (UART_STATUS) Register (D3/0x00300B22)

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりバッファ内のデータはクリアされ、RDRYフラグもリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、読み出されたバッファデータはクリアされRD2Bフラグもリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

受信バッファが満杯でも、シフトレジスタはデータをもう一つ受信することができます。この状態でさらに外部シリアルデバイスからデータが送られてくるとオーバーランエラーが発生し、シフトレジスタのデータは新しいデータで上書きされます。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、V.2.6節を参照してください。

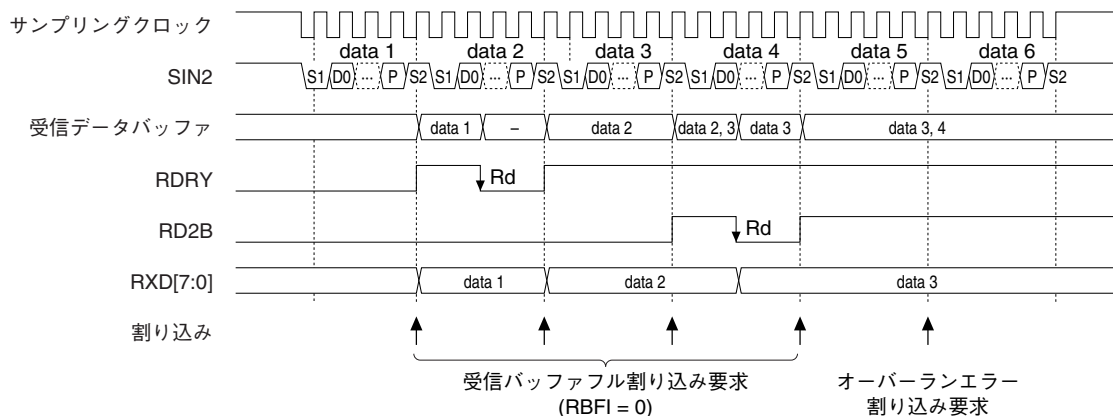
これらのフラグを読み出すことで、受信データ数を確認することができます。

V 周辺モジュール3(インタフェース): 非同期シリアルトランシーバ(UART)

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFIBビット(D1/UART_CTLレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

* **RBFIB**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x00300B23)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、V.2.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図V.2.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

V.2.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、V.2.7節を参照してください。

パリティエラー

PREN(D3/UART_CFGレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART_CFGレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART_STATUSレジスタ)が1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグ(D5/UART_STATUSレジスタ)は1を書き込むことによって0にリセットされます。

- * **PREN:** Parity Enable Bit in the UART Mode (UART_CFG) Register (D3/0x00300B24)
- * **PMD:** Parity Mode Select Bit in the UART Mode (UART_CFG) Register (D2/0x00300B24)
- * **PER:** Parity Error Flag in the UART Status (UART_STATUS) Register (D5/0x00300B22)

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER(D6/UART_STATUSレジスタ)が1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグ(D6/UART_STATUSレジスタ)は1を書き込むことによって0にリセットされます。

- * **FER:** Framing Error Flag in the UART Status (UART_STATUS) Register (D6/0x00300B22)

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られません。その状態でさらに4番目のデータが送られてくると、シフトレジスタ(3番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART_STATUSレジスタ)が1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグ(D4/UART_STATUSレジスタ)は1を書き込むことによって0にリセットされます。

- * **OER:** Overrun Error Flag in the UART Status (UART_STATUS) Register (D4/0x00300B22)

V.2.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART_CTLレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TIEN:** Transmit Buffer Empty Interrupt Enable Bit in the UART Control (UART_CTL) Register (D4/0x00300B23)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART_STATUSレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **TDBE:** Transmit Data Buffer Empty Flag in the UART Status (UART_STATUS) Register (D0/0x00300B22)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART_CTLレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RIEN:** Receive Buffer Full Interrupt Enable Bit in the UART Control (UART_CTL) Register (D5/0x00300B23)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBF1(D1/UART_CTLレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STATUSレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBF1(D1/UART_CTLレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STATUSレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

* **RBF1:** Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x00300B23)

* **RDRY:** Receive Data Ready Flag in the UART Status (UART_STATUS) Register (D1/0x00300B22)

* **RD2B:** Second Byte Receive Flag in the UART Status (UART_STATUS) Register (D3/0x00300B22)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART_CTLレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **REIEN**: Receive Error Interrupt Enable Bit in the UART Control (UART_CTL) Register (D6/0x00300B23)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **PER**: Parity Error Flag in the UART Status (UART_STATUS) Register (D5/0x00300B22)

* **FER**: Framing Error Flag in the UART Status (UART_STATUS) Register (D6/0x00300B22)

* **OER**: Overrun Error Flag in the UART Status (UART_STATUS) Register (D4/0x00300B22)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

■割り込みコントローラの制御レジスタ

割り込み系列(チャンネル)ごとに用意されている割り込みコントローラの制御レジスタを、表V.2.7.1に示します。

表V.2.7.1 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.2	受信エラー	FSERR2(D0/0x300289)	ESERR2(D0/0x300279)	PSIO2[2:0](D[2:0]/0x30026E)
	受信バッファフル	FSRX2(D1/0x300289)	ESRX2(D1/0x300279)	
	送信バッファエンプティ	FSTX2(D2/0x300289)	ESTX2(D2/0x300279)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが1にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

Ch.2受信バッファフル割り込み: 0x22

Ch.2送信バッファエンプティ割り込み: 0x23

IDMAを起動させるには、表V.2.7.2に示すIDMAリクエストビットおよびIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表V.2.7.2 IDMA転送の制御ビット

Ch.	割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
Ch.2	受信バッファフル	RSRX2(D2/0x30029B)	DESRX2(D2/0x30029C)
	送信バッファエンプティ	RSTX2(D3/0x30029B)	DESTX2(D3/0x30029C)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■高速DMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA(HSDMA)を起動することもできます。

各チャンネルに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表V.2.7.3 HSDMAトリガ設定ビット

SIF Ch.	HSDMA Ch.	トリガ設定ビット
0	0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0-1 trigger set-up register (0x300298)
1	1	HSD1S[3:0] (D[7:4]) / HSDMA Ch.0-1 trigger set-up register (0x300298)
2	2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2-3 trigger set-up register (0x300299)

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに“1010”を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに“1011”を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、“II.1 高速DMA(HSDMA)”を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.2受信エラー割り込み: 0xC00130

Ch.2受信バッファフル割り込み: 0xC00134

Ch.2送信バッファエンプティ割り込み: 0xC00138

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

V.2.8 制御レジスタ詳細

表V.2.8.1 UARTレジスタ一覧

Address	Register name	Size	Function
0x00300B20	UART Transmit Data Register (UART_TXD)	8	Ch.2 送信データ
0x00300B21	UART Receive Data Register (UART_RXD)	8	Ch.2 受信データ
0x00300B22	UART Status Register (UART_STATUS)	8	Ch.2 転送エラー状態
0x00300B23	UART Control Register (UART_CTL)	8	Ch.2 転送モード設定と転送制御
0x00300B24	UART Configure Register (UART_CFG)	8	Ch.2 データ長、パリティ、ストップビット設定
0x00300B25	Serial I/F Ch.2 Baud-rate Timer Control Register (UART_BRTRUN)	8	Ch.2 ボーレートタイマ制御
0x00300B26	Serial I/F Ch.2 Baud-rate Timer Reload Data Register (LSB) (UART_BRTRDL)	8	Ch.2 ボーレートタイマ用リロードデータ下位8ビット
0x00300B27	Serial I/F Ch.2 Baud-rate Timer Reload Data Register (MSB) (UART_BRTRDM)	8	Ch.2 ボーレートタイマ用リロードデータ上位4ビット
0x00300B28	Serial I/F Ch.2 Baud-rate Timer Count Data Register (LSB) (UART_BRTCDL)	8	Ch.2 ボーレートタイマ用カウントデータ下位8ビット
0x00300B29	Serial I/F Ch.2 Baud-rate Timer Count Data Register (MSB) (UART_BRTCDM)	8	Ch.2 ボーレートタイマ用カウントデータ上位4ビット

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x00300B20 : UART Transmit Data Register (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x00300B20 (8)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り、送信まで待機します。

送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。

7ビットモードでは、TXD7(MSB)が無効となります。

SOUT2端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

0x00300B21 : UART Receive Data Register (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	0x00300B21 (8)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY(D1/UART_STATUSレジスタ)とRD2B(D3/UART_STATUSレジスタ)の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF1(D1/UART_CTLレジスタ)で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN2端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

0x00300B22 : UART Status Register (UART_STATUS)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Status Register (UART_STATUS)	0x00300B22 (8)	D7	—	reserved	—		—	—	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0 R/W
		D5	PER	Parity error flag	1	Error	0	Normal	0 R/W
		D4	OER	Overrun error flag	1	Error	0	Normal	0 R/W
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0 R
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0 R
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0 R
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1 R

D7 Reserved**D6 FER: Framing Error Flag**

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D5 PER: Parity Error Flag

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART_CFGレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D4 OER: Overrun Error Flag

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D3 RD2B: Second Byte Received Flag

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

0x00300B23 : UART Control Register (UART_CTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x00300B23 (8)	D7	–	reserved	–			–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3–2	–	reserved	–			–	–	0 when being read.
		D1	RBFI	Receive buffer full int. condition	1	2 bytes	0	1 byte	0	R/W
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W

D7 Reserved**D6 REIEN: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFI(D1)の指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBFI: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルス(ITC)に出力します。RBFIビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STATUSレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBFIが1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STATUSレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。

0x00300B24: UART Configure Register (UART_CFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Configure Register (UART_CFG)	0x00300B24 (8)	D7-5	—	reserved	—		—	—	0 when being read.		
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	—	reserved	1	External	0	Internal	—	—	0 when being read.

D[7:5] Reserved**D4 CHLN: Character Length Select Bit**

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 Reserved

0x00300B25: UART Baud-rate Timer Control Register (UART_BRTRUN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Baud-rate Timer Control Register (UART_BRTRUN)	0x00300B25 (B)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	BRTRUN2	Baud-rate timer Run/Stop control	1	Run	0	Stop	0 R/W

D[7:1] Reserved

D0 **BRTRUN2: Baud-rate Timer Run/Stop Control Bit**

ボーレートタイマのRUN/STOPを制御します。

1 (R/W): Run

0 (R/W): Stop(デフォルト)

ボーレートタイマはBRTRUN2に1を書き込むことによってリロードデータBRTRD2[11:0] (0x300B.x6~0x300B.x7)をカウンタにロードし、ダウンカウントを開始します。ボーレートタイマはBRTRUN2への0書き込みにより停止します。

0x00300B26: UART Baud-rate Timer Reload Data Register (LSB) (UART_BRTRDL)

0x00300B27: UART Baud-rate Timer Reload Data Register (MSB) (UART_BRTRDM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Baud-rate Timer Reload Data Register (LSB) (UART_BRTRDL)	0x00300B26 (B)	D7	BRTRD2 7	UART baud-rate timer reload data [7:0]	0x0 to 0xFF (BRTRD2[11:0] = 0x0 to 0xFFFF)	0	R/W	
		D6	BRTRD2 6			0		
		D5	BRTRD2 5			0		
		D4	BRTRD2 4			0		
		D3	BRTRD2 3			0		
		D2	BRTRD2 2			0		
		D1	BRTRD2 1			0		
		D0	BRTRD2 0			0		
UART Baud-rate Timer Reload Data Register (MSB) (UART_BRTRDM)	0x00300B27 (B)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	BRTRD2 11	UART baud-rate timer reload data [11:8]	0x0 to 0xF (BRTRD2[11:0] = 0x0 to 0xFFFF)	0	R/W	
		D2	BRTRD2 10			0		
		D1	BRTRD2 9			0		
		D0	BRTRD2 8			0		

D[7:0]/0x300B26 BRTRD27:0]: Baud-rate Timer Reload Data [7:0]

D[3:0]/0x300B27 BRTRD2[11:8]: Baud-rate Timer Reload Data [11:8]

ボーレートタイマのカウンタ初期値を設定します。(デフォルト: 0x000)

本レジスタに設定したリロードデータがカウンタにロードされ、それを初期値としてダウンカウンタが行われます。

リロードデータがカウンタにロードされる条件はBRTRUN2(D0/0x300B25)に1を書き込んでカウンタをスタートさせた場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

0x00300B28: UART Baud-rate Timer Count Data Register (LSB)
(UART_BRTCDL)**0x00300B29: UART Baud-rate Timer Count Data Register (MSB)**
(UART_BRTCDM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Baud-rate Timer Count Data Register (LSB) (UART_BRTCDL)	0x00300B28 (B)	D7	BRTCD2 7	UART baud-rate timer count data [7:0]	0x0 to 0xFF (BRTCD2[11:0] = 0x0 to 0xFFFF)	0	R	
		D6	BRTCD2 6			0		
		D5	BRTCD2 5			0		
		D4	BRTCD2 4			0		
		D3	BRTCD2 3			0		
		D2	BRTCD2 2			0		
		D1	BRTCD2 1			0		
		D0	BRTCD2 0			0		
UART Baud-rate Timer Count Data Register (MSB) (UART_BRTCDM)	0x00300B29 (B)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	BRTCD2 11	UART baud-rate timer count data [11:8]	0x0 to 0xF (BRTCD2[11:0] = 0x0 to 0xFFFF)	0	R	
		D2	BRTCD2 10			0		
		D1	BRTCD2 9			0		
		D0	BRTCD2 8			0		

D[7:0]/0x300B28 BRTCD2[7:0]: Baud-rate Timer Count Data [7:0]**D[3:0]/0x300B29 BRTCD2[11:8]: Baud-rate Timer Count Data [11:8]**

ボーレートタイマのデータが読み出せます。(デフォルト: 0x000)

本レジスタは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

V.2.9 注意事項

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
 - UART_CFGレジスタ(0x00300B24)のビットすべて(SSCK, STPB, PMD, PREN, CHLN)
 - UART_CTLレジスタ(0x00300B23)のRXEN以外のビットすべて(RBFI, TIEN, RIEN, REIEN)
 - * **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x00300B23)
- UARTが送信中または受信中の場合は、RXENを0に設定しないでください。
- UARTの転送レートは最大115200bpsに制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

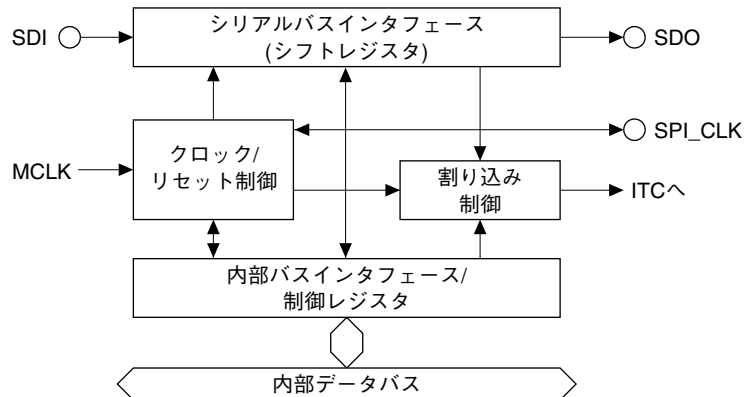
V.3 シリアルペリフェラルインタフェース (SPI)

V.3.1 SPIの概要

S1C33L19はMotorola SPI®互換の同期式シリアルインタフェースモジュール(以降SPIモジュール)を内蔵しています。本SPIモジュールの特長を以下に示します。

- マスタとスレーブ動作の両モードをサポート
- 1～32ビットのデータ転送が可能
- プログラマブルなビットレートの設定
- データ転送タイミング(クロックの位相と極性の組み合わせ)を4種類から選択可能
- キャラクタ間に1～65536クロックの遅延時間を挿入可能
- 送信データレジスタエンプティ、受信データレジスタフル、受信データオーバーフローにより割り込みを発生
- 送信データレジスタエンプティ、受信データレジスタフルによりDMA要求を発生
- SPI-EEPROMからのブートが可能(ブートの詳細はAppendixを参照してください。)

図V.3.1.1にSPIモジュールの構成を示します。



図V.3.1.1 SPIモジュールの構成

V.3.2 SPIの入出力端子

表V.3.2.1にSPIで使用する端子を示します。

表V.3.2.1 SPIの端子構成

端子名	I/O	機 能
SDI	I	データ入力
SDO	O	データ出力
SPI_CLK	I/O	クロック出力(マスタモード)またはクロック入力(スレーブモード)

■SDI端子

シリアルデータを入力します。

■SDO端子

シリアルデータを出力します。

■SPI_CLK端子

マスタモード: SPIクロックをスレーブに出力します。

スレーブモード: マスタからのSPIクロックを入力します。

注: SPIの入出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではSPI以外の機能に設定されます。これらの端子に割り当てられているSPIの入出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.3.3 SPIの動作クロック

SPIモジュールはCMUから供給されるSPI_CLK(= MCLK)クロックで動作します。転送用クロックはSPI_CLKをSPIモジュール内で分周して生成します。

■動作クロックの供給制御

SPI_CLKクロックはデフォルト設定でSPIモジュールに供給されるようになっています。SPIモジュールを使用しない場合は、SPI_CKE(D6/0x301B04)により供給を停止して消費電力を抑えることができます。

* **SPI_CKE**: SPI Clock Control Bit in the Gated Clock Control Register 1 (D6/0x301B04)

SPI_CKE(D6/0x301B04)を0(初期設定は1)に設定すると、SPIモジュールへの動作クロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスもできなくなります。クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

■スタンバイモード時のクロック状態

スタンバイモードの種類により、SPIモジュールへのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はSPIモジュールも動作を停止します。

V

SPI

V.3.4 SPIの設定

SPIでデータ転送を開始する前に以下の設定が必要です。

1. 入出力端子の設定
2. マスタ/スレーブモードの選択
3. データビット数の設定
4. ビットレートの設定
5. SPI_CLKの極性と位相の設定
6. キャラクタ間ウェイトサイクルの設定
7. 受信データマスクの設定
8. 割り込み/DMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については“V.3.6 SPI割り込みとDMA”を参照してください。

注: これらの設定は、必ずSPIが動作停止中に(ENA(D0/0x301708)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

* **ENA:** SPI Enable Bit in the SPI Control Register 1 (D0/0x301708)

■入出力端子の設定

SPIで使用するSDI、SDO、SPI_CLKをPort Function Select Registerで選択します。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

■マスタ/スレーブモード設定

本SPIモジュールをマスタモードとスレーブモードのどちらで使用するか、MODE(D1/0x301708)で選択します。MODE(D1/0x301708)を1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、本モジュール内で生成したクロックでデータ転送を行います。スレーブモードでは、マスタからクロックを入力してデータ転送を行います。

* **MODE:** SPI Mode Select Bit in the SPI Control Register 1 (D1/0x301708)

■データビット数の設定

転送データ(キャラクタ)のビット数をBPT[4:0](D[14:10]/0x301708)で設定します。

BPT[4:0](D[14:10]/0x301708)の設定値+1がデータビット数となります(例: BPT[4:0] = 15の場合は16ビット)。

* **BPT[4:0]:** Number of Data Bits Per Transfer Setup Bits in the SPI Control Register 1 (D[14:10]/0x301708)

■ビットレートの設定

本SPIモジュールをマスタモードに設定すると同期クロックは本モジュール内で生成され、シフトレジスタを動作させるとともに、SPI_CLK端子からスレーブに出力されます。このクロックの周波数をMCBR[2:0](D[6:4]/0x301708)で指定し、ビットレートを設定します。

* **MCBR[2:0]:** Master Clock Bit Rate Setup Bits in the SPI Control Register 1 (D[6:4]/0x301708)

表V.3.4.1 クロック周波数の設定

MCBR2	MCBR1	MCBR0	クロック周波数(Hz)
1	1	1	MCLK/256
1	1	0	MCLK/128
1	0	1	MCLK/64
1	0	0	MCLK/32
0	1	1	MCLK/16
0	1	0	MCLK/8
0	0	1	MCLK/4
0	0	0	MCLK/2

スレーブモードの場合はマスタからのクロックを入力して動作しますので、ビットレートの設定は必要ありません。

■SPI_CLKの極性と位相の設定

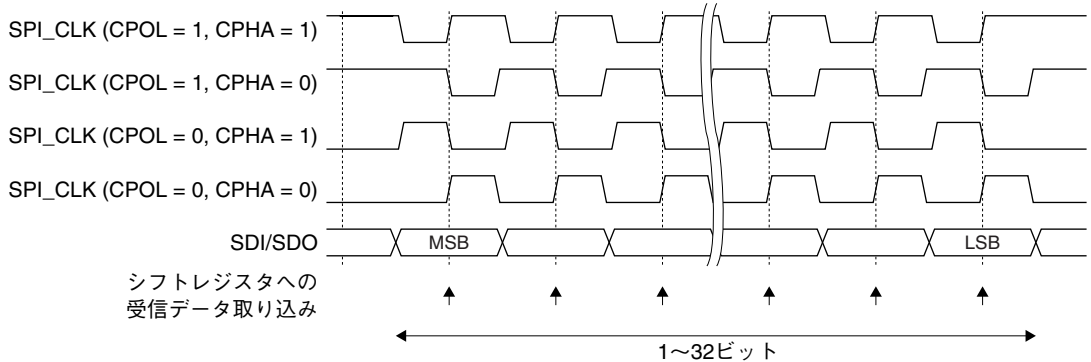
SPI_CLKクロックの極性をCPOL(D8/0x301708)で選択します。CPOL(D8/0x301708)を1に設定するとアクティブLow、0(デフォルト)に設定するとアクティブHighになります。

* **CPOL**: SPI_CLK Polarity Select Bit in the SPI Control Register 1 (D8/0x301708)

SPI_CLKクロックの位相を、CPHA(D9/0x301708)で選択します。

* **CPHA**: SPI_CLK Phase Select Bit in the SPI Control Register 1 (D9/0x301708)

この2ビットの選択により転送タイミングが以下のとおり設定されます。



図V.3.4.1 クロックとデータ転送タイミング

■キャラクタ間ウェイトサイクルの設定

各データ転送の間(指定データビット数の転送ごと)に、SPI_CLKの1~65536サイクルの範囲で遅延時間を設けることができます。この指定にはSPI Wait Register(0x301710)を使用します。レジスタへの設定値(0~65535)+1がウェイトサイクル数になります。

■受信データマスクの設定

(1) RXME (D1/0x30171C) = 0(デフォルト)

SPI Receive Data Register(0x301700)は、BPT[4:0](D[14:10]/0x301708) + 1で指定されるデータビットを取り込みます。これを超える上位のビットはマスクされ、0となります。

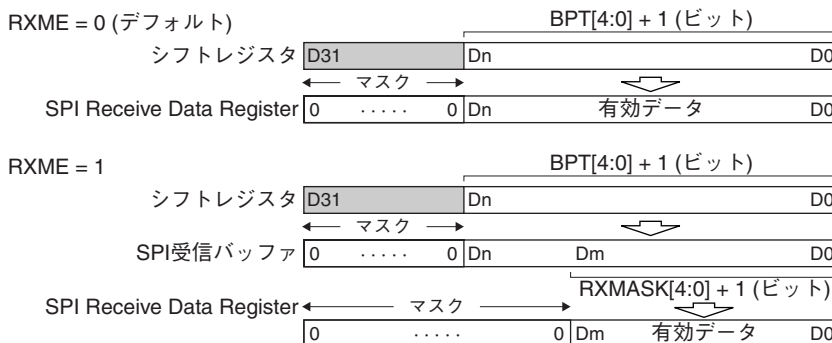
(2) RXME (D1/0x30171C) = 1

この設定により、ユーザの指定によるビットマスクが有効になります。SPI受信バッファはBPT[4:0](D[14:10]/0x301708) + 1で指定されるデータビットを取り込み、バッファ内の上位の無効なビットはマスクされ、0となります。受信バッファからSPI Receive Data Register(0x301700)へは、RXMASK[4:0](D[14:10]/0x30171C) + 1で指定されたデータビットのみが転送され、マスクされた上位のビットは0となります。

* **RXME**: Receive Data Mask Enable Bit in the SPI Receive Data Mask Register (D1/0x30171C)

* **RXMASK[4:0]**: Receive Data Mask Setup Bits in the SPI Receive Data Mask Register (D[14:10]/0x30171C)

図V.3.4.2にマスク制御ビットの設定とSPI Receive Data Register(0x301700)にロードされる受信データの関係を示します。



図V.3.4.2 受信データのマスク

V.3.5 データ転送の制御

■データ送信

データ送信手順を以下に示します。

1. 前節に示したとおり、SPIの設定を行います。
2. ITCレジスタおよびSPI割り込み制御レジスタで割り込みとDMAの設定を行います(後述)。
割り込みを使用する場合は、割り込みを許可する前にITCの割り込み要因フラグをクリアしておきます。
3. ENA(D0/0x301708)に1を書き込み、SPI回路をONします。
マスタモードの場合、SPI回路はソースクロックの分周を開始します。

* **ENA**: SPI Enable Bit in the SPI Control Register 1 (D0/0x301708)

4. スレーブモードの場合は、SS(D10/0x30170C)に1を書き込み、本スレーブを選択状態にします。
これにより、SPI_CLK端子からのクロック入力が有効となります。

* **SS**: Slave Select Control Bit in the SPI Control Register 2 (D10/0x30170C)

マスタモード時は、SS(D10/0x30170C)は0のままにしておきます。

5. 送信するデータをSPI Transmit Data Register(0x301704)に書き込みます。
SPI回路は書き込まれたデータをシフトレジスタに送ります。マスタモードでは、SPI_CLKからクロック出力を開始します。スレーブモードでは、SPI_CLKからのクロック入力に待機します。
シフトレジスタ内のデータはCPHA(D9/0x301708)とCPOL(D8/0x301708)で決まるSPI_CLKの立ち上がりまたは立ち下がりエッジで順次シフトされ(図V.3.4.1参照)、SDO端子からMSBを先頭に送信されます。

* **CPHA**: SPI_CLK Phase Select Bit in the SPI Control Register 1 (D9/0x301708)

* **CPOL**: SPI_CLK Polarity Select Bit in the SPI Control Register 1 (D8/0x301708)

SPI回路にはSPI Transmit Data Register(0x301704)の状態を示すTDEF(D4/0x301714)が用意されており、SPI Transmit Data Register(0x301704)にデータを書き込むと0(データあり)にリセットされ、書き込まれたデータがシフトレジスタに送られると1(エンプティ)にセットされます。1にセットされると同時に割り込みを発生させることができます。この割り込みを利用して、あるいはポーリングによってTDEF(D4/0x301714)が1にセットされたことを確認することにより、データ送信中でも次の送信データをSPI Transmit Data Register(0x301704)に書き込むことができます。

* **TDEF**: Transmit Data Empty Flag in the SPI Status Register (D4/0x301714)

また、TXDE(D3/0x301708)を1に設定しておくことで、送信DMA要求がITCに出力されますので、上記割り込みを使用せずに送信データを設定することもできます。

* **TXDE**: Transmit DMA Enable Bit in the SPI Control Register 1 (D3/0x301708)

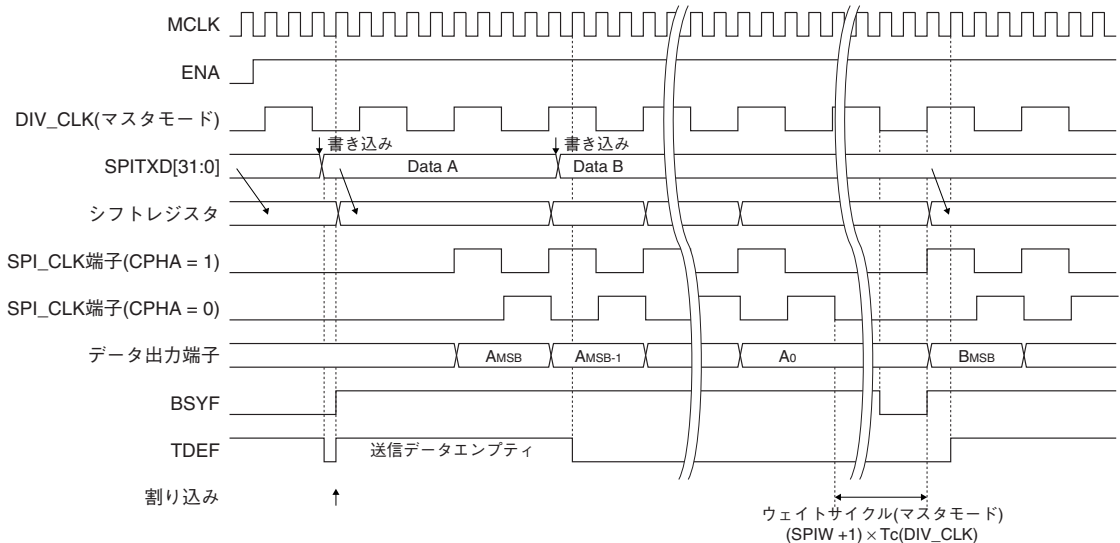
データ出力端子からのデータ出力とSPI_CLKからのクロック入出力はBPT[4:0](D[14:10]/0x301708)で指定したビット数のデータ送信が終了するまで続きます。

マスタモードで1つのデータ転送を終了した時点でSPI Transmit Data Register(0x301704)に次のデータが書き込まれている場合は、上記と同じ送信動作を引き続き行います。ただし、SPI Wait Register(0x301710)で指定されているSPI_CLKサイクル数分、次の送信開始を遅らせます。この遅延時間が経過するまで、SPI Transmit Data Register(0x301704)に書き込まれたデータはシフトレジスタには送られません。スレーブモードでの連続送信時はクロックをマスタデバイスが制御しますので、SPI Wait Register(0x301710)による送信遅延の制御は行われません。マスタから次のデータ転送クロックが送られてくる前に、次の送信データをSPI Transmit Data Register(0x301704)に書き込んでおく必要があります。

マスタモードでは、送信回路の状態がBSYF(D6/0x301714)に現れます。送信中およびSPI Wait Register(0x301710)によるウェイト中、BSYF(D6/0x301714)は1になり、送信動作が終了すると0に戻ります。送信が終了したかどうかについては、このフラグを読み出すことによって確認できます。このビットはスレーブモードでは無効(常に0)です。

* **BSYF**: Transfer Busy Flag in the SPI Status Register (D6/0x301714)

- すべてのデータ送信が終了したら、ENA(D0/0x301708)に0を書き込み、SPI回路をOFFします。スレーブモードの場合は、SS(D10/0x30170C)に0を書き込み、本スレーブを非選択状態にしてからENA(D0/0x301708)に0を書き込んでください。



図V.3.5.1 データ送信タイミングチャート (CPOL = 0)

■ データ受信

データ受信手順を以下に示します。

- 前項に示したとおり、転送条件を設定します。
- ITCレジスタおよびSPI割り込み制御レジスタで割り込みとDMAの設定を行います(後述)。割り込みを使用する場合は、割り込みを許可する前にITCの割り込み要因フラグをクリアしておきます。
- ENA(D0/0x301708)に1を書き込み、SPI回路をONします。
マスタモードの場合、SPI回路はソースクロックの分周を開始します。
- スレーブモードの場合は、SS(D10/0x30170C)に1を書き込み、本スレーブを選択状態にします。これにより、SPI_CLK端子からのクロック入力が有効となります。
マスタモード時は、SS(D10/0x30170C)は0のままにしておきます。
- マスタモードの場合、ダミーデータをSPI Transmit Data Register(0x301704)に書き込みます。SPI Transmit Data Register(0x301704)への書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。
これにより、SPI_CLKからクロック出力を開始します。

スレーブモードの場合は、SPI_CLKからのクロック入力に待機します。送受信を同時に行う場合は、送信データをSPI Transmit Data Register(0x301704)に書き込んでおきます。

データはMSBを先頭に、CPHA(D9/0x301708)とCPOL(D8/0x301708)で決まるSPI_CLKの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図V.3.4.1参照)。指定ビット数のデータがシフトレジスタに取り込まれると、SPI Receive Data Register(0x301700)に送られます。このとき、ビットのマスク処理が行われます。この時点でRDFF(D2/0x301714)が1(データフル)にセットされ、受信データがSPI Receive Data Register(0x301700)から読み出せることを示します。このフラグのセットと同時にデータ受信割り込みを発生させることができます。

* RDFF: Receive Data Full Flag in the SPI Status Register (D2/0x301714)

6. 割り込みを利用して、あるいはポーリングによりRDFF(D2/0x301714)が1にセットされたことを確認し、SPI Receive Data Register(0x301700)からデータを読み出します。RDFF(D2/0x301714)はSPI Receive Data Register(0x301700)の読み出しにより、0にリセットされます。
また、RXDE(D2/0x301708)を1に設定しておくことで、受信DMA要求がITCに出力されますので、上記割り込みを使用せずに受信データを他のメモリに転送することもできます。

* **RXDE**: Receive DMA Enable Bit in the SPI Control Register 1 (D2/0x301708)

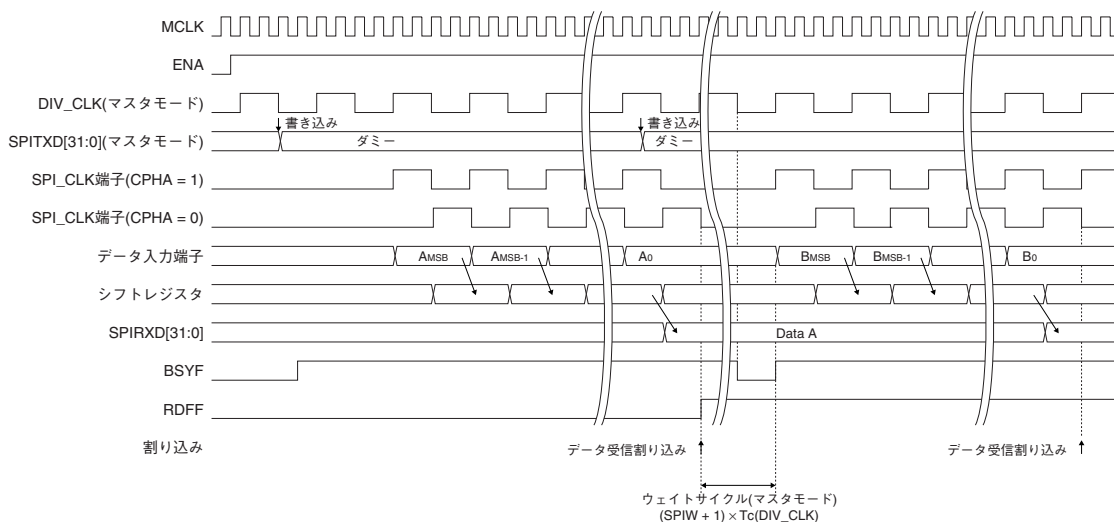
マスタモードで連続的にデータを受信する場合は、データの受信ごとにダミーデータまたは送信データをSPI Transmit Data Register(0x301704)に書き込みます。SPI回路はSPI Transmit Data Register(0x301704)に書き込みが行われていると、受信動作を継続します。ただし、SPI Wait Register(0x301710)で指定されているSPI_CLKサイクル数分、次の受信開始を遅らせます。この遅延時間が経過するまで、SPI_CLKからのクロック出力を停止します。

スレーブモードで受信のみを行う場合は、SPI Transmit Data Register(0x301704)への書き込みは不要です。マスタからのクロック入力により受信を継続します。同時に送信を行う場合は、データ送信の手順に従って送信データをSPI Transmit Data Register(0x301704)に書き込んでください。

7. 全データの受信が終了するまで、5と6を繰り返します。

なお、マスタモードで受信中は、送信と同様にBSYF(D6/0x301714)が1にセットされます。

8. すべてのデータ受信が終了したら、ENA(D0/0x301708)に0を書き込み、SPI回路をOFFします。
スレーブモードの場合は、SS(D10/0x30170C)に0を書き込み、本スレーブを非選択状態にしてからENA(D0/0x301708)に0を書き込んでください。



図V.3.5.2 データ受信タイミングチャート (CPOL = 0)

■受信データオーバーフロー

データの連続受信時、SPI Receive Data Register(0x301700)を読み出す前に次の受信が終了すると、レジスタが上書きされてしまいます。したがって、受信データは次の受信が終了する前に読み出す必要があります。

RDFF(D2/0x301714)が1の場合(受信データが読み出されていない場合)にSPI Receive Data Register(0x301700)が上書きされると、RDOF(D3/0x301714)が1にセットされます。このフラグのセットと同時に受信データオーバーフロー割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

* **RDOF**: Receive Data Overflow Flag in the SPI Status Register (D3/0x301714)

RDOF(D3/0x301714)はSPI Receive Data Register(0x301700)の読み出しにより、0にリセットされます。

■データ送受信とトリガの注意

本SPI回路は、データの送信と受信を同時に行います。

送信時にも受信動作を行いますので、前回の受信データをSPI Receive Data Register(0x301700)から読み出さずに次の送信を開始すると、受信データオーバーフローが発生します。また、受信関係の割り込みを許可しておく、データ送信割り込み以外に不要なデータ受信割り込みが発生しますので、データ送信前に受信の割り込みを禁止しておきます。送信後に受信を行う場合は、送信時の受信動作によってRDFF(D2/0x301714)とRDOF(D3/0x301714)がセットされていますので、受信開始前にSPI Receive Data Register(0x301700)を読み出してこれらのフラグをクリアしておく必要があります。

受信時もデータ送信割り込みが発生しますので、その割り込みは禁止しておきます。

V.3.6 SPI割り込みとDMA

SPIモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信DMA割り込み(送信データエンプティ)
- 受信DMA割り込み(受信データフル)
- SPI割り込み(送信データエンプティ、受信データフル、受信データオーバーフロー)

■送信DMA割り込み

この割り込み要因は、SPI Transmit Data Register(0x301704)に設定した送信データがシフトレジスタに転送された時点で発生します。TXDE(D3/0x301708)を1に設定しておくことで、この割り込み要求信号がITCに出力され、ITCの割り込み要因フラグFSPITX(D5/0x300289)を1にセットします。

* **TXDE**: Transmit DMA Enable Bit in the SPI Control Register 1 (D3/0x301708)

このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■受信DMA割り込み

この割り込み要因は、シフトレジスタに受信したデータがSPI Receive Data Register(0x301700)にロードされた時点で発生します。RXDE(D2/0x301708)を1に設定しておくことで、この割り込み要求信号がITCに出力され、ITCの割り込み要因フラグFSPIRX(D4/0x300289)を1にセットします。

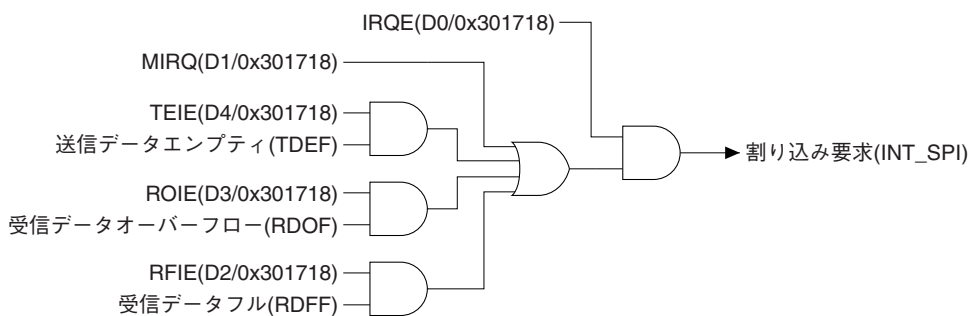
* **RXDE**: Receive DMA Enable Bit in the SPI Control Register 1 (D2/0x301708)

このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

■SPI割り込み

上記2本の割り込み要求の他に、SPIからもう1本の割り込み要求信号が出力されます。

この割り込み要求出力回路は図V.3.6.1のように構成されており、割り込みを要求する割り込み要因を選択できるようになっています。



図V.3.6.1 SPI割り込み要求回路

SPI割り込み要求を出力する場合は、以下に説明する要因による割り込み要求をイネーブルにし、IRQE(D0/0x301718)を1に設定します。IRQE(D0/0x301718)を0に設定すると、SPI割り込み要求は出力されません。

* **IRQE**: Interrupt Request Enable Bit in the SPI Interrupt Control Register (D0/0x301718)

送信データエンプティ

この割り込み要因は、SPI Transmit Data Register(0x301704)に設定した送信データがシフトレジスタに転送された時点で発生し、TDEF(D4/0x301714)を1にセットします。この要因で割り込み要求を出力する場合は、TEIE(D4/0x301718)を1に設定します。

- * **TDEF**: Transmit Data Empty Flag in the SPI Status Register (D4/0x301714)
- * **TEIE**: Transmit Data Empty Interrupt Enable Bit in the SPI Interrupt Control Register (D4/0x301718)

この割り込み要求は送信DMA割り込みと同じ要因で発生します。

受信データフル

この割り込み要因は、シフトレジスタに受信したデータがSPI Receive Data Register(0x301700)にロードされた時点で発生し、RDFF(D2/0x301714)を1にセットします。この要因で割り込み要求を出力する場合は、RFIE(D2/0x301718)を1に設定します。

- * **RDFF**: Receive Data Full Flag in the SPI Status Register (D2/0x301714)
- * **RFIE**: Receive Data Full Interrupt Enable Bit in the SPI Interrupt Control Register (D2/0x301718)

この割り込み要求は受信DMA割り込みと同じ要因で発生します。

受信データオーバーフロー

この割り込み要因は、SPI Receive Data Register(0x301700)の受信データが読み出される前に次の受信データがロードされると発生し、RDOF(D3/0x301714)を1にセットします。この要因で割り込み要求を出力する場合は、ROIE(D3/0x301718)を1に設定します。

- * **RDOF**: Receive Data Overflow Flag in the SPI Status Register (D3/0x301714)
- * **ROIE**: Receive Data Overflow Interrupt Enable Bit in the SPI Interrupt Control Register (D3/0x301718)

マニュアル割り込み要求

MIRQ(D1/0x301718)を1に設定することにより、SPI割り込み要求を出力することができます。割り込み発生後は0を書き込んでSPI割り込み要求をクリアする必要があります。

- * **MIRQ**: Manual IRQ Set/Clear Bit in the SPI Interrupt Control Register (D1/0x301718)

SPI割り込み要求はポート8入力割り込み(FPT8)としてITCに送られ、ITCの割り込み要因フラグFP8(D0/0x3002A9)を1にセットします。ただし、ポート8入力割り込みとしてINT_SPIを選択しておく必要があります。

■割り込みコントローラの制御レジスタ

割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表V.3.6.1に示します。

表V.3.6.1 割り込みコントローラの制御レジスタ

割り込み	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
送信DMA割り込み	FSPITX(D5/0x300289)	ESPITX(D5/0x300279)	PSPI[2:0](D[6:4]/0x30026E)
受信DMA割り込み	FSPIRX(D4/0x300289)	ESPIRX(D4/0x300279)	
SPI割り込み	FP8(D0/0x3002A9)	EP8(D0/0x3002A6)	PP8L[2:0](D[2:0]/0x3002A0)

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが1にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

注: SPI割り込み要求信号はポート8入力割り込み(FPT8)システムに入力されています。ポート8入力割り込み回路はP90、INT_SPI、P80、P70から割り込みに使用するポート(信号)を選択する必要がありますので、SPT8[1:0](D[1:0]/0x3003C4)を10に設定してINT_SPIを選択します。これにより、INT_SPI信号はポート8入力割り込み信号としてITCに送られます。また、FPT8の入力信号の極性を選択するSPPT8(D0/0x3003C6)は1(Highレベルまたは立ち上がりエッジ)に設定してください。

* SPT8[1:0]: FPT8 Interrupt Input Port Select Bits in the Port Input Interrupt Select Register 3 (D[1:0]/0x3003C4)

* SPPT8: FPT8 Input Polarity Select Bit in the Port Input Interrupt Polarity Select Register 2 (D0/0x3003C6)

■インテリジェントDMA

送信DMA、受信DMAおよびSPI割り込み要求により、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

受信DMA割り込み: 0x24

送信DMA割り込み: 0x25

SPI割り込み(FPT8割り込み): 0x26

IDMAを起動させるには、表V.3.6.2に示すIDMAリクエストビットおよびIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表V.3.6.2 IDMA転送の制御ビット

割り込み	IDMAリクエストビット	IDMAイネーブルビット
送信DMA割り込み	RSPITX(D5/0x30029B)	DESPITX(D5/0x30029C)
受信DMA割り込み	RSPIRX(D4/0x30029B)	DESPIRX(D4/0x30029C)
SPI割り込み	RP8(D0/0x3002AC)	DEP8(D0/0x3002AE)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■高速DMA

各割り込みは、高速DMA(HSDMA)を起動することもできます。

各割り込み要求に対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表V.3.6.3 HSDMAトリガ設定ビット

割り込み	HSDMA Ch.	トリガ設定ビット
送信DMA割り込み	2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2-3 Trigger Set-up Register (0x300299)
受信DMA割り込み	3	HSD3S[3:0] (D[7:4]) / HSDMA Ch.2-3 Trigger Set-up Register (0x300299)
SPI割り込み	0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0-1 Trigger Set-up Register (0x300298)

送信DMA割り込み要求でHSDMAを起動させるには、HSDMA Ch.2のトリガ設定ビットに“1001”を書き込んでおきます。受信DMA割り込み要求でHSDMAを起動させるには、HSDMA Ch.3のトリガ設定ビットに“1001”を書き込んでおきます。SPI割り込み(FPT8割り込み)要求でHSDMAを起動させるには、HSDMA Ch.0のトリガ設定ビットに“1101”を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、“II.1 高速DMA(HSDMA)”を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

受信DMA割り込み: 0xC00144

送信DMA割り込み: 0xC00148

SPI割り込み(FPT8割り込み): 0xC00150

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

V.3.7 制御レジスタ詳細

表V.3.7.1 SPI制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301700	SPI Receive Data Register (pSPI_RXD)	32	受信データ
0x00301704	SPI Transmit Data Register (pSPI_TXD)	32	送信データ
0x00301708	SPI Control Register 1 (pSPI_CTL1)	32	SPI転送条件の設定
0x0030170C	SPI Control Register 2 (pSPI_CTL2)	32	スレーブモードの制御
0x00301710	SPI Wait Register (pSPI_WAIT)	32	キャラクタ間ウェイトサイクルの設定
0x00301714	SPI Status Register (pSPI_STAT)	32	SPIの転送/エラー状態
0x00301718	SPI Interrupt Control Register (pSPI_INT)	32	SPI割り込みの制御
0x0030171C	SPI Receive Data Mask Register (pSPI_RXMK)	32	受信データのビットマスクを設定

以下にSPIの制御レジスタを個々に説明します。

SPIの制御レジスタは0x301700～0x30171Cの32ビットデバイスエリアに割り付けられており、ワードアクセスが可能です。

- 注:
- SPIの制御レジスタはワードアクセスのみ有効です。ハーフワード、バイトサイズでリード/ライトしないでください。
 - SPIの制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301700: SPI Receive Data Register (pSPI_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI receive data register (pSPI_RXD)	00301700 (W)	D31 D0	SPIRXD31 SPIRXD0	SPI receive data SPIRXD31 = MSB SPIRXD0 = LSB	0x0 to 0xFFFFFFFF	0x0	R	

D[31:0] SPIRXD[31:0]: SPI Receive Data Bits

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRDFF(D2/0x301714)が1(データフル)にセットされます。同時に受信データフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、RDOF(D3/0x301714)が1(データオーバーフロー)にセットされます。同時に受信データオーバーフロー割り込み要因も発生します。

SDI端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

また、SPI Receive Data Mask Register(0x30171C)の設定により、シフトレジスタからロードする際に、指定数の上位ビットをマスク(0)することができます。

このレジスタは読み出し専用で、書き込みは行えません。

0x301704: SPI Transmit Data Register (pSPI_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI transmit data register (pSPI_TXD)	00301704 (W)	D31 D0	SPITXD31 SPITXD0	SPI transmit data SPITXD31 = MSB SPITXD0 = LSB	0x0 to 0xFFFFFFFF	0x0	R/W	

D[31:0] SPITXD[31:0]: SPI Transmit Data Bits

送信データを設定します。(デフォルト: 0x0)
マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。
このレジスタに書き込んだデータがシフトレジスタに転送された時点で、TDEF(D4/0x301714)が1(エンプティ)にセットされます。同時に送信データエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。SDO端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。
転送データビット数をBPT[4:0](D[14:10]/0x301708)で32未満に設定した場合、このレジスタの下位側指定ビット数分のみが送信されます。

0x301708: SPI Control Register 1 (pSPI_CTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI control register 1 (pSPI_CTL1)	00301708 (W)	D31-15	—	reserved	—	—	—	0 when being read.
		D14	BPT4	Number of data bits per transfer	Number of data bits per transfer = BPT + 1	0	R/W	
		D13	BPT3			0		
		D12	BPT2			0		
		D11	BPT1			0		
		D10	BPT0			0		
		D9	CPHA	SPI_CLK phase selection	1 Phase 1 0 Phase 0	0	R/W	
		D8	CPOL	SPI_CLK polarity selection	1 Active low 0 Active high	0	R/W	
		D7	MWEN	reserved	Fix at 0.	0	—	
		D6	MCBR2	Master clock bit rate (in master mode only)	Master clock divided value = $2 \times 2^{\text{MCBR}}$	0	R/W	
		D5	MCBR1			0		
		D4	MCBR0			0		
		D3	TXDE	Transmit DMA enable	1 Enabled 0 Disabled	0	R/W	
		D2	RXDE	Receive DMA enable	1 Enabled 0 Disabled	0	R/W	
		D1	MODE	SPI mode selection	1 Master 0 Slave	0	R/W	
		D0	ENA	SPI enable	1 Enabled 0 Disabled	0	R/W	

D[31:15] Reserved**D[14:10] BPT[4:0]: Number of Data Bits Per Transfer Setup Bits**

転送データのビット数を設定します。(デフォルト: 0x0)
このレジスタの設定値+1(1~32)が1回の転送で送受信されるビット数になります。

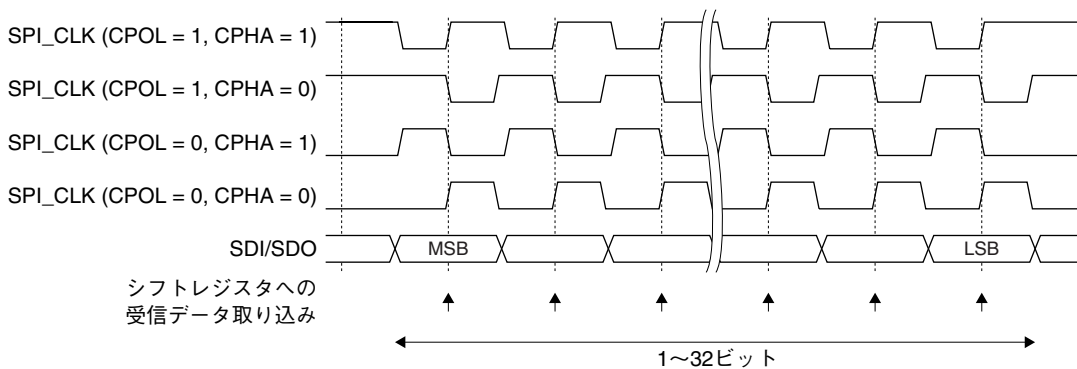
D9 CPHA: SPI_CLK Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)
CPOL(D8)と共に、データ転送タイミングを設定します(図V.3.7.1参照)。

D8 CPOL: SPI_CLK Polarity Select Bit

SPIクロックの極性を選択します。
1(R/W): アクティブLow
0(R/W): アクティブHigh(デフォルト)

CPHA(D9)と共に、データ転送タイミングを設定します(図V.3.7.1参照)。



図V.3.7.1 クロックとデータ転送タイミング

D7 Reserved (1 は書き込まないでください。)

D[6:4] MCBR[2:0]: Master Clock Bit Rate Setup Bits

SPIクロックを生成する、ソースクロックの分周比を設定します。この設定によりビットレートが決定します。

表V.3.7.2 クロック周波数の設定

MCBR2	MCBR1	MCBR0	クロック周波数(Hz)
1	1	1	MCLK/256
1	1	0	MCLK/128
1	0	1	MCLK/64
1	0	0	MCLK/32
0	1	1	MCLK/16
0	1	0	MCLK/8
0	0	1	MCLK/4
0	0	0	MCLK/2

(デフォルト: 0x000)

スレーブモードの場合はマスタからのクロックを入力して動作しますので、ビットレートの設定は必要ありません。

D3 TXDE: Transmit DMA Enable Bit

送信DMA割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXDEを1に設定すると、送信DMA割り込み要求のITCへの出力を許可します。送信DMA割り込み要求は、SPI Transmit Data Register(0x301704)に書き込んだデータがシフトレジスタに転送される(送信を開始することにより発生します。TXDEが1(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFSPITX(D5/0x300289)が1にセットされます。この割り込み要求によりHSDMAを起動することもできます。

TXDEを0に設定すると、送信DMA割り込みは発生しません。

D2 RXDE: Receive DMA Enable Bit

受信DMA割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXDEを1に設定すると、受信DMA割り込み要求のITCへの出力を許可します。受信DMA割り込み要求は、シフトレジスタに受信したデータがSPI Receive Data Register(0x301700)に転送される(受信が完了することにより発生します。RXDEが1(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFSPIRX(D4/0x300289)が1にセットされます。この割り込み要求によりHSDMAを起動することもできます。

RXDEを0に設定すると、受信DMA割り込みは発生しません。

D1 MODE: SPI Mode Select Bit

SPIをマスタモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MODEを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、本モジュール内で生成したクロックでデータ転送を行います。スレーブモードでは、マスタからクロックを入力してデータ転送を行います。

D0 ENA: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

ENAを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。

ENAを0に設定すると、SPIモジュールは動作を停止します。

データ転送条件の設定は、ENAを0に設定して行ってください。

0x30170C: SPI Control Register 2 (pSPI_CTL2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI control register 2 (pSPI_CTL2)	0030170C (W)	D31-12	—	reserved	—	—	—	0 when being read.
		D11	SSA	reserved	Fix at 0.	0	—	
		D10	SS	Slave select control	Fix at 0.	0	R/W	Master mode
					1 SPI select 0 SPI deselect	0		Slave mode
		D9	SSP	reserved	Fix at 0.	0	—	
		D8	SSC	reserved	Fix at 0.	0	—	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2	RDYP	reserved	Fix at 0.	0	—	
		D1	RDYS	reserved	Fix at 0.	0	—	
		D0	RDYE	reserved	Fix at 0.	0	—	

D[31:11] Reserved (1 は書き込まないでください。)

D10 SS: Slave Select Control Bit

本スレーブを選択状態にします。

1(R/W): 選択

0(R/W): 非選択(デフォルト)

スレーブモードで送受信を行う前に、SSを1に設定します。ENA = 1、SS = 1の場合にマスタからのクロック入力がいネーブルとなり、スレーブモードでの送受信が行える状態になります。マスタモードの場合、SSは0に固定してください。

D[9:0] Reserved (1 は書き込まないでください。)

0x301710: SPI Wait Register (pSPI_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI wait register (pSPI_WAIT)	00301710 (W)	D31 D0	SPIW31 SPIW0	Wait cycle control SPIW31 = MSB SPIW0 = LSB	Number of wait cycles = SPIW[31:0] + 1 (1 to 65536)	0x0	R/W	

D[31:0] SPIW[31:0]: Wait Cycle Control Bits

各データ転送間に挿入するウェイトサイクル数を設定します。このレジスタの設定値+1がウェイトサイクル数となります。SPI_CLKクロックの1～65536サイクルの範囲で指定可能です。

0x301714: SPI Status Register (pSPI_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI status register (pSPI_STAT)	00301714 (W)	D31-7	—	reserved	—	—	—	0 when being read.
		D6	BSYF	Transfer busy flag	1 Busy 0 Idle	0	R	Master mode
		D5	MFEF	reserved	—	—	—	0 when being read.
		D4	TDEF	Transmit data empty flag	1 Empty 0 Not empty	1	R	
		D3	RDOF	Receive data overflow flag	1 Occurred 0 Not occurred	0	R	
		D2	RDFF	Receive data full flag	1 Full 0 Not full	0	R	
		D1-0	—	reserved	—	—	—	0 when being read.

D[31:7] Reserved**D6 BSYF: Transfer Busy Flag**

SPIが送受信動作中であることを示します。(マスタモード時)

1(R): 送受信動作中

0(R): 待機中(デフォルト)

SPIがマスタモードで送受信を開始すると、BSYFは1にセットされ、送受信中はウェイトサイクルも含め1を保持します。送受信動作が終了すると、0にクリアされます。

BSYFはスレーブモードでは無効(常に0)です。

D5 Reserved**D4 TDEF: Transfer Data Empty Flag**

SPI Transmit Data Register(0x301704)の状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

TDEFはSPI Transmit Data Register(0x301704)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

送信データの書き込みは、このビットが1の場合に行います。

D3 RDOF: Receive Data Overflow Flag

受信データオーバーフローの状態を示します。

1(R): オーバーフロー発生

0(R): オーバーフローなし(デフォルト)

SPI Receive Data Register(0x301700)内の受信データを読み出す前に次の受信が終了するとRDOFが1にセットされ、レジスタが上書きされたことを示します。

SPI Receive Data Register(0x301700)内のデータを読み出されると0に戻ります。

D2 RDFF: Receive Data Full Flag

SPI Receive Data Register(0x301700)の状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

RDFFはシフトレジスタに受信したデータがSPI Receive Data Register(0x301700)に転送されると(受信が完了すると)1となり、そのデータを読み出し可能であることを示します。データが読み出されると0に戻ります。

D[1:0] Reserved

0x301718: SPI Interrupt Control Register (pSPI_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI interrupt control register (pSPI_INT)	00301718 (W)	D31-6	—	reserved	—	—	—	0 when being read.
		D5	MFIE	reserved	Fix at 0.	0	—	
		D4	TEIE	Transmit data empty int. enable	1 Enabled 0 Disabled	0	R/W	
		D3	ROIE	Receive overflow interrupt enable	1 Enabled 0 Disabled	0	R/W	
		D2	RFIE	Receive data full interrupt enable	1 Enabled 0 Disabled	0	R/W	
		D1	MIRQ	Manual IRQ set/clear	1 Set 0 Clear	0	R/W	
		D0	IRQE	Interrupt request enable	1 Enabled 0 Disabled	0	R/W	

D[31:5] Reserved (1 は書き込まないでください。)

D4 TEIE: Transmit Data Empty Interrupt Enable Bit

送信データエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TEIEを1に設定すると、送信データエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、SPI Transmit Data Register(0x301704)に書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。TEIEとIRQE(D0)が1(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFP8(D0/0x3002A9)が1にセットされます。

TEIEを0に設定すると、送信データエンプティによるSPI割り込みは発生しません。

D3 ROIE: Receive Data Overflow Interrupt Enable Bit

受信データオーバーフローによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ROIEを1に設定すると、受信データオーバーフローによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、SPI Receive Data Register(0x301700)の受信データが読み出される前に次の受信データがロードされると発生します。ROIEとIRQE(D0)が1(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFP8(D0/0x3002A9)が1にセットされます。ROIEを0に設定すると、受信データオーバーフローによるSPI割り込みは発生しません。

D2 RFIE: Receive Data Full Interrupt Enable Bit

受信データフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RFIEを1に設定すると、受信データフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがSPI Receive Data Register(0x301700)に転送される(受信が完了する)ことにより発生します。RFIEとIRQE(D0)が1(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFP8(D0/0x3002A9)が1にセットされます。RFIEを0に設定すると、受信データフルによるSPI割り込みは発生しません。

D1 MIRQ: Manual IRQ Set/Clear Bit

マニュアルでITCへのSPI割り込み要求を発生させます。

1(R/W): 割り込み要求をセット

0(R/W): 割り込み要求をクリア(デフォルト)

IRQE(D0)が1の状態でもMIRQを1に設定すると、ITCへのSPI割り込み要求信号がアクティブになり、ITCの割り込み要因フラグFP8(D0/0x3002A9)が1にセットされます。

MIRQに0を書き込むと割り込み要求はクリアされます。ただし、この0書き込みで割り込み要因フラグFP8(D0/0x3002A9)はクリアされません。

D0 IRQE: Interrupt Request Enable Bit

ITCへのSPI割り込み要求出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

IRQEを1に設定すると、割り込みを許可したSPI割り込み要因が発生した時点、あるいはMIRQ(D1)に1を書き込んだ時点で割り込み要求がITCへ出力されます。これにより、割り込み要因フラグFP8(D0/0x3002A9)が1にセットされます。

IRQEを0に設定すると、個々のSPI割り込み要因が割り込み許可に設定してあっても、ITCへの割り込み要求は発生しません。MIRQ(D1)によるマニュアルの割り込み要求も禁止されます。

0x30171C: SPI Receive Data Mask Register (pSPI_RXMK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI receive data mask register (pSPI_RXMK)	0030171C (W)	D31-15	—	reserved	—	—	—	0 when being read.
		D14	RXMASK4	Bit mask for reading received data	0x0 to 0x1F	0	R/W	
		D13	RXMASK3			0		
		D12	RXMASK2			0		
		D11	RXMASK1			0		
		D10	RXMASK0			0		
		D9-2	—	reserved	—	—	—	0 when being read.
		D1	RXME	Receive data mask enable	1 Enabled 0 Disabled	0	R/W	
		D0	—	reserved	—	—	—	Do not write 1.

D[31:15] Reserved**D[14:10] RXMASK[4:0]: Receive Data Mask Setup Bits**

必要な下位ビット以外をマスクして受信データを読み出したい場合に、有効にする下位ビットを指定します。(デフォルト: 0x0)

設定する値は、有効ビットのMSBです(例: 31 = マスクなし、15 = D[31:16]をマスク)。

このビットマスクを有効にするには、RXME(D1)を1に設定する必要があります。ビットマスクを有効にすると、受信データはマスクされたビットを0としてSPI Receive Data Register (0x301700)から読み出されます。

D[9:2] Reserved**D1 RXME: Receive Data Mask Enable Bit**

RXMASK[4:0](D[14:10])の設定を有効にします。

1(R/W): 有効

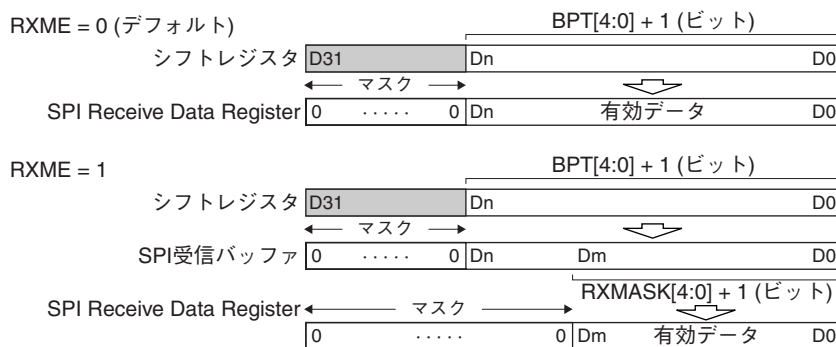
0(R/W): 無効(デフォルト)

RXMEを1に設定すると、受信データが受信データバッファからSPI Receive Data Register (0x301700)にロードされるときにRXMASK[4:0]の指定に従って上位ビットがマスク(0)されます。RXMEを0に設定すると、シフトレジスタに受信したデータがSPI Receive Data Register (0x301700)にロードされるときにBPT[4:0](D[14:10]/0x301708)で指定されたデータビット(下位ビット)以外がマスク(0)されます。

図V.3.7.2にマスク制御ビットの設定とSPI Receive Data Register(0x301700)にロードされる受信データの関係を示します。

D0 Reserved

1には設定しないでください。



図V.3.7.2 受信データのマスク

V.3.8 注意事項

- SPI制御レジスタ(0x301700～0x30171C)のリード/ライトには必ず32ビットアクセス命令を使用し、16ビットおよび8ビットアクセス命令は使用しないでください。
- BSYF(D6/0x301714)が1の間(データの転送中)は、SPI Control Register 1(0x301708)、SPI Control Register 2(0x30170C)およびSPI Wait Register(0x301710)にアクセスしないでください。
 - * **BSYF**: Transfer Busy Flag in the SPI Status Register (D6/0x301714)
- 誤動作を避けるため、SPI回路を停止(ENA(D0/0x301708)を0に設定)する前には、必ずSPI Interrupt Control Register(0x301718)に0x0を書き込み、すべてのSPI割り込み要求を禁止してください。
 - * **ENA**: SPI Enable Bit in the SPI Control Register 1 (D0/0x301708)

V.4 I²Sインタフェース (I²S)

V.4.1 I²Sモジュールの概要

S1C33L19は、PCMデータをI²S (Inter-IC Sound)フォーマットで入出力する双方向I²Sモジュールを内蔵しています。このI²SバスにオーディオDACやADCなどを接続することで、容易にオーディオ入出力回路を構成することができます。

本I²Sモジュールの特長を以下に示します。

出力チャンネル(CH.0)

- I²Sマスタデバイスとして動作
- ビットクロック、ワードセレクトクロック、マスタクロックを生成
- 出力PCMデータの解像度を16ビットおよび24ビットから選択可能
- 24バイトの送信用FIFO(24ビット×2チャンネル×4)を内蔵
- ステレオ、モノ(左、右)、ミュート出力をソフトウェアで切り換え可能
- FIFOデータエンプティ (ハーフエンプティ、完全エンプティ、または1データエンプティ)により割り込み要求が可能

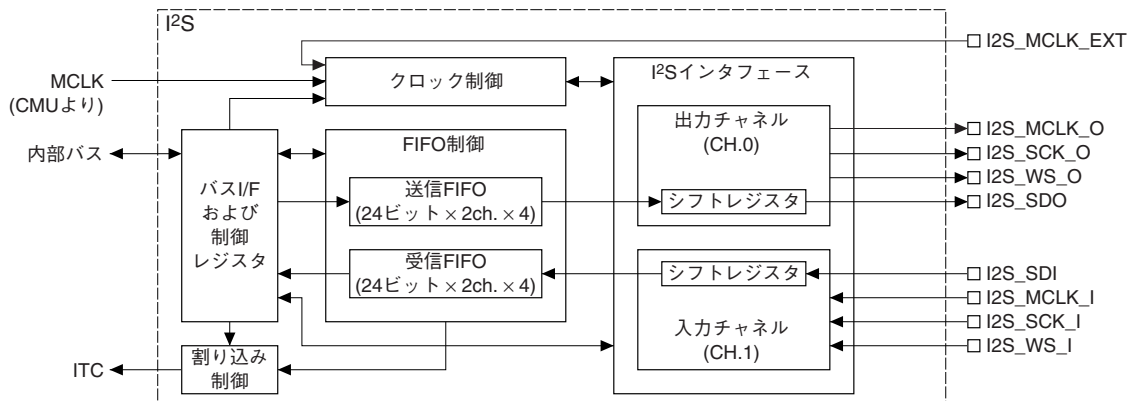
入力チャンネル(CH.1)

- I²Sスレーブデバイスとして動作
- 16ビットor 24-bit解像度のPCMデータを入力可能
- 24バイトの受信用FIFO(24ビット×2チャンネル×4)を内蔵
- FIFOデータフル(ハーフフル、完全フル、または1データ)により割り込み要求が可能
- 入力クロックとデータを直接出力チャンネルに送るバイパスモードをサポート

データ対応

- クロック極性をソフトウェアで設定可能
- データシフト方向(MSB先頭/LSB先頭)をソフトウェアで選択可能
- I²Sモード、左揃えモード、右揃えモードに対応

図V.4.1.1にI²Sモジュールの構成を示します。



図V.4.1.1 I²Sモジュールの構成

V.4.2 I²S入出力端子

表V.4.2.1にI²S端子の一覧を示します。

表V.4.2.1 I²S端子一覧

端子名	I/O	本数	機 能
I2S_SDO	O	1	I ² Sデータ出力端子 シリアルPCMデータを出力します。
I2S_WS_O	O	1	I ² Sワードセレクト (LRCLK) 信号出力端子 出力中のデータチャンネル (L、R) を示すワードセレクト信号を出力します。
I2S_SCK_O	O	1	I ² S同期クロック (ビットクロック) 出力端子 シリアルデータ転送用の同期クロック (ビットクロック) を出力します。
I2S_MCLK_O	O	1	I ² S出力チャンネル用のI2Sマスタクロック出力端子 I ² SモジュールがMCLKのソースに内部クロックを使用している場合に、I ² Sマスタクロックを出力します。 MCLKのソースに外部クロックを使用するとき、この端子の出力は外部クロックと同じです。
I2S_MCLK_EXT	I	1	I ² S出力チャンネル用のI ² S外部マスタクロック入力端子 I ² Sモジュールのクロック生成回路にI2Sマスタクロックとして外部クロックを入力するために使用されます。
I2S_SDI	I	1	I ² Sデータ入力端子 シリアルPCMデータを入力します。
I2S_WS_I	I	1	I ² Sワードセレクト (LRCLK) 信号入力端子 入力中のデータチャンネル (L、R) を示すワードセレクト信号を入力します。
I2S_SCK_I	I	1	I ² S同期クロック (ビットクロック) 入力端子 シリアルデータ転送用の同期クロック (ビットクロック) を入力します。
I2S_MCLK_I	I	1	I ² Sマスタクロック入力端子 I ² Sマスタクロックを入力します。

I²Sの入出力端子 (I2S_SDO、I2S_SDI、I2S_WS_x、I2S_SCK_x、I2S_MCLK_x) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Sの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.4.3 I²Sモジュールの動作クロック

I²SモジュールはCMUから供給されるMCLK(=システムクロック)で動作します。

通常動作時およびHALT時は、MCLKが常にI²Sモジュールに供給されます。SLEEPモード時はクロックの供給が停止しますので、I²Sモジュールも動作を停止します。

CH.0の転送クロックはソースクロック(MCLKまたは外部MCLK、ソフトウェアで選択可能)をI²Sモジュール内で分周して生成します。

CH.1の転送クロックは、外部からクロック入力端子に供給します。

V

I²S

V.4.4 I²Sモジュールの設定

I²Sバスを介してデータ転送を行うには、転送を開始する前に以下の設定が必要です。

1. 入出力端子の設定
2. I²Sインタフェースクロックの設定
3. 出力データの形式とタイミングの設定
4. 割り込みの設定

以下、各設定内容について説明します。

注: これらの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART0(D0/pI2S_STARTレジスタ)/I2SSTART1(D8/pI2S_STARTレジスタ)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

* **I2SSTART0:** I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D0/0x00301C10)

* **I2SSTART1:** I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D8/0x00301C10)

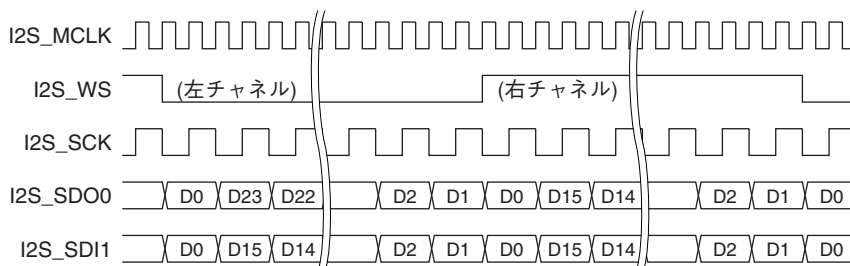
入出力端子の設定

I²Sで使用する入出力端子をPort Function Select Registerで選択します。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

I²Sインタフェースクロックの設定

I²Sモジュールは以下に示す3種類のクロックを入力/出力します。

1. I2S_MCLK(マスタクロック)
2. I2S_SCK(ビットクロック)
3. I2S_WS(ワードセレクトクロック)



図V.4.4.1 I²Sインタフェースクロック

以下に設定可能なクロック条件と、制御ビットを示します。クロック設定に関しては、“V.4.10 I²Sクロックの設定”も参照してください。

I2S_MCLK(マスタクロック)のソースクロック

マスタクロック(I2S_MCLK)のソースクロックとして、内部クロック(MCLK)またはI²S CH.0のI2S_MCLK_O端子から入力する外部クロックのいずれかをMCLKSEL(D15/pI2S_DV_MCLK_RATIOレジスタ)で選択可能です。

* **MCLKSEL:** I2S_MCLK Source Clock Select Bit in the I²S MCLK Divide Ratio (pI2S_DV_MCLK_RATIO) Register (D15/0x00301C08)

MCLKSELが0(デフォルト)の場合、I²SモジュールはMCLKを分周してマスタクロック(I2S_MCLK)を生成し、I²S CH.0のI2S_MCLK_O端子から出力します。MCLKSELを1に設定すると、I2S_MCLK_O端子から入力したクロックがI²Sモジュールのクロック生成回路に直接送られ、ビットクロックとワードセレクトクロックが生成されます。

I2S_MCLK(マスタクロック)の分周比

I2S_MCLKのソースクロックに内部クロックを選択した場合、I²SモジュールはCMUが生成したMCLK(システムクロック)を分周して、I2S_MCLK_O端子から出力するI2S_MCLKを生成します。この分周比をMCLKDIV[5:0](D[5:0]/pI2S_DV_MCLK_RATIOレジスタ)で指定します。

- * **MCLKDIV[5:0]**: I2S_MCLK Divide Ratio Select Bits in the I²S MCLK Divide Ratio (pI2S_DV_MCLK_RATIO) Register (D[5:0]/0x00301C08)

表V.4.4.1 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	MCLK•1/64
0x3e	MCLK•1/63
0x3d	MCLK•1/62
:	:
0x2	MCLK•1/3
0x1	MCLK•1/2
0x0	MCLK•1/1

(デフォルト: 0x0)

I2S_SCK(ビットクロック)の分周比

I²SモジュールはI2S_MCLK生成用に選択されたソースクロックを分周して、I²S CH.0のI2S_SCK_O端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0](D[7:0]/pI2S_DV_LRCLK_RATIOレジスタ)で指定します。

- * **BCLKDIV[7:0]**: I²S CH.0 Bit Clock Divide Ratio Select Bits in the I²S Audio Clock Divide Ratio (pI2S_DV_LRCLK_RATIO) Register (D[7:0]/0x00301C0C)

表V.4.4.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック (I2S_SCK_O)
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
:	:
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

(SRC_CLK = MCLKまたはI2S_MCLK_O入力クロック、デフォルト: 0x0)

I²S CH.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S\_SCK\_O} = \frac{f_{SRC\_CLK}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{I2S_SCK_O}: I²S CH.0ビットクロック周波数[Hz]

f_{SRC_CLK}: MCLKまたはI2S_MCLK_O入力クロック周波数[Hz]

BCLKDIV: BCLKDIV[7:0]設定値(0x0~0xff)

I²S CH.1はI2S_SCK_I端子から入力したビットクロックを使用しますので、上記の設定はCH.1には適用されません。

サンプリングクロック(I2S_WS)の周期

I²S CH.0はBCLKDIV[7:0]で設定されたソースクロックをカウントして、I2S_WS_O端子から出力するサンプリングクロック(ワードセレクトクロック)を生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[4:0](D[12:8]/pI2S_DV_LRCLK_RATIOレジスタ)で指定します。

I²S CH.1はサンプリングクロック(ワードセレクトクロック)をI2S_WS_I端子から入力します。CH.0と同様に、ビットクロックサイクル数をWSCLKCYC1[4:0](D[20:16]/pI2S_DV_LRCLK_RATIOレジスタ)に設定してクロック周期を指定します。

- * **WSCLKCYC0[4:0]**: I²S CH.0 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (pI2S_DV_LRCLK_RATIO) Register (D[11:8]/0x00301C0C)
- * **WSCLKCYC1[4:0]**: I²S CH.1 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (pI2S_DV_LRCLK_RATIO) Register (D[15:12]/0x00301C0C)

表V.4.4.3 サンプリングクロック周期の設定

WSCLKCYCx[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1x	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

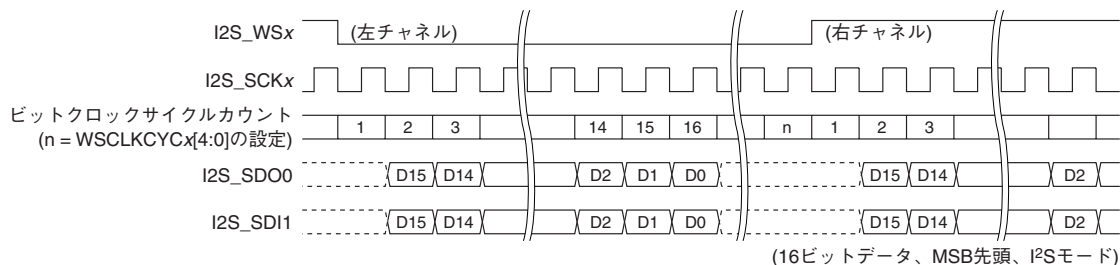
$$f_s = \frac{f_{I2S\_SCK}}{n \times 2} \text{ [Hz]}$$

f_s : サンプリングクロック周波数[Hz]

f_{I2S_SCK} : ビットクロック周波数[Hz](CH.0: 表V.4.4.2参照、CH.1: I2S_SCK_I入力クロック周波数)

n : WSCLKCYCx[4:0]で選択したビットクロック数(表V.4.4.3参照)

注: WSCLKCYCx[4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(24または16ビット)と同じか、それより大きい値である必要があります。



図V.4.4.2 サンプリングクロック周期

ワードクロックモードの選択

I2S_WS信号はそのレベル(HighまたはLow)で、現在の出力が左チャンネルのデータか右チャンネルのデータかを示します。このレベルとチャンネルの対応を、CH.0はWCLKMD0(D7/pI2S_CONTRL_CH0レジスタ)で、CH.1はWCLKMD1(D5/pI2S_CONTRL_CH1レジスタ)で設定します。

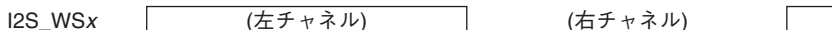
* **WCLKMD0**: I²S CH.0 Output Word Clock Mode Select Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D7/0x00301C00)

* **WCLKMD1**: I²S CH.1 Input Word Clock Mode Select Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D5/0x00301C04)

WCLKMDx = 0 (デフォルト)



WCLKMDx = 1



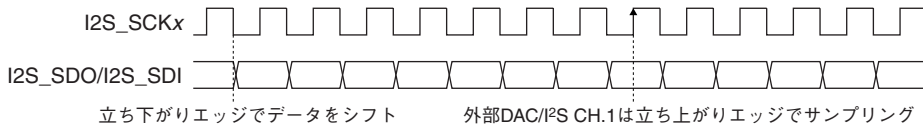
図V.4.4.3 ワードクロックモードの選択

I²S_SCK(ビットクロック)の極性

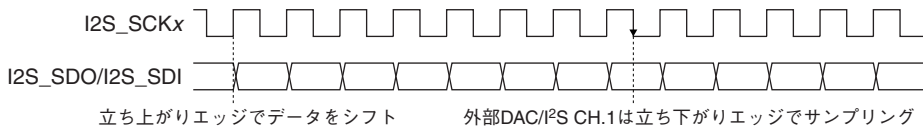
ビットクロックの極性をCH.0はBCLKPOL0(D6/pI2S_CONTRL_CH0レジスタ)で、CH.1はBCLKPOL1(D4/pI2S_CONTRL_CH1レジスタ)で選択します。

- * **BCLKPOL0**: I²S CH.0 Output Bit Clock Polarity Select Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D6/0x00301C00)
- * **BCLKPOL1**: I²S CH.1 Input Bit Clock Polarity Select Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D4/0x00301C04)

BCLKPOLx = 0 (デフォルト)



BCLKPOLx = 1



図V.4.4.4 ビットクロック極性の選択

出力データの形式とタイミングの設定

出力データの解像度

出力データの解像度をDATRES0(D9/pI2S_CONTRL_CH0レジスタ)で16ビットまたは24ビットに設定します。DATRES0が0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。

- * **DATRES0**: I²S CH.0 Output Data Resolution Select Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D9/0x00301C00)

入力データの解像度として16ビットと24ビットのどちらかを選択するにはDATRES1(D1/pI2S_CONTRL_CH1レジスタ)を使用してください。

DATRES1を0(デフォルト)に設定すると16ビットが選択され、1に設定すると24ビットが選択されます。

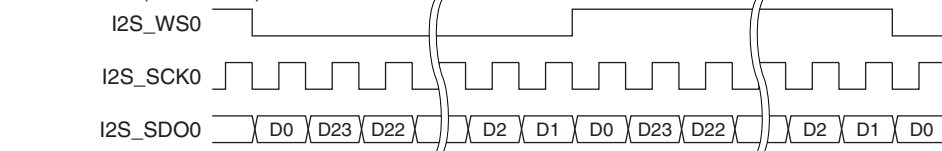
- * **DATRES1**: I²S CH.1 Input Data Resolution Select Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D1/0x00301C00)

データ形式(MSB先頭/LSB先頭)

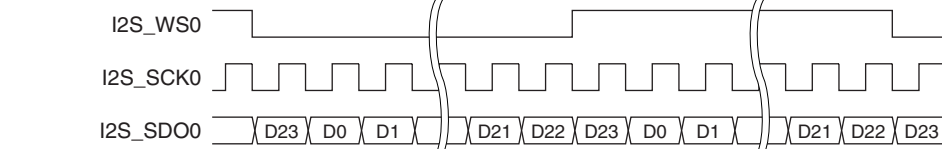
データのMSBとLSBのどちらを先に出力するか、DTFORM(D5/pI2S_CONTRL_CH0レジスタ)で選択します。DTFORMが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

- * **DTFORM**: I²S CH.0 Output Data Format Select Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D5/0x00301C00)

DTFORM = 0 (デフォルト)



DTFORM = 1



図V.4.4.5 出力データ形式の選択

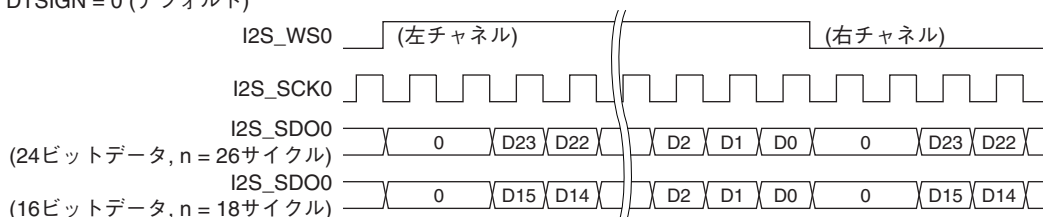
符号付き/符号なし形式

データ出力タイミング条件に右揃えモードを選択した場合は、DTSIGN(D10/pI2S_CONTRL_CH0レジスタ)で出力データを符号付きとするか符号なしとするか選択できます。

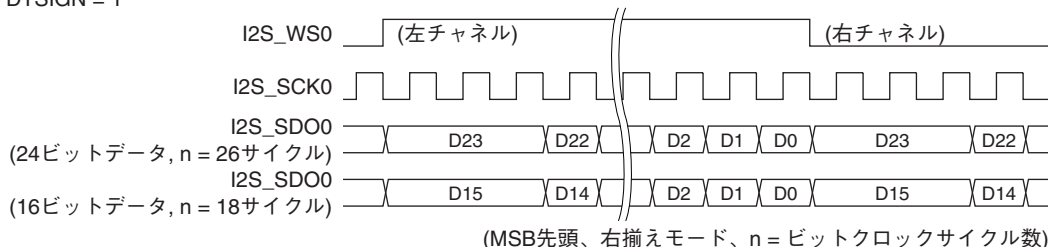
* **DTSIGN**: I²S CH.0 Signed/Unsigned Data Format Select Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D10/0x00301C00)

DTSIGNを0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D23またはD15)に設定されます。

DTSIGN = 0 (デフォルト)



DTSIGN = 1



(MSB先頭、右揃えモード、n = ビットクロックサイクル数)

図V.4.4.6 符号なしと符号付き形式

この設定は右揃えモードにのみ有効です。その他のモードでは、DTSIGNの設定にかかわらず、符号なしデータが出力されます。

データ出力タイミング

データ出力タイミングを、CH.0はDTTMG0[1:0](D[3:2]/pI2S_CONTRL_CH0レジスタ)、CH.1はDTTMG1[1:0](D[3:2]/pI2S_CONTRL_CH1レジスタ)を使用して選択します。

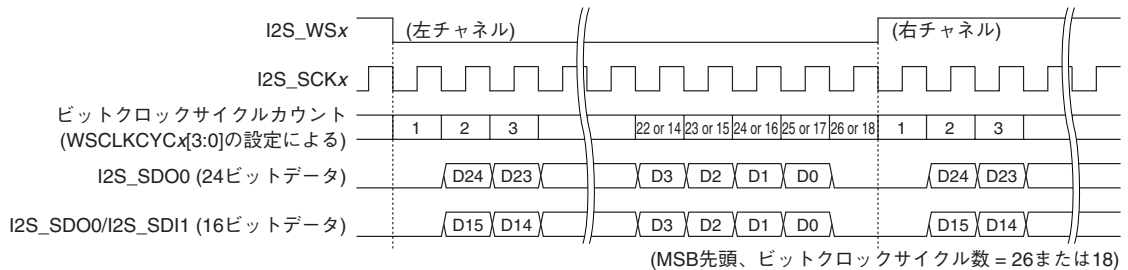
- * **DTTMG0[1:0]**: I²S CH.0 Output Data Timing Select Bits in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D[3:2]/0x00301C00)
- * **DTTMG1[1:0]**: I²S CH.1 Input Data Timing Select Bits in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D[3:2]/0x00301C04)

表V.4.4.4 データ入出力タイミング

DTTMGx[1:0]	データ入出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

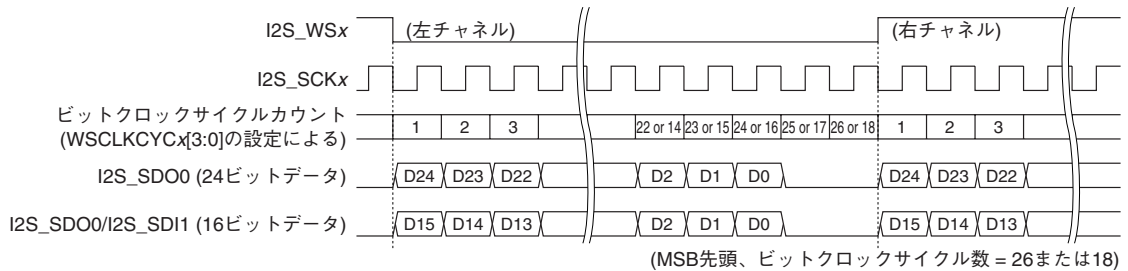
(デフォルト: 0x0)

DTTMGx[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。



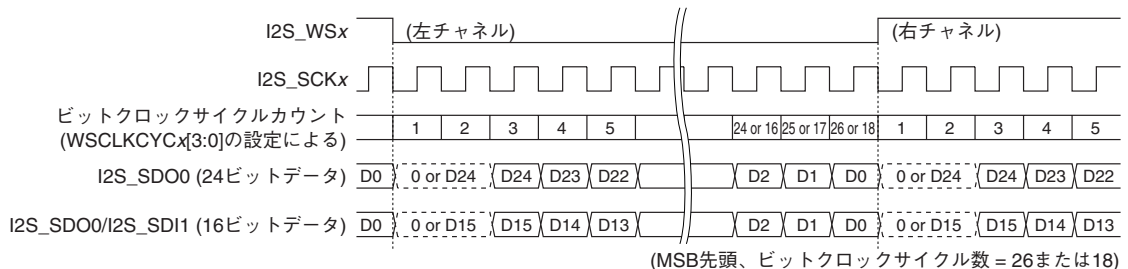
図V.4.4.7 データ入出力タイミング1(I²Sモード)

DTTMGx[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。



図V.4.4.8 データ入出力タイミング2(左揃えモード)

DTTMGx[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。



図V.4.4.9 データ入出力タイミング3(右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データビットサイズ + 2]以上に設定する必要があります。

I²Sモジュール内の割り込み条件設定

以下に、I²Sモジュールの割り込みモードの設定について説明します。ITC内の設定については、“V.4.7 I²S割り込み”を参照してください。

I²S出力(CH.0)の割り込みモード

I²S CH.0は4個の送信ステレオデータを格納可能なFIFO(24ビット×2チャンネル(L & R)×4)を内蔵しています。I²Sモジュールは、FIFOに書き込まれたデータを出力するために読み出した時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOへのデータの書き込みを要求します。I²S CH.0は、ハーフエンプティ割り込みモード、完全エンプティ割り込みモード、1データエンプティ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD0[1:0](D[3:2]/pI2S_INT_MODレジスタ)で選択します。また、I²S CH.0割り込みをI2SINTEN0(D0/pI2S_INT_MODレジスタ)で許可します。

* **I2SINTMD0[1:0]**: I²S CH.0 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D[3:2]/0x00301C18)

* **I2SINTEN0**: I²S CH.0 Interrupt Enable Bit in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D0/0x00301C18)

表V.4.4.5 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

(デフォルト: 0x0)

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット×2チャンネル(L & R)×2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1〜3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット×2チャンネル(L & R)×1)をFIFOに書き込む必要があります。

I²S入力(CH.1)の割り込みモード

I²S CH.1は4個の受信ステレオデータを格納可能なFIFO(24ビット×2チャンネル(L & R)×4)を内蔵しています。I²Sモジュールは、FIFOに受信データが書き込まれた時点で、割り込みを発生させることができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOからのデータの読み出しを要求します。I²S CH.1は、ハーフフル割り込みモード、完全フル割り込みモード、1データ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD1[1:0](D[7:6]/pI2S_INT_MODレジスタ)で選択します。また、I2SINTEN1(D4/pI2S_INT_MODレジスタ)を1に設定してI²S CH.1割り込みを許可します。

- * **I2SINTMD1[1:0]**: I²S CH.1 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D[7:6]/pI2S_INT_MOD)
- * **I2SINTEN1**: I²S CH.1 Interrupt Enable Bit in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D4/0x00301C18)

表V.4.4.6 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

(デフォルト: 0x0)

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)をFIFOから読み出す必要があります。

ハーフフル割り込みモード(デフォルト)

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2～3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(16または24ビット×2チャンネル(L & R)×2)をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1～3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(16または24ビット×2チャンネル(L & R)×1)をFIFOから読み出す必要があります。

V

I²S

V.4.5 データ出力の制御(CH.0)

以下、オーディオデータの出力方法を説明します。

1. 前節に示したとおり、I²Sの設定を行います。
2. 前節に示したとおり、割り込み条件の設定を行います。また、ITCレジスタの設定も必要です(後述)。
3. I2SEN0(D8/pI2S_CONTRL_CH0レジスタ)に1を書き込み、I²S CH.0の回路をOnします。
I²S CH.0はソースクロックの分周を開始します。

* **I2SEN0**: I²S Ch.0 Enable Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D8/0x00301C00)

4. 出力チャンネルモードをCHMD[1:0](D[1:0]/pI2S_CONTRL_CH0レジスタ)で設定します。

* **CHMD[1:0]**: I²S CH.0 Output Channel Mode Select Bits in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D[1:0]/0x00301C00)

表V.4.5.1 出力チャンネルモード

CHMD[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

5. FIFOに最初のオーディオデータを書き込みます。
FIFOへの出力データの書き込みには、24ビットのレジスタpI2S_FIFO_CH0(0x00301C20)を使用します。データサイズにかかわらず、最大4個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 4)をFIFOに書き込むことができます。オーディオデータの出力を開始する前に、最初の4個のステレオデータをFIFOに書き込んでください。

16ビットデータの場合は、16ビットメモリ書き込み(ld.h [%rb], %rs)または32ビットメモリ書き込み(ld.w [%rb], %rs)命令を使用してデータを書き込んでください。8ビットメモリ書き込み命令は、16ビットデータには使用できません。16ビットメモリ書き込み命令のFIFOアドレスは、左チャンネルは0x301c20(ld.h [0x20], %rs)、右チャンネルは0x301c22(ld.h [0x22], %rs)です。32ビットメモリ書き込み命令の場合は、1回のメモリアクセスで左と右両方のチャンネルデータが書き込まれ、FIFOアドレスは0x301c20(ld.w [0x20], %rs)です。

24ビットデータの場合は、32ビットメモリ書き込み(ld.w [%rb], %rs)命令を使用してデータを書き込んでください。8ビットおよび16ビットメモリ書き込み命令は、24ビットデータには使用できません。

最初に左チャンネルのデータ、次に右チャンネルのデータを書き込みます。出力チャンネルモードが“モノラル”の場合でも、左右チャンネルのデータのペアを書き込む必要があります。

4個のステレオデータがFIFOに書き込まれるとFIFOは満杯になり、I2SFIFOFF0フラグ(D1/pI2S_FIFO_STATUSレジスタ)が1にセットされます。この状態で更にpI2S_FIFO_CH0へのデータ書き込みを行うと、FIFO内の最新データが上書きされます。

* **I2SFIFOFF0**: I²S CH.0 FIFO Full Flag in the I²S FIFO Status (pI2S_FIFO_STATUS) Register (D1/0x00301C14)

6. I2SOUTEN(D4/pI2S_CONTRL_CH0レジスタ)に1を書き込み、I²S出力を許可します。

* **I2SOUTEN**: I²S CH.0 Output Enable Bit in the I²S CH.0 Control (pI2S_CONTRL_CH0) Register (D4/0x00301C00)

I2SOUTENが0の場合、I2S_MCLK_O、I2S_WS_O端子は0に固定されます。I2S_SDO端子は変化せず前の状態を保ちます。I2S_SCK_O端子は0(BCLKPOL0(D6/pI2S_CONTRL_CH0レジスタ) = 0の場合)または1(BCLKPOL0 = 1の場合)に固定されます。

I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。

* **BCLKPOL0**: I²S CH.0 Output Bit Clock Polarity Select Bit in the I²S CH.0 Control (pI2S_CTRL_CH0) Register (D6/0x00301C00)

7. I2SSTART0(D0/pI2S_STARTレジスタ)に1を書き込み、出力を開始させます。

* **I2SSTART0**: I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D0/0x00301C10)

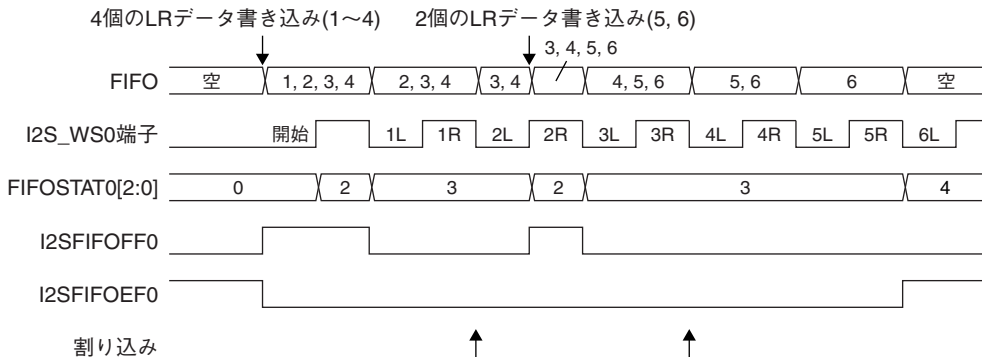
I2SSTART0を1に設定すると、FIFOから1個のデータ(L & R)がシフトレジスタにロードされ、I2S_WS信号に同期してシリアル出力を開始します。左チャンネルのデータからI2S_SCKクロックのエッジで順次シフトし出力されます。1データ(L & R)の出力が終了すると、次のデータがFIFOから取り出され、同じ動作を繰り返します。

FIFOから割り込みモードに従った数のデータが送信のために読み出されると、割り込みが発生します。ハーフエンプティ割り込みモード(デフォルト)では、FIFOから2個のステレオデータが読み出されると割り込みが発生しますので、続く2個のステレオデータ(24または16ビット×2チャンネル(L & R)×2)をFIFOに書き込みます。

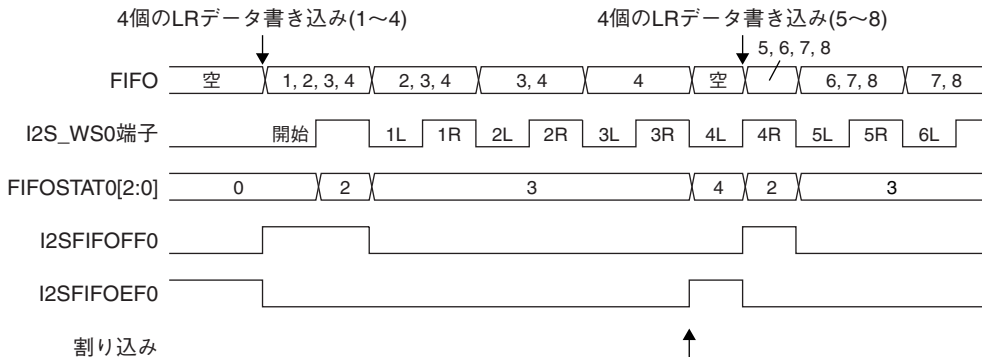
完全エンプティ割り込みモード(デフォルト)では、FIFOから全データ(4個のステレオデータ)が読み出されると割り込みが発生しますので、続く4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOに書き込みます。

1データエンプティ割り込みモードでは、FIFOから1個のステレオデータが読み出されると割り込みが発生しますので、続く1個のステレオデータ(24または16ビット×2チャンネル(L & R)×1)をFIFOに書き込みます。

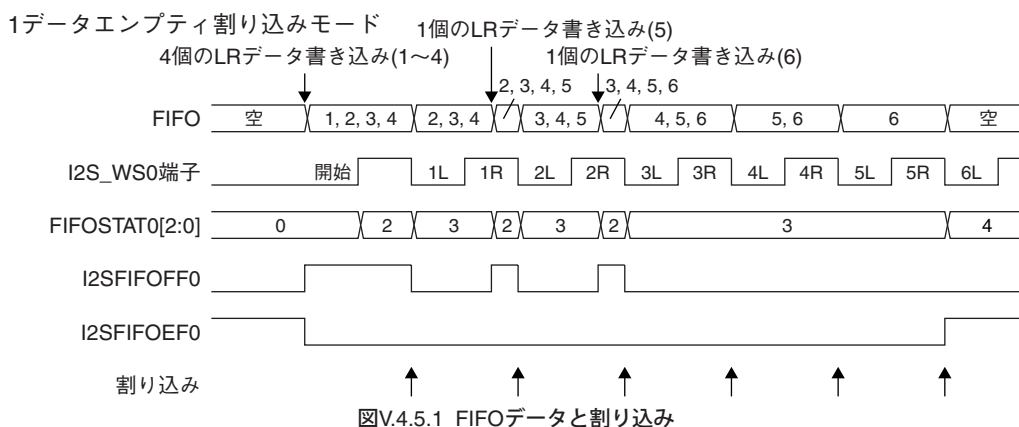
ハーフエンプティ割り込みモード



完全エンプティ割り込みモード



V 周辺モジュール3(インタフェース): I²Sインタフェース (I²S)



FIFOが空になると、I2SFIFOE0(D0/pI2S_FIFO_STATUSレジスタ)が1にセットされます。

* **I2SFIFOE0**: I²S CH.0 FIFO Empty Flag in the I²S FIFO Status (pI2S_FIFO_STATUS) Register (D0/0x00301C14)

FIFOにデータが書き込まれると、I2SFIFOE0は0にリセットされ、出力も継続します。

また、I²S CH.0にはFIFOの状態を表すステータスビットFIFOSTAT0[2:0](D[4:2]/pI2S_FIFO_STATUSレジスタ)が用意されています。

* **FIFOSTAT0[2:0]**: I²S CH.0 FIFO State Machine Bits in the I²S FIFO Status (pI2S_FIFO_STATUS) Register (D[4:2]/0x00301C14)

表V.4.5.2 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7~0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

(デフォルト: 0x0)

データ出力中はI2SBUSY0(D7/pI2S_STARTレジスタ)が1にセットされますので、このフラグの読み出しにより、出力状態を確認することができます。

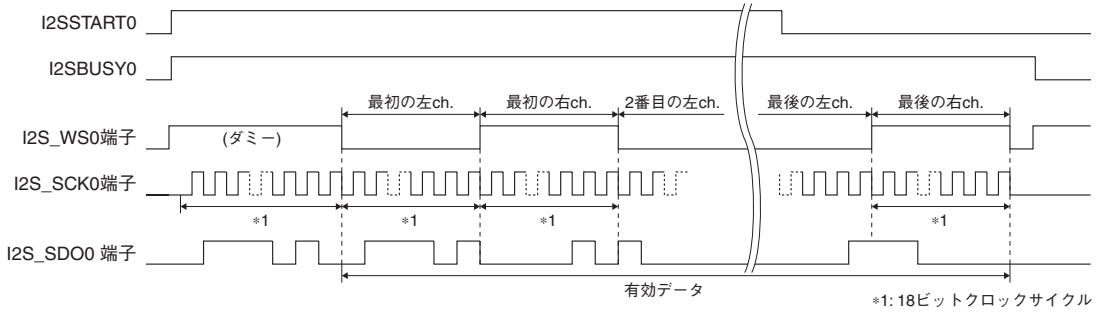
* **I2SBUSY0**: I²S CH.0 Busy Flag in the I²S Start/Stop (pI2S_START) Register (D7/0x00301C10)

- 出力をソフトウェアで停止させるには、I2SSTART0(D0/pI2S_STARTレジスタ)に0を書き込みます。I2SSTART0を0に設定すると、I²SモジュールはFIFO内の残りのデータをすべて出力後に停止します。I²Sモジュールが停止すると、I2SBUSY0が0にリセットされます。

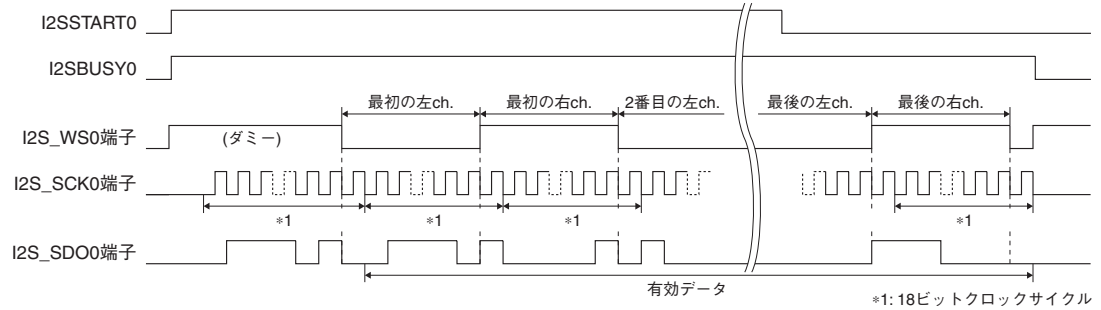
I2SOUTEN(D4/pI2S_CONTRL_CH0レジスタ)に0を書き込むと現在の出力を停止し、1を書き込むと出力を継続します。

出力の停止とI²S CH.0回路の無効化を同時に行うには、I2SSTART0(D0/pI2S_STARTレジスタ)に0を書き込んだ後、I2SBUSY0が0にリセットされるまで待ってください。その後、I2SEN0(D8/pI2S_CONTRL_CH0レジスタ)に0を書き込むことによってI²S CH.0回路を無効にできます。

左揃えまたは右揃えモード時



I²Sモード時



条件: DATRES0 = 0 (16ビットデータ)、CHMD[1:0] = 0x0 (ステレオ)、WCLKMD0 = 0 (左ch. = Low)、
BCLKPOL0 = 0 (立ち上がりエッジ)、WSCLKCYC0[3:0] = 0x2 (18クロック)

図V.4.5.2 データ出力タイミングチャート

* ミュートまたはモノラルモード選択時の出力

CHMD[1:0] (D[1:0]/pI2S_CONTRL_CH0レジスタ)でミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、FIFOエンプティによる割り込みも発生します。

出力中にCHMD[1:0]を変更した場合は、現在のL&Rデータの出力を終了後にモードが切り換わります。

V.4.6 データ入力制御(CH.1)

以下、オーディオデータの入力方法を説明します。

1. V.4.4節に示したとおり、I²Sの設定を行います。
2. V.4.4節に示したとおり、割り込み条件の設定を行います。また、ITCレジスタの設定も必要です(後述)。
3. I2SEN1(D0/pI2S_CONTRL_CH1レジスタ)に1を書き込み、I²S CH.1の回路をOnします。

* **I2SEN1**: I²S CH.1 Enable Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D0/0x00301C04)

4. I2SSTART1(D8/pI2S_STARTレジスタ)に1を書き込み、受信を開始させます。
これにより、I2S_WS_IとI2S_SCK_I端子からのクロック入力許可されます。

* **I2SSTART1**: I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D8/0x00301C10)

I²S CH.1は、I2S_WS_I入力クロックがWCLKMD1(D5/pI2S_CONTRL_CH1I2S_WS_Iレジスタ)で設定された左チャンネルのレベルになる、最初の立ち下がりまたは立ち上がりエッジでデータの受信を開始します。

* **WCLKMD1**: I²S CH.1 Input Word Clock Mode Select Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D5/0x00301C04)

データビットは、BCLKPOL1(D4/pI2S_CONTRL_CH1レジスタ)で指定されたI2S_SCK_I入力クロックの立ち上がりまたは立ち下がりエッジで受信用シフトレジスタに取り込まれます。

* **BCLKPOL1**: I²S CH.1 Input Bit Clock Polarity Select Bit in the I²S CH.1 Control (pI2S_CONTRL_CH1) Register (D4/0x00301C04)

16ビットデータの場合、シフトレジスタがデータを受信するたびに、受信用FIFOにロードされます。最初に受信した16ビットを左チャンネルデータ、続く16ビットを右チャンネルデータであると仮定します。

24ビットデータの場合、シフトレジスタがデータを受信するたびに、受信用FIFOにロードされます。最初に受信した24ビットを左チャンネルデータ、続く24ビットを右チャンネルデータであると仮定します。

FIFOには最大4個のステレオデータ(24または16ビット×2チャンネル(L&R)×4)を格納可能です。

シフトレジスタに32ビットのデータが取り込まれると、その受信データは最初に受信した16ビットを左チャンネルデータ、続く16ビットを右チャンネルデータとして受信用FIFOにロードされます。FIFOには最大4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)を格納可能です。

割り込みモードに従った数のデータがFIFOにロードされると、割り込みが発生します。

ハーフフル割り込みモード(デフォルト)では、2個のステレオデータをFIFOに受信すると、割り込みが発生します。この場合は、2個のステレオデータ(16または24ビット×2チャンネル(L & R)×2)をFIFOから読み出します。

完全フル割り込みモードでは、4個のステレオデータをFIFOに受信すると(FIFOが満杯になると)、割り込みが発生します。この場合は、4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)をFIFOから読み出します。

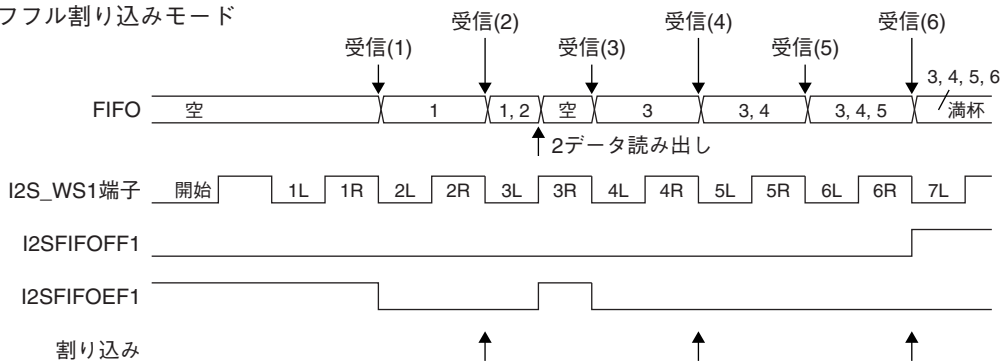
1データ割り込みモードでは、1個のステレオデータをFIFOに受信すると、割り込みが発生します。この場合は、1個のステレオデータ(16または24ビット×2チャンネル(L & R)×1)をFIFOから読み出します。

FIFOが満杯になると、I2SFIFOFF1フラグ(D9/pI2S_FIFO_STATUSレジスタ)が1にセットされます。これより1ワードクロックサイクル以内にFIFOを読み出さないと、FIFO内の最新のステレオデータが次の受信データで上書きされます。

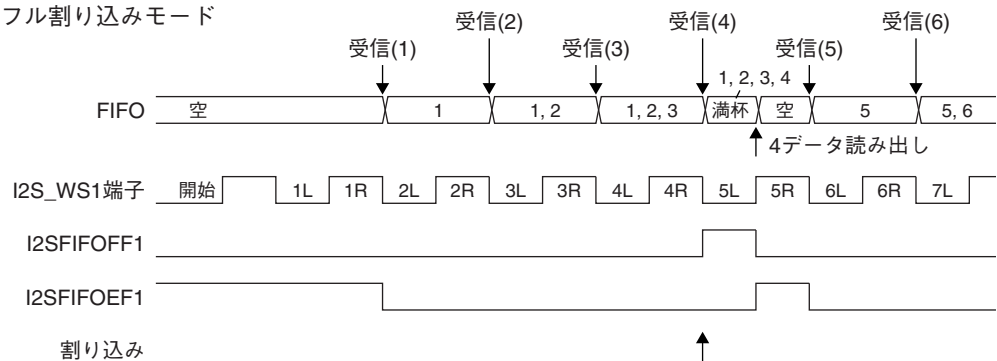
* **I2SFIFOFF1**: I²S CH.1 FIFO Full Flag in the I²S FIFO Status (pI2S_FIFO_STATUS) Register (D9/0x00301C14)

FIFOからデータが読み出されると、I2SFIFOFF1は0にリセットされます。

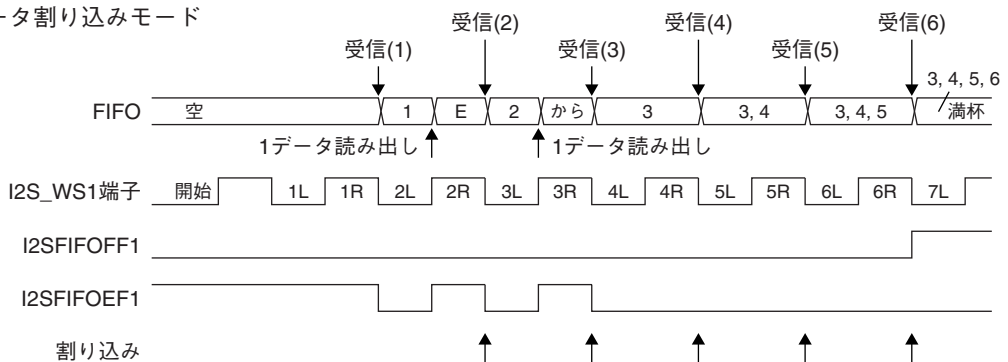
ハーフフル割り込みモード



完全フル割り込みモード



1データ割り込みモード



図V.4.6.1 FIFOデータと割り込み

5. 受信したオーディオデータをFIFOから読み出します。

上記の割り込みを利用して、受信データをpI2S_FIFO_CH1レジスタ(0x00301C30)から読み出します。

16ビットデータの場合、16ビットメモリ読み出し(1d.h %rd, [%rb])または32ビットメモリ読み出し(1d.w %rd, [%rb])命令を使用してFIFOからデータを読み出すことができます。8ビットメモリ読み出し命令は、16ビットデータには使用できません。16ビットメモリ読み出し命令のFIFOアドレスは、左チャンネルが0x301c30(1d.h %rd, [0x30])、右チャンネルが0x301c32(1d.h %rd, [0x32])です。32ビットメモリ読み出し命令の場合、1回のメモリアクセスで左と右両方のチャンネルデータが読み出され、FIFOアドレスは0x301c30(1d.w %rd, [0x30])です。

24ビットデータの場合、32ビットメモリ読み出し(1d.w %rd, [%rb])命令を使用してFIFOからデータを読み出すことができます。8ビットおよび16ビットメモリ読み出し命令は、24ビットデータには使用できません。

左右チャンネルのデータをペアとして読み出してください。最初の読み出しは左チャンネルのデータ、次の読み出しは右チャンネルのデータです。

読み出しによりFIFOが空になると、I2SFIFOEF1(D8/pI2S_FIFO_STATUSレジスタ)が1にセットされます。

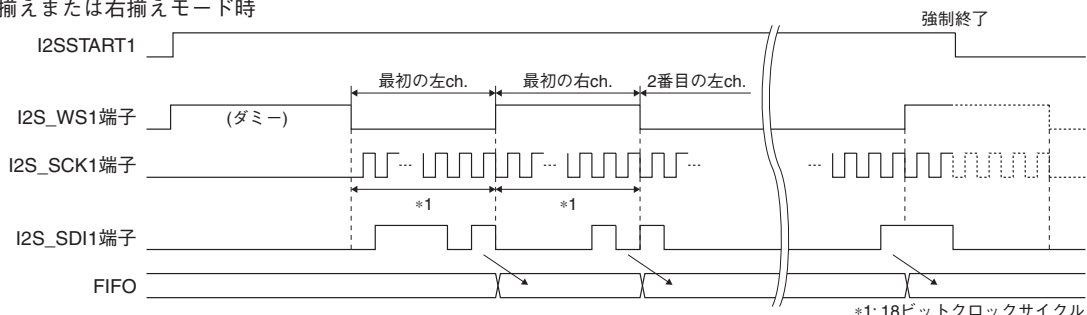
V 周辺モジュール3(インタフェース): I²Sインタフェース(I²S)

* **I2SFIFOEF1**: I²S CH.1 FIFO Empty Flag in the I²S FIFO Status (pl2S_FIFO_STATUS) Register (D8/0x00301C14)

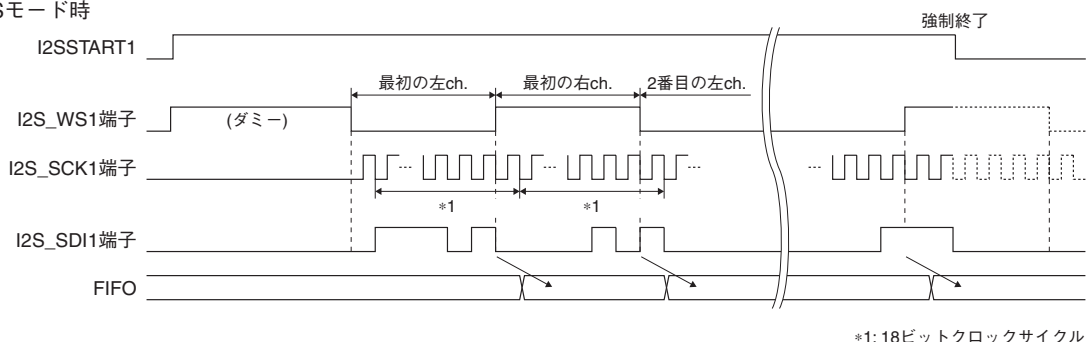
6. 入力を中止させるには、I2SSTART1 (D8/pI2S_STARTレジスタ)に0を書き込みます。
I2SSTART1を0に設定すると、I²Sモジュールはデータ入力を即時に停止します。これ以降、外部I²Sデバイスから送られるデータは無視されます。

7. 最後にI2SEN1 (D0/pI2S_CONTRL_CH1レジスタ)に0を書き込んでI²S CH.1回路をOffします。

左揃えまたは右揃えモード時



I²Sモード時



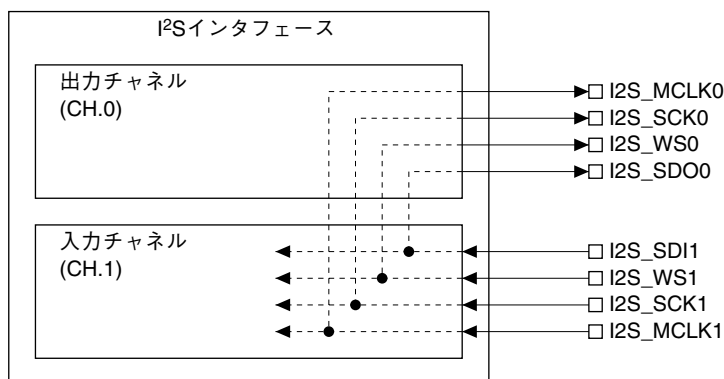
条件: WCLKMD1 = 0 (左ch. = Low)、BCLKPOL1 = 0 (立ち上がりエッジ)、WSCLKCYC1[3:0] = 0x2 (18クロック)

図V.4.6.2 データ入力タイミングチャート

I²Sバイパスモード

I²Sモジュールにはバイパスモードが用意されています。このモードでは、I2S_MCLK_I、I2S_SCK_I、I2S_WS_I、およびI2S_SDI端子から入力した各信号が、そのままI2S_MCLK_O、I2S_SCK_O、I2S_WS_O、およびI2S_SDO端子から出力されます。I²Sモジュールをバイパスモードにするには、I2SBYPASS (D1/pI2S_CONTRL_CH1レジスタ)を1に設定します。I2SBYPASSが0(デフォルト)の場合、I²S CH.0とI²S CH.1はそれぞれ個別に使用可能です。

* **I2SBYPASS**: I²S Bypass Mode Select Bit in the I²S CH.1 Control (pl2S_CONTRL_CH1) Register (D1/0x00301C04)



図V.4.6.3 バイパスモード

V.4.7 I²S割り込み

I²Sモジュールには、以下の2種類の割り込みを発生させる機能があります。

- I²S FIFOエンプティ割り込み(CH.0)
- I²S FIFOフル割り込み(CH.1)

I²S FIFOエンプティ割り込み(CH.0)

I²S CH.0は4個の送信ステレオデータを格納可能なFIFO(24ビット × 2チャンネル(L & R) × 4)を内蔵しています。I²Sモジュールは、FIFOに書き込まれたデータを出力するために読み出した時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOへのデータの書き込みを要求します。I²S CH.0は、ハーフエンプティ割り込みモード、完全エンプティ割り込みモード、1データエンプティ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD0[1:0] (D[3:2]/pI2S_INT_MODレジスタ)で選択します。また、I²S FIFOエンプティ割り込みはI2SINTEN0 (D0/pI2S_INT_MODレジスタ)を1に設定することにより許可されます。

- * **I2SINTMD0[1:0]**: I²S CH.0 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D[3:2]/0x00301C18)
- * **I2SINTEN0**: I²S CH.0 Interrupt Enable Bit in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D0/0x00301C18)

表V.4.7.1 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

(デフォルト: 0x0)

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1〜3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット × 2チャンネル(L & R) × 1)をFIFOに書き込む必要があります。

注: I²S CH.0からの転送開始時は(I2SSTART0を1に設定して出力を開始するとき)、割り込みモード(I2SINTMD0[1:0])にかかわらず、FIFOに4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)を書き込んでください。

- 割り込みを許可する前にFIFOに書き込む場合
FIFOに4個のステレオデータを書き込み後、割り込みを許可します。FIFOエンプティ割り込みが発生した場合は設定した割り込みモードに合わせ、割り込み処理ルーチン内で1個、2個または4個のステレオデータをFIFOに書き込みます。
- 割り込みを許可した後にFIFOに書き込む場合
先に割り込みを許可し、割り込み処理ルーチン内でFIFOにデータを書き込むこともできます。ただし、最初の割り込み処理ルーチンの実行時は、FIFOに4個のステレオデータを書き込む必要があります。それ以降の割り込み処理ルーチンの実行時は、設定した割り込みモードに合わせ、1個、2個または4個のステレオデータをFIFOに書き込みます。

I²S FIFOフル割り込み(CH.1)

I²S CH.1は4個の受信ステレオデータを格納可能なFIFO(16または24ビット×2チャンネル(L & R)×4)を内蔵しています。I²Sモジュールは、FIFOに受信データが書き込まれた時点で、割り込みを発生させることができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOからのデータの読み出しを要求します。I²S CH.1は、ハーフフル割り込みモード、完全フル割り込みモード、1データ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD1[1:0](D[7:6]/pI2S_INT_MODレジスタ)で選択します。また、I²S FIFOフル割り込みはI2SINTEN1(D1/pI2S_INT_MODレジスタ)を1に設定することにより許可されます。

* **I2SINTMD1[1:0]**: I²S CH.1 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D[7:6]/0x00301C18)

* **I2SINTEN1**: I²S CH.1 Interrupt Enable Bit in the I²S Interrupt Mode Select (pI2S_INT_MOD) Register (D4/0x00301C18)

表V.4.7.2 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

(デフォルト: 0x0)

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)をFIFOから読み出す必要があります。

ハーフフル割り込みモード(デフォルト)

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(16または24ビット×2チャンネル(L & R)×2)をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(16または24ビット×2チャンネル(L & R)×1)をFIFOから読み出す必要があります。

I²S割り込み用ITCレジスタ

表V.4.7.3に、各I²S割り込み用のITC制御レジスタを示します。

表V.4.7.3 ITCレジスタ

割り込み要因	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
I ² S FIFOエンプティ	FI2SO (D2/ pINT_FI2S)	EI2SO (D2/ pINT_EI2S)	PI2SO [2:0] (D[2:0]/ pINT_PI2S)
I ² S FIFOフル	FI2SI (D6/ pINT_FI2S)	EI2SI (D6/ pINT_EI2S)	PI2SI [2:0] (D[6:4]/ pINT_PI2S)

pINT_FI2S register (0x3002AA)

pINT_EI2S register (0x3002A7)

pINT_PI2S register (0x3002A4)

I²Sモジュールが割り込み信号を出力すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C33PEコアに送ります。I²Sによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み信号によって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、I²S FIFOエンプティ割り込みの優先順位が高く、I²S FIFOフル割り込みが低い順位となります。

S1C33PEコアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C33PEコア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²S割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ (ITC)”を参照してください。

割り込みベクタ

I²S割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表V.4.7.4 I²S割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
I ² S FIFOエンプティ	94 (0x5e)	TTBR + 0x178
I ² S FIFOフル	98 (0x62)	TTBR + 0x188

V.4.8 制御レジスタ詳細

表V.4.8.1 I²Sレジスタ一覧

アドレス	レジスタ名	機 能
0x00301C00	pl2S_CONTRL_CH0	I ² S CH.0 Control Register
0x00301C04	pl2S_CONTRL_CH1	I ² S CH.1 Control Register
0x00301C08	ppl2S_DV_MCLK_RATIO	I ² S MCLK Divide Ratio Register
0x00301C0C	pl2S_DV_LRCLK_RATIO	I ² S Audio Clock Divide Ratio Register
0x00301C10	pl2S_START	I ² S Start/Stop Register
0x00301C14	pl2S_FIFO_STATUS	I ² S FIFO Status Register
0x00301C18	pl2S_INT_MOD	I ² S Interrupt Mode Select Register
0x00301C20	pl2S_FIFO_CH0	I ² S CH.0 FIFO Register
0x00301C30	pl2S_FIFO_CH1	I ² S CH.1 FIFO Register

以下に、各I²Sレジスタについて説明します。これらはすべて32ビットレジスタです。

pI2S_FIFO_CH0には、データサイズごとに16ビットまたは32ビット書き込み命令による書き込みが可能です。pI2S_FIFO_CH1には、データサイズごとに16ビットまたは32ビット読み出し命令による読み出しが可能です。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x00301C00: I²S CH.0 Control Register (pI2S_CONTRL_CH0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S CH.0 Control Register (pI2S_CONTRL_CH0)	0x00301C00 (32 bits)	D31–11	–	reserved	–	–	–	0 when being read.
		D10	DTSIGN	I ² S CH.0 signed/unsigned data format select	1 Signed 0 Unsigned	0	R/W	
		D9	DATRES0	I ² S CH.0 output data resolution select	1 24 bits 0 16 bits	0	R/W	
		D8	I2SEN0	I ² S CH.0 enable	1 Enable 0 Disable	0	R/W	
		D7	WCLKMD0	I ² S CH.0 output word clock mode select	1 L: high R: low 0 L: low R: high	0	R/W	
		D6	BCLKPOLO	I ² S CH.0 output bit clock polarity select	1 Negative 0 Positive	0	R/W	
		D5	DTFORM	I ² S CH.0 output data format select	1 LSB first 0 MSB first	0	R/W	
		D4	I2SOUTEN	I ² S CH.0 output enable	1 Enable 0 Disable	0	R/W	
		D3–2	DTTMG0 [1:0]	I ² S CH.0 output data timing select	DTTMG0[1:0] 0x3 reserved 0x2 Right justified 0x1 Left justified 0x0 I ² S	0x0	R/W	
		D1–0	CHMD[1:0]	I ² S CH.0 output channel mode select	CHMD[1:0] 0x3 Mute 0x2 Mono left 0x1 Mono right 0x0 Stereo	0x0	R/W	

注: I2SSTART0(D0/pI2S_STARTレジスタ)を設定してI²S CH.0からのデータ出力を開始する前に、本レジスタによりすべてのデータ転送条件を設定してください。

D[31:11] Reserved

D10 DTSIGN: I²S CH.0 Signed/Unsigned Data Format Select Bit

右揃えモード時のデータ形式を選択します。

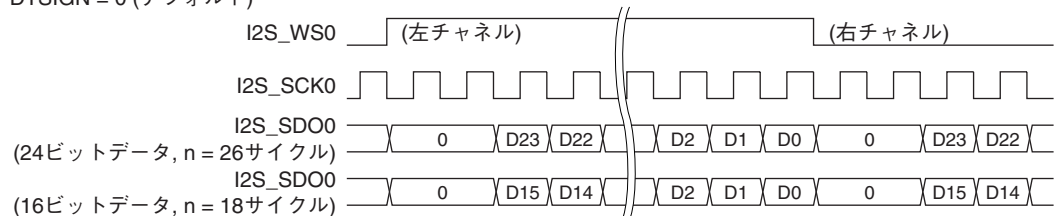
1(R/W): 符号付き

0(R/W): 符号なし(デフォルト)

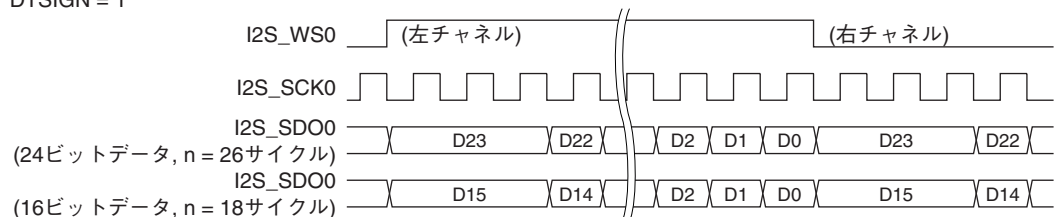
DTSIGNを0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D23またはD15)に設定されます。

この設定は右揃えモードにのみ有効です。その他のモードでは、DTSIGNの設定にかかわらず、符号なしデータが出力されます。

DTSIGN = 0 (デフォルト)



DTSIGN = 1



(MSB先頭、右揃えモード、n = ビットクロックサイクル数)

図V.4.8.1 符号なしと符号付き形式

D9 DATRES0: I²S CH.0 Output Data Resolution Select Bit

I²S CH.0から出力するオーディオデータの解像度を選択します。

1(R/W): 24ビット

0(R/W): 16ビット(デフォルト)

DATRES0が0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。

D8 I2SEN0: I²S CH.0 Enable Bit

I²S CH.0の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SEN0を1に設定するとI²S CH.0が動作を開始し、データ転送が行える状態になります。

I2SEN0を0に設定すると、I²S CH.0は動作を停止します。

D7 WCLKMD0: I²S CH.0 Output Word Clock Mode Select Bit

I2S_WS信号のレベルとチャンネルの対応を設定します。

1(R/W): High = 左チャンネル、Low = 右チャンネル

0(R/W): High = 右チャンネル、Low = 左チャンネル(デフォルト)

WCLKMD0 = 0 (デフォルト)



WCLKMD0 = 1



図V.4.8.2 ワードクロックモードの選択

D6 BCLKPOL0: I²S CH.0 Output Bit Clock Polarity Select Bit

ビットクロックの極性を選択します。

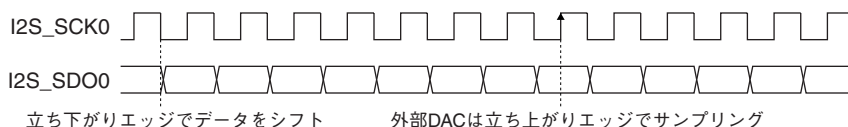
1(R/W): 負極性

0(R/W): 正極性(デフォルト)

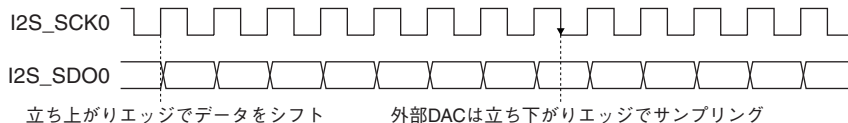
BCLKPOL0が0の場合、I2S_SDO出力はI2S_SCK(ビットクロック)の立ち下がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち上がりエッジでサンプリングできます。

BCLKPOL0を1に設定すると、I2S_SDO出力はI2S_SCKの立ち上がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち下がりエッジでサンプリングできます。

BCLKPOL0 = 0 (デフォルト)



BCLKPOL0 = 1



図V.4.8.3 ビットクロック極性の選択

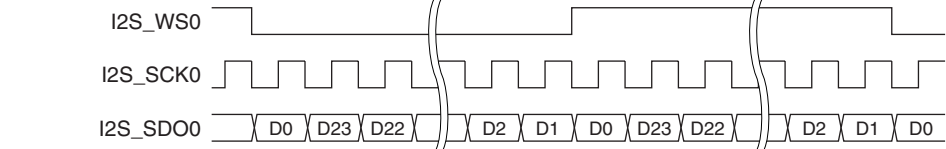
D5 DTFORM: I²S CH.0 Output Data Format Select Bit

データのMSBとLSBのどちらを先に出力するか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

DTFORM = 0 (デフォルト)



DTFORM = 1

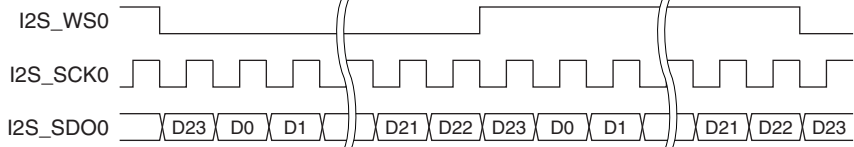


図 V.4.8.4 データ形式の選択

D4 I2SOUTEN: I²S CH.0 Output Enable Bit

I²S CH.0信号の出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SOUTENが0の場合、I2S_MCLK_O、I2S_WS_O端子は0に固定されます。I2S_SDO端子は変化せずに前の状態を保ちます。I2S_SCK端子は0(BCLKPOL0(D6pI2S_CONTRL_CH0レジスタ) = 0の場合)または1(BCLKPOL0 = 1の場合)に固定されます。

I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。

D[3:2] DTTMG0[1:0]: I²S CH.0 Output Data Timing Select Bits

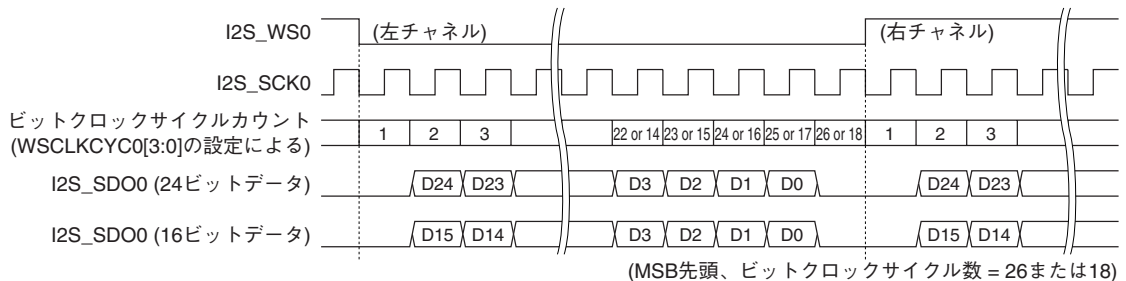
データビットの出力タイミングを選択します。

表V.4.8.2 データ出力タイミング

DTTMG0[1:0]	データ出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト: 0x0)

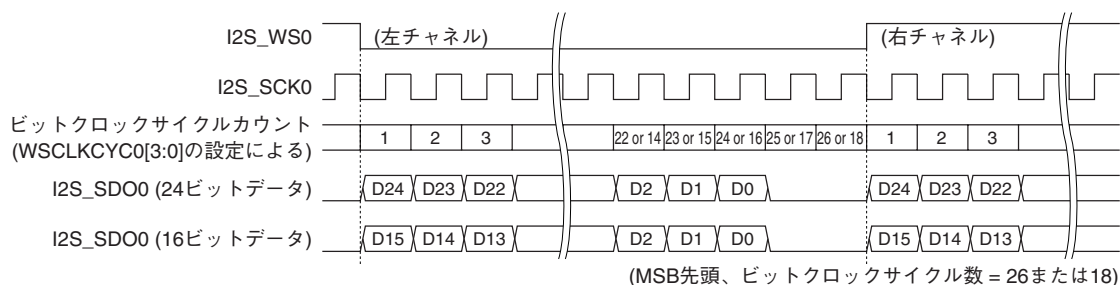
DTTMG0[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。



図V.4.8.5 データ出力タイミング1 (I²Sモード)

V 周辺モジュール3(インタフェース): I²Sインタフェース(I²S)

DTTMG0[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。



図V.4.8.6 データ出力タイミング2(左揃えモード)

DTTMG0[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。

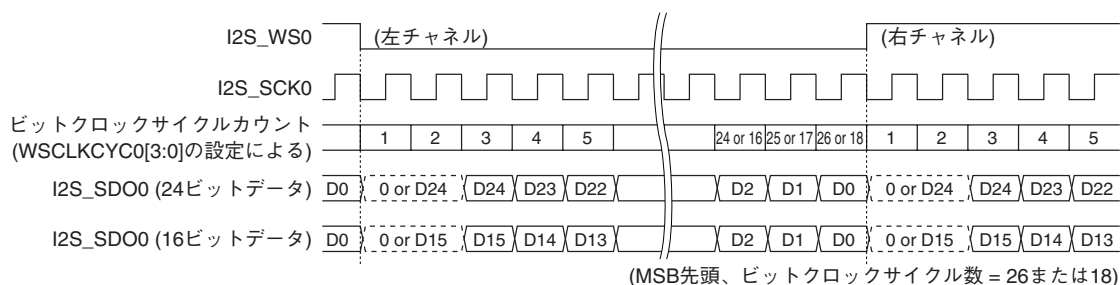


図 V.4.8.7 データ出力タイミング3(右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データサイズ + 2]以上に設定する必要があります。

D[1:0] CHMD[1:0]: I²S CH.0 Output Channel Mode Select Bits

I²S CH.0の出力チャンネルモードを選択します。

表V.4.8.3 出力チャンネルモード

CHMD[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

ミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、割り込みも発生します。

0x00301C04: I²S CH.1 Control Register (pI2S_CTRL_CH1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S CH.1 Control Register (pI2S_CTRL_CH1)	0x00301C04 (32 bits)	D31-7	—	reserved	—	—	—	0 when being read.
		D6	I2SBYPASS	I ² S bypass mode select	1 Bypass 0 Normal	0	R/W	
		D5	WCLKMD1	I ² S CH.1 input word clock mode select	1 L: high R: low 0 L: low R: high	0	R/W	
		D4	BCLKPOL1	I ² S CH.1 input bit clock polarity select	1 Negative 0 Positive	0	R/W	
		D3-2	DTTMG1 [1:0]	I ² S CH.1 input data timing select	DTTMG1[1:0] 0x3 reserved 0x2 Right justified 0x1 Left justified 0x0 I ² S	0x0	R/W	
		D1	DATRES1	I ² S CH.1 input data resolution select	1 24 bits 0 16 bits	0	R/W	
		D0	I2SEN1	I ² S CH.1 enable	1 Enable 0 Disable	0	R/W	

注: I2SSTART1 (D8/pI2S_STARTレジスタ)を設定してI²S CH.1へのデータ入力を開始する前に、本レジスタによりすべてのデータ転送条件を設定してください。

D[31:7] Reserved**D6 I2SBYPASS: I²S Bypass Mode Select Bit**

I²Sバイパスモードを選択します。

1 (R/W): バイパスモード

0 (R/W): 通常モード(デフォルト)

I2Sモジュールをバイパスモードに設定するときはI2SBYPASSを1に設定してください。このモードでは、I2S_MCLK_I、I2S_SCK_I、I2S_WS_IおよびI2S_SDI端子から入力した信号をそれぞれ、I2S_MCLK_O、I2S_SCK_O、I2S_WS_OおよびI2S_SDO端子からそのまま出力することができます。I2SBYPASSが0のとき(デフォルト)、I²S CH.0とI²S CH.1は個別に使用することができます。

D5 WCLKMD1: I²S CH.1 Input Word Clock Mode Select Bit

I2S_WS入力信号のレベルとチャネルの対応を設定します。

1 (R/W): High = 左チャネル、Low = 右チャネル

0 (R/W): High = 右チャネル、Low = 左チャネル(デフォルト)

WCLKMD1 = 0 (デフォルト)

I2S_WS1 (左チャネル) (右チャネル)

WCLKMD1 = 1

I2S_WS1 (左チャネル) (右チャネル)

図V.4.8.8 ワードクロックモードの選択

D4 BCLKPOL1: I²S CH.1 Input Bit Clock Polarity Select Bit

ビットクロックの極性を選択します。

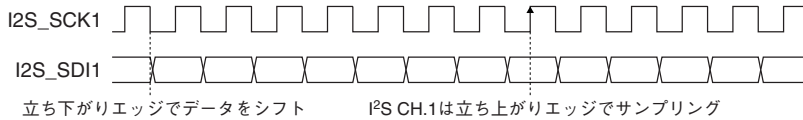
1(R/W): 負極性

0(R/W): 正極性(デフォルト)

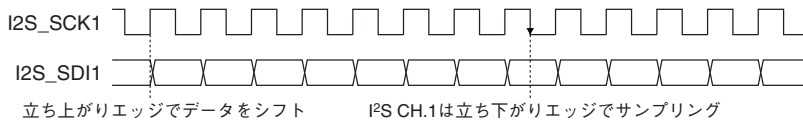
BCLKPOL1が0の場合、I2S_SDI入力はI2S_SCK(ビットクロック)の立ち下がりエッジで変化し、I²S CH.1はデータビットをI2S_SCKの立ち上がりエッジでサンプリングします。

BCLKPOL1を1に設定すると、I2S_SDI入力はI2S_SCKの立ち上がりエッジで変化し、I²S CH.1はデータビットをI2S_SCKの立ち下がりエッジでサンプリングします。

BCLKPOL1 = 0 (デフォルト)



BCLKPOL1 = 1



図V.4.8.9 ビットクロック極性の選択

D[3:2] DTTMG1[1:0]: I²S CH.1 Input Data Timing Select Bits

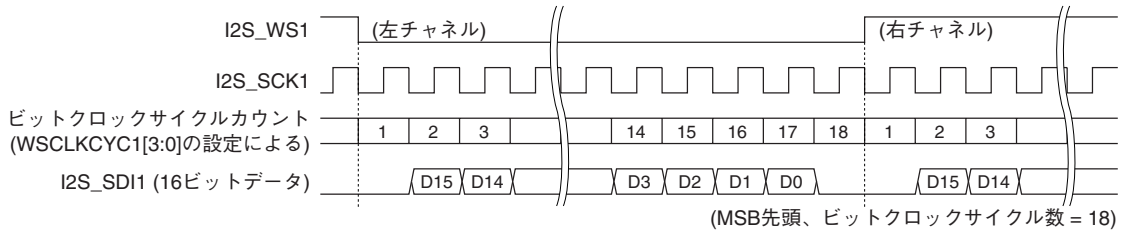
データビットの入力タイミングを選択します。

表V.4.8.4 データ入力タイミング

DTTMG1[1:0]	データ入力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

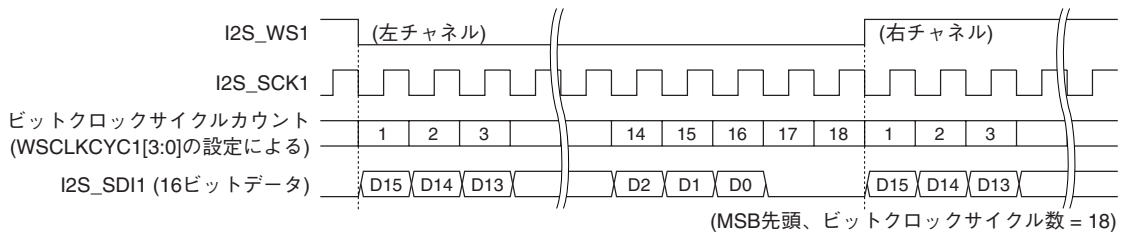
(デフォルト: 0x0)

DTTMG1[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて入力されます。



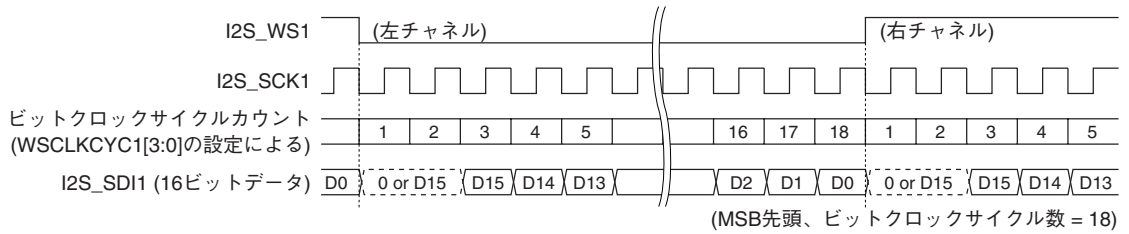
図V.4.8.10 データ入力タイミング1(I²Sモード)

DTTMG1[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの入力を開始します。



図V.4.8.11 データ入力タイミング2(左揃えモード)

DTTMG1[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、入力データがI2S_WS信号のエッジに右揃えになります。



D1 DATRES1: I²S Ch.1 input Data Resolution select Bit

I²S CH.1の入力オーディオデータの解像度を選択します。

1(R/W): 24ビット

0(R/W): 16ビット(デフォルト)

DATRES1を0(デフォルト)に設定すると16ビットが選択されます。1に設定すると24ビットが選択されます。

D0 I2SEN1: I²S CH.1 Enable Bit

I²S CH.1の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SEN1を1に設定するとI²S CH.1が動作を開始し、データ転送が行える状態になります。

I2SEN1を0に設定すると、I²S CH.1は動作を停止します。

0x00301C08: I²S MCLK Divide Ratio Register (pI2S_DV_MCLK_RATIO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S MCLK Divide Ratio Register (pI2S_DV_MCLK_RATIO)	0x00301C08 (32 bits)	D31-16	—	reserved	—	—	—	0 when being read.
		D15	MCLKSEL	I ² S_MCLK source clock select	1 I2S_MCLK_EXT 0 System clock	0	R/W	
		D14-6	—	reserved	—	—	—	0 when being read.
		D5-0	MCLKDIV[5:0]	I ² S_MCLK divide ratio select	MCLKDIV[5:0] I ² S_MCLK 0x3f MCLK•1/64 0x3e MCLK•1/63 0x3d MCLK•1/62 ⋮ 0x2 MCLK•1/3 0x1 MCLK•1/2 0x0 MCLK•1/1	0x0	R/W	

D[31:16] Reserved**D15 MCLKSEL: I2S_MCLK Source Clock Select Bit**

I²S CH.0のマスタクロック (I2S_MCLK_O)を生成するためのソースクロックを選択します。

1(R/W): I2S_MCLK_EXT端子の入力クロック

0(R/W): システムクロック (MCLK) (デフォルト)

MCLKSELが0(デフォルト)の場合、I²SモジュールはMCLKを分周してマスタクロック (I2S_MCLK)を生成します。MCLKSELを1に設定すると、I²S CH.0はI2S_MCLK_EXT端子から入力した外部クロックをマスタクロックとして使用します。

D[14:6] Reserved**D[5:0] MCLKDIV[5:0]: I2S_MCLK Divide Ratio Select Bits**

I2S_MCLK_O端子から出力するI²Sマスタクロック (I2S_MCLK)を設定します。

I²Sモジュールは動作クロック (CMUが生成したMCLK)を分周して、I2S_MCLKを生成します。この分周比をMCLKDIV[5:0]で指定します。

表V.4.8.5 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	MCLK•1/64
0x3e	MCLK•1/63
0x3d	MCLK•1/62
⋮	⋮
0x2	MCLK•1/3
0x1	MCLK•1/2
0x0	MCLK•1/1

(デフォルト: 0x0)

0x00301C0C: I²S Audio Clock Divide Ratio Register (pI²S_DV_LRCLK_RATIO)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
I ² S Audio Clock Divide Ratio Register (I ² S_DV_AUDIO_CLK)	0x00301C0C (32 bits)	D31–21	Reserved	–	–		–	–	0 when being read.
		D20–16	WSCLKCYC1[4:0]	I ² S CH.1 WS clock cycle setup	0x1x 0x0f ... 0x00	32 clocks 31 clocks ... 16 clocks	0	R/W	
		D15–D13	Reserved	–	–		–	–	0 when being read.
		D12–8	WSCLKCYC0[4:0]	I ² S CH.0 WS clock cycle setup	0x1x 0x0f ... 0x00	32 clocks 31 clocks ... 16 clocks	0	R/W	
		D7–0	BCLKDIV[7:0]	I ² S CH.0 bit clock divide ratio select	0xff 0xfe ... 0x0	SRC_CLK*1/512 SRC_CLK*1/510 ... SRC_CLK*1/2	0	R/W	SRC_CLK: MCLK or I ² S_MCLK_EXT input clock

D[31:21] **Reserved**

D[20:16] WSCLKCYC1[4:0]: I²S CH.1 WS Clock Cycle Setup Bits

I²S CH.1はサンプリングクロックをI²S_WS_I端子から入力します。そのクロック周期をビットクロックサイクル数をWSCLKCYC1[3:0]に設定して指定します。WSCLKCYC0[3:0]の説明を参照してください。

D[15:13] **Reserved**

D[12:8] WSCLKCYC0[4:0]: I²S CH.0 WS Clock Cycle Setup Bits

サンプリングクロック (I²S_WS信号)の周期を指定します。

I²S CH.0はBCLKDIV[7:0](D[7:0])で設定されたビットクロックをカウントして、I²S_WS_O端子から出力するサンプリングクロックを生成します。I²S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[4:0]で指定します。

表V.4.8.6 サンプリングクロック周期の設定

WSCLKCYC _x [3:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1x	32クロック
0x0f	31クロック
0x0e	30クロック
0x0d	29クロック
0x0c	28クロック
0x0b	27クロック
0x0a	26クロック
0x09	25クロック
0x08	24クロック
0x07	23クロック
0x06	22クロック
0x05	21クロック
0x04	20クロック
0x03	19クロック
0x02	18クロック
0x01	17クロック
0x00	16クロック

(デフォルト: 0x0)

V 周辺モジュール3(インタフェース): I²Sインタフェース(I²S)

サンプリングクロック周波数は、次の式で計算できます。

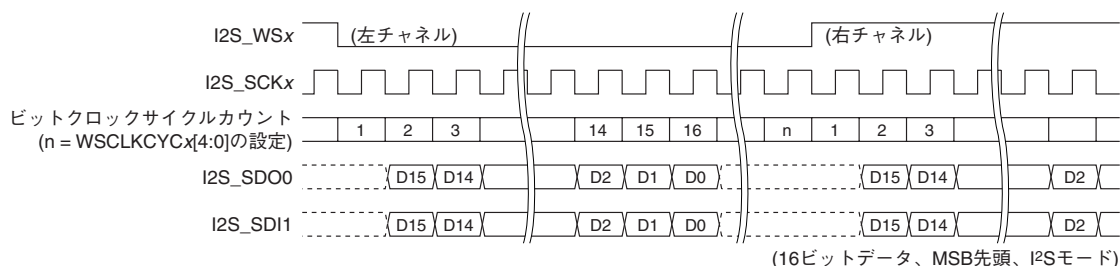
$$f_s = \frac{f_{I2S\_SCK}}{n \times 2} \text{ [Hz]}$$

f_s : サンプリングクロック周波数[Hz]

f_{I2S_SCK} : ビットクロック周波数[Hz](CH.0: 表V.4.8.7参照、CH.1: I2S_SCK_I入力クロック周波数)

n : WSCLKCYC x [3:0]で選択したビットクロック数(表V.4.8.6参照)

注: WSCLKCYC x [4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(24または16ビット)と同じか、それより大きい値である必要があります。



図V.4.8.13 サンプリングクロック周期

D[7:0] BCLKDIV[7:0]: I²S CH.0 Bit Clock Divide Ratio Select Bits

出力するビットクロックを設定します。

I²SモジュールはI2S_MCLK生成用に選択されたソースクロックを分周して、I²S CH.0のI2S_SCK_O端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0]で指定します。

表 V.4.8.7 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック (I2S_SCK_O)
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
⋮	⋮
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

(SRC_CLK = MCLKまたはI2S_MCLK_EXT 入力クロック、デフォルト: 0x0)

I²S CH.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S\_SCK\_O} = \frac{f_{SRC\_CLK}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

$f_{I2S\_SCK\_O}$: I²S CH.0ビットクロック周波数[Hz]

f_{SRC_CLK} : MCLKまたはI2S_MCLK_EXT入力クロック周波数[Hz]

BCLKDIV: BCLKDIV[7:0]設定値(0x0~0xff)

I²S CH.1はI2S_SCK_I端子から入力したビットクロックを使用しますので、上記の設定はCH.1には適用されません。

0x00301C10: I²S Start/Stop Register (pl2S_START)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Start/Stop Register (pl2S_START)	0x00301C10 (32 bits)	D31-9	—	reserved	—	—	—	0 when being read.
		D8	I2SSTART1	I ² S CH.1 start/stop control	1 Start 0 Stop	0	R/W	
		D7	I2SBUSY0	I ² S CH.0 busy flag	1 Busy 0 Idle	0	R	
		D6-1	—	reserved	—	—	—	0 when being read.
		D0	I2SSTART0	I ² S CH.0 start/stop control	1 Start (run) 0 Stop	0	R/W	

D[31:9] Reserved**D8 I2SSTART1: I²S CH.1 Start/Stop Control Bit**

I²S CH.1のデータ受信を開始/停止します。

1(R/W): 開始

0(R/W): 停止(デフォルト)

I2SSTART1に1を書き込むと、I2S_SDI端子からのシリアルデータ受信を開始します。

I2SSTART1に0を書き込むと、I²S CH.1はデータ入力を即時に停止します。これ以降、外部I²Sデバイスから送られるデータは無視されます。本ビットの読み出し値は、I²S CH.1がデータ受信中の場合は1、受信時以外は0となります。

D7 I2SBUSY0: I²S CH.0 Busy Flag

I²Sモジュールのデータ出力状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

I²S CH.0がデータ出力を開始すると、I2SBUSY0が1にセットされ、出力中は1を保持します。出力動作が終了すると、0にクリアされます。

D[6:1] Reserved**D0 I2SSTART0: I²S CH.0 Start/Stop Control Bit**

I²S CH.0のデータ出力を開始/停止します。

1(R/W): 開始

0(R/W): 停止(デフォルト)

I2SSTART0に1を書き込むと、I2S_SDO端子からのシリアルデータ送信を開始します。

I2SSTART0に0を書き込むと、I²S CH.0はFIFO内の残りのデータをすべて出力後に停止します。

I2SSTART0を0に設定後は、FIFOに新たな転送データを書き込むことはできません。

注: I2SSTART0が1の場合は、pl2S_DV_MCLK_RATIOレジスタ (0x00301C08) と pl2S_DV_LRCLK_RATIOレジスタ (0x00301C0C) を絶対に変更しないでください。

V

I²S

0x00301C14: I²S FIFO Status Register (pl2S_FIFO_STATUS)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
I ² S FIFO Status Register (pl2S_FIFO_STATUS)	0x00301C14 (32 bits)	D31–10	–	reserved	–		–	–	0 when being read.		
		D9	I2SFIFOFF1	I ² S CH.1 FIFO full flag	1	Full	0	Not full	0	R	
		D8	I2SFIFOEF1	I ² S CH.1 FIFO empty flag	1	Empty	0	Not empty	1	R	
		D7–5	–	reserved	–		–	–	0 when being read.		
		D4–2	FIFOSTAT0 [2:0]	I ² S CH.0 FIFO state machine	FIFOSTAT0[2:0]		State		0x0	R	
					0x7–0x6		reserved				
					0x5		FLUSH				
					0x4		EMPTY				
					0x3		LACK				
					0x2		FULL				
0x1		INIT									
0x0		STOP									
D1	I2SFIFOFF0	I ² S CH.0 FIFO full flag	1	Full	0	Not full	0	R			
D0	I2SFIFOEF0	I ² S CH.0 FIFO empty flag	1	Empty	0	Not empty	1	R			

D[31:10] Reserved

D9 I2SFIFOFF1: I²S CH.1 FIFO Full Flag

受信用FIFOが満杯かどうかを示します。

1(R): 満杯

0(R): 空きあり(デフォルト)

FIFOが受信データ(16ビットまたは24ビット×2チャンネル(L & R)×4)で満杯になると、I2SFIFOFF1が1にセットされます。この場合、FIFOから受信データを読み出す必要があります。読み出されない場合、FIFO内の最新のステレオデータが次の受信データで上書きされます。I2SFIFOFF1はFIFO内のデータを読み出すことで、0にリセットされます。

D8 I2SFIFOEF1: I²S CH.1 FIFO Empty Flag

受信用FIFOが空かどうかを示します。

1(R): 空(デフォルト)

0(R): データあり

I2SFIFOEF1はFIFOに受信データが書き込まれると0となり、FIFO内のすべてのデータを読み出すと1になります。

D[7:5] Reserved

D[4:2] FIFOSTAT0[2:0]: I²S CH.0 FIFO State Machine Bits

送信用FIFOの状態を示します。

表V.4.8.8 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7～0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

(デフォルト: 0x0)

D1 I2SFIFOFF0: I²S CH.0 FIFO Full Flag

送信用FIFOが満杯かどうかを示します。

1(R): 満杯

0(R): 空きあり(デフォルト)

FIFOが書き込みデータ(16または24ビット×2チャンネル(L & R)×4)で満杯になるとI2SFIFOFF0が1にセットされ、これ以上データが書き込めないことを示します。

I2SFIFOFF0はFIFO内のデータが送信のために読み出されると、0にリセットされます。

D0 I2SFIFOEF0: I²S CH.0 FIFO Empty Flag

送信用FIFOが空かどうかを示します。

1(R): 空(デフォルト)

0(R): データあり

I2SFIFOEF0はFIFOに送信データが書き込まれると0となり、FIFO内のすべてのデータが転送されると1になります。

0x00301C18: I²S Interrupt Mode Select Register (pl2S_INT_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Interrupt Mode Select Register (pl2S_INT_MOD)	0x00301C18 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7–6	I2SINTMD1[1:0]	I ² S CH.0 interrupt mode select	0x3 0x2 0x1 0x0	Reserved One data Whole full Half full	0	R/W
		D5	I2SHSMD1	I ² S CH.1 HSDMA mode select	1 dual channels 0 single channel	0	0	R/W
		D4	I2SINTEN1	I ² S CH.1 interrupt enable	1 Enable 0 Disable	0	0	R/W
		D3–2	I2SINTMD0[1:0]	I ² S CH.0 interrupt mode select	0x3 0x2 0x1 0x0	Reserved One empty Whole empty Half empty	0	R/W
		D1	I2SHSMD0	I ² S CH.0 HSDMA mode select	1 dual channels 0 single channel	0	0	R/W
		D0	I2SINTEN0	I ² S CH.0 interrupt enable	1 Enable 0 Disable	0	0	R/W

D[31:8] Reserved**D[7:6] I2SINTMD1[1:0]: I²S CH.1 Interrupt Mode Select Bits**I²S CH.1の割り込みモードを選択します。表V.4.8.9 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

(デフォルト: 0x0)

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)をFIFOから読み出す必要があります。

ハーフフル割り込みモード(デフォルト)

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2～3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(16または24ビット×2チャンネル(L & R)×2)をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1～3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(16または24ビット×2チャンネル(L & R)×1)をFIFOから読み出す必要があります。

D5 I2SHSMD1: I²S CH.1 HSDMA mode select

CH.1 HSDMAモードを制御します。

1: デュアルチャンネル

0: シングルチャンネル(デフォルト)

このビットが1のときは、受信用FIFOが空でなくなったときに左チャンネルと右チャンネル両方のDMA要求信号が同時にアクティブになります。これらの信号はHSDMA Ch.2およびCh.3を起動します。HSDMA Ch.2は、32または16ビットLデータを読み出し、HSDMA Ch.3は、I²S受信用FIFOから32または16ビットRデータを読み出します。

このビットが0のとき、受信用FIFOが空でなくなったときにDMA要求信号がアクティブになります。この信号は、I²S受信用FIFOから32ビットLおよびRデータを読み出すためにHSDMA Ch.2を起動します。

レジスタ値	16ビット解像度	24ビット解像度
1'b0(シングルチャネル)	HSDMA設定: a) 転送データサイズ: 32ビット(ワード) b) 初期設定用の転送カウント: >=4 c) DMA割り込みルーチン内の転送カウント: 制限なし d) 宛先アドレス: 0x301C20	HSDMA設定: a) 転送データサイズ: 32ビット(ワード) b) 初期設定用の転送カウント: >=8 c) DMA割り込みルーチン内の転送カウント: 偶数値でなければならない d) 宛先アドレス: 0x301C20
1'b1(デュアルチャネル)	HSDMA設定: a) 転送データサイズ: 16ビット(ハーフワード) b) 初期設定用の転送カウント: >=4 c) DMA割り込みルーチン内の転送カウント: 制限なし d) 宛先アドレス: 0x301C20と0x301C22	HSDMA設定: a) 転送データサイズ: 32ビット(ワード) b) 初期設定用の転送カウント: >=4 c) DMA割り込みルーチン内の転送カウント: 制限なし d) 宛先アドレス: 0x301C20

D4 I2SINTEN1: I²S CH.1 Interrupt Enable Bit

受信FIFOフルによるI²S CH.1割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SINTEN1を1に設定すると、ITCへのI²S CH.1(FIFOフル)割り込み要求が許可されます。FIFOフル割り込み要求は、I2SINTMD1[1:0](D[5:4])で設定された割り込みモードに従って発生します。I2SINTEN1を0に設定した場合、I²S CH.1割り込みは発生しません。

D[3:2] I2SINTMD0[1:0]: I²S CH.0 Interrupt Mode Select Bits

I²S CH.0の割り込みモードを選択します。

表V.4.8.10 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

(デフォルト: 0x0)

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット×2チャンネル(L & R)×4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット×2チャンネル(L & R)×2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1~3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット×2チャンネル(L & R)×1)をFIFOに書き込む必要があります。

D1 I2SHSMD0: I²S CH.0 HSDMA mode select

I²S CH.0 HSDMAモードを制御します。

1: デュアルチャネル

0: シングルチャネル(デフォルト)

このビットが1のときは、送信用FIFOが満杯でなくなったときに左チャネルと右チャネル両方のDMA要求信号が同時にアクティブになります。これらの信号は、HSDMA Ch.0とCh.1を起動します。HSDMA Ch.0は、32または16ビットLデータを書き込み、HSDMA Ch.1はI²S送信用FIFOに32または16ビットRデータを書き込みます。

このビットが0のときは、送信用FIFOが満杯でなくなったときにDMA要求信号がアクティブになります。この信号は、32ビットLおよびRデータをI²S送信用FIFOに転送するためにHSDMA Ch.0を起動します。

レジスタ値	16ビット解像度	24ビット解像度
1'b0(シングルチャネル)	HSDMA設定: e) 転送データサイズ: 32ビット(ワード) f) 初期設定用の転送カウント: ≥ 4 g) DMA割り込みルーチン内の転送カウント: 制限なし h) 宛先アドレス: 0x301C30	HSDMA設定: e) 転送データサイズ: 32ビット(ワード) f) 初期設定用の転送カウント: ≥ 8 g) DMA割り込みルーチン内の転送カウント: 偶数値でなければならない h) 宛先アドレス: 0x301C30
1'b1(デュアルチャネル)	HSDMA設定: e) 転送データサイズ: 16ビット(ハーフワード) f) 初期設定用の転送カウント: ≥ 4 g) DMA割り込みルーチン内の転送カウント: 制限なし h) 宛先アドレス: 0x301C30と0x301C32	e) 転送データサイズ: 32ビット(ワード) f) 初期設定用の転送カウント: ≥ 4 g) DMA割り込みルーチン内の転送カウント: 制限なし h) 宛先アドレス: 0x301C30

D0 I2SINTEN0: I²S CH.0 Interrupt Enable Bit

送信FIFOエンプティによるI²S CH.0割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2SINTEN0を1に設定すると、ITCへのI²S CH.0(FIFOエンプティ)割り込み要求が許可されます。FIFOエンプティ割り込み要求は、I2SINTMD0[1:0](D[3:2])で設定された割り込みモードに従って発生します。I2SINTEN0を0に設定した場合、I²S CH.0割り込みは発生しません。

0x00301C20: I²S CH.0 FIFO Register (pl2S_FIFO_CH0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S CH.0 FIFO Register (pl2S_FIFO_CH0)	0x00301C20 (32 bits)	D31-0	I2SFIFO0 [31:0]	I ² S CH.0 FIFO (output data)	0 to 0xffffffff (32 bits)	0x0	W	For 16-bit data (word write) or 24-bit data (word write) 0 when being read.
	0x00301C20 (16 bits)	D15-0	I2SFIFO0 [15:0]		0 to 0xffff (16 bits)			
	0x00301C22 (16 bits)	D15-0	I2SFIFO0 [31:16]					

注: このレジスタには次の命令を使ってアクセスしてください。

16ビットオーディオデータを書き込むには16ビット書き込み命令(ld.h [%rb], %rs)または32ビット書き込み命令(ld.w [%rb], %rs)。

24ビットオーディオデータを書き込むには32ビット書き込み命令(ld.w [%rb], %rs)。

D[31:0] I2SFIFO0[31:0]: I²S CH.0 FIFO (出力データ)

16ビットデータの場合は、16ビットメモリ書き込み(ld.h [%rb], %rs)命令または32ビット書き込み命令(ld.w [%rb], %rs)を使用してデータを書き込んでください。

- 16ビットメモリ書き込み命令の場合、第1の書き込み命令(FIFOアドレス0x301C20)は、左チャンネルのデータを埋め、第2の書き込み命令(FIFOアドレス0x301C22)は、右チャンネルのデータを埋めます。
 - 32ビットのメモリ書き込み命令(FIFOアドレス0x301C20)の場合、上位16ビットデータは、右チャンネルのデータを埋め、下位16ビットデータは、左チャンネルのデータを埋めます。
- 8ビットメモリ書き込み命令は、16ビットデータには使用できませんので注意してください。

24ビットデータの場合は、32ビットメモリ書き込み(ld.w [%rb], %rs)命令を使ってデータを書き込んでください。

- 32ビットメモリ書き込み命令(FIFOアドレス0x301C20)の場合、第1の書き込み命令は、左チャンネルのデータを埋め(上位8ビットデータが省略されます)、第2の書き込み命令は、右チャンネルのデータを埋めます(上位8ビットデータが省略されます)

8ビットおよび16ビットメモリ書き込み命令は、24ビットデータには使用できませんので注意してください。

最初に左チャンネルのデータ、次に右チャンネルのデータを書き込みます。出力チャンネルモードが“モノラル”の場合でも、左右チャンネルのデータのペアを書き込む必要があります。

V

I²S

0x00301C30: I²S CH.1 FIFO Register (pI²S_FIFO_CH1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S CH.1 FIFO Register (pI ² S_FIFO_CH1)	0x00301C30 (32 bits)	D31-0	I2SFIFO1 [31:0]	I ² S CH.1 FIFO (input data)	0 to 0xffffffff (32 bits)	0x0	R	For 16-bit data (word read) or 24-bit data (word read)
	0x00301C30 (16 bits)	D15-0	I2SFIFO1 [15:0]		0 to 0xffff (16 bits)			For 16-bit data (half-word read)
	0x00301C32 (16 bits)	D15-0	I2SFIFO1 [31:16]					

注: このレジスタには次の命令を使ってアクセスしてください。

16ビットオーディオデータを読み出すには16ビット読み出し命令(ld.h %rd, [%rb])または32ビット読み出し命令(ld.w %rd, [%rb])。

24ビットオーディオデータを読み出すには32ビット読み出し命令(ld.w %rd, [%rb])。

D[31:0] I2SFIFO1[31:0]: I²S CH.1 FIFO (入力データ)

このアドレスを介して、FIFOから受信データを読み出します。

FIFOには最大4個のステレオデータ(16または24ビット×2チャンネル(L & R)×4)を格納可能です。

16ビットデータの場合は、16ビットメモリ読み出し(ld.h %rd, [%rb])命令または32ビット読み出し命令(ld.w %rd, [%rb])を使用してデータを読み出してください。

- 16ビットメモリ読み出し命令の場合、第1の読み出し命令(FIFOアドレス0x301C30)は、左チャンネルのデータを取り出し、第2の読み出し命令(FIFOアドレス0x301C32)は、右チャンネルのデータを取り出します。
- 32ビットメモリ読み出し命令(FIFOアドレス0x301C30)の場合、上位16ビットデータは右チャンネルに対応し、下位16ビットデータは左チャンネルに対応します。

8ビットメモリ読み出し命令は、16ビットデータには使用できませんので注意してください。

24ビットデータの場合は、32ビットメモリ読み出し(ld.w %rd, [%rb])命令を使用してデータを読み出してください。

- 32ビットメモリ読み出し命令(FIFOアドレス0x301C30)の場合、第1の読み出し命令は、左チャンネル用のデータを取り出し(下位24ビットデータ)、第2の読み出し命令は、右チャンネル用のデータを取り出します(下位24ビットデータ)。

8ビットおよび16ビットメモリ読み出し命令は、24ビットデータには使用できませんので注意してください。

左右チャンネルのデータをペアとして読み出してください。最初の読み出しは左チャンネルのデータ、次の読み出しは右チャンネルのデータです。

V.4.9 注意事項

- I²Sの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART0(D0/pI2S_STARTレジスタ)/I2SSTART1(D8/pI2S_STARTレジスタ)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。
 - * **I2SSTART0**: I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D0/0x00301C10)
 - * **I2SSTART1**: I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (pI2S_START) Register (D8/0x00301C10)
- 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データサイズ+2]以上に設定する必要があります。
- pI2S_FIFO_CH0(0x00301C20)レジスタには、次の命令を使ってアクセスしてください。
 - ◆ 24ビットオーディオデータを書き込むには32ビット書き込み命令(ld.w [%rb], %rs)。
 - ◆ 16ビットオーディオデータを書き込むには32ビット書き込み命令(ld.w [%rb], %rs)または16ビット書き込み命令(ld.h [%rb], %rs)。
- pI2S_FIFO_CH1(0x00301C30)レジスタには、次の命令を使ってアクセスしてください。
 - ◆ 24ビットオーディオデータを読み出すには32ビット読み出し命令(ld.w %rd, [%rb])。
 - ◆ 16ビットオーディオデータを読み出すには32ビット読み出し命令(ld.w %rd, [%rb])または16ビット読み出し命令(ld.h %rd, [%rb])。

V.4.10 I²Sクロックの設定

ここでは、I2S_MCLK、I2S_WS、およびI2S_SCKクロックの設定方法について説明します。

I2S_MCLKを内部クロックから生成する場合

以下に、サンプリングレートからクロック設定値を決定する方法を説明します。下記の例は、システムクロック周波数が48MHz、オーディオデータのサンプリングレートが44.1kHzの場合を想定しています。

サンプリングクロック (I2S_WS) はマスタクロック (I2S_MCLK) に同期していますので、次の式が得られます。

$$\frac{f_{I2S\_MCLK}}{f_{I2S\_WS}} = \text{整数}$$

ここで、 f_{I2S_MCLK} は出力マスタクロック (I2S_MCLK) 周波数、 f_{I2S_WS} はサンプリングクロック (I2S_WS) 周波数です。

$$f_{I2S\_MCLK} = \frac{48\text{MHz}}{\text{MCLKDIV}[5:0] + 1} \quad (\text{式1})$$

$$f_{I2S\_WS} = \frac{48\text{MHz}}{(\text{BCLKDIV}[7:0] + 1) \times 2 \times (\text{WSCLKCYC0}[4:0] + 16) \times 2} \quad (\text{式2})$$

$$\frac{(\text{BCLKDIV}[7:0] + 1) \times 2 \times (\text{WSCLKCYC0}[4:0] + 16) \times 2}{\text{MCLKDIV}[5:0] + 1} = \text{整数} \quad (\text{式3})$$

- * **MCLKDIV[5:0]**: I2S_MCLK Divide Ratio Select Bits in the I²S MCLK Divide Ratio (pl2S_DV_MCLK_RATIO) Register (D[5:0]/0x00301C08)
- * **BCLKDIV[7:0]**: I²S CH.0 Bit Clock Divide Ratio Select Bits in the I²S Audio Clock Divide Ratio (I2S_DV_ACLK) Register (D[7:0]/0x00301C0C)
- * **WSCLKCYC0[4:0]**: I²S CH.0 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (I2S_DV_ACLK) Register (D[11:8]/0x00301C0C)

表V.4.10.1 SI2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	MCLK•1/64
0x3e	MCLK•1/63
0x3d	MCLK•1/62
:	:
0x2	MCLK•1/3
0x1	MCLK•1/2
0x0	MCLK•1/1

表V.4.10.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック (I2S_SCK_O)
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
:	:
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

表V.4.10.3 サンプリングクロック周期の設定

WSCLKCYC0[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1x	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

下表はExcelを使用して式2から作成したものです。

セルA1の値はシステムクロック周波数(48MHz)です。1行目(B1~Q1)のその他の値(32~62)は、サンプリングクロック周期に相当するビットクロックサイクル数((WSCLKCYC0[3:0] + 16) × 2)です。1列目(A2~A257)にはビットクロック分周比((BCLKDIV[7:0] + 1) × 2)がすべて入力されています。

表V.4.10.4 サンプリングクロック周波数一覧

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q
1	48	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62
2	2	750.00	705.88	666.67	631.58	600.00	571.43	545.45	521.74	500.00	480.00	461.54	444.44	428.57	413.79	400.00	387.10
3	4	375.00	352.94	333.33	315.79	300.00	285.71	272.73	260.87	250.00	240.00	230.77	222.22	214.29	206.90	200.00	193.55
4	6	250.00	235.29	222.22	210.53	200.00	190.48	181.82	173.91	166.67	160.00	153.85	148.15	142.86	137.93	133.33	129.03
5	8	187.50	176.47	166.67	157.89	150.00	142.86	136.36	130.43	125.00	120.00	115.38	111.11	107.14	103.45	100.00	96.77
6	10	150.00	141.18	133.33	126.32	120.00	114.29	109.09	104.35	100.00	96.00	92.31	88.89	85.71	82.76	80.00	77.42
7	12	125.00	117.65	111.11	105.26	100.00	95.24	90.91	86.96	83.33	80.00	76.92	74.07	71.43	68.97	66.67	64.52
8	14	107.14	100.84	95.24	90.23	85.71	81.63	77.92	74.53	71.43	68.57	65.93	63.49	61.22	59.11	57.14	55.30
9	16	93.75	88.24	83.33	78.95	75.00	71.43	68.18	65.22	62.50	60.00	57.69	55.56	53.57	51.72	50.00	48.39
10	18	83.33	78.43	74.07	70.18	66.67	63.49	60.61	57.97	55.56	53.33	51.28	49.38	47.62	45.98	44.44	43.01
11	20	75.00	70.59	66.67	63.16	60.00	57.14	54.55	52.17	50.00	48.00	46.15	44.44	42.86	41.38	40.00	38.71
12	22	68.18	64.17	60.61	57.42	54.55	51.95	49.59	47.43	45.45	43.64	41.96	40.40	38.96	37.62	36.36	35.19
13	24	62.50	58.82	55.56	52.63	50.00	47.62	45.45	43.48	41.67	40.00	38.46	37.04	35.71	34.48	33.33	32.26
14	26	57.69	54.30	51.28	48.58	46.15	43.96	41.96	40.13	38.46	36.92	35.50	34.19	32.97	31.83	30.77	29.78
15	28	53.57	50.42	47.62	45.11	42.86	40.82	38.96	37.27	35.71	34.29	32.97	31.75	30.61	29.56	28.57	27.65
16	30	50.00	47.06	44.44	42.11	40.00	38.10	36.36	34.78	33.33	32.00	30.77	29.63	28.57	27.59	26.67	25.81
17	32	46.88	44.12	41.67	39.47	37.50	35.71	34.09	32.61	31.25	30.00	28.85	27.78	26.79	25.86	25.00	24.19
18	34	44.12	41.52	39.22	37.15	35.29	33.61	32.09	30.69	29.41	28.24	27.15	26.14	25.21	24.34	23.53	22.77
19	36	41.67	39.22	37.04	35.09	33.33	31.75	30.30	28.99	27.78	26.67	25.64	24.69	23.81	22.99	22.22	21.51
20	38	39.47	37.15	35.09	33.24	31.58	30.08	28.71	27.46	26.32	25.26	24.29	23.39	22.56	21.78	21.05	20.37
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
256	510	2.94	2.77	2.61	2.48	2.35	2.24	2.14	2.05	1.96	1.88	1.81	1.74	1.68	1.62	1.57	1.52
257	512	2.93	2.76	2.60	2.47	2.34	2.23	2.13	2.04	1.95	1.88	1.80	1.74	1.67	1.62	1.56	1.51

$$\begin{aligned} B2 &= \$A\$1 * 1000 / (\$B\$1 * A2) \\ &: \end{aligned}$$

$$B257 = \$A\$1 * 1000 / (\$B\$1 * A257)$$

$$\begin{aligned} L2 &= \$A\$1 * 1000 / (\$L\$1 * A2) \\ &: \end{aligned}$$

$$L257 = \$A\$1 * 1000 / (\$L\$1 * A257)$$

表から“44.1(kHz)”または近似値を探します。たとえば、セルC17に“44.12”があります。セルA17とセルC1はそれぞれ32と34です。

これらの値からBCLKDIV[7:0]とWSCLKCYC0[3:0]は次のように求められます。

$$BCLKDIV[7:0] = (32/2) - 1 = 15 (0xf)$$

$$WSCLKCYC0[3:0] = (34/2) - 16 = 1$$

V 周辺モジュール3(インタフェース): I²Sインタフェース(I²S)

これらの値を式3に代入すると、MCLKDIV[5:0]の値が求められます。

$$\frac{32 \times 34}{\text{MCLKDIV}[5:0] + 1} = \text{整数}$$

MCLKDIV[5:0] = 0, 1, 3, 7, 15, 16, 31, 33, 63

表V.4.10.5 マスタクロック周波数

MCLKDIV[5:0]	fI2S_MCLK
0	48MHz (1088 fs)
1	24MHz (544 fs)
3	12MHz (272 fs)
7	6MHz (136 fs)
15	3MHz (68 fs)
16	2.824MHz (64 fs)
31	1.5MHz (34 fs)
33	1.412MHz (32 fs)
63	0.75MHz (17 fs)

外部マスタクロック(I2S_MCLK_EXT入力クロック)を使用する場合

以下に、サンプリングレートと入力マスタクロック周波数からクロック設定値を決定する方法を示します。下記の例は、オーディオデータのサンプリングレートが44.1kHz(= fs)、マスタクロックが320 fsの場合を想定しています。

マスタクロック周波数 = 320 × 44.1kHz = 14.112MHz

下表から“320 fs”を探します。次の2つの設定から選択できます。

- 1) BCLKDIV[7:0] = 4, WSCLKCYC0[3:0] = 0 (16サイクル)
- 2) BCLKDIV[7:0] = 3, WSCLKCYC0[3:0] = 4 (20サイクル)

サンプリングクロック(I2S_WS)は44.1kHzになります。

表V.4.10.6 外部マスタクロック周波数

BCLK DIV [7:0]	外部マスタクロック周波数(fs: サンプリングクロック周波数)															
	ビットクロックサイクル数(WSCLKCYC0[3:0] + 16)															
	16 サイクル	17 サイクル	18 サイクル	19 サイクル	20 サイクル	21 サイクル	22 サイクル	23 サイクル	24 サイクル	25 サイクル	26 サイクル	27 サイクル	28 サイクル	29 サイクル	30 サイクル	31 サイクル
0	64 fs	68 fs	72 fs	76 fs	80 fs	84 fs	88 fs	92 fs	96 fs	100 fs	104 fs	108 fs	112 fs	116 fs	120 fs	124 fs
1	128 fs	136 fs	144 fs	152 fs	160 fs	168 fs	176 fs	184 fs	192 fs	200 fs	208 fs	216 fs	224 fs	232 fs	240 fs	248 fs
2	192 fs	204 fs	216 fs	228 fs	240 fs	252 fs	264 fs	276 fs	288 fs	300 fs	312 fs	324 fs	336 fs	348 fs	360 fs	372 fs
3	256 fs	272 fs	288 fs	304 fs	320 fs	336 fs	352 fs	368 fs	384 fs	400 fs	416 fs	432 fs	448 fs	464 fs	480 fs	496 fs
4	320 fs	340 fs	360 fs	380 fs	400 fs	420 fs	440 fs	460 fs	480 fs	500 fs	520 fs	540 fs	560 fs	580 fs	600 fs	620 fs
5	384 fs	408 fs	432 fs	456 fs	480 fs	504 fs	528 fs	552 fs	576 fs	600 fs	624 fs	648 fs	672 fs	696 fs	720 fs	744 fs
6	448 fs	476 fs	504 fs	532 fs	560 fs	588 fs	616 fs	644 fs	672 fs	700 fs	728 fs	756 fs	784 fs	812 fs	840 fs	868 fs
7	512 fs	544 fs	576 fs	608 fs	640 fs	672 fs	704 fs	736 fs	768 fs	800 fs	832 fs	864 fs	896 fs	928 fs	960 fs	992 fs
8	576 fs	612 fs	648 fs	684 fs	720 fs	756 fs	792 fs	828 fs	864 fs	900 fs	936 fs	972 fs	1008 fs	1044 fs	1080 fs	1116 fs
9	640 fs	680 fs	720 fs	760 fs	800 fs	840 fs	880 fs	920 fs	960 fs	1000 fs	1040 fs	1080 fs	1120 fs	1160 fs	1200 fs	1240 fs
10	704 fs	748 fs	792 fs	836 fs	880 fs	924 fs	968 fs	1012 fs	1056 fs	1100 fs	1144 fs	1188 fs	1232 fs	1276 fs	1320 fs	1364 fs
11	768 fs	816 fs	864 fs	912 fs	960 fs	1008 fs	1056 fs	1104 fs	1152 fs	1200 fs	1248 fs	1296 fs	1344 fs	1392 fs	1440 fs	1488 fs
12	832 fs	884 fs	936 fs	988 fs	1040 fs	1092 fs	1144 fs	1196 fs	1248 fs	1300 fs	1352 fs	1404 fs	1456 fs	1508 fs	1560 fs	1612 fs
13	896 fs	952 fs	1008 fs	1064 fs	1120 fs	1176 fs	1232 fs	1288 fs	1344 fs	1400 fs	1456 fs	1512 fs	1568 fs	1624 fs	1680 fs	1736 fs
14	960 fs	1020 fs	1080 fs	1140 fs	1200 fs	1260 fs	1320 fs	1380 fs	1440 fs	1500 fs	1560 fs	1620 fs	1680 fs	1740 fs	1800 fs	1860 fs
15	1024 fs	1088 fs	1152 fs	1216 fs	1280 fs	1344 fs	1408 fs	1472 fs	1536 fs	1600 fs	1664 fs	1728 fs	1792 fs	1856 fs	1920 fs	1984 fs

S1C33L19 Technical Manual

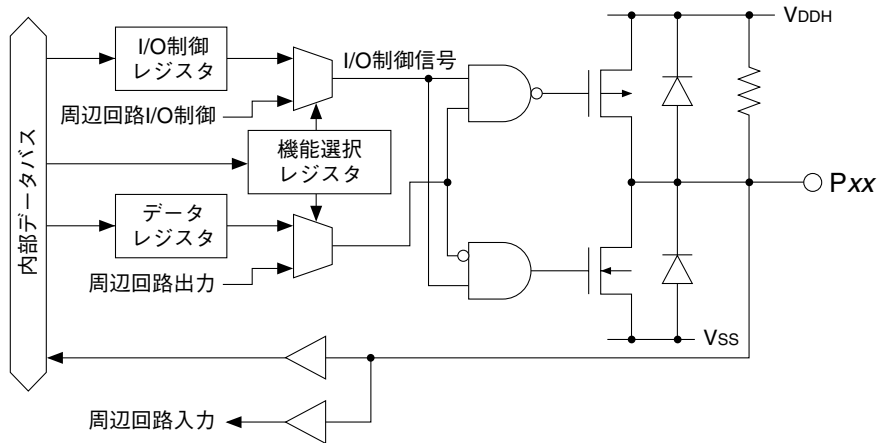
VI 周辺モジュール4 (ポート)

VI.1 汎用入出力ポート (GPIO)

VI.1.1 入出力ポートの構成

S1C33L19は、プログラムにより入出力方向の切り換えが可能な74の入出力ポート(P0[7:0]、P1[7:0]、P2[7:0]、P3[6:0]、P4[7:0]、P5[7:0]、P6[7:0]、P7[4:0]、P8[5:0]およびP9[7:0])を内蔵しています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。

図VI.1.1.1に入出力ポートの構造を示します。



図VI.1.1.1 入出力ポートの構造

注: 入出力ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。“III.4.5 端子制御レジスタ”を参照し、プルアップ抵抗の制御を行ってください。

なお、端子制御レジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

VI
GPIO

VI.1.2 入出力端子機能の選択

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをポート機能選択レジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

イニシャルリセットにより、各入出力ポート端子(Pxx)はデフォルトの機能に初期化されます。複数の機能が割り付けられている端子については、各ポートに用意されている拡張機能選択ビット(CFPxx[1:0])で使用する機能を選択することができます。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: デフォルトでデバッグ用端子に設定されるP15～P17およびP34～P36端子を汎用入出力ポートとして使用する場合は、TRCMUX(D0/0x300014)を0にクリアしてください。

* **TRCMUX**: P15～17, P34～36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

ただし、TRCMUX(D0/0x300014)を0に設定するとデバッグのPCトレース機能が使用できなくなります。

VI.1.3 I/O制御レジスタと入出力モード

入出力ポートは、それぞれのビットに対応したIOC_xにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

- * **IOC0[7:0]**: P07–P00 I/O Control Bits in the P0 I/O Control Register (D[7:0]/0x300381)
- * **IOC1[7:0]**: P17–P10 I/O Control Bits in the P1 I/O Control Register (D[7:0]/0x300383)
- * **IOC2[7:0]**: P27–P20 I/O Control Bits in the P2 I/O Control Register (D[7:0]/0x300385)
- * **IOC3[6:0]**: P36–P30 I/O Control Bits in the P3 I/O Control Register (D[6:0]/0x300387)
- * **IOC4[7:0]**: P47–P40 I/O Control Bits in the P4 I/O Control Register (D[7:0]/0x300389)
- * **IOC5[7:0]**: P57–P50 I/O Control Bits in the P5 I/O Control Register (D[7:0]/0x30038B)
- * **IOC6[7:0]**: P67–P60 I/O Control Bits in the P6 I/O Control Register (D[7:0]/0x30038D)
- * **IOC8[5:0]**: P85–P80 I/O Control Bits in the P8 I/O Control Register (D[5:0]/0x300391)
- * **IOC9[7:0]**: P97–P90 I/O Control Bits in the P9 I/O Control Register (D[7:0]/0x300393)

入力モードに設定する場合はI/O制御レジスタに0を書き込みます。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。端子制御レジスタでプルアップを有効にしている場合は、ポートがプルアップされます。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DDH})レベルのときに1、Low(V_{SS})レベルのときに0となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに1を書き込みます。出力モードに設定された入出力ポートは出力ポートとして機能し、ポート出力データが1の場合にHigh(V_{DDH})レベル、0の場合にLow(V_{SS})レベルを出力します。なお、端子制御レジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

注: P7xポートは入力専用のため、I/O制御レジスタはありません。

VI.1.4 入力割り込み

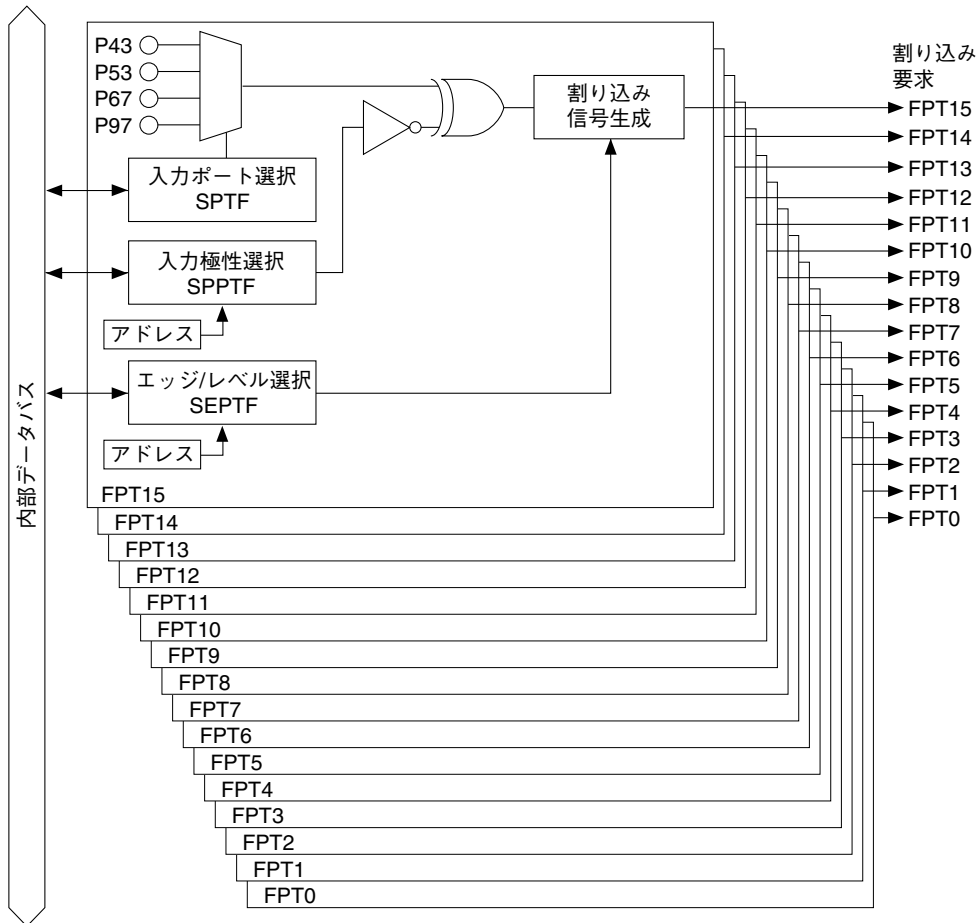
入出力ポートは16系列のポート入力割り込みと2系列のキー入力割り込みをサポートしています。

VI.1.4.1 ポート入力割り込み

ポート入力割り込み回路は16本の割り込み系列(FPT15～FPT0)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。

割り込み条件についても、入力信号のエッジで割り込みを発生させるか、レベルによって発生させるか選択可能です。

図VI.1.4.1.1にポート入力割り込み回路の構成を示します。



図VI.1.4.1.1 ポート入力割り込み回路の構成

■入力端子の選択

各割り込み要因ごとに、入力端子を既定の4本の中から選択できます。

表VI.1.4.1.1に各要因で選択可能な入力端子と選択に使用する制御ビットを示します。

表VI.1.4.1.1 ポート入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPT設定			
		11	10	01	00
FPT15	SPTF[1:0] (D[7:6])/Port input interrupt select register 4 (0x3003C5)	P97	P67	P53	P43
FPT14	SPTE[1:0] (D[5:4])/Port input interrupt select register 4 (0x3003C5)	P96	P66	P52	P42
FPT13	SPTD[1:0] (D[3:2])/Port input interrupt select register 4 (0x3003C5)	P95	P65	P51	P41
FPT12	SPTC[1:0] (D[1:0])/Port input interrupt select register 4 (0x3003C5)	P94	P64	P50	P40
FPT11	SPTB[1:0] (D[7:6])/Port input interrupt select register 3 (0x3003C4)	P93	P87	P83	P73
FPT10	SPTA[1:0] (D[5:4])/Port input interrupt select register 3 (0x3003C4)	P92	INT_USB	P82	P72
FPT9	SPT9[1:0] (D[3:2])/Port input interrupt select register 3 (0x3003C4)	P91	USB_PDREQ	P81	P71
FPT8	SPT8[1:0] (D[1:0])/Port input interrupt select register 3 (0x3003C4)	P90	INT_SPI	P80	P70
FPT7	SPT7[1:0] (D[7:6])/Port input interrupt select register 2 (0x3003C1)	P63	P17	P27	P07
FPT6	SPT6[1:0] (D[5:4])/Port input interrupt select register 2 (0x3003C1)	P62	P16	P26	P06
FPT5	SPT5[1:0] (D[3:2])/Port input interrupt select register 2 (0x3003C1)	P61	P15	P25	P05
FPT4	SPT4[1:0] (D[1:0])/Port input interrupt select register 2 (0x3003C1)	P60	P14	P24	P04
FPT3	SPT3[1:0] (D[7:6])/Port input interrupt select register 1 (0x3003C0)	P33	P13	P23	P03
FPT2	SPT2[1:0] (D[5:4])/Port input interrupt select register 1 (0x3003C0)	P32	P12	P22	P02
FPT1	SPT1[1:0] (D[3:2])/Port input interrupt select register 1 (0x3003C0)	P31	P11	P21	P01
FPT0	SPT0[1:0] (D[1:0])/Port input interrupt select register 1 (0x3003C0)	P30	P10	P20	P00

注: FPT8、FPT9、FPT10、FPT11割り込みシステムはSPI、USB割り込みと共用されます。SPI、USB割り込みを使用する場合はSPTビットを0b10に設定してください。この場合、ポート入力割り込みの制御レジスタと信号はSPI、USB割り込みの制御に使用されます。

■ポート入力割り込みの発生条件

各ポート入力割り込みは、入力信号のエッジまたはレベルで発生させることができます。エッジとレベルの選択は、SEPTx(Dx/0x3003C3、Dx - 8/0x3003C7)で行います。SEPTxを1に設定するとFPTx割り込みは入力信号のエッジで発生し、0を設定すると信号レベルで発生します。

* **SEPT[7:0]:** FPTx Edge/Level Select Bits in the Port Input Interrupt Edge/Level Select Register 1 (Dx/0x3003C3)

* **SEPT[F:8]:** FPTx Edge/Level Select Bits in the Port Input Interrupt Edge/Level Select Register 2 (Dx - 8/0x3003C7)

また、割り込みを発生させる信号の極性をSPPTx(Dx/0x3003C2、Dx - 8/0x3003C6)で選択します。

* **SPPT[7:0]:** FPTx Input Polarity Select Bits in the Port Input Interrupt Polarity Select Register 1 (Dx/0x3003C2)

* **SPPT[F:8]:** FPTx Input Polarity Select Bits in the Port Input Interrupt Polarity Select Register 2 (Dx - 8/0x3003C6)

これらのレジスタにより、ポート入力割り込み条件は表VI.1.4.1.2のように決まります。

表VI.1.4.1.2 ポート入力割り込み発生条件

SEPTx	SPPTx	FPTx割り込み条件
1	1	立ち上がりエッジ
1	0	立ち下がりエッジ
0	1	Highレベル
0	0	Lowレベル

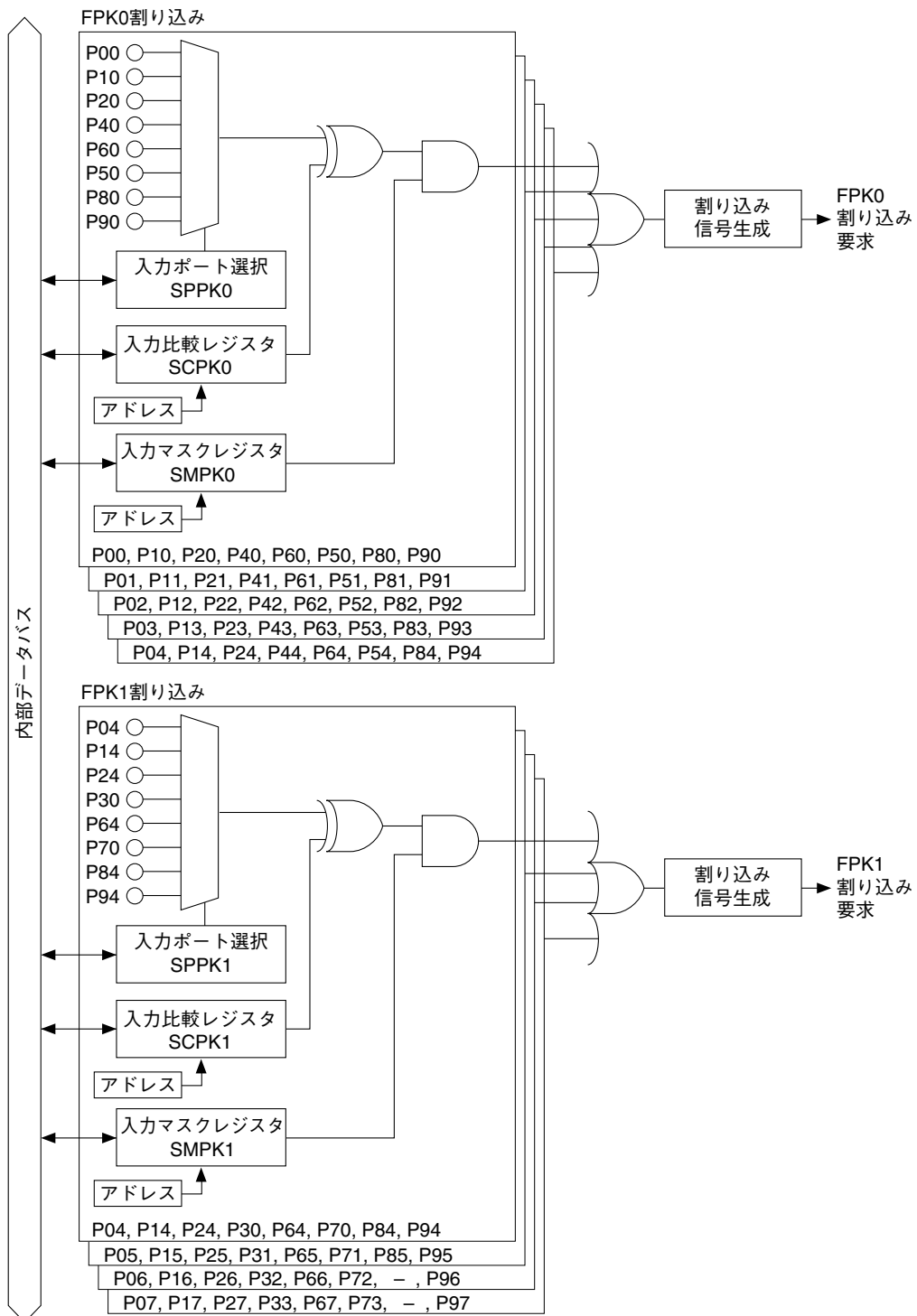
入力信号が指定された状態に変化すると、割り込み要因フラグFPxが1にセットされ、割り込みコントローラによる他の割り込み条件が整っていれば割り込みが発生します。

VI.1.4.2 キー入力割り込み

キー入力割り込み回路は2本の割り込み系列(FPK1、FPK0)を持ち、それぞれの割り込み要因を発生するポートの組み合わせを選択することができます。

割り込み条件についても、ソフトウェアで選択可能です。

図VI.1.4.2.1にキー入力割り込み回路の構成を示します。



図VI.1.4.2.1 キー入力割り込み回路の構成

■入力端子の選択

FPK1割り込みには、4ビットの入力端子系列を既定の8種類の中から選択できます(P8[5:4]を使用する場合は2ビット)。FPK0割り込みには、5ビットの入力端子系列を選択できます。

表VI.1.4.2.1に各要因で選択可能な入力端子系列と選択に使用する制御ビットを示します。

表VI.1.4.2.1 キー入力割り込み用入力端子の選択

割り込み要因	制御ビット	SPPK設定							
		111	110	101	100	011	010	001	000
FPK1	SPPK1[2:0] (D[6:4])	Key input interrupt select register (0x3003D0)	P9[7:4]	P8[5:4]	P7[3:0]	P6[7:4]	P3[3:0]	P2[7:4]	P1[7:4]
FPK0	SPPK0[2:0] (D[2:0])		P9[4:0]	P8[4:0]	P5[4:0]	P6[4:0]	P4[4:0]	P2[4:0]	P1[4:0]

■キー入力割り込み発生条件

キー入力割り込み回路には、入力割り込み条件を設定する入力マスクビット(FPK0用: SMPK0[4:0] (D[4:0]/0x3003D4)、FPK1用: SMPK1[3:0] (D[3:0]/0x3003D5))と入力比較ビット(FPK0用: SCPK0[4:0] (D[4:0]/0x3003D2)、FPK1用: SCPK1[3:0] (D[3:0]/0x3003D3))が設けられています。

- * **SMPK0[4:0]**: FPK0 Input Mask Bits in the Key Input Interrupt (FPK0) Input Mask Register (D[4:0]/0x3003D4)
- * **SMPK1[3:0]**: FPK1 Input Mask Bits in the Key Input Interrupt (FPK1) Input Mask Register (D[3:0]/0x3003D5)
- * **SCPK0[4:0]**: FPK0 Input Comparison Bits in the Key Input Interrupt (FPK0) Input Comparison Register (D[4:0]/0x3003D2)
- * **SCPK1[3:0]**: FPK1 Input Comparison Bits in the Key Input Interrupt (FPK1) Input Comparison Register (D[3:0]/0x3003D3)

入力マスクビット(SMPK)は、入力端子系列内で割り込みに使用しない入力端子を選択します。割り込みコントローラの割り込みイネーブルビットが割り込み系列ごとの割り込み要因をマスクするのに対し、入力マスクビットは入力端子個別にマスク設定を行います。

入力比較ビット(SCPK)は、各入力ポートの割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力マスクビット(SMPK)によって割り込みが許可されている入力端子と入力比較ビット(SCPK)との内容が一致状態から不一致状態に変化すると、割り込み要因フラグ(FK)が1にセットされ、他の割り込み条件が整っていれば割り込みを発生します。

図VI.1.4.2.2にFPK0の割り込み発生例を示します。なお、割り込みコントローラの制御レジスタはFPK0割り込みが発生可能な状態に設定されているものとします。



図VI.1.4.2.2 FPK0割り込み発生例 (SPPK0[2:0]でP0[4:0]が選択されている場合)

P00は入力マスクビットSMPK00(D0/0x3003D4)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でP03が0になるため、割り込みが許可されている入力端子P0[4:1]のデータと入力比較レジスタSCPK0[4:1](D[4:1]/0x3003D2)のデータとの不一致により割り込みが発生します。

前述のとおり、入力データとSCPK_x(D[4:0]/0x3003D2、D[3:0]/0x3003D3)の内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度SCPK_xと同じ内容に戻すか、SCPK_xを再設定する必要があります。なお、SMPK_x(D[4:0]/0x3003D4、D[3:0]/0x3003D5)によって割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

FPK1についても同様に割り込みが発生します。

VI.1.4.3 割り込みコントローラの制御レジスタ

各入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表VI.1.4.3.1に示します。

表VI.1.4.3.1 割り込みコントローラの制御レジスタ

割り込み系列	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
FPT15	FP15(D7/0x3002A9)	EP15(D7/0x3002A6)	PP15L[2:0](D[6:4]/0x3002A3)
FPT14	FP14(D6/0x3002A9)	EP14(D6/0x3002A6)	PP14L[2:0](D[2:0]/0x3002A3)
FPT13	FP13(D5/0x3002A9)	EP13(D5/0x3002A6)	PP13L[2:0](D[6:4]/0x3002A2)
FPT12	FP12(D4/0x3002A9)	EP12(D4/0x3002A6)	PP12L[2:0](D[2:0]/0x3002A2)
FPT11	FP11(D3/0x3002A9)	EP11(D3/0x3002A6)	PP11L[2:0](D[6:4]/0x3002A1)
FPT10	FP10(D2/0x3002A9)	EP10(D2/0x3002A6)	PP10L[2:0](D[2:0]/0x3002A1)
FPT9	FP9(D1/0x3002A9)	EP9(D1/0x3002A6)	PP9L[2:0](D[6:4]/0x3002A0)
FPT8	FP8(D0/0x3002A9)	EP8(D0/0x3002A6)	PP8L[2:0](D[2:0]/0x3002A0)
FPT7	FP7(D6/0x300287)	EP7(D6/0x300277)	PP7L[2:0](D[6:4]/0x30026D)
FPT6	FP6(D5/0x300287)	EP6(D5/0x300277)	PP6L[2:0](D[2:0]/0x30026D)
FPT5	FP5(D4/0x300287)	EP5(D4/0x300277)	PP5L[2:0](D[6:4]/0x30026C)
FPT4	FP4(D3/0x300287)	EP4(D3/0x300277)	PP4L[2:0](D[2:0]/0x30026C)
FPT3	FP3(D3/0x300280)	EP3(D3/0x300270)	PP3L[2:0](D[6:4]/0x300261)
FPT2	FP2(D2/0x300280)	EP2(D2/0x300270)	PP2L[2:0](D[2:0]/0x300261)
FPT1	FP1(D1/0x300280)	EP1(D1/0x300270)	PP1L[2:0](D[6:4]/0x300260)
FPT0	FP0(D0/0x300280)	EP0(D0/0x300270)	PP0L[2:0](D[2:0]/0x300260)
FPK1	FK1(D5/0x300280)	EK1(D5/0x300270)	PK1L[2:0](D[6:4]/0x300262)
FPK0	FK0(D4/0x300280)	EK0(D4/0x300270)	PK0L[2:0](D[2:0]/0x300262)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグが1にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

ポート入力割り込みは、各割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、ポート入力をトリガとしたDMA転送が行えます。各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.	IDMA Ch.
FPT0入力割り込み: 1	FPT8入力割り込み: 38
FPT1入力割り込み: 2	FPT9入力割り込み: 39
FPT2入力割り込み: 3	FPT10入力割り込み: 40
FPT3入力割り込み: 4	FPT11入力割り込み: 41
FPT4入力割り込み: 28	FPT12入力割り込み: 42
FPT5入力割り込み: 29	FPT13入力割り込み: 43
FPT6入力割り込み: 30	FPT14入力割り込み: 44
FPT7入力割り込み: 31	FPT15入力割り込み: 45

IDMAを起動させるには、表VI.1.4.3.2に示すIDMAリクエストビットおよびIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表VI.1.4.3.2 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
FPT15	RP15(D7/0x3002AC)	DEP15(D7/0x3002AE)
FPT14	RP14(D6/0x3002AC)	DEP14(D6/0x3002AE)
FPT13	RP13(D5/0x3002AC)	DEP13(D5/0x3002AE)
FPT12	RP12(D4/0x3002AC)	DEP12(D4/0x3002AE)
FPT11	RP11(D3/0x3002AC)	DEP11(D3/0x3002AE)
FPT10	RP10(D2/0x3002AC)	DEP10(D2/0x3002AE)
FPT9	RP9(D1/0x3002AC)	DEP9(D1/0x3002AE)
FPT8	RP8(D0/0x3002AC)	DEP8(D0/0x3002AE)
FPT7	RP7(D7/0x300293)	DEP7(D7/0x300297)
FPT6	RP6(D6/0x300293)	DEP6(D6/0x300297)
FPT5	RP5(D5/0x300293)	DEP5(D5/0x300297)
FPT4	RP4(D4/0x300293)	DEP4(D4/0x300297)
FPT3	RP3(D3/0x300290)	DEP3(D3/0x300294)
FPT2	RP2(D2/0x300290)	DEP2(D2/0x300294)
FPT1	RP1(D1/0x300290)	DEP1(D1/0x300294)
FPT0	RP0(D0/0x300290)	DEP0(D0/0x300294)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■トラップベクタ

各入力割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

FPT0入力割り込み: 0xC00040	FPT7入力割り込み: 0xC0011C
FPT1入力割り込み: 0xC00044	FPT8入力割り込み: 0xC00150
FPT2入力割り込み: 0xC00048	FPT9入力割り込み: 0xC00154
FPT3入力割り込み: 0xC0004C	FPT10入力割り込み: 0xC00158
FPK0入力割り込み: 0xC00050	FPT11入力割り込み: 0xC0015C
FPK1入力割り込み: 0xC00054	FPT12入力割り込み: 0xC00160
FPT4入力割り込み: 0xC00110	FPT13入力割り込み: 0xC00164
FPT5入力割り込み: 0xC00114	FPT14入力割り込み: 0xC00168
FPT6入力割り込み: 0xC00118	FPT15入力割り込み: 0xC0016C

なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

VI.1.5 入出力ポートの動作クロック

入出力ポートモジュールは、CMUから供給されるクロックで動作します。

CMUには、以下に示す制御ビット付きのクロック経路がGPIO用に用意されています。制御ビットを1に設定するとクロックの供給がOn、0に設定するとOffします。

(1) GPIOクロック (PORT_CLK)

このクロック(MCLK)はGPIO回路用で、GPIOの制御レジスタをアクセスする場合も必要です。クロックの供給はGPIO_CKE(D8/0x301B04)で制御します(デフォルト: On)。

* GPIO_CKE: GPIO Normal Clock Control Bit in the Gated Clock Control Register 1 (D8/0x301B04)

(2) GPIOノーストップクロック (PORT_NOSTOP_CLK)

このクロック(MCLK)は入力ポートの読み込みや入力割り込みを発生させるために使用します。このクロックはGPIONSTP_HCKE(D27/0x301B04)を0に設定することにより、HALT時に自動停止(III.1.9.2節参照)させることができます(デフォルト: On)。

* GPIONSTP_HCKE: GPIO No Stop Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D27/0x301B04)

ただし、入力割り込みでHALTモードを解除する場合はHALTモード時もGPIOノーストップクロックを供給しておく必要があります。

ポート動作クロックの生成と制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

VI.1.6 制御レジスタ詳細

表VI.1.6.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名	サイズ	機 能
0x00300380	P0 Port Data Register (pP0_P0D)	8	P0ポートのデータリード/ライトレジスタ
0x00300381	P0 I/O Control Register (pP0_IOC0)	8	P0ポートの入力/出力方向を制御
0x00300382	P1 Port Data Register (pP1_P1D)	8	P1ポートのデータリード/ライトレジスタ
0x00300383	P1 I/O Control Register (pP1_IOC1)	8	P1ポートの入力/出力方向を制御
0x00300384	P2 Port Data Register (pP2_P2D)	8	P2ポートのデータリード/ライトレジスタ
0x00300385	P2 I/O Control Register (pP2_IOC2)	8	P2ポートの入力/出力方向を制御
0x00300386	P3 Port Data Register (pP3_P3D)	8	P3ポートのデータリード/ライトレジスタ
0x00300387	P3 I/O Control Register (pP3_IOC3)	8	P3ポートの入力/出力方向を制御
0x00300388	P4 Port Data Register (pP4_P4D)	8	P4ポートのデータリード/ライトレジスタ
0x00300389	P4 I/O Control Register (pP4_IOC4)	8	P4ポートの入力/出力方向を制御
0x0030038A	P5 Port Data Register (pP5_P5D)	8	P5ポートのデータリード/ライトレジスタ
0x0030038B	P5 I/O Control Register (pP5_IOC5)	8	P5ポートの入力/出力方向を制御
0x0030038C	P6 Port Data Register (pP6_P6D)	8	P6ポートのデータリード/ライトレジスタ
0x0030038D	P6 I/O Control Register (pP6_IOC6)	8	P6ポートの入力/出力方向を制御
0x0030038E	P7 Port Data Register (pP7_P7D)	8	P7ポートのデータリード/ライトレジスタ
0x00300390	P8 Port Data Register (pP8_P8D)	8	P8ポートのデータリード/ライトレジスタ
0x00300391	P8 I/O Control Register (pP8_IOC8)	8	P8ポートの入力/出力方向を制御
0x00300392	P9 Port Data Register (pP9_P9D)	8	P9ポートのデータリード/ライトレジスタ
0x00300393	P9 I/O Control Register (pP9_IOC9)	8	P9ポートの入力/出力方向を制御
0x003003A0	P00~P03 Port Function Select Register (pP0_03_CFP)	8	P00~P03ポートの端子機能を選択
0x003003A1	P04~P07 Port Function Select Register (pP0_47_CFP)	8	P04~P07ポートの端子機能を選択
0x003003A2	P10~P13 Port Function Select Register (pP1_03_CFP)	8	P10~P13ポートの端子機能を選択
0x003003A3	P14~P17 Port Function Select Register (pP1_47_CFP)	8	P14~P17ポートの端子機能を選択
0x003003A4	P20~P23 Port Function Select Register (pP2_03_CFP)	8	P20~P23ポートの端子機能を選択
0x003003A5	P24~P27 Port Function Select Register (pP2_47_CFP)	8	P24~P27ポートの端子機能を選択
0x003003A6	P30~P33 Port Function Select Register (pP3_03_CFP)	8	P30~P33ポートの端子機能を選択
0x003003A7	P34~P36 Port Function Select Register (pP3_46_CFP)	8	P34~P36ポートの端子機能を選択
0x003003A8	P40~P43 Port Function Select Register (pP4_03_CFP)	8	P40~P43ポートの端子機能を選択
0x003003A9	P44~P47 Port Function Select Register (pP4_47_CFP)	8	P44~P47ポートの端子機能を選択
0x003003AA	P50~P53 Port Function Select Register (pP5_03_CFP)	8	P50~P53ポートの端子機能を選択
0x003003AB	P54~P57 Port Function Select Register (pP5_47_CFP)	8	P54~P57ポートの端子機能を選択
0x003003AC	P60~P63 Port Function Select Register (pP6_03_CFP)	8	P60~P63ポートの端子機能を選択
0x003003AD	P64~P67 Port Function Select Register (pP6_47_CFP)	8	P64~P67ポートの端子機能を選択
0x003003AE	P70~P73 Port Function Select Register (pP7_03_CFP)	8	P70~P73ポートの端子機能を選択
0x003003AF	P74 Port Function Select Register (pP7_4_CFP)	8	P74ポートの端子機能を選択
0x003003B0	P80~P83 Port Function Select Register (pP8_03_CFP)	8	P80~P83ポートの端子機能を選択
0x003003B1	P84~P85 Port Function Select Register (pP8_45_CFP)	8	P84~P85ポートの端子機能を選択
0x003003B2	P90~P93 Port Function Select Register (pP9_03_CFP)	8	P90~P93ポートの端子機能を選択
0x003003B3	P94~P97 Port Function Select Register (pP9_47_CFP)	8	P94~P97ポートの端子機能を選択
0x003003C0	Port Input Interrupt Select Register 1 (pPINTSEL_SPT03)	8	FPT0~FPT3ポート入力割り込みに使用するポートを選択
0x003003C1	Port Input Interrupt Select Register 2 (pPINTSEL_SPT47)	8	FPT4~FPT7ポート入力割り込みに使用するポートを選択
0x003003C2	Port Input Interrupt Polarity Select Register 1 (pPINTPOL_SPP07)	8	FPT0~FPT7ポート入力割り込みを発生させる信号極性を選択
0x003003C3	Port Input Interrupt Edge/Level Select Register 1 (pPINTEL_SEPT07)	8	FPT0~FPT7ポート入力割り込みのトリガ条件を選択
0x003003C4	Port Input Interrupt Select Register 3 (pPINTSEL_SPT811)	8	FPT8~FPT11ポート入力割り込みに使用するポートを選択
0x003003C5	Port Input Interrupt Select Register 4 (pPINTSEL_SPT1215)	8	FPT12~FPT15ポート入力割り込みに使用するポートを選択
0x003003C6	Port Input Interrupt Polarity Select Register 2 (pPINTPOL_SPP815)	8	FPT8~FPT15ポート入力割り込みを発生させる信号極性を選択
0x003003C7	Port Input Interrupt Edge/Level Select Register 2 (pPINTEL_SEPT815)	8	FPT8~FPT15ポート入力割り込みのトリガ条件を選択
0x003003D0	Key Input Interrupt Select Register (pKINTSEL_SPPK01)	8	キー入力割り込みに使用するポートを選択
0x003003D2	Key Input Interrupt (FPK0) Input Comparison Register (pKINTCOMP_SCPK0)	8	FPK0キー入力割り込みエッジ条件の設定
0x003003D3	Key Input Interrupt (FPK1) Input Comparison Register (pKINTCOMP_SCPK1)	8	FPK1キー入力割り込みエッジ条件の設定
0x003003D4	Key Input Interrupt (FPK0) Input Mask Register (pKINTCOMP_SMPK0)	8	FPK0キー入力割り込み発生の許可/禁止
0x003003D5	Key Input Interrupt (FPK1) Input Mask Register (pKINTCOMP_SMPK1)	8	FPK1キー入力割り込み発生の許可/禁止

以下に入出力ポートの制御レジスタを個々に説明します。入出力ポートの制御レジスタは0x300380~0x3003D5の8ビットデバイスエリアに割り付けられており、バイトアクセスが可能です。

0x300380–0x300392: Px Port Data Registers (pPx_PxD)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px port data register (pPx_PxD)	00300380 I 00300392 (B)	D7	Px7D	Px7 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	Px6D	Px6 I/O port data					Ext.	R/W	
		D5	Px5D	Px5 I/O port data					Ext.	R/W	
		D4	Px4D	Px4 I/O port data					Ext.	R/W	
		D3	Px3D	Px3 I/O port data					Ext.	R/W	
		D2	Px2D	Px2 I/O port data					Ext.	R/W	
		D1	Px1D	Px1 I/O port data					Ext.	R/W	
		D0	Px0D	Px0 I/O port data					Ext.	R/W	

注: ビット名などの'x'はポート番号の0～6および8、9を示します。

0x300380	P0 Port Data Register (pP0_P0D)
0x300382	P1 Port Data Register (pP1_P1D)
0x300384	P2 Port Data Register (pP2_P2D)
0x300386	P3 Port Data Register (pP3_P3D)
0x300388	P4 Port Data Register (pP4_P4D)
0x30038A	P5 Port Data Register (pP5_P5D)
0x30038C	P6 Port Data Register (pP6_P6D)
0x300390	P8 Port Data Register (pP8_P8D)
0x300392	P9 Port Data Register (pP9_P9D)

入出力ポート端子のデータの読み出し、および出力データの設定を行うレジスタです。(デフォルト: 外部端子状態)

1(R/W): Highレベル

0(R/W): Lowレベル

入出力ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力ポート端子に出力されます。ポートデータとして1を書き込んだ場合はポート端子はHigh(V_{DD} または V_{DDH})レベルとなり、0を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

データの読み出し時は、入出力ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DD} または V_{DDH})レベルの場合は1、Low(V_{SS})レベルの場合は0がそれぞれ入力データとして読み出されます。

0x30038E: P7 Port Data Register (pP7_P7D)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P7 port data register (pP7_P7D)	0030038E (B)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	P74D	P74 input port data	1	High	0	Low	Ext.: The initial value depends on the external pin status.
		D3	P73D	P73 input port data					Ext. R
		D2	P72D	P72 input port data					Ext. R
		D1	P71D	P71 input port data					Ext. R
		D0	P70D	P70 input port data					Ext. R

P7ポート端子のデータの読み出しを行うレジスタです。(デフォルト: 外部端子状態)

1(R): Highレベル

0(R): Lowレベル

ポート端子の電圧レベルが読み出されます。端子電圧がHigh(AV_{DD}またはV_{DDH})レベルの場合は1、Low(V_{ss})レベルの場合は0がそれぞれ入力データとして読み出されます。

注: P7ポートには出力機能がないため、本レジスタは読み出し専用です。

0x300381–0x300393: Px I/O Control Registers (pPx_IOCx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px I/O control register (pPx_IOCx)	00300381 I 00300393 (B)	D7	IOCx7	Px7 I/O control	1	Output	0	Input	0	R/W	
		D6	IOCx6	Px6 I/O control					0	R/W	
		D5	IOCx5	Px5 I/O control					0	R/W	
		D4	IOCx4	Px4 I/O control					0	R/W	
		D3	IOCx3	Px3 I/O control					0	R/W	
		D2	IOCx2	Px2 I/O control					0	R/W	
		D1	IOCx1	Px1 I/O control					0	R/W	
		D0	IOCx0	Px0 I/O control					0	R/W	

注: ビット名などの‘x’はポート番号の0～6および8、9を示します。

0x300381	P0 I/O Control Register (pP0_IOC0)
0x300383	P1 I/O Control Register (pP1_IOC1)
0x300385	P2 I/O Control Register (pP2_IOC2)
0x300387	P3 I/O Control Register (pP3_IOC3)
0x300389	P4 I/O Control Register (pP4_IOC4)
0x30038B	P5 I/O Control Register (pP5_IOC5)
0x30038D	P6 I/O Control Register (pP6_IOC6)
0x300391	P8 I/O Control Register (pP8_IOC8)
0x300393	P9 I/O Control Register (pP9_IOC9)

入出力ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

1(R/W): 出力モード

0(R/W): 入力モード(デフォルト)

IOCxは各入出力ポートに対応するI/O制御ビットで、1に設定すると対応する入出力ポートが出力モードに、0に設定すると入力モードになります。

端子を周辺回路用を使用する場合の入出力方向は、周辺回路の機能により決まります。

データの読み出し時は、ポート端子のI/O制御信号の値が読み出されます。ポート機能選択レジスタによって入出力ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCxへの書き込み値とは異なる場合があります。

0x3003A0–0x3003B3: Pxx Port Function Select Registers (pPx_xx_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px0–Px3 port function select register (pPx_03_CFP) or Px4–Px7 port function select register (pPx_47_CFP)	003003A0 I 003003B3 (B)	D7	CFP x31	Px3/Px7 port extended function	CFP x3/7[1:0]	Function	0	R/W	
		D6	CFP x30		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x71		01	Pin function 1			
			CFP x70		00	Pin function 0			
		D5	CFP x21	Px2/Px6 port extended function	CFP x2/6[1:0]	Function	0	R/W	
		D4	CFP x20		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x61		01	Pin function 1			
			CFP x60		00	Pin function 0			
		D3	CFP x11	Px1/Px5 port extended function	CFP x1/5[1:0]	Function	0	R/W	
		D2	CFP x10		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x51		01	Pin function 1			
			CFP x50		00	Pin function 0			
		D1	CFP x01	Px0/Px4 port extended function	CFP x0/4[1:0]	Function	0	R/W	
		D0	CFP x00		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x41		01	Pin function 1			
			CFP x40		00	Pin function 0			

注: ビット名などの‘x’はポート番号の0～9を示します。

0x3003A0	P00–P03 Port Function Select Register (pP0_03_CFP)
0x3003A1	P04–P07 Port Function Select Register (pP0_47_CFP)
0x3003A2	P10–P13 Port Function Select Register (pP1_03_CFP)
0x3003A3	P14–P17 Port Function Select Register (pP1_47_CFP)
0x3003A4	P20–P23 Port Function Select Register (pP2_03_CFP)
0x3003A5	P24–P27 Port Function Select Register (pP2_47_CFP)
0x3003A6	P30–P33 Port Function Select Register (pP3_03_CFP)
0x3003A7	P34–P36 Port Function Select Register (pP3_46_CFP)
0x3003A8	P40–P43 Port Function Select Register (pP4_03_CFP)
0x3003A9	P44–P47 Port Function Select Register (pP4_47_CFP)
0x3003AA	P50–P53 Port Function Select Register (pP5_03_CFP)
0x3003AB	P54–P57 Port Function Select Register (pP5_47_CFP)
0x3003AC	P60–P63 Port Function Select Register (pP6_03_CFP)
0x3003AD	P64–P67 Port Function Select Register (pP6_47_CFP)
0x3003AE	P70–P73 Port Function Select Register (pP7_03_CFP)
0x3003AF	P74 Port Function Select Register (pP7_4_CFP)
0x3003B0	P80–P83 Port Function Select Register (pP8_03_CFP)
0x3003B1	P84–P85 Port Function Select Register (pP8_45_CFP)
0x3003B2	P90–P93 Port Function Select Register (pP9_03_CFP)
0x3003B3	P97–P97 Port Function Select Register (pP9_47_CFP)

これらのビットは各入出力ポート端子の機能を選択します。(デフォルト: 0b00 = 端子機能0)
入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをこれらのレジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

端子機能の詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

0x3003C0: Port Input Interrupt Select Register 1 (pPINTSEL_SPT03)**0x3003C1: Port Input Interrupt Select Register 2 (pPINTSEL_SPT47)****0x3003C4: Port Input Interrupt Select Register 3 (pPINTSEL_SPT811)****0x3003C5: Port Input Interrupt Select Register 4 (pPINTSEL_SPT1215)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port input interrupt select register 1 (pPINTSEL_SPT03)	003003C0 (B)	D7 D6	SPT31 SPT30	FPT3 interrupt input port selection	SPT3[1:0]	Port	0	R/W	
					11	P33	0		
					10	P13			
					01	P23			
					00	P03			
		D5 D4	SPT21 SPT20	FPT2 interrupt input port selection	SPT2[1:0]	Port	0	R/W	
					11	P32	0		
					10	P12			
					01	P22			
					00	P02			
		D3 D2	SPT11 SPT10	FPT1 interrupt input port selection	SPT1[1:0]	Port	0	R/W	
					11	P31	0		
					10	P11			
					01	P21			
					00	P01			
		D1 D0	SPT01 SPT00	FPT0 interrupt input port selection	SPT0[1:0]	Port	0	R/W	
11	P30				0				
10	P10								
01	P20								
00	P00								
Port input interrupt select register 2 (pPINTSEL_SPT47)	003003C1 (B)	D7 D6	SPT71 SPT70	FPT7 interrupt input port selection	SPT7[1:0]	Port	0	R/W	
					11	P63	0		
					10	P17			
					01	P27			
					00	P07			
		D5 D4	SPT61 SPT60	FPT6 interrupt input port selection	SPT6[1:0]	Port	0	R/W	
					11	P62	0		
					10	P16			
					01	P26			
					00	P06			
		D3 D2	SPT51 SPT50	FPT5 interrupt input port selection	SPT5[1:0]	Port	0	R/W	
					11	P61	0		
					10	P15			
					01	P25			
					00	P05			
		D1 D0	SPT41 SPT40	FPT4 interrupt input port selection	SPT4[1:0]	Port	0	R/W	
11	P60				0				
10	P14								
01	P24								
00	P04								
Port input interrupt select register 3 (pPINTSEL_SPT811)	003003C4 (B)	D7 D6	SPTB1 SPTB0	FPT11 interrupt input port selection	SPTB[1:0]	Port	0	R/W	
					11	P93	0		
					10	P87			
					01	P83			
					00	P73			
		D5 D4	SPTA1 SPTA0	FPT10 interrupt input port selection	SPTA[1:0]	Port	0	R/W	
					11	P92	0		
					10	INT_USB			
					01	P82			
					00	P72			
		D3 D2	SPT91 SPT90	FPT9 interrupt input port selection	SPT9[1:0]	Port	0	R/W	
					11	P91	0		
					10	USB_PDREQ			
					01	P81			
					00	P71			
		D1 D0	SPT81 SPT80	FPT8 interrupt input port selection	SPT8[1:0]	Port	0	R/W	
11	P90				0				
10	INT_SPI								
01	P80								
00	P70								

VI 周辺モジュール4(ポート): 汎用入力ポート (GPIO)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port input interrupt select register 4 (pPINTSEL_SPT1215)	003003C5 (B)	D7	SPTF1	FPT15 interrupt input port selection	SPTF[1:0]	Port	0	R/W	
		D6	SPTF0		11	P97	0		
					10	P67			
					01	P53			
					00	P43			
		D5	SPTE1	FPT14 interrupt input port selection	SPTE[1:0]	Port	0	R/W	
		D4	SPTE0		11	P96	0		
					10	P66			
					01	P52			
					00	P42			
		D3	SPTD1	FPT13 interrupt input port selection	SPTD[1:0]	Port	0	R/W	
		D2	SPTD0		11	P95	0		
					10	P65			
					01	P51			
					00	P41			
		D1	SPTC1	FPT12 interrupt input port selection	SPTC[1:0]	Port	0	R/W	
		D0	SPTC0		11	P94	0		
					10	P64			
					01	P50			
					00	P40			

SPTx[1:0]: FPTx Interrupt Input Port Select Bits

FPTxポート入力割り込みに使用する入力端子を選択します。

表VI.1.6.2 ポート入力割り込み用入力端子の選択

割り込み 要因	SPT設定			
	11	10	01	00
FPT15	P97	P67	P53	P43
FPT14	P96	P66	P52	P42
FPT13	P95	P65	P51	P41
FPT12	P94	P64	P50	P40
FPT11	P93	P87	P83	P73
FPT10	P92	INT_USB	P82	P72
FPT9	P91	USB_PDREQ	P81	P71
FPT8	P90	INT_SPI	P80	P70
FPT7	P63	P17	P27	P07
FPT6	P62	P16	P26	P06
FPT5	P61	P15	P25	P05
FPT4	P60	P14	P24	P04
FPT3	P33	P13	P23	P03
FPT2	P32	P12	P22	P02
FPT1	P31	P11	P21	P01
FPT0	P30	P10	P20	P00

(デフォルト: 0b00)

注: FPT8、FPT9、FPT10、FPT11割り込みシステムはSPI、USB割り込みと共用されます。SPI、USB割り込みを使用する場合はSPTビットを0b10に設定してください。この場合、ポート入力割り込みの制御レジスタと信号はSPI、USB割り込みの制御に使用されます。

0x3003C2: Port Input Interrupt Polarity Select Register 1 (pPINTPOL_SPP07)

0x3003C6: Port Input Interrupt Polarity Select Register 2 (pPINTPOL_SPP815)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port input interrupt polarity select register 1 (pPINTPOL_SPP07)	003003C2 (B)	D7	SPPT7	FPT7 input polarity selection	1	High level or Rising edge	0	Low level or Falling edge	1	R/W	
		D6	SPPT6	FPT6 input polarity selection					1	R/W	
		D5	SPPT5	FPT5 input polarity selection					1	R/W	
		D4	SPPT4	FPT4 input polarity selection					1	R/W	
		D3	SPPT3	FPT3 input polarity selection					1	R/W	
		D2	SPPT2	FPT2 input polarity selection					1	R/W	
		D1	SPPT1	FPT1 input polarity selection					1	R/W	
		D0	SPPT0	FPT0 input polarity selection					1	R/W	
Port input interrupt polarity select register 2 (pPINTPOL_SPP815)	003003C6 (B)	D7	SPPTF	FPT15 input polarity selection	1	High level or Rising edge	0	Low level or Falling edge	1	R/W	
		D6	SPPTE	FPT14 input polarity selection					1	R/W	
		D5	SPPTD	FPT13 input polarity selection					1	R/W	
		D4	SPPTC	FPT12 input polarity selection					1	R/W	
		D3	SPPTB	FPT11 input polarity selection					1	R/W	
		D2	SPPTA	FPT10 input polarity selection					1	R/W	
		D1	SPPT9	FPT9 input polarity selection					1	R/W	
		D0	SPPT8	FPT8 input polarity selection					1	R/W	

これらのレジスタはポート入力割り込みを発生させる入力信号の極性を選択します。

1(R/W): Highレベルまたは立ち上がりエッジ(デフォルト)

0(R/W): Lowレベルまたは立ち下がりエッジ

SPPT_xはFPT_x割り込みに対応する入力極性選択ビットです。SPPT_xを1に設定すると、FPT_x割り込みは入力がHighレベルになるか、または立ち上がりエッジで発生します。SPPT_xを0に設定すると、FPT_x割り込みは入力がLowレベルになるか、または立ち下がりエッジで発生します。エッジとレベルの選択はSEPT_x(0x3003C3、0x3003C7)で行います。

D[7:0]/0x3003C2 SPPT[7:0]: FPT[7:0] Interrupt Polarity Select Bits

FPT[7:0]割り込みを発生させる入力信号の極性を選択します。

D[7:0]/0x3003C6 SPPT[F:8]: FPT[15:8] Interrupt Polarity Select Bits

FPT[15:8]割り込みを発生させる入力信号の極性を選択します。

0x3003C3: Port Input Interrupt Edge/Level Select Register 1 (pPINTEL_SEPT07)

0x3003C7: Port Input Interrupt Edge/Level Select Register 2 (pPINTEL_SEPT815)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input interrupt edge/level select register 1 (pPINTEL_SEPT07)	003003C3 (B)	D7	SEPT7	FPT7 edge/level selection	1	Edge	0	Level	1	R/W	
		D6	SEPT6	FPT6 edge/level selection					1	R/W	
		D5	SEPT5	FPT5 edge/level selection					1	R/W	
		D4	SEPT4	FPT4 edge/level selection					1	R/W	
		D3	SEPT3	FPT3 edge/level selection					1	R/W	
		D2	SEPT2	FPT2 edge/level selection					1	R/W	
		D1	SEPT1	FPT1 edge/level selection					1	R/W	
		D0	SEPT0	FPT0 edge/level selection					1	R/W	
Port input interrupt edge/level select register 2 (pPINTEL_SEPT815)	003003C7 (B)	D7	SEPTF	FPT15 edge/level selection	1	Edge	0	Level	1	R/W	
		D6	SEPTE	FPT14 edge/level selection					1	R/W	
		D5	SEPTD	FPT13 edge/level selection					1	R/W	
		D4	SEPTC	FPT12 edge/level selection					1	R/W	
		D3	SEPTB	FPT11 edge/level selection					1	R/W	
		D2	SEPTA	FPT10 edge/level selection					1	R/W	
		D1	SEPT9	FPT9 edge/level selection					1	R/W	
		D0	SEPT8	FPT8 edge/level selection					1	R/W	

これらのレジスタはポート入力割り込みを入力信号のエッジで発生させるか、レベルで発生させるかを選択します。

1(R/W): エッジ(デフォルト)

0(R/W): レベル

SEPT_xはFPT_x割り込みに対応するエッジ/レベル選択ビットです。SEPT_xを1に設定すると、FPT_x割り込みは入力のエッジで発生します。SPPT_x(0x3003C2、0x3003C6)の設定により、立ち上がりエッジまたは立ち下がりエッジが選択されます。SEPT_xを0に設定すると、FPT_x割り込みは入力のレベルで発生します。SPPT_xの設定により、HighレベルまたはLowレベルが選択されます。

D[7:0]/0x3003C3 SEPT[7:0]: FPT[7:0] Edge/Level Select Bits

FPT[7:0]割り込みを入力信号のエッジで発生させるか、レベルで発生させるか選択します。

D[7:0]/0x3003C7 SEPT[F:8]: FPT[15:8] Edge/Level Select Bits

FPT[15:8]割り込みを入力信号のエッジで発生させるか、レベルで発生させるか選択します。

0x3003D0: Key Input Interrupt Select Register (pKINTSEL_SPPK01)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Key input interrupt select register (pKINTSEL _SPPK01)	003003D0 (B)	D7	—	reserved	—		—	—	0 when being read.
		D6	SPPK12	FPK1 interrupt input port selection	SPPK1[2:0]	Port	0	R/W	
		D5	SPPK11		111	P9[7:4]	0		
		D4	SPPK10		110	P8[5:4]	0		
					101	P7[3:0]			
					100	P6[7:4]			
					011	P3[3:0]			
					010	P2[7:4]			
					001	P1[7:4]			
					000	P0[7:4]			
					D3	—	reserved		
		D2	SPPK02	FPK0 interrupt input port selection	SPPK0[2:0]	Port	0	R/W	
		D1	SPPK01		111	P9[4:0]	0		
		D0	SPPK00		110	P8[4:0]	0		
					101	P5[4:0]			
					100	P6[4:0]			
					011	P4[4:0]			
					010	P2[4:0]			
					001	P1[4:0]			
		000	P0[4:0]						

このレジスタはキー入力割り込みに使用する入力端子系列を選択します。

表VI.1.6.3 キー入力割り込み用入力端子の選択

割り込み 要因	SPPK設定							
	111	110	101	100	011	010	001	000
FPK1	P9[7:4]	P8[5:4]	P7[3:0]	P6[7:4]	P3[3:0]	P2[7:4]	P1[7:4]	P0[7:4]
FPK0	P9[4:0]	P8[4:0]	P5[4:0]	P6[4:0]	P4[4:0]	P2[4:0]	P1[4:0]	P0[4:0]

(デフォルト: 0b000)

D7 **Reserved**

D[6:4] **SPPK1[2:0]: FPK1 Interrupt Input Port Select Bits**
FPK1割り込みに使用する入力端子系列を選択します。

D3 **Reserved**

D[2:0] **SPPK0[2:0]: FPK0 Interrupt Input Port Select Bits**
FPK0割り込みに使用する入力端子系列を選択します。

**0x3003D2: Key Input Interrupt (FPK0) Input Comparison Register
(pKINTCOMP_SCPK0)****0x3003D3: Key Input Interrupt (FPK1) Input Comparison Register
(pKINTCOMP_SCPK1)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Key input interrupt (FPK0) input comparison register (pKINTCOMP_SCPK0)	003003D2 (B)	D7-5	—	reserved	—			—	—	0 when being read.	
		D4	SCPCK04	FPK04 input comparison	1	High	0	Low	0	R/W	
		D3	SCPCK03	FPK03 input comparison					0	R/W	
		D2	SCPCK02	FPK02 input comparison					0	R/W	
		D1	SCPCK01	FPK01 input comparison					0	R/W	
		D0	SCPCK00	FPK00 input comparison					0	R/W	
Key input interrupt (FPK1) input comparison register (pKINTCOMP_SCPK1)	003003D3 (B)	D7-4	—	reserved	—			—	—	0 when being read.	
		D3	SCPCK13	FPK13 input comparison	1	High	0	Low	0	R/W	
		D2	SCPCK12	FPK12 input comparison					0	R/W	
		D1	SCPCK11	FPK11 input comparison					0	R/W	
		D0	SCPCK10	FPK10 input comparison					0	R/W	

D[4:0]/0x3003D2 SCPCK0[4:0]: FPK0[4:0] Input Comparison Bits

FPK0キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

SCPCK0[4:0]はFPK0の5ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPK0[4:0](D[4:0]/0x3003D4)で割り込み禁止に設定した入力と比較の対象とはなりません)。

D[3:0]/0x3003D3 SCPCK1[3:0]: FPK1[3:0] Input Comparison Bits

FPK1キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

SCPCK1[3:0]はFPK1の4ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPK1[3:0](D[3:0]/0x3003D5)で割り込み禁止に設定した入力と比較の対象とはなりません)。

0x3003D4: Key Input Interrupt (FPK0) Input Mask Register (pKINTCOMP_SMPK0)

0x3003D5: Key Input Interrupt (FPK1) Input Mask Register (pKINTCOMP_SMPK1)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Key input interrupt (FPK0) input mask register (pKINTCOMP_SMPK0)	003003D4 (B)	D7-5	—	reserved	—			—	—	0 when being read.	
		D4	SMPK04	FPK04 input mask	1	Interrupt enabled	0	Interrupt disabled	0	R/W	
		D3	SMPK03	FPK03 input mask					0	R/W	
		D2	SMPK02	FPK02 input mask					0	R/W	
		D1	SMPK01	FPK01 input mask					0	R/W	
		D0	SMPK00	FPK00 input mask					0	R/W	
Key input interrupt (FPK1) input mask register (pKINTCOMP_SMPK1)	003003D5 (B)	D7-4	—	reserved	—			—	—	0 when being read.	
		D3	SMPK13	FPK13 input mask	1	Interrupt enabled	0	Interrupt disabled	0	R/W	
		D2	SMPK12	FPK12 input mask					0	R/W	
		D1	SMPK11	FPK11 input mask					0	R/W	
		D0	SMPK10	FPK10 input mask					0	R/W	

D[4:0]/0x3003D4 SMPK0[4:0]: FPK0[4:0] Input Mask Bits

FPK0キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

SMPK0_xはFPK0キー入力割り込み端子系列の各ビットに対応する入力マスクビットで、1に設定したビットの割り込みが許可され、0に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

D[3:0]/0x3003D5 SMPK1[3:0]: FPK1[3:0] Input Mask Bits

FPK1キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

SMPK1_xはFPK1キー入力割り込み端子系列の各ビットに対応する入力マスクビットで、1に設定したビットの割り込みが許可され、0に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

VI.1.7 注意事項

- イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、**PSR**を再設定または**reti**命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- **SLEEP**モードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。
再起動は、立ち上がりとしち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時: **High**レベル入力で再起動する。
立ち下がりエッジ割り込み設定時: **Low**レベル入力で再起動する。

slp命令実行後、立ち下がりエッジ割り込みで再起動と設定した場合は、次のように動作します。

slp命令実行時に割り込みポートのレベルがすでに**Low**レベルの場合は、一瞬だけ**SLEEP**状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルが**High**レベルの場合は、ポート入力が**Low**に変化するまで**SLEEP**状態が保持されます。

したがって、**SLEEP**状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。

- デフォルトでデバッグ用端子に設定されるP15～P17およびP34～P36端子を汎用入出力ポートとして使用する場合は、**TRCMUX**(D0/0x300014)を0にクリアしてください。

* **TRCMUX**: P15–17, P34–36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)

ただし、**TRCMUX**(D0/0x300014)を0に設定するとデバッグのPCトレース機能が使用できなくなります。

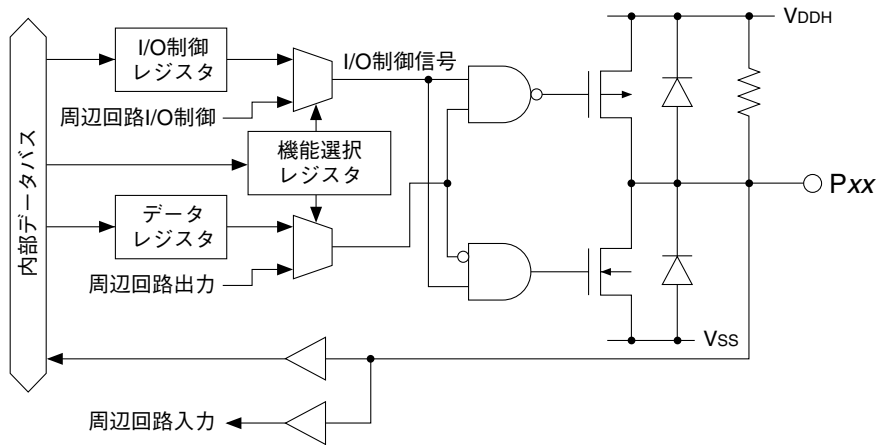
- ポート入力割り込みが入力信号のエッジで発生するように割り込み条件を設定している場合でも、割り込みを確実に発生させるには、ポート動作クロックの1クロック以上のパルス幅を持つ信号を入力する必要があります。

VI.2 拡張汎用入出力ポート (EGPIO)

VI.2.1 EGPIOポートの構成

S1C33L19は、標準GPIOモジュールに割り付けることができない拡張周辺機能を実装するため、17の拡張入出力ポート (PA[4:0]、PB[3:0]およびPC[7:0])を内蔵しています。周辺機能用に使用しない端子については、汎用の入出力ポートとして使用することができます。

図VI.2.1.1に入出力ポートの構造を示します。



図VI.2.1.1 入出力ポートの構造

注: • PA[4:0]およびPB[3:0]ポートはTQFP24-144pin/パッケージでは使用できません。

- PAおよびPBポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。“III.4.5 端子制御レジスタ”を参照し、プルアップ抵抗の制御を行ってください。
なお、端子制御レジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

VI.2.2 入出力端子機能の選択

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをポート機能選択レジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

イニシャルリセットにより、各入出力ポート端子(Pxx)はデフォルトの機能に初期化されます。複数の機能が割り付けられている端子については、各ポートに用意されている拡張機能選択ビット (CFPxx[1:0])で使用する機能を選択することができます。端子の機能と切り換えの詳細については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

VI.2.3 I/O制御レジスタと入出力モード

入出力ポートは、それぞれのビットに対応したIOC_xにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

- * **IOCA[4:0]**: PA4–PA0 I/O Control Bits in the PA I/O Control Register (D[4:0]/0x300C00)
- * **IOCB[3:0]**: PB3–PB0 I/O Control Bits in the PB I/O Control Register (D[3:0]/0x300C02)
- * **IOCC[7:0]**: PC7–PC0 I/O Control Bits in the PC I/O Control Register (D[7:0]/0x300C04)

入力モードに設定する場合はI/O制御レジスタに0を書き込みます。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。端子制御レジスタでプルアップを有効にしている場合は、ポートがプルアップされます。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DDH})レベルのときに1、Low(V_{SS})レベルのときに0となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに1を書き込みます。出力モードに設定された入出力ポートは出力ポートとして機能し、ポート出力データが1の場合にHigh(V_{DDH})レベル、0の場合にLow(V_{SS})レベルを出力します。なお、端子制御レジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

イニシャルリセット時、I/O制御レジスタは0(入力モード)に設定されます。

VI.2.4 EGPIOの動作クロック

EGPIOモジュールは、CMUから供給されるEGPIO_MISC_CLKクロック(= MCLK)で動作します。インシヤルリセット時は、このクロックが供給されるように設定されますが、入出力ポートの動作を停止中または入出力ポートを使用しない場合で、かつMiscレジスタの0x300C41～0x300C4D番地にアクセスしない場合は、CMUからの供給を停止して消費電流を低減することができます。この制御はCMUのEGPIO_MISC_CKE(D12/0x301B04)で行います。

* **EGPIO_MISC_CKE**: EGPIO and Misc (0x300C41–0x300C4D) Clock Control Bit in the Gated Clock Control Register 1 (D12/0x301B04)

EGPIO_MISC_CKE(D12/0x301B04)を0に設定すると、CMUから入出力ポートへのクロック供給が停止します。CMUから入出力ポートへのクロック供給を停止すると、入出力ポートの全制御レジスタへの書き込みができなくなります。ただし、入力端子レベルの読み出しは正常に行えます。

クロックの生成と制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control Register 1 (0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register (0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register (0x301B24)を0x96以外に設定してください。

VI.2.5 制御レジスタ詳細

表VI.2.5.1 EGPIO制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00300C00	PA I/O Control Register (pPA_IOC)	8	PAポートの入力/出力方向を制御
0x00300C01	PA Port Data Register (pPA_DATA)	8	PAポートのデータリード/ライトレジスタ
0x00300C02	PB I/O Control Register (pPB_IOC)	8	PBポートの入力/出力方向を制御
0x00300C03	PB Port Data Register (pPB_DATA)	8	PBポートのデータリード/ライトレジスタ
0x00300C04	PC I/O Control Register (pPC_IOC)	8	PCポートの入力/出力方向を制御
0x00300C05	PC Port Data Register (pPC_DATA)	8	PCポートのデータリード/ライトレジスタ
0x00300C20	PA0~PA3 Port Function Select Register (pPA_CFP0)	8	PA0~PA3ポートの端子機能を選択
0x00300C21	PA4 Port Function Select Register (pPA_CFP1)	8	PA4ポートの端子機能を選択
0x00300C22	PB0~PB3 Port Function Select Register (pPB_CFP0)	8	PB0~PB3ポートの端子機能を選択
0x00300C24	PC0~PC3 Port Function Select Register (pPC_CFP0)	8	PC0~PC3ポートの端子機能を選択
0x00300C25	PC4~PC7 Port Function Select Register (pPC_CFP1)	8	PC4~PC7ポートの端子機能を選択

以下にEGPIOの制御レジスタを個々に説明します。入出力ポートの制御レジスタは0x300C00~0x300C25の8ビットデバイスエリアに割り付けられており、バイトアクセスが可能です。

0x300C00–0x300C04: Px I/O Control Registers (pPx_IOC)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px I/O control register (pPx_IOC)	00300C00 I 00300C04 (B)	D7	IOCx7	Px7 I/O control	1	Output	0	Input	0	R/W	
		D6	IOCx6	Px6 I/O control					0	R/W	
		D5	IOCx5	Px5 I/O control					0	R/W	
		D4	IOCx4	Px4 I/O control					0	R/W	
		D3	IOCx3	Px3 I/O control					0	R/W	
		D2	IOCx2	Px2 I/O control					0	R/W	
		D1	IOCx1	Px1 I/O control					0	R/W	
		D0	IOCx0	Px0 I/O control					0	R/W	

注: ビット名などの‘x’はポート番号のA～Cを示します。

0x300C00 PA I/O Control Register (pPA_IOC)

0x300C02 PB I/O Control Register (pPB_IOC)

0x300C04 PC I/O Control Register (pPC_IOC)

入出力ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

1(R/W): 出力モード

0(R/W): 入力モード(デフォルト)

IOCxは各入出力ポートに対応するI/O制御ビットで、1に設定すると対応する入出力ポートが出力モードに、0に設定すると入力モードになります。

端子を周辺回路用を使用する場合の入出力方向は、周辺回路の機能により決まります。

データの読み出し時は、ポート端子のI/O制御信号の値が読み出されます。ポート機能選択レジスタによって入出力ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCxへの書き込み値とは異なる場合があります。

0x300C01–0x300C05: Px Port Data Registers (pPx_DATA)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px port data register (pPx_DATA)	00300C01 I 00300C05 (B)	D7	Px7D	Px7 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	Px6D	Px6 I/O port data					Ext.	R/W	
		D5	Px5D	Px5 I/O port data					Ext.	R/W	
		D4	Px4D	Px4 I/O port data					Ext.	R/W	
		D3	Px3D	Px3 I/O port data					Ext.	R/W	
		D2	Px2D	Px2 I/O port data					Ext.	R/W	
		D1	Px1D	Px1 I/O port data					Ext.	R/W	
		D0	Px0D	Px0 I/O port data					Ext.	R/W	

注: ビット名などの‘x’はポート番号のA～Cを示します。

0x300C01 PA Port Data Register (pPA_DATA)

0x300C03 PB Port Data Register (pPB_DATA)

0x300C05 PC Port Data Register (pPC_DATA)

入出力ポート端子のデータの読み出し、および出力データの設定を行うレジスタです。(デフォルト: 外部端子状態)

1(R/W): Highレベル

0(R/W): Lowレベル

入出力ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力ポート端子に出力されます。ポートデータとして1を書き込んだ場合はポート端子はHigh(V_{DDH})レベルとなり、0を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

データの読み出し時は、入出力ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DDH})レベルの場合は1、Low(V_{SS})レベルの場合は0がそれぞれ入力データとして読み出されます。

0x300C20–0x300C25: Pxx Port Function Select Registers (pPx_CFP0/1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px0–Px3 port function select register (pPx_CFP0) or Px4–Px7 port function select register (pPx_CFP1)	00300C20 00300C25 (B)	D7	CFP x 31	Px3/Px7 port extended function	CFP x 3/7[1:0]	Function	0	R/W	
		D6	CFP x 30		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x 71		01	Pin function 1			
			CFP x 70		00	Pin function 0			
		D5	CFP x 21	Px2/Px6 port extended function	CFP x 2/6[1:0]	Function	0	R/W	
		D4	CFP x 20		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x 61		01	Pin function 1			
			CFP x 60		00	Pin function 0			
		D3	CFP x 11	Px1/Px5 port extended function	CFP x 1/5[1:0]	Function	0	R/W	
		D2	CFP x 10		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x 51		01	Pin function 1			
			CFP x 50		00	Pin function 0			
		D1	CFP x 01	Px0/Px4 port extended function	CFP x 0/4[1:0]	Function	0	R/W	
		D0	CFP x 00		11	Pin function 3	0		
			or		10	Pin function 2			
			CFP x 41		01	Pin function 1			
			CFP x 40		00	Pin function 0			

注: ビット名などの‘x’はポート番号のA～Cを示します。

- 0x300C20 PA0–PA3 Port Function Select Register (pPA_CFP0)
- 0x300C21 PA4 Port Function Select Register (pPA_CFP1)
- 0x300C22 PB0–PB3 Port Function Select Register (pPB_CFP0)
- 0x300C24 PC0–PC3 Port Function Select Register (pPC_CFP0)
- 0x300C25 PC4–PC7 Port Function Select Register (pPC_CFP1)

これらのビットは各入出力ポート端子の機能を選択します。(デフォルト: 0b00 = 端子機能0)

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをこれらのレジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

端子機能の詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

このページはブランクです。

S1C33L19 Technical Manual

VII 周辺モジュール5 (アナログ)

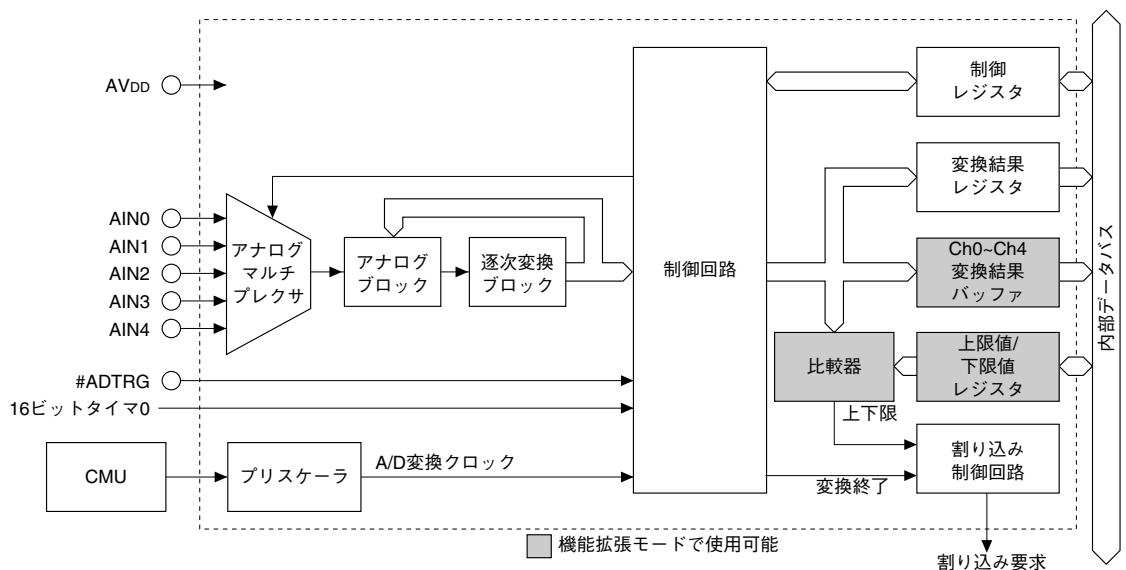
VII.1 A/D変換器(ADC)

VII.1.1 A/D変換器の特長と構成

S1C33L19は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式 逐次比較型
 - 分解能 10ビット
 - 入力チャンネル 5チャンネル
 - A/D変換器入力クロック 最大2MHz、最小16kHz
 - 変換時間 最小10μsec(2MHzの入力クロック選択時)
最大1250μsec(16kHzの入力クロック選択時)
 - 変換範囲 $V_{SS} \sim AV_{DD}$ 間
 - 2種類の変換モードが選択可能
通常モード: 1回の変換で終了
連続モード: 連続的に変換、ソフトウェア制御により終了
各モードで、複数チャンネルの連続変換が可能
 - 3種類のア/D変換開始トリガが選択可能
外部端子(#ADTRG)によるトリガ
16ビットタイマ0のコンペアマッチBによるトリガ
ソフトウェアによるトリガ
 - A/D変換結果は10ビットデータレジスタ、または各チャンネルの変換結果バッファ*から読み出し可能
 - A/D変換終了時、および変換結果が指定上下限範囲外*の場合に割り込み発生可能
- * 拡張モードで使用可能な機能です。S1C33L19のア/D変換器は従来のC33 STDアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。

図VII.1.1.1にA/D変換器の構成を示します。



VII.1.2 A/D変換器の入力端子

表VII.1.2.1にA/D変換器で使用する端子を示します。

表VII.1.2.1 A/D変換器の端子構成

端子名	I/O	機 能
#A/DTRG	I	A/Dトリガ
AIN0	I	A/D変換器入力0
AIN1	I	A/D変換器入力1
AIN2	I	A/D変換器入力2
AIN3	I	A/D変換器入力3
AIN4	I	A/D変換器入力4
AVDD	–	アナログ系電源(+)

■AVDD(アナログ電源端子)

AVDD端子はアナログ回路の電源端子です。

注: A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDD～VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544)を0、デフォルト)に設定してください。

* ADE: A/D Enable Bit in the A/D Control/Status Register (D2/0x300544)

■AIN[4:0](アナログ信号入力端子)

アナログ入力端子AIN4(Ch.4)～AIN0(Ch.0)は入出力ポートと共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。イニシャルリセット時はすべての端子が入出力ポートに設定されます。入力可能なアナログ電圧値AVINは $V_{SS} \leq AV_{IN} \leq AV_{DD}$ の範囲です。

■#ADTRG(外部トリガ入力端子)

#ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。入出力ポートと共用されていますので、外部トリガを与える場合は、ソフトウェアによりA/D変換器用に設定する必要があります。イニシャルリセット時は入出力ポート端子に設定されます。

注: A/D変換器の入力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではA/D変換器以外の機能に設定されます。これらの端子に割り当てられているA/D変換器の入力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VII.1.3 A/D変換器の動作クロック

A/D変換器はCMUから供給されるADC_CLK(= MCLK)クロックで動作します。変換クロックはA/D変換器内のプリスケアラで生成します。

■動作クロックの供給制御

ADC_CLKクロックはデフォルト設定でA/D変換器に供給されるようになっています。A/D変換器を使用しない場合は、ADC_CKE(D3/0x301B04)により供給を停止して消費電力を抑えることができます。

* **ADC_CKE**: A/D Converter Clock Control Bit in the Gated Clock Control Register 1 (D3/0x301B04)

ADC_CKE(D3/0x301B04)を0(初期設定は1)に設定すると、A/D変換器への動作クロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスもできなくなります。クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

■スタンバイモード時のクロック状態

スタンバイモードの種類により、A/D変換器へのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はA/D変換器も動作を停止します。

VII.1.4 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定 ... VII.1.2、I.3.3参照
2. 動作モード(標準モード/拡張モード)の選択
3. 入力クロックの設定
4. アナログ変換開始チャンネル/終了チャンネルの選択
5. A/D変換モードの設定
6. トリガの選択
7. サンプリング時間の設定
8. 変換結果の上限値/下限値の設定(拡張モード)
9. 割り込みモードの設定(拡張モード)
10. ITC/IDMA/HSDMAの設定 ... VII.1.6参照

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544) = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

* **ADE:** A/D Enable Bit in the A/D Control/Status Register (D2/0x300544)

■動作モード(標準モード/拡張モード)の設定

S1C33L19のA/D変換器は従来のC33 STDアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。表VII.1.4.1に動作モードによる機能の相違点を示します。

表VII.1.4.1 標準モードと拡張モードの相違点

機 能	標準モード	拡張モード
変換結果の読み出し	全チャンネル共通の変換結果レジスタから読み出します。複数チャンネルの変換を行う場合、次のチャンネルの変換終了前に変換結果レジスタを読み出す必要があります。	チャンネルごとに用意されている変換結果バッファから読み出すことができます。複数チャンネルの変換を行う場合、次のチャンネルの変換が終了しても、現在のチャンネルの変換結果が失われることはありません。
変換終了フラグ、オーバーライトエラーフラグ	それぞれ1ビットを全チャンネル共通に使用します。	チャンネルごとにそれぞれのフラグが用意されています。
上限値/下限値の比較	この機能はありません。	上限値と下限値を設定し、指定チャンネルの変換結果がその範囲内かどうかを確認できます。
割り込み	変換終了割り込みのみ発生可能です。割り込みをチャンネル単位にマスクすることはできません。	変換終了割り込みと上下限割り込みを発生可能です。チャンネル単位で変換終了割り込みをマスク可能です。

拡張モードにするには、ADCADV(D8/0x30055E)を1に設定します。この設定後、拡張機能用制御ビットへのアクセスが可能となります。イニシャルリセット時はADCADVが0に設定され、標準モードになります。

* **ADCADV:** Standard/Advanced Mode Select Bit in the A/D Converter Mode Select/Internal Status Register (D8/0x30055E)

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。拡張モードの各機能については、ADCADV(D8/0x30055E)が1に設定されているものとして説明します。

■入力クロックの設定

A/D変換器モジュールはプリスケアラを内蔵しており、A/D変換クロックを表VII.1.4.2に示す8種類から選択することができます。選択はPSAD[2:0](D[2:0]/0x300520)によって行います。

* **PSAD[2:0]**: A/D Converter Clock Division Ratio Setup Bits in the A/D Clock Control Register (D[2:0]/0x300520)

表VII.1.4.2 入力クロックの選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	MCLK/256
1	1	0	MCLK/128
1	0	1	MCLK/64
1	0	0	MCLK/32
0	1	1	MCLK/16
0	1	0	MCLK/8
0	0	1	MCLK/4
0	0	0	MCLK/2

(デフォルト: 0b000 = MCLK/2)

選択したクロックは、PSONAD(D3/0x300520)に1を書き込むことによりプリスケアラから出力されます。

* **PSONAD**: A/D Converter Clock Control Bit in the A/D Clock Control Register (D3/0x300520)

注: • 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。

- プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。

■アナログ変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。

1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、CS[2:0](D[10:8]/0x300542)とCE[2:0](D[13:11]/0x300542)によって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

注: 本A/D変換器の制御部は、将来の拡張のため8チャネル対応になっています。

このため、アナログ入力が存在しないチャネルに対しても、アナログ入力が存在するチャネルと同様の変換動作が行なわれます。

なお、アナログ入力が存在しないチャネルの変換動作が行なわれた場合は、ADD[9:0] (A/D変換結果レジスタ) には 0x0 が格納されます。存在しないチャネルの変換動作を行いたくない場合は、CS[2:0]がCE[2:0]よりも小さくなるように設定してください。

* **CS[2:0]**: A/D Converter Start Channel Setup Bits in the A/D Trigger/Channel Select Register (D[10:8]/0x300542)

* **CE[2:0]**: A/D Converter End Channel Setup Bits in the A/D Trigger/Channel Select Register (D[13:11]/0x300542)

表VII.1.4.3 CS/CEと入力チャネルの関係

CS2/CE2	CS1/CE1	CS0/CE0	選択チャネル
1	0	0	AIN4
0	1	1	AIN3
0	1	0	AIN2
0	0	1	AIN1
0	0	0	AIN0
その他			Reserved

選択例: 1回のA/D変換の動作

CS[2:0] = 0, CE[2:0] = 0: AIN0のみ変換

CS[2:0] = 0, CE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

CS[2:0] = 3, CE[2:0] = 1: AIN3→AIN4→(AIN5)→(AIN6)→(AIN7)→AIN0→AIN1の順に変換

注: CS[2:0](D[10:8]/0x300542)とCE[2:0](D[13:11]/0x300542)で設定する変換チャネルの入力端子は、すべてA/D変換器用に設定されていることが必要です。

■A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはMS(D5/0x300542)で選択します。

* **MS**: A/D Conversion Mode Select Bit in the A/D Trigger/Channel Select Register (D5/0x300542)

1. 通常モード(MS = 0)

CS[2:0](D[10:8]/0x300542)とCE[2:0](D[13:11]/0x300542)で選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続モード(MS = 1)

ソフトウェアで停止させるまで、CS[2:0]およびCE[2:0]で選択したチャネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

■トリガの選択

A/D変換を開始させるトリガ方式を、TS[1:0](D[4:3]/0x300542)で表VII.1.4.4に示す3種類の中から選択します。

* **TS[1:0]**: A/D Conversion Trigger Select Bits in the A/D Trigger/Channel Select Register (D[4:3]/0x300542)

表VII.1.4.4 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(#ADTRG)
1	0	Reserved
0	1	16ビットタイマ0
0	0	ソフトウェア

1. 外部トリガ

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、ポート機能選択レジスタで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

2. 16ビットタイマ

16ビットタイマ0のコンペアマッチB信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。

タイマの設定については、16ビットタイマの説明を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるADST(D1/0x300544)への1書き込みをトリガとしてA/D変換を開始します。

* **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status Register (D1/0x300544)

■サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(変換クロックの3、5、7または9クロック)に設定可能なST[1:0](D[9:8]/0x300544)が設けられています。ただし、このレジスタはデフォルト(ST[1:0] = 11、9クロック)のまま使用してください。

* **ST[1:0]**: Input Signal Sampling Time Setup Bits in the A/D Control/Status Register (D[9:8]/0x300544)

■上限値/下限値の設定(拡張モード)

拡張モードでは、上限値および下限値を設定し、変換結果がその範囲内かどうかを確認することができます。この機能を使用するには以下の設定を行います。

1. 上限値/下限値比較チャネル設定

A/D変換結果と上限値/下限値の比較を行うチャネルをADCMP[2:0](D[14:12]/0x300544)で選択します。

- * **ADCMP[2:0]**: A/D Upper/Lower-limit Comparison Channel Select Bits in the A/D Control/Status Register (D[14:12]/0x300544)

表VII.1.4.5 上限値/下限値比較チャネルの設定

ADCMP2	ADCMP1	ADCMP0	選択チャネル
1	0	0	AIN4
0	1	1	AIN3
0	1	0	AIN2
0	0	1	AIN1
0	0	0	AIN0
その他			Reserved

2. 上限値/下限値の設定

上限値をADUPR[9:0](D[9:0]/0x300558)に、下限値をADLWR[9:0](D[9:0]/0x30055A)に設定します。

- * **ADUPR[9:0]**: A/D Upper Limit Value Setup Bits in the A/D Upper Limit Value Register (D[9:0]/0x300558)
- * **ADLWR[9:0]**: A/D Lower Limit Value Setup Bits in the A/D Lower Limit Value Register (D[9:0]/0x30055A)

設定した上限値より大きなA/D変換結果で上限オーバー、設定した下限値より小さなA/D変換結果で下限アンダーと判定されます。変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定されます。

3. 上限値/下限値の比較をイネーブル

ADCMPE(D15/0x300544)に1を書き込んで、上限値/下限値の比較機能を有効に設定します。

- * **ADCMPE**: A/D Upper/Lower-limit Comparison Enable Bit in the A/D Control/Status Register (D15/0x300544)

■割り込みモードの設定(拡張モード)

拡張モードでは割り込み機能も増えており、以下の設定も必要です。

1. 変換終了割り込みのイネーブル/ディセーブル

CNVINTEN(D4/0x300544)で変換終了割り込みを有効/無効に設定できます。変換終了割り込みを使用する場合はCNVINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は1に設定され、変換終了割り込み機能は有効となります。

- * **CNVINTEN**: A/D Conversion-Complete Interrupt Enable Bit in the A/D Control/Status Register (D4/0x300544)

2. 上下限割り込みのイネーブル/ディセーブル

CMPINTEN(D5/0x300544)で上下限割り込みを有効/無効に設定できます。上下限割り込みを使用する場合はCMPINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は0に設定され、上下限割り込み機能は無効となります。

- * **CMPINTEN**: A/D Out-of-Range Interrupt Enable Bit in the A/D Control/Status Register (D5/0x300544)

3. 割り込み信号モードの設定

S1C33L19のA/D変換器は上記の割り込み要因に対応する2つの割り込み要求出力を持っており、それぞれの割り込みを別個に処理可能です。C33 STDコアの拡張モード付きA/D変換器はITCへの割り込み要求信号が1本のみで、初期設定では上下限割り込み信号が変換終了割り込み信号とORされてITCに送られるようになっていました。S1C33L19もこの割り込み方式に対応しており、変換終了時、あるいは変換結果が上下限範囲外の場合でもITC内の変換終了割り込みフラグがセットされます。この割り込み方式はINTMODE(D6/0x300544)で解除できます。2つの割り込みを個別に扱う場合はINTMODE(D6/0x300544)を1に設定します。これで、上下限割り込み信号が変換終了割り込み信号とORされなくなります。

- * **INTMODE**: Interrupt Signal Mode Select Bit in the A/D Control/Status Register (D6/0x300544)

4. 指定チャンネルの変換終了割り込みをマスク

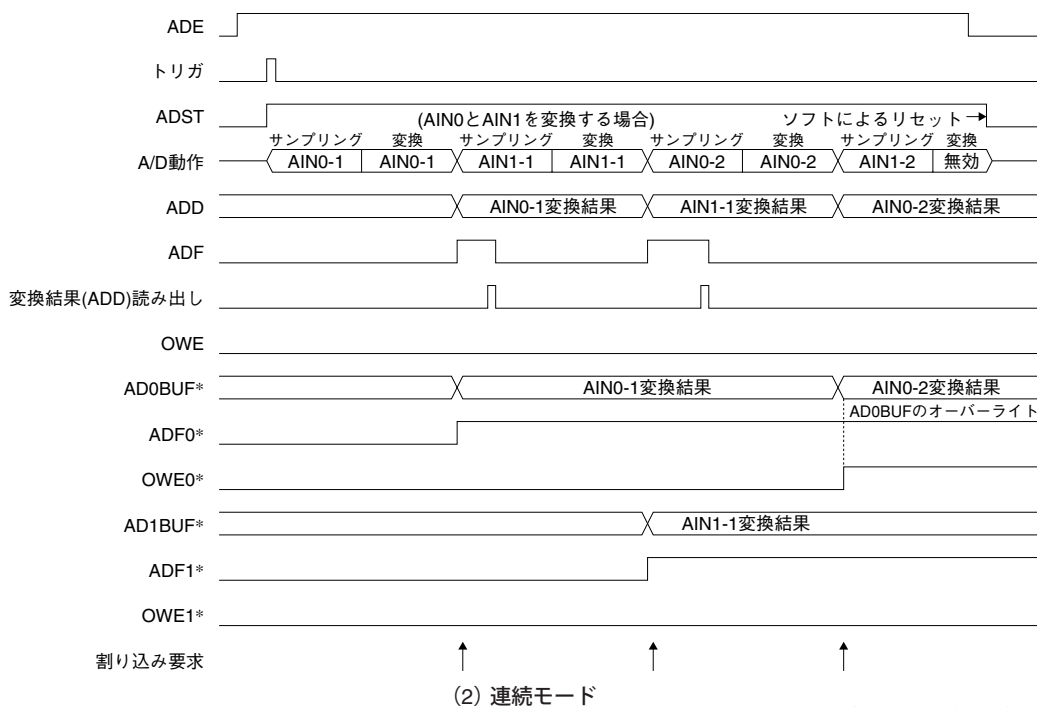
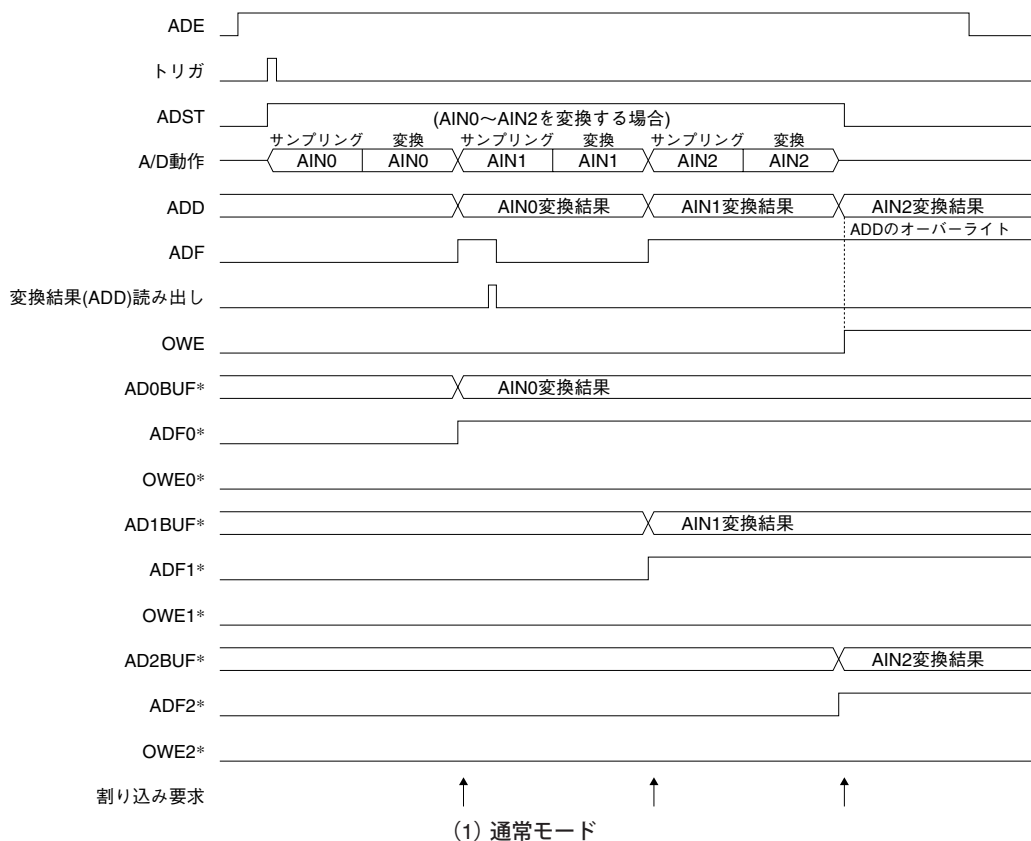
A/D変換終了割り込みマスクレジスタにより、指定チャンネルの変換終了割り込みをマスクすることができます。チャンネル'x'に対応するINTMASK_x(D_x/0x30055C)を0に設定すると、そのチャンネルの変換終了割り込みは発生しません。たとえば、上下限チェックを行うチャンネルの変換終了割り込みをマスクすることにより、上下限割り込みのみを発生させることが可能となります。

* INTMASK_x: Ch.x Conversion-Complete Interrupt Mask Bit in the A/D Conversion Complete Interrupt Mask Register (D_x/0x30055C)

イニシャルリセット時、INTMASK_xはすべて1に設定され、変換終了割り込みが発生するようになっています。

VII.1.5 A/D変換の制御と動作

図VII.1.5.1にA/D変換器の動作を示します。



* ADCADV = 1の場合に使用可能な拡張機能

図VII.1.5.1 A/D変換器の動作

■A/D変換回路の起動

前節に示した設定を終了後、ADE(D2/0x300544)に1を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADEを0に設定してください。

* **ADE**: A/D Enable Bit in the A/D Control/Status Register (D2/0x300544)

■A/D変換の開始

A/D変換器はADE(D2/0x300544)が1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADST(D1/0x300544)に1を書き込むことにより開始します。

* **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status Register (D1/0x300544)

トリガはTS[1:0](D[4:3]/0x300542)で選択されている内容が有効で、それ以外のトリガは受け付けません。

* **TS[1:0]**: A/D Conversion Trigger Select Bits in the A/D Trigger/Channel Select Register (D[4:3]/0x300542)

トリガが入力されると、A/D変換器はCS[2:0](D[10:8]/0x300542)で選択した変換開始チャネルからアナログ入力信号のサンプリングとA/D変換を行います。

* **CS[2:0]**: A/D Converter Start Channel Setup Bits in the A/D Trigger/Channel Select Register (D[10:8]/0x300542)

ソフトウェアトリガに使用するADST(D1/0x300544)は、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。

また、変換中のチャネルはCH[2:0](D[2:0]/0x300542)を読み出すことで確認できます。

* **CH[2:0]**: A/D Conversion Channel Status Bits in the A/D Trigger/Channel Select Register (D[2:0]/0x300542)

■A/D変換結果の読み出し

・標準モード

変換開始チャネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのデータレジスタADD[9:0](D[9:0]/0x300540)に格納し、変換終了フラグADF(D3/0x300544)と割り込み要因フラグFADE(D1/0x300287)をセットします。CS[2:0](D[10:8]/0x300542)とCE[2:0](D[13:11]/0x300542)によって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

* **ADD[9:0]**: A/D Converted Data Bits in the A/D Conversion Result Register (D[9:0]/0x300540)

* **ADF**: A/D Conversion Completion Flag in the A/D Control/Status Register (D3/0x300544)

* **FADE**: A/D Conversion Completion Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D1/0x300287)

* **CE[2:0]**: A/D Converter End Channel Setup Bits in the A/D Trigger/Channel Select Register (D[13:11]/0x300542)

A/D変換結果は1つのチャネルの変換が終了するごとにADD[9:0](D[9:0]/0x300540)に格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット(0書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

複数のA/D変換チャネルを指定した場合は、次のチャネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。

なお、変換終了フラグADF(D3/0x300544)が1にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、オーバーライトエラーフラグOWE(D0/0x300544)が1にセットされます。変換終了フラグは変換データが読み出されると0にリセットされます。ADFが0にリセットされている状態でADD[9:0]が更新された場合はOWEは0となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。OWEは一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

* **OWE**: Overwrite Error Flag in the A/D Control/Status Register (D0/0x300544)

● 拡張モード

変換開始チャンネル(Ch.x)のA/D変換が終了すると、A/D変換器は変換結果をCh.xの10ビットA/D変換結果バッファ ADxBUF[9:0](D[9:0]/0x300548 + 2•x)に格納し、Ch.x変換終了フラグADFx(Dx/0x300546)と割り込み要因フラグFADE(D1/0x300287)をセットします。

CS[2:0](D[10:8]/0x300542)とCE[2:0](D[13:11]/0x300542)によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

* **ADxBUF[9:0]:** A/D Ch.x Converted Data Bits in the A/D Ch.x Conversion Result Buffer Register (D[9:0]/0x300548 + 2•x)

* **ADFx:** A/D Ch.x Conversion-Complete Flag in the A/D Channel Status Flag Register (Dx/0x300546)

A/D変換結果は1つのチャンネルの変換が終了するごとに各チャンネルのA/D変換結果バッファに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット(0書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

拡張モードでは、各チャンネルに変換結果バッファが設けられていますので、次のチャンネルの変換が終了する前に変換結果を読み出す必要はありません。ただし、同じチャンネルのA/D変換が終了すると、バッファは新しい変換結果で上書きされてしまいますので、その前に読み出す必要があります。

なお、変換終了フラグADFx(Dx/0x300546)が1にセットされている状態で(変換データを読み出す前に)ADxBUF[9:0](D[9:0]/0x300548 + 2•x)が更新された場合、オーバーライトエラーフラグOWEx(Dx + 8/0x300546)が1にセットされます。変換終了フラグADFxは変換データが読み出されると0にリセットされます。ADFxが0にリセットされている状態でADxBUF[9:0]が更新された場合はOWExは0となり、正常に終了したことを示します。データ読み出し時は、OWExも読み出してデータが有効であることを確認してください。OWExは一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWExがセットされている場合はADFxもセットされていますので、変換データを読み出してADFxをリセットしてください。

* **OWEx:** A/D Ch.x Overwrite Error Flag in the A/D Channel Status Flag Register (Dx + 8/0x300546)

拡張モードにおいても、標準モードで使用するADD[9:0](D[9:0]/0x300540)、ADF(D3/0x300544)、OWE(D0/0x300544)は有効です。これらのレジスタ/ビットの動作は標準モードと同じです。OWEが1にセットされてしまいますが、特にリセットする必要はありません。

■ 上下限範囲の判定(拡張モード)

拡張モードで上限値/下限値の比較を有効(ADCMPE(D15/0x300544) = 1)に設定している場合に ADCMP[2:0](D[14:12]/0x300544)で指定したチャンネルのA/D変換が行われると、そのチャンネルの変換終了時に変換結果がADUPR[9:0](D[9:0]/0x300558)に設定された上限値およびADLWR[9:0](D[9:0]/0x30055A)に設定された下限値と比較されます。

* **ADCMPE:** A/D Upper/Lower-limit Comparison Enable Bit in the A/D Control/Status Register (D15/0x300544)

* **ADCMP[2:0]:** A/D Upper/Lower-limit Comparison Channel Select Bits in the A/D Control/Status Register (D[14:12]/0x300544)

* **ADUPR[9:0]:** A/D Upper Limit Value Setup Bits in the A/D Upper Limit Value Register (D[9:0]/0x300558)

* **ADLWR[9:0]:** A/D Lower Limit Value Setup Bits in the A/D Lower Limit Value Register (D[9:0]/0x30055A)

変換結果が上限値より大きい場合は、上限値比較ステータスビットADUPRST(D11/0x300544)が1にセットされます。変換結果が設定した下限値より小さい場合は、下限値比較ステータスビットADLWRST(D10/0x300544)が1にセットされます。上下限割り込みを有効に設定している場合、どちらかのステータスビットがセットされると割り込みが発生します。この割り込み要求は割り込み要因フラグFADC(D0/0x300287)をセットします。INTMODE(D6/0x300544)が0に設定されている場合は、変換終了割り込みと同じ割り込み要因フラグFADE(D1/0x300287)もセットします。

* **ADUPRST:** A/D Upper-limit Comparison Status Bit in the A/D Control/Status Register (D11/0x300544)

* **ADLWRST:** A/D Lower-limit Comparison Status Bit in the A/D Control/Status Register (D10/0x300544)

* **FADC:** A/D Out-of-Range Interrupt Cause Flag in the Port Input 4-7, RTC, A/D Interrupt Cause Flag Register (D0/0x300287)

* **INTMODE:** Interrupt Signal Mode Select Bit in the A/D Control/Status Register (D6/0x300544)

なお、変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定され、割り込みは発生しません。

■A/D変換の終了

• 通常モード(MS = 1)の場合

通常モードでは、CS[2:0](D[10:8]/0x300542)で指定した変換開始チャネルからCE[2:0](D[13:11]/0x300542)で指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADST(D1/0x300544)は0に戻ります。

* MS: A/D Conversion Mode Select Bit in the A/D Trigger/Channel Select Register (D5/0x300542)

• 連続モード(MS = 0)の場合

連続モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADST(D1/0x300544)に0を書き込みます。ただし、ADSTに0を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF(D3/0x300544) = 1となり変換結果を得ることができますが、強制的に中止させられた場合はADFが前の状態を維持し、変換結果を得ることはできません。

• 強制終了

ADST(D1/0x300544)に0を書き込むことで実行中のA/D変換を終了させることができます。ただし、このときに変換中の結果を得ることはできません。

VII.1.6 A/D変換器割り込みとDMA

A/D変換器は、各チャンネルのA/D変換終了時に割り込みを発生、またはIDMAを起動することができます。拡張モード時は、変換結果が設定した上下限範囲外の場合も割り込みを発生させることができます。

■割り込みコントローラの制御レジスタ

A/D変換器割り込みの制御ビットは次のとおりです。

- * **FADE**: A/D Conversion Completion Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D1/0x300287)
- * **FADC**: A/D Out-of-Range Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D0/0x300287)
- * **EADE**: A/D Conversion Completion Interrupt Enable Bit in the Port Input 4–7, RTC, A/D Interrupt Enable Register (D1/0x300277)
- * **EADC**: A/D Out-of-Range Interrupt Enable Bit in the Port Input 4–7, RTC, A/D Interrupt Enable Register (D0/0x300277)
- * **PAD[2:0]**: A/D Interrupt Level Bits in the Serial I/F Ch.1, A/D Interrupt Priority Register (D[6:4]/0x30026A)

A/D変換器は1つのチャンネルのA/D変換を終了し、変換結果をADD[9:0]およびADxBUF[9:0](拡張モード時)に格納したところで割り込み要因フラグFADE(D1/0x300287)を1にセットします。

- * **ADxBUF[9:0]**: A/D Ch.x Converted Data Bits in the A/D Ch.x Conversion Result Buffer Register (D[9:0]/0x300548 + 2•x)
- * **ADD[9:0]**: A/D Converted Data Bits in the A/D Conversion Result Register (D[9:0]/0x300540)

拡張モードで上下限割り込みを有効に設定している場合、指定チャンネルの変換結果が設定した上下限範囲外の場合は割り込み要因フラグFADC(D0/0x300287)を1にセットします。INTMODE(D6/0x300544)が0に設定されている場合は、変換終了割り込みと同じ割り込み要因フラグFADE(D1/0x300287)も1にセットします。

このときに、対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、各チャンネルのA/D変換終了時に1にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、A/D変換器割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したA/D変換器割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

A/D変換器は、A/D変換終了時にその割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、割り込み処理ルーチンを実行せずに、変換結果を指定メモリに転送することができます。

A/D変換器に設定されたIDMAチャンネル番号は0x1Bです。

IDMAを起動させるには、対応するIDMAリクエストビットRADE(D2/0x300293)とIDMAイネーブルビットDEADE(D2/0x300297)に1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

- * **RADE**: A/D Conversion Completion IDMA Request Bit in the Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Request Register (D2/0x300293)
- * **DEADE**: A/D Conversion Completion IDMA Enable Bit in the Serial I/F Ch.1, A/D, Port Input 4–7 IDMA Enable Register (D2/0x300297)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■高速DMA

A/D変換終了割り込み要因は、高速DMA(HSDMA)を起動することもできます。
HSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表VII.1.6.1 HSDMAトリガ設定ビット

HSDMAチャンネル	トリガ設定ビット
0	HSD0S[3:0] (D[3:0]) / HSDMA Ch.0–1 trigger set-up register (0x300298)
1	HSD1S[3:0] (D[7:4]) / HSDMA Ch.0–1 trigger set-up register (0x300298)
2	HSD2S[3:0] (D[3:0]) / HSDMA Ch.2–3 trigger set-up register (0x300299)
3	HSD3S[3:0] (D[7:4]) / HSDMA Ch.2–3 trigger set-up register (0x300299)

HSDMAを起動させるには、トリガ設定ビットに0b1100を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。HSDMAのトリガ要因にA/D変換器を選択すると、A/D変換終了割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、“II.1 高速DMA(HSDMA)”を参照してください。

■トラップベクタ

A/D変換器割り込みのトラップベクタアドレスは、デフォルトで0xC00100に設定されます。
なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

VII.1.7 制御レジスタ詳細

表VII.1.7.1 A/D変換器制御レジスタ一覧

アドレス	レジスタ名	サイズ	機 能
0x00300520	A/D Clock Control Register (pAD_CLKCTL)	16	A/D変換器クロックの制御と分周比の選択
0x00300540	A/D Conversion Result Register (pAD_ADD)	16	A/D変換データ
0x00300542	A/D Trigger/Channel Select Register (pAD_TRIG_CHNL)	16	変換開始/終了チャンネルと変換モードを設定
0x00300544	A/D Control/Status Register (pAD_EN_SMPL_STAT)	16	A/D変換器の制御と変換状態の表示
0x00300546	A/D Channel Status Flag Register (pAD_END)	16	オーバーライトエラーおよびA/D変換終了状態
0x00300548	A/D Ch.0 Conversion Result Buffer Register (pAD_CH0_BUF)	16	A/D Ch.0変換データ
0x0030054A	A/D Ch.1 Conversion Result Buffer Register (pAD_CH1_BUF)	16	A/D Ch.1変換データ
0x0030054C	A/D Ch.2 Conversion Result Buffer Register (pAD_CH2_BUF)	16	A/D Ch.2変換データ
0x0030054E	A/D Ch.3 Conversion Result Buffer Register (pAD_CH3_BUF)	16	A/D Ch.3変換データ
0x00300550	A/D Ch.4 Conversion Result Buffer Register (pAD_CH4_BUF)	16	A/D Ch.4変換データ
0x00300558	A/D Upper Limit Value Register (pAD_UPPER)	16	A/D変換の上限値を指定
0x0030055A	A/D Lower Limit Value Register (pAD_LOWER)	16	A/D変換の下限値を指定
0x0030055C	A/D Conversion Complete Interrupt Mask Register (pAD_CH04_INTMASK)	16	A/D変換終了割り込みをマスク
0x0030055E	A/D Converter Mode Select/Internal Status Register (pAD_ADVMODE)	16	A/D変換器の動作モードの選択、内部状態と内部カウンタ値の表示

以下にA/D変換器の制御レジスタを個々に説明します。

A/D変換器の制御レジスタは0x300520～0x30055Eの16ビットデバイスエリアに割り付けられており、ハーフワードおよびバイトアクセスが可能です。

注: A/D変換器の制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x300520: A/D Clock Control Register (pAD_CLKCTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
A/D clock control register (pAD_CLKCTL)	00300520 (HW)	D15-4	—	reserved	—		—	—	0 when being read.	
		D3	PSONAD	A/D converter clock control	1	On	0	Off	0	R/W
		D2	PSAD2	A/D converter clock division ratio selection	PSAD[2:0]		Division ratio		0	R/W
		D1	PSAD1		111	MCLK/256	0			
		D0	PSAD0		110	MCLK/128	0			
					101	MCLK/64				
					100	MCLK/32				
					011	MCLK/16				
					010	MCLK/8				
001	MCLK/4									
000	MCLK/2									

D[15:4] Reserved

D3 PSONAD: A/D Converter Clock Control Bit

A/D変換器へのクロック供給を制御します。

1(R/W): ON

0(R/W): OFF(デフォルト)

D[2:0] PSAD[2:0]: A/D Converter Clock Division Ratio Setup Bits

A/D変換クロックの分周比を選択します。

表VII.1.7.2 分周比の選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	MCLK/256
1	1	0	MCLK/128
1	0	1	MCLK/64
1	0	0	MCLK/32
0	1	1	MCLK/16
0	1	0	MCLK/8
0	0	1	MCLK/4
0	0	0	MCLK/2

(デフォルト: 0b000 = MCLK/2)

0x300540: A/D Conversion Result Register (pAD_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D conversion result register (pAD_ADD)	00300540 (HW)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	ADD9	A/D converted data	0x0 to 0x3FF	0	R	
		D8	ADD8	ADD9 = MSB		0		
		D7	ADD7	ADD0 = LSB		0		
		D6	ADD6			0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		

D[15:10] Reserved

D[9:0] ADD[9:0]: A/D Converted Data Bits

A/D変換結果が格納されます。(デフォルト: 0x000)
ADD0がLSB、ADD9がMSBです。
このレジスタは読み出し専用で、書き込みは無効です。

0x300542: A/D Trigger/Channel Select Register (pAD_TRIG_CHNL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
A/D trigger/ channel select register (pAD_TRIG_CHNL)	00300542 (HW)	D15-14	—	reserved	—			—	—	0 when being read.
		D13	CE2	A/D converter end channel selection	0 to 4			0	R/W	
		D12	CE1		0					
		D11	CE0		0					
		D10	CS2	A/D converter start channel selection	0 to 4			0	R/W	
		D9	CS1		0					
		D8	CS0		0					
		D7-6	—	reserved	—			—	—	0 when being read.
		D5	MS	A/D conversion mode selection	1 Continuous	0 Normal	0	R/W		
		D4	TS1	A/D conversion trigger selection	TS[1:0]		Trigger	0		R/W
		D3	TS0		11	#ADTRG pin	0			
					10	reserved				
					01	16-bit timer				
					00	Software				
		D2	CH2	A/D conversion channel status	0 to 4			0	R	
		D1	CH1		0					
		D0	CH0		0					

D[15:14] Reserved**D[13:11] CE[2:0]: A/D Converter End Channel Setup Bits**

変換終了チャンネルをチャンネル番号(0~4)で設定します。(デフォルト: 0b000 = AIN0)

1回のA/D変換で、CS[2:0](D[10:8])で設定したチャンネルからこれらのビットで設定したチャンネルまでのアナログ入力を連続的に変換できます。

1つのチャンネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャンネル番号を設定してください。

D[10:8] CS[2:0]: A/D Converter Start Channel Setup Bits

変換開始チャンネルをチャンネル番号(0~4)で設定します。(デフォルト: 0b000 = AIN0)

1回のA/D変換で、これらのビットで設定したチャンネルからCE[2:0](D[13:11])で設定したチャンネルまでのアナログ入力を連続的に変換できます。

1つのチャンネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャンネル番号を設定してください。

D[7:6] Reserved**D5 MS: A/D Conversion Mode Select Bit**

A/D変換モードを選択します。

1(R/W): 連続モード

0(R/W): 通常モード(デフォルト)

MSに1を書き込むことによりA/D変換器は連続モードに設定され、CS[2:0](D[10:8])およびCE[2:0](D[13:11])で選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

MSが0の場合は通常モードで動作し、CS[2:0]とCE[2:0]で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

D[4:3] TS[1:0]: A/D Conversion Trigger Select Bits

A/D変換を開始させるトリガ方法を選択します。

表VII.1.7.3 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(#ADTRG)
1	0	Reserved
0	1	16ビットタイマ0
0	0	ソフトウェア

(デフォルト: 0b00 = ソフトウェアトリガ)

外部トリガを使用する場合は、ポート機能選択レジスタで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

16ビットタイマを使用する場合は、コンペアマッチB信号がトリガとなりますので、タイマで周期およびその他の設定を行ってください。

D[2:0] CH[2:0]: A/D Conversion Channel Status Bits

A/D変換中のチャンネル番号(0~4)を示します。(デフォルト: 0b000 = AIN0)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

A/D変換制御部は8チャンネル対応のため、CS[2:0]、CE[2:0] の設定によってはこのビットが存在しないチャンネルを指し示す場合があります。

0x300544: A/D Control/Status Register (pAD_EN_SMPL_STAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
A/D control/ status register (pAD_EN_SMPL _STAT)	00300544 (HW)	D15	ADCMPE	Upper/lower-limit comparison enable	1	Enabled	0 Disabled	0	R/W	Can be used when ADCADV = "1".
		D14	ADCMP2	Upper/lower-limit comparison channel selection	0 to 4			0	R/W	
		D13	ADCMP1		0					
		D12	ADCMP0		0					
		D11	ADUPRST	Upper-limit comparison status	1	Out of range	0 Within range	0	R	
		D10	ADLWRST	Lower-limit comparison status	1	Out of range	0 Within range	0	R	
		D9	ST1	Input signal sampling time setup	ST[1:0]		Sampling time	1	R/W	Use with 9 clocks.
		D8	ST0		11	9 clocks				
		10	7 clocks							
		01	5 clocks							
		00	3 clocks							
		D7	—	reserved	—			—	—	0 when being read.
		D6	INTMODE	Interrupt signal mode	1	Complete only	0 OR	0	R/W	Can be used when
		D5	CMPINTEN	Out-of-range int. enable	1	Enabled	0 Disabled	0	R/W	ADCADV = "1".
		D4	CNVINTEN	Conversion-complete int. enable	1	Enabled	0 Disabled	1	R/W	
		D3	ADF	Conversion-complete flag	1	Completed	0 Run/Standby	0	R	Reset when ADD is read.
		D2	ADE	A/D enable	1	Enabled	0 Disabled	0	R/W	
		D1	ADST	A/D conversion control/status	1	Start/Run	0 Stop	0	R/W	
		D0	OWE	Overwrite error flag	1	Error	0 Normal	0	R/W	Reset by writing 0.

D15 ADCMPE: A/D Upper/Lower-limit Comparison Enable Bit (拡張モード)

上限値/下限値の比較を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ADCMPE[2:0](D[14:12])で指定したチャネルのA/D変換終了時に、変換結果と上限値/下限値との比較を行うかどうかを選択します。行う場合はADCMPEを1に、行わない場合は0に設定します。

D[14:12] ADCMP[2:0]: A/D Upper/Lower-limit Comparison Channel Select Bits (拡張モード)

上限値/下限値の比較を行うチャネルをチャネル番号(0~4)で設定します。(デフォルト: 0b000 = AIN0)

D11 ADUPRST: A/D Upper-limit Comparison Status Bit (拡張モード)

A/D変換値と上限値との比較結果を示します。

1(R): 上限オーバー

0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMPE[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADUPR[9:0](D[9:0]/0x300558)に設定した上限値より大きい場合、ADUPRSTが1にセットされます。上限値と同じか小さい場合は0にセットされます。上下限割り込みを有効に設定している場合、ADUPRSTが1にセットされると割り込みが発生します。

D10 ADLWRST: A/D Lower-limit Comparison Status Bit (拡張モード)

A/D変換値と下限値との比較結果を示します。

1(R): 下限アンダー

0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMPE[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADLWR[9:0](D[9:0]/0x30055A)に設定した下限値より小さい場合、ADLWRSTが1にセットされます。下限値と同じか大きい場合は0にセットされます。上下限割り込みを有効に設定している場合、ADLWRSTが1にセットされると割り込みが発生します。

D[9:8] ST[1:0]: Input Signal Sampling Time Setup Bits

アナログ入力のサンプリング時間を設定します。

表VII.1.7.4 サンプリング時間

ST1	ST0	サンプリング時間
1	1	9クロック
1	0	7クロック
0	1	5クロック
0	0	3クロック

(デフォルト: 0b11 = 9クロック)

このサンプリング時間はA/D変換クロック数です。

変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。

D7 Reserved**D6 INTMODE: Interrupt Signal Mode Select Bit (拡張モード)**

ITCへの変換終了割り込み信号を設定します。

1(R/W): 変換終了のみ

0(R/W): 変換終了と上下限比較結果をOR(デフォルト)

ITCに接続された変換終了割り込み信号線に変換終了信号のみを出力するか、変換終了信号と上下限比較結果信号をORして出力するかを選択します。上下限割り込みを別の割り込みとして処理する場合はINTMODEを1に設定します。上下限割り込みを使用する場合はCMPINTEN(D5)も1に設定する必要があります。

D5 CMPINTEN: A/D Out-of-Range Interrupt Enable Bit (拡張モード)

上下限割り込みを有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

CMPINTENに1を書き込むと、上下限比較結果が割り込み要因として有効になります。0を書き込むと上下限割り込みは発生しません。

D4 CNVINTEN: A/D Conversion-Complete Interrupt Enable Bit (拡張モード)

変換終了割り込みを有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

CNVINTENに1を書き込むと、A/D変換終了が割り込み要因として有効になります。0を書き込むと変換終了割り込みは発生しません。

D3 ADF: A/D Conversion Completion Flag

A/D変換が終了したことを示します。

1(R): 変換終了

0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データがデータレジスタに格納されると1にセットされ、変換データを読み出すと0にリセットされます。複数のチャンネルをA/D変換している場合、ADFが1の状態で(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。

D2 ADE: A/D Enable Bit

A/D変換器をイネーブル(変換可能状態)に設定します。

1(R/W): イネーブル

0(R/W): ディセーブル(デフォルト)

ADEに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADEが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

なお、モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを0に設定してから行ってください。

D1 ADST: A/D Conversion Control/Status Bit

A/D変換を制御します。

1(R/W): ソフトウェアトリガ

0(R/W): A/D変換停止(デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを1にセットします。

A/D変換中、ADSTは1を保持します。

通常モード時は、指定のチャンネルのA/D変換が終了するとADSTは0に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADSTに0を書き込んでください。ADE(D2)が0(A/D変換禁止状態)の場合はADSTが0に固定され、トリガは受け付けません。

D0 OWE: Overwrite Error Flag

変換データが上書きされたことを示します。

1(R): オーバーライト

0(R): 正常(デフォルト)

1(W): 無効

0(W): フラグをリセット

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADF(D3)が変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが1にセットされます。ADF(D3)がリセットされている場合は、変換データが読み出されているためOWEはセットされません。

OWEは1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

0x300546: A/D Channel Status Flag Register (pAD_END)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
A/D channel status flag register (pAD_END)	00300546 (HW)	D15-13	—	reserved	—		—	—	0 when being read.		
		D12	OWE4	Ch.4 overwrite error flag	1	Error	0	Normal	0	R/W	Can be used when ADCADV = "1".
		D11	OWE3	Ch.3 overwrite error flag					0	R/W	
		D10	OWE2	Ch.2 overwrite error flag					0	R/W	
		D9	OWE1	Ch.1 overwrite error flag					0	R/W	Reset by writing 0.
		D8	OWE0	Ch.0 overwrite error flag					0	R/W	
		D7-5	—	reserved	—		—	—	0 when being read.		
		D4	ADF4	Ch.4 conversion-complete flag	1	Completed	0	Run/Standby	0	R	Can be used when ADCADV = "1".
		D3	ADF3	Ch.3 conversion-complete flag					0	R	
		D2	ADF2	Ch.2 conversion-complete flag					0	R	
		D1	ADF1	Ch.1 conversion-complete flag					0	R	Reset when ADBUFx is read.
		D0	ADF0	Ch.0 conversion-complete flag					0	R	

注: ビット名などの'x'はチャンネル番号の0~4を示します。

D[15:13] Reserved**D[12:8] OWE[4:0]: A/D Ch.x Overwrite Error Flags (拡張モード)**

これらのビットは各チャンネルの変換結果バッファが上書きされたことを示します。

1(R): オーバーライト

0(R): 正常(デフォルト)

1(W): 無効

0(W): フラグをリセット

連続モードでA/D変換している場合に、前回の変換によってセットされた変換終了フラグ ADF_xが変換結果バッファの読み出しによってリセットされる前に、同じチャンネルの次の変換結果でバッファが上書きされるとOWE_xが1にセットされます。ADF_xがリセットされている場合は、変換結果バッファが読み出されているためOWE_xはセットされません。

OWE_xは1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

D[7:5] Reserved**D[4:0] ADF[4:0]: A/D Ch.x Conversion-Complete Flags (拡張モード)**

これらのビットは各チャンネルのA/D変換が終了したことを示します。

1(R): 変換終了

0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データが変換結果バッファに格納されると1にセットされ、変換結果バッファを読み出すと0にリセットされます。連続モードでA/D変換している場合、ADF_xが1の状態で(変換結果バッファを読み出す前に)同じチャンネルの次のA/D変換が終了すると、データバッファは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADF_xをリセットする必要があります。

0x300548–0x300550: A/D Ch.x Conversion Result Buffer Registers (pAD_CHx_BUF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Ch.x conversion result buffer register (pAD_CHx_BUF)	00300548 I 00300550 (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	ADxBUF9	A/D Ch.x converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	ADxBUF8	ADxBUF9 = MSB		0		
		D7	ADxBUF7	ADxBUF0 = LSB		0		
		D6	ADxBUF6			0		
		D5	ADxBUF5			0		
		D4	ADxBUF4			0		
		D3	ADxBUF3			0		
		D2	ADxBUF2			0		
		D1	ADxBUF1			0		
		D0	ADxBUF0			0		

注: ビット名などの'x'はチャンネル番号の0~4を示します。

- 0x300548 A/D Ch.0 Conversion Result Buffer Register (pAD_CH0_BUF)
- 0x30054A A/D Ch.1 Conversion Result Buffer Register (pAD_CH1_BUF)
- 0x30054C A/D Ch.2 Conversion Result Buffer Register (pAD_CH2_BUF)
- 0x30054E A/D Ch.3 Conversion Result Buffer Register (pAD_CH3_BUF)
- 0x300550 A/D Ch.4 Conversion Result Buffer Register (pAD_CH4_BUF)

D[15:10] Reserved

- D[9:0] ADxBUF[9:0]: A/D Ch.x Converted Data Bits (拡張モード)**
 各チャンネルのA/D変換結果が格納されます。(デフォルト: 0x000)
 このレジスタは読み出し専用で、書き込みは無効です。

0x300558: A/D Upper Limit Value Register (pAD_UPPER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D upper limit value register (pAD_UPPER)	00300558 (HW)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	ADUPR9	A/D conversion upper limit value	0x0 to 0x3FF	0	R/W	Can be used when ADCADV = "1".
		D8	ADUPR8	ADUPR9 = MSB		0		
		D7	ADUPR7	ADUPR0 = LSB		0		
		D6	ADUPR6			0		
		D5	ADUPR5			0		
		D4	ADUPR4			0		
		D3	ADUPR3			0		
		D2	ADUPR2			0		
		D1	ADUPR1			0		
		D0	ADUPR0			0		

D[15:10] Reserved**D[9:0] ADUPR[9:0]: A/D Upper Limit Value Setup Bits (拡張モード)**

A/D変換結果と比較する上限値を設定します。(デフォルト: 0x000)

ADCMP[2:0](D[14:12]/0x300544)で指定したチャンネルのA/D変換で、ここに設定した値より大きな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x30055A: A/D Lower Limit Value Register (pAD_LOWER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D lower limit value register (pAD_LOWER)	0030055A (HW)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	ADLWR9	A/D conversion lower limit value	0x0 to 0x3FF	0	R/W	Can be used when ADCADV = "1".
		D8	ADLWR8	ADLWR9 = MSB		0		
		D7	ADLWR7	ADLWR0 = LSB		0		
		D6	ADLWR6			0		
		D5	ADLWR5			0		
		D4	ADLWR4			0		
		D3	ADLWR3			0		
		D2	ADLWR2			0		
		D1	ADLWR1			0		
		D0	ADLWR0			0		

D[15:10] Reserved**D[9:0] ADLWR[9:0]: A/D Lower Limit Value Setup Bits (拡張モード)**

A/D変換結果と比較する下限値を設定します。(デフォルト: 0x000)

ADCMP[2:0](D[14:12]/0x300544)で指定したチャネルのA/D変換で、ここに設定した値より小さな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x30055C: A/D Conversion Complete Interrupt Mask Register (pAD_CH04_INTMASK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D conversion complete interrupt mask register (pAD_CH04_INTMASK)	0030055C (HW)	D15-5	—	reserved	—		—	—	0 when being read.
		D4	INTMASK4	Ch.4 conversion-complete int. mask	1 Interrupt enabled	0 Interrupt mask	1	R/W	Can be used when ADCADV = "1".
		D3	INTMASK3	Ch.3 conversion-complete int. mask			1	R/W	
		D2	INTMASK2	Ch.2 conversion-complete int. mask			1	R/W	
		D1	INTMASK1	Ch.1 conversion-complete int. mask			1	R/W	
		D0	INTMASK0	Ch.0 conversion-complete int. mask			1	R/W	

注: ビット名などの‘x’はチャンネル番号の0～4を示します。

D[15:5] Reserved

D[4:0] INTMASK[4:0]: Ch.x Conversion-Complete Interrupt Mask Bits (拡張モード)

これらのビットはA/D変換終了割り込みをチャンネル単位でマスクします。

1(R/W): 割り込み有効(デフォルト)

0(R/W): 割り込みマスク

INTMASK_xに0を書き込むとCh._xの変換終了割り込み要求はマスクされ、A/D変換が終了しても割り込み要因フラグFADE(D1/0x300287)は1にセットされません。INTMASK_xが1の場合はCh._xの変換終了によって割り込みを発生させることができます。

* **FADE**: A/D Conversion Completion Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D1/0x300287)

0x30055E: A/D Converter Mode Select/Internal Status Register (pAD_ADVMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D converter mode select/ internal status register (pAD_ADVMODE)	0030055E (HW)	D15-9	—	reserved	—	—	—	Do not write 1.
		D8	ADCADV	Standard/advanced mode selection	1 Advanced 0 Standard	0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISTATE1	Internal status	ISTATE[1:0]	Status	0	R
		D4	ISTATE0		11	Converting	0	
					10	reserved		
					01	Sampling		
					00	Idle		
		D3	ICOUNTER3	Internal counter value	0 to 15		0	R
		D2	ICOUNTER2				0	
		D1	ICOUNTER1				0	
		D0	ICOUNTER0				0	

D[15:9] Reserved

D8 ADCADV: Standard/Advanced Mode Select Bit

A/D変換器の動作モードを選択します。

1(R/W): 拡張モード

0(R/W): 標準モード(デフォルト)

ADCADVに1を書き込むとA/D変換器は拡張モードに設定され、拡張機能用レジスタ/ビットが使用可能になります。

ADCADVが0の場合は、C33 STDを使用する既存機種に内蔵されたA/D変換器の機能のみが使用可能となります。このモードでは、拡張モード用に拡張されたレジスタ/ビットへの書き込みができなくなります。読み出しのみは可能です。

D[7:6] Reserved

D[5:4] ISTATE[1:0]: Internal Status Bits

A/D変換器の内部状態を示します。

表VII.1.7.5 内部状態

ISTATE1	ISTATE0	ステータス
1	1	変換中
1	0	reserved
0	1	サンプリング
0	0	アイドル

(デフォルト: 0b00 = アイドル)

D[3:0] ICOUNTER[3:0]: Internal Counter Value Setup Bits

内部カウンタ値を示します。(デフォルト: 0b0000)

VII.1.8 注意事項

- モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
 - * **ADE:** A/D Enable Bit in the A/D Control/Status Register (D2/0x300544)
- 変換精度を考慮すると、A/D変換クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。
- イニシャルリセット後、FADE(D1/0x300287)とFADC(D0/0x300287)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
 - * **FADE:** A/D Conversion Completion Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D1/0x300287)
 - * **FADC:** A/D Out-of-Range Interrupt Cause Flag in the Port Input 4–7, RTC, A/D Interrupt Cause Flag Register (D0/0x300287)
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDD～VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544)を0、デフォルト)に設定してください。
- 16ビットタイマ0のコンペアマッチB信号をトリガ要因とした場合、タイマが使用するプリスケアラの分周比をMCLK/1に設定しないでください。
- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力Low期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- 入力ポートにはソフトウェアで制御可能なプルアップ抵抗が付いています。アナログ入力に使用するポートのプルアップ抵抗は無効にして(切り離して)ください。
- ICDを使用したデバッグ時のブレークモード中は、内部設計上の制限によりA/D変換器の動作クロックが停止します。そのため、A/D変換動作は停止し、レジスタへの書き込みも行えなくなります。レジスタ値の読み出しは可能です。

このページはブランクです。

S1C33L19 Technical Manual

VIII 周辺モジュール6 (LCD)

VIII.1 LCDコントローラ(LCDC)

VIII.1.1 概要

S1C33L19は4/8ビットモノクロ/カラー LCDパネルと12/16ビット汎用HR-TFTパネルに対応したLCDコントローラ(LCDC)を内蔵しています。S1C33L19は12KバイトのVRAM(IVRAM)も内蔵していますので、320 × 240ドットのモノクロ表示(1bppモード)が可能です。また、SDRAMコントローラを介して外部SDRAMをVRAMとして使用することができますので、8bppの色深度による320 × 240ドットのカラー表示(typ.)も可能です。

本LCDは可変サイズのサブウィンドウをメインウィンドウ上に重ねて表示するPicture-in-Picture Plusをサポートしています。IVRAMと外部VRAMの両方を同時に使用可能なため、メインウィンドウとサブウィンドウの表示データを別々のメモリで管理することもできます。

本LCDCの特長を以下に示します。

内部バスインタフェースとVRAM

- バスアービタとIVRAMアービタを使用するUMA(Unified Memory Access)を実装。この機能は、CPUとLCDCによるSDRAM(外部VRAM)とIVRAM(内蔵VRAM)へのアクセスを効率よく管理します。
- LCDCレジスタはエリア6に配置され、32ビットアクセスが可能
- アドレス0x80000～0x82FFFに内蔵VRAM(12KB)を配置
- 外部VRAMの配置は指定可能(2MBまたは64MB SDRAM領域内)
- LCDC割り込みにITCの割り込みベクタNo.73(トラップテーブルベースアドレス + 0x124)を割り当て

対応ディスプレイ

- 4または8ビット モノクロLCDパネル
- 4または8ビット カラー LCDパネル
- シングルパネル、シングルドライブパッシブディスプレイ
- 12/16ビット汎用HR-TFTパネル
320 × 240ドット、シャープ製HR-TFTパネル、セイコーインスツル製TFTパネル、その他TFTパネル
- 解像度の例
320 × 240(8bppモード、外部VRAMが必要) bpp = ビット/ピクセル
320 × 240(1bppモード)
* パネルの水平解像度は(16 ÷ bpp)の倍数である必要があります。

表示モード

- フレームレートモジュレーションによりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
1bppモードでの2階調表示
2bppモードでの4階調表示
4bppモードでの16階調表示
- カラーパッシブLCDパネルで最大64K色の同時表示が可能
8bppモードでの256色表示
12bppモードでの4K色表示
16bppモードでの64K色表示
- TFTパネルで最大65,536色の同時表示が可能
1bppモードでの2色表示
2bppモードでの4色表示
4bppモードでの16色表示
8bppモードでの256色表示
12bppモードでの4K色表示
16bppモードでの64K色表示

表示機能

- Picture-in-Picture Plus
背景イメージ上に可変サイズのウィンドウを重ねて表示可能

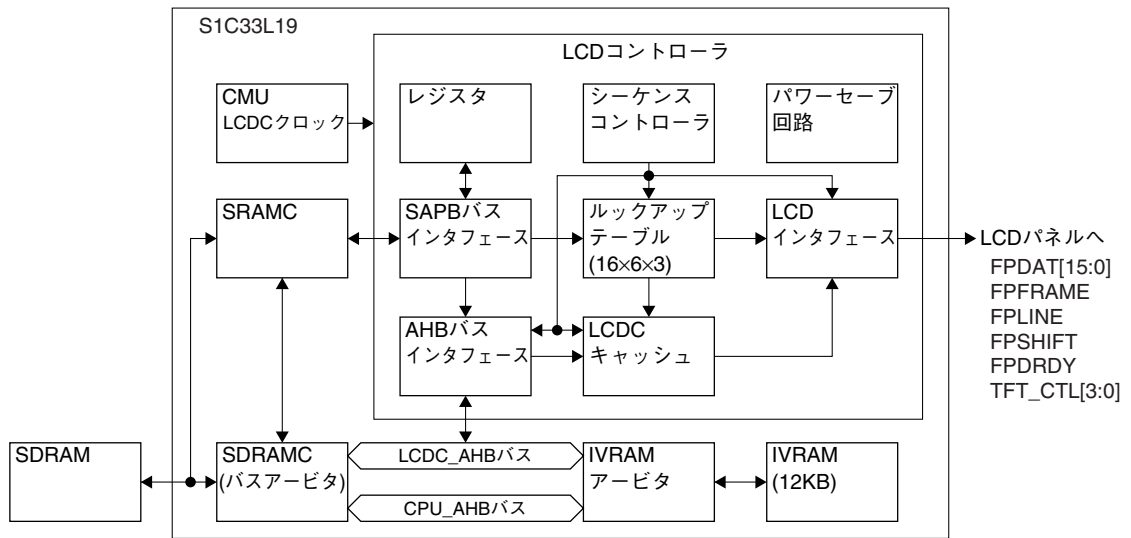
クロック

- LCDコントローラ用のPCLK(ピクセルクロック)は、CMUがOSC3クロックを1～16分周して生成
- AHBバスインタフェース(VRAMアクセス用)、SAPBインタフェース(制御レジスタアクセス用)、PCLKが独立したクロック系統を持ち、CMUで個別にLCDCへのクロック供給を制御可能
不要なクロック供給を停止することで消費電流を低減可能

パワーセーブ

- ソフトウェアパワーセーブモード
- RAM内蔵あるいはセルフリフレッシュタイプLCDパネルに対応したDOZEモード
- ブランク表示

VIII.1.2 ブロック図



図VIII.1.2.1 LCDコントローラブロック図

SAPBバスインタフェース

C33 PEコアは、このインタフェースを介してLCDCレジスタとルックアップテーブルをアクセスします。

AHBバスインタフェース

LCDCはこのインタフェースを介してVRAMをアクセスします。

LCDCキャッシュ

2個の32バイトFIFOで構成され、LCDパネルに表示データを送るための表示データキャッシュとして使用します。

シーケンスコントローラ

シーケンスコントローラは、AHBバスインタフェースからルックアップテーブルを通りLCDインタフェースに送られるデータの流れを制御します。また、画面をリフレッシュするために、表示データメモリアドレスも生成します。

ルックアップテーブル

16×6ビットテーブル3個(赤、緑、青)で構成され、表示色やモノクロ表示の階調を設定しておきます。モノクロモード時は、緑ルックアップテーブルのみを使用します。

LCDインタフェース

LCDインタフェースはパッシブLCDパネルでの表示用にフレームレート変調を行います。また、各種のLCDパネルに対応した形式の表示データやタイミング制御信号を生成します。

パワーセーブ回路

LCDCのパワーセーブモードを制御します。

VIII.1.3 LCDコントローラの出力端子

表VIII.1.3.1にLCDコントローラの出力端子を、表VIII.1.3.2に使用するLCDパネルによる端子の構成を示します。

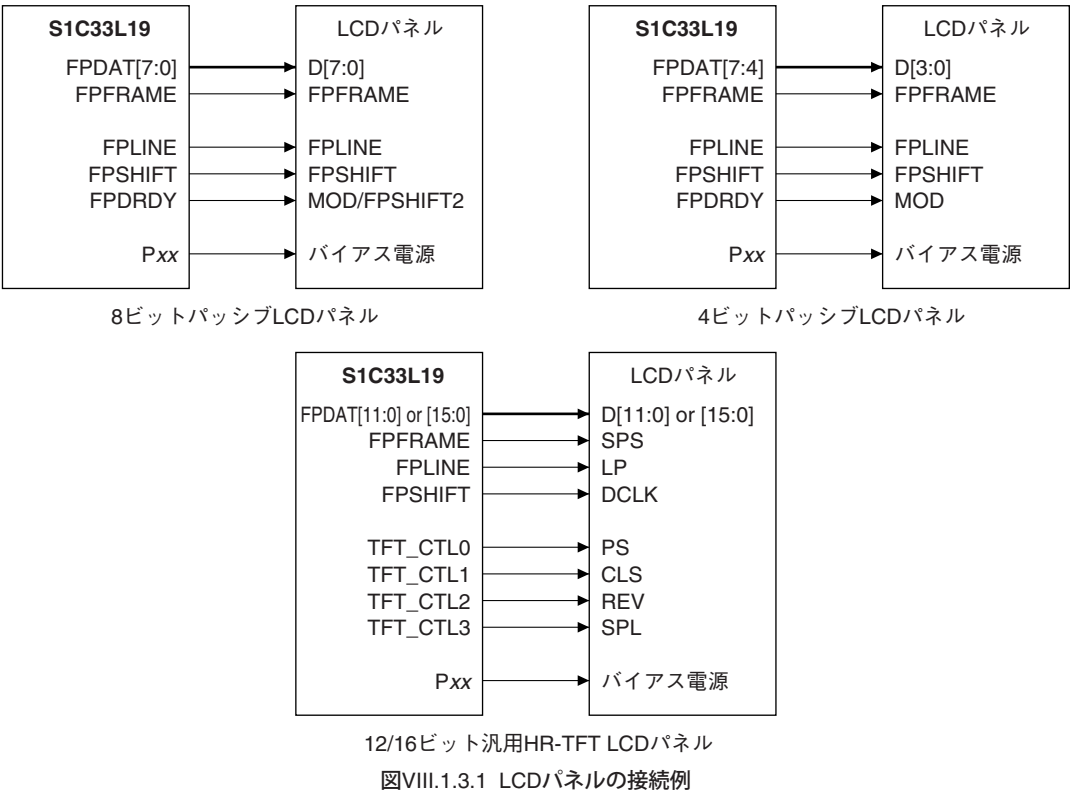
表VIII.1.3.1 LCDコントローラの出力端子

端子名	I/O	機 能
FPDAT[15:0]	O	LCD表示データ出力
FPFRAME	O	LCDフレームクロック出力
FPLINE	O	LCDラインクロック出力
FPSHIFT	O	LCDシフトクロック出力
FPDRDY	O	LCD DRDY/MOD信号出力
TFT_CTL[3:0]	O	TFTインタフェース制御信号出力

注: LCDCの出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではLCDC以外の機能に設定されます。これらの端子に割り当てられているLCDCの出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

表VIII.1.3.2 使用パネルによる端子構成

端子名	モノクロパッシブパネル (シングル)		カラーパッシブパネル (シングル)			汎用HR-TFT パネル	
	4ビット	8ビット	4ビット	8ビット フォーマット1	8ビット フォーマット2	12ビット	16ビット
FPFRAME	FPFRAME					SPS	
FPLINE	FPLINE					LP	
FPSHIFT	FPSHIFT					DCLK	
FPDRDY	MOD	MOD	MOD	FPSHIFT2	MOD	Driven 0	
FPDAT0	Driven 0	D0	Driven 0	D0	D0	B0	B0
FPDAT1	Driven 0	D1	Driven 0	D1	D1	B1	B1
FPDAT2	Driven 0	D2	Driven 0	D2	D2	B2	B2
FPDAT3	Driven 0	D3	Driven 0	D3	D3	B3	B3
FPDAT4	D0	D4	D0	D4	D4	G0	B4
FPDAT5	D1	D5	D1	D5	D5	G1	G0
FPDAT6	D2	D6	D2	D6	D6	G2	G1
FPDAT7	D3	D7	D3	D7	D7	G3	G2
FPDAT8	Driven 0					R0	G3
FPDAT9	Driven 0					R1	G4
FPDAT10	Driven 0					R2	G5
FPDAT11	Driven 0					R3	R0
FPDAT12	Driven 0					Driven0	R1
FPDAT13	Driven 0					Driven0	R2
FPDAT14	Driven 0					Driven0	R3
FPDAT15	Driven 0					Driven0	R4
TFT_CTL0	Driven 0					PS	
TFT_CTL1	Driven 0					CLS	
TFT_CTL2	Driven 0					REV	
TFT_CTL3	Driven 0					SPL	



VIII.1.4 システム設定

VIII.1.4.1 表示メモリ (VRAM) の構成

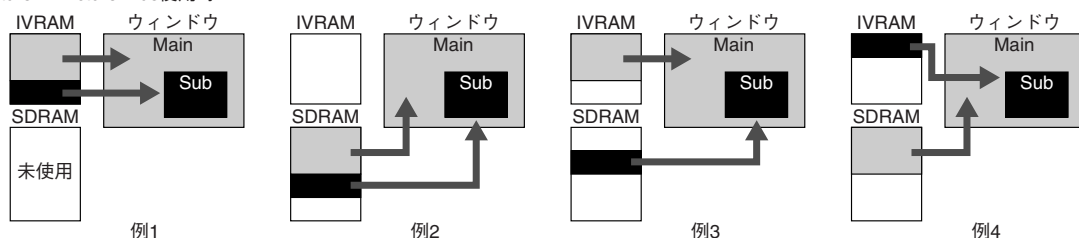
S1C33L19は12Kバイトの表示データメモリ (IVRAM) を内蔵しています。このメモリをエリア3の0x80000～0x82FFFに配置してVRAMとして使用するか、エリア0に配置して汎用RAMとして使用するか選択可能です。IRAM(D0/0x301A64)を1に設定すると、エリア0の汎用RAMとなり、0に設定するとエリア3のVRAMとなります。イニシャルリセット時、このメモリはLCDCから直接アクセス可能なVRAMとしてエリア3に配置されます。

* **IRAM:** IRAM Assignment Bit in the IRAM Select Register (D0/0x301A64)

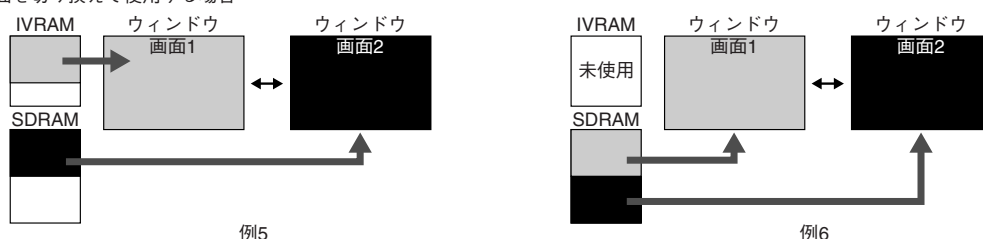
LCDCはIVRAMの他に、外部SDRAMもVRAMとして使用できるようになっています (SDRAMには表示データと汎用データをストア可能)。外部SDRAMを使用するための特別な設定手順はありません。また、外部SDRAMとIVRAMを同時にVRAMとして使用可能です。LCDCは“Picture-in-Picture Plus”をサポートしており、メインウィンドウとその上に重ねて表示するサブウィンドウの2つの画面データを扱います。また、VRAMに用意した複数の画面データを切り換えて使用することもできます。表示開始メモリアドレスがレジスタにより指定可能なため、表示データをメモリ内の任意の位置に置くことができます (ただし、ワード境界アドレスのみ)。

図VIII.1.4.1.1にメモリの使用例を示します。

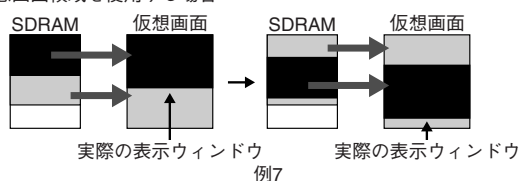
Picture-in-Picture Plus使用時



画面を切り換えて使用する場合



仮想画面領域を使用する場合



図VIII.1.4.1.1 メモリ使用例

描画に必要なメモリサイズは画面サイズとbppモード (階調/色数) で決まり、次の式で求めることができます。

画面データサイズ = $H\_PIXEL \times V\_PIXEL \times \text{bpp} / 32$ [ワード] (小数点以下切り上げ)

H_PIXEL: 水平ピクセル数

V_PIXEL: 垂直ピクセル数

bpp: ピクセル当たりのビット数 (1, 2, 4, 8, 12, 16)

たとえば、320 × 240ピクセルの画面を256色 (8bppモード) で表示する場合、19,200ワード (75Kバイト) のメモリ領域が必要です。

VIII.1.4.2 LCDCクロックの設定

LCDCに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)LCDC内のAHBバスインタフェース用クロック(LCDC_AHBIF_CLK)

LCDCがIVRAM(内部VRAM)あるいはSDRAM(外部VRAM)をアクセスするのに必要なクロック(MCLK)です。このクロックを停止すると、LCDの表示を行うことはできません。On/Off制御はLCDCAHBIF_CKE(D2/0x301B00)で行います(デフォルト: Off)。

* **LCDCAHBIF_CKE**: LCDC AHB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D2/0x301B00)

(2)制御レジスタ用クロック(LCDC_SAPB_CLK)

エリア6にあるLCDCレジスタの制御に必要なクロック(MCLK)です。LCDCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はLCDCSAPB_CKE(D1/0x301B00)で行います(デフォルト: Off)。

* **LCDCSAPB_CKE**: LCDC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D1/0x301B00)

(3)IVRAMアービタ用クロック(IVRAM_ARB_CLK)

LCDCとCPUのいずれかがIVRAMをアクセスするのに必要なクロック(MCLK)です。IVRAMをA0RAMに設定し、CPUのみがアクセスする場合には必要ありませんので、停止させることができます。On/Off制御はIVRAMARB_CKE(D19/0x301B04)で行います(デフォルト: On)。

* **IVRAMARB_CKE**: IVRAM Arbiter Clock Control Bit in the Gated Clock Control Register 1 (D19/0x301B04)

(4)LCDインタフェースクロック(LCDC_CLK)

LCDインタフェースのクロック(LCDC_CLK)でOSC3クロックを分周して生成されます。分周回路はOSC3・1/1からOSC3・1/16まで16種類の分周クロックを出力可能で、LCDCDIV[3:0](D[19:16]/0x301B08)を使用してその中から1つをフレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCDC}}}{\text{HT} \times \text{VT}} [\text{Hz}]$$

f_{LCDC} : LCDC_CLK周波数

HT: 水平トータル期間(非表示期間を含む)[ピクセル]

VT: 垂直トータル期間(非表示期間を含む)[ピクセル]

* **LCDCDIV[3:0]**: LCDC Clock Divider Select Bits in the System Clock Control Register (D[19:16]/0x301B08)

表VIII.1.4.2.1 LCDCクロックの選択

LCDCDIV3	LCDCDIV2	LCDCDIV1	LCDCDIV0	LCDC_CLK
1	1	1	1	OSC3・1/16
1	1	1	0	OSC3・1/15
1	1	0	1	OSC3・1/14
1	1	0	0	OSC3・1/13
1	0	1	1	OSC3・1/12
1	0	1	0	OSC3・1/11
1	0	0	1	OSC3・1/10
1	0	0	0	OSC3・1/9
0	1	1	1	OSC3・1/8
0	1	1	0	OSC3・1/7
0	1	0	1	OSC3・1/6
0	1	0	0	OSC3・1/5
0	0	1	1	OSC3・1/4
0	0	1	0	OSC3・1/3
0	0	0	1	OSC3・1/2
0	0	0	0	OSC3・1/1

(デフォルト: 0b0111 = OSC3・1/8)

クロック供給のOn/Off制御はLCDC_CKE(D0/0x301B00)で行います(デフォルト: Off)。

* **LCDC_CKE**: LCDC Main Clock Control Bit in the Gated Clock Control Register 0 (D0/0x301B00)

(5) LCDC_AHBバスクロック(LCDC_AHBBUS_CLK)

通常動作時、LCDC_AHBバスの動作クロック(MCLK)は常に供給されます。ただし、LCDCAHB_HCKE(D28/0x301B04)でHALT時の自動制御(III.1.9.2節参照)が可能です(デフォルト: On)。

* **LCDCAHB_HCKE**: LCDC_AHB Bus Clock Control (HALT) Bit in the Gated Clock Control Register 1 (D28/0x301B04)

- 注:
- LCD表示中にLCDCへのクロック供給を停止することはできません。LCDCへのクロック供給を停止するには、LCDCがパワーセーブモードに設定されている必要があります。
 - Gated Clock Control Register 0と1(0x301B00、0x301B04)は書き込み保護されています。これらのレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

VIII.1.5 LCDパネルの設定

VIII.1.5.1 パネルの種類

本LCDコントローラは以下のLCDパネルに対応しています。

- 4または8ビットモノクロパッシブLCDパネル
- 4または8ビットカラーパッシブLCDパネル
- 12/16ビット汎用HR-TFT LCDパネル

デュアルパネルには対応していません。

使用するLCDパネルの種類は、以下の制御ビットによりLCDコントローラに設定しておきます。

■STNまたはHR-TFTの選択

パネルの種類として、STNまたはHR-TFTをTFTSEL(D31/0x301A60)で選択します。

TFTSEL = 1: 汎用HR-TFTパネル

TFTSEL = 0: STNパネル(デフォルト)

* **TFTSEL**: HR-TFT Panel Select Bit in the LCDC Display Mode Register (D31/0x301A60)

■カラー/モノクロ選択

パネルの種類として、カラーパネルまたはモノクロパネルをCOLOR(D30/0x301A60)で選択します。

COLOR = 1: カラーパネル

COLOR = 0: モノクロパネル(デフォルト)

* **COLOR**: Color/Mono Panel Select Bit in the LCDC Display Mode Register (D30/0x301A60)

■データ幅の選択

データ幅とデータ形式をDWD[1:0](D[27:26]/0x301A60)で選択します。

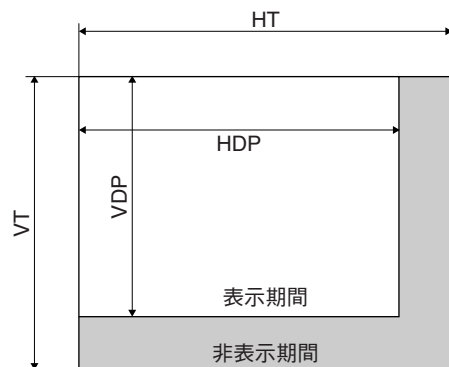
* **DWD[1:0]**: LCD Panel Data Width Select Bits in the LCDC Display Mode Register (D[27:26]/0x301A60)

表VIII.1.5.1.1 LCDパネルの選択

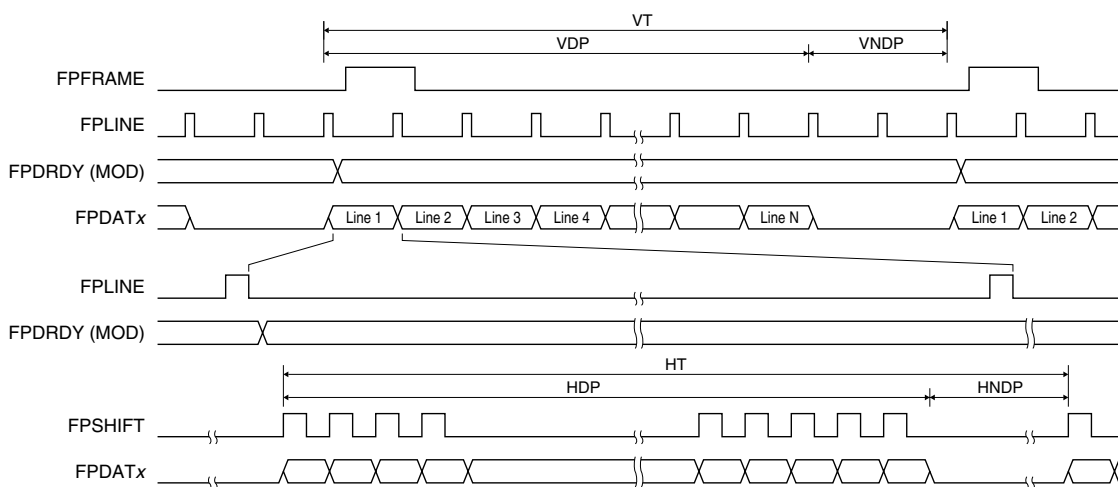
TFTSEL	COLOR	DWD1	DWD0	LCDパネル
1	—	—	—	12/16ビット汎用HR-TFT LCD
0	1	1	1	カラーシングル8ビットパッシブLCDフォーマット2
		1	0	Reserved
		0	1	カラーシングル8ビットパッシブLCDフォーマット1
		0	0	カラーシングル4ビットパッシブLCD
	0	1	1	Reserved
		1	0	Reserved
		0	1	モノクロシングル8ビットパッシブLCD
		0	0	モノクロシングル4ビットパッシブLCD

VIII.1.5.2 STNパネルタイミングパラメータ

LCDC制御レジスタで下図に示すSTNパネル用タイミングパラメータが設定できます。



図VIII.1.5.2.1 STNパネルタイミングパラメータ



図VIII.1.5.2.2 STNパネルタイミングチャート(例)

■HT: 水平トータル期間

HTCNT[6:0](D[22:16]/0x301A10)で水平トータル期間を設定します。

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

* **HTCNT[6:0]**: Horizontal Total Period (HT) Setup Bits in the Horizontal Display Register (D[22:16]/0x301A10)

HTCNT[6:0](D[22:16]/0x301A10)は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 3$$

■HDP: 水平表示期間

HDPCNT[6:0](D[6:0]/0x301A10)で水平表示期間(パネル水平解像度)を設定します。

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

* **HDPCNT[6:0]**: Horizontal Display Period (HDP) Setup Bits in the Horizontal Display Register (D[6:0]/0x301A10)

HDPCNT[6:0](D[6:0]/0x301A10)は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

■VT: 垂直トータル期間

VTCNT[9:0](D[25:16]/0x301A14)で垂直トータル期間を設定します。

$$VT = VTCNT[9:0] + 1 \text{ [ライン]}$$

* **VTCNT[9:0]**: Vertical Total Period (VT) Setup Bits in the Vertical Display Register (D[25:16]/0x301A14)

■VDP: 垂直表示期間

VDPCNT[9:0](D[9:0]/0x301A14)で垂直表示期間(パネル垂直解像度)を設定します。

$$VDP = VDPCNT[9:0] + 1 \text{ [ライン]}$$

* **VDPCNT[9:0]**: Vertical Display Period (VDP) Setup Bits in the Vertical Display Register (D[9:0]/0x301A14)

VDPCNT[9:0](D[9:0]/0x301A14)は次の条件を満たすように設定する必要があります。

$$VT \geq VDP + 1$$

■モノクロLCDパネル用のFPSHIFTマスク

図VIII.1.5.2.2に示したとおり、カラーパッシブパネルを選択した場合(COLOR(D30/0x301A60) = 1)はFPSHIFTクロックが水平表示期間(HDP)に出力され、水平非表示期間(HNDP)には停止します。

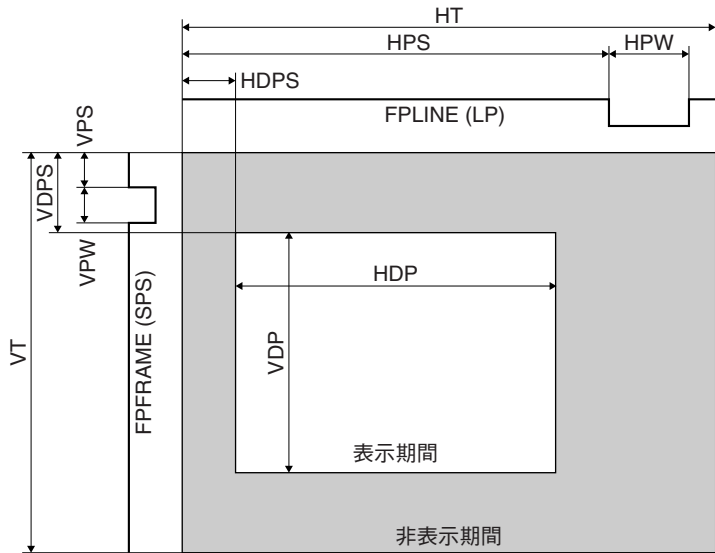
モノクロームパッシブパネルを選択した場合(COLOR(D30/0x301A60) = 0)、デフォルト設定ではFPSHIFTクロックが水平非表示期間でも停止しません。水平非表示期間にFPSHIFTクロックを停止させるには、FPSMASK(D29/0x301A60)を1に設定します。

* **FPSMASK**: FPSHIFT Mask Enable Bit in the LCDC Display Mode Register (D29/0x301A60)

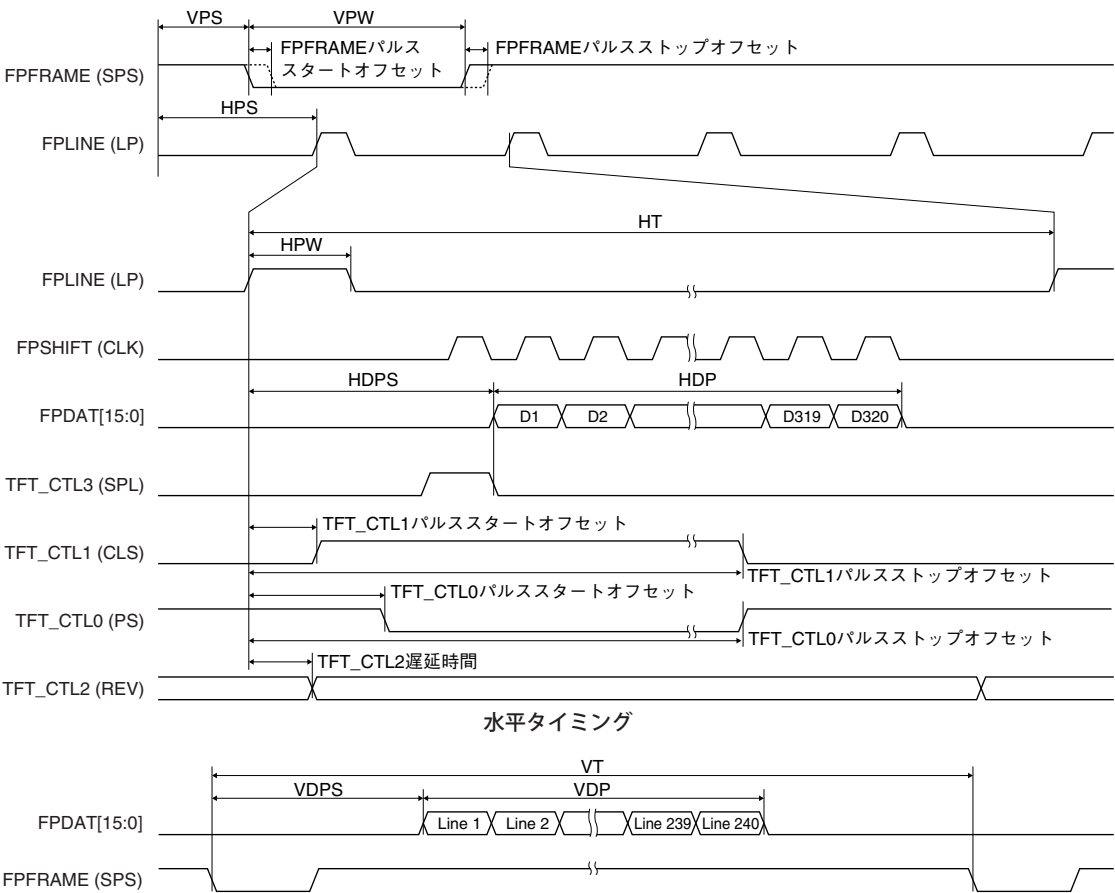
注: STNパネルを使用する場合、HR-TFTのタイミングパラメータ設定用レジスタはすべて0x0に設定してください。

VIII.1.5.3 HR-TFTパネルタイミングパラメータ

LCDC制御レジスタで下図に示すHR-TFTパネル用タイミングパラメータが設定できます。



図VIII.1.5.3.1 HR-TFTパネルタイミングパラメータ



図VIII.1.5.3.2 HR-TFTパネルタイミングチャート

■HT: 水平トータル期間

HTCNT[6:0](D[22:16]/0x301A10)で水平トータル期間を設定します。

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

* **HTCNT[6:0]**: Horizontal Total Period (HT) Setup Bits in the Horizontal Display Register (D[22:16]/0x301A10)

HTCNT[6:0](D[22:16]/0x301A10)は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 4$$

$$HT > HDP + HDPS$$

■HDP: 水平表示期間

HDPCNT[6:0](D[6:0]/0x301A10)で水平表示期間(パネル水平解像度)を設定します。

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

* **HDPCNT[6:0]**: Horizontal Display Period (HDP) Setup Bits in the Horizontal Display Register (D[6:0]/0x301A10)

HDPCNT[6:0](D[6:0]/0x301A10)は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

■HDPS: 水平表示期間開始位置

HDPSCNT[9:0](D[9:0]/0x301A20)でHR-TFTパネルの水平表示期間開始位置を設定します。

$$HDPS = HDPSCNT[9:0] + 1 [Ts]$$

* **HDPSCNT[9:0]**: Horizontal Display Period Start Position Setup Bits in the Horizontal Display Start Position Register (D[9:0]/0x301A20)

HDPSCNT[9:0](D[9:0]/0x301A20)は次の条件を満たすように設定する必要があります。

$$HT > HDP + HDPS$$

■HPS: 水平同期パルス開始位置

FPLST[9:0](D[25:16]/0x301A28)でHR-TFTパネルの水平同期パルス(FPLINEまたはLP)開始位置を設定します。

$$HPS = FPLST[9:0] + 1 [Ts]$$

* **FPLST[9:0]**: FPLINE Pulse Start Position Setup Bits in the FPLINE Pulse Setup Register (D[25:16]/0x301A28)

■HPW: 水平同期パルス幅

FPLWD[6:0](D[6:0]/0x301A28)でHR-TFTパネルの水平同期パルス幅を設定します。

$$HPW = FPLWD[6:0] + 1 [Ts]$$

* **FPLWD[6:0]**: FPLINE Pulse Width Setup Bits in the FPLINE Pulse Setup Register (D[6:0]/0x301A28)

■水平同期パルス極性

FPLPOL(D7/0x301A28)でHR-TFTパネル用水平同期パルスの極性を設定します。

FPLPOL = 1: アクティブHigh

FPLPOL = 0: アクティブLow(デフォルト)

* **FPLPOL**: FPLINE Pulse Polarity Setup Bit in the FPLINE Pulse Setup Register (D7/0x301A28)

■VT: 垂直トータル期間

VTCNT[9:0](D[25:16]/0x301A14)で垂直トータル期間を設定します。

$$VT = VTCNT[9:0] + 1 [\text{ライン}]$$

* **VTCNT[9:0]**: Vertical Total Period (VT) Setup Bits in the Vertical Display Register (D[25:16]/0x301A14)

VTCNT[9:0](D[25:16]/0x301A14)は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

■VDP: 垂直表示期間

VDP CNT[9:0] (D[9:0]/0x301A14) で垂直表示期間 (パネル垂直解像度) を設定します。

$$VDP = VDP CNT[9:0] + 1 \text{ [ライン]}$$

* **VDP CNT[9:0]**: Vertical Display Period (VDP) Setup Bits in the Vertical Display Register (D[9:0]/0x301A14)

VDP CNT[9:0] (D[9:0]/0x301A14) は次の条件を満たすように設定する必要があります。

$$VT \geq VDP + 1$$

■VDPS: 垂直表示期間開始位置

VDPS CNT[9:0] (D[9:0]/0x301A24) でHR-TFTパネルの垂直表示期間開始位置を設定します。

$$VDPS = VDPS CNT[9:0] \text{ [ライン]}$$

* **VDPS CNT[9:0]**: Vertical Display Period Start Position Setup Bits in the Vertical Display Start Position Register (D[9:0]/0x301A24)

VDPS CNT[9:0] (D[9:0]/0x301A24) は次の条件を満たすように設定する必要があります。

$$VT > VDP + VDPS$$

■VPS: 垂直同期パルス開始位置

FPFST[9:0] (D[25:16]/0x301A2C) でHR-TFTパネルの垂直同期パルス (FPFRAME または SPS) 開始位置を設定します。

$$VPS = FPFST[9:0] \text{ [ライン]} = FPFST[9:0] \times HT \text{ [Ts]}$$

* **FPFST[9:0]**: FPFRAME Pulse Start Position Setup Bits in the FPFRAME Pulse Setup Register (D[25:16]/0x301A2C)

■VPW: 垂直同期パルス幅

FPFWD[2:0] (D[2:0]/0x301A2C) でHR-TFTパネルの垂直同期パルス幅を設定します。

$$VPW = FPFWD[2:0] + 1 \text{ [ライン]} = (FPFWD[2:0] + 1) \times HT \text{ [Ts]}$$

* **FPFWD[2:0]**: FPFRAME Pulse Width Setup Bits in the FPFRAME Pulse Setup Register (D[2:0]/0x301A2C)

■垂直同期パルス極性

FPFPOL (D7/0x301A2C) でHR-TFTパネル用垂直同期パルスの極性を設定します。

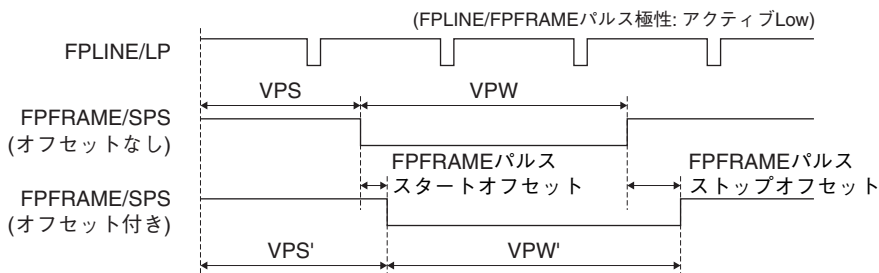
FPFPOL = 1: アクティブHigh

FPFPOL = 0: アクティブLow (デフォルト)

* **FPFPOL**: FPFRAME Pulse Polarity Setup Bit in the FPFRAME Pulse Setup Register (D7/0x301A2C)

■垂直同期パルスオフセット

ライン単位で設定した垂直同期パルス位置とパルス幅をピクセルクロック単位で調整することができます。



図VIII.1.5.3.3 垂直同期パルスオフセット

FPFSTO[9:0] (D[9:0]/0x301A30) と FPFSTPO[9:0] (D[25:16]/0x301A30) で垂直同期パルスの開始位置と終了位置を調整します。

$$VPS' = FPFST[9:0] \times HT + FPFSTO[9:0] \text{ [Ts]}$$

$$VPW' = (FPFWD[2:0] + 1) \times HT - FPFSTO[9:0] + FPFSTPO[9:0] \text{ [Ts]}$$

* **FPFSTO[9:0]**: FPFRAME Pulse Start Offset Bits in the FPFRAME Pulse Offset Register (D[9:0]/0x301A30)

* **FPFSTPO[9:0]**: FPFRAME Pulse Stop Offset Bits in the FPFRAME Pulse Offset Register (D[25:16]/0x301A30)

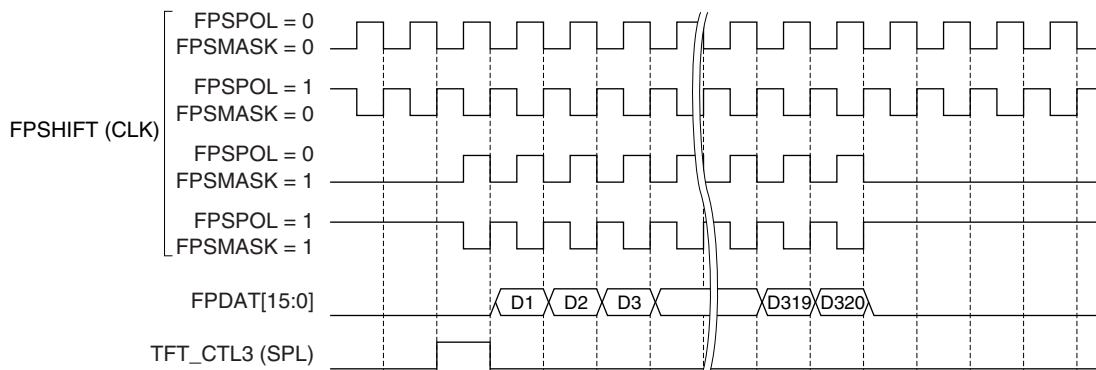
■FPSHIFT(CLK)信号

HR-TFTパネル用FPSHIFT(CLK)信号の極性がFPSPOL(D1/0x301A40)で選択できます。

* **FPSPOL**: FPSHIFT Polarity Select Bit in the HR-TFT Special Output Register (D1/0x301A40)

HR-TFTパネルを選択した場合(TFTSEL(D31/0x301A60) = 1)、デフォルト設定では、水平非表示期間でもFPSHIFT(CLK)クロックは停止しません。水平非表示期間にFPSHIFT(CLK)クロックを停止させるにはFPSMASK(D29/0x301A60)を1に設定します。

* **FPSMASK**: FPSHIFT Mask Enable Bit in the LCDC Display Mode Register (D29/0x301A60)



図VIII.1.5.3.4 FPSHIFT (CLK) のバリエーション

■TFT_CTL1(CLS)パルススタート/ストップオフセット

TFT_CTL1(CLS)パルスの位置と幅をピクセルクロック周期で指定できます。CTL1ST[9:0](D[9:0]/0x301A44)でパルス開始位置を、CTL1STP[9:0](D[25:16]/0x301A44)でパルス終了位置を、それぞれFPLINEパルス開始位置からのオフセット値として指定します。

* **CTL1ST[9:0]**: TFT_CTL1 Pulse Start Offset Setup Bits in the TFT_CTL1 Pulse Register (D[9:0]/0x301A44)

* **CTL1STP[9:0]**: TFT_CTL1 Pulse Stop Offset Setup Bits in the TFT_CTL1 Pulse Register (D[25:16]/0x301A44)

このレジスタの設定により、TFT_CTL1パルス幅は“CTL1STP[9:0] - CTL1ST[9:0] + 1 [Ts]”に設定されます。TFT_CTL1パルスを設定する場合は、CTL1CTL(D3/0x301A40)とPRESET(D2/0x301A40)を1に設定しておく必要があります。

* **CTL1CTL**: TFT_CTL1 Control Bit in the HR-TFT Special Output Register (D3/0x301A40)

* **PRESET**: TFT_CTL0-2 Preset Enable Bit in the HR-TFT Special Output Register (D2/0x301A40)

CTL1CTL(D3/0x301A40)を0(デフォルト)に設定すると、TFT_CTL1パルスはFPLINEパルス開始エッジで切り換わります。

TFT_CTL1とTFT_CTL0信号をCTLSWAP(D0/0x301A40)で入れ替えることもできます。

TFT_CTL1端子: CLS出力(CTLSWAP = 0), PS出力(CTLSWAP = 1)

TFT_CTL0端子: PS出力(CTLSWAP = 0), CLS出力(CTLSWAP = 1)

* **CTLSWAP**: TFT_CTL0/TFT_CTL1 Swap Bit in the HR-TFT Special Output Register (D0/0x301A40)

■TFT_CTL0(PS)パルススタート/ストップオフセット

TFT_CTL0(PS)パルスの位置と幅をピクセルクロック周期で指定できます。CTL0ST[9:0](D[9:0]/0x301A48)でパルス開始位置を、CTL0STP[9:0](D[25:16]/0x301A48)でパルス終了位置を、それぞれFPLINEパルス開始位置からのオフセット値として指定します。

* **CTL0ST[9:0]**: TFT_CTL0 Pulse Start Offset Setup Bits in the TFT_CTL0 Pulse Register (D[9:0]/0x301A48)

* **CTL0STP[9:0]**: TFT_CTL0 Pulse Stop Offset Setup Bits in the TFT_CTL0 Pulse Register (D[25:16]/0x301A48)

このレジスタの設定により、TFT_CTL0パルス幅は“CTL0STP[9:0] - CTL0ST[9:0] + 1 [Ts]”に設定されます。TFT_CTL0パルスを設定する場合は、PRESET(D2/0x301A40)を1に設定しておく必要があります。

TFT_CTL1とTFT_CTL0信号をCTLSWAP(D0/0x301A40)で入れ替えることもできます。

■TFT_CTL2(REV)遅延時間

FPLINEパルスの開始位置から、TFT_CTL2信号が変化するまでの遅延時間をCTL2DLY[9:0](D[9:0]/0x301A4C)で設定します。

* **CTL2DLY[9:0]**: TFT_CTL2 Delay Setup Bits in the TFT_CTL2 Register (D[9:0]/0x301A4C)

TFT_CTL2遅延時間を設定する場合は、PRESET(D2/0x301A40)を1に設定しておく必要があります。

VIII.1.5.4 表示モード

グレースケール表示の階調数やカラー表示の色数は、各ピクセルを表現するビット数(bpp = bit per pixel)で決まります。このbpp値(表示モード)をBPP[2:0](D[2:0]/0x301A60)で設定します。

* **BPP[2:0]**: Bit-Per-Pixel Select Bits in the LCDC Display Mode Register (D[2:0]/0x301A60)

表VIII.1.5.4.1 表示モードの指定

BPP2	BPP1	BPP0	表示モード		
			モノクロ(COLOR = 0)	カラー(COLOR = 1), STN	カラー(COLOR = 1), TFT
1	1	*	Reserved	Reserved	Reserved
1	0	1	Reserved	16bpp, 64K色	16bpp, 64K色
1	0	0	Reserved	12bpp, 4K色	12bpp, 4K色
0	1	1	Reserved	8bpp, 256色	8bpp, 256色
0	1	0	4bpp, 16階調グレースケール	Reserved	4bpp, 16色
0	0	1	2bpp, 4階調グレースケール	Reserved	2bpp, 4色
0	0	0	1bpp, 2階調グレースケール	Reserved	1bpp, 2色

(デフォルト: 0b000)

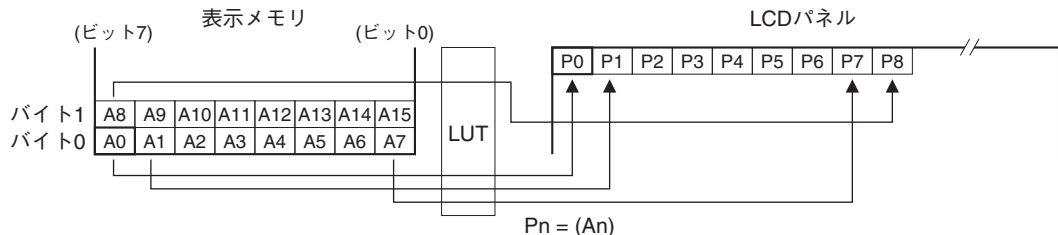
(1) 1bpp(2階調/2色)モード

1ピクセルを1ビットで表現し、2階調(STN)または2色(TFT)の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブル(後述)の2つのエントリ(ビット = 0と1それぞれに対応)に白黒を含む64階調のグレーレベルの中から2つのレベルを割り付けて、2階調の表示が行えます。

カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの2エントリを使用し、256K色中の2色をピクセルデータの0と1に対応させて設定しておくことができます。

表示メモリには、8個の連続したピクセルのデータを1バイトとして格納します。



図VIII.1.5.4.1 1bppモードのデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることにより（白黒2値表示として使用）、消費電力を低減できます。

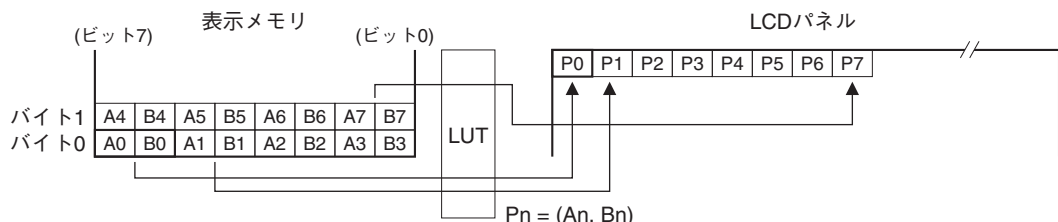
(2) 2bpp(4階調/4色)モード

1ピクセルを2ビットで表現し、4階調(STN)または4色(TFT)の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの4つのエントリ(ビット = 00～11それぞれに対応)に白黒を含む64階調のグレーレベルの中から4つのレベルを割り付けて、4階調の表示が行えます。

カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの4エントリを使用し、256K色中の4色をピクセルデータの00～11に対応させて設定しておくことができます。

表示メモリには、4個の連続したピクセルのデータを1バイトとして格納します。



図VIII.1.5.4.2 2bppモードのデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることにより、消費電力を低減できます。

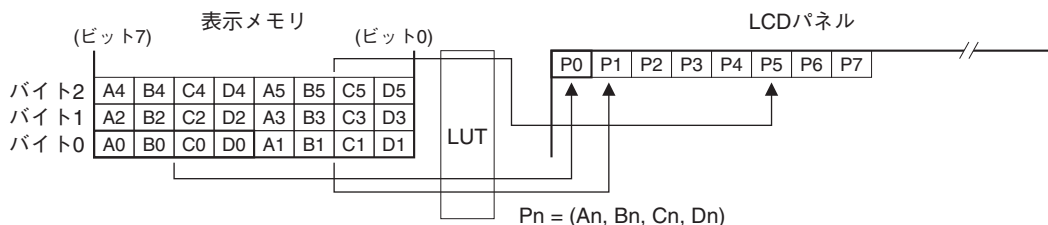
(3) 4bpp(16階調/16色)モード

1ピクセルを4ビットで表現し、16階調(STN)または16色(TFT)の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの16エントリ(ビット = 0000~1111それぞれに対応)に白黒を含む64階調のグレースケール中の16階調のグレースケールを割り付けて表示が行えます。

カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの16エントリを使用し、256K色中の16色をピクセルデータの0000~1111に対応させて設定しておくことができます。

表示メモリには、2個の連続したピクセルのデータを1バイトとして格納します。



図VIII.1.5.4.3 4bppモードのデータフォーマット

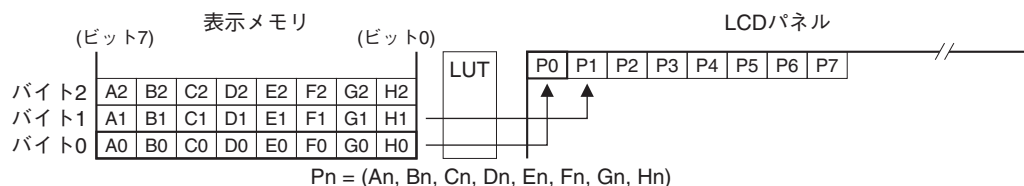
このモードでは、ルックアップテーブルをバイパスすることにより、消費電力を低減できます。

(4) 8bpp(256色)モード

1ピクセルを8ビットで表現し、256色の表示を行います。

このモードでは、赤および緑ルックアップテーブルそれぞれの8エントリと青ルックアップテーブルの4エントリを使用し、256色の組み合わせを設定しておくことができます。

表示メモリには、1個のピクセルのデータを1バイトとして格納します。



図VIII.1.5.4.4 8bppモードのカラーデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることができます。この場合、表示メモリ内の表示データが直接、表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。

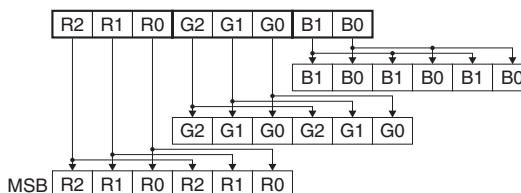
8bppモード

メモリデータ

表示データ (青)

表示データ (緑)

表示データ (赤)



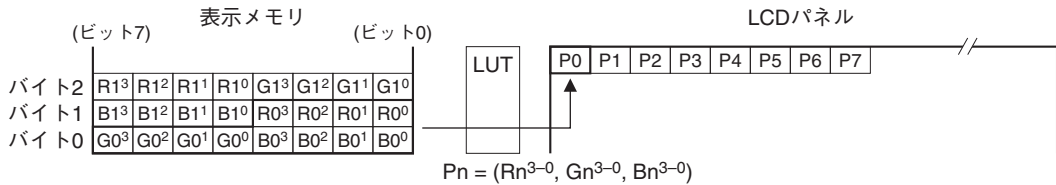
図VIII.1.5.4.5 LUTバイパス時のピクセルデータ

(5) 12bpp(4K色)モード

1ピクセルを12ビットで表現し、4K色の表示を行います。

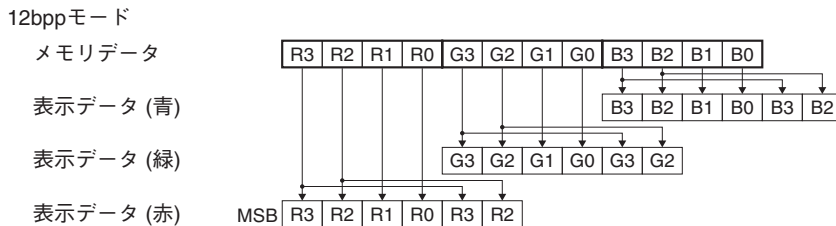
このモードでは、赤、緑および青のルックアップテーブルそれぞれの16エントリを使用し、4K色の組み合わせを設定しておくことができます。

表示メモリには、2個のピクセルのデータを3バイトとして格納します。



図VIII.1.5.4.6 12bppモードのカラーデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることができます。この場合、表示メモリ内の表示データが直接、表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。

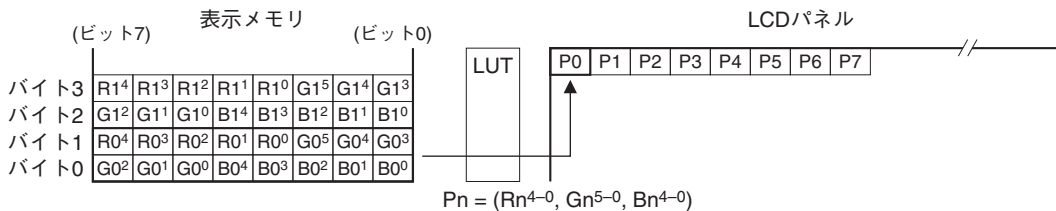


図VIII.1.5.4.7 LUTバイパス時のピクセルデータ

(6) 16bpp(64K色)モード

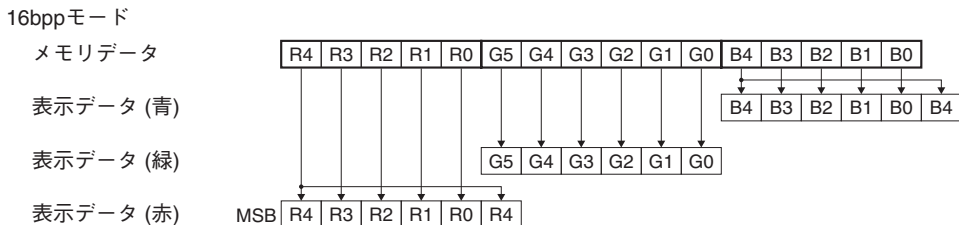
1ピクセルを16ビットで表現し、64K色(STN)の表示を行います。

表示メモリには、1個のピクセルのデータを2バイトとして格納します。



図VIII.1.5.4.8 16bppモードのカラーデータフォーマット

このモードでは、ルックアップテーブルがバイパスされ、表示メモリ内の表示データが直接、表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。



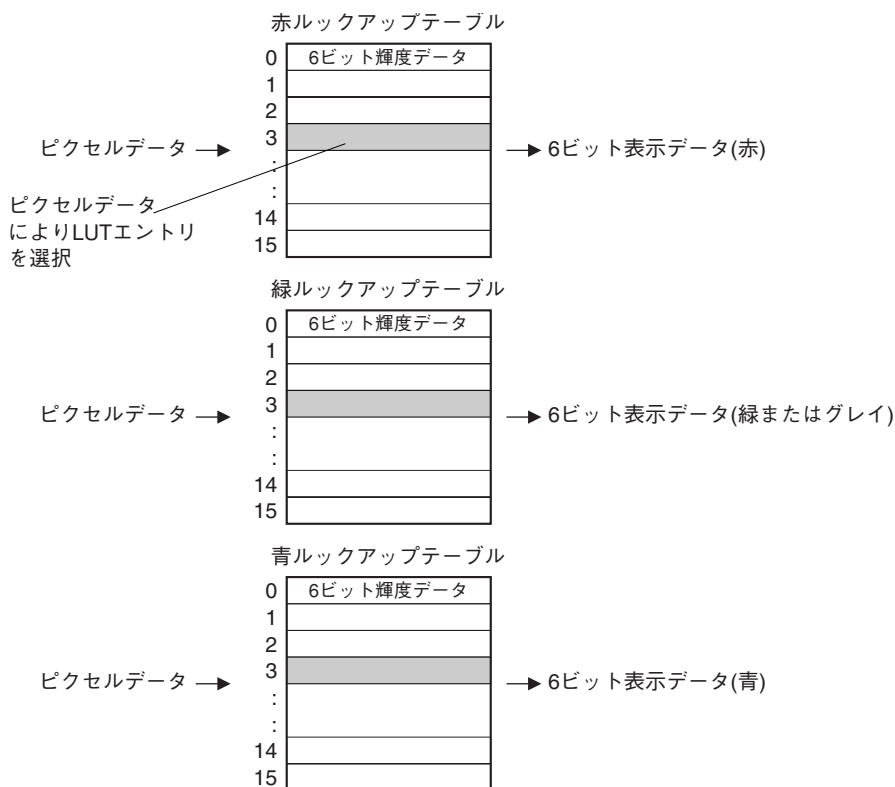
図VIII.1.5.4.9 LUTバイパス時のピクセルデータ

bppモードの選択に加え、64K色の表示を行うにはDITHEN(D6/0x301A60)を1に設定する必要があります(STN)。DITHEN(D6/0x301A60)が0の場合、表示色は4K色に制限されます(STN)。DITHEN(D6/0x301A60)が0の場合は、表示色が4K色に制限されます(STN)。DITHEN(D6/0x301A60)はSTNパネルにのみ使用されます。

* **DITHEN**: Dither Mode Enable Bit in the LCDC Display Mode Register (D6/0x301A60)

VIII.1.5.5 ルックアップテーブル

本LCDコントローラには、RGB(赤、緑、青)の色要素それぞれについて6ビットのエントリ16個で構成されるルックアップテーブルが内蔵されています。



図VIII.1.5.5.1 ルックアップテーブルの構成

表示メモリのピクセルデータはルックアップテーブルのインデックスとして使用され、ピクセルデータが示しているエントリの値から輝度データが生成され、LCDパネルに出力されます。

本LCDコントローラは表示反転制御が可能です。この制御はルックアップテーブルの出力に対して行われます。

1bpp、2bpp、4bpp、8bpp、12bppモードでルックアップテーブルをバイパスすることができます。この場合、表示メモリ内のピクセルデータが直接、階調や表示色を指定します。ルックアップテーブルをバイパスするには、LUTPASS(D4/0x301A60)を1に設定します。

* **LUTPASS**: LUT Bypass Mode Select Bit in the LCDC Display Mode Register (D4/0x301A60)

カラーの1bpp、2bpp、4bpp、16bppモードでは、ルックアップテーブルは使用できません。

■グレースケールモードのルックアップテーブル

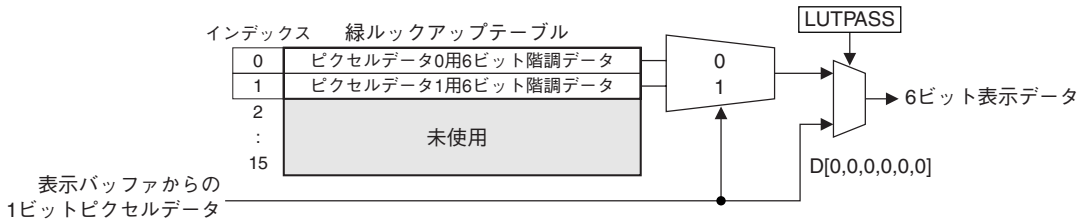
グレースケールモードでは、緑ルックアップテーブルのみを使用します。

グレースケールモードの場合、ルックアップテーブルに書き込むデータは6ビットで表現される64階調から選択します。0x0は黒、0x20は50%のグレー、0x3Fは白となります。

表示モードによる構成の違いを以下に示します。

(1) 1bpp(2階調)モード

緑ルックアップテーブルの先頭から2つのエントリを使用します。64階調の中から2つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0の場合はエントリ0のデータが、ピクセルデータが1の場合はエントリ1のデータが出力されます。白黒表示を行う場合は、エントリ0に0x0を、エントリ1に0x3Fを書き込んでおきます。



図VIII.1.5.5.2 1bpp(2階調)モード時のルックアップテーブル

表VIII.1.5.5.1は基本的なデータ設定例です。

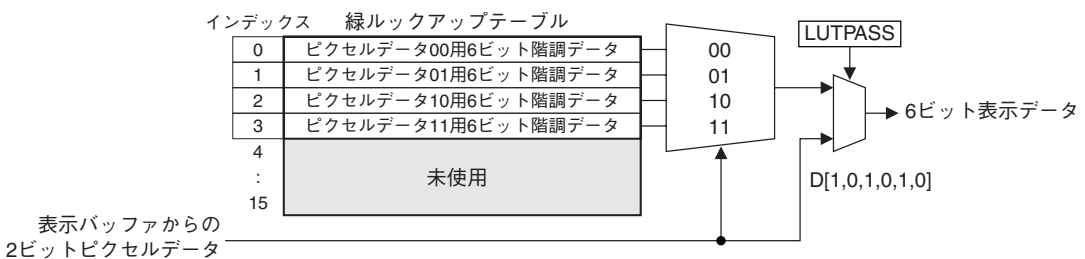
表VIII.1.5.5.1 1bpp(2階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0xFC	0
2～15	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(2) 2bpp(4階調)モード

緑ルックアップテーブルの先頭から4つのエントリを使用します。64階調の中から4つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが00の場合はエントリ0のデータが、ピクセルデータが11の場合はエントリ3のデータが出力されます。



図VIII.1.5.5.3 2bpp(4階調)モード時のルックアップテーブル

表VIII.1.5.5.2は基本的なデータ設定例です。

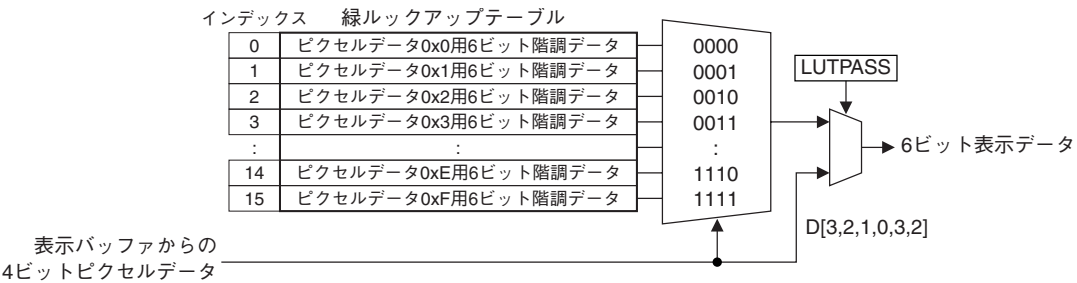
表VIII.1.5.5.2 2bpp(4階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0x54	0
2	0	0xA8	0
3	0	0xFC	0
4～15	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(3)4bpp(16階調)モード

緑ルックアップテーブルの16エントリを使用します。64階調の中から16個のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0000の場合はエントリ0のデータが、ピクセルデータが1111の場合はエントリ15のデータが出力されます。



図VIII.1.5.5.4 4bpp(16階調)モード時のルックアップテーブル

表VIII.1.5.5.3は基本的なデータ設定例です。

表VIII.1.5.5.3 4bpp(16階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0x10	0
2	0	0x20	0
3	0	0x30	0
4	0	0x44	0
5	0	0x54	0
6	0	0x64	0
7	0	0x74	0
8	0	0x88	0
9	0	0x98	0
10	0	0xA8	0
11	0	0xB8	0
12	0	0xCC	0
13	0	0xDC	0
14	0	0xEC	0
15	0	0xFC	0

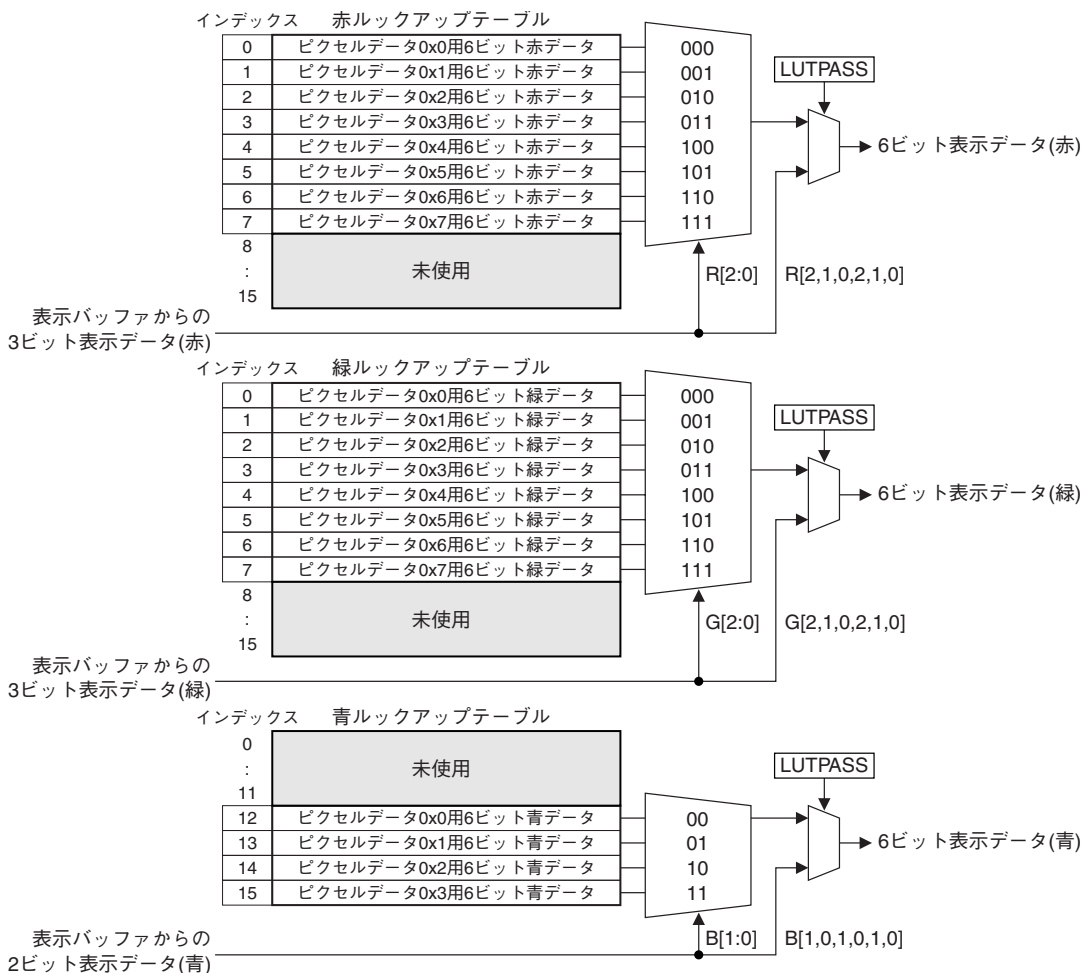
表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

■カラーモードのルックアップテーブル

カラーモードでは、赤(R)、緑(G)、青(B)すべてのルックアップテーブルを使用します。これは、光の3原色に対応しており、各色要素を6ビットのデータで表します。RGB = 00・00・00では黒、RGB = 3F・00・00は赤、RGB = 00・20・00は50%輝度の緑、RGB = 3F・00・3Fはマゼンタ、RGB = 3F・3F・3Fは白というように各要素の割合で色が決定します。各色要素の輝度を6ビットで表すと、 $64 \times 64 \times 64 = 256K$ 種類の色情報が得られます。この中から表示モードにより使用可能な数(2色、4色、16色、256色、または4K色)の色データを選び、ルックアップテーブル内の有効なエントリに書き込んでおきます。表示モードによる構成の違いを以下に示します。

(1) 8bpp(256色)モード

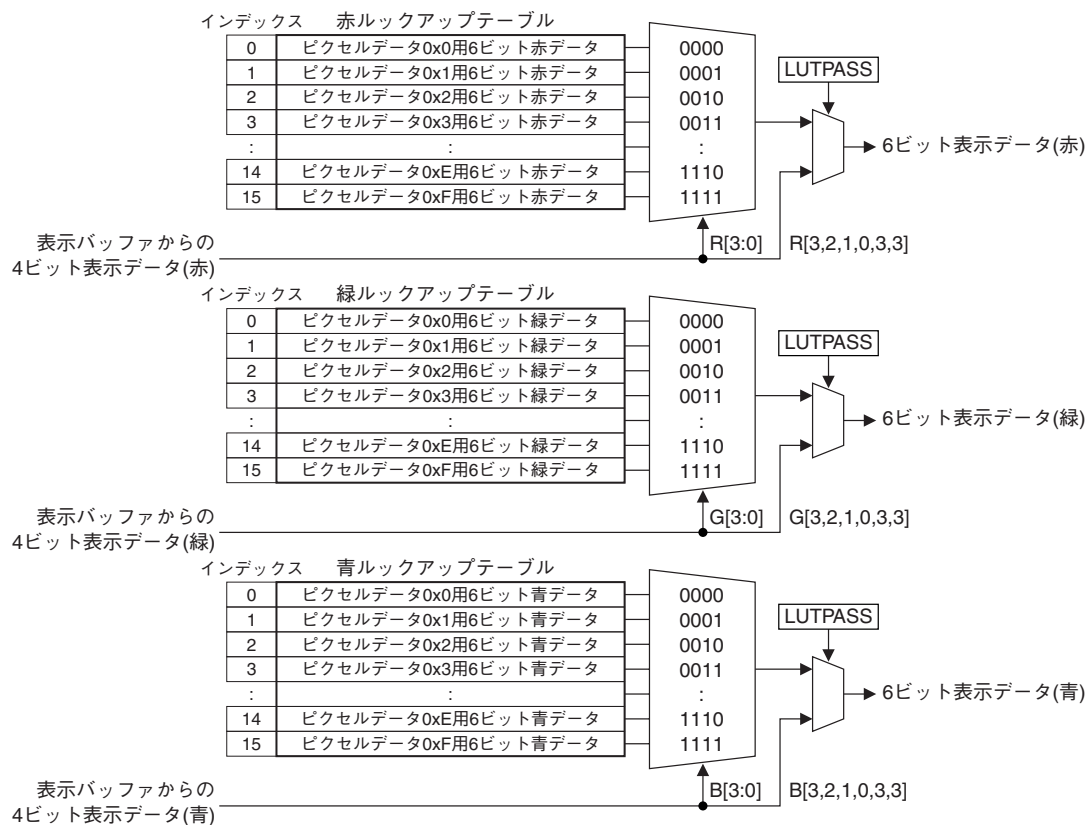
1ピクセルを8ビットで表現し、256色の表示を行います。このモードでは、赤と緑ルックアップテーブルを8エントリ、青ルックアップテーブルを4エントリ使用し、256種類の組み合わせを構成します。8ビットのピクセルデータのビット7～5が赤ルックアップテーブルのインデックス、ビット4～2が緑ルックアップテーブルのインデックス、ビット1～0が青ルックアップテーブルのインデックスとして使用されます。



図VIII.1.5.5.5 8bpp(256色)モード時のルックアップテーブル

(2) 12bpp(4K色)モード

1ピクセルを12ビットで表現し、4K(4,096)色の表示を行います。このモードでは、赤、緑および青ルックアップテーブルを16エントリ使用し、4K種類の組み合わせを構成します。12ビットのピクセルデータのビット11～8が赤ルックアップテーブルのインデックス、ビット7～4が緑ルックアップテーブルのインデックス、ビット3～0が青ルックアップテーブルのインデックスとして使用されます。



図VIII.1.5.5.6 12bpp(4K色)モード時のルックアップテーブル

■ルックアップテーブルへのデータ設定方法

ルックアップテーブルに対する6ビットグレイ/カラーデータの書き込み/読み出しには、ルックアップテーブルデータレジスタを使用します。ルックアップテーブルデータレジスタは、アドレス0x301AA0～0x301AACに次のようにマップされています。

表VIII.1.5.5.4 ルックアップテーブルレジスタアドレス

アドレス	データビット	LUTエントリ
0x301AA0	D[7:0] (D[1:0]は無効)	0
	D[15:8] (D[9:8]は無効)	1
	D[23:16] (D[17:16]は無効)	2
	D[31:24] (D[25:24]は無効)	3
0x301AA4	D[7:0] (D[1:0]は無効)	4
	D[15:8] (D[9:8]は無効)	5
	D[23:16] (D[17:16]は無効)	6
	D[31:24] (D[25:24]は無効)	7
0x301AA8	D[7:0] (D[1:0]は無効)	8
	D[15:8] (D[9:8]は無効)	9
	D[23:16] (D[17:16]は無効)	10
	D[31:24] (D[25:24]は無効)	11
0x301AAC	D[7:0] (D[1:0]は無効)	12
	D[15:8] (D[9:8]は無効)	13
	D[23:16] (D[17:16]は無効)	14
	D[31:24] (D[25:24]は無効)	15

使用するエントリすべてにデータを書き込んでください。各エントリは6ビットですが、上記レジスタにはLCD出力に対応する8ビットデータ(上位6ビットが有効)として書き込むことができます。下位2ビットを0に設定して書き込んでください。1つのエントリに書き込んだデータはRGBそれぞれのルックアップテーブルの同じ番号のエントリに同時に書き込まれます。

書き込み順序等は特に規定されていません。

VIII.1.5.6 フレームレート

フレームレートはパネルの水平および垂直トータル期間、ピクセルクロック周波数により以下のとおり算出できます。

$$\text{フレームレート} = \frac{f_{\text{LCDC\_CLK}}}{\text{HT} \times \text{VT}}$$

$f_{\text{LCDC\_CLK}}$: ピクセルクロック周波数

$f_{\text{LCDC\_CLK}} = \text{OSC3/1} \sim \text{OSC3/16}$ [Hz] “III.1.9.3 LCDCへのクロック供給”参照

HT: 水平トータル期間

$\text{HT} = (\text{HTCNT}[6:0] + 1) \times 8$ [Ts] T_s = ピクセルクロックサイクル

* **HTCNT[6:0]**: Horizontal Total Period (HT) Setup Bits in the Horizontal Display Register (D[22:16]/0x301A10)

VT: 垂直トータル期間

$\text{VT} = \text{VTCNT}[9:0] + 1$ [ライン]

* **VTCNT[9:0]**: Vertical Total Period (VT) Setup Bits in the Vertical Display Register (D[25:16]/0x301A14)

VIII.1.5.7 その他の設定

■MODレート

MOD信号が切り換わる周期を、MOD[5:0](D[5:0]/0x301A18)で設定することができます。

MOD = 0x0: MOD信号をFPFRAME信号の周期で切り換え(デフォルト)

MOD = 0x0以外: MOD+1個のFPLINEパルスの周期で切り換え

* **MOD[5:0]**: LCD MOD Rate Setup Bits in the MOD Rate Register (D[5:0]/0x301A18)

■FRMパターンのリピート

ELパネル用の設定項目です。フレームレートモジュレーションのパターンを0x40000フレーム(内蔵フレームカウンタがカウント)ごとに繰り返すかどうか、FRMRPT(D7/0x301A60)で設定できます。

FRMRPT = 1: FRMパターンを繰り返す(ELパネル用)

FRMRPT = 0: 繰り返さない(デフォルト)

* **FRMRPT**: Frame Repeat for EL Panel Bit in the LCDC Display Mode Register (D7/0x301A60)

VIII.1.6 表示の制御

VIII.1.6.1 LCDパワーアップ/ダウン制御

LCDコントローラはCMUからLCDCクロックを供給することによって動作します。イニシャルリセット後、LCDコントローラはパワーセーブモードに設定されます。クロックが供給されても、すぐにパワーアップシーケンスを開始して表示を行うわけではありません。パワーセーブモードでは、LCD信号出力端子はすべてLowに固定されます。

パワーセーブモードを解除して通常モードにするには、PSAVE[1:0](D[1:0]/0x301A04)を0b11に設定します。LCDコントローラはここからパワーアップシーケンスを開始し、LCD信号を出力します。逆に通常モードからパワーセーブモードに移行する場合、PSAVE[1:0](D[1:0]/0x301A04)を0b00に設定するとLCDコントローラはここからパワーダウンシーケンスを開始し、LCD信号をLowにします。パワーセーブモードでも、LCD制御レジスタの設定やルックアップテーブルを設定することはできます。

* **PSAVE[1:0]:** Power Save Mode Enable Bits in the Status and Power Save Configuration Register (D[1:0]/0x301A04)

また、LCD信号が正しく出力されていない状態でLCDパネルの電源を投入/切断すると、パネルを損傷する場合があります。したがって、本LCDコントローラがLCD信号の出力制御を開始してから、LCDパネルの電源を投入する必要があります。このLCDパネル電源の制御には、入出力ポートを使用してください。LCD信号が出力されていない場合は、入出力兼用ポートの出力をLCD電源がOffするように制御し、LCD信号が出力されてからポートの制御によりLCD電源をOnします。

電源投入時のLCD初期化手順の例を以下にまとめます。

1. クロック、端子、表示メモリエリアの設定を行います。(“VIII.1.4 システム設定”参照)
2. LCDパネルパラメータ、表示モード、ルックアップテーブルの設定を行います。(“VIII.1.5 LCDパネルの設定”参照)
3. LCDC割り込みをイネーブルにします。
4. 表示メモリに表示データを書き込みます。
5. 表示開始アドレスを設定します。(“VIII.1.6.2 表示開始アドレスとラインアドレスオフセットの設定”参照)
6. LCDコントローラを通常モード(PSAVE = 0b11)にします。
7. LCDコントローラはLCD信号の出力を開始します。
8. LCDパネル用電源に合わせ、待ち時間をとります。
9. 入出力ポートを制御して、LCDパネルに電源を供給します。

パワーダウンの操作は次のように行います。

1. LCDパネルの電源をOffします。
2. LCDパネル用電源に合わせ、待ち時間をとります。
3. LCDコントローラをパワーセーブモード(PSAVE = 0b00)にします。
4. LCDコントローラはLCD信号をLowにします。

VIII.1.6.2 表示開始アドレスとラインアドレスオフセットの設定

■表示開始アドレス

表示を開始する表示メモリアドレスは、Main Window Display Start Address Register(0x301A70)で自由に変更できます。このレジスタに設定した開始アドレスがLCDパネルの左上端に対応します。このレジスタには、IVRAMまたは外部SDRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

■ラインアドレスオフセット

S1C33L19のLCDCは表示データをワード単位で扱います。したがって、画像の幅(ピクセル数)は(32ビット ÷ bpp)の倍数である必要があります。ラインアドレスオフセットはこの画像幅を表すワード数のことで、以下の場合に設定します。

1. Picture-in-Picture Plus機能を使用する(サブウィンドウを表示する)場合
2. LCDパネルの水平解像度が(32ビット ÷ bpp [ピクセル])の倍数でない場合

設定する値は次のように求められます。

$$\text{メインウィンドウラインアドレスオフセット} = \text{メインウィンドウ幅(ピクセル数)} \times \text{bpp} / 32$$

この値をMWLADR[9:0](D[9:0]/0x301A74)に設定します。

* **MWLADR[9:0]**: Main Window Line Address Offset Bits in the Main Window Line Address Offset Register (D[9:0]/0x301A74)

(1) LCDパネルの水平解像度が(32ビット ÷ bpp [ピクセル])の倍数の場合

例1) LCDパネル幅 = 320ピクセル、1bppモード

$$\text{メインウィンドウラインアドレスオフセット} = 320 \times 1 / 32 = 10 \text{ [ワード]}$$

例2) LCDパネル幅 = 160ピクセル、8bppモード

$$\text{メインウィンドウラインアドレスオフセット} = 160 \times 8 / 32 = 40 \text{ [ワード]}$$

Picture-in-Picture Plus機能を使用する場合はMWLADR[9:0](D[9:0]/0x301A74)に演算値を設定します。

Picture-in-Picture Plus機能を使用しない場合、MWLADR[9:0](D[9:0]/0x301A74)を設定する必要はありません。0のままにしておきます。あるいは、演算値を設定しても正しく動作します。それ以外の値は設定しないでください。

(2) LCDパネルの水平解像度が(32ビット ÷ bpp [ピクセル])の倍数でない場合

例3) LCDパネル幅 = 240ピクセル、1bppモード

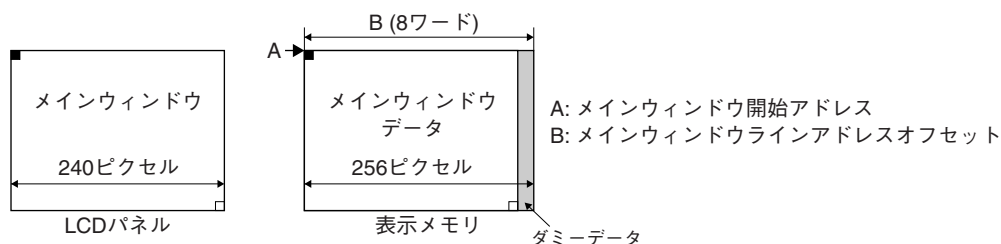
$$\text{メインウィンドウラインアドレスオフセット} = 240 \times 1 / 32 = 7.5 \text{ [ワード]} \rightarrow 8 \text{ [ワード]}$$

この場合、計算結果に小数点以下の数値が出ますので、これを切り上げます。

MWLADR[9:0](D[9:0]/0x301A74)は8に設定する必要があります。

また、メモリ上には256(8 × 32)ピクセルの幅の画像領域を用意しなければなりません。

画像データはこの領域に左寄せの配置で書き込んでください。各ライン最後の0.5ワード(16ピクセル)は表示されません。



図VIII.1.6.2.1 オフセット付き画像領域へのデータの配置

LCDパネルの水平解像度が(32ビット ÷ bpp [ピクセル])の倍数でない場合、Picture-in-Picture Plus機能を使用するか否かにかかわらず、メインウィンドウラインアドレスオフセットをMWLADR[9:0](D[9:0]/0x301A74)に設定する必要があります。

ここで設定したメインウィンドウラインアドレスオフセットは表示メモリ内での、表示1ラインの長さに相当します。したがって、Main Window Display Start Address Register(0x301A70)に対して、この値またはこの値の倍数を加減算することにより画像を上下にスクロールすることもできます。

VIII.1.6.3 表示データの書き込み

LCDコントローラは、各フレームのリフレッシュシーケンスを終了後、垂直非表示期間の最初に割り込みを発生します。また、垂直表示期間の状態を示すVNDPF(D7/0x301A04)が用意されており、垂直非表示期間中は1になります。

* **VNDPF**: Vertical Display Status Flag in the Status and Power Save Configuration Register (D7/0x301A04)

画面のちらつき等を防ぐため、表示データ、LUTデータの変更は、この割り込みまたはVNDPF(D7/0x301A04)を使用して非表示期間に行うようにしてください。

LCDC割り込みの詳細については“VIII.1.7 LCDC割り込みとDMA”を参照してください。

VIII.1.6.4 ブランク表示と反転表示

表示メモリの内容を書き換えることなく、表示を消す(画面全体を黒くする)ことができます。BLANK(D24/0x301A60)を1に設定すると、FPDAT信号がLowになり表示が消えます。0にすると通常の表示に戻ります。このとき、以下に説明するSWINV(D25/0x301A60)が1に設定されている場合は画面が白、FPDAT信号はHighとなります。

* **BLANK**: Display Blank Enable Bit in the LCDC Display Mode Register (D24/0x301A60)

* **SWINV**: Software Video Invert Bit in the LCDC Display Mode Register (D25/0x301A60)

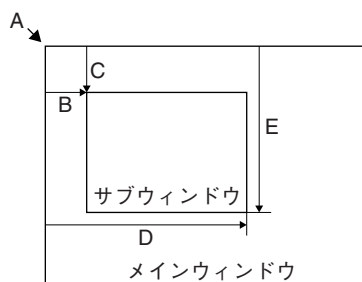
また、ビットの操作のみで表示を反転(ネガ表示)させることができます。SWINV(D25/0x301A60)を1に設定すると表示が反転され、0に設定すると通常の表示に戻ります。

この機能は、表示メモリのピクセルデータではなく、ルックアップテーブルから出力された表示データを反転します。

これらの操作により、画面を点滅させることができます。切り換えは、垂直非表示期間内(VNDPF(D7/0x301A04) = 1)に行ってください。

VIII.1.6.5 Picture-in-Picture Plus

Picture-in-Picture Plusはメインウィンドウ内にサブウィンドウを表示する機能です。サブウィンドウはサブウィンドウ用制御レジスタの設定により、メインウィンドウ内の任意の場所に任意の大きさで表示させることができます。サブウィンドウの表示色(bppモード)はメインウィンドウと同じです。サブウィンドウ設定用パラメータを下図に示します。



- A: パネル原点 = メインウィンドウ開始アドレス
- B: サブウィンドウ開始位置X
- C: サブウィンドウ開始位置Y
- D: サブウィンドウ終了位置X
- E: サブウィンドウ終了位置Y

図VIII.1.6.5.1 サブウィンドウ設定用パラメータ

注: Picture-in-Picture Plus機能を使用する場合は、メインウィンドウラインアドレスオフセットをMW-LADR[9:0](D[9:0]/0x301A74)に設定する必要があります。VIII.1.6.2節を参照してください。

■サブウィンドウ用表示メモリ

サブウィンドウの表示データはIVRAMまたは外部SDRAMに格納できます。メインウィンドウと同じメモリを使用する場合は、メインウィンドウとサブウィンドウの表示データ領域が重ならないように注意してください。

サブウィンドウの開始アドレスは、Sub-window Display Start Address Register(0x301A80)を使用してメインウィンドウと同様に指定できます。このレジスタに設定した開始アドレスがサブウィンドウの左上端に対応します。このレジスタには、IVRAMまたは外部SDRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

サブウィンドウの幅は(32ビット ÷ bpp)の倍数である必要があります。

■サブウィンドウの座標

サブウィンドウの表示位置と表示サイズは、開始位置(左上)と終了位置(右下)のXY座標を指定することで決まります。

サブウィンドウ開始位置は、X座標をPIPXST[9:0](D[9:0]/0x301A88)で、Y座標をPIPYST[9:0](D[25:16]/0x301A88)で指定します。終了位置はX座標をPIPXEND[9:0](D[9:0]/0x301A8C)で、Y座標をPIPYEND[9:0](D[25:16]/0x301A8C)で指定します。

- * **PIPXST[9:0]:** Sub-window Horizontal (X) Start Position Bits in the Sub-window Start Position Register (D[9:0]/0x301A88)
- * **PIPYST[9:0]:** Sub-window Vertical (Y) Start Position Bits in the Sub-window Start Position Register (D[25:16]/0x301A88)
- * **PIPXEND[9:0]:** Sub-window Horizontal (X) End Position Bits in the Sub-window End Position Register (D[9:0]/0x301A8C)
- * **PIPYEND[9:0]:** Sub-window Vertical (Y) End Position Bits in the Sub-window End Position Register (D[25:16]/0x301A8C)

X座標はLCDパネル原点からのピクセル数をbppモードで決まるデータワード数に変換して指定します。したがって、(32ビット ÷ bpp)ピクセル単位での指定となります。

- 1bppモード: 32ピクセル = 1ワード単位
- 2bppモード: 16ピクセル = 1ワード単位
- 4bppモード: 8ピクセル = 1ワード単位
- 8bppモード: 4ピクセル = 1ワード単位
- 12bppモード: 8ピクセル = 3ワード単位(整数指定が必要なため)
- 16bppモード: 2ピクセル = 1ワード単位

たとえば、8bppモードでサブウィンドウの水平方向開始位置が80ピクセルの場合、PIPXST[9:0]には20を設定します。

Y座標はLCDパネル原点からのライン数を1ライン単位で指定します。たとえば、サブウィンドウの垂直方向開始位置が60ラインの場合、PIPYST[9:0]には60を設定します。

■サブウィンドウの表示制御

PIPEN(D31/0x301A88)を1に設定するとPicture-in-Picture Plus機能がイネーブルとなり、サブウィンドウが表示されます。このビットは前述のサブウィンドウ用パラメータを設定後にセットしてください。

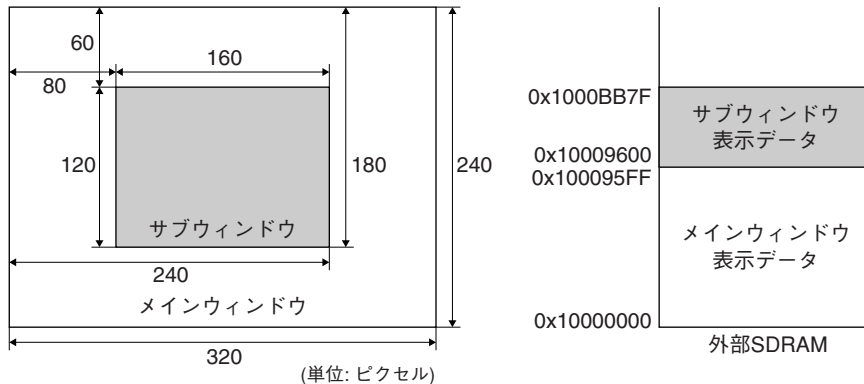
- * **PIPEN:** PIP Sub-window Enable Bit in the Sub-window Start Position Register (D31/0x301A88)

イニシャルリセット時、PIPEN(D31/0x301A88)は0に設定され、サブウィンドウは表示されません。

■サブウィンドウの設定例

以下の設定でメインウィンドウとサブウィンドウを構成する例を示します。

- LCDパネル解像度: 320×240ピクセル
- bppモード: 4bpp(16階調/16色)
- 使用メモリ: 外部SDRAM(エリア19、0x10000000～)
- 仮想画面サイズ: 320×240ピクセル
- サブウィンドウサイズ: 160×120ピクセル
- サブウィンドウ開始位置: X = 80ピクセル、Y = 60ピクセル



図VIII.1.6.5.2 サブウィンドウ構成例

1. メインウィンドウ開始アドレス

外部SDRAM(エリア19)先頭からメインウィンドウの表示データを配置するものとします。

Main Window Display Start Address Register(0x301A70) = 0x10000000

2. メインウィンドウラインアドレスオフセット

画面幅(320ピクセル)を4bppモード時のワード数に換算してMWLADR[9:0](D[9:0]/0x301A74)に設定します。

MWLADR[9:0](D[9:0]/0x301A74) = 320ピクセル × 4bpp ÷ 32ビット = 40ワード

Main Window Line Address Offset Register(0x301A74) = 40 (= 0x28)

3. サブウィンドウ開始アドレス

サブウィンドウをメインウィンドウの表示データ領域の直後に配置するものとします。

メインウィンドウデータサイズ = 320ピクセル × 240ピクセル × 4bpp ÷ 8ビット = 0x9600バイト

Sub-window Display Start Address Register(0x301A80) = 0x10000000 + 0x9600 = 0x10009600

4. サブウィンドウの開始位置と終了位置

X座標は4bppモード時のワード数に換算して設定します。Y座標はライン数をそのまま設定します。

サブウィンドウ開始位置

PIPXST[9:0](D[9:0]/0x301A88) = 80ピクセル × 4bpp ÷ 32ビット = 10ワード (= 0x0A)

PIPYST[9:0](D[25:16]/0x301A88) = 60ライン (= 0x3C)

Sub-window Start Position Register(0x301A88) = 0x003C000A

サブウィンドウ終了位置

PIPXEND[9:0](D[9:0]/0x301A8C) = (80 + 160)ピクセル × 4bpp ÷ 32ビット - 1 = 29ワード (= 0x1D)

PIPYEND[9:0](D[25:16]/0x301A8C) = 60 + 120ライン - 1 = 180ライン (= 0xB3)

Sub-window End Position Register(0x301A8C) = 0x00B3001D

上記の設定後、Sub-window Start Position Register(0x301A88)に0x803C000Aを書き込んでサブウィンドウの表示をイネーブルにします。

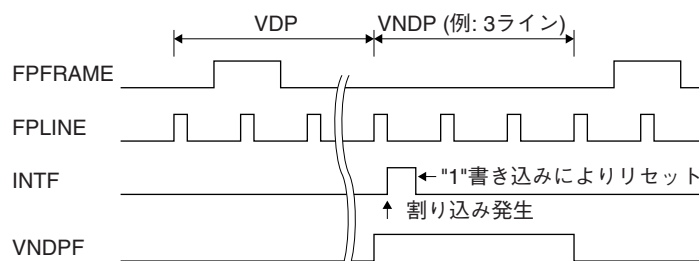
VIII.1.7 LCDC割り込みとDMA

■フレーム割り込み

フレームリフレッシュサイクル(垂直表示期間)が終了すると垂直非表示期間が始まり、フレーム割り込みフラグINTF(D31/0x301A04)が1にセットされます。INTEN(D0/0x301A00)を1に設定してフレーム割り込み要求を許可している場合、これと同時に、LCDコントローラは割り込みコントローラに割り込み信号を出力します。割り込みコントローラの制御レジスタで割り込みが許可されていれば、CPUに対して割り込みが発生します。この割り込みの発生により、表示データを表示メモリに書き込むタイミングを知ることができます。また、この割り込みはIDMAを起動することもできるので、DMA転送によりデータを表示メモリに書き込むこともできます。

* INTF: Frame Interrupt Flag in the Status and Power Save Configuration Register (D31/0x301A04)

* INTEN: Frame Interrupt Enable Bit in the Frame Interrupt Register (D0/0x301A00)



図VIII.1.7.1 フレーム割り込みタイミング

INTFフラグは1にセットされると、ソフトウェアによって1を書き込むまでリセットされません。したがって、フレーム割り込みを許可する場合は、不要な割り込みを防ぐため、INTENを1に設定する前に、INTFに1を書き込んでください。

LCDC割り込みを使用しない場合は、INTENを0に設定します。

■割り込みコントローラの制御レジスタ

LCDC割り込み用の割り込みコントローラの制御レジスタを表VIII.1.7.1に示します。

表VIII.1.7.1 割り込みコントローラの制御レジスタ

割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
FLCDC (D1/0x300288)	ELCDC (D1/0x300278)	PLCDC[2:0] (D[2:0]/0x300269)

上記の割り込み要因の発生により、割り込み要因フラグが1にセットされます。対応する割り込みイネーブルレジスタのビットが1に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを0に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが1(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.2 割り込みコントローラ(ITC)”を参照してください。

■インテリジェントDMA

LCDC割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、データメモリから表示メモリへのデータ転送がDMAを使用して行えます。
LCDC割り込みに設定されたIDMAチャンネル番号は33です。

IDMAを起動させるには、表VIII.1.7.2に示すIDMAリクエストビットとIDMAイネーブルビットに1を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表VIII.1.7.2 IDMA転送用の制御ビット

IDMAリクエストビット	IDMAイネーブルビット
RLCDC (D1/0x30029B)	DELCDC (D1/0x30029C)

IDMAリクエストビットとIDMAイネーブルビットが1に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、“II.2 インテリジェントDMA(IDMA)”を参照してください。

■トラップベクタ

LCDC割り込みのトラップベクタアドレスは、デフォルトで0x0C00124に設定されます。
なお、トラップテーブルのベースアドレスはTTBRレジスタで変更することも可能です。

VIII.1.8 パワーセーブ

本LCDコントローラは2種類のパワーセーブモードを持っています。PSAVE[1:0](D[1:0]/0x301A04)で設定します。

* **PSAVE[1:0]**: Power Save Mode Select Bits in the Status and Power Save Configuration Register (D[1:0]/0x301A04)

表VIII.1.8.1 パワーセーブモードの設定

PSAVE1	PSAVE0	モード
1	1	通常動作
1	0	DOZEモード
0	1	Reserved
0	0	パワーセーブモード

■パワーセーブモード

このモードに設定すると、LCD信号出力端子がすべてLowとなりLCDパネルをパワーダウンします。LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。

PSAVE[1:0](D[1:0]/0x301A04)を0b00に設定するとパワーセーブモードに設定され、0b11に設定すると解除されます。

■DOZEモード

DOZEモードはRAM内蔵タイプあるいはセルフリフレッシュタイプのLCDパネルに対応したパワーセーブモードです。これらのパネルは、同一画像の表示リフレッシュのためにデータを常を送る必要があります。この間、本LCDコントローラをDOZEモードに設定することができます。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

■パワーセーブモードの比較

表VIII.1.8.2にパワーセーブモードの相違点をまとめます。

表VIII.1.8.2 パワーセーブモードの相違点

項 目	LCDCディセーブル	パワーセーブモード	DOZEモード	通常動作
I/Oレジスタへのアクセス	不可	可	可	可
ルックアップテーブルへのアクセス	不可	可	可	可
VRAMへのアクセス	可	可	可	可
表示(STNパネル)	インアクティブ	インアクティブ	アクティブ	アクティブ
表示(HR-TFTパネル)	インアクティブ	インアクティブ	インアクティブ	アクティブ
LCDCによる表示データフェッチ動作	インアクティブ	インアクティブ	インアクティブ	アクティブ
FPDAT[11:0]信号(STN, HR-TFTパネル)	Low	Low	Low	アクティブ
FPSHIFT信号(STNパネル)	Low	Low	Low	アクティブ
FPLINE, FPFRAME, FPD RDY信号(STNパネル)	Low	Low	アクティブ	アクティブ
FPSHIFT信号(HR-TFTパネル)	Low	High	High	アクティブ
FPSPOL (D1/0x301A40) = 0の場合	Low	Low	Low	アクティブ
FPSHIFT信号(HR-TFTパネル)	Low	Low	Low	アクティブ
FPSPOL (D1/0x301A40) = 1の場合	Low	High	アクティブ	アクティブ
FPFRAME信号(HR-TFTパネル)	Low	Low	アクティブ	アクティブ
FPFPOL (D7/0x301A2C) = 0の場合	Low	Low	アクティブ	アクティブ
FPFRAME信号(HR-TFTパネル)	Low	Low	アクティブ	アクティブ
FPFPOL (D7/0x301A2C) = 1の場合	Low	High	アクティブ	アクティブ
FPLINE信号(HR-TFTパネル)	Low	Low	アクティブ	アクティブ
FPLPOL (D7/0x301A28) = 0の場合	Low	Low	アクティブ	アクティブ
FPLINE信号(HR-TFTパネル)	Low	Low	アクティブ	アクティブ
FPLPOL (D7/0x301A28) = 1の場合	Low	High	アクティブ	アクティブ
TFT_CTL1信号* (HR-TFTパネル)	Low	Low	アクティブ	アクティブ
CTL1ST[9:0] (D[9:0]/0x301A44) = 0の場合	Low	Low	アクティブ	アクティブ
TFT_CTL1信号* (HR-TFTパネル)	Low	Low	アクティブ	アクティブ
CTL1ST[9:0] (D[9:0]/0x301A44) ≠ 0の場合	Low	Low	アクティブ	アクティブ
TFT_CTL0, TFT_CTL2, TFT_CTL3信号(HR-TFTパネル)	Low	Low	アクティブ	アクティブ

* CTL1CTL(D3/0x301A40) = 1、PRESET(D2/0x301A40) = 1、CTLSWAP(D0/0x301A40) = 0に設定したTFT_CTL1信号

VIII.1.9 制御レジスタ詳細

表VIII.1.9.1 LCDC制御レジスタ一覧

アドレス	レジスタ名	サイズ	機能
0x00301A00	Frame Interrupt Register (pLCDC_INT)	32	LCDC割り込みイネーブル
0x00301A04	Status and Power Save Configuration Register (pLCDC_PS)	32	割り込みステータスとパワーセーブ制御
0x00301A10	Horizontal Display Register (pLCDC_HD)	32	水平トータル/表示期間設定
0x00301A14	Vertical Display Register (pLCDC_VD)	32	垂直トータル/表示期間設定
0x00301A18	MOD Rate Register (pLCDC_MR)	32	MODレート設定
0x00301A20	Horizontal Display Start Position Register (pLCDC_HDPS)	32	HR-TFT水平表示期間開始位置設定
0x00301A24	Vertical Display Start Position Register (pLCDC_VDPS)	32	HR-TFT垂直表示期間開始位置設定
0x00301A28	FPLINE Pulse Setup Register (pLCDC_L)	32	HR-TFT FPLINEパルス設定
0x00301A2C	FPFRAME Pulse Setup Register (pLCDC_F)	32	HR-TFT FPFRAMEパルス設定
0x00301A30	FPFRAME Pulse Offset Register (pLCDC_FO)	32	HR-TFT FPFRAMEパルスオフセット設定
0x00301A40	HR-TFT Special Output Register (pLCDC_TSO)	32	HR-TFT用信号制御
0x00301A44	TFT_CTL1 Pulse Register (pLCDC_TC1)	32	TFT_CTL1パルス設定
0x00301A48	TFT_CTL0 Pulse Register (pLCDC_TC0)	32	TFT_CTL0パルス設定
0x00301A4C	TFT_CTL2 Register (pLCDC_TC2)	32	TFT_CTL2信号設定
0x00301A60	LCDC Display Mode Register (pLCDC_DMD)	32	表示モード設定と表示制御
0x00301A64	IRAM Select Register (pLCDC_IRAM)	32	IRAM割り付けの選択
0x00301A70	Main Window Display Start Address Register (pLCDC_MADD)	32	メインウィンドウ表示開始アドレス設定
0x00301A74	Main Window Line Address Offset Register (pLCDC_MLADD)	32	メインウィンドウラインアドレスオフセット設定
0x00301A80	Sub-window Display Start Address Register (pLCDC_SADD)	32	サブウィンドウ表示開始アドレス設定
0x00301A88	Sub-window Start Position Register (pLCDC_SSP)	32	サブウィンドウ開始位置設定
0x00301A8C	Sub-window End Position Register (pLCDC_SEP)	32	サブウィンドウ終了位置設定
0x00301AA0	Look-up Table Data Register 0 (pLCDC_LUT_03)	32	ルックアップテーブルデータ(エントリ0~3)
0x00301AA4	Look-up Table Data Register 1 (pLCDC_LUT_47)	32	ルックアップテーブルデータ(エントリ4~7)
0x00301AA8	Look-up Table Data Register 2 (pLCDC_LUT_8B)	32	ルックアップテーブルデータ(エントリ8~11)
0x00301AAC	Look-up Table Data Register 3 (pLCDC_LUT_CF)	32	ルックアップテーブルデータ(エントリ12~15)

以下にLCDコントローラの制御レジスタを個々に説明します。

LCDコントローラの制御レジスタは0x301A00~0x301AACの32ビットデバイスエリアに割り付けられており、ワードアクセスのみ可能です。

注: LCDコントローラの制御レジスタを設定する場合、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301A00: Frame Interrupt Register (pLCDC_INT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Frame interrupt register (pLCDC_INT)	00301A00 (W)	D31-1	—	reserved	—			—	—	0 when being read.
		D0	INTEN	Frame interrupt enable	1	Enabled	0	Disabled	0	R/W

D[31:1] Reserved

D0 **INTEN: Frame Interrupt Enable Bit**

LCDCフレーム割り込み要求出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

フレーム割り込みを使用する場合はINTENを1に設定します。これにより、割り込みコントローラに割り込み信号が出力されるようになります。このビットが0の場合、LCDC割り込みは発生しません。

0x301A04: Status and Power Save Configuration Register (pLCDC_PS)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Status and power save configuration register (pLCDC_PS)	00301A04 (W)	D31	INTF	Frame interrupt flag	1	Generated	0	Not generated	0	R/W	Reset by writing 1.
		D30-8	—	reserved	—			—	—	0 when being read.	
		D7	VNDPF	Vertical display status	1	VNDP	0	VDP	1	R	
		D6-2	—	reserved	—			—	—	0 when being read.	
		D1	PSAVE1 PSAVE0	Power save mode	PSAVE[1:0]		Mode		0	R/W	
		D0			1	1	Normal operation		0		
					1	0	Doze mode				
	0	1			reserved						
		0	0	Power save mode							

D31 INTF: Frame Interrupt Flag

フレーム割り込み要因の発生状態を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

INTFは垂直非表示期間が始まると1にセットされます。INTEN(D0/0x301A00)を1に設定してフレーム割り込みを許可している場合、割り込み信号がアクティブとなり、割り込みコントローラのLCDC割り込み要因フラグが1にセットされます。このフラグは1の書き込みによってのみリセットされます。

D[30:8] Reserved**D7 VNDPF: Vertical Display Status Flag**

垂直非表示期間内かどうかを示します。

1(R): 垂直非表示期間(デフォルト)

0(R): 垂直表示期間

垂直非表示期間中にVNDPFは1になり、垂直表示期間は0になります。画面を乱さずに画像の切り換えを行う場合は、このビットを読み出すことによって垂直非表示期間内に切り換え操作が行えます。

D[6:2] Reserved**D[1:0] PSAVE[1:0]: Power Save Mode Select Bits**

パワーセーブモードを選択します。

表VIII.1.9.2 パワーセーブモードの設定

PSAVE1	PSAVE0	モード
1	1	通常動作
1	0	DOZEモード
0	1	Reserved
0	0	パワーセーブモード

(デフォルト: 0b00 = パワーセーブモード)

PSAVEを0b00に設定するとパワーセーブモードに設定されます。このモードは、LCD信号出力端子がすべてLowとなり、LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。PSAVEを11に設定するとパワーセーブモードが解除されます。

DOZEモードはRAM内蔵タイプあるいはセルフリフレッシュタイプのLCDパネルに対応したパワーセーブモードです。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

0x301A10: Horizontal Display Register (pLCDC_HD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal display register (pLCDC_HD)	00301A10 (W)	D31–23	–	reserved	–	–	–	0 when being read.
		D22	HTCNT6	Horizontal total period (HT) setup	$HT = (HTCNT + 1) \times 8 [Ts]$	0	R/W	
		D21	HTCNT5	$HT = HDP + HNDP$		0		
		D20	HTCNT4	$HT > HDPS + HDP$ (for HR-TFT)	$HNDP = (HTCNT - HDPCNT) \times 8 [Ts]$	0		
		D19	HTCNT3			0		
		D18	HTCNT2			0		
		D17	HTCNT1			0		
		D16	HTCNT0			0		
		D15–7	–	reserved	–	–	–	0 when being read.
		D6	HDPCNT6	Horizontal display period (HDP) setup	$HDP = (HDPCNT + 1) \times 8 [Ts]$	0	R/W	
		D5	HDPCNT5			0		
		D4	HDPCNT4			0		
		D3	HDPCNT3			0		
		D2	HDPCNT2			0		
		D1	HDPCNT1			0		
		D0	HDPCNT0			0		

D[31:23] Reserved**D[22:16] HTCNT[6:0]: Horizontal Total Period (HT) Setup Bits**

水平トータル期間(HT)を8ピクセル単位で設定します。(デフォルト: 0x0)

$$HT = (HTCNT[6:0] + 1) \times 8 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

水平トータル期間は水平表示期間と水平非表示期間を含み、設定可能な最大値は1,024ピクセル周期です。

HTCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HTCNT[6:0] \geq HDPCNT[6:0] + 4$$

$$HT > HDP + HDPS$$

D[15:7] Reserved**D[6:0] HDPCNT[6:0]: Horizontal Display Period (HDP) Setup Bits**

水平表示期間(HDP、パネル水平解像度)を8ピクセル単位で設定します。(デフォルト: 0x0)

$$HDP = (HDPCNT[6:0] + 1) \times 8 [Ts]$$

HDPCNT[6:0]は次の条件を満たすように設定する必要があります。

$$HDP \geq 16 \quad (HDPCNT[6:0] \geq 1)$$

0x301A14: Vertical Display Register (pLCDC_VD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical display register (pLCDC_VD)	00301A14 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	VTCNT9	Vertical total period (VT) setup VT = VDP + VNDP VT > VDPS + VDP (for HR-TFT)	VT = VTCNT + 1 [lines] VNDP = HTCNT - HDCNT [lines]	0	R/W	
		D24	VTCNT8			0		
		D23	VTCNT7			0		
		D22	VTCNT6			0		
		D21	VTCNT5			0		
		D20	VTCNT4			0		
		D19	VTCNT3			0		
		D18	VTCNT2			0		
		D17	VTCNT1			0		
		D16	VTCNT0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	VDPCNT9	Vertical display period (VDP) setup	VDP = VDPCNT + 1 [lines]	0	R/W	
		D8	VDPCNT8			0		
		D7	VDPCNT7			0		
		D6	VDPCNT6			0		
		D5	VDPCNT5			0		
		D4	VDPCNT4			0		
		D3	VDPCNT3			0		
		D2	VDPCNT2			0		
		D1	VDPCNT1			0		
		D0	VDPCNT0			0		

D[31:26] Reserved**D[25:16] VTCNT[9:0]: Vertical Total Period (VT) Setup Bits**

垂直トータル期間(VT)をライン単位で設定します。(デフォルト: 0x0)

$VT = VTCNT[9:0] + 1$ [ライン]

垂直トータル期間は垂直表示期間と垂直非表示期間を含み、設定可能な最大値は1,024ラインです。

VTCNT[9:0]は次の条件を満たすように設定する必要があります。

$VT > VDP + VDPS$

D[15:10] Reserved**D[9:0] VDPCNT[9:0]: Vertical Display Period (VDP) Setup Bits**

垂直表示期間(VDP、パネル垂直解像度)をライン単位で設定します。(デフォルト: 0x0)

$VDP = VDPCNT[9:0] + 1$ [ライン]

VDPCNT[9:0]は次の条件を満たすように設定する必要があります。

$VT \geq VDP + 1$

0x301A18: MOD Rate Register (pLCDC_MR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MOD rate register (pLCDC_MR)	00301A18 (W)	D31-6	—	reserved	—	—	—	0 when being read.
		D5	MOD5	LCD MOD rate	0x0 to 0x3F	0	R/W	
		D4	MOD4	MOD5 = MSB		0		
		D3	MOD3	MOD0 = LSB		0		
		D2	MOD2			0		
		D1	MOD1			0		
		D0	MOD0			0		

D[31:6] Reserved

D[5:0] **MOD: LCD MOD Rate Setup Bits**

MOD信号を切り換える周期を設定します。(デフォルト: 0x0)
このレジスタが0x0の場合は、FPFRAME信号の周期でMOD信号が切り換わります。それ以外の周期に設定するには、FPLINEパルスのカウント値を設定します。

0x301A20: Horizontal Display Start Position Register (pLCDC_HDPS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal display start position register (pLCDC_HDPS)	00301A20 (W)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	HDPSCNT9	Horizontal display period start position for HR-TFT HT > HDPS + HDP	HDPS = HDPSCNT + 1 [pixels]	0	R/W	0x0 must be set for STN panels.
		D8	HDPSCNT8			0		
		D7	HDPSCNT7			0		
		D6	HDPSCNT6			0		
		D5	HDPSCNT5			0		
		D4	HDPSCNT4			0		
		D3	HDPSCNT3			0		
		D2	HDPSCNT2			0		
		D1	HDPSCNT1			0		
		D0	HDPSCNT0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved**D[9:0] HDPSCNT[9:0]: Horizontal Display Period Start Position Setup Bits**

HR-TFTパネルの水平表示期間開始位置(HDPS)をピクセル単位で設定します。(デフォルト: 0x0)

$\text{HDPS} = \text{HDPSCNT}[9:0] + 1 [\text{Ts}]$ (Ts: ピクセルクロック周期)

HDPSCNT[9:0]は次の条件を満たすように設定する必要があります。

$\text{HT} > \text{HDP} + \text{HDPS}$

0x301A24: Vertical Display Start Position Register (pLCDC_VDPS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical display start position register (pLCDC_VDPS)	00301A24 (W)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	VDPSCNT9	Vertical display period start position for HR-TFT VT > VDPS + VDP	VDPS = VDPSCNT [lines]	0	R/W	0x0 must be set for STN panels.
		D8	VDPSCNT8			0		
		D7	VDPSCNT7			0		
		D6	VDPSCNT6			0		
		D5	VDPSCNT5			0		
		D4	VDPSCNT4			0		
		D3	VDPSCNT3			0		
		D2	VDPSCNT2			0		
		D1	VDPSCNT1			0		
		D0	VDPSCNT0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved**D[9:0] VDPSCNT[9:0]: Vertical Display Period Start Position Setup Bits**

HR-TFTパネルの垂直表示期間開始位置(VDPS)をライン単位で設定します。(デフォルト: 0x0)

$VDPS = VDPSCNT[9:0]$ [ライン]

VDPSCNT[9:0]は次の条件を満たすように設定する必要があります。

$VT > VDP + VDPS$

0x301A28: FPLINE Pulse Setup Register (pLCDC_L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPLINE pulse setup register (pLCDC_L)	00301A28 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	FPLST9	FPLINE pulse start position	Start position = FPLST + 1 [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPLST8			0		
		D23	FPLST7			0		
		D22	FPLST6			0		
		D21	FPLST5			0		
		D20	FPLST4			0		
		D19	FPLST3			0		
		D18	FPLST2			0		
		D17	FPLST1			0		
		D16	FPLST0			0		
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPLPOL	FPLINE pulse polarity	1 Active high 0 Active low	0	R/W	(*1)
		D6	FPLWD6	FPLINE pulse width	Pulse width = FPLWD + 1 [pixels]	0	R/W	
		D5	FPLWD5			0		
		D4	FPLWD4			0		
		D3	FPLWD3			0		
		D2	FPLWD2			0		
		D1	FPLWD1			0		
		D0	FPLWD0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] FPLST[9:0]: FPLINE Pulse Start Position Setup Bits**

HR-TFTパネルの水平同期パルス(FPLINEまたはLP)開始位置(HPS)をピクセルクロック単位で設定します。(デフォルト: 0x0)

$$HPS = FPLST[9:0] + 1 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

D[15:8] Reserved**D7 FPLPOL: FPLINE Pulse Polarity Setup Bit**

HR-TFTパネル用水平同期パルスの極性を設定します。

1(R/W): アクティブHigh

0(R/W): アクティブLow(デフォルト)

D[6:0] FPLWD[6:0]: FPLINE Pulse Width Setup Bits

HR-TFTパネルの水平同期パルス幅(HPW)をピクセルクロック単位で設定します。(デフォルト: 0x0)

$$HPW = FPLWD[6:0] + 1 [Ts] \quad (Ts: \text{ピクセルクロック周期})$$

0x301A2C: FPFRAME Pulse Setup Register (pLCDC_F)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFRAME pulse setup register (pLCDC_F)	00301A2C (W)	D31-26	—	reserved	—	—	—	0 when being read.
		D25	FPFST9	FPFRAME pulse start position	Start position = FPFST × HT [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPFST8			0		
		D23	FPFST7			0		
		D22	FPFST6			0		
		D21	FPFST5			0		
		D20	FPFST4			0		
		D19	FPFST3			0		
		D18	FPFST2			0		
		D17	FPFST1			0		
		D16	FPFST0			0		
		D15-8	—	reserved	—	—	—	0 when being read.
		D7	FPFPOL	FPFRAME pulse polarity	1 Active high 0 Active low	0	R/W	(*1)
		D6-3	—	reserved	—	—	—	0 when being read.
		D2	FPFWD2	FPFRAME pulse width	Pulse width = (FPFWD+1) × HT [pixels]	0	R/W	(*1)
		D1	FPFWD1			0		
		D0	FPFWD0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] FPFST[9:0]: FPFRAME Pulse Start Position Setup Bits**

HR-TFTパネルの垂直同期パルス(FPFRAMEまたはSPS)開始位置(VPS)を設定します。
(デフォルト: 0x0)

$$VPS = FPFST[9:0] \text{ [ライン]} = FPFST[9:0] \times HT \text{ [Ts]} \quad (\text{Ts: ピクセルクロック周期})$$

D[15:8] Reserved**D7 FFPOL: FPFRAME Pulse Polarity Setup Bit**

HR-TFTパネル用垂直同期パルスの極性を設定します。
1(R/W): アクティブHigh
0(R/W): アクティブLow(デフォルト)

D[6:3] Reserved**D[2:0] FPFWD[2:0]: FPFRAME Pulse Width Setup Bits**

HR-TFTパネルの垂直同期パルス幅(VPW)を設定します。(デフォルト: 0x0)

$$VPW = FPFWD[2:0] + 1 \text{ [ライン]} = (FPFWD[2:0] + 1) \times HT \text{ [Ts]} \quad (\text{Ts: ピクセルクロック周期})$$

0x301A30: FPFRAmE Pulse Offset Register (pLCDC_FO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFRAME pulse offset register (pLCDC_FO)	00301A30 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	FPFSTPO9	FPFRAME pulse stop offset	Stop offset = FPFSTPO [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPFSTPO8			0		
		D23	FPFSTPO7			0		
		D22	FPFSTPO6			0		
		D21	FPFSTPO5			0		
		D20	FPFSTPO4			0		
		D19	FPFSTPO3			0		
		D18	FPFSTPO2			0		
		D17	FPFSTPO1			0		
		D16	FPFSTPO0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	FPFSTO9	FPFRAME pulse start offset	Start offset = FPFSTO [pixels]	0	R/W	(*1)
		D8	FPFSTO8			0		
		D7	FPFSTO7			0		
		D6	FPFSTO6			0		
		D5	FPFSTO5			0		
		D4	FPFSTO4			0		
		D3	FPFSTO3			0		
		D2	FPFSTO2			0		
		D1	FPFSTO1			0		
		D0	FPFSTO0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] FPFSTPO[9:0]: FPFRAmE Pulse Stop Offset Bits**

ライン単位で設定した垂直同期パルスの終了位置(パルス幅)をピクセルクロック単位で調整します。

(デフォルト: 0x0)

$$VPW' = (FPFWD[2:0] + 1) \times HT - FPFSTO[9:0] + FPFSTPO[9:0] [Ts]$$

(Ts: ピクセルクロック周期)

D[15:10] Reserved**D[9:0] FPFSTO[9:0]: FPFRAmE Pulse Start Offset Bits**

ライン単位で設定した垂直同期パルスの開始位置をピクセルクロック単位で調整します。

(デフォルト: 0x0)

$$VPS' = FPFST[9:0] \times HT + FPFSTO[9:0] [Ts]$$

(Ts: ピクセルクロック周期)

0x301A40: HR-TFT Special Output Register (pLCDC_TSO)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HR-TFT special output register (pLCDC_TSO)	00301A40 (W)	D31-4	–	reserved	–			–	–	0 when being read.	
		D3	CTL1CTL	TFT_CTL1 control	1	Program	0	Toggle/line	0	R/W	For HR-TFT
		D2	PRESET	TFT_CTL0-2 preset enable	1	Program	0	Preset	0	R/W	0x0 must be set for STN panels.
		D1	FPSPOL	FPSHIFT polarity	1	Falling	0	Rising	0	R/W	
		D0	CTLSWAP	TFT_CTL0/TFT_CTL1 swap	1	Swap	0	Not swap	0	R/W	

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:4] Reserved**D3 CTL1CTL: TFT_CTL1 Control Bit**

TFT_CTL1(CLS)信号をプログラムするか、ラインごとにトグルさせるか選択します。

1(R/W): プログラム

0(R/W): ラインごとにトグル(デフォルト)

TFT_CTL1 Pulse Register(0x301A44)でプログラムしたTFT_CTL1(CLS)信号(PRESET(D2)で選択)か既定値のTFT_CTL1(CLS)信号を使用する場合は、CTL1CTLを1に設定します。CTL1CTLが0の場合はデフォルト設定が用いられ、TFT_CTL1(CLS)信号はFPLINE(LP)パルスごとにHigh/Lowが切り換わります。

D2 PRESET: TFT_CTL0-2 Preset Enable Bit

TFT_CTL0(PS)、TFT_CTL1(CLS)、TFT_CTL2(REV)信号をプログラムするか、既定値で使用するか選択します。

1(R/W): プログラム

0(R/W): 既定値(デフォルト)

PRESETを1に設定すると、各信号のタイミングは以下のレジスタでプログラムできます。

TFT_CTL0(PS): TFT_CTL0 Pulse Register(0x301A48)

TFT_CTL1(CLS): TFT_CTL1 Pulse Register(0x301A44)

TFT_CTL2(REV): TFT_CTL2 Register(0x301A4C)

PRESETが0の場合、TFT_CTL0、TFT_CTL1、TFT_CTL2信号はLowに固定されます。

D1 FPSPOL: FPSHIFT Polarity Select Bit

HR-TFTパネル用FPSHIFT(CLK)信号の極性を選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

FPSPOLを1に設定すると、FPDAT[11:0]の出力はFPSHIFT(CLK)信号の立ち上がりエッジで切り換わります(立ち下がりエッジでサンプリングされます)。FPSPOLを0に設定すると、FPDAT[11:0]の出力はFPSHIFT(CLK)信号の立ち下がりエッジで切り換わります(立ち上がりエッジでサンプリングされます)。

D0 CTLSWAP: TFT_CTL0/TFT_CTL1 Swap Bit

TFT_CTL1とTFT_CTL0信号を入れ替えます。

1(R/W): 入れ替え(TFT_CTL0 = CLS、TFT_CTL1 = PS)

0(R/W): 入れ替えなし(TFT_CTL0 = PS、TFT_CTL1 = CLS) (デフォルト)

0x301A44: TFT_CTL1 Pulse Register (pLCDC_TC1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL1 pulse register (pLCDC_TC1)	00301A44 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	CTL1STP9	TFT_CTL1 pulse stop offset	Stop offset = CTL1STP + 1 [pixels]	0	R/W	*2: For HR-TFT This register is enabled when PRESET = 1.
		D24	CTL1STP8			0		
		D23	CTL1STP7	TFT_CTL1 pulse width		0		
		D22	CTL1STP6	= (CTL1STP - CTL1ST + 1) Ts		0		
		D21	CTL1STP5			0		
		D20	CTL1STP4			0		
		D19	CTL1STP3			0		
		D18	CTL1STP2			0		
		D17	CTL1STP1			0		
		D16	CTL1STP0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	CTL1ST9	TFT_CTL1 pulse start offset	Start offset = CTL1ST [pixels]	0	R/W	(*2)
		D8	CTL1ST8			0		
		D7	CTL1ST7			0		
		D6	CTL1ST6			0		
		D5	CTL1ST5			0		
		D4	CTL1ST4			0		
		D3	CTL1ST3			0		
		D2	CTL1ST2			0		
		D1	CTL1ST1			0		
		D0	CTL1ST0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved**D[25:16] CTL1STP[9:0]: TFT_CTL1 Pulse Stop Offset Setup Bits**

TFT_CTL1(CLS)パルスの終了位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

D[15:10] Reserved**D[9:0] CTL1ST[9:0]: TFT_CTL1 Pulse Start Offset Setup Bits**

TFT_CTL1(CLS)パルスの開始位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

このレジスタの設定により、TFT_CTL1パルス幅は“CTL1STP[9:0] - CTL1ST[9:0] + 1 [Ts]”に設定されます。本レジスタの設定を有効にするには、CTL1CTL(D3/0x301A40)とPRESET(D2/0x301A40)を1に設定する必要があります。

0x301A48: TFT_CTL0 Pulse Register (pLCDC_TC0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL0 pulse register (pLCDC_TC0)	00301A48 (W)	D31-26	—	reserved	—	—	—	0 when being read.
		D25	CTL0STP9	TFT_CTL0 pulse stop offset	Stop offset = CTL0STP + 1 [pixels]	0	R/W	*2: For HR-TFT This register is enabled when PRESET = 1.
		D24	CTL0STP8			0		
		D23	CTL0STP7	TFT_CTL0 pulse width		0		
		D22	CTL0STP6	= (CTL0STP - CTL0ST + 1) Ts		0		
		D21	CTL0STP5			0		
		D20	CTL0STP4			0		
		D19	CTL0STP3			0		
		D18	CTL0STP2			0		
		D17	CTL0STP1			0		
		D16	CTL0STP0			0		
		D15-10	—	reserved	—	—	—	0 when being read.
		D9	CTL0ST9	TFT_CTL0 pulse start offset	Start offset = CTL0ST [pixels]	0	R/W	(*2)
		D8	CTL0ST8			0		
		D7	CTL0ST7			0		
		D6	CTL0ST6			0		
		D5	CTL0ST5			0		
		D4	CTL0ST4			0		
		D3	CTL0ST3			0		
		D2	CTL0ST2			0		
		D1	CTL0ST1			0		
		D0	CTL0ST0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:26] Reserved

D[25:16] CTL0STP[9:0]: TFT_CTL0 Pulse Stop Offset Setup Bits

TFT_CTL0(PS)パルスの終了位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

D[15:10] Reserved

D[9:0] CTL0ST[9:0]: TFT_CTL0 Pulse Start Offset Setup Bits

TFT_CTL0(PS)パルスの開始位置を、FPLINEパルス開始位置からのオフセット値(ピクセルクロック単位)として指定します。(デフォルト: 0x0)

このレジスタの設定により、TFT_CTL0パルス幅は“CTL0STP[9:0] - CTL0ST[9:0] + 1 [Ts]”に設定されます。本レジスタの設定を有効にするには、PRESET(D2/0x301A40)を1に設定する必要があります。

0x301A4C: TFT_CTL2 Register (pLCDC_TC2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
TFT_CTL2 register (pLCDC_TC2)	00301A4C (W)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	CTL2DLY9	TFT_CTL2 delay	Delay = CTL2DLY [pixels]	0	R/W	For HR-TFT This register is enabled when PRESET = 1.
		D8	CTL2DLY8			0		
		D7	CTL2DLY7			0		
		D6	CTL2DLY6			0		
		D5	CTL2DLY5			0		
		D4	CTL2DLY4			0		
		D3	CTL2DLY3			0		
		D2	CTL2DLY2			0		
		D1	CTL2DLY1			0		
		D0	CTL2DLY0			0		

注: このレジスタはHR-TFTパネルの設定用です。STNパネルを使用する場合は0x0のまま、変更しないでください。

D[31:10] Reserved**D[9:0] CTL2DLY[9:0]: TFT_CTL2 Delay Setup Bits**

FPLINEパルスの開始位置から、TFT_CTL2信号が変化するまでの遅延時間(ピクセルクロック単位)を設定します。

(デフォルト: 0x0)

本レジスタの設定を有効にするには、PRESET(D2/0x301A40)を1に設定する必要があります。

0x301A60: LCDC Display Mode Register (pLCDC_DMD)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
LCDC display mode register (pLCDC_DMD)	00301A60 (W)	D31	TFTSEL	HR-TFT panel selection	1	HR-TFT	0	STN	0	R/W	
		D30	COLOR	Color/mono selection	1	Color	0	Mono	0	R/W	
		D29	FPSMASK	FPSHIFT mask enable	1	Enabled	0	Disabled	0	R/W	
		D28	—	reserved	—			—	—	0 when being read.	
		D27	DWD1	LCD panel data width	DWD[1:0]		Data format		0	R/W	
		D26	DWD0		11	8-bit (format2)		0			
					10	reserved					
					01	8-bit (format1)					
					00	4-bit					
		D25	SWINV	Software video invert	1	Inverted	0	Normal	0	R/W	
		D24	BLANK	Display blank enable	1	Blank	0	Normal	0	R/W	
		D23–8	—	reserved	—			—	—	0 when being read.	
		D7	FRMRPT	Frame repeat for EL panel	1	Repeated	0	Not repeated	0	R/W	
		D6	DITHEN	Dither mode enable	1	Enabled	0	Disabled	0	R/W	
		D5	—	reserved	—			—	—	0 when being read.	
		D4	LUTPASS	LUT bypass mode	1	Bypassed	0	Used	0	R/W	
		D3	—	reserved	—			—	—	0 when being read.	
		D2–0	BPP2 BPP1 BPP0	Bit-per-pixel select	BPP[2:0]		bpp (color/gray)		0	R/W	
					101	16 bpp (64Kc)		0			
					100	12 bpp (4Kc)		0			
					011	8 bpp (256c)					
					010	4 bpp (16c/16gr)					
					001	2 bpp (4c/4gr)					
					000	1 bpp (2c/2gr)					
					Other	reserved					

D31 TFTSEL: HR-TFT Panel Select Bit

パネルの種類としてSTNまたはHR-TFTを選択します。

1(R/W): 汎用HR-TFTパネル

0(R/W): STNパネル(デフォルト)

汎用HR-TFTパネルを選択したとき、COLOR(D30)DWD[1:0](D[27:26])とDITHEN(D6)の設定が無効になります。

D30 COLOR: Color/Mono Panel Select Bit

パネルの種類として、カラーパネルまたはモノクロパネルを選択します。

1(R/W): カラーパネル

0(R/W): モノクロパネル(デフォルト)

D29 FPSMASK: FPSHIFT Mask Enable Bit

FPSHIFTのマスクを設定します。(STNモノクロLCDパネルおよびHR-TFTパネルのみ)

1(R/W): 有効

0(R/W): 無効(デフォルト)

FPSMASKを1に設定すると、FPSHIFT信号が非表示期間にマスクされ、出力されません。0に設定すると、FPSHIFT信号は非表示期間も出力されます。

この設定はSTNモノクロパネル使用時(COLOR = 0)、およびHR-TFTパネル使用時にのみ有効です。STNカラーパネルでは、このビットの設定にかかわらず、FPSHIFT信号は常時マスクされます。

D28 Reserved

D[27:26] DWD[1:0]: LCD Panel Data Width Select Bits

データ幅とデータ形式を選択します。

表VIII.1.9.3 LCDパネルの選択

TFTSEL	COLOR	DWD1	DWD0	LCDパネル
1	—	—	—	12/16ビット汎用HR-TFT LCD
0	1	1	1	カラーシングル8ビットパッシブLCDフォーマット2
		1	0	Reserved
		0	1	カラーシングル8ビットパッシブLCDフォーマット1
		0	0	カラーシングル4ビットパッシブLCD
	0	1	1	Reserved
		1	0	Reserved
		0	1	モノクロシングル8ビットパッシブLCD
		0	0	モノクロシングル4ビットパッシブLCD

D25 SWINV: Software Video Invert Bit

表示を反転(ネガ表示)します。

1(R/W): 反転表示

0(R/W): 通常表示(デフォルト)

SWINVを1に設定するとLCDパネル上の表示が反転します。0に設定すると通常表示を行います。反転操作はルックアップテーブルの出力に対して行われます。表示メモリには影響を与えません。

この機能はSTNパネルにのみ有効で、HR-TFTパネルには対応していません。

D24 BLANK: Display Blank Enable Bit

表示をブランク状態にします。

1(R/W): ブランク

0(R/W): 通常表示(デフォルト)

BLANKを0に設定すると表示メモリのデータがLCDパネルに表示されます。1に設定するとFPDAT信号をすべてLow(SWINVが0の場合)またはHigh(SWINVが1の場合)にして表示を消します。表示メモリには影響を与えません。

この機能はSTNパネルとHR-TFTパネルのどちらにも有効です。

D[23:8] Reserved**D7 FRMRPT: Frame Repeat for EL Panel Bit**

フレームレートモジュレーションのパターンを繰り返すかどうか選択します。(ELパネルのみ)

1(R/W): リピート

0(R/W): リピートなし(デフォルト)

FRMRPTを1に設定すると、内部の19ビットフレームカウンタが有効になり、フレーム数をカウントします。このカウンタがオーバーフローする(0x40000 → 0になる)ごとに、フレームレートモジュレーションのパターンが繰り返されます。

0に設定するとカウンタは無効となり、パターンを繰り返しません。

D6 DITHEN: Dither Mode Enable Bit

ディザモードを有効/無効にします。

1(R/W): ディザモード

0(R/W): 通常モード(デフォルト)

DITHENを1に設定すると、16bppモードで最大64K色を生成することができます。DITHENが0の場合は、最大4K色が使用可能です。この機能はSTNパネルにのみ有効です。HR-TFTパネルには使用されません。

D5 Reserved

D4 LUTPASS: LUT Bypass Mode Select Bit

ルックアップテーブルをバイパスするかどうかを選択します。

1(R/W): バイパス

0(R/W): 使用(デフォルト)

LUTPASSを1に設定すると、選択されているルックアップテーブルがバイパスされます。この場合、表示メモリ内のピクセルデータから直接、LCDパネルに送られる表示データが生成されます。LUTPASSを0に設定すると、表示メモリのピクセルデータはルックアップテーブルによりLCDインタフェースデータに変換されます。

カラーの1、2、4、16bppモードではルックアップテーブルは使用できませんので、本ビットを1に設定してください。

D3 Reserved**D[2:0] BPP[2:0]: Bit-Per-Pixel Select Bits**

表示モード(bppモード)を選択します。COLOR(D30)も含めた選択内容を表VIII.1.9.4に示します。

表VIII.1.9.4 表示モードの指定

BPP2	BPP1	BPP0	表示モード		
			モノクロ(COLOR = 0)	カラー(COLOR = 1), STN	カラー(COLOR = 1), TFT
1	1	*	Reserved	Reserved	Reserved
1	0	1	Reserved	16bpp, 64K色	16bpp, 64K色
1	0	0	Reserved	12bpp, 4K色	12bpp, 4K色
0	1	1	Reserved	8bpp, 256色	8bpp, 256色
0	1	0	4bpp, 16階調グレースケール	Reserved	4bpp, 16色
0	0	1	2bpp, 4階調グレースケール	Reserved	2bpp, 4色
0	0	0	1bpp, 2階調グレースケール	Reserved	1bpp, 2色

(デフォルト: 0b000)

0x301A64: IRAM Select Register (pLCDC_IRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM select register (pLCDC_IRAM)	00301A64 (W)	D31-1	—	reserved	—	—	—	0 when being read.
		D0	IRAM	IRAM assignment	1 A0RAM 0 IVRAM	0	R/W	

D[31:1] Reserved**D0 IRAM: IRAM Assignment Bit**

12KバイトIVRAMをVRAMとして使用するか、汎用RAMとして使用するか選択します。

1(R/W): A0RAM

0(R/W): IVRAM(デフォルト)

IVRAMはデフォルト(IRAM = 0)でエリア3の0x80000～0x82FFFに配置され、VRAMとして使用できます。VRAMとして使用しない場合は、IRAMを1に設定してエリア0に配置し、汎用RAMとして使用することができます。

0x301A70: Main Window Display Start Address Register (pLCDC_MADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Main window display start address register (pLCDC_MADD)	00301A70 (W)	D31	MWADR31	Main window start address	0x0 to 0xFFFFFFFFC	0x0	R/W	
		D30	MWADR30	MWADR31 = MSB				
		D1	MWADR1	MWADR0 = LSB				
		D0	MWADR0					

D[31:0] MWADR[31:0]: Main Window Start Address

メインウィンドウの表示開始アドレスを設定します。(デフォルト: 0x0)
このレジスタには、IVRAMまたは外部SDRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

0x301A74: Main Window Line Address Offset Register (pLCDC_MLADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Main window line address offset register (pLCDC_MLADD)	00301A74 (W)	D31-10	—	reserved	—	—	—	0 when being read.
		D9	MWLADR9	Main window line address offset	Main window width (pixels) × BPP/32	0	R/W	
		D8	MWLADR8			0		
		D7	MWLADR7			0		
		D6	MWLADR6			0		
		D5	MWLADR5			0		
		D4	MWLADR4			0		
		D3	MWLADR3			0		
		D2	MWLADR2			0		
		D1	MWLADR1			0		
		D0	MWLADR0			0		

D[31:10] Reserved**D[9:0] MWLADR[9:0]: Main Window Line Address Offset Bits**

メインウィンドウのラインアドレスオフセットを設定します。(デフォルト: 0x0)

S1C33L19のLCDCは表示データをワード単位で扱います。したがって、画像の幅(ピクセル数)は(32ビット ÷ bpp)の倍数である必要があります。ラインアドレスオフセットはこの画像幅を表すワード数のことで、以下の場合に設定します。

1. Picture-in-Picture Plus機能を使用する(サブウィンドウを表示する場合)
2. LCDパネルの水平解像度が(32ビット ÷ bpp [ピクセル])の倍数でない場合

ラインアドレスオフセットは次のように求められます。

メインウィンドウラインアドレスオフセット = メインウィンドウ幅(ピクセル数) × bpp / 32

たとえば、幅が640ピクセルの仮想画面を実現するには、MWLADR[9:0]を以下のように設定します。

例1) MWLADR[9:0] = $640 \times 8 / 32 = 160$ [ワード] (8bppモード時)

例2) MWLADR[9:0] = $640 \times 1 / 32 = 20$ [ワード] (1bppモード時)

計算結果の小数点以下は切り上げます。

たとえば、1bppモードでLCD水平解像度と画像幅が240ピクセルの場合、

例3) MWLADR[9:0] = $240 \times 1 / 32 = 7.5$ [ワード]

この場合、MWLADR[9:0]は8に設定する必要があります。また、画像も256(8 × 32)ピクセルの幅で用意しなければなりません。

詳細については、“VIII.1.6.2 表示開始アドレスとラインアドレスオフセットの設定”を参照してください。

0x301A80: Sub-window Display Start Address Register (pLCDC_SADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window display start address register (pLCDC_SADD)	00301A80 (W)	D31	SWADR31	Sub-window start address	0x0 to 0xFFFFFFFFC	0x0	R/W	
		D30	SWADR30	SWADR31 = MSB				
		D1	SWADR1	SWADR0 = LSB				
		D0	SWADR0					

D[31:0] SWADR[31:0]: Sub-window Start Address

サブウィンドウの表示開始アドレスを設定します。(デフォルト: 0x0)
このレジスタには、IVRAMまたは外部SDRAM内のワード境界アドレス(A[1:0] = 0b00)を設定してください。

0x301A88: Sub-window Start Position Register (pLCDC_SSP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window start position register (pLCDC_SSP)	00301A88 (W)	D31	PIPEN	PIP sub-window enable	1 Enabled 0 Disabled	0	R/W	
		D30–26	–	reserved	–	–	–	0 when being read.
		D25	PIPYST9	Sub-window vertical (Y) start position	Y start position = PIPYST (lines) from the origin	0	R/W	*3: This register is enabled when PIPEN = 1.
		D24	PIPYST8			0		
		D23	PIPYST7			0		
		D22	PIPYST6			0		
		D21	PIPYST5			0		
		D20	PIPYST4			0		
		D19	PIPYST3			0		
		D18	PIPYST2			0		
		D17	PIPYST1			0		
		D16	PIPYST0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	PIPXST9	Sub-window horizontal (X) start position	X start position = PIPXST (pixels) from the origin (word units)	0	R/W	(*3)
		D8	PIPXST8			0		
		D7	PIPXST7			0		
		D6	PIPXST6			0		
		D5	PIPXST5			0		
		D4	PIPXST4			0		
		D3	PIPXST3			0		
		D2	PIPXST2			0		
		D1	PIPXST1			0		
		D0	PIPXST0			0		

D31 PIPEN: PIP Sub-window Enable Bit

Picture-in-Picture Plus機能を有効にして、メインウィンドウ内にサブウィンドウを表示します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

PIPENに1を書き込む前に、0x301A80～0x301A8Cのレジスタでサブウィンドウの設定を行ってください。

D[30:26] Reserved**D[25:16] PIPYST[9:0]: Sub-window Vertical (Y) Start Position Bits**

サブウィンドウの垂直表示開始位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ左上端までのライン数を1ライン単位で指定します。

PIPYST[9:0] = Y_{START}ライン

たとえば、サブウィンドウの垂直方向開始位置が60ラインの場合、PIPYST[9:0]には60を設定します。

D[15:10] Reserved**D[9:0] PIPXST[9:0]: Sub-window Horizontal (X) Start Position Bits**

サブウィンドウの水平表示開始位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ左上端までのピクセル数をbppモードで決まるデータワード数に変換して指定します。

PIPXST[9:0] = X_{START}ピクセル × bpp ÷ 32 [ワード]

(32ビット ÷ bpp)ピクセル単位での指定となります。

1bppモード: 32ピクセル = 1ワード単位

2bppモード: 16ピクセル = 1ワード単位

4bppモード: 8ピクセル = 1ワード単位

8bppモード: 4ピクセル = 1ワード単位

12bppモード: 8ピクセル = 3ワード単位(整数指定が必要なため)

16bppモード: 2ピクセル = 1ワード単位

たとえば、8bppモードでサブウィンドウの水平方向開始位置が80ピクセルの場合、PIPXST[9:0]には20を設定します。

0x301A8C: Sub-window End Position Register (pLCDC_SEP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window end position register (pLCDC_SEP)	00301A8C (W)	D31-26	—	reserved	—	—	—	0 when being read.
		D25	PIPYEND9	Sub-window vertical (Y) end position	Y end position = PIPYEND (lines) from the origin	0	R/W	*3: This register is enabled when PIPEN = 1.
		D24	PIPYEND8			0		
		D23	PIPYEND7			0		
		D22	PIPYEND6			0		
		D21	PIPYEND5			0		
		D20	PIPYEND4			0		
		D19	PIPYEND3			0		
		D18	PIPYEND2			0		
		D17	PIPYEND1			0		
		D16	PIPYEND0			0		
		D15-10	—	reserved	—	—	—	0 when being read.
		D9	PIPXEND9	Sub-window horizontal (X) end position	X end position = PIPXEND (pixels) from the origin (word units)	0	R/W	(*3)
		D8	PIPXEND8			0		
		D7	PIPXEND7			0		
		D6	PIPXEND6			0		
		D5	PIPXEND5			0		
		D4	PIPXEND4			0		
		D3	PIPXEND3			0		
		D2	PIPXEND2			0		
		D1	PIPXEND1			0		
		D0	PIPXEND0			0		

D[31:26] Reserved**D[25:16] PIPYEND[9:0]: Sub-window Vertical (Y) End Position Bits**

サブウィンドウの垂直表示終了位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ右下端までのライン数を1ライン単位で指定します。

 $\text{PIPYEND}[9:0] = Y_{\text{END}} - 1 \text{ ライン}$ **D[15:10] Reserved****D[9:0] PIPXEND[9:0]: Sub-window Horizontal (X) End Position Bits**

サブウィンドウの水平表示終了位置を設定します。(デフォルト: 0x0)

LCDパネル原点からサブウィンドウ右下端までのピクセル数をbppモードで決まるデータワード数に変換して指定します。

 $\text{PIPXEND}[9:0] = X_{\text{END}} \text{ピクセル} \times \text{bpp} \div 32 - 1 \text{ [ワード]}$

0x301AA0: Look-up Table Data Register 0 (pLCDC_LUT_03)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 0 (pLCDC_LUT_03)	00301AA0 (W)	D31	LUT35	Look-up table entry 3 data	0x0 to 0x3F	0	R/W	
		D30	LUT34			0		
		D29	LUT33			0		
		D28	LUT32			0		
		D27	LUT31			0		
		D26	LUT30			0		
		D25-24	—	reserved	—	—	—	0 when being read.
		D23	LUT25	Look-up table entry 2 data	0x0 to 0x3F	0	R/W	
		D22	LUT24			0		
		D21	LUT23			0		
		D20	LUT22			0		
		D19	LUT21			0		
		D18	LUT20			0		
		D17-16	—	reserved	—	—	—	0 when being read.
		D15	LUT15	Look-up table entry 1 data	0x0 to 0x3F	0	R/W	
		D14	LUT14			0		
		D13	LUT13			0		
		D12	LUT12			0		
		D11	LUT11			0		
		D10	LUT10			0		
		D9-8	—	reserved	—	—	—	0 when being read.
		D7	LUT05	Look-up table entry 0 data	0x0 to 0x3F	0	R/W	
		D6	LUT04			0		
		D5	LUT03			0		
		D4	LUT02			0		
		D3	LUT01			0		
		D2	LUT00			0		
		D1-0	—	reserved	—	—	—	0 when being read.

ルックアップテーブルエントリ3～0のデータを設定します。

このレジスタに書き込んだデータは赤、緑、青ルックアップテーブルそれぞれのエントリ3～0に同時に書き込まれます。このレジスタから、ルックアップテーブルの現在の設定値を読み出すこともできます。

D[31:26] LUT3[5:0]: Look-up Table Entry 3 Data

ルックアップテーブルエントリ3の6ビットデータを設定します。(デフォルト: 0x0)

D[25:24] Reserved**D[23:18] LUT2[5:0]: Look-up Table Entry 2 Data**

ルックアップテーブルエントリ2の6ビットデータを設定します。(デフォルト: 0x0)

D[17:16] Reserved**D[15:10] LUT1[5:0]: Look-up Table Entry 1 Data**

ルックアップテーブルエントリ1の6ビットデータを設定します。(デフォルト: 0x0)

D[9:8] Reserved**D[7:2] LUT0[5:0]: Look-up Table Entry 0 Data**

ルックアップテーブルエントリ0の6ビットデータを設定します。(デフォルト: 0x0)

D[1:0] Reserved

0x301AA4: Look-up Table Data Register 1 (pLCDC_LUT_47)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 1 (pLCDC_LUT_47)	00301AA4 (W)	D31	LUT75	Look-up table entry 7 data	0x0 to 0x3F	0	R/W	
		D30	LUT74			0		
		D29	LUT73			0		
		D28	LUT72			0		
		D27	LUT71			0		
		D26	LUT70			0		
		D25-24	—	reserved	—	—	—	0 when being read.
		D23	LUT65	Look-up table entry 6 data	0x0 to 0x3F	0	R/W	
		D22	LUT64			0		
		D21	LUT63			0		
		D20	LUT62			0		
		D19	LUT61			0		
		D18	LUT60			0		
		D17-16	—	reserved	—	—	—	0 when being read.
		D15	LUT55	Look-up table entry 5 data	0x0 to 0x3F	0	R/W	
		D14	LUT54			0		
		D13	LUT53			0		
		D12	LUT52			0		
		D11	LUT51			0		
		D10	LUT50			0		
		D9-8	—	reserved	—	—	—	0 when being read.
		D7	LUT45	Look-up table entry 4 data	0x0 to 0x3F	0	R/W	
		D6	LUT44			0		
		D5	LUT43			0		
		D4	LUT42			0		
		D3	LUT41			0		
		D2	LUT40			0		
		D1-0	—	reserved	—	—	—	0 when being read.

ルックアップテーブルエントリ7～4のデータを設定します。

このレジスタに書き込んだデータは赤、緑、青ルックアップテーブルそれぞれのエントリ7～4に同時に書き込まれます。このレジスタから、ルックアップテーブルの現在の設定値を読み出すこともできます。

D[31:26] LUT7[5:0]: Look-up Table Entry 7 Data

ルックアップテーブルエントリ7の6ビットデータを設定します。(デフォルト: 0x0)

D[25:24] Reserved**D[23:18] LUT6[5:0]: Look-up Table Entry 6 Data**

ルックアップテーブルエントリ6の6ビットデータを設定します。(デフォルト: 0x0)

D[17:16] Reserved**D[15:10] LUT5[5:0]: Look-up Table Entry 5 Data**

ルックアップテーブルエントリ5の6ビットデータを設定します。(デフォルト: 0x0)

D[9:8] Reserved**D[7:2] LUT4[5:0]: Look-up Table Entry 4 Data**

ルックアップテーブルエントリ4の6ビットデータを設定します。(デフォルト: 0x0)

D[1:0] Reserved

0x301AA8: Look-up Table Data Register 2 (pLCDC_LUT_8B)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 2 (pLCDC_LUT_8B)	00301AA8 (W)	D31	LUTB5	Look-up table entry 11 data	0x0 to 0x3F	0	R/W	
		D30	LUTB4			0		
		D29	LUTB3			0		
		D28	LUTB2			0		
		D27	LUTB1			0		
		D26	LUTB0			0		
		D25-24	—	reserved	—	—	—	0 when being read.
		D23	LUTA5	Look-up table entry 10 data	0x0 to 0x3F	0	R/W	
		D22	LUTA4			0		
		D21	LUTA3			0		
		D20	LUTA2			0		
		D19	LUTA1			0		
		D18	LUTA0			0		
		D17-16	—	reserved	—	—	—	0 when being read.
		D15	LUT95	Look-up table entry 9 data	0x0 to 0x3F	0	R/W	
		D14	LUT94			0		
		D13	LUT93			0		
		D12	LUT92			0		
		D11	LUT91			0		
		D10	LUT90			0		
		D9-8	—	reserved	—	—	—	0 when being read.
		D7	LUT85	Look-up table entry 8 data	0x0 to 0x3F	0	R/W	
		D6	LUT84			0		
		D5	LUT83			0		
		D4	LUT82			0		
		D3	LUT81			0		
		D2	LUT80			0		
		D1-0	—	reserved	—	—	—	0 when being read.

ルックアップテーブルエントリ11～8のデータを設定します。

このレジスタに書き込んだデータは赤、緑、青ルックアップテーブルそれぞれのエントリ11～8に同時に書き込まれます。このレジスタから、ルックアップテーブルの現在の設定値を読み出すこともできます。

D[31:26] LUTB[5:0]: Look-up Table Entry 11 Data

ルックアップテーブルエントリ11の6ビットデータを設定します。(デフォルト: 0x0)

D[25:24] Reserved**D[23:18] LUTA[5:0]: Look-up Table Entry 10 Data**

ルックアップテーブルエントリ10の6ビットデータを設定します。(デフォルト: 0x0)

D[17:16] Reserved**D[15:10] LUT9[5:0]: Look-up Table Entry 9 Data**

ルックアップテーブルエントリ9の6ビットデータを設定します。(デフォルト: 0x0)

D[9:8] Reserved**D[7:2] LUT8[5:0]: Look-up Table Entry 8 Data**

ルックアップテーブルエントリ8の6ビットデータを設定します。(デフォルト: 0x0)

D[1:0] Reserved

0x301AAC: Look-up Table Data Register 3 (pLCDC_LUT_CF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 3 (pLCDC_LUT_CF)	00301AAC (W)	D31	LUTF5	Look-up table entry 15 data	0x0 to 0x3F	0	R/W	
		D30	LUTF4			0		
		D29	LUTF3			0		
		D28	LUTF2			0		
		D27	LUTF1			0		
		D26	LUTF0			0		
		D25-24	—	reserved	—	—	—	0 when being read.
		D23	LUTE5	Look-up table entry 14 data	0x0 to 0x3F	0	R/W	
		D22	LUTE4			0		
		D21	LUTE3			0		
		D20	LUTE2			0		
		D19	LUTE1			0		
		D18	LUTE0			0		
		D17-16	—	reserved	—	—	—	0 when being read.
		D15	LUTD5	Look-up table entry 13 data	0x0 to 0x3F	0	R/W	
		D14	LUTD4			0		
		D13	LUTD3			0		
		D12	LUTD2			0		
		D11	LUTD1			0		
		D10	LUTD0			0		
		D9-8	—	reserved	—	—	—	0 when being read.
		D7	LUTC5	Look-up table entry 12 data	0x0 to 0x3F	0	R/W	
		D6	LUTC4			0		
		D5	LUTC3			0		
		D4	LUTC2			0		
		D3	LUTC1			0		
		D2	LUTC0			0		
		D1-0	—	reserved	—	—	—	0 when being read.

ルックアップテーブルエントリ15～12のデータを設定します。

このレジスタに書き込んだデータは赤、緑、青ルックアップテーブルそれぞれのエントリ15～12に同時に書き込まれます。このレジスタから、ルックアップテーブルの現在の設定値を読み出すこともできます。

D[31:26] LUTF[5:0]: Look-up Table Entry 15 Data

ルックアップテーブルエントリ15の6ビットデータを設定します。(デフォルト: 0x0)

D[25:24] Reserved**D[23:18] LUTE[5:0]: Look-up Table Entry 14 Data**

ルックアップテーブルエントリ14の6ビットデータを設定します。(デフォルト: 0x0)

D[17:16] Reserved**D[15:10] LUTD[5:0]: Look-up Table Entry 13 Data**

ルックアップテーブルエントリ13の6ビットデータを設定します。(デフォルト: 0x0)

D[9:8] Reserved**D[7:2] LUTC[5:0]: Look-up Table Entry 12 Data**

ルックアップテーブルエントリ12の6ビットデータを設定します。(デフォルト: 0x0)

D[1:0] Reserved

VIII.1.10 注意事項

- LCD表示中にLCDCへのクロック供給を停止することはできません。LCDCへのクロック供給を停止するには、LCDCがパワーセーブモードに設定されている必要があります。
- STNパネルを使用する場合、HR-TFTのタイミングパラメータ設定用レジスタはすべて0x0に設定してください。
- 表示アドレスの指定はすべてワード境界またはワード数のため、Main Window Line Address Offset Register(0x301A74)は(32ビット ÷ bpp)の倍数にしなければなりません。LCDパネルより大きな画像の表示が不要な場合でも、LCD水平解像度とbppモードによってはLCDパネルより大きな画像領域を確保して適切なラインアドレスオフセットを設定する必要があります。
たとえば、1bppモードでLCD水平解像度と画像幅が240ピクセルの場合、
ラインアドレスオフセット = $240 \times 1 / 32 = 7.5$ [ワード]

この場合、MWLADR[9:0](D[9:0]/0x301A74)は8に設定する必要があります。また、画像も256(8 × 32)ピクセルの幅で用意しなければなりません。

* **MWLADR[9:0]**: Main Window Line Address Offset Bits in the Main Window Line Address Offset Register (D[9:0]/0x301A74)

このページはブランクです。

VIII.2 IVRAMとIVRAMアービタ

VIII.2.1 IVRAM

S1C33L19は12KバイトのRAM(IVRAM)を内蔵しています。IVRAMはデフォルト設定でエリア3の0x80000～0x82FFFに配置され、LCDCの表示データメモリとして使用できるようになっています。LCDCを使用しない場合、あるいは外部SDRAMをVRAMとして使用する場合など、IVRAMをVRAMとして使用しない場合は、IVRAMをエリア0に配置して高速な汎用RAMとして使用することができます。この配置の切り換えはLCDCレジスタ内のIRAM(D0/0x301A64)で行います。IRAM(D0/0x301A64)を1に設定するとエリア0の汎用RAMとなり、0に設定するとエリア3のVRAMとなります。

* **IRAM**: IRAM Assignment Bit in the IRAM Select Register (D0/0x301A64)

配置したエリアによる違いを表VIII.2.1.1に示します。

表VIII.2.1.1 IVRAMの配置による相違点

項 目	IRAM = 0 (IVRAM)	IRAM = 1 (汎用RAM)
配置アドレス	エリア3, 0x80000～0x82FFF	エリア0, 0x2000～0x4FFF*
LCDCからのアクセス	可能(IVRAMアービタ経由) 32ビットリードのみ	不可
CPUからのアクセス	可能(IVRAMアービタ経由) 8, 16, 32ビットリード/ライト	可能(直接) 8, 16, 32ビットリード/ライト
DMAによるアクセス	可能(IVRAMアービタ経由)	不可
VRAMとしての使用	可能	不可
プログラムの実行	不可	可能
汎用データの格納	可能	可能
ウェイトサイクル	2 min.	0 min.

* A0RAMと合わせ、20KBのRAMとして使用可能

IVRAMを表示メモリとして使用する場合、表示データサイズは画面サイズとbppモード(階調/色数)から、次のように求められます。

画面データサイズ = H_PIXEL × V_PIXEL × bpp / 32 [ワード] (小数点以下切り上げ)

H_PIXEL: 水平ピクセル数

V_PIXEL: 垂直ピクセル数

bpp: ピクセル当たりのビット数(1, 2, 4, 8, 12, 16)

表VIII.2.1.2 IVRAM使用例

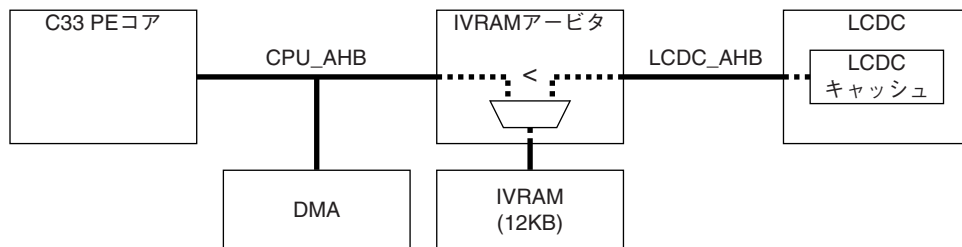
パネルサイズ	色深度	データサイズ	IVRAM使用範囲*1
320 × 240	1bpp	2400ワード(9600バイト)	0x80000～0x8257F
240 × 180	1bpp	1440ワード(5760バイト)*2	0x80000～0x8167F
	2bpp	2700ワード(10800バイト)	0x80000～0x82A2F
160 × 160	1bpp	800ワード(3200バイト)	0x80000～0x80C7F
	2bpp	1600ワード(6400バイト)	0x80000～0x818FF

*1 IVRAM先頭から使用する例です。表示開始アドレスはLCDCレジスタで変更可能です。ただし、ワード境界アドレスに限られます。

*2 画像の水平サイズはワード単位(32/bppの倍数に相当するピクセル数)で設定する必要があります。1bppモードで240ピクセル幅の表示を行う場合はワード単位とならないため、256ピクセル幅の画像領域を確保します(LCDには240ピクセル幅の表示が行えます)。

VIII.2.2 IVRAMアービタ

IVRAMアービタはLCDCからのVRAMデータ読み出し要求とCPUからのアクセス要求の調停を行うための回路です。



図VIII.2.2.1 IVRAMアービタ

LCDCとCPU(またはDMA)が同時にIVRAMにアクセスした場合、あるいはLCDCがデータリード中にCPU(またはDMA)がアクセスした場合はLCDCからのアクセスを優先して処理します。LCDCの要求に対して、IVRAMアービタはバーストリードによりSRAMからデータを取得します。したがって、CPUはバーストリードによりLCDCキャッシュが満杯になるまで待たされることになります。

VIII.2.3 IVRAMアービタ動作クロック

IVRAMアービタはCMUから供給されるIVRAM_ARB_CLK(= MCLK)クロックで動作します。

■動作クロックの供給制御

IVRAM_ARB_CLKクロックはデフォルト設定でIVRAMアービタに供給されるようになっています。IVRAMアービタを使用しない場合は、IVRAMARB_CKE(D19/0x301B04)により供給を停止して消費電力を抑えることができます。

* **IVRAMARB_CKE**: IVRAM Arbiter Clock Control Bit in the Gated Clock Control Register 1 (D19/0x301B04)

IVRAMARB_CKE(D19/0x301B04)を0(初期設定は1)に設定すると、IVRAMアービタへの動作クロックの供給が停止します。

クロックの設定や制御については、“III.1 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control Register 1(0x301B04)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

■スタンバイモード時のクロック状態

スタンバイモードの種類により、IVRAMアービタへのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はIVRAMアービタも動作を停止します。

VIII.2.4 制御レジスタ詳細

以下にIVRAM用の制御レジスタを説明します。
この制御レジスタは32ビットデバイスエリアに割り付けられており、ワードアクセスのみ可能です。

注: “Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x301A64: IRAM Select Register (pLCDC_IRAM)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
IRAM select register (pLCDC_IRAM)	00301A64 (W)	D31-1	—	reserved	—			—	—	0 when being read.
		D0	IRAM	IRAM assignment	1	A0RAM	0	IVRAM	0	R/W

D[31:1] Reserved

D0 IRAM: IRAM Assignment Bit

12KバイトIVRAMをVRAMとして使用するか、汎用RAMとして使用するか選択します。
1(R/W): A0RAM
0(R/W): IVRAM(デフォルト)

IVRAMはデフォルト(IRAM = 0)でエリア3の0x80000～0x82FFFに配置され、VRAMとして使用できます。VRAMとして使用しない場合は、IRAMを1に設定してエリア0に配置し、汎用RAMとして使用することができます。

S1C33L19 Technical Manual

IX 周辺モジュール7 (USB)

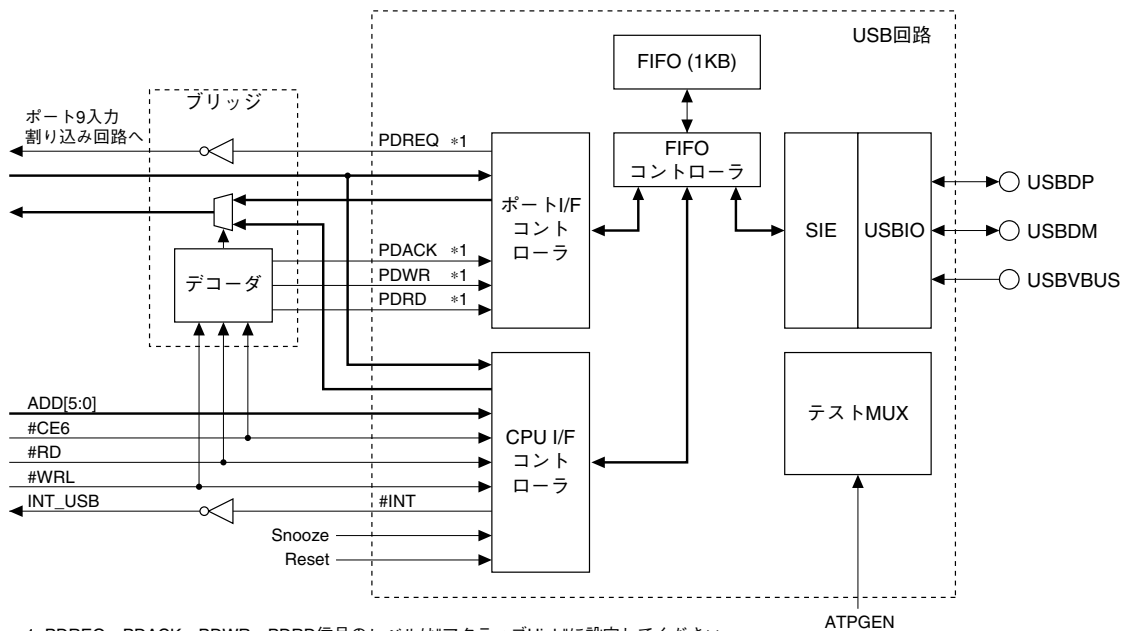
IX.1 USBファンクションコントローラ(USB)

IX.1.1 USBファンクションコントローラの概要

S1C33L19は、USB2.0規格準拠のフルスピードモードに対応したUSBファンクションコントローラを内蔵しています。以下に特長を示します。

- FS(12Mbps)の転送をサポート
- コントロール、バルク、アイソクロナスおよびインタラプト転送をサポート
- 4本の汎用エンドポイントおよびエンドポイント0をサポート
- エンドポイント用に1KBプログラマブルFIFOを内蔵
- 汎用DMAポートを搭載
- 非同期手順に対応
 - スレープに対応
 - バス幅8ビットに対応
- 48MHzクロック入力
- スヌーズ(Snooze)モードをサポート

図IX.1.1.1にUSBファンクションコントローラのブロック図を示します。



図IX.1.1.1 USBファンクションコントローラブロック図

SIE(シリアルインタフェースエンジン)

トランザクションの管理とパケット生成を行います。また、サスペンド、リジューム、リセットなどのバスイベントを制御します。

FIFO

エンドポイント用の1KBのバッファです。

FIFOコントローラ

FIFO SRAMのアドレス管理(ユーザプログラマブル)、タイミング生成、アービトレーションなどを行います。

ポートI/Fコントローラ

非同期のハンドシェイクを行います。

CPU I/Fコントローラ

CPU I/Fのタイミングを制御し、レジスタアクセスを可能にします。

テストMUX

入力信号により、動作モード(テストモード)の切り換えを行います。

IX.1.2 USBインタフェース端子

表IX.1.2.1にUSBインタフェースの入出力端子を示します。

表IX.1.2.1 USBインタフェース端子

端子名	I/O	機 能
USBDP	I/O	USB D+端子
USBDM	I/O	USB D-端子
USBVBUS	I	USB VBUS端子(5V入力可)

IX.1.3 USB動作クロックおよびDMAレジスタの設定

IX.1.3.1 USBクロックの制御

USBに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)USBクロック(USB_CLK)

USBインタフェースに必要なクロック(OSC3 = 48MHz)です。On/Off制御はUSB_CKE(D8/0x301B00)で行います(デフォルト: Off)。

(2)制御レジスタ用クロック(USBSAPB_CLK)

エリア6にあるUSBレジスタの制御に必要なクロック(MCLK)です。USBレジスタとDMA領域をアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はUSBSAPB_CKE(D9/0x301B00)で行います(デフォルト: Off)。

注: Gated Clock Control Register 0(0x301B00)は書き込み保護されています。このレジスタを含め、0x301B00～0x301B14番地のCMU制御レジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x301B00～0x301B14番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。

IX.1.3.2 Miscレジスタの設定

1. USBWT[2:0](D[2:0])/USB Wait Control Register(0x300012)

USBレジスタへのアクセス時に挿入するウェイトサイクル数を、USBWT[2:0](D[2:0]/0x300012)で設定します。

表IX.1.3.2.1 USBバスのウェイト設定

USBWT2	USBWT1	USBWT0	ウェイトサイクル数 (MCLKサイクル単位)	MCLKクロック 周波数
1	1	1	7サイクル	60MHz以下
1	1	0	6サイクル	56MHz以下
1	0	1	5サイクル	45MHz以下
1	0	0	4サイクル	36MHz以下
0	1	1	3サイクル	24MHz以下
0	1	0	2サイクル	16MHz以下
0	0	1	1サイクル	8MHz以下
0	0	0	0サイクル	8MHz以下

(デフォルト: 0b111 = 7サイクル)

MCLKクロック周波数に合わせ、ウェイトサイクル数を設定します。

2. USBSNZ(D5)/USB Wait Control Register(0x300012) = 0

USBのスヌーズ制御を無効にします。

USBファンクションコントローラを使用する前にOSC3発振回路をONにする必要があります。

クロック制御の詳細については、“III.1 クロックマネージメントユニット(CMU)”および“III.4 Miscレジスタ”を参照してください。

IX.1.3.3 ITCとHSDMAの設定

USBファンクションコントローラは、HSDMA(高速DMA)機能を使用したデータ転送に対応しています。したがって、USBデータのDMA転送を行うには、ITCとHSDMA(Ch.1)を設定しておく必要があります。以下、ITCとHSDMA制御レジスタの設定内容について説明します。ITCとHSDMAの詳細については、それぞれ、“III.2 割り込みコントローラ(ITC)”と“II.1 高速DMA(HSDMA)”を参照してください。

1. DMA転送に使用する信号の設定

USBファンクションコントローラは、DMAデータ転送に使用する以下の信号をSRAMC/ITC/HSDMAとの間で入出力します。

PDREQ * (DMA要求割り込み信号)
 PDACK (DMA応答信号)
 PDRD (データリード信号)
 PDWR (データライト信号)

* PDREQ信号はITCに入力される前に極性が反転します。

これらの信号の極性はUSBレジスタで選択可能です。以下のとおりに設定してください。

PDREQ: PDREQ_Level(D3/0x300994) = 0(アクティブHigh)
 PDACK: PDACK_Level(D2/0x300994) = 0(アクティブHigh)
 PDRD, PDWR: PDRDWR_Level(D1/0x300994) = 0(アクティブHigh)

2. ITCの設定

DMA要求(PDREQ)

DMA要求に使用するPDREQ信号は、割り込み信号としてポート9入力割り込み(FPT9)システムに入力されています。ポート9入力割り込み回路はP91、PDREQ、P81、P71から割り込みに使用するポート(信号)を選択するようになっていきますので、SPT9[1:0](D[3:2]/0x3003C4)を10に設定してPDREQを選択します。これにより、PDREQ信号はポート9入力割り込み信号としてITCに送られHSDMA Ch.1のトリガとして使用できるようになります。また、PDREQ信号はITCに入力される前に極性が反転しますので、FPT9の入力信号の極性を選択するSPPT9(D1/0x3003C6)は0(Lowレベルまたは立ち下がリエッジ)に設定してください。

なお、割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

USB割り込み(INT_USB)

USB割り込み信号(INT_USB)は、ポート10入力割り込み(FPT10)システムに入力されています。ポート10入力割り込み回路はP92、INT_USB、P82、P72から割り込みに使用するポート(信号)を選択するようになっていきますので、SPTA[1:0](D[5:4]/0x3003C4)を10に設定してINT_USBを選択します。これにより、INT_USB信号はポート10入力割り込み信号としてITCに送られ割り込み要求に使用できるようになります。FPT10入力信号の検出モードを選択するSEPTA(D2/0x3003C7)は0(レベル)に、極性を選択するSPPTA(D2/0x3003C6)は1(Highレベル)に設定してください。

3. HSDMAの設定

アドレスモードの設定

HSDMA回路はデュアルアドレス転送とシングルアドレス転送の2つの転送方式をサポートしていますが、USBファンクションコントローラはデュアルアドレス転送にのみ対応しています。この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出し、次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。

HSDMA Ch.1をこの転送方式に設定するには、DUALM1(D15/0x301132)に1を書き込みます。

注: HSDMA Ch.1をUSBのデータ転送に使用する場合、絶対にシングルアドレスモードには設定しないでください。

転送モードの設定

USBファンクションコントローラは非同期マルチワードDMA転送(スレーブ)および非同期シングルワードDMA転送(スレーブ)の2種類の転送モードをサポートしています。

ただし、非同期マルチワードDMA転送(スレーブ)では、USBファンクションコントローラ内のFIFOにデータが残っている場合のみPDREQがアサートされます。このため、ダイナミックにUSBの送受信が行われている場合(FIFO内のデータ量はUSB転送状況によってダイナミックに変化するため)、CPUはデータ転送前に、1回に転送されるFIFO内のデータ量を把握することはできません。

したがって、USBファンクションコントローラを非同期シングルワードDMA転送(スレーブ)モードに、HSDMAを1回のトリガで1バイトの転送を行うシングル転送モードに設定し、全体のUSBデータ転送量でDMA転送回数を管理してください。

HSDMAをシングル転送モードに設定するには、D1MOD[1:0](D[15:14]/0x30113A)を00に設定します。シングル転送モードは、1回のトリガに対してDATSIZE1に設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

転送データサイズの設定

転送データ1個分のサイズをDATSIZE1(D14/0x301136)で設定します。このビットは0(8ビット)に設定します。

転送カウンタの設定

USBファンクションコントローラが対応するシングル転送モードでは、24ビットの転送回数が以下のレジスタで指定できます。

BLKLEN1[7:0]: Ch.1転送カウンタ[7:0](D[7:0])/HSDMA Ch.1 Transfer Counter Register(0x301130)

TC1_L[7:0]: Ch.1転送カウンタ[15:8](D[15:8])/HSDMA Ch.1 Transfer Counter Register(0x301130)

TC1_H[7:0]: Ch.1転送カウンタ[23:16](D[7:0])/HSDMA Ch.1 Control Register(0x301132)

注: 設定した転送回数は転送に従ってデクリメントされます。0を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

転送元/転送先アドレスの設定

デュアルアドレスモードでは、転送元および転送先アドレスを以下のレジスタで設定します。

S1ADRL[15:0]: Ch.1転送元アドレス[15:0](D[15:0])/HSDMA Ch.1 Low-order Source Address Set-up Register(0x301134)

S1ADRH[11:0]: Ch.1転送元アドレス[27:16](D[11:0])/HSDMA Ch.1 High-order Source Address Set-up Register(0x301136)

D1ADRL[15:0]: Ch.1転送先アドレス[15:0](D[15:0])/HSDMA Ch.1 Low-order Destination Address Set-up Register(0x301138)

D1ADRH[11:0]: Ch.1転送先アドレス[27:16](D[11:0])/HSDMA Ch.1 High-order Destination Address Set-up Register(0x30113A)

注: USBファンクションコントローラのDMA転送アドレスは必ずエリア6の0x300A00~0x300AFF(256バイト)に設定してください。また、DMA転送中のアドレスインクリメント/デクリメントにより転送アドレスが0x300A00~0x300AFFの範囲を越えないように十分注意してください。

アドレスインクリメント/デクリメント制御

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御にS1IN[1:0](D[13:12]/0x301136)、転送先アドレスの制御にD1IN[1:0](D[13:12]/0x30113A)を使用します。

S1IN/D1IN = 00: アドレス固定(デフォルト)

データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

S1IN/D1IN = 01: アドレスデクリメント

1つのデータ転送終了時にアドレスがDATSIZE1に設定したサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

S1IN/D1IN = 10または11: アドレスインクリメント

1つのデータの転送終了時にアドレスがDATSIZE1に設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。シングル転送モードの場合、10と11は同じ条件設定になります。

DMAトリガ要因の選択

USBファンクションコントローラのHSDMAトリガ要因はポート9入力(FPT9)割り込みです。HSD1S[3:0](D[7:4]/0x300298)を1101に設定します。

この設定により、HSDMA Ch.1はUSBファンクションコントローラからITCに入力されるPDREQ信号で起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で(転送カウンタが0でない場合でも)CPUに対し割り込み要求を発生します。転送カウンタが0になった場合にのみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

トリガ要因が発生すると、対応するHSDMAチャンネルが起動するようにトリガフラグを1にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。トリガフラグはHS1_TF(D0/0x30113E)により読み出しおよびクリアが可能です。DMA転送を開始する前であれば、このビットに1を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、1でトリガフラグがセット状態、0でクリア状態であることを示します。

DMA転送の許可/禁止

HSDMAによるデータ転送は、HS1_EN(D0/0x30113C)に1を書き込むことにより許可されます。ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。HS1_ENが1の場合、コントロール情報を設定することはできません。HS1_ENが0の場合、HSDMA要求は受け付けられません。DMA転送を終了(転送カウンタ = 0)するとHS1_ENは0にリセットされ、以降のトリガ入力を禁止します。

IX.1.4 機能説明

ここではUSBファンクションコントローラの機能について説明します。
説明の中で、レジスタおよびビット名は、下記のルールに従って表記されています。

- 1アドレス分のレジスタを指す場合の名称
“レジスタ名”レジスタと表記します。
例: MainIntレジスタ
- 個々のビットを指す場合の名称
“レジスタ名”.“ビット名”ビット、あるいは“ビット名”ビットと表記します。
例: MainIntStat.RcvEP0SETUPビット、EP0ControlOUTレジスタのForceNAKビット
- エンドポイントごとにある同一機能のレジスタ
EPx{x=0,a,b,c,d}～レジスタ、EPx{x=a,b,c,d}～レジスタ等と表記します。
例: EPx{x=a,b,c,d}IntStatレジスタ (EPaIntStat、EPbIntStat、EPcIntStat、EPdIntStatレジスタ)

IX.1.4.1 USB制御

■エンドポイント

本コントローラはコントロール転送用のエンドポイント(EP0)と4本の汎用エンドポイント(EPa、EPb、EPc、EPd)を持ちます。エンドポイントEPa、EPb、EPc、EPdは、それぞれバルク、インタラプトまたはアイソクロナス転送用のエンドポイントとして使用できます。バルク転送かインタラプト転送かによって、ハードウェア上の違いはありません。

本コントローラのハードウェアは、エンドポイントを提供しトランザクションの管理を行います。一方、USBに定義されるインタフェース(以下、USB定義インタフェース)の管理機能を提供しません。USB定義インタフェースは、ファームウェアで実装してください。デバイス固有のデスクリプタ定義に沿ってエンドポイントを適宜設定し、また組み合わせてUSB定義インタフェースを構成してください。

各エンドポイントには、USB定義インタフェースによって決定される固定の基本設定項目と、転送ごとに制御を行う可変の制御項目およびステータスがあります。基本設定項目は、チップ初期化時、またはSetInterface()リクエストによるUSB定義インタフェースの切り換え時に設定してください。

表IX.1.4.1.1にエンドポイントEP0(デフォルトコントロールパイプ)の基本設定項目を示します。

エンドポイントEP0は、IN方向とOUT方向でレジスタセットやFIFO領域を共有します。エンドポイントEP0におけるデータステージおよびステータスステージでは、その実行に際してファームウェアにより適宜データトランザクションの方向を設定してください。

表IX.1.4.1.1 エンドポイントEP0の基本設定項目

項目	レジスタ/ビット	説明
最大パケットサイズ	EP0MaxSize	最大パケットサイズを8、16、32、64のいずれかの値に設定します。(FSモード用) エンドポイントEP0には、FIFOの0番地から、EP0MaxSizeレジスタで設定したサイズの領域が割り当てられます。

表IX.1.4.1.2に汎用エンドポイント(EPa、EPb、EPc、EPd)の基本設定項目を示します。エンドポイントEPa、EPb、EPc、EPdは、トランザクション方向とエンドポイント番号を任意に設定できますので、4本までの独立したエンドポイントとして使用できます。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にしてください。

表IX.1.4.1.2 エンドポイントEPa、EPb、EPc、EPdの設定項目

項目	レジスタ/ビット	説明
トランザクション方向	EPx{x=a,b,c,d}Config.INxOUT	各エンドポイントの転送方向を設定します。
最大パケットサイズ	EPx{x=a,b,c,d}MaxSize_H, EPx{x=a,b,c,d}MaxSize_L	各エンドポイントの最大パケットサイズを、1~1024バイトの間の任意の値に設定します。ただし、バルク転送を行うエンドポイントでは8/16/32/64バイトのいずれかに設定してください。(FSモード用)
エンドポイント番号	EPx{x=a,b,c,d}Config.EndPointNumber	各エンドポイントのエンドポイント番号を0x1~0xFの間の任意の値に設定します。
トグルモード	EPx{x=a,b,c,d}Config.ToggleMode	トグルシーケンスのモードを設定します。バルク転送を行うエンドポイントは、0に設定してください。 0: トランザクション成功時のみトグル 1: トランザクション毎に常にトグル
エンドポイント有効	EPx{x=a,b,c,d}Config.EnEndPoint	各エンドポイントを有効にします。 そのエンドポイントを使用するUSB定義インタフェースが有効にされたときに設定してください。
FIFO領域	EPx{x=a,b,c,d}StartAdrs_H, EPx{x=a,b,c,d}StartAdrs_L	各エンドポイントに割り当てる領域を、FIFOのアドレスで設定します。 FIFO領域は、各エンドポイントの最大パケットサイズ以上の領域を割り当ててください。 FIFO領域のサイズはデータ転送のスループットに影響します。FIFOの領域割り当ての詳細は、"FIFO管理"の項を参照してください。

■トランザクション

本コントローラのハードウェアは、トランザクション実行機能とファームウェアに対するトランザクション実行のためのインタフェースを提供します。ファームウェアとのインタフェースは、制御レジスタとステータスレジスタ、およびステータスによりアサートされる割り込み信号により実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の項を参照してください。

本コントローラは個々のトランザクションごとに、ファームウェアに対してステータスを発行します。ただし、ファームウェアは必ずしも個々のトランザクションを管理する必要はありません。本コントローラはトランザクションへの応答時にFIFOを参照し、そのデータ数または空き数によってデータ転送を行えるか否かを判断して自動的に処理します。たとえば、OUTのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOからデータを読み出し、FIFOに空き領域を作り出すことによってOUTトランザクションを自動的に連続して実行させることができます。また、INのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOにデータを書き込み、FIFOに有効データを作り出すことによってINトランザクションを自動的に連続して実行させることができます。

表IX.1.4.1.3にエンドポイントEP0のトランザクション制御に関する制御項目およびステータスを示します。

表IX.1.4.1.3 エンドポイントEP0の制御項目およびステータス

項目	レジスタ/ビット	説明
トランザクション方向	EP0Control.INxOUT	データステージおよびステータスステージにおいて、転送方向を設定します。
デスクリプタ返信 イネーブル	EP0Control.ReplyDescriptor	デスクリプタの自動応答を起動します。
ショートパケット送信 イネーブル	EP0Control.IN.EnShortPkt	最大パケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
トグルシーケンスビット	EP0Control.IN.ToggleStat, EP0Control.OUT.ToggleStat	トグルシーケンスビットの状態を示します。SETUPステージにより、自動的に初期化されます。
トグルセット	EP0Control.IN.ToggleSet, EP0Control.OUT.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EP0Control.IN.ToggleClr, EP0Control.OUT.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK応答	EP0Control.IN.ForceNAK, EP0Control.OUT.ForceNAK	FIFOのデータ数/空き数にかかわらず、INまたはOUTにNAK応答します。
STALL応答	EP0Control.IN.ForceSTALL, EP0Control.OUT.ForceSTALL	INまたはOUTトランザクションにSTALL応答します。
自動ForceNAKセット	EP0Control.OUT.AutoForceNAK	OUTトランザクションの完結ごとに、EP0Control.OUT.ForceNAKビットをセットします。
SETUP受信ステータス	MainIntStat.RcvEP0SETUP	SETUPトランザクションが実行されたことを示します。
トランザクション ステータス	EP0IntStat.IN_TranACK, EP0IntStat.OUT_TranACK, EP0IntStat.IN_TranNAK, EP0IntStat.OUT_TranNAK, EP0IntStat.IN_TranErr, EP0IntStat.OUT_TranErr	トランザクションの結果を示します。

表IX.1.4.1.4に、エンドポイントEPa、EPb、EPc、EPdのトランザクション処理に関する制御項目とステータスを示します。

表IX.1.4.1.4 エンドポイントEPa、EPb、EPc、EPdの制御項目とステータス

項目	レジスタ/ビット	説明
自動ForceNAKセット	EPx{x=a,b,c,d}Control.AutoForceNAK	OUTトランザクションの完結ごとに、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットします。
ショートパケット送信イネーブル	EPx{x=a,b,c,d}Control.EnShortPkt	INトランザクションに対し、最大パケットサイズに満たないショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
ショートパケット受信による自動ForceNAKセットの禁止	EPx{x=a,b,c,d}Control.DisAF_NAK_Short	OUTトランザクションにおいてショートパケットを受信すると、自動的にそのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットする機能を禁止します。
トグルシーケンスビット	EPx{x=a,b,c,d}Control.ToggleStat	トグルシーケンスビットの状態を示します。
トグルセット	EPx{x=a,b,c,d}Control.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EPx{x=a,b,c,d}Control.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK 応答	EPx{x=a,b,c,d}Control.ForceNAK	FIFOのデータ数/空き数にかかわらず、トランザクションにNAK応答します。
STALL 応答	EPx{x=a,b,c,d}Control.ForceSTALL	トランザクションにSTALL応答します。
トランザクションステータス	EPx{x=a,b,c,d}IntStat.OUT_ShortACK, EPx{x=a,b,c,d}IntStat.IN_TranACK, EPx{x=a,b,c,d}IntStat.OUT_TranACK, EPx{x=a,b,c,d}IntStat.IN_TranNAK, EPx{x=a,b,c,d}IntStat.OUT_TranNAK, EPx{x=a,b,c,d}IntStat.IN_TranErr, EPx{x=a,b,c,d}IntStat.OUT_TranErr	トランザクションの結果を示します。

SETUPトランザクション

自ノードのエンドポイントEP0宛てのSETUPトランザクションは、無条件に実施します(USB機能は有効にされている必要があります)。

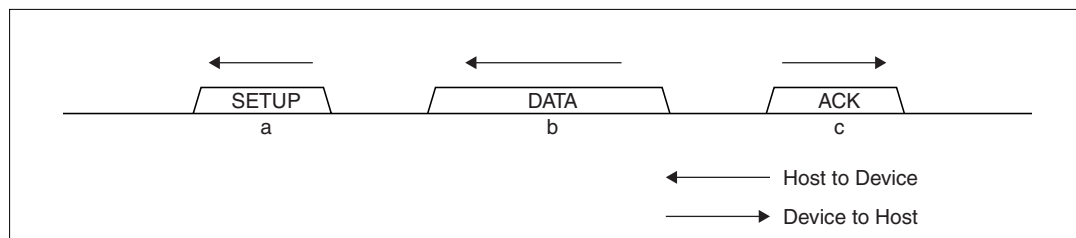
SETUPトランザクションが発行されると、データパケット(8バイト)のすべての内容をEP0Setup_0～EP0Setup_7レジスタに格納し、ACK応答します。また、ファームウェアに対し、RcvEP0SETUPステータスを発行します。

SETUPトランザクション中にエラーが発生した場合には応答せず、ステータスも発行しません。

SETUPトランザクションが完結すると、EP0ControlINレジスタおよびEP0ControlOUTレジスタのForceNAKビットをセットし、ForceSTALLビットをクリアします。また、ToggleStatビットをセットします。ファームウェアは、エンドポイントEP0の設定を終え、次のステージに移行可能になったら、EP0ControlINレジスタまたはEP0ControlOUTレジスタにおいて、該当する方向のForceNAKビットをクリアしてください。

図IX.1.4.1.1にSETUPトランザクションのシーケンスを示します。

- ホストが、このノードのエンドポイント0に宛てたSETUPトークンを発行します。
- ホストは続けて、8バイト長のデータパケットを送信します。本コントローラはこのデータをEP0Setup_0～EP0Setup_7レジスタに書き込みます。
- 本コントローラは自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.1 SETUPトランザクション

OUTトランザクション

OUTトランザクションでは、FIFOの空き容量にかかわらずデータの受信を開始します。ポートインタフェースによりFIFOのデータを読み出し、空き領域を作りながら受信することができますので、FIFOを最大パケットサイズの倍程度割り当てることにより、良好なスループットが得られます。

OUTトランザクションにおいてすべてのデータが正常に受信できると、トランザクションを完結し、ACK応答します。また、ファームウェアに対し、該当するエンドポイントのOUT_TrانACKステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT\_TranACK$ ビット)を発行します。また、FIFOを更新し、データを受信済みとして領域を確保します。

エンドポイントEPa、EPb、EPc、EPdにおいては、OUTトランザクションにおいて、ショートパケットのすべてのデータを受信すると、上記のトランザクション完結処理に加え、OUT_ShortACKステータス($EPx\{x=a,b,c,d\}IntStat.OUT\_ShortACK$ ビット)を発行します。また、 $EPx\{x=a,b,c,d\}Control.DisAF\_NAK\_Short$ ビットがクリアされていると、そのエンドポイントの $EPx\{x=a,b,c,d\}ForceNAK$ ビットをセットします。

OUTトランザクションにおいてトグルミスマッチが発生した場合、トランザクションにACK応答します。ただし、ステータスは発行されず、FIFOも更新されません。

OUTトランザクションにエラーが発生した場合、トランザクションに応答しません。また、OUT_TrانErrステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT\_TranErr$ ビット)を発行します。FIFOは更新されません。

OUTトランザクションにおいてすべてのデータを受信できなかった場合、トランザクションにNAK応答し、また、OUT_TrانNAKステータス($EPx\{x=a,b,c,d\}IntStat.OUT\_TranNAK$ ビット)を発行します。FIFOは更新されません。

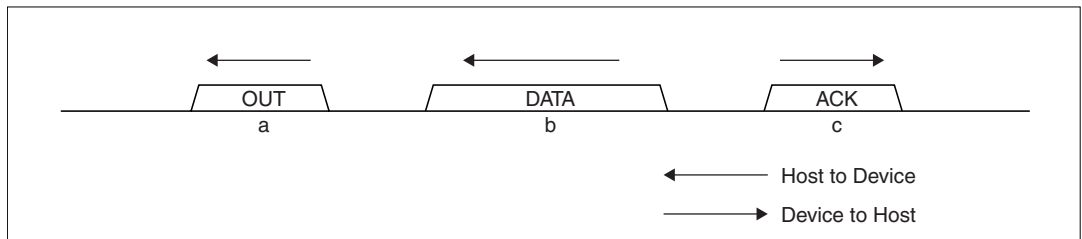
図IX.1.4.1.2に、OUTトランザクションが正常に完結する場合のシーケンスを示します。

(a) ホストが、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを発行します。

(b) ホストは続けて、最大パケットサイズ以内のデータパケットを送信します。

本コントローラはこのデータを、該当するエンドポイントのFIFOに書き込みます。

(c) 本コントローラはデータを受信できると、自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.2 OUTトランザクション

INトランザクション

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがある場合、またはファームウェアによってショートパケットの送信が許可されている場合、INトランザクションに応答してデータパケットを返信します。

ショートパケット(データ長ゼロのパケットを含む)の送信許可は、EP0ControlIN.EnShortPktビットおよびEPx{x=a,b,c,d}Control.EnShortPktビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間は新たなデータをそのエンドポイントのFIFOに書き込まないようにしてください。

エンドポイントEP0では、ショートパケットを送信するINトランザクションが完結すると、EP0ControlIN.ForceNAKビットをセットします。

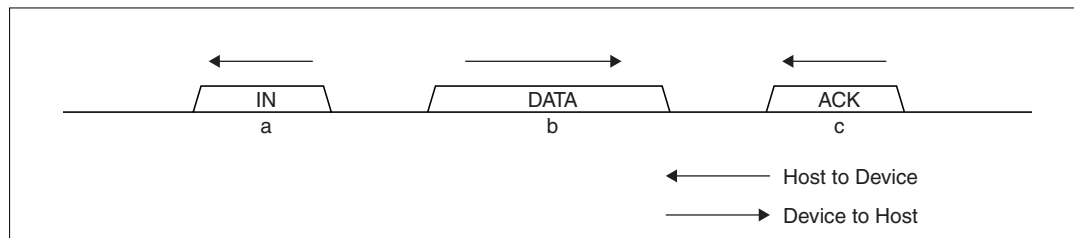
データを返信したINトランザクションでACKを受信するとトランザクションは完結し、ファームウェアに対してIN_TranACKステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranACKビット)を発行します。また、FIFOを更新して、送信したデータを送信済みとして領域を開放します。

データを返信したINトランザクションでACKが返らない場合はトランザクション失敗と見なし、ファームウェアに対しIN_TranErrステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranErrビット)を発行します。また、FIFOを更新せず、領域を開放しません。

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがなく、かつ、ショートパケットの送信が許可されていない場合、INトランザクションにはNAK応答し、ファームウェアに対してIN_TranNAKステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranNAKビット)を発行します。また、FIFOを更新せず、領域を開放しません。

図IX.1.4.1.3にINトランザクションが正常に完結する場合のシーケンスを示します。

- (a) ホストが、このノードに存在するIN方向のエンドポイントに宛てたINトークンを発行します。
- (b) 本コントローラは、このINトランザクションに応答できる場合、最大パケットサイズ以内のデータパケットを送信します。
- (c) ホストはACK応答します。本コントローラはACKを受信すると、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.3 INトランザクション

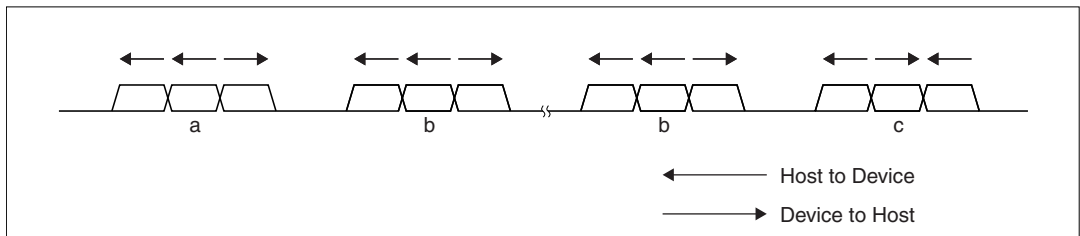
■コントロール転送

エンドポイントEP0におけるコントロール転送は、個々のトランザクションの組み合わせとして制御します。図IX.1.4.1.4にデータステージがOUT方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
- (b) ホストはOUTトランザクションを発行してデータステージを行い、デバイスはデータを受信します。
- (c) ホストはINトランザクションを発行してステータスステージを行い、デバイスはデータ長ゼロの packets を返信します。

データステージのないコントロール転送は、この例におけるデータステージがない状態で実施されます。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、IN_TranNAKステータス(EP0IntStat.IN_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。

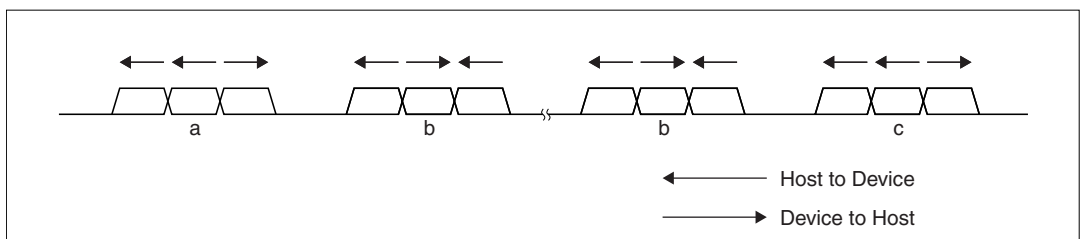


図IX.1.4.1.4 データステージがOUT方向のコントロール転送

図IX.1.4.1.5にデータステージがIN方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
- (b) ホストはINトランザクションを発行してデータステージを行い、デバイスはデータを送信します。
- (c) ホストはOUTトランザクションを発行してステータスステージを行い、デバイスはACK応答します。

ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、OUT_TranNAKステータス(EP0IntStat.OUT_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。



図IX.1.4.1.5 データステージがIN方向のコントロール転送

コントロール転送のデータステージおよびステータスステージは、通常のOUTおよびINトランザクションを行いますので、NAKによるフロー制御が有効です。デバイスは定められた時間内に、応答する準備をすることが許されています。

SETUPステージ

自ノードに宛てられたSETUPトークンを受信すると、自動的にSETUPトランザクションを実行します。ファームウェアは、RcvEP0SETUPステータスをモニタし、EP0Setup_0～EP0Setup_7レジスタによりリクエストを解析して、コントロール転送を制御してください。

受信したリクエストにOUT方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをクリアしてエンドポイントEP0をOUT方向に設定してください。受信したリクエストにIN方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをセットしてエンドポイントEP0をIN方向に設定してください。受信したリクエストにデータステージがない場合はステータスステージに移行するため、EP0ControlレジスタのINxOUTビットをセットして、エンドポイントEP0をIN方向に設定してください。

データステージ/ステータスステージ

EP0Setup_0～EP0Setup_7レジスタを読み出してリクエストを解析した内容に従って、次のステージに移行してください。

そのステージがOUT方向の場合はEP0ControlレジスタのINxOUTをクリアしてOUT方向に設定し、EP0ControlOUTレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

ステージがIN方向の場合はEP0ControlレジスタのINxOUTをセットしてIN方向に設定し、EP0ControlINレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

自動アドレス設定機能

本コントローラには、エンドポイントEP0におけるコントロール転送において、SetAddress()リクエストの処理におけるアドレス設定を自動化する機能があります。

EP0Setup_0～EP0Setup_7レジスタによってリクエストの内容を確認し、それが有効なSetAddress()リクエストであれば、ファームウェアはこの機能を使用することができます。

有効なSetAddress()リクエストであると判断した場合、EP0ControlIN.ForceNAKビットとEP0ControlIN.EnShortPktビットをそれぞれクリアおよびセットして、ステータスステージへの応答を行う前に、USB_Address.AutoSetAddressビットをセットしてください。

この機能を有効にした後に、エンドポイントEP0におけるINトランザクションが完結すると、SetAddress()リクエストのデータからアドレスを抽出し、USB_Address.USB_Addressビットにセットします。また、ファームウェアに対しSetAddressCmpステータス(SIE_IntStat.SetAddressCmpビット)を発行します。

この機能を有効にした後、INトランザクションが行われる前にエンドポイントEP0において他のトランザクションが発生した場合、この機能はキャンセルされ、USB_Address.AutoSetAddressビットはクリアされます。ファームウェアに対しSetAddressCmpステータスは発行されません。

デスクリプタ返信機能

本コントローラには、エンドポイントEP0におけるコントロール転送において複数回発行される、GetDescriptor()等のデータを要求するリクエストに有効な、デスクリプタ返信機能があります。データステージがIN転送であるリクエストにおいて、ファームウェアはこの機能を使用することができます。

EP0ControlIN.ForceNAKビットをクリアし、データステージへの応答を開始する前に、DescAdrs_HおよびDescAdrs_LレジスタにFIFOのデスクリプタ領域内の返信するデータの先頭アドレスを、またDescSize_HおよびDescSize_Lレジスタに返信するデータの総バイト数を設定し、EP0Control.ReplyDescriptorビットをセットしてください。

デスクリプタ返信機能は、設定数のデータを送り終わるまでデータステージのINトランザクションに応答してデータパケットを返信し、INトランザクションを実行します。最大パケットサイズに対し端数のデータが存在すると、デスクリプタ返信機能は、EP0ControlIN.EnShortPktをセットし、すべてのデータを返信するまで、INトランザクションに応答できるようにします。

設定数のデータを返信し終わると、EP0Control.ReplyDescriptorビットをクリアし、ファームウェアに対し、DescriptorCmpステータス(FIFO_IntStat.DescriptorCmpビット)を発行します。

デスクリプタ領域についての詳細は、機能説明のFIFOの項を参照してください。

■バルク転送/インタラプト転送

汎用エンドポイントEPa、EPb、EPc、EPdにおけるバルク転送およびインタラプト転送は、データフロー（“データフロー”参照）としても、連続する個々のトランザクション（“トランザクション”参照）としても制御できます。

■データフロー

ここでは、OUT転送およびIN転送の一般的なデータフローの制御について説明します。

OUT転送

OUT転送によって受信したデータは、各エンドポイントのFIFO上に置かれます。FIFOのデータを読み出すには、CPUインタフェースによる読み出し（EP0、EPa、EPb、EPc、EPd）と、ポートインタフェースによる読み出し（EPa、EPb、EPc、EPd）の2つの方法があります。

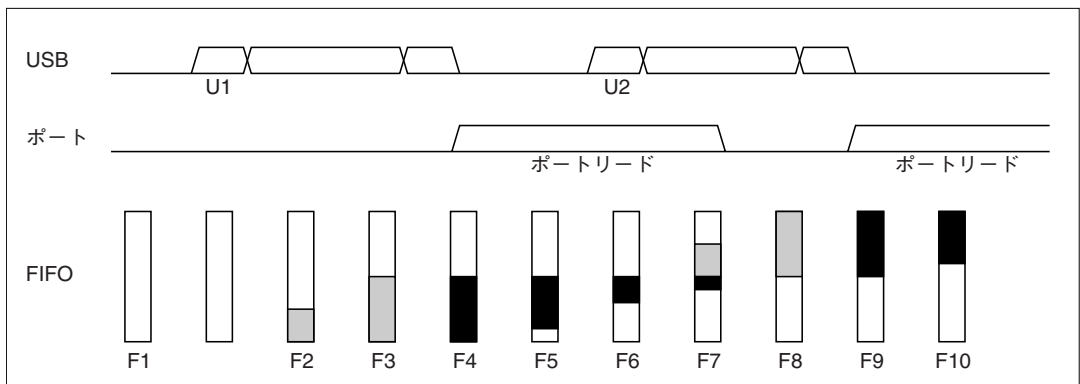
CPUインタフェースによりFIFOのデータを読み出すには、CPU_JoinRdレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOは、EPnFIFOforCPUレジスタにより、受信順に読み出すことができます。また、FIFOの残りデータ数を、EPnRdRemain_HおよびEPnRdRemain_Lレジスタにより参照できます。空のFIFOを読み出すと、ダミー読み出しを行います。ポートインタフェースによりFIFOのデータを読み出すには、DMA_JoinレジスタでOUT方向のエンドポイントを1つのみ選択してください。選択したエンドポイントのFIFOは、ポートインタフェースの手順を実行することにより、受信順に読み出されます。また、FIFOの残りデータ数を、DMA_Remain_HおよびDMA_Remain_Lレジスタで参照できます。FIFOが空になると、ポートインタフェースは自動的に一時停止してフロー制御を行います。

CPU_JoinRdレジスタおよびDMA_Joinレジスタにより、CPUインタフェースとポートインタフェースを同じエンドポイントの読み出しに設定しないでください。また、CPU_JoinRdレジスタによりIN方向のエンドポイントを読み出し設定する場合、ForceNAKビットをセットするなどして、確実にINトランザクションにデータ返信応答をしない状態にしてから、データの読み出しを行ってください。

ポートインタフェースによる、IN方向のエンドポイントからのデータ読み出しはできません。

FIFOにデータパケットを受信できる空き領域があれば、OUTトランザクションに自動的に応答して、データを受信できます。したがって、ファームウェアによって個々のトランザクションについての制御を行うことなく、OUT転送を行うことができます。ただし、EPx{x=a,b,c,d}Control.DisAF_NAK_Shortビットがクリアされている場合、ショートパケット（データ長ゼロのパケットを含む）を受信すると、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットしますので、次のデータ転送を行う準備ができたところで、EPx{x=a,b,c,d}Control.ForceNAKビットをクリアしてください。

図IX.1.4.1.6に、OUT転送のデータフローのようすを示します。OUTのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。



図IX.1.4.1.6 OUT転送のデータフロー例

- (U1) 1回目のOUTトランザクションで、最大パケットサイズ of データ転送を行っています。
- (U2) 2回目のOUTトランザクションで、最大パケットサイズ of データ転送を行っています。
- (F1) FIFOが空の状態です。ポートインタフェースは起動をかけられていますが、FIFOが空であるため、転送を行いません。(PDREQ信号をネゲートしています。)
- (F2) OUTトランザクションが進行し、FIFOに受信を開始しています。この時点では、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F3) OUTトランザクションのデータパケットを受信し終えましたが、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F4) OUTトランザクションが完結し、受信したデータが有効とされます。
- (F5) FIFOに有効データが生じたことにより、ポートインタフェースは転送を開始します。(PDREQ信号をアサートします。)
- (F6) ポート転送により、FIFOの有効データが減っています。
- (F7) 次のトランザクション開始により、データの書き込みが始まります。ポート転送は、有効データがある間、動作を続けます。
- (F8) 有効データがなくなったために、ポート転送が停止しています。2回目のOUTトランザクションは未だ完結していません。
- (F9) 2回目のOUTトランザクションが完結し、FIFOに有効データが生じます。
- (F10) FIFOに有効データが生じたため、ポート転送が再開されます。

IN転送

IN転送により送信するデータを、各エンドポイントのFIFO上に置いてください。FIFOにデータを書き込むには、CPUインタフェースによる書き込み(EP0、EPa、EPb、EPc、EPd)と、ポートインタフェースによる書き込み(EPa、EPb、EPc、EPd)の2つの方法があります。

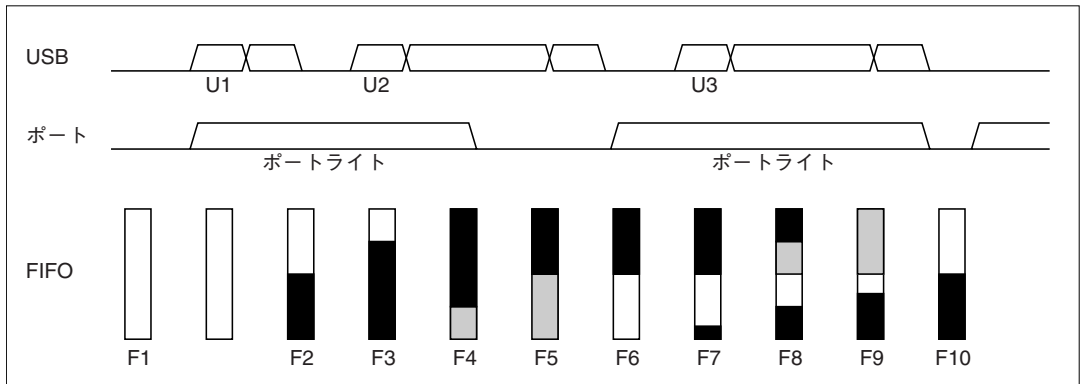
CPUインタフェースにより、FIFOにデータを書き込むには、CPU_JoinWrレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOには、EPnFIFOforCPUレジスタによりデータを書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFOの空き容量を、EPnWrRemain_HおよびEPnWrRemain_Lレジスタにより参照できます。フル状態のFIFOに書き込むと、ダミー書き込みを行います。

ポートインタフェースにより、FIFOにデータを書き込むには、DMA_Joinレジスタにより、IN方向のエンドポイントを1つのみ選択してください。ポートインタフェースの手順にしたがってデータを選択したエンドポイントのFIFOに書き込みます。FIFOのデータは書き込み順にデータパケットとして送信されます。FIFOがフルになると、ポートインタフェースは自動的に一時停止してフロー制御を行います。

CPU_JoinWrレジスタおよび、DMA_Joinレジスタにより、CPUインタフェースとポートインタフェースとを同じエンドポイントへの書き込みに設定しないでください。また、CPU_JoinWrレジスタによりOUT方向のエンドポイントに書き込み設定する場合、ForceNAKビットをセットするなどして、確実にOUTトランザクションのデータ受信をしない状態にしてから、データ書き込みを行ってください。ポートインタフェースによる、OUT方向のエンドポイントへのデータ書き込みは行えません。

FIFOに最大パケットサイズ以上のデータがあれば、INトランザクションに自動的に応答して、データを送信できます。したがって、ファームウェアは個々のトランザクションについての制御を行うことなく、IN転送を行うことができます。ただし、データ転送の最後にショートパケットを送信する必要がある場合、EnShortPktビットをセットしてください。このビットはショートパケットを送信したINトランザクションが完結することによってクリアされますので、FIFOへのデータ書き込みが終了した時点でセットすることが可能です。また、DMA_FIFO_Control.AutoEnShortビットがセットされていると、ポートインタフェースからの書き込みが終了したときに、最大パケットサイズに満たない端数データがFIFOにあると、そのエンドポイントのEPx{x=a,b,c,d}Control.EnShortPktビットを自動的にセットします。この機能を使用することにより、データ長ゼロの packets は返さず、データ長ゼロでないショートパケットのみを返す制御を自動的に行うことができます。

図IX.1.4.1.7にIN転送のデータフローのようすを示します。INのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。

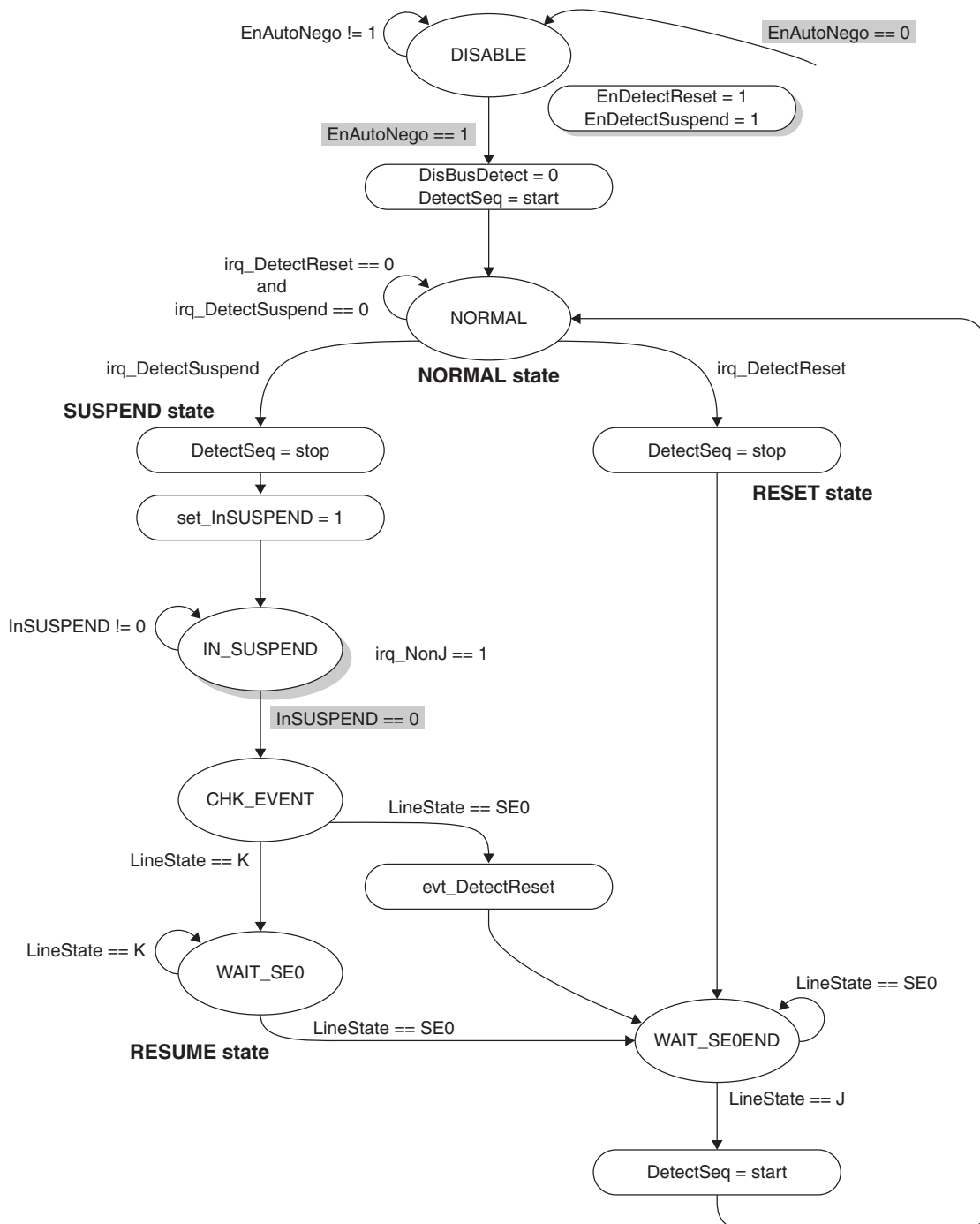


図IX.1.4.1.7 IN転送のデータフロー例

- (U1) 1回目のINトランザクションでは、FIFOに最大パケットサイズ分の有効なデータがないため、NAK応答しています。
- (U2) 2回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (U3) 3回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。
- (F2) ポート転送が開始され、FIFOに有効データが書き込まれます。(PDREQ信号がアサートされます。)
- (F3) FIFOに空き領域があるため、ポート転送が継続しています。
- (F4) FIFOに最大パケットサイズ分の有効データがあるので、INトランザクションに応答して、データパケットを送信しています。トランザクションが完結していないので、送信した分の領域は開放されません。FIFOがフルになり、ポート転送が停止しています。(PDREQ信号がネゲートされます。)
- (F5) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。ポート転送は停止したままです。
- (F6) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。
- (F7) FIFOに空き領域ができたため、ポート転送を再開します。(PDREQ信号をアサートします。)
- (F8) INトランザクションに応答して、データパケットを送信しています。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F9) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F10) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。空き領域がなくなったためにポート転送は一時停止しますが、INトランザクションの完結により空き領域ができたために再開しています。

■オートネゴシエーション機能

サスペンド検出、リセット検出、レジューム検出をUSBバスの状態を逐次チェックしながら自動的に行います。実際に何が行われたかは、各割り込み(DetectReset、DetectSuspend)をチェックすることにより確認することができます。



図IX.1.4.1.8 オートネゴシエータ

(1) DISABLE

USB_Control.EnAutoNegoビットをクリアしているときに、このステートに入ります。

オートネゴシエーション機能を有効にするときには、USB_Control.EnAutoNegoビットをセットする前にリセット検出割り込み(SIE_IntEnb.EnDetectReset)、サスペンド検出割り込み(SIE_IntEnb.EnDetectSuspend)をセットし、イベント検出割り込みを許可してください。

オートネゴシエーション機能を有効にすると、USB_Control.DisBusDetectビットを自動的にクリアし、イベント検出機能を有効にします。オートネゴシエーション機能を有効にしている間は、USB_Control.DisBusDetectビットを絶対にセットしないでください。

(2) NORMAL

リセット検出待ち、サスペンド検出待ちをするステートです。

2.5 μ s以上のSE0が検出された場合はリセット、3ms以上アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、リセット検出割り込み、またはサスペンド検出割り込みが発生し、SIE_IntStat.DetectResetビット、またはSIE_IntStat.DetectSuspendビットがセットされます。

サスペンドと判断した場合、一旦イベント検出機能を停止し、IN_SUSPENDステートに入ります。

(3) IN_SUSPEND

サスペンドと判断された場合、ハードウェアによってUSB_Control.InSUSPENDビットが自動的にセットされ、IN_SUSPENDステートに入ります。このUSB_Control.InSUSPENDビットによって、FS-Jからのバスの遷移を検出する機能が有効になり、ホストからのレジューム、リセットのみを検出するようになります。

サスペンド中に実際に消費電流を軽減するかどうかは、アプリケーションに依存します。本コントローラは、消費電流を軽減するためのスヌーズ機能を持っています。オートネゴシエーション機能が有効時にこのスヌーズ機能を使用する場合は、必ずUSB_Control.InSUSPENDビットがセットされたことを確認してから、スヌーズ機能をイネーブルにしてください。

また、スヌーズ状態になった後、サスペンド終了指示であるレジューム(FS-K)を検出するために、ファームウェアにてSIE_IntEnb.EnNonJビットをセットし、NonJ割り込みを許可してください。

NonJ割り込みステータス(SIE_IntStat.NonJ)がセットされた場合、サスペンドからの復帰指示であると判断し、USB_Control.InSUSPENDビットをファームウェアにてクリアすると、CHK_EVENTステートに入ります。

リモートウェイクアップ機能を有効にしているアプリケーションで、サスペンドから復帰する必要があると判断される場合には、このステートの中でUSB_Control.SendWakeupビットをセットし、1ms以上、15ms以下の間FS-Kを出力してください。

(4) CHK_EVENT

CHK_EVENTステートでは、本コントローラはUSB信号をチェックし、FS-Kを検出した場合にレジュームであると判断します。SE0を検出した場合はリセットであると判断します。リセットと判断した場合は、SIE_IntStat.DetectResetビットをセットします。

なお、どのステートにおいても、USBケーブルが抜かれたことには対応していませんので、もしUSBケーブルが抜かれた場合には、すぐに、このオートネゴシエーション機能を停止してください。

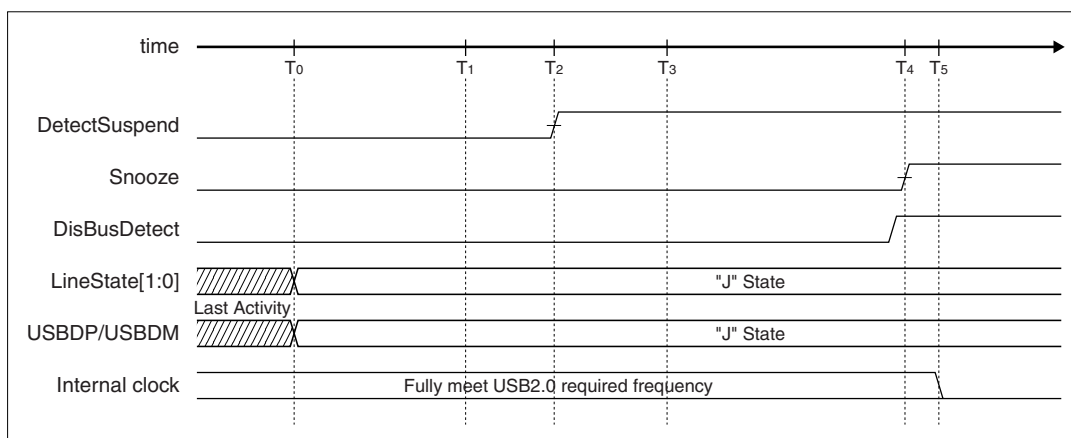
■各ネゴシエーション機能の単体説明

サスペンド検出

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のサスペンド検出手順を自動的に実行します。

- (1) 3ms以上、送受信がない(USB_Status.LineState[1:0]に“J”を検出し続ける)ことを内部タイマによりチェックします(T_i)。
- (2) T₂の時点で、USB_Status.LineState[1:0]に“J”を検出した場合、SIE_IntStat.DetectSuspendビットをセットします。
- (3) SIE_IntEnb.EnDetectSuspend、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectSuspendビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectとUSBSNZ(D5/0x300012)ビットをそれぞれ1にセットし、T₄までにスヌーズの処理に入ってください。ただし、セルフパワードの製品では、スヌーズしなくても構いません(図IX.1.4.1.9では、スヌーズを行ったときの動作を表しています)。



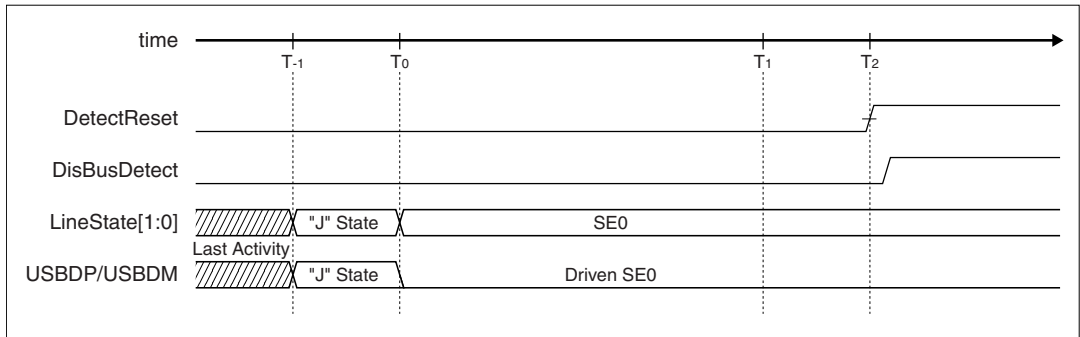
図IX.1.4.1.9 サスペンドタイミング(FSモード)

リセット検出

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のリセット検出手順を自動的に実行します。

- (1) 2.5 μ s以上、USB_Status.LineState[1:0]に“SE0”を検出し続けたことを内部タイマによりチェックします(T_1)。
- (2) T_2 の時点で、USB_Status.LineState[1:0]に“SE0”を検出した場合、SIE_IntStat.DetectResetビットをセットします。
- (3) SIE_IntEnb.EnDetectReset、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectResetビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectビットを1にセットしてください。



図IX.1.4.1.10 リセットタイミング(FSモード)

レジャーームの発行

リモートウェイクアップがサポートされていて、かつホストからリモートウェイクアップを有効にされているときに、何らかの要因で、自らレジャーームする方法を説明します。

リモートウェイクアップを行うことが可能なのは、バスがアイドルになってから5ms経過後です。さらに、レジャーーム信号を出力してから10ms経過以前は、USBのサスペンド状態に入る前の電流をVBUSから引き出すことはできません。

S1C33L19はUSBコントローラのスヌーズモードに対応しています。ここでは、発振回路は動作しているものとして(USB_CKE(D8/0x301B00) = 1、スリープ状態ではない)、レジャーームを発行する場合の動作を説明します。下記(3)、(4)、(8)、(9)は本コントローラのハードウェアが自動的に処理します。

(1)、(2)、(6)、(6a)、(10)は本コントローラを制御するファームウェアで設定してください。

(1) SIE_IntEnb.EnNonJとUSBSNZ(D5/0x300012)ビットをクリアしてください。本コントローラが自らウェイクアップするために、スヌーズから復帰させます。

(2) USB_Control.SendWakeUpビットをセットし、レジャーーム信号を送出させてください。

(3) XcvtControl.OpMode[1:0]を“Disable Bit Stuffing and NRZI encoding”に設定し、“ALL 0”のデータを送信する準備をします。

(4) 送信を開始し、ダウンストリームポートに対し“FS K”(レジャーーム信号)を送出します。

(5) ダウンストリームポートは、このレジャーーム信号を検出し、バス上に“FS K”(レジャーーム信号)を返してきます。

(6) USB_Control.SendWakeUpビットをクリアし、レジャーーム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。

(7) ダウンストリームポートがレジャーーム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジャーーム信号の最後にはLSのEOPが付いていることに注意してください。

ダウンストリームポートからのレジャーーム信号の送出の終了を検出したい場合には、上記(6)に続いて、以下の処理を行ってください。

(6a) USB_Control.StartDetectJビットをセットしてください。

(7) ダウンストリームポートがレジャーーム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジャーーム信号の最後にはLSのEOPが付いていることに注意してください。

(8) SIE_IntStat.DetectJビットがセットされます。

(9) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。

(10) USB_Control.StartDetectJビットをクリアしてください。

ただし、オートネゴシエーション機能を使用している場合には、上記ダウンストリームポートからのレジャーーム信号の送出の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは発振回路は動作しているものとして(USB_CKE(D8/0x301B00) = 1、スリープ状態ではない)、その動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZ(D5/0x300012)を1から0に設定)させる前に、OSCパワーアップ時間も必要となります。

レジャーームの検出

USBのサスペンド時、バス上には“J”(USB_Status.LineState[1:0]は“J”)が観測されます。バス上に“K”が観測されたときは、ダウンストリームポートからのウェイクアップの指示(レジャーーム)を受け取ったことになります。ここでは、USBのサスペンド時に本コントローラがスヌーズしていたことを想定し、レジャーームを検出した場合の動作を説明します。本コントローラを制御するファームウェアで下記(4)、(5)、(5a)、(9)を設定してください。その他の項目は本コントローラのハードウェアが自動的に処理します。

- (1) “J”から“K”にバスが遷移します。
 - (2) SIE_IntStat.NonJビットをセットします。
 - (3) SIE_IntEnb.EnNonJ、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
 - (4) USBSNZ(D5/0x300012)をクリアしてください。
 - (5) USB_Control.SendWakeUpビットをクリアし、レジャーーム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。
 - (6) ダウンストリームポートが“K”の送出を停止します。
- ダウンストリームポートからのレジャーーム信号の送出の終了を検出したい場合には、上記(5)に続いて、以下の処理を行ってください。
- (5a) USB_Control.StartDetectJビットをセットしてください。
 - (6) ダウンストリームポートが“K”の送出を停止します。
 - (7) SIE_IntStat.DetectJビットがセットされます。
 - (8) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。
 - (9) USB_Control.StartDetectJビットをクリアしてください。

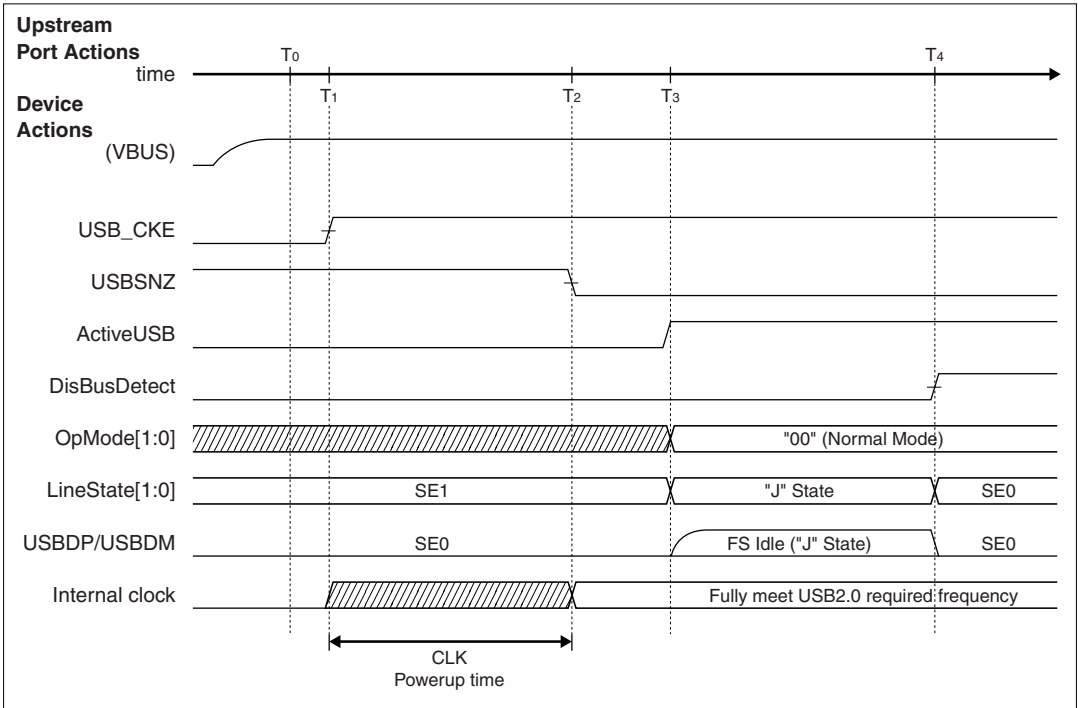
ただし、オートネゴシエーション機能を使用している場合には、上記ダウンストリームポートからのレジャーーム信号の送出の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは、発振回路は動作しているものとして(USB_CKE(D8/0x301B00) = 1、スリープ状態ではない)、動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZ(D5/0x300012)を1から0に設定)させる前に、OSCパワーアップ時間も必要となります。

ケーブル挿入

ハブまたはホストに接続(ケーブルが挿入)された場合の動作は以下のとおりです。本コントローラを制御するファームウェアは、下記(3)と(4)の設定をしてください。(1)と(2)は本コントローラのハードウェアが自動的に処理します。

- (1) ケーブルが接続されるとVBUSが“H”になり、USB_Status.VBUS、SIE_IntStat.VBUS_Changedビットをセットします(T₀)。
- (2) SIE_IntEnb.EnVBUS_Changed、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
- (3) USB_CKE(D8/0x301B00)をセットし、USBクロックの供給を開始します(T₁)。
- (4) USBSNZ(D5/0x300012)をクリアします(T₂)。
- (5) ダウンストリームポートはリセットを送出します(T₄)。



図IX.1.4.1.11 デバイス接続タイミング

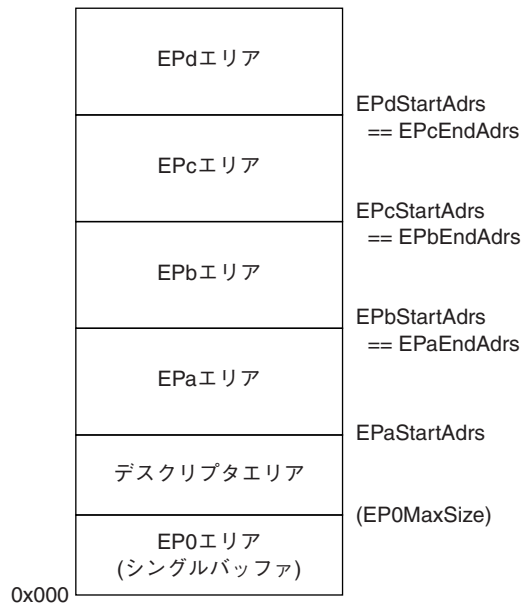
表IX.1.4.1.5 デバイス接続タイミング値

タイミングパラメータ	説明	値
T ₀	VBUSが有効です。	0 (基準)
T ₁	USB_CKEを1にセットします(ファームウェア)。クロックの入力を開始します。	T ₁
T ₂	USBSNZを0にクリアします(ファームウェア)。	T ₁ + 250 ms < T ₂
T ₄	ActiveUSBを1にセットします。OpMode[1:0]を00に設定します(ファームウェア)。	T ₀ + 100 ms < T ₃
T ₅	ダウンストリームポートからリセットが送出されます。DisBusDetectを1にセットします(ファームウェア)。	T ₃ + 100 ms < T ₄

IX.1.4.2 FIFO管理

■FIFOメモリマップ

FIFOのメモリマップを以下に示します。



図IX.1.4.2.1 FIFOメモリマップ

FIFOのメモリは、EP0エリア、デスクリプタエリア、EPaエリア、EPbエリア、EPcエリア、EPdエリアの6つのエリアに分割でき、それぞれのエリアは、EP0MaxSizeレジスタ、EPaStartAdrsレジスタ、EPbStartAdrsレジスタ、EPcStartAdrsレジスタ、EPdStartAdrsレジスタの各レジスタ設定によって分割されます。

EP0エリアは、USBで必須のエンドポイント0に使用するエリアで、INおよびOUTの両方向に使用されます。このエリアは、FIFOの先頭に配置され、大きさはEP0MaxSizeレジスタに設定されたエンドポイント0の最大パケットサイズにより決まります。したがって、送受信できるパケットは1つのみ(シングルバッファ)となります。

EPaエリア、EPbエリア、EPcエリア、およびEPdエリアは、エンドポイント番号とINまたはOUTを設定できる汎用エンドポイントのエリアです。EPaエリアは、EPaStartAdrsレジスタに設定されたアドレスを先頭に、EPbStartAdrsレジスタにて設定されたアドレスの前までに割り付けられます。同様に、EPbエリアには、EPbStartAdrsレジスタに設定されたアドレスからEPcStartAdrsレジスタに設定されたアドレスの前までが割り当てられます。EPdエリアには、EPdStartAdrsレジスタに設定されたアドレスからFIFOの最終アドレスまでが割り当てられます。これらのエリア設定用レジスタに設定可能なアドレスは、4バイト単位に制限されています(下位2ビットは書き込み不可)。さらに、これらのエリアについては必ず、それぞれの最大パケットサイズ以上の領域を割り当ててください。最大パケットサイズ以上であれば、どのような値に設定されても問題ありませんが、整数倍に設定することを推奨します。

デスクリプタエリアは、EP0MaxSizeレジスタに設定されたアドレスを先頭に、EPaStartAdrsレジスタに設定されたアドレスの前までに配置されます(実際にはすべてのFIFO領域をデスクリプタエリアとして使用可能ですが、動作上の競合が起きるため、ここに示したエリアを推奨します)。なお、実際の使用方法については後述します。

エリア設定用レジスタを初めて設定した場合や、設定し直した場合には、EPnControl.AllFIFO_Clrビットをセットしてください。エリアの初期設定が終わりしだいEPnControl.AllFIFO_Clrビットはクリアされます。ただし、このビットによりRAM上のデータがクリアされることはありません。したがって、デスクリプタエリアを変更していなければ、エリア内に記録された情報が消えることはないため、再度設定し直す必要はありません。

■デスクリプタエリアの使用法

デスクリプタエリアは、EP0により送受信されるパケット、すなわち標準リクエストの動作の一部を簡単にかつ高速に行えるエリアです。標準リクエストのうち、デバイスで一義的に決定されるような内容を、電源投入後の初期設定時にこのエリアに書き込んでおくことにより、ホストからその内容を問うリクエストが来た場合には、データの先頭アドレスと、そのサイズを設定するだけで、あとは自動的にそのリクエストのデータステージを行います。リクエストを受け付けてからEP0エリアにデータを書き込む必要がないため、非常に高速にリクエストに応答することができます。

デスクリプタエリアへのデータの書き込み

デスクリプタエリアへデータを書き込む場合には、まず書き込み開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)にデータを書き込みます。書き込み終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスにデータを書き込む場合には、DescDoorレジスタ(RegWindowSel==0x2)に続けてデータを書き込むのみで、アドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアからのデータの読み出し

デスクリプタエリアからデータを読み出す場合には、まず読み出し開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)からデータを読み出します。読み出し終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスからデータを読み出す場合には、DescDoorレジスタ(RegWindowSel==0x2)から続けてデータを読み出すのみでアドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアでのデータステージ(IN)の実行

書き込まれたデータを、EP0のリクエストにて使用する場合には、DescAdrs_H、DescAdrs_Lレジスタにデータステージに送信するデータの先頭アドレスを設定し、リクエストにて指定されたデータのサイズをDescSize_H、DescSize_Lレジスタに設定した後、EP0Control.ReplyDescriptorビットに1をセットします。

ホストからINトークンを受信すると、DescSize_H、DescSize_Lレジスタに設定されたデータ数を最大パケットサイズ(EP0MaxSizeにて設定)に自動的に分割しながら、ホストにデータを送信します。また、DescSize_H、DescSize_Lレジスタの値が最大パケットサイズに満たない場合や、分割した後の残りのデータ数が最大パケットサイズに満たない場合には、自動的にショートパケットとして送信します。設定されたデータ数をすべて送信し終えたところで、EP0Control.ReplyDescriptorをクリアし、FIFO_IntStat.DescriptorCmpがセットされます。このとき、FIFO_IntEnb.EnDescriptorCmpビットがセットされます。MainIntEnb.EnEPrIntStatビットがセットされている場合には、同時に#INT信号がアサートされます。

設定したデータ数まで送信する前にステータスステージに移行した場合(OUTトークンを受信した場合)には、EP0Control.ReplyDescriptorビットが自動的にクリアされ、この機能が停止します。同時に、EP0IntStat.OUT_TranNAKステータスとFIFO_IntStat.DescriptorCmpステータスがセットされます。このとき、

(1)EP0IntEnb.EnOUT_TranNAK、MainIntEnb.EnEP0IntStat、MainIntEnb.EnEPrIntStatの3ビット

または

(2)FIFO_IntEnb.EnDescriptorCmp、MainIntEnb.EnEPrIntStatの2ビット
がセットされている場合には、同時に#INT信号がアサートされます。

■CPUによるFIFOへのアクセス方法

FIFOにCPUからアクセスする場合には、CPU_JoinRd、CPU_JoinWrレジスタのアクセスしたいエンドポイントのビットに1をセットし、EPnFIFOforCPUレジスタにて読み出し、書き込みを行います。CPU_JoinRd、CPU_JoinWrレジスタはそれぞれ、4ビット中の1ビットのみしか設定できません。複数のビットを同時にセットしようとしたときには、その中で上位のビットのみセットされます。

EPnRdRemain_H、EPnRdRemain_Lレジスタは、CPU_JoinRdにて設定されたエンドポイントから読み出し可能なデータの残り数を示します。また、EPnWrRemain_H、EPnWrRemain_Lレジスタは、CPU_JoinWrにて設定されたエンドポイントの書き込み可能なエリアの残り数を示します。

ICE等を使用したCPUのデバッグでレジスタのダンプ等を行う場合に、CPU_JoinRdレジスタをセットしていると、レジスタのダンプ時にFIFOからデータを読み出してしまうことに注意してください。

■FIFOへのアクセス制限

本コントローラのFIFOは、USBとの送受信、ポートとの送受信、CPUからの書き込み、読み出しが同時に行われます。このため、CPU(ファームウェア)からのアクセス方法(書き込み、読み出し)に2つの禁止事項があります。

- (1) USBまたはポートがFIFOへの書き込み中に、CPUから同じエンドポイントに書き込むこと
- (2) USBまたはポートがFIFOから読み出し中に、CPUから同じエンドポイントを読み出すこと

これらは、データの連続性を損なう恐れがありますので、絶対に行わないでください。

IX.1.4.3 ポートインタフェース

■機能説明

ポートインタフェースは、本コントローラが内蔵しているエンドポイント用FIFOとの間で高速にデータ転送を行うためのDMAインタフェースです。リード/ライトストロブ信号によって転送を行う非同期DMA転送モードをサポートしています。

■基本動作説明

ここでは、ポートインタフェースの基本動作について説明します。

レジスタ設定

表IX.1.4.3.1に、ポートインタフェースの基本設定用レジスタを示します。各レジスタに適切な値を設定してください。DMA_Joinレジスタの設定により、ポートインタフェースをUSBのIN方向に設定されたエンドポイントと接続した場合は、DMAの書き込み動作になります。また、OUT方向に設定されたエンドポイントと接続した場合は、DMAの読み出し動作になります。

DMA転送中(DMA_Control.DMA_Runningが1のとき)は、基本設定用レジスタを書き換えないようにしてください。DMA転送中に基本設定用レジスタを書き換えた場合の動作は保証できません。

表IX.1.4.3.1 ポートインタフェースの基本設定用レジスタ

項 目	レジスタ/ビット	説 明
エンドポイント接続	DMA_Join.JoinEP{r=a,b,c,d}DMA	1をセットしたビットのエンドポイントとポートインタフェースを接続します。接続したエンドポイントに対して書き込み/読み出しが可能になります。
カウンタセット	DMA_Count_r{r=HH,HL,LH,LL}	カウントダウンモードのとき、ダウンカウントするバイト数を設定します。
アクティブポート	DMA_Config_0.ActivePort	ポートインタフェースのポートを有効にします。
アクティブレベル	DMA_Config_0.PDREQ_Level DMA_Config_0.PDACK_Level DMA_Config_0.PDRDWR_Level	ポートインタフェース信号のアクティブレベルを設定します。 0: Hアクティブ、1: Lアクティブ
RcvLimitモード	DMA_Config_1.RcvLimitMode	非同期転送書き込み動作時のみ有効です。 本ビットに1をセットした場合、PDREQネゲート後も、16バイトまでのデータを受け取ることが可能です。
シングル/ マルチワード	DMA_Config_1.SingleWord	非同期転送モード時の転送モードを設定します。 0: マルチワード転送、1: シングルワード転送
カウントモード	DMA_Config_1.CountMode	カウントダウン/フリーランモードを設定します。 0: フリーランモード、1: カウントダウンモード

DMA転送動作

基本設定用レジスタの設定後、DMA_Control.DMA_Goビットに1を書き込むことによって、ポートインタフェースはDMA動作を開始します。DMA動作を開始するとDMAが動作中であることを示すDMA_Control.DMA_Runningビットが1にセットされます。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送は終了します。DMA_Control.DMA_Stopビットに1をセットすることで、DMA転送を強制的に終了させることもできます。DMA転送が終了すると、DMA_Control.DMA_Runningビットが0になり、DMA_IntStat.DMA_Cmpビットに1がセットされます。このとき、DMA_IntEnb.EnDMA_Cmpビットがセットされている場合は、CPUに対して#INT信号がアサートされます。

■非同期DMA転送モード

データ転送要求信号PDREQ、データ転送許可信号PDACKおよび、リードPDRD/ライトPDWR信号によってデータを入出力する8ビットの非同期DMA転送です。スレーブ機能のみサポートしており、マルチワードまたはシングルワードで転送を行います。

非同期マルチワードDMA転送モード(スレーブ)

1) 書き込み動作説明

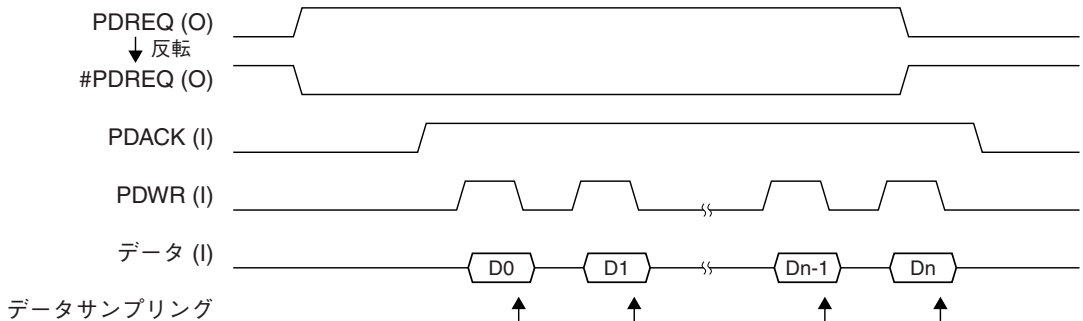
ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = 0
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。PDWRの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングでデータを取り込み、エンドポイントに書き込みます。エンドポイントの空き領域がなくなると、HSDMA(マスタ)に対しPDREQをネゲートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQをネゲートし、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間、PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA転送を強制的に終了させたい場合には、DMA_Control.DMA_Stopビットに1をセットすることで、終了させることができます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにHSDMA(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図IX.1.4.3.1 非同期マルチワードDMA転送(書き込み)

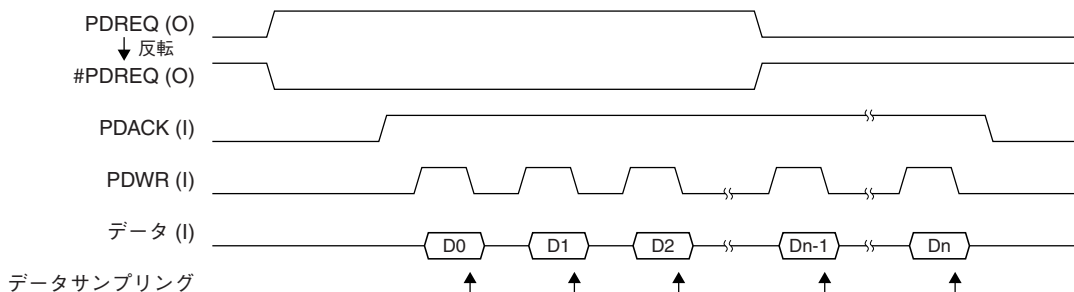
DMA_Config_1.DMA_RcvLimitModeビットに1をセットした場合は、RcvLimitモードになります。RcvLimitモードは、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQをネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQをネゲートします。ただし、PDREQネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQネゲート後に受け取れるデータは、16バイトまでとなります。

本モードでは、エンドポイントが完全にフルになる前にPDREQをネゲートします。もし、EP{a,b,c,d}StartAdrsレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAdrsレジスタで設定してください。



図IX.1.4.3.2 RcvLimitモードでの非同期マルチワードDMA転送(書き込み)

2) 読み出し動作説明

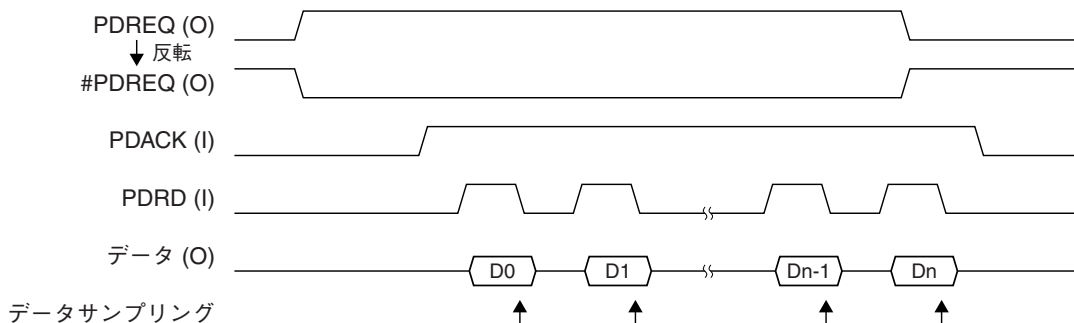
ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = 0
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。PDACKがアクティブになると転送データをデータバスに出力します。HSDMA(マスタ)は、PDRDの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込んでください。エンドポイントにデータがなくなると、HSDMA(マスタ)に対しPDREQをネゲートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQをネゲートし、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間、PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに1をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにHSDMA(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図IX.1.4.3.3 非同期マルチワードDMA転送(読み出し)

非同期シングルワードDMA転送モード(スレーブ)

1) 書き込み動作説明

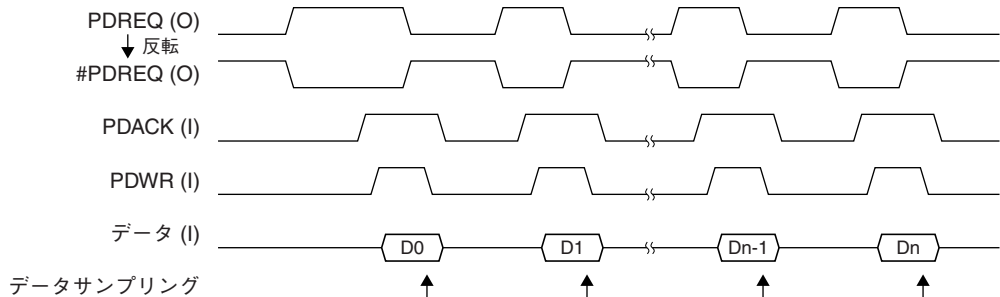
ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = 1
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。PDWRの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込み、エンドポイントに書き込みます。本モードは、1バイトのデータを転送すると(PDWRがアクティブになると)一旦PDREQをネゲートします。その時点でまだエンドポイントに空き領域があれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。エンドポイントの空き領域がない場合は、PDREQをアサートせずにデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQをネゲートした後、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに1をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにHSDMA(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図IX.1.4.3.4 非同期シングルワードDMA転送(書き込み)

2) 読み出し動作説明

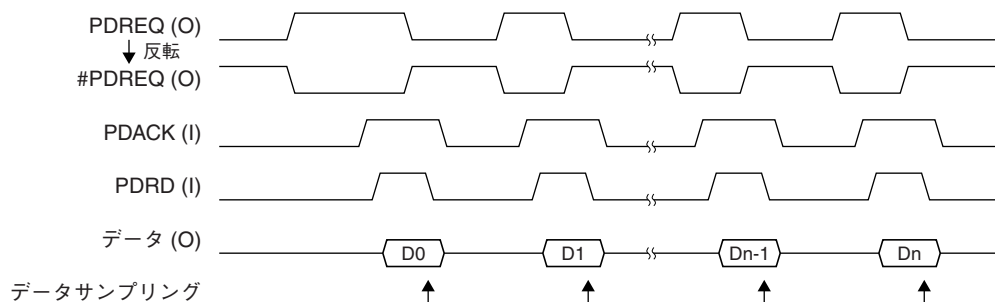
ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = 1
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに1が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。PDACKがアクティブになるとデータバスに転送データを出力します。HSDMA(マスタ)は、PDRDの立ち上がり(DMA_Config_0.PDRDWR_Levelビットが1の場合)のタイミングで、データを取り込んでください。本モードは、1バイトのデータを転送すると(PDRDがアクティブになると)一旦PDREQをネゲートします。そのとき時点でまだエンドポイントにデータが存在すれば、HSDMA(マスタ)に対しPDREQをアサートしてデータ転送を要求します。エンドポイントにデータがない場合は、PDREQをアサートせずにデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQをネゲートした後、 $130\text{ns} \times N$ ($N = \text{DMA\_Latency.DMA\_Latency}[3:0]$)の期間PDREQをアサートしません。

DMA_Config_1.CountMode = 1によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに1をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにHSDMA(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



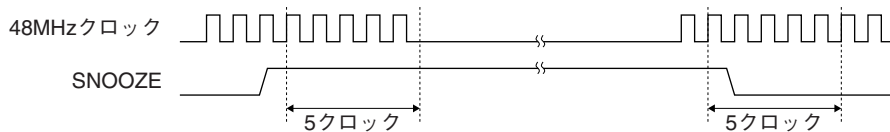
図IX.1.4.3.5 非同期シングルワードDMA転送(読み出し)

IX.1.4.4 スヌーズ

本コントローラは、USBを使用しない場合の消費電流を低減させるためのスヌーズ機能を持っています。USBSNZ(D5/0x300012)への1書き込みによってSNOOZE信号がアサートされると、以下のシーケンスが実行され、48MHzクロックの5クロック後にクロック入力を停止可能な状態になります。

- USB差動コンパレータをディセーブルにします。
- SIE_IntStatレジスタのVBUS_ChangedおよびNonJビットへの非同期アクセスを許可します(USBインタフェース入力をモニタ可能)
- 同期レジスタへのリード/ライトをマスク
- 同期割り込みをマスク

SNOOZE信号がネゲートされると、本コントローラは48MHzクロックの5クロック後(このとき、発振が安定している必要があります)に動作を再開します。



図IX.1.4.4.1 スヌーズシーケンス

スヌーズモードの設定と解除は以下の手順で行ってください。

スヌーズ設定

- (1) Misc Protect Register(0x300020)に0x96を書き込み、Miscレジスタの書き込み保護を解除します。
- (2) USB Wait Control RegisterのUSBSNZ(D5/0x300012)を1に設定し、スヌーズ制御を有効にします。
- (3) Misc Protect Register(0x300020)に0x96以外を書き込み、Miscレジスタの書き込み保護を設定します。
- (4) Clock Control Protect Register(0x301B24)に0x96を書き込み、CMUレジスタの書き込み保護を解除します。
- (5) Gated Clock Control Register 0のUSB_CKE(D8/0x301B00)を0に設定し、USBクロックの供給を停止します。
- (6) Clock Control Protect Register(0x301B24)に0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。

スヌーズ解除

- (1) Clock Control Protect Register(0x301B24)に0x96を書き込み、CMUレジスタの書き込み保護を解除します。
- (2) Gated Clock Control Register 0のUSB_CKE(D8/0x301B00)を1に設定し、USBクロックの供給を開始します。
- (3) Clock Control Protect Register(0x301B24)に0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。
- (4) Misc Protect Register(0x300020)に0x96を書き込み、Miscレジスタの書き込み保護を解除します。
- (5) USB Wait Control RegisterのUSBSNZ(D5/0x300012)を0に設定し、スヌーズ制御を無効にします。
- (6) Misc Protect Register(0x300020)に0x96以外を書き込み、Miscレジスタの書き込み保護を設定します。

IX.1.5 レジスタ

IX.1.5.1 レジスタ一覧

• *Italic & bold*書体で記述されているビットはSNOOZE/SLEEP時も読み書き可能です。

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
300900	MainIntStat	R/(W)	0x00	<i>SIE_IntStat</i>	EPrintStat	DMA_IntStat	FIFO_IntStat			EP0IntStat	RcvEP0SETUP
300901	SIE_IntStat	R/(W)	0x00	<i>VBUS_Changed</i>	<i>NonJ</i>	DetectReset	DetectSuspend	RcvSOF	DetectJ		SetAddressCmp
300902	EPrintStat	R	0x00					EPdIntStat	EPcIntStat	EPbIntStat	EPaIntStat
300903	DMA_IntStat	R/(W)	0x00							DMA_CountUp	DMA_Cmp
300904	FIFO_IntStat	R/(W)	0x00	DescriptorCmp						FIFO_IN_Cmp	FIFO_OUT_Cmp
300905											
300906											
300907	EP0IntStat	R/(W)	0x00			IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
300908	EPaIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
300909	EPbIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
30090A	EPcIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
30090B	EPdIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
30090C											
30090D											
30090E											
30090F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
300910	MainIntEnb	R/W	0x00	<i>EnSIE_IntStat</i>	EnEPrintStat	EnDMA_IntStat	EnFIFO_IntStat			EnEP0IntStat	EnRcvEP0SETUP
300911	SIE_IntEnb	R/W	0x00	<i>EnVBUS_Changed</i>	<i>EnNonJ</i>	EnDetectReset	EnDetectSuspend	EnRcvSOF	EnDetectJ		EnSetAddressCmp
300912	EPrintEnb	R/W	0x00					EnEPdIntStat	EnEPcIntStat	EnEPbIntStat	EnEPaIntStat
300913	DMA_IntEnb	R/W	0x00							EnDMA_CountUp	EnDMA_Cmp
300914	FIFO_IntEnb	R/W	0x00	EnDescriptorCmp						EnFIFO_IN_Cmp	EnFIFO_OUT_Cmp
300915											
300916											
300917	EP0IntEnb	R/W	0x00			EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
300918	EPaIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
300919	EPbIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
30091A	EPcIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
30091B	EPdIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
30091C											
30091D											
30091E											
30091F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
300920	RevisionNum	R	0x12	Revision Number[7:0]								
300921	USB_Control	R/W	0x00	DisBusDetect	EnAutoNego	InSUSPEND	StarDetectJ	SendWakeup			ActiveUSB	
300922	USB_Status	R	0xFF	VBUS	1(FS)					LineState[1:0]		
300923	XcvtControl	R/W	0x01	RpuEnb						OpMode[1:0]		
300924	USB_Test	R/W	0x00	EnUSB_Test				Test_SE0_NAK	Test_J	Test_K	Test_Packet	
300925	EPnControl	W	0x00	AllForceNAK	EPrForceSTALL	AllFIFO_Clr					EPOFIFO_Clr	
300926	EPrFIFO_Clr	W	0x00					EPdFIFO_Clr	EPcFIFO_Clr	EPbFIFO_Clr	EPaFIFO_Clr	
300927												
300928												
300929												
30092A												
30092B												
30092C												
30092D												
30092E	FrameNumber_H	R	0x80	FnInvalid						FrameNumber[10:8]		
30092F	FrameNumber_L	R	0x00				FrameNumber[7:0]					

IX 周辺モジュール7(USB): USBファンクションコントローラ(USB)

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
300930	EP0Setup_0	R	0x00								
300931	EP0Setup_1	R	0x00								
300932	EP0Setup_2	R	0x00								
300933	EP0Setup_3	R	0x00								
300934	EP0Setup_4	R	0x00								
300935	EP0Setup_5	R	0x00								
300936	EP0Setup_6	R	0x00								
300937	EP0Setup_7	R	0x00								
300938	USB_Address	R/W	0x00	AutoSetAddress	USB_Address[6:0]						
300939	EP0Control	R/W	0x00	INxOUT							ReplyDescriptor
30093A	EP0ControlIN	R/W	0x00		EnShortPkt		ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
30093B	EP0ControlOUT	R/W	0x00	AutoForceNAK			ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
30093C											
30093D											
30093E											
30093F	EP0MaxSize	R/W	0x08		EP0MaxSize[6:3]						

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
300940	EPaControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
300941	EPbControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
300942	EPcControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
300943	EPdControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
300944											
300945											
300946											
300947											
300948											
300949											
30094A											
30094B											
30094C											
30094D											
30094E											
30094F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
300950	EPaMaxSize_H	R/W	0x00							EPaMaxSize[9:8]		
300951	EPaMaxSize_L	R/W	0x00	EPaMaxSize[7:0]								
300952	EPaConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]				
300953	EPaConfig_1	R/W	0x00	ISO	ISO_CRCmode							
300954	EPbMaxSize_H	R/W	0x00							EPbMaxSize[9:8]		
300955	EPbMaxSize_L	R/W	0x00	EPbMaxSize[7:0]								
300956	EPbConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]				
300957	EPbConfig_1	R/W	0x00	ISO	ISO_CRCmode							
300958	EPcMaxSize_H	R/W	0x00							EPcMaxSize[9:8]		
300959	EPcMaxSize_L	R/W	0x00	EPcMaxSize[7:0]								
30095A	EPcConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]				
30095B	EPcConfig_1	R/W	0x00	ISO	ISO_CRCmode							
30095C	EPdMaxSize_H	R/W	0x00							EPdMaxSize[9:8]		
30095D	EPdMaxSize_L	R/W	0x00	EPdMaxSize[7:0]								
30095E	EPdConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]				
30095F	EPdConfig_1	R/W	0x00	ISO	ISO_CRCmode							

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
300970	EPaStartAdrs_H	R/W	0x00						EPaStartAdrs[11:8]		
300971	EPaStartAdrs_L	R/W	0x00					EPaStartAdrs[7:2]			
300972	EPbStartAdrs_H	R/W	0x00						EPbStartAdrs[11:8]		
300973	EPbStartAdrs_L	R/W	0x00					EPbStartAdrs[7:2]			
300974	EPcStartAdrs_H	R/W	0x00						EPcStartAdrs[11:8]		
300975	EPcStartAdrs_L	R/W	0x00					EPcStartAdrs[7:2]			
300976	EPdStartAdrs_H	R/W	0x00						EPdStartAdrs[11:8]		
300977	EPdStartAdrs_L	R/W	0x00					EPdStartAdrs[7:2]			
300978											
300979											
30097A											
30097B											
30097C											
30097D											
30097E											
30097F											

IX 周辺モジュール7(USB): USBファンクションコントローラ(USB)

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
300980	CPU_JoinRd	R/W	0x00					JoinEPdRd	JoinEPcRd	JoinEPbRd	JoinEPaRd	
300981	CPU_JoinWr	R/W	0x00					JoinEPdWr	JoinEPcWr	JoinEPbWr	JoinEPaWr	
300982	EnEPnFIFO_Access	R/W	0x00							EnEPnFIFO_Wr	EnEPnFIFO_Rd	
300983	EPnFIFOforCPU	R/W	0xXX	EPnFIFOData[7:0]								
300984	EPnRdRemain_H	R	0x00					EPnRdRemain[11:8]				
300985	EPnRdRemain_L	R	0x00					EPnRdRemain[7:0]				
300986	EPnWrRemain_H	R	0x00					EPnWrRemain[11:8]				
300987	EPnWrRemain_L	R	0x00					EPnWrRemain[7:0]				
300988	DescAdrs_H	R/W	0x00					DescAdrs[11:8]				
300989	DescAdrs_L	R/W	0x00	DescAdrs[7:0]								
30098A	DescSize_H	R/W	0x00							DescSize[9:8]		
30098B	DescSize_L	R/W	0x00	DescSize[7:0]								
30098C												
30098D												
30098E												
30098F	DescDoor	R/W	0x00	DescMode[7:0]								

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0	
300990	DMA_FIFO_Control	R/W	0x00	FIFO_Running	AutoEnShort							
300991	DMA_Join	R/W	0x00					JoinEPdDMA	JoinEPcDMA	JoinEPbDMA	JoinEPaDMA	
300992	DMA_Control	R/W	0x00	DMA_Running	PDREQ	PDACK		CounterClr		DMA_Stop	DMA_Go	
300993												
300994	DMA_Config_0	R/W	0x00	ActivePort				PDREQ_Level	PDACK_Level	PDRDWR_Level		
300995	DMA_Config_1	R/W	0x00	RcvLimitMode				SingleWord			CountMode	
300996												
300997	DMA_Latency	R/W	0x00					DMA_Latency[3:0]				
300998	DMA_Remain_H	R	0x00					DMA_Remain[11:8]				
300999	DMA_Remain_L	R	0x00	DMA_Remain[7:0]								
30099A												
30099B												
30099C	DMA_Count_HH	R/W	0x00	DMA_Count[31:24]								
30099D	DMA_Count_HL	R/W	0x00	DMA_Count[23:16]								
30099E	DMA_Count_LH	R/W	0x00	DMA_Count[15:8]								
30099F	DMA_Count_LL	R/W	0x00	DMA_Count[7:0]								

IX.1.5.2 レジスタ詳細説明

0x300900: MainIntStat (Main Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
MainIntStat (Main interrupt status)	00300900 (B)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	
		D6	EPIntStat	1	EP interrupts	0	None	0	R	
		D5	DMA_IntStat	1	DMA interrupts	0	None	0	R	
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R	
		D3–2	–		–		–	–	0 when being read.	
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R	
		D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	

本コントローラの割り込み要因を表示します。このレジスタには割り込み要因を間接的に参照するビットと直接参照するビットがあります。

割り込み要因を間接参照するビットは、それぞれに対応する割り込みステータスレジスタを読み出すことにより、割り込み要因を直接参照するビットまでたどることができます。割り込み要因を間接参照するビットはリードオンリーで、大元の割り込み要因を直接参照するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接参照するビットは、書き込みが可能であり、該当ビットに1をセットすることにより、割り込み要因をクリアすることができます。MainIntEnbレジスタにより、対応するビットの割り込みが許可されている場合は、割り込み要因が1にセットされると#INT信号がアサートされ、CPUに対して割り込みが発生します。該当する割り込み要因がすべてクリアされると、#INT端子がネゲートされます。

D7 SIE_IntStat

割り込み要因の状態を間接的に示します。

SIE_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するSIE_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。このビットは、スヌーズ中でも読み出し可能です。

D6 EPIntStat

割り込み要因の状態を間接的に示します。

EPIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPIntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D5 DMA_IntStat

割り込み要因の状態を間接的に示します。

DMA_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するDMA_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D4 FIFO_IntStat

割り込み要因の状態を間接的に示します。

FIFO_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するFIFO_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D[3:2] Reserved**D1 EP0IntStat**

割り込み要因の状態を間接的に示します。

EP0IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEP0IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D0 RcvEP0SETUP

割り込み要因の状態を直接示します。

セットアップステージが終了し、受信したデータがEP0Setup_0~EP0Setup_7レジスタに格納されると、1にセットされます。同時にEP0ControlIN、EP0ControlOUTレジスタのForceSTALLビットが0に、ForceNAKビットとToggleStatビットが1に、自動的に設定されます。

0x300901: SIE_IntStat (SIE Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
SIE_IntStat (SIE interrupt status)	00300901 (B)	D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)	
		D6	NonJ	1	Detect non J state	0	None	0	R(W)	
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)	
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)	
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)	
		D2	DetectJ	1	Detect J state	0	None	0	R(W)	
		D1	—	—				—	—	0 when being read.
		D0	SetAddressCmp	1	AutoSetAddress complete	0	None	0	R(W)	

SIE関連の割り込みを表示します。

D7 VBUS_Changed

割り込み要因の状態を直接示します。

VBUS端子の状態が変化したときに1にセットされます。

USB_StatusレジスタのVBUSビットによってVBUSの状態を確認してください。VBUSが0であれば、ケーブルが抜かれたことを示します。このビットはスヌーズ中も有効です。

D6 NonJ

割り込み要因の状態を直接示します。

USBバス上でJステート以外の状態を検出すると1にセットされます。このビットは、USB_ControlレジスタのInSUSPENDビットが1にセットされているときに有効です。

D5 DetectReset

割り込み要因の状態を直接示します。

USBのリセットステートを検出すると1にセットされます。このリセット検出は、USB_ControlレジスタのActiveUSBビットが1にセットされているときに有効です。

オートネゴシエーション機能を使用しない場合には、このビットが1にセットされた場合、継続するリセットを誤検出しないよう、USB_ControlレジスタのDisBusDetectビットを1にセットしてUSBのリセット/サスペンドステートの検出を無効にしてください。リセットに対する処理終了後にDisBusDetectビットを0にクリアしてUSBのリセット/サスペンドステートの検出を有効にしてください。

オートネゴシエーション機能については、USB_ControlレジスタのEnAutoNegoビットの説明を参照してください。

D4 DetectSuspend

割り込み要因の状態を直接示します。

USBのサスペンドステートを検出すると1にセットされます。

USBサスペンドステートの検出後は、USB Wait Control Register(0x300012)のUSBSNZビットを1にセットすることにより、本コントローラをスヌーズモード(内蔵PLLを停止)にすることができます。

D3 RcvSOF

割り込み要因の状態を直接示します。

SOFトークンを受信すると1にセットされます。

D2 DetectJ

割り込み要因の状態を直接示します。

Jステートを検出すると1にセットされます。

D1 Reserved**D0 SetAddressCmp**

割り込み要因の状態を直接示します。

AutoSetAddress機能(USB_Addressレジスタ)が正常終了したときに1にセットされます。AutoSetAddress機能が正常終了するのは、INトランザクションにACK応答した場合です。

0x300902: EPrintStat (EPr Interrupt Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPrintStat (EPr interrupt status)	00300902 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPdIntStat	1	EPd interrupt	0	None	0	R
		D2	EPcIntStat	1	EPc interrupt	0	None	0	R
		D1	EPbIntStat	1	EPb interrupt	0	None	0	R
		D0	EPaIntStat	1	EPa interrupt	0	None	0	R

D[7:4] Reserved**D3 EPdIntStat**

割り込み要因の状態を間接的に示します。

EPdIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPdIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D2 EPcIntStat

割り込み要因の状態を間接的に示します。

EPcIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPcIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D1 EPbIntStat

割り込み要因の状態を間接的に示します。

EPbIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPbIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D0 EPaIntStat

割り込み要因の状態を間接的に示します。

EPaIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPaIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

0x300903: DMA_IntStat (DMA Interrupt Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
DMA_IntStat (DMA interrupt status)	00300903 (B)	D7-2	—	—			—	—	0 when being read.
		D1	DMA_CountUp	1	DMA counter overflow	0	None	0	R(W)
		D0	DMA_Cmp	1	DMA complete	0	None	0	R(W)

DMA割り込みの状態を示します。

D[7:2] Reserved

D1 DMA_CountUp

割り込み要因の状態を直接示します。

DMAがフリーランモードで動作中にDMA_Count_HH、HL、LH、LLがオーバーフローすると1にセットされます。その後、DMA_Count_HH、HL、LH、LLは0に戻り、DMA動作も続きます。

D0 DMA_Cmp

割り込み要因の状態を直接示します。

DMAが停止した場合、あるいは指定数の転送が終了し、処理が完了した場合に1にセットされます。

0x300904: FIFO_IntStat (FIFO Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
FIFO_IntStat (FIFO interrupt status)	00300904 (B)	D7	DescriptorCmp	1	Descriptor complete	0	None	
		D6-2	—		—	—	—	0 when being read.
		D1	FIFO_IN_Cmp	1	IN FIFO Complete	0	None	
		D0	FIFO_OUT_Cmp	1	OUT FIFO complete	0	None	

FIFO割り込みの状態を示します。

D7 DescriptorCmp

割り込み要因の状態を直接示します。

デスクリプタ返信機能において、DescSizeレジスタの設定数のデータを返信し終わると1にセットされます。

また、DescSizeレジスタの設定数までデータを送信する前にステータスステージへ移行(OUTトークンを受信)した場合には、EP0IntStatレジスタのOUT_TrnNAKビットと共に1にセットされます。

D[6:2] Reserved**D1 FIFO_IN_Cmp**

割り込み要因の状態を直接示します。

DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがIN方向の場合、DMA転送が終了した後にFIFOが空になると1にセットされます。

D0 FIFO_OUT_Cmp

割り込み要因の状態を直接示します。

DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがOUT方向の場合、DMA転送が終了すると1にセットされます。

0x300907: EP0IntStat (EP0 Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EP0IntStat (EP0 interrupt status)	00300907 (B)	D7-6	—	—		—	—	0 when being read.
		D5	IN_TrانACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TrانACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TrانNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TrانNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TrانErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TrانErr	1	Out transaction error	0	None	0 R(W)

エンドポイントEP0の割り込みステータスを表示します。

D[7:6] Reserved**D5 IN_TrانACK**

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因の状態を直接示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TrانNAK

割り込み要因の状態を直接示します。

OUTトランザクションに対してNAKを返信したとき、1にセットされます。

D1 IN_TrانErr

割り込み要因の状態を直接示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TrانErr

割り込み要因の状態を直接示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x300908: EPaintStat (EPa Interrupt Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPaintStat (EPa interrupt status)	00300908 (B)	D7	—	—			—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)
		D5	IN_TrانACK	1	In transaction ACK	0	None	0	R(W)
		D4	OUT_TrانACK	1	Out transaction ACK	0	None	0	R(W)
		D3	IN_TrانNAK	1	In transaction NAK	0	None	0	R(W)
		D2	OUT_TrانNAK	1	Out transaction NAK	0	None	0	R(W)
		D1	IN_TrانErr	1	In transaction error	0	None	0	R(W)
		D0	OUT_TrانErr	1	Out transaction error	0	None	0	R(W)

エンドポイントEPaの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TrانACKと同時に1にセットされます。

D5 IN_TrانACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TrانNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TrانErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TrانErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x300909: EPbIntStat (EPb Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPbIntStat (EPb interrupt status)	00300909 (B)	D7	—	—		—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)

エンドポイントEPbの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x30090A: EPcIntStat (EPc Interrupt Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPcIntStat (EPc interrupt status)	0030090A (B)	D7	—	—			—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)
		D5	IN_TrانACK	1	In transaction ACK	0	None	0	R(W)
		D4	OUT_TrانACK	1	Out transaction ACK	0	None	0	R(W)
		D3	IN_TrانNAK	1	In transaction NAK	0	None	0	R(W)
		D2	OUT_TrانNAK	1	Out transaction NAK	0	None	0	R(W)
		D1	IN_TrانErr	1	In transaction error	0	None	0	R(W)
		D0	OUT_TrانErr	1	Out transaction error	0	None	0	R(W)

エンドポイントEPcの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TrانACKと同時に1にセットされます。

D5 IN_TrانACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TrانNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TrانNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TrانErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TrانErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x30090B: EPdIntStat (EPd Interrupt Status)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPdIntStat (EPd interrupt status)	0030090B (B)	D7	—	—		—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0 R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0 R(W)

エンドポイントEPdの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x300910: MainIntEnb (Main Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntEnb (Main interrupt enable)	00300910 (B)	D7	EnSIE_IntStat	1	Enabled	0	Disabled	0	R/W	
		D6	EnEPrintStat					0	R/W	
		D5	EnDMA_IntStat					0	R/W	
		D4	EnFIFO_IntStat					0	R/W	
		D3–2	—	—				—	—	0 when being read.
		D1	EnEP0IntStat	1	Enabled	0	Disabled	0	R/W	
		D0	EnRcvEP0SETUP					0	R/W	

MainIntStatレジスタの割り込み要因による割り込み信号(#INT)のアサートを許可/禁止するレジスタです。対応するビットを1にセットすることで割り込みを許可します。

EnSIE_IntStatビットはスヌーズ中も有効です。

0x300911: SIE_IntEnb (SIE Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
SIE_IntEnb (SIE interrupt enable)	00300911 (B)	D7	EnVBUS_Changed	1	Enabled	0	Disabled	0	R/W	
		D6	EnNonJ					0	R/W	
		D5	EnDetectReset					0	R/W	
		D4	EnDetectSuspend					0	R/W	
		D3	EnRcvSOF					0	R/W	
		D2	EnDetectJ					0	R/W	
		D1	—	—				—	—	0 when being read.
		D0	EnSetAddressCmp	1	Enabled	0	Disabled	0	R/W	

SIE_IntStatレジスタの割り込み要因による、MainIntStatレジスタのSIE_IntStatビットのアサートを許可/禁止します。EnVBUS_ChangedおよびEnNonJビットはスヌーズ中も有効です。

0x300912: EPrIntEnb (EPr Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks	
EPrIntEnb (EPr interrupt enable)	00300912 (B)	D7-4	—	—		—	—	0 when being read.	
		D3	EnEPdIntStat	1	Enabled	0	Disabled	0	R/W
		D2	EnEPcIntStat					0	R/W
		D1	EnEPbIntStat					0	R/W
		D0	EnEPaIntStat					0	R/W

EPrIntStatレジスタの割り込み要因による、MainIntStatレジスタのEPrIntStatビットのアサートを許可/禁止します。

0x300913: DMA_IntEnb (DMA Interrupt Enable)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_IntEnb (DMA interrupt enable)	00300913 (B)	D7-2	—	—	—	—	0 when being read.
		D1	EnDMA_CountUp	1 Enabled	0 Disabled	0 R/W	
		D0	EnDMA_Cmp			0 R/W	

DMA_IntStatレジスタの割り込み要因による、MainIntStatレジスタのDMA_IntStatビットのアサートを許可/禁止します。

0x300914: FIFO_IntEnb (FIFO Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
FIFO_IntEnb	00300914	D7	EnDescriptorCmp	1	Enabled	0	Disabled	0	R/W	
(FIFO interrupt enable)	(B)	D6-2	–				–	–	–	0 when being read.
		D1	EnFIFO_IN_Cmp	1	Enabled	0	Disabled	0	R/W	
		D0	EnFIFO_OUT_Cmp					0	R/W	

FIFO_IntStatレジスタの割り込み要因による、MainIntStatレジスタのFIFO_IntStatビットのアサートを許可/禁止します。

0x300917: EP0IntEnb (EP0 Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0IntEnb (EP0 interrupt enable)	00300917 (B)	D7-6	—	—				—	—	0 when being read.
		D5	EnIN_TranACK	1	Enabled	0	Disabled	0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	

EP0IntStatレジスタの割り込み要因による、MainIntStatレジスタのEP0IntStatビットのアサートを許可/禁止します。

0x300918: EPaIntEnb (EPa Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPaIntEnb (EPa interrupt enable)	00300918 (B)	D7	—	—		—	—	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPaIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPaIntStatビットのアサートを許可/禁止します。

0x300919: EPbIntEnb (EPb Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
EPbIntEnb	00300919	D7	–	–		–	–	0 when being read.		
(EPb interrupt enable)	(B)	D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	

EPbIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPbIntStatビットのアサートを許可/禁止します。

0x30091A: EPcIntEnb (EPc Interrupt Enable)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPcIntEnb (EPc interrupt enable)	0030091A (B)	D7	—	—		—	—	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPcIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPcIntStatビットのアサートを許可/禁止します。

0x30091B: EPdIntEnb (EPd Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdIntEnb (EPd interrupt enable)	0030091B (B)	D7	–	–				–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	

EPdIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPdIntStatビットのアサートを許可/禁止します。

0x300920: RevisionNum (Revision Number)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
RevisionNum (Revision number)	00300920 (B)	D7	RevisionNum[7]	Revision number (0x12)	0	R	
		D6	RevisionNum[6]		0		
		D5	RevisionNum[5]		0		
		D4	RevisionNum[4]		1		
		D3	RevisionNum[3]		0		
		D2	RevisionNum[2]		0		
		D1	RevisionNum[1]		1		
		D0	RevisionNum[0]		0		

本コントローラの改訂番号を示します。このレジスタはスヌーズ中でも有効です。

0x300921: USB_Control (USB Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
USB_Control (USB control register)	00300921 (B)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W	
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W	
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W	
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W	
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W	
		D2-1	—	—				—	—	0 when being read.
		D0	ActiveUSB	1	Activate USB	0	Disactivate USB	0	R/W	

USBに関する動作設定を行います。

D7 DisBusDetect

このビットを1にセットすると、USBのリセット/サスペンドステートの自動検出を無効にします。このビットが0にクリアされている場合、リセット/サスペンドステートの検出のため、USBバス上の動きを監視します。

バスアクティビティが3msの期間検出されないとサスペンドステートと判定し、また、2.5μs以上の“SEO”を検出するとリセットと判断し、該当する割り込み要因(DetectSuspend、DetectReset)をセットします。

DetectReset、DetectSuspendのビットが1にセットされた場合は、DisBusDetectビットを1にセットしてリセット/サスペンドステートが継続している間、検出を無効にしてください。

オートネゴシエーション機能を使用する場合は、このビットに1をセットしないでください。

D6 EnAutoNego

オートネゴシエーション機能を有効にします。オートネゴシエーション機能は、リセット検出時に、スピードネゴシエーションが終了してスピードモードが決定するまでのシーケンスを自動化します。オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D5 InSUSPEND

オートネゴシエーション機能使用時に、USBサスペンドステートを検出すると自動的に1にセットされNonJステートの検出機能を有効にします。サスペンドステートから復帰する場合には、このビットを0にクリアしてください。

NonJステートはこのビットがセットされている場合にのみ検出可能です。USBサスペンドステートでスヌーズ機能を使用しない場合はこのビットをセットしてください。

オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D4 StartDetectJ

Jステートの検出機能を有効にします。このビットがセットされた後にJステートが検出され、かつEnDetectJビットがセットされている場合、DetectJ割り込み要因ステータスがセットされます。

D3 SendWakeup

このビットを1にセットすると、USBポートにリモートウェイクアップ信号(K)を出力します。リモートウェイクアップ信号の送出開始から1ms～15msの時間内にこのビットを0にクリアして送出を停止してください。

D[2:1] Reserved**D0 ActiveUSB**

本コントローラでは、このビットがハードリセット後0にクリアされているため、USBの全機能を停止しています。本コントローラの設定終了後に、本ビットを1にセットすることで、USBコントローラとしての動作が可能となります。

0x300922: USB_Status (USB Status)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
USB_Status (USB status register)	00300922 (B)	D7	VBUS	1	VBUS=High	0	VBUS=Low	X	R	
		D6	FS	1	FS mode (fixed)	0	—	1	R	
		D5–2	—	—			—	—	—	0 when being read.
		D1	LineState[1]	LineState[1:0]		DP/DM		X	R	
		D0	LineState[0]	1	1	SE1		X		
				1	0	K				
		0	1	J						
				0	0	SE0				

USBに関するステータスを表示します。
このレジスタはスヌーズ中でも有効です。

D7 VBUS

USBVBUS端子の状態を示します。

D6 FS

本コントローラはFSモード固定のため、常に1が返ります。

D[5:2] Reserved**D[1:0] LineState[1:0]**

USBケーブル上の信号状態(DP/DMのFSレシーバの受信値)を示します。

LineState

LineState[1]	LineState[0]	DP/DM
1	1	SE1
1	0	K
0	1	J
0	0	SE0

0x300923: XcvrControl (Xcvr Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks		
XcvrControl (Xcvr control register)	00300923 (B)	D7	RpuEnb	1	Enable pull-up		0	Disable pull-up		0	R/W	
		D6–2	–	–				–	–	0 when being read.		
		D1	OpMode[1]	OpMode[1:0]		Operation mode			0	R/W		
		D0	OpMode[0]						1			
				1	1	reserved						
				1	0	Disable bitstuffing and NRZI encoding						
		0	1	Non-driving								
				0	0	Normal operation						

トランシーバーマクロの動作に関する設定を行います。

D7 RpuEnb
D+ラインのプルアップを有効にします。

D[6:2] Reserved

D[1:0] OpMode
トランシーバーマクロの動作モードを設定します。
USBケーブルが抜かれているとき(※)、またはテストモード時以外に、通常は設定する必要はありません。

OpMode

OpMode[1]	OpMode[0]	動作モード
1	1	Reserved
1	0	ビットスタッフィングと NRZIエンコード無効
0	1	駆動停止
0	0	通常動作

※USBケーブルが抜けているときには、このレジスタを0x01にセットすることを推奨します。

0x300924: USB_Test (USB Test)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
USB_Test (USB test)	00300924 (B)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W	0 when being read.
		D6-4	—	—	—	—	—	—	—	
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W	
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W	
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W	
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W	

テストモードの動作に関する設定を行います。SetFeatureリクエストで指定されたテストモードに対応するビットを設定し、ステータスステージ終了後にEnUSB_Testビットに1をセットして、USB規格で定義されたテストモードの動作を行うようにしてください。

D7 EnUSB_Test

本レジスタの下位4ビットのいずれか1つのビットに1が設定されている状態でこのビットに1をセットすると、下位4ビット中のセットされているビットに対応するテストモードに入ります。テストモードを行う際には、USB_ControlレジスタのDisBusDetectビットを1にしてUSBサスペンドとリセットの検出を行わないようにする必要があります。また、USB_ControlレジスタのEnAutoNegoビットを0にクリアして、オートネゴシエーション機能を無効にしてください。テストモードへの移行は、必ずSetFeatureリクエストにおけるステータスステージの終了後に行うようにしてください。

D[6:4] Reserved**D3 Test_SE0_NAK**

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_SE0_NAKテストモードに入ります。

D2 Test_J

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Jテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にセットする前に、XcvrControlレジスタの、OpModeを10(Disable Bitstuffing and NRZI encoding)にセットしてください。

D1 Test_K

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Kテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にする前に、XcvrControlレジスタの、OpModeを10(Disable Bitstuffing and NRZI encoding)にセットしてください。

D0 Test_Packet

- このビットを1に設定することにより、Test_Packetテストモードに入ります。
このテストモードはエンドポイントEPcを使用しますので、下記の設定を行ってください。
- (1) エンドポイントEPcのMaxPacketSizeを64以上、転送方向をINに設定し、EndPointNumberを0xFに設定して、使用可能としてください。また、エンドポイントEPcのFIFOを64バイト以上割り当ててください。
 - (2) エンドポイントEPaおよびEPbの設定が、上記EPcの設定と重複しないようにしてください。または、EPaConfig_0.EnEndpointビットおよびEPbConfig_0.EnEndpointビットをクリアしてください。
 - (3) EPcのFIFOをクリア後、下記のテストパケット用のデータをこのFIFOに書き込んでください。
 - (4) EPcIntEnbレジスタのEnIN_TranErrビットを0にクリアしてください。

テストパケットの送信完了ごとに、IN_TranErrステータスが1にセットされます。

パケット送信テストモード時にFIFOに書き込むデータは以下の53バイトです。

```
0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00,
0x00, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA,
0xAA, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE,
0xEE, 0xFE, 0xFF, 0xFF, 0xFF, 0xFF, 0xFF, 0xFF,
0xFF, 0xFF, 0xFF, 0xFF, 0xFF, 0x7F, 0xBF, 0xDF,
0xEF, 0xF7, 0xFB, 0xFD, 0xFC, 0x7E, 0xBF, 0xDF,
0xEF, 0xF7, 0xFB, 0xFD, 0x7E
```

テストパケット送出時に、SIEがPIDとCRCを付加しますので、FIFOに書き込むデータは、USB規格Rev.2.0に記載されているテストパケットデータのうち、DATA 0 PIDの次のデータからCRC16の前の部分のデータまでとなります(テストパケットはUSB規格のHSモード用に定義されています)。

0x300925: EPnControl (Endpoint Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPnControl (Endpoint control)	00300925 (B)	D7	AllForceNAK	1	Set all ForceNAK	0	Do nothing	0	0 when being read.
		D6	EPtForceSTALL	1	Set EP's ForceSTALL	0	Do nothing	0	
		D5	AllFIFO_Clr	1	Clear all FIFO	0	Do nothing	0	
		D4-1	—		—	—	—	—	
		D0	EP0FIFO_Clr	1	Clear EP0 FIFO	0	Do nothing	0	

エンドポイント全般の動作設定と表示を行います。

D7 AllForceNAK

すべてのエンドポイントのForceNAKビットを1にセットします。

D6 EPPrForceSTALL

エンドポイントEPa、EPb、EPc、EPdのForceSTALLビットを1にセットします。

D5 AllFIFO_Clr

すべてのエンドポイントのFIFOがクリアされます。各エンドポイントの領域設定を行ったときは、設定終了後に必ず一度このビットに1をセットして、すべてのエンドポイントのFIFOをクリアしてください。このビットは、FIFOクリア完了後自動的に0にクリアされます。

汎用ポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)に、このビットを1にセットしないでください。誤動作の原因となります。

D[4:1] Reserved**D0 EP0FIFO_Clr**

エンドポイントEP0のFIFOをクリアします。このビットは、FIFOクリア後、自動的に0にクリアされます。

0x300926: EPrFIFO_Clr (EPr FIFO Clear)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPrFIFO_Clr (EPr FIFO clear)	00300926 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPdFIFO_Clr	1	Clear EPd FIFO	0	Do nothing	0	W
		D2	EPcFIFO_Clr	1	Clear EPc FIFO	0	Do nothing	0	W
		D1	EPbFIFO_Clr	1	Clear EPb FIFO	0	Do nothing	0	W
		D0	EPaFIFO_Clr	1	Clear EPa FIFO	0	Do nothing	0	W

エンドポイントのFIFOをクリアします。

D[7:4] Reserved**D3 EPdFIFO_Clr**

エンドポイントEPdのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPdがポートに接続(DMA_JoinレジスタのJoinEPdDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D2 EPcFIFO_Clr

エンドポイントEPcのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPcがポートに接続(DMA_JoinレジスタのJoinEPcDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D1 EPbFIFO_Clr

エンドポイントEPbのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPbがポートに接続(DMA_JoinレジスタのJoinEPbDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

D0 EPaFIFO_Clr

エンドポイントEPaのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

エンドポイントEPaがポートに接続(DMA_JoinレジスタのJoinEPaDMAビットが1にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが1の間)は、このビットを1にセットしないでください。誤動作の原因となります。

0x30092E: FrameNumber_H (Frame Number HIGH)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
FrameNumber_H (Frame number high)	0030092E (B)	D7	FnInvalid	1	Invalid frame number	0	Valid frame number	1	R	
		D6-3	—	—		—	—	—	—	0 when being read.
		D2	FrameNumber[10]	Frame number high		0		0	R	
		D1	FrameNumber[9]			0		0		
		D0	FrameNumber[8]			0		0		

SOFトークンを受信するごとに更新される、USBのフレームナンバーを示します。フレームナンバーを取得する場合は、FrameNumber_HとFrameNumber_Lレジスタを対でアクセスする必要があります。その際にFrameNumber_Hレジスタを先にアクセスしてください。

D7 FnInvalid
受信したSOFパケットにエラーが発生したときに、このビットが1にセットされます。

D[6:3] Reserved

D[2:0] FrameNumber[10:8]
受信したSOFパケットのFrameNumberフィールドの上位3ビットのデータが入ります。

0x30092F: FrameNumber_L (Frame Number LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
FrameNumber_L (Frame number low)	0030092F (B)	D7	FrameNumber[7]	Frame number low	0	R	
		D6	FrameNumber[6]		0		
		D5	FrameNumber[5]		0		
		D4	FrameNumber[4]		0		
		D3	FrameNumber[3]		0		
		D2	FrameNumber[2]		0		
		D1	FrameNumber[1]		0		
		D0	FrameNumber[0]		0		

D[7:0] FrameNumber[7:0]

受信したSOFパケットのFrameNumberフィールドの下位8ビットのデータが入ります。

0x300930–0x300937: EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0Setup_0 (EP0 set-up 0)	I	D7	EP0Setup_n[7]	Endpoint 0 set-up data 0	0	R	
		D6	EP0Setup_n[6]	I	0		
EP0Setup_7 (EP0 set-up 7)	B	D5	EP0Setup_n[5]	Endpoint 0 set-up data 7	0		
		D4	EP0Setup_n[4]		0		
		D3	EP0Setup_n[3]		0		
		D2	EP0Setup_n[2]		0		
		D1	EP0Setup_n[1]		0		
		D0	EP0Setup_n[0]		0		

エンドポイントEP0のセットアップステージで受信した8バイトのデータが、EP0Setup_0から順に格納されます。

0x1000030: EP0Setup_0

BmRequestTypeがセットされます。

0x1000031: EP0Setup_1

BRequestがセットされます。

0x1000032: EP0Setup_2

Wvalueの下位8ビットがセットされます。

0x1000033: EP0Setup_3

Wvalueの上位8ビットがセットされます。

0x1000034: EP0Setup_4

WIndexの下位8ビットがセットされます。

0x1000035: EP0Setup_5

WIndexの上位8ビットがセットされます。

0x1000036: EP0Setup_6

WLengthの下位8ビットがセットされます。

0x1000037: EP0Setup_7

WLengthの上位8ビットがセットされます。

0x300938: USB_Address (USB Address)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
USB_Address (USB address)	00300938 (B)	D7	AutoSetAddress	1	Auto set address	0	Do nothing	0	R/W	
		D6	USB_Address[6]	USB address				0	R/W	
		D5	USB_Address[5]					0		
		D4	USB_Address[4]					0		
		D3	USB_Address[3]					0		
		D2	USB_Address[2]					0		
		D1	USB_Address[1]					0		
		D0	USB_Address[0]					0		

USBアドレスを設定します。

D7 AutoSetAddress

USBアドレスを自動的に設定します。SetAddressリクエストを受信し、ステータスステージを実行する前にこのビットを1にセットすると、ステータスステージの完了時にSetAddressリクエストによって受信したアドレスをUSB_Addressレジスタに書き込みます。
この機能を用いたSetAddressリクエストの処理手順は次のようになります。

(1) SetAddressリクエストのSETUPトランザクションが完了します。

MainIntStatレジスタのRcvEP0SETUPビットに1がセットされます。EP0Setup_0-7レジスタを読んで、リクエストを解釈してください。

(2) AutoSetAddressビットをセットします。

(3) EP0ControlレジスタのINxOUTビットをセットします。

(4) EP0ControlINレジスタのForceNAKビットをクリアし、EnShortPktビットをセットします。

(5) ステータスステージの終了を待ちます。

SIE_IntStatレジスタのSetAddressCmpビットに1がセットされます。

D[6:0] USB_Address

USBアドレスを設定します。

AutoSetAddress機能によって自動的に書き込まれます。また、書き込みも可能です。

0x300939: EP0Control (EP0 Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0Control (EP0 control)	00300939 (B)	D7	INxOUT	1	IN	0	OUT	0	R/W	0 when being read
		D6-1	—	—				—	—	
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0	W	

エンドポイントEP0の設定を行います。

D7 INxOUT

エンドポイントEP0の転送方向を設定します。

セットアップステージで受信したリクエストを判断して、このビットを設定してください。データステージがある場合は、このビットにデータステージにおける転送方向をセットしてください。セットアップステージが完了することにより、EP0ControlINおよびEP0ControlOUTレジスタのForceNAKビットがセットされるので、データステージおよびステータスステージの実行時にクリアしてください。

データステージが終了したら、ステータスステージの方向に合わせて、このビットを設定し直してください。データステージの転送方向がINの場合は、ステータスステージはOUT方向となりますので、このビットに0を設定してください。また、データステージの転送方向がOUT、またはデータステージがない場合は、ステータスステージはIN方向となりますので、エンドポイントEP0のFIFOをクリアして、このビットに1を設定してください。

このビットの設定値と異なる方向のINまたはOUTトランザクションに対しては、NAK応答します。ただし、そのトランザクション方向に対応するEP0ControlINまたはEP0ControlOUTレジスタのForceSTALLビットがセットされているとSTALL応答します。

D[6:1] Reserved**D0 ReplyDescriptor**

デスクリプタ返信機能を実行します。

このビットが1にセットされると、エンドポイントEP0のINトランザクションに応答して、FIFO内のデスクリプタデータを最大パケットサイズ分返信します。デスクリプタデータは、DescAdrs_H、DescAdrs_Lレジスタに設定された先頭アドレスと、DescSize_H、DescSize_Lレジスタに設定されたサイズで示されます。これらの設定値は、デスクリプタ返信機能の実行中に更新されますので、ReplyDescriptorビットをセットするごとに設定してください。1つのトランザクションごとに、DescAdrs_H、DescAdrs_Lレジスタは送信したデータ数だけインクリメントされ、DescSize_H、DescSize_Lレジスタは、送信したデータ数だけデクリメントされます。

DescSize_H、DescSize_Lの設定数のデータを送信して終了した場合、またはINトランザクション以外のトランザクションが行われた場合、デスクリプタ返信機能は終了し、ReplyDescriptorビットは0にクリアされ、EP0IntStatレジスタのIN_TranACKビットは1にセットされます。

詳細については、動作説明の項を参照してください。

0x30093A: EP0ControlIN (EP0 Control IN)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0ControlIN (EP0 control IN)	0030093A (B)	D7	—	—	—	—	0 when being read.
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	—	—	—	—	0 when being read.
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	R/W	
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	R/W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	

エンドポイントEP0のINトランザクションに関する動作設定および状態表示を行います。

D7 Reserved**D6 EnShortPkt**

このビットを1にセットすることで、エンドポイントEP0のINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、自動的にこのビットが0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 Reserved**D4 ToggleStat**

エンドポイントEP0のINトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEP0のINトランザクションのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEP0のINトランザクションのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数にかかわらずエンドポイントEP0のINトランザクションに対してNAK応答します。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。また、ショートパケットを送信したINトランザクションが完了すると、このビットは1にセットされます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEP0のINトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x30093B: EP0ControlOUT (EP0 Control OUT)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EP0ControlOUT (EP0 control OUT)	0030093B (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6-5	—		—		—	—	0 when being read.	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEP0のOUTトランザクションに関する動作設定および状態表示を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEP0のOUTトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D[6:5] Reserved**D4 ToggleStat**

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOの空き容量にかかわらずエンドポイントEP0のOUTトランザクションに対してNAK応答します。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEP0のOUTトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x30093F: EP0MaxSize (EP0 Max Packet Size)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0MaxSize (EP0 max packet size)	0030093F (B)	D7	—	—	—	—	0 when being read.
		D6	EP0MaxSize[6]	Endpoint EP0 max packet size	0	R/W	
		D5	EP0MaxSize[5]		0		
		D4	EP0MaxSize[4]		0		
		D3	EP0MaxSize[3]		1		
		D2-0	—	—	—	—	0 when being read.

D7 Reserved**D[6:3] EP0MaxSize[6:3]**

エンドポイントEP0の最大パケットサイズを設定します。

このエンドポイントは、8、16、32、64バイトから任意のサイズを選択して使用可能です。

D[2:0] Reserved

0x300940: EPaControl (EPa Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaControl (Epa control)	00300940 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPaの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPaのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPaのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPaのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPaのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPaのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPaのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPaのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x300941: EPbControl (EPb Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPbControl (EPb control)	00300941 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPbの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPbのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPbのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPbのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPbのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPbのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPbのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPbのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x300942: EPcControl (EPc Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcControl (EPc control)	00300942 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPcの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPcのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPcのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPcのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPcのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPcのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPcのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPcのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x300943: EPdControl (EPd Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPdControl (EPd control)	00300943 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPdの動作設定を行います。

D7 AutoForceNAK

このビットが1の場合、エンドポイントEPdのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEPdのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。

このビットを1にセットすると、この機能が無効になります。

AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPdのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPdのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEPdのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPdのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEPdのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x300950: EPaMaxSize_H (EPa Max Packet Size HIGH)**0x300951: EPaMaxSize_L (EPa Max Packet Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaMaxSize_H (EPa max packet size high)	00300950 (B)	D7-2	—	—	—	—	0 when being read.
		D1	EPaMaxSize[9]	Endpoint EPa max packet size	0	R/W	
		D0	EPaMaxSize[8]		0		
EPaMaxSize_L (EPa max packet size low)	00300951 (B)	D7	EPaMaxSize[7]	Endpoint EPa max packet size	0	R/W	
		D6	EPaMaxSize[6]		0		
		D5	EPaMaxSize[5]		0		
		D4	EPaMaxSize[4]		0		
		D3	EPaMaxSize[3]		0		
		D2	EPaMaxSize[2]		0		
		D1	EPaMaxSize[1]		0		
		D0	EPaMaxSize[0]		0		

EPaMaxSize[9:0]

エンドポイントEPaの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPaの領域が狭い場合は、正常に動作しません。

0x300952: EPaConfig_0 (EPa Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaConfig_0 (EPa configuration 0)	00300952 (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPaの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber**

0x1～0xFの任意のエンドポイント番号を設定します。

0x300953: EPaConfig_1 (EPa Configuration 1)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPaConfig_1 (EPa configuration 1)	00300953 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—			—	—	0 when being read.	

エンドポイントEPaの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

0x300954: EPbMaxSize_H (EPb Max Packet Size HIGH)**0x300955: EPbMaxSize_L (EPb Max Packet Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbMaxSize_H (EPb max packet size high)	00300954 (B)	D7-2	–	–	–	–	0 when being read.
		D1	EPbMaxSize[9]	Endpoint EPb max packet size	0	R/W	
		D0	EPbMaxSize[8]		0		
EPbMaxSize_L (EPb max packet size low)	00300955 (B)	D7	EPbMaxSize[7]	Endpoint EPb max packet size	0	R/W	
		D6	EPbMaxSize[6]		0		
		D5	EPbMaxSize[5]		0		
		D4	EPbMaxSize[4]		0		
		D3	EPbMaxSize[3]		0		
		D2	EPbMaxSize[2]		0		
		D1	EPbMaxSize[1]		0		
		D0	EPbMaxSize[0]		0		

EPbMaxSize[9:0]

エンドポイントEPbの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPbの領域が狭い場合は、正常に動作しません。

0x300956: EPbConfig_0 (EPb Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbConfig_0 (EPb configuration 0)	00300956 (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPbの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber**

0x1～0xFの任意のエンドポイント番号を設定します。

0x300957: EPbConfig_1 (EPb Configuration 1)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPbConfig_1 (EPb configuration 1)	00300957 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—			—		—	—	0 when being read.

エンドポイントEPbの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO

アイソクロナスモードを設定します。

D6 ISO_CRCmode

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

0x300958: EPcMaxSize_H (EPc Max Packet Size HIGH)

0x300959: EPcMaxSize_L (EPc Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcMaxSize_H (EPc max packet size high)	00300958 (B)	D7-2	—	—	—	—	0 when being read.
		D1	EPcMaxSize[9]	Endpoint EPc max packet size	0	R/W	
		D0	EPcMaxSize[8]		0		
EPcMaxSize_L (EPc max packet size low)	00300959 (B)	D7	EPcMaxSize[7]	Endpoint EPc max packet size	0	R/W	
		D6	EPcMaxSize[6]		0		
		D5	EPcMaxSize[5]		0		
		D4	EPcMaxSize[4]		0		
		D3	EPcMaxSize[3]		0		
		D2	EPcMaxSize[2]		0		
		D1	EPcMaxSize[1]		0		
		D0	EPcMaxSize[0]		0		

EPcMaxSize[9:0]

エンドポイントEPcの最大パケットサイズを設定します。
 このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。
 インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。
 ここで設定したサイズより、エンドポイントEPcの領域が狭い場合は、正常に動作しません。

0x30095A: EPcConfig_0 (EPc Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcConfig_0 (EPc configuration 0)	0030095A (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPcの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber**

0x1～0xFの任意のエンドポイント番号を設定します。

0x30095B: EPcConfig_1 (EPc Configuration 1)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
EPcConfig_1 (EPc configuration 1)	0030095B (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—			—	—	0 when being read.	

エンドポイントEPcの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

0x30095C: EPdMaxSize_H (EPd Max Packet Size HIGH)**0x30095D: EPdMaxSize_L (EPd Max Packet Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdMaxSize_H (EPd max packet size high)	0030095C (B)	D7-2	—	—	—	—	0 when being read.
		D1	EPdMaxSize[9]	Endpoint EPd max packet size	0	R/W	
		D0	EPdMaxSize[8]		0		
EPdMaxSize_L (EPd max packet size low)	0030095D (B)	D7	EPdMaxSize[7]	Endpoint EPd max packet size	0	R/W	
		D6	EPdMaxSize[6]		0		
		D5	EPdMaxSize[5]		0		
		D4	EPdMaxSize[4]		0		
		D3	EPdMaxSize[3]		0		
		D2	EPdMaxSize[2]		0		
		D1	EPdMaxSize[1]		0		
		D0	EPdMaxSize[0]		0		

EPdMaxSize[9:0]

エンドポイントEPdの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPdの領域が狭い場合は、正常に動作しません。

0x30095E: EPdConfig_0 (EPd Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdConfig_0 (EPd configuration 0)	0030095E (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPdの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle - トランザクションが正常に完結した場合のみトグルします。

Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを1にセットすることで、このエンドポイントを有効にします。

このビットが0のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D[3:0] EndPointNumber**

0x1～0xFの任意のエンドポイント番号を設定します。

0x30095F: EPdConfig_1 (EPd Configuration 1)

Register name	Address	Bit	Name		Setting			Init.	R/W	Remarks
EPdConfig_1 (EPd configuration 1)	0030095F (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—			—		—	—	

エンドポイントEPdの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO

アイソクロナスモードを設定します。

D6 ISO_CRCmode

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D[5:0] Reserved

0x300970: EPaStartAdrs_H (EPa FIFO Start Address HIGH)**0x300971: EPaStartAdrs_L (EPa FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaStartAdrs_H (EPa FIFO start address high)	00300970 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPaStartAdrs[11]	Endpoint EPa start address	0	R/W	
		D2	EPaStartAdrs[10]		0		
		D1	EPaStartAdrs[9]		0		
		D0	EPaStartAdrs[8]		0		
EPaStartAdrs_L (EPa FIFO start address low)	00300971 (B)	D7	EPaStartAdrs[7]	Endpoint EPa start address	0	R/W	
		D6	EPaStartAdrs[6]		0		
		D5	EPaStartAdrs[5]		0		
		D4	EPaStartAdrs[4]		0		
		D3	EPaStartAdrs[3]		0		
		D2	EPaStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPaStartAdrs[11:2]

エンドポイントEPaに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPaに割り当てられる領域は、EPaStartAdrsにて設定されたアドレスから、EPbStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPaのEPaMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3FFを超えないようにしてください。また、EPaStartAdrsがEPbStartAdrsの設定値を超えないようにしてください。

0x300972: EPbStartAdrs_H (EPb FIFO Start Address HIGH)**0x300973: EPbStartAdrs_L (EPb FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbStartAdrs_H (EPb FIFO start address high)	00300972 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPbStartAdrs[11]	Endpoint EPb start address	0	R/W	
		D2	EPbStartAdrs[10]		0		
		D1	EPbStartAdrs[9]		0		
		D0	EPbStartAdrs[8]		0		
EPbStartAdrs_L (EPb FIFO start address low)	00300973 (B)	D7	EPbStartAdrs[7]	Endpoint EPb start address	0	R/W	
		D6	EPbStartAdrs[6]		0		
		D5	EPbStartAdrs[5]		0		
		D4	EPbStartAdrs[4]		0		
		D3	EPbStartAdrs[3]		0		
		D2	EPbStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPbStartAdrs[11:2]

エンドポイントEPbに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPbに割り当てられる領域は、EPbStartAdrsにて設定されたアドレスから、EPcStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPbのEPbMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3FFを超えないようにしてください。また、EPbStartAdrsがEPcStartAdrsの設定値を超えないようにしてください。

0x300974: EPcStartAdrs_H (EPc FIFO Start Address HIGH)**0x300975: EPcStartAdrs_L (EPc FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcStartAdrs_H (EPc FIFO start address high)	00300974 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPcStartAdrs[11]	Endpoint EPc start address	0	R/W	
		D2	EPcStartAdrs[10]		0		
		D1	EPcStartAdrs[9]		0		
		D0	EPcStartAdrs[8]		0		
EPcStartAdrs_L (EPc FIFO start address low)	00300975 (B)	D7	EPcStartAdrs[7]	Endpoint EPc start address	0	R/W	
		D6	EPcStartAdrs[6]		0		
		D5	EPcStartAdrs[5]		0		
		D4	EPcStartAdrs[4]		0		
		D3	EPcStartAdrs[3]		0		
		D2	EPcStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPcStartAdrs[11:2]

エンドポイントEPcに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPcに割り当てられる領域は、EPcStartAdrsにて設定されたアドレスから、EPdStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPcのEPcMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3FFを超えないようにしてください。また、EPcStartAdrsがEPdStartAdrsの設定値を超えないようにしてください。

0x300976: EPdStartAdrs_H (EPd FIFO Start Address HIGH)**0x300977: EPdStartAdrs_L (EPd FIFO Start Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdStartAdrs_H (EPd FIFO start address high)	00300976 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPdStartAdrs[11]	Endpoint EPd start address	0	R/W	
		D2	EPdStartAdrs[10]		0		
		D1	EPdStartAdrs[9]		0		
		D0	EPdStartAdrs[8]		0		
EPdStartAdrs_L (EPd FIFO start address low)	00300977 (B)	D7	EPdStartAdrs[7]	Endpoint EPd start address	0	R/W	
		D6	EPdStartAdrs[6]		0		
		D5	EPdStartAdrs[5]		0		
		D4	EPdStartAdrs[4]		0		
		D3	EPdStartAdrs[3]		0		
		D2	EPdStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPdStartAdrs[11:2]

エンドポイントEPdに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPdに割り当てられる領域は、EPdStartAdrsにて設定されたアドレスから、FIFOの最終アドレスまでとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPdのEPdMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPd、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3FFを超えないようにしてください。

0x300980: CPU_JoinRd (CPU Join FIFO Read)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
CPU_JoinRd (CPU join FIFO read)	00300980 (B)	D7-4	--	-				-	-	0 when being read
		D3	JoinEPdRd	1	Join EPd FIFO read	0	Do nothing	0	R/W	
		D2	JoinEPcRd	1	Join EPc FIFO read	0	Do nothing	0	R/W	
		D1	JoinEPbRd	1	Join EPb FIFO read	0	Do nothing	0	R/W	
		D0	JoinEPaRd	1	Join EPa FIFO read	0	Do nothing	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOのデータを読み出すことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタを読み出すと、該当するエンドポイントのFIFOのデータが読み出せます。また、EPnRdRemain_H、Lレジスタにより、FIFOの残りデータ数を参照できます。

このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ読み出しは禁止します。

IN方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、ForceNAKビットを使用し、USBインタフェースによるデータ読み出しが行われない状態にしてください。OUT方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、DMA_ControlレジスタのDMA_Runningビットを参照し、DMAによるデータ読み出しが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Rdビットがセットされている場合に有効です。

D[7:4] Reserved**D3 JoinEPdRd**

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPdのFIFO中のデータ数が参照できるようになります。

D2 JoinEPcRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPcのFIFO中のデータ数が参照できるようになります。

D1 JoinEPbRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPbのFIFO中のデータ数が参照できるようになります。

D0 JoinEPaRd

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPaのFIFO中のデータ数が参照できるようになります。

0x300981: CPU_JoinWr (CPU Join FIFO Write)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
CPU_JoinWr (CPU join FIFO write)	00300981 (B)	D7-4	—	—		—	—	0 when being read.
		D3	JoinEPdWr	1	Join EPd FIFO write	0	Do nothing	0 R/W
		D2	JoinEPcWr	1	Join EPc FIFO write	0	Do nothing	0 R/W
		D1	JoinEPbWr	1	Join EPb FIFO write	0	Do nothing	0 R/W
		D0	JoinEPaWr	1	Join EPa FIFO write	0	Do nothing	0 R/W

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOにデータを書き込むことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタにデータ書き込むと、該当するエンドポイントのFIFOに書き込まれます。また、EPnWrRemain_H、Lレジスタにより、FIFOの空き容量を参照できます。

このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ書き込みは禁止します。

OUT方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、ForceNAKビットを使用し、USB I/Fによるデータ書き込みが行われない状態にしてください。IN方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、DMA_ControlレジスタのDMA_Runningビットを参照し、DMAによるデータ書き込みが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Wrビットがセットされている場合に有効です。

D[7:4] Reserved**D3 JoinEPdWr**

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPdのFIFO中の空き容量が参照できるようになります。

D2 JoinEPcWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPcのFIFO中の空き容量が参照できるようになります。

D1 JoinEPbWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPbのFIFO中の空き容量が参照できるようになります。

D0 JoinEPaWr

このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPaのFIFO中の空き容量が参照できるようになります。

0x300982: EnEPnFIFO_Access (Enable EPn FIFO Access)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EnEPnFIFO_Access (Enable EPn FIFO access)	00300982 (B)	D7-2	—	—			—	—	0 when being read.
		D1	EnEPnFIFO_Wr	1	Enable join EPn FIFO write	0	Do nothing	0	R/W
		D0	EnEPnFIFO_Rd	1	Enable join EPn FIFO read	0	Do nothing	0	R/W

CPU_JoinRdレジスタとCPU_JoinWrレジスタをそれぞれ有効にし、CPUインタフェースからのFIFOに対するアクセスを許可します。

D[7:2] Reserved

D1 EnEPnFIFO_Wr

このビットに1をセットするとCPU_JoinWrレジスタが有効となり、CPU_JoinWrレジスタで選択したEPnのFIFOにCPUがデータを書き込めるようになります。

D0 EnEPnFIFO_Rd

このビットに1をセットするとCPU_JoinRdレジスタが有効となり、CPU_JoinRdレジスタで選択したEPnのFIFOからCPUがデータを読み出せるようになります。

0x300983: EPnFIFOforCPU (EPn FIFO for CPU)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnFIFOforCPU (EPn FIFO for CPU)	00300983 (B)	D7	EPnFIFOData[7]	Endpoint EP0 FIFO access from CPU	X	R/W	
		D6	EPnFIFOData[6]		X		
		D5	EPnFIFOData[5]		X		
		D4	EPnFIFOData[4]		X		
		D3	EPnFIFOData[3]		X		
		D2	EPnFIFOData[2]		X		
		D1	EPnFIFOData[1]		X		
		D0	EPnFIFOData[0]		X		

D[7:0] EPnFIFOData[7:0]

CPUインタフェースからエンドポイントのFIFOにアクセスするためのレジスタです。

CPU_JoinRdレジスタで選択されたエンドポイントのFIFO内のデータを、このレジスタから読み出すことができます。

CPU_JoinWrレジスタで選択されたエンドポイントのFIFOに、このレジスタを通してデータを書き込むことができます。

EnEPnFIFO_AccessレジスタのEnEPnFIFO_Rdビットをセットせずにこのレジスタから値を読み出した場合、ダミーデータが出力されます。

また、EnEPnFIFO_AccessレジスタのEnEPnFIFO_Wrビットをセットせずにこのレジスタに書き込んだ場合、FIFOへの書き込みは行われません。

該当するエンドポイントのFIFOが空のときにこのレジスタを読み出すと、ダミーデータが読み出されます。

該当するエンドポイントのFIFOが満杯のときにこのレジスタにデータを書き込んでも、FIFOには書き込まれません。

0x300984: EPnRdRemain_H (EPn FIFO Read Remain HIGH)**0x300985: EPnRdRemain_L (EPn FIFO Read Remain LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnRdRemain_H (EPn FIFO read remain high)	00300984 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPnRdRemain[11]	Endpoint n FIFO read remain high	0	R	
		D2	EPnRdRemain[10]		0		
		D1	EPnRdRemain[9]		0		
		D0	EPnRdRemain[8]		0		
EPnRdRemain_L (EPn FIFO read remain low)	00300985 (B)	D7	EPnRdRemain[7]	Endpoint n FIFO read remain low	0	R	
		D6	EPnRdRemain[6]		0		
		D5	EPnRdRemain[5]		0		
		D4	EPnRdRemain[4]		0		
		D3	EPnRdRemain[3]		0		
		D2	EPnRdRemain[2]		0		
		D1	EPnRdRemain[1]		0		
		D0	EPnRdRemain[0]		0		

EPnRdRemain[11:0]

CPU_JoinRdレジスタによってCPUインタフェースに接続しているエンドポイントのFIFO内の残りデータ数を示します。FIFOの残りデータ数を取得する場合は、EPnRdRemain_HレジスタとEPnRdRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnRdRemain_Hレジスタを先にアクセスしてください。

0x300986: EPnWrRemain_H (EPn FIFO Write Remain HIGH)**0x300987: EPnWrRemain_L (EPn FIFO Write Remain LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnWrRemain_H (EPn FIFO write remain high)	00300986 (B)	D7-4	–	–	–	–	0 when being read.
		D3	EPnWrRemain[11]	Endpoint n FIFO write remain high	0	R	
		D2	EPnWrRemain[10]		0		
		D1	EPnWrRemain[9]		0		
		D0	EPnWrRemain[8]		0		
EPnWrRemain_L (EPn FIFO write remain low)	00300987 (B)	D7	EPnWrRemain[7]	Endpoint n FIFO write remain low	0	R	
		D6	EPnWrRemain[6]		0		
		D5	EPnWrRemain[5]		0		
		D4	EPnWrRemain[4]		0		
		D3	EPnWrRemain[3]		0		
		D2	EPnWrRemain[2]		0		
		D1	EPnWrRemain[1]		0		
		D0	EPnWrRemain[0]		0		

EPnWrRemain[11:0]

CPU_JoinWrレジスタによってCPUインタフェースに接続しているエンドポイントのFIFOの空き容量を示します。FIFOの空き容量を取得する場合は、EPnWrRemain_HレジスタとEPnWrRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnWrRemain_Hレジスタを先にアクセスしてください。

0x300988: DescAdrs_H (Descriptor Address HIGH)**0x300989: DescAdrs_L (Descriptor Address LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescAdrs_H (Descriptor address high)	00300988 (B)	D7-4	—	—	—	—	0 when being read.
		D3	DescAdrs[11]	Descriptor address	0	R/W	
		D2	DescAdrs[10]		0		
		D1	DescAdrs[9]		0		
		D0	DescAdrs[8]		0		
DescAdrs_L (Descriptor address low)	00300989 (B)	D7	DescAdrs[7]	Descriptor address	0	R/W	
		D6	DescAdrs[6]		0		
		D5	DescAdrs[5]		0		
		D4	DescAdrs[4]		0		
		D3	DescAdrs[3]		0		
		D2	DescAdrs[2]		0		
		D1	DescAdrs[1]		0		
		D0	DescAdrs[0]		0		

DescAdrs[11:0]

デスクリプタ返信機能における、デスクリプタ返信動作、デスクリプタ書き込み動作、およびデスクリプタ読み出し動作開始時のFIFOの先頭アドレスを指定します。

デスクリプタアドレスの指定は、デスクリプタ返信機能に対してFIFO領域を割り当てるものではありません。デスクリプタアドレスは、FIFOの領域設定にかかわらず、0x0000から0x03FF(1Kバイト)までのFIFOの全領域を指定することができます。

デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorの項を参照してください。

デスクリプタ書き込み/読み出し時には、1回の書き込みまたは読み出しごとに、DescAdrsは1ずつ増加します。デスクリプタ書き込み/読み出しについては、DescDoorレジスタの項を参照してください。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

デスクリプタアドレスを参照する場合は、DescAdrs_H、DescAdrs_Lの順に読み出してください。

0x30098A: DescSize_H (Descriptor Size HIGH)**0x30098B: DescSize_L (Descriptor Size LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescSize_H (Descriptor size high)	0030098A (B)	D7-2	–	–	–	–	0 when being read.
		D1	DescSize[9]	Descriptor size	0	R/W	
		D0	DescSize[8]		0		
DescSize_L (Descriptor size low)	0030098B (B)	D7	DescSize[7]	Descriptor size	0	R/W	
		D6	DescSize[6]		0		
		D5	DescSize[5]		0		
		D4	DescSize[4]		0		
		D3	DescSize[3]		0		
		D2	DescSize[2]		0		
		D1	DescSize[1]		0		
		D0	DescSize[0]		0		

DescSize[9:0]

デスクリプタサイズには、デスクリプタ返信機能において返信するデータの総数を指定します。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorビットの項を参照してください。

デスクリプタサイズには、FIFOのサイズおよび領域設定にかかわらず、0x0000から0x03FFまでの値を指定することができます。デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

デスクリプタサイズを参照する場合は、DescSize_H、DescSize_Lの順に読み出してください。

0x30098F: DescDoor (Descriptor Door)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescDoor (Descriptor door)	0030098F (B)	D7	DescMode[7]	Descriptor door	0	R/W	
		D6	DescMode[6]		0		
		D5	DescMode[5]		0		
		D4	DescMode[4]		0		
		D3	DescMode[3]		0		
		D2	DescMode[2]		0		
		D1	DescMode[1]		0		
		D0	DescMode[0]		0		

D[7:0] DescMode[7:0]

デスクリプタの読み出しおよび書き込みを行うレジスタです。

書き込み開始前に、DescAdrs_H、DescAdrs_Lレジスタに、FIFOのデスクリプタを書き込む領域の先頭アドレスを設定してください。その後、このレジスタに1バイトずつ書き込みを行います。書き込みごとにDescAdrs_H、DescAdrs_Lが自動的に1バイトずつインクリメントされ、順次書き込みが行えます。

DescDoorレジスタから書き込んだデータは、ReplyDescriptorの機能によって何度でも使用できます。つまり、このデータはデスクリプタ返信機能によって、消されたり、上書きされることはありません。ただし、デスクリプタデータを書き込んだ領域が、他のエンドポイントで確保されている領域と重なる場合には、データは上書きされてしまいます。

このレジスタを読むことにより、DescAdrs_H、DescAdrs_Lに設定したアドレスから、順次FIFOのデータを読み出すことができます。このときも、DescAdrs_H、DescAdrs_Lレジスタのアドレスは読み出しごとにインクリメントされます。したがって、DescDoorレジスタに書き込み後、続けて読み出しを行っても、直前に書き込んだ値は読み出せませんので、注意してください。

0x300990: DMA_FIFO_Control (DMA FIFO Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
DMA_FIFO_Control (DMA FIFO control)	00300990 (B)	D7	FIFO_Running	1	FIFO is running	0	FIFO is not running	0	R	
		D6	AutoEnShort	1	Auto enable short packet	0	Do nothing	0	R/W	
		D5-0	—	—				—	—	0 when being read.

D7 FIFO_Running

DMAに接続されたエンドポイントのFIFOが動作中であることを示します。DMAを起動すると1にセットされ、DMAが終了した後、FIFOが空になると0にクリアされます。

D6 AutoEnShort

このビットが1の場合、DMAの終了時に最大パケットサイズに満たないデータがFIFOに残った場合に、そのエンドポイントのEnShortPktビットを1にセットします。

DMAに接続されたエンドポイントがIN方向の場合に有効です。

D[5:0] Reserved

0x300991: DMA_Join (DMA Join FIFO)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
DMA_Join (DMA join FIFO)	00300991 (B)	D7-4	—	—			—	—	0 when being read.
		D3	JoinEPdDMA	1	Join EPd to DMA	0	Do nothing	0	R/W
		D2	JoinEPcDMA	1	Join EPc to DMA	0	Do nothing	0	R/W
		D1	JoinEPbDMA	1	Join EPb to DMA	0	Do nothing	0	R/W
		D0	JoinEPaDMA	1	Join EPa to DMA	0	Do nothing	0	R/W

JoinEPdDMA、JoinEPcDMA、JoinEPbDMA、JoinEPaDMAビットの設定により、DMA転送を行うエンドポイントを指定します。これらのビットを設定したのち、DMA_Remain_H、DMA_Remain_Lレジスタにより、エンドポイントがOUT方向の場合は残りデータ数、エンドポイントがIN方向の場合は空き容量が、それぞれ参照できます。

このレジスタで同時に1にセット可能なのは1ビットのみです。複数のビットが同時に1にセットされた場合、上位の1ビットが有効となります。

D[7:4] Reserved

D[3:0] JoinEPdDMA, JoinEPcDMA, JoinEPbDMA, JoinEPaDMA

このビットに1をセットすると、エンドポイントEP x ($x=a,b,c,d$)でDMA転送ができるようになります。また、DMA_Remain_H、DMA_Remain_Lレジスタで、エンドポイントEP x ($x=a,b,c,d$)のFIFOの空き容量(INの場合)またはデータ数(OUTの場合)が参照できるようになります。

0x300992: DMA_Control (DMA Control)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
DMA_Control (DMA control)	00300992 (B)	D7	DMA_Running	1	DMA is running	0	DMA is not running	0	R	0 when being read.
		D6	PDREQ	PDREQ signal logic				0	R	
		D5	PDACK	PDACK signal logic				0	R	
		D4	–	–				–	–	
		D3	CounterClr	1	Clear DMA counter	0	Do nothing	0	W	
		D2	–	–				–	–	
		D1	DMA_Stop	1	Finish DMA	0	Do nothing	0	W	
		D0	DMA_Go	1	Start DMA	0	Do nothing	0	W	

DMA転送時の制御、およびDMAインタフェースの状態を表示します。

D7 DMA_Running

DMA転送中、このビットが1にセットされます。このビットが1である間は、DMA_Joinレジスタを書き換えることはできません。

D6 PDREQ

PDREQ信号のロジックレベルをモニタできます。

D5 PDACK

PDACK信号のロジックレベルをモニタできます。

D4 Reserved**D3 CounterClr**

このビットに1をセットすると、DMA_Count_HH、HL、LH、LLレジスタが0x00にクリアされます。DMA_Runningビットが1のときは、このビットへの書き込みは無視されます。

D2 Reserved**D1 DMA_Stop**

このビットに1をセットすると、DMA転送を終了します。DMA転送を停止すると、DMA_Runningビットが0にクリアされ、DMA_IntStatレジスタのDMA_Cmpビットが1にセットされます。DMA転送を再開する場合、DMA_RunningビットまたはDMA_Cmpビットを確認し、DMAが終了するのを待って行ってください。

非同期DMA転送中にこのビットをセットしてDMA転送を終了した場合、データの欠落が生じる恐れがあります。このような場合は、先にHSDMA側を停止させてから、このビットをセットするようにしてください。

D0 DMA_Go

このビットを1にセットすると、DMA転送を開始します。

0x300994: DMA_Config_0 (DMA Configuration 0)

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
DMA_Config_0 (DMA configuration 0)	00300994 (B)	D7	ActivePort	1	Activate DMA port	0	Disactivate DMA port	0	R/W	
		D6-4	—			—		—	—	0 when being read.
		D3	PDREQ_Level	1	Active-low	0	Active-high	0	R/W	
		D2	PDACK_Level	1	Active-low	0	Active-high	0	R/W	
		D1	PDRDWR_Level	1	Active-low	0	Active-high	0	R/W	
		D0	—			—		—	—	0 when being read.

DMAインタフェースのバスに関する設定を行います。

D7 ActivePort

DMAインタフェースをアクティブにします。

このビットが0のとき、DMAインタフェース信号はHi-Z状態になります。

D[6:4] Reserved**D3 PDREQ_Level**

PDREQ信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D2 PDACK_Level

PDACK信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D1 PDRDWR_Level

PDRDおよびPDWR信号の論理レベルを設定します。

0(アクティブHigh)に設定してください。

D0 Reserved

0x300995: DMA_Config_1 (DMA Configuration 1)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks	
DMA_Config_1 (DMA configuration 1)	00300995 (B)	D7	RcvLimitMode	1	Receive limit mode	0	Normal	0	R/W	
		D6-4	—			—		—		0 when being read.
		D3	SingleWord	1	Single word	0	Multi word	0	R/W	
		D2-1	—			—		—		0 when being read.
		D0	CountMode	1	Count-down mode	0	Free-run mode	0	R/W	

DMAインタフェースの動作モードに関する設定を行います。

D7 RcvLimitMode

本ビットに1をセットすることによって、RcvLimitモードになります。非同期マルチワードDMA転送の書き込み動作時のみ有効で、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQ信号をネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQ信号をネゲートします。ただし、PDREQ信号ネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQ信号ネゲート後に受け取れるデータは、16バイトまでとなります。本モードでは、エンドポイントが完全にフルになる前にPDREQ信号をネゲートします。

EP{a,b,c,d}StartAdrsレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ設定の場合)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAdrsレジスタで設定してください。

D[6:4] Reserved**D3 SingleWord**

非同期転送における、ハンドシェイクのモードを設定します。

シングルワードモードでは、1ワードの転送ごとに、PDREQ信号をネゲートします。

マルチワードモードでは、次のデータの送受信が可能であれば、1ワード転送ごとにPDREQ信号をネゲートしません。

D[2:1] Reserved**D0 CountMode**

DMA転送数制御のモードを設定します。

フリーランモードでは、DMA転送はDMA_Stopがセットされるまで動作します。

DMA_Count_HH、HL、LH、LLレジスタで転送数が参照できます。

カウントダウンモードでは、DMA転送はDMA_Count_HH、HL、LH、LLレジスタに設定したバイト数の転送が終了するか、あるいはDMA_Stopビットで終了するまで動作します。

DMA_Count_HH、HL、LH、LLレジスタでは残り転送数が参照できます。

0x300997: DMA_Latency (DMA Latency)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Latency (DMA latency)	00300997 (B)	D7-4	—	—	—	—	0 when being read.
		D3	DMA_Latency[3]	Latency	0	R/W	
		D2	DMA_Latency[2]		0		
		D1	DMA_Latency[1]		0		
		D0	DMA_Latency[0]		0		

非同期転送用の、データ転送のレイテンシを設定できます。レイテンシの単位時間は約130nsです。

D[7:4] Reserved

D[3:0] DMA_Latency[3:0]

レイテンシを設定します。

0x1～0xFの値を書き込むと、シングルワードモード、マルチワードモード共に、4ワードの転送を行うごとにPDREQ信号をネゲートし、 $130 \times N(\text{ns})$ の期間、PDREQ信号をアサートしません。

0x300998: DMA_Remain_H (DMA FIFO Remain HIGH)**0x300999: DMA_Remain_L (DMA FIFO Remain LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Remain_H (DMA FIFO remain high)	00300998 (B)	D7-4	–	–	–	–	0 when being read.
		D3	DMA_Remain[11]	DMA FIFO remain high	0	R	
		D2	DMA_Remain[10]		0		
		D1	DMA_Remain[9]		0		
		D0	DMA_Remain[8]		0		
DMA_Remain_L (DMA FIFO remain low)	00300999 (B)	D7	DMA_Remain[7]	DMA FIFO remain low	0	R	
		D6	DMA_Remain[6]		0		
		D5	DMA_Remain[5]		0		
		D4	DMA_Remain[4]		0		
		D3	DMA_Remain[3]		0		
		D2	DMA_Remain[2]		0		
		D1	DMA_Remain[1]		0		
		D0	DMA_Remain[0]		0		

DMA_Remain[11:0]

DMA_JoinレジスタによってDMAに接続しているエンドポイントがOUT方向である場合、そのエンドポイントのFIFO内の残りデータ数を示します。

DMA_JoinレジスタによってDMAに接続しているエンドポイントがIN方向である場合、そのエンドポイントのFIFOの空き容量を示します。

DMA_Remain_HとDMA_Remain_Lレジスタは、対でアクセスする必要があります。その際には、DMA_Remain_Hレジスタを先にアクセスしてください。

0x30099C: DMA_Count_HH (DMA Transfer Byte Counter HIGH/HIGH)**0x30099D: DMA_Count_HL (DMA Transfer Byte Counter HIGH/LOW)****0x30099E: DMA_Count_LH (DMA Transfer Byte Counter LOW/HIGH)****0x30099F: DMA_Count_LL (DMA Transfer Byte Counter LOW/LOW)**

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Count_HH (DMA transfer byte counter high/high)	0030099C (B)	D7	DMA_Count[31]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[30]		0		
		D5	DMA_Count[29]		0		
		D4	DMA_Count[28]		0		
		D3	DMA_Count[27]		0		
		D2	DMA_Count[26]		0		
		D1	DMA_Count[25]		0		
		D0	DMA_Count[24]		0		
DMA_Count_HL (DMA transfer byte counter high/low)	0030099D (B)	D7	DMA_Count[23]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[22]		0		
		D5	DMA_Count[21]		0		
		D4	DMA_Count[20]		0		
		D3	DMA_Count[19]		0		
		D2	DMA_Count[18]		0		
		D1	DMA_Count[17]		0		
		D0	DMA_Count[16]		0		
DMA_Count_LH (DMA transfer byte counter low/high)	0030099E (B)	D7	DMA_Count[15]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[14]		0		
		D5	DMA_Count[13]		0		
		D4	DMA_Count[12]		0		
		D3	DMA_Count[11]		0		
		D2	DMA_Count[10]		0		
		D1	DMA_Count[9]		0		
		D0	DMA_Count[8]		0		
DMA_Count_LL (DMA transfer byte counter low/low)	0030099F (B)	D7	DMA_Count[7]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[6]		0		
		D5	DMA_Count[5]		0		
		D4	DMA_Count[4]		0		
		D3	DMA_Count[3]		0		
		D2	DMA_Count[2]		0		
		D1	DMA_Count[1]		0		
		D0	DMA_Count[0]		0		

DMA_Count[31:0]

DMA転送におけるデータ長をバイト単位で設定、および表示します。最大0xFFFFFFFFバイトまで設定可能です。

DMA_Config_1レジスタのCountModeビットでDMAがフリーランモード(CountMode = 0)に設定されている場合、DMAで転送した値が随時参照できます。このモードでは、DMA_Countが0xFFFFFFFFを超えると0x00000000に戻り、DMA_IntStatレジスタのDMA_CountUpビットに1をセットします。

DMA_Config_1レジスタのCountModeビットでDMAがカウントダウンモード(CountMode = 1)に設定されている場合、DMA_Countに総転送数を設定してから、DMA_ControlレジスタのDMA_Goビットに1をセットして、DMA転送を起動してください。このモードでは、DMA_CountはDMA転送したデータ数だけ随時減算され、0x00000000に達するとDMAは終了します。このモードでは、DMAの残り転送数が参照できます。DMA転送中のこのレジスタへの書き込みは無視されます。

このレジスタを読み出す場合、DMA_Count_HH、DMA_Count_HL、DMA_Count_LH、DMA_Count_LLの順にアクセスしてください。

S1C33L19 Technical Manual

X 周辺モジュール8 (CALC)

X.1 ハードウェア演算モジュール

X.1.1 概要

S1C33L19には、マルチメディア処理の負荷を低減させる為に、ハードウェア演算アクセラレータを搭載しており、これを使用するためのC言語インタフェースとしてCalcuration moduleを提供しています。このハードウェア演算アクセラレータにより、積和演算、行列演算、アフィン変換、バタフライ演算を高速に処理することが可能になります。

このモジュールを使用することで、座標変換、色変換等の画像処理や画像・音声系デコーダ処理などに対して、処理負荷を低減できるなどの効果を得ることが出来ます。

X.1.2 提供機能

このモジュールは以下の機能を提供します。

API名	機能
CalcOpen	Caluculation moduleを使用可能にする
CalcClose	Caluculation moduleの使用を終了する
CalcMac4	4要素積和演算
CalcMac8	8要素積和演算
CalcMac16	16要素積和演算
CalcMatrix2	2次行列乗算 $((2 \times 2) \times (2 \times 1))$
CalcMatrix3	3次行列乗算 $((3 \times 3) \times (3 \times 1))$
CalcMatrix4	4次行列乗算 $((4 \times 4) \times (4 \times 1))$
CalcAffine2	2次アフィン変換 $((2 \times 2) \times (2 \times 1) + (2 \times 1))$
CalcAffine3	3次アフィン変換 $((3 \times 3) \times (3 \times 1) + (3 \times 1))$
CalcButterfly	バタフライ演算

また、扱える数値形式は以下のようになっています。

モード名	数値形式	補足
CALC_UINT32	32bit 符号なし整数 (unsigned long)	飽和処理なし
CALC_SINT32	32bit 符号あり整数 (signed long)	飽和処理なし
CALC_FIXED16_Q13	Q13表記 16bit符号有り固定小数点	飽和処理あり
CALC_FIXED16_Q14	Q14表記 16bit符号有り固定小数点	飽和処理あり

このモジュールは章末記載のヘッダファイルをインクルードすることで利用可能になります。

また、ハードウェア演算アクセラレータの制約上、被乗算数のうち1系統はDSTRAM上に配置しなければならないのでご注意ください。

X.1.3 機能詳細

X.1.3.1 数値形式

このモジュールでは以下の形式の数値形式を扱うことができます。数値形式はモジュールのオープン時に指定します。各演算関数は数値をlong型として定義していますので、適切な型変換を行って使用して下さい。

32bit 符号なし整数(CALC_UINT32)

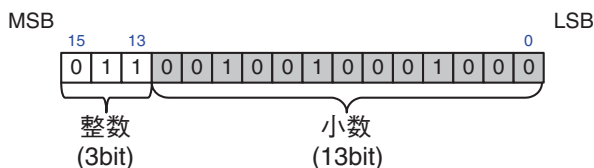
通常のunsigned long型の整数として扱うことができます。ただし、飽和处理を行わないので、演算途中・結果で0～4294967295の範囲を超えてしまった場合、結果が正常値ではなくなるので、範囲に収まるような数値を使ってください。

32bit 符号あり整数(CALC_SINT32)

通常のsigned long型の整数として扱うことができます。ただし、飽和处理を行わないので、演算によって-2415919104～2415919103の範囲を超えてしまった場合、結果が正常値ではなくなるので、範囲に収まるような数値を使ってください。

Q13表記16bit符号有り固定小数点(CALC_FIXED16_Q13)

整数部3bit、小数部13bitの符号有り固定小数点数として扱われます。このとき、符号表現は2の補数表現で行われます。



Q13表記符号有り固定小数点の求め方は、基となる数値を8192倍して四捨五入した数値です。

(例)

3.1416015625 → 0x00006488

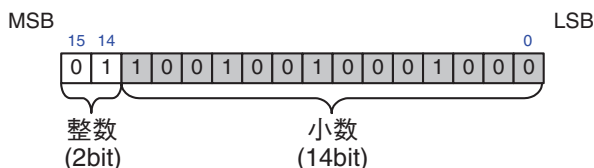
-2.71826171875 → 0xFFFFA904

この形式を扱う演算では飽和处理を行いますので、演算によって3.9998779296875(0x7fff)より大きい数値は3.9998779296875(0x7fff)に、-4(0x8000)より小さい数値は-4(0x8000)にクリッピングされます。

このモジュールでは数値の取り扱いは常に32bitになりますのでご注意ください。特に上位16bitが符号として表されることに注意して下さい。

Q14表記16bit符号有り固定小数点(CALC_FIXED16_Q14)

整数部2bit、小数部14bitの符号有り固定小数点数として扱われます。このとき、符号表現は2の補数表現で行われます。



Q14表記符号有り固定小数点の求め方は、基となる数値を16384倍して四捨五入した数値です。

(例)

1.57080078125 → 0x00006488
- 1.359130859375 → 0xFFFFA904

この形式を扱う演算では飽和処理を行いますので、演算によって1.99993896484375(0x7fff)より大きい数値は1.99993896484375(0x7fff)に、-2(0x8000)より小さい数値は-2(0x8000)にクリッピングされます。

このモジュールでは数値の取り扱いは常に32bitになりますのでご注意ください。特に上位16bitが符号として表されることに注意して下さい。

X.1.3.2 CalcOpen

機能	モジュールを有効にします。
書式	void CalcOpen(long Mode)
引数	Mode 使用する数値形式モード
	CALC_UINT32 符号無し32bit整数
	CALC_SINT32 符号無し32bit整数
	CALC_FIXED16_Q13 Q13表記16bit符号有り固定小数点
	CALC_FIXED16_Q14 Q14表記16bit符号有り固定小数点
返値	なし

モジュールを有効にし、演算が行えるようにします。ハードウェア演算アクセラレータの機能を使用する場合は必ず最初に実行して下さい。モードを変更する場合やモジュールを無効にしたい場合はCalcClose()を呼び出して下さい。

X.1.3.3 CalcClose

機能	モジュールを無効にします。
書式	void CalcClose(void)
引数	なし
返値	なし

モジュールを無効にします。ハードウェア演算アクセラレータのリソースを解放しますので、他の用途にハードウェア演算アクセラレータを使用できるようになります。

X.1.3.4 CalcMac4

機能	4要素の積和算を行います。
書式	long CalcMac4(long *C, long *X)
引数	C 被積和数へのポインタ (DSTRAM) X 被積和数へのポインタ
返値	演算結果(スカラー)

下式で表される4要素の積和算を行います。

積和算(4要素):

$$R = \sum_{i=0}^3 (C[i] \times X[i])$$

被積和数C、Xは、数値形式に関係なくlong型4要素の配列として用意して下さい。また、被積和数C、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)被積和数CはDSTRAM上に配置する必要があります。

X.1.3.5 CalcMac8

機能	8要素の積和算を行います。
書式	long CalcMac8(long *C, long *X)
引数	C 被積和数へのポインタ (DSTRAM) X 被積和数へのポインタ
返値	演算結果(スカラー)

下式で表される8要素の積和算を行います。

積和算(8要素):

$$R = \sum_{i=0}^7 (C[i] \times X[i])$$

被積和数C、Xは、数値形式に関係なくlong型8要素の配列として用意して下さい。また、被積和数C、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)被積和数CはDSTRAM上に配置する必要があります。

X.1.3.6 CalcMac16

機能	16要素の積和算を行います。
書式	long CalcMac8(long *C, long *X)
引数	C 被積和数へのポインタ (DSTRAM) X 被積和数へのポインタ
返値	演算結果(スカラー)

下式で表される16要素の積和算を行います。

積和算(16要素):

$$R = \sum_{i=0}^{15} (C[i] \times X[i])$$

被積和数C、Xは、数値形式に関係なくlong型16要素の配列として用意して下さい。また、被積和数C、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)被積和数CはDSTRAM上に配置する必要があります。

X.1.3.7 CalcMatrix2

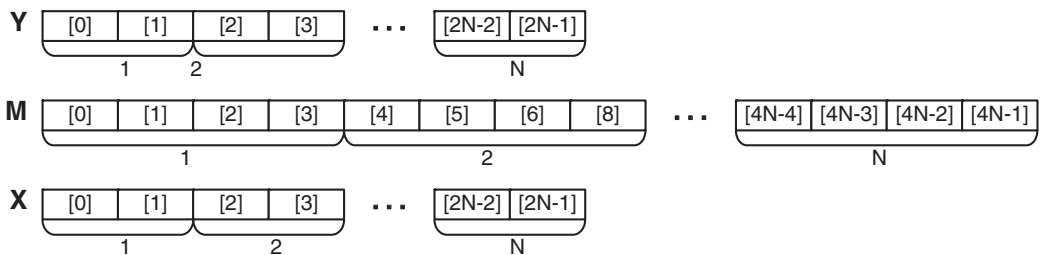
機能	N回の2次行列乗算をおこないます。
書式	void CalcMatrix2(long *Y, long *M, long *X, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ M 被乗算行列へのポインタ(DSTRAM) X 被乗算ベクトル N 演算回数
返値	なし

下式で表される2次行列と2次ベクトルとの乗算を行います。

行列乗算(2次):

$$\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] \\ M[2] & M[3] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix}$$

引数Y、M、Xは以下のようにそれぞれ連続する配列として用意して下さい。また、引数Y、M、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数MはDSTRAM上に配置する必要があります。



X.1.3.8 CalcMatrix3

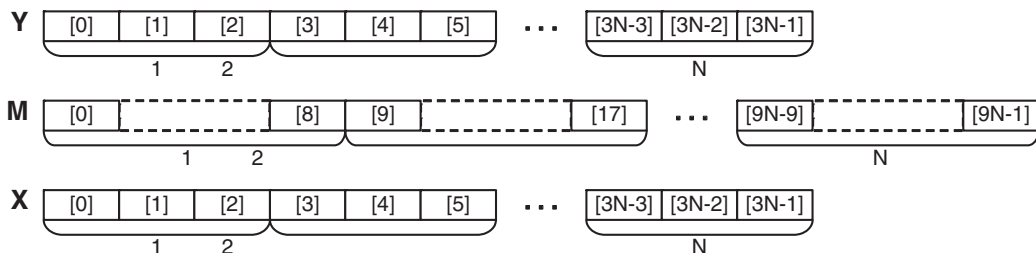
機能	N回の3次行列乗算をおこないます。
書式	void CalcMatrix3(long *Y, long *M, long *X, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ M 被乗算行列へのポインタ(DSTRAM) X 被乗算ベクトルへのポインタ N 演算回数
返値	なし

下式で表される3次行列と3次ベクトルとの乗算を行います。

行列乗算(3次):

$$\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] \\ M[3] & M[4] & M[5] \\ M[6] & M[7] & M[8] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \end{bmatrix}$$

引数Y、M、Xは以下のようにそれぞれ連続する配列として用意して下さい。また、引数Y、M、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数MはDSTRAM上に配置する必要があります。



X.1.3.9 CalcMatrix4

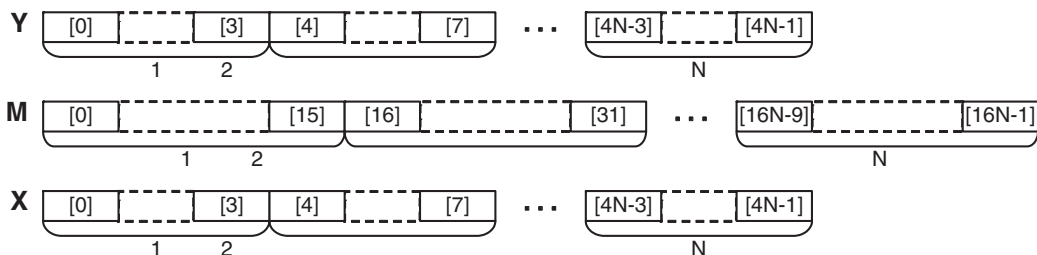
機能	N回の4次行列乗算をおこないます。
書式	void CalcMatrix4(long *Y, long *M, long *X, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ M 被乗算行列へのポインタ(DSTRAM) X 被乗算ベクトルへのポインタ N 演算回数
返値	なし

下式で表される4次行列と4次ベクトルとの乗算を行います。

行列乗算(4次):

$$\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \\ Y[3] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] & M[3] \\ M[4] & M[5] & M[6] & M[7] \\ M[8] & M[9] & M[10] & M[11] \\ M[12] & M[13] & M[14] & M[15] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \\ X[3] \end{bmatrix}$$

引数Y、M、Xは以下のようにそれぞれ連続する配列として用意して下さい。また、引数Y、M、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数MはDSTRAM上に配置する必要があります。



X.1.3.10 CalcAffine2

機能	N回の2次アフィン変換を行います。
書式	void CalcAffine2(long *Y, long *M, long *X, long *A, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ M 被乗算行列へのポインタ(DSTRAM) X 被乗算ベクトルへのポインタ A 被加算ベクトルへのポインタ N 演算回数
返値	なし

下式で表される2次行列と2次ベクトルとの乗算を行い、更に2次ベクトルを加算します。

アフィン変換(2次):

$$\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] \\ M[2] & M[3] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix} + \begin{bmatrix} A[0] \\ A[1] \end{bmatrix}$$

引数Y、M、X、Aはそれぞれ連続する配列として用意して下さい。また、引数Y、M、X、AはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数MはDSTRAM上に配置する必要があります。

X.1.3.11 CalcAffine3

機能	N回の3次アフィン変換を行います。
書式	void CalcAffine3(long *Y, long *M, long *X, long *A, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ M 被乗算行列へのポインタ(DSTRAM) X 被乗算ベクトルへのポインタ A 被加算ベクトルへのポインタ N 演算回数
返値	なし

下式で表される3次行列と3次ベクトルとの乗算を行い、更に3次ベクトルを加算します。

アフィン変換(3次):

$$\begin{bmatrix} Y[0] \\ Y[1] \\ Y[2] \end{bmatrix} = \begin{bmatrix} M[0] & M[1] & M[2] \\ M[3] & M[4] & M[5] \\ M[6] & M[7] & M[8] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \\ X[2] \end{bmatrix} + \begin{bmatrix} A[0] \\ A[1] \\ A[2] \end{bmatrix}$$

引数Y、M、X、Aはそれぞれ連続する配列として用意して下さい。また、引数Y、M、X、AはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数MはDSTRAM上に配置する必要があります。

X.1.3.12 Calc Butterfly

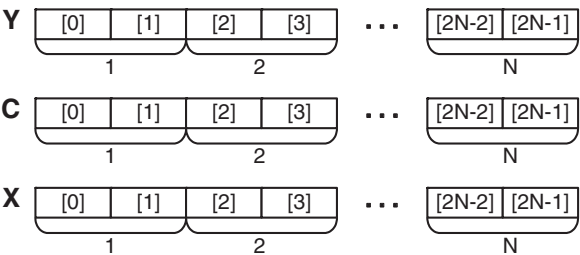
機能	N回のバタフライ演算を行います。
書式	void CalcButterfly(long *Y, long *C, long *X, unsigned long N)
引数	Y 演算結果ベクトルへのポインタ C 被演算ベクトルへのポインタ(DSTRAM) X 被演算ベクトルへのポインタ N 演算回数
返値	なし

下式で表される2次ベクトルと2次ベクトルとの演算を行います。

バタフライ演算：

$$\begin{bmatrix} Y[0] \\ Y[1] \end{bmatrix} = \begin{bmatrix} C[0] & C[1] \\ -C[1] & C[0] \end{bmatrix} \begin{bmatrix} X[0] \\ X[1] \end{bmatrix}$$

引数Y、C、Xは以下のようにそれぞれ連続する配列として用意して下さい。また、引数Y、C、XはWord境界上に配置する必要があります(通常、コンパイラが自動的にWord境界上に配置します。)引数CはDSTRAM上に配置する必要があります。



X.1.4 使用例

Calculation module を使用した例をいくつか紹介します。

符号無し整数による積和演算の例

```
#include " calc.h"

void Sample1(void)
{
    long    *C = (long*)0x00084000;    // DSTRAM
    long    X[4] = {30, 60, 20, 90};
    long    R;

    C[0] = 1;
    C[1] = 2;
    C[2] = 3;
    C[3] = 4;

    CalcOpen(CALC_UINT32);
    R = CalcMac4(C, X);
    CalcClose();
}
```

<結果> $R = 570 (= 1*30 + 2*60 + 3*20 + 4*90)$

固定小数点による座標変換の例(45° 回転)

```
#include " calc.h"

void Sample3(void)
{
    // 2-D coordinate transform of rotation
    //
    // X' = cos(n) * X - sin(n) * Y;
    // Y' = sin(n) * X + cos(n) * Y;
    long    *C = (long*)0x84000;    // DSTRAM
    long    src[2] = {30, 60};    // [0] = Y pos, [1] = X pos
    long    dst[2];    // [0] = Y'pos, [1] = X'pos

    // make table by q14 format for 1/4 pi radian
    C[0] = 0x2D41;    // cos(1/4pi) = 0.707107
    C[1] = 0x2D41;    // sin(1/4pi) = 0.707107

    CalcOpen(CALC_FIXED16_Q14);
    CalcButterfly(dst, C, src, 1);
    CalcClose();
}
```

<結果> $(X, Y) = (60, 30) \rightarrow (X', Y') = (21, 64)$

固定小数点による色変換の例(RGB → YCbCr)

```
#include "calc.h"

void Sample2(void)
{
    // RGB-YCbCr Color Convert
    //
    // |Y| = | 0.299, 0.587, 0.114 | |R| | 0 |
    // |Cb| = | -0.1687, -0.3313, 0.5 | * |G| + |128|
    // |Cr| = | 0.5, -0.4187, -0.08113 | |B| |128|

    long *M = (long*)0x84000; // DSTRAM
    long RGB[3] = {140, 120, 80};
    long A[3] = { 0, 128, 128};
    long YCbCr[3];

    // make table by q14 format
    M[0] = 0x00001322; // 0.299
    M[1] = 0x00002591; // 0.587
    M[2] = 0x0000074B; // 0.114
    M[3] = 0xFFFFF535; // -0.687
    M[4] = 0xFFFFEACC; // -0.3313
    M[5] = 0x00002000; // 0.5
    M[6] = 0x00002000; // 0.5
    M[7] = 0xFFFFE535; // -0.4187
    M[8] = 0xFFFFFACF; // -0.08113

    // Color convert (RGB-YCbCr)
    CalcOpen(CALC_FIXED16_Q14);
    CalcAffine3(YCbCr, M, RGB, A, 1);
    CalcClose();

    // saturation 0-255
    if (YCbCr[0] > 0xFF) YCbCr[0] = 0xFF;
    if (YCbCr[0] < 0x00) YCbCr[0] = 0x00;
    if (YCbCr[1] > 0xFF) YCbCr[1] = 0xFF;
    if (YCbCr[1] < 0x00) YCbCr[1] = 0x00;
    if (YCbCr[2] > 0xFF) YCbCr[2] = 0xFF;
    if (YCbCr[2] < 0x00) YCbCr[2] = 0x00;
}
```

<結果>

RGB = (140, 120, 80) → YCbCr = (121, 105, 141)

X.1.5 ヘッダファイル

“calc.h”

```

/*****
 *
 *
 *   Function:   Calculation module interface
 *   Description:
 *       User can calculate 32bit integer or 16bit fixed point arithmetics
 *       with a hardware accelerator.
 *
 *   COPYRIGHT (C) 2007/2008, SEIKO EPSON CORP. All Rights Reserved
 *
 *****/

#ifndef __CALC_H__
#define __CALC_H__

/*****
 *****/
// Define macro
/*****

// Function table address
#define CALC_API_BASE                ((unsigned long*)0x00023000)

// Calculation mode
#define CALC_UINT32                   0x002
#define CALC_SINT32                   0x002
#define CALC_FIXED16_Q13              0x012
#define CALC_FIXED16_Q14              0x112

/*****
 *****/
// Function
/*****
 *****/
#define CalcOpen ¥
    (*((void (*)(long))CALC_API_BASE[0]))
#define CalcClose ¥
    (*((void (*)(void))CALC_API_BASE[1]))
#define CalcMatrix2 ¥
    (*((void (*)(long*, long*, long*, unsigned
long))CALC_API_BASE[2]))
#define CalcMatrix3 ¥
    (*((void (*)(long*, long*, long*, unsigned
long))CALC_API_BASE[3]))
#define CalcMatrix4 ¥
    (*((void (*)(long*, long*, long*, unsigned
long))CALC_API_BASE[4]))
#define CalcAffine2 ¥
    (*((void (*)(long*, long*, long*, long*, unsigned
long))CALC_API_BASE[5]))
#define CalcAffine3 ¥
    (*((void (*)(long*, long*, long*, long*, unsigned

```

このページはブランクです。

S1C33L19 Technical Manual

Appendix

Appendix A I/Oマップ

0x300010–0x300020	Miscレジスタ (1)	AP-A-2
0x300260–0x3002AF	割り込みコントローラ	AP-A-3
0x300300–0x30031B	カードインタフェース	AP-A-11
0x300380–0x3003D5	入出力ポート	AP-A-13
0x300520–0x30055E	A/D変換器	AP-A-24
0x300660–0x30066C	ウォッチドッグタイマ	AP-A-27
0x300780–0x3007EA	16ビットタイマ	AP-A-29
0x300900–0x30099F	USBファンクションコントローラ	AP-A-35
0x300B00–0x300B4F	シリアルインタフェース	AP-A-45
0x300C00–0x300C25	拡張入出力ポート	AP-A-50
0x300C40–0x300C4D	Miscレジスタ	AP-A-53
0x301100–0x301105	インテリジェントDMA	AP-A-54
0x301120–0x30119E	高速DMA	AP-A-55
0x301500–0x301510	SRAMコントローラ	AP-A-68
0x301600–0x301610	SDRAMコントローラ	AP-A-69
0x301700–0x30171C	SPI	AP-A-70
0x301900–0x301928	リアルタイムクロック	AP-A-71
0x301A00–0x301AAC	LCDコントローラ	AP-A-73
0x301B00–0x301B24	クロックマネージメントユニット	AP-A-80
0x301C00–0x301C20	I ² Sインタフェース	AP-A-84

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタ、(W)は32ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。

(ただし、バスと入出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

–: 回路上設定されません。

0x300010–0x300020

Misc Register

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RTC wait control register (pMISC_RTCWT) Protected	00300010 (B)	D7–3	–	reserved	–				–	–	0 when being read.
		D2	RTCWT2	RTC register access wait control	0 to 7 (cycles)				1	R/W	
		D1	RTCWT1						1		
		D0	RTCWT0						1		
USB wait control register (pMISC_USBWT) Protected	00300012 (B)	D7–6	–	reserved	–				–	–	0 when being read.
		D5	USBSNZ	USB snooze control	1	Enabled	0	Disabled	0	R/W	0 when being read.
		D4–3	–	reserved	–				–	–	
		D2	USBWT2	USB register access wait control	0 to 7 (cycles)				1	R/W	
D1	USBWT1	1									
D0	USBWT0	1									
Debug port MUX register (pMISC_PMUX) Protected	00300014 (B)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	TRCMUX	P15–17, P34–36 debug function selection	1	Debug	0	GPIO, etc.	1	R/W	
Performance analyzer control register (pMISC_PAC) Protected	00300016 (B)	D7–2	–	reserved	–				–	–	Do not access in the user program.
		D1	PARUN	Test bit	–				–	–	
		D0	PACLR	Test bit	–				–	–	
Boot register (pMISC_BOOT) Protected	00300018 (B)	D7	BOOT3	Boot mode indicator	BOOT[3:0]		Boot mode		X	R/W	Depend on the BOOT1 and BOOT0 pin status at initial reset
		D6	BOOT2		1000	SPI		X			
		D5	BOOT1		0100	NOR Flash/ROM		X			
		D4	BOOT0		0010	reserved		X			
					0001	NAND Flash					
		D3–2	–	reserved	–				–	–	0 when being read.
		D1	BOOT_ENA	#CE10 area boot enable	1	Internal	0	External	1	R/W	
		D0	CE10_SIZE	#CE10 area size	1	16 bits	0	8 bits	1	R/W	
COROM Switch Register (pMISC_COROM)	0030001A (B)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	COROM	Reference Source of Constant Value Select Register	1	DSTRAM	0	Internal	1	R/W	
Misc protect register (pMISC_PROT)	00300020 (B)	D7	PROT7	Misc register protect flag	Writing 10010110 (0x96) removes the write protection of the Misc registers (0x300010–0x30001A). Writing another value set the write protection.				0	R/W	
		D6	PROT6						0		
		D5	PROT5						0		
		D4	PROT4						0		
		D3	PROT3						0		
		D2	PROT2						0		
		D1	PROT1						0		
		D0	PROT0						0		

0x300260–0x300268

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port input 0–1 interrupt priority register (pINT_PP01L)	00300260 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP1L2	Port input 1 interrupt level	0 to 7	X	R/W	
		D5	PP1L1			X		
		D4	PP1L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP0L2	Port input 0 interrupt level	0 to 7	X	R/W	
		D1	PP0L1			X		
		D0	PP0L0			X		
Port input 2–3 interrupt priority register (pINT_PP23L)	00300261 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP3L2	Port input 3 interrupt level	0 to 7	X	R/W	
		D5	PP3L1			X		
		D4	PP3L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP2L2	Port input 2 interrupt level	0 to 7	X	R/W	
		D1	PP2L1			X		
		D0	PP2L0			X		
Key input interrupt priority register (pINT_PK01L)	00300262 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PK1L2	Key input 1 interrupt level	0 to 7	X	R/W	
		D5	PK1L1			X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PK0L2	Key input 0 interrupt level	0 to 7	X	R/W	
		D1	PK0L1			X		
		D0	PK0L0			X		
HSDMA Ch.0–1 interrupt priority register (pINT_PHSD01L)	00300263 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PHSD1L2	HSDMA Ch.1 interrupt level	0 to 7	X	R/W	
		D5	PHSD1L1			X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PHSD0L2	HSDMA Ch.0 interrupt level	0 to 7	X	R/W	
		D1	PHSD0L1			X		
		D0	PHSD0L0			X		
HSDMA Ch.2–3 interrupt priority register (pINT_PHSD23L)	00300264 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PHSD3L2	HSDMA Ch.3 interrupt level	0 to 7	X	R/W	
		D5	PHSD3L1			X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PHSD2L2	HSDMA Ch.2 interrupt level	0 to 7	X	R/W	
		D1	PHSD2L1			X		
		D0	PHSD2L0			X		
IDMA interrupt priority register (pINT_PDM)	00300265 (B)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	PDM2	IDMA interrupt level	0 to 7	X	R/W	
		D1	PDM1			X		
		D0	PDM0			X		
16-bit timer 0–1 interrupt priority register (pINT_P16T01)	00300266 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	P16T12	16-bit timer 1 interrupt level	0 to 7	X	R/W	
		D5	P16T11			X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	P16T02	16-bit timer 0 interrupt level	0 to 7	X	R/W	
		D1	P16T01			X		
		D0	P16T00			X		
16-bit timer 2–3 interrupt priority register (pINT_P16T23)	00300267 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	P16T32	16-bit timer 3 interrupt level	0 to 7	X	R/W	
		D5	P16T31			X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	P16T22	16-bit timer 2 interrupt level	0 to 7	X	R/W	
		D1	P16T21			X		
		D0	P16T20			X		

0x300269–0x300272

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC, serial I/F Ch.0 interrupt priority register (pINT_PLCDC_PSI00)	00300269 (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PSIO02	Serial interface Ch.0 interrupt level	0 to 7	X	R/W	
		D5	PSIO01			X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PLCDC2	LCDC interrupt level	0 to 7	X	R/W	
		D1	PLCDC1			X		
		D0	PLCDC0			X		
Serial I/F Ch.1, A/D interrupt priority register (pINT_PSI01_PAD)	0030026A (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PAD2	A/D converter interrupt level	0 to 7	X	R/W	
		D5	PAD1			X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PSIO12	Serial interface Ch.1 interrupt level	0 to 7	X	R/W	
		D1	PSIO11			X		
		D0	PSIO10			X		
RTC interrupt priority register (pINT_PRTC)	0030026B (B)	D7–3	–	reserved	–	–	–	Writing 1 not allowed.
		D2	PRTC2	RTC interrupt level	0 to 7	X	R/W	
		D1	PRTC1			X		
		D0	PRTC0			X		
Port input 4–5 interrupt priority register (pINT_PP45L)	0030026C (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP5L2	Port input 5 interrupt level	0 to 7	X	R/W	
		D5	PP5L1			X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP4L2	Port input 4 interrupt level	0 to 7	X	R/W	
		D1	PP4L1			X		
		D0	PP4L0			X		
Port input 6–7 interrupt priority register (pINT_PP67L)	0030026D (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PP7L2	Port input 7 interrupt level	0 to 7	X	R/W	
		D5	PP7L1			X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PP6L2	Port input 6 interrupt level	0 to 7	X	R/W	
		D1	PP6L1			X		
		D0	PP6L0			X		
Serial I/F Ch.2, SPI interrupt priority register (pINT_PSI02_PSPI)	0030026E (B)	D7	–	reserved	–	–	–	0 when being read.
		D6	PSPI2	SPI interrupt level	0 to 7	X	R/W	
		D5	PSPI1			X		
		D4	PSPI0			X		
		D3	–	reserved	–	–	–	0 when being read.
		D2	PSIO22	Serial interface Ch.2 interrupt level	0 to 7	X	R/W	
		D1	PSIO21			X		
		D0	PSIO20			X		
Key input, port input 0–3 interrupt enable register (pINT_EK01_EP03)	00300270 (B)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	EK1	Key input 1	1 Enabled 0 Disabled	0	R/W	
		D4	EK0	Key input 0		0	R/W	
		D3	EP3	Port input 3		0	R/W	
		D2	EP2	Port input 2		0	R/W	
		D1	EP1	Port input 1		0	R/W	
		D0	EP0	Port input 0		0	R/W	
DMA interrupt enable register (pINT_EDMA)	00300271 (B)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	EIDMA	IDMA	1 Enabled 0 Disabled	0	R/W	
		D3	EHDM3	HSDMA Ch.3		0	R/W	
		D2	EHDM2	HSDMA Ch.2		0	R/W	
		D1	EHDM1	HSDMA Ch.1		0	R/W	
		D0	EHDM0	HSDMA Ch.0		0	R/W	
16-bit timer 0–1 interrupt enable register (pINT_E16T01)	00300272 (B)	D7	E16TC1	16-bit timer 1 comparison A	1 Enabled 0 Disabled	0	R/W	
		D6	E16TU1	16-bit timer 1 comparison B		0	R/W	
		D5–4	–	reserved	–	–	–	0 when being read.
		D3	E16TC0	16-bit timer 0 comparison A	1 Enabled 0 Disabled	0	R/W	
		D2	E16TU0	16-bit timer 0 comparison B		0	R/W	
		D1–0	–	reserved	–	–	–	0 when being read.

0x300273–0x300283

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
16-bit timer 2–3 interrupt enable register (pINT_E16T23)	00300273 (B)	D7	E16TC3	16-bit timer 3 comparison A	1	Enabled	0	Disabled	0	R/W	
		D6	E16TU3	16-bit timer 3 comparison B					0	R/W	
		D5–4	–	reserved	–			–	–	0 when being read.	
		D3	E16TC2	16-bit timer 2 comparison A	1	Enabled	0	Disabled	0	R/W	
		D2	E16TU2	16-bit timer 2 comparison B					0	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	
Serial I/F Ch.0–1 interrupt enable register (pINT_ESIF01)	00300276 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	ESTX1	SIF Ch.1 transmit buffer empty	1	Enabled	0	Disabled	0	R/W	
		D4	ESRX1	SIF Ch.1 receive buffer full					0	R/W	
		D3	ESERR1	SIF Ch.1 receive error					0	R/W	
		D2	ESTX0	SIF Ch.0 transmit buffer empty					0	R/W	
		D1	ESRX0	SIF Ch.0 receive buffer full					0	R/W	
		D0	ESERR0	SIF Ch.0 receive error					0	R/W	
		Port input 4–7, RTC, A/D interrupt enable register (pINT_EP47_ERTC_EAD)	00300277 (B)	D7					–	reserved	
D6	EP7			Port input 7	1	Enabled	0	Disabled	0	R/W	
D5	EP6			Port input 6					0	R/W	
D4	EP5			Port input 5					0	R/W	
D3	EP4			Port input 4					0	R/W	
D2	ERTC			RTC					0	R/W	
D1	EADC			A/D conversion completion					0	R/W	
D0	EADC			A/D out-of-range					0	R/W	
LCDC interrupt enable register (pINT_ELCDC)	00300278 (B)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	ELCDC	LCDC frame end	1	Enabled	0	Disabled	0	R/W	
		D0	–	reserved	–			–	–	Do not write 1.	
Serial I/F Ch.2, SPI interrupt enable register (pINT_ESIF2_ESPI)	00300279 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	ESPITX	SPI transmit DMA	1	Enabled	0	Disabled	0	R/W	
		D4	ESPIRX	SPI receive DMA					0	R/W	
		D3	–	reserved	–			–	–	Do not write 1.	
		D2	ESTX2	SIF Ch.2 transmit buffer empty	1	Enabled	0	Disabled	0	R/W	
		D1	ESRX2	SIF Ch.2 receive buffer full					0	R/W	
		D0	ESERR2	SIF Ch.2 receive error					0	R/W	
Key input, port input 0–3 interrupt cause flag register (pINT_FK01_FP03)	00300280 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	FK1	Key input 1	1	Occurred	0	Not occurred	X	R/W	
		D4	FK0	Key input 0					X	R/W	
		D3	FP3	Port input 3					X	R/W	
		D2	FP2	Port input 2					X	R/W	
		D1	FP1	Port input 1					X	R/W	
		D0	FP0	Port input 0					X	R/W	
DMA interrupt cause flag register (pINT_FDMA)	00300281 (B)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	FIDMA	IDMA	1	Occurred	0	Not occurred	X	R/W	
		D3	FHDM3	HSDMA Ch.3					X	R/W	
		D2	FHDM2	HSDMA Ch.2					X	R/W	
		D1	FHDM1	HSDMA Ch.1					X	R/W	
		D0	FHDM0	HSDMA Ch.0					X	R/W	
16-bit timer 0–1 interrupt cause flag register (pINT_F16T01)	00300282 (B)	D7	F16TC1	16-bit timer 1 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D6	F16TU1	16-bit timer 1 comparison B					X	R/W	
		D5–4	–	reserved	–			–	–	0 when being read.	
		D3	F16TC0	16-bit timer 0 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D2	F16TU0	16-bit timer 0 comparison B					X	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	
16-bit timer 2–3 interrupt cause flag register (pINT_F16T23)	00300283 (B)	D7	F16TC3	16-bit timer 3 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D6	F16TU3	16-bit timer 3 comparison B					X	R/W	
		D5–4	–	reserved	–			–	–	0 when being read.	
		D3	F16TC2	16-bit timer 2 comparison A	1	Occurred	0	Not occurred	X	R/W	
		D2	F16TU2	16-bit timer 2 comparison B					X	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	

0x300284–0x300293

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.0–1 interrupt cause flag register (pINT_FSIF01)	00300286 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	FSTX1	SIF Ch.1 transmit buffer empty	1	Occurred	0	Not occurred	X	R/W	
		D4	FSRX1	SIF Ch.1 receive buffer full					X	R/W	
		D3	FSERR1	SIF Ch.1 receive error					X	R/W	
		D2	FSTX0	SIF Ch.0 transmit buffer empty					X	R/W	
		D1	FSRX0	SIF Ch.0 receive buffer full					X	R/W	
		D0	FSERR0	SIF Ch.0 receive error					X	R/W	
Port input 4–7, RTC, A/D interrupt cause flag register (pINT_FP47_FRTC_FAD)	00300287 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	FP7	Port input 7	1	Occurred	0	Not occurred	X	R/W	
		D5	FP6	Port input 6					X	R/W	
		D4	FP5	Port input 5					X	R/W	
		D3	FP4	Port input 4					X	R/W	
		D2	FRTC	RTC					X	R/W	
		D1	FADE	A/D conversion completion					X	R/W	
		D0	FADC	A/D out-of-range					X	R/W	
LCDC interrupt cause flag register (pINT_FLCDC)	00300288 (B)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	FLCDC	LCDC frame end	1	Occurred	0	Not occurred	X	R/W	
		D0	–	reserved					–	–	
Serial I/F Ch.2, SPI interrupt cause flag register (pINT_FSIF2_FSPI)	00300289 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	FSPITX	SPI transmit DMA	1	Occurred	0	Not occurred	X	R/W	
		D4	FSPIRX	SPI receive DMA					X	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
		D2	FSTX2	SIF Ch.2 transmit buffer empty	1	Occurred	0	Not occurred	X	R/W	
		D1	FSRX2	SIF Ch.2 receive buffer full					X	R/W	
		D0	FSERR2	SIF Ch.2 receive error					X	R/W	
Port input 0–3, HSDMA Ch.0–1, 16-bit timer 0 IDMA request register (pIDMAREQ_RP03_RHS_R16T0)	00300290 (B)	D7	R16TC0	16-bit timer 0 comparison A	1	IDMA request	0	Interrupt request	0	R/W	
		D6	R16TU0	16-bit timer 0 comparison B					0	R/W	
		D5	RHDM1	HSDMA Ch.1					0	R/W	
		D4	RHDM0	HSDMA Ch.0					0	R/W	
		D3	RP3	Port input 3					0	R/W	
		D2	RP2	Port input 2					0	R/W	
		D1	RP1	Port input 1					0	R/W	
		D0	RP0	Port input 0					0	R/W	
16-bit timer 1–3 IDMA request register (pIDMAREQ_R16T13)	00300291 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	R16TC3	16-bit timer 3 comparison A	1	IDMA request	0		0	R/W	
		D4	R16TU3	16-bit timer 3 comparison B					0	R/W	
		D3	R16TC2	16-bit timer 2 comparison A					0	R/W	
		D2	R16TU2	16-bit timer 2 comparison B					0	R/W	
		D1	R16TC1	16-bit timer 1 comparison A					0	R/W	
		D0	R16TU1	16-bit timer 1 comparison B					0	R/W	
Serial I/F Ch.0 IDMA request register (pIDMAREQ_RSIF0)	00300292 (B)	D7	RSTX0	SIF Ch.0 transmit buffer empty	1	IDMA request	0	Interrupt request	0	R/W	
		D6	RSRX0	SIF Ch.0 receive buffer full					0	R/W	
		D5–0	–	reserved	–			–	–	0 when being read.	
Serial I/F Ch.1, A/D, port input 4–7 IDMA request register (pIDMAREQ_RSIF1_RAD_RP47)	00300293 (B)	D7	RP7	Port input 7	1	IDMA request	0	Interrupt request	0	R/W	
		D6	RP6	Port input 6					0	R/W	
		D5	RP5	Port input 5					0	R/W	
		D4	RP4	Port input 4					0	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
		D2	RADE	A/D conversion completion	1	IDMA request	0	Interrupt request	0	R/W	
		D1	RSTX1	SIF Ch.1 transmit buffer empty					0	R/W	
		D0	RSRX1	SIF Ch.1 receive buffer full					0	R/W	

0x300294–0x300298

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Port input 0–3, HSDMA Ch.0–1, 16-bit timer 0 IDMA enable register (pIDMAEN_DEP03_DEHS_DE16T0)	00300294 (B)	D7	DE16TC0	16-bit timer 0 comparison A	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DE16TU0	16-bit timer 0 comparison B					0	R/W	
		D5	DEHDM1	HSDMA Ch.1					0	R/W	
		D4	DEHDM0	HSDMA Ch.0					0	R/W	
		D3	DEP3	Port input 3					0	R/W	
		D2	DEP2	Port input 2					0	R/W	
		D1	DEP1	Port input 1					0	R/W	
		D0	DEP0	Port input 0					0	R/W	
16-bit timer 1–3 IDMA enable register (pIDMAEN_DE16T13)	00300295 (B)	D7–6	–	reserved	–				–	–	0 when being read.
		D5	DE16TC3	16-bit timer 3 comparison A	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D4	DE16TU3	16-bit timer 3 comparison B					0	R/W	
		D3	DE16TC2	16-bit timer 2 comparison A					0	R/W	
		D2	DE16TU2	16-bit timer 2 comparison B					0	R/W	
		D1	DE16TC1	16-bit timer 1 comparison A					0	R/W	
		D0	DE16TU1	16-bit timer 1 comparison B					0	R/W	
		Serial I/F Ch.0 IDMA enable register (pIDMAEN_DESIF0)	00300296 (B)	D7					DESTX0	SIF Ch.0 transmit buffer empty	
D6	DESRX0			SIF Ch.0 receive buffer full	0	R/W					
D5–0	–			reserved	–				–	–	0 when being read.
Serial I/F Ch.1, A/D, port input 4–7 IDMA enable register (pIDMAEN_DESIF1_DEAD_DEP47)	00300297 (B)	D7	DEP7	Port input 7	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DEP6	Port input 6					0	R/W	
		D5	DEP5	Port input 5					0	R/W	
		D4	DEP4	Port input 4					0	R/W	
		D3	–	reserved	–				–	–	0 when being read.
		D2	DEADE	A/D conversion completion	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D1	DESTX1	SIF Ch.1 transmit buffer empty					0	R/W	
D0	DESRX1	SIF Ch.1 receive buffer full	0	R/W							
HSDMA Ch.0–1 trigger set-up register (pHSDMA_HTGR1)	00300298 (B)	D7	HSD1S3	HSDMA Ch.1 trigger set-up	0 Software trigger				0	R/W	
		D6	HSD1S2		1 #DMAREQ1 input (falling edge)	0					
		D5	HSD1S1		2 #DMAREQ1 input (rising edge)	0					
		D4	HSD1S0		3 Port 1 input	0					
					4 Port 5 input						
					5 (reserved)						
					6 16-bit timer 1 compare B						
					7 16-bit timer 1 compare A						
				8 (reserved)							
				9 I²S Output Ch. HSDMA Right							
				A SI/F Ch.1 Rx buffer full							
				B SI/F Ch.1 Tx buffer empty							
				C A/D conversion completion							
				D Port 9 input (USB PDREQ)							
				E Port 13 input							

0x300299–0x30029F

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.2–3 trigger set-up register (pHSDMA_HTGR2)	00300299 (B)	D7	HSD3S3	HSDMA Ch.3 trigger set-up	0 Software trigger	0	R/W	
		D6	HSD3S2		1 #DMAREQ3 input (falling edge)	0		
		D5	HSD3S1		2 #DMAREQ3 input (rising edge)	0		
		D4	HSD3S0		3 Port 3 input	0		
					4 Port 7 input			
					5 (reserved)			
					6 16-bit timer 3 compare B			
					7 16-bit timer 3 compare A			
					8 I ² S Input Ch. HSDMA Right			
					9 SPI Rx			
					A (reserved)			
					B (reserved)			
					C A/D conversion completion			
					D Port 11 input			
					E Port 15 input			
		D3	HSD2S3	HSDMA Ch.2 trigger set-up	0 Software trigger	0	R/W	
		D2	HSD2S2		1 #DMAREQ2 input (falling edge)	0		
		D1	HSD2S1		2 #DMAREQ2 input (rising edge)	0		
		D0	HSD2S0		3 Port 2 input	0		
					4 Port 6 input			
					5 (reserved)			
HSDMA software trigger register (pHSDMA_HSOFTTGR)	0030029A (B)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	HST3	HSDMA Ch.3 software trigger	1 Trigger	0 Invalid	0 W	
		D2	HST2	HSDMA Ch.2 software trigger			0 W	
		D1	HST1	HSDMA Ch.1 software trigger			0 W	
		D0	HST0	HSDMA Ch.0 software trigger			0 W	
LCDC, serial I/F Ch.2, SPI IDMA request register (pIDMAREQ_RLCDC_RSIF2_RSPI)	0030029B (B)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	RSPITX	SPI transmit DMA	1 IDMA request	0 Interrupt request	0 R/W	
		D4	RSPIRX	SPI receive DMA			0 R/W	
		D3	RSTX2	SIF Ch.2 transmit buffer empty			0 R/W	
		D2	RSRX2	SIF Ch.2 receive buffer full			0 R/W	
		D1	RLCDC	LCDC frame end			0 R/W	
		D0	–	reserved	–	–	–	0 when being read.
LCDC, serial I/F Ch.2, SPI IDMA enable register (pIDMAEN_DELCDC_DESIF2_DESPI)	0030029C (B)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	DESPITX	SPI transmit DMA	1 IDMA enabled	0 IDMA disabled	0 R/W	
		D4	DESPIRX	SPI receive DMA			0 R/W	
		D3	DESTX2	SIF Ch.2 transmit buffer empty			0 R/W	
		D2	DESRX2	SIF Ch.2 receive buffer full			0 R/W	
		D1	DELCDC	LCDC frame end			0 R/W	
		D0	–	reserved	–	–	–	0 when being read.
Flag set/reset method select register (pRST_RESET)	0030029F (B)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	DENONLY	IDMA enable register set method selection	1 Set only	0 RD/WR	1 R/W	
		D1	IDMAONLY	IDMA request register set method selection	1 Set only	0 RD/WR	1 R/W	
		D0	RSTONLY	Cause-of-interrupt flag reset method selection	1 Reset only	0 RD/WR	1 R/W	

0x3002A0–0x3002AA

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port input 8–9 interrupt priority register (pINT_PP89L)	003002A0 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	PP9L2	Port input 9/USB PDREQ interrupt level	0 to 7			X	R/W		
		D5	PP9L1		X						
		D4	PP9L0		X						
		D3	–	reserved	–			–	–	0 when being read.	
		D2	PP8L2	Port input 8/SPI interrupt level	0 to 7			X	R/W		
		D1	PP8L1		X						
		D0	PP8L0		X						
Port input 10–11 interrupt priority register (pINT_PP1011L)	003002A1 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	PP11L2	Port input 11 interrupt level	0 to 7			X	R/W		
		D5	PP11L1		X						
		D4	PP11L0		X						
		D3	–	reserved	–			–	–	0 when being read.	
		D2	PP10L2	Port input 10/USB interrupt level	0 to 7			X	R/W		
		D1	PP10L1		X						
		D0	PP10L0		X						
Port input 12–13 interrupt priority register (pINT_PP1213L)	003002A2 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	PP13L2	Port input 13 interrupt level	0 to 7			X	R/W		
		D5	PP13L1		X						
		D4	PP13L0		X						
		D3	–	reserved	–			–	–	0 when being read.	
		D2	PP12L2	Port input 12 interrupt level	0 to 7			X	R/W		
		D1	PP12L1		X						
		D0	PP12L0		X						
Port input 14–15 interrupt priority register (pINT_PP1415L)	003002A3 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	PP15L2	Port input 15 interrupt level	0 to 7			X	R/W		
		D5	PP15L1		X						
		D4	PP15L0		X						
		D3	–	reserved	–			–	–	0 when being read.	
		D2	PP14L2	Port input 14 interrupt level	0 to 7			X	R/W		
		D1	PP14L1		X						
		D0	PP14L0		X						
I ² S interrupt priority register (pINT_PI2S)	003002A4 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	PI2SI2	I ² S Input Ch. interrupt level	0 to 7			X	R/W		
		D5	PI2SI1		X						
		D4	PI2SI0		X						
		D3	–	reserved	–			–	–	0 when being read.	
		D2	PI2SO2	I ² S Output Ch. interrupt level	0 to 7			X	R/W		
		D1	PI2SO1		X						
		D0	PI2SO0		X						
Port input 8–15 interrupt enable register (pINT_EP815)	003002A6 (B)	D7	EP15	Port input 15	1	Enabled	0	Disabled	0	R/W	
		D6	EP14	Port input 14					0	R/W	
		D5	EP13	Port input 13					0	R/W	
		D4	EP12	Port input 12					0	R/W	
		D3	EP11	Port input 11					0	R/W	
		D2	EP10	Port input 10/USB					0	R/W	
		D1	EP9	Port input 9/USB PDREQ					0	R/W	
		D0	EP8	Port input 8/SPI					0	R/W	
I ² S interrupt enable register (pINT_EI2S)	003002A7 (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	EI2SI	I ² S Input Ch. interrupt Enable	1	Enabled	0	Disabled	0	R/W	
		D5–3	–	reserved	–			–	–	0 when being read.	
		D2	EI2SO	I ² S Output Ch. interrupt Enable	1	Enabled	0	Disabled	0	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	
Port input 8–15 interrupt cause flag register (pINT_FP815)	003002A9 (B)	D7	FP15	Port input 15	1	Occurred	0	Not occurred	X	R/W	
		D6	FP14	Port input 14					X	R/W	
		D5	FP13	Port input 13					X	R/W	
		D4	FP12	Port input 12					X	R/W	
		D3	FP11	Port input 11					X	R/W	
		D2	FP10	Port input 10/USB					X	R/W	
		D1	FP9	Port input 9/USB PDREQ					X	R/W	
		D0	FP8	Port input 8/SPI					X	R/W	
I ² S interrupt cause flag register (pINT_FI2S)	003002AA (B)	D7	–	reserved	–			–	–	0 when being read.	
		D6	FI2SI	I ² S Input Ch. cause-of-interrupt Flag	1	Occurred	0	Not occurred	X	R/W	
		D5–3	–	reserved	–			–	–	0 when being read.	
		D2	FI2SO	I ² S Output Ch. cause-of-interrupt Flag	1	Occurred	0	Not occurred	X	R/W	
		D1–0	–	reserved	–			–	–	0 when being read.	

0x3002AC–0x3002AF

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Port input 8–15 IDMA request register (pIDMAREQ _RP815)	003002AC (B)	D7	RP15	Port input 15	1	IDMA request	0	Interrupt request	0	R/W	
		D6	RP14	Port input 14					0	R/W	
		D5	RP13	Port input 13					0	R/W	
		D4	RP12	Port input 12					0	R/W	
		D3	RP11	Port input 11					0	R/W	
		D2	RP10	Port input 10/USB					0	R/W	
		D1	RP9	Port input 9/USB PDREQ					0	R/W	
		D0	RP8	Port input 8/SPI					0	R/W	
I ² S IDMA request register (pIDMAREQ_RI2S)	003002AD (B)	D7–3	–	reserved	–				–	–	0 when being read.
		D2	RI2SI	I ² S Input Ch. IDMA request	1	IDMA request	0	Interrupt request	0	R/W	0 when being read.
		D1	–	reserved	–				–	–	
		D0	RI2SO	I ² S Output Ch. IDMA request	1	IDMA request	0	Interrupt request	0	R/W	
Port input 8–15 IDMA enable register (pIDMAEN_DEP815)	003002AE (B)	D7	DEP15	Port input 15	1	IDMA enabled	0	IDMA disabled	0	R/W	
		D6	DEP14	Port input 14					0	R/W	
		D5	DEP13	Port input 13					0	R/W	
		D4	DEP12	Port input 12					0	R/W	
		D3	DEP11	Port input 11					0	R/W	
		D2	DEP10	Port input 10/USB					0	R/W	
		D1	DEP9	Port input 9/USB PDREQ					0	R/W	
		D0	DEP8	Port input 8/SPI					0	R/W	
I ² S IDMA enable register (pIDMAEN_DEI2S)	003002AF (B)	D7–3	–	reserved	–				–	–	0 when being read.
		D2	DEI2SI	I ² S Input Ch. IDMA request	1	IDMA enabled	0	IDMA disabled	0	R/W	0 when being read.
		D1	–	reserved	–				–	–	
		D0	DEI2SO	I ² S Output Ch. IDMA request	1	IDMA enabled	0	IDMA disabled	0	R/W	

0x300300–0x300318

Card Interface

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Card I/F area configuration register (pCARDSETUP)	00300300 (B)	D7	CARDPC21	PC card 2 area configuration	bit[1:0] #CE area	0	R/W	
		D6	CARDPC20			0		
		D5	CARDPC11	PC card 1 area configuration	11 #CE11 (Area 11, 12)	0	R/W	
		D4	CARDPC10			0		
		D3	CARDCF1	CF area configuration	10 #CE9 (Area 9, 22)	0	R/W	
		D2	CARDCF0			0		
		D1	CARDSMT1	SmartMedia/NAND flash area configuration	01 #CE7 (Area 7, 19)	0	R/W	
		D0	CARDSMT0			0		
Card I/F output port configuration register (pCARDFUNCSEL05)	00300302 (B)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	CARDIO5	CARD5 port function select	1 #CFCE2 0 #WE	0	R/W	
		D4	CARDIO4	CARD4 port function select	1 #CFCE1 0 #OE	0	R/W	
		D3	CARDIO3	CARD3 port function select	1 #SMWR 0 #IOWR	0	R/W	
		D2	CARDIO2	CARD2 port function select	1 #SMRD 0 #IORD	0	R/W	
		D1	CARDIO1	CARD1 port function select	1 #CFCE2 0 #SMWR	0	R/W	
		D0	CARDIO0	CARD0 port function select	1 #CFCE1 0 #SMRD	0	R/W	
EDC reset register	0x00300310 (8)	D7–1	–	Reserved	–	–	–	0 when being read.
		D0	RST	EDC reset	1: Reset 0: Invalid	0	W	
EDC Control register	0x00300311 (8)	D7–D3	–	Reserved	–	–	–	0 when being read.
		D2	TYPE	EDC Data Type	1 Parity Code 0 Flash Data	0	R/W	
		D1	MODE	EDC Mode	1 Decode 0 Encode	0	R/W	
		D0	EN	EDC Enable	1 Enable 0 Disable	0	R/W	
EDC Parity Code register	0x00300312 (8)	D7	RS0D7	RS Parity Code Register 0	RS0[7:0]	0	R	
		D6	RS0D6			0	R	
		D5	RS0D5			0	R	
		D4	RS0D4			0	R	
		D3	RS0D3			0	R	
		D2	RS0D2			0	R	
		D1	RS0D1			0	R	
		D0	RS0D0			0	R	
EDC Parity Code register	0x00300313 (8)	D7	RS1D5	RS Parity Code Register 0,1	RS1[5:0] RS0[9:8]	0	R	
		D6	RS1D4			0	R	
		D5	RS1D3			0	R	
		D4	RS1D2			0	R	
		D3	RS1D1			0	R	
		D2	RS1D0			0	R	
		D1	RS0D9			0	R	
		D0	RS0D8			0	R	
EDC Parity Code register	0x00300314 (8)	D7	RS2D3	RS Parity Code Register 1, 2	RS2[3:0] RS1[9:6]	0	R	
		D6	RS2D2			0	R	
		D5	RS2D1			0	R	
		D4	RS2D0			0	R	
		D3	RS1D9			0	R	
		D2	RS1D8			0	R	
		D1	RS1D7			0	R	
		D0	RS1D6			0	R	
EDC Parity Code register	0x00300315 (8)	D7	RS3D1	RS Parity Code Register 2, 3	RS3[1:0] RS2[9:4]	0	R	
		D6	RS3D0			0	R	
		D5	RS2D9			0	R	
		D4	RS2D8			0	R	
		D3	RS2D7			0	R	
		D2	RS2D6			0	R	
		D1	RS2D5			0	R	
		D0	RS2D4			0	R	
EDC Parity Code register	0x00300316 (8)	D7	RS3D9	RS Parity Code Register 3	RS3[9:2]	0	R	
		D6	RS3D8			0	R	
		D5	RS3D7			0	R	
		D4	RS3D6			0	R	
		D3	RS3D5			0	R	
		D2	RS3D4			0	R	
		D1	RS3D3			0	R	
		D0	RS3D2			0	R	

0x30031A–0x30031B

Card Interface

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
EDC Parity Code register	0x00300317 (8)	D7	RS4D7	RS Parity Code Register 4	RS4[7:0]	0	R	
		D6	RS4D6			0	R	
		D5	RS4D5			0	R	
		D4	RS4D4			0	R	
		D3	RS4D3			0	R	
		D2	RS4D2			0	R	
		D1	RS4D1			0	R	
		D0	RS4D0			0	R	
EDC Parity Code register	0x00300318 (8)	D7	RS5D5	RS Parity Code Register 4, 5	RS5[5:0] RS4[9:8]	0	R	
		D6	RS5D4			0	R	
		D5	RS5D3			0	R	
		D4	RS5D2			0	R	
		D3	RS5D1			0	R	
		D2	RS5D0			0	R	
		D1	RS4D9			0	R	
		D0	RS4D8			0	R	
EDC Parity Code register	0x00300319 (8)	D7	RS6D3	RS Parity Code Register 5, 6	RS6[3:0] RS5[9:6]	0	R	
		D6	RS6D2			0	R	
		D5	RS6D1			0	R	
		D4	RS6D0			0	R	
		D3	RS5D9			0	R	
		D2	RS5D8			0	R	
		D1	RS5D7			0	R	
		D0	RS5D6			0	R	
EDC Parity Code register	0x0030031A (8)	D7	RS7D1	RS Parity Code Register 6, 7	RS7[1:0] RS6[9:4]	0	R	
		D6	RS7D0			0	R	
		D5	RS6D9			0	R	
		D4	RS6D8			0	R	
		D3	RS6D7			0	R	
		D2	RS6D6			0	R	
		D1	RS6D5			0	R	
		D0	RS6D4			0	R	
EDC Parity Code register	0x0030031B (8)	D7	RS7D9	RS Parity Code Register 7	RS7[9:2]	0	R	
		D6	RS7D8			0	R	
		D5	RS7D7			0	R	
		D4	RS7D6			0	R	
		D3	RS7D5			0	R	
		D2	RS7D4			0	R	
		D1	RS7D3			0	R	
		D0	RS7D2			0	R	

0x300380–0x300387

I/O Ports

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 port data register (pP0_P0D)	00300380 (B)	D7	P07D	P07 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P06D	P06 I/O port data					Ext.	R/W	
		D5	P05D	P05 I/O port data					Ext.	R/W	
		D4	P04D	P04 I/O port data					Ext.	R/W	
		D3	P03D	P03 I/O port data					Ext.	R/W	
		D2	P02D	P02 I/O port data					Ext.	R/W	
		D1	P01D	P01 I/O port data					Ext.	R/W	
		D0	P00D	P00 I/O port data					Ext.	R/W	
P0 I/O control register (pP0_IOC0)	00300381 (B)	D7	IOC07	P07 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC06	P06 I/O control					0	R/W	
		D5	IOC05	P05 I/O control					0	R/W	
		D4	IOC04	P04 I/O control					0	R/W	
		D3	IOC03	P03 I/O control					0	R/W	
		D2	IOC02	P02 I/O control					0	R/W	
		D1	IOC01	P01 I/O control					0	R/W	
		D0	IOC00	P00 I/O control					0	R/W	
P1 port data register (pP1_P1D)	00300382 (B)	D7	P17D	P17 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P16D	P16 I/O port data					Ext.	R/W	
		D5	P15D	P15 I/O port data					Ext.	R/W	
		D4	P14D	P14 I/O port data					Ext.	R/W	
		D3	P13D	P13 I/O port data					Ext.	R/W	
		D2	P12D	P12 I/O port data					Ext.	R/W	
		D1	P11D	P11 I/O port data					Ext.	R/W	
		D0	P10D	P10 I/O port data					Ext.	R/W	
P1 I/O control register (pP1_IOC1)	00300383 (B)	D7	IOC17	P17 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC16	P16 I/O control					0	R/W	
		D5	IOC15	P15 I/O control					0	R/W	
		D4	IOC14	P14 I/O control					0	R/W	
		D3	IOC13	P13 I/O control					0	R/W	
		D2	IOC12	P12 I/O control					0	R/W	
		D1	IOC11	P11 I/O control					0	R/W	
		D0	IOC10	P10 I/O control					0	R/W	
P2 port data register (pP2_P2D)	00300384 (B)	D7	P27D	P27 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P26D	P26 I/O port data					Ext.	R/W	
		D5	P25D	P25 I/O port data					Ext.	R/W	
		D4	P24D	P24 I/O port data					Ext.	R/W	
		D3	P23D	P23 I/O port data					Ext.	R/W	
		D2	P22D	P22 I/O port data					Ext.	R/W	
		D1	P21D	P21 I/O port data					Ext.	R/W	
		D0	P20D	P20 I/O port data					Ext.	R/W	
P2 I/O control register (pP2_IOC2)	00300385 (B)	D7	IOC27	P27 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC26	P26 I/O control					0	R/W	
		D5	IOC25	P25 I/O control					0	R/W	
		D4	IOC24	P24 I/O control					0	R/W	
		D3	IOC23	P23 I/O control					0	R/W	
		D2	IOC22	P22 I/O control					0	R/W	
		D1	IOC21	P21 I/O control					0	R/W	
		D0	IOC20	P20 I/O control					0	R/W	
P3 port data register (pP3_P3D)	00300386 (B)	D7	–	reserved	1	High	0	Low	–	–	0 when being read. Ext.: The initial value depends on the external pin status.
		D6	P36D	P36 I/O port data					Ext.	R/W	
		D5	P35D	P35 I/O port data					Ext.	R/W	
		D4	P34D	P34 I/O port data					Ext.	R/W	
		D3	P33D	P33 I/O port data					Ext.	R/W	
		D2	P32D	P32 I/O port data					Ext.	R/W	
		D1	P31D	P31 I/O port data					Ext.	R/W	
		D0	P30D	P30 I/O port data					Ext.	R/W	
P3 I/O control register (pP3_IOC3)	00300387 (B)	D7	–	reserved	1	Output	0	Input	–	–	0 when being read.
		D6	IOC36	P36 I/O control					0	R/W	
		D5	IOC35	P35 I/O control					0	R/W	
		D4	IOC34	P34 I/O control					0	R/W	
		D3	IOC33	P33 I/O control					0	R/W	
		D2	IOC32	P32 I/O control					0	R/W	
		D1	IOC31	P31 I/O control					0	R/W	
		D0	IOC30	P30 I/O control					0	R/W	

0x300388–0x300391

I/O Ports

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P4 port data register (pP4_P4D)	00300388 (B)	D7	P47D	P47 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P46D	P46 I/O port data					Ext.	R/W	
		D5	P45D	P45 I/O port data					Ext.	R/W	
		D4	P44D	P44 I/O port data					Ext.	R/W	
		D3	P43D	P43 I/O port data					Ext.	R/W	
		D2	P42D	P42 I/O port data					Ext.	R/W	
		D1	P41D	P41 I/O port data					Ext.	R/W	
		D0	P40D	P40 I/O port data					Ext.	R/W	
P4 I/O control register (pP4_IOC4)	00300389 (B)	D7	IOC47	P47 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC46	P46 I/O control					0	R/W	
		D5	IOC45	P45 I/O control					0	R/W	
		D4	IOC44	P44 I/O control					0	R/W	
		D3	IOC43	P43 I/O control					0	R/W	
		D2	IOC42	P42 I/O control					0	R/W	
		D1	IOC41	P41 I/O control					0	R/W	
		D0	IOC40	P40 I/O control					0	R/W	
P5 port data register (pP5_P5D)	0030038A (B)	D7	P57D	P57 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P56D	P56 I/O port data					Ext.	R/W	
		D5	P55D	P55 I/O port data					Ext.	R/W	
		D4	P54D	P54 I/O port data					Ext.	R/W	
		D3	P53D	P53 I/O port data					Ext.	R/W	
		D2	P52D	P52 I/O port data					Ext.	R/W	
		D1	P51D	P51 I/O port data					Ext.	R/W	
		D0	P50D	P50 I/O port data					Ext.	R/W	
P5 I/O control register (pP5_IOC5)	0030038B (B)	D7	IOC57	P57 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC56	P56 I/O control					0	R/W	
		D5	IOC55	P55 I/O control					0	R/W	
		D4	IOC54	P54 I/O control					0	R/W	
		D3	IOC53	P53 I/O control					0	R/W	
		D2	IOC52	P52 I/O control					0	R/W	
		D1	IOC51	P51 I/O control					0	R/W	
		D0	IOC50	P50 I/O control					0	R/W	
P6 port data register (pP6_P6D)	0030038C (B)	D7	P67D	P67 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P66D	P66 I/O port data					Ext.	R/W	
		D5	P65D	P65 I/O port data					Ext.	R/W	
		D4	P64D	P64 I/O port data					Ext.	R/W	
		D3	P63D	P63 I/O port data					Ext.	R/W	
		D2	P62D	P62 I/O port data					Ext.	R/W	
		D1	P61D	P61 I/O port data					Ext.	R/W	
		D0	P60D	P60 I/O port data					Ext.	R/W	
P6 I/O control register (pP6_IOC6)	0030038D (B)	D7	IOC67	P67 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC66	P66 I/O control					0	R/W	
		D5	IOC65	P65 I/O control					0	R/W	
		D4	IOC64	P64 I/O control					0	R/W	
		D3	IOC63	P63 I/O control					0	R/W	
		D2	IOC62	P62 I/O control					0	R/W	
		D1	IOC61	P61 I/O control					0	R/W	
		D0	IOC60	P60 I/O control					0	R/W	
P7 port data register (pP7_P7D)	0030038E (B)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	P74D	P74 input port data	1	High	0	Low	Ext.	R	Ext.: The initial value depends on the external pin status.
		D3	P73D	P73 input port data					Ext.	R	
		D2	P72D	P72 input port data					Ext.	R	
		D1	P71D	P71 input port data					Ext.	R	
		D0	P70D	P70 input port data					Ext.	R	
P8 port data register (pP8_P8D)	00300390 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	P85D	P85 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D4	P84D	P84 I/O port data					Ext.	R/W	
		D3	P83D	P83 I/O port data					Ext.	R/W	
		D2	P82D	P82 I/O port data					Ext.	R/W	
		D1	P81D	P81 I/O port data					Ext.	R/W	
D0	P80D	P80 I/O port data	Ext.	R/W							
P8 I/O control register (pP8_IOC8)	00300391 (B)	D7–6	–	reserved	–			–	–	0 when being read.	
		D5	IOC85	P85 I/O control	1	Output	0	Input	0	R/W	
		D4	IOC84	P84 I/O control					0	R/W	
		D3	IOC83	P83 I/O control					0	R/W	
		D2	IOC82	P82 I/O control					0	R/W	
		D1	IOC81	P81 I/O control					0	R/W	
		D0	IOC80	P80 I/O control					0	R/W	

0x300392–0x3003A1

I/O Ports

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P9 port data register (pP9_P9D)	00300392 (B)	D7	P97D	P97 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D6	P96D	P96 I/O port data					Ext.	R/W	
		D5	P95D	P95 I/O port data					Ext.	R/W	
		D4	P94D	P94 I/O port data					Ext.	R/W	
		D3	P93D	P93 I/O port data					Ext.	R/W	
		D2	P92D	P92 I/O port data					Ext.	R/W	
		D1	P91D	P91 I/O port data					Ext.	R/W	
		D0	P90D	P90 I/O port data					Ext.	R/W	
P9 I/O control register (pP9_IOC9)	00300393 (B)	D7	IOC97	P97 I/O control	1	Output	0	Input	0	R/W	
		D6	IOC96	P96 I/O control					0	R/W	
		D5	IOC95	P95 I/O control					0	R/W	
		D4	IOC94	P94 I/O control					0	R/W	
		D3	IOC93	P93 I/O control					0	R/W	
		D2	IOC92	P92 I/O control					0	R/W	
		D1	IOC91	P91 I/O control					0	R/W	
		D0	IOC90	P90 I/O control					0	R/W	
P00–P03 port function select register (pP0_03_CFP)	003003A0 (B)	D7 D6	CFP031 CFP030	P03 port extended function	CFP03[1:0]		Function	0	R/W		
					11	reserved	0				
					10	#DMAEND3					
					01	#SRDY0					
					00	P03					
		D5 D4	CFP021 CFP020	P02 port extended function	CFP02[1:0]		Function	0	R/W		
					11	reserved	0				
					10	#DMAEND2					
					01	#SCLK0					
					00	P02					
		D3 D2	CFP011 CFP010	P01 port extended function	CFP01[1:0]		Function	0	R/W		
					11	reserved	0				
					10	#DMAACK3					
					01	SOUT0					
					00	P01					
		D1 D0	CFP001 CFP000	P00 port extended function	CFP00[1:0]		Function	0	R/W		
11	reserved				0						
10	#DMAACK2										
01	SIN0										
00	P00										
P04–P07 port function select register (pP0_47_CFP)	003003A1 (B)	D7 D6	CFP071 CFP070	P07 port extended function	CFP07[1:0]		Function	0	R/W		
					11	reserved	0				
					10	I2S_MCLK_O					
					01	#SRDY1					
					00	P07					
		D5 D4	CFP061 CFP060	P06 port extended function	CFP06[1:0]		Function	0	R/W		
					11	I2S_SCK_I	0				
					10	I2S_SCK_O					
					01	#SCLK1					
					00	P06					
		D3 D2	CFP051 CFP050	P05 port extended function	CFP05[1:0]		Function	0	R/W		
					11	I2S_WS_I	0				
					10	I2S_WS_O					
					01	SOUT1					
					00	P05					
		D1 D0	CFP041 CFP040	P04 port extended function	CFP04[1:0]		Function	0	R/W		
11	reserved				0						
10	I2S_SDO										
01	SIN1										
00	P04										

0x3003A2–0x3003A4

I/O Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P10–P13 port function select register (pP1_03_CFP)	003003A2 (B)	D7 D6	CFP131 CFP130	P13 port extended function	CFP13[1:0]	Function	0	R/W	
					11	#DMAACK1	0		
					10	#SRDY0			
					01	I2S_MCLK_I P13			
		D5 D4	CFP121 CFP120	P12 port extended function	CFP12[1:0]	Function	0	R/W	
					11	#DMAACK0	0		
					10	#SCLK0			
					01	I2S_SCK_I P12			
		D3 D2	CFP111 CFP110	P11 port extended function	CFP11[1:0]	Function	0	R/W	
					11	#DMAEND1 SOUT0 I2S_WS_I P11	0		
					10				
					01				
		D1 D0	CFP101 CFP100	P10 port extended function	CFP10[1:0]	Function	0	R/W	
					11	#DMAEND0 SIN0 I2S_SDI P10	0		
					10				
					01				
P14–P17 port function select register (pP1_47_CFP)	003003A3 (B)	D7 D6	CFP171 CFP170	P17 port extended function	CFP17[1:0]	Function	0	R/W	When TRCMUX (D0/0x300014) is set to 1 (default), this register becomes ineffective and the port is configured for debugging.
					11	TFT_CTL2 #SRDY1 CARD1 P17	0		
					10				
					01				
		D5 D4	CFP161 CFP160	P16 port extended function	CFP16[1:0]	Function	0	R/W	
					11	TFT_CTL3 #SCLK1 CARD0 P16	0		
					10				
					01				
		D3 D2	CFP151 CFP150	P15 port extended function	CFP15[1:0]	Function	0	R/W	
					11	TFT_CTL0 SOUT1 TM3 P15	0		
					10				
					01				
		D1 D0	CFP141 CFP140	P14 port extended function	CFP14[1:0]	Function	0	R/W	
					11	reserved SIN1 TM2 P14	0		
					10				
					01				
P20–P23 port function select register (pP2_03_CFP)	003003A4 (B)	D7 D6	CFP231 CFP230	P23 port extended function	CFP23[1:0]	Function	0	R/W	
					11	reserved TFT_CTL1 #SDRAS P23	0		
					10				
					01				
		D5 D4	CFP221 CFP220	P22 port extended function	CFP22[1:0]	Function	0	R/W	
					1*	reserved #SDCS P22	0		
					01				
					00				
		D3 D2	CFP211 CFP210	P21 port extended function	CFP21[1:0]	Function	0	R/W	
					1*	reserved SDCLK P21	1		
					01				
					00				
		D1 D0	CFP201 CFP200	P20 port extended function	CFP20[1:0]	Function	0	R/W	
					1*	reserved SDCKE P20	0		
					01				
					00				

0x3003A5–0x3003A8

I/O Ports

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P24–P27 port function select register (pP2_47_CFP)	003003A5 (B)	D7 D6	CFP271 CFP270	P27 port extended function	CFP27[1:0]	Function	0	R/W
					1*	reserved	0	
					01	DQMH P27		
		D5 D4	CFP261 CFP260	P26 port extended function	CFP26[1:0]	Function	0	
					1*	reserved	0	
					01	DQML P26		
		D3 D2	CFP251 CFP250	P25 port extended function	CFP25[1:0]	Function	0	
					1*	reserved	0	
					01	#SDWE P25		
		D1 D0	CFP241 CFP240	P24 port extended function	CFP24[1:0]	Function	0	
					1*	reserved	0	
					01	#SDCAS P24		
P30–P33 port function select register (pP3_03_CFP)	003003A6 (B)	D7 D6	CFP331 CFP330	P33 port extended function	CFP33[1:0]	Function	0	R/W
					11	FPDAT15	0	
					10	#DMAREQ3		
					01	CARD5		
		D5 D4	CFP321 CFP320	P32 port extended function	CFP32[1:0]	Function	0	
					11	FPDAT14	0	
					10	#DMAREQ2		
					01	CARD4		
		D3 D2	CFP311 CFP310	P31 port extended function	CFP31[1:0]	Function	0	
					11	FPDAT13	0	
					10	#DMAREQ1		
					01	CARD3		
P34–P36 port function select register (pP3_46_CFP)	003003A7 (B)	D7–6	–	reserved	–		–	0 when being read. When TRCMUX (D0/0x300014) is set to 1 (default), this register becomes ineffective and the port is configured for debugging.
					–		–	
		D5 D4	CFP361 CFP360	P36 port extended function	CFP36[1:0]	Function	0	
					1*	reserved	0	
					01	P36 DST2		
		D3 D2	CFP351 CFP350	P35 port extended function	CFP35[1:0]	Function	0	
					1*	reserved	0	
					01	P35 DCLK		
		D1 D0	CFP341 CFP340	P34 port extended function	CFP34[1:0]	Function	0	
					1*	reserved	0	
					01	P34 DSIO		
P40–P43 port function select register (pP4_03_CFP)	003003A8 (B)	D7 D6	CFP431 CFP430	P43 port extended function	CFP43[1:0]	Function	0	R/W
					11	reserved	0	
					10	FPDAT9		
					01	P43 A21		
		D5 D4	CFP421 CFP420	P42 port extended function	CFP42[1:0]	Function	0	
					11	reserved	0	
					10	FPDAT8		
					01	P42 A22		
		D3 D2	CFP411 CFP410	P41 port extended function	CFP41[1:0]	Function	0	
					11	#SDRAS	0	
					10	FPDAT13		
					01	P41 A23		
		D1 D0	CFP401 CFP400	P40 port extended function	CFP40[1:0]	Function	0	
					11	#SDCAS	0	
					10	FPDAT12		
					01	P40 A24		

0x3003A9–0x3003AB

I/O Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P44–P47 port function select register (pP4_47_CFP)	003003A9 (B)	D7 D6	CFP471 CFP470	P47 port extended function	CFP47[1:0]	Function	0	R/W		
					1*	reserved	0			
					01	P47				
					00	A11				
		D5 D4	CFP461 CFP460	P46 port extended function	CFP46[1:0]	Function	0	R/W		
					11	reserved	0			
					10	TFT_CTL2				
					01	P46				
		D3 D2	CFP451 CFP450	P45 port extended function	CFP45[1:0]	Function	0	R/W		
					11	reserved	0			
					10	FPDAT11				
					01	P45				
		D1 D0	CFP441 CFP440	P44 port extended function	CFP44[1:0]	Function	0	R/W		
					11	reserved	0			
					10	FPDAT10				
					01	P44				
P50–P53 port function select register (pP5_03_CFP)	003003AA (B)	D7 D6	CFP531 CFP530	P53 port extended function	CFP53[1:0]	Function	0	R/W		
					11	reserved	0			
					10	SDA10				
					01	P53				
		D5 D4	CFP521 CFP520	P52 port extended function	CFP52[1:0]	Function	0	R/W		
					11	CMU_CLK	0			
					10	#CE6				
					01	BCLK				
		D3 D2	CFP511 CFP510	P51 port extended function	CFP51[1:0]	Function	0	R/W		
					11	reserved	0			
					10	CARD1				
					01	P51				
		D1 D0	CFP501 CFP500	P50 port extended function	CFP50[1:0]	Function	0	R/W		
					11	reserved	0			
					10	CARD0				
					01	P50				
		P54–P57 port function select register (pP5_47_CFP)	003003AB (B)	D7 D6	CFP571 CFP570	P57 port extended function	CFP57[1:0]	Function	0	R/W
							1*	reserved	0	
							01	P57		
							00	#CE10		
D5 D4	CFP561 CFP560			P56 port extended function	CFP56[1:0]	Function	0	R/W		
					1*	reserved	0			
					01	P56				
					00	#CE11				
D3 D2	CFP551 CFP550			P55 port extended function	CFP55[1:0]	Function	0	R/W		
					11	FPDAT14	0			
					10	CARD0				
					01	P55				
D1 D0	CFP541 CFP540			P54 port extended function	CFP54[1:0]	Function	0	R/W		
					11	FPDAT15	0			
					10	CARD1				
					01	P54				
							00	#CE8		

0x3003AC–0x3003AF

I/O Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P60–P63 port function select register (pP6_03_CFP)	003003AC (B)	D7 D6	CFP631 CFP630	P63 port extended function	CFP63[1:0]	Function	0	R/W	
					11	#WDT_NMI	0		
					10	WDT_CLK			
					01	FPDAT13			
					00	P63			
		D5 D4	CFP621 CFP620	P62 port extended function	CFP62[1:0]	Function	0	R/W	
					11	CMU_CLK	0		
					10	#ADTRG			
					01	FPDAT12			
					00	P62			
		D3 D2	CFP611 CFP610	P61 port extended function	CFP61[1:0]	Function	0	R/W	
					11	EXCL1	0		
					10	FPDAT14			
					01	SOUT2			
					00	P61			
		D1 D0	CFP601 CFP600	P60 port extended function	CFP60[1:0]	Function	0	R/W	
11	EXCL0				0				
10	FPDAT15								
01	SIN2								
00	P60								
P64–P67 port function select register (pP6_47_CFP)	003003AD (B)	D7 D6	CFP671 CFP670	P67 port extended function	CFP67[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT10			
					01	SPI_CLK			
					00	P67			
		D5 D4	CFP661 CFP660	P66 port extended function	CFP66[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT9			
					01	SDO			
					00	P66			
		D3 D2	CFP651 CFP650	P65 port extended function	CFP65[1:0]	Function	0	R/W	
					11	reserved	0		
					10	FPDAT8			
					01	SDI			
					00	P65			
		D1 D0	CFP641 CFP640	P64 port extended function	CFP64[1:0]	Function	0	R/W	
11	reserved				0				
10	EXCL2								
01	#WAIT								
00	P64								
P70–P73 port function select register (pP7_03_CFP)	003003AE (B)	D7 D6	CFP731 CFP730	P73 port extended function	CFP73[1:0]	Function	0	R/W	
					11	reserved	0		
					10	I2S_MCLK_EXT			
					01	AIN3			
					00	P73			
		D5 D4	CFP721 CFP720	P72 port extended function	CFP72[1:0]	Function	0	R/W	
					1*	reserved	0		
					01	AIN2			
					00	P72			
					D3 D2	CFP711 CFP710	P71 port extended function		CFP71[1:0]
		1*	reserved	0					
		01	AIN1						
		00	P71						
		D1 D0	CFP701 CFP700	P70 port extended function				CFP70[1:0]	Function
					1*	reserved	0		
					01	AIN0			
00	P70								
P74 port function select register (pP7_4_CFP)	003003AF (B)				D7–2	–	reserved	–	–
		D1 D0	CFP741 CFP740	P74 port extended function	CFP74[1:0]	Function	0	R/W	
					11	reserved	0		
					10	EXCL3			
					01	AIN4			
		00	P74						

0x3003B0–0x3003B3

I/O Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P80–P83 port function select register (pP8_03_CFP)	003003B0 (B)	D7 D6	CFP831 CFP830	P83 port extended function	CFP83[1:0]	Function	0	R/W			
					11	BCLK	0				
					10	TFT_CTL1					
					01	FPDRDY					
				00	P83						
		D5 D4	CFP821 CFP820	P82 port extended function	CFP82[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	FPSHIFT					
					00	P82					
		D3 D2	CFP811 CFP810	P81 port extended function	CFP81[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	FPLINE					
00	P81										
D1 D0	CFP801 CFP800	P80 port extended function	CFP80[1:0]	Function	0	R/W					
			1*	reserved	0						
			01	FPFRAME							
			00	P80							
P84–P85 port function select register (pP8_45_CFP)	003003B1 (B)	D7–4	–	reserved	–		ñ	ñ	0 when being read.		
		D3 D2	CFP851 CFP850	P85 port extended function	CFP85[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	TM1					
					00	P85					
		D1 D0	CFP841 CFP840	P84 port extended function	CFP84[1:0]	Function	0	R/W			
					11	reserved	0				
					10	FPDAT11					
					01	TM0					
				00	P84						
		P90–P93 port function select register (pP9_03_CFP)	003003B2 (B)	D7 D6	CFP931 CFP930	P93 port extended function	CFP93[1:0]	Function	0	R/W	
1*	reserved						0				
01	FPDAT3										
00	P93										
D5 D4	CFP921 CFP920			P92 port extended function	CFP92[1:0]	Function	0	R/W			
					11	reserved	0				
					10	SPICKL					
					01	FPDAT2					
				00	P92						
D3 D2	CFP911 CFP910			P91 port extended function	CFP91[1:0]	Function	0	R/W			
					11	reserved	0				
					10	SDO					
		01	FPDAT1								
		00	P91								
D1 D0	CFP901 CFP900	P90 port extended function	CFP90[1:0]	Function	0	R/W					
			11	reserved	0						
			10	SDI							
			01	FPDAT0							
		00	P90								
P94–P97 port function select register (pP9_47_CFP)	003003B3 (B)	D7 D6	CFP971 CFP970	P97 port extended function	CFP97[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	FPDAT7					
					00	P97					
		D5 D4	CFP961 CFP960	P96 port extended function	CFP96[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	FPDAT6					
					00	P96					
		D3 D2	CFP951 CFP950	P95 port extended function	CFP95[1:0]	Function	0	R/W			
					1*	reserved	0				
					01	FPDAT5					
					00	P95					
D1 D0	CFP941 CFP940	P94 port extended function	CFP94[1:0]	Function	0	R/W					
			1*	reserved	0						
			01	FPDAT4							
			00	P94							

0x3003C0–0x3003C3

I/O Ports

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port input interrupt select register 1 (pPINTSEL_SPT03)	003003C0 (B)	D7 D6	SPT31 SPT30	FPT3 interrupt input port selection	SPT3[1:0]		Port	0	R/W		
					11		P33				
					10		P13				
					01		P23				
					00		P03				
		D5 D4	SPT21 SPT20	FPT2 interrupt input port selection	SPT2[1:0]		Port	0	R/W		
					11		P32				
					10		P12				
					01		P22				
					00		P02				
		D3 D2	SPT11 SPT10	FPT1 interrupt input port selection	SPT1[1:0]		Port	0	R/W		
					11		P31				
					10		P11				
					01		P21				
					00		P01				
		D1 D0	SPT01 SPT00	FPT0 interrupt input port selection	SPT0[1:0]		Port	0	R/W		
11					P30						
10					P10						
01					P20						
00					P00						
Port input interrupt select register 2 (pPINTSEL_SPT47)	003003C1 (B)	D7 D6	SPT71 SPT70	FPT7 interrupt input port selection	SPT7[1:0]		Port	0	R/W		
					11		P63				
					10		P17				
					01		P27				
					00		P07				
		D5 D4	SPT61 SPT60	FPT6 interrupt input port selection	SPT6[1:0]		Port	0	R/W		
					11		P62				
					10		P16				
					01		P26				
					00		P06				
		D3 D2	SPT51 SPT50	FPT5 interrupt input port selection	SPT5[1:0]		Port	0	R/W		
					11		P61				
					10		P15				
					01		P25				
					00		P05				
		D1 D0	SPT41 SPT40	FPT4 interrupt input port selection	SPT4[1:0]		Port	0	R/W		
11					P60						
10					P14						
01					P24						
00					P04						
Port input interrupt polarity select register 1 (pPINTPOL_SPP07)	003003C2 (B)	D7	SPPT7	FPT7 input polarity selection	1	High level or Rising edge	0	Low level or Falling edge	1	R/W	
		D6	SPPT6	FPT6 input polarity selection					1	R/W	
		D5	SPPT5	FPT5 input polarity selection					1	R/W	
		D4	SPPT4	FPT4 input polarity selection					1	R/W	
		D3	SPPT3	FPT3 input polarity selection					1	R/W	
		D2	SPPT2	FPT2 input polarity selection					1	R/W	
		D1	SPPT1	FPT1 input polarity selection					1	R/W	
		D0	SPPT0	FPT0 input polarity selection					1	R/W	
Port input interrupt edge/level select register 1 (pPINTEL_SEPT07)	003003C3 (B)	D7	SEPT7	FPT7 edge/level selection	1	Edge	0	Level	1	R/W	
		D6	SEPT6	FPT6 edge/level selection					1	R/W	
		D5	SEPT5	FPT5 edge/level selection					1	R/W	
		D4	SEPT4	FPT4 edge/level selection					1	R/W	
		D3	SEPT3	FPT3 edge/level selection					1	R/W	
		D2	SEPT2	FPT2 edge/level selection					1	R/W	
		D1	SEPT1	FPT1 edge/level selection					1	R/W	
		D0	SEPT0	FPT0 edge/level selection					1	R/W	

0x3003C4–0x3003C7

I/O Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Port input interrupt select register 3 (pPINTSEL_SPT811)	003003C4 (B)	D7 D6	SPTB1 SPTB0	FPT11 interrupt input port selection	SPTB[1:0] Port		0	R/W			
					11 P93		0				
					10 (reserved)						
					01 P83						
		00 P73									
		D5 D4	SPTA1 SPTA0	FPT10 interrupt input port selection	SPTA[1:0] Port		0	R/W			
					11 P92		0				
					10 INT_USB						
					01 P82						
		00 P72									
		D3 D2	SPT91 SPT90	FPT9 interrupt input port selection	SPT9[1:0] Port		0	R/W			
					11 P91		0				
					10 USB_PDREQ						
					01 P81						
		00 P71									
		D1 D0	SPT81 SPT80	FPT8 interrupt input port selection	SPT8[1:0] Port		0	R/W			
11 P90					0						
10 INT_SPI											
01 P80											
00 P70											
Port input interrupt select register 4 (pPINTSEL_SPT1215)	003003C5 (B)	D7 D6	SPTF1 SPTF0	FPT15 interrupt input port selection	SPTF[1:0] Port		0	R/W			
					11 P97		0				
					10 P67						
					01 P53						
		00 P43									
		D5 D4	SPTE1 SPTE0	FPT14 interrupt input port selection	SPTE[1:0] Port		0	R/W			
					11 P96		0				
					10 P66						
					01 P52						
		00 P42									
		D3 D2	SPTD1 SPTD0	FPT13 interrupt input port selection	SPTD[1:0] Port		0	R/W			
					11 P95		0				
					10 P65						
					01 P51						
		00 P41									
		D1 D0	SPTC1 SPTC0	FPT12 interrupt input port selection	SPTC[1:0] Port		0	R/W			
11 P94					0						
10 P64											
01 P50											
00 P40											
Port input interrupt polarity select register 2 (pPINTPOL_SPP815)	003003C6 (B)	D7	SPPTF	FPT15 input polarity selection	1	High level or Rising edge	0	Low level or Falling edge	1	R/W	
		D6	SPPTE	FPT14 input polarity selection					1	R/W	
		D5	SPPTD	FPT13 input polarity selection					1	R/W	
		D4	SPPTC	FPT12 input polarity selection					1	R/W	
		D3	SPPTB	FPT11 input polarity selection					1	R/W	
		D2	SPPTA	FPT10 input polarity selection					1	R/W	
		D1	SPPT9	FPT9 input polarity selection					1	R/W	
		D0	SPPT8	FPT8 input polarity selection					1	R/W	
Port input interrupt edge/level select register 2 (pPINTSEL_SEPT815)	003003C7 (B)	D7	SEPTF	FPT15 edge/level selection	1	Edge	0	Level	1	R/W	
		D6	SEPTE	FPT14 edge/level selection					1	R/W	
		D5	SEPTD	FPT13 edge/level selection					1	R/W	
		D4	SEPTC	FPT12 edge/level selection					1	R/W	
		D3	SEPTB	FPT11 edge/level selection					1	R/W	
		D2	SEPTA	FPT10 edge/level selection					1	R/W	
		D1	SEPT9	FPT9 edge/level selection					1	R/W	
		D0	SEPT8	FPT8 edge/level selection					1	R/W	

0x3003D0–0x3003D5

I/O Ports

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Key input interrupt select register (pKINTSEL_SPPK01)	003003D0 (B)	D7	—	reserved	—				—	—	0 when being read.
		D6	SPPK12	FPK1 interrupt input port selection	SPPK1[2:0]	Port		0	R/W		
		D5	SPPK11			P9[7:4]		0			
		D4	SPPK10			P8[5:4]		0			
						P7[3:0]					
						P6[7:4]					
						P3[3:0]					
						P2[7:4]					
						P1[7:4]					
						P0[7:4]					
		D3	—	reserved	—				—	—	0 when being read.
		D2	SPPK02	FPK0 interrupt input port selection	SPPK0[2:0]	Port		0	R/W		
		D1	SPPK01			P9[4:0]		0			
		D0	SPPK00			P8[4:0]		0			
						P5[4:0]					
						P6[4:0]					
P4[4:0]											
P2[4:0]											
P1[4:0]											
P0[4:0]											
Key input interrupt (FPK0) input comparison register (pKINTCOMP_SCPK0)	003003D2 (B)	D7–5	—	reserved	—				—	—	0 when being read.
		D4	SCPCK04	FPK04 input comparison	1	High	0	Low	0	R/W	
		D3	SCPCK03	FPK03 input comparison					0	R/W	
		D2	SCPCK02	FPK02 input comparison					0	R/W	
		D1	SCPCK01	FPK01 input comparison					0	R/W	
		D0	SCPCK00	FPK00 input comparison					0	R/W	
Key input interrupt (FPK1) input comparison register (pKINTCOMP_SCPK1)	003003D3 (B)	D7–4	—	reserved	—				—	—	0 when being read.
		D3	SCPCK13	FPK13 input comparison	1	High	0	Low	0	R/W	
		D2	SCPCK12	FPK12 input comparison					0	R/W	
		D1	SCPCK11	FPK11 input comparison					0	R/W	
		D0	SCPCK10	FPK10 input comparison					0	R/W	
Key input interrupt (FPK0) input mask register (pKINTCOMP_SMPK0)	003003D4 (B)	D7–5	—	reserved	—				—	—	0 when being read.
		D4	SMPK04	FPK04 input mask	1	Interrupt enabled	0	Interrupt disabled	0	R/W	
		D3	SMPK03	FPK03 input mask					0	R/W	
		D2	SMPK02	FPK02 input mask					0	R/W	
		D1	SMPK01	FPK01 input mask					0	R/W	
		D0	SMPK00	FPK00 input mask					0	R/W	
Key input interrupt (FPK1) input mask register (pKINTCOMP_SMPK1)	003003D5 (B)	D7–4	—	reserved	—				—	—	0 when being read.
		D3	SMPK13	FPK13 input mask	1	Interrupt enabled	0	Interrupt disabled	0	R/W	
		D2	SMPK12	FPK12 input mask					0	R/W	
		D1	SMPK11	FPK11 input mask					0	R/W	
		D0	SMPK10	FPK10 input mask					0	R/W	

0x300520–0x300544

A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D clock control register (pAD_CLKCTL)	00300520 (HW)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	PSONAD	A/D converter clock control	1 On 0 Off	0	R/W	
		D2	PSAD2	A/D converter clock division ratio selection	PSAD[2:0] Division ratio	0	R/W	
		D1	PSAD1		111 MCLK/256	0		
		D0	PSAD0		110 MCLK/128	0		
					101 MCLK/64			
					100 MCLK/32			
					011 MCLK/16			
					010 MCLK/8			
A/D conversion result register (pAD_ADD)	00300540 (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	ADD9	A/D converted data ADD9 = MSB ADD0 = LSB	0x0 to 0x3FF	0	R	
		D8	ADD8			0		
		D7	ADD7			0		
		D6	ADD6			0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		
A/D trigger/channel select register (pAD_TRIG_CHNL)	00300542 (HW)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	CE2	A/D converter end channel selection	0 to 4	0	R/W	
		D12	CE1			0		
		D11	CE0			0		
		D10	CS2	A/D converter start channel selection	0 to 4	0	R/W	
		D9	CS1			0		
		D8	CS0			0		
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	MS	A/D conversion mode selection	1 Continuous 0 Normal	0	R/W	
		D4	TS1	A/D conversion trigger selection	TS[1:0] Trigger	0	R/W	
		D3	TS0		11 #ADTRG pin reserved	0		
					10 16-bit timer			
					01 Software			
A/D control/status register (pAD_EN_SMPL_STAT)	00300544 (HW)	D2	CH2	A/D conversion channel status	0 to 4	0	R	
		D1	CH1			0		
		D0	CH0			0		
		D15	ADCMPPE	Upper/lower-limit comparison enable	1 Enabled 0 Disabled	0	R/W	Can be used when ADCADV = "1".
		D14	ADCMP2	Upper/lower-limit comparison channel selection	0 to 4	0	R/W	
		D13	ADCMP1			0		
		D12	ADCMP0			0		
		D11	ADUPRST	Upper-limit comparison status	1 Out of range 0 Within range	0	R	
		D10	ADLWRST	Lower-limit comparison status	1 Out of range 0 Within range	0	R	
		D9	ST1	Input signal sampling time setup	ST[1:0] Sampling time	1	R/W	Use with 9 clocks.
		D8	ST0		11 9 clocks	1		
					10 7 clocks			
					01 5 clocks			
					00 3 clocks			
		D7	–	reserved	–	–	–	0 when being read.
		D6	INTMODE	Interrupt signal mode	1 Complete only 0 OR	0	R/W	Can be used when ADCADV = "1".
		D5	CMPINTEN	Out-of-range int. enable	1 Enabled 0 Disabled	0	R/W	
		D4	CNVINTEN	Conversion-complete int. enable	1 Enabled 0 Disabled	1	R/W	
		D3	ADF	Conversion-complete flag	1 Completed 0 Run/Standby	0	R	Reset when ADD is read.
		D2	ADE	A/D enable	1 Enabled 0 Disabled	0	R/W	
		D1	ADST	A/D conversion control/status	1 Start/Run 0 Stop	0	R/W	
		D0	OWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 0.

0x300546–0x300550

A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D channel status flag register (pAD_END)	00300546 (HW)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	OWE4	Ch.4 overwrite error flag	1 Error 0 Normal	0	R/W	Can be used when ADCADV = "1".
		D11	OWE3	Ch.3 overwrite error flag		0	R/W	
		D10	OWE2	Ch.2 overwrite error flag		0	R/W	
		D9	OWE1	Ch.1 overwrite error flag		0	R/W	
		D8	OWE0	Ch.0 overwrite error flag		0	R/W	Reset by writing 0.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	ADF4	Ch.4 conversion-complete flag	1 Completed 0 Run/Standby	0	R	Can be used when ADCADV = "1".
		D3	ADF3	Ch.3 conversion-complete flag		0	R	
		D2	ADF2	Ch.2 conversion-complete flag		0	R	
		D1	ADF1	Ch.1 conversion-complete flag		0	R	
		D0	ADF0	Ch.0 conversion-complete flag		0	R	Reset when ADBUFx is read.
A/D Ch.0 conversion result buffer register (pAD_CH0_BUF)	00300548 (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	AD0BUF9	A/D Ch.0 converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	AD0BUF8	AD0BUF9 = MSB		0		
		D7	AD0BUF7	AD0BUF0 = LSB		0		
		D6	AD0BUF6			0		
		D5	AD0BUF5			0		
		D4	AD0BUF4			0		
		D3	AD0BUF3			0		
		D2	AD0BUF2			0		
		D1	AD0BUF1			0		
		D0	AD0BUF0			0		
A/D Ch.1 conversion result buffer register (pAD_CH1_BUF)	0030054A (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	AD1BUF9	A/D Ch.1 converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	AD1BUF8	AD1BUF9 = MSB		0		
		D7	AD1BUF7	AD1BUF0 = LSB		0		
		D6	AD1BUF6			0		
		D5	AD1BUF5			0		
		D4	AD1BUF4			0		
		D3	AD1BUF3			0		
		D2	AD1BUF2			0		
		D1	AD1BUF1			0		
		D0	AD1BUF0			0		
A/D Ch.2 conversion result buffer register (pAD_CH2_BUF)	0030054C (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	AD2BUF9	A/D Ch.2 converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	AD2BUF8	AD2BUF9 = MSB		0		
		D7	AD2BUF7	AD2BUF0 = LSB		0		
		D6	AD2BUF6			0		
		D5	AD2BUF5			0		
		D4	AD2BUF4			0		
		D3	AD2BUF3			0		
		D2	AD2BUF2			0		
		D1	AD2BUF1			0		
		D0	AD2BUF0			0		
A/D Ch.3 conversion result buffer register (pAD_CH3_BUF)	0030054E (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	AD3BUF9	A/D Ch.3 converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	AD3BUF8	AD3BUF9 = MSB		0		
		D7	AD3BUF7	AD3BUF0 = LSB		0		
		D6	AD3BUF6			0		
		D5	AD3BUF5			0		
		D4	AD3BUF4			0		
		D3	AD3BUF3			0		
		D2	AD3BUF2			0		
		D1	AD3BUF1			0		
		D0	AD3BUF0			0		
A/D Ch.4 conversion result buffer register (pAD_CH4_BUF)	00300550 (HW)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	AD4BUF9	A/D Ch.4 converted data	0x0 to 0x3FF	0	R	Can be used when ADCADV = "1".
		D8	AD4BUF8	AD4BUF9 = MSB		0		
		D7	AD4BUF7	AD4BUF0 = LSB		0		
		D6	AD4BUF6			0		
		D5	AD4BUF5			0		
		D4	AD4BUF4			0		
		D3	AD4BUF3			0		
		D2	AD4BUF2			0		
		D1	AD4BUF1			0		
		D0	AD4BUF0			0		

0x300558–0x30055E

A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
A/D upper limit value register (pAD_UPPER)	00300558 (HW)	D15–10	–	reserved	–	–	–	0 when being read.		
		D9	ADUPR9	A/D conversion upper limit value	0x0 to 0x3FF	0	R/W	Can be used when ADCADV = "1".		
		D8	ADUPR8	ADUPR9 = MSB		0				
		D7	ADUPR7	ADUPR0 = LSB		0				
		D6	ADUPR6			0				
		D5	ADUPR5			0				
		D4	ADUPR4			0				
		D3	ADUPR3			0				
		D2	ADUPR2			0				
		D1	ADUPR1			0				
		D0	ADUPR0			0				
A/D lower limit value register (pAD_LOWER)	0030055A (HW)	D15–10	–	reserved	–	–	–	0 when being read.		
		D9	ADLWR9	A/D conversion lower limit value	0x0 to 0x3FF	0	R/W	Can be used when ADCADV = "1".		
		D8	ADLWR8	ADLWR9 = MSB		0				
		D7	ADLWR7	ADLWR0 = LSB		0				
		D6	ADLWR6			0				
		D5	ADLWR5			0				
		D4	ADLWR4			0				
		D3	ADLWR3			0				
		D2	ADLWR2			0				
		D1	ADLWR1			0				
		D0	ADLWR0			0				
A/D conversion complete interrupt mask register (pAD_CH04_INTMASK)	0030055C (HW)	D15–5	–	reserved	–		–	–	0 when being read.	
		D4	INTMASK4	Ch.4 conversion-complete int. mask	1 Interrupt enabled	0 Interrupt mask	1	R/W	Can be used when ADCADV = "1".	
		D3	INTMASK3	Ch.3 conversion-complete int. mask			1	R/W		
		D2	INTMASK2	Ch.2 conversion-complete int. mask			1	R/W		
		D1	INTMASK1	Ch.1 conversion-complete int. mask			1	R/W		
		D0	INTMASK0	Ch.0 conversion-complete int. mask			1	R/W		
A/D converter mode select/ internal status register (pAD_ADVMODE)	0030055E (HW)	D15–9	–	reserved	–		–	–	Do not write 1.	
		D8	ADCADV	Standard/advanced mode selection	1 Advanced	0 Standard	0	R/W		
		D7–6	–	reserved	–		–	–	0 when being read.	
		D5	ISTATE1	Internal status	ISTATE[1:0]		Status	0	R	
		D4	ISTATE0		11	Converting				
			10		reserved					
			01		Sampling					
			00		Idle					
		D3	ICOUNTER3	Internal counter value	0 to 15		0	R		
		D2	ICOUNTER2				0			
		D1	ICOUNTER1				0			
		D0	ICOUNTER0				0			

0x300660–0x300666

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog timer write-protect register (pWD_WP)	00300660 (HW)	D15	WDPTC15	Watchdog timer register write-protect	Writing 0x96 removes the write protection of the watchdog timer enable and comparison data registers (0x300662–0x300666). Writing another value set the write protection.	X	W	0 when being read.
		D14	WDPTC14			X		
		D13	WDPTC13			X		
		D12	WDPTC12			X		
		D11	WDPTC11			X		
		D10	WDPTC10			X		
		D9	WDPTC9			X		
		D8	WDPTC8			X		
		D7	WDPTC7			X		
		D6	WDPTC6			X		
		D5	WDPTC5			X		
		D4	WDPTC4			X		
		D3	WDPTC3			X		
		D2	WDPTC2			X		
		D1	WDPTC1			X		
		D0	WDPTC0			X		
Watchdog timer enable register (pWD_EN)	00300662 (HW)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	CLKSEL	Watchdog timer input clock select	1 External clock 0 Internal clock	0	R/W	
		D5	CLKEN	Watchdog timer clock output control	1 On 0 Off	0	R/W	
		D4	RUNSTP	Watchdog timer Run/Stop control	1 Run 0 Stop	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	NMIEN	Watchdog timer NMI enable	1 Enabled 0 Disabled	0	R/W	
		D0	RESEN	Watchdog timer RESET enable	1 Enabled 0 Disabled	0	R/W	
Watchdog timer comparison data setup register 0 (pWD_COMP_LOW)	00300664 (HW)	D15	CMPDT15	Watchdog timer comparison data CMPDT0 = LSB	0x0 to 0x3FFFFFFF (low-order 16 bits)	0	R/W	
		D14	CMPDT14			0		
		D13	CMPDT13			0		
		D12	CMPDT12			0		
		D11	CMPDT11			0		
		D10	CMPDT10			0		
		D9	CMPDT9			0		
		D8	CMPDT8			0		
		D7	CMPDT7			0		
		D6	CMPDT6			0		
		D5	CMPDT5			0		
		D4	CMPDT4			0		
		D3	CMPDT3			0		
		D2	CMPDT2			0		
		D1	CMPDT1			0		
		D0	CMPDT0			0		
Watchdog timer comparison data setup register 1 (pWD_COMP_HIGH)	00300666 (HW)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	CMPDT29	Watchdog timer comparison data CMPDT29 = MSB	0x0 to 0x3FFFFFFF (high-order 14 bits)	0	R/W	
		D12	CMPDT28			0		
		D11	CMPDT27			0		
		D10	CMPDT26			0		
		D9	CMPDT25			0		
		D8	CMPDT24			0		
		D7	CMPDT23			0		
		D6	CMPDT22			0		
		D5	CMPDT21			0		
		D4	CMPDT20			0		
		D3	CMPDT19			0		
		D2	CMPDT18			0		
		D1	CMPDT17			0		
		D0	CMPDT16			0		

0x300668–0x30066C

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog timer count register 0 (pWD_CNT_LOW)	00300668 (HW)	D15	CTRDT15	Watchdog timer counter data CTRDT0 = LSB	0x0 to 0x3FFFFFFF (low-order 16 bits)	X	R	
		D14	CTRDT14			X		
		D13	CTRDT13			X		
		D12	CTRDT12			X		
		D11	CTRDT11			X		
		D10	CTRDT10			X		
		D9	CTRDT9			X		
		D8	CTRDT8			X		
		D7	CTRDT7			X		
		D6	CTRDT6			X		
		D5	CTRDT5			X		
		D4	CTRDT4			X		
		D3	CTRDT3			X		
		D2	CTRDT2			X		
		D1	CTRDT1			X		
		D0	CTRDT0			X		
Watchdog timer count register 1 (pWD_CNT_HIGH)	0030066A (HW)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	CTRDT29	Watchdog timer counter data CTRDT29 = MSB	0x0 to 0x3FFFFFFF (high-order 14 bits)	X	R	
		D12	CTRDT28			X		
		D11	CTRDT27			X		
		D10	CTRDT26			X		
		D9	CTRDT25			X		
		D8	CTRDT24			X		
		D7	CTRDT23			X		
		D6	CTRDT22			X		
		D5	CTRDT21			X		
		D4	CTRDT20			X		
		D3	CTRDT19			X		
		D2	CTRDT18			X		
		D1	CTRDT17			X		
		D0	CTRDT16			X		
Watchdog timer control register (pWD_CNTL)	0030066C (HW)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	WDRESEN	Watchdog timer reset	1 Reset	0 Invalid	0	W

0x300780–0x300786

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
16-bit timer 0 comparison data A setup register (pT16_CR0A)	00300780 (HW)	D15	CR0A15	16-bit timer 0 comparison data A CR0A15 = MSB CR0A0 = LSB	0 to 65535	X	R/W				
		D14	CR0A14			X					
		D13	CR0A13			X					
		D12	CR0A12			X					
		D11	CR0A11			X					
		D10	CR0A10			X					
		D9	CR0A9			X					
		D8	CR0A8			X					
		D7	CR0A7			X					
		D6	CR0A6			X					
		D5	CR0A5			X					
		D4	CR0A4			X					
		D3	CR0A3			X					
		D2	CR0A2			X					
		D1	CR0A1			X					
		D0	CR0A0			X					
16-bit timer 0 comparison data B setup register (pT16_CR0B)	00300782 (HW)	D15	CR0B15	16-bit timer 0 comparison data B CR0B15 = MSB CR0B0 = LSB	0 to 65535	X	R/W				
		D14	CR0B14			X					
		D13	CR0B13			X					
		D12	CR0B12			X					
		D11	CR0B11			X					
		D10	CR0B10			X					
		D9	CR0B9			X					
		D8	CR0B8			X					
		D7	CR0B7			X					
		D6	CR0B6			X					
		D5	CR0B5			X					
		D4	CR0B4			X					
		D3	CR0B3			X					
		D2	CR0B2			X					
		D1	CR0B1			X					
		D0	CR0B0			X					
16-bit timer 0 counter data register (pT16_TC0)	00300784 (HW)	D15	TC015	16-bit timer 0 counter data TC015 = MSB TC00 = LSB	0 to 65535	X	R/W	Data can be written only in advanced mode.			
		D14	TC014			X					
		D13	TC013			X					
		D12	TC012			X					
		D11	TC011			X					
		D10	TC010			X					
		D9	TC09			X					
		D8	TC08			X					
		D7	TC07			X					
		D6	TC06			X					
		D5	TC05			X					
		D4	TC04			X					
		D3	TC03			X					
		D2	TC02			X					
		D1	TC01			X					
		D0	TC00			X					
16-bit timer 0 control register (pT16_CTL0)	00300786 (HW)	D15–9	–	reserved	–		–	–	0 when being read.		
		D8	INITOL0	16-bit timer 0 initial output level	1	High	0	Low	0	R/W	Advanced mode
		D7	(TMODE0)	(reserved for 16-bit timer 0 test)	1	Test mode	0	Normal	0	R	Do not write 1.
		D6	SELFMO	16-bit timer 0 fine mode selection	1	Fine mode	0	Normal	0	R/W	
		D5	SELCRB0	16-bit timer 0 comparison buffer	1	Enabled	0	Disabled	0	R/W	
		D4	OUTINV0	16-bit timer 0 output inversion	1	Invert	0	Normal	0	R/W	
		D3	CKSL0	16-bit timer 0 input clock selection	1	External clock	0	Internal clock	0	R/W	
		D2	PTMO	16-bit timer 0 clock output control	1	On	0	Off	0	R/W	
		D1	PRESET0	16-bit timer 0 reset	1	Reset	0	Invalid	0	W	0 when being read.
		D0	PRUN0	16-bit timer 0 Run/Stop control	1	Run	0	Stop	0	R/W	

0x300788–0x30078E

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 1 comparison data A setup register (pT16_CR1A)	00300788 (HW)	D15	CR1A15	16-bit timer 1 comparison data A CR1A15 = MSB CR1A0 = LSB	0 to 65535	X	R/W	
		D14	CR1A14			X		
		D13	CR1A13			X		
		D12	CR1A12			X		
		D11	CR1A11			X		
		D10	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16-bit timer 1 comparison data B setup register (pT16_CR1B)	0030078A (HW)	D15	CR1B15	16-bit timer 1 comparison data B CR1B15 = MSB CR1B0 = LSB	0 to 65535	X	R/W	
		D14	CR1B14			X		
		D13	CR1B13			X		
		D12	CR1B12			X		
		D11	CR1B11			X		
		D10	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16-bit timer 1 counter data register (pT16_TC1)	0030078C (HW)	D15	TC115	16-bit timer 1 counter data TC115 = MSB TC10 = LSB	0 to 65535	X	R/W	Data can be written only in advanced mode.
		D14	TC114			X		
		D13	TC113			X		
		D12	TC112			X		
		D11	TC111			X		
		D10	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		
16-bit timer 1 control register (pT16_CTL1)	0030078E (HW)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL1	16-bit timer 1 initial output level	1 High 0 Low	0	R/W	Advanced mode
		D7	(TMODE1)	(reserved for 16-bit timer 1 test)	1 Test mode 0 Normal	0	R	Do not write 1.
		D6	SELF1	16-bit timer 1 fine mode selection	1 Fine mode 0 Normal	0	R/W	
		D5	SELCRB1	16-bit timer 1 comparison buffer	1 Enabled 0 Disabled	0	R/W	
		D4	OUTINV1	16-bit timer 1 output inversion	1 Invert 0 Normal	0	R/W	
		D3	CKSL1	16-bit timer 1 input clock selection	1 External clock 0 Internal clock	0	R/W	
		D2	PTM1	16-bit timer 1 clock output control	1 On 0 Off	0	R/W	
		D1	PRESET1	16-bit timer 1 reset	1 Reset 0 Invalid	0	W	0 when being read.
		D0	PRUN1	16-bit timer 1 Run/Stop control	1 Run 0 Stop	0	R/W	

0x300790–0x300796

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 2 comparison data A setup register (pT16_CR2A)	00300790 (HW)	D15	CR2A15	16-bit timer 2 comparison data A CR2A15 = MSB CR2A0 = LSB	0 to 65535	X	R/W	
		D14	CR2A14			X		
		D13	CR2A13			X		
		D12	CR2A12			X		
		D11	CR2A11			X		
		D10	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		
16-bit timer 2 comparison data B setup register (pT16_CR2B)	00300792 (HW)	D15	CR2B15	16-bit timer 2 comparison data B CR2B15 = MSB CR2B0 = LSB	0 to 65535	X	R/W	
		D14	CR2B14			X		
		D13	CR2B13			X		
		D12	CR2B12			X		
		D11	CR2B11			X		
		D10	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16-bit timer 2 counter data register (pT16_TC2)	00300794 (HW)	D15	TC215	16-bit timer 2 counter data TC215 = MSB TC20 = LSB	0 to 65535	X	R/W	Data can be written only in advanced mode.
		D14	TC214			X		
		D13	TC213			X		
		D12	TC212			X		
		D11	TC211			X		
		D10	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16-bit timer 2 control register (pT16_CTL2)	00300796 (HW)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL2	16-bit timer 2 initial output level	1 High 0 Low	0	R/W	Advanced mode
		D7	(TMODE2)	(reserved for 16-bit timer 2 test)	1 Test mode 0 Normal	0	R	Do not write 1.
		D6	SELF2	16-bit timer 2 fine mode selection	1 Fine mode 0 Normal	0	R/W	
		D5	SELCRB2	16-bit timer 2 comparison buffer	1 Enabled 0 Disabled	0	R/W	
		D4	OUTINV2	16-bit timer 2 output inversion	1 Invert 0 Normal	0	R/W	
		D3	CKSL2	16-bit timer 2 input clock selection	1 External clock 0 Internal clock	0	R/W	
		D2	PTM2	16-bit timer 2 clock output control	1 On 0 Off	0	R/W	
		D1	PRESET2	16-bit timer 2 reset	1 Reset 0 Invalid	0	W	0 when being read.
		D0	PRUN2	16-bit timer 2 Run/Stop control	1 Run 0 Stop	0	R/W	

0x300798–0x30079E

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit timer 3 comparison data A setup register (pT16_CR3A)	00300798 (HW)	D15	CR3A15	16-bit timer 3 comparison data A CR3A15 = MSB CR3A0 = LSB	0 to 65535	X	R/W	
		D14	CR3A14			X		
		D13	CR3A13			X		
		D12	CR3A12			X		
		D11	CR3A11			X		
		D10	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16-bit timer 3 comparison data B setup register (pT16_CR3B)	0030079A (HW)	D15	CR3B15	16-bit timer 3 comparison data B CR3B15 = MSB CR3B0 = LSB	0 to 65535	X	R/W	
		D14	CR3B14			X		
		D13	CR3B13			X		
		D12	CR3B12			X		
		D11	CR3B11			X		
		D10	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		
16-bit timer 3 counter data register (pT16_TC3)	0030079C (HW)	D15	TC315	16-bit timer 3 counter data TC315 = MSB TC30 = LSB	0 to 65535	X	R/W	Data can be written only in advanced mode.
		D14	TC314			X		
		D13	TC313			X		
		D12	TC312			X		
		D11	TC311			X		
		D10	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16-bit timer 3 control register (pT16_CTL3)	0030079E (HW)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL3	16-bit timer 3 initial output level	1 High 0 Low	0	R/W	Advanced mode
		D7	(TMODE3)	(reserved for 16-bit timer 3 test)	1 Test mode 0 Normal	0	R	Do not write 1.
		D6	SELF3	16-bit timer 3 fine mode selection	1 Fine mode 0 Normal	0	R/W	
		D5	SELCRB3	16-bit timer 3 comparison buffer	1 Enabled 0 Disabled	0	R/W	
		D4	OUTINV3	16-bit timer 3 output inversion	1 Invert 0 Normal	0	R/W	
		D3	CKSL3	16-bit timer 3 input clock selection	1 External clock 0 Internal clock	0	R/W	
		D2	PTM3	16-bit timer 3 clock output control	1 On 0 Off	0	R/W	
		D1	PRESET3	16-bit timer 3 reset	1 Reset 0 Invalid	0	W	0 when being read.
		D0	PRUN3	16-bit timer 3 Run/Stop control	1 Run 0 Stop	0	R/W	

0x3007D0–0x3007DE

16-bit Timer

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
DA16 Ch.0 register (pDA16_CR0A)	003007D0 (HW)	D15	DA0A15	DA16 Ch.0 comparison data A	0 to 65535			X	R/W	Advanced mode	
		D14	DA0A14	DA0A15 = MSB				X			
		D13	DA0A13	DA0A0 = LSB				X			
		D12	DA0A12					X			
		D11	DA0A11					X			
		D10	DA0A10					X			
		D9	DA0A9					X			
		D8	DA0A8					X			
		D7	DA0A7					X			
		D6	DA0A6					X			
		D5	DA0A5					X			
		D4	DA0A4					X			
		D3	DA0A3					X			
		D2	DA0A2					X			
		D1	DA0A1					X			
		D0	DA0A0					X			
DA16 Ch.1 register (pDA16_CR1A)	003007D2 (HW)	D15	DA1A15	DA16 Ch.1 comparison data A	0 to 65535			X	R/W	Advanced mode	
		D14	DA1A14	DA1A15 = MSB				X			
		D13	DA1A13	DA1A0 = LSB				X			
		D12	DA1A12					X			
		D11	DA1A11					X			
		D10	DA1A10					X			
		D9	DA1A9					X			
		D8	DA1A8					X			
		D7	DA1A7					X			
		D6	DA1A6					X			
		D5	DA1A5					X			
		D4	DA1A4					X			
		D3	DA1A3					X			
		D2	DA1A2					X			
		D1	DA1A1					X			
		D0	DA1A0					X			
Count pause register (pT16_CNT_PAUSE)	003007DC (HW)	D15–4	–	reserved	–			–	–	0 when being read.	
		D3	PAUSE3	16-bit timer 3 count pause	1	Pause	0	Count	0	R/W	Advanced mode
		D2	PAUSE2	16-bit timer 2 count pause					0	R/W	
		D1	PAUSE1	16-bit timer 1 count pause					0	R/W	
		D0	PAUSE0	16-bit timer 0 count pause					0	R/W	
16-bit timer STD/ADV mode select register (pT16_ADVMODE)	003007DE (HW)	D15–1	–	reserved	–			–	–	Writing 1 not allowed	
		D0	T16ADV	Standard mode/advanced mode select	1	Advanced mode	0	Standard mode	0	R/W	

0x3007E0–0x3007EA

16-bit Timer

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
16-bit timer 0 clock control register (pT16_CLKCTL_0)	003007E0 (HW)	D15–4	–	reserved	–		–	–	0 when being read.	
		D3	P16TON0	16-bit timer 0 clock control	1	On	0	Off	0	R/W
		D2	P16TS02	16-bit timer 0 clock division ratio	P16TS0[2:0]		Division ratio		0	R/W
		D1	P16TS01	select	111		MCLK/4096		0	
		D0	P16TS00		110		MCLK/1024		0	
		101			MCLK/256					
		100			MCLK/64					
		011			MCLK/16					
		010			MCLK/4					
001		MCLK/2								
000		MCLK/1								
16-bit timer 1 clock control register (pT16_CLKCTL_1)	003007E2 (HW)	D15–4	–	reserved	–		–	–	0 when being read.	
		D3	P16TON1	16-bit timer 1 clock control	1	On	0	Off	0	R/W
		D2	P16TS12	16-bit timer 1 clock division ratio	P16TS1[2:0]		Division ratio		0	R/W
		D1	P16TS11	select	111		MCLK/4096		0	
		D0	P16TS10		110		MCLK/1024		0	
		101			MCLK/256					
		100			MCLK/64					
		011			MCLK/16					
		010			MCLK/4					
001		MCLK/2								
000		MCLK/1								
16-bit timer 2 clock control register (pT16_CLKCTL_2)	003007E4 (HW)	D15–4	–	reserved	–		–	–	0 when being read.	
		D3	P16TON2	16-bit timer 2 clock control	1	On	0	Off	0	R/W
		D2	P16TS22	16-bit timer 2 clock division ratio	P16TS2[2:0]		Division ratio		0	R/W
		D1	P16TS21	select	111		MCLK/4096		0	
		D0	P16TS20		110		MCLK/1024		0	
		101			MCLK/256					
		100			MCLK/64					
		011			MCLK/16					
		010			MCLK/4					
001		MCLK/2								
000		MCLK/1								
16-bit timer 3 clock control register (pT16_CLKCTL_3)	003007E6 (HW)	D15–4	–	reserved	–		–	–	0 when being read.	
		D3	P16TON3	16-bit timer 3 clock control	1	On	0	Off	0	R/W
		D2	P16TS32	16-bit timer 3 clock division ratio	P16TS3[2:0]		Division ratio		0	R/W
		D1	P16TS31	select	111		MCLK/4096		0	
		D0	P16TS30		110		MCLK/1024		0	
		101			MCLK/256					
		100			MCLK/64					
		011			MCLK/16					
		010			MCLK/4					
001		MCLK/2								
000		MCLK/1								

0x300900–0x30090B

USB Function Controller

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntStat (Main interrupt status)	00300900 (B)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	
		D6	EPrintStat	1	EP _r interrupts	0	None	0	R	
		D5	DMA_IntStat	1	DMA interrupts	0	None	0	R	
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R	
		D3–2	–		–		–	–	0 when being read.	
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R	
SIE_IntStat (SIE interrupt status)	00300901 (B)	D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	
		D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)	
		D6	NonJ	1	Detect non J state	0	None	0	R(W)	
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)	
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)	
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)	
		D2	DetectJ	1	Detect J state	0	None	0	R(W)	
		D1	–		–		–	–	0 when being read.	
EPrintStat (EP _r interrupt status)	00300902 (B)	D7–4	–		–		–	–	0 when being read.	
		D3	EPdIntStat	1	EP _d interrupt	0	None	0	R	
		D2	EPcIntStat	1	EP _c interrupt	0	None	0	R	
		D1	EPbIntStat	1	EP _b interrupt	0	None	0	R	
		D0	EPaIntStat	1	EP _a interrupt	0	None	0	R	
DMA_IntStat (DMA interrupt status)	00300903 (B)	D7–2	–		–		–	–	0 when being read.	
		D1	DMA_CountUp	1	DMA counter overflow	0	None	0	R(W)	
		D0	DMA_Cmp	1	DMA complete	0	None	0	R(W)	
FIFO_IntStat (FIFO interrupt status)	00300904 (B)	D7	DescriptorCmp	1	Descriptor complete	0	None	0	R(W)	
		D6–2	–		–		–	–	0 when being read.	
		D1	FIFO_IN_Cmp	1	IN FIFO Complete	0	None	0	R(W)	
		D0	FIFO_OUT_Cmp	1	OUT FIFO complete	0	None	0	R(W)	
EP0IntStat (EP0 interrupt status)	00300907 (B)	D7–6	–		–		–	–	0 when being read.	
		D5	IN_TransACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TransACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TransNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TransNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TransErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TransErr	1	Out transaction error	0	None	0	R(W)	
EPaIntStat (EP _a interrupt status)	00300908 (B)	D7	–		–		–	–	0 when being read.	
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TransACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TransACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TransNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TransNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TransErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TransErr	1	Out transaction error	0	None	0	R(W)	
EPbIntStat (EP _b interrupt status)	00300909 (B)	D7	–		–		–	–	0 when being read.	
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TransACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TransACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TransNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TransNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TransErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TransErr	1	Out transaction error	0	None	0	R(W)	
EPcIntStat (EP _c interrupt status)	0030090A (B)	D7	–		–		–	–	0 when being read.	
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TransACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TransACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TransNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TransNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TransErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TransErr	1	Out transaction error	0	None	0	R(W)	
EPdIntStat (EP _d interrupt status)	0030090B (B)	D7	–		–		–	–	0 when being read.	
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TransACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TransACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TransNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TransNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TransErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TransErr	1	Out transaction error	0	None	0	R(W)	

0x300910–0x30091B

USB Function Controller

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks					
MainIntEnb (Main interrupt enable)	00300910 (B)	D7	EnSIE_IntStat	1	Enabled	0	Disabled	0	R/W						
		D6	EnEPrintStat					0	R/W						
		D5	EnDMA_IntStat					0	R/W						
		D4	EnFIFO_IntStat					0	R/W						
		D3–2	–	–				–	–	0 when being read.					
		D1	EnEP0IntStat	1	Enabled	0	Disabled	0	R/W						
		D0	EnRcvEP0SETUP					0	R/W						
SIE_IntEnb (SIE interrupt enable)	00300911 (B)	D7	EnVBUS_Changed	1	Enabled	0	Disabled	0	R/W						
		D6	EnNonJ					0	R/W						
		D5	EnDetectReset					0	R/W						
		D4	EnDetectSuspend					0	R/W						
		D3	EnRcvSOF					0	R/W						
		D2	EnDetectJ					0	R/W						
		D1	–	–				–	–	0 when being read.					
		D0	EnSetAddressCmp	1	Enabled	0	Disabled	0	R/W						
EPrintEnb (EP _r interrupt enable)	00300912 (B)	D7–4	–	–				–	–	0 when being read.					
		D3	EnEPdIntStat	1	Enabled	0	Disabled	0	R/W						
		D2	EnEPCintStat					0	R/W						
		D1	EnEPbIntStat					0	R/W						
		D0	EnEPaintStat					0	R/W						
DMA_IntEnb (DMA interrupt enable)	00300913 (B)	D7–2	–	–				–	–	0 when being read.					
		D1	EnDMA_CountUp	1	Enabled	0	Disabled	0	R/W						
		D0	EnDMA_Cmp					0	R/W						
FIFO_IntEnb (FIFO interrupt enable)	00300914 (B)	D7	EnDescriptorCmp	1	Enabled	0	Disabled	0	R/W						
		D6–2	–					–				–	–	0 when being read.	
		D1	EnFIFO_IN_Cmp					1	Enabled		0	Disabled	0	R/W	
		D0	EnFIFO_OUT_Cmp	0	R/W										
EP0IntEnb (EP ₀ interrupt enable)	00300917 (B)	D7–6	–	–				–	–	0 when being read.					
		D5	EnIN_TranACK	1	Enabled	0	Disabled	0	R/W						
		D4	EnOUT_TranACK					0	R/W						
		D3	EnIN_TranNAK					0	R/W						
		D2	EnOUT_TranNAK					0	R/W						
		D1	EnIN_TranErr					0	R/W						
		D0	EnOUT_TranErr					0	R/W						
EPaintEnb (EP _a interrupt enable)	00300918 (B)	D7	–	–				–	–	0 when being read.					
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W						
		D5	EnIN_TranACK					0	R/W						
		D4	EnOUT_TranACK					0	R/W						
		D3	EnIN_TranNAK					0	R/W						
		D2	EnOUT_TranNAK					0	R/W						
		D1	EnIN_TranErr					0	R/W						
		D0	EnOUT_TranErr					0	R/W						
EPbIntEnb (EP _b interrupt enable)	00300919 (B)	D7	–	–				–	–	0 when being read.					
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W						
		D5	EnIN_TranACK					0	R/W						
		D4	EnOUT_TranACK					0	R/W						
		D3	EnIN_TranNAK					0	R/W						
		D2	EnOUT_TranNAK					0	R/W						
		D1	EnIN_TranErr					0	R/W						
		D0	EnOUT_TranErr					0	R/W						
EPCintEnb (EP _c interrupt enable)	0030091A (B)	D7	–	–				–	–	0 when being read.					
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W						
		D5	EnIN_TranACK					0	R/W						
		D4	EnOUT_TranACK					0	R/W						
		D3	EnIN_TranNAK					0	R/W						
		D2	EnOUT_TranNAK					0	R/W						
		D1	EnIN_TranErr					0	R/W						
		D0	EnOUT_TranErr					0	R/W						
EPdIntEnb (EP _d interrupt enable)	0030091B (B)	D7	–	–				–	–	0 when being read.					
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W						
		D5	EnIN_TranACK					0	R/W						
		D4	EnOUT_TranACK					0	R/W						
		D3	EnIN_TranNAK					0	R/W						
		D2	EnOUT_TranNAK					0	R/W						
		D1	EnIN_TranErr					0	R/W						
		D0	EnOUT_TranErr					0	R/W						

0x300920–0x30092F

USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
RevisionNum (Revision number)	00300920 (B)	D7	RevisionNum[7]	Revision number (0x12)	0	R	
		D6	RevisionNum[6]		0		
		D5	RevisionNum[5]		0		
		D4	RevisionNum[4]		1		
		D3	RevisionNum[3]		0		
		D2	RevisionNum[2]		0		
		D1	RevisionNum[1]		1		
		D0	RevisionNum[0]		0		
USB_Control (USB control register)	00300921 (B)	D7	DisBusDetect	1 Disable bus detect 0 Enable bus detect	0	R/W	
		D6	EnAutoNego	1 Enable auto negotiation 0 Disable auto negotiation	0	R/W	
		D5	InSUSPEND	1 Monitor NonJ 0 Do nothing	0	R/W	
		D4	StartDetectJ	1 Start J-state detection 0 Do nothing	0	R/W	
		D3	SendWakeup	1 Send remote wakeup signal 0 Do nothing	0	R/W	
		D2–1	–	–	–	–	
		D0	ActiveUSB	1 Activate USB 0 Disactivate USB	0	R/W	
USB_Status (USB status register)	00300922 (B)	D7	VBUS	1 VBUS=High 0 VBUS=Low	X	R	
		D6	FS	1 FS mode (fixed) 0 –	1	R	
		D5–2	–	–	–	–	
		D1	LineState[1]	LineState[1:0]	X	R	
		D0	LineState[0]	1 1 SE1 1 0 K 0 1 J 0 0 SE0	X		
XcvrControl (Xcvr control register)	00300923 (B)	D7	RpuEnb	1 Enable pull-up 0 Disable pull-up	0	R/W	
		D6–2	–	–	–	–	
		D1	OpMode[1]	OpMode[1:0]	0	R/W	
		D0	OpMode[0]	1 1 reserved 1 0 Disable bitstuffing and NRZI encoding 0 1 Non-driving 0 0 Normal operation	1		
		D0	OpMode[0]	1 1 reserved 1 0 Disable bitstuffing and NRZI encoding 0 1 Non-driving 0 0 Normal operation	1		
USB_Test (USB test)	00300924 (B)	D7	EnUSB_Test	1 Enable USB test 0 Do nothing	0	R/W	
		D6–4	–	–	–	–	
		D3	Test_SE0_NAK	1 Test_SE0_NAK 0 Do nothing	0	R/W	
		D2	Test_J	1 Test_J 0 Do nothing	0	R/W	
		D1	Test_K	1 Test_K 0 Do nothing	0	R/W	
		D0	Test_Packet	1 Test_Packet 0 Do nothing	0	R/W	
EPnControl (Endpoint control)	00300925 (B)	D7	AllForceNAK	1 Set all ForceNAK 0 Do nothing	0	W	0 when being read.
		D6	EPrForceSTALL	1 Set EP's ForceSTALL 0 Do nothing	0	W	
		D5	AllFIFO_Clr	1 Clear all FIFO 0 Do nothing	0	W	
		D4–1	–	–	–	–	
		D0	EP0FIFO_Clr	1 Clear EP0 FIFO 0 Do nothing	0	W	
EPrFIFO_Clr (EPr FIFO clear)	00300926 (B)	D7–4	–	–	–	–	0 when being read.
		D3	EPdFIFO_Clr	1 Clear EPd FIFO 0 Do nothing	0	W	
		D2	EPcFIFO_Clr	1 Clear EPc FIFO 0 Do nothing	0	W	
		D1	EPbFIFO_Clr	1 Clear EPb FIFO 0 Do nothing	0	W	
		D0	EPaFIFO_Clr	1 Clear EPa FIFO 0 Do nothing	0	W	
FrameNumber_H (Frame number high)	0030092E (B)	D7	FnInvalid	1 Invalid frame number 0 Valid frame number	1	R	
		D6–3	–	–	–	–	
		D2	FrameNumber[10]	Frame number high	0	R	
		D1	FrameNumber[9]		0		
FrameNumber_L (Frame number low)	0030092F (B)	D0	FrameNumber[8]		0		
		D7	FrameNumber[7]	Frame number low	0	R	
		D6	FrameNumber[6]		0		
		D5	FrameNumber[5]		0		
		D4	FrameNumber[4]		0		
		D3	FrameNumber[3]		0		
		D2	FrameNumber[2]		0		
		D1	FrameNumber[1]		0		
		D0	FrameNumber[0]		0		

0x300930–0x300937

USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0Setup_0 (EP0 set-up 0)	00300930 (B)	D7	EP0Setup_0[7]	Endpoint 0 set-up data 0	0	R	
		D6	EP0Setup_0[6]		0		
		D5	EP0Setup_0[5]		0		
		D4	EP0Setup_0[4]		0		
		D3	EP0Setup_0[3]		0		
		D2	EP0Setup_0[2]		0		
		D1	EP0Setup_0[1]		0		
		D0	EP0Setup_0[0]		0		
EP0Setup_1 (EP0 set-up 1)	00300931 (B)	D7	EP0Setup_1[7]	Endpoint 0 set-up data 1	0	R	
		D6	EP0Setup_1[6]		0		
		D5	EP0Setup_1[5]		0		
		D4	EP0Setup_1[4]		0		
		D3	EP0Setup_1[3]		0		
		D2	EP0Setup_1[2]		0		
		D1	EP0Setup_1[1]		0		
		D0	EP0Setup_1[0]		0		
EP0Setup_2 (EP0 set-up 2)	00300932 (B)	D7	EP0Setup_2[7]	Endpoint 0 set-up data 2	0	R	
		D6	EP0Setup_2[6]		0		
		D5	EP0Setup_2[5]		0		
		D4	EP0Setup_2[4]		0		
		D3	EP0Setup_2[3]		0		
		D2	EP0Setup_2[2]		0		
		D1	EP0Setup_2[1]		0		
		D0	EP0Setup_2[0]		0		
EP0Setup_3 (EP0 set-up 3)	00300933 (B)	D7	EP0Setup_3[7]	Endpoint 0 set-up data 3	0	R	
		D6	EP0Setup_3[6]		0		
		D5	EP0Setup_3[5]		0		
		D4	EP0Setup_3[4]		0		
		D3	EP0Setup_3[3]		0		
		D2	EP0Setup_3[2]		0		
		D1	EP0Setup_3[1]		0		
		D0	EP0Setup_3[0]		0		
EP0Setup_4 (EP0 set-up 4)	00300934 (B)	D7	EP0Setup_4[7]	Endpoint 0 set-up data 4	0	R	
		D6	EP0Setup_4[6]		0		
		D5	EP0Setup_4[5]		0		
		D4	EP0Setup_4[4]		0		
		D3	EP0Setup_4[3]		0		
		D2	EP0Setup_4[2]		0		
		D1	EP0Setup_4[1]		0		
		D0	EP0Setup_4[0]		0		
EP0Setup_5 (EP0 set-up 5)	00300935 (B)	D7	EP0Setup_5[7]	Endpoint 0 set-up data 5	0	R	
		D6	EP0Setup_5[6]		0		
		D5	EP0Setup_5[5]		0		
		D4	EP0Setup_5[4]		0		
		D3	EP0Setup_5[3]		0		
		D2	EP0Setup_5[2]		0		
		D1	EP0Setup_5[1]		0		
		D0	EP0Setup_5[0]		0		
EP0Setup_6 (EP0 set-up 6)	00300936 (B)	D7	EP0Setup_6[7]	Endpoint 0 set-up data 6	0	R	
		D6	EP0Setup_6[6]		0		
		D5	EP0Setup_6[5]		0		
		D4	EP0Setup_6[4]		0		
		D3	EP0Setup_6[3]		0		
		D2	EP0Setup_6[2]		0		
		D1	EP0Setup_6[1]		0		
		D0	EP0Setup_6[0]		0		
EP0Setup_7 (EP0 set-up 7)	00300937 (B)	D7	EP0Setup_7[7]	Endpoint 0 set-up data 7	0	R	
		D6	EP0Setup_7[6]		0		
		D5	EP0Setup_7[5]		0		
		D4	EP0Setup_7[4]		0		
		D3	EP0Setup_7[3]		0		
		D2	EP0Setup_7[2]		0		
		D1	EP0Setup_7[1]		0		
		D0	EP0Setup_7[0]		0		

0x300938–0x300943

USB Function Controller

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
USB_Address (USB address)	00300938 (B)	D7	AutoSetAddress	1	Auto set address	0	Do nothing	0 R/W
		D6	USB_Address[6]	USB address		0	R/W	
		D5	USB_Address[5]			0		
		D4	USB_Address[4]			0		
		D3	USB_Address[3]			0		
		D2	USB_Address[2]			0		
		D1	USB_Address[1]			0		
		D0	USB_Address[0]			0		
EP0Control (EP0 control)	00300939 (B)	D7	INxOUT	1	IN	0	OUT	0 R/W
		D6–1	–	–		–	–	0 when being read.
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0 W
EP0ControlIN (EP0 control IN)	0030093A (B)	D7	–	–		–	–	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
		D5	–	–		–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit		0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	
EP0ControlOUT (EP0 control OUT)	0030093B (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6–5	–	–		–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	
EP0MaxSize (EP0 max packet size)	0030093F (B)	D7	–	–		–	–	0 when being read.
		D6	EP0MaxSize[6]	Endpoint EP0 max packet size		0	R/W	
		D5	EP0MaxSize[5]			0		
		D4	EP0MaxSize[4]			0		
		D3	EP0MaxSize[3]			1		
		D2–0	–	–		–	–	0 when being read.
EPaControl (EPa control)	00300940 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0 R/W
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	
		D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
EPbControl (EPb control)	00300941 (B)	D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0 R/W
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	
		D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0 R/W
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
EPcControl (EPc control)	00300942 (B)	D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	
		D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0 R/W
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
EPdControl (EPd control)	00300943 (B)	D1	ForceNAK	1	Force NAK	0	Do nothing	0 R/W
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0 R/W
		D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0 R/W
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0 R/W
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0 R/W
		D4	ToggleStat	Toggle sequence bit		0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	
		D1	ForceNAK	1	Force NAK	0	Do nothing	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	

0x300950–0x30095A

USB Function Controller

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks
EPaMaxSize_H (EPa max packet size high)	00300950 (B)	D7–2	–	–		–	–	0 when being read.
		D1	EPaMaxSize[9]	Endpoint EPa max packet size		0	R/W	
		D0	EPaMaxSize[8]			0		
EPaMaxSize_L (EPa max packet size low)	00300951 (B)	D7	EPaMaxSize[7]	Endpoint EPa max packet size		0	R/W	
		D6	EPaMaxSize[6]			0		
		D5	EPaMaxSize[5]			0		
		D4	EPaMaxSize[4]			0		
		D3	EPaMaxSize[3]			0		
		D2	EPaMaxSize[2]			0		
		D1	EPaMaxSize[1]			0		
		D0	EPaMaxSize[0]			0		
EPaConfig_0 (EPa configuration 0)	00300952 (B)	D7	INxOUT	1 In	0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0	R/W	
		D4	–	–		–	–	
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)		0	R/W	
		D2	EndPointNumber[2]			0		
		D1	EndPointNumber[1]			0		
		D0	EndPointNumber[0]			0		
EPaConfig_1 (EPa configuration 1)	00300953 (B)	D7	ISO	1 ISO	0 Non-ISO	0	R/W	
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0	R/W	
		D5–0	–	–		–	–	0 when being read.
EPbMaxSize_H (EPb max packet size high)	00300954 (B)	D7–2	–	–		–	–	0 when being read.
		D1	EPbMaxSize[9]	Endpoint EPb max packet size		0	R/W	
		D0	EPbMaxSize[8]			0		
EPbMaxSize_L (EPb max packet size low)	00300955 (B)	D7	EPbMaxSize[7]	Endpoint EPb max packet size		0	R/W	
		D6	EPbMaxSize[6]			0		
		D5	EPbMaxSize[5]			0		
		D4	EPbMaxSize[4]			0		
		D3	EPbMaxSize[3]			0		
		D2	EPbMaxSize[2]			0		
		D1	EPbMaxSize[1]			0		
		D0	EPbMaxSize[0]			0		
EPbConfig_0 (EPb configuration 0)	00300956 (B)	D7	INxOUT	1 In	0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0	R/W	
		D4	–	–		–	–	
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)		0	R/W	
		D2	EndPointNumber[2]			0		
		D1	EndPointNumber[1]			0		
		D0	EndPointNumber[0]			0		
EPbConfig_1 (EPb configuration 1)	00300957 (B)	D7	ISO	1 ISO	0 Non-ISO	0	R/W	
		D6	ISO_CRCmode	1 CRC mode	0 Normal ISO	0	R/W	
		D5–0	–	–		–	–	0 when being read.
EPcMaxSize_H (EPc max packet size high)	00300958 (B)	D7–2	–	–		–	–	0 when being read.
		D1	EPcMaxSize[9]	Endpoint EPc max packet size		0	R/W	
		D0	EPcMaxSize[8]			0		
EPcMaxSize_L (EPc max packet size low)	00300959 (B)	D7	EPcMaxSize[7]	Endpoint EPc max packet size		0	R/W	
		D6	EPcMaxSize[6]			0		
		D5	EPcMaxSize[5]			0		
		D4	EPcMaxSize[4]			0		
		D3	EPcMaxSize[3]			0		
		D2	EPcMaxSize[2]			0		
		D1	EPcMaxSize[1]			0		
		D0	EPcMaxSize[0]			0		
EPcConfig_0 (EPc configuration 0)	0030095A (B)	D7	INxOUT	1 In	0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle	0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint	0 Disable endpoint	0	R/W	
		D4	–	–		–	–	
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)		0	R/W	
		D2	EndPointNumber[2]			0		
		D1	EndPointNumber[1]			0		
		D0	EndPointNumber[0]			0		

0x30095B–0x300976

USB Function Controller

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
EPcConfig_1 (EPc configuration 1)	0030095B (B)	D7	ISO	1	ISO	0 Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0 Normal ISO	0	R/W	
		D5-0	—	—			—	—	
EPdMaxSize_H (EPd max packet size high)	0030095C (B)	D7-2	—	—			—	—	0 when being read.
		D1	EPdMaxSize[9]	Endpoint EPd max packet size			0	R/W	
		D0	EPdMaxSize[8]				0		
EPdMaxSize_L (EPd max packet size low)	0030095D (B)	D7	EPdMaxSize[7]	Endpoint EPd max packet size			0	R/W	
		D6	EPdMaxSize[6]				0		
		D5	EPdMaxSize[5]				0		
		D4	EPdMaxSize[4]				0		
		D3	EPdMaxSize[3]				0		
		D2	EPdMaxSize[2]				0		
		D1	EPdMaxSize[1]				0		
		D0	EPdMaxSize[0]				0		
EPdConfig_0 (EPd configuration 0)	0030095E (B)	D7	INxOUT	1	In	0 Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0 Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0 Disable endpoint	0	R/W	
		D4	—	—			—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number			0	R/W	
		D2	EndPointNumber[2]	(0x1 to 0xF)			0		
		D1	EndPointNumber[1]				0		
EPdConfig_1 (EPd configuration 1)	0030095F (B)	D7	ISO	1	ISO	0 Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0 Normal ISO	0	R/W	
		D5-0	—	—			—	—	
EPaStartAdrs_H (EPa FIFO start address high)	00300970 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPaStartAdrs[11]	Endpoint EPa start address			0	R/W	
		D2	EPaStartAdrs[10]				0		
		D1	EPaStartAdrs[9]				0		
		D0	EPaStartAdrs[8]				0		
EPaStartAdrs_L (EPa FIFO start address low)	00300971 (B)	D7	EPaStartAdrs[7]	Endpoint EPa start address			0	R/W	
		D6	EPaStartAdrs[6]				0		
		D5	EPaStartAdrs[5]				0		
		D4	EPaStartAdrs[4]				0		
		D3	EPaStartAdrs[3]				0		
		D2	EPaStartAdrs[2]				0		
		D1-0	—	—			—	—	
EPbStartAdrs_H (EPb FIFO start address high)	00300972 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPbStartAdrs[11]	Endpoint EPb start address			0	R/W	
		D2	EPbStartAdrs[10]				0		
		D1	EPbStartAdrs[9]				0		
		D0	EPbStartAdrs[8]				0		
EPbStartAdrs_L (EPb FIFO start address low)	00300973 (B)	D7	EPbStartAdrs[7]	Endpoint EPb start address			0	R/W	
		D6	EPbStartAdrs[6]				0		
		D5	EPbStartAdrs[5]				0		
		D4	EPbStartAdrs[4]				0		
		D3	EPbStartAdrs[3]				0		
		D2	EPbStartAdrs[2]				0		
		D1-0	—	—			—	—	
EPcStartAdrs_H (EPc FIFO start address high)	00300974 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPcStartAdrs[11]	Endpoint EPc start address			0	R/W	
		D2	EPcStartAdrs[10]				0		
		D1	EPcStartAdrs[9]				0		
		D0	EPcStartAdrs[8]				0		
EPcStartAdrs_L (EPc FIFO start address low)	00300975 (B)	D7	EPcStartAdrs[7]	Endpoint EPc start address			0	R/W	
		D6	EPcStartAdrs[6]				0		
		D5	EPcStartAdrs[5]				0		
		D4	EPcStartAdrs[4]				0		
		D3	EPcStartAdrs[3]				0		
		D2	EPcStartAdrs[2]				0		
		D1-0	—	—			—	—	
EPdStartAdrs_H (EPd FIFO start address high)	00300976 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPdStartAdrs[11]	Endpoint EPd start address			0	R/W	
		D2	EPdStartAdrs[10]				0		
		D1	EPdStartAdrs[9]				0		
		D0	EPdStartAdrs[8]				0		

0x300977–0x300989

USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdStartAdrs_L (EPd FIFO start address low)	00300977 (B)	D7	EPdStartAdrs[7]	Endpoint EPd start address	0	R/W	
		D6	EPdStartAdrs[6]		0		
		D5	EPdStartAdrs[5]		0		
		D4	EPdStartAdrs[4]		0		
		D3	EPdStartAdrs[3]		0		
		D2	EPdStartAdrs[2]		0		
		D1–0	–	–	–	–	0 when being read.
CPU_JoinRd (CPU join FIFO read)	00300980 (B)	D7–4	–	–	–	–	0 when being read.
		D3	JoinEPdRd	1 Join EPd FIFO read	0 Do nothing	0 R/W	
		D2	JoinEPcRd	1 Join EPc FIFO read	0 Do nothing	0 R/W	
		D1	JoinEPbRd	1 Join EPb FIFO read	0 Do nothing	0 R/W	
		D0	JoinEPaRd	1 Join EPa FIFO read	0 Do nothing	0 R/W	
CPU_JoinWr (CPU join FIFO write)	00300981 (B)	D7–4	–	–	–	–	0 when being read.
		D3	JoinEPdWr	1 Join EPd FIFO write	0 Do nothing	0 R/W	
		D2	JoinEPcWr	1 Join EPc FIFO write	0 Do nothing	0 R/W	
		D1	JoinEPbWr	1 Join EPb FIFO write	0 Do nothing	0 R/W	
		D0	JoinEPaWr	1 Join EPa FIFO write	0 Do nothing	0 R/W	
EnEPnFIFO_Access (Enable EPn FIFO access)	00300982 (B)	D7–2	–	–	–	–	0 when being read.
		D1	EnEPnFIFO_Wr	1 Enable join EPn FIFO write	0 Do nothing	0 R/W	
		D0	EnEPnFIFO_Rd	1 Enable join EPn FIFO read	0 Do nothing	0 R/W	
EPnFIFOforCPU (EPn FIFO for CPU)	00300983 (B)	D7	EPnFIFOData[7]	Endpoint EP0 FIFO access from CPU		X	R/W
		D6	EPnFIFOData[6]			X	
		D5	EPnFIFOData[5]			X	
		D4	EPnFIFOData[4]			X	
		D3	EPnFIFOData[3]			X	
		D2	EPnFIFOData[2]			X	
		D1	EPnFIFOData[1]			X	
		D0	EPnFIFOData[0]			X	
EPnRdRemain_H (EPn FIFO read remain high)	00300984 (B)	D7–4	–	–	–	–	0 when being read.
		D3	EPnRdRemain[11]	Endpoint n FIFO read remain high		0	R
		D2	EPnRdRemain[10]			0	
		D1	EPnRdRemain[9]			0	
		D0	EPnRdRemain[8]			0	
EPnRdRemain_L (EPn FIFO read remain low)	00300985 (B)	D7	EPnRdRemain[7]	Endpoint n FIFO read remain low		0	R
		D6	EPnRdRemain[6]			0	
		D5	EPnRdRemain[5]			0	
		D4	EPnRdRemain[4]			0	
		D3	EPnRdRemain[3]			0	
		D2	EPnRdRemain[2]			0	
		D1	EPnRdRemain[1]			0	
		D0	EPnRdRemain[0]			0	
EPnWrRemain_H (EPn FIFO write remain high)	00300986 (B)	D7–4	–	–	–	–	0 when being read.
		D3	EPnWrRemain[11]	Endpoint n FIFO write remain high		0	R
		D2	EPnWrRemain[10]			0	
		D1	EPnWrRemain[9]			0	
		D0	EPnWrRemain[8]			0	
EPnWrRemain_L (EPn FIFO write remain low)	00300987 (B)	D7	EPnWrRemain[7]	Endpoint n FIFO write remain low		0	R
		D6	EPnWrRemain[6]			0	
		D5	EPnWrRemain[5]			0	
		D4	EPnWrRemain[4]			0	
		D3	EPnWrRemain[3]			0	
		D2	EPnWrRemain[2]			0	
		D1	EPnWrRemain[1]			0	
		D0	EPnWrRemain[0]			0	
DescAdrs_H (Descriptor address high)	00300988 (B)	D7–4	–	–	–	–	0 when being read.
		D3	DescAdrs[11]	Descriptor address		0	R/W
		D2	DescAdrs[10]			0	
		D1	DescAdrs[9]			0	
		D0	DescAdrs[8]			0	
DescAdrs_L (Descriptor address low)	00300989 (B)	D7	DescAdrs[7]	Descriptor address		0	R/W
		D6	DescAdrs[6]			0	
		D5	DescAdrs[5]			0	
		D4	DescAdrs[4]			0	
		D3	DescAdrs[3]			0	
		D2	DescAdrs[2]			0	
		D1	DescAdrs[1]			0	
		D0	DescAdrs[0]			0	

0x30098A–0x300999

USB Function Controller

Register name	Address	Bit	Name	Setting		Init.	R/W	Remarks		
DescSize_H (Descriptor size high)	0030098A (B)	D7–2	–	–		–	–	0 when being read.		
		D1	DescSize[9]	Descriptor size		0	R/W			
		D0	DescSize[8]			0				
DescSize_L (Descriptor size low)	0030098B (B)	D7	DescSize[7]	Descriptor size		0	R/W			
		D6	DescSize[6]			0				
		D5	DescSize[5]			0				
		D4	DescSize[4]			0				
		D3	DescSize[3]			0				
		D2	DescSize[2]			0				
		D1	DescSize[1]			0				
		D0	DescSize[0]			0				
DescDoor (Descriptor door)	0030098F (B)	D7	DescMode[7]	Descriptor door		0	R/W			
		D6	DescMode[6]			0				
		D5	DescMode[5]			0				
		D4	DescMode[4]			0				
		D3	DescMode[3]			0				
		D2	DescMode[2]			0				
		D1	DescMode[1]			0				
		D0	DescMode[0]			0				
DMA_FIFO_Control (DMA FIFO control)	00300990 (B)	D7	FIFO_Running	1	FIFO is running	0	FIFO is not running	0	R	
		D6	AutoEnShort	1	Auto enable short packet	0	Do nothing	0	R/W	
		D5–0	–	–		–	–	–	0 when being read.	
DMA_Join (DMA join FIFO)	00300991 (B)	D7–4	–	–		–	–	–	0 when being read.	
		D3	JoinEPdDMA	1	Join EPd to DMA	0	Do nothing	0	R/W	
		D2	JoinEPcDMA	1	Join EPc to DMA	0	Do nothing	0	R/W	
		D1	JoinEPbDMA	1	Join EPb to DMA	0	Do nothing	0	R/W	
		D0	JoinEPaDMA	1	Join EPa to DMA	0	Do nothing	0	R/W	
DMA_Control (DMA control)	00300992 (B)	D7	DMA_Running	1	DMA is running	0	DMA is not running	0	R	
		D6	PDREQ	PDREQ signal logic		0	R			
		D5	PDACK	PDACK signal logic		0	R			
		D4	–	–		–	–	–	0 when being read.	
		D3	CounterClr	1	Clear DMA counter	0	Do nothing	0	W	
		D2	–	–		–	–	–		
		D1	DMA_Stop	1	Finish DMA	0	Do nothing	0	W	
		D0	DMA_Go	1	Start DMA	0	Do nothing	0	W	
DMA_Config_0 (DMA configuration 0)	00300994 (B)	D7	ActivePort	1	Activate DMA port	0	Disactivate DMA port	0	R/W	
		D6–4	–	–		–	–	–	0 when being read.	
		D3	PDREQ_Level	1	Active-low	0	Active-high	0	R/W	
		D2	PDACK_Level	1	Active-low	0	Active-high	0	R/W	
		D1	PDRDWR_Level	1	Active-low	0	Active-high	0	R/W	
	D0	–	–		–	–	–	0 when being read.		
DMA_Config_1 (DMA configuration 1)	00300995 (B)	D7	RcvLimitMode	1	Receive limit mode	0	Normal	0	R/W	
		D6–4	–	–		–	–	–	0 when being read.	
		D3	SingleWord	1	Single word	0	Multi word	0	R/W	
		D2–1	–	–		–	–	–	0 when being read.	
		D0	CountMode	1	Count-down mode	0	Free-run mode	0	R/W	
DMA_Latency (DMA latency)	00300997 (B)	D7–4	–	–		–	–	–	0 when being read.	
		D3	DMA_Latency[3]	Latency		0	R/W			
		D2	DMA_Latency[2]			0				
		D1	DMA_Latency[1]			0				
		D0	DMA_Latency[0]			0				
DMA_Remain_H (DMA FIFO remain high)	00300998 (B)	D7–4	–	–		–	–	–	0 when being read.	
		D3	DMA_Remain[11]	DMA FIFO remain high		0	R			
		D2	DMA_Remain[10]			0				
		D1	DMA_Remain[9]			0				
		D0	DMA_Remain[8]			0				
DMA_Remain_L (DMA FIFO remain low)	00300999 (B)	D7	DMA_Remain[7]	DMA FIFO remain low		0	R			
		D6	DMA_Remain[6]			0				
		D5	DMA_Remain[5]			0				
		D4	DMA_Remain[4]			0				
		D3	DMA_Remain[3]			0				
		D2	DMA_Remain[2]			0				
		D1	DMA_Remain[1]			0				
		D0	DMA_Remain[0]			0				

0x30099C–0x30099F

USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DMA_Count_HH (DMA transfer byte counter high/high)	0030099C (B)	D7	DMA_Count[31]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[30]		0		
		D5	DMA_Count[29]		0		
		D4	DMA_Count[28]		0		
		D3	DMA_Count[27]		0		
		D2	DMA_Count[26]		0		
		D1	DMA_Count[25]		0		
		D0	DMA_Count[24]		0		
DMA_Count_HL (DMA transfer byte counter high/low)	0030099D (B)	D7	DMA_Count[23]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[22]		0		
		D5	DMA_Count[21]		0		
		D4	DMA_Count[20]		0		
		D3	DMA_Count[19]		0		
		D2	DMA_Count[18]		0		
		D1	DMA_Count[17]		0		
		D0	DMA_Count[16]		0		
DMA_Count_LH (DMA transfer byte counter low/high)	0030099E (B)	D7	DMA_Count[15]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[14]		0		
		D5	DMA_Count[13]		0		
		D4	DMA_Count[12]		0		
		D3	DMA_Count[11]		0		
		D2	DMA_Count[10]		0		
		D1	DMA_Count[9]		0		
		D0	DMA_Count[8]		0		
DMA_Count_LL (DMA transfer byte counter low/low)	0030099F (B)	D7	DMA_Count[7]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[6]		0		
		D5	DMA_Count[5]		0		
		D4	DMA_Count[4]		0		
		D3	DMA_Count[3]		0		
		D2	DMA_Count[2]		0		
		D1	DMA_Count[1]		0		
		D0	DMA_Count[0]		0		

0x300B00–0x300B06

Serial Interface

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Serial I/F Ch.0 transmit data register (pEFSIF0_TXD)	00300B00 (B)	D7	TXD07	Serial I/F Ch.0 transmit data TXD07(06) = MSB TXD00 = LSB	0x0 to 0xFF(0x7F)		X	R/W	7-bit asynchronous mode does not use TXD07.		
		D6	TXD06				X				
		D5	TXD05				X				
		D4	TXD04				X				
		D3	TXD03				X				
		D2	TXD02				X				
		D1	TXD01				X				
		D0	TXD00				X				
Serial I/F Ch.0 receive data register (pEFSIF0_RXD)	00300B01 (B)	D7	RXD07	Serial I/F Ch.0 receive data RXD07(06) = MSB RXD00 = LSB	0x0 to 0xFF(0x7F)		X	R	7-bit asynchronous mode does not use RXD07 (fixed at 0).		
		D6	RXD06				X				
		D5	RXD05				X				
		D4	RXD04				X				
		D3	RXD03				X				
		D2	RXD02				X				
		D1	RXD01				X				
		D0	RXD00				X				
Serial I/F Ch.0 status register (pEFSIF0_STATUS)	00300B02 (B)	D7	RXD0NUM1	Number of Ch.0 receive data in FIFO	RXD0NUM[1:0]		Number of data		0	R	
		D6	RXD0NUM0		11	4	0				
					10	3					
					01	2					
					00	1 or 0					
		D5	TEND0	Ch.0 transmit-completion flag	1	Transmitting	0	End	0	R	Reset by writing 0.
		D4	FER0	Ch.0 framing error flag	1	Error	0	Normal	0	R/W	
		D3	PER0	Ch.0 parity error flag	1	Error	0	Normal	0	R/W	
D2	OER0	Ch.0 overrun error flag	1	Error	0	Normal	0	R/W			
D1	TDBE0	Ch.0 transmit data buffer empty	1	Empty	0	Not empty	1	R			
D0	RDBF0	Ch.0 receive data buffer full	1	Full	0	Not full	0	R			
Serial I/F Ch.0 control register (pEFSIF0_CTL)	00300B03 (B)	D7	TXEN0	Ch.0 transmit enable	1	Enabled	0	Disabled	0	R/W	
		D6	RXEN0	Ch.0 receive enable	1	Enabled	0	Disabled	0	R/W	
		D5	EPR0	Ch.0 parity enable	1	With parity	0	No parity	X	R/W	Valid only in asynchronous mode.
		D4	PMD0	Ch.0 parity mode select	1	Odd	0	Even	X	R/W	
		D3	STPB0	Ch.0 stop bit select	1	2 bits	0	1 bit	X	R/W	
		D2	SSCK0	Ch.0 input clock select	1	#SCLK0	0	Internal clock	X	R/W	
		D1	SMD01	Ch.0 transfer mode select	SMD0[1:0]		Transfer mode		X	R/W	
		D0	SMD00		11	8-bit asynchronous	X				
		10	7-bit asynchronous								
		01	Clock sync. Slave								
		00	Clock sync. Master								
Serial I/F Ch.0 IrDA register (pEFSIF0_IRDA)	00300B04 (B)	D7	SRDYCTL0	Ch.0 #SRDY control	1	High mask	0	Normal	0	R/W	Writing is disabled when SIOADV (D0/0x300B4F) = "0".
		D6	FIFOINT01	Ch.0 receive buffer full interrupt timing	FIFOINT0[1:0]		Receive level		0	R/W	
		D5	FIFOINT00		11	4	0				
					10	3					
				01	2						
				00	1						
		D4	DIVMD0	Ch.0 async. clock division ratio	1	1/8	0	1/16	X	R/W	
		D3	IRTL0	Ch.0 IrDA I/F output logic inversion	1	Inverted	0	Direct	X	R/W	Valid only in asynchronous mode.
D2	IRRL0	Ch.0 IrDA I/F input logic inversion	1	Inverted	0	Direct	X	R/W			
D1	IRMD01	Ch.0 interface mode select	IRMD0[1:0]		I/F mode		X	R/W			
D0	IRMD00		11	reserved	X						
			10	IrDA 1.0							
			01	reserved							
		00	General I/F								
Serial I/F Ch.0 baud-rate timer control register (pEFSIF0_BRTRUN)	00300B05 (B)	D7-1	—	reserved	—		—	—	0 when being read.		
		D0	BRTRUN0	Baud-rate timer Run/Stop control	1	Run	0	Stop	0	R/W	
Serial I/F Ch.0 baud-rate timer reload data register (LSB) (pEFSIF0_BRTRDL)	00300B06 (B)	D7	BRTRD07	Serial I/F Ch.0 baud-rate timer reload data [7:0] (BRTRD0[11:0] = 0x0 to 0xFFFF)	0x0 to 0xFF		0	R/W			
		D6	BRTRD06				0				
		D5	BRTRD05				0				
		D4	BRTRD04				0				
		D3	BRTRD03				0				
		D2	BRTRD02				0				
		D1	BRTRD01				0				
		D0	BRTRD00				0				

0x300B07–0x300B13

Serial Interface

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Serial I/F Ch.0 baud-rate timer reload data register (MSB) (pEFSIF0_BRTDM)	00300B07 (B)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	BRTRD011	Serial I/F Ch.0	0x0 to 0xF	0	R/W		
		D2	BRTRD010	baud-rate timer reload data [11:8]	(BRTRD0[11:0] = 0x0 to 0xFFFF)	0			
		D1	BRTRD09			0			
		D0	BRTRD08			0			
Serial I/F Ch.0 baud-rate timer count data register (LSB) (pEFSIF0_BRTCDL)	00300B08 (B)	D7	BRTCD07	Serial I/F Ch.0	0x0 to 0xFF	0	R		
		D6	BRTCD06	baud-rate timer count data [7:0]	(BRTCD0[11:0] = 0x0 to 0xFFFF)	0			
		D5	BRTCD05			0			
		D4	BRTCD04			0			
		D3	BRTCD03			0			
		D2	BRTCD02			0			
		D1	BRTCD01			0			
		D0	BRTCD00			0			
Serial I/F Ch.0 baud-rate timer count data register (MSB) (pEFSIF0_BRTCDM)	00300B09 (B)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	BRTCD011	Serial I/F Ch.0	0x0 to 0xF	0	R		
		D2	BRTCD010	baud-rate timer count data [11:8]	(BRTCD0[11:0] = 0x0 to 0xFFFF)	0			
		D1	BRTCD09			0			
		D0	BRTCD08			0			
Serial I/F Ch.1 transmit data register (pEFSIF1_TXD)	00300B10 (B)	D7	TXD17	Serial I/F Ch.1 transmit data	0x0 to 0xFF(0x7F)	X	R/W	7-bit asynchronous mode does not use TXD17.	
		D6	TXD16	TXD17(16) = MSB		X			
		D5	TXD15	TXD10 = LSB		X			
		D4	TXD14			X			
		D3	TXD13			X			
		D2	TXD12			X			
		D1	TXD11			X			
		D0	TXD10			X			
Serial I/F Ch.1 receive data register (pEFSIF1_RXD)	00300B11 (B)	D7	RXD17	Serial I/F Ch.1 receive data	0x0 to 0xFF(0x7F)	X	R	7-bit asynchronous mode does not use RXD17 (fixed at 0).	
		D6	RXD16	RXD17(16) = MSB		X			
		D5	RXD15	RXD10 = LSB		X			
		D4	RXD14			X			
		D3	RXD13			X			
		D2	RXD12			X			
		D1	RXD11			X			
		D0	RXD10			X			
Serial I/F Ch.1 status register (pEFSIF1_STATUS)	00300B12 (B)	D7	RXD1NUM1	Number of Ch.1 receive data in FIFO	RXD1NUM[1:0]	Number of data	0	R	
		D6	RXD1NUM0		11	4	0		
					10	3			
					01	2			
					00	1 or 0			
		D5	TEND1	Ch.1 transmit-completion flag	1 Transmitting	0 End	0	R	Reset by writing 0.
		D4	FER1	Ch.1 framing error flag	1 Error	0 Normal	0	R/W	
		D3	PER1	Ch.1 parity error flag	1 Error	0 Normal	0	R/W	
		D2	OER1	Ch.1 overrun error flag	1 Error	0 Normal	0	R/W	
		D1	TDBE1	Ch.1 transmit data buffer empty	1 Empty	0 Not empty	1	R	
		D0	RDBF1	Ch.1 receive data buffer full	1 Full	0 Not full	0	R	
Serial I/F Ch.1 control register (pEFSIF1_CTL)	00300B13 (B)	D7	TXEN1	Ch.1 transmit enable	1 Enabled	0 Disabled	0	R/W	Valid only in asynchronous mode.
		D6	RXEN1	Ch.1 receive enable	1 Enabled	0 Disabled	0	R/W	
		D5	EPR1	Ch.1 parity enable	1 With parity	0 No parity	X	R/W	
		D4	PMD1	Ch.1 parity mode select	1 Odd	0 Even	X	R/W	
		D3	STPB1	Ch.1 stop bit select	1 2 bits	0 1 bit	X	R/W	
		D2	SCLK1	Ch.1 input clock select	1 #SCLK1	0 Internal clock	X	R/W	
		D1	SMD11	Ch.1 transfer mode select	SMD1[1:0]	Transfer mode	X	R/W	
		D0	SMD10		11	8-bit asynchronous	X		
					10	7-bit asynchronous			
		01	Clock sync. Slave						
				00	Clock sync. Master				

0x300B14–0x300B1C

Serial Interface

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks			
Serial I/F Ch.1 IrDA register (pEFSIF1_IRDA)	00300B14 (B)	D7	SRDYCTL1	Ch.1 #SRDY control	1	High mask	0	Normal	0	R/W	Writing is disabled when SIOADV (D0/0x300B4F) = "0".		
		D6	FIFOINT11	Ch.1 receive buffer full interrupt timing	FIFOINT1[1:0]		Receive level		0	R/W			
		D5	FIFOINT10		11 10 01 00		4 3 2 1		0				
		D4	DIVMD1		Ch.1 async. clock division ratio	1	1/8	0	1/16	X		R/W	
		D3	IRTL1	Ch.1 IrDA I/F output logic inversion	1	Inverted	0	Direct	X	R/W	Valid only in asynchronous mode.		
		D2	IRRL1	Ch.1 IrDA I/F input logic inversion	1	Inverted	0	Direct	X	R/W			
		D1	IRMD11	Ch.1 interface mode select	IRMD1[1:0]		I/F mode		X	R/W			
		D0	IRMD10		11 10 01 00		reserved IrDA 1.0 reserved General I/F		X				
Serial I/F Ch.1 baud-rate timer control register (pEFSIF1_BRTRUN)	00300B15 (B)	D7–1	–		reserved	–			–	–		0 when being read.	
		D0	BRTRUN1	Baud-rate timer Run/Stop control	1	Run	0	Stop	0	R/W			
Serial I/F Ch.1 baud-rate timer reload data register (LSB) (pEFSIF1_BRTRDL)	00300B16 (B)	D7	BRTRD17	Serial I/F Ch.1 baud-rate timer reload data [7:0]	0x0 to 0xFF			(BRTRD1[11:0] = 0x0 to 0xFFFF)			0	R/W	
		D6	BRTRD16								0		
		D5	BRTRD15								0		
		D4	BRTRD14								0		
		D3	BRTRD13								0		
		D2	BRTRD12								0		
		D1	BRTRD11								0		
		D0	BRTRD10								0		
Serial I/F Ch.1 baud-rate timer reload data register (MSB) (pEFSIF1_BRTRDM)	00300B17 (B)	D7–4	–	reserved	–			–			–	–	0 when being read.
		D3	BRTRD111	Serial I/F Ch.1 baud-rate timer reload data [11:8]	0x0 to 0xF			(BRTRD1[11:0] = 0x0 to 0xFFFF)			0	R/W	
		D2	BRTRD110								0		
		D1	BRTRD19								0		
		D0	BRTRD18								0		
Serial I/F Ch.1 baud-rate timer count data register (LSB) (pEFSIF1_BRTCDL)	00300B18 (B)	D7	BRTCD17	Serial I/F Ch.1 baud-rate timer count data [7:0]	0x0 to 0xFF			(BRTCD1[11:0] = 0x0 to 0xFFFF)			0	R	
		D6	BRTCD16								0		
		D5	BRTCD15								0		
		D4	BRTCD14								0		
		D3	BRTCD13								0		
		D2	BRTCD12								0		
		D1	BRTCD11								0		
		D0	BRTCD10								0		
Serial I/F Ch.1 baud-rate timer count data register (MSB) (pEFSIF1_BRTCDM)	00300B19 (B)	D7–4	–	reserved	–			–			–	–	0 when being read.
		D3	BRTCD111	Serial I/F Ch.1 baud-rate timer count data [11:8]	0x0 to 0xF			(BRTCD1[11:0] = 0x0 to 0xFFFF)			0	R	
		D2	BRTCD110								0		
		D1	BRTCD19								0		
		D0	BRTCD18								0		
Serial I/F Ch.1 ISO7816 mode control register (pEFSIF1_7816CTL)	00300B1A (B)	D7	RPNUM12	Serial I/F Ch.1 number of transmit repetition	0x0 to 0x7						0	R/W	
		D6	RPNUM11								0		
		D5	RPNUM10								0		
		D4	CLKOEN1	Ch.1 clock output enable	1	Enabled	0	Disabled	0	R/W			
		D3	CLKOL1	Ch.1 clock output forced low	1	Normal	0	Forced low	0	R/W			
		D2	MSBSEL1	Ch.1 MSB first selection	1	MSB first	0	LSB first	0	R/W			
		D1	7816MD11	Serial I/F Ch.1 ISO7816 mode selection	7816MD1[1:0]		Mode		0	R/W			
		D0	7816MD10		11 10 01 00		reserved ISO7816, T = 1 ISO7816, T = 0 Normal I/F		0				
Serial I/F Ch.1 ISO7816 mode status register (pEFSIF1_7816STA)	00300B1B (B)	D7–1	–	reserved	–			–			–	–	0 when being read.
		D0	TER1	Ch.1 ISO7816 transmit error flag	1	Error	0	Normal	0	R/W	Reset by writing 0.		
Serial I/F Ch.1 ISO7816 mode FI/DI ratio register (LSB) (pEFSIF1_FIDIL)	00300B1C (B)	D7	FIDI17	Serial I/F Ch.1 ISO7816 mode FI/DI ratio [7:0]	0x0 to 0xFF			(FIDI1[13:0] = 0x0 to 0x3FFF)			0	R/W	Valid only in ISO7816 mode.
		D6	FIDI16								0		
		D5	FIDI15								0		
		D4	FIDI14								0		
		D3	FIDI13								0		
		D2	FIDI12								0		
		D1	FIDI11								0		
		D0	FIDI10								0		

0x300B1D–0x300B23

Serial Interface

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Serial I/F Ch.1 ISO7816 mode FI/DI ratio register (MSB) (pEFSIF1_FIDIM)	00300B1D (B)	D7–6	–	reserved		–			–	–	0 when being read.
		D5	FIDI113	Serial I/F Ch.1	0x0 to 0x3F			0	R/W	Valid only in ISO7816 mode.	
		D4	FIDI112	ISO7816 mode FI/DI ratio [13:8]	(FIDI1[13:0] = 0x0 to 0x3FFF)			0			
		D3	FIDI111				0				
		D2	FIDI110				0				
		D1	FIDI19				0				
		D0	FIDI18				0				
Serial I/F Ch.1 transmit time guard register (pEFSIF1_TTGR)	00300B1E (B)	D7	TTGR17	Serial I/F Ch.1	0x0 to 0xFF			0	R/W		
		D6	TTGR16	transmit time guard				0			
		D5	TTGR15					0			
		D4	TTGR14					0			
		D3	TTGR13					0			
		D2	TTGR12					0			
		D1	TTGR11					0			
D0	TTGR10					0					
Serial I/F Ch.1 ISO7816 mode output clock setup register (pEFSIF1_CLKNUM)	00300B1F (B)	D7	CLKNEN1	Ch.1 CLKN enable	1	Enabled	0	Disabled	0	R/W	
		D6	CLKN16	Serial I/F Ch.1	0x0 to 0x7F			0	R/W		
		D5	CLKN15	number of output clocks					0		
		D4	CLKN14						0		
		D3	CLKN13						0		
		D2	CLKN12						0		
		D1	CLKN11						0		
D0	CLKN10							0			
UART Transmit Data Register (UART_TXD)	0x00300B20 (8)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)			0x0	R/W		
UART Receive Data Register (UART_RXD)	0x00300B21 (8)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)			0x0	R		
UART Status Register (UART_STATUS)	0x00300B22 (8)	D7	–	reserved	–			–	–		0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	Shift register status
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
	D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	0	R		
UART Control Register (UART_CTL)	0x00300B23 (8)	D7	–	reserved	–			–	–	0 when being read.	
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
			D3–2	–	reserved	–			–	–	0 when being read.
			D1	RBF1	Receive buffer full int. condition	1	2 bytes	0	1 byte	0	R/W
	D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W		

0x300B24–0x300B4F

Serial Interface

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Configure Register (UART_CFG)	0x00300B24 (8)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CHLN	Character length	1 8 bits	0 7 bits	0	R/W
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W
		D0	–	reserved	1 External	0 Internal	–	–
UART baud-rate timer control register (UART_BRTRUN)	00300B25 (B)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	BRTRUN2	Baud-rate timer Run/Stop control	1 Run	0 Stop	0	R/W
UART baud-rate timer reload data register (LSB) (UART_BRTRDL)	00300B26 (B)	D7	BRTRD27	UART	0x0 to 0xFF	0	R/W	
		D6	BRTRD26	baud-rate timer reload data [7:0]	(BRTRD2[11:0] = 0x0 to 0xFFFF)	0		
		D5	BRTRD25			0		
		D4	BRTRD24			0		
		D3	BRTRD23			0		
		D2	BRTRD22			0		
		D1	BRTRD21			0		
		D0	BRTRD20			0		
UART baud-rate timer reload data register (MSB) (UART_BRTRDM)	00300B27 (B)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	BRTRD211	UART	0x0 to 0xF	0	R/W	
		D2	BRTRD210	baud-rate timer reload data [11:8]	(BRTRD2[11:0] = 0x0 to 0xFFFF)	0		
		D1	BRTRD29			0		
		D0	BRTRD28			0		
UART baud-rate timer count data register (LSB) (UART_BRTRCDL)	00300B28 (B)	D7	BRTRCD27	UART	0x0 to 0xFF	0	R	
		D6	BRTRCD26	baud-rate timer count data [7:0]	(BRTRCD2[11:0] = 0x0 to 0xFFFF)	0		
		D5	BRTRCD25			0		
		D4	BRTRCD24			0		
		D3	BRTRCD23			0		
		D2	BRTRCD22			0		
		D1	BRTRCD21			0		
		D0	BRTRCD20			0		
UART baud-rate timer count data register (MSB) (UART_BRTRCDM)	00300B29 (B)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	BRTRCD211	UART	0x0 to 0xF	0	R	
		D2	BRTRCD210	baud-rate timer count data [11:8]	(BRTRCD2[11:0] = 0x0 to 0xFFFF)	0		
		D1	BRTRCD29			0		
		D0	BRTRCD28			0		
Serial I/F STD/ADV mode select register (pEFSIF_ADV)	00300B4F (B)	D7–1	–	reserved	–	–	–	Writing 1 not allowed.
		D0	SIOADV	Standard mode/advanced mode select	1 Advanced mode	0 Standard mode	0	R/W

0x300C00–0x300C21

Extended Ports

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
PA I/O control register (pPA_IOC)	00300C00 (B)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	IOCA4	PA4 I/O control	1	Output	0	Input	0	R/W	
		D3	IOCA3	PA3 I/O control					0	R/W	
		D2	IOCA2	PA2 I/O control					0	R/W	
		D1	IOCA1	PA1 I/O control					0	R/W	
		D0	IOCA0	PA0 I/O control					0	R/W	
PA I/O port data register (pPA_DATA)	00300C01 (B)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	PA4D	PA4 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D3	PA3D	PA3 I/O port data					Ext.	R/W	
		D2	PA2D	PA2 I/O port data					Ext.	R/W	
		D1	PA1D	PA1 I/O port data					Ext.	R/W	
		D0	PA0D	PA0 I/O port data					Ext.	R/W	
PB I/O control register (pPB_IOC)	00300C02 (B)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3	IOCB3	PB3 I/O control	1	Output	0	Input	0	R/W	
		D2	IOCB2	PB2 I/O control					0	R/W	
		D1	IOCB1	PB1 I/O control					0	R/W	
		D0	IOCB0	PB0 I/O control					0	R/W	
PB I/O port data register (pPB_DATA)	00300C03 (B)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3	PB3D	PB3 I/O port data	1	High	0	Low	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D2	PB2D	PB2 I/O port data					Ext.	R/W	
		D1	PB1D	PB1 I/O port data					Ext.	R/W	
		D0	PB0D	PB0 I/O port data					Ext.	R/W	
PC I/O control register (pPC_IOC)	00300C04 (B)	D7	IOCC7	PC7 I/O control	1	Output	0	Input	0	R/W	
		D6	IOCC6	PC6 I/O control					0	R/W	
		D5	IOCC5	PC5 I/O control					0	R/W	
		D4	IOCC4	PC4 I/O control					0	R/W	
		D3	IOCC3	PC3 I/O control					0	R/W	
		D2	IOCC2	PC2 I/O control					0	R/W	
		D1	IOCC1	PC1 I/O control					0	R/W	
		D0	IOCC0	PC0 I/O control					0	R/W	
		PC I/O port data register (pPC_DATA)	00300C05 (B)	D7	PC7D	PC7 I/O port data	1	High	0	Low	Ext.
D6	PC6D			PC6 I/O port data	Ext.	R/W					
D5	PC5D			PC5 I/O port data	Ext.	R/W					
D4	PC4D			PC4 I/O port data	Ext.	R/W					
D3	PC3D			PC3 I/O port data	Ext.	R/W					
D2	PC2D			PC2 I/O port data	Ext.	R/W					
D1	PC1D			PC1 I/O port data	Ext.	R/W					
D0	PC0D			PC0 I/O port data	Ext.	R/W					
PA0nPA3 port function select register (pPA_03_CFP)	00300C20 (B)			D7	CFPA31	PA3 port extended function	CFPA3[1:0]		Function		0
		D6	CFPA30	11	I2S_MCLK_I		0				
				10	TFT_CTL2						
				01	FPDAT10						
				00	PA3						
		D5	CFPA21	PA2 port extended function	CFPA2[1:0]		Function		0	R/W	
		D4	CFPA20		11	I2S_SCK_I	0				
					10	TFT_CTL1					
					01	FPDAT9					
					00	PA2					
		D3	CFPA11	PA1 port extended function	CFPA1[1:0]		Function		0	R/W	
		D2	CFPA10		11	I2S_WS_I	0				
10	TFT_CTL0										
01	FPDAT8										
00	PA1										
D1	CFPA01	PA0 port extended function	CFPA0[1:0]		Function		0	R/W			
D0	CFPA00		11	I2S_SDI	0						
			10	reserved							
			01	TFT_CTL0							
			00								
PA4 port function select register (pPA_4_CFP)	00300C21 (B)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	CFPA41	PA4 port extended function	CFPA4[1:0]		Function		0	R/W	
		D0	CFPA40		11	I2S_MCLK_EXT	0				
					10	TFT_CTL3					
					01	FPDAT11					
00	PA4										

0x300C22–0x300C25

Extended Ports

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
PB0–PB3 port function select register (pPB_03_CFP)	00300C22 (B)	D7 D6	CFPB31 CFPB30	PB3 port extended function	CFPB3[1:0]	Function	0	R/W				
					11 10 01 00	CARD5 I2S_MCLK_O FPDAT15 PB3	0					
		D5 D4	CFPB21 CFPB20	PB2 port extended function	CFPB2[1:0]	Function	0	R/W				
					11 10 01 00	CARD4 I2S_SCK_O FPDAT14 PB2	0					
		D3 D2	CFPB11 CFPB10	PB1 port extended function	CFPB1[1:0]	Function	0	R/W				
					11 10 01 00	CARD3 I2S_WS_O FPDAT13 PB1	0					
		D1 D0	CFPB01 CFPB00	PB0 port extended function	CFPB0[1:0]	Function	0	R/W				
					11 10 01 00	CARD2 I2S_SDO FPDAT12 PB0	0					
		PC0–PC3 port function select register (pPC_03_CFP)	00300C24 (B)	D7 D6	CFPC31 CFPC30	PC3 port extended function	CFPC3[1:0]	Function		0	R/W	
							1* 01 00	reserved PC3 D11		0		
				D5 D4	CFPC21 CFPC20	PC2 port extended function	CFPC2[1:0]	Function		0	R/W	
							1* 01 00	reserved PC2 D10		0		
D3 D2	CFPC11 CFPC10			PC1 port extended function	CFPC1[1:0]	Function	0	R/W				
					1* 01 00	reserved PC1 D9	0					
D1 D0	CFPC01 CFPC00			PC0 port extended function	CFPC0[1:0]	Function	0	R/W				
					1* 01 00	reserved PC0 D8	0					
PC4–PC7 port function select register (pPC_47_CFP)	00300C25 (B)			D7 D6	CFPC71 CFPC70	PC7 port extended function	CFPC7[1:0]	Function	0	R/W		
							1* 01 00	reserved PC7 D15	0			
				D5 D4	CFPC61 CFPC60	PC6 port extended function	CFPC6[1:0]	Function	0	R/W		
							1* 01 00	reserved PC6 D14	0			
		D3 D2	CFPC51 CFPC50	PC5 port extended function	CFPC5[1:0]	Function	0	R/W				
					1* 01 00	reserved PC5 D13	0					
		D1 D0	CFPC41 CFPC40	PC4 port extended function	CFPC4[1:0]	Function	0	R/W				
					1* 01 00	reserved PC4 D12	0					

0x300C40–0x300C48

Misc Register

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Bus signal pull-up control register (pMISC_BUSPUP)	00300C40 (B)	D7–0	–	reserved	–			–	–	0 when being read.	
Bus signal low drive control register (pMISC_BUSLOW)	00300C41 (B)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3	LDRVDB	D15–D0 low drive	1	Low drive	0	Normal output	0	R/W	
		D2	LDRVCE	#CE11–#CE4 low drive					0	R/W	
		D1	LDRVAD	A24–A0 low drive					0	R/W	
		D0	LDRVRW	#RD, #WRL, #WRH, #BSL low drive					0	R/W	
P0 pull-up control register (pMISC_PUP0)	00300C42 (B)	D7	PUP07	P07 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP06	P06 pull-up					0	R/W	
		D5	PUP05	P05 pull-up					0	R/W	
		D4	PUP04	P04 pull-up					0	R/W	
		D3	PUP03	P03 pull-up					0	R/W	
		D2	PUP02	P02 pull-up					0	R/W	
		D1	PUP01	P01 pull-up					0	R/W	
		D0	PUP00	P00 pull-up					0	R/W	
P1 pull-up control register (pMISC_PUP1)	00300C43 (B)	D7	PUP17	P17 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP16	P16 pull-up					1	R/W	
		D5	PUP15	P15 pull-up					1	R/W	
		D4	PUP14	P14 pull-up					0	R/W	
		D3	PUP13	P13 pull-up					0	R/W	
		D2	PUP12	P12 pull-up					0	R/W	
		D1	PUP11	P11 pull-up					0	R/W	
		D0	PUP10	P10 pull-up					0	R/W	
P2 pull-up control register (pMISC_PUP2)	00300C44 (B)	D7	PUP27	P27 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP26	P26 pull-up					1	R/W	
		D5	PUP25	P25 pull-up					1	R/W	
		D4	PUP24	P24 pull-up					1	R/W	
		D3	PUP23	P23 pull-up					1	R/W	
		D2	PUP22	P22 pull-up					1	R/W	
		D1	PUP21	P21 pull-up					1	R/W	
		D0	PUP20	P20 pull-up					1	R/W	
P3 pull-up control register (pMISC_PUP3)	00300C45 (B)	D7	–	reserved	–			–	–	1 when being read.	
		D6	PUP36	P36 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D5	PUP35	P35 pull-up					1	R/W	
		D4	PUP34	P34 pull-up					1	R/W	
		D3	PUP33	P33 pull-up					0	R/W	
		D2	PUP32	P32 pull-up					0	R/W	
		D1	PUP31	P31 pull-up					0	R/W	
		D0	PUP30	P30 pull-up					0	R/W	
P4 pull-up control register (pMISC_PUP4)	00300C46 (B)	D7	PUP47	P47 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP46	P46 pull-up					1	R/W	
		D5	PUP45	P45 pull-up					1	R/W	
		D4	PUP44	P44 pull-up					1	R/W	
		D3	PUP43	P43 pull-up					1	R/W	
		D2	PUP42	P42 pull-up					1	R/W	
		D1	PUP41	P41 pull-up					1	R/W	
		D0	PUP40	P40 pull-up					1	R/W	
P5 pull-up control register (pMISC_PUP5)	00300C47 (B)	D7	PUP57	P57 pull-up	1	Pulled up	0	No pull-up	1	R/W	
		D6	PUP56	P56 pull-up					1	R/W	
		D5	PUP55	P55 pull-up					1	R/W	
		D4	PUP54	P54 pull-up					1	R/W	
		D3	PUP53	P53 pull-up					1	R/W	
		D2	PUP52	P52 pull-up					1	R/W	
		D1	PUP51	P51 pull-up					1	R/W	
		D0	PUP50	P50 pull-up					1	R/W	
P6 pull-up control register (pMISC_PUP6)	00300C48 (B)	D7	PUP67	P67 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP66	P66 pull-up					0	R/W	
		D5	PUP65	P65 pull-up					0	R/W	
		D4	PUP64	P64 pull-up					0	R/W	
		D3	PUP63	P63 pull-up					0	R/W	
		D2	PUP62	P62 pull-up					0	R/W	
		D1	PUP61	P61 pull-up					0	R/W	
		D0	PUP60	P60 pull-up					0	R/W	

0x300C49–0x300C4D

Misc Register

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P7 pull-up control register (pMISC_PUP7)	00300C49 (B)	D7–5	–	reserved	–			–	–	1 when being read.	
		D4	PUP74	P74 pull-up	1	Pulled up	0	No pull-up	0		R/W
		D3	PUP73	P73 pull-up					0		R/W
		D2	PUP72	P72 pull-up					0		R/W
		D1	PUP71	P71 pull-up					0		R/W
		D0	PUP70	P70 pull-up					0		R/W
P8 pull-up control register (pMISC_PUP8)	00300C4A (B)	D7–6	–	reserved	–			–	–	1 when being read.	
		D5	PUP85	P85 pull-up	1	Pulled up	0	No pull-up	0		R/W
		D4	PUP84	P84 pull-up					0		R/W
		D3	PUP83	P83 pull-up					0		R/W
		D2	PUP82	P82 pull-up					0		R/W
		D1	PUP81	P81 pull-up					0		R/W
		D0	PUP80	P80 pull-up					0		R/W
P9 pull-up control register (pMISC_PUP9)	00300C4B (B)	D7	PUP97	P97 pull-up	1	Pulled up	0	No pull-up	0	R/W	
		D6	PUP96	P96 pull-up					0	R/W	
		D5	PUP95	P95 pull-up					0	R/W	
		D4	PUP94	P94 pull-up					0	R/W	
		D3	PUP93	P93 pull-up					0	R/W	
		D2	PUP92	P92 pull-up					0	R/W	
		D1	PUP91	P91 pull-up					0	R/W	
		D0	PUP90	P90 pull-up					0	R/W	
		PA pull-up control register (pMISC_PUPA)	00300C4C (B)	D7–5					–	reserved	–
D4	PUPA4			PA4 pull-up	1	Pulled up	0	No pull-up	1	R/W	
D3	PUPA3			PA3 pull-up					1	R/W	
D2	PUPA2			PA2 pull-up					1	R/W	
D1	PUPA1			PA1 pull-up					1	R/W	
D0	PUPA0			PA0 pull-up					1	R/W	
PB pull-up control register (pMISC_PUPB)	00300C4D (B)	D7–4	–	reserved	–			–	–	1 when being read.	
		D3	PUPB3	PB3 pull-up	1	Pulled up	0	No pull-up	1		R/W
		D2	PUPB2	PB2 pull-up					1		R/W
		D1	PUPB1	PB1 pull-up					1		R/W
		D0	PUPB0	PB0 pull-up					1		R/W

0x301100–0x301105

Intelligent DMA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IDMA base address register 0 (pIDMABASE)	00301100 (HW)	D15	DBASEL15	IDMA base address		0	R/W	
		D14	DBASEL14	low-order 16 bits		0		
		D13	DBASEL13	(Initial value: 0x200003A0)		0		
		D12	DBASEL12			0		
		D11	DBASEL11			0		
		D10	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		Fix at 0.
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA base address register 1	00301102 (HW)	D15	DBASEH15	IDMA base address		0	R/W	
		D14	DBASEH14	high-order 16 bits		0		
		D13	DBASEH13	(Initial value: 0x200003A0)		1		
		D12	DBASEH12			0		
		D11	DBASEH11			0		
		D10	DBASEH10			0		
		D9	DBASEH9			0		
		D8	DBASEH8			0		
		D7	DBASEH7			0		
		D6	DBASEH6			0		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMA start register (pIDMA_START)	00301104 (B)	D7	DSTART	IDMA start	1 IDMA start 0 Stop	0	R/W	
		D6	DCHN6	IDMA channel number	0 to 127	0	R/W	
		D5	DCHN5					
		D4	DCHN4					
		D3	DCHN3					
		D2	DCHN2					
		D1	DCHN1					
		D0	DCHN0					
IDMA enable register (pIDMA_EN)	00301105 (B)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	IDMAEN	IDMA enable (for software trigger)	1 Enabled 0 Disabled	0	R/W	

0x301120–0x301126

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.0 transfer counter register (pHS0_CNT)	00301120 (HW)	D15	TC0_L7	Ch.0 transfer counter[7:0] (block transfer mode)		0	R/W	
		D14	TC0_L6			0		
		D13	TC0_L5	Ch.0 transfer counter[15:8] (single/successive transfer mode)		0		
		D12	TC0_L4			0		
		D11	TC0_L3			0		
		D10	TC0_L2			0		
		D9	TC0_L1			0		
		D8	TC0_L0			0		
		D7	BLKLEN07	Ch.0 block length (block transfer mode)		0	R/W	
		D6	BLKLEN06			0		
		D5	BLKLEN05			0		
		D4	BLKLEN04	Ch.0 transfer counter[7:0] (single/successive transfer mode)		0		
		D3	BLKLEN03			0		
		D2	BLKLEN02			0		
		D1	BLKLEN01			0		
		D0	BLKLEN00			0		
HSDMA Ch.0 control register Note: D) Dual address mode S) Single address mode	00301122 (HW)	D15	DUALM0	Ch.0 address mode selection	1 Dual addr 0 Single addr	0	R/W	
		D14	D0DIR	D) Invalid	–	–	–	
				S) Ch.0 transfer direction control	1 Memory WR 0 Memory RD	0	R/W	
		D13–8	–	reserved	–	–	–	0 when being read.
		D7	TC0_H7	Ch.0 transfer counter[15:8] (block transfer mode)		0	R/W	
		D6	TC0_H6			0		
		D5	TC0_H5	Ch.0 transfer counter[23:16] (single/successive transfer mode)		0		
		D4	TC0_H4			0		
		D3	TC0_H3			0		
		D2	TC0_H2			0		
		D1	TC0_H1			0		
HSDMA Ch.0 low-order source address setup register (pHS0_SADR)	00301124 (HW)	D15	S0ADRL15	D) Ch.0 source address[15:0]		0	R/W	
		D14	S0ADRL14	S) Ch.0 memory address[15:0]		0		
		D13	S0ADRL13			0		
		D12	S0ADRL12			0		
		D11	S0ADRL11			0		
		D10	S0ADRL10			0		
		D9	S0ADRL9			0		
		D8	S0ADRL8			0		
		D7	S0ADRL7			0		
		D6	S0ADRL6			0		
		D5	S0ADRL5			0		
		D4	S0ADRL4			0		
		D3	S0ADRL3			0		
		D2	S0ADRL2			0		
		D1	S0ADRL1			0		
		D0	S0ADRL0			0		
HSDMA Ch.0 high-order source address setup register Note: D) Dual address mode S) Single address mode	00301126 (HW)	D15	–	reserved	–	–	–	0 when being read.
		D14	DATSIZE0	Ch.0 transfer data size	1 Half word 0 Byte	0	R/W	
		D13	S0IN1	D) Ch.0 source address control	S0IN[1:0]	Inc/dec	0	R/W
		D12	S0IN0	S) Ch.0 memory address control	11 10 01 00	Inc.(no init) Inc.(init) Dec.(no init) Fixed	0	R/W
		D11	S0ADRH11	D) Ch.0 source address[27:16]		0	R/W	
		D10	S0ADRH10	S) Ch.0 memory address[27:16]		0		
		D9	S0ADRH9			0		
		D8	S0ADRH8			0		
		D7	S0ADRH7			0		
		D6	S0ADRH6			0		
		D5	S0ADRH5			0		
		D4	S0ADRH4			0		
		D3	S0ADRH3			0		
		D2	S0ADRH2			0		
		D1	S0ADRH1			0		
		D0	S0ADRH0			0		

0x301128–0x301130

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HSDMA Ch.0 low-order destination address setup register (pHS0_DADR) Note: D) Dual address mode S) Single address mode	00301128 (HW)	D15	D0ADRL15	D) Ch.0 destination address[15:0] S) Invalid				0	R/W		
		D14	D0ADRL14					0			
		D13	D0ADRL13					0			
		D12	D0ADRL12					0			
		D11	D0ADRL11					0			
		D10	D0ADRL10					0			
		D9	D0ADRL9					0			
		D8	D0ADRL8					0			
		D7	D0ADRL7					0			
		D6	D0ADRL6					0			
		D5	D0ADRL5					0			
		D4	D0ADRL4					0			
		D3	D0ADRL3					0			
		D2	D0ADRL2					0			
		D1	D0ADRL1					0			
		D0	D0ADRL0					0			
		HSDMA Ch.0 high-order destination address setup register Note: D) Dual address mode S) Single address mode	0030112A (HW)					D15			D0MOD1
D14	D0MOD0			11	Invalid	0					
				10	Block						
				01	Successive						
				00	Single						
D13	D0IN1			D) Ch.0 destination address control S) Invalid	D0IN[1:0]		Inc/dec	0	R/W		
D12	D0IN0				11	Inc.(no init)	0				
					10	Inc.(init)					
					01	Dec.(no init)					
				00	Fixed						
D11	D0ADRH11			D) Ch.0 destination address[27:16] S) Invalid				0	R/W		
D10	D0ADRH10							0			
D9	D0ADRH9							0			
D8	D0ADRH8							0			
D7	D0ADRH7							0			
D6	D0ADRH6							0			
D5	D0ADRH5							0			
D4	D0ADRH4							0			
D3	D0ADRH3							0			
D2	D0ADRH2							0			
D1	D0ADRH1	0									
D0	D0ADRH0	0									
HSDMA Ch.0 enable register (pHS0_EN)	0030112C (HW)	D15-1	–	reserved	–			–	–	0 when being read.	
		D0	HS0_EN	Ch.0 enable	1	Enable	0	Disable	0	R/W	
HSDMA Ch.0 trigger flag register (pHS0_TF)	0030112E (HW)	D15-1	–	reserved	–			–	–	0 when being read.	
		D0	HS0_TF	Ch.0 trigger flag clear (writing) Ch.0 trigger flag status (reading)	1	Clear	0	No operation	0	R/W	
					1	Set	0	Cleared			
HSDMA Ch.1 transfer counter register (pHS1_CNT)	00301130 (HW)	D15	TC1_L7	Ch.1 transfer counter[7:0] (block transfer mode)				0	R/W		
		D14	TC1_L6					0			
		D13	TC1_L5					0			
		D12	TC1_L4					0			
		D11	TC1_L3					0			
		D10	TC1_L2					0			
		D9	TC1_L1					0			
		D8	TC1_L0					0			
		D7	BLKLEN17	Ch.1 block length (block transfer mode)				0	R/W		
		D6	BLKLEN16					0			
		D5	BLKLEN15	0							
		D4	BLKLEN14	Ch.1 transfer counter[7:0] (single/successive transfer mode)				0			
		D3	BLKLEN13					0			
		D2	BLKLEN12					0			
		D1	BLKLEN11					0			
		D0	BLKLEN10					0			

0x301132–0x301138

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.1 control register Note: D) Dual address mode S) Single address mode	00301132 (HW)	D15	DUALM1	Ch.1 address mode selection	1 Dual addr 0 Single addr	0	R/W	
		D14	D1DIR	D) Invalid S) Ch.1 transfer direction control	— 1 Memory WR 0 Memory RD	— 0	— R/W	
		D13–8	—	reserved	—	—	—	
		D7	TC1_H7	Ch.1 transfer counter[15:8] (block transfer mode) Ch.1 transfer counter[23:16] (single/successive transfer mode)		0	R/W	
		D6	TC1_H6			0		
		D5	TC1_H5			0		
		D4	TC1_H4			0		
		D3	TC1_H3			0		
		D2	TC1_H2			0		
		D1	TC1_H1			0		
		D0	TC1_H0			0		
HSDMA Ch.1 low-order source address setup register (pHS1_SADR) Note: D) Dual address mode S) Single address mode	00301134 (HW)	D15	S1ADRL15	D) Ch.1 source address[15:0]		0	R/W	
		D14	S1ADRL14	S) Ch.1 memory address[15:0]		0		
		D13	S1ADRL13			0		
		D12	S1ADRL12			0		
		D11	S1ADRL11			0		
		D10	S1ADRL10			0		
		D9	S1ADRL9			0		
		D8	S1ADRL8			0		
		D7	S1ADRL7			0		
		D6	S1ADRL6			0		
		D5	S1ADRL5			0		
		D4	S1ADRL4			0		
		D3	S1ADRL3			0		
		D2	S1ADRL2			0		
		D1	S1ADRL1			0		
		D0	S1ADRL0			0		
HSDMA Ch.1 high-order source address setup register Note: D) Dual address mode S) Single address mode	00301136 (HW)	D15	—	reserved	—	—	—	0 when being read.
		D14	DATSIZE1	Ch.1 transfer data size	1 Half word 0 Byte	0	R/W	
		D13	S1IN1	D) Ch.1 source address control	S1IN[1:0]	Inc/dec	0	
		D12	S1IN0	S) Ch.1 memory address control	11 10 01 00	Inc.(no init) Inc.(init) Dec.(no init) Fixed	0	
		D11	S1ADRH11	D) Ch.1 source address[27:16]		0	R/W	
		D10	S1ADRH10	S) Ch.1 memory address[27:16]		0		
		D9	S1ADRH9			0		
		D8	S1ADRH8			0		
		D7	S1ADRH7			0		
		D6	S1ADRH6			0		
		D5	S1ADRH5			0		
		D4	S1ADRH4			0		
		D3	S1ADRH3			0		
		D2	S1ADRH2			0		
		D1	S1ADRH1			0		
		D0	S1ADRH0			0		
HSDMA Ch.1 low-order destination address setup register (pHS1_DADR) Note: D) Dual address mode S) Single address mode	00301138 (HW)	D15	D1ADRL15	D) Ch.1 destination address[15:0]		0	R/W	
		D14	D1ADRL14	S) Invalid		0		
		D13	D1ADRL13			0		
		D12	D1ADRL12			0		
		D11	D1ADRL11			0		
		D10	D1ADRL10			0		
		D9	D1ADRL9			0		
		D8	D1ADRL8			0		
		D7	D1ADRL7			0		
		D6	D1ADRL6			0		
		D5	D1ADRL5			0		
		D4	D1ADRL4			0		
		D3	D1ADRL3			0		
		D2	D1ADRL2			0		
		D1	D1ADRL1			0		
		D0	D1ADRL0			0		

0x30113A–0x301142

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HSDMA Ch.1 high-order destination address setup register Note: D) Dual address mode S) Single address mode	0030113A (HW)	D15	D1MOD1	Ch.1 transfer mode	D1MOD[1:0]		Mode	0	R/W		
		D14	D1MOD0		11	Invalid	0				
					10	Block					
					01	Successive					
					00	Single					
		D13	D1IN1	D) Ch.1 destination address control S) Invalid	D1IN[1:0]		Inc/dec	0	R/W		
		D12	D1IN0		11	Inc.(no init)	0				
					10	Inc.(init)					
					01	Dec.(no init)					
					00	Fixed					
		D11	D1ADRH11	D) Ch.1 destination address[27:16] S) Invalid				0	R/W		
		D10	D1ADRH10					0			
		D9	D1ADRH9					0			
		D8	D1ADRH8					0			
		D7	D1ADRH7					0			
		D6	D1ADRH6					0			
D5	D1ADRH5	0									
D4	D1ADRH4	0									
D3	D1ADRH3	0									
D2	D1ADRH2	0									
D1	D1ADRH1	0									
D0	D1ADRH0	0									
HSDMA Ch.1 enable register (pHS1_EN)	0030113C (HW)	D15–1	–	reserved	–			–	–	0 when being read.	
		D0	HS1_EN	Ch.1 enable	1	Enable	0	Disable	0	R/W	
HSDMA Ch.1 trigger flag register (pHS1_TF)	0030113E (HW)	D15–1	–	reserved	–			–	–	0 when being read.	
		D0	HS1_TF	Ch.1 trigger flag clear (writing) Ch.1 trigger flag status (reading)	1	Clear	0	No operation Cleared	0	R/W	
HSDMA Ch.2 transfer counter register (pHS2_CNT)	00301140 (HW)	D15	TC2_L7	Ch.2 transfer counter[7:0] (block transfer mode)				0	R/W		
		D14	TC2_L6					0			
		D13	TC2_L5					0			
		D12	TC2_L4					0			
		D11	TC2_L3	Ch.2 transfer counter[15:8] (single/successive transfer mode)				0	R/W		
		D10	TC2_L2					0			
		D9	TC2_L1					0			
		D8	TC2_L0					0			
		D7	BLKLEN27	Ch.2 block length (block transfer mode)				0	R/W		
		D6	BLKLEN26					0			
		D5	BLKLEN25					0			
		D4	BLKLEN24					0			
		D3	BLKLEN23	Ch.2 transfer counter[7:0] (single/successive transfer mode)				0	R/W		
		D2	BLKLEN22					0			
		D1	BLKLEN21					0			
		D0	BLKLEN20					0			
HSDMA Ch.2 control register Note: D) Dual address mode S) Single address mode	00301142 (HW)	D15	DUALM2	Ch.2 address mode selection	1	Dual addr	0	Single addr	0	R/W	
		D14	D2DIR	D) Invalid S) Ch.2 transfer direction control	–		–		–	–	
					1	Memory WR	0	Memory RD	0	R/W	
		D13–8	–	reserved	–			–	–	–	0 when being read.
		D7	TC2_H7	Ch.2 transfer counter[15:8] (block transfer mode)				0	R/W		
		D6	TC2_H6					0			
		D5	TC2_H5					0			
		D4	TC2_H4					0			
		D3	TC2_H3	Ch.2 transfer counter[23:16] (single/successive transfer mode)				0	R/W		
		D2	TC2_H2					0			
		D1	TC2_H1					0			
		D0	TC2_H0					0			

0x301144–0x301148

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HSDMA Ch.2 low-order source address setup register (pHS2_SADR) Note: D) Dual address mode S) Single address mode	00301144 (HW)	D15	S2ADRL15	D) Ch.2 source address[15:0]				0	R/W		
		D14	S2ADRL14	S) Ch.2 memory address[15:0]				0			
		D13	S2ADRL13	0							
		D12	S2ADRL12	0							
		D11	S2ADRL11	0							
		D10	S2ADRL10	0							
		D9	S2ADRL9	0							
		D8	S2ADRL8	0							
		D7	S2ADRL7	0							
		D6	S2ADRL6	0							
		D5	S2ADRL5	0							
		D4	S2ADRL4	0							
		D3	S2ADRL3	0							
		D2	S2ADRL2	0							
		D1	S2ADRL1	0							
		D0	S2ADRL0	0							
		HSDMA Ch.2 high-order source address setup register Note: D) Dual address mode S) Single address mode	00301146 (HW)	D15				—			reserved
D14	DATSIZE2			Ch.2 transfer data size	1	Half word	0	Byte	0	R/W	
D13	S2IN1			D) Ch.2 source address control	S2IN[1:0]		Inc/dec		0	R/W	
					11		Inc.(no init)				
					10		Inc.(init)				
					01		Dec.(no init)				
					00		Fixed				
D11	S2ADRH11			D) Ch.2 source address[27:16]				0	R/W		
D10	S2ADRH10			S) Ch.2 memory address[27:16]				0			
D9	S2ADRH9			0							
D8	S2ADRH8			0							
D7	S2ADRH7			0							
D6	S2ADRH6			0							
D5	S2ADRH5			0							
D4	S2ADRH4			0							
D3	S2ADRH3			0							
D2	S2ADRH2			0							
D1	S2ADRH1	0									
D0	S2ADRH0	0									
HSDMA Ch.2 low-order destination address setup register (pHS2_DADR) Note: D) Dual address mode S) Single address mode	00301148 (HW)	D15	D2ADRL15	D) Ch.2 destination address[15:0]				0	R/W		
		D14	D2ADRL14	S) Invalid				0			
		D13	D2ADRL13	0							
		D12	D2ADRL12	0							
		D11	D2ADRL11	0							
		D10	D2ADRL10	0							
		D9	D2ADRL9	0							
		D8	D2ADRL8	0							
		D7	D2ADRL7	0							
		D6	D2ADRL6	0							
		D5	D2ADRL5	0							
		D4	D2ADRL4	0							
		D3	D2ADRL3	0							
		D2	D2ADRL2	0							
		D1	D2ADRL1	0							
		D0	D2ADRL0	0							

0x30114A–0x301152

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks		
HSDMA Ch.2 high-order destination address setup register Note: D) Dual address mode S) Single address mode	0030114A (HW)	D15	D2MOD1	Ch.2 transfer mode	D2MOD[1:0]		Mode	0	R/W			
		D14	D2MOD0		11	Invalid	0					
					10	Block						
					01	Successive						
					00	Single						
		D13	D2IN1	D) Ch.2 destination address control S) Invalid	D2IN[1:0]		Inc/dec	0	R/W			
		D12	D2IN0		11	Inc.(no init)	0					
					10	Inc.(init)						
					01	Dec.(no init)						
					00	Fixed						
		D11	D2ADRH11	D) Ch.2 destination address[27:16] S) Invalid				0	R/W			
		D10	D2ADRH10					0				
		D9	D2ADRH9					0				
		D8	D2ADRH8					0				
		D7	D2ADRH7					0				
		D6	D2ADRH6					0				
		D5	D2ADRH5					0				
		D4	D2ADRH4					0				
		D3	D2ADRH3					0				
D2	D2ADRH2	0										
D1	D2ADRH1	0										
D0	D2ADRH0	0										
HSDMA Ch.2 enable register (pHS2_EN)	0030114C (HW)	D15–1	–	reserved	–			–	–	0 when being read.		
		D0	HS2_EN	Ch.2 enable	1	Enable	0	Disable	0	R/W		
HSDMA Ch.2 trigger flag register (pHS2_TF)	0030114E (HW)	D15–1	–	reserved	–			–	–	0 when being read.		
		D0	HS2_TF	Ch.2 trigger flag clear (writing) Ch.2 trigger flag status (reading)	1	Clear	0	No operation Cleared	0	R/W		
HSDMA Ch.3 transfer counter register (pHS3_CNT)	00301150 (HW)	D15	TC3_L7	Ch.3 transfer counter[7:0] (block transfer mode)				0	R/W			
		D14	TC3_L6					0				
		D13	TC3_L5					0				
		D12	TC3_L4					0				
		D11	TC3_L3	Ch.3 transfer counter[15:8] (single/successive transfer mode)				0	R/W			
		D10	TC3_L2					0				
		D9	TC3_L1					0				
		D8	TC3_L0					0				
		D7	BLKLEN37	Ch.3 block length (block transfer mode)				0	R/W			
		D6	BLKLEN36					0				
		D5	BLKLEN35					0				
		D4	BLKLEN34					0				
		D3	BLKLEN33	Ch.3 transfer counter[7:0] (single/successive transfer mode)				0	R/W			
		D2	BLKLEN32					0				
		D1	BLKLEN31					0				
		D0	BLKLEN30					0				
HSDMA Ch.3 control register Note: D) Dual address mode S) Single address mode	00301152 (HW)	D15	DUALM3	Ch.3 address mode selection	1	Dual addr	0	Single addr	0	R/W		
		D14	D3DIR	D) Invalid S) Ch.3 transfer direction control	–		–	–	–	–		
					1	Memory WR	0	Memory RD	0	R/W		
		D13–8	–	reserved	–			–	–	–	0 when being read.	
		D7	TC3_H7	Ch.3 transfer counter[15:8] (block transfer mode)				0	R/W			
		D6	TC3_H6					0				
		D5	TC3_H5					0				
		D4	TC3_H4					0				
		D3	TC3_H3	Ch.3 transfer counter[23:16] (single/successive transfer mode)				0	R/W			
		D2	TC3_H2					0				
		D1	TC3_H1					0				
		D0	TC3_H0					0				

0x301154–0x301158

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HSDMA Ch.3 low-order source address setup register (pHS3_SADR) Note: D) Dual address mode S) Single address mode	00301154 (HW)	D15	S3ADRL15	D) Ch.3 source address[15:0]				0	R/W		
		D14	S3ADRL14	S) Ch.3 memory address[15:0]				0			
		D13	S3ADRL13	0							
		D12	S3ADRL12	0							
		D11	S3ADRL11	0							
		D10	S3ADRL10	0							
		D9	S3ADRL9	0							
		D8	S3ADRL8	0							
		D7	S3ADRL7	0							
		D6	S3ADRL6	0							
		D5	S3ADRL5	0							
		D4	S3ADRL4	0							
		D3	S3ADRL3	0							
		D2	S3ADRL2	0							
		D1	S3ADRL1	0							
		D0	S3ADRL0	0							
		HSDMA Ch.3 high-order source address setup register Note: D) Dual address mode S) Single address mode	00301156 (HW)	D15				—			reserved
D14	DATSIZ3			Ch.3 transfer data size	1	Half word	0	Byte	0	R/W	
D13	S3IN1			D) Ch.3 source address control	S3IN[1:0]		Inc/dec		0	R/W	
D12	S3IN0			S) Ch.3 memory address control	11		Inc.(no init)		0		
				10	Inc.(init)						
				01	Dec.(no init)						
				00	Fixed						
D11	S3ADRH11			D) Ch.3 source address[27:16]				0	R/W		
D10	S3ADRH10			S) Ch.3 memory address[27:16]				0			
D9	S3ADRH9			0							
D8	S3ADRH8			0							
D7	S3ADRH7			0							
D6	S3ADRH6			0							
D5	S3ADRH5			0							
D4	S3ADRH4			0							
D3	S3ADRH3			0							
D2	S3ADRH2			0							
D1	S3ADRH1	0									
D0	S3ADRH0	0									
HSDMA Ch.3 low-order destination address setup register (pHS3_DADR) Note: D) Dual address mode S) Single address mode	00301158 (HW)	D15	D3ADRL15	D) Ch.3 destination address[15:0]				0	R/W		
		D14	D3ADRL14	S) Invalid				0			
		D13	D3ADRL13	0							
		D12	D3ADRL12	0							
		D11	D3ADRL11	0							
		D10	D3ADRL10	0							
		D9	D3ADRL9	0							
		D8	D3ADRL8	0							
		D7	D3ADRL7	0							
		D6	D3ADRL6	0							
		D5	D3ADRL5	0							
		D4	D3ADRL4	0							
		D3	D3ADRL3	0							
		D2	D3ADRL2	0							
		D1	D3ADRL1	0							
		D0	D3ADRL0	0							

0x30115A–0x301164

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
HSDMA Ch.3 high-order destination address setup register Note: D) Dual address mode S) Single address mode	0030115A (HW)	D15	D3MOD1	Ch.3 transfer mode	D3MOD[1:0]		Mode	0	R/W	
		D14	D3MOD0		11	Invalid	0			
					10	Block				
					01	Successive				
					00	Single				
		D13	D3IN1	D) Ch.3 destination address control S) Invalid	D3IN[1:0]		Inc/dec	0	R/W	
		D12	D3IN0		11	Inc.(no init)	0			
					10	Inc.(init)				
					01	Dec.(no init)				
					00	Fixed				
		D11	D3ADRH11	D) Ch.3 destination address[27:16] S) Invalid				0	R/W	
		D10	D3ADRH10					0		
		D9	D3ADRH9					0		
D8	D3ADRH8					0				
D7	D3ADRH7					0				
D6	D3ADRH6					0				
D5	D3ADRH5					0				
D4	D3ADRH4					0				
D3	D3ADRH3					0				
D2	D3ADRH2					0				
D1	D3ADRH1					0				
D0	D3ADRH0					0				
HSDMA Ch.3 enable register (pHS3_EN)	0030115C (HW)	D15–1	–	reserved	–		–	–	0 when being read.	
		D0	HS3_EN	Ch.3 enable	1	Enable	0	Disable	0	R/W
HSDMA Ch.3 trigger flag register (pHS3_TF)	0030115E (HW)	D15–1	–	reserved	–		–	–	0 when being read.	
		D0	HS3_TF	Ch.3 trigger flag clear (writing)	1	Clear	0	No operation	0	R/W
Ch.3 trigger flag status (reading)	1			Set	0	Cleared				
HSDMA Ch.0 control register (pHS0_ADVMODE) for ADV mode Note: D) Dual mode S) Single mode	00301162 (HW)	D15–6	–	reserved	–		–	–	0 when being read.	
		D5	D0ID	D) Ch.0 destination address control S) Invalid	1	Decrement (with init.)	0	D0IN[1:0] setting	0	R/W
		D4	S0ID	D) Ch.0 source address control S) Ch.0 memory address control	1	Decrement (with init.)	0	S0IN[1:0] setting	0	R/W
		D3–1	–	reserved	–		–	–	0 when being read.	
		D0	WORDSIZE0	Ch.0 transfer data size	1	Word	0	DATSIZE0 setting	0	R/W
HSDMA Ch.0 low-order source address setup register (pHS0_ADV_SADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301164 (HW)	D15	S0ADRL15	D) Ch.0 source address[15:0] S) Ch.0 memory address[15:0]				0	R/W	
		D14	S0ADRL14				0			
		D13	S0ADRL13				0			
		D12	S0ADRL12				0			
		D11	S0ADRL11				0			
		D10	S0ADRL10				0			
		D9	S0ADRL9				0			
		D8	S0ADRL8				0			
		D7	S0ADRL7				0			
		D6	S0ADRL6				0			
		D5	S0ADRL5				0			
		D4	S0ADRL4				0			
		D3	S0ADRL3				0			
		D2	S0ADRL2				0			
		D1	S0ADRL1				0			
		D0	S0ADRL0				0			

0x301166–0x301172

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
HSDMA Ch.0 high-order source address setup register for ADV mode Note: D) Dual address mode S) Single address mode	00301166 (HW)	D15	S0ADRH15	D) Ch.0 source address[31:16]				0	R/W		
		D14	S0ADRH14	S) Ch.0 memory address[31:16]				0			
		D13	S0ADRH13	0							
		D12	S0ADRH12	0							
		D11	S0ADRH11	0							
		D10	S0ADRH10	0							
		D9	S0ADRH9	0							
		D8	S0ADRH8	0							
		D7	S0ADRH7	0							
		D6	S0ADRH6	0							
		D5	S0ADRH5	0							
		D4	S0ADRH4	0							
		D3	S0ADRH3	0							
		D2	S0ADRH2	0							
		D1	S0ADRH1	0							
		D0	S0ADRH0	0							
HSDMA Ch.0 low-order destination address setup register (pHS0_ADV_DADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301168 (HW)	D15	D0ADRL15	D) Ch.0 destination address[15:0]				0	R/W		
		D14	D0ADRL14	S) Invalid				0			
		D13	D0ADRL13	0							
		D12	D0ADRL12	0							
		D11	D0ADRL11	0							
		D10	D0ADRL10	0							
		D9	D0ADRL9	0							
		D8	D0ADRL8	0							
		D7	D0ADRL7	0							
		D6	D0ADRL6	0							
		D5	D0ADRL5	0							
		D4	D0ADRL4	0							
		D3	D0ADRL3	0							
		D2	D0ADRL2	0							
		D1	D0ADRL1	0							
		D0	D0ADRL0	0							
HSDMA Ch.0 high-order destination address setup register for ADV mode Note: D) Dual address mode S) Single address mode	0030116A (HW)	D15	D0ADRH15	D) Ch.0 destination address[31:16]				0	R/W		
		D14	D0ADRH14	S) Invalid				0			
		D13	D0ADRH13	0							
		D12	D0ADRH12	0							
		D11	D0ADRH11	0							
		D10	D0ADRH10	0							
		D9	D0ADRH9	0							
		D8	D0ADRH8	0							
		D7	D0ADRH7	0							
		D6	D0ADRH6	0							
		D5	D0ADRH5	0							
		D4	D0ADRH4	0							
		D3	D0ADRH3	0							
		D2	D0ADRH2	0							
		D1	D0ADRH1	0							
		D0	D0ADRH0	0							
HSDMA Ch.1 control register (pHS1_ADVMODE) for ADV mode Note: D) Dual mode S) Single mode	00301172 (HW)	D15–6	–	reserved	–			–	–	0 when being read.	
		D5	D1ID	D) Ch.1 destination address control S) Invalid	1	Decrement (with init.)	0	D1IN[1:0] setting	0	R/W	
		D4	S1ID	D) Ch.1 source address control S) Ch.1 memory address control	1	Decrement (with init.)	0	S1IN[1:0] setting	0	R/W	
		D3–1	–	reserved	–			–	–	0 when being read.	
		D0	WORDSIZE1	Ch.1 transfer data size	1	Word	0	DATSIZE1 setting	0	R/W	

0x301174–0x30117A

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.1 low-order source address setup register (pHS1_ADV_SADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301174 (HW)	D15	S1ADRL15	D) Ch.1 source address[15:0]		0	R/W	
		D14	S1ADRL14	S) Ch.1 memory address[15:0]		0		
		D13	S1ADRL13			0		
		D12	S1ADRL12			0		
		D11	S1ADRL11			0		
		D10	S1ADRL10			0		
		D9	S1ADRL9			0		
		D8	S1ADRL8			0		
		D7	S1ADRL7			0		
		D6	S1ADRL6			0		
		D5	S1ADRL5			0		
		D4	S1ADRL4			0		
		D3	S1ADRL3			0		
		D2	S1ADRL2			0		
		D1	S1ADRL1			0		
		D0	S1ADRL0			0		
HSDMA Ch.1 high-order source address setup register for ADV mode Note: D) Dual address mode S) Single address mode	00301176 (HW)	D15	S1ADRH15	D) Ch.1 source address[31:16]		0	R/W	
		D14	S1ADRH14	S) Ch.1 memory address[31:16]		0		
		D13	S1ADRH13			0		
		D12	S1ADRH12			0		
		D11	S1ADRH11			0		
		D10	S1ADRH10			0		
		D9	S1ADRH9			0		
		D8	S1ADRH8			0		
		D7	S1ADRH7			0		
		D6	S1ADRH6			0		
		D5	S1ADRH5			0		
		D4	S1ADRH4			0		
		D3	S1ADRH3			0		
		D2	S1ADRH2			0		
		D1	S1ADRH1			0		
		D0	S1ADRH0			0		
HSDMA Ch.1 low-order destination address setup register (pHS1_ADV_DADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301178 (HW)	D15	D1ADRL15	D) Ch.1 destination address[15:0]		0	R/W	
		D14	D1ADRL14	S) Invalid		0		
		D13	D1ADRL13			0		
		D12	D1ADRL12			0		
		D11	D1ADRL11			0		
		D10	D1ADRL10			0		
		D9	D1ADRL9			0		
		D8	D1ADRL8			0		
		D7	D1ADRL7			0		
		D6	D1ADRL6			0		
		D5	D1ADRL5			0		
		D4	D1ADRL4			0		
		D3	D1ADRL3			0		
		D2	D1ADRL2			0		
		D1	D1ADRL1			0		
		D0	D1ADRL0			0		
HSDMA Ch.1 high-order destination address setup register for ADV mode Note: D) Dual address mode S) Single address mode	0030117A (HW)	D15	D1ADRH15	D) Ch.1 destination address[31:16]		0	R/W	
		D14	D1ADRH14	S) Invalid		0		
		D13	D1ADRH13			0		
		D12	D1ADRH12			0		
		D11	D1ADRH11			0		
		D10	D1ADRH10			0		
		D9	D1ADRH9			0		
		D8	D1ADRH8			0		
		D7	D1ADRH7			0		
		D6	D1ADRH6			0		
		D5	D1ADRH5			0		
		D4	D1ADRH4			0		
		D3	D1ADRH3			0		
		D2	D1ADRH2			0		
		D1	D1ADRH1			0		
		D0	D1ADRH0			0		

0x301182–0x301188

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
HSDMA Ch.2 control register (pHS2_ADVMODE) for ADV mode Note: D) Dual mode S) Single mode	00301182 (HW)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	D2ID	D) Ch.2 destination address control S) Invalid	1 Decrement (with init.) 0 D2IN[1:0] setting	0	R/W	
		D4	S2ID	D) Ch.2 source address control S) Ch.2 memory address control	1 Decrement (with init.) 0 S2IN[1:0] setting	0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	WORDSIZE2	Ch.2 transfer data size	1 Word 0 DATSIZE2 setting	0	R/W	
HSDMA Ch.2 low-order source address setup register (pHS2_ADV_SADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301184 (HW)	D15	S2ADRL15	D) Ch.2 source address[15:0]		0	R/W	
		D14	S2ADRL14	S) Ch.2 memory address[15:0]		0		
		D13	S2ADRL13			0		
		D12	S2ADRL12			0		
		D11	S2ADRL11			0		
		D10	S2ADRL10			0		
		D9	S2ADRL9			0		
		D8	S2ADRL8			0		
		D7	S2ADRL7			0		
		D6	S2ADRL6			0		
		D5	S2ADRL5			0		
		D4	S2ADRL4			0		
		D3	S2ADRL3			0		
		D2	S2ADRL2			0		
		D1	S2ADRL1			0		
		D0	S2ADRL0			0		
HSDMA Ch.2 high-order source address setup register for ADV mode Note: D) Dual address mode S) Single address mode	00301186 (HW)	D15	S2ADRH15	D) Ch.2 source address[31:16]		0	R/W	
		D14	S2ADRH14	S) Ch.2 memory address[31:16]		0		
		D13	S2ADRH13			0		
		D12	S2ADRH12			0		
		D11	S2ADRH11			0		
		D10	S2ADRH10			0		
		D9	S2ADRH9			0		
		D8	S2ADRH8			0		
		D7	S2ADRH7			0		
		D6	S2ADRH6			0		
		D5	S2ADRH5			0		
		D4	S2ADRH4			0		
		D3	S2ADRH3			0		
		D2	S2ADRH2			0		
		D1	S2ADRH1			0		
		D0	S2ADRH0			0		
HSDMA Ch.2 low-order destination address setup register (pHS2_ADV_DADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301188 (HW)	D15	D2ADRL15	D) Ch.2 destination address[15:0]		0	R/W	
		D14	D2ADRL14	S) Invalid		0		
		D13	D2ADRL13			0		
		D12	D2ADRL12			0		
		D11	D2ADRL11			0		
		D10	D2ADRL10			0		
		D9	D2ADRL9			0		
		D8	D2ADRL8			0		
		D7	D2ADRL7			0		
		D6	D2ADRL6			0		
		D5	D2ADRL5			0		
		D4	D2ADRL4			0		
		D3	D2ADRL3			0		
		D2	D2ADRL2			0		
		D1	D2ADRL1			0		
		D0	D2ADRL0			0		

0x30118A–0x301196

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA Ch.2 high-order destination address setup register for ADV mode Note: D) Dual address mode S) Single address mode	0030118A (HW)	D15	D2ADRH15	D) Ch.2 destination address[31:16] S) Invalid				0	R/W	
		D14	D2ADRH14					0		
		D13	D2ADRH13					0		
		D12	D2ADRH12					0		
		D11	D2ADRH11					0		
		D10	D2ADRH10					0		
		D9	D2ADRH9					0		
		D8	D2ADRH8					0		
		D7	D2ADRH7					0		
		D6	D2ADRH6					0		
		D5	D2ADRH5					0		
		D4	D2ADRH4					0		
		D3	D2ADRH3					0		
		D2	D2ADRH2					0		
		D1	D2ADRH1					0		
		D0	D2ADRH0					0		
HSDMA Ch.3 control register (pHS3_ADVMODE) for ADV mode Note: D) Dual mode S) Single mode	00301192 (HW)	D15–6	–	reserved	–			–	–	0 when being read.
		D5	D3ID	D) Ch.3 destination address control S) Invalid	1 Decrement (with init.)	0 D3IN[1:0] setting	0	R/W		
		D4	S3ID	D) Ch.3 source address control S) Ch.3 memory address control	1 Decrement (with init.)	0 S3IN[1:0] setting	0	R/W		
		D3–1	–	reserved	–			–	–	0 when being read.
		D0	WORDSIZ3	Ch.3 transfer data size	1 Word	0 DATSIZE3 setting	0	R/W		
HSDMA Ch.3 low-order source address setup register (pHS3_ADV_SADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301194 (HW)	D15	S3ADRL15	D) Ch.3 source address[15:0] S) Ch.3 memory address[15:0]				0	R/W	
		D14	S3ADRL14					0		
		D13	S3ADRL13					0		
		D12	S3ADRL12					0		
		D11	S3ADRL11					0		
		D10	S3ADRL10					0		
		D9	S3ADRL9					0		
		D8	S3ADRL8					0		
		D7	S3ADRL7					0		
		D6	S3ADRL6					0		
		D5	S3ADRL5					0		
		D4	S3ADRL4					0		
		D3	S3ADRL3					0		
		D2	S3ADRL2					0		
		D1	S3ADRL1					0		
		D0	S3ADRL0					0		
HSDMA Ch.3 high-order source address setup register for ADV mode Note: D) Dual address mode S) Single address mode	00301196 (HW)	D15	S3ADRH15	D) Ch.3 source address[31:16] S) Ch.3 memory address[31:16]				0	R/W	
		D14	S3ADRH14					0		
		D13	S3ADRH13					0		
		D12	S3ADRH12					0		
		D11	S3ADRH11					0		
		D10	S3ADRH10					0		
		D9	S3ADRH9					0		
		D8	S3ADRH8					0		
		D7	S3ADRH7					0		
		D6	S3ADRH6					0		
		D5	S3ADRH5					0		
		D4	S3ADRH4					0		
		D3	S3ADRH3					0		
		D2	S3ADRH2					0		
		D1	S3ADRH1					0		
		D0	S3ADRH0					0		

0x301198–0x30119E

High-Speed DMA

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
HSDMA Ch.3 low-order destination address setup register (pHS3_ADV_DADR) for ADV mode Note: D) Dual address mode S) Single address mode	00301198 (HW)	D15	D3ADRL15	D) Ch.3 destination address[15:0] S) Invalid				0	R/W	
		D14	D3ADRL14					0		
		D13	D3ADRL13					0		
		D12	D3ADRL12					0		
		D11	D3ADRL11					0		
		D10	D3ADRL10					0		
		D9	D3ADRL9					0		
		D8	D3ADRL8					0		
		D7	D3ADRL7					0		
		D6	D3ADRL6					0		
		D5	D3ADRL5					0		
		D4	D3ADRL4					0		
		D3	D3ADRL3					0		
		D2	D3ADRL2					0		
		D1	D3ADRL1					0		
		D0	D3ADRL0					0		
HSDMA Ch.3 high-order destination address setup register for ADV mode Note: D) Dual address mode S) Single address mode	0030119A (HW)	D15	D3ADRH15	D) Ch.3 destination address[31:16] S) Invalid				0	R/W	
		D14	D3ADRH14					0		
		D13	D3ADRH13					0		
		D12	D3ADRH12					0		
		D11	D3ADRH11					0		
		D10	D3ADRH10					0		
		D9	D3ADRH9					0		
		D8	D3ADRH8					0		
		D7	D3ADRH7					0		
		D6	D3ADRH6					0		
		D5	D3ADRH5					0		
		D4	D3ADRH4					0		
		D3	D3ADRH3					0		
		D2	D3ADRH2					0		
		D1	D3ADRH1					0		
		D0	D3ADRH0					0		
HSDMA STD/ADV mode select register (pHS_CNTLMODE)	0030119C (HW)	D15–1	–	reserved	–			–	–	0 when being read.
		D0	HSDMAADV	Standard mode/advanced mode select	1 Advanced mode	0 Standard mode	0	R/W		
DMA sequential access time register (pHS_ACCTIME)	0030119E (HW)	D15–4	–	reserved	–			–	–	0 when being read.
		D3	DMAACCTIME3	IDMA and HSDMA sequential access time setup	0 Unlimited	8 512 cycles	0	R/W		
		D2	DMAACCTIME2		1 64 cycles	9 576 cycles	0			
		D1	DMAACCTIME1		2 128 cycles	A 640 cycles	0			
		D0	DMAACCTIME0		3 192 cycles	B 704 cycles	0			
					4 256 cycles	C 768 cycles				
					5 320 cycles	D 832 cycles				
					6 384 cycles	E 896 cycles				
					7 448 cycles	F 960 cycles				

0x301500–0x301510

SRAM Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
BCLK and setup time control register (pSRAMC_BCLK_SETUP)	00301500 (W)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	CE9BCLK	#CE9 area BCLK divide control	1 SRAMC_CLK × 1/2 0 SRAMC_CLK × 1	1	R/W	
		D6	CE9HOLD2	#CE9 area output disable time	0 to 7	0	R/W	
		D5	CE9HOLD1			0		
		D4	CE9HOLD0			0		
		D3	–	reserved	–	–	–	0 when being read.
		D2	CE11STUP	#CE11 setup time	1 No setup time 0 +1 BCLK	0	R/W	
		D1	CE4STUP	#CE4 setup time	1 No setup time 0 +1 BCLK	0	R/W	
		D0	BCLK	BCLK divide control	1 SRAMC_CLK × 1/2 0 SRAMC_CLK × 1	1	R/W	
Wait control register (pSRAMC_SWAIT)	00301504 (W)	D31	–	reserved	–	–	–	0 when being read.
		D30	CE11WAIT2	Number of #CE11 static wait cycles	0 to 7	1	R/W	
		D29	CE11WAIT1			1		
		D28	CE11WAIT0			1		
		D27	CE10WAIT3	reserved	–	–	–	0 when being read.
		D26	CE10WAIT2	Number of #CE10 static wait cycles	0 to 7	1	R/W	
		D25	CE10WAIT1			1		
		D24	CE10WAIT0			1		
		D23	CE9WAIT3	reserved	–	–	–	0 when being read.
		D22	CE9WAIT2	Number of #CE9 static wait cycles	0 to 7	1	R/W	
		D21	CE9WAIT1			1		
		D20	CE9WAIT0			1		
		D19	CE8WAIT3	reserved	–	–	–	0 when being read.
		D18	CE8WAIT2	Number of #CE8 static wait cycles	0 to 7	1	R/W	
		D17	CE8WAIT1			1		
		D16	CE8WAIT0			1		
		D15	CE7WAIT3	reserved	–	–	–	0 when being read.
		D14	CE7WAIT2	Number of #CE7 static wait cycles	0 to 7	1	R/W	
		D13	CE7WAIT1			1		
		D12	CE7WAIT0			1		
		D11	CE6WAIT3	reserved	–	–	–	0 when being read.
		D10	CE6WAIT2	Number of #CE6 static wait cycles	0 to 7	1	R/W	
		D9	CE6WAIT1			1		
		D8	CE6WAIT0			1		
		D7	CE5WAIT3	reserved	–	–	–	0 when being read.
		D6	CE5WAIT2	Number of #CE5 static wait cycles	0 to 7	1	R/W	
		D5	CE5WAIT1			1		
		D4	CE5WAIT0			1		
		D3	CE4WAIT3	reserved	–	–	–	0 when being read.
		D2	CE4WAIT2	Number of #CE4 static wait cycles	0 to 7	1	R/W	
		D1	CE4WAIT1			1		
		D0	CE4WAIT0			1		
Device size setup register (pSRAMC_SLV_SIZE)	00301508 (W)	D31–16	–	reserved	–	–	–	0 when being read.
		D15	CE11SIZE1	#CE11 device size	(See below)	0	R/W	
		D14	CE11SIZE0			1		
		D13–12	–	reserved	–	–	–	0 when being read.
		D11	CE9SIZE1	#CE9 device size	CExSIZE[1:0] Size	0	R/W	
		D10	CE9SIZE0			11 reserved	1	
		D9	CE8SIZE1	#CE8 device size	10 8 bits	0	R/W	
		D8	CE8SIZE0			1		
		D7	CE7SIZE1	#CE7 device size	01 16 bits	0	R/W	
		D6	CE7SIZE0			1		
		D5	CE6SIZE1	#CE6 device size	00 reserved	0	R/W	
		D4	CE6SIZE0			1		
Device type setup register (pSRAMC_A0_BSL)	0030150C (W)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	CE11TYPE	#CE device type	1 BSL 0 A0	0	R/W	
		D6	CE10TYPE			0	R/W	
		D5	CE9TYPE			0	R/W	
		D4	CE8TYPE			0	R/W	
		D3	CE7TYPE			0	R/W	
		D2	CE6TYPE			0	R/W	
		D1	CE5TYPE			0	R/W	
		D0	CE4TYPE			0	R/W	
Area location setup register (pSRAMC_ALS)	00301510 (W)	D31–1	–	reserved	–	–	–	0 when being read.
		D0	A6LOC	Area 6 location setup	1 External 0 Internal	0	R/W	

0x301600–0x301610

SDRAM Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
SDRAM initial register (pSDRAMC_INI)	00301600 (W)	D31–5	–	reserved	–			–	–	0 when being read.	
		D4	SDON	SDRAM controller enable	1	Enabled	0	Disabled	0	R/W	
		D3	SDEN	SDRAM initialize flag	1	Initialized	0	Not initialized	0	R	
		D2	INIMRS	MRS command enable for init.	1	Enabled	0	Disabled	0	R/W	
		D1	INIPRE	PALL command enable for init.	1	Enabled	0	Disabled	0	R/W	
		D0	INIREF	REF command enable for init.	1	Enabled	0	Disabled	0	R/W	
SDRAM configuration register (pSDRAMC_CTL)	00301604 (W)	D31–14	–	reserved	–			–	–	0 when being read.	
		D13	T24NS1	Number of SDRAM trp and trcd cycles	T24NS[1:0] = 0 to 3 → 1 to 4 cycles			0	R/W		
		D12	T24NS0					0			
		D11	–	reserved	–			–	–		0 when being read.
		D10	T60NS2	Number of SDRAM trAs cycles	T60NS[2:0] = 0 to 7 → 1 to 8 cycles			0	R/W		
		D9	T60NS1					0			
		D8	T60NS0					0			
		D7	T80NS3	Number of SDRAM trc, trfc and txsr cycles	T80NS[3:0] = 0 to 15 → 1 to 16 cycles			1	R/W		
		D6	T80NS2					1			
		D5	T80NS1					1			
		D4	T80NS0					0			
		D3	–	reserved	–			–	–		0 when being read.
		D2	ADDRC2	SDRAM address configuration	ADDRC[2:0]	Configuration		0	R/W		
		D1	ADDRC1		111	32M x 16 bits x 1		0			
		D0	ADDRC0		110	16M x 8 bits x 2		0			
101	8M x 8 bits x 2										
100	2M x 8 bits x 2										
011	16M x 16 bits x 1										
010	8M x 16 bits x 1										
001	4M x 16 bits x 1										
000	1M x 16 bits x 1										
SDRAM refresh register (pSDRAMC_REF)	00301608 (W)	D31–26	–	reserved	–			–	–	0 when being read.	
		D25	SELDO	SDRAM self-refresh status	1	Refresh mode	0	Done	0	R	
		D24	SCKON	SDRAM clock during self-refresh	1	Enabled	0	Disabled	0	R/W	
		D23	SELEN	SDRAM self-refresh enable	1	Enabled	0	Disabled	0	R/W	
		D22	SELCO6	SDRAM self-refresh counter	0x0 to 0x7F			1	R/W		
		D21	SELCO5					1			
		D20	SELCO4					1			
		D19	SELCO3					1			
		D18	SELCO2					1			
		D17	SELCO1					1			
		D16	SELCO0					1			
		D15–12	–	reserved	–			–	–	0 when being read.	
		D11	AURCO11	SDRAM auto-refresh counter	0x0 to 0xFFFF			0	R/W		
		D10	AURCO10					0			
		D9	AURCO9					0			
		D8	AURCO8					0			
		D7	AURCO7					1			
		D6	AURCO6					0			
		D5	AURCO5					0			
		D4	AURCO4					0			
		D3	AURCO3					1			
		D2	AURCO2					1			
		D1	AURCO1					0			
		D0	AURCO0					0			
SDRAM application configuration register (pSDRAMC_APP)	00301610 (W)	D31	ARBON	Arbiter enable	1	Enabled	0	Disabled	0	R/W	
		D30–6	–	reserved	–			–	–	0 when being read.	
		D5	DBF	Double frequency mode enable	1	Enabled	0	Disabled	0	R/W	
		D4	INCR	INCR transfer enable	1	Enabled	0	Disabled	0	R/W	
		D3 D2	CAS1 CAS0	CAS latency setup	CAS[1:0]	CAS latency		1	R/W		
					11	3		0			
					10	2					
					01	1					
00	reserved										
D1	APPON	SDAPP control	1	On	0	Off	0	R/W			
D0	IQB	Instruction queue buffer enable	1	Enabled	0	Disabled	0	R/W			

0x301700–0x30171C

SPI

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI receive data register (pSPI_RXD)	00301700 (W)	D31 D0	SPIRXD31 SPIRXD0	SPI receive data SPIRXD31 = MSB SPIRXD0 = LSB	0x0 to 0xFFFFFFFF	0x0	R	
SPI transmit data register (pSPI_TXD)	00301704 (W)	D31 D0	SPITXD31 SPITXD0	SPI transmit data SPITXD31 = MSB SPITXD0 = LSB	0x0 to 0xFFFFFFFF	0x0	R/W	
SPI control register 1 (pSPI_CTL1)	00301708 (W)	D31–15 D14 D13 D12 D11 D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	– BPT4 BPT3 BPT2 BPT1 BPT0 CPHA CPOL MWEN MCBR2 MCBR1 MCBR0 TXDE RXDE MODE ENA	reserved Number of data bits per transfer SPI_CLK phase selection SPI_CLK polarity selection reserved Master clock bit rate (in master mode only) Transmit DMA enable Receive DMA enable SPI mode selection SPI enable	– Number of data bits per transfer = BPT + 1 1 Phase 1 0 Phase 0 1 Active low 0 Active high Fix at 0. Master clock divided value = $2 \times 2^{\text{MCBR}}$ 1 Enabled 0 Disabled 1 Enabled 0 Disabled 1 Master 0 Slave 1 Enabled 0 Disabled	– 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	– R/W R/W R/W – R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W	0 when being read.
SPI control register 2 (pSPI_CTL2)	0030170C (W)	D31–12 D11 D10 D9 D8 D7–3 D2 D1 D0	– SSA SS SSP SSC – RDYP RDYS RDYE	reserved reserved Slave select control reserved reserved reserved reserved reserved reserved	– Fix at 0. Fix at 0. Fix at 0. Fix at 0. – Fix at 0. Fix at 0. Fix at 0. Fix at 0.	– 0 0 0 0 – 0 0 0 0	– – R/W – – – – – – –	0 when being read. Master mode Slave mode 0 when being read.
SPI wait register (pSPI_WAIT)	00301710 (W)	D31 D0	SPIW31 SPIW0	Wait cycle control SPIW31 = MSB SPIW0 = LSB	Number of wait cycles = SPIW[31:0] + 1 (1 to 65536)	0x0	R/W	
SPI status register (pSPI_STAT)	00301714 (W)	D31–7 D6 D5 D4 D3 D2 D1–0	– BSYF MFEF TDEF RDOF RDFF –	reserved Transfer busy flag reserved Transmit data empty flag Receive data overflow flag Receive data full flag reserved	– 1 Busy 0 Idle – 1 Empty 0 Not empty 1 Occurred 0 Not occurred 1 Full 0 Not full –	– 0 – 1 0 0 –	– R – R R R –	0 when being read. Master mode 0 when being read.
SPI interrupt control register (pSPI_INT)	00301718 (W)	D31–6 D5 D4 D3 D2 D1 D0	– MFIE TEIE ROIE RFIE MIRQ IRQE	reserved reserved Transmit data empty int. enable Receive overflow interrupt enable Receive data full interrupt enable Manual IRQ set/clear Interrupt request enable	– Fix at 0. 1 Enabled 0 Disabled 1 Enabled 0 Disabled 1 Enabled 0 Disabled 1 Set 0 Clear 1 Enabled 0 Disabled	– 0 0 0 0 0 0	– – R/W R/W R/W R/W R/W	0 when being read.
SPI receive data mask register (pSPI_RXMK)	0030171C (W)	D31–15 D14 D13 D12 D11 D10 D9–2 D1 D0	– RXMASK4 RXMASK3 RXMASK2 RXMASK1 RXMASK0 – RXME –	reserved Bit mask for reading received data reserved Receive data mask enable reserved	– 0x0 to 0x1F – 1 Enabled 0 Disabled –	– 0 0 0 0 0 0 0 0	– R/W – R/W – R/W – –	0 when being read. Do not write 1.

0x301900–0x301924

Real Time Clock

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC interrupt status register (pRTCINTSTAT)	00301900 (W)	D31–1	–	reserved	–	–	–	0 when being read.
		D0	RTCIHQ	Interrupt status	1 Occurred 0 Not occurred	X	R/W	Reset by writing 1.
RTC interrupt mode register (pRTCINTMODE)	00301904 (W)	D31–4	–	reserved	–	–	–	0 when being read.
		D3	RTCT1	RTC interrupt cycle setup	RTCT[1:0]	Cycle	X	R/W
		D2	RTCT0		11	1 hour	X	
					10	1 minute		
					01	1 second		
					00	1/64 second		
		D1	RTCIMD	RTC interrupt mode select	1 Level sense 0 Edge trigger	X	R/W	
		D0	RTCIEN	RTC interrupt enable	1 Enabled 0 Disabled	X	R/W	
RTC control register (pRTC_CNTL0)	00301908 (W)	D31–5	–	reserved	–	–	–	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	–	reserved	–	–	–	
		D2	RTCADJ	30-second adjustment	1 Adjust 0 –	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RTCSTP	Software reset	1 Reset 0 –	X	R/W	
RTC access control register (pRTC_CNTL1)	0030190C (W)	D31–2	–	reserved	–	–	–	0 when being read.
		D1	RTCBSY	Counter busy flag	1 Busy 0 R/W possible	X	R	
		D0	RTCHLD	Counter hold control	1 Hold 0 Running	X	R/W	
RTC second register (pRTCSEC)	00301910 (W)	D31–7	–	reserved	–	–	–	0 when being read.
		D6	RTCSH2	RTC 10-second counter	0 to 5		X	R/W
		D5	RTCSH1				X	
		D4	RTCSH0				X	
		D3	RTCSL3	RTC 1-second counter	0 to 9		X	R/W
		D2	RTCSL2				X	
		D1	RTCSL1				X	
		D0	RTCSL0				X	
RTC minute register (pRTCMIN)	00301914 (W)	D31–7	–	reserved	–	–	–	0 when being read.
		D6	RTCMH2	RTC 10-minute counter	0 to 5		X	R/W
		D5	RTCMH1				X	
		D4	RTCMH0				X	
		D3	RTCMIL3	RTC 1-minute counter	0 to 9		X	R/W
		D2	RTCMIL2				X	
		D1	RTCMIL1				X	
		D0	RTCMIL0				X	
RTC hour register (pRTC HOUR)	00301918 (W)	D31–7	–	reserved	–	–	–	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5	RTCHH1	RTC 10-hour counter	0 to 2 or 0 to 1		X	
		D4	RTCHH0				X	
		D3	RTCHL3	RTC 1-hour counter	0 to 9		X	R/W
		D2	RTCHL2				X	
		D1	RTCHL1				X	
		D0	RTCHL0				X	
RTC day register (pRTC DAY)	0030191C (W)	D31–6	–	reserved	–	–	–	0 when being read.
		D5	RTCDH1	RTC 10-day counter	0 to 3		X	R/W
		D4	RTCDH0				X	
		D3	RTCDL3	RTC 1-day counter	0 to 9		X	R/W
		D2	RTCDL2				X	
		D1	RTCDL1				X	
		D0	RTCDL0				X	
RTC month register (pRTCMONTH)	00301920 (W)	D31–5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 or 1		X	R/W
		D3	RTCMOL3	RTC 1-month counter	0 to 9		X	R/W
		D2	RTCMOL2				X	
		D1	RTCMOL1				X	
		D0	RTCMOL0				X	
RTC year register (pRTC YEAR)	00301924 (W)	D31–8	–	reserved	–	–	–	0 when being read.
		D7	RTCYH3	RTC 10-year counter	0 to 9		X	R/W
		D6	RTCYH2				X	
		D5	RTCYH1				X	
		D4	RTCYH0				X	
		D3	RTCYL3	RTC 1-year counter	0 to 9		X	R/W
		D2	RTCYL2				X	
		D1	RTCYL1				X	
		D0	RTCYL0				X	

0x301928

Real Time Clock

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC days of week register (pRTCDAYWEEK)	00301928 (W)	D31-3	—	reserved	—		—	—	0 when being read.
		D2	RTCWK2	RTC days of week counter	RTCWK[2:0]	Days of week	X	R/W	
		D1	RTCWK1		111	—	X		
		D0	RTCWK0		110	Saturday	X		
					101	Friday			
					100	Thursday			
					011	Wednesday			
					010	Tuesday			
					001	Monday			
					000	Sunday			

0x301A00–0x301A20

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Frame interrupt register (pLCDC_INT)	00301A00 (W)	D31–1	–	reserved	–	–	–	0 when being read.
		D0	INTEN	Frame interrupt enable	1 Enabled 0 Disabled	0	R/W	
Status and power save configuration register (pLCDC_PS)	00301A04 (W)	D31	INTF	Frame interrupt flag	1 Generated 0 Not generated	0	R/W	Reset by writing 1.
		D30–8	–	reserved	–	–	–	0 when being read.
		D7	VNDPF	Vertical display status	1 VNDP 0 VDP	1	R	
		D6–2	–	reserved	–	–	–	0 when being read.
		D1	PSAVE1	Power save mode	PSAVE[1:0] Mode	0	R/W	
		D0	PSAVE0		1 1 Normal operation 1 0 Doze mode 0 1 reserved 0 0 Power save mode	0		
Horizontal display register (pLCDC_HD)	00301A10 (W)	D31–23	–	reserved	–	–	–	0 when being read.
		D22	HTCNT6	Horizontal total period (HT) setup HT = HDP + HNDP HT > HDPS + HDP (for HR-TFT)	HT = (HTCNT + 1) × 8 [Ts] HNDP = (HTCNT - HDPCNT) × 8 [Ts]	0	R/W	
		D21	HTCNT5			0		
		D20	HTCNT4			0		
		D19	HTCNT3			0		
		D18	HTCNT2			0		
		D17	HTCNT1			0		
		D16	HTCNT0			0		
		D15–7	–	reserved	–	–	–	0 when being read.
		D6	HDPCNT6	Horizontal display period (HDP) setup	HDP = (HDPCNT + 1) × 8 [Ts]	0	R/W	
		D5	HDPCNT5			0		
		D4	HDPCNT4			0		
		D3	HDPCNT3			0		
		D2	HDPCNT2			0		
		D1	HDPCNT1			0		
		D0	HDPCNT0			0		
Vertical display register (pLCDC_VD)	00301A14 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	VTCNT9	Vertical total period (VT) setup VT = VDP + VNDP VT > VDPS + VDP (for HR-TFT)	VT = VTCNT + 1 [lines] VNDP = HTCNT - HDPCNT [lines]	0	R/W	
		D24	VTCNT8			0		
		D23	VTCNT7			0		
		D22	VTCNT6			0		
		D21	VTCNT5			0		
		D20	VTCNT4			0		
		D19	VTCNT3			0		
		D18	VTCNT2			0		
		D17	VTCNT1			0		
		D16	VTCNT0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	VDPCNT9	Vertical display period (VDP) setup	VDP = VDPCNT + 1 [lines]	0	R/W	
		D8	VDPCNT8			0		
		D7	VDPCNT7			0		
		D6	VDPCNT6			0		
		D5	VDPCNT5			0		
		D4	VDPCNT4			0		
		D3	VDPCNT3			0		
		D2	VDPCNT2			0		
MOD rate register (pLCDC_MR)	00301A18 (W)	D31–6	–	reserved	–	–	–	0 when being read.
		D5	MOD5	LCD MOD rate MOD5 = MSB MOD0 = LSB	0x0 to 0x3F	0	R/W	
		D4	MOD4			0		
		D3	MOD3			0		
		D2	MOD2			0		
		D1	MOD1			0		
		D0	MOD0			0		
Horizontal display start position register (pLCDC_HDPS)	00301A20 (W)	D31–10	–	reserved	–	–	–	0 when being read.
		D9	HDPSCNT9	Horizontal display period start position for HR-TFT HT > HDPS + HDP	HDPS = HDPSCNT + 1 [pixels]	0	R/W	0x0 must be set for STN panels.
		D8	HDPSCNT8			0		
		D7	HDPSCNT7			0		
		D6	HDPSCNT6			0		
		D5	HDPSCNT5			0		
		D4	HDPSCNT4			0		
		D3	HDPSCNT3			0		
		D2	HDPSCNT2			0		
		D1	HDPSCNT1			0		
		D0	HDPSCNT0			0		

0x301A24–0x301A2C

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical display start position register (pLCDC_VDPS)	00301A24 (W)	D31–10	–	reserved	–	–	–	0 when being read.
		D9	VDPSCNT9	Vertical display period start position for HR-TFT VT > VDPS + VDP	VDPS = VDPSCNT [lines]	0	R/W	0x0 must be set for STN panels.
		D8	VDPSCNT8			0		
		D7	VDPSCNT7			0		
		D6	VDPSCNT6			0		
		D5	VDPSCNT5			0		
		D4	VDPSCNT4			0		
		D3	VDPSCNT3			0		
		D2	VDPSCNT2			0		
		D1	VDPSCNT1			0		
		D0	VDPSCNT0			0		
FPLINE pulse setup register (pLCDC_L)	00301A28 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	FPLST9	FPLINE pulse start position	Start position = FPLST + 1 [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPLST8			0		
		D23	FPLST7			0		
		D22	FPLST6			0		
		D21	FPLST5			0		
		D20	FPLST4			0		
		D19	FPLST3			0		
		D18	FPLST2			0		
		D17	FPLST1			0		
		D16	FPLST0			0		
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPLPOL	FPLINE pulse polarity	1 Active high 0 Active low	0	R/W	(*1)
		D6	FPLWD6	FPLINE pulse width	Pulse width = FPLWD + 1 [pixels]	0	R/W	
		D5	FPLWD5			0		
		D4	FPLWD4			0		
		D3	FPLWD3			0		
		D2	FPLWD2			0		
		D1	FPLWD1			0		
D0	FPLWD0	0						
FPFRAME pulse setup register (pLCDC_F)	00301A2C (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	FPFST9	FPFRAME pulse start position	Start position = FPFST × HT [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPFST8			0		
		D23	FPFST7			0		
		D22	FPFST6			0		
		D21	FPFST5			0		
		D20	FPFST4			0		
		D19	FPFST3			0		
		D18	FPFST2			0		
		D17	FPFST1			0		
		D16	FPFST0			0		
		D15–8	–	reserved	–	–	–	0 when being read.
		D7	FPFPOL	FPFRAME pulse polarity	1 Active high 0 Active low	0	R/W	(*1)
D6–3	–	reserved	–	–	–	0 when being read.		
D2	FPFWD2	FPFRAME pulse width	Pulse width = (FPFWD+1) × HT [pixels]	0	R/W	(*1)		
D1	FPFWD1			0				
D0	FPFWD0			0				

0x301A30–0x301A48

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FPFRAME pulse offset register (pLCDC_F0)	00301A30 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	FPFSTPO9	FPFRAME pulse stop offset	Stop offset = FPFSTPO [pixels]	0	R/W	*1: For HR-TFT 0x0 must be set for STN panels.
		D24	FPFSTPO8			0		
		D23	FPFSTPO7			0		
		D22	FPFSTPO6			0		
		D21	FPFSTPO5			0		
		D20	FPFSTPO4			0		
		D19	FPFSTPO3			0		
		D18	FPFSTPO2			0		
		D17	FPFSTPO1			0		
		D16	FPFSTPO0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	FPFSTO9	FPFRAME pulse start offset	Start offset = FPFSTO [pixels]	0	R/W	(*1)
		D8	FPFSTO8			0		
		D7	FPFSTO7			0		
		D6	FPFSTO6			0		
		D5	FPFSTO5			0		
		D4	FPFSTO4			0		
		D3	FPFSTO3			0		
		D2	FPFSTO2			0		
		D1	FPFSTO1			0		
		D0	FPFSTO0			0		
HR-TFT special output register (pLCDC_TS0)	00301A40 (W)	D31–4	–	reserved	–	–	–	0 when being read.
		D3	CTL1CTL	TFT_CTL1 control	1 Program 0 Toggle/line	0	R/W	For HR-TFT
		D2	PRESET	TFT_CTL0–2 preset enable	1 Program 0 Preset	0	R/W	0x0 must be set for
		D1	FPSPOL	FPSHIFT polarity	1 Falling 0 Rising	0	R/W	STN panels.
		D0	CTLSWAP	TFT_CTL0/TFT_CTL1 swap	1 Swap 0 Not swap	0	R/W	
TFT_CTL1 pulse register (pLCDC_TC1)	00301A44 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	CTL1STP9	TFT_CTL1 pulse stop offset	Stop offset = CTL1STP + 1 [pixels]	0	R/W	*2: For HR-TFT This register is enabled when PRESET = 1.
		D24	CTL1STP8			0		
		D23	CTL1STP7			0		
		D22	CTL1STP6			0		
		D21	CTL1STP5			0		
		D20	CTL1STP4			0		
		D19	CTL1STP3			0		
		D18	CTL1STP2			0		
		D17	CTL1STP1			0		
		D16	CTL1STP0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	CTL1ST9	TFT_CTL1 pulse start offset	Start offset = CTL1ST [pixels]	0	R/W	(*2)
		D8	CTL1ST8			0		
		D7	CTL1ST7			0		
		D6	CTL1ST6			0		
		D5	CTL1ST5			0		
		D4	CTL1ST4			0		
		D3	CTL1ST3			0		
		D2	CTL1ST2			0		
		D1	CTL1ST1			0		
		D0	CTL1ST0			0		
TFT_CTL0 pulse register (pLCDC_TC0)	00301A48 (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	CTL0STP9	TFT_CTL0 pulse stop offset	Stop offset = CTL0STP + 1 [pixels]	0	R/W	*2: For HR-TFT This register is enabled when PRESET = 1.
		D24	CTL0STP8			0		
		D23	CTL0STP7			0		
		D22	CTL0STP6			0		
		D21	CTL0STP5			0		
		D20	CTL0STP4			0		
		D19	CTL0STP3			0		
		D18	CTL0STP2			0		
		D17	CTL0STP1			0		
		D16	CTL0STP0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	CTL0ST9	TFT_CTL0 pulse start offset	Start offset = CTL0ST [pixels]	0	R/W	(*2)
		D8	CTL0ST8			0		
		D7	CTL0ST7			0		
		D6	CTL0ST6			0		
		D5	CTL0ST5			0		
		D4	CTL0ST4			0		
		D3	CTL0ST3			0		
		D2	CTL0ST2			0		
		D1	CTL0ST1			0		
		D0	CTL0ST0			0		

0x301A4C–0x301A80

LCD Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
TFT_CTL2 register (pLDCD_TC2)	00301A4C (W)	D31–10	–	reserved	–			–	–	0 when being read.	
		D9	CTL2DLY9	TFT_CTL2 delay	Delay = CTL2DLY [pixels]			0	R/W	For HR-TFT This register is enabled when PRESET = 1.	
		D8	CTL2DLY8					0			
		D7	CTL2DLY7					0			
		D6	CTL2DLY6					0			
		D5	CTL2DLY5					0			
		D4	CTL2DLY4					0			
		D3	CTL2DLY3					0			
		D2	CTL2DLY2					0			
		D1	CTL2DLY1					0			
		D0	CTL2DLY0					0			
LCDC display mode register (pLDCD_DMD)	00301A60 (W)	D31	TFTSEL	HR-TFT panel selection	1	HR-TFT	0	STN	0	R/W	
		D30	COLOR	Color/mono selection	1	Color	0	Mono	0	R/W	
		D29	FPSMASK	FPSHIFT mask enable	1	Enabled	0	Disabled	0	R/W	
		D28	–	reserved	–			–	–	0 when being read.	
		D27	DWD1	LCD panel data width	DWD[1:0]	Data format	0	R/W			
		D26	DWD0		11	8-bit (format2)	0				
					10	reserved					
					01	8-bit (format1)					
		00	4-bit								
		D25	SWINV	Software video invert	1	Inverted	0	Normal	0	R/W	
		D24	BLANK	Display blank enable	1	Blank	0	Normal	0	R/W	
		D23–8	–	reserved	–			–	–	0 when being read.	
		D7	FRMRPT	Frame repeat for EL panel	1	Repeated	0	Not repeated	0	R/W	
		D6	DITHEN	Dither mode enable	1	Enabled	0	Disabled	0	R/W	
		D5	–	reserved	–			–	–	0 when being read.	
		D4	LUTPASS	LUT bypass mode	1	Bypassed	0	Used	0	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
		D2–0	BPP2 BPP1 BPP0	Bit-per-pixel select	BPP[2:0]	bpp (color/gray)	0	R/W			
					101	16 bpp (64Kc)	0				
					100	12 bpp (4Kc)	0				
					011	8 bpp (256c)					
					010	4 bpp (16c/16gr)					
					001	2 bpp (4c/4gr)					
					000	1 bpp (2c/2gr)					
		Other	reserved								
IRAM select register (pLDCD_IRAM)	00301A64 (W)	D31–1	–	reserved	–			–	–	0 when being read.	
		D0	IRAM	IRAM assignment	1	A0RAM	0	IVRAM	0	R/W	
Main window display start address register (pLDCD_MADD)	00301A70 (W)	D31	MWADR31	Main window start address MWADR31 = MSB MWADR0 = LSB	0x0 to 0xFFFFFFFFFC			0x0	R/W		
		D30	MWADR30								
		D1	MWADR1								
		D0	MWADR0								
Main window line address offset register (pLDCD_MLADD)	00301A74 (W)	D31–10	–	reserved	–			–	–	0 when being read.	
		D9	MWLADR9	Main window line address offset	Main window width (pixels) × BPP/32			0	R/W		
		D8	MWLADR8					0			
		D7	MWLADR7					0			
		D6	MWLADR6					0			
		D5	MWLADR5					0			
		D4	MWLADR4					0			
		D3	MWLADR3					0			
		D2	MWLADR2					0			
		D1	MWLADR1					0			
		D0	MWLADR0					0			
Sub-window display start address register (pLDCD_SADD)	00301A80 (W)	D31	SWADR31	Sub-window start address SWADR31 = MSB SWADR0 = LSB	0x0 to 0xFFFFFFFFFC			0x0	R/W		
		D30	SWADR30								
		D1	SWADR1								
		D0	SWADR0								

0x301A88–0x301A8C

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Sub-window start position register (pLCDC_SSP)	00301A88 (W)	D31	PIPEN	PIP sub-window enable	1 Enabled 0 Disabled	0	R/W	
		D30–26	–	reserved	–	–	–	0 when being read.
		D25	PIPYST9	Sub-window vertical (Y) start position	Y start position = PIPYST (lines) from the origin	0	R/W	*3: This register is enabled when PIPEN = 1.
		D24	PIPYST8			0		
		D23	PIPYST7			0		
		D22	PIPYST6			0		
		D21	PIPYST5			0		
		D20	PIPYST4			0		
		D19	PIPYST3			0		
		D18	PIPYST2			0		
		D17	PIPYST1			0		
		D16	PIPYST0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	PIPXST9	Sub-window horizontal (X) start position	X start position = PIPXST (pixels) from the origin (word units)	0	R/W	(*3)
		D8	PIPXST8			0		
		D7	PIPXST7			0		
		D6	PIPXST6			0		
		D5	PIPXST5			0		
		D4	PIPXST4			0		
		D3	PIPXST3			0		
		D2	PIPXST2			0		
		D1	PIPXST1			0		
		D0	PIPXST0			0		
Sub-window end position register (pLCDC_SEP)	00301A8C (W)	D31–26	–	reserved	–	–	–	0 when being read.
		D25	PIPYEND9	Sub-window vertical (Y) end position	Y end position = PIPYEND (lines) from the origin	0	R/W	*3: This register is enabled when PIPEN = 1.
		D24	PIPYEND8			0		
		D23	PIPYEND7			0		
		D22	PIPYEND6			0		
		D21	PIPYEND5			0		
		D20	PIPYEND4			0		
		D19	PIPYEND3			0		
		D18	PIPYEND2			0		
		D17	PIPYEND1			0		
		D16	PIPYEND0			0		
		D15–10	–	reserved	–	–	–	0 when being read.
		D9	PIPXEND9	Sub-window horizontal (X) end position	X end position = PIPXEND (pixels) from the origin (word units)	0	R/W	(*3)
		D8	PIPXEND8			0		
		D7	PIPXEND7			0		
		D6	PIPXEND6			0		
		D5	PIPXEND5			0		
		D4	PIPXEND4			0		
		D3	PIPXEND3			0		
		D2	PIPXEND2			0		
		D1	PIPXEND1			0		
		D0	PIPXEND0			0		

0x301AA0–0x301AA4

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 0 (pLCDC_LUT_03)	00301AA0 (W)	D31	LUT35	Look-up table entry 3 data	0x0 to 0x3F	0	R/W	
		D30	LUT34			0		
		D29	LUT33			0		
		D28	LUT32			0		
		D27	LUT31			0		
		D26	LUT30			0		
		D25–24	–	reserved	–	–	–	0 when being read.
		D23	LUT25	Look-up table entry 2 data	0x0 to 0x3F	0	R/W	
		D22	LUT24			0		
		D21	LUT23			0		
		D20	LUT22			0		
		D19	LUT21			0		
		D18	LUT20			0		
		D17–16	–	reserved	–	–	–	0 when being read.
		D15	LUT15	Look-up table entry 1 data	0x0 to 0x3F	0	R/W	
		D14	LUT14			0		
		D13	LUT13			0		
		D12	LUT12			0		
		D11	LUT11			0		
		D10	LUT10			0		
		D9–8	–	reserved	–	–	–	0 when being read.
		D7	LUT05	Look-up table entry 0 data	0x0 to 0x3F	0	R/W	
		D6	LUT04			0		
		D5	LUT03			0		
		D4	LUT02			0		
		D3	LUT01			0		
		D2	LUT00			0		
		D1–0	–	reserved	–	–	–	0 when being read.
Look-up table data register 1 (pLCDC_LUT_47)	00301AA4 (W)	D31	LUT75	Look-up table entry 7 data	0x0 to 0x3F	0	R/W	
		D30	LUT74			0		
		D29	LUT73			0		
		D28	LUT72			0		
		D27	LUT71			0		
		D26	LUT70			0		
		D25–24	–	reserved	–	–	–	0 when being read.
		D23	LUT65	Look-up table entry 6 data	0x0 to 0x3F	0	R/W	
		D22	LUT64			0		
		D21	LUT63			0		
		D20	LUT62			0		
		D19	LUT61			0		
		D18	LUT60			0		
		D17–16	–	reserved	–	–	–	0 when being read.
		D15	LUT55	Look-up table entry 5 data	0x0 to 0x3F	0	R/W	
		D14	LUT54			0		
		D13	LUT53			0		
		D12	LUT52			0		
		D11	LUT51			0		
		D10	LUT50			0		
		D9–8	–	reserved	–	–	–	0 when being read.
		D7	LUT45	Look-up table entry 4 data	0x0 to 0x3F	0	R/W	
		D6	LUT44			0		
		D5	LUT43			0		
		D4	LUT42			0		
		D3	LUT41			0		
		D2	LUT40			0		
		D1–0	–	reserved	–	–	–	0 when being read.

0x301AA8–0x301AAC

LCD Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Look-up table data register 2 (pLDCD_LUT_8B)	00301AA8 (W)	D31	LUTB5	Look-up table entry 11 data	0x0 to 0x3F	0	R/W	
		D30	LUTB4			0		
		D29	LUTB3			0		
		D28	LUTB2			0		
		D27	LUTB1			0		
		D26	LUTB0			0		
		D25–24	–	reserved	–	–	–	0 when being read.
		D23	LUTA5	Look-up table entry 10 data	0x0 to 0x3F	0	R/W	
		D22	LUTA4			0		
		D21	LUTA3			0		
		D20	LUTA2			0		
		D19	LUTA1			0		
		D18	LUTA0			0		
		D17–16	–	reserved	–	–	–	0 when being read.
		D15	LUT95	Look-up table entry 9 data	0x0 to 0x3F	0	R/W	
		D14	LUT94			0		
		D13	LUT93			0		
		D12	LUT92			0		
		D11	LUT91			0		
		D10	LUT90			0		
		D9–8	–	reserved	–	–	–	0 when being read.
		D7	LUT85	Look-up table entry 8 data	0x0 to 0x3F	0	R/W	
		D6	LUT84			0		
		D5	LUT83			0		
		D4	LUT82			0		
		D3	LUT81			0		
		D2	LUT80			0		
		D1–0	–	reserved	–	–	–	0 when being read.
Look-up table data register 3 (pLDCD_LUT_CF)	00301AAC (W)	D31	LUTF5	Look-up table entry 15 data	0x0 to 0x3F	0	R/W	
		D30	LUTF4			0		
		D29	LUTF3			0		
		D28	LUTF2			0		
		D27	LUTF1			0		
		D26	LUTF0			0		
		D25–24	–	reserved	–	–	–	0 when being read.
		D23	LUTE5	Look-up table entry 14 data	0x0 to 0x3F	0	R/W	
		D22	LUTE4			0		
		D21	LUTE3			0		
		D20	LUTE2			0		
		D19	LUTE1			0		
		D18	LUTE0			0		
		D17–16	–	reserved	–	–	–	0 when being read.
		D15	LUTD5	Look-up table entry 13 data	0x0 to 0x3F	0	R/W	
		D14	LUTD4			0		
		D13	LUTD3			0		
		D12	LUTD2			0		
		D11	LUTD1			0		
		D10	LUTD0			0		
		D9–8	–	reserved	–	–	–	0 when being read.
		D7	LUTC5	Look-up table entry 12 data	0x0 to 0x3F	0	R/W	
		D6	LUTC4			0		
		D5	LUTC3			0		
		D4	LUTC2			0		
		D3	LUTC1			0		
		D2	LUTC0			0		
		D1–0	–	reserved	–	–	–	0 when being read.

0x301B00–0x301B04

Clock Management Unit

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Gated clock control register 0 (pCMU_GATEDCLK0)	00301B00 (W)	D31–10	–	reserved	–			–	–	0 when being read.	
		D9	USBSAPB_CKE	USB SAPB I/F clock control	1	On	0	Off	0	R/W	
		D8	USB_CKE	USB IP 48 MHz clock control					0	R/W	
		D7	SDAPCPU_HCKE	SDRAMC CPU APP clock control (HALT)					0	R/W	
		D6	SDAPCPU_CKE	SDRAMC CPU APP clock control					0	R/W	
		D5	SDAPLCDC_CKE	SDRAMC LCDC APP clock control					0	R/W	
		D4	SDSAPB_CKE	SDRAMC SAPB I/F clock control					0	R/W	
		D3	DSTRAM_CKE	DST RAM clock control					1	R/W	
		D2	LCDCAHBIF_CKE	LCDC AHB I/F clock control					0	R/W	
		D1	LCDCSAPB_CKE	LCDC SAPB I/F clock control					0	R/W	
		D0	LCDC_CKE	LCDC main clock control					0	R/W	
Gated clock control register 1 (pCMU_GATEDCLK1)	00301B04 (W)	D31–30	–	reserved	–			–	–	0 when being read.	
		D29	CPUAHB_HCKE	CPU_AHB bus clk control (HALT)	1	On	0	Off	1	R/W	
		D28	LCDCAHB_HCKE	LCDC_AHB bus clk control (HALT)					1	R/W	
		D27	GPIONSTP_HCKE	GPIO no stop clock control (HALT)					1	R/W	
		D26	SRAMC_HCKE	SRAMC clock control (HALT)					1	R/W	
		D25	EFSIOBR_HCKE	EFSIO baud rate clk control (HALT)					1	R/W	
		D24	MISC_HCKE	Misc (0x300010–0x300020) clock control (HALT)					1	R/W	
		D23–20	–	reserved	–			–	–	0 when being read.	
		D19	IVRAMARB_CKE	IVRAM arbiter clock control	1	On	0	Off	1	R/W	
		D18–17	–	reserved					–	–	
		D16	TM3_CKE	16-bit timer 3 clock control	1	On	0	Off	1	R/W	
		D15	TM2_CKE	16-bit timer 2 clock control					1	R/W	
		D14	TM1_CKE	16-bit timer 1 clock control					1	R/W	
		D13	TM0_CKE	16-bit timer 0 clock control					1	R/W	
		D12	EGPIO_MISC_CKE	EGPIO and Misc (0x300C41–0x300C4D) clock control					1	R/W	
		D11	I2S_CKE	I2S clock control					1	R/W	
		D10	–	reserved	–			–	–	0 when being read.	
		D9	WDT_CKE	Watchdog timer clock control	1	On	0	Off	1	R/W	
		D8	GPIO_CKE	GPIO normal clock control					1	R/W	
		D7	SRAMSAPB_CKE	SRAMC SAPB I/F clock control					1	R/W	
		D6	SPI_CKE	SPI clock control					1	R/W	
		D5	EFSIOSAPB_CKE	EFSIO SAPB I/F clock control					1	R/W	
		D4	CARD_CKE	CARD I/F clock control					1	R/W	
		D3	ADC_CKE	ADC clock control					1	R/W	
		D2	ITC_CKE	ITC clock control					1	R/W	
		D1	DMA_CKE	DMAC clock control					1	R/W	
		D0	RTCSAPB_CKE	RTC SAPB I/F clock control					1	R/W	

0x301B08

Clock Management Unit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System clock control register (pCMU_CLKCNTL)	00301B08 (W)	D31–29	–	reserved	–	–	–	0 when being read.
		D28	CMU_CLKSEL4	CMU_CLK output clock source selection	CMU_CLKSEL[4:0]	Clock source	0	R/W
		D27	CMU_CLKSEL3		Other	reserved	0	
		D26	CMU_CLKSEL2		01010	OSC3_DIV*1/32	0	
		D25	CMU_CLKSEL1		01001	OSC3_DIV*1/16	0	
		D24	CMU_CLKSEL0		01000	OSC3_DIV*1/8	0	
					00111	OSC3_DIV*1/4		
					00110	OSC3_DIV*1/2		
					00101	OSC3_DIV*1/1		
					00100	LCDC_CLK		
					00011	MCLK		
					00010	–		
					00001	OSC1		
					00000	OSC3		
		D23	PLLINDIV3	PLL input clock source divider selection	PLLINDIV[3:0]	Divider	0	R/W
		D22	PLLINDIV2		Other	OSC3*1/8	1	
		D21	PLLINDIV1		1001	OSC3*1/10	1	
		D20	PLLINDIV0		1000	OSC3*1/9	1	
					0111	OSC3*1/8		
					0110	OSC3*1/7		
					0101	OSC3*1/6		
					0100	OSC3*1/5		
					0011	OSC3*1/4		
					0010	OSC3*1/3		
					0001	OSC3*1/2		
					0000	OSC3*1/1		
		D19	LCDCDIV3	LCDC clock divider selection	LCDCDIV[3:0]	Divider	0	R/W
		D18	LCDCDIV2		1111	OSC3*1/16	1	
		D17	LCDCDIV1		1110	OSC3*1/15	1	
		D16	LCDCDIV0		1101	OSC3*1/14	1	
					1100	OSC3*1/13		
					1011	OSC3*1/12		
					1010	OSC3*1/11		
					1001	OSC3*1/10		
					1000	OSC3*1/9		
					0111	OSC3*1/8		
					0110	OSC3*1/7		
					0101	OSC3*1/6		
					0100	OSC3*1/5		
					0011	OSC3*1/4		
					0010	OSC3*1/3		
					0001	OSC3*1/2		
					0000	OSC3*1/1		
		D15–13	–	reserved	–	–	–	0 when being read.
		D12	MCLKDIV	MCLK clock divider selection	1 1/2	0 1/1	0	R/W
		D11	–	reserved	–	–	–	0 when being read.
		D10	OSC3DIV2	OSC3 clock divider selection	OSC3DIV[2:0]	Divider	0	R/W
		D9	OSC3DIV1		111	OSC3*1/1	0	
		D8	OSC3DIV0		110	OSC3*1/1	0	
					101	OSC3*1/32		
					100	OSC3*1/16		
					011	OSC3*1/8		
					010	OSC3*1/4		
					001	OSC3*1/2		
					000	OSC3*1/1		
		D7–4	–	reserved	–	–	–	0 when being read.
		D3	OSCSEL1	OSC clock selection	OSCSEL[1:0]	Clock source	0	R/W
		D2	OSCSEL0		11	PLL	0	
					10	OSC3		
					01	OSC1		
					00	OSC3		
		D1	SOSC3	High-speed oscillation (OSC3) On/Off	1 On	0 Off	1	R/W
		D0	SOSC1	Low-speed oscillation (OSC1) On/Off	1 On	0 Off	1	R/W

0x301B0C–0x301B14

Clock Management Unit

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PLL control register (pCMU_PLL)	00301B0C (W)	D31–24	–	reserved	–		–	–	0 when being read.
		D23	PLLCS1	PLL LPF capacitance setup	Fixed at "00" (default)		0	R/W	
		D22	PLLCS0				0		
		D21	PLLBYP	PLL bypass mode setup	Fixed at "0" (default)		0	R/W	
		D20	PLLCF4	PLL charge pump current setup	Fixed at "10000" (default)		1	R/W	
		D19	PLLCF3				0		
		D18	PLLCF2				0		
		D17	PLLCF1				0		
		D16	PLLCF0				0		
		D15	PLLVC3	PLL VCO Kv setup	PLLVC[3:0]	f _{vco} [MHz]	0	R/W	
		D14	PLLVC2		1000	360 < f _{vco} ≤ 400	0		
		D13	PLLVC1		0111	320 < f _{vco} ≤ 360	0		
		D12	PLLVC0		0110	280 < f _{vco} ≤ 320	1		
					0101	240 < f _{vco} ≤ 280			
					0100	200 < f _{vco} ≤ 240			
					0011	160 < f _{vco} ≤ 200			
					0010	120 < f _{vco} ≤ 160			
					0001	100 ≤ f _{vco} ≤ 120			
					Other	Not allowed			
		D11	PLLR3	PLL LPF resistance setup	PLLR[3:0]	f _{REFCK} [MHz]	1	R/W	
		D10	PLLR2		1010	5 ≤ f _{REFCK} < 20	0		
		D9	PLLR1		1000	20 ≤ f _{REFCK} ≤ 150	0		
		D8	PLLR0		Other	Not allowed		0	
		D7	PLLN3	PLL multiplication rate setup	PLLN[3:0]	Multiplication rate	0	R/W	
		D6	PLLN2		1111	x16	0		
		D5	PLLN1		1110	x15	0		
		D4	PLLN0		:	:	0		
					0001	x2			
					0000	x1			
		D3	PLL1	PLL V-divider setup	PLL1[1:0]	W	0	R/W	
		D2	PLL0		11	8	1		
					10	4			
					01	2			
					00	Not allowed			
		D1	–	reserved	–		–	–	0 when being read.
		D0	PLLPOWR	PLL on/off control		1 On 0 Off	0	R/W	
SSCG macro control register (pCMU_SSCG)	00301B10 (W)	D31–16	–	reserved	–		–	–	0 when being read.
		D15	SSMCITM3	SSCG macro interval timer (ITM) setting	0 to 0xF		1	R/W	
		D14	SSMCITM2				1		
		D13	SSMCITM1				1		
		D12	SSMCITM0				1		
		D11	SSMCIDT3	SSCG macro maximum frequency change width setting	0 to 0xF		0	R/W	
		D10	SSMCIDT2				0		
		D9	SSMCIDT1				0		
		D8	SSMCIDT0				0		
		D7–1	–	reserved	–		–	–	0 when being read.
		D0	SSMCON	SSCG macro On/Off		1 On 0 Off	0	R/W	
Clock option register (pCMU_OPT)	00301B14 (W)	D31–16	–	reserved	–		–	–	0 when being read.
		D15	OSCTM7	OSC oscillation stabilization-wait timer	0 to 255		0	R/W	
		D14	OSCTM6				0		
		D13	OSCTM5				0		
		D12	OSCTM4				0		
		D11	OSCTM3				0		
		D10	OSCTM2				0		
		D9	OSCTM1				0		
		D8	OSCTM0				0		
		D7–4	–	reserved	–		–	–	0 when being read.
		D3	OSC3OFF	OSC3 disable during SLEEP	1 Stop 0 Run	0	R/W		
		D2	TMHSP	Wait-timer high-speed mode	1 High speed 0 Normal	0	R/W		
		D1	–	reserved	–		–	–	0 when being read.
		D0	WAKEUPWT	Wakeup-wait function enable		1 Wait interrupt 0 No wait	0	R/W	

0x301B24

Clock Management Unit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock control protect register (pCMU_PROTECT)	00301B24 (W)	D31-8	—	reserved	—	—	—	0 when being read.
		D7	CLGP7	Clock control register protect flag	Writing 10010110 (0x96) removes the write protection of the clock control registers (0x301B00–0x301B14). Writing another value set the write protection.	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

0x301C00–0x301C20

I²S Interface

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks			
I ² S CH.0 Control Register (pI2S_ CONTRL_CH0)	0x00301C00 (32 bits)	D31–11	–	reserved	–		–	–	0 when being read.			
		D10	DTSIGN	I ² S CH.0 signed/unsigned data format select	1	Signed	0	Unsigned		0	R/W	
		D9	DATRES0	I ² S CH.0 output data resolution select	1	24 bits	0	16 bits		0	R/W	
		D8	I2SEN0	I ² S CH.0 enable	1	Enable	0	Disable		0	R/W	
		D7	WCLKMD0	I ² S CH.0 output word clock mode select	1	L: high R: low	0	L: low R: high		0	R/W	
		D6	BCLKPOL0	I ² S CH.0 output bit clock polarity select	1	Negative	0	Positive		0	R/W	
		D5	DTFORM	I ² S CH.0 output data format select	1	LSB first	0	MSB first		0	R/W	
		D4	I2SOUTEN	I ² S CH.0 output enable	1	Enable	0	Disable		0	R/W	
		D3–2	DTTMG0 [1:0]	I ² S CH.0 output data timing select	DTTMG0[1:0]		Timing mode			0x0	R/W	
				0x3 reserved								
				0x2 Right justified								
		0x1 Left justified										
		0x0 I ² S										
I ² S CH.0 output channel mode select	CHMD[1:0]	I ² S CH.0 output channel mode select	CHMD[1:0]		Channel mode		0x0	R/W				
			0x3 Mute									
			0x2 Mono left									
			0x1 Mono right									
			0x0 Stereo									
I ² S CH.1 Control Register (pI2S_ CONTROL_CH1)	0x00301C04 (32 bits)	D31–7	–	reserved	–		–	–	0 when being read.			
		D6	I2SBYPASS	I ² S bypass mode select	1	Bypass	0	Normal		0	R/W	
		D5	WCLKMD1	I ² S CH.1 input word clock mode select	1	L: high R: low	0	L: low R: high		0	R/W	
		D4	BCLKPOL1	I ² S CH.1 input bit clock polarity select	1	Negative	0	Positive		0	R/W	
		D3–2	DTTMG1 [1:0]	I ² S CH.1 input data timing select	DTTMG1[1:0]		Timing mode			0x0	R/W	
				0x3 reserved								
				0x2 Right justified								
				0x1 Left justified								
		0x0 I ² S										
I ² S CH.1 input data resolution select	DATRES1	I ² S CH.1 input data resolution select	1	24 bits	0	16 bits	0	R/W				
I ² S CH.1 enable	I2SEN1	I ² S CH.1 enable	1	Enable	0	Disable	0	R/W				
I ² S MCLK Divide Ratio Register (pI2S_DV_MCLK_RATIO)	0x00301C08 (32 bits)	D31–16	–	reserved	–		–	–	0 when being read.			
		D15	MCLKSEL	I ² S_MCLK source clock select	1	I2S_MCLK_EXT	0	System clock		0	R/W	
		D14–6	–	reserved	–		–	–		0 when being read.		
		D5–0	MCLKDIV [5:0]	I ² S_MCLK divide ratio select	MCLKDIV[5:0]		I ² S_MCLK				0x0	R/W
				0x3f	MCLK•1/64							
				0x3e	MCLK•1/63							
				0x3d	MCLK•1/62							
				:	:							
		0x2	MCLK•1/3									
		0x1	MCLK•1/2									
		0x0	MCLK•1/1									
I ² S Audio Clock Divide Ratio Register (I2S_DV_AUDIO_CLK)	0x00301C0C (32 bits)	D31–21	Reserved	–	–		–	–	0 when being read.			
		D20–16	WSCLKCYC1 [4:0]	I ² S CH.1 WS clock cycle setup	0x1x 0x0f ...		32 clocks 31 clocks ...			0	R/W	
				0x00		16 clocks						
		D15–13	Reserved	–	–		–	–		0 when being read.		
		D12–8	WSCLKCYC0 [4:0]	I ² S CH.0 WS clock cycle setup	0x1x 0x0f ...		32 clocks 31 clocks ...				0	R/W
				0x00		16 clocks						
				0xff	SRC_CLK*1/512		0	R/W			SRC_CLK: MCLK or I2S_MCLK_EXT input clock	
				0xfe	SRC_CLK*1/510							
		...	...									
		0x0	SRC_CLK*1/2									

0x301C00–0x301C20

I²S Interface

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Start/Stop Register (pl2S_START)	0x00301C10 (32 bits)	D31–9	–	reserved	–	–	–	0 when being read.
		D8	I2SSSTART1	I ² S CH.1 start/stop control	1 Start 0 Stop	0	R/W	
		D7	I2SBUSY0	I ² S CH.0 busy flag	1 Busy 0 Idle	0	R	
		D6–1	–	reserved	–	–	–	0 when being read.
		D0	I2SSSTART0	I ² S CH.0 start/stop control	1 Start (run) 0 Stop	0	R/W	
I ² S FIFO Status Register (pl2S_FIFO_STATUS)	0x00301C14 (32 bits)	D31–10	–	reserved	–	–	–	0 when being read.
		D9	I2SFIFOFF1	I ² S CH.1 FIFO full flag	1 Full 0 Not full	0	R	
		D8	I2SFIFOEF1	I ² S CH.1 FIFO empty flag	1 Empty 0 Not empty	1	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4–2	FIFOSTAT0 [2:0]	I ² S CH.0 FIFO state machine	FIFOSTAT0[2:0] State 0x7–0x6 reserved 0x5 FLUSH 0x4 EMPTY 0x3 LACK 0x2 FULL 0x1 INIT 0x0 STOP	0x0	R	
		D1	I2SFIFOFF0	I ² S CH.0 FIFO full flag	1 Full 0 Not full	0	R	
		D0	I2SFIFOEF0	I ² S CH.0 FIFO empty flag	1 Empty 0 Not empty	1	R	
I ² S Interrupt Mode Select Register (pl2S_INT_MOD)	0x00301C18 (32 bits)	D31–8	–	reserved	–	–	–	0 when being read.
		D7–6	I2SINTMD1 [1:0]	I ² S CH.0 interrupt mode select	0x3 Reserved 0x2 One data 0x1 Whole full 0x0 Half full	0	R/W	
		D5	I2SHSMD1	I ² S CH.1 HSDMA mode select	1 dual channels 0 single channel	0	R/W	
		D4	I2SINTEN1	I ² S CH.1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D3–2	I2SINTMD0 [1:0]	I ² S CH.0 interrupt mode select	0x3 Reserved 0x2 One empty 0x1 Whole empty 0x0 Half empty	0	R/W	
		D1	I2SHSMD0	I ² S CH.0 HSDMA mode select	1 dual channels 0 single channel	0	R/W	
		D0	I2SINTEN0	I ² S CH.0 interrupt enable	1 Enable 0 Disable	0	R/W	
I ² S CH.0 FIFO Register (pl2S_FIFO_CH0)	0x00301C20 (32 bits)	D31–0	I2SFIFO0 [31:0]	I ² S CH.0 FIFO (output data)	0 to 0xffffffff (32 bits)	0x0	W	For 16-bit data (word write) or 24-bit data (word write) 0 when being read.
	0x00301C20 (16 bits)	D15–0	I2SFIFO0 [15:0]		0 to 0xffff (16 bits)			For 16-bit data (half-word write) 0 when being read.
	0x00301C22 (16 bits)	D15–0	I2SFIFO0 [31:16]					
I ² S CH.1 FIFO Register (pl2S_FIFO_CH1)	0x00301C30 (32 bits)	D31–0	I2SFIFO1 [31:0]	I ² S CH.1 FIFO (input data)	0 to 0xffffffff (32 bits)	0x0	R	For 16-bit data (word read) or 24-bit data (word read) For 16-bit data (half-word read)
	0x00301C30 (16 bits)	D15–0	I2SFIFO1 [15:0]		0 to 0xffff (16 bits)			
	0x00301C32 (16 bits)	D15–0	I2SFIFO1 [31:16]					

このページはブランクです。

Appendix B C33 PEコアと他のC33コアとの相違点

C33 PEコアでは、C33 STDコアCPU(S1C33000)の機能をもとに以下の追加と変更が行われています。個々の機能の詳細については、“S1C33 Family C33 PEコアマニュアル”を参照してください。

B.1 命令

C33 PEの命令セットはC33 STDコアCPUと互換性がありますが、高性能化およびコストダウンのため、以下に示すとおり一部既存命令の機能拡張と削除、および新規命令の追加を行っています。

■機能拡張命令

C33 PEコアでは以下の命令の機能が拡張されています。

- シフト/ローテート命令のシフト量が8ビットから32ビットに拡張

<code>shift %rd, imm5</code>	0～8ビットシフト→0～32ビットシフト (<code>shift = srl, sll, sra, sla, rr, rl</code>)
<code>shift %rd, %rs</code>	0～8ビットシフト→0～32ビットシフト (<code>shift = srl, sll, sra, sla, rr, rl</code>)
- 汎用レジスタ - 特殊レジスタ間データ転送命令が、追加された特殊レジスタの指定に対応

<code>ld.w %sd, %rs</code>	<code>%sd</code> で指定可能な特殊レジスタを追加
<code>ld.w %rd, %ss</code>	<code>%ss</code> で指定可能な特殊レジスタを追加

■追加命令

C33 PEコアには以下の命令が追加されています。

- 単独レジスタ、特殊レジスタに対応したレジスタ退避/復帰命令を追加

<code>push %rs</code>	単一レジスタの退避
<code>pop %rd</code>	単一レジスタの復帰
<code>pushs %ss</code>	連続する特殊レジスタの退避
<code>pop %sd</code>	連続する特殊レジスタの復帰
- コプロセッサインタフェースに対応する命令を追加

<code>ld.c %rd, imm4</code>	コプロセッサデータ転送
<code>ld.c imm4, %rs</code>	コプロセッサデータ転送
<code>do.c imm6</code>	コプロセッサ実行
<code>ld.cf</code>	コプロセッサフラグ転送
- その他、特殊命令を追加

<code>swaph %rd, %rs</code>	ビッグエンディアン - リトルエンディアン変換
<code>psrset imm5</code>	PSRビットのセット
<code>psrclr imm5</code>	PSRビットのクリア
<code>jpr %rb</code>	レジスタ間接無条件相対ジャンプ

■削除命令

C33 PEでは、C33 STDコアCPUの命令セットから以下の命令が削除されました。

<code>div0s</code>	符号付きステップ除算の前処理
<code>div0u</code>	符号なしステップ除算の前処理
<code>div1</code>	ステップ除算
<code>div2s</code>	符号付きステップ除算結果の補正1
<code>div3s</code>	符号付きステップ除算結果の補正2
<code>mac</code>	積和演算
<code>scan0</code>	‘0’のビットスキャン
<code>scan1</code>	‘1’のビットスキャン
<code>mirror</code>	ミラー

これらの機能は、別途用意されているソフトウェアライブラリ等により実現可能です。

AP

C33PE

B.2 レジスタ

汎用レジスタ(R0～R15)は基本的にC33 STDコアCPUと同一です。
特殊レジスタについては、以下のような拡張が行われています。

■PC

32ビットすべてが使用されるようになりました。
また、高速なリーフコールを行えるように、読み出しも可能になりました。

■トラップテーブルベースレジスタ

トラップテーブルベースレジスタTTBRが追加されました。
C33 STDコアCPUでは0x48134番地にマップされていたTTBRがC33 PEコアではプロセッサ内の特殊レジスタとなりました。初期値(ブートアドレス)は0xC00000で、変更はありません。

■プロセッサ識別レジスタ

プロセッサ識別レジスタIDIRが追加され、コアのタイプ、バージョンの識別が可能になりました。

■デバッグベースレジスタ

デバッグベースレジスタDBBRが追加されました。このレジスタはデバッグエリアの先頭アドレスを示します。通常は0x60000に固定されています。

■プロセッサステータスレジスタ

一部命令の削除に伴い、PSR内の以下のフラグも削除されました。
MO(ビット7) 積和演算オーバーフローフラグ
DS(ビット6) 被除数符号フラグ

B.3 アドレス空間、その他

■アドレス空間

32ビットアドレスバスによる4Gバイト空間をサポートします。

■その他

1. 割り込み/例外処理

トラップテーブルベースレジスタTTBRがプロセッサ内の特殊レジスタとなりました。また、未定義命令(命令セットに定義されていないオブジェクトコード)の実行、または3個以上の連続したext命令の検出により例外が発生するようになりました。

2. パイプライン

C33 STDコアCPUは3段パイプライン構造でしたが、C33 PEコアでは2段パイプライン構造(フェッチ/デコード、実行/アクセス/ライトの2段)になっています。

Appendix C 開発ツール

C.1 開発ツールの種類

S1C33L19をサポートする主要開発ツールを以下に示します。

1. S1C33 Family C/C++コンパイラパッケージ (S5U1C33001C)

S1C33 Family C/C++コンパイラパッケージには、C/C++ソースプログラムのコンパイル、アセンブリソースプログラムのアセンブルからデバッグ、さらにROM書き込みデータや提出用マスクデータの作成までを行う一連のソフトウェアツールやユーティリティが含まれています。ソース作成からデバッグまでの統合開発環境を提供する開発用ワークベンチGNU33 IDEも含まれています。ツールはWindows 2000またはWindows XP上で動作します。

2. インサーキットデバッガ (S5U1C3300xH)

インサーキットデバッガ(ICD)はデバッグに使用するハードウェアツールです。ターゲットボードを接続し、パソコン上のデバッガから各種デバッグ機能を実行します。

C.2 S5U1C33001C使用上の注意

S1C33L19アプリケーションをS1C33 Family C/C++コンパイラパッケージ(S5U1C33001C)を使用して開発する場合の注意点を以下に示します。一般的な注意事項やその他詳細については、S5U1C33001Cのマニュアルを参照してください。

■S5U1C33001Cのバージョン

S5U1C33001C(Ver.3)以降を使用してください。

■C/C++コンパイラとアセンブラ使用上の注意

コンパイラオプションとアセンブラオプション

- コンパイラとアセンブラを実行する場合(makeファイルへの記述も含む)は、C33 PEコアのコードを生成する-mc33peオプションを指定してください。
- GNU33 IDEを使用する場合は、ターゲットCPUにC33 PEコアを選択してください(プロジェクトの[Properties]ダイアログ>[GNU33 General]>[Target CPU Macro type]で“PE”を選択)。

CPUレジスタ

表C.2.1 汎用レジスタの使用法

レジスタ	使用法
%r0	フレームポインタとして使用されるレジスタ 関数呼び出し時に値を保存する必要があるレジスタ
%r1 %r2 %r3	関数呼び出し時に値を保存する必要があるレジスタ
%r4 %r5	戻り数格納用レジスタ(8/16/32ビットデータ、double型データの低位32ビット) 戻り数格納用レジスタ(double型データの上位32ビット)
%r6 %r7 %r8 %r9	引数渡し用レジスタ(第1ワード) 引数渡し用レジスタ(第2ワード) 引数渡し用レジスタ(第3ワード) 引数渡し用レジスタ(第4ワード)
%r10 %r11 %r12 %r13 %r14	スクラッチレジスタ/未使用
%r15	デフォルトデータエリアポインタレジスタ*

* -medda32オプション(デフォルトデータエリア未使用)未指定時

- C33 PEコアは%dpレジスタを内蔵していません。%dpレジスタを記述したり、%dpレジスタを使用する機能を指定しないでください。
- %r0～%r3を使用する場合は、使用する前に必ずpushn命令で内容を退避させ、リターン前にpopn命令で復帰させてください。
- %r4と%r5はリターン前に戻り値をセットするまでは自由に使用できます。
- %r6～%r9は引数を使い終わった後は自由に使用できます。リターン前に復帰させる必要はありません。
- %r10～%r15はシンボル参照用にアセンブラasおよびリンカldによって予約されています。できるだけ使用しないでください。
- 構造体を返す関数への引数渡し
戻り値となる構造体データが8バイトに収まる場合、そのデータは戻り値格納用レジスタ%r4と%r5に入れて返されます。この場合、通常は第1引数となる構造体へのポインタが関数に渡されることはありません。

■ライブラリ

パッケージに添付のライブラリファイルはC33コアの種類別に用意されています。
リンクするライブラリには、C33 PEコア用のライブラリファイルを指定してください。

■デバッグ使用上の注意

- ICDによるデバッグを行う場合は、S5U1C33001H1100(ICD33 Ver. 3.0)以降を使用してください。それ以前の製品はS1C33L19には対応していません。また、S5U1C33001H1100(ICD33 Ver. 3.0)の場合も標準ではS1C33L19に対応していないため、ファームウェアをアップデートする必要があります。デバッグにはS1C33L19の以下の端子を使用します。

DSIO(P34)

DCLK(P35)

DST2(P36)

デバッグ中にこれらの端子がデバッグ用以外に設定されることのないよう、Debug Port MUX Register(0x300014)を0x1とするか、P34-P36 Port Function Select Register(0x3003A7)を0x0に固定してください。

PCトレースを使用しない場合は、ICDの操作パネルにあるディップスイッチで、PCトレース機能を無効(SW5: On)にしてください。

- ICDによるデバッグでPCトレースを行う場合、S1C33L19の以下の端子をデバッグ用に使用します。

DST0(P15/TM3/SOUT1/TFT_CTL0)

DST1(P16/CARD0/#SCLK1/TFT_CTL3)

DPCO(P17/CARD1/#SRDY1/TFT_CTL2)

DSIO(P34)

DCLK(P35)

DST2(P36)

デバッグ中にこれらの端子がデバッグ用以外に設定されることのないよう、Debug Port MUX Register(0x300014)を0x1に固定してください。

- ICDを使用してデバッグを行う場合は、targetコマンドを実行する前にc33 dasコマンドを次のように実行してください。

```
(gdb) c33 das 0x60000 0x84780 1
```

```
(gdb) target icd usb
```

(0x60000 = デバッグROMアドレス、0x84780 = デバッグRAMアドレス、1 = C33 PEコア)

- 以下の領域はデバッグ用あるいはシステム用に予約されています。デバッグ中にアクセスしないでください。

- エリア0のアドレス0x0～0xF(デバッグモニタを使用する場合)

- エリア1(システム予約領域)

- エリア2(デバッグ用予約領域)

- エリア3のアドレス0x84700～0x847FFと0x90000～0xFFFFF(デバッグ用/システム予約領域)

- DSTRAM_CKE(D3/0x301B00)の設定

デバッグツール(ICD33とGNU33)を使用してデバッグを行う場合、DST RAMの0x846FF～0x847FFがデバッグ領域として使用されます。したがって、DSTRAM_CKE(D3/0x301B00)を1に設定してDST RAMの動作クロックを供給しておく必要があります。

デバッグツールとDST RAMを使用しない場合は、DSTRAM_CKE(D3/0x301B00)を0に設定してDST RAMの動作を停止させることができます。

* **DSTRAM_CKE**: DSTRAM Clock Control Bit in the Gated Clock Control Register 0 (D3/0x301B00)

AP

DEV

- デバッガによるブートプログラムの書き込み
デバッガからブートデバイスにプログラムを書き込んで、そのデバイスから起動する手順は次のとおりです。

- ターゲットボード(S1C33L19)とICD33の電源がOffしていることを確認してください。
- S1C33L19のBOOT[1:0]端子を任意に設定します。
- ターゲットボード(S1C33L19)とICD33の電源をOnし、PC上のデバッガ(gdb33)を起動します。
- デバッガから、ブートシーケンスを無効にしてブートプログラムをブートデバイス(NANDフラッシュ、NORフラッシュ、SPIフラッシュ等)に書き込むコマンドファイルを実行します。
- デバッガを終了し、ターゲットボード(S1C33L19)とICD33の電源をOffします。
- ブートデバイスに合わせ、S1C33L19のBOOT[1:0]端子を設定します。
- ICD33を取り外し、ターゲットボード(S1C33L19)の電源をOnします。

S1C33L19は指定されたデバイスのブートプログラムで起動します。

ステップ4でブートプログラムを書き込むコマンドファイルの例を以下に示します。フラッシュの消去とプログラムの書き込みを行う前に、Boot Register(0x300018)に0x01を書き込み、ブートシーケンスを無効に設定してください。

例: ブートプログラムtest.elfを#CE10エリアのNORフラッシュに書き込む場合

```
# gwb33.cmd command file made by GWB33
c33 das 0x60000 0x84780

# set the map in the debugger
# c33 rpf c33e07.par

# load symbol information
file am29f800.elf

# decide debugger mode and port
target icd com1
# target icd usb

# load to memory
load am29f800.elf

# boot disable, CE10 = 16 bits
set {char} 0x300020 = 0x96
set {char} 0x300018 = 0x01

# flash set command
c33 fls 0xc00000 0xcfffffff FLASH_ERASE FLASH_LOAD
# 0xc00000 = flash area start address
# 0xcfffffff = flash area end address
# FLASH_ERASE = flash erase routine top address
# FLASH_LOAD = flash load routine top address

#flash erase command
c33 fle 0xc00000 0x0 0x0
# 0xc00000 = flash control register
# 0x0 = erase start block (0: erase all areas 1-19)
# 0x0 = erase end block (this parameter is ignored as the start block is 0)

file test.elf

target icd com1
#target icd usb

# boot disable, CE10 = 16 bits
set {char} 0x300020 = 0x96
set {char} 0x300018 = 0x01

load test.elf
```

Appendix D ブート

D.1 ブートモード

S1C33L19は次の5種類のブートモードをサポートしています。

- ラージページNANDフラッシュブート（ラージページ: 2048 + 64、4096 + 128バイト/ページ）
- スモールページNANDフラッシュブート（スモールページ: 512 + 16、1024 + 32バイト/ページ）
- NORフラッシュ / 外部ROMブート（8ビットまたは16ビット）
- SPI-EEPROMブート
- PC RS232Cブート

どのブートモードでS1C33L19を起動させるかについては、電源投入時（イニシャルリセット時）のBOOT端子および#CE10端子の設定によって選択できるようになっています。

表D.1.1 ブートモードの設定(PFBGA-180pinまたはチップ)

BOOT1端子	BOOT0端子	#CE10端子	ブートモード	ブートコードスタートアドレス	MBR実行アドレス
1	1	1 (入力)	SPI-EEPROM	エリア1の0x20010	A0RAMの0x400
		0 (入力)	PC RS232C		A0RAMの0x0
1	0	出力	NORフラッシュ / 外部ROM	エリア1の0x2000C	0xC00000の内容による
0	1	—	Reserved	—	—
0	0	1 (入力)	ラージページNANDフラッシュ (> 1024 + 32バイト/ページ)	エリア1の0x20004	A0RAMの0x0
		0 (入力)	スモールページNANDフラッシュ (≤ 1024 + 32バイト/ページ)		

表D.1.2 ブートモードの設定(TQFP24-144pin)

BOOT1端子	#CE10端子	ブートモード	ブートコードスタートアドレス	MBR実行アドレス
1	出力	NORフラッシュ / 外部ROM	エリア1の0x2000C	0xC00000の内容による
0	1 (入力)	ラージページNANDフラッシュ (> 1024 + 32バイト/ページ)	エリア1の0x20004	A0RAMの0x0
	0 (入力)	スモールページNANDフラッシュ (≤ 1024 + 32バイト/ページ)		

* TQFP24-144pinパッケージは端子数の制限からBOOT1端子のみ使用可能です(BOOT0はIC内部でVssにプルダウンされます)。

注: NANDフラッシュブートについての詳細は、別冊“カードインターフェース (CARD)”を参照してください。

電源投入時およびリセット時はC33 PEコアの仕様により、ブートアドレスがエリア10の0xC00000(TTBRの初期値)に設定されます。S1C33L19のエリア10(内部エリアの0xC00000)には4ワードのGate ROMが置かれており、上記端子で設定されたモードのブートシーケンス(ブートコードスタートアドレス)にジャンプするためのベクタが格納されています。

ブートシーケンスはエリア1の内部シーケンサにプログラムされています。

AP

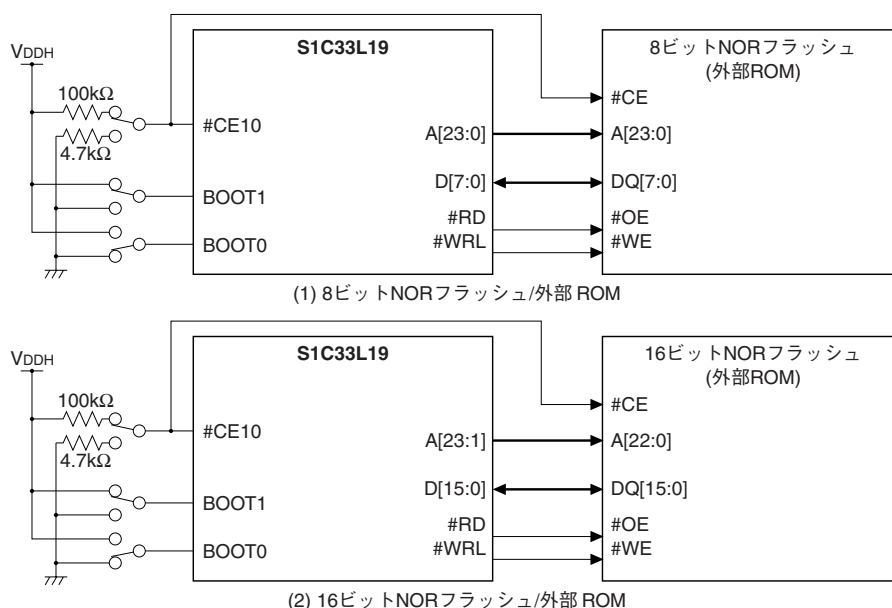
Boot

D.2 NORフラッシュ /外部ROMブート

D.2.1 NORフラッシュ /外部ROMブートシステムの構成

BOOT1端子を1(V_{DDH})、BOOT0端子を0(V_{SS})に設定して電源を投入またはリセットすると、S1C33L19は#CE10エリアの外部NORフラッシュまたは外部ROMの0xC00000からリセットベクタを読み出してユーザのリセットルーチンにジャンプします。これは、C33 PEコアの標準的な起動方法ですが、C33 PEコアは16ビットデバイスからのブートにしか対応していません。S1C33L19では8ビットNORフラッシュからのブートに対応するため、一度リセットベクタを内部シーケンサ(エリア1)内のブートプログラムで読み出し、16ビットブートでは無視されるベクタの最下位ビットの内容により#CE10エリアのデバイスサイズを8ビット/16ビットに設定してリセットルーチンにジャンプします。

図D.2.1.1にNORフラッシュ /外部ROMブートを行うシステムの接続図を示します。

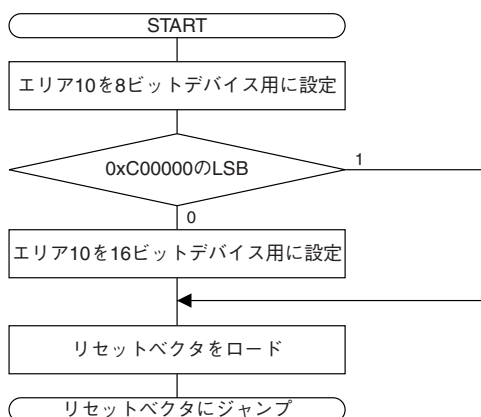


図D.2.1.1 NORフラッシュ /外部ROMブートシステム

このシステムでは、デフォルト設定の#CE10エリア用外部バス信号のみを使用します。

D.2.2 NORフラッシュ /外部ROMブートシーケンス

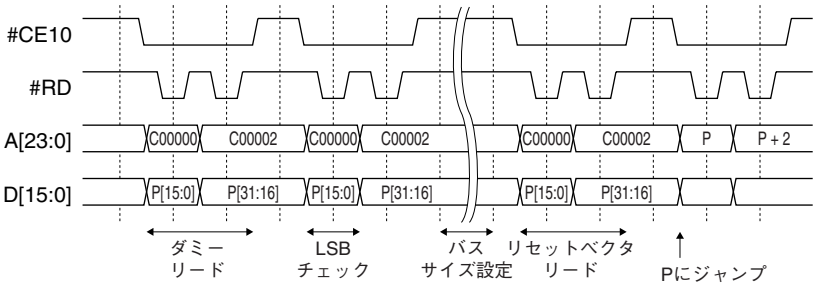
図D.2.2.1にNORフラッシュ /外部ROMブートのフローチャートを示します。



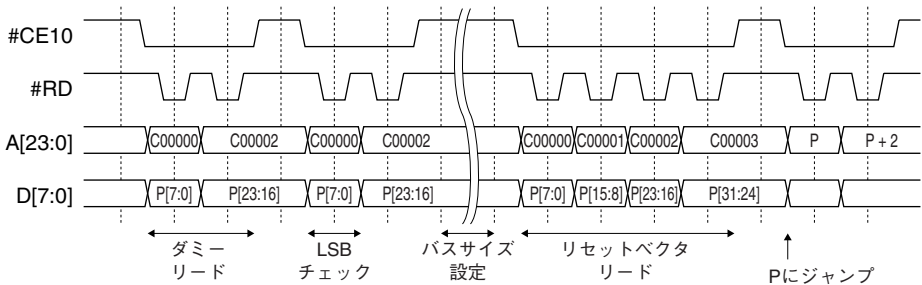
図D.2.2.1 NORフラッシュ /外部ROMブートフローチャート

- (1) 電源投入時/リセット時にBOOT1端子が1、BOOT0端子が0の場合、内部シーケンサ(エリア1)内の NORフラッシュ /外部ROMブートシーケンスが実行されます。
- (2) SRAMCで、#CE10エリアのデバイスサイズを8ビットに設定します。
- (3) アドレス0xC00000に書き込まれているリセットベクタの最下位ビットをチェックします。
- (4) リセットベクタの最下位ビットが0の場合は#CE10エリアのデバイスサイズを16ビットに戻します。
リセットベクタの最下位ビットが1の場合は8ビットのままにします。
- (5) リセットベクタを再度読み込み、そのアドレスにジャンプします。

図D.2.2.2とD.2.2.3に16ビットと8ビット NORフラッシュのブートシーケンスを示します。



図D.2.2.2 16ビット NORフラッシュブート



図D.2.2.3 8ビット NORフラッシュブート

D.2.3 NORフラッシュ /外部ROMブートのリセットベクタ

16ビット NORフラッシュ /外部ROMからブートする場合は最下位ビットを0にしたリセットベクタをアドレス0xC00000に書き込んでおきます。

8ビット NORフラッシュ /外部ROMからブートする場合は最下位ビットを1にしたリセットベクタをアドレス0xC00000に書き込んでおきます。

0xC00000	Bit 31	Bit 30	Bit 29	...	Bit 3	Bit 2	Bit 1	Bit 0
16ビットデバイス	リセットベクタ							0
8ビットデバイス	リセットベクタ							1

図D.2.3.1 NORフラッシュ /外部ROMブートのリセットベクタ

8ビットに設定するために最下位ビットを1にした場合でも、ユーザのリセットルーチンへのジャンプの際には最下位ビットが無視され、16ビット境界アドレスにジャンプします。

AP

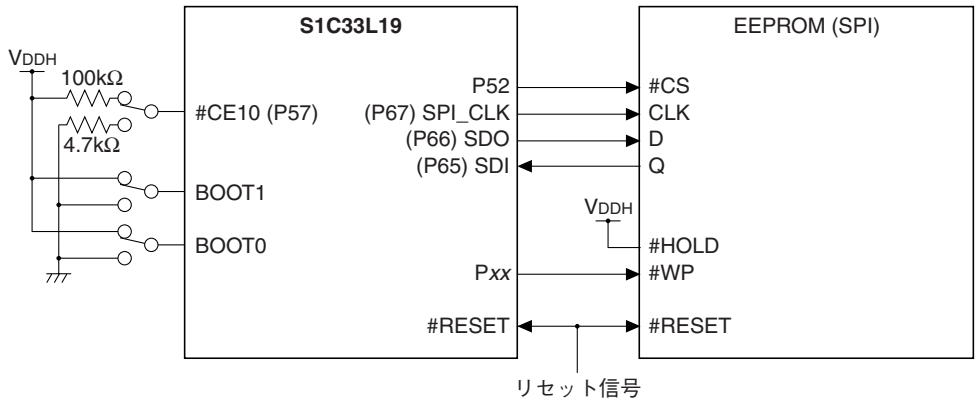
Boot

D.3 SPI-EEPROMブート

D.3.1 SPI-EEPROMブートシステムの構成

BOOT1、BOOT0、#CE10端子をすべて1(V_{DDH})に設定して電源を投入またはリセットすると、S1C33L19はSPIバスに接続されたEEPROM、FRAM、またはシリアルフラッシュからMBRをA0RAMにロードして実行します。

図D.3.1.1にSPI-EEPROMブートを行うシステムの接続図を示します。



図D.3.1.1 SPI-EEPROMブートシステム

注: TQFP24-144pin/パッケージはSPI-EEPROMブートをサポートしていません。

表D.3.1.1 SPI-EEPROMブートに使用する端子

S1C33L19端子	EEPROM端子	ブート前の端子状態	ブート後の端子状態
P52/BCLK/#CE6/CMU_CLK	#CS	入力(内部プルアップ)	High出力
P65/SDI/FPDAT8	Q	入力(Hi-Z)	入力(Hi-Z)
P66/SDO/FPDAT9	D	入力(Hi-Z)	出力
P67/SPI_CLK/FPDAT10	CLK	入力(Hi-Z)	Low出力
Pxx ^{*1}	#WP	(入力)	(入力)
#CE10/P57 ^{*2}	—	入力(内部プルアップ)	入力

*1: アプリケーションに合わせ、ブート後にユーザプログラムで制御します。

*2: BOOT端子によるブートモード設定時にSPI-EEPROMブートまたはPC RS232Cブートを選択するために使用します。

ブートシーケンスの中で上記の端子がSPI用(**Bold**)に設定されます。したがって、これらの端子を汎用入出力ポートあるいは他の周辺機能用に使用することはできません。

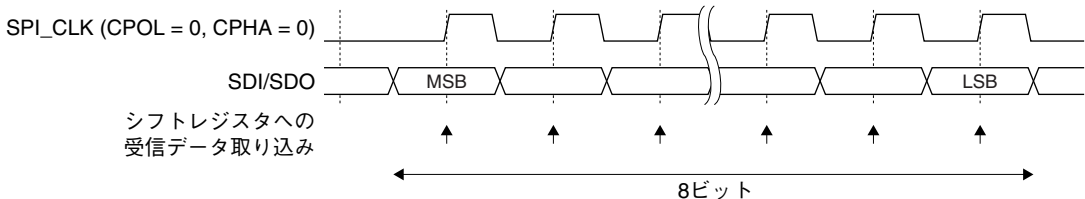
このブートシーケンスでは、最大4GB(4サイクルアドレス)までのSPI方式EEPROMをサポートしています。また、SPIは以下のとおり設定されます。

ビットレート: OSC3 / 16 (例: OSC3 = 48MHzの場合、3MHz)

SPIモード: CPOL = 0, CPHA = 0

データビット数: 8ビット

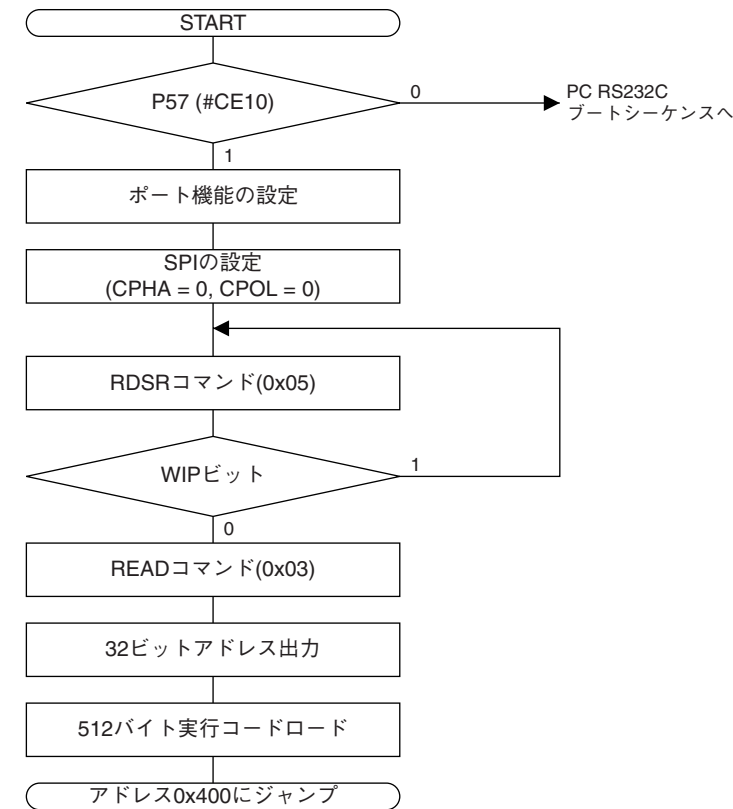
マスタ/スレーブ: マスタ



図D.3.1.2 SPIモード

D.3.2 SPI-EEPROMブートシーケンス

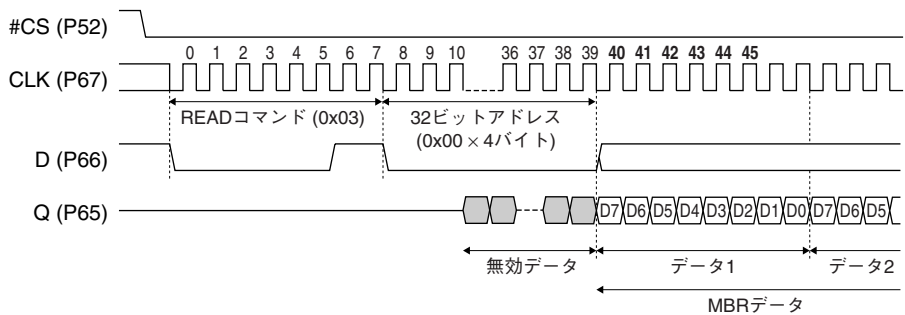
図D.3.2.1にSPI-EEPROMブートのフローチャートを示します。



図D.3.2.1 SPI-EEPROMブートフローチャート

- (1) 電源投入時/リセット時にBOOT1、BOOT0、P57(#CE10)端子が1の場合、内部シーケンサ(エリア1)内のSPI-EEPROMブートシーケンスが実行されます。
- (2) ポートとSPIモジュールの設定を行います。
- (3) RDSR(Read Status Register)コマンド(0x05)を発行し、WIP(Write In Progress)ビットを読み出してEEPROMの状態を確認します。ビジー状態の場合はレディ状態になるまで待ちます。
- (4) READコマンド(0x03)と32ビットアドレス(0x00×4バイト)を発行します。
- (5) 512バイトの実行コードを読み込みます。
実行コードはA0RAMの先頭(0x0～)にロードされます。
- (6) アドレス0x400にジャンプしてロードされたコードを実行します。

図D.3.2.2にSPI-EEPROMのMBRリード開始シーケンスを示します。



図D.3.2.2 EEPROMリード

D.3.3 EEPROMデータ

SPI-EEPROMブートシーケンスでは、EEPROMサイズにかかわらず32ビットのアドレスを発行します。EEPROMサイズによっては、アドレスの出力終了を待たずにデータの出力を開始しますので、MBRコードはその分のオフセットを設けて書き込んでおく必要があります。オフセットのバイトデータは無視されます。

表D.3.3.1と図D.3.3.1にEEPROMサイズに従ったデータの配置を示します。

表D.3.3.1 EEPROMサイズとアドレスサイズ

EEPROMサイズ	アドレスサイズ	MBRデータの位置
1～256バイト	1バイト	Byte 4～Byte 256
0.25K～64Kバイト	2バイト	Byte 3～Byte 514
64K～16Mバイト	3バイト	Byte 2～Byte 513
16M～4Gバイト	4バイト	Byte 1～Byte 512

1サイクルアドレスEEPROM

Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	...	Byte 255	Byte 256
無効			253バイト実行コード				

2サイクルアドレスEEPROM

Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	...	Byte 514	...
無効		512バイト実行コード					

3サイクルアドレスEEPROM

Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	...	Byte 513	...
無効		512バイト実行コード					

4サイクルアドレスEEPROM

Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	...	Byte 512	...
512バイト実行コード							

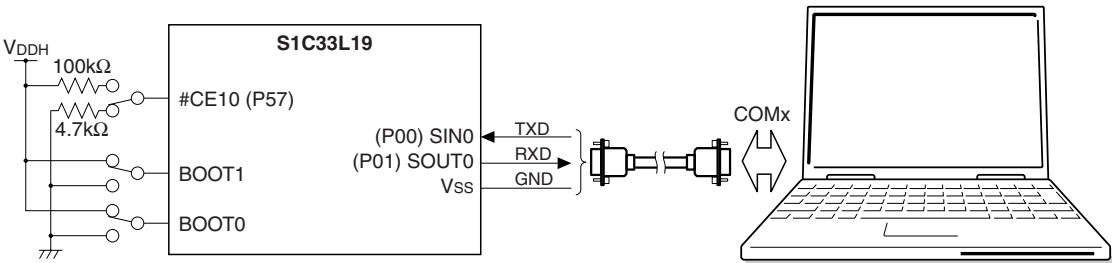
図D.3.3.1 EEPROMサイズによるデータ書き込み位置

D.4 PC RS232Cブート

D.4.1 PC RS232Cブートシステムの構成

BOOT1とBOOT0端子を1(V_{DDH})、#CE10端子を0(V_{SS})に設定して電源を投入またはリセットすると、S1C33L19はシリアルインタフェースCh.0を介してPC(RS232C)からMBRをA0RAMにロードして実行します。

図D.4.1.1にPC RS232Cブートを行うシステムの接続図を示します。



図D.4.1.1 PC RS232Cブートシステム

注: TQFP24-144pinパッケージはPC RS232Cブートをサポートしていません。

表D.4.1.1 PC RS232Cブートに使用する端子

S1C33L19端子	RS232C端子	ブート前の端子状態	ブート後の端子状態
P00/ SIN0 /#DMAACK2	TXD	入力(Hi-Z)	入力(Hi-Z)
P01/ SOUT0 /#DMAACK3	RXD	入力(Hi-Z)	出力
#CE10/ P57 *1	—	入力(内部プルアップ)	入力

*1: BOOT端子によるブートモード設定時にSPI-EEPROMブートまたはPC RS232Cブートを選択するために使用します。

ブートシーケンスの中で上記の端子がシリアルインタフェースCh.0用(**Bold**)に設定されます。したがって、これらの端子を汎用入出力ポートあるいは他の周辺機能用には使用できません。

ボーレートとRS232Cパラメータの設定条件は以下のとおりです。

ボーレート: 自動検出、9600bps typ.(注)

データ長: 8ビット

スタートビット: 1ビット

ストップビット: 1ビット

パリティ: なし

注: 設定可能なボーレートの上限は、S1C33L19システムクロック(OSC3)周波数により表D.4.1.2に示す値となります。最大ボーレート付近では5%程度の誤差が生じることがあります。誤差を少なくしたい場合は、ボーレートを下げてください。

表D.4.1.2 システムクロック周波数とボーレート

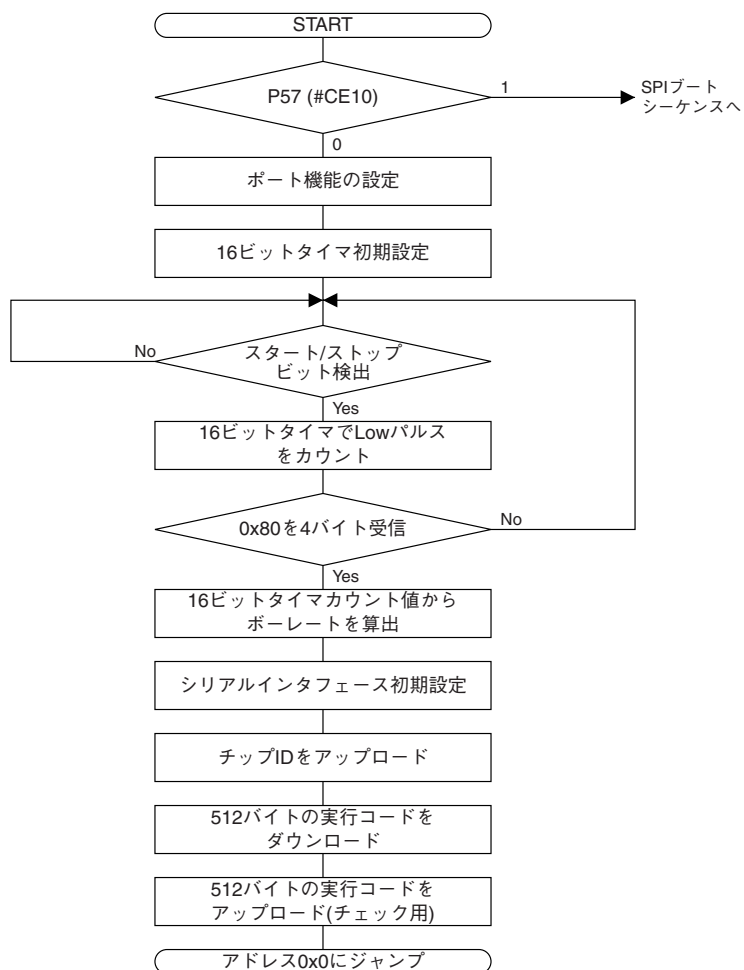
OSC3周波数	> 500kHz	> 4MHz	> 7MHz	> 15MHz	> 20MHz	> 40MHz
最大ボーレート(bps)	1200	9600	19200	38400	57600	115200

AP

Boot

D.4.2 PC RS232Cブートシーケンス

図D.4.2.1にPC RS232Cブートのフローチャートを示します。

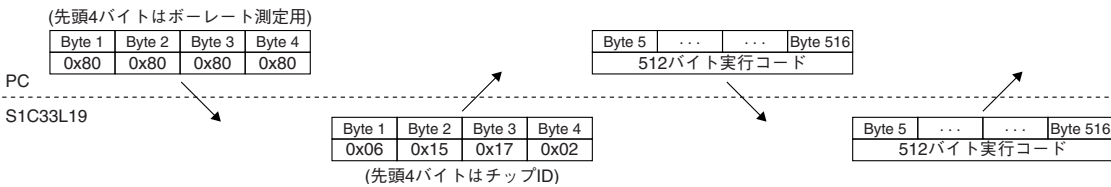


図D.4.2.1 PC RS232Cブートフローチャート

- (1) 電源投入時/リセット時にBOOT1とBOOT0端子が1、P57(#CE10)端子が0の場合、内部シーケンサ(エリア1)内のPC RS232Cブートシーケンスが実行されます。
- (2) ポートと16ビットタイマの設定を行います。
- (3) P00(SIN0)の入力が0(スタートビット)になるまで待機し、スタートビットの入力で16ビットタイマをスタートさせてLowの期間を計測します。
- (4) PCから送られる4バイトの0x80の入力が終わったところで、16ビットタイマのカウント値からボーレートを算出し、シリアルインタフェースを設定して起動させます。
- (5) PCに対して4バイトのチップIDコードをアップロードします。
PCはこのチップIDを確認後、512バイトの実行コードをS1C33L19に送ります。
- (6) 512バイトの実行コードをダウンロードします。
実行コードはA0RAMの先頭(0x0～)にロードされます。
- (7) ダウンロードした512バイトの実行コードをPCにアップロードします。
PCでこのデータを元データと比較し、エラーチェックを行います。
- (8) アドレス0x0にジャンプしてロードされたコードを実行します。

D.4.3 転送データ

PCはボーレート設定用の4バイトの0x80をS1C33L19に送信し、その後S1C33L19から4バイトのチップIDコードを受信したことを確認後、512バイトのMBRコードを送信します。
S1C33L19は受信した4バイトの0x80でボーレートを算出後、シリアルインタフェースを設定して4バイトのチップIDコードを送信します。512バイトのMBRコードを受信後は、ペリファイチェックのために、その内容をPCに返します。
送受信データを図D.4.3.1に示します。



図D.4.3.1 PC RS232Cブート用転送データ

D.5 注意事項

S1C33L19は前述のとおり、各種ブートモードに対応しています。

この中で、

- ・ スモール/ラージページNANDフラッシュブート
- ・ SPI-EEPROMブート

については、S1C33L19内部の専用シーケンスにより構成されています。

この専用シーケンス回路は、以下のデバイスにより機能確認は実施されておりますが、すべてのNANDフラッシュおよびSPI-EEPROM製品に対して動作保証をするものではありません。

このため、本ブート機能は、必ずお客さまのシステム、製品基板上で機能評価、動作確認をした上でご使用ください。

《参考》S1C33L19において基本的な動作確認を行ったSPI-EEPROMの型番

SPI-EEPROM

STMicroelectronics ST M45PE80

注: NANDフラッシュブートについての詳細は、別冊“カードインターフェース(CARD)”を参照してください。

Appendix E 注意事項のまとめ

■メモリ

以下の領域はデバッグ用あるいはシステム用に予約されています。ユーザプログラムから、あるいはデバッグ時にアクセスしないでください。

- エリア0のアドレス0x0～0xF(デバッグモニタを使用する場合)
- エリア1(システム予約領域)
- エリア2(デバッグ用予約領域)
- エリア3のアドレス0x84700～0x847FFと0x90000～0xFFFFF(デバッグ用/システム予約領域)

■高速DMA(HSDMA)

- 転送条件の設定は、必ずDMAコントローラが動作停止中に(HSx_EN(D0/0x30112C + 0x10•x)を0に設定して)行ってください。

* **HSx_EN**: Ch.x Enable Bit in the HSDMA Ch.x Enable Register (D0/0x30112C + 0x10•x)

- イニシャルリセット後、割り込み要因フラグ(FHDMx(Dx/0x300281))は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

* **FHDMx**: HSDMA Ch.x Cause-of-Interrupt Flag in the DMA Interrupt Cause Flag Register (Dx/0x300281)

- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FHDMx)をリセットしてください。

- HSDMAはIDMA(インテリジェントDMA)およびCPUよりも優先順位が高く設定されています。ただし、IDMAと共通の回路を使用しているため、IDMAの転送中はHSDMAがバス権を獲得することはできません。IDMA転送中に発生したHSDMAの起動要求はIDMA転送が終了するまで保留されます。

HSDMA転送中に発生した割り込み要因によるIDMAの起動要求または割り込み要求は、HSDMA転送終了後に受け付けられます。

- デュアルアドレスモードでは、A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、IVRAM(エリア0)をDMA転送元または転送先に指定することはできません。IVRAM(エリア3)、DST RAM(エリア3)、エリア6の周辺I/OレジスタはDMA転送に使用可能です。
- シングルアドレスモードでは、A0RAM(エリア0)、ファームウェア用内部シーケンサ(エリア1)、エリア2、IVRAM(エリア0またはエリア3)、DST RAM(エリア3)、エリア6の周辺I/Oレジスタを転送には使用できません。
- シングルアドレスモードでは、基本的にメモリ間のデータ転送は行えません。メモリ間のシングルアドレス転送を行うには外部ロジックが必要となります。
- 外部メモリにSDRAMを選択しているエリアは、シングルアドレス転送のサポート対象外となります。
- チップをSLEEPモードに設定する場合は、slp命令を実行する前に必ずHSDMAをディセーブルに設定してください。HALTモードはHSDMAがイネーブルのまま設定可能です。

■インテリジェントDMA(IDMA)

- コントロール情報は必ずDST RAM(エリア3)もしくは外部RAMに置いてください。エリア0(A0RAM)とエリア2は、IDMA転送およびコントロール情報の格納には使用できません。
- IDMAベースアドレスレジスタに設定するアドレスは、必ず4ワード単位の境界を指定してください。
- ベースアドレスの設定は、DMA転送を禁止(IDMAEN(D0/0x301105) = 0)して行ってください。DMA転送が許可されている場合(IDMAEN(D0/0x301105) = 1)、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

* **IDMAEN**: IDMA Enable Bit in the IDMA Enable Register (D0/0x301105)

AP

Notes

- IDMAチャネル番号の変更とIDMAの開始を同時に行わないでください。DCHN[6:0](D[6:0]/0x301104)を設定する際は、DSTART(D7/0x301104)に0を書き込んでください。
 - * **DCHN[6:0]**: IDMA Channel Number Set-up Bits in the IDMA Start Register (D[6:0]/0x301104)
 - * **DSTART**: IDMA Start Control Bit in the IDMA Start Register (D7/0x301104)
- コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャネルのDMA転送が発生しない状況で行ってください。
- C33 PEコアは先読み動作を行っているため、ソフトウェアトリガをスタートさせるプログラムの直後に、別のチャネル設定を行わないでください。
- チップをSLEEPモードに設定(slp命令を実行)する場合は、その前に必ずIDMAをディセーブルに設定してください。HALTモードはIDMAがイネーブルのまま設定可能です。

■SRAMコントローラ(SRAMC)

BCLK端子から出力されるクロックは、BCLK(D0/0x301500)によるBCLK分周比の設定にかかわらず、SRAMC_CLKクロックが分周されずにそのまま出力されます。

* **BCLK**: BCLK Divide Control Bit in the BCLK and Setup Time Control Register (D0/0x301500)

■SDRAMコントローラ(SDRAMC)

SDRAMアクセス中に動作クロック(SDCLK)が停止すると、SDRAMが意図しない状態で動作を停止することによってシステムに障害が発生する場合があります。下記の操作はSDCLKを停止しますので、必ずSDRAMへのアクセスが発生しない状態で行ってください。

- S1C33L19をSLEEP状態に設定する
- P21のポート機能をSDCLK出力から、汎用入出力に切り換える
- SDRAMCへのモジュールクロック供給を停止する

CPUのほかに、DMA(SDRAMに対するDMA転送を設定している場合)、およびLCDC(SDRAMをLCDCの表示RAMとして設定している場合)からもSDRAMはアクセスされます。このような場合は、上記の操作を行う前にDMAとLCDCの動作を停止させ、SDRAMへのアクセスが発生しない状態にする必要があります。

■クロックマネージメントユニット(CMU)

- クロック制御レジスタ(0x301B00~0x301B14)は書き込み保護されています。これらのレジスタを書き換えるには、Clock Control Protect Register(0x301B24)に0x96を書き込んで、書き込み保護を解除する必要があります。一度書き込み保護を解除すると、0x96以外に設定し直すまで、クロック制御レジスタには何度でも書き込めます。なお、クロック制御レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はClock Control Protect Register(0x301B24)を0x96以外に設定してください。
- クロックソースを変更する場合、その後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。
また、SLEEPが解除された時点の発振安定待ち時間を作るタイマは、切り換わった後のクロックで動作しますので、この時間を指定するOSCTM[7:0](D[15:8]/0x301B14)とTMHSP(D2/0x301B14)の設定に注意してください。

* **OSCTM[7:0]**: OSC Oscillation Stabilization-Wait Timer in the Clock Option Register (D[15:8]/0x301B14)

* **TMHSP**: Stabilization-Wait Timer High-Speed Mode Select Bit in the Clock Option Register (D2/0x301B14)

- SOSC3(D1/0x301B08)またはSOSC1(D0/0x301B08)を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください(例: S1C33L19ではOSC3が25ms、OSC1が3秒)。
 - * **SOSC3**: High-speed Oscillation (OSC3) On/Off Control Bit in the System Clock Control Register (D1/0x301B08)
 - * **SOSC1**: Low-speed Oscillation (OSC1) On/Off Control Bit in the System Clock Control Register (D0/0x301B08)
- PLLPOWR(D0/0x301B0C)を1に設定してPLLが動作を開始した直後は、出力クロック安定待ち時間(“電気的特性”参照)が必要です(例: S1C33L19では200μs)。システムのクロックソースをPLLに切り換える際は、PLLをOnにした後にこの待ち時間を取ってください。
 - * **PLLPOWR**: PLL On/Off Control Bit in the PLL Control Register (D0/0x301B0C)

- 設定可能なPLL通倍率は上限動作周波数(90MHz)とOSC3発振周波数により変わります。上限動作周波数を越えないように設定してください。
- PLLの設定は、必ずPLLがOff(PLLPOWR(D0/0x301B0C) = 0)、システムのクロックソースがPLL以外(OSCSEL[1:0](D[3:2]/0x301B08) = 0~2)の状態で行ってください。システムがPLLクロックで動作中に設定を変更すると誤動作します。

* **OSCSEL[1:0]:** OSC Clock Select Bits in the System Clock Control Register (D[3:2]/0x301B08)

- #RESET端子を0(Low)にしても、クロックが入力されていないとチップはリセットされません。確実にリセットをかけるためには、少なくともOSC3クロックの3サイクル以上、#RESET = 0を保持してください。なお入出力ポート端子については、クロックが入力されていない場合でもインシャルリセットで初期化されます。
- 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化します。リセット解除時間には十分な余裕をとってください。
- NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。
- SSCGを使用する場合、SSMCITM[3:0](D[15:12]/0x301B10)は0b0001に設定してください。

* **SSMCITM[3:0]:** SSCG Macro Interval Timer Setting Bits in the SSCG Macro Control Register (D[15:12]/0x301B10)

- SSMCIDT[3:0](D[11:8]/0x301B10)は必ず表III.1.7.2.1のとおり、PLL出力クロック周波数に合わせて設定してください。不適切な値を設定してSSCGを使用すると、ICの誤動作につながります。

* **SSMCIDT[3:0]:** SSCG Macro Maximum Frequency Change Width Setting Bits in the SSCG Macro Control Register (D[11:8]/0x301B10)

- PLLがOffの場合、SSCGにクロックが供給されないことによりSSMCIDT[3:0](D[11:8]/0x301B10)とSSMCITM[3:0](D[15:12]/0x301B10)の初期値や書き込み値が正しく読み出せません(異なる値が読み出されます)。PLLをOnにすると、正しく読み出せるようになります。
- SSCGのOn/Offは、以下に示す手順のとおり、SSCGモジュールに安定したクロックが供給されている状態で行ってください。

SSCGのOn手順

1. PLLをOnします。
2. PLL安定時間以上待機します。
3. SSCGをOnします。

SSCGのOff手順

1. SSCGをOffします。
2. PLLをOffします。

- SS変調はPLL出力クロックに対して行われます。PLLクロック以外にSS変調をかけることはできません。システムクロックにPLLクロックを使用しない場合は、SSCGもOffとしてください。

■ 割り込みコントローラ (ITC)

- SLEEPモードでは、起床要因の割り込み信号入力からITCへのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ(ITC)による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになるとITCの割り込み要因フラグがセットされず割り込みが発生しない場合があります。

さらに、ITCからCPUに割り込み要求が伝わるまでも時間差があるため、CPUは割り込み処理を開始する前に、slp命令に続く数命令を実行してしまう場合があります。

NMIによる起床時も同様で、クロック供給開始前に#NMI信号がインアクティブになるとNMIフラグがセットされず、割り込み処理が発生しない場合があります。

- スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。

IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

AP

Notes

- C33 PEコアの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、ITCでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
- リセットオンリー方式で割り込み要因フラグをリセットする(1を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで1にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする(0を書き込む)場合、0を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
また、IDMAリクエストレジスタ、IDMAイネーブルレジスタのセットオンリー方式、リード/ライト方式についても同様の注意が必要です。
- イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- CPU～ITC間のインタフェース仕様により、割り込み発生信号のラッチと割り込みベクタおよび割り込みレベルのラッチの間にタイムラグがあります。

(1)CPUがITCからの割り込み発生信号をラッチ



(2)CPUがITCからの割り込みベクタおよび割り込みレベルをラッチ



(3)割り込みハンドラを実行

割り込みベクタおよび割り込みレベルのラッチが終了する前(1と2の間)に割り込み発生信号の生成に関わるレジスタ(ITCの割り込みイネーブルや割り込み要因)を操作した場合、不正割り込み例外(ベクタ番号: 11)が発生します。

このため、CPUの割り込みを許可した状態(PSRのIEビット = 1)で、割り込み発生信号に関わるレジスタを操作した場合、非常にまれですが不正割り込み例外が発生することがあります。

不正割り込み例外が発生した場合でも、例外処理ルーチン内で何も行わなければプログラムの動作には影響を与えません。

不正割り込み例外を発生させないためには、割り込み発生信号の生成に関わるレジスタを操作する前にCPUの割り込みを禁止(PSRのIEビット = 0)してください。

■リアルタイムクロック(RTC)

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“III.3.3.5 カウンタのホールドとビジーフラグ”および“III.3.3.6 動作中のカウンタのリード/ライト”を参照してください。
- RTC24H(D4/0x301908)を書き換えて12時間制/24時間制を変更すると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24H(D4/0x301908)を変更した場合は、これらのカウンタのデータを再設定してください。

* **RTC24H:** 24H/12H Mode Select Bit in the RTC Control Register (D4/0x301908)

- 以下のようなカウンタの設定は計時ミスの原因になりますので避けてください。
 - 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
 - カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。
- RTCの割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。
電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIEN(D0/0x301904)を0(割り込み禁止)に設定してください。また、RTCI RQ(D0/0x301900)も必ず1を書き込んでリセットしてください。
 - * **RTCIEN**: RTC Interrupt Enable Bit in the RTC Interrupt Mode Register (D0/0x301904)
 - * **RTCI RQ**: Interrupt Status Bit in the RTC Interrupt Status Register (D0/0x301900)
- 電源投入時など、OSC1発振回路を動作させた直後は、発振の安定に時間(約3秒)が必要です。この時間が経過するまでは、RTCのカウントを開始しないでください。

■Miscレジスタ

- 0x300010～0x30001A番地のMiscレジスタは書き込み保護されています。これらのMiscレジスタを書き換えるには、Misc Protect Register(0x300020)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x300010～0x30001A番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMisc Protect Register(0x300020)を0x96以外に設定してください。
- Miscレジスタへのクロック供給は以下のビットで制御します。番地により設定するビットが異なりますので注意してください。
 - 0x300010～0x300020: MISC_HCKE(D24/0x301B04)
 - 0x300C41～0x300C4D: EGPI O_MISC_CKE(D12/0x301B04)
 各制御ビットの詳細については“III.1 クロックマネージメントユニット(CMU)”を参照してください。
- Low駆動制御ビットは、バス信号を汎用入出力ポート(Pxx)に設定した場合は無効です。
- 外部メモリから命令をフェッチしている状態でバス信号をLowにすると正常動作しなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

■16ビットタイマ(T16)

- カウントクロックや動作モードの設定は、16ビットタイマが停止中に行ってください。
- コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。
- タイマ出力を使用する場合、コンペアデータはA ≥ 0、B ≥ 1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- 通常モードの場合、コンペアデータをA > Bに設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、A > 2 × B + 1に設定すると、コンペアマッチA信号は発生しません。
- イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

AP

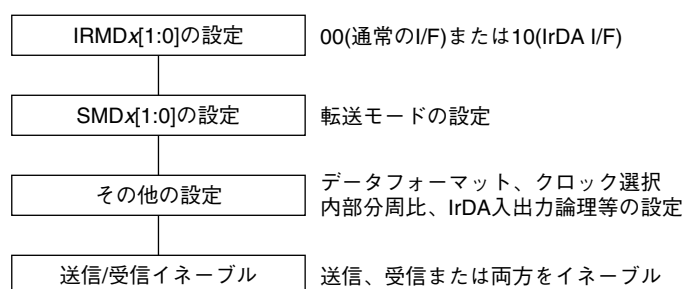
Notes

■ウォッチドッグタイマ(WDT)

- ウォッチドッグタイマによるNMIまたはリセット信号出力を許可した場合は、設定したNMI/リセット発生周期以内にウォッチドッグタイマをリセットする必要があります。
- 比較データレジスタには0x0000001F以下の値は設定しないでください。
- カウンタと比較レジスタの値によっては、NMIまたはリセット機能をイネーブルにした後、あるいはウォッチドッグタイマをスタートした後すぐに、NMIまたはリセットが発生する場合があります。NMIEN(D1/0x300662)、RESEN(D0/0x300662)またはRUNSTP(D4/0x300662)に1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。
 - * **NMIEN**: Watchdog Timer NMI Enable Bit in the Watchdog Timer Enable Register (D1/0x300662)
 - * **RESEN**: Watchdog Timer RESET Enable Bit in the Watchdog Timer Enable Register (D0/0x300662)
 - * **RUNSTP**: Watchdog Timer Run/Stop Control Bit in the Watchdog Timer Enable Register (D4/0x300662)

■汎用シリアルインタフェース(EFSIO)

- シリアルインタフェースの各種設定は、送受信が禁止の状態($TXEN_x = RXEN_x = 0$)で行ってください。
 - * **TXEN_x**: Serial I/F Ch.x Transmit Enable Bit in the Serial I/F Ch.x Control Register (D7/0x300Bx3)
 - * **RXEN_x**: Serial I/F Ch.x Receive Enable Bit in the Serial I/F Ch.x Control Register (D6/0x300Bx3)
- シリアルインタフェースが送信(受信)中は、TXEN_x(RXEN_x)を0に設定しないでください。また、slp命令も実行しないでください。
- クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN_xとRXEN_xを同時に許可に設定することはできません。
- イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- シリアルインタフェースは、次の手順で初期設定してください。



図E.1 シリアルインタフェースの初期設定手順

- クロック同期式マスタモードで送信する場合、上記のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みはボーレートタイマからのクロックがシリアルインタフェースに供給されている状態(具体的には最低1回はボーレートタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- シリアルインタフェースの転送レートは、クロック同期式モードで最大8Mbps、調歩同期式モードで最大1Mbpsと規定します。これ以上の転送レート(ボーレート)は設定しないでください。
- 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。

- クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにボーレートタイマのリロード値を設定してください。
- 送信許可ビットTXEN_xに0を書き込んで送信禁止に設定すると送信データバッファ(FIFO)がクリア(初期化)されます。同様に、受信許可ビットRXEN_xに0を書き込んで受信禁止に設定すると受信データバッファ(FIFO)がクリア(初期化)されます。送受信終了後は、これらのビットに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。
- IrDAの受信時、RZI変調回路はSIN_xからの入力信号をエッジ(IRRL_x = 0のときは立ち上がりエッジ、IRRL_x = 1のときは立ち下がりエッジ)で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

* **IRRL_x**: Serial I/F Ch.x IrDA I/F Input Logic Inversion Bit in the Serial I/F Ch.x IrDA Register (D2/0x300Bx4)

■シリアルペリフェラルインタフェース(SPI)

- SPI制御レジスタ(0x301700~0x30171C)のリード/ライトには必ず32ビットアクセス命令を使用し、16ビットおよび8ビットアクセス命令は使用しないでください。
- BSYF(D6/0x301714)が1の間(データの転送中)は、SPI Control Register 1(0x301708)、SPI Control Register 2(0x30170C)およびSPI Wait Register(0x301710)にアクセスしないでください。

* **BSYF**: Transfer Busy Flag in the SPI Status Register (D6/0x301714)

- 誤動作を避けるため、SPI回路を停止(ENA(D0/0x301708)を0に設定)する前には、必ずSPI Interrupt Control Register(0x301718)に0x0を書き込み、すべてのSPI割り込み要求を禁止してください。

* **ENA**: SPI Enable Bit in the SPI Control Register 1 (D0/0x301708)

■カードインタフェース(CARD)

- ATA(CF)、LAN(イーサネット、ワイヤレス)、モデムなどの16ビットPCカードを想定し、I/Oカードとしての接続に対応しています。SRAMカードなどには未対応です。
- 活線挿抜には対応していません。電源OFFの状態でカードを抜き差ししてください。また、自動認識にも対応していません。
- DMA、ZV、CardBusにも対応していません。
- PCカードの電源電圧(5V、3.3V)とS1C33L19の電源電圧の違いに関しては、バッファ IC S1C37120などで対応してください。
- EDCジェネレータは、1つのデータ編成モード(512バイト×8ビットモード)のみをサポートしています。
- EDC機能を使用する場合、カードのI/O信号はD[15:0]端子に接続する必要があります。
- EDC生成機能を使用するには、EDCRST(D0/0x300311)をセットしておく必要があります。

* **EDCRST**: EDC Circuit Reset Bit in the EDC Reset/Ready Register (D0/0x300311)

- EDCEN(D0/0x300312)はカードデータをリード/ライトするときのみセットしてください。コマンドやアドレスの入力時、あるいはステータス読み出し時はディセーブルにしておきます。

* **EDCEN**: EDC Circuit Enable Bit in the EDC Enable Register (D0/0x300312)

AP

Notes

■汎用入出力ポート(GPIO)

- ・ イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- ・ 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- ・ SLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。再起動は、立ち上がりとしち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。

slp命令実行後、立ち下がりエッジ割り込みで再起動と設定した場合は、次のように動作します。slp命令実行時に割り込みポートのレベルがすでにLowレベルの場合は、一瞬だけSLEEP状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルがHighレベルの場合は、ポート入力がLowに変化するまでSLEEP状態が保持されます。したがって、SLEEP状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。

- ・ デフォルトでデバッグ用端子に設定されるP15～P17およびP34～P36端子を汎用入出力ポートとして使用する場合は、TRCMUX(D0/0x300014)を0にクリアしてください。
* **TRCMUX:** P15～17, P34～36 Debug Function Select Bit in the Debug Port MUX Register (D0/0x300014)
ただし、TRCMUX(D0/0x300014)を0に設定するとデバッグのPCトレース機能が使用できなくなります。
- ・ ポート入力割り込みが入力信号のエッジで発生するように割り込み条件を設定している場合でも、割り込みを確実に発生させるには、ポート動作クロックの1クロック以上のパルス幅を持つ信号を入力する必要があります。

■A/D変換器(ADC)

- ・ モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
* **ADE:** A/D Enable Bit in the A/D Control/Status Register (D2/0x300544)
- ・ 変換精度を考慮すると、A/D変換クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- ・ プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。
- ・ イニシャルリセット後、FADE(D1/0x300287)とFADC(D0/0x300287)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
* **FADE:** A/D Conversion Completion Interrupt Cause Flag in the Port Input 4-7, RTC, A/D Interrupt Cause Flag Register (D1/0x300287)
* **FADC:** A/D Out-of-Range Interrupt Cause Flag in the Port Input 4-7, RTC, A/D Interrupt Cause Flag Register (D0/0x300287)
- ・ 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- ・ A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DD}～V_{SS}間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/0x300544)を0、デフォルト)に設定してください。
- ・ 16ビットタイマ0のコンペアマッチB信号をトリガ要因とした場合、タイマが使用するプリスケアラの分周比をMCLK/1に設定しないでください。

- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- 入力ポートにはソフトウェアで制御可能なプルアップ抵抗が付いています。アナログ入力に使用するポートのプルアップ抵抗は無効にして(切り離して)ください。
- ICDを使用したデバッグ時のブレークモード中は、内部設計上の制限によりA/D変換器の動作クロックが停止します。そのため、A/D変換動作は停止し、レジスタへの書き込みも行えなくなります。レジスタ値の読み出しは可能です。

■LCDコントローラ(LCDC)

- LCD表示中にLCDCへのクロック供給を停止することはできません。LCDCへのクロック供給を停止するには、LCDCがパワーセーブモードに設定されている必要があります。
- STNパネルを使用する場合、HR-TFTのタイミングパラメータ設定用レジスタはすべて0x0に設定してください。
- 表示アドレスの指定はすべてワード境界またはワード数のため、Main Window Line Address Offset Register(0x301A74)は(32ビット ÷ bpp)の倍数にしなければなりません。LCDパネルより大きな画像の表示が不要な場合でも、LCD水平解像度とbppモードによってはLCDパネルより大きな画像領域を確保して適切なラインアドレスオフセットを設定する必要があります。

たとえば、1bppモードでLCD水平解像度と画像幅が240ピクセルの場合、

ラインアドレスオフセット = $240 \times 1 / 32 = 7.5$ [ワード]

この場合、MWLADR[9:0](D[9:0]/0x301A74)は8に設定する必要があります。また、画像も256(8 × 32)ピクセルの幅で用意しなければなりません。

* **MWLADR[9:0]**: Main Window Line Address Offset Bits in the Main Window Line Address Offset Register (D[9:0]/0x301A74)

このページはブランクです。

Appendix F クロック制御補足説明

■クロック制御に関する注意事項

- 周辺モジュールへのクロック供給はCMUのGated Clock Control Register 0(0x301B00)およびGated Clock Control Register 1(0x301B04)で制御を行います。
- 周辺モジュールを機能させるにはクロックの供給が必要です。
- 周辺モジュールを機能させる場合だけでなく、モジュールのレジスタにアクセスする場合もクロックの供給が必要です。
- デフォルト設定でクロックが供給されるモジュールと供給されないモジュールがありますので注意が必要です(下表参照)。

■クロック制御機能一覧

モジュール	制御ビット名	アドレス:ビット	機 能
RTC	RTCSAPB_CKE	0x301B04 : D0	RTC SAPBインタフェースへのクロック(MCLK)の供給を制御
DMA	DMA_CKE	0x301B04 : D1	DMAコントローラへのクロック(MCLK)の供給を制御
ITC	ITC_CKE	0x301B04 : D2	ITCへのクロック(MCLK)の供給を制御
ADC	ADC_CKE	0x301B04 : D3	A/D変換器へのクロック(MCLK)の供給を制御
CARD	CARD_CKE	0x301B04 : D4	カードインタフェースへのクロック(MCLK)の供給を制御
EFSIO	EFSIOSAPB_CKE	0x301B04 : D5	EFSIO SAPBインタフェースへのクロック(MCLK)の供給を制御
SPI	SPI_CKE	0x301B04 : D6	SPIへのクロック(MCLK)の供給を制御
SRAMC	SRAMSAPB_CKE	0x301B04 : D7	SRAMC SAPBインタフェースへのクロック(MCLK)の供給を制御
GPIO	GPIO_CKE	0x301B04 : D8	GPIOへのクロック(MCLK)の供給を制御
WDT	WDT_CKE	0x301B04 : D9	ウォッチドッグタイマへのクロック(MCLK)の供給を制御
I ² S	I ² S_CKE	0x301B04 : D11	I ² Sインタフェースへのクロック(MCLK)の供給を制御
EGPIO/MISC	EGPIO_MISC_CKE	0x301B04 : D12	EGPIOおよびMiscレジスタ(0x300C41~0x300C4D)へのクロック(MCLK)の供給を制御
T16	TM0_CKE	0x301B04 : D13	16ビットタイマ0へのクロック(MCLK)の供給を制御
T16	TM1_CKE	0x301B04 : D14	16ビットタイマ1へのクロック(MCLK)の供給を制御
T16	TM2_CKE	0x301B04 : D15	16ビットタイマ2へのクロック(MCLK)の供給を制御
T16	TM3_CKE	0x301B04 : D16	16ビットタイマ3へのクロック(MCLK)の供給を制御
LCDC	IVRAMARB_CKE	0x301B04 : D19	IVRAMアービタへのクロック(MCLK)の供給を制御
MISC	MISC_HCKE	0x301B04 : D24	HALT時のMiscレジスタ(0x300010~0x300020)へのクロック(MCLK)の供給を制御
EFSIO	EFSIOBR_HCKE	0x301B04 : D25	HALT時のEFSIOボーレートタイマへのクロック(MCLK)の供給を制御
SRAMC	SRAMC_HCKE	0x301B04 : D26	HALT時のSRAMCへのクロック(MCLK)の供給を制御
GPIO	GPIONSTP_HCKE	0x301B04 : D27	HALT時のGPIO入力/割り込み回路へのクロック(MCLK)の供給を制御
LCDC	LCDCAHB_HCKE	0x301B04 : D28	HALT時のLCDC_AHBバスへのクロック(MCLK)の供給を制御
CPU	CPUAHB_HCKE	0x301B04 : D29	HALT時のCPU_AHBバスへのクロック(MCLK)の供給を制御
LCDC	LCDC_CKE	0x301B00 : D0	LCDCモジュールへのクロック(LCDC_CLK)の供給を制御 *1
LCDC	LCDCSAPB_CKE	0x301B00 : D1	LCDC SAPBバスインタフェースへのクロック(MCLK)の供給を制御 *1
LCDC	LCDCAHBIF_CKE	0x301B00 : D2	LCDC_AHBバスインタフェースへのクロック(MCLK)の供給を制御 *1
LCDC	DSTRAM_CKE	0x301B00 : D3	エリア3のDST RAMへのクロック(MCLK)の供給を制御
SDRAMC	SDSAPB_CKE	0x301B00 : D4	SDRAMC SAPBバスインタフェースへのクロック(MCLK)の供給を制御
SDRAMC	SDAPLCDC_CKE	0x301B00 : D5	SDRAMC LCDC_AHBバスインタフェースへのクロック(MCLK)の供給を制御
SDRAMC	SDAPCPU_CKE	0x301B00 : D6	SDRAMC CPU_AHBバスインタフェースへのクロック(MCLK)の供給を制御
SDRAMC	SDAPCPU_HCKE	0x301B00 : D7	HALT時のSDRAMC CPU_AHBバスインタフェースへのクロック(MCLK)の供給を制御
USB	USB_CKE	0x301B00 : D8	USBモジュールへのクロック(OSC3 = 48MHz)の供給を制御
USB	USBSAPB_CKE	0x301B00 : D9	USB SAPBバスインタフェースへのクロック(MCLK)の供給を制御

*1: IVRAMとA0RAMの切り換えを行う場合は1に設定する必要があります(次ページ参照)。

■IVRAM(A0RAM)のエリア切り換え時のクロック制御

デフォルト設定でエリア3にLCDC用表示メモリとして配置されるIVRAMは、LCDCモジュール内の制御ビットの設定によりエリア0に配置してA0RAMとして使用することができます。

LCDCモジュールを使用しない場合でも、このエリア切り換え時にはLCDCモジュールにクロックを供給する必要があります。

以下にIVRAMをエリア3からエリア0に切り換える手順を示します。

1. LCDCモジュールへのクロック供給

IRAM(D0/0x301A64)にアクセスするため、以下の制御ビットを1に設定してLCDCモジュールにクロックを供給します。

- * **LCDC_CKE**: LCDC Main Clock Control Bit in the Gated Clock Control Register 0 (D0/0x301B00)
- * **LCDCSAPB_CKE**: LCDC SAPB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D1/0x301B00)
- * **LCDCAHBIF_CKE**: LCDC AHB Bus Interface Clock Control Bit in the Gated Clock Control Register 0 (D2/0x301B00)

これらの制御ビットはデフォルトで1に設定されています。

2. エリア3(IVRAM)→エリア0(A0RAM)の切り換え

エリアの切り換えはLCDCモジュール内の制御ビットIRAM(D0/0x301A64)により行います。

- * **IRAM**: IRAM Assignment Bit in the IRAM Select Register (D0/0x301A64)

エリア0(A0RAM)に切り換えるにはIRAM(D0/0x301A64)を1に設定します。

IRAM = 0: IVRAM/エリア3(デフォルト)

IRAM = 1: A0RAM/エリア0

3. LCDCモジュールへのクロック供給を停止

ステップ1に示した3つの制御ビットを0に設定し、LCDCモジュールへのクロック供給を停止させます。

4. IVRAMアービタのクロックを停止

IVRAMをA0RAMとして使用する場合、IVRAMアービタは必要ありません。IVRAMARB_CKE(D19/0x301B04)を0に設定し、IVRAMアービタへのクロック供給を停止させます。

- * **IVRAMARB_CKE**: IVRAM Arbiter Clock Control Bit in the Gated Clock Control Register 1 (D19/0x301B04)

この制御ビットはデフォルトで1に設定されています。

セイコーエプソン株式会社

半導体事業部 IC営業部

〈IC国内営業グループ〉

東京 〒1948501 東京都日野市日野421-8
TEL042587-5313(直通) FAX(042587-5116

大阪 〒5440059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL066120-6000(代表) FAX(066120-6100

インターネットによる電子デバイスのご紹介

<http://www.epson.jp/device/semicon/>