

S1V30080 シリーズ ハードウェア仕様書

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. 概要.....	1
2. 特長.....	2
3. 機種構成.....	3
4. ピン配置.....	4
4.1 SSOP2-16(外部クロック入力).....	4
4.2 SSOP2-16(振動子接続).....	5
4.3 QFP12-48.....	6
4.4 QFP13-52(外部クロック入力).....	7
4.5 QFP13-52(振動子接続).....	8
5. 端子説明.....	9
5.1 端子説明 1.....	9
5.2 端子説明 2.....	11
6. 機能説明.....	14
6.1 標準アプリケーションシステム.....	14
6.2 システムクロック.....	15
6.3 ホストインターフェイス.....	16
7. 電気的特性.....	17
7.1 絶対最大定格.....	17
7.2 推奨動作条件.....	17
7.3 DC特性.....	18
7.3.1 電源電圧 5.0±0.5VにおけるDC特性.....	18
7.3.2 電源電圧 3.3±0.3VにおけるDC特性.....	20
7.3.3 電源電圧 2.4±0.2VにおけるDC特性.....	22
7.3.4 動作時電源電流－内部システムクロック周波数特性.....	24
7.4 AC特性.....	25
7.4.1 システムクロックタイミング.....	25
7.4.2 電源投入／リセットタイミング.....	26
7.4.3 コマンド受付タイミング.....	27
7.4.4 スタンドアローンモード制御タイミング.....	28
7.4.5 外付けシリアルフラッシュメモリからの初期化タイミング.....	29
7.4.6 シリアルホストインターフェイス (SPI).....	30
7.4.7 シリアルホストインターフェイス (I2C).....	31
7.4.8 MSG_RECEIVE出力.....	32
7.4.9 SOUND_PLAYING出力.....	33
7.4.10 外付けシリアルフラッシュメモリ・アクセスタイミング.....	34
7.4.11 電源切断タイミング.....	35

7.4.12 CE端子によるスリープモード開始タイミング	36
8. 外部接続例	37
8.1 システムクロック	37
8.1.1 直接入力	37
8.1.2 振動子	38
8.2 シリアルホストインターフェイス	40
8.2.1 SPI	40
8.2.2 I2C	41
8.3 スタンドアロン接続	42
8.4 外付けシリアルフラッシュメモリ・インターフェイス	43
8.5 CE端子によるスリープモード制御	44
9. 外形寸法図	45
9.1 SSOP2-16	45
9.2 QFP12-48	46
9.3 QFP13-52	47
10. 参考資料	48
10.1 応用回路例(SSOP2-16)	48
10.2 応用回路例(QFP12-48/13-52)	49
10.3 応用回路例（音声出力部）	50
10.4 ミュート開始／解除タイミング	51
10.5 電源に関する注意事項	52
10.6 クロック直接入力時の注意	53
10.7 実装上の注意事項	54
10.7.1 発振回路	54
10.7.2 リセット回路	55
10.7.3 電源回路	55
10.7.4 信号線の配置	55
10.7.5 ノイズなどによる誤動作	56
10.7.6 その他	56
10.8 製品型番体系	57
改訂履歴表	58

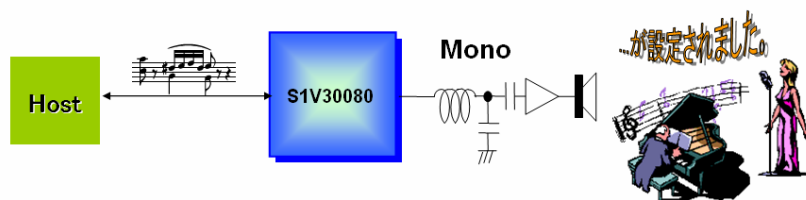
1. 概要

S1V30080 は内蔵 ROM に格納された音声データ再生機能に加え、ホストからの音符コード送信、またはホストに格納された音符情報に対応したメロディ再生が可能な LSI です。内蔵 ROM からの音声読み出し機能とメロディ・シンセサイザ機能は独立であるため、両音のミキシングが可能であり、独立ボリューム設定が可能です。

音声データの作成には、EPSON から提供する EPSON Speech LSI 音声データ作成ツールを使用する事で、スタジオ録音の手間無く容易にテキストデータから高品質な音声データが作成可能となり、またメロディの音符コード作成についても EPSON から提供するメロディ作成ツールを使用することで、容易に作成することができます。

ホストとのコミュニケーションはシリアルインターフェイスによるコマンド制御、またはホストレスでも動作可能なスタンドアローン・モードもサポートしており、あらゆる既存システムに容易に Add-On 可能です。

S1V30080 を使用することで、音声ガイダンス機能内蔵製品の Time-to-Market が実現可能となります。



2. 特長

2. 特長

- **メロディ／ブザー音／トーン・シンセサイザ機能**
 - 音符コード(5 オクターブ)入力により 5ch のメロディ再生可能
 - 再生周波数指定(5ch 可能)によるブザー音／トーン再生可能
- **音声再生**
 - 2ch 同時読み出し可能な音声再生機能 (EPSON オリジナルデータフォーマット)
 - サンプリングレート : 4, 8, 12, 16 kHz
- **シーケンサ機能 (フレーズ間設定)**
 - 最大 127 フレーズのシーケンス設定可能(組み合わせ制限なし)
 - フレーズ間のディレイ設定可能時間 : 0 - 1000ms (10ms ステップ)
- **ミキシング機能**
 - メロディ・シンセサイザによるサウンドと、ROM からの音声のミキシングが可能 (独立にボリューム設定可)
- **内蔵音声データ用 ROM**
 - fs:8kHz : 約 30 秒、fs:16kHz : 約 15 秒
- **外付けシリアルフラッシュメモリ・アクセス**
 - パッケージオプションにより外付けシリアルフラッシュメモリにアクセスができます。
(S1V30080F00**00、S1V30080F10**00)
- **シリアルホストインターフェイス**
 - 同期式シリアルインターフェイス (SPI、I2C) ... [コマンド制御]
- **スタンドアロンモード**
 - ROM 内部に格納された情報 (再生番号) を外部端子設定で指定することだけで、再生が可能
- **DA コンバータ内蔵クロック (外部クロック入力／水晶発振子／セラミック発振子)**
 - fs:8kHz : 8.192MHz、fs:16kHz : 16.384MHz
- **パッケージ**
 - SSOP-16pin (4.4mm x 6.6mm, 0.8mm Pin ピッチ)
 - QFP-48pin (7mm x 7mm, 0.5mm Pin ピッチ) ... 外付けシリアルフラッシュメモリ対応
 - QFP-52pin (10mm x 10mm, 0.65mm Pin ピッチ) ... 外付けシリアルフラッシュメモリ対応
(S1V30080F10**00 のみ)
- **電源電圧**
 - 2.2-5.5V 単一電源

3. 機種構成

S1V30080 シリーズの機種構成を表 3.1 に示します。

システムクロック源及びパッケージ種類により、機種が異なります。

表 3.1 S1V30080 シリーズ 機種構成

製品型番	システムクロック源	外付けシリアル フラッシュメモリ	パッケージ
S1V30080M00**00	外部クロック入力	接続不可	SSOP2-16
S1V30080M01**00	振動子接続	接続不可	SSOP2-16
S1V30080F00**00	外部クロック入力	接続可	QFP12-48
S1V30080F10**00	外部クロック入力	接続可	QFP13-52
S1V30080F11**00	振動子接続	接続不可	QFP13-52

4. ピン配置

4. ピン配置

4.1 SSOP2-16(外部クロック入力)

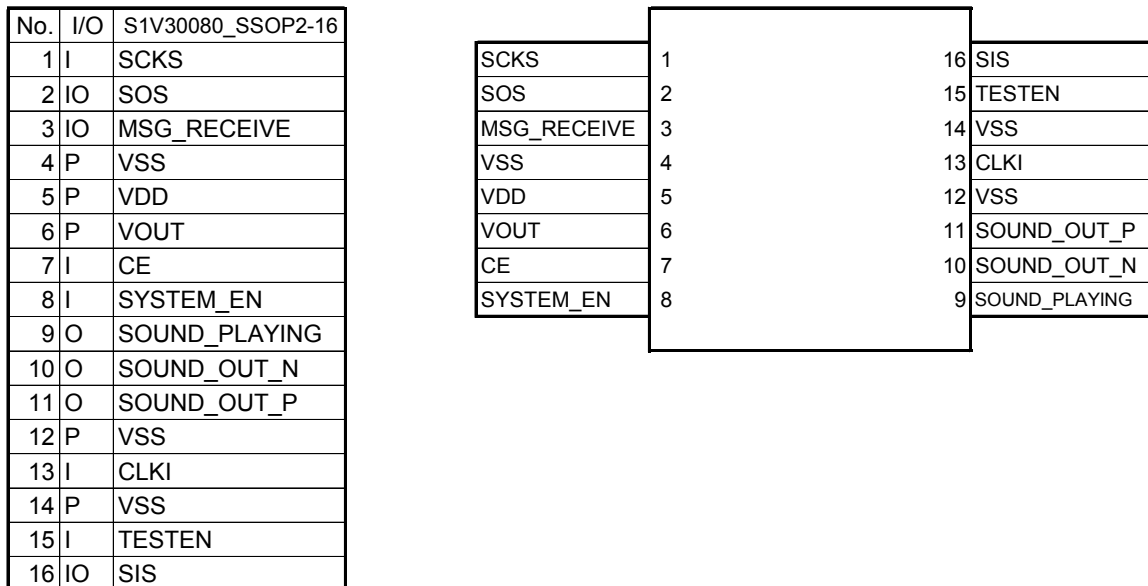


図 4.1 SSOP2-16(外部クロック入力)ピン配置

4.2 SSOP2-16(振動子接続)

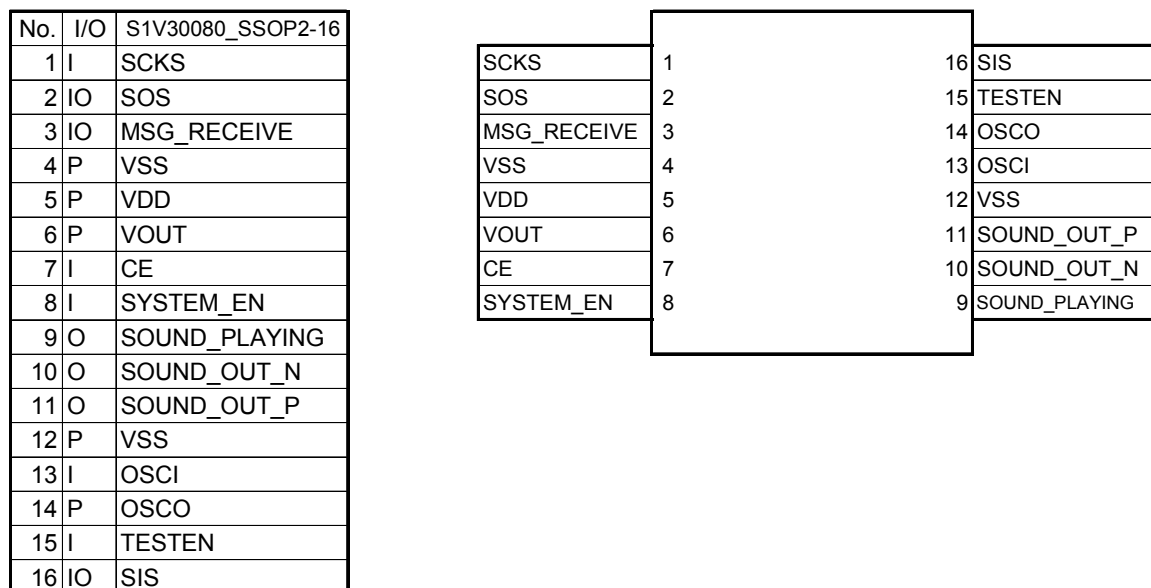


図 4.2 SSOP2-16(振動子接続)ピン配置

4. ピン配置

4.3 QFP12-48

No.	I/O	S1V30080_QFP12-48
1	I	SCKS
2	IO	SOS
3	IO	MSG_RECEIVE
4		-
5	I	FLASH_EN
6	P	VSS
7	P	VDD
8	P	VOUT
9		-
10		-
11	I	CE
12	I	SYSTEM_EN
13		-
-24		-
25	O	SOUND_PLAYING
26	O	SOUND_OUT_N
27	O	SOUND_OUT_P
28	O	FLASH_NSCSM
29	P	VSS
30	I	CLKI
31	P	VSS
32	O	FLASH_SOM
33	O	FLASH_SCKM
34	I	FLASH_SIM
35	I	TESTEN
36	IO	SIS
37		-
-48		-

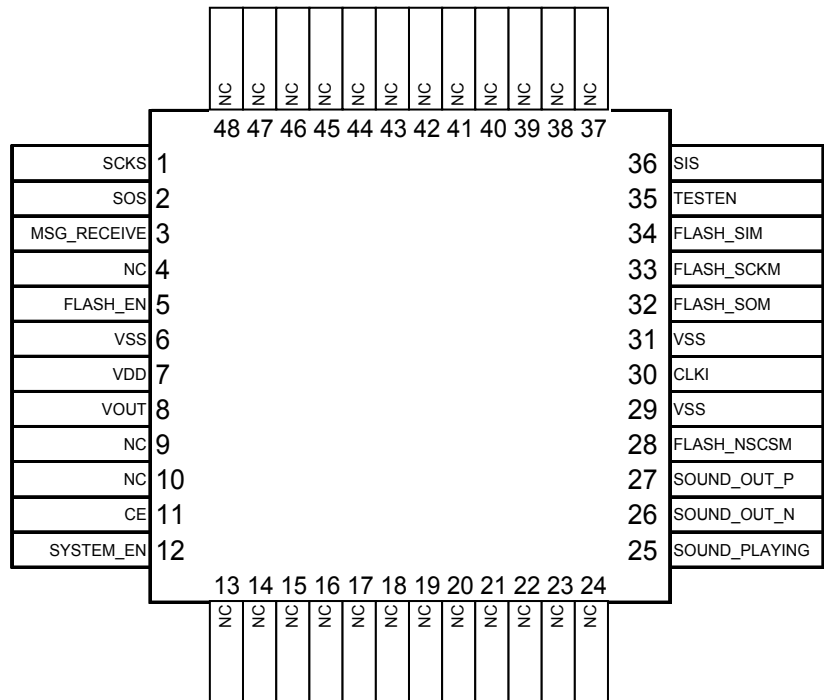


図 4.3 QFP12-48 ピン配置

4.4 QFP13-52(外部クロック入力)

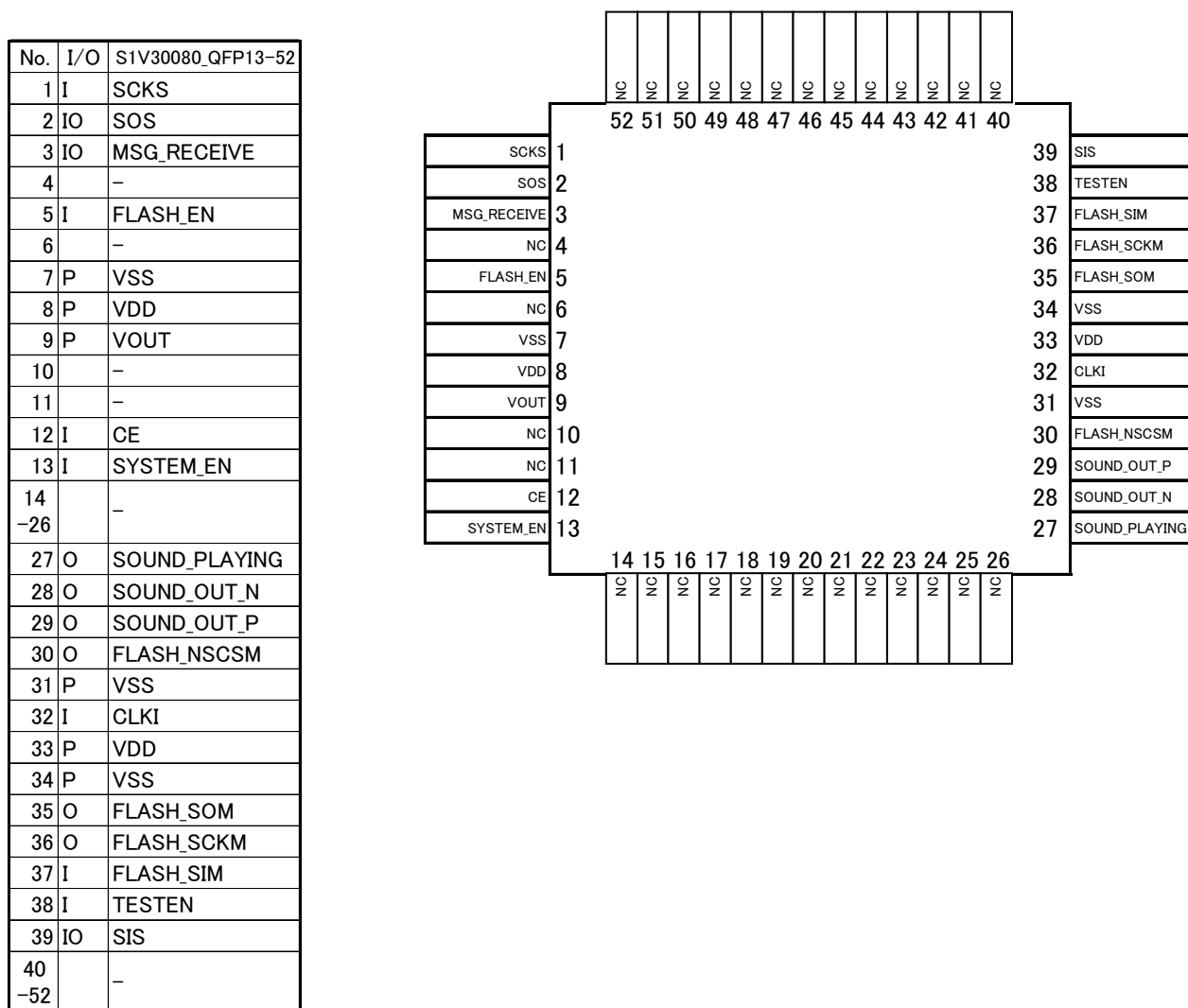


図 4.4 QFP13-52(外部クロック入力)ピン配置

4. ピン配置

4.5 QFP13-52(振動子接続)

No.	I/O	S1V30080_QFP13-52
1	I	SCKS
2	IO	SOS
3	IO	MSG_RECEIVE
4		-
5	I	TEST1
6		-
7	P	VSS
8	P	VDD
9	P	VOUT
10		-
11		-
12	I	CE
13	I	SYSTEM_EN
14		-
-26		-
27	O	SOUND_PLAYING
28	O	SOUND_OUT_N
29	O	SOUND_OUT_P
30		-
31	P	VSS
32	I	TEST0
33	I	OSCI
34	O	OSCO
35		-
36		-
37		-
38	I	TESTEN
39	IO	SIS
40		-
-52		-

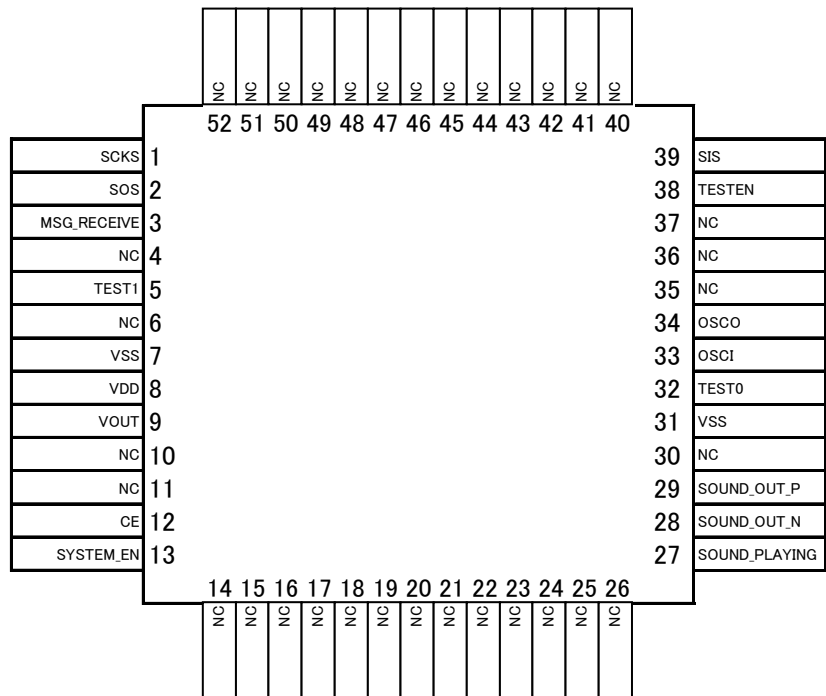


図 4.5 QFP13-52(振動子接続)ピン配置

5. 端子説明

- 凡例
 - I = 入力端子
 - O = 出力端子
 - IO = 双方向端子
 - P = 電源端子
 - Z = ハイインピーダンス
- I/O セル種類

記号	機能
IC	LVC MOS 入力
IH	LVC MOS シュミット入力
O1	出力バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
O2	出力バッファ (出力電流 4.0mA / -4.0mA@5.0V(typ.))
T1	3-state 出力バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
BC1	双方向バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
BH1	双方向バッファ シュミット入力 (出力電流 2.0mA / -2.0mA@5.0V(typ.))
LLIN	Transparent Input (1.8V)
LLOT	Transparent Output (1.8V)
HLIN	Transparent Input (VDD)
ITST1	プルダウン抵抗 (120kΩ@1.8V(typ.)) 付きテスト入力

5.1 端子説明 1

パッケージ種類

PKG1・・・SSOP2-16(外部クロック入力)

PKG2・・・SSOP2-16(振動子接続)

PKG3・・・QFP12-48

端子名称 (SPI/ I2C/ スタンドアロン)	PKG 1	PKG 2	PKG 3	I/O	I/O セル 種類	SYSTEM_EN=L における状態	CE=L における 状態	I/O 電源	機能
ホストインターフェイス									
SIS/ SDA/ SET_PLAY0	16	16	36	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ入力 【I2C】 データ入出力 【Stand Alone】 SET_PLAY0
SCKS/ SCL/ SET_PLAY1	1	1	1	I	IH1	Z	Z	VDD	【SPI】 シリアルクロック入力 【I2C】 シリアルクロック入力 【Stand Alone】 SET_PLAY1
SOS/ -/ SET_PLAY2	2	2	2	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ出力 【I2C】 外部にて Low 固定 【Stand Alone】 SET_PLAY2
MSG_RECEIVE/ MSG_RECEIVE/ SET_PLAY3	3	3	3	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ受信終了 【I2C】 シリアルデータ受信終了 【Stand Alone】 SET_PLAY3
SOUND_PLAYING	9	9	25	O	O1	L	Z	VDD	サウンド出力期間出力

5. 端子説明

端子名称	PKG 1	PKG 2	PKG 3	I/O	I/O セル 種類	SYSTEM_EN=L における状態	CE=L における状態	I/O 電源	機能
音声出力									
SOUND_OUT_P	11	11	27	O	O2	L	Z	VDD	サウンド出力(正相)
SOUND_OUT_N	10	10	26	O	O2	L	Z	VDD	サウンド出力(逆相)
システムクロック									
CLKI	13	-	30	I	IH	Z	Z	VDD	クロック入力 (6.2項を参照)
OSCI	-	13	-	I	LLIN	Z	Z	-	振動子接続端子 (6.2項を参照)
OSCO	-	14	-	O	LLOT	-	-	-	振動子接続端子 (6.2項を参照)
システム制御									
CE	7	7	11	I	HLIN	Z	-	VDD	内部降圧レギュレータ 動作(H)/停止(L)
SYSTEM_EN	8	8	12	I	IH	-	Z	VDD	本システムの動作(H)/停止(L)
テスト入出力									
TESTEN	15	15	35	I	ITST1	Pull-down	Pull-down	-	テストモード制御端子 (通常動作時は Low に固定してください。)
外部シリアルフラッシュメモリ制御									
FLASH_EN	-	-	5	I	IH	Z	Z	VDD	外部シリアルフラッシュリード アクセスイネーブル
FLASH_SCKM	-	-	33	O	T1	Z	Z	VDD	外部シリアルフラッシュ用シリアル クロック出力
FLASH_NSCSM	-	-	28	O	T1	Z	Z	VDD	外部シリアルフラッシュスレーブ 選択出力
FLASH_SIM	-	-	34	I	IH	Z	Z	VDD	外部シリアルフラッシュ用シリアル データ入力
FLASH_SOM	-	-	32	O	T1	Z	Z	VDD	外部シリアルフラッシュ用シリアル データ出力

(次頁に続く)

端子名称	PKG 1	PKG 2	PKG 3	I/O	機能
電源					
VDD	5	5	7	P	I/O セル電源 (VDD-VSS 間にバイパスコンデンサを接続し、 VDD 端子と VSS 端子をできるだけ最短で接続 してください。)
VOUT	6	6	8	P	内部降圧レギュレータ出力 (VOUT-VSS 間に1 μ F のバイパスコンデンサを 接続し、VOUT 端子と VSS 端子をできるだけ 最短で接続してください。)
VSS	4, 12, 14	4, 12	6, 29, 31	P	I/O セルおよび内部領域 GND
未使用					
NC	-	-	4, 9, 10, 13~24, 37~48	NC	必ず OPEN にてご使用ください。

5.2 端子説明 2

パッケージ種類

PKG4・・・QFP13-52(外部クロック入力)

PKG5・・・QFP13-52(振動子接続)

端子名称 (SPI/ I2C/ スタンドアローン)	PKG 4	PKG 5	-	I/O	I/O セル 種類	SYSTEM_EN=L における状態	CE=L における 状態	I/O 電源	機能
ホストインターフェイス									
SIS/ SDA/ SET_PLAY0	39	39	-	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ入力 【I2C】 データ入出力 【Stand Alone】 SET_PLAY0
SCKS/ SCL/ SET_PLAY1	1	1	-	I	IH1	Z	Z	VDD	【SPI】 シリアルクロック入力 【I2C】 シリアルクロック入力 【Stand Alone】 SET_PLAY1
SOS/ -/ SET_PLAY2	2	2	-	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ出力 【I2C】 外部にて Low 固定 【Stand Alone】 SET_PLAY2
MSG_RECEIVE/ MSG_RECEIVE/ SET_PLAY3	3	3	-	IO	BH1	Z	Z	VDD	【SPI】 シリアルデータ受信終了 【I2C】 シリアルデータ受信終了 【Stand Alone】 SET_PLAY3
SOUND_PLAYING	27	27	-	O	O1	L	Z	VDD	サウンド出力期間出力
音声出力									
SOUND_OUT_P	29	29	-	O	O2	L	Z	VDD	サウンド出力(正相)
SOUND_OUT_N	28	28	-	O	O2	L	Z	VDD	サウンド出力(逆相)

5. 端子説明

端子名称	PKG 4	PKG 5	-	I/O	I/O セル 種類	SYSTEM_EN=L における状態	CE=L における 状態	I/O 電源	機能
システムクロック									
CLKI	32	-	-	I	IH	Z	Z	VDD	クロック入力 (6.2項を参照)
OSCI	-	33	-	I	LLIN	Z	Z	-	振動子接続端子 (6.2項を参照)
OSCO	-	34	-	O	LLOT	-	-	-	振動子接続端子 (6.2項を参照)
システム制御									
CE	12	12	-	I	HLIN	Z	-	VDD	内部降圧レギュレータ 動作(H)/停止(L)
SYSTEM_EN	13	13	-	I	IH	-	Z	VDD	本システムの動作(H)/停止(L)
テスト入出力									
TESTEN	38	38	-	I	ITST1	Pull-down	Pull-down	-	テストモード制御端子 (通常動作時は Low に固定してく ださい。)
TEST0	-	32	-	I	IH	Z	Z	VDD	テスト入力端子 (通常動作時は Low に固定してく ださい。)
TEST1	-	5	-	I	IH	Z	Z	VDD	テスト入力端子 (通常動作時は Low に固定してく ださい。)
外部シリアルフラッシュメモリ制御									
FLASH_EN	5	-	-	I	IH	Z	Z	VDD	外部シリアルフラッシュリード アクセスイネーブル
FLASH_SCKM	36	-	-	O	T1	Z	Z	VDD	外部シリアルフラッシュ用シリ アルクロック出力
FLASH_NSCSM	30	-	-	O	T1	Z	Z	VDD	外部シリアルフラッシュスレー ブ選択出力
FLASH_SIM	37	-	-	I	IH	Z	Z	VDD	外部シリアルフラッシュ用シリ アルデータ入力
FLASH_SOM	35	-	-	O	T1	Z	Z	VDD	外部シリアルフラッシュ用シリ アルデータ出力

(次頁に続く)

5. 端子説明

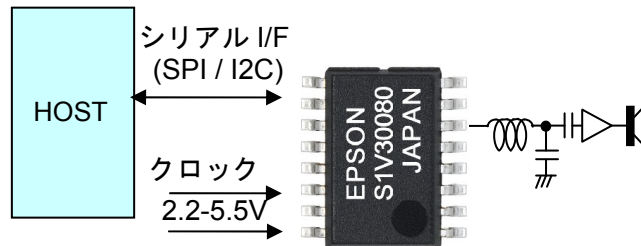
端子名称	PKG 4	PKG 5	-	I/O	機能
電源					
VDD	8, 33	8	-	P	I/O セル電源 (VDD-VSS 間にバイパスコンデンサを接続し、 VDD 端子と VSS 端子をできるだけ最短で接続 してください。)
VOUT	9	9	-	P	内部降圧レギュレータ出力 (VOUT-VSS 間に1 μ F のバイパスコンデンサを 接続し、VOUT 端子と VSS 端子をできるだけ 最短で接続してください。)
VSS	7, 31, 34	7, 31	-	P	I/O セルおよび内部領域 GND
未使用					
NC	4, 6, 10, 11 14~26, 40~52	4, 6, 10, 11 14~26, 30, 35~37 40~52	-	NC	必ず OPEN にてご使用ください。

6. 機能説明

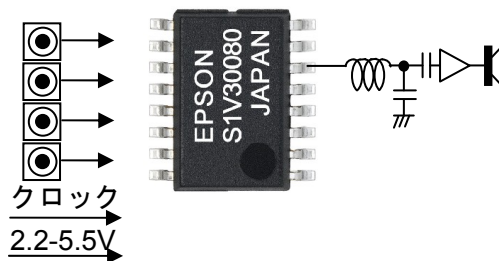
6. 機能説明

6.1 標準アプリケーションシステム

S1V30080 シリーズの標準アプリケーションシステムは下図のような構成となります。ホストはシリアルインターフェイスを介したコマンド制御（メッセージプロトコル）により S1V30080 を制御します。また端子設定によるスタンダローンモードもサポートしております。



シリアル・インターフェイスモード



スタンダローンモード

6.2 システムクロック

S1V30080 の入力クロック周波数および内部システムクロックは、以下の設定値より決定されます。

- 入力クロック分周比
- サンプルング周波数
- DAC ビット幅

- 入力クロック周波数(kHz)
= 入力クロック分周比 × サンプルング周波数(kHz) × 2^{DAC ビット幅}
- 内部システムクロック(MCLK)周波数(kHz)
= サンプルング周波数(kHz) × 2^{DAC ビット幅}

表 6.1 に入力クロックおよび S1V30080 の設定例を示します。

表 6.1 システムクロック モード設定

入力クロック周波数 (kHz)	内部システムクロック (MCLK)周波数(kHz)	入力クロック 分周比	サンプルング 周波数(kHz)	DAC ビット幅
4096	1024	4	4	8
8192	8192	1	8	10
16384	16384	1	16	10

それぞれの設定方法については「S1V30080 シリーズ メッセージプロトコル仕様書」を参照してください。

また、クロック源として、直接入力 (CLKI端子より入力) または振動子 (OSCI/OSCO端子に接続) のいずれかを選択することができます。クロック源の選択は製品型番によります。詳細は「表 3.1 S1V30080 シリーズ 機種構成」をご覧ください。

6. 機能説明

6.3 ホストインターフェイス

S1V30080 のホストインターフェイスは、SPI、I2C およびスタンドアローンモード 1,2 のいずれかを選択することができます。

ホストインターフェイスの選択は、「S1V30080 シリーズ サウンドツール」で作成される ROM データの設定により定義されます。

詳細は「S1V30080 シリーズ サウンドツールユーザーガイド」をご参照ください。

- I2C

I2C スレーブモードに対応

最大転送速度：内部システムクロック(MCLK)/20 (I2C バスの立ち上がり時間が内部システムクロック周期以内の場合)

- SPI

スレーブモードに対応

データ長：8 ビット固定、MSB ファースト

最大転送速度：内部システムクロック(MCLK)/20 (SPI バスの立ち上がり時間が内部システムクロック周期以内の場合)

- スタンドアローンモード 1,2

4PIN の制御により動作

表 6.2 ホストインターフェイス モード設定

インターフェイス	ホストインターフェイス系端子の設定			
	SIS	SCKS	SOS	MSG_RECEIVE
I2C 注	データ入出力	シリアルクロック 入力	(外部にて Low 固定)	シリアルデータ 受信終了
SPI 注	データ入力	シリアルクロック 入力	データ出力	シリアルデータ 受信終了
スタンドアローン 1,2 注	SET_PLAY[0]	SET_PLAY[1]	SET_PLAY[2]	SET_PLAY[3]

注) 各インターフェイスの制御の詳細については、「S1V30080 シリーズ メッセージプロトコル仕様書」を参照してください。

7. 電気的特性

7.1 絶対最大定格

(VSS = 0V)

項目	記号	定格値	単位
電源電圧	VDD	VSS-0.3 ~ 7.0	V
入力電圧	VI	VSS-0.3 ~ VDD+0.5	V
出力電圧	VO	VSS-0.3 ~ VDD+0.5	V
出力電流／端子	IOUT	±10	mA
保存温度	Tstg	-65~+150	°C

7.2 推奨動作条件

(VSS = 0V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 1	VDD	2.2	-	5.5	V
電源電圧 2 注1	VDD	3.0	-	5.5	V
入力電圧	VI	VSS	-	VDD	V
出力電圧	VO	VSS	-	VDD	V
周囲温度	Ta	-40	25	85	°C

注 1) 外付けシリアルフラッシュメモリ・アクセス時の電源電圧。外付けシリアルフラッシュメモリのご使用時にはシリアルフラッシュメモリの入出力電圧にもご注意ください。

7. 電気的特性

7.3 DC特性

7.3.1 電源電圧 5.0±0.5VにおけるDC特性

(VDD = 5.0±0.5V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
動作時電源電流						
電源電流 注1	IDD	VDD=5.0V f _{MCLK} =16.384MHz	-	4	-	mA
静止電流 1						
電源電流 注2	IDDS1	VIN = VDD or VSS VDD=5.0V CE=VDD SYSTEM_EN=VSS	-	20	-	μA
静止電流 2						
電源電流 注2	IDDS2	VIN = VDD or VSS VDD=5.0V CE=VSS	-	1	-	μA
入力リーク電流						
入力リーク電流		VDD=5.5V VIH=VDD VIL=VSS	-5	-	5	μA
シュミット入力特性 (LVCMOS)						
端子名: CLKI,SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SET_PLAY2,SET_PLAY3, SYSTEM_EN,FLASH_EN,FLASH_SIM						
Hレベル入力電圧	VIH2	-	2.0	-	4.0	V
Lレベル入力電圧	VIL2	-	0.8	-	3.1	V
ヒステリシス電圧	ΔV	-	0.3	-	-	V
出力特性						
端子名: SDA,SOS,MSG_RECEIVE,SOUND_PLAYING,FLASH_SCKM, FLASH_NSCSM,FLASH_SOM						
Hレベル出力電圧	VOH1	VDD=4.5V IOH=-2mA	VDD-0.4	-	-	V
Lレベル出力電圧	VOL1	VDD=4.5V IOL=2mA	-	-	VSS+0.4	V
出力特性						
端子名: SOUND_OUT_P,SOUND_OUT_N						
Hレベル出力電圧	VOH2	VDD=4.5V IOH=-4mA	VDD-0.4	-	-	V
Lレベル出力電圧	VOL2	VDD=4.5V IOL=4mA	-	-	VSS+0.4	V
出力特性						
端子名: SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SOS/-/SET_PLAY2, MSG_RECEIVE/MSG_RECEIVE/SET_PLAY3,FLASH_SCKM, FLASH_NSCSM,FLASH_SOM,SOUND_OUT_P,SOUND_OUT_N						
オフステートリーク電流	IOZ	-	-5	-	5	μA

7. 電気的特性

端子容量		端子名: 全入力端子					
入力端子容量	CI	f=1MHz VDD= 0V	-	-	8	pF	
端子容量		端子名: 全出力端子					
出力端子容量	CO	f=1MHz VDD= 0V	-	-	8	pF	
端子容量		端子名: 全入出力端子					
入出力端子容量	CIO	f=1MHz VDD= 0V	-	-	8	pF	
出力端子許容負荷容量		端子名: FLASH_SCKM,FLASH_SOM,FLASH_NSCSM					
	CL	-	-	-	8	pF	

注 1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値

内部システムクロック周波数 $f_{MCLK}=16.384\text{MHz}$ 時の電流値。

内部システムクロック周波数については「6.2 システムクロック」を参照。

音声出力部の回路は「10.3 応用回路例 (音声出力部)」に示す推奨回路とする。

注 2 推奨動作条件 (Ta=25°C) における静止電流

7. 電気的特性

7.3.2 電源電圧 3.3±0.3VにおけるDC特性

(VDD = 3.3±0.3V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
動作時電源電流						
電源電流 注1	IDD	VDD=3.3V f _{MCLK} =16.384MHz	-	4	-	mA
静止電流 1						
電源電流 注2	IDDS1	VIN = VDD or VSS VDD=3.3V CE=VDD SYSTEM_EN=VSS	-	20	-	μA
静止電流 2						
電源電流 注2	IDDS2	VIN = VDD or VSS VDD=3.3V CE=VSS	-	1	-	μA
入カリーク電流						
入カリーク電流		VDD=3.6V VIH=VDD VIL=VSS	-5	-	5	μA
シュミット入力特性 (LVCMOS)						
端子名: CLKI,SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SET_PLAY2,SET_PLAY3, SYSTEM_EN,FLASH_EN,FLASH_SIM						
H レベル入力電圧	VIH2	-	1.2	-	2.52	V
L レベル入力電圧	VIL2	-	0.75	-	1.98	V
ヒステリシス電圧	ΔV	-	0.3	-	-	V
出力特性						
端子名: SDA,SOS,MSG_RECEIVE,SOUND_PLAYING,FLASH_SCKM, FLASH_NSCSM,FLASH_SOM						
H レベル出力電圧	VOH1	VDD=3.0V IOH=-1.4mA	VDD-0.4	-	-	V
L レベル出力電圧	VOL1	VDD=3.0V IOL=1.4mA	-	-	VSS+0.4	V
出力特性						
端子名: SOUND_OUT_P,SOUND_OUT_N						
H レベル出力電圧	VOH2	VDD=3.0V IOH=-2.8mA	VDD-0.4	-	-	V
L レベル出力電圧	VOL2	VDD=3.0V IOL=2.8mA	-	-	VSS+0.4	V
出力特性						
端子名: SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SOS/-/SET_PLAY2, MSG_RECEIVE/MSG_RECEIVE/SET_PLAY3,FLASH_SCKM, FLASH_NSCSM,FLASH_SOM,SOUND_OUT_P,SOUND_OUT_N						
オフステートリーク電流	IOZ	-	-5	-	5	μA
端子容量						
端子名: 全入力端子						
入力端子容量	CI	f=1MHz VDD= 0V	-	-	8	pF

7. 電気的特性

端子容量		端子名: 全出力端子					
出力端子容量	CO	f=1MHz VDD= 0V	-	-	8	pF	
端子容量		端子名: 全入出力端子					
入出力端子容量	CIO	f=1MHz VDD= 0V	-	-	8	pF	
出力端子許容負荷容量		端子名: FLASH_SCKM,FLASH_SOM,FLASH_NSCSM					
	CL	-	-	-	8	pF	

注 1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値

内部システムクロック周波数 $f_{MCLK}=16.384\text{MHz}$ 時の電流値。

内部システムクロック周波数については「6.2 システムクロック」を参照。

音声出力部の回路は「10.3 応用回路例 (音声出力部)」に示す推奨回路とする。

注 2 推奨動作条件 (Ta=25°C) における静止電流

7. 電気的特性

7.3.3 電源電圧 2.4±0.2VにおけるDC特性

(VDD = 2.4±0.2V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
動作時電源電流						
電源電流 注1	IDD	VDD=2.4V f _{MCLK} =16.384MHz	-	4	-	mA
静止電流 1						
電源電流 注2	IDDS	VIN = VDD or VSS VDD=2.4V CE=VDD SYSTEM_EN=VSS	-	20	-	μA
静止電流 2						
電源電流 注2	IDDS2	VIN = VDD or VSS VDD=2.4V CE=VSS	-	1	-	μA
入力リーク電流						
入力リーク電流		VDD=2.6V VIH=VDD VIL=VSS	-5	-	5	μA
シュミット入力特性 (LVCMOS) 端子名: CLKI,SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SET_PLAY2,SET_PLAY3,SYSTEM_EN,FLASH_EN,FLASH_SIM						
H レベル入力電圧	VIH2	-	0.88	-	1.82	V
L レベル入力電圧	VIL2	-	0.55	-	1.43	V
ヒステリシス電圧	ΔV	-	0.22	-	-	V
出力特性 端子名: SDA,SOS,MSG_RECEIVE,SOUND_PLAYING,FLASH_SCKM,FLASH_NSCSM,FLASH_SOM						
H レベル出力電圧	VOH1	VDD=2.2V IOH=-1.0mA	VDD-0.4	-	-	V
L レベル出力電圧	VOL1	VDD=2.2V IOL=1.0mA	-	-	VSS+0.4	V
出力特性 端子名: SOUND_OUT_P,SOUND_OUT_N						
H レベル出力電圧	VOH2	VDD=2.2V IOH=-2.0mA	VDD-0.4	-	-	V
L レベル出力電圧	VOL2	VDD=2.2V IOL=2.0mA	-	-	VSS+0.4	V
出力特性 端子名: SIS/SDA/SET_PLAY0,SCKS/SCL/SET_PLAY1,SOS/-/SET_PLAY2,MSG_RECEIVE/MSG_RECEIVE/SET_PLAY3,FLASH_SCKM,FLASH_NSCSM,FLASH_SOM,SOUND_OUT_P,SOUND_OUT_N						
オフステートリーク電流	IOZ	-	-5	-	5	μA
端子容量 端子名: 全入力端子						
入力端子容量	CI	f=1MHz VDD =0V	-	-	8	pF

7. 電気的特性

端子容量		端子名: 全出力端子					
出力端子容量	CO	f=1MHz VDD =0V	-	-	8	pF	
端子容量		端子名: 全入出力端子					
入出力端子容量	CIO	f=1MHz VDD =0V	-	-	8	pF	
出力端子許容負荷容量		端子名: FLASH_SCKM,FLASH_SOM,FLASH_NSCSM					
	CL	-	-	-	8	pF	

注 1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値

内部システムクロック周波数 $f_{MCLK}=16.384\text{MHz}$ 時の電流値。

内部システムクロック周波数については「6.2 システムクロック」を参照。

音声出力部の回路は「10.3 応用回路例 (音声出力部)」に示す推奨回路とする。

注 2 推奨動作条件 (Ta=25°C) における静止電流

7. 電気的特性

7.3.4 動作時電源電流—内部システムクロック周波数特性

動作時電源電流の値は内部システムクロック周波数に比例依存します。

図 7.1 は入力クロック分周比=1 として入力クロック周波数を変更した場合の動作時電源電流を示します。

また図 7.2 は入力クロック周波数=16.384MHz と固定して、入力クロック分周比を変えた場合の動作時電源電流を示します。

入力クロック周波数、内部システムクロック周波数、入力クロック分周比については「6.2 システムクロック」を参照してください。

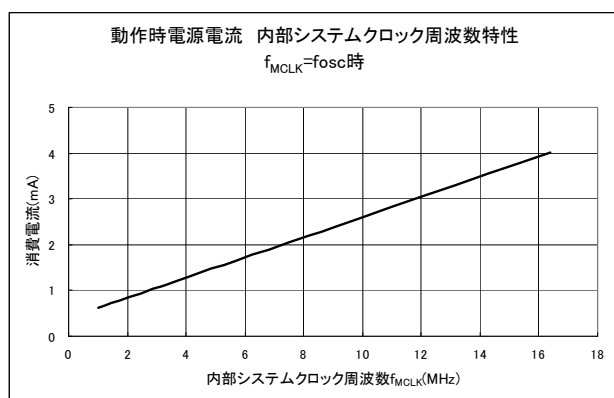


図 7.1 $f_{osc} = f_{MCLK}$ 時の動作時電源電流特性

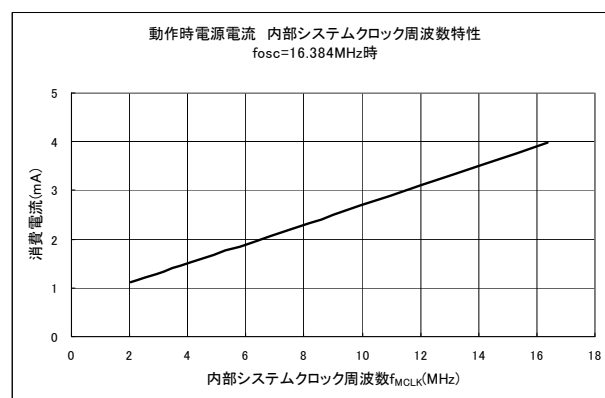


図 7.2 $f_{osc} = 16.384 \text{ MHz}$ (固定) 時の動作時電源電流特性

注 推奨動作条件 ($T_a = 25^\circ\text{C}$) におけるデコード動作時の概算電流値

音声出力部の回路は「10.3 応用回路例 (音声出力部)」に示す推奨回路とする。

7.4 AC特性

7.4.1 システムクロックタイミング

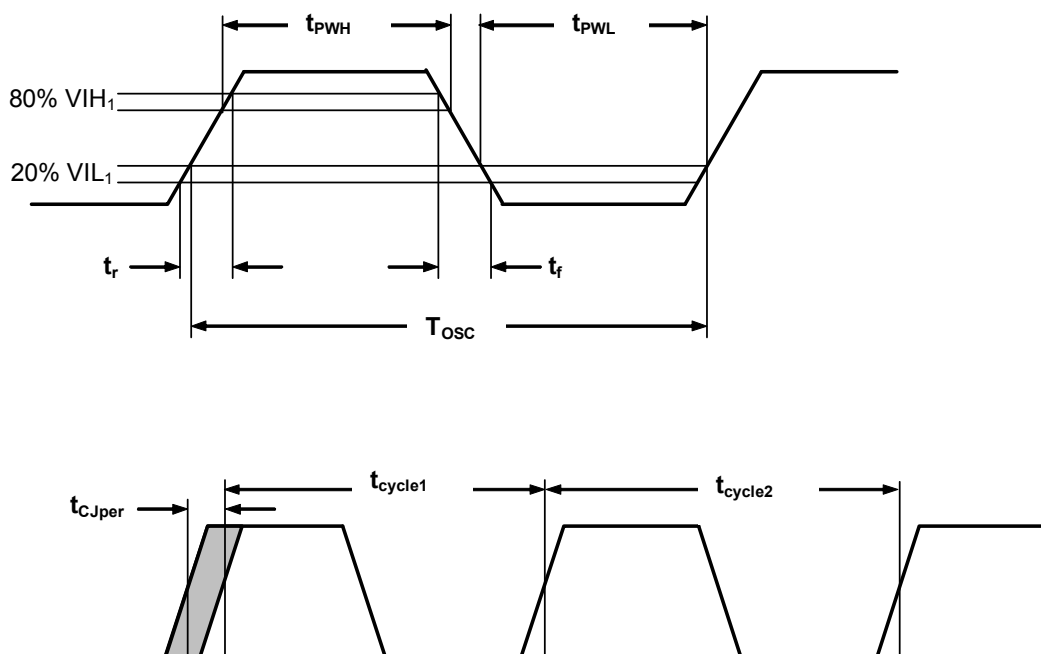


図 7.3 システムクロックタイミング

記号	項目	Min.	Typ.	Max.	単位
f_{osc}	入力クロック周波数	-	注 1	16384	kHz
t_{osc}	入力クロック周期	-	$1/f_{osc}$	-	ms
f_{MCLK}	内部システムクロック周波数	-	注 2	16384	kHz
t_{MCLK}	内部システムクロック周期	-	$1/f_{MCLK}$	-	ms
t_{pwh}	入力クロック High レベルパルス幅	$0.45 \cdot t_{osc}$	-	$0.55 \cdot t_{osc}$	ms
t_{pwl}	入力クロック Low レベルパルス幅	$0.45 \cdot t_{osc}$	-	$0.55 \cdot t_{osc}$	ms
t_r	入力クロック立ち上がり時間 (20%→80%)	-	-	4	ns
t_f	入力クロック立ち下がり時間 (80%→20%)	-	-	4	ns
t_{Cjper}	入力クロック周期ジッタ注 4, 6	-400	-	400	ps
$t_{Cjcycle}$	入力クロックサイクルジッタ注 3, 5, 6	-400	-	400	ps
注 1	入力クロック分周比×サンプリング周波数(kHz)×2 ^{DACビット幅}				
注 2	サンプリング周波数(kHz)×2 ^{DACビット幅}				
注 3	$t_{Cjcycle} = t_{cycle1} - t_{cycle2}$				
注 4	入力クロック周期ジッタは、中心周期（中心周波数の逆数）からの変化です。				
注 5	入力クロックサイクルジッタは、隣接するサイクル間における周期の差分です。				
注 6	ジッタ特性は t_{Cjper} 及び $t_{Cjcycle}$ の両方を満たす必要があります。				
注	クロックは極力オーバーシュート/アンダーシュートがないようにしてください。				

7. 電気的特性

7.4.2 電源投入／リセットタイミング

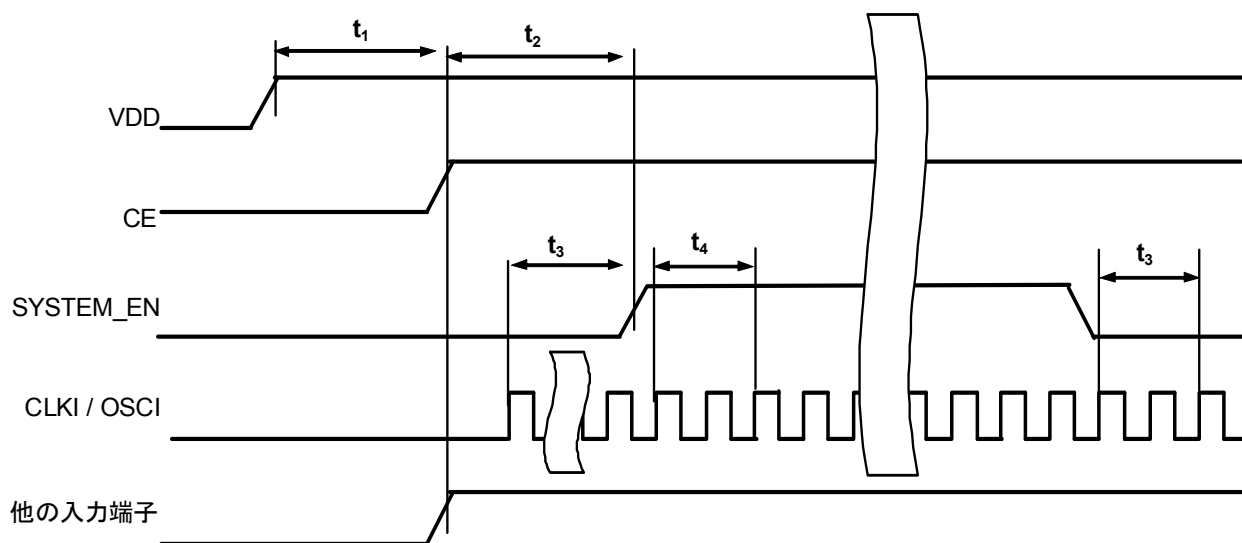


図 7.4 電源投入／リセットタイミング

記号	項目	Min.	Max.	単位
t_1	VDD 立ち上がりから入力信号の立ち上がりまでの時間 ^{注1}	500		μs
t_2	CE 端子の立ち上がりから、SYSTEM_EN=High 直前における CLKI/OSCI 立ち上がりエッジまでの時間	10	-	ms
t_3	電源投入時における最小リセット幅	32	-	t_{osc} ^{注2}
t_4	SYSTEM_EN 内部同期時間 (SYSTEM_EN=Low によるリセット信号が内部回路に適用されるまでの時間)	2	-	t_{osc} ^{注2}
注 1	VDD が切断されている状態で入力端子に信号を印加することは、CHIP の信頼性上問題がありますので避けてください。			
注 2	t_{osc} は CLKI / OSCI の周期です。			

注意)

VDD をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず SYSTEM_EN=Low により回路の初期化を行って下さい。

7.4.3 コマンド受付タイミング

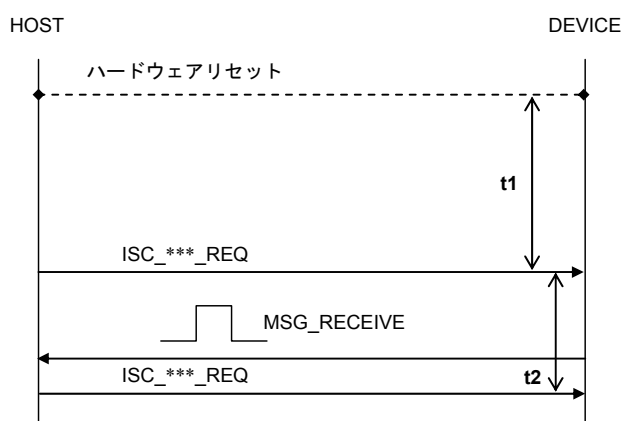


図 7.5 コマンド受付タイミング

ハードウェアリセット後、 t_1 時間を経過してからシステムが立ち上がります。
この後、ISC_***_REQ メッセージフローを使用することができます。

記号	項目	Min.	Max.	単位
t_1	初期化からメッセージ受付可能となるまでの時間 (注 1)	1.0	-	ms
t_2	1 つのメッセージ受付後から次のメッセージ受付可能となるまでの時間 注 1、注 2	16385	-	t_{MCLK} 注 3
注 1	t_1 , t_2 時間にパディングバイトを送信しても問題はありません。			
注 2	「7.4.8 MSG_RECEIVE 出力」も参照してください。			
注 3	t_{MCLK} は内部システムクロック周期です。			

7. 電気的特性

7.4.4 スタンドアローンモード制御タイミング

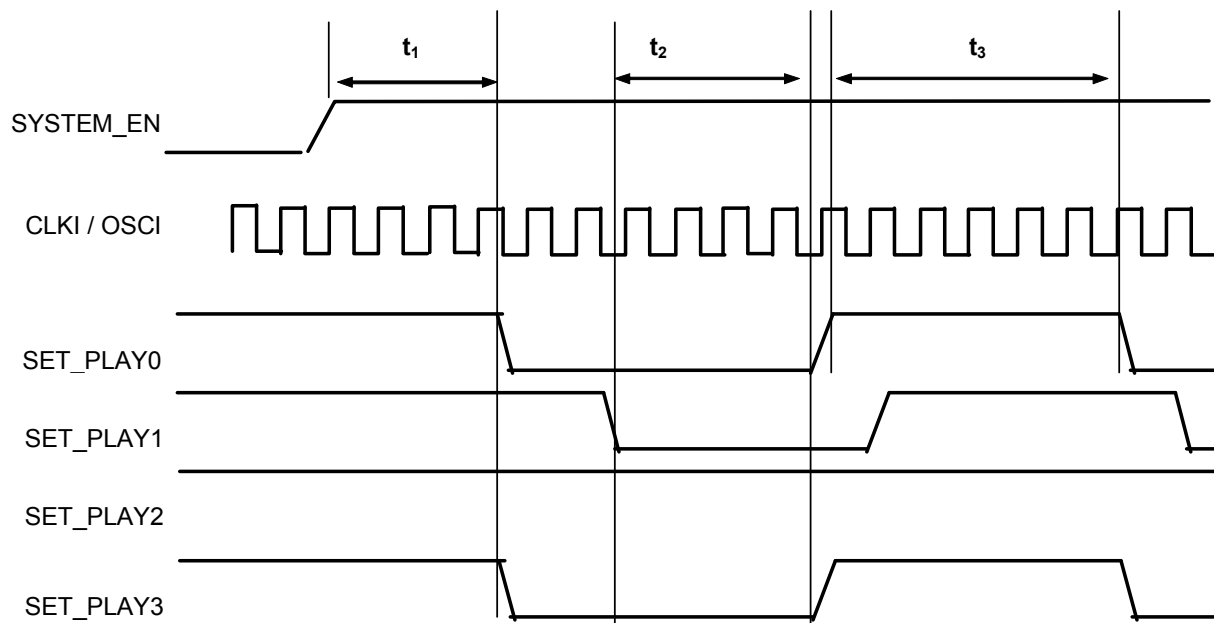


図 7.6 スタンドアローンモード制御タイミング

記号	項目	Min.	Max.	単位
t ₁	SYSTEM_EN=High から制御となるまでの時間	1.0	-	ms
t ₂	スタンドアローンモード制御端子:SET_PLAY=Low 区間	50 注 ¹	-	ms
t ₃	スタンドアローンモード制御端子:SET_PLAY=High 区間	50	-	ms
注 1	スタンドアローンモード 1 においては、選択状態が 50ms 以上継続する必要があります。			

7.4.5 外付けシリアルフラッシュメモリからの初期化タイミング

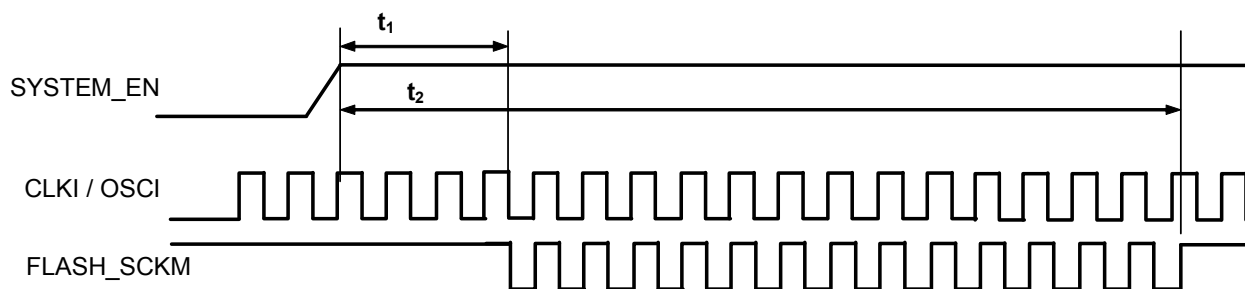


図 7.7 外付けシリアルフラッシュメモリからの初期化

記号	項目	Min.	Max.	単位
t ₁	SYSTEM_EN=High から初期化開始時間	3.5	-	t _{osc} ^{注1}
t ₂	SYSTEM_EN=High から初期化終了時間	1	-	ms
注1	T _{osc} は CLKI / OSCI の周期です。			
注	外付けシリアルフラッシュメモリの起動時間を考慮の上、SYSTEM_EN を制御してください。			

7. 電気的特性

7.4.6 シリアルホストインターフェイス (SPI)

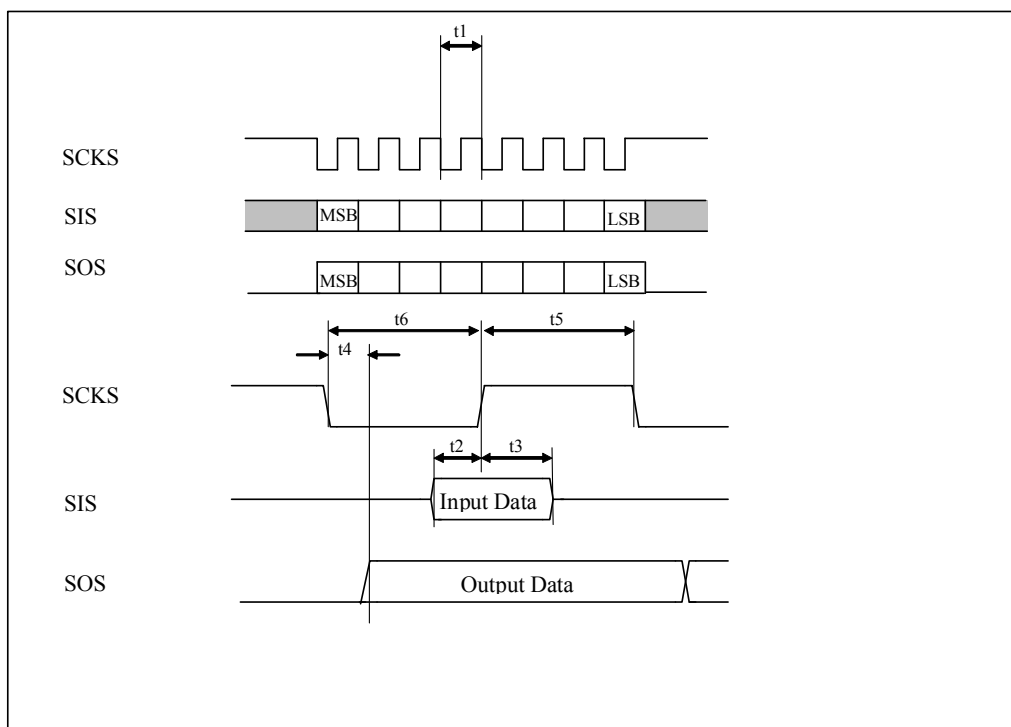


図 7.8 SPI タイミング

記号	項目	Min.	Max.	単位
t_1	SCKS の周期	20	-	t_{MCLK} 注
t_2	SIS セットアップ時間	4	-	t_{MCLK} 注
t_3	SIS ホールド時間	4	-	t_{MCLK} 注
t_4	SCKS 立ち下がりから SOS が有効になるまでの期間	-	5	t_{MCLK} 注
t_5	SCKS クロック High パルス幅	10	-	t_{MCLK} 注
t_6	SCKS クロック Low パルス幅	10	-	t_{MCLK} 注
注	本数値は SPI バスの立ち上がり／立ち下がり時間を t_{MCLK} 以内を前提としております。負荷容量とプルアップ抵抗値により、SPI バスの立ち上がり／立ち下がり時間が t_{MCLK} を超える場合は、本数値が増加しますのでご注意ください。なお t_{MCLK} は内部システムクロック周期です。			

7.4.7 シリアルホストインターフェイス (I2C)

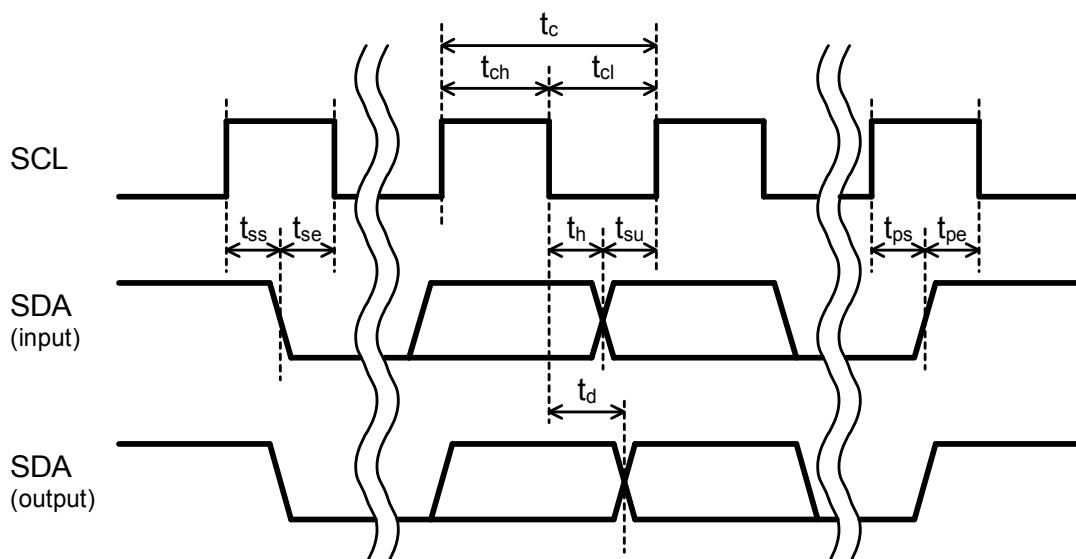


図 7.9 I2C タイミング

記号	項目	Min.	Max.	単位
t_c	SCL クロック周期	20	-	t_{MCLK}
t_{ch}	SCL クロック High パルス幅	10	-	t_{MCLK}
t_{cl}	SCL クロック Low パルス幅	10	-	t_{MCLK}
t_{su}	SDA 入力セットアップ時間	4	-	t_{MCLK}
t_h	SDA 入力ホールド時間	4	-	t_{MCLK}
t_d	SDA 出力遅延時間	-	6	t_{MCLK}
t_{ss}	START 条件開始時間	4	-	t_{MCLK}
t_{se}	START 条件完了時間	4	-	t_{MCLK}
t_{ps}	STOP 条件開始時間	4	-	t_{MCLK}
t_{pe}	STOP 条件完了時間	4	-	t_{MCLK}
注	本数値は I2C バスの立ち上がり／立ち下がり時間を t_{MCLK} 以内を前提としております。 負荷容量とプルアップ抵抗値により、I2C バスの立ち上がり／立ち下がり時間が t_{MCLK} を超える場合は、本数値が増加しますのでご注意ください。なお t_{MCLK} は内部システムクロック周期です。			

7. 電気的特性

7.4.8 MSG_RECEIVE出力

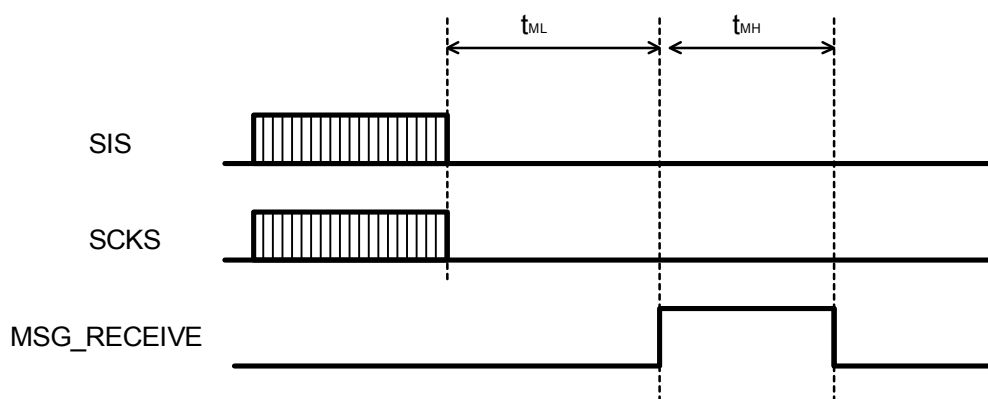


図 7.10 MSG_RECEIVE 出力タイミング

記号	項目	Min.	Max.	単位
t_{ML}	シリアル通信受信終了から MSG_RECEIVE 立ち上がりまでの時間 ^{注1}	16383	16385	t_{MCLK} ^{注3}
t_{MH}	MSG_RECEIVE High 区間時間 ^{注2}	0	16385	t_{MCLK} ^{注3}
注 1	MSG_RECEIVE は S1V30080 がメッセージを受信できたことを示しますので、正常に受信できていないときは、出力されません。 また MSG_RECEIVE が出力される前に次のメッセージを送信することは可能ですが、前のメッセージに対する MSG_RECEIVE しか出力されませんので、本仕様の限りではありません。 ISC_SYNTHESIZER_MELODY_START_REQ に対する MSG_RECEIVE は ISC_SYNTHESIZER_MELODY_START_REQ の送信可能を示しますので、本仕様とは異なります。 また ISC_STATUS_REQ に対する MSG_RECEIVE は ISC_STATUS_RESP 出力後から MSG_RECEIVE 立ち上がりまでの時間が本仕様によりります。 「S1V30080 シリーズ メッセージプロトコル仕様書」も参照してください。			
注 2	MSG_RECEIVE 出力中に次のメッセージを受信した場合、MSG_RECEIVE は Low になります。			
注 3	t_{MCLK} は内部システムクロック周期です。			

7.4.9 SOUND_PLAYING出力

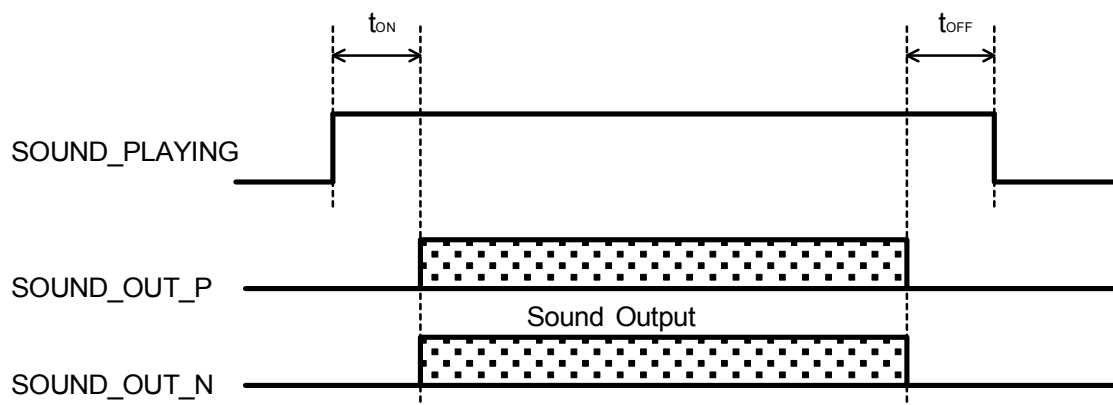


図 7.11 SOUND_PLAYING 出カタイミング

記号	項目	Min.	Max.	単位
t_{ON}	SOUND_PLAYING 立ち上がりからサウンド出力開始までの時間 注 1	49	51	ms
t_{OFF}	サウンド出力終了から SOUND_PLAYING 立下りまでの時間	0	4096	t_{MCLK} 注 2
注 1	SOUND_PLAYING を外付けアンプの MUTE 制御に使う場合は、SOUND_PLAYING 立ち上がりから約 50ms でアンプが立ち上がるようにアンプを調整してください。			
注 2	t_{MCLK} は内部システムクロック周期です。			

7. 電気的特性

7.4.10 外付けシリアルフラッシュメモリ・アクセスタイミング

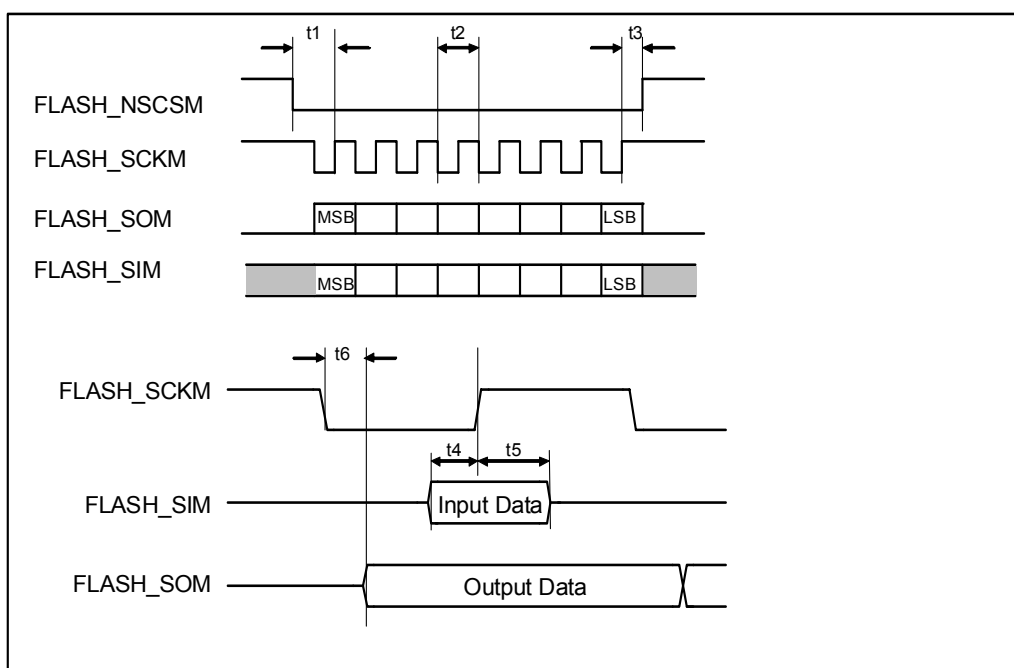


図 7.12 外付けクロック同期式シリアルフラッシュメモリ インターフェイスタイミング

記号	項目	Min.	Max.	単位
t_1	FLASH_NSCSM 立ち下がりから FLASH_SCKM 立ち上がりまでの時間	30	-	ns
t_2	FLASH_SCKM の周期	1	-	t_{MCLK} 注 1
t_3	有効な FLASH_SCKM 立ち上がりから FLASH_NSCSM 立ち上がりまでの時間	30	-	ns
t_4	FLASH_SIM セットアップ時間	20	-	ns
t_5	FLASH_SIM ホールド時間	10	-	ns
t_6	FLASH_SCKM 立ち下がりから FLASH_SOM が有効になるまでの期間	-	10	ns
注	本仕様は、FLASH_NSCSM、FLASH_SCKM、FLASH_SOM の出力負荷を 8pF とした場合の値です。			
注 1	t_{MCLK} は内部システムクロック周期です。			

7.4.11 電源切断タイミング

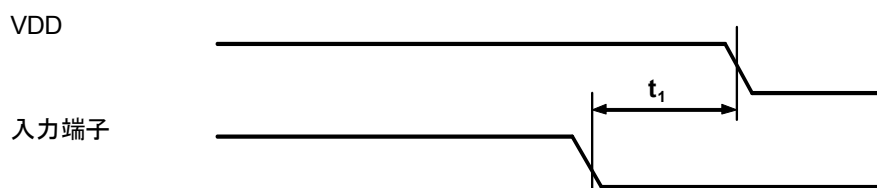


図 7.13 電源切断タイミング

記号	項目	Min.	Max.	単位
t_1	入力端子=Low から、電源の切断までの時間	500	-	μs
注	VDD が切断されている状態で SYSTEM_EN 端子、CE 端子を含めた入力端子に信号を印加することは、CHIP の信頼性上問題がありますので避けてください。			

7. 電気的特性

7.4.12 CE端子によるスリープモード開始タイミング

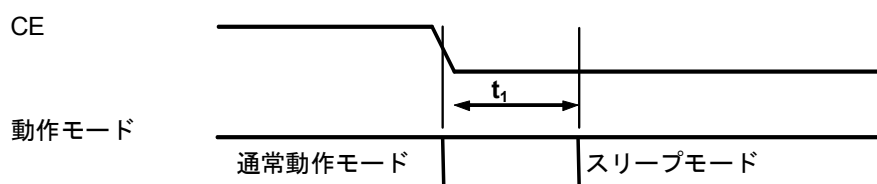


図 7.14 電源切断タイミング

記号	項目	Min.	Typ.	Max.	単位
t_1	CE 端子=Low から、スリープモードに移行までの時間	-	1.0	2.0	μs
注	本仕様は「8.5 CE端子によるスリープモード制御」に則ってVOUT-VSS間に抵抗R0 を挿入した場合の仕様とします。				

8. 外部接続例

8.1 システムクロック

S1V30080 シリーズのシステムクロックは、クロック源として、直接入力（CLKI 端子より入力）または振動子（OSCI/OSCO 端子に接続）のいずれかを選択することができます。各クロック供給形態における外部接続例を以下に示します。

8.1.1 直接入力

CLKI 端子に入力したクロック信号をクロック源とする場合の外部接続例を図 8.1 に示します。

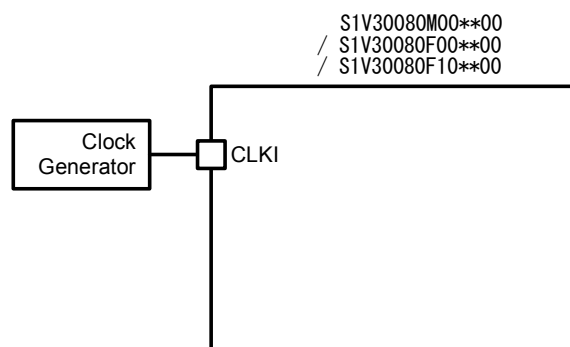


図 8.1 システムクロック外部接続例（CLKI 端子）

8. 外部接続例

8.1.2 振動子

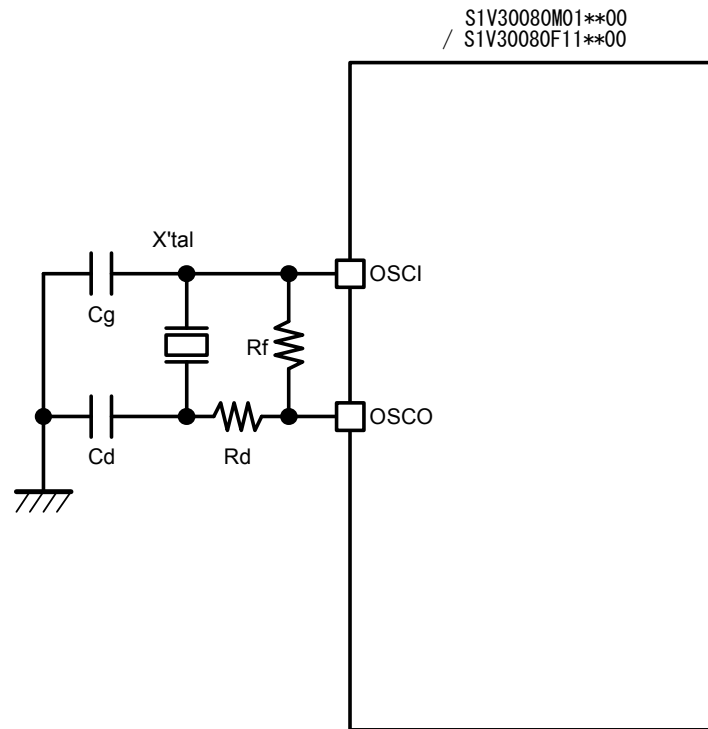


図 8.2 システムクロック外部接続例（振動子）

OSCI, OSCO 端子に、図 8.2 の通り振動子と発振回路を接続します。

表 8.1 に外部回路定数例を示します。発振特性は諸条件（使用部品・基板パターンなど）により変化します。表 8.1 に示した値は一例であり、特に動作を保証するものではありません。

特にセラミック発振は外部部品や基板による影響に非常に敏感です。セラミック発振子を使用される場合は、必ず使用条件などをメーカーにお問い合わせください。

表 8.1 振動子 外部回路定数例

製品型番	周波数(Hz)	振動子	Cg[pF]	Cd[pF]	Rf[Ω]	Rd[Ω]
S1V30080M01	1.024M	村田製作所 CSBFB1M02J58-R1	220	220	1M	0
S1V30080M01	2.028M	村田製作所 CSTCC2M04G56-R0	(47)	(47)	1M	0
S1V30080M01	4.096M	村田製作所 CSTCR4M09G55-R0	(39)	(39)	1M	0
S1V30080M01	8.192M	村田製作所 CSTCE8M19G55-R0	(33)	(33)	1M	0
S1V30080M01	16.384M	村田製作所 CSTCR16M3V53-R0	(15)	(15)	1M	0
S1V30080F11	1.024M	村田製作所 CSBFB1M02J58-R1	220	220	1M	680
S1V30080F11	2.028M	村田製作所 CSTCC2M04G56-R0	(47)	(47)	1M	470
S1V30080F11	4.096M	村田製作所 CSTCR4M09G55-R0	(39)	(39)	1M	0
S1V30080F11	8.192M	村田製作所 CSTCE8M19G55-R0	(33)	(33)	1M	0
S1V30080F11	16.384M	村田製作所 CSTCR16M3V53-R0	(15)	(15)	1M	0
S1V30080M01	4.09M	TDK 株式会社 CCR4.09MUC8	(27)	(27)	1M	0
S1V30080M01	8.00M	TDK 株式会社 CCR8.0MXC8	(18)	(18)	1M	0
S1V30080M01	16.000M	TDK 株式会社 CCR16.0MXC7	(10)	(10)	1M	0
S1V30080F11	4.09M	TDK 株式会社 CCR4.09MUC8	(27)	(27)	1M	0
S1V30080F11	8.00M	TDK 株式会社 CCR8.0MXC8	(18)	(18)	1M	0
S1V30080F11	16.000M	TDK 株式会社 CCR16.0MXC7	(10)	(10)	1M	0
S1V30080M01	4.000M	エプソントヨコム株式会社 MA-406	33	33	1M	1500
S1V30080M01	12.000M	エプソントヨコム株式会社 FA-238V	7	7	1M	100
S1V30080M01	16.384M	エプソントヨコム株式会社 FA-238	4	4	1M	100

注 ()内は発振子に内蔵されている容量を示します。

8. 外部接続例

8.2 シリアルホストインターフェイス

8.2.1 SPI

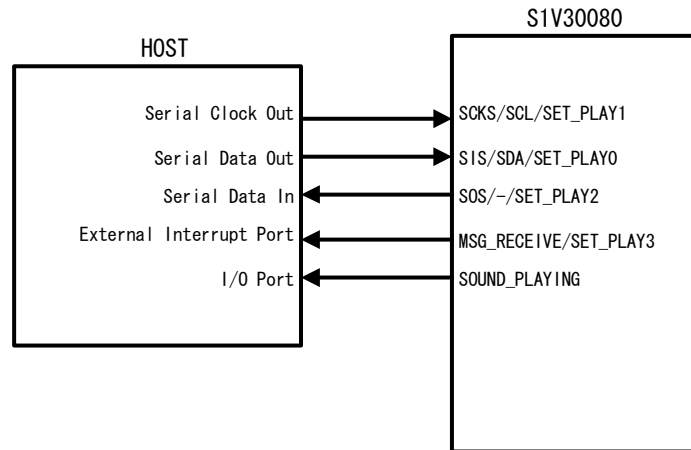


図 8.3 シリアルホストインターフェイス外部接続例 (SPI)

MSG_RECEIVEは、S1V30080 が次のコマンドを受信可能な状態であることを示す出力信号です。この信号をホストに対する割り込み信号として用いることで、メッセージの送信に関わる負荷の低減を図ることができます。MSG_RECEIVEの出力タイミングについては、「S1V30080 シリーズ メッセージプロトコル仕様書」および本仕様書「7.4.8 MSG_RECEIVE出力」を参照ください。

SOUND_PLAYINGは、サウンド出力期間を示す出力信号です。本信号により、サウンド出力の開始および終了を知ることができます。SOUND_PLAYINGの出力タイミングについては、「S1V30080 シリーズ メッセージプロトコル仕様書」および本仕様書「7.4.9 SOUND_PLAYING出力」を参照ください。

8.2.2 I2C

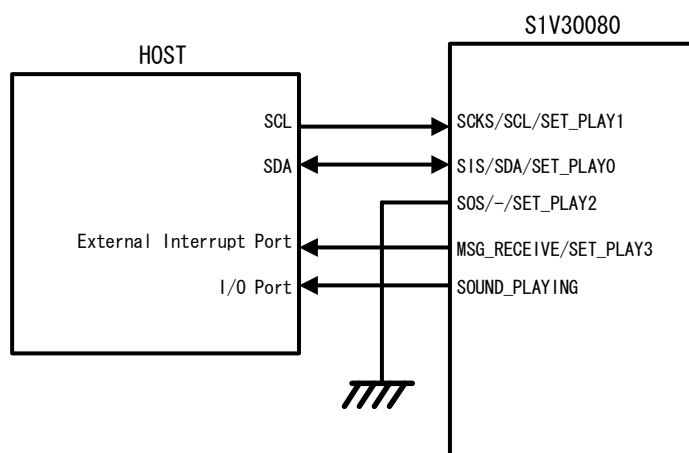


図 8.4 シリアルホストインターフェイス外部接続例 (I2C)

MSG_RECEIVEは、S1V30080 が次のコマンドを受信可能な状態であることを示す出力信号です。この信号をホストに対する割り込み信号として用いることで、メッセージの送信に関わる負荷の低減を図ることができます。MSG_RECEIVEの出力タイミングについては、「S1V30080 シリーズ メッセージプロトコル仕様書」および本仕様書「7.4.8 MSG_RECEIVE出力」を参照ください。

SOUND_PLAYINGは、サウンド出力期間を示す出力信号です。本信号により、サウンド出力の開始および終了を知ることができます。SOUND_PLAYINGの出力タイミングについては、「S1V30080 シリーズ メッセージプロトコル仕様書」および本仕様書「7.4.9 SOUND_PLAYING出力」を参照ください。

8. 外部接続例

8.3 スタンドアローン接続

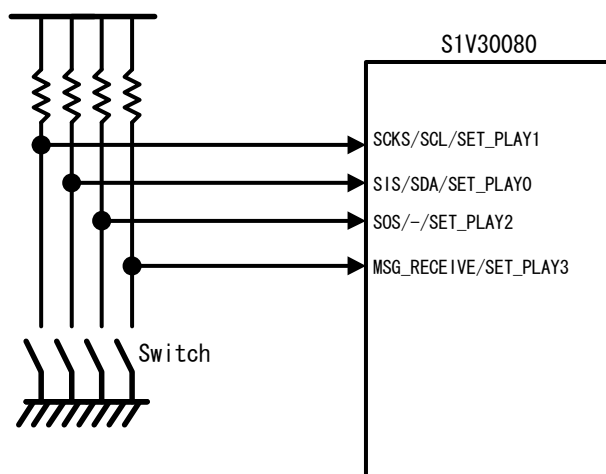


図 8.5 スタンドアローン接続例

SET_PLAY0~3 をスイッチもしくはHOST CPUにて制御することで簡単にS1V30080 を制御可能です。制御方法については「S1V30080 シリーズ メッセージプロトコル仕様書」を参照ください。またSET_PLAY0~3 のタイミングについては本仕様書「7.4.4 スタンドアローンモード制御タイミング」を参照ください。

8.4 外付けシリアルフラッシュメモリ・インターフェイス

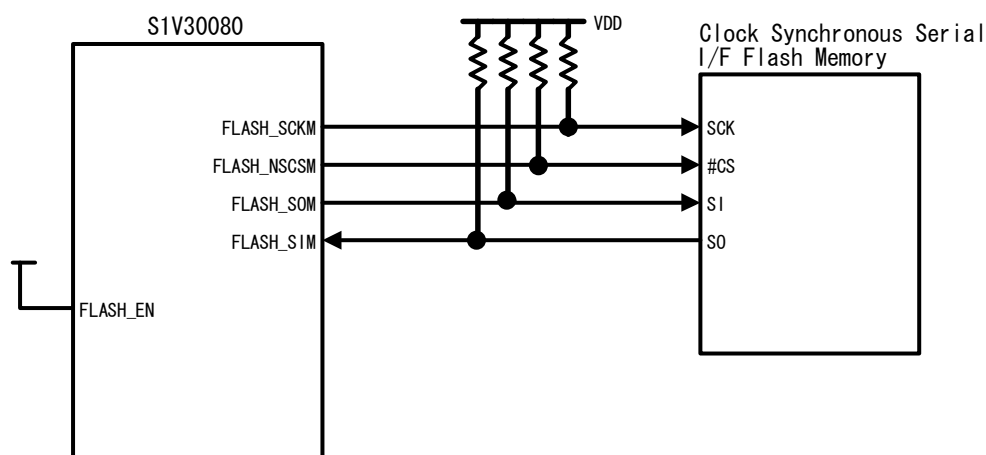


図 8.6 シリアルフラッシュメモリ外部接続例（クロック同期式）

S1V30080 は外付けシリアルフラッシュメモリにアクセスするための端子をパッケージオプションで持っています。(S1V30080F00**00、S1V30080F10**00 のみ)。サウンドデータを書き込んだ外付けシリアルフラッシュメモリを接続し、FLASH_EN 端子を High レベルとすることで、内蔵 ROM とほぼ同等の動作をさせることが可能です。(DAC のビット幅は 10bit のみ)

詳細は「S1V30080 シリーズ メッセージプロトコル仕様書」を参照ください。またシリアルフラッシュメモリへのアクセスのタイミングについては本仕様書「7.4.10 外付けシリアルフラッシュメモリ・アクセスタイミング」を参照ください。

8. 外部接続例

8.5 CE端子によるスリープモード制御

S1V30080 は CE 端子を Low とし、CE 端子を除く全ての入力端子を VDD または VSS に固定することで非動作状態での消費電流を削減することができます(スリープモード)。この場合、クロックも停止していただくことを推奨いたします。

CE端子を制御して低消費電流状態にする場合は、図のR0 をVOUT-VSS間に挿入してください。R0 を挿入することでCE端子をLowとしてからスリープモードに入るまでの時間を短縮することができます。R0 を挿入した場合のCE端子をLowとしてからスリープモードに入るまでのタイミングについては「7.4.12 CE端子によるスリープモード開始タイミング」をご覧ください。

またCE端子をLow⇒Highとする時のSYSTEM_EN端子とCE端子の制御タイミングは「7.4.2 電源投入/リセットタイミング」で示しています。

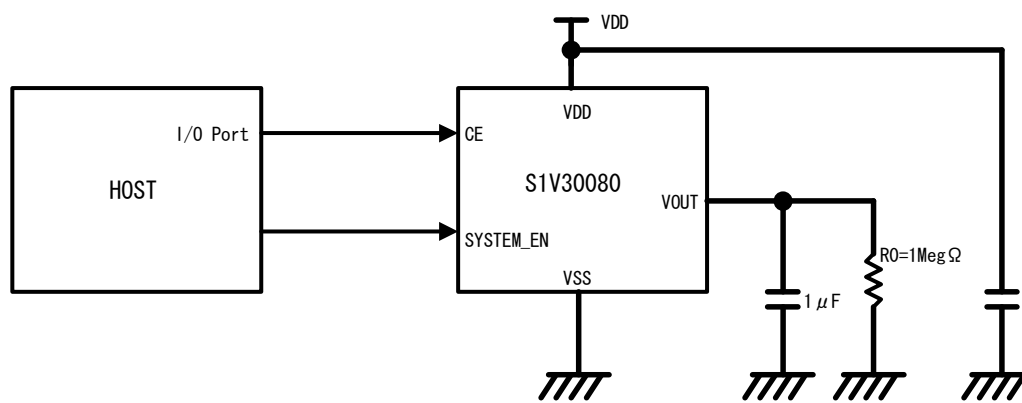
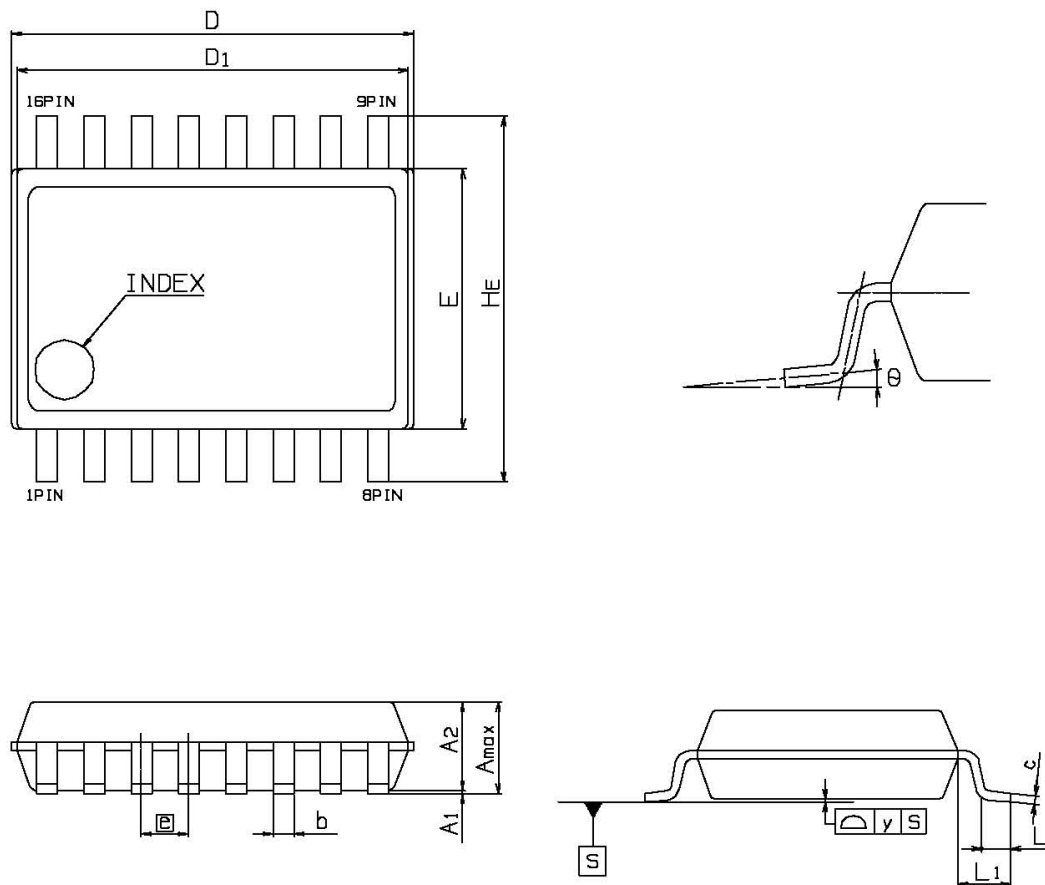


図 8.7 CE 端子によるスリープモード

注) このとき出力端子は Hi-Z 出力となります。

9. 外形寸法図

9.1 SSOP2-16

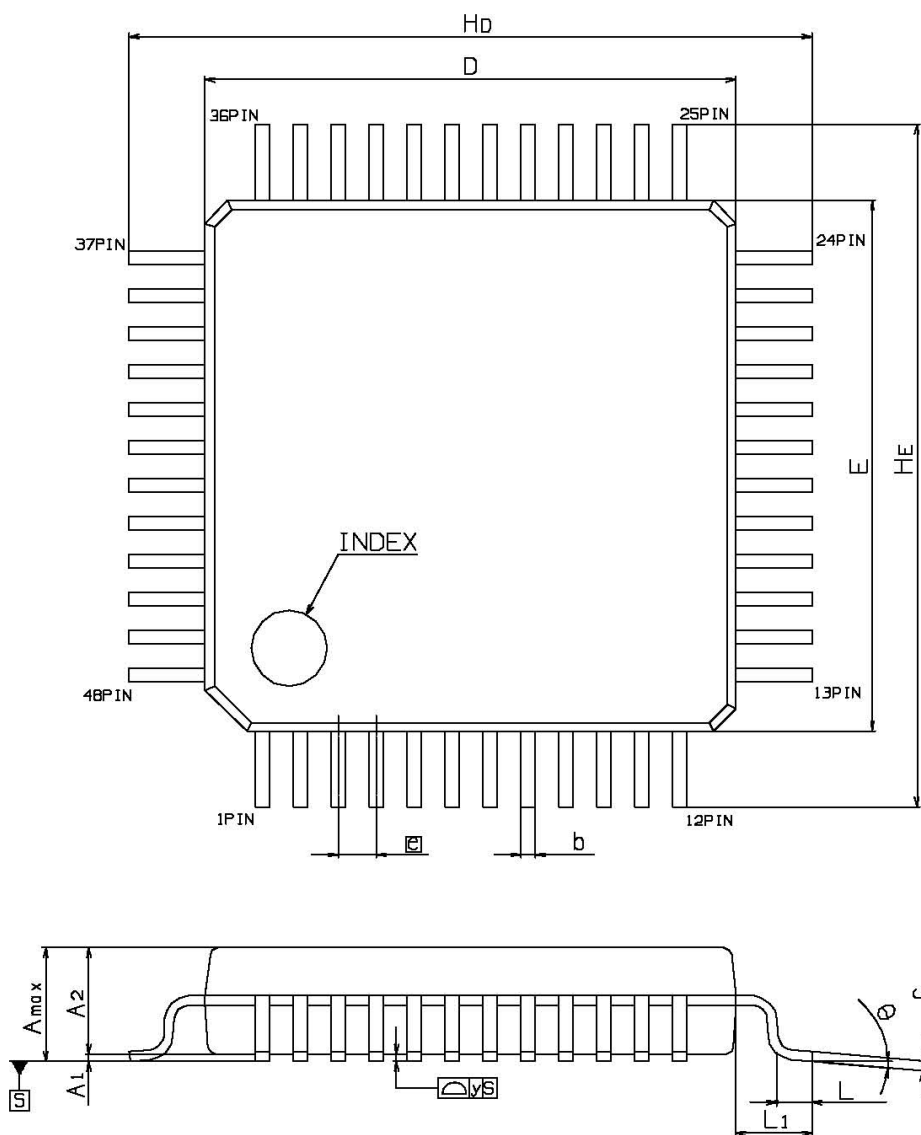


Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	6.8	-
E	-	4.4	-
D1	-	6.6	-
Amax	-	-	1.7
A1	-	0.05	-
A2	-	1.5	-
□	-	0.8	-
b	0.26	-	0.46
c	0.1	-	0.25
θ	0°	-	10°
L	0.2	-	0.6
L1	-	0.9	-
HE	-	6.2	-
y	-	-	0.1

1 = 1mm

9. 外形寸法図

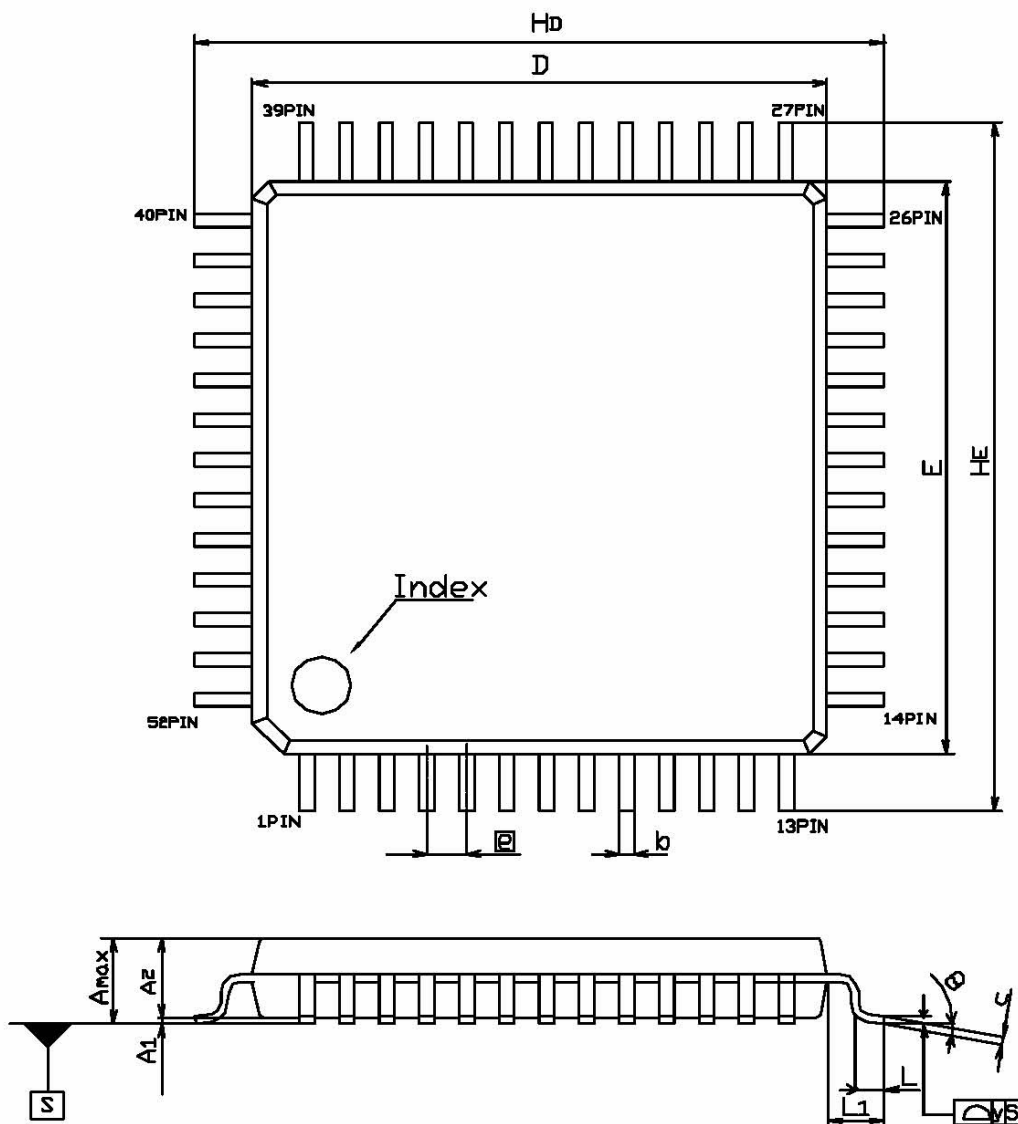
9.2 QFP12-48



Symbol	Dimension in Millimeters		
	Min	Nom	Max
E	-	7	-
D	-	7	-
A_{max}	-	-	1.7
A_1	-	0.1	-
A_2	-	1.4	-
ϕ	-	0.5	-
b	0.13	-	0.27
c	0.09	-	0.2
θ	0°	-	10°
L	0.3	-	0.7
L_1	-	1	-
HE	-	9	-
Hb	-	9	-
y	-	-	0.08

L = 1mm

9.3 QFP13-52



Symbol	Dimension in Millimeters		
	Min	Nom	Max
F	-	10	-
D	-	10	-
A_{max}	-	-	1.7
A_1	-	0.1	-
A_2	-	1.4	-
a	-	0.65	-
b	0.2	-	0.4
c	0.09	-	0.2
θ	0°	-	10°
L	0.3	-	0.75
L_1	-	1	-
H	-	12	-
H_D	-	12	-
y	-	-	0.1

1 = 1mm

10. 参考資料

10.1 応用回路例(SSOP2-16)

図 10.1 に、S1V30080(SSOP2-16)の応用回路例を示します。

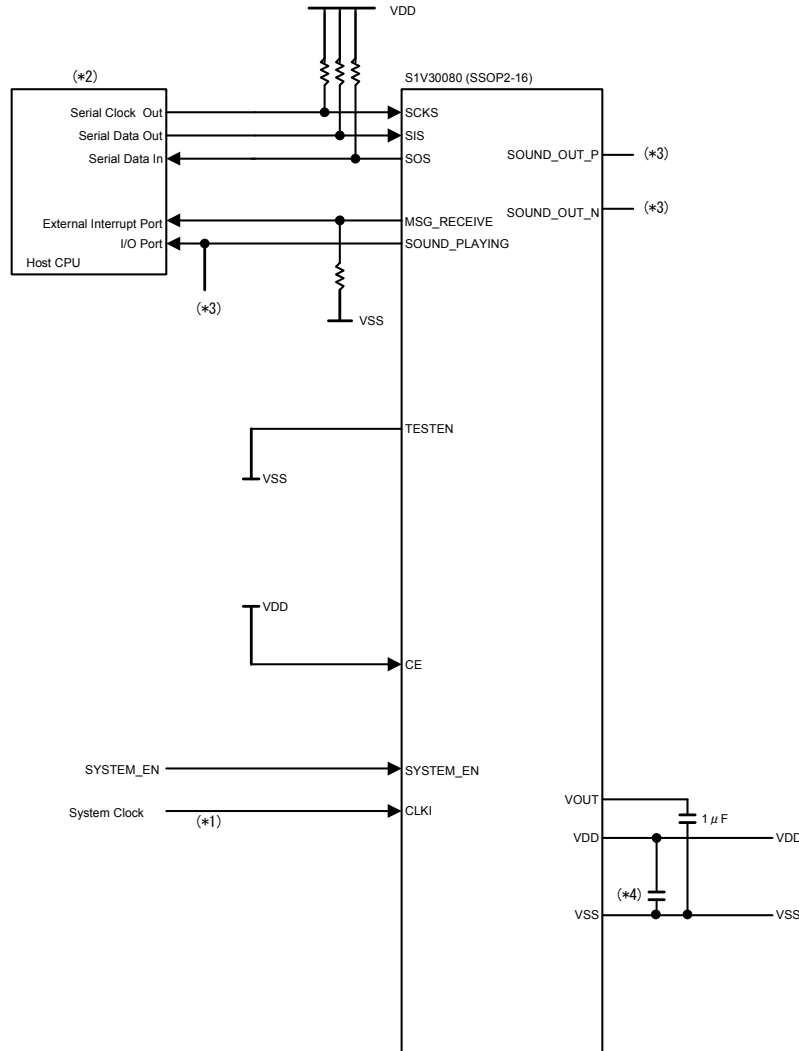


図 10.1 S1V30080 シリーズ(SSOP2-16)応用回路例

- (*1) システムクロック入力部は、お使いになるクロックの周波数、及びクロック源により接続形態が異なります。詳細を「8.1 システムクロック」に記しておりますので、こちらも必ずご参照下さい。
- (*2) インターフェイス部は、お使いになるインターフェイスの種類により接続形態が異なります。詳細を「8.2 シリアルホストインターフェイス」および「8.3 スタンドアローン接続」項に記しておりますので、こちらも必ずご参照下さい。
- (*3) 音声出力部の回路例については、「10.3 応用回路例（音声出力部）」をご覧ください。
- (*4) VDD-VSS 間のバイパスコンデンサは、システムによって異なりますが、数 μF ～数十 μF を目安としてください。

10.2 応用回路例(QFP12-48/13-52)

図 10.2 に、S1V30080 シリーズの応用回路例を示します。

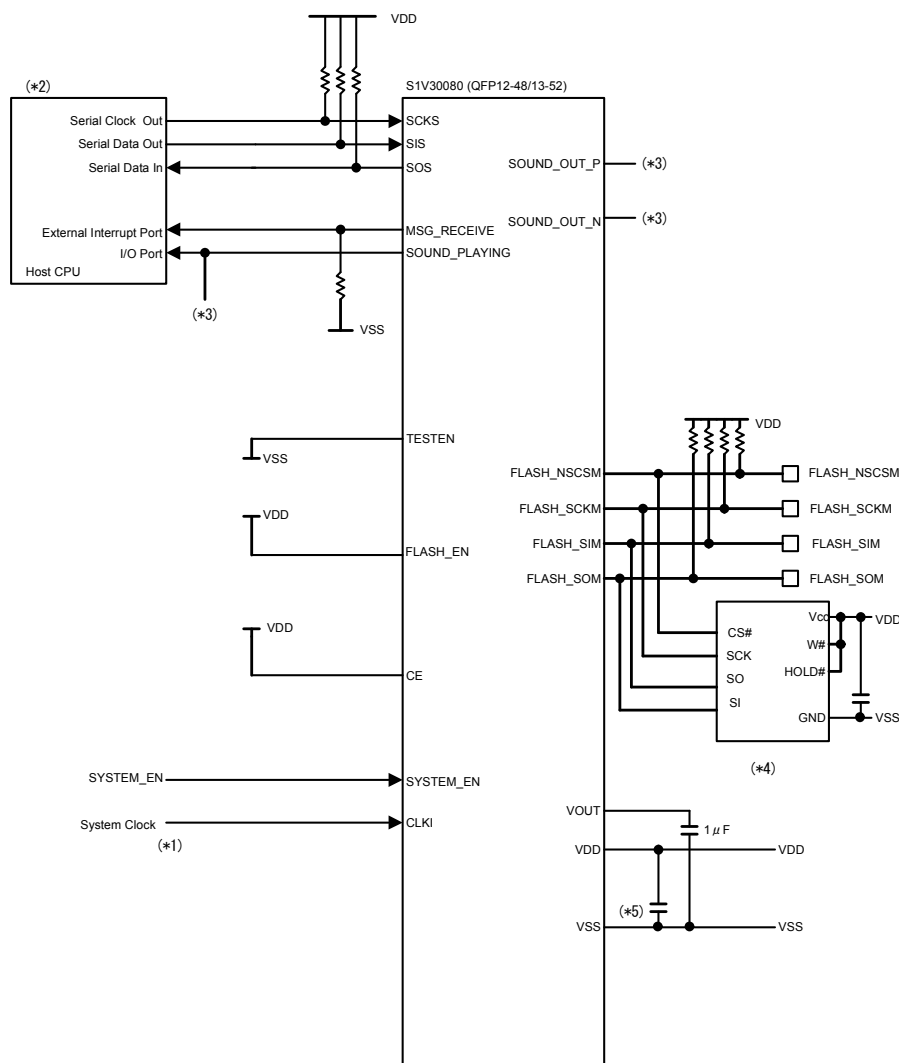


図 10.2 S1V30080 シリーズ(QFP12-48/13-52)応用回路例

- (*1) システムクロック入力部は、QFP12-48 品については直接入力、QFP13-52 品は直接入力と振動子接続のどちらかとなります。詳細を「8.1 システムクロック」に記しておりますので、こちらも必ずご参照下さい。
- (*2) インターフェイス部は、お使いになるインターフェイスの種類により接続形態が異なります。詳細を「8.2 シリアルホストインターフェイス」および「8.3 スタンドアロン接続」項に記しておりますので、こちらも必ずご参照下さい。
- (*3) 音声出力部の回路例については、「10.3 応用回路例（音声出力部）」をご覧ください。
- (*4) 外付けシリアルフラッシュメモリ・インターフェイスについては、「8.4 外付けシリアルフラッシュメモリ・インターフェイス」をご覧ください。また外付けシリアルフラッシュメモリを使用しない場合は、FLASH_EN端子をLowとして、FLASH_SCKM,FLASH_SIM,FLASH_SOM,FLASH_NSCSM端子はOpenとしてください。なお、外付けシリアルフラッシュメモリが接続可能なのは、S1V30080F00**00、S1V30080F10**00 のみで、S1V30080F11**00(QFP13-52、振動子接続)は外付けシリアルフラッシュメモリは接続できません。
- (*5) VDD-VSS 間のバイパスコンデンサは、システムによって異なりますが、数 μF ~ 数十 μF を目安としてください。

10.3 応用回路例（音声出力部）

図 10.3 に、音声出力部の応用回路例を示します。

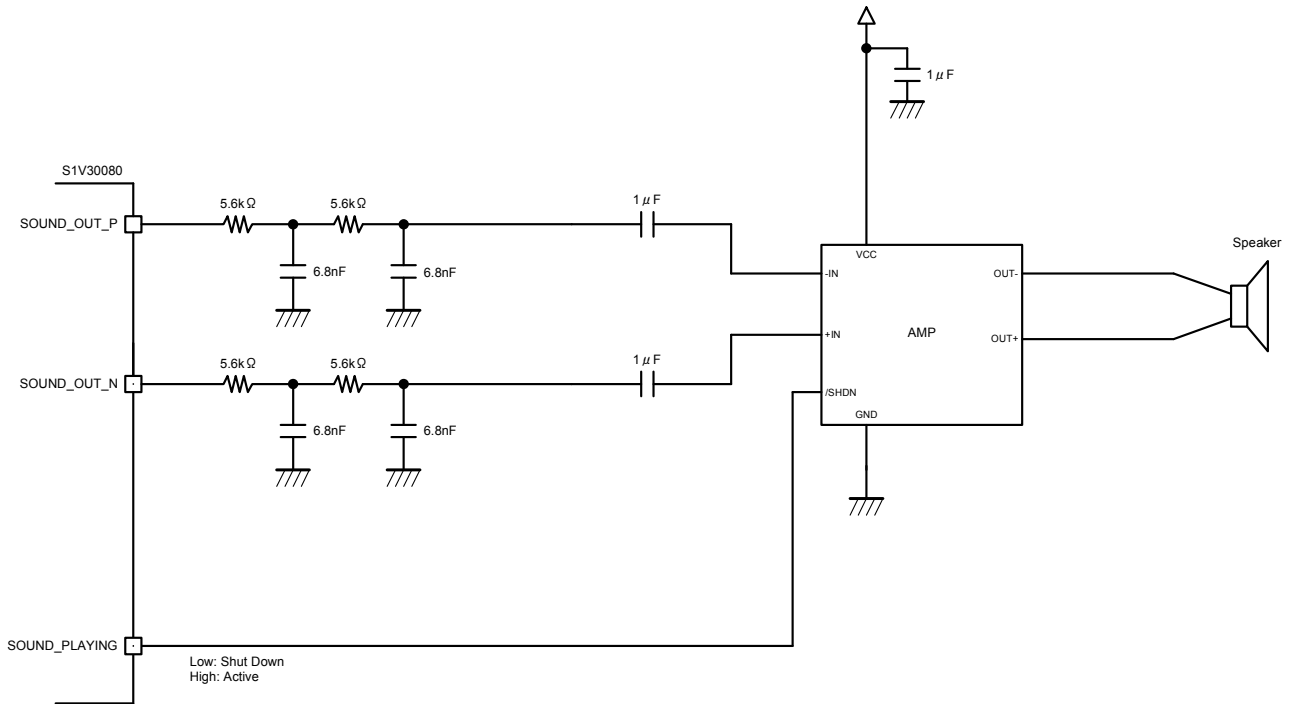


図 10.3 S1V30080 シリーズ応用回路例（音声出力部）

SOUND_OUT_P/SOUND_OUT_N 端子から、AMP までの配線は最短距離で行ってください。

二次 LPF のコンデンサ（6.8nF）の GND 側の配線は最短距離で VSS と接続してください。

図 10.3 に示したスピーカアンプの周辺回路及び定数はあくまで一例であり、特に動作や特性を保証するものではありません。

本例の LPF の遮断周波数は 4kHz となっております。

10.4 ミュート開始／解除タイミング

汎用入出力ポート等によりスピーカアンプのミュート機能を制御する場合、電源 ON/OFF 時及びスタンバイ時のノイズを抑えるため、各動作状態におけるミュート制御タイミングの例を以下に示します。

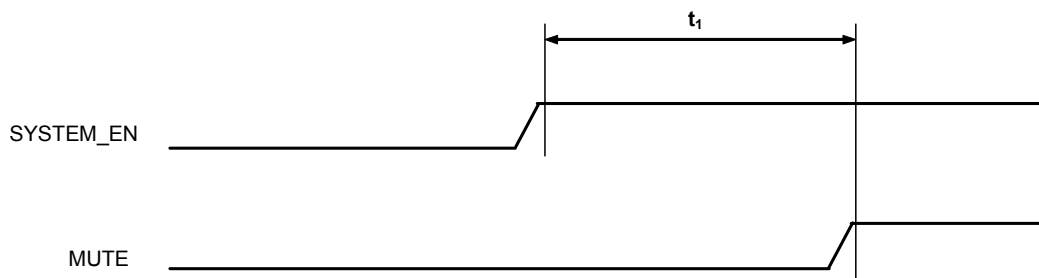


図 10.4 ミュート開始／解除タイミング

記号	項目	Min.	Max.	単位
t_1	SYSTEM_EN=High から MUTE 解除までの時間	150	-	ms

(注) 上記タイミングチャートは、MUTE 端子が Low レベルで MUTE が有効な場合です。

10.5 電源に関する注意事項

VDD をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず SYSTEM_EN により回路の初期化を行って下さい。

CMOS 構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS IC が内蔵する PNPN 接合（サイリスタ構造）が導通し、VDD – VSS 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは VDD 端子の電圧が定格を超えて内部素子が降伏状態となったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると VDD – VSS 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意して下さい。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または VSS より下げないで下さい。
- (2) 異常ノイズがデバイスに加わらないようにして下さい。
- (3) 未使用の入力端子の電位を VDD または VSS に固定して下さい。
- (4) 出力を短絡しないで下さい。

10.6 クロック直接入力時の注意

外部からの直接クロック入力時、クロックのオーバーシュート／アンダーシュートが大きいと、電源にノイズが入ります。電源→内部レギュレータ→内部レギュレータ出力の経路でノイズが伝播することで、内部レギュレータ出力が変動し、内部回路の破壊や誤動作につながる可能性があります。

オーバーシュート／アンダーシュートは「7.1 絶対最大定格」で示す「入力電圧」の範囲内に収めていただく必要があります。オーバーシュート／アンダーシュートがある場合には、ダンピング抵抗やLow Pass Filterを付けるなどの対策をとってください。

なお、クロック以外の外部信号についても同様の配慮が必要になりますが、特にクロックは周波数が高いため、最も注意が必要となります。

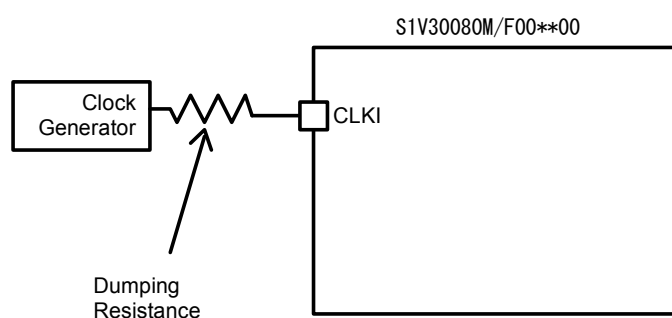


図 10.5 クロックライン オーバーシュート／アンダーシュート対策例

10.7 実装上の注意事項

基板の設計、及び IC を実装する際の注意事項を以下に示します。

10.7.1 発振回路

発振特性は使用部品（振動子、 R_f , R_d , C_g , C_d ）や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗（ R_f , R_d ）や容量（ C_g , C_d ）の値は、実際の基板上に各部品を実装した状態で、十分に評価を行って適切なものを選んでください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するために、以下の点に配慮してください。

- OSCI, OSCO 端子に接続する振動子、抵抗、容量等の部品は、できるだけ最短で接続してください。
- OSCI, OSCO 端子とこれらの回路構成部品、および配線から 3mm 以内の領域には、できるだけデジタル信号線を配置しないで下さい。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は 0.1mm~0.2mm 程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm 以上の距離がある場合や、基板の他の層であっても禁止します。配線を交差させることも避けてください。
- OSCI, OSCO 端子と配線は、基板の隣接する層も含め、VSS でシールドしてください。配線する層は、図 10.6 のように広めにシールドしてください。隣接する層については、できれば全面をグラウンド層に、最低でも上記端子と配線の周囲を 5mm 以上カバーするようにシールドしてください。この対策を施した場合でも、前述の通りデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。

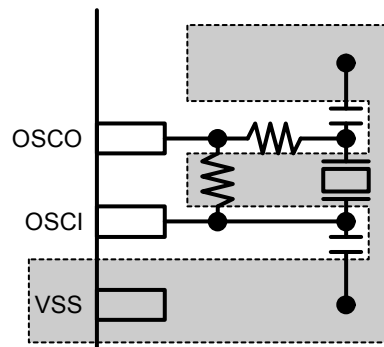


図 10.6 発振回路 VSS パターン例

10.7.2 リセット回路

電源投入時、SYSTEM_EN 端子に入力されるリセット信号は、諸条件（電源の立ち上がり時間、使用部品、基板パターン等）により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、適切なものを選んでください。SYSTEM_EN 端子のプルアップ抵抗については、インピーダンスが高い場合ノイズによる誤動作が生じることがありますので、抵抗値のばらつきを十分考慮した定数設定が必要です。

10.7.3 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため、以下の点に配慮してください。

- 電源から VDD/VSS 端子へはできるだけ短く太いパタンで接続してください。
- VDD - VSS 間にバイパスコンデンサを接続し、VDD 端子と VSS 端子をできるだけ最短で接続してください。なおバイパスコンデンサは、システムによって異なりますが、数 μF ～数十 μF を目安としてください。
- VOUT - VSS 間に $1\mu\text{F}$ のバイパスコンデンサを接続し、VOUT 端子と VSS 端子をできるだけ最短で接続してください。

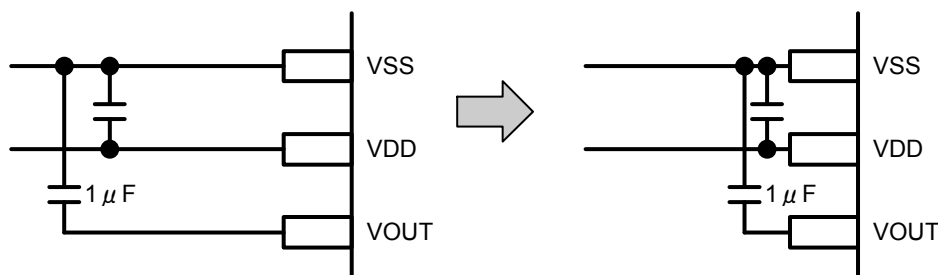


図 10.7 バイパスコンデンサ接続例

10.7.4 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部などのノイズに弱い回路の近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行に、または交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因になります。特に、発振部などのノイズに弱い回路の近くには、高速に動作する信号線を配置しないでください。

10.7.5 ノイズなどによる誤動作

ノイズなどによる IC の誤動作が考えられる場合、以下の点について確認してみてください。

- **SYSTEM_EN** 端子
この端子に Low レベルのノイズが入ると、IC がリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。
- **SCKS** 端子
この端子は、クロック同期式シリアルインターフェースの同期クロック入力端子です。この端子にノイズが入ると、入力波形によっては有効なデータと認識し、誤動作の原因となります。シリアルインターフェース (SCKS, SIS, SOS) の配線はできるだけ最短で接続してください。
- **FLASH_SCKM** 端子
この端子は、クロック同期式シリアルインターフェースの同期クロック出力端子です。この端子出力にノイズが乗ると、外付けのシリアルフラッシュメモリが、場合によっては有効なデータと認識し、誤動作の原因となります。

また、この端子出力の負荷容量が大きくなると外付けシリアルフラッシュメモリインターフェースの遅延が大きくなり、結果として**FLASH_SIM**のセットアップ時間の仕様を満足しなくなります(「7.4.10 外付けシリアルフラッシュメモリ・アクセスタイミング」参照)。

外付けシリアルフラッシュメモリ・インターフェース (**FLASH_SCKM**, **FLASH_SIM**, **FLASH_SOM**, **FLASH_NSCSM**) の配線はできるだけ最短で接続してください。
- **電源**
規定の電圧範囲を外れるようなノイズが入った場合、その瞬間に IC が誤動作します。基板の電源系のベタパタン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上の対策をお願いします。

10.7.6 その他

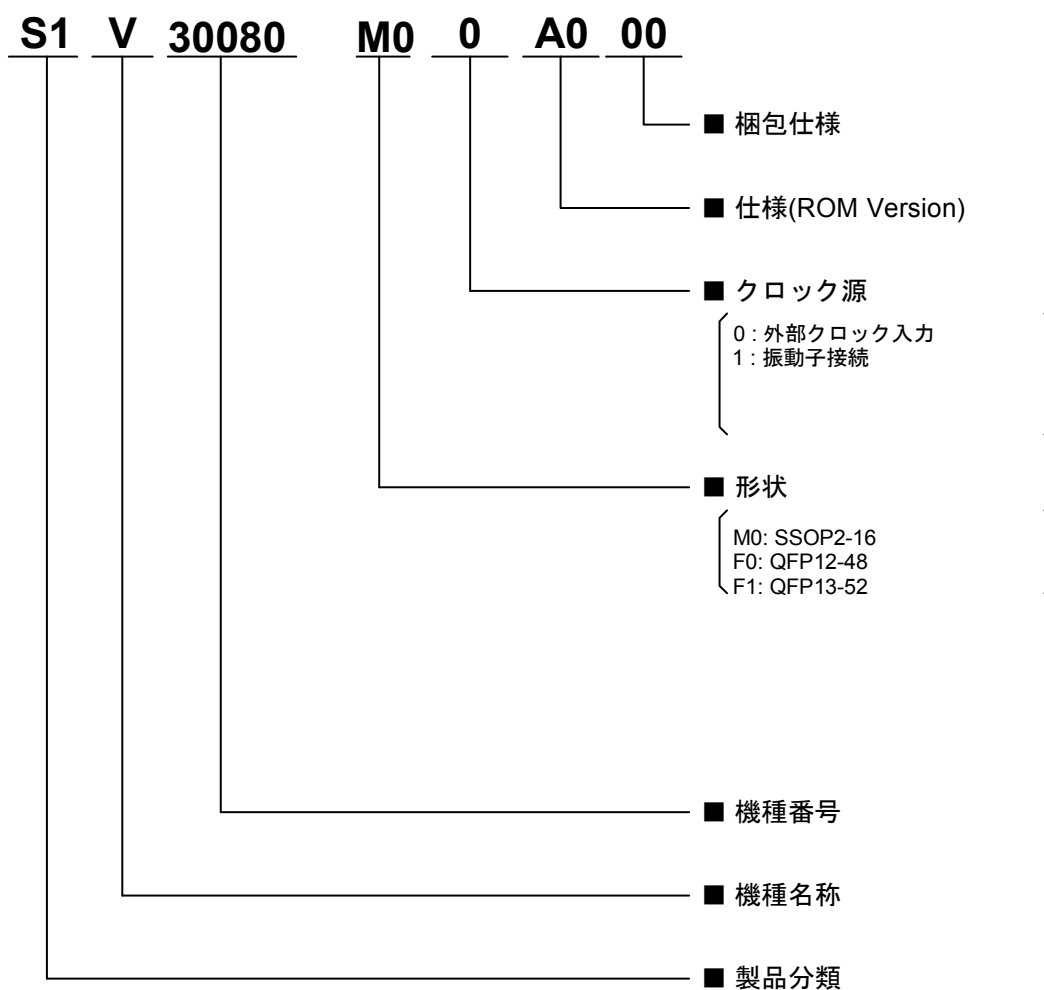
S1V30080 シリーズは、0.15 μ m 微細プロセスにより製造されています。IC の基本信頼性は、EIAJ, MIL 規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

OSCI, OSCO 端子は、内部の 0.15 μ m トランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- 実装時リフロー工程、実装後のリワーク、個別特性評価 (実験確認) の各工程における商用電源からの電磁誘導ノイズ
- 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格 (2.5V) 以上の電圧となる外乱が、電氣的損傷につながる可能性があります。特に、半田ごて使用時には、IC の GND と半田ごての GND (こて先の電位) を同電位として作業を行ってください。

10.8 製品型番体系



改訂履歴表

改訂履歴表

		改訂内容		
年月日	Rev.	頁	種別	内容
2009/03/02	1.0	全頁	新規	新規制定
2009/08/28	2.0	2	追加 ・変更	外付けシリアルフラッシュメモリ・アクセス (変更) QFP12-48 のみ→S1V30080F00**00、S1V30080F10**00 パッケージ (追加) QFP-52pin
		3	追加	S1V30080F10**00、S1V30080F11**00 の追加 外付けシリアルフラッシュメモリの接続不可の追加
		4	変更	図 4.1 内 誤記訂正
		5	変更	図 4.2 内 誤記訂正
		6	変更	図 4.3 内 誤記訂正
		7	追加	4.4 QFP13-52(外部クロック入力)
		8	追加	4.5 QFP13-52(振動子接続)
		9	変更	端子説明→5.1 端子説明 1(QFP13-52 品追加に伴う変更)
		10	変更	誤記訂正 FLASH_SCKM: I→O、FLASH_SOM: I→O
		11-13	追加	5.2 端子説明 2(QFP13-52 品追加に伴う追加)
		35	変更	t1: Min="-", Max=500μs→Min=500μs, Max="-"
		37	変更	図 8.1 中 : S1V30080M/F00**00→ S1V30080M00**00/S1V30080F00**00/S1V30080F10**00(QFP13-52 品追加に伴う変更)
		38	変更	図 8.2 中 : S1V30080M01**00→ S1V30080M01**00/S1V30080F11**00(QFP13-52 品追加に伴う変更)
		39	追加	S1V30080F11 追加、TDK 株式会社製発振子およびエプソントヨコム製水晶振動子追加
		43	変更	QFP12-48→S1V30080F00**00、S1V30080F10**00
		47	追加	9.3QFP13-52
49	変更	10.2 応用回路例(QFP12-48)→10.2 応用回路例(QFP12-48/13-52) 図 10.2 中 S1V30080(QFP12-48)→S1V30080(QFP12-48/QFP13-52) 図番号 図 10.2 S1V30080 シリーズ(QFP12-48/13-52)応用回路例 (*1)システムクロック入力部は、QFP12-48 品については直接入力となります。 →システムクロック入力部は、QFP12-48 品については直接入力、 QFP13-52 品は直接入力と振動子接続のどちらかとなります。		
49	追加	(*4) なお、外付けシリアルフラッシュメモリが接続可能なのは、 S1V30080F00**00、S1V30080F10**00 のみで、S1V30080F11**00 (QFP13-52、振動子接続)は外付けシリアルフラッシュメモリは接続できません。		
50	変更	SOUND_OUT_P/SOUND_OUT_N 端子から、2次LPF(5.6kΩ、6.8nF)までの配線は最短距離で行ってください。 →SOUND_OUT_P/SOUND_OUT_N 端子から、AMP までの配線は最短距離で行ってください。		
57	追加	形状 F1: QFP13-52		

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411678901
2009年3月 作成
2009年8月 改訂◎