

S1R77009

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

目 次

1. 概要.....	1
2. 特長.....	1
3. ブロック図.....	2
4. 端子配置図.....	3
5. 端子説明.....	4
6. 機能説明.....	6
6.1 ホストインタフェース部	6
6.1.1 シリアルインタフェース	6
6.2 RSDS(LVDS)部.....	9
6.3 内蔵 PLL 部.....	10
6.4 制御部	12
6.4.1 概要	12
6.4.2 画像取り込み動作	12
6.4.3 画素処理	12
6.4.4 ライン処理.....	14
6.4.5 シフト信号、クロックパルス等出力タイミング.....	15
6.4.6 クロックパルスのパターン出力.....	18
6.4.7 SLINE 出力処理.....	21
6.4.8 制御信号出力遅延設定.....	23
6.4.9 制御信号出力極性設定.....	27
6.4.10 兼用汎用ポート.....	28
7. レジスタ.....	30
7.1 メモリマップ	30
7.2 レジスタマップ.....	31
7.3 ビットマップ	32
7.4 レジスタ詳細説明	33
7.4.1 0x00～0x3F パターン設定レジスタ No.00～No.3F (PAT00～3F).....	33
7.4.2 0x40 SLINE 開始ライン設定レジスタ (SLINEST).....	35
7.4.3 0x41 SLINE 終了ライン設定レジスタ (SLINEEND)	35
7.4.4 0x42 シフトパルス信号出力遅延設定レジスタ 1 (SH_ADJ1).....	36
7.4.5 0x43 シフトパルス信号出力遅延設定レジスタ 2 (SH_ADJ2).....	37
7.4.6 0x44 シフトパルス信号出力遅延設定レジスタ 3 (SH_ADJ3).....	38
7.4.7 0x45 シフトパルス信号出力遅延設定レジスタ 4 (SH_ADJ4).....	39
7.4.8 0x48 クロックパルス遅延設定ページ選択レジスタ (SNCK_ADJ_PAGESEL)	40
7.4.9 0x49 クロックパルス出力遅延設定レジスタ 1 (SNCK_ADJ1)	41
7.4.10 0x4A クロックパルス出力遅延設定レジスタ 2 (SNCK_ADJ2).....	42
7.4.11 0x4B クロックパルス出力遅延設定レジスタ 3 (SNCK_ADJ3)	43
7.4.12 0x4C クロックパルス反転出力遅延設定レジスタ 1 (SNCK_INV1).....	44
7.4.13 0x4D クロックパルス反転出力遅延設定レジスタ 2 (SNCK_INV2)	45
7.4.14 0x4E クロックパルス反転出力遅延設定レジスタ 3 (SNCK_INV3).....	46
7.4.15 0x50 タイミング生成機能制御レジスタ (TGCTL).....	47
7.4.16 0x51 タイミング生成機能設定レジスタ (TGMD).....	48
7.4.17 0x52 内部ステート制御レジスタ (STCTL).....	49
7.4.18 0x53 パターン設定制御レジスタ (PATEN).....	50
7.4.19 0x54 ラインセンサ駆動クロックパルス極性設定レジスタ (SNCKINV).....	51
7.4.20 0x55 ラインセンサ駆動クロックパルスパターン設定レジスタ 1 (SNCK1CTL).....	51
7.4.21 0x56 ラインセンサ駆動クロックパルスパターン設定レジスタ 2 (SNCK2CTL).....	52

7.4.22 0x57	ラインセンサ駆動クロックパルス出力設定レジスタ (SNCKxSHCTL)	52
7.4.23 0x58	極性制御レジスタ (POLCTL)	54
7.4.24 0x59	汎用ポート制御レジスタ (GPIOEN1)	55
7.4.25 0x5A	汎用ポート制御レジスタ (GPIOEN2)	55
7.4.26 0x5B	汎用ポート入出力切り替えレジスタ 1 (GPIODIR1)	56
7.4.27 0x5C	汎用ポート入出力切り替えレジスタ 2 (GPIODIR2)	56
7.4.28 0x5D	汎用ポート入出力切り替えレジスタ 3 (GPIODIR3)	57
7.4.29 0x5E	汎用ポートレジスタ 1 (GPIOST1)	58
7.4.30 0x5F	汎用ポートレジスタ 2 (GPIOST2)	58
7.4.31 0x70	アナログモジュールリセットレジスタ (ANA_RESET)	59
7.4.32 0x7F	PLL・画像出力制御レジスタ (PLL_IMGSIG_CTL)	60
8.	電気的特性	61
8.1	絶対最大定格	61
8.2	推奨動作条件	61
8.3	電源シーケンス	62
8.3.1	Power ON 時	62
8.3.2	Power OFF 時	62
8.3.3	DC 特性	63
8.4	AC 特性	64
8.4.1	システムリセット	64
8.4.2	クロックタイミング	64
8.4.3	PLL ロックタイミング	64
8.4.4	シリアルインタフェースタイミング	65
9.	外形寸法図	66

1. 概要

本 IC は、高速読取動作を実現するラインセンサ用駆動クロック生成 IC です。

2. 特長

共通部

- パッケージ 0.5 mm ピッチ QFP48 ピン
- 3.3V、5V 二電源
- PLL を内蔵し CLK 入力信号入力を 3、6 通倍することにより内部基準クロックを生成
- 内部基準クロック周波数：60MHz ≤ 内部基準クロック周波数 ≤ 150MHz

ホストインタフェース部

- シリアルインタフェース

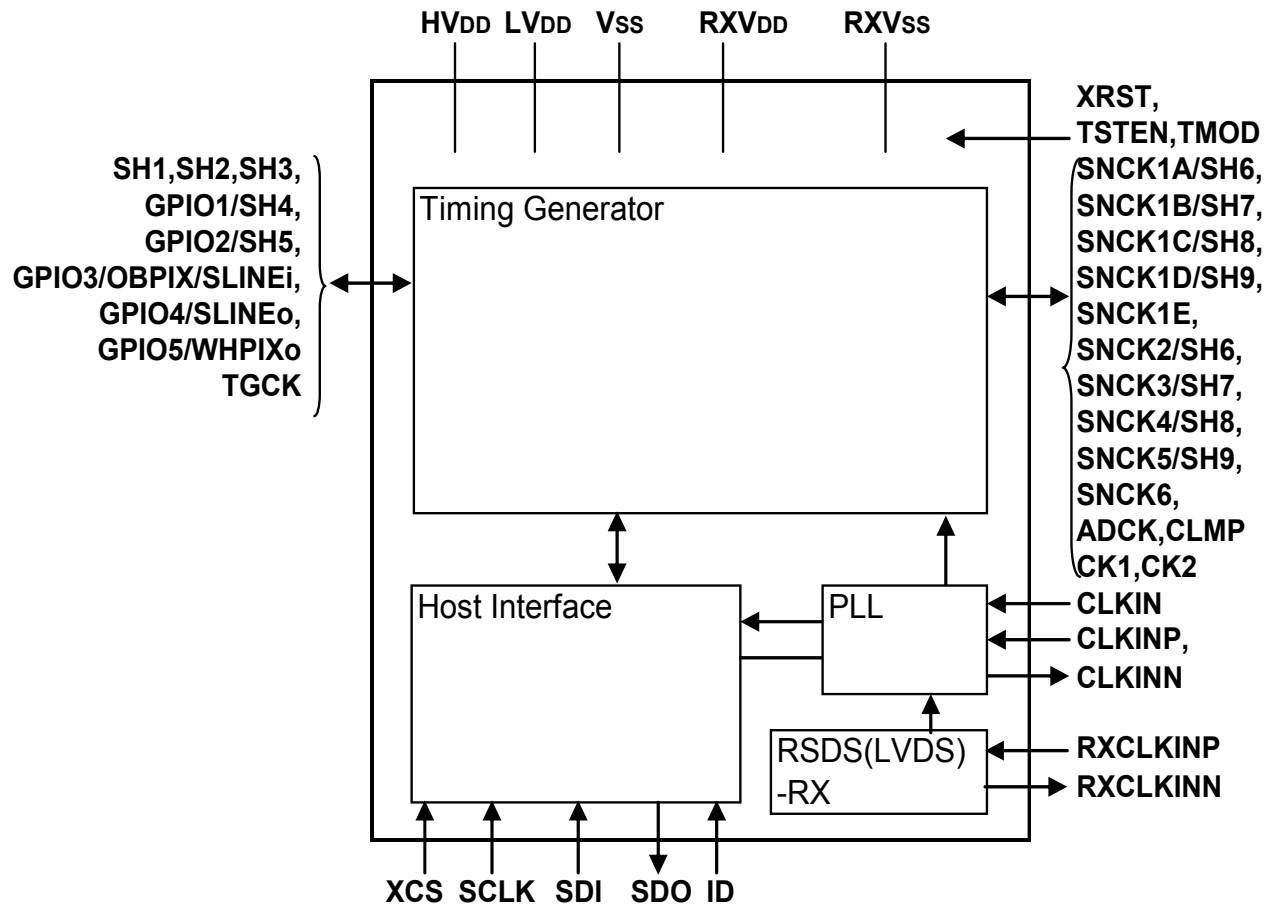
駆動クロック生成部

- ラインセンサおよび AFE 駆動に必要な下記シフト信号・クロック信号を生成
ADCK, SH1, SH2, SH3, SH4, SH5, SNCK1A, SNCK1B, SNCK1C, SNCK1D, SNCK1E,
SNCK2, SNCK3, SNCK4, SNCK5, SNCK6, CK1, CK2, CLMP
- クロック信号駆動パターン生成用メモリ内蔵
- 画像読み取り時およびダミー画素出力時のクロック信号駆動パターンを自由にプログラム可能
- ADCK 信号 1 サイクルあたりの駆動パターン分解能は設定により 3、6 から選択
- ラインセンサに対応
- 駆動クロック 5.0V 出力

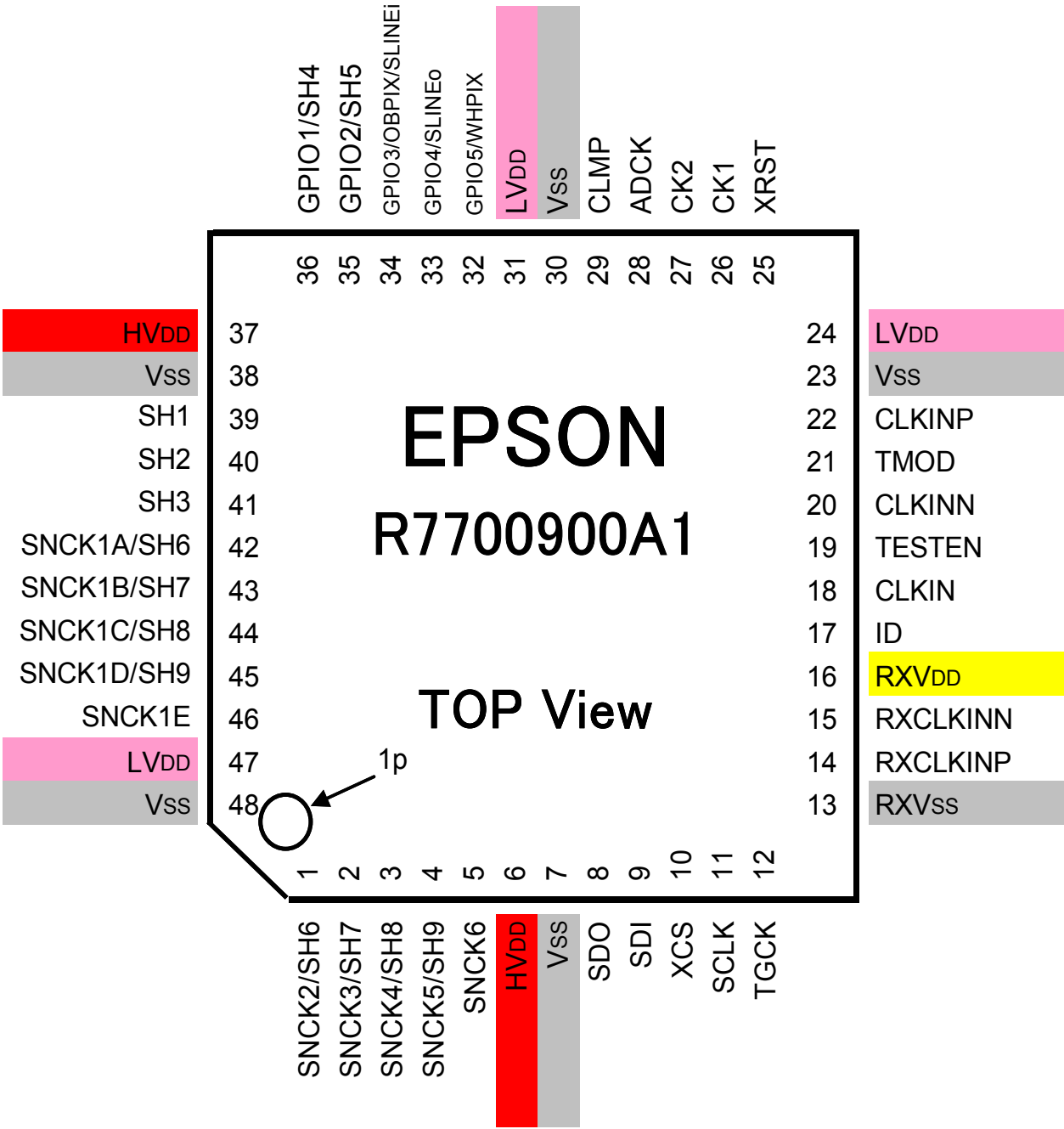
※ 耐放射線設計はされていません。

3. ブロック図

3. ブロック図



4. 端子配置図



5. 端子説明

5. 端子説明

No.	Pin	Pin Name	I/O	Reset	Pin Function	Remarks	Drive Capacity
Line Sensor Drive Clocks							
1	39	SH1	B5	PD	Line Sensor shift 1	PD	12mA*
2	40	SH2	B5	PD	Line Sensor shift 2	PD	12mA*
3	41	SH3	B5	PD	Line Sensor shift 3	PD	12mA*
4	42	SNCK1A/SH6	B5	PD	Line Sensor clock 1A/SH6	PD	12mA*/24mA*
5	43	SNCK1B/SH7	B5	PD	Line Sensor clock 1B/SH7	PD	12mA*/24mA*
6	44	SNCK1C/SH8	B5	PD	Line Sensor clock 1C/SH8	PD	12mA*/24mA*
7	45	SNCK1D/SH9	B5	PD	Line Sensor clock 1D/SH9	PD	12mA*/24mA*
8	46	SNCK1E	B5	PD	Line Sensor clock 1E	PD	12mA*/24mA*
9	1	SNCK2/SH6	B5	PD	Line Sensor clock 2/SH6	PD	12mA*/24mA*
10	2	SNCK3/SH7	B5	PD	Line Sensor clock 3/SH7	PD	12mA*/24mA*
11	3	SNCK4/SH8	B5	PD	Line Sensor clock 4/SH8	PD	12mA*/24mA*
12	4	SNCK5/SH9	B5	PD	Line Sensor clock 5/SH9	PD	12mA*/24mA*
13	5	SNCK6	B5	PD	Line Sensor clock 6	PD	12mA*/24mA*
Host Interface							
14	36	GPIO1/SH4	B	PD	General Purpose1/SH4	PD	12mA*
15	35	GPIO2/SH5	B	PD	General Purpose2/SH5	PD	12mA*
16	34	GPIO3/SLINEi/OBPIX	B	PD	General Purpose3/SLINEi/OBPIX	PD	12mA*
17	33	GPIO4/SLINEo	O	Hi-Z	General Purpose4/SLINEo		12mA*
18	32	GPIO5/WHPIX	O	Hi-Z	General Purpose5/WHPIX		12mA*
19	12	TGCK	B5T	Hi-Z	Line Sensor shift signal trigger	SMT	12mA*
20	10	XCS	I5T	—	Chip select	SMT	—
21	11	SCLK	I5T	—	Serial clock	SMT	
22	9	SDI	I5T	—	Serial data input	SMT	
23	8	SDO	O	Hi-Z	Serial data output		2mA
24	17	ID	I	—	Chip ID select	PD	—

Symbols in the I/O section

- A: Analog pin
- I: Input pin (3.3V input)
- I5T: Input pin (5.0V tolerant input)
- O: Output pin (3.3V output)
- B: Bi-directional pin (3.3V input/output)
- B5: Bi-directional pin (5.0V input/output)
- B5T: Bi-directional pin (5.0V tolerant input/output)
- P: Power supply pin

Symbols in the Reset (in the initial state) section

- Hi-Z: High impedance state
- PD: In the input state, potential is Low due to pull-down register

Symbols in the Remarks section

- PU: Pull-up
- PD: Pull-down
- SMT: Schmitt input
- *: Low Noise type output

No.	Pin	Pin Name	I/O	Reset	Pin Function	Remarks	Drive Capacity
AFE Interface							
25	28	ADCK	B	PD	A/D Converter clock	PD	12mA*
26	26	CK1	B	PD	Sampling clock 1	PD	12mA*
27	27	CK2	B	PD	Sampling clock 2	PD	12mA*
28	29	CLMP	B	PD	Clamp timing	PD	12mA*
System Signal							
29	25	XRST	I	—	Reset signal	SMT	—
30	18	CLKIN	I	—	Reference clock	PD	—
31	22	CLKINP	A	—	Reference clock (Positive) [OSC input]		Analog
32	20	CLKINN	A	—	Reference clock (Negative) [OSC input]		Analog
33	14	RXCLKINP	A	—	Differential clock (Positive) [RSDS(LVDS) input]		Analog
34	15	RXCLKINN	A	—	Differential clock (Negative) [RSDS(LVDS) input]		Analog
35	19	TESTEN	I	—	Test pin	PD	—
36	21	TMOD	I	—	Test pin	PD	—
Power Supply							
37	6	HVDD	P	—	5.0V logic power supply		—
38	37	HVDD					
39	24	LVDD	P	—	3.3V logic power supply		—
40	31	LVDD	P	—			
41	47	LVDD	P	—			
42	16	RXVDD	P	—	RSDS(LVDS)-RX power supply +3.3V		—
43	7	Vss	P	—	Logic ground		—
44	23	Vss	P	—			
45	30	Vss	P	—			
46	38	Vss	P	—			
47	48	Vss	P	—			
48	13	RXVss	P	—	RSDS(LVDS)-RX ground		—

Symbols in the I/O section

A: Analog pin

I: Input pin (3.3V input)

I5T: Input pin (5.0V tolerant input)

O: Output pin (3.3V output)

B: Bi-directional pin (3.3V input/output)

B5: Bi-directional pin (5.0V input/output)

B5T: Bi-directional pin (5.0V tolerant input/output)

P: Power supply pin

Symbols in the Reset (in the initial state) section

HI-Z: High impedance state

PD: In the input state, potential is Low due to pull-down register

Symbols in the Remarks section

PU: Pull-up

PD: Pull-down

SMT: Schmitt input

* Low Noise type output

6. 機能説明

各ブロックの機能を以下に説明します。

6.1 ホストインタフェース部

6.1.1 シリアルインタフェース

シリアルインタフェースは、XCS 信号（チップセレクト）、SCLK 信号（シリアルデータ入出力同期クロック）、SDI 信号（シリアルデータ入力）および SDO 信号（シリアルデータ出力）の 4 信号で構成されます。本 IC がアクティブ状態（XCS 信号が LOW）の時、SCLK 信号に同期してデータ送受信を行います。アクセスサイクルは TMOD 信号および ID 信号の組み合わせにより 16 ビットレジスタアクセスモード（25 サイクルまたは 24 サイクル）、8 ビットレジスタアクセスモード（16 サイクル）で行います。サイクル数の設定は TMOD 信号と ID 信号の状態によって表 6.1 のとおりとなります。

表 6.1 アクセスサイクル設定

アクセスサイクル	TMOD	ID
25 サイクル	LOW	チップ ID 選択設定
24 サイクル	HIGH	LOW
16 サイクル	HIGH	HIGH

本 IC 内部にはシリアルーパラレル変換（またはパラレルーシリアル変換）のためのカウンタがあり、XCS 信号を HIGH にすることによりリセットされます。従って、レジスタライトまたはレジスタリードの各サイクル終了後は、必ず XCS 信号をネゲート（XCS 信号を HIGH）にしてください。

16 ビットレジスタアクセスモード時は、まずライトまたはリードアクセスを示す識別ビットをライトします。識別ビットは、LOW のときにライトアクセス、HIGH のときにリードアクセスを行います。識別ビットに引き続きチップ ID 選択ビット（25 サイクル動作時のみ）および 7 ビットのレジスタ識別番号をライトし、その後データのライトまたはリードを行います。なお、25 サイクル動作時はチップ ID 選択ビットの入力レベルが ID 信号（チップ ID 選択設定）と同論理の場合に本 IC へのアクセスが有効となります。

チップ ID 選択ビット、レジスタ識別番号およびデータ転送はいずれもクロックの立ち上がり同期し MSB から順に転送します。図 6.1、図 6.2 に各アクセス時のタイミングを示します。

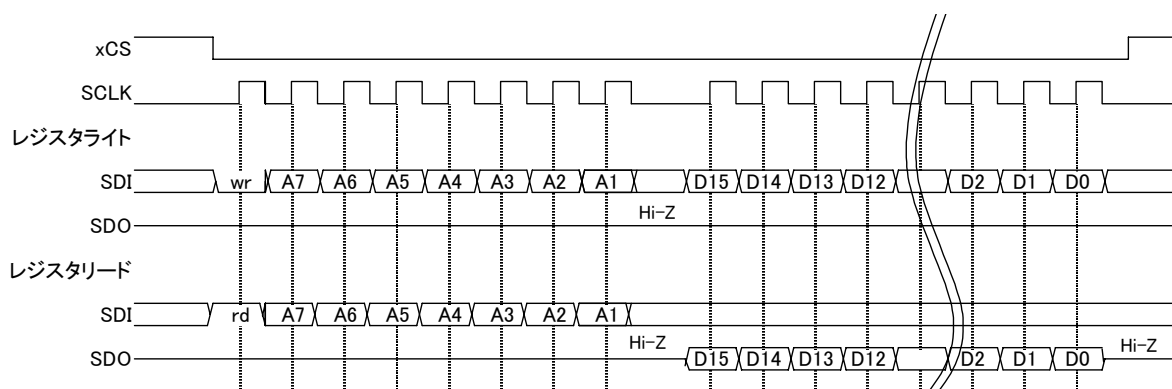


図 6.1 16 ビット ID なしレジスタアクセスモード シリアルインタフェースアクセスタイミング

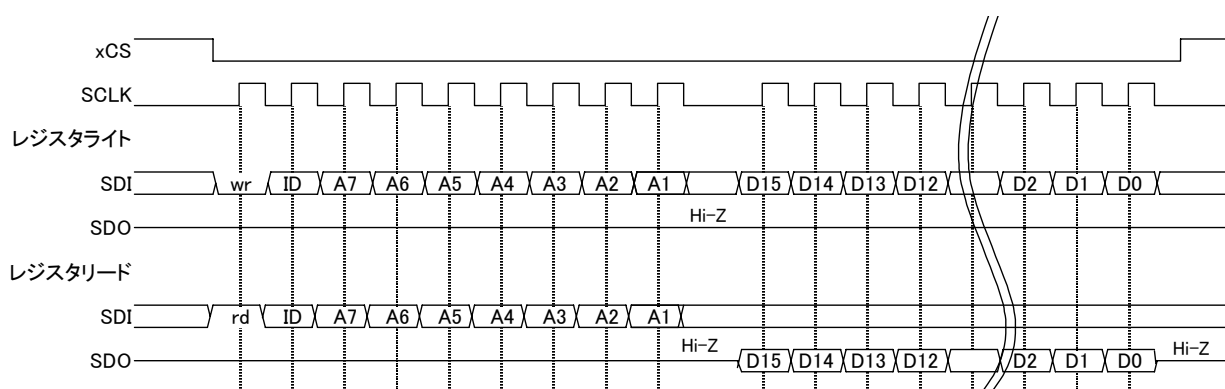


図 6.2 16 ビット ID 付レジスタアクセスモード シリアルインタフェースアクセスタイミング

8 ビットレジスタアクセスモード時は、まずリード動作時のデータフォーマット指定ビットをライトします。MD[1:0] = “00”の場合、上位 2 ビットが“00”となり 8 ビットのデータを出力します。MD[1:0] = “01”の場合、下位 2 ビットが“00”となり 8 ビットのデータを出力します。データフォーマット指定ビットに引き続きライトまたはリードアクセスを示す識別ビットをライトします。識別ビットは、LOW のときにライトアクセス、HIGH のときにリードアクセスを行います。その後、識別ビットに引き続き 3 ビットのレジスタ識別番号をライトし、その後データのライトまたはリードを行います。なお、本レジスタアクセス時には、1 アドレスにおいて 8 ビットの L データおよび H データをアクセスする必要があります。さらに、レジスタアドレスを直接指定することはできません。アクセス方法としては、アドレスレジスタにアクセス先のアドレスを設定後、データ L レジスタへライトデータをセット、データ H レジスタへライトデータをセットすることによりレジスタアクセスが完了します。アドレス、データ L、データ H のレジスタアドレスを表 6.2 のとおりとなります。

表 6.2 アクセスサイクル設定

アドレス A[3:1]	レジスタ名
001	アドレス設定レジスタ
010	データ L 設定レジスタ
100	データ H 設定レジスタ

レジスタ識別番号およびデータ転送はいずれもクロックの立ち上がり同期し MSB から順に転送します。図 6.3 に各アクセス時のタイミングおよび図 6.4 にてアクセスシーケンスを示します。

6. 機能説明

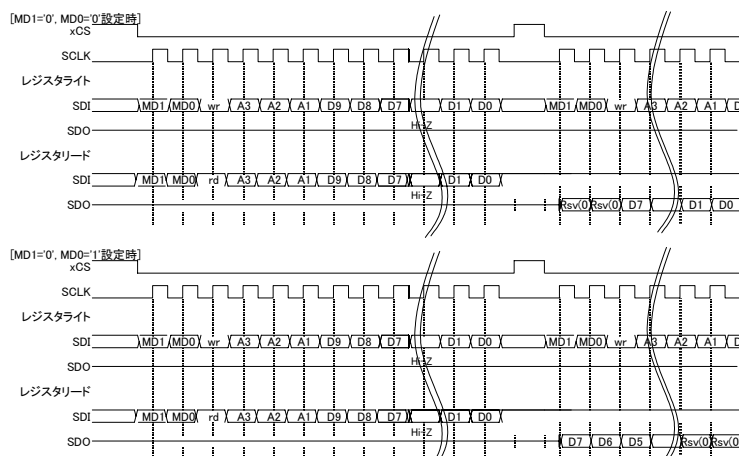


図 6.3 8 ビットレジスタアクセスモード シリアルインタフェースアクセスタイミング

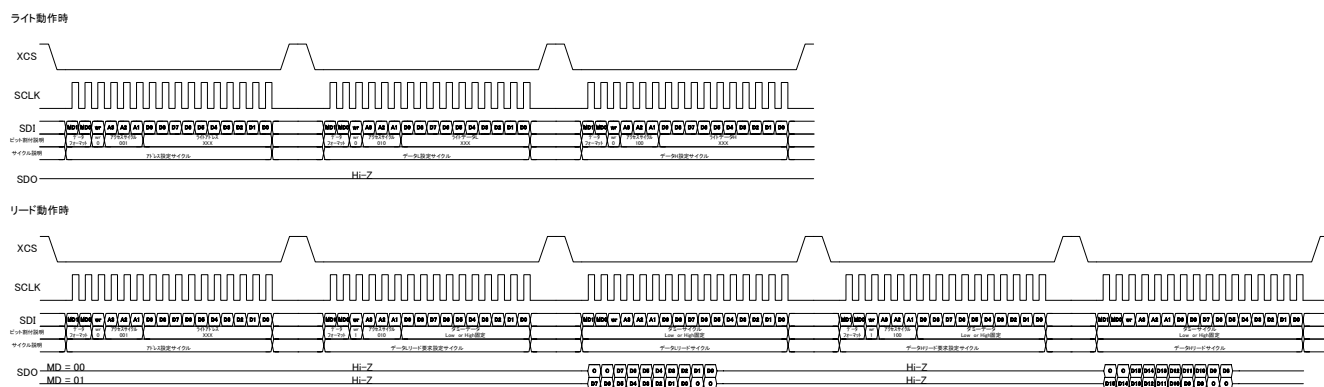


図 6.4 8 ビットレジスタアクセスモード シリアルインタフェースアクセスシーケンス

6.2 RSDS(LVDS)部

入力クロック信号を RSDS(LVDS)にて入力することができます。図 6.5 に RSDS(LVDS)部周辺の接続関係を示します。

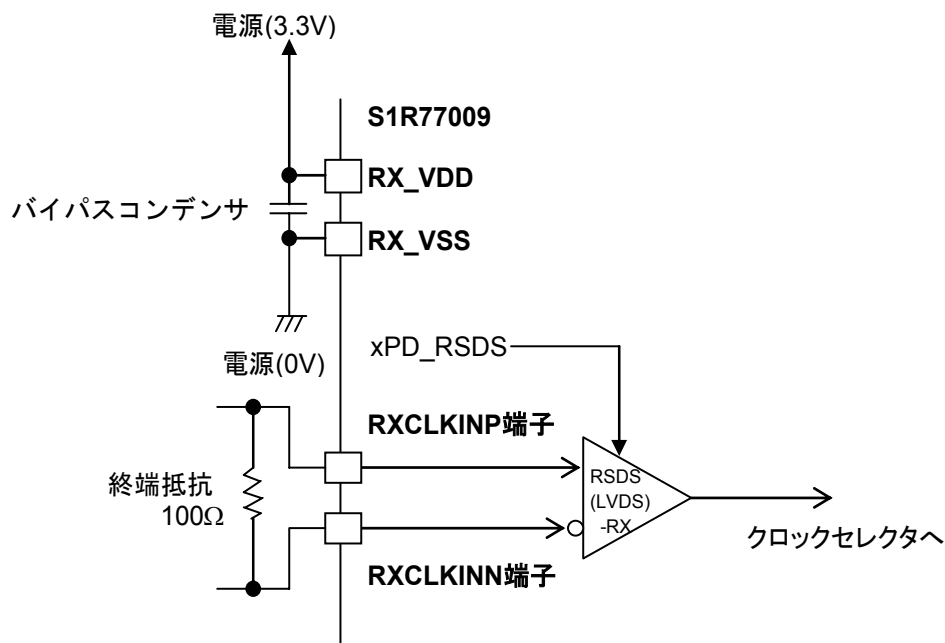


図 6.5 RSDS(LVDS)接続図

(1) パワーダウン機能

RSDS(LVDS)部は、パワーダウン機能を有しており、ANA_RESET レジスタ (No.0x70) の xPD_RSDS ビットによって制御することができます。xPD_RSDS ビットを“0”に設定することにより、RSDS(LVDS)部はパワーダウンモードとなり入力信号の出力を停止します。また、“1”に設定することにより、パワーダウンモードが解除され入力信号の出力を開始します。なお、パワーダウンモード解除後、安定動作を開始するまで最大で 10ms 必要です。

(2) 終端抵抗

RSDS(LVDS)入力端子の直近に 100Ωの終端抵抗を接続してください。

「制限注意事項」

外付け抵抗は公差±1.0%以下を推奨します。また、基板実装において本 IC とコネクタ間は、スルーホール等を介さず同一面に実装してください。

(3) 空き端子処理

クロック入力を RSDS(LVDS)にて入力しない場合は、RXCLKINP を Low レベルに、RXCLKINN を High レベルに固定してください。

6. 機能説明

6.3 内蔵 PLL 部

外部入力クロックである CLK 入力信号を内蔵 PLL によって 3, 6 通倍し、基準となる内部基準クロックを生成します。内部基準クロックは 1 画素あたりの処理を行うために必要な内部ステートを生成します。なお、内部基準クロック 1 サイクルは、1 ステート(T)に相当します。

図 6.6 に内蔵 PLL 周辺の接続関係を示します。

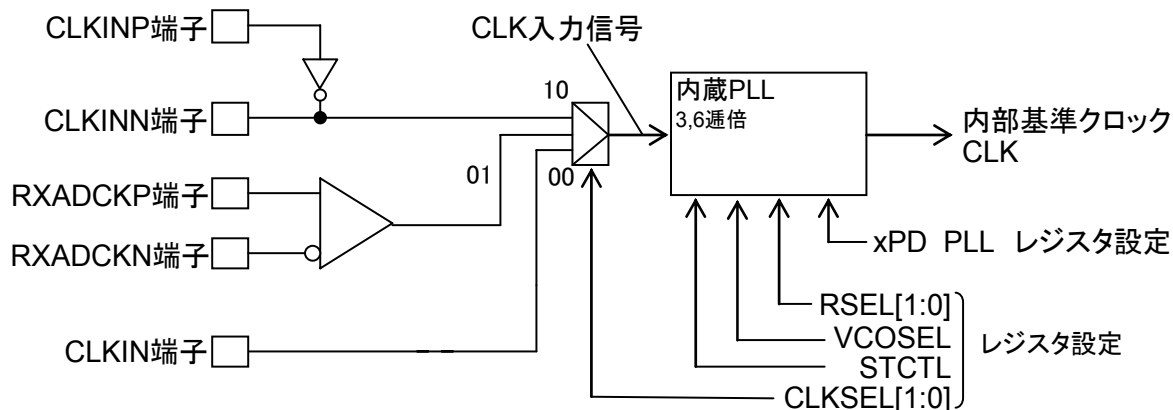


図 6.6 内蔵 PLL

「制限注意事項」

PLL_IMGSIG_CTL レジスタ (No.0x7F) の下記ビットの設定を変更する際は、ANA_RESET レジスタ (No.0x70) の xPD_PLL ビットを必ず“0”にして、内蔵 PLL の発振を停止してから行ってください。

VCOSEL、CLKSEL[1:0]、RSEL[1:0]

(1) パワーダウン機能

内蔵 PLL のパワーダウン機能は、ANA_RESET レジスタ (No.0x70) の xPD_PLL ビットによって制御することができます。xPD_PLL ビットを“0”に設定することにより、内蔵 PLL はパワーダウンモードとなり発振を停止します。また、“1”に設定することにより、パワーダウンモードが解除され発振を開始します。なお、PLL パワーダウンモード解除後、安定した発振出力を行うまで最大で 10ms 必要とします。

(2) 外部クロック選択

本 IC は外部クロックを表 6.3 に示すとおり、クロックパルス入力、RSDS(LVDS)差動入力、または発振回路入力の選択をすることができます。入力方式にあわせて、PLL_IMGSIG_CTL レジスタ (No.0x7F) の CLKSEL ビットを設定する必要があります。

表 6.3 CLKSEL 設定

外部クロック入力	レジスタ設定	端子処理				
	CLKSEL[1:0]	CLKIN	RXCLKINP	RXCLKINN	CLKINP	CLKINN
クロックパルス	00	クロック入力	LOW 固定	HIGH 固定	LOW 固定	未接続
RSDS(LVDS)差動	01	LOW 固定	クロック入力		LOW 固定	未接続
発振回路	10	LOW 固定	LOW 固定	HIGH 固定	X'tal 接続	

(3) 内部基準クロック周波数設定

内部基準クロック周波数設定は、CLK 入力信号の周波数および通倍数に応じて表 6.4 に従い PLL_IMGSIG_CTL レジスタ (No.0x7F) の VCOSEL ビットを設定します。

表 6.4 VCOSEL 設定

内部基準クロック (入力クロック周波数(fCLKIN MHz)×通倍数)	VCOSEL ビット設定
$60\text{MHz} \leq \text{fCLKIN} \times (\text{通倍設定}) \leq 100\text{MHz}$	0
$100\text{MHz} \leq \text{fCLKIN} \times (\text{通倍設定}) \leq 150\text{MHz}$	1

「制限注意事項」

内部基準クロック周波数(fclk)は下記のこと注意到意して設定してください。

$$60\text{MHz} \leq \text{内部基準クロック周波数 (fCLKIN)} \leq 150\text{MHz}$$

(5) 通倍設定

内蔵 PLL の通倍設定は STCTL レジスタ (No.0x52) の STNUM ビットにより設定します。STNUM ビット設定にて基準となる通倍数を 3, 6 通倍の何れかを選択します。

6. 機能説明

6.4 制御部

6.4.1 概要

制御部は内部 AFE およびラインセンサに対応した、制御信号を生成します。

- ラインセンサに対応
- ラインセンサおよび AFE の制御信号をプログラマブルに対応
- ラインセンサの駆動クロックパルスパターン出力をプログラマブルに対応
- AFE クロックパルスパターン出力をプログラマブルに対応

6.4.2 画像取り込み動作

待機状態と画像取り込み状態の二つの状態があります。待機状態にするためには TGCTL レジスタ (No.0x50) の TGSTART ビットに“0”を設定する必要があります。一方、画像取り込み状態にするためには同じく TGSTART ビットに“1”を設定します。また、TGSTART ビットに“1”が設定されると画像取り込み動作を開始します。

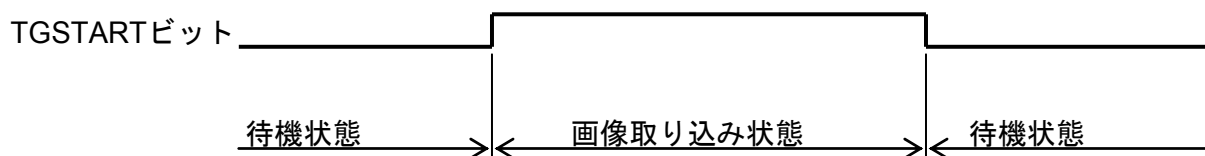


図 6.7 待機状態と画像取り込み状態

「制限注意事項」

画像取り込み状態のとき TGSTART ビット以外のレジスタ設定変更は禁止です。従って、画像データ取得状態のときに TGSTART ビット以外を変更した場合、正常動作を行わない場合があります。

「制限注意事項 2」

ADCKEN ビットが“0”のとき TGSTART ビットを“1”に設定することは禁止です。ADCKEN ビットが“0”のとき TGSTART ビットを“1”にした場合、正常動作を行わない場合があります。

6.4.3 画素処理

(1) 内部ステートおよび駆動パターン分解能設定

本 IC の 1 画素あたりの処理動作は全て内部ステートを基準に動作を行います。また、内部信号「ADCKREF」は内部ステートの基点となる信号でその周期は駆動パターン分解能設定に依存されます。ADCKREF 1 サイクルで 1 画素の処理時間となります。

また、内部ステートのステート数は駆動パターン分解能設定に依存し、STCTL レジスタ (No.0x52) の STNUM ビットで設定します。例えば 6 分周設定時において分解能は 6 となり、ADCKREF は 6 ステートで 1 サイクルとなります。表 6.5 に駆動パターン分解能設定、全ステート数の関係を示します。

表 6.5 内部ステート数

駆動パターン分解能設定		ステート範囲	全ステート数
設定値(STNUM)	分周		
“1”	6	0～5	6T
“0”	3	0～2	3T

図 6.8 に駆動パターン分解能設定を 6 分周に設定した際の内部ステートと ADCKREF 信号の関係を示します。なお、図中は「T」は内部ステートの 1 ステート時間を示し、1 画素を 0～5 ステート（全 6T）で処理します。図中、ADCKREF 信号はパターン RAM にて 0～2 までは High、3～5 までは Low の設

定とした場合の例となります。

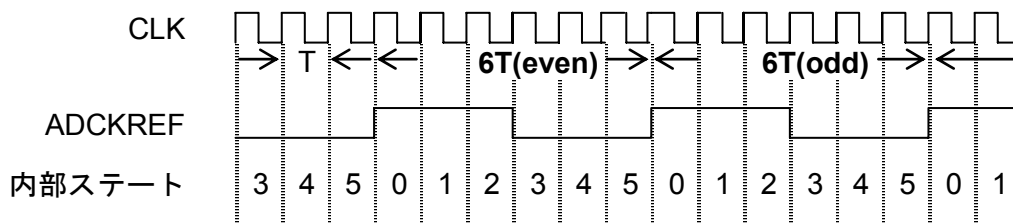


図 6.8 内部ステートと ADCKREF 信号の関係（6 分周設定時）

(2) 同期モード

本 IC は内部ステートを CLK 入力信号に対する位相調整(同期化)する機能を有しています。STCTL レジスタ (No.0x52) の SYNCMD[1:0] ビットの設定によりその同期方法を選択することができます。

SYNCMD[1:0] ビットが“00”設定の場合、常に CLK 入力信号の立ち上がりで同期して内部ステートを初期化します。“10”設定の場合は、1 ライン分の処理開始を示すシフトパルストリガ信号 (TGCK) の立ち上がりを検出後、次の CLK 入力信号の立ち上がりでのみ内部ステートの同期化を行います。そして、“11”設定の場合は同期化動作を行わず、内部カウンタフル検出でのみ内部ステートの初期化を行います。図 6.9 にそれぞれの設定時における動作例を示します。

外部から入力された TGCK 信号は、本 IC 内部でフィルタ処理を行うため、図 6.9 に示すとおり内部基準クロックで約 2 クロック遅延します。この遅延した信号 [図中 TGCK (立ち上がり)] の立ち上がりを基準に内部ステートの同期化を行います。また、TGCK 信号外部入力時において、TGMD レジスタ (No.0x51) の TGCKINV ビットを“1”に設定にすることにより、TGCK 信号を負論理で入力することができます。

なお、1 ライン処理についての詳細は 6.4.4 を参照してください。

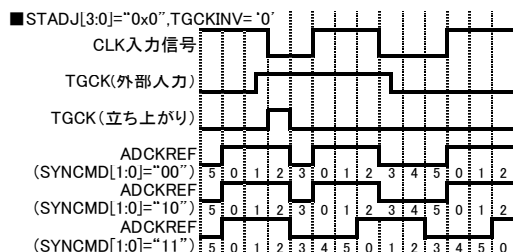


図 6.9 同期モード設定例（その 1）

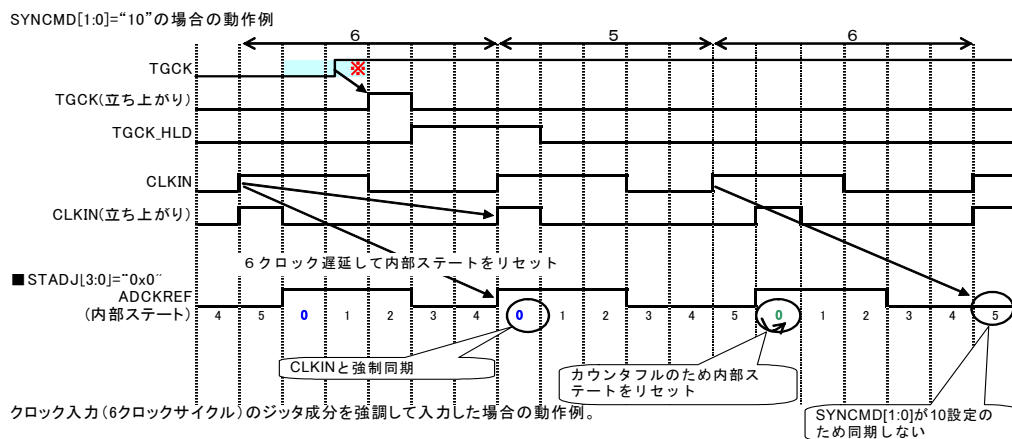


図 6.10 同期モード内部動作例

6. 機能説明

「制限注意事項」

TGCK 立ち上がりが ADCKREF 1 サイクル遅れて検出することを防ぐために、ADCKREF 信号に対し TGCK (内部 TGCK 立ち上がり) の変化点が同時になることを避ける必要があります。そのため、CLKIN 信号の立ち上がり後 1 ステートを避けて TGCK を入力してください。

図 6.10 に内部動作例を示します。

内部ステートを CLK 入力信号と同期する際、STCTL レジスタ (No.0x52) の STADJ[3:0] ビットにより、その位相差を設定することができます。図 6.11 に動作例を示します。なお、図 6.11 に示すとおり位相差設定の調整量なし (STADJ[3:0]="0x0") の場合、CLK 入力信号と内部ステートの位相差は、内部基準クロックで 0 となります。

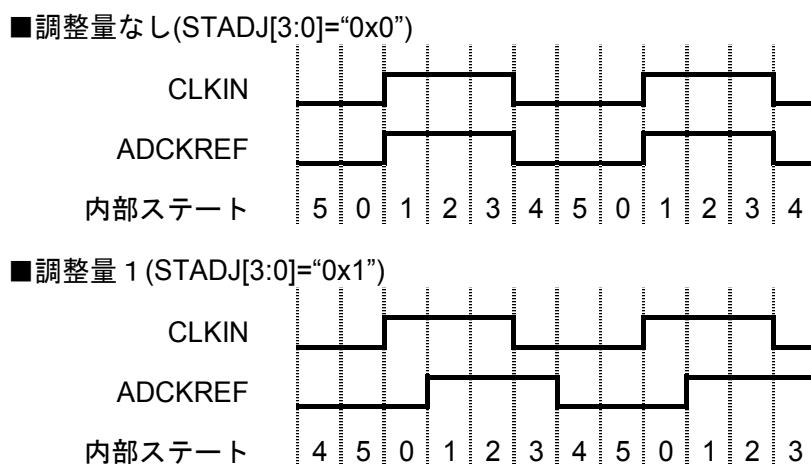


図 6.11 内部ステート同期化調整例

「制限注意事項 1」

6 通倍動作時、STADJ[3:0]通倍数 (0x5) を越える設定は禁止となります。同様に 3 通倍設定時は 0x02 を超える値の設定は禁止となります。

6 通倍動作時、基準クロックの設定をあわせるためには、0x0 を設定してください。

3 通倍動作時、基準クロックの設定をあわせるためには、0x0 を設定してください。

6.4.4 ライン処理

1 ライン動作

1 ライン処理は TGCK 信号 (トリガ信号) を基準に行います。TGCK 信号は 1 ライン処理の開始を示す信号であり、TGCK 信号のアクティブ検出後、1 ライン分の処理を開始します。なお、TGCK 信号の周期をライン周期といいます。

図 6.12 に 1 ライン処理の動作例を示します。

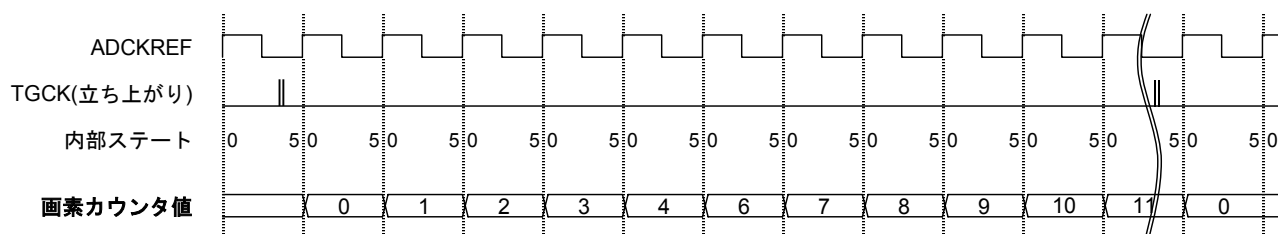


図 6.12 1 ライン処理動作例

1 ライン分の取り込み処理を行うために次のカウンタによって各タイミングを生成します。

- 画素カウンタ

- ・ AFE から転送されてきた画像データの画素数をカウント
- ・ TGCK 信号立ち上がりを検出後、内部ステート先頭“0 ステート”からカウント開始

6.4.5 シフト信号、クロックパルス等出力タイミング

(1) タイミング設定

シフト信号、クロックパルスの各出力タイミングおよび黒基準画素、白画素位置指定は、それぞれの状態変化をイベントとして扱い、イベントパターン設定レジスタ (PAT00～7F レジスタ) にて設定します。

イベントパターン設定は表 6.6 に示すとおりで、それぞれのイベントは 2 ワード単位で設定します。従って、全イベント数は 64 イベント (0x40 イベント) まで設定することができます。各イベントは画素単位に設定することができ、画素カウンタと PIXNUM[15:0] ビットが等しいとき、設定されているビットのイベントを発生させます。イベントの発生は所望のビットに“1”を設定することによって、対応するタイミングの状態が変化します。イベントの状態を変化させない場合は、“0”を設定してください。

また、TGMD レジスタ (No.0x51) の INTGCK ビットに“1”を設定し、TGCK 内部生成モードとして動作させる場合は、イベント設定の最終ラインに、SH1 から WHPIX の全ビットに“1”を設定し、かつ TGCK を生成させたいタイミングの画素カウンタ値を設定したパターンを設定してください。なお、PAT00～PAT7F レジスタ (No.0x00～3F) は 2 バンク構成となっています。0 バンク目である PAT00～PAT3F レジスタ (No.0x00～3F) をアクセスする場合には、必ず PATEN レジスタ (No.0x53) の EVENTPAT0EN ビットを“1”に設定してから行ってください。そして、アクセス終了後は、EVENTPAT0EN ビットを“0”に設定してください。同様に 1 バンク目である PAT40～7F レジスタ (No.0x00～3F) をアクセスする場合は、PATEN レジスタ (No.0x53) の EVENTPAT1EN ビットを設定してください。使用されないイベントパターン設定レジスタには 0xFFFF を設定してください。

表 6.6 各信号出力タイミング設定レジスタ

レジスタ	ビット	記号	意味
PAT00、PAT02...	0～15	PIXNUM[15:0]	イベントを発生させる画素位置を設定 (画素カウンタとの比較)
PAT01、PAT03...	0	SH1	SH1 信号タイミング
	1	SH2	SH2 信号タイミング
	2	SH3	SH3 信号タイミング
	3	SH4	GPIO1/SH4 信号タイミング
	4	SH5	GPIO2/SH5 信号タイミング
	5	SH6	SNCK1A/SNCK2/SH6 信号タイミング
	6	SH7	SNCK1B/SNCK3/SH7 信号タイミング
	7	SH8	SNCK1C/SNCK4/SH8 信号タイミング
	8	SH9	SNCK1D/SNCK5/SH9 信号タイミング
	9	SLINE_RISE	GPIO4/SLINEo 信号タイミング
	10	SLINE_FALL	GPIO4/SLINEo 信号タイミング
	11	CLMP	クランプタイミング
	12～13	SNCKCTL[1:0]	クロックパターン出力タイミング 00 : (状態変化なし) 01 : パターン 1 出力 10 : パターン 2 出力 11 : 固定値出力、固定値出力切り替え※
	14	OBPIX	黒基準画素位置指定
	15	WHPIX	白画素位置指定

※固定値出力時において“11”設定のイベントが発生すると固定値出力を切り替えます
(SNCKxxLV1 設定レベル出力 ↔ SNCKxxLV2 設定レベル出力)

6. 機能説明

「制限注意事項 1」

PIXNUM のイベント発生、最大設定値は 0xFFFFE までとなります。

また、最小値は 0x0001 からとなります。

0xFFFF はイベント設定を行わない箇所に設定してください。

「制限注意事項 2」

1 ライン周期の最後のクロックパターン出力タイミングは固定値出力に設定することを推奨します。

(2) 動作例

1 チャネルモード動作時において、イベントパターン設定を表 6.7 のとおり設定した場合の動作例を図 6.13 に示します。

表 6.7 タイミング設定例

No.	15 WHPIX	14 OBPIX	13~12 SNCKCTL[1:0]	11 CLMP	10 SLINE_FALL	9 SLINE_RISE	8 SH9	7 SH8	6 SH7	5 SH6	4 SH5	3 SH4	2 SH3	1 SH2	0 SH1	15~0 PIXNUM[15:0]	bit	
0x00	0	0	11	1	0	0	0	0	0	0	0	0	0	0	0	0x0001		
0x02	0	0	01	0	0	0	0	1	0	1	0	1	0	0	1	0x0002		
0x04	0	0	10	0	0	0	0	0	0	0	0	0	0	0	1	0x0003		
0x06	0	0	00	0	0	0	0	0	0	0	1	1	0	1	0	0x0004		
0x08	1	1	01	0	0	0	0	0	0	1	0	0	0	1	1	0x0005		
0x0A	0	0	00	0	0	0	1	1	0	0	1	1	1	0	1	0x0006		
0x0C	1	1	00	0	0	0	0	0	0	0	0	0	1	1	0	0x0007		
0x0E	0	0	11	0	0	0	0	0	1	0	1	1	0	1	0	0x0008		
0x10	0	0	11	0	0	0	0	0	0	0	0	0	1	0	0	0x0009		
0x12	0	0	11	1	0	0	1	0	0	0	1	0	1	0	0	0x000A		
0x14	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF※		
0x16	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x18	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x1A	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x1C	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x1E	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x20	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x22	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x24	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x26	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x28	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x2A	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
:																:		
:																:		
0x7C	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
0x7E	1	1	11	1	1	1	1	1	1	1	1	1	1	1	1	0xFFFF		
SH1POL	= 0		SH2POL		= 0		SH3POL		= 0		SH4POL		= 0		SH5POL		= 0	
SH5POL	= 1		SH6POL		= 0		SH7POL		= 0		SH8POL		= 0		SH9POL			= 0
SH9POL	= 0																	

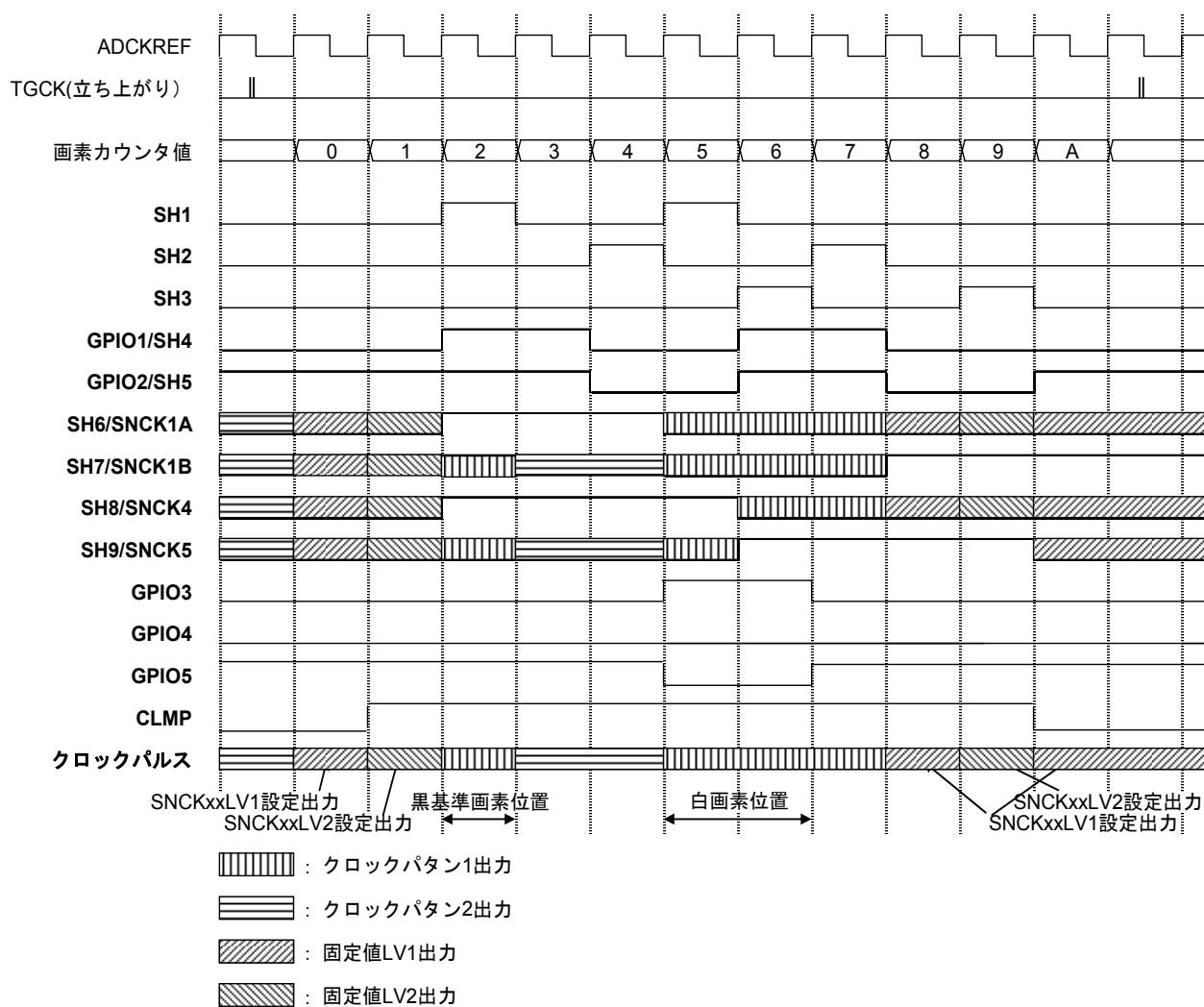


図 6.13 1 チャンネルモード時動作例

6. 機能説明

6.4.6 クロックパルスのパターン出力

クロックパルス（SNCK1A, SNCK1B, SNCK1C, SNCK1D, SNCK1E, SNCK2, SNCK3, SNCK4, SNCK5, SNCK6, CK1, CK2, ADCK）のパターン出力は、レジスタで設定された任意のパターンを出力します。クロックパルスには次のとおりラインセンサ駆動クロックパルスと AFE クロックパルスがあります。なお、CK1, CK2, ADCK はパターン周期出力数をレジスタにより、切り替えることができます。

- ラインセンサ駆動クロックパルス
 - ・ SNCK1A, SNCK1B, SNCK1C, SNCK1D, SNCK1E, SNCK2, SNCK3, SNCK4, SNCK5, SNCK6
- AFE クロックパルス
 - ・ CK1, CK2, ADCK

表 6.8 に示すとおりパターン周期は、各クロックパルスによって異なります。

表 6.8 パターン周期

クロックパルス	パターン周期	
	3 分周	6 分周
SNCK1A, SNCK1B, SNCK1C, SNCK1D, SNCK1E	6T	12T
SNCK2, SNCK3, SNCK4, SNCK5, SNCK6	3T	6T
CK1, CK2, ADCK	6T (3T)	12T (6T)

(1) クロックパルスパターン出力設定

各クロックパルスのパターン設定レジスタを表 6.9 に示します。

表 6.9 パターン設定レジスタ

クロックパルス	パターン設定レジスタ	
	パターン 1 出力時	パターン 2 出力時
SNCK1A, SNCK1B, SNCK1C, SNCK1D, SNCK1E, CK1, CK2, ADCK	SNCK1APAT00 (No.0x00) ～ADCKPAT00 (No.0x07)	SNCK1APAT10 (No.0x08) ～ADCKPAT10 (No.0x0F)
SNCK2, SNCK3, SNCK4, SNCK5, SNCK6,	SNCK2PAT00 (No.0x10) ～SNCK6PAT00 (No.0x14)	SNCK2PAT00 (No.0x18) ～SNCK6PAT00 (No.0x1C)

PAT00～PAT1F レジスタ（No.0x00～1F）を読み書きする際には、必ず PATEN レジスタ（No.0x53）の SNCKPATEN ビットを“1”に設定してから行ってください。そして、読み書き終了後は、SNCKPATEN ビットを“0”に設定してください。使用されないステートのラインセンサ駆動クロックパルスパターン設定レジスタには null コード（0x0000）を設定してください。

また、SNCKCTL レジスタ（No.0x55～56）の SNCK1ALV1～SNCK6LV1 ビットおよび SNCK1ALV2～SNCK6LV2 ビットで、固定値出力期間の出力レベルを設定します。固定値出力設定は、信号ごとに SNCK1ALV1～SNCK6LV1 ビットおよび SNCK1ALV2～SNCK6LV2 ビットの 2 つの設定が用意されており、イベントが発生するたびにそれぞれ設定されている値に応じて出力を切り替えます。

- (2) パターン 1 出力時のラインセンサ駆動クロックパルスパターン出力
 1 チャンネルモード、12 分周設定時、ラインセンサ駆動クロックパルスパターン設定レジスタの設定例と出力される波形の例を示します。

表 6.10 1 チャンネルモードにおけるパターン 1 設定例

レジスタ No	Bit	Even サイクル						ODD サイクル						Reserved			
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0x00	SNCK1APAT00	0	0	0	0	0	0	1	1	1	1	1	1	x	x	x	x
0x01	SNCK1BPAT00	1	1	1	1	1	1	0	0	0	0	0	0	x	x	x	x
0x05	CK1PAT00	0	0	0	1	0	0	0	0	0	1	0	0	x	x	x	x
0x06	CK2PAT00	0	0	0	0	0	1	0	0	0	0	0	1	x	x	x	x
0x07	ADCKPAT00	1	1	1	0	0	0	1	1	1	0	0	0	x	x	x	x
0x10	SNCK2PAT00	1	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
0x11	SNCK3PAT00	0	1	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : don't care

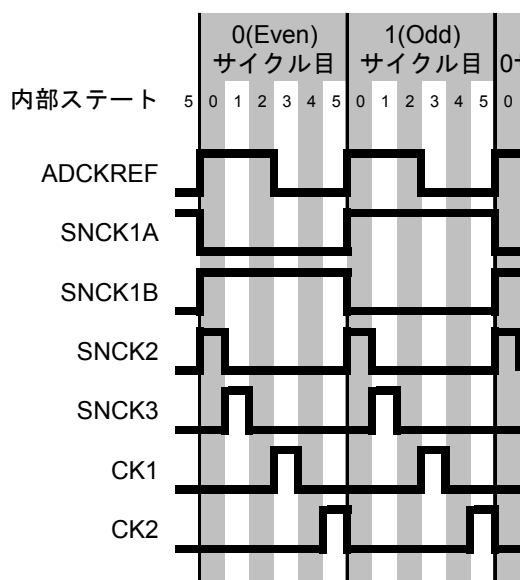


図 6.14 1 チャンネルモード時のパターン 1 出力波形の例

6. 機能説明

- (3) パターン 2 出力時のラインセンサ駆動クロックパルスパターン出力
 パターン 2 出力時はパターン 1 出力時の内部ステート番号とは別のステート番号を uses。出力されるパターンは、表 6.11 に示すとおりパターン 1 と同様の出力方法にて出力されます。

表 6.11 パターン 2 出力時の出力パターン

レジスタ No	Bit	Even サイクル						ODD サイクル						Reserved			
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0x08	SNCK1APAT10	0	0	0	0	0	0	1	1	1	1	1	1	x	x	x	x
0x09	SNCK1BPAT10	1	1	1	1	1	1	0	0	0	0	0	0	x	x	x	x
0x0D	CK1PAT10	0	0	0	1	0	0	0	0	0	1	0	0	x	x	x	x
0x0E	CK2PAT10	0	0	0	0	0	1	0	0	0	0	0	1	x	x	x	x
0x0F	ADCKPAT10	1	1	1	0	0	0	1	1	1	0	0	0	x	x	x	x
0x18	SNCK2PAT10	1	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
0x19	SNCK3PAT10	0	1	0	0	0	0	0	0	x	x	x	x	x	x	x	x

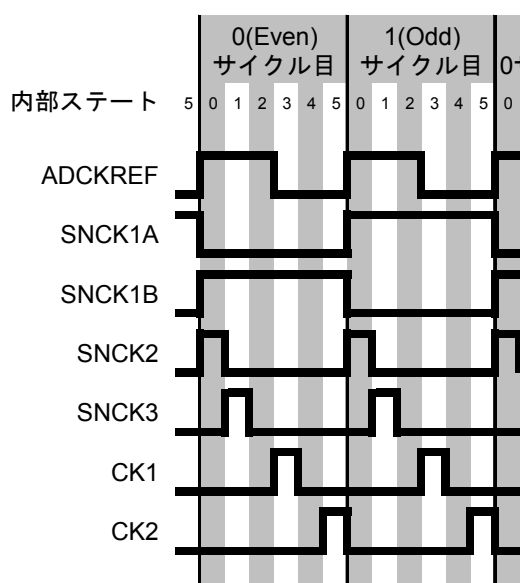


図 6.15 1 チャンネルモード時のパターン 2 出力波形の例

- (4) AFE クロックパルスのクロックパルスパターン出力切り替え機能
 AFE クロックパルスの ADCK,CK1,CK2 信号は、パターン周期を切り替えて出力することが可能です。通常は、EVEN/ODD サイクル (6T/12T) 出力ですが、TGCTL レジスタ (No.0x50) の AFEDISOE ビットを“1”に設定することにより、EVEN サイクルのみ (3T/6T) 出力に設定可能です。
 また、AFE クロックパルスは SNCK 信号と同様イベントパターンレジスタの LV 出力時は、クロックが停止してしまいますが、TGCTL レジスタ (No.0x50) の AFECKOUT ビットを“1”に設定することにより、ADCKEN ビットが“1”の間パターン 1 を出力し続けることが可能です。AFE IC にて PLL 等を搭載してクロックを停止することが出来ない場合等に使用ください。

6.4.7 SLINE 出力処理

画像取り込み許可信号 (TGSTART ビット) のアクティブ後、SLINE の外部入力又は、レジスタ設定により出力を行います。

SLINE 信号は、TGMD レジスタ (No.0x51) の INSLINE、MUXSLINE ビットにより外部入力または内部生成を選択することができます。INSLINE ビットに“0”設定時、SLINE 信号を内部生成します。INSLINE ビットに“1”、MUXSLINE ビットに“1”を設定する事により立上りを外部入力、立下りを内部生成とすることができます。INSLINE ビットに“1”、MUXSLINE ビットに“0”を設定した場合は SLINELi にて外部入力したタイミングにて生成します。表 6.12 にて INSLINE、MUXSLINE ビット組み合わせ動作を示します。

SLINE 信号を内部生成、または立上り外部・立下り内部生成した場合、TGSTART ビットのアクティブ後、TGCK 信号を基準に副操作方向ライン数をカウントします。SLINEST レジスタ (No.0x40) 設定値とイベントパターン設定レジスタ (No.0x00~0x3F) SLINE_RISE ビットの設定箇所から SLINE 出力を開始し、SLINEEND レジスタ (No.0x41) 設定値とイベントパターン設定レジスタ (No.0x00~0x3F) SLINE_FALL ビットの設定箇所まで SLINE 信号出力を終了します。

なお、SLINE 信号を外部生成時は、TGSTART ビットのアクティブ後の TGCK 立上り時に、入力される SLINE を同期化し出力します。

図 6.16 は SLINE 信号内部生成とし、SLINEST=2、SLINEEND=6 に設定した場合の動作例を示します。

図 6.17 は SLINE 信号外部入力とした場合の動作例を示します。

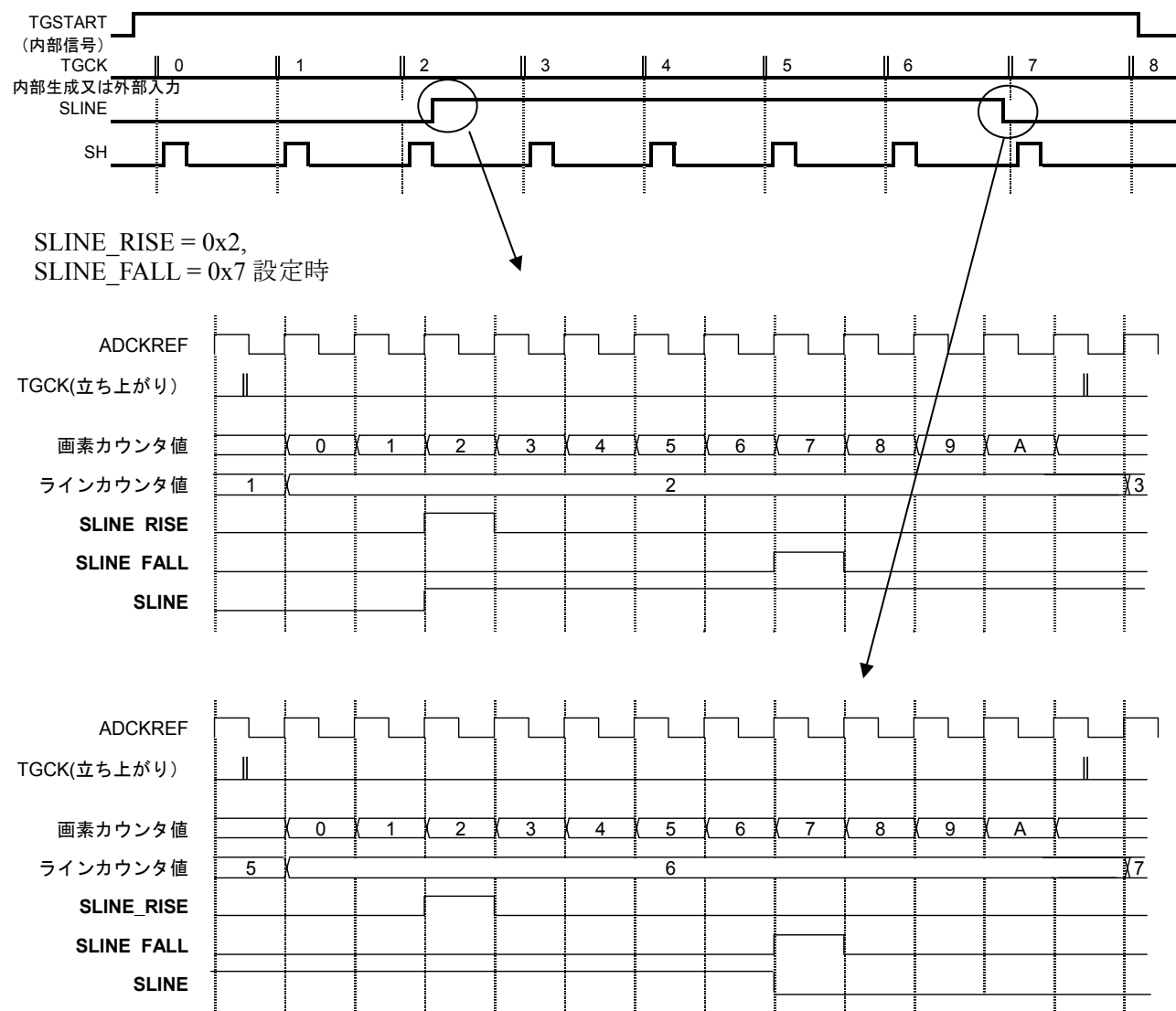


図 6.16 SLINE 信号内部生成動作例

6. 機能説明

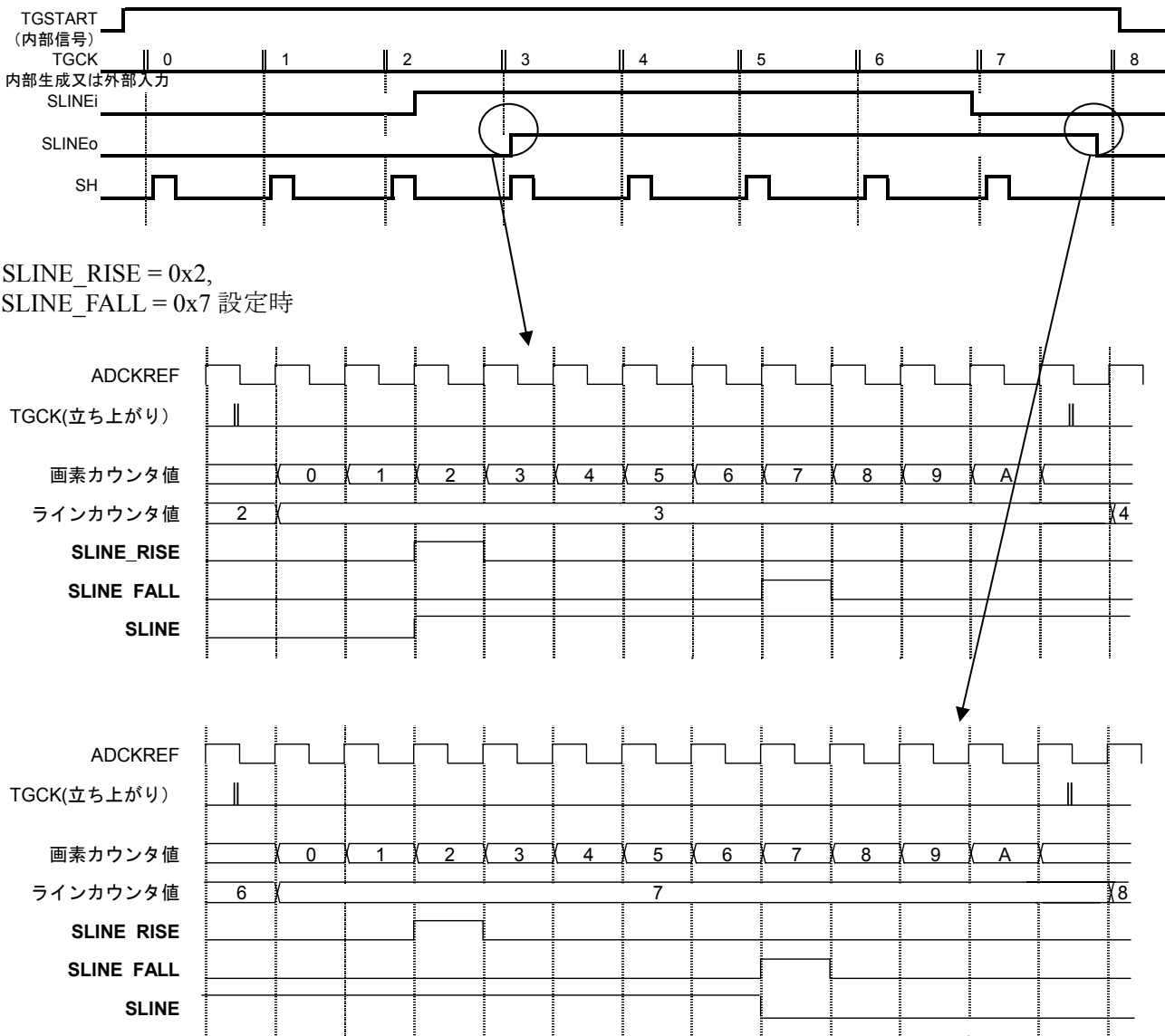


図 6.17 SLINE 信号外部入力動作例

表 6.12 INSLINE、MUXSLINE ビット組み合わせ動作表

	INSLINE/MUXSLINE 組み合わせ			
	"0/0"	"0/1"	"1/0"	"1/1"
SLINE_RISE 生成方法	ラインカウンタ設定 タイミング + 画素カウンタ 遅延出力	設定禁止	SLINEi 入力 タイミング + 画素カウンタ 遅延出力	SLINEi 入力 タイミング + 画素カウンタ 遅延出力
SLINE_FALL 生成方法	ラインカウンタ設定 タイミング + 画素カウンタ 遅延出力	設定禁止	SLINEi 入力 タイミング + 画素カウンタ 遅延出力	ラインカウンタ設定 タイミング + 画素カウンタ 遅延出力

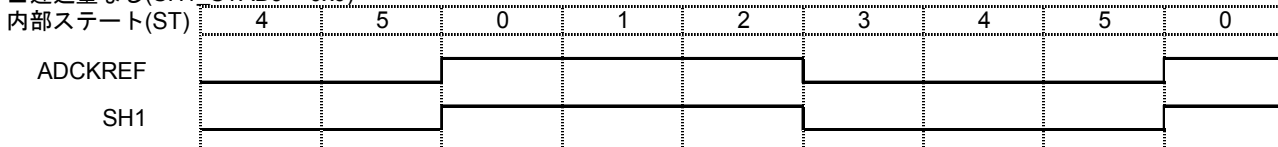
6.4.8 制御信号出力遅延設定

(1) シフト信号出力遅延

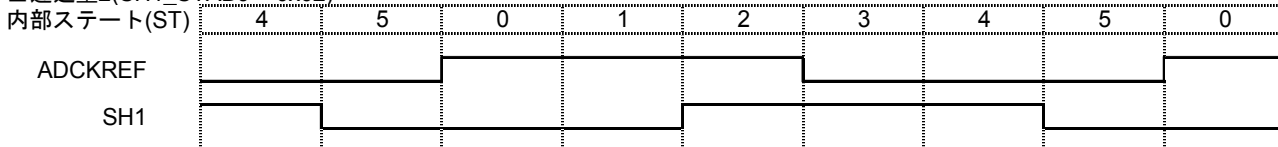
SH_ADJ1 レジスタ (No.0x42) ～SH_ADJ4 レジスタ (No.0x45) のそれぞれのビットにより SH1 ～SH9 および CLMP～WHPIX 信号の変化タイミングの遅延量を設定します。設定値により、SH1 ～SH9 および CLMP～WHPIX 信号の立ち上がり、立ち下がりタイミングは設定値×T 時間、遅延します。

図 6.18 は SH1 信号の出力遅延の動作例です。なお、SH2～9 および CLMP～WHPIX 信号も同様の動作を行います。

■遅延量なし(SH1_STADJ = 0x0)



■遅延量2(SH1_STADJ = 0x02)



パルス幅 : 1 画素分

図 6.18 SH1 信号出力遅延量設定動作例

(2) クロックパルス出力遅延設定

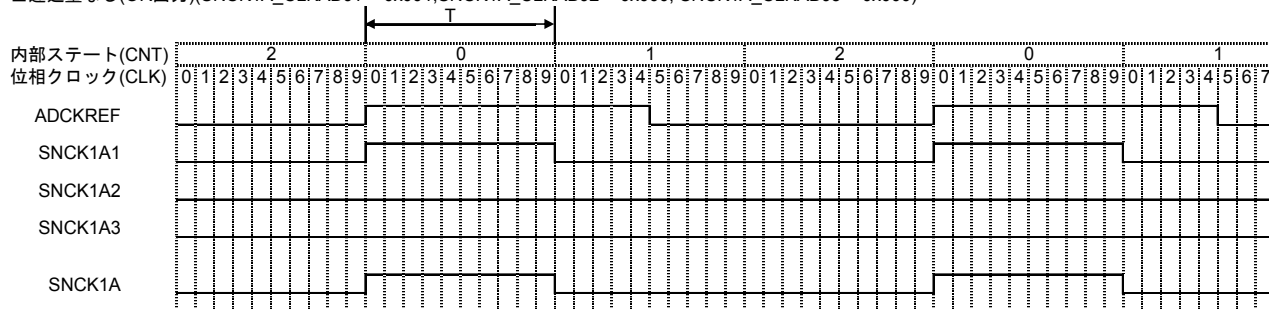
クロックパルスに遅延を加えて出力することができます。遅延設定についてはステート 0～ステート 5 ごとに個別に 3 種類の遅延を組み合わせる設定することが可能です。また、レジスタ設定の組み合わせにより、パルス幅を変更する事ができます。出力遅延は T/10 の位相クロックにより遅延を個別に設定することができ、かつ正転出力、反転出力を個別に選択して出力することができます。設定する際は、表 6.13 にしたがって有効とする出力クロックのビットに“1”を設定してください。

表 6.13 SNCK クロック該当表

SNCK クロック該当					
ビット名 (№0x49～0x4B)	該当クロック	ビット名 (№0x4C～0x4E)	該当クロック	ビット名 (№0x4C～0x4E)	該当ステート
SNCK_CLKADJ*[9]	位相クロック 9 出力許可	SNCK_INV*[9]	反転出力位相クロック 9 出力許可	ADJ*_STATE[5]	ステート 5 出力許可
SNCK_CLKADJ*[8]	位相クロック 8 出力許可	SNCK_INV*[8]	反転出力位相クロック 8 出力許可	ADJ*_STATE[4]	ステート 4 出力許可
SNCK_CLKADJ*[7]	位相クロック 7 出力許可	SNCK_INV*[7]	反転出力位相クロック 7 出力許可	ADJ*_STATE[3]	ステート 3 出力許可
SNCK_CLKADJ*[6]	位相クロック 6 出力許可	SNCK_INV*[6]	反転出力位相クロック 6 出力許可	ADJ*_STATE[2]	ステート 2 出力許可
SNCK_CLKADJ*[5]	位相クロック 5 出力許可	SNCK_INV*[5]	反転出力位相クロック 5 出力許可	ADJ*_STATE[1]	ステート 1 出力許可
SNCK_CLKADJ*[4]	位相クロック 4 出力許可	SNCK_INV*[4]	反転出力位相クロック 4 出力許可	ADJ*_STATE[0]	ステート 0 出力許可
SNCK_CLKADJ*[3]	位相クロック 3 出力許可	SNCK_INV*[3]	反転出力位相クロック 3 出力許可		
SNCK_CLKADJ*[2]	位相クロック 2 出力許可	SNCK_INV*[2]	反転出力位相クロック 2 出力許可		
SNCK_CLKADJ*[1]	位相クロック 1 出力許可	SNCK_INV*[1]	反転出力位相クロック 1 出力許可		
SNCK_CLKADJ*[0]	位相クロック 0 出力許可				

6. 機能説明

■遅延量なし(OR出力)(SNCK1A_CLKADJ1 = 0x001, SNCK1A_CLKADJ2 = 0x000, SNCK1A_CLKADJ3 = 0x000)



■OR出力(SNCK1A_CLKADJ1 = 0x021, SNCK1A_CLKADJ2 = 0x000, SNCK1A_CLKADJ3 = 0x000)

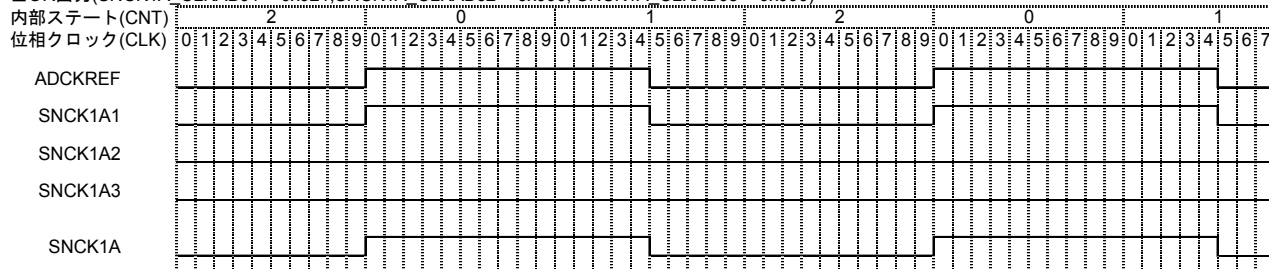
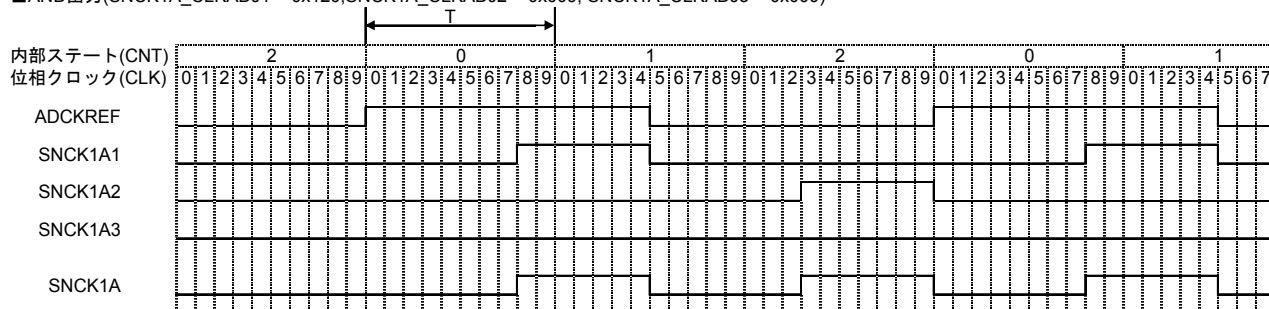


図 6.19 SNCK1A 信号 OR 出力遅延量設定動作例

■AND出力(SNCK1A_CLKADJ1 = 0x120, SNCK1A_CLKADJ2 = 0x009, SNCK1A_CLKADJ3 = 0x000)



■AND出力(SNCK1A_CLKADJ1 = 0x021, SNCK1A_ADJ2 = 0x021, SNCK1A_ADJ3 = 0x021)

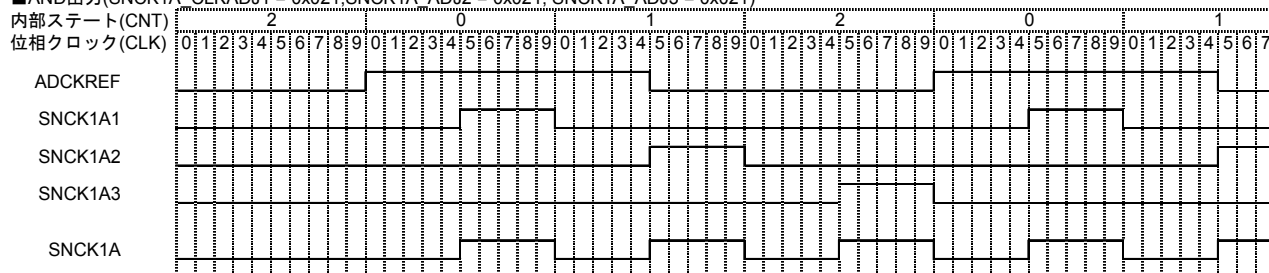


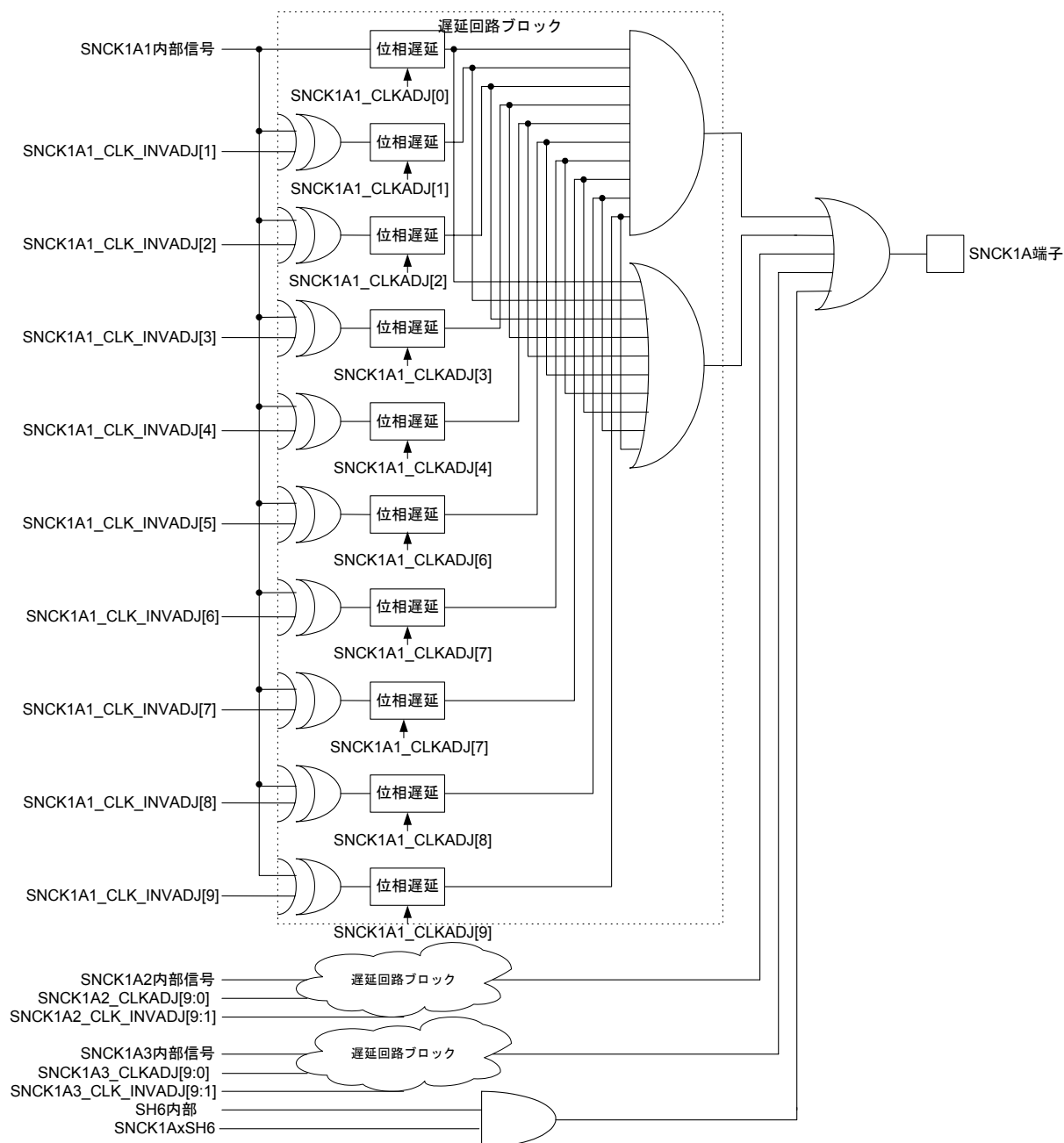
図 6.20 SNCK1A 信号 AND 出力遅延量設定動作例

表 6.14 に各信号の遅延量設定レジスタおよびページ設定レジスタを示します。

6. 機能説明

SNCKxSHCTL レジスタ (No.0x57) の SNCKXXxSHX に“1”を設定することにより SNCK 信号に SH 信号との論理和を出力することができます。

図 6.22 に出力遅延回路構成図を示します。



6.4.9 制御信号出力極性設定

表 6.15 は AFE 転送クロック信号、ラインセンサ駆動クロックパルスおよびシフト信号の極性を設定するレジスタを示します。本ビットに“1”を設定することにより該当信号の出力論理を反転することができます。

表 6.15 制御信号出力極性設定レジスタ

信号	信号名	極性設定	
		レジスタ	ビット
AFE タイミング信号	CLMP	POLCTL(No.0x58)	CLMPPOL
シフト信号	SH1		SH1POL
	SH2		SH2POL
	SH3		SH3POL
	SH4		GPIO1POL
	SH5		GPIO2POL
	SH6		SH6POL
	SH7		SH7POL
	SH8		SH8POL
	SH9		SH9POL
	OBPIX		GPIO3POL
	SLINE		GPIO4POL
	WHPIX		GPIO5POL
ラインセンサ駆動クロック信号	SNCK1A	SNCKINV(No.0x54)	SNCK1AINV
	SNCK1B		SNCK1BINV
	SNCK1C		SNCK1CINV
	SNCK1D		SNCK1DINV
	SNCK1E		SNCK1EINV
	SNCK2		SNCK2INV
	SNCK3		SNCK3INV
	SNCK4		SNCK4INV
	SNCK5		SNCK5INV
	SNCK6		SNCK6INV

「制限注意事項」

SH6～SH9 信号を SNCK 信号として使用する際、SNCK 信号と SH 信号の論理和の出力を行っていただきますので、それぞれの信号の出力論理が排他的になるよう SH6POL～SH9POL を設定してください。

6. 機能説明

6.4.10 兼用汎用ポート

表 6.16 に各制御信号と兼用の汎用ポートを示します。

汎用ポート機能有効設定は GPIOEN1/GPIOEN2 レジスタ(No.0x59~5A)で制御します。“0”を設定するとそのレジスタビットに対応した端子は、該当端子の機能信号を出力します。また、“1”を設定すると対応端子の汎用 I/O ポート機能を有効にします。各信号とも初期化時は汎用ポート設定 (“1”設定) となっているため、機能信号を出力する際は、GPIOEN1/GPIOEN2 レジスタ(No.0x59~5A)の該当端子のビットに“0”を設定してください。

なお、SNCK 端子と SH1~3/GPIO1~4 端子において汎用ポートの構成が異なります。そのため、SNCK 端子を汎用ポートとして使用する場合には、SNCK_CLKADJ1~3/SNCK_INV1~3 レジスタ(No.0x48~4E)の出力クロック選択ビットを全て“0”に設定、ANDxOR ビットも“0”に設定してください。

汎用ポート入出力切り替えは GPIODIR1/GPIODIR2/GPIODIR3 レジスタ(No.0x5B~5D)で制御します。GPIODIR1/GPIODIR2 は、“00”を設定するとそのレジスタに対応した端子は、入力ポートとなります。また、“01”/“10”を設定すると出力ポートとなります。なお、機能信号を出力する場合は、“01”/“10”に設定し出力状態にする必要があります。

“01”設定時は、出力電流が 12mA 駆動となり、“10”設定時は、出力電流が 24mA 駆動となります。出力負荷に応じて設定を変更することが可能です。

GPIODIR3 は、“0”を設定するとそのレジスタに対応した端子は、入力ポートとなります。また、“1”を設定すると出力ポートとなります。なお、機能信号を出力する場合は、“1”に設定し出力状態にする必要があります。

該当端子が出力設定となっている場合、汎用ポートへの信号出力は、GPIOST1/GPIOST2 レジスタ(No.0x5E~5F)をライトするとレジスタに設定された値を出力します。一方、GPIOST1/GPIOST2 レジスタ(No.0x5E~5F)をリードすると汎用ポートの設定に関わらず、対応する端子の状態が読み出せます。

表 6.16 汎用ポート

信号端子名	汎用ポート制御レジスタ			
	汎用ポート機能有効設定	汎用ポート入出力切替	汎用ポート出力	汎用ポート入力
SNCK1A/SH6	GPIOEN1(No.0x59)	GPIODIR1/GPIODIR2 (No.0x5B~5C)	GPIOST1(No.0x5E)	GPIOST1(No.0x5E)
SNCK1B/SH7				
SNCK1C/SH8				
SNCK1D/SH9				
SNCK1E				
SNCK2/SH6				
SNCK3/SH7				
SNCK4/SH8				
SNCK5/SH9				
SNCK6				
SH1	GPIOEN2(No.0x5A)	GPIODIR3(No.0x5D)	GPIOST2(No.0x5F)	GPIOST2(No.0x5F)
SH2				
SH3				
GPI01/SH4				
GPI02/SH5				
GPI03				
GPI04				
GPI05				

図 6.23 は SH1 信号の汎用ポート部分の内部接続を示しています。また、SH2、SH3、GPI01、GPI02、GPI03、GPI04 の各端子も同様の接続となっています。

図 6.24 は SNCK1A 信号の汎用ポート部分の内部接続を示しています。

SNCK1B、SNCK1C、SNCK1D、SNCK1E、SNCK2、SNCK3、SNCK4、SNCK5、SNCK6 の端子も同様の接続となっています。

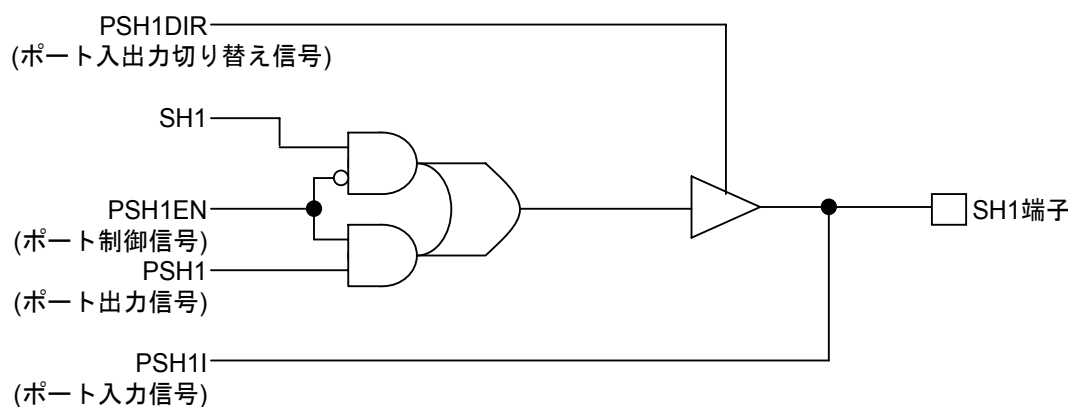


図 6.23 SH/GPIO 汎用ポート内部接続

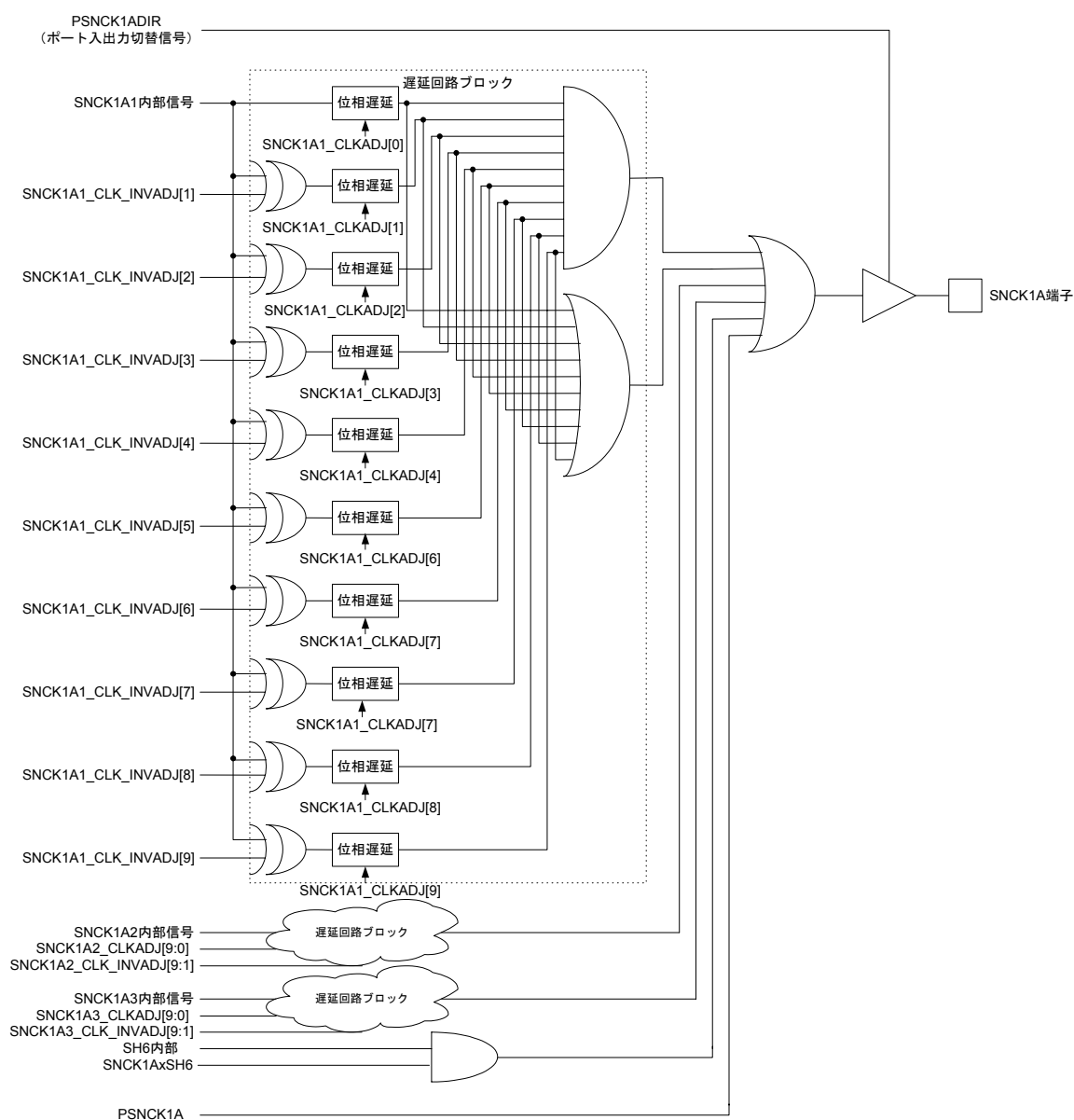


図 6.24 SNCK1A 汎用ポート内部接続

7. レジスタ

7. レジスタ

7.1 メモリマップ

No.	Address	Description			Size	Access Size
0x00	0x00	SNCK Pattern Registers (No.0x00 ~0x1F)	EVENT Pattern1 Registers (No.0x00 ~0x3F)	EVENT Pattern2 Registers (No.0x40 ~0x7F)	128B	16-bit
0x3F	0x7F	Reserved				
0x40	0x80	Timing Parameter Registers			32B	
0x4F	0x9F					
0x50	0xA0	Control Registers			32B	
0x5F	0xBF					
0x60	0xC0	Reserved			32B	
0x6F	0xDF					
0x70	0xE0	AFE & External Interface Registers			32B	
0x7F	0xFF					

7.2 レジスタマップ

No.	Address	Register Name	R/W	Function
SNCK/Event Pattern Registers				
0x00	0x00	PAT00	R/W	ボタン設定レジスタNo.00
...	R/W	...
0x3F	0x7E	PAT3F	R/W	ボタン設定レジスタNo.3F
Timing Parameter Registers				
0x40	0x80	SLINEST	R/W	SLINE開始ライン設定レジスタ
0x41	0x82	SLINEEND	R/W	SLINE終了ライン設定レジスタ
0x42	0x84	SH_ADJ1	R/W	シフトパルス信号出力遅延設定レジスタ1
0x43	0x86	SH_ADJ2	R/W	シフトパルス信号出力遅延設定レジスタ2
0x44	0x88	SH_ADJ3	R/W	クロックパルス信号出力遅延設定レジスタ1
0x45	0x8A	SH_ADJ4	R/W	クロックパルス信号出力遅延設定レジスタ2
0x46	0x8C	(Reserved)		
0x47	0x8E	(Reserved)		
0x48	0x90	SNCK_ADJ_PAGESE	R/W	クロックパルス遅延設定ページ選択レジスタ
0x49	0x92	SNCK_CLKADJ1	R/W	クロックパルス信号出力遅延設定レジスタ1
0x4A	0x94	SNCK_CLKADJ2	R/W	クロックパルス信号出力遅延設定レジスタ2
0x4B	0x96	SNCK_CLKADJ3	R/W	クロックパルス信号出力遅延設定レジスタ3
0x4C	0x98	SNCK_INV1	R/W	クロックパルス反転出力遅延設定レジスタ1
0x4D	0x9A	SNCK_INV2	R/W	クロックパルス反転出力遅延設定レジスタ2
0x4E	0x9C	SNCK_INV3	R/W	クロックパルス反転出力遅延設定レジスタ3
0x4F	0x9E	(Reserved)		
Control Registers				
0x50	0xA0	TGCTL	R/W	タイミング生成機能制御レジスタ
0x51	0xA2	TGMD	R/W	タイミング生成機能設定レジスタ
0x52	0xA4	STCTL	R/W	内部ステート制御レジスタ
0x53	0xA6	PATEN	R/W	ボタン設定制御レジスタ
0x54	0xA8	SNCKINV	R/W	ラインセンサ駆動クロックパルス極性設定レジスタ
0x55	0xAA	SNCK1CTL	R/W	ラインセンサ駆動クロックパルスボタン設定レジスタ1
0x56	0xAC	SNCK2CTL	R/W	ラインセンサ駆動クロックパルスボタン設定レジスタ2
0x57	0xAE	SNCKxSHCTL	R/W	ラインセンサ駆動クロックパルス出力設定レジスタ
0x58	0xB0	POLCTL	R/W	極性制御レジスタ
0x59	0xB2	GPIOEN1	R/W	汎用ポート制御レジスタ1
0x5A	0xB4	GPIOEN2	R/W	汎用ポート制御レジスタ2
0x5B	0xB6	GPDIR1	R/W	汎用ポート入出力切り替えレジスタ1
0x5C	0xB8	GPDIR2	R/W	汎用ポート入出力切り替えレジスタ2
0x5D	0xBA	GPDIR3	R/W	汎用ポート入出力切り替えレジスタ3
0x5E	0xBC	GPIOST1	R/W	汎用ポートレジスタ1
0x5F	0xBE	GPIOST2	R/W	汎用ポートレジスタ2
0x60	0xC0	(Reserved)		
0x61	0xC2	(Reserved)		
0x62	0xC4	(Reserved)		
0x63	0xC6	(Reserved)		
0x64	0xC8	(Reserved)		
0x65	0xCA	(Reserved)		
0x66	0xCC	(Reserved)		
0x67	0xCE	(Reserved)		
0x68	0xD0	(Reserved)		
0x69	0xD2	(Reserved)		
0x6A	0xD4	(Reserved)		
0x6B	0xD6	(Reserved)		
0x6C	0xD8	(Reserved)		
0x6D	0xDA	(Reserved)		
0x6E	0xDC	(Reserved)		
0x6F	0xDE	(Reserved)		
AFE & External Interface Registers				
0x70	0xE0	ANA_RESET	R/W	アナログモジュールリセットレジスタ
0x71	0xE2	(Reserved)		
0x72	0xE4	(Reserved)		
0x73	0xE6	(Reserved)		
0x76	0xE8	(Reserved)		
0x77	0xEA	(Reserved)		
0x76	0xEC	(Reserved)		
0x77	0xEE	(Reserved)		
0x78	0xF0	(Reserved)		
0x79	0xF2	(Reserved)		
0x7A	0xF4	(Reserved)		
0x7B	0xF6	(Reserved)		
0x7C	0xF8	(Reserved)		
0x7D	0xFA	(Reserved)		
0x7E	0xFC	(Reserved)		
0x7F	0xFE	PLL_IMAGESIG_CTL	R/W	PLL・画像出力信号制御レジスタ

7. レジスタ

7.3 ビットマップ

No.	Address	Register Name	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SNCK1000 Pattern Registers																		
0x00	0x00	SNCK1APAT00					SNCK1APAT08	SNCK1APAT0A	SNCK1APAT09	SNCK1APAT0B	SNCK1APAT07	SNCK1APAT06	SNCK1APAT05	SNCK1APAT04	SNCK1APAT03	SNCK1APAT02	SNCK1APAT01	SNCK1APAT00
0x01	0x02	SNCK1BPAT00					SNCK1BPAT08	SNCK1BPAT0A	SNCK1BPAT09	SNCK1BPAT0B	SNCK1BPAT07	SNCK1BPAT06	SNCK1BPAT05	SNCK1BPAT04	SNCK1BPAT03	SNCK1BPAT02	SNCK1BPAT01	SNCK1BPAT00
0x02	0x04	SNCK1CPAT00					SNCK1CPAT08	SNCK1CPAT0A	SNCK1CPAT09	SNCK1CPAT0B	SNCK1CPAT07	SNCK1CPAT06	SNCK1CPAT05	SNCK1CPAT04	SNCK1CPAT03	SNCK1CPAT02	SNCK1CPAT01	SNCK1CPAT00
0x03	0x06	SNCK1DPAT00					SNCK1DPAT08	SNCK1DPAT0A	SNCK1DPAT09	SNCK1DPAT0B	SNCK1DPAT07	SNCK1DPAT06	SNCK1DPAT05	SNCK1DPAT04	SNCK1DPAT03	SNCK1DPAT02	SNCK1DPAT01	SNCK1DPAT00
0x04	0x08	SNCK1EPAT00					SNCK1EPAT08	SNCK1EPAT0A	SNCK1EPAT09	SNCK1EPAT0B	SNCK1EPAT07	SNCK1EPAT06	SNCK1EPAT05	SNCK1EPAT04	SNCK1EPAT03	SNCK1EPAT02	SNCK1EPAT01	SNCK1EPAT00
0x05	0x0A	CK1PAT00					CK1PAT08	CK1PAT0A	CK1PAT09	CK1PAT0B	CK1PAT07	CK1PAT06	CK1PAT05	CK1PAT04	CK1PAT03	CK1PAT02	CK1PAT01	CK1PAT00
0x06	0x0C	CK2PAT00					CK2PAT08	CK2PAT0A	CK2PAT09	CK2PAT0B	CK2PAT07	CK2PAT06	CK2PAT05	CK2PAT04	CK2PAT03	CK2PAT02	CK2PAT01	CK2PAT00
0x07	0x0E	ADCKPAT00					ADCKPAT08	ADCKPAT0A	ADCKPAT09	ADCKPAT0B	ADCKPAT07	ADCKPAT06	ADCKPAT05	ADCKPAT04	ADCKPAT03	ADCKPAT02	ADCKPAT01	ADCKPAT00
0x08	0x10	SNCK1APAT10					SNCK1APAT18	SNCK1APAT1A	SNCK1APAT19	SNCK1APAT1B	SNCK1APAT17	SNCK1APAT16	SNCK1APAT15	SNCK1APAT14	SNCK1APAT13	SNCK1APAT12	SNCK1APAT11	SNCK1APAT10
0x09	0x12	SNCK1BPAT10					SNCK1BPAT18	SNCK1BPAT1A	SNCK1BPAT19	SNCK1BPAT1B	SNCK1BPAT17	SNCK1BPAT16	SNCK1BPAT15	SNCK1BPAT14	SNCK1BPAT13	SNCK1BPAT12	SNCK1BPAT11	SNCK1BPAT10
0x0A	0x14	SNCK1CPAT10					SNCK1CPAT18	SNCK1CPAT1A	SNCK1CPAT19	SNCK1CPAT1B	SNCK1CPAT17	SNCK1CPAT16	SNCK1CPAT15	SNCK1CPAT14	SNCK1CPAT13	SNCK1CPAT12	SNCK1CPAT11	SNCK1CPAT10
0x0B	0x16	SNCK1DPAT10					SNCK1DPAT18	SNCK1DPAT1A	SNCK1DPAT19	SNCK1DPAT1B	SNCK1DPAT17	SNCK1DPAT16	SNCK1DPAT15	SNCK1DPAT14	SNCK1DPAT13	SNCK1DPAT12	SNCK1DPAT11	SNCK1DPAT10
0x0C	0x18	SNCK1EPAT10					SNCK1EPAT18	SNCK1EPAT1A	SNCK1EPAT19	SNCK1EPAT1B	SNCK1EPAT17	SNCK1EPAT16	SNCK1EPAT15	SNCK1EPAT14	SNCK1EPAT13	SNCK1EPAT12	SNCK1EPAT11	SNCK1EPAT10
0x0D	0x1A	CK1PAT10					CK1PAT18	CK1PAT1A	CK1PAT19	CK1PAT1B	CK1PAT17	CK1PAT16	CK1PAT15	CK1PAT14	CK1PAT13	CK1PAT12	CK1PAT11	CK1PAT10
0x0E	0x1C	CK2PAT10					CK2PAT18	CK2PAT1A	CK2PAT19	CK2PAT1B	CK2PAT17	CK2PAT16	CK2PAT15	CK2PAT14	CK2PAT13	CK2PAT12	CK2PAT11	CK2PAT10
0x0F	0x1E	ADCKPAT10					ADCKPAT18	ADCKPAT1A	ADCKPAT19	ADCKPAT1B	ADCKPAT17	ADCKPAT16	ADCKPAT15	ADCKPAT14	ADCKPAT13	ADCKPAT12	ADCKPAT11	ADCKPAT10
0x10	0x20	SNCK20PAT																
0x11	0x22	SNCK30PAT																
0x12	0x24	SNCK40PAT																
0x13	0x26	SNCK50PAT																
0x14	0x28	SNCK60PAT																
0x15	0x2A	(Reserved)																
0x16	0x2C	(Reserved)																
0x17	0x2E	(Reserved)																
0x18	0x30	SNCK21PAT												SNCK21PAT15	SNCK21PAT14	SNCK21PAT13	SNCK21PAT12	SNCK21PAT11
0x19	0x32	SNCK31PAT												SNCK31PAT15	SNCK31PAT14	SNCK31PAT13	SNCK31PAT12	SNCK31PAT11
0x1A	0x34	SNCK41PAT												SNCK41PAT15	SNCK41PAT14	SNCK41PAT13	SNCK41PAT12	SNCK41PAT11
0x1B	0x36	SNCK51PAT												SNCK51PAT15	SNCK51PAT14	SNCK51PAT13	SNCK51PAT12	SNCK51PAT11
0x1C	0x38	SNCK61PAT												SNCK61PAT15	SNCK61PAT14	SNCK61PAT13	SNCK61PAT12	SNCK61PAT11
0x1D	0x3A	(Reserved)																
0x1E	0x3C	(Reserved)																
0x1F	0x3E	(Reserved)																
0x20	0x40	(Reserved)																
0x21	0x42	(Reserved)																
0x22	0x44	(Reserved)																
0x23	0x46	(Reserved)																
0x24	0x48	(Reserved)																
0x25	0x4A	(Reserved)																
0x26	0x4C	(Reserved)																
0x27	0x4E	(Reserved)																
0x28	0x50	(Reserved)																
0x29	0x52	(Reserved)																
0x2A	0x54	(Reserved)																
0x2B	0x56	(Reserved)																
0x2C	0x58	(Reserved)																
0x2D	0x5A	(Reserved)																
0x2E	0x5C	(Reserved)																
0x2F	0x5E	(Reserved)																
0x30	0x60	(Reserved)																
0x31	0x62	(Reserved)																
0x32	0x64	(Reserved)																
0x33	0x66	(Reserved)																
0x34	0x68	(Reserved)																
0x35	0x6A	(Reserved)																
0x36	0x6C	(Reserved)																
0x37	0x6E	(Reserved)																
0x38	0x70	(Reserved)																
0x39	0x72	(Reserved)																
0x3A	0x74	(Reserved)																
0x3B	0x76	(Reserved)																
0x3C	0x78	(Reserved)																
0x3D	0x7A	(Reserved)																
0x3E	0x7C	(Reserved)																
0x3F	0x7E	(Reserved)																
Timing Parameter Registers																		
0x40	0x80	SLINEST									SLINEST[15:0]							
0x41	0x82	SKINEEND									SKINEEND[15:0]							
0x42	0x84	SH_ADJ1			SH4_STADJ[2:0]				SH3_STADJ[2:0]				SH2_STADJ[2:0]				SH1_STADJ[2:0]	
0x43	0x86	SH_ADJ2			SH8_STADJ[2:0]				SH7_STADJ[2:0]				SH6_STADJ[2:0]				SH5_STADJ[2:0]	
0x44	0x88	SH_ADJ3															SH4_STADJ[2:0]	
0x45	0x8A	SH_ADJ4			WHPIX_STADJ[2:0]				OBPIX_STADJ[2:0]				SLINE_STADJ[2:0]				CLMP_STADJ[2:0]	
0x46	0x8C	(Reserved)																
0x47	0x8E	(Reserved)																
0x48	0x90	SNCK_ADJ_PAGESEL															SNCK_ADJ_PAGESEL	
0x49	0x92	SNCK_CLKADJ1	ANDXOR1											SNCK_CLKADJ1[9:0]				
0x4A	0x94	SNCK_CLKADJ2	ANDXOR2											SNCK_CLKADJ2[9:0]				
0x4B	0x96	SNCK_CLKADJ3	ANDXOR3											SNCK_CLKADJ3[9:0]				
0x4C	0x98	SNCK_INV1			ADJ1_STATE[5:0]									SNCK_INV1[9:1]				
0x4D	0x9A	SNCK_INV2			ADJ2_STATE[5:0]									SNCK_INV2[9:1]				
0x4E	0x9C	SNCK_INV3			ADJ3_STATE[5:0]									SNCK_INV3[9:1]				
0x4F	0x9E	(Reserved)																
Control Registers																		
0x50	0xA0	TGCTL							AFEDISOE	AFECKOUT	ADCKEN							TGSTART
0x51	0xA2	TGMD			TGCKWIDTH[2:0]		TGCKINV		MUXSLINE	INSLINE	INTGCK							TGADJ[2:0]
0x52	0xA4	STCTL							STNUM		SYNCDIR[1:0]							EVENTPAT[15:0]
0x53	0xA6	PATLEN																SNCKPAT[15:0]
0x54	0xA8	SNCK1INV				SNCK6INV	SNCK5INV	SNCK4INV	SNCK3INV	SNCK2INV				SNCK1INV	SNCK10INV	SNCK11INV	SNCK12INV	SNCK13INV
0x55	0xAA	SNCK1CTL				SNCK1ELV2	SNCK1DLV2	SNCK1CLV2	SNCK1BLV2	SNCK1ALV2				SNCK1ELV1	SNCK1DLV1	SNCK1CLV1	SNCK1BLV1	SNCK1ALV1
0x56	0xAC	SNCK2CTL				SNCK6LV2	SNCK5LV2	SNCK4LV2	SNCK3LV2	SNCK2LV2				SNCK6LV1	SNCK5LV1	SNCK4LV1	SNCK3LV1	SNCK2LV1
0x57	0xAE	SNCK3CTL				SNCK6SH9	SNCK5SH9	SNCK4SH9	SNCK3SH7	SNCK2SH6				SNCK6SH9	SNCK5SH9	SNCK4SH7	SNCK3SH6	SNCK2SH5
0x58	0xB0	POLCTL	CLMPOL	GPIOPOL	GPIOPOL	GPIOPOL	PSNCK5EN	PSNCK4EN	PSNCK3EN	PSNCK2EN	SHBPOL	SH7POL	SH6POL	SH5POL	SH4POL	SH3POL	SH2POL	SH1POL
0x59	0xB2	GPIOE1					PSNCK6EN				PSNCK1EN	PSNCK10EN	PSNCK11EN	PSNCK12EN	PSNCK13EN	PSNCK14EN	PSNCK15EN	PSNCK16EN
0x5A	0xB4	GPIOE2	POLMPEN	PADCKEN	PCK2EN	PCK1EN					PGPIO5EN	PGPIO4EN	PGPIO3EN	PGPIO2EN	PGPIO1EN	PSH3EN	PSH2EN	PSH1EN
0x5B	0xB6	GPIODIR1								PSNCK1EDIR	PSNCK10DIR	PSNCK11DIR	PSNCK12DIR	PSNCK13DIR	PSNCK14DIR	PSNCK15DIR	PSNCK16DIR	PSNCK17DIR
0x5C	0xB8	GPIODIR2								PSNCK6DIR	PSNCK5DIR	PSNCK4DIR	PSNCK3DIR	PSNCK2DIR	PSNCK1DIR	PSH3DIR	PSH2DIR	PSH1DIR
0x5D	0xBA	GPIODIR3	POLMPDIR	PADCKDIR	PCK2DIR	PCK1DIR					PGPIO3DIR	PGPIO2DIR	PGPIO1DIR	PSH3DIR	PSH2DIR	PSH1DIR		
0x5E	0xBC	GPIOST1				PSNCK6	PSNCK5	PSNCK4	PSNCK3	PSNCK2				PSNCK1E	PSNCK1D	PSNCK1C	PSNCK1B	PSNCK1A
0x5F	0xBE	GPIOST2	PCLMP	PADCK	PCK2	PCK1					PGPIO5	PGPIO4	PGPIO3	PGPIO2	PGPIO1	PSH3	PSH2	PSH1

7.4 レジスタ詳細説明

7.4.1 0x00～0x3F パターン設定レジスタ No.00～No.3F (PAT00～3F)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x00	PAT00	R/W	PAT00[15:0]	パターン設定 No.00	0xFFFF
0x01	PAT01		PAT01[15:0]	パターン設定 No.01	0xFFFF
⋮	⋮		⋮	⋮	⋮
0x3E	PAT3E		PAT3E[15:0]	パターン設定 No.3E	0xFFFF
0x3F	PAT3F		PAT3F[15:0]	パターン設定 No.3F	0xFFFF

本レジスタはラインセンサ駆動クロックパルスパターン設定またはイベントパターン設定を行います。それぞれの設定は PATEN レジスタ (No.0x53) にて SNCKPATEN ビット、EVENTPAT0EN ビットまたは EVENTPAT1EN に“1”を設定することによって行います。SNCKPATEN ビットに“1”設定時はラインセンサ駆動クロックパルスパターン設定が有効になります。EVENTPAT0PAT ビットに“1”設定時はイベントパターン設定（バンク 0）が有効となり、EVENTPAT1EN ビットに“1”設定時はイベントパターン設定（バンク 1）が有効となります。

(1) ラインセンサ駆動クロックパルスパターン設定時

(SNCKPATEN=“1”, EVENTPAT0EN=“0”, EVENTPAT1EN=“0”)

次に示すラインセンサ駆動クロックパルスの波形パターンを設定します。

SNCK1A、SNCK1B、SNCK1C、SNCK1D、SNCK1E、SNCK2、SNCK3、SNCK4、SNCK5、SNCK6、CK1、CK2、ADCK

下記にそのレジスタのビット配列を示します。

No.	Reserved	Reserved	Reserved	Reserved	STATE5/ODD	STATE4/ODD	STATE3/ODD	STATE2/ODD	STATE1/ODD	STATE0/ODD	STATE5/EVEN	STATE4/EVEN	STATE3/EVEN	STATE2/EVEN	STATE1/EVEN	STATE0/EVEN	bit
0x00 SNCK1APAT00																	
0x01 SNCK1BPAT00																	
0x02 SNCK1CPAT00																	
⋮																	
0x08 SNCK1APAT10																	
0x09 SNCK1BPAT10																	
0x0A SNCK1CPAT10																	
⋮																	
0x10 SNCK2PAT00																	
0x11 SNCK3PAT00																	
0x12 SNCK4PAT00																	
⋮																	
0x1A SNCK4PAT10																	
0x1B SNCK5PAT10																	
0x1C SNCK6PAT10																	
0x1D～1F	Reserved																

「制限注意事項 1」

本レジスタをアクセスする場合は、TGCTL レジスタ (No.0x50) の TGSTART ビットを“0”に設定し、PATEN レジスタ (No.0x53) の SNCKPATEN ビットを“1”に設定してください。また、アクセス終了後、SNCKPATEN ビットを“0”に設定してください。

「制限注意事項 2」

TGCTL レジスタ (No.0x50) の TGSTART ビットを“1”に設定した状態で、PATEN レジスタ (No.0x53) の SNCKPATEN ビットを“1”に設定することは禁止です。

「制限注意事項 3」

PATEN レジスタ (No.0x53) の SNCKPATEN ビット、EVENTPAT0EN ビットまたは EVENTPAT1EN ビットを同時に“1”設定する事は禁止です。必ず 1 つのバンクだけが有効となるよう設定してください。

7. レジスタ

- (2) イベントパターン設定時 (SNCKPATEN="0", EVENTPAT0EN または EVENTPAT1EN="1")
各種イベントタイミングを設定します。下記にレジスタのビット配列を示します。

BANK0(EVENTPAT0EN="1", EVENTPAT1EN="0")

No.	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	...	0	bit
	WHPIX	OBPIX	SNCKCTL[1]	SNCKCTL[0]	CLMP	SLINE_FALL	SLINE_RISE	SH9	SH8	SH7	SH6	SH5	SH4	SH3	SH2	SH1	PIXNUM[15]	...	PIXNUM[0]	
0x00								PAT01(No.0x01)									PAT00(No.0x00)			
0x02								PAT03(No.0x03)									PAT02(No.0x02)			
0x3C								PAT3D(No.3D)									PAT3C(No.0x3C)			
0x3E								PAT3F(No.3F)									PAT3E(No.0x3E)			

BANK1(EVENTPAT0EN="0", EVENTPAT1EN="1")

No.	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	...	0	bit
	WHPIX	OBPIX	SNCKCTL[1]	SNCKCTL[0]	CLMP	SLINE_FALL	SLINE_RISE	SH9	SH8	SH7	SH6	SH5	SH4	SH3	SH2	SH1	PIXNUM[15]	...	PIXNUM[0]	
0x00								PAT41(No.0x41)									PAT40(No.0x40)			
0x02								PAT43(No.0x43)									PAT42(No.0x42)			
0x3C								PAT7D(No.7D)									PAT7C(No.0x7C)			
0x3E								PAT7F(No.7F)									PAT7E(No.0x7E)			

「制限注意事項 1」

本レジスタをアクセスする場合は、TGCTL レジスタ (No.0x50) の TGSTART ビットを“0”に設定し、PATEN レジスタ (No.0x53) の EVENTPAT0EN ビットまたは EVENTPAT1EN を“1”に設定してください。また、アクセス終了後、EVENTPAT0EN ビットまたは EVENTPAT1EN を“0”に設定してください。

「制限注意事項 2」

TGCTL レジスタ (No.0x50) の TGSTART ビットを“1”に設定した状態で、PATEN レジスタ (No.0x53) の EVENTPAT0EN ビットまたは EVENTPAT1EN ビットを“1”に設定することは禁止です。

「制限注意事項 3」

PATEN レジスタ (No.0x53) の SNCKPATEN ビット、EVENTPAT0EN ビットまたは EVENTPAT1EN ビットを同時に“1”設定する事は禁止です。必ず 1 つのバンクだけが有効となるよう設定してください。

7.4.2 0x40 SLINE 開始ライン設定レジスタ (SLINEST)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x40	SLINEST	R/W	15: SLINEST[15]	SLINE 開始ライン設定	0x0000
			14: SLINEST[14]		
			13: SLINEST[13]		
			12: SLINEST[12]		
			11: SLINEST[11]		
			10: SLINEST[10]		
			9: SLINEST[9]		
			8: SLINEST[8]		
			7: SLINEST[7]		
			6: SLINEST[6]		
			5: SLINEST[5]		
			4: SLINEST[4]		
			3: SLINEST[3]		
			2: SLINEST[2]		
			1: SLINEST[1]		
			0: SLINEST[0]		

SLINE 信号を内部生成する場合の立上りライン出力タイミングを設定するレジスタです。

「制限注意事項」

SLINEEND レジスタより大きな値を設定することは禁止します。

7.4.3 0x41 SLINE 終了ライン設定レジスタ (SLINEEND)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x41	SLINEEND	R/W	15: SLINEEND[15]	SLINE 終了ライン設定	0x0000
			14: SLINEEND[14]		
			13: SLINEEND[13]		
			12: SLINEEND[12]		
			11: SLINEEND[11]		
			10: SLINEEND[10]		
			9: SLINEEND[9]		
			8: SLINEEND[8]		
			7: SLINEEND[7]		
			6: SLINEEND[6]		
			5: SLINEEND[5]		
			4: SLINEEND[4]		
			3: SLINEEND[3]		
			2: SLINEEND[2]		
			1: SLINEEND[1]		
			0: SLINEEND[0]		

SLINE 信号を内部生成する場合の立下りライン出力タイミングを設定するレジスタです。

「制限注意事項」

SLINEEND レジスタに 0xFFFFD 以上の値を設定することは禁止します。

7. レジスタ

7.4.4 0x42 シフトパルス信号出力遅延設定レジスタ 1 (SH_ADJ1)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x42	SH_ADJ1		15:		0x0000
		R/W	14: SH4_ADJ[2]	SH4 信号出力遅延設定	
			13: SH4_ADJ[1]		
			12: SH4_ADJ[0]		
			11:		
		R/W	10: SH3_ADJ[2]	SH3 信号出力遅延設定	
			9: SH3_ADJ[1]		
			8: SH3_ADJ[0]		
			7:		
		R/W	6: SH2_ADJ[2]	SH2 信号出力遅延設定	
			5: SH2_ADJ[1]		
			4: SH2_ADJ[0]		
			3:		
		R/W	2: SH1_ADJ[2]	SH1 信号出力遅延設定	
			1: SH1_ADJ[1]		
			0: SH1_ADJ[0]		

SH1/SH2/SH3/SH4 信号の出力遅延量を設定するレジスタです。

Bit15 Reserved

Bit14～12 SH4_ADJ[2:0]
SH4 信号の出力遅延量を設定します。

Bit11 Reserved

Bit10～8 SH3_ADJ[2:0]
SH3 信号の出力遅延量を設定します。

Bit7 Reserved

Bit6～4 SH2_ADJ[2:0]
SH2 信号の出力遅延量を設定します。

Bit3 Reserved

Bit2～0 SH1_ADJ[2:0]
SH1 信号の出力遅延量を設定します。

「制限注意事項」

設定可能範囲は駆動パターン分解能設定によって次のとおりとなります。

6 分周設定時 : 0x00～0x05

3 分周設定時 : 0x00～0x02

7.4.5 0x43 シフトパルス信号出力遅延設定レジスタ 2 (SH_ADJ2)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x43	SH_ADJ2		15:		0x0000
		R/W	14: SH8_ADJ[2]	SH8 信号出力遅延設定	
			13: SH8_ADJ[1]		
			12: SH8_ADJ[0]		
			11:		
		R/W	10: SH7_ADJ[2]	SH7 信号出力遅延設定	
			9: SH7_ADJ[1]		
			8: SH7_ADJ[0]		
			7:		
		R/W	6: SH6_ADJ[2]	SH6 信号出力遅延設定	
			5: SH6_ADJ[1]		
			4: SH6_ADJ[0]		
			3:		
		R/W	2: SH5_ADJ[2]	SH5 信号出力遅延設定	
			1: SH5_ADJ[1]		
			0: SH5_ADJ[0]		

SH5/SH6/SH7/SH8 信号の出力遅延量を設定するレジスタです。

Bit15 Reserved

Bit14～12 SH8_ADJ[2:0]
SH8 信号の出力遅延量を設定します。

Bit11 Reserved

Bit10～8 SH7_ADJ[2:0]
SH7 信号の出力遅延量を設定します。

Bit7 Reserved

Bit6～4 SH6_ADJ[2:0]
SH6 信号の出力遅延量を設定します。

Bit3 Reserved

Bit2～0 SH5_ADJ[2:0]
SH5 信号の出力遅延量を設定します。

「制限注意事項」

設定可能範囲は駆動パターン分解能設定によって次のとおりとなります。

6 分周設定時 : 0x00～0x05

3 分周設定時 : 0x00～0x02

7. レジスタ

7.4.6 0x44 シフトパルス信号出力遅延設定レジスタ 3 (SH_ADJ3)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x44	SH_ADJ3		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
			9:		
			8:		
			7:		
			6:		
			5:		
			4:		
			3:		
		R/W	2: SH9_ADJ[2]	SH9 信号出力遅延設定	
			1: SH9_ADJ[1]		
			0: SH9_ADJ[0]		

SH9 信号の出力遅延量を設定するレジスタです。

Bit15～3 Reserved

Bit2～0 SH9_ADJ[2:0]
SH9 信号の出力遅延量を設定します。

「制限注意事項」

設定可能範囲は駆動パターン分解能設定によって次のとおりとなります。

6 分周設定時 : 0x00～0x05

3 分周設定時 : 0x00～0x02

7.4.7 0x45 シフトパルス信号出力遅延設定レジスタ 4 (SH_ADJ4)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x45	SH_ADJ4		15:		0x0000
		R/W	14: WHPIX_ADJ[2]	WHPIX 信号出力遅延設定	
			13: WHPIX_ADJ[1]		
			12: WHPIX_ADJ[0]		
			11:		
		R/W	10: OBPIX_ADJ[2]	OBPIX 信号出力遅延設定	
			9: OBPIX_ADJ[1]		
			8: OBPIX_ADJ[0]		
			7:		
		R/W	6: SLINE_ADJ[2]	SLINE 信号出力遅延設定	
			5: SLINE_ADJ[1]		
			4: SLINE_ADJ[0]		
			3:		
		R/W	2: CLMP_ADJ[2]	SH4 信号出力遅延設定	
			1: CLMP_ADJ[1]		
			0: CLMP_ADJ[0]		

WHPIX/SLINE/BKDMY/CLMP 信号の出力遅延量を設定するレジスタです。

Bit15 Reserved

Bit14～12 WHPIX_ADJ[2:0]
WHPIX 信号の出力遅延量を設定します。

Bit11 Reserved

Bit10～8 OBPIX_ADJ[2:0]
OBPIX 信号の出力遅延量を設定します。

Bit7 Reserved

Bit6～4 SLINE_ADJ[2:0]
SLINE 信号の出力遅延量を設定します。

Bit3 Reserved

Bit2～0 CLMP_ADJ[2:0]
CLMP 信号の出力遅延量を設定します。

「制限注意事項」

設定可能範囲は駆動パターン分解能設定によって次のとおりとなります。

6 分周設定時 : 0x00～0x05

3 分周設定時 : 0x00～0x02

7. レジスタ

7.4.8 0x48 クロックパルス遅延設定ページ選択レジスタ (SNCK_ADJ_PAGESEL)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x48	SNCK_ADJ_PAGESEL		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
			9:		
			8:		
			7:		
			6:		
			5:		
			4:		
		R/W	3: SNCK_ADJ_PAGESEL[3]	SNCK_CLKADJ ページ選択	
			2: SNCK_ADJ_PAGESEL[2]		
			1: SNCK_ADJ_PAGESEL[1]		
			0: SNCK_ADJ_PAGESEL[0]		

クロックパルス出力遅延量設定レジスタのページ選択を行います。

SNCK_ADJ_PAGESEL[3:0] : 遅延時間

- 00 : SNCK1A 設定用レジスタ選択
- 01 : SNCK1B 設定用レジスタ選択
- 02 : SNCK1C 設定用レジスタ選択
- 03 : SNCK1D 設定用レジスタ選択
- 04 : SNCK1E 設定用レジスタ選択
- 05 : SNCK2 設定用レジスタ選択
- 06 : SNCK3 設定用レジスタ選択
- 07 : SNCK4 設定用レジスタ選択
- 08 : SNCK5 設定用レジスタ選択
- 09 : SNCK6 設定用レジスタ選択
- 0A : CK1 設定用レジスタ選択
- 0B : CK2 設定用レジスタ選択
- 0C : ADCK 設定用レジスタ選択

7.4.9 0x49 クロックパルス出力遅延設定レジスタ 1 (SNCK_ADJ1)

No.	Register Name	R/W	Bit Symbol	Description		Reset	
0x49	SNCK_ADJ1	R/W	15: ANDxOR1	0: OR	1: AND	0x0000	
			14:				
			13:				
			12:				
			11:				
			10:				
		R/W	9: SNCK_CLKADJ1[9]	SNCK 出力遅延量設定 1			
			8: SNCK_CLKADJ1[8]				
			7: SNCK_CLKADJ1[7]				
			6: SNCK_CLKADJ1[6]				
			5: SNCK_CLKADJ1[5]				
			4: SNCK_CLKADJ1[4]				
			3: SNCK_CLKADJ1[3]				
			2: SNCK_CLKADJ1[2]				
			1: SNCK_CLKADJ1[1]				
			0: SNCK_CLKADJ1[0]				

対応するクロックパルスに対し出力遅延量を設定します。出力遅延量は ADJ1_STATE[5:0]レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

*****_ADJ[9:0] : 遅延時間

- 00 : 出力なし
- 01 : 遅延なし出力
- 02 : 1/10T 遅延出力
- 04 : 2/10T 遅延出力
- 08 : 3/10T 遅延出力
- 10 : 4/10T 遅延出力
- 20 : 5/10T 遅延出力
- 40 : 6/10T 遅延出力
- 80 : 7/10T 遅延出力
- 100 : 8/10T 遅延出力
- 200 : 9/10T 遅延出力

Bit15 ANDxOR1
SNCK 信号の遅延回路を切り替えます。

Bit14～10 Reserved

Bit9～0 SNCK_CLKADJ1[9:0]
SNCK 信号の出力遅延量を設定します。

7. レジスタ

7.4.10 0x4A クロックパルス出力遅延設定レジスタ 2 (SNCK_ADJ2)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x4A	SNCK_ADJ2	R/W	15: ANDxOR2	0: OR	1: AND	0x0000
			14:			
			13:			
			12:			
			11:			
			10:			
		R/W	9: SNCK_CLKADJ2[9]	SNCK 出力遅延量設定		
			8: SNCK_CLKADJ2[8]			
			7: SNCK_CLKADJ2[7]			
			6: SNCK_CLKADJ2[6]			
			5: SNCK_CLKADJ2[5]			
			4: SNCK_CLKADJ2[4]			
			3: SNCK_CLKADJ2[3]			
			2: SNCK_CLKADJ2[2]			
			1: SNCK_CLKADJ2[1]			
			0: SNCK_CLKADJ2[0]			

対応するクロックパルスに対し出力遅延量を設定します。出力遅延量は ADJ2_STATE[5:0]レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

*****_ADJ[9:0] : 遅延時間

- 00 : 出力なし
- 01 : 遅延なし出力
- 02 : 1/10T 遅延出力
- 04 : 2/10T 遅延出力
- 08 : 3/10T 遅延出力
- 10 : 4/10T 遅延出力
- 20 : 5/10T 遅延出力
- 40 : 6/10T 遅延出力
- 80 : 7/10T 遅延出力
- 100 : 8/10T 遅延出力
- 200 : 9/10T 遅延出力

Bit15 ANDxOR2
SNCK 信号の遅延回路を切り替えます。

Bit14～10 Reserved

Bit9～0 SNCK_CLKADJ2[9:0]
SNCK 信号の出力遅延量を設定します。

7.4.11 0x4B クロックパルス出力遅延設定レジスタ 3 (SNCK_ADJ3)

No.	Register Name	R/W	Bit Symbol	Description		Reset	
0x4B	SNCK_ADJ3	R/W	15: ANDxOR3	0: OR	1: AND	0x0000	
			14:				
			13:				
			12:				
			11:				
			10:				
		R/W	9: SNCK_CLKADJ3[9]	SNCK 出力遅延量設定			
			8: SNCK_CLKADJ3[8]				
			7: SNCK_CLKADJ3[7]				
			6: SNCK_CLKADJ3[6]				
			5: SNCK_CLKADJ3[5]				
			4: SNCK_CLKADJ3[4]				
			3: SNCK_CLKADJ3[3]				
			2: SNCK_CLKADJ3[2]				
			1: SNCK_CLKADJ3[1]				
			0: SNCK_CLKADJ3[0]				

対応するクロックパルスに対し出力遅延量を設定します。出力遅延量は ADJ3_STATE[5:0]レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

*****_ADJ[9:0] : 遅延時間

- 00 : 出力なし
- 01 : 遅延なし出力
- 02 : 1/10T 遅延出力
- 04 : 2/10T 遅延出力
- 08 : 3/10T 遅延出力
- 10 : 4/10T 遅延出力
- 20 : 5/10T 遅延出力
- 40 : 6/10T 遅延出力
- 80 : 7/10T 遅延出力
- 100 : 8/10T 遅延出力
- 200 : 9/10T 遅延出力

Bit15 ANDxOR3
SNCK 信号の遅延回路を切り替えます。

Bit14～10 Reserved

Bit9～0 SNCK_CLKADJ3[9:0]
SNCK 信号の出力遅延量を設定します。

7. レジスタ

7.4.12 0x4C クロックパルス反転出力遅延設定レジスタ 1 (SNCK_INV1)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x4C	SNCK_INV1	R/W	15: ADJ1_STATE[5]	SNCK 遅延出力カステート選択	0x0000
			14: ADJ1_STATE[4]		
			13: ADJ1_STATE[3]		
			12: ADJ1_STATE[2]		
			11: ADJ1_STATE[1]		
			10: ADJ1_STATE[0]		
			9: SNCK_INV1[9]	SNCK 反転出力遅延量設定	
			8: SNCK_INV1[8]		
			7: SNCK_INV1[7]		
			6: SNCK_INV1[6]		
			5: SNCK_INV1[5]		
			4: SNCK_INV1[4]		
			3: SNCK_INV1[3]		
			2: SNCK_INV1[2]		
			1: SNCK_INV1[1]		
		0:			

対応するクロックパルスに対し反転出力遅延量を設定します。出力遅延量は ADJ1_STATE[5:0] レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

ADJ*_STATE[5:0] : 遅延出力カステート選択

- 00 : ステート選択なし
- 01 : ステート 0 選択
- 02 : ステート 1 選択
- 04 : ステート 2 選択
- 08 : ステート 3 選択
- 10 : ステート 4 選択
- 20 : ステート 5 選択

*****_INV[9:1] : 遅延時間

- 00 : 反転なし
- 01 : 1/10T 遅延出力信号を反転
- 02 : 2/10T 遅延出力信号を反転
- 04 : 3/10T 遅延出力信号を反転
- 08 : 4/10T 遅延出力信号を反転
- 10 : 5/10T 遅延出力信号を反転
- 20 : 6/10T 遅延出力信号を反転
- 40 : 7/10T 遅延出力信号を反転
- 80 : 8/10T 遅延出力信号を反転
- 100 : 9/10T 遅延出力信号を反転

Bit15~10 ADJ1_STATE[5:0]
SNCK 信号の SNCK_CLKADJ1 および SNCK_INV1 の遅延設定を行うステート番号を設定します。

Bit9~0 SNCK_INV1[9:1]
SNCK 信号の反転出力遅延量を設定します。

Bit0 Reserved

7.4.13 0x4D クロックパルス反転出力遅延設定レジスタ 2 (SNCK_INV2)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x4D	SNCK_INV2	R/W	15: ADJ2_STATE[5]	SNCK 遅延出力カステート選択	0x0000
			14: ADJ2_STATE[4]		
			13: ADJ2_STATE[3]		
			12: ADJ2_STATE[2]		
			11: ADJ2_STATE[1]		
			10: ADJ2_STATE[0]		
		9: SNCK_INV2[9]	SNCK 反転出力遅延量設定		
		8: SNCK_INV2[8]			
		7: SNCK_INV2[7]			
		6: SNCK_INV2[6]			
		5: SNCK_INV2[5]			
		4: SNCK_INV2[4]			
		3: SNCK_INV2[3]			
		2: SNCK_INV2[2]			
		1: SNCK_INV2[1]			
		0:			

対応するクロックパルスに対し反転出力遅延量を設定します。出力遅延量は ADJ2_STATE[5:0] レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

ADJ*_STATE[5:0] : 遅延出力カステート選択

- 00 : ステート選択なし
- 01 : ステート 0 選択
- 02 : ステート 1 選択
- 04 : ステート 2 選択
- 08 : ステート 3 選択
- 10 : ステート 4 選択
- 20 : ステート 5 選択

*****_INV[9:1] : 遅延時間

- 00 : 反転なし
- 01 : 1/10T 遅延出力信号を反転
- 02 : 2/10T 遅延出力信号を反転
- 04 : 3/10T 遅延出力信号を反転
- 08 : 4/10T 遅延出力信号を反転
- 10 : 5/10T 遅延出力信号を反転
- 20 : 6/10T 遅延出力信号を反転
- 40 : 7/10T 遅延出力信号を反転
- 80 : 8/10T 遅延出力信号を反転
- 100 : 9/10T 遅延出力信号を反転

Bit15~10 ADJ2_STATE[5:0]
SNCK 信号の SNCK_CLKADJ2 および SNCK_INV2 の遅延設定を行うステート番号を設定します。

Bit9~0 SNCK_INV2[9:1]
SNCK 信号の反転出力遅延量を設定します。

Bit0 Reserved

7. レジスタ

7.4.14 0x4E クロックパルス反転出力遅延設定レジスタ 3 (SNCK_INV3)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x4E	SNCK_INV3	R/W	15: ADJ3_STATE[5]	SNCK 遅延出力カステート選択	0x0000
			14: ADJ3_STATE[4]		
			13: ADJ3_STATE[3]		
			12: ADJ3_STATE[2]		
			11: ADJ3_STATE[1]		
			10: ADJ3_STATE[0]		
			9: SNCK_INV3[9]	SNCK 反転出力遅延量設定	
			8: SNCK_INV3[8]		
			7: SNCK_INV3[7]		
			6: SNCK_INV3[6]		
			5: SNCK_INV3[5]		
			4: SNCK_INV3[4]		
			3: SNCK_INV3[3]		
			2: SNCK_INV3[2]		
			1: SNCK_INV3[1]		
		0:			

対応するクロックパルスに対し反転出力遅延量を設定します。出力遅延量は ADJ3_STATE[5:0] レジスタに設定されたステートに対して下記に示す時間を遅延させることができます。

ADJ*_STATE[5:0] : 遅延出力カステート選択

- 00 : ステート選択なし
- 01 : ステート 0 選択
- 02 : ステート 1 選択
- 04 : ステート 2 選択
- 08 : ステート 3 選択
- 10 : ステート 4 選択
- 20 : ステート 5 選択

*****_INV[9:1] : 遅延時間

- 00 : 反転なし
- 01 : 1/10T 遅延出力信号を反転
- 02 : 2/10T 遅延出力信号を反転
- 04 : 3/10T 遅延出力信号を反転
- 08 : 4/10T 遅延出力信号を反転
- 10 : 5/10T 遅延出力信号を反転
- 20 : 6/10T 遅延出力信号を反転
- 40 : 7/10T 遅延出力信号を反転
- 80 : 8/10T 遅延出力信号を反転
- 100 : 9/10T 遅延出力信号を反転

Bit15~10 ADJ3_STATE[5:0]
SNCK 信号の SNCK_CLKADJ3 および SNCK_INV3 の遅延設定を行うステート番号を設定します。

Bit9~0 SNCK_INV3[9:1]
SNCK 信号の反転出力遅延量を設定します。

Bit0 Reserved

7.4.15 0x50 タイミング生成機能制御レジスタ (TGCTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x50	TGCTL		15:			0x0000
			14:			
			13:			
			12:			
			11:			
			10:			
		R/W	9: AFEDISOE	0: ODD/EVEN OUT	1: EVEN OUT	
			8: AFECKOUT	0: Disable	1: Enable	
			7: ADCKEN	0: Disable	1: Enable	
			6:			
			5:			
			4:			
			3:			
			2:			
			1:			
		R/W	0: TGSTART	0: IDLE	1: TGSTART	

Bit15～10 Reserved

Bit9 AFEDISOE
本ビットに“1”を設定すると ADCK/CK1/CK2 信号を EVEN サイクルのみで出力します。

Bit8 AFECKOUT
本ビットに“1”を設定すると ADCK/CK1/CK2 信号を有効タイミングにかかわらず、ADCKEN 信号が有効な期間にパターン 1 を出力し続けます。

Bit7 ADCKEN
本ビットに“1”を設定すると ADCK 信号を内部生成します。

Bit6～1 Reserved

Bit0 TGSTART
本ビットに“1”を設定すると画像取り込みモードに移行します。

「制限注意事項」

本レジスタは、PLL 停止時においてリードアクセスはできません。

7. レジスタ

7.4.16 0x51 タイミング生成機能設定レジスタ (TGMD)

No.	Register Name	R/W	Bit Symbol	Description	Reset	
0x51	TGMD	R/W	15: TGCKWIDTH[2]	TGCK パルス幅調整	0x0000	
			14: TGCKWIDTH[1]			
			13: TGCKWIDTH[0]			
			12: TGCKINV	0: Normal		1: Inverted
			11:			
			10:			
		R/W	9: MUXSLINE	0: 立上りタイミング内部生成		1: 立上りタイミング外部入力
			8: INSLINE	0: 生成トリガ外部入力		1: 生成トリガ内部生成
			7:			
		R/W	6: INTGCK	0: 外部入力		1: 内部生成
				5:		
		4:				
		3:				
		R/W	2: TGCK_ADJ[2]	TGCK クリアタイミング調整		
			1: TGCK_ADJ[1]			
			0: TGCK_ADJ[0]			

- Bit15～13 TGCK_WIDTH[2:0]
TGCK 信号出力時の出力する TGCK 信号パルス幅を調整します。
000 設定時、1 ステートのパルス幅となり、101 設定時 5 ステートのパルス幅となります。
- Bit12 TGCKINV
TGCK 信号が外部入力時において、本ビットに“1”を設定すると TGCK 信号の論理を反転します。
- Bit11～10 Reserved
- Bit9 MUXSLINE
SLINE 信号の立上りタイミングのイベントを選択します。本ビットに“0”を設定すると SLINE 信号の立上りイベントは内部イベントパターン設定レジスタ (No.0x00～0x3F) での設定になり、“1”を設定すると外部入力信号を立上りイベントに使用します。立下りイベントはどちらも内部イベントパターン設定レジスタ (No.0x00～0x3F) の設定となります。
- Bit8 INSLINE
SLINE 信号のイベントを選択します。本ビットに“1”を設定すると SLINE 信号は外部入力のイベント動作となり、“0”を設定すると内部ラインカウンタおよびイベントパターン設定レジスタ (No.0x00～0x3F) の設定にて動作となります。
- Bit7 Reserved
- Bit6 INTGCK
本ビットに“1”を設定すると TGCK 信号を内部生成します。
- Bit5～3 Reserved
- Bit2～0 TGCK_ADJ
TGCK 信号によるクリア発生タイミングの調整を行います。
000 設定を基準として、以降 1 ステート毎の遅延設定となります。

「制限注意事項」

本レジスタは、PLL 停止時においてリード・ライトアクセスはできません。

7.4.17 0x52 内部ステート制御レジスタ (STCTL)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x52	STCTL		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
			9:		
		R/W	8: STNUM	駆動パターン分解能設定	
			7: SYNCMD[1]	同期モード設定	
			6: SYNCMD[0]		
			5:		
			4:		
		R/W	3: STADJ[3]	内部ステート遅延設定	
			2: STADJ[2]		
			1: STADJ[1]		
			0: STADJ[0]		

Bit15～9 Reserved

Bit8 STNUM
 クロックパターンの分解能（内部ステートのステート数）および ADCKREF1 サイクルあたりにおける内部基準クロック(clk)の分周数を設定します。
 STNUM：分周数
 0：3 分周
 1：6 分周

Bit7～6 SYNCMD[1:0]
 CLK 入力信号と内部ステートの同期モードを設定します。
 SYNCMD[1:0]：同期モード
 00：常時同期化
 01：(禁止)
 10：TGCK の立上り検出時のみ同期化
 11：同期化禁止

Bit5～4 Reserved

Bit3～0 STADJ[3:0]
 内部ステートを CLK 入力信号と同期する際、CLK 入力信号との位相差を設定します。

「制限注意事項 1」

STADJ[3:0]の設定可能範囲は駆動パターン分解能設定によって次のとおりとなります。
 6 分周設定時：0x0～0x5／3 分周設定時：0x0～0x2

「制限注意事項 2」

本レジスタは、PLL 停止時においてリード・ライトアクセスはできません。

7. レジスタ

7.4.18 0x53 パターン設定制御レジスタ (PATEN)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x53	PATEN		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
			9:		
			8:		
			7:		
			6:		
			5:		
			4:		
			3:		
		R/W	2: EVENTPAT1EN	0: Disable 1: Enable	
			1: EVENTPAT0EN	0: Disable 1: Enable	
			0: SNCKPATEN	0: Disable 1: Enable	

Bit15～3 Reserved

Bit2 EVENTPAT1EN
1 バンク目のイベントパターン設定である PAT40～PAT7F レジスタへのアクセスを行う場合において、本ビットを“1”に設定してください。また、アクセス終了後、本ビットを“0”に設定してください。

Bit1 EVENTPAT0EN
0 バンク目のイベントパターン設定である PAT00～PAT3F レジスタへのアクセスを行う場合において、本ビットを“1”に設定してください。また、アクセス終了後、本ビットを“0”に設定してください。

Bit0 SNCKPATEN
ラインセンサ駆動クロックパルスパターン設定を行う場合において、本ビットを“1”に設定してください。また、アクセス終了後、本ビットを“0”に設定してください。

「制限注意事項 1」

SNCKPATEN ビット、EVENTPAT0EN ビットおよび EVENTPAT1EN ビットの同時“1”設定は禁止します。

「制限注意事項 2」

本レジスタをアクセスする場合は、TGCTL レジスタ（No.0x50）の TGSTART ビットを“0”に設定してください。

7.4.19 0x54 ラインセンサ駆動クロックパルス極性設定レジスタ (SNCKINV)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x54	SNCKINV		15:			0x0000
			14:			
			13:			
		R/W	12: SNCK6INV	0: Normal	1: Invert	
			11: SNCK5INV	0: Normal	1: Invert	
			10: SNCK4INV	0: Normal	1: Invert	
			9: SNCK3INV	0: Normal	1: Invert	
			8: SNCK2INV	0: Normal	1: Invert	
			7:			
			6:			
			5:			
		R/W	4: SNCK1EINV	0: Normal	1: Invert	
			3: SNCK1DINV	0: Normal	1: Invert	
			2: SNCK1CINV	0: Normal	1: Invert	
			1: SNCK1BINV	0: Normal	1: Invert	
			0: SNCK1AINV	0: Normal	1: Invert	

Bit15～13 Reserved

Bit12～8 SNCK6INV～SNCK2INV
 本ビットに“1”を設定すると SNCK2～6 信号の出力極性を反転します。

Bit7～5 Reserved

Bit4～0 SNCK1EINV～SNCK1AINV
 本ビットに“1”を設定すると SNCK1A～1E 信号の出力極性を反転します。

7.4.20 0x55 ラインセンサ駆動クロックパルスパターン設定レジスタ 1 (SNCK1CTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x55	SNCK1CTL		15:			0x0000
			14:			
			13:			
		R/W	12: SNCK1ELV2	0: Low	1: High	
			11: SNCK1DLV2	0: Low	1: High	
			10: SNCK1CLV2	0: Low	1: High	
			9: SNCK1BLV2	0: Low	1: High	
			8: SNCK1ALV2	0: Low	1: High	
			7:			
			6:			
			5:			
		R/W	4: SNCK1ELV1	0: Low	1: High	
			3: SNCK1DLV1	0: Low	1: High	
			2: SNCK1CLV1	0: Low	1: High	
			1: SNCK1BLV1	0: Low	1: High	
			0: SNCK1ALV1	0: Low	1: High	

Bit15～13 Reserved

Bit12～8 SNCK1ELV2～SNCK1ALV2
 SNCK1E～1A 信号の固定値 2 出力時における出力レベルを設定します。

Bit7～5 Reserved

7. レジスタ

Bit4～0 SNCK1ELV1～SNCK1ALV1
SNCK1E～1A 信号の固定値 1 出力時における出力レベルを設定します。

7.4.21 0x56 ラインセンサ駆動クロックパルスパターン設定レジスタ 2 (SNCK2CTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x56	SNCK2CTL		15:			0x0000
			14:			
			13:			
		R/W	12: SNCK6LV2	0: Low	1: High	
			11: SNCK5LV2	0: Low	1: High	
			10: SNCK4LV2	0: Low	1: High	
			9: SNCK3LV2	0: Low	1: High	
			8: SNCK2LV2	0: Low	1: High	
				7:		
		6:				
		5:				
		R/W	4: SNCK6LV1	0: Low	1: High	
			3: SNCK5LV1	0: Low	1: High	
			2: SNCK4LV1	0: Low	1: High	
			1: SNCK3LV1	0: Low	1: High	
			0: SNCK2LV1	0: Low	1: High	

Bit15～13 Reserved

Bit12～8 SNCK6LV2～SNCK2LV2
SNCK2～6 信号の固定値 2 出力時における出力レベルを設定します。

Bit7～5 Reserved

Bit4～0 SNCK6LV1～SNCK2LV1
SNCK2～6 信号の固定値 1 出力時における出力レベルを設定します。

7.4.22 0x57 ラインセンサ駆動クロックパルス出力設定レジスタ (SNCKxSHCTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x57	SNCKxSHCTL		15:			0x0000
			14:			
			13:			
			12:			
		R/W	11: SNCK5xSH9	0: SNCK5	1: SNCK5 OR SH9	
			10: SNCK4xSH8	0: SNCK4	1: SNCK4 OR SH8	
			9: SNCK3xSH7	0: SNCK3	1: SNCK3 OR SH7	
			8: SNCK2xSH6	0: SNCK2	1: SNCK2 OR SH6	
			7:			
			6:			
			5:			
			4:			
		R/W	3: SNCK1DxSH9	0: SNCK1D	1: SNCK1D OR SH9	
			2: SNCK1CxSH8	0: SNCK1C	1: SNCK1C OR SH8	
			1: SNCK1BxSH7	0: SNCK1B	1: SNCK1B OR SH7	
			0: SNCK1AxSH6	0: SNCK1A	1: SNCK1A OR SH6	

Bit15～12 Reserved

Bit11～8	SNCK5xSH9～SNCK2xSH6 SNCK5～2 信号の出力方法を設定します。 0 設定時、SNCK5～2 信号として設定された値を出力 1 設定時、SNCK5～2 信号と SH9～6 信号の論理和出力
Bit7～4	Reserved
Bit3～0	SNCK1DxSH9～SNCK1AxSH6 SNCK1D～1A 信号の出力方法を設定します。 0 設定時、SNCK1D～1A 信号として設定された値を出力 1 設定時、SNCK1D～1A 信号と SH9～6 信号の論理和出力

7. レジスタ

7.4.23 0x58 極性制御レジスタ(POLCTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x58	POLCTL	R/W	15: CLMPPOL	0: Normal	1: Invert	0x0000
			14: GPIO5POL	0: Normal	1: Invert	
			13: GPIO4POL	0: Normal	1: Invert	
			12: GPIO3POL	0: Normal	1: Invert	
			11:			
			10:			
			9:			
		R/W	8: SH9POL	0: Normal	1: Invert	
			7: SH8POL	0: Normal	1: Invert	
			6: SH7POL	0: Normal	1: Invert	
			5: SH6POL	0: Normal	1: Invert	
			4: SH5POL	0: Normal	1: Invert	
			3: SH4POL	0: Normal	1: Invert	
			2: SH3POL	0: Normal	1: Invert	
			1: SH2POL	0: Normal	1: Invert	
			0: SH1POL	0: Normal	1: Invert	

- Bit15 CLMPPOL
本ビットに“1”を設定すると CLMP 信号の出力極性を反転します。
- Bit14 GPIO5POL
本ビットに“1”を設定すると GPIO5(WHPIX)信号の出力極性を反転します。
- Bit13 GPIO4POL
本ビットに“1”を設定すると GPIO4(SLINE)信号の出力極性を反転します。
- Bit12 GPIO3POL
本ビットに“1”を設定すると GPIO3(OBPIX)信号の出力極性を反転します。
また、INSLINE ビットに“0”設定時、本ビットに“1”を設定すると SLINE 信号を反転入力することができます。
- Bit11～9 Reserved
- Bit8 SH9POL
本ビットに“1”を設定すると SH9 信号の出力極性を反転します。
- Bit7 SH8POL
本ビットに“1”を設定すると SH8 信号の出力極性を反転します。
- Bit6 SH7POL
本ビットに“1”を設定すると SH7 信号の出力極性を反転します。
- Bit5 SH6POL
本ビットに“1”を設定すると SH6 信号の出力極性を反転します。
- Bit4 SH5POL
本ビットに“1”を設定すると SH5 信号の出力極性を反転します。
- Bit3 SH4POL
本ビットに“1”を設定すると SH4 信号の出力極性を反転します。
- Bit2 SH3POL
本ビットに“1”を設定すると SH3 信号の出力極性を反転します。

Bit1 SH2POL
本ビットに“1”を設定すると SH2 信号の出力極性を反転します。

Bit0 SH1POL
本ビットに“1”を設定すると SH1 信号の出力極性を反転します。

7.4.24 0x59 汎用ポート制御レジスタ (GPIOEN1)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x59	GPIOEN1		15:		0x1F1F
			14:		
			13:		
		R/W	12: PSNCK6EN	0: SNCK6	1: General purpose port
			11: PSNCK5EN	0: SNCK5	1: General purpose port
			10: PSNCK4EN	0: SNCK4	1: General purpose port
			9: PSNCK3EN	0: SNCK3	1: General purpose port
			8: PSNCK2EN	0: SNCK2	1: General purpose port
			7:		
			6:		
			5:		
		R/W	4: PSNCK1EEN	0: SNCK1E	1: General purpose port
			3: PSNCK1DEN	0: SNCK1D	1: General purpose port
			2: PSNCK1CEN	0: SNCK1C	1: General purpose port
			1: PSNCK1BEN	0: SNCK1B	1: General purpose port
			0: PSNCK1AEN	0: SNCK1A	1: General purpose port

汎用ポート兼用端子を制御するレジスタです。“0”を設定するとそのレジスタに対応した端子は、該当端子の機能信号を出力します。また、“1”を設定すると対応端子の汎用ポート機能を有効にします。

7.4.25 0x5A 汎用ポート制御レジスタ (GPIOEN2)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x5A	GPIOEN2	R/W	15: PCLMPEN	0: CLMP	1: General purpose port
			14: PADCKEN	0: ADCK	1: General purpose port
			13: PCK2EN	0: CK2	1: General purpose port
			12: PCK1EN	0: CK1	1: General purpose port
			11:		0xF0FF
			10:		
			9:		
			8:		
		R/W	7: PGPIO5EN	0: GPIO5	1: General purpose port
			6: PGPIO4EN	0: GPIO4	1: General purpose port
			5: PGPIO3EN	0: GPIO3	1: General purpose port
			4: PGPIO2EN	0: GPIO2	1: General purpose port
			3: PGPIO1EN	0: GPIO1	1: General purpose port
			2: PSH3EN	0: SH3	1: General purpose port
			1: PSH2EN	0: SH2	1: General purpose port
			0: PSH1EN	0: SH1	1: General purpose port

汎用ポート兼用端子を制御するレジスタです。“0”を設定するとそのレジスタに対応した端子は、該当端子の機能信号を出力します。また、“1”を設定すると対応端子の汎用ポート機能を有効にします。

7. レジスタ

7.4.26 0x5B 汎用ポート入出力切り替えレジスタ 1 (GPIODIR1)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x5B	GPIODIR1		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
		R/W	9: PSNCK1EDIR[1]	SNCK1E 端子入出力切り替え選択	
			8: PSNCK1EDIR[0]		
			7: PSNCK1DDIR[1]	SNCK1D 端子入出力切り替え選択	
			6: PSNCK1DDIR[0]		
			5: PSNCK1CDIR[1]	SNCK1C 端子入出力切り替え選択	
			4: PSNCK1CDIR[0]		
			3: PSNCK1BDIR[1]	SNCK1B 端子入出力切り替え選択	
			2: PSNCK1BDIR[0]		
			1: PSNCK1ADIR[1]	SNCK1A 端子入出力切り替え選択	
			0: PSNCK1ADIR[0]		

汎用ポート兼用端子の入出力切り替えを設定するレジスタです。
“00”を設定するとそのレジスタに対応した端子は、入力ポートとなります。
また、“01”を設定すると 12mA の出力電流を駆動可能な出力ポートとなります。
さらに、“10”を設定すると 24mA の出力電流が駆動可能な出力ポートとなります。

「制限注意事項 1」

機能信号を出力する場合は、“01”または“10”に設定し出力状態にする必要があります。

「制限注意事項 2」

該当端子を出力設定にする場合、本レジスタを“11”に設定にすることは禁止です。もし、本ビットを“11”に設定した場合、該当端子が破壊する恐れがあります。

7.4.27 0x5C 汎用ポート入出力切り替えレジスタ 2 (GPIODIR2)

No.	Register Name	R/W	Bit Symbol	Description	Reset
0x5C	GPIODIR2		15:		0x0000
			14:		
			13:		
			12:		
			11:		
			10:		
		R/W	9: PSNCK6DIR[1]	SNCK6 端子入出力切り替え選択	
			8: PSNCK6DIR[0]		
			7: PSNCK5DIR[1]	SNCK5 端子入出力切り替え選択	
			6: PSNCK5DIR[0]		
			5: PSNCK4DIR[1]	SNCK4 端子入出力切り替え選択	
			4: PSNCK4DIR[0]		
			3: PSNCK3DIR[1]	SNCK3 端子入出力切り替え選択	
			2: PSNCK3DIR[0]		
			1: PSNCK2DIR[1]	SNCK2 端子入出力切り替え選択	
			0: PSNCK2DIR[0]		

汎用ポート兼用端子の入出力切り替えを設定するレジスタです。
“00”を設定するとそのレジスタに対応した端子は、入力ポートとなります。
また、“01”を設定すると 12mA の出力電流を駆動可能な出力ポートとなります。
さらに、“10”を設定すると 24mA の出力電流が駆動可能な出力ポートとなります。

「制限注意事項 1」

機能信号を出力する場合は、“01”または“10”に設定し出力状態にする必要があります。

「制限注意事項 2」

該当端子を出力設定にする場合、本レジスタを“11”に設定にすることは禁止です。もし、本ビットを“11”に設定した場合、該当端子が破壊する恐れがあります。

7.4.28 0x5D 汎用ポート入出力切り替えレジスタ 3 (GPIODIR3)

No.	Register Name	R/W	Bit Symbol	Description		Reset	
0x5D	GPIOEN3	R/W	15: PCLMPDIR	0: Input port	1: Output port	0x0000	
			14: PADCKDIR	0: Input port	1: Output port		
			13: PCK2DIR	0: Input port	1: Output port		
			12: PCK1DIR	0: Input port	1: Output port		
			11:				
			10:				
			9:				
			8:				
			7:				
			6:				
		R/W	5: PGPIO3DIR	0: Input port	1: Output port		
			4: PGPIO2DIR	0: Input port	1: Output port		
			3: PGPIO1DIR	0: Input port	1: Output port		
			2: PSH3DIR	0: Input port	1: Output port		
			1: PSH2DIR	0: Input port	1: Output port		
			0: PSH1DIR	0: Input port	1: Output port		

汎用ポート兼用端子の入出力切り替えを設定するレジスタです。“0”を設定するとそのレジスタに対応した端子は、入力ポートとなります。また、“1”を設定すると出力ポートとなります。

「制限注意事項」

機能信号を出力する場合は、“1”に設定し出力状態にする必要があります。

7. レジスタ

7.4.29 0x5E 汎用ポートレジスタ 1 (GPIOST1)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x5E	GPIOST1		15:			0x0000
			14:			
			13:			
		R/W	12: PSNCK6	0: Low	1: High	
			11: PSNCK5	0: Low	1: High	
			10: PSNCK4	0: Low	1: High	
			9: PSNCK3	0: Low	1: High	
			8: PSNCK2	0: Low	1: High	
			7:			
			6:			
			5:			
		R/W	4: PSNCK1E	0: Low	1: High	
			3: PSNCK1D	0: Low	1: High	
			2: PSNCK1C	0: Low	1: High	
			1: PSNCK1B	0: Low	1: High	
			0: PSNCK1A	0: Low	1: High	

汎用ポートの状態を示すレジスタです。

本レジスタをライトすると汎用ポートが出力設定となっている場合、対応する端子はレジスタに設定された値を出力します。一方、本レジスタをリードすると汎用ポートの設定に関わらず、対応する端子の状態が読み出せます。

7.4.30 0x5F 汎用ポートレジスタ 2 (GPIOST2)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x5F	GPIOST2	R/W	15: PCLMP	0: Low	1: High	0x0000
			14: PADCK	0: Low	1: High	
			13: PCK2	0: Low	1: High	
			12: PCK1	0: Low	1: High	
			11:			
			10:			
			9:			
			8:			
		R/W	7: PGPIO5	0: Low	1: High	
			6: PGPIO4	0: Low	1: High	
			5: PGPIO3	0: Low	1: High	
			4: PGPIO2	0: Low	1: High	
			3: PGPIO1	0: Low	1: High	
			2: PSH3	0: Low	1: High	
			1: PSH2	0: Low	1: High	
			0: PSH1	0: Low	1: High	

汎用ポートの状態を示すレジスタです。

本レジスタをライトすると汎用ポートが出力設定となっている場合、対応する端子はレジスタに設定された値を出力します。一方、本レジスタをリードすると汎用ポートの設定に関わらず、対応する端子の状態が読み出せます。但し、PGPIO4 および PGPIO5 は設定値がリードされます。

7.4.31 0x70 アナログモジュールリセットレジスタ (ANA_RESET)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x70	ANA_RESET		15:			0x0000
			14:			
			13:			
		R/W	12: xPD_RSDS	0: Power down	1: Normal	
			11:			
			10:			
			9:			
		R/W	8: xPD_PLL	0: Power down	1: Normal	
			7:			
			6:			
			5:			
			4:			
			3:			
			2:			
			1:			
			0:			

Bit15～13 Reserved

Bit12 xPD_RSIDS
内蔵 RSIDS(LVDS)へのパワーダウンレジスタです。

Bit11～9 Reserved

Bit8 xPD_PLL
内蔵 PLL へのパワーダウンレジスタです。

Bit7～0 Reserved

7. レジスタ

7.4.32 0x7F PLL・画像出力制御レジスタ (PLL_IMGSIG_CTL)

No.	Register Name	R/W	Bit Symbol	Description		Reset
0x7F	PLL_IMGSIG_CTL	R/W	15: VCOSEL	0: $\leq 100\text{MHz}$	1: $\geq 100\text{MHz}$	0x2000
			14:			
		R/W	13: RSEL[1]	PLL 内蔵フィルタ選択		
			12: RSEL[0]			
			11: CLKSEL[1]	入力クロック選択		
			10: CLKSEL[0]			
			9:			
			8:			
			7:			
			6:			
			5:			
			4:			
			3:			
			2:			
			1:			
			0:			

Bit15 VCOSEL
内蔵 PLL が出力する内部基準クロック(CLK 信号)の周波数に応じて下記に従い本ビットを設定します。
VCOSEL : CLK 信号周波数
 0 : 100MHz 以下
 1 : 100MHz 以上

Bit14 Reserved

Bit13~12 RSEL[1:0]
内蔵 PLL のフィルタ回路の定数を選択します。通常は“10”にて使用します。

Bit11~10 CLKSEL[1:0]
入力クロックを下記に従い設定します。
CLKSEL[1:0] : CLK 入力選択
 00 : クロック入力
 01 : RSDS(LVDS)差動入力
 10 : 発振回路入力

Bit9~0 Reserved

「制限注意事項」
CLKSEL を設定する場合、本レジスタに“11”に設定にすることは禁止です。

8. 電気的特性

8.1 絶対最大定格

項目	記号	定格	単位
電源電圧	HVDD※	-0.3~+7.0	V
	LVDD※	-0.3~+4.0	V
	RXVDD※	-0.3~+4.0	V
入力電圧	HVi	-0.3~HVDD+0.5	V
	LVi	-0.3~LVDD+0.5 (5V トレラント入力は-0.3~+7.0V※2)	V
	RXVi	-0.3~RXVDD+0.5	V
出力電圧	HVo	-0.3~HVDD+0.5	V
	LVo	-0.3~LVDD+0.5	V
出力電流／端子	IOUT	±30	mA
保存温度	Tstg	-65~150	°C

VSS=0V, RXVSS=0V

※ HVDD ≥ LVDD, RXVDD、LVDD = RXVDD

8.2 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位
電源電圧	HVDD	4.500	5.000	5.500	V
	LVDD	3.135	3.300	3.465	V
	RXVDD	3.135	3.300	3.465	V
入力電圧	HVi	VSS	—	HVDD	V
	LVi	VSS	—	LVDD	V
	RXVi	RXVSS	—	RXVDD	V
周囲温度	Ta	0	25	70	°C
入力立ち上がり（ノーマル入力）	tri※	—	—	50	ns
入力立ち下がり（ノーマル出力）	tfa※	—	—	50	ns
入力立ち上がり（シュミット入力）	tri※	—	—	5	ms
入力立ち下がり（シュミット入力）	tfa※	—	—	5	ms

VSS=0V, RXVSS=0V

※ HVDD または LVDD の 10%~90%の変化時間

8. 電气的特性

8.3 電源シーケンス

以下に示す電源シーケンスにて電源を投入する必要があります。本シーケンスを守らない場合、IC が破壊する場合がありますのでご注意ください。

8.3.1 Power ON 時

LVDD ON → RXVDD ON
HVDD ON

LVDD 投入後、1sec 以内にすべての電源が投入される必要があります。

※RXVDD と HVDD には位相関係はなく、どちらが先に投入されても構いません。

8.3.2 Power OFF 時

RXVDD OFF → LVDD OFF
HVDD OFF

RXVDD または HVDD 遮断後、1sec 以内にすべての電源が遮断される必要があります。

※RXVDD と HVDD には位相関係はなく、どちらが先に遮断されても構いません。

8.3.3 DC 特性

(1) DC 状態における入出力特性

項目	記号	条件	Min.	Typ.	Max.	単位
静止電流	IHDDS	HVDD=5V±10%	—	—	10	μA
	ILDDS	LVDD=3.3V±5%	—	—	10	μA
	RXIDDS	RXVDD=3.3V±5%	—	—	10	μA
消費電流 [10MHz]	IHDD※	HVDD=5V±10%	—	50	—	mA
	ILDD	LVDD=3.3V±5%	—	220	—	mA
	RXIDD	AVDD=3.3V±5%	—	6	—	mA
入力リーク電流 [HVDD]	IHLI	HVDD=5V, VIH=HVDD, VHIL=VSS	-5	—	5	μA
入力リーク電流 [LVDD]	ILLI	LVDD=3.3V, VLIH=LVDD, VLIL=VSS	-5	—	5	μA
オフステートリーク電流 [HVDD]	IHOZ	—	-5	—	5	μA
オフステートリーク電流 [LVDD]	ILOZ	—	-5	—	5	μA

※ 外部端子無負荷時

(2) 入力特性

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧 [HVDD]	VHIH	TTL, HVDD=Max	2.0	—	—	V
低レベル入力電圧 [HVDD]	VHIL	TTL, HVDD=Min	—	—	0.8	V
ポジティブ・トリガ電圧 [HVDD]	VHT+	TTL シュミット	1.2	—	2.4	V
ネガティブ・トリガ電圧 [HVDD]	VHT-	TTL シュミット	0.6	—	1.8	V
ヒステリシス電圧 [HVDD]	VHH	TTL シュミット	0.1	—	—	V
高レベル入力電圧 [LVDD]	VLIH	LVTTTL, LVDD=Max	2.0	—	—	V
低レベル入力電圧 [LVDD]	VLIL	LVTTTL, LVDD=Min	—	—	0.8	V
ポジティブ・トリガ電圧 [LVDD]	VLT+	LVTTTL シュミット	1.1	—	2.4	V
ネガティブ・トリガ電圧 [LVDD]	VLT-	LVTTTL シュミット	0.6	—	1.8	V
ヒステリシス電圧 [LVDD]	VLH	LVTTTL シュミット	0.1	—	—	V

(3) 入力プルダウン特性

項目	記号	条件	Min.	Typ.	Max.	単位
プルダウン抵抗値 [HVDD]	RHPD	HVi=HVDD	30	60	120	KΩ
プルダウン抵抗値 [LVDD]	RLPD	LVi=LVDD	20	50	100	KΩ

(4) 入力プルアップ特性

項目	記号	条件	Min.	Typ.	Max.	単位
プルアップ抵抗値 [HVDD]	RHPU	HVi=0V	30	60	120	KΩ
プルアップ抵抗値 [LVDD]	RLPU	LVi=0V	20	50	100	KΩ

(5) 出力特性

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル出力電圧 [HVDD]	VHOH	HVDD=Min, IHOH=-8mA	HVDD-0.4	—	—	V
低レベル出力電圧 [HVDD]	VHOL	HVDD=Min, IHOL=8mA	—	—	0.4	V
高レベル出力電圧 [LVDD]	VLOH	LVDD=Min, ILOH=-6mA	LVDD-0.4	—	—	V
低レベル出力電圧 [LVDD]	VLOL	LVDD=Min, ILOL=6mA	—	—	0.4	V

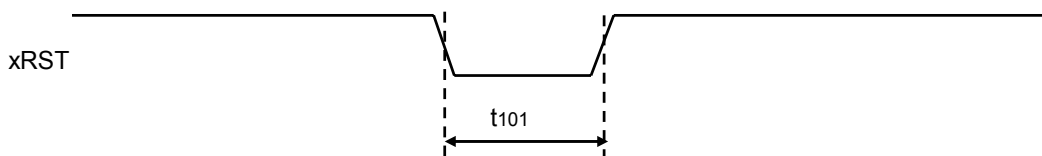
(6) RSDS(LVDS)-RX 特性

項目	記号	条件	Min.	Typ.	Max.	単位
終端抵抗	Rtrm	RXVDD=3.3V	99	100	101	Ω
差動入力電圧	Vid	RXVDD=3.3V	250	350	450	[mV]
入力コモンモード電圧	Vos	RXVDD=3.3V	1.0	1.25	2.0	V

8. 電気的特性

8.4 AC 特性

8.4.1 システムリセット

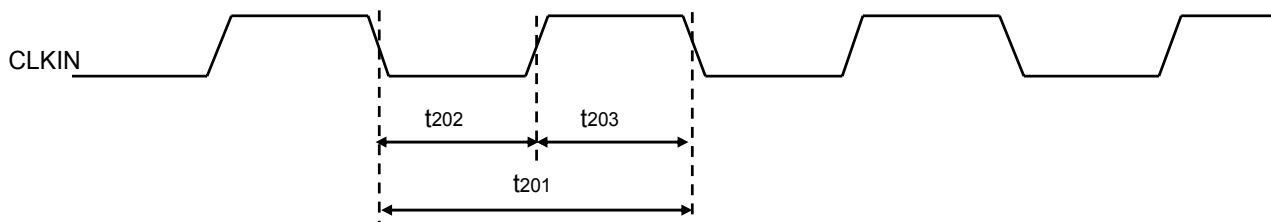


(推奨動作条件による)

記号	項 目	Min.	Typ.	Max.	単位
t101	xRST 低レベルパルス幅	10	—	—	ms

* 誤動作の原因となりますので、xRST信号は上記最小値よりも長いパルス幅で入力してください。

8.4.2 クロックタイミング

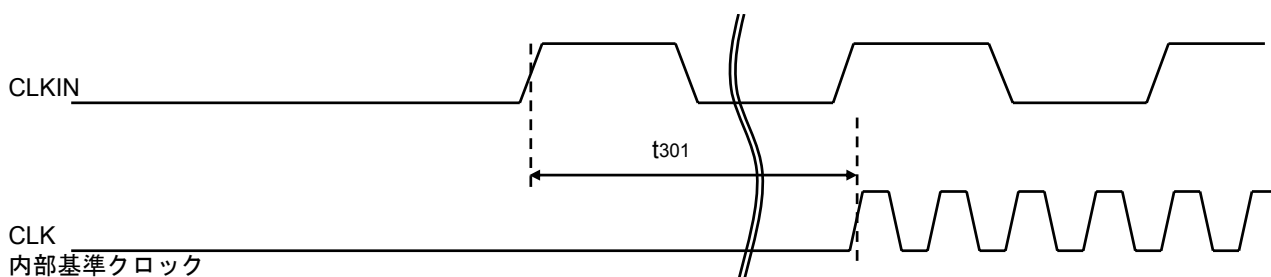


(推奨動作条件による)

記号	項 目	Min.	Typ.	Max.	単位
t201	CLK 周期	-100ppm	1/(10M~25M)	+100ppm	s
t202	CLK 低レベルパルス幅	(t201/2)-10%	t201/2	(t201/2)+10%	ns
t203	CLK 高レベルパルス幅	(t201/2)-10%	t201/2	(t201/2)+10%	ns

* t201はCLKIN端子に入力されるクロックの周期とする。

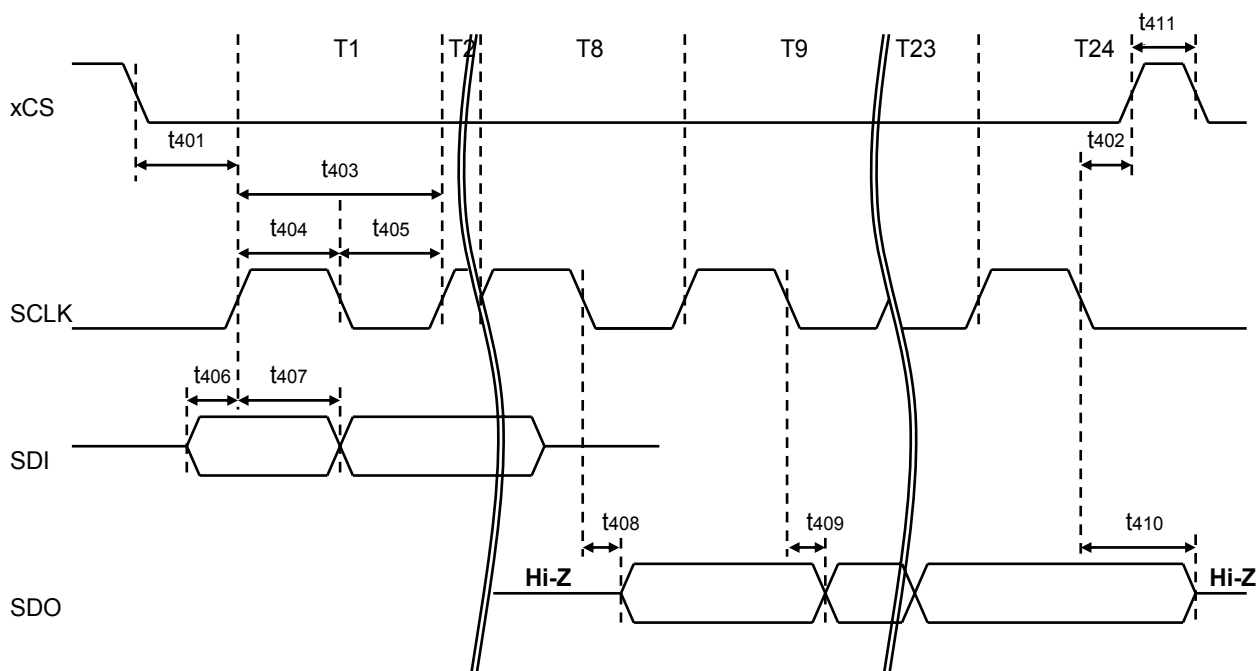
8.4.3 PLL ロックタイミング



(推奨動作条件による)

記号	項 目	Min.	Typ.	Max.	単位
t301	PLLロック期間	10	—	—	ms

8.4.4 シリアルインタフェースタイミング



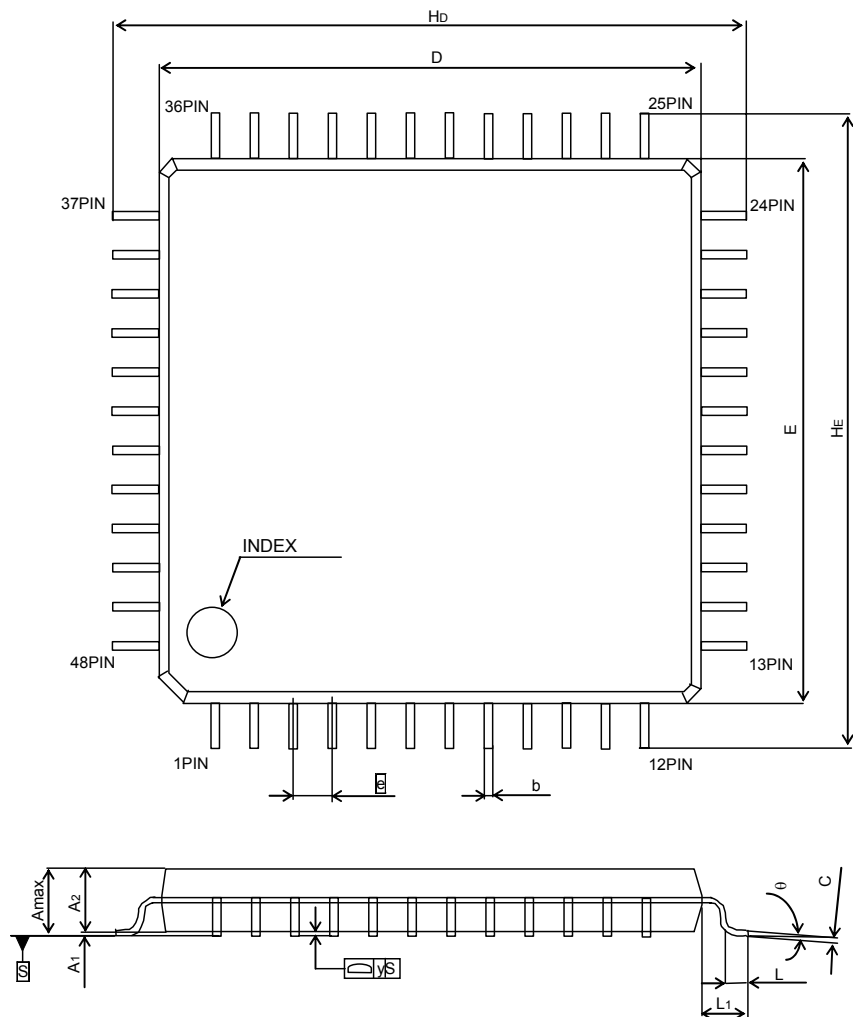
(推奨動作条件による)

記号	項 目	Min.	Typ.	Max.	単位
t401	シリアルインタフェース アクセス開始セットアップ時間	100	—	—	ns
t402	シリアルインタフェース アクセス終了ホールド時間	10	—	—	ns
t403	SCLK 周期	100	—	—	ns
t404	SCLK 高レベルパルス幅	40	—	—	ns
t405	SCLK 低レベルパルス幅	40	—	—	ns
t406	SDI セットアップ時間	20	—	—	ns
t407	SDI ホールド時間	20	—	—	ns
t408	SDO 読み出し遅延時間	5	—	—	ns
t409	SDO 切り替わり遅延時間	—	—	30	ns
t410	SDO 保持時間	—	—	30	ns
t411	シリアルインタフェース アクセスサイクル ウェイト時間	100	—	—	ns

9. 外形寸法図

9. 外形寸法図

QFP12-48 パッケージ



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	—	7	—
D	—	7	—
Amax	—	—	1.7
A1	—	0.1	—
A2	—	1.4	—
e	—	0.5	—
b	0.13	—	0.27
c	0.09	—	0.2
θ	0°	—	10°
L	0.3	—	0.7
L1	—	1	—
HE	—	9	—
HD	—	9	—
y	—	—	0.08

1 = 1mm

改良のため予告なく変更することがあります

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411602100
2009 年 1 月 作成 (H)