EPSON
EXCEED YOUR VISION

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17501

テクニカルマニュアル

セイコーエプソン株式会社

Rev. 1.1

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

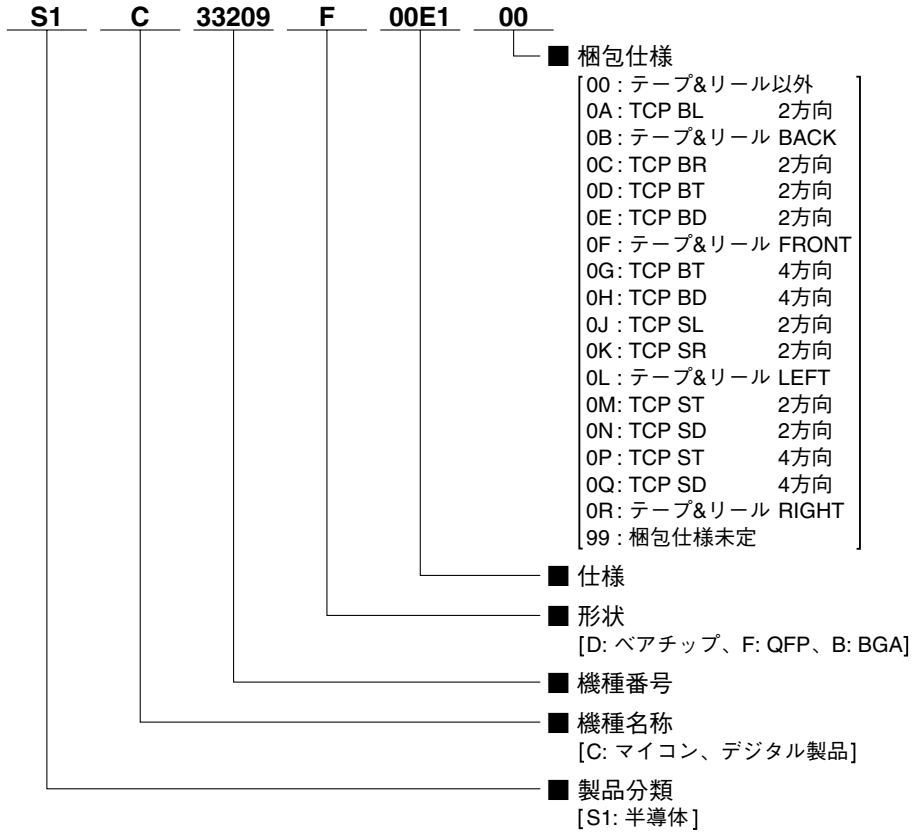
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

本製品はSilicon Storage Technology, Inc.**よりライセンスされた**SuperFlash®**テクノロジを使用しています。**

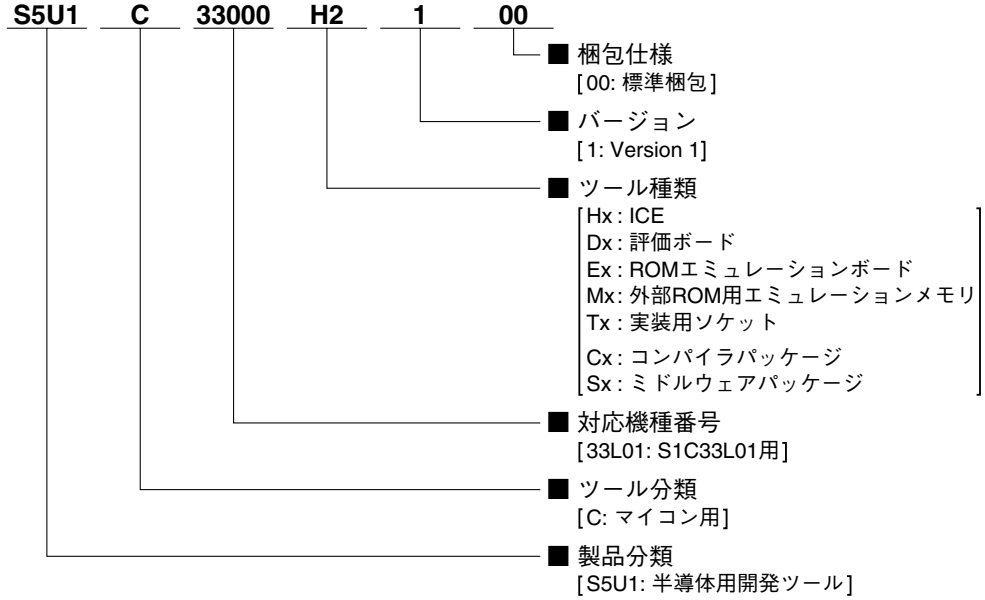
© SEIKO EPSON CORPORATION 2011, All rights reserved.

製品型番体系

●デバイス



●開発ツール



- 目 次 -

I S1C17501の仕様

I.1 概要 I-1-1

I.2 ブロック図 I-2-1

I.3 端子説明 I-3-1

I.3.1 端子配置 I-3-1
I.3.2 端子機能 I-3-3
I.3.3 マルチプレックス端子の機能切り換え I-3-8
I.3.3.1 端子機能選択ビット I-3-8
I.3.3.2 ポート機能選択レジスター覧 I-3-11
0x4420: P00–P03 Port Function Select Register (P0_03_CFP) I-3-12
0x4421: P04–P07 Port Function Select Register (P0_47_CFP) I-3-13
0x4422: P10–P13 Port Function Select Register (P1_03_CFP) I-3-14
0x4423: P14–P16 Port Function Select Register (P1_46_CFP) I-3-15
0x4424: P20–P23 Port Function Select Register (P2_03_CFP) I-3-16
0x4425: P24–P27 Port Function Select Register (P2_47_CFP) I-3-17
0x4426: P30–P33 Port Function Select Register (P3_03_CFP) I-3-18
0x4427: P34–P37 Port Function Select Register (P3_47_CFP) I-3-19
0x4428: P40–P43 Port Function Select Register (P4_03_CFP) I-3-20
0x4429: P44–P45 Port Function Select Register (P4_45_CFP) I-3-21
0x442a: P50–P53 Port Function Select Register (P5_03_CFP) I-3-22
0x442b: P54–P57 Port Function Select Register (P5_47_CFP) I-3-23
0x442c: P60–P63 Port Function Select Register (P6_03_CFP) I-3-24
0x442d: P64–P67 Port Function Select Register (P6_47_CFP) I-3-25
0x442e: P70–P73 Port Function Select Register (P7_03_CFP) I-3-26
0x442f: P74–P77 Port Function Select Register (P7_47_CFP) I-3-27
0x4430: P80–P83 Port Function Select Register (P8_03_CFP) I-3-28
0x4431: P84–P86 Port Function Select Register (P8_46_CFP) I-3-29
0x4432: P90–P93 Port Function Select Register (P9_03_CFP) I-3-30
0x4433: P94–P97 Port Function Select Register (P9_47_CFP) I-3-31
0x4434: PA0–PA3 Port Function Select Register (PA_03_CFP) I-3-32
0x4435: PA4–PA6 Port Function Select Register (PA_46_CFP) I-3-33
0x4436: PB0–PB3 Port Function Select Register (PB_03_CFP) I-3-34
0x4437: PB4–PB7 Port Function Select Register (PB_47_CFP) I-3-35
0x4438: PC0–PC3 Port Function Select Register (PC_03_CFP) I-3-36
0x4439: PC4–PC7 Port Function Select Register (PC_47_CFP) I-3-37
I.3.4 入出力セルと入出力特性 I-3-38
I.3.5 パッケージ I-3-40
I.3.5.1 TQFP15-128pinパッケージ I-3-40
I.3.5.2 TQFP14-100pinパッケージ I-3-41
I.3.5.3 パッケージの熱抵抗 I-3-42

I.4 電源 I-4-1

I.4.1 電源端子 I-4-1
I.4.2 動作電圧（V_{DD}, V_{SS}） I-4-2
I.4.3 RTC用電源（$RTCV_{DD}$） I-4-2
I.4.4 アナログ回路用電源（AV_{DD}） I-4-2
I.4.5 電源に関する注意事項 I-4-3

I.5 CPU I-5-1

I.5.1 S1C17コアの特長 I-5-1
I.5.2 CPUレジスタ I-5-2
I.5.3 命令セット I-5-3

I.5.4 ベクタテーブル I-5-7
I.5.5 オンチップデバッガ I-5-9
I.5.5.1 デバッグ機能 I-5-9
I.5.5.2 デバッグ用ワークエリア I-5-9
0xffff90: Debug RAM Base Register (DBRAM) I-5-9
I.5.5.3 デバッグツール I-5-9
I.5.5.4 デバッグ端子 I-5-10
I.5.5.5 デバッグ用クロック I-5-10
I.5.5.6 デバッガステータス信号(DST2) I-5-10
I.6 メモリマップ I-6-1
I.6.1 アクセスサイクル I-6-2
I.6.1.1 アクセスサイズ制限 I-6-3
I.6.1.2 ハーバードアーキテクチャによる命令とデータの同時アクセス I-6-3
I.6.2 IRAMエリア I-6-4
I.6.3 IRAM2エリア I-6-4
I.6.4 Flashエリア I-6-4
I.6.5 内蔵周辺回路エリア I-6-5
I.6.5.1 S1C17コア周辺回路エリア(0x4000〜) I-6-5
I.6.5.2 拡張周辺回路エリア(0x4400〜) I-6-5
I.6.5.3 I/Oマップ I-6-5
I.6.6 S1C17コアI/O予約エリア I-6-12
I.7 電気的特性 I-7-1
I.7.1 絶対最大定格 I-7-1
I.7.2 推奨動作条件 I-7-1
I.7.3 DC特性 I-7-2
I.7.4 消費電流 I-7-3
I.7.5 A/D変換器特性 I-7-6
I.7.6 発振特性 I-7-7
I.7.7 AC特性 I-7-8
I.7.7.1 外部クロック入力特性 I-7-8
I.7.7.2 SRAMC AC特性 I-7-9
I.7.7.3 SPI AC特性 I-7-10
I.7.8 USB DC & AC特性 I-7-11
I.8 基本外部結線図 I-8-1
I.9 実装上の注意事項 I-9-1

II S1C17501クロックシステム

II.1 クロック系統図 II-1-1

II.2 クロックマネージメントユニット(CMU) II-2-1

II.2.1 CMUの概要 II-2-1
II.2.2 リセット入力とイニシャルリセット II-2-2
II.2.2.1 イニシャルリセット端子 II-2-2
II.2.2.2 イニシャルリセット内容 II-2-2
II.2.2.3 パワーオンリセット II-2-3
II.2.2.4 イニシャルリセット時の注意事項 II-2-4
II.2.3 NMI入力 II-2-5
II.2.4 システムクロックソースの選択 II-2-6
II.2.5 発振回路の制御 II-2-7
II.2.5.1 OSC3発振回路 II-2-7
II.2.5.2 OSC3分周回路の設定 II-2-8
II.2.5.3 OSC1発振回路 II-2-8
II.2.6 クロック供給制御 II-2-10
II.2.6.1 S1C17コアへのクロック供給 II-2-10
II.2.6.2 コア周辺モジュールへのクロック供給 II-2-10
II.2.6.3 拡張周辺モジュールへのクロック供給 II-2-10
II.2.6.4 SRAMCへのクロック供給 II-2-11
II.2.6.5 FLASHCへのクロック供給 II-2-11
II.2.6.6 USBへのクロック供給 II-2-11
II.2.6.7 RTCへのクロック供給 II-2-12
II.2.6.8 I^2Sへのクロック供給 II-2-12
II.2.6.9 コアバス等のモジュールへのクロック供給 II-2-12
II.2.7 外部出力クロック(CMU_CLK)の設定 II-2-13
II.2.8 スタンバイモード II-2-14
II.2.8.1 HALTモード II-2-14
II.2.8.2 SLEEPモード II-2-14
II.2.8.3 注意事項 II-2-16
II.2.9 クロック設定手順 II-2-17
II.2.9.1 クロックソースをOSC3からOSC1に変更後OSC3をOff II-2-17
II.2.9.2 クロックソースをOSC1からOSC3に変更 II-2-18
II.2.9.3 SLEEP時にOSC3を停止 II-2-19
II.2.9.4 発振OnのままのSLEEP(クロック変更なし) II-2-20
II.2.10 ノイズフィルタ II-2-21
II.2.10.1 DSIN入力用ノイズフィルタ II-2-21
II.2.10.2 入力ポートのノイズフィルタ II-2-21
II.2.10.3 OSC3クロック入力用ノイズフィルタ II-2-21
II.2.11 USBウェイト制御 II-2-22
II.2.12 制御レジスタの詳細 II-2-23
0x4900: System Clock Control Register (CMU_SYSCLKCTL) II-2-24
0x4901: OSC3 Wait Timer Register (CMU_OSC3_WCNT) II-2-26
0x4902: Noise Filter Control Register (CMU_NF) II-2-27
0x4903: OSC3 Clock Divider Register (CMU_OSC3DIV) II-2-28
0x4905: CMU_CLK Select Register (CMU_CMUCLK) II-2-29
0x4906: Gated Clock Control 0 Register (CMU_GATEDCLK0) II-2-30
0x4907: Gated Clock Control 1 Register (CMU_GATEDCLK1) II-2-31
0x4908: Gated Clock Control 2 Register (CMU_GATEDCLK2) II-2-32
0x4909: USB Wait Control Register (CMU_USBWT) II-2-33
0x4920: CMU Write Protect Register (CMU_PROTECT) II-2-34
II.2.13 注意事項 II-2-35

II.3 プリスケーラ（PSC）..... II-3-1
II.3.1 プリスケーラの構成..... II-3-1
II.3.2 制御レジスタ詳細..... II-3-2
0x4020: Prescaler Control Register (PSC_CTL)..... II-3-2
II.3.3 注意事項..... II-3-3
II.4 クロックジェネレータ（CLG）..... II-4-1
II.4.1 クロックジェネレータの構成..... II-4-1
II.4.2 16ビットタイマ（CLG_T16U0）..... II-4-2
II.4.2.1 16ビットタイマの概要..... II-4-2
II.4.2.2 カウントモード..... II-4-2
II.4.2.3 カウントクロック..... II-4-3
II.4.2.4 16ビットタイマリロードレジスタとアンダーフロー周期..... II-4-3
II.4.2.5 16ビットタイマのリセット..... II-4-4
II.4.2.6 16ビットタイマRUN/STOP制御..... II-4-4
II.4.2.7 16ビットタイマ出力信号..... II-4-5
II.4.2.8 16ビットタイマ割り込み..... II-4-5
II.4.2.9 制御レジスタ詳細..... II-4-6
0x4200: CLG_T16U0 Input Clock Select Register (CLG_T16U0_CLK)..... II-4-7
0x4202: CLG_T16U0 Reload Data Register (CLG_T16U0_TR)..... II-4-8
0x4204: CLG_T16U0 Counter Data Register (CLG_T16U0_TC)..... II-4-9
0x4206: CLG_T16U0 Control Register (CLG_T16U0_CTL)..... II-4-10
II.4.2.10 注意事項..... II-4-11
II.4.3 8ビットタイマ（CLG_T8S, CLG_T8I）..... II-4-12
II.4.3.1 8ビットタイマの概要..... II-4-12
II.4.3.2 8ビットタイマのカウントモード..... II-4-13
II.4.3.3 カウントクロック..... II-4-13
II.4.3.4 8ビットタイマリロードレジスタとアンダーフロー周期..... II-4-14
II.4.3.5 8ビットタイマのリセット..... II-4-14
II.4.3.6 8ビットタイマRUN/STOP制御..... II-4-15
II.4.3.7 8ビットタイマ出力信号..... II-4-16
II.4.3.8 8ビットタイマ割り込み..... II-4-17
II.4.3.9 制御レジスタ詳細..... II-4-18
0x4240/0x4260: CLG_T8***x*** Input Clock Select Registers (CLG_T8***x***_CLK)..... II-4-19
0x4242/0x4262: CLG_T8***x*** Reload Data Registers (CLG_T8***x***_TR)..... II-4-20
0x4244/0x4264: CLG_T8***x*** Counter Data Registers (CLG_T8***x***_TC)..... II-4-21
0x4246/0x4266: CLG_T8***x*** Control Registers (CLG_T8***x***_CTL)..... II-4-22
II.4.3.10 注意事項..... II-4-23
II.5 リアルタイムクロック（RTC）..... II-5-1
II.5.1 RTCの概要..... II-5-1
II.5.2 RTCカウンタ..... II-5-2
II.5.3 RTCの制御..... II-5-5
II.5.3.1 動作クロックの制御..... II-5-5
II.5.3.2 RTCのイニシャルシーケンス..... II-5-6
II.5.3.3 24時間制/12時間制の選択とカウンタの設定..... II-5-7
II.5.3.4 カウンタのスタート/ストップおよびリセット..... II-5-7
II.5.3.5 カウンタのホールドとビジーフラグ..... II-5-8
II.5.3.6 動作中のカウンタのリード/ライト..... II-5-9
II.5.3.7 30秒補正..... II-5-9
II.5.4 RTC割り込み..... II-5-10
II.5.5 OSC1発振回路..... II-5-11
II.5.5.1 OSC1発振回路の入出力端子..... II-5-11
II.5.5.2 発振回路の構造..... II-5-11

II.5.6 WAKEUPと#STBY端子 II-5-12
II.5.7 制御レジスタ詳細 II-5-15
0x4600: RTC Interrupt Status Register (RTC_INTSTAT) II-5-16
0x4601: RTC Interrupt Mode Register (RTC_INTMODE) II-5-17
0x4602: RTC Control 0 Register (RTC_CNTL0) II-5-18
0x4603: RTC Control 1 Register (RTC_CNTL1) II-5-20
0x460f: RTC Wakeup Configuration Register (RTC_WAKEUP) II-5-21
0x4614: RTC Second Register (RTC_SEC) II-5-22
0x4615: RTC Minute Register (RTC_MIN) II-5-23
0x4616: RTC Hour Register (RTC_HOUR) II-5-24
0x4617: RTC Day Register (RTC_DAY) II-5-25
0x4628: RTC Month Register (RTC_MONTH) II-5-26
0x4629: RTC Year Register (RTC_YEAR) II-5-27
0x462a: RTC Days of Week Register (RTC_WEEK) II-5-28
II.5.8 注意事項 II-5-29

III S1C17501メモリコントローラモジュール

III.1 Flashコントローラ（FLASHC） III-1-1

III.1.1 FLASHCの概要 III-1-1
III.1.2 Flashメモリマップ III-1-2
III.1.3 ブートアドレスとTTBR III-1-3
III.1.4 Flashメモリのプログラミング III-1-4
III.1.4.1 チップ消去手順 III-1-5
III.1.4.2 セクタ消去手順 III-1-6
III.1.4.3 Flashプログラミング手順 III-1-8
III.1.5 リードアクセス制御 III-1-10
III.1.6 制御レジスタの詳細 III-1-11
0x5800: FLASHC Control Register (FLASH_CTL) III-1-12
0x5802: FLASHC Sector Address Register (FLASH_ADDR) III-1-14
0x5804: FLASHC Wait Register (FLASH_WAIT) III-1-15
0x5810: FLASHC Protect Register (FLASH_PROT) III-1-16
0x5814–0x5816: Trap Table Base Registers (TTBR_LOW, TTBR_HIGH) III-1-17
III.1.7 注意事項 III-1-18

III.2 SRAMコントローラ（SRAMC） III-2-1

III.2.1 SRAMCの概要 III-2-1
III.2.2 SRAMC端子 III-2-2
III.2.3 外部メモリエリア III-2-3
III.2.3.1 チップイネーブル信号 III-2-4
III.2.3.2 エリアの設定 III-2-4
III.2.4 外部デバイスの接続とバスオペレーション III-2-6
III.2.4.1 外部デバイスの接続 III-2-6
III.2.4.2 メモリ上のデータ配置 III-2-6
III.2.4.3 外部バスオペレーション III-2-7
III.2.5 SRAMC動作クロック III-2-8
III.2.6 バスアクセスタイミングチャート III-2-9
III.2.6.1 SRAMリード/ライトタイミング（外部#WAITなし） III-2-9
III.2.6.2 SRAMリード/ライトタイミング（外部#WAITあり） III-2-11
III.2.7 内部デバイス用ウェイトサイクルの設定 III-2-12
III.2.8 制御レジスタ詳細 III-2-13
0x5000: External Memory Static Wait Control Register (EXTMEM_SWAIT) III-2-14
0x5004: External Memory Device Size Setup Register (EXTMEM_SIZE) III-2-15
0x5008: External Memory Device Type Setup Register (EXTMEM_A0_BSL) III-2-16
0x5010: Internal Memory Static Wait Control Register (IRAM2_SWAIT) III-2-17
0x5014: MAC Wait Control Register (MAC_WAIT) III-2-18
0x5018: RTC Wait Control Register (RTC_WAIT) III-2-19
III.2.9 注意事項 III-2-20

IV S1C17501割り込みシステム

IV.1 割り込みコントローラ(ITC) IV-1-1

IV.1.1 ITCの構成..... IV-1-1
IV.1.2 ベクタテーブル IV-1-2
IV.1.3 マスク可能割り込みの制御 IV-1-4
IV.1.3.1 ITCイネーブル IV-1-4
IV.1.3.2 周辺モジュールからの割り込み要求と割り込みフラグ..... IV-1-4
IV.1.3.3 割り込みの許可/禁止..... IV-1-5
IV.1.3.4 複数の割り込み発生時の処理 IV-1-6
IV.1.3.5 割り込みのトリガモード IV-1-7
IV.1.3.6 S1C17コアの割り込み処理..... IV-1-8
IV.1.4 NMI..... IV-1-9
IV.1.5 ソフトウェア割り込み IV-1-10
IV.1.6 割り込み要因によるHALT, SLEEPモードの解除 IV-1-11
IV.1.7 制御レジスタ詳細 IV-1-12
0x42e0: Additional Interrupt Flag Register (ITC_AIFLG)..... IV-1-13
0x42e2: Additional Interrupt Enable Register (ITC_AEN)..... IV-1-14
0x42e6: Additional Interrupt Level Setup Register 0 (ITC_AILV0)..... IV-1-15
0x42e8: Additional Interrupt Level Setup Register 1 (ITC_AILV1)..... IV-1-16
0x42ea: Additional Interrupt Level Setup Register 2 (ITC_AILV2)..... IV-1-17
0x42ec: Additional Interrupt Level Setup Register 3 (ITC_AILV3)..... IV-1-18
0x42ee: Additional Interrupt Level Setup Register 4 (ITC_AILV4)..... IV-1-19
0x42f0: Additional Interrupt Level Setup Register 5 (ITC_AILV5)..... IV-1-20
0x42f2: Additional Interrupt Level Setup Register 6 (ITC_AILV6)..... IV-1-21
0x42f4: Additional Interrupt Level Setup Register 7 (ITC_AILV7)..... IV-1-22
0x4300: Interrupt Flag Register (ITC_IFLG)..... IV-1-23
0x4302: Interrupt Enable Register (ITC_EN)..... IV-1-25
0x4304: ITC Control Register (ITC_CTL) IV-1-26
0x4306: External Interrupt Level Setup Register 0 (ITC_ELV0) IV-1-27
0x4308: External Interrupt Level Setup Register 1 (ITC_ELV1) IV-1-29
0x430a: External Interrupt Level Setup Register 2 (ITC_ELV2) IV-1-30
0x430c: External Interrupt Level Setup Register 3 (ITC_ELV3)..... IV-1-31
0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0)..... IV-1-32
0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1)..... IV-1-33
0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2)..... IV-1-34
0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3)..... IV-1-35
IV.1.8 注意事項..... IV-1-36

V S1C17501タイマモジュール

V.1 8ビットプログラマブルタイマ（PT8）..... V-1-1

V.1.1 8ビットプログラマブルタイマの概要..... V-1-1
V.1.2 カウントクロック V-1-2
V.1.3 リロードレジスタとアンダーフロー周期..... V-1-3
V.1.4 タイマのリセット V-1-4
V.1.5 タイマRUN/STOP制御..... V-1-5
V.1.6 タイマ出力信号 V-1-6
V.1.7 8ビットプログラマブルタイマ割り込み V-1-7
V.1.8 制御レジスタ詳細 V-1-8
0x4800/0x4804/0x4808/0x480c: PT8 CH.*x* Input Clock Select Registers (PT8_CLK*x*)..... V-1-9
0x4801/0x4805/0x4809/0x480d: PT8 CH.*x* Reload Data Registers (PT8_RLD*x*) V-1-10
0x4802/0x4806/0x480a/0x480e: PT8 CH.*x* Counter Data Registers (PT8_PTD*x*)..... V-1-11
0x4803/0x4807/0x480b/0x480f: PT8 CH.*x* Control Registers (PT8_CTL*x*) V-1-12
V.1.9 注意事項..... V-1-13

V.2 16ビットマルチファンクションタイマ（MFT）..... V-2-1

V.2.1 16ビットマルチファンクションタイマの概要..... V-2-1
V.2.2 16ビットマルチファンクションタイマの入出力端子 V-2-2
V.2.3 16ビットマルチファンクションタイマの用途..... V-2-3
V.2.4 MFT動作クロック V-2-4
V.2.5 MFTの制御と動作 V-2-5
V.2.6 クロック出力の制御..... V-2-8
V.2.7 MFT割り込み V-2-12
V.2.8 制御レジスタ詳細 V-2-15
0x5200: MFT Counter Data Register (MFT_TC) V-2-16
0x5202: MFT Period Data Register (MFT_PRD)..... V-2-17
0x5204: MFT Compare Data Register (MFT_CMP)..... V-2-18
0x5206: MFT Control Register (MFT_CTL)..... V-2-19
0x521e: MFT Input/Output Control Register (MFT_IOCTL) V-2-21
0x5230: MFT Interrupt Enable Register (MFT_IE) V-2-23
0x5238: MFT Interrupt Flag Register (MFT_IF)..... V-2-24
0x527e: MFT Test Register (MFT_TST) V-2-26
V.2.9 注意事項..... V-2-27

V.3 ウォッチドッグタイマ（WDT）..... V-3-1

V.3.1 ウォッチドッグタイマの構成 V-3-1
V.3.2 ウォッチドッグタイマの入出力端子..... V-3-2
V.3.3 ウォッチドッグタイマの動作クロック V-3-3
V.3.4 ウォッチドッグタイマの制御 V-3-4
V.3.4.1 ウォッチドッグタイマの設定 V-3-4
V.3.4.2 ウォッチドッグタイマのスタート/ストップ..... V-3-5
V.3.4.3 ウォッチドッグタイマのリセット V-3-5
V.3.4.4 スタンバイモード時の動作..... V-3-5
V.3.4.5 ウォッチドッグタイマのクロック出力..... V-3-6
V.3.4.6 NMI外部出力..... V-3-6
V.3.5 制御レジスタ詳細 V-3-7
0x5660: WDT Write Protect Register (WD_WP)..... V-3-8
0x5662: WDT Enable and Setup Register (WD_EN)..... V-3-9
0x5664: WDT Comparison Data L Register (WD_CMP_L) V-3-11
0x5666: WDT Comparison Data H Register (WD_CMP_H)..... V-3-11
0x5668: WDT Count Data L Register (WD_CNT_L) V-3-12
0x566a: WDT Count Data H Register (WD_CNT_H) V-3-12

0x566c: WDT Control Register (WD_CTL) V-3-13
V.3.6 注意事項 V-3-14

VI S1C17501インタフェースモジュール

VI.1 UART VI-1-1

VI.1.1 UARTの構成 VI-1-1
VI.1.2 UART端子 VI-1-2
VI.1.3 転送クロック VI-1-3
VI.1.4 転送データの設定 VI-1-4
VI.1.5 データ送受信の制御 VI-1-5
VI.1.6 受信エラー VI-1-8
VI.1.7 UART割り込み VI-1-9
VI.1.8 IrDAインタフェース VI-1-11
VI.1.9 制御レジスタ詳細 VI-1-13
0x4100: UART Status Register (UART_ST) VI-1-14
0x4101: UART Transmit Data Register (UART_TXD) VI-1-16
0x4102: UART Receive Data Register (UART_RXD) VI-1-17
0x4103: UART Mode Register (UART_MOD) VI-1-18
0x4104: UART Control Register (UART_CTL) VI-1-19
0x4105: UART Expansion Register (UART_EXP) VI-1-20
VI.1.10 注意事項 VI-1-21

VI.2 I^2C VI-2-1

VI.2.1 I^2Cの構成 VI-2-1
VI.2.2 I^2C入出力端子 VI-2-2
VI.2.3 I^2Cクロック VI-2-3
VI.2.4 データ転送前の設定項目 VI-2-4
VI.2.5 データ送受信の制御 VI-2-5
VI.2.6 I^2C割り込み VI-2-12
VI.2.7 制御レジスタ詳細 VI-2-14
0x4340: I^2C Enable Register (I2C_EN) VI-2-15
0x4342: I^2C Control Register (I2C_CTL) VI-2-16
0x4344: I^2C Data Register (I2C_DAT) VI-2-18
0x4346: I^2C Interrupt Control Register (I2C_ICTL) VI-2-20

VI.3 SPI（SPI CH.0） VI-3-1

VI.3.1 SPI CH.0の構成 VI-3-1
VI.3.2 SPI CH.0入出力端子 VI-3-2
VI.3.3 SPIクロック VI-3-3
VI.3.4 データ転送条件の設定 VI-3-4
VI.3.5 データ送受信の制御 VI-3-5
VI.3.6 SPI CH.0割り込み VI-3-8
VI.3.7 制御レジスタ詳細 VI-3-10
0x4320: SPI CH.0 Status Register (SPI_ST0) VI-3-11
0x4322: SPI CH.0 Transmit Data Register (SPI_TXD0) VI-3-12
0x4324: SPI CH.0 Receive Data Register (SPI_RXD0) VI-3-13
0x4326: SPI CH.0 Control Register (SPI_CTL0) VI-3-14
VI.3.8 注意事項 VI-3-16

VI.4 拡張SPI（SPI CH.1） VI-4-1

VI.4.1 SPI CH.1の構成 VI-4-1
VI.4.2 SPI CH.1入出力端子 VI-4-2
VI.4.3 SPI Clock VI-4-3
VI.4.4 データ転送条件の設定 VI-4-4
VI.4.5 データ送受信の制御 VI-4-5

VI.4.6 SPI CH.1割り込み VI-4-8
VI.4.7 制御レジスタ詳細 VI-4-10
0x5700: SPI CH.1 Status Register (SPI_ST1) VI-4-11
0x5702: SPI CH.1 Transmit Data Register (SPI_TXD1) VI-4-12
0x5704: SPI CH.1 Receive Data Register (SPI_RXD1) VI-4-13
0x5706: SPI CH.1 Control Register (SPI_CTL1) VI-4-14
0x5708: SPI CH.1 Clock Control Register (SPI_CLK1) VI-4-16
VI.4.8 注意事項 VI-4-17
VI.5 I²S VI-5-1
VI.5.1 I²Sモジュールの概要 VI-5-1
VI.5.2 I²S入出力端子 VI-5-2
VI.5.3 I²Sモジュールの動作クロック VI-5-3
VI.5.4 I²Sモジュールの設定 VI-5-4
VI.5.5 データ出力の制御（CH.0） VI-5-11
VI.5.6 データ入力の制御（CH.1） VI-5-15
VI.5.7 I²S割り込み VI-5-18
VI.5.8 制御レジスタ詳細 VI-5-21
0x5300: I²S CH.0 Control Register (I2S_CTL_OUT) VI-5-22
0x5302: I²S CH.1 Control Register (I2S_CTL_IN) VI-5-26
0x5304: I²S MCLK Divide Ratio Register (I2S_DV_MCLK) VI-5-28
0x5306: I²S Audio Clock Divide Ratio Register (I2S_DV_AUDIO_CLK) VI-5-29
0x5308: I²S Start/Stop Register (I2S_START) VI-5-31
0x530a: I²S FIFO Status Register (I2S_FIFO_STAT) VI-5-32
0x530c: I²S Interrupt Mode Select Register (I2S_INT_MOD) VI-5-34
0x5310: I²S CH.0 FIFO Register (I2S_FIFO_OUT) VI-5-36
0x5314: I²S CH.1 FIFO Register (I2S_FIFO_IN) VI-5-37
VI.5.9 注意事項 VI-5-38
VI.5.10 I²Sクロックの設定 VI-5-39
VI.6 リモートコントローラ（REMC） VI-6-1
VI.6.1 REMCの構成 VI-6-1
VI.6.2 REMC入出力端子 VI-6-2
VI.6.3 プリスケーラとキャリア生成回路 VI-6-3
VI.6.4 データ送受信の制御 VI-6-5
VI.6.5 REMC割り込み VI-6-8
VI.6.6 制御レジスタ詳細 VI-6-10
0x5400: REMC Prescaler Control Register (REMC_PSC) VI-6-11
0x5404: REMC Configuration Register (REMC_CFG) VI-6-12
0x5408: REMC Control Register (REMC_CTL) VI-6-14
0x540c: REMC Carrier Load Register (REMC_CARL) VI-6-15
0x540e: REMC Envelope Load Register (REMC_ENVL) VI-6-16
0x5410: REMC Envelope Capture Register (REMC_ENVC) VI-6-17
VI.6.7 注意事項 VI-6-18
VI.7 カードインタフェース（CARD） VI-7-1
VI.7.1 カードインタフェースの概要 VI-7-1
VI.7.2 カードインタフェース端子 VI-7-2
VI.7.3 カードインタフェース制御信号 VI-7-3

VII S1C17501入出力ポート

VII.1 汎用入出力ポート（GPIO）.....VII-1-1
VII.1.1 入出力ポートの構成.....VII-1-1
VII.1.2 入出力端子機能の選択.....VII-1-1
VII.1.3 I/O制御レジスタと入出力モード.....VII-1-2
VII.1.4 I/Oデータレジスタ.....VII-1-2
VII.1.5 ポート入力割り込み.....VII-1-3
VII.1.5.1 入力端子の選択.....VII-1-3
VII.1.5.2 割り込みコントローラの制御レジスタ.....VII-1-4
VII.1.6 制御レジスタ詳細.....VII-1-6
0x4400–0x4418: P***x*** Port Input/Output Data Registers (P***x***_DAT).....VII-1-7
0x4403–0x4419: P***x*** I/O Control Registers (P***x***_IOC).....VII-1-8
0x4420–0x4439: Port Function Select Registers (P***x***_***xx***_CFP).....VII-1-9
0x4440–0x4447: Port Input Interrupt ***x*** Select Registers (PINTSEL***x***).....VII-1-10
VII.1.7 注意事項.....VII-1-11

VIII S1C17501アナログモジュール

VIII.1 A/D変換器（ADC） VIII-1-1
VIII.1.1 A/D変換器の特長と構成 VIII-1-1
VIII.1.2 A/D変換器の入力端子 VIII-1-2
VIII.1.3 A/D変換器の動作クロック VIII-1-3
VIII.1.4 A/D変換器の設定 VIII-1-4
VIII.1.5 A/D変換の制御と動作 VIII-1-9
VIII.1.6 A/D変換器割り込み VIII-1-13
VIII.1.7 制御レジスタ詳細 VIII-1-15
0x5520: A/D Clock Control Register (AD_CLKCTL) VIII-1-16
0x5540: A/D Conversion Result Register (AD_DAT) VIII-1-17
0x5542: A/D Trigger/Channel Select Register (AD_TRIG_CH) VIII-1-18
0x5544: A/D Control/Status Register (AD_CTL) VIII-1-20
0x5546: A/D Channel Status Flag Register (AD_CH_STAT) VIII-1-23
0x5548–0x5556: A/D CH.***x*** Conversion Result Buffer Registers (AD_CH***x***_BUF) VIII-1-24
0x5558: A/D Upper Limit Value Register (AD_UPPER) VIII-1-25
0x555a: A/D Lower Limit Value Register (AD_LOWER) VIII-1-26
0x555c: A/D Conversion Complete Interrupt Mask Register (AD_INTMASK) VIII-1-27
0x555e: A/D Converter Mode Select/Internal Status Register (AD_ADVMODE) VIII-1-28
VIII.1.8 注意事項 VIII-1-29

IX S1C17501 USBモジュール

IX.1 USBファンクションコントローラ(USB) IX-1-1

IX.1.1 USBファンクションコントローラの概要 IX-1-1
IX.1.2 USBインタフェース端子 IX-1-2
IX.1.3 USB動作クロックおよびDMAレジスタの設定 IX-1-3
IX.1.3.1 USBクロックの制御 IX-1-3
IX.1.3.2 USBウェイト制御 IX-1-3
IX.1.3.3 ITCの設定 IX-1-4
IX.1.4 機能説明 IX-1-5
IX.1.4.1 USB制御 IX-1-6
IX.1.4.2 FIFO管理 IX-1-22
IX.1.4.3 スヌーズ IX-1-25
IX.1.5 レジスタ IX-1-26
IX.1.5.1 レジスター覧 IX-1-26
IX.1.5.2 レジスタ詳細説明 IX-1-28
0x4500: MainIntStat (Main Interrupt Status) IX-1-28
0x4501: SIE_IntStat (SIE Interrupt Status) IX-1-29
0x4502: EPrIntStat (EPr Interrupt Status) IX-1-30
0x4504: FIFO_IntStat (FIFO Interrupt Status) IX-1-31
0x4507: EP0IntStat (EP0 Interrupt Status) IX-1-32
0x4508: EPaIntStat (EPa Interrupt Status) IX-1-33
0x4509: EPbIntStat (EPb Interrupt Status) IX-1-34
0x450a: EPcIntStat (EPc Interrupt Status) IX-1-35
0x450b: EPdIntStat (EPd Interrupt Status) IX-1-36
0x4510: MainIntEnb (Main Interrupt Enable) IX-1-37
0x4511: SIE_IntEnb (SIE Interrupt Enable) IX-1-38
0x4512: EPrIntEnb (EPr Interrupt Enable) IX-1-39
0x4514: FIFO_IntEnb (FIFO Interrupt Enable) IX-1-40
0x4517: EP0IntEnb (EP0 Interrupt Enable) IX-1-41
0x4518: EPaIntEnb (EPa Interrupt Enable) IX-1-42
0x4519: EPbIntEnb (EPb Interrupt Enable) IX-1-43
0x451a: EPcIntEnb (EPc Interrupt Enable) IX-1-44
0x451b: EPdIntEnb (EPd Interrupt Enable) IX-1-45
0x4520: RevisionNum (Revision Number) IX-1-46
0x4521: USB_Control (USB Control) IX-1-47
0x4522: USB_Status (USB Status) IX-1-48
0x4523: XcvrControl (Xcvr Control) IX-1-49
0x4524: USB_Test (USB Test) IX-1-50
0x4525: EPnControl (Endpoint Control) IX-1-51
0x4526: EPrFIFO_Clr (EPr FIFO Clear) IX-1-52
0x452e: FrameNumber_H (Frame Number HIGH) IX-1-53
0x452f: FrameNumber_L (Frame Number LOW) IX-1-54
0x4530–0x4537: EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7) IX-1-55
0x4538: USB_Address (USB Address) IX-1-56
0x4539: EP0Control (EP0 Control) IX-1-57
0x453a: EP0ControlIN (EP0 Control IN) IX-1-58
0x453b: EP0ControlOUT (EP0 Control OUT) IX-1-59
0x453f: EP0MaxSize (EP0 Max Packet Size) IX-1-60
0x4540: EPaControl (EPa Control) IX-1-61
0x4541: EPbControl (EPb Control) IX-1-62
0x4542: EPcControl (EPc Control) IX-1-63
0x4543: EPdControl (EPd Control) IX-1-64
0x4550: EPaMaxSize_H (EPa Max Packet Size HIGH) IX-1-65
0x4551: EPaMaxSize_L (EPa Max Packet Size LOW) IX-1-65
0x4552: EPaConfig_0 (EPa Configuration 0) IX-1-66
0x4553: EPaConfig_1 (EPa Configuration 1) IX-1-67

0x4554: EPbMaxSize_H (EPb Max Packet Size HIGH) IX-1-68
0x4555: EPbMaxSize_L (EPb Max Packet Size LOW) IX-1-68
0x4556: EPbConfig_0 (EPb Configuration 0) IX-1-69
0x4557: EPbConfig_1 (EPb Configuration 1) IX-1-70
0x4558: EPcMaxSize_H (EPc Max Packet Size HIGH) IX-1-71
0x4559: EPcMaxSize_L (EPc Max Packet Size LOW) IX-1-71
0x455a: EPcConfig_0 (EPc Configuration 0) IX-1-72
0x455b: EPcConfig_1 (EPc Configuration 1) IX-1-73
0x455c: EPdMaxSize_H (EPd Max Packet Size HIGH) IX-1-74
0x455d: EPdMaxSize_L (EPd Max Packet Size LOW) IX-1-74
0x455e: EPdConfig_0 (EPd Configuration 0) IX-1-75
0x455f: EPdConfig_1 (EPd Configuration 1) IX-1-76
0x4570: EPaStartAdrs_H (EPa FIFO Start Address HIGH) IX-1-77
0x4571: EPaStartAdrs_L (EPa FIFO Start Address LOW) IX-1-77
0x4572: EPbStartAdrs_H (EPb FIFO Start Address HIGH) IX-1-78
0x4573: EPbStartAdrs_L (EPb FIFO Start Address LOW) IX-1-78
0x4574: EPcStartAdrs_H (EPc FIFO Start Address HIGH) IX-1-79
0x4575: EPcStartAdrs_L (EPc FIFO Start Address LOW) IX-1-79
0x4576: EPdStartAdrs_H (EPd FIFO Start Address HIGH) IX-1-80
0x4577: EPdStartAdrs_L (EPd FIFO Start Address LOW) IX-1-80
0x4580: CPU_JoinRd (CPU Join FIFO Read) IX-1-81
0x4581: CPU_JoinWr (CPU Join FIFO Write) IX-1-82
0x4582: EnEPnFIFO_Access (Enable EPn FIFO Access) IX-1-83
0x4583: EPnFIFOforCPU (EPn FIFO for CPU) IX-1-84
0x4584: EPnRdRemain_H (EPn FIFO Read Remain HIGH) IX-1-85
0x4585: EPnRdRemain_L (EPn FIFO Read Remain LOW) IX-1-85
0x4586: EPnWrRemain_H (EPn FIFO Write Remain HIGH) IX-1-86
0x4587: EPnWrRemain_L (EPn FIFO Write Remain LOW) IX-1-86
0x4588: DescAdrs_H (Descriptor Address HIGH) IX-1-87
0x4589: DescAdrs_L (Descriptor Address LOW) IX-1-87
0x458a: DescSize_H (Descriptor Size HIGH) IX-1-88
0x458b: DescSize_L (Descriptor Size LOW) IX-1-88
0x458f: DescDoor (Descriptor Door) IX-1-89

APPENDIX

Appendix A I/Oレジスター覧 AP-1

0x4020 Prescaler AP-7
0x4100–0x4105 UART (with IrDA) AP-8
0x4200–0x4206 CLG_T16U0 Timer AP-9
0x4240–0x4246 CLG_T8S Timer AP-10
0x4260–0x4266 CLG_T8I Timer AP-11
0x42e0–0x4314 Interrupt Controller AP-12
0x4320–0x4326 SPI AP-15
0x4340–0x4346 I^2C AP-16
0x4400–0x4447 GPIO & Port MUX AP-17
0x4500–0x458f USB Function Controller AP-27
0x4600–0x462a Real-time Clock AP-35
0x4800–0x4803 8-bit Programmable Timer CH.0 ..... AP-36
0x4804–0x4807 8-bit Programmable Timer CH.1 ..... AP-37
0x4808–0x480b 8-bit Programmable Timer CH.2 ..... AP-38
0x480c–0x480f 8-bit Programmable Timer CH.3 ..... AP-39
0x4900–0x4920 Clock Management Unit AP-40
0x5000–0x5018 SRAM Controller AP-42
0x5200–0x527e Multi-Function Timer AP-43
0x5300–0x5314 I^2S AP-44
0x5400–0x5410 Remote Controller AP-46
0x5520–0x555e A/D Converter AP-47
0x5660–0x566c Watchdog Timer AP-49
0x5700–0x5708 Extended SPI AP-50
0x5800–0x5816 Flash Controller AP-51
0xffff90 S1C17 Core I/O AP-52

Appendix B 乗算器 AP-53

B.1 概要 AP-53
B.2 動作モードと出力モード AP-54
B.3 乗算 AP-55
B.4 MAC AP-56
B.5 演算結果の読み出し AP-58

Appendix C パワーセーブ AP-59

改訂履歴表

S1C17501 Technical Manual

I S1C17501の仕様

I.1 概要

S1C17501は、コンパクトでパフォーマンスの高い特定用途向け16ビットRISCコントローラです。特にアナログ入力、ディスプレイ、接続用インタフェースを必要とする、健康器具、センサシステム、アラーム、家電(炊飯器、電子レンジ、リモコン)などへの組み込みに適しています。
S1C17501は、S1C17 16ビットコンパクトRISC CPUコア、128Kまたは96KバイトFlash EEPROM、4K + 2KバイトRAM、8本のアナログ入力チャネルを持つ10ビットADC、USB FSデバイスコントローラ、16ビットマルチファンクションタイマ、赤外線リモコン回路、シリアルインタフェース(IrDA1.0対応UART、SPI、I²C、I²S)、独立電源で動作するRTC、16ビットおよび8ビットのタイマ、ウォッチドッグタイマ、NAND Flashカードインタフェース、SRAMコントローラ付き外部バス、汎用入出力ポートで構成されています。
USB FSデバイスコントローラはPCとの通信以外に、ボード上でのファームウェア更新にも使用可能です。
S1C17501はDSP機能の実装に使用可能な16ビット × 16ビット + 32ビットMAC(積和演算)命令も提供します。また、内蔵のI²Sインタフェースを介して外部オーディオADC/DACが接続可能で、ADPCM音声データの入出力にも対応します。
S1C17501は0.35μmアナログ混在低電力CMOSプロセスを使用するEPSON SoC(System on Chip)テクノロジにより設計/開発されています。

※ 本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash® Technologyを使用しています。

表 I.1.1 ラインアップ

	Flash ROMサイズ	RAMサイズ	パッケージ
1	128Kバイト	4K + 2K*バイト	TQFP15-128pin
2	96Kバイト		TQFP14-100pin

＊ 2KバイトRAMは独立電源によるバッテリーバックアップが可能

以下にS1C17501の主な機能と特長を示します。

テクノロジ

- 0.35μm AL-4層アナログ混在低電力CMOSプロセステクノロジ

CPU

- セイコーエプソンオリジナル16ビットRISCプロセッサ S1C17コア
- 内部3段パイプライン
- 命令セット
  - 16ビット固定長
  - 基本命令111種類(全184命令)
  - C言語による開発に最適化されたコンパクトで高速な命令セット
- レジスタ
  - 24ビット汎用レジスタ8個
  - 特殊レジスタ3個(24ビット×2、8ビット×1)
- メモリ空間
  - 最大16Mバイトの空間をアクセス可能(24ビットアドレス)

内蔵メモリ

- Flash EEPROM
  - 128Kバイトまたは96Kバイト
- RAM
  - 4Kバイト
  - 2Kバイト（バッテリバックアップ可能な汎用RAMとして使用可能）

アクセスサイクル

- 命令リードアクセスサイクル
  - 内蔵RAM　　命令リード: 2サイクル（32ビットリード）
  - 内蔵Flash EEPROM　命令リード: 先読みHit時　2サイクル（32ビットリード）
    先読みMiss時 3サイクル（32ビットリード）
  - 内蔵RAM2　　命令リード: 7サイクル（32ビットリード）
  - 外部8ビットRAM　命令リード: 13サイクル（32ビットリード）
  - 外部16ビットRAM　命令リード: 7サイクル（32ビットリード）
    * シーケンシャルアクセス時は2命令（16ビット×2）あたりのサイクル数となります。
    * 外部RAMのアクセスサイクル数は、RAMの仕様に依存します。上記は最短時の値です。
- データリード/ライトアクセスサイクル
  - 内蔵RAM　　データライト: 1サイクル
    データリード: 2サイクル
  - 内蔵Flash EEPROM　データリード: 先読みHit時　1サイクル（16ビットリード）
    先読みMiss時 2サイクル（16ビットリード）
  - 内蔵RAM2　　データライト: 4サイクル（16ビットライト）
    データリード: 4サイクル（16ビットリード）
  - 外部8ビットRAM　データライト: 7サイクル（16ビットライト）
    データリード: 7サイクル（16ビットリード）
  - 外部16ビットRAM　データライト: 4サイクル（16ビットライト）
    データリード: 4サイクル（16ビットリード）
- 内蔵Flash EEPROM 1サイクルモード分岐実行ペナルティ

分岐元→分岐先	3サイクル分岐命令実行時のペナルティ	4サイクル分岐命令実行時のペナルティ
4バイト境界→4バイト境界	+2サイクル	+1サイクル
4バイト境界→2バイト境界	+3サイクル	+2サイクル
2バイト境界→4バイト境界	+3サイクル	+1サイクル
2バイト境界→2バイト境界	+4サイクル	+2サイクル

- 内蔵Flash EEPROM 1サイクルモード設定可能上限周波数: 20MHz

動作クロック

- メインクロック
  - 48MHz　　USBを使用する場合
  - 1～48MHz（1/1~1/32の分周可）、32.768kHz　USBを使用しない場合
  - 内蔵発振回路（水晶またはセラミック）または外部クロック入力
- サブクロック
  - 32.768kHz（typ.）RTC用
  - 内蔵発振回路（水晶）

SRAMコントローラ

- 23ビット外部アドレスバス、データバス（8または16ビットを選択可能）、4本のチップイネーブルにより、最大15Mバイトの外部メモリ空間に対応

割り込みコントローラ

- 4本のマスク不可能割り込み
  - リセット(#RESET端子またはウォッチドッグタイマ)
  - アドレス不整
  - デバッグ
  - NMI(#NMI端子またはウォッチドッグタイマ)
- 28本のマスク可能割り込み
  - ポート入力(8本)
  - 16ビットマルチファンクションタイマ(1本)
  - A/D変換器(2本)
  - クロックジェネレータの16ビットタイマ(1本)
  - クロックジェネレータの8ビットタイマ(2本)
  - UART(1本)
  - SPI(1本)
  - I²C(1本)
  - RTC(1本)
  - 8ビットプログラマブルタイマ(4本)
  - 拡張SPI(1本)
  - USBファンクションコントローラ(1本)
  - I²S(2本)
  - リモコン回路(1本)
  - 各マスク可能割り込みの割り込みレベル(優先順位)を設定可能(レベル0～7)

プリスケーラ

- クロックジェネレータのソースクロックを生成

16ビットマルチファンクションタイマ

- 1チャネルのPWM出力機能付き16ビットタイマ/カウンタを内蔵
- 2つのコンペアマッチ割り込みを発生可能
- A/D変換器の範囲外信号によるIGBT出力制御機能

クロックジェネレータ

- 16ビットタイマを1チャネル、8ビットタイマを2チャンネル内蔵
- UART、SPI、I²Cのクロック生成に使用可能
- 各タイマはアンダーフロー割り込みを発生可能

8ビットプログラマブルタイマ

- 4チャネルの8ビットタイマ(プリセッタブルダウンカウンタ)を内蔵
- ADCを周期的に起動するインターバルタイマとして使用可能
- 各タイマはアンダーフロー割り込みを発生可能

ウォッチドッグタイマ

- リセットまたはNMIを発生する30ビットのウォッチドッグタイマ
- ウォッチドッグタイマのオーバーフロー周期(リセット/NMI発生周期)をプログラマブルに設定可能
- ウォッチドッグタイマのオーバーフロー信号を外部に出力可能

RTC

- 時刻(秒、分、時)カウンタとカレンダ(日、曜日、月、年)カウンタを内蔵
- システム電源(V_{DD})とは別の電源を使用可能
- WAKEUP出力端子と#STBY入力端子でスタンバイ制御が可能
- 周期的な割り込みを発生可能

UART

- 1チャネルのUARTを内蔵
- IrDA 1.0インタフェースに対応
- 2バイトの受信バッファと1バイトの送信バッファを内蔵し、全二重通信をサポート
- 転送レート: 150～460800bps、データ長: 7または8ビット、パリティモード: 偶数、奇数、またはパリティなし、ストップビット: 1または2ビット
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- チャネルごとに受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能

SPI

- マスタおよびスレーブモードに対応
- 1バイトの受信バッファと1バイトの送信バッファを内蔵
- データ長: 8ビット固定(MSB先頭)
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

拡張SPI

- マスタおよびスレーブモードに対応
- 1バイトの受信バッファと1バイトの送信バッファを内蔵
- データ長: 8ビット固定(MSB先頭)
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能
- 専用のクロック源を内蔵

I²C

- マスタモードにのみ対応
- データ形式: 8ビット(MSB先頭)
- アドレスサイズ: 7ビットアドレス(10ビットアドレスには未対応)
- ノイズ除去機能(レジスタ選択)
- I²C割り込みを発生可能

I²S

- ユニバーサルオーディオI²Sバスインタフェースに対応
- 24ビットの解像度のI²S出力1チャネルと16ビットの解像度のI²S入力1チャネルを内蔵
- ビットクロック、ワードセレクト信号、データ、マスタクロックを生成するマスタとして動作
- I²S割り込みを発生可能

USBファンクションコントローラ

- USB2.0フルスピードモード(12M bps)に対応
- オートネゴシエーション機能に対応
- スクラッチ可能な可変バルクエンドポイント数
- プログラマブルな1KバイトFIFOを内蔵
- USB割り込みを発生可能

CARDインタフェース

- 8または16ビットNAND Flashインタフェース信号を生成
- ECC機能はアプリケーションプログラム内への実装が必要

赤外線リモコン回路

- 変調キャリア信号の出力とリモコンパルスの入力
- キャリア信号発生回路とデータ長カウンタを内蔵
- REMC割り込みを発生可能

汎用入出力ポート

- 最大91個の入出力ポート、8個の入力専用ポートを使用可能
- ソフトウェアで選択した8ポートにより入力割り込みを発生可能

＊ 入出力ポートは他の周辺機能(UART、PWMなど)と端子を兼用しています。したがって、使用可能なポート数は周辺機能の使用状況により変わります。

A/D変換器

- 最大8チャネルのアナログ入力を持つ10ビットA/D変換器
- 変換終了および範囲外割り込みを発生可能
- 範囲外信号を16ビットマルチファンクションタイマモジュール内のIGBT制御回路に出力

動作電圧

- V_{DD}: 3.00～3.60V (3.3V typ.)
- $RTCV_{DD}$: 3.00～3.60V (3.3V typ.)
- AV_{DD} (I/O): 2.70～5.50V

I/Oインタフェース電圧

- V_{DD}
  (GPIO41本については-0.3~5.8V入力可)

動作温度

- Flashリード時: -40～85°C
- Flash消去/プログラミング時: -40～70°C
- USB使用時: 0～70°C

消費電力

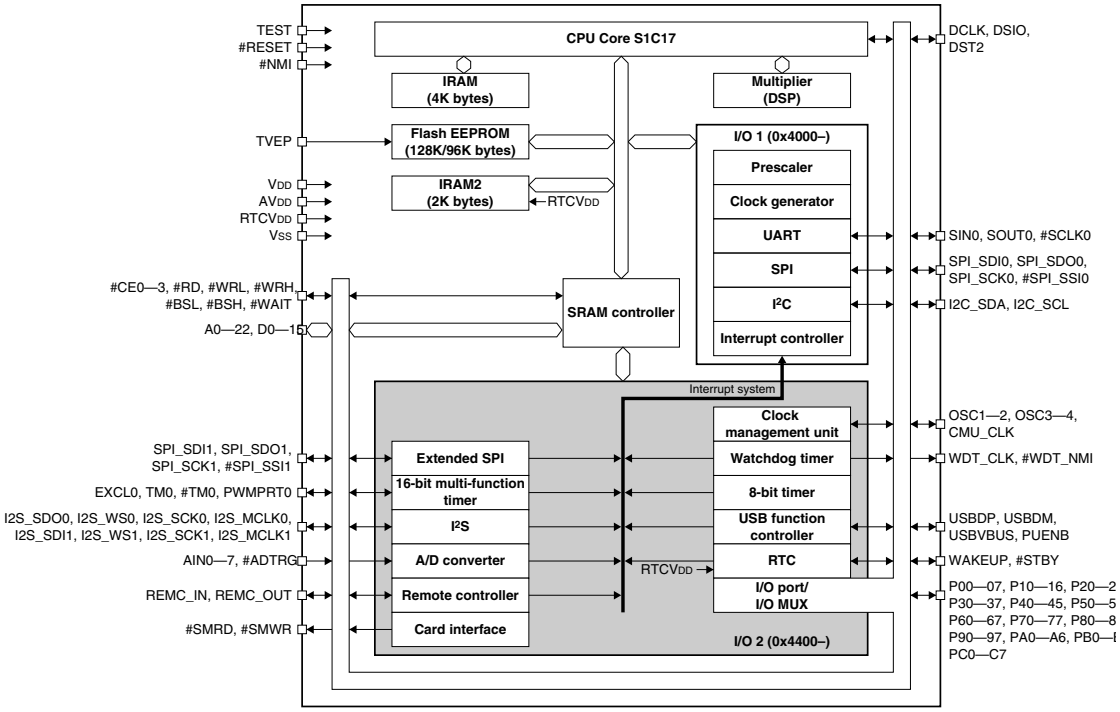
- SLEEP時: 20μW(typ.)
- HALT時: 53mW(typ.) 48MHz/3.3V動作時
- 動作時: 122mW(typ.) 48MHz/3.3V動作時
- バッテリバックアップ時: 0.28μW(typ.) 3.3V、OSC1なし

＊ クロックギア(CMU)でクロックを制御することにより、消費電力を低減できます。

出荷形態

- TQFP15-128pin(14mm × 14mm × 1.2mm、端子間ピッチ: 0.4mm)
- TQFP14-100pin(12mm × 12mm × 1.2mm、端子間ピッチ: 0.4mm)

I.2 ブロック図



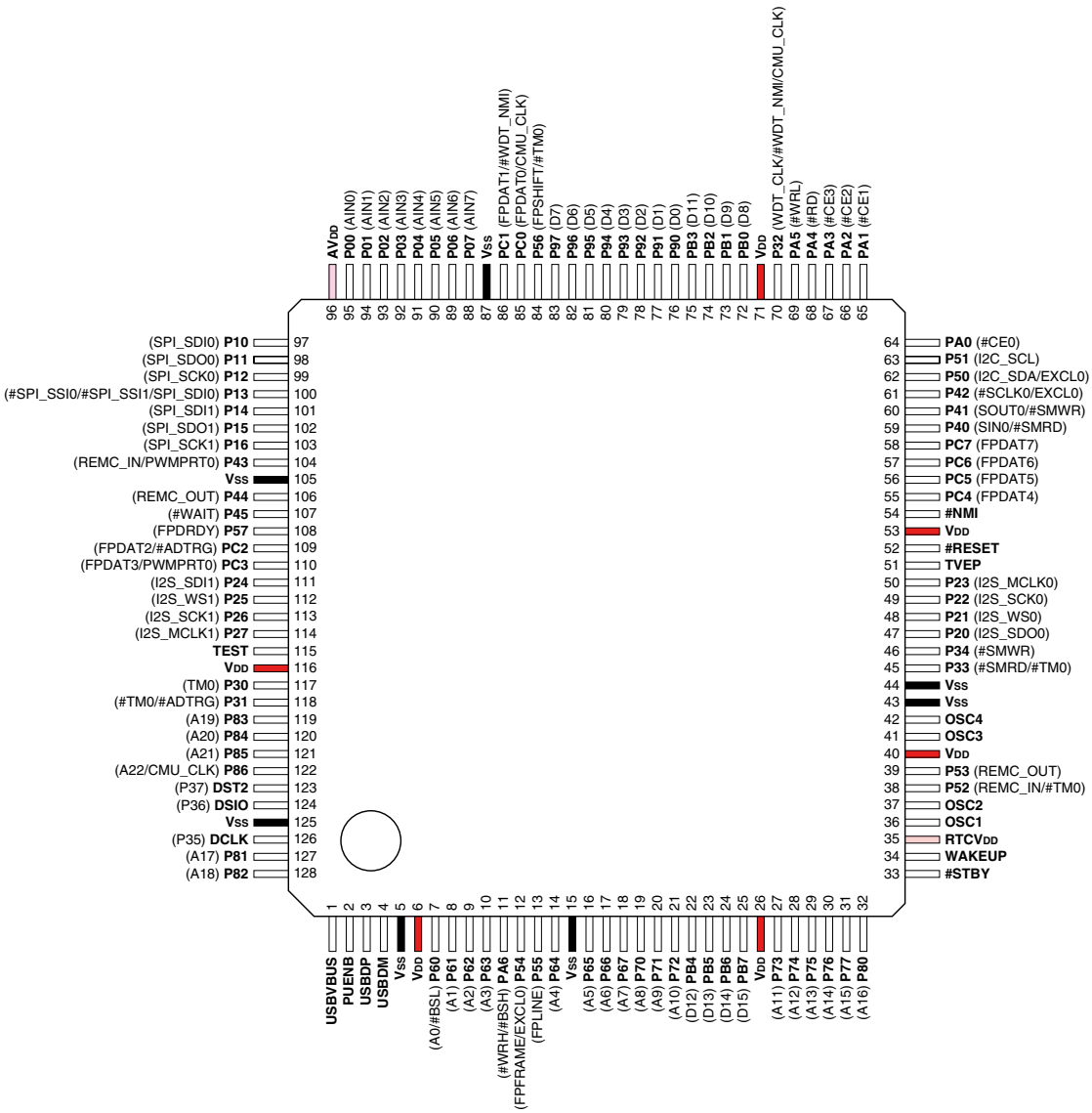
図I.2.1 S1C17501ブロック図

I.3 端子説明

I.3.1 端子配置

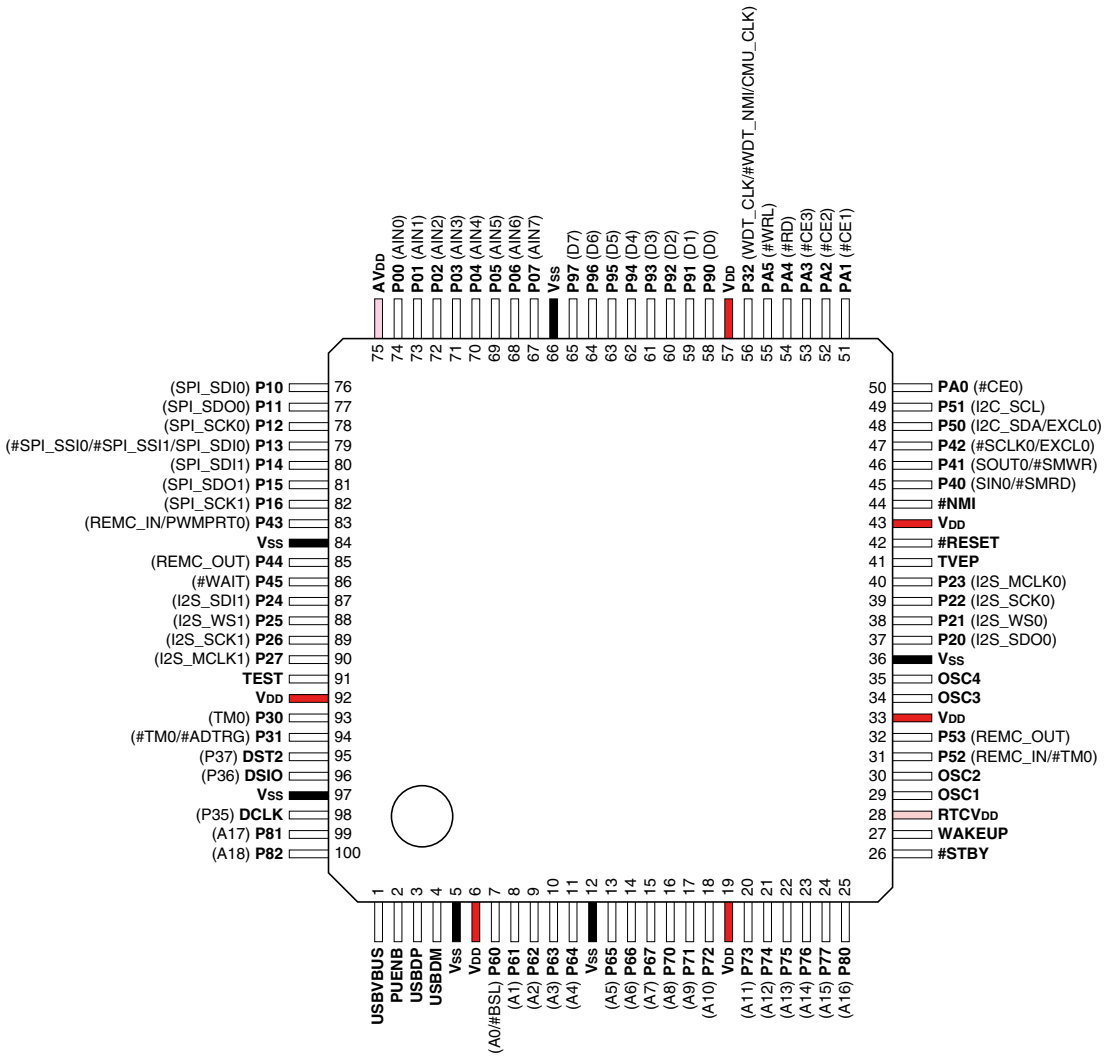
S1C17501は、TQFP15-128pinまたはTQFP14-100pinパッケージを採用しています。

TQFP15-128pinパッケージ



図I.3.1.1 端子配置図（TQFP15-128pin）

TQFP14-100pinパッケージ



図I.3.1.2 端子配置図(TQFP14-100pin)

I.3.2 端子機能

表I.3.2.1～表I.3.2.6に各端子の機能を示します。

表I.3.2.1 電源端子一覧

端子名	端子No.		I/O	タイプ	PU/PD	機能
	TQFP 128pin	TQFP 100pin				
V_{DD}	6, 26, 40, 53, 71, 116	6,19,33,43,57,92	–	3.3 V	–	コアおよびI/O電源(+) (3.3V)
V_{SS}	5, 15, 43, 44, 87, 105, 125	5,12,36,66,84,97	–	GND	–	GND
$RTCV_{DD}$	35	28	–	3.3 V	–	RTC電源 (+) (3.3V) ($RTCV_{DD} = V_{DD}$)
AV_{DD}	96	75	–	3.3 V	–	アナログシステム用電源(3.3V) ($AV_{DD} = V_{DD}$)

表I.3.2.2 クロック端子一覧

端子名	端子No.		I/O	タイプ	PU/PD	機能
	TQFP 128pin	TQFP 100pin				
OSC3	41	34	I	Analog	–	高速(OSC3)発振入力(水晶/セラミック発振、または外部クロック入力)
OSC4	42	35	O	Analog	–	高速(OSC3)発振出力
OSC1	36	29	I	Analog	–	RTC(OSC1)発振入力(水晶/セラミック発振、または外部クロック入力)
OSC2	37	30	O	Analog	–	RTC(OSC1)発振出力

表I.3.2.3 外部バス端子一覧

端子名	端子No.		I/O	タイプ	PU/PD	機能
	TQFP 128pin	TQFP 100pin				
P90 D0	76	58	I/o	LVTTL	バス ホールド ラッチ	P90: 入出力ポート(デフォルト) D0: データバスD0
P91 D1	77	59	I/o	LVTTL	バス ホールド ラッチ	P91: 入出力ポート(デフォルト) D1: データバスD1
P92 D2	78	60	I/o	LVTTL	バス ホールド ラッチ	P92: 入出力ポート(デフォルト) D2: データバスD2
P93 D3	79	61	I/o	LVTTL	バス ホールド ラッチ	P93: 入出力ポート(デフォルト) D3: データバスD3
P94 D4	80	62	I/o	LVTTL	バス ホールド ラッチ	P94: 入出力ポート(デフォルト) D4: データバスD4
P95 D5	81	63	I/o	LVTTL	バス ホールド ラッチ	P95: 入出力ポート(デフォルト) D5: データバスD5
P96 D6	82	64	I/o	LVTTL	バス ホールド ラッチ	P96: 入出力ポート(デフォルト) D6: データバスD6
P97 D7	83	65	I/o	LVTTL	バス ホールド ラッチ	P97: 入出力ポート(デフォルト) D7: データバスD7
PB0 D8	72		I/o	LVTTL	バス ホールド ラッチ	PB0: 入出力ポート(デフォルト) D8: データバスD8
PB1 D9	73		I/o	LVTTL	バス ホールド ラッチ	PB1: 入出力ポート(デフォルト) D9: データバスD9
PB2 D10	74		I/o	LVTTL	バス ホールド ラッチ	PB2: 入出力ポート(デフォルト) D10: データバスD10
PB3 D11	75		I/o	LVTTL	バス ホールド ラッチ	PB3: 入出力ポート(デフォルト) D11: データバスD11
PB4 D12	22		I/o	LVTTL	バス ホールド ラッチ	PB4: 入出力ポート(デフォルト) D12: データバスD12
PB5 D13	23		I/o	LVTTL	バス ホールド ラッチ	PB5: 入出力ポート(デフォルト) D13: データバス D13

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
PB6 D14	24		I/o	LVTTL	バス ホールド ラッチ	PB6: 入出力ポート(デフォルト) D14: データバスD14
PB7 D15	25		I/o	LVTTL	バス ホールド ラッチ	PB7: 入出力ポート(デフォルト) D15: データバスD15
P60 A0/#BSL	7	7	I/o	LVTTL Schmitt	–	P60: 入出力ポート(デフォルト) A0/#BSL: アドレスバスA0 / バスストローブ(下位バイト)信号出力
P61 A1	8	8	I/o	LVTTL Schmitt	–	P61: 入出力ポート(デフォルト) A1: アドレスバスA1
P62 A2	9	9	I/o	LVTTL Schmitt	–	P62: 入出力ポート(デフォルト) A2: アドレスバスA2
P63 A3	10	10	I/o	LVTTL Schmitt	–	P63: 入出力ポート(デフォルト) A3: アドレスバスA3
P64 A4	14	11	I/o	LVTTL Schmitt	–	P64: 入出力ポート(デフォルト) A4: アドレスバスA4
P65 A5	16	13	I/o	LVTTL Schmitt	–	P65: 入出力ポート(デフォルト) A5: アドレスバスA5
P66 A6	17	14	I/o	LVTTL Schmitt	–	P66: 入出力ポート(デフォルト) A6: アドレスバスA6
P67 A7	18	15	I/o	LVTTL Schmitt	–	P67: 入出力ポート(デフォルト) A7: アドレスバスA7
P70 A8	19	16	I/o	LVTTL Schmitt	–	P70: 入出力ポート(デフォルト) A8: アドレスバスA8
P71 A9	20	17	I/o	LVTTL Schmitt	–	P71: 入出力ポート(デフォルト) A9: アドレスバスA9
P72 A10	21	18	I/o	LVTTL Schmitt	–	P72: 入出力ポート(デフォルト) A10: アドレスバスA10
P73 A11	27	20	I/o	LVTTL Schmitt	–	P73: 入出力ポート(デフォルト) A11: アドレスバスA11
P74 A12	28	21	I/o	LVTTL Schmitt	–	P74: 入出力ポート(デフォルト) A12: アドレスバスA12
P75 A13	29	22	I/o	LVTTL Schmitt	–	P75: 入出力ポート(デフォルト) A13: アドレスバスA13
P76 A14	30	23	I/o	LVTTL Schmitt	–	P76: 入出力ポート(デフォルト) A14: アドレスバスA14
P77 A15	31	24	I/o	LVTTL Schmitt	–	P77: 入出力ポート(デフォルト) A15: アドレスバスA15
P80 A16	32	25	I/o	LVTTL Schmitt	–	P80: 入出力ポート(デフォルト) A16: アドレスバスA16
P81 A17	127	99	I/o	LVTTL Schmitt	–	P81: 入出力ポート(デフォルト) A17: アドレスバスA17
P82 A18	128	100	I/o	LVTTL Schmitt	–	P82: 入出力ポート(デフォルト) A18: アドレスバスA18
P83 A19	119		I/o	LVTTL Schmitt	–	P83: 入出力ポート(デフォルト) A19: アドレスバスA19
P84 A20	120		I/o	LVTTL Schmitt	–	P84: 入出力ポート(デフォルト) A20: アドレスバスA20
P85 A21	121		I/o	LVTTL Schmitt	–	P85: 入出力ポート(デフォルト) A21: アドレスバスA21
P86 A22 CMU_CLK	122		I/o	LVTTL Schmitt	–	P86: 入出力ポート(デフォルト) A22: アドレスバスA22 CMU_CLK: CMUクロック出力
PA0 #CE0	64	50	I/o	LVTTL Schmitt	100k PU	PA0: 入出力ポート(デフォルト) #CE0: #CE0エリアチップイネーブル信号出力
PA1 #CE1	65	51	I/o	LVTTL Schmitt	100k PU	PA1: 入出力ポート(デフォルト) #CE1: #CE1エリアチップイネーブル信号出力
PA2 #CE2	66	52	I/o	LVTTL Schmitt	100k PU	PA2: 入出力ポート(デフォルト) #CE2: #CE2エリアチップイネーブル信号出力
PA3 #CE3	67	53	I/o	LVTTL Schmitt	100k PU	PA3: 入出力ポート(デフォルト) #CE3: #CE3エリアチップイネーブル信号出力

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
PA4 #RD	68	54	I/o	LVTTL Schmitt	100k PU	PA4: 入出力ポート(デフォルト) #RD: リード信号出力
PA5 #WRL	69	55	I/o	LVTTL Schmitt	100k PU	PA5: 入出力ポート(デフォルト) #WRL: ライト(下位バイト)信号出力
PA6 #WRH/#BSH	11		I/o	LVTTL Schmitt	100k PU	PA6: 入出力ポート(デフォルト) #WRH/#BSH: ライト(上位バイト)信号 / バスストローブ(上位バイト)信号出力

表I.3.2.4 入出力ポート/周辺回路端子一覧

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
P00 AIN0	95	74	I	CMOS/ LVTTL	–	P00: 入力ポート(デフォルト) AIN0: A/D変換器CH.0入力
P01 AIN1	94	73	I	CMOS/ LVTTL	–	P01: 入力ポート(デフォルト) AIN1: A/D変換器CH.1入力
P02 AIN2	93	72	I	CMOS/ LVTTL	–	P02: 入力ポート(デフォルト) AIN2: A/D変換器CH.2入力
P03 AIN3	92	71	I	CMOS/ LVTTL	–	P03: 入力ポート(デフォルト) AIN3: A/D変換器CH.3入力
P04 AIN4	91	70	I	CMOS/ LVTTL	–	P04: 入力ポート(デフォルト) AIN4: A/D変換器CH.4入力
P05 AIN5	90	69	I	CMOS/ LVTTL	–	P05: 入力ポート(デフォルト) AIN5: A/D変換器CH.5入力
P06 AIN6	89	68	I	CMOS/ LVTTL	–	P06: 入力ポート(デフォルト) AIN6: A/D変換器CH.6入力
P07 AIN7	88	67	I	CMOS/ LVTTL	–	P07: 入力ポート(デフォルト) AIN7: A/D変換器CH.7入力
P10 SPI_SDI0	97	76	I/o	LVTTL Schmitt (*1)	–	P10: 入出力ポート(デフォルト) SPI_SDI0: SPI CH.0データ入力
P11 SPI_SDO0	98	77	I/o	LVTTL Schmitt (*1)	–	P11: 入出力ポート(デフォルト) SPI_SDO0: SPI CH.0データ出力
P12 SPI_SCK0	99	78	I/o	LVTTL Schmitt (*1)	–	P12: 入出力ポート(デフォルト) SPI_SCK0: SPI CH.0クロック入出力
P13 #SPI_SSI0 #SPI_SSI1 SPI_SDI0	100	79	I/o	LVTTL Schmitt (*1)	–	P13: 入出力ポート(デフォルト) SPI_SSL0: SPI CH.0スレーブセレクト信号出力 SPI_SSL1: SPI CH.1スレーブセレクト信号出力 SPI_SDI0: SPI CH.0データ入力
P14 SPI_SDI1	101	80	I/o	LVTTL Schmitt (*1)	–	P14: 入出力ポート(デフォルト) SPI_SDI1: SPI CH.1データ入力
P15 SPI_SDO1	102	81	I/o	LVTTL Schmitt (*1)	–	P15: 入出力ポート(デフォルト) SPI_SDO1: SPI CH.1データ出力
P16 SPI_SCK1	103	82	I/o	LVTTL Schmitt (*1)	–	P16: 入出力ポート(デフォルト) SPI_SCK1: SPI CH.1クロック入出力
P20 I2S_SDO0	47	37	I/o	LVTTL Schmitt (*1)	–	P20: 入出力ポート(デフォルト) I2S_SDO0: I²S CH.0シリアルデータ出力
P21 I2S_WS0	48	38	I/o	LVTTL Schmitt (*1)	–	P21: 入出力ポート(デフォルト) I2S_WS0: I²S CH.0ワードセレクト信号出力
P22 I2S_SCK0	49	39	I/o	LVTTL Schmitt (*1)	–	P22: 入出力ポート(デフォルト) I2S_SCK0: I²S CH.0シリアルビットクロック出力
P23 I2S_MCLK0	50	40	I/o	LVTTL Schmitt (*1)	–	P23: 入出力ポート(デフォルト) I2S_MCLK0: I²S CH.0マスタクロック入出力
P24 I2S_SDI1	111	87	I/o	LVTTL Schmitt (*1)	–	P24: 入出力ポート(デフォルト) I2S_SDI1: I²S CH.1シリアルデータ入力
P25 I2S_WS1	112	88	I/o	LVTTL Schmitt (*1)	–	P25: 入出力ポート(デフォルト) I2S_WS1: I²S CH.1ワードセレクト信号入力
P26 I2S_SCK1	113	89	I/o	LVTTL Schmitt (*1)	–	P26: 入出力ポート(デフォルト) I2S_SCK1: I²S CH.1シリアルビットクロック入力
P27 I2S_MCLK1	114	90	I/o	LVTTL Schmitt (*1)	–	P27: 入出力ポート(デフォルト) I2S_MCLK1: I²S CH.1マスタクロック入力
P30 TM0	117	93	I/o	LVTTL Schmitt (*1)	–	P30: 入出力ポート(デフォルト) TM0: 16ビットMFT出力

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
P31 #TM0 #ADTRG	118	94	I/o	LVTTL Schmitt (*1)	–	P31: 入出力ポート(デフォルト) #TM0: 16ビットMFT反転出力 #ADTRG: A/D変換トリガ入力
P32 WDT_CLK #WDT_NMI CMU_CLK	70	56	I/o	LVTTL Schmitt (*1)	–	P32: 入出力ポート(デフォルト) WDT_CLK: ウォッチドッグタイマクロック出力 #WDT_NMI: ウォッチドッグタイマNMI信号出力 CMU_CLK: CMUクロック出力
P33 #SMRD #TM0	45		I/o	LVTTL Schmitt (*1)	–	P33: 入出力ポート(デフォルト) #SMRD: カードI/Fリード信号出力 #TM0: 16ビットMFT反転出力
P34 #SMWR	46		I/o	LVTTL Schmitt (*1)	–	P34: 入出力ポート(デフォルト) #SMWR: カードI/Fライト信号出力
P40 SIN0 #SMRD	59	45	I/o	LVTTL Schmitt (*1)	–	P40: 入出力ポート(デフォルト) SIN0: UART(IrDA対応)CH.0データ入力 #SMRD: カードI/Fリード信号出力
P41 SOUT0 #SMWR	60	46	I/o	LVTTL Schmitt (*1)	–	P41: 入出力ポート(デフォルト) SOUT0: UART(IrDA対応)CH.0データ出力 #SMWR: カードI/Fライト信号出力
P42 #SCLK0 EXCL0	61	47	I/o	LVTTL Schmitt (*1)	–	P42: 入出力ポート(デフォルト) #SCLK0: UART(IrDA対応)CH.0クロック入出力 EXCL0: 16ビットMFTイベントカウンタ入力
P43 REMC_IN PWMPRT0	104	83	I/o	LVTTL Schmitt (*1)	–	P43: 入出力ポート(デフォルト) REMC_IN: リモートコントローラ受信入力 PWMPRT0: 16ビットMFTポートプロテクション信号入力
P44 REMC_OUT	106	85	I/o	LVTTL Schmitt (*1)	–	P44: 入出力ポート(デフォルト) REMC_OUT: リモートコントローラ送信出力
P45 #WAIT	107	86	I/o	LVTTL	100k PU	P45: 入出力ポート(デフォルト) #WAIT: ウエイト要求入力
P50 I2C_SDA EXCL0	62	48	I/o	LVTTL Schmitt (*1)	–	P50: 入出力ポート(デフォルト) I2C_SDA: I^2Cデータ信号 EXCL0: 16ビットMFTイベントカウンタ入力
P51 I2C_SCL	63	49	I/o	LVTTL Schmitt (*1)	–	P51: 入出力ポート(デフォルト) I2C_SCL: I^2Cクロック出力
P52 REMC_IN #TM0	38	31	I/o	LVTTL Schmitt (*1)	–	P52: 入出力ポート(デフォルト) REMC_IN: リモートコントローラ受信入力 #TM0: 16ビットMFT反転出力
P53 REMC_OUT	39	32	I/o	LVTTL Schmitt (*1)	–	P53: 入出力ポート(デフォルト) REMC_OUT: リモートコントローラ送信出力
P54 EXCL0	12		I/o	LVTTL Schmitt (*1)	–	P54: 入出力ポート(デフォルト) EXCL0: 16ビットMFTイベントカウンタ入力
P55	13		I/o	LVTTL Schmitt (*1)	–	P55: 入出力ポート(デフォルト)
P56 #TM0	84		I/o	LVTTL Schmitt (*1)	–	P56: 入出力ポート(デフォルト) #TM0: 16ビットMFT反転出力
P57	108		I/o	LVTTL Schmitt (*1)	–	P57: 入出力ポート(デフォルト)
PC0 CMU_CLK	85		I/o	LVTTL Schmitt (*1)	–	PC0: 入出力ポート(デフォルト) CMU_CLK: CMUクロック出力
PC1 #WDT_NMI	86		I/o	LVTTL Schmitt (*1)	–	PC1: 入出力ポート(デフォルト) #WDT_NMI: ウォッチドッグタイマNMI信号出力
PC2 #ADTRG	109		I/o	LVTTL Schmitt (*1)	–	PC2: 入出力ポート(デフォルト) #ADTRG: A/D変換トリガ入力
PC3 PWMPRT0	110		I/o	LVTTL Schmitt (*1)	–	PC3: 入出力ポート(デフォルト) PWMPRT0: 16ビットMFTポートプロテクション信号入力
PC4	55		I/o	LVTTL Schmitt (*1)	–	PC4: 入出力ポート(デフォルト)
PC5	56		I/o	LVTTL Schmitt (*1)	–	PC5: 入出力ポート(デフォルト)
PC6	57		I/o	LVTTL Schmitt (*1)	–	PC6: 入出力ポート(デフォルト)
PC7	58		I/o	LVTTL Schmitt (*1)	–	PC7: 入出力ポート(デフォルト)

*1: これら41本の入出力端子は-0.3～5.8Vの入力電圧に対応しています。

表I.3.2.5 USBインタフェース端子一覧

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
USBDP	3	3	**I**/o	USB	–	USB D+端子 (*1)
USBDM	4	4	**I**/o	USB	–	USB D-端子 (*1)
USBVBUS	1	1	**I**	USB	–	USB VBUS端子(5V入力可) (*2)
PUENB	2	2	**O**	USB	–	USB DPプルアップイネーブル出力(Pチャネルオープンドレイン出力) (*1)

*1: USBファンクションコントローラを使用しない場合、これらの端子はオープンにしてください。
*2: USBファンクションコントローラを使用しない場合、この端子はGND(VSS)に接続してください。

表I.3.2.6 その他

端子名	端子No. TQFP 128pin	端子No. TQFP 100pin	I/O	タイプ	PU/PD	機能
#RESET	52	42	**I**	LVTTL Schmitt	100k PU	リセット入力(ノイズフィルタ付き)
#NMI	54	44	**I**	LVTTL Schmitt	100k PU	NMI要求入力(ノイズフィルタ付き)
DCLK P35	126	98	i/**O**	LVTTL Schmitt	–	DCLK: DCLK(デバッグ用SIOクロック)信号出力(デフォルト) P35: 入出力ポート
DSIO P36	124	96	**I**/o	LVTTL Schmitt	100k PU	DSIO: DSIO(デバッグ用SIO)端子(ノイズフィルタ付き) (デフォルト) P36: 入出力ポート
DST2 P37	123	95	i/**O**	LVTTL Schmitt	–	DST2: DST2(デバッグステータス)信号出力(デフォルト) P37: 入出力ポート
TEST	115	91	**I**	Special	50k PD	テスト用入力(通常動作時はVSSに固定)
WAKEUP	34	27	**O**	–	–	RTC C17起床信号出力
#STBY	33	26	**I**	LVTTL Schmitt	–	C17(RTCを除く)スタンバイ入力
TVEP	51	41	**I**	Special	50k PD	FLASHCテスト用入力(通常動作時はVDDに固定)

注:
- 端子名の#は、入出力する信号がアクティブLowであることを示します。
- 太字で記載されている端子名は、デフォルト設定の端子(信号)名です。
- 太字の大文字で記載されているI/Oはデフォルト設定の入出力方向です。
- “PU”はプルアップ、“PD”はプルダウンを表します。

I.3.3 マルチプレックス端子の機能切り換え

I.3.3.1 端子機能選択ビット

表I.3.3.1.1に示すとおり、各端子には1～4種類の機能が割り当てられています。
電源投入時やリセット時は、端子機能0に初期設定されます。それ以外の機能に使用する場合は、各端子に対応した端子機能選択ビットにデータを書き込んで使用する機能を選択してください。

表I.3.3.1.1 端子機能/機能選択ビット一覧

端子機能0	端子機能1	端子機能2	端子機能3	端子機能選択ビット
OSC3				
OSC4				
OSC1				
OSC2				
TEST				
#RESET				
#NMI				
DCLK	P35			CFP35[1:0] (D[3:2]/0x4427)
DSIO	P36			CFP36[1:0] (D[5:4]/0x4427)
DST2	P37			CFP37[1:0] (D[7:6]/0x4427)
P90	D0			CFP90[1:0] (D[1:0]/0x4432)
P91	D1			CFP91[1:0] (D[3:2]/0x4432)
P92	D2			CFP92[1:0] (D[5:4]/0x4432)
P93	D3			CFP93[1:0] (D[7:6]/0x4432)
P94	D4			CFP94[1:0] (D[1:0]/0x4433)
P95	D5			CFP95[1:0] (D[3:2]/0x4433)
P96	D6			CFP96[1:0] (D[5:4]/0x4433)
P97	D7			CFP97[1:0] (D[7:6]/0x4433)
PB0	D8			CFPB0[1:0] (D[1:0]/0x4436)
PB1	D9			CFPB1[1:0] (D[3:2]/0x4436)
PB2	D10			CFPB2[1:0] (D[5:4]/0x4436)
PB3	D11			CFPB3[1:0] (D[7:6]/0x4436)
PB4	D12			CFPB4[1:0] (D[1:0]/0x4437)
PB5	D13			CFPB5[1:0] (D[3:2]/0x4437)
PB6	D14			CFPB6[1:0] (D[5:4]/0x4437)
PB7	D15			CFPB7[1:0] (D[7:6]/0x4437)
P60	A0 / #BSL			CFP60[1:0] (D[1:0]/0x442c)
P61	A1			CFP61[1:0] (D[3:2]/0x442c)
P62	A2			CFP62[1:0] (D[5:4]/0x442c)
P63	A3			CFP63[1:0] (D[7:6]/0x442c)
P64	A4			CFP64[1:0] (D[1:0]/0x442d)
P65	A5			CFP65[1:0] (D[3:2]/0x442d)
P66	A6			CFP66[1:0] (D[5:4]/0x442d)
P67	A7			CFP67[1:0] (D[7:6]/0x442d)
P70	A8			CFP70[1:0] (D[1:0]/0x442e)
P71	A9			CFP71[1:0] (D[3:2]/0x442e)
P72	A10			CFP72[1:0] (D[5:4]/0x442e)
P73	A11			CFP73[1:0] (D[7:6]/0x442e)
P74	A12			CFP74[1:0] (D[1:0]/0x442f)
P75	A13			CFP75[1:0] (D[3:2]/0x442f)
P76	A14			CFP76[1:0] (D[5:4]/0x442f)
P77	A15			CFP77[1:0] (D[7:6]/0x442f)
P80	A16			CFP80[1:0] (D[1:0]/0x4430)
P81	A17			CFP81[1:0] (D[3:2]/0x4430)
P82	A18			CFP82[1:0] (D[5:4]/0x4430)
P83	A19			CFP83[1:0] (D[7:6]/0x4430)
P84	A20			CFP84[1:0] (D[1:0]/0x4431)
P85	A21			CFP85[1:0] (D[3:2]/0x4431)
P86	A22	CMU_CLK		CFP86[1:0] (D[5:4]/0x4431)

端子機能0	端子機能1	端子機能2	端子機能3	端子機能選択ビット
PA0	#CE0			CFPA0[1:0] (D[1:0]/0x4434)
PA1	#CE1			CFPA1[1:0] (D[3:2]/0x4434)
PA2	#CE2			CFPA2[1:0] (D[5:4]/0x4434)
PA3	#CE3			CFPA3[1:0] (D[7:6]/0x4434)
PA4	#RD			CFPA4[1:0] (D[1:0]/0x4435)
PA5	#WRL			CFPA5[1:0] (D[3:2]/0x4435)
PA6	#WRH / #BSH			CFPA6[1:0] (D[5:4]/0x4435)
WAKEUP				
#STBY				
P00	AIN0			CFP00[1:0] (D[1:0]/0x4420)
P01	AIN1			CFP01[1:0] (D[3:2]/0x4420)
P02	AIN2			CFP02[1:0] (D[5:4]/0x4420)
P03	AIN3			CFP03[1:0] (D[7:6]/0x4420)
P04	AIN4			CFP04[1:0] (D[1:0]/0x4421)
P05	AIN5			CFP05[1:0] (D[3:2]/0x4421)
P06	AIN6			CFP06[1:0] (D[5:4]/0x4421)
P07	AIN7			CFP07[1:0] (D[7:6]/0x4421)
P10	SPI_SDI0			CFP10[1:0] (D[1:0]/0x4422)
P11	SPI_SDO0			CFP11[1:0] (D[3:2]/0x4422)
P12	SPI_SCK0			CFP12[1:0] (D[5:4]/0x4422)
P13	#SPI_SSI0	#SPI_SSI1	SPI_SDI0	CFP13[1:0] (D[7:6]/0x4422)
P14	SPI_SDI1			CFP14[1:0] (D[1:0]/0x4423)
P15	SPI_SDO1			CFP15[1:0] (D[3:2]/0x4423)
P16	SPI_SCK1			CFP16[1:0] (D[5:4]/0x4423)
P20	I2S_SDO0			CFP20[1:0] (D[1:0]/0x4424)
P21	I2S_WS0			CFP21[1:0] (D[3:2]/0x4424)
P22	I2S_SCK0			CFP22[1:0] (D[5:4]/0x4424)
P23	I2S_MCLK0			CFP23[1:0] (D[7:6]/0x4424)
P24	I2S_SDI1			CFP24[1:0] (D[1:0]/0x4425)
P25	I2S_WS1			CFP25[1:0] (D[3:2]/0x4425)
P26	I2S_SCK1			CFP26[1:0] (D[5:4]/0x4425)
P27	I2S_MCLK1			CFP27[1:0] (D[7:6]/0x4425)
P30	TM0			CFP30[1:0] (D[1:0]/0x4426)
P31		#TM0	#ADTRG	CFP31[1:0] (D[3:2]/0x4426)
P32	WDT_CLK	#WDT_NMI	CMU_CLK	CFP32[1:0] (D[5:4]/0x4426)
P33	#SMRD	#TM0		CFP33[1:0] (D[7:6]/0x4426)
P34	#SMWR			CFP34[1:0] (D[1:0]/0x4427)
P40	SIN0	#SMRD		CFP40[1:0] (D[1:0]/0x4428)
P41	SOUT0	#SMWR		CFP41[1:0] (D[3:2]/0x4428)
P42	#SCLK0	EXCL0		CFP42[1:0] (D[5:4]/0x4428)
P43		REMC_IN	PWMPRT0	CFP43[1:0] (D[7:6]/0x4428)
P44		REMC_OUT		CFP44[1:0] (D[1:0]/0x4429)
P45			#WAIT	CFP45[1:0] (D[3:2]/0x4429)
P50	I2C_SDA	EXCL0		CFP50[1:0] (D[1:0]/0x442a)
P51	I2C_SCL			CFP51[1:0] (D[3:2]/0x442a)
P52	REMC_IN	#TM0		CFP52[1:0] (D[5:4]/0x442a)
P53	REMC_OUT			CFP53[1:0] (D[7:6]/0x442a)
P54		EXCL0		CFP54[1:0] (D[1:0]/0x442b)
P55				CFP55[1:0] (D[3:2]/0x442b)
P56		#TM0		CFP56[1:0] (D[5:4]/0x442b)
P57				CFP57[1:0] (D[7:6]/0x442b)
PC0		CMU_CLK		CFPC0[1:0] (D[1:0]/0x4438)
PC1		#WDT_NMI		CFPC1[1:0] (D[3:2]/0x4438)
PC2		#ADTRG		CFPC2[1:0] (D[5:4]/0x4438)
PC3		PWMPRT0		CFPC3[1:0] (D[7:6]/0x4438)
PC4				CFPC4[1:0] (D[1:0]/0x4439)
PC5				CFPC5[1:0] (D[3:2]/0x4439)
PC6				CFPC6[1:0] (D[5:4]/0x4439)

端子機能0	端子機能1	端子機能2	端子機能3	端子機能選択ビット
PC7				CFPC7[1:0] (D[7:6]/0x4439)
USBDP				
USBDM				
USBVBUS				
PUENB				
TVEP				

* 端子機能選択ビットの設定値0～3が端子機能0～3に対応します。

I.3.3.2 ポート機能選択レジスター覧

表I.3.3.2.1 ポート機能選択レジスター覧

アドレス	レジスタ名		機能
0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00～P03ポート機能の選択
0x4421	P0_47_CFP	P04–P07 Port Function Select Register	P04～P07ポート機能の選択
0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10～P13ポート機能の選択
0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14～P16ポート機能の選択
0x4424	P2_03_CFP	P20–P23 Port Function Select Register	P20～P23ポート機能の選択
0x4425	P2_47_CFP	P24–P27 Port Function Select Register	P24～P27ポート機能の選択
0x4426	P3_03_CFP	P30–P33 Port Function Select Register	P30～P33ポート機能の選択
0x4427	P3_47_CFP	P34–P37 Port Function Select Register	P34～P37ポート機能の選択
0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40～P43ポート機能の選択
0x4429	P4_45_CFP	P44–P45 Port Function Select Register	P44～P45ポート機能の選択
0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50～P53ポート機能の選択
0x442b	P5_47_CFP	P54–P57 Port Function Select Register	P54～P57ポート機能の選択
0x442c	P6_03_CFP	P60–P63 Port Function Select Register	P60～P63ポート機能の選択
0x442d	P6_47_CFP	P64–P67 Port Function Select Register	P64～P67ポート機能の選択
0x442e	P7_03_CFP	P70–P73 Port Function Select Register	P70～P73ポート機能の選択
0x442f	P7_47_CFP	P74–P77 Port Function Select Register	P74～P77ポート機能の選択
0x4430	P8_03_CFP	P80–P83 Port Function Select Register	P80～P83ポート機能の選択
0x4431	P8_46_CFP	P84–P86 Port Function Select Register	P84～P86ポート機能の選択
0x4432	P9_03_CFP	P90–P93 Port Function Select Register	P90～P93ポート機能の選択
0x4433	P9_47_CFP	P94–P97 Port Function Select Register	P94～P97ポート機能の選択
0x4434	PA_03_CFP	PA0–PA3 Port Function Select Register	PA0～PA3ポート機能の選択
0x4435	PA_46_CFP	PA4–PA6 Port Function Select Register	PA4～PA6ポート機能の選択
0x4436	PB_03_CFP	PB0–PB3 Port Function Select Register	PB0～PB3ポート機能の選択
0x4437	PB_47_CFP	PB4–PB7 Port Function Select Register	PB4～PB7ポート機能の選択
0x4438	PC_03_CFP	PC0–PC3 Port Function Select Register	PC0～PC3ポート機能の選択
0x4439	PC_47_CFP	PC4–PC7 Port Function Select Register	PC4～PC7ポート機能の選択

以下にポート機能選択レジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4420: P00–P03 Port Function Select Register (P0_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P00–P03 Port Function Select Register (P0_03_CFP)	0x4420 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN3			
					0x0	P03			
		D5–4	CFP02[1:0]	P02 port function select	CFP02[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN2			
					0x0	P02			
		D3–2	CFP01[1:0]	P01 port function select	CFP01[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN1			
					0x0	P01			
		D1–0	CFP00[1:0]	P00 port function select	CFP00[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN0			
					0x0	P00			

P00～P03ポートの機能を選択します。

D[7:6] CFP03[1:0]: P03 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN3
00(R/W): P03入力ポート(デフォルト)

D[5:4] CFP02[1:0]: P02 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN2
00(R/W): P02入力ポート(デフォルト)

D[3:2] CFP01[1:0]: P01 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN1
00(R/W): P01入力ポート(デフォルト)

D[1:0] CFP00[1:0]: P00 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN0
00(R/W): P00入力ポート(デフォルト)

0x4421: P04–P07 Port Function Select Register (P0_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P04–P07 Port Function Select Register (P0_47_CFP)	**0x4421** (8 bits)	D7–6	**CFP07[1:0]**	P07 port function select	CFP07[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN7			
					0x0	P07			
		D5–4	**CFP06[1:0]**	P06 port function select	CFP06[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN6			
					0x0	P06			
		D3–2	**CFP05[1:0]**	P05 port function select	CFP05[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN5			
					0x0	P05			
		D1–0	**CFP04[1:0]**	P04 port function select	CFP04[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	AIN4			
					0x0	P04			

P04～P07ポートの機能を選択します。

D[7:6] CFP07[1:0]: P07 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN7
00(R/W): P07入力ポート(デフォルト)

D[5:4] CFP06[1:0]: P06 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN6
00(R/W): P06入力ポート(デフォルト)

D[3:2] CFP05[1:0]: P05 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN5
00(R/W): P05入力ポート(デフォルト)

D[1:0] CFP04[1:0]: P04 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): AIN4
00(R/W): P04入力ポート(デフォルト)

0x4422: P10–P13 Port Function Select Register (P1_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P10–P13 Port Function Select Register (P1_03_CFP)	0x4422 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W	
					0x3	SPI_SDI0			
					0x2	#SPI_SSI1			
					0x1	#SPI_SSI0			
					0x0	P13			
		D5–4	CFP12[1:0]	P12 port function select	CFP12[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SCK0			
					0x0	P12			
		D3–2	CFP11[1:0]	P11 port function select	CFP11[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDO0			
					0x0	P11			
		D1–0	CFP10[1:0]	P10 port function select	CFP10[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDI0			
					0x0	P10			

P10～P13ポートの機能を選択します。

D[7:6] CFP13[1:0]: P13 Port Function Select Bits

11(R/W): SPI_SDI0
10(R/W): #SPI_SSI1
01(R/W): #SPI_SSI0
00(R/W): P13入出力ポート(デフォルト)

D[5:4] CFP12[1:0]: P12 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SCK0
00(R/W): P12入出力ポート(デフォルト)

D[3:2] CFP11[1:0]: P11 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SDO0
00(R/W): P11入出力ポート(デフォルト)

D[1:0] CFP10[1:0]: P10 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SDI0
00(R/W): P10入出力ポート(デフォルト)

0x4423: P14–P16 Port Function Select Register (P1_46_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P14–P16 Port Function Select Register (P1_46_CFP)	0x4423 (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFP16[1:0]	P16 port function select	CFP16[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SCK1			
					0x0	P16			
		D3–2	CFP15[1:0]	P15 port function select	CFP15[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDO1			
					0x0	P15			
		D1–0	CFP14[1:0]	P14 port function select	CFP14[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDI1			
					0x0	P14			

P14～P16ポートの機能を選択します。

D[7:6] Reserved

D[5:4] CFP16[1:0]: P16 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SCK1
00(R/W): P16入出力ポート(デフォルト)

D[3:2] CFP15[1:0]: P15 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SDO1
00(R/W): P15入出力ポート(デフォルト)

D[1:0] CFP14[1:0]: P14 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): SPI_SDI1
00(R/W): P14入出力ポート(デフォルト)

0x4424: P20–P23 Port Function Select Register (P2_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P20–P23 Port Function Select Register (P2_03_CFP)	0x4424 (8 bits)	D7–6	CFP23[1:0]	P23 port function select	CFP23[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_MCLK0			
					0x0	P23			
		D5–4	CFP22[1:0]	P22 port function select	CFP22[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SCK0			
					0x0	P22			
		D3–2	CFP21[1:0]	P21 port function select	CFP21[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_WS0			
					0x0	P21			
		D1–0	CFP20[1:0]	P20 port function select	CFP20[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SDO0			
					0x0	P20			

P20～P23ポートの機能を選択します。

D[7:6] CFP23[1:0]: P23 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_MCLK0
00(R/W): P23入出力ポート(デフォルト)

D[5:4] CFP22[1:0]: P22 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_SCK0
00(R/W): P22入出力ポート(デフォルト)

D[3:2] CFP21[1:0]: P21 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_WS0
00(R/W): P21入出力ポート(デフォルト)

D[1:0] CFP20[1:0]: P20 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_SDO0
00(R/W): P20入出力ポート(デフォルト)

0x4425: P24–P27 Port Function Select Register (P2_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P24–P27 Port Function Select Register (P2_47_CFP)	0x4425 (8 bits)	D7–6	CFP27[1:0]	P27 port function select	CFP27[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_MCLK1			
					0x0	P27			
		D5–4	CFP26[1:0]	P26 port function select	CFP26[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SCK1			
					0x0	P26			
		D3–2	CFP25[1:0]	P25 port function select	CFP25[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_WS1			
					0x0	P25			
		D1–0	CFP24[1:0]	P24 port function select	CFP24[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SDI1			
					0x0	P24			

P24～P27ポートの機能を選択します。

D[7:6] CFP27[1:0]: P27 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_MCLK1
00(R/W): P27入出力ポート(デフォルト)

D[5:4] CFP26[1:0]: P26 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_SCK1
00(R/W): P26入出力ポート(デフォルト)

D[3:2] CFP25[1:0]: P25 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_WS1
00(R/W): P25入出力ポート(デフォルト)

D[1:0] CFP24[1:0]: P24 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): I2S_SDI1
00(R/W): P24入出力ポート(デフォルト)

0x4426: P30–P33 Port Function Select Register (P3_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P30–P33 Port Function Select Register (P3_03_CFP)	0x4426 (8 bits)	D7–6	CFP33[1:0]	P33 port function select	CFP33[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	#SMRD			
					0x0	P33			
		D5–4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W	
					0x3	CMU_CLK			
					0x2	#WDT_NMI			
					0x1	WDT_CLK			
					0x0	P32			
		D3–2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W	
					0x3	#ADTRG			
					0x2	#TM0			
					0x1	reserved			
					0x0	P31			
		D1–0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	TM0			
					0x0	P30			

P30～P33ポートの機能を選択します。

D[7:6] CFP33[1:0]: P33 Port Function Select Bits

11(R/W): Reserved
10(R/W): #TM0
01(R/W): #SMRD
00(R/W): P33入出力ポート(デフォルト)

D[5:4] CFP32[1:0]: P32 Port Function Select Bits

11(R/W): CMU_CLK
10(R/W): #WDT_NMI
01(R/W): WDT_CLK
00(R/W): P32入出力ポート(デフォルト)

D[3:2] CFP31[1:0]: P31 Port Function Select Bits

11(R/W): #ADTRG
10(R/W): #TM0
01(R/W): Reserved
00(R/W): P31入出力ポート(デフォルト)

D[1:0] CFP30[1:0]: P30 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): TM0
00(R/W): P30入出力ポート(デフォルト)

0x4427: P34–P37 Port Function Select Register (P3_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P34–P37 Port Function Select Register (P3_47_CFP)	**0x4427** (8 bits)	D7–6	**CFP37[1:0]**	P37 port function select	CFP37[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P37			
					0x0	DST2			
		D5–4	**CFP36[1:0]**	P36 port function select	CFP36[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P36			
					0x0	DSIO			
		D3–2	**CFP35[1:0]**	P35 port function select	CFP35[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P35			
					0x0	DCLK			
		D1–0	**CFP34[1:0]**	P34 port function select	CFP34[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#SMWR			
					0x0	P34			

P34～P37ポートの機能を選択します。

D[7:6] CFP37[1:0]: P37 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): P37入出力ポート
00(R/W): DST2(デフォルト)

D[5:4] CFP36[1:0]: P36 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): P36入出力ポート
00(R/W): DSIO(デフォルト)

D[3:2] CFP35[1:0]: P35 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): P35入出力ポート
00(R/W): DCLK(デフォルト)

D[1:0] CFP34[1:0]: P34 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #SMWR
00(R/W): P34入出力ポート(デフォルト)

0x4428: P40–P43 Port Function Select Register (P4_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P40–P43 Port Function Select Register (P4_03_CFP)	0x4428 (8 bits)	D7–6	CFP43[1:0]	P43 port function select	CFP43[1:0]	Function	0x0	R/W	
					0x3	PWMPRT0			
					0x2	REMC_IN			
					0x1	reserved			
					0x0	P43			
		D5–4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	#SCLK0			
					0x0	P42			
		D3–2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SMWR			
					0x1	SOUT0			
					0x0	P41			
		D1–0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SMRD			
					0x1	SIN0			
					0x0	P40			

P40～P43ポートの機能を選択します。

D[7:6] CFP43[1:0]: P43 Port Function Select Bits

11(R/W): PWMPRT0
10(R/W): REMC_IN
01(R/W): Reserved
00(R/W): P43入出力ポート(デフォルト)

D[5:4] CFP42[1:0]: P42 Port Function Select Bits

11(R/W): Reserved
10(R/W): EXCL0
01(R/W): #SCLK0
00(R/W): P42入出力ポート(デフォルト)

D[3:2] CFP41[1:0]: P41 Port Function Select Bits

11(R/W): Reserved
10(R/W): #SMWR
01(R/W): SOUT0
00(R/W): P41入出力ポート(デフォルト)

D[1:0] CFP40[1:0]: P40 Port Function Select Bits

11(R/W): Reserved
10(R/W): #SMRD
01(R/W): SIN0
00(R/W): P40入出力ポート(デフォルト)

0x4429: P44–P45 Port Function Select Register (P4_45_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P44–P45 Port Function Select Register (P4_45_CFP)	0x4429 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–2	CFP45[1:0]	P45 port function select	CFP45[1:0]	Function	0x0	R/W	
					0x3	#WAIT			
					0x2–0x1	reserved			
					0x0	P45			
		D1–0	CFP44[1:0]	P44 port function select	CFP44[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	REMC_OUT			
					0x1	reserved			
					0x0	P44			

P44～P45ポートの機能を選択します。

D[7:4] Reserved

D[3:2] CFP45[1:0]: P45 Port Function Select Bits

11(R/W): #WAIT
10(R/W): Reserved
01(R/W): Reserved
00(R/W): P45入出力ポート(デフォルト)

D[1:0] CFP44[1:0]: P44 Port Function Select Bits

11(R/W): Reserved
10(R/W): REMC_OUT
01(R/W): Reserved
00(R/W): P44入出力ポート(デフォルト)

0x442a: P50–P53 Port Function Select Register (P5_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P50–P53 Port Function Select Register (P5_03_CFP)	0x442a (8 bits)	D7–6	CFP53[1:0]	P53 port function select	CFP53[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	REMC_OUT			
					0x0	P53			
		D5–4	CFP52[1:0]	P52 port function select	CFP52[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	REMC_IN			
					0x0	P52			
		D3–2	CFP51[1:0]	P51 port function select	CFP51[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2C_SCL			
					0x0	P51			
		D1–0	CFP50[1:0]	P50 port function select	CFP50[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	I2C_SDA			
					0x0	P50			

P50～P53ポートの機能を選択します。

D[7:6] CFP53[1:0]: P53 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: Reserved
01（R/W）: REMC_OUT
00（R/W）: P53入出力ポート（デフォルト）

D[5:4] CFP52[1:0]: P52 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: #TM0
01（R/W）: REMC_IN
00（R/W）: P52入出力ポート（デフォルト）

D[3:2] CFP51[1:0]: P51 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: Reserved
01（R/W）: I2C_SCL
00（R/W）: P51入出力ポート（デフォルト）

D[1:0] CFP50[1:0]: P50 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: EXCL0
01（R/W）: I2C_SDA
00（R/W）: P50入出力ポート（デフォルト）

0x442b: P54–P57 Port Function Select Register (P5_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P54–P57 Port Function Select Register (P5_47_CFP)	0x442b (8 bits)	D7–6	CFP57[1:0]	P57 port function select	CFP57[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDRDY			
					0x0	P57			
		D5–4	CFP56[1:0]	P56 port function select	CFP56[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	FPSHIFT			
					0x0	P56			
		D3–2	CFP55[1:0]	P55 port function select	CFP55[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPLINE			
					0x0	P55			
		D1–0	CFP54[1:0]	P54 port function select	CFP54[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	FPFRAME			
					0x0	P54			

P54～P57ポートの機能を選択します。

D[7:6] CFP57[1:0]: P57 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): FPDRDY
00(R/W): P57入出力ポート(デフォルト)

D[5:4] CFP56[1:0]: P56 Port Function Select Bits

11(R/W): Reserved
10(R/W): #TM0
01(R/W): FPSHIFT
00(R/W): P56入出力ポート(デフォルト)

D[3:2] CFP55[1:0]: P55 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): FPLINE
00(R/W): P55入出力ポート(デフォルト)

D[1:0] CFP54[1:0]: P54 Port Function Select Bits

11(R/W): Reserved
10(R/W): EXCL0
01(R/W): FPFRAME
00(R/W): P54入出力ポート(デフォルト)

0x442c: P60–P63 Port Function Select Register (P6_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P60–P63 Port Function Select Register (P6_03_CFP)	0x442c (8 bits)	D7–6	CFP63[1:0]	P63 port function select	CFP63[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A3			
					0x0	P63			
		D5–4	CFP62[1:0]	P62 port function select	CFP62[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A2			
					0x0	P62			
		D3–2	CFP61[1:0]	P61 port function select	CFP61[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A1			
					0x0	P61			
		D1–0	CFP60[1:0]	P60 port function select	CFP60[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A0/#BSL			
					0x0	P60			

P60～P63ポートの機能を選択します。

D[7:6] CFP63[1:0]: P63 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A3
00(R/W): P63入出力ポート(デフォルト)

D[5:4] CFP62[1:0]: P62 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A2
00(R/W): P62入出力ポート(デフォルト)

D[3:2] CFP61[1:0]: P61 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A1
00(R/W): P61入出力ポート(デフォルト)

D[1:0] CFP60[1:0]: P60 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A0/#BSL
00(R/W): P60入出力ポート(デフォルト)

0x442d: P64–P67 Port Function Select Register (P6_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P64–P67 Port Function Select Register (P6_47_CFP)	**0x442d** (8 bits)	D7–6	**CFP67[1:0]**	P67 port function select	CFP67[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A7			
					0x0	P67			
		D5–4	**CFP66[1:0]**	P66 port function select	CFP66[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A6			
					0x0	P66			
		D3–2	**CFP65[1:0]**	P65 port function select	CFP65[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A5			
					0x0	P65			
		D1–0	**CFP64[1:0]**	P64 port function select	CFP64[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A4			
					0x0	P64			

P64～P67ポートの機能を選択します。

D[7:6] CFP67[1:0]: P67 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A7
00(R/W): P67入出力ポート(デフォルト)

D[5:4] CFP66[1:0]: P66 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A6
00(R/W): P66入出力ポート(デフォルト)

D[3:2] CFP65[1:0]: P65 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A5
00(R/W): P65入出力ポート(デフォルト)

D[1:0] CFP64[1:0]: P64 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A4
00(R/W): P64入出力ポート(デフォルト)

0x442e: P70–P73 Port Function Select Register (P7_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P70–P73 Port Function Select Register (P7_03_CFP)	0x442e (8 bits)	D7–6	CFP73[1:0]	P73 port function select	CFP73[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A11			
					0x0	P73			
		D5–4	CFP72[1:0]	P72 port function select	CFP72[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A10			
					0x0	P72			
		D3–2	CFP71[1:0]	P71 port function select	CFP71[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A9			
					0x0	P71			
		D1–0	CFP70[1:0]	P70 port function select	CFP70[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A8			
					0x0	P70			

P70～P73ポートの機能を選択します。

D[7:6] CFP73[1:0]: P73 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A11
00(R/W): P73入出力ポート(デフォルト)

D[5:4] CFP72[1:0]: P72 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A10
00(R/W): P72入出力ポート(デフォルト)

D[3:2] CFP71[1:0]: P71 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A9
00(R/W): P71入出力ポート(デフォルト)

D[1:0] CFP70[1:0]: P70 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A8
00(R/W): P70入出力ポート(デフォルト)

0x442f: P74–P77 Port Function Select Register (P7_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P74–P77 Port Function Select Register (P7_47_CFP)	**0x442f** (8 bits)	D7–6	**CFP77[1:0]**	P77 port function select	CFP77[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A15			
					0x0	P77			
		D5–4	**CFP76[1:0]**	P76 port function select	CFP76[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A14			
					0x0	P76			
		D3–2	**CFP75[1:0]**	P75 port function select	CFP75[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A13			
					0x0	P75			
		D1–0	**CFP74[1:0]**	P74 port function select	CFP74[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A12			
					0x0	P74			

P74～P77ポートの機能を選択します。

D[7:6] CFP77[1:0]: P77 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A15
00(R/W): P77入出力ポート(デフォルト)

D[5:4] CFP76[1:0]: P76 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A14
00(R/W): P76入出力ポート(デフォルト)

D[3:2] CFP75[1:0]: P75 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A13
00(R/W): P75入出力ポート(デフォルト)

D[1:0] CFP74[1:0]: P74 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A12
00(R/W): P74入出力ポート(デフォルト)

0x4430: P80–P83 Port Function Select Register (P8_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P80–P83 Port Function Select Register (P8_03_CFP)	0x4430 (8 bits)	D7–6	CFP83[1:0]	P83 port function select	CFP83[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A19			
					0x0	P83			
		D5–4	CFP82[1:0]	P82 port function select	CFP82[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A18			
					0x0	P82			
		D3–2	CFP81[1:0]	P81 port function select	CFP81[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A17			
					0x0	P81			
		D1–0	CFP80[1:0]	P80 port function select	CFP80[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A16			
					0x0	P80			

P80～P83ポートの機能を選択します。

D[7:6] CFP83[1:0]: P83 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A19
00(R/W): P83入出力ポート(デフォルト)

D[5:4] CFP82[1:0]: P82 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A18
00(R/W): P82入出力ポート(デフォルト)

D[3:2] CFP81[1:0]: P81 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A17
00(R/W): P81入出力ポート(デフォルト)

D[1:0] CFP80[1:0]: P80 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): A16
00(R/W): P80入出力ポート(デフォルト)

0x4431: P84–P86 Port Function Select Register (P8_46_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P84–P86 Port Function Select Register (P8_46_CFP)	0x4431 (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFP86[1:0]	P86 port function select	CFP86[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	CMU_CLK			
					0x1	A22			
					0x0	P86			
		D3–2	CFP85[1:0]	P85 port function select	CFP85[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A21			
					0x0	P85			
		D1–0	CFP84[1:0]	P84 port function select	CFP84[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A20			
					0x0	P84			

P84～P86ポートの機能を選択します。

D[7:6] Reserved

D[5:4] CFP86[1:0]: P86 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: CMU_CLK
01（R/W）: A22
00（R/W）: P86入出力ポート（デフォルト）

D[3:2] CFP85[1:0]: P85 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: Reserved
01（R/W）: A21
00（R/W）: P85入出力ポート（デフォルト）

D[1:0] CFP84[1:0]: P84 Port Function Select Bits

11（R/W）: Reserved
10（R/W）: Reserved
01（R/W）: A20
00（R/W）: P84入出力ポート（デフォルト）

0x4432: P90–P93 Port Function Select Register (P9_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P90–P93 Port Function Select Register (P9_03_CFP)	0x4432 (8 bits)	D7–6	CFP93[1:0]	P93 port function select	CFP93[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D3			
					0x0	P93			
		D5–4	CFP92[1:0]	P92 port function select	CFP92[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D2			
					0x0	P92			
		D3–2	CFP91[1:0]	P91 port function select	CFP91[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D1			
					0x0	P91			
		D1–0	CFP90[1:0]	P90 port function select	CFP90[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D0			
					0x0	P90			

P90～P93ポートの機能を選択します。

D[7:6] CFP93[1:0]: P93 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D3
00(R/W): P93入出力ポート(デフォルト)

D[5:4] CFP92[1:0]: P92 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D2
00(R/W): P92入出力ポート(デフォルト)

D[3:2] CFP91[1:0]: P91 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D1
00(R/W): P91入出力ポート(デフォルト)

D[1:0] CFP90[1:0]: P90 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D0
00(R/W): P90入出力ポート(デフォルト)

0x4433: P94–P97 Port Function Select Register (P9_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P94–P97 Port Function Select Register (P9_47_CFP)	**0x4433** (8 bits)	D7–6	**CFP97[1:0]**	P97 port function select	CFP97[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D7			
					0x0	P97			
		D5–4	**CFP96[1:0]**	P96 port function select	CFP96[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D6			
					0x0	P96			
		D3–2	**CFP95[1:0]**	P95 port function select	CFP95[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D5			
					0x0	P95			
		D1–0	**CFP94[1:0]**	P94 port function select	CFP94[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D4			
					0x0	P94			

P94～P97ポートの機能を選択します。

D[7:6] CFP97[1:0]: P97 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D7
00(R/W): P97入出力ポート(デフォルト)

D[5:4] CFP96[1:0]: P96 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D6
00(R/W): P96入出力ポート(デフォルト)

D[3:2] CFP95[1:0]: P95 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D5
00(R/W): P95入出力ポート(デフォルト)

D[1:0] CFP94[1:0]: P94 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D4
00(R/W): P94入出力ポート(デフォルト)

0x4434: PA0–PA3 Port Function Select Register (PA_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA0–PA3 Port Function Select Register (PA_03_CFP)	0x4434 (8 bits)	D7–6	CFPA3[1:0]	PA3 port function select	CFPA3[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE3			
					0x0	PA3			
		D5–4	CFPA2[1:0]	PA2 port function select	CFPA2[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE2			
					0x0	PA2			
		D3–2	CFPA1[1:0]	PA1 port function select	CFPA1[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE1			
					0x0	PA1			
		D1–0	CFPA0[1:0]	PA0 port function select	CFPA0[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE0			
					0x0	PA0			

PA0～PA3ポートの機能を選択します。

D[7:6] CFPA3[1:0]: PA3 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #CE3
00(R/W): PA3入出力ポート(デフォルト)

D[5:4] CFPA2[1:0]: PA2 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #CE2
00(R/W): PA2入出力ポート(デフォルト)

D[3:2] CFPA1[1:0]: PA1 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #CE1
00(R/W): PA1入出力ポート(デフォルト)

D[1:0] CFPA0[1:0]: PA0 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #CE0
00(R/W): PA0入出力ポート(デフォルト)

0x4435: PA4–PA6 Port Function Select Register (PA_46_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PA4–PA6 Port Function Select Register (PA_46_CFP)	0x4435 (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CFPA6[1:0]	PA6 port function select	CFPA6[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#WRH/#BSH			
					0x0	PA6			
		D3–2	CFPA5[1:0]	PA5 port function select	CFPA5[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#WRL			
					0x0	PA5			
		D1–0	CFPA4[1:0]	PA4 port function select	CFPA4[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#RD			
					0x0	PA4			

PA4～PA6ポートの機能を選択します。

D[7:6] Reserved

D[5:4] CFPA6[1:0]: PA6 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #WRH/#BSH
00(R/W): PA6入出力ポート(デフォルト)

D[3:2] CFPA5[1:0]: PA5 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #WRL
00(R/W): PA5入出力ポート(デフォルト)

D[1:0] CFPA4[1:0]: PA4 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): #RD
00(R/W): PA4入出力ポート(デフォルト)

0x4436: PB0–PB3 Port Function Select Register (PB_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB0–PB3 Port Function Select Register (PB_03_CFP)	0x4436 (8 bits)	D7–6	CFPB3[1:0]	PB3 port function select	CFPB3[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D11			
					0x0	PB3			
		D5–4	CFPB2[1:0]	PB2 port function select	CFPB2[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D10			
					0x0	PB2			
		D3–2	CFPB1[1:0]	PB1 port function select	CFPB1[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D9			
					0x0	PB1			
		D1–0	CFPB0[1:0]	PB0 port function select	CFPB0[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D8			
					0x0	PB0			

PB0～PB3ポートの機能を選択します。

D[7:6] CFPB3[1:0]: PB3 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D11
00(R/W): PB3入出力ポート(デフォルト)

D[5:4] CFPB2[1:0]: PB2 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D10
00(R/W): PB2入出力ポート(デフォルト)

D[3:2] CFPB1[1:0]: PB1 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D9
00(R/W): PB1入出力ポート(デフォルト)

D[1:0] CFPB0[1:0]: PB0 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D8
00(R/W): PB0入出力ポート(デフォルト)

0x4437: PB4–PB7 Port Function Select Register (PB_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB4–PB7 Port Function Select Register (PB_47_CFP)	0x4437 (8 bits)	D7–6	CFPB7[1:0]	PB7 port function select	CFPB7[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D15			
					0x0	PB7			
		D5–4	CFPB6[1:0]	PB6 port function select	CFPB6[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D14			
					0x0	PB6			
		D3–2	CFPB5[1:0]	PB5 port function select	CFPB5[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D13			
					0x0	PB5			
		D1–0	CFPB4[1:0]	PB4 port function select	CFPB4[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D12			
					0x0	PB4			

PB4～PB7ポートの機能を選択します。

D[7:6] CFPB7[1:0]: PB7 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D15
00(R/W): PB7入出力ポート(デフォルト)

D[5:4] CFPB6[1:0]: PB6 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D14
00(R/W): PB6入出力ポート(デフォルト)

D[3:2] CFPB5[1:0]: PB5 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D13
00(R/W): PB5入出力ポート(デフォルト)

D[1:0] CFPB4[1:0]: PB4 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): D12
00(R/W): PB4入出力ポート(デフォルト)

0x4438: PC0–PC3 Port Function Select Register (PC_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC0–PC3 Port Function Select Register (PC_03_CFP)	0x4438 (8 bits)	D7–6	CFPC3[1:0]	PC3 port function select	CFPC3[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	PWMPRT0			
					0x1	reserved			
					0x0	PC3			
		D5–4	CFPC2[1:0]	PC2 port function select	CFPC2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#ADTRG			
					0x1	reserved			
					0x0	PC2			
		D3–2	CFPC1[1:0]	PC1 port function select	CFPC1[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#WDT_NMI			
					0x1	reserved			
					0x0	PC1			
		D1–0	CFPC0[1:0]	PC0 port function select	CFPC0[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	CMU_CLK			
					0x1	reserved			
					0x0	PC0			

PC0～PC3ポートの機能を選択します。

D[7:6] CFPC3[1:0]: PC3 Port Function Select Bits

11(R/W): Reserved
10(R/W): PWMPRT0
01(R/W): Reserved
00(R/W): PC3入出力ポート(デフォルト)

D[5:4] CFPC2[1:0]: PC2 Port Function Select Bits

11(R/W): Reserved
10(R/W): #ADTRG
01(R/W): Reserved
00(R/W): PC2入出力ポート(デフォルト)

D[3:2] CFPC1[1:0]: PC1 Port Function Select Bits

11(R/W): Reserved
10(R/W): #WDT_NMI
01(R/W): Reserved
00(R/W): PC1入出力ポート(デフォルト)

D[1:0] CFPC0[1:0]: PC0 Port Function Select Bits

11(R/W): Reserved
10(R/W): CMU_CLK
01(R/W): Reserved
00(R/W): PC0入出力ポート(デフォルト)

0x4439: PC4–PC7 Port Function Select Register (PC_47_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PC4–PC7 Port Function Select Register (PC_47_CFP)	0x4439 (8 bits)	D7–6	CFPC7[1:0]	PC7 port function select	CFPC7[1:0]	Function	0x0	R/W	
					0x3–0x1	reserved			
					0x0	PC7			
		D5–4	CFPC6[1:0]	PC6 port function select	CFPC6[1:0]	Function	0x0	R/W	
					0x3–0x1	reserved			
					0x0	PC6			
		D3–2	CFPC5[1:0]	PC5 port function select	CFPC5[1:0]	Function	0x0	R/W	
					0x3–0x1	reserved			
					0x0	PC5			
		D1–0	CFPC4[1:0]	PC4 port function select	CFPC4[1:0]	Function	0x0	R/W	
					0x3–0x1	reserved			
					0x0	PC4			

PC4～PC7ポートの機能を選択します。

D[7:6] CFPC7[1:0]: PC7 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): Reserved
00(R/W): PC7入出力ポート(デフォルト)

D[5:4] CFPC6[1:0]: PC6 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): Reserved
00(R/W): PC6入出力ポート(デフォルト)

D[3:2] CFPC5[1:0]: PC5 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): FPDAT5
00(R/W): PC5入出力ポート(デフォルト)

D[1:0] CFPC4[1:0]: PC4 Port Function Select Bits

11(R/W): Reserved
10(R/W): Reserved
01(R/W): Reserved
00(R/W): PC4入出力ポート(デフォルト)

I.3.4 入出力セルと入出力特性

表I.3.4.1 端子特性

端子名	I/O	I/Oセル名	入力レベル	I_{OH}/I_{OL}	プルアップ/ダウン
OSC3	I	XLIN	–	–	–
OSC4	O	XLOT	–	–	–
OSC1	I	XLIN	–	–	–
OSC2	O	XLOT	–	–	–
TEST	I	XITST1	–	–	50kプルダウン
#RESET	I	XIBHP2	LVTTL Schmitt	–	100kプルアップ
#NMI	I	XIBHP2	LVTTL Schmitt	–	100kプルアップ
DCLK (P35)	I/O	XBH1T	LVTTL Schmitt	2mA	–
DSIO (P36)	I/O	XBH1P2T	LVTTL Schmitt	2mA	100kプルアップ
DST2 (P37)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P90 (D0)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P91 (D1)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P92 (D2)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P93 (D3)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P94 (D4)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P95 (D5)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P96 (D6)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P97 (D7)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB0 (D8)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB1 (D9)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB2 (D10)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB3 (D11)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB4 (D12)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB5 (D13)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB6 (D14)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
PB7 (D15)	I/O	XBC1HT	LVTTL	2mA	バスホールドラッチ
P60 (A0/#BSL)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P61 (A1)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P62 (A2)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P63 (A3)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P64 (A4)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P65 (A5)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P66 (A6)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P67 (A7)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P70 (A8)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P71 (A9)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P72 (A10)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P73 (A11)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P74 (A12)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P75 (A13)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P76 (A14)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P77 (A15)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P80 (A16)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P81 (A17)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P82 (A18)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P83 (A19)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P84 (A20)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P85 (A21)	I/O	XBH1T	LVTTL Schmitt	2mA	–
P86 (A22/CMU_CLK)	I/O	XBH1T	LVTTL Schmitt	2mA	–
PA0 (#CE0)	I/O	XBHMP2T	LVTTL Schmitt	1mA	100kプルアップ
PA1 (#CE1)	I/O	XBHMP2T	LVTTL Schmitt	1mA	100kプルアップ
PA2 (#CE2)	I/O	XBHMP2T	LVTTL Schmitt	1mA	100kプルアップ
PA3 (#CE3)	I/O	XBHMP2T	LVTTL Schmitt	1mA	100kプルアップ
PA4 (#RD)	I/O	XBH1P2T	LVTTL Schmitt	2mA	100kプルアップ
PA5 (#WRL)	I/O	XBH1P2T	LVTTL Schmitt	2mA	100kプルアップ
PA6 (#WRH/#BSH)	I/O	XBH1P2T	LVTTL Schmitt	2mA	100kプルアップ
WAKEUP	O	XOB1T	–	2mA	–
#STBY	I	XIBH	LVTTL Schmitt	–	–

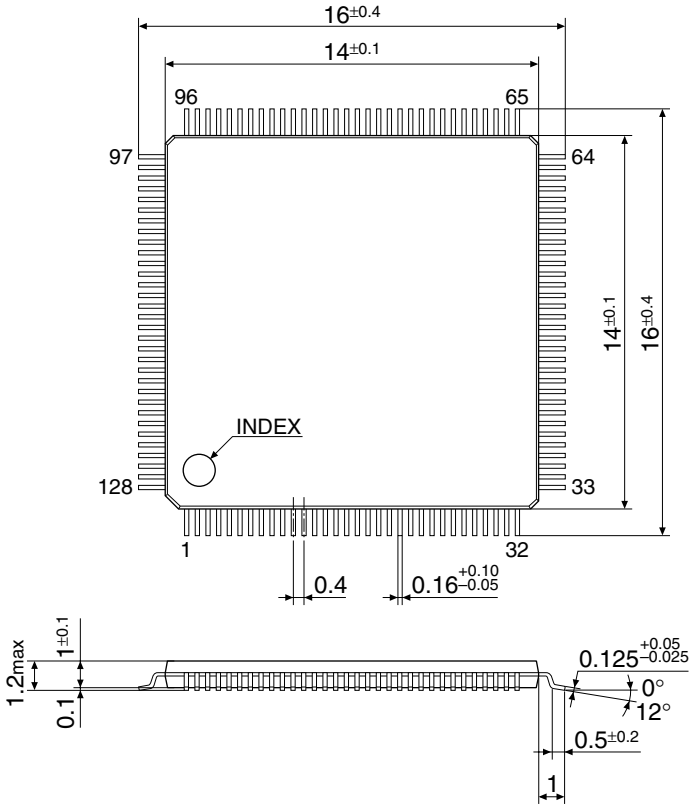
端子名	I/O	I/Oセル名	入力レベル	I_{OH}/I_{OL}	プルアップ/ダウン
P00 (AIN0)	I	XHIBCLINW	CMOS/LVTTL	–	–
P01 (AIN1)	I	XHIBCLINW	CMOS/LVTTL	–	–
P02 (AIN2)	I	XHIBCLINW	CMOS/LVTTL	–	–
P03 (AIN3)	I	XHIBCLINW	CMOS/LVTTL	–	–
P04 (AIN4)	I	XHIBCLINW	CMOS/LVTTL	–	–
P05 (AIN5)	I	XHIBCLINW	CMOS/LVTTL	–	–
P06 (AIN6)	I	XHIBCLINW	CMOS/LVTTL	–	–
P07 (AIN7)	I	XHIBCLINW	CMOS/LVTTL	–	–
P10 (SPI_SDI0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P11 (SPI_SDO0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P12 (SPI_SCK0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P13 (#SPI_SSI0/#SPI_SSI1/SPI_SDI0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P14 (SPI_SDI1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P15 (SPI_SDO1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P16 (SPI_SCK1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P20 (I2S_SDO0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P21 (I2S_WS0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P22 (I2S_SCK0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P23 (I2S_MCLK0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P24 (I2S_SDI1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P25 (I2S_WS1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P26 (I2S_SCK1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P27 (I2S_MCLK1) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P30 (TM0) ∗1	I/O	XBG3A	LVTTL Schmitt	12mA	–
P31 (#TM0/#ADTRG) ∗1	I/O	XBG3A	LVTTL Schmitt	12mA	–
P32 (WDT_CLK/#WDT_NMI/CMU_CLK) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P33 (#SMRD/#TM0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P34 (#SMWR) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P40 (SIN0/#SMRD) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P41 (SOUT0/#SMWR) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P42 (#SCLK0/EXCL0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P43 (REMC_IN/PWMPRT0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P44 (REMC_OUT) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P45 (EXCL1/#WAIT)	I/O	XBB1P2	LVTTL	2mA	100kプルアップ
P50 (I2C_SDA/EXCL0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P51 (I2C_SCL) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P52 (REMC_IN/#TM0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P53 (REMC_OUT) ∗1	I/O	XBG3A	LVTTL Schmitt	12mA	–
P54 (EXCL0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P55 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P56 (#TM0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
P57 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC0 (CMU_CLK) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC1 (#WDT_NMI) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC2 (#ADTRG) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC3 (PWMPRT0) ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC4 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC5 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC6 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
PC7 ∗1	I/O	XBG1	LVTTL Schmitt	2mA	–
USBDP	I/O	XUSFULL	–	–	–
USBDM	I/O	XUSFULL	–	–	–
USBVBUS	I	–	–	–	–
PUENB	O	–	–	–	–
TVEP	I	EIEF_HZTSTTX501	–	–	–

∗1 これらのI/Oセルは耐5Vフェールセーフ双方向バッファです。

I.3.5 パッケージ

I.3.5.1 TQFP15-128pinパッケージ

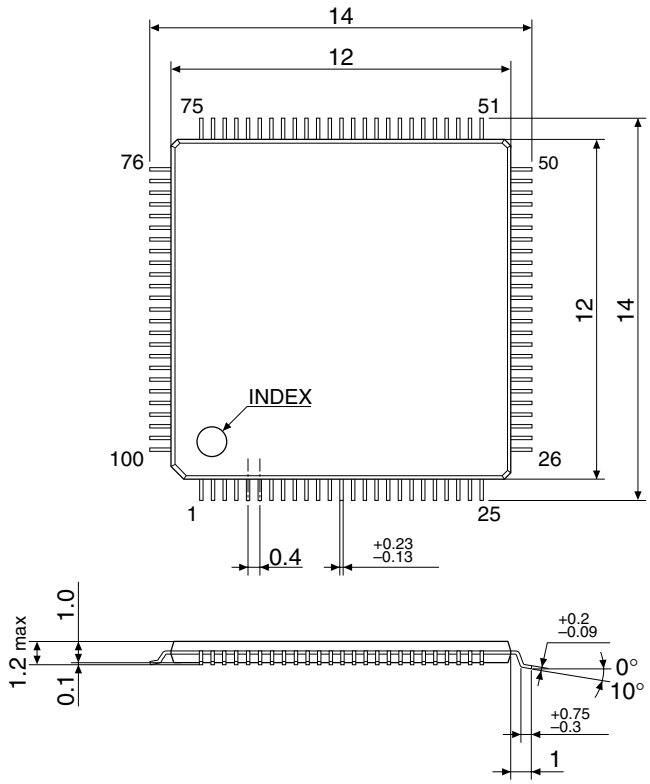
(単位: mm)



図I.3.5.1.1 TQFP15-128pinパッケージ寸法

I.3.5.2 TQFP14-100pinパッケージ

(単位: mm)



図I.3.5.2.1 TQFP14-100pinパッケージ寸法

I.3.5.3 パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度Ta、パッケージの熱抵抗θおよび消費電力PDから計算できます。

チップ温度(Tj) = Ta +(PD × θ)[°C]

チップ温度(Tj)は、Flashリード時は125°C以下、Flash消去/プログラミング時やUSB使用時は100°C以下を目安にしてください。

■TQFP15-128p nパッケージおよびTQFP14-100p nパッケージの熱抵抗

1. 基板実装状態(無風状態)

熱抵抗(θj-a) = 33.3°C/W

この値は測定用基板(サイズ: 114 × 76 × 1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

熱抵抗 = 90～100°C/W

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

TQFP14-100pinパッケージ製品を使用される場合は、パッケージ内部に下記の端子が電位的に浮いた状態で存在するため、これらをLow出力に切り替えその状態を維持する必要があります。
この処理を実施しない場合、消費電流の増加を招きます。

P33, P34
P54, P55, P56, P57
P83, P84, P85, P86
PA6
PB0, PB1, PB2, PB3, PB4, PB5, PB6, PB7
PC0, PC1, PC2, PC3, PC4, PC5, PC6, PC7

ソフトウェアの初期化処理内で、以下の処理を実施してください。
(上記の端子に影響しない設定については変更可能です。)

0x4406 P3 Port Input/Output Data Register (P3_DAT) = 0x00
0x440a P5 Port Input/Output Data Register (P5_DAT) = 0x00
0x4410 P8 Port Input/Output Data Register (P8_DAT) = 0x00
0x4414 PA Port Input/Output Data Register (PA_DAT) = 0x00
0x4416 PB Port Input/Output Data Register (PB_DAT) = 0x00
0x4418 PC Port Input/Output Data Register (PC_DAT) = 0x00

0x4407 P3 I/O Control Register (P3_IOC) = 0x14
0x440b P5 I/O Control Register (P5_IOC) = 0xF0
0x4411 P8 I/O Control Register (P8_IOC) = 0x74
0x4415 PA I/O Control Register (PA_IOC) = 0x40
0x4417 PB I/O Control Register (PB_IOC) = 0xFF
0x4419 PC I/O Control Register (PC_IOC) = 0xFF

0x4426 P30-P33 Port Function Select Register (P3_03_CFP) = 0x00 (Init.)
0x4427 P34-P37 Port Function Select Register (P3_47_CFP) = 0x00 (Init.)
0x442a P50-P53 Port Function Select Register (P5_03_CFP) = 0x00 (Init.)

0x442b P54-P57 Port Function Select Register (P5_47_CFP) = 0x00 (Init.)
0x4430 P80-P83 Port Function Select Register (P8_03_CFP) = 0x00 (Init.)
0x4431 P84-P86 Port Function Select Register (P8_46_CFP) = 0x00 (Init.)
0x4434 PA0-PA3 Port Function Select Register (PA_03_CFP) = 0x00 (Init.)
0x4435 PA4-PA6 Port Function Select Register (PA_46_CFP) = 0x00 (Init.)
0x4436 PB0-PB3 Port Function Select Register (PB_03_CFP) = 0x00 (Init.)
0x4437 PB4-PB7 Port Function Select Register (PB_47_CFP) = 0x00 (Init.)
0x4438 PC0-PC3 Port Function Select Register (PC_03_CFP) = 0x00 (Init.)
0x4439 PC4-PC7 Port Function Select Register (PC_47_CFP) = 0x00 (Init.)

I.4 電源

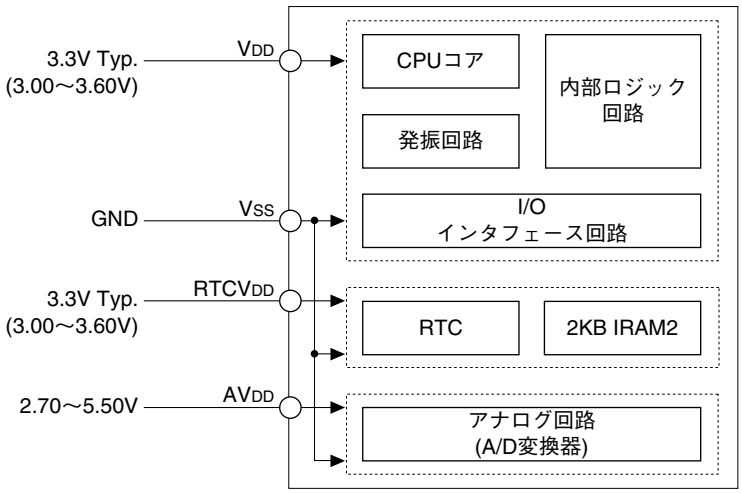
ここではS1C17501の動作電圧について説明します。

I.4.1 電源端子

S1C17501の電源端子を表I.4.1.1に示します。

表I.4.1.1 電源端子

端子名	端子No.		I/O	タイプ	PU/PD	機能
	TQFP 128pin	TQFP 100pin				
VDD	6, 26, 40, VSS, 53, 71, 116	6,19,33,42,57,92	–	3.3 V	–	コアおよびI/O電源(+) (3.3V)
VSS	5, 15, 43, 87, 105, 125	5,12,36,66,84,97	–	GND	–	GND
RTCVDD	35	28	–	3.3 V	–	RTC電源 (+) (3.3V) (RTCVDD = VDD)
AVDD	96	75	–	3.3 V	–	アナログシステム用電源(3.3V) (AVDD = VDD)



図I.4.1.1 電源系

I.4.2 動作電圧（VDD, VSS）

S1C17501のコアCPUおよび内部ロジック回路は、VDD～VSS間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

VDD = 3.0V～3.6V（3.3V ± 0.3V、VSS = GND）

注: S1C17501のTQFPパッケージは7本のVDD端子と6本のVSS端子を持っています。PFBGAパッケージは13本のVDD端子と12本のVSS端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

また、VDDは以下の入出力ポートを除く外部I/O信号のインタフェース電圧としても使用されます。

P10～P16, P20～P27, P30～P34, P40～P44, P50～P57, PC0～PC7（41ポート）

これらのポートは-0.3～5.8Vの範囲の電圧を入力可能です。

I.4.3 RTC用電源（RTCVDD）

システム電源をOFFにした場合でもRTCを動作できるように、VDD端子とは別にRTC用電源端子（RTCVDD）が用意されています。RTCVDD端子にはVDDと同じレベルの電圧を供給してください。

RTCVDD = VDD（3.3V ± 0.3V, VSS = GND）

RTCVDDは、2KBバッテリーバックアップRAM（IRAM2）の電源としても使用します。

I.4.4 アナログ回路用電源（AVDD）

内蔵のアナログ回路（A/D変換器）がデジタル回路の影響を受けないように、VDD端子とは別にアナログ回路用の電源端子（AVDD）が設けられています。
アナログ回路の電源電圧はAVDD端子に供給し、VSS端子をGNDレベルとしてください。
AVDDには次の電圧が使用可能です。

AVDD = 2.7V～5.5V（VSS = GND）

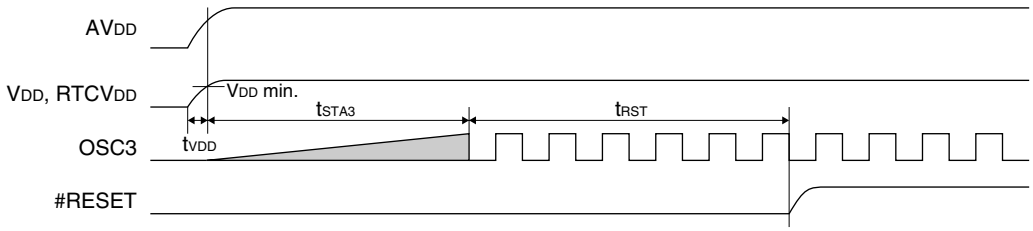
注: アナログ回路を使用しない場合でも、AVDD端子には必ず2.7～5.5Vの電圧を供給してください。VDDと同電位である必要はありません。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

I.4.5 電源に関する注意事項

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図I.4.5.1 パワーオンシーケンス

(1)t_{VDD}: 電源投入時の電源が安定するまでの時間
下記の順序で電源を投入してください。
電源投入時: V_{DD}(および$RTCV_{DD}$*)→AV_{DD}(A/D)→入力信号印加
または、V_{DD}(および$RTCV_{DD}$*), AV_{DD}(A/D)→入力信号印加
(下記、"パワーオフシーケンスの注"参照)

＊ $RTCV_{DD}$はRTCの動作およびIRAM2のバックアップ用に常時供給可能です。

(2)t_{STA3}: OSC3発振開始時間

(3)t_{RST}: 最小リセットパルス幅
チップに供給されるクロックが安定した状態から最低6クロックの期間、#RESET信号をLowに保持してください。

■パワーオフシーケンス

下記の順序で電源を切断してください。
電源切断時: 入力信号オフ→AV_{DD}(A/D)→V_{DD}(および$RTCV_{DD}$)
または、入力信号オフ→AV_{DD}(A/D), V_{DD}(および$RTCV_{DD}$)(下記の注を参照)

注: • V_{DD}だけが供給された状態になると、V_{DD}→AV_{DD}の経路でダイオードが形成され、AV_{DD}電源に電流の回りこみが発生します。この状態を回避するには、すべての電源を同時に切断してください。

• V_{DD}が切断されている状態でAV_{DD}のみを継続的に(1秒以上)印加することは、絶対に避けてください。AV_{DD}の貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、V_{DD}－V_{SS}間に大電流が流れて破壊に至る現象です。
ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいはV_{DD}端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になるとV_{DD}－V_{SS}間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

(1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、またはV_{SS}より下げないでください。電源投入時のタイミングも考慮してください。

(2) 異常ノイズがデバイスに加わらないようにしてください。

(3) 未使用の入力端子の電位をV_{DD}、AV_{DD}またはV_{SS}に固定してください。

(4) 出力を短絡しないでください。

I.5 CPU

S1C17501はコアプロセッサとしてS1C17コアを搭載しています。
S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。
低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。
S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

I.5.1 S1C17コアの特長

プロセッサ形式
- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15μm低電力CMOSプロセステクノロジ

命令セット
- コード長　　16ビット固定長
- 命令数　　基本命令111個(全184命令)
- 実行サイクル　　主要命令は1サイクルで実行
- 即値拡張命令　　即値を24ビットまで拡張
- Cによる開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット
- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

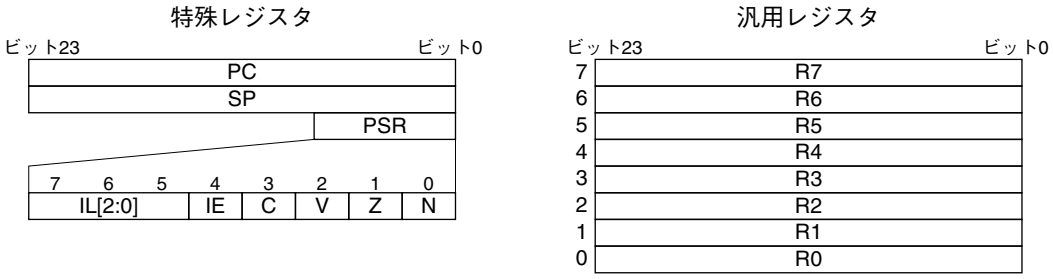
メモリ空間, バス
- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み
- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ
- HALT(`halt`命令)
- SLEEP(`slp`命令)

I.5.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図I.5.2.1 レジスタ

I.5.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表I.5.3.1 S1C17コア命令一覧

種 類	ニーモニック		機 能
データ転送	ld.b	%rd,%rs	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		%rd,[%rb]	メモリ(バイト) → 汎用レジスタ(符号拡張)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(バイト) → 汎用レジスタ(符号拡張)
		%rd,[imm7]	メモリ(バイト) → 汎用レジスタ(符号拡張)
		[%rb],%rs	汎用レジスタ(バイト) → メモリ
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(バイト) → スタック
		[imm7],%rs	汎用レジスタ(バイト) → メモリ
	ld.ub	%rd,%rs	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[imm7]	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	ld	%rd,%rs	汎用レジスタ(16ビット) → 汎用レジスタ
		%rd,sign7	即値 → 汎用レジスタ(符号拡張)
		%rd,[%rb]	メモリ(16ビット) → 汎用レジスタ
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(16ビット) → 汎用レジスタ
		%rd,[imm7]	メモリ(16ビット) → 汎用レジスタ
		[%rb],%rs	汎用レジスタ(16ビット) → メモリ
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(16ビット) → スタック
		[imm7],%rs	汎用レジスタ(16ビット) → メモリ
	ld.a	%rd,%rs	汎用レジスタ(24ビット) → 汎用レジスタ
		%rd,imm7	即値 → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]	メモリ(32ビット) → 汎用レジスタ (*1)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(32ビット) → 汎用レジスタ (*1)
		%rd,[imm7]	メモリ(32ビット) → 汎用レジスタ (*1)
		[%rb],%rs	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		[imm7],%rs	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		%rd,%sp	SP → 汎用レジスタ
		%rd,%pc	PC → 汎用レジスタ
		%rd,[%sp]	スタック(32ビット) → 汎用レジスタ (*1)
		%rd,[%sp]+	スタックポインタのポストインクリメント、ポストデクリメント、
		%rd,[%sp]-	プリデクリメント機能を使用可能
		%rd,-[%sp]	

種 類	ニーモニック		機 能
データ転送	ld.a	[%sp],%*rs*	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		[%sp]+,%*rs*	スタックポインタのポストインクリメント、ポストデクリメント、
		[%sp]-,%*rs*	プリデクリメント機能を使用可能
		-[%sp],%*rs*	
		%sp,%*rs*	汎用レジスタ(24ビット) → SP
		%sp,*imm7*	即値 → SP
整数算術演算	add	%*rd*,%*rs*	汎用レジスタ間の16ビット加算
	add/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/nc		
	add	%*rd*,*imm7*	汎用レジスタと即値の16ビット加算
	add.a	%*rd*,%*rs*	汎用レジスタ間の24ビット加算
	add.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/nc		
	add.a	%sp,%*rs*	SPと汎用レジスタの24ビット加算
		%*rd*,*imm7*	汎用レジスタと即値の24ビット加算
		%sp,*imm7*	SPと即値の24ビット加算
	adc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット加算
	adc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/nc		
	adc	%*rd*,*imm7*	汎用レジスタと即値のキャリー付き16ビット加算
	sub	%*rd*,%*rs*	汎用レジスタ間の16ビット減算
	sub/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/nc		
	sub	%*rd*,*imm7*	汎用レジスタと即値の16ビット減算
	sub.a	%*rd*,%*rs*	汎用レジスタ間の24ビット減算
	sub.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub.a/nc		
	sub.a	%sp,%*rs*	SPと汎用レジスタの24ビット減算
		%*rd*,*imm7*	汎用レジスタと即値の24ビット減算
		%sp,*imm7*	SPと即値の24ビット減算
	sbc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット減算
	sbc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sbc/nc		
	sbc	%*rd*,*imm7*	汎用レジスタと即値のキャリー付き16ビット減算
	cmp	%*rd*,%*rs*	汎用レジスタ間の16ビット比較
	cmp/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp/nc		
	cmp	%*rd*,*sign7*	汎用レジスタと即値の16ビット比較
	cmp.a	%*rd*,%*rs*	汎用レジスタ間の24ビット比較
	cmp.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp.a/nc		
	cmp.a	%*rd*,*imm7*	汎用レジスタと即値の24ビット比較
	cmc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット比較
	cmc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmc/nc		
	cmc	%*rd*,*sign7*	汎用レジスタと即値のキャリー付き16ビット比較
論理演算	and	%*rd*,%*rs*	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	%*rd*,*sign7*	汎用レジスタと即値の論理積
	or	%*rd*,%*rs*	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	%*rd*,*sign7*	汎用レジスタと即値の論理和
	xor	%*rd*,%*rs*	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	%*rd*,*sign7*	汎用レジスタと即値の排他的論理和
	not	%*rd*,%*rs*	汎用レジスタ間の論理否定(1の補数)
	not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	not/nc		
	not	%*rd*,*sign7*	汎用レジスタと即値の論理否定(1の補数)

種 類	ニーモニック		機 能
シフト&スワップ	sr	%rd,%rs	右論理シフト(レジスタによるシフトビット数指定)
		%rd,imm7	右論理シフト(即値によるシフトビット数指定)
	sa	%rd,%rs	右算術シフト(レジスタによるシフトビット数指定)
		%rd,imm7	右算術シフト(即値によるシフトビット数指定)
	sl	%rd,%rs	左論理シフト(レジスタによるシフトビット数指定)
		%rd,imm7	左論理シフト(即値によるシフトビット数指定)
	swap	%rd,%rs	16ビット境界でバイト単位のスワップ
即値拡張	ext	imm13	直後の命令のオペランドを拡張
コンバージョン	cv.ab	%rd,%rs	符号付き8ビットデータを24ビットに変換
	cv.as	%rd,%rs	符号付き16ビットデータを24ビットに変換
	cv.al	%rd,%rs	32ビットデータを24ビットに変換
	cv.la	%rd,%rs	24ビットデータを32ビットに変換
	cv.ls	%rd,%rs	16ビットデータを32ビットに変換
分岐	jpr	sign10	PC相対ジャンプ
	jpr.d	%rb	ディレイド分岐可
	jpa	imm7	絶対ジャンプ
	jpa.d	%rb	ディレイド分岐可
	jrgt	sign7	PC相対条件ジャンプ　分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	sign7	PC相対条件ジャンプ　分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	sign7	PC相対条件ジャンプ　分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	sign7	PC相対条件ジャンプ　分岐条件: Z | N ^ V
	jrle.d		ディレイド分岐可
	jrugt	sign7	PC相対条件ジャンプ　分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	sign7	PC相対条件ジャンプ　分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	sign7	PC相対条件ジャンプ　分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	sign7	PC相対条件ジャンプ　分岐条件: Z | C
	jrule.d		ディレイド分岐可
	jreq	sign7	PC相対条件ジャンプ　分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	sign7	PC相対条件ジャンプ　分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	sign10	PC相対サブルーチンコール
	call.d	%rb	ディレイド分岐可
	calla	imm7	絶対サブルーチンコール
	calla.d	%rb	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	imm5	ソフトウェア割り込み
	intl	imm5,imm3	割り込みレベル指定付きソフトウェア割り込み
	reti		割り込み処理からのリターン
	reti.d		ディレイド分岐可
	brk		デバッグ割り込み
	retd		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	%rd,%rs	コプロセッサへのデータ転送
		%rd,imm7	
	ld.ca	%rd,%rs	コプロセッサへのデータ転送、結果とフラグ状態の取得
		%rd,imm7	
	ld.cf	%rd,%rs	コプロセッサへのデータ転送、フラグ状態の取得
		%rd,imm7	

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからIRAMエリア以外のメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。レジスタからIRAMエリアのメモリへのデータ転送では、上位8ビットは書き込まれません。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表I.5.3.2 記号の意味

記 号	説 明
%*rs*	汎用ソースレジスタ
%*rd*	汎用デスティネーションレジスタ
[%*rb*]	汎用レジスタで間接指定されるメモリ
[%*rb*]+	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[%*rb*]-	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
-[%*rb*]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
%sp	スタックポインタ
[%sp],[%sp+*imm7*]	スタック
[%sp]+	スタック(アドレスポストインクリメント付き)
[%sp]-	スタック(アドレスポストデクリメント付き)
-[%sp]	スタック(アドレスプリデクリメント付き)
imm3,*imm5*,*imm7*,*imm13*	符号なし即値(数値はビット長)
sign7,*sign10*	符号付き即値(数値はビット長)

I.5.4 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルの先頭には、リセット後にプログラムの実行を開始するブートアドレスを書き込んでおく必要があります。
表I.5.4.1にS1C17501のベクタテーブルを示します。

表I.5.4.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
–	(0xfffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	• #NMI端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ(reserved)	Cコンパイラのエミュレーションライブラリが使用	5
4 (0x04)	TTBR + 0x10	ポート入力割り込み0	Px0入力(立ち上がり/下がりエッジまたはH/Lレベル)	High *1
5 (0x05)	TTBR + 0x14	ポート入力割り込み1	Px1入力(立ち上がり/下がりエッジまたはH/Lレベル)	↑
6 (0x06)	TTBR + 0x18	ポート入力割り込み2	Px2入力(立ち上がり/下がりエッジまたはH/Lレベル)	
7 (0x07)	TTBR + 0x1c	ポート入力割り込み3	Px3入力(立ち上がり/下がりエッジまたはH/Lレベル)	
8 (0x08)	TTBR + 0x20	MFT割り込み	• コンペアマッチ • ピリオドマッチ • ADCプロテクション入力 • ポートプロテクション入力	
9 (0x09)	TTBR + 0x24	reserved	–	
10 (0x0a)	TTBR + 0x28	A/D変換器割り込み	範囲外(上限/下限)	
11 (0x0b)	TTBR + 0x2c		変換完了	
12 (0x0c)	TTBR + 0x30	CLG_T16U0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
13 (0x0d)	TTBR + 0x34	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
14 (0x0e)	TTBR + 0x38	CLG_T8Sタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
15 (0x0f)	TTBR + 0x3c	CLG_T8Iタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
16 (0x10)	TTBR + 0x40	UART(+IrDA)CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
17 (0x11)	TTBR + 0x44	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
18 (0x12)	TTBR + 0x48	SPI CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
19 (0x13)	TTBR + 0x4c	I^2C割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
20 (0x14)	TTBR + 0x50	RTC割り込み	1/64秒、1秒、1分、または1時間カウントアップ	
21 (0x15)	TTBR + 0x54	PT8 CH.0割り込み	タイマ0アンダーフロー	
22 (0x16)	TTBR + 0x58	PT8 CH.1割り込み	タイマ1アンダーフロー	
23 (0x17)	TTBR + 0x5c	PT8 CH.2割り込み	タイマ2アンダーフロー	
24 (0x18)	TTBR + 0x60	PT8 CH.3割り込み	タイマ3アンダーフロー	
25 (0x19)	TTBR + 0x64	reserved	–	
26 (0x1a)	TTBR + 0x68	SPI CH.1割り込み	• 送信バッファエンプティ • 受信バッファフル	
27 (0x1b)	TTBR + 0x6c	USB割り込み	USB割り込み	
28 (0x1c)	TTBR + 0x70	I^2S割り込み	• I^2S FIFOエンプティ	
29 (0x1d)	TTBR + 0x74		• I^2S FIFOフル	
30 (0x1e)	TTBR + 0x78	REMC割り込み	• エンベロープカウンタアンダーフロー • REMC_IN立ち上がりエッジ検出 • REMC_IN立ち下がりエッジ検出	↓
31 (0x1f)	TTBR + 0x7c	reserved	–	Low *1

*1 同一の割り込みレベルが設定されている場合
*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、TTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができます。表I.5.4.1の"TTBR"はこれらのレジスタに設定された値を意味します。イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおくことが必要です。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、トラップテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

0x5814–0x5816: Trap Table Base Registers (TTBR_LOW, TTBR_HIGH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Trap Table Base Register 0 (TTBR_LOW)	**0x5814** (16 bits)	D15–8	**TTBR[15:8]**	Trap table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	**TTBR[7:0]**	Trap table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Trap Table Base Register 1 (TTBR_HIGH)	**0x5816** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TTBR[23:16]**	Trap table base address A[23:16]	0x0–0xff	0x2	R/W	

注: Trap Table Base Registerは書き込み保護されています。このレジスタに書き込みを行うには、FLASHC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。Trap Table Base Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はFLASHC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

I.5.5 オンチップデバッガ

I.5.5.1 デバッグ機能

S1C17コアには、プログラム開発を支援するデバッグ回路が設けられています。
デバッグ回路がサポートしている機能は以下のとおりで、デバッガによって使用されます。

- **命令ブレーク**
  設定した命令のアドレスを実行する前にデバッグ割り込みを発生します。1カ所のアドレスに命令ブレークを設定できます。
- **シングルステップ**
  各命令ごとにデバッグ割り込みを発生します。
- **強制ブレーク**
  外部入力信号(DSIO = 0)でデバッグ割り込みを発生します。
- **ソフトウェアブレーク**
  brk命令の実行によりデバッグ割り込みを発生します。

デバッグ割り込みが発生すると、プロセッサは次の処理を行います。

(1)実行中の命令列を中断します。

(2)プロセッサは、PCとPSR、R0の順にそれぞれの内容を以下のアドレスに格納します。
PCとPSR → DBRAM + 0x0
R0 → DBRAM + 0x4 (DBRAM: ユーザRAM内のデバッグ用ワークエリア先頭アドレス)

(3)プロセッサは、アドレス0xfffc00番地からPCにロードし、デバッグ割り込み処理ルーチンに分岐します。

割り込み処理ルーチンでは、処理の最後にretd命令を実行して中断している命令列に復帰します。
retd命令で復帰する際、プロセッサはR0、PCとPSRの順でデータを復帰します。
デバッグ割り込み中はハードウェア割り込みおよびNMIは受け付けられません。

I.5.5.2 デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。S1C17501では内蔵RAM内のアドレス0x0～0x3fがデバッグ用ワークエリアに設定されています。デバッグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。
このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

0xffff90: Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x0	0x0	R	

D[31:24] 未使用(0固定)

D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits
デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

I.5.5.3 デバッグツール

デバッグは、S1C17501のデバッグ端子にS5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)を接続し、パソコン上のデバッガからデバッグコマンドを入力して行います。このため、以下のツールが必要です。
• S1C17 Family In-Circuit Debugger(S5U1C17001H等)
• S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

I.5.5.4 デバッグ端子

ICD（S5U1C17001H等）との接続に以下のデバッグ端子を使用します。

表I.5.5.4.1 デバッグ端子一覧

端子名	I/O	本数	機　能
DCLK（P35）	O	1	オンチップデバッガクロック出力端子 ICDにクロックを出力します。
DSIO（P36）	I/O	1	オンチップデバッガデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2（P37）	O	1	オンチップデバッガステータス信号出力端子 デバッグ中のプロセッサの状態（通常動作時: Low、デバッグモード時: High）を出力します。

オンチップデバッガの入出力端子（DCLK、DSIO、DST2）は汎用入出力ポート端子（P35、P36、P37）を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、P3_47_CFPレジスタ（0x4427）の設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

I.5.5.5 デバッグ用クロック

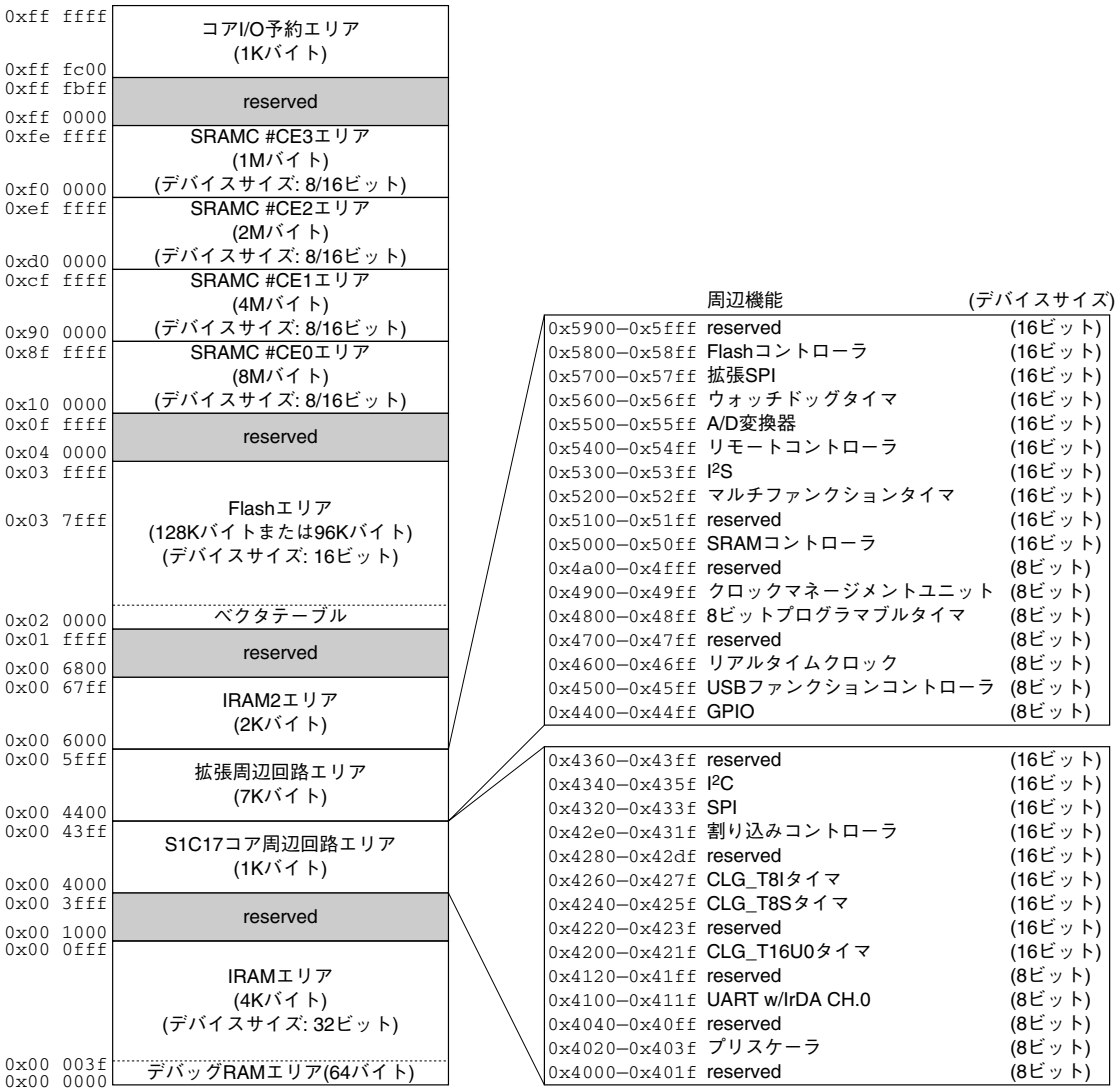
オンチップデバッガはシリアルデータ転送によりICDと通信します。DCLKはシリアル転送用の同期クロックで、周波数は常にCCLKの1/2になります。

I.5.5.6 デバッガステータス信号（DST2）

通常動作時、DST2信号はLowになっています。S1C17コアがデバッグ割り込みによってデバッグモードになるとHighになります。

I.6 メモリマップ

図I.6.1にS1C17501のメモリマップを示します。



図I.6.1 S1C17501メモリマップ

I.6.1 アクセスサイクル

表I.6.1.1に示すように、1回のバスアクセスに必要なサイクル数は周辺回路やメモリモジュールにより変わります。また、バスアクセス回数もCPU命令のアクセスサイズとアクセスするデバイスのサイズにより変わります。

表I.6.1.1 データリード/ライトアクセスサイクル数

モジュール	アクセス条件		ライト	リード
IRAM	–	8ビットアクセス	1	2
		16ビットアクセス	1	2
		24/32ビットアクセス	1	2
IRAM2	CPUによるアクセス	8ビットアクセス	4	4 + w
		16ビットアクセス	4	4 + w
		24/32ビットアクセス	7	7 + w × 2
FLASH	ランダムミス	8ビットアクセス	–	2 + w
		16ビットアクセス	ソフトウェア制御	2 + w
		24/32ビットアクセス	–	1 + (1 + w) × 2
	ランダムヒット	8ビットアクセス	–	1
		16ビットアクセス	ソフトウェア制御	1
		24/32ビットアクセス	–	1 + 1 + w
	バーストリード(連続アドレス)	16ビット × Nアクセス	–	1 + (1 + w) × N
		24/32ビット × Nアクセス	–	1 + (1 + w) × 2 × N
周辺モジュール制御レジスタ	8ビットデバイス	8ビットアクセス	4 + w	4 + w
		16ビットアクセス	7 + w × 2	7 + w × 2
		24ビットアクセス	13 + w × 4	13 + w × 4
	16ビットデバイス	8ビットアクセス	4 + w	4 + w
		16ビットアクセス	4 + w	4 + w
		24ビットアクセス	7 + w × 2	7 + w × 2
外部メモリ	8ビットRAMへのCPUアクセス	8ビットアクセス	4 + w	4 + w
		16ビットアクセス	7 + w × 2	7 + w × 2
		24/32ビットアクセス	13 + w × 4	13 + w × 4
	16ビットRAMへのCPUアクセス	8ビットアクセス	4 + w	4 + w
		16ビットアクセス	4 + w	4 + w
		24/32ビットアクセス	7 + w × 2	7 + w × 2
MAC演算	–	–	1または2	

注: • "w"はウェイトサイクル数を表します。
• "N"はバーストサイクル数を表します。
• MAC_WAIT(D0/0x5014) = 0の場合、MAC演算は1サイクルで処理されます。
MAC_WAIT = 1(デフォルト)の場合、MAC演算は2サイクルで処理されます。

表I.6.1.2 命令リードのためのアクセスサイクル数

モジュール	アクセス条件		命令リード
IRAM	CPUリード	32ビットリード	2 (注)
IRAM2	CPUリード	32ビットリード	7 + w × 2
FLASH	ランダムミス	32ビットリード	1 + (1 + w) × 2
	ランダムヒット	32ビットリード	1 + 1 + w
	バーストリード(連続アドレス)	32ビット × Nリード	1 + (1 + w) × 2 × N
外部メモリ	8ビットRAMへのCPUアクセス	32ビットリード	13 + w ×4
	16ビットRAMへのCPUアクセス	32ビットリード	7 + w × 2

注: • "w"はウェイトサイクル数を表します。
• "N"はバーストサイクル数を表します。
• CPUはIRAM上の16ビット命令を1サイクルで読み出し可能です。

32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。ただし、ld.a命令によるIRAMへの書き込み時は、上位8ビットの書き込みは行われません。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

I.6.1.1 アクセスサイズ制限

以下に示すモジュールにはアクセスサイズに制限がありますので、プログラミングの際には使用する命令に注意してください。

I²C, WDT

I²Cとウォッチドッグタイマのレジスタへのアクセスには、16ビットリード/ライト命令のみ使用可能です。

上記以外のモジュールは8ビットまたは16ビット命令でアクセス可能です(I²S FIFOは16ビットまたは24ビット命令でアクセス可能です)。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合もありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

I.6.1.2 ハーバードアーキテクチャによる命令とデータの同時アクセス

S1C17コアはハーバードアーキテクチャを採用しているため、以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われプログラムの実行速度が向上します。

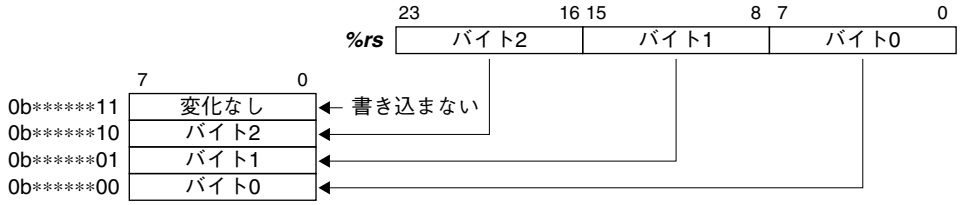
- IRAMエリアのデータにアクセスしながら、Flashエリア、IRAM2または外部メモリ上の命令を実行する場合
- IRAMエリアの命令を実行しながら、Flashエリア、 IRAM2、S1C17コア周辺回路エリア(0x4000~)、拡張周辺回路エリア(0x4400~)または外部メモリ上のデータにアクセスする場合
- S1C17コア周辺回路エリア(0x4000~)のデータにアクセスしながら、IRAM、Flashエリア、IRAM2または外部メモリ上の命令を実行する場合

I.6.2 IRAMエリア

0x0番地から0xfff番地までの4Kバイトの領域にはRAMが内蔵されています。このRAMは、アクセスサイズにかかわらずライト時は1サイクル、リード時は2サイクルでアクセスされます。IRAM内の命令は1サイクルで読み出し可能です。

注: • 内蔵RAMの先頭の64バイト(0x0～0x3f)はオンチップデバッガ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

• `ld.a`命令によってIRAMエリアにデータを書き込む場合、32ビット中の上位8ビット(D[31:24])には何も書き込まれません。
例: `ld.a [%rb],%rs`



図I.6.2.1 IRAMへの24ビット書き込み

I.6.3 IRAM2エリア

0x6000番地から0x67ff番地までの2Kバイトの領域にはRAM(IRAM2)が内蔵されています。
IRAM2の動作にはRTCV$_{DD}$電圧を使用します。これにより、システムの電源をOFFにした場合でもバッテリバックアップが可能です。

I.6.4 Flashエリア

0x20000番地から0x3ffff番地までの128Kバイト、または0x20000番地から0x37fff番地までの96Kバイトの領域にはFlashメモリ(4Kバイト/セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x20000番地はベクタテーブルベースアドレスとして定義されていますので、ここにリセットベクタを置く必要があります。ベクタテーブルベースアドレスはTTBR_LOW/HIGHレジスタ(0x5814、0x5816)で変更可能です。
Flashメモリのデータは最小1サイクルで読み出すことができます。
Flashメモリについては、"III.1 Flashコントローラ(FLASHC)"を参照してください。

注: Flashメモリ内のhalt命令を実行すると、Flashエリアのチップセレクト信号が出力されたままHALTモードになります。HALTモード中もFlashメモリがアクティブとなるため、消費電流が増加します。したがって、チップをHALT状態にする場合は、IRAMに書き込んだプログラムでhalt命令を実行してください。

I.6.5 内蔵周辺回路エリア

0x4000番地および0x4400番地から始まる2つのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

I.6.5.1 S1C17コア周辺回路エリア(0x4000～)

0x4000番地から始まるS1C17コア周辺回路エリアには以下に示すコアモジュール内蔵周辺機能用のI/Oメモリが割り付けられており、最小4サイクルでアクセス可能です。

- プリスケーラ(PSC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- クロックジェネレータ(CLG, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I²C(I2C, 16ビットデバイス)

I.6.5.2 拡張周辺回路エリア(0x4400～)

0x4400番地から始まる拡張内蔵周辺回路エリアには以下の周辺機能用I/Oメモリが割り付けられており、最小4サイクルでアクセス可能です。

- 汎用入出力ポート(GPIO, 8ビットデバイス)
- USBファンクションコントローラ(USB, 8ビットデバイス)
- リアルタイムクロック(RTC, 8ビットデバイス)
- 8ビットプログラマブルタイマ(PT8, 8ビットデバイス)
- クロックマネージメントユニット(CMU, 8ビットデバイス)
- SRAMコントローラ(SRAMC, 16ビットデバイス)
- 16ビットマルチファンクションタイマ(MFT, 16ビットデバイス)
- I²S(I2S, 16ビットデバイス)
- リモートコントローラ(REMC, 16ビットデバイス)
- A/D変換器(ADC, 16ビットデバイス)
- ウォッチドッグタイマ(WDT, 16ビットデバイス)
- 拡張SPI(ESPI, 16ビットデバイス)
- Flashコントローラ(FLASHC, 16ビットデバイス)

I.6.5.3 I/Oマップ

内蔵周辺回路エリアのI/Oマップを以下に示します。各制御レジスタの詳細については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

表I.6.5.3.1 I/Oマップ(S1C17コア周辺回路エリア)

周辺回路	アドレス	レジスタ名		機　能
プリスケーラ (8ビットデバイス)	0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御
	0x4021–0x403f	–	–	Reserved
UART(IrDA付き) (8ビットデバイス)	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106–0x411f	–	–	Reserved
CLG_T16U0 タイマ (16ビットデバイス)	0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
	0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
	0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208–0x421f	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
CLG_T8Sタイマ（16ビットデバイス）	0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248–0x425f	–	–	Reserved
CLG_T8Iタイマ（16ビットデバイス）	0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
	0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
	0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268–0x427f	–	–	Reserved
割り込みコントローラ（16ビットデバイス）	0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x42e4	–	–	Reserved
	0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
	0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
	0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0割り込みレベルの設定
	0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1、CH.2割り込みレベルの設定
	0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3
	0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1、USB割り込みレベルの設定
	0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I²S割り込みレベルの設定
	0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
	0x42f6–0x42ff	–	–	Reserved
	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
割り込みコントローラ（16ビットデバイス）	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0タイマ割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I²C割り込みレベルの設定
	0x4316–0x431f	–	–	Reserved
SPI（16ビットデバイス）	0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
	0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
	0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定
	0x4328–0x433f	–	–	Reserved
I²C（16ビットデバイス）	0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
	0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
	0x4344	I2C_DAT	I²C Data Register	送受信データ
	0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御
	0x4348–0x435f	–	–	Reserved

表I.6.5.3.2 I/Oマップ（拡張周辺回路エリア）

周辺回路	アドレス	レジスタ名		機　能
汎用入出力ポート（8ビットデバイス）	0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
	0x4401	–	–	Reserved
	0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
	0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
	0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
	0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
	0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
	0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
	0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
	0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
	0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
	0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
	0x440c	P6_DAT	P6 Port Input/Output Data Register	P6ポート入出力データ
	0x440d	P6_IOC	P6 Port I/O Control Register	P6ポート入出力方向の選択
	0x440e	P7_DAT	P7 Port Input/Output Data Register	P7ポート入出力データ

周辺回路	アドレス	レジスタ名		機　能
汎用入出力ポート（8ビットデバイス）	0x440f	P7_IOC	P7 Port I/O Control Register	P7ポート入出力方向の選択
	0x4410	P8_DAT	P8 Port Input/Output Data Register	P8ポート入出力データ
	0x4411	P8_IOC	P8 Port I/O Control Register	P8ポート入出力方向の選択
	0x4412	P9_DAT	P9 Port Input/Output Data Register	P9ポート入出力データ
	0x4413	P9_IOC	P9 Port I/O Control Register	P9ポート入出力方向の選択
	0x4414	PA_DAT	PA Port Input/Output Data Register	PAポート入出力データ
	0x4415	PA_IOC	PA Port I/O Control Register	PAポート入出力方向の選択
	0x4416	PB_DAT	PB Port Input/Output Data Register	PBポート入出力データ
	0x4417	PB_IOC	PB Port I/O Control Register	PBポート入出力方向の選択
	0x4418	PC_DAT	PC Port Input/Output Data Register	PCポート入出力データ
	0x4419	PC_IOC	PC Port I/O Control Register	PCポート入出力方向の選択
	0x441a–0x441f	–	–	Reserved
	0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
	0x4421	P0_47_CFP	P04–P07 Port Function Select Register	P04–P07ポート機能の選択
	0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
	0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
	0x4424	P2_03_CFP	P20–P23 Port Function Select Register	P20–P23ポート機能の選択
	0x4425	P2_47_CFP	P24–P27 Port Function Select Register	P24–P27ポート機能の選択
	0x4426	P3_03_CFP	P30–P33 Port Function Select Register	P30–P33ポート機能の選択
	0x4427	P3_47_CFP	P34–P37 Port Function Select Register	P34–P37ポート機能の選択
	0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
	0x4429	P4_45_CFP	P44–P45 Port Function Select Register	P44–P45ポート機能の選択
	0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
	0x442b	P5_47_CFP	P54–P57 Port Function Select Register	P54–P57ポート機能の選択
	0x442c	P6_03_CFP	P60–P63 Port Function Select Register	P60–P63ポート機能の選択
	0x442d	P6_47_CFP	P64–P67 Port Function Select Register	P64–P67ポート機能の選択
	0x442e	P7_03_CFP	P70–P73 Port Function Select Register	P70–P73ポート機能の選択
	0x442f	P7_47_CFP	P74–P77 Port Function Select Register	P74–P77ポート機能の選択
	0x4430	P8_03_CFP	P80–P83 Port Function Select Register	P80–P83ポート機能の選択
	0x4431	P8_46_CFP	P84–P86 Port Function Select Register	P84–P86ポート機能の選択
	0x4432	P9_03_CFP	P90–P93 Port Function Select Register	P90–P93ポート機能の選択
	0x4433	P9_47_CFP	P94–P97 Port Function Select Register	P94–P97ポート機能の選択
	0x4434	PA_03_CFP	PA0–PA3 Port Function Select Register	PA0–PA3ポート機能の選択
	0x4435	PA_46_CFP	PA4–PA6 Port Function Select Register	PA4–PA6ポート機能の選択
	0x4436	PB_03_CFP	PB0–PB3 Port Function Select Register	PB0–PB3ポート機能の選択
	0x4437	PB_47_CFP	PB4–PB7 Port Function Select Register	PB4–PB7ポート機能の選択
	0x4438	PC_03_CFP	PC0–PC3 Port Function Select Register	PC0–PC3ポート機能の選択
	0x4439	PC_47_CFP	PC4–PC7 Port Function Select Register	PC4–PC7ポート機能の選択
	0x443a–0x443f	–	–	Reserved
	0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用P*x*0ポートの選択
	0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用P*x*1ポートの選択
	0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用P*x*2ポートの選択
	0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用P*x*3ポートの選択
	0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用P*x*4ポートの選択
	0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用P*x*5ポートの選択
	0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用P*x*6ポートの選択
	0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用P*x*7ポートの選択
	0x4448–0x44ff	–	–	Reserved
USBファンクションコントローラ（8ビットデバイス）	0x4500	MainIntStat	Main Interrupt Status Register	メイン割り込みステータス
	0x4501	SIE_IntStat	SIE Interrupt Status Register	SIE割り込みステータス
	0x4502	EPrIntStat	EPr Interrupt Status Register	EPr割り込みステータス
	0x4503	–	–	Reserved
	0x4504	FIFO_IntStat	FIFO Interrupt Status Register	FIFO割り込みステータス
	0x4505–0x4506	–	–	Reserved
	0x4507	EP0IntStat	EP0 Interrupt Status Register	EP0割り込みステータス
	0x4508	EPaIntStat	EPa Interrupt Status Register	EPa割り込みステータス
	0x4509	EPbIntStat	EPb Interrupt Status Register	EPb割り込みステータス
	0x450a	EPcIntStat	EPc Interrupt Status Register	EPc割り込みステータス
	0x450b	EPdIntStat	EPd Interrupt Status Register	EPd割り込みステータス
	0x450c–0x450f	–	–	Reserved
	0x4510	MainIntEnb	Main Interrupt Enable Register	メイン割り込みイネーブル
	0x4511	SIE_IntEnb	SIE Interrupt Enable Register	Enables SIE割り込みイネーブル
	0x4512	EPrIntEnb	EPr Interrupt Enable Register	Enables EPr割り込みイネーブル
	0x4513	–	–	Reserved
	0x4514	FIFOIntEnb	FIFO Interrupt Enable	Enables FIFO割り込みイネーブル
	0x4515–0x4516	–	–	Reserved
	0x4517	EP0IntEnb	EP0 Interrupt Enable Register	EP0割り込みイネーブル
	0x4518	EPaIntEnb	EPa Interrupt Enable Register	EPa割り込みイネーブル

周辺回路	アドレス	レジスタ名		機　能
USB ファンクション コントローラ (8ビットデバイス)	0x4519	EPbIntEnb	EPb Interrupt Enable Register	EPb割り込みイネーブル
	0x451a	EPcIntEnb	EPc Interrupt Enable Register	EPc割り込みイネーブル
	0x451b	EPdIntEnb	EPd Interrupt Enable Register	EPd割り込みイネーブル
	0x451c–0x451f	–	–	Reserved
	0x4520	RevisionNum	Revision Number Register	USBコントローラのリビジョン番号表示
	0x4521	USB_Control	USB Control Register	USBの制御
	0x4522	USB_Status	USB Status Register	USBステータス
	0x4523	XcvrControl	Xcvr Control Register	送信マクロの制御
	0x4524	USB_Test	USB Test Register	USBテストモードの設定
	0x4525	EPnControl	Endpoint Control Register	全FIFOのクリアとNAK/STALLのセット
	0x4526	EPrFIFO_Clr	EPr FIFO Clear Register	FIFOの個別クリア
	0x4527–0x452d	–	–	Reserved
	0x452e	FrameNumber_H	Frame Number High Register	フレーム番号
	0x452f	FrameNumber_L	Frame Number Low Register	
	0x4530	EP0Setup_0	EP0 Setup 0 Register	EP0設定データ(BmRequestType)
	0x4531	EP0Setup_1	EP0 Setup 1 Register	EP0設定データ(BRequest)
	0x4532	EP0Setup_2	EP0 Setup 2 Register	EP0設定データ(Wvalue下位ビット)
	0x4533	EP0Setup_3	EP0 Setup 3 Register	EP0設定データ(Wvalue上位ビット)
	0x4534	EP0Setup_4	EP0 Setup 4 Register	EP0設定データ(WIndex下位ビット)
	0x4535	EP0Setup_5	EP0 Setup 5 Register	EP0設定データ(WIndex上位ビット)
	0x4536	EP0Setup_6	EP0 Setup 6 Register	EP0設定データ(WLength下位ビット)
	0x4537	EP0Setup_7	EP0 Setup 7 Register	EP0設定データ(WLength上位ビット)
	0x4538	USB_Address	USB Address Register	USBアドレスの設定
	0x4539	EP0Control	EP0 Control Register	EP0の制御
	0x453a	EP0ControlIN	EP0 Control In Register	EP0 INトランザクションの設定
	0x453b	EP0ControlOUT	EP0 Control Out Register	EP0 OUTトランザクションの設定
	0x453c–0x453e	–	–	Reserved
	0x453f	EP0MaxSize	EP0 Max Packet Size Register	EP0最大パケットサイズの設定
	0x4540	EPaControl	EPa Control Register	EPaの制御
	0x4541	EPbControl	EPb Control Register	EPbの制御
	0x4542	EPcControl	EPc Control Register	EPcの制御
	0x4543	EPdControl	EPd Control Register	EPdの制御
	0x4544–0x454f	–	–	Reserved
	0x4550	EPaMaxSize_H	EPa Max Packet Size High Register	EPa最大パケットサイズの設定
	0x4551	EPaMaxSize_L	EPa Max Packet Size Low Register	
	0x4552	EPaConfig_0	EPa Configuration 0 Register	EPaの設定
	0x4553	EPaConfig_1	EPa Configuration 1 Register	
	0x4554	EPbMaxSize_H	EPb Max Packet Size High Register	EPb最大パケットサイズの設定
	0x4555	EPbMaxSize_L	EPb Max Packet Size Low Register	
	0x4556	EPbConfig_0	EPb Configuration 0 Register	EPbの設定
	0x4557	EPbConfig_1	EPb Configuration 1 Register	
	0x4558	EPcMaxSize_H	EPc Max Packet Size High Register	EPc最大パケットサイズの設定
	0x4559	EPcMaxSize_L	EPc Max Packet Size Low Register	
	0x455a	EPcConfig_0	EPc Configuration 0 Register	EPcの設定
	0x455b	EPcConfig_1	EPc Configuration 1 Register	
	0x455c	EPdMaxSize_H	EPd Max Packet Size High Register	EPd最大パケットサイズの設定
	0x455d	EPdMaxSize_L	EPd Max Packet Size Low Register	
	0x455e	EPdConfig_0	EPd Configuration 0 Register	EPdの設定
	0x455f	EPdConfig_1	EPd Configuration 1 Register	
	0x4560–0x456f	–	–	Reserved
	0x4570	EPaStartAdrs_H	EPa FIFO Start Address High Register	EPa FIFOスタートアドレスの設定
	0x4571	EPaStartAdrs_L	EPa FIFO Start Address Low Register	
	0x4572	EPbStartAdrs_H	EPb FIFO Start Address High Register	EPb FIFOスタートアドレスの設定
	0x4573	EPbStartAdrs_L	EPb FIFO Start Address Low Register	
	0x4574	EPcStartAdrs_H	EPc FIFO Start Address High Register	EPc FIFOスタートアドレスの設定
	0x4575	EPcStartAdrs_L	EPc FIFO Start Address Low Register	
	0x4576	EPdStartAdrs_H	Epd FIFO Start Address High Register	EPd FIFOスタートアドレスの設定
	0x4577	EPdStartAdrs_L	EPd FIFO Start Address Low Register	
	0x4578–0x457f	–	–	Reserved
	0x4580	CPU_JoinRd	CPU Join FIFO Read Register	FIFOデータリードの設定
	0x4581	CPU_JoinWr	CPU Join FIFO Write Register	FIFOデータライトの設定
	0x4582	EnEPnFIFO _Access	EPn FIFO Access Enable Register	CPU_JoinRd、CPU_JoinWrレジスタイネーブル
	0x4583	EPnFIFOforCPU	EPn FIFO for CPU Register	CPUアクセス用EPn FIFOレジスタ
	0x4584	EPnRdRemain_H	EPn FIFO Read Remain High Register	FIFO内のデータ残量
	0x4585	EPnRdRemain_L	EPn FIFO Read Remain Low Register	
	0x4586	EPnWrRemain_H	EPn FIFO Write High Register	FIFO内の空き容量
	0x4587	EPnWrRemain_L	EPn FIFO Write Low Register	

周辺回路	アドレス	レジスタ名		機　能
USB ファンクション コントローラ (8ビットデバイス)	0x4588	DescAdrs_H	Descriptor Address High Register	デスクリプタ返信機能用FIFO開始アドレスの指定
	0x4589	DescAdrs_L	Descriptor Address Low Register	
	0x458a	DescSize_H	Descriptor Size High Register	デスクリプタ返信機能用データ数の指定
	0x458b	DescSize_L	Descriptor Size Low Register	
	0x458c–0x458e	–	–	Reserved
	0x458f	DescDoor	Descriptor Door Register	デスクリプタのリード/ライト
	0x4590–0x45ff	–	–	Reserved
リアルタイム クロック (8ビットデバイス)	0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
	0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
	0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
	0x4603	RTC_CNTL1	RTC Control 1 Register	
	0x460f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定
	0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
	0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
	0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
	0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
	0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
	0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
	0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
	0x462b–0x46ff	–	–	Reserved
8ビット プログラマブル タイマCH.0 (8ビットデバイス)	0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
	0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
	0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
	0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.1 (8ビットデバイス)	0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
	0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
	0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
	0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.2 (8ビットデバイス)	0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
	0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
	0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
	0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.3 (8ビットデバイス)	0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
	0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
	0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
	0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP
	0x4810–0x48ff	–	–	Reserved
クロック マネージメント ユニット (8ビットデバイス)	0x4900	CMU_SYSCLKCTL	System Clock Control Register	システムクロックの制御
	0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
	0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
	0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
	0x4904	–	–	Reserved
	0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
	0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
	0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
	0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
	0x4909	CMU_USBWT	USB Wait Control Register	USBレジスタアクセス用ウェイトサイクルの設定
	0x490a–0x491f	–	–	Reserved
	0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900～0x4909)書き込み保護の設定/解除
	0x4921–0x49ff	–	–	Reserved
SRAM コントローラ (16ビットデバイス)	0x5000	EXTMEM_SWAIT	External Memory Static Wait Control Register	スタティックウェイトサイクルの設定
	0x5002	–	–	Reserved
	0x5004	EXTMEM_SIZE	External Memory Device Size Setup Register	デバイスサイズ(8/16ビット)の選択
	0x5006	–	–	Reserved
	0x5008	EXTMEM_A0_BSL	External Memory Device Type Setup Register	デバイスタイプ(A0/BSL)の選択
	0x500a–0x500f	–	–	Reserved
	0x5010	IRAM2_SWAIT	Internal Memory Static Wait Control Register	IRAM2リードサイクルの設定
	0x5012	–	–	Reserved
	0x5014	MAC_WAIT	MAC Wait Control Register	MACウェイトサイクルの設定
	0x5016	–	–	Reserved
	0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定
	0x501a–0x50ff	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
マルチファンクションタイマ（16ビットデバイス）	0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
	0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
	0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
	0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5208–0x521d	–	–	Reserved
	0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
	0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
	0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
	0x523a–0x527d	–	–	Reserved
	0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御
	0x5280–0x52ff	–	–	Reserved
I²S（16ビットデバイス）	0x5300	I2S_CTL_OUT	I²S CH.0 Control Register	出力条件の設定
	0x5302	I2S_CTL_IN	I²S CH.1 Control Register	入力条件の設定
	0x5304	I2S_DV_MCLK	I²S MCLK Divide Ratio Register	MCLKの設定
	0x5306	I2S_DV_AUDIO_CLK	I²S Audio Clock Divide Ratio Register	オーディオクロックの設定
	0x5308	I2S_START	I²S Start/Stop Register	I²S動作状態の制御と表示
	0x530a	I2S_FIFO_STAT	I²S FIFO Status Register	FIFOステータスの表示
	0x530c	I2S_INT_MOD	I²S Interrupt Mode Select Register	I²S割り込み条件の設定
	0x5310	I2S_FIFO_OUT	I²S CH.0 FIFO Register	L/Rチャネル出力データ (16または24ビットアクセス)
	0x5314	I2S_FIFO_IN	I²S CH.1 FIFO Register	L/Rチャネル入力データ(16ビットアクセス)
	0x5318–0x53ff	–	–	Reserved
リモートコントローラ（16ビットデバイス）	0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケーラの設定
	0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
	0x5406	–	–	Reserved
	0x5408	REMC_CTL	REMC Control Register	送信制御
	0x540a	–	–	Reserved
	0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
	0x540e	REMC_ENVL	REMC Envelope Load Register	エンベロープパルス幅の設定
	0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベロープパルス幅
	0x5412–0x54ff	–	–	Reserved
A/D変換器（16ビットデバイス）	0x5500–0x551f	–	–	Reserved
	0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
	0x5522–0x553f	–	–	Reserved
	0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
	0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャネルと変換モードの設定
	0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
	0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
	0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
	0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
	0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
	0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
	0x5550	AD_CH4_BUF	A/D CH.4 Conversion Result Buffer Register	A/D CH.4変換データ
	0x5552	AD_CH5_BUF	A/D CH.5 Conversion Result Buffer Register	A/D CH.5変換データ
	0x5554	AD_CH6_BUF	A/D CH.6 Conversion Result Buffer Register	A/D CH.6変換データ
	0x5556	AD_CH7_BUF	A/D CH.7 Conversion Result Buffer Register	A/D CH.7変換データ
	0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
	0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
	0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャネルのマスク
	0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示
ウォッチドッグタイマ（16ビットデバイス）	0x5600–0x565f	–	–	Reserved
	0x5660	WD_WP	WDT Write Protect Register	WDT制御レジスタ書き込み保護の設定/解除
	0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
	0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
	0x5666	WD_CMP_H	WDT Comparison Data H Register	
	0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
	0x566a	WD_CNT_H	WDT Count Data H Register	
	0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット
	0x566e–0x56ff	–	–	Reserved
拡張SPI（16ビットデバイス）	0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
	0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
	0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
	0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
	0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定
	0x570a–0x57ff	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
Flash コントローラ (16ビットデバイス)	0x5800	FLASH_CTL	FLASHC Control Register	Flash消去/プログラミングの制御
	0x5802	FLASH_ADDR	FLASHC Sector Address Register	Flashセクタ消去アドレスの設定
	0x5804	FLASH_WAIT	FLASHC Wait Register	Flashリード用ウェイトサイクルの設定
	0x5806–0x580f	–	–	Reserved
	0x5810	FLASH_PROT	FLASHC Protect Register	Flash制御レジスタ書き込み保護の設定/解除
	0x5812	–	–	Reserved
	0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
	0x5816	TTBR_HIGH	Trap Table Base Register 1	
	0x5818–0x58ff	–	–	Reserved

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

I.6.6 S1C17コアI/O予約エリア

0xfffc00～0xffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表I.6.6.1 I/Oマップ(コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機　能
S1C17コアI/O	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

DBRAMについては“I.5.5.2 デバッグ用ワークエリア”を参照してください。

I.7 電気的特性

I.7.1 絶対最大定格

(V_{SS} = 0V)

項 目	記号	条 件	定 格 値	単位
電源電圧	V_{DD}		-0.3〜4.0	V
RTC電源電圧	$RTCV_{DD}$		-0.3〜4.0	V
入力電圧	V_I		-0.3〜V_{DD} + 0.3	V
出力電圧	V_O		-0.3〜V_{DD} + 0.3	V
高レベル出力電流	I_{OH}	1端子	-10	mA
		全端子合計	-40	mA
低レベル出力電流	I_{OL}	1端子	10	mA
		全端子合計	40	mA
アナログ電源電圧	AV_{DD}		-0.3〜7.0	V
アナログ入力電圧	AV_{IN}		-0.3〜AV_{DD} + 0.3	V
動作温度	Topr	Flashリード時	-40〜85	°C
		Flash消去/プログラミング時	-40〜70	°C
		USB使用時	0〜70	°C
保存温度	Tstg		-65〜150	°C
半田付け温度・時間	Tsol		260°C, 10秒（リード部）	–

I.7.2 推奨動作条件

(Ta = -40〜85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
コア & I/O電圧	V_{DD}		3.0	3.3	3.6	V
アナログ(I/O)電圧	AV_{DD}		2.7		5.5	V
RTC電源電圧	$RTCV_{DD}$		3.0	3.3	3.6	V
動作周波数	f_{OSC3}	水晶/セラミック発振	1		48	MHz
		外部クロック入力			48	MHz
	f_{OSC1}	水晶発振		32.768		kHz
		外部クロック入力		32.768		kHz
入力電圧	V_I		V_{SS}		V_{DD}	V
入力立ち上がり時間(通常入力)	t_{ri}				50	ns
入力立ち下がり時間(通常入力)	t_{fi}				50	ns
入力立ち上がり時間(シュミット入力)	t_{ri}				5	ms
入力立ち下がり時間(シュミット入力)	t_{fi}				5	ms

I.7.3 DC特性

特記なき場合: V_{DD} = 3.0〜3.6V, V_{SS} = 0V, Ta = -40〜85°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
入力リーク電流	I_{LI}		-1		1	µA
オフステートリーク電流	I_{OZ}		-1		1	µA
高レベル出力電圧	I_{OH}	I_{OH} = -2mA (Type 1), I_{OH} = -12mA (Type 3), V_{DD} = Min.	V_{DD} - 0.4			V
低レベル出力電圧	I_{OL}	I_{OL} = 2mA (Type 1), I_{OL} = 12mA (Type 3), V_{DD} = Min.			0.4	V
高レベル入力電圧	V_{IH}	CMOSレベル, V_{DD} = Max.	2.4			V
低レベル入力電圧	V_{IL}	CMOSレベル, V_{DD} = Min.			0.4	V
ポジティブトリガ入力電圧	V_{T1+}	LVTTLシュミット	1.1		2.4	V
ネガティブトリガ入力電圧	V_{T1-}	LVTTLシュミット	0.6		1.8	V
ヒステリシス電圧	V_H	LVTTLシュミット	0.1			V
プルアップ抵抗	R_{PU}	100kΩ type, VI = 0V	50	100	288	kΩ
		50kΩ type, VI = 0V	25	50	144	kΩ
入力端子容量	C_I	f = 1MHz, V_{DD} = 0V			10	pF
出力端子容量	C_O	f = 1MHz, V_{DD} = 0V			10	pF
入出力端子容量	C_{IO}	f = 1MHz, V_{DD} = 0V			10	pF

注: 端子の特性については、“I.3.4 入出力セルと入出力特性”を参照してください。

I.7.4 消費電流

特記なき場合: V_{DD} = 3.3V, AV_{DD} = 3.3V, $RTCV_{DD}$ = 3.3V, V_{SS} = 0V, Ta = 25°C, 周辺モジュール: 停止

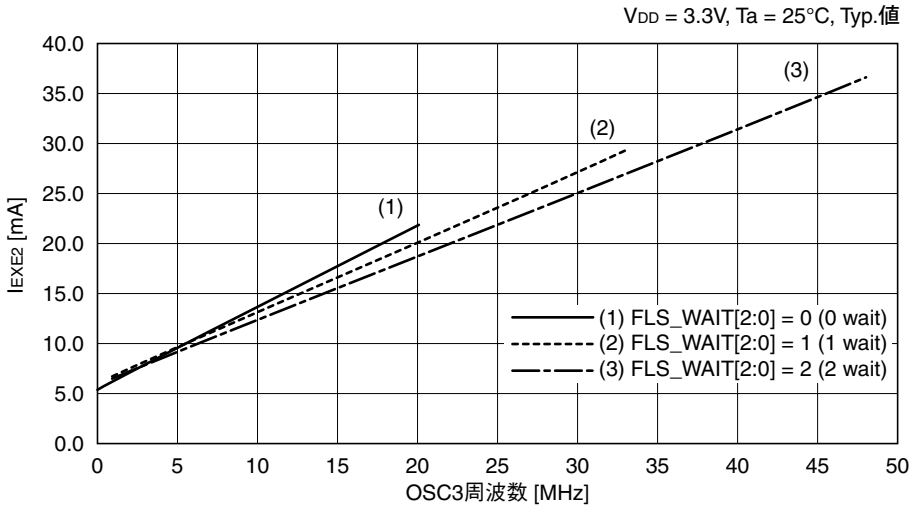
項 目	記号	条 件	Min.	Typ.	Max.	単位
バッテリー バックアップ電流	I_{BB1}	OSC1: Off *4, RTC: 停止, V_{DD}/AV_{DD}: Off		0.085		µA
	I_{BB2}	OSC1: 32kHz, RTC: 動作, V_{DD}/AV_{DD}: Off		3.7		µA
SLEEP時消費電流	I_{SLP1}	OSC1: Off *4, OSC3: Off, RTC: 停止		1.4		µA
	I_{SLP2}	OSC1: 32kHz, OSC3: Off, RTC: 動作		6		µA
HALT時消費電流 (IRAM上で実行) *1	I_{HALT11}	OSC1: 32kHz, OSC3: Off, RTC: 動作		12		µA
	I_{HALT12}	OSC1: 32kHz, OSC3: 1MHz, RTC: 動作		0.34		mA
	I_{HALT13}	OSC1: 32kHz, OSC3: 4MHz, RTC: 動作		1.3		mA
	I_{HALT14}	OSC1: 32kHz, OSC3: 8MHz, RTC: 動作		2.7		mA
	I_{HALT15}	OSC1: 32kHz, OSC3: 20MHz, RTC: 動作		6.6		mA
	I_{HALT16}	OSC1: 32kHz, OSC3: 25MHz, RTC: 動作		8.3		mA
	I_{HALT17}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作		11		mA
	I_{HALT18}	OSC1: 32kHz, OSC3: 48MHz, RTC: 動作		16		mA
実行時消費電流 (IRAM上で実行) *2	I_{EXE11}	OSC1: 32kHz, OSC3: Off, RTC: 動作		29		µA
	I_{EXE12}	OSC1: 32kHz, OSC3: 1MHz, RTC: 動作		0.80		mA
	I_{EXE13}	OSC1: 32kHz, OSC3: 4MHz, RTC: 動作		3.2		mA
	I_{EXE14}	OSC1: 32kHz, OSC3: 8MHz, RTC: 動作		6.4		mA
	I_{EXE15}	OSC1: 32kHz, OSC3: 20MHz, RTC: 動作		16		mA
	I_{EXE16}	OSC1: 32kHz, OSC3: 25MHz, RTC: 動作		20		mA
	I_{EXE17}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作		26		mA
	I_{EXE18}	OSC1: 32kHz, OSC3: 48MHz, RTC: 動作		38		mA
実行時消費電流 (Flash上で実行) *3	I_{EXE21}	OSC1: 32kHz, OSC3: Off, RTC: 動作		5.1		mA
	I_{EXE22}	OSC1: 32kHz, OSC3: 1MHz, RTC: 動作		6.0		mA
	I_{EXE23}	OSC1: 32kHz, OSC3: 4MHz, RTC: 動作		8.5		mA
	I_{EXE24}	OSC1: 32kHz, OSC3: 8MHz, RTC: 動作		12		mA
	I_{EXE25}	OSC1: 32kHz, OSC3: 20MHz, RTC: 動作		22		mA
	I_{EXE26}	OSC1: 32kHz, OSC3: 25MHz, RTC: 動作		24		mA
	I_{EXE27}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作		29		mA
	I_{EXE28}	OSC1: 32kHz, OSC3: 48MHz, RTC: 動作		37		mA
USB動作時消費電流	I_{USB}	USB_SAPB_CLK: On, USB_CLK: On		38		mA
ADC動作時消費電流	I_{ADC1}	ADCイネーブル&待機時, システムクロック: OSC1, OSC1: 32kHz, OSC3: 48MHz, RTC: 停止, その他の周辺回路: 停止(0x4906 = 0x00, 0x4907 = 0x00, 0x4908 = 0x08), ADCのみ動作, 変換クロック周波数: 2MHz		17		mA
	I_{ADC2}	ADC変換動作時, システムクロック: OSC1, OSC1: 32kHz, OSC3: 48MHz, RTC: 停止, その他の周辺回路: 停止(0x4906 = 0x00, 0x4907 = 0x00, 0x4908 = 0x08), ADCのみ動作, 変換クロック周波数: 2MHz		18		mA
Flashチップ消去時 消費電流	I_{FCERS}			67		mA
Flashセクタ消去時 消費電流	I_{FSERS}			69		mA
Flashプログラミング時 消費電流	I_{FPRG}			20		mA

*1) halt命令をIRAM上で実行した場合
*2) IRAM上のプログラムを実行時
*3) Flash上のプログラムを実行時
*4) 発振子を使用しない場合(OSC1発振回路を停止する機能はありません。)

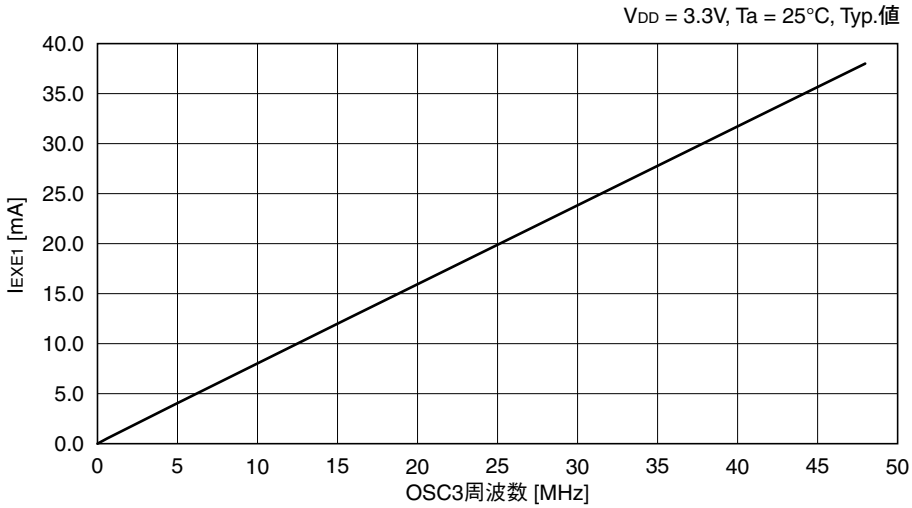
注: • Flashメモリ内にあるhalt命令を実行すると、S1C17501はFlashエリアのチップセレクト信号をアクティブにしたままHALTモードに移行します。この場合、FlashメモリがHALTモードの間アクティブのままとなりますので、消費電流が増加します。したがって、S1C17501をHALT状態にする場合は、halt命令をIRAM上で実行してください。

- 高速クロックを使用したプログラム実行時の消費電流がFlashメモリよりもIRAMの方が大きくなっていますが、これはIRAMの方がFlashメモリよりもプログラムの実行速度が高いためです。
- 実行時消費電流は、ロード命令 51%、演算命令 21%、分岐命令 10%、ext命令18%の試験プログラムを内蔵メモリ(IRAMまたはFlash)からフェッチしながら連続動作させた場合の値です。

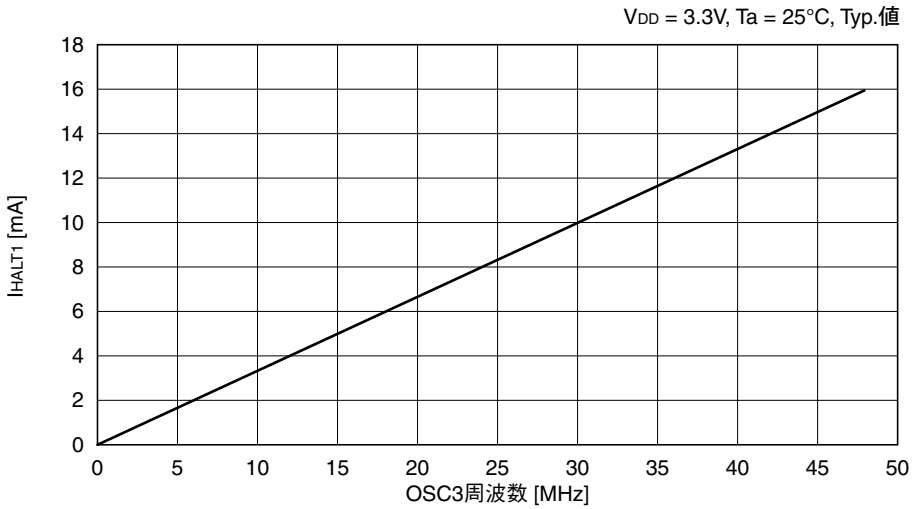
実行時消費電流 - 周波数特性（Flash上で実行）



実行時消費電流 - 周波数特性（IRAM上で実行）



HALT時消費電流 - 周波数特性（halt命令をIRAM上で実行）



I.7.5 A/D変換器特性

特記なき場合: V_{DD} = AV_{DD} = 3.0〜3.6V, V_{SS} = 0V, Ta = -40〜85°C, ST[1:0] = 11

項 目	記号	条 件	Min.	Typ.	Max.	単位
分解能	–			10		bit
変換時間 *1	–		10		1250	µs
ゼロスケール誤差	E_{ZS}		-2		2	LSB
フルスケール誤差	E_{FS}		-2		2	LSB
積分直線性誤差	E_L		-3		3	LSB
微分直線性誤差	E_D		-3		3	LSB
許容信号源インピーダンス	–				5	kΩ
アナログ入力容量	–				45	pF

*1) Min値はA/D変換器クロック入力=2MHzの場合。Max値はA/D変換器クロック入力=16kHzの場合

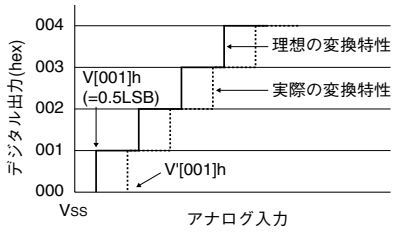
A/D変換誤差

V[001]h = 理想のゼロスケール点電圧(=0.5LSB)
V'[001]h = 実際のゼロスケール点電圧
V[3FF]h = 理想のフルスケール点電圧(=1022.5LSB)
V'[3FF]h = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

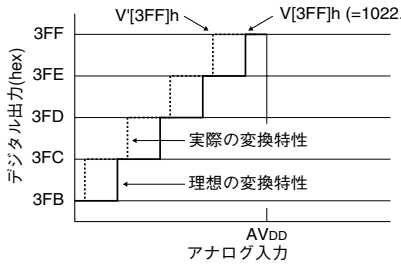
$$1LSB' = \frac{V'[3FF]h - V'[001]h}{2^{10} - 2}$$

■ゼロスケール誤差



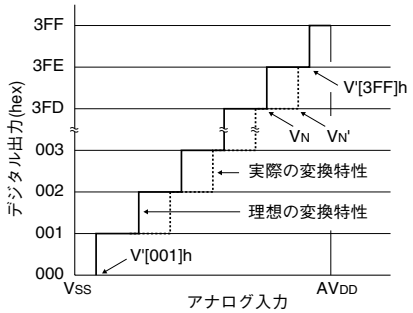
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]h - 0.5LSB') - (V[001]h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

■フルスケール誤差



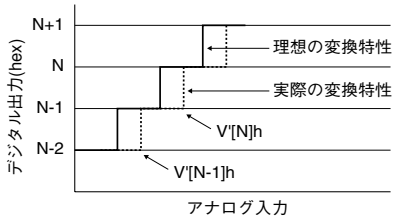
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]h + 0.5LSB') - (V[3FF]h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

■積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_N' - V_N}{1LSB'} \text{ [LSB]}$$

■微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V'[N]h - V'[N-1]h}{1LSB'} - 1 \text{ [LSB]}$$

I.7.6 発振特性

発振特性は使用部品(振動子、R_f、R_d、C_G、C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f、R_d)や容量(C_G、C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

OSC1水晶発振

特記なき場合: V_{DD} = 3.3V, $RTCV_{DD}$ = 3.3V, V_{SS} = 0V, Ta = 25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA1}	"I.8 基本外部結線図"記載の推奨部品使用の場合			3	s

OSC3水晶発振

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

特記なき場合: V_{DD} = 3.3V, V_{SS} = 0V, Ta = 25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA3}	"I.8 基本外部結線図"記載の推奨部品使用の場合			10	ms

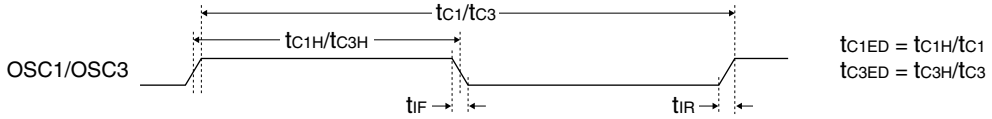
OSC3セラミック発振

特記なき場合: V_{SS} = 0V, Ta = 25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA3}	"I.8 基本外部結線図"記載の推奨部品使用の場合			5	ms

I.7.7 AC特性

I.7.7.1 外部クロック入力特性



OSC1外部クロック

特記なき場合: V_{DD} = 3.0〜3.6V, V_{SS} = 0V, Ta = -40〜85°C

項 目	記号	Min.	Typ.	Max.	単位
OSC1外部クロックサイクル時間	t_{C1}		30.51		µs
OSC1外部クロック入力デューティ	t_{C1ED}	45		55	%
OSC1外部クロック入力立ち上がり時間	t_{IF}			5	ns
OSC1外部クロック入力立ち下がり時間	t_{IR}			5	ns

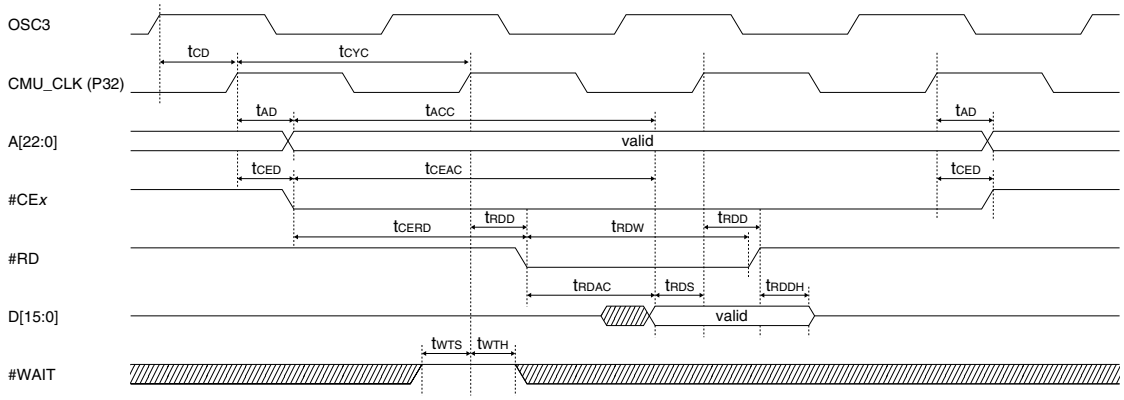
OSC3外部クロック

特記なき場合: V_{DD} = 3.0〜3.6V, V_{SS} = 0V, Ta = -40〜85°C

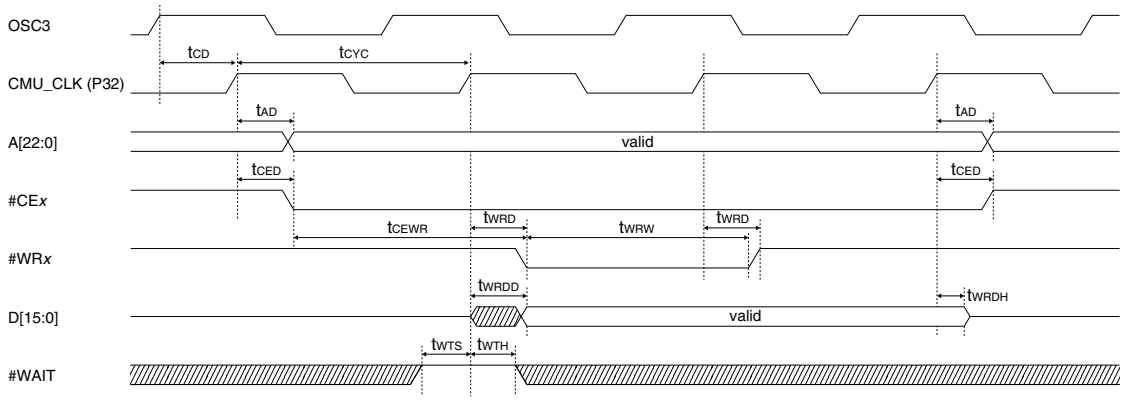
項 目	記号	Min.	Typ.	Max.	単位
OSC3外部クロックサイクル時間	t_{C3}	20.83		1000	ns
OSC3外部クロック入力デューティ	t_{C3ED}	45		55	%
OSC3外部クロック入力立ち上がり時間	t_{IF}			5	ns
OSC3外部クロック入力立ち下がり時間	t_{IR}			5	ns

I.7.7.2 SRAMC AC特性

SRAMリードサイクル



SRAMライトサイクル



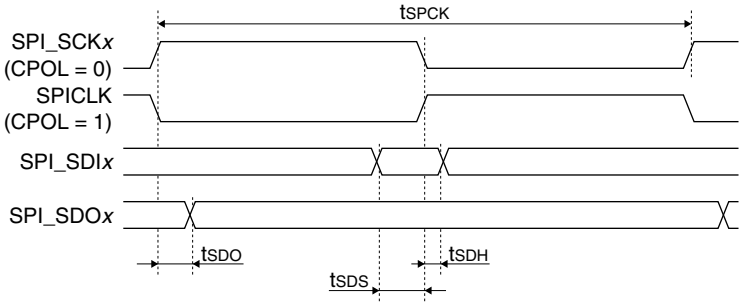
外部負荷: #CE*x*端子 = 20pF, その他の端子 = 50pF

特記なき場合: V_{DD} = 3.0〜3.6V, V_{SS} = 0V, Ta = -40〜85°C

項 目	記号	Min.	Typ.	Max.	単位
システムクロック周期	t_{CYC}	20.833			ns
CMU_CLK出力遅延時間	t_{CD}			24	ns
アドレス遅延時間	t_{AD}			12	ns
#CE遅延時間	t_{CED}			12	ns
ライト遅延時間	t_{WRD}			9	ns
ライトデータ遅延時間	t_{WRDD}			9	ns
ライトデータホールド時間	t_{WRDH}	-7			ns
#CEアクティブ→#RD遅延時間	t_{CERD}	13			ns
リード遅延時間	t_{RDD}			9	ns
リードデータセットアップ時間	t_{RDS}	7			ns
リードデータホールド時間	t_{RDDH}	-7			ns
#CEアクティブ→#WR遅延時間	t_{CEWR}	13			ns
#WAITセットアップ時間	t_{WTS}	7			ns
#WAITホールド時間	t_{WTH}	-7			ns
ライト信号パルス幅	t_{WRW}	t_{CYC}(1 + WC) - 9			ns
リード信号パルス幅	t_{RDW}	t_{CYC}(1 + WC) - 9			ns
リードアドレスアクセス時間	t_{ACC}			t_{CYC}(2 + WC) - 18	ns
チップイネーブルアクセス時間	t_{CEAC}			t_{CYC}(2 + WC) - 18	ns
リード信号アクセス時間	t_{RDAC}			t_{CYC}(1 + WC) - 15	ns

WC: ウェイトサイクル（min. 0）

I.7.7.3 SPI AC特性



マスタモード時

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = -40～85°C

項 目	記号	Min.	Typ.	Max.	単位
SPI_SCK*x*サイクル時間	t_{SPCK}	500			ns
SPI_SDI*x*セットアップ時間	t_{SDS}	70			ns
SPI_SDI*x*ホールド時間	t_{SDH}	10			ns
SPI_SDO*x*出力遅延時間	t_{SDO}			20	ns

スレーブモード時

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = -40～85°C

項 目	記号	Min.	Typ.	Max.	単位
SPI_SCK*x*サイクル時間	t_{SPCK}	500			ns
SPI_SDI*x*セットアップ時間	t_{SDS}	10			ns
SPI_SDI*x*ホールド時間	t_{SDH}	10			ns
SPI_SDO*x*出力遅延時間	t_{SDO}			80	ns

I.7.8 USB DC & AC特性

入力レベル

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = 0～70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
VBUS入力電圧 *1	V_{BUS}		4.40		5.25	V
高レベル入力電圧(駆動時) *2	V_{IH}		2.0			V
高レベル入力電圧(フローティング状態) *2	V_{IHZ}		2.7		3.6	V
低レベル入力電圧 *2	V_{IL}				0.8	V
差動入力感度	V_{DI}	|DP - DM|	0.2			V
差動コモンモードレンジ	V_{CM}	VDIレンジを含む	0.8		2.5	V

*1) 条件についてはUSB2.0仕様書の7.2.1節参照
*2) 条件についてはUSB2.0仕様書の7.1.4節参照

出力レベル

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = 0～70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
低レベル出力電圧 *3	V_{OL}		0		0.3	V
高レベル出力電圧(駆動時) *3	V_{OH}		2.8		3.6	V
出力信号クロスオーバー電圧 *4	V_{CRS}		1.3		2.0	V

*3) 条件についてはUSB2.0仕様書の7.1.1節参照
*4) 条件についてはUSB2.0仕様書の図7-8および図7-9参照

終端

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = 0～70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
アップストリームポート側 バスプルアップ抵抗(バスアイドル時) *5	R_{PUI}		0.9		1.575	kΩ
アップストリームポート側 バスプルアップ抵抗(受信時) *5	V_{PUA}		1.425		3.090	kΩ

*5) 条件についてはUSB2.0仕様書のECN参照

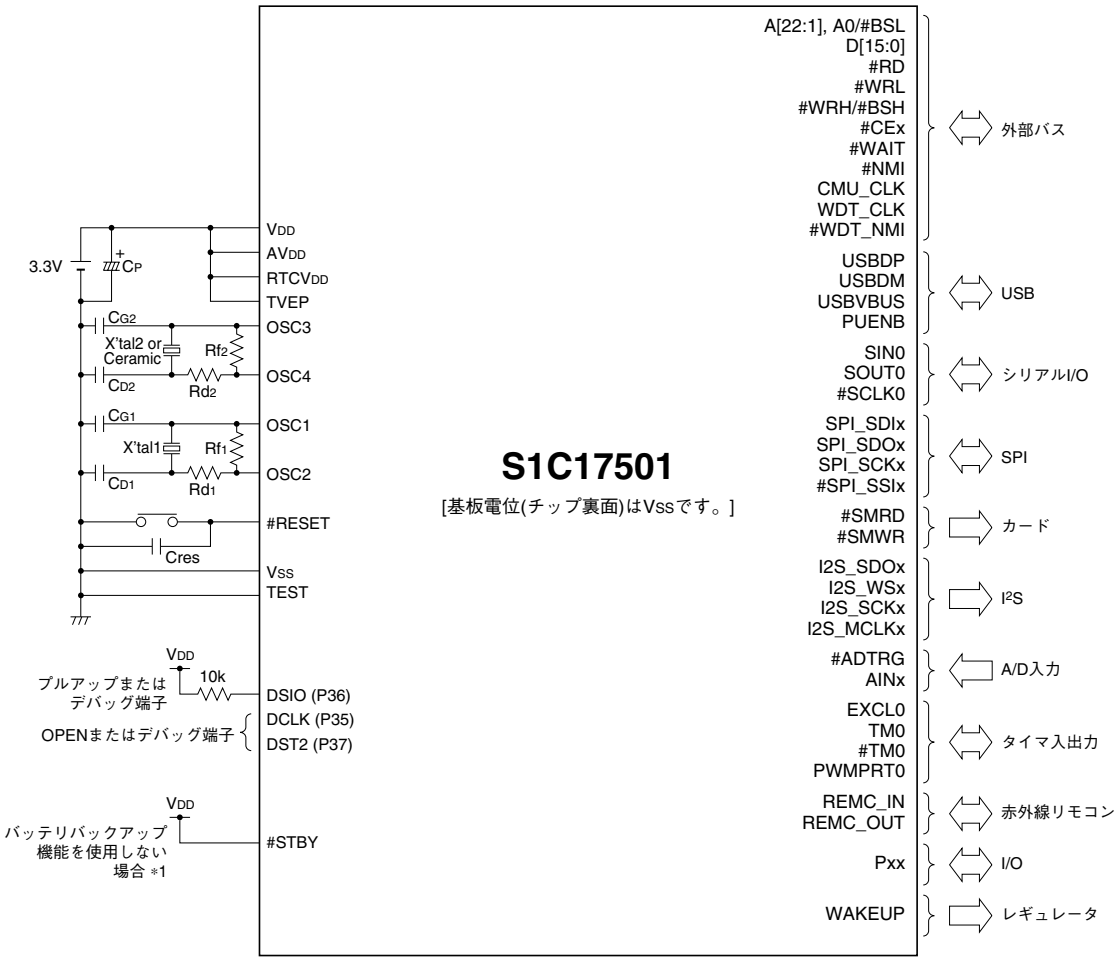
ドライバ特性

特記なき場合: V_{DD} = 3.0～3.6V, V_{SS} = 0V, Ta = 0～70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
立ち上がり時間 *4	T_{FR}		4		20	ns
立ち下がり時間 *4	T_{FF}		4		20	ns
差動立ち上がり/立ち下がり整合	T_{FRFM}	T_{FR}/T_{FF}	90		111.11	%
ドライバ出力抵抗	Z_{DRV}		28		44	Ω
VBUS入力インピーダンス	Z_{VBUS}	R1 + R2	125			kΩ
VBUS抵抗分割比		R1 : R2	1 : 2 (定格)			

*4) 条件についてはUSB2.0仕様書の図7-8および図7-9参照

I.8 基本外部結線図



*1 バッテリバックアップ機能を使用する場合は、II.5.6 WAKEUPと#STBYを参照してください。

外付部品推奨値

OSC1発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件
					C_{D1} [pF]	C_{G1} [pF]	R_{f1} [Ω]	R_{d1} [Ω]	温度範囲 [°C]
X'tal1	水晶振動子	エプソントヨコム株式会社	32.768k	*1	–	–	–	–	–
		(参考値)	32.768k	–	10	10	10M	0	-40～85

*1 推奨メーカーにお問い合わせください。

OSC3発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数 *2				推奨動作条件
					C_{D2} [pF]	C_{G2} [pF]	R_{f2} [Ω]	R_{d2} [Ω]	温度範囲 [°C]
X'tal2	水晶振動子	エプソントヨコム株式会社	1M～48M	*1	–	–	–	–	–
		(参考値)	1M～48M	–	15	15	1M	0	-40～85
Ceramic	セラミック発振子	株式会社村田製作所	1M	CSBFB1M00J58-R1 [SMD]	330	330	1M	680	-20～80
			1M	CSBLA1M00J58-B0 [リード]	330	330	1M	680	-20～80
			4M	CSTCR4M00G55-R0 [SMD]	(39)	(39)	1M	470	-20～80
			4M	CSTLS4M00G56-B0 [リード]	(47)	(47)	1M	330	-20～80
			10M	CSTCE10M0G55-R0 [SMD]	(33)	(33)	1M	220	-20～80
			10M	CSTLS10M0G56-B0 [リード]	(47)	(47)	1M	220	-20～80
			20M	CSTCE20M0V53-R0 [SMD]	(15)	(15)	1M	0	-20～80
			20M	CSTCG20M0V53-R0 [小型SMD]	(15)	(15)	1M	0	-20～80
			40M	CSTCW40M0X51-R0 [SMD]	(6)	(6)	1M	0	-20～80
			48M	CSTCZ48MOX12R**-R [SMD]	(10)	(10)	1M	0	-30～85

*1 推奨メーカーにお問い合わせください。
*2 ( )は発振子に内蔵されている容量を表しています。

その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3µF
Cres	#RESET端子キャパシタ	0.47µF

注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

• 水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

I.9 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

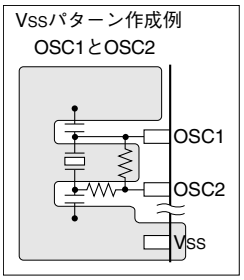
発振回路

- 発振特性は使用部品(振動子、R_f、C_G、C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G、C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。
  最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。
  なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

  (1) OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

  (2) OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1～0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
  また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

  (3) OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。
  配線する層は、右の図のように広めにシールドしてください。
  隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
  この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



  (4) OSC1、OSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC2、OSC4端子は開放してください。

  (5) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。
  CMU_CLK端子の出力をオシロスコープなどで確認します。
  OSC3出力波形の品質は、CMU_CLK出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。
  OSC1波形の品質もCMU_CLK出力で確認します(システムクロックソースをOSC1に切り換え後)。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

  (1)～(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するRTCや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

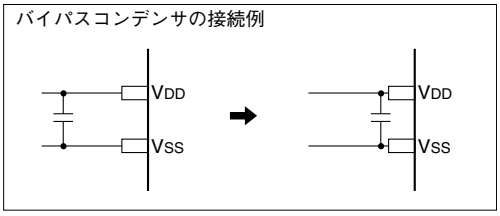
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

  (1) 電源からVDD、VSS、AVDD、およびRTCVDD端子へはできるだけ短くかつ太いパターンで接続してください。特にAVDD電源は、A/D変換器に用いるため変換精度に影響を与えます。

  (2) VDD−VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。

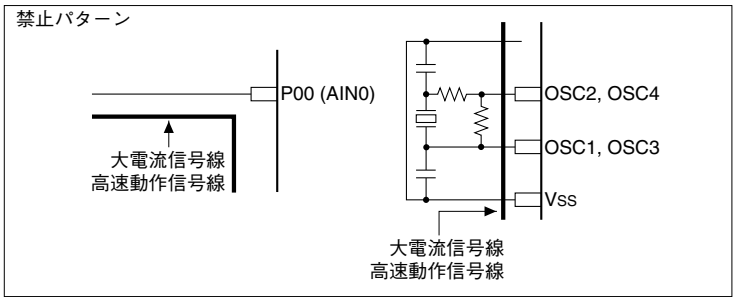


A/D変換器

- A/D変換器を使用しない場合でも、AVDDをVDDに接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
  特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

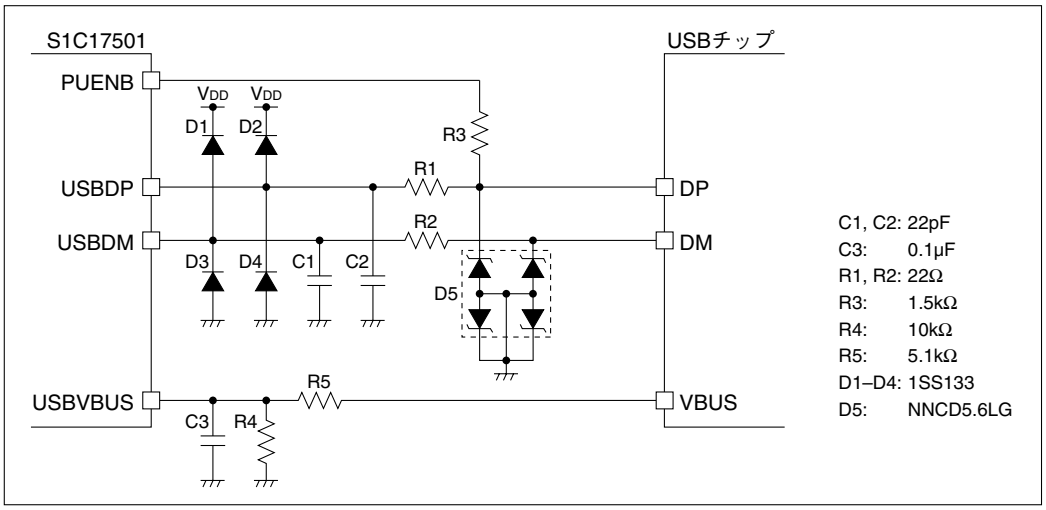


USB

本チップに搭載のUSBファンクションコントローラのI/O部は以下の特長を持ちます。
DP、DM端子は直接USBコネクタに接続できます。
VBUSは、チップ内部で2/3に抵抗分割して検出していますので、5Vの直接入力が可能です。
USBコネクタからUSBケーブルが抜かれてもレシーバはフローティング状態にはなりません。また、USBケーブルが抜かれるとVBUS端子はVssとなり、USB I/O部の消費電力はリーク電流によるもののみとなります。

VBUSについての注意

VBUS端子には、最大でも6Vを超える電圧がかからないようにしてください。これを超えた場合、ICが破損することがあります。
特に、ケーブル挿入時の入力電圧のオーバーシュートやホスト電源が不安定になることを抑えることが必要です。外部結線例を以下に示します。



上記の対策を施すとともに、実機上でもVBUSの状態に問題のないことをオシロスコープなどで十分に確認してください。
長いUSBケーブルを使用し、ホスト側のコネクタに挿入した際に、オーバーシュートなどの現象はより起きやすくなります。

DP、DMについての注意

プリント回路基板を設計する際には、以下の点に注意してDPおよびDM信号を配線してください。

- スキューの防止、差動インピーダンスの安定を図るため、DP信号線とDM信号線はできるだけ平行で同じ長さとし、最短距離で端子とコネクタを接続してください。これらの配線がクロスすることはできる限り避けてください。
- これらの信号線の周囲はGNDパターンで囲み、直下の内層もGNDパターンを作成してください。特に、高速なデジタル信号線の並走やクロスはできる限り避けてください。

最終的には、実機上でのEYEパターンの確認を推奨します。

ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の5点について確認してみてください。

(1) TEST端子
この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TEST端子は必ず基板上でGNDに接続してください。
IC内にプルダウン抵抗が付いていますが、50～100kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子
この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。
製品版では、DSIO端子をV_{DD}に直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。
IC内にプルアップ抵抗が付いていますが、50～100kΩ程度と高インピーダンスなため、ノイズには強くありません。

(3) #RESET端子
この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。
回路設計上、リセット入力がHigh状態でのインピーダンスが高いときに起こりやすくなります。

(4) #NMI端子
この端子にLowレベルのノイズが入るとNMIが発生します。
回路設計上、#NMIがHigh状態でのインピーダンスが高いときに起こりやすくなります。
#NMIがHighの場合のインピーダンスを下げるか、誤動作しても問題ないようにソフトウェアで対応してください。

(5) V_{DD}、$RTCV_{DD}$、V_{SS}電源
規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。
基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTEST、DSIO、#RESET、#NMI入力の回路は入力信号のエッジを検出しているため(#NMIはレベル検出に設定可能)、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。
ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。
特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

その他

本製品シリーズは0.35µm微細プロセスにより製造されています。
ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。
全発振回路入出力端子は、内部の0.35µmトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

(1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
(2) 半田ごて使用時のこて先からの電磁誘導ノイズ

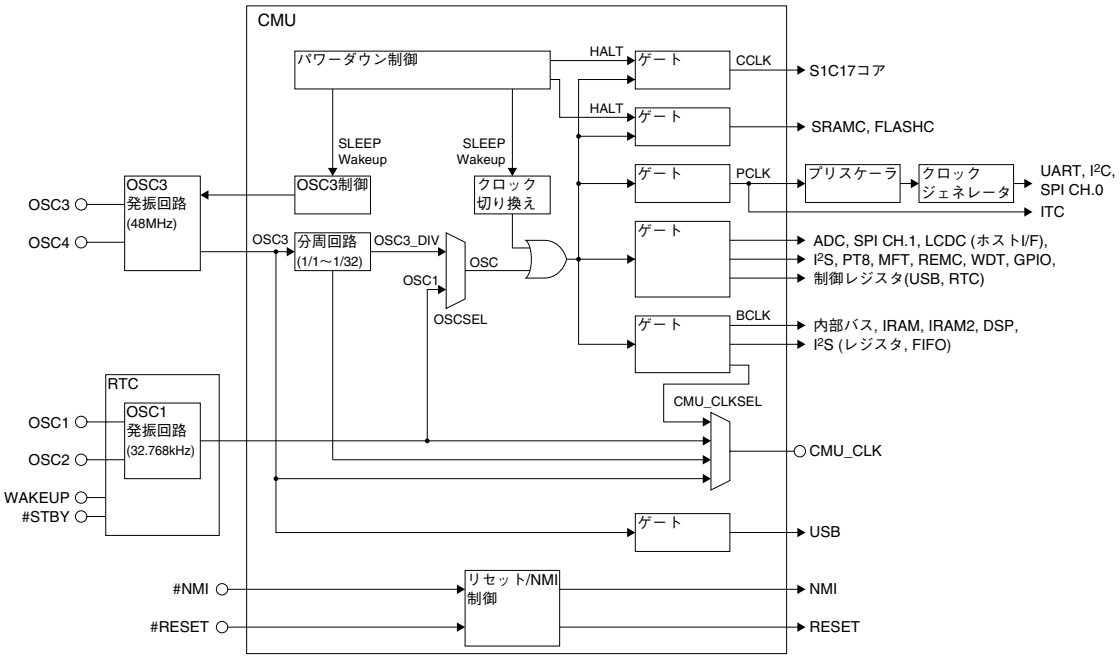
など、緩やかな時間的変化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電気的損傷につながる可能性があります。
特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

S1C17501 Technical Manual

II S1C17501クロックシステム

II.1 クロック系統図

S1C17501のクロックシステムを図II.1.1に示します。



図II.1.1 クロック系統図

S1C17501は、クロックマネージメントユニット(CMU)によってコアやバスの動作クロックを制御します。周辺回路の動作クロックはプリスケーラとクロックジェネレータで生成します。
処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

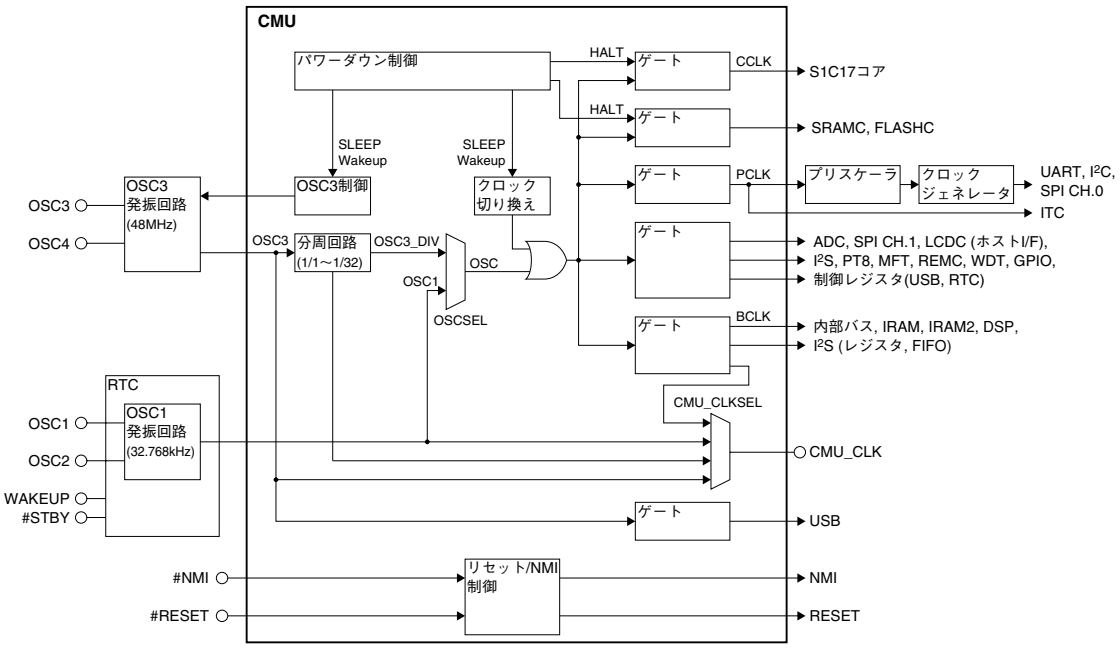
II.2 クロックマネージメントユニット(CMU)

II.2.1 CMUの概要

CMU(クロックマネージメントユニット)は、各機能モジュールに供給する動作クロックを制御します。CMUの主な機能は以下のとおりです。

- リセットとNMI入力の制御
- システムクロックソース(OSC3またはOSC1)の選択
- OSC3発振回路のOn/Off制御
- スタンバイモード(SLEEP、HALT)に応じたクロック制御
- メインシステムクロックの分周比選択
- 外部バスクロック選択
- 機能モジュールごとのクロック供給のOn/Off制御

システムクロックの選択、発振回路の制御、メインシステムクロックの分周比選択、機能モジュールごとのクロックのOn/Offにより、処理に合わせて最適な動作周波数を選択するとともに不要なクロック供給を停止し、さらにスタンバイモードを組み合わせることで消費電力を大幅に抑えることができます。



図II.2.1.1 CMUブロック図

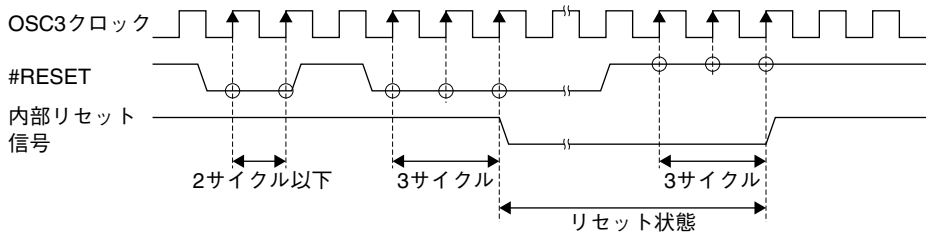
注: 0x4900～0x4909番地のCMU制御レジスタは書き込み保護されています。これらのCMU制御レジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4909番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

II.2.2 リセット入力とイニシャルリセット

CMUには外部リセット入力(#RESET)から内部リセット信号を生成する機能もあります。

II.2.2.1 イニシャルリセット端子

外部からのイニシャルリセット入力には#RESET端子を使用します。ICをリセットするには、#RESET端子を0(Low)にします。
#RESET端子の入力信号はOSC3クロックでサンプリングされます。したがって、OSC3クロックが入力または生成されていないとチップはリセットされません。また、図II.2.2.1.1に示すとおり、サンプリングで3回連続してLowレベルが検出されないと内部リセット信号は生成されません。確実にリセットをかけるには、少なくともOSC3クロックの3サイクル以上#RESET = 0を保持してください。内部リセット信号の解除も3回の連続したHighレベル検出により行われます。
S1C17501は内部リセット信号が0(Low)になるとリセットされ、そのリセット信号が1(High)に立ち上がることで動作を開始します。



図II.2.2.1.1 #RESETのサンプリング

II.2.2.2 イニシャルリセット内容

S1C17コアと周辺回路は、内部リセット信号が0の期間中に初期化されます。イニシャルリセットによるIC内部の設定内容を以下に示します。

CPU - PC:	0x20000からリセットベクタをロード
CPU - PSR:	全PSRビットが0にリセット
CPU - その他のレジスタ:	すべて0クリア
TTBR:	0x20000に初期化
CPU - 動作クロック:	OSC3 × 1/1のクロックで動作
発振回路:	高速(OSC3)発振回路がON。低速(OSC1)発振回路は常にON
周辺回路へのクロック供給:	USBを除き、すべてON
I/O端子の状態:	初期化(“I.3.2 端子機能”参照)
他の周辺回路:	初期化または不定(I/Oマップ参照)

注: S1C17501はI/O端子とTTBRレジスタ値を保持するホットリセットには対応していません。

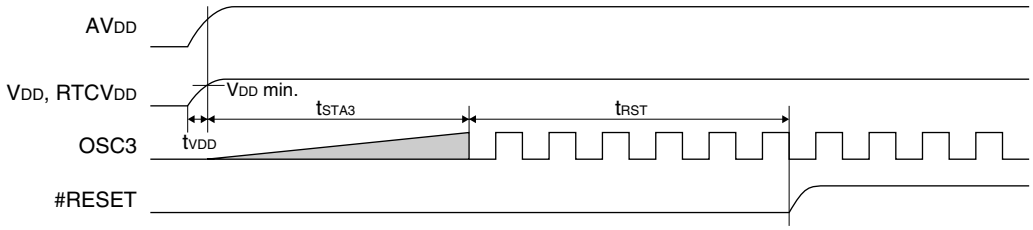
II.2.2.3 パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずコールドリセットを行ってください。
#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。
イニシャルリセット(#RESET = 0)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要します。CPUを確実に起動させるには、この発振安定時間の経過後にイニシャルリセットを解除することが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図II.2.2.3.1 パワーオンシーケンス

(1)t_{VDD}: 電源投入時の電源が安定するまでの時間
下記の順序で(あるいは同時に)、電源を投入してください。
電源投入時: V_{DD}(および$RTCV_{DD}$*)→AV_{DD}(A/D)→入力信号印加

＊ $RTCV_{DD}$はRTCの動作およびIRAM2のバックアップ用に常時供給可能です。

(2)t_{STA3}: OSC3発振開始時間

(3)t_{RST}: 最小リセットパルス幅

CMUに供給されるOSC3クロックが安定した状態から最低6クロックの期間、#RESET信号を0(Low)に保持してください。

II.2.2.4 イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、コアCPUの内部レジスタはすべて0にクリアされます。必要に応じてプログラムで初期化してください。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

OSC3発振回路

イニシャルリセットによりOSC3発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットやOSC3発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

OSC1発振回路

パワーオンリセットによりOSC1発振回路も発振を開始します。OSC1発振回路はOSC3発振回路に比べ、発振の安定に長い時間を要します(電気的特性参照)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

入出力ポートと入出力端子

イニシャルリセットは入出力ポートの制御レジスタおよびデータレジスタを初期化しますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、イニシャルリセットにより初期化あるいは不定となります。プログラムにより必要な設定を行ってください。
イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

II.2.3 NMI入力

#NMI端子から入力、またはウォッチドッグタイマ（WDT）が出力するNMI信号はCMUに入力され、CPUに送られます。
CPUによるNMI例外処理については、“S1C17 Family S1C17コアマニュアル”を参照してください。

注: • 確実にNMIを発生させるには、システムクロックの3クロック幅以上のLowパルスが必要です。NMI信号を立ち下げた後、3クロック以上Lowレベルを保持してください。

• NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

II.2.4 システムクロックソースの選択

本CMUには以下の2系統のクロック入力があり、いずれか1つをシステムのソースクロック(OSC)として選択できるようになっています。

1. OSC3クロック

OSC3発振回路で生成、あるいは外部からOSC3端子に入力したクロックです。
OSC3発振回路の詳細については、"II.2.5.1 OSC3発振回路"を参照してください。

2. OSC1クロック

RTC(リアルタイムクロック)用のソースクロックです(32.768kHz、Typ.)。高速動作が不要な場合には、この低速クロックでシステムを動作させることにより、消費電力を抑えることができます。OSC1発振回路の詳細については、"II.2.5.3 OSC1発振回路"を参照してください。

クロックソースはOSCSEL(D2/CMU_SYSCLKCTLレジスタ)で選択できます。

* **OSCSEL**: OSC Clock Selection Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D2/0x4900)

OSCSELを0(デフォルト)に設定すると、システムのソースクロックとしてOSC3が選択されます。OSCSELを1に設定した場合はOSC1が選択されます。

ここでクロックソースを変更してもすぐには切り換わらず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSELの設定後は一度slp命令を実行する必要があります。通常SLEEPモードからはポートからの外部入力割り込みなどによって通常動作に復帰しますが、ソースクロック変更用にslp命令の実行から一定時間後に自動的に通常動作に復帰させる機能や、SLEEPモード時にOSC3発振が停止しないようにする機能も用意されています。これらの制御の詳細については、"II.2.8 スタンバイモード"で説明します。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

II.2.5 発振回路の制御

II.2.5.1 OSC3発振回路

OSC3発振回路はS1C17コアと内蔵周辺回路動作用のメインクロックを発生します。

OSC3発振回路の入出力端子

表II.2.5.1.1にOSC3発振回路の入出力端子を示します。

表II.2.5.1.1 OSC3発振回路の入出力端子

端子名	I/O	機能
OSC3	I	OSC3発振入力端子: 水晶/セラミック発振または外部クロック入力
OSC4	O	OSC3発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)

発振回路の構造

OSC3発振回路は、水晶/セラミック発振と外部クロック入力に対応しています。
図II.2.5.1.1にOSC3発振回路の構造を示します。

(1) 水晶/セラミック発振回路　　(2) 外部クロック入力

図II.2.5.1.1 OSC3発振回路

水晶またはセラミック発振回路として使用する場合は、図II.2.5.1.1(1)のように水晶(X'tal3)振動子またはセラミック(Ceramic)発振子、帰還抵抗(R_f)、2つのコンデンサ(C_{G3}、C_{D3})および必要に応じてドレイン抵抗(R_d)を、OSC3とOSC4端子およびVssに接続してください。
外部クロックを使用する場合はOSC4端子を開放し、V_{DD}レベルでデューティ比が50%のクロックをOSC3端子に入力してください。
発振周波数の範囲は以下のとおりです。

- 水晶発振:　　1MHz Min.～48MHz Max.
- セラミック発振:　1MHz Min.～48MHz Max.
- 外部クロック入力: 48MHz Max.
- USB機能を使用するには0.25%以内の精度の48MHzクロックソースを接続してください。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

発振の制御

OSC3発振は、CMUレジスタ内の制御ビットSOSC3(D1/CMU_SYSCLKCTLレジスタ)で制御します。

* **SOSC3**: OSC3 Oscillator On/Off Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D1/0x4900)

この制御ビットを0に設定するとOSC3発振回路は停止し、1に設定すると発振を開始してクロックを出力します。イニシャルリセット時は1に設定され、発振動作を行います。

注: SOSC3を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します("電気的特性"参照)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.2.5.2 OSC3分周回路の設定

システムクロックのソースにOSC3を選択した場合、OSC3の分周クロックをシステムクロックとして使用することができます。処理内容に応じてクロック周波数をできるだけ低く設定することにより、消費電流を低減できます。
OSC3分周回路はOSC3•1/1からOSC3•1/32まで6種類の分周クロックを出力可能で、OSC3DIV[2:0](D[10:8]/CMU_OSC3DIVレジスタ)でその中から1つを選択します。

* **OSC3DIV[2:0]**: OSC3 Clock Divider Selection Bits in the OSC3 Clock Divider (CMU_OSC3DIV) Register (D[2:0]/0x4903)

表II.2.5.2.1 OSC3分周クロックの選択

OSC3DIV[2:0]	OSC3_DIVクロック
0x7	OSC3•1/1
0x6	OSC3•1/1
0x5	OSC3•1/32
0x4	OSC3•1/16
0x3	OSC3•1/8
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

(デフォルト: 0x0 = OSC3•1/1)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大OSC3クロックの32サイクルの時間を要します。

II.2.5.3 OSC1発振回路

S1C17501はRTCの計時用のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。このOSC1クロックは、パワーセーブ動作用にコアシステムや周辺回路の動作クロックとして使用することも可能です。

OSC1発振回路の入出力端子

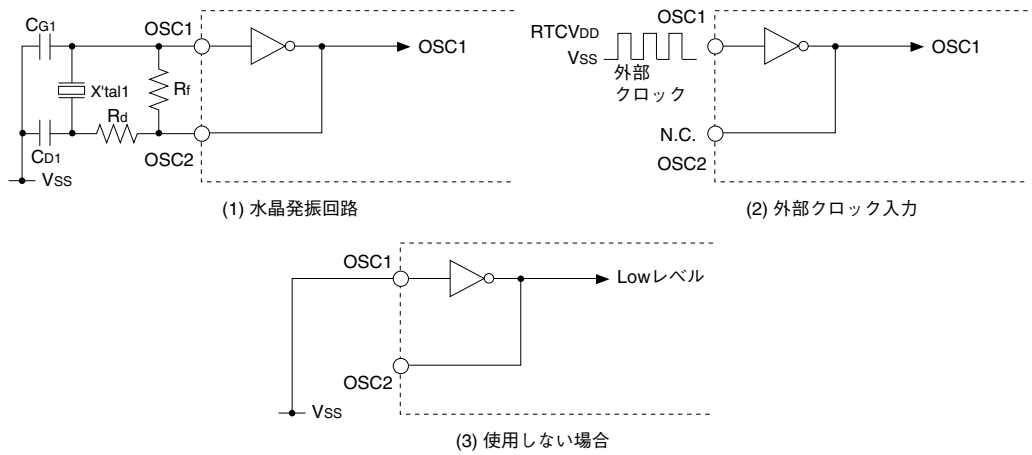
表II.2.5.3.1にOSC1発振回路の入出力端子を示します。

表II.2.5.3.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機能
OSC1	I	OSC1発振入力端子: 水晶発振または外部クロック入力
OSC2	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

OSC1発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同じ$RTCV_{DD}$を使用します。図II.2.5.3.1にOSC1発振回路の構造を示します。



図II.2.5.3.1 OSC1発振回路

水晶発振回路として使用する場合は、図II.2.5.3.1(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、OSC1とOSC2端子およびVssに接続してください。

外部クロックを使用する場合はOSC2端子を開放し、RTCV_{DD}レベルでデューティ比が50%のクロックをOSC1端子に入力してください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。
発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

OSC1発振回路を使用しない場合はOSC1端子をVssに接続し、OSC2端子を開放してください。

発振の制御

OSC1発振回路は常に動作します。制御レジスタの設定は不要です。

注: 電源投入によりOSC1が発振を開始した後、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.2.6 クロック供給制御

消費電流を抑えるため、機能モジュールごとにクロックの供給を停止できるようになっています。

II.2.6.1 S1C17コアへのクロック供給

通常動作時は、CMUが常にコア動作クロック(CCLK)をS1C17コアに供給します。
S1C17コアがhaltまたはslp命令を実行すると、CMUはS1C17コアへのクロック供給を停止し、S1C17コアがスタンバイモード(HALTまたはSLEEP)になります。割り込みによりスタンバイモードが解除されると、CMUはS1C17コアへのクロック供給を再開します。スタンバイモードの詳細については、"II.2.8 スタンバイモード"を参照してください。

II.2.6.2 コア周辺モジュールへのクロック供給

以下のコア周辺モジュールはコア周辺クロック(PCLK)で動作します。
- プリスケーラ
- クロックジェネレータ(16ビット/8ビットタイマ)
- UART
- SPI CH.0
- I^2C
- 割り込みコントローラ

PCLKの供給はPCLK_EN(D0/CMU_GATEDCLK0レジスタ)で制御できます。

* **PCLK_EN**: Core Peripheral Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D0/0x4906)

イニシャルリセット時、PCLK_ENは1(On)に設定され、コア周辺モジュールにはクロックが供給されます。コア周辺モジュールのすべてを使用しないときは、消費電流を抑えるためPCLK_ENを0に設定してください。

注: PCLK_ENが1(On)に設定されている場合、HALT時もPCLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、PCLK_ENを0に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、PCLKが停止します(II.2.8.2節参照)。

II.2.6.3 拡張周辺モジュールへのクロック供給

表II.2.6.3.1に各モジュールへの動作クロックの供給をOn/Offする制御ビットを示します。ここに示したモジュールは制御可能なクロック経路が1系統のみで、表に記載の制御ビットのみで動作をOn/Offできます。SRAMC、FLASHC、USB、RTC、I^2S、コアバスモジュールのクロック制御については、II.2.6.4～II.2.6.10節を参照してください。

表II.2.6.3.1 拡張周辺クロック供給制御ビット

モジュール	クロック	制御ビット	レジスタ
8ビットプログラマブルタイマ	PT8_CLK	PT8_CLK_EN (D1)	Gated Clock Control 1 (CMU_GATEDCLK1) Register (0x4907)
マルチファンクションタイマ	MFT_CLK	MFT_CLK_EN (D0)	
SPI CH.1 *	SPI_CLK	SPI_CLK_EN (D5)	Gated Clock Control 2 (CMU_GATEDCLK2) Register (0x4908)
リモートコントローラ	REMC_CLK	REMC_CLK_EN (D4)	
A/D変換器	ADC_CLK	ADC_CLK_EN (D3)	
ウォッチドッグタイマ	WDT_CLK	WDT_CLK_EN (D2)	
入出力ポート	PORT_CLK	PORT_CLK_EN (D1)	

* SPI CH.1用のプリスケーラは8ビットプログラマブルタイマに内蔵されています。したがって、SPI CH.1を使用する場合はSPI_CLKに加え、PT8_CLKも供給しておく必要があります。

イニシャルリセット時、これらの制御ビットは1(On)に設定され、クロックが各モジュールに供給されます。モジュールを使用しない場合は、対応する制御ビットを0(Off)に設定し、クロック供給を停止してください。

注: 対応する制御ビットが1(On)に設定されている場合、HALT時もこれらのクロックは停止しません。HALT時に停止させたい場合は、halt命令の実行前に各制御ビットを0に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、これらのクロックはすべて停止します(II.2.8.2節参照)。

II.2.6.4 SRAMCへのクロック供給

SRAMCにはSRAMCクロック(SRAMC_CLK)を制御するSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)が用意されています。ただし、SRAMCは内部周辺バス(SAPB)と外部バスを制御しているため、ICが動作中はSRAMC_CLKを停止することができません。つまり、SRAMC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にSRAMC_CLKは停止しません。ただし、HALT時はSRAMC_CLK_ENを0(Off)に設定することによって、SRAMC_CLKを自動的に停止させることができます(デフォルト: On)。

* **SRAMC_CLK_EN**: SRAMC Clock Control (in HALT mode) Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D7/0x4907)

イニシャルリセット時はSRAMC_CLK_ENは1(On)に設定され、SRAMC_CLKの供給が許可されます。HALT時にSRAMC_CLKが不要な場合は、SRAMC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、SRAMC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、SRAMC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、SRAMC_CLKが停止します(II.2.8.2節参照)。

II.2.6.5 FLASHCへのクロック供給

FLASHCにはFLASHCクロック(FLASHC_CLK)を制御するFLASHC_CLK_EN(D7/CMU_GATEDCLK0レジスタ)が用意されています。ただし、FLASHCはFlashメモリ内のプログラムの実行に必要なため、ICが動作中はFLASHC_CLKを停止することができません。つまり、FLASHC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にFLASHC_CLKは停止しません。ただし、HALT時はFLASHC_CLK_ENを0(Off)に設定することによって、FLASHC_CLKを自動的に停止させることができます(デフォルト: On)。

* **FLASHC_CLK_EN**: FLASHC Clock Control (in HALT mode) Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D7/0x4906)

イニシャルリセット時はFLASHC_CLK_ENは1(On)に設定され、FLASHC_CLKの供給が許可されます。HALT時にFLASHC_CLKが不要な場合は、FLASHC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、FLASHC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、FLASHC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、FLASHC_CLKが停止します(II.2.8.2節参照)。

II.2.6.6 USBへのクロック供給

USBに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)USBクロック(USB_CLK)

USBインタフェースに必要なクロック(OSC3 = 48MHz)です。On/Off制御はUSB_CLK_EN(D4/CMU_GATEDCLK0レジスタ)で行います(デフォルト: Off)。USB_CLK_ENが1(On)に設定されている場合、HALT時もUSB_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、USB_CLK_ENを0(Off)に設定してください。
SLEEP時もUSB_CLK_ENが1(On)、SOSC3(D1/CMU_SYSCLKCTLレジスタ)が1、OSC3OFF(D7/CMU_SYSCLKCTLレジスタ)が0に設定されている場合は、USB_CLKが停止しません。これ以外の設定に限り、SLEEP時にUSB_CLKが停止します(II.2.8.2節参照)。

* **USB_CLK_EN**: USB IP 48 MHz Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D4/0x4906)
* **SOSC3**: OSC3 Oscillator On/Off Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D1/0x4900)
* **OSC3OFF**: OSC3 Disable During SLEEP Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D7/0x4900)

(2)制御レジスタ用クロック(USB_SAPB_CLK)

USBレジスタの制御に必要なクロックです。USBレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はUSB_SAPB_CLK_EN(D5/CMU_GATEDCLK0レジスタ)で行います(デフォルト: Off)。USB_SAPB_CLK_ENが1(On)に設定されている場合、HALT時もUSB_SAPB_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、

USB_SAPB_CLK_ENを0(Off)に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、USB_SAPB_CLKが停止します(II.2.8.2節参照)。

* **USB_SAPB_CLK_EN**: USB SAPB I/F Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D5/0x4906)

II.2.6.7 RTCへのクロック供給

RTCに対しては複数のクロック経路が用意されています。

(1)32.768kHzクロック(OSC1)

RTCの計時に必要なクロック(OSC1 = 32.768kHz)です。このクロックはスタンバイモード時も含め、常時RTCに供給されます。

(2)制御レジスタ用クロック(RTC_SAPB_CLK)

RTCレジスタの制御に必要なクロック(MCLK)です。RTCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はRTC_SAPB_CLK_EN(D0/CMU_GATEDCLK2レジスタ)で行います(デフォルト: On)。

* **RTC_SAPB_CLK_EN**: RTC SAPB I/F Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D0/0x4908)

RTC_SAPB_CLK_ENを1に設定するとクロック供給がOn、0に設定するとOffします。RTC_SAPB_CLK_ENが1(On)に設定されている場合、HALT時もRTC_SAPB_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、RTC_SAPB_CLK_ENを0(Off)に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、RTC_SAPB_CLKが停止します(II.2.8.2節参照)。

II.2.6.8 I²Sへのクロック供給

I²SインタフェースクロックはI²SモジュールのI2SEN0(D8/I2S_CTL_OUTレジスタ)とI2SEN1(D0/I2S_CTL_INレジスタ)により制御します。

* **I2SEN0**: I²S Ch.0 Enable Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D8/0x5300)
* **I2SEN1**: I²S CH.1 Enable Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D0/0x5302)

I²SインタフェースCH.0のクロックはI2SEN0を1に設定することによってOnし、0に設定することによってOffします。I²SインタフェースCH1のクロックはI2SEN0を1に設定することによってOnし、0に設定することによってOffします。
I2SEN0またはI2SEN1が1(On)に設定されている場合、HALT時も対応するチャネルのI²Sインタフェースクロックは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、I2SEN0、I2SEN1を0(Off)に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、I²Sインタフェースクロックが停止します(II.2.8.2節参照)。

II.2.6.9 コアバス等のモジュールへのクロック供給

通常動作中は、S1C17コアバスモジュール、IRAM、IRAM2、乗算器(MAC)、I²Sの制御レジスタとI²S FIFOに対してCMUから常に動作クロック(BCLK)が供給されます。このクロック供給は、S1C17コアがhalt命令を実行しても停止しません。S1C17コアがslp命令を実行した場合は、BCLKの供給は停止します(II.2.8.2節参照)。

II.2.7 外部出力クロック（CMU_CLK）の設定

CMU_CLKは外部デバイス用に出力するクロックです。10種類のクロックからCMU_CLKSEL[3:0]（D[3:0]/CMU_CMUCLKレジスタ）で選択することができます。

* **CMU_CLKSEL[3:0]**: CMU_CLK Selection Bits in the CMU_CLK Select (CMU_CMUCLK) Register (D[3:0]/0x4905)

表II.2.7.1 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf～0xa	Reserved
0x9	OSC3•1/32
0x8	OSC3•1/16
0x7	OSC3•1/8
0x6	OSC3•1/4
0x5	OSC3•1/2
0x4	OSC3•1/1
0x3	Reserved
0x2	BCLK
0x1	OSC1
0x0	OSC3

（デフォルト: 0x0 = OSC3）

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表II.2.7.1に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

II.2.8 スタンバイモード

S1C17501はHALTモード、SLEEPモードの2種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。
また、システムのクロックソース(OSC3、OSC1)を切り換える場合も、SLEEPモードへ移行する必要があります(詳細はII.2.9.1節およびII.2.9.2節参照)。

II.2.8.1 HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。HALTモードではCPUが動作を停止します。また、SRAMCクロック(SRAMC_CLK)とFLASHCクロック(FLASHC_CLK)も、それぞれSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)、FLASHC_CLK_EN(D7/CMU_GATEDCLK0レジスタ)を0に設定することによってHALT中に停止させることができます(詳細はII.2.6.4節およびII.2.6.5節参照)。その他の内蔵周辺回路は、halt命令実行時の状態(停止/動作)を継続します。
HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。デバッガからの強制ブレークでも解除されます。
HALTモードは、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。
割り込みによってHALTモードが解除されると、CPUは割り込み処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUの割り込み処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。
なお、HALTモードは、割り込みコントローラ(ITC)からCPUに入る割り込み信号がアクティブになることにより解除されます。つまり、PSRが割り込み禁止の状態に設定されている場合でも、ITCの割り込みイネーブルビットにより許可されている割り込みの割り込み要因フラグがセットされることで、HALTモードを解除することが可能です。ただし、この場合は割り込み処理ルーチンは実行されません。
また、#NMI信号は、Lowレベルになることでで、HALTモードを解除します。

II.2.8.2 SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。SLEEPモードではCPUが動作を停止するとともに、CMUも各機能モジュールへのクロック供給を停止することができます(詳細はII.2.6節参照)。したがって、OSC1発振回路とRTCを除き、すべての周辺回路が動作を停止します。
なお、CMUがSLEEPモード移行処理を開始してから実際にクロック出力が停止するまでには、その時点で選択されているソースクロック(OSC)で最大8サイクルを要します。
SLEEPモードはイニシャルリセット、RTC割り込み(レベルトリガ)、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)の発生によって解除されます(WAKEUPWT = 1の場合)。CMUレジスタの設定については、II.2.9.3節とII.2.9.4節を参照してください。
割り込みによってSLEEPモードが解除されると、CPUは割り込み処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUの割り込み処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。
SLEEPモード時は割り込みコントローラ(ITC)へのクロック供給が停止しているため、ITCの割り込み要因フラグはセットされません。このため、ITCへのクロック供給が停止している場合は、ITCで割り込みが許可されている割り込み発生源からのレベルトリガ割り込み信号がITCをそのまま通過してCMUに渡され、SLEEPモードの解除に使用されます。この場合、ITCの割り込み要因フラグは、SLEEP解除後にクロックの供給が開始されてからセットされます。PSRが割り込み禁止の状態に設定されている場合でも、上記の割り込み要因でSLEEPモードを解除することはできますが、割り込み処理ルーチンは実行されません。
#NMI信号は、Lowレベルになることでで、SLEEPモードを解除します。

注: • SLEEPモードでは、起床要因の割り込み信号入力からITCへのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ(ITC)による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになるとITCの割り込みフラグがセットされず割り込みが発生しない場合があります。さらに、ITCからCPUに割り込み要求が伝わるまでにも時間差があるため、CPUは割り込み処理を開始する前に、slp命令に続く数命令を実行してしまう場合があります。

SLEEPモードをポート入力割り込みで解除する場合は、割り込みトリガモードをレベルトリガに設定し(IV.1.3.5節参照)、クロック供給が開始されるまで、入力信号をアクティブのまま保持してください。
NMIによる起床時も同様で、クロック供給開始前に#NMI信号がインアクティブになるとNMIフラグがセットされず、割り込み処理が発生しない場合があります。

- SLEEPモードに設定する前に、USBへのクロック供給をOffしてください。

OSC3の発振停止と起床時の発振安定待ち

デフォルト設定で、高速(OSC3)発振回路はSLEEPモードでも停止しません。これを、OSC3OFF(D7/CMU_SYSCLKCTLレジスタ)でSLEEPモード時に停止させるように設定することができます。

* **OSC3OFF**: OSC3 Disable During SLEEP Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D7/0x4900)

OSC3OFFを1に設定すると、SLEEPモード時にOSC3発振が停止します。この場合、SLEEPモードから起床した時点でOSC3発振回路が発振を開始します。ただし、発振が安定する前にCPUがOSC3クロックで動作を開始すると誤動作するため、CPUの動作開始を遅らせるOSC発振開始待ちタイマが用意されています。待ち時間はOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYSCLKCTLレジスタ)により設定可能です。

* **OSCTM[7:0]**: OSC3 Oscillation Stabilization-Wait Timer Bit in the OSC3 Wait Timer (CMU_OSC3_WCNT) Register (D[7:0]/0x4901)
* **TMHSP**: Wait-Timer High-Speed Mode Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D6/0x4900)

表II.2.8.2.1 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6µs
	:	:	:
	0xff	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xff	2M	104.5ms

(時間は20MHzのOSC3で動作している場合の例です。)

クロックソース切り換え時のSLEEP制御

SLEEPモードからの起床時には、OSCSEL(D2/CMU_SYSCLKCTLレジスタ)の設定にしたがってクロックソース(OSC3、OSC1)の切り換えも行われます。クロックソースを切り換えるにはSLEEPモードへの移行と復帰が必要です。そこで、割り込み等を使用せずに自動的にSLEEPモードを解除する機能が用意されています。この機能を使用するにはWAKEUPWT(D4/CMU_SYSCLKCTLレジスタ)を0に設定します(デフォルトでは0に設定されています)。

* **OSCSEL**: OSC Clock Selection Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D2/0x4900)
* **WAKEUPWT**: Wakeup-Wait Function Enable Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D4/0x4900)

WAKEUPWTが0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、前記の発振安定待ち時間経過後にOSCSELで設定したソースクロックでCPUが再起動します。
WAKEUPWTが0の場合でも、OSCTM[7:0]とTMHSPの設定によるOSC発振開始待ち時間は有効です。最も早くSLEEPモードを解除するには、OSCTM[7:0] = 0x0、TMHSP = 1に設定してください。
WAKEUPWTが1に設定されている場合は、イニシャルリセット、RTC割り込み(レベルトリガ)、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によってSLEEPモードが解除されます。
クロック切り換えとSLEEPの制御手順については、"II.2.9 クロック設定手順"を参照してください。

II.2.8.3 注意事項

slp、halt命令の実行

S1C17501をスタンバイモードに設定する場合、slp命令およびhalt命令はIRAM上で実行してください。Flashメモリ上で実行すると、スタンバイモード中もFlashメモリがアクティブとなり、消費電流が増加します。
また、スタンバイモードを割り込みで解除する場合、slp命令またはhalt命令に続く1命令は割り込み受付前に必ず実行されます。確実に割り込みをかけるため、slp命令およびhalt命令の後にはnop命令を1つ記述してください。CPUがウェイト状態になるようなメモリアクセス命令を置くと、レベル割り込み信号が受け付けられず(下記"割り込み"参照)、割り込み処理が実行されない可能性があります。

割り込み

スタンバイモードはITC経由の割り込み、NMI、リセットにより解除されます。ITCは、スタンバイモードの解除に使用する割り込みが発生するように設定されている必要があります。ITCへのクロック供給が停止している場合は、割り込みが許可されている割り込み発生源からの割り込み信号がITCをそのまま通過してCMUに入力され、スタンバイモードの解除とクロック供給の開始に使用されます。
HALTモードではITCにクロックが供給されているため、割り込みフラグはすぐにセットされ、CPUにもすぐに割り込み要求が出されます。
SLEEPモードでは、CMUがITCへのクロック供給を開始してから割り込みフラグがセットされ、CPUへの割り込み要求も出されます。CPUに対する割り込み要求が若干遅れるため、SLEEPモードを解除後、CPUは割り込み処理に移行する前にslp命令に続く数命令を実行してしまうことがあります。
また、ITCへのクロックの供給を開始する前に割り込み発生源からの割り込み信号がインアクティブになった場合は割り込み要因フラグがセットされず、割り込みは発生しません。

CPUのPSRレジスタにあるIEおよびIL[2:0]ビットは、割り込みによるスタンバイモードの解除には影響しません。スタンバイモードを解除するためにITCで割り込みを許可しておき、IEビットで割り込みを禁止することで、スタンバイモード解除後に割り込み処理を行わないといった使い方もできます。

ポート入力割り込み(レベル割り込み)によってスタンバイモードを解除し、割り込み処理ルーチンを確実に実行させるには、ポートへの入力信号を以下の時間以上アクティブにする必要があります。

(1) SLEEPモード時にクロックを停止させる場合
OSC3発振開始時間 + OSC3発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間

(2) SLEEPモード時にクロックを停止させない場合、またはHALTモード時
システムクロック10サイクルの時間

発振回路

SLEEPモード時にOSC3発振が停止する設定の場合、SLEEPモードの解除によりOSC3発振を再開します。OSC3発振回路は動作開始後に発振が安定するまで発振安定時間を要しますので、OSC3をクロックソースとしてCPUを再起動させる場合は、この発振安定時間が経過後にCPUが動作を開始するようにOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYSCLKCTLレジスタ)を設定しておかなければなりません。OSC3発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

クロックソース切り換え

クロックソースを切り換える目的でslp命令を実行する際は、自動的にSLEEPモードを解除する機能を使用します。SLEEPモードが解除されるとOSCTM[7:0]とTMHSPで設定したOSC発振待ちタイマが動作しますが、このタイマは切り換わった後のクロックソースで動作しますので、OSC発振開始待ち時間の設定には注意してください。

その他

コアCPUの内部レジスタはスタンバイモード時も保持されます。
SLEEPモード時の入出力端子はSLEEP移行時の状態を保持します。
HALTモード時も入出力端子はHALT移行時の状態を保持します。ただし、CMUの設定によりクロックを供給しているモジュールの入出力端子は、HALT中でもモジュールの状態により変化します。

II.2.9 クロック設定手順

ここでは、クロックを設定/変更する手順を説明します。
イニシャルリセット時のクロック設定状態は以下のとおりです。

OSC3発振回路:	On
OSC1発振回路:	On
システムクロックソース:	OSC3
システムクロック:	OSC3・1/1
CMU_CLK:	OSC3・1/1

II.2.9.1 クロックソースをOSC3からOSC1に変更後OSC3をOff

1. CMU Write Protect Register（0x4920）= 0x96
   クロック制御レジスタの書き込み保護を解除します。
2. OSCSEL（D2/0x4900）= 1
   OSC1をクロックソースに選択します。
3. OSC3 Wait Timer Register（0x4901）とSystem Clock Control Register（0x4900）の設定
   • OSCTM[7:0]（D[7:0]/0x4901）= *
   • OSC3OFF（D7/0x4900）= 0
   • TMHSP（D6/0x4900）= *
   • WAKEUPWT（D4/0x4900）= 0

   * OSC1発振が安定する時間（例: S1C17501では3秒）になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイマはOSC1クロックで動作することに注意してください。OSC1発振開始時間については、“電気的特性”を参照してください。

   設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
4. 動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
   チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
   slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC1をクロックソースとしてシステムが再起動します。
6. SOSC3（D1/0x4900）= 0
   OSC3発振回路をOffします。
7. クロック制御レジスタの再設定
   必要に応じてCMU_CLKの設定変更、およびその他のCMUレジスタの再設定を行います。
8. CMU Write Protect Register（0x4920）= 0x96以外の値
   クロック制御レジスタの書き込み保護を設定します。

II.2.9.2 クロックソースをOSC1からOSC3に変更

1. CMU Write Protect Register（0x4920）= 0x96
   クロック制御レジスタの書き込み保護を解除します。
2. SOSC3（D1/0x4900）= 1
   OSC3発振回路が停止している場合は、Onします。
3. OSCSEL（D2/0x4900）= 0
   OSC3をクロックソースに選択します。
4. OSC3 Wait Timer Register（0x4901）とSystem Clock Control Register（0x4900）の設定
   • OSCTM[7:0]（D[7:0]/0x4901）= *
   • OSC3OFF（D7/0x4900）= 0
   • TMHSP（D6/0x4900）= *
   • WAKEUPWT（D4/0x4900）= 0

   * OSC3発振が安定する時間（例: S1C17501では25ms）になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイマはOSC3クロックで動作することに注意してください。OSC3発振開始時間については、“電気的特性”を参照してください。

   設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
5. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
6. slp命令を実行します。
   チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
   slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC3をクロックソースとしてシステムが再起動します。
7. クロック制御レジスタの再設定
   必要に応じてシステムクロックやCMU_CLKの設定変更、およびその他のCMUレジスタの再設定を行います。
8. CMU Write Protect Register（0x4920）= 0x96以外の値
   クロック制御レジスタの書き込み保護を設定します。

II.2.9.3 SLEEP時にOSC3を停止

OSC3をクロックソースとして動作している場合に、SLEEPモードでOSC3発振を停止させるには、以下のように制御します。

1. CMU Write Protect Register(0x4920) = 0x96
   クロック制御レジスタの書き込み保護を解除します。
2. OSC3 Wait Timer Register(0x4901)とSystem Clock Control Register(0x4900)の設定
   - OSCTM[7:0](D[7:0]/0x4901)とTMHSP(D6/0x4900)
     SLEEP解除後の発振安定待ち時間を設定します。
     例: TMHSP = 1, OSCTM[7:0] = 0x40(OSC3 = 20MHzの場合で約26ms)
   - OSC3OFF(D7/0x4900) = 1
     SLEEP時にOSC3発振が停止するように設定します。
   - WAKEUPWT(D4/0x4900) = 1
     SLEEPモードがRTC割り込み(レベルトリガ)、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によって解除されるように設定します。
3. CMU Write Protect Register(0x4920) = 0x96以外の値
   クロック制御レジスタの書き込み保護を設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
   チップはSLEEPモードになり、CMUはクロック出力を停止します。

   SLEEPモードはRTC割り込み(レベルトリガ)、デバッガからの強制ブレーク、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、設定した発振開始待ち時間経過後、OSCSEL(D2/0x4900)で選択されているクロックソース(OSC3)でシステムが再起動します。

II.2.9.4 発振OnのままのSLEEP(クロック変更なし)

クロックソースの変更と発振停止を行わずに、SLEEPモードにする手順は以下のとおりです。これは、起動性能を犠牲にせずにコアと周辺機能を停止して消費電力を抑えるための制御です。

1. CMU Write Protect Register(0x4920) = 0x96
   クロック制御レジスタの書き込み保護を解除します。
2. OSC3 Wait Timer Register(0x4901)とSystem Clock Control Register(0x4900)の設定
   • OSCTM[7:0](D[7:0]/0x4901) = 0x0
   • OSC3OFF(D7/0x4900) = 0
   • TMHSP(D6/0x4900) = 1
   • WAKEUPWT(D4/0x4900) = 1
   SLEEPモードがRTC割り込み(レベルトリガ)、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、最短(数十クロック)で再起動するように設定します。
3. CMU Write Protect Register(0x4920) = 0x96以外の値
   クロック制御レジスタの書き込み保護を設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
   チップはSLEEPモードになり、CMUはクロック出力を停止します。

   SLEEPモードはRTC割り込み(レベルトリガ)、デバッガからの強制ブレーク、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、OSCSEL(D2/0x4900)で選択されているクロックソースでシステムが再起動します。

II.2.10 ノイズフィルタ

II.2.10.1 DSIN入力用ノイズフィルタ

DSIO信号がノイズによりアクティブになると、S1C17コアはプログラムの実行を中断し、デバッグモードになります。これを防ぐため、S1C17501にはシステムクロックで動作するノイズフィルタが組み込まれており、この信号がS1C17コアに入力される前にノイズを除去できるようになっています。
このノイズフィルタを使用するには、DSINNF(D4/CMU_NFレジスタ)を1に設定してください。DSINNFが0(デフォルト)の場合、DSIO信号はノイズフィルタを通りません。

* **DSINNF**: DSIO Input Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D4/0x4902)

II.2.10.2 入力ポートのノイズフィルタ

CMUには、以下のポートの入力信号からノイズを除去するノイズフィルタが組み込まれています。

SPI:	SPI_SDI0, SPI_SCK0, SPI_SDI1, SPI_SCK1
I^2S:	I2S_MCLK0, I2S_SDI1, I2S_WS1, I2S_SCK1, I2S_MCLK1
UART:	#SCLK0
SRAMC:	#WAIT
I^2C:	I2C_SDA, I2C_SCL
CG_T16U0:	EXCL0

これらのノイズフィルタを使用するには、INPORTNF(D1/CMU_NFレジスタ)を0に設定してください。INPORTNFが1(デフォルト)の場合、入力信号はノイズフィルタを通りません。

* **INPORTNF**: Input Port Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D1/0x4902)

注: • これらのノイズフィルタは信号別に有効にすることはできません。

• これらのノイズフィルタは、上記のポートを汎用入力ポートとして使用する場合は無効です。

II.2.10.3 OSC3クロック入力用ノイズフィルタ

外部クロックをOSC3端子から入力して使用する場合の動作を安定させるため、CMUには入力クロック信号からノイズを除去するノイズフィルタが組み込まれています。
このノイズフィルタを使用するには、OSC3NF (D0/CMU_NFレジスタ)を0に設定してください。OSC3NFが1(デフォルト)の場合、入力クロック信号はノイズフィルタを通りません。

* **OSC3NF**: OSC3 Input Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D0/0x4902)

II.2.11 USBウェイト制御

USB Wait Control Register(0x4909)には、USBレジスタへのアクセス時に挿入するウェイトサイクル数を設定する制御ビットUSBWT[2:0](D[2:0])が設けられています。

* **USBWT[2:0]**: USB Register Access Wait Control Bits in the USB Wait Control (CMU_USBWT) Register (D[2:0]/0x4909)

表II.2.11.1 USBアクセス時のウェイトサイクル数

USBWT[2:0]	ウェイトサイクル数 (システムクロックサイクル単位)	システムクロック周波数
0x7	7サイクル	Reserved
0x6	6サイクル	48MHz以下
0x5	5サイクル	45MHz以下
0x4	4サイクル	36MHz以下
0x3	3サイクル	24MHz以下
0x2	2サイクル	16MHz以下
0x1	1サイクル	8MHz以下
0x0	0サイクル	8MHz以下

(デフォルト: 0x7 = 7サイクル)

システムクロック周波数に合わせ、ウェイトサイクル数を設定します。

USB Wait Control Register(0x4909)にはUSBファンクションコントローラのスヌーズモードを制御するUSBSNZビット(D5)も割り付けられています。スヌーズモードにするには、USBSNZを1に設定します。

* **USBSNZ**: USB Snooze Control Bit in the USB Wait Control (CMU_USBWT) Register (D5/0x4909)

USB制御の詳細については、“X.1 USBファンクションコントローラ”を参照してください。

II.2.12 制御レジスタの詳細

表II.2.12.1 CMUレジスター覧

アドレス	レジスタ名		機能
0x4900	CMU_SYSCLKCTL	System Clock Control Register	システムクロックの制御
0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
0x4909	CMU_USBWT	USB Wait Control Register	USBレジスタアクセス用ウェイトサイクルの設定
0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900～0x4909)書き込み保護の設定/解除

以下にCMUの制御レジスタを個々に説明します。
CMU制御レジスタは0x4900～0x4920の8ビットデバイスエリアに割り付けられており、16ビットおよび8ビットアクセスが可能です。

注: CMUレジスタ(0x4900～0x4909)は書き込み保護されています。これらのレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4909番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

0x4900: System Clock Control Register (CMU_SYSCLKCTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
System Clock Control Register (CMU_SYSCLKCTL)	0x4900 (8 bits)	D7	OSC3OFF	OSC3 disable during SLEEP	1	Stop	0	Run	0	R/W	
		D6	TMHSP	Wait-timer high-speed mode	1	High speed	0	Normal	0	R/W	
		D5	–	reserved	–				–	–	0 when being read.
		D4	WAKEUPWT	Wakeup-wait function enable	1	Wait interrupt	0	No wait	0	R/W	
		D3	–	reserved	–				–	–	0 when being read.
		D2	OSCSEL	OSC clock selection	1	OSC1	0	OSC3	0	R/W	
		D1	SOSC3	OSC3 oscillator on/off	1	On	0	Off	1	R/W	
		D0	–	reserved	–				–	–	0 when being read.

D7 OSC3OFF: OSC3 Disable During SLEEP Bit

SLEEPモード時にOSC3発振回路を停止するかどうかを選択します。
1(R/W): 停止
0(R/W): 動作(デフォルト)

クロックソース(OSC)切り換えのためのSLEEP移行時はOSC3を動作させたままに、パワーダウン目的のSLEEPの場合は停止させてください。

D6 TMHSP: Wait-Timer High-Speed Mode Bit

発振安定待ちタイマ(CMU_OSC3_WCNTレジスタ)のカウントモードを設定します。
1(R/W): 高速モード
0(R/W): 通常モード(デフォルト)

発振安定待ちタイマは、通常モードではOSCの8192クロック単位で0から2Mクロックまで、高速モードではOSCの16クロック単位で0から4080クロックまでカウントします。使用するOSC周波数でOSC3発振開始時間が得られるモードに設定してください。

D5 Reserved

D4 WAKEUPWT: Wakeup-Wait Function Enable Bit

クロックソース切り換え用のSLEEPモード起床待ち機能を有効にします。
1(R/W): 割り込み待ち
0(R/W): 自動起床(デフォルト)

WAKEUPWTが0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、OSCSEL(D2)で設定したソースクロックでCPUが再起動します。この場合でもOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)による発振安定時間待ちが有効なため、クロック切り換えを最短で行うには、OSCTM[7:0]を0x0に設定してください。
WAKEUPWTが1に設定されている場合は、イニシャルリセット、RTC割り込み(レベルトリガ)、デバッガからの強制ブレーク、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)によってSLEEPモードが解除されます。

D3 Reserved

D2 OSCSEL: OSC Clock Selection Bit

システムのクロックソース(OSC)を選択します。
1(R/W): OSC1
0(R/W): OSC3(デフォルト)

ここでクロックソースを変更してもすぐには切り換わらず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSELの設定後は一度SLEEPモードに設定する必要があります。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

D1 SOSC3: OSC3 Oscillator On/Off Bit

OSC3発振回路をOn/Offします。
1（R/W）: On（デフォルト）
0（R/W）: Off

注: SOSC3を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください。

D0 Reserved

0x4901: OSC3 Wait Timer Register (CMU_OSC3_WCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
OSC3 Wait Timer Register (CMU_OSC3_WCNT)	**0x4901** (8 bits)	D7–0	**OSCTM[7:0]**	OSC oscillation stabilization-wait timer	0–255	0x0	R/W	

D[7:0] OSCTM[7:0]: OSC Oscillation Stabilization-Wait Timer Bits

SLEEPモードから復帰する際にCPUの実行開始を遅延させる発振安定待ち時間を設定します。TMHSP（D6/CMU_SYSCLKCTLレジスタ）= 1の場合、OSCの16クロック単位、TMHSP = 0の場合、OSCの8192クロック単位で設定可能です。（デフォルト: 0x0 = 待ち時間なし）

表II.2.12.2 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6µs
	:	:	:
	0xff	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xff	2M	104.5ms

（時間は20MHzのOSC3で動作している場合の例です。）

SLEEPモード時にOSC3発振を停止させる場合は、必ず電気的特性に記載のOSC3発振開始時間以上の待ち時間となるようにデータを設定してください。

注: OSC発振安定待ちタイマはSLEEP解除後のクロックで動作しますので、クロックを切り換える目的でslp命令を実行する場合は、OSCTM[7:0]に設定する値に注意してください。

0x4902: Noise Filter Control Register (CMU_NF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Noise Filter Control Register (CMU_NF)	0x4902 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	DSINNF	DSIO input noise filter enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	INPORTNF	Input port noise filter enable	1 Disable 0 Enable	1	R/W	
		D0	OSC3NF	OSC3 input noise filter enable	1 Disable 0 Enable	1	R/W	

D[7:5] Reserved

D4 DSINNF: DSIO Input Noise Filter Enable Bit

DSIO入力用ノイズフィルタを有効/無効に設定します。
1(R/W): 有効(ノイズ除去)
0(R/W): 無効(バイパス)(デフォルト)

このノイズフィルタを使用する場合はDSINNFを1に設定します。DSINNFが0(デフォルト)の場合、DSIO信号はノイズフィルタを通らずに入力されます。

D[3:2] Reserved

D1 INPORTNF: Input Port Noise Filter Enable Bit

入力ポート用ノイズフィルタを有効/無効に設定します。
1(R/W): 無効(バイパス)(デフォルト)
0(R/W): 有効(ノイズ除去)

CMUのノイズフィルタにより、以下に示すポートの入力信号上のノイズを除去できます。

SPI: SPI_SDI0, SPI_SCK0, SPI_SDI1, SPI_SCK1
I^2S: I2S_MCLK0, I2S_SDI1, I2S_WS1, I2S_SCK1, I2S_MCLK1
UART: #SCLK0
SRAMC: #WAIT
I^2C: I2C_SDA, I2C_SCL
CG_T16U0: EXCL0

これらのノイズフィルタを使用する場合はINPORTNFを0に設定します。INPORTNFが1(デフォルト)の場合、信号はノイズフィルタを通らずに入力されます。

D0 OSC3NF: OSC3 Input Noise Filter Enable Bit

OSC3外部クロック入力用ノイズフィルタを有効/無効に設定します。
1(R/W): 無効(バイパス)(デフォルト)
0(R/W): 有効(ノイズ除去)

このノイズフィルタを使用する場合はOSC3NFを0に設定します。OSC3NFが1(デフォルト)の場合、信号はノイズフィルタを通らずに入力されます。

0x4903: OSC3 Clock Divider Register (CMU_OSC3DIV)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
OSC3 Clock Divider Register (CMU_OSC3DIV)	0x4903 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.
		D2–0	OSC3DIV [2:0]	OSC3 clock divider selection	OSC3DIV[2:0]	Divider	0x0	R/W	
					0x7	OSC3•1/1			
					0x6	OSC3•1/1			
					0x5	OSC3•1/32			
					0x4	OSC3•1/16			
					0x3	OSC3•1/8			
					0x2	OSC3•1/4			
					0x1	OSC3•1/2			
					0x0	OSC3•1/1			

D[7:3] Reserved

D[2:0] OSC3DIV[2:0]: OSC3 Clock Divider Selection Bits

OSC3をシステムクロックソースに設定した場合の、システムクロック周波数を選択します。
OSC3分周クロックの中からOSC3DIV[2:0]で選択します。

表II.2.12.3 OSC3分周クロックの選択

OSC3DIV[2:0]	OSC3_DIVクロック
0x7	OSC3•1/1
0x6	OSC3•1/1
0x5	OSC3•1/32
0x4	OSC3•1/16
0x3	OSC3•1/8
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

(デフォルト: 0x0 = OSC3•1/1)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大OSC3クロックの32サイクルの時間を要します。

0x4905: CMU_CLK Select Register (CMU_CMUCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CMU_CLK Select Register (CMU_CMUCLK)	0x4905 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–0	CMU_CLKSEL[3:0]	CMU_CLK selection	CMU_CLKSEL[3:0]	Clock source	0x0	R/W	
					0xf–0xa	reserved			
					0x9	OSC3•1/32			
					0x8	OSC3•1/16			
					0x7	OSC3•1/8			
					0x6	OSC3•1/4			
					0x5	OSC3•1/2			
					0x4	OSC3•1/1			
					0x3	LCDC_CLK			
					0x2	BCLK			
					0x1	OSC1			
					0x0	OSC3			

D[7:4] Reserved

D[3:0] CMU_CLKSEL[3:0]: CMU_CLK Selection Bits

CMU_CLKは外部バス用のクロックです。表II.2.12.5に示す11種類の中から選択可能です。

表II.2.12.5 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf–0xa	Reserved
0x9	OSC3•1/32
0x8	OSC3•1/16
0x7	OSC3•1/8
0x6	OSC3•1/4
0x5	OSC3•1/2
0x4	OSC3•1/1
0x3	LCDC_CLK
0x2	BCLK
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0 = OSC3)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表II.2.12.5に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

0x4906: Gated Clock Control 0 Register (CMU_GATEDCLK0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Gated Clock Control 0 Register (CMU_GATEDCLK0)	0x4906 (8 bits)	D7	FLASHC_CLK_EN	FLASHC clock control (in HALT mode)	1 On 0 Off	1	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	USB_SAPB_CLK_EN	USB SAPB I/F clock control	1 On 0 Off	0	R/W	
		D4	USB_CLK_EN	USB IP 48 MHz clock control		0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	PCLK_EN	Core peripheral clock control	1 On 0 Off	1	R/W	

D7 FLASHC_CLK_EN: FLASHC Clock Control (in HALT mode) Bit

HALT時のFLASHCへのクロック(FLASHC_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D6 Reserved

D5 USB_SAPB_CLK_EN: USB SAPB I/F Clock Control Bit

USB SAPBバスインタフェースへのクロック(USB_SAPB_CLK)の供給を制御します。
1(R/W): On
0(R/W): Off(デフォルト)

D4 USB_CLK_EN: USB IP 48 MHz Clock Control Bit

USBモジュールへのクロック(OSC3 = 48MHz)の供給を制御します。
1(R/W): On
0(R/W): Off(デフォルト)

D3–1 Reserved

D0 PCLK_EN: Core Peripheral Clock Control Bit

コア周辺回路モジュールへのクロック(PCLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

0x4907: Gated Clock Control 1 Register (CMU_GATEDCLK1)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Gated Clock Control 1 Register (CMU_GATEDCLK1)	0x4907 (8 bits)	D7	SRAMC_CLK_EN	SRAMC clock control (in HALT mode)	1	On	0	Off	1	R/W	
		D6–2	–	reserved	–				–	–	0 when being read.
		D1	PT8_CLK_EN	8-bit programmable timer clock control	1	On	0	Off	1	R/W	
		D0	MFT_CLK_EN	Multi-function timer clock control					1	R/W	

D7 SRAMC_CLK_EN: SRAMC Clock Control (in HALT mode) Bit

HALT時のSRAMCへのクロック（SRAMC_CLK）の供給を制御します。
1（R/W）: On（デフォルト）
0（R/W）: Off

D[6:2] Reserved

D1 PT8_CLK_EN: 8-bit Programmable Timer Clock Control Bit

8ビットプログラマブルタイマへのクロック（PT8_CLK）の供給を制御します。
1（R/W）: On（デフォルト）
0（R/W）: Off

D0 MFT_CLK_EN: Multi-Function Timer Clock Control Bit

マルチファンクションタイマへのクロック（MFT_CLK）の供給を制御します。
1（R/W）: On（デフォルト）
0（R/W）: Off

0x4908: Gated Clock Control 2 Register (CMU_GATEDCLK2)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Gated Clock Control 2 Register (CMU_GATEDCLK2)	0x4908 (8 bits)	D7–6	–	reserved	–				–	–	0 when being read.
		D5	SPI_CLK_EN	SPI CH.1 module clock control	1	On	0	Off	1	R/W	
		D4	REMC_CLK_EN	REMC module clock control					1	R/W	
		D3	ADC_CLK_EN	ADC module clock control					1	R/W	
		D2	WDT_CLK_EN	WDT module clock control					1	R/W	
		D1	PORT_CLK_EN	I/O port module clock control					1	R/W	
		D0	RTC_SAPB_CLK_EN	RTC SAPB I/F clock control					1	R/W	

D[7:6] Reserved

D5 SPI_CLK_EN: SPI CH.1 Module Clock Control Bit

SPIモジュールへのクロック(SPI_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D4 REMC_CLK_EN: REMC Module Clock Control Bit

リモートコントローラへのクロック(REMC_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D3 ADC_CLK_EN: ADC Module Clock Control Bit

A/D変換器へのクロック(ADC_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D2 WDT_CLK_EN: WDT Module Clock Control Bit

ウォッチドッグタイマへのクロック(WDT_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D1 PORT_CLK_EN: I/O Port Module Clock Control Bit

入出力ポートモジュールへのクロック(PORT_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

D0 RTC_SAPB_CLK_EN: RTC SAPB I/F Clock Control Bit

RTC SAPBインタフェースへのクロック(RTC_SAPB_CLK)の供給を制御します。
1(R/W): On(デフォルト)
0(R/W): Off

0x4909: USB Wait Control Register (CMU_USBWT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USB Wait Control Register (CMU_USBWT)	0x4909 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	USBSNZ	USB snooze control	1 Enable / 0 Disable	0	R/W	
		D4–3	–	reserved	–	–	–	0 when being read.
		D2–0	USBWT[2:0]	USB register access wait control	USBWT[2:0]: Wait cycle 0x7: 7 cycles : 0x0: 0 cycles	0x7	R/W	

D[7:6] Reserved

D5 USBSNZ: USB Snooze Control Bit

USBファンクションコントローラのスヌーズ制御を有効/無効に設定します。
1（R/W）: 有効
0（R/W）: 無効（デフォルト）

USBSNZに1を書き込むと、USBファンクションコントローラは必要なシーケンスを実行後、スヌーズモードに移行します。このビットを0に設定すると、USBファンクションコントローラはスヌーズモードを解除し、動作を再開します。スヌーズシーケンスの詳細については、“X.1.4.3 スヌーズ”を参照してください。

D[4:3] Reserved

D[2:0] USBWT[2:0]: USB Register Access Wait Control Bits

USB制御レジスタへのアクセス時に挿入するウェイトサイクル数を設定します。

表II.2.12.6 USBアクセス時のウェイトサイクル数

USBWT[2:0]	ウェイトサイクル数 (システムクロックサイクル単位)	システムクロック周波数
0x7	7サイクル	Reserved
0x6	6サイクル	48MHz以下
0x5	5サイクル	45MHz以下
0x4	4サイクル	36MHz以下
0x3	3サイクル	24MHz以下
0x2	2サイクル	16MHz以下
0x1	1サイクル	8MHz以下
0x0	0サイクル	8MHz以下

(デフォルト: 0x7 = 7サイクル)

システムクロック周波数に合わせ、ウェイトサイクル数を設定します。

0x4920: CMU Write Protect Register (CMU_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU Write Protect Register (CMU _PROTECT)	**0x4920** (8 bits)	D7–0	**CLGP[7:0]**	CMU register protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x4900–0x4909). Writing another value set the write protection.	0x0	R/W	

D[7:0] CLGP[7:0]: CMU Register Protect Flag Bits

CMUレジスタ（0x4900～0x4909）の書き込み保護を設定/解除します。
0x96（R/W）: 書き込み保護解除
0x96以外（R/W）: 書き込み保護（デフォルト: 0x0）

CMUレジスタを変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではCMUレジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

II.2.13 注意事項

■クロック制御に関する注意

- CMUレジスタ(0x4900～0x4909)は書き込み保護されています。これらのレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。一度書き込み保護を解除すると、0x96以外に設定し直すまで、CMUレジスタには何度でも書き込めます。なお、CMUレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。
- クロックソースを変更する場合、その後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。
  また、SLEEPが解除された時点の発振安定待ち時間を作るタイマは、切り換わった後のクロックで動作しますので、この時間を指定するOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYSCLKCTLレジスタ)の設定に注意してください。
- SOSC3(D1/CMU_SYSCLKCTLレジスタ)を0から1に設定してOSC3発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください(例: S1C17501では25ms)。

■リセット入力に関する注意

- #RESET端子を0(Low)にしても、クロックが入力されていないとチップはリセットされません。確実にリセットをかけるためには、少なくともOSC3クロックの3サイクル以上、#RESET = 0を保持してください。なお入出力ポート端子については、クロックが入力されていない場合でもイニシャルリセットで初期化されます。
- OSC3発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

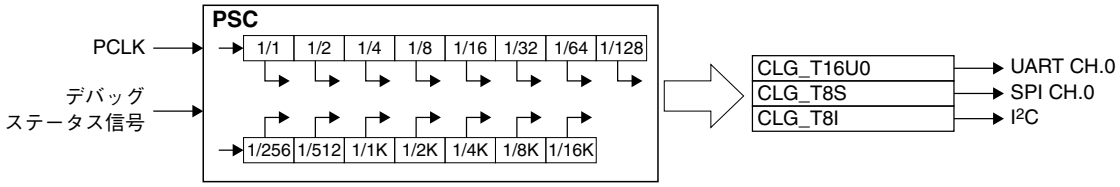
■NMI入力に関する注意

NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

II.3 プリスケーラ(PSC)

II.3.1 プリスケーラの構成

S1C17501はUART(CH.0)、SPI(CH.0)およびI²Cモジュールの動作クロックを生成するプリスケーラを内蔵しています。プリスケーラはCMUから供給されるPCLKクロックを1/1～1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。



図II.3.1.1 プリスケーラ

プリスケーラはPRUNビット(D0/PSC_CTLレジスタ)で制御します。プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。クロックジェネレータやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。イニシャルリセット後、プリスケーラは停止しています。

* **PRUN**: Prescaler Run/Stop Control Bit in the Prescaler Control (PSC_CTL) Register (D0/0x4020)

注: プリスケーラを使用するには、CMUからPCLKが供給されている必要があります。

プリスケーラにはもう一つの制御ビット、PRUND(D1/PSC_CTLレジスタ)が用意されています。このビットはデバッグモード時のプリスケーラの動作を指定します。PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にクロックジェネレータやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

* **PRUND**: Prescaler Run/Stop in Debug Mode Bit in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

II.3.2 制御レジスタ詳細

表II.3.2.1 プリスケーラレジスタ

アドレス	レジスタ名		機　能
0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御

プリスケーラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、"Reserved"のビットには必ず0を書き込み、1は書き込まないでください。

0x4020: Prescaler Control Register (PSC_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1	Run	0	Stop	0	R/W	
		D0	PRUN	Prescaler run/stop control	1	Run	0	Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop in Debug Mode Bit

デバッグモード時のプリスケーラの動作を選択します。
1(R/W): 動作
0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にクロックジェネレータやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケーラの動作を開始/停止させます。
1(R/W): 動作開始
0(R/W): 停止(デフォルト)

プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。クロックジェネレータやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。

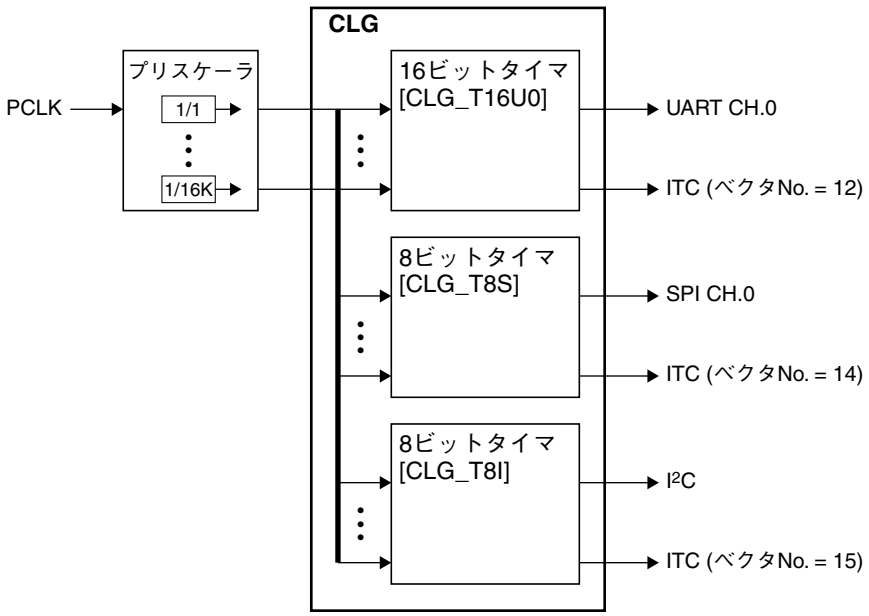
II.3.3 注意事項

プリスケーラを使用するには、CMUからPCLKが供給されている必要があります。

II.4 クロックジェネレータ(CLG)

II.4.1 クロックジェネレータの構成

S1C17501は16ビットタイマ1チャネルと8ビットタイマ2チャネルで構成されるクロックジェネレータを内蔵しています。16ビットタイマはUART CH.0のクロックを、2つの8ビットタイマはSPI CH.0とI²Cのクロックを生成します。各タイマはソフトウェアでカウンタに設定した初期値からプリスケーラ出力クロックの一つをカウントクロックとしてカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アプリケーションプログラムはこのタイマを使用して、任意の時間間隔やプログラマブルなシリアル転送速度を得ることができます。
図II.4.1.1にクロックジェネレータの構成を示します。



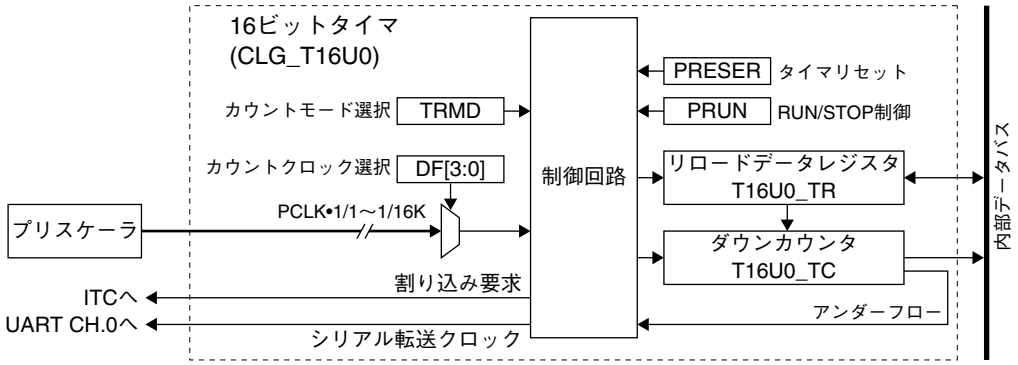
図II.4.1.1 クロックジェネレータの構成

シリアルインタフェースを使用しない場合は、そのクロック生成用タイマを割り込み機能付きの汎用プログラマブルタイマとして使用することができます。

II.4.2 16ビットタイマ(CLG_T16U0)

II.4.2.1 16ビットタイマの概要

S1C17501のCLGには16ビットタイマ(CLG_T16U0)が内蔵されています。
16ビットタイマは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART CH.0用のシリアルクロック生成に使用されます。アンダーフロー周期はプリスケーラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。
図II.4.2.1.1に16ビットタイマの構造を示します。



図II.4.2.1.1 16ビットタイマの構造

II.4.2.2 カウントモード

16ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD(D4/CLG_T16U0_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D4/0x4206)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。
このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。
このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、16ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

II.4.2.3 カウントクロック

16ビットタイマはプリスケーラ出力クロックをカウントクロックとして使用します。プリスケーラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/CLG_T16U0_CLKレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the CLG_T16U0 Input Clock Select (CLG_T16U0_CLK) Register (D[3:0]/0x4200)

表II.4.2.3.1 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

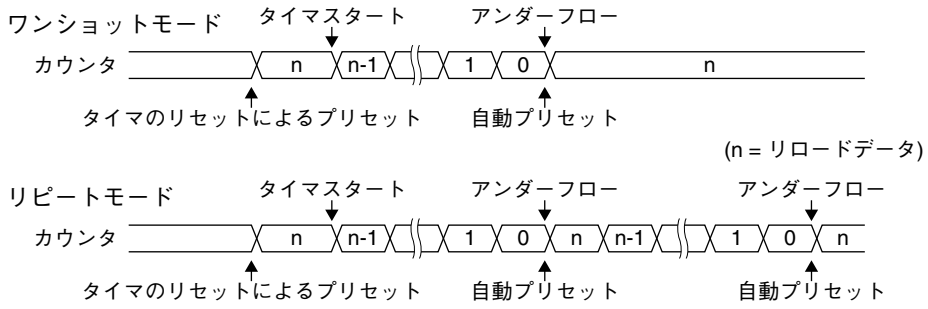
(デフォルト: 0x0)

注: • 16ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
• カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

プリスケーラの制御については、"II.3 プリスケーラ(PSC)"を参照してください。

II.4.2.4 16ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタCLG_T16U0_TR(0x4202)は、ダウンカウンタに初期値をセットするために使用します。
リロードデータレジスタに設定したカウンタ初期値は、16ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



図II.4.2.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{clk_in}\ [s] \qquad \text{アンダーフローサイクル} = \frac{clk_in}{TR + 1}\ [Hz]$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
TR: リロードデータ(0～65535)

注: UARTは16ビットタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

II.4.2.5 16ビットタイマのリセット

16ビットタイマをリセットするには、PRESER(D1/CLG_T16U0_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D1/0x4206)

II.4.2.6 16ビットタイマRUN/STOP制御

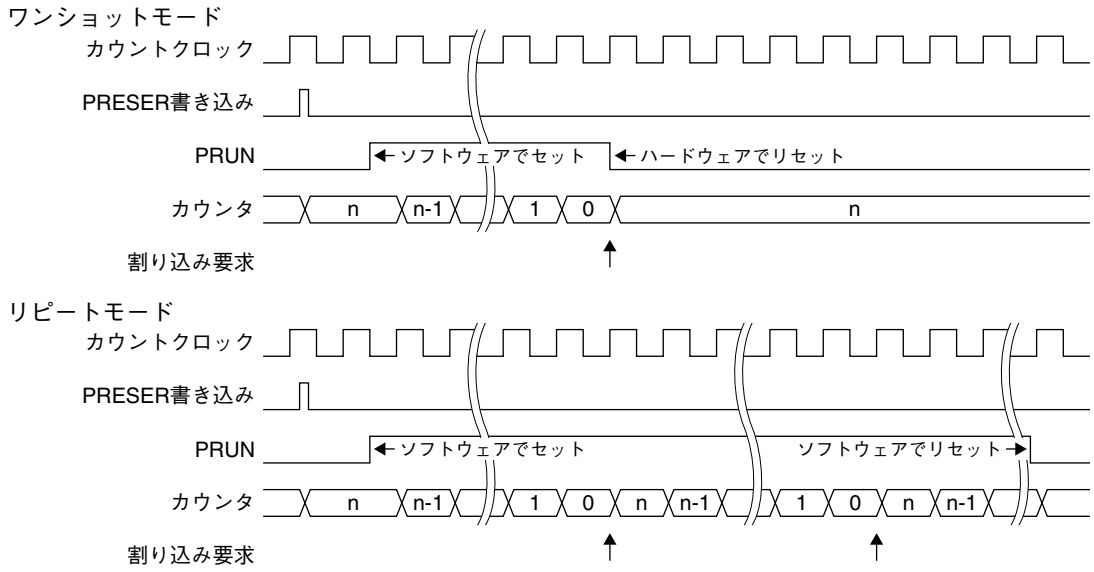
16ビットタイマの動作を開始させる前に、以下の設定を行ってください。
(1)カウントモード(ワンショットまたはリピート)を設定します。II.4.2.2節を参照してください。
(2)カウントクロック(プリスケーラ出力クロック)を選択します。II.4.2.3節を参照してください。
(3)カウンタ初期値を計算してリロードデータレジスタに設定します。II.4.2.4節を参照してください。
(4)タイマをリセットして初期値をカウンタにプリセットします。II.4.2.5節を参照してください。
(5)タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャネルの割り込みを許可します。II.4.2.8節を参照してください。

16ビットタイマの動作を開始させるには、PRUN(D0/CLG_T16U0_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D0/0x4206)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。
ワンショットモードに設定されている場合、タイマはカウントを停止します。
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

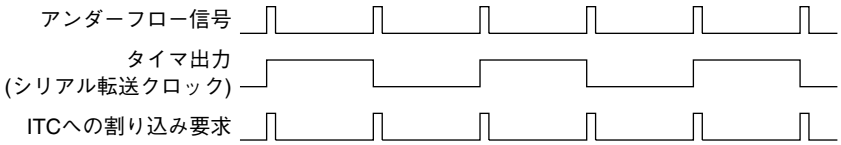
アプリケーションプログラムから16ビットタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。



図II.4.2.6.1 カウント動作

II.4.2.7 16ビットタイマ出力信号

16ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。
また、UART CH.0用のシリアル転送クロックの生成にも使用されます。



図II.4.2.7.1 タイマ出力クロック

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$bps = \frac{clk_in}{(TR + 1) \times 16}$$

$$TR = \left(\frac{clk_in}{bps} - 16\right) \div 16$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
TR: リロードデータ(0～65535)
bps: 転送レート(ビット/秒)

II.4.2.8 16ビットタイマ割り込み

16ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

以下に、16ビットタイマ用のITC制御ビットを示します。

割り込みフラグIIFT0

* **IIFT0**: CLG_T16U0 Timer Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D8/0x4300)

割り込みイネーブルビットIIEN0

* **IIEN0**: CLG_T16U0 Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D8/0x4302)

割り込みレベル設定ビットIILV0

* **IILV0[2:0]**: CLG_T16U0 Timer Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV0) Register 0 (D[2:0]/0x430e)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0～7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

16ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。
ベクタ番号: 12(0x0c)
ベクタアドレス: TTBR + 0x30

II.4.2.9 制御レジスタ詳細

表II.4.2.9.1 16ビットタイマレジスター一覧

アドレス	レジスタ名		機　能
0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケーラ出力クロックの選択
0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP

以下、16ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4200: CLG_T16U0 Input Clock Select Register (CLG_T16U0_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CLG_T16U0 Input Clock Select Register (CLG_T16U0 _CLK)	0x4200 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケーラ出力クロックから、16ビットタイマのカウントクロックを選択します。

表II.4.2.9.2 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

0x4202: CLG_T16U0 Reload Data Register (CLG_T16U0_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Reload Data Register (CLG_T16U0 _TR)	**0x4202** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: 16-bit Timer Reload Data Bits

カウンタの初期値を設定します。（デフォルト: 0x0）
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
16ビットタイマをリセット後にスタートさせると、タイマはリロード値（初期値）からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで（またはアンダーフロー間）の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4204: CLG_T16U0 Counter Data Register (CLG_T16U0_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Counter Data Register (CLG_T16U0 _TC)	**0x4204** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: 16-bit Timer Counter Data Bits

カウンタデータが読み出せます。（デフォルト: 0xffff）
このレジスタはリードオンリのため、データの書き込みはできません。

0x4206: CLG_T16U0 Control Register (CLG_T16U0_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Control Register (CLG_T16U0 _CTL)	0x4206 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:5] Reserved

D4 TRMD: Count Mode Select Bit

16ビットタイマのカウントモードを選択します。
1(R/W): ワンショットモード
0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、16ビットタイマをこのモードに設定してください。

注: **カウントモードの設定は、16ビットタイマがカウント停止中に行ってください。**

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

16ビットタイマをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1(R/W): RUN
0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

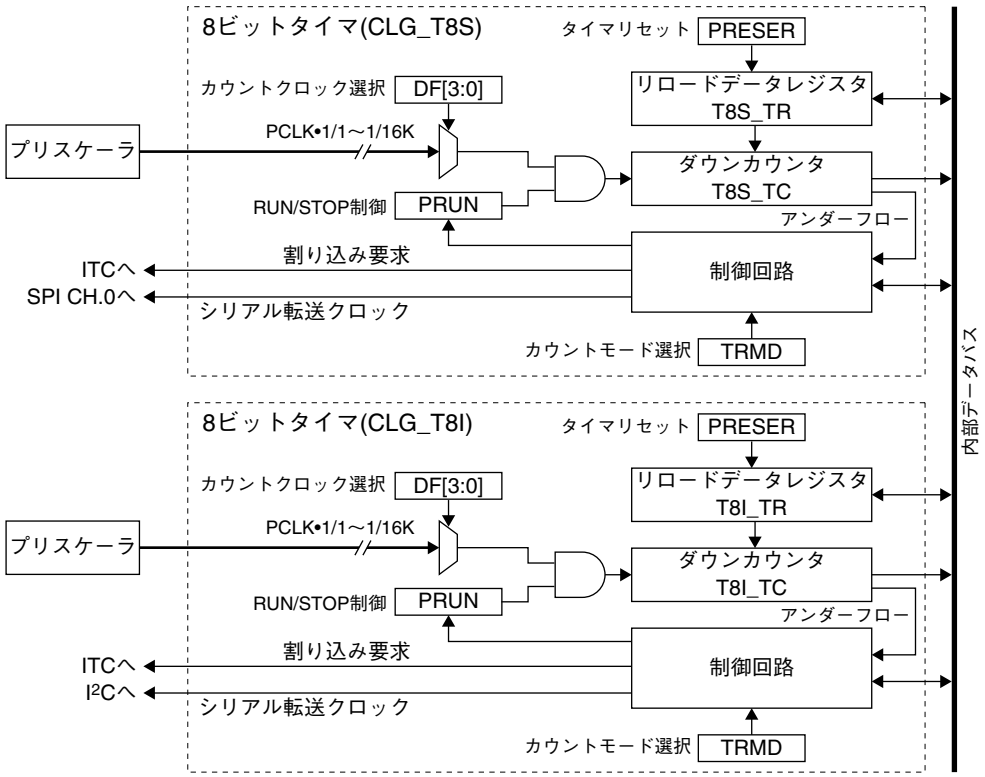
II.4.2.10 注意事項

- 16ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

II.4.3 8ビットタイマ(CLG_T8S, CLG_T8I)

II.4.3.1 8ビットタイマの概要

S1C17501のCLGには2チャネルの8ビットタイマ(CLG_T8S、CLG_T8I)が内蔵されています。
8ビットタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アンダーフロー周期はプリスケーラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。
通常、CLG_T8SはSPI CH.0の動作クロックの生成に、CLG_T8IはI^2Cの動作クロックの生成に使用します。
図II.4.3.1.1に8ビットタイマの構造を示します。



図II.4.3.1.1 8ビットタイマの構造

注: 2チャネルの8ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットタイマの全チャネルに適用されます。レジスタ名の'*x*'はチャネル(SまたはI)を表します。また、レジスタのアドレスは(CLG_T8S/CLG_T8I)のように記述されています。
例: CLG_T8*x*_CTLレジスタ(0x4246/0x4266)
x = S: CLG_T8S_CTLレジスタ(0x4246)
x = I: CLG_T8I_CTLレジスタ(0x4266)

II.4.3.2 8ビットタイマのカウントモード

8ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMDビット(D4/CLG_T8*x*_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the CLG_T8*x* Control (CLG_T8*x*_CTL) Registers (D4/0x4246/0x4266)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。
このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。
このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

II.4.3.3 カウントクロック

8ビットタイマはプリスケーラ出力クロックをカウントクロックとして使用します。プリスケーラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/CLG_T8*x*_CLKレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the CLG_T8*x* Input Clock Select (CLG_T8*x*_CLK) Registers (D[3:0]/0x4240/0x4260)

表II.4.3.3.1 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

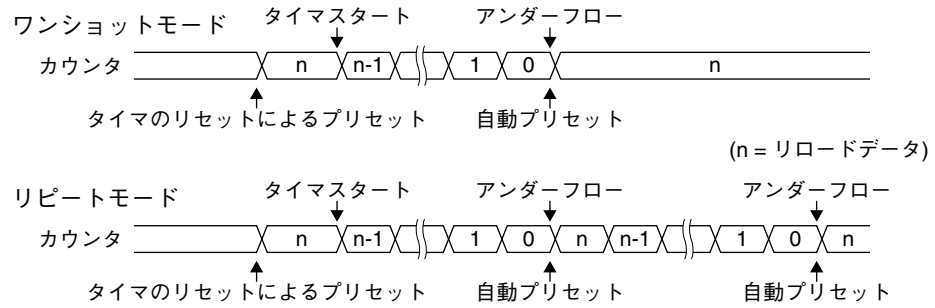
注: • 8ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。

• カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

プリスケーラの制御については、"II.3 プリスケーラ(PSC)"を参照してください。

II.4.3.4 8ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタCLG_T8*x*_TR(0x4242/0x4262)は、ダウンカウンタに初期値をセットするために使用します。
リロードデータレジスタに設定したカウンタ初期値は、8ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



図II.4.3.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{clk_in}\ [s] \qquad \text{アンダーフローサイクル} = \frac{clk_in}{TR + 1}\ [Hz]$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
TR: リロードデータ(0～255)

II.4.3.5 8ビットタイマのリセット

8ビットタイマをリセットするには、PRESERビット(D1/CLG_T8*x*_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the CLG_T8*x* Control (CLG_T8*x*_CTL) Registers (D1/0x4246/0x4266)

II.4.3.6 8ビットタイマRUN/STOP制御

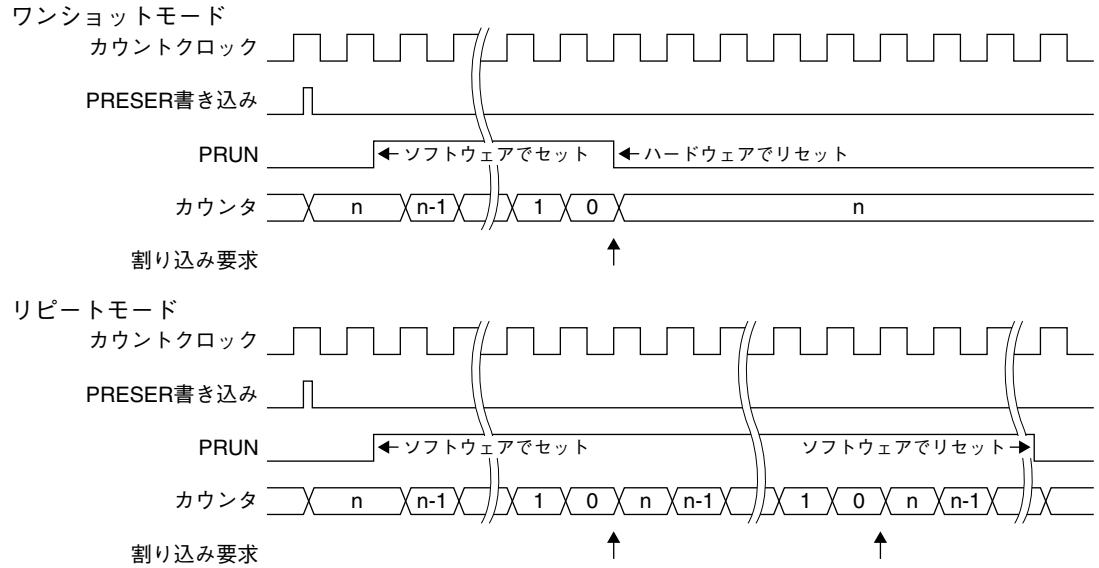
8ビットタイマの動作を開始させる前に、以下の設定を行ってください。
(1)カウントモード(ワンショットまたはリピート)を設定します。II.4.3.2節を参照してください。
(2)カウントクロック(プリスケーラ出力クロック)を選択します。II.4.3.3節を参照してください。
(3)カウンタ初期値を計算してリロードデータレジスタに設定します。II.4.3.4節を参照してください。
(4)タイマをリセットして初期値をカウンタにプリセットします。II.4.3.5節を参照してください。
(5)タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。II.4.3.8節を参照してください。

8ビットタイマの動作を開始させるには、PRUNビット(D0/CLG_T8*x*_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the CLG_T8*x* Control (CLG_T8*x*_CTL) Registers (D0/0x4246/0x4266)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。
ワンショットモードに設定されている場合、タイマはカウントを停止します。
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

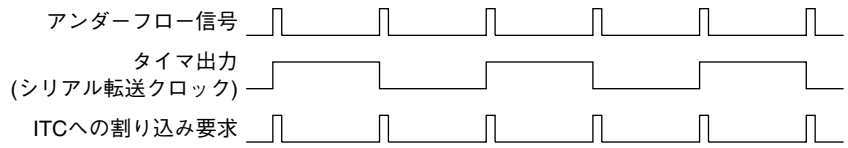
アプリケーションプログラムから8ビットタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。



図II.4.3.6.1 カウント動作

II.4.3.7 8ビットタイマ出力信号

8ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。
また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。



図II.4.3.7.1 タイマ出力クロック

生成されたクロックは以下のとおり、内部シリアルインタフェースに送られます。
CLG_T8S出力クロック→ SPI
CLG_T8I出力クロック → I^2C

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$TR = \frac{clk_in}{bps \times 2} - 1$$

clk_in: カウントクロック（プリスケーラ出力クロック）周波数 [Hz]
TR: リロードデータ（0～255）
bps: 転送レート（ビット/秒）

II.4.3.8 8ビットタイマ割り込み

8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

表II.4.3.8.1に、各タイマチャネル用のITC制御レジスタを示します。

表II.4.3.8.1 ITCレジスタ

タイマチャネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
CLG_T8S	IIFT2 (D10/ITC_IFLG)	IIEN2 (D10/ITC_EN)	IILV2[2:0] (D[2:0]/ITC_ILV1)
CLG_T8I	IIFT3 (D11/ITC_IFLG)	IIEN3 (D11/ITC_EN)	IILV3[2:0] (D[10:8]/ITC_ILV1)

ITC_IFLGレジスタ(0x4300)
ITC_ENレジスタ(0x4302)
ITC_ILV1レジスタ(0x4310)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、CLG_T8Sの優先順位が高く、CLG_T8Iが低い順位となります。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表II.4.3.8.2 タイマ割り込みベクタ

タイマチャネル	ベクタ番号	ベクタアドレス
CLG_T8S	14 (0x0e)	TTBR + 0x38
CLG_T8I	15 (0x0f)	TTBR + 0x3c

II.4.3.9 制御レジスタ詳細

表II.4.3.9.1 8ビットタイマレジスター覧

アドレス	レジスタ名		機　能
0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケーラ出力クロックの選択
0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケーラ出力クロックの選択
0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP

以下、8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4240/0x4260: CLG_T8*x* Input Clock Select Registers (CLG_T8*x*_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CLG_T8*x* Input Clock Select Register (CLG_T8*x*_CLK)	**0x4240** **0x4260** (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

注: レジスタ名などの'*x*'はタイマチャネル(SまたはI)を表します。

0x4240: CLG_T8S Input Clock Select Register (CLG_T8S_CLK)
0x4260: CLG_T8I Input Clock Select Register (CLG_T8I_CLK)

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケーラ出力クロックから、8ビットタイマのカウントクロックを選択します。

表II.4.3.9.2 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

0x4242/0x4262: CLG_T8*x* Reload Data Registers (CLG_T8*x*_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8*x*	**0x4242**	D15–8	**–**	reserved	–	–	–	0 when being read.
Reload Data Register (CLG_T8*x*_TR)	**0x4262** (16 bits)	D7–0	**TR[7:0]**	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

注: レジスタ名などの'*x*'はタイマチャネル(SまたはI)を表します。

0x4242: CLG_T8S Reload Data Register (CLG_T8S_TR)
0x4262: CLG_T8I Reload Data Register (CLG_T8I_TR)

D[15:8] Reserved

D[7:0] TR[7:0]: 8-bit Timer Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4244/0x4264: CLG_T8*x* Counter Data Registers (CLG_T8*x*_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8*x*	**0x4244**	D15–8	–	reserved	–	–	–	0 when being read.
Counter Data Register (CLG_T8x_TC)	**0x4264** (16 bits)	D7–0	**TC[7:0]**	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

注: レジスタ名などの'*x*'はタイマチャネル(SまたはI)を表します。

0x4244: CLG_T8S Counter Data Register (CLG_T8S_TC)
0x4264: CLG_T8I Counter Data Register (CLG_T8I_TC)

D[15:8] Reserved

D[7:0] TC[7:0]: 8-bit Timer Counter Data Bits
カウンタデータが読み出せます。(デフォルト: 0xff)
このレジスタはリードオンリのため、データの書き込みはできません。

0x4246/0x4266: CLG_T8*x* Control Registers (CLG_T8*x*_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8*x* Control Register (CLG_T8*x*_CTL)	0x4246 0x4266 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの'*x*'はタイマチャネル(SまたはI)を表します。

0x4246: CLG_T8S Control Register (CLG_T8S_CTL)
0x4266: CLG_T8I Control Register (CLG_T8I_CTL)

D[15:5] Reserved

D4 TRMD: Count Mode Select Bit

8ビットタイマのカウントモードを選択します。
1(R/W): ワンショットモード
0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

8ビットタイマをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1(R/W): RUN
0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

II.4.3.10 注意事項

- 8ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

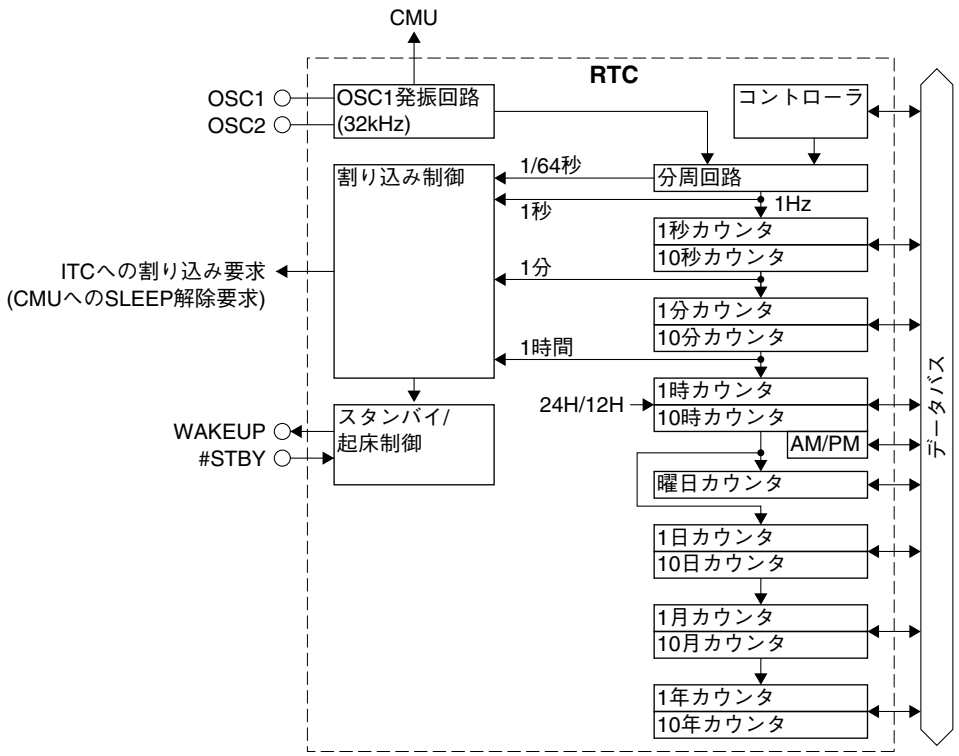
II.5 リアルタイムクロック(RTC)

II.5.1 RTCの概要

S1C17501は万年カレンダ付きのリアルタイムクロック(RTC)と、その動作クロックを生成するOSC1発振回路を内蔵しています。
RTCとOSC1発振回路はSLEEPモードでも動作します。また、RTCはCPUに対して周期的に割り込みを発生することができます。
主な特長を以下に示します。

- 時刻(秒、分、時)カウンタおよびカレンダ(日、曜日、月、年)カウンタ内蔵
- カウンタはすべてBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- ソフトウェアによる30秒補正機能
- 周期的な割り込みが可能
- 1/64秒、1秒、1分、1時間周期、レベル/エッジ割り込みを選択可能
- 独立電源により、システムパワーオフ時も動作(スタンバイモード)
- 32.768kHz(Typ.)の動作クロックを生成するOSC1発振回路(水晶発振または外部クロック入力)を内蔵
- システム電源を制御の使用可能な#STBYとWAKEUP端子

図II.5.1.1にRTCのブロック図を示します。



図II.5.1.1 RTCブロック図

II.5.2 RTCカウンタ

RTCは以下に示す13個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

1秒カウンタ

1秒桁の4ビットBCDカウンタで、32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。カウントデータはRTCSL[3:0](D[3:0]/RTC_SECレジスタ)を使用して読み出し/書き込みを行います。

* **RTCSL[3:0]**: RTC 1-second Counter Bits in the RTC Second (RTC_SEC) Register (D[3:0]/0x4614)

10秒カウンタ

10秒桁の3ビットBCDカウンタで、1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。カウントデータはRTCSH[2:0](D[6:4]/RTC_SECレジスタ)を使用して読み出し/書き込みを行います。

* **RTCSH[2:0]**: RTC 10-second Counter Bits in the RTC Second (RTC_SEC) Register (D[6:4]/0x4614)

1分カウンタ

1分桁の4ビットBCDカウンタで、10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。カウントデータはRTCMIL[3:0](D[3:0]/RTC_MINレジスタ)を使用して読み出し/書き込みを行います。

* **RTCMIL[3:0]**: RTC 1-minute Counter Bits in the RTC Minute (RTC_MIN) Register (D[3:0]/0x4615)

10分カウンタ

10分桁の3ビットBCDカウンタで、1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。カウントデータはRTCMIH[2:0](D[6:4]/RTC_MINレジスタ)を使用して読み出し/書き込みを行います。

* **RTCMIH[2:0]**: RTC 10-minute Counter Bits in the RTC Minute (RTC_MIN) Register (D[6:4]/0x4615)

1時カウンタ

1時桁の4ビットBCDカウンタで、10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。カウントデータはRTCHL[3:0](D[3:0]/RTC_HOURレジスタ)を使用して読み出し/書き込みを行います。

* **RTCHL[3:0]**: RTC 1-hour Counter Bits in the RTC Hour (RTC_HOUR) Register (D[3:0]/0x4616)

10時カウンタ

10時桁の2ビットBCDカウンタで、1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。カウントデータはRTCHH[1:0](D[5:4]/RTC_HOURレジスタ)を使用して読み出し/書き込みを行います。

* **RTCHH[1:0]**: RTC 10-hour Counter Bits in the RTC Hour (RTC_HOUR) Register (D[5:4]/0x4616)

12時間制を選択した場合、午前/午後を示すRTCAP(D6/RTC_HOURレジスタ)ビットが有効になり、午前を0、午後を1で示します。24時間制の場合、RTCAPは0に固定されます。

* **RTCAP**: AM/PM Indicator Bit in the RTC Hour (RTC_HOUR) Register (D6/0x4616)

1日カウンタ

1日桁の4ビットBCDカウンタで、時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。カウントデータはRTCDL[3:0](D[3:0]/RTC_DAYレジスタ)を使用して読み出し/書き込みを行います。

* **RTCDL[3:0]**: RTC 1-day Counter Bits in the RTC Day (RTC_DAY) Register (D[3:0]/0x4617)

10日カウンタ

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。カウントデータはRTCDH[1:0](D[5:4]/RTC_DAYレジスタ)を使用して読み出し/書き込みを行います。

* **RTCDH[1:0]**: RTC 10-day Counter Bits in the RTC Day (RTC_DAY) Register (D[5:4]/0x4617)

1月カウンタ

1月桁の4ビットBCDカウンタで、日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。カウントデータはRTCMOL[3:0](D[3:0]/RTC_MONTHレジスタ)を使用して読み出し/書き込みを行います。

* **RTCMOL[3:0]**: RTC 1-month Counter Bits in the RTC Month (RTC_MONTH) Register (D[3:0]/0x4628)

10月カウンタ

10月桁のビットで、1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。カウントデータはRTCMOH(D4/RTC_MONTHレジスタ)を使用して読み出し/書き込みを行います。

* **RTCMOH**: RTC 10-month Counter Bit in the RTC Month (RTC_MONTH) Register (D4/0x4628)

1年カウンタ

1年桁の4ビットBCDカウンタで、月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。カウントデータはRTCYL[3:0](D[3:0]/RTC_YEARレジスタ)を使用して読み出し/書き込みを行います。

* **RTCYL[3:0]**: RTC 1-year Counter Bits in the RTC Year (RTC_YEAR) Register (D[3:0]/0x4629)

10年カウンタ

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。カウントデータはRTCYH[3:0](D[7:4]/RTC_YEARレジスタ)を使用して読み出し/書き込みを行います。

* **RTCYH[3:0]**: RTC 10-year Counter Bits in the RTC Year (RTC_YEAR) Register (D[7:4]/0x4629)

曜日カウンタ

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。カウントデータはRTCWK[2:0](D[2:0]/RTC_WEEKレジスタ)を使用して読み出し/書き込みを行います。

* **RTCWK[2:0]**: RTC Days of Week Counter Bits in the RTC Days of Week (RTC_WEEK) Register (D[2:0]/0x462a)

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表II.5.2.1に示します。

表II.5.2.1 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。電源投入後は不定となります。“II.5.3.2 RTCのイニシャルシーケンス”に示す手順でカウンタを初期設定してください。

うるう年検出について

本RTCのうるう年検出は西暦専用で、2399年までは自動判別します。
0～99の中の4で割り切れる年はうるう年と判定します。1年カウンタと10年カウンタが共に0の場合は平年と判定します。

II.5.3 RTCの制御

II.5.3.1 動作クロックの制御

カウンタクロック

RTCは32.768kHz(Typ.)のOSC1クロックで動作します。OSC1クロックはOSC1発振回路から常に(HALT/SLEEPモード時も)出力されます。

レジスタクロック

RTCの制御レジスタの動作にはRTC_SAPB_CLKクロックを使用します。レジスタ設定時はこのクロックが必要です。レジスタの設定後は消費電流を低減させるため、RTC_SAPB_CLK_EN(D0/CMU_GATEDCLK2レジスタ)を0に設定してクロック供給を停止させることができます。

* **RTC_SAPB_CLK_EN**: RTC SAPB I/F Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D0/0x4908)

II.5.3.2 RTCのイニシャルシーケンス

電源投入直後はRTCレジスタの内容が不定になります。電源投入時は以下の手順でRTCによる計時を開始してください。各制御内容の詳細については、続く節で個々に説明します。

1. 電源投入
2. システムの初期化処理とOSC1発振安定待ち
   OSC1発振回路は電源投入直後に発振を開始しますが、出力クロックの安定に最大で3秒の時間が必要です。
3. RTC割り込みをディセーブル
   不要なRTC割り込みの発生を防ぐため、次のように設定します。
   RTC Interrupt Mode Register(0x4601)に0x0を書き込み、RTC割り込みを禁止します。
   RTC Interrupt Status Register(0x4600)に0x1を書き込み、割り込みステータスをクリアします。
   詳細は、"II.5.4 RTC割り込み"を参照してください。
4. カウントの開始
   RTC Control 0 Register(0x4602)に0x2(12時間制の場合)または0x12(24時間制の場合)を書き込み、カウントを開始させます。これは、設定の変更がカウントデータに影響する12時間制/24時間制の内容などを初期化するための操作で、正式なカウント開始操作ではありません。
   詳細は、"II.5.3.3 24時間制/12時間制の選択とカウンタの設定"と"II.5.3.4 カウンタのスタート/ストップおよびリセット"を参照してください。
5. RTCのアクセス可能状態の確認
   RTC Control 1 Register(0x4603)を使用してカウンタホールド制御とビジーフラグの読み出しを行い、RTCへのアクセスが可能になったことを確認します。
   詳細は、"II.5.3.5 カウンタのホールドとビジーフラグ"を参照してください。
6. カウントの停止とリセット
   RTC Control 0 Register(0x4602)に0x1を書き込み、カウントを停止させるとともにカウントクロックの分周段をリセットします。
   詳細は、"II.5.3.4 カウンタのスタート/ストップおよびリセット"を参照してください。
7. 日付と時刻を設定
   すべてのカウンタを、それぞれのレジスタを使用して現在の日時に初期設定します。
   詳細は、"II.5.3.3 24時間制/12時間制の選択とカウンタの設定"を参照してください。
8. カウントを再開
   カウンタのホールド状態(5で設定)を解除し、4と同じ操作でカウントを再開します。
   詳細は、"II.5.3.5 カウンタのホールドとビジーフラグ"および"II.5.3.4 カウンタのスタート/ストップおよびリセット"を参照してください。

II.5.3.3 24時間制/12時間制の選択とカウンタの設定

24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H(D4/RTC_CNTL0レジスタ)で選択できるようになっています。
RTC24H = 1: 24時間制
RTC24H = 0: 12時間制
この選択により、時カウンタのカウント範囲が変わります。

* **RTC24H**: 24H/12H Mode Select Bit in the RTC Control 0 (RTC_CNTL0) Register (D4/0x4602)

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24Hはカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すRTCAP(D6/RTC_HOURレジスタ)ビットが有効になります。
RTCAP = 0: 午前
RTCAP = 1: 午後
24時間制の場合、RTCAPは0に固定されます。

* **RTCAP**: AM/PM Indicator Bit in the RTC Hour (RTC_HOUR) Register (D6/0x4616)

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

カウンタの設定

カウンタが停止中はどのカウンタについても、任意のタイミングでデータの読み出し/書き込みが可能です。ただし、以下のような設定は計時ミスの原因になりますので避けてください。

- 有効範囲を超える設定
  60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
- カレンダに存在しない設定
  4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。

カウンタが動作中に内容を書き換えるには、正しく書き換えるための手順があります。その詳細については、"II.5.3.6 動作中のカウンタのリード/ライト"を参照してください。

II.5.3.4 カウンタのスタート/ストップおよびリセット

カウンタのスタート/ストップ

RTCはRTCSTP(D1/RTC_CNTL0レジスタ)を0に設定するとカウントを開始し、1に設定すると停止します。

* **RTCSTP**: Counter Run/Stop Control Bit in the RTC Control 0 (RTC_CNTL0) Register (D1/0x4602)

RTCSTPへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。
カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、次節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

リセット

RTCRST(D0/RTC_CNTL0レジスタ)は32kHzから2Hzまでのカウンタをリセットするビットです。

* **RTCRST**: Software Reset Bit in the RTC Control 0 (RTC_CNTL0) Register (D0/0x4602)

RTCRSTを1に設定すると、上記カウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

II.5.3.5 カウンタのホールドとビジーフラグ

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、カウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行います。このために2つの制御ビットRTCBSY(D1/RTC_CNTL1レジスタ)とRTCHLD(D0/RTC_CNTL1レジスタ)が設けられています。

* **RTCBSY**: Counter Busy Flag Bit in the RTC Control 1 (RTC_CNTL1) Register (D1/0x4603)
* **RTCHLD**: Counter Hold Control Bit in the RTC Control 1 (RTC_CNTL1) Register (D0/0x4603)

RTCBSYはカウンタが桁上げ中であることを示す、読み出し専用のフラグです。RTCBSYは桁上げ中に1、それ以外は0となります。RTCBSYが0であることを確認してカウンタにアクセスすることで、正しい値の読み出しと設定が行えます。
ただし、カウント動作中はRTCBSYが1に固定されており、現在の状態を反映させるためには、RTCHLDに1を書き込む必要があります。

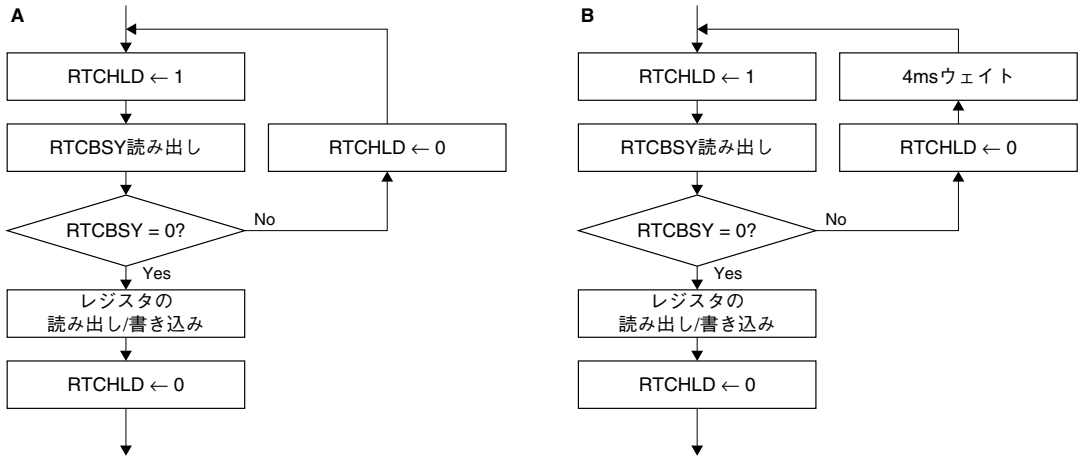
RTCBSY = 0(RTCがアクセス可能状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は継続します。
この状態で、データの読み出しまたは書き込みを行います。
データの読み出し/書き込み後は、RTCHLDを0に戻します。

カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うことになりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCBSY = 1(RTCがビジー状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLDを0に戻し、[A]再度同じ手順でRTCBSYのチェックを繰り返すか、[B]4ms待機してから再度RTCBSYをチェックします。
RTCBSYが1だった場合は、必ずすぐにRTCHLDを0に戻してください。RTCHLDを1のまま放置すると、時刻が狂う場合があります。



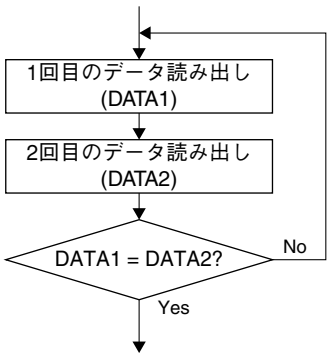
図II.5.3.5.1 RTCビジーの確認手順

データの読み出しは、RTCHLDとRTCBSYを使用しない方法でも行えます(次節参照)。

II.5.3.6 動作中のカウンタのリード/ライト

前節で説明したとおり、カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。図II.5.3.5.1のフローチャートに示した手順で、カウンタの読み出し/書き込みを行ってください。

カウンタの読み出しは、図II.5.3.6.1のように、RTCHLDとRTCBSYを使用しないで行うこともできます。



図II.5.3.6.1 カウンタをホールドしない読み出し手順

II.5.3.7 30秒補正

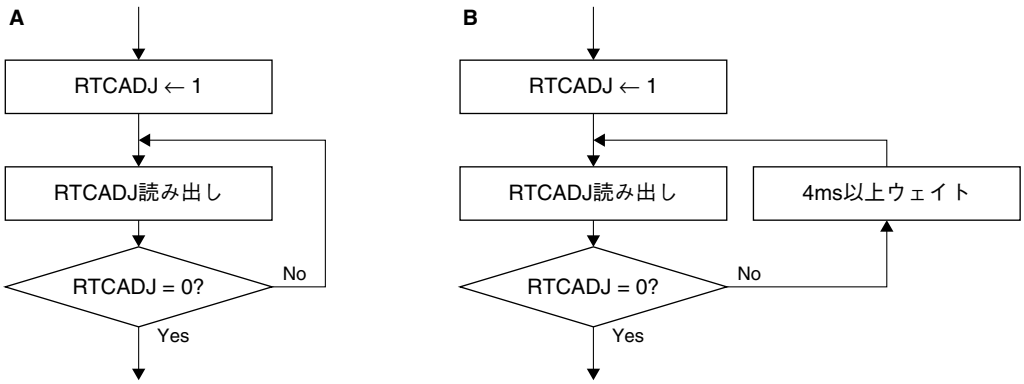
30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、秒数を0にします。秒数が0～29秒の場合は分数はそのままで秒数を0にします。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。
この機能はRTCADJ(D2/RTC_CNTL0レジスタ)に1を書き込むことで実行できます。

＊ **RTCADJ**: 30-second Adjustment Bit in the RTC Control 0 (RTC_CNTL0) Register (D2/0x4602)

RTCADJに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

RTCADJは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。
RTCADJが1の間はカウンタへのアクセスは禁止します。また、RTCADJへの0書き込みも誤動作の原因になるため禁止します。



図II.5.3.7.1 30秒補正の実行手順

II.5.4 RTC割り込み

RTCは、一定周期で割り込みを発生する機能を持っています。
RTCはスタンバイモード時にも動作するため、SLEEPモードの解除にも使用可能です。
ここでは、RTC内の割り込み制御機能を説明します。CPUに対して割り込みを発生させるにはITCの設定も必要です。ITCの制御については、"IV.1 割り込みコントローラ(ITC)"を参照してください。また、割り込みによるSLEEPモードの解除については、"II.2 クロックマネージメントユニット(CMU)"を参照してください。

割り込み周期の設定

RTCから割り込み要求を出す周期を、RTCT[1:0](D[3:2]/RTC_INTMODEレジスタ)で表II.5.4.1に示す4種類から選択できます。

* **RTCT[1:0]**: RTC Interrupt Cycle Setup Bits in the RTC Interrupt Mode (RTC_INTMODE) Register (D[3:2]/0x4601)

表II.5.4.1 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください(下記"割り込みの許可/禁止"参照)。

割り込み条件の設定

ITCへ送る割り込み要求信号のエッジで割り込みを発生させるか、信号レベルで割り込みを発生させるかを設定できます。この設定には、RTCIMD(D1/RTC_INTMODEレジスタ)を使用します。

* **RTCIMD**: RTC Interrupt Mode Select Bit in the RTC Interrupt Mode (RTC_INTMODE) Register (D1/0x4601)

RTCIMDを1に設定すると信号レベルによる割り込み、0に設定するとエッジ割り込みが選択されます。エッジ割り込みが選択されている場合、RTCはCMUから供給されるバスクロックを使って割り込みパルスをITCに出力します。SLEEP時など、バスクロックが供給されていない状態で割り込み要因が発生した場合は信号レベルによる割り込みとなり、RTCから出力される割り込み信号は、割り込み要因の発生からバスクロックの供給が開始されるまでアクティブレベルを保持します。

割り込みの許可/禁止

ITCへのRTC割り込み要求の出力は、RTCIEN(D0/RTC_INTMODEレジスタ)を1に設定すると許可され、0に設定すると禁止されます。

* **RTCIEN**: RTC Interrupt Enable Bit in the RTC Interrupt Mode (RTC_INTMODE) Register (D0/0x4601)

割り込みステータス

RTCが動作すると、設定した割り込み周期の信号によりRTCIRQ(D0/RTC_INTSTATレジスタ)がセットされます。RTCIENによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

* **RTCIRQ**: Interrupt Status Bit in the RTC Interrupt Status (RTC_INTSTAT) Register (D0/0x4600)

このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

注意事項

RTCの上記の割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。
電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIENを0(割り込み禁止)に設定してください。また、RTCIRQも必ず1を書き込んでリセットしてください。

II.5.5 OSC1発振回路

S1C17501はRTCの計時用のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。
このOSC1クロックは、パワーセーブ動作用にコアシステムや周辺回路の動作クロックとして使用することも可能です。その詳細については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

II.5.5.1 OSC1発振回路の入出力端子

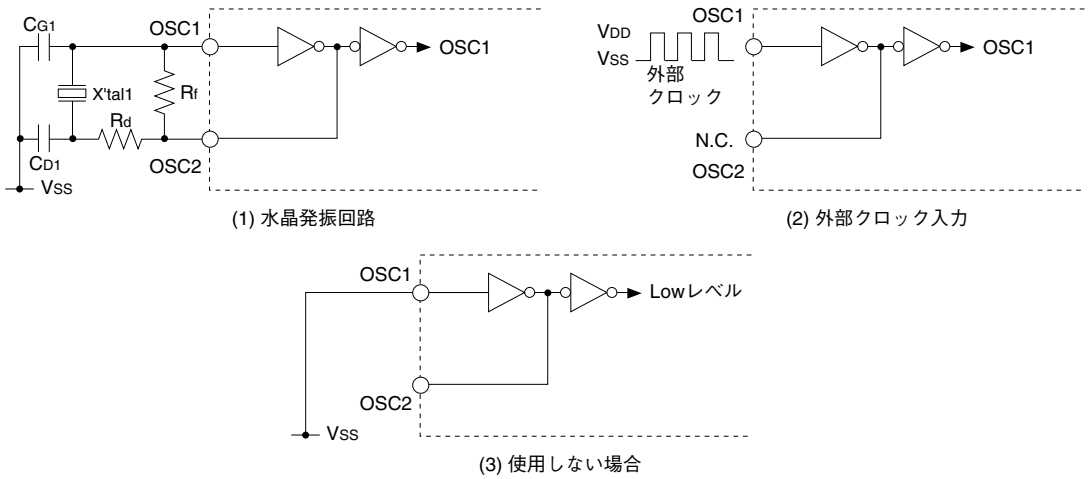
表II.5.5.1.1にOSC1発振回路の入出力端子を示します。

表II.5.5.1.1 OSC1発振回路の入出力端子

端子名	I/O	機能
OSC1	I	OSC1発振入力端子: 水晶発振または外部クロック入力
OSC2	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

II.5.5.2 発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同様、$RTCV_{DD}$を使用します。
図II.5.5.2.1にOSC1発振回路の構造を示します。



図II.5.5.2.1 OSC1発振回路

水晶発振回路として使用する場合は、図II.5.5.2.1(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、OSC1とOSC2端子およびV_{SS}に接続してください。

外部クロックを使用する場合はOSC2端子を開放し、$RTCV_{DD}$レベルでデューティ比が50%のクロックをOSC1端子に入力してください。

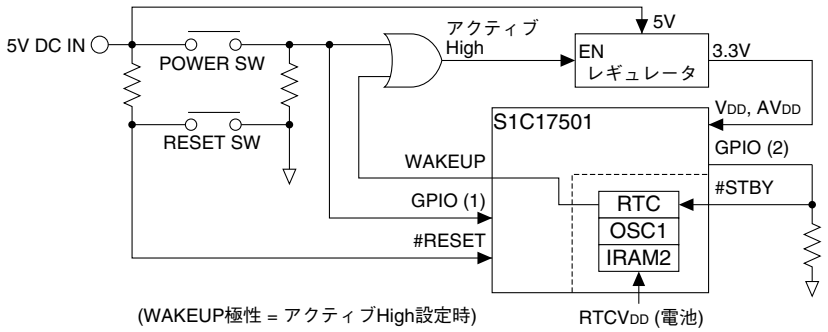
発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。
発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

OSC1発振回路を使用しない場合はOSC1端子をV_{SS}に接続し、OSC2端子を開放してください。

注: 電源投入によりOSC1が発振を開始した後、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.5.6 WAKEUPと#STBY端子

S1C17501にはバッテリーバックアップ機能があり、システム電源(VDD、AVDD)をOffにした場合でも、RTCVDDを供給することでRTC(OSC1発振回路を含む)の動作とIRAM2内のデータの保持が可能となっています。この制御のため、RTCにはWAKEUP端子と#STBY端子が設けられています。
#STBY端子は、RTCVDDで動作する回路(RTC、OSC1、IRAM2)を、VDDやAVDDで動作する回路(RTCやOSC1の制御レジスタも含む)と切り離すために使用します。通常動作時は#STBY端子をHighに設定しておきます。#STBY端子を外部からLowにすることでRTCVDDの回路がシステムから切り離され、システム電源(VDD、AVDD)をOffにすることができます。
WAKEUP端子は、RTC割り込みまたはソフトウェアによって制御可能な出力端子です。この出力で外部レギュレータを制御することにより、システム電源(VDD、AVDD)をOn/Offすることができます。
なお、#STBY端子をHighにしたままシステム電源をOffにするとRTCVDD系からVDD/AVDD系への電流のリークが発生しますので、システム電源をOffにする前に必ず#STBY端子をLowに設定してください。
図II.5.6.1にWAKEUPおよび#STBY端子を使用するシステムスタンバイ/起床制御回路の例を示します。



図II.5.6.1 システムスタンバイ/起床制御回路例

WAKEUP信号極性の選択

RTC割り込みやソフトウェアによって出力されるWAKEUP信号のアクティブレベルをWUP_POL(D0/RTC_WAKEUP信号)により選択します。

* **WUP_POL**: WAKEUP Polarity Selection Bit in the RTC Wakeup Configuration (RTC_WAKEUP) Register (D0/0x460f)

WUP_POLを0に設定するとWAKEUP端子はアクティブHigh出力となり、1に設定するとアクティブLow出力となります。WUP_POLはイニシャルリセット時に初期化されません。WAKEUP出力を使用する場合は、ソフトウェアで初期設定する必要があります。

WAKEUP出力の制御

RTC割り込みによる制御

ソフトウェアで選択したRTC割り込み(II.5.4節参照)が発生すると、割り込み要求信号と同様にWAKEUP信号がアクティブになります。システムが動作を再開し、RTC割り込みステータスビットRTCIRQ(D0 /RTC_INTSTATレジスタ)がクリアされるまで、RTCはWAKEUP信号をアクティブに保持します。RTCIRQがクリアされると、WAKEUP信号はインアクティブになります。

ソフトウェア制御

WAKEUP信号はWUP_CTL(D1/RTC_WAKEUPレジスタ)によって制御することもできます。

* **WUP_CTL**: WAKEUP Control Bit in the RTC Wakeup Configuration (RTC_WAKEUP) Register (D1/0x460f)

WUP_CTLを1に設定するとWAKEUP信号がアクティブになり、0に設定するとインアクティブになります。WUP_CTLはイニシャルリセット時に初期化されません。初期化ルーチンの先頭で1(アクティブ)に設定する必要があります。
制御ビットの設定内容によるWAKEUP信号の状態を下表に示します。

表II.5.6.1 WAKEUP信号の状態

制御ビットの設定状態			WAKEUP端子の状態
WUP_POL	WUP_CTL	RTCIRQ	
1	1	1	0(Low)
1	1	0	0(Low)
1	0	1	0(Low)
1	0	0	1(High)
0	1	1	1(High)
0	1	0	1(High)
0	0	1	1(High)
0	0	0	0(Low)

制御手順

図II.5.6.1に示したシステムスタンバイ/起床制御回路を使用した電源制御手順を以下に示します。レギュレータ電源(5V)はすでに供給されており、WAKEUP信号の極性はアクティブHighに設定するものとします。

POWER SWによる電源On

(1)POWER SWを押します。(5)が完了するまで、押し続ける必要があります。
(2)レギュレータの電圧出力がイネーブルとなり、3.3VがS1C17501のV_{DD}およびAV_{DD}端子に供給されます。
(3)CPUがパワーオンリセットの後、動作を開始し初期設定ルーチンを実行します。
(4)GPIO(2)ポートを出力に設定し、1(High)を出力します。これが#STBY端子に入力され、$RTCV_{DD}$系の回路がシステムに接続されます。
(5)RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されますので、POWER SWから手を離しても3.3V電源が供給され続けます。
(6)IRAM2内の特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをIRAM2より読み出します。
(7)IRAM2内のキーをクリアします(例: 0x00等を書き込む)。
(8)その他の処理を実行します。

動作中は#STBY入力 = 1、WAKEUP出力 = 1の状態を保持してください。

POWER SWによる電源Off

上記の設定状態(#STBY入力 = 1、WAKEUP出力 = 1)からの処理とします。
(1)POWER SWを押します。
(2)GPIO(1)ポートに1(High)が入力されますので、入力データを読み出すか、割り込みを利用してこれを検出し、バッテリーバックアップモードに移行します。
(3)バックアップするデータをIRAM2にコピーします。このとき、バックアップデータが有効であることを示すためにキー(例: 0xaaなど)もIRAM2内の特定箇所に併せて保存しておきます。
(4)RTCの割り込み条件を設定し、割り込みを許可します。(RTC割り込みによりシステムを起動する場合)
(5)GPIO(2)ポートから0(Low)を出力します。これが#STBY端子に入力され、$RTCV_{DD}$系の回路がシステムから切り離されます。
(6)RTC_WAKEUPレジスタに0x0を書き込み、WAKEUP出力を0(Low)にします。
(7)(POWER SWがOnの場合はOffになった後)レギュレータが3.3Vの出力を停止し、$RTCV_{DD}$系以外の電源がOffします。

ソフトウェアによって自動的にシステム電源をOffにする場合は(3)から始めてください。

RTC割り込みによる電源On

(1)RTC割り込みが発生すると、WAKEUP出力が自動的に1(High)になります。
(2)レギュレータの電圧出力がイネーブルとなり、3.3VがS1C17501のVDDおよびAVDD端子に供給されます。
(3)CPUがパワーオンリセットの後、動作を開始し初期設定ルーチンを実行します。
(4)GPIO(2)ポートを出力に設定し、1(High)を出力します。これが#STBY端子に入力され、RTCVDD系の回路がシステムに接続されます。
(5)RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されます。
(6)RTCIRQ(D0 /RTC_INTSTATレジスタ)をクリアします。
(7)IRAM2内の特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをIRAM2より読み出します。
(8)IRAM2内のキーをクリアします(例: 0x00等を書き込む)。
(9)その他の処理を実行します。

II.5.7 制御レジスタ詳細

表II.5.7.1 RTCレジスター一覧

アドレス	レジスタ名		機　能
0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
0x4603	RTC_CNTL1	RTC Control 1 Register	
0x460f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定
0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ

以下、RTCのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

• 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。

• カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”を参照してください。

0x4600: RTC Interrupt Status Register (RTC_INTSTAT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x4600 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	RTCIRQ	Interrupt status	1	Occurred	0	Not occurred	X	R/W	Reset by writing 1.

D[7:1] Reserved

D0 RTCIRQ: Interrupt Status Bit

RTC割り込み要因の発生状況を示します。
1（R）: 割り込み要因発生
0（R）: 割り込み要因なし
1（W）: 本ビットを0にリセット
0（W）: 無効

RTCT[1:0]（D[3:2]/RTC_INTMODEレジスタ）で設定した割り込み周期の信号によってセットされます。このとき、RTCIEN（D0/RTC_INTMODEレジスタ）によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。割り込みが禁止されている場合でもセットされます。

注: このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。
また、電源投入時の値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでリセットしてください。

0x4601: RTC Interrupt Mode Register (RTC_INTMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Mode Register (RTC_INTMODE)	0x4601 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–2	RTCT[1:0]	RTC interrupt cycle setup	RTCT[1:0] / Cycle: 0x3 1 hour; 0x2 1 minute; 0x1 1 second; 0x0 1/64 second	X	R/W	
		D1	RTCIMD	RTC interrupt mode select	1 Level sense / 0 Edge trigger	X	R/W	
		D0	RTCIEN	RTC interrupt enable	1 Enable / 0 Disable	X	R/W	

D[7:4] Reserved

D[3:2] RTCT[1:0]: RTC Interrupt Cycle Setup Bits

RTCの割り込み周期を選択します。

表II.5.7.2 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

(デフォルト: 不定)

選択した時間のカウンタのカウントアップパルスによりRTCIRQ(D0/RTC_INTSTATレジスタ)がセットされ、RTCIEN(D0)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください。(割り込み許可との同時設定は可能)

D1 RTCIMD: RTC Interrupt Mode Select Bit

RTC割り込みを割り込み要求信号のエッジで発生させるか、信号レベルで発生させるかを選択します。

1(R/W): レベル割り込み

0(R/W): エッジ割り込み

エッジ割り込みを選択してSLEEPの解除に使用する場合、CMUによりSLEEPモードは解除されますが、その時点ではITCが停止しているため、割り込みは発生しません。SLEEP解除後にRTC割り込み処理ルーチンを実行したい場合はレベル割り込みを選択してください。

D0 RTCIEN: RTC Interrupt Enable Bit

ITCへのRTC割り込み要求の出力を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止

RTC割り込みを発生させる場合やRTC割り込み要求信号によってSLEEPモードを解除する場合は、このビットを1に設定します。このビットが0の場合、RTCIRQ(D0/RTC_INTSTATレジスタ)がセットされても割り込みは発生せず、SLEEPモードを解除することもできません。

注: 電源投入時のRTCIENの値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでクリアしてください。

0x4602: RTC Control 0 Register (RTC_CNTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 0 Register (RTC_CNTL0)	0x4602 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 –	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RTCRST	Software reset	1 Reset 0 –	X	R/W	

D[7:5] Reserved

D4 RTC24H: 24H/12H Mode Select Bit

時カウンタを24時間制/12時間制のどちらで使用するか選択します。
1（R/W）: 24時間制
0（R/W）: 12時間制

この選択により、時カウンタのカウント範囲が変わります。
基本的に、この設定変更はカウンタが停止している状態で行います。本レジスタにはカウンタをスタートさせる制御ビット（D1）も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

D3 Reserved

D2 RTCADJ: 30-second Adjustment Bit

30秒補正を実行します。
1（W）: 30秒補正実行
0（W）: 無効
1（R）: 30秒補正実行中
0（R）: 30秒補正終了（実行中以外）

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。
本ビットに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

本ビットは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

注: RTCADJが1の間はカウンタへのアクセスは禁止します。また、その間の0書き込みも誤動作の原因になるため禁止します。

D1 RTCSTP: Counter Run/Stop Control Bit

カウンタの動作を開始/停止します。また、動作状態を示します。
1(R/W): 停止制御/停止中
0(R/W): 開始制御/動作中

RTCは本ビットを0に設定するとカウントを開始し、1に設定すると停止します。
また、カウント動作中の本ビットの読み出し値は0、停止中の読み出し値は1です。
本ビットへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。
カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、II.5.3.5節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

D0 RTCRST: Software Reset Bit

分周段のカウンタをリセットします。
1(R/W): リセット状態
0(R/W): リセット解除

本ビットを1に設定すると、32kHzから2Hzまでのカウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

0x4603: RTC Control 1 Register (RTC_CNTL1)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RTC Control 1 Register (RTC_CNTL1)	0x4603 (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	RTCBSY	Counter busy flag	1	Busy	0	R/W possible	X	R	
		D0	RTCHLD	Counter hold control	1	Hold	0	Running	X	R/W	

D[7:2] Reserved

D1 RTCBSY: Counter Busy Flag Bit

カウンタが桁上げ動作中かどうかを示します。
1(R): ビジー(桁上げ中)
0(R): リード/ライト可能
1/0(W): 無効

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、本ビットによりカウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行ってください。
ただし、カウント動作中は本ビットが1に固定されており、現在の状態を反映させるためには、RTCHLD(D0)に1を書き込む必要があります。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は継続します。
この状態で、データの読み出しまたは書き込みを行います。データの読み出し/書き込み後は、RTCHLD(D0)を0に戻します。
カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLD(D0)を0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うことになりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLD(D0)を0に戻してください。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLD(D0)を0に戻し、再度同じ手順で本ビットのチェックを繰り返すか、4ms待機してから再度本ビットをチェックします。本ビットが1だった場合は、必ずすぐにRTCHLD(D0)を0に戻してください。RTCHLD(D0)を1のまま放置すると、時刻が狂う場合があります。

D0 RTCHLD: Counter Hold Control Bit

カウンタのビジー状態の確認と、カウンタのホールドを行います。
1(R/W): ビジーチェック/カウンタホールド
0(R/W): 通常動作

制御方法については、上記RTCBSY(D1)の説明を参照してください。

0x460f: RTC Wakeup Configuration Register (RTC_WAKEUP)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RTC Wakeup Configuration Register (RTC_WAKEUP)	0x460f (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	WUP_CTL	WAKEUP control	1	Active	0	Inactive	X	R/W	
		D0	WUP_POL	WAKEUP polarity selection	1	Active low	0	Active high	X	R/W	

D[7:2] Reserved

D1 WUP_CTL: WAKEUP Control Bit

WAKEUP出力を制御します。
1 (R/W): アクティブ
0 (R/W): インアクティブ

ソフトウェアでWAKEUP出力を制御する場合に使用します。WAKEUP信号は、RTC割り込み要因の発生によってもアクティブになります。

D0 WUP_POL: WAKEUP Polarity Selection Bit

WAKEUP出力信号のアクティブレベルを選択します。
1 (R/W): アクティブLow
0 (R/W): アクティブHigh

0x4614: RTC Second Register (RTC_SEC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Second Register (RTC_SEC)	0x4614 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X	R/W	

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。（“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照）

D7 Reserved

D[6:4] RTCSH[2:0]: RTC 10-second Counter Bits

10秒桁の3ビットBCDカウンタです。
1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。

D[3:0] RTCSL[3:0]: RTC 1-second Counter Bits

1秒桁の4ビットBCDカウンタです。
32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。

0x4615: RTC Minute Register (RTC_MIN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute Register (RTC_MIN)	0x4615 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X	R/W	

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。（“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照）

D7 Reserved

D[6:4] RTCMIH[2:0]: RTC 10-minute Counter Bits

10分桁の3ビットBCDカウンタです。
1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。

D[3:0] RTCMIL[3:0]: RTC 1-minute Counter Bits

1分桁の4ビットBCDカウンタです。
10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。

0x4616: RTC Hour Register (RTC_HOUR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Register (RTC_HOUR)	0x4616 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5–4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X	R/W	
		D3–0	RTCHL[3:0]	RTC 1-hour counter	0–9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

• RTC24H(D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D7 Reserved

D6 RTCAP: AM/PM Indicator Bit

12時間制を選択した場合に午前/午後を示します。
1(R/W): 午後
0(R/W): 午前

本ビットはRTC24H(D4/RTC_CNTL0レジスタ)が0(12時間制)に設定されている場合にのみ有効です。
24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

注: RTC24H(D4/RTC_CNTL0レジスタ)により12時間制から24時間制に変更した場合、RTCAPビットは時カウンタが更新された時点で0に固定されます。時カウンタが更新されるまでは、RTCAPビットは現在の値を保持します。

D[5:4] RTCHH[1:0]: RTC 10-hour Counter Bits

10時桁の2ビットBCDカウンタです。
1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。

D[3:0] RTCHL[3:0]: RTC 1-hour Counter Bits

1時桁の4ビットBCDカウンタです。
10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。

0x4617: RTC Day Register (RTC_DAY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Day Register (RTC_DAY)	0x4617 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X	R/W	
		D3–0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

• RTC24H(D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:6] Reserved

D[5:4] RTCDH[1:0]: RTC 10-day Counter Bits

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。

D[3:0] RTCDL[3:0]: RTC 1-day Counter Bits

1日桁の4ビットBCDカウンタです。

時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。

0x4628: RTC Month Register (RTC_MONTH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Month Register (RTC_MONTH)	0x4628 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X	R/W	
		D3–0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。（“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照）

• RTC24H（D4/RTC_CNTL0レジスタ）を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:5] Reserved

D4 RTCMOH: RTC 10-month Counter Bit

10月桁のビットです。
1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。

D[3:0] RTCMOL[3:0]: RTC 1-month Counter Bits

1月桁の4ビットBCDカウンタです。
日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。

0x4629: RTC Year Register (RTC_YEAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Year Register (RTC_YEAR)	0x4629 (8 bits)	D7–4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X	R/W	
		D3–0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

• RTC24H(D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:4] RTCYH[3:0]: RTC 10-year Counter Bits

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。

D[3:0] RTCYL[3:0]: RTC 1-year Counter Bits

1年桁の4ビットBCDカウンタです。
月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。

0x462a: RTC Days of Week Register (RTC_WEEK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Days of Week Register (RTC_WEEK)	0x462a (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.
		D2–0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0]	Days of week	X	R/W	
					0x7	–			
					0x6	Saturday			
					0x5	Friday			
					0x4	Thursday			
					0x3	Wednesday			
					0x2	Tuesday			
					0x1	Monday			
					0x0	Sunday			

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

• RTC24H(D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:3] Reserved

D[2:0] RTCWK[2:0]: RTC Days of Week Counter Bits

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表II.5.7.3に示します。

表II.5.7.3 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定)

II.5.8 注意事項

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、"II.5.3.5 カウンタのホールドとビジーフラグ"および"II.5.3.6 動作中のカウンタのリード/ライト"を参照してください。
- RTC24H(D4/RTC_CNTL0レジスタ)を書き換えて12時間制/24時間制を変更すると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。
- 以下のようなカウンタの設定は計時ミスの原因になりますので避けてください。
  - 有効範囲を超える設定
    60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
  - カレンダに存在しない設定
    4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。
- RTCの割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。
  電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIEN(D0/RTC_INTMODEレジスタ)を0(割り込み禁止)に設定してください。また、RTCIRQ(D0/RTC_INTSTATレジスタ)も必ず1を書き込んでリセットしてください。
- 電源投入時など、OSC1発振回路を動作させた直後は、発振の安定に時間(約3秒)が必要です。この時間が経過するまでは、RTCのカウントを開始しないでください。

S1C17501 Technical Manual

III S1C17501
メモリコントローラモジュール

III.1 Flashコントローラ(FLASHC)

III.1.1 FLASHCの概要

S1C17501は128Kバイトまたは96KバイトのFlashメモリと、Flashメモリへのアクセスを制御するFLASHC(Flashコントローラ)を内蔵しています。Flashメモリからの読み出しに加え、FLASHCはアプリケーションプログラムからの消去とプログラミングにも対応しています。
以下に、内蔵FlashメモリとFLASHCの主な特長を示します。

Flashメモリ

メモリ容量	128Kバイト(64K × 16ビット)または96Kバイト(48K × 16ビット)
セクタサイズ	512ワード(16ビット) / セクタ
消去/プログラム時間	チップ消去時間: 100ms(typ.) セクタ消去時間: 20ms(typ.) ワードプログラム時間: 15µs(typ.)
リードアクセス時間	50ns(typ.)
消去/プログラムインタフェース	ライトパルス入力タイプ
信頼性	プログラム回数: 1000回(min.) データ保持期間: 10年(min.)

FLASHC

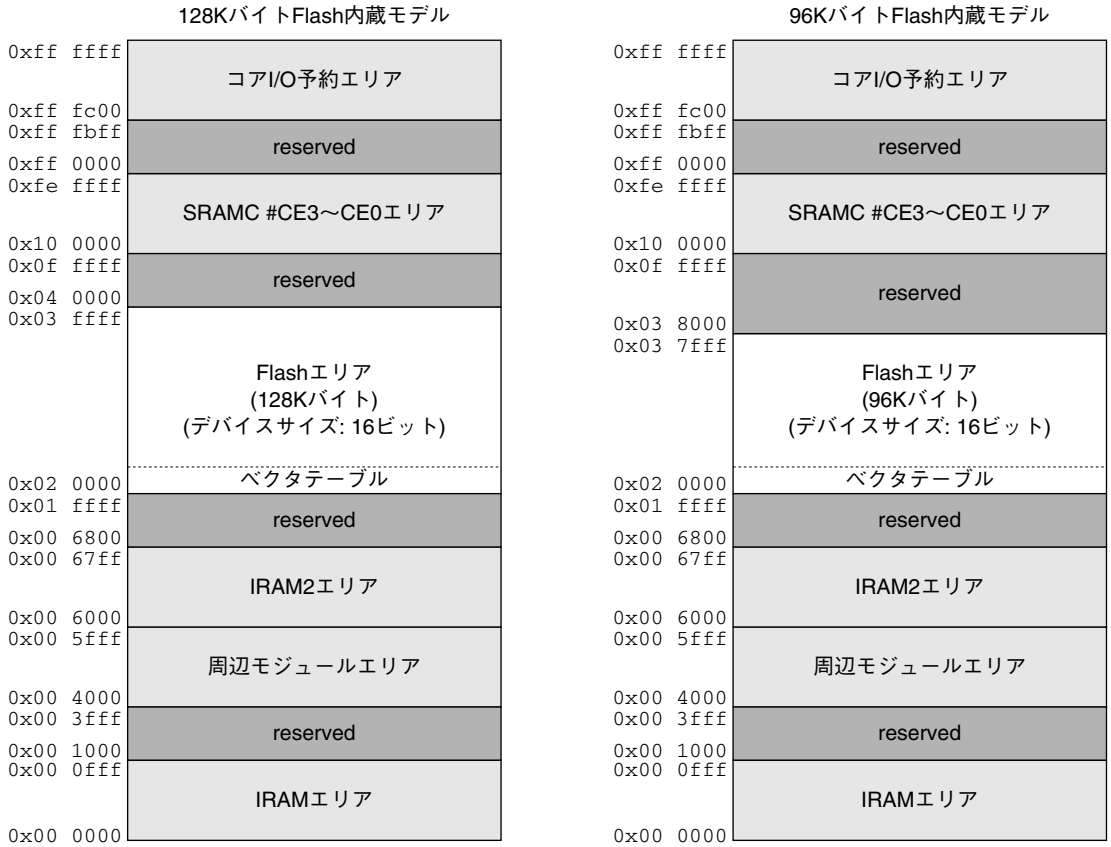
書き込み	16ビットライトにのみ対応
読み出し	8ビット、16ビット、および32ビットリード バーストリードに対応 S1C17コアは0ウェイト(最小アクセスサイクルは1サイクル)でFlashメモリをアクセス可能です。システムクロックがアクセス時間よりも高速な場合、ウェイトサイクルを挿入する必要があります(ソフトウェアで設定可能)。

注: • FLASHC Control Register(0x5800)とTrap Table Base Register(0x5814〜0x5816)は書き込み保護されています。これらのレジスタに書き込みを行うには、FLASHC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。アドレス0x5800と0x5814〜0x5816への不要な書き込みは誤動作の原因になりますので、FLASHC Control RegisterとTrap Table Base Address Low/High Registerの設定時以外はFLASHC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

• S1C17コアは、割り込み処理ルーチンやサブルーチンを呼び出す際、スタックに32ビット書き込みを行います。したがって、16ビット書き込みにのみ対応しているFlashメモリをスタックとして使用することはできません。

III.1.2 Flashメモリマップ

128KバイトFlash内蔵モデルでは、Flashメモリがアドレス0x20000～0x3ffffに配置されています。
96KバイトFlash内蔵モデルでは、Flashメモリがアドレス0x20000～0x37fffに配置されています。



図III.1.2.1 Flashメモリマップ

III.1.3 ブートアドレスとTTBR

イニシャルリセット時、ベクタテーブルはFlashメモリの先頭(アドレス0x20000～)に配置されます。したがって、ブートベクタはアドレス0x20000に書き込んでおく必要があります。ベクタテーブルについては、I.5.4節を参照してください。
ベクタテーブルのベース(先頭)アドレスは、FLASHCモジュール内のTTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができますので、アドレス0x20000からのシステムブートの後、ベクタテーブルの位置を変更することができます。
TTBR_LOWレジスタはベクタテーブルアドレスの下位16ビットを指定し、TTBR_HIGHレジスタは上位8ビットを指定します。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

III.1.4 Flashメモリのプログラミング

ここでは、Flashメモリの消去とプログラミングの手順を説明します。

Flashプログラミングの注意事項

(1) FLASHC Control Register(0x5800)とTrap Table Base Register(0x5814～0x5816)は書き込み保護されています。これらのレジスタに書き込みを行うには、FLASHC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。アドレス0x5800と0x5814～0x5816への不要な書き込みは誤動作の原因になりますので、FLASHC Control RegisterとTrap Table Base Registerの設定時以外はFLASHC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

(2) Flashメモリの消去とプログラミングを開始する前に、ウォッチドッグタイマによるリセット機能を無効に設定してください。

(3) Flashメモリの消去とプログラミングを開始する前に、割り込みを禁止してください。

(4) Flashメモリを消去中またはプログラミング中は、#RESET端子をHigh(インアクティブ)に固定してください。

(5) Flashメモリは、内蔵RAMや外部ROMに書き込まれた命令で消去/プログラミングしてください。

(6) Flashメモリの消去とプログラミングを開始する前に、Flashメモリがビジー状態でないことを必ずFLASHCステータスフラグによって確認してください。

(7) FLASHCは16ビットライトによるFlashメモリのプログラミングにのみ対応しています。8ビット、24ビット、または32ビットライト命令では、Flashメモリをプログラミングすることはできません。

(8) S1C17コアは、割り込み処理ルーチンやサブルーチンを呼び出す際、スタックに32ビット書き込みを行います。したがって、16ビット書き込みにのみ対応しているFlashメモリをスタックとして使用することはできません。

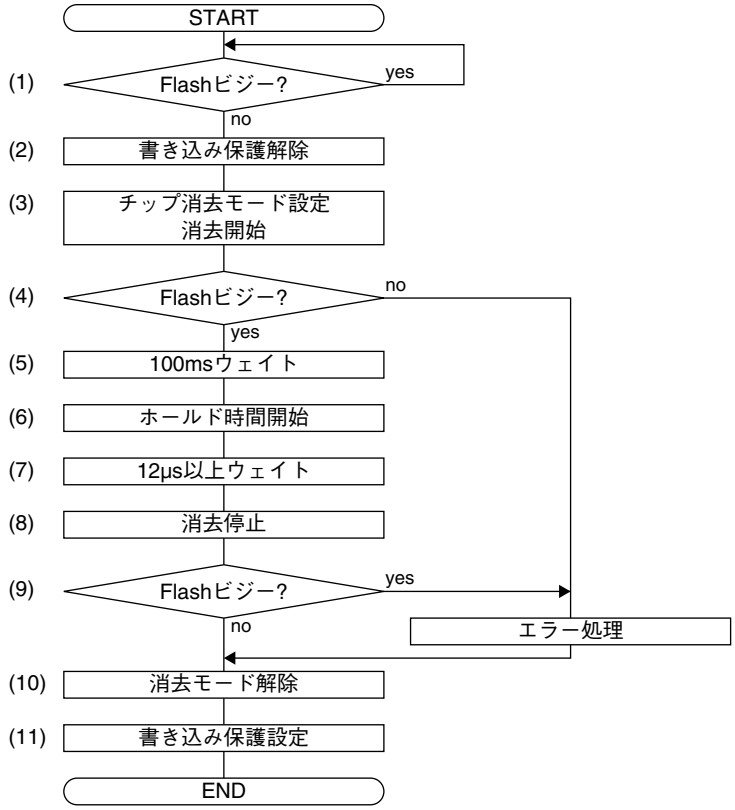
(9) 消去/プログラムサイクルパラメータの最小値と最大値は下表のとおりです。それぞれの有効範囲になるよう、ソフトウェアによってそれぞれの時間を設定してください。

表III.1.4.1 消去/プログラミングサイクルタイミングパラメータ

パラメータ	タイミング仕様		
	Min.	Typ.	Max.
チップ消去動作モードホールド時間	12µs	–	–
セクタ消去動作モードホールド時間	6µs	–	–
プログラミング動作モードホールド時間	4µs	–	–
チップ消去パルス幅	70ms	100ms	500ms
セクタ消去パルス幅	15ms	20ms	50ms
プログラミング消去パルス幅	10µs	15µs	20µs

III.1.4.1 チップ消去手順

以下に、チップ消去の手順を示します。



図III.1.4.1.1 チップ消去フロー

(1) FLS_STAT(D15/FLASH_CTLレジスタ)を読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashメモリを消去可能です。ステップ(2)に移行します。
FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。

* **FLS_STAT**: Flash Status Flag Bit in the FLASHC Control (FLASH_CTL) Register (D15/0x5800)

(2) FLASHC Protect Register(0x5810)に0x96を書き込み、FLASHC Control Register(0x5800)の書き込み保護を解除します。

(3) FLASHC Control Register(0x5800)に0x104を書き込みます。CHIP_ERS_EN(D2/FLASH_CTLレジスタ)が1となり、FLASHCがチップ消去モードに設定されます。また、START_ERASE(D8/FLASH_CTLレジスタ)も1となり、チップ消去動作を開始します。

* **CHIP_ERS_EN**: Flash Chip Erase Enable Bit in the FLASHC Control (FLASH_CTL) Register (D2/0x5800)
* **START_ERASE**: Flash Erasing Start Bit in the FLASHC Control (FLASH_CTL) Register (D8/0x5800)

(4) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCが消去を開始するとFLS_STATが1になります。ステップ(5)に移行します。
FLS_STATが0の場合、FLASHCは消去を開始していません。チップ消去モードとセクタ消去モードが同時に設定されたか、何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(10)に移行します。

(5) 規定のチップ消去パルス幅を生成するため、100msの時間待機します。

(6) FLASHC Control Register（0x5800）に0x204を書き込みます。START_HOLD（D9/FLASH_CTLレジスタ）が1となり、チップ消去動作モードホールド期間を開始します（Flashメモリ用の#CE信号がインアクティブになります）。この書き込みの際、CHIP_ERS_EN（D2/FLASH_CTLレジスタ）は1のままにして、チップ消去モードを継続してください。

∗ **START_HOLD**: Hold Period Start Bit in the FLASHC Control (FLASH_CTL) Register (D9/0x5800)

(7) チップ消去動作モードホールド時間を生成するため、12µs以上待機します。

(8) FLASHC Control Register（0x5800）に0x404を書き込みます。STOP（D10/FLASH_CTLレジスタ）が1となり、チップ消去を終了します。

∗ **STOP**: Flash Erase/Program Stop Bit in the FLASHC Control (FLASH_CTL) Register (D10/0x5800)

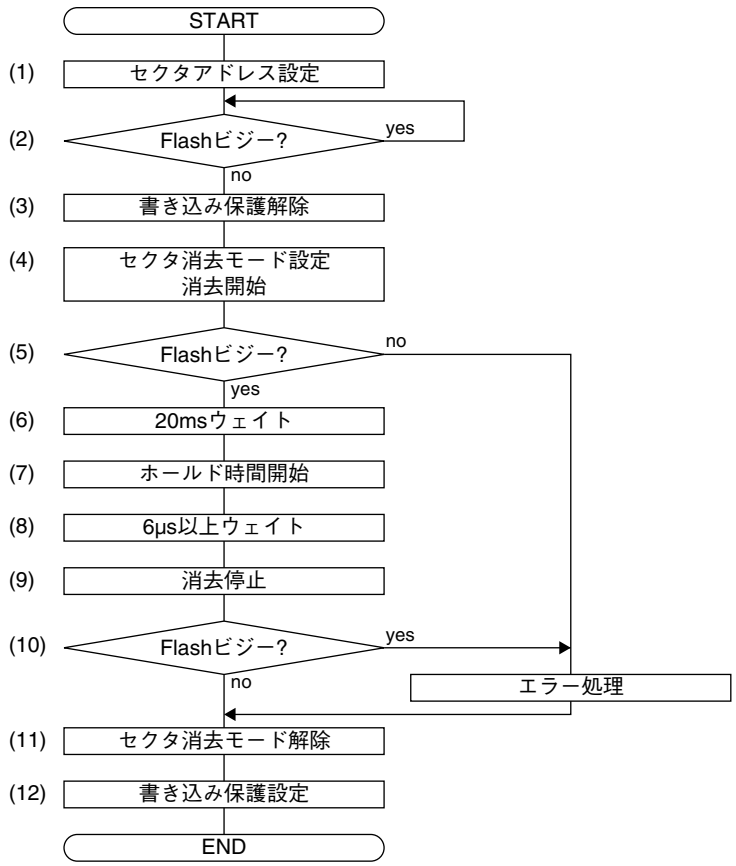
(9) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、チップ消去は正常に終了しています。ステップ(10)に移行します。
FLS_STATが1の場合、消去中にエラーが発生しています。エラー処理を行い、ステップ(10)に移行します。

(10) FLASHC Control Register（0x5800）に0x0を書き込みます。CHIP_ERS_EN（D2/FLASH_CTLレジスタ）が0にリセットされ、チップ消去モードを終了します。

(11) FLASHC Protect Register（0x5810）に0x96以外の値を書き込み、FLASHC Control Register（0x5800）の書き込み保護を設定します。

III.1.4.2 セクタ消去手順

以下に、セクタ消去の手順を示します。



図III.1.4.2.1 セクタ消去フロー

(1) 消去するセクタアドレスをFLASHC Sector Address Register(0x5802)に設定します。
メモリアドレス[16:10]をセクタアドレスとして、このレジスタに設定してください。

表III.1.4.2.1 メモリアドレスとFlashセクタの対応

メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス
0x20000~0x203ff	0x0	0x28000~0x283ff	0x20	0x30000~0x303ff	0x40	0x38000~0x383ff	0x60
0x20400~0x207ff	0x1	0x28400~0x287ff	0x21	0x30400~0x307ff	0x41	0x38400~0x387ff	0x61
0x20800~0x20bff	0x2	0x28800~0x28bff	0x22	0x30800~0x30bff	0x42	0x38800~0x38bff	0x62
0x20c00~0x20fff	0x3	0x28c00~0x28fff	0x23	0x30c00~0x30fff	0x43	0x38c00~0x38fff	0x63
0x21000~0x213ff	0x4	0x29000~0x293ff	0x24	0x31000~0x313ff	0x44	0x39000~0x393ff	0x64
0x21400~0x217ff	0x5	0x29400~0x297ff	0x25	0x31400~0x317ff	0x45	0x39400~0x397ff	0x65
0x21800~0x21bff	0x6	0x29800~0x29bff	0x26	0x31800~0x31bff	0x46	0x39800~0x39bff	0x66
0x21c00~0x21fff	0x7	0x29c00~0x29fff	0x27	0x31c00~0x31fff	0x47	0x39c00~0x39fff	0x67
0x22000~0x223ff	0x8	0x2a000~0x2a3ff	0x28	0x32000~0x323ff	0x48	0x3a000~0x3a3ff	0x68
0x22400~0x227ff	0x9	0x2a400~0x2a7ff	0x29	0x32400~0x327ff	0x49	0x3a400~0x3a7ff	0x69
0x22800~0x22bff	0xa	0x2a800~0x2abff	0x2a	0x32800~0x32bff	0x4a	0x3a800~0x3abff	0x6a
0x22c00~0x22fff	0xb	0x2ac00~0x2afff	0x2b	0x32c00~0x32fff	0x4b	0x3ac00~0x3afff	0x6b
0x23000~0x233ff	0xc	0x2b000~0x2b3ff	0x2c	0x33000~0x333ff	0x4c	0x3b000~0x3b3ff	0x6c
0x23400~0x237ff	0xd	0x2b400~0x2b7ff	0x2d	0x33400~0x337ff	0x4d	0x3b400~0x3b7ff	0x6d
0x23800~0x23bff	0xe	0x2b800~0x2bbff	0x2e	0x33800~0x33bff	0x4e	0x3b800~0x3bbff	0x6e
0x23c00~0x23fff	0xf	0x2bc00~0x2bfff	0x2f	0x33c00~0x33fff	0x4f	0x3bc00~0x3bfff	0x6f
0x24000~0x243ff	0x10	0x2c000~0x2c3ff	0x30	0x34000~0x343ff	0x50	0x3c000~0x3c3ff	0x70
0x24400~0x247ff	0x11	0x2c400~0x2c7ff	0x31	0x34400~0x347ff	0x51	0x3c400~0x3c7ff	0x71
0x24800~0x24bff	0x12	0x2c800~0x2cbff	0x32	0x34800~0x34bff	0x52	0x3c800~0x3cbff	0x72
0x24c00~0x24fff	0x13	0x2cc00~0x2cfff	0x33	0x34c00~0x34fff	0x53	0x3cc00~0x3cfff	0x73
0x25000~0x253ff	0x14	0x2d000~0x2d3ff	0x34	0x35000~0x353ff	0x54	0x3d000~0x3d3ff	0x74
0x25400~0x257ff	0x15	0x2d400~0x2d7ff	0x35	0x35400~0x357ff	0x55	0x3d400~0x3d7ff	0x75
0x25800~0x25bff	0x16	0x2d800~0x2dbff	0x36	0x35800~0x35bff	0x56	0x3d800~0x3dbff	0x76
0x25c00~0x25fff	0x17	0x2dc00~0x2dfff	0x37	0x35c00~0x35fff	0x57	0x3dc00~0x3dfff	0x77
0x26000~0x263ff	0x18	0x2e000~0x2e3ff	0x38	0x36000~0x363ff	0x58	0x3e000~0x3e3ff	0x78
0x26400~0x267ff	0x19	0x2e400~0x2e7ff	0x39	0x36400~0x367ff	0x59	0x3e400~0x3e7ff	0x79
0x26800~0x26bff	0x1a	0x2e800~0x2ebff	0x3a	0x36800~0x36bff	0x5a	0x3e800~0x3ebff	0x7a
0x26c00~0x26fff	0x1b	0x2ec00~0x2efff	0x3b	0x36c00~0x36fff	0x5b	0x3ec00~0x3efff	0x7b
0x27000~0x273ff	0x1c	0x2f000~0x2f3ff	0x3c	0x37000~0x373ff	0x5c	0x3f000~0x3f3ff	0x7c
0x27400~0x277ff	0x1d	0x2f400~0x2f7ff	0x3d	0x37400~0x377ff	0x5d	0x3f400~0x3f7ff	0x7d
0x27800~0x27bff	0x1e	0x2f800~0x2fbff	0x3e	0x37800~0x37bff	0x5e	0x3f800~0x3fbff	0x7e
0x27c00~0x27fff	0x1f	0x2fc00~0x2ffff	0x3f	0x37c00~0x37fff	0x5f	0x3fc00~0x3ffff	0x7f

(2) FLS_STAT(D15/FLASH_CTLレジスタ)を読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashメモリを消去可能です。ステップ(3)に移行します。
FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。

* **FLS_STAT**: Flash Status Flag Bit in the FLASHC Control (FLASH_CTL) Register (D15/0x5800)

(3) FLASHC Protect Register(0x5810)に0x96を書き込み、FLASHC Control Register(0x5800)の書き込み保護を解除します。

(4) FLASHC Control Register(0x5800)に0x102を書き込みます。SCT_ERS_EN(D1/FLASH_CTLレジスタ)が1となり、FLASHCがセクタ消去モードに設定されます。また、START_ERASE(D8/FLASH_CTLレジスタ)も1となり、セクタ消去動作を開始します。

* **SCT_ERS_EN**: Flash Sector Erase Enable Bit in the FLASHC Control (FLASH_CTL) Register (D1/0x5800)
* **START_ERASE**: Flash Erasing Start Bit in the FLASHC Control (FLASH_CTL) Register (D8/0x5800)

(5) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCが消去を開始するとFLS_STATが1になります。ステップ(6)に移行します。
FLS_STATが0の場合、FLASHCは消去を開始していません。チップ消去モードとセクタ消去モードが同時に設定されたか、何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(11)に移行します。

(6) 規定のセクタ消去パルス幅を生成するため、20msの時間待機します。

(7) FLASHC Control Register(0x5800)に0x202を書き込みます。START_HOLD(D9/FLASH_CTLレジスタ)が1となり、セクタ消去動作モードホールド期間を開始します(Flashメモリ用の#CE信号がインアクティブになります)。この書き込みの際、SCT_ERS_EN(D1/FLASH_CTLレジスタ)は1のままにして、セクタ消去モードを継続してください。

∗ **START_HOLD**: Hold Period Start Bit in the FLASHC Control (FLASH_CTL) Register (D9/0x5800)

(8) セクタ消去動作モードホールド時間を生成するため、6µs以上待機します。

(9) FLASHC Control Register(0x5800)に0x402を書き込みます。STOP(D10/FLASH_CTLレジスタ)が1となり、セクタ消去を終了します。

∗ **STOP**: Flash Erase/Program Stop Bit in the FLASHC Control (FLASH_CTL) Register (D10/0x5800)

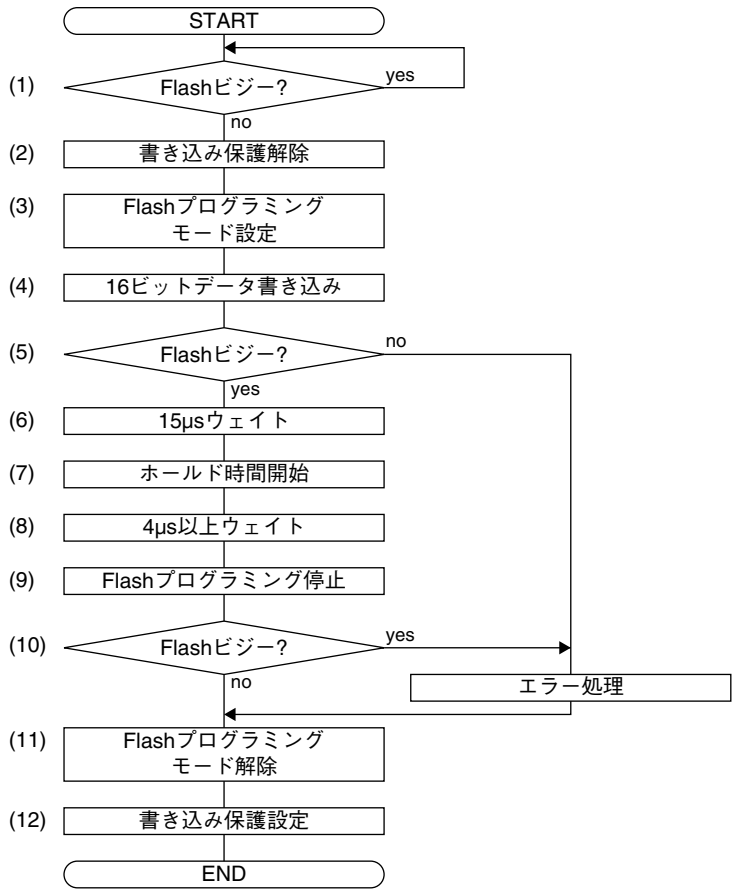
(10) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、セクタ消去は正常に終了しています。ステップ(11)に移行します。
FLS_STATが1の場合、消去中にエラーが発生しています。エラー処理を行い、ステップ(11)に移行します。

(11) FLASHC Control Register(0x5800)に0x0を書き込みます。SCT_ERS_EN(D1/FLASH_CTLレジスタ)が0にリセットされ、セクタ消去モードを終了します。

(12) FLASHC Protect Register(0x5810)に0x96以外の値を書き込み、FLASHC Control Register(0x5800)の書き込み保護を設定します。

III.1.4.3 Flashプログラミング手順

以下に、Flashプログラミング(書き込み)の手順を示します。



図III.1.4.3.1 Flashプログラミングフロー

(1) FLS_STAT(D15/FLASH_CTLレジスタ)を読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashメモリをプログラム可能です。ステップ(2)に移行します。
FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。

∗ **FLS_STAT**: Flash Status Flag Bit in the FLASHC Control (FLASH_CTL) Register (D15/0x5800)

(2) FLASHC Protect Register(0x5810)に0x96を書き込み、FLASHC Control Register(0x5800)の書き込み保護を解除します。

(3) FLASHC Control Register(0x5800)に0x1を書き込みます。WR_EN(D0/FLASH_CTLレジスタ)が1となり、FLASHCがFlashプログラミングモードに設定されます。

∗ **WR_EN**: Flash Programming Enable Bit in the FLASHC Control (FLASH_CTL) Register (D0/0x5800)

(4) 16ビットデータ転送命令を使用して16ビットデータを書き込みます。
8ビット、24ビット、32ビットデータ転送命令は使用しないでください。

(5) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCがプログラミング動作を開始するとFLS_STATが1になります。ステップ(6)に移行します。
FLS_STATが0の場合、FLASHCはプログラミング動作を開始していません。何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(11)に移行します。

(6) 規定のFlashプログラムパルス幅を生成するため、15µsの時間待機します。

(7) FLASHC Control Register(0x5800)に0x201を書き込みます。START_HOLD(D9/FLASH_CTLレジスタ)が1となり、プログラミング動作モードホールド期間を開始します(Flashメモリ用の#CE信号がインアクティブになります)。この書き込みの際、WR_EN(D0/FLASH_CTLレジスタ)は1のままにして、Flashプログラミングモードを継続してください。

∗ **START_HOLD**: Hold Period Start Bit in the FLASHC Control (FLASH_CTL) Register (D9/0x5800)

(8) プログラミング動作モードホールド時間を生成するため、4µs以上待機します。

(9) FLASHC Control Register(0x5800)に0x401を書き込みます。STOP(D10/FLASH_CTLレジスタ)が1となり、Flashプログラミングを終了します。

∗ **STOP**: Flash Erase/Program Stop Bit in the FLASHC Control (FLASH_CTL) Register (D10/0x5800)

(10) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashプログラミング動作は正常に終了しています。ステップ(11)に移行します。
FLS_STATが1の場合、プログラミング中にエラーが発生しています。エラー処理を行い、ステップ(11)に移行します。

(11) FLASHC Control Register(0x5800)に0x0を書き込みます。WR_EN(D0/FLASH_CTLレジスタ)が0にリセットされ、Flashプログラミングモードを終了します

(12) FLASHC Protect Register(0x5810)に0x96以外の値を書き込み、FLASHC Control Register(0x5800)の書き込み保護を設定します。

III.1.5 リードアクセス制御

システムが高速クロックで動作中の場合でも、Flashメモリからデータを正しく読み出せるように、FLASHCはFlashリードサイクルにウェイトを挿入することができます。ウェイトサイクルとして挿入するシステムクロックサイクル数をFLS_WAIT[2:0]（D[2:0]/FLASH_WAITレジスタ）で指定します。システムクロック周波数に合わせ、最適なサイクル数を設定してください。

* **FLS_WAIT[2:0]**: Flash Read Access Wait Cycle Setup Bits in the FLASHC Wait (FLASH_WAIT) Register (D[2:0]/0x5804)

表III.1.5.1 リードアクセスウェイトサイクル数の設定

FLS_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	48MHz以下
0x6	6サイクル	7サイクル	48MHz以下
0x5	5サイクル	6サイクル	48MHz以下
0x4	4サイクル	5サイクル	48MHz以下
0x3	3サイクル	4サイクル	48MHz以下
0x2	2サイクル	3サイクル	48MHz以下
0x1	1サイクル	2サイクル	40MHz以下
0x0	0サイクル	1サイクル	20MHz以下

(デフォルト: 0x7)

注: FLASHCにはFlashメモリの先読み回路が搭載されているため、外部からはFLS_WAIT[2:0]の設定の違いによるFlashリードアクセスの変化を観測することができません。FLS_WAIT[2:0]にはシステムクロック周波数の対応範囲外の値を設定しないでください。

III.1.6 制御レジスタの詳細

表III.1.6.1 FLASHCレジスター覧

アドレス	レジスタ名		機能
0x5800	FLASH_CTL	FLASHC Control Register	Flash消去/プログラミングの制御
0x5802	FLASH_ADDR	FLASHC Sector Address Register	Flashセクタ消去アドレスの設定
0x5804	FLASH_WAIT	FLASHC Wait Register	Flashリード用ウェイトサイクルの設定
0x5810	FLASH_PROT	FLASHC Protect Register	Flash制御レジスタ書き込み保護の設定/解除
0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
0x5816	TTBR_HIGH	Trap Table Base Register 1	

以下にFLASHCの制御レジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5800: FLASHC Control Register (FLASH_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
FLASHC Control Register (FLASH_CTL)	0x5800 (16 bits)	D15	FLS_STAT	Flash status flag	1	Busy	0	Idle	1	R	
		D14–11	–	reserved	–				–	–	0 when being read.
		D10	STOP	Flash erase/program stop	1	Stop	0	Ignored	0	W	
		D9	START_HOLD	Hold period start	1	Start	0	Ignored	0	W	
		D8	START_ERASE	Flash erasing start	1	Start	0	Ignored	0	W	
		D7–3	–	reserved	–				–	–	
		D2	CHIP_ERS_EN	Flash chip erase enable	1	Enable	0	Disable	0	R/W	
		D1	SCT_ERS_EN	Flash sector erase enable	1	Enable	0	Disable	0	R/W	
		D0	WR_EN	Flash programming enable	1	Enable	0	Disable	0	R/W	

注: FLASHC Control Registerは書き込み保護されています。このレジスタに書き込みを行うには、FLASHC Protect Register（0x5810）に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。FLASHC Control Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はFLASHC Protect Register（0x5810）に0x96以外の値を書き込み、書き込み禁止に設定してください。

D15 FLS_STAT: Flash Status Flag Bit

Flashメモリが待機中かビジー状態かを示します。
1（R）: ビジー（デフォルト）
0（R）: 待機中
1/0（W）: 無効

Flashメモリが読み出し中、消去中、プログラミング中、あるいはハードウェアリセット中の場合、このフラグが1にセットされます。
Flashメモリの消去やプログラミングを行う場合、このフラグが0になっている必要があります。Flashメモリを待機状態にするには、CPUをFlashメモリ以外のメモリ（内蔵RAMや外部ROMなど）にある命令で動作させる必要があります。

D[14:11] Reserved

D10 STOP: Flash Erase/Program Stop Bit

チップ消去、セクタ消去、Flashプログラミング動作を終了します。
1（W）: 終了
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

STOPに1を書き込むと、FLASHCはチップ消去、セクタ消去、Flashプログラミング動作を終了します。STOPへの1の書き込みは、START_HOLD（D9）への1書き込み後、各動作モードホールド時間が経過してから行ってください。
Flashメモリの読み出し中は、このビットを0に固定してください。

D9 START_HOLD: Hold Period Start Bit

動作モードホールド期間を開始します。
1（W）: 開始
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

START_ERASE（D10）への1書き込み、またはFlashメモリへのデータ書き込みから、チップ消去時間、セクタ消去時間、もしくはプログラミング時間（表III.1.6.2参照）が経過後にSTART_HOLDを1に設定します。
START_HOLDへの1書き込みにより、Flashメモリの#CE信号がインアクティブとなり、動作モードホールド期間が始まります。この後、各モードに必要な動作モードホールド時間（表III.1.6.2参照）が経過するまで待ってから、チップ消去、セクタ消去、Flashプログラミング動作を終了させます。
Flashメモリの読み出し中は、このビットを0に固定してください。

表III.1.6.2 消去/プログラミングサイクルタイミングパラメータ

パラメータ	タイミング仕様		
	Min.	Typ.	Max.
チップ消去動作モードホールド時間	12µs	–	–
セクタ消去動作モードホールド時間	6µs	–	–
プログラミング動作モードホールド時間	4µs	–	–
チップ消去パルス幅	70ms	100ms	500ms
セクタ消去パルス幅	15ms	20ms	50ms
プログラミング消去パルス幅	10µs	15µs	20µs

D8 START_ERASE: Flash Erasing Start Bit

チップ消去またはセクタ消去動作を開始します。
1(W): 開始
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

チップ消去を行う場合は、CHIP_ERS_EN(D2)とSTART_ERASEを1に設定します。
セクタ消去を行う場合は、FLASHC Sector Address Register(0x5802)に消去するセクタアドレスを設定後、SCT_ERS_EN(D1)とSTART_ERASEを1に設定します。
CHIP_ERS_ENとSCT_ERS_ENが両方0または1に設定されている場合、START_ERASEは無効となり、消去を開始しません。
Flashメモリがビジー状態(FLS_STAT(D15) = 1)のときは、本ビットを1に設定しないでください。

D[7:3] Reserved

D2 CHIP_ERS_EN: Flash Chip Erase Enable Bit

チップ消去モードを設定します。
1(R/W): 有効
0(R/W): 無効(デフォルト)

チップ消去を開始するには、CHIP_ERS_ENとSTART_ERASE(D8)を1に設定します。STOP(D10)を1に設定してチップ消去動作を終了後に、CHIP_ERS_ENを0にリセットしてください。
チップ消去の制御方法については、"III.1.4.1 チップ消去手順"を参照してください。

D1 SCT_ERS_EN: Flash Sector Erase Enable Bit

セクタ消去モードを設定します。
1(R/W): 有効
0(R/W): 無効(デフォルト)

セクタ消去を開始するには、FLASHC Sector Address Register(0x5802)に消去するセクタアドレスを設定後、SCT_ERS_ENとSTART_ERASE(D8)を1に設定します。STOP(D10)を1に設定してセクタ消去動作を終了後に、SCT_ERS_ENを0にリセットしてください。セクタ消去の制御方法については、"III.1.4.2 セクタ消去手順"を参照してください。

D0 WR_EN: Flash Programming Enable Bit

Flashプログラミングモードを設定します。
1(R/W): 有効
0(R/W): 無効(デフォルト)

Flashプログラミングを開始するには、WR_ENを1に設定します。その後、16ビットデータ転送命令を使用して、データを書き込みます。STOP(D10)を1に設定してFlashプログラミング動作を終了後に、WR_ENを0にリセットしてください。Flashプログラミングの制御方法については、"III.1.4.3 Flashプログラミング手順"を参照してください。

0x5802: FLASHC Sector Address Register (FLASH_ADDR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Sector Address Register (FLASH_ADDR)	**0x5802** (16 bits)	D15–7	**–**	reserved	–	–	–	0 when being read.
		D6–0	**FLS_ADDR [6:0]**	Erase sector address	Address[16:10]	0x0	R/W	

D[15:7] Reserved

D[6:0] FLS_ADDR[6:0]: Erase Sector Address Bits

消去するセクタを指定します。（デフォルト: 0x0）
メモリアドレスのビット16～ビット10をセクタアドレスとして指定してください。

表III.1.6.3 メモリアドレスとFlashセクタの対応

メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス	メモリアドレス	セクタアドレス
0x20000~0x203ff	0x0	0x28000~0x283ff	0x20	0x30000~0x303ff	0x40	0x38000~0x383ff	0x60
0x20400~0x207ff	0x1	0x28400~0x287ff	0x21	0x30400~0x307ff	0x41	0x38400~0x387ff	0x61
0x20800~0x20bff	0x2	0x28800~0x28bff	0x22	0x30800~0x30bff	0x42	0x38800~0x38bff	0x62
0x20c00~0x20fff	0x3	0x28c00~0x28fff	0x23	0x30c00~0x30fff	0x43	0x38c00~0x38fff	0x63
0x21000~0x213ff	0x4	0x29000~0x293ff	0x24	0x31000~0x313ff	0x44	0x39000~0x393ff	0x64
0x21400~0x217ff	0x5	0x29400~0x297ff	0x25	0x31400~0x317ff	0x45	0x39400~0x397ff	0x65
0x21800~0x21bff	0x6	0x29800~0x29bff	0x26	0x31800~0x31bff	0x46	0x39800~0x39bff	0x66
0x21c00~0x21fff	0x7	0x29c00~0x29fff	0x27	0x31c00~0x31fff	0x47	0x39c00~0x39fff	0x67
0x22000~0x223ff	0x8	0x2a000~0x2a3ff	0x28	0x32000~0x323ff	0x48	0x3a000~0x3a3ff	0x68
0x22400~0x227ff	0x9	0x2a400~0x2a7ff	0x29	0x32400~0x327ff	0x49	0x3a400~0x3a7ff	0x69
0x22800~0x22bff	0xa	0x2a800~0x2abff	0x2a	0x32800~0x32bff	0x4a	0x3a800~0x3abff	0x6a
0x22c00~0x22fff	0xb	0x2ac00~0x2afff	0x2b	0x32c00~0x32fff	0x4b	0x3ac00~0x3afff	0x6b
0x23000~0x233ff	0xc	0x2b000~0x2b3ff	0x2c	0x33000~0x333ff	0x4c	0x3b000~0x3b3ff	0x6c
0x23400~0x237ff	0xd	0x2b400~0x2b7ff	0x2d	0x33400~0x337ff	0x4d	0x3b400~0x3b7ff	0x6d
0x23800~0x23bff	0xe	0x2b800~0x2bbff	0x2e	0x33800~0x33bff	0x4e	0x3b800~0x3bbff	0x6e
0x23c00~0x23fff	0xf	0x2bc00~0x2bfff	0x2f	0x33c00~0x33fff	0x4f	0x3bc00~0x3bfff	0x6f
0x24000~0x243ff	0x10	0x2c000~0x2c3ff	0x30	0x34000~0x343ff	0x50	0x3c000~0x3c3ff	0x70
0x24400~0x247ff	0x11	0x2c400~0x2c7ff	0x31	0x34400~0x347ff	0x51	0x3c400~0x3c7ff	0x71
0x24800~0x24bff	0x12	0x2c800~0x2cbff	0x32	0x34800~0x34bff	0x52	0x3c800~0x3cbff	0x72
0x24c00~0x24fff	0x13	0x2cc00~0x2cfff	0x33	0x34c00~0x34fff	0x53	0x3cc00~0x3cfff	0x73
0x25000~0x253ff	0x14	0x2d000~0x2d3ff	0x34	0x35000~0x353ff	0x54	0x3d000~0x3d3ff	0x74
0x25400~0x257ff	0x15	0x2d400~0x2d7ff	0x35	0x35400~0x357ff	0x55	0x3d400~0x3d7ff	0x75
0x25800~0x25bff	0x16	0x2d800~0x2dbff	0x36	0x35800~0x35bff	0x56	0x3d800~0x3dbff	0x76
0x25c00~0x25fff	0x17	0x2dc00~0x2dfff	0x37	0x35c00~0x35fff	0x57	0x3dc00~0x3dfff	0x77
0x26000~0x263ff	0x18	0x2e000~0x2e3ff	0x38	0x36000~0x363ff	0x58	0x3e000~0x3e3ff	0x78
0x26400~0x267ff	0x19	0x2e400~0x2e7ff	0x39	0x36400~0x367ff	0x59	0x3e400~0x3e7ff	0x79
0x26800~0x26bff	0x1a	0x2e800~0x2ebff	0x3a	0x36800~0x36bff	0x5a	0x3e800~0x3ebff	0x7a
0x26c00~0x26fff	0x1b	0x2ec00~0x2efff	0x3b	0x36c00~0x36fff	0x5b	0x3ec00~0x3efff	0x7b
0x27000~0x273ff	0x1c	0x2f000~0x2f3ff	0x3c	0x37000~0x373ff	0x5c	0x3f000~0x3f3ff	0x7c
0x27400~0x277ff	0x1d	0x2f400~0x2f7ff	0x3d	0x37400~0x377ff	0x5d	0x3f400~0x3f7ff	0x7d
0x27800~0x27bff	0x1e	0x2f800~0x2fbff	0x3e	0x37800~0x37bff	0x5e	0x3f800~0x3fbff	0x7e
0x27c00~0x27fff	0x1f	0x2fc00~0x2ffff	0x3f	0x37c00~0x37fff	0x5f	0x3fc00~0x3ffff	0x7f

0x5804: FLASHC Wait Register (FLASH_WAIT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
FLASHC Wait Register (FLASH_WAIT)	0x5804 (16 bits)	D15–3	–	reserved	–		–	–	0 when being read.
		D2–0	FLS_WAIT [2:0]	Flash read access wait cycle setup	FLS_WAIT[2:0]	Wait cycle	0x7	R/W	
					0x7 : 0x0	7 cycles : 0 cycles			

D[15:3] Reserved

D[2:0] FLS_WAIT[2:0]: Flash Read Access Wait Cycle Setup Bits

Flashメモリリード時に挿入するウェイトサイクル数を設定します。

表III.1.6.4 リードアクセスウェイトサイクル数の設定

FLS_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	48MHz以下
0x6	6サイクル	7サイクル	48MHz以下
0x5	5サイクル	6サイクル	48MHz以下
0x4	4サイクル	5サイクル	48MHz以下
0x3	3サイクル	4サイクル	48MHz以下
0x2	2サイクル	3サイクル	48MHz以下
0x1	1サイクル	2サイクル	40MHz以下
0x0	0サイクル	1サイクル	20MHz以下

(デフォルト: 0x7)

システムクロック周波数に合わせ、最適なサイクル数を設定してください。

注: FLASHCにはFlashメモリの先読み回路が搭載されているため、外部からはFLS_WAIT[2:0]の設定の違いによるFlashリードアクセスの変化を観測することができません。FLS_WAIT[2:0]にはシステムクロック周波数の対応範囲外の値を設定しないでください。

0x5810: FLASHC Protect Register (FLASH_PROT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Protect Register (FLASH_PROT)	**0x5810** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**FLS_PROT [7:0]**	FLASHC register protect flag	Writing 10010110 (0x96) removes the write protection of the FLASHC Control Register (0x5800) and Trap Table Base Registers (0x5814–0x5816). Writing another value set the write protection.	0x0	R/W	

D[15:8] Reserved

D[7:0] FLS_PROT[7:0]: FLASHC Register Protect Flag Bits

FLASHC制御レジスタ（0x5800、0x5814～0x5816）の書き込み保護を設定/解除します。
0x96（R/W）:　　書き込み保護解除
0x96以外（R/W）: 書き込み保護（デフォルト: 0x0）

FLASHC Control Register（0x5800）またはTrap Table Base Register（0x5814～0x5816）を変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、FLASHC Control RegisterまたはTrap Table Base Registerへの書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではFLASHC Control RegisterおよびTrap Table Base Registerの書き換えが何度でも行えます。FLASHC Control RegisterまたはTrap Table Base Registerの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x5814–0x5816: Trap Table Base Registers (TTBR_LOW, TTBR_HIGH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Trap Table Base Register 0 (TTBR_LOW)	**0x5814** (16 bits)	D15–8	**TTBR[15:8]**	Trap table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	**TTBR[7:0]**	Trap table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Trap Table Base Register 1 (TTBR_HIGH)	**0x5816** (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	**TTBR[23:16]**	Trap table base address A[23:16]	0x0–0xff	0x2	R/W	

注: Trap Table Base Registerは書き込み保護されています。このレジスタに書き込みを行うには、FLASHC Protect Register（0x5810）に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。Trap Table Base Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はFLASHC Protect Register（0x5810）に0x96以外の値を書き込み、書き込み禁止に設定してください。

D[15:0]/0x5814, D[7:0]/0x5816 TTBR[23:16]: Trap Table Base Address Bits

ベクタテーブルの開始アドレスを設定します。

イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみはこのアドレスに書き込んでおくことが必要です。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、トラップテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

III.1.7 注意事項

(1) FLASHC Control Register(0x5800)とTrap Table Base Register(0x5814～0x5816)は書き込み保護されています。これらのレジスタに書き込みを行うには、FLASHC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。アドレス0x5800と0x5814～0x5816への不要な書き込みは誤動作の原因になりますので、FLASHC Control RegisterとTrap Table Base Registerの設定時以外はFLASHC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

(2) Flashメモリの消去とプログラミングを開始する前に、ウォッチドッグタイマによるリセット機能を無効に設定してください。

(3) Flashメモリの消去とプログラミングを開始する前に、割り込みを禁止してください。

(4) Flashメモリを消去中またはプログラミング中は、#RESET端子をHigh(インアクティブ)に固定してください。

(5) Flashメモリは、内蔵RAMや外部ROMに書き込まれた命令で消去/プログラミングしてください。

(6) Flashメモリの消去とプログラミングを開始する前に、Flashメモリがビジー状態でないことを必ずFLASHCステータスフラグによって確認してください。

(7) FLASHCは16ビットライトによるFlashメモリのプログラミングにのみ対応しています。8ビット、24ビット、または32ビットライト命令では、Flashメモリをプログラミングすることはできません。

(8) S1C17コアは、割り込み処理ルーチンやサブルーチンを呼び出す際、スタックに32ビット書き込みを行います。したがって、16ビット書き込みにのみ対応しているFlashメモリをスタックとして使用することはできません。

(9) 消去/プログラムサイクルパラメータの最小値と最大値は下表のとおりです。それぞれの有効範囲になるよう、ソフトウェアによってそれぞれの時間を設定してください。

表III.1.7.1 消去/プログラミングサイクルタイミングパラメータ

パラメータ	タイミング仕様		
	Min.	Typ.	Max.
チップ消去動作モードホールド時間	12µs	–	–
セクタ消去動作モードホールド時間	6µs	–	–
プログラミング動作モードホールド時間	4µs	–	–
チップ消去パルス幅	70ms	100ms	500ms
セクタ消去パルス幅	15ms	20ms	50ms
プログラミング消去パルス幅	10µs	15µs	20µs

(10) Flashメモリ内のhalt命令を実行すると、Flashエリアのチップセレクト信号が出力されたままHALTモードになります。HALTモード中もFlashメモリがアクティブとなるため、消費電流が増加します。したがって、チップをHALT状態にする場合は、IRAMに書き込んだプログラムでhalt命令を実行してください。

(11) FLASHCにはFlashメモリの先読み回路が搭載されているため、外部からはFLS_WAIT[2:0](D[2:0]/FLASH_WAITレジスタ)の設定の違いによるFlashリードアクセスの変化を観測することができません。FLS_WAIT[2:0]にはシステムクロック周波数の対応範囲外の値を設定しないでください。

＊ **FLS_WAIT[2:0]**: Flash Read Access Wait Cycle Setup Bits in the FLASHC Wait (FLASH_WAIT) Register (D[2:0]/0x5804)

III.2 SRAMコントローラ(SRAMC)

III.2.1 SRAMCの概要

SRAMコントローラ(SRAMC)は、拡張内部周辺モジュール、IRAM2および外部デバイスをアクセスするためのバスコントローラモジュールです。
SRAMCの機能と特長を以下に示します。

拡張内部周辺インタフェース

- 8ビット/16ビットの選択が可能なデータバス
- 8ビット、16ビット、または24ビットアクセスに対応
- 0ウェイトアクセス(4サイクルのバスアクセス)
- リトルエンディアン(固定)

IRAM2インタフェース

- 16ビットデータバス
- 8ビット、16ビット、または24ビットアクセスに対応
- データのリード/ライトの加え、CPUによるIRAM2からの命令フェッチが可能
- ライトパルス幅: 1サイクル
- リードパルス幅: 1または2サイクル(ソフトウェアで選択可能)
- リトルエンディアン(固定)

外部メモリインタフェース

- 23ビットアドレスバスと16ビットデータバス
- 4本のチップイネーブル信号(#CE0～#CE3)を外部デバイスに出力
- #CEエリアごとに選択可能な2種類のアクセスタイプ(A0、BSL)をサポート
- #CEエリアごとに選択可能な2種類のデバイスサイズ(8ビット、16ビット)をサポート
- ウェイトサイクル(0～15サイクル)を#CEエリアごとにソフトウェアで設定可能
- SRAM、ROM、Flashメモリを外部バスに直接接続可能
- #WAIT端子からの外部ウェイト要求に対応(SRAMのみ)
- リトルエンディアン(固定)

III.2.2 SRAMC端子

表III.2.2.1にSRAMCが使用する端子の一覧を示します。

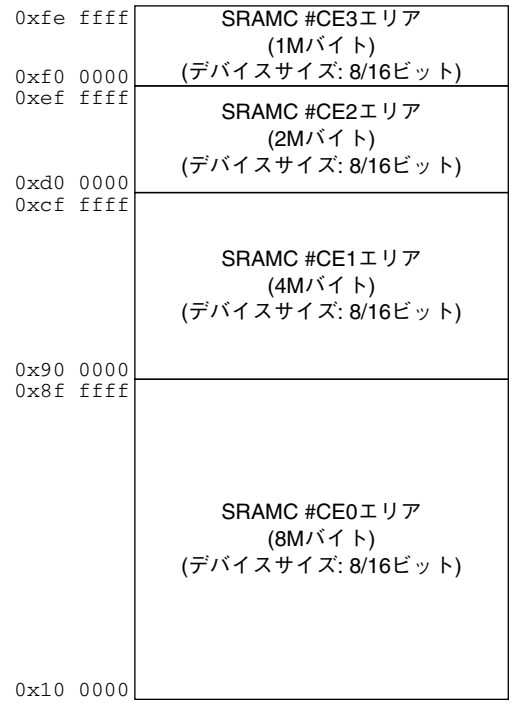
表III.2.2.1 SRAMC端子一覧

端子名	I/O	機能
D[15:0]	I/O	外部データバスD[15:0]
A0/#BSL	O	外部アドレスバスA0 / バスストローブ（下位バイト）信号出力
A[22:1]	O	外部アドレスバスA[22:1]
#CE[3:0]	O	チップイネーブル信号出力
#RD	O	リード信号出力
#WRL	O	ライト（下位バイト）信号出力
#WRH/#BSH	O	ライト（上位バイト）信号 / バスストローブ（上位バイト）信号出力

注: 上記外部バス制御端子は汎用入出力ポートと兼用されており、イニシャルリセット時は汎用入出力ポートに設定されます。これらの端子に割り当てられているSRAMCの信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。
端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

III.2.3 外部メモリエリア

SRAMCがサポートする外部メモリ空間は、図III.2.3.1に示すとおり4つのエリアに分割されます。



∗1 NAND Flashは#CE2エリアにのみ接続可能です。

図III.2.3.1 S1C17501の外部メモリ空間

III.2.3.1 チップイネーブル信号

SRAMCは23ビットの外部アドレスバス、16ビットの外部データバス、および4本のチップイネーブル端子(#CE0～#CE3)を持ち、15MBのアドレス空間をアクセスできるようになっています。

表III.2.3.1.1 チップイネーブル信号

#CE端子	アドレス範囲	エリアサイズ
#CE0	0x100000～0x8fffff	8MB
#CE1	0x900000～0xcfffff	4MB
#CE2	0xd00000～0xefffff	2MB
#CE3	0xf00000～0xfeffff	1MB

外部エリアを使用する場合は、対応する#CE*x*信号が出力されるようにポート機能選択レジスタ(I.3.3節参照)で端子機能を設定しておく必要があります。

III.2.3.2 エリアの設定

バスアクセス条件は、#CE*x*信号別のエリアごとに設定できます。
ここでは、エリアごとに設定される項目と制御ビットを示します。

エンディアンモード

S1C17501はリトルエンディアンモードのみをサポートしています。8ビットの外部デバイスを使用する場合は、データ信号をD[7:0]端子に接続してください。

デバイスタイプ

SRAMCにはSRAMタイプのバスインタフェースが組み込まれており、デバイスタイプとしてA0方式(デフォルト)またはBSL方式を選択することができます。BSL方式のインタフェースを使用する場合は、その#CEエリアのCE*x*TYPE(D*x*/EXTMEM_A0_BSLレジスタ)を1に設定します。

- **CE3TYPE**: #CE3 Device Type Selection Bit in the External Memory Device Type Setup (EXTMEM_A0_BSL) Register (D3/0x5008)
- **CE2TYPE**: #CE2 Device Type Selection Bit in the External Memory Device Type Setup (EXTMEM_A0_BSL) Register (D2/0x5008)
- **CE1TYPE**: #CE1 Device Type Selection Bit in the External Memory Device Type Setup (EXTMEM_A0_BSL) Register (D1/0x5008)
- **CE0TYPE**: #CE0 Device Type Selection Bit in the External Memory Device Type Setup (EXTMEM_A0_BSL) Register (D0/0x5008)

各方式で使用するバス制御信号端子を表III.2.3.2.2に示します。

表III.2.3.2.2 A0/BSL方式によるバス制御信号端子機能

端子名	A0(デフォルト)	BSL
#CE*x*	#CE*x*	#CE*x*
#RD	#RD	#RD
A0/#BSL	未使用	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

デバイスサイズ

デバイスサイズはCE*x*SIZE(D*x*/EXTMEM_SIZEレジスタ)で選択します。

- **CE3SIZE**: #CE3 Device Size Selection Bit in the External Memory Device Size Setup (EXTMEM_SIZE) Register (D3/0x5004)
- **CE2SIZE**: #CE2 Device Size Selection Bit in the External Memory Device Size Setup (EXTMEM_SIZE) Register (D2/0x5004)
- **CE1SIZE**: #CE1 Device Size Selection Bit in the External Memory Device Size Setup (EXTMEM_SIZE) Register (D1/0x5004)
- **CE0SIZE**: #CE0 Device Size Selection Bit in the External Memory Device Size Setup (EXTMEM_SIZE) Register (D0/0x5004)

イニシャルリセット時、デバイスサイズは16ビット(CE*x*SIZE = 1)に初期設定されます。8ビットデバイスを使用する場合は、CE*x*SIZEを0に設定してください。

スタティックウェイトサイクル

スタティックウェイトサイクルは、エリアのアクセス時に必ず挿入されるウェイトサイクルで、チップイネーブルおよびリード/ライト信号が指定サイクル数分延長されます。接続するデバイスの仕様に合わせ、CE*x*WAIT[3:0](EXTMEM_SWAITレジスタ)でウェイトサイクル数を指定します。

- **CE3WAIT[3:0]**: #CE3 Static Wait Cycle Setup Bits in the External Memory Device Static Wait Control (EXTMEM_SWAIT) Register (D[15:12]/0x5000)
- **CE2WAIT[3:0]**: #CE2 Static Wait Cycle Setup Bits in the External Memory Device Static Wait Control (EXTMEM_SWAIT) Register (D[11:8]/0x5000)
- **CE1WAIT[3:0]**: #CE1 Static Wait Cycle Setup Bits in the External Memory Device Static Wait Control (EXTMEM_SWAIT) Register (D[7:4]/0x5000)
- **CE0WAIT[3:0]**: #CE0 Static Wait Cycle Setup Bits in the External Memory Device Static Wait Control (EXTMEM_SWAIT) Register (D[3:0]/0x5000)

表III.2.3.2.3 スタティックウェイトサイクルの設定

CE*x*WAIT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
0xd	13サイクル
0xc	12サイクル
0xb	11サイクル
0xa	10サイクル
0x9	9サイクル
:	:
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

（デフォルト: 0xf）

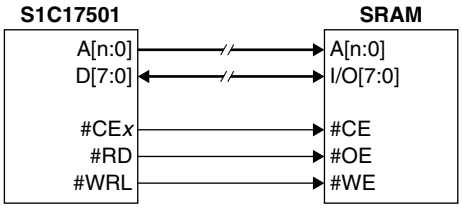
イニシャルリセット時、スタティックウェイトサイクル数は、すべての外部エリアで15サイクルに設定されます。

SRAMデバイスを接続するエリアでは、このスタティックウェイト制御に加え、#WAIT端子を使用したダイナミックウェイト制御も可能です。

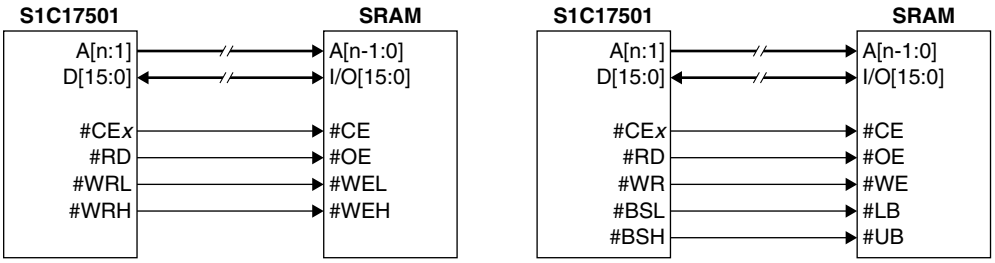
III.2.4 外部デバイスの接続とバスオペレーション

III.2.4.1 外部デバイスの接続

以下にS1C17501とSRAMの接続例を示します。



図III.2.4.1.1 8ビットデバイスサイズでの8ビットSRAMの接続例



<A0方式, 16ビットSRAM> <BSL方式, 16ビットSRAM>

図III.2.4.1.2 16ビットデバイスサイズでの16ビットSRAMの接続例

III.2.4.2 メモリ上のデータ配置

S1C17501のSRAMCは8ビット、16ビット、24/32ビットのデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。
SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。
アドレス不整例外の詳細についてはS1C17コアマニュアルを参照してください。
表III.2.4.2.1にデータタイプによるメモリ上の配置を示します。

表III.2.4.2.1 メモリ上のデータ配置

データタイプ	配置
8ビットデータ	8ビット境界(全アドレス)
16ビットデータ	16ビット境界(A[0] = 0)
24/32ビットデータ	32ビット境界(A[1:0] = 0b00)

メモリ上の16ビットデータ、24/32ビットデータは、リトルエンディアン形式でアクセスされます。メモリ効率を上げるには同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

III.2.4.3 外部バスオペレーション

S1C17501の内部データバスサイズは32ビットです。ただし、外部データバス端子はD[15:0]の16ビットです。
デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。
A0方式とBSL方式のバスオペレーションを表III.2.4.3.1に示します。
メモリの接続については、“III.2.4.1 外部デバイスの接続”を参照してください。

表III.2.4.3.1 バスオペレーション

デバイスサイズ	データサイズ	R/W	A1	A0	A0方式			BSL方式			アクセス回数
					使用する制御信号	D[15:8]端子	D[7:0]端子	使用する制御信号	D[15:8]端子	D[7:0]端子	
8ビット	8ビット	W	*	*	#WRL	–	D[7:0]	–	–	–	1回
		R	*	*	#RD	–	D[7:0]	–	–	–	1回
	16ビット	W	*	0	#WRL	–	D[7:0]	–	–	–	1回目
			*	1		–	D[15:8]		–	–	2回目
		R	*	0	#RD	–	D[7:0]	–	–	–	1回目
			*	1		–	D[15:8]		–	–	2回目
	24/32ビット	W	0	0	#WRL	–	D[7:0]	–	–	–	1回目
			0	1		–	D[15:8]		–	–	2回目
			1	0		–	D[23:16]		–	–	3回目
			1	1		–	D[31:24]		–	–	4回目
		R	0	0	#RD	–	D[7:0]	–	–	–	1回目
			0	1		–	D[15:8]		–	–	2回目
			1	0		–	D[23:16]		–	–	3回目
			1	1		–	D[31:24]		–	–	4回目
16ビット	8ビット	W	*	0	#WRL	–	D[7:0]	#WR #BSL	–	D[7:0]	1回
			*	1	#WRH	D[7:0]	–	#WR #BSH	D[7:0]	–	1回
		R	*	0	#RD	–	D[7:0]	#RD #BSL	–	D[7:0]	1回
			*	1		D[7:0]	–	#RD #BSH	D[7:0]	–	1回
	16ビット	W	*	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回
		R	*	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回
	24/32ビット	W	0	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目
		R	0	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1回目
			1	0		D[31:16]			D[31:16]		2回目

32ビットメモリアクセス時の上位8ビットデータについて

データは上位8ビットを0として書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時はPSRの値を上位8ビットとして書き込み/読み出しを行います。

III.2.5 SRAMC動作クロック

SRAMCはCMUで生成したSRAMC_CLKクロック(= システムクロック)を入力して動作します。バス制御信号はSRAMC_CLKクロックに同期して生成されます。
SRAMCにはSRAMCクロック(SRAMC_CLK)を制御するSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)が用意されています。ただし、SRAMCは内部周辺バス(SAPB)と外部バスを制御しているため、ICが動作中はSRAMC_CLKを停止することができません。つまり、SRAMC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にSRAMC_CLKは停止しません。ただし、SRAMC_CLK_ENを0(Off)に設定しておくことによって、HALT時(halt命令の実行後)はSRAMC_CLKを自動的に停止させることができます(デフォルト: On)。

* **SRAMC_CLK_EN**: SRAMC Clock Control (in HALT mode) Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D7/0x4907)

イニシャルリセット時はSRAMC_CLK_ENは1(On)に設定され、SRAMC_CLKの供給が許可されます。
HALT時にSRAMC_CLKが不要な場合は、SRAMC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、SRAMC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、SRAMC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、SRAMC_CLKが停止します(II.2.8.2節参照)。

このクロックをCMU_CLK端子から外部デバイスに出力することもできます。

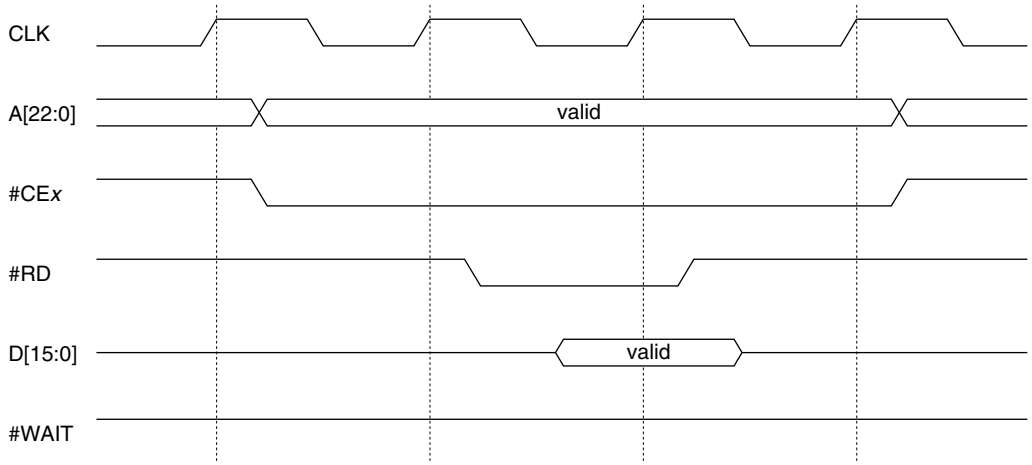
SRAMC動作クロックとCMU_CLK出力の設定と制御に関する詳細は、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

III.2.6 バスアクセスタイミングチャート

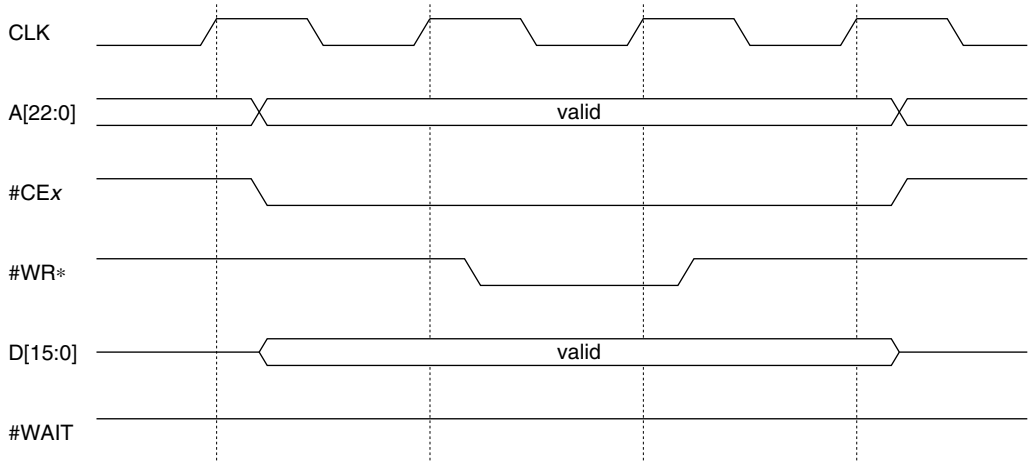
III.2.6.1 SRAMリード/ライトタイミング（外部#WAITなし）

1. SRAMリード/ライトタイミング（スタティックウェイトなし）

[設定例]
デバイスサイズ: 16ビット
アクセスサイズ: 16ビット
スタティックウェイトサイクル数: 0サイクル



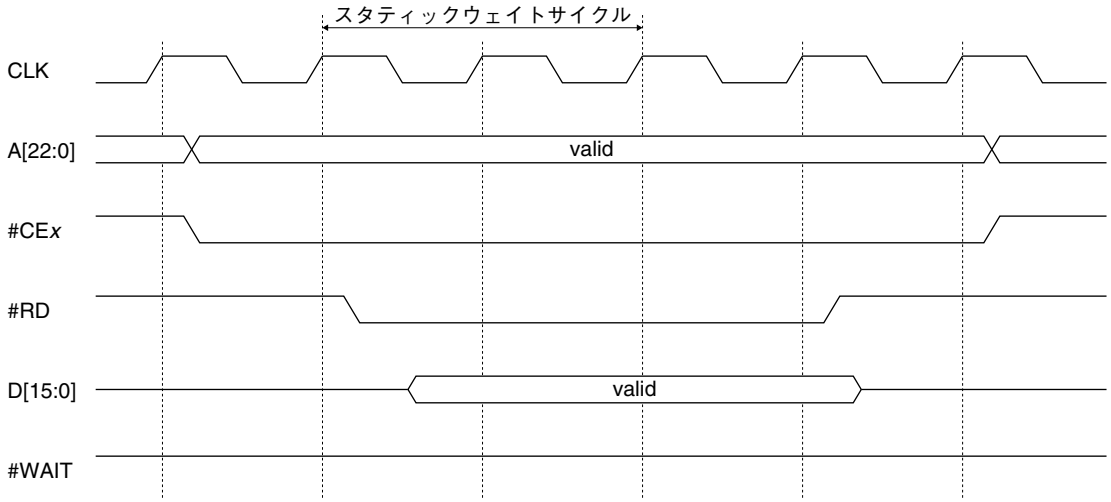
図III.2.6.1.1 SRAMリードタイミング（スタティックウェイトなし）



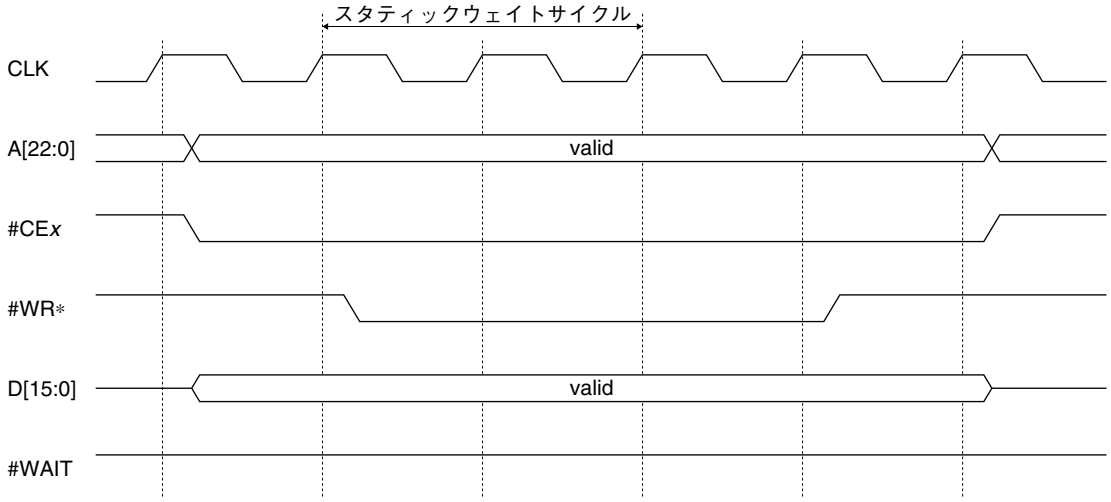
図III.2.6.1.2 SRAMライトタイミング（スタティックウェイトなし）

2. SRAMリード/ライトタイミング（スタティックウェイト付き）

[設定例]
デバイスサイズ: 16ビット
アクセスサイズ: 16ビット
スタティックウェイトサイクル数: 2サイクル



図III.2.6.1.3 SRAMリードタイミング（スタティックウェイト付き）

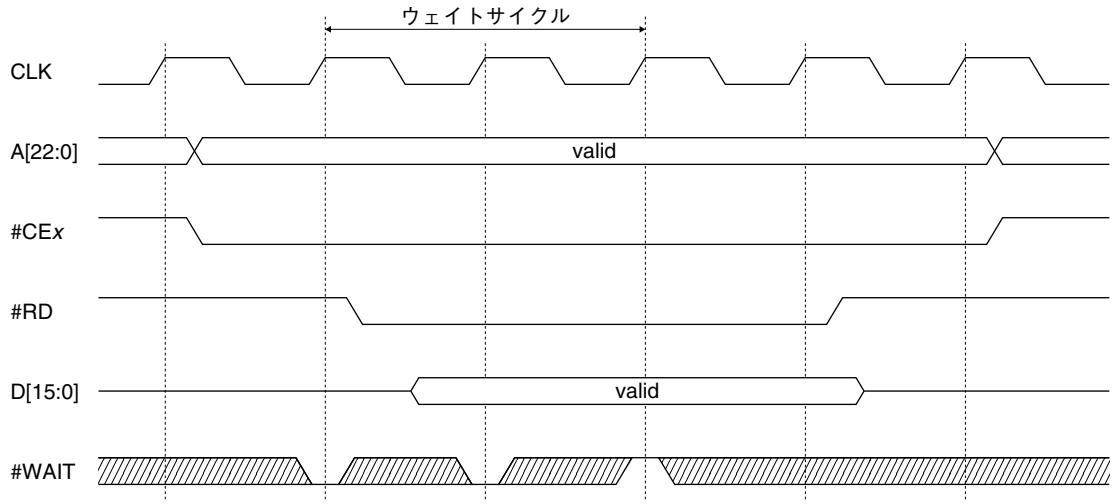


図III.2.6.1.4 SRAMライトタイミング（スタティックウェイト付き）

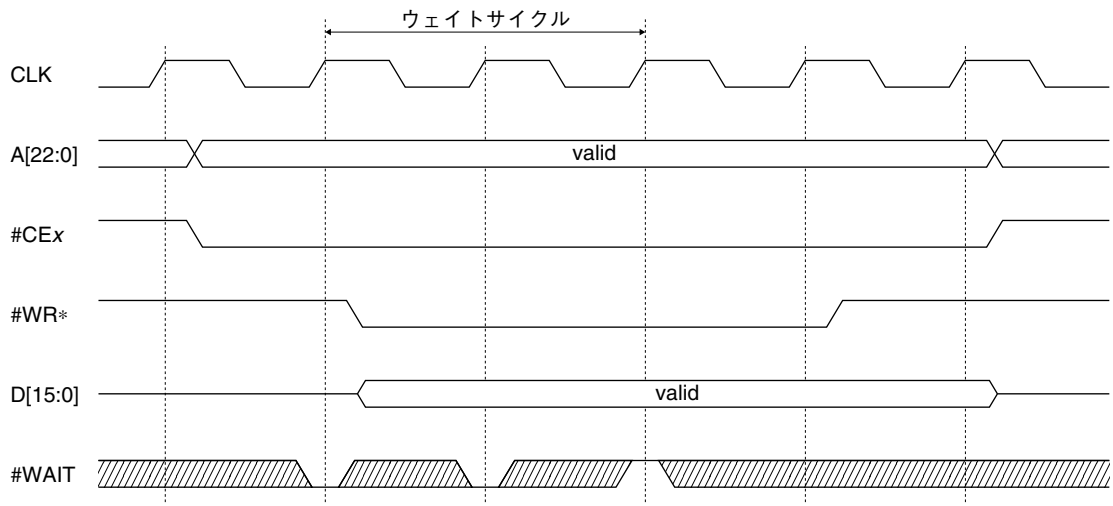
III.2.6.2 SRAMリード/ライトタイミング(外部#WAITあり)

外部#WAIT端子によるウェイトサイクルの挿入は、デバイスがSRAMの場合にのみ可能です。
外部#WAIT信号は、リードまたはライト信号がHighに立ち上がる時点から1クロック前の立ち上がりエッジでサンプリングされます。#WAIT信号のアクティブレベル(Low)がサンプリングされている間はWAIT状態となり、インアクティブレベル(High)がサンプリングされた時点で、それ以降の動作を再開します。

[設定例]
デバイスサイズ: 16ビット
アクセスサイズ: 16ビット
スタティックウェイトサイクル数: 0サイクル



図III.2.6.2.1 SRAMリードタイミング(外部#WAITあり)



図III.2.6.2.2 SRAMライトタイミング(外部#WAITあり)

III.2.7 内部デバイス用ウェイトサイクルの設定

SRAMCには、IRAM2、MAC演算モジュール、RTCモジュールのアクセス時に挿入するウェイトサイクル設定用のレジスタも設けられています。

IRAM2リード時のウェイトサイクル設定

CPUは2KB IRAM2への書き込みを0ウェイト（8ビットまたは16ビットのライトアクセスは4サイクル）で行うことができます。一方、CPUからIRAM2を読み出す場合は、0または1ウェイト（16ビットリードのアクセスサイクル数は4 + ウェイトサイクル）が必要です。
IRAM2の読み出し時に挿入されるデフォルトのウェイトサイクル数は、1サイクルに設定されています。システムクロック周波数が48MHz以下であれば、IRAM2_WAIT（D0/IRAM2_SWAITレジスタ）に0を書き込み、0ウェイトに設定することができます。

* **IRAM2_WAIT**: IRAM2 Static Wait Cycle Setup Bit in the Internal Memory Static Wait Control (IRAM2_SWAIT) Register (D0/0x5010)

MACモジュールアクセス時のウェイトサイクル設定

MACモジュールは0または1ウェイト（1または2アクセスサイクル）でアクセス可能です。
MACモジュールのリード/ライト時に挿入されるデフォルトのウェイトサイクル数は、1サイクルに設定されています。システムクロック周波数が24MHz以下であれば、MAC_WAIT（D0/MAC_WAITレジスタ）に0を書き込み、0ウェイトに設定することができます。

* **MAC_WAIT**: MAC Wait Cycle Setup Bit in the MAC Wait Control (MAC_WAIT) Register (D0/0x5014)

RTCモジュールアクセス時のウェイトサイクル設定

システムが高速動作中でもRTCレジスタを正常にアクセスできるように、SRAMCにはRTCアクセス時にウェイトサイクルを挿入する機能があります。挿入するウェイトサイクル数をRTC_WAIT[2:0]（D[2:0]/RTC_WAITレジスタ）で指定します。

* **RTC_WAIT[2:0]**: RTC Access Wait Cycle Setup Bits in the RTC Wait Control (RTC_WAIT) Register (D[2:0]/0x5018)

表III.2.7.1 RTCアクセス時のウェイトサイクル数

RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

（デフォルト: 0x7）

S1C17501はRTC_WAIT[2:0]≧1で動作可能です。

III.2.8 制御レジスタ詳細

表III.2.8.1 SRAMCレジスター一覧

アドレス	レジスタ名		機能
0x5000	EXTMEM_SWAIT	External Memory Static Wait Control Register	スタティックウェイトサイクルの設定
0x5004	EXTMEM_SIZE	External Memory Device Size Setup Register	デバイスサイズ(8/16ビット)の選択
0x5008	EXTMEM_A0_BSL	External Memory Device Type Setup Register	デバイスタイプ(A0/BSL)の選択
0x5010	IRAM2_SWAIT	Internal Memory Static Wait Control Register	IRAM2リードサイクルの設定
0x5014	MAC_WAIT	MAC Wait Control Register	MACウェイトサイクルの設定
0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定

以下にSRAMCの制御レジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5000: External Memory Static Wait Control Register (EXTMEM_SWAIT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
External Memory Static Wait Control Register (EXTMEM_SWAIT)	0x5000 (16 bits)	D15–12	CE3WAIT [3:0]	#CE3 static wait cycle setup	CE*x*WAIT[3:0]	Wait cycle	0xf	R/W	
					0xf	15 cycles			
		D11–8	CE2WAIT [3:0]	#CE2 static wait cycle setup	0xe	14 cycles	0xf	R/W	
					0xd	13 cycles			
		D7–4	CE1WAIT [3:0]	#CE1 static wait cycle setup	:	:	0xf	R/W	
					0x2	2 cycles			
		D3–0	CE0WAIT [3:0]	#CE0 static wait cycle setup	0x1	1 cycle	0xf	R/W	
					0x0	0 cycles			

D[15:12] CE3WAIT[3:0]: #CE3 Static Wait Cycle Setup Bits

#CE3エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

表III.2.8.2 スタティックウェイトサイクルの設定

CE*x*WAIT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
0xd	13サイクル
0xc	12サイクル
0xb	11サイクル
0xa	10サイクル
0x9	9サイクル
:	:
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

（デフォルト: 0xf）

D[11:8] CE2WAIT[3:0]: #CE2 Static Wait Cycle Setup Bits

#CE2エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D[7:4] CE1WAIT[3:0]: #CE1 Static Wait Cycle Setup Bits

#CE1エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D[3:0] CE0WAIT[3:0]: #CE0 Static Wait Cycle Setup Bits

#CE0エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

0x5004: External Memory Device Size Setup Register (EXTMEM_SIZE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Memory Device Size Setup Register (EXTMEM_SIZE)	0x5004 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	CE3SIZE	#CE3 device size selection	1 16 bits 0 8 bits	1	R/W	
		D2	CE2SIZE	#CE2 device size selection	1 16 bits 0 8 bits	1	R/W	
		D1	CE1SIZE	#CE1 device size selection	1 16 bits 0 8 bits	1	R/W	
		D0	CE0SIZE	#CE0 device size selection	1 16 bits 0 8 bits	1	R/W	

D[15:4] Reserved

D3 CE3SIZE: #CE3 Device Size Selection Bit

#CE3エリアのデバイスサイズを選択します。
1（R/W）: 16ビット（デフォルト）
0（R/W）: 8ビット

D2 CE2SIZE: #CE2 Device Size Selection Bit

#CE2エリアのデバイスサイズを選択します。
1（R/W）: 16ビット（デフォルト）
0（R/W）: 8ビット

D1 CE1SIZE: #CE1 Device Size Selection Bit

#CE1エリアのデバイスサイズを選択します。
1（R/W）: 16ビット（デフォルト）
0（R/W）: 8ビット

D0 CE0SIZE: #CE0 Device Size Selection Bit

#CE0エリアのデバイスサイズを選択します。
1（R/W）: 16ビット（デフォルト）
0（R/W）: 8ビット

0x5008: External Memory Device Type Setup Register (EXTMEM_A0_BSL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Memory Device Type Setup Register (EXTMEM_A0_BSL)	0x5008 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	CE3TYPE	#CE3 device type selection	1 BSL 0 A0	0	R/W	
		D2	CE2TYPE	#CE2 device type selection	1 BSL 0 A0	0	R/W	
		D1	CE1TYPE	#CE1 device type selection	1 BSL 0 A0	0	R/W	
		D0	CE0TYPE	#CE0 device type selection	1 BSL 0 A0	0	R/W	

D[15:4] Reserved

D3 CE3TYPE: #CE3 Device Type Selection Bit

#CE3エリアのデバイスタイプ（A0またはBSL）を選択します。
1（R/W）: BSL
0（R/W）: A0（デフォルト）

表III.2.8.3 A0/BSL方式によるバス制御信号端子機能

端子名	A0（デフォルト）	BSL
#CE*x*	#CE*x*	#CE*x*
#RD	#RD	#RD
A0/#BSL	未使用	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

D2 CE2TYPE: #CE2 Device Type Selection Bit

#CE2エリアのデバイスタイプ（A0またはBSL）を選択します。
1（R/W）: BSL
0（R/W）: A0（デフォルト）

D1 CE1TYPE: #CE1 Device Type Selection Bit

#CE1エリアのデバイスタイプ（A0またはBSL）を選択します。
1（R/W）: BSL
0（R/W）: A0（デフォルト）

D0 CE0TYPE: #CE0 Device Type Selection Bit

#CE0エリアのデバイスタイプ（A0またはBSL）を選択します。
1（R/W）: BSL
0（R/W）: A0（デフォルト）

0x5010: Internal Memory Static Wait Control Register (IRAM2_SWAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Memory Static Wait Control Register (IRAM2_SWAIT)	0x5010 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	IRAM2_WAIT	IRAM2 static wait cycle setup	1 1 cycle 0 0 cycles	1	R/W	

D[15:1] Reserved

D0 IRAM2_WAIT: IRAM2 Static Wait Cycle Setup Bit

IRAM2リード時に挿入するウェイトサイクル数を設定します。
1（R/W）: 1サイクル（デフォルト）
0（R/W）: 0サイクル

システムクロック周波数が48MHz以下であれば、0ウェイトに設定することができます。

0x5014: MAC Wait Control Register (MAC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MAC Wait Control Register (MAC_WAIT)	0x5014 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	MAC_WAIT	MAC wait cycle setup	1 1 cycle 0 0 cycles	1	R/W	

D[15:1] Reserved

D0 MAC_WAIT: MAC Wait Cycle Setup Bit

MACモジュールをアクセスする際に挿入するウェイトサイクル数を設定します。
1（R/W）: 1サイクル（デフォルト）
0（R/W）: 0サイクル

システムクロック周波数が24MHz以下であれば、0ウェイトに設定することができます。

0x5018: RTC Wait Control Register (RTC_WAIT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Wait Control Register (RTC_WAIT)	0x5018 (16 bits)	D15–3	–	reserved	–		–	–	0 when being read.
		D2–0	RTC_WAIT [2:0]	RTC access wait cycle setup	RTC_WAIT[2:0]	Wait cycle	0x7	R/W	
					0x7 : 0x0	7 cycles : 0 cycles			

D[15:3] Reserved

D[2:0] RTC_WAIT[2:0]: RTC Access Wait Cycle Setup Bits

RTCレジスタをアクセスする際に挿入するウェイトサイクル数を設定します。

表III.2.8.5 RTCアクセス時のウェイトサイクル数

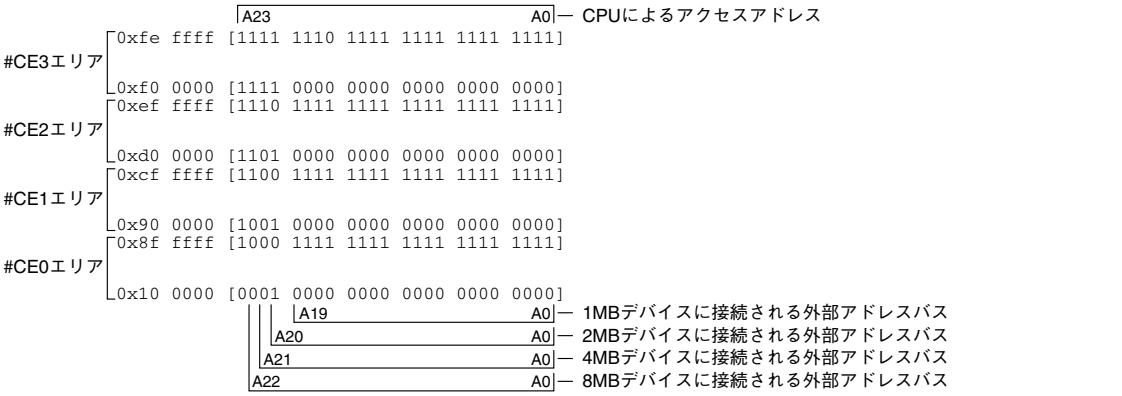
RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

（デフォルト: 0x7）

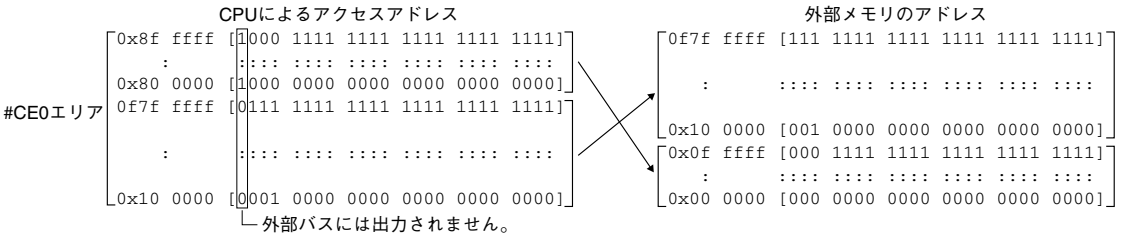
S1C17501はRTC_WAIT[2:0]≧1で動作可能です。

III.2.9 注意事項

- CPUがS1C17501のメモリ空間内の外部メモリエリア(#CE0～#CE3エリア、アドレス0x100000～0xfeffff)をアクセスする場合、外部バスにはアドレスが以下のように出力されます。



例: #CE0エリアに8MBメモリが接続されている場合



図III.2.9.1 CPUがアクセスするアドレスと外部バス上のアドレス

たとえば、CPUが#CE0エリアの0x100000～0x7fffffの範囲をアクセスした場合は、アクセスするアドレスがそのまま外部アドレスバスに出力されます。CPUが0x800000～0x8fffff(#CE0エリアの上位1MB)の範囲をアクセスした場合、外部アドレスバスにA23がないため、0x000000～0x0fffffが出力されます(外部メモリデバイス内の下位1MBがアクセスされます)。つまり、#CEエリア内の先頭からの相対アドレスが外部メモリデバイス内のアドレスとは異なる場合があります。
SRAMを接続した場合は、特に問題は発生しません。データを外部で書き込んだROMなどを接続した場合は、このアドレスの違いに注意する必要があります。また、Flashメモリを接続する場合は、セクタ番号によりセクタサイズが異なりますので、アクセスするセクタとCPUのアクセスアドレスとの関係に注意する必要があります。

IV S1C17501割り込みシステム

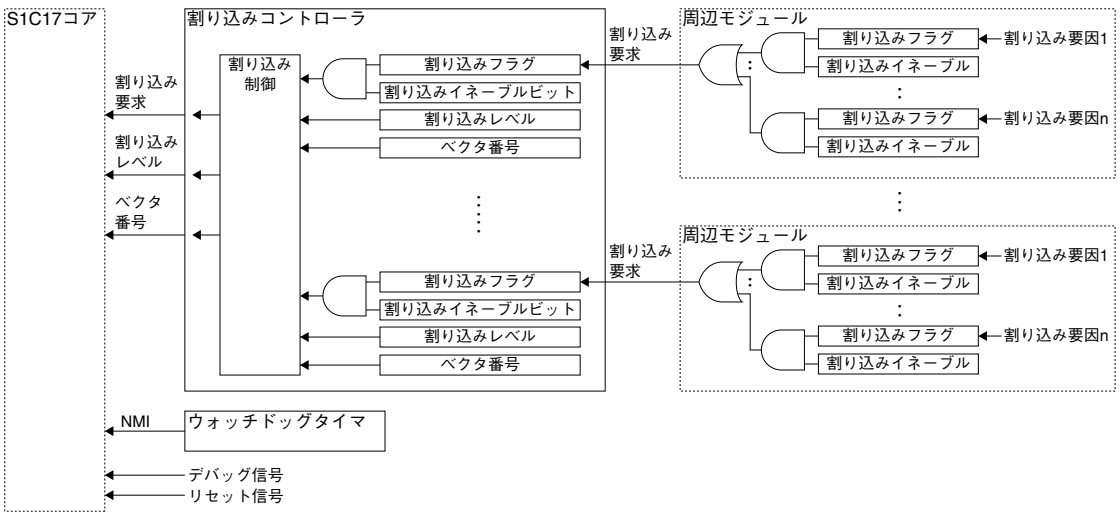
IV.1 割り込みコントローラ(ITC)

IV.1.1 ITCの構成

S1C17501には以下に示す28系統の割り込みが用意されています。

1. ポート入力割り込み(8種類)
2. マルチファンクションタイマ割り込み(1種類)
3. A/D変換器割り込み(2種類)
4. CLG 16ビットタイマ割り込み(1種類)
5. CLG 8ビットタイマ割り込み(2種類)
6. UART割り込み(1種類)
7. SPI(SPI CH.0)割り込み(1種類)
8. I^2C割り込み(1種類)
9. RTC割り込み(1種類)
10. 8ビットプログラマブルタイマ割り込み(4種類)
11. 拡張SPI(SPI CH.1)割り込み(1種類)
12. USBファンクションコントローラ割り込み(1種類)
13. I^2S割り込み(2種類)
14. リモートコントローラ割り込み(1種類)

それぞれの割り込み系列には、周辺モジュールからの割り込み要求の発生を示す割り込みフラグと割り込みを許可/禁止する割り込みイネーブルビットが設けられています。また、複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。
各割り込み系列には上記の( )内に示した数の割り込み要因があります。どの割り込み要因でITCに対する割り込み要求を発生させるかについてはそれぞれの周辺モジュールのレジスタで制御します。割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。
図IV.1.1.1に割り込みシステムの構成を示します。



図IV.1.1.1 割り込みシステム

IV.1.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルのベース(先頭)アドレスは、TTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができます。表IV.1.2.1の"TTBR"はこれらのレジスタに設定された値を意味します。イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおくことが必要です。表IV.1.2.1にS1C17501のベクタテーブルを示します。

表IV.1.2.1 ベクタテーブル

ベクタNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
–	(0xfffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	• #NMI端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ(reserved)	Cコンパイラのエミュレーションライブラリが使用	5
4 (0x04)	TTBR + 0x10	ポート入力割り込み0	Px0入力(立ち上がり/下がりエッジまたはH/Lレベル)	High *1
5 (0x05)	TTBR + 0x14	ポート入力割り込み1	Px1入力(立ち上がり/下がりエッジまたはH/Lレベル)	↑
6 (0x06)	TTBR + 0x18	ポート入力割り込み2	Px2入力(立ち上がり/下がりエッジまたはH/Lレベル)	
7 (0x07)	TTBR + 0x1c	ポート入力割り込み3	Px3入力(立ち上がり/下がりエッジまたはH/Lレベル)	
8 (0x08)	TTBR + 0x20	MFT割り込み	• コンペアマッチ • ピリオドマッチ • ADCプロテクション入力 • ポートプロテクション入力	
9 (0x09)	TTBR + 0x24	reserved	–	
10 (0x0a)	TTBR + 0x28	A/D変換器割り込み	範囲外(上限/下限)	
11 (0x0b)	TTBR + 0x2c		変換完了	
12 (0x0c)	TTBR + 0x30	CLG_T16U0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
13 (0x0d)	TTBR + 0x34	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
14 (0x0e)	TTBR + 0x38	CLG_T8Sタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
15 (0x0f)	TTBR + 0x3c	CLG_T8Iタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
16 (0x10)	TTBR + 0x40	UART(+IrDA)CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
17 (0x11)	TTBR + 0x44	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
18 (0x12)	TTBR + 0x48	SPI CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
19 (0x13)	TTBR + 0x4c	I^2C割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
20 (0x14)	TTBR + 0x50	RTC割り込み	1/64秒、1秒、1分、または1時間カウントアップ	
21 (0x15)	TTBR + 0x54	PT8 CH.0割り込み	タイマ0アンダーフロー	
22 (0x16)	TTBR + 0x58	PT8 CH.1割り込み	タイマ1アンダーフロー	
23 (0x17)	TTBR + 0x5c	PT8 CH.2割り込み	タイマ2アンダーフロー	
24 (0x18)	TTBR + 0x60	PT8 CH.3割り込み	タイマ3アンダーフロー	
25 (0x19)	TTBR + 0x64	reserved	–	
26 (0x1a)	TTBR + 0x68	SPI CH.1割り込み	• 送信バッファエンプティ • 受信バッファフル	
27 (0x1b)	TTBR + 0x6c	USB割り込み	USB割り込み	
28 (0x1c)	TTBR + 0x70	I^2S割り込み	• I^2S FIFOエンプティ	
29 (0x1d)	TTBR + 0x74		• I^2S FIFOフル	
30 (0x1e)	TTBR + 0x78	REMC割り込み	• エンベロープカウンタアンダーフロー • REMC_IN立ち上がりエッジ検出 • REMC_IN立ち下がりエッジ検出	
31 (0x1f)	TTBR + 0x7c	reserved	–	↓ Low *1

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタアドレスを共有する割り込み

割り込みベクタ番号12、14～16、18～19はそれぞれ2つの割り込み要因により共有されています。各ベクタ番号で発生する割り込みは、割り込みイネーブルビット(IV.1.3.3節参照)の設定によって決まります。同じベクタ番号が割り当てられている2つの割り込みを、割り込みイネーブルビットで両方共に許可した場合、ベクタテーブルの表内で上側に記述されている割り込みが発生し、下側に記述されている割り込みは発生しません。
使用する割り込みに合わせ、下記のように割り込みイネーブルビットを設定して、これらの割り込みシステムの構成を決定してください。

表IV.1.2.2 割り込みベクタ12と16(UART CH.0、CLG_T16U0、ポート4割り込み)

割り込みイネーブルビット			割り込みベクタ12	割り込みベクタ16
IIEN4(UART CH.0)	IIEN0(CLG_T16U0)	EIEN4(ポート4)		
1	1	1	CLG_T16U0割り込み	UART CH.0割り込み
1	1	0	CLG_T16U0割り込み	UART CH.0割り込み
1	0	1	ポート割り込み4	UART CH.0割り込み
1	0	0	–	UART CH.0割り込み
0	1	1	CLG_T16U0割り込み	ポート割り込み4
0	1	0	CLG_T16U0割り込み	–
0	0	1	ポート割り込み4	ポート割り込み4
0	0	0	–	–

(割り込みイネーブルビット: 1 = 割り込み許可、0 = 割り込み禁止)

表IV.1.2.3 割り込みベクタ14と18(SPI CH.0、CLG_T8S、ポート6割り込み)

割り込みイネーブルビット			割り込みベクタ14	割り込みベクタ18
IIEN6(SPI CH.0)	IIEN2(CLG_T8S)	EIEN6(ポート6)		
1	1	1	CLG_T8S割り込み	SPI CH.0割り込み
1	1	0	CLG_T8S割り込み	SPI CH.0割り込み
1	0	1	ポート割り込み6	SPI CH.0割り込み
1	0	0	–	SPI CH.0割り込み
0	1	1	CLG_T8S割り込み	ポート割り込み6
0	1	0	CLG_T8S割り込み	–
0	0	1	ポート割り込み6	ポート割り込み6
0	0	0	–	–

表IV.1.2.4 割り込みベクタ15と19(I^2C、CLG_T8I、ポート7割り込み)

割り込みイネーブルビット			割り込みベクタ15	割り込みベクタ19
IIEN7(I^2C)	IIEN3(CLG_T8I)	EIEN7(ポート7)		
1	1	1	CLG_T8I割り込み	I^2C割り込み
1	1	0	CLG_T8I割り込み	I^2C割り込み
1	0	1	ポート割り込み7	I^2C割り込み
1	0	0	–	I^2C割り込み
0	1	1	CLG_T8I割り込み	ポート割り込み7
0	1	0	CLG_T8I割り込み	–
0	0	1	ポート割り込み7	ポート割り込み7
0	0	0	–	–

IV.1.3 マスク可能割り込みの制御

IV.1.3.1 ITCイネーブル

ITCを使用するには、ITEN(D0/ITC_CTLレジスタ)を1に設定します。

* **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)

IV.1.3.2 周辺モジュールからの割り込み要求と割り込みフラグ

周辺モジュールで割り込みを許可した割り込み要因が発生すると、そのモジュールはITCに割り込み要求信号を送ります。この割り込み要求信号により、ITC内の対応する割り込みフラグが1にセットされます。割り込みフラグは0にリセットされるまで1を保持し、周辺モジュールからの割り込み要求が発生したことを示します。割り込みフラグの状態は、ITC_IFLGレジスタ(0x4300)と ITC_AIFLGレジスタ0x42e0)から読み出し可能です。表IV.1.3.2.1に割り込み要因と割り込みフラグの対応を示します。

注: ITEN(D0/ITC_CTLレジスタ)が0に設定されている場合、周辺モジュールからの割り込み要求が発生しても割り込みフラグはセットされません。

表IV.1.3.2.1 ハードウェア割り込み要因と割り込みフラグ

ハードウェア割り込み要求	割り込みフラグ
I²C割り込み: 送信バッファエンプティ/受信バッファフル	IIFT7(D15/ITC_IFLGレジスタ)
SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル	IIFT6(D14/ITC_IFLGレジスタ)
UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー	IIFT4(D12/ITC_IFLGレジスタ)
CLG_T8Iタイマ割り込み: タイマアンダーフロー	IIFT3(D11/ITC_IFLGレジスタ)
CLG_T8Sタイマ割り込み: タイマアンダーフロー	IIFT2(D10/ITC_IFLGレジスタ)
CLG_T16U0タイマ割り込み: タイマアンダーフロー	IIFT0(D8/ITC_IFLGレジスタ)
ポート入力割り込み7: P*x*7立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT7(D7/ITC_IFLGレジスタ)
ポート入力割り込み6: P*x*6立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT6(D6/ITC_IFLGレジスタ)
ポート入力割り込み5: P*x*5立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT5(D5/ITC_IFLGレジスタ)
ポート入力割り込み4: P*x*4立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT4(D4/ITC_IFLGレジスタ)
ポート入力割り込み3: P*x*3立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT3(D3/ITC_IFLGレジスタ)
ポート入力割り込み2: P*x*2立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT2(D2/ITC_IFLGレジスタ)
ポート入力割り込み1: P*x*1立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT1(D1/ITC_IFLGレジスタ)
ポート入力割り込み0: P*x*0立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT0(D0/ITC_IFLGレジスタ)
REMC割り込み: エンベロープカウンタアンダーフロー /入力立ち上がりエッジ/入力立ち下がりエッジ	AIFT14(D14/ITC_AIFLGレジスタ)
I²S割り込み: I²S FIFOフル	AIFT13(D13/ITC_AIFLGレジスタ)
I²S割り込み: I²S FIFOエンプティ	AIFT12(D12/ITC_AIFLGレジスタ)
USB割り込み: USB割り込み	AIFT11(D11/ITC_AIFLGレジスタ)
SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル	AIFT10(D10/ITC_AIFLGレジスタ)
PT8 CH.3割り込み: タイマアンダーフロー	AIFT8(D8/ITC_AIFLGレジスタ)
PT8 CH.2割り込み: タイマアンダーフロー	AIFT7(D7/ITC_AIFLGレジスタ)
PT8 CH.1割り込み: タイマアンダーフロー	AIFT6(D6/ITC_AIFLGレジスタ)
PT8 CH.0割り込み: タイマアンダーフロー	AIFT5(D5/ITC_AIFLGレジスタ)
RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ	AIFT4(D4/ITC_AIFLGレジスタ)
ADC割り込み: 変換終了	AIFT3(D3/ITC_AIFLGレジスタ)
ADC割り込み: 範囲外	AIFT2(D2/ITC_AIFLGレジスタ)
MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力	AIFT0(D0/ITC_AIFLGレジスタ)

ITCは割り込みフラグを使用してS1C17コアに割り込みを発生します。割り込みが許可されている状態(次節参照)で割り込みフラグが1にセットされると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。
1にセットされた割り込みフラグは1を書き込むことでリセットされます。割り込み処理ルーチンの中で割り込みフラグを0にリセットしてください。割り込み処理ルーチンが割り込みフラグをリセットしない場合、割り込み処理ルーチン終了後に同じ割り込みが再度発生してしまいます(割り込みは割り込み処理の間禁止され、割り込み処理の最後に`reti`命令を実行することで許可状態に戻ります)。

ただし、レベルトリガに設定した割り込み(IV.1.3.5節参照)の割り込みフラグ(EIFT0～EIFT7)は1の書き込みでリセットされません。これらの割り込みフラグは、割り込み発生源が割り込み信号をインアクティブにすることによりリセットされます。
割り込み要因の発生条件やモジュール固有の割り込み設定については、割り込み発生源のモジュールの節を参照してください。

IV.1.3.3 割り込みの許可/禁止

割り込み要求をS1C17コアに送るには、割り込みフラグに対応するITC_ENレジスタ(0x4302)とITC_AENレジスタ(0x42e2)内の割り込みイネーブルビットを使用して、割り込みを許可しておく必要があります。割り込みは割り込みイネーブルビットを1に設定すると許可され、0(デフォルト)に設定すると禁止されます。割り込みイネーブルビットは割り込みフラグには影響を与えません。ITEN(D0/ITC_CTLレジスタ)が1に設定されていれば、割り込みイネーブルビットの設定にかかわらず、周辺モジュールからの割り込み要求の発生により割り込みフラグはセットされます。
表IV.1.3.3.1に割り込みイネーブルビットと割り込みフラグの対応を示します。

表IV.1.3.3.1 割り込みイネーブルビット一覧

ハードウェア割り込み	割り込みフラグ	割り込みイネーブルビット
I^2C割り込み	IIFT7(D15/ITC_IFLGレジスタ)	IIEN7(D15/ITC_ENレジスタ)
SPI CH.0割り込み	IIFT6(D14/ITC_IFLGレジスタ)	IIEN6(D14/ITC_ENレジスタ)
UART割り込み	IIFT4(D12/ITC_IFLGレジスタ)	IIEN4(D12/ITC_ENレジスタ)
CLG_T8Iタイマ割り込み	IIFT3(D11/ITC_IFLGレジスタ)	IIEN3(D11/ITC_ENレジスタ)
CLG_T8Sタイマ割り込み	IIFT2(D10/ITC_IFLGレジスタ)	IIEN2(D10/ITC_ENレジスタ)
CLG_T16U0タイマ割り込み	IIFT0(D8/ITC_IFLGレジスタ)	IIEN0(D8/ITC_ENレジスタ)
ポート入力割り込み7	EIFT7(D7/ITC_IFLGレジスタ)	EIEN7(D7/ITC_ENレジスタ)
ポート入力割り込み6	EIFT6(D6/ITC_IFLGレジスタ)	EIEN6(D6/ITC_ENレジスタ)
ポート入力割り込み5	EIFT5(D5/ITC_IFLGレジスタ)	EIEN5(D5/ITC_ENレジスタ)
ポート入力割り込み4	EIFT4(D4/ITC_IFLGレジスタ)	EIEN4(D4/ITC_ENレジスタ)
ポート入力割り込み3	EIFT3(D3/ITC_IFLGレジスタ)	EIEN3(D3/ITC_ENレジスタ)
ポート入力割り込み2	EIFT2(D2/ITC_IFLGレジスタ)	EIEN2(D2/ITC_ENレジスタ)
ポート入力割り込み1	EIFT1(D1/ITC_IFLGレジスタ)	EIEN1(D1/ITC_ENレジスタ)
ポート入力割り込み0	EIFT0(D0/ITC_IFLGレジスタ)	EIEN0(D0/ITC_ENレジスタ)
REMC割り込み	AIFT14(D14/ITC_AIFLGレジスタ)	AIEN14(D14/ITC_AENレジスタ)
I^2S受信割り込み	AIFT13(D13/ITC_AIFLGレジスタ)	AIEN13(D13/ITC_AENレジスタ)
I^2S送信割り込み	AIFT12(D12/ITC_AIFLGレジスタ)	AIEN12(D12/ITC_AENレジスタ)
USB割り込み	AIFT11(D11/ITC_AIFLGレジスタ)	AIEN11(D11/ITC_AENレジスタ)
SPI CH.1割り込み	AIFT10(D10/ITC_AIFLGレジスタ)	AIEN10(D10/ITC_AENレジスタ)
PT8 CH.3割り込み	AIFT8(D8/ITC_AIFLGレジスタ)	AIEN8(D8/ITC_AENレジスタ)
PT8 CH.2割り込み	AIFT7(D7/ITC_AIFLGレジスタ)	AIEN7(D7/ITC_AENレジスタ)
PT8 CH.1割り込み	AIFT6(D6/ITC_AIFLGレジスタ)	AIEN6(D6/ITC_AENレジスタ)
PT8 CH.0割り込み	AIFT5(D5/ITC_AIFLGレジスタ)	AIEN5(D5/ITC_AENレジスタ)
RTC割り込み	AIFT4(D4/ITC_AIFLGレジスタ)	AIEN4(D4/ITC_AENレジスタ)
ADC割り込み(変換終了)	AIFT3(D3/ITC_AIFLGレジスタ)	AIEN3(D3/ITC_AENレジスタ)
ADC割り込み(範囲外)	AIFT2(D2/ITC_AIFLGレジスタ)	AIEN2(D2/ITC_AENレジスタ)
MFT割り込み	AIFT0(D0/ITC_AIFLGレジスタ)	AIEN0(D0/ITC_AENレジスタ)

注: • 不要な割り込みの発生を避けるため、割り込みイネーブルビットへの1書き込みにより割り込みを許可する前に、必ず割り込みフラグをリセットしてください。

• 実際に割り込みを発生させるには、割り込みイネーブルビットに加え、S1C17コアのProcessor Status Register(PSR)にあるIEビットも1に設定する必要があります。IEビットが0に設定されている場合、S1C17コアはマスク可能な割り込み要求を受け付けません。この場合、ITCからの割り込み要求は保持され、IEビットが1に設定された後に受け付けられます。

IV.1.3.4 複数の割り込み発生時の処理

ITCのITC_ELV*x*レジスタ(0x4306～0x430c)、ITC_ILV*x*レジスタ(0x430e～0x4314)、ITC_AILV*x*レジスタ(0x42e6～0x42f4)は各割り込み要因の割り込みレベル(0～7)を設定します。

表IV.1.3.4.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
I^2C割り込み	IILV7[2:0](D[10:8]/ITC_ILV3レジスタ)	0x4314
SPI CH.0割り込み	IILV6[2:0](D[2:0]/ITC_ILV3レジスタ)	0x4314
UART割り込み	IILV4[2:0](D[2:0]/ITC_ILV2レジスタ)	0x4312
CLG_T8Iタイマ割り込み	IILV3[2:0](D[10:8]/ITC_ILV1レジスタ)	0x4310
CLG_T8Sタイマ割り込み	IILV2[2:0](D[2:0]/ITC_ILV1レジスタ)	0x4310
CLG_T16U0タイマ割り込み	IILV0[2:0](D[2:0]/ITC_ILV0レジスタ)	0x430e
ポート入力割り込み7	EILV7[2:0](D[10:8]/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み6	EILV6[2:0](D[2:0]/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み5	EILV5[2:0](D[10:8]/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み4	EILV4[2:0](D[2:0]/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み3	EILV3[2:0](D[10:8]/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み2	EILV2[2:0](D[2:0]/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み1	EILV1[2:0](D[10:8]/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み0	EILV0[2:0](D[2:0]/ITC_ELV0レジスタ)	0x4306
REMC割り込み	AILV14[2:0](D[2:0]/ITC_AILV7レジスタ)	0x42f4
I^2S受信割り込み	AILV13[2:0](D[10:8]/ITC_AILV6レジスタ)	0x42f2
I^2S送信割り込み	AILV12[2:0](D[2:0]/ITC_AILV6レジスタ)	0x42f2
USB割り込み	AILV11[2:0](D[10:8]/ITC_AILV5レジスタ)	0x42f0
SPI CH.1割り込み	AILV10[2:0](D[2:0]/ITC_AILV5レジスタ)	0x42f0
PT8 CH.3割り込み	AILV8[2:0](D[2:0]/ITC_AILV4レジスタ)	0x42ee
PT8 CH.2割り込み	AILV7[2:0](D[10:8]/ITC_AILV3レジスタ)	0x42ec
PT8 CH.1割り込み	AILV6[2:0](D[2:0]/ITC_AILV3レジスタ)	0x42ec
PT8 CH.0割り込み	AILV5[2:0](D[10:8]/ITC_AILV2レジスタ)	0x42ea
RTC割り込み	AILV4[2:0](D[2:0]/ITC_AILV2レジスタ)	0x42ea
ADC割り込み(変換終了)	AILV3[2:0](D[10:8]/ITC_AILV1レジスタ)	0x42e8
ADC割り込み(範囲外)	AILV2[2:0](D[2:0]/ITC_AILV1レジスタ)	0x42e8
MFT割り込み	AILV0[2:0](D[2:0]/ITC_AILV0レジスタ)	0x42e6

割り込みレベルは、最高値が7、最低値が0です。
設定された割り込みレベルは、ITCが割り込み要求を出力する際に同時にS1C17コアに送られます。S1C17コアでは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(IV.1.3.6節参照)。
イニシャルリセット時、割り込みレベルはすべて0に設定されます。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_ELV*x*、ITC_ILV*x*、またはITC_AILV*x*レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。
同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

IV.1.3.5 割り込みのトリガモード

ポート入力割り込みにはパルストリガモードおよびレベルトリガモードの2つのトリガモードが用意されており、ITCはポート入力割り込み要求をパルス信号またはレベル信号として受け付けることができます。トリガモードはITC_ELV*x*レジスタ(0x4306～0x430c)内のEITG*x*ビットで選択できます。EITG*x*を1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

また、ITCに入力するこれらの割り込み要求信号の極性もITC_ELV*x*レジスタ(0x4306～0x430c)内のEITP*x*ビットで選択できます。EITP*x*を1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

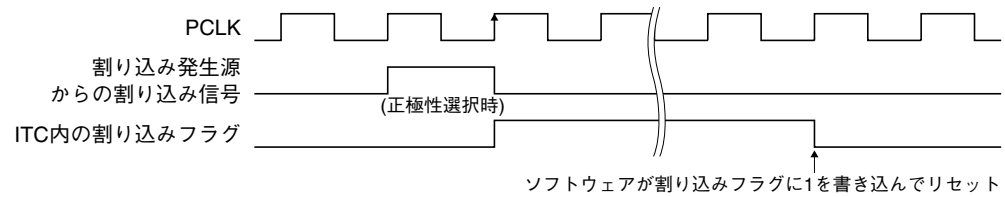
表IV.1.3.5.1 トリガモード/極性選択ビット

ハードウェア割り込み	トリガモード選択ビット	トリガ極性選択ビット	レジスタアドレス
ポート割り込み0	EITG0(D4/ITC_ELV0レジスタ)	EITP0(D5/ITC_ELV0レジスタ)	0x4306
ポート割り込み1	EITG1(D12/ITC_ELV0レジスタ)	EITP1(D13/ITC_ELV0レジスタ)	0x4306
ポート割り込み2	EITG2(D4/ITC_ELV1レジスタ)	EITP2(D5/ITC_ELV1レジスタ)	0x4308
ポート割り込み3	EITG3(D12/ITC_ELV1レジスタ)	EITP3(D13/ITC_ELV1レジスタ)	0x4308
ポート割り込み4	EITG4(D4/ITC_ELV2レジスタ)	EITP4(D5/ITC_ELV2レジスタ)	0x430a
ポート割り込み5	EITG5(D12/ITC_ELV2レジスタ)	EITP5(D13/ITC_ELV2レジスタ)	0x430a
ポート割り込み6	EITG6(D4/ITC_ELV3レジスタ)	EITP6(D5/ITC_ELV3レジスタ)	0x430c
ポート割り込み7	EITG7(D12/ITC_ELV3レジスタ)	EITP7(D13/ITC_ELV3レジスタ)	0x430c

ポートとRTC以外のモジュールはITCへの割り込み要求にパルス信号(正極性パルス)のみを出力します。したがって、トリガモード選択ビットとトリガ極性選択ビットは用意されていません。RTC割り込みのトリガモードは、RTCモジュール内の制御ビットでパルスまたはレベルトリガを選択することができます。

パルストリガモード

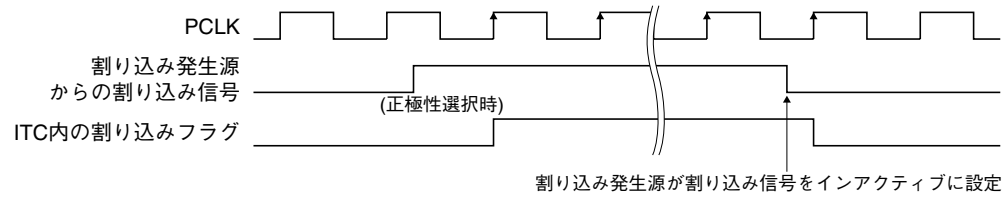
パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。割り込み信号のアクティブエッジ(トリガ極性選択ビットEITP*x*で選択した立ち上がりエッジまたは立ち下がりエッジ)を検出すると割り込みパルスが生成されます。このパルスは割り込みフラグEIFT*x*を1にセットし、ITCの割り込み処理を開始させます。ソフトウェアが割り込みフラグを0にリセットすると、それ以降の割り込みパルスで割り込みフラグが再度セットできるようになります。



図IV.1.3.5.1 パルストリガモード

レベルトリガモード

レベルトリガモードの場合、ITCはいつでも割り込みをサンプリング可能です。割り込み信号のアクティブレベル(トリガ極性選択ビットEITP*x*で選択したHighレベルまたはLowレベル)を検出すると割り込み信号が生成されます。この信号は割り込みフラグEIFT*x*を1にセットし、ITCの割り込み処理を開始させます。割り込み発生源が割り込み信号をアクティブレベルに保持している場合、ソフトウェアが割り込みフラグを0にリセットしても、すぐに1にセットされます。



図IV.1.3.5.2 レベルトリガモード

IV.1.3.6 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- ITEN(D0/ITC_CTLレジスタ)が1に設定されている。
  - * **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)
- 発生した割り込み要因に対応する割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

割り込み要因が発生すると対応する割り込みフラグが1にセットされ、プログラムまたはハードウェア(レベルトリガモードに設定されている割り込みの場合)でリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。
同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高いレベルを持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。
割り込み処理で実行される内容は以下のとおりです。

(1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
(2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
(3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
(4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。
割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。
割り込み処理ルーチンを`reti`命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

IV.1.4 NMI

S1C17501では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス + 8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

NMIを発生させる方法については、“V.3 ウォッチドッグタイマ(WDT)”を参照してください。

IV.1.5 ソフトウェア割り込み

S1C17コアのint *imm5*またはintl *imm5*,*imm3*命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値*imm5*でベクタテーブルのベクタ番号(0～31)を指定します。intl命令では、*imm3*でPSRのILフィールドに設定する割り込みレベル(0～7)を指定することもできます。
プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

IV.1.6 割り込み要因によるHALT, SLEEPモードの解除

スタンバイモード(HALT、SLEEP)はNMIまたは割り込みによって解除されます。

HALTモードは、NMIまたはHALTモードでもクロックが供給され、動作しているモジュールからの割り込みによって解除されます。HALTモード時に割り込み発生源の動作クロックを停止した場合や、ITEN(D0/ITC_CTLレジスタ)が0(割り込みコントローラを停止)に設定されている場合はHALTモードを解除することはできません。

∗ **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)

SLEEPモード時は割り込みコントローラ(ITC)にクロックが供給されません。したがって、SLEEPモードはイニシャルリセット、#NMI信号、またはポートやRTCなどのレベルトリガモードに対応したモジュールからの割り込みによってのみ解除されます。

スタンバイモードが解除されると、S1C17コアはhaltまたはslpの次の命令から実行を再開します。

注:
- **PSRのIEビットが0(割り込み禁止)に設定されている場合でも、割り込み信号によってスタンバイモードを解除することができます。**
- **パルストリガモードに設定されている割り込みによってSLEEPモードを解除することはできません。**
- **割り込み要因によってHALTまたはSLEEPモードを解除する場合、その割り込み要因に対応する割り込みイネーブルビットを1(割り込み許可)に設定しておく必要があります。**

IV.1.7 制御レジスタ詳細

表IV.1.7.1 ITCレジスター覧

アドレス	レジスタ名		機　能
0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0割り込みレベルの設定
0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1、CH.2割り込みレベルの設定
0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3
0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1、USB割り込みレベルの設定
0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I^2S割り込みレベルの設定
0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0タイマ割り込みレベルの設定
0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I^2C割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x42e0: Additional Interrupt Flag Register (ITC_AIFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Flag Register (ITC_AIFLG)	0x42e0 (16 bits)	D15	–	reserved	–	–	–	0 when being read.
		D14	**AIFT14**	REMC interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D13	**AIFT13**	I^2S receive interrupt flag		0	R/W	
		D12	**AIFT12**	I^2S transmit interrupt flag		0	R/W	
		D11	**AIFT11**	USB interrupt flag		0	R/W	
		D10	**AIFT10**	SPI CH.1 interrupt flag		0	R/W	
		D9	–	reserved	–	0	R/W	0 when being read.
		D8	**AIFT8**	PT8 CH.3 interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	**AIFT7**	PT8 CH.2 interrupt flag		0	R/W	
		D6	**AIFT6**	PT8 CH.1 interrupt flag		0	R/W	
		D5	**AIFT5**	PT8 CH.0 interrupt flag		0	R/W	
		D4	**AIFT4**	RTC interrupt flag		0	R/W	
		D3	**AIFT3**	ADC end-of-conversion interrupt flag		0	R/W	
		D2	**AIFT2**	ADC out-of-range interrupt flag		0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	**AIFT0**	MFT interrupt flag	1 Occurred / 0 Not occurred	0	R/W	Reset by writing 1.

D15, D9, D1 Reserved

D[14:10], D[8:2], D0 AIFT[14:10], AIFT[8:2], AIFT0: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

割り込みフラグは、ITEN(D0/ITC_CTLレジスタ)が1に設定されている状態で、各周辺モジュールの割り込み要因が発生すると1にセットされます。
このとき、以下の条件が成立していれば、S1C17コアに対し割り込みが発生します。

1. 対応する割り込みイネーブルビットが1に設定されている。
2. 他の優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが1(割り込み許可)に設定されている。
4. 対応する割り込みレベル設定ビットがS1C17コアの割り込みレベル(IL)より高いレベルに設定されている。

割り込みフラグは割り込みイネーブルビットや割り込みレベル設定ビットの状態にかかわらず、割り込み要因の発生により1にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込みフラグのリセットとPSRの再設定(IEビットを1にセットするか、`reti`命令を実行する)が必要です。
1にセットされた割り込み要因フラグは、1の書き込みによってリセットされます。

表IV.1.7.2 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
AIFT14 (D14)	REMC割り込み: エンベロープカウンタアンダーフロー /入力立ち上がりエッジ/入力立ち下がりエッジ
AIFT13 (D13)	I^2S割り込み: I^2S FIFOフル
AIFT12 (D12)	I^2S割り込み: I^2S FIFOエンプティ
AIFT11 (D11)	USB割り込み: USB割り込み
AIFT10 (D10)	SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル
AIFT8 (D8)	PT8 CH.3割り込み: タイマアンダーフロー
AIFT7 (D7)	PT8 CH.2割り込み: タイマアンダーフロー
AIFT6 (D6)	PT8 CH.1割り込み: タイマアンダーフロー
AIFT5 (D5)	PT8 CH.0割り込み: タイマアンダーフロー
AIFT4 (D4)	RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ
AIFT3 (D3)	ADC割り込み: 変換終了
AIFT2 (D2)	ADC割り込み: 範囲外
AIFT0 (D0)	MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力

0x42e2: Additional Interrupt Enable Register (ITC_AEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Enable Register (ITC_AEN)	0x42e2 (16 bits)	D15	–	reserved	–	–	–	0 when being read.
		D14	**AIEN14**	REMC interrupt enable	1 Enable 0 Disable	0	R/W	
		D13	**AIEN13**	I^2S receive interrupt enable		0	R/W	
		D12	**AIEN12**	I^2S transmit interrupt enable		0	R/W	
		D11	**AIEN11**	USB interrupt enable		0	R/W	
		D10	**AIEN10**	SPI CH.1 interrupt enable		0	R/W	
		D9	–	reserved	–	–	–	–
		D8	**AIEN8**	PT8 CH.3 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7	**AIEN7**	PT8 CH.2 interrupt enable		0	R/W	
		D6	**AIEN6**	PT8 CH.1 interrupt enable		0	R/W	
		D5	**AIEN5**	PT8 CH.0 interrupt enable		0	R/W	
		D4	**AIEN4**	RTC interrupt enable		0	R/W	
		D3	**AIEN3**	ADC end-of-conversion interrupt enable		0	R/W	
		D2	**AIEN2**	ADC out-of-range interrupt enable		0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	**AIEN0**	MFT interrupt enable	1 Enable 0 Disable	0	R/W	

D15, D9, D1 Reserved

D[14:10], D[8:2], D0 AIEN[14:10], AIEN[8:2], AIEN0: Interrupt Enable Bits

これらのビットは、割り込みの発生を許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

割り込みイネーブルビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。
割り込み要因をスタンバイモードの解除に使用する場合も、対応する割り込みイネーブルビットを1に設定しておく必要があります。

表IV.1.7.3 ハードウェア割り込み要因と割り込みイネーブルビット

割り込みイネーブルビット	ハードウェア割り込み要因
AIEN14 (D14)	REMC割り込み: エンベロープカウンタアンダーフロー /入力立ち上がりエッジ/入力立ち下がりエッジ
AIEN13 (D13)	I^2S割り込み: I^2S FIFOフル
AIEN12 (D12)	I^2S割り込み: I^2S FIFOエンプティ
AIEN11 (D11)	USB割り込み: USB割り込み
AIEN10 (D10)	SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル
AIEN8 (D8)	PT8 CH.3割り込み: タイマアンダーフロー
AIEN7 (D7)	PT8 CH.2割り込み: タイマアンダーフロー
AIEN6 (D6)	PT8 CH.1割り込み: タイマアンダーフロー
AIEN5 (D5)	PT8 CH.0割り込み: タイマアンダーフロー
AIEN4 (D4)	RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ
AIEN3 (D3)	ADC割り込み: 変換終了
AIEN2 (D2)	ADC割り込み: 範囲外
AIEN0 (D0)	MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力

0x42e6: Additional Interrupt Level Setup Register 0 (ITC_AILV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 0 (ITC_AILV0)	**0x42e6** (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	**AILV0[2:0]**	MFT interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] AILV0[2:0]: MFT Interrupt Level Bits

マルチファンクションタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x42e8: Additional Interrupt Level Setup Register 1 (ITC_AILV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 1 (ITC_AILV1)	0x42e8 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV3[2:0]	ADC end-of-conversion interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV2[2:0]	ADC out-of-range interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] AILV3[2:0]: ADC End-of-Conversion Interrupt Level Bits

A/D変換器の変換終了割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] AILV2[2:0]: ADC Out-of-Range Interrupt Level Bits

A/D変換器の範囲外割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
AILV3[2:0](D[10:8])の説明を参照してください。

0x42ea: Additional Interrupt Level Setup Register 2 (ITC_AILV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 2 (ITC_AILV2)	0x42ea (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV5[2:0]	PT8 CH.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV4[2:0]	RTC interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] AILV5[2:0]: PT8 CH.0 Interrupt Level Bits

8ビットプログラマブルタイマCH.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] AILV4[2:0]: RTC Interrupt Level Bits

RTC割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
AILV5[2:0](D[10:8])の説明を参照してください。

0x42ec: Additional Interrupt Level Setup Register 3 (ITC_AILV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 3 (ITC_AILV3)	0x42ec (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV7[2:0]	PT8 CH.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV6[2:0]	PT8 CH.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] AILV7[2:0]: PT8 CH.2 Interrupt Level Bits

8ビットプログラマブルタイマCH.2割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] AILV6[2:0]: PT8 CH.1 Interrupt Level Bits

8ビットプログラマブルタイマCH.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
AILV7[2:0](D[10:8])の説明を参照してください。

0x42ee: Additional Interrupt Level Setup Register 4 (ITC_AILV4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 4 (ITC_AILV4)	**0x42ee** (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	**AILV8[2:0]**	PT8 CH.3 interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] AILV8[2:0]: PT8 CH.3 Interrupt Level Bits

8ビットプログラマブルタイマCH.3割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

AILV9[2:0](D[10:8])の説明を参照してください。

0x42f0: Additional Interrupt Level Setup Register 5 (ITC_AILV5)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 5 (ITC_AILV5)	0x42f0 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV11[2:0]	USB interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV10[2:0]	SPI CH.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] AILV11[2:0]: USB Interrupt Level Bits

USB割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] AILV10[2:0]: SPI CH.1 Interrupt Level Bits

SPI CH.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
AILV11[2:0](D[10:8])の説明を参照してください。

0x42f2: Additional Interrupt Level Setup Register 6 (ITC_AILV6)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 6 (ITC_AILV6)	0x42f2 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV13[2:0]	I^2S receive interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV12[2:0]	I^2S transmit interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] AILV13[2:0]: I^2S Receive Interrupt Level Bits

I^2S受信割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] AILV12[2:0]: I^2S Transmit Interrupt Level Bits

I^2S送信割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
AILV13[2:0](D[10:8])の説明を参照してください。

0x42f4: Additional Interrupt Level Setup Register 7 (ITC_AILV7)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 7 (ITC_AILV7)	**0x42f4** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV14[2:0]**	REMC interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] AILV14[2:0]: REMC Interrupt Level Bits

リモートコントローラ割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x4300: Interrupt Flag Register (ITC_IFLG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Interrupt Flag Register (ITC_IFLG)	0x4300 (16 bits)	D15	IIFT7	I^2C interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	IIFT6	SPI CH.0 interrupt flag					0	R/W	
		D13	–	reserved	–				–	–	0 when being read.
		D12	IIFT4	UART interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D11	IIFT3	CLG_T8I timer interrupt flag					0	R/W	
		D10	IIFT2	CLG_T8S timer interrupt flag					0	R/W	
		D9	–	reserved	–				–	–	0 when being read.
		D8	IIFT0	CLG_T16U0 timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	EIFT7	Port interrupt 7 flag					0	R/W	Reset by writing 1 in pulse trigger mode. Cannot be reset by software in level trigger mode.
		D6	EIFT6	Port interrupt 6 flag					0	R/W	
		D5	EIFT5	Port interrupt 5 flag					0	R/W	
		D4	EIFT4	Port interrupt 4 flag					0	R/W	
		D3	EIFT3	Port interrupt 3 flag					0	R/W	
		D2	EIFT2	Port interrupt 2 flag					0	R/W	
		D1	EIFT1	Port interrupt 1 flag					0	R/W	
		D0	EIFT0	Port interrupt 0 flag					0	R/W	

D13, D9 Reserved

D[15:14], D[12:10], D8 IIFT[7:6], IIFT[4:2], IIFT0: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

割り込みフラグは、ITEN(D0/ITC_CTLレジスタ)が1に設定されている状態で、各周辺モジュールの割り込み要因が発生すると1にセットされます。
このとき、以下の条件が成立していれば、S1C17コアに対し割り込みが発生します。

1. 対応する割り込みイネーブルビットが1に設定されている。
2. 他の優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが1(割り込み許可)に設定されている。
4. 対応する割り込みレベル設定ビットがS1C17コアの割り込みレベル(IL)より高いレベルに設定されている。

割り込みフラグは割り込みイネーブルビットや割り込みレベル設定ビットの状態にかかわらず、割り込み要因の発生により1にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込みフラグのリセットとPSRの再設定(IEビットを1にセットするか、reti命令を実行する)が必要です。
1にセットされた割り込み要因フラグは、1の書き込みによってリセットされます。

表IV.1.7.4 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
IIFT7 (D15)	I^2C割り込み: 送信バッファエンプティ/受信バッファフル
IIFT6 (D14)	SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル
IIFT4 (D12)	UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー
IIFT3 (D11)	CLG_T8Iタイマ割り込み: タイマアンダーフロー
IIFT2 (D10)	CLG_T8Sタイマ割り込み: タイマアンダーフロー
IIFT0 (D8)	CLG_T16U0タイマ割り込み: タイマアンダーフロー

D[7:0] EIFT[7:0]: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): 無効
0(W): 無効

IIFT[7:0]の説明を参照してください。
ただし、これらの割り込みはITC_ELV*x*レジスタ(0x4306～0x430c)で割り込みトリガモードの選択が可能となっています。

表IV.1.7.5 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
EIFT7 (D7)	ポート入力割り込み7: P*x*7立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT6 (D6)	ポート入力割り込み6: P*x*6立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT5 (D5)	ポート入力割り込み5: P*x*5立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT4 (D4)	ポート入力割り込み4: P*x*4立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT3 (D3)	ポート入力割り込み3: P*x*3立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT2 (D2)	ポート入力割り込み2: P*x*2立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT1 (D1)	ポート入力割り込み1: P*x*1立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT0 (D0)	ポート入力割り込み0: P*x*0立ち上がり/立ち下がりエッジまたはH/Lレベル入力

0x4302: Interrupt Enable Register (ITC_EN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Interrupt Enable Register (ITC_EN)	0x4302 (16 bits)	D15	IIEN7	I^2C interrupt enable	1	Enable	0	Disable	0	R/W	
		D14	IIEN6	SPI CH.0 interrupt enable					0	R/W	
		D13	–	reserved	–				–	–	0 when being read.
		D12	IIEN4	UART interrupt enable	1	Enable	0	Disable	0	R/W	
		D11	IIEN3	CLG_T8I timer interrupt enable					0	R/W	
		D10	IIEN2	CLG_T8S timer interrupt enable					0	R/W	
		D9	–	reserved	–				–	–	0 when being read.
		D8	IIEN0	CLG_T16U0 timer interrupt enable	1	Enable	0	Disable	0	R/W	
		D7	EIEN7	Port interrupt 7 enable					0	R/W	
		D6	EIEN6	Port interrupt 6 enable					0	R/W	
		D5	EIEN5	Port interrupt 5 enable					0	R/W	
		D4	EIEN4	Port interrupt 4 enable					0	R/W	
		D3	EIEN3	Port interrupt 3 enable					0	R/W	
		D2	EIEN2	Port interrupt 2 enable					0	R/W	
		D1	EIEN1	Port interrupt 1 enable					0	R/W	
		D0	EIEN0	Port interrupt 0 enable					0	R/W	

D13, D9 Reserved

D[15:14], D[12:10], D8, D[7:0] IIEN[7:6], IIEN[4:2], IIEN0, EIEN[7:0]: Interrupt Enable Bits

これらのビットは、割り込みの発生を許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

割り込みイネーブルビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。
割り込み要因をスタンバイモードの解除に使用する場合も、対応する割り込みイネーブルビットを1に設定しておく必要があります。

表IV.1.7.6 ハードウェア割り込み要因と割り込みイネーブルビット

割り込みイネーブルビット	ハードウェア割り込み要因
IIEN7 (D15)	I^2C割り込み: 送信バッファエンプティ/受信バッファフル
IIEN6 (D14)	SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル
IIEN4 (D12)	UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー
IIEN3 (D11)	CLG_T8Iタイマ割り込み: タイマアンダーフロー
IIEN2 (D10)	CLG_T8Sタイマ割り込み: タイマアンダーフロー
IIEN0 (D8)	CLG_T16U0タイマ割り込み: タイマアンダーフロー
EIEN7 (D7)	ポート入力割り込み7: P*x*7立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN6 (D6)	ポート入力割り込み6: P*x*6立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN5 (D5)	ポート入力割り込み5: P*x*5立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN4 (D4)	ポート入力割り込み4: P*x*4立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN3 (D3)	ポート入力割り込み3: P*x*3立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN2 (D2)	ポート入力割り込み2: P*x*2立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN1 (D1)	ポート入力割り込み1: P*x*1立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN0 (D0)	ポート入力割り込み0: P*x*0立ち上がり/立ち下がりエッジまたはH/Lレベル入力

0x4304: ITC Control Register (ITC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ITC Control Register (ITC_CTL)	0x4304 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	ITEN	ITC enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 ITEN: ITC Enable Bit

ITCによる割り込みの制御を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

ITCを使用する前に、1に設定してください。

0x4306: External Interrupt Level Setup Register 0 (ITC_ELV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 0 (ITC_ELV0)	0x4306 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP1	Port interrupt 1 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG1	Port interrupt 1 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV1[2:0]	Port interrupt 1 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP0	Port interrupt 0 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG0	Port interrupt 0 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV0[2:0]	Port interrupt 0 level	0 to 7	0x0	R/W	

D[15:14] Reserved

D13 EITP1: Port Interrupt 1 Trigger Polarity Bit

ポート割り込み1信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

パルストリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求として正極性パルスを出力します。0に設定されている場合は負極性パルスを出力します。レベルトリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求としてアクティブHighの信号を出力します。0に設定されている場合はアクティブLowの信号を出力します。

D12 EITG1: Port Interrupt 1 Trigger Mode Bit

ポート割り込み1のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。指定極性のパルスが検出されると、ITCは割り込みフラグ(EIFT*x*)を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ(EIFT*x*)を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。
レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ(EIFT*x*)はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ(EIFT*x*)をリセットすることはできません。したがって、割り込み発生源モジュールが、S1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

D11 Reserved

D[10:8] EILV1[2:0]: Port Interrupt 1 Level Bits

ポート割り込み1の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:6] Reserved

D5 EITP0: Port Interrupt 0 Trigger Polarity Bit
ポート割り込み0信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

EITP1(D13)の説明を参照してください。

D4 EITG0: Port Interrupt 0 Trigger Mode Bit
ポート割り込み0のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

EITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV0[2:0]: Port Interrupt 0 Level Bits
ポート割り込み0の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
EILV1[2:0](D[10:8])の説明を参照してください。

0x4308: External Interrupt Level Setup Register 1 (ITC_ELV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 1 (ITC_ELV1)	0x4308 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP3	Port interrupt 3 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG3	Port interrupt 3 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV3[2:0]	Port interrupt 3 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP2	Port interrupt 2 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG2	Port interrupt 2 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV2[2:0]	Port interrupt 2 level	0 to 7	0x0	R/W	

D[15:14] Reserved

D13 EITP3: Port Interrupt 3 Trigger Polarity Bit

ポート割り込み3信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D12 EITG3: Port Interrupt 3 Trigger Mode Bit

ポート割り込み3のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV3[2:0]: Port Interrupt 3 Level Bits

ポート割り込み3の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved

D5 EITP2: Port Interrupt 2 Trigger Polarity Bit

ポート割り込み2信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D4 EITG2: Port Interrupt 2 Trigger Mode Bit

ポート割り込み2のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV2[2:0]: Port Interrupt 2 Level Bits

ポート割り込み2の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430a: External Interrupt Level Setup Register 2 (ITC_ELV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 2 (ITC_ELV2)	0x430a (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP5	Port interrupt 5 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG5	Port interrupt 5 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV5[2:0]	Port interrupt 5 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP4	Port interrupt 4 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG4	Port interrupt 4 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV4[2:0]	Port interrupt 4 level	0 to 7	0x0	R/W	

D[15:14] Reserved

D13 EITP5: Port Interrupt 5 Trigger Polarity Bit
ポート割り込み5信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D12 EITG5: Port Interrupt 5 Trigger Mode Bit
ポート割り込み5のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV5[2:0]: Port Interrupt 5 Level Bits
ポート割り込み5の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved

D5 EITP4: Port Interrupt 4 Trigger Polarity Bit
ポート割り込み4信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D4 EITG4: Port Interrupt 4 Trigger Mode Bit
ポート割り込み4のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV4[2:0]: Port Interrupt 4 Level Bits
ポート割り込み4の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430c: External Interrupt Level Setup Register 3 (ITC_ELV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 3 (ITC_ELV3)	0x430c (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP7	Port interrupt 7 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG7	Port interrupt 7 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV7[2:0]	Port interrupt 7 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP6	Port interrupt 6 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG6	Port interrupt 6 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV6[2:0]	Port interrupt 6 level	0 to 7	0x0	R/W	

D[15:14] Reserved

D13 EITP7: Port Interrupt 7 Trigger Polarity Bit
ポート割り込み7信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D12 EITG7: Port Interrupt 7 Trigger Mode Bit
ポート割り込み7のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV7[2:0]: Port Interrupt 7 Level Bits
ポート割り込み7の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved

D5 EITP6: Port Interrupt 6 Trigger Polarity Bit
ポート割り込み6信号の極性を選択します。
1(R/W): 正極性/アクティブHigh
0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D4 EITG6: Port Interrupt 6 Trigger Mode Bit
ポート割り込み6のトリガモードを選択します。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV6[2:0]: Port Interrupt 6 Level Bits
ポート割り込み6の割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	0x430e (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV0[2:0]	CLG_T16U0 timer interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] IILV0[2:0]: CLG_T16U0 Timer Interrupt Level Bits

CLG_T16U0タイマ割り込み1の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV3[2:0]	CLG_T8I timer interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV2[2:0]	CLG_T8S timer interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV3[2:0]: CLG_T8I Timer Interrupt Level Bits
CLG_T8Iタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV0[2:0](D[2:0])の説明を参照してください。

D[7:3] Reserved

D[2:0] IILV2[2:0]: CLG_T8S Timer Interrupt Level Bits
CLG_T8Sタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV0[2:0](D[2:0])の説明を参照してください。

0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	**0x4312** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV4[2:0]**	UART interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] IILV4[2:0]: UART Interrupt Level Bits

UART割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV0[2:0](D[2:0])の説明を参照してください。

0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV7[2:0]	I^2C interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV6[2:0]	SPI CH.0 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV7[2:0]: I^2C Interrupt Level Bits
I^2C割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV0[2:0](D[2:0])の説明を参照してください。

D[7:3] Reserved

D[2:0] IILV6[2:0]: SPI CH.0 Interrupt Level Bits
SPI CH.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV0[2:0](D[2:0])の説明を参照してください。

IV.1.8 注意事項

- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込みフラグをリセットしてください。
- スタンバイモードを割り込みで解除する場合、slp命令またはhalt命令に続く1命令は割り込み受付前に必ず実行されます。確実に割り込みをかけるため、slp命令およびhalt命令の後にはnop命令を1つ記述してください。CPUがウェイト状態になるようなメモリアクセス命令を置くと、レベル割り込み信号が受け付けられず、割り込み処理が実行されない可能性があります。
- ポート入力割り込み(レベル割り込み)によってスタンバイモードを解除し、割り込み処理ルーチンを確実に実行させるには、ポートへの入力信号を以下の時間以上アクティブにする必要があります。

  (1)SLEEPモード時にクロックを停止させる場合
  OSC3発振開始時間 + OSC3発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間

  (2)SLEEPモード時にクロックを停止させない場合、またはHALTモード時
  システムクロック10サイクルの時間

- 割り込みの発生やスタンバイモードの解除には、割り込み制御レジスタの設定の他に、割り込みに必要なクロックをCMUの設定によって供給しておく必要があります。
  割り込みを発生させるために必要なクロック設定を表IV.1.8.1に示します。

表IV.1.8.1 割り込みに必要なクロック設定

クロック系統	CMUレジスタ設定有効範囲	クロック供給状態			割り込み発生に必要なクロック設定																									
					通常/HALT時																					SLEEP時			
		通常動作時	HALT時	SLEEP時	AMI	DBG	NMI	MFT	ADC	T16	T8	UART	SPI	I^2C	PORT	RTC	PT8	SPI	USB	I^2S	REMC	DBG	NMI	PORT	RTC
PCLK	通常/HALT	REG	REG	停止				○	○	○	○	○	○	○	○	○	○	○	○	○	○			○	○
USB_CLK	通常/HALT	REG	REG	停止															*6						
USB_SAPB_CLK	通常/HALT	REG	REG	停止															*6						
FLASHC	HALT	停止不可	REG	停止																					
MFT_CLK	通常/HALT	REG	REG	停止				○																	
PT8_CLK	通常/HALT	REG	REG	停止													○								
SRAMC_CLK	HALT	停止不可	REG	停止																					
RTC_SAPB_CLK	通常/HALT	REG	REG	停止												○									○
PORT_CLK	通常/HALT	REG	REG	停止											*4									*5	
WDT_CLK	通常/HALT	REG	REG	停止			*3																		
ADC_CLK	通常/HALT	REG	REG	停止					○																
REMC_CLK	通常/HALT	REG	REG	停止																	○				
SPI_CLK	通常/HALT	REG	REG	停止														○							
CPU	–	停止不可	停止	停止	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/
RTC	–	停止不可 *1	停止不可 *1	停止不可 *1												○									○
OSC1発振回路	–	停止不可 *2	停止不可 *2	停止不可 *2	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	○	*7	*7	*7	*7	*7	*7	*7	*7	○
OSC3発振回路	通常/HALT	REG	REG	REG	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7	*7

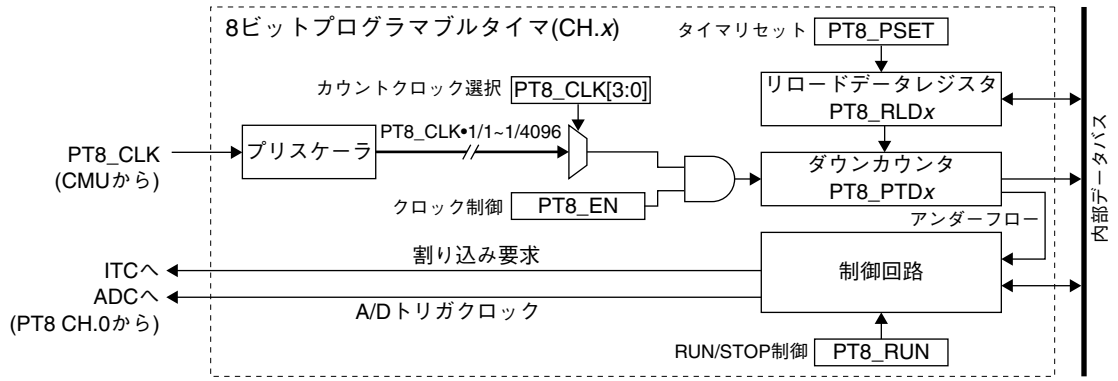
REG: レジスタにより設定可能
○:　割り込みを発生させるために供給必須クロック
AMI: アドレス不整例外
*1:　周辺モジュールにて機能をディセーブルに設定することで停止します。
*2:　外部入力を固定した場合は発振しません。
*3:　WDTよりNMIを発生させる場合はクロック供給が必要です。
*4:　パルストリガ割り込み設定時のみ必要です。
*5:　レジスタ設定後は不要です。(レベルトリガ割り込みのみ)
*6:　スヌーズ状態からのVBUS_ChangedおよびNonJによる割り込みにクロックは不要です。他は必要です。
*7:　システムのクロックとして使用されるOSC1またはOSC3発振回路が、SLEEP時以外に動作する必要があります。

V S1C17501タイマモジュール

V.1 8ビットプログラマブルタイマ(PT8)

V.1.1 8ビットプログラマブルタイマの概要

S1C17501は4チャネルの8ビットプログラマブルタイマ(PT8 CH.0～CH.3)を内蔵しています。
8ビットプログラマブルタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生に使用されます。また、CH.0のアンダーフロー信号は、A/D変換を開始させるA/D変換器トリガ信号としても使用可能です。アンダーフロー周期はプリスケーラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔を得ることができます。プリスケーラはPT8モジュールに組み込まれており、PT8_CLK•1/1～PT8_CLK•1/4096の13種類のカウントクロックを生成します。
図V.1.1.1に8ビットプログラマブルタイマの構造を示します。



図V.1.1.1 8ビットプログラマブルタイマの構造(1チャネル)

注: • 8ビットプログラマブルタイマは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットプログラマブルタイマの全チャネルに適用されます。レジスタ名の'*x*はチャネル番号(0～3)を表します。また、レジスタのアドレスは(*CH.0*/*CH.1*/*CH.2*/*CH.3*)のように記述されています。
例: PT8_CTL*x*レジスタ(0x4803/0x4807/0x480b/0x480f)
CH.0: PT8_CTL0レジスタ(0x4803)
CH.1: PT8_CTL1レジスタ(0x4807)
CH.2: PT8_CTL2レジスタ(0x480b)
CH.3: PT8_CTL3レジスタ(0x480f)

• PT8モジュールのプリスケーラはSPI CH.1も使用します。

V.1.2 カウントクロック

8ビットプログラマブルタイマはプリスケーラ出力クロックをカウントクロックとして使用します。プリスケーラはPT8_CLKを1/1～1/4096に分周して13種類のクロックを生成します。この中の1つをPT8_CLK[3:0]（D[3:0]/PT8_CLK*x*レジスタ）で選択します。

* **PT8_CLK[3:0]**: PT8 Clock Division Ratio Selection Bits in the PT8 CH. *x* Input Clock Select (PT8_CLK*x*) Registers (D[3:0]/0x4800/0x4804/0x4808/0x480c)

表V.1.2.1 カウントクロックの選択

PT8_CLK[3:0]	プリスケーラ出力クロック	PT8_CLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PT8_CLK•1/128
0xe	Reserved	0x6	PT8_CLK•1/64
0xd	Reserved	0x5	PT8_CLK•1/32
0xc	PT8_CLK•1/4096	0x4	PT8_CLK•1/16
0xb	PT8_CLK•1/2048	0x3	PT8_CLK•1/8
0xa	PT8_CLK•1/1024	0x2	PT8_CLK•1/4
0x9	PT8_CLK•1/512	0x1	PT8_CLK•1/2
0x8	PT8_CLK•1/256	0x0	PT8_CLK•1/1

（デフォルト: 0x0）

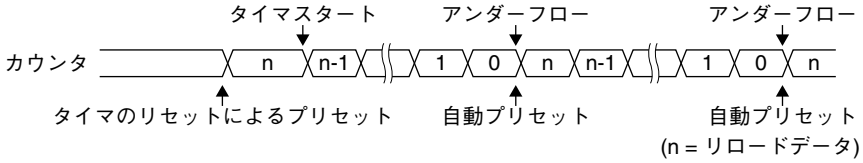
選択したクロックはPT8_EN（D4/PT8_CLK*x*レジスタ）を1に設定することによりカウンタに入力されます。PT8_ENを0に設定すると、タイマは動作しません。

* **PT8_EN**: PT8 Clock Enable Bit in the PT8 CH.*x* Input Clock Select (PT8_CLK*x*) Registers (D4/0x4800/0x4804/0x4808/0x480c)

注: カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

V.1.3 リロードレジスタとアンダーフロー周期

リロードデータレジスタPT8_RLD*x*(0x4801/0x4805/0x4809/0x480d)は、ダウンカウンタに初期値をセットするために使用します。
リロードデータレジスタに設定したカウンタ初期値は、8ビットプログラマブルタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットプログラマブルタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間や周期的な割り込みの発生間隔が得られます。



図V.1.3.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{RLD} + 1}{\text{clk_in}}\ [\text{s}] \qquad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{\text{RLD} + 1}\ [\text{Hz}]$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
RLD: リロードデータ(0～255)

V.1.4 タイマのリセット

8ビットプログラマブルタイマをリセットするには、PT8_PSET（D1/PT8_CTL*x*レジスタ）に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

＊ **PT8_PSET**: Timer Reset Bit in the PT8 CH. *x* Control (PT8_CTL*x*) Registers (D1/0x4803/0x4807/0x480b/0x480f)

V.1.5 タイマRUN/STOP制御

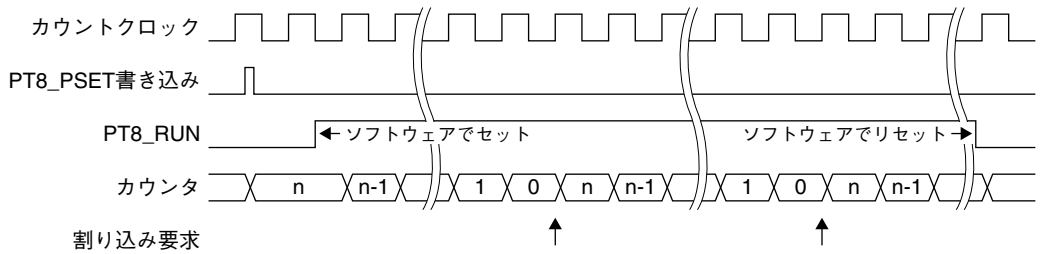
8ビットプログラマブルタイマの動作を開始させる前に、以下の設定を行ってください。
(1)カウントクロック(プリスケーラ出力クロック)を選択します。V.1.2節を参照してください。
(2)カウンタ初期値を計算してリロードデータレジスタに設定します。V.1.3節を参照してください。
(3)タイマをリセットして初期値をカウンタにプリセットします。V.1.4節を参照してください。
(4)タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。V.1.7節を参照してください。

8ビットプログラマブルタイマの動作を開始させるには、PT8_RUN(D0/PT8_CTL*x*レジスタ)に1を書き込みます。

* **PT8_RUN**: Timer Run/Stop Control Bit in the PT8 CH.*x* Control (PT8_CTL*x*) Registers (D0/0x4803/0x4807/0x480b/0x480f)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。
タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから8ビットプログラマブルタイマを停止させるには、PT8_RUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PT8_RUNに1を書き込む前にタイマをリセットしてください。



図V.1.5.1 カウント動作

V.1.6 タイマ出力信号

8ビットプログラマブルタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。このパルスは、タイマ割り込み要求に使用されます。CH.0のアンダーフローパルスは、A/D変換を開始させるA/D変換器トリガ信号としても使用可能です。

図V.1.6.1 タイマ出力クロック

V.1.7 8ビットプログラマブルタイマ割り込み

8ビットプログラマブルタイマは、カウンタのアンダーフローにより、割り込み要求信号を割り込みコントローラ(ITC)に出力します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

表V.1.7.1に、各タイマチャネル用のITC制御レジスタを示します。

表V.1.7.1 ITCレジスタ

チャネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
CH.0	AIFT5(D5/ITC_AIFLG)	AIEN5(D5/ITC_AEN)	AILV5[2:0](D[10:8]/ITC_AILV2)
CH.1	AIFT6(D6/ITC_AIFLG)	AIEN6(D6/ITC_AEN)	AILV6[2:0](D[2:0]/ITC_AILV3)
CH.2	AIFT7(D7/ITC_AIFLG)	AIEN7(D7/ITC_AEN)	AILV7[2:0](D[10:8]/ITC_AILV3)
CH.3	AIFT8(D8/ITC_AIFLG)	AIEN8(D8/ITC_AEN)	AILV8[2:0](D[2:0]/ITC_AILV4)

ITC_AIFLGレジスタ(0x42e0)
ITC_AENレジスタ(0x42e2)
ITC_AILV2、ITC_AILV3、ITC_AILV4レジスタ(0x42ea、0x42ec、0x42ee)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、CH.0の優先順位が高く、CH.3が低い順位となります。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表V.1.7.2 タイマ割り込みベクタ

チャネル	ベクタ番号	ベクタアドレス
CH.0	21(0x15)	TTBR + 0x54
CH.1	22(0x16)	TTBR + 0x58
CH.2	23(0x17)	TTBR + 0x5c
CH.3	24(0x18)	TTBR + 0x60

V.1.8 制御レジスタ詳細

表V.1.8.1 8ビットプログラマブルタイマレジスター覧

アドレス	レジスタ名		機　能
0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP
0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP

以下、8ビットプログラマブルタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4800/0x4804/0x4808/0x480c: PT8 CH.*x* Input Clock Select Registers (PT8_CLK*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.*x* Input Clock Select Register (PT8_CLK*x*)	0x4800 0x4804 0x4808 0x480c (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
		D3–0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PT8_CLK•1/4096 0xb / PT8_CLK•1/2048 0xa / PT8_CLK•1/1024 0x9 / PT8_CLK•1/512 0x8 / PT8_CLK•1/256 0x7 / PT8_CLK•1/128 0x6 / PT8_CLK•1/64 0x5 / PT8_CLK•1/32 0x4 / PT8_CLK•1/16 0x3 / PT8_CLK•1/8 0x2 / PT8_CLK•1/4 0x1 / PT8_CLK•1/2 0x0 / PT8_CLK•1/1	0x0	R/W	

注: レジスタ名などの'*x*'はチャネル番号(0〜3)を表します。

0x4800: PT8 CH.0 Input Clock Select Register (PT8_CLK0)
0x4804: PT8 CH.1 Input Clock Select Register (PT8_CLK1)
0x4808: PT8 CH.2 Input Clock Select Register (PT8_CLK2)
0x480c: PT8 CH.3 Input Clock Select Register (PT8_CLK3)

D[7:5] Reserved

D4 PT8_EN: PT8 Clock Enable Bit

カウンタへのカウントクロック入力を制御します。
1(R/W): 入力
0(R/W): 停止(デフォルト)

タイマのカウントを開始する前にこのビットに1を書き込みます。

D[3:0] PT8_CLK[3:0]: PT8 Clock Division Ratio Selection Bits

13種類のプリスケーラ出力クロックから、8ビットプログラマブルタイマのカウントクロックを選択します。

表V.1.8.2 カウントクロックの選択

PT8_CLK[3:0]	プリスケーラ出力クロック	PT8_CLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PT8_CLK•1/128
0xe	Reserved	0x6	PT8_CLK•1/64
0xd	Reserved	0x5	PT8_CLK•1/32
0xc	PT8_CLK•1/4096	0x4	PT8_CLK•1/16
0xb	PT8_CLK•1/2048	0x3	PT8_CLK•1/8
0xa	PT8_CLK•1/1024	0x2	PT8_CLK•1/4
0x9	PT8_CLK•1/512	0x1	PT8_CLK•1/2
0x8	PT8_CLK•1/256	0x0	PT8_CLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

0x4801/0x4805/0x4809/0x480d: PT8 CH.*x* Reload Data Registers (PT8_RLD*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.*x* Reload Data Register (PT8_RLD*x*)	**0x4801** **0x4805** **0x4809** **0x480d** (8 bits)	D7–0	**PT8_RLD [7:0]**	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	

注: レジスタ名などの‘*x*’はチャネル番号（0～3）を表します。

0x4801: PT8 CH.0 Reload Data Register (PT8_RLD0)
0x4805: PT8 CH.1 Reload Data Register (PT8_RLD1)
0x4809: PT8 CH.2 Reload Data Register (PT8_RLD2)
0x480d: PT8 CH.3 Reload Data Register (PT8_RLD3)

D[7:0] PT8_RLD[7:0]: 8-bit Programmable Timer Reload Data Bits

カウンタの初期値を設定します。（デフォルト: 不定）
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
8ビットプログラマブルタイマをリセット後にスタートさせると、タイマはリロード値（初期値）からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで（またはアンダーフロー間）の時間が決まります。これにより、任意の待ち時間や周期的な割り込みの発生間隔が得られます。

0x4802/0x4806/0x480a/0x480e: PT8 CH.*x* Counter Data Registers (PT8_PTD*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.*x* Counter Data Register (PT8_PTD*x*)	**0x4802** **0x4806** **0x480a** **0x480e** (8 bits)	D7–0	**PT8_PTD [7:0]**	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	

注: レジスタ名などの‘*x*’はチャネル番号（0～3）を表します。

0x4802: PT8 CH.0 Counter Data Register (PT8_PTD0)
0x4806: PT8 CH.1 Counter Data Register (PT8_PTD1)
0x480a: PT8 CH.2 Counter Data Register (PT8_PTD2)
0x480e: PT8 CH.3 Counter Data Register (PT8_PTD3)

D[7:0] PT8_PTD[7:0]: 8-bit Programmable Timer Counter Data Bits
カウンタデータが読み出せます。（デフォルト: 不定）
このレジスタはリードオンリのため、データの書き込みはできません。

0x4803/0x4807/0x480b/0x480f: PT8 CH.*x* Control Registers (PT8_CTL*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.*x* Control Register (PT8_CTL*x*)	0x4803 0x4807 0x480b	D7–2	–	reserved	–	–	–	0 when being read.
	0x480f	D1	PT8_PSET	Timer reset	1 Reset 0 Ignored	0	W	
	(8 bits)	D0	PT8_RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの‘*x*はチャネル番号（0〜3）を表します。

0x4803: PT8 CH.0 Control Register (PT8_CTL0)
0x4807: PT8 CH.1 Control Register (PT8_CTL1)
0x480b: PT8 CH.2 Control Register (PT8_CTL2)
0x480f: PT8 CH.3 Control Register (PT8_CTL3)

D[7:2] Reserved

D1 PT8_PSET: Timer Reset Bit

8ビットプログラマブルタイマをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。RUN状態でカウンタをリセットすると、リロードデータをカウンタにプリセット直後にカウンタは動作を再開します。

D0 PT8_RUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1（R/W）: RUN
0（R/W）: STOP（デフォルト）

タイマはPT8_RUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

V.1.9 注意事項

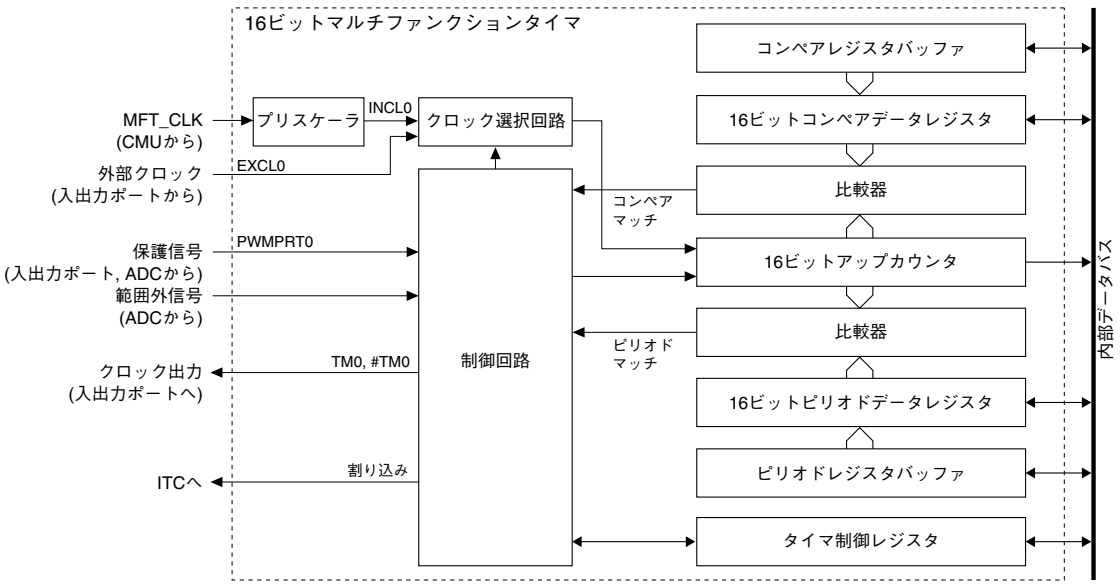
カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

V.2 16ビットマルチファンクションタイマ(MFT)

V.2.1 16ビットマルチファンクションタイマの概要

S1C17501は、以下の機能を持つ16ビットマルチファンクションタイマ(MFT)を内蔵しています。
- 16ビットプリセッタブルアップカウンタ
- プリスケーラを内蔵し、プログラマブルなカウントクロックの設定が可能
- 外部入力によるイベントカウンタ機能
- ピリオド/コンペアデータレジスタによって周期を設定可能な割り込み発生機能
- IGBT制御機能付きPWM出力

図V.2.1.1にMFTの構造を示します。



図V.2.1.1 16ビットマルチファンクションタイマの構造

MFTには、16ビットのアップカウンタ(MFT_TCレジスタ)と、16ビットのピリオドデータおよびコンペアデータレジスタ(MFT_PRDレジスタ、MFT_CMPレジスタ)とそのバッファが設けられています。

* **TC[15:0]**: Counter Data Bits in the MFT Counter Data (MFT_TC) Register (D[15:0]/0x5200)
* **PRD[15:0]**: Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)
* **CR[15:0]**: Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)

16ビットカウンタはソフトウェアで0にリセットおよびカウンタ値のセットが可能で、プリスケーラ出力クロックまたは入出力ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。
ピリオドデータレジスタおよびコンペアデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。これらのレジスタは、直接データの書き込み/読み出しが可能です。また、バッファを使用すると、カウンタがソフトウェア(PRST(D1/MFT_CTLレジスタ)への1書き込み)またはピリオドマッチ信号によってリセットされた時点で、設定した比較値をコンペアデータレジスタにロードすることができます。ピリオド/コンペアデータをレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

* **PRST**: Timer Reset Bit in the MFT Control (MFT_CTL) Register (D1/0x5206)

カウンタ値がピリオド/コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

V.2.2 16ビットマルチファンクションタイマの入出力端子

表V.2.2.1にMFTで使用する入出力端子を示します。

表V.2.2.1 MFT入出力端子

端子名	I/O	機能
EXCL0	I	イベントカウンタ用外部クロック入力
TM0	O	MFT出力（正極性）
#TM0	O	MFT出力（負極性）
PWMPRT0	I	PWMチャネル保護入力

TM0, #TM0（MFT出力端子）

MFTで生成されたクロックまたはPWM信号を出力します。TM0端子は正極性の信号を、#TM0端子は負極性の信号を出力します。

EXCL0（イベントカウンタ入力端子）

MFTをイベントカウンタとして使用する場合に、外部からこの端子にカウントパルスを入力します。

PWMPRT0（PWMチャネル保護入力端子）

MFTのPWM出力を強制的に停止するための出力保護信号を入力します。この機能は、外部IGBTを制御して、過電圧、過電流、温度上昇などからチップを保護するために使用できます。A/D変換器の範囲外信号も、この入力と同様に保護信号として使用可能です。

注: MFTの入出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではMFT以外の機能に設定されます。これらの端子に割り当てられているMFTの入出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.2.3 16ビットマルチファンクションタイマの用途

MFTの比較器は、ソフトウェアで設定したコンペアデータとピリオドデータをアップカウンタ値と比較し、周期的にコンペアマッチ信号とピリオドマッチを出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

CPUへの割り込み要求

カウンタとコンペアデータまたはピリオドデータの一致を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

外部へのクロック出力

コンペアマッチ信号とピリオドマッチ信号により生成した正極性(TM0)と負極性(#TM0)のクロック(PWM信号)をIC外部に出力することができます。ピリオドマッチ信号でクロックの周期が決まり、コンペアマッチ信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。
出力信号は、入出力ポートまたはA/D変換器から入力する保護信号によっても制御できます。保護信号がアクティブになると、タイマの出力は停止します(強制的に初期レベルになります)。この機能は、電源保護のための外部IGBTの制御に使用することができます。

A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、MFTのピリオドマッチ信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。
この機能を使用するには、A/D変換トリガ選択ビットTS[1:0](D[4:3]/AD_TRIG_CHレジスタ)に0b01を書き込み、トリガにMFTを選択します。

* **TS[1:0]**: A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

V.2.4 MFT動作クロック

MFTはCMUから供給されるMFT_CLK（= システムクロック）で動作します。また、タイマのカウントに使用するクロックは、MFTに内蔵されたプリスケーラがMFT_CLKから生成します。

動作クロックの供給制御

MFT_CLKはデフォルト設定でMFTに供給されるようになっています。MFTを使用しない場合は、MFT_CLK_EN（D0/CMU_GATEDCLK1レジスタ）により供給を停止して消費電力を抑えることができます。

* **MFT_CLK_EN**: Multi-Function Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D0/0x4907)

MFT_CLK_ENを0（初期設定は1）に設定すると、MFTへの動作クロックの供給が停止します。このクロック供給を停止すると、カウント動作は停止し、制御レジスタへのアクセスもできなくなります。動作クロックの設定や制御については、“II.2 クロックマネージメントユニット（CMU）”を参照してください。

スタンバイモード時のクロック状態

スタンバイモードの種類により、MFTへのクロック供給は停止します。
HALTモード: 動作クロックは通常モードと同様に供給されます。
SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はMFTも動作を停止します。

V.2.5 MFTの制御と動作

16ビットマルチファンクションタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。
1. 入出力端子の設定(必要な場合のみ)...V.2.2、I.3.3参照
2. カウントクロックの設定
3. コンペアデータ/ピリオドデータレジスタまたはバッファの選択
4. クロック出力条件の設定(信号極性、初期信号レベル、保護入力)...V.2.6参照
5. コンペアデータ/ピリオドデータの設定
6. 割り込みの設定...V.2.7参照

カウントクロックの設定

タイマのカウントクロックには内部クロックと外部クロックが選択できます。
選択はTCKS(D5/MFT_CTLレジスタ)で行います。

* **TCKS**: Input Clock Selection Bit in the MFT Control (MFT_CTL) Register (D5/0x5206)

TCKSに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。
イニシャルリセット時は内部クロックに設定されます。
外部クロックは、クロック入力端子を設定した場合に使用可能です。

- **内部クロック**

内部クロックを選択すると、MFTに内蔵されたプリスケーラがMFT_CLKから生成したクロックにより動作します。
プリスケーラの分周比はTPS[2:0](D[10:8]/MFT_CTLレジスタ)で8種類から選択可能です。クロックはTPSON(D11/MFT_CTLレジスタ)に1を書き込むことでプリスケーラから出力されます。

* **TPS[2:0]**: Clock Division Ratio Selection Bits in the MFT Control (MFT_CTL) Register (D[10:8]/0x5206)
* **TPSON**: Clock Control Bit in the MFT Control (MFT_CTL) Register (D11/0x5206)

表V.2.5.1 分周比の設定

TPS[2:0]	カウントクロック
0x7	MFT_CLK•1/128
0x6	MFT_CLK•1/64
0x5	MFT_CLK•1/32
0x4	MFT_CLK•1/16
0x3	MFT_CLK•1/8
0x2	MFT_CLK•1/4
0x1	MFT_CLK•1/2
0x0	MFT_CLK•1/1

(デフォルト: 0x0)

注: • カウントクロックの設定は、MFTが停止中に行ってください。

• MFTを使用しない場合は消費電流を低減させるため、TPSON(D11/MFT_CTLレジスタ)を0に設定してください。

- **外部クロック**

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はMFT_CLK周期の2倍以上としてください。

コンペア/ピリオドデータレジスタまたはバッファの選択

コンペアデータレジスタおよびピリオドデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペア/ピリオドレジスタバッファを使用すると、カウンタがソフトウェア(PRST (D1/MFT_CTLレジスタ)への1書き込み)またはピリオドマッチ信号によってリセットされた時点で設定した比較値をコンペアデータ/ピリオドデータレジスタにロードすることができます。

比較値をコンペアデータ/ピリオドデータレジスタまたはバッファのどちらに書き込むかについて、BUFEN（D7/MFT_CTLレジスタ）で設定します。

* **BUFEN**: Comparison/Period Data Buffer Enable Bit in the MFT Control (MFT_CTL) Register (D7/5206)

BUFENに1を書き込むとコンペア/ピリオドレジスタバッファ、0を書き込むとコンペアデータ/ピリオドデータレジスタが選択されます。
イニシャルリセット時は、コンペアデータ/ピリオドデータレジスタが選択されます。

コンペアデータ/ピリオドデータの設定

タイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値はCR[15:0]（D[15:0]/MFT_CMPレジスタ）とPRD[15:0]（D[15:0]/MFT_PRDレジスタ）で設定します。

* **CR[15:0]**: Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)
* **PRD[15:0]**: Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)

BUFENが0に設定されている場合、これらのレジスタを介してコンペアデータ/ピリオドデータレジスタが直接読み出し/書き込み可能です。
BUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペア/ピリオドレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータ/ピリオドデータレジスタにロードされます。
イニシャルリセット時、コンペアデータ/ピリオドデータレジスタおよびバッファは0に初期化されます。

MFTはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。また、ピリオドデータレジスタとカウントデータも比較し、同じ値になったところでピリオドマッチ信号を発生します。コンペアマッチ信号とピリオドマッチ信号は割り込みを発生するとともに外部へのクロック（TM0と#TM0信号）出力を制御します。
ピリオドマッチ信号はカウンタのリセットにも使用されます。

カウンタのリセット

MFTのアップカウンタは、PRST（D1/MFT_CTLレジスタ）によってリセットできます。

* **PRST**: Timer Reset Bit in the MFT Control (MFT_CTL) Register (D1/0x5206)

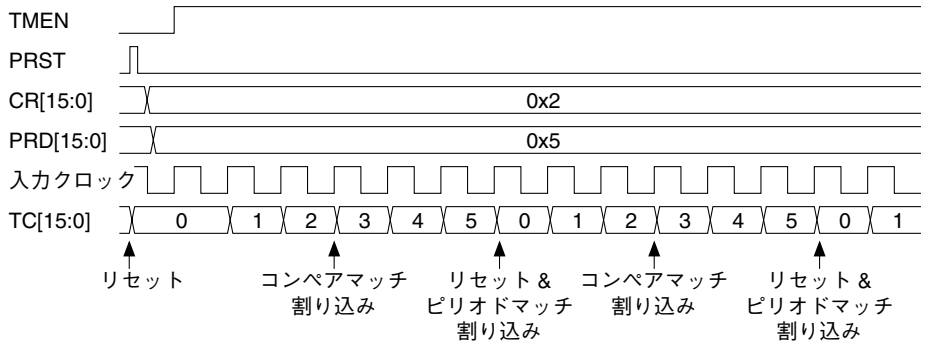
通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。
カウント開始後は、ピリオドマッチの発生によってカウンタがリセットされます。

タイマのRUN/STOP制御

MFTには、RUN/STOPを制御するTMEN (D0/MFT_CTLレジスタ）が設けられています。

* **TMEN**: Timer Run/Stop Control Bit in the MFT Control (MFT_CTL) Register (D0/0x5206)

タイマはTMENに1を書き込むことによってカウントを開始します。TMENに0を書き込むとクロックの入力が禁止され、カウントは停止します。
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。
カウント中にカウンタがコンペアデータレジスタの設定値に一致すると、コンペアマッチ割り込みを発生します。
また、カウンタがピリオドデータレジスタの設定値に一致すると、ピリオドマッチ割り込みが発生するとともに、カウンタがリセットされます。BUFENが1に設定されている場合は、コンペアレジスタバッファとピリオドレジスタバッファに設定してある値がそれぞれコンペアデータレジスタとピリオドデータレジスタにロードされます。
どちらの割り込みが発生した場合もカウント動作はそのまま継続します。ピリオドマッチ割り込みの場合はカウンタ値0からのカウントとなります。
PRSTとTMENに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。



図V.2.5.1 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータはTC[15:0](D[15:0]/MFT_TCレジスタ)から任意のタイミングで読み出しが可能です。

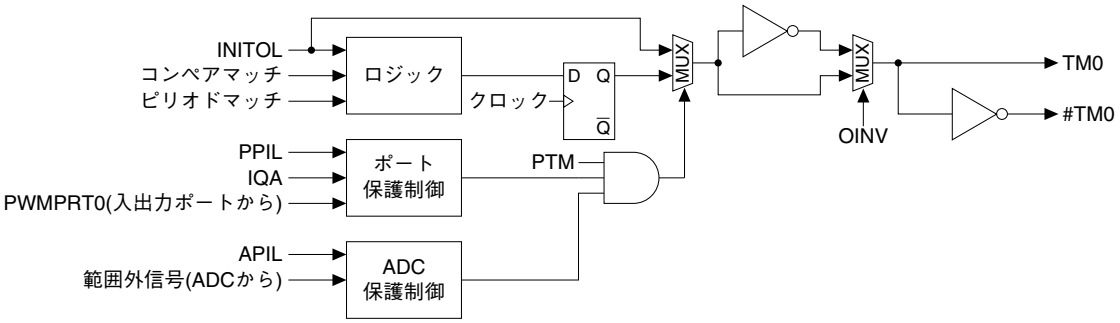
* **TC[15:0]**: Counter Data Bits in the MFT Counter Data (MFT_TC) Register (D[15:0]/0x5200)

カウンタデータの書き込み

TC[15:0]に任意のタイミングでカウンタデータを書き込むことができます。これにより、割り込み/クロック出力の周期を一時的に変更することが可能になります。

V.2.6 クロック出力の制御

タイマは、コンペアマッチ信号とピリオドマッチ信号からTM0と#TM0信号を生成します。
図V.2.6.1にMFTのクロック出力回路を示します。



図V.2.6.1 MFTのクロック出力回路

初期出力レベルの設定

クロック出力がOffの状態でのデフォルト出力レベルは0（Lowレベル）です。これをINITOL（D1/MFT_IOCTレジスタ）で1（Highレベル）に変更することができます。

＊ **INITOL**: Initial Output Level Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D1/0x521e)

INITOLが0（デフォルト）の場合、初期出力レベルはLowです。1に設定すると、初期出力レベルはHighになります。
タイマ出力をOffにすると、出力端子はここで設定した初期出力レベルになります。

信号のアクティブレベル選択

デフォルトでは、アクティブHigh（ノーマルLow）の出力信号が生成されます。この論理をOINV（D0/MFT_IOCTLレジスタ）で反転させることができます。OINVに1を書き込むと、タイマはアクティブLow（ノーマルHigh）の信号を生成します。

＊ **OINV**: Inverse Output Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D0/0x521e)

OINVを1に設定すると、INITOLで設定した初期出力レベルも反転します。
出力波形については図V.2.6.2を参照してください。

出力端子の設定

ここで発生したTM0（#TM0）信号は、クロック出力端子（表V.2.2.1参照）から出力可能で、外部デバイス等に対してプログラマブルなクロックを供給することができます。
イニシャルリセット時、出力に使用する端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。
端子機能をタイマ出力に切り換えると、INITOLおよびOINVの設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって出力が変化するまで出力はこのレベルに保たれます。

表V.2.6.1 初期出力レベル

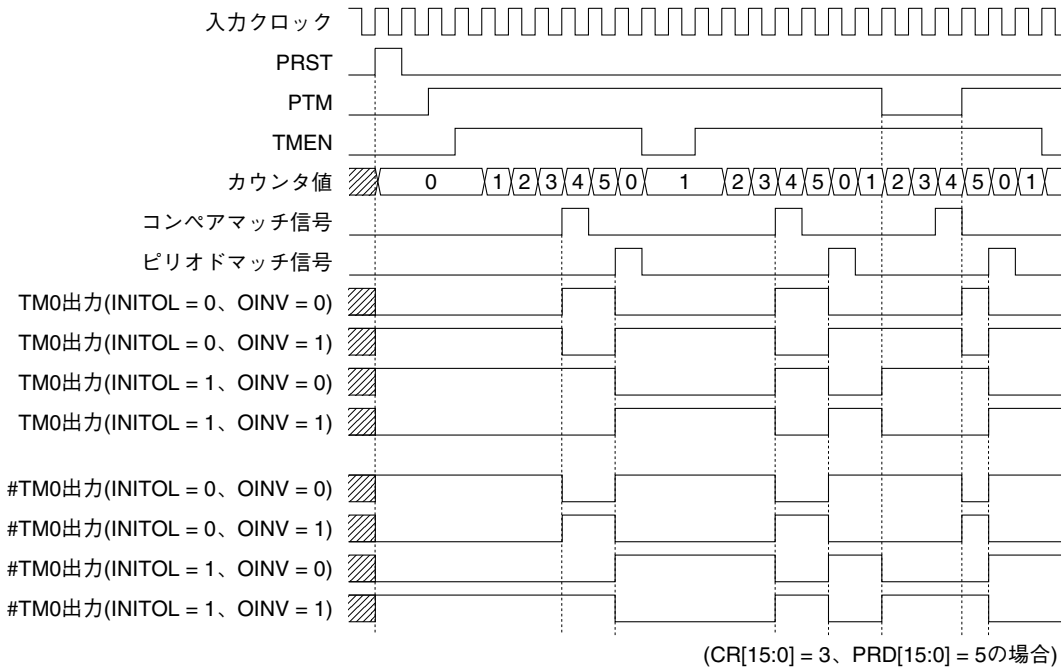
INITOL	OINV	初期出力レベル（TM0）
1	1	Low
1	0	High
0	1	High
0	0	Low

クロック出力の開始

TM0(#TM0)クロックを出力するには、クロック出力制御ビットPTM(D2/MFT_IOCTLレジスタ)に1を書き込みます。PTMに0を書き込むと、出力はINITOLおよびOINVの設定値に従った初期出力レベルとなります。

* **PTM**: Clock Output Enable Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D2/0x521e)

図V.2.6.2に出力波形を示します。



図V.2.6.2 MFTの出力波形

OINV = 0(アクティブHigh)の場合のTM0出力

タイマは、カウンタがCR[15:0](D[15:0]/MFT_CMPレジスタ)に設定したコンペアデータに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータの次の値になると、出力端子はHighレベルとなりコンペアマッチ割り込みが発生します。その後、カウンタがPRD[15:0](D[15:0]/MFT_PRDレジスタ)に設定したピリオドデータまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にピリオドマッチ割り込みも発生します。

* **CR[15:0]**: Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)
* **PRD[15:0]**: Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)

OINV = 1(アクティブLow)の場合のTM0出力

タイマは、カウンタがCR[15:0](D[15:0]/MFT_CMPレジスタ)に設定したコンペアデータに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータの次の値になると、出力端子はLowレベルとなりコンペアマッチ割り込みが発生します。その後、カウンタがPRD[15:0](D[15:0]/MFT_PRDレジスタ)に設定したピリオドデータまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にピリオドマッチ割り込みも発生します。

IGBT制御用出力保護機能

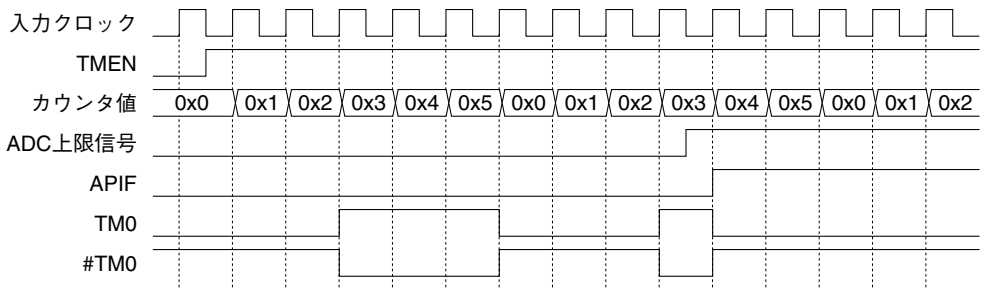
MFTには、外部IGBTの安全動作のための電源保護機能が備わっています。電源保護機能を有効にした状態で保護入力がアクティブになると、PWM出力端子は即時に初期レベルとなります。同時に割り込みも発生可能です。この割り込みは、IGBTを監視するプログラムへ、過電圧、過電流、温度上昇などの異常を通知するのに使用可能です。ADCの範囲外信号やポート入力を電源保護の制御に使用可能です。

ADC保護

APIE（D1/MFT_IEレジスタ）を1に設定すると、ADC CH.0を保護検出入力とするADC保護が有効になります。 ADCは、指定チャネルの変換結果が指定範囲内かどうかを確認するための機能を持っています。 検出結果がソフトウェアで指定した上限値より高いか、あるいは下限値より低い場合、ADCは範囲外信号を出力すると共に割り込みを発生します。MFTは、ADC CH.0により生成された範囲外信号を使用して電源保護の制御を行います。 上限と下限のどちらの範囲外信号を使用するかについて、APIL（D6/MFT_IOCTLレジスタ）で選択します。 上限値より高いA/D変換結果が得られた場合にPWM出力を禁止（初期レベルを出力）するには、APILを0（デフォルト）に設定しておきます。下限値より低いA/D変換結果が得られた場合にPWM出力を禁止するには、APILを1に設定します。 上限値と下限値はADCモジュールのAD_UPPERレジスタ（0x5558）とAD_LOWERレジスタ（0x555a）で設定できます。 指定の範囲外信号がADCによってアクティブになると、APIF（D1/MFT_IFレジスタ）が1にセットされます。APIEが1に設定されていれば、MFTはPWM出力端子を強制的に初期レベル（PWM出力禁止）に設定します。

- **APIE**: ADC Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D1/0x5230)
- **APIF**: ADC Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D1/0x5238)
- **APIL**: ADC Protection Input Selection Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D6/0x521e)

図V.2.6.3にADC保護（上限保護）のタイミングを示します。



(CR[15:0] = 2、PRD[15:0] = 5、INITOL = OINV = 0の場合)

図V.2.6.3 IGBT出力のADC保護

ポート保護

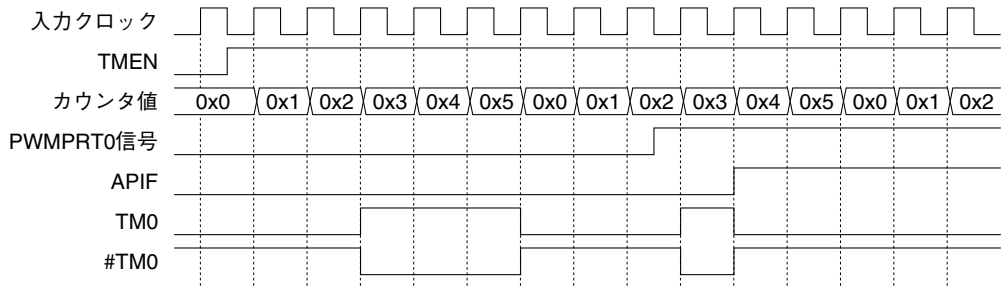
MFTには専用の入力ポートPWMPRT0を使用するポート保護機能も組み込まれています。この機能を使用するには、PPIE（D0/MFT_IEレジスタ）を1に設定します。PPIL（D5/MFT_IOCTLレジスタ）により、保護入力信号レベルをHighレベルにするかLowレベルにするか選択できます。PPILを1に設定した場合、PWMPRT0入力信号がLowになるとPWM出力が禁止され、PPIF（D0/MFT_IFレジスタ）が1にセットされてポート保護割り込みが発生します。PPILが0（デフォルト）に設定されている場合は、PWMPRT0入力信号がHighになるとPWM出力が禁止され、PPIF（D0/MFT_IFレジスタ）が1にセットされます。

- **PPIE**: Port Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D0/0x5230)
- **PPIF**: Port Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D0/0x5238)
- **PPIL**: Port Protection Input Level Selection Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D5/0x521e)

ノイズによってポート保護が働くことを防ぐため、MFTのPWMPRT0入力部にはノイズフィルタが設けられており、ノイズとして除去するパルス幅をIQA（D4/MFT_IOCTLレジスタ）で選択できます。IQAを1に設定すると、システムクロックの12サイクル以下のパルスはノイズと見なされ、有効な入力としては受け付けられません。IQAが0（デフォルト）に設定されている場合、システムクロックの6サイクル以下のパルスはノイズと見なされます。

- **IQA**: Port Protection Input Noise Filter Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D4/0x521e)

図V.2.6.4ポート保護(Highレベル保護)のタイミングを示します。



(CR[15:0] = 2、PRD[15:0] = 5、INITOL = OINV = 0の場合)

図V.2.6.4 IGBT出力のポート保護

注意事項

(1)コンペアデータレジスタとピリオドデータレジスタに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、MFT_CMP = MFT_PRDには設定しないでください。割り込み機能のみを使用する場合は、MFT_CMP = MFT_PRDでも問題ありません。

(2)タイマ出力を使用する場合、コンペア/ピリオドデータはMFT_CMP≧0、MFT_PRD≧1に設定してください。最小設定はMFT_CMP = 0、MFT_PRD = 1で、タイマ出力サイクルは入力クロックの1/2となります。

(3)コンペア/ピリオドデータをMFT_CMP > MFT_PRDに設定すると、コンペアマッチ信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

V.2.7 MFT割り込み

MFTモジュールには、以下の4種類の割り込みを発生させる機能があります。
• コンペアマッチ割り込み
• ピリオドマッチ割り込み
• ADC保護割り込み
• ポート保護割り込み

MFTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ（ITC）に対して出力します。発生した割り込み要因を特定するには、MFTモジュール内の割り込みフラグを読み出してください。

コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、MFTモジュール内の割り込みフラグCMPIF（D3/MFT_IFレジスタ）を1にセットします。

∗ **CMPIF**: Compare-Match Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D3/0x5238)

この割り込みを使用するには、CMPIE（D3/MFT_IEレジスタ）を1に設定します。CMPIEが0（デフォルト）に設定されているとCMPIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **CMPIE**: Compare-Match Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D3/0x5230)

CMPIFが1にセットされるとMFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
MFT割り込みがコンペアマッチによるものかどうかについては、MFT割り込み処理ルーチンでCMPIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのCMPIFをリセット（1を書き込み）して割り込み要因をクリアしてください。

ピリオドマッチ割り込み

この割り込み要求は、カウント中にカウンタがピリオドデータレジスタの設定値に一致すると発生し、MFTモジュール内の割り込みフラグPRDIF（D2/MFT_IFレジスタ）を1にセットします。

∗ **PRDIF**: Period-Match Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D2/0x5238)

この割り込みを使用するには、PRDIE（D2/MFT_IEレジスタ）を1に設定します。PRDIEが0（デフォルト）に設定されているとPRDIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **PRDIE**: Period-Match Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D2/0x5230)

PRDIFが1にセットされるとMFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
MFT割り込みがピリオドマッチによるものかどうかについては、MFT割り込み処理ルーチンでPRDIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのPRDIFをリセット（1を書き込み）して割り込み要因をクリアしてください。

ADC保護割り込み

この割り込み要求は、A/D変換器CH.0がA/D変換後にMFTに入力される範囲外信号(上限または下限信号を選択可能)をアクティブにすると発生し、MFTモジュール内の割り込みフラグAPIF(D1/MFT_IFレジスタ)を1にセットします。

* **APIF**: ADC Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D1/0x5238)

PWM出力を禁止すると共にこの割り込みを使用するには、APIE(D1/MFT_IEレジスタ)を1に設定します。APIFが0(デフォルト)に設定されていてもAPIFは1にセットされますが、この要因による割り込み要求はITCに送られません。また、PWM出力も初期レベルにはなりません。

* **APIE**: ADC Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D1/0x5230)

APIEが1に設定されている状態でAPIFが1にセットされると、MFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
MFT割り込みがADC保護入力によるものかどうかについては、MFT割り込み処理ルーチンでAPIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのAPIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

ポート保護割り込み

この割り込み要求は、指定レベル(HighまたはLow)の信号がPWMPRT0端子に入力されると発生し、MFTモジュール内の割り込みフラグPPIF(D0/MFT_IFレジスタ)を1にセットします。

* **PPIF**: Port Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D0/0x5238)

PWM出力を禁止すると共にこの割り込みを使用するには、PPIE(D0/MFT_IEレジスタ)を1に設定します。PPIFが0(デフォルト)に設定されていてもPPIFは1にセットされますが、この要因による割り込み要求はITCに送られません。また、PWM出力も初期レベルにはなりません。

* **PPIE**: Port Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D0/0x5230)

PPIEが1に設定されている状態でPPIFが1にセットされると、MFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
MFT割り込みがポート保護入力によるものかどうかについては、MFT割り込み処理ルーチンでPPIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのPPIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、CMPIE、PRDIE、APIE、またはPPIEによってMFT割り込みを許可する前に、対応するCMPIF、PRDIF、APIF、またはPPIFをリセットしてください。

MFT割り込み用ITCレジスタ

前述の設定により、割り込みを許可されたMFT割り込み要因が発生すると、MFTモジュールは割り込み信号をITCに出力します。MFT割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、MFT用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **AIFT0**: MFT Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D0/0x42e0)

ITC内の割り込みイネーブルビット

* **AIEN0**: MFT Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D0/0x42e2)

ITC内の割り込みレベル設定ビット

* **AILV0[2:0]**: MFT Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV0) Register 0 (D[2:0]/0x42e6)

割り込みが許可されたMFT割り込み要因が発生すると、AIFT0が1にセットされます。
このとき、AIEN0が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。MFTによる割り込みを禁止するには、AIEN0を0に設定しておきます。AIFT0は、AIEN0の設定にかかわらず（0に設定されていても）、MFTモジュールからの割り込み信号によって1にセットされます。
AILV0[2:0]は、MFT割り込みのレベル（0～7）を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR（S1C17コア内のプロセッサステータスレジスタ）のIE（割り込みイネーブル）ビットが1にセットされている。
- MFT割り込みが、PSRのIL（割り込みレベル）に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“IV.1 割り込みコントローラ（ITC）”を参照してください。

注: MFT割り込み発生後は、割り込み処理ルーチン内で、MFTモジュール内の割り込みフラグCMPIF、PRDIF、APIF、またはPPIFをリセットしてください（これによりITCの割り込みフラグもリセットされます）。

割り込みベクタ

MFT割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 8 (0x8)
ベクタアドレス: TTBR + 0x20

V.2.8 制御レジスタ詳細

表V.2.8.1 MFTレジスター一覧

アドレス	レジスタ名		機　能
0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御

以下、MFTのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5200: MFT Counter Data Register (MFT_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Counter Data Register (MFT_TC)	**0x5200** (16 bits)	D15–0	**TC[15:0]**	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TC[15:0]: Counter Data Bits

カウンタのデータが読み出せます。（デフォルト: 0x0）
また、このレジスタへの書き込みにより、データをカウンタに設定することができます。

0x5202: MFT Period Data Register (MFT_PRD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Period Data Register (MFT_PRD)	**0x5202** (16 bits)	D15–0	**PRD[15:0]**	Period data PRD15 = MSB PRD0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] PRD[15:0]: Period Data Bits

ピリオドデータを設定します。（デフォルト: 0x0）

BUFEN（D7/MFT_CTLレジスタ）が0に設定されている場合、このアドレスを介してピリオドデータレジスタが直接読み出し/書き込み可能です。

BUFENが1に設定されている場合、このアドレスへのデータ書き込み/読み出しはピリオドデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でピリオドデータレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでピリオドマッチ割り込みが発生します。同時に、タイマ出力波形が変化し（OINV（D0/MFT_IOCTLレジスタ）= 0の場合は立ち下がり、OINV = 1の場合は立ち上がります）、カウンタが0にリセットされます。

0x5204: MFT Compare Data Register (MFT_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Compare Data Register (MFT_CMP)	**0x5204** (16 bits)	D15–0	**CR[15:0]**	Compare data CR15 = MSB CR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CR[15:0]: Compare Data Bits

コンペアデータを設定します。（デフォルト: 0x0）
BUFEN（D7/MFT_CTLレジスタ）が0に設定されている場合、このアドレスを介してコンペアデータレジスタが直接読み出し/書き込み可能です。
BUFENが1に設定されている場合、このアドレスへのデータ書き込み/読み出しはコンペアデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。
設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込みが発生します。同時に、タイマ出力波形が変化します（OINV（D0/MFT_IOCTLレジスタ）= 0の場合は立ち上がり、OINV = 1の場合は立ち下がります）。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

0x5206: MFT Control Register (MFT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Control Register (MFT_CTL)	0x5206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	TPSON	Clock control	1 On 0 Off	0	R/W	
		D10–8	TPS[2:0]	Clock division ratio selection (Prescaler output clock)	TPS[2:0] Count clock 0x7 MFT_CLK•1/128 0x6 MFT_CLK•1/64 0x5 MFT_CLK•1/32 0x4 MFT_CLK•1/16 0x3 MFT_CLK•1/8 0x2 MFT_CLK•1/4 0x1 MFT_CLK•1/2 0x0 MFT_CLK•1/1	0x0	R/W	
		D7	BUFEN	Comparison/period buffer enable	1 Enable 0 Disable	0	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TCKS	Input clock selection	1 External 0 Internal	0	R/W	
		D4–2	–	reserved	–	–	–	0 when being read.
		D1	PRST	Timer reset	1 Reset 0 Ignored	0	W	
		D0	TMEN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D11 TPSON: Clock Control Bit

MFTプリスケーラからのカウントクロックの出力をOn/Offします。
1(R/W): On
0(R/W): Off(デフォルト)

MFTのカウントを開始する前に、このビットに1を書き込んでください。

D[10:8] TPS[2:0]: Clock Division Ratio Selection Bits

8種類のプリスケーラ出力クロックから、MFTのカウントクロックを選択します。

表V.2.8.2 カウントクロックの選択

TPS[2:0]	カウントクロック
0x7	MFT_CLK•1/128
0x6	MFT_CLK•1/64
0x5	MFT_CLK•1/32
0x4	MFT_CLK•1/16
0x3	MFT_CLK•1/8
0x2	MFT_CLK•1/4
0x1	MFT_CLK•1/2
0x0	MFT_CLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、MFTがカウント停止中に行ってください。

D7 BUFEN: Comparison/Period Data Buffer Enable Bit

コンペア/ピリオドデータバッファへの書き込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

BUFENが1に設定されていると、コンペアデータとピリオドデータの書き込み/読み出しがコンペアデータバッファとピリオドデータバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはピリオドマッチ信号によってリセットされた時点でコンペアデータレジスタとピリオドデータレジスタにロードされます。
BUFENが0に設定されている場合は、コンペアデータとピリオドデータの書き込み/読み出しがコンペアデータレジスタとピリオドデータレジスタに対して直接行われます。

D6 Reserved

D5 TCKS: Input Clock Selection Bit

MFTの入力クロックを選択します。
1（R/W）: 外部クロック
0（R/W）: 内部クロック（デフォルト）

TCKSに0を書き込んだ場合は、タイマの入力クロックとして内部クロック（プリスケーラ出力）が選択されます。1を書き込んだ場合は外部クロック（EXCL0端子から入力するクロック）が選択され、イベントカウンタとして機能します。この場合、対応するポート機能選択レジスタでクロック入力端子を設定しておくことが必要です。

D[4:2] Reserved

D1 PRST: Timer Reset Bit

カウンタをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

PRSTに1を書き込むことによって、MFTがリセットされます。

D0 TMEN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1（R/W）: RUN
0（R/W）: STOP（デフォルト）

MFTはTMENに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

0x521e: MFT Input/Output Control Register (MFT_IOCTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
MFT Input/ Output Control Register (MFT_IOCTL)	0x521e (16 bits)	D15–7	–	reserved	–				–	–	0 when being read.
		D6	APIL	ADC protection input selection	1	Lower limit	0	Upper limit	0	R/W	
		D5	PPIL	Port protection input level selection	1	Low level	0	High level	0	R/W	
		D4	IQA	Port protection input noise filter	1	12 clocks	0	6 clocks	0	R/W	
		D3	–	reserved	–				–	–	0 when being read.
		D2	PTM	Clock output enable	1	Enable	0	Disable	0	R/W	
		D1	INITOL	Initial output level	1	High	0	Low	0	R/W	
		D0	OINV	Inverse output	1	Invert	0	Normal	0	R/W	

D[15:7] Reserved

D6 APIL: ADC Protection Input Selection Bit

電源保護に使用するADC範囲外信号を選択します。
1(R/W): 下限信号
0(R/W): 上限信号(デフォルト)

ADC保護はA/D変換結果が指定範囲外のときにPWM出力を停止する機能です。この機能を使用する場合は、保護機能を作動させるADC出力信号を、本ビットを使用して下限信号または上限信号から選択します。
なお、ADC保護機能は、APIE(D1/MFT_IEレジスタ)を1に設定することにより有効となります。

D5 PPIL: Port Protection Input Level Selection Bit

電源保護に使用するポート入力信号のレベルを選択します。
1(R/W): Lowレベル
0(R/W): Highレベル(デフォルト)

ポート保護はPWMPRT0入力信号によりPWM出力を停止する機能です。この機能を使用する場合は、保護機能を作動させる入力信号レベルを、本ビットを使用して選択します。
なお、ポート保護機能は、PPIE(D0/MFT_IEレジスタ)を1に設定することにより有効となります。

D4 IQA: Port Protection Input Noise Filter Bit

ポート保護入力信号用のノイズフィルタを設定します。
1(R/W): 12クロック
0(R/W): 6クロック(デフォルト)

ノイズによってポート保護が働くことを防ぐため、MFTのPWMPRT0入力部にはノイズフィルタが設けられており、ノイズとして除去するパルス幅をIQAで選択できます。IQAを1に設定すると、システムクロックの12サイクル以下のパルスはノイズと見なされ、有効な入力としては受け付けられません。IQAが0に設定されている場合、システムクロックの6サイクル以下のパルスはノイズと見なされます。

D3 Reserved

D2 PTM: Clock Output Enable Bit

TM0と#TM0信号(タイマ出力クロック)の出力制御を行います。
1(R/W): On
0(R/W): Off(デフォルト)

PTMに1を書き込むと、TM0と#TM0信号が出力されます。PTMに0を書き込むことによって出力は停止し、OINV(D0)およびINITOL(D1)の設定値に従ったOFFレベルとなります。TM0と#TM0信号を出力する前に、対応するポート機能選択レジスタでクロック出力端子を設定しておくことが必要です。

D1 INITOL: Initial Output Level Bit

タイマ出力の初期出力レベルを設定します。
1（R/W）: High
0（R/W）: Low（デフォルト）

クロック出力をPTM（D2）への0書き込みによりOFFした場合、またはタイマをPRST（D1/MFT_CTLレジスタ）への1書き込みによりリセットした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、OINV（D0）が1の場合、このレベルは反転します。

D0 OINV: Inverse Output Bit

タイマ出力信号の極性を選択します。
1（R/W）: 反転（アクティブLow）
0（R/W）: 通常（アクティブHigh）（デフォルト）

OINVに1を書き込むと、TM0出力用にアクティブLowの信号（Offレベル = High）が生成されます（#TM0はアクティブHigh）。OINVが0の場合は、TM0出力用にアクティブHighの信号（Offレベル = Low）が生成されます（#TM0はアクティブLow）。
本ビットへの1書き込みはINITOL（D1）で設定した初期出力レベルも反転します。

0x5230: MFT Interrupt Enable Register (MFT_IE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Interrupt Enable Register (MFT_IE)	0x5230 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	CMPIE	Compare-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	PRDIE	Period-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	APIE	ADC protection interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	PPIE	Port protection interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:4] Reserved

D3 CMPIE: Compare-Match Interrupt Enable Bit

コンペアマッチによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

CMPIEを1に設定するとITCへのコンペアマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D2 PRDIE: Period-Match Interrupt Enable Bit

ピリオドマッチによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

PRDIEを1に設定するとITCへのピリオドマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D1 APIE: ADC Protection Interrupt Enable Bit

ADC保護割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

APIEを1に設定するとADC保護機能が有効になり、ITCへのADC保護割り込み要求も許可されます。0に設定するとADC保護機能が無効になり、割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D0 PPIE: Port Protection Interrupt Enable Bit

ポート保護割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

PPIEを1に設定するとポート保護機能が有効になり、ITCへのポート保護割り込み要求も許可されます。0に設定するとポート保護機能が無効になり、割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x5238: MFT Interrupt Flag Register (MFT_IF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Interrupt Flag Register (MFT_IF)	0x5238 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	CMPIF	Compare-match interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	PRDIF	Period-match interrupt flag		0	R/W	
		D1	APIF	ADC protection interrupt flag		0	R/W	
		D0	PPIF	Port protection interrupt flag		0	R/W	

D[15:4] Reserved

D3 CMPIF: Compare-Match Interrupt Flag Bit

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。
1（R）: 割り込み要因あり
0（R）: 割り込み要因なし（デフォルト）
1（W）: フラグをリセット
0（W）: 無効

CMPIFはコンペアマッチ割り込みに対応する割り込みフラグです。CMPIE（D3/MFT_IEレジスタ）を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
CMPIFは1の書き込みによりリセットされます。

D2 PRDIF: Period-Match Interrupt Flag Bit

ピリオドマッチ割り込み要因の発生状態を示す割り込みフラグです。
1（R）: 割り込み要因あり
0（R）: 割り込み要因なし（デフォルト）
1（W）: フラグをリセット
0（W）: 無効

PRDIFはピリオドマッチ割り込みに対応する割り込みフラグです。PRDIE（D2/MFT_IEレジスタ）を1に設定しておくことにより、カウント中にカウンタがピリオドデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
PRDIFは1の書き込みによりリセットされます。

D1 APIF: ADC Protection Interrupt Flag Bit

ADC保護割り込み要因の発生状態を示す割り込みフラグです。
1（R）: 割り込み要因あり
0（R）: 割り込み要因なし（デフォルト）
1（W）: フラグをリセット
0（W）: 無効

APIFはADC保護割り込みに対応する割り込みフラグです。APIE（D1/MFT_IEレジスタ）を1に設定しておくことにより、A/D変換器CH.0がA/D変換後にMFTに入力される範囲外信号（上限または下限信号を選択可能）をアクティブにすると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
APIFは1の書き込みによりリセットされます。

D0 PPIF: Port Protection Interrupt Flag Bit

ポート保護割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

PPIFはポート保護割り込みに対応する割り込みフラグです。PPIE(D0/MFT_IEレジスタ)を1に設定しておくことにより、指定レベル(HighまたはLow)の信号がPWMPRT0端子に入力されると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
PPIFは1の書き込みによりリセットされます。

注: • MFT割り込み発生後は、割り込み処理ルーチン内で、MFTモジュール内の割り込みフラグCMPIF、PRDIF、APIF、またはPPIFをリセットしてください(これによりITCの割り込みフラグもリセットされます)。

• 不要な割り込みの発生を防止するため、CMPIE、PRDIE、APIE、またはPPIE(D3、D2、D1、D0/MFT_IEレジスタ)によってMFT割り込みを許可する前に、対応するCMPIF、PRDIF、APIF、またはPPIFをリセットしてください。

0x527e: MFT Test Register (MFT_TST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Test Register (MFT_TST)	0x527e (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	DBGMD	MFT operation in debug mode	1 Stop 0 Run	0	R/W	
		D5–3	–	reserved	–	–	–	0 when being read.
		D2–0	–	reserved	0x7	0x7	–	Fix at 0x7.

D[15:7] Reserved

D6 DBGMD: MFT Operation in Debug Mode Bit

デバッグモード時のMFT動作を選択します。
1（R/W）: 停止
0（R/W）: 動作（デフォルト）

DBGMDを0に設定しておくと、MFTはデバッグモード中も動作します。DBGMDが1に設定されていると、S1C17コアがデバッグモードになった時点でMFTは動作を停止します。

D[5:3] Reserved

D[2:0] Reserved（これらのビットは常時0x7に固定してください。）

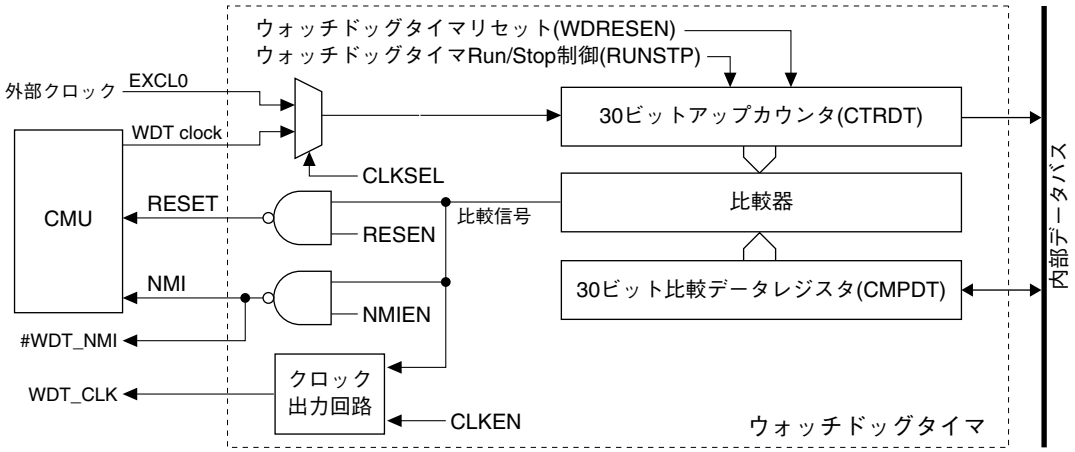
V.2.9 注意事項

- カウントクロックの設定は、MFTが停止中に行ってください。
- コンペアデータレジスタとピリオドデータレジスタに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、MFT_CMP = MFT_PRDには設定しないでください。割り込み機能のみを使用する場合は、MFT_CMP = MFT_PRDでも問題ありません。
- タイマ出力を使用する場合、コンペア/ピリオドデータはMFT_CMP≧0、MFT_PRD≧1に設定してください。最小設定はMFT_CMP = 0、MFT_PRD = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- コンペア/ピリオドデータをMFT_CMP > MFT_PRDに設定すると、コンペアマッチ信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

V.3 ウォッチドッグタイマ(WDT)

V.3.1 ウォッチドッグタイマの構成

S1C17501は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは30ビットのアップカウンタと比較データレジスタで構成され、プログラマブルな周期でNMIまたは内部リセットを発生可能です。
ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。
ウォッチドッグタイマのカウントクロックとしては、WDTクロック(= システムクロック)またはMFTの外部クロック入力(EXCL0)のいずれかを選択できます。
また、比較データレジスタで設定されるNMI/リセット発生周期によりクロックを生成し、ウォッチドッグタイマ出力クロックとしてチップ外部に出力することも可能です。
図V.3.1.1にウォッチドッグタイマのブロック図を示します。



図V.3.1.1 ウォッチドッグタイマのブロック図

V.3.2 ウォッチドッグタイマの入出力端子

表V.3.2.1 ウォッチドッグタイマの入出力端子

端子名	I/O	機能
EXCL0	I	外部クロック入力端子（MFT外部クロック入力）
WDT_CLK	O	ウォッチドッグタイマクロック出力端子
#WDT_NMI	O	ウォッチドッグタイマNMI出力端子

ウォッチドッグタイマのカウンタを外部クロックで動作させる場合はEXCL0端子を、またウォッチドッグタイマで生成するクロックを外部に出力する場合はWDT_CLK端子を使用します。
ウォッチドッグタイマで生成するNMI信号を外部に出力する場合は#WDT_NMI端子を使用します。

注: これらの端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではウォッチドッグタイマ以外の機能に設定されます。ウォッチドッグタイマのクロック入出力ポートとして使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。
端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.3.3 ウォッチドッグタイマの動作クロック

ウォッチドッグタイマモジュールは、CMUから供給されるWDTクロック(= システムクロック)で動作します。イニシャルリセット時は、このクロックが供給されるように設定されますが、ウォッチドッグタイマの動作を停止中、またはウォッチドッグタイマを使用しない場合は、CMUからの供給を停止して消費電流を低減することができます。この制御はCMUのWDT_CLK_EN(D2/CMU_GATEDCLK2レジスタ)で行います。

* **WDT_CLK_EN**: WDT Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D2/0x4908)

WDT_CLK_ENを0に設定すると、CMUからウォッチドッグタイマへのクロック供給が停止します。クロックの生成と制御については、"II.2 クロックマネージメントユニット(CMU)"を参照してください。

注: • ウォッチドッグタイマのカウントクロックに外部クロックを使用する場合も、WDTクロックはウォッチドッグタイマの動作および制御レジスタのアクセスに必要です。

• Gated Clock Control 2 Register(0x4908)は書き込み保護されています。このレジスタを含め、0x4900～0x4908番地のCMU制御レジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4908番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

V.3.4 ウォッチドッグタイマの制御

V.3.4.1 ウォッチドッグタイマの設定

カウントクロックの選択

30ビットのアップカウンタを内部クロックで動作させるか、外部クロック(EXCL0)で動作させるかをCLKSEL(D6/WD_ENレジスタ)で選択できます。

* **CLKSEL**: WDT Input Clock Select Bit in the WDT Enable and Setup (WD_EN) Register (D6/0x5662)

CLKSELが0(デフォルト)の場合は内部クロックが、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(MFT外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。WDTクロックの供給制御については、"II.2 クロックマネージメントユニット(CMU)"を参照してください。

NMI/リセット発生周期の設定

NMI/リセットを発生させる周期を設定するために、30ビットの比較データレジスタが設けられています。

* **CMPDT[15:0]**: WDT Comparison Data Bits in the WDT Comparison Data L (WD_CMP_L) Register (D[15:0]/0x5664)
* **CMPDT[29:16]**: WDT Comparison Data Bits in the WDT Comparison Data H (WD_CMP_H) Register (D[13:0]/0x5666)

ここに設定したデータはアップカウンタ値と比較され、アップカウンタ値が比較値と一致すると、指定されたNMI信号またはリセット信号が出力されるようになっています。アップカウンタも、この時点で0にリセットされます。
NMI/リセット発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CMPDT} + 1}{f_{WDTIN}} \text{[秒]}$$

CMPDT: CMPDT[29:0](D[13:0]/WD_CMP_Hレジスタ、D[15:0]/WD_CMP_Lレジスタ)の設定値
f_{WDTIN}: 入力クロック周波数 [Hz]

たとえば、50MHzのクロックを入力する場合、指定可能な最大NMI/リセット発生周期は約21.47秒です。

注: 比較データレジスタには0x1f以下の値は設定しないでください。

NMI/リセット発生機能の選択

指定の周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するにはNMIEN(D1/WD_ENレジスタ)を1に、リセット信号を出力するにはRESEN(D0/WD_ENレジスタ)を1に設定します。

* **NMIEN**: WDT NMI Enable Bit in the WDT Enable and Setup (WD_EN) Register (D1/0x5662)
* **RESEN**: WDT RESET Enable Bit in the WDT Enable and Setup (WD_EN) Register (D0/0x5662)

両方を0にした場合(デフォルト)、アップカウンタは動作可能でクロック出力も可能ですが、NMIまたはリセットは発生しません。
両方を1に設定すると、NMIとリセット信号が両方出力されます。ただし、優先順位の高いリセット処理が実行されます。
NMI信号とリセット信号は、どちらもシステムロックの32サイクル幅のパルスとして出力されます。

注: カウンタと比較レジスタの値によっては、ここでNMIまたはリセット機能をイネーブルにした後に(あるいはウォッチドッグタイマをスタートしていない場合でも)、NMIまたはリセットが発生する場合があります。NMIENまたはRESENに1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマレジスタの書き込み保護

不要な書き込みによるNMIやリセットの発生を防止するため、WDT Enable and Setup Register(0x5662)とWDT Comparison Data Registers(0x5664、0x5666)は書き込み保護されています。これらのレジスタを書き換えるには、WDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register(0x5660)を0x96以外に設定して、書き込み保護を有効にしてください。

V.3.4.2 ウォッチドッグタイマのスタート/ストップ

ウォッチドッグタイマはRUNSTP(D4/WD_ENレジスタ)に1を書き込むことでカウントを開始し、0を書き込むと停止します。

* **RUNSTP**: WDT Run/Stop Control Bit in the WDT Enable and Setup (WD_EN) Register (D4/0x5662)

RUNSTPも書き込み保護されたWDT Enable and Setup Registerにありますので、内容を変更する前にWDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。

V.3.4.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマのNMI/リセット発生機能を使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI/リセット発生周期以内で処理されるようにしてください。
ウォッチドッグタイマはWDRESEN(D0/WD_CTLレジスタ)に1を書き込むことでリセットされます。この時点でアップカウンタが0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

* **WDRESEN**: WDT Reset Bit in the WDT Control (WD_CTL) Register (D0/0x566c)

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIまたはリセットによってCPUはトラップ処理に移行し、処理ルーチンを実行します。
リセットとNMIのベクタアドレスは、それぞれデフォルトで0x20000と0x20008に設定されます。なお、ベクタテーブルのベースアドレスはTTBRで変更することも可能です。
アップカウンタのカウント値は、WDT Count Data Registers(0x5668、0x566a)から任意のタイミングで読み出し可能です。

* **CTRDT[15:0]**: WDT Counter Data Bits in the WDT Count Data L (WD_CNT_L) Register (D[15:0]/0x5668)
* **CTRDT[29:16]**: WDT Counter Data Bits in the WDT Count Data H (WD_CNT_H) Register (D[13:0]/0x566a)

V.3.4.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。
HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にNMIEN(D1/WD_ENレジスタ)およびRESEN(D0/WD_ENレジスタ)を0に設定するか、RUNSTP(D4/WD_ENレジスタ)に0を書き込んでウォッチドッグタイマを停止させてください。
NMIEN(D1/WD_ENレジスタ)またはRESEN(D0/WD_ENレジスタ)によりNMIまたはリセットに発生を禁止した場合、ウォッチドッグタイマはHALTモード時もカウントを継続します。HALTモードを解除後にNMIまたはリセットの発生を許可する際には、その前にウォッチドッグタイマをリセットしてください。ウォッチドッグタイマを停止させてHALTモードに移行した場合も、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はCMUからのWDTクロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じNMIEN(D1/WD_ENレジスタ)およびRESEN(D0/WD_ENレジスタ)によってNMI/リセットの発生を禁止状態に設定してください。

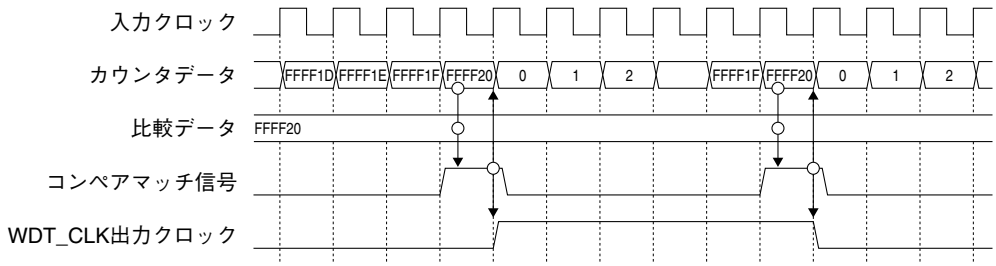
V.3.4.5 ウォッチドッグタイマのクロック出力

ウォッチドッグタイマはNMI/リセット発生周期のクロックをIC外部に出力することができます。
この出力を行うにはWDT_CLK端子を設定した上で、CLKEN(D5/WD_ENレジスタ)を1に設定します。

* **CLKEN**: WDT Clock Output Control Bit in the WDT Enable and Setup (WD_EN) Register (D5/0x5662)

CLKENも書き込み保護されたWDT Enable and Setup Registerにありますので、内容を変更する前にWDT Write Protect Registerに0x96を書き込んで、書き込み保護を解除する必要があります。

ウォッチドッグタイマがソフトウェアでリセットされない場合、クロック出力はNMI発生周期でレベルが反転します。(リセットの発生を禁止している場合)
ソフトウェアでウォッチドッグタイマがリセットされると、クロック出力はその時点でLowレベルになります。

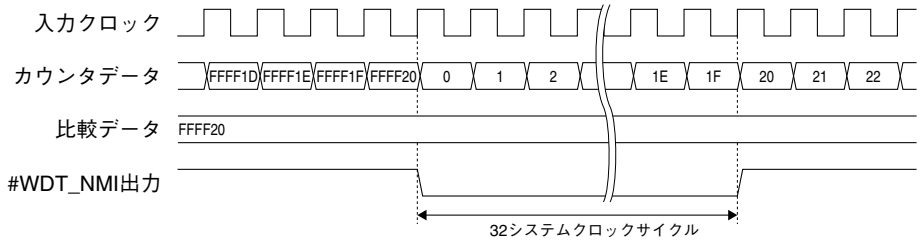


図V.3.4.5.1 ウォッチドッグタイマのクロック出力

V.3.4.6 NMI外部出力

ウォッチドッグタイマは生成したNMI信号をIC外部に出力することができます。出力には#WDT_NMI端子を使用しますが、この端子はイニシャルリセットで汎用入出力端子に設定されますので、端子機能を切り換えておく必要があります(I.3.3節参照)。

NMIEN(D1/WD_ENレジスタ)を1に設定すると、NMIの内部出力に加え外部出力も有効となります。ウォッチドッグタイマのカウンタが比較データの値になると、#WDT_NMI端子から32システムクロックサイクルのLowパルスが出力されます。



図V.3.4.6.1 NMI外部出力

V.3.5 制御レジスタ詳細

表V.3.5.1 ウォッチドッグタイマ制御レジスター覧

アドレス	レジスタ名		機　能
0x5660	WD_WP	WDT Write Protect Register	WDT制御レジスタ書き込み保護の設定/解除
0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
0x5666	WD_CMP_H	WDT Comparison Data H Register	
0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
0x566a	WD_CNT_H	WDT Count Data H Register	
0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5660: WDT Write Protect Register (WD_WP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_WP)	**0x5660** (16 bits)	D15–0	**WDPTC [15:0]**	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x5662–0x5666). Writing another value set the write protection.	X	W	0 when being read.

D[15:0] WDPTC[15:0]: WDT Register Write Protect Flag Bits

アドレス0x5662～0x5666の書き込み保護を設定/解除します。
0x96（W）: 書き込み保護解除
0x96以外（W）: 書き込み保護（デフォルト: 不定）
0x0（R）: 読み出し時は常時0x0

WDT Enable and Setup Register（0x5662）とWDT Comparison Data Registers（0x5664、0x5666）を変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。WDT制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x5662: WDT Enable and Setup Register (WD_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Enable and Setup Register (WD_EN)	0x5662 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	CLKSEL	WDT input clock select	1 External clk 0 Internal clk	0	R/W	
		D5	CLKEN	WDT clock output control	1 On 0 Off	0	R/W	
		D4	RUNSTP	WDT Run/Stop control	1 Run 0 Stop	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	NMIEN	WDT NMI enable	1 Enable 0 Disable	0	R/W	
		D0	RESEN	WDT RESET enable	1 Enable 0 Disable	0	R/W	

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、WDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register (0x5660)を0x96以外に設定して、書き込み保護を有効にしてください。

D[15:7] Reserved

D6 CLKSEL: WDT Input Clock Select Bit

ウォッチドッグタイマのカウントクロックを選択します。
1(R/W): 外部クロック(EXCL0)
0(R/W): 内部クロック(デフォルト)

本ビットが0(デフォルト)の場合は内部クロックが、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(MFT外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

D5 CLKEN: WDT Clock Output Control Bit

ウォッチドッグタイマのクロック出力を制御します。
1(R/W): On
0(R/W): Off(デフォルト)

本ビットを1に設定すると、NMI/リセット発生周期のクロックが出力されます。ただし、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでWDT_CLK(ウォッチドッグタイマクロック出力)に設定しておく必要があります。端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

D4 RUNSTP: WDT Run/Stop Control Bit

ウォッチドッグタイマをスタート/ストップします。
1(R/W): スタート
0(R/W): ストップ(デフォルト)

NMIまたはリセット発生機能を有効にしている場合は、不要なNMIまたはリセットの発生を防ぐため、ウォッチドッグタイマをスタートする前に必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

D[3:2] Reserved

D1 NMIEN: WDT NMI Enable Bit

ウォッチドッグタイマによるNMI信号出力を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でNMI信号(システムクロックの32サイクル幅のパルス)をCMUと#WDT_NMI端子に出力します。本ビットを0に設定した場合、NMI信号は出力されません。
本ビットの設定にかかわらず、アップカウンタが比較データレジスタの設定値と一致するとアップカウンタは0にリセットされ、カウントを継続します。

D0 RESEN: WDT RESET Enable Bit

ウォッチドッグタイマによる内部リセット信号出力を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でリセット信号(システムクロックの32サイクル幅のパルス)をCMUに出力します。本ビットを0に設定した場合、リセット信号は出力されません。

0x5664: WDT Comparison Data L Register (WD_CMP_L)
0x5666: WDT Comparison Data H Register (WD_CMP_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Comparison Data L Register (WD_CMP_L)	**0x5664** (16 bits)	D15–0	**CMPDT [15:0]**	WDT comparison data CMPDT0 = LSB	0x0 to 0x3fffffff (low-order 16 bits)	0x0	R/W	
WDT Comparison Data H Register (WD_CMP_H)	**0x5666** (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13-0	**CMPDT [29:16]**	WDT comparison data CMPDT29 = MSB	0x0 to 0x3fffffff (high-order 14 bits)	0x0	R/W	

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、WDT Write Protect Register（0x5660）に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register（0x5660）を0x96以外に設定して、書き込み保護を有効にしてください。

NMI/リセット発生周期をこれらのレジスタで設定します。
NMIまたはリセットの発生が許可されていれば、アップカウンタがこれらのレジスタに設定した比較データに一致した時点でNMIまたはリセット信号が出力されます。
ウォッチドッグタイマからクロック出力を行う場合も、出力クロックの周期がこれらのレジスタで設定されます。

D[15:0]/0x5664 CMPDT[15:0]: WDT Comparison Data Bits (16 low-order bits)
比較データの下位16ビットを設定します。（デフォルト: 0x0）

D[13:0]/0x5666 CMPDT[29:16]: WDT Comparison Data Bits (14 high-order bits)
比較データの上位14ビットを設定します。（デフォルト: 0x0）

注: 比較データとして0x1f以下の値は設定しないでください。

0x5668: WDT Count Data L Register (WD_CNT_L)
0x566a: WDT Count Data H Register (WD_CNT_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Count Data L Register (WD_CNT_L)	**0x5668** (16 bits)	D15–0	**CTRDT [15:0]**	WDT counter data CTRDT0 = LSB	0x0 to 0x3fffffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	**0x566a** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13-0	**CTRDT [29:16]**	WDT counter data CTRDT29 = MSB	0x0 to 0x3fffffff (high-order 14 bits)	X	R	

アップカウンタの現在のカウント値をこれらのレジスタから読み出すことができます。

D[15:0]/0x5668 CTRDT[15:0]: WDT Counter Data Bits (16 low-order bits)

30ビットアップカウンタの下位16ビットが読み出せます。（デフォルト: 不定）

D[13:0]/0x566a CTRDT[29:16]: WDT Counter Data Bits (14 high-order bits)

30ビットアップカウンタの上位14ビットが読み出せます。（デフォルト: 不定）

0x566c: WDT Control Register (WD_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Control Register (WD_CTL)	0x566c (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	WDRESEN	WDT reset	1 Reset 0 ignored	0	W	

D[15:1] Reserved

D0 WDRESEN: WDT Reset Bit

ウォッチドッグタイマをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

NMIまたはリセット信号出力を許可している場合は、設定したNMI/リセット発生周期以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

V.3.6 注意事項

- ウォッチドッグタイマによるNMIまたはリセット信号出力を許可した場合は、設定したNMI/リセット発生周期以内にウォッチドッグタイマをリセットする必要があります。
- 比較データレジスタには0x01f以下の値は設定しないでください。
- カウンタと比較レジスタの値によっては、NMIまたはリセット機能をイネーブルにした後、あるいはウォッチドッグタイマをスタートした後すぐに、NMIまたはリセットが発生する場合があります。NMIEN(D1/WD_ENレジスタ)、RESEN(D0/WD_ENレジスタ)またはRUNSTP(D4/WD_ENレジスタ)に1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

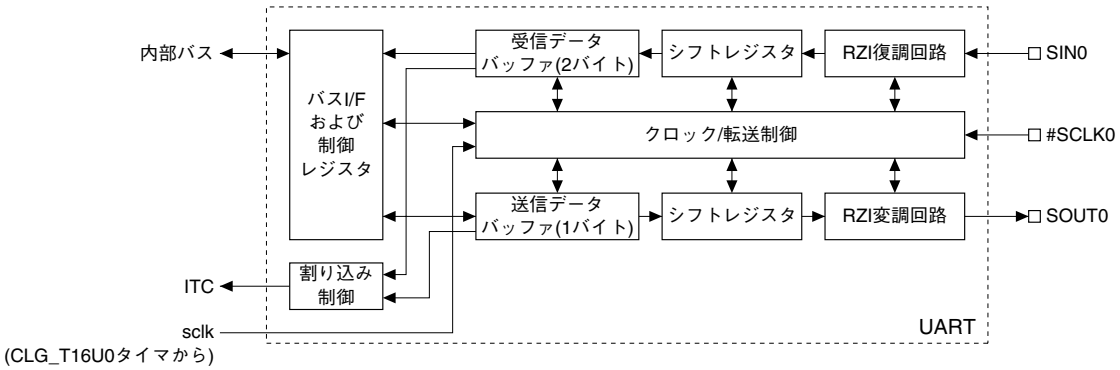
  * **NMIEN**: WDT NMI Enable Bit in the WDT Enable and Setup (WD_EN) Register (D1/0x5662)
  * **RESEN**: WDT RESET Enable Bit in the WDT Enable and Setup (WD_EN) Register (D0/0x5662)
  * **RUNSTP**: WDT Run/Stop Control Bit in the WDT Enable and Setup (WD_EN) Register (D4/0x5662)

VI S1C17501インタフェース モジュール

VI.1 UART

VI.1.1 UARTの構成

S1C17501はUARTを1チャネル内蔵しています。UARTは150～460800bps（IrDAモードは115200bps）の転送速度で外部シリアルデバイスとの非同期データ転送を行います。2バイトの受信データバッファと1バイトの送信データバッファを内蔵し、全二重通信が可能です。転送クロックにはタイマモジュールによる内部生成クロックと、#SCLK0端子から入力する外部クロックのいずれかを使用できます。データ長（7ビットまたは8ビット）、ストップビット長（1ビットまたは2ビット）、パリティモード（偶数、奇数、パリティなし）はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTは3種類の割り込み（送信バッファエンプティ、受信バッファフル、受信エラー）を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。
また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。
図VI.1.1.1に、UARTの構造を示します。



図VI.1.1.1 UARTの構造

VI.1.2 UART端子

表VI.1.2.1にUARTの入出力端子の一覧を示します。

表VI.1.2.1 UART端子一覧

端子名	I/O	本数	機　能
SIN0	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
#SCLK0	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN0、SOUT0、#SCLK0)は汎用入出力ポート端子(P40、P41、P42)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.1.3 転送クロック

UARTの転送クロックは、SSCK(D0/UART_MODレジスタ)を使用して内部クロックまたは外部クロックのいずれかを選択可能です。

* **SSCK**: Input Clock Select Bit in the UART Mode (UART_MOD) Register (D0/0x4103)

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UARTはCLG_T16U0タイマの出力クロックを転送クロックとして使用します。したがって、CLG_T16U0タイマを、転送レートに合ったクロックを出力するようにプログラムしておく必要があります。
CLG_T16U0タイマの制御については、"II.4 クロックジェネレータ(CLG)"を参照してください。

外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、#SCLK0端子を設定し、外部クロックを入力してください。

注:
- **UARTはCLG_T16U0タイマの出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。**
- **#SCLK0端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。**

VI.1.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。
- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

∗ **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ長

データ長は、CHLN(D4/UART_MODレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

∗ **CHLN**: Character Length Bit in the UART Mode (UART_MOD) Register (D4/0x4103)

ストップビット

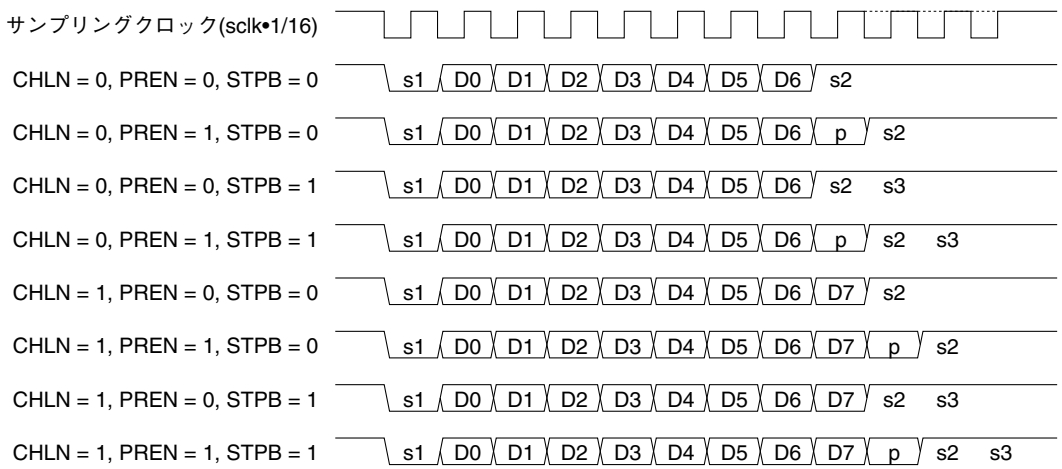
ストップビット長はSTPB(D1/UART_MODレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

∗ **STPB**: Stop Bit Select Bit in the UART Mode (UART_MOD) Register (D1/0x4103)

パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART_MODレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。
パリティ機能を有効にする場合は、PMD(D2/UART_MODレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

∗ **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
∗ **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図VI.1.4.1 転送データ形式

VI.1.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)入力クロックを選択します。VI.1.3節を参照してください。
内部クロックを使用する場合は、転送クロックを出力するようにCLG_T16U0タイマをプログラムします。II.4節を参照してください。
(2)転送データ形式を設定します。VI.1.4節を参照してください。
(3)IrDAインタフェースを使用する場合は、IrDAモードを設定します。VI.1.8節を参照してください。
(4)UART割り込みを使用する場合は、割り込み条件を設定します。VI.1.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ送受信を許可

最初にRXENビット(D0/UART_CTLレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

データ送信制御

送信を開始するには、UART_TXDレジスタ(0x4101)に送信データを書き込みます。

* **UART_TXD**: UART Transmit Data Register (0x4101)

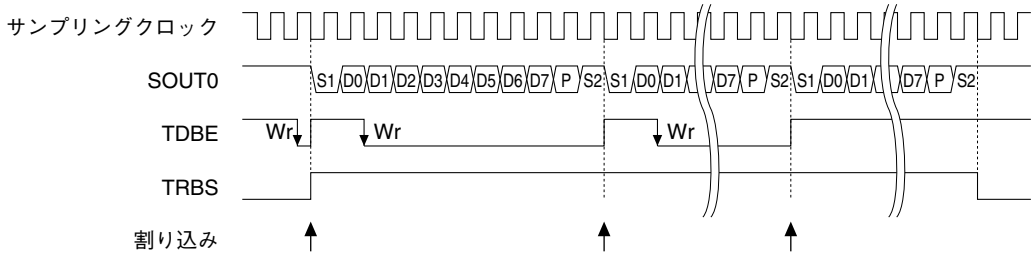
データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT0端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT0端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE(D0/UART_STレジスタ)とTRBS(D2/UART_STレジスタ)の2つのステータスフラグが用意されています。

* **TDBE**: Transmit Data Buffer Empty Flag Bit in the UART Status (UART_ST) Register (D0/0x4100)
* **TRBS**: Transmit Busy Flag Bit in the UART Status (UART_ST) Register (D2/0x4100)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(VI.1.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット,
Wr: 送信データバッファへのデータ書き込み

図VI.1.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。
外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。
受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART_RXDレジスタ(0x4102)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

* **UART_RXD**: UART Receive Data Register (0x4102)

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つのバッファステータスフラグが用意されています。

* **RDRY**: Receive Data Ready Flag Bit in the UART Status (UART_ST) Register (D1/0x4100)
* **RD2B**: Second Byte Receive Flag Bit in the UART Status (UART_ST) Register (D3/0x4100)

(1)RDRY = 0, RD2B = 0
データを受信していません。したがって、受信データバッファを読み出す必要はありません。

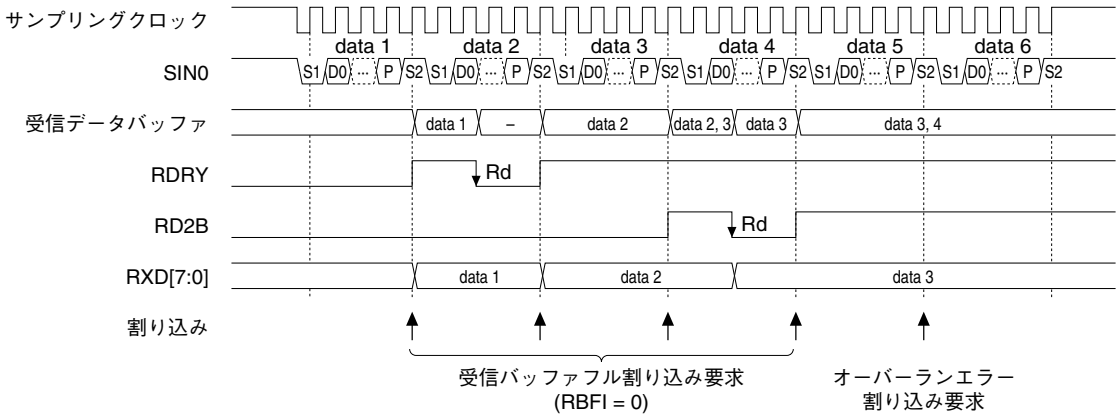
(2)RDRY = 1, RD2B = 0
1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。
受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

(3)RDRY = 1, RD2B = 1
2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。
受信バッファが満杯でも、シフトレジスタは8ビットデータをもう一つ受信開始することができます。受信データバッファの読み出しがなく受信が終了した場合、オーバーランエラーが発生し、最後の受信データは読み出すことができません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、VI.1.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。
また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFIビット(D1/UART_CTLレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

* **RBFI**: Receive Buffer Full Interrupt Condition Bit in the UART Control (UART_CTL) Register (D1/0x4104)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、VI.1.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図VI.1.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

VI.1.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。
受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、VI.1.7節を参照してください。

パリティエラー

PREN(D3/UART_MODレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。
パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART_MODレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。
なお、PERフラグ(D5/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
- **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)
- **PER**: Parity Error Flag Bit in the UART Status (UART_ST) Register (D5/0x4100)

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。
本エラーが発生すると、フレーミングエラーフラグFER(D6/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。
なお、FERフラグ(D6/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- **FER**: Framing Error Flag Bit in the UART Status (UART_ST) Register (D6/0x4100)

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。
オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、受信動作は継続して行われます。
なお、OERフラグ(D4/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- **OER**: Overrun Error Flag Bit in the UART Status (UART_ST) Register (D4/0x4100)

VI.1.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み
• 受信エラー割り込み

UARTは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART_CTLレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TIEN**: Transmit Buffer Empty Interrupt Enable Bit in the UART Control (UART_CTL) Register (D4/0x4104)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **TDBE**: Transmit Data Buffer Empty Flag Bit in the UART Status (UART_ST) Register (D0/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART_CTLレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RIEN**: Receive Buffer Full Interrupt Enable Bit in the UART Control (UART_CTL) Register (D5/0x4104)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBFI(D1/UART_CTLレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBFI(D1/UART_CTLレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

* **RBFI**: Receive Buffer Full Interrupt Condition Bit in the UART Control (UART_CTL) Register (D1/0x4104)
* **RDRY**: Receive Data Ready Flag Bit in the UART Status (UART_ST) Register (D1/0x4100)
* **RD2B**: Second Byte Receive Flag Bit in the UART Status (UART_ST) Register (D3/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART_CTLレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **REIEN**: Receive Error Interrupt Enable Bit in the UART Control (UART_CTL) Register (D6/0x4104)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **PER**: Parity Error Flag Bit in the UART Status (UART_ST) Register (D5/0x4100)
* **FER**: Framing Error Flag Bit in the UART Status (UART_ST) Register (D6/0x4100)
* **OER**: Overrun Error Flag Bit in the UART Status (UART_ST) Register (D4/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

UART割り込み用ITCレジスタ

以下に、UART用のITC制御ビットを示します。

割り込みフラグ

* **IIFT4**: UART Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D12/0x4300)

割り込みイネーブルビット

* **IIEN4**: UART Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D12/0x4302)

割り込みレベル設定ビット

* **IILV4[2:0]**: UART Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV2) Register 2 (D[2:0]/0x4312)

UARTが割り込み要求パルスを出力すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。UARTによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、UARTの割り込み要求パルスによって1にセットされます。
割り込みレベル設定ビットは、UART割り込みのレベル(0〜7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- UART割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

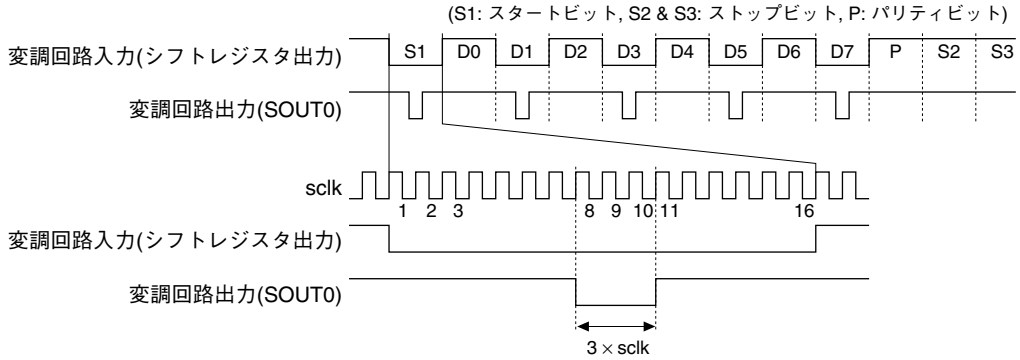
UART割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　16(0x10)
ベクタアドレス: TTBR + 0x40

VI.1.8 IrDAインタフェース

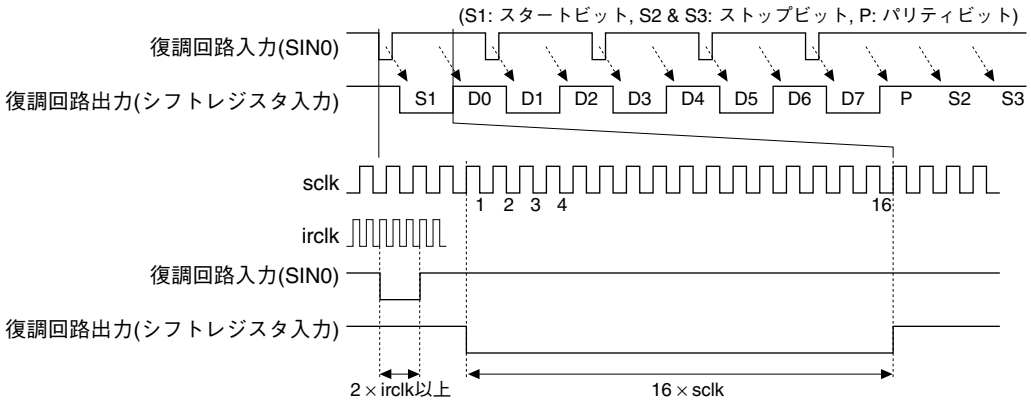
本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3/16 sclkサイクルに変換された後にSOUT0端子から出力されます。



図VI.1.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41µs/115200bps時)を検出するため、復調回路は転送クロックとは別に、プリスケーラ出力クロックから選択したパルス検出クロックを使用します。



図VI.1.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD(D0/UART_EXPレジスタ)を1に設定します。これにより、RZI変調/復調回路が有効になります。

* **IRMD**: IrDA Mode Select Bit in the UART Expansion (UART_EXP) Register (D0/0x4105)

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0](D[6:4]/UART_EXPレジスタ)を使用してプリスケーラ出力クロックのPCLK•1/1～PCLK•1/128の中から選択します。

* **IRCLK[2:0]**: IrDA Receive Detection Clock Select Bits in the UART Expansion (UART_EXP) Register (D[6:4]/0x4105)

表VI.1.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケーラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、CLG_T16U0タイマまたは#SCLK0端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16sclkサイクル幅のLowパルスに変換します。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

VI.1.9 制御レジスタ詳細

表VI.1.9.1 UARTレジスター一覧

アドレス	レジスタ名		機　能
0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD	UART Transmit Data Register	送信データ
0x4102	UART_RXD	UART Receive Data Register	受信データ
0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
0x4104	UART_CTL	UART Control Register	データ転送の制御
0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4100: UART Status Register (UART_ST)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–				–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 Reserved

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。
FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART_MODレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。
PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。
OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。
1(R): 2バイト目が読み出し可
0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。
1(R): データ読み出し可
0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。
1(R): バッファは空(デフォルト)
0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

0x4101: UART Transmit Data Register (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data Bits

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)
このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り、送信まで待機します。
送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。
7ビットモードでは、TXD7(MSB)が無効となります。
SOUT0端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。
このレジスタは読み出しも可能です。

0x4102: UART Receive Data Register (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	**0x4102** (8 bits)	D7–0	**RXD[7:0]**	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data in the Receive Data Buffer Bits

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY（D1/UART_STレジスタ）とRD2B（D3/UART_STレジスタ）の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBFI（D1/UART_CTLレジスタ）で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN0端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。（デフォルト: 0x0）

0x4103: UART Mode Register (UART_MOD)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–5	–	reserved	–				–	–	0 when being read.
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	SSCK	Input clock select	1	External	0	Internal	0	R/W	

D[7:5] Reserved

D4 CHLN: Character Length Bit

シリアル転送データのデータ長を選択します。
1(R/W): 8ビット
0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。
1(R/W): パリティ付き
0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。
1(R/W): 奇数パリティ
0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。
1(R/W): 2ビット
0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 SSCK: Input Clock Select Bit

入力クロックを選択します。
1(R/W): 外部クロック(#SCLK0)
0(R/W): 内部クロック(デフォルト)

内部クロック(CLG_T16U0タイマ出力クロック)を使用するか、外部クロック(#SCLK0端子から入力)を使用するか選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

0x4104: UART Control Register (UART_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–				–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3–2	–	reserved	–				–	–	0 when being read.
		D1	RBFI	Receive buffer full int. condition	1	2 bytes	0	1 byte	0	R/W	
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W	

D7 Reserved

D6 REIEN: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFI(D1)の指定値になったことによるITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved

D1 RBFI: Receive Buffer Full Interrupt Condition Bit

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。
1(R/W): 2バイト
0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBFIビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBFIが1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。
RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

0x4105: UART Expansion Register (UART_EXP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock	0x0	R/W	
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			
		D3–1	–	reserved	–		–	–	0 when being read.
		D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W	

D7 Reserved

D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits

IrDA入力パルス検出クロックとして使用するプリスケーラ出力クロックを選択します。

表VI.1.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケーラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

（デフォルト: 0x0）

このクロックには、CLG_T16U0タイマまたは#SCLK0端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックを選択してください。

D[3:1] Reserved

D0 IRMD: IrDA Mode Select Bit

IrDAインタフェース機能をOn/Offします。
1（R/W）: On
0（R/W）: Off（デフォルト）

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

VI.1.10 注意事項

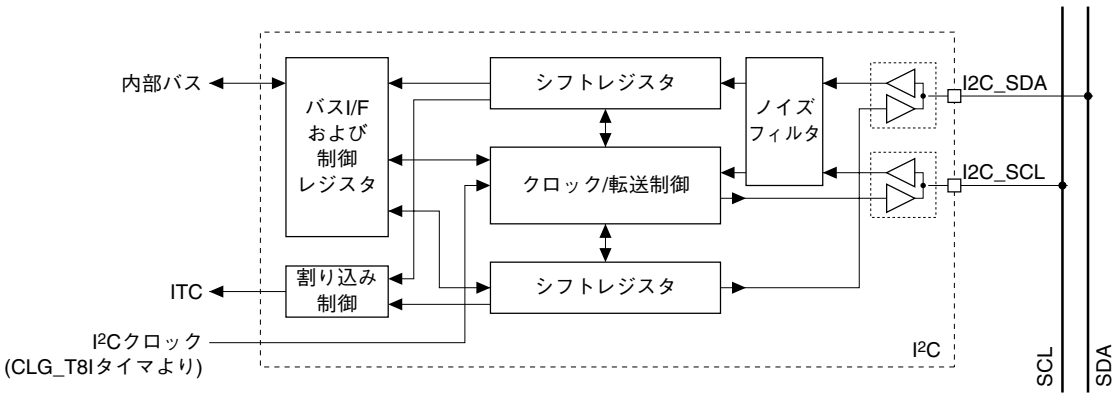
- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
  - UART_MODレジスタ(0x4103)のビットすべて(SSCK, STPB, PMD, PREN, CHLN)
  - UART_CTLレジスタ(0x4104)の RXEN以外のビットすべて(RBFI, TIEN, RIEN, REIEN)
  - UART_EXPレジスタ(0x4105)のビットすべて(IRMD, IRCLK[2:0])

  * **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)
- UARTが送信中または受信中の場合は、RXENを0に設定しないでください。
- UARTの転送レートは最大460800bps(IrDAモードは115200bps)に制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
- IrDA受信検出クロックには、CLG_T16U0タイマまたは#SCLK0端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
- IrDAインタフェースの復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックをIrDA受信検出クロックとして選択してください。

VI.2 I2C

VI.2.1 I2Cの構成

S1C17501は高速同期シリアル通信用に、I2Cバスインタフェースモジュールを内蔵しています。I2Cモジュールは CLG_T8Iタイマから供給されるクロックを使用し、マスタデバイスとして動作します(シングルマスタとしてのみ使用可能です)。標準(100kbps)モードおよびファストモード(400kbps)、7ビット/10ビットスレーブアドレスモードに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。
本モジュールは、2種類の割り込み(送信バッファエンプティと受信バッファフル割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。
図VI.2.1.1にI2Cモジュールの構造を示します。



図VI.2.1.1 I2Cモジュールの構造

注: 本I2Cモジュールにクロックストレッチ機能はありません。このため、クロックストレッチによって通信の同期を取るI2Cスレーブデバイスには対応しません。

VI.2.2 I²C入出力端子

表VI.2.2.1にI²C端子の一覧を示します。

表VI.2.2.1 I²C端子一覧

端子名	I/O	本数	機　能
I2C_SDA	I/O	1	I²Cデータ入出力端子 I²Cバスからシリアルデータを入力します。 また、シリアルデータをI²Cバスに出力します。
I2C_SCL	I/O	1	I²Cクロック入出力端子 SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I²Cの入出力端子(I2C_SDA、I2C_SCL)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Cの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.2.3 I²Cクロック

I²Cモジュールは、CLG_T8Iタイマが出力する内部クロックを同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、I2C_SCL端子からスレーブデバイスへ出力されます。
CLG_T8Iタイマから転送レートに合ったクロックが出力されるようにプログラムしてください。
CLG_T8Iタイマの制御については、“II.4 クロックジェネレータ(CLG)”を参照してください。

I²Cモジュールはスレーブデバイスとしては機能しません。I2C_SCL入力端子はI²CバスのI2C_SCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

VI.2.4 データ転送前の設定項目

I²Cモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I²Cモジュールには、I2C_SDAおよびI2C_SCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM(D4/I2C_CTLレジスタ)を1に設定することにより有効となります。ただし、この機能を使用するには、I²Cクロック(CLG_T8Iタイマ出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

* **NSERM**: Noise Remove On/Off Bit in the I²C Control (I2C_CTL) Register (D4/0x4342)

VI.2.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)I²Cクロックが出力されるようにCLG_T8Iタイマを設定します。II.4節を参照してください。
(2)オプション機能を選択します。 VI.2.4節を参照してください。
(3)I²C割り込みを使用する場合は、割り込み条件を設定します。VI.2.6節を参照してください。

注: 上記の設定は、必ずI²Cモジュールが停止中(I2CEN/I2C_ENレジスタ = 0)に行ってください。

∗ **I2CEN**: I²C Enable Bit in the I²C Enable (I2C_EN) Register (D0/0x4340)

データ送受信を許可

最初にI2CEN(D0/I2C_ENレジスタ)を1に設定してI²Cの動作を許可します。これにより、I²Cが送受信可能な状態となり、クロックの出力も許可されます。

注: I²Cモジュールが送受信中はI2CENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1)レジスタの設定順序

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

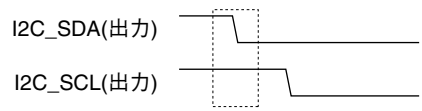
1. RTDT[7:0](D[7:0]/I2C_DATレジスタ)にスレーブアドレスを設定
2. TXE(D9/I2C_DATレジスタ)を1に設定
3. STRT(D0/I2C_CTLレジスタ)を1に設定

∗ **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)
∗ **TXE**: Transmit Execution Bit in the I²C Data (I2C_DAT) Register (D9/0x4344)
∗ **STRT**: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

これらの手順により、下記(2)と(3)の通信波形が生成されます。必ずレジスタの設定順序を守ってください。

(2)スタートコンディションの生成

I2C_SCLラインをHighに保った状態で、I2C_SDAラインをLowにすることがスタートコンディションです。



図VI.2.5.1 スタートコンディション

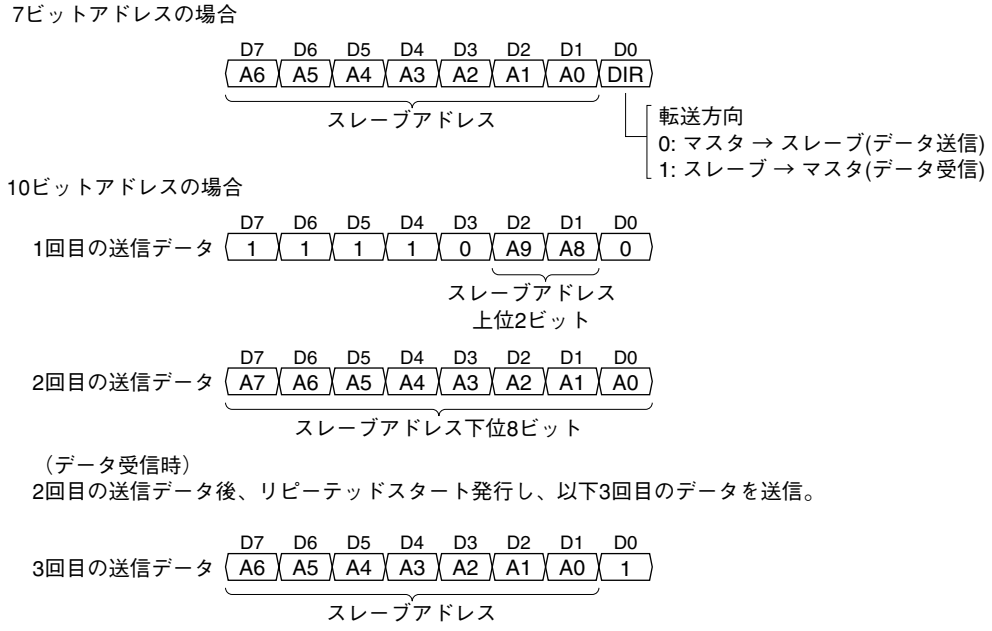
スタートコンディションは、STRT(D0/I2C_CTLレジスタ)を1に設定することで生成されます。

∗ **STRT**: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

(3)スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回または3回の送信を行います。



図VI.2.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。
上記のとおり作成した8ビットのデータを送受信データレジスタに設定し、下記のとおり送信の制御を行います。

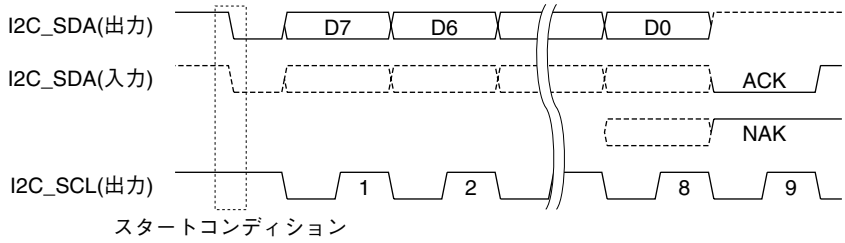
スレーブアドレスと転送方向ビットはスタートコンディション生成後に1度のみ送信します。
スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。スレーブアドレスの送信も同じ手順で行います。
バイトデータを送信するには、送信データをRTDT[7:0](D[7:0]/I2C_DATレジスタ)に設定します。同時に、1バイトの送信を実行するTXE(D9/I2C_DATレジスタ)を1に設定します。

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)
* **TXE**: Transmit Execution Bit in the I²C Data (I2C_DAT) Register (D9/0x4344)

TXEビットが1に設定されると、I²Cモジュールはクロックに同期してデータ送信を開始します。スタートコンディションまたは前のデータを送信中の場合は、その完了後に開始します。
まず、I²Cモジュールは書き込まれたデータをシフトレジスタに転送し、I2C_SCL端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。
シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にI2C_SDA端子から出力されます。
I²Cモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、I2C_SDA信号をハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。
スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはI2C_SDAラインがプルダウンされませんので、I²Cモジュールはこれを NAK(1)と見なします(送信失敗)。



図VI.2.5.3 ACKとNAK

I²Cモジュールには送信の制御用にTBUSYフラグ(D8/I2C_CTLレジスタ)とRTACK(D8/I2C_DATレジスタ)の2つのステータスビットが用意されています。

* **TBUSY**: Transmit Busy Flag Bit in the I²C Control (I2C_CTL) Register (D8/0x4342)
* **RTACK**: Receive/Transmit ACK Bit in the I²C Data (I2C_DAT) Register (D8/0x4344)

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。
RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合も、その前にスタートコンディションを生成し、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。
データを受信するには、1バイトの受信を実行するRXE(D10/I2C_DATレジスタ)を1に設定します。スレーブアドレス送信時にTXE(D9/I2C_DATレジスタ)を1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

* **RXE**: Receive Execution Bit in the I²C Data (I2C_DAT) Register (D10/0x4344)

RXEビットが1に設定され、受信が開始できる状態になると、I²CモジュールはI2C_SDAラインをハイインピーダンスにして、I2C_SCL端子からクロックの出力を開始します。データはMSBを先頭に、クロックの立ち上がりエッジで順次シフトレジスタに取り込まれます。
RXEはD6の取り込み時に0にリセットされます。
8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。
I²Cモジュールには受信の制御用にRBRDY(D11/I2C_DATレジスタ)とRBUSY(D9/I2C_CTLレジスタ)の2つのステータスビットが用意されています。

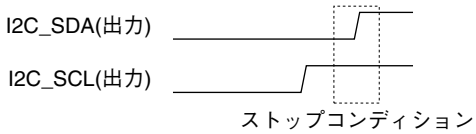
* **RBRDY**: Receive Buffer Ready Bit in the I²C Data (I2C_DAT) Register (D11/0x4344)
* **RBUSY**: Receive Busy Flag Bit in the I²C Control (I2C_CTL) Register (D9/0x4342)

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。RTDT[7:0]を読み出す前に次の受信が終了すると、RTDT[7:0]内の1つ前の受信データは新たな受信データで上書きされてしまいます。
RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。
I²Cモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、RTACK(D8/I2C_DATレジスタ)に設定された0または1が、それぞれACK、NAK応答として、I2C_SDA端子からスレーブへ送信されます。ACK、NAKの応答期間中はRTACKを変化させないようにしてください。

注: 受信バッファフル割り込みは、ACK/NAKの応答期間中(9個目のクロックサイクル)に発生します。この割り込みが発生した直後に、ACK/NAK期間の終了を待たずにRTACKの設定を書き換えた場合、I2C_SDA端子に出力されているACK/NAK応答が応答期間中に変化してしまい、正しい通信が行えなくなってしまいます。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。I2C_SCLラインをHighに保った状態で、I2C_SDAラインをLowからHighにすることがストップコンディションとなります。



図VI.2.5.4 ストップコンディション

ストップコンディションは、STP(D1/I2C_CTLレジスタ)を1に設定して生成します。

* **STP**: Stop Control Bit in the I²C Control (I2C_CTL) Register (D1/0x4342)

STPを1に設定すると、I²CモジュールはI²CバスのI2C_SCLラインをHighに保った状態でI2C_SDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cが動作中(TBUSY = 1またはRBUSY = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。
ストップコンディションが生成されると、STPは自動的に0にリセットされます。

本I²Cモジュールはリピーテッドスタートコンディションには対応していません。ストップコンディションを省略して、次のデータ転送のためのスタートコンディションを生成することはできません。

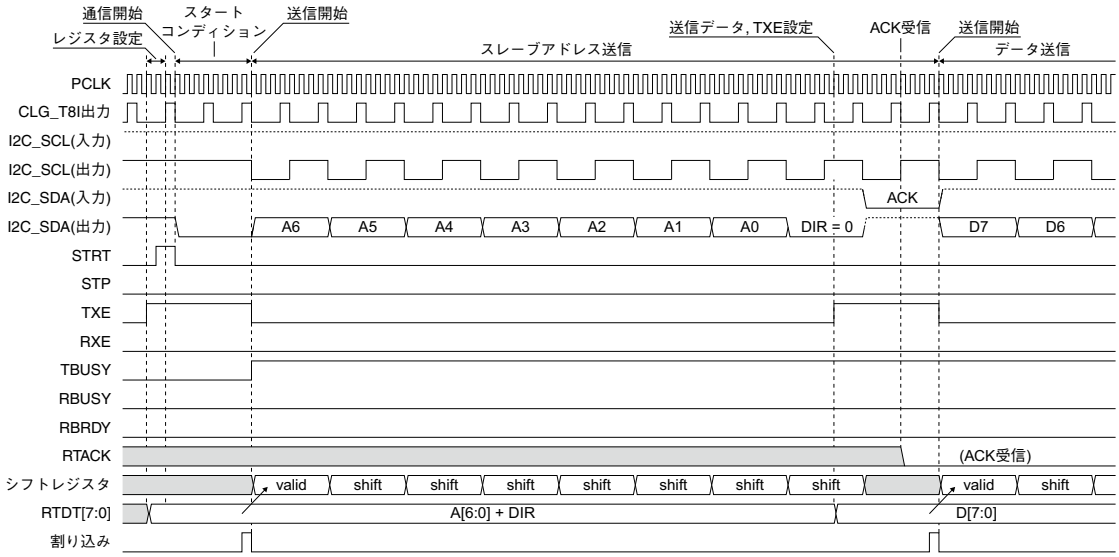
TXE、RXE、STRT、STP設定によるウェイト状態

1バイトのデータとACKの送受信が終了した時点で、TXE(D9/I2C_DATレジスタ)、RXE(D10/I2C_DATレジスタ)、STRT(D0/I2C_CTLレジスタ)、およびSTP(D1/I2C_CTLレジスタ)の全ビットが0の場合、I2C_SCL出力がLowに固定されウェイト状態になります。この状態は、TXEまたはRXEに1を書き込んでデータ送受信を再開するか、STPに1を書き込んでストップコンディションを生成することにより解除されます。

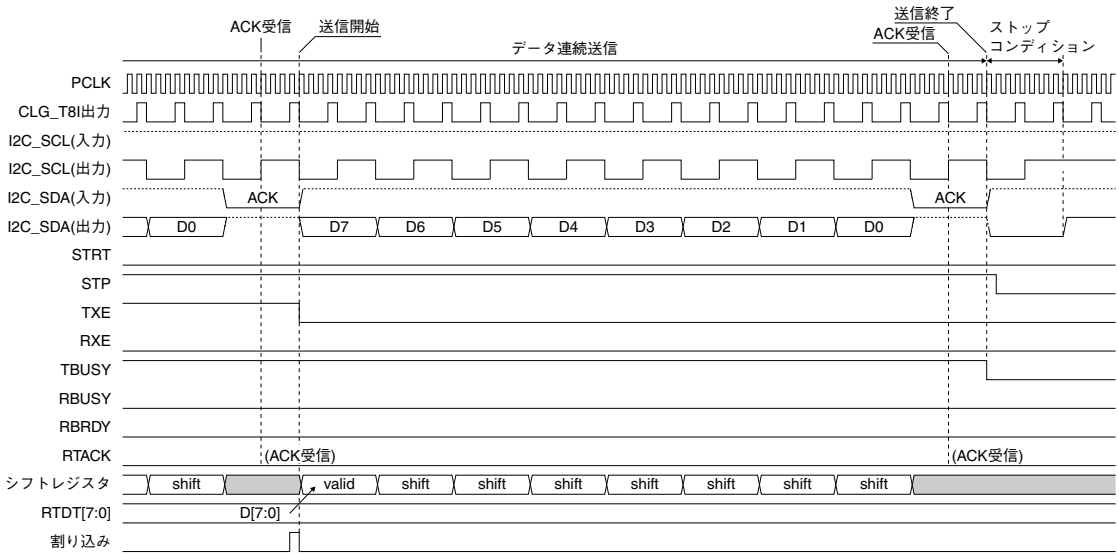
データ送受信を禁止

ストップコンディションを生成した後は、I2CENビットに0を書き込んでデータ送受信を禁止します。ストップコンディション生成の完了は、STPを1に設定したのちに、0へ自動的にクリアされたことをポーリングすることにより、確認できます。
I²CバスがビジーI状態のときにI2CMENを0に設定した場合、SCL0、SDA0の出力レベル、および転送中のデータは保証されません。

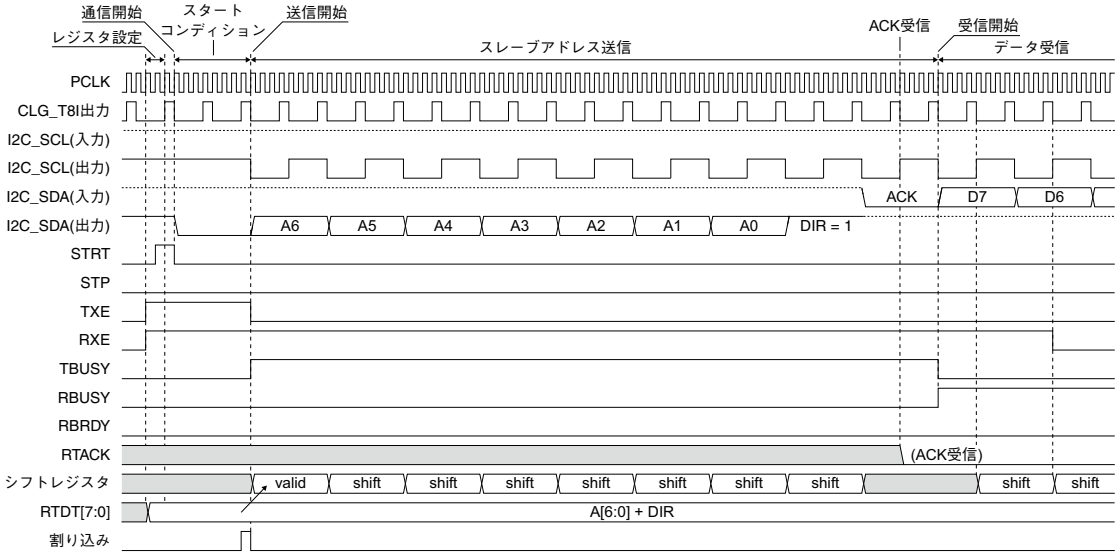
タイミングチャート



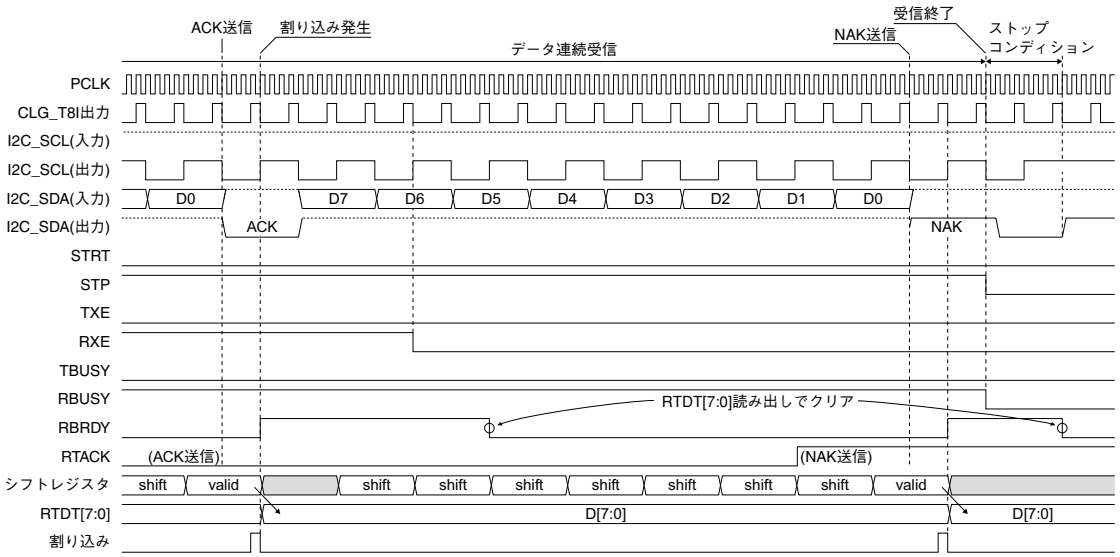
図VI.2.5.5 I²Cタイミングチャート1(スタートコンディション→データ送信)



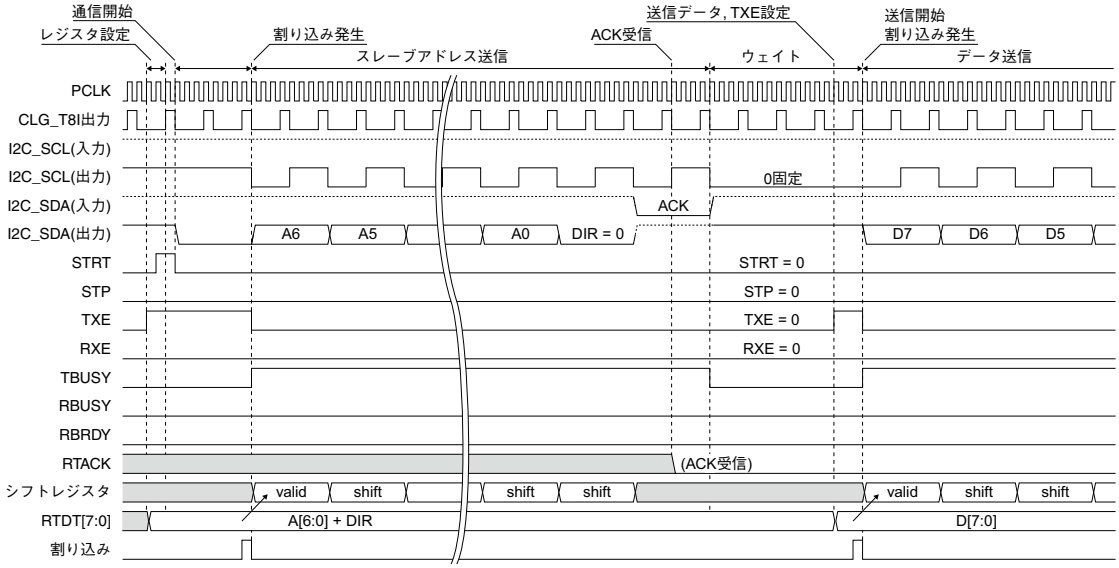
図VI.2.5.6 I²Cタイミングチャート2(データ送信→ストップコンディション)



図VI.2.5.7 I²Cタイミングチャート3(スタートコンディション→データ受信)



図VI.2.5.8 I²Cタイミングチャート4(データ受信→ストップコンディション)



図VI.2.5.9 I²Cタイミングチャート5(ウェイト)

VI.2.6 I²C割り込み

I²Cモジュールには、以下の2種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み

I²Cモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE(D0/I2C_ICTLレジスタ)を1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **TINTE**: Transmit Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D0/0x4346)

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に設定された送信データがシフトレジスタに転送された時点で割り込み要求パルスがITCに出力されます。

∗ **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込み

この割り込みを使用するには、RINTE(D1/I2C_ICTLレジスタ)を1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **RINTE**: Receive Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D1/0x4346)

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求パルスがITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

I²C割り込み用ITCレジスタ

ITC内のI²Cモジュール用制御ビットを以下に示します。

割り込みフラグ

∗ **IIFT7**: I²C Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D15/0x4300)

割り込みイネーブルビット

∗ **IIEN7**: I²C Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D15/0x4302)

割り込みレベル設定ビット

∗ **IILV7[2:0]**: I²C Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[10:8]/0x4314)

I²Cモジュールが割り込み要求パルスを出力すると、割り込みフラグIIFT7が1にセットされます。
割り込みイネーブルビットIIEN7が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。I²Cによる割り込みを禁止するには、IIEN7を0に設定しておきます。
IIFT7フラグは、IIEN7ビットの設定にかかわらず(0に設定されていても)、I²Cの割り込み要求パルスによって1にセットされます。
割り込みレベル設定ビットIILV7[2:0]は、I²C割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²C割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

I²C割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　19(0x13)
ベクタアドレス: TTBR + 0x4c

VI.2.7 制御レジスタ詳細

表VI.2.7.1 I²Cレジスター一覧

アドレス	レジスタ名		機　能
0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
0x4344	I2C_DAT	I²C Data Register	送受信データ
0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御

以下、I²Cモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

• I²Cレジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でI²Cレジスタをリード/ライトすることはできません。

0x4340: I²C Enable Register (I2C_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Enable Register (I2C_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CEN	I²C enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CEN: I²C Enable Bit

I²Cモジュールの動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

I2CENを1に設定するとI²Cモジュールが動作を開始し、データ転送が行える状態になります。
I2CENを0に設定すると、I²Cモジュールは動作を停止します。

0x4342: I²C Control Register (I2C_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Control Register (I2C_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

D[15:10] Reserved

D9 RBUSY: Receive Busy Flag Bit

I²Cの受信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

RBUSYはI²Cがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D8 TBUSY: Transmit Busy Flag Bit

I²Cの送信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

TBUSYはI²Cがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D[7:5] Reserved

D4 NSERM: Noise Remove On/Off Bit

ノイズ除去機能をOn/Offします。
1(R/W): On
0(R/W): Off(デフォルト)

I²Cモジュールには、I2C_SDAおよびI2C_SCL端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。
ただし、この機能を使用するには、I²Cクロック(CLG_T8Iタイマ出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 STP: Stop Control Bit

ストップコンディションを生成します。
1(R/W): ストップコンディションを生成
0(R/W): 無効(デフォルト)

STPを1に設定すると、I²CモジュールはI²CバスのI2C_SCLラインをHighに保った状態でI2C_SDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。
また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cが動作中(TBUSY = 1またはRBUSY = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。
ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 STRT: Start Control Bit

スタートコンディションを生成します。
1(R/W): スタートコンディションを生成
0(R/W): 無効(デフォルト)

STRTを1に設定すると、I²CモジュールはI²CバスのI2C_SCLラインをHighに保った状態で、I2C_SDAラインをLowにしてスタートコンディションを生成します。これ以降I²Cバスは、ビジー状態になります。
スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2C_DATレジスタ)にスレーブアドレスを設定
2. TXE(D9/I2C_DATレジスタ)を1に設定
3. STRTを1に設定

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

0x4344: I²C Data Register (I2C_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Data Register (I2C_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved

D11 RBRDY: Receive Buffer Ready Bit

受信バッファの状態を示します。
1(R): 受信データあり
0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0](D[7:0])にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。

D10 RXE: Receive Execution Bit

1バイトのデータ受信を実行します。
1(R/W): データ受信開始
0(R/W): 無効(デフォルト)

RXEを1、TXE(D9)を0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中であっても、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 TXE: Transmit Execution Bit

1バイトのデータ送信を実行します。
1(R/W): データ送信開始
0(R/W): 無効(デフォルト)

送信データをRTDT[7:0](D[7:0])に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 RTACK: Receive/Transmit ACK Bit

データ送信時
応答ビットの状態を示します。
1(R/W): エラー(NAK)
0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時
スレーブに送信する応答ビットを設定します。
1(R/W): エラー(NAK)
0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I²Cモジュールが応答ビットを送る前にRTACKを0に設定してください。
NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits

データ送信時

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXE(D9)を1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。I2C_SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXE(D10)を1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグ(D11)がセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

I2C_SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

0x4346: I²C Interrupt Control Register (I2C_ICTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:2] Reserved

D1 RINTE: Receive Interrupt Enable Bit

I²Cの受信バッファフル割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI²C割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0](D[7:0]/I2C_DATレジスタ)に転送される(受信が完了する)ことにより発生します。
RINTEを0に設定すると、I²C受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

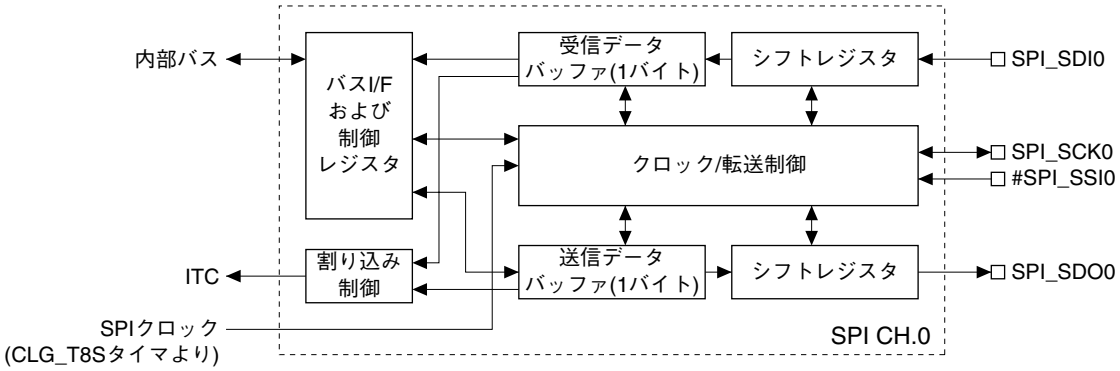
I²Cの送信バッファエンプティ割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI²C割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に書き込んだデータがシフトレジスタに転送されることにより発生します。
TINTEを0に設定すると、I²C送信バッファエンプティ割り込みは発生しません。

VI.3 SPI(SPI CH.0)

VI.3.1 SPI CH.0の構成

S1C17501は同期式シリアルインタフェースモジュール(以降SPI CH.0)を内蔵しています。このSPI CH.0はマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。
シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。
図VI.3.1.1にSPI CH.0の構造を示します。



図VI.3.1.1 SPI CH.0の構造

VI.3.2 SPI CH.0入出力端子

表VI.3.2.1にSPI CH.0端子の一覧を示します。

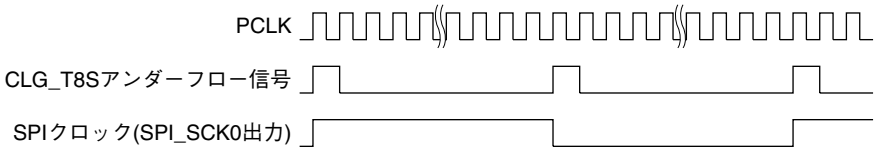
表VI.3.2.1 SPI CH.0端子一覧

端子名	I/O	本数	機　能
SPI_SDI0	I	1	SPI CH.0データ入力端子 SPIバスからシリアルデータを入力します。
SPI_SDO0	O	1	SPI CH.0データ出力端子 シリアルデータをSPIバスに出力します。
SPI_SCK0	I/O	1	SPI CH.0外部クロック入出力端子 SPI CH.0がマスタモードの場合にSPIクロックを出力します。 SPI CH.0をスレーブモードで使用する場合は外部クロックを入力します。
#SPI_SSI0	I	1	SPI CH.0スレーブ選択信号（アクティブLow）入力端子 この端子へのLow入力により、SPI CH.0（スレーブモード）がスレーブデバイスとして選択されます。

SPI CH.0の入出力端子（SPI_SDI0、SPI_SDO0、SPI_SCK0、#SPI_SSI0）は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPI CH.0の入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.3.3 SPIクロック

マスタモードのSPI CH.0は、CLG_T8Sタイマが出力する内部クロックをSPIクロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPI_SCK0端子からスレーブデバイスへ出力されます。CLG_T8Sタイマから転送レートに合ったクロックが出力されるようにプログラムしてください。CLG_T8Sタイマの制御については、“II.4 クロックジェネレータ(CLG)”を参照してください。



図VI.3.3.1 マスタモードのSPIクロック

スレーブモードでは、SPI_SCK0端子からSPIクロックを入力します。

注: SPI_SCK0端子から入力するクロックのデューティ比は50%である必要があります。

VI.3.4 データ転送条件の設定

SPI CH.0はマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相をSPI_CTL0レジスタで設定可能です。
データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPI CH.0が停止中(SPEN/SPI_CTL0レジスタ = 0)に行ってください。

∗ **SPEN**: SPI CH.0 Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D0/0x4326)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTL0レジスタ)を使用して、SPI CH.0をマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

∗ **MSSL**: Master/Slave Mode Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D1/0x4326)

SPIクロック極性と位相の設定

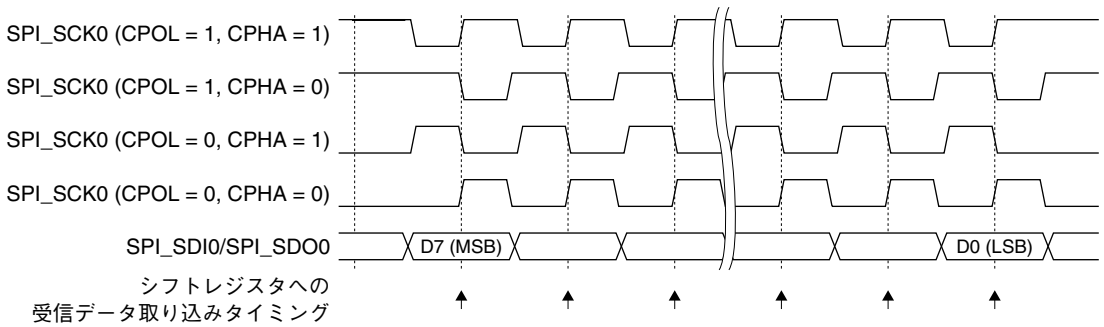
SPIクロックの極性は、CPOL(D2/SPI_CTL0レジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

∗ **CPOL**: Clock Polarity Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D2/0x4326)

SPIクロックの位相はCPHA(D3/SPI_CTL0レジスタ)で選択します。

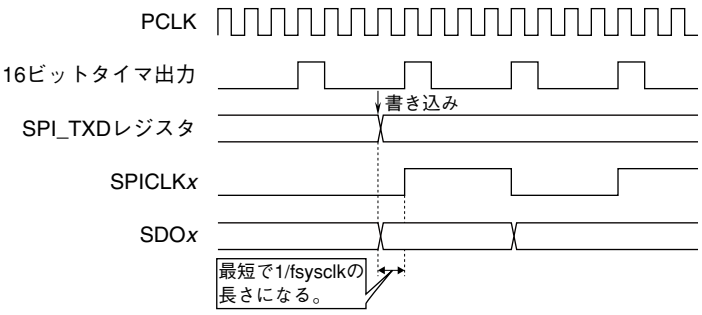
∗ **CPHA**: Clock Phase Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D3/0x4326)

これらの制御ビットにより、転送タイミングは下図のように設定されます。



図VI.3.4.1 クロックとデータ転送タイミング

注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロックの1周期の長さになる場合があります。



図VI.3.4.2 CPHA = 0 時のSDOxおよびSPICLKxの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。

VI.3.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)SPIクロックが出力されるようにCLG_T8Sタイマを設定します。II.4節を参照してください。
(2)マスタモードまたはスレーブモードを選択します。VI.3.4節を参照してください。
(3)クロック条件を設定します。VI.3.4節を参照してください。
(4)SPI CH.0割り込みを使用する場合は、割り込み条件を設定します。VI.3.6節を参照してください。

注: 上記の設定は、必ずSPI CH.0が停止中(SPEN/SPI_CTL0レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.0 Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D0/0x4326)

データ送受信を許可

最初にSPEN(D0/SPI_CTL0レジスタ)を1に設定してSPI CH.0の動作を許可します。これにより、SPI CH.0が送受信可能な状態となり、クロックの入出力も許可されます。

注: SPI CH.0が送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXD0レジスタ(0x4322)に送信データを書き込みます。

* **SPI_TXD0**: SPI CH.0 Transmit Data Register (0x4322)

データは送信データバッファに書き込まれ、SPI CH.0はデータ送信を開始します。
バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPI_SCK0端子からクロックの出力を開始します。スレーブモードではSPI_SCK0端子からのクロック入力を待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTL0レジスタ)とCPOL(D2/SPI_CTL0レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図VI.3.4.1参照)、SPI_SDO0端子からMSBを先頭に送信されます。

* **CPHA**: Clock Phase Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D3/0x4326)
* **CPOL**: Clock Polarity Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D2/0x4326)

SPI CH.0には送信の制御用にSPTBE(D0/SPI_ST0レジスタ)とSPBSY(D2/SPI_ST0レジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D0/0x4320)
* **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.0 Status (SPI_ST0) Register (D2/0x4320)

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXD0レジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(VI.3.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPI CH.0が動作中か待機中かについては、このフラグを読み出して確認してください。
スレーブモードのSPBSYフラグはSPI CH.0スレーブ選択信号(#SPI_SSI0端子)の状態を示します。SPI CH.0がスレーブとして選択されている場合に1となり、非選択状態では0になります。

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXD0レジスタ(0x4322)に書き込みます。SPI_TXD0レジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。
これにより、SPI_SCK0端子からSPIクロック出力を開始します。

スレーブモードの場合は、SPI_SCK0端子からクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD0レジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD0レジスタに書き込んでおきます。

データはMSBを先頭に、CPHA(D3/SPI_CTL0レジスタ)とCPOL(D2/SPI_CTL0レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図VI.3.4.1参照)。
8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXD0レジスタ(0x4324)から読み出すことができます。

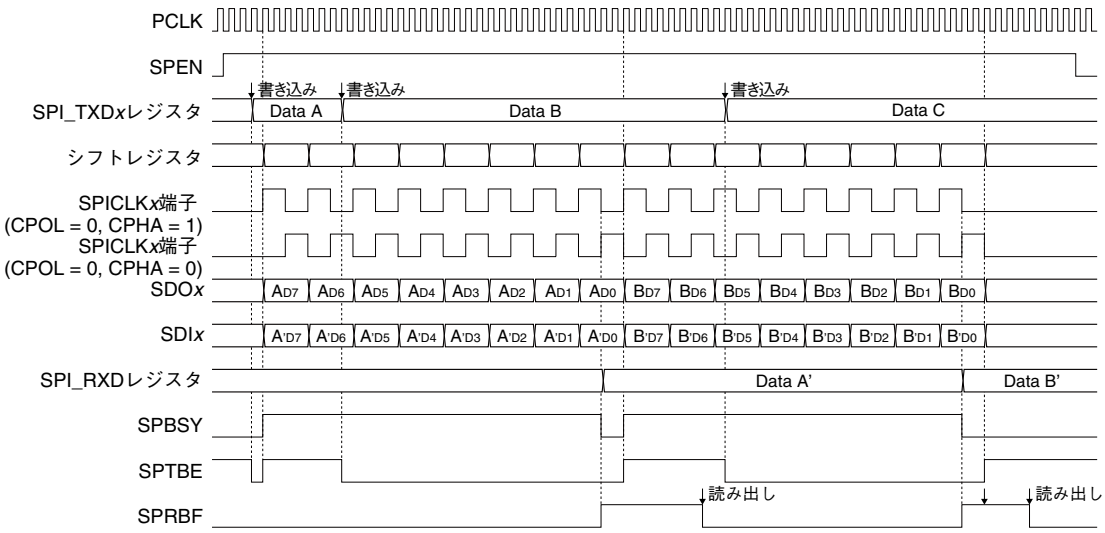
* **SPI_RXD0**: SPI CH.0 Receive Data Register (0x4324)

SPI CH.0には受信の制御用にSPRBFフラグ(D1/SPI_ST0レジスタ)が用意されています。

* **SPRBF**: Receive Data Buffer Full Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D1/0x4320)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD0レジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(VI.3.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。 ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。



図VI.3.5.1 データ送受信タイミングチャート(MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

VI.3.6 SPI CH.0割り込み

SPI CH.0には、以下の2種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み

SPI CH.0は、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTL0レジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI CH.0はSPTBEビット(D0/SPI_ST0レジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI CH.0割り込みが送信バッファエンプティによるものかどうかについては、SPI CH.0割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTL0レジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPRIE**: Receive Data Buffer Full Interrupt Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D5/0x4326)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPI CH.0はSPRBFビット(D1/SPI_ST0レジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPRBF**: Receive Data Buffer Full Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D1/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI CH.0割り込みが受信バッファフルによるものかどうかについては、SPI CH.0割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

SPI CH.0割り込み用ITCレジスタ

ITC内のSPI CH.0用制御ビットを以下に示します。

割り込みフラグ

∗ **IIFT6**: SPI CH.0 Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D14/0x4300)

割り込みイネーブルビット

∗ **IIEN6**: SPI CH.0 Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D14/0x4302)

割り込みレベル設定ビット

∗ **IILV6[2:0]**: SPI CH.0 Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[2:0]/0x4314)

SPI CH.0が割り込み要求パルスを出力すると、割り込みフラグIIFT6が1にセットされます。
割り込みイネーブルビットIIEN6が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SPI CH.0による割り込みを禁止するには、IIEN6を0に設定しておきます。
IIFT6フラグは、IIEN6ビットの設定にかかわらず(0に設定されていても)、SPI CH.0の割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットIILV6[2:0]は、SPI CH.0割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SPI CH.0割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

SPI CH.0割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　18(0x12)
ベクタアドレス: TTBR + 0x48

VI.3.7 制御レジスタ詳細

表VI.3.7.1 SPI CH.0レジスター一覧

アドレス	レジスタ名		機　能
0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定

以下、SPI CH.0のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

• SPI CH.0レジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。

0x4320: SPI CH.0 Status Register (SPI_ST0)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI CH.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15–3	–	reserved	–				–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit

マスタモード

SPI CH.0の送受信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

SPBSYはSPI CH.0がマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPI_SSI0)信号の状態を示します。
1(R): Lowレベル(SPI CH.0が選択状態)
0(R): Highレベル(SPI CH.0は非選択状態)(デフォルト)

SPBSYは、マスタデバイスがSPI CH.0(スレーブデバイス)を選択するために#SPI_SSI0信号をアクティブにすると1にセットされます。マスタデバイスが#SPI_SSI0信号をインアクティブとしてSPI CH.0の選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。
1(R): データフル
0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXD0レジスタ(0x4324)から読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。
1(R): エンプティ(デフォルト)
0(R): データあり

SPTBEはSPI_TXD0レジスタ(送信データバッファ、0x4322)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。
SPI_TXD0レジスタへの送信データの書き込みは、このビットが1の場合に行います。

0x4322: SPI CH.0 Transmit Data Register (SPI_TXD0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI CH.0 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI CH.0 Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)
マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。
このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_ST0レジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。
SPI_SDO0端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。

0x4324: SPI CH.0 Receive Data Register (SPI_RXD0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI CH.0 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved

D[7:0] SPRDB[7:0]: SPI CH.0 Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)
受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/SPI_ST0レジスタ)が1(バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。
このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SPI_SDI0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。

0x4326: SPI CH.0 Control Register (SPI_CTL0)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI CH.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15–6	–	reserved	–				–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W	
		D0	SPEN	SPI CH.0 enable	1	Enable	0	Disable	0	R/W	

D[15:6] Reserved

D5 SPRIE: Receive Data Buffer Full Interrupt Enable Bit

受信データバッファフルによるSPI CH.0割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI CH.0割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。
SPRIEを0に設定すると、受信データバッファフルによるSPI CH.0割り込みは発生しません。

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI CH.0割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI CH.0割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。
SPTIEを0に設定すると、送信データバッファエンプティによるSPI CH.0割り込みは発生しません。

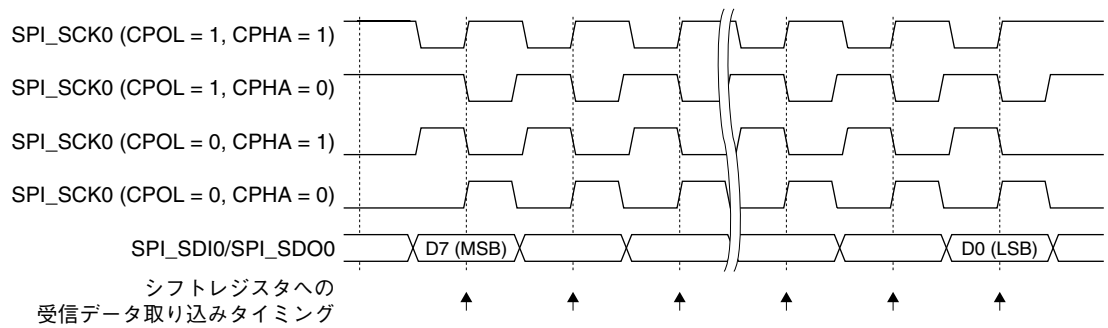
D3 CPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)
CPOL(D2)と共に、データ転送タイミングを設定します(図VI.3.7.1参照)。

D2 CPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。
1(R/W): アクティブLow
0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図VI.3.7.1参照)。



図VI.3.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPI CH.0をマスタモードまたはスレーブモードに設定します。
1(R/W): マスタモード
0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、CLG_T8Sタイマで生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI CH.0 Enable Bit

SPI CH.0の動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPI CH.0が動作を開始し、データ転送が行える状態になります。
SPENを0に設定すると、SPI CH.0は動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

VI.3.8 注意事項

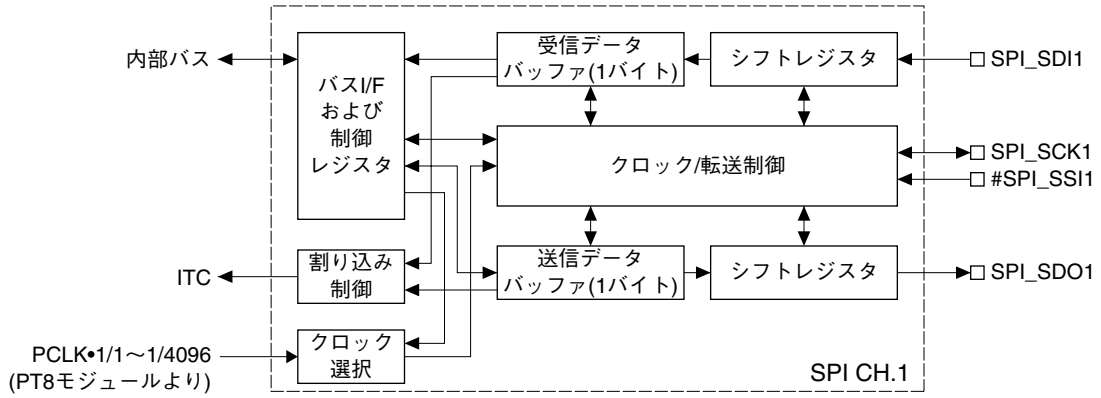
- SPI CH.0レジスタ(0x4320～0x4326)のリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPI CH.0レジスタをリード/ライトすることはできません。
- SPBSYフラグ(D2/SPI_ST0レジスタ)が1の間(データの転送中)は、SPI_CTL0レジスタ(0x4326)にアクセスしないでください。

  * **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.0 Status (SPI_ST0) Register (D2/0x4320)

VI.4 拡張SPI(SPI CH.1)

VI.4.1 SPI CH.1の構成

S1C17501は同期式シリアルインタフェースモジュール(以降SPI CH.1)を内蔵しています。このSPI CH.1はマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。
シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。
図VI.4.1.1にSPI CH.1の構造を示します。



図VI.4.1.1 SPI CH.1の構造

VI.4.2 SPI CH.1入出力端子

表VI.4.2.1にSPI CH.1端子の一覧を示します。

表VI.4.2.1 SPI CH.1端子一覧

端子名	I/O	本数	機　能
SPI_SDI1	I	1	SPI CH.1データ入力端子 SPIバスからシリアルデータを入力します。
SPI_SDO1	O	1	SPI CH.1データ出力端子 シリアルデータをSPIバスに出力します。
SPI_SCK1	I/O	1	SPI CH.1外部クロック入出力端子 SPI CH.1がマスタモードの場合にSPIクロックを出力します。 SPI CH.1をスレーブモードで使用する場合は外部クロックを入力します。
#SPI_SSI1	I	1	SPI CH.1スレーブ選択信号（アクティブLow）入力端子 この端子へのLow入力により、SPI CH.1（スレーブモード）がスレーブデバイスとして選択されます。

SPI CH.1の入出力端子（SPI_SDI1、SPI_SDO1、SPI_SCK1、#SPI_SSI1）は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPI CH.1の入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.4.3 SPI Clock

マスタモードのSPI CH.1は、8ビットプログラマブルタイマ(PT8)モジュール内のプリスケーラが出力する内部クロックをSPIクロックとして使用します。
PT8のSPI CH.1用プリスケーラを動作させるには、以下の制御ビットを1に設定してCMUからPT8とESPI用の動作クロックを両方出力させておく必要があります。

* **PT8_CLK_EN**: 8-bit Programmable Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D1/0x4907)
* **SPI_CLK_EN**: SPI CH.1 Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D5/0x4908)

PT8のプリスケーラはPCLK(システムクロックと同一周波数のクロック)を1/1～1/4096に分周して13種類のクロックを生成します。この中の1つをSPI_CLK[3:0](D[3:0]/SPI_CLK1レジスタ)で選択します。

* **SPI_CLK[3:0]**: SPI CH.1 Clock Division Ratio Selection Bits in the SPI CH.1 Clock Control (SPI_CLK1) Register (D[3:0]/0x5708)

表VI.4.3.1 SPIクロックの選択

SPI_CLK[3:0]	プリスケーラ出力クロック	SPI_CLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	Reserved	0x6	PCLK•1/64
0xd	Reserved	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

選択したクロックはSPI_CKE(D4/SPI_CLK1レジスタ)を1に設定することによりSPI CH.1に入力されます。

* **SPI_CKE**: SPI CH.1 Clock Enable Bit in the SPI CH.1 Clock Control (SPI_CLK1) Register (D4/0x5708)

スレーブモードでは、SPI_SCK1端子からSPIクロックを入力します。内部回路はPCLKクロックに同期して動作するため、入力クロックは微分されPCLKクロックとの同期用に使用されます。

注: SPI_SCK1端子から入力するクロックのデューティ比は50%である必要があります。

VI.4.4 データ転送条件の設定

SPI CH.1はマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相をSPI_CTL1レジスタで設定可能です。
データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPI CH.1が停止中(SPEN/SPI_CTL1レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.1 Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D0/0x5706)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTL1レジスタ)を使用して、SPI CH.1をマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

* **MSSL**: Master/Slave Mode Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D1/0x5706)

SPIクロック極性と位相の設定

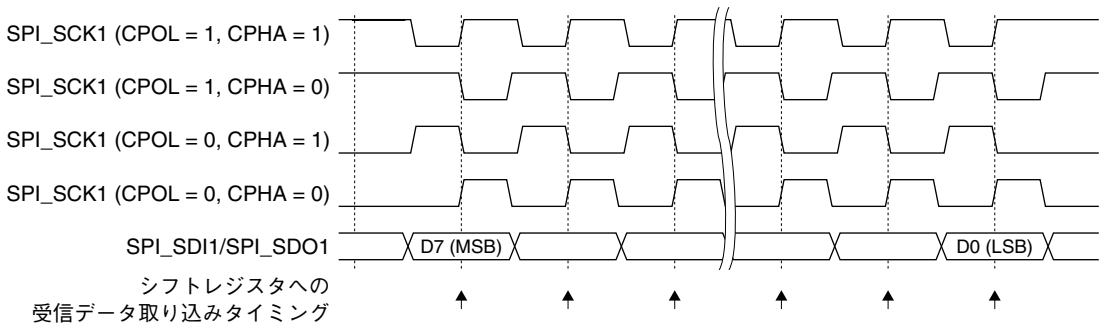
SPIクロックの極性は、CPOL(D2/SPI_CTL1レジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

* **CPOL**: Clock Polarity Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D2/0x5706)

SPIクロックの位相はCPHA(D3/SPI_CTL1レジスタ)で選択します。

* **CPHA**: Clock Phase Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D3/0x5706)

これらの制御ビットにより、転送タイミングは下図のように設定されます。



図VI.4.4.1 クロックとデータ転送タイミング

VI.4.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)SPIクロックが出力されるようにPT8プリスケーラを設定します。VI.4.3節を参照してください。
(2)マスタモードまたはスレーブモードを選択します。VI.4.4節を参照してください。
(3)クロック条件を設定します。VI.4.4節を参照してください。
(4)SPI CH.1割り込みを使用する場合は、割り込み条件を設定します。VI.4.6節を参照してください。

注: 上記の設定は、必ずSPI CH.1が停止中(SPEN/SPI_CTL1レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.1 Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D0/0x5706)

データ送受信を許可

最初にSPEN(D0/SPI_CTL1レジスタ)を1に設定してSPI CH.1の動作を許可します。これにより、SPI CH.1が送受信可能な状態となり、クロックの入出力も許可されます。

注: SPI CH.1が送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXD1レジスタ(0x5702)に送信データを書き込みます。

* **SPI_TXD1**: SPI CH.1 Transmit Data Register (0x5702)

データは送信データバッファに書き込まれ、SPI CH.1はデータ送信を開始します。
バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPI_SCK1端子からクロックの出力を開始します。スレーブモードではSPI_SCK1端子からのクロック入力を待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTL1レジスタ)とCPOL(D2/SPI_CTL1レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図VI.4.4.1参照)、SPI_SDO1端子からMSBを先頭に送信されます。

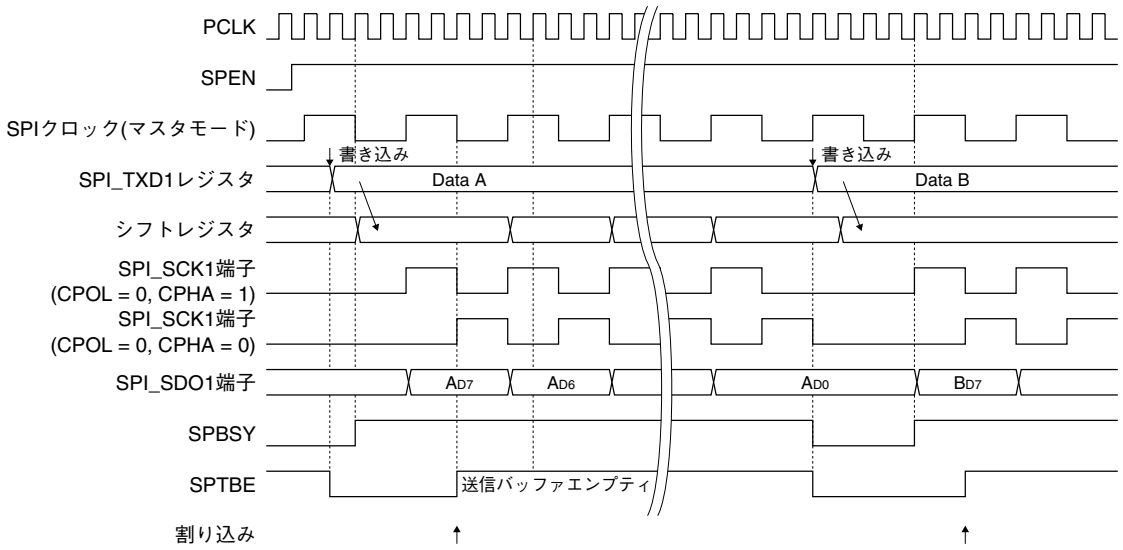
* **CPHA**: Clock Phase Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D3/0x5706)
* **CPOL**: Clock Polarity Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D2/0x5706)

SPI CH.1には送信の制御用にSPTBE(D0/SPI_ST1レジスタ)とSPBSY(D2/SPI_ST1レジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D0/0x5700)
* **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.1 Status (SPI_ST1) Register (D2/0x5700)

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXD1レジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(VI.4.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPI CH.1が動作中か待機中かについては、このフラグを読み出して確認してください。
スレーブモードのSPBSYフラグはSPI CH.1スレーブ選択信号(#SPI_SSI1端子)の状態を示します。SPI CH.1がスレーブとして選択されている場合に1となり、非選択状態では0になります。



図VI.4.5.1 データ送信タイミングチャート

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXD1レジスタ(0x5702)に書き込みます。SPI_TXD1レジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。
これにより、SPI_SCK1端子からSPIクロック出力を開始します。

スレーブモードの場合は、SPI_SCK1端子からクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD1レジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD1レジスタに書き込んでおきます。

データはMSBを先頭に、CPHA(D3/SPI_CTL1レジスタ)とCPOL(D2/SPI_CTL1レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図VI.4.4.1参照)。
8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXD1レジスタ(0x5704)から読み出すことができます。

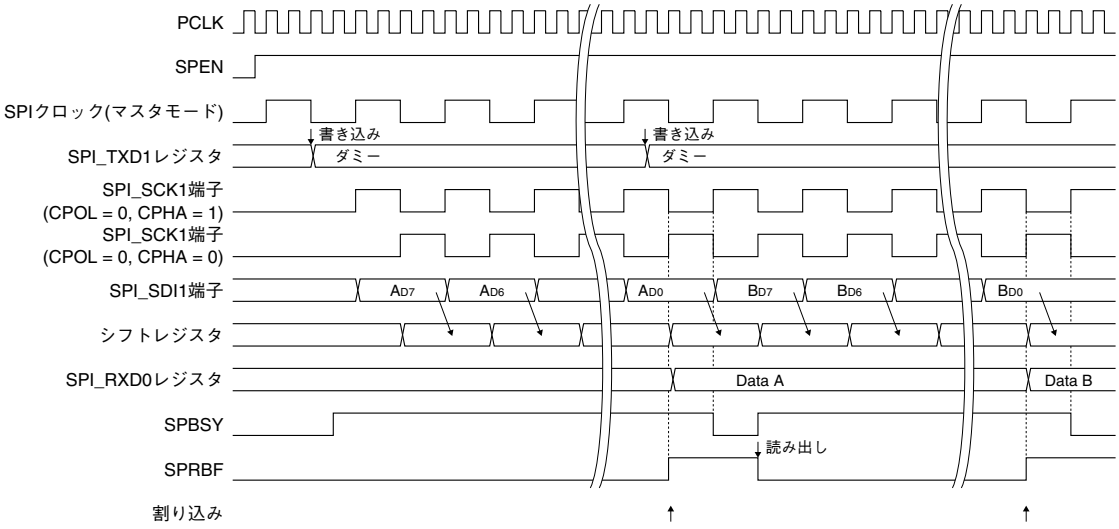
* **SPI_RXD1**: SPI CH.1 Receive Data Register (0x5704)

SPI CH.1には受信の制御用にSPRBFフラグ(D1/SPI_ST1レジスタ)が用意されています。

* **SPRBF**: Receive Data Buffer Full Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D1/0x5700)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD1レジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(VI.4.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。 ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。



図VI.4.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPRBFフラグが0になっていることを確認してください。

SPENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

VI.4.6 SPI CH.1割り込み

SPI CH.1には、以下の2種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み

SPI CH.1は、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTL1レジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D4/0x5706)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI CH.1はSPTBEビット(D0/SPI_ST1レジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D0/0x5700)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI CH.1割り込みが送信バッファエンプティによるものかどうかについては、SPI CH.1割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTL1レジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPRIE**: Receive Data Buffer Full Interrupt Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D5/0x5706)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPI CH.1はSPRBFビット(D1/SPI_ST1レジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPRBF**: Receive Data Buffer Full Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D1/0x5700)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI CH.1割り込みが受信バッファフルによるものかどうかについては、SPI CH.1割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

SPI CH.1割り込み用ITCレジスタ

ITC内のSPI CH.1用制御ビットを以下に示します。

割り込みフラグ

∗ **AIFT10**: SPI CH.1 Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D10/0x42e0)

割り込みイネーブルビット

∗ **AIEN10**: SPI CH.1 Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D10/0x42e2)

割り込みレベル設定ビット

∗ **AILV10[2:0]**: SPI CH.1 Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV5) Register 5 (D[2:0]/0x42f0)

SPI CH.1が割り込み要求パルスを出力すると、割り込みフラグAIFT10が1にセットされます。
割り込みイネーブルビットAIEN10が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SPI CH.1による割り込みを禁止するには、AIEN10を0に設定しておきます。
AIFT10フラグは、AIEN10ビットの設定にかかわらず(0に設定されていても)、SPI CH.1の割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットAILV10[2:0]は、SPI CH.1割り込みのレベル(0～7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SPI CH.1割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

SPI CH.1割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　26(0x1a)
ベクタアドレス: TTBR + 0x68

VI.4.7 制御レジスタ詳細

表VI.4.7.1 SPI CH.1レジスター覧

アドレス	レジスタ名		機　能
0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定

以下、SPI CH.1のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

• SPI CH.1レジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。

0x5700: SPI CH.1 Status Register (SPI_ST1)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI CH.1 Status Register (SPI_ST1)	0x5700 (16 bits)	D15–3	–	reserved	–				–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit

マスタモード

SPI CH.1の送受信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

SPBSYはSPI CH.1がマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPI_SSI1)信号の状態を示します。
1(R): Lowレベル(SPI CH.1が選択状態)
0(R): Highレベル(SPI CH.1は非選択状態)(デフォルト)

SPBSYは、マスタデバイスがSPI CH.1(スレーブデバイス)を選択するために#SPI_SSI1信号をアクティブにすると1にセットされます。マスタデバイスが#SPI_SSI1信号をインアクティブとしてSPI CH.1の選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。
1(R): データフル
0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXD1レジスタ(0x5704)から読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。
1(R): エンプティ(デフォルト)
0(R): データあり

SPTBEはSPI_TXD1レジスタ(送信データバッファ、0x5702)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。
SPI_TXD1レジスタへの送信データの書き込みは、このビットが1の場合に行います。

0x5702: SPI CH.1 Transmit Data Register (SPI_TXD1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Transmit Data Register (SPI_TXD1)	0x5702 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI CH.1 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI CH.1 Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)
マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。
このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_ST1レジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。
SPI_SDO1端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

0x5704: SPI CH.1 Receive Data Register (SPI_RXD1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Receive Data Register (SPI_RXD1)	0x5704 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI CH.1 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved

D[7:0] SPRDB[7:0]: SPI CH.1 Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)
受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/SPI_ST1レジスタ)が1(バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。
このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SPI_SDI1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。

0x5706: SPI CH.1 Control Register (SPI_CTL1)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI CH.1 Control Register (SPI_CTL1)	0x5706 (16 bits)	D15–6	–	reserved	–				–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W	
		D0	SPEN	SPI CH.1 enable	1	Enable	0	Disable	0	R/W	

D[15:6] Reserved

D5 SPRIE: Receive Data Buffer Full Interrupt Enable Bit

受信データバッファフルによるSPI CH.1割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI CH.1割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。
SPRIEを0に設定すると、受信データバッファフルによるSPI CH.1割り込みは発生しません。

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI CH.1割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI CH.1割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。
SPTIEを0に設定すると、送信データバッファエンプティによるSPI CH.1割り込みは発生しません。

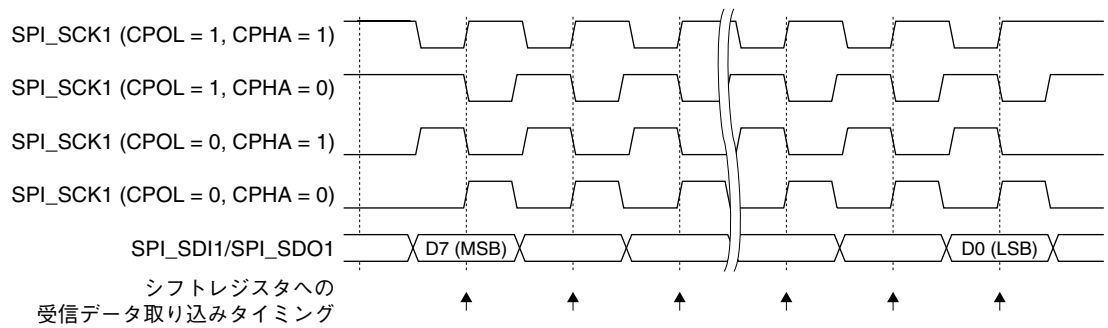
D3 CPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)
CPOL(D2)と共に、データ転送タイミングを設定します(図VI.4.7.1参照)。

D2 CPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。
1(R/W): アクティブLow
0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図VI.4.7.1参照)。



図VI.4.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPI CH.1をマスタモードまたはスレーブモードに設定します。
1(R/W): マスタモード
0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、PT8プリスケーラで生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI CH.1 Enable Bit

SPI CH.1の動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPI CH.1が動作を開始し、データ転送が行える状態になります。
SPENを0に設定すると、SPI CH.1は動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

0x5708: SPI CH.1 Clock Control Register (SPI_CLK1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SPI CH.1 Clock Control Register (SPI_CLK1)	0x5708 (16 bits)	D15–5	–	reserved	–		–	–	0 when being read.
		D4	SPI_CKE	SPI CH.1 clock enable	1 Enable	0 Disable	0	R/W	
		D3–0	SPI_CLK [3:0]	SPI CH.1 clock division ratio selection (Prescaler output clock)	SPI_CLK[3:0]	Clock	0x0	R/W	
					0xf–0xd	reserved			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

D[15:5] Reserved

D4 SPI_CKE: SPI CH.1 Clock Enable Bit

SPI CH.1への、内部生成したSPIクロックの入力を制御します。
1(R/W): 入力
0(R/W): 停止(デフォルト)

SPI CH.1をマスタモードで動作させる前にこのビットに1を書き込みます。

D[3:0] SPI_CLK[3:0]: SPI CH.1 Clock Division Ratio Selection Bits

13種類のPT8プリスケーラ出力クロックから、SPI CH.1に使用するSPIクロックを選択します。

表VI.4.7.2 SPIクロックの選択

SPI_CLK[3:0]	プリスケーラ出力クロック	SPI_CLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	Reserved	0x6	PCLK•1/64
0xd	Reserved	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

VI.4.8 注意事項

- SPI CH.1用の内部SPIクロックを生成するプリスケーラはPT8モジュールに組み込まれています。したがって、SPI CH.1をマスタモードで動作させるには、CMUからPT8とESPI用の動作クロックを両方出力させておく必要があります。
- SPI CH.1レジスタ(0x5700～0x5708)のリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPI CH.1レジスタをリード/ライトすることはできません。
- SPBSYフラグ(D2/SPI_ST1レジスタ)が1の間(データの転送中)は、SPI_CTL1レジスタ(0x5706)にアクセスしないでください。

  * **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.1 Status (SPI_ST1) Register (D2/0x5700)

VI.5 I²S

VI.5.1 I²Sモジュールの概要

S1C17501は、PCMデータをI²S(Inter-IC Sound)フォーマットで入出力する双方向I²Sモジュールを内蔵しています。このI²Sバスにオーディオ DACやADCなどを接続することで、容易にオーディオ入出力回路を構成することができます。
本I²Sモジュールの特長を以下に示します。

出力チャネル(CH.0)

- I²Sマスタデバイスとして動作
- ビットクロック、ワードセレクトクロック、マスタクロックを生成
- 出力PCMデータの解像度を16ビットおよび24ビットから選択可能
- 24バイトの送信用FIFO(24ビット×2チャネル×4)を内蔵
- ステレオ、モノ(左、右)、ミュート出力をソフトウェアで切り換え可能
- FIFOデータエンプティ(ハーフエンプティ、完全エンプティ、または1データエンプティ)により割り込み要求が可能

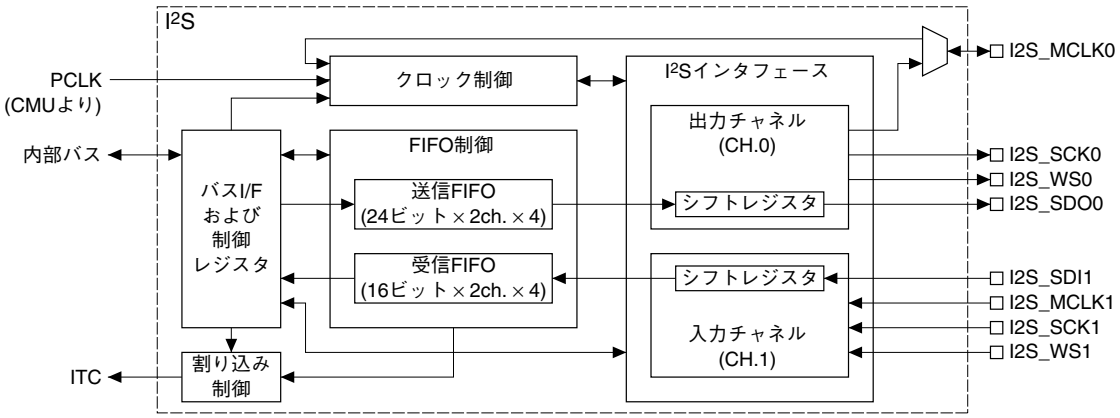
入力チャネル(CH.1)

- I²Sスレーブデバイスとして動作
- 16ビット解像度のPCMデータを入力可能
- 16バイトの受信用FIFO(16ビット×2チャネル×4)を内蔵
- FIFOデータフル(ハーフフル、完全フル、または1データ)により割り込み要求が可能
- 入力クロックとデータを直接出力チャネルに送るバイパスモードをサポート

データ対応

- クロック極性をソフトウェアで設定可能
- データシフト方向(MSB先頭/LSB先頭)をソフトウェアで選択可能
- I²Sモード、左揃えモード、右揃えモードに対応

図VI.5.1.1にI²Sモジュールの構成を示します。



図VI.5.1.1 I²Sモジュールの構成

VI.5.2 I²S入出力端子

表VI.5.2.1にI²S端子の一覧を示します。

表VI.5.2.1 I²S端子一覧

端子名	I/O	本数	機　能
I2S_SDO0	O	1	I²Sデータ出力端子 シリアルPCMデータを出力します。
I2S_WS0	O	1	I²Sワードセレクト(LRCLK)信号出力端子 出力中のデータチャネル(L、R)を示すワードセレクト信号を出力します。
I2S_SCK0	O	1	I²S同期クロック(ビットクロック)出力端子 シリアルデータ転送用の同期クロック(ビットクロック)を出力します。
I2S_MCLK0	I/O	1	I²S出力チャネル用I²Sマスタクロック入出力端子 I²SモジュールがMCLKのソースに内部クロックを使用している場合に、I²Sマスタクロックを出力します。 MCLKのソースに外部クロックを使用する場合は、I²Sマスタクロックをこの端子からI²Sモジュールのクロックジェネレータに入力します。
I2S_SDI1	I	1	I²Sデータ入力端子 シリアルPCMデータを入力します。
I2S_WS1	I	1	I²Sワードセレクト(LRCLK)信号入力端子 入力中のデータチャネル(L、R)を示すワードセレクト信号を入力します。
I2S_SCK1	I	1	I²S同期クロック(ビットクロック)入力端子 シリアルデータ転送用の同期クロック(ビットクロック)を入力します。
I2S_MCLK1	I	1	I²Sマスタクロック入力端子 I²Sマスタクロックを入力します。

I²Sの入出力端子(I2S_SDO0、I2S_SDI1、I2S_WS*x*、I2S_SCK*x*、I2S_MCLK*x*)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Sの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

VI.5.3 I²Sモジュールの動作クロック

I²SモジュールはCMUから供給されるPCLK(= システムクロック)で動作します。
通常動作時およびHALT時は、PCLKが常にI²Sモジュールに供給されます。SLEEPモード時はクロックの供給が停止しますので、I²Sモジュールも動作を停止します。

CH.0の転送クロックはソースクロック(PCLKまたは外部MCLK、ソフトウェアで選択可能)をI²Sモジュール内で分周して生成します。なお、CH.0のクロックは、I2SEN0(D8/I2S_CTL_OUTレジスタ)を1に設定することによって生成されます。I2SEN0を0に設定するとクロックはOffになります。

* **I2SEN0**: I²S Ch.0 Enable Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D8/0x5300)

CH.1の転送クロックは、外部からクロック入力端子に供給します。クロック入力はI2SEN1(D0/I2S_CTL_INレジスタ)を1に設定することによって許可されます。

* **I2SEN1**: I²S CH.1 Enable Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D0/0x5302)

VI.5.4 I²Sモジュールの設定

I²Sバスを介してデータ転送を行うには、転送を開始する前に以下の設定が必要です。
1. 入出力端子の設定
2. I²Sインタフェースクロックの設定
3. 出力データの形式とタイミングの設定
4. 割り込みの設定

以下、各設定内容について説明します。

注: これらの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART0(D0/I2S_STARTレジスタ)/I2SSTART1(D8/I2S_STARTレジスタ)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

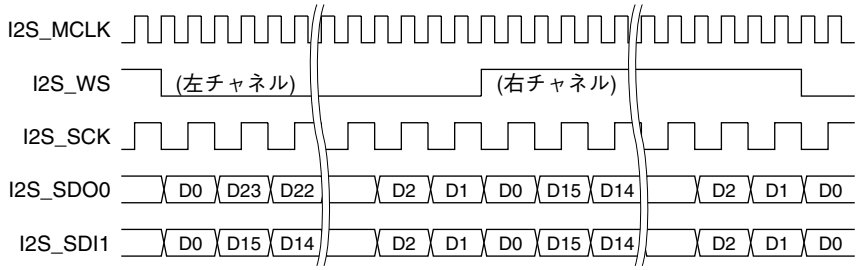
* **I2SSTART0**: I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D0/0x5308)
* **I2SSTART1**: I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D8/0x5308)

入出力端子の設定

I²Sで使用する入出力端子をPort Function Select Registerで選択します。端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

I²Sインタフェースクロックの設定

I²Sモジュールは以下に示す3種類のクロックを入力/出力します。
1. I2S_MCLK(マスタクロック)
2. I2S_SCK(ビットクロック)
3. I2S_WS(ワードセレクトクロック)



図VI.5.4.1 I²Sインタフェースクロック

以下に設定可能なクロック条件と、制御ビットを示します。クロック設定に関しては、"VI.5.10 I²Sクロックの設定"も参照してください。

I2S_MCLK(マスタクロック)のソースクロック

マスタクロック(I2S_MCLK)のソースクロックとして、内部クロック(PCLK)またはI²S CH.0のI2S_MCLK0端子から入力する外部クロックのいずれかをMCLKSEL(D15/I2S_DV_MCLKレジスタ)で選択可能です。

* **MCLKSEL**: I2S_MCLK Source Clock Select Bit in the I²S MCLK Divide Ratio (I2S_DV_MCLK) Register (D15/0x5304)

MCLKSELが0(デフォルト)の場合、I²SモジュールはPCLKを分周してマスタクロック(I2S_MCLK)を生成し、I²S CH.0のI2S_MCLK0端子から出力します。MCLKSELを1に設定すると、I2S_MCLK0端子から入力したクロックがI²Sモジュールのクロック生成回路に直接送られ、ビットクロックとワードセレクトクロックが生成されます。

I2S_MCLK(マスタクロック)の分周比

I2S_MCLKのソースクロックに内部クロックを選択した場合、I²SモジュールはCMUが生成したPCLK(システムクロック)を分周して、I2S_MCLK0端子から出力するI2S_MCLKを生成します。この分周比をMCLKDIV[5:0](D[5:0]/I2S_DV_MCLKレジスタ)で指定します。

* **MCLKDIV[5:0]**: I2S_MCLK Divide Ratio Select Bits in the I²S MCLK Divide Ratio (I2S_DV_MCLK) Register (D[5:0]/0x5304)

表VI.5.4.1 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK•1/64
0x3e	PCLK•1/63
0x3d	PCLK•1/62
:	:
0x2	PCLK•1/3
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

I2S_SCK(ビットクロック)の分周比

I²SモジュールはI2S_MCLK生成用に選択されたソースクロックを分周して、I²S CH.0のI2S_SCK0端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0](D[7:0]/I2S_DV_AUDIO_CLKレジスタ)で指定します。

* **BCLKDIV[7:0]**: I²S CH.0 Bit Clock Divide Ratio Select Bits in the I²S Audio Clock Divide Ratio (I2S_DV_AUDIO_CLK) Register (D[7:0]/0x5306)

表VI.5.4.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック(I2S_SCK0)
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
:	:
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

(SRC_CLK = PCLKまたはI2S_MCLK0入力クロック、デフォルト: 0x0)

I²S CH.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S_SCK0} = \frac{f_{SRC_CLK}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{I2S_SCK0}: I²S CH.0ビットクロック周波数[Hz]
f_{SRC_CLK}: PCLKまたはI2S_MCLK0入力クロック周波数[Hz]
BCLKDIV: BCLKDIV[7:0]設定値(0x0～0xff)

I²S CH.1はI2S_SCK1端子から入力したビットクロックを使用しますので、上記の設定はCH.1には適用されません。

サンプリングクロック(I2S_WS)の周期

I²S CH.0はBCLKDIV[7:0]で設定されたソースクロックをカウントして、I2S_WS0端子から出力するサンプリングクロック(ワードセレクトクロック)を生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[3:0](D[11:8]/I2S_DV_AUDIO_CLKレジスタ)で指定します。
I²S CH.1はサンプリングクロック(ワードセレクトクロック)をI2S_WS1端子から入力します。CH.0と同様に、ビットクロックサイクル数をWSCLKCYC1[3:0](D[15:12]/I2S_DV_AUDIO_CLKレジスタ)に設定してクロック周期を指定します。

* **WSCLKCYC0[3:0]**: I²S CH.0 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (I2S_DV_AUDIO_CLK) Register (D[11:8]/0x5306)
* **WSCLKCYC1[3:0]**: I²S CH.1 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (I2S_DV_AUDIO_CLK) Register (D[15:12]/0x5306)

表VI.5.4.3 サンプリングクロック周期の設定

WSCLKCYC*x*[3:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

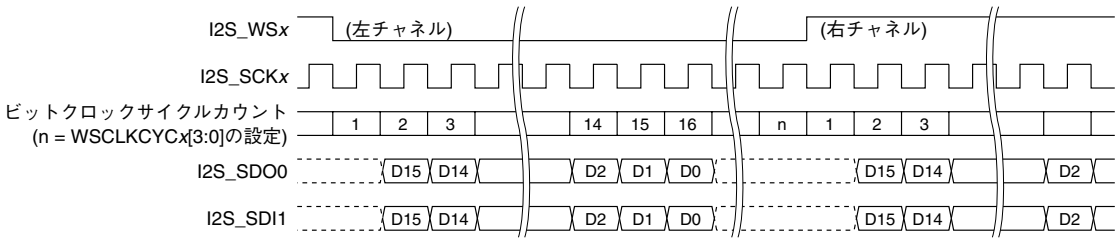
(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$fs = \frac{f_{I2S_SCK}}{n \times 2} [Hz]$$

fs: サンプリングクロック周波数[Hz]
f_{I2S_SCK}: ビットクロック周波数[Hz](CH.0: 表VI.5.4.2参照、CH.1: I2S_SCK1入力クロック周波数)
n: WSCLKCYC*x*[3:0]で選択したビットクロック数(表VI.5.4.3参照)

注: WSCLKCYC*x*[3:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(24または16ビット)と同じか、それより大きい値である必要があります。

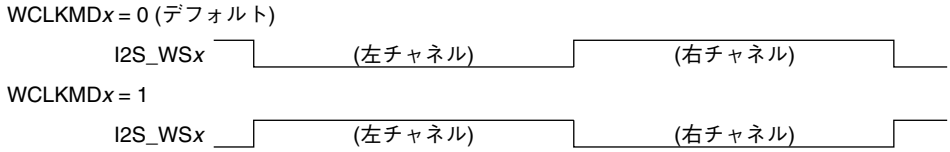


図VI.5.4.2 サンプリングクロック周期

ワードクロックモードの選択

I2S_WS信号はそのレベル(HighまたはLow)で、現在の出力が左チャネルのデータか右チャネルのデータかを示します。このレベルとチャネルの対応を、CH.0はWCLKMD0(D7/I2S_CTL_OUTレジスタ)で、CH.1はWCLKMD1(D5/I2S_CTL_INレジスタ)で設定します。

* **WCLKMD0**: I²S CH.0 Output Word Clock Mode Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D7/0x5300)
* **WCLKMD1**: I²S CH.1 Input Word Clock Mode Select Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D5/0x5302)

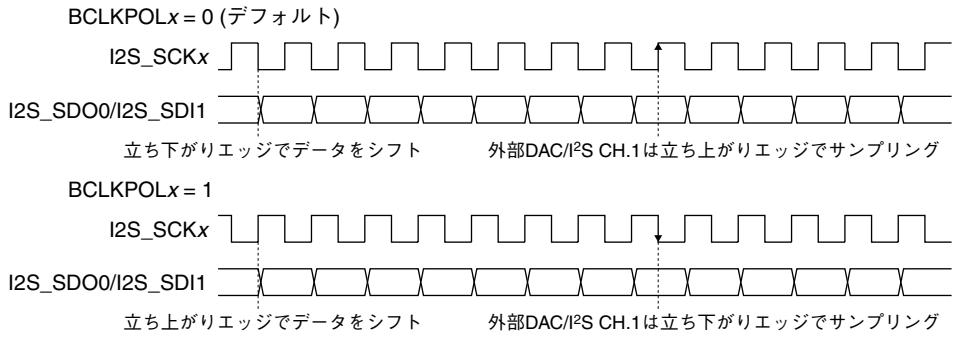


図VI.5.4.3 ワードクロックモードの選択

I2S_SCK（ビットクロック）の極性

ビットクロックの極性をCH.0はBCLKPOL0（D6/I2S_CTL_OUTレジスタ）で、CH.1はBCLKPOL1（D4/I2S_CTL_INレジスタ）で選択します。

* **BCLKPOL0**: I²S CH.0 Output Bit Clock Polarity Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D6/0x5300)
* **BCLKPOL1**: I²S CH.1 Input Bit Clock Polarity Select Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D4/0x5302)



図VI.5.4.4 ビットクロック極性の選択

出力データの形式とタイミングの設定

出力データの解像度

出力データの解像度をDATRES0（D9/I2S_CTL_OUTレジスタ）で16ビットまたは24ビットに設定します。DATRES0が0（デフォルト）の場合は16ビット、1に設定すると24ビットになります。

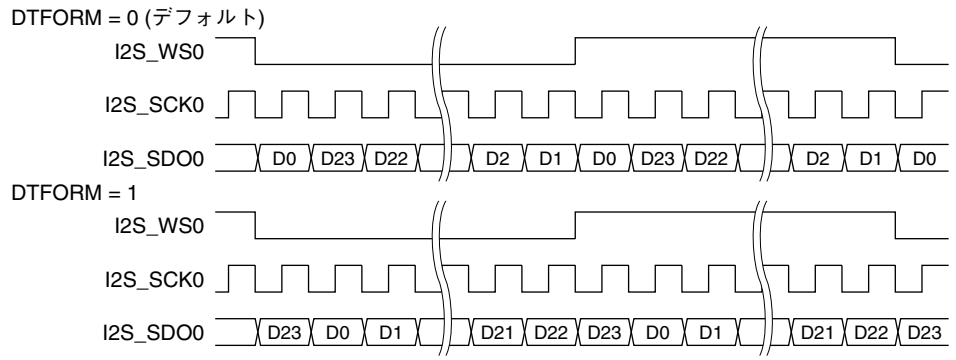
* **DATRES0**: I²S CH.0 Output Data Resolution Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D9/0x5300)

I²S CH.1（入力チャネル）は16ビットの解像度のみに対応しています。

データ形式（MSB先頭/LSB先頭）

データのMSBとLSBのどちらを先に出力するか、DTFORM（D5/I2S_CTL_OUTレジスタ）で選択します。DTFORMが0（デフォルト）の場合はMSB先頭、1に設定するとLSB先頭になります。

* **DTFORM**: I²S CH.0 Output Data Format Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D5/0x5300)



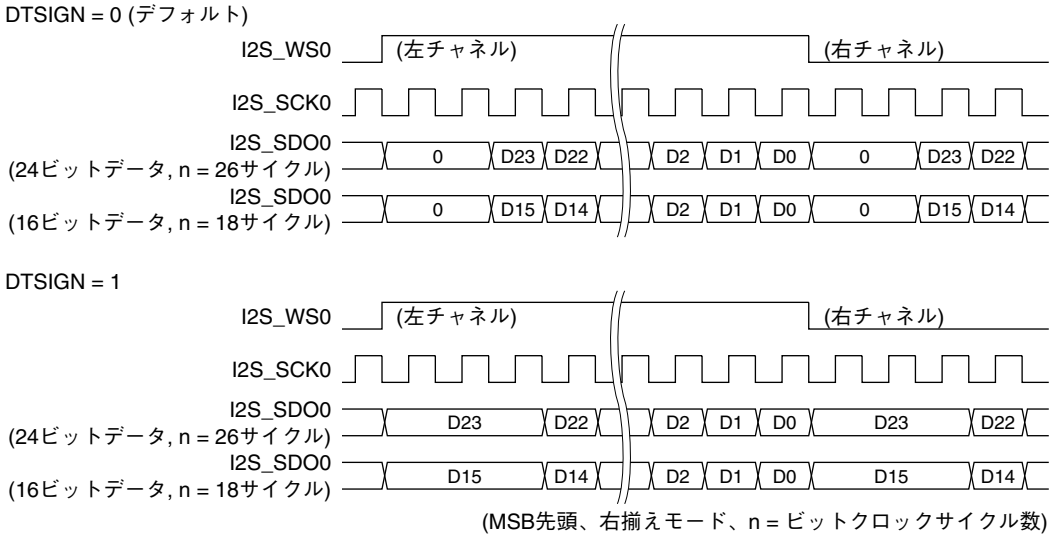
図VI.5.4.5 出力データ形式の選択

符号付き/符号なし形式

データ出力タイミング条件に右揃えモードを選択した場合は、DTSIGN（D10/I2S_CTL_OUTレジスタ）で出力データを符号付きとするか符号なしとするか選択できます。

* **DTSIGN**: I²S CH.0 Signed/Unsigned Data Format Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D10/0x5300)

DTSIGNを0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D23またはD15)に設定されます。



図VI.5.4.6 符号なしと符号付き形式

この設定は右揃えモードにのみ有効です。その他のモードでは、DTSIGNの設定にかかわらず、符号なしデータが出力されます。

データ出力タイミング

データ出力タイミングを、CH.0はDTTMG0[1:0](D[3:2]/I2S_CTL_OUTレジスタ)、CH.1はDTTMG1[1:0] (D[3:2]/I2S_CTL_INレジスタ)を使用して選択します。

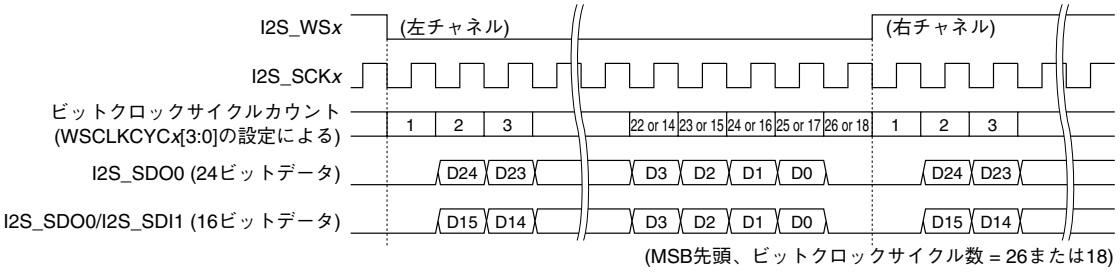
* **DTTMG0[1:0]**: I²S CH.0 Output Data Timing Select Bits in the I²S CH.0 Control (I2S_CTL_OUT) Register (D[3:2]/0x5300)
* **DTTMG1[1:0]**: I²S CH.1 Input Data Timing Select Bits in the I²S CH.1 Control (I2S_CTL_IN) Register (D[3:2]/0x5302)

表VI.5.4.4 データ入出力タイミング

DTTMG*x*[1:0]	データ入出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I²Sモード

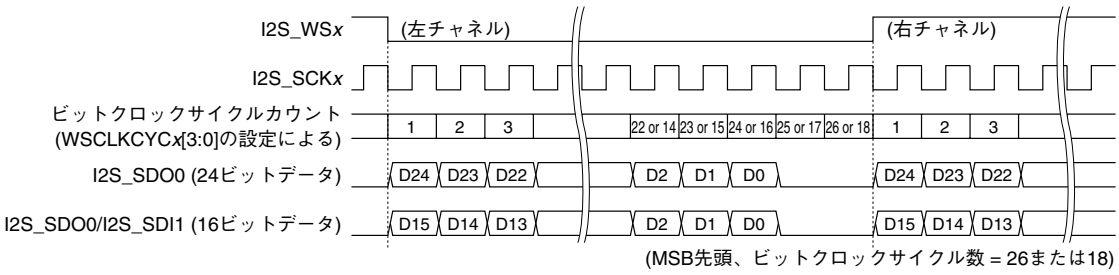
(デフォルト: 0x0)

DTTMG*x*[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。



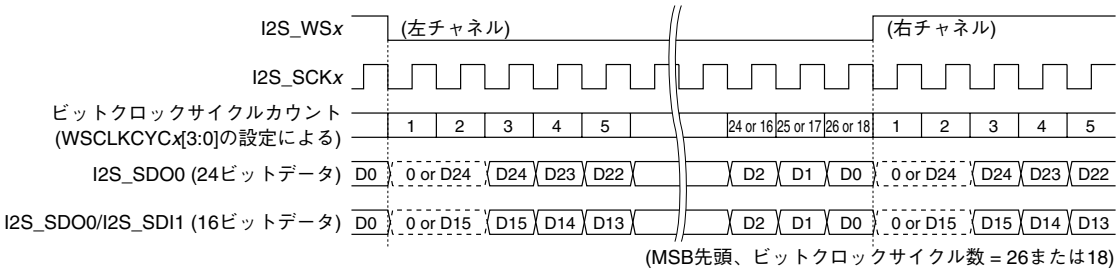
図VI.5.4.7 データ入出力タイミング1(I²Sモード)

DTTMG*x*[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。



図VI.5.4.8 データ入出力タイミング2(左揃えモード)

DTTMG*x*[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。



図VI.5.4.9 データ入出力タイミング3(右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データビットサイズ + 2]以上に設定する必要があります。

I²Sモジュール内の割り込み条件設定

以下に、I²Sモジュールの割り込みモードの設定について説明します。ITC内の設定については、"VI.5.7 I²S割り込み"を参照してください。

I²S出力(CH.0)の割り込みモード

I²S CH.0は4個の送信ステレオデータを格納可能なFIFO(24ビット × 2チャネル(L & R) × 4)を内蔵しています。 I²Sモジュールは、FIFOに書き込まれたデータを出力するために読み出した時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOへのデータの書き込みを要求します。I²S CH.0は、ハーフエンプティ割り込みモード、完全エンプティ割り込みモード、1データエンプティ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。 割り込みモードはI2SINTMD0[1:0](D[3:2]/I2S_INT_MODレジスタ)で選択します。 また、I²S CH.0割り込みをI2SINTEN0(D0/I2S_INT_MODレジスタ)で許可します。

* **I2SINTMD0[1:0]**: I²S CH.0 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D[3:2]/0x530c)
* **I2SINTEN0**: I²S CH.0 Interrupt Enable Bit in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D0/0x530c)

表VI.5.4.5 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

(デフォルト: 0x0)

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット × 2チャネル(L & R) × 4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット × 2チャネル(L & R) × 2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1〜3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット × 2チャネル(L & R) × 1)をFIFOに書き込む必要があります。

I²S入力(CH.1)の割り込みモード

I²S CH.1は4個の受信ステレオデータを格納可能なFIFO(16ビット × 2チャネル(L & R) × 4)を内蔵しています。 I²Sモジュールは、FIFOに受信データが書き込まれた時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOからのデータの読み出しを要求します。I²S CH.1は、ハーフフル割り込みモード、完全フル割り込みモード、1データ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD1[1:0](D[5:4]/I2S_INT_MODレジスタ)で選択します。 また、I2SINTEN1(D1/I2S_INT_MODレジスタ)を1に設定してI²S CH.1割り込みを許可します。

* **I2SINTMD1[1:0]**: I²S CH.1 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D[5:4]/0x530c)
* **I2SINTEN1**: I²S CH.1 Interrupt Enable Bit in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D1/0x530c)

表VI.5.4.6 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

(デフォルト: 0x0)

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(16ビット × 2チャネル(L & R) × 4)をFIFOから読み出す必要があります。

ハーフフル割り込みモード(デフォルト)

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(16ビット × 2チャネル(L & R) × 2)をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(16ビット × 2チャネル(L & R) × 1)をFIFOから読み出す必要があります。

VI.5.5 データ出力の制御(CH.0)

以下、オーディオデータの出力方法を説明します。

1. 前節に示したとおり、I²Sの設定を行います。
2. 前節に示したとおり、割り込み条件の設定を行います。また、ITCレジスタの設定も必要です(後述)。
3. I2SEN0(D8/I2S_CTL_OUTレジスタ)に1を書き込み、I²S CH.0の回路をOnします。
   I²S CH.0はソースクロックの分周を開始します。

   * **I2SEN0**: I²S Ch.0 Enable Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D8/0x5300)

4. 出力チャネルモードをCHMD[1:0](D[1:0]/I2S_CTL_OUTレジスタ)で設定します。

   * **CHMD[1:0]**: I²S CH.0 Output Channel Mode Select Bits in the I²S CH.0 Control (I2S_CTL_OUT) Register (D[1:0]/0x5300)

表VI.5.5.1 出力チャネルモード

CHMD[1:0]	出力チャネルモード	左チャネル	右チャネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

   この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

5. FIFOに最初のオーディオデータを書き込みます。
   FIFOへの出力データの書き込みには、16ビットのレジスタI2S_FIFO_OUT(0x5310)を使用します。データサイズにかかわらず、最大4個のステレオデータ(24または16ビット × 2チャネル(L & R) × 4)をFIFOに書き込むことができます。オーディオデータの出力を開始する前に、最初の4個のステレオデータをFIFOに書き込んでください。
   データサイズが16ビットの場合は、データの書き込みに16ビットメモリライト命令(`ld [%rb],%rs`)を使用してください。16ビットデータの書き込みに、8ビットまたは24ビットメモリライト命令は使用できません。
   データサイズが24ビットの場合は、データの書き込みに24ビットメモリライト命令(`ld.a [%rb],%rs`)を使用してください。この場合、1つのチャネルのデータ書き込みに2つのメモリライトアクセスサイクルが生成されます。24ビットデータの書き込みに、8ビットまたは16ビットメモリライト命令は使用できません。

   最初に左チャネルのデータ、次に右チャネルのデータを書き込みます。出力チャネルモードが"モノラル"の場合でも、左右チャネルのデータのペアを書き込む必要があります。

   4個のステレオデータがFIFOに書き込まれるとFIFOは満杯になり、I2SFIFOFF0フラグ(D1/I2S_FIFO_STATレジスタ)が1にセットされます。この状態で更にI2S_FIFO_OUTへのデータ書き込みを行うと、FIFO内の最新データが上書きされます。

   * **I2SFIFOFF0**: I²S CH.0 FIFO Full Flag Bit in the I²S FIFO Status (I2S_FIFO_STAT) Register (D1/0x530a)

6. I2SOUTEN(D4/I2S_CTL_OUTレジスタ)に1を書き込み、I²S出力を許可します。

   * **I2SOUTEN**: I²S CH.0 Output Enable Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D4/0x5300)

   I2SOUTENが0の場合、I2S_MCLK0、I2S_WS0端子は0に固定されます。I2S_SDO0端子は変化せずに前の状態を保ちます。I2S_SCK端子は0(BCLKPOL0(D6/I2S_CTL_OUTレジスタ) = 0の場合)または1(BCLKPOL0 = 1の場合)に固定されます。
   I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。

   * **BCLKPOL0**: I²S CH.0 Output Bit Clock Polarity Select Bit in the I²S CH.0 Control (I2S_CTL_OUT) Register (D6/0x5300)

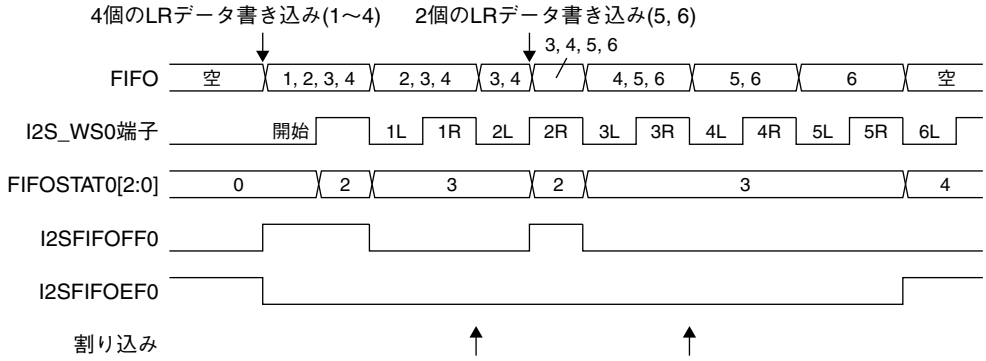
7. I2SSTART0（D0/I2S_STARTレジスタ）に1を書き込み、出力を開始させます。

＊ **I2SSTART0**: I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D0/0x5308)

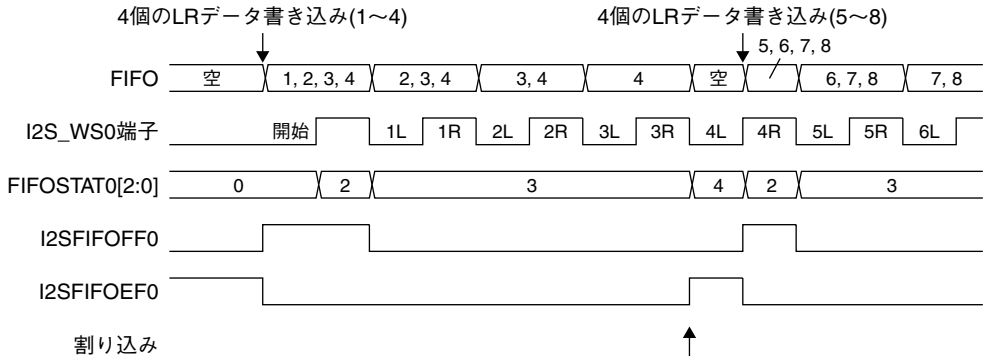
I2SSTART0が0の場合、ビットクロックはLowの状態で停止しています。ワードセレクトクロックは、WCLKMD0 = 0の場合はHigh、WCLKMD0 = 1の場合はLowの状態で停止しています。
I2SSTART0を1に設定すると、FIFOから1個のデータ（L & R）がシフトレジスタにロードされ、I2S_WS信号に同期してシリアル出力を開始します。左チャネルのデータからI2S_SCKクロックのエッジで順次シフトし出力されます。1データ（L & R）の出力が終了すると、次のデータがFIFOから取り出され、同じ動作を繰り返します。

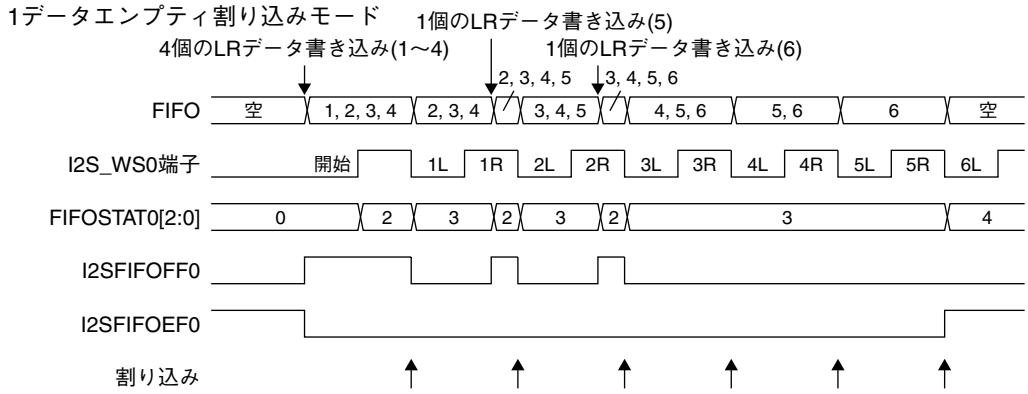
FIFOから割り込みモードに従った数のデータが送信のために読み出されると、割り込みが発生します。
ハーフエンプティ割り込みモード（デフォルト）では、FIFOから2個のステレオデータが読み出されると割り込みが発生しますので、続く2個のステレオデータ（24または16ビット × 2チャネル（L & R）× 2）をFIFOに書き込みます。
完全エンプティ割り込みモード（デフォルト）では、FIFOから全データ（4個のステレオデータ）が読み出されると割り込みが発生しますので、続く4個のステレオデータ（24または16ビット × 2チャネル（L & R）× 4）をFIFOに書き込みます。
1データエンプティ割り込みモードでは、FIFOから1個のステレオデータが読み出されると割り込みが発生しますので、続く1個のステレオデータ（24または16ビット × 2チャネル（L & R）× 1）をFIFOに書き込みます。

ハーフエンプティ割り込みモード



完全エンプティ割り込みモード





図VI.5.5.1 FIFOデータと割り込み

FIFOが空になると、I2SFIFOEF0(D0/I2S_FIFO_STATレジスタ)が1にセットされます。

* **I2SFIFOEF0**: I²S CH.0 FIFO Empty Flag Bit in the I²S FIFO Status (I2S_FIFO_STAT) Register (D0/0x530a)

FIFOにデータが書き込まれると、I2SFIFOEF0は0にリセットされ、出力も継続します。

また、I²S CH.0にはFIFOの状態を表すステータスビットFIFOSTAT0[2:0](D[4:2]/I2S_FIFO_STATレジスタ)が用意されています。

* **FIFOSTAT0[2:0]**: I²S CH.0 FIFO State Machine Bits in the I²S FIFO Status (I2S_FIFO_STAT) Register (D[4:2]/0x530a)

表VI.5.5.2 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7～0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

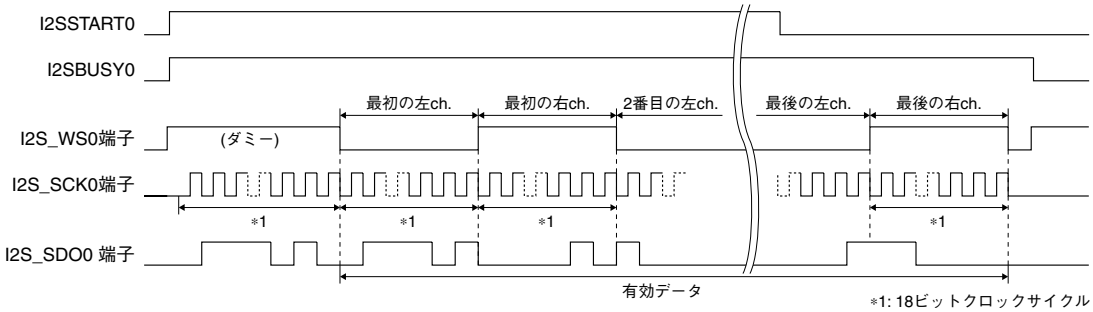
(デフォルト: 0x0)

データ出力中はI2SBUSY0(D7/I2S_STARTレジスタ)が1にセットされますので、このフラグの読み出しにより、出力状態を確認することができます。

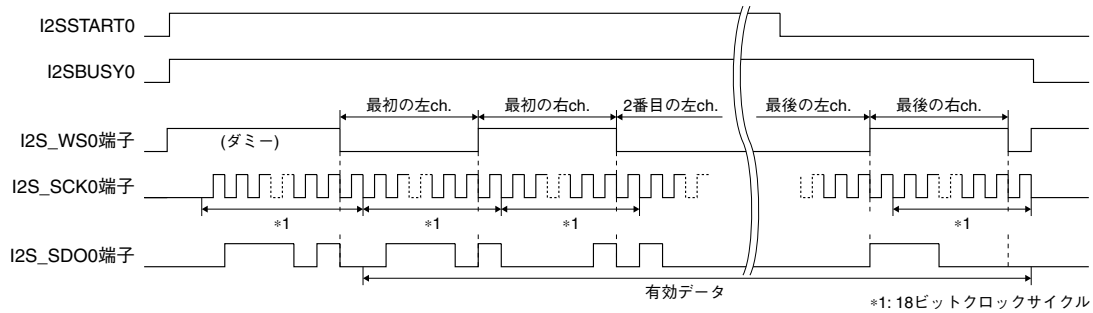
* **I2SBUSY0**: I²S CH.0 Busy Flag Bit in the I²S Start/Stop (I2S_START) Register (D7/0x5308)

8. 出力をソフトウェアで停止させるには、I2SSTART0(D0/I2S_STARTレジスタ)に0を書き込みます。I2SSTART0を0に設定すると、I²SモジュールはFIFO内の残りのデータをすべて出力後に停止します。I²Sモジュールが停止すると、I2SBUSY0が0にリセットされます。
9. 出力を禁止するには、I2SSTART0(D0/I2S_STARTレジスタ)に0を書き込んで現在の出力を停止させた後に、I2SOUTEN(D4/I2S_CTL_OUTレジスタ)に0を書き込みます。最後にI2SEN0(D8/I2S_CTL_OUTレジスタ)に0を書き込んでI²S CH.0回路をOffします。出力禁止の設定とI²S CH.0回路のOffは同時に行えます。

左揃えまたは右揃えモード時



I²Sモード時



条件: DATRES0 = 0(16ビットデータ)、CHMD[1:0] = 0x0(ステレオ)、WCLKMD0 = 0(左ch. = Low)、
BCLKPOL0 = 0(立ち上がりエッジ)、WSCLKCYC0[3:0] = 0x2(18クロック)

図VI.5.5.2 データ出力タイミングチャート

* ミュートまたはモノラルモード選択時の出力

CHMD[1:0](D[1:0]/I2S_CTL_OUTレジスタ)でミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO0端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャネルの出力期間はI2S_SDO0端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、FIFOエンプティによる割り込みも発生します。

出力中にCHMD[1:0]を変更した場合は、現在のL&Rデータの出力を終了後にモードが切り換わります。

VI.5.6 データ入力の制御(CH.1)

以下、オーディオデータの入力方法を説明します。

1. VI.5.4節に示したとおり、I²Sの設定を行います。
2. VI.5.4節に示したとおり、割り込み条件の設定を行います。また、ITCレジスタの設定も必要です(後述)。
3. I2SEN1(D0/I2S_CTL_INレジスタ)に1を書き込み、I²S CH.1の回路をOnします。

   * **I2SEN1**: I²S CH.1 Enable Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D0/0x5302)

4. I2SSTART1(D8/I2S_STARTレジスタ)に1を書き込み、受信を開始させます。
   これにより、I2S_WS1とI2S_SCK1端子からのクロック入力が許可されます。

   * **I2SSTART1**: I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D8/0x5308)

   I²S CH.1は、I2S_WS1入力クロックがWCLKMD1(D5/I2S_CTL_INレジスタ)で設定された左チャネルのレベルになる、最初の立ち下がりまたは立ち上がりエッジでデータの受信を開始します。

   * **WCLKMD1**: I²S CH.1 Input Word Clock Mode Select Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D5/0x5302)

   データビットは、BCLKPOL1(D4/I2S_CTL_INレジスタ)で指定されたI2S_SCK1入力クロックの立ち上がりまたは立ち下がりエッジで受信用シフトレジスタに取り込まれます。

   * **BCLKPOL1**: I²S CH.1 Input Bit Clock Polarity Select Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D4/0x5302)

   シフトレジスタに32ビットのデータが取り込まれると、その受信データは最初に受信した16ビットを左チャネルデータ、続く16ビットを右チャネルデータとして受信用FIFOにロードされます。FIFOには最大4個のステレオデータ(16ビット×2チャネル(L & R)×4)を格納可能です。

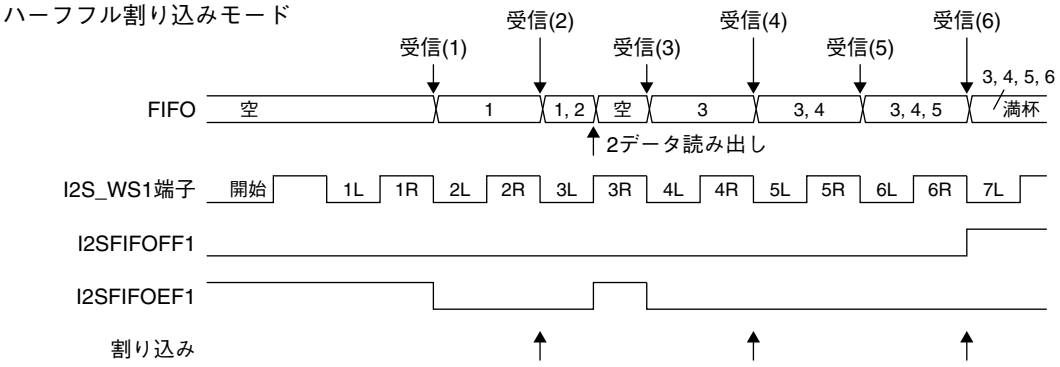
   割り込みモードに従った数のデータがFIFOにロードされると、割り込みが発生します。
   ハーフフル割り込みモード(デフォルト)では、2個のステレオデータをFIFOに受信すると、割り込みが発生します。この場合は、2個のステレオデータ(16ビット×2チャネル(L & R)×2)をFIFOから読み出します。
   完全フル割り込みモードでは、4個のステレオデータをFIFOに受信すると(FIFOが満杯になると)、割り込みが発生します。この場合は、4個のステレオデータ(16ビット×2チャネル(L & R)×4)をFIFOから読み出します。
   1データ割り込みモードでは、1個のステレオデータをFIFOに受信すると、割り込みが発生します。この場合は、1個のステレオデータ(16ビット×2チャネル(L & R)×1)をFIFOから読み出します。

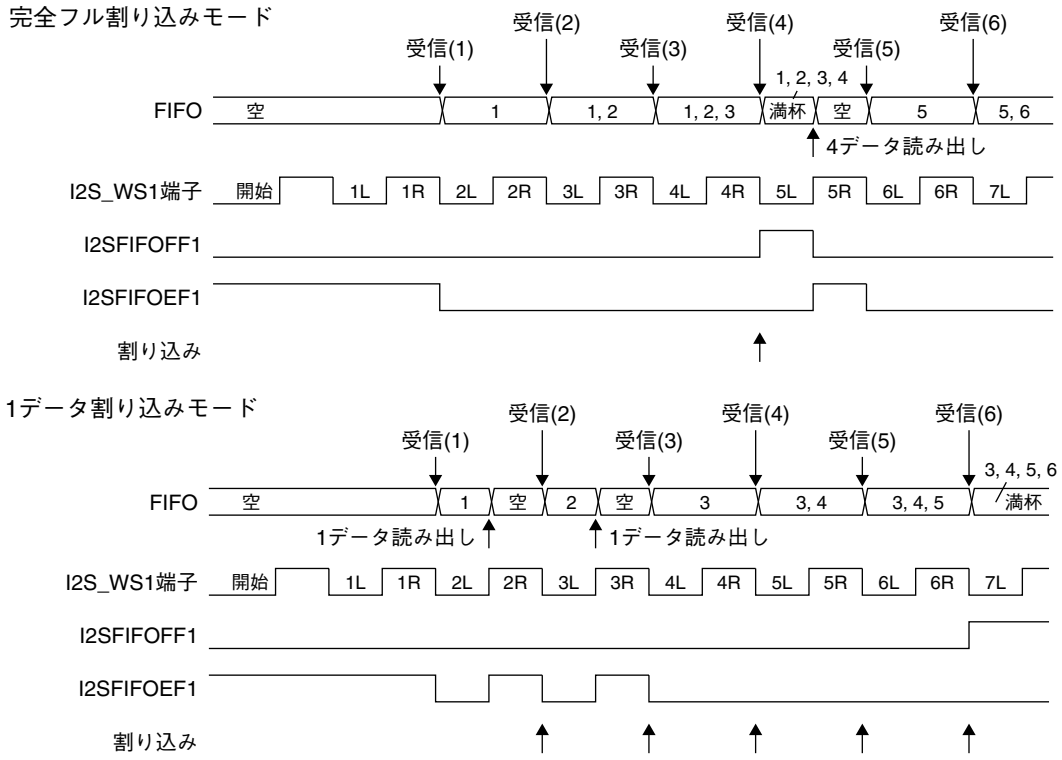
   FIFOが満杯になると、I2SFIFOFF1フラグ(D9/I2S_FIFO_STATレジスタ)が1にセットされます。これより1ワードクロックサイクル以内にFIFOを読み出さないと、FIFO内の最新のステレオデータが次の受信データで上書きされます。

   * **I2SFIFOFF1**: I²S CH.1 FIFO Full Flag Bit in the I²S FIFO Status (I2S_FIFO_STAT) Register (D9/0x530a)

   FIFOからデータが読み出されると、I2SFIFOFF1は0にリセットされます。

ハーフフル割り込みモード





図VI.5.6.1 FIFOデータと割り込み

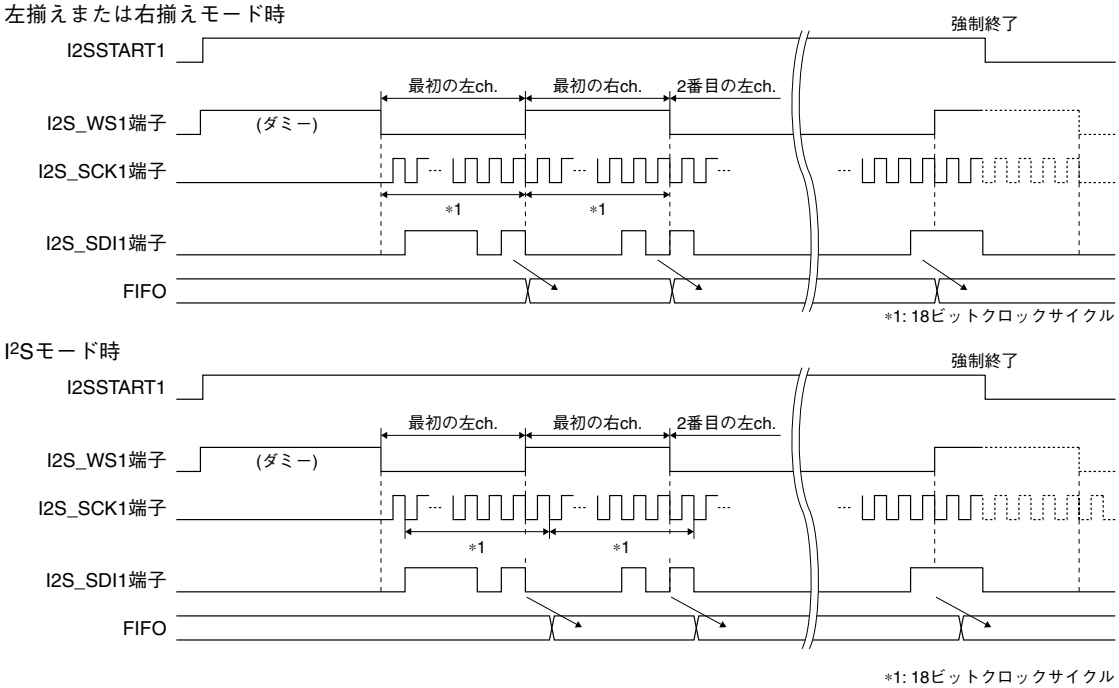
5. 受信したオーディオデータをFIFOから読み出します。
   上記の割り込みを利用して、受信データをI2S_FIFO_INレジスタ(0x5314)から読み出します。
   FIFOからのデータの読み出しには16ビットメモリリード命令(`ld %rd,[%rb]`)を使用してください。
   8ビットまたは24ビットメモリリード命令は使用できません。
   左右チャネルのデータをペアとして読み出してください。最初の読み出しは左チャネルのデータ、次の読み出しは右チャネルのデータです。

   読み出しによりFIFOが空になると、I2SFIFOEF1(D8/I2S_FIFO_STATレジスタ)が1にセットされます。

   * **I2SFIFOEF1**: I²S CH.1 FIFO Empty Flag Bit in the I²S FIFO Status (I2S_FIFO_STAT) Register (D8/0x530a)

6. 入力を中止させるには、I2SSTART1(D8/I2S_STARTレジスタ)に0を書き込みます。
   I2SSTART1を0に設定すると、I²Sモジュールはデータ入力を即時に停止します。これ以降、外部I²Sデバイスから送られるデータは無視されます。

7. 最後にI2SEN1(D0/I2S_CTL_INレジスタ)に0を書き込んでI²S CH.1回路をOffします。



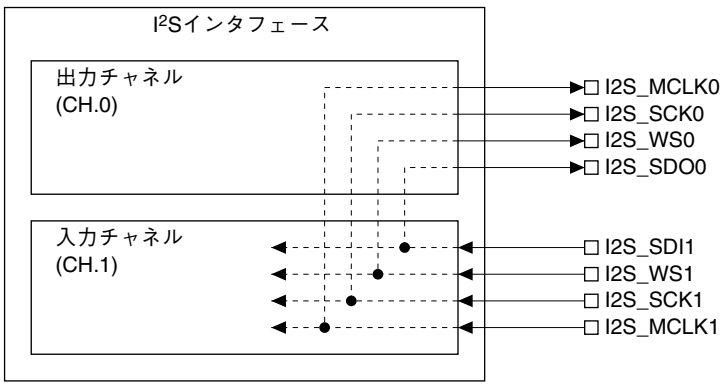
条件: WCLKMD1 = 0(左ch. = Low)、BCLKPOL1 = 0(立ち上がりエッジ)、WSCLKCYC1[3:0] = 0x2(18クロック)

図VI.5.6.2 データ入力タイミングチャート

I²Sバイパスモード

I²Sモジュールにはバイパスモードが用意されています。このモードでは、I2S_MCLK1、I2S_SCK1、I2S_WS1、およびI2S_SDI1端子から入力した各信号が、そのままI2S_MCLK0、I2S_SCK0、I2S_WS0、およびI2S_SDO0端子から出力されます。I²Sモジュールをバイパスモードにするには、I2SBYPASS(D1/I2S_CTL_INレジスタ)を1に設定します。I2SBYPASSが0(デフォルト)の場合、I²S CH.0とI²S CH.1はそれぞれ個別に使用可能です。

* **I2SBYPASS**: I²S Bypass Mode Select Bit in the I²S CH.1 Control (I2S_CTL_IN) Register (D1/0x5302)



図VI.5.6.3 バイパスモード

VI.5.7 I²S割り込み

I²Sモジュールには、以下の2種類の割り込みを発生させる機能があります。
• I²S FIFOエンプティ割り込み(CH.0)
• I²S FIFOフル割り込み(CH.1)

I²S FIFOエンプティ割り込み(CH.0)

I²S CH.0は4個の送信ステレオデータを格納可能なFIFO(24ビット × 2チャネル(L & R) × 4)を内蔵しています。 I²Sモジュールは、FIFOに書き込まれたデータを出力するために読み出した時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOへのデータの書き込みを要求します。I²S CH.0は、ハーフエンプティ割り込みモード、完全エンプティ割り込みモード、1データエンプティ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。 割り込みモードはI2SINTMD0[1:0](D[3:2]/I2S_INT_MODレジスタ)で選択します。 また、I²S FIFOエンプティ割り込みはI2SINTEN0(D0/I2S_INT_MODレジスタ)を1に設定することにより許可されます。

* **I2SINTMD0[1:0]**: I²S CH.0 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D[3:2]/0x530c)
* **I2SINTEN0**: I²S CH.0 Interrupt Enable Bit in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D0/0x530c)

表VI.5.7.1 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

(デフォルト: 0x0)

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット × 2チャネル(L & R) × 4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット × 2チャネル(L & R) × 2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1〜3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット × 2チャネル(L & R) × 1)をFIFOに書き込む必要があります。

注: I²S CH.0からの転送開始時は(I2SSTART0を1に設定して出力を開始するときは)、割り込みモード(I2SINTMD0[1:0])にかかわらず、FIFOに4個のステレオデータ(24または16ビット×2チャネル(L & R)×4)を書き込んでください。

- 割り込みを許可する前にFIFOに書き込む場合
  FIFOに4個のステレオデータを書き込み後、割り込みを許可します。FIFOエンプティ割り込みが発生した場合は設定した割り込みモードに合わせ、割り込み処理ルーチン内で1個、2個または4個のステレオデータをFIFOに書き込みます。
- 割り込みを許可した後にFIFOに書き込む場合
  先に割り込みを許可し、割り込み処理ルーチン内でFIFOにデータを書き込むこともできます。ただし、最初の割り込み処理ルーチンの実行時は、FIFOに4個のステレオデータを書き込む必要があります。それ以降の割り込み処理ルーチンの実行時は、設定した割り込みモードに合わせ、1個、2個または4個のステレオデータをFIFOに書き込みます。

I²S FIFOフル割り込み(CH.1)

I²S CH.1は4個の受信ステレオデータを格納可能なFIFO(16ビット×2チャネル(L & R)×4)を内蔵しています。 I²Sモジュールは、FIFOに受信データが書き込まれた時点で、割り込みを発生することができます。この割り込みにより、I²Sモジュールはアプリケーションプログラムに対してFIFOからのデータの読み出しを要求します。I²S CH.1は、ハーフフル割り込みモード、完全フル割り込みモード、1データ割り込みモードの、それぞれ割り込みタイミングの異なる3つの割り込みモードを持っています。割り込みモードはI2SINTMD1[1:0](D[5:4]/I2S_INT_MODレジスタ)で選択します。また、I²S FIFOフル割り込みはI2SINTEN1(D1/I2S_INT_MODレジスタ)を1に設定することにより許可されます。

* **I2SINTMD1[1:0]**: I²S CH.1 Interrupt Mode Select Bits in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D[5:4]/0x530c)
* **I2SINTEN1**: I²S CH.1 Interrupt Enable Bit in the I²S Interrupt Mode Select (I2S_INT_MOD) Register (D1/0x530c)

表VI.5.7.2 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

(デフォルト: 0x0)

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(16ビット×2チャネル(L & R)×4)をFIFOから読み出す必要があります。

ハーフフル割り込みモード(デフォルト)

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(16ビット×2チャネル(L & R)×2)をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1〜3個の受信データが格納されています(FIFOの状態はステータスビットで確認できます)。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(16ビット×2チャネル(L & R)×1)をFIFOから読み出す必要があります。

I²S割り込み用ITCレジスタ

表VI.5.7.3に、各I²S割り込み用のITC制御レジスタを示します。

表VI.5.7.3 ITCレジスタ

割り込み要因	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
I²S FIFOエンプティ	AIFT12(D12/ITC_AIFLG)	AIEN12(D12/ITC_AEN)	AILV12[2:0](D[2:0]/ITC_AILV6)
I²S FIFOフル	AIFT13(D13/ITC_AIFLG)	AIEN13(D13/ITC_AEN)	AILV13[2:0](D[10:8]/ITC_AILV6)

ITC_AIFLGレジスタ(0x42e0)
ITC_AENレジスタ(0x42e2)
ITC_AILV6レジスタ(0x42f2)

I²Sモジュールが割り込み信号を出力すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。I²Sによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み信号によって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、I²S FIFOエンプティ割り込みの優先順位が高く、I²S FIFOフル割り込みが低い順位となります。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²S割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

I²S割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表VI.5.7.4 I²S割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
I²S FIFOエンプティ	28 (0x1c)	TTBR + 0x70
I²S FIFOフル	29 (0x1d)	TTBR + 0x74

VI.5.8 制御レジスタ詳細

表VI.5.8.1 I²Sレジスター覧

アドレス	レジスタ名		機　能
0x5300	I2S_CTL_OUT	I²S CH.0 Control Register	出力条件の設定
0x5302	I2S_CTL_IN	I²S CH.1 Control Register	入力条件の設定
0x5304	I2S_DV_MCLK	I²S MCLK Divide Ratio Register	MCLKの設定
0x5306	I2S_DV_AUDIO_CLK	I²S Audio Clock Divide Ratio Register	オーディオクロックの設定
0x5308	I2S_START	I²S Start/Stop Register	I²S動作状態の制御と表示
0x530a	I2S_FIFO_STAT	I²S FIFO Status Register	FIFOステータスの表示
0x530c	I2S_INT_MOD	I²S Interrupt Mode Select Register	I²S割り込み条件の設定
0x5310	I2S_FIFO_OUT	I²S CH.0 FIFO Register	L/Rチャネル出力データ (16または24ビットアクセス)
0x5314	I2S_FIFO_IN	I²S CH.1 FIFO Register	L/Rチャネル入力データ(16ビットアクセス)

以下、I²Sのレジスタを個々に説明します。これらはアドレス0x5310を除き、すべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5300: I²S CH.0 Control Register (I2S_CTL_OUT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
I²S CH.0 Control Register (I2S_CTL_OUT)	0x5300 (16 bits)	D15–11	–	reserved	–				–	–	0 when being read.
		D10	DTSIGN	I²S CH.0 signed/unsigned data format select	1	Signed	0	Unsigned	0	R/W	
		D9	DATRES0	I²S CH.0 output data resolution select	1	24 bits	0	16 bits	0	R/W	
		D8	I2SEN0	I²S CH.0 enable	1	Enable	0	Disable	0	R/W	
		D7	WCLKMD0	I²S CH.0 output word clock mode select	1	L: high R: low	0	L: low R: high	0	R/W	
		D6	BCLKPOL0	I²S CH.0 output bit clock polarity select	1	Negative	0	Positive	0	R/W	
		D5	DTFORM	I²S CH.0 output data format select	1	LSB first	0	MSB first	0	R/W	
		D4	I2SOUTEN	I²S CH.0 output enable	1	Enable	0	Disable	0	R/W	
		D3–2	DTTMG0 [1:0]	I²S CH.0 output data timing select	DTTMG0[1:0]	Timing mode			0x0	R/W	
					0x3	reserved					
					0x2	Right justified					
					0x1	Left justified					
					0x0	I²S					
		D1–0	CHMD[1:0]	I²S CH.0 output channel mode select	CHMD[1:0]	Channel mode			0x0	R/W	
					0x3	Mute					
					0x2	Mono left					
					0x1	Mono right					
					0x0	Stereo					

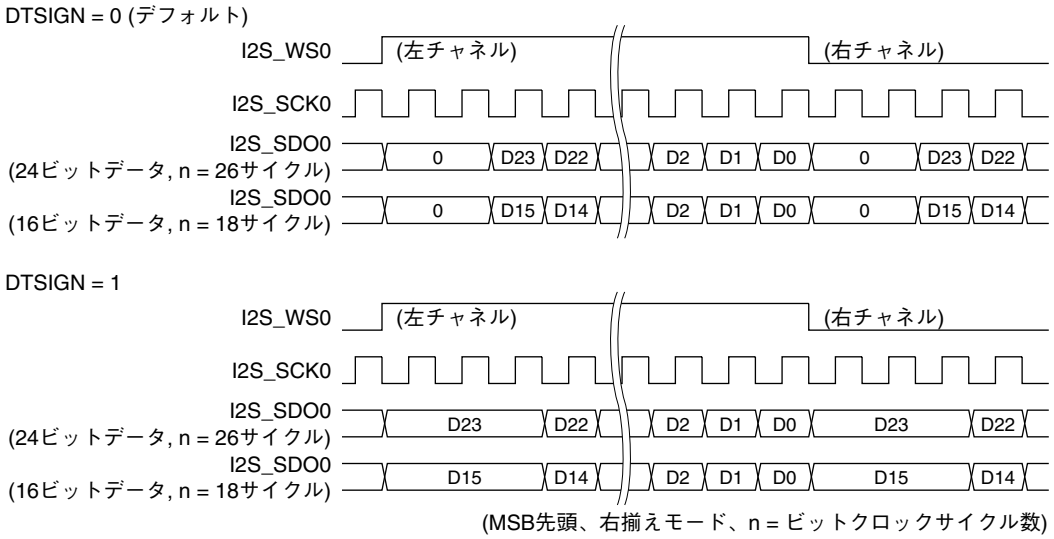
注: I2SSTART0（D0/I2S_STARTレジスタ）を設定してI²S CH.0からのデータ出力を開始する前に、本レジスタによりすべてのデータ転送条件を設定してください。

D[15:11] Reserved

D10 DTSIGN: I²S CH.0 Signed/Unsigned Data Format Select Bit

右揃えモード時のデータ形式を選択します。
1（R/W）: 符号付き
0（R/W）: 符号なし（デフォルト）

DTSIGNを0（デフォルト）に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット（D23またはD15）に設定されます。
この設定は右揃えモードにのみ有効です。その他のモードでは、DTSIGNの設定にかかわらず、符号なしデータが出力されます。



図VI.5.8.1 符号なしと符号付き形式

D9 DATRES0: I²S CH.0 Output Data Resolution Select Bit

I²S CH.0から出力するオーディオデータの解像度を選択します。
1(R/W): 24ビット
0(R/W): 16ビット(デフォルト)

DATRES0が0(デフォルト)の場合は16ビット、1に設定すると24ビットになります。
I²S CH.1(入力チャネル)は16ビットの解像度のみに対応しています。

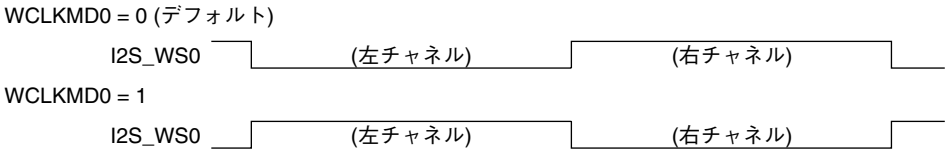
D8 I2SEN0: I²S CH.0 Enable Bit

I²S CH.0の動作を許可/禁止します。
1(R/W): 許可(On)
0(R/W): 禁止(Off)(デフォルト)

I2SEN0を1に設定するとI²S CH.0が動作を開始し、データ転送が行える状態になります。
I2SEN0を0に設定すると、I²S CH.0は動作を停止します。

D7 WCLKMD0: I²S CH.0 Output Word Clock Mode Select Bit

I2S_WS信号のレベルとチャネルの対応を設定します。
1(R/W): High = 左チャネル、Low = 右チャネル
0(R/W): High = 右チャネル、Low = 左チャネル(デフォルト)

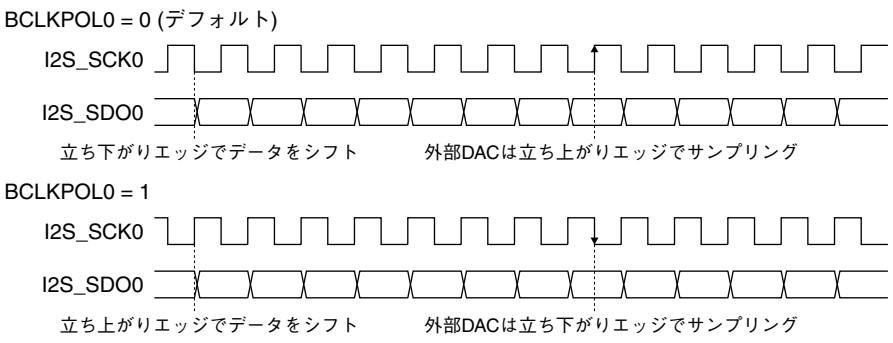


図VI.5.8.2 ワードクロックモードの選択

D6 BCLKPOL0: I²S CH.0 Output Bit Clock Polarity Select Bit

ビットクロックの極性を選択します。
1(R/W): 負極性
0(R/W): 正極性(デフォルト)

BCLKPOL0が0の場合、I2S_SDO0出力はI2S_SCK(ビットクロック)の立ち下がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち上がりエッジでサンプリングできます。
BCLKPOL0を1に設定すると、I2S_SDO0出力はI2S_SCKの立ち上がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち下がりエッジでサンプリングできます。



図VI.5.8.3 ビットクロック極性の選択

D5 DTFORM: I²S CH.0 Output Data Format Select Bit

データのMSBとLSBのどちらを先に出力するか選択します。
1(R/W): LSB先頭
0(R/W): MSB先頭(デフォルト)

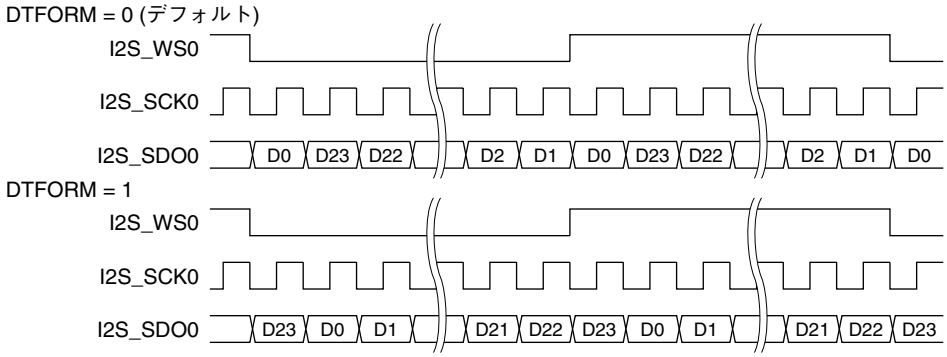


図 VI.5.8.4 データ形式の選択

D4 I2SOUTEN: I²S CH.0 Output Enable Bit

I²S CH.0信号の出力を許可/禁止します。
1(R/W): 許可(On)
0(R/W): 禁止(Off)(デフォルト)

I2SOUTENが0の場合、I2S_MCLK0、I2S_WS0端子は0に固定されます。I2S_SDO0端子は変化せずに前の状態を保ちます。I2S_SCK端子は0(BCLKPOL0(D6/I2S_CTL_OUTレジスタ) = 0の場合)または1(BCLKPOL0 = 1の場合)に固定されます。
I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。

D[3:2] DTTMG0[1:0]: I²S CH.0 Output Data Timing Select Bits

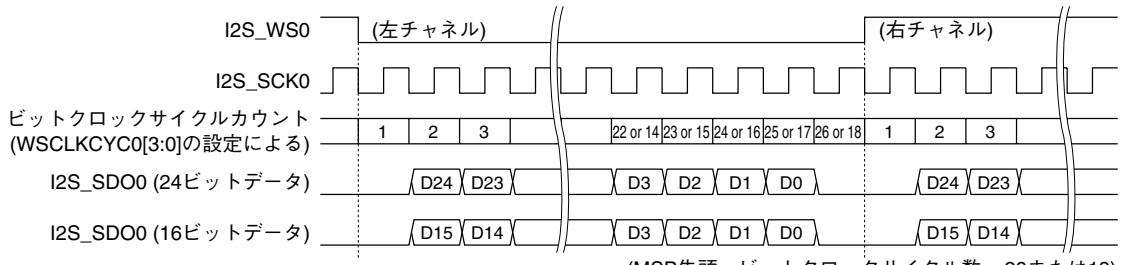
データビットの出力タイミングを選択します。

表VI.5.8.2 データ出力タイミング

DTTMG0[1:0]	データ出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I²Sモード

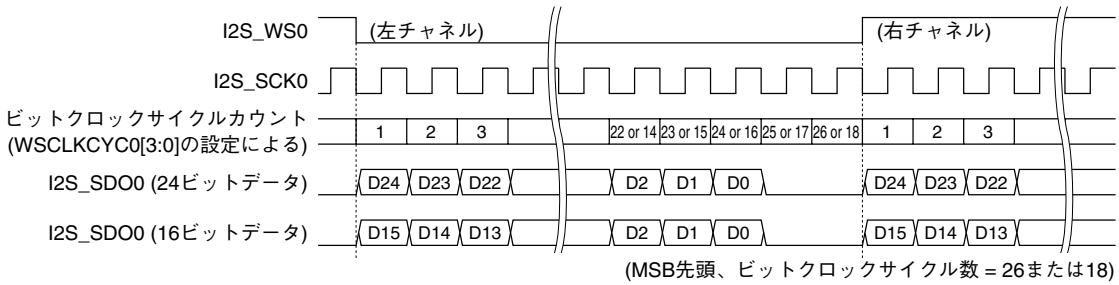
(デフォルト: 0x0)

DTTMG0[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。



図VI.5.8.5 データ出力タイミング1(I²Sモード)

DTTMG0[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。



図VI.5.8.6 データ出力タイミング2(左揃えモード)

DTTMG0[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。

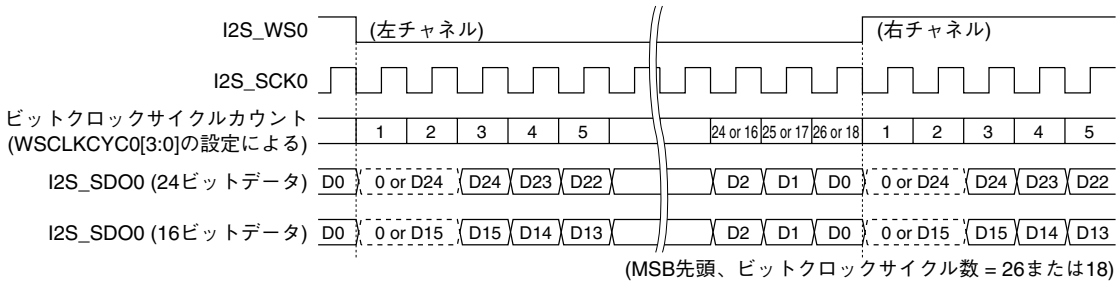


図 VI.5.8.7 データ出力タイミング3(右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データサイズ + 2]以上に設定する必要があります。

D[1:0] CHMD[1:0]: I²S CH.0 Output Channel Mode Select Bits

I²S CH.0の出力チャネルモードを選択します。

表VI.5.8.3 出力チャネルモード

CHMD[1:0]	出力チャネルモード	左チャネル	右チャネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

ミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO0端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャネルの出力期間はI2S_SDO0端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、割り込みも発生します。

0x5302: I²S CH.1 Control Register (I2S_CTL_IN)

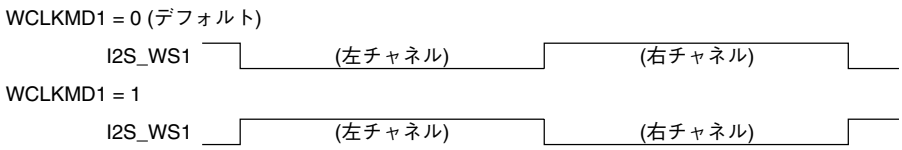
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S CH.1 Control Register (I2S_CTL_IN)	0x5302 (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	WCLKMD1	I²S CH.1 input word clock mode select	1 L: high R: low / 0 L: low R: high	0	R/W	
		D4	BCLKPOL1	I²S CH.1 input bit clock polarity select	1 Negative / 0 Positive	0	R/W	
		D3–2	DTTMG1 [1:0]	I²S CH.1 input data timing select	DTTMG1[1:0] / Timing mode: 0x3 reserved; 0x2 Right justified; 0x1 Left justified; 0x0 I²S	0x0	R/W	
		D1	I2SBYPASS	I²S bypass mode select	1 Bypass / 0 Normal	0	R/W	
		D0	I2SEN1	I²S CH.1 enable	1 Enable / 0 Disable	0	R/W	

注: I2SSTART1（D8/I2S_STARTレジスタ）を設定してI²S CH.1へののデータ入力を開始する前に、本レジスタによりすべてのデータ転送条件を設定してください。

D[15:6] Reserved

D5 WCLKMD1: I²S CH.1 Input Word Clock Mode Select Bit

I2S_WS入力信号のレベルとチャネルの対応を設定します。
1（R/W）: High = 左チャネル、Low = 右チャネル
0（R/W）: High = 右チャネル、Low = 左チャネル（デフォルト）

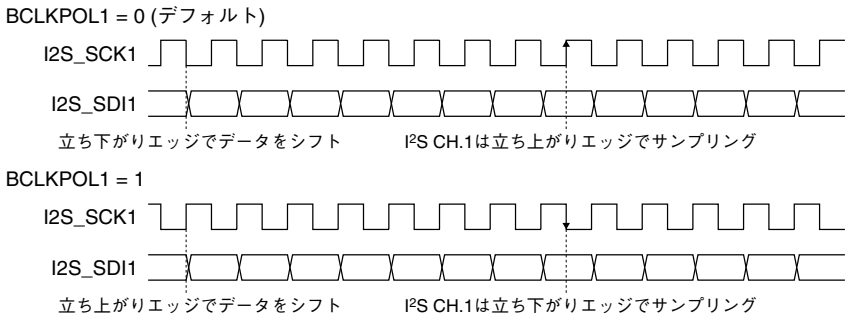


図VI.5.8.8 ワードクロックモードの選択

D4 BCLKPOL1: I²S CH.1 Input Bit Clock Polarity Select Bit

ビットクロックの極性を選択します。
1（R/W）: 負極性
0（R/W）: 正極性（デフォルト）

BCLKPOL1が0の場合、I2S_SDI1入力はI2S_SCK（ビットクロック）の立ち下がりエッジで変化し、I²S CH.1はデータビットをI2S_SCKの立ち上がりエッジでサンプリングします。
BCLKPOL1を1に設定すると、I2S_SDI1入力はI2S_SCKの立ち上がりエッジで変化し、I²S CH.1はデータビットをI2S_SCKの立ち下がりエッジでサンプリングします。



図VI.5.8.9 ビットクロック極性の選択

D[3:2] DTTMG1[1:0]: I²S CH.1 Input Data Timing Select Bits

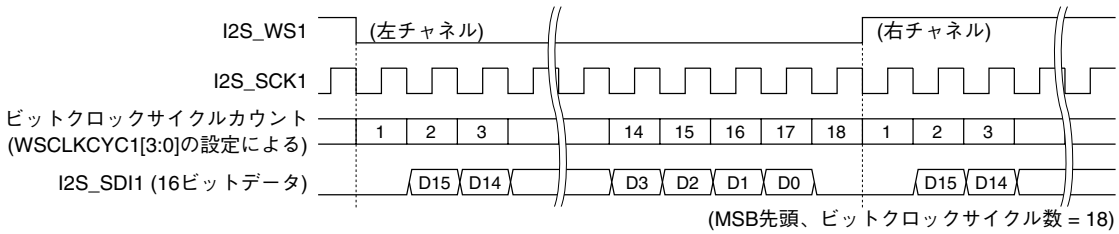
データビットの入力タイミングを選択します。

表VI.5.8.4 データ入力タイミング

DTTMG1[1:0]	データ入力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I²Sモード

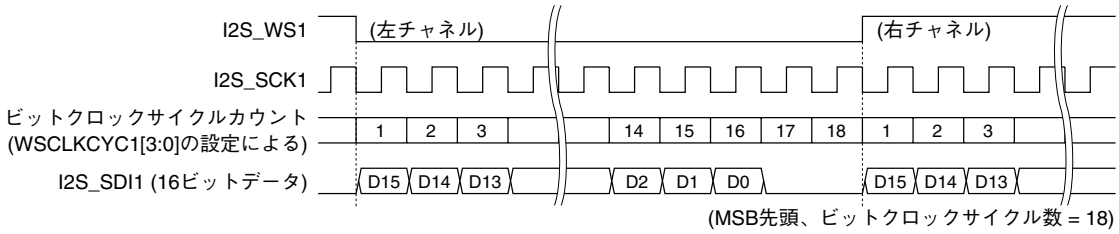
（デフォルト: 0x0）

DTTMG1[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて入力されます。



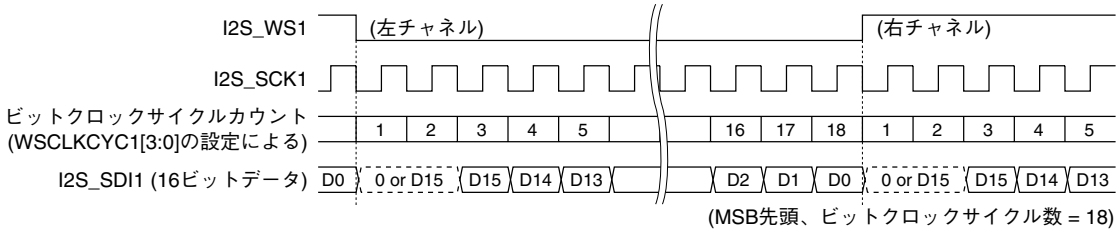
図VI.5.8.10 データ入力タイミング1(I²Sモード)

DTTMG1[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの入力を開始します。



図VI.5.8.11 データ入力タイミング2(左揃えモード)

DTTMG1[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、入力データがI2S_WS信号のエッジに右揃えになります。



図VI.5.8.12 データ入力タイミング3(右揃えモード)

D1 I2SBYPASS: I²S Bypass Mode Select Bit

I²Sバイパスモードを選択します。
1(R/W): バイパスモード
0(R/W): 通常モード(デフォルト)

I2SBYPASSを1に設定すると、I²Sモジュールはバイパスモードになります。このモードでは、I2S_MCLK1、I2S_SCK1、I2S_WS1、およびI2S_SDI1端子から入力した各信号が、そのままI2S_MCLK0、I2S_SCK0、I2S_WS0、およびI2S_SDO0端子から出力されます。I2SBYPASSが0(デフォルト)の場合、I²S CH.0とI²S CH.1はそれぞれ個別に使用可能です。

D0 I2SEN1: I²S CH.1 Enable Bit

I²S CH.1の動作を許可/禁止します。
1(R/W): 許可(On)
0(R/W): 禁止(Off)(デフォルト)

I2SEN1を1に設定するとI²S CH.1が動作を開始し、データ転送が行える状態になります。
I2SEN1を0に設定すると、I²S CH.1は動作を停止します。

0x5304: I²S MCLK Divide Ratio Register (I2S_DV_MCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S MCLK Divide Ratio Register (I2S_DV_MCLK)	**0x5304** (16 bits)	D15	**MCLKSEL**	I2S_MCLK source clock select	1: I2S_MCLK0 input clock 0: System clock	0	R/W	
		D14–6	–	reserved	–	–	–	0 when being read.
		D5–0	**MCLKDIV [5:0]**	I2S_MCLK divide ratio select	MCLKDIV[5:0] / I2S_MCLK 0x3f: PCLK•1/64 0x3e: PCLK•1/63 0x3d: PCLK•1/62 : 0x2: PCLK•1/3 0x1: PCLK•1/2 0x0: PCLK•1/1	0x0	R/W	

D15 MCLKSEL: I2S_MCLK Source Clock Select Bit

I²S CH.0のマスタクロック(I2S_MCLK0)を生成するためのソースクロックを選択します。
1(R/W): I2S_MCLK0端子の入力クロック
0(R/W): システムクロック(PCLK)(デフォルト)

MCLKSELが0(デフォルト)の場合、I²SモジュールはPCLKを分周してマスタクロック(I2S_MCLK)を生成します。MCLKSELを1に設定すると、I²S CH.0はI2S_MCLK0端子から入力した外部クロックをマスタクロックとして使用します。

D[14:6] Reserved

D[5:0] MCLKDIV[5:0]: I2S_MCLK Divide Ratio Select Bits

I2S_MCLK0端子から出力するI²Sマスタクロック(I2S_MCLK)を設定します。
I²Sモジュールは動作クロック(CMUが生成したPCLK)を分周して、I2S_MCLKを生成します。この分周比をMCLKDIV[5:0]で指定します。

表VI.5.8.5 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK•1/64
0x3e	PCLK•1/63
0x3d	PCLK•1/62
:	:
0x2	PCLK•1/3
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

0x5306: I²S Audio Clock Divide Ratio Register (I2S_DV_AUDIO_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
I²S Audio Clock Divide Ratio Register (I2S_DV_AUDIO_CLK)	0x5306 (16 bits)	D15–12	WSCLKCYC1 [3:0]	I²S CH.1 WS clock cycle setup	WSCLKCYC*x*[3:0]	Clock period	0x0	R/W	
					0xf	31 clocks			
					0xe	30 clocks			
					0xd	29 clocks			
					0xc	28 clocks			
					0xb	27 clocks			
					0xa	26 clocks			
					0x9	25 clocks			
					0x8	24 clocks			
		D11–8	WSCLKCYC0 [3:0]	I²S CH.0 WS clock cycle setup	0x7	23 clocks	0x0	R/W	
					0x6	22 clocks			
					0x5	21 clocks			
					0x4	20 clocks			
					0x3	19 clocks			
					0x2	18 clocks			
					0x1	17 clocks			
					0x0	16 clocks			
		D7–0	BCLKDIV [7:0]	I²S CH.0 bit clock divide ratio select	BCLKDIV[7:0]	Bit clock	0x0	R/W	SRC_CLK: PCLK or I2S_MCLK0 input clock
					0xff	SRC_CLK•1/512			
					0xfe	SRC_CLK•1/510			
					0xfd	SRC_CLK•1/508			
					:	:			
					0x2	SRC_CLK•1/6			
					0x1	SRC_CLK•1/4			
					0x0	SRC_CLK•1/2			

D[15:12] WSCLKCYC1[3:0]: I²S CH.1 WS Clock Cycle Setup Bits

I²S CH.1はサンプリングクロックをI2S_WS1端子から入力します。そのクロック周期をビットクロックサイクル数をWSCLKCYC1[3:0]に設定して指定します。WSCLKCYC0[3:0]の説明を参照してください。

D[11:8] WSCLKCYC0[3:0]: I²S CH.0 WS Clock Cycle Setup Bits

サンプリングクロック(I2S_WS信号)の周期を指定します。

I²S CH.0はBCLKDIV[7:0](D[7:0])で設定されたビットクロックをカウントして、I2S_WS0端子から出力するサンプリングクロックを生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC0[3:0]で指定します。

表VI.5.8.6 サンプリングクロック周期の設定

WSCLKCYC*x*[3:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

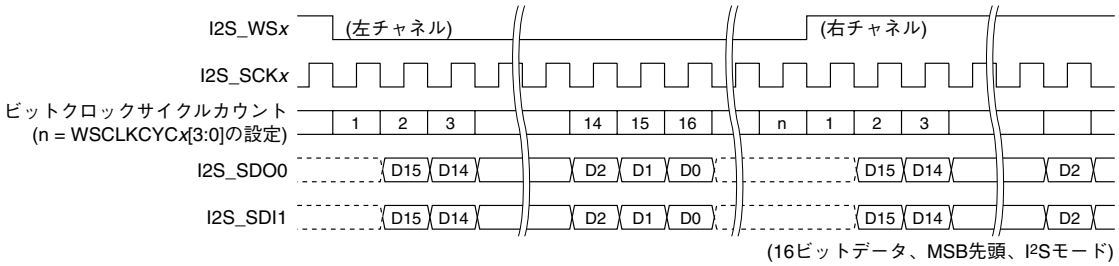
(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$fs = \frac{f_{I2S_SCK}}{n \times 2} \text{ [Hz]}$$

fs: サンプリングクロック周波数[Hz]
f_{I2S_SCK}: ビットクロック周波数[Hz]（CH.0: 表VI.5.8.7参照、CH.1: I2S_SCK1入力クロック周波数）
n: WSCLKCYC*x*[3:0]で選択したビットクロック数（表VI.5.8.6参照）

注: WSCLKCYC*x*[3:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数（24または16ビット）と同じか、それより大きい値である必要があります。



図VI.5.8.13 サンプリングクロック周期

D[7:0] BCLKDIV[7:0]: I²S CH.0 Bit Clock Divide Ratio Select Bits

出力するビットクロックを設定します。
I²SモジュールはI2S_MCLK生成用に選択されたソースクロックを分周して、I²S CH.0のI2S_SCK0端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0]で指定します。

表 VI.5.8.7 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック（I2S_SCK0）
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
:	:
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

（SRC_CLK = PCLKまたはI2S_MCLK0入力クロック、デフォルト: 0x0）

I²S CH.0のビットクロック周波数は次の式で計算できます。

$$f_{I2S_SCK0} = \frac{f_{SRC_CLK}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{I2S_SCK0}: I²S CH.0ビットクロック周波数[Hz]
f_{SRC_CLK}: PCLKまたはI2S_MCLK0入力クロック周波数[Hz]
BCLKDIV: BCLKDIV[7:0]設定値（0x0～0xff）

I²S CH.1はI2S_SCK1端子から入力したビットクロックを使用しますので、上記の設定はCH.1には適用されません。

0x5308: I²S Start/Stop Register (I2S_START)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S Start/Stop Register (I2S_START)	0x5308 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	I2SSTART1	I²S CH.1 start/stop control	1 Start 0 Stop	0	R/W	
		D7	I2SBUSY0	I²S CH.0 busy flag	1 Busy 0 Idle	0	R	
		D6–1	–	reserved	–	–	–	0 when being read.
		D0	I2SSTART0	I²S CH.0 start/stop control	1 Start (run) 0 Stop	0	R/W	

D[15:9] Reserved

D8 I2SSTART1: I²S CH.1 Start/Stop Control Bit

I²S CH.1のデータ受信を開始/停止します。
1(R/W): 開始
0(R/W): 停止(デフォルト)

I2SSTART1に1を書き込むと、I2S_SDI1端子からのシリアルデータ受信を開始します。
I2SSTART1に0を書き込むと、I²S CH.1はデータ入力を即時に停止します。これ以降、外部I²Sデバイスから送られるデータは無視されます。本ビットの読み出し値は、I²S CH.1がデータ受信中の場合は1、受信時以外は0となります。

D7 I2SBUSY0: I²S CH.0 Busy Flag Bit

I²Sモジュールのデータ出力状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

I²S CH.0がデータ出力を開始すると、I2SBUSY0が1にセットされ、出力中は1を保持します。出力動作が終了すると、0にクリアされます。

D[6:1] Reserved

D0 I2SSTART0: I²S CH.0 Start/Stop Control Bit

I²S CH.0のデータ出力を開始/停止します。
1(R/W): 開始
0(R/W): 停止(デフォルト)

I2SSTART0に1を書き込むと、I2S_SDO0端子からのシリアルデータ送信を開始します。
I2SSTART0に0を書き込むと、I²S CH.0はFIFO内の残りのデータをすべて出力後に停止します。
I2SSTART0を0に設定後は、FIFOに新たな転送データを書き込むことはできません。

注: I2SSTART0が1の場合は、I2S_DV_MCLKレジスタ(0x5304)とI2S_DV_AUDIO_CLKレジスタ(0x5306)を絶対に変更しないでください。

0x530a: I²S FIFO Status Register (I2S_FIFO_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S FIFO Status Register (I2S_FIFO_STAT)	0x530a (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	I2SFIFOFF1	I²S CH.1 FIFO full flag	1 Full 0 Not full	0	R	
		D8	I2SFIFOEF1	I²S CH.1 FIFO empty flag	1 Empty 0 Not empty	1	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4–2	FIFOSTAT0 [2:0]	I²S CH.0 FIFO state machine	FIFOSTAT0[2:0] State 0x7–0x6 reserved 0x5 FLUSH 0x4 EMPTY 0x3 LACK 0x2 FULL 0x1 INIT 0x0 STOP	0x0	R	
		D1	I2SFIFOFF0	I²S CH.0 FIFO full flag	1 Full 0 Not full	0	R	
		D0	I2SFIFOEF0	I²S CH.0 FIFO empty flag	1 Empty 0 Not empty	1	R	

D[15:10] Reserved

D9 I2SFIFOFF1: I²S CH.1 FIFO Full Flag Bit

受信用FIFOが満杯かどうかを示します。
1(R): 満杯
0(R): 空きあり(デフォルト)

FIFOが受信データ(16ビット×2チャネル(L & R)×4)で満杯になると、I2SFIFOFF1が1にセットされます。この場合、FIFOから受信データを読み出す必要があります。読み出されない場合、FIFO内の最新のステレオデータが次の受信データで上書きされます。
I2SFIFOFF1はFIFO内のデータを読み出すことで、0にリセットされます。

D8 I2SFIFOEF1: I²S CH.1 FIFO Empty Flag Bit

受信用FIFOが空かどうかを示します。
1(R): 空(デフォルト)
0(R): データあり

I2SFIFOEF1はFIFOに受信データが書き込まれると0となり、FIFO内のすべてのデータを読み出すと1になります。

D[7:5] Reserved

D[4:2] FIFOSTAT0[2:0]: I²S CH.0 FIFO State Machine Bits

送信用FIFOの状態を示します。

表VI.5.8.8 FIFOの状態モニタ

FIFOSTAT0[2:0]	状態
0x7〜0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

(デフォルト: 0x0)

D1 I2SFIFOFF0: I²S CH.0 FIFO Full Flag Bit

送信用FIFOが満杯かどうかを示します。
1(R): 満杯
0(R): 空きあり(デフォルト)

FIFOが書き込みデータ(16または24ビット×2チャネル(L & R)×4)で満杯になるとI2SFIFOFF0が1にセットされ、これ以上データが書き込めないことを示します。
I2SFIFOFF0はFIFO内のデータが送信のために読み出されると、0にリセットされます。

D0 I2SFIFOEF0: I²S CH.0 FIFO Empty Flag Bit

送信用FIFOが空かどうかを示します。
1(R): 空(デフォルト)
0(R): データあり

I2SFIFOEF0はFIFOに送信データが書き込まれると0となり、FIFO内のすべてのデータが転送されると1になります。

0x530c: I²S Interrupt Mode Select Register (I2S_INT_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S Interrupt Mode Select Register (I2S_INT_MOD)	0x530c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5–4	I2SINTMD1 [1:0]	I²S CH.1 interrupt mode select	I2SINTMD1[1:0] State 0x3 reserved 0x2 One data 0x1 Whole full 0x0 Half full	0x0	R/W	
		D3–2	I2SINTMD0 [1:0]	I²S CH.0 interrupt mode select	I2SINTMD0[1:0] State 0x3 reserved 0x2 One empty 0x1 Whole empty 0x0 Half empty	0x0	R/W	
		D1	I2SINTEN1	I²S CH.1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	I2SINTEN0	I²S CH.0 interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:6] Reserved

D[5:4] I2SINTMD1[1:0]: I²S CH.1 Interrupt Mode Select Bits

I²S CH.1の割り込みモードを選択します。

表VI.5.8.9 I²S CH.1割り込みモードの選択

I2SINTMD1[1:0]	割り込みモード
0x3	Reserved
0x2	1データ割り込みモード
0x1	完全フル割り込みモード
0x0	ハーフフル割り込みモード

（デフォルト: 0x0）

完全フル割り込みモード

このモードでオーディオデータを入力中に4個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは満杯の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ（16ビット×2チャネル（L & R）×4）をFIFOから読み出す必要があります。

ハーフフル割り込みモード（デフォルト）

このモードでは、2個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは2〜3個の受信データが格納されています（FIFOの状態はステータスビットで確認できます）。したがって、割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ（16ビット×2チャネル（L & R）×2）をFIFOから読み出す必要があります。

1データ割り込みモード

このモードでは、1個の受信ステレオデータがFIFOに書き込まれると、I²S CH.1は割り込みを発生します。このとき、FIFOは満杯か、あるいは1〜3個の受信データが格納されています（FIFOの状態はステータスビットで確認できます）。したがって、割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ（16ビット×2チャネル（L & R）×1）をFIFOから読み出す必要があります。

D[3:2] I2SINTMD0[1:0]: I²S CH.0 Interrupt Mode Select Bits

I²S CH.0の割り込みモードを選択します。

表VI.5.8.10 I²S CH.0割り込みモードの選択

I2SINTMD0[1:0]	割り込みモード
0x3	Reserved
0x2	1データエンプティ割り込みモード
0x1	完全エンプティ割り込みモード
0x0	ハーフエンプティ割り込みモード

（デフォルト: 0x0）

完全エンプティ割り込みモード

このモードでオーディオデータを出力中にFIFOから全データ(4個のステレオデータ)が転送のために読み出されると、I²S CH.0は割り込みを発生します。つまり、割り込みが発生した場合、FIFOは空の状態です。したがって、割り込み発生後、アプリケーションプログラムは、1度に4個のステレオデータ(24または16ビット×2チャネル(L & R)×4)をFIFOに書き込む必要があります。

ハーフエンプティ割り込みモード(デフォルト)

このモードでは、FIFOから2個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1個もしくは2個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に2個のステレオデータ(24または16ビット×2チャネル(L & R)×2)をFIFOに書き込む必要があります。

1データエンプティ割り込みモード

このモードでは、FIFOから1個のステレオデータが転送のために読み出されると、I²S CH.0は割り込みを発生します。このとき、FIFOは空になっているか、あるいは1〜3個のデータが残っています(FIFOの状態はステータスビットで確認できます)。割り込み発生後、アプリケーションプログラムは、1度に1個のステレオデータ(24または16ビット × 2チャネル(L & R)×1)をFIFOに書き込む必要があります。

D1 I2SINTEN1: I²S CH.1 Interrupt Enable Bit

受信FIFOフルによるI²S CH.1割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

I2SINTEN1を1に設定すると、ITCへのI²S CH.1(FIFOフル)割り込み要求が許可されます。FIFOフル割り込み要求は、I2SINTMD1[1:0](D[5:4])で設定された割り込みモードに従って発生します。I2SINTEN1を0に設定した場合、I²S CH.1割り込みは発生しません。

D0 I2SINTEN0: I²S CH.0 Interrupt Enable Bit

送信FIFOエンプティによるI²S CH.0割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

I2SINTEN0を1に設定すると、ITCへのI²S CH.0(FIFOエンプティ)割り込み要求が許可されます。FIFOエンプティ割り込み要求は、I2SINTMD0[1:0](D[3:2])で設定された割り込みモードに従って発生します。I2SINTEN0を0に設定した場合、I²S CH.0割り込みは発生しません。

0x5310: I²S CH.0 FIFO Register (I2S_FIFO_OUT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S CH.0 FIFO Register (I2S_FIFO_OUT)	0x5310 (24 bits)	D23–0	I2SFIFO0 [23:0]	I²S CH.0 FIFO (output data)	0 to 0xffffff (24 bits)	0x0	W	for 24-bit data 0 when being read.
	0x5310 (16 bits)	D15–0	I2SFIFO0 [15:0]		0 to 0xffff (16 bits)			for 16-bit data 0 when being read.

注: 24ビットのオーディオデータを本レジスタに書き込む場合は、必ず24ビットアクセス命令(`ld.a [%rb],%rs`)を使用してください。同様に、16ビットのオーディオデータを書き込む場合は、必ず16ビットアクセス命令(`ld [%rb],%rs`)を使用してください。

D[15:0] I2SFIFO0[15:0]: I²S CH.0 FIFO (Output Data) Bits

このアドレスを介して、FIFOに出力データを書き込みます。
データサイズにかかわらず、最大4個のステレオデータ(24または16ビット×2チャネル(L & R)×4)をFIFOに書き込むことができます。オーディオデータの出力を開始する前に、最初の4個のステレオデータをFIFOに書き込んでください。
データサイズが16ビットの場合は、データの書き込みに16ビットメモリライト命令(`ld [%rb],%rs`)を使用してください。16ビットデータの書き込みに、8ビットまたは24ビットメモリライト命令は使用できません。
データサイズが24ビットの場合は、データの書き込みに24ビットメモリライト命令(`ld.a [%rb],%rs`)を使用してください。この場合、1つのチャネルのデータ書き込みに2つのメモリライトアクセスサイクルが生成されます。24ビットデータの書き込みに、8ビットまたは16ビットメモリライト命令は使用できません。

最初に左チャネルのデータ、次に右チャネルのデータを書き込みます。出力チャネルモードが"モノラル"の場合でも、左右チャネルのデータのペアを書き込む必要があります。

0x5314: I²S CH.1 FIFO Register (I2S_FIFO_IN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S CH.1 FIFO Register (I2S_FIFO_IN)	**0x5314** (16 bits)	D15–0	**I2SFIFO1 [15:0]**	I²S CH.1 FIFO (input data)	0 to 0xffff	0x0	R	

注: 本レジスタからの16ビットオーディオデータの読み出しには、必ず16ビットアクセス命令(`ld %rd,[%rb]`)を使用してください。

D[15:0] I2SFIFO1[15:0]: I²S CH.1 FIFO (Input Data) Bits

このアドレスを介して、FIFOから受信データを読み出します。
FIFOには最大4個のステレオデータ(16ビット×2チャネル(L & R)×4)を格納可能です。
FIFOからのデータの読み出しには16ビットメモリリード命令(`ld %rd,[%rb]`)を使用してください。8ビットまたは24ビットメモリリード命令は使用できません。
左右チャネルのデータをペアとして読み出してください。最初の読み出しは左チャネルのデータ、次の読み出しは右チャネルのデータです。

VI.5.9 注意事項

- I²Sの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART0(D0/I2S_STARTレジスタ)/I2SSTART1(D8/I2S_STARTレジスタ)を0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。
  - * **I2SSTART0**: I²S CH.0 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D0/0x5308)
  - * **I2SSTART1**: I²S CH.1 Start/Stop Control Bit in the I²S Start/Stop (I2S_START) Register (D8/0x5308)
- 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データサイズ + 2]以上に設定する必要があります。
- 24ビットのオーディオデータをI2S_FIFO_OUTレジスタ(0x5310)に書き込む場合は、必ず24ビットアクセス命令(`ld.a [%rb],%rs`)を使用してください。同様に、16ビットのオーディオデータを書き込む場合は、必ず16ビットアクセス命令(`ld [%rb],%rs`)を使用してください。
- I2S_FIFO_INレジスタ(0x5314)からの16ビットオーディオデータの読み出しには、必ず16ビットアクセス命令(`ld %rd,[%rb]`)を使用してください。

VI.5.10 I²Sクロックの設定

ここでは、I2S_MCLK、I2S_WS、およびI2S_SCKクロックの設定方法について説明します。

I2S_MCLKを内部クロックから生成する場合

以下に、サンプリングレートからクロック設定値を決定する方法を説明します。下記の例は、システムクロック周波数が48MHz、オーディオデータのサンプリングレートが44.1kHzの場合を想定しています。
サンプリングクロック(I2S_WS)はマスタクロック(I2S_MCLK)に同期していますので、次の式が得られます。

$$\frac{f_{I2S_MCLK}}{f_{I2S_WS}} = 整数$$

ここで、f_{I2S_MCLK}は出力マスタクロック(I2S_MCLK)周波数、f_{I2S_WS}はサンプリングクロック(I2S_WS)周波数です。

$$f_{I2S_MCLK} = \frac{48MHz}{MCLKDIV[5:0] + 1} \quad (式1)$$

$$f_{I2S_WS} = \frac{48MHz}{(BCLKDIV[7:0] + 1) \times 2 \times (WSCLKCYC0[3:0] + 16) \times 2} \quad (式2)$$

$$\frac{(BCLKDIV[7:0] + 1) \times 2 \times (WSCLKCYC0[3:0] + 16) \times 2}{MCLKDIV[5:0] + 1} = 整数 \quad (式3)$$

* **MCLKDIV[5:0]**: I2S_MCLK Divide Ratio Select Bits in the I²S MCLK Divide Ratio (I2S_DV_MCLK) Register (D[5:0]/0x5304)
* **BCLKDIV[7:0]**: I²S CH.0 Bit Clock Divide Ratio Select Bits in the I²S Audio Clock Divide Ratio (I2S_DV_AUDIO_CLK) Register (D[7:0]/0x5306)
* **WSCLKCYC0[3:0]**: I²S CH.0 WS Clock Cycle Setup Bits in the I²S Audio Clock Divide Ratio (I2S_DV_AUDIO_CLK) Register (D[11:8]/0x5306)

表VI.5.10.1 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK•1/64
0x3e	PCLK•1/63
0x3d	PCLK•1/62
:	:
0x2	PCLK•1/3
0x1	PCLK•1/2
0x0	PCLK•1/1

表VI.5.10.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック(I2S_SCK0)
0xff	SRC_CLK•1/512
0xfe	SRC_CLK•1/510
0xfd	SRC_CLK•1/508
:	:
0x2	SRC_CLK•1/6
0x1	SRC_CLK•1/4
0x0	SRC_CLK•1/2

表VI.5.10.3 サンプリングクロック周期の設定

WSCLKCYC0[3:0]	サンプリングクロック周期 （ビットクロックサイクル数）
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

下表はExcelを使用して式2から作成したものです。
セルA1の値はシステムクロック周波数（48MHz）です。1行目（B1～Q1）のその他の値（32～62）は、サンプリングクロック周期に相当するビットクロックサイクル数（（WSCLKCYC0[3:0] + 16）× 2）です。
1列目（A2～A257）にはビットクロック分周比（（BCLKDIV[7:0] + 1）× 2）がすべて入力されています。

表VI.5.10.4 サンプリングクロック周波数一覧

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q
1	48	32	**34**	36	38	40	42	44	46	48	50	52	54	56	58	60	62
2	2	750.00	705.88	666.67	631.58	600.00	571.43	545.45	521.74	500.00	480.00	461.54	444.44	428.57	413.79	400.00	387.10
3	4	375.00	352.94	333.33	315.79	300.00	285.71	272.73	260.87	250.00	240.00	230.77	222.22	214.29	206.90	200.00	193.55
4	6	250.00	235.29	222.22	210.53	200.00	190.48	181.82	173.91	166.67	160.00	153.85	148.15	142.86	137.93	133.33	129.03
5	8	187.50	176.47	166.67	157.89	150.00	142.86	136.36	130.43	125.00	120.00	115.38	111.11	107.14	103.45	100.00	96.77
6	10	150.00	141.18	133.33	126.32	120.00	114.29	109.09	104.35	100.00	96.00	92.31	88.89	85.71	82.76	80.00	77.42
7	12	125.00	117.65	111.11	105.26	100.00	95.24	90.91	86.96	83.33	80.00	76.92	74.07	71.43	68.97	66.67	64.52
8	14	107.14	100.84	95.24	90.23	85.71	81.63	77.92	74.53	71.43	68.57	65.93	63.49	61.22	59.11	57.14	55.30
9	16	93.75	88.24	83.33	78.95	75.00	71.43	68.18	65.22	62.50	60.00	57.69	55.56	53.57	51.72	50.00	48.39
10	18	83.33	78.43	74.07	70.18	66.67	63.49	60.61	57.97	55.56	53.33	51.28	49.38	47.62	45.98	44.44	43.01
11	20	75.00	70.59	66.67	63.16	60.00	57.14	54.55	52.17	50.00	48.00	46.15	44.44	42.86	41.38	40.00	38.71
12	22	68.18	64.17	60.61	57.42	54.55	51.95	49.59	47.43	45.45	43.64	41.96	40.40	38.96	37.62	36.36	35.19
13	24	62.50	58.82	55.56	52.63	50.00	47.62	45.45	43.48	41.67	40.00	38.46	37.04	35.71	34.48	33.33	32.26
14	26	57.69	54.30	51.28	48.58	46.15	43.96	41.96	40.13	38.46	36.92	35.50	34.19	32.97	31.83	30.77	29.78
15	28	53.57	50.42	47.62	45.11	42.86	40.82	38.96	37.27	35.71	34.29	32.97	31.75	30.61	29.56	28.57	27.65
16	30	50.00	47.06	44.44	42.11	40.00	38.10	36.36	34.78	33.33	32.00	30.77	29.63	28.57	27.59	26.67	25.81
17	**32**	46.88	**44.12**	41.67	39.47	37.50	35.71	34.09	32.61	31.25	30.00	28.85	27.78	26.79	25.86	25.00	24.19
18	34	44.12	41.52	39.22	37.15	35.29	33.61	32.09	30.69	29.41	28.24	27.15	26.14	25.21	24.34	23.53	22.77
19	36	41.67	39.22	37.04	35.09	33.33	31.75	30.30	28.99	27.78	26.67	25.64	24.69	23.81	22.99	22.22	21.51
20	38	39.47	37.15	35.09	33.24	31.58	30.08	28.71	27.46	26.32	25.26	24.29	23.39	22.56	21.78	21.05	20.37
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
256	510	2.94	2.77	2.61	2.48	2.35	2.24	2.14	2.05	1.96	1.88	1.81	1.74	1.68	1.62	1.57	1.52
257	512	2.93	2.76	2.60	2.47	2.34	2.23	2.13	2.04	1.95	1.88	1.80	1.74	1.67	1.62	1.56	1.51

↑ ↑

B2 = A1 ∗ 1000/(B1 ∗ A2)
:
B257 = A1 ∗ 1000/(B1 ∗ A257)

L2 = A1 ∗ 1000/(L1 ∗ A2)
:
L257 = A1 ∗ 1000/(L1 ∗ A257)

表から“44.1（kHz）”または近似値を探します。たとえば、セルC17に“44.12”があります。セルA17とセルC1はそれぞれ32と34です。
これらの値からBCLKDIV[7:0]と WSCLKCYC0[3:0]は次のように求められます。
BCLKDIV[7:0] = (32/2) - 1 = 15 (0xf)
WSCLKCYC0[3:0] = (34/2) - 16 = 1

これらの値を式3に代入すると、MCLKDIV[5:0]の値が求められます。

$$\frac{32 \times 34}{\text{MCLKDIV[5:0]} + 1} = \text{整数}$$

MCLKDIV[5:0] = 0, 1, 3, 7, 15, 16, 31, 33, 63

表VI.5.10.5 マスタクロック周波数

MCLKDIV[5:0]	f_{I2S_MCLK}	
0	48MHz	(1088 fs)
1	24MHz	(544 fs)
3	12MHz	(272 fs)
7	6MHz	(136 fs)
15	3MHz	(68 fs)
16	2.824MHz	(64 fs)
31	1.5MHz	(34 fs)
33	1.412MHz	(32 fs)
63	0.75MHz	(17 fs)

外部マスタクロック(I2S_MCLK0入力クロック)を使用する場合

以下に、サンプリングレートと入力マスタクロック周波数からクロック設定値を決定する方法を示します。下記の例は、オーディオデータのサンプリングレートが44.1kHz(= fs)、マスタクロックが320 fsの場合を想定しています。

マスタクロック周波数 = 320 × 44.1kHz = 14.112MHz

下表から"320 fs"を探します。次の2つの設定から選択できます。

1) BCLKDIV[7:0] = 4, WSCLKCYC0[3:0] = 0 (16サイクル)
2) BCLKDIV[7:0] = 3, WSCLKCYC0[3:0] = 4 (20サイクル)

サンプリングクロック(I2S_WS)は44.1kHzになります。

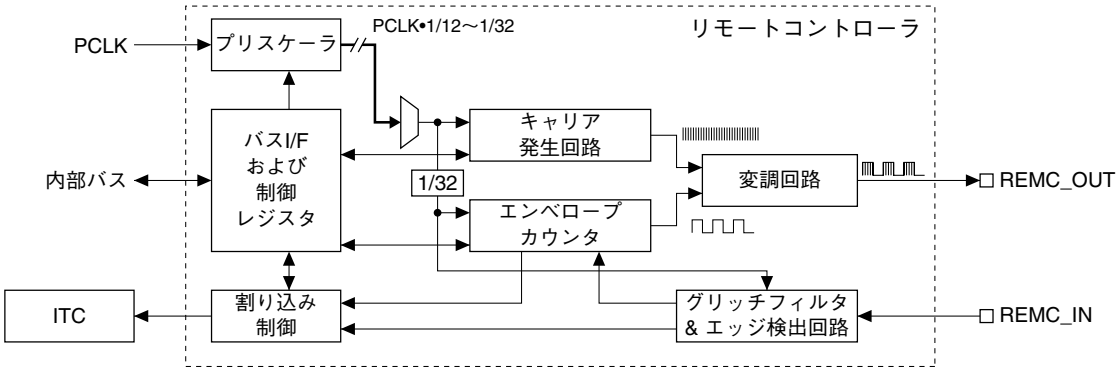
表VI.5.10.6 外部マスタクロック周波数

BCLK DIV [7:0]	外部マスタクロック周波数(fs: サンプリングクロック周波数) ビットクロックサイクル数(WSCLKCYC0[3:0] + 16)															
	16 サイクル	17 サイクル	18 サイクル	19 サイクル	20 サイクル	21 サイクル	22 サイクル	23 サイクル	24 サイクル	25 サイクル	26 サイクル	27 サイクル	28 サイクル	29 サイクル	30 サイクル	31 サイクル
0	64 fs	68 fs	72 fs	76 fs	80 fs	84 fs	88 fs	92 fs	96 fs	100 fs	104 fs	108 fs	112 fs	116 fs	120 fs	124 fs
1	128 fs	136 fs	144 fs	152 fs	160 fs	168 fs	176 fs	184 fs	192 fs	200 fs	208 fs	216 fs	224 fs	232 fs	240 fs	248 fs
2	192 fs	204 fs	216 fs	228 fs	240 fs	252 fs	264 fs	276 fs	288 fs	300 fs	312 fs	324 fs	336 fs	348 fs	360 fs	372 fs
3	256 fs	272 fs	288 fs	304 fs	320 fs	336 fs	352 fs	368 fs	384 fs	400 fs	416 fs	432 fs	448 fs	464 fs	480 fs	496 fs
4	320 fs	340 fs	360 fs	380 fs	400 fs	420 fs	440 fs	460 fs	480 fs	500 fs	520 fs	540 fs	560 fs	580 fs	600 fs	620 fs
5	384 fs	408 fs	432 fs	456 fs	480 fs	504 fs	528 fs	552 fs	576 fs	600 fs	624 fs	648 fs	672 fs	696 fs	720 fs	744 fs
6	448 fs	476 fs	504 fs	532 fs	560 fs	588 fs	616 fs	644 fs	672 fs	700 fs	728 fs	756 fs	784 fs	812 fs	840 fs	868 fs
7	512 fs	544 fs	576 fs	608 fs	640 fs	672 fs	704 fs	736 fs	768 fs	800 fs	832 fs	864 fs	896 fs	928 fs	960 fs	992 fs
8	576 fs	612 fs	648 fs	684 fs	720 fs	756 fs	792 fs	828 fs	864 fs	900 fs	936 fs	972 fs	1008 fs	1044 fs	1080 fs	1116 fs
9	640 fs	680 fs	720 fs	760 fs	800 fs	840 fs	880 fs	920 fs	960 fs	1000 fs	1040 fs	1080 fs	1120 fs	1160 fs	1200 fs	1240 fs
10	704 fs	748 fs	792 fs	836 fs	880 fs	924 fs	968 fs	1012 fs	1056 fs	1100 fs	1144 fs	1188 fs	1232 fs	1276 fs	1320 fs	1364 fs
11	768 fs	816 fs	864 fs	912 fs	960 fs	1008 fs	1056 fs	1104 fs	1152 fs	1200 fs	1248 fs	1296 fs	1344 fs	1392 fs	1440 fs	1488 fs
12	832 fs	884 fs	936 fs	988 fs	1040 fs	1092 fs	1144 fs	1196 fs	1248 fs	1300 fs	1352 fs	1404 fs	1456 fs	1508 fs	1560 fs	1612 fs
13	896 fs	952 fs	1008 fs	1064 fs	1120 fs	1176 fs	1232 fs	1288 fs	1344 fs	1400 fs	1456 fs	1512 fs	1568 fs	1624 fs	1680 fs	1736 fs
14	960 fs	1020 fs	1080 fs	1140 fs	1200 fs	1260 fs	1320 fs	1380 fs	1440 fs	1500 fs	1560 fs	1620 fs	1680 fs	1740 fs	1800 fs	1860 fs
15	1024 fs	1088 fs	1152 fs	1216 fs	1280 fs	1344 fs	1408 fs	1472 fs	1536 fs	1600 fs	1664 fs	1728 fs	1792 fs	1856 fs	1920 fs	1984 fs

VI.6 リモートコントローラ(REMC)

VI.6.1 REMCの構成

S1C17501は赤外線リモコンの送受信信号を生成するリモートコントローラ(REMC)モジュールを内蔵しています。REMCモジュールは、キャリア信号を発生するキャリア発生回路、送受信データ長をカウントする16ビットエンベロープカウンタ、指定したキャリア長で送信データを生成する変調回路、入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路で構成されます。
また、エンベロープカウンタが0になり指定データ長の送信が終了したこと、あるいは指定長以上のデータを受信したことを示すカウンタアンダーフロー割り込み、データ受信時に入力信号の立ち上がりエッジを検出したことを示す入力立ち上がりエッジ割り込み、入力信号の立ち下がりエッジを検出したことを示す入力立ち下がりエッジ割り込みの、3種類の割り込みを発生可能です。
図VI.6.1.1にREMCモジュールの構造を示します。



図VI.6.1.1 REMCモジュールの構造

VI.6.2 REMC入出力端子

表VI.6.2.1にREMCの入出力端子を示します。

表VI.6.2.1 REMC端子一覧

端子名	I/O	本数	機　能
REMC_IN	I	1	リモコン受信データ入力端子 受信データを入力します。
REMC_OUT	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子（REMC_IN、REMC_OUT）は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.6.3 プリスケーラとキャリア生成回路

REMCモジュールには、プリスケーラとキャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたキャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

プリスケーラの設定

REMCモジュールは、CMUから入力したPCLKクロックを分周してキャリア生成回路のカウントクロックを生成するプリスケーラを内蔵しています。プリスケーラはPCLKを1/12～1/32に分周して4種類のクロックを生成します。この中の1つをREMPSDIV[1:0](D[1:0]/REMC_PSCレジスタ)で選択します。

* **REMPSDIV[1:0]**: REMC Prescaler Division Ratio Select Bits in the REMC Prescaler Control (REMC_PSC) Register (D[1:0]/0x5400)

表VI.6.3.1 キャリア生成回路用クロックの選択

REMPSDIV[1:0]	プリスケーラ出力クロック
0x3	PCLK•1/32
0x2	PCLK•1/24
0x1	PCLK•1/16
0x0	PCLK•1/12

(デフォルト: 0x0)

一般の赤外線キャリアは、ほとんどが30kHz～56kHzの範囲の周波数、1/2、1/3または1/4のデューティ比に設定されています。キャリア周波数の精度を確保するには、1MHz(最低)から8MHz(最大)のプリスケーラ出力クロックを使用してください。

例: 1. PCLK周波数が48MHzの場合は、PCLK•1/24(2MHz)を推奨します。
2. PCLK周波数が60MHzの場合は、PCLK•1/32(1.875MHz)を推奨します。

デフォルト設定では、プリスケーラは停止しています。REMCモジュールを使用する前に、REMPSON(D2/REMC_PSCレジスタ)を1に設定し、プリスケーラをOnしてください。

* **REMPSON**: REMC Prescaler Control Bit in the REMC Prescaler Control (REMC_PSC) Register (D2/0x5400)

プリスケーラクロックは更に1/32に分周された後、エンベロープカウンタとエッジ検出回路にも供給されます。

REMCモジュールを使用しない場合は消費電流低減のため、プリスケーラはOffにしてください(REMPSON = 0)。

キャリア信号の設定

キャリア信号のH区間長とL区間長は、それぞれCLDH[7:0](D[15:8]/REMC_CARLレジスタ)とCLDL[7:0](D[7:0]/REMC_CARLレジスタ)で設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長[s] = (CLDH[7:0] + 1) / f_{PSOUT} [Hz]
キャリアL区間長[s] = (CLDL[7:0] + 1) / f_{PSOUT} [Hz]

* **CLDH[7:0]**: REMC Carrier High Width Setup Bits in the REMC Carrier Load (REMC_CARL) Register (D[15:8]/0x540c)
* **CLDL[7:0]**: REMC Carrier Low Width Setup Bits in the REMC Carrier Load (REMC_CARL) Register (D[7:0]/0x540c)

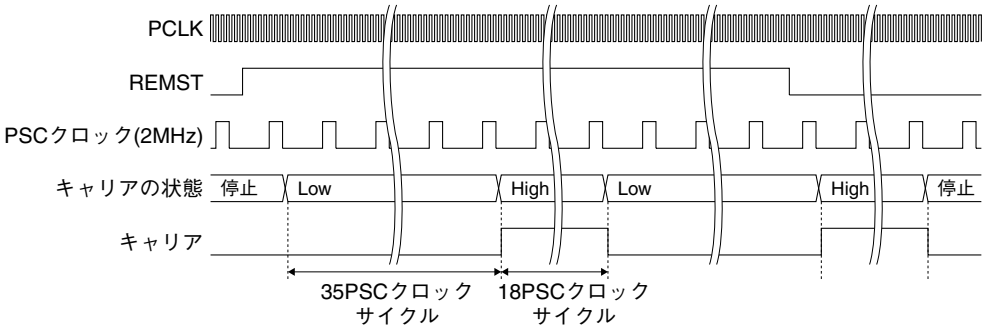
プリスケーラクロック周波数が2MHzの場合のキャリア設定例を下表に示します。

表VI.6.3.2 キャリア設定例

プリスケーラクロック周波数	2MHz		
キャリア周波数	30kHz	38kHz	56kHz
キャリアデューティ	1/2	1/3	1/4
理想周期	33.333µs	26.316µs	17.857µs
CLDH[7:0]設定	32	17	8
CLDL[7:0]設定	32	34	26
区間誤差範囲	1%	0.7%	0.8%

キャリア信号は図VI.6.3.1のように生成されます。

例: REMPSDIV[1:0] = 0x2（PCLK•1/24、2MHz）、CLDH[7:0] = 17、CLDL[7:0] = 34
（キャリア38kHz、1/3デューティ）



図VI.6.3.1 キャリア信号の生成

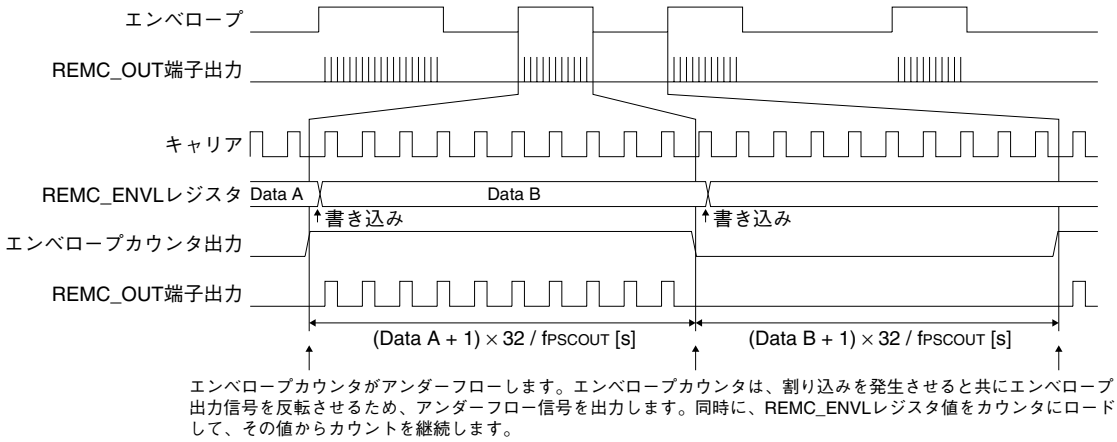
VI.6.4 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)キャリア信号を設定します。VI.6.3節を参照してください。
(2)割り込み条件を設定します。VI.6.5節を参照してください。

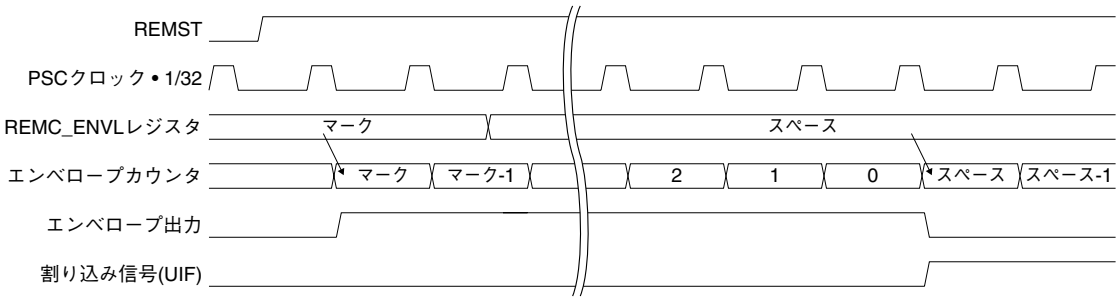
注: 上記の設定は必ずREMCモジュールが停止中(REMST/REMC_CTLレジスタ = 0)に行ってください。

* **REMST**: REMC Start/Stop Control Bit in the REMC Control (REMC_CTL) Register (D0/0x5408)

データ送信制御



図VI.6.4.1 データ送信



図VI.6.4.2 アンダーフロー割り込み発生タイミング

(1)データ送信モードの設定

MODE(D7/REMC_CFGレジスタ)に0を書き込み、REMCを送信モードに設定します。

* **MODE**: REMC Mode Select Bit in the REMC Configuration (REMC_CFG) Register (D7/0x5404)

(2)REMC_ENVLレジスタの設定

送信データのマーク幅(High期間)に相当する値をREMC_ENVLレジスタ(0x540e)に書き込みます。
エンベロープカウンタに設定する値は、次の式で求めてください。

$$\text{REMC_ENVL} = \frac{\text{マーク/スペース幅[s]} \times \text{プリスケーラ出力クロック周波数[Hz]}}{32} - 1$$

(3)データ送信を開始

送信を開始するには、REMST(D0/REMC_CTLレジスタ)を1に設定します。これにより、キャリア生成回路がキャリア信号の出力を開始します。エンベロープカウンタは次のカウントクロック(PSCクロック•1/32)でエンベロープ出力信号をHighに立ち上げ、REMC_ENVLレジスタの設定値をカウンタにロードします。エンベロープカウンタは、ロードされた値からカウントダウンを開始します。

(4)次のエンベロープ区間を設定

送信開始後、現在出力中のマーク区間に続くスペース幅(Low区間)をREMC_ENVLレジスタに設定します。その後は、アンダーフロー割り込みの発生を待ちます。

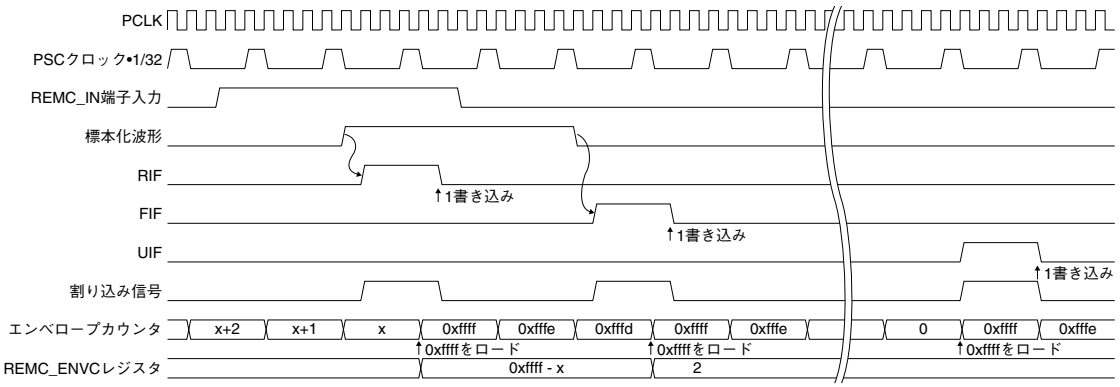
(5)アンダーフロー割り込み

エンベロープカウンタにアンダーフローが発生すると、エンベロープ出力信号レベルが反転し、REMC_ENVLレジスタ値がカウンタにロードされます。カウント動作は継続します。割り込みが許可されている場合、REMCモジュールはこれと同時に割り込み要求を割り込みコントローラ(ITC)に送ります。この割り込みを利用して、次の区間のカウントデータをREMC_ENVLレジスタに設定してください。

(6)データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMSTに0を書き込んでください。エンベロープカウンタは、REMSTが0に設定されると即時に停止します。

データ受信制御



図VI.6.4.3 データ受信

(1)データ受信モードの設定

MODE(D7/REMC_CFGレジスタ)に1を書き込み、REMCを受信モードに設定します。

(2)REMC_ENVLレジスタの設定

REMC_ENVLレジスタ(0x540e)に0xffffを書き込みます。REMC_ENVLレジスタに0xffff以外の値を設定すると、正しいエンベロープパルス幅を得ることができませんので注意してください。

(3)データ受信を開始

データの受信(入力信号エッジ検出)を開始するには、REMST(D0/REMC_CTLレジスタ)を1に設定します。

(4)立ち上がりエッジ/立ち下がりエッジ検出と割り込み

エッジ検出回路はREMC_IN端子から入力した信号をエンベロープカウントクロック(PSCクロック•1/32)でサンプリングし、入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジを検出すると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生します。このとき、割り込みが許可されていれば、REMCは割り込み要求をITCに送ります。 立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可可能です。立ち上がりエッジ割り込みは、アプリケーションプログラムにスペース区間の終了とマーク区間の開始を通知します。立ち下がりエッジ割り込みは、アプリケーションプログラムにマーク区間の終了とスペース区間の開始を通知します。

入力が変化した後の信号レベルがサンプリングクロックの2サイクル以上続けて検出されない場合は、グリッチフィルタによりノイズと見なされます。この場合、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

入力信号のエッジが検出されると、エンベロープカウンタのデータビットの反転値がREMC_ENVCレジスタ(0x5410)にロードされます。この値は受信したエンベロープのパルス幅を表します。
エンベロープカウンタには0xffffがロードされ、次のエンベロープパルスのためのカウントを開始します。
0xffffを設定した後、立ち上がり/立ち下がりエッジ割り込みが発生せずにエンベロープカウンタが0になった場合は、受信データが終了したか、あるいは受信エラーが発生した可能性があります。データ受信時にもアンダーフロー割り込みは発生しますので、終了やエラー処理に利用してください。

注: REMSTを1に設定後、最初の入力信号エッジを検出すると、エンベロープカウンタにREMC_ENVLレジスタに書き込まれた0xffffがロードされます。割り込みが許可されていると、このときに立ち上がりエッジ割り込みが発生しますが、この割り込みは無視してください。

(5) エンベロープパルス幅の算出

上記の割り込みを利用してREMC_ENVCレジスタからカウント値を読み出してください。この値は、直前に受信したエンベロープのパルス幅を表します。
パルス幅は次の式から求められます。

$$\text{エンベロープパルス幅} = \frac{(\text{REMC_ENVC} + 1) \times 32}{f_{PSOUT}\ [\text{Hz}]}\ [\text{s}]$$

REMC_ENVCはREMC_ENVCレジスタ値、f_{PSOUT}はプリスケーラ出力クロック周波数です。

REMC_ENVCレジスタ値は、次の立ち上がりエッジまたは立ち下がりエッジ割り込みが発生する前に読み出す必要があります。そうしないと、REMC_ENVCが次のカウントデータで上書きされてしまいます。

(6) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMSTに0を書き込んでください。

VI.6.5 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。
- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要求は、エンベロープカウンタがカウントダウンによりアンダーフローすると発生し、REMC内の割り込みフラグUIF(D4/REMC_CFGレジスタ)を1にセットします。データ送信時は、設定した長さのエンベロープパルスの送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

∗ **UIF**: Underflow Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D4/0x5404)

この割り込みを使用するには、UIE(D0/REMC_CFGレジスタ)を1に設定します。UIEが0(デフォルト)に設定されているとUIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **UIE**: Underflow Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D0/0x5404)

UIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みがエンベロープカウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでUIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要求は、REMC_IN端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグRIF(D6/REMC_CFGレジスタ)を1にセットします。前回の立ち下がりエッジ検出時からカウントされたエンベロープカウンタ値がREMC_ENVCレジスタ(0x5410)にロードされます。この割り込み発生後にREMC_ENVCレジスタを読み出し、その値から受信したスペースパルス幅を求めることができます。この割り込みの発生と同時に、エンベロープカウンタには0xffffがロードされ、この割り込みと次の立ち下がりエッジ割り込み間の長さ(マークパルス幅)を測定するカウントを開始します。

∗ **RIF**: Rising Edge Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D6/0x5404)

この割り込みを使用するには、RIE(D2/REMC_CFGレジスタ)を1に設定します。RIEが0(デフォルト)に設定されているとRIFは1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **RIE**: Rising Edge Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D2/0x5404)

RIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでRIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がりエッジ割り込み

この割り込み要求は、REMC_IN端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグFIF(D5/REMC_CFGレジスタ)を1にセットします。前回の立ち上がりエッジ検出時からカウントされたエンベロープカウンタ値がREMC_ENVCレジスタ(0x5410)にロードされます。この割り込み発生後にREMC_ENVCレジスタを読み出し、その値から受信したマークパルス幅を求めることができます。この割り込みの発生と同時に、エンベロープカウンタには0xffffがロードされ、この割り込みと次の立ち上がりエッジ割り込み間の長さ(スペースパルス幅)を測定するカウントを開始します。

* **FIF**: Falling Edge Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D5/0x5404)

この割り込みを使用するには、FIE(D1/REMC_CFGレジスタ)を1に設定します。FIEが0(デフォルト)に設定されているとFIFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **FIE**: Falling Edge Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D1/0x5404)

FIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが入力信号の立ち下がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでFIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

REMC割り込み用ITCレジスタ

前述の設定により、割り込みを許可した要因が発生するとREMCモジュールは割り込み信号をITCに出力します。REMC割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、REMC用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **AIFT14**: REMC Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D14/0x42e0)

ITC内の割り込みイネーブルビット

* **AIEN14**: REMC Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D14/0x42e2)

ITC内の割り込みレベル設定ビット

* **AILV14[2:0]**: REMC Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV7) Register 7 (D[2:0]/0x42f4)

REMCモジュールからの割り込み信号によりAIFT14が1にセットされます。このとき、AIEN14が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。REMCモジュールによる割り込みを禁止するには、AIEN14を0に設定しておきます。AIFT14は、AIEN14の設定にかかわらず(0に設定されていても)、REMCモジュールからの割り込み信号によって1にセットされます。
AILV14[2:0]は、REMC割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- REMC割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

REMC割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　30(0x1e)
ベクタアドレス: TTBR + 0x78

VI.6.6 制御レジスタ詳細

表VI.6.6.1 REMCレジスター覧

アドレス	レジスタ名		機　能
0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケーラの設定
0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
0x5408	REMC_CTL	REMC Control Register	送信制御
0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
0x540e	REMC_ENVL	REMC Envelope Load Register	エンベロープパルス幅の設定
0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベロープパルス幅

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5400: REMC Prescaler Control Register (REMC_PSC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Prescaler Control Register (REMC_PSC)	0x5400 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	REMPSON	REMC prescaler control	1 On / 0 Off	0	R/W	
		D1–0	REMPSDIV [1:0]	REMC prescaler division ratio select (Prescaler output clock)	REMPSDIV[1:0] / Clock: 0x3 PCLK•1/32; 0x2 PCLK•1/24; 0x1 PCLK•1/16; 0x0 PCLK•1/12	0x0	R/W	

D[15:3] Reserved

D2 REMPSON: REMC Prescaler Control Bit

REMCモジュールのプリスケーラをOn/Offします。
1(R/W): On
0(R/W): Off(デフォルト)

REMCモジュールを使用する前に、REMPSONを1に設定してプリスケーラをOnしてください。

D[1:0] REMPSDIV[1:0]: REMC Prescaler Division Ratio Select Bits

キャリア生成回路のカウントクロックを選択します。

表VI.6.6.2 キャリア生成回路用クロックの選択

REMPSDIV[1:0]	プリスケーラ出力クロック
0x3	PCLK•1/32
0x2	PCLK•1/24
0x1	PCLK•1/16
0x0	PCLK•1/12

(デフォルト: 0x0)

一般の赤外線キャリアは、ほとんどが30kHz～56kHzの範囲の周波数、1/2、1/3または1/4のデューティ比に設定されています。キャリア周波数の精度を確保するには、1MHz(最低)から8MHz(最大)のプリスケーラ出力クロックを使用してください。
例: 1. PCLK周波数が48MHzの場合は、PCLK•1/24(2MHz)を推奨します。
2. PCLK周波数が60MHzの場合は、PCLK•1/32(1.875MHz)を推奨します。

プリスケーラクロックは更に1/32に分周された後、エンベロープカウンタとエッジ検出回路にも供給されます。

0x5404: REMC Configuration Register(REMC_CFG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5404 (16 bits)	D15–8	–	reserved	–				–	–	0 when being read.
		D7	MODE	REMC mode select	1	Receive	0	Transmit	0	R/W	
		D6	RIF	Rising edge interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D5	FIF	Falling edge interrupt flag					0	R/W	
		D4	UIF	Underflow interrupt flag					0	R/W	
		D3	–	reserved	–				–	–	0 when being read.
		D2	RIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	FIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	UIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:8] Reserved

D7 MODE: REMC Mode Select Bit

送受信方向を選択します。
1(R/W): 受信
0(R/W): 送信(デフォルト)

注: 設定を変更する場合は、REMST(D0/REMC_CTLレジスタ)が0(REMCが停止中)になっていることを確認してください。

D6 RIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

RIFは入力信号の立ち上がりエッジが検出されると1にセットされます。このフラグはREMCが受信モードでRIE(D2)が1に設定されている場合にのみ有効です。RIEが0の場合、立ち上がりエッジが検出されてもRIFは1にセットされません。
本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
RIFは1の書き込みによりリセットされます。

D5 FIF: Falling Edge Interrupt Flag Bit

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

FIFは入力信号の立ち下がりエッジが検出されると1にセットされます。このフラグはREMCが受信モードでFIE(D1)が1に設定されている場合にのみ有効です。FIEが0の場合、立ち下がりエッジが検出されてもFIFは1にセットされません。
本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
FIFは1の書き込みによりリセットされます。

D4 UIF: Underflow Interrupt Flag Bit

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

UIFはデータの送受信中にエンベロープカウンタがアンダーフローすると1にセットされます。このフラグはUIE(D0)が1に設定されている場合にのみ有効です。UIEが0の場合、エンベロープカウンタがアンダーフローしてもUIFは1にセットされません。
本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
UIFは1の書き込みによりリセットされます。

D3 Reserved

D2 RIE: Rising Edge Interrupt Enable Bit

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

RIEを1に設定すると、立ち上がりエッジ割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

D1 FIE: Falling Edge Interrupt Enable Bit

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

FIEを1に設定すると、立ち下がりエッジ割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

D0 UIE: Underflow Interrupt Enable Bit

エンベロープカウンタのアンダーフローによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

UIEを1に設定すると、アンダーフロー割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

注: 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってREMC割り込みを許可する前に、割り込みフラグをリセットしてください。

0x5408: REMC Control Register (REMC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Control Register (REMC_CTL)	0x5408 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	REMST	REMC start/stop control	1 Start 0 Stop	0	R/W	

D[15:1] Reserved

D0 REMST: REMC Start/Stop Control Bit

REMCモジュールの動作を開始/停止させます。
1(R): REMCは送受信中
0(R): REMCは待機中(デフォルト)
1(W): REMC動作を開始
0(W): REMC動作を停止

REMSTを1に設定すると、REMCモジュールはMODE(D7/REMC_CFGレジスタ)の設定に従ってデータ送信または受信の動作を開始します。REMSTを0に設定すると、REMCモジュールは動作を停止します。

0x540c: REMC Carrier Load Register (REMC_CARL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Load Register (REMC_CARL)	0x540c (16 bits)	D15–8	CLDH[7:0]	REMC carrier high width setup	0x0 to 0xff	0x0	R/W	
		D7–0	CLDL[7:0]	REMC carrier low width setup	0x0 to 0xff	0x0	R/W	

注: 本レジスタは送信モード時にのみ有効で、受信モードでは使用しません。

D[15:8] CLDH[7:0]: REMC Carrier High Width Setup Bits

キャリア信号のH区間長を設定します。（デフォルト: 0x0）
プリスケーラクロックのサイクル数+1の値を指定します。
キャリアH区間長[s] = (CLDH[7:0] + 1) / f_{PSOUT} [Hz] （f_{PSOUT}: プリスケーラクロック周波数）

D[7:0] CLDL[7:0]: REMC Carrier Low Width Setup Bits

キャリア信号のL区間長を設定します。（デフォルト: 0x0）
プリスケーラクロックのサイクル数+1の値を指定します。
キャリアL区間長[s] = (CLDL[7:0] + 1) / f_{PSOUT} [Hz] （f_{PSOUT}: プリスケーラクロック周波数）

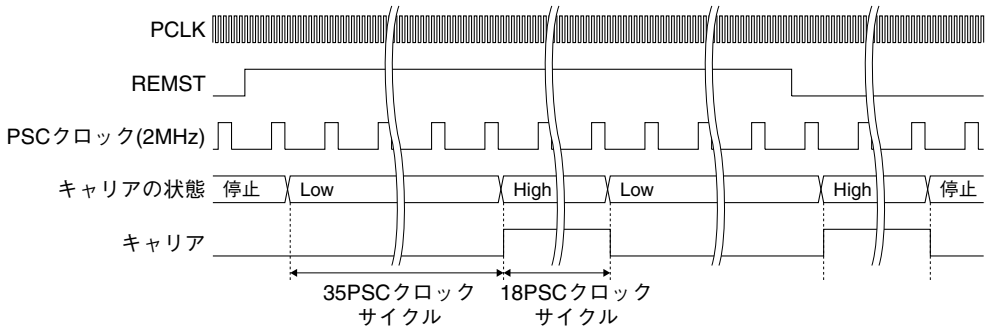
プリスケーラクロック周波数が2MHzの場合のキャリア設定例を下表に示します。

表VI.6.6.3 キャリア設定例

プリスケーラクロック周波数	2MHz		
キャリア周波数	30kHz	38kHz	56kHz
キャリアデューティ	1/2	1/3	1/4
理想周期	33.333µs	26.316µs	17.857µs
CLDH[7:0]設定	32	17	8
CLDL[7:0]設定	32	34	26
区間誤差範囲	1%	0.7%	0.8%

キャリア信号は図VI.6.6.1のように生成されます。

例: REMPSDIV[1:0] = 0x2(PCLK•1/24、2MHz)、CLDH[7:0] = 17、CLDL[7:0] = 34
（キャリア38kHz、1/3デューティ）



図VI.6.6.1 キャリア信号の生成

0x540e: REMC Envelope Load Register (REMC_ENVL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Envelope Load Register (REMC_ENVL)	0x540e (16 bits)	D15–0	ELD[15:0]	Envelope counter preset data	0x0 to 0xffff	0x0	R/W	

D[15:0] ELD[15:0]: Envelope Counter Preset Data Bits

エンベロープカウンタにセットする初期値を設定します。（デフォルト: 0x0）
カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信モード時

データ送信時は送信するエンベロープパルス幅を設定します。
本レジスタに設定する値は、次の式で求めてください。

$$\text{REMC_ENVL} = \frac{\text{マーク/スペース幅[s]} \times \text{プリスケーラ出力クロック周波数[Hz]}}{32} - 1$$

REMST（D0/REMC_CTLレジスタ）に1を書き込んでデータ送信を開始すると、エンベロープカウンタは本レジスタに設定した値からカウントダウンを開始します。カウントダウンによりカウンタがアンダーフローすると、アンダーフロー割り込み要因が発生します。この割り込みを利用して、次のエンベロープパルス幅を設定することができます。アンダーフローが発生すると本レジスタの設定値がエンベロープカウンタにロードされ、カウントダウンを継続します。カウンタはREMSTが0に設定されると停止します。

データ受信モード時

データ受信時は、本レジスタに0xffffを設定します。この値は、入力エンベロープパルス幅をエンベロープカウンタでカウントするための初期値として使用されます。入力信号の立ち上がりまたは立ち下がりエッジを検出すると、割り込みが発生すると共に、エンベロープカウンタが本レジスタに設定した0xffffをロードしてカウントダウンを開始（継続）します。0xffffをロードする直前に、エンベロープカウンタのカウント値がビット反転の後にREMC_ENVCレジスタ（0x5410）に送られます。この値は、直前に受信したエンベロープのパルス幅を表します。

0x5410: REMC Envelope Capture Register (REMC_ENVC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Envelope Capture Register (REMC_ENVC)	0x5410 (16 bits)	D15–0	ECP[15:0]	Receive envelope pulse width	0x0 to 0xffff	0x0	R	

D[15:0] ECP[15:0]: Receive Envelope Pulse Width Bits

受信時にエンベロープカウンタで測定したエンベロープパルス幅が本レジスタにロードされます。（デフォルト: 0x0）
入力信号のエッジが検出されると、エンベロープカウンタのデータビットの反転値が本レジスタにロードされます。この値は受信したエンベロープのパルス幅を表します。
立ち上がりまたは立ち下がりエッジ割り込みが発生後、本レジスタの値を読み出してください。パルス幅は次の式から求められます。

$$\text{エンベロープパルス幅} = \frac{(\text{REMC_ENVC} + 1) \times 32}{f_{PSOUT}\ [\text{Hz}]}\ [\text{s}]$$

REMC_ENVCはREMC_ENVCレジスタ値、f_{PSOUT}はプリスケーラ出力クロック周波数です。

REMC_ENVCレジスタ値は、次の立ち上がりエッジまたは立ち下がりエッジ割り込みが発生する前に読み出す必要があります。そうしないと、REMC_ENVCが次のカウントデータで上書きされてしまいます。

VI.6.7 注意事項

- REMCモジュールで送受信を行うには、プリスケーラを動作させる必要があります。
- プリスケーラとキャリア生成回路の設定は必ずREMCモジュールが停止中（REMST/REMC_CTLレジスタ = 0）に行ってください。

  * **REMST**: REMC Start/Stop Control Bit in the REMC Control (REMC_CTL) Register (D0/0x5408)

VI.7 カードインタフェース（CARD）

VI.7.1 カードインタフェースの概要

カードインタフェース（CARD）は、NAND Flashおよびスマートメディアカード用の#SMRDと#SMWR信号を生成します。
デバイスは、#CE2エリア（0xd00000～0xeffff、2MB）に配置でき、各デバイスのデータとアドレス信号はSRAMCの外部バスに直結できます。
CARDモジュールは8ビットおよび16ビットのNAND Flashデバイスおよびスマートメディアカードに対応しています。
NAND Flashまたはスマートメディアカード固有の信号については、汎用入出力ポートを使用して制御してください。

VI.7.2 カードインタフェース端子

表VI.7.2.1にカードインタフェースの出力端子を示します。

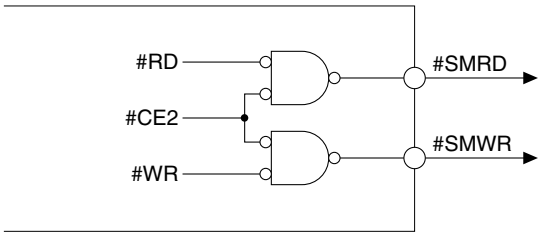
表VI.7.2.1 カードインタフェース端子一覧

端子名	I/O	本数	機　能
#SMRD	O	1	スマートメディアリード信号出力端子 NAND Flashとスマートメディアカード用のリード信号を出力します。
#SMWR	O	1	スマートメディアライト信号出力端子 NAND Flashとスマートメディアカード用のライト信号を出力します。

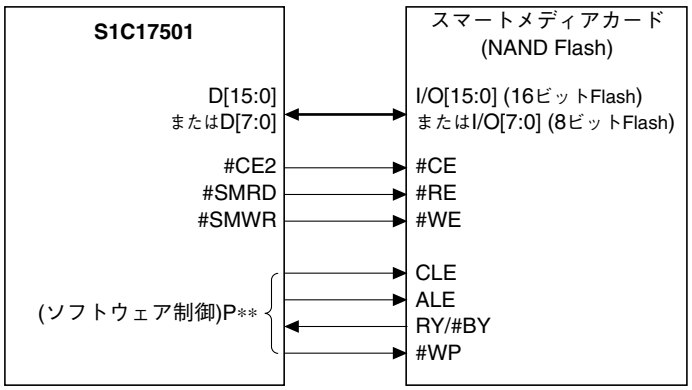
カードインタフェースの出力端子（#SMRD、#SMWR）は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをカードインタフェースの出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

VI.7.3 カードインタフェース制御信号

図VI.7.3.1にスマートメディアインタフェース信号を生成するロジックを、図VI.7.3.2にS1C17501とスマートメディア（NAND Flash）の接続例を示します。



図VI.7.3.1 スマートメディアインタフェース信号生成回路



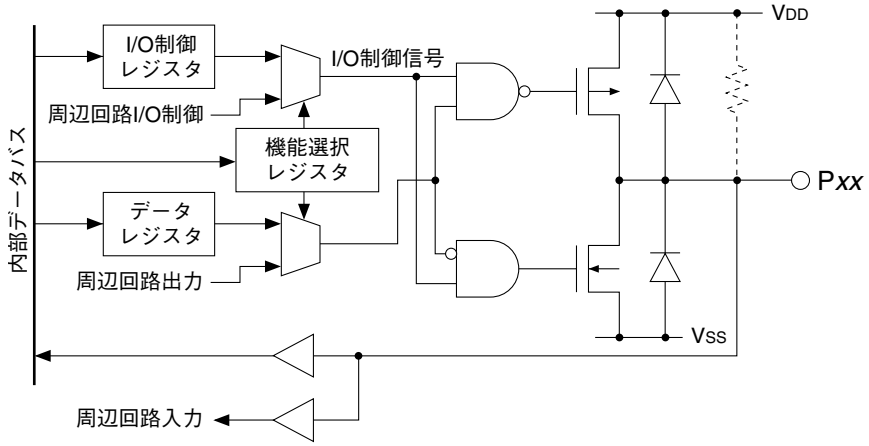
図VI.7.3.2 スマートメディアの接続例

VII S1C17501入出力ポート

VII.1 汎用入出力ポート(GPIO)

VII.1.1 入出力ポートの構成

S1C17501は、8本の入力ポート(P0[7:0])とプログラムにより入出力方向の切り換えが可能な91本の入出力ポート(P1[6:0]、P2[7:0]、P3[7:0]、P4[5:0]、P5[7:0]、P6[7:0]、P7[7:0]、P8[6:0]、P9[7:0]、PA[6:0]、PB[7:0]、およびPC[7:0])を内蔵しています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。
また、入出力ポートは8系統の入力割り込みをサポートしています。
図VII.1.1.1に入出力ポートの構造を示します。



図VII.1.1.1 入出力ポートの構造

注: • P36、P45、PA[6:0]ポートには100kΩのプルアップ抵抗が内蔵されています。その他のポートにプルアップ/ダウン抵抗は内蔵されていません。

• P0[7:0]ポートは入力専用ポートで、インタフェース電圧レベルもVDDではなくAVDDです。

VII.1.2 入出力端子機能の選択

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをPort Function Select Registerによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

イニシャルリセットにより、各入出力ポート端子(P*xx*)はデフォルトの機能に初期化されます。
端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: P3[7:5]端子はデフォルトでデバッグインタフェース端子に設定されます。その他のP*xx*端子は汎用入出力ポートに設定されます。

VII.1.3 I/O制御レジスタと入出力モード

入出力ポートは、それぞれのビットに対応したIOC*x*にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

* **IOC1[6:0]**: P1[6:0] I/O Control Bits in the P1 I/O Control (P1_IOC) Register (D[6:0]/0x4403)
* **IOC2[7:0]**: P2[7:0] I/O Control Bits in the P2 I/O Control (P2_IOC) Register (D[7:0]/0x4405)
* **IOC3[7:0]**: P3[7:0] I/O Control Bits in the P3 I/O Control (P3_IOC) Register (D[7:0]/0x4407)
* **IOC4[5:0]**: P4[5:0] I/O Control Bits in the P4 I/O Control (P4_IOC) Register (D[5:0]/0x4409)
* **IOC5[7:0]**: P5[7:0] I/O Control Bits in the P5 I/O Control (P5_IOC) Register (D[7:0]/0x440b)
* **IOC6[7:0]**: P6[7:0] I/O Control Bits in the P6 I/O Control (P6_IOC) Register (D[7:0]/0x440d)
* **IOC7[7:0]**: P7[7:0] I/O Control Bits in the P7 I/O Control (P7_IOC) Register (D[7:0]/0x440f)
* **IOC8[6:0]**: P8[6:0] I/O Control Bits in the P8 I/O Control (P8_IOC) Register (D[6:0]/0x4411)
* **IOC9[7:0]**: P9[7:0] I/O Control Bits in the P9 I/O Control (P9_IOC) Register (D[7:0]/0x4413)
* **IOCA[6:0]**: PA[6:0] I/O Control Bits in the PA I/O Control (PA_IOC) Register (D[6:0]/0x4415)
* **IOCB[7:0]**: PB[7:0] I/O Control Bits in the PB I/O Control (PB_IOC) Register (D[7:0]/0x4417)
* **IOCC[7:0]**: PC[7:0] I/O Control Bits in the PC I/O Control (PC_IOC) Register (D[7:0]/0x4419)

入出力ポートを入力モードに設定する場合はI/O制御ビットに0を書き込みます。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。
入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh（V_{DD}）レベルのときに1、Low（V_{SS}）レベルのときに0となります。

出力モードに設定する場合はI/O制御ビットに1を書き込みます。出力モードに設定された入出力ポートは出力ポートとして機能し、ポート出力データが1の場合にHigh（V_{DD}）レベル、0の場合にLow（V_{SS}）レベルを出力します。

VII.1.4 I/Oデータレジスタ

以下に示すレジスタを入出力ポート端子からのデータの読み込みと、出力データの設定に使用します。

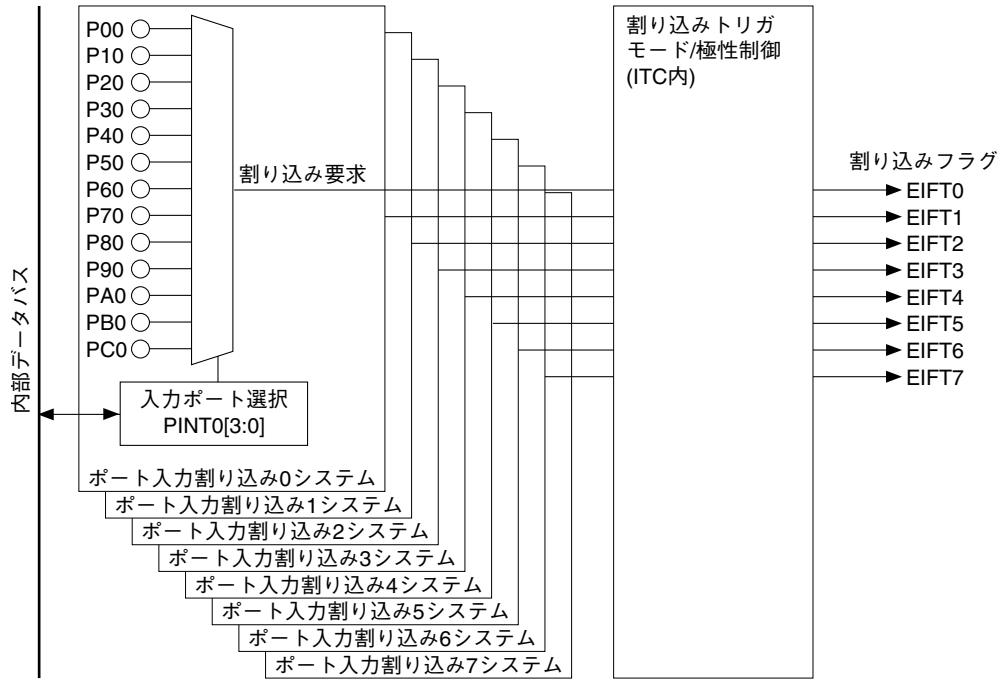
* **P0D[7:0]**: P0[7:0] Port Input Data Bits in the P0 Port Input Data (P0_DAT) Register (D[7:0]/0x4400)
* **P1D[6:0]**: P1[6:0] Port Input/Output Data Bits in the P1 Port Input/Output Data (P1_DAT) Register (D[6:0]/0x4402)
* **P2D[7:0]**: P2[7:0] Port Input/Output Data Bits in the P2 Port Input/Output Data (P2_DAT) Register (D[7:0]/0x4404)
* **P3D[7:0]**: P3[7:0] Port Input/Output Data Bits in the P3 Port Input/Output Data (P3_DAT) Register (D[7:0]/0x4406)
* **P4D[5:0]**: P4[5:0] Port Input/Output Data Bits in the P4 Port Input/Output Data (P4_DAT) Register (D[5:0]/0x4408)
* **P5D[7:0]**: P5[7:0] Port Input/Output Data Bits in the P5 Port Input/Output Data (P5_DAT) Register (D[7:0]/0x440a)
* **P6D[7:0]**: P6[7:0] Port Input/Output Data Bits in the P6 Port Input/Output Data (P6_DAT) Register (D[7:0]/0x440c)
* **P7D[7:0]**: P7[7:0] Port Input/Output Data Bits in the P7 Port Input/Output Data (P7_DAT) Register (D[7:0]/0x440e)
* **P8D[6:0]**: P8[6:0] Port Input/Output Data Bits in the P8 Port Input/Output Data (P8_DAT) Register (D[6:0]/0x4410)
* **P9D[7:0]**: P9[7:0] Port Input/Output Data Bits in the P9 Port Input/Output Data (P9_DAT) Register (D[7:0]/0x4412)
* **PAD[6:0]**: PA[6:0] Port Input/Output Data Bits in the PA Port Input/Output Data (PA_DAT) Register (D[6:0]/0x4414)
* **PBD[7:0]**: PB[7:0] Port Input/Output Data Bits in the PB Port Input/Output Data (PB_DAT) Register (D[7:0]/0x4416)
* **PCD[7:0]**: PC[7:0] Port Input/Output Data Bits in the PC Port Input/Output Data (PC_DAT) Register (D[7:0]/0x4418)

入出力ポートが出力モードの場合、上記のレジスタに書き込まれたデータが直接、入出力ポート端子に出力されます。レジスタに書き込んだデータが1の場合、そのポート端子はHigh（V_{DD}）レベルになります。データが0の場合、ポート端子はLow（V_{SS}）レベルになります。
入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

レジスタリード時は、入出力モードの設定にかかわらず、ポート端子上の電圧レベルが読み出されます。端子電圧がHigh（V_{DD}）レベルのときは、入力データとして1が読み出されます。端子電圧がLow（V_{SS}）レベルのときは、入力データとして0が読み出されます。

VII.1.5 ポート入力割り込み

GPIOモジュールは8本の割り込み系列(ポート入力割り込み0～7)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。割り込み条件についても、入力信号のエッジ(立ち上がりエッジまたは立ち下がりエッジ)で割り込みを発生させるか、レベル(Highレベルまたは Lowレベル)によって発生させるか、割り込みコントローラ(ITC)で選択可能です。
図VII.1.5.1にポート入力割り込み回路の構成を示します。



図VII.1.5.1 ポート入力割り込み回路の構成

VII.1.5.1 入力端子の選択

各割り込み系列ごとに、入力端子を既定の8本の中から選択できます。
以下に各割り込み系列のポートを選択する制御ビットとレジスタを示します。

- **PINT0[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 0 Select (PINTSEL0) Register (D[7:4]/0x4440)
- **PINT1[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 1 Select (PINTSEL1) Register (D[7:4]/0x4441)
- **PINT2[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 2 Select (PINTSEL2) Register (D[7:4]/0x4442)
- **PINT3[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 3 Select (PINTSEL3) Register (D[7:4]/0x4443)
- **PINT4[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 4 Select (PINTSEL4) Register (D[7:4]/0x4444)
- **PINT5[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 5 Select (PINTSEL5) Register (D[7:4]/0x4445)
- **PINT6[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 6 Select (PINTSEL6) Register (D[7:4]/0x4446)
- **PINT7[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 7 Select (PINTSEL7) Register (D[7:4]/0x4447)

表VII.1.5.1.1に各割り込み系列で選択可能な入力端子を示します。

表 VII.1.5.1.1 ポート入力割り込み用入力端子の選択

ポート入力 割り込み系列	PINT*x*[3:0]設定												
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	0x8	0x9	0xa	0xb	0xc
0	P00	P10	P20	P30	P40	P50	P60	P70	P80	P90	PA0	PB0	PC0
1	P01	P11	P21	P31	P41	P51	P61	P71	P81	P91	PA1	PB1	PC1
2	P02	P12	P22	P32	P42	P52	P62	P72	P82	P92	PA2	PB2	PC2
3	P03	P13	P23	P33	P43	P53	P63	P73	P83	P93	PA3	PB3	PC3
4	P04	P14	P24	P34	P44	P54	P64	P74	P84	P94	PA4	PB4	PC4
5	P05	P15	P25	P35	P45	P55	P65	P75	P85	P95	PA5	PB5	PC5
6	P06	P16	P26	P36	–	P56	P66	P76	P86	P96	PA6	PB6	PC6
7	P07	–	P27	P37	–	P57	P67	P77	–	P97	–	PB7	PC7

VII.1.5.2 割り込みコントローラの制御レジスタ

トリガモードと極性の選択

割り込みコントローラ(ITC)は、ポート割り込み要求をパルス信号とレベル信号のどちらでも受け付けられるように、パルストリガモードとレベルトリガモードの2つの割り込みモードを持っています。トリガモードは、ITC_ELV*x*レジスタ(0x4306～0x430c)のEITG*x*ビットで選択できます。EITG*x*を1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

また、ITCに入力するポート入力割り込み要求信号の極性もITC_ELV*x*レジスタ(0x4306～0x430c)内のEITP*x*ビットで選択できます。EITP*x*を1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

表 VII.1.5.2.1 トリガモード/極性選択ビット

割り込み系列	トリガモード選択ビット	トリガ極性選択ビット	レジスタアドレス
ポート入力割り込み0	EITG0(D4/ITC_ELV0レジスタ)	EITP0(D5/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み1	EITG1(D12/ITC_ELV0レジスタ)	EITP1(D13/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み2	EITG2(D4/ITC_ELV1レジスタ)	EITP2(D5/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み3	EITG3(D12/ITC_ELV1レジスタ)	EITP3(D13/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み4	EITG4(D4/ITC_ELV2レジスタ)	EITP4(D5/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み5	EITG5(D12/ITC_ELV2レジスタ)	EITP5(D13/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み6	EITG6(D4/ITC_ELV3レジスタ)	EITP6(D5/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み7	EITG7(D12/ITC_ELV3レジスタ)	EITP7(D13/ITC_ELV3レジスタ)	0x430c

これらのレジスタにより、ポート入力割り込み条件は表VII.1.5.2.2のようになります。

表VII.1.5.2.2 ポート入力割り込み条件

EITG*x*	EITP*x*	ポート入力割り込み条件
1	1	Highレベル
1	0	Lowレベル
0	1	立ち上がりエッジ
0	0	立ち下がりエッジ

ITCの割り込み制御レジスタ

各ポート入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表VII.1.5.2.3に示します。

表VII.1.5.2.3 割り込みコントローラの制御レジスタ

割り込み系列	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
ポート入力割り込み0	EIFT0(D0/ITC_IFLG)	EIEN0(D0/ITC_EN)	EILV0[2:0](D[2:0]/ITC_ELV0)
ポート入力割り込み1	EIFT1(D1/ITC_IFLG)	EIEN1(D1/ITC_EN)	EILV1[2:0](D[10:8]/ITC_ELV0)
ポート入力割り込み2	EIFT2(D2/ITC_IFLG)	EIEN2(D2/ITC_EN)	EILV2[2:0](D[2:0]/ITC_ELV1)
ポート入力割り込み3	EIFT3(D3/ITC_IFLG)	EIEN3(D3/ITC_EN)	EILV3[2:0](D[10:8]/ITC_ELV1)
ポート入力割り込み4	EIFT4(D4/ITC_IFLG)	EIEN4(D4/ITC_EN)	EILV4[2:0](D[2:0]/ITC_ELV2)
ポート入力割り込み5	EIFT5(D5/ITC_IFLG)	EIEN5(D5/ITC_EN)	EILV5[2:0](D[10:8]/ITC_ELV2)
ポート入力割り込み6	EIFT6(D6/ITC_IFLG)	EIEN6(D6/ITC_EN)	EILV6[2:0](D[2:0]/ITC_ELV3)
ポート入力割り込み7	EIFT7(D7/ITC_IFLG)	EIEN7(D7/ITC_EN)	EILV7[2:0](D[10:8]/ITC_ELV3)

ITC_IFLGレジスタ(0x4300)
ITC_ENレジスタ(0x4302)
ITC_ELV0、ITC_ELV1、ITC_ELV2、ITC_ELV3レジスタ(0x4306、0x4308、0x430a、0x430c)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込みフラグが1にセットされます。その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。ポート入力割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みレベル設定ビットは、ポート入力割り込みのレベル(0～7)を設定します。同一の割り込みレベルに設定した場合、ポート入力割り込み0の優先順位が高く、ポート入力割り込み7が低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- ポート入力割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

ポート入力割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表VII.1.5.2.4 ポート入力割り込みベクタ

割り込み系列	ベクタ番号	ベクタアドレス
ポート入力割り込み0	4 (0x4)	TTBR + 0x10
ポート入力割り込み1	5 (0x5)	TTBR + 0x14
ポート入力割り込み2	6 (0x6)	TTBR + 0x18
ポート入力割り込み3	7 (0x7)	TTBR + 0x1c
ポート入力割り込み4	12 (0xc) または 16 (0x10)	TTBR + 0x30 または TTBR + 0x40
ポート入力割り込み5	13 (0xd) または 17 (0x11)	TTBR + 0x34 または TTBR + 0x44
ポート入力割り込み6	14 (0xe) または 18 (0x12)	TTBR + 0x38 または TTBR + 0x48
ポート入力割り込み7	15 (0xf) または 19 (0x13)	TTBR + 0x3c または TTBR + 0x4c

注: ポート入力割り込み4、6、7の割り込みベクタ番号12、14～16、18～19は他の割り込み要因と共有されます。これらのベクタ番号をポート入力割り込みで使用するには、ポート入力割り込み用の割り込みイネーブルビットを1に設定し、もう一方を0に設定してください。

表VII.1.5.2.5 割り込みベクタ12と16(UART CH.0、CLG_T16U0、ポート4割り込み)

割り込みイネーブルビット			割り込みベクタ12	割り込みベクタ16
IIEN4(UART CH.0)	IIEN0(CLG_T16U0)	EIEN4(ポート4)		
1	1	1	CLG_T16U0割り込み	UART CH.0割り込み
1	1	0	CLG_T16U0割り込み	UART CH.0割り込み
1	0	1	ポート割り込み4	UART CH.0割り込み
1	0	0	–	UART CH.0割り込み
0	1	1	CLG_T16U0割り込み	ポート割り込み4
0	1	0	CLG_T16U0割り込み	–
0	0	1	ポート割り込み4	ポート割り込み4
0	0	0	–	–

(割り込みイネーブルビット: 1 = 割り込み許可、0 = 割り込み禁止)

表VII.1.5.2.6 割り込みベクタ14と18(SPI CH.0、CLG_T8S、ポート6割り込み)

割り込みイネーブルビット			割り込みベクタ14	割り込みベクタ18
IIEN6(SPI CH.0)	IIEN2(CLG_T8S)	EIEN6(ポート6)		
1	1	1	CLG_T8S割り込み	SPI CH.0割り込み
1	1	0	CLG_T8S割り込み	SPI CH.0割り込み
1	0	1	ポート割り込み6	SPI CH.0割り込み
1	0	0	–	SPI CH.0割り込み
0	1	1	CLG_T8S割り込み	ポート割り込み6
0	1	0	CLG_T8S割り込み	–
0	0	1	ポート割り込み6	ポート割り込み6
0	0	0	–	–

表VII.1.5.2.7 割り込みベクタ15と19(I^2C、CLG_T8I、ポート7割り込み)

割り込みイネーブルビット			割り込みベクタ15	割り込みベクタ19
IIEN7(I^2C)	IIEN3(CLG_T8I)	EIEN7(ポート7)		
1	1	1	CLG_T8I割り込み	I^2C割り込み
1	1	0	CLG_T8I割り込み	I^2C割り込み
1	0	1	ポート割り込み7	I^2C割り込み
1	0	0	–	I^2C割り込み
0	1	1	CLG_T8I割り込み	ポート割り込み7
0	1	0	CLG_T8I割り込み	–
0	0	1	ポート割り込み7	ポート割り込み7
0	0	0	–	–

VII.1.6 制御レジスタ詳細

表VII.1.6.1 入出力ポートレジスター覧

アドレス	レジスタ名		機　能
0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
0x440c	P6_DAT	P6 Port Input/Output Data Register	P6ポート入出力データ
0x440d	P6_IOC	P6 Port I/O Control Register	P6ポート入出力方向の選択
0x440e	P7_DAT	P7 Port Input/Output Data Register	P7ポート入出力データ
0x440f	P7_IOC	P7 Port I/O Control Register	P7ポート入出力方向の選択
0x4410	P8_DAT	P8 Port Input/Output Data Register	P8ポート入出力データ
0x4411	P8_IOC	P8 Port I/O Control Register	P8ポート入出力方向の選択
0x4412	P9_DAT	P9 Port Input/Output Data Register	P9ポート入出力データ
0x4413	P9_IOC	P9 Port I/O Control Register	P9ポート入出力方向の選択
0x4414	PA_DAT	PA Port Input/Output Data Register	PAポート入出力データ
0x4415	PA_IOC	PA Port I/O Control Register	PAポート入出力方向の選択
0x4416	PB_DAT	PB Port Input/Output Data Register	PBポート入出力データ
0x4417	PB_IOC	PB Port I/O Control Register	PBポート入出力方向の選択
0x4418	PC_DAT	PC Port Input/Output Data Register	PCポート入出力データ
0x4419	PC_IOC	PC Port I/O Control Register	PCポート入出力方向の選択
0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
0x4421	P0_47_CFP	P04–P07 Port Function Select Register	P04–P07ポート機能の選択
0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
0x4424	P2_03_CFP	P20–P23 Port Function Select Register	P20–P23ポート機能の選択
0x4425	P2_47_CFP	P24–P27 Port Function Select Register	P24–P27ポート機能の選択
0x4426	P3_03_CFP	P30–P33 Port Function Select Register	P30–P33ポート機能の選択
0x4427	P3_47_CFP	P34–P37 Port Function Select Register	P34–P37ポート機能の選択
0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
0x4429	P4_45_CFP	P44–P45 Port Function Select Register	P44–P45ポート機能の選択
0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
0x442b	P5_47_CFP	P54–P57 Port Function Select Register	P54–P57ポート機能の選択
0x442c	P6_03_CFP	P60–P63 Port Function Select Register	P60–P63ポート機能の選択
0x442d	P6_47_CFP	P64–P67 Port Function Select Register	P64–P67ポート機能の選択
0x442e	P7_03_CFP	P70–P73 Port Function Select Register	P70–P73ポート機能の選択
0x442f	P7_47_CFP	P74–P77 Port Function Select Register	P74–P77ポート機能の選択
0x4430	P8_03_CFP	P80–P83 Port Function Select Register	P80–P83ポート機能の選択
0x4431	P8_46_CFP	P84–P86 Port Function Select Register	P84–P86ポート機能の選択
0x4432	P9_03_CFP	P90–P93 Port Function Select Register	P90–P93ポート機能の選択
0x4433	P9_47_CFP	P94–P97 Port Function Select Register	P94–P97ポート機能の選択
0x4434	PA_03_CFP	PA0–PA3 Port Function Select Register	PA0–PA3ポート機能の選択
0x4435	PA_46_CFP	PA4–PA6 Port Function Select Register	PA4–PA6ポート機能の選択
0x4436	PB_03_CFP	PB0–PB3 Port Function Select Register	PB0–PB3ポート機能の選択
0x4437	PB_47_CFP	PB4–PB7 Port Function Select Register	PB4–PB7ポート機能の選択
0x4438	PC_03_CFP	PC0–PC3 Port Function Select Register	PC0–PC3ポート機能の選択
0x4439	PC_47_CFP	PC4–PC7 Port Function Select Register	PC4–PC7ポート機能の選択
0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用P*x*0ポートの選択
0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用P*x*1ポートの選択
0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用P*x*2ポートの選択
0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用P*x*3ポートの選択
0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用P*x*4ポートの選択
0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用P*x*5ポートの選択
0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用P*x*6ポートの選択
0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用P*x*7ポートの選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4400–0x4418: P*x* Port Input/Output Data Registers (P*x*_DAT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P*x* Port Input /Output Data Register (P*x*_DAT)	**0x4400 | 0x4418** (8 bits)	D7–0	**P*x*D[7:0]**	P*x*[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.

注: ビット名などの'*x*'はポート番号の0～9、A、BおよびCを示します。

0x4400 P0 Port Input Data Register (P0_DAT) ＊入力のみ
0x4402 P1 Port Input/Output Data Register (P1_DAT)
0x4404 P2 Port Input/Output Data Register (P2_DAT)
0x4406 P3 Port Input/Output Data Register (P3_DAT)
0x4408 P4 Port Input/Output Data Register (P4_DAT)
0x440a P5 Port Input/Output Data Register (P5_DAT)
0x440c P6 Port Input/Output Data Register (P6_DAT)
0x440e P7 Port Input/Output Data Register (P7_DAT)
0x4410 P8 Port Input/Output Data Register (P8_DAT)
0x4412 P9 Port Input/Output Data Register (P9_DAT)
0x4414 PA Port Input/Output Data Register (PA_DAT)
0x4416 PB Port Input/Output Data Register (PB_DAT)
0x4418 PC Port Input/Output Data Register (PC_DAT)

入出力ポート端子のデータの読み出し、および出力データの設定を行うレジスタです。（デフォルト: 外部端子状態）

1（R/W）: Highレベル
0（R/W）: Lowレベル

入出力ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力ポート端子に出力されます。ポートデータとして1を書き込んだ場合はポート端子はHigh（V_{DD}）レベルとなり、0を書き込んだ場合はLow（V_{SS}）レベルとなります。
入力モードの場合もポートデータの書き込みは行えます。

データの読み出し時は、入出力ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh（V_{DD}）レベルの場合は1、Low（V_{SS}）レベルの場合は0がそれぞれ入力データとして読み出されます。

注: ノイズが入力データに影響するような場合は、2回読み出してどちらも同じ値であることを確認してください。

0x4403–0x4419: P*x* I/O Control Registers (P*x*_IOC)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P*x* I/O Control Register (P*x*_IOC)	**0x4403 | 0x4419** (8 bits)	D7–0	**IOC*x*[7:0]**	P*x*[7:0] I/O control	1	Output	0	Input	0	R/W	

注: ビット名などの‘*x*’はポート番号の1～9、A、BおよびCを示します。

0x4403 P1 I/O Control Register (P1_IOC)
0x4405 P2 I/O Control Register (P2_IOC)
0x4407 P3 I/O Control Register (P3_IOC)
0x4409 P4 I/O Control Register (P4_IOC)
0x440b P5 I/O Control Register (P5_IOC)
0x440d P6 I/O Control Register (P6_IOC)
0x440f P7 I/O Control Register (P7_IOC)
0x4411 P8 I/O Control Register (P8_IOC)
0x4413 P9 I/O Control Register (P9_IOC)
0x4415 PA I/O Control Register (PA_IOC)
0x4417 PB I/O Control Register (PB_IOC)
0x4419 PC I/O Control Register (PC_IOC)

入出力ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。
1（R/W）: 出力モード
0（R/W）: 入力モード（デフォルト）

IOC*x*は各入出力ポートに対応するI/O制御ビットで、1に設定すると対応する入出力ポートが出力モードに、0に設定すると入力モードになります。
端子を周辺回路用に使用する場合の入出力方向は、周辺回路の機能により決まります。

データの読み出し時は、ポート端子のI/O制御信号の値が読み出されます。Port Function Select Registerによって入出力ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOC*x*への書き込み値とは異なる場合があります。

0x4420–0x4439: Port Function Select Registers (P*x*_*xx*_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P*x*0–P*x*3 Port Function Select Register (P*x*_03_CFP) or P*x*4–P*x*7 Port Function Select Register (P*x*_47_CFP)	**0x4420 | 0x4439** (8 bits)	D7–6	**CFP*x*3[1:0] or CFP*x*7[1:0]**	P*x*3/P*x*7 port function select	CFP*x*3/7[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D5–4	**CFP*x*2[1:0] or CFP*x*6[1:0]**	P*x*2/P*x*6 port function select	CFP*x*2/6[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D3–2	**CFP*x*1[1:0] or CFP*x*5[1:0]**	P*x*1/P*x*5 port function select	CFP*x*1/5[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D1–0	**CFP*x*0[1:0] or CFP*x*4[1:0]**	P*x*0/P*x*4 port function select	CFP*x*0/4[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			

注: ビット名などの‘*x*’はポート番号の0～9、A、BおよびCを示します。

0x4420 P00–P03 Port Function Select Register (P0_03_CFP)
0x4421 P04–P07 Port Function Select Register (P0_47_CFP)
0x4422 P10–P13 Port Function Select Register (P1_03_CFP)
0x4423 P14–P16 Port Function Select Register (P1_46_CFP)
0x4424 P20–P23 Port Function Select Register (P2_03_CFP)
0x4425 P24–P27 Port Function Select Register (P2_47_CFP)
0x4426 P30–P33 Port Function Select Register (P3_03_CFP)
0x4427 P34–P37 Port Function Select Register (P3_47_CFP)
0x4428 P40–P43 Port Function Select Register (P4_03_CFP)
0x4429 P44–P45 Port Function Select Register (P4_45_CFP)
0x442a P50–P53 Port Function Select Register (P5_03_CFP)
0x442b P54–P57 Port Function Select Register (P5_47_CFP)
0x442c P60–P63 Port Function Select Register (P6_03_CFP)
0x442d P64–P67 Port Function Select Register (P6_47_CFP)
0x442e P70–P73 Port Function Select Register (P7_03_CFP)
0x442f P74–P77 Port Function Select Register (P7_47_CFP)
0x4430 P80–P83 Port Function Select Register (P8_03_CFP)
0x4431 P84–P86 Port Function Select Register (P8_46_CFP)
0x4432 P90–P93 Port Function Select Register (P9_03_CFP)
0x4433 P94–P97 Port Function Select Register (P9_47_CFP)
0x4434 PA0–PA3 Port Function Select Register (PA_03_CFP)
0x4435 PA4–PA6 Port Function Select Register (PA_46_CFP)
0x4436 PB0–PB3 Port Function Select Register (PB_03_CFP)
0x4437 PB4–PB7 Port Function Select Register (PB_47_CFP)
0x4438 PC0–PC3 Port Function Select Register (PC_03_CFP)
0x4439 PC4–PC7 Port Function Select Register (PC_47_CFP)

これらのビットは各入出力ポート端子の機能を選択します。（デフォルト: 0x0 = 端子機能0）
入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをこれらのレジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。
端子機能の詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

0x4440–0x4447: Port Input Interrupt *x* Select Registers (PINTSEL*x*)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Input Interrupt *x* Select Register (PINTSEL*x*)	**0x4440 | 0x4447** (8 bits)	D7–4	**PINT*x*[3:0]**	Interrupt port select	PINT*x*[3:0]	Function	0xf	R/W	
					0xc	PC*x*			
					0xb	PB*x*			
					0xa	PA*x*			
					0x9	P9*x*			
					0x8	P8*x*			
					0x7	P7*x*			
					0x6	P6*x*			
					0x5	P5*x*			
					0x4	P4*x*			
					0x3	P3*x*			
					0x2	P2*x*			
					0x1	P1*x*			
					0x0	P0*x*			
		D3–0	–	reserved	–		X	R	

注: ビット名などの‘*x*’はポート入力割り込み番号の0～7を示します。

0x4440 Port Input Interrupt 0 Select Register (PINTSEL0)
0x4441 Port Input Interrupt 1 Select Register (PINTSEL1)
0x4442 Port Input Interrupt 2 Select Register (PINTSEL2)
0x4443 Port Input Interrupt 3 Select Register (PINTSEL3)
0x4444 Port Input Interrupt 4 Select Register (PINTSEL4)
0x4445 Port Input Interrupt 5 Select Register (PINTSEL5)
0x4446 Port Input Interrupt 6 Select Register (PINTSEL6)
0x4447 Port Input Interrupt 7 Select Register (PINTSEL7)

PINT*x*[3:0]: Interrupt Port Select Bits

ポート入力割り込みを発生させる入出力ポートを選択します。

表VII.1.6.2 ポート入力割り込み用端子の選択

ポート入力割り込み系列	PINT*x*[3:0]設定												
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	0x8	0x9	0xa	0xb	0xc
0	P00	P10	P20	P30	P40	P50	P60	P70	P80	P90	PA0	PB0	PC0
1	P01	P11	P21	P31	P41	P51	P61	P71	P81	P91	PA1	PB1	PC1
2	P02	P12	P22	P32	P42	P52	P62	P72	P82	P92	PA2	PB2	PC2
3	P03	P13	P23	P33	P43	P53	P63	P73	P83	P93	PA3	PB3	PC3
4	P04	P14	P24	P34	P44	P54	P64	P74	P84	P94	PA4	PB4	PC4
5	P05	P15	P25	P35	P45	P55	P65	P75	P85	P95	PA5	PB5	PC5
6	P06	P16	P26	P36	–	P56	P66	P76	P86	P96	PA6	PB6	PC6
7	P07	–	P27	P37	–	P57	P67	P77	–	P97	–	PB7	PC7

（デフォルト: 0xf）

VII.1.7 注意事項

- ポート入力割り込み4、6、7の割り込みベクタ番号12、14～16、18～19は他の割り込み要因と共有されます。これらのベクタ番号をポート入力割り込みで使用するには、ポート入力割り込み用の割り込みイネーブルビットを1に設定し、もう一方を0に設定してください。
- SLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込みトリガ条件をレベル割り込みに設定する必要があります。
  アクティブHighレベル割り込み設定時は、入力信号がHighレベルになることでCPUは再起動します。
  アクティブLowレベル割り込み設定時は、入力信号がLowレベルになることでCPUは再起動します。
  したがって、SLEEP状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。
- パルストリガ割り込みモードを選択した場合、割り込みを確実に発生させるには、システムクロックの1サイクル以上のパルス幅を持つ信号を入力する必要があります。
- ノイズが入力データに影響するような場合は、2回読み出してどちらも同じ値であることを確認してください。
- ポート入力割り込みを使用する場合、以下に示す時間以上、入力信号をアクティブレベルに保つ必要があります。

  (1)SLEEPモード時にクロックを停止させる場合
  OSC3発振開始時間 + OSC3発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間以上

  (2)SLEEPモード時にクロックを停止させない場合、またはHALTモード時
  システムクロック10サイクルの時間以上

  (3)通常動作時
  システムクロック10サイクルの時間以上

VIII S1C17501アナログモジュール

VIII.1 A/D変換器(ADC)

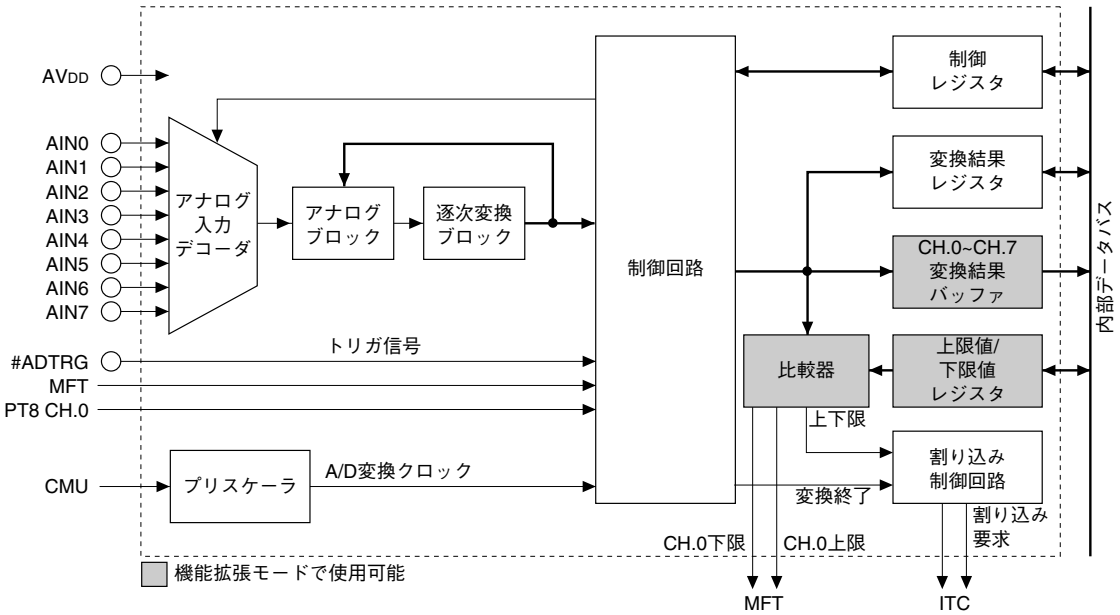
VIII.1.1 A/D変換器の特長と構成

S1C17501は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式　逐次比較型
- 分解能　10ビット
- 入力チャネル　8チャネル
- A/D変換器入力クロック　最大2MHz、最小16kHz
- 変換時間　9クロック(サンプリング時間) + 11クロック(変換時間) = 20クロック
  最小10μsec(2MHzの入力クロック選択時)
  最大1250μsec(16kHzの入力クロック選択時)
- 変換範囲　Vss～AVDD間
- 2種類の変換モードが選択可能
  通常モード: 1回の変換で終了
  連続モード: 連続的に変換、ソフトウェア制御により終了
  各モードで、複数チャネルの連続変換が可能
- 4種類のA/D変換開始トリガが選択可能
  外部端子(#ADTRG)によるトリガ
  16ビットマルチファンクションタイマ(MFT)のピリオドマッチによるトリガ
  8ビットプログラマブルタイマ(PT8 CH.0)のアンダーフローによるトリガ
  ソフトウェアによるトリガ
- A/D変換結果は10ビットデータレジスタ、または各チャネルの変換結果バッファ *から読み出し可能
- A/D変換終了時、および変換結果が指定上下限範囲外*の場合に割り込み発生可能
- CH.0の上下限範囲外信号をMFTに送り、IGBTの制御に使用可能

* 拡張モードで使用可能な機能です。S1C17501のA/D変換器は従来のアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。

図VIII.1.1.1にA/D変換器の構成を示します。



図VIII.1.1.1 A/D変換器の構成

VIII.1.2 A/D変換器の入力端子

表VIII.1.2.1にA/D変換器で使用する端子を示します。

表VIII.1.2.1 A/D変換器の入力端子

端子名	I/O	機能
AV_{DD}	–	アナログ電源端子 AV_{DD}端子はアナログ回路の電源端子です。
AIN0～AIN7	I	アナログ信号入力端子AIN0(CH.0)～AIN7(CH.7) 入力可能なアナログ電圧値AV_{IN}は$V_{SS} \leqq AV_{IN} \leqq AV_{DD}$の範囲です。
#ADTRG	I	外部トリガ入力端子 #ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。

A/D変換器の入力端子(AIN[7:0]、#ADTRG)は入力ポートと兼用されており、初期状態では汎用入力ポート端子に設定されます。これらの端子をA/D変換器の入力に使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、"I.3.3 マルチプレックス端子の機能切り換え"を参照してください。

注: • A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DD}～V_{SS}間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0、デフォルト)に設定してください。

∗ **ADE**: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

- プリント基板上の#ADTRG信号パターンを設計する際は、ノイズ対策を講じてください。
- AIN*x*端子を入出力ポート(P0*x*)端子として使用する場合もインタフェース電圧レベルはAV_{DD}となりますので注意してください。

VIII.1.3 A/D変換器の動作クロック

A/D変換器はCMUから供給されるADC_CLK(= PCLK)クロックで動作します。変換クロックはA/D変換器内で生成します。

動作クロックの供給制御

ADC_CLKクロックはデフォルト設定でA/D変換器に供給されるようになっています。A/D変換器を使用しない場合は、ADC_CLK_EN(D3/CMU_GATEDCLK2レジスタ)により供給を停止して消費電力を抑えることができます。

* **ADC_CLK_EN**: ADC Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D3/0x4908)

ADC_CLK_ENを0(初期設定は1)に設定すると、A/D変換器への動作クロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスもできなくなります。
クロックの設定や制御については、"II.2 クロックマネージメントユニット(CMU)"を参照してください。

注: Gated Clock Control 2 Register(0x4908)は書き込み保護されています。このレジスタを含め、0x4900〜0x4909番地のCMUレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900〜0x4909番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

スタンバイモード時のクロック状態

スタンバイモードの種類により、A/D変換器へのクロック供給は停止します。
HALTモード: 動作クロックは通常モードと同様に供給されます。
SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はA/D変換器も動作を停止します。

VIII.1.4 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。
1. アナログ入力端子の設定 ... VIII.1.2、I.3.3節参照
2. 動作モード(標準モード/拡張モード)の選択
3. 入力クロックの設定
4. アナログ変換開始チャネル/終了チャネルの選択
5. A/D変換モードの設定
6. トリガの選択
7. サンプリング時間の設定
8. 変換結果の上限値/下限値の設定(拡張モード)
9. 割り込みモードの設定(拡張モード)
10. 割り込みの設定 ... VIII.1.6節参照

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ) = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

* **ADE**: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

動作モード(標準モード/拡張モード)の設定

S1C17501のA/D変換器は従来のアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。表VIII.1.4.1に動作モードによる機能の相違点を示します。

表VIII.1.4.1 標準モードと拡張モードの相違点

機能	標準モード	拡張モード
変換結果の読み出し	全チャネル共通の変換結果レジスタから読み出します。複数チャネルの変換を行う場合、次のチャネルの変換終了前に変換結果レジスタを読み出す必要があります。	チャネルごとに用意されている変換結果バッファから読み出すことができます。複数チャネルの変換を行う場合、次のチャネルの変換が終了しても、現在のチャネルの変換結果が失われることはありません。
変換終了フラグ、オーバーライトエラーフラグ	それぞれ1ビットを、全チャネル共通に使用します。	チャネルごとにそれぞれのフラグが用意されています。
上限値/下限値の比較	この機能はありません。	上限値と下限値を設定し、指定チャネルの変換結果がその範囲内かどうかを確認できます。
割り込み	変換終了割り込みのみ発生可能です。 割り込みをチャネル単位にマスクすることはできません。	変換終了割り込みと範囲外割り込みを発生可能です。 チャネル単位で変換終了割り込みをマスク可能です。

拡張モードにするには、ADCADV(D8/AD_ADVMODEレジスタ)を1に設定します。この設定後、拡張機能用制御ビットへのアクセスが可能となります。イニシャルリセット時はADCADVが0に設定され、標準モードになります。

* **ADCADV**: Standard/Advanced Mode Selection Bit in the A/D Converter Mode Select/Internal Status (AD_ADVMODE) Register (D8/0x555e)

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。
拡張モードの各機能については、ADCADVが1に設定されているものとして説明します。

入力クロックの設定

A/D変換器はプリスケーラを内蔵しており、A/D変換クロックを表VIII.1.4.2に示す8種類から選択することができます。選択はPSAD[2:0](D[2:0]/AD_CLKCTLレジスタ)によって行います。

* **PSAD[2:0]**: A/D Converter Clock Division Ratio Selection Bits in the A/D Clock Control (AD_CLKCTL) Register (D[2:0]/0x5520)

表VIII.1.4.2 入力クロックの選択

PSAD[2:0]	A/Dクロック
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

選択したクロックは、PSONAD(D3/AD_CLKCTLレジスタ)に1を書き込むことによりプリスケーラから出力されます。

* **PSONAD**: A/D Converter Clock Control Bit in the A/D Clock Control (AD_CLKCTL) Register (D3/0x5520)

注: • 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。

• プリスケーラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケーラのクロック出力をOffにしないでください。誤動作の原因となります。

アナログ変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。
1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

* **CS[2:0]**: A/D Converter Start Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[10:8]/0x5542)
* **CE[2:0]**: A/D Converter End Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[13:11]/0x5542)

表VIII.1.4.3 CS/CEと入力チャネルの関係

CS[2:0]/CE[2:0]	選択チャネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作
CS[2:0] = 0, CE[2:0] = 0: AIN0のみ変換
CS[2:0] = 0, CE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換
CS[2:0] = 6, CE[2:0] = 1: AIN6→AIN7→AIN0→AIN1の順に変換

A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはMS(D5/AD_TRIG_CHレジスタ)で選択します。

∗ **MS**: A/D Conversion Mode Selection Bit in the A/D Trigger/Channel Select Register (D5/0x5542)

1. 通常モード(MS = 0)

CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)で選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続モード(MS = 1)

ソフトウェアで停止させるまで、CS[2:0]およびCE[2:0]で選択したチャネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

トリガの選択

A/D変換を開始させるトリガ方式を、TS[1:0](D[4:3]/AD_TRIG_CHレジスタ)で表VIII.1.4.4に示す4種類の中から選択します。

∗ **TS[1:0]**: A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

表VIII.1.4.4 トリガの選択

TS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG端子)
0x2	8ビットプログラマブルタイマ(PT8)CH.0
0x1	16ビットマルチファンクションタイマ(MFT)
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。
このトリガ方式を使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

2. 8ビットプログラマブルタイマ(PT8)CH.0

8ビットプログラマブルタイマ(PT8)CH.0のアンダーフロー信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については、PT8の説明を参照してください。

3. 16ビットマルチファンクションタイマ(MFT)

16ビットマルチファンクションタイマ(MFT)のピリオドマッチ信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については、MFTの説明を参照してください。

4. ソフトウェアトリガ

ソフトウェアによるADST(D1/AD_CTLレジスタ)への1書き込みをトリガとしてA/D変換を開始します。

∗ **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status (AD_CTL) Register (D1/0x5544)

サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(変換クロックの3、5、7または9クロック)に設定可能なST[1:0](D[9:8]/AD_CTLレジスタ)が設けられています。ただし、このレジスタはデフォルト(ST[1:0] = 11、9クロック)のまま使用してください。

∗ **ST[1:0]**: Input Signal Sampling Time Setup Bits in the A/D Control/Status (AD_CTL) Register (D[9:8]/0x5544)

変換結果の上限値/下限値設定(拡張モード)

拡張モードでは、上限値および下限値を設定し、変換結果がその範囲内かどうかを確認することができます。変換結果が範囲外の場合、A/D変換器は割り込みコントローラ(ITC)に割り込み信号を出力することができます。また、A/D変換器CH.0は、IGBTの制御に使用する上限範囲外信号または下限範囲外信号をMFTに出力します(V.2節参照)。

1. チャネル設定

A/D変換結果と上限値/下限値の比較を行うチャネルをADCMP[2:0](D[14:12]/AD_CTLレジスタ)で選択します。

* **ADCMP[2:0]**: A/D Upper/Lower-Limit Comparison Channel Selection Bits in the A/D Control/Status (AD_CTL) Register (D[14:12]/0x5544)

表VIII.1.4.5 上限値/下限値比較チャネルの設定

ADCMP[2:0]	選択チャネル
0x7	AIN7
0x6	AIN6
0x5	AIN5
0x4	AIN4
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

ADCMP[2:0]は、範囲外割り込みを発生させるチャネルを選択します。A/D変換器CH.0からMFTへの範囲外信号の出力は、ADCMP[2:0]で他のチャネルを選択している場合でも行われます。

2. 上限値/下限値の設定

上限値をADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に、下限値をADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定します。

* **ADUPR[9:0]**: A/D Conversion Upper Limit Value Bits in the A/D Upper Limit Value (AD_UPPER) Register (D[9:0]/0x5558)
* **ADLWR[9:0]**: A/D Conversion Lower Limit Value Bits in the A/D Lower Limit Value (AD_LOWER) Register (D[9:0]/0x555a)

変換結果が設定した上限値より大きい場合、または設定した下限値より小さい場合に範囲外と判定されます。変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定されます。

3. 上限値/下限値の比較をイネーブル

ADCMPE(D15/AD_CTLレジスタ)に1を書き込んで、上限値/下限値の比較機能を有効に設定します。

* **ADCMPE**: Upper/Lower-Limit Comparison Enable Bit in the A/D Control/Status (AD_CTL) Register (D15/0x5544)

ADCMPEをセットすることで、A/D変換器CH.0は範囲外信号をMFTに出力可能となります。

割り込みモードの設定(拡張モード)

拡張モードでは割り込み機能も増えており、以下の設定も必要です。

1. 変換終了割り込みのイネーブル/ディセーブル

CNVINTEN(D4/AD_CTLレジスタ)で変換終了割り込みを有効/無効に設定できます。変換終了割り込みを使用する場合はCNVINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は1に設定され、変換終了割り込み機能は有効となります。

* **CNVINTEN**: Conversion-Complete Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D4/0x5544)

2. 範囲外割り込みのイネーブル/ディセーブル

CMPINTEN(D5/AD_CTLレジスタ)で範囲外割り込みを有効/無効に設定できます。範囲外割り込みを使用する場合はCMPINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は0に設定され、範囲外割り込み機能は無効となります。

* **CMPINTEN**: Out-of-Range Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D5/0x5544)

3. 割り込み信号モードの設定

S1C17501のA/D変換器は上記の割り込み要因に対応する2つの割り込み要求出力を持っており、それぞれの割り込みを別個に処理可能です。初期設定では範囲外割り込み信号が変換終了割り込み信号とORされてITCに送られるようになっていますので、変換終了時あるいは変換結果が上下限範囲外の場合でもITC内の変換終了割り込みフラグがセットされます。この割り込み方式はINTMODE(D6/AD_CTLレジスタ)で解除できます。2つの割り込みを個別に扱う場合はINTMODEを1に設定します。これで、範囲外割り込み信号が変換終了割り込み信号とORされなくなります。

* **INTMODE**: Interrupt Signal Mode Bit in the A/D Control/Status (AD_CTL) Register (D6/0x5544)

4. 指定チャネルの変換終了割り込みをマスク

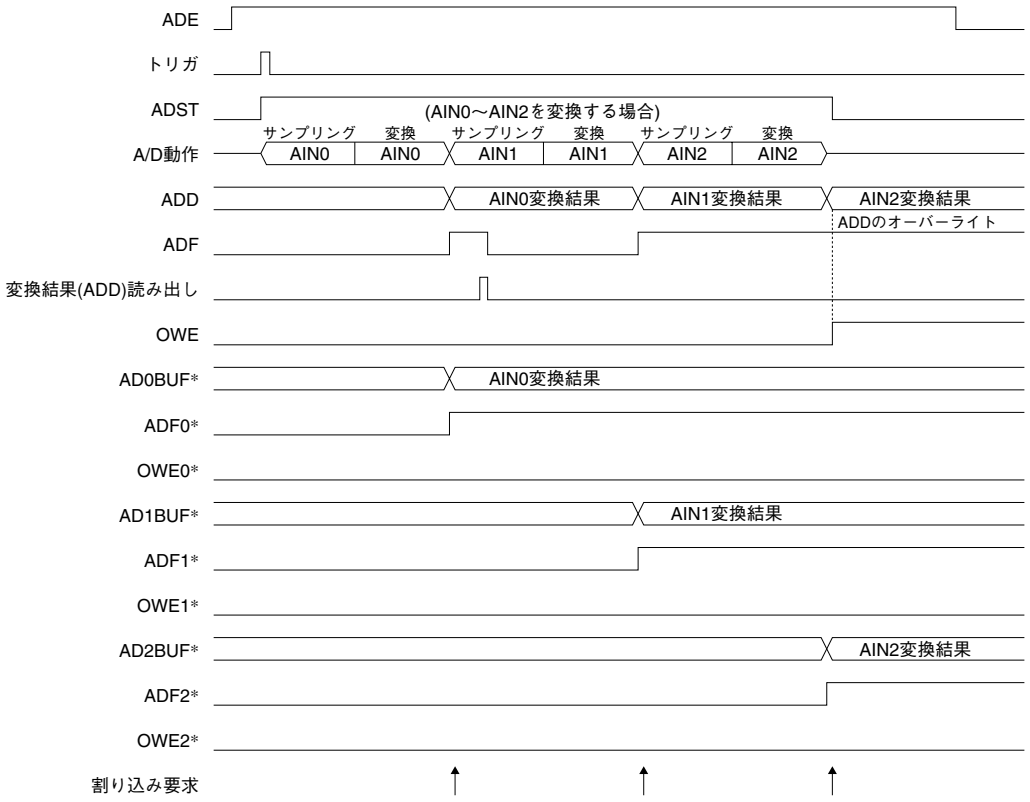
A/D変換終了割り込みマスクレジスタにより、指定チャネルの変換終了割り込みをマスクすることができます。チャネル'*x*'に対応するINTMASK*x*(D*x*/AD_INTMASKレジスタ)を0に設定すると、そのチャネルの変換終了割り込みは発生しません。たとえば、上下限チェックを行うチャネルの変換終了割り込みをマスクすることにより、範囲外割り込みのみを発生させることが可能となります。

* **INTMASK*x***: CH.*x* Conversion-Complete Interrupt Mask Bit in the A/D Conversion Complete Interrupt Mask (AD_INTMASK) Register (D*x*/0x555c)

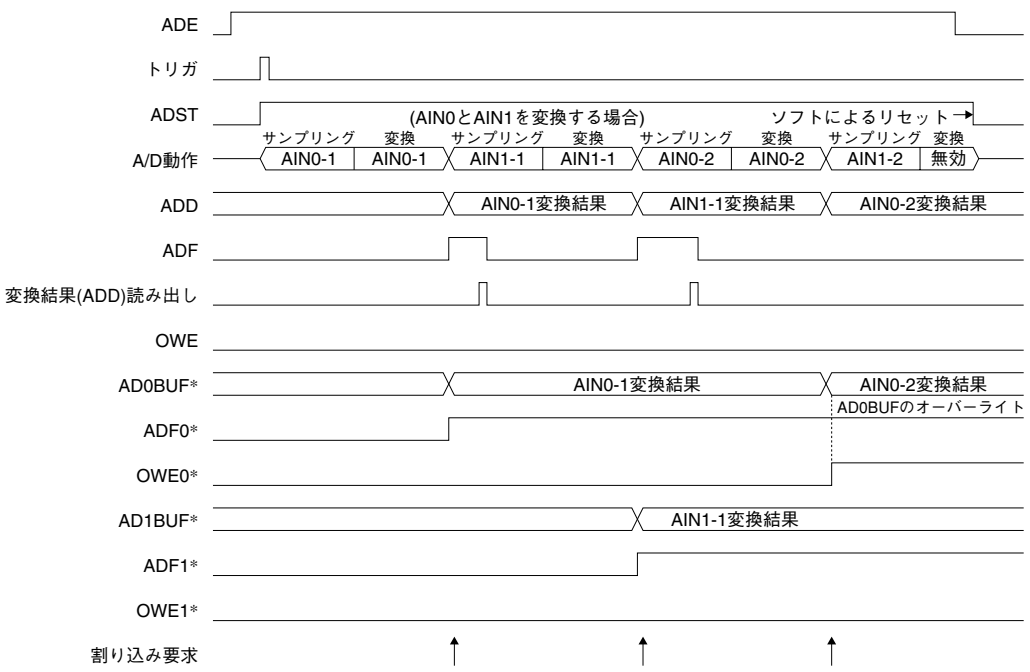
イニシャルリセット時、INTMASK*x*はすべて1に設定され、変換終了割り込みが発生するようになっています。

VIII.1.5 A/D変換の制御と動作

図VIII.1.5.1にA/D変換器の動作を示します。



(1) 通常モード



(2) 連続モード

＊ ADCADV = 1の場合に使用可能な拡張機能

図VIII.1.5.1 A/D変換器の動作

A/D変換回路の起動

前節に示した設定を終了後、ADE(D2/AD_CTLレジスタ)に1を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADEを0に設定してください。

* **ADE**: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

A/D変換の開始

A/D変換器はADEが1の状態でトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADST(D1/0AD_CTLレジスタ)に1を書き込むことにより開始します。

* **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status (AD_CTL) Register (D1/0x5544)

トリガはTS[1:0](D[4:3]/AD_TRIG_CHレジスタ)で選択されている内容が有効で、それ以外のトリガは受け付けません。

* **TS[1:0]**: A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

トリガが入力されると、A/D変換器はCS[2:0](D[10:8]/AD_TRIG_CHレジスタ)で選択した変換開始チャネルからアナログ入力信号のサンプリングとA/D変換を行います。

* **CS[2:0]**: A/D Converter Start Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[10:8]/0x5542)

ソフトウェアトリガに使用するADSTは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。
また、変換中のチャネルはCH[2:0](D[2:0]/AD_TRIG_CHレジスタ)を読み出すことで確認できます。

* **CH[2:0]**: A/D Conversion Channel Status Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[2:0]/0x5542)

A/D変換結果の読み出し

- **標準モード**

変換開始チャネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのデータレジスタADD[9:0](D[9:0]/AD_DATレジスタ)に格納し、変換終了フラグADF(D3/AD_CTLレジスタ)をセットします。CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

* **ADD[9:0]**: A/D Converted Data Bits in the A/D Conversion Result (AD_DAT) Register (D[9:0]/0x5540)
* **ADF**: Conversion-Complete Flag Bit in the A/D Control/Status (AD_CTL) Register (D3/0x5544)
* **CE[2:0]**: A/D Converter End Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[13:11]/0x5542)

A/D変換結果は1つのチャネルの変換が終了するごとにADD[9:0]に格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込みフラグを必ずリセット(0書き込み)してください。

複数のA/D変換チャネルを指定した場合は、次のチャネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。
なお、変換終了フラグADF(D3/AD_CTLレジスタ)が1にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、オーバーライトエラーフラグOWE(D0/AD_CTLレジスタ)が1にセットされます。変換終了フラグは変換データが読み出されると0にリセットされます。ADFが0にリセットされている状態でADD[9:0]が更新された場合はOWEは0となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。
OWEは一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

* **OWE**: Overwrite Error Flag Bit in the A/D Control/Status (AD_CTL) Register (D0/0x5544)

- **拡張モード**

変換開始チャネル(CH.*x*)のA/D変換が終了すると、A/D変換器は変換結果をCH.*x*の10ビットA/D変換結果バッファ AD*x*BUF[9:0](D[9:0]/AD_CH*x*_BUFレジスタ)に格納し、CH.*x*変換終了フラグADF*x*(D*x*/AD_CH_STATレジスタ)をセットします。
CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

* **AD*x*BUF[9:0]**: A/D CH.*x* Converted Data Bits in the A/D CH.*x* Conversion Result Buffer (AD_CH*x*_BUF) Register (D[9:0]/0x5548 + 2•*x*)
* **ADF*x***: CH.*x* Conversion-Complete Flag Bit in the A/D Channel Status Flag (AD_CH_STAT) Register (D*x*/0x5546)

A/D変換結果は1つのチャネルの変換が終了するごとに各チャネルのA/D変換結果バッファに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込みフラグを必ずリセット(0書き込み)してください。
拡張モードでは、各チャネルに変換結果バッファが設けられていますので、次のチャネルの変換が終了する前に変換結果を読み出す必要はありません。ただし、同じチャネルのA/D変換が終了すると、バッファは新しい変換結果で上書きされてしまいますので、その前に読み出す必要があります。
なお、変換終了フラグADF*x*が1にセットされている状態で(変換データを読み出す前に)AD*x*BUF[9:0]が更新された場合、オーバーライトエラーフラグOWE*x*(D*x* + 8/AD_CH_STATレジスタ)が1にセットされます。変換終了フラグADF*x*は変換データが読み出されると0にリセットされます。ADF*x*が0にリセットされている状態でAD*x*BUF[9:0]が更新された場合はOWE*x*は0となり、正常に終了したことを示します。データ読み出し時は、OWE*x*も読み出してデータが有効であることを確認してください。OWE*x*は一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWE*x*がセットされている場合はADF*x*もセットされていますので、変換データを読み出してADF*x*をリセットしてください。

* **OWE*x***: CH.*x* Overwrite Error Flag Bit in the A/D Channel Status Flag (AD_CH_STAT) Register (D*x* + 8/0x5546)

拡張モードにおいても、標準モードで使用するADD[9:0](D[9:0]/AD_DATレジスタ)、ADF(D3/AD_CTLレジスタ)、OWE(D0/AD_CTLレジスタ)は有効です。これらのレジスタ/ビットの動作は標準モードと同じです。OWEが1にセットされてしまいますが、特にリセットする必要はありません。

上下限範囲の判定(拡張モード)

拡張モードで上限値/下限値の比較を有効(ADCMPE(D15/AD_CTLレジスタ) = 1)に設定している場合にADCMP[2:0](D[14:12]/AD_CTLレジスタ)で指定したチャネルのA/D変換が行われると、そのチャネルの変換終了時に変換結果がADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に設定された上限値およびADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定された下限値と比較されます。

* **ADCMPE**: Upper/Lower-Limit Comparison Enable Bit in the A/D Control/Status (AD_CTL) Register (D15/0x5544)
* **ADCMP[2:0]**: Upper/Lower-Limit Comparison Channel Selection Bits in the A/D Control/Status (AD_CTL) Register (D[14:12]/0x5544)
* **ADUPR[9:0]**: A/D Conversion Upper Limit Value Bits in the A/D Upper Limit Value (AD_UPPER) Register (D[9:0]/0x5558)
* **ADLWR[9:0]**: A/D Conversion Lower Limit Value Bits in the A/D Lower Limit Value (AD_LOWER) Register (D[9:0]/0x555a)

変換結果が上限値より大きい場合は、上限値比較ステータスビットADUPRST(D11/AD_CTLレジスタ)が1にセットされます。変換結果が下限値より小さい場合は、下限値比較ステータスビットADLWRST(D10/AD_CTLレジスタ)が1にセットされます。範囲外割り込みを有効に設定している場合、どちらかのステータスビットがセットされると割り込みが発生します。

* **ADUPRST**: Upper-Limit Comparison Status Bit in the A/D Control/Status (AD_CTL) Register (D11/0x5544)
* **ADLWRST**: Lower-Limit Comparison Status Bit in the A/D Control/Status (AD_CTL) Register (D10/0x5544)

なお、変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定され、割り込みは発生しません。

A/D変換器CH.0がA/D変換を終了すると、ADCMP[2:0]の設定内容にかかわらず、常に上下限範囲のチェックが行われます。変換結果が上限値より大きい場合は、上限範囲外信号がMFTに出力されます。変換結果が下限値より小さい場合は、下限範囲外信号がMFTに出力されます。

A/D変換の終了

- **通常モード(MS = 1)の場合**
  通常モードでは、CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)で指定した変換開始チャネルからCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)で指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADST(D1/AD_CTLレジスタ)は0に戻ります。

  * **MS**: A/D Conversion Mode Selection Bit in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D5/0x5542)

- **連続モード(MS = 0)の場合**
  連続モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADST(D1/AD_CTLレジスタ)に0を書き込みます。ただし、ADSTに0を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF(D3/AD_CTLレジスタ) = 1となり変換結果を得ることができますが、強制的に中止させられた場合はADFが前の状態を維持し、変換結果を得ることはできません。

- **強制終了**
  ADSTに0を書き込むことで実行中のA/D変換を終了させることができます。ただし、このときに変換中の結果を得ることはできません。

VIII.1.6 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。
• 変換終了割り込み
• 範囲外割り込み(拡張モード)

変換終了割り込み

A/D変換器は1つのチャネルのA/D変換を終了すると、変換終了割り込み信号を割り込みコントローラ(ITC)に出力して割り込みを要求します。
拡張モード時にこの割り込みを使用するには、CNVINTEN(D4/AD_CTLレジスタ)を1に設定します。CNVINTENが0に設定されていると、この要因による割り込み要求はITCに送られません。標準モードの場合は、CNVINTENをセットする必要はありません。

∗ **CNVINTEN**: Conversion-Complete Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D4/0x5544)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

拡張モードでは、INTMASK*x*(D*x*/AD_INTMASKレジスタ)を使用して、指定のチャネルによる割り込みの発生を禁止することができます。INTMASK*x*を0に設定すると、CH.*x*は変換終了割り込みを発生しません。

∗ **INTMASK*x***: CH.*x* Conversion-Complete Interrupt Mask Bit in the A/D Conversion Complete Interrupt Mask (AD_INTMASK) Register (D*x*/0x555c)

範囲外割り込み(拡張モード)

上下限範囲チェック機能が有効に設定されている場合に変換結果がソフトウェアで指定した下限から上限の範囲を外れると、A/D変換器は範囲外割り込み信号を割り込みコントローラ(ITC)に出力して割り込みを要求します。
この割り込みを使用するには、A/D変換器を拡張モードに設定すると共にCMPINTEN(D5/AD_CTLレジスタ)を1に設定します。CMPINTENが0に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **CMPINTEN**: Out-of-Range Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D5/0x5544)

デフォルト設定では、ITCへの範囲外割り込み要求にも変換終了割り込み信号線が使用されます。このため、A/D変換終了時も、変換結果が範囲外の場合もITC内の変換終了割り込みフラグがセットされます。範囲外割り込みを変換終了割り込みとは別に発生させるには、INTMODE(D6/AD_CTLレジスタ)を1に設定してください。

∗ **INTMODE**: Interrupt Signal Mode Bit in the A/D Control/Status (AD_CTL) Register (D6/0x5544)

標準モードでは、この割り込みを使用することはできません。

A/D変換器割り込み用ITCレジスタ

表VIII.1.6.1に、各A/D変換器割り込み要因に対応するのITC制御レジスタを示します。

表VIII.1.6.1 ITCレジスタ

割り込み要因	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
変換終了	AIFT3(D3/ITC_AIFLG)	AIEN3(D3/ITC_AEN)	AILV3[2:0](D[10:8]/ITC_AILV1)
範囲外	AIFT2(D2/ITC_AIFLG)	AIEN2(D2/ITC_AEN)	AILV2[2:0](D[2:0]/ITC_AILV1)

ITC_AIFLGレジスタ(0x42e0)
ITC_AENレジスタ(0x42e2)
ITC_AILV1レジスタ(0x42e8)

A/D変換器が割り込み信号を出力すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。A/D変換器による割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み信号によって1にセットされます。
割り込みレベル設定ビットは、A/D変換器割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、範囲外割り込みの優先順位が高く、変換終了割り込みが低い順位となります。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- A/D変換器割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

A/D変換器割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表VIII.1.6.2 A/D変換器割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
範囲外	10(0xa)	TTBR + 0x28
変換終了	11(0xb)	TTBR + 0x2c

VIII.1.7 制御レジスタ詳細

表VIII.1.7.1 A/D変換器レジスター覧

アドレス	レジスタ名		機　能
0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャネルと変換モードの設定
0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
0x5550	AD_CH4_BUF	A/D CH.4 Conversion Result Buffer Register	A/D CH.4変換データ
0x5552	AD_CH5_BUF	A/D CH.5 Conversion Result Buffer Register	A/D CH.5変換データ
0x5554	AD_CH6_BUF	A/D CH.6 Conversion Result Buffer Register	A/D CH.6変換データ
0x5556	AD_CH7_BUF	A/D CH.7 Conversion Result Buffer Register	A/D CH.7変換データ
0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャネルのマスク
0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示

以下、A/D変換器のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5520: A/D Clock Control Register (AD_CLKCTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Clock Control Register (AD_CLKCTL)	0x5520 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3	PSONAD	A/D converter clock control	1 On	0 Off	0	R/W	
		D2–0	PSAD[2:0]	A/D converter clock division ratio selection	PSAD[2:0]	A/D clock	0x0	R/W	
					0x7	PCLK•1/256			
					0x6	PCLK•1/128			
					0x5	PCLK•1/64			
					0x4	PCLK•1/32			
					0x3	PCLK•1/16			
					0x2	PCLK•1/8			
					0x1	PCLK•1/4			
					0x0	PCLK•1/2			

D[15:4] Reserved

D3 PSONAD: A/D Converter Clock Control Bit

A/D変換器へのA/D変換クロックの供給を制御します。
1(R/W): On
0(R/W): Off(デフォルト)

D[2:0] PSAD[2:0]: A/D Converter Clock Division Ratio Selection Bits

A/D変換クロックを生成するための分周比を選択します。

表VIII.1.7.2 分周比の選択

PSAD[2:0]	A/Dクロック
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

注: • 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。

• プリスケーラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケーラのクロック出力をOffにしないでください。誤動作の原因となります。

0x5540: A/D Conversion Result Register (AD_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (AD_DAT)	0x5540 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADD[9:0]	A/D converted data ADD9 = MSB ADD0 = LSB	0x0 to 0x3ff	0x0	R	

D[15:10] Reserved

D[9:0] ADD[9:0]: A/D Converted Data Bits

A/D変換結果が格納されます。（デフォルト: 0x0）
ADD0がLSB、ADD9がMSBです。
このレジスタは読み出し専用で、書き込みは無効です。

0x5542: A/D Trigger/Channel Select Register (AD_TRIG_CH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Trigger/ Channel Select Register (AD_TRIG_CH)	0x5542 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	CE[2:0]	A/D converter end channel selection	0 to 7	0x0	R/W	
		D10–8	CS[2:0]	A/D converter start channel selection	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	MS	A/D conversion mode selection	1 Continuous 0 Normal	0	R/W	
		D4–3	TS[1:0]	A/D conversion trigger selection	TS[1:0] Trigger 0x3 #ADTRG pin 0x2 PT8 CH.0 0x1 MFT 0x0 Software	0x0	R/W	
		D2–0	CH[2:0]	A/D conversion channel status	0 to 7	0x0	R	

D[15:14] Reserved

D[13:11] CE[2:0]: A/D Converter End Channel Selection Bits

変換終了チャネルをチャネル番号(0〜7)で設定します。(デフォルト: 0x0 = AIN0)
1回のA/D変換で、CS[2:0](D[10:8])で設定したチャネルからこれらのビットで設定したチャネルまでのアナログ入力を連続的に変換できます。
1つのチャネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャネル番号を設定してください。

D[10:8] CS[2:0]: A/D Converter Start Channel Selection Bits

変換開始チャネルをチャネル番号(0〜7)で設定します。(デフォルト: 0x0 = AIN0)
1回のA/D変換で、これらのビットで設定したチャネルからCE[2:0](D[13:11])で設定したチャネルまでのアナログ入力を連続的に変換できます。
1つのチャネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャネル番号を設定してください。

D[7:6] Reserved

D5 MS: A/D Conversion Mode Selection Bit

A/D変換モードを選択します。
1(R/W): 連続モード
0(R/W): 通常モード(デフォルト)

MSに1を書き込むことによりA/D変換器は連続モードに設定され、CS[2:0](D[10:8])およびCE[2:0](D[13:11])で選択したチャネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。
MSが0の場合は通常モードで動作し、CS[2:0]とCE[2:0]で選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

D[4:3] TS[1:0]: A/D Conversion Trigger Selection Bits

A/D変換を開始させるトリガ方法を選択します。

表VIII.1.7.3 トリガの選択

TS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG端子)
0x2	8ビットプログラマブルタイマ(PT8)CH.0
0x1	16ビットマルチファンクションタイマ(MFT)
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。
8ビットプログラマブルタイマCH.0を使用する場合は、アンダーフロー信号がトリガとなりますので、タイマで周期およびその他の設定を行ってください。
16ビットマルチファンクションタイマを使用する場合は、ピリオドマッチ信号がトリガとなりますので、タイマで周期およびその他の設定を行ってください。

D[2:0] CH[2:0]: A/D Conversion Channel Status Bits

A/D変換中のチャネル番号(0〜7)を示します。(デフォルト: 0x0 = AIN0)
複数のチャネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャネルを確認できます。

0x5544: A/D Control/Status Register (AD_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (AD_CTL)	0x5544 (16 bits)	D15	ADCMPE	Upper/lower-limit comparison enable	1 Enable 0 Disable	0	R/W	Can be used when ADCADV = 1.
		D14–12	ADCMP[2:0]	Upper/lower-limit comparison channel selection	0 to 7	0x0	R/W	
		D11	ADUPRST	Upper-limit comparison status	1 Out of range 0 Within range	0	R	
		D10	ADLWRST	Lower-limit comparison status	1 Out of range 0 Within range	0	R	
		D9–8	ST[1:0]	Input signal sampling time setup	ST[1:0] Sampling time 0x3 9 clocks 0x2 7 clocks 0x1 5 clocks 0x0 3 clocks	0x3	R/W	Use with 9 clocks.
		D7	–	reserved	–	–	–	0 when being read.
		D6	INTMODE	Interrupt signal mode	1 Complete only 0 OR	0	R/W	Can be used when ADCADV = 1.
		D5	CMPINTEN	Out-of-range int. enable	1 Enable 0 Disable	0	R/W	
		D4	CNVINTEN	Conversion-complete int. enable	1 Enable 0 Disable	1	R/W	Can be changed when ADCADV = 1.
		D3	ADF	Conversion-complete flag	1 Completed 0 Run/ Standby	0	R	Reset when ADD is read.
		D2	ADE	A/D enable	1 Enable 0 Disable	0	R/W	
		D1	ADST	A/D conversion control/status	1 Start/Run 0 Stop	0	R/W	
		D0	OWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 0.

D15 ADCMPE: Upper/Lower-Limit Comparison Enable Bit (拡張モード)

上限値/下限値の比較を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換終了時に、変換結果と上限値/下限値との比較を行うかどうかを選択します。行う場合はADCMPEを1に、行わない場合は0に設定します。

D[14:12] ADCMP[2:0]: Upper/Lower-Limit Comparison Channel Selection Bits (拡張モード)

上限値/下限値の比較を行うチャネルをチャネル番号(0〜7)で設定します。(デフォルト: 0x0 = AIN0)
これらのビットはCH.0によるMFTへの範囲外信号の出力には影響を与えません。

D11 ADUPRST: Upper-Limit Comparison Status Bit (拡張モード)

A/D変換値と上限値との比較結果を示します。
1(R): 上限オーバー
0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に設定した上限値より大きい場合、ADUPRSTが1にセットされます。上限値と同じか小さい場合は0にセットされます。範囲外割り込みを有効に設定している場合、ADUPRSTが1にセットされると割り込みが発生します。

D10 ADLWRST: Lower-Limit Comparison Status Bit (拡張モード)

A/D変換値と下限値との比較結果を示します。
1(R): 下限アンダー
0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定した下限値より小さい場合、ADLWRSTが1にセットされます。下限値と同じか大きい場合は0にセットされます。範囲外割り込みを有効に設定している場合、ADLWRSTが1にセットされると割り込みが発生します。

D[9:8] ST[1:0]: Input Signal Sampling Time Setup Bits
アナログ入力のサンプリング時間を設定します。

表VIII.1.7.4 サンプリング時間

ST[1:0]	サンプリング時間
0x3	9クロック
0x2	7クロック
0x1	5クロック
0x0	3クロック

(デフォルト: 0x3)

このサンプリング時間はA/D変換クロック数です。
変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。
変換時間は11クロックに固定されています。

D7 Reserved

D6 INTMODE: Interrupt Signal Mode Bit (拡張モード)
ITCへの変換終了割り込み信号を設定します。
1(R/W): 変換終了のみ
0(R/W): 変換終了と範囲外をOR(デフォルト)

ITCに接続された変換終了割り込み信号線に変換終了割り込み信号のみを出力するか、変換終了割り込み信号と範囲外割り込み信号をORして出力するかを選択します。範囲外割り込みを別の割り込みとして処理する場合はINTMODEを1に設定します。範囲外割り込みを使用する場合はCMPINTEN(D5)も1に設定する必要があります。

D5 CMPINTEN: Out-of-Range Interrupt Enable Bit (拡張モード)
範囲外割り込みを有効/無効に設定します。
1(R/W): 有効
0(R/W): 無効(デフォルト)

CMPINTENに1を書き込むと、上下限比較結果が割り込み要因として有効になります。0を書き込むと範囲外割り込みは発生しません。

D4 CNVINTEN: Conversion-Complete Interrupt Enable Bit
変換終了割り込みを有効/無効に設定します。
1(R/W): 有効(デフォルト)
0(R/W): 無効

CNVINTENに1を書き込むと、A/D変換終了が割り込み要因として有効になります。0を書き込むと変換終了割り込みは発生しません。

注: CNVINTENは標準モード時も有効です。標準モードと拡張モードのいずれの場合も、A/D変換終了割り込みを使用するにはCNVINTENを1に設定してください。ただし、CNVINTENは拡張モード(ADCADV = 1)の場合にのみ変更が可能です。

D3 ADF: Conversion-Complete Flag Bit
A/D変換が終了したことを示します。
1(R): 変換終了
0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データがデータレジスタに格納されると1にセットされ、変換データを読み出すと0にリセットされます。複数のチャネルをA/D変換している場合、ADFが1の状態で(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。

D2 ADE: A/D Enable Bit

A/D変換器をイネーブル(変換可能状態)に設定します。
1(R/W): イネーブル
0(R/W): ディセーブル(デフォルト)

ADEに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADEが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。
なお、モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを0に設定してから行ってください。

D1 ADST: A/D Conversion Control/Status Bit

A/D変換を制御します。
1(R/W): ソフトウェアトリガ
0(R/W): A/D変換停止(デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを1にセットします。
A/D変換中、ADSTは1を保持します。
通常モード時は、指定のチャネルのA/D変換が終了するとADSTは0に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADSTに0を書き込んでください。ADE(D2)が0(A/D変換禁止状態)の場合はADSTが0に固定され、トリガは受け付けません。

D0 OWE: Overwrite Error Flag Bit

変換データが上書きされたことを示します。
1(R): オーバーライト
0(R): 正常(デフォルト)
1(W): 無効
0(W): フラグをリセット

複数のチャネルをA/D変換している場合に、前のチャネルの変換によってセットされた変換終了フラグADF(D3)が変換データの読み出しによってリセットされる前に次のチャネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが1にセットされます。
ADF(D3)がリセットされている場合は、変換データが読み出されているためOWEはセットされません。
OWEは1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

0x5546: A/D Channel Status Flag Register (AD_CH_STAT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
A/D Channel Status Flag Register (AD_CH_STAT)	0x5546 (16 bits)	D15	OWE7	CH.7 overwrite error flag	1	Error	0	Normal	0	R/W	Can be used when ADCADV = 1. Reset by writing 0.
		D14	OWE6	CH.6 overwrite error flag					0	R/W	
		D13	OWE5	CH.5 overwrite error flag					0	R/W	
		D12	OWE4	CH.4 overwrite error flag					0	R/W	
		D11	OWE3	CH.3 overwrite error flag					0	R/W	
		D10	OWE2	CH.2 overwrite error flag					0	R/W	
		D9	OWE1	CH.1 overwrite error flag					0	R/W	
		D8	OWE0	CH.0 overwrite error flag					0	R/W	
		D7	ADF7	CH.7 conversion-complete flag	1	Completed	0	Run/ Standby	0	R	Can be used when ADCADV = 1. Reset when AD*x*BUF [9:0] is read.
		D6	ADF6	CH.6 conversion-complete flag					0	R	
		D5	ADF5	CH.5 conversion-complete flag					0	R	
		D4	ADF4	CH.4 conversion-complete flag					0	R	
		D3	ADF3	CH.3 conversion-complete flag					0	R	
		D2	ADF2	CH.2 conversion-complete flag					0	R	
		D1	ADF1	CH.1 conversion-complete flag					0	R	
		D0	ADF0	CH.0 conversion-complete flag					0	R	

注: ビット名などの'*x*はチャネル番号の0〜7を示します。

D[15:8] OWE[7:0]: CH.*x* Overwrite Error Flag Bits (拡張モード)

これらのビットは各チャネルの変換結果バッファが上書きされたことを示します。
1(R): オーバーライト
0(R): 正常(デフォルト)
1(W): 無効
0(W): フラグをリセット

連続モードでA/D変換している場合に、前回の変換によってセットされた変換終了フラグADF*x*が変換結果バッファの読み出しによってリセットされる前に、同じチャネルの次の変換結果でバッファが上書きされるとOWE*x*が1にセットされます。ADF*x*がリセットされている場合は、変換結果バッファが読み出されているためOWE*x*はセットされません。
OWE*x*は1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

D[7:0] ADF[7:0]: CH.*x* Conversion-Complete Flag Bits (拡張モード)

これらのビットは各チャネルのA/D変換が終了したことを示します。
1(R): 変換終了
0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データが変換結果バッファに格納されると1にセットされ、変換結果バッファを読み出すと0にリセットされます。連続モードでA/D変換している場合、ADF*x*が1の状態で(変換結果バッファを読み出す前に)同じチャネルの次のA/D変換が終了すると、データバッファは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADF*x*をリセットする必要があります。

0x5548–0x5556: A/D CH.*x* Conversion Result Buffer Registers (AD_CH*x*_BUF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D CH.*x* Conversion Result Buffer Register (AD_CH*x*_BUF)	**0x5548** | **0x5556** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9–0	**AD*x*BUF [9:0]**	A/D CH.*x* converted data AD*x*BUF9 = MSB AD*x*BUF0 = LSB	0x0 to 0x3ff	0x0	R	Can be used when ADCADV = 1.

注: ビット名などの'*x*'はチャネル番号の0〜7を示します。

0x5548 A/D CH.0 Conversion Result Buffer Register (AD_CH0_BUF)
0x554a A/D CH.1 Conversion Result Buffer Register (AD_CH1_BUF)
0x554c A/D CH.2 Conversion Result Buffer Register (AD_CH2_BUF)
0x554e A/D CH.3 Conversion Result Buffer Register (AD_CH3_BUF)
0x5550 A/D CH.4 Conversion Result Buffer Register (AD_CH4_BUF)
0x5552 A/D CH.5 Conversion Result Buffer Register (AD_CH5_BUF)
0x5554 A/D CH.6 Conversion Result Buffer Register (AD_CH6_BUF)
0x5556 A/D CH.7 Conversion Result Buffer Register (AD_CH7_BUF)

D[15:10] Reserved

D[9:0] AD*x*BUF[9:0]: A/D CH.*x* Converted Data Bits(拡張モード)
各チャネルのA/D変換結果が格納されます。(デフォルト: 0x0)
このレジスタは読み出し専用で、書き込みは無効です。

0x5558: A/D Upper Limit Value Register (AD_UPPER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Upper Limit Value Register (AD_UPPER)	0x5558 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADUPR[9:0]	A/D conversion upper limit value ADUPR9 = MSB ADUPR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

D[15:10] Reserved

D[9:0] ADUPR[9:0]: A/D Conversion Upper Limit Value Bits（拡張モード）

A/D変換結果と比較する上限値を設定します。（デフォルト: 0x0）
ADCMP[2:0]（D[14:12]/AD_CTLレジスタ）で指定したチャネルのA/D変換で、ここに設定した値より大きな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x555a: A/D Lower Limit Value Register (AD_LOWER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Lower Limit Value Register (AD_LOWER)	**0x555a** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9–0	**ADLWR [9:0]**	A/D conversion lower limit value ADLWR9 = MSB ADLWR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

D[15:10] Reserved

D[9:0] ADLWR[9:0]: A/D Conversion Lower Limit Value Bits（拡張モード）

A/D変換結果と比較する下限値を設定します。（デフォルト: 0x0）
ADCMP[2:0]（D[14:12]/AD_CTLレジスタ）で指定したチャネルのA/D変換で、ここに設定した値より小さな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x555c: A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)	0x555c (16 bits)	D15–8	–	reserved	–		–	–	0 when being read.
		D7	INTMASK7	CH.7 conversion-complete int. mask	1 Interrupt enabled	0 Interrupt mask	1	R/W	Can be used when ADCADV = 1.
		D6	INTMASK6	CH.6 conversion-complete int. mask			1	R/W	
		D5	INTMASK5	CH.5 conversion-complete int. mask			1	R/W	
		D4	INTMASK4	CH.4 conversion-complete int. mask			1	R/W	
		D3	INTMASK3	CH.3 conversion-complete int. mask			1	R/W	
		D2	INTMASK2	CH.2 conversion-complete int. mask			1	R/W	
		D1	INTMASK1	CH.1 conversion-complete int. mask			1	R/W	
		D0	INTMASK0	CH.0 conversion-complete int. mask			1	R/W	

注: ビット名などの'*x*'はチャネル番号の0〜7を示します。

D[15:8] Reserved

D[7:0] INTMASK[7:0]: CH.*x* Conversion-Complete Interrupt Mask Bits（拡張モード）

これらのビットはA/D変換終了割り込みをチャネル単位でマスクします。
1(R/W): 割り込み有効(デフォルト)
0(R/W): 割り込みマスク

INTMASK*x*に0を書き込むとCH.*x*の変換終了割り込み要求はマスクされ、A/D変換が終了してもITCの割り込みフラグは1にセットされません。INTMASK*x*が1の場合はCH.*x*の変換終了によって割り込みを発生させることができます。

注: 標準モードと拡張モードのいずれの場合も、A/D変換終了割り込みを使用するにはINTMASK[7:0]を1に設定しておく必要があります。

0x555e: A/D Converter Mode Select/Internal Status Register (AD_ADVMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Converter Mode Select/ Internal Status Register (AD_ADVMODE)	0x555e (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	ADCADV	Standard/advanced mode selection	1 Advanced 0 Standard	0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	ISTATE[1:0]	Internal status	ISTATE[1:0] Status 0x3 Converting 0x2 reserved 0x1 Sampling 0x0 Idle	0x0	R	
		D3–0	ICOUNTER [3:0]	Internal counter value	0 to 15	0x0	R	

D[15:9] Reserved

D8 ADCADV: Standard/Advanced Mode Selection Bit

A/D変換器の動作モードを選択します。
1(R/W): 拡張モード
0(R/W): 標準モード(デフォルト)

ADCADVに1を書き込むとA/D変換器は拡張モードに設定され、拡張機能用レジスタ/ビットが使用可能になります。
ADCADVが0の場合は、A/D変換器の基本機能のみが使用可能となります。このモードでは、拡張モード用に拡張されたレジスタ/ビットへの書き込みができなくなります。読み出しは可能です。

D[7:6] Reserved

D[5:4] ISTATE[1:0]: Internal Status Bits

A/D変換器の内部状態を示します。

表VIII.1.7.5 内部状態

ISTATE[1:0]	内部状態
0x3	変換中
0x2	Reserved
0x1	サンプリング中
0x0	待機中

(デフォルト: 0x0)

D[3:0] ICOUNTER[3:0]: Internal Counter Value Bits

内部カウンタ値を示します。(デフォルト: 0x0)

VIII.1.8 注意事項

- モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

  * **ADE**: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

- 変換精度を考慮すると、A/D変換クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- プリスケーラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケーラのクロック出力をOffにしないでください。誤動作の原因となります。
- MFTのピリオドマッチ信号をトリガ要因とした場合、MFT内のプリスケーラの分周比をPCLK/1に設定しないでください。
- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DD}～V_{SS}間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0、デフォルト)に設定してください。
  タイマ出力や外部入力をトリガとして使用する場合はA/D変換器を常にイネーブル状態にしておく必要があり、消費電流が増加します。消費電流を低減させるには、以下に示すようにソフトウェアトリガを使用してA/Dイネーブル時間をできるだけ減らすようなA/D変換制御を推奨します。

  (1) A/D変換時以外はCPUクロックがOSC1の状態でHALTモードにしておきます。
  (2) サンプリング周波数に合わせて割り込みを発生させ、HALTモードを解除します。
  (3) CPUをOSC3クロックで動作させます。
  (4) A/D変換器をイネーブルにします。
  (5) ソフトウェアトリガでA/D変換を開始させます。
  (6) 変換結果を読み出します。
  (7) A/D変換器をディセーブルにします。
  (8) 必要な処理の後、(1)に戻します。

IX S1C17501 USBモジュール

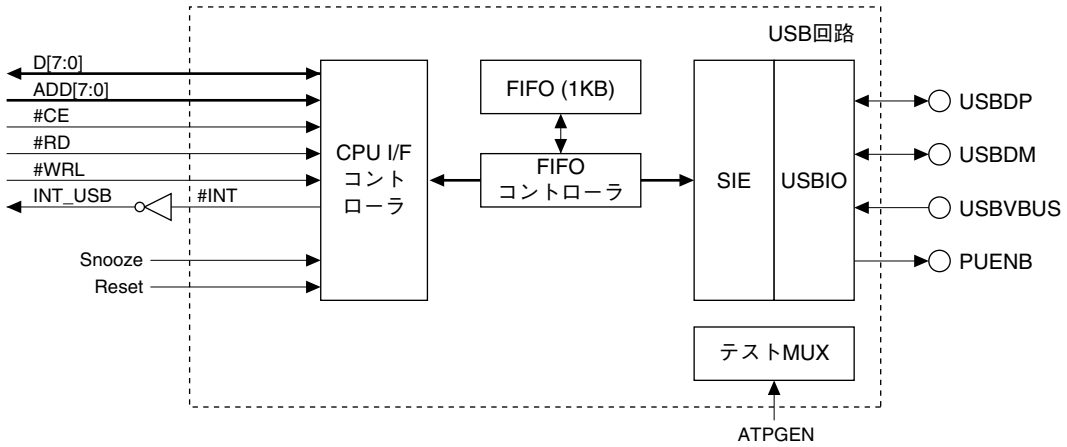
IX.1 USBファンクションコントローラ（USB）

IX.1.1 USBファンクションコントローラの概要

S1C17501は、USB2.0規格準拠のフルスピードモードに対応したUSBファンクションコントローラを内蔵しています。以下に特長を示します。

- FS（12Mbps）の転送をサポート
- コントロール、バルク、アイソクロナスおよびインタラプト転送をサポート
- 4本の汎用エンドポイントおよびエンドポイント0をサポート
- エンドポイント用に1KBプログラマブルFIFOを内蔵
- 非同期手順に対応
  - スレーブに対応
  - バス幅8ビットに対応
- 48MHzクロック入力
- スヌーズ（Snooze）モードをサポート

図IX.1.1.1にUSBファンクションコントローラのブロック図を示します。



図IX.1.1.1 USBファンクションコントローラブロック図

SIE(シリアルインタフェースエンジン)

トランザクションの管理とパケット生成を行います。また、サスペンド、リジューム、リセットなどのバスイベントを制御します。

FIFO

エンドポイント用の1KBのバッファです。

FIFOコントローラ

FIFO SRAMのアドレス管理(ユーザプログラマブル)、タイミング生成、アービトレーションなどを行います。

ポートI/Fコントローラ

非同期のハンドシェイクを行います。

CPU I/Fコントローラ

CPU I/Fのタイミングを制御し、レジスタアクセスを可能にします。

テストMUX

入力信号により、動作モード(テストモード)の切り換えを行います。

IX.1.2 USBインタフェース端子

表IX.1.2.1にUSBインタフェースの入出力端子を示します。

表IX.1.2.1 USBインタフェース端子

端子名	I/O	機　能
USBDP	I/O	USB D+端子
USBDM	I/O	USB D-端子
USBVBUS	I	USB VBUS端子(5V入力可)
PUENB	O	USB DPプルアップイネーブル出力端子(Pチャネルオープンドレイン出力)

注: USBファンクションコントローラを使用しない場合、USBDP、USBDM、およびPUENB端子はオープンにしてください。
USBファンクションコントローラを使用しない場合、USBVBUS端子はGND(Vss)に接続してください。

IX.1.3 USB動作クロックおよびDMAレジスタの設定

IX.1.3.1 USBクロックの制御

USBに対しては複数のクロック経路が用意されています。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1)USBクロック(USB_CLK)

USBインタフェースに必要なクロック(OSC3 = 48MHz)です。On/Off制御はUSB_CLK_EN(D4/CMU_GATEDCLK0レジスタ)で行います(デフォルト: Off)。

* **USB_CLK_EN**: USB IP 48 MHz Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D4/0x4906)

(2)制御レジスタ用クロック(USB_SAPB_CLK)

USBレジスタの制御に必要なクロックです。USBレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はUSB_SAPB_CLK_EN(D5/CMU_GATEDCLK0レジスタ)で行います(デフォルト: Off)。

* **USB_SAPB_CLK_EN**: USB SAPB I/F Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D5/0x4906)

IX.1.3.2 USBウェイト制御

USB Wait Control Register(0x4909)には、USBレジスタへのアクセス時に挿入するウェイトサイクル数を設定する制御ビットUSBWT[2:0](D[2:0])が設けられています。

* **USBWT[2:0]**: USB Register Access Wait Control Bits in the USB Wait Control (CMU_USBWT) Register (D[2:0]/0x4909)

表IX.1.3.2.1 USBアクセス時のウェイトサイクル数

USBWT[2:0]	ウェイトサイクル数 (システムクロックサイクル単位)	システムクロック周波数
0x7	7サイクル	Reserved
0x6	6サイクル	48MHz以下
0x5	5サイクル	45MHz以下
0x4	4サイクル	36MHz以下
0x3	3サイクル	24MHz以下
0x2	2サイクル	16MHz以下
0x1	1サイクル	8MHz以下
0x0	0サイクル	8MHz以下

(デフォルト: 0x7 = 7サイクル)

システムクロック周波数に合わせ、ウェイトサイクル数を設定します。

USB Wait Control Register(0x4909)にはUSBファンクションコントローラのスヌーズモードを制御するUSBSNZビット(D5)も割り付けられています。スヌーズモードにするには、USBSNZを1に設定します。

* **USBSNZ**: USB Snooze Control Bit in the USB Wait Control (CMU_USBWT) Register (D5/0x4909)

通常動作時は、USBSNZを0に設定してください。

IX.1.3.3 ITCの設定

USBモジュールは、すべてのUSB割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、USBモジュールの割り込みステータスレジスタを読み出してください。

USB割り込み用ITCレジスタ

割り込みが許可されているUSB割り込み要因が発生すると、USBモジュールはITCに割り込み信号を送ります。USB割り込みを発生させるには、ITCレジスタで割り込みレベルを設定すると共に割り込みを許可してください。ITC内のUSB割り込み制御ビットを以下に示します。

割り込みフラグ

* **AIFT11**: USB Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D11/0x42e0)

割り込みイネーブルビット

* **AIEN11**: USB Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D11/0x42e2)

割り込みレベル設定ビット

* **AILV11[2:0]**: USB Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV5) Register 5 (D[10:8]/0x42f0)

USBモジュールが割り込み信号を出力すると、AIFT11が1にセットされます。AIEN11が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。USBによる割り込みを禁止するには、AIEN11を0に設定しておきます。AIFT11フラグは、AIEN11ビットの設定にかかわらず(0に設定されていても)、USBモジュールの割り込み信号によって1にセットされます。
割り込みレベル設定ビットAILV11[2:0]は、USB割り込みのレベル(0～7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- USB割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"IV.1 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

USB割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　27(0x1b)
ベクタアドレス: TTBR + 0x6c

IX.1.4 機能説明

ここではUSBファンクションコントローラの機能について説明します。
説明の中で、レジスタおよびビット名は、下記のルールに従って表記されています。

- 1アドレス分のレジスタを指す場合の名称
  “レジスタ名”レジスタと表記します。
  例: MainIntレジスタ
- 個々のビットを指す場合の名称
  “レジスタ名”.“ビット名”ビット、あるいは“ビット名”ビットと表記します。
  例: MainIntStat.RcvEP0SETUPビット、EP0ControlOUTレジスタのForceNAKビット
- エンドポイントごとにある同一機能のレジスタ
  EP*x*{*x*=0,a,b,c,d}～レジスタ、EP*x*{*x*=a,b,c,d}～レジスタ等と表記します。
  例: EP*x*{*x*=a,b,c,d}IntStatレジスタ(EPaIntStat、EPbIntStat、EPcIntStat、EPdIntStatレジスタ)

IX.1.4.1 USB制御

■エンドポイント

本コントローラはコントロール転送用のエンドポイント(EP0)と4本の汎用エンドポイント(EPa、EPb、EPc、EPd)を持ちます。エンドポイントEPa、EPb、EPc、EPdは、それぞれバルク、インタラプトまたはアイソクロナス転送用のエンドポイントとして使用できます。バルク転送かインタラプト転送かによって、ハードウェア上の違いはありません。
本コントローラのハードウェアは、エンドポイントを提供しトランザクションの管理を行います。一方、USBに定義されるインタフェース(以下、USB定義インタフェース)の管理機能を提供しません。USB定義インタフェースは、ファームウェアで実装してください。デバイス固有のデスクリプタ定義に沿ってエンドポイントを適宜設定し、また組み合わせてUSB定義インタフェースを構成してください。
各エンドポイントには、USB定義インタフェースによって決定される固定の基本設定項目と、転送ごとに制御を行う可変の制御項目およびステータスがあります。基本設定項目は、チップ初期化時、またはSetInterface()リクエストによるUSB定義インタフェースの切り換え時に設定してください。
表IX.1.4.1.1にエンドポイントEP0(デフォルトコントロールパイプ)の基本設定項目を示します。
エンドポイントEP0は、IN方向とOUT方向でレジスタセットやFIFO領域を共有します。エンドポイントEP0におけるデータステージおよびステータスステージでは、その実行に際してファームウェアにより適宜データトランザクションの方向を設定してください。

表IX.1.4.1.1 エンドポイントEP0の基本設定項目

項目	レジスタ/ビット	説明
最大パケットサイズ	EP0MaxSize	最大パケットサイズを8、16、32、64のいずれかの値に設定します。(FSモード用) エンドポイントEP0には、FIFOの0番地から、EP0MaxSizeレジスタで設定したサイズの領域が割り当てられます。

表IX.1.4.1.2に汎用エンドポイント(EPa、EPb、EPc、EPd)の基本設定項目を示します。エンドポイントEPa、EPb、EPc、EPdは、トランザクション方向とエンドポイント番号を任意に設定できますので、4本までの独立したエンドポイントとして使用できます。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にしてください。

表IX.1.4.1.2 エンドポイントEPa、EPb、EPc、EPdの設定項目

項目	レジスタ/ビット	説明
トランザクション方向	EP*x*{*x*=a,b,c,d}Config.INxOUT	各エンドポイントの転送方向を設定します。
最大パケットサイズ	EP*x*{*x*=a,b,c,d}MaxSize_H, EP*x*{*x*=a,b,c,d}MaxSize_L	各エンドポイントの最大パケットサイズを、1～1024バイトの間の任意の値に設定します。ただし、バルク転送を行うエンドポイントでは8/16/32/64バイトのいずれかに設定してください。(FSモード用)
エンドポイント番号	EP*x*{*x*=a,b,c,d}Config.EndPointNumber	各エンドポイントのエンドポイント番号を0x1～0xfの間の任意の値に設定します。
トグルモード	EP*x*{*x*=a,b,c,d}Config.ToggleMode	トグルシーケンスのモードを設定します。バルク転送を行うエンドポイントは、0に設定してください。 0: トランザクション成功時のみトグル 1: トランザクション毎に常にトグル
エンドポイント有効	EP*x*{*x*=a,b,c,d}Config.EnEndPoint	各エンドポイントを有効にします。 そのエンドポイントを使用するUSB定義インタフェースが有効にされたときに設定してください。
FIFO領域	EP*x*{*x*=a,b,c,d}StartAdrs_H, EP*x*{*x*=a,b,c,d}StartAdrs_L	各エンドポイントに割り当てる領域を、FIFOのアドレスで設定します。 FIFO領域は、各エンドポイントの最大パケットサイズ以上の領域を割り当ててください。 FIFO領域のサイズはデータ転送のスループットに影響します。FIFOの領域割り当ての詳細は、"FIFO管理"の項を参照してください。

■トランザクション

本コントローラのハードウェアは、トランザクション実行機能とファームウェアに対するトランザクション実行のためのインタフェースを提供します。ファームウェアとのインタフェースは、制御レジスタとステータスレジスタ、およびステータスによりアサートされる割り込み信号により実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の項を参照してください。

本コントローラは個々のトランザクションごとに、ファームウェアに対してステータスを発行します。ただし、ファームウェアは必ずしも個々のトランザクションを管理する必要はありません。本コントローラはトランザクションへの応答時にFIFOを参照し、そのデータ数または空き数によってデータ転送を行えるか否かを判断して自動的に処理します。たとえば、OUTのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOからデータを読み出し、FIFOに空き領域を作り出すことによってOUTトランザクションを自動的に連続して実行させることができます。また、INのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOにデータを書き込み、FIFOに有効データを作り出すことによってINトランザクションを自動的に連続して実行させることができます。

表IX.1.4.1.3にエンドポイントEP0のトランザクション制御に関する制御項目およびステータスを示します。

表IX.1.4.1.3 エンドポイントEP0の制御項目およびステータス

項目	レジスタ/ビット	説明
トランザクション方向	EP0Control.INxOUT	データステージおよびステータスステージにおいて、転送方向を設定します。
デスクリプタ返信イネーブル	EP0Control.ReplyDescriptor	デスクリプタの自動応答を起動します。
ショートパケット送信イネーブル	EP0ControlIN.EnShortPkt	最大パケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
トグルシーケンスビット	EP0ControlIN.ToggleStat, EP0ControlOUT.ToggleStat	トグルシーケンスビットの状態を示します。SETUPステージにより、自動的に初期化されます。
トグルセット	EP0ControlIN.ToggleSet, EP0ControlOUT.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EP0ControlIN.ToggleClr, EP0ControlOUT.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK応答	EP0ControlIN.ForceNAK, EP0ControlOUT.ForceNAK	FIFOのデータ数/空き数にかかわらず、INまたはOUTにNAK応答します。
STALL応答	EP0ControlIN.ForceSTALL, EP0ControlOUT.ForceSTALL	INまたはOUTトランザクションにSTALL応答します。
自動ForceNAKセット	EP0ControlOUT.AutoForceNAK	OUTトランザクションの完結ごとに、EP0ControlOUT.ForceNAKビットをセットします。
SETUP受信ステータス	MainIntStat.RcvEP0SETUP	SETUPトランザクションが実行されたことを示します。
トランザクションステータス	EP0IntStat.IN_TranACK, EP0IntStat.OUT_TranACK, EP0IntStat.IN_TranNAK, EP0IntStat.OUT_TranNAK, EP0IntStat.IN_TranErr, EP0IntStat.OUT_TranErr	トランザクションの結果を示します。

表IX.1.4.1.4に、エンドポイントEPa、EPb、EPc、EPdのトランザクション処理に関する制御項目とステータスを示します。

表IX.1.4.1.4 エンドポイントEPa、EPb、EPc、EPdの制御項目とステータス

項目	レジスタ/ビット	説明
自動ForceNAKセット	EP*x*{*x*=a,b,c,d}Control.AutoForceNAK	OUTトランザクションの完結ごとに、そのエンドポイントのEP*x*{*x*=a,b,c,d}Control.ForceNAKビットをセットします。
ショートパケット送信イネーブル	EP*x*{*x*=a,b,c,d}Control.EnShortPkt	INトランザクションに対し、最大パケットサイズに満たないショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
ショートパケット受信による自動ForceNAKセットの禁止	EP*x*{*x*=a,b,c,d}Control.DisAF_NAK_Short	OUTトランザクションにおいてショートパケットを受信すると、自動的にそのエンドポイントのEP*x*{*x*=a,b,c,d}Control.ForceNAKビットをセットする機能を禁止します。
トグルシーケンスビット	EP*x*{*x*=a,b,c,d}Control.ToggleStat	トグルシーケンスビットの状態を示します。
トグルセット	EP*x*{*x*=a,b,c,d}Control.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EP*x*{*x*=a,b,c,d}Control.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK 応答	EP*x*{*x*=a,b,c,d}Control.ForceNAK	FIFOのデータ数/空き数にかかわらず、トランザクションにNAK応答します。
STALL応答	EP*x*{*x*=a,b,c,d}Control.ForceSTALL	トランザクションにSTALL応答します。
トランザクションステータス	EP*x*{*x*=a,b,c,d}IntStat.OUT_ShortACK, EP*x*{*x*=a,b,c,d}IntStat.IN_TranACK, EP*x*{*x*=a,b,c,d}IntStat.OUT_TranACK, EP*x*{*x*=a,b,c,d}IntStat.IN_TranNAK, EP*x*{*x*=a,b,c,d}IntStat.OUT_TranNAK, EP*x*{*x*=a,b,c,d}IntStat.IN_TranErr, EP*x*{*x*=a,b,c,d}IntStat.OUT_TranErr	トランザクションの結果を示します。

SETUPトランザクション

自ノードのエンドポイントEP0宛てのSETUPトランザクションは、無条件に実施します（USB機能は有効にされている必要があります）。

SETUPトランザクションが発行されると、データパケット（8バイト）のすべての内容をEP0Setup_0～EP0Setup_7レジスタに格納し、ACK応答します。また、ファームウェアに対し、RcvEP0SETUPステータスを発行します。

SETUPトランザクション中にエラーが発生した場合には応答せず、ステータスも発行しません。

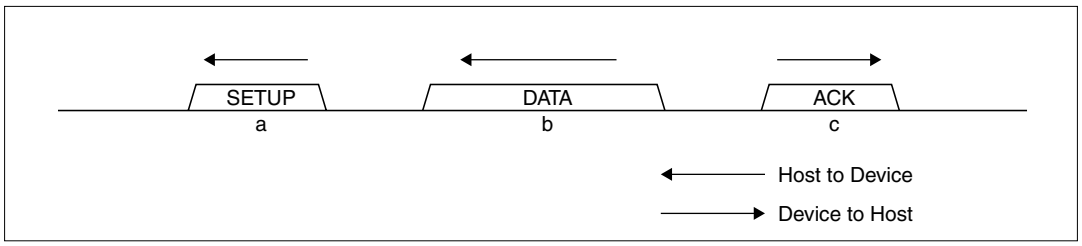
SETUPトランザクションが完結すると、EP0ControlINレジスタおよびEP0ControlOUTレジスタのForceNAKビットをセットし、ForceSTALLビットをクリアします。また、ToggleStatビットをセットします。ファームウェアは、エンドポイントEP0の設定を終え、次のステージに移行可能になったら、EP0ControlINレジスタまたはEP0ControlOUTレジスタにおいて、該当する方向のForceNAKビットをクリアしてください。

図IX.1.4.1.1にSETUPトランザクションのシーケンスを示します。

(a) ホストが、このノードのエンドポイント0に宛てたSETUPトークンを発行します。

(b) ホストは続けて、8バイト長のデータパケットを送信します。本コントローラはこのデータをEP0Setup_0～EP0Setup_7レジスタに書き込みます。

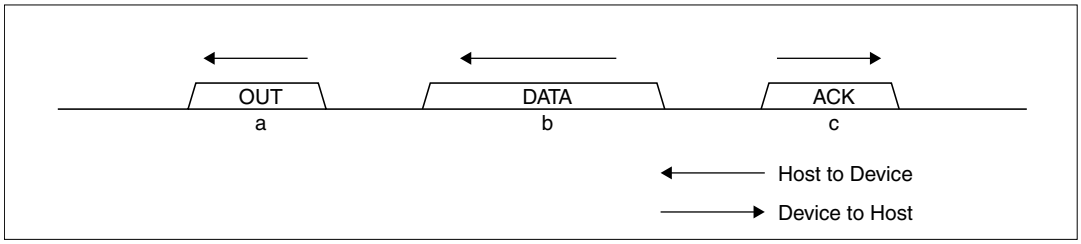
(c) 本コントローラは自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.1 SETUPトランザクション

OUTトランザクション

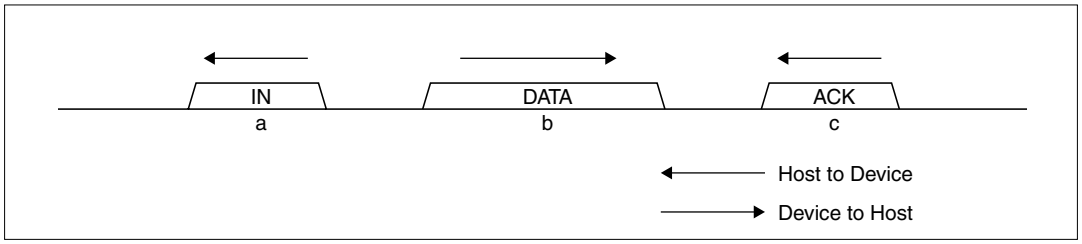
OUTトランザクションでは、FIFOの空き容量にかかわらずデータの受信を開始します。ポートインタフェースによりFIFOのデータを読み出し、空き領域を作りながら受信することができますので、FIFOを最大バケットサイズの倍程度割り当てることにより、良好なスループットが得られます。
OUTトランザクションにおいてすべてのデータが正常に受信できると、トランザクションを完結し、ACK応答します。また、ファームウェアに対し、該当するエンドポイントのOUT_TranACKステータス(EP*x*{*x*=0,a,b,c,d}IntStat.OUT_TranACKビット)を発行します。また、FIFOを更新し、データを受信済みとして領域を確保します。
エンドポイントEPa、EPb、EPc、EPdにおいては、OUTトランザクションにおいて、ショートパケットのすべてのデータを受信すると、上記のトランザクション完結処理に加え、OUT_ShortACKステータス(EP*x*{*x*=a,b,c,d}IntStat.OUT_ShortACKビット)を発行します。また、EP*x*{*x*=a,b,c,d}Control.DisAF_NAK_Shortビットがクリアされていると、そのエンドポイントのEP*x*{*x*=a,b,c,d}ForceNAKビットをセットします。
OUTトランザクションにおいてトグルミスマッチが発生した場合、トランザクションにACK応答します。ただし、ステータスは発行されず、FIFOも更新されません。
OUTトランザクションにエラーが発生した場合、トランザクションに応答しません。また、OUT_TranErrステータス(EP*x*{*x*=0,a,b,c,d}IntStat.OUT_TranErrビット)を発行します。FIFOは更新されません。
OUTトランザクションにおいてすべてのデータを受信できなかった場合、トランザクションにNAK応答し、また、OUT_TranNAKステータス(EP*x*{*x*=a,b,c,d}IntStat.OUT_TranNAKビット)を発行します。FIFOは更新されません。
図IX.1.4.1.2に、OUTトランザクションが正常に完結する場合のシーケンスを示します。
(a) ホストが、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを発行します。
(b) ホストは続けて、最大パケットサイズ以内のデータパケットを送信します。
本コントローラはこのデータを、該当するエンドポイントのFIFOに書き込みます。
(c) 本コントローラはデータを受信できると、自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.2 OUTトランザクション

INトランザクション

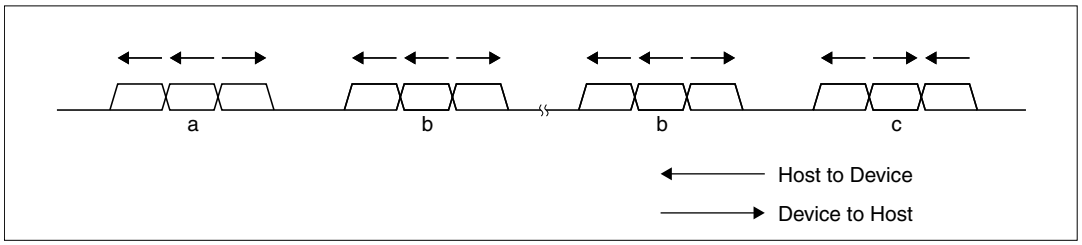
IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがある場合、またはファームウェアによってショートパケットの送信が許可されている場合、INトランザクションに応答してデータパケットを返信します。
ショートパケット(データ長ゼロのパケットを含む)の送信許可は、EP0ControlIN.EnShortPktビットおよびEP*x*{*x*=a,b,c,d}Control.EnShortPktビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間は新たなデータをそのエンドポイントのFIFOに書き込まないようにしてください。
エンドポイントEP0では、ショートパケットを送信するINトランザクションが完結すると、EP0ControlIN. ForceNAKビットをセットします。
データを返信したINトランザクションでACKを受信するとトランザクションは完結し、ファームウェアに対してIN_TranACKステータス(EP*x*{*x*=0,a,b,c,d}IntStat.IN_TranACKビット)を発行します。また、FIFOを更新して、送信したデータを送信済みとして領域を開放します。
データを返信したINトランザクションでACKが返らない場合はトランザクション失敗と見なし、ファームウェアに対しIN_TranErrステータス(EP*x*{*x*=0,a,b,c,d}IntStat.IN_TranErrビット)を発行します。また、FIFOを更新せず、領域を開放しません。
IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがなく、かつ、ショートパケットの送信が許可されていない場合、INトランザクションにはNAK応答し、ファームウェアに対してIN_TranNAKステータス(EP*x*{*x*=0,a,b,c,d}IntStat.IN_TranNAKビット)を発行します。また、FIFOを更新せず、領域を開放しません。
図IX.1.4.1.3にINトランザクションが正常に完結する場合のシーケンスを示します。
(a)ホストが、このノードに存在するIN方向のエンドポイントに宛てたINトークンを発行します。
(b)本コントローラは、このINトランザクションに応答できる場合、最大パケットサイズ以内のデータパケットを送信します。
(c)ホストはACK応答します。本コントローラはACKを受信すると、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図IX.1.4.1.3 INトランザクション

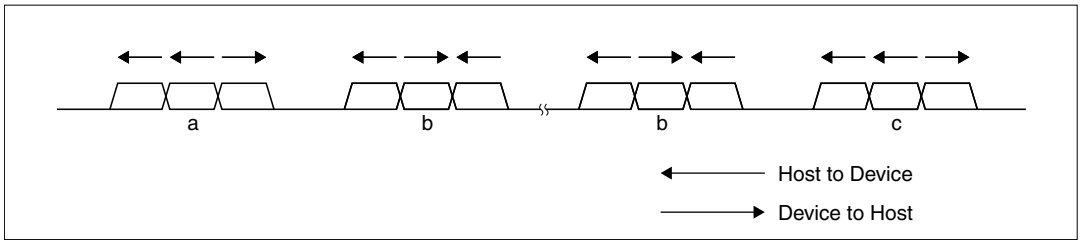
■コントロール転送

エンドポイントEP0におけるコントロール転送は、個々のトランザクションの組み合わせとして制御します。図IX.1.4.1.4にデータステージがOUT方向である場合のコントロール転送の様子を図示します。
(a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
(b) ホストはOUTトランザクションを発行してデータステージを行い、デバイスはデータを受信します。
(c) ホストはINトランザクションを発行してステータスステージを行い、デバイスはデータ長ゼロのパケットを返信します。
データステージのないコントロール転送は、この例におけるデータステージがない状態で実施されます。
ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、IN_TranNAKステータス(EP0IntStat.IN_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。



図IX.1.4.1.4 データステージがOUT方向のコントロール転送

図IX.1.4.1.5にデータステージがIN方向である場合のコントロール転送の様子を図示します。
(a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
(b) ホストはINトランザクションを発行してデータステージを行い、デバイスはデータを送信します。
(c) ホストはOUTトランザクションを発行してステータスステージを行い、デバイスはACK応答します。
ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、OUT_TranNAKステータス(EP0IntStat.OUT_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。



図IX.1.4.1.5 データステージがIN方向のコントロール転送

コントロール転送のデータステージおよびステータスステージは、通常のOUTおよびINトランザクションを行いますので、NAKによるフロー制御が有効です。デバイスは定められた時間内に、応答する準備をすることが許されています。

SETUPステージ

自ノードに宛てられたSETUPトークンを受信すると、自動的にSETUPトランザクションを実行します。ファームウェアは、RcvEP0SETUPステータスをモニタし、EP0Setup_0～EP0Setup_7レジスタによりリクエストを解析して、コントロール転送を制御してください。
受信したリクエストにOUT方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをクリアしてエンドポイントEP0をOUT方向に設定してください。
受信したリクエストにIN方向のデータステージがある場合、データステージに移行するため、EP0ControlレジスタのINxOUTビットをセットしてエンドポイントEP0をIN方向に設定してください。
受信したリクエストにデータステージがない場合はステータスステージに移行するため、EP0ControlレジスタのINxOUTビットをセットして、エンドポイントEP0をIN方向に設定してください。

データステージ/ステータスステージ

EP0Setup_0～EP0Setup_7レジスタを読み出してリクエストを解析した内容に従って、次のステージに移行してください。
そのステージがOUT方向の場合はEP0ControlレジスタのINxOUTをクリアしてOUT方向に設定し、EP0ControlOUTレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。
ステージがIN方向の場合はEP0ControlレジスタのINxOUTをセットしてIN方向に設定し、EP0ControlINレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

自動アドレス設定機能

本コントローラには、エンドポイントEP0におけるコントロール転送において、SetAddress()リクエストの処理におけるアドレス設定を自動化する機能があります。
EP0Setup_0～EP0Setup_7レジスタによってリクエストの内容を確認し、それが有効なSetAddress()リクエストであれば、ファームウェアはこの機能を使用することができます。
有効なSetAddress()リクエストであると判断した場合、EP0ControlIN.ForceNAKビットとEP0ControlIN.EnShortPktビットをそれぞれクリアおよびセットして、ステータスステージへの応答を行う前に、USB_Address.AutoSetAddressビットをセットしてください。
この機能を有効にした後に、エンドポイントEP0におけるINトランザクションが完結すると、SetAddress()リクエストのデータからアドレスを抽出し、USB_Address.USB_Addressビットにセットします。また、ファームウェアに対しSetAddressCmpステータス(SIE_IntStat.SetAddressCmpビット)を発行します。
この機能を有効にした後、INトランザクションが行われる前にエンドポイントEP0において他のトランザクションが発生した場合、この機能はキャンセルされ、USB_Address.AutoSetAddressビットはクリアされます。ファームウェアに対しSetAddressCmpステータスは発行されません。

デスクリプタ返信機能

本コントローラには、エンドポイントEP0におけるコントロール転送において複数回発行される、GetDescriptor()等のデータを要求するリクエストに有効な、デスクリプタ返信機能があります。
データステージがIN転送であるリクエストにおいて、ファームウェアはこの機能を使用することができます。
EP0ControlIN.ForceNAKビットをクリアし、データステージへの応答を開始する前に、DescAdrs_HおよびDescAdrs_LレジスタにFIFOのデスクリプタ領域内の返信するデータの先頭アドレスを、またDescSize_HおよびDescSize_Lレジスタに返信するデータの総バイト数を設定し、EP0Control.ReplyDescriptorビットをセットしてください。
デスクリプタ返信機能は、設定数のデータを送り終わるまでデータステージのINトランザクションに応答してデータパケットを返信し、INトランザクションを実行します。最大パケットサイズに対し端数のデータが存在すると、デスクリプタ返信機能は、EP0ControlIN.EnShortPktをセットし、すべてのデータを返信するまで、INトランザクションに応答できるようにします。
設定数のデータを返信し終わると、EP0Control.ReplyDescriptorビットをクリアし、ファームウェアに対し、DescriptorCmpステータス(FIFO_IntStat.DescriptorCmpビット)を発行します。
デスクリプタ領域についての詳細は、機能説明のFIFOの項を参照してください。

■バルク転送/インタラプト転送

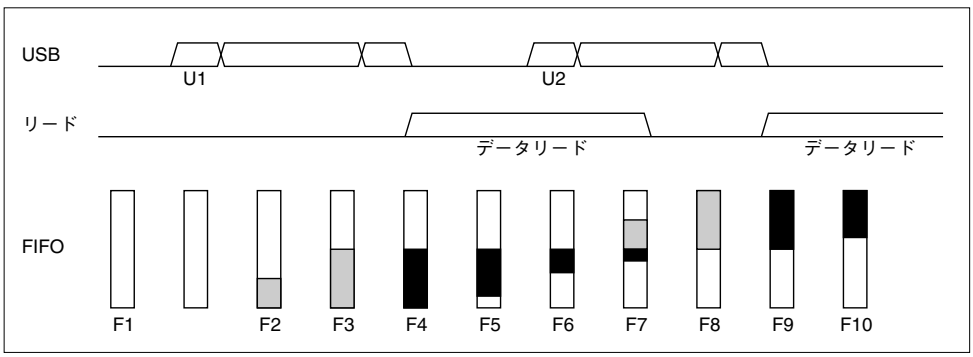
汎用エンドポイントEPa、EPb、EPc、EPdにおけるバルク転送およびインタラプト転送は、データフロー（“データフロー”参照)としても、連続する個々のトランザクション(“トランザクション”参照)としても制御できます。

■データフロー

ここでは、OUT転送およびIN転送の一般的なデータフローの制御について説明します。

OUT転送

OUT転送によって受信したデータは、各エンドポイントのFIFO上に置かれます。FIFOのデータを読み出すには、CPU_JoinRdレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOは、EPnFIFOforCPUレジスタにより、受信順に読み出すことができます。また、FIFOの残りデータ数を、EPnRdRemain_HおよびEPnRdRemain_Lレジスタにより参照できます。空のFIFOを読み出すと、ダミー読み出しを行います。
CPU_JoinRdレジスタによりIN方向のエンドポイントを読み出し設定する場合、ForceNAKビットをセットするなどして、確実にINトランザクションにデータ返信応答をしない状態にしてから、データの読み出しを行ってください。
FIFOにデータパケットを受信できる空き領域があれば、OUTトランザクションに自動的に応答して、データを受信できます。したがって、ファームウェアによって個々のトランザクションについての制御を行うことなく、OUT転送を行うことができます。ただし、EP*x*{*x*=a,b,c,d}Control.DisAF_NAK_Shortビットがクリアされている場合、ショートパケット(データ長ゼロのパケットを含む)を受信すると、そのエンドポイントのEP*x*{*x*=a,b,c,d}Control.ForceNAKビットをセットしますので、次のデータ転送を行う準備ができたところで、EP*x*{*x*=a,b,c,d}Control.ForceNAKビットをクリアしてください。
図IX.1.4.1.6に、OUT転送のデータフローのようすを示します。OUTのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。

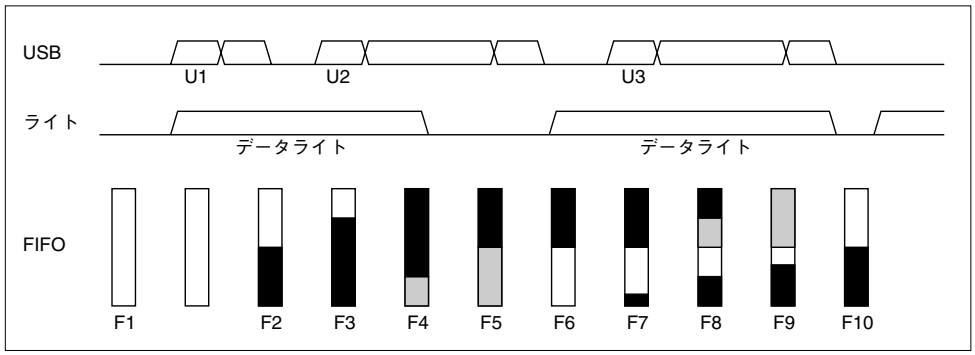


図IX.1.4.1.6 OUT転送のデータフロー例

(U1) 1回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
(U2) 2回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
(F1) FIFOが空の状態です。
(F2) OUTトランザクションが進行し、FIFOに受信を開始しています。この時点では、トランザクションが完結していないため、FIFOのデータが有効とされていません。
(F3) OUTトランザクションのデータパケットを受信し終えましたが、トランザクションが完結していないため、FIFOのデータが有効とされていません。
(F4) OUTトランザクションが完結し、受信したデータが有効とされます。
(F5) CPUが受信データを読み出します。
(F6) 読み出しにより、FIFOの有効データが減っています。
(F7) 次のトランザクション開始により、データの書き込みが始まります。有効データがある間、データの読み出しを続けます。
(F8) 有効データがなくなったために、読み出しを停止します。2回目のOUTトランザクションは未だ完結していません。
(F9) 2回目のOUTトランザクションが完結し、FIFOに有効データが生じます。
(F10) FIFOに有効データが生じたため、CPUによる受信データの読み出しが再開されます。

IN転送

IN転送により送信するデータを、各エンドポイントのFIFO上に置いてください。FIFOにデータを書き込むには、CPU_JoinWrレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOには、EPnFIFOforCPUレジスタによりデータを書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFOの空き容量を、EPnWrRemain_HおよびEPnWrRemain_Lレジスタにより参照できます。フル状態のFIFOに書き込むと、ダミー書き込みを行います。
CPU_JoinWrレジスタによりOUT方向のエンドポイントに書き込み設定する場合、ForceNAKビットをセットするなどして、確実にOUTトランザクションのデータ受信をしない状態にしてから、データ書き込みを行ってください。
FIFOに最大パケットサイズ以上のデータがあれば、INトランザクションに自動的に応答して、データを送信できます。したがって、ファームウェアは個々のトランザクションについての制御を行うことなく、IN転送を行うことができます。ただし、データ転送の最後にショートパケットを送信する必要がある場合、EnShortPktビットをセットしてください。このビットはショートパケットを送信したINトランザクションが完結することによってクリアされますので、FIFOへのデータ書き込みが終了した時点でセットすることが可能です。
図IX.1.4.1.7にIN転送のデータフローのようすを示します。INのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。

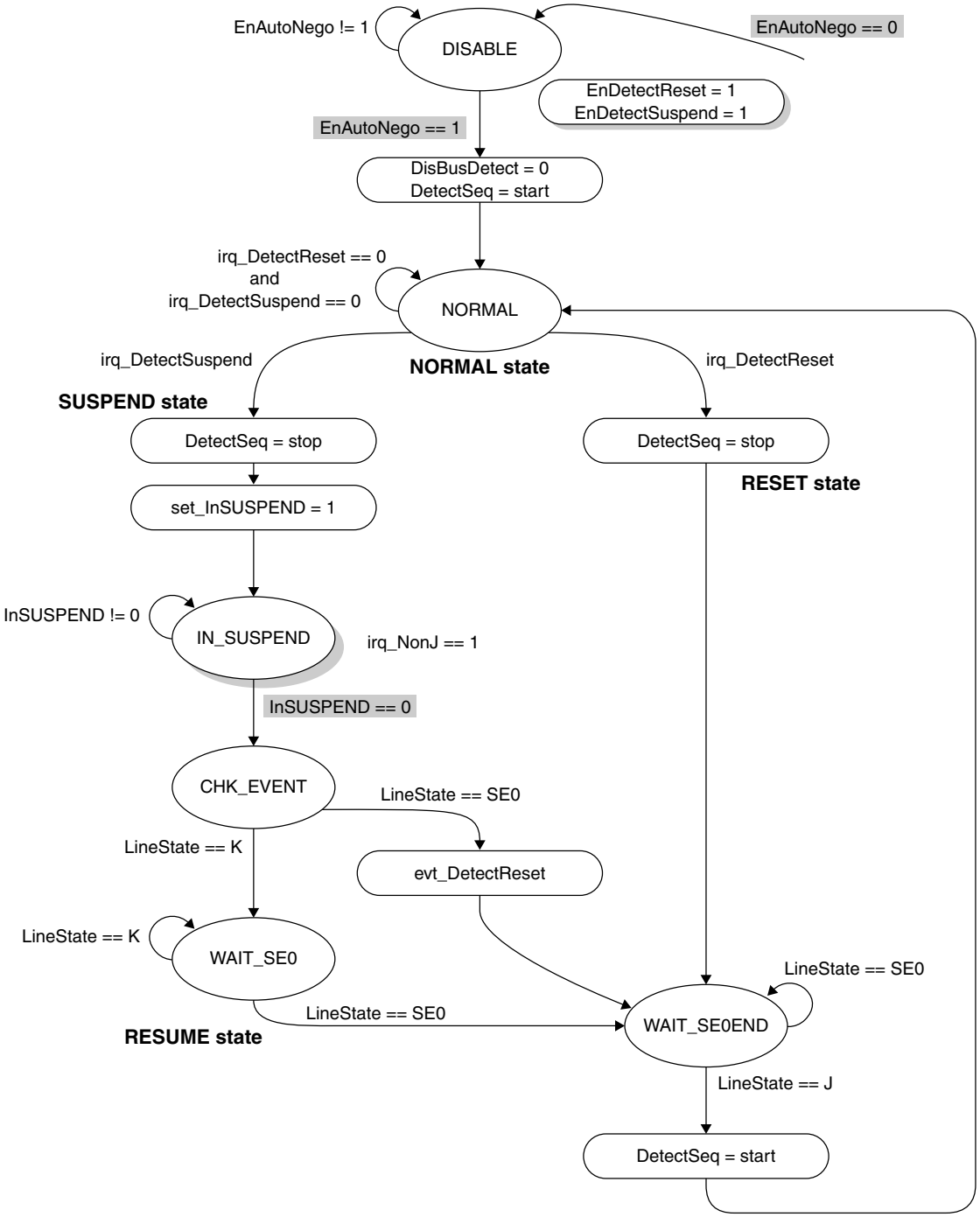


図IX.1.4.1.7 IN転送のデータフロー例

（U1）1回目のINトランザクションでは、FIFOに最大パケットサイズ分の有効なデータがないため、NAK応答しています。
（U2）2回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
（U3）3回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
（F1） FIFOが空の状態です。
（F2） CPUによってFIFOに有効データが書き込まれます。
（F3） FIFOに空き領域があるため、CPUはデータ書き込みを継続します。
（F4） FIFOに最大パケットサイズ分の有効データがあるので、INトランザクションに応答して、データパケットを送信しています。トランザクションが完結していないので、送信した分の領域は開放されません。FIFOがフルになり、データ書き込みが停止します。
（F5） INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。
（F6） ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。
（F7） FIFOに空き領域ができたため、データの書き込みを再開します。
（F8） INトランザクションに応答して、データパケットを送信しています。FIFOには空き領域があるため、CPUはデータ書き込みを継続します。
（F9） INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。FIFOには空き領域があるため、CPUはデータ書き込みを継続します。
（F10）ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。空き領域がなくなったためにCPUはデータ書き込みを一時停止しますが、INトランザクションの完結により空き領域ができたために再開しています。

■オートネゴシエーション機能

サスペンド検出、リセット検出、レジューム検出をUSBバスの状態を逐次チェックしながら自動的に行います。実際に何が行われたかは、各割り込み(DetectReset、DetectSuspend)をチェックすることにより確認することができます。



図IX.1.4.1.8 オートネゴシエータ

(1) DISABLE

USB_Control.EnAutoNegoビットをクリアしているときに、このステートに入ります。
オートネゴシエーション機能を有効にするときには、USB_Control.EnAutoNegoビットをセットする前にリセット検出割り込み(SIE_IntEnb.EnDetectReset)、サスペンド検出割り込み(SIE_IntEnb.EnDetectSuspend)をセットし、イベント検出割り込みを許可してください。
オートネゴシエーション機能を有効にすると、USB_Contorol.DisBusDetectビットを自動的にクリアし、イベント検出機能を有効にします。オートネゴシエーション機能を有効にしている間は、USB_Control.DisBusDetectビットを絶対にセットしないでください。

(2) NORMAL

リセット検出待ち、サスペンド検出待ちをするステートです。
2.5µs以上のSE0が検出された場合はリセット、3ms以上アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、リセット検出割り込み、またはサスペンド検出割り込みが発生し、SIE_IntStat.DetectResetビット、またはSIE_IntStat.DetectSuspendビットがセットされます。
サスペンドと判断した場合、一旦イベント検出機能を停止し、IN_SUSPENDステートに入ります。

(3) IN_SUSPEND

サスペンドと判断された場合、ハードウェアによってUSB_Control.InSUSPENDビットが自動的にセットされ、IN_SUSPENDステートに入ります。このUSB_Control.InSUSPENDビットによって、FS-Jからのバスの遷移を検出する機能が有効になり、ホストからのレジューム、リセットのみを検出するようになります。
サスペンド中に実際に消費電流を軽減するかどうかは、アプリケーションに依存します。本コントローラは、消費電流を軽減するためのスヌーズ機能を持っています。オートネゴシエーション機能が有効時にこのスヌーズ機能を使用する場合は、必ずUSB_Control.InSUSPENDビットがセットされたことを確認してから、スヌーズ機能をイネーブルにしてください。
また、スヌーズ状態になった後、サスペンド終了指示であるレジューム(FS-K)を検出するために、ファームウェアにてSIE_IntEnb.EnNonJビットをセットし、NonJ割り込みを許可してください。
NonJ割り込みステータス(SIE_IntStat.NonJ)がセットされた場合、サスペンドからの復帰指示であると判断し、USB_Control.InSUSPENDビットをファームウェアにてクリアすると、CHK_EVENTステートに入ります。
リモートウェイクアップ機能を有効にしているアプリケーションで、サスペンドから復帰する必要があると判断される場合には、このステートの中でUSB_Control.SendWakeupビットをセットし、1ms以上、15ms以下の間FS-Kを出力してください。

(4) CHK_EVENT

CHK_EVENTステートでは、本コントローラはUSB信号をチェックし、FS-Kを検出した場合にレジュームであると判断します。SE0を検出した場合はリセットであると判断します。リセットと判断した場合は、SIE_IntStat.DetectResetビットをセットします。

なお、どのステートにおいても、USBケーブルが抜かれたことには対応していませんので、もしUSBケーブルが抜かれた場合には、すぐに、このオートネゴシエーション機能を停止してください。

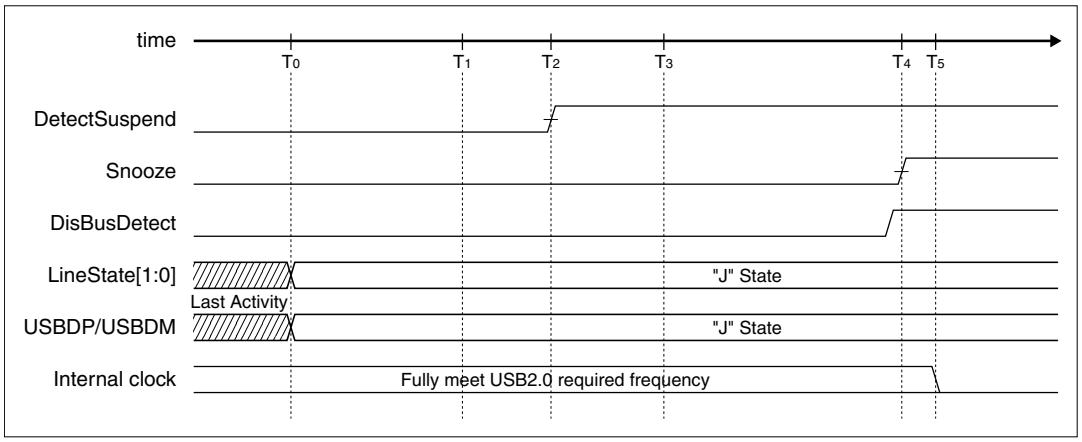
■各ネゴシエーション機能の単体説明

サスペンド検出

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のサスペンド検出手順を自動的に実行します。

(1) 3ms以上、送受信がない(USB_Status.LineState[1:0]に"J"を検出し続ける)ことを内部タイマによりチェックします(T_1)。
(2) T_2の時点で、USB_Status.LineState[1:0]に"J"を検出した場合、SIE_IntStat.DetectSuspendビットをセットします。
(3) SIE_IntEnb.EnDetectSuspend、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectSuspendビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectとUSBSNZ(D5/0x4909)ビットをそれぞれ1にセットし、T_4までにスヌーズの処理に入ってください。ただし、セルフパワードの製品では、スヌーズしなくても構いません(図IX.1.4.1.9では、スヌーズを行ったときの動作を表しています)。



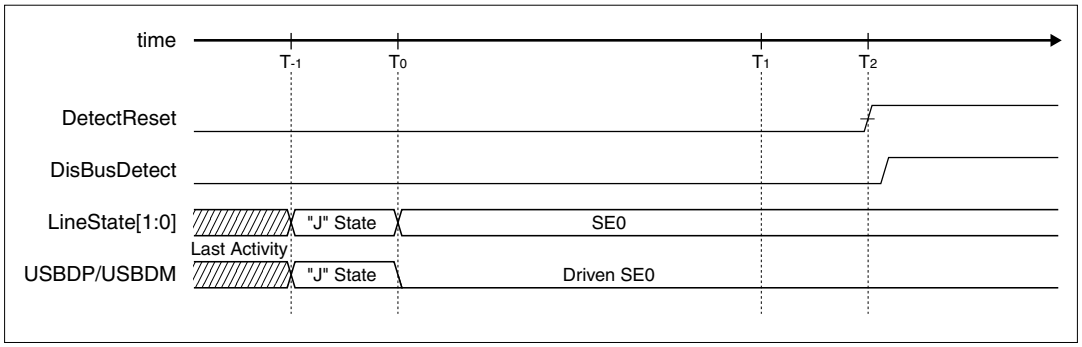
図IX.1.4.1.9 サスペンドタイミング(FSモード)

リセット検出

USB_Control.DisBusDetectビットが0に設定されている場合、本コントローラは以下のリセット検出手順を自動的に実行します。

（1）2.5µs以上、USB_Status.LineState[1:0]に“SE0”を検出し続けたことを内部タイマによりチェックします（T_1）。
（2）T_2の時点で、USB_Status.LineState[1:0]に“SE0”を検出した場合、SIE_IntStat.DetectResetビットをセットします。
（3）SIE_IntEnb.EnDetectReset、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectResetビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectビットを1にセットしてください。



図IX.1.4.1.10 リセットタイミング（FSモード）

レジュームの発行

リモートウェイクアップがサポートされていて、かつホストからリモートウェイクアップを有効にされているときに、何らかの要因で、自らレジュームする方法を説明します。
リモートウェイクアップを行うことが可能なのは、バスがアイドルになってから5ms経過後です。さらに、レジューム信号を出力してから10ms経過以前は、USBのサスペンド状態に入る前の電流をVBUSから引き出すことはできません。

S1C17501はUSBコントローラのスヌーズモードに対応しています。ここでは、発振回路は動作しているものとして(USB_CLK_EN(D4/x04906) = 1、スリープ状態ではない)、レジュームを発行する場合の動作を説明します。下記(3)、(4)、(8)、(9)は本コントローラのハードウェアが自動的に処理します。(1)、(2)、(6)、(6a)、(10)は本コントローラを制御するファームウェアで設定してください。

(1) SIE_IntEnb.EnNonJとUSBSNZ(D5/0x4909)ビットをクリアしてください。本コントローラが自らウェイクアップするために、スヌーズから復帰させます。
(2) USB_Control.SendWakeupビットをセットし、レジューム信号を送出させてください。
(3) XcvrControl.OpMode[1:0]を"Disable Bit Stuffing and NRZI encoding"に設定し、"ALL 0"のデータを送信する準備をします。
(4) 送信を開始し、ダウンストリームポートに対し"FS K"(レジューム信号)を送出します。
(5) ダウンストリームポートは、このレジューム信号を検出し、バス上に"FS K"(レジューム信号)を返してきます。
(6) USB_Control.SendWakeupビットをクリアし、レジューム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。
(7) ダウンストリームポートがレジューム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジューム信号の最後にはLSのEOPが付いていることに注意してください。

ダウンストリームポートからのレジューム信号の送出の終了を検出したい場合には、上記(6)に続いて、以下の処理を行ってください。

(6a) USB_Control.StartDetectJビットをセットしてください。
(7) ダウンストリームポートがレジューム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジューム信号の最後にはLSのEOPが付いていることに注意してください。
(8) SIE_IntStat.DetectJビットがセットされます。
(9) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。
(10) USB_Control.StartDetectJビットをクリアしてください。

ただし、オートネゴシエーション機能を使用している場合には、上記ダウンストリームポートからのレジューム信号の送出の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは発振回路は動作しているものとして(USB_CLK_EN(D4/x04906) = 1、スリープ状態ではない)、その動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZ(D5/0x4909)を1から0に設定)させる前に、OSCパワーアップ時間も必要となります。

レジュームの検出

USBのサスペンド時、バス上には“J”（USB_Status.LineState[1:0]は“J”）が観測されます。バス上に“K”が観測されたときは、ダウンストリームポートからのウェイクアップの指示（レジューム）を受け取ったことになります。ここでは、USBのサスペンド時に本コントローラがスヌーズしていたことを想定し、レジュームを検出した場合の動作を説明します。本コントローラを制御するファームウェアで下記(4)、(5)、(5a)、(9)を設定してください。その他の項目は本コントローラのハードウェアが自動的に処理します。

(1) “J”から“K”にバスが遷移します。
(2) SIE_IntStat.NonJビットをセットします。
(3) SIE_IntEnb.EnNonJ、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
(4) USBSNZ（D5/0x4909）をクリアしてください。
(5) USB_Control.SendWakeupビットをクリアし、レジューム信号の送出を停止させてください。その後、USB_Control.InSUSPENDビットをクリアしてください。
(6) ダウンストリームポートが“K”の送出を停止します。

ダウンストリームポートからのレジューム信号の送出の終了を検出したい場合には、上記(5)に続いて、以下の処理を行ってください。

(5a) USB_Control.StartDetectJビットをセットしてください。
(6) ダウンストリームポートが“K”の送出を停止します。
(7) SIE_IntStat.DetectJビットがセットされます。
(8) SIE_IntEnb.EnDectectJビットがセットされている場合、#INT信号をアサートします。
(9) USB_Control.StartDetectJビットをクリアしてください。

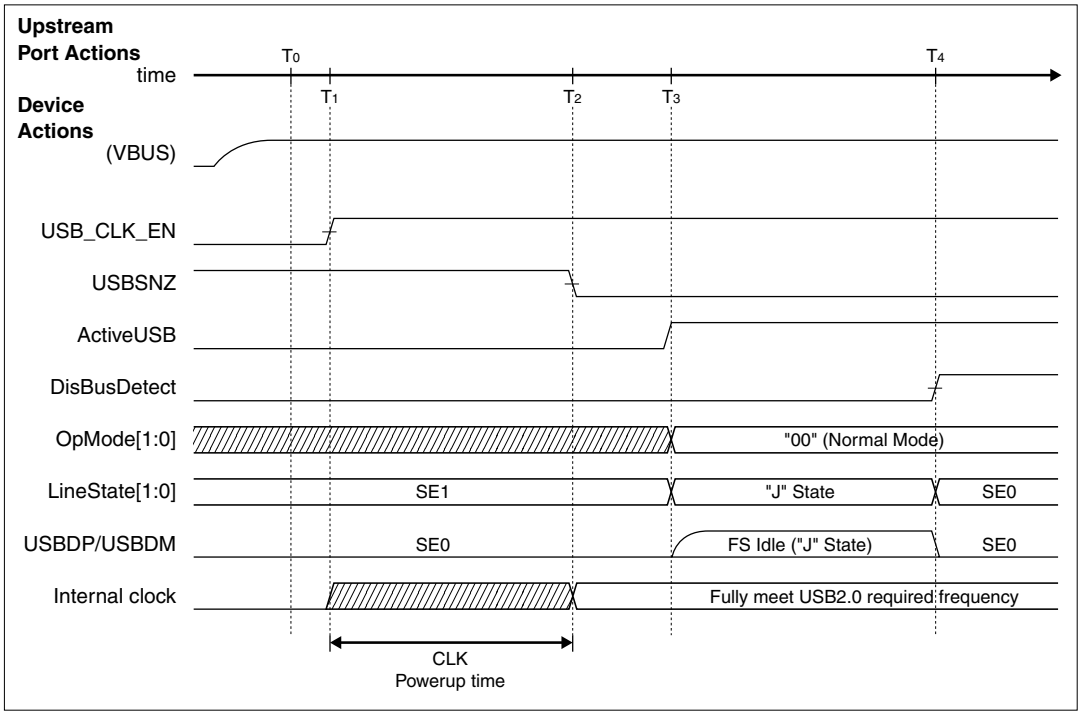
ただし、オートネゴシエーション機能を使用している場合には、上記ダウンストリームポートからのレジューム信号の送出の終了を検出する必要は特になく、その他のイベントを待つだけで十分だと考えられます。

ここでは、発振回路は動作しているものとして（USB_CLK_EN（D4/x04906） = 1、スリープ状態ではない）、動作を説明しています。もし、スリープ状態に（発振回路を停止）させていた場合には、スヌーズ状態から復帰（USBSNZ（D5/0x4909）を1から0に設定）させる前に、OSCパワーアップ時間も必要となります。

ケーブル挿入

ハブまたはホストに接続(ケーブルが挿入)された場合の動作は以下のとおりです。本コントローラを制御するファームウェアは、下記(3)と(4)の設定をしてください。(1)と(2)は本コントローラのハードウェアが自動的に処理します。

(1) ケーブルが接続されるとVBUSが"H"になり、USB_Status.VBUS、SIE_IntStat.VBUS_Changedビットをセットします(T_0)。
(2) SIE_IntEnb.EnVBUS_Changed、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
(3) USB_CLK_EN(D4/x04906)をセットし、USBクロックの供給を開始します(T_1)。
(4) USBSNZ(D5/0x4909)をクリアします(T_2)。
(5) ダウンストリームポートはリセットを送出します(T_4)。



図IX.1.4.1.11 デバイス接続タイミング

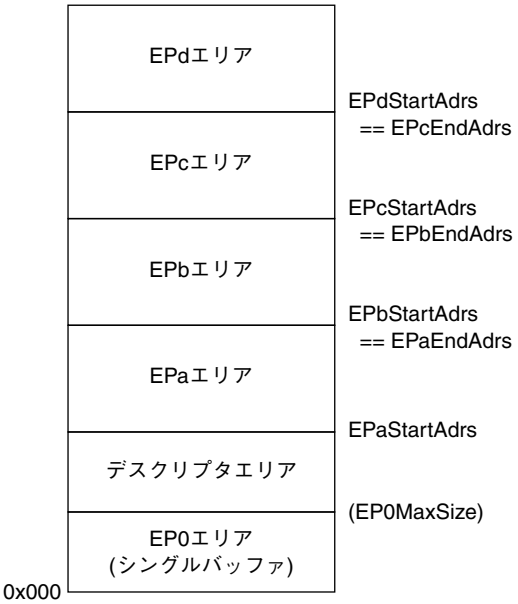
表IX.1.4.1.5 デバイス接続タイミング値

タイミングパラメータ	説　明	値
T_0	VBUSが有効です。	0 (基準)
T_1	USB_CLK_ENを1にセットします(ファームウェア)。 クロックの入力を開始します。	T_1
T_2	USBSNZを0にクリアします(ファームウェア)。	T_1 + 250 ms < T_2
T_4	ActiveUSBを1にセットします。 OpMode[1:0]を00に設定します(ファームウェア)。	T_0 + 100 ms < T_3
T_5	ダウンストリームポートからリセットが送出されます。 DisBusDetectを1にセットします(ファームウェア)。	T_3 + 100 ms < T_4

IX.1.4.2 FIFO管理

■FIFOメモリマップ

FIFOのメモリマップを以下に示します。



図IX.1.4.2.1 FIFOメモリマップ

FIFOのメモリは、EP0エリア、デスクリプタエリア、EPaエリア、EPbエリア、EPcエリア、EPdエリアの6つのエリアに分割でき、それぞれのエリアは、EP0MaxSizeレジスタ、EPaStartAdrsレジスタ、EPbStartAdrsレジスタ、EPcStartAdrsレジスタ、EPdStartAdrsレジスタの各レジスタ設定によって分割されます。

EP0エリアは、USBで必須のエンドポイント0に使用するエリアで、INおよびOUTの両方向に使用されます。このエリアは、FIFOの先頭に配置され、大きさはEP0MaxSizeレジスタに設定されたエンドポイント0の最大パケットサイズにより決まります。したがって、送受信できるパケットは1つのみ(シングルバッファ)となります。

EPaエリア、EPbエリア、EPcエリア、およびEPdエリアは、エンドポイント番号とINまたはOUTを設定できる汎用エンドポイントのエリアです。EPaエリアは、EPaStartAdrsレジスタに設定されたアドレスを先頭に、EPbStartAdrsレジスタにて設定されたアドレスの前までに割り付けられます。同様に、EPbエリアには、EPbStartAdrsレジスタに設定されたアドレスからEPcStartAdrsレジスタに設定されたアドレスの前までが割り当てられます。EPdエリアには、EPdStartAdrsレジスタに設定されたアドレスからFIFOの最終アドレスまでが割り当てられます。これらのエリア設定用レジスタに設定可能なアドレスは、4バイト単位に制限されています(下位2ビットは書き込み不可)。さらに、これらのエリアについては必ず、それぞれの最大パケットサイズ以上の領域を割り当ててください。最大パケットサイズ以上であれば、どのような値に設定されても問題ありませんが、整数倍に設定することを推奨します。

デスクリプタエリアは、EP0MaxSizeレジスタに設定されたアドレスを先頭に、EPaStartAdrsレジスタに設定されたアドレスの前までに配置されます(実際にはすべてのFIFO領域をデスクリプタエリアとして使用可能ですが、動作上の競合が起きるため、ここに示したエリアを推奨します)。なお、実際の使用方法については後述します。

エリア設定用レジスタを初めて設定した場合や、設定し直した場合には、EPnControl.AllFIFO_Clrビットをセットしてください。エリアの初期設定が終わりしだいEPnControl.AllFIFO_Clrビットはクリアされます。ただし、このビットによりRAM上のデータがクリアされることはありません。したがって、デスクリプタエリアを変更していなければ、エリア内に記録された情報が消えることはないため、再度設定し直す必要はありません。

■デスクリプタエリアの使用方法

デスクリプタエリアは、EP0により送受信されるパケット、すなわち標準リクエストの動作の一部を簡単にかつ高速に行えるエリアです。標準リクエストのうち、デバイスで一義的に決定されるような内容を、電源投入後の初期設定時にこのエリアに書き込んでおくことにより、ホストからその内容を問うリクエストが来た場合には、データの先頭アドレスと、そのサイズを設定するだけで、あとは自動的にそのリクエストのデータステージを行います。リクエストを受け付けてからEP0エリアにデータを書き込む必要がないため、非常に高速にリクエストに応答することができます。

デスクリプタエリアへのデータの書き込み

デスクリプタエリアへデータを書き込む場合には、まず書き込み開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)にデータを書き込みます。書き込み終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスにデータを書き込む場合には、DescDoorレジスタ(RegWindowSel==0x2)に続けてデータを書き込むのみで、アドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアからのデータの読み出し

デスクリプタエリアからデータを読み出す場合には、まず読み出し開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)からデータを読み出します。読み出し終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスからデータを読み出す場合には、DescDoorレジスタ(RegWindowSel==0x2)から続けてデータを読み出すのみでアドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアでのデータステージ(IN)の実行

書き込まれたデータを、EP0のリクエストにて使用する場合には、DescAdrs_H、DescAdrs_Lレジスタにデータステージに送信するデータの先頭アドレスを設定し、リクエストにて指定されたデータのサイズをDescSize_H、DescSize_Lレジスタに設定した後、EP0Control.ReplyDescriptorビットに1をセットします。

ホストからINトークンを受信すると、DescSize_H、DescSize_Lレジスタに設定されたデータ数を最大パケットサイズ(EP0MaxSizeにて設定)に自動的に分割しながら、ホストにデータを送信します。また、DescSize_H、DescSize_Lレジスタの値が最大パケットサイズに満たない場合や、分割した後の残りのデータ数が最大パケットサイズに満たない場合には、自動的にショートパケットとして送信します。設定されたデータ数をすべて送信し終えたところで、EP0Control.ReplyDescriptorをクリアし、FIFO_IntStat.DescriptorCmpがセットされます。このとき、FIFO_IntEnb.EnDescriptorCmpビットがセットされます。MainIntEnb.EnEPrIntStatビットがセットされている場合には、同時に#INT信号がアサートされます。

設定したデータ数まで送信する前にステータスステージに移行した場合(OUTトークンを受信した場合)には、EP0Control.ReplyDescriptorビットが自動的にクリアされ、この機能が停止します。同時に、EP0IntStat.OUT_TranNAKステータスとFIFO_IntStat.DescriptorCmpステータスがセットされます。このとき、
(1)EP0IntEnb.EnOUT_TranNAK、MainIntEnb.EnEP0IntStat、MainIntEnb.EnEPrIntStatの3ビット
または
(2)FIFO_IntEnb.EnDescriptorCmp、MainIntEnb.EnEPrIntStatの2ビット
がセットされている場合には、同時に#INT信号がアサートされます。

■CPUによるFIFOへのアクセス方法

FIFOにCPUからアクセスする場合には、CPU_JoinRd、CPU_JoinWrレジスタのアクセスしたいエンドポイントのビットに1をセットし、EPnFIFOforCPUレジスタにて読み出し、書き込みを行います。CPU_JoinRd、CPU_JoinWrレジスタはそれぞれ、4ビット中の1ビットのみしか設定できません。複数のビットを同時にセットしようとしたときには、その中で上位のビットのみセットされます。
EPnRdRemain_H、EPnRdRemain_Lレジスタは、CPU_JoinRdにて設定されたエンドポイントから読み出し可能なデータの残り数を示します。また、EPnWrRemain_H、EPnWrRemain_Lレジスタは、CPU_JoinWrにて設定されたエンドポイントの書き込み可能なエリアの残り数を示します。
ICE等を使用したCPUのデバッグでレジスタのダンプ等を行う場合に、CPU_JoinRdレジスタをセットしていると、レジスタのダンプ時にFIFOからデータを読み出してしまうことに注意してください。

■FIFOへのアクセス制限

本コントローラのFIFOは、USBとの送受信、ポートとの送受信、CPUからの書き込み、読み出しが同時に行われます。このため、CPU（ファームウェア）からのアクセス方法（書き込み、読み出し）に2つの禁止事項があります。
（1）USBまたはポートがFIFOへの書き込み中に、CPUから同じエンドポイントに書き込むこと
（2）USBまたはポートがFIFOから読み出し中に、CPUから同じエンドポイントを読み出すこと

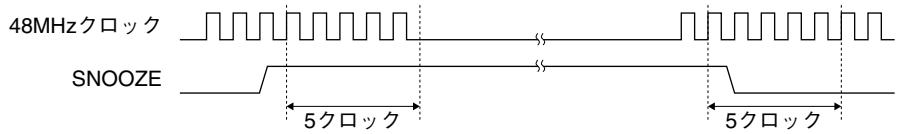
これらは、データの連続性を損なう恐れがありますので、絶対に行わないでください。

IX.1.4.3 スヌーズ

本コントローラは、USBを使用しない場合の消費電流を低減させるためのスヌーズ機能を持っています。USBSNZ(D5/0x4909)への1書き込みによってSNOOZE信号がアサートされると、以下のシーケンスが実行され、48MHzクロックの5クロック後にクロック入力を停止可能な状態になります。

- USB差動コンパレータをディセーブルにします。
- SIE_IntStatレジスタのVBUS_ChangedおよびNonJビットへの非同期アクセスを許可します(USBインタフェース入力をモニタ可能)
- 同期レジスタへのリード/ライトをマスク
- 同期割り込みをマスク

SNOOZE信号がネゲートされると、本コントローラは48MHzクロックの5クロック後(このとき、発振が安定している必要があります)に動作を再開します。



図IX.1.4.3.1 スヌーズシーケンス

スヌーズモードの設定と解除は以下の手順で行ってください。

スヌーズ設定

(1) CMU Write Protect Register(0x4920)に0x96を書き込み、CMUレジスタの書き込み保護を解除します。
(2) USB Wait Control RegisterのUSBSNZ(D5/0x4909)を1に設定し、スヌーズ制御を有効にします。
(3) Gated Clock Control Register 0のUSB_CLK_EN(D4/x04906)を0に設定し、USBクロックの供給を停止します。
(4) CMU Write Protect Register(0x4920)に0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。

スヌーズ解除

(1) CMU Write Protect Register(0x4920)に0x96を書き込み、CMUレジスタの書き込み保護を解除します。
(2) Gated Clock Control Register 0のUSB_CLK_EN(D4/x04906)を1に設定し、USBクロックの供給を開始します。
(3) USB Wait Control RegisterのUSBSNZ(D5/0x4909)を0に設定し、スヌーズ制御を無効にします。
(4) CMU Write Protect Register(0x4920)に0x96以外を書き込み、CMUレジスタの書き込み保護を設定します。

IX.1.5 レジスタ

IX.1.5.1 レジスター覧

• ***Italic & bold***書体で記述されているビットはSNOOZE/SLEEP時も読み書き可能です。

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4500	MainIntStat	R/(W)	0x00	***SIE_IntStat***	EPrIntStat		FIFO_IntStat			EP0IntStat	RcvEP0SETUP
0x4501	SIE_IntStat	R/(W)	0x00	***VBUS_Changed***	***NonJ***	DetectReset	DetectSuspend	RcvSOF	DetectJ		SetAddressCmp
0x4502	EPrIntStat	R	0x00					EPdIntStat	EPcIntStat	EPbIntStat	EPaIntStat
0x4503											
0x4504	FIFO_IntStat	R/(W)	0x00	DescriptorCmp							
0x4505											
0x4506											
0x4507	EP0IntStat	R/(W)	0x00			IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x4508	EPaIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x4509	EPbIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x450a	EPcIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x450b	EPdIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
0x450c											
0x450d											
0x450e											
0x450f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4510	MainIntEnb	R/W	0x00	***EnSIE_IntStat***	EnEPrIntStat		EnFIFO_IntStat			EnEP0IntStat	EnRcvEP0SETUP
0x4511	SIE_IntEnb	R/W	0x00	***EnVBUS_Changed***	***EnNonJ***	EnDetectReset	EnDetectSuspend	EnRcvSOF	EnDetectJ		EnSetAddressCmp
0x4512	EPrIntEnb	R/W	0x00					EnEPdIntStat	EnEPcIntStat	EnEPbIntStat	EnEPaIntStat
0x4513											
0x4514	FIFO_IntEnb	R/W	0x00	EnDescriptorCmp							
0x4515											
0x4516											
0x4517	EP0IntEnb	R/W	0x00			EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x4518	EPaIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x4519	EPbIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x451a	EPcIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x451b	EPdIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
0x451c											
0x451d											
0x451e											
0x451f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4520	RevisionNum	R	0x12	***Revision Number[7:0]***							
0x4521	USB_Control	R/W	0x00	DisBusDetect	EnAutoNego	InSUSPEND	StartDetectJ	SendWakeup			ActiveUSB
0x4522	USB_Status	R	0xXX	***VBUS***	***1(FS)***					***LineState[1:0]***	
0x4523	XcvrControl	R/W	0x81	RpuEnb						OpMode[1:0]	
0x4524	USB_Test	R/W	0x00	EnUSB_Test				Test_SE0_NAK	Test_J	Test_K	Test_Packet
0x4525	EPnControl	W	0x00	AllForceNAK	EPrForceSTALL	AllFIFO_Clr					EP0FIFO_Clr
0x4526	EPrFIFO_Clr	W	0x00					EPdFIFO_Clr	EPcFIFO_Clr	EPbFIFO_Clr	EPaFIFO_Clr
0x4527											
0x4528											
0x4529											
0x452a											
0x452b											
0x452c											
0x452d											
0x452e	FrameNumber_H	R	0x80	FnInvalid					FrameNumber[10:8]		
0x452f	FrameNumber_L	R	0x00	FrameNumber[7:0]							

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4530	EP0Setup_0	R	0x00								
0x4531	EP0Setup_1	R	0x00								
0x4532	EP0Setup_2	R	0x00								
0x4533	EP0Setup_3	R	0x00								
0x4534	EP0Setup_4	R	0x00								
0x4535	EP0Setup_5	R	0x00								
0x4536	EP0Setup_6	R	0x00								
0x4537	EP0Setup_7	R	0x00								
0x4538	USB_Address	R/W	0x00	AutoSetAddress	USB_Address[6:0]						
0x4539	EP0Control	R/W	0x00	INxOUT							ReplyDescriptor
0x453a	EP0ControlIN	R/W	0x00		EnShortPkt		ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x453b	EP0ControlOUT	R/W	0x00	AutoForceNAK			ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x453c											
0x453d											
0x453e											
0x453f	EP0MaxSize	R/W	0x08		EP0MaxSize[6:3]						

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4540	EPaControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x4541	EPbControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x4542	EPcControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x4543	EPdControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
0x4544											
0x4545											
0x4546											
0x4547											
0x4548											
0x4549											
0x454a											
0x454b											
0x454c											
0x454d											
0x454e											
0x454f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4550	EPaMaxSize_H	R/W	0x00							EPaMaxSize[9:8]	
0x4551	EPaMaxSize_L	R/W	0x00	EPaMaxSize[7:0]							
0x4552	EPaConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]			
0x4553	EPaConfig_1	R/W	0x00	ISO							
0x4554	EPbMaxSize_H	R/W	0x00							EPbMaxSize[9:8]	
0x4555	EPbMaxSize_L	R/W	0x00	EPbMaxSize[7:0]							
0x4556	EPbConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]			
0x4557	EPbConfig_1	R/W	0x00	ISO							
0x4558	EPcMaxSize_H	R/W	0x00							EPcMaxSize[9:8]	
0x4559	EPcMaxSize_L	R/W	0x00	EPcMaxSize[7:0]							
0x455a	EPcConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]			
0x455b	EPcConfig_1	R/W	0x00	ISO							
0x455c	EPdMaxSize_H	R/W	0x00							EPdMaxSize[9:8]	
0x455d	EPdMaxSize_L	R/W	0x00	EPdMaxSize[7:0]							
0x455e	EPdConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint		EndPointNumber[3:0]			
0x455f	EPdConfig_1	R/W	0x00	ISO							

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4570	EPaStartAdrs_H	R/W	0x00					EPaStartAdrs[11:8]			
0x4571	EPaStartAdrs_L	R/W	0x00	EPaStartAdrs[7:2]							
0x4572	EPbStartAdrs_H	R/W	0x00					EPbStartAdrs[11:8]			
0x4573	EPbStartAdrs_L	R/W	0x00	EPbStartAdrs[7:2]							
0x4574	EPcStartAdrs_H	R/W	0x00					EPcStartAdrs[11:8]			
0x4575	EPcStartAdrs_L	R/W	0x00	EPcStartAdrs[7:2]							
0x4576	EPdStartAdrs_H	R/W	0x00					EPdStartAdrs[11:8]			
0x4577	EPdStartAdrs_L	R/W	0x00	EPdStartAdrs[7:2]							
0x4578											
0x4579											
0x457a											
0x457b											
0x457c											
0x457d											
0x457e											
0x457f											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
0x4580	CPU_JoinRd	R/W	0x00					JoinEPdRd	JoinEPcRd	JoinEPbRd	JoinEPaRd
0x4581	CPU_JoinWr	R/W	0x00					JoinEPdWr	JoinEPcWr	JoinEPbWr	JoinEPaWr
0x4582	EnEPnFIFO_Access	R/W	0x00							EnEPnFIFO_Wr	EnEPnFIFO_Rd
0x4583	EPnFIFOforCPU	R/W	0xXX	EPnFIFOData[7:0]							
0x4584	EPnRdRemain_H	R	0x00					EPnRdRemain[11:8]			
0x4585	EPnRdRemain_L	R	0x00	EPnRdRemain[7:0]							
0x4586	EPnWrRemain_H	R	0x00					EPnWrRemain[11:8]			
0x4587	EPnWrRemain_L	R	0x00	EPnWrRemain[7:0]							
0x4588	DescAdrs_H	R/W	0x00					DescAdrs[11:8]			
0x4589	DescAdrs_L	R/W	0x00	DescAdrs[7:0]							
0x458a	DescSize_H	R/W	0x00							DescSize[9:8]	
0x458b	DescSize_L	R/W	0x00	DescSize[7:0]							
0x458c											
0x458d											
0x458e											
0x458f	DescDoor	R/W	0x00	DescMode[7:0]							

IX.1.5.2 レジスタ詳細説明

0x4500: MainIntStat (Main Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntStat (Main interrupt status)	0x4500 (8 bits)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	
		D6	EPrIntStat	1	EPr interrupts	0	None	0	R	
		D5	–	–				–	–	0 when being read.
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R	
		D3–2	–	–				–	–	0 when being read.
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R	
		D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	

本コントローラの割り込み要因を表示します。このレジスタには割り込み要因を間接的に参照するビットと直接参照するビットがあります。
割り込み要因を間接参照するビットは、それぞれに対応する割り込みステータスレジスタを読み出すことにより、割り込み要因を直接参照するビットまでたどることができます。割り込み要因を間接参照するビットはリードオンリーで、大元の割り込み要因を直接参照するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接参照するビットは、書き込みが可能であり、該当ビットに1をセットすることにより、割り込み要因をクリアすることができます。MainIntEnbレジスタにより、対応するビットの割り込みが許可されている場合は、割り込み要因が1にセットされると#INT信号がアサートされ、CPUに対して割り込みが発生します。該当する割り込み要因がすべてクリアされると、#INT端子がネゲートされます。

D7 SIE_IntStat
割り込み要因の状態を間接的に示します。
SIE_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するSIE_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。このビットは、スヌーズ中も読み出し可能です。

D6 EPrIntStat
割り込み要因の状態を間接的に示します。
EPrIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPrIntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D5 Reserved

D4 FIFO_IntStat
割り込み要因の状態を間接的に示します。
FIFO_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するFIFO_IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D[3:2] Reserved

D1 EP0IntStat
割り込み要因の状態を間接的に示します。
EP0IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEP0IntEnbレジスタのビットがイネーブルに設定されていると1にセットされます。

D0 RcvEP0SETUP
割り込み要因の状態を直接示します。
セットアップステージが終了し、受信したデータがEP0Setup_0～EP0Setup_7レジスタに格納されると、1にセットされます。同時にEP0ControlIN、EP0ControlOUTレジスタのForceSTALLビットが0に、ForceNAKビットとToggleStatビットが1に、自動的に設定されます。

0x4501: SIE_IntStat (SIE Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
SIE_IntStat (SIE interrupt status)	0x4501 (8 bits)	D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)	
		D6	NonJ	1	Detect non J state	0	None	0	R(W)	
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)	
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)	
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)	
		D2	DetectJ	1	Detect J state	0	None	0	R(W)	
		D1	–	–				–	–	0 when being read.
		D0	SetAddressCmp	1	AutoSetAddress complete	0	None	0	R(W)	

SIE関連の割り込みを表示します。

D7 VBUS_Changed

割り込み要因の状態を直接示します。
VBUS端子の状態が変化したときに1にセットされます。
USB_StatusレジスタのVBUSビットによってVBUSの状態を確認してください。VBUSが0であれば、ケーブルが抜かれたことを示します。このビットはスヌーズ中も有効です。

D6 NonJ

割り込み要因の状態を直接示します。
USBバス上でJステート以外の状態を検出すると1にセットされます。このビットは、USB_ControlレジスタのInSUSPENDビットが1にセットされているときに有効です。

D5 DetectReset

割り込み要因の状態を直接示します。
USBのリセットステートを検出すると1にセットされます。このリセット検出は、USB_ControlレジスタのActiveUSBビットが1にセットされているときに有効です。
オートネゴシエーション機能を使用しない場合には、このビットが1にセットされた場合、継続するリセットを誤検出しないよう、USB_ControlレジスタのDisBusDetectビットを1にセットしてUSBのリセット/サスペンドステートの検出を無効にしてください。リセットに対する処理終了後にDisBusDetectビットを0にクリアしてUSBのリセット/サスペンドステートの検出を有効にしてください。
オートネゴシエーション機能については、USB_ControlレジスタのEnAutoNegoビットの説明を参照してください。

D4 DetectSuspend

割り込み要因の状態を直接示します。
USBのサスペンドステートを検出すると1にセットされます。
USBサスペンドステートの検出後は、USB Wait Control Register(0x4909)のUSBSNZビットを1にセットすることにより、本コントローラをスヌーズモード(内蔵PLLを停止)にすることができます。

D3 RcvSOF

割り込み要因の状態を直接示します。
SOFトークンを受信すると1にセットされます。

D2 DetectJ

割り込み要因の状態を直接示します。
Jステートを検出すると1にセットされます。

D1 Reserved

D0 SetAddressCmp

割り込み要因の状態を直接示します。
AutoSetAddress機能(USB_Addressレジスタ)が正常終了したときに1にセットされます。
AutoSetAddress機能が正常終了するのは、INトランザクションにACK応答した場合です。

0x4502: EPrIntStat (EPr Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPrIntStat	**0x4502**	D7–4	**–**	–				–	–	0 when being read.
(EPr interrupt	(8 bits)	D3	**EPdIntStat**	1	EPd interrupt	0	None	0	R	
status)		D2	**EPcIntStat**	1	EPc interrupt	0	None	0	R	
		D1	**EPbIntStat**	1	EPb interrupt	0	None	0	R	
		D0	**EPaIntStat**	1	EPa interrupt	0	None	0	R	

D[7:4] Reserved

D3 EPdIntStat

割り込み要因の状態を間接的に示します。
EPdIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPdIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D2 EPcIntStat

割り込み要因の状態を間接的に示します。
EPcIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPcIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D1 EPbIntStat

割り込み要因の状態を間接的に示します。
EPbIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPbIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

D0 EPaIntStat

割り込み要因の状態を間接的に示します。
EPaIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPaIntEnbレジスタのビットがイネーブルに設定されているとき、1にセットされます。

0x4504: FIFO_IntStat (FIFO Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
FIFO_IntStat	**0x4504**	D7	**DescriptorCmp**	1	Descriptor complete	0	None	0	R(W)	
(FIFO interrupt status)	(8 bits)	D6–0	–	–				–	–	0 when being read.

FIFO割り込みの状態を示します。

D7 DescriptorCmp

割り込み要因の状態を直接示します。
デスクリプタ返信機能において、DescSizeレジスタの設定数のデータを返信し終えると1にセットされます。
また、DescSizeレジスタの設定数までデータを送信する前にステータスステージへ移行(OUTトークンを受信)した場合には、EP0IntStatレジスタのOUT_TranNAKビットと共に1にセットされます。

D[6:0] Reserved

0x4507: EP0IntStat (EP0 Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0IntStat	0x4507	D7–6	–	–				–	–	0 when being read.
(EP0 interrupt status)	(8 bits)	D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEP0の割り込みステータスを表示します。

D[7:6] Reserved

D5 IN_TranACK
割り込み要因の状態を直接示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK
割り込み要因の状態を直接示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK
割り込み要因の状態を直接示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK
割り込み要因の状態を直接示します。
OUTトランザクションに対してNAKを返信したとき、1にセットされます。

D1 IN_TranErr
割り込み要因の状態を直接示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr
割り込み要因の状態を直接示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x4508: EPaIntStat (EPa Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaIntStat	0x4508	D7	–	–				–	–	0 when being read.
(EPa interrupt	(8 bits)	D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
status)		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPaの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK
割り込み要因の状態を直接示します。
OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK
割り込み要因の状態を直接示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK
割り込み要因の状態を直接示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK
割り込み要因を直接指示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK
割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr
割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr
割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x4509: EPbIntStat (EPb Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbIntStat (EPb interrupt status)	0x4509 (8 bits)	D7	–	–				–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPbの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK
割り込み要因の状態を直接示します。
OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK
割り込み要因の状態を直接示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK
割り込み要因の状態を直接示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK
割り込み要因を直接指示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK
割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr
割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr
割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x450a: EPcIntStat (EPc Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcIntStat	0x450a	D7	–	–				–	–	0 when being read.
(EPc interrupt status)	(8 bits)	D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPcの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK
割り込み要因の状態を直接示します。
OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK
割り込み要因の状態を直接示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK
割り込み要因の状態を直接示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK
割り込み要因を直接指示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK
割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr
割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr
割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x450b: EPdIntStat (EPd Interrupt Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdIntStat (EPd interrupt status)	0x450b (8 bits)	D7	–	–				–	–	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPdの割り込みステータスを表示します。

D7 Reserved

D6 OUT_ShortACK
割り込み要因の状態を直接示します。
OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に1にセットされます。

D5 IN_TranACK
割り込み要因の状態を直接示します。
INトランザクションでACKを受信したとき、1にセットされます。

D4 OUT_TranACK
割り込み要因の状態を直接示します。
OUTトランザクションでACKを返信したとき、1にセットされます。

D3 IN_TranNAK
割り込み要因を直接指示します。
INトランザクションでNAKを返信したとき、1にセットされます。

D2 OUT_TranNAK
割り込み要因を直接指示します。
OUTトランザクションでNAKを返信したとき、1にセットされます。

D1 IN_TranErr
割り込み要因を直接指示します。
INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に1にセットされます。

D0 OUT_TranErr
割り込み要因を直接指示します。
OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に1にセットされます。

0x4510: MainIntEnb (Main Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntEnb (Main interrupt enable)	**0x4510** (8 bits)	D7	**EnSIE_IntStat**	1	Enabled	0	Disabled	0	R/W	
		D6	**EnEPrIntStat**					0	R/W	
		D5	**–**	–				–	–	0 when being read.
		D4	**EnFIFO_IntStat**	1	Enabled	0	Disabled	0	R/W	
		D3–2	**–**	–				–	–	0 when being read.
		D1	**EnEP0IntStat**	1	Enabled	0	Disabled	0	R/W	
		D0	**EnRcvEP0SETUP**					0	R/W	

MainIntStatレジスタの割り込み要因による割り込み信号(#INT)のアサートを許可/禁止するレジスタです。
対応するビットを1にセットすることで割り込みを許可します。
EnSIE_IntStatビットはスヌーズ中も有効です。

0x4511: SIE_IntEnb (SIE Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
SIE_IntEnb (SIE interrupt enable)	**0x4511** (8 bits)	D7	**EnVBUS_Changed**	1	Enabled	0	Disabled	0	R/W	
		D6	**EnNonJ**					0	R/W	
		D5	**EnDetectReset**					0	R/W	
		D4	**EnDetectSuspend**					0	R/W	
		D3	**EnRcvSOF**					0	R/W	
		D2	**EnDetectJ**					0	R/W	
		D1	–	–				–	–	0 when being read.
		D0	**EnSetAddressCmp**	1	Enabled	0	Disabled	0	R/W	

SIE_IntStatレジスタの割り込み要因による、MainIntStatレジスタのSIE_IntStatビットのアサートを許可/禁止します。EnVBUS_ChangedおよびEnNonJビットはスヌーズ中も有効です。

0x4512: EPrIntEnb (EPr Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPrIntEnb	**0x4512**	D7–4	**–**	–				–	–	0 when being read.
(EPr interrupt	(8 bits)	D3	**EnEPdIntStat**	1	Enabled	0	Disabled	0	R/W	
enable)		D2	**EnEPcIntStat**					0	R/W	
		D1	**EnEPbIntStat**					0	R/W	
		D0	**EnEPaIntStat**					0	R/W	

EPrIntStatレジスタの割り込み要因による、MainIntStatレジスタのEPrIntStatビットのアサートを許可/禁止します。

0x4514: FIFO_IntEnb (FIFO Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
FIFO_IntEnb	**0x4514**	D7	**EnDescriptorCmp**	1	Enabled	0	Disabled	0	R/W	
(FIFO interrupt enable)	(8 bits)	D6–0	**–**	–				–	–	0 when being read.

FIFO_IntStatレジスタの割り込み要因による、MainIntStatレジスタのFIFO_IntStatビットのアサートを許可/禁止します。

0x4517: EP0IntEnb (EP0 Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0IntEnb	**0x4517**	D7–6	**–**	–				–	–	0 when being read.
(EP0 interrupt	(8 bits)	D5	**EnIN_TranACK**	1	Enabled	0	Disabled	0	R/W	
enable)		D4	**EnOUT_TranACK**					0	R/W	
		D3	**EnIN_TranNAK**					0	R/W	
		D2	**EnOUT_TranNAK**					0	R/W	
		D1	**EnIN_TranErr**					0	R/W	
		D0	**EnOUT_TranErr**					0	R/W	

EP0IntStatレジスタの割り込み要因による、MainIntStatレジスタのEP0IntStatビットのアサートを許可/禁止します。

0x4518: EPaIntEnb (EPa Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaIntEnb	0x4518	D7	–	–				–	–	0 when being read.
(EPa interrupt enable)	(8 bits)	D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	

EPaIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPaIntStatビットのアサートを許可/禁止します。

0x4519: EPbIntEnb (EPb Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbIntEnb	**0x4519**	D7	**–**	–				–	–	0 when being read.
(EPb interrupt	(8 bits)	D6	**EnOUT_ShortACK**	1	Enabled	0	Disabled	0	R/W	
enable)		D5	**EnIN_TranACK**					0	R/W	
		D4	**EnOUT_TranACK**					0	R/W	
		D3	**EnIN_TranNAK**					0	R/W	
		D2	**EnOUT_TranNAK**					0	R/W	
		D1	**EnIN_TranErr**					0	R/W	
		D0	**EnOUT_TranErr**					0	R/W	

EPbIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPbIntStatビットのアサートを許可/禁止します。

0x451a: EPcIntEnb (EPc Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcIntEnb	**0x451a**	D7	–	–				–	–	0 when being read.
(EPc interrupt	(8 bits)	D6	**EnOUT_ShortACK**	1	Enabled	0	Disabled	0	R/W	
enable)		D5	**EnIN_TranACK**					0	R/W	
		D4	**EnOUT_TranACK**					0	R/W	
		D3	**EnIN_TranNAK**					0	R/W	
		D2	**EnOUT_TranNAK**					0	R/W	
		D1	**EnIN_TranErr**					0	R/W	
		D0	**EnOUT_TranErr**					0	R/W	

EPcIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPcIntStatビットのアサートを許可/禁止します。

0x451b: EPdIntEnb (EPd Interrupt Enable)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdIntEnb	**0x451b**	D7	**–**	–				–	–	0 when being read.
(EPd interrupt	(8 bits)	D6	**EnOUT_ShortACK**	1	Enabled	0	Disabled	0	R/W	
enable)		D5	**EnIN_TranACK**					0	R/W	
		D4	**EnOUT_TranACK**					0	R/W	
		D3	**EnIN_TranNAK**					0	R/W	
		D2	**EnOUT_TranNAK**					0	R/W	
		D1	**EnIN_TranErr**					0	R/W	
		D0	**EnOUT_TranErr**					0	R/W	

EPdIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPdIntStatビットのアサートを許可/禁止します。

0x4520: RevisionNum (Revision Number)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
RevisionNum	**0x4520**	D7	**RevisionNum[7]**	Revision number	0	R	
(Revision	(8 bits)	D6	**RevisionNum[6]**	(0x12)	0		
number)		D5	**RevisionNum[5]**		0		
		D4	**RevisionNum[4]**		1		
		D3	**RevisionNum[3]**		0		
		D2	**RevisionNum[2]**		0		
		D1	**RevisionNum[1]**		1		
		D0	**RevisionNum[0]**		0		

本コントローラの改訂番号を示します。このレジスタはスヌーズ中でも有効です。

0x4521: USB_Control (USB Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
USB_Control (USB control register)	0x4521 (8 bits)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W	
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W	
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W	
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W	
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W	
		D2–1	–	–				–	–	0 when being read.
		D0	ActiveUSB	1	Activate USB	0	Disactivate USB	0	R/W	

USBに関する動作設定を行います。

D7 DisBusDetect

このビットを1にセットすると、USBのリセット/サスペンドステートの自動検出を無効にします。このビットが0にクリアされている場合、リセット/サスペンドステートの検出のため、USBバス上の動きを監視します。
バスアクティビティが3msの期間検出されないとサスペンドステートと判定し、また、2.5µs以上の“SE0”を検出するとリセットと判断し、該当する割り込み要因(DetectSuspend、DetectReset)をセットします。
DetectReset、DetectSuspendのビットが1にセットされた場合は、DisBusDetectビットを1にセットしてリセット/サスペンドステートが継続している間、検出を無効にしてください。
オートネゴシエーション機能を使用する場合は、このビットに1をセットしないでください。

D6 EnAutoNego

オートネゴシエーション機能を有効にします。オートネゴシエーション機能は、リセット検出時に、スピードネゴシエーションが終了してスピードモードが決定するまでのシーケンスを自動化します。オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D5 InSUSPEND

オートネゴシエーション機能使用時に、USBサスペンドステートを検出すると自動的に1にセットされNonJステートの検出機能を有効にします。サスペンドステートから復帰する場合には、このビットを0にクリアしてください。
NonJステートはこのビットがセットされている場合にのみ検出可能です。USBサスペンドステートでスヌーズ機能を使用しない場合はこのビットをセットしてください。
オートネゴシエーション機能の詳細は、“オートネゴシエーション機能”の項を参照してください。

D4 StartDetectJ

Jステートの検出機能を有効にします。このビットがセットされた後にJステートが検出され、かつEnDetectJビットがセットされている場合、DetectJ割り込み要因ステータスがセットされます。

D3 SendWakeup

このビットを1にセットすると、USBポートにリモートウェイクアップ信号(K)を出力します。リモートウェイクアップ信号の送出開始から1ms～15msの時間内にこのビットを0にクリアして送出を停止してください。

D[2:1] Reserved

D0 ActiveUSB

本コントローラでは、このビットがハードリセット後0にクリアされているため、USBの全機能を停止しています。本コントローラの設定終了後に、本ビットを1にセットすることで、USBコントローラとしての動作が可能となります。

0x4522: USB_Status (USB Status)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
USB_Status (USB status register)	**0x4522** (8 bits)	D7	**VBUS**	1	VBUS=High	0	VBUS=Low	X	R	
		D6	**FS**	1	FS mode (fixed)	0	–	1	R	
		D5–2	**–**	–				–	–	0 when being read.
		D1	**LineState[1]**	LineState[1:0]			DP/DM	X	R	
		D0	**LineState[0]**	1	1		SE1	X		
				1	0		K			
				0	1		J			
				0	0		SE0			

USBに関するステータスを表示します。
このレジスタはスヌーズ中でも有効です。

D7 VBUS
USBVBUS端子の状態を示します。

D6 FS
本コントローラはFSモード固定のため、常に1が返ります。

D[5:2] Reserved

D[1:0] LineState[1:0]
USBケーブル上の信号状態（DP/DMのFSレシーバの受信値）を示します。

LineState

LineState[1]	LineState[0]	DP/DM
1	1	SE1
1	0	K
0	1	J
0	0	SE0

0x4523: XcvrControl (Xcvr Control)

Register name	Address	Bit	Name	Setting			Init.	R/W	Remarks
XcvrControl	**0x4523**	D7	**RpuEnb**	1	Enable pull-up	0 Disable pull-up	1	R/W	
(Xcvr control	(8 bits)	D6–2	**–**	–			–	–	0 when being read.
register)		D1	**OpMode[1]**	OpMode[1:0]		Operation mode	0	R/W	
		D0	**OpMode[0]**	1	1	reserved	1		
				1	0	Disable bit stuffing and NRZI encoding			
				0	1	Non-driving			
				0	0	Normal operation			

トランシーバーマクロの動作に関する設定を行います。

D7 RpuEnb

D+ラインのプルアップを有効にします。

D[6:2] Reserved

D[1:0] OpMode

トランシーバーマクロの動作モードを設定します。
USBケーブルが抜かれているとき(※)、またはテストモード時以外に、通常は設定する必要はありません。

OpMode

OpMode[1]	OpMode[0]	動作モード
1	1	Reserved
1	0	ビットスタッフィングと NRZIエンコード無効
0	1	駆動停止
0	0	通常動作

※USBケーブルが抜けているときには、このレジスタを0x01にセットすることを推奨します。

0x4524: USB_Test (USB Test)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
USB_Test (USB test)	0x4524 (8 bits)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W	
		D6–4	–	–				–	–	0 when being read.
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W	
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W	
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W	
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W	

テストモードの動作に関する設定を行います。SetFeatureリクエストで指定されたテストモードに対応するビットを設定し、ステータスステージ終了後にEnUSB_Testビットに1をセットして、USB規格で定義されたテストモードの動作を行うようにしてください。

D7 EnUSB_Test

本レジスタの下位4ビットのいずれか1つのビットに1が設定されている状態でこのビットに1をセットすると、下位4ビット中のセットされているビットに対応するテストモードに入ります。テストモードを行う際には、USB_ControlレジスタのDisBusDetectビットを1にしてUSBサスペンドとリセットの検出を行わないようにする必要があります。また、USB_ControlレジスタのEnAutoNegoビットを0にクリアして、オートネゴシエーション機能を無効にしてください。テストモードへの移行は、必ずSetFeatureリクエストにおけるステータスステージの終了後に行うようにしてください。

D[6:4] Reserved

D3 Test_SE0_NAK

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_SE0_NAKテストモードに入ります。

D2 Test_J

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Jテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にセットする前に、XcvrControlレジスタの、OpModeを10にセットしてください。

D1 Test_K

このビットを1に設定し、EnUSB_Testビットに1をセットすることにより、Test_Kテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを1にする前に、XcvrControlレジスタの、OpModeを10にセットしてください。

D0 Test_Packet

このビットを1に設定することにより、Test_Packetテストモードに入ります。
このテストモードはエンドポイントEPcを使用しますので、下記の設定を行ってください。

(1) エンドポイントEPcのMaxPacketSizeを64以上、転送方向をINに設定し、EndPointNumberを0xfに設定して、使用可能としてください。また、エンドポイントEPcのFIFOを64バイト以上割り当ててください。
(2) エンドポイントEPaおよびEPbの設定が、上記EPcの設定と重複しないようにしてください。または、EPaConfig_0.EnEndpointビットおよびEPbConfig_0.EnEndpointビットをクリアしてください。
(3) EPcのFIFOをクリア後、下記のテストパケット用のデータをこのFIFOに書き込んでください。
(4) EPcIntEnbレジスタのEnIN_TranErrビットを0にクリアしてください。
テストパケットの送信完了ごとに、IN_TranErrステータスが1にセットされます。

パケット送信テストモード時にFIFOに書き込むデータは以下の53バイトです。

```
0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00,
0x00, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa, 0xaa,
0xaa, 0xee, 0xee, 0xee, 0xee, 0xee, 0xee, 0xee,
0xee, 0xfe, 0xff, 0xff, 0xff, 0xff, 0xff, 0xff,
0xff, 0xff, 0xff, 0xff, 0xff, 0x7f, 0xbf, 0xdf,
0xef, 0xf7, 0xfb, 0xfd, 0xfc, 0x7e, 0xbf, 0xdf,
0xef, 0xf7, 0xfb, 0xfd, 0x7e
```

テストパケット送出時に、SIEがPIDとCRCを付加しますので、FIFOに書き込むデータは、USB規格Rev.2.0に記載されているテストパケットデータのうち、DATA 0 PIDの次のデータからCRC16の前の部分のデータまでとなります（テストパケットはUSB規格のHSモード用に定義されています）。

0x4525: EPnControl (Endpoint Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPnControl (Endpoint control)	**0x4525** (8 bits)	D7	**AllForceNAK**	1	Set all ForceNAK	0	Do nothing	0	W	0 when being read.
		D6	**EPrForceSTALL**	1	Set EP's ForceSTALL	0	Do nothing	0	W	
		D5	**AllFIFO_Clr**	1	Clear all FIFO	0	Do nothing	0	W	
		D4–1	**–**	–				–	–	
		D0	**EP0FIFO_Clr**	1	Clear EP0 FIFO	0	Do nothing	0	W	

エンドポイント全般の動作設定と表示を行います。

D7 AllForceNAK
すべてのエンドポイントのForceNAKビットを1にセットします。

D6 EPrForceSTALL
エンドポイントEPa、EPb、EPc、EPdのForceSTALLビットを1にセットします。

D5 AllFIFO_Clr
すべてのエンドポイントのFIFOがクリアされます。各エンドポイントの領域設定を行ったときは、設定終了後に必ず一度このビットに1をセットして、すべてのエンドポイントのFIFOをクリアしてください。このビットは、FIFOクリア完了後自動的に0にクリアされます。

D[4:1] Reserved

D0 EP0FIFO_Clr
エンドポイントEP0のFIFOをクリアします。このビットは、FIFOクリア後、自動的に0にクリアされます。

0x4526: EPrFIFO_Clr (EPr FIFO Clear)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPrFIFO_Clr (EPr FIFO clear)	0x4526 (8 bits)	D7–4	–	–				–	–	0 when being read.
		D3	EPdFIFO_Clr	1	Clear EPd FIFO	0	Do nothing	0	W	
		D2	EPcFIFO_Clr	1	Clear EPc FIFO	0	Do nothing	0	W	
		D1	EPbFIFO_Clr	1	Clear EPb FIFO	0	Do nothing	0	W	
		D0	EPaFIFO_Clr	1	Clear EPa FIFO	0	Do nothing	0	W	

エンドポイントのFIFOをクリアします。

D[7:4] Reserved

D3 EPdFIFO_Clr
エンドポイントEPdのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

D2 EPcFIFO_Clr
エンドポイントEPcのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

D1 EPbFIFO_Clr
エンドポイントEPbのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

D0 EPaFIFO_Clr
エンドポイントEPaのFIFOをクリアします。このビットはFIFOクリア後、自動的に0にクリアされます。

0x452e: FrameNumber_H (Frame Number HIGH)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
FrameNumber_H (Frame number high)	0x452e (8 bits)	D7	**FnInvalid**	1 Invalid frame number / 0 Valid frame number	1	R	
		D6–3	–	–	–	–	0 when being read.
		D2	**FrameNumber[10]**	Frame number high	0	R	
		D1	**FrameNumber[9]**		0		
		D0	**FrameNumber[8]**		0		

SOFトークンを受信するごとに更新される、USBのフレームナンバーを示します。フレームナンバーを取得する場合は、FrameNumber_HとFrameNumber_Lレジスタを対でアクセスする必要があります。その際にFrameNumber_Hレジスタを先にアクセスしてください。

D7 FnInvalid
受信したSOFパケットにエラーが発生したときに、このビットが1にセットされます。

D[6:3] Reserved

D[2:0] FrameNumber[10:8]
受信したSOFパケットのFrameNumberフィールドの上位3ビットのデータが入ります。

0x452f: FrameNumber_L (Frame Number LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
FrameNumber_L	**0x452f**	D7	**FrameNumber[7]**	Frame number low	0	R	
(Frame number	(8 bits)	D6	**FrameNumber[6]**		0		
low)		D5	**FrameNumber[5]**		0		
		D4	**FrameNumber[4]**		0		
		D3	**FrameNumber[3]**		0		
		D2	**FrameNumber[2]**		0		
		D1	**FrameNumber[1]**		0		
		D0	**FrameNumber[0]**		0		

D[7:0] FrameNumber[7:0]

受信したSOFパケットのFrameNumberフィールドの下位8ビットのデータが入ります。

0x4530–0x4537: EP0Setup_0 (EP0 Setup 0)–EP0Setup_7 (EP0 Setup 7)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0Setup_0	**0x4530**	D7	**EP0Setup_n[7]**	Endpoint 0 set-up data 0	0	R	
(EP0 set-up 0)	**|**	D6	**EP0Setup_n[6]**	|	0		
|	**0x4537**	D5	**EP0Setup_n[5]**	Endpoint 0 set-up data 7	0		
EP0Setup_7	(8 bits)	D4	**EP0Setup_n[4]**		0		
(EP0 set-up 7)		D3	**EP0Setup_n[3]**		0		
		D2	**EP0Setup_n[2]**		0		
		D1	**EP0Setup_n[1]**		0		
		D0	**EP0Setup_n[0]**		0		

エンドポイントEP0のセットアップステージで受信した8バイトのデータが、EP0Setup_0から順に格納されます。

0x4530: EP0Setup_0

BmRequestTypeがセットされます。

0x4531: EP0Setup_1

BRequestがセットされます。

0x4532: EP0Setup_2

Wvalueの下位8ビットがセットされます。

0x4533: EP0Setup_3

Wvalueの上位8ビットがセットされます。

0x4534: EP0Setup_4

WIndexの下位8ビットがセットされます。

0x4535: EP0Setup_5

WIndexの上位8ビットがセットされます。

0x4536: EP0Setup_6

WLengthの下位8ビットがセットされます。

0x4537: EP0Setup_7

WLengthの上位8ビットがセットされます。

0x4538: USB_Address (USB Address)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
USB_Address	0x4538	D7	AutoSetAddress	1 Auto set address 0 Do nothing	0	R/W	
(USB address)	(8 bits)	D6	USB_Address[6]	USB address	0	R/W	
		D5	USB_Address[5]		0		
		D4	USB_Address[4]		0		
		D3	USB_Address[3]		0		
		D2	USB_Address[2]		0		
		D1	USB_Address[1]		0		
		D0	USB_Address[0]		0		

USBアドレスを設定します。

D7 AutoSetAddress

USBアドレスを自動的に設定します。SetAddressリクエストを受信し、ステータスステージを実行する前にこのビットを1にセットすると、ステータスステージの完了時にSetAddressリクエストによって受信したアドレスをUSB_Addressレジスタに書き込みます。
この機能を用いたSetAddressリクエストの処理手順は次のようになります。
(1) SetAddressリクエストのSETUPトランザクションが完了します。
MainIntStatレジスタのRcvEP0SETUPビットに1がセットされます。EP0Setup_0–7レジスタを読んで、リクエストを解釈してください。
(2) AutoSetAddressビットをセットします。
(3) EP0ControlレジスタのINxOUTビットをセットします。
(4) EP0ControlINレジスタのForceNAKビットをクリアし、EnShortPktビットをセットします。
(5) ステータスステージの終了を待ちます。
SIE_IntStatレジスタのSetAddressCmpビットに1がセットされます。

D[6:0] USB_Address

USBアドレスを設定します。
AutoSetAddress機能によって自動的に書き込まれます。また、書き込みも可能です。

0x4539: EP0Control (EP0 Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0Control	0x4539	D7	INxOUT	1	IN	0	OUT	0	R/W	
(EP0 control)	(8 bits)	D6–1	–	–				–	–	0 when being read.
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0	W	

エンドポイントEP0の設定を行います。

D7 INxOUT

エンドポイントEP0の転送方向を設定します。
セットアップステージで受信したリクエストを判断して、このビットを設定してください。
データステージがある場合は、このビットにデータステージにおける転送方向をセットしてください。セットアップステージが完了することにより、EP0ControlINおよびEP0ControlOUTレジスタのForceNAKビットがセットされるので、データステージおよびステータスステージの実行時にクリアしてください。
データステージが終了したら、ステータスステージの方向に合わせて、このビットを設定し直してください。データステージの転送方向がINの場合は、ステータスステージはOUT方向となりますので、このビットに0を設定してください。また、データステージの転送方向がOUT、またはデータステージがない場合は、ステータスステージはIN方向となりますので、エンドポイントEP0のFIFOをクリアして、このビットに1を設定してください。
このビットの設定値と異なる方向のINまたはOUTトランザクションに対しては、NAK応答します。ただし、そのトランザクション方向に対応するEP0ControlINまたはEP0ControlOUTレジスタのForceSTALLビットがセットされているとSTALL応答します。

D[6:1] Reserved

D0 ReplyDescriptor

デスクリプタ返信機能を実行します。
このビットが1にセットされると、エンドポイントEP0のINトランザクションに応答して、FIFO内のデスクリプタデータを最大パケットサイズ分返信します。デスクリプタデータは、DescAdrs_H、DescAdrs_Lレジスタに設定された先頭アドレスと、DescSize_H、DescSize_Lレジスタに設定されたサイズで示されます。これらの設定値は、デスクリプタ返信機能の実行中に更新されますので、ReplyDescriptorビットをセットするごとに設定してください。1つのトランザクションごとに、DescAdrs_H、DescAdrs_Lレジスタは送信したデータ数だけインクリメントされ、DescSize_H、DescSize_Lレジスタは、送信したデータ数だけデクリメントされます。
DescSize_H、DescSize_Lの設定数のデータを送信して終了した場合、またはINトランザクション以外のトランザクションが行われた場合、デスクリプタ返信機能は終了し、ReplyDescriptorビットは0にクリアされ、EP0IntStatレジスタのIN_TranACKビットは1にセットされます。
詳細については、動作説明の項を参照してください。

0x453a: EP0ControlIN (EP0 Control IN)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0ControlIN (EP0 control IN)	0x453a (8 bits)	D7	–	–				–	–	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	–	–				–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	R/W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	R/W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEP0のINトランザクションに関する動作設定および状態表示を行います。

D7 Reserved

D6 EnShortPkt

このビットを1にセットすることで、エンドポイントEP0のINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、自動的にこのビットが0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。

FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 Reserved

D4 ToggleStat

エンドポイントEP0のINトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEP0のINトランザクションのトグルシーケンスビットを1にセットします。

D2 ToggleClr

エンドポイントEP0のINトランザクションのトグルシーケンスビットを0にクリアします。

D1 ForceNAK

このビットを1にセットすると、FIFOのデータ数にかかわらずエンドポイントEP0のINトランザクションに対してNAK応答します。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。また、ショートパケットを送信したINトランザクションが完了すると、このビットは1にセットされます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを1にセットすると、エンドポイントEP0のINトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x453b: EP0ControlOUT (EP0 Control OUT)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EP0ControlOUT (EP0 control OUT)	0x453b (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6–5	–	–				–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEP0のOUTトランザクションに関する動作設定および状態表示を行います。

D7 AutoForceNAK
このビットが1の場合、エンドポイントEP0のOUTトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D[6:5] Reserved

D4 ToggleStat
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを1にセットします。

D2 ToggleClr
エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを0にクリアします。

D1 ForceNAK
このビットを1にセットすると、FIFOの空き容量にかかわらずエンドポイントEP0のOUTトランザクションに対してNAK応答します。
セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは1にセットされ、RcvEP0SETUPビットが1である間はこのビットを0にクリアできません。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL
このビットを1にセットすると、エンドポイントEP0のOUTトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに1がセットされるとこのビットは0にクリアされ、RcvEP0SETUPビットが1である間はこのビットを1にセットできません。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x453f: EP0MaxSize (EP0 Max Packet Size)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EP0MaxSize	**0x453f**	D7	**–**	–	–	–	0 when being read.
(EP0 max	(8 bits)	D6	**EP0MaxSize[6]**	Endpoint EP0 max packet size	0	R/W	
packet size)		D5	**EP0MaxSize[5]**		0		
		D4	**EP0MaxSize[4]**		0		
		D3	**EP0MaxSize[3]**		1		
		D2–0	**–**	–	–	–	0 when being read.

D7 Reserved

D[6:3] EP0MaxSize[6:3]

エンドポイントEP0の最大パケットサイズを設定します。
このエンドポイントは、8、16、32、64バイトから任意のサイズを選択して使用可能です。

D[2:0] Reserved

0x4540: EPaControl (EPa Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaControl (EPa control)	0x4540 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPaの動作設定を行います。

D7 AutoForceNAK
このビットが1の場合、エンドポイントEPaのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt
このビットを1にセットすることで、エンドポイントEPaのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。
FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short
このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。
このビットを1にセットすると、この機能が無効になります。
AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat
エンドポイントEPaのトグルシーケンスビットの状態を示します。

D3 ToggleSet
エンドポイントEPaのトグルシーケンスビットを1にセットします。

D2 ToggleClr
エンドポイントEPaのトグルシーケンスビットを0にクリアします。

D1 ForceNAK
このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPaのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL
このビットを1にセットすると、エンドポイントEPaのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x4541: EPbControl (EPb Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbControl (EPb control)	0x4541 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPbの動作設定を行います。

D7 AutoForceNAK
このビットが1の場合、エンドポイントEPbのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt
このビットを1にセットすることで、エンドポイントEPbのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。
FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short
このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。
このビットを1にセットすると、この機能が無効になります。
AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat
エンドポイントEPbのトグルシーケンスビットの状態を示します。

D3 ToggleSet
エンドポイントEPbのトグルシーケンスビットを1にセットします。

D2 ToggleClr
エンドポイントEPbのトグルシーケンスビットを0にクリアします。

D1 ForceNAK
このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPbのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL
このビットを1にセットすると、エンドポイントEPbのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x4542: EPcControl (EPc Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcControl	0x4542	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
(EPc control)	(8 bits)	D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPcの動作設定を行います。

D7 AutoForceNAK
このビットが1の場合、エンドポイントEPcのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt
このビットを1にセットすることで、エンドポイントEPcのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。
FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short
このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。
このビットを1にセットすると、この機能が無効になります。
AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat
エンドポイントEPcのトグルシーケンスビットの状態を示します。

D3 ToggleSet
エンドポイントEPcのトグルシーケンスビットを1にセットします。

D2 ToggleClr
エンドポイントEPcのトグルシーケンスビットを0にクリアします。

D1 ForceNAK
このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPcのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL
このビットを1にセットすると、エンドポイントEPcのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x4543: EPdControl (EPd Control)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdControl (EPd control)	0x4543 (8 bits)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPdの動作設定を行います。

D7 AutoForceNAK
このビットが1の場合、エンドポイントEPdのトランザクションが正常に完結すると、このレジスタのForceNAKビットを1にセットします。

D6 EnShortPkt
このビットを1にセットすることで、エンドポイントEPdのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。
FIFO内にデータがない場合にこのビットを1にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short
このビットが0(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを1にセットします。
このビットを1にセットすると、この機能が無効になります。
AutoForceNAKビットが1にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat
エンドポイントEPdのトグルシーケンスビットの状態を示します。

D3 ToggleSet
エンドポイントEPdのトグルシーケンスビットを1にセットします。

D2 ToggleClr
エンドポイントEPdのトグルシーケンスビットを0にクリアします。

D1 ForceNAK
このビットを1にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPdのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL
このビットを1にセットすると、エンドポイントEPdのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x4550: EPaMaxSize_H (EPa Max Packet Size HIGH)
0x4551: EPaMaxSize_L (EPa Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaMaxSize_H	**0x4550**	D7–2	–	–	–	–	0 when being read.
(EPa max	(8 bits)	D1	**EPaMaxSize[9]**	Endpoint EPa max packet size	0	R/W	
packet size		D0	**EPaMaxSize[8]**		0		
high)							
EPaMaxSize_L	**0x4551**	D7	**EPaMaxSize[7]**	Endpoint EPa max packet size	0	R/W	
(EPa max	(8 bits)	D6	**EPaMaxSize[6]**		0		
packet size		D5	**EPaMaxSize[5]**		0		
low)		D4	**EPaMaxSize[4]**		0		
		D3	**EPaMaxSize[3]**		0		
		D2	**EPaMaxSize[2]**		0		
		D1	**EPaMaxSize[1]**		0		
		D0	**EPaMaxSize[0]**		0		

EPaMaxSize[9:0]

エンドポイントEPaの最大パケットサイズを設定します。
このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。
インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。
ここで設定したサイズより、エンドポイントEPaの領域が狭い場合は、正常に動作しません。

0x4552: EPaConfig_0 (EPa Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaConfig_0 (EPa configuration 0)	0x4552 (8 bits)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	–	–				–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPaの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT
エンドポイントの転送方向を設定します。

D6 ToggleMode
トグルシーケンスビットの動作モードを設定します。（INトランザクションのみ）
Normal toggle - トランザクションが正常に完結した場合のみトグルします。
Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint
このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved

D[3:0] EndPointNumber
0x1～0xfの任意のエンドポイント番号を設定します。

0x4553: EPaConfig_1 (EPa Configuration 1)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPaConfig_1	**0x4553**	D7	**ISO**	1	ISO	0	Non-ISO	0	R/W	
(EPa configuration 1)	(8 bits)	D6–0	–	–				–	–	0 when being read.

エンドポイントEPaの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D[6:0] Reserved

0x4554: EPbMaxSize_H (EPb Max Packet Size HIGH)
0x4555: EPbMaxSize_L (EPb Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbMaxSize_H	**0x4554**	D7–2	**–**	–	–	–	0 when being read.
(EPb max	(8 bits)	D1	**EPbMaxSize[9]**	Endpoint EPb max packet size	0	R/W	
packet size		D0	**EPbMaxSize[8]**		0		
high)							
EPbMaxSize_L	**0x4555**	D7	**EPbMaxSize[7]**	Endpoint EPb max packet size	0	R/W	
(EPb max	(8 bits)	D6	**EPbMaxSize[6]**		0		
packet size		D5	**EPbMaxSize[5]**		0		
low)		D4	**EPbMaxSize[4]**		0		
		D3	**EPbMaxSize[3]**		0		
		D2	**EPbMaxSize[2]**		0		
		D1	**EPbMaxSize[1]**		0		
		D0	**EPbMaxSize[0]**		0		

EPbMaxSize[9:0]

エンドポイントEPbの最大パケットサイズを設定します。
このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。
インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。
ここで設定したサイズより、エンドポイントEPbの領域が狭い場合は、正常に動作しません。

0x4556: EPbConfig_0 (EPb Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPbConfig_0 (EPb configuration 0)	0x4556 (8 bits)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	–	–				–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPbの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT
エンドポイントの転送方向を設定します。

D6 ToggleMode
トグルシーケンスビットの動作モードを設定します。（INトランザクションのみ）
Normal toggle - トランザクションが正常に完結した場合のみトグルします。
Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint
このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved

D[3:0] EndPointNumber
0x1～0xfの任意のエンドポイント番号を設定します。

0x4557: EPbConfig_1 (EPb Configuration 1)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbConfig_1	0x4557	D7	ISO	1 ISO 0 Non-ISO	0	R/W	
(EPb configuration 1)	(8 bits)	D6–0	–	–	–	–	0 when being read.

エンドポイントEPbの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D[6:0] Reserved

0x4558: EPcMaxSize_H (EPc Max Packet Size HIGH)
0x4559: EPcMaxSize_L (EPc Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcMaxSize_H	**0x4558**	D7–2	–	–	–	–	0 when being read.
(EPc max	(8 bits)	D1	**EPcMaxSize[9]**	Endpoint EPc max packet size	0	R/W	
packet size		D0	**EPcMaxSize[8]**		0		
high)							
EPcMaxSize_L	**0x4559**	D7	**EPcMaxSize[7]**	Endpoint EPc max packet size	0	R/W	
(EPc max	(8 bits)	D6	**EPcMaxSize[6]**		0		
packet size		D5	**EPcMaxSize[5]**		0		
low)		D4	**EPcMaxSize[4]**		0		
		D3	**EPcMaxSize[3]**		0		
		D2	**EPcMaxSize[2]**		0		
		D1	**EPcMaxSize[1]**		0		
		D0	**EPcMaxSize[0]**		0		

EPcMaxSize[9:0]

エンドポイントEPcの最大パケットサイズを設定します。
このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。
インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。
ここで設定したサイズより、エンドポイントEPcの領域が狭い場合は、正常に動作しません。

0x455a: EPcConfig_0 (EPc Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcConfig_0 (EPc configuration 0)	0x455a (8 bits)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	–	–				–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPcの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT
エンドポイントの転送方向を設定します。

D6 ToggleMode
トグルシーケンスビットの動作モードを設定します。（INトランザクションのみ）
Normal toggle - トランザクションが正常に完結した場合のみトグルします。
Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint
このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved

D[3:0] EndPointNumber
0x1～0xfの任意のエンドポイント番号を設定します。

0x455b: EPcConfig_1 (EPc Configuration 1)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPcConfig_1 (EPc configuration 1)	**0x455b** (8 bits)	D7	**ISO**	1	ISO	0	Non-ISO	0	R/W	
		D6–0	–	–				–	–	0 when being read.

エンドポイントEPcの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D[6:0] Reserved

0x455c: EPdMaxSize_H (EPd Max Packet Size HIGH)
0x455d: EPdMaxSize_L (EPd Max Packet Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdMaxSize_H	**0x455c**	D7–2	**–**	–	–	–	0 when being read.
(EPd max	(8 bits)	D1	**EPdMaxSize[9]**	Endpoint EPd max packet size	0	R/W	
packet size		D0	**EPdMaxSize[8]**		0		
high)							
EPdMaxSize_L	**0x455d**	D7	**EPdMaxSize[7]**	Endpoint EPd max packet size	0	R/W	
(EPd max	(8 bits)	D6	**EPdMaxSize[6]**		0		
packet size		D5	**EPdMaxSize[5]**		0		
low)		D4	**EPdMaxSize[4]**		0		
		D3	**EPdMaxSize[3]**		0		
		D2	**EPdMaxSize[2]**		0		
		D1	**EPdMaxSize[1]**		0		
		D0	**EPdMaxSize[0]**		0		

EPdMaxSize[9:0]

エンドポイントEPdの最大パケットサイズを設定します。
このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。
インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。
ここで設定したサイズより、エンドポイントEPdの領域が狭い場合は、正常に動作しません。

0x455e: EPdConfig_0 (EPd Configuration 0)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EPdConfig_0 (EPd configuration 0)	0x455e (8 bits)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	–	–				–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		

エンドポイントEPdの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT
エンドポイントの転送方向を設定します。

D6 ToggleMode
トグルシーケンスビットの動作モードを設定します。（INトランザクションのみ）
Normal toggle - トランザクションが正常に完結した場合のみトグルします。
Always toggle - トランザクションごとに常にトグルします。

D5 EnEndPoint
このビットを1にセットすることで、このエンドポイントを有効にします。
このビットが0のときは、エンドポイントへのアクセスを無視します。
ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved

D[3:0] EndPointNumber
0x1～0xfの任意のエンドポイント番号を設定します。

0x455f: EPdConfig_1 (EPd Configuration 1)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdConfig_1	0x455f	D7	ISO	1 ISO 0 Non-ISO	0	R/W	
(EPd configuration 1)	(8 bits)	D6–0	–	–	–	–	0 when being read.

エンドポイントEPdの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D[6:0] Reserved

0x4570: EPaStartAdrs_H (EPa FIFO Start Address HIGH)
0x4571: EPaStartAdrs_L (EPa FIFO Start Address LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaStartAdrs_H (EPa FIFO start address high)	**0x4570** (8 bits)	D7–4	–	–	–	–	0 when being read.
		D3	**EPaStartAdrs[11]**	Endpoint EPa start address	0	R/W	
		D2	**EPaStartAdrs[10]**		0		
		D1	**EPaStartAdrs[9]**		0		
		D0	**EPaStartAdrs[8]**		0		
EPaStartAdrs_L (EPa FIFO start address low)	**0x4571** (8 bits)	D7	**EPaStartAdrs[7]**	Endpoint EPa start address	0	R/W	
		D6	**EPaStartAdrs[6]**		0		
		D5	**EPaStartAdrs[5]**		0		
		D4	**EPaStartAdrs[4]**		0		
		D3	**EPaStartAdrs[3]**		0		
		D2	**EPaStartAdrs[2]**		0		
		D1–0	–	–	–	–	0 when being read.

EPaStartAdrs[11:2]

エンドポイントEPaに割り当てるFIFOの先頭アドレスを設定します。
エンドポイントEPaに割り当てられる領域は、EPaStartAdrsにて設定されたアドレスから、EPbStartAdrsにて設定されたアドレスの1バイト前までとなります。
全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。
なお、ここで設定した領域より、エンドポイントEPaのEPaMaxSizeが大きい場合には、正常に動作しません。
全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。
FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。
エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。
FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。
また、EPaStartAdrsがEPbStartAdrsの設定値を超えないようにしてください。

0x4572: EPbStartAdrs_H (EPb FIFO Start Address HIGH)
0x4573: EPbStartAdrs_L (EPb FIFO Start Address LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPbStartAdrs_H	**0x4572**	D7–4	**–**	–	–	–	0 when being read.
(EPb FIFO start	(8 bits)	D3	**EPbStartAdrs[11]**	Endpoint EPb start address	0	R/W	
address high)		D2	**EPbStartAdrs[10]**		0		
		D1	**EPbStartAdrs[9]**		0		
		D0	**EPbStartAdrs[8]**		0		
EPbStartAdrs_L	**0x4573**	D7	**EPbStartAdrs[7]**	Endpoint EPb start address	0	R/W	
(EPb FIFO start	(8 bits)	D6	**EPbStartAdrs[6]**		0		
address low)		D5	**EPbStartAdrs[5]**		0		
		D4	**EPbStartAdrs[4]**		0		
		D3	**EPbStartAdrs[3]**		0		
		D2	**EPbStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.

EPbStartAdrs[11:2]

エンドポイントEPbに割り当てるFIFOの先頭アドレスを設定します。
エンドポイントEPbに割り当てられる領域は、EPbStartAdrsにて設定されたアドレスから、EPcStartAdrsにて設定されたアドレスの1バイト前までとなります。
全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。
なお、ここで設定した領域より、エンドポイントEPbのEPbMaxSizeが大きい場合には、正常に動作しません。
全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計（1Kバイト）を超えないように設定してください。
FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。
エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。
FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。
また、EPbStartAdrsがEPcStartAdrsの設定値を超えないようにしてください。

0x4574: EPcStartAdrs_H (EPc FIFO Start Address HIGH)
0x4575: EPcStartAdrs_L (EPc FIFO Start Address LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcStartAdrs_H	**0x4574**	D7–4	–	–	–	–	0 when being read.
(EPc FIFO start	(8 bits)	D3	**EPcStartAdrs[11]**	Endpoint EPc start address	0	R/W	
address high)		D2	**EPcStartAdrs[10]**		0		
		D1	**EPcStartAdrs[9]**		0		
		D0	**EPcStartAdrs[8]**		0		
EPcStartAdrs_L	**0x4575**	D7	**EPcStartAdrs[7]**	Endpoint EPc start address	0	R/W	
(EPc FIFO start	(8 bits)	D6	**EPcStartAdrs[6]**		0		
address low)		D5	**EPcStartAdrs[5]**		0		
		D4	**EPcStartAdrs[4]**		0		
		D3	**EPcStartAdrs[3]**		0		
		D2	**EPcStartAdrs[2]**		0		
		D1–0	–	–	–	–	0 when being read.

EPcStartAdrs[11:2]

エンドポイントEPcに割り当てるFIFOの先頭アドレスを設定します。
エンドポイントEPcに割り当てられる領域は、EPcStartAdrsにて設定されたアドレスから、EPdStartAdrsにて設定されたアドレスの1バイト前までとなります。
全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。
なお、ここで設定した領域より、エンドポイントEPcのEPcMaxSizeが大きい場合には、正常に動作しません。
全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。
FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。
エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。
FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。
また、EPcStartAdrsがEPdStartAdrsの設定値を超えないようにしてください。

0x4576: EPdStartAdrs_H (EPd FIFO Start Address HIGH)
0x4577: EPdStartAdrs_L (EPd FIFO Start Address LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdStartAdrs_H	**0x4576**	D7–4	**–**	–	–	–	0 when being read.
(EPd FIFO start	(8 bits)	D3	**EPdStartAdrs[11]**	Endpoint EPd start address	0	R/W	
address high)		D2	**EPdStartAdrs[10]**		0		
		D1	**EPdStartAdrs[9]**		0		
		D0	**EPdStartAdrs[8]**		0		
EPdStartAdrs_L	**0x4577**	D7	**EPdStartAdrs[7]**	Endpoint EPd start address	0	R/W	
(EPd FIFO start	(8 bits)	D6	**EPdStartAdrs[6]**		0		
address low)		D5	**EPdStartAdrs[5]**		0		
		D4	**EPdStartAdrs[4]**		0		
		D3	**EPdStartAdrs[3]**		0		
		D2	**EPdStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.

EPdStartAdrs[11:2]

エンドポイントEPdに割り当てるFIFOの先頭アドレスを設定します。
エンドポイントEPdに割り当てられる領域は、EPdStartAdrsにて設定されたアドレスから、FIFOの最終アドレスまでとなります。
全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを1にしてすべてのFIFOをクリアしてください。
なお、ここで設定した領域より、エンドポイントEPdのEPdMaxSizeが大きい場合には、正常に動作しません。
全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計（1Kバイト）を超えないように設定してください。
FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPd、EPdの順に割り当てるようにしてください。
エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。
FIFOの容量は1Kバイトですので、EPdの最終アドレスが0x3ffを超えないようにしてください。

0x4580: CPU_JoinRd (CPU Join FIFO Read)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
CPU_JoinRd (CPU join FIFO read)	0x4580 (8 bits)	D7–4	–	–				–	–	0 when being read.
		D3	JoinEPdRd	1	Join EPd FIFO read	0	Do nothing	0	R/W	
		D2	JoinEPcRd	1	Join EPc FIFO read	0	Do nothing	0	R/W	
		D1	JoinEPbRd	1	Join EPb FIFO read	0	Do nothing	0	R/W	
		D0	JoinEPaRd	1	Join EPa FIFO read	0	Do nothing	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOのデータを読み出すことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタを読み出すと、該当するエンドポイントのFIFOのデータが読み出せます。また、EPnRdRemain_H、Lレジスタにより、FIFOの残りデータ数を参照できます。
このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。
USBインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ読み出しは禁止します。
IN方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、ForceNAKビットを使用し、USBインタフェースによるデータ読み出しが行われない状態にしてください。
このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Rdビットがセットされている場合に有効です。

D[7:4] Reserved

D3 JoinEPdRd
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、Lレジスタでエンドポイント EPdのFIFO中のデータ数が参照できるようになります。

D2 JoinEPcRd
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、Lレジスタでエンドポイント EPcのFIFO中のデータ数が参照できるようになります。

D1 JoinEPbRd
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、Lレジスタでエンドポイント EPbのFIFO中のデータ数が参照できるようになります。

D0 JoinEPaRd
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、Lレジスタでエンドポイント EPaのFIFO中のデータ数が参照できるようになります。

0x4581: CPU_JoinWr (CPU Join FIFO Write)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
CPU_JoinWr (CPU join FIFO write)	0x4581 (8 bits)	D7–4	–	–				–	–	0 when being read.
		D3	JoinEPdWr	1	Join EPd FIFO write	0	Do nothing	0	R/W	
		D2	JoinEPcWr	1	Join EPc FIFO write	0	Do nothing	0	R/W	
		D1	JoinEPbWr	1	Join EPb FIFO write	0	Do nothing	0	R/W	
		D0	JoinEPaWr	1	Join EPa FIFO write	0	Do nothing	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOにデータを書き込むことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタにデータ書き込むと、該当するエンドポイントのFIFOに書き込まれます。また、EPnWrRemain_H、Lレジスタにより、FIFOの空き容量を参照できます。
このレジスタは、同時に1ビットのみを1にセットすることが可能です。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。
USBインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ書き込みは禁止します。
OUT方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、ForceNAKビットを使用し、USB I/Fによるデータ書き込みが行われない状態にしてください。
このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Wrビットがセットされている場合に有効です。

D[7:4] Reserved

D3 JoinEPdWr
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、Lレジスタでエンドポイント EPdのFIFO中の空き容量が参照できるようになります。

D2 JoinEPcWr
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、Lレジスタでエンドポイント EPcのFIFO中の空き容量が参照できるようになります。

D1 JoinEPbWr
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、Lレジスタでエンドポイント EPbのFIFO中の空き容量が参照できるようになります。

D0 JoinEPaWr
このビットに1をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、Lレジスタでエンドポイント EPaのFIFO中の空き容量が参照できるようになります。

0x4582: EnEPnFIFO_Access (Enable EPn FIFO Access)

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
EnEPnFIFO	0x4582	D7–2	–	–				–	–	0 when being read.
_Access	(8 bits)	D1	EnEPnFIFO_Wr	1	Enable join EPn FIFO write	0	Do nothing	0	R/W	
(Enable EPn FIFO access)		D0	EnEPnFIFO_Rd	1	Enable join EPn FIFO read	0	Do nothing	0	R/W	

CPU_JoinRdレジスタとCPU_JoinWrレジスタをそれぞれ有効にし、CPUインタフェースからのFIFOに対するアクセスを許可します。

D[7:2] Reserved

D1 EnEPnFIFO_Wr

このビットに1をセットするとCPU_JoinWrレジスタが有効となり、CPU_JoinWrレジスタで選択したEPnのFIFOにCPUがデータを書き込めるようになります。

D0 EnEPnFIFO_Rd

このビットに1をセットするとCPU_JoinRdレジスタが有効となり、CPU_JoinRdレジスタで選択したEPnのFIFOからCPUがデータを読み出せるようになります。

0x4583: EPnFIFOforCPU (EPn FIFO for CPU)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnFIFOforCPU	0x4583	D7	EPnFIFOData[7]	Endpoint EP0 FIFO access from CPU	X	R/W	
(EPn FIFO for	(8 bits)	D6	EPnFIFOData[6]		X		
CPU)		D5	EPnFIFOData[5]		X		
		D4	EPnFIFOData[4]		X		
		D3	EPnFIFOData[3]		X		
		D2	EPnFIFOData[2]		X		
		D1	EPnFIFOData[1]		X		
		D0	EPnFIFOData[0]		X		

D[7:0] EPnFIFOData[7:0]

CPUインタフェースからエンドポイントのFIFOにアクセスするためのレジスタです。
CPU_JoinRdレジスタで選択されたエンドポイントのFIFO内のデータを、このレジスタから読み出すことができます。
CPU_JoinWrレジスタで選択されたエンドポイントのFIFOに、このレジスタを通してデータを書き込むことができます。
EnEPnFIFO_AccessレジスタのEnEPnFIFO_Rdビットをセットせずにこのレジスタから値を読み出した場合、ダミーデータが出力されます。
また、EnEPnFIFO_AccessレジスタのEnEPnFIFO_Wrビットをセットせずにこのレジスタに書き込んだ場合、FIFOへの書き込みは行われません。

該当するエンドポイントのFIFOが空のときにこのレジスタを読み出すと、ダミーデータが読み出されます。
該当するエンドポイントのFIFOが満杯のときにこのレジスタにデータを書き込んでも、FIFOには書き込まれません。

0x4584: EPnRdRemain_H (EPn FIFO Read Remain HIGH)
0x4585: EPnRdRemain_L (EPn FIFO Read Remain LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnRdRemain_H	**0x4584**	D7–4	–	–	–	–	0 when being read.
(EPn FIFO read	(8 bits)	D3	**EPnRdRemain[11]**	Endpoint n FIFO read remain high	0	R	
remain high)		D2	**EPnRdRemain[10]**		0		
		D1	**EPnRdRemain[9]**		0		
		D0	**EPnRdRemain[8]**		0		
EPnRdRemain_L	**0x4585**	D7	**EPnRdRemain[7]**	Endpoint n FIFO read remain low	0	R	
(EPn FIFO read	(8 bits)	D6	**EPnRdRemain[6]**		0		
remain low)		D5	**EPnRdRemain[5]**		0		
		D4	**EPnRdRemain[4]**		0		
		D3	**EPnRdRemain[3]**		0		
		D2	**EPnRdRemain[2]**		0		
		D1	**EPnRdRemain[1]**		0		
		D0	**EPnRdRemain[0]**		0		

EPnRdRemain[11:0]

CPU_JoinRdレジスタによってCPUインタフェースに接続しているエンドポイントのFIFO内の残りデータ数を示します。FIFOの残りデータ数を取得する場合は、EPnRdRemain_Hレジスタと EPnRdRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnRdRemain_Hレジスタを先にアクセスしてください。

0x4586: EPnWrRemain_H (EPn FIFO Write Remain HIGH)
0x4587: EPnWrRemain_L (EPn FIFO Write Remain LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPnWrRemain_H (EPn FIFO write remain high)	**0x4586** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**EPnWrRemain[11]**	Endpoint n FIFO write remain high	0	R	
		D2	**EPnWrRemain[10]**		0		
		D1	**EPnWrRemain[9]**		0		
		D0	**EPnWrRemain[8]**		0		
EPnWrRemain_L (EPn FIFO write remain low)	**0x4587** (8 bits)	D7	**EPnWrRemain[7]**	Endpoint n FIFO write remain low	0	R	
		D6	**EPnWrRemain[6]**		0		
		D5	**EPnWrRemain[5]**		0		
		D4	**EPnWrRemain[4]**		0		
		D3	**EPnWrRemain[3]**		0		
		D2	**EPnWrRemain[2]**		0		
		D1	**EPnWrRemain[1]**		0		
		D0	**EPnWrRemain[0]**		0		

EPnWrRemain[11:0]

CPU_JoinWrレジスタによってCPUインタフェースに接続しているエンドポイントのFIFOの空き容量を示します。FIFOの空き容量を取得する場合は、EPnWrRemain_Hレジスタと EPnWrRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnWrRemain_H レジスタを先にアクセスしてください。

0x4588: DescAdrs_H (Descriptor Address HIGH)
0x4589: DescAdrs_L (Descriptor Address LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescAdrs_H	**0x4588**	D7–4	–	–	–	–	0 when being read.
(Descriptor	(8 bits)	D3	**DescAdrs[11]**	Descriptor address	0	R/W	
address high)		D2	**DescAdrs[10]**		0		
		D1	**DescAdrs[9]**		0		
		D0	**DescAdrs[8]**		0		
DescAdrs_L	**0x4589**	D7	**DescAdrs[7]**	Descriptor address	0	R/W	
(Descriptor	(8 bits)	D6	**DescAdrs[6]**		0		
address low)		D5	**DescAdrs[5]**		0		
		D4	**DescAdrs[4]**		0		
		D3	**DescAdrs[3]**		0		
		D2	**DescAdrs[2]**		0		
		D1	**DescAdrs[1]**		0		
		D0	**DescAdrs[0]**		0		

DescAdrs[11:0]

デスクリプタ返信機能における、デスクリプタ返信動作、デスクリプタ書き込み動作、およびデスクリプタ読み出し動作開始時のFIFOの先頭アドレスを指定します。
デスクリプタアドレスの指定は、デスクリプタ返信機能に対してFIFO領域を割り当てるものではありません。デスクリプタアドレスは、FIFOの領域設定にかかわらず、0x0000から0x03ff(1Kバイト)までのFIFOの全領域を指定することができます。
デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorの項を参照してください。
デスクリプタ書き込み/読み出し時には、1回の書き込みまたは読み出しごとに、DescAdrsは1ずつ増加します。デスクリプタ書き込み/読み出しについては、DescDoorレジスタの項を参照してください。
デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。
デスクリプタアドレスを参照する場合は、DescAdrs_H、DescAdrs_Lの順に読み出してください。

0x458a: DescSize_H (Descriptor Size HIGH)
0x458b: DescSize_L (Descriptor Size LOW)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescSize_H	**0x458a**	D7–2	**–**	–	–	–	0 when being read.
(Descriptor	(8 bits)	D1	**DescSize[9]**	Descriptor size	0	R/W	
size high)		D0	**DescSize[8]**		0		
DescSize_L	**0x458b**	D7	**DescSize[7]**	Descriptor size	0	R/W	
(Descriptor	(8 bits)	D6	**DescSize[6]**		0		
size low)		D5	**DescSize[5]**		0		
		D4	**DescSize[4]**		0		
		D3	**DescSize[3]**		0		
		D2	**DescSize[2]**		0		
		D1	**DescSize[1]**		0		
		D0	**DescSize[0]**		0		

DescSize[9:0]

デスクリプタサイズには、デスクリプタ返信機能において返信するデータの総数を指定します。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorビットの項を参照してください。

デスクリプタサイズには、FIFOのサイズおよび領域設定にかかわらず、0x0000から0x03ffまでの値を指定することができます。デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス（0x0040）からエンドポイントEPaの領域の先頭アドレス（EPaStartAdrs_H、EPaStartAdrs_L）までの間が適切です。

デスクリプタサイズを参照する場合は、DescSize_H、DescSize_Lの順に読み出してください。

0x458f: DescDoor (Descriptor Door)

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescDoor	**0x458f**	D7	**DescMode[7]**	Descriptor door	0	R/W	
(Descriptor	(8 bits)	D6	**DescMode[6]**		0		
door)		D5	**DescMode[5]**		0		
		D4	**DescMode[4]**		0		
		D3	**DescMode[3]**		0		
		D2	**DescMode[2]**		0		
		D1	**DescMode[1]**		0		
		D0	**DescMode[0]**		0		

D[7:0] DescMode[7:0]

デスクリプタの読み出しおよび書き込みを行うレジスタです。

書き込み開始前に、DescAdrs_H、DescAdrs_Lレジスタに、FIFOのデスクリプタを書き込む領域の先頭アドレスを設定してください。その後、このレジスタに1バイトずつ書き込みを行います。書き込みごとにDescAdrs_H、DescAdrs_Lが自動的に1バイトずつインクリメントされ、順次書き込みが行えます。

DescDoorレジスタから書き込んだデータは、ReplyDescriptorの機能によって何度でも使用できます。つまり、このデータはデスクリプタ返信機能によって、消されたり、上書きされることはありません。ただし、デスクリプタデータを書き込んだ領域が、他のエンドポイントで確保されている領域と重なる場合には、データは上書きされてしまいます。

このレジスタを読むことにより、DescAdrs_H、DescAdrs_Lに設定したアドレスから、順次FIFOのデータを読み出すことができます。このときも、DescAdrs_H、DescAdrs_Lレジスタのアドレスは読み出しごとにインクリメントされます。したがって、DescDoorレジスタに書き込み後、続けて読み出しを行っても、直前に書き込んだ値は読み出せませんので、注意してください。

S1C17501 Technical Manual

APPENDIX

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機　能
プリスケーラ（8ビットデバイス）	0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御
	0x4021–0x403f	–	–	Reserved
UART（IrDA付き）（8ビットデバイス）	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106–0x411f	–	–	Reserved
CLG_T16U0 タイマ（16ビットデバイス）	0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
	0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
	0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208–0x421f	–	–	Reserved
CLG_T8Sタイマ（16ビットデバイス）	0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248–0x425f	–	–	Reserved
CLG_T8Iタイマ（16ビットデバイス）	0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
	0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
	0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268–0x427f	–	–	Reserved
割り込みコントローラ（16ビットデバイス）	0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x42e4	–	–	Reserved
	0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
	0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
	0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0割り込みレベルの設定
	0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1、CH.2割り込みレベルの設定
	0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3
	0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1、USB割り込みレベルの設定
	0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I²S割り込みレベルの設定
	0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
	0x42f6–0x42ff	–	–	Reserved
	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0タイマ割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I²C割り込みレベルの設定
	0x4316–0x431f	–	–	Reserved
SPI（16ビットデバイス）	0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
	0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
	0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定
	0x4328–0x433f	–	–	Reserved
I²C（16ビットデバイス）	0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
	0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
	0x4344	I2C_DAT	I²C Data Register	送受信データ
	0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御
	0x4348–0x435f	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
汎用入出力ポート（8ビットデバイス）	0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
	0x4401	–	–	Reserved
	0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
	0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
	0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
	0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
	0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
	0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
	0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
	0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
	0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
	0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
	0x440c	P6_DAT	P6 Port Input/Output Data Register	P6ポート入出力データ
	0x440d	P6_IOC	P6 Port I/O Control Register	P6ポート入出力方向の選択
	0x440e	P7_DAT	P7 Port Input/Output Data Register	P7ポート入出力データ
	0x440f	P7_IOC	P7 Port I/O Control Register	P7ポート入出力方向の選択
	0x4410	P8_DAT	P8 Port Input/Output Data Register	P8ポート入出力データ
	0x4411	P8_IOC	P8 Port I/O Control Register	P8ポート入出力方向の選択
	0x4412	P9_DAT	P9 Port Input/Output Data Register	P9ポート入出力データ
	0x4413	P9_IOC	P9 Port I/O Control Register	P9ポート入出力方向の選択
	0x4414	PA_DAT	PA Port Input/Output Data Register	PAポート入出力データ
	0x4415	PA_IOC	PA Port I/O Control Register	PAポート入出力方向の選択
	0x4416	PB_DAT	PB Port Input/Output Data Register	PBポート入出力データ
	0x4417	PB_IOC	PB Port I/O Control Register	PBポート入出力方向の選択
	0x4418	PC_DAT	PC Port Input/Output Data Register	PCポート入出力データ
	0x4419	PC_IOC	PC Port I/O Control Register	PCポート入出力方向の選択
	0x441a–0x441f	–	–	Reserved
	0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
	0x4421	P0_47_CFP	P04–P07 Port Function Select Register	P04–P07ポート機能の選択
	0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
	0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
	0x4424	P2_03_CFP	P20–P23 Port Function Select Register	P20–P23ポート機能の選択
	0x4425	P2_47_CFP	P24–P27 Port Function Select Register	P24–P27ポート機能の選択
	0x4426	P3_03_CFP	P30–P33 Port Function Select Register	P30–P33ポート機能の選択
	0x4427	P3_47_CFP	P34–P37 Port Function Select Register	P34–P37ポート機能の選択
	0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
	0x4429	P4_45_CFP	P44–P45 Port Function Select Register	P44–P45ポート機能の選択
	0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
	0x442b	P5_47_CFP	P54–P57 Port Function Select Register	P54–P57ポート機能の選択
	0x442c	P6_03_CFP	P60–P63 Port Function Select Register	P60–P63ポート機能の選択
	0x442d	P6_47_CFP	P64–P67 Port Function Select Register	P64–P67ポート機能の選択
	0x442e	P7_03_CFP	P70–P73 Port Function Select Register	P70–P73ポート機能の選択
	0x442f	P7_47_CFP	P74–P77 Port Function Select Register	P74–P77ポート機能の選択
	0x4430	P8_03_CFP	P80–P83 Port Function Select Register	P80–P83ポート機能の選択
	0x4431	P8_46_CFP	P84–P86 Port Function Select Register	P84–P86ポート機能の選択
	0x4432	P9_03_CFP	P90–P93 Port Function Select Register	P90–P93ポート機能の選択
	0x4433	P9_47_CFP	P94–P97 Port Function Select Register	P94–P97ポート機能の選択
	0x4434	PA_03_CFP	PA0–PA3 Port Function Select Register	PA0–PA3ポート機能の選択
	0x4435	PA_46_CFP	PA4–PA6 Port Function Select Register	PA4–PA6ポート機能の選択
	0x4436	PB_03_CFP	PB0–PB3 Port Function Select Register	PB0–PB3ポート機能の選択
	0x4437	PB_47_CFP	PB4–PB7 Port Function Select Register	PB4–PB7ポート機能の選択
	0x4438	PC_03_CFP	PC0–PC3 Port Function Select Register	PC0–PC3ポート機能の選択
	0x4439	PC_47_CFP	PC4–PC7 Port Function Select Register	PC4–PC7ポート機能の選択
	0x443a–0x443f	–	–	Reserved
	0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用P*x*0ポートの選択
	0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用P*x*1ポートの選択
	0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用P*x*2ポートの選択
	0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用P*x*3ポートの選択
	0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用P*x*4ポートの選択
	0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用P*x*5ポートの選択
	0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用P*x*6ポートの選択
	0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用P*x*7ポートの選択
	0x4448–0x44ff	–	–	Reserved
USBファンクションコントローラ（8ビットデバイス）	0x4500	MainIntStat	Main Interrupt Status Register	メイン割り込みステータス
	0x4501	SIE_IntStat	SIE Interrupt Status Register	SIE割り込みステータス
	0x4502	EPrIntStat	EPr Interrupt Status Register	EPr割り込みステータス
	0x4503	–	–	Reserved
	0x4504	FIFO_IntStat	FIFO Interrupt Status Register	FIFO割り込みステータス

周辺回路	アドレス	レジスタ名		機　能
USB ファンクション コントローラ (8ビットデバイス)	0x4505–0x4506	–	–	Reserved
	0x4507	EP0IntStat	EP0 Interrupt Status Register	EP0割り込みステータス
	0x4508	EPaIntStat	EPa Interrupt Status Register	EPa割り込みステータス
	0x4509	EPbIntStat	EPb Interrupt Status Register	EPb割り込みステータス
	0x450a	EPcIntStat	EPc Interrupt Status Register	EPc割り込みステータス
	0x450b	EPdIntStat	EPd Interrupt Status Register	EPd割り込みステータス
	0x450c–0x450f	–	–	Reserved
	0x4510	MainIntEnb	Main Interrupt Enable Register	メイン割り込みイネーブル
	0x4511	SIE_IntEnb	SIE Interrupt Enable Register	SIE割り込みイネーブル
	0x4512	EPrIntEnb	EPr Interrupt Enable Register	EPr割り込みイネーブル
	0x4513	–	–	Reserved
	0x4514	FIFOIntEnb	FIFO Interrupt Enable	FIFO割り込みイネーブル
	0x4515–0x4516	–	–	Reserved
	0x4517	EP0IntEnb	EP0 Interrupt Enable Register	EP0割り込みイネーブル
	0x4518	EPaIntEnb	EPa Interrupt Enable Register	EPa割り込みイネーブル
	0x4519	EPbIntEnb	EPb Interrupt Enable Register	EPb割り込みイネーブル
	0x451a	EPcIntEnb	EPc Interrupt Enable Register	EPc割り込みイネーブル
	0x451b	EPdIntEnb	EPd Interrupt Enable Register	EPd割り込みイネーブル
	0x451c–0x451f	–	–	Reserved
	0x4520	RevisionNum	Revision Number Register	USBコントローラのリビジョン番号表示
	0x4521	USB_Control	USB Control Register	USBの制御
	0x4522	USB_Status	USB Status Register	USBステータス
	0x4523	XcvrControl	Xcvr Control Register	送信マクロの制御
	0x4524	USB_Test	USB Test Register	USBテストモードの設定
	0x4525	EPnControl	Endpoint Control Register	全FIFOのクリアとNAK/STALLビットの設定
	0x4526	EPrFIFO_Clr	EPr FIFO Clear Register	FIFOの個別クリア
	0x4527–0x452d	–	–	Reserved
	0x452e	FrameNumber_H	Frame Number High Register	フレーム番号
	0x452f	FrameNumber_L	Frame Number Low Register	
	0x4530	EP0Setup_0	EP0 Setup 0 Register	EP0設定データ(BmRequestType)
	0x4531	EP0Setup_1	EP0 Setup 1 Register	EP0設定データ(BRequest)
	0x4532	EP0Setup_2	EP0 Setup 2 Register	EP0設定データ(Wvalue下位ビット)
	0x4533	EP0Setup_3	EP0 Setup 3 Register	EP0設定データ(Wvalue上位ビット)
	0x4534	EP0Setup_4	EP0 Setup 4 Register	EP0設定データ(WIndex下位ビット)
	0x4535	EP0Setup_5	EP0 Setup 5 Register	EP0設定データ(WIndex上位ビット)
	0x4536	EP0Setup_6	EP0 Setup 6 Register	EP0設定データ(WLength下位ビット)
	0x4537	EP0Setup_7	EP0 Setup 7 Register	EP0設定データ(WLength上位ビット)
	0x4538	USB_Address	USB Address Register	USBアドレスの設定
	0x4539	EP0Control	EP0 Control Register	EP0の制御
	0x453a	EP0ControlIN	EP0 Control In Register	EP0 INトランザクションの設定
	0x453b	EP0ControlOUT	EP0 Control Out Register	EP0 OUTトランザクションの設定
	0x453c–0x453e	–	–	Reserved
	0x453f	EP0MaxSize	EP0 Max Packet Size Register	EP0最大パケットサイズの設定
	0x4540	EPaControl	EPa Control Register	EPaの制御
	0x4541	EPbControl	EPb Control Register	EPbの制御
	0x4542	EPcControl	EPc Control Register	EPcの制御
	0x4543	EPdControl	EPd Control Register	EPdの制御
	0x4544–0x454f	–	–	Reserved
	0x4550	EPaMaxSize_H	EPa Max Packet Size High Register	EPa最大パケットサイズの設定
	0x4551	EPaMaxSize_L	EPa Max Packet Size Low Register	
	0x4552	EPaConfig_0	EPa Configuration 0 Register	EPaの設定
	0x4553	EPaConfig_1	EPa Configuration 1 Register	
	0x4554	EPbMaxSize_H	EPb Max Packet Size High Register	EPb最大パケットサイズの設定
	0x4555	EPbMaxSize_L	EPb Max Packet Size Low Register	
	0x4556	EPbConfig_0	EPb Configuration 0 Register	EPbの設定
	0x4557	EPbConfig_1	EPb Configuration 1 Register	
	0x4558	EPcMaxSize_H	EPc Max Packet Size High Register	EPc最大パケットサイズの設定
	0x4559	EPcMaxSize_L	EPc Max Packet Size Low Register	
	0x455a	EPcConfig_0	EPc Configuration 0 Register	EPcの設定
	0x455b	EPcConfig_1	EPc Configuration 1 Register	
	0x455c	EPdMaxSize_H	EPd Max Packet Size High Register	EPd最大パケットサイズの設定
	0x455d	EPdMaxSize_L	EPd Max Packet Size Low Register	
	0x455e	EPdConfig_0	EPd Configuration 0 Register	EPdの設定
	0x455f	EPdConfig_1	EPd Configuration 1 Register	
	0x4560–0x456f	–	–	Reserved
	0x4570	EPaStartAdrs_H	EPa FIFO Start Address High Register	EPa FIFOスタートアドレスの設定
	0x4571	EPaStartAdrs_L	EPa FIFO Start Address Low Register	

周辺回路	アドレス	レジスタ名		機　能
USB ファンクション コントローラ (8ビットデバイス)	0x4572	EPbStartAdrs_H	EPb FIFO Start Address High Register	EPb FIFOスタートアドレスの設定
	0x4573	EPbStartAdrs_L	EPb FIFO Start Address Low Register	
	0x4574	EPcStartAdrs_H	EPc FIFO Start Address High Register	EPc FIFOスタートアドレスの設定
	0x4575	EPcStartAdrs_L	EPc FIFO Start Address Low Register	
	0x4576	EPdStartAdrs_H	Epd FIFO Start Address High Register	EPd FIFOスタートアドレスの設定
	0x4577	EPdStartAdrs_L	EPd FIFO Start Address Low Register	
	0x4578–0x457f	–	–	Reserved
	0x4580	CPU_JoinRd	CPU Join FIFO Read Register	FIFOデータリードの設定
	0x4581	CPU_JoinWr	CPU Join FIFO Write Register	FIFOデータライトの設定
	0x4582	EnEPnFIFO _Access	EPn FIFO Access Enable Register	CPU_JoinRd、CPU_JoinWrレジスタイネーブル
	0x4583	EPnFIFOforCPU	EPn FIFO for CPU Register	CPUアクセス用EPn FIFOレジスタ
	0x4584	EPnRdRemain_H	EPn FIFO Read Remain High Register	FIFO内のデータ残量
	0x4585	EPnRdRemain_L	EPn FIFO Read Remain Low Register	
	0x4586	EPnWrRemain_H	EPn FIFO Write High Register	FIFO内の空き容量
	0x4587	EPnWrRemain_L	EPn FIFO Write Low Register	
	0x4588	DescAdrs_H	Descriptor Address High Register	デスクリプタ返信機能用FIFO開始アドレスの指定
	0x4589	DescAdrs_L	Descriptor Address Low Register	
	0x458a	DescSize_H	Descriptor Size High Register	デスクリプタ返信機能用データ数の指定
	0x458b	DescSize_L	Descriptor Size Low Register	
	0x458c–0x458e	–	–	Reserved
	0x458f	DescDoor	Descriptor Door Register	デスクリプタのリード/ライト
	0x4590–0x45ff	–	–	Reserved
リアルタイム クロック (8ビットデバイス)	0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
	0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
	0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
	0x4603	RTC_CNTL1	RTC Control 1 Register	
	0x460f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定
	0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
	0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
	0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
	0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
	0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
	0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
	0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
	0x462b–0x46ff	–	–	Reserved
8ビット プログラマブル タイマCH.0 (8ビットデバイス)	0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
	0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
	0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
	0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.1 (8ビットデバイス)	0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
	0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
	0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
	0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.2 (8ビットデバイス)	0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
	0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
	0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
	0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.3 (8ビットデバイス)	0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
	0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
	0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
	0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP
	0x4810–0x48ff	–	–	Reserved
クロック マネージメント ユニット (8ビットデバイス)	0x4900	CMU_SYSCLKCTL	System Clock Control Register	システムクロックの制御
	0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
	0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
	0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
	0x4904	–	–	Reserved
	0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
	0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
	0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
	0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
	0x4909	CMU_USBWT	USB Wait Control Register	USBレジスタアクセス用ウェイトサイクルの設定
	0x490a–0x491f	–	–	Reserved
	0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900～0x4909)書き込み保護の設定/解除
	0x4921–0x49ff	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
SRAM コントローラ (16ビットデバイス)	0x5000	EXTMEM_SWAIT	External Memory Static Wait Control Register	スタティックウェイトサイクルの設定
	0x5002	–	–	Reserved
	0x5004	EXTMEM_SIZE	External Memory Device Size Setup Register	デバイスサイズ(8/16ビット)の選択
	0x5006	–	–	Reserved
	0x5008	EXTMEM_A0_BSL	External Memory Device Type Setup Register	デバイスタイプ(A0/BSL)の選択
	0x500a–0x500e	–	–	Reserved
	0x5010	IRAM2_SWAIT	Internal Memory Static Wait Control Register	IRAM2リードサイクルの設定
	0x5012	–	–	Reserved
	0x5014	MAC_WAIT	MAC Wait Control Register	MACウェイトサイクルの設定
	0x5016	–	–	Reserved
	0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定
	0x501a–0x50ff	–	–	Reserved
マルチファンクションタイマ (16ビットデバイス)	0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
	0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
	0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
	0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5208–0x521d	–	–	Reserved
	0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
	0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
	0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
	0x523a–0x527d	–	–	Reserved
	0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御
	0x5280–0x52ff	–	–	Reserved
I²S (16ビットデバイス)	0x5300	I2S_CTL_OUT	I²S CH.0 Control Register	出力条件の設定
	0x5302	I2S_CTL_IN	I²S CH.1 Control Register	入力条件の設定
	0x5304	I2S_DV_MCLK	I²S MCLK Divide Ratio Register	MCLKの設定
	0x5306	I2S_DV_AUDIO_CLK	I²S Audio Clock Divide Ratio Register	オーディオクロックの設定
	0x5308	I2S_START	I²S Start/Stop Register	I²S動作状態の制御と表示
	0x530a	I2S_FIFO_STAT	I²S FIFO Status Register	FIFOステータスの表示
	0x530c	I2S_INT_MOD	I²S Interrupt Mode Select Register	I²S割り込み条件の設定
	0x5310	I2S_FIFO_OUT	I²S CH.0 FIFO Register	L/Rチャネル出力データ (16または24ビットアクセス)
	0x5314	I2S_FIFO_IN	I²S CH.1 FIFO Register	L/Rチャネル入力データ(16ビットアクセス)
	0x5318–0x53ff	–	–	Reserved
リモートコントローラ (16ビットデバイス)	0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケーラの設定
	0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
	0x5406	–	–	Reserved
	0x5408	REMC_CTL	REMC Control Register	送信制御
	0x540a	–	–	Reserved
	0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
	0x540e	REMC_ENVL	REMC Envelope Load Register	エンベロープパルス幅の設定
	0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベロープパルス幅
	0x5412–0x54ff	–	–	Reserved
A/D変換器 (16ビットデバイス)	0x5500–0x551f	–	–	Reserved
	0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
	0x5522–0x553f	–	–	Reserved
	0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
	0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャネルと変換モードの設定
	0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
	0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
	0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
	0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
	0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
	0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
	0x5550	AD_CH4_BUF	A/D CH.4 Conversion Result Buffer Register	A/D CH.4変換データ
	0x5552	AD_CH5_BUF	A/D CH.5 Conversion Result Buffer Register	A/D CH.5変換データ
	0x5554	AD_CH6_BUF	A/D CH.6 Conversion Result Buffer Register	A/D CH.6変換データ
	0x5556	AD_CH7_BUF	A/D CH.7 Conversion Result Buffer Register	A/D CH.7変換データ
	0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
	0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
	0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャネルのマスク
	0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示

周辺回路	アドレス	レジスタ名		機　能
ウォッチドッグタイマ（16ビットデバイス）	0x5600–0x565f	–	–	Reserved
	0x5660	WD_WP	WDT Write Protect Re,gister	WDT制御レジスタ書き込み保護の設定/解除
	0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
	0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
	0x5666	WD_CMP_H	WDT Comparison Data H Register	
	0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
	0x566a	WD_CNT_H	WDT Count Data H Register	
	0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット
	0x566e–0x56ff	–	–	Reserved
拡張SPI（16ビットデバイス）	0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
	0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
	0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
	0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
	0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定
	0x570a–0x57ff	–	–	Reserved
Flashコントローラ（16ビットデバイス）	0x5800	FLASH_CTL	FLASHC Control Register	Flash消去/プログラミングの制御
	0x5802	FLASH_ADDR	FLASHC Sector Address Register	Flash消去セクタアドレスの設定
	0x5804	FLASH_WAIT	FLASHC Wait Register	Flashリード用ウェイトサイクルの設定
	0x5806–0x580f	–	–	Reserved
	0x5810	FLASH_PROT	FLASHC Protect Register	Flash制御レジスタ書き込み保護の設定/解除
	0x5812	–	–	Reserved
	0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
	0x5816	TTBR_HIGH	Trap Table Base Register 1	
	0x5818–0x58ff	–	–	Reserved
S1C17コアI/O	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4020 Prescaler

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	**0x4020** (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	**PRUND**	Prescaler run/stop in debug mode	1	Run	0	Stop	0	R/W	
		D0	**PRUN**	Prescaler run/stop control	1	Run	0	Stop	0	R/W	

0x4100–0x4105 UART (with IrDA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	FER	Framing error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1 Error 0 Normal	0	R/W	
		D4	OER	Overrun error flag	1 Error 0 Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1 Ready 0 Empty	0	R	
		D2	TRBS	Transmit busy flag	1 Busy 0 Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1 Ready 0 Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CHLN	Character length	1 8 bits 0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	SSCK	Input clock select	1 External 0 Internal	0	R/W	
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	RBFI	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0] Clock 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

0x4200–0x4206 CLG_T16U0 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Input Clock Select Register (CLG_T16U0 _CLK)	**0x4200** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
CLG_T16U0 Reload Data Register (CLG_T16U0 _TR)	**0x4202** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
CLG_T16U0 Counter Data Register (CLG_T16U0 _TC)	**0x4204** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
CLG_T16U0 Control Register (CLG_T16U0 _CTL)	**0x4206** (16 bits)	D15–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4240–0x4246 CLG_T8S Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8S Input Clock Select Register (CLG_T8S_CLK)	**0x4240** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
CLG_T8S Reload Data Register (CLG_T8S_TR)	**0x4242** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TR[7:0]**	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
CLG_T8S Counter Data Register (CLG_T8S_TC)	**0x4244** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TC[7:0]**	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
CLG_T8S Control Register (CLG_T8S_CTL)	**0x4246** (16 bits)	D15–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4260–0x4266 CLG_T8I Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8I Input Clock Select Register (CLG_T8I_CLK)	**0x4260** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
CLG_T8I Reload Data Register (CLG_T8I_TR)	**0x4262** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TR[7:0]**	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
CLG_T8I Counter Data Register (CLG_T8I_TC)	**0x4264** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TC[7:0]**	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
CLG_T8I Control Register (CLG_T8I_CTL)	**0x4266** (16 bits)	D15–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x42e0–0x42f4 Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Flag Register (ITC_AIFLG)	**0x42e0** (16 bits)	D15	**–**	reserved	–	–	–	0 when being read.
		D14	**AIFT14**	REMC interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D13	**AIFT13**	I²S receive interrupt flag		0	R/W	
		D12	**AIFT12**	I²S transmit interrupt flag		0	R/W	
		D11	**AIFT11**	USB interrupt flag		0	R/W	
		D10	**AIFT10**	SPI CH.1 interrupt flag		0	R/W	
		D9	**–**	reserved	–	–	–	0 when being read.
		D8	**AIFT8**	PT8 CH.3 interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	**AIFT7**	PT8 CH.2 interrupt flag		0	R/W	
		D6	**AIFT6**	PT8 CH.1 interrupt flag		0	R/W	
		D5	**AIFT5**	PT8 CH.0 interrupt flag		0	R/W	
		D4	**AIFT4**	RTC interrupt flag		0	R/W	
		D3	**AIFT3**	ADC end-of-conversion interrupt flag		0	R/W	
		D2	**AIFT2**	ADC out-of-range interrupt flag		0	R/W	
		D1	**–**	reserved	–	–	–	0 when being read.
		D0	**AIFT0**	MFT interrupt flag	1 Occurred / 0 Not occurred	0	R/W	Reset by writing 1.
Additional Interrupt Enable Register (ITC_AEN)	**0x42e2** (16 bits)	D15	**–**	reserved	–	–	–	0 when being read.
		D14	**AIEN14**	REMC interrupt enable	1 Enable / 0 Disable	0	R/W	
		D13	**AIEN13**	I²S receive interrupt enable		0	R/W	
		D12	**AIEN12**	I²S transmit interrupt enable		0	R/W	
		D11	**AIEN11**	USB interrupt enable		0	R/W	
		D10	**AIEN10**	SPI CH.1 interrupt enable		0	R/W	
		D9	**–**	reserved	–	0	R/W	0 when being read.
		D8	**AIEN8**	PT8 CH.3 interrupt enable	1 Enable / 0 Disable	0	R/W	
		D7	**AIEN7**	PT8 CH.2 interrupt enable		0	R/W	
		D6	**AIEN6**	PT8 CH.1 interrupt enable		0	R/W	
		D5	**AIEN5**	PT8 CH.0 interrupt enable		0	R/W	
		D4	**AIEN4**	RTC interrupt enable		0	R/W	
		D3	**AIEN3**	ADC end-of-conversion interrupt enable		0	R/W	
		D2	**AIEN2**	ADC out-of-range interrupt enable		0	R/W	
		D1	**–**	reserved	–	–	–	0 when being read.
		D0	**AIEN0**	MFT interrupt enable	1 Enable / 0 Disable	0	R/W	
Additional Interrupt Level Setup Register 0 (ITC_AILV0)	**0x42e6** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV0[2:0]**	MFT interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 1 (ITC_AILV1)	**0x42e8** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**AILV3[2:0]**	ADC end-of-conversion interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV2[2:0]**	ADC out-of-range interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 2 (ITC_AILV2)	**0x42ea** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**AILV5[2:0]**	PT8 CH.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV4[2:0]**	RTC interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 3 (ITC_AILV3)	**0x42ec** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**AILV7[2:0]**	PT8 CH.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV6[2:0]**	PT8 CH.1 interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 4 (ITC_AILV4)	**0x42ee** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV8[2:0]**	PT8 CH.3 interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 5 (ITC_AILV5)	**0x42f0** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**AILV11[2:0]**	USB interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV10[2:0]**	SPI CH.1 interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 6 (ITC_AILV6)	**0x42f2** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**AILV13[2:0]**	I²S receive interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV12[2:0]**	I²S transmit interrupt level	0 to 7	0x0	R/W	
Additional Interrupt Level Setup Register 7 (ITC_AILV7)	**0x42f4** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**AILV14[2:0]**	REMC interrupt level	0 to 7	0x0	R/W	

0x4300–0x430a Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Flag Register (ITC_IFLG)	**0x4300** (16 bits)	D15	**IIFT7**	I²C interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	**IIFT6**	SPI CH.0 interrupt flag		0	R/W	
		D13	**–**	reserved	–	–	–	0 when being read.
		D12	**IIFT4**	UART interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D11	**IIFT3**	CLG_T8I timer interrupt flag		0	R/W	
		D10	**IIFT2**	CLG_T8S timer interrupt flag		0	R/W	
		D9	**–**	reserved	–	–	–	0 when being read.
		D8	**IIFT0**	CLG_T16U0 timer interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	**EIFT7**	Port interrupt 7 flag		0	R/W	Reset by writing 1 in pulse trigger mode. Cannot be reset by software in level trigger mode.
		D6	**EIFT6**	Port interrupt 6 flag		0	R/W	
		D5	**EIFT5**	Port interrupt 5 flag		0	R/W	
		D4	**EIFT4**	Port interrupt 4 flag		0	R/W	
		D3	**EIFT3**	Port interrupt 3 flag		0	R/W	
		D2	**EIFT2**	Port interrupt 2 flag		0	R/W	
		D1	**EIFT1**	Port interrupt 1 flag		0	R/W	
		D0	**EIFT0**	Port interrupt 0 flag		0	R/W	
Interrupt Enable Register (ITC_EN)	**0x4302** (16 bits)	D15	**IIEN7**	I²C interrupt enable	1 Enable / 0 Disable	0	R/W	
		D14	**IIEN6**	SPI CH.0 interrupt enable		0	R/W	
		D13	**–**	reserved	–	–	–	0 when being read.
		D12	**IIEN4**	UART interrupt enable	1 Enable / 0 Disable	0	R/W	
		D11	**IIEN3**	CLG_T8I timer interrupt enable		0	R/W	
		D10	**IIEN2**	CLG_T8S timer interrupt enable		0	R/W	
		D9	**–**	reserved	–	–	–	0 when being read.
		D8	**IIEN0**	CLG_T16U0 timer interrupt enable	1 Enable / 0 Disable	0	R/W	
		D7	**EIEN7**	Port interrupt 7 enable		0	R/W	
		D6	**EIEN6**	Port interrupt 6 enable		0	R/W	
		D5	**EIEN5**	Port interrupt 5 enable		0	R/W	
		D4	**EIEN4**	Port interrupt 4 enable		0	R/W	
		D3	**EIEN3**	Port interrupt 3 enable		0	R/W	
		D2	**EIEN2**	Port interrupt 2 enable		0	R/W	
		D1	**EIEN1**	Port interrupt 1 enable		0	R/W	
		D0	**EIEN0**	Port interrupt 0 enable		0	R/W	
ITC Control Register (ITC_CTL)	**0x4304** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**ITEN**	ITC enable	1 Enable / 0 Disable	0	R/W	
External Interrupt Level Setup Register 0 (ITC_ELV0)	**0x4306** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13	**EITP1**	Port interrupt 1 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D12	**EITG1**	Port interrupt 1 trigger mode	1 Level / 0 Pulse	0	R/W	
		D11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**EILV1[2:0]**	Port interrupt 1 level	0 to 7	0x0	R/W	
		D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**EITP0**	Port interrupt 0 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D4	**EITG0**	Port interrupt 0 trigger mode	1 Level / 0 Pulse	0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**EILV0[2:0]**	Port interrupt 0 level	0 to 7	0x0	R/W	
External Interrupt Level Setup Register 1 (ITC_ELV1)	**0x4308** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13	**EITP3**	Port interrupt 3 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D12	**EITG3**	Port interrupt 3 trigger mode	1 Level / 0 Pulse	0	R/W	
		D11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**EILV3[2:0]**	Port interrupt 3 level	0 to 7	0x0	R/W	
		D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**EITP2**	Port interrupt 2 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D4	**EITG2**	Port interrupt 2 trigger mode	1 Level / 0 Pulse	0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**EILV2[2:0]**	Port interrupt 2 level	0 to 7	0x0	R/W	
External Interrupt Level Setup Register 2 (ITC_ELV2)	**0x430a** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13	**EITP5**	Port interrupt 5 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D12	**EITG5**	Port interrupt 5 trigger mode	1 Level / 0 Pulse	0	R/W	
		D11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**EILV5[2:0]**	Port interrupt 5 level	0 to 7	0x0	R/W	
		D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**EITP4**	Port interrupt 4 trigger polarity	1 Positive / 0 Negative	0	R/W	
		D4	**EITG4**	Port interrupt 4 trigger mode	1 Level / 0 Pulse	0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**EILV4[2:0]**	Port interrupt 4 level	0 to 7	0x0	R/W	

0x430c–0x4314 Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 3 (ITC_ELV3)	**0x430c** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13	**EITP7**	Port interrupt 7 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	**EITG7**	Port interrupt 7 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**EILV7[2:0]**	Port interrupt 7 level	0 to 7	0x0	R/W	
		D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**EITP6**	Port interrupt 6 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	**EITG6**	Port interrupt 6 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**EILV6[2:0]**	Port interrupt 6 level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	**0x430e** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV0[2:0]**	CLG_T16U0 timer interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	**0x4310** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV3[2:0]**	CLG_T8I timer interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV2[2:0]**	CLG_T8S timer interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	**0x4312** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV4[2:0]**	UART interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	**0x4314** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV7[2:0]**	I^2C interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV6[2:0]**	SPI CH.0 interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326 SPI

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI CH.0 Status Register (SPI_ST0)	**0x4320** (16 bits)	D15–3	**–**	reserved	–				–	–	0 when being read.
		D2	**SPBSY**	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	**SPRBF**	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	**SPTBE**	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	
SPI CH.0 Transmit Data Register (SPI_TXD0)	**0x4322** (16 bits)	D15–8	**–**	reserved	–				–	–	0 when being read.
		D7–0	**SPTDB[7:0]**	SPI CH.0 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff				0x0	R/W	
SPI CH.0 Receive Data Register (SPI_RXD0)	**0x4324** (16 bits)	D15–8	**–**	reserved	–				–	–	0 when being read.
		D7–0	**SPRDB[7:0]**	SPI CH.0 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff				0x0	R	
SPI CH.0 Control Register (SPI_CTL0)	**0x4326** (16 bits)	D15–6	**–**	reserved	–				–	–	0 when being read.
		D5	**SPRIE**	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	**SPTIE**	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	**CPHA**	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	**CPOL**	Clock polarity select	1	Active L	0	Active H	0	R/W	
		D1	**MSSL**	Master/slave mode select	1	Master	0	Slave	0	R/W	
		D0	**SPEN**	SPI CH.0 enable	1	Enable	0	Disable	0	R/W	

0x4340–0x4346 I²C

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Enable Register (I2C_EN)	**0x4340** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**I2CEN**	I²C enable	1 Enable 0 Disable	0	R/W	
I²C Control Register (I2C_CTL)	**0x4342** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9	**RBUSY**	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	**TBUSY**	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**NSERM**	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**STP**	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	**STRT**	Start control	1 Start 0 Ignored	0	R/W	
I²C Data Register (I2C_DAT)	**0x4344** (16 bits)	D15–12	**–**	reserved	–	–	–	0 when being read.
		D11	**RBRDY**	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	**RXE**	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	**TXE**	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	**RTACK**	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	**RTDT[7:0]**	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I²C Interrupt Control Register (I2C_ICTL)	**0x4346** (16 bits)	D15–2	**–**	reserved	–	–	–	0 when being read.
		D1	**RINTE**	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	**TINTE**	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x4400–0x4413 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Input Data Register (P0_DAT)	**0x4400** (8 bits)	D7–0	**P0D[7:0]**	P0[7:0] port input data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P1 Port Input /Output Data Register (P1_DAT)	**0x4402** (8 bits)	D7	**–**	reserved	–				–	–	0 when being read.
		D6–0	**P1D[6:0]**	P1[6:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P1 I/O Control Register (P1_IOC)	**0x4403** (8 bits)	D7	**–**	reserved	–				–	–	0 when being read.
		D6–0	**IOC1[6:0]**	P1[6:0] I/O control	1	Output	0	Input	0	R/W	
P2 Port Input /Output Data Register (P2_DAT)	**0x4404** (8 bits)	D7–0	**P2D[7:0]**	P2[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P2 I/O Control Register (P2_IOC)	**0x4405** (8 bits)	D7–0	**IOC2[7:0]**	P2[7:0] I/O control	1	Output	0	Input	0	R/W	
P3 Port Input /Output Data Register (P3_DAT)	**0x4406** (8 bits)	D7–0	**P3D[7:0]**	P3[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P3 I/O Control Register (P3_IOC)	**0x4407** (8 bits)	D7–0	**IOC3[7:0]**	P3[7:0] I/O control	1	Output	0	Input	0	R/W	
P4 Port Input /Output Data Register (P4_DAT)	**0x4408** (8 bits)	D7–6	**–**	reserved	–				–	–	0 when being read.
		D5–0	**P4D[5:0]**	P4[5:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P4 I/O Control Register (P4_IOC)	**0x4409** (8 bits)	D7–6	**–**	reserved	–				–	–	0 when being read.
		D5–0	**IOC4[5:0]**	P4[5:0] I/O control	1	Output	0	Input	0	R/W	
P5 Port Input /Output Data Register (P5_DAT)	**0x440a** (8 bits)	D7–0	**P5D[7:0]**	P5[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P5 I/O Control Register (P5_IOC)	**0x440b** (8 bits)	D7–0	**IOC5[7:0]**	P5[7:0] I/O control	1	Output	0	Input	0	R/W	
P6 Port Input /Output Data Register (P6_DAT)	**0x440c** (8 bits)	D7–0	**P6D[7:0]**	P6[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P6 I/O Control Register (P6_IOC)	**0x440d** (8 bits)	D7–0	**IOC6[7:0]**	P6[7:0] I/O control	1	Output	0	Input	0	R/W	
P7 Port Input /Output Data Register (P7_DAT)	**0x440e** (8 bits)	D7–0	**P7D[7:0]**	P7[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P7 I/O Control Register (P7_IOC)	**0x440f** (8 bits)	D7–0	**IOC7[7:0]**	P7[7:0] I/O control	1	Output	0	Input	0	R/W	
P8 Port Input /Output Data Register (P8_DAT)	**0x4410** (8 bits)	D7	**–**	reserved	–				–	–	0 when being read.
		D6–0	**P8D[6:0]**	P8[6:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P8 I/O Control Register (P8_IOC)	**0x4411** (8 bits)	D7	**–**	reserved	–				–	–	0 when being read.
		D6–0	**IOC8[6:0]**	P8[6:0] I/O control	1	Output	0	Input	0	R/W	
P9 Port Input /Output Data Register (P9_DAT)	**0x4412** (8 bits)	D7–0	**P9D[7:0]**	P9[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P9 I/O Control Register (P9_IOC)	**0x4413** (8 bits)	D7–0	**IOC9[7:0]**	P9[7:0] I/O control	1	Output	0	Input	0	R/W	

0x4414–0x4422 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PA Port Input /Output Data Register (PA_DAT)	0x4414 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–0	PAD[6:0]	PA[6:0] port input/output data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
PA I/O Control Register (PA_IOC)	0x4415 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–0	IOCA[6:0]	PA[6:0] I/O control	1 Output 0 Input	0	R/W	
PB Port Input /Output Data Register (PB_DAT)	0x4416 (8 bits)	D7–0	PBD[7:0]	PB[7:0] port input/output data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
PB I/O Control Register (PB_IOC)	0x4417 (8 bits)	D7–0	IOCB[7:0]	PB[7:0] I/O control	1 Output 0 Input	0	R/W	
PC Port Input /Output Data Register (PC_DAT)	0x4418 (8 bits)	D7–0	PCD[7:0]	PC[7:0] port input/output data	1 1 (High) 0 0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
PC I/O Control Register (PC_IOC)	0x4419 (8 bits)	D7–0	IOCC[7:0]	PC[7:0] I/O control	1 Output 0 Input	0	R/W	
P00–P03 Port Function Select Register (P0_03_CFP)	0x4420 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0] Function 0x3–0x2 reserved 0x1 AIN3 0x0 P03	0x0	R/W	
		D5–4	CFP02[1:0]	P02 port function select	CFP02[1:0] Function 0x3–0x2 reserved 0x1 AIN2 0x0 P02	0x0	R/W	
		D3–2	CFP01[1:0]	P01 port function select	CFP01[1:0] Function 0x3–0x2 reserved 0x1 AIN1 0x0 P01	0x0	R/W	
		D1–0	CFP00[1:0]	P00 port function select	CFP00[1:0] Function 0x3–0x2 reserved 0x1 AIN0 0x0 P00	0x0	R/W	
P04–P07 Port Function Select Register (P0_47_CFP)	0x4421 (8 bits)	D7–6	CFP07[1:0]	P07 port function select	CFP07[1:0] Function 0x3–0x2 reserved 0x1 AIN7 0x0 P07	0x0	R/W	
		D5–4	CFP06[1:0]	P06 port function select	CFP06[1:0] Function 0x3–0x2 reserved 0x1 AIN6 0x0 P06	0x0	R/W	
		D3–2	CFP05[1:0]	P05 port function select	CFP05[1:0] Function 0x3–0x2 reserved 0x1 AIN5 0x0 P05	0x0	R/W	
		D1–0	CFP04[1:0]	P04 port function select	CFP04[1:0] Function 0x3–0x2 reserved 0x1 AIN4 0x0 P04	0x0	R/W	
P10–P13 Port Function Select Register (P1_03_CFP)	0x4422 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0] Function 0x3 SPI_SDI0 0x2 #SPI_SSI1 0x1 #SPI_SSI0 0x0 P13	0x0	R/W	
		D5–4	CFP12[1:0]	P12 port function select	CFP12[1:0] Function 0x3–0x2 reserved 0x1 SPI_SCK0 0x0 P12	0x0	R/W	
		D3–2	CFP11[1:0]	P11 port function select	CFP11[1:0] Function 0x3–0x2 reserved 0x1 SPI_SDO0 0x0 P11	0x0	R/W	
		D1–0	CFP10[1:0]	P10 port function select	CFP10[1:0] Function 0x3–0x2 reserved 0x1 SPI_SDI0 0x0 P10	0x0	R/W	

0x4423–0x4426 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P14–P16 Port Function Select Register (P1_46_CFP)	**0x4423** (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	**CFP16[1:0]**	P16 port function select	CFP16[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SCK1			
					0x0	P16			
		D3–2	**CFP15[1:0]**	P15 port function select	CFP15[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDO1			
					0x0	P15			
		D1–0	**CFP14[1:0]**	P14 port function select	CFP14[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDI1			
					0x0	P14			
P20–P23 Port Function Select Register (P2_03_CFP)	**0x4424** (8 bits)	D7–6	**CFP23[1:0]**	P23 port function select	CFP23[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_MCLK0			
					0x0	P23			
		D5–4	**CFP22[1:0]**	P22 port function select	CFP22[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SCK0			
					0x0	P22			
		D3–2	**CFP21[1:0]**	P21 port function select	CFP21[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_WS0			
					0x0	P21			
		D1–0	**CFP20[1:0]**	P20 port function select	CFP20[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SDO0			
					0x0	P20			
P24–P27 Port Function Select Register (P2_47_CFP)	**0x4425** (8 bits)	D7–6	**CFP27[1:0]**	P27 port function select	CFP27[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_MCLK1			
					0x0	P27			
		D5–4	**CFP26[1:0]**	P26 port function select	CFP26[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SCK1			
					0x0	P26			
		D3–2	**CFP25[1:0]**	P25 port function select	CFP25[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_WS1			
					0x0	P25			
		D1–0	**CFP24[1:0]**	P24 port function select	CFP24[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2S_SDI1			
					0x0	P24			
P30–P33 Port Function Select Register (P3_03_CFP)	**0x4426** (8 bits)	D7–6	**CFP33[1:0]**	P33 port function select	CFP33[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	#SMRD			
					0x0	P33			
		D5–4	**CFP32[1:0]**	P32 port function select	CFP32[1:0]	Function	0x0	R/W	
					0x3	CMU_CLK			
					0x2	#WDT_NMI			
					0x1	WDT_CLK			
					0x0	P32			
		D3–2	**CFP31[1:0]**	P31 port function select	CFP31[1:0]	Function	0x0	R/W	
					0x3	#ADTRG			
					0x2	#TM0			
					0x1	reserved			
					0x0	P31			
		D1–0	**CFP30[1:0]**	P30 port function select	CFP30[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	TM0			
					0x0	P30			

0x4427–0x442a GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P34–P37 Port Function Select Register (P3_47_CFP)	**0x4427** (8 bits)	D7–6	**CFP37[1:0]**	P37 port function select	CFP37[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P37			
					0x0	DST2			
		D5–4	**CFP36[1:0]**	P36 port function select	CFP36[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P36			
					0x0	DSIO			
		D3–2	**CFP35[1:0]**	P35 port function select	CFP35[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	P35			
					0x0	DCLK			
		D1–0	**CFP34[1:0]**	P34 port function select	CFP34[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#SMWR			
					0x0	P34			
P40–P43 Port Function Select Register (P4_03_CFP)	**0x4428** (8 bits)	D7–6	**CFP43[1:0]**	P43 port function select	CFP43[1:0]	Function	0x0	R/W	
					0x3	PWMPRT0			
					0x2	REMC_IN			
					0x1	reserved			
					0x0	P43			
		D5–4	**CFP42[1:0]**	P42 port function select	CFP42[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	#SCLK0			
					0x0	P42			
		D3–2	**CFP41[1:0]**	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SMWR			
					0x1	SOUT0			
					0x0	P41			
		D1–0	**CFP40[1:0]**	P40 port function select	CFP40[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SMRD			
					0x1	SIN0			
					0x0	P40			
P44–P45 Port Function Select Register (P4_45_CFP)	**0x4429** (8 bits)	D7–4	**–**	reserved	–		–	–	0 when being read.
		D3–2	**CFP45[1:0]**	P45 port function select	CFP45[1:0]	Function	0x0	R/W	
					0x3	#WAIT			
					0x2–0x1	reserved			
					0x0	P45			
		D1–0	**CFP44[1:0]**	P44 port function select	CFP44[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	REMC_OUT			
					0x1	reserved			
					0x0	P44			
P50–P53 Port Function Select Register (P5_03_CFP)	**0x442a** (8 bits)	D7–6	**CFP53[1:0]**	P53 port function select	CFP53[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	REMC_OUT			
					0x0	P53			
		D5–4	**CFP52[1:0]**	P52 port function select	CFP52[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	REMC_IN			
					0x0	P52			
		D3–2	**CFP51[1:0]**	P51 port function select	CFP51[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	I2C_SCL			
					0x0	P51			
		D1–0	**CFP50[1:0]**	P50 port function select	CFP50[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	I2C_SDA			
					0x0	P50			

0x442b–0x442e GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P54–P57 Port Function Select Register (P5_47_CFP)	**0x442b** (8 bits)	D7–6	**CFP57[1:0]**	P57 port function select	CFP57[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDRDY			
					0x0	P57			
		D5–4	**CFP56[1:0]**	P56 port function select	CFP56[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#TM0			
					0x1	FPSHIFT			
					0x0	P56			
		D3–2	**CFP55[1:0]**	P55 port function select	CFP55[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPLINE			
					0x0	P55			
		D1–0	**CFP54[1:0]**	P54 port function select	CFP54[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	FPFRAME			
					0x0	P54			
P60–P63 Port Function Select Register (P6_03_CFP)	**0x442c** (8 bits)	D7–6	**CFP63[1:0]**	P63 port function select	CFP63[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A3			
					0x0	P63			
		D5–4	**CFP62[1:0]**	P62 port function select	CFP62[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A2			
					0x0	P62			
		D3–2	**CFP61[1:0]**	P61 port function select	CFP61[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A1			
					0x0	P61			
		D1–0	**CFP60[1:0]**	P60 port function select	CFP60[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A0/#BSL			
					0x0	P60			
P64–P67 Port Function Select Register (P6_47_CFP)	**0x442d** (8 bits)	D7–6	**CFP67[1:0]**	P67 port function select	CFP67[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A7			
					0x0	P67			
		D5–4	**CFP66[1:0]**	P66 port function select	CFP66[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A6			
					0x0	P66			
		D3–2	**CFP65[1:0]**	P65 port function select	CFP65[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A5			
					0x0	P65			
		D1–0	**CFP64[1:0]**	P64 port function select	CFP64[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A4			
					0x0	P64			
P70–P73 Port Function Select Register (P7_03_CFP)	**0x442e** (8 bits)	D7–6	**CFP73[1:0]**	P73 port function select	CFP73[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A11			
					0x0	P73			
		D5–4	**CFP72[1:0]**	P72 port function select	CFP72[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A10			
					0x0	P72			
		D3–2	**CFP71[1:0]**	P71 port function select	CFP71[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A9			
					0x0	P71			
		D1–0	**CFP70[1:0]**	P70 port function select	CFP70[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A8			
					0x0	P70			

0x442f–0x4432 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P74–P77 Port Function Select Register (P7_47_CFP)	**0x442f** (8 bits)	D7–6	**CFP77[1:0]**	P77 port function select	CFP77[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A15			
					0x0	P77			
		D5–4	**CFP76[1:0]**	P76 port function select	CFP76[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A14			
					0x0	P76			
		D3–2	**CFP75[1:0]**	P75 port function select	CFP75[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A13			
					0x0	P75			
		D1–0	**CFP74[1:0]**	P74 port function select	CFP74[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A12			
					0x0	P74			
P80–P83 Port Function Select Register (P8_03_CFP)	**0x4430** (8 bits)	D7–6	**CFP83[1:0]**	P83 port function select	CFP83[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A19			
					0x0	P83			
		D5–4	**CFP82[1:0]**	P82 port function select	CFP82[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A18			
					0x0	P82			
		D3–2	**CFP81[1:0]**	P81 port function select	CFP81[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A17			
					0x0	P81			
		D1–0	**CFP80[1:0]**	P80 port function select	CFP80[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A16			
					0x0	P80			
P84–P86 Port Function Select Register (P8_46_CFP)	**0x4431** (8 bits)	D7–6	**–**	reserved	–		–	–	0 when being read.
		D5–4	**CFP86[1:0]**	P86 port function select	CFP86[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	CMU_CLK			
					0x1	A22			
					0x0	P86			
		D3–2	**CFP85[1:0]**	P85 port function select	CFP85[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A21			
					0x0	P85			
		D1–0	**CFP84[1:0]**	P84 port function select	CFP84[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	A20			
					0x0	P84			
P90–P93 Port Function Select Register (P9_03_CFP)	**0x4432** (8 bits)	D7–6	**CFP93[1:0]**	P93 port function select	CFP93[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D3			
					0x0	P93			
		D5–4	**CFP92[1:0]**	P92 port function select	CFP92[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D2			
					0x0	P92			
		D3–2	**CFP91[1:0]**	P91 port function select	CFP91[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D1			
					0x0	P91			
		D1–0	**CFP90[1:0]**	P90 port function select	CFP90[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D0			
					0x0	P90			

0x4433–0x4436 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P94–P97 Port Function Select Register (P9_47_CFP)	**0x4433** (8 bits)	D7–6	**CFP97[1:0]**	P97 port function select	CFP97[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D7			
					0x0	P97			
		D5–4	**CFP96[1:0]**	P96 port function select	CFP96[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D6			
					0x0	P96			
		D3–2	**CFP95[1:0]**	P95 port function select	CFP95[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D5			
					0x0	P95			
		D1–0	**CFP94[1:0]**	P94 port function select	CFP94[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D4			
					0x0	P94			
PA0–PA3 Port Function Select Register (PA_03_CFP)	**0x4434** (8 bits)	D7–6	**CFPA3[1:0]**	PA3 port function select	CFPA3[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE3			
					0x0	PA3			
		D5–4	**CFPA2[1:0]**	PA2 port function select	CFPA2[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE2			
					0x0	PA2			
		D3–2	**CFPA1[1:0]**	PA1 port function select	CFPA1[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE1			
					0x0	PA1			
		D1–0	**CFPA0[1:0]**	PA0 port function select	CFPA0[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#CE0			
					0x0	PA0			
PA4–PA6 Port Function Select Register (PA_46_CFP)	**0x4435** (8 bits)	D7–6	**–**	reserved	–		–	–	0 when being read.
		D5–4	**CFPA6[1:0]**	PA6 port function select	CFPA6[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#WRH/#BSH			
					0x0	PA6			
		D3–2	**CFPA5[1:0]**	PA5 port function select	CFPA5[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#WRL			
					0x0	PA5			
		D1–0	**CFPA4[1:0]**	PA4 port function select	CFPA4[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	#RD			
					0x0	PA4			
PB0–PB3 Port Function Select Register (PB_03_CFP)	**0x4436** (8 bits)	D7–6	**CFPB3[1:0]**	PB3 port function select	CFPB3[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D11			
					0x0	PB3			
		D5–4	**CFPB2[1:0]**	PB2 port function select	CFPB2[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D10			
					0x0	PB2			
		D3–2	**CFPB1[1:0]**	PB1 port function select	CFPB1[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D9			
					0x0	PB1			
		D1–0	**CFPB0[1:0]**	PB0 port function select	CFPB0[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D8			
					0x0	PB0			

0x4437–0x4440 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PB4–PB7 Port Function Select Register (PB_47_CFP)	**0x4437** (8 bits)	D7–6	**CFPB7[1:0]**	PB7 port function select	CFPB7[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D15			
					0x0	PB7			
		D5–4	**CFPB6[1:0]**	PB6 port function select	CFPB6[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D14			
					0x0	PB6			
		D3–2	**CFPB5[1:0]**	PB5 port function select	CFPB5[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D13			
					0x0	PB5			
		D1–0	**CFPB4[1:0]**	PB4 port function select	CFPB4[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	D12			
					0x0	PB4			
PC0–PC3 Port Function Select Register (PC_03_CFP)	**0x4438** (8 bits)	D7–6	**CFPC3[1:0]**	PC3 port function select	CFPC3[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	PWMPRT0			
					0x1	FPDAT3			
					0x0	PC3			
		D5–4	**CFPC2[1:0]**	PC2 port function select	CFPC2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#ADTRG			
					0x1	FPDAT2			
					0x0	PC2			
		D3–2	**CFPC1[1:0]**	PC1 port function select	CFPC1[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#WDT_NMI			
					0x1	FPDAT1			
					0x0	PC1			
		D1–0	**CFPC0[1:0]**	PC0 port function select	CFPC0[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	CMU_CLK			
					0x1	FPDAT0			
					0x0	PC0			
PC4–PC7 Port Function Select Register (PC_47_CFP)	**0x4439** (8 bits)	D7–6	**CFPC7[1:0]**	PC7 port function select	CFPC7[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDAT7			
					0x0	PC7			
		D5–4	**CFPC6[1:0]**	PC6 port function select	CFPC6[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDAT6			
					0x0	PC6			
		D3–2	**CFPC5[1:0]**	PC5 port function select	CFPC5[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDAT5			
					0x0	PC5			
		D1–0	**CFPC4[1:0]**	PC4 port function select	CFPC4[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	FPDAT4			
					0x0	PC4			
Port Input Interrupt 0 Select Register (PINTSEL0)	**0x4440** (8 bits)	D7–4	**PINT0[3:0]**	Interrupt port select	PINT0[3:0]	Function	0xf	R/W	
					0xc	PC0			
					0xb	PB0			
					0xa	PA0			
					0x9	P90			
					0x8	P80			
					0x7	P70			
					0x6	P60			
					0x5	P50			
					0x4	P40			
					0x3	P30			
					0x2	P20			
					0x1	P10			
					0x0	P00			
		D3–0	–	reserved	–		X	R	

0x4441–0x4445 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Input Interrupt 1 Select Register (PINTSEL1)	**0x4441** (8 bits)	D7–4	**PINT1[3:0]**	Interrupt port select	PINT1[3:0]	Function	0xf	R/W	
					0xc	PC1			
					0xb	PB1			
					0xa	PA1			
					0x9	P91			
					0x8	P81			
					0x7	P71			
					0x6	P61			
					0x5	P51			
					0x4	P41			
					0x3	P31			
					0x2	P21			
					0x1	P11			
					0x0	P01			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 2 Select Register (PINTSEL2)	**0x4442** (8 bits)	D7–4	**PINT2[3:0]**	Interrupt port select	PINT2[3:0]	Function	0xf	R/W	
					0xc	PC2			
					0xb	PB2			
					0xa	PA2			
					0x9	P92			
					0x8	P82			
					0x7	P72			
					0x6	P62			
					0x5	P52			
					0x4	P42			
					0x3	P32			
					0x2	P22			
					0x1	P12			
					0x0	P02			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 3 Select Register (PINTSEL3)	**0x4443** (8 bits)	D7–4	**PINT3[3:0]**	Interrupt port select	PINT3[3:0]	Function	0xf	R/W	
					0xc	PC3			
					0xb	PB3			
					0xa	PA3			
					0x9	P93			
					0x8	P83			
					0x7	P73			
					0x6	P63			
					0x5	P53			
					0x4	P43			
					0x3	P33			
					0x2	P23			
					0x1	P13			
					0x0	P03			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 4 Select Register (PINTSEL4)	**0x4444** (8 bits)	D7–4	**PINT4[3:0]**	Interrupt port select	PINT4[3:0]	Function	0xf	R/W	
					0xc	PC4			
					0xb	PB4			
					0xa	PA4			
					0x9	P94			
					0x8	P84			
					0x7	P74			
					0x6	P64			
					0x5	P54			
					0x4	P44			
					0x3	P34			
					0x2	P24			
					0x1	P14			
					0x0	P04			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 5 Select Register (PINTSEL5)	**0x4445** (8 bits)	D7–4	**PINT5[3:0]**	Interrupt port select	PINT5[3:0]	Function	0xf	R/W	
					0xc	PC5			
					0xb	PB5			
					0xa	PA5			
					0x9	P95			
					0x8	P85			
					0x7	P75			
					0x6	P65			
					0x5	P55			
					0x4	P45			
					0x3	P35			
					0x2	P25			
					0x1	P15			
					0x0	P05			
		D3–0	–	reserved	–		X	R	

0x4446–0x4447 GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Input Interrupt 6 Select Register (PINTSEL6)	**0x4446** (8 bits)	D7–4	**PINT6[3:0]**	Interrupt port select	PINT6[3:0]	Function	0xf	R/W	
					0xc	PC6			
					0xb	PB6			
					0xa	PA6			
					0x9	P96			
					0x8	P86			
					0x7	P76			
					0x6	P66			
					0x5	P56			
					0x4	–			
					0x3	P36			
					0x2	P26			
					0x1	P16			
					0x0	P06			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 7 Select Register (PINTSEL7)	**0x4447** (8 bits)	D7–4	**PINT7[3:0]**	Interrupt port select	PINT7[3:0]	Function	0xf	R/W	
					0xc	PC7			
					0xb	PB7			
					0xa	–			
					0x9	P97			
					0x8	–			
					0x7	P77			
					0x6	P67			
					0x5	P57			
					0x4	–			
					0x3	P37			
					0x2	P27			
					0x1	–			
					0x0	P07			
		D3–0	–	reserved	–		X	R	

0x4500–0x450b USB Function Controller

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntStat	**0x4500**	D7	**SIE_IntStat**	1	SIE interrupts	0	None	0	R	
(Main interrupt	(8 bits)	D6	**EPrIntStat**	1	EPr interrupts	0	None	0	R	
status)		D5	**–**	–				–	–	0 when being read.
		D4	**FIFO_IntStat**	1	FIFO interrupts	0	None	0	R	
		D3–2	**–**	–				–	–	0 when being read.
		D1	**EP0IntStat**	1	EP0 interrupts	0	None	0	R	
		D0	**RcvEP0SETUP**	1	Receive EP0 SETUP	0	None	0	R(W)	
SIE_IntStat	**0x4501**	D7	**VBUS_Changed**	1	VBUS is changed	0	None	0	R(W)	
(SIE interrupt	(8 bits)	D6	**NonJ**	1	Detect non J state	0	None	0	R(W)	
status)		D5	**DetectReset**	1	Detect USB reset	0	None	0	R(W)	
		D4	**DetectSuspend**	1	Detect USB suspend	0	None	0	R(W)	
		D3	**RcvSOF**	1	Receive SOF token	0	None	0	R(W)	
		D2	**DetectJ**	1	Detect J state	0	None	0	R(W)	
		D1	**–**	–				–	–	0 when being read.
		D0	**SetAddressCmp**	1	AutoSetAddress complete	0	None	0	R(W)	
EPrIntStat	**0x4502**	D7–4	**–**	–				–	–	0 when being read.
(EPr interrupt	(8 bits)	D3	**EPdIntStat**	1	EPd interrupt	0	None	0	R	
status)		D2	**EPcIntStat**	1	EPc interrupt	0	None	0	R	
		D1	**EPbIntStat**	1	EPb interrupt	0	None	0	R	
		D0	**EPaIntStat**	1	EPa interrupt	0	None	0	R	
FIFO_IntStat	**0x4504**	D7	**DescriptorCmp**	1	Descriptor complete	0	None	0	R(W)	
(FIFO interrupt	(8 bits)	D6–0	**–**	–				–	–	0 when being read.
status)										
EP0IntStat	**0x4507**	D7–6	**–**	–				–	–	0 when being read.
(EP0 interrupt	(8 bits)	D5	**IN_TranACK**	1	In transaction ACK	0	None	0	R(W)	
status)		D4	**OUT_TranACK**	1	Out transaction ACK	0	None	0	R(W)	
		D3	**IN_TranNAK**	1	In transaction NAK	0	None	0	R(W)	
		D2	**OUT_TranNAK**	1	Out transaction NAK	0	None	0	R(W)	
		D1	**IN_TranErr**	1	In transaction error	0	None	0	R(W)	
		D0	**OUT_TranErr**	1	Out transaction error	0	None	0	R(W)	
EPaIntStat	**0x4508**	D7	**–**	–				–	–	0 when being read.
(EPa interrupt	(8 bits)	D6	**OUT_ShortACK**	1	Out short packet ACK	0	None	0	R(W)	
status)		D5	**IN_TranACK**	1	In transaction ACK	0	None	0	R(W)	
		D4	**OUT_TranACK**	1	Out transaction ACK	0	None	0	R(W)	
		D3	**IN_TranNAK**	1	In transaction NAK	0	None	0	R(W)	
		D2	**OUT_TranNAK**	1	Out transaction NAK	0	None	0	R(W)	
		D1	**IN_TranErr**	1	In transaction error	0	None	0	R(W)	
		D0	**OUT_TranErr**	1	Out transaction error	0	None	0	R(W)	
EPbIntStat	**0x4509**	D7	**–**	–				–	–	0 when being read.
(EPb interrupt	(8 bits)	D6	**OUT_ShortACK**	1	Out short packet ACK	0	None	0	R(W)	
status)		D5	**IN_TranACK**	1	In transaction ACK	0	None	0	R(W)	
		D4	**OUT_TranACK**	1	Out transaction ACK	0	None	0	R(W)	
		D3	**IN_TranNAK**	1	In transaction NAK	0	None	0	R(W)	
		D2	**OUT_TranNAK**	1	Out transaction NAK	0	None	0	R(W)	
		D1	**IN_TranErr**	1	In transaction error	0	None	0	R(W)	
		D0	**OUT_TranErr**	1	Out transaction error	0	None	0	R(W)	
EPcIntStat	**0x450a**	D7	**–**	–				–	–	0 when being read.
(EPc interrupt	(8 bits)	D6	**OUT_ShortACK**	1	Out short packet ACK	0	None	0	R(W)	
status)		D5	**IN_TranACK**	1	In transaction ACK	0	None	0	R(W)	
		D4	**OUT_TranACK**	1	Out transaction ACK	0	None	0	R(W)	
		D3	**IN_TranNAK**	1	In transaction NAK	0	None	0	R(W)	
		D2	**OUT_TranNAK**	1	Out transaction NAK	0	None	0	R(W)	
		D1	**IN_TranErr**	1	In transaction error	0	None	0	R(W)	
		D0	**OUT_TranErr**	1	Out transaction error	0	None	0	R(W)	
EPdIntStat	**0x450b**	D7	**–**	–				–	–	0 when being read.
(EPd interrupt	(8 bits)	D6	**OUT_ShortACK**	1	Out short packet ACK	0	None	0	R(W)	
status)		D5	**IN_TranACK**	1	In transaction ACK	0	None	0	R(W)	
		D4	**OUT_TranACK**	1	Out transaction ACK	0	None	0	R(W)	
		D3	**IN_TranNAK**	1	In transaction NAK	0	None	0	R(W)	
		D2	**OUT_TranNAK**	1	Out transaction NAK	0	None	0	R(W)	
		D1	**IN_TranErr**	1	In transaction error	0	None	0	R(W)	
		D0	**OUT_TranErr**	1	Out transaction error	0	None	0	R(W)	

0x4510–0x451b USB Function Controller

Register name	Address	Bit	Name	Setting				Init.	R/W	Remarks
MainIntEnb (Main interrupt enable)	0x4510 (8 bits)	D7	EnSIE_IntStat	1	Enabled	0	Disabled	0	R/W	
		D6	EnEPrIntStat					0	R/W	
		D5	–	–				–	–	0 when being read.
		D4	EnFIFO_IntStat	1	Enabled	0	Disabled	0	R/W	
		D3–2	–	–				–	–	0 when being read.
		D1	EnEP0IntStat	1	Enabled	0	Disabled	0	R/W	
		D0	EnRcvEP0SETUP					0	R/W	
SIE_IntEnb (SIE interrupt enable)	0x4511 (8 bits)	D7	EnVBUS_Changed	1	Enabled	0	Disabled	0	R/W	
		D6	EnNonJ					0	R/W	
		D5	EnDetectReset					0	R/W	
		D4	EnDetectSuspend					0	R/W	
		D3	EnRcvSOF					0	R/W	
		D2	EnDetectJ					0	R/W	
		D1	–	–				–	–	0 when being read.
		D0	EnSetAddressCmp	1	Enabled	0	Disabled	0	R/W	
EPrIntEnb (EPr interrupt enable)	0x4512 (8 bits)	D7–4	–	–				–	–	0 when being read.
		D3	EnEPdIntStat	1	Enabled	0	Disabled	0	R/W	
		D2	EnEPcIntStat					0	R/W	
		D1	EnEPbIntStat					0	R/W	
		D0	EnEPaIntStat					0	R/W	
FIFO_IntEnb (FIFO interrupt enable)	0x4514 (8 bits)	D7	EnDescriptorCmp	1	Enabled	0	Disabled	0	R/W	
		D6–0	–	–				–	–	0 when being read.
EP0IntEnb (EP0 interrupt enable)	0x4517 (8 bits)	D7–6	–	–				–	–	0 when being read.
		D5	EnIN_TranACK	1	Enabled	0	Disabled	0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	
EPaIntEnb (EPa interrupt enable)	0x4518 (8 bits)	D7	–	–				–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	
EPbIntEnb (EPb interrupt enable)	0x4519 (8 bits)	D7	–	–				–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	
EPcIntEnb (EPc interrupt enable)	0x451a (8 bits)	D7	–	–				–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	
EPdIntEnb (EPd interrupt enable)	0x451b (8 bits)	D7	–	–				–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W	
		D5	EnIN_TranACK					0	R/W	
		D4	EnOUT_TranACK					0	R/W	
		D3	EnIN_TranNAK					0	R/W	
		D2	EnOUT_TranNAK					0	R/W	
		D1	EnIN_TranErr					0	R/W	
		D0	EnOUT_TranErr					0	R/W	

0x4520–0x4537 USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
RevisionNum (Revision number)	**0x4520** (8 bits)	D7	**RevisionNum[7]**	Revision number (0x12)	0	R	
		D6	**RevisionNum[6]**		0		
		D5	**RevisionNum[5]**		0		
		D4	**RevisionNum[4]**		1		
		D3	**RevisionNum[3]**		0		
		D2	**RevisionNum[2]**		0		
		D1	**RevisionNum[1]**		1		
		D0	**RevisionNum[0]**		0		
USB_Control (USB control register)	**0x4521** (8 bits)	D7	**DisBusDetect**	1 Disable bus detect / 0 Enable bus detect	0	R/W	
		D6	**EnAutoNego**	1 Enable auto negotiation / 0 Disable auto negotiation	0	R/W	
		D5	**InSUSPEND**	1 Monitor NonJ / 0 Do nothing	0	R/W	
		D4	**StartDetectJ**	1 Start J-state detection / 0 Do nothing	0	R/W	
		D3	**SendWakeup**	1 Send remote wakeup signal / 0 Do nothing	0	R/W	
		D2–1	**–**	–	–	–	0 when being read.
		D0	**ActiveUSB**	1 Activate USB / 0 Disactivate USB	0	R/W	
USB_Status (USB status register)	**0x4522** (8 bits)	D7	**VBUS**	1 VBUS=High / 0 VBUS=Low	X	R	
		D6	**FS**	1 FS mode (fixed) / 0 –	1	R	
		D5–2	**–**	–	–	–	0 when being read.
		D1	**LineState[1]**	LineState[1:0] = 11: SE1; 10: K; 01: J; 00: SE0	X	R	
		D0	**LineState[0]**		X		
XcvrControl (Xcvr control register)	**0x4523** (8 bits)	D7	**RpuEnb**	1 Enable pull-up / 0 Disable pull-up	1	R/W	
		D6–2	**–**	–	–	–	0 when being read.
		D1	**OpMode[1]**	OpMode[1:0] = 11: reserved; 10: Disable bit stuffing and NRZI encoding; 01: Non-driving; 00: Normal operation	0	R/W	
		D0	**OpMode[0]**		1		
USB_Test (USB test)	**0x4524** (8 bits)	D7	**EnUSB_Test**	1 Enable USB test / 0 Do nothing	0	R/W	
		D6–4	**–**	–	–	–	0 when being read.
		D3	**Test_SE0_NAK**	1 Test_SE0_NAK / 0 Do nothing	0	R/W	
		D2	**Test_J**	1 Test_J / 0 Do nothing	0	R/W	
		D1	**Test_K**	1 Test_K / 0 Do nothing	0	R/W	
		D0	**Test_Packet**	1 Test_Packet / 0 Do nothing	0	R/W	
EPnControl (Endpoint control)	**0x4525** (8 bits)	D7	**AllForceNAK**	1 Set all ForceNAK / 0 Do nothing	0	W	0 when being read.
		D6	**EPrForceSTALL**	1 Set EP's ForceSTALL / 0 Do nothing	0	W	
		D5	**AllFIFO_Clr**	1 Clear all FIFO / 0 Do nothing	0	W	
		D4–1	**–**	–	–	–	
		D0	**EP0FIFO_Clr**	1 Clear EP0 FIFO / 0 Do nothing	0	W	
EPrFIFO_Clr (EPr FIFO clear)	**0x4526** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**EPdFIFO_Clr**	1 Clear EPd FIFO / 0 Do nothing	0	W	
		D2	**EPcFIFO_Clr**	1 Clear EPc FIFO / 0 Do nothing	0	W	
		D1	**EPbFIFO_Clr**	1 Clear EPb FIFO / 0 Do nothing	0	W	
		D0	**EPaFIFO_Clr**	1 Clear EPa FIFO / 0 Do nothing	0	W	
FrameNumber_H (Frame number high)	**0x452e** (8 bits)	D7	**FnInvalid**	1 Invalid frame number / 0 Valid frame number	1	R	
		D6–3	**–**	–	–	–	0 when being read.
		D2	**FrameNumber[10]**	Frame number high	0	R	
		D1	**FrameNumber[9]**		0		
		D0	**FrameNumber[8]**		0		
FrameNumber_L (Frame number low)	**0x452f** (8 bits)	D7	**FrameNumber[7]**	Frame number low	0	R	
		D6	**FrameNumber[6]**		0		
		D5	**FrameNumber[5]**		0		
		D4	**FrameNumber[4]**		0		
		D3	**FrameNumber[3]**		0		
		D2	**FrameNumber[2]**		0		
		D1	**FrameNumber[1]**		0		
		D0	**FrameNumber[0]**		0		
EP0Setup_0 (EP0 set-up 0) | EP0Setup_7 (EP0 set-up 7)	**0x4530 | 0x4537** (8 bits)	D7	**EP0Setup_n[7]**	Endpoint 0 set-up data 0 | Endpoint 0 set-up data 7	0	R	
		D6	**EP0Setup_n[6]**		0		
		D5	**EP0Setup_n[5]**		0		
		D4	**EP0Setup_n[4]**		0		
		D3	**EP0Setup_n[3]**		0		
		D2	**EP0Setup_n[2]**		0		
		D1	**EP0Setup_n[1]**		0		
		D0	**EP0Setup_n[0]**		0		

0x4538–0x4543 USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
USB_Address (USB address)	0x4538 (8 bits)	D7	AutoSetAddress	1 Auto set address 0 Do nothing	0	R/W	
		D6	USB_Address[6]	USB address	0	R/W	
		D5	USB_Address[5]		0		
		D4	USB_Address[4]		0		
		D3	USB_Address[3]		0		
		D2	USB_Address[2]		0		
		D1	USB_Address[1]		0		
		D0	USB_Address[0]		0		
EP0Control (EP0 control)	0x4539 (8 bits)	D7	INxOUT	1 IN 0 OUT	0	R/W	
		D6–1	–	–	–	–	0 when being read.
		D0	ReplyDescriptor	1 Reply descriptor 0 Do nothing	0	W	
EP0ControlIN (EP0 control IN)	0x453a (8 bits)	D7	–	–	–	–	0 when being read.
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	–	–	–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	R/W	
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	R/W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	
EP0ControlOUT (EP0 control OUT)	0x453b (8 bits)	D7	AutoForceNAK	1 Auto force NAK 0 Do nothing	0	R/W	
		D6–5	–	–	–	–	0 when being read.
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	
EP0MaxSize (EP0 max packet size)	0x453f (8 bits)	D7	–	–	–	–	0 when being read.
		D6	EP0MaxSize[6]	Endpoint EP0 max packet size	0	R/W	
		D5	EP0MaxSize[5]		0		
		D4	EP0MaxSize[4]		0		
		D3	EP0MaxSize[3]		1		
		D2–0	–	–	–	–	0 when being read.
EPaControl (EPa control)	0x4540 (8 bits)	D7	AutoForceNAK	1 Auto force NAK 0 Do nothing	0	R/W	
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1 Disable auto force 0 Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	
EPbControl (EPb control)	0x4541 (8 bits)	D7	AutoForceNAK	1 Auto force NAK 0 Do nothing	0	R/W	
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1 Disable auto force 0 Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	
EPcControl (EPc control)	0x4542 (8 bits)	D7	AutoForceNAK	1 Auto force NAK 0 Do nothing	0	R/W	
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1 Disable auto force 0 Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	
EPdControl (EPd control)	0x4543 (8 bits)	D7	AutoForceNAK	1 Auto force NAK 0 Do nothing	0	R/W	
		D6	EnShortPkt	1 Enable short packet 0 Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1 Disable auto force 0 Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit	0	R	
		D3	ToggleSet	1 Set toggle sequence bit 0 Do nothing	0	W	0 when being read.
		D2	ToggleClr	1 Clear toggle sequence bit 0 Do nothing	0	W	
		D1	ForceNAK	1 Force NAK 0 Do nothing	0	R/W	
		D0	ForceSTALL	1 Force STALL 0 Do nothing	0	R/W	

0x4550–0x455a USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPaMaxSize_H (EPa max packet size high)	0x4550 (8 bits)	D7–2	–	–	–	–	0 when being read.
		D1	EPaMaxSize[9]	Endpoint EPa max packet size	0	R/W	
		D0	EPaMaxSize[8]		0		
EPaMaxSize_L (EPa max packet size low)	0x4551 (8 bits)	D7	EPaMaxSize[7]	Endpoint EPa max packet size	0	R/W	
		D6	EPaMaxSize[6]		0		
		D5	EPaMaxSize[5]		0		
		D4	EPaMaxSize[4]		0		
		D3	EPaMaxSize[3]		0		
		D2	EPaMaxSize[2]		0		
		D1	EPaMaxSize[1]		0		
		D0	EPaMaxSize[0]		0		
EPaConfig_0 (EPa configuration 0)	0x4552 (8 bits)	D7	INxOUT	1 In / 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle / 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint / 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		
EPaConfig_1 (EPa configuration 1)	0x4553 (8 bits)	D7	ISO	1 ISO / 0 Non-ISO	0	R/W	
		D6–0	–	–	–	–	0 when being read.
EPbMaxSize_H (EPb max packet size high)	0x4554 (8 bits)	D7–2	–	–	–	–	0 when being read.
		D1	EPbMaxSize[9]	Endpoint EPb max packet size	0	R/W	
		D0	EPbMaxSize[8]		0		
EPbMaxSize_L (EPb max packet size low)	0x4555 (8 bits)	D7	EPbMaxSize[7]	Endpoint EPb max packet size	0	R/W	
		D6	EPbMaxSize[6]		0		
		D5	EPbMaxSize[5]		0		
		D4	EPbMaxSize[4]		0		
		D3	EPbMaxSize[3]		0		
		D2	EPbMaxSize[2]		0		
		D1	EPbMaxSize[1]		0		
		D0	EPbMaxSize[0]		0		
EPbConfig_0 (EPb configuration 0)	0x4556 (8 bits)	D7	INxOUT	1 In / 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle / 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint / 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		
EPbConfig_1 (EPb configuration 1)	0x4557 (8 bits)	D7	ISO	1 ISO / 0 Non-ISO	0	R/W	
		D6–0	–	–	–	–	0 when being read.
EPcMaxSize_H (EPc max packet size high)	0x4558 (8 bits)	D7–2	–	–	–	–	0 when being read.
		D1	EPcMaxSize[9]	Endpoint EPc max packet size	0	R/W	
		D0	EPcMaxSize[8]		0		
EPcMaxSize_L (EPc max packet size low)	0x4559 (8 bits)	D7	EPcMaxSize[7]	Endpoint EPc max packet size	0	R/W	
		D6	EPcMaxSize[6]		0		
		D5	EPcMaxSize[5]		0		
		D4	EPcMaxSize[4]		0		
		D3	EPcMaxSize[3]		0		
		D2	EPcMaxSize[2]		0		
		D1	EPcMaxSize[1]		0		
		D0	EPcMaxSize[0]		0		
EPcConfig_0 (EPc configuration 0)	0x455a (8 bits)	D7	INxOUT	1 In / 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle / 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint / 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xf)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		

0x455b–0x4575 USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPcConfig_1	**0x455b**	D7	**ISO**	1 ISO 0 Non-ISO	0	R/W	
(EPc	(8 bits)	D6–0	**–**	–	–	–	0 when being read.
configuration 1)							
EPdMaxSize_H	**0x455c**	D7–2	**–**	–	–	–	0 when being read.
(EPd max	(8 bits)	D1	**EPdMaxSize[9]**	Endpoint EPd max packet size	0	R/W	
packet size		D0	**EPdMaxSize[8]**		0		
high)							
EPdMaxSize_L	**0x455d**	D7	**EPdMaxSize[7]**	Endpoint EPd max packet size	0	R/W	
(EPd max	(8 bits)	D6	**EPdMaxSize[6]**		0		
packet size		D5	**EPdMaxSize[5]**		0		
low)		D4	**EPdMaxSize[4]**		0		
		D3	**EPdMaxSize[3]**		0		
		D2	**EPdMaxSize[2]**		0		
		D1	**EPdMaxSize[1]**		0		
		D0	**EPdMaxSize[0]**		0		
EPdConfig_0	**0x455e**	D7	**INxOUT**	1 In 0 Out	0	R/W	
(EPd	(8 bits)	D6	**ToggleMode**	1 Always toggle 0 Normal toggle	0	R/W	
configuration 0)		D5	**EnEndPoint**	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	**–**	–	–	–	0 when being read.
		D3	**EndPointNumber[3]**	Endpoint number	0	R/W	
		D2	**EndPointNumber[2]**	(0x1 to 0xf)	0		
		D1	**EndPointNumber[1]**		0		
		D0	**EndPointNumber[0]**		0		
EPdConfig_1	**0x455f**	D7	**ISO**	1 ISO 0 Non-ISO	0	R/W	
(EPd	(8 bits)	D6–0	**–**	–	–	–	0 when being read.
configuration 1)							
EPaStartAdrs_H	**0x4570**	D7–4	**–**	–	–	–	0 when being read.
(EPa FIFO start	(8 bits)	D3	**EPaStartAdrs[11]**	Endpoint EPa start address	0	R/W	
address high)		D2	**EPaStartAdrs[10]**		0		
		D1	**EPaStartAdrs[9]**		0		
		D0	**EPaStartAdrs[8]**		0		
EPaStartAdrs_L	**0x4571**	D7	**EPaStartAdrs[7]**	Endpoint EPa start address	0	R/W	
(EPa FIFO start	(8 bits)	D6	**EPaStartAdrs[6]**		0		
address low)		D5	**EPaStartAdrs[5]**		0		
		D4	**EPaStartAdrs[4]**		0		
		D3	**EPaStartAdrs[3]**		0		
		D2	**EPaStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.
EPbStartAdrs_H	**0x4572**	D7–4	**–**	–	–	–	0 when being read.
(EPb FIFO start	(8 bits)	D3	**EPbStartAdrs[11]**	Endpoint EPb start address	0	R/W	
address high)		D2	**EPbStartAdrs[10]**		0		
		D1	**EPbStartAdrs[9]**		0		
		D0	**EPbStartAdrs[8]**		0		
EPbStartAdrs_L	**0x4573**	D7	**EPbStartAdrs[7]**	Endpoint EPb start address	0	R/W	
(EPb FIFO start	(8 bits)	D6	**EPbStartAdrs[6]**		0		
address low)		D5	**EPbStartAdrs[5]**		0		
		D4	**EPbStartAdrs[4]**		0		
		D3	**EPbStartAdrs[3]**		0		
		D2	**EPbStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.
EPcStartAdrs_H	**0x4574**	D7–4	**–**	–	–	–	0 when being read.
(EPc FIFO start	(8 bits)	D3	**EPcStartAdrs[11]**	Endpoint EPc start address	0	R/W	
address high)		D2	**EPcStartAdrs[10]**		0		
		D1	**EPcStartAdrs[9]**		0		
		D0	**EPcStartAdrs[8]**		0		
EPcStartAdrs_L	**0x4575**	D7	**EPcStartAdrs[7]**	Endpoint EPc start address	0	R/W	
(EPc FIFO start	(8 bits)	D6	**EPcStartAdrs[6]**		0		
address low)		D5	**EPcStartAdrs[5]**		0		
		D4	**EPcStartAdrs[4]**		0		
		D3	**EPcStartAdrs[3]**		0		
		D2	**EPcStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.

0x4576–0x4587 USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
EPdStartAdrs_H (EPd FIFO start address high)	**0x4576** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**EPdStartAdrs[11]**	Endpoint EPd start address	0	R/W	
		D2	**EPdStartAdrs[10]**		0		
		D1	**EPdStartAdrs[9]**		0		
		D0	**EPdStartAdrs[8]**		0		
EPdStartAdrs_L (EPd FIFO start address low)	**0x4577** (8 bits)	D7	**EPdStartAdrs[7]**	Endpoint EPd start address	0	R/W	
		D6	**EPdStartAdrs[6]**		0		
		D5	**EPdStartAdrs[5]**		0		
		D4	**EPdStartAdrs[4]**		0		
		D3	**EPdStartAdrs[3]**		0		
		D2	**EPdStartAdrs[2]**		0		
		D1–0	**–**	–	–	–	0 when being read.
CPU_JoinRd (CPU join FIFO read)	**0x4580** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**JoinEPdRd**	1 Join EPd FIFO read 0 Do nothing	0	R/W	
		D2	**JoinEPcRd**	1 Join EPc FIFO read 0 Do nothing	0	R/W	
		D1	**JoinEPbRd**	1 Join EPb FIFO read 0 Do nothing	0	R/W	
		D0	**JoinEPaRd**	1 Join EPa FIFO read 0 Do nothing	0	R/W	
CPU_JoinWr (CPU join FIFO write)	**0x4581** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**JoinEPdWr**	1 Join EPd FIFO write 0 Do nothing	0	R/W	
		D2	**JoinEPcWr**	1 Join EPc FIFO write 0 Do nothing	0	R/W	
		D1	**JoinEPbWr**	1 Join EPb FIFO write 0 Do nothing	0	R/W	
		D0	**JoinEPaWr**	1 Join EPa FIFO write 0 Do nothing	0	R/W	
EnEPnFIFO _Access (Enable EPn FIFO access)	**0x4582** (8 bits)	D7–2	**–**	–	–	–	0 when being read.
		D1	**EnEPnFIFO_Wr**	1 Enable join EPn FIFO write 0 Do nothing	0	R/W	
		D0	**EnEPnFIFO_Rd**	1 Enable join EPn FIFO read 0 Do nothing	0	R/W	
EPnFIFOforCPU (EPn FIFO for CPU)	**0x4583** (8 bits)	D7	**EPnFIFOData[7]**	Endpoint EP0 FIFO access from CPU	X	R/W	
		D6	**EPnFIFOData[6]**		X		
		D5	**EPnFIFOData[5]**		X		
		D4	**EPnFIFOData[4]**		X		
		D3	**EPnFIFOData[3]**		X		
		D2	**EPnFIFOData[2]**		X		
		D1	**EPnFIFOData[1]**		X		
		D0	**EPnFIFOData[0]**		X		
EPnRdRemain_H (EPn FIFO read remain high)	**0x4584** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**EPnRdRemain[11]**	Endpoint n FIFO read remain high	0	R	
		D2	**EPnRdRemain[10]**		0		
		D1	**EPnRdRemain[9]**		0		
		D0	**EPnRdRemain[8]**		0		
EPnRdRemain_L (EPn FIFO read remain low)	**0x4585** (8 bits)	D7	**EPnRdRemain[7]**	Endpoint n FIFO read remain low	0	R	
		D6	**EPnRdRemain[6]**		0		
		D5	**EPnRdRemain[5]**		0		
		D4	**EPnRdRemain[4]**		0		
		D3	**EPnRdRemain[3]**		0		
		D2	**EPnRdRemain[2]**		0		
		D1	**EPnRdRemain[1]**		0		
		D0	**EPnRdRemain[0]**		0		
EPnWrRemain_H (EPn FIFO write remain high)	**0x4586** (8 bits)	D7–4	**–**	–	–	–	0 when being read.
		D3	**EPnWrRemain[11]**	Endpoint n FIFO write remain high	0	R	
		D2	**EPnWrRemain[10]**		0		
		D1	**EPnWrRemain[9]**		0		
		D0	**EPnWrRemain[8]**		0		
EPnWrRemain_L (EPn FIFO write remain low)	**0x4587** (8 bits)	D7	**EPnWrRemain[7]**	Endpoint n FIFO write remain low	0	R	
		D6	**EPnWrRemain[6]**		0		
		D5	**EPnWrRemain[5]**		0		
		D4	**EPnWrRemain[4]**		0		
		D3	**EPnWrRemain[3]**		0		
		D2	**EPnWrRemain[2]**		0		
		D1	**EPnWrRemain[1]**		0		
		D0	**EPnWrRemain[0]**		0		

0x4588–0x458f USB Function Controller

Register name	Address	Bit	Name	Setting	Init.	R/W	Remarks
DescAdrs_H	**0x4588**	D7–4	**–**	–	–	–	0 when being read.
(Descriptor	(8 bits)	D3	**DescAdrs[11]**	Descriptor address	0	R/W	
address high)		D2	**DescAdrs[10]**		0		
		D1	**DescAdrs[9]**		0		
		D0	**DescAdrs[8]**		0		
DescAdrs_L	**0x4589**	D7	**DescAdrs[7]**	Descriptor address	0	R/W	
(Descriptor	(8 bits)	D6	**DescAdrs[6]**		0		
address low)		D5	**DescAdrs[5]**		0		
		D4	**DescAdrs[4]**		0		
		D3	**DescAdrs[3]**		0		
		D2	**DescAdrs[2]**		0		
		D1	**DescAdrs[1]**		0		
		D0	**DescAdrs[0]**		0		
DescSize_H	**0x458a**	D7–2	**–**	–	–	–	0 when being read.
(Descriptor	(8 bits)	D1	**DescSize[9]**	Descriptor size	0	R/W	
size high)		D0	**DescSize[8]**		0		
DescSize_L	**0x458b**	D7	**DescSize[7]**	Descriptor size	0	R/W	
(Descriptor	(8 bits)	D6	**DescSize[6]**		0		
size low)		D5	**DescSize[5]**		0		
		D4	**DescSize[4]**		0		
		D3	**DescSize[3]**		0		
		D2	**DescSize[2]**		0		
		D1	**DescSize[1]**		0		
		D0	**DescSize[0]**		0		
DescDoor	**0x458f**	D7	**DescMode[7]**	Descriptor door	0	R/W	
(Descriptor	(8 bits)	D6	**DescMode[6]**		0		
door)		D5	**DescMode[5]**		0		
		D4	**DescMode[4]**		0		
		D3	**DescMode[3]**		0		
		D2	**DescMode[2]**		0		
		D1	**DescMode[1]**		0		
		D0	**DescMode[0]**		0		

0x4600–0x462a Real-time Clock

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x4600 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	RTCIRQ	Interrupt status	1 Occurred 0 Not occurred	X	R/W	Reset by writing 1.
RTC Interrupt Mode Register (RTC_INTMODE)	0x4601 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–2	RTCT[1:0]	RTC interrupt cycle setup	RTCT[1:0] Cycle 0x3 1 hour 0x2 1 minute 0x1 1 second 0x0 1/64 second	X	R/W	
		D1	RTCIMD	RTC interrupt mode select	1 Level sense 0 Edge trigger	X	R/W	
		D0	RTCIEN	RTC interrupt enable	1 Enable 0 Disable	X	R/W	
RTC Control 0 Register (RTC_CNTL0)	0x4602 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 –	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RTCRST	Software reset	1 Reset 0 –	X	R/W	
RTC Control 1 Register (RTC_CNTL1)	0x4603 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	RTCBSY	Counter busy flag	1 Busy 0 R/W possible	X	R	
		D0	RTCHLD	Counter hold control	1 Hold 0 Running	X	R/W	
RTC Wakeup Configuration Register (RTC_WAKEUP)	0x460f (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	WUP_CTL	WAKEUP control	1 Active 0 Inactive	X	R/W	
		D0	WUP_POL	WAKEUP polarity selection	1 Active low 0 Active high	X	R/W	
RTC Second Register (RTC_SEC)	0x4614 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X	R/W	
RTC Minute Register (RTC_MIN)	0x4615 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X	R/W	
RTC Hour Register (RTC_HOUR)	0x4616 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5–4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X	R/W	
		D3–0	RTCHL[3:0]	RTC 1-hour counter	0–9	X	R/W	
RTC Day Register (RTC_DAY)	0x4617 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X	R/W	
		D3–0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X	R/W	
RTC Month Register (RTC_MONTH)	0x4628 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X	R/W	
		D3–0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X	R/W	
RTC Year Register (RTC_YEAR)	0x4629 (8 bits)	D7–4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X	R/W	
		D3–0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X	R/W	
RTC Days of Week Register (RTC_WEEK)	0x462a (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0] Days of week 0x7 – 0x6 Saturday 0x5 Friday 0x4 Thursday 0x3 Wednesday 0x2 Tuesday 0x1 Monday 0x0 Sunday	X	R/W	

0x4800–0x4803 8-bit Programmable Timer CH.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.0 Input Clock Select Register (PT8_CLK0)	**0x4800** (8 bits)	D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**PT8_EN**	PT8 Clock Enable	1 Enable / 0 Disable	0	R/W	
		D3–0	**PT8_CLK [3:0]**	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PT8_CLK•1/4096 0xb / PT8_CLK•1/2048 0xa / PT8_CLK•1/1024 0x9 / PT8_CLK•1/512 0x8 / PT8_CLK•1/256 0x7 / PT8_CLK•1/128 0x6 / PT8_CLK•1/64 0x5 / PT8_CLK•1/32 0x4 / PT8_CLK•1/16 0x3 / PT8_CLK•1/8 0x2 / PT8_CLK•1/4 0x1 / PT8_CLK•1/2 0x0 / PT8_CLK•1/1	0x0	R/W	
PT8 CH.0 Reload Data Register (PT8_RLD0)	**0x4801** (8 bits)	D7–0	**PT8_RLD [7:0]**	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.0 Counter Data Register (PT8_PTD0)	**0x4802** (8 bits)	D7–0	**PT8_PTD [7:0]**	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.0 Control Register (PT8_CTL0)	**0x4803** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PT8_PSET**	Timer reset	1 Reset / 0 Ignored	0	W	
		D0	**PT8_RUN**	Timer run/stop control	1 Run / 0 Stop	0	R/W	

0x4804–0x4807 8-bit Programmable Timer CH.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.1 Input Clock Select Register (PT8_CLK1)	**0x4804** (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	**PT8_EN**	PT8 Clock Enable	1 Enable / 0 Disable	0	R/W	
		D3–0	**PT8_CLK [3:0]**	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PT8_CLK•1/4096 0xb / PT8_CLK•1/2048 0xa / PT8_CLK•1/1024 0x9 / PT8_CLK•1/512 0x8 / PT8_CLK•1/256 0x7 / PT8_CLK•1/128 0x6 / PT8_CLK•1/64 0x5 / PT8_CLK•1/32 0x4 / PT8_CLK•1/16 0x3 / PT8_CLK•1/8 0x2 / PT8_CLK•1/4 0x1 / PT8_CLK•1/2 0x0 / PT8_CLK•1/1	0x0	R/W	
PT8 CH.1 Reload Data Register (PT8_RLD1)	**0x4805** (8 bits)	D7–0	**PT8_RLD [7:0]**	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.1 Counter Data Register (PT8_PTD1)	**0x4806** (8 bits)	D7–0	**PT8_PTD [7:0]**	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.1 Control Register (PT8_CTL1)	**0x4807** (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	**PT8_PSET**	Timer reset	1 Reset / 0 Ignored	0	W	
		D0	**PT8_RUN**	Timer run/stop control	1 Run / 0 Stop	0	R/W	

0x4808–0x480b 8-bit Programmable Timer CH.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.2 Input Clock Select Register (PT8_CLK2)	**0x4808** (8 bits)	D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**PT8_EN**	PT8 Clock Enable	1 Enable / 0 Disable	0	R/W	
		D3–0	**PT8_CLK [3:0]**	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PT8_CLK•1/4096 0xb / PT8_CLK•1/2048 0xa / PT8_CLK•1/1024 0x9 / PT8_CLK•1/512 0x8 / PT8_CLK•1/256 0x7 / PT8_CLK•1/128 0x6 / PT8_CLK•1/64 0x5 / PT8_CLK•1/32 0x4 / PT8_CLK•1/16 0x3 / PT8_CLK•1/8 0x2 / PT8_CLK•1/4 0x1 / PT8_CLK•1/2 0x0 / PT8_CLK•1/1	0x0	R/W	
PT8 CH.2 Reload Data Register (PT8_RLD2)	**0x4809** (8 bits)	D7–0	**PT8_RLD [7:0]**	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.2 Counter Data Register (PT8_PTD2)	**0x480a** (8 bits)	D7–0	**PT8_PTD [7:0]**	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.2 Control Register (PT8_CTL2)	**0x480b** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PT8_PSET**	Timer reset	1 Reset / 0 Ignored	0	W	
		D0	**PT8_RUN**	Timer run/stop control	1 Run / 0 Stop	0	R/W	

0x480c–0x480f 8-bit Programmable Timer CH.3

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.3 Input Clock Select Register (PT8_CLK3)	**0x480c** (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	**PT8_EN**	PT8 Clock Enable	1 Enable / 0 Disable	0	R/W	
		D3–0	**PT8_CLK [3:0]**	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PT8_CLK•1/4096 0xb / PT8_CLK•1/2048 0xa / PT8_CLK•1/1024 0x9 / PT8_CLK•1/512 0x8 / PT8_CLK•1/256 0x7 / PT8_CLK•1/128 0x6 / PT8_CLK•1/64 0x5 / PT8_CLK•1/32 0x4 / PT8_CLK•1/16 0x3 / PT8_CLK•1/8 0x2 / PT8_CLK•1/4 0x1 / PT8_CLK•1/2 0x0 / PT8_CLK•1/1	0x0	R/W	
PT8 CH.3 Reload Data Register (PT8_RLD3)	**0x480d** (8 bits)	D7–0	**PT8_RLD [7:0]**	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.3 Counter Data Register (PT8_PTD3)	**0x480e** (8 bits)	D7–0	**PT8_PTD [7:0]**	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.3 Control Register (PT8_CTL3)	**0x480f** (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	**PT8_PSET**	Timer reset	1 Reset / 0 Ignored	0	W	
		D0	**PT8_RUN**	Timer run/stop control	1 Run / 0 Stop	0	R/W	

0x4900–0x4906 Clock Management Unit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System Clock Control Register (CMU_SYSCLKCTL)	0x4900 (8 bits)	D7	OSC3OFF	OSC3 disable during SLEEP	1 Stop 0 Run	0	R/W	
		D6	TMHSP	Wait-timer high-speed mode	1 High speed 0 Normal	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	WAKEUPWT	Wakeup-wait function enable	1 Wait interrupt 0 No wait	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	OSCSEL	OSC clock selection	1 OSC1 0 OSC3	0	R/W	
		D1	SOSC3	OSC3 oscillator on/off	1 On 0 Off	1	R/W	
		D0	–	reserved	–	–	–	0 when being read.
OSC3 Wait Timer Register (CMU_OSC3_WCNT)	0x4901 (8 bits)	D7–0	OSCTM[7:0]	OSC oscillation stabilization-wait timer	0–255	0x0	R/W	
Noise Filter Control Register (CMU_NF)	0x4902 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	DSINNF	DSIO input noise filter enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	INPORTNF	Input port noise filter enable	1 Disable 0 Enable	1	R/W	
		D0	OSC3NF	OSC3 input noise filter enable	1 Disable 0 Enable	1	R/W	
OSC3 Clock Divider Register (CMU_OSC3DIV)	0x4903 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	OSC3DIV [2:0]	OSC3 clock divider selection	OSC3DIV[2:0] / Divider: 0x7 OSC3•1/1; 0x6 OSC3•1/1; 0x5 OSC3•1/32; 0x4 OSC3•1/16; 0x3 OSC3•1/8; 0x2 OSC3•1/4; 0x1 OSC3•1/2; 0x0 OSC3•1/1	0x0	R/W	
	0x4904 (8 bits)	D7–0	–	reserved	–	–	–	0x7 when being read.
CMU_CLK Select Register (CMU_CMUCLK)	0x4905 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	CMU_CLKSEL[3:0]	CMU_CLK selection	CMU_CLKSEL[3:0] / Clock source: 0xf–0xa reserved; 0x9 OSC3•1/32; 0x8 OSC3•1/16; 0x7 OSC3•1/8; 0x6 OSC3•1/4; 0x5 OSC3•1/2; 0x4 OSC3•1/1; 0x3 reserved; 0x2 BCLK; 0x1 OSC1; 0x0 OSC3	0x0	R/W	
Gated Clock Control 0 Register (CMU_GATEDCLK0)	0x4906 (8 bits)	D7	FLASHC_CLK_EN	FLASHC clock control (in HALT mode)	1 On 0 Off	1	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	USB_SAPB_CLK_EN	USB SAPB I/F clock control	1 On 0 Off	0	R/W	
		D4	USB_CLK_EN	USB IP 48 MHz clock control		0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	PCLK_EN	Core peripheral clock control	1 On 0 Off	1	R/W	

0x4907–0x4920 Clock Management Unit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Gated Clock Control 1 Register (CMU _GATEDCLK1)	**0x4907** (8 bits)	D7	**SRAMC _CLK_EN**	SRAMC clock control (in HALT mode)	1 On 0 Off	1	R/W	
		D6–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PT8_CLK _EN**	8-bit programmable timer clock control	1 On 0 Off	1	R/W	
		D0	**MFT_CLK _EN**	Multi-function timer clock control		1	R/W	
Gated Clock Control 2 Register (CMU _GATEDCLK2)	**0x4908** (8 bits)	D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**SPI_CLK _EN**	SPI CH.1 module clock control	1 On 0 Off	1	R/W	
		D4	**REMC_CLK _EN**	REMC module clock control		1	R/W	
		D3	**ADC_CLK _EN**	ADC module clock control		1	R/W	
		D2	**WDT_CLK _EN**	WDT module clock control		1	R/W	
		D1	**PORT_CLK _EN**	I/O port module clock control		1	R/W	
		D0	**RTC_SAPB _CLK_EN**	RTC SAPB I/F clock control		1	R/W	
USB Wait Control Register (CMU_USBWT)	**0x4909** (8 bits)	D7–6	**–**	reserved	–	–	–	0 when being read.
		D5	**USBSNZ**	USB snooze control	1 Enable 0 Disable	0	R/W	
		D4–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**USBWT[2:0]**	USB register access wait control	USBWT[2:0] / Wait cycle 0x7 / 7 cycles : / : 0x0 / 0 cycles	0x7	R/W	
CMU Write Protect Register (CMU _PROTECT)	**0x4920** (8 bits)	D7–0	**CLGP[7:0]**	CMU register protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x4900–0x4909). Writing another value set the write protection.	0x0	R/W	

0x5000–0x5018 SRAM Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Memory Static Wait Control Register (EXTMEM_SWAIT)	**0x5000** (16 bits)	D15–12	**CE3WAIT [3:0]**	#CE3 static wait cycle setup	CE*x*WAIT[3:0] / Wait cycle 0xf / 15 cycles 0xe / 14 cycles 0xd / 13 cycles : / : 0x2 / 2 cycles 0x1 / 1 cycle 0x0 / 0 cycles	0xf	R/W	
		D11–8	**CE2WAIT [3:0]**	#CE2 static wait cycle setup		0xf	R/W	
		D7–4	**CE1WAIT [3:0]**	#CE1 static wait cycle setup		0xf	R/W	
		D3–0	**CE0WAIT [3:0]**	#CE0 static wait cycle setup		0xf	R/W	
External Memory Device Size Setup Register (EXTMEM_SIZE)	**0x5004** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CE3SIZE**	#CE3 device size selection	1 16 bits / 0 8 bits	1	R/W	
		D2	**CE2SIZE**	#CE2 device size selection	1 16 bits / 0 8 bits	1	R/W	
		D1	**CE1SIZE**	#CE1 device size selection	1 16 bits / 0 8 bits	1	R/W	
		D0	**CE0SIZE**	#CE0 device size selection	1 16 bits / 0 8 bits	1	R/W	
External Memory Device Type Setup Register (EXTMEM_A0_BSL)	**0x5008** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CE3TYPE**	#CE3 device type selection	1 BSL / 0 A0	0	R/W	
		D2	**CE2TYPE**	#CE2 device type selection	1 BSL / 0 A0	0	R/W	
		D1	**CE1TYPE**	#CE1 device type selection	1 BSL / 0 A0	0	R/W	
		D0	**CE0TYPE**	#CE0 device type selection	1 BSL / 0 A0	0	R/W	
	0x500c (16 bits)	D15–0	**–**	reserved	–	–	–	0 when being read.
Internal Memory Static Wait Control Register (IRAM2_SWAIT)	**0x5010** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**IRAM2_WAIT**	IRAM2 static wait cycle setup	1 1 cycle / 0 0 cycles	1	R/W	
MAC Wait Control Register (MAC_WAIT)	**0x5014** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**MAC_WAIT**	MAC wait cycle setup	1 1 cycle / 0 0 cycles	1	R/W	
RTC Wait Control Register (RTC_WAIT)	**0x5018** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**RTC_WAIT [2:0]**	RTC access wait cycle setup	RTC_WAIT[2:0] / Wait cycle 0x7 / 7 cycles : / : 0x0 / 0 cycles	0x7	R/W	

0x5200–0x527e Multi-Function Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Counter Data Register (MFT_TC)	**0x5200** (16 bits)	D15–0	**TC[15:0]**	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Period Data Register (MFT_PRD)	**0x5202** (16 bits)	D15–0	**PRD[15:0]**	Period data PRD15 = MSB PRD0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Compare Data Register (MFT_CMP)	**0x5204** (16 bits)	D15–0	**CR[15:0]**	Compare data CR15 = MSB CR0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Control Register (MFT_CTL)	**0x5206** (16 bits)	D15–12	**–**	reserved	–	–	–	0 when being read.
		D11	**TPSON**	Clock control	1 On 0 Off	0	R/W	
		D10–8	**TPS[2:0]**	Clock division ratio selection (Prescaler output clock)	TPS[2:0] / Count clock 0x7 MFT_CLK•1/128 0x6 MFT_CLK•1/64 0x5 MFT_CLK•1/32 0x4 MFT_CLK•1/16 0x3 MFT_CLK•1/8 0x2 MFT_CLK•1/4 0x1 MFT_CLK•1/2 0x0 MFT_CLK•1/1	0x0	R/W	
		D7	**BUFEN**	Comparison/period buffer enable	1 Enable 0 Disable	0	R/W	
		D6	**–**	reserved	–	–	–	0 when being read.
		D5	**TCKS**	Input clock selection	1 External 0 Internal	0	R/W	
		D4–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRST**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**TMEN**	Timer run/stop control	1 Run 0 Stop	0	R/W	
MFT Input/Output Control Register (MFT_IOCTL)	**0x521e** (16 bits)	D15–7	**–**	reserved	–	–	–	0 when being read.
		D6	**APIL**	ADC protection input selection	1 Lower limit 0 Upper limit	0	R/W	
		D5	**PPIL**	Port protection input level selection	1 Low level 0 High level	0	R/W	
		D4	**IQA**	Port protection input noise filter	1 12 clocks 0 6 clocks	0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2	**PTM**	Clock output enable	1 Enable 0 Disable	0	R/W	
		D1	**INITOL**	Initial output level	1 High 0 Low	0	R/W	
		D0	**OINV**	Inverse output	1 Invert 0 Normal	0	R/W	
MFT Interrupt Enable Register (MFT_IE)	**0x5230** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CMPIE**	Compare-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	**PRDIE**	Period-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	**APIE**	ADC protection interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	**PPIE**	Port protection interrupt enable	1 Enable 0 Disable	0	R/W	
MFT Interrupt Flag Register (MFT_IF)	**0x5238** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CMPIF**	Compare-match interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	**PRDIF**	Period-match interrupt flag		0	R/W	
		D1	**APIF**	ADC protection interrupt flag		0	R/W	
		D0	**PPIF**	Port protection interrupt flag		0	R/W	
MFT Test Register (MFT_TST)	**0x527e** (16 bits)	D15–7	**–**	reserved	–	–	–	0 when being read.
		D6	**DBGMD**	MFT operation in debug mode	1 Stop 0 Run	0	R/W	
		D5–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**–**	reserved	0x7	0x7	–	Fix at 0x7.

0x5300–0x5308 I²S

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S CH.0 Control Register (I2S_CTL_OUT)	0x5300 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	DTSIGN	I²S CH.0 signed/unsigned data format select	1 Signed / 0 Unsigned	0	R/W	
		D9	DATRES0	I²S CH.0 output data resolution select	1 24 bits / 0 16 bits	0	R/W	
		D8	I2SEN0	I²S CH.0 enable	1 Enable / 0 Disable	0	R/W	
		D7	WCLKMD0	I²S CH.0 output word clock mode select	1 L: high R: low / 0 L: low R: high	0	R/W	
		D6	BCLKPOL0	I²S CH.0 output bit clock polarity select	1 Negative / 0 Positive	0	R/W	
		D5	DTFORM	I²S CH.0 output data format select	1 LSB first / 0 MSB first	0	R/W	
		D4	I2SOUTEN	I²S CH.0 output enable	1 Enable / 0 Disable	0	R/W	
		D3–2	DTTMG0 [1:0]	I²S CH.0 output data timing select	0x3 reserved; 0x2 Right justified; 0x1 Left justified; 0x0 I²S	0x0	R/W	
		D1–0	CHMD[1:0]	I²S CH.0 output channel mode select	0x3 Mute; 0x2 Mono left; 0x1 Mono right; 0x0 Stereo	0x0	R/W	
I²S CH.1 Control Register (I2S_CTL_IN)	0x5302 (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	WCLKMD1	I²S CH.1 input word clock mode select	1 L: high R: low / 0 L: low R: high	0	R/W	
		D4	BCLKPOL1	I²S CH.1 input bit clock polarity select	1 Negative / 0 Positive	0	R/W	
		D3–2	DTTMG1 [1:0]	I²S CH.1 input data timing select	0x3 reserved; 0x2 Right justified; 0x1 Left justified; 0x0 I²S	0x0	R/W	
		D1	I2SBYPASS	I²S bypass mode select	1 Bypass / 0 Normal	0	R/W	
		D0	I2SEN1	I²S CH.1 enable	1 Enable / 0 Disable	0	R/W	
I²S MCLK Divide Ratio Register (I2S_DV_MCLK)	0x5304 (16 bits)	D15	MCLKSEL	I2S_MCLK source clock select	1 I2S_MCLK0 input clock / 0 System clock	0	R/W	
		D14–6	–	reserved	–	–	–	0 when being read.
		D5–0	MCLKDIV [5:0]	I2S_MCLK divide ratio select	0x3f PCLK•1/64; 0x3e PCLK•1/63; 0x3d PCLK•1/62; : ; 0x2 PCLK•1/3; 0x1 PCLK•1/2; 0x0 PCLK•1/1	0x0	R/W	
I²S Audio Clock Divide Ratio Register (I2S_DV_AUDIO_CLK)	0x5306 (16 bits)	D15–12	WSCLKCYC1 [3:0]	I²S CH.1 WS clock cycle setup	0xf 31 clocks; 0xe 30 clocks; 0xd 29 clocks; 0xc 28 clocks; 0xb 27 clocks; 0xa 26 clocks; 0x9 25 clocks; 0x8 24 clocks	0x0	R/W	
		D11–8	WSCLKCYC0 [3:0]	I²S CH.0 WS clock cycle setup	0x7 23 clocks; 0x6 22 clocks; 0x5 21 clocks; 0x4 20 clocks; 0x3 19 clocks; 0x2 18 clocks; 0x1 17 clocks; 0x0 16 clocks	0x0	R/W	
		D7–0	BCLKDIV [7:0]	I²S CH.0 bit clock divide ratio select	0xff SRC_CLK•1/512; 0xfe SRC_CLK•1/510; 0xfd SRC_CLK•1/508; : ; 0x2 SRC_CLK•1/6; 0x1 SRC_CLK•1/4; 0x0 SRC_CLK•1/2	0x0	R/W	SRC_CLK: PCLK or I2S_MCLK0 input clock
I²S Start/Stop Register (I2S_START)	0x5308 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	I2SSTART1	I²S CH.1 start/stop control	1 Start / 0 Stop	0	R/W	
		D7	I2SBUSY0	I²S CH.0 busy flag	1 Busy / 0 Idle	0	R	
		D6–1	–	reserved	–	–	–	0 when being read.
		D0	I2SSTART0	I²S CH.0 start/stop control	1 Start (run) / 0 Stop	0	R/W	

0x530a–0x5314 I²S

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²S FIFO Status Register (I2S_FIFO_STAT)	**0x530a** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9	**I2SFIFOFF1**	I²S CH.1 FIFO full flag	1 Full / 0 Not full	0	R	
		D8	**I2SFIFOEF1**	I²S CH.1 FIFO empty flag	1 Empty / 0 Not empty	1	R	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4–2	**FIFOSTAT0 [2:0]**	I²S CH.0 FIFO state machine	FIFOSTAT0[2:0] / State 0x7–0x6 / reserved 0x5 / FLUSH 0x4 / EMPTY 0x3 / LACK 0x2 / FULL 0x1 / INIT 0x0 / STOP	0x0	R	
		D1	**I2SFIFOFF0**	I²S CH.0 FIFO full flag	1 Full / 0 Not full	0	R	
		D0	**I2SFIFOEF0**	I²S CH.0 FIFO empty flag	1 Empty / 0 Not empty	1	R	
I²S Interrupt Mode Select Register (I2S_INT_MOD)	**0x530c** (16 bits)	D15–6	**–**	reserved	–	–	–	0 when being read.
		D5–4	**I2SINTMD1 [1:0]**	I²S CH.1 interrupt mode select	I2SINTMD1[1:0] / State 0x3 / reserved 0x2 / One data 0x1 / Whole full 0x0 / Half full	0x0	R/W	
		D3–2	**I2SINTMD0 [1:0]**	I²S CH.0 interrupt mode select	I2SINTMD0[1:0] / State 0x3 / reserved 0x2 / One empty 0x1 / Whole empty 0x0 / Half empty	0x0	R/W	
		D1	**I2SINTEN1**	I²S CH.1 interrupt enable	1 Enable / 0 Disable	0	R/W	
		D0	**I2SINTEN0**	I²S CH.0 interrupt enable	1 Enable / 0 Disable	0	R/W	
I²S CH.0 FIFO Register (I2S_FIFO_OUT)	**0x5310** (24 bits)	D23–0	**I2SFIFO0 [23:0]**	I²S CH.0 FIFO (output data)	0 to 0xffffff (24 bits)	0x0	W	for 24-bit data 0 when being read.
	0x5310 (16 bits)	D15–0	**I2SFIFO0 [15:0]**		0 to 0xffff (16 bits)			for 16-bit data 0 when being read.
I²S CH.1 FIFO Register (I2S_FIFO_IN)	**0x5314** (16 bits)	D15–0	**I2SFIFO1 [15:0]**	I²S CH.1 FIFO (input data)	0 to 0xffff	0x0	R	

0x5400–0x5410 Remote Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Prescaler Control Register (REMC_PSC)	0x5400 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	REMPSON	REMC prescaler control	1 On / 0 Off	0	R/W	
		D1–0	REMPSDIV [1:0]	REMC prescaler division ratio select (Prescaler output clock)	REMPSDIV[1:0] Clock: 0x3 PCLK•1/32; 0x2 PCLK•1/24; 0x1 PCLK•1/16; 0x0 PCLK•1/12	0x0	R/W	
REMC Configuration Register (REMC_CFG)	0x5404 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	MODE	REMC mode select	1 Receive / 0 Transmit	0	R/W	
		D6	RIF	Rising edge interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D5	FIF	Falling edge interrupt flag		0	R/W	
		D4	UIF	Underflow interrupt flag		0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	RIE	Rising edge interrupt enable	1 Enable / 0 Disable	0	R/W	
		D1	FIE	Falling edge interrupt enable	1 Enable / 0 Disable	0	R/W	
		D0	UIE	Underflow interrupt enable	1 Enable / 0 Disable	0	R/W	
REMC Control Register (REMC_CTL)	0x5408 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	REMST	REMC start/stop control	1 Start / 0 Stop	0	R/W	
REMC Carrier Load Register (REMC_CARL)	0x540c (16 bits)	D15–8	CLDH[7:0]	REMC carrier high width setup	0x0 to 0xff	0x0	R/W	
		D7–0	CLDL[7:0]	REMC carrier low width setup	0x0 to 0xff	0x0	R/W	
REMC Envelope Load Register (REMC_ENVL)	0x540e (16 bits)	D15–0	ELD[15:0]	Envelop counter preset data	0x0 to 0xffff	0x0	R/W	
REMC Envelope Capture Register (REMC_ENVC)	0x5410 (16 bits)	D15–0	ECP[15:0]	Receive envelop pulse width	0x0 to 0xffff	0x0	R	

0x5520–0x5558 A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Clock Control Register (AD_CLKCTL)	**0x5520** (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	**PSONAD**	A/D converter clock control	1 On / 0 Off	0	R/W	
		D2–0	**PSAD[2:0]**	A/D converter clock division ratio selection	PSAD[2:0] / A/D clock: 0x7 PCLK•1/256; 0x6 PCLK•1/128; 0x5 PCLK•1/64; 0x4 PCLK•1/32; 0x3 PCLK•1/16; 0x2 PCLK•1/8; 0x1 PCLK•1/4; 0x0 PCLK•1/2	0x0	R/W	
A/D Conversion Result Register (AD_DAT)	**0x5540** (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	**ADD[9:0]**	A/D converted data ADD9 = MSB ADD0 = LSB	0x0 to 0x3ff	0x0	R	
A/D Trigger/ Channel Select Register (AD_TRIG_CH)	**0x5542** (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	**CE[2:0]**	A/D converter end channel selection	0 to 7	0x0	R/W	
		D10–8	**CS[2:0]**	A/D converter start channel selection	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	**MS**	A/D conversion mode selection	1 Continuous / 0 Normal	0	R/W	
		D4–3	**TS[1:0]**	A/D conversion trigger selection	TS[1:0] / Trigger: 0x3 #ADTRG pin; 0x2 PT8 CH.0; 0x1 MFT; 0x0 Software	0x0	R/W	
		D2–0	**CH[2:0]**	A/D conversion channel status	0 to 7	0x0	R	
A/D Control/ Status Register (AD_CTL)	**0x5544** (16 bits)	D15	**ADCMPE**	Upper/lower-limit comparison enable	1 Enable / 0 Disable	0	R/W	Can be used when ADCADV = 1.
		D14–12	**ADCMP[2:0]**	Upper/lower-limit comparison channel selection	0 to 7	0x0	R/W	
		D11	**ADUPRST**	Upper-limit comparison status	1 Out of range / 0 Within range	0	R	
		D10	**ADLWRST**	Lower-limit comparison status	1 Out of range / 0 Within range	0	R	
		D9–8	**ST[1:0]**	Input signal sampling time setup	ST[1:0] / Sampling time: 0x3 9 clocks; 0x2 7 clocks; 0x1 5 clocks; 0x0 3 clocks	0x3	R/W	Use with 9 clocks.
		D7	–	reserved	–	–	–	0 when being read.
		D6	**INTMODE**	Interrupt signal mode	1 Complete only / 0 OR	0	R/W	Can be used when ADCADV = 1.
		D5	**CMPINTEN**	Out-of-range int. enable	1 Enable / 0 Disable	0	R/W	
		D4	**CNVINTEN**	Conversion-complete int. enable	1 Enable / 0 Disable	1	R/W	Can be changed when ADCADV = 1.
		D3	**ADF**	Conversion-complete flag	1 Completed / 0 Run/Standby	0	R	Reset when ADD is read.
		D2	**ADE**	A/D enable	1 Enable / 0 Disable	0	R/W	
		D1	**ADST**	A/D conversion control/status	1 Start/Run / 0 Stop	0	R/W	
		D0	**OWE**	Overwrite error flag	1 Error / 0 Normal	0	R/W	Reset by writing 0.
A/D Channel Status Flag Register (AD_CH_STAT)	**0x5546** (16 bits)	D15	**OWE7**	CH.7 overwrite error flag	1 Error / 0 Normal	0	R/W	Can be used when ADCADV = 1. Reset by writing 0.
		D14	**OWE6**	CH.6 overwrite error flag		0	R/W	
		D13	**OWE5**	CH.5 overwrite error flag		0	R/W	
		D12	**OWE4**	CH.4 overwrite error flag		0	R/W	
		D11	**OWE3**	CH.3 overwrite error flag		0	R/W	
		D10	**OWE2**	CH.2 overwrite error flag		0	R/W	
		D9	**OWE1**	CH.1 overwrite error flag		0	R/W	
		D8	**OWE0**	CH.0 overwrite error flag		0	R/W	
		D7	**ADF7**	CH.7 conversion-complete flag	1 Completed / 0 Run/Standby	0	R	Can be used when ADCADV = 1. Reset when AD*x*BUF [9:0] is read.
		D6	**ADF6**	CH.6 conversion-complete flag		0	R	
		D5	**ADF5**	CH.5 conversion-complete flag		0	R	
		D4	**ADF4**	CH.4 conversion-complete flag		0	R	
		D3	**ADF3**	CH.3 conversion-complete flag		0	R	
		D2	**ADF2**	CH.2 conversion-complete flag		0	R	
		D1	**ADF1**	CH.1 conversion-complete flag		0	R	
		D0	**ADF0**	CH.0 conversion-complete flag		0	R	
A/D CH.*x* Conversion Result Buffer Register (AD_CH*x*_BUF)	**0x5548** | **0x5556** (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	**AD*x*BUF [9:0]**	A/D CH.*x* converted data AD*x*BUF9 = MSB AD*x*BUF0 = LSB	0x0 to 0x3ff	0x0	R	Can be used when ADCADV = 1.
A/D Upper Limit Value Register (AD_UPPER)	**0x5558** (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	**ADUPR[9:0]**	A/D conversion upper limit value ADUPR9 = MSB ADUPR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

0x555a–0x555e A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Lower Limit Value Register (AD_LOWER)	**0x555a** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9–0	**ADLWR [9:0]**	A/D conversion lower limit value ADLWR9 = MSB ADLWR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.
A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)	**0x555c** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7	**INTMASK7**	CH.7 conversion-complete int. mask	1 Interrupt enabled / 0 Interrupt mask	1	R/W	Can be used when ADCADV = 1.
		D6	**INTMASK6**	CH.6 conversion-complete int. mask		1	R/W	
		D5	**INTMASK5**	CH.5 conversion-complete int. mask		1	R/W	
		D4	**INTMASK4**	CH.4 conversion-complete int. mask		1	R/W	
		D3	**INTMASK3**	CH.3 conversion-complete int. mask		1	R/W	
		D2	**INTMASK2**	CH.2 conversion-complete int. mask		1	R/W	
		D1	**INTMASK1**	CH.1 conversion-complete int. mask		1	R/W	
		D0	**INTMASK0**	CH.0 conversion-complete int. mask		1	R/W	
A/D Converter Mode Select/ Internal Status Register (AD_ADVMODE)	**0x555e** (16 bits)	D15–9	**–**	reserved	–	–	–	0 when being read.
		D8	**ADCADV**	Standard/advanced mode selection	1 Advanced / 0 Standard	0	R/W	
		D7–6	**–**	reserved	–	–	–	0 when being read.
		D5–4	**ISTATE[1:0]**	Internal status	ISTATE[1:0]: 0x3 Converting; 0x2 reserved; 0x1 Sampling; 0x0 Idle	0x0	R	
		D3–0	**ICOUNTER [3:0]**	Internal counter value	0 to 15	0x0	R	

0x5660–0x566c Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_WP)	**0x5660** (16 bits)	D15–0	**WDPTC [15:0]**	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x5662–0x5666). Writing another value set the write protection.	X	W	0 when being read.
WDT Enable and Setup Register (WD_EN)	**0x5662** (16 bits)	D15–7	**–**	reserved	–	–	–	0 when being read.
		D6	**CLKSEL**	WDT input clock select	1 External clk 0 Internal clk	0	R/W	
		D5	**CLKEN**	WDT clock output control	1 On 0 Off	0	R/W	
		D4	**RUNSTP**	WDT Run/Stop control	1 Run 0 Stop	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**NMIEN**	WDT NMI enable	1 Enable 0 Disable	0	R/W	
		D0	**RESEN**	WDT RESET enable	1 Enable 0 Disable	0	R/W	
WDT Comparison Data L Register (WD_CMP_L)	**0x5664** (16 bits)	D15–0	**CMPDT [15:0]**	WDT comparison data CMPDT0 = LSB	0x0 to 0x3fffffff (low-order 16 bits)	0x0	R/W	
WDT Comparison Data H Register (WD_CMP_H)	**0x5666** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13-0	**CMPDT [29:16]**	WDT comparison data CMPDT29 = MSB	0x0 to 0x3fffffff (high-order 14 bits)	0x0	R/W	
WDT Count Data L Register (WD_CNT_L)	**0x5668** (16 bits)	D15–0	**CTRDT [15:0]**	WDT counter data CTRDT0 = LSB	0x0 to 0x3fffffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	**0x566a** (16 bits)	D15–14	**–**	reserved	–	–	–	0 when being read.
		D13-0	**CTRDT [29:16]**	WDT counter data CTRDT29 = MSB	0x0 to 0x3fffffff (high-order 14 bits)	X	R	
WDT Control Register (WD_CTL)	**0x566c** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**WDRESEN**	WDT reset	1 Reset 0 ignored	0	W	

0x5700–0x5708 Extended SPI

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Status Register (SPI_ST1)	**0x5700** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2	**SPBSY**	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = L 0 ss = H			
		D1	**SPRBF**	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	**SPTBE**	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
SPI CH.1 Transmit Data Register (SPI_TXD1)	**0x5702** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**SPTDB[7:0]**	SPI CH.1 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI CH.1 Receive Data Register (SPI_RXD1)	**0x5704** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**SPRDB[7:0]**	SPI CH.1 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI CH.1 Control Register (SPI_CTL1)	**0x5706** (16 bits)	D15–6	**–**	reserved	–	–	–	0 when being read.
		D5	**SPRIE**	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	**SPTIE**	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	**CPHA**	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	**CPOL**	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	**MSSL**	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	**SPEN**	SPI CH.1 enable	1 Enable 0 Disable	0	R/W	
SPI CH.1 Clock Control Register (SPI_CLK1)	**0x5708** (16 bits)	D15–5	**–**	reserved	–	–	–	0 when being read.
		D4	**SPI_CKE**	SPI CH.1 clock enable	1 Enable 0 Disable	0	R/W	
		D3–0	**SPI_CLK [3:0]**	SPI CH.1 clock division ratio selection (Prescaler output clock)	SPI_CLK[3:0] / Clock 0xf–0xd / reserved 0xc / PCLK•1/4096 0xb / PCLK•1/2048 0xa / PCLK•1/1024 0x9 / PCLK•1/512 0x8 / PCLK•1/256 0x7 / PCLK•1/128 0x6 / PCLK•1/64 0x5 / PCLK•1/32 0x4 / PCLK•1/16 0x3 / PCLK•1/8 0x2 / PCLK•1/4 0x1 / PCLK•1/2 0x0 / PCLK•1/1	0x0	R/W	

0x5800–0x5816 Flash Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Control Register (FLASH_CTL)	**0x5800** (16 bits)	D15	**FLS_STAT**	Flash status flag	1 Busy 0 Idle	1	R	
		D14–11	**–**	reserved	–	–	–	0 when being read.
		D10	**STOP**	Flash erase/program stop	1 Stop 0 Ignored	0	W	
		D9	**START_HOLD**	Hold period start	1 Start 0 Ignored	0	W	
		D8	**START_ERASE**	Flash erasing start	1 Start 0 Ignored	0	W	
		D7–3	**–**	reserved	–	–	–	
		D2	**CHIP_ERS_EN**	Flash chip erase enable	1 Enable 0 Disable	0	R/W	
		D1	**SCT_ERS_EN**	Flash sector erase enable	1 Enable 0 Disable	0	R/W	
		D0	**WR_EN**	Flash programming enable	1 Enable 0 Disable	0	R/W	
FLASHC Sector Address Register (FLASH_ADDR)	**0x5802** (16 bits)	D15–7	**–**	reserved	–	–	–	0 when being read.
		D6–0	**FLS_ADDR[6:0]**	Erase sector address	Address[16:10]	0x0	R/W	
FLASHC Wait Register (FLASH_WAIT)	**0x5804** (16 bits)	D15–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**FLS_WAIT[2:0]**	Flash read access wait cycle setup	FLS_WAIT[2:0] / Wait cycle 0x7 / 7 cycles : / : 0x0 / 0 cycles	0x7	R/W	
FLASHC Protect Register (FLASH_PROT)	**0x5810** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**FLS_PROT[7:0]**	FLASHC register protect flag	Writing 10010110 (0x96) removes the write protection of the FLASHC Control Register (0x5800) and Trap Table Base Registers (0x5814–0x5816). Writing another value set the write protection.	0x0	R/W	
Trap Table Base Register 0 (TTBR_LOW)	**0x5814** (16 bits)	D15–8	**TTBR[15:8]**	Trap table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	**TTBR[7:0]**	Trap table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Trap Table Base Register 1 (TTBR_HIGH)	**0x5816** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TTBR[23:16]**	Trap table base address A[23:16]	0x0–0xff	0x2	R/W	

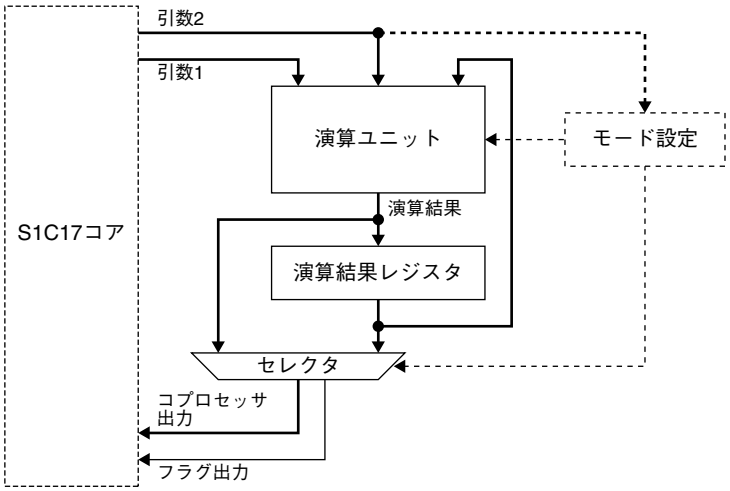
0xffff90 S1C17 Core I/O

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	**0xffff90** (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	**DBRAM[23:0]**	Debug RAM base address	0x0	0x0	R	

Appendix B 乗算器

B.1 概要

S1C17501は、符号付き/符号なし16 × 16ビット乗算機能と、オーバーフロー検出が可能な符号付き16 × 16ビット + 32ビットMAC(積和演算)機能を提供するコプロセッサを内蔵しています。
ここでは、これらの機能の使用方法について説明します。



図B.1.1 乗算器ブロック図

コプロセッサには下表に示すとおり、高速演算機能があります。

表B.1.1 動作周波数とMAC演算サイクル数

周波数	CCLK≦24MHz	24MHz<CCLK≦48MHz
MAC_WAIT(D0/MAC_WAITレジスタ)	0	1(デフォルト)
乗算サイクル数	1サイクル	2サイクル
MACサイクル数	1サイクル	2サイクル

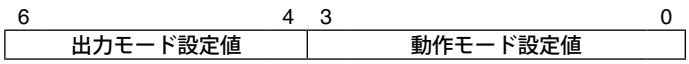
* **MAC_WAIT**: MAC Wait Cycle Setup Bit in the MAC Wait Control (MAC_WAIT) Register (D0/0x5014)

MAC_WAITについては、“III.2.7 内部デバイス用ウェイトサイクルの設定”を参照してください。

B.2 動作モードと出力モード

乗算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表B.2.1に示すとおり、乗算器は6種類の動作に対応しています。
乗算とMACの演算結果は32ビットデータです。このため、C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。
動作モードと出力モードは、7ビットのデータを乗算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw   %rd,%rs      %rs[6:0]がモード設定レジスタに書き込まれます。(%rd: 未使用)
ld.cw   %rd,imm7     imm7[6:0]がモード設定レジスタに書き込まれます。(%rd: 未使用)
```



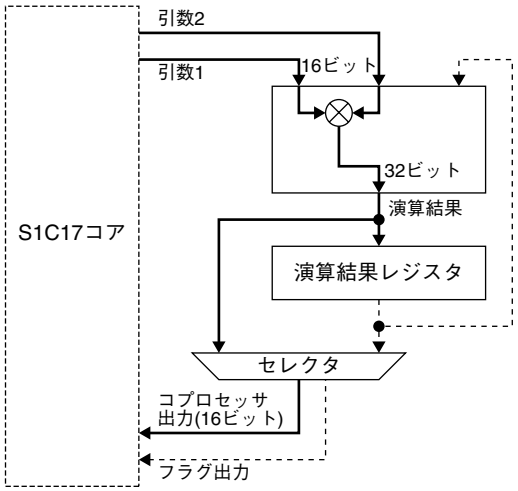
図B.2.1 モード設定レジスタ

表B.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2～0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付きMACモード 符号付きMAC演算を実行します。
		0x8～0xf	Reserved

B.3 乗算

乗算機能は、“A(32ビット) = B(16ビット) × C(16ビット)”を実行します。
乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗算器を演算結果読み出しモードに設定して読み出します。



図B.3.1 乗算モードのデータ経路

表B.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	`ld.ca %rd,%rs`	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(`ext` *imm9*) `ld.ca %rd,`*imm7*	res[31:0] ← %rd × *imm7/16* %rd ← res[15:0]		
0x14 または 0x15	`ld.ca %rd,%rs`	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(`ext` *imm9*) `ld.ca %rd,`*imm7*	res[31:0] ← %rd × *imm7/16* %rd ← res[31:16]		

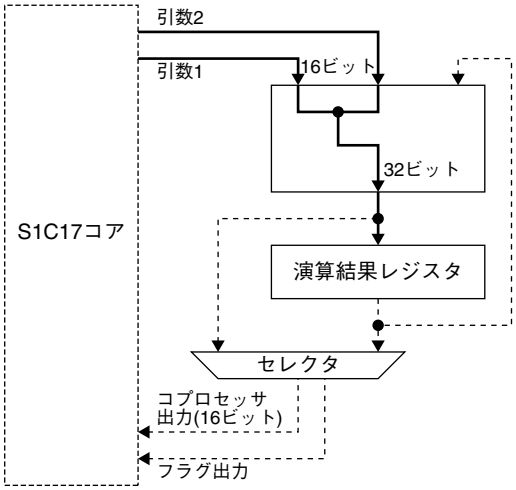
res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4  ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1  ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0  ; 結果の上位16ビットを%r1レジスタにロード
```

B.4 MAC

MAC(積和演算)機能は、“A(32ビット) = B(16ビット) × C(16ビット) + A(32ビット)”を実行します。
MAC演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。
演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗算器に0x0を送る必要はありません。
16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗算器に送ります。



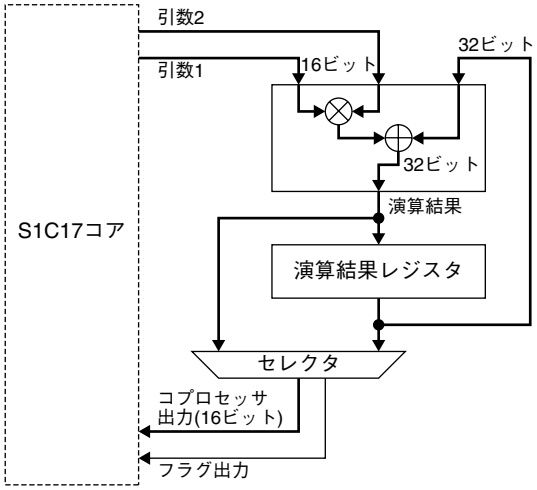
図B.4.1 初期化モード時のデータ経路

表B.4.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	–	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	`ld.cf %rd,%rs`	res[31:16] ← 0x0 res[15:0] ← %rs	
	(`ext` *imm9*) `ld.cf %rd,`*imm7*	res[31:16] ← 0x0 res[15:0] ← *imm7/16*	
0x2	`ld.cf %rd,%rs`	res[31:16] ← %rd res[15:0] ← %rs	
	(`ext` *imm9*) `ld.cf %rd,`*imm7*	res[31:16] ← %rd res[15:0] ← *imm7/16*	

res: 演算結果レジスタ

MAC演算を実行するには、動作モードを0x7(符号付きMAC)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗算器を演算結果読み出しモードに設定して読み出します。
演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。
演算結果読み出しモードに移行せずにMAC演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびにMACモードに設定する必要はありません。



図B.4.2 MACモード時のデータ経路

表B.4.2 MACモードの動作

モード設定値	命令	動作	フラグ	備考
0x07	`ld.ca %rd,%rs`	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100 それ以外 psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(`ext` *imm9*) `ld.ca %rd,` *imm7*	res[31:0] ← %rd × *imm7/16* + res[31:0] %rd ← res[15:0]		
0x17	`ld.ca %rd,%rs`	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]		
	(`ext` *imm9*) `ld.ca %rd,` *imm7*	res[31:0] ← %rd × *imm7/16* + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7   ; モード設定(符号付きMACモード & 下位16ビット出力モード)
ld.ca %r0,%r1   ; "res = %r0 × %r1 + res"を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13  ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0   ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

MAC演算で乗算結果の符号、演算結果レジスタの符号、および 演算結果の符合が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)フラグが1にセットされます。

表B.4.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符合	演算結果レジスタの符号	演算結果の符合
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

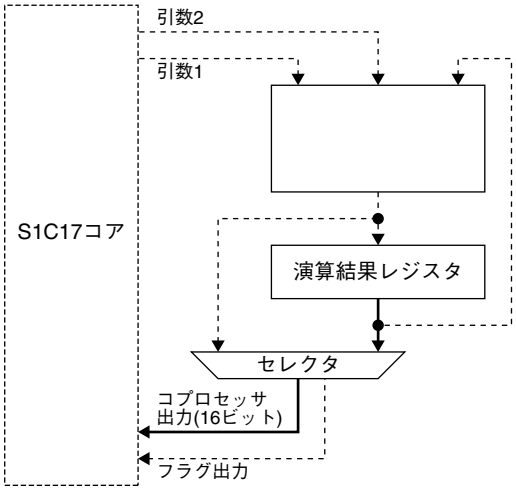
MAC演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)フラグがクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)フラグは、MAC演算のために"`ld.ca`"命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で"`ld.ca`"命令または"`ld.cf`"命令を実行した場合にクリアされます。

B.5 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算とMAC演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。



図B.5.1 演算結果読み出しモードのデータ経路

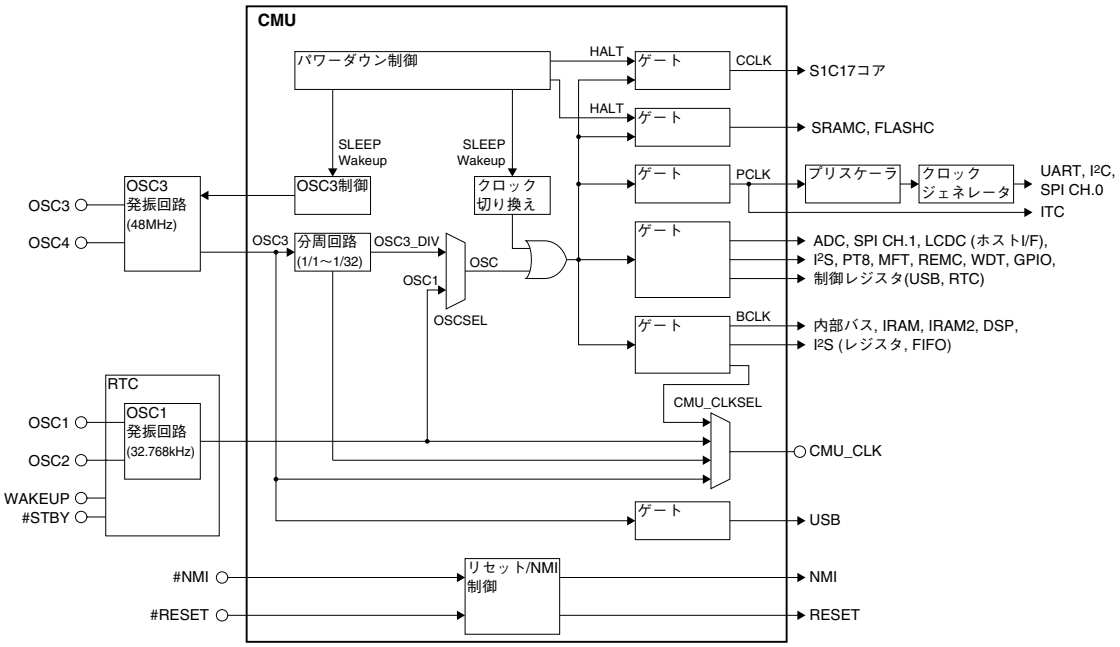
表B.5.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,*imm7*	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,*imm7*	%rd ← res[31:16]		

res: 演算結果レジスタ

Appendix C パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。
図C.1にS1C17501のクロックシステムを示します。



図C.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- slp命令の実行
  システム全体を停止可能な場合は、slp命令を実行します。CPUは動作を停止し、CMUによる周辺回路へのクロック供給も停止します(詳細はII.2.6節参照)。これにより、OSC1発振回路とRTCを除き、周辺回路はすべて停止します。
  OSC3発振回路は、OSC3OFF(D7/CMU_SYSCLKCTLレジスタ)が1に設定されていると、SLEEPモード時に発振を停止します。
  CPUは、イニシャルリセット、RTC割り込み(レベルトリガ)、#NMI信号、または外部デバイスからの割り込み(レベルトリガのポート入力割り込み)によってSLEEPモード(WAKEUPWT(D4/CMU_SYSCLKCTLレジスタ) = 1の場合)から再起動します。

  * **OSC3OFF**: OSC3 Disable During SLEEP Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D7/0x4900)
  * **WAKEUPWT**: Wakeup-Wait Function Enable Bit in the System Clock Control (CMU_SYSCLKCTL) Register (D4/0x4900)

システムクロック

- クロック源の選択(CMUモジュール)
  システムクロック源をOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- OSC3発振回路の停止(CMUモジュール)
  システムクロック源としている発振回路を動作させ、可能であればもう一方を停止します。OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。
- 低速クロックギアの選択(CMUモジュール)
  CMUモジュールは、クロックギアの設定により、システムクロックをOSC3クロックの1/1～1/32に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

CPUクロック(CCLK)

- halt命令の実行
  表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

周辺クロック

- 周辺クロックの停止(CMU、CLG、PSCモジュール)
  周辺回路の動作が不要な場合は、以下の周辺クロックの供給を停止することができます。

  - HALTモード時のFLASHCクロック(CMU)
  - HALTモード時のSRAMCクロック(CMU)
  - PSC、CLG、ITC用コア周辺回路クロック(CMU)
  - USBクロック(CMU)
  - PT8およびI^2Sクロック(CMU)
  - MFTクロック(CMU)
  - SPI CH.1クロック(CMU)
  - REMCクロック(CMU)
  - ADCクロック(CMU)
  - WDTクロック(CMU)
  - 入出力ポートクロック(CMU)

- RTCレジスタクロック（CMU）
- CLGクロック（PSC）
- UARTクロック（CLG）
- SPI CH.0クロック（CLG）
- I²Cクロック（CLG）

クロック制御とCPUの起動/停止方法の一覧を表C.1に示します。

表C.1 クロック制御一覧

消費電流	OSC1	OSC3	CPU（CCLK）	周辺モジュール	CPU停止方法	CPU起動方法
↑ 低	発振	停止	停止	停止	slp命令実行	1
	発振	停止	停止	停止 （RTCのみ動作）	slp命令実行	1, 2
	発振 (システムCLK)	停止	停止	停止	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作	動作		
	発振	発振 (システムCLK)	停止	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作（低ギア）	動作		
高 ↓	発振	発振 (システムCLK)	動作（OSC3•1/1）	動作		

HALT、SLEEPモードの解除方法（CPU起動方法）

1. ポート入力割り込み（レベルトリガ）、#RESET、#NMIによる起動
   CPUは、ポート入力割り込み要因（レベルトリガ）、#RESET、#NMI、またはデバッグ割り込み（ICD強制ブレーク発行）により起動します。II.2.8節を参照してください。
2. RTCによる起動
   CPUはRTCの割り込み要因（レベルトリガ）により起動します。II.2.8節またはII.5.4節を参照してください。
3. 周辺モジュールによる起動
   CPUは、割り込みコントローラで割り込みが許可されている周辺モジュールの割り込み要因により起動します。CPUのIEフラグが0の場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。IEフラグが1の場合、CPUは割り込み処理ルーチンに分岐します。

バッテリーバックアップモード

- システム電源（V_{DD}、AV_{DD}）をOff
  V_{DD}とRTCV_{DD}に別電源を用いているシステムでは、RTCV_{DD}系回路（RTC、OSC1、IRAM2）のみを動作させ、システム電源（V_{DD}、AV_{DD}）をOffにして消費電流を低減することができます。システム電源をOffにするため、SLEEPモードでは消費されるリーク電流も削減可能です。
  この制御にはRTCに用意されている#STBY端子とWAKEUP端子を使用します。制御方法の詳細については、“II.5.6 WAKEUPと#STBY端子”を参照してください。

注: バッテリバックアップモードによる消費電流の低減は、外付け回路の部品点数が多い場合やV_{DD}/AV_{DD}系回路を長時間停止できる場合に効果があります。システムの構成によってはSLEEPモード等による省電力化の方が有効な場合もありますので、システム設計の際に検討してください。

改訂履歴表

コードNo.	ページ	改訂内容（旧内容を含む）および改訂理由
411525501	全ページ	新規制定
411525502	I-5-5	説明変更 ipa.d→jpa.d
	VI-1-6	説明変更 (2) RDRY = 1, RD2B = 0...したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。
	VI-1-7	説明変更 RXENビットを0に設定すると、送信データバッファは空の状態になります（データが残っていればクリアされます）。
	VI-1-8	説明変更 シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。
	VI-1-14	説明変更 FERは1を書き込むことによりリセットされます。...OERは1を書き込むことによりリセットされます。
	VI-1-19	説明変更 RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。
	VI-1-21	説明変更 •RXENを0に設定して送受信を禁止すると、送信データバッファがクリア（初期化）されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
	VI-2-1	説明変更 7ビットスレーブアドレスモード→7ビット/10ビットスレーブアドレスモード
	VI-2-5	説明変更 2回→2回または3回
	VI-2-6	図VI.2.5.2変更
	VI-2-7	説明変更 9個目のクロックサイクルでは、RTACK...正しい通信が行えなくなってしまいます。
	VI-2-8	説明変更 ストップコンディションを生成した後は...出力レベル、および転送中のデータは保証されません。
	VI-2-9	図VI.2.5.5変更
	VI-2-10	図VI.2.5.7、図VI.2.5.8変更
	VI-2-11	図VI.2.5.9変更
	VI-3-3	説明削除 内部回路はPCLKクロック...同期用に使用されます。 クロックの周波数はPCLKの1/3以下で、 図VI.3.3.2削除
	VI-3-4	説明追加 VI.3.4.2追加
	VI-3-6, VI-3-7	図VI.3.5.1、図VI.3.5.2削除 図VI.3.5.1追加
	VI-3-7	説明変更 データ転送（送信と受信の両方）を終了後は...を0に設定した場合、転送中のデータは保証されません。
	VI-3-8	説明変更 SPTBEが0であれば、→SPTBEが1であれば、
	VI-3-12	説明追加 注:データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。
	VI-4-3	説明削除 クロックの周波数はPCLKの1/3以下で、 図VI.4.3.1削除
	VI-4-8	説明変更 SPTBEが0であれば、→SPTBEが1であれば、

セイコーエプソン株式会社
マイクロデバイス事業本部　デバイス営業部

<IC国内営業グループ>

東京　〒191-8501　東京都日野市日野421-8
TEL（042）587-5313（直通）　FAX（042）587-5116

大阪　〒541-0059　大阪市中央区博労町3-5-1　エプソン大阪ビル15F
TEL（06）6120-6000（代表）　FAX（06）6120-6100

ドキュメントコード：411525502
2008年11月 作成
2011年 4月 改訂 Ⓗ