

S1D13771B01
TV出力Graphics Engine
テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	略語と頭字語	1
2.	動作概要	2
2.1	TVのサポート	3
2.1.1	ウィンドウデータの書き込み	3
2.1.2	拡大縮小処理機能	3
2.1.3	TVウィンドウのボーダーをサポート	3
2.2	データパスの例	4
3.	特長	5
3.1	内蔵表示バッファ	5
3.2	CPUインタフェース	5
3.3	入力データフォーマット	5
3.4	TV表示のサポート	5
3.5	TV表示の特長	5
3.6	画像強化エンジン	6
3.7	クロックソース	6
3.8	その他	6
4.	機能ブロック図	7
5.	端子	8
5.1	S1D13771端子配置図	8
5.2	端子説明	9
5.2.1	Intel 80ホストインタフェース	10
5.2.2	TVインタフェース	11
5.2.3	クロック	12
5.2.4	その他	12
5.2.5	電源およびグラウンド	13
6.	DC特性	14
6.1	絶対最大定格	14
6.2	推奨動作条件	14
6.3	電气的特性	15
6.4	DAC特性	17
6.5	推定消費電力	18
6.6	電源シーケンス	19
7.	AC特性	20
7.1	クロックタイミング	20

7.1.1	入力クロック	20
7.1.2	PLLクロック	22
7.2	リセットタイミング	24
7.3	ホストインタフェースのタイミング	25
7.3.1	Intel 80インタフェースのタイミング	25
7.3.2	Hi-Z状態への遷移時間の定義	27
7.4	LCDチップセレクトのタイミング	28
7.5	TVのタイミング	29
7.5.1	TV出力のタイミング	29
7.5.2	TV出力の最大電圧	33
7.5.3	TV出力パラメータ	34
8.	クロック	44
8.1	クロック機能ブロック図	44
8.2	クロックの説明	45
8.2.1	システムクロック	45
8.2.2	TV DDSクロック	45
8.2.3	TVタイミングクロック	45
9.	レジスタ	46
9.1	レジスタマッピング	46
9.2	レジスタセット	47
9.3	レジスタの制限	48
9.4	レジスタの説明	49
9.4.1	製品情報レジスタ	49
9.4.2	クロック構成レジスタ	50
9.4.3	TV構成レジスタ	57
9.4.4	TV検出レジスタ	66
9.4.5	入力データ制御レジスタ	68
9.4.6	表示出力制御レジスタ	71
9.4.7	表示メモリアクセスレジスタ	76
9.4.8	3 x 3ピクセルマトリックスフィルタレジスタ	81
9.4.9	汎用IO端子レジスタ	91
10.	Intel 80、8ビットインタフェースのカラーフォーマット	93
10.1	16bppモード (RGB 5:6:5)、65,536色	93
10.2	18bpp (RGB 6:6:6)、262,144色	94
10.3	24bpp (RGB 8:8:8)、16,777,216色	95
11.	YUVタイミング	96
11.1	Intel 80の8ビットインタフェースでのYUV 4:2:2	97
12.	画像強化エンジン	98
12.1	3 x 3フィルタ	98

12.1.1	プログラミング値の例	100
13.	ホストインタフェース	101
13.1	Intel 80インタフェース	101
13.1.1	レジスタライト手順	102
13.1.2	レジスタリード手順	103
13.1.3	メモリバーストライトの手順	104
14.	標準的な使用例の説明	105
14.1	S1D13771の初期化	105
14.1.1	プログラミングフロー	106
14.2	TV表示用の画像の書き込み	109
14.2.1	プログラミングフロー	110
15.	TVフィルタ動作	111
15.1	ルミネンス（Y）とカラー（UV）のカスタムフィルタ係数の生成	111
15.1.1	フィルタパラメータ	112
16.	パワーセーブモード	115
16.1	スリープモード	115
16.2	スタンバイモード	117
17.	TV検出	119
17.1	TV接続の検出	119
17.2	TV未接続の検出	120
18.	外付け部品	121
18.1	DACの外付け部品	121
19.	アナログ電源の検討事項	124
19.1	アナログ電源配置のガイドライン	124
20.	メカニカルデータ	126
21.	参考資料	130
	改訂履歴表	131

1. はじめに

1.1 適用範囲

本書は、LCDコントローラS1D13771のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13771B01 TV-Out Graphics Engine Hardware Functional Specificationが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、
http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm
<http://vdc.epson.com/>
からダウンロードできます。

1.2 略語と頭字語

本書では、以下の略語と頭字語を使用しています。

他の表示（bは2進数、hは16進数）がない限り、数字はすべて10進数です。

$k = 2^{10} = 1024$ （メモリに関して使用するとき）

b = ビット

B = バイト

bpp = ビット/ピクセル

msb = 最上位ビット

lsb = 最下位ビット

IO = 入力/出力

LUT = ルックアップテーブル

NC = 未接続

YYC = YUV/YUVコンバータ

YRC = YUV/RGBコンバータ

RYC = RGB/YUVコンバータ

VDP = 垂直表示期間

VNDP = 垂直非表示期間

DDS = デジタルダイレクトシンセサイズ

POUT = PLL出力

2. 動作概要

2. 動作概要

S1D13771は、TV出力のダイレクトサポートを備えた極めて低コストのLPC（low pin-count）デバイスです。高品質の内部スケーラと複雑なTVフィルタにより、最小限のメモリを使用して最大でVGA解像度までの入力を格納することができ、同時にPALまたはNTSC規格のいずれかで規定された最大解像度でスムーズに出力を調整することができます。S1D13771は、TV出力が必要条件とされる携帯電話市場にとって理想的なソリューションです。

すべての画像データは、入力／出力ウィンドウサイズレジスタとデータポートを使用します。S1D13771は、Intel 80 CPUインタフェースからのDMAバーストアクセスを受け入れるように設計されています。表示バッファへのすべてのアクセスは、表示メモリデータポートを経由して処理されます。

最小限の機能セットと高レベルな集積化（内蔵SRAMと高出力DAC）により、モバイル通信機器などのTV出力を必要とする組み込み市場の要求に応えた、低コストで低電力のシングルチップソリューションを提供しています。

2.1 TVのサポート

S1D13771は、解像度と出力フォーマットに関して、NTSCとPALの両方の出力規格に準拠しています。またコンポジットビデオ出力に対応しています。S1D13771は、RGB (5:6:5、6:6:6、8:8:8) またはYUV4:2:2のフォーマットの入力を受信することができます。すべての入力データはスケーラで処理され、メモリに格納されます。

2.1.1 ウィンドウデータの書き込み

ウィンドウデータは、Intel 80インタフェースを経由してホストプロセッサによって書き込まれます。ウィンドウのサイズは変更することができます。

2.1.2 拡大縮小処理機能

ウィンドウサイズが選択したTV出力規格（PALまたはNTSC）の解像度より小さい場合、バイキュービックスケーラを使用してTVでの表示に合わせて出力画像を拡大することができます。

得られた拡大の解像度が、PALまたはNTSC規格で定義された最大解像度に等しくない場合、自動的にボーダーが生成され、得られた画像はそのボーダー内でセンタリングされます。

また、出力画像を入力画像サイズの50%に縮小することができます。縮小された画像はオートボーダー内でセンタリングされます。

2.1.3 TVウィンドウのボーダーをサポート

得られた画像サイズ（拡大後または縮小後）がTV出力解像度（PALまたはNTSC）に等しくない場合、S1D13771は自動的にウィンドウの周りにボーダーを生成します。このウィンドウは、そのボーダー内でセンタリングされ、ボーダーカラーはプログラム可能です。

2. 動作概要

2.2 データパスの例

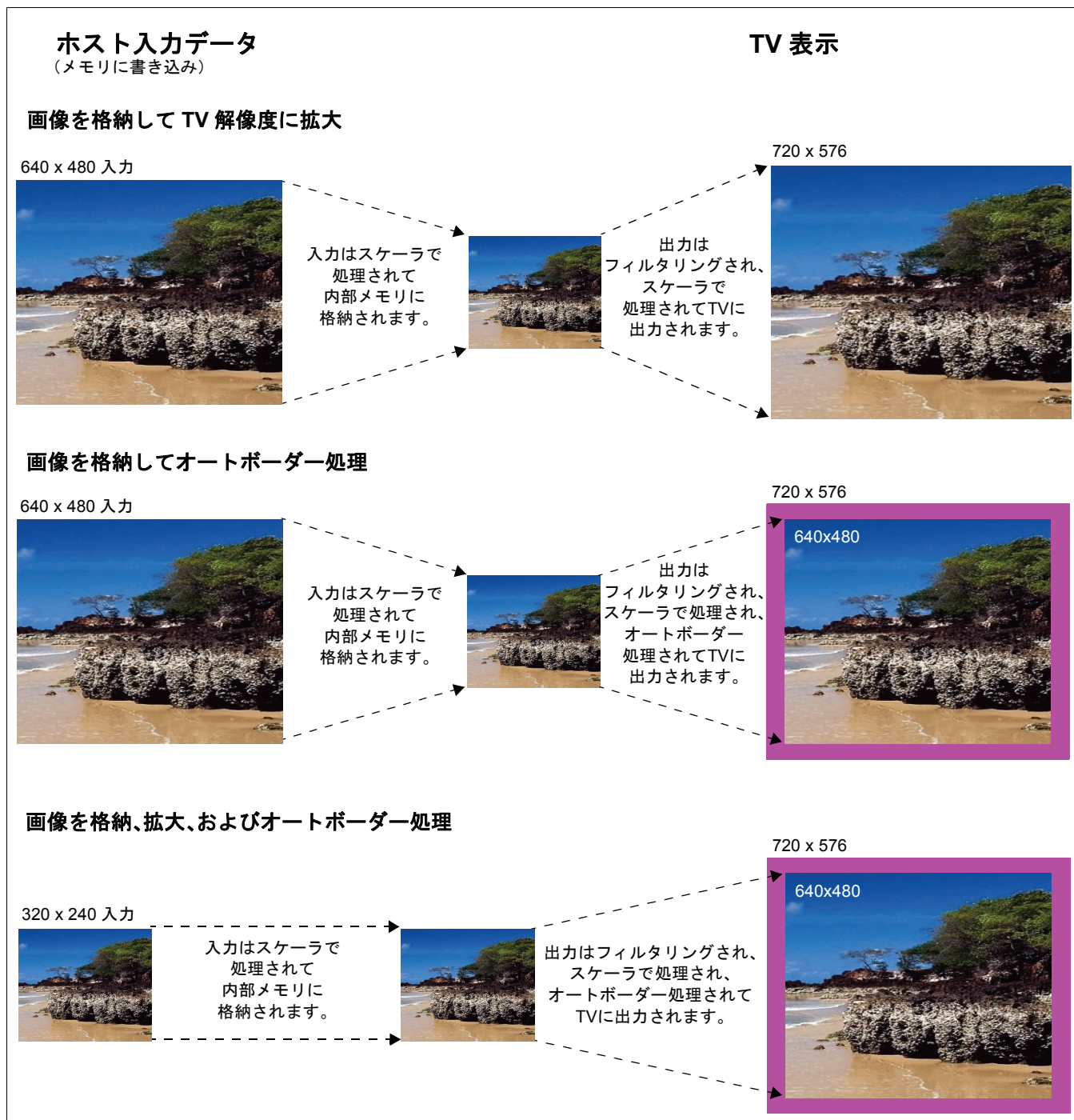


図2.1 データパスの例

3. 特長

3.1 内蔵表示バッファ

- SRAM表示バッファを内蔵

3.2 CPUインタフェース

- 8ビットのIntel 80インタフェースを使用して表示データとレジスタデータを入力します。
- チップセレクトを使用してS1D13771を選択します。インアクティブのとき、入力データ／コマンドは無視されます。

3.3 入力データフォーマット

- RGB: 8:8:8、6:6:6、5:6:5
- YUV: 4:2:2
- すべての入力データはスケーラによって処理されて、フレームバッファに格納されます。

3.4 TV表示のサポート

- PALとNTSCの両方の出力フォーマットのためのコンポジット出力
- TVの接続と切断の検出
- 15タップのプログラム可能なクロミナンス／ルミナンスフィルタ

3.5 TV表示の特長

- バイキュービックスケーラを使用して出力画像データを拡大または縮小します。
 - 最大出力サイズ: PALまたはNTSC解像度
 - 最小出力サイズ: 入力サイズの50%
- スクエアピクセル補正
- オートボーダー: TV画像を出力解像度に合わせて自動的に「ボーダー処理」します（拡大しない場合）。
 - プログラム可能なYUVボーダーカラー
 - 出力画像はボーダー内でセンタリングされます。
 - 独立したアスペクト比をディスプレイ出力の高さ／幅の倍率に利用することができます。

3. 特長

3.6 画像強化エンジン

- 3 x 3ピクセルフィルタ
 - 各YUVコンポーネントごとに個別の制御を備えたユーザー定義係数
- 表示効果には以下が含まれます。
 - スムーズ、シャープ、ぼかし、ディテール、エッジ強調、エンボス、輪郭、フリッカフィルタ、セピア、ドットクロールの補正

3.7 クロックソース

- プログラム可能な内部PLL
- 単一の発振器入力: CLKI

注

適切なPALとNTSCの出力タイミングを取得するためには、内部のTVタイミングロジックに27MHzまたは26MHzのクロックが必要となります。これは、直接CLKIを使用して得るか、またはPLL出力によって得ることができます。詳細については、44ページの8.「クロック」を参照してください。

3.8 その他

- ソフトウェアのパワーセーブモード
 - 2レベル: スリープまたはスタンバイモード
- 汎用の入出力端子が利用可能（GPIO[3:0]）
 - 選択可能なGPIO入力に割り込み端子（INT）を関連付け
- パッケージ: W-CSP 64ピンパッケージ
 - 4.46mm（幅）x 4.46mm（高さ）
 - 0.5mmボールピッチ

4. 機能ブロック図

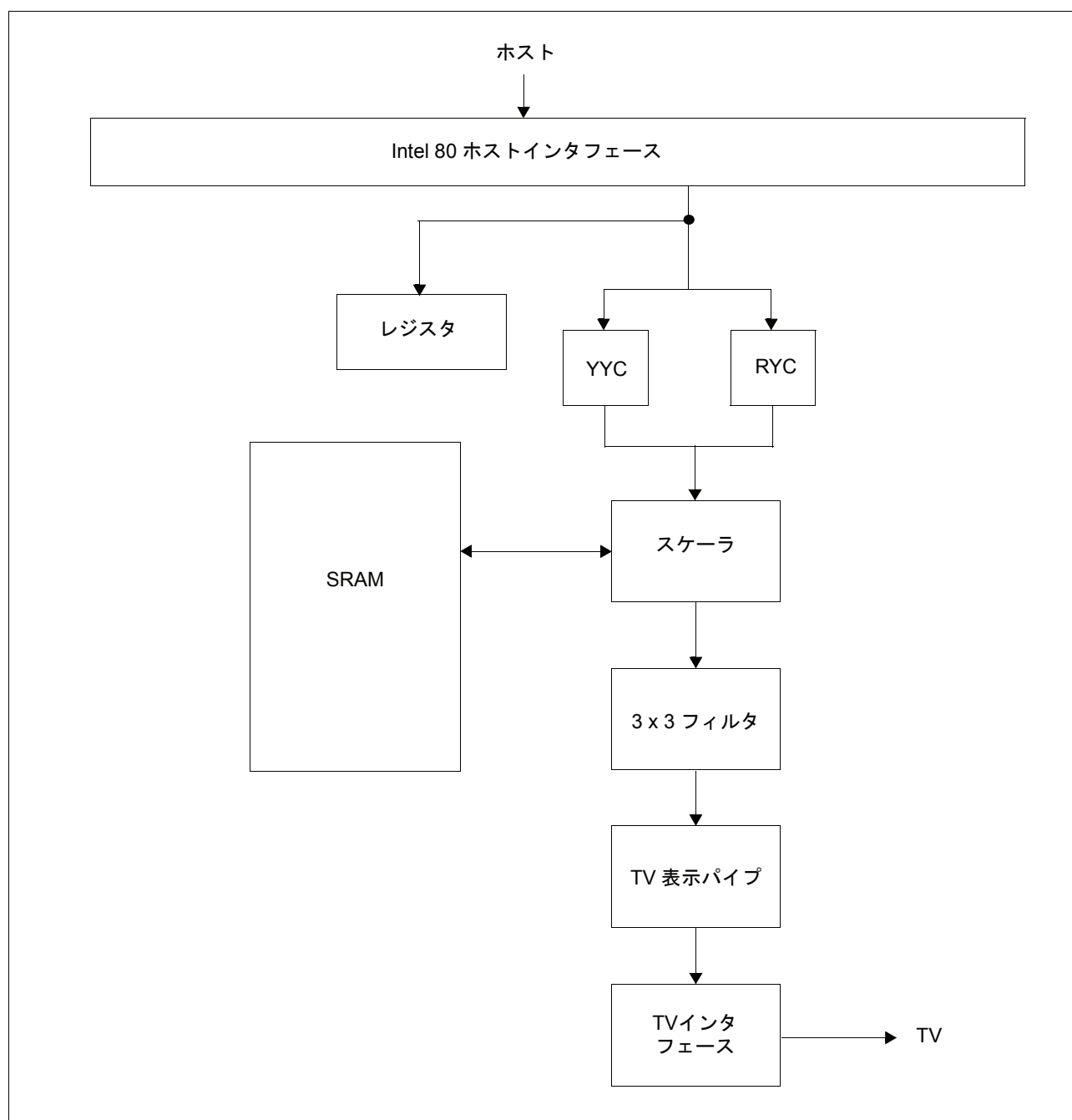


図4.1 S1D13771の機能ブロック図

5. 端子

5. 端子

5.1 S1D13771端子配置図

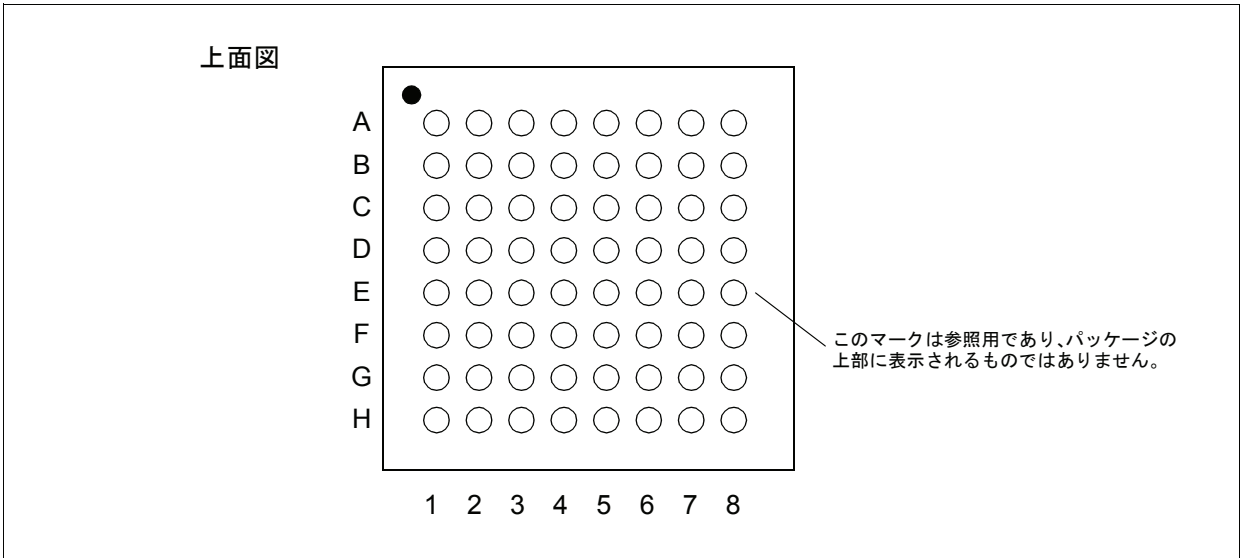


図5.1 S1D13771 W-CSP 64ピン端子配置図（上面図）

表5.1 S1D13771 W-CSP 64ピン端子配置（上面図）

	1	2	3	4	5	6	7	8	
A	NC	GPIO3	TE	COREVDD	D/C#	MD2	MD4	NC	A
B	TESTEN	VSS	GPIO_INT	CS#	IOVDD	VSS	MD5	SCANEN	B
C	Reserved	GPIO2	RESET#	VSS	WE#	IOVDD	MD6	MD7	C
D	VSS	GPIO1	IOVDD	CS#SEL	RD#	MD3	IOVDD	COREVDD	D
E	COREVDD	GPIO0	VSS	LCDCS#	MD0	Reserved	COREVDD	VSS	E
F	DACVCC	DACVCC	DACVEE	VSS	MD1	VSS	PLLSS	PLLVD	F
G	DACVEE	DACVEE	VREF	IOVDD	COREVDD	IOVDD	VSS	VCP	G
H	NC	AOUT	VADJ	TEST0	TEST1	VSS	CLKI	NC	H
	1	2	3	4	5	6	7	8	

注

NCと表示された端子は使用しません。未接続のままにしておく必要があります。Reservedと表示された端子は、他に指定がない限り、未接続のままにしておく必要があります。

5.2 端子説明

略語の意味

端子のタイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子
AP	=	アナログ電源端子
G	=	グラウンド端子
AG	=	アナロググラウンド端子

RESET#/パワーセーブステータス

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）

表5.2 セル説明

セル	説明
HI	H系（注1）LVCMOS（注3）入力バッファ（Fail safe付き）
HIS	H系LVCMOSシュミット入力バッファ（Fail safe付き）
HID	H系LVCMOS入力バッファ（プルダウン抵抗およびFail safe付き）
HO	H系LVCMOS出力バッファ（Fail safe付き）
HB	H系LVCMOS双方向バッファ（Fail safe付き）
HBD	H系LVCMOS双方向バッファ（プルダウン抵抗およびFail safe付き）
LIDS	L系（注2）LVCMOSシュミット入力バッファ（プルダウン抵抗付き）
LITR	L系透明性入力バッファ
LOTR	L系透明性出力バッファ
AIO	アナログ

注

- 1 H系はIOVDDおよびPIOVDDです（14ページの6.「DC特性」を参照してください）。
- 2 L系はCOREVDDです（14ページの6.「DC特性」を参照してください）。
- 3 LVCMOSは低電圧CMOSです（14ページの6.「DC特性」を参照してください）。

5. 端子

5.2.1 Intel 80ホストインタフェース

表5.3 ホストインタフェースの端子説明

端子名	端子 タイプ	端子	セル	IO電圧	RESET# 状態	パワー セーブ ステータス	説明
MD[7:0]	IO	C8、C7、B7、 A7、D6、A6、 F5、E5	HB	IOVDD	Hi-Z	Hi-Z	これらの入出力端子はIntel 80ホストインタフェースのデータラインです。
WE#	I	C5	HI	IOVDD	—	—	この入力端子はIntel 80ホストインタフェースのライトイネーブル信号です。
RD#	I	D5	HI	IOVDD	—	—	この入力端子はIntel 80ホストインタフェースのリードイネーブル信号です。
CS#	I	B4	HI	IOVDD	—	—	この入力端子はIntel 80ホストインタフェースのチップセレクト信号です。
D/C#	I	A5	HI	IOVDD	—	—	この入力端子はIntel 80ホストインタフェースのアドレスまたはデータを選択します。
TE	O	A3	HO	IOVDD	L	X	この出力端子は、ディスプレイのVSYNCステータスを反映するティアリング効果端子です。この端子を使用して、ホストから新しいデータを安全に書き込めるタイミングを示すことにより、画像の視覚的なティアリングを防ぐことができます。パワーセーブモードでのTE端子のステータスは、パワーセーブモードがイネーブルであったときの端子の状態です。
GPIO_INT	O	B3	HO	IOVDD	L	L	この端子は、GPIO端子が入力として構成されているときに、そのGPIO端子に関連付けられる割り込み出力です。GPIOの割り込みが発生すると、この出力端子がHIGH固定されます。詳細については、91ページの9.4.9「汎用IO端子レジスタ」にあるRFG[F0h]~REG[FAh]のレジスタの説明を参照してください。
RESET#	I	C3	HIS	IOVDD	—	—	このアクティブLOW入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。
CS#SEL	I	D4	HI	IOVDD	—	—	この入力端子は、CS#SEL 端子モードビット (REG[2Eh] ビット4) と組み合わせて、CS# が S1D13771 内部回路に渡されたか、あるいは LCDCS#端子に渡されたかどうかを判断します。CS#SEL = 0およびREG[2Eh]ビット4 = 0のとき、CS#はLCDCS#端子にのみ渡されます。このCS#SEL = 1およびREG[2Eh]ビット4 = 0のとき、CS#はS1D13771内部回路にのみ渡されます。REG[2Eh]ビット4 = 1のとき、CS#SEL端子の状態は無視され、CS#はLCDCS#端子とS1D13771内部回路の両方に渡されます。
LCDCS#	O	E4	HO	IOVDD			この端子を使用して、CS#SEL 端子 = 0またはCS#SEL端子モードビット = 1 (REG[2Eh]ビット4 = 1) のときに、CS#のステータスを出力します。CS#SEL端子 = 1およびCS#SEL端子モードビット = 0のとき、この端子はHIGHのままです。

5.2.2 TVインタフェース

注

未使用のとき、これらの端子は未接続のままにしておく必要があります。

表5.4 TVインタフェースの端子説明

端子名	端子 タイプ	端子	セル	IO電圧	RESET# 状態	パワー セーブ ステータス	説明
AOUT	O	H2	AIO	DACVCC	0	0 (注)	この端子はアナログ出力で、二重終端された75Ωの負荷(37.5Ω)を駆動するように設計されています。詳細については、121ページの18.1「DACの外付け部品」を参照してください。
VREF	IO	G3	AIO	DACVCC	0	0 (注)	この入出力端子は、DAC用の基準電圧です。VREFイネーブルビット(REG[9Eh]ビット0)を使用して、外部または内部のいずれのVREFモードを選択するのかを決定します。 REG[9Eh]ビット0 = 0のとき、外部VREFモードが選択されるので、この端子には、1.23Vの電圧を加える必要があります。 REG[9Eh]ビット0 = 1のとき、内部VREFモードが選択されるので、テスト中にこの端子を使用して、出力レベルが1.23Vであることを確認することができます。ただし、通常動作ではこの端子は未接続のままにしておく必要があります。
VADJ	IO	H3	AIO	DACVCC	0	0 (注)	この入出力端子は、内部DAC用の基準電流の生成端子です。2.06kΩの抵抗器(Rset)をVADJとDACVEEの間に接続してください。詳細については、121ページの18.1「DACの外付け部品」を参照してください。 IREFイネーブルビット = 0 (REG[9Eh]ビット1 = 0) のとき、基準電流の内部生成はディセーブルとなり、VADJは基準電流を制御しません。抵抗器を接続したままにしても問題はありません。

注

REG[80h]ビット2およびREG[9Eh]ビット1は、パワーセーブモードをイネーブルにする前に0に設定する必要があります。

5. 端子

5.2.3 クロック

表5.5 クロック入力の端子説明

端子名	端子 タイプ	端子	セル	IO電圧	RESET# 状態	パワー セーブ ステータス	説明
CLKI	I	H7	HIS	IOVDD	—	—	この端子はクロック入力です。クロックの構造の詳細については、44ページの8.「クロック」を参照してください。

5.2.4 その他

表5.6 その他の端子説明

端子名	端子 タイプ	端子	セル	IO電圧	RESET# 状態	パワー セーブ ステータス	説明
TESTEN	I	B1	LIDS	IOVDD	0	—	この端子はテストイネーブル入力で、生産試験でのみ使用します。この端子は、通常動作では未接続のままにしておく必要があります。
GPIO[3:0]	IO	A2、C2、 D2、E2	HBD	IOVDD	—	アクティブ	これらの端子は汎用入出力端子です。これらの端子には、REG[FAh]を使用して制御できる内蔵プルダウン抵抗があります。GPIO[3:0]は、プルダウン抵抗を有効にした入力にデフォルト設定されています。
Reserved	—	C1	—	—	—	—	この端子はReservedであり、VSSIに接続する必要があります。
TEST[1:0]	I	H5、H4	HID	IOVDD	—	—	これらの入力端子は生産試験でのみ使用し、通常動作では未接続のままにしておく必要があります。
SCANEN	I	B8	HID	IOVDD	—	—	この端子はスキャンイネーブル入力であり、生産試験でのみ使用します。この端子は、通常動作では未接続のままにしておく必要があります。
VCP	I	G8	LITR	PLLVD	Z	Z	この入力端子は生産試験用でのみ使用し、通常動作では未接続のままにしておく必要があります。
Reserved	—	E6	—	—	—	—	この端子はReservedであり、未接続のままにしておく必要があります。

5.2.5 電源およびグラウンド

表5.7 電源およびグラウンドの端子説明

端子名	端子 タイプ	端子	セル	説明
COREVDD	P	A4、D8、E1、 E7、G5	P	コア電源
IOVDD	P	B5、C6、D3、 D7、G4、G6	P	ホストインタフェース用のIO電源
VSS	G	B2、B6、C4、 D1、E3、E8、 F4、F6、G7、 H6	P	GND
PLLVDD	AP	F8	P	PLL電源
PLLVSS	AG	F7	P	PLL用のGND
DACVCC	AP	F1、F2	P	DACのアナログ電源
DACVEE	AG	F3、G1、G2	P	DACのアナログ用のGND

6. DC特性

6. DC特性

6.1 絶対最大定格

表6.1 絶対最大定格

記号	パラメータ	定格	単位
Core V _{DD}	コア電源電圧	VSS - 0.3~2.0	V
PLL V _{DD}	PLL電源電圧	VSS - 0.3~2.0	V
IO V _{DD}	ホストIO電源電圧	COREVDD~4.0	V
V _{IN}	入力電圧	VSS - 0.3~IOVDD + 0.3	V
V _{OUT}	出力電圧	VSS - 0.3~IOVDD +0.3	V
I _{OUT}	出力電流	±10	mA

6.2 推奨動作条件

表6.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
Core V _{DD}	コア電源電圧	V _{SS} = 0V	1.35	1.5	1.65	V
IO V _{DD}	ホストIO電源電圧	V _{SS} = 0V	1.65	—	3.6	V
PLL V _{DD}	PLL電源電圧	V _{SS} = 0V	1.35	1.5	1.65	V
DAC V _{CC}	DACアナログ電源電圧	V _{SS} = 0V	2.7	3.0	3.3	V
V _{IN}	入力電圧	—	VSS	—	IOVDD	V
T _{OPR}	動作温度	—	-40	25	85	°C

6.3 電気的特性

以下の特性は、各IOVDDでのVSS = 0V、T_{OPR} = -40～85℃の場合の特性です。

表6.3 IOVDD = 3.3V±0.3V、VSS = 0V

記号	パラメータ	条件	Min	Typ	Max	単位
I _{Iz}	入力リーク電流	—	-5	—	5	μA
I _{Oz}	オフ状態リーク電流	—	-5	—	5	
IOV _{OH}	高レベル出力電圧	IOVDD = Min. IOH = -4mA	IOVDD - 0.4	—	—	V
IOV _{OL}	低レベル出力電圧	IOVDD = Min. IOL = 4mA	—	—	0.4	V
V _{IH}	高レベル入力電圧	LVC MOSレベル、 IOVDD = Max.	2.2	—	IOVDD + 0.3	V
V _{IL}	低レベル入力電圧	LVC MOSレベル、 IOVDD = Min.	-0.3	—	0.8	
V _{T+}	ポジティブトリガ電圧	LVC MOSシュミット	1.05	—	2.34	V
V _{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.75	—	1.98	
ΔV	ヒステリシス電圧	LVC MOSシュミット	0.3	—	—	V
R _{PD}	ブルダウン抵抗	VI = IOVDD	20	50	120	kΩ
C _{IO}	端子の静電容量	f = 1MHz、IOVDD = 0V	—	—	10 (注)	pF

注

32pFのAOUT端子を除きます。

6. DC特性

表6.4 IOVDD = 2.8V±0.14V、VSS = 0V

記号	パラメータ	条件	Min	Typ	Max	単位
I _{Iz}	入力リーク電流	—	-5	—	5	μA
I _{OZ}	オフ状態リーク電流	—	-5	—	5	
IOV _{OH}	高レベル出力電圧	IOVDD = Min. IOH = -3.6mA	IOVDD - 0.4	—	—	V
IOV _{OL}	低レベル出力電圧	IOVDD = Min. IOL = 3.6mA	—	—	0.4	V
V _{IH}	高レベル入力電圧	LVC MOSレベル、 IOVDD = Max.	1.75	—	IOVDD + 0.3	V
V _{IL}	低レベル入力電圧	LVC MOSレベル、 IOVDD = Min.	-0.3	—	0.7	
V _{T+}	ポジティブトリガ電圧	LVC MOSシュミット	0.93	—	1.92	V
V _{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.66	—	1.62	
ΔV	ヒステリシス電圧	LVC MOSシュミット	0.27	—	—	V
R _{PD}	ブルダウン抵抗	VI = IOVDD	24	60	144	kΩ
C _{IO}	端子の静電容量	f = 1MHz、IOVDD = 0V	—	—	10 (注)	pF

注

32pFのAOOUT端子を除きます。

表6.5 IOVDD = 1.8V±0.15V、VSS = 0V

記号	パラメータ	条件	Min	Typ	Max	単位
I _{Iz}	入力リーク電流	—	-5	—	5	μA
I _{OZ}	オフ状態リーク電流	—	-5	—	5	
IOV _{OH}	高レベル出力電圧	IOVDD = Min. IOH = -1.8mA	IOVDD - 0.4	—	—	V
IOV _{OL}	低レベル出力電圧	IOVDD = Min. IOL = 1.8mA	—	—	0.4	V
V _{IH}	高レベル入力電圧	LVC MOSレベル、 IOVDD = Max.	1.29	—	IOVDD + 0.3	V
V _{IL}	低レベル入力電圧	LVC MOSレベル、 IOVDD = Min.	-0.3	—	0.56	
V _{T+}	ポジティブトリガ電圧	LVC MOSシュミット	0.64	—	1.39	V
V _{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.49	—	1.19	
ΔV	ヒステリシス電圧	LVC MOSシュミット	0.17	—	—	V
R _{PD}	ブルダウン抵抗	VI = IOVDD	36	100	244	kΩ
C _{IO}	端子の静電容量	f = 1MHz、IOVDD = 0V	—	—	10 (注)	pF

注

32pFのAOOUT端子を除きます。

6.4 DAC特性

以下の特性は、 $DACVCC = 2.7V \sim 3.3V$ 、 $VSS = PLLVSS = DACVEE = 0V$ 、 $T_{OPR} = -40 \sim 85^{\circ}C$ 、 $R_L = 37.5 \Omega$ 、 $C_L = 30pF$ 、 $R_{ADJ} = 2060 \Omega$ 、 $VREF = \text{オープン}$ の場合の特性です。

表6.6 DAC特性

記号	パラメータ	条件	Min	Typ	Max	単位
	解像度	—	—	10	—	bits
	サンプルレート	—	—	27	—	MHz
	クロックデューティサイクル	—	40	50	60	%
	最小出力電圧	ゼロスケール	-0.05	0	0.05	V
	最大出力電圧	フルスケール	1.17	1.30	1.43	V
	微分非直線性	—	-1	—	1	LSB
	積分非直線性	—	-3	—	3	LSB

注

TV出力AOUTが 75Ω 負荷によってのみ単独で終端されている場合（すなわちTVに接続されていない場合）、出力電圧レベルは2倍になります。概要については、33ページの7.5.2「TV出力の最大電圧」を参照してください。

6. DC特性

6.5 推定消費電力

以下の資料は、実行可能な3つのモード（アクティブモード、スタンバイモード、およびスリープモード）のそれぞれについて、S1D13771の推定消費電力を一覧にしたものです。

表6.7 S1D13771の推定消費電力

S1D13771アクティブ（注1）	消費電流
コア（1.5V）	15mA
DAC	47mA

スタンバイモードイネーブル（注2）	消費電流
コア	1mA
DAC	0

スリープモードイネーブル（注3）	消費電流
コア	20 μ A
DAC	0

注

1. アクティブモードは、スリープモードイネーブルビット（REG[2Eh]ビット1）およびスタンバイモードイネーブルビット（REG[2Eh]ビット0）の両方が0のときです。
2. スタンバイモードは、スタンバイモードイネーブルビットが1（REG[2Eh]ビット0 = 1）であるときです。
3. スリープモードは、スリープモードイネーブルビットが1（REG[2Eh]ビット1 = 1）であるときです。

6.6 電源シーケンス

S1D13771は、4つの電源電圧、すなわちIOVDD、DACVDD、COREVDD、およびPLLVDVDDを備えています。場合によっては、すべての電源電圧を必要としないことがあります。節電のため、特定の電源は、不要なときにはオフにしておくことができます。以下の表に、電源電圧の可能な組み合わせを一覧で示します。

表6.8 電源シーケンスの一覧

IOVDD	DACVDD	COREVDD	PLLVDVDD	可／不可
オフ	オフ	オフ	オフ	可
オン	オフ	オフ	オフ	可
オフ	オン	オフ	オフ	可
オン	オン	オフ	オフ	可
オフ	オフ	オン	オフ	不可
オン	オフ	オン	オフ	不可
オフ	オン	オン	オフ	不可
オン	オン	オン	オフ	不可
オフ	オフ	オフ	オン	不可
オン	オフ	オフ	オン	不可
オフ	オン	オフ	オン	不可
オン	オン	オフ	オン	不可
オフ	オフ	オン	オン	可
オン	オフ	オン	オン	可
オフ	オン	オン	オン	可
オン	オン	オン	オン	可

注

1. S1D13771 のパワーセーブモードの詳細については、115 ページの 16. 「パワーセーブモード」を参照してください。
2. 電源シーケンスの一覧で、「オフ」は、電源電圧レベルが 0.2V 未満でなければならないことを示します。

7. AC特性

7. AC特性

条件：

IOVDD = 1.8V ± 0.15V または 2.8V ± 0.14V

T_A = -40°C ~ 85°C

シュミットとCLKIを除くすべての入力についてT_{rise}とT_{fall}は ≤ 50ns (10% ~ 90%) でなければなりません。

すべてのシュミットについてT_{rise}とT_{fall}は ≤ 5ms (10% ~ 90%) でなければなりません。

C_L = 8pF ~ 30pF (MD[7:0])

C_L = 15pF (TE、GPIO_INT)

C_L = 30pF (GPIOインタフェース)

7.1 クロックタイミング

7.1.1 入力クロック

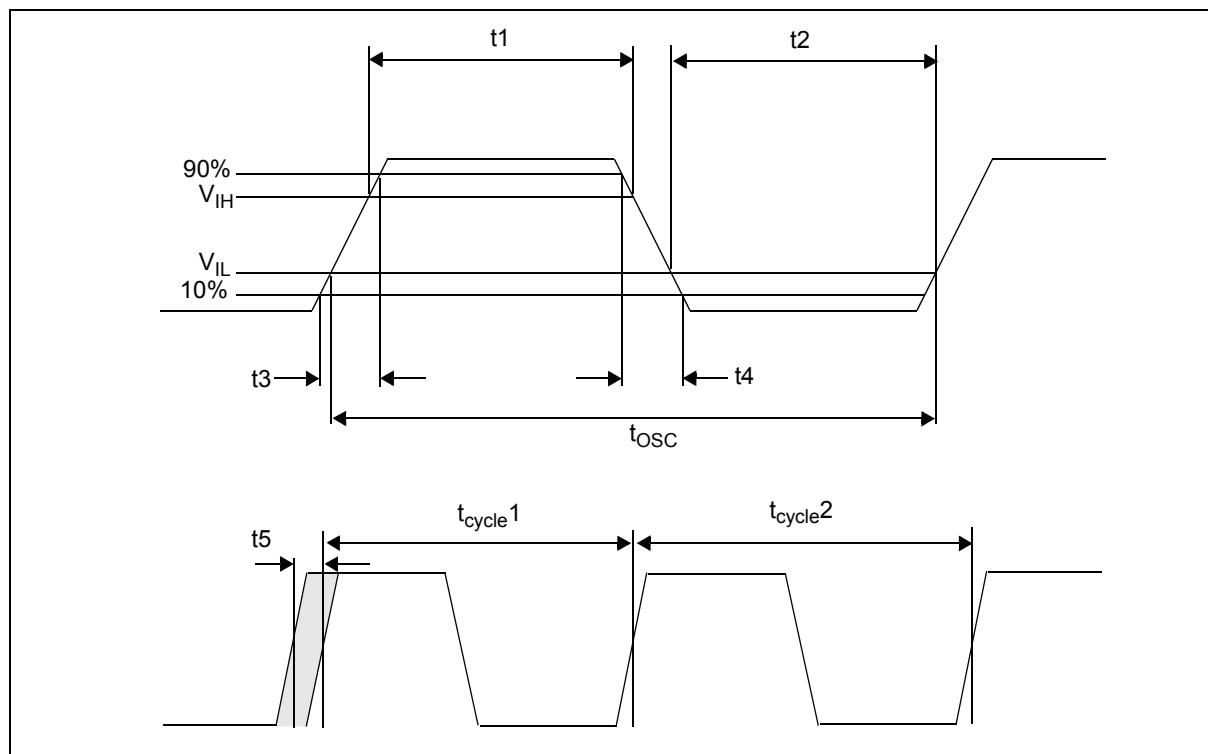


図7.1 クロック入力要件 (PLL)

表7.1 クロック入力要件 (PLL)

記号	パラメータ	Min	Typ	Max	単位
f_{OSC}	入力クロック周波数	1	27	54	MHz
t_{OSC}	入力クロック周期	—	$1/f_{OSC}$	—	μs
t_1	入力クロックHIGHパルス幅	0.4	—	0.6	t_{OSC}
t_2	入力クロックLOWパルス幅	0.4	—	0.6	t_{OSC}
t_3	入力クロック立ち上がり時間 (10%~90%)	—	—	5	ns
t_4	入力クロック立ち下がり時間 (90%~10%)	—	—	5	ns
t_5	入力クロック周期ジッタ (注2、4)	-300	—	300	ps
t_6 (注1)	入力クロックサイクルジッタ (注3、4)	-300	—	300	ps

注

- $t_6 = t_{cycle1} - t_{cycle2}$
- 入力クロック周期ジッタは、クロックセンターを基準としたときの変位です。
- 入力クロックサイクルジッタは、隣接するサイクル間の周期差です。
- ジッタの特性は、 t_5 および t_6 の両方の特性を満たす必要があります。

7. AC特性

7.1.2 PLLクロック

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッタを増大させたりする恐れがあります。

このノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。入力クロック波形のジッタはできるだけ少なくなるようにしてください。

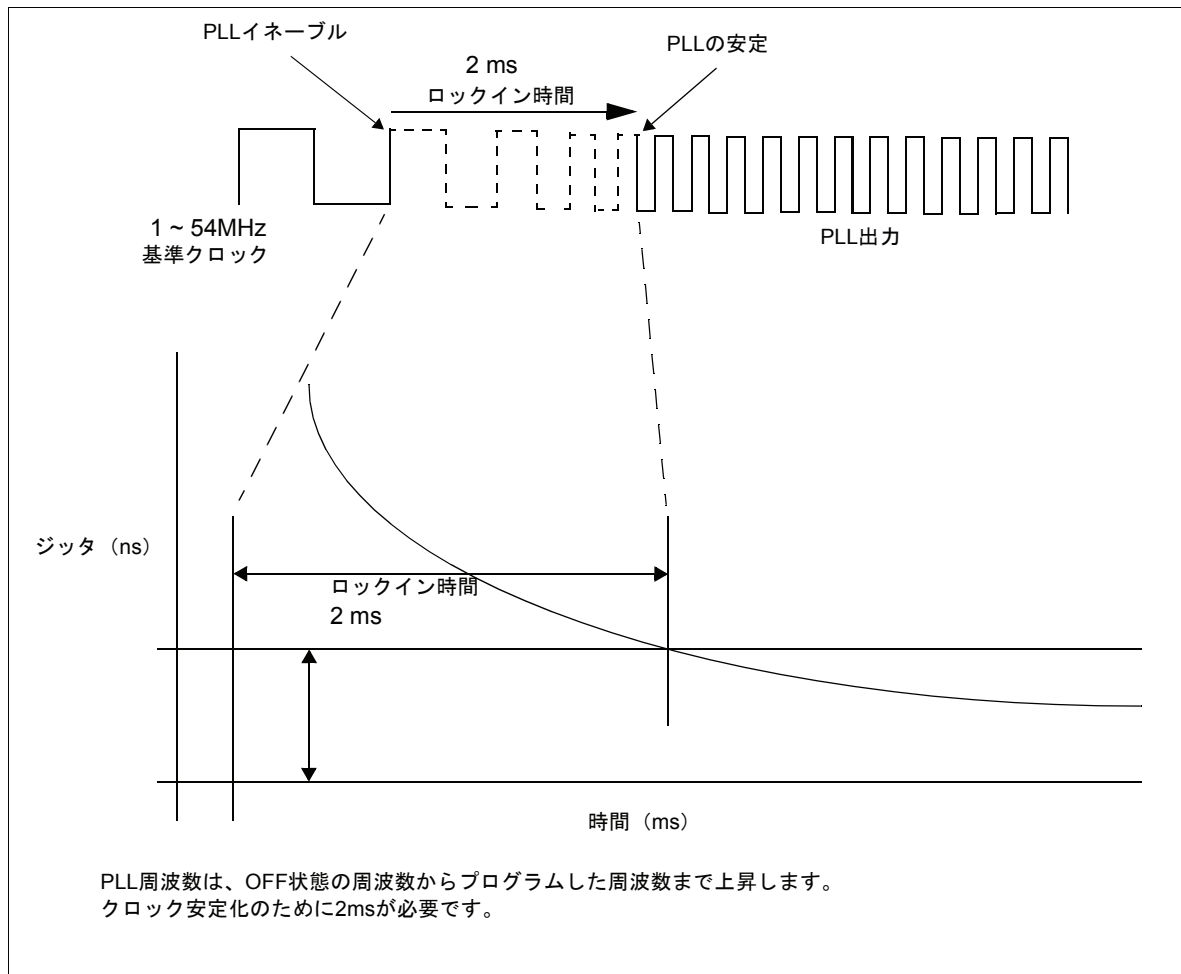


図7.2 PLL起動時間

表7.2 PLLクロックの要件

記号	パラメータ	Min	Max	単位
f_{PLL}	PLL出力クロックの周波数	54	54	MHz
t_{PStal}	PLL出力の安定時間	1	2	ms

7. AC特性

7.2 リセットタイミグ

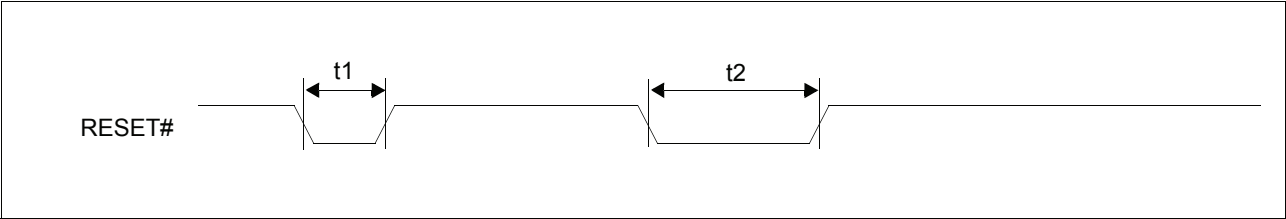


図7.3 S1D13771のリセットタイミグ

表7.3 S1D13771のリセットタイミグ

記号	パラメータ	Min	Max	単位
t1	リセットパルス幅は無視される。	—	44	ns
t2	アクティブなリセットパルス幅（注）	150	—	ns

注

- RESET#ラインは、150ns以上LOWに保持しリセットを保証する必要があります。

7.3 ホストインタフェースのタイミング

7.3.1 Intel 80インタフェースのタイミング

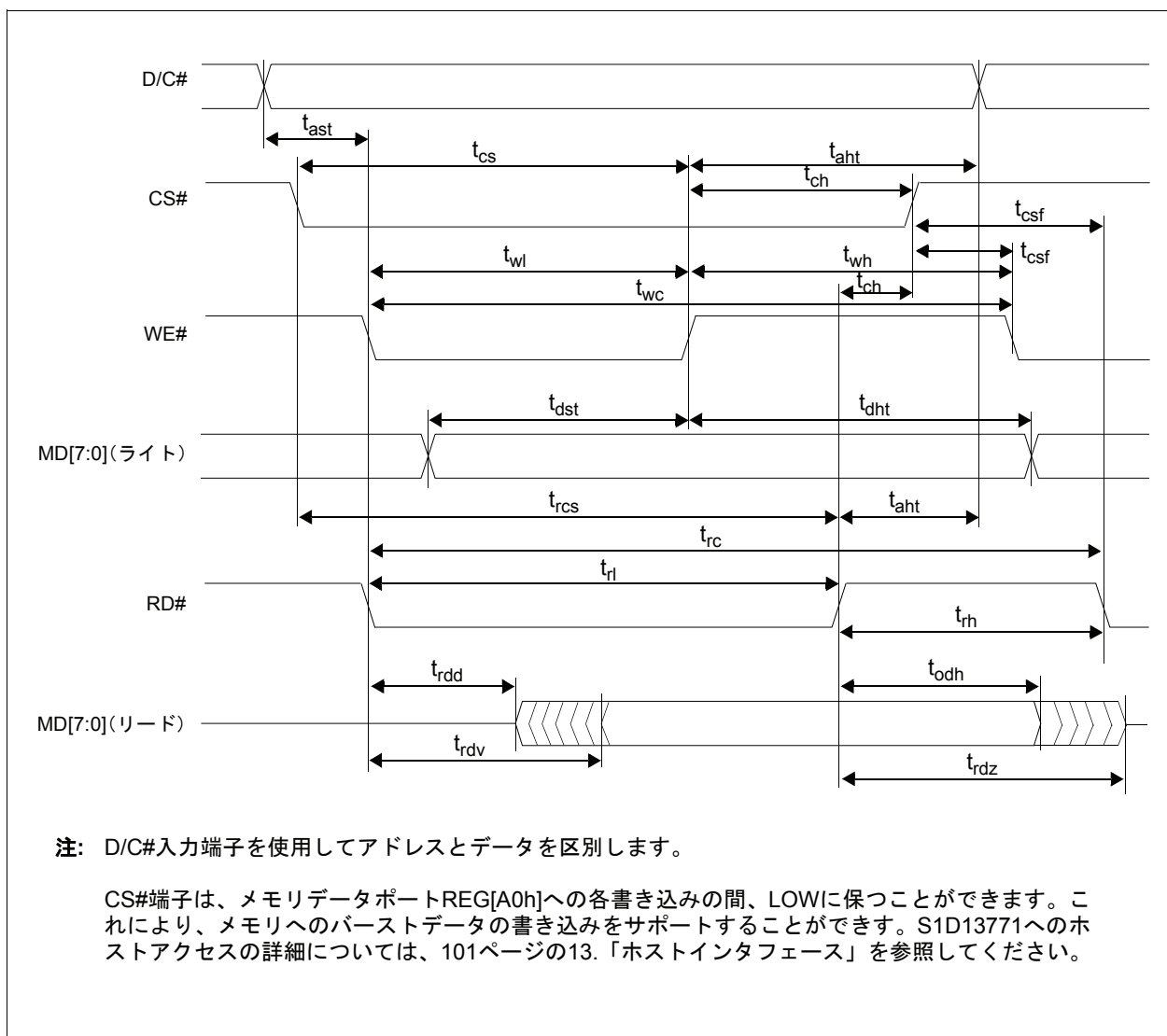


図7.4 Intel 80の入力AC特性

7. AC特性

表7.4 Intel 80の入力AC特性

信号	記号	パラメータ	Min	Max	単位
D/C#	t_{ast}	アドレスのセットアップ時間	2	—	ns
	t_{aht}	アドレスのホールド時間	2	—	ns
CS#	t_{cs}	チップセレクトのセットアップ時間（ライト）	$t_{wl} + 2$	—	ns
	t_{rcs}	チップセレクトのセットアップ時間（リード）	$t_{rl} + 2$	—	ns
	t_{ch}	チップセレクトのホールド時間（リード／ライト）	2	—	ns
	t_{csf}	チップセレクトの待機時間	2	—	ns
WE#	t_{wc}	ライトサイクル(立ち下がりエッジから次の立ち下がりエッジまで)	(注5)	—	ns
	t_{wh}	パルスHIGH期間	$t_{wc} - t_{wl}$	—	ns
	t_{wl}	パルスLOW期間	3	—	ns
RD#	t_{rc}	レジスタのリードサイクル	$t_{rl} + t_{rh}$	—	ns
	t_{rh}	パルスHIGH期間	4	—	ns
	t_{rl}	レジスタのパルスLOW期間	t_{rdv}	—	ns
MD[7:0]	t_{dst}	データのセットアップ時間	2	—	ns
	t_{dht}	データのホールド時間	2	—	ns
	t_{rdv}	リードの立ち下がりエッジ→レジスタのMDが有効（注2）	—	16.5	ns
	t_{rdd}	リードの立ち下がりエッジ→レジスタのMDが駆動（注3）	3.9	—	ns
	t_{odh}	有効なMDについてリードのホールド時間（注3）	(注4)	—	ns
	t_{rdz}	リードの立ち上がりエッジ→MD High-Z（注2）	—	33.6	ns

注

1. ライトサイクル後のリードについて、RD#の立ち下がりエッジ後、 t_{rdd} の最大値だけMDバスをHigh-Zに駆動する必要があります。
2. t_{rdv} と t_{rdz} の最大値は、CL = 30pFに基づいています。
3. t_{rdd} と t_{odh} の最小値は、CL = 8pFに基づいています。
4. $t_{rh} + 3.9 < 10.5$ の場合、 $T_{odhmin} = t_{rh} + 3.9$
 $t_{rh} + 3.9 > 10.5$ の場合、 $T_{odhmin} = 10.5$
5. 非同期レジスタ（REG[00h]～REG[2Eh]およびREG[F0h]～REG[FAh]）の場合
 $t_{wcmin} = 10ns$
同期レジスタ（REG[40h]～REG[EAh]）およびメモリの場合
 $t_{wcmin} = SYSCLK + 2ns$

7.3.2 Hi-Z状態への遷移時間の定義

高速信号のハイインピーダンス（Hi-Z）の測定は困難であるため、High/LowからHi-Zへの遷移時間は以下のように規定されています。

HighからHi-Zへの遅延時間: t_{pHZ} 。Pch-MOSFETの最終段のゲート電圧が $0.8 \times \text{IOVDD}$ に変わるとき（Pch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。

内部ロジック遅延 + t_{pHZ} （HighからHi-Z）

LowからHi-Zへの遅延時間: t_{pLZ} 。Nch-MOSFETの最終段のゲート電圧が $0.2 \times \text{IOVDD}$ に変わるとき（Nch-MOSFETがオフ）の遅延時間。Hi-Zまでの総遅延時間は、次式で算出されます。

内部ロジック遅延 + t_{pLZ} （LowからHi-Z）

トライステート出力セルの最終段の機能モデルは、27ページの図7.5「Hi-Z状態への遷移時間の定義」に示されています。

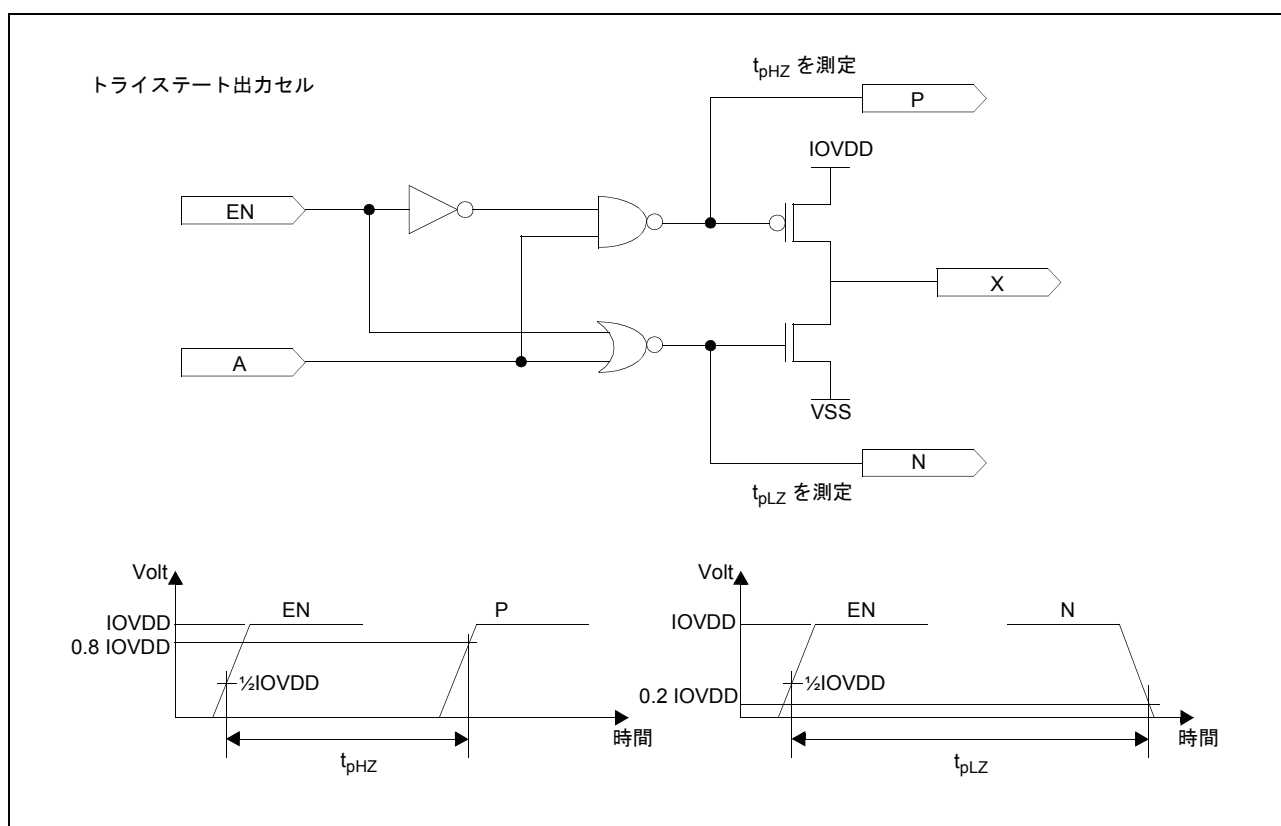


図7.5 Hi-Z状態への遷移時間の定義

7. AC特性

7.4 LCDチップセレクトのタイミング

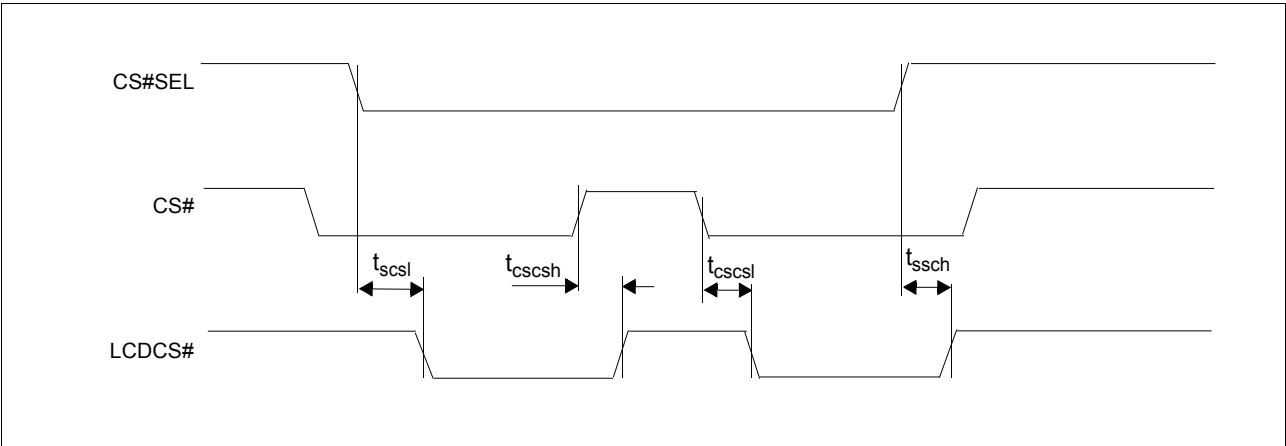


図7.6 LCDチップセレクトの特性

表7.5 LCDチップセレクトの特性

信号	記号	パラメータ	Min	Max	単位
LCDCS#	t_{scsl}	チップセレクトのモード選択の立ち下がり→LCDCS#の立ち下がり	4.2	12.0	ns
	t_{scsh}	チップセレクトのモード選択の立ち上がり→LCDCS#の立ち上がり	4.3	12.3	ns
	t_{cscsl}	チップセレクトの立ち下がり→LCDチップセレクトの立ち下がり	3.8	11.3	ns
	t_{cscsh}	チップセレクトの立ち上がり→LCDチップセレクトの立ち上がり	3.8	11.2	ns

7.5 TVのタイミング

7.5.1 TV出力のタイミング

NTSCとPALの全体的なビデオのタイミングをそれぞれ図7.7と図7.8に示します。

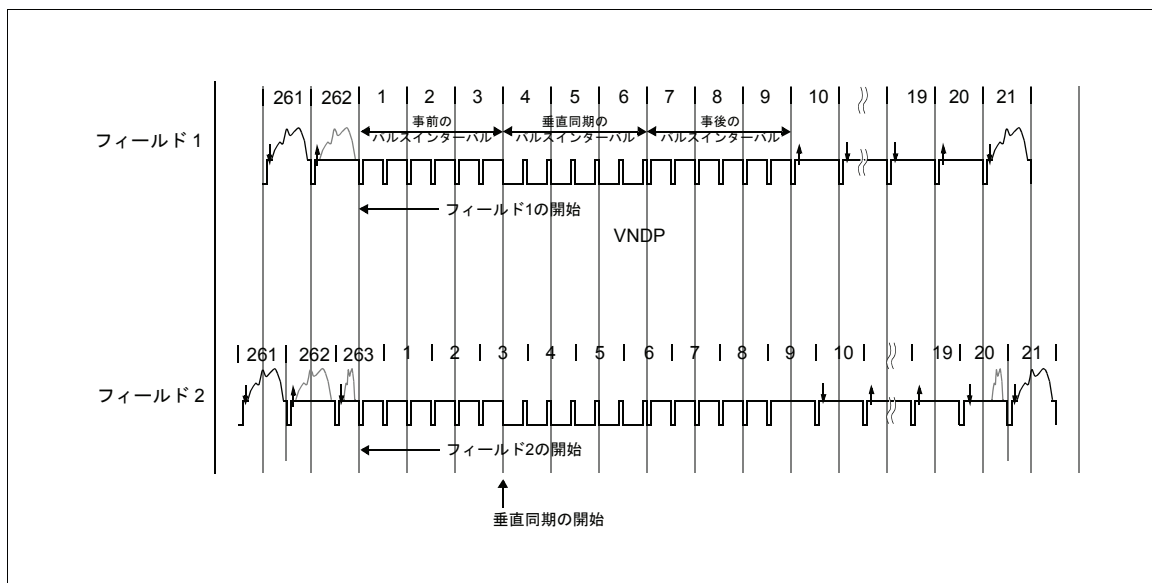


図7.7 NTSCビデオのタイミング

7. AC特性

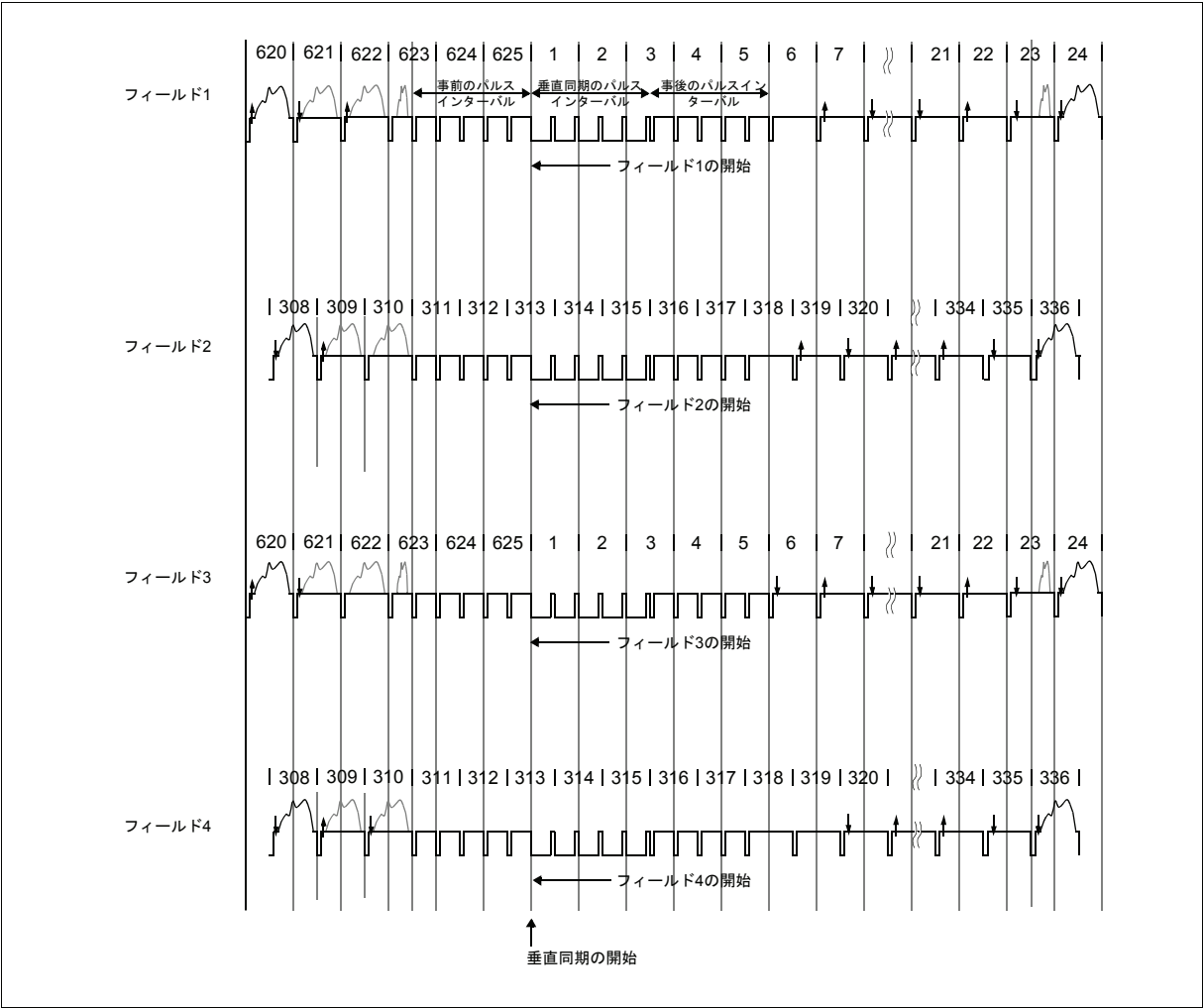


図7.8 PALビデオのタイミング

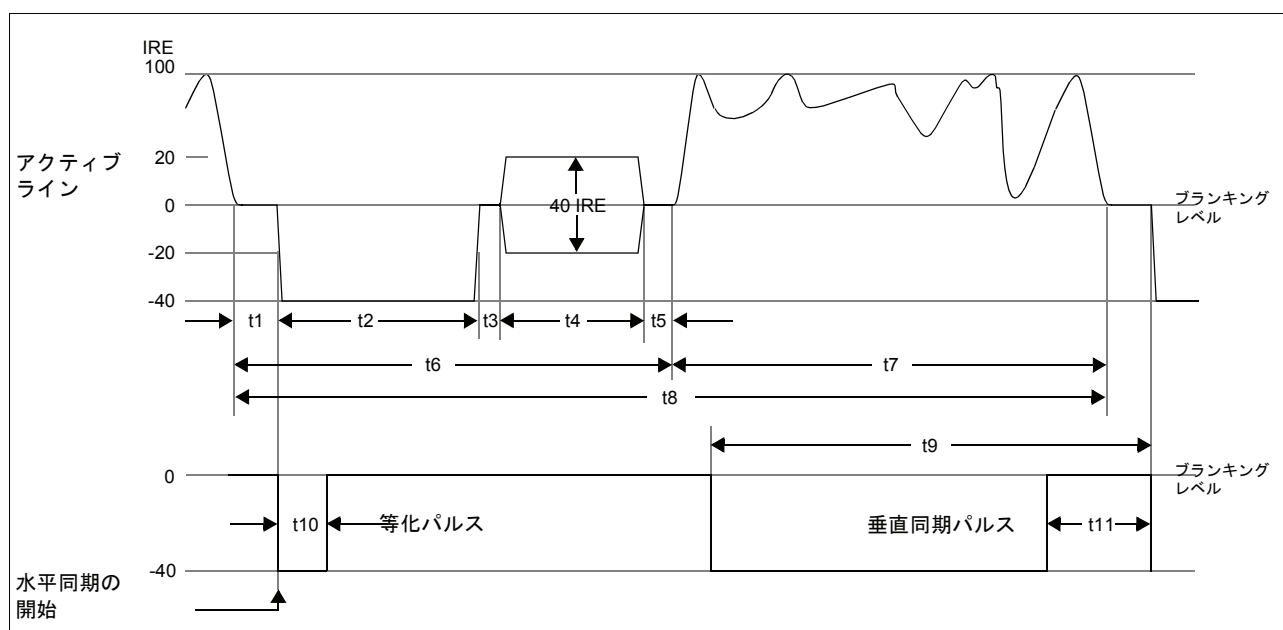


図7.9 NTSC/PALの水平タイミング

表7.6 NTSC/PALの水平タイミング

記号	パラメータ	NTSC M/J (525ライン)	PAL B/D/G/H/I/N (625ライン)	PAL Nc (625ライン)	PAL M (525ライン)	単位
t1	フロントポーチ	0.96	0.96	0.96	0.96	μs
t2	水平同期	4.7	4.7	4.7	4.7	μs
t3	ブリーズウェイ	0.85	0.9	0.9	1.12	μs
t4	カラーバースト	2.52	2.26	2.52	2.52	μs
t5	カラーバックポーチ (注1)	1.19	1.85	1.59	0.96	μs
t6	水平ブランキング	10.222	10.667	10.667	10.222	μs
t7	アクティブビデオ	53.333	53.333	53.333	53.333	μs
t8	ライン期間	63.555	64	64	64	μs
t9	ハーフライン期間	31.7777	32	32	32	μs
t10	等化パルス	2.3	2.35	2.35	2.35	μs
t11	垂直セレーション	4.66	4.66	4.66	4.66	μs

注

1. $t5 = 2.15\mu s - t1$ (NTSC M/Jの場合)
 $= 2.81\mu s - t1$ (PAL B/D/G/H/I/Nの場合)
 $= 2.55\mu s - t1$ (PAL Ncの場合)
 $= 1.92\mu s - t1$ (PAL Mの場合)



表7.7 NTSC/PALの垂直タイミング

記号	パラメータ	NTSC M/J、PAL M	PAL B/D/G/H/I/N/Nc	単位
T_{LINE}	ライン期間	63.5555	64	μs
t1	垂直フィールド期間	240	288	T_{LINE}
t2	垂直偶数ブラッキング	22	24	T_{LINE}
t3	垂直奇数ブラッキング	23	25	T_{LINE}
t4	垂直同期位置	0	0	T_{LINE}
t5	フレーム期間	525	625	T_{LINE}

7.5.2 TV出力の最大電圧

以下の値は、DACのフルスケールに基づいています。これは、1.305Vであり2つの75Ω負荷を備えています。フルスケール電圧は、以下のように計算され、10ビットDACで、SYNC（16）からWHITE（800）までを1.0Vと想定しています。
 $1023 \div (800 - 16) = 1.305V$

以下の表は、TV接続の場合とTV未接続の場合の最大AOUT電圧を示します。

表7.8 最大TV出力電圧

TV規格		AOUT最大電圧	
		TV接続 (75Ωの二重負荷)	TV未接続 (75Ωの単一負荷)
NTSC	M	1.241V	2.482V
	J	1.259V	2.518V
PAL	B/D/G/H/I/Nc	1.254V	2.508V
	M/N	1.241V	2.482V

注

AOUT最大電圧は、2.06kΩのRset値を基本としています。別のRset値を組み込んだ場合、値は変化します。

7. AC特性

7.5.3 TV出力パラメータ

ルミナンスの非直線性

TVシステムでは、ルミナンスゲインがルミナンスレベルの影響を受けるときにルミナンスの非直線性が発生します。S1D13771の場合、ルミナンスゲインはルミナンスレベルに影響されません。そのため、ルミナンスの非直線性に影響を与えるものは、回路の丸め精度とDACの性能だけです。その値は、10ステップステアケースのテストパターンにおける個々のステップの振幅を比較することによって計算されます。その際、ワーストケースのDACパラメータについても考慮されます。最大ステップと最小ステップの差を最大ステップ振幅に対するパーセンテージで表したものが、ルミナンスの非直線性です。

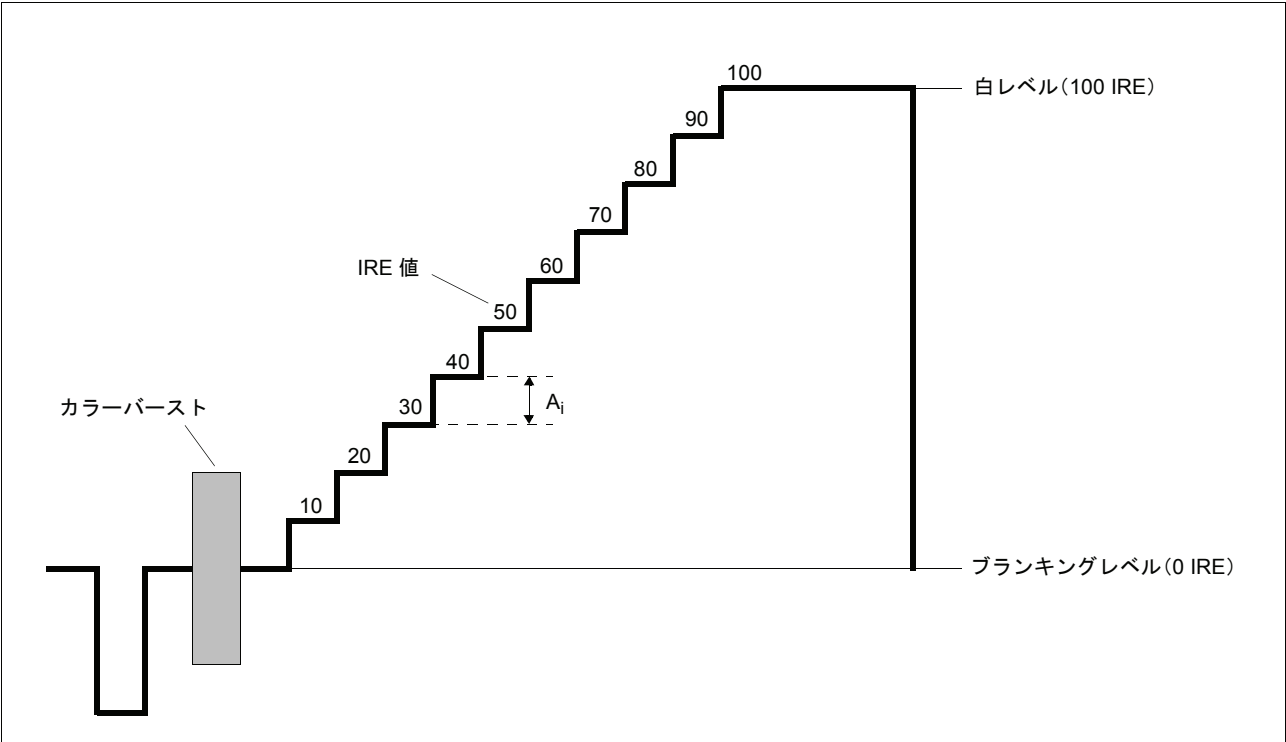


図7.11 ルミナンスの非直線性

ルミナンスの非直線性 = $\frac{\text{Max}(A_i) - \text{Min}(A_i)}{\text{Max}(A_i)}$
ただし、i = ステップ位置 (1~10)

表7.9 ルミナンスの非直線性 (10ステップステアケースを使用)

	PAL				NTSC	
	B,D,G,H,I	M	N	Nc	M	J
標準	7.14%	0.00%	0.00%	7.14%	0.00%	6.67%
ワーストケース	41.18%	37.50%	37.50%	41.18%	37.50%	38.89%

75%および100%カラーバーのレベル

これらの値は、75%および100%カラーバーのテストパターンから計算されます。その際、ワーストケースのDACパラメータについても考慮されます。

表7.10 75%および100%カラーバーのレベル

		75%カラーバー (mV)						100%カラーバー (mV)					
		PAL				NTSC		PAL				NTSC	
		B,D,G, H,I	M	N	Nc	M	J	B,D,G, H,I	M	N	Nc	M	J
Sync端	Max	30.75	30.75	30.75	30.75	30.75	30.75	30.75	30.75	30.75	30.75	30.75	30.75
	Typ	20.33	20.33	20.33	20.33	20.33	20.33	20.33	20.33	20.33	20.33	20.33	20.33
	Min	11.44	11.44	11.44	11.44	11.44	11.44	11.44	11.44	11.44	11.44	11.44	11.44
ブランキング	Max	360.65	343.87	343.87	360.65	343.87	343.87	360.65	343.87	343.87	360.65	343.87	343.87
	Typ	320.23	304.99	304.99	320.23	304.99	304.99	320.23	304.99	304.99	320.23	304.99	304.99
	Min	281.35	267.62	267.62	281.35	267.62	267.62	281.35	267.62	267.62	281.35	267.62	267.62
カラー バースト	上端	Max	522.80	506.02	506.02	522.80	499.03	522.80	506.02	506.02	522.80	499.03	499.03
		Typ	467.64	452.39	452.39	467.64	446.04	467.64	452.39	452.39	467.64	446.04	446.04
		Min	414.02	400.29	400.29	414.02	394.57	414.02	400.29	400.29	414.02	394.57	394.57
	下端	Max	197.10	180.32	180.32	197.10	187.31	197.10	180.32	180.32	197.10	187.31	187.31
		Typ	171.55	156.30	156.30	171.55	162.66	171.55	156.30	156.30	171.55	162.66	162.66
		Min	147.54	133.81	133.81	147.54	139.53	147.54	133.81	133.81	147.54	139.53	139.53
白	Max	936.56	944.95	944.95	936.56	944.95	930.97	1126.67	1129.46	1129.46	1126.67	1129.46	1126.67
	Typ	843.79	851.42	851.42	843.79	851.42	838.71	1016.62	1019.16	1019.16	1016.62	1019.16	1016.62
	Min	752.55	759.41	759.41	752.55	759.41	747.98	908.09	910.38	910.38	908.09	910.38	908.09
黄	上端	Max	1128.06	1123.87	1123.87	1128.06	1123.87	1126.67	1375.48	1365.70	1365.70	1375.48	1365.70
		Typ	1017.89	1014.08	1014.08	1017.89	1014.08	1016.62	1242.82	1233.92	1233.92	1242.82	1233.92
		Min	909.24	905.81	905.81	909.24	905.81	908.09	1111.67	1103.67	1103.67	1111.67	1103.67
	下端	Max	610.86	641.61	641.61	610.86	641.61	599.68	697.53	724.09	697.53	724.09	687.74
		Typ	547.70	575.66	575.66	547.70	575.66	537.54	626.49	650.64	626.49	650.64	617.60
		Min	486.07	511.23	511.23	486.07	511.23	476.92	556.98	578.71	556.98	578.71	548.97
シアン	上端	Max	1123.87	1126.67	1125.27	1123.87	1126.67	1123.87	1378.28	1369.89	1369.89	1378.28	1369.89
		Typ	1014.08	1016.62	1015.35	1014.08	1016.62	1014.08	1245.36	1237.73	1237.73	1245.36	1237.73
		Min	905.81	908.09	906.95	905.81	908.09	905.81	1113.96	1107.10	1107.10	1113.96	1107.10
	下端	Max	401.18	438.92	438.92	401.18	438.92	378.82	415.16	451.51	415.16	451.51	396.99
		Typ	357.09	391.40	391.40	357.09	391.40	336.75	369.79	402.83	369.79	402.83	353.27
		Min	314.52	345.40	345.40	314.52	345.40	296.22	325.95	355.69	325.95	355.69	311.09
緑	上端	Max	1035.81	1040.00	1040.00	1035.81	1040.00	1031.61	1265.05	1253.87	1253.87	1265.05	1253.87
		Typ	934.02	937.83	937.83	934.02	937.83	930.21	1142.42	1132.26	1132.26	1142.42	1132.26
		Min	833.75	837.18	837.18	833.75	837.18	830.32	1021.32	1012.17	1012.17	1021.32	1017.89
	下端	Max	355.05	401.18	401.18	355.05	401.18	336.88	360.65	399.78	360.65	399.78	342.47
		Typ	315.15	357.09	357.09	315.15	357.09	298.63	320.23	355.82	320.23	355.82	303.71
		Min	276.77	314.52	314.52	276.77	314.52	261.91	281.35	313.37	281.35	313.37	266.48
マゼンタ	上端	Max	940.75	944.95	944.95	940.75	944.95	930.97	1125.27	1125.27	1125.27	1125.27	1121.08
		Typ	847.61	851.42	851.42	847.61	851.42	838.71	1015.35	1015.35	1015.35	1015.35	1011.53
		Min	755.98	759.41	759.41	755.98	759.41	747.98	906.95	906.95	906.95	906.95	903.52
	下端	Max	260.00	306.13	306.13	260.00	306.13	236.24	220.86	271.18	220.86	271.18	202.69
		Typ	228.74	270.67	270.67	228.74	270.67	207.14	193.16	238.91	193.16	238.91	176.64
		Min	199.00	236.74	236.74	199.00	236.74	179.56	166.98	208.15	166.98	208.15	152.11

7. AC特性

表7.10 75%および100%カラーバーのレベル（続き）

			75%カラーバー (mV)						100%カラーバー (mV)					
			PAL				NTSC		PAL				NTSC	
			B,D,G, H,I	M	N	Nc	M	J	B,D,G, H,I	M	N	Nc	M	J
赤	上端	Max	894.62	907.20	907.20	894.62	907.20	889.03	1070.75	1072.15	1073.55	1070.75	1073.55	1072.15
		Typ	805.67	817.11	817.11	805.67	817.11	800.59	965.79	967.06	968.33	965.79	968.33	967.06
		Min	718.24	728.53	728.53	718.24	728.53	713.67	862.35	863.49	864.63	862.35	864.63	863.49
	下端	Max	171.94	219.46	220.86	171.94	220.86	143.98	107.63	155.16	155.16	107.63	155.16	83.87
		Typ	148.68	191.89	193.16	148.68	193.16	123.26	90.22	133.43	133.43	90.22	133.43	68.62
		Min	126.95	165.84	166.98	126.95	166.98	104.08	74.34	113.23	113.23	74.34	113.23	54.90
青	上端	Max	684.95	704.52	704.52	684.95	704.52	673.76	792.58	806.56	806.56	792.58	806.56	781.40
		Typ	615.05	632.84	632.84	615.05	632.84	604.89	712.90	725.61	725.61	712.90	725.61	702.74
		Min	546.69	562.70	562.70	546.69	562.70	537.54	634.75	646.19	646.19	634.75	646.19	625.60
	下端	Max	169.14	222.26	222.26	169.14	222.26	146.77	106.24	164.95	164.95	106.24	164.95	83.87
		Typ	146.14	194.43	194.43	146.14	194.43	125.81	88.95	142.33	142.33	88.95	142.33	68.62
		Min	124.66	168.12	168.12	124.66	168.12	106.36	73.20	121.23	121.23	73.20	121.23	54.90
黒		Max	360.65	402.58	402.58	360.65	402.58	343.87	360.65	402.58	402.58	360.65	402.58	343.87
		Typ	320.23	358.36	358.36	320.23	358.36	304.99	320.23	358.36	358.36	320.23	358.36	304.99
		Min	281.35	315.66	315.66	281.35	315.66	267.62	281.35	315.66	315.66	281.35	315.66	267.62

10ステップステアケースのレベル

これらの値は、10ステップステアケースのテストパターンから計算されます。その際、ワーストケースのDACパラメータについても考慮されます。

表7.11 10ステップステアケースのレベル

			PAL				NTSC		単位
			B,D,G,H,I	M	N	Nc	M	J	
ステップ	第1	Max	438.92	475.27	475.27	438.92	475.27	422.15	mV
		Typ	391.40	424.44	424.44	391.40	424.44	376.15	mV
		Min	345.40	375.13	375.13	345.40	375.13	331.67	mV
	第2	Max	517.20	547.96	547.96	517.20	547.96	500.43	mV
		Typ	462.56	490.52	490.52	462.56	490.52	447.31	mV
		Min	409.44	434.60	434.60	409.44	434.60	395.72	mV
	第3	Max	589.89	620.65	620.65	589.89	620.65	578.71	mV
		Typ	528.64	556.60	556.60	528.64	556.60	518.48	mV
		Min	468.91	494.08	494.08	468.91	494.08	459.77	mV
	第4	Max	668.17	693.33	693.33	668.17	693.33	656.99	mV
		Typ	599.80	622.68	622.68	599.80	622.68	589.64	mV
		Min	532.96	553.55	553.55	532.96	553.55	523.81	mV
	第5	Max	746.45	766.02	766.02	746.45	766.02	735.27	mV
		Typ	670.97	688.76	688.76	670.97	688.76	660.80	mV
		Min	597.01	613.02	613.02	597.01	613.02	587.86	mV
	第6	Max	824.73	838.71	838.71	824.73	838.71	813.55	mV
		Typ	742.13	754.84	754.84	742.13	754.84	731.96	mV
		Min	661.06	672.49	672.49	661.06	672.49	651.91	mV
	第7	Max	897.42	911.40	911.40	897.42	911.40	891.83	mV
		Typ	808.21	820.92	820.92	808.21	820.92	803.13	mV
		Min	720.53	731.96	731.96	720.53	731.96	715.95	mV
	第8	Max	975.70	984.09	984.09	975.70	984.09	970.11	mV
		Typ	879.37	887.00	887.00	879.37	887.00	874.29	mV
		Min	784.57	791.44	791.44	784.57	791.44	780.00	mV
	第9	Max	1053.98	1056.77	1056.77	1053.98	1056.77	1048.39	mV
		Typ	950.54	953.08	953.08	950.54	953.08	945.45	mV
		Min	848.62	850.91	850.91	848.62	850.91	844.05	mV
	第10	Max	1132.26	1129.46	1129.46	1132.26	1129.46	1132.26	mV
		Typ	1021.70	1019.16	1019.16	1021.70	1019.16	1021.70	mV
		Min	912.67	910.38	910.38	912.67	910.38	912.67	mV

周波数応答

TVシステムでは、異なる周波数の信号成分をシステムがその振幅に影響を与えることなく一様に伝送する能力が、周波数応答の測定によってわかります。このパラメータは、ゲイン／周波数ひずみ、または振幅／周波数応答とも呼ばれ、ビデオスペクトル全域におけるシステムの振幅応答を測定します。S1D13771の場合、TV機能は26～27MHzで動作しますが、これはビデオスペクトルを十分に超えるため、TV信号振幅がビデオスペクトル内の周波数によって影響を受けることはありません。そのため、周波数応答の測定値に影響を与えるものは、回路の丸め精度とDACの性能だけです。その値は、マルチバーストのテストパターンで振幅を比較することによって計算されます（S1D13771ではこのテストパターンが使えないため、計算はシミュレーションをベースに行われます）。その際、ワーストケースのDACパラメータについても考慮されます。各周波数帯の振幅を最低周波数帯の値と比較し、dB単位で表します。

7. AC特性

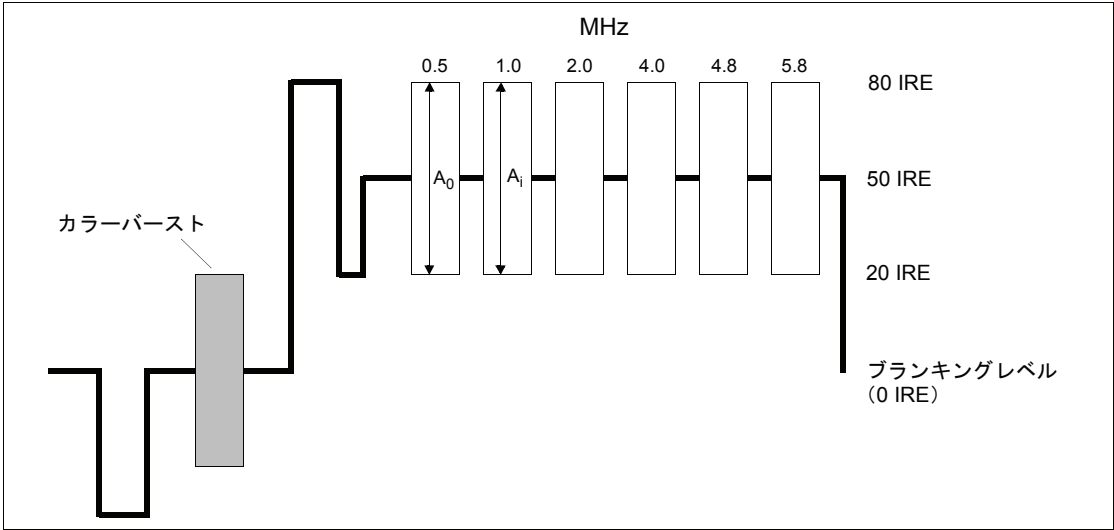


図7.12 周波数応答

周波数応答=20×log(A_i÷A₀)
ただし、
A₀=0.5MHzバーストの振幅
A_i=0.5MHzより上のバーストの振幅 (i=1～5)

表7.12 周波数応答

			周波数応答 (dB)					
			PAL				NTSC	
			B,D,G,H,I	M	N	Nc	M	J
バーストの周波数	1MHz	Max	0.64	0.75	0.64	0.64	0.75	0.75
		Typ	0.00	0.00	0.00	0.00	0.00	0.00
		Min	-0.64	-0.75	-0.64	-0.64	-0.75	-0.75
	2MHz	Max	0.64	0.75	0.64	0.64	0.75	0.75
		Typ	0.00	0.00	0.00	0.00	0.00	0.00
		Min	-0.64	-0.75	-0.64	-0.64	-0.75	-0.75
	3MHz (4MHz)	Max	0.64	0.63	0.64	0.53	0.63	0.63
		Typ	0.00	-0.13	0.00	-0.11	-0.13	-0.13
		Min	-0.64	-0.88	-0.64	-0.75	-0.88	-0.88
	3.58MHz (4.8MHz)	Max	0.64	0.75	0.64	0.64	0.75	0.75
		Typ	0.00	0.00	0.00	0.00	0.00	0.00
		Min	-0.64	-0.75	-0.64	-0.64	-0.75	-0.75
	4.2MHz (5.8MHz)	Max	0.64	0.75	0.64	0.64	0.75	0.75
		Typ	0.00	0.00	0.00	0.00	0.00	0.00
		Min	-0.64	-0.75	-0.64	-0.64	-0.75	-0.75

クロミナンスゲインの非直線性

TVシステムでは、クロミナンスゲインがクロミナンス振幅に依存するときにクロミナンスゲインの非直線ひずみが発生します。S1D13771の場合、クロミナンスゲインはクロミナンス振幅に影響されません。そのため、クロミナンスゲインの非直線性に影響を与えるものは、回路の丸め精度とDACの性能だけです。その値は、変調ペデスタルのテストパターンにおける各パケットの振幅を比較することによって計算されます (S1D13771ではこのテストパターンが使えないため、計算はシミュレーションをベースに行われます)。その際、ワーストケースのDACパラメータについても考慮されます。各パケットの振幅を中央の規格化したパケットの振幅と比較し、それを公称振幅のパーセンテージで表したものが、クロミナンスゲインの非直線性です。

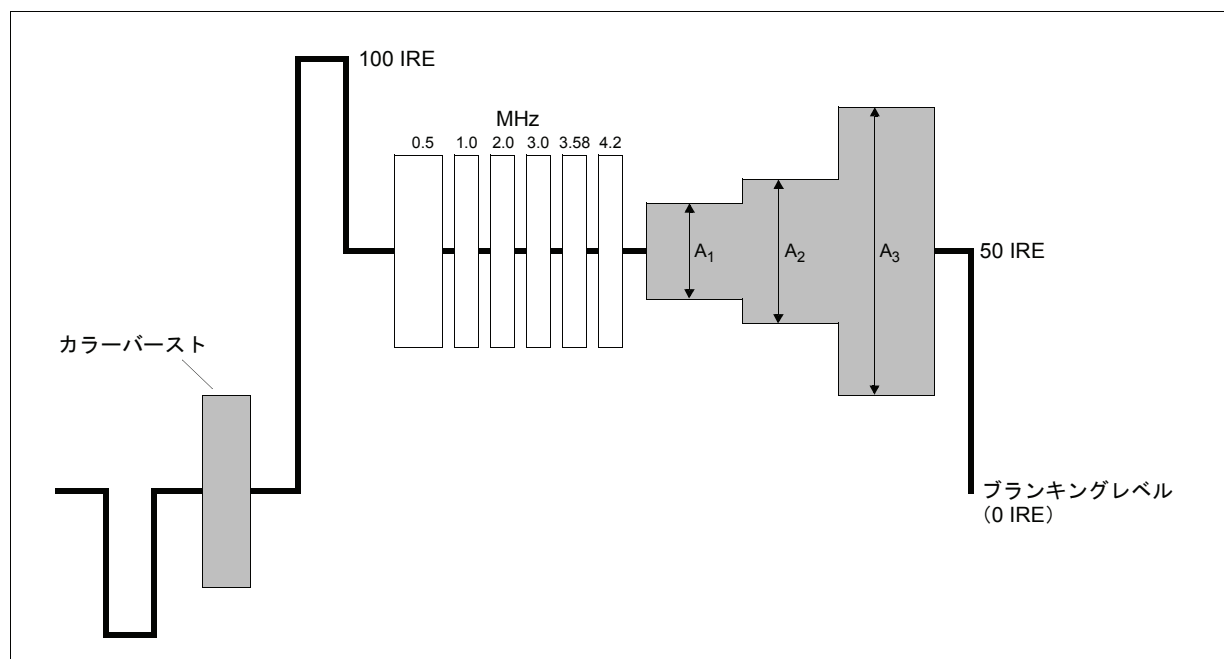


図7.13 クロミナンスゲインの非直線性

$$\text{クロミナンスゲインの非直線性} = 100 \times |(A_i - k_i \times A_2) \div (k_i \times A_2)|$$

ただし、

A=受信サブキャリアの振幅

i=バースト位置 (1が最小、3が最大)

$k_i = (2i - 1) \div 3$ (625ライン信号の場合)

$k_i = 2^{i-2}$ (525ライン信号の場合)

表7.13 クロミナンスゲインの非直線性

			PAL				NTSC	
			B,D,G,H,I	M	N	Nc	M	J
クロミナンスゲイン の非直線性	最小 ペデスタル	Max	15.24%	16.59%	15.24%	15.24%	16.59%	16.59%
		Typ	0.00%	0.45%	0.00%	0.00%	0.45%	0.45%
		Min	-14.16%	-15.74%	-14.16%	-14.16%	-15.74%	-15.74%
	最大 ペデスタル	Max	6.48%	8.77%	6.48%	6.48%	8.77%	8.77%
		Typ	0.37%	0.22%	0.37%	0.37%	0.22%	0.22%
		Min	-5.31%	-7.45%	-5.31%	-5.31%	-7.45%	-7.45%

クロミナンスからルミナンスへの相互変調

TVシステムでは、ルミナンス振幅が合成クロミナンス信号の影響を受けるときにクロミナンスからルミナンスへの相互変調が発生します。S1D13771の場合、ルミナンスとクロミナンスは独立して処理され、DACの直前で初めて合成されます。そのため、ルミナンス振幅はクロミナンスに影響されません。クロミナンスからルミナンスへの相互変調に影響を与えるものは、回路の丸め精度とDACの性能だけです。その値は、変調ペデスタルのテストパターンにおける各パケットの平均レベルを比較することによって計算されます（S1D13771ではこのテストパターンが使えないため、計算はシミュレーションをベースに行われます）。その際、ワーストケースのDACパラメータについても考慮されます。各パケットの平均レベル（上端レベルと下端レベル）を信号のクロミナンス部分のみのレベルと比較し、それをパーセンテージで表します。

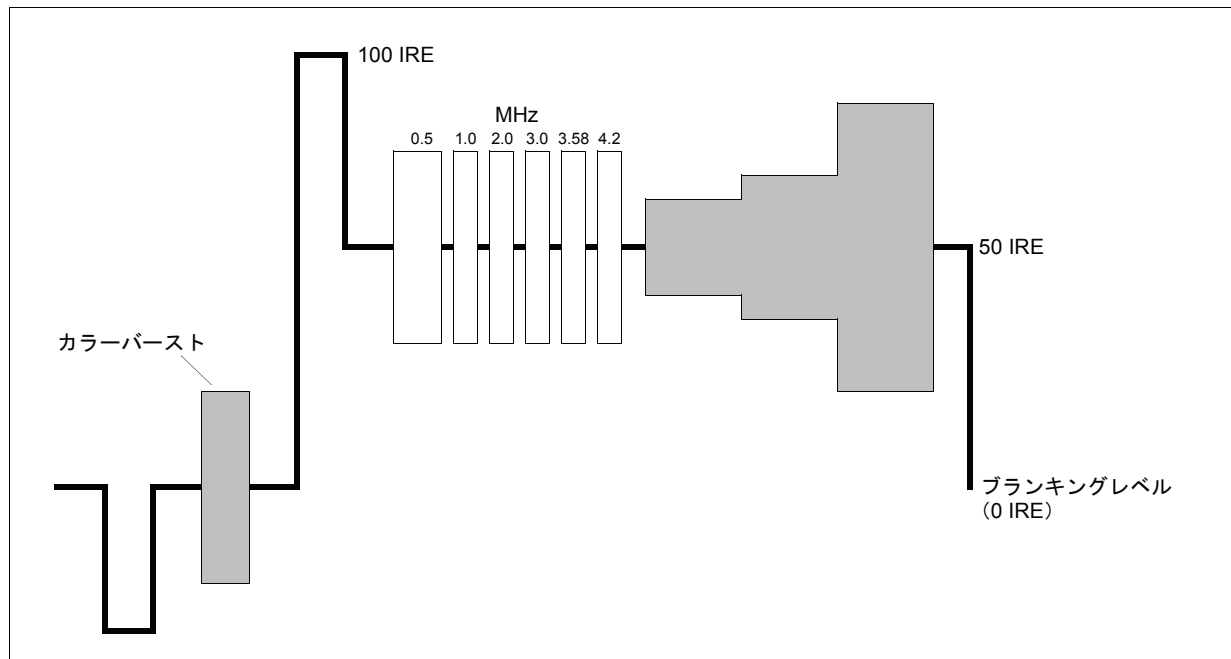


図7.14 クロミナンスをフィルタ処理する前

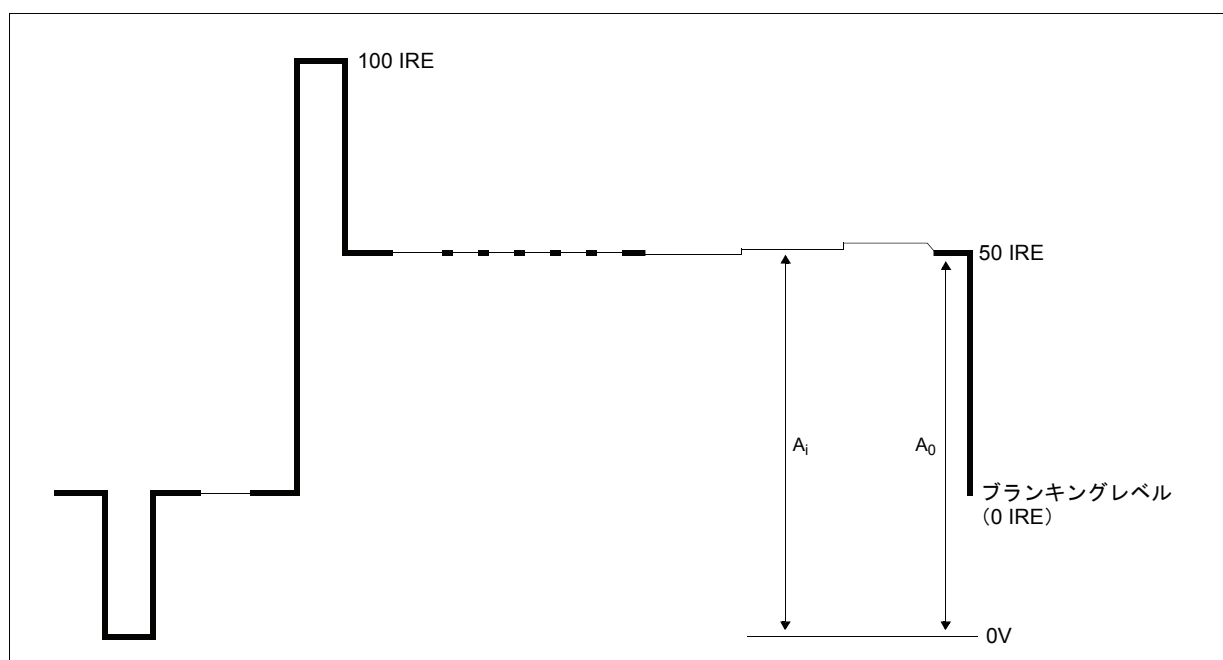


図7.15 クロミナンスをフィルタ処理した後

クロミナンスからルミナンスへの相互変調 = $100 * (A_i - A_0) \div A_0$

ただし、

A = 受信サブキャリアの振幅

i = バースト位置 (1が最小、2が中間、3が最大)

A₀ = ルミナンスのみの振幅

表7.14 クロミナンスからルミナンスへの相互変調

			PAL				NTSC	
			B,D,G,H,I	M	N	Nc	M	J
相互変調	最小 ペDESTAL	Max	2.21%	2.24%	2.21%	2.21%	2.24%	2.24%
		Typ	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%
		Min	-2.35%	-2.38%	-2.35%	-2.35%	-2.38%	-2.38%
	中間 ペDESTAL	Max	2.21%	2.24%	2.21%	2.21%	2.24%	2.24%
		Typ	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%
		Min	-2.35%	-2.38%	-2.35%	-2.35%	-2.38%	-2.38%
	最大 ペDESTAL	Max	2.21%	2.24%	2.21%	2.21%	2.24%	2.24%
		Typ	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%	-0.10%
		Min	-2.35%	-2.38%	-2.35%	-2.35%	-2.38%	-2.38%

差動ゲインの非直線性

TVシステムでは、クロミナンスゲインがルミナンスレベルに依存するときに差動ゲインの非直線性が発生します。この振幅誤差の原因は、システムが高周波クロミナンス信号を全ルミナンスレベルにわたって一様に処理できない点にあります。S1D13771の場合、ルミナンスとクロミナンスは独立して処理され、DACの直前で初めて合成されます。そのため、クロミナンスゲインはルミナンスレベルに影響されません。差動ゲインの非直線性に影響を与えるものはDACの性能だけです。その値は、変調10ステップステアケースのテストパターンにおける個々のステップのピークツーピーク・クロミナンス振幅を比較することによって計算されます。その際、ワーストケースのDACパラメータについても考慮されます。10ステップすべてにおける最大、最小、および最高偏差のクロミナンス振幅をブランキングレベル（黒レベル）のクロミナンス振幅と比較し、それをパーセンテージで表したものが差動ゲインの非直線性です。

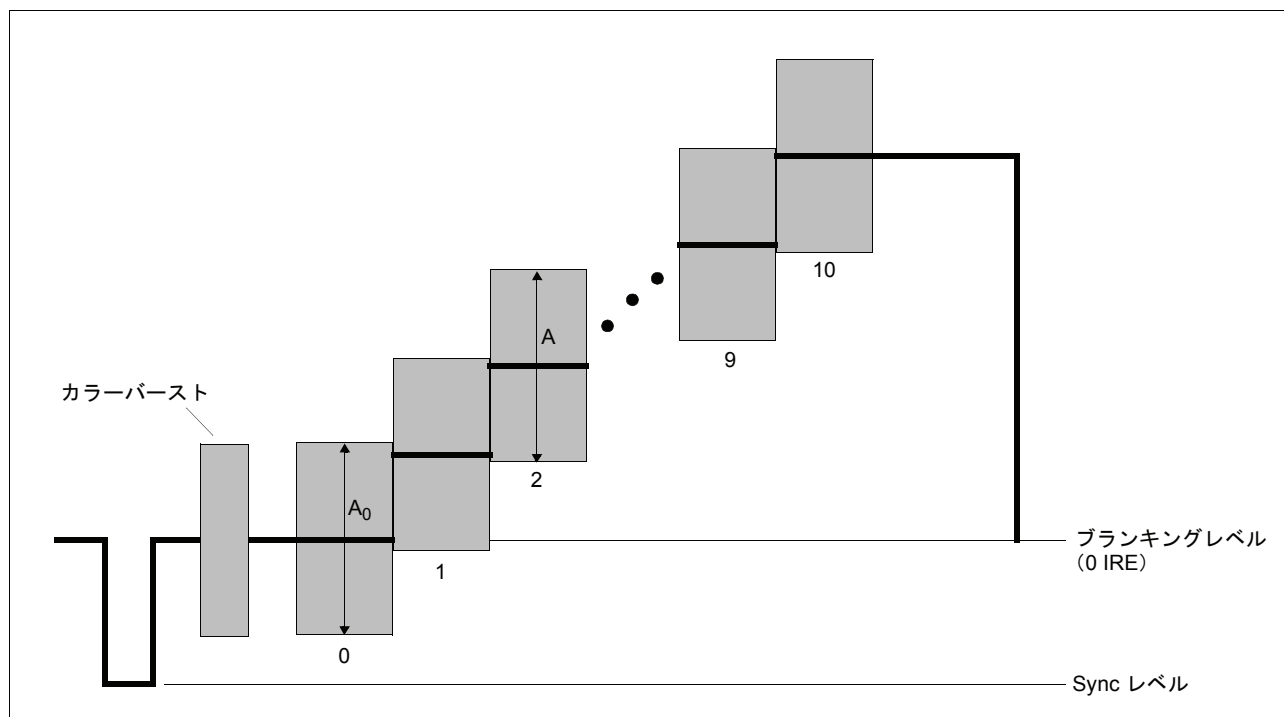


図7.16 差動ゲインの非直線性

差動ゲインの非直線性：

$$+X = 100 \times | \text{Max}(A_i) \div A_0 - 1 |$$

$$-Y = 100 \times | \text{Min}(A_i) \div A_0 - 1 |$$

$$X+Y = 100 \times | (\text{Max}(A_i) - \text{Min}(A_i)) \div A_0 |$$

ただし、

A_0 = ブランキングレベルにおける受信サブキャリアの振幅

A_i = ステアケースの各区間における受信サブキャリアの振幅（ $i=1 \sim 10$ ）

表7.15 差動ゲインの非直線性

			PAL				NTSC	
			B,D,G,H,I	M	N	Nc	M	J
差動ゲインの 非直線性	+X	ワーストケース	10.67%	11.27%	11.27%	10.67%	11.37%	11.37%
		標準	0.00%	0.00%	0.00%	0.00%	0.00%	0.00%
	-Y	ワーストケース	9.64%	10.13%	10.13%	9.64%	10.21%	10.21%
		標準	0.00%	0.00%	0.00%	0.00%	0.00%	0.00%
	X+Y	ワーストケース	10.67%	11.27%	11.27%	10.67%	11.37%	11.37%
		標準	0.00%	0.00%	0.00%	0.00%	0.00%	0.00%

8. クロック

8. クロック

8.1 クロック機能ブロック図

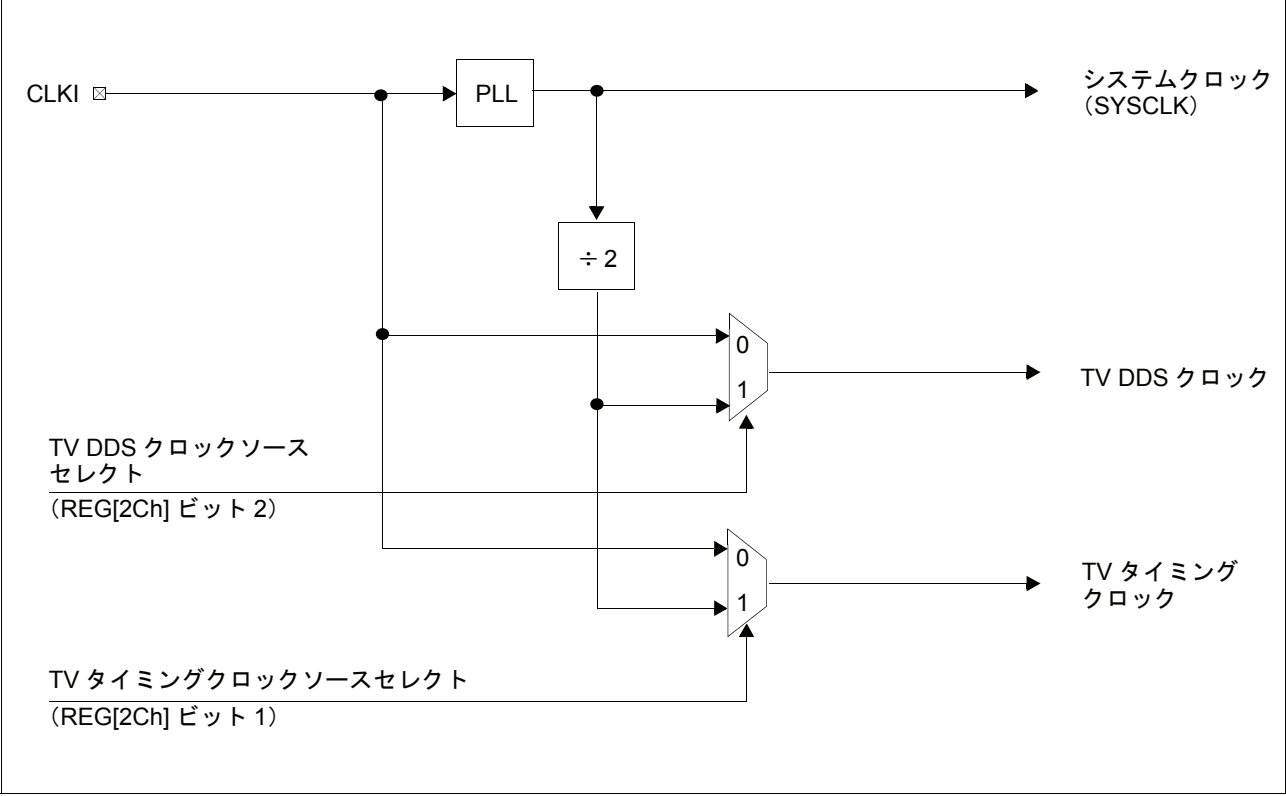


図8.1 S1D13771のクロック図

8.2 クロックの説明

8.2.1 システムクロック

システムクロック (SYSCLK) は内部のメインクロックです。システムクロック (SYSCLK) ソースは常にPLLの出力になります。

8.2.2 TV DDSクロック

TV DDSクロックは、内部DDS (デジタルダイレクトシンセサイズ) 回路とDACに使用されるクロックです。ソースはCLKIを直接使用するか、あるいは2で割ったPLL出力を使用できます。これは、TV DDSクロックソースセレクトビット (REG[2Ch]ビット2) によって設定されます。REG[2Ch]ビット2は、TV DDSクロックが18MHz~27MHzになるように設定する必要があります。

8.2.3 TVタイミングクロック

TVタイミングクロックは、TVタイミングに使用されるクロックです。ソースはCLKIを直接使用するか、あるいは2で割ったPLL出力を使用できます。これは、TVタイミングクロックソースセレクトビット (REG[2Ch]ビット1) によって設定されます。REG[2Ch]ビット1は、TVタイミングクロックが27MHzになるように設定する必要があります。

TVタイミングの詳細については、29ページの7.5「TVのタイミング」を参照してください。

9. レジスタ

9. レジスタ

この項では、S1D13771のレジスタにアクセスする方法およびその場所について説明します。また、各レジスタの配置と使用方法についても詳細に説明しています。

9.1 レジスタマッピング

S1D13771のレジスタは、メモリマップされています。非同期レジスタはいつでもアクセスすることができます。同期レジスタは、パワーセーブモードがディセーブルのとき、およびPLLがロックされているときにのみアクセスすることができます（REG[20h]ビット7を参照）。

表9.1 S1D13771のレジスタマッピング

アドレス	タイプ	機能
00h～04h	非同期	製品情報レジスタ
20h～2Eh	非同期	クロック構成レジスタ
40h～56h	同期	TV構成レジスタ
5Ch	同期	TV検出レジスタ
60h～6Ah	同期	入力データ制御レジスタ
80h～9Eh	同期	表示出力制御レジスタ
A0h～B8h	同期	表示メモリアクセスレジスタ
C0h～EAh	同期	3 x 3ピクセルマトリックスフィルタレジスタ
F0h～FAh	非同期	汎用IO端子レジスタ

9.2 レジスタセット

S1D13771のレジスタを以下の表に示します。

表9.2 S1D13771レジスタセット

レジスタ	ページ	レジスタ	ページ
製品情報レジスタ			
REG[00h] Product Information Register 0	49	REG[01h] Product Information Register 1	49
REG[02h] Product Information Register 2	49	REG[03h] Product Information Register 3	49
REG[04h] Configuration Readback Register	49		
クロック構成レジスタ			
REG[20h] PLL M-Divider Register	50	REG[22h] PLL Setting Register 0	51
REG[24h] PLL Setting Register 1	51	REG[26h] PLL Setting Register 2	51
REG[28h] PLL Setting Register 3	52	REG[2Ah] PLL L-Counter Register	53
REG[2Ch] Clock Source Select Register	54	REG[2Eh] Power Save Register	55
TV構成レジスタ			
REG[40h] TV Display Configuration Register	57	REG[4Ch] TV DDS Fine Tuning Register 0	58
REG[4Eh] TV DDS Fine Tuning Register 1	58	REG[50h] TV Test Pattern Setting Register	60
REG[52h] TV Filter Setting Register	61	REG[54h] TV Filter Coefficient and User Clock Ratio Index Register	62
REG[56h] TV Filter Coefficient and User Clock Ratio Data Register	65		
TV検出レジスタ			
REG[5Ch] TV Detection Control/Status Register	66		
入力データ制御レジスタ			
REG[60h] Input Data Format Register	68	REG[62h] Special Effects Register	69
REG[64h] Host Input Window Height Register 0	70	REG[66h] Host Input Window Height Register 1	70
REG[68h] Host Input Window Width Register 0	70	REG[6Ah] Host Input Window Width Register 1	70
表示出力制御レジスタ			
REG[80h] Display Mode Register	71	REG[8Ah] Display Output Window Height Register 0	72
REG[8Ch] Display Output Window Height Register 1	72	REG[8Eh] Display Output Window Width Register 0	73
REG[90h] Display Output Window Width Register 1	73	REG[92h] Border Color Register 0	74
REG[94h] Border Color Register 1	74	REG[96h] Border Color Register 2	74
REG[9Eh] DAC Reference Source Select Register	75		

9. レジスタ

表9.2 S1D13771レジスタセット（続き）

レジスタ	ページ	レジスタ	ページ
表示メモリアクセスレジスタ			
REG[A0h] Display Memory Data Port Register	76	REG[A2h]~REG[A6h]は予約されています。	76
REG[B2h] TE Control / Status Register	77	REG[B4h] TE Interrupt Clear Register	79
REG[B6h] TE Line Count Register 0	80	REG[B8h] TE Line Count Register 1	80
3 x 3ピクセルマトリックスフィルタレジスタ			
REG[C0h] 3X3 Pixel Matrix Filter Control Register	81	REG[C2h] 3X3 Pixel Matrix Filter Coefficient Table Register 0	85
REG[C4h] 3X3 Pixel Matrix Filter Coefficient Table Register 1	85	REG[C6h] 3X3 Pixel Matrix Filter Coefficient Register 2	85
REG[C8h] 3X3 Pixel Matrix Filter Coefficient Table Register 3	85	REG[CAh] 3X3 Pixel Matrix Filter Coefficient Table Register 4	86
REG[CCh] 3X3 Pixel Matrix Filter Coefficient Table Register 5	86	REG[CEh] 3X3 Pixel Matrix Filter Coefficient Table Register 6	86
REG[D0h] 3X3 Pixel Matrix Filter Coefficient Register 7	87	REG[D2h] 3X3 Pixel Matrix Filter Coefficient Table Register 8	87
REG[D4h] 3X3 Pixel Matrix Filter Coefficient Table Register 9	87	REG[D6h] 3X3 Pixel Matrix Filter Coefficient Table Register 10	87
REG[D8h] 3X3 Pixel Matrix Filter Coefficient Table Register 11	88	REG[DAh] 3X3 Pixel Matrix Filter Coefficient Register 12	88
REG[DCh] 3X3 Pixel Matrix Filter Coefficient Table Register 13	88	REG[DEh] 3X3 Pixel Matrix Filter Coefficient Table Register 14	89
REG[E0h] 3X3 Pixel Matrix Filter Scale Value for Luminance Y Channel Register	89	REG[E2h] 3X3 Pixel Matrix Filter Scale Value for Chrominance U Channel Register	89
REG[E4h] 3X3 Pixel Matrix Filter Scale Value for Chrominance V Channel Register	89	REG[E6h] 3X3 Pixel Matrix Filter Offset Value for Luminance Y Channel Register	90
REG[E8h] 3X3 Pixel Matrix Filter Offset Value for Chrominance U Channel Register	90	REG[EAh] 3X3 Pixel Matrix Filter Offset Value for Chrominance V Channel Register	90
汎用IO端子レジスタ			
REG[F0h] GPIO Configuration Register	91	REG[F2h] GPIO Status/Control Register	91
REG[F4h] GPIO Positive Edge Interrupt Trigger Register	91	REG[F6h] GPIO Negative Edge Interrupt Trigger Register	92
REG[F8h] GPIO Interrupt Status Register	92	REG[FAh] GPIO Pull-down Control Register	92

9.3 レジスタの制限

すべての予約ビットは、デフォルト値に設定する必要があります。予約ビットにデフォルト以外の値を書き込むと、不定の結果を生じる場合があります。n/aというマークの付いたビットは、ハードウェア上の効果はありません。他に指定がない限り、すべてのレジスタビットは、電源投入リセットの間に0に設定されます。

すべてのS1D13771レジスタは、Intel 80インタフェースを通じてアクセスされます。すべてのアクセスは8ビットです。

9.4 レジスタの説明

9.4.1 製品情報レジスタ

REG[00h] Product Information Register 0							Read Only
Default = 00h							
7	6	5	4	3	2	1	0

bits 7-0 これらのビットは常に0000_0000を返します。

REG[01h] Product Information Register 1							Read Only
Default = 01h							
7	6	5	4	3	2	1	0

bits 7-0 リビジョンコードビット[7:0]（読み出し専用）
 これらのビットは、リビジョンコードを示します。
 S1D13771B01のリビジョンコードは、01hです。

REG[02h] Product Information Register 2							Read Only
Default = 42h							
7	6	5	4	3	2	1	0

REG[03h] Product Information Register 3							Read Only
Default = 00h							
7	6	5	4	3	2	1	0

REG[03h] bits 7-0

REG[02h] bits 7-0 製品コードビット[15:0]（読み出し専用）
 これらのビットは、製品コードを示します。
 S1D13771の製品コードは、0042hです。

REG[04h] Configuration Readback Register							Read Only
Default = x000 0000							
マクロビジョン ボンドオプション	6	5	4	3	2	1	0

bit 7 マクロビジョンボンドオプション（読み出し専用）
 このビットは、マクロビジョン機能がS1D13771で利用可能かどうかを示します。
 このビットが0の場合、マクロビジョンブロックは常時ディセーブルで、REG[80h]ビット7の状態にかかわらず使用することはできません。
 このビットが1の場合、REG[80h]ビット7を使用してマクロビジョンブロックをイネーブルにすることができます。

9. レジスタ

9.4.2 クロック構成レジスタ

REG[20h] PLL M-Divider Register							Read/Write
Default = 1Ah							
PLLロック (RO)	n/a	M-Dividerビット5~0					
7	6	5	4	3	2	1	0

bit 7 PLLロック（読み出し専用）
このビットは、PLL出力が安定しているかどうかを示します。
このビットが0の場合、PLL出力は安定していません。この状態では、表示バッファにアクセスすることは禁止されます。
このビットが1の場合、PLL出力は安定しています。

bits 5-0 M-Dividerビット[5:0]
これらのビットは、CLKIとPLLへの実際の入力クロックとの分周比を決定します。これらのビットは、PLLへの内部入力クロック（PLLCLK）が1MHz～2MHzの間になるように設定する必要があります。

表9.3 PLL M-Divideの選択

REG[20h]ビット5~0	M-Divide比
0h	1:1
01h	2:1
02h	3:1
03h	4:1
...	...
1Ah（デフォルト）	27:1
...	...
20h	33:1
21h~3Fh	Reserved

注
入力クロックが1MHz～18MHzまたは27MHz～54MHzのとき、TV DDSクロックソースをPLL出力 ÷ 2（REG[2Ch]ビット2 = 1）に設定する必要があり、クロック入力、PLL出力が正確に54.0000MHzとなるような値にする必要があります。これは、カラーサブキャリア周波数がTV DDSクロックから生成されるからであり、TV DDSクロックが正確に27.0000MHzでなければ、TVの色が損なわれる可能性があるからです。

REG[22h] PLL Setting Register 0

Default = F8h

Read/Write

PLL設定レジスタ0ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値F8hでプログラムする必要があります。

REG[24h] PLL Setting Register 1

Default = 80h

Read/Write

PLL設定レジスタ1ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値80hでプログラムする必要があります。

REG[26h] PLL Setting Register 2

Default = 28h

Read/Write

PLL設定レジスタ2ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値28hでプログラムする必要があります。

9. レジスタ

REG[28h] PLL Setting Register 3							Read/Write
Default = 00h							
PLL設定レジスタ3ビット7~0							
7	6	5	4	3	2	1	0

このレジスタは、値00hでプログラムする必要があります。

REG[2Ah] PLL L-Counter Register							
Default = 35h							
Read/Write							
n/a	L-Counterビット6~0						
7	6	5	4	3	2	1	0

bits 6-0

L-Counterビット[6:0]

これらのビットは、PLL出力（MHz）の構成に使用されるものであり、次の式に従って設定する必要があります。

$$\begin{aligned}\text{PLL出力} &= (\text{L-Counter} + 1) \times \text{PLLCLK} \\ &= \text{LL} \times \text{PLLCLK}\end{aligned}$$

ここで、

PLL出力は、目的のPLL出力周波数（MHz）です。

L-Counterは、このレジスタの値です。

PLLCLKは、PLLへの内部入力クロック（MHz）です。

表9.4 PLLクロックの設定例

CLKI入力 クロック (MHz)	M-Divider REG[20h] ビット 5~0	L-Counter REG[2Ah] ビット6~0	PLL入力 CLK (MHz)	PLL 出力 (MHz)	TV DDS クロックソース セレクト (REG[2Ch] ビット2)	TVタイミング クロックソース セレクト (REG[2Ch] ビット1)	TV入力 クロック設定 (REG[4Eh] ビット5~4)	f_{sc}/f_{dds} と f_{timing}/f_{dds} の プログラム REG[54h]~ REG[56h]
27	26 (1Ah)	53 (35h)	1	54	0	0	00	なし
26	25 (19h)	53 (35h)	1	54	0	1	01	なし (注1)
24	15 (0Fh)	35 (23h)	1.5	54	0	1	10	あり
23	22 (16h)	53 (35h)	1	54	0	1	10	あり
22	21 (15h)	53 (35h)	1	54	0	1	10	あり
21	13 (0Dh)	35 (23h)	1.5	54	0	1	10	あり
19.8	10 (0Ah)	29 (1Dh)	1.8	54	0	1	10	あり
19.44	17 (11h)	49 (31h)	1.08	54	0	1	10	あり
19.2	15 (0Fh)	44 (2Ch)	1.2	54	0	1	10	あり
19	17 (11h)	53 (35h)	1	54	0	1	10	あり
18	11 (0Bh)	35 (23h)	1.5	54	0	1	10	あり

注

- 26MHzのCLKIの場合、 f_{sc}/f_{dds} と f_{timing}/f_{dds} は、REG[54h]~REG[56h]を使用してNTSC M/Jフォーマット用にプログラムする必要があります。
- 入力クロックが1MHz~18MHzまたは27MHz~54MHzのとき、TV DDSクロックソースをPLL出力 ÷ 2 (REG[2Ch]ビット2 = 1) に設定する必要があります。クロック入力、PLL出力が正確に54.0000MHzとなるような値にする必要があります。これは、カラーサブキャリア周波数がTV DDSクロックから生成されるからであり、TV DDSクロックが正確に27.0000MHzでなければ、TVの色が損なわれる可能性があるからです。

9. レジスタ

REG[2Ch] Clock Source Select Register						Read/Write
Default = 10h						
n/a			Reserved	n/a	TV DDSクロック ソースセレクト	TVタイミング クロックソース セレクト
7	6	5	4	3	2	1
						0

bit 4 Reserved
このビットのデフォルト値は1です。

bit 2 TV DDSクロックソースセレクト
このビットは、TV DDSクロックソースを選択します。クロック構造の詳細については、44ページの8.「クロック」を参照してください。
このビットが0の場合、TV DDSクロックソースは、CLKIです。
このビットが1の場合、TV DDSクロックソースは $POUT \div 2$ となります。ここで、POUTはPLL出力です。

このビットは、TVタイミングクロックソースセレクトビット（REG[2Ch]ビット1）、TV入力クロック設定ビット（REG[4Eh]ビット5～4）、また必要ならTVフィルタ係数およびユーザクロック比インデックス／データビット（REG[54h]～REG[56h]）をともに使用して、TV回路のクロッキングを設定します。設定例の一覧については、53ページの表9.4「PLLクロックの設定例」を参照してください。

注

1. 入力クロックが1MHz～18MHzまたは27MHz～54MHzのとき、TV DDSクロックソースを $PLL出力 \div 2$ （REG[2Ch]ビット2 = 1）に設定する必要があります。クロック入力は、PLL出力が正確に54.0000MHzとなるような値にする必要があります。これは、カラーサブキャリア周波数がTV DDSクロックから生成されるからであり、TV DDSクロックが正確に27.0000MHzでなければ、TVの色が損なわれる可能性があるからです。
2. 最適な性能を得るためには、TV DDSクロックとTVタイミングクロックに低ジッタの27MHz CLKIを使用する必要があります。

bit 1 TVタイミングクロックソースセレクト
このビットは、TVタイミングクロックソースを選択します。CLKIが27MHzの場合、このビットを0に設定することができます。CLKIが27MHzでない場合、PLLを54MHzにプログラムする必要があります（53ページの表9.4「PLLクロックの設定例」を参照）、さらにこのビットを1に設定する必要があります。クロック構造の詳細については、44ページの8.「クロック」を参照してください。
このビットが0の場合、TVタイミングクロックソースは、CLKIです。
このビットが1の場合、TVタイミングクロックソースは、 $POUT \div 2$ となります。ここで、POUTはPLL出力です。

このビットは、TV DDSクロックソースセレクトビット（REG[2Ch]ビット2）、TV入力クロック設定ビット（REG[4Eh]ビット5～4）、また必要ならTVフィルタ係数およびユーザクロック比インデックス／データビット（REG[54h]～REG[56h]）をともに使用して、TV回路のクロッキングを設定します。設定例の一覧については、53ページの表9.4「PLLクロックの設定例」を参照してください。

注

最適な性能を得るためには、TV DDSクロックとTVタイミングクロックに低ジッタの27MHz CLKIを使用する必要があります。

REG[2Eh] Power Save Register

Default = 02h

Read/Write

Reserved 7	n/a 6	n/a 5	CS#SEL端子モード 4	n/a 3	n/a 2	スリープモード イネーブル 1	スタンバイモード イネーブル 0
---------------	----------	----------	------------------	----------	----------	-----------------------	------------------------

bit 7 Reserved
このビットのデフォルト値は0です。

bit 4 CS#SEL端子モード
このビットは、以下に示すようにCS#SEL端子モードを制御します。

表9.5 CS#SEL端子モード選択

REG[2Eh]ビット4	CS#SEL端子	CS#SELモードの説明
0	0	CS#端子は、LCDCS#端子にのみ渡されます。
0	1	CS#端子は、S1D13771内部回路にのみ渡されます。
1	x	CS#端子は、LCDCS#端子とS1D13771内部回路の両方に渡されます。

注

このビットの値を変更すると、CS#信号がS1D13771に渡されるのか、あるいはLCDCS#端子に渡されるのかどうか（CS#SEL端子の状態によって決まる）、現在のサイクル中に決定されます。

9. レジスタ

bit 1

スリープモードイネーブル

このビットは、スリープのパワーセーブモードを制御します。
このビットが0の場合、スリープモードはディセーブルです（通常動作）。
このビットが1の場合、スリープモードはイネーブルです（デフォルト）。

スリープモードがイネーブルのとき、PLLを含むすべての内部ブロックは、ディセーブルです。
スリープモードがディセーブルのとき、メモリアクセスを行う前に、約2msのPLLロック時間が必要となります。PLLロックビット（REG[20h]ビット7）を読み出すことにより、PLLが安定した時点を確認することができます。スリープモードがイネーブルのときの推定消費電力については、18ページの6.5「推定消費電力」を参照してください。

注

スリープモードに入る前に、TV表示をディセーブルに（REG[80h]ビット2 = 0）、またIREF/VREFソースをディセーブルにする必要があります（REG[9Eh]ビット1 ~ 0 = 00）。スリープモードに入るためのプログラミング手順の例については、115ページの16.1「スリープモード」を参照してください。

bit 0

スタンバイモードイネーブル

このビットは、スタンバイのパワーセーブモードを制御します。
このビットが0の場合、スタンバイモードはディセーブルです（通常動作）。
このビットが1の場合、スタンバイモードはイネーブルです。

スタンバイモードがイネーブルのとき、すべての内部ブロックは、PLLの場合を除いてディセーブルです。
スタンバイモードがディセーブルのとき、S1D13771内部クロックは3つのシステム（PLL）クロック周期を経て起動します。この時間が経過するまで同期レジスタにアクセスしないようにしてください。スタンバイモードがイネーブルのときの推定消費電力については、18ページの6.5「推定消費電力」を参照してください。

注

スタンバイモードに入る前に、TV表示をディセーブルに（REG[80h]ビット2 = 0）、またIREF/VREFソースをディセーブルにする必要があります（REG[9Eh]ビット1 ~ 0 = 00）。スタンバイモードに入るためのプログラミング手順の例については、117ページの16.2「スタンバイモード」を参照してください。

9.4.3 TV構成レジスタ

REG[40h] TV Display Configuration Register							Read/Write
Default = 00h							
Reserved	n/a			TV規格セレクトビット2~0			n/a
7	6	5	4	3	2	1	0

bit 7 Reserved
 このビットのデフォルト値は0です。

bits 3-1 TV規格セレクトビット[2:0]
 これらのビットは、以下に示すようにTV規格とその下位規格を選択します。

表9.6 TV規格の選択

REG[40h]ビット3~1	TV規格	その下位規格
000 (デフォルト)	625ラインシステム	PAL B、D、G、H、I
001	525ラインシステム	PAL M
010	625ラインシステム	PAL N
011	625ラインシステム	PAL Nc
100	525ラインシステム	NTSC M
101	525ラインシステム	NTSC J
110~111	Reserved	

9. レジスタ

REG[4Ch] TV DDS Fine Tuning Register 0							
Default = 00h							
Read/Write							
Reserved							
7	6	5	4	3	2	1	0

REG[4Eh] TV DDS Fine Tuning Register 1							
Default = 00h							
Read/Write							
Reserved		TV入力クロック設定ビット1~0		n/a	Reserved		
7	6	5	4	3	2	1	0

REG[4Eh] bits 2-0

REG[4Ch] bits 7-0 Reserved
これらのビットのデフォルト値は、000hです。

REG[4Eh] bits 7-6 Reserved
これらのビットのデフォルト値は、00です。

REG[4Eh] bits 5-4

TV入力クロック設定ビット[1:0]

これらのビットは、TV DDSクロックソースセレクトビット（REG[2Ch]ビット2）、TVタイミングクロックソースセレクトビット（REG[2Ch]ビット1）、また必要ならTVフィルタ係数およびユーザクロック比インデックス／データビット（REG[54h]～REG[56h]）をともに使用して、TV回路のクロッキングを設定します。設定例の一覧については、53ページの表9.4「PLLクロックの設定例」を参照してください。

表9.7 TVクロック設定の一覧

CLKI周波数 (MHz)	TV DDSクロック ソースセレクト (REG[2Ch]ビット2)	TVタイミングクロック ソースセレクト (REG[2Ch]ビット1)	TV入力クロック設定 (REG[4Eh] ビット5～4)	f_{sc}/f_{dds} 比および f_{timing}/f_{dds} 比を プログラムする必要性の有無 (注1)
27	0 (CLKI)	0 (CLKI)	00	なし
26	0 (CLKI)	1 (PLL÷2 = 27MHz)	01	あり (NTSCM/NTSCJの場合のみ)
$18 \leq \text{CLKI} \leq 27$	0 (CLKI)	1 (PLL÷2 = 27MHz)	10	あり (注2)
$1 \leq \text{CLKI} \leq 18$ または $27 \leq \text{CLKI} \leq 54$	1 (PLL÷2 = 27MHz) (注3)	1 (PLL÷2 = 27MHz)	00	なし

注

- REG[4Eh] ビット5～4の一部の設定では、 f_{timing}/f_{dds} と f_{sc}/f_{dds} のレジスタ（REG[54h] Index[20h]～[27h]およびREG[56h]）は正確な値を用いてプログラムする必要があります。プログラミングが不要な設定の場合、適切な値でレジスタをハードコード化してください。比率をプログラムする必要があるかどうかを判断するには、59ページの表9.7「TVクロック設定の一覧」を参照してください。
- REG[4Eh]ビット5～4 = 10で、CLKIが26MHz未満の場合、SCH位相および彩度の精度は、 f_{dds} に使用されるCLKIによっては、消費者のグレード仕様の20度および3%をそれぞれ満たさない場合があります。
- REG[2Ch]ビット2によって、PLLからDDSクロック（ f_{dds} ）を選択することができます。ただし、PLLジッタが存在するため、すべてのタイミングがITU-BT470またはSMPTE170Mの仕様に従って満たされているという保証はありません。
- 入力クロックが1MHz～18MHzまたは27MHz～54MHzのとき、TV DDSクロックソースをPLL出力 ÷ 2（REG[2Ch]ビット2 = 1）に設定する必要があります。クロック入力、PLL出力が正確に54.0000MHzとなるような値にする必要があります。これは、カラーサブキャリア周波数がTV DDSクロックから生成されるからであり、TV DDSクロックが正確に27.0000MHzでなければ、TVの色が損なわれる可能性があるからです。
- 最適な性能を得るためには、TV DDSクロックとTVタイミングクロックに低ジッタの27MHz CLKIを使用する必要があります。

9. レジスタ

REG[50h] TV Test Pattern Setting Register							Read/Write
Default = 00h							
7	6	5	4	3	2	1	0
n/a				テストパターンセレクトビット3~0			

bits 3-0

テストパターンセレクトビット[3:0]

これらのビットは、テストパターンジェネレータから、内蔵のTVテストパターンを選択します。TVは、選択したテストパターンが表示される前にイネーブルにする必要があります（REG[80h]ビット2 = 1）。

表9.8 テストパターンの定義

REG[50h] ビット3~0	テストパターンの説明	注
0000	テストパターンジェネレータのディセーブル	通常動作
0001	75%のカラーバーと75%の白色	10.3μsから開始して6.7μsごと
0010	100%のカラーバー	
0011	75%のカラーバーと100%の白色	
0100	Reserved	
0101	コンスタントY（77IRE、YCbCr: 180/128/128）	すべてのラインはディスプレイ出力ウィンドウ内でアクティブ（REG[8Ah]~REG[90h]を参照）
0110	コンスタントY + 赤（YCbCr: 65/100/212）	
0111	クロミナンスのない10ステップステアケース	13.5μsから開始して4μsステップごと
1000	クロミナンスのないランプY	20.2μs~53.0μs
1001	クロミナンス1のある10ステップステアケース（CbCr: 89/156）	PAL用
1010	クロミナンス2のある10ステップステアケース（CbCr: 73/128）	NTSC用
1011	クロミナンス1のあるランプA（UV: -20/20）	PAL用
1100	クロミナンス2のあるランプA（UV: -28/0）	NTSC用
1101	カラー Aのある100IREランプ: n/-21/21、n: 0~140	NTSC用
1110	カラー Bのある100IREランプ n/-28/0、n: 0~140	PAL用
1111	カラー Aのある80IREランプ: n/-21/21、n: 0~448	NTSC用

表9.9 各ビデオパラメータでのテストパターンの使用

パラメータ	基準値	テスト信号
位相差	< 4°	変調ステアケースまたは変調ランプ、パーストに対して0°±1°
利得差	< 4%	10ステップ変調ステアケース
色相の精度	< 3°	カラーバー
彩度の精度	< 3%	カラーバー
SNR	> 48 dB	
SCH位相	40°	カラーパーストのある任意の信号
サブキャリアの許容範囲	< 2/1 Hz (NTSC/PAL)	

REG[52h] TV Filter Setting Register					
Default = 00h					
Read/Write					
Reserved	n/a		Reserved		プログラム可能 フィルタセレクト
7	6	5	4	3	2
					クロミナンス フィルタイネーブル
					0
					ルミナンス フィルタイネーブル

- bit 7 Reserved
このビットのデフォルト値は0です。
- bits 4-3 Reserved
これらのビットのデフォルト値は、00です。
- bit 2 プログラム可能なフィルタセレクト
このビットは、クロミナンス/ルミナンスフィルタのフィルタパラメータがあらかじめプログラムされているか、あるいはREG[54h]とREG[56h]のレジスタを使用してプログラム可能であるかどうかを選択します。
このビットが0の場合、フィルタパラメータは、TV規格に従ってあらかじめプログラムされています。
このビットが1の場合、フィルタパラメータは、REG[54h]およびREG[56h]を使用してプログラム可能です。詳細については、111ページの15.「TVフィルタ動作」を参照してください。
- bit 1 クロミナンスフィルタイネーブル
このビットは、クロミナンスフィルタ機能を制御します。
このビットが0の場合、クロミナンスフィルタはディセーブルです。
このビットが1の場合、クロミナンスフィルタはイネーブルです。
- bit 0 ルミナンスフィルタイネーブル
このビットは、ルミナンスフィルタ機能を制御します。
このビットが0の場合、ルミナンスフィルタはディセーブルです。
このビットが1の場合、ルミナンスフィルタはイネーブルです。

9. レジスタ

REG[54h] TV Filter Coefficient and User Clock Ratio Index Register							Read/Write
Default = 00h							
Reserved	n/a	TVフィルタ係数およびユーザークロック比インデックスビット5~0					
7	6	5	4	3	2	1	0

注
TVフィルタ係数およびユーザークロック比インデックスは、TV Filter Coefficient and User Clock Ratio Dataレジスタ（REG[56h]）への書き込みが完了後、オートインクリメントされます。TV Filter Coefficient and User Clock Ratio Dataレジスタから読み出しても、インデックスはインクリメントされません。

bit 7 Reserved
このビットのデフォルト値は0です。

bits 5-0

TVフィルタ係数およびユーザークロック比インデックスビット[5:0]
 このインデックスレジスタにより、以下に示すように8つのクロミナンス係数、
 8つのルミナンス係数、 $f_{\text{timing}}/f_{\text{dds}}$ 比、および $f_{\text{sc}}/f_{\text{dds}}$ 比へのアクセスが可能になります。
 以下に、各インデックス範囲を詳細に説明します。

表9.10 TVフィルタ係数およびユーザークロック比インデックス

インデックス	説明	インデックス	説明
00h	ルミナンスフィルタ係数0レジスタ0	14h	クロミナンスフィルタ係数2レジスタ0
01h	ルミナンスフィルタ係数0レジスタ1	15h	クロミナンスフィルタ係数2レジスタ1
02h	ルミナンスフィルタ係数1レジスタ0	16h	クロミナンスフィルタ係数3レジスタ0
03h	ルミナンスフィルタ係数1レジスタ1	17h	クロミナンスフィルタ係数3レジスタ1
04h	ルミナンスフィルタ係数2レジスタ0	18h	クロミナンスフィルタ係数4レジスタ0
05h	ルミナンスフィルタ係数2レジスタ1	19h	クロミナンスフィルタ係数4レジスタ1
06h	ルミナンスフィルタ係数3レジスタ0	1Ah	クロミナンスフィルタ係数5レジスタ0
07h	ルミナンスフィルタ係数3レジスタ1	1Bh	クロミナンスフィルタ係数5レジスタ1
08h	ルミナンスフィルタ係数4レジスタ0	1Ch	クロミナンスフィルタ係数6レジスタ0
09h	ルミナンスフィルタ係数4レジスタ1	1Dh	クロミナンスフィルタ係数6レジスタ1
0Ah	ルミナンスフィルタ係数5レジスタ0	1Eh	クロミナンスフィルタ係数7レジスタ0
0Bh	ルミナンスフィルタ係数5レジスタ1	1Fh	クロミナンスフィルタ係数7レジスタ1
0Ch	ルミナンスフィルタ係数6レジスタ0	20h	$f_{\text{timing}}/f_{\text{dds}}$ 比[7:0]
0Dh	ルミナンスフィルタ係数6レジスタ1	21h	$f_{\text{timing}}/f_{\text{dds}}$ 比[15:8]
0Eh	ルミナンスフィルタ係数7レジスタ0	22h	$f_{\text{timing}}/f_{\text{dds}}$ 比[23:16]
0Fh	ルミナンスフィルタ係数7レジスタ1	23h	$f_{\text{timing}}/f_{\text{dds}}$ 比[29:24]
10h	クロミナンスフィルタ係数0レジスタ0	24h	$f_{\text{sc}}/f_{\text{dds}}$ 比[7:0]
11h	クロミナンスフィルタ係数0レジスタ1	25h	$f_{\text{sc}}/f_{\text{dds}}$ 比[15:8]
12h	クロミナンスフィルタ係数1レジスタ0	26h	$f_{\text{sc}}/f_{\text{dds}}$ 比[23:16]
13h	クロミナンスフィルタ係数1レジスタ1	27h	$f_{\text{sc}}/f_{\text{dds}}$ 比[29:24]

インデックス00h～1Fh

最初の16バイトはルミナンス係数で、次の16バイトはクロミナンス係数です(すべての係数は2バイトで構成されます。最初のバイト＝係数、2番目のバイトのビット0＝符号ビットです)。

ルミナンスフィルタは、ノッチまたはローパスフィルタとして構成できる15タップのFIRフィルタです。クロミナンスフィルタは、15タップのローパスFIRフィルタです。

REG[52h]ビット2が0のとき、ルミナンスフィルタとクロミナンスフィルタのデフォルト値は、以下のとおりです。

表9.11 ルミナンスフィルタのデフォルト値

REG[52h]ビット2	TV規格	係数番号								注
		0	1	2	3	4	5	6	7	
0	NTSC、M/Nc PAL	1FEh	007h	008h	1E5h	1F5h	037h	005h	0BBh	ノッチフィルタ (3.58MHz)
0	(B、D、G、H、I、N) PAL	002h	1F3h	00Eh	00Ch	1D6h	01Dh	01Bh	0C3h	ノッチフィルタ (4.43MHz)
1	----	レジスタ値の使用								ユーザー設定

9. レジスタ

表9.12 クロミナンスフィルタのデフォルト値

REG[52h]ビット2	係数番号								注
	0	1	2	3	4	5	6	7	
0	001h	001h	1FBh	1F5h	1FDh	01Dh	047h	05Bh	ローパスフィルタ、1.3MHzでの減衰<1.5dB、 3.6MHzでは>20dB
1	レジスタ値の使用								ユーザー設定

インデックス20h～23h

次の4バイトは、TVタイミングクロック (f_{timing}) とDDSクロック (f_{dds}) の間の比率を設定します。このクロック比は、TVタイミングクロックが27MHzまたは26MHzでないときにプログラムする必要があります (REG[4Eh]ビット5～4が10)。30ビットの値は、 $f_{\text{timing}}/f_{\text{dds}} \times 2^{29}$ に等しくなります。デフォルト値は0です。

インデックス24h～27h

これら後半の4バイトは、サブキャリアクロック (f_{sc}) とDDSクロック (f_{dds}) の間の比率を設定します。このクロック比は、DDSクロックが27MHzまたは26MHzでないとき (REG[4Eh]ビット5～4が10)、あるいはDDSクロックが26MHzでNTSCMまたはNTSCJを選択するとき (REG[4Eh]ビット5～4 = 01およびREG[40h]ビット3～1 = 100または101)、TV規格 (REG[40h]ビット3～1) に基づいてプログラムする必要があります。30ビットの値は、 $f_{\text{sc}}/f_{\text{dds}} \times 2^{32}$ に等しくなります。

注

$f_{\text{sc}}/f_{\text{dds}}$ 比は、TV規格に基づいているため、TV規格が変更された場合には、再プログラムする必要があります (REG[40h]ビット3～1を参照)。

たとえば、CLKIが18MHzでTV規格がNTSCMの場合、クロックソースは以下のようになります。

サブキャリア f_{sc} は、3.5795454MHzです。

DDSクロック f_{dds} は、18MHzです。

TVタイミングクロック f_{timing} は、27MHzです。

この場合、以下の値を用いてレジスタをプログラムする必要があります。

- REG[2Ch]ビット2～1は、01に設定する必要があります。
- REG[4Eh]ビット5～4は、10に設定する必要があります。
- クロック比 $f_{\text{timing}}/f_{\text{dds}} = 27/18 \times 2^{29} = 805,306,368 = 3000_0000h$
REG[54h]の20h～23hにインデックス付けされた4バイトは、REG[56h]の00h、00h、00h、および30hとしてプログラムする必要があります。
- クロック比 $f_{\text{sc}}/f_{\text{dds}} = 3.5795454/18 \times 2^{32} = 854,112,802 = 32E8_BA21h$
REG[54h]の24h～27hにインデックス付けされた後半の4バイトは、REG[56h]の21h、BAh、E8h、および32hとしてプログラムする必要があります。

以下の表は、一般的な $f_{\text{timing}}/f_{\text{dds}}$ 比と $f_{\text{sc}}/f_{\text{dds}}$ 比の例のいくつかを示します。

表9.13 一般的な $f_{\text{timing}}/f_{\text{dds}}$ 比および $f_{\text{sc}}/f_{\text{dds}}$ 比

f_{dds} (CLKI周波数) (MHz)	比率 ($f_{\text{timing}}/f_{\text{dds}}$) $\times 2^{29}$	$f_{\text{timing}}/f_{\text{dds}}$ 比の 値 (16進数)	TV規格	f_{sc} (MHz)	比率 ($f_{\text{sc}}/f_{\text{dds}}$) $\times 2^{32}$	$f_{\text{sc}}/f_{\text{dds}}$ 比の値 (16進数)
18	805306368	30000000h	NTSC	3.5795454	854112802	32E8BA21h
18			PAL-M	3.57561149	853174134	32DA6776h
18			PAL-Nc	3.58205625	854711914	32F1DE69h
18			PAL-その他	4.43361875	1057902641	3F0E5030h
19.2	754974720	2D000000h	NTSC	3.5795454	800730751	2FBA2E7Fh
19.2			PAL-M	3.57561149	799850751	2FACC0FEh
19.2			PAL-Nc	3.58205625	801292419	2FC2C083h
19.2			PAL-その他	4.43361875	991783726	3B1D6B2Dh
26	557519793	213B13B1h	NTSC	3.5795454	591308863	233EA83Fh
26			PAL-M	3.57561149	590659016	2334BDC8h
26			PAL-Nc	3.58205625	591723633	2344FC71h
26			PAL-その他	4.43361875	732394136	2BA77298h

REG[56h] TV Filter Coefficient and User Clock Ratio Data Register

Default = not applicable

Read/Write

TVフィルタ係数およびユーザークロック比データビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

TVフィルタ係数およびユーザークロック比データビット[7:0]

これらのビットは、TVフィルタ係数およびユーザークロック比インデックス (REG[54h]ビット5~0) によって指定されたインデックスから読み出す、またはインデックスに書き込むデータを決定します。REG[54h]ビット5~0のインデックスは、このレジスタへの書き込みが完了するたびに、オートインクリメントされ、連続書き込みアクセスが可能になります。

9. レジスタ

9.4.4 TV検出レジスタ

REG[5Ch] TV Detection Control/Status Register						Read/Write	
Default = 04h							
TV検出ステータス (RO)	n/a			TV検出レベルセレクトビット1~0		TV検出モード セレクト	TV検出イネーブル
7	6	5	4	3	2	1	0

bit 7 TV検出ステータス（読み出し専用）
このビットは、TV検出がイネーブル、すなわちREG[5Ch]ビット0が1のときにのみ有効です。
このビットは、TV検出プロセスのステータスを示し、TV出力のスレッショルド電圧検出器のステータスを返します。
このビットが0の場合、TVは接続されています。
このビットが1の場合、TVは接続されていません。

注

TV検出がディセーブル（REG[5Ch]ビット0 = 0）のとき、このビットは常に0を返します。

bits 3-2 TV検出レベルセレクトビット[1:0]
これらのビットは、TV検出に使用するDACレベルを選択します。

表9.14 TV検出レベル選択

REG[5Ch]ビット3~2	TV検出レベル
00	フルスケール出力でDACを駆動（10ビットDAC入力は3FFh）
01	1.0V出力でDACを駆動（デフォルト）
10	0.9V出力でDACを駆動
11	0.8V出力でDACを駆動

bit 1

TV検出モードセレクト

このビットは、TV検出モード、接続検出モード、または切断検出モードを選択します。このビットは、TV検出がイネーブル、すなわちREG[5Ch]ビット0が1のときには変更しないでください。

このビットが0の場合、TV接続検出モードが選択され、TV検出イネーブルビットが1に設定されていると（REG[5Ch]ビット0=1）、一定のDC電圧がTV出力上で駆動されます。TV検出ステータスビット（REG[5Ch]ビット7）は、TVが接続されているかどうかを示します。TV接続検出モードは、ユーザーが「TV ON」を要求すると使用されます。この場合、ソフトウェアはTV検出をイネーブルにし、TV検出ステータスを確認します。TVが接続されていないことをステータスが示した場合、このステータスを報告することができます。TVが接続されていることをステータスが示した場合、TV検出をディセーブルにする必要があります、またS1D13771を初期化してTV出力をオンにし、希望のディスプレイ画像をロードする必要があります。

このビットが1の場合、TV未接続検出モードが選択され、いったんTV検出がイネーブルになり（REG[5Ch]ビット0=1）、S1D13771のTVエンコーダは、垂直非表示期間中のTV接続を検出するためにDC電圧（パルス）だけを駆動します。TVが接続されていれば、TV検出ステータスビット（REG[5Ch]ビット7）は、検出電圧が印加されたときLOWのままになります。TVが未接続の場合、TV検出ステータスビットは、垂直非表示期間中に検出電圧が印加されたときにHIGHになります。TV未接続検出モードの場合、TV未接続割り込みが実装されており（REG[F8h]ビット7を参照）、TV検出ステータスがLOW（接続）からHIGH（未接続）に遷移すると必ずトリガされます。TV未接続検出モードは、TV出力がイネーブルのときにTV未接続を検出するために使用することを想定したものです。TV出力がディセーブル、すなわちREG[80h]ビット2=0のときには、TV未接続検出モードは機能しません。

bit 0

TV検出イネーブル

このビットは、TV出力の電圧をアサートするTV検出を制御し、電圧レベルを検出します。TV出力に負荷がない場合、電圧はHIGHで、TVが接続されていないことを示します。TV出力に負荷がある場合、電圧はLOWで、TVが接続されていることを示します。

このビットが0の場合、TV検出はディセーブルです。

このビットが1の場合、TV検出はイネーブルです。

注

1. TV 検出がイネーブルの間に、TV 検出モードセレクトビット（REG[5Ch]ビット1）を変更しないでください。TV検出のタイプを変更する必要がある場合は、TV検出をディセーブルにし、検出モードを変更してから、TV検出を再度イネーブルにします。
2. TV検出は、IREFとVREFがREG[9Eh]ビット1～0でイネーブルであることが必要です（内部生成を使用する場合）。

9. レジスタ

9.4.5 入力データ制御レジスタ

REG[60h] Input Data Format Register							Read/Write
Default = 31h							
n/a		YUV入力データタイプセレクト ビット1~0		入力データフォーマットセレクトビット3~0			
7	6	5	4	3	2	1	0

bits 5-4

YUV入力データタイプセレクトビット[1:0]

これらのビットは、S1D13771への入力データのYUVデータタイプを定義します。YUV入力データは、メモリに書き込まれる前に必ずYCbCrに変換されます。デフォルトのタイプは、YCbCrです。

表9.15 YUVデータタイプの選択

REG[60h]ビット5~4	データタイプ	YRC入力データ範囲
00	YUV	$0 \leq Y \leq 255$ $-128 \leq U \leq 127$ $-128 \leq V \leq 127$
01	YCbCr	$16 \leq Y \leq 235$ $-113 \leq U \leq 112$ $-113 \leq V \leq 112$
10	YUVオフセット	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
11 (デフォルト)	YCbCrオフセット	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$

bits 3-0

入力データフォーマットセレクトビット[3:0]

これらのビットは、Intel 80ホストインタフェースから受ける入力データフォーマットを選択します。各データフォーマットの詳細については、93ページの10.「Intel 80、8ビットインタフェースのカラーフォーマット」、および96ページの11.「YUVタイミング」を参照してください。

表9.16 入力データフォーマットの選択

REG[60h] ビット3~0	入力データフォーマット
0000	Reserved
0001 (デフォルト)	RGB 5:6:5
0010	RGB 6:6:6モード1
0011	RGB 8:8:8モード1
0100 ~ 0111	Reserved
1000	YUV 4:2:2
1001 ~ 1111	Reserved

REG[62h] Special Effects Register							Read/Write
Default = 00h							
n/a			スクエアピクセル 補正イネーブル	n/a			
7	6	5	4	3	2	1	0

bit 4

スクエアピクセル補正イネーブル

このビットは、スクエアピクセルをTV出力に表示するために、ライン当たりのピクセル数を変更するスクエアピクセル補正機能を制御します。625ラインシステムの場合、ディスプレイ画像は縮小され、最大出力ウィンドウサイズは720 x 576から788 x 576に変更されます。525ラインシステムの場合、ディスプレイ画像は拡大され、最大出力ウィンドウサイズは720 x 480から654 x 480に変更されます。

このビットが0の場合、スクエアピクセル補正は、ディセーブルです（デフォルト）。

このビットが1の場合、スクエアピクセル補正は、イネーブルです。

注

スクエアピクセル補正は、TV規格（REG[40h]ビット3～1）を変更する前にディセーブル（REG[62h]ビット4 = 0）にする必要があります。

表9.17 スクエアピクセル補正の一覧

REG[62h]ビット4	TV規格	拡大縮小率	最大出力幅の設定
0	—	256/256 (1.000)	720
1	525 line systems	282/256 (1.101)	654 (654 x 282 ÷ 256 = 720)
1	625 line systems	234/256 (0.914)	788 (788 x 234 ÷ 256 = 720)

9. レジスタ

REG[64h] Host Input Window Height Register 0							
Default = 00h							
Read/Write							
ホスト入力ウィンドウの高さビット7～0							
7	6	5	4	3	2	1	0

REG[66h] Host Input Window Height Register 1							
Default = 00h							
Read/Write							
n/a						ホスト入力ウィンドウの高さビット9～8	
7	6	5	4	3	2	1	0

REG[66h] bits 1-0

REG[64h] bits 7-0

ホスト入力ウィンドウの高さビット[9:0]
これらのビットは、ホストからの入力ウィンドウの高さ（ピクセル）を決定します。ホスト入力ウィンドウの最大解像度は640 x 480ピクセルです。

注

これらのビットは、以下の式が有効となるようにプログラムする必要があります。

REG[66h]ビット1～0、REG[64h]ビット7～0 ≥ 8

REG[68h] Host Input Window Width Register 0							
Default = 00h							
Read/Write							
ホスト入力ウィンドウの幅ビット7～0							
7	6	5	4	3	2	1	0

REG[6Ah] Host Input Window Width Register 1							
Default = 00h							
Read/Write							
n/a						ホスト入力ウィンドウの幅ビット9～8	
7	6	5	4	3	2	1	0

REG[6Ah] bits 1-0

REG[68h] bits 7-0

ホスト入力ウィンドウの幅ビット[9:0]
これらのビットは、ホストでの入力ウィンドウの幅（ピクセル）を決定します。ホスト入力ウィンドウの最大解像度は640 x 480ピクセルです。

注

- ホスト入力ウィンドウの幅は、2で割り切れる必要があります。
- これらのビットは、以下の式が有効となるようにプログラムする必要があります。

REG[6Ah]ビット1～0、REG[68h]ビット7～0 ≥ 8

9.4.6 表示出力制御レジスタ

REG[80h] Display Mode Register							Read/Write
Default = 00h							
マクロビジョン イネーブル	n/a			TV表示ブランク	TVイネーブル	n/a	
7	6	5	4	3	2	1	0

bit 7 マクロビジョンイネーブル
マクロビジョン機能は、S1D13771のボンドアウトオプションです。したがってマクロビジョンは、マクロビジョンボンドオプションビットが1 (REG[04h]ビット7=1) に設定されているときにのみイネーブルにすることができます。REG[04h]ビット7=0のとき、このビットは効果がありません。
このビットが0の場合、マクロビジョンブロックは、イネーブルです。
このビットが1の場合、マクロビジョンブロックは、ディセーブルです。

bit 3 TV表示ブランク
このビットは、TV表示パイプラインを制御し、TV表示を「ブランク」にすることができます。
このビットが0の場合、TV表示パイプラインは、イネーブルです。
このビットが1の場合、すべてのTVデータ出力は、強制的に黒になります（つまり、画面がブランクになります）。

注

TVテストパターンを選択すると（REG[50h]ビット3～0≠0000）、このビットはTV表示に対して効果がありません。

bit 2 TVイネーブル
このビットはTVインタフェースを制御し、DACをイネーブルにします。
このビットが0の場合、TVインタフェースはディセーブルになり、すべてのTV制御信号はインアクティブです。
このビットが1の場合、TVインタフェースおよびDACはイネーブルになります。

注

TV検出がイネーブルのとき（REG[5Ch]ビット0=1）、DAC電源はイネーブルです。したがって、TV検出がイネーブルの間は、このビットを使用してDACをディセーブルにすることはできません。

9. レジスタ

REG[8Ah] Display Output Window Height Register 0							
Default = 40h							
Read/Write							
表示出力ウィンドウの高さビット7～0							
7	6	5	4	3	2	1	0

REG[8Ch] Display Output Window Height Register 1							
Default = 02h							
Read/Write							
n/a						表示出力ウィンドウの高さビット9～8	
7	6	5	4	3	2	1	0

REG[8Ch] bits 1-0

REG[8Ah] bits 7-0

表示出力ウィンドウの高さビット[9:0]

これらのビットは、TVへのウィンドウ出力の高さ（ピクセル）を決定します。この値を使用して、TVへの出力に合わせて、メモリに格納されている画像を拡大または縮小するのに必要な比率を決定します。表示出力ウィンドウの高さが選択した表示フォーマット（PALまたはNTSC、REG[40h]ビット3～1を参照）のフルスクリーン解像度と一致しない場合、ウィンドウは、Border Colorレジスタで定義されたボーダーカラー内で自動的にセンタリングされます（REG[92h]～REG[96h]）。

PALの場合、表示出力ウィンドウの高さは、576以下にする必要があります。PALおよびNTSCのどちらの場合でも、表示出力ウィンドウの高さは、ホスト入力ウィンドウの高さの1/2以上にする必要があります（REG[64h]～REG[66h]を参照）。

NTSCの場合、表示出力ウィンドウの高さは、480以下にする必要があります。

注

表示出力ウィンドウの高さ（REG[8Ah]～REG[8Ch]）および表示出力ウィンドウの幅（REG[8Eh]～REG[90h]）の値は、REG[90h]が書き込まれた後の次のTV垂直ブランク期間の間ラッチされます。これは、Display Output Window Height/Widthレジスタを更新するときにREG[90h]を最後に書き込む必要があるということです。

REG[8Eh] Display Output Window Width Register 0							
Default = D0h							
Read/Write							
表示出力ウィンドウの幅ビット7～0							
7	6	5	4	3	2	1	0

REG[90h] Display Output Window Width Register 1							
Default = 02h							
Read/Write							
n/a						表示出力ウィンドウの幅ビット9～8	
7	6	5	4	3	2	1	0

REG[90h] bits 1-0

REG[8Eh] bits 7-0

表示出力ウィンドウの幅ビット[9:0]

これらのビットは、TVへのウィンドウ出力の幅（ピクセル）を決定します。この値を使用して、TVへの出力に合わせて、メモリに格納されている画像を拡大または縮小するのに必要な比率を決定します。表示出力ウィンドウの幅が選択した表示フォーマット（NTSCまたはPAL、REG[40h]ビット3～1を参照）のフルスクリーン解像度と一致しない場合、ウィンドウは、Border Colorレジスタで定義されたボーダーカラー内で自動的にセンタリングされます（REG[92h]～REG[96h]）。

PALおよびNTSCのどちらの場合でも、表示出力ウィンドウの最小幅は、ホスト入力ウィンドウの幅の半分（REG[68h]～REG[6Ah]）です。

PALおよびNTSCのどちらの場合でも、表示出力ウィンドウの最大幅は、スクエアピクセル補正がイネーブルのとき（REG[62h]ビット4 = 1）、以下の表に示すように変化します。

表9.18 表示出力の最大幅

スクエアピクセル補正 イネーブル (REG[62h]ビット4)	TV規格 (REG[40h]ビット3～1)	表示出力の最大幅 (REG[8Eh]～REG[90h])
0	PAL	720
0	NTSC	720
1	PAL	788
1	NTSC	654

注

表示出力ウィンドウの高さ（REG[8Ah]～REG[8Ch]）および表示出力ウィンドウの幅（REG[8Eh]～REG[90h]）の値は、REG[90h]が書き込まれた後の次のTV垂直ブランク期間の間ラッチされます。これは、Display Output Window Height/Widthレジスタを更新するときにREG[90h]を最後に書き込む必要があるということです。

9. レジスタ

REG[92h] Border Color Register 0 Default = 10h								Read/Write
7	6	5	4	3	2	1	0	
ボーダーカラー - Y[7:0]								

REG[94h] Border Color Register 1 Default = 80h								Read/Write
7	6	5	4	3	2	1	0	
ボーダーカラー - U[7:0]								

REG[96h] Border Color Register 2 Default = 80h								Read/Write
7	6	5	4	3	2	1	0	
ボーダーカラー - V[7:0]								

REG[96h] bits 7-0
REG[94h] bits 7-0
REG[92h] bits 7-0

ボーダーカラー - V[7:0]
ボーダーカラー - U[7:0]
ボーダーカラー - Y[7:0]
これらのビットは、結果として得られる出力TVの解像度が、選択した表示フォーマット（PALまたはNTSC）の該当するフルスクリーン解像度に適合しない場合に使用するボーダーカラーのYUV（8:8:8）成分を指定します。この場合、表示出力ウィンドウは、指定したカラーボーダー内で自動的にセンタリングされます。

ボーダーカラーは、以下に示すYCbCrのオフセット範囲に設定する必要があります。

16 ≤ Y ≤ 235
16 ≤ U ≤ 240
16 ≤ V ≤ 240

REG[9Eh] DAC Reference Source Select Register							
Default = 00h						Read/Write	
Reserved 7	6	Reserved 5	4	Reserved 3	2	IREFイネーブル 1	VREFイネーブル 0

- bit 7 Reserved
このビットのデフォルト値は0です。
- bits 6-4 Reserved
これらのビットのデフォルト値は000です。
- bits 3-2 Reserved
これらのビットのデフォルト値は00です。
- bit 1 IREFイネーブル
このビットは、DAC基準電流源回路を制御します。
このビットが0の場合、基準電流の内部生成はディセーブルです（デフォルト）。
このビットが1の場合、VADJ端子はイネーブルです。詳細については、121ページの18.1「DACの外付け部品」を参照してください。
- bit 0 VREFイネーブル
このビットは、DAC基準電圧源回路を制御します。
このビットが0の場合、DACは外部VREFモードを使用します。詳細については、121ページの18.1「DACの外付け部品」を参照してください（デフォルト）。
このビットが1の場合、DACは、内部VREFモードを使用します。このモードでは、DAC基準電圧は、DACによって供給されます。

9. レジスタ

9.4.7 表示メモリアクセスレジスタ

REG[A0h] Display Memory Data Port Register							Read/Write
Default = not applicable							
表示メモリデータポートビット7~0							
7	6	5	4	3	2	1	0

bits 7-0 表示メモリデータポートビット[7:0]
これらのビットは、表示メモリにホストデータを書き込むためのデータポートです。

ホストが表示メモリにデータをバーストライトできるようにするには、ホスト入力ウインドウ高さ（および幅）レジスタ（REG[64h]～REG[6Ah]）をプログラムしておく必要があります。このレジスタに最初のデータを書き込むことによって、表示メモリの最初の位置にデータが書き込まれることになります。データの書き込みが完了した後、内部メモリアドレスがオートインクリメントされ、次のデータ書き込みを行うことができます。表示メモリへのバーストライトの詳細については、101ページの13.「ホストインタフェース」を参照してください。

注
非同期レジスタアクセスによって画像フレームライトに割り込みをかけても、フレームはリセットされません。非同期レジスタアクセスの後、ユーザーは、フレームの残りの書き込みを続行することができます。しかし、同期レジスタアクセスによって画像フレームライトに割り込みをかけると、フレームはリセットされます。同期レジスタアクセスの後、ユーザーは、再度、フレーム全体を書き込む必要があります。

REG[A2h]～REG[A6h]は予約されています。
これらのレジスタは予約されているため、書き込みを行わないでください。

REG[B2h] TE Control / Status Register

Default = 23h

Read/Write

n/a	TE割り込み イネーブル	TEステータス (RO)	入力ビジー ステータス (RO)	TE出力端子 イネーブル	TE出力端子機能セレクトビット2~0		
7	6	5	4	3	2	1	0

注

ディスプレイ画像のアーチファクト／ティアリングを回避するには、TE端子を使用してメモリに書き込むタイミングを決定することを推奨します。

bit 6

TE割り込みイネーブル

このビットは、TE端子が「ステータス」として動作するのか、「割り込み」として動作するのかどうかを制御します。

このビットが0の場合、TE端子はTE出力端子機能セレクトビットREG[B2h]ビット2~0によって選択されたイベントのリアルタイムステータスを示します。

このビットが1の場合、TE端子はTE出力端子機能セレクトビットREG[B2h]ビット2~0によって選択されたイベントが引き起こす割り込みとして動作します。この割り込みは、REG[B4h]への書き込みによって消去されない限りアサートされたままです。

bit 5

TEステータス（読み出し専用）

このビットは、TE出力端子がディセーブル（REG[E2h]ビット3 = 0）のときでも、TE出力のステータスを示します。

このビットが0の場合、TE出力はLOW（0）です。

このビットが1の場合、TE出力はHIGH（1）です。

bit 4

入力ビジーステータス（読み出し専用）

このビットは、入力回路が、現在のホスト入力ウィンドウのデータをメモリに書き込むためにビジー状態であるかどうかを示します。ウィンドウの最後のピクセルが書き込まれてからこのビットがLOWになるまでの間には最大11システムクロック（PLL出力クロック）の待ち時間があります。連続してウィンドウを書き込むときには、11システムクロックの期間が確実に経過してから、あるいはこのビットがLOWを返したことを確認してから次のウィンドウを書き込むようにしてください。一般的に、ウィンドウ間で、ウィンドウ入力および出力サイズレジスタに書き込むには、11システムクロックより長くかかるため、このビットの確認は必要ありません。ただし、書き込みと書き込みの間にレジスタをプログラムせずに連続してウィンドウに書き込む場合は、このビットを確認するか、あるいは各ウィンドウの書き込みと書き込みの間で11システムクロック期間が経過していることを確認する必要があります。

このビットが0の場合、ホスト入力ウィンドウのデータはメモリに書き込まれません。

このビットが1の場合、ホスト入力ウィンドウのデータはメモリに書き込まれます。

bit 3

TE出力端子イネーブル

このビットは、TEの状態がTE端子上で出力になっているかどうかを決定します。TEのステータスは、TE出力端子がディセーブルのときでも、TEステータスビット（REG[B2h]ビット5）を使用して利用することができます。

このビットが0の場合、TE出力端子はディセーブルです。

このビットが1の場合、TE出力端子はイネーブルです。

9. レジスタ

bits 2-0

TE出力端子機能セレクトビット[2:0]

これらのビットは、TE出力端子が指定する機能を選択します。

表9.19 TE出力端子機能の選択

REG[B2h]ビット2～0	TE出力端子機能
000	Reserved
001	フィールド2VNDP
010	フィールド1VNDP
011	表示メモリフェッチインアクティブ： TE端子およびステータスは、出力スカラーがメモリからの画像データのフェッチ／リードを行わないときはHIGHになり、出力スカラーがメモリからの画像データのフェッチを行うとLOWになります。たとえば、現在のフィールドでの画像データのフェッチの最後でLOWからHIGHになり、リサイズが次のフィールドの表示メモリデータのフェッチを開始するとHIGHからLOWになります。
100	TEはVDPライン数に基づいてHIGHです（REG[B6h]～REG[B8h]を参照）。
101	TV水平非表示期間とTV垂直非表示期間の論理和演算： TE端子とステータスは、アクティブHIGHで、指定条件がTRUEであることを示します。
110（デフォルト）	TV垂直非表示期間： TE端子およびステータスは、アクティブHIGHで、指定条件がTRUEであることを示します。
111	Reserved

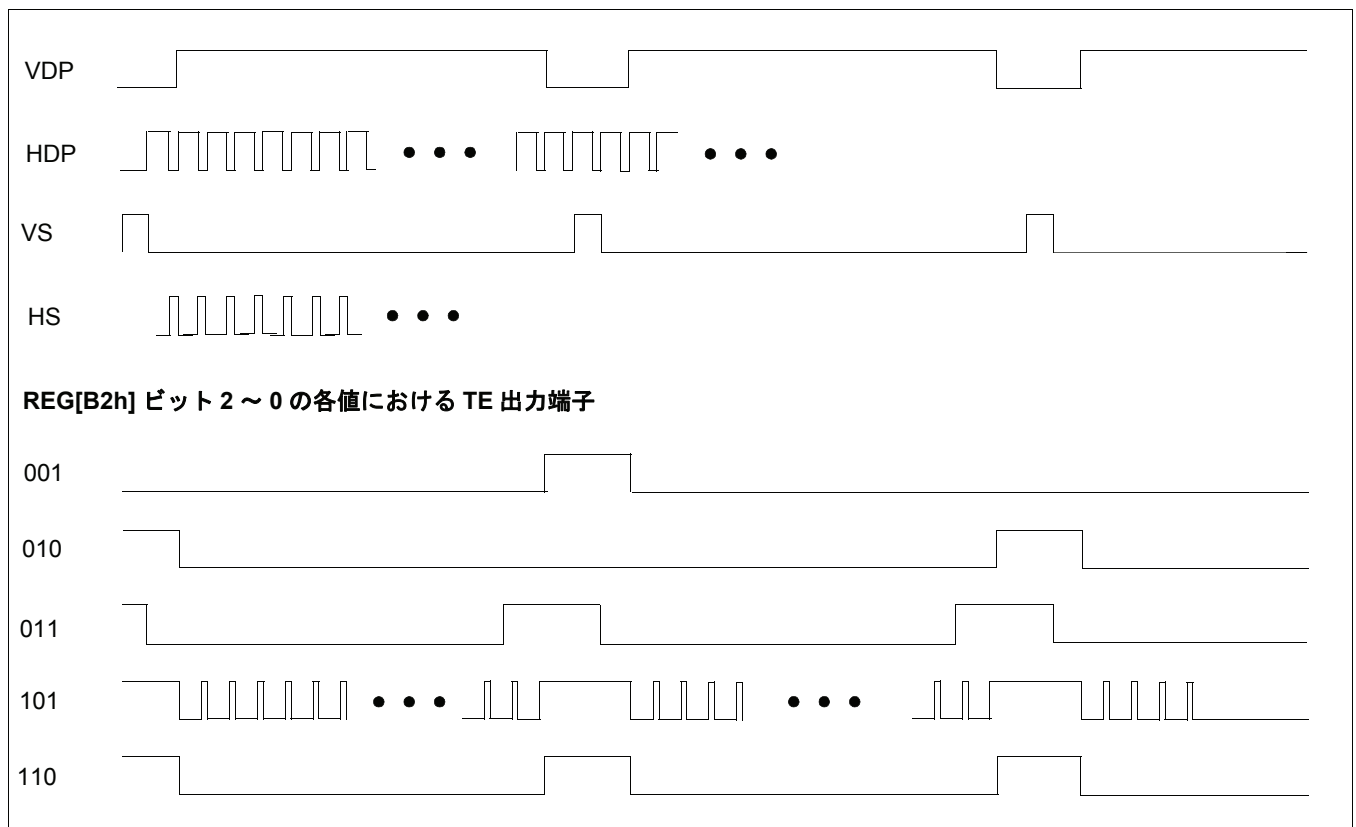


図9.1 TE出力端子機能のタイミング

REG[B4h] TE Interrupt Clear Register							
Default = not applicable							
Write Only							
TE割り込みクリアビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

TE割り込みクリアビット[7:0]

これらのビットに値を書き込むと、TE割り込みがクリアされます。

9. レジスタ

REG[B6h] TE Line Count Register 0								Read/Write	
Default = 00h									
TEライン数ビット7~0									
7	6	5	4	3	2	1	0		

REG[B8h] TE Line Count Register 1								Read/Write	
Default = 00h									
n/a						Reserved	TEライン数ビット8		
7	6	5	4	3	2	1	0		

- REG[B8h] bit 1

Reserved

このビットのデフォルト値は0です。
- REG[B8h] bit 0
- REG[B6h] bits 7-0

TEライン数ビット[8:0]

これらのビットは、REG[B2h]ビット2~0 = 100のときにのみ有効です。これらのビットは、TE端子がHIGHに設定される垂直表示期間のラインを指定します。この機能をホストで使用して、S1D13771へのデータ送信を開始するタイミングを決定します。この値は、表示データがTVに送信される前に上書きされないように、ホストの速度に応じて設定する必要があります。

TEパルス位置 (ライン) = (REG[B8h] << 8) + REG[B6h] + 1

注

ライン数は、ライン1に設定しないでください。また、VDPの最後のライン(525ラインシステムの場合240、625ラインシステムの場合288)を超えないようにする必要があります。

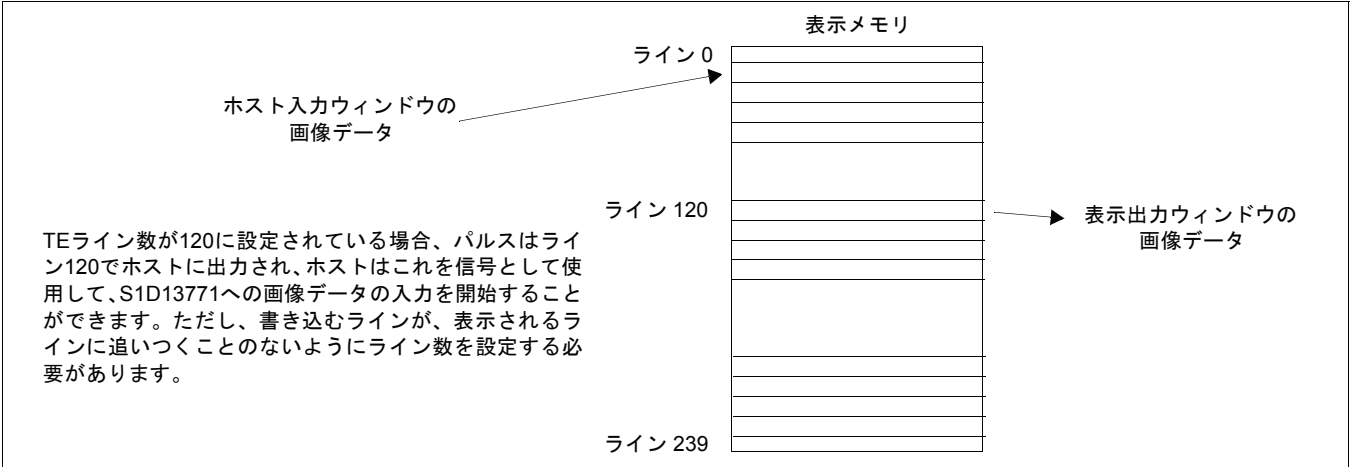


図9.2 TEライン数の例

9.4.8 3 x 3ピクセルマトリックスフィルタレジスタ

REG[C0h] 3X3 Pixel Matrix Filter Control Register							Read/Write
Default = 00h							
3 x 3ピクセルマトリックスフィルタ効果セレクトビット3~0				n/a			3 x 3フィルタ イネーブル
7	6	5	4	3	2	1	0

bits 7-4

3 x 3ピクセルマトリックスフィルタ効果セレクトビット[3:0]

これらのビットは、3 x 3ピクセルマトリックスフィルタによって実現される効果を選択します。

表9.20 3 x 3ピクセルマトリックスフィルタの選択

REG[C0h]ビット7~4	フィルタ効果	REG[C0h]ビット7~4	フィルタ効果
0000	バイパス (デフォルト)	0111	エンボス
0001	シャープ	1000	バンプマッピング
0010	ぼかし	1001	フリッカフィルタ
0011	輪郭検出	1010	ドットクロールの削除 + フリッカフィルタ
0100	スケッチ	1011	ユーザー定義
0101	セピア	1100 - 1111	Reserved
0110	輪郭強調		

bit 0

3 x 3フィルタイネーブル

このビットは、3 x 3フィルタをイネーブルにします。
このビットが0のとき、3 x 3フィルタはディセーブルです。
このビットが1のとき、3 x 3フィルタはイネーブルです。

3 x 3ピクセルマトリックスフィルタ係数レジスタ

表9.21 係数テーブルマッピング

係数テーブル#	レジスタアドレス	3 x 3フィルタの 使用	係数テーブル#	レジスタアドレス	3 x 3フィルタの 使用
0	REG[C2h]ビット2~0	Y0	14	REG[D2h]ビット2~0	U5
1	REG[C2h]ビット6~4	Y1	15	REG[D2h]ビット6~4	U6
2	REG[C4h]ビット2~0	Y2	16	REG[D4h]ビット2~0	U7
3	REG[C4h]ビット6~4	Y3	17	REG[D4h]ビット6~4	U8
4	REG[C6h]ビット2~0	Y4	18	REG[D6h]ビット2~0	V0
5	REG[C6h]ビット6~4	Y5	19	REG[D6h]ビット6~4	V1
6	REG[C8h]ビット2~0	Y6	20	REG[D8h]ビット2~0	V2
7	REG[C8h]ビット6~4	Y7	21	REG[D8h]ビット6~4	V3
8	REG[CAh]ビット2~0	Y8	22	REG[DAh]ビット2~0	V4
9	REG[CAh]ビット6~4	Y9	23	REG[DAh]ビット6~4	V5
10	REG[CCh]ビット2~0	U0	24	REG[DCh]ビット2~0	V6
11	REG[CCh]ビット6~4	U1	25	REG[DCh]ビット6~4	V7
12	REG[CEh]ビット2~0	U2	26	REG[DEh]ビット2~0	V8
13	REG[CEh]ビット6~4	U3			
	REG[D0h]ビット2~0	U4			

Y0	Y3	Y6	U0	U3	U6	V0	Y3	V6
Y1	Y4	Y7	U1	U4	U7	V1	Y4	V7
Y2	Y5	Y8	U2	U5	U8	V2	V5	V8

図9.3 YUV係数マトリックス

注

各係数のデータ範囲は、中央のピクセルで-15～15（10進数）、他のすべてのピクセルで-3～3（10進数）です。この2の補数値を10h～0Fhに設定する必要があります。Y4、U4、V4の係数のデータ範囲は、-16～15です。この2の補数値を10h～0Fhに設定する必要があります。他のすべての係数では、データ範囲は-4～3です。この2の補数値は、4h～3hに設定する必要があります。

注

3 x 3フィルタリング後のYデータは、以下のとおりです。

$$Y' = (Y_0C_0 + Y_1C_1 + Y_2C_2 + Y_3C_3 + Y_4C_4 + Y_5C_5 + Y_6C_6 + Y_7C_7 + Y_8C_8) \div \text{スケール} + \text{オフセット}$$

スケール: REG[E0h]

オフセット: REG[E6h]

C_{0~8}: 係数 (REG[C2h]～REG[CAh])

Y_{0~8}: 元のYデータ

Y₀ Y₃ Y₆

Y₁ Y₄ Y₇

Y₂ Y₅ Y₈

注

3 x 3フィルタリング後のUデータは、以下のとおりです。

$$U' = (U_0C_9 + U_1C_{10} + U_2C_{11} + U_3C_{12} + U_4C_{13} + U_5C_{14} + U_6C_{15} + U_7C_{16} + U_8C_{17}) \div \text{スケール} + \text{オフセット}$$

スケール: REG[E2h]

オフセット: REG[E8h]

C_{9~17}: 係数 (REG[CCh]～REG[D4h])

U_{0~8}: 元のUデータ

U₀ U₃ U₆

U₁ U₄ U₇

U₂ U₅ U₈

注

3 x 3フィルタリング後のVデータは、以下のとおりです。

$$V' = (V_0C_{18} + V_1C_{19} + V_2C_{20} + V_3C_{21} + V_4C_{22} + V_5C_{23} + V_6C_{24} + V_7C_{25} + V_8C_{26})$$

÷スケール+オフセット

スケール: REG[E4h]

オフセット: REG[EAh]

C_{18~26}: 係数 (REG[D6h]~REG[DEh])

V_{0~8}: 元のVデータ

V₀ V₃ V₆

V₁ V₄ V₇

V₂ V₅ V₈

注

さまざまな3 x 3ピクセルマトリックスフィルタ効果のプログラミング値の例については、100ページの12.1.1「プログラミング値の例」を参照してください。

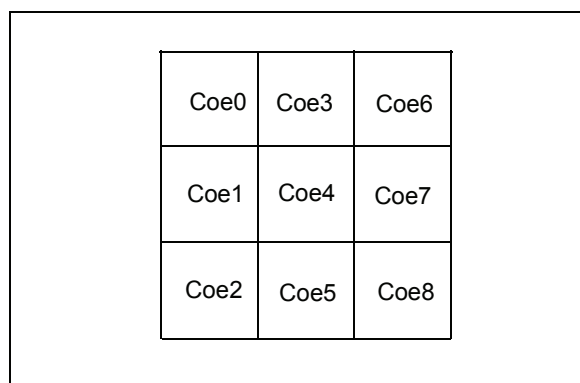


図9.4 係数マトリックス

フィルタは、coe4と現在のピクセルを乗じて、左から右、上から下へとスキャンします。係数は、各YUV成分に別々に作用します。拡大/縮小とオフセットを適用した後、この値は、Y成分では16~235に、UおよびV成分では16~240に縮小されます。

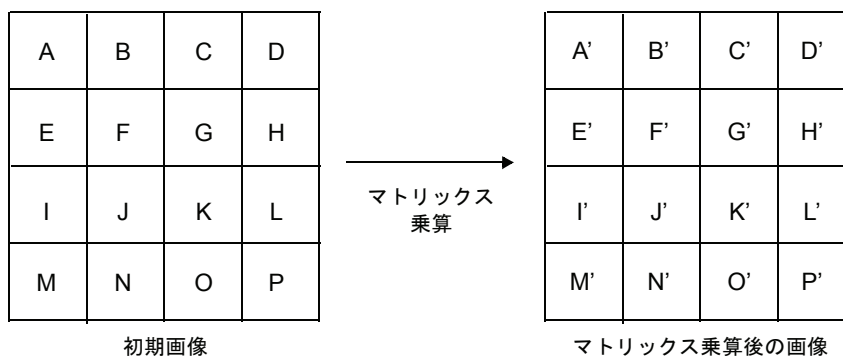


図9.5 マトリックス乗算の例

9. レジスタ

以下の式を使用して、結果として得られる成分 (F'y、F'u、F'v) を計算します。Fは、計算で使用されるピクセルで、成分のサイズは、Fy (8ビット)、Fu (8ビット)、およびFv (8ビット) です。

$$F'y = Ay * Coe0 + By * Coe3 + Cy * Coe6 + Ey * Coe1 + Fy * Coe4 + Gy * Coe7 + Iy * Coe2 + Jy * Coe5 + Ky * Coe8$$

$$F'u = Au * Coe0 + Bu * Coe3 + Cu * Coe6 + Eu * Coe1 + Fu * Coe4 + Gu * Coe7 + Iu * Coe2 + Ju * Coe5 + Ku * Coe8$$

$$F'v = Av * Coe0 + Bv * Coe3 + Cv * Coe6 + Ev * Coe1 + Fv * Coe4 + Gv * Coe7 + Iv * Coe2 + Jv * Coe5 + Kv * Coe8$$

3 x 3マトリックスをエッジとコーナーに適用すると、元の画像の上/左/右/下のエッジとコーナーは、以下のように処理されます。

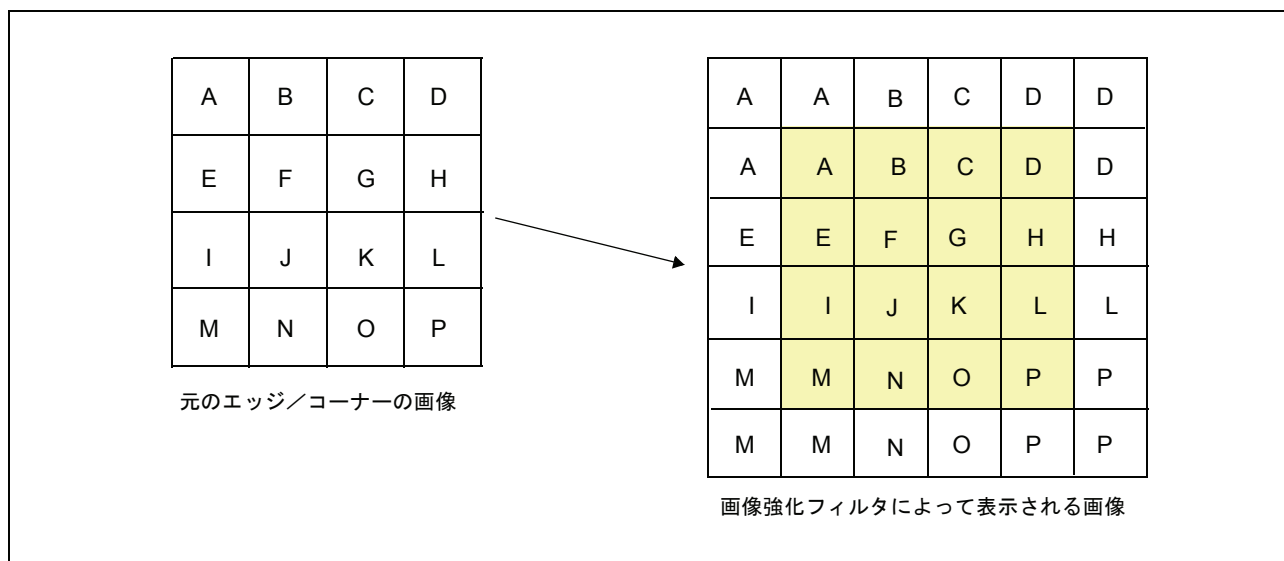


図9.6 エッジ／コーナーの調整

以下の式を使用して、結果として得られる成分 (A'y、A'u、A'v) を計算します。Aは、計算で使用されるピクセルで、成分のサイズは、Ay (8ビット)、Au (8ビット)、およびAv (8ビット) です。

$$A'y = Ay * Coe0 + Ay * Coe3 + By * Coe6 + Ay * Coe1 + Ay * Coe4 + By * Coe7 + Ey * Coe2 + Ey * Coe5 + Fy * Coe8$$

$$A'u = Au * Coe0 + Au * Coe3 + Bu * Coe6 + Au * Coe1 + Au * Coe4 + Bu * Coe7 + Eu * Coe2 + Eg * Coe5 + Fu * Coe8$$

$$A'v = Av * Coe0 + Av * Coe3 + Bv * Coe6 + Av * Coe1 + Av * Coe4 + Bv * Coe7 + Ev * Coe2 + Eb * Coe5 + Fv * Coe8$$

REG[C2h] 3X3 Pixel Matrix Filter Coefficient Table Register 0

Default = 00h

Read/Write

n/a	Y1係数テーブルビット2~0			n/a	Y0係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

Y1係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

Y0係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[C4h] 3X3 Pixel Matrix Filter Coefficient Table Register 1

Default = 00h

Read/Write

n/a	Y3係数テーブルビット2~0			n/a	Y2係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

Y3係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

Y2係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[C6h] 3X3 Pixel Matrix Filter Coefficient Register 2

Default = 01h

Read/Write

n/a	Y4係数テーブルビット4~0						
7	6	5	4	3	2	1	0

bits 4-0

Y4係数テーブルビット[4:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[C8h] 3X3 Pixel Matrix Filter Coefficient Table Register 3

Default = 00h

Read/Write

n/a	Y6係数テーブルビット2~0			n/a	Y5係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

Y6係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

Y5係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

9. レジスタ

REG[CAh] 3X3 Pixel Matrix Filter Coefficient Table Register 4							
Default = 00h				Read/Write			
n/a	Y8係数テーブルビット2~0			n/a	Y7係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4 Y8係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0 Y7係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[CCh] 3X3 Pixel Matrix Filter Coefficient Table Register 5							
Default = 00h				Read/Write			
n/a	U1係数テーブルビット2~0			n/a	U0係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4 U1係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0 U0係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[CEh] 3X3 Pixel Matrix Filter Coefficient Table Register 6							
Default = 00h				Read/Write			
n/a	U3係数テーブルビット2~0			n/a	U2係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4 U3係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0 U2係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[D0h] 3X3 Pixel Matrix Filter Coefficient Register 7

Default = 01h

Read/Write

n/a			U4係数テーブルビット4~0				
7	6	5	4	3	2	1	0

bits 4-0

U4係数テーブルビット[4:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[D2h] 3X3 Pixel Matrix Filter Coefficient Table Register 8

Default = 00h

Read/Write

n/a	U6係数テーブルビット2~0			n/a	U5係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

U6係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

U5係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[D4h] 3X3 Pixel Matrix Filter Coefficient Table Register 9

Default = 00h

Read/Write

n/a	U8係数テーブルビット2~0			n/a	U7係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

U8係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

U7係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[D6h] 3X3 Pixel Matrix Filter Coefficient Table Register 10

Default = 00h

Read/Write

n/a	V1係数テーブルビット2~0			n/a	V0係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

V1係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

V0係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

9. レジスタ

REG[D8h] 3X3 Pixel Matrix Filter Coefficient Table Register 11							
Default = 00h							
Read/Write							
n/a	V3係数テーブルビット2~0			n/a	V2係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4 V3係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0 V2係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[DAh] 3X3 Pixel Matrix Filter Coefficient Register 12							
Default = 01h							
Read/Write							
n/a		V4係数テーブルビット4~0					
7	6	5	4	3	2	1	0

bits 4-0 V4係数テーブルビット[4:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[DCh] 3X3 Pixel Matrix Filter Coefficient Table Register 13							
Default = 00h							
Read/Write							
n/a	V6係数テーブルビット2~0			n/a	V5係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4 V6係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0 V5係数テーブルビット[2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[DEh] 3X3 Pixel Matrix Filter Coefficient Table Register 14

Default = 00h

Read/Write

n/a	V8係数テーブルビット2~0			n/a	V7係数テーブルビット2~0		
7	6	5	4	3	2	1	0

bits 6-4

V8係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

V7係数テーブルビット[2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h]ビット0 = 1)。これらの符号付き2の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[E0h] 3X3 Pixel Matrix Filter Scale Value for Luminance Y Channel Register

Default = 01h

Read/Write

n/a	ルミナンスYチャネルのフィルタスケール値ビット5~0						
7	6	5	4	3	2	1	0

bits 5-0

ルミナンスYチャネルのフィルタスケール値ビット[5:0]

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h]ビット0 = 1)、すべての他の動作では無視されます。これらの符号なしビットは、ルミナンス (Yチャネル) のフィルタスケール値を指定するもので、次式が成立するようにプログラムする必要があります。

$$1 \leq \text{REG}[E0h] \text{ ビット}5 \sim 0 \leq 3Fh$$

REG[E2h] 3X3 Pixel Matrix Filter Scale Value for Chrominance U Channel Register

Default = 01h

Read/Write

n/a	クロミナンスUチャネルのフィルタスケール値ビット5~0						
7	6	5	4	3	2	1	0

bits 5-0

クロミナンスUチャネルのフィルタスケール値ビット[5:0]

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h]ビット0 = 1)、他のすべての動作では無視されます。これらの符号なしビットは、クロミナンス (Uチャネル) のフィルタスケール値を指定するもので、次式が成立するようにプログラムする必要があります。

$$1 \leq \text{REG}[E2h] \text{ ビット}5 \sim 0 \leq 3Fh$$

REG[E4h] 3X3 Pixel Matrix Filter Scale Value for Chrominance V Channel Register

Default = 01h

Read/Write

n/a	クロミナンスVチャネルのフィルタスケール値ビット5~0						
7	6	5	4	3	2	1	0

bits 5-0

クロミナンスVチャネルのフィルタスケール値ビット[5:0]

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h]ビット0 = 1)、他のすべての動作では無視されます。これらの符号なしビットは、クロミナンス (Vチャネル) のフィルタスケール値を指定するもので、次式が成立するようにプログラムする必要があります。

$$1 \leq \text{REG}[E4h] \text{ ビット}5 \sim 0 \leq 3Fh$$

9. レジスタ

REG[E6h] 3X3 Pixel Matrix Filter Offset Value for Luminance Y Channel Register							
Default = 00h							
Read/Write							
ルミナンスYチャンネルのフィルタオフセット値ビット8~1							
7	6	5	4	3	2	1	0

bits 7-0

ルミナンスYチャンネルのフィルタオフセット値ビット[8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され（REG[C0h]ビット0=1）、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット[8:1]を指定します（ビット0は内部値であり、強制的に0にされます）。これらの符号付き2の補数ビットは、ルミナンス（Yチャンネル）のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256~254（10進数）です。この2の補数値は、10h~7Fhに設定する必要があります。たとえば、42hのオフセットが必要な場合、21hでこのレジスタをプログラムします。

REG[E8h] 3X3 Pixel Matrix Filter Offset Value for Chrominance U Channel Register							
Default = 00h							
Read/Write							
クロミナンスUチャンネルのフィルタオフセット値ビット8~1							
7	6	5	4	3	2	1	0

bits 7-0

クロミナンスUチャンネルのフィルタオフセット値ビット[8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され（REG[C0h]ビット0=1）、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット[8:1]を指定します（ビット0は内部値であり、強制的に0にされます）。これらの符号付き2の補数ビットは、クロミナンス（Uチャンネル）のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256~254（10進数）です。この2の補数値は、10h~7Fhに設定する必要があります。たとえば、42hのオフセットが必要な場合、21hでこのレジスタをプログラムします。

REG[EAh] 3X3 Pixel Matrix Filter Offset Value for Chrominance V Channel Register							
Default = 00h							
Read/Write							
クロミナンスVチャンネルのフィルタオフセット値ビット8~1							
7	6	5	4	3	2	1	0

bits 7-0

クロミナンスVチャンネルのフィルタオフセット値ビット[8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され（REG[C0h]ビット0=1）、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット[8:1]を指定します（ビット0は内部値であり、強制的に0にされます）。これらの符号付き2の補数ビットは、クロミナンス（Vチャンネル）のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256~254（10進数）です。この2の補数値は、10h~7Fhに設定する必要があります。たとえば、42hのオフセットが必要な場合、21hでこのレジスタをプログラムします。

9.4.9 汎用IO端子レジスタ

REG[F0h] GPIO Configuration Register							
Default = 00h							
Read/Write							
7	6	5	4	GPIO3構成 3	GPIO2構成 2	GPIO1構成 1	GPIO0構成 0

bits 3-0 GPIO[3:0]構成
 これらのビットは、対応する各GPIO[3:0]端子を入力または出力として構成します。
 このビットが0の場合、対応するGPIO端子は、入力として構成されます（デフォルト）。
 このビットが1の場合、対応するGPIO端子は、出力として構成されます。

REG[F2h] GPIO Status/Control Register							
Default = 00h							
Read/Write							
Reserved 7	6	5	4	GPIO3ステータス 3	GPIO2ステータス 2	GPIO1ステータス 1	GPIO0ステータス 0

bit 7 Reserved
 このビットのデフォルト値は0です。

bits 3-0 GPIO[3:0]ステータス
 対応するGPIO[3:0]端子が出力として構成されているとき（REG[F0h]を参照）、このビットに1を書き込むと、GPIOxはHIGHになり、このビットに0を書き込むと、GPIOxはLOWになります。
 対応するGPIO[3:0]端子が入力として構成されているとき（REG[F0h]を参照）、このビットを読み出すと、GPIOxのそのまの値が返されます。

REG[F4h] GPIO Positive Edge Interrupt Trigger Register							
Default = 00h							
Read/Write							
n/a				GPIO3ポジティブ エッジ割り込み トリガ 3	GPIO2ポジティブ エッジ割り込み トリガ 2	GPIO1ポジティブ エッジ割り込み トリガ 1	GPIO0ポジティブ エッジ割り込み トリガ 0

bits 3-0 GPIO[3:0]ポジティブエッジ割り込みトリガ
 このビットは、（GPIOx端子が0から1に変化するとき、）関連するGPIO割り込み（REG[F8h]を参照）がポジティブエッジでトリガされるかどうかを決定します。
 このビットが0の場合、対応するGPIO割り込み（GPIO_INT）は、ポジティブエッジでトリガされません。
 このビットが1の場合、対応するGPIO割り込み（GPIO_INT）は、ポジティブエッジでトリガされます。

9. レジスタ

REG[F6h] GPIO Negative Edge Interrupt Trigger Register							
Default = 00h							
n/a				GPIO3ネガティブ エッジ割り込み トリガ	GPIO2ネガティブ エッジ割り込み トリガ	GPIO1ネガティブ エッジ割り込み トリガ	GPIO0ネガティブ エッジ割り込み トリガ
7	6	5	4	3	2	1	0

bits 3-0

GPIO[3:0]ネガティブエッジ割り込みトリガ

このビットは、(GPIOx端子が1から0に変化するとき、) 対応するGPIO割り込み (REG[F8h]を参照) がネガティブエッジでトリガされるかどうかを決定します。このビットが0の場合、対応するGPIOx割り込み (GPIO_INT) は、ネガティブエッジでトリガされません。

このビットが1の場合、対応するGPIOx割り込み (GPIO_INT) は、ネガティブエッジでトリガされます。

REG[F8h] GPIO Interrupt Status Register							
Default = 00h							
TV未接続割り込み ステータス	n/a			GPIO3割り込み ステータス	GPIO2割り込み ステータス	GPIO1割り込み ステータス	GPIO0割り込み ステータス
7	6	5	4	3	2	1	0

bit 7

TV未接続割り込みステータス

このビットは、TV未接続検出がイネーブル、すなわちREG[5Ch]ビット1~0 = 11のときにのみ有効です。

このビットは、TV検出ステータスがLOW (接続) からHIGH (未接続) に移行するときに生じるTV未接続割り込みのステータスを示します。

このビットが0の場合、TV未接続割り込みは生じていません。

このビットが1の場合、TV未接続割り込みが生じています。

このステータスビットを消去するには、このビットに1を書き込んでから0を書き込みます。

bits 3-0

GPIO[3:0]割り込みステータス

これらのビットは、GPIO_INT端子上で割り込みが生成されるようGPIOを構成したときに (REG[F4h]とREG[F6h]を参照)、割り込みを生成したGPIOを示します。

GPIO[3:0]割り込みステータスビットをクリアするには、該当するビットに1を書き込んでから0を書き込みます。

REG[FAh] GPIO Pull-down Control Register							
Default = 0Fh							
n/a				GPIO3プルダウン 制御	GPIO2プルダウン 制御	GPIO1プルダウン 制御	GPIO0プルダウン 制御
7	6	5	4	3	2	1	0

bits 3-0

GPIO[3:0]プルダウン制御

すべてのGPIO端子には、内蔵プルダウン抵抗があります。これらのビットは、GPIO端子ごとに個別にプルダウン抵抗の状態を制御します。

このビットが0の場合、対応するGPIO端子のプルダウン抵抗は、インアクティブです。

このビットが1の場合、対応するGPIO端子のプルダウン抵抗はアクティブです (デフォルト)。

10. Intel 80、8ビットインタフェースのカラーフォーマット

10.1 16bppモード (RGB 5:6:5)、65,536色

REG[60h]ビット3～0 = 0001のとき、Intel 80ホストインタフェースの入力データフォーマットはRGB 5:6:5です。

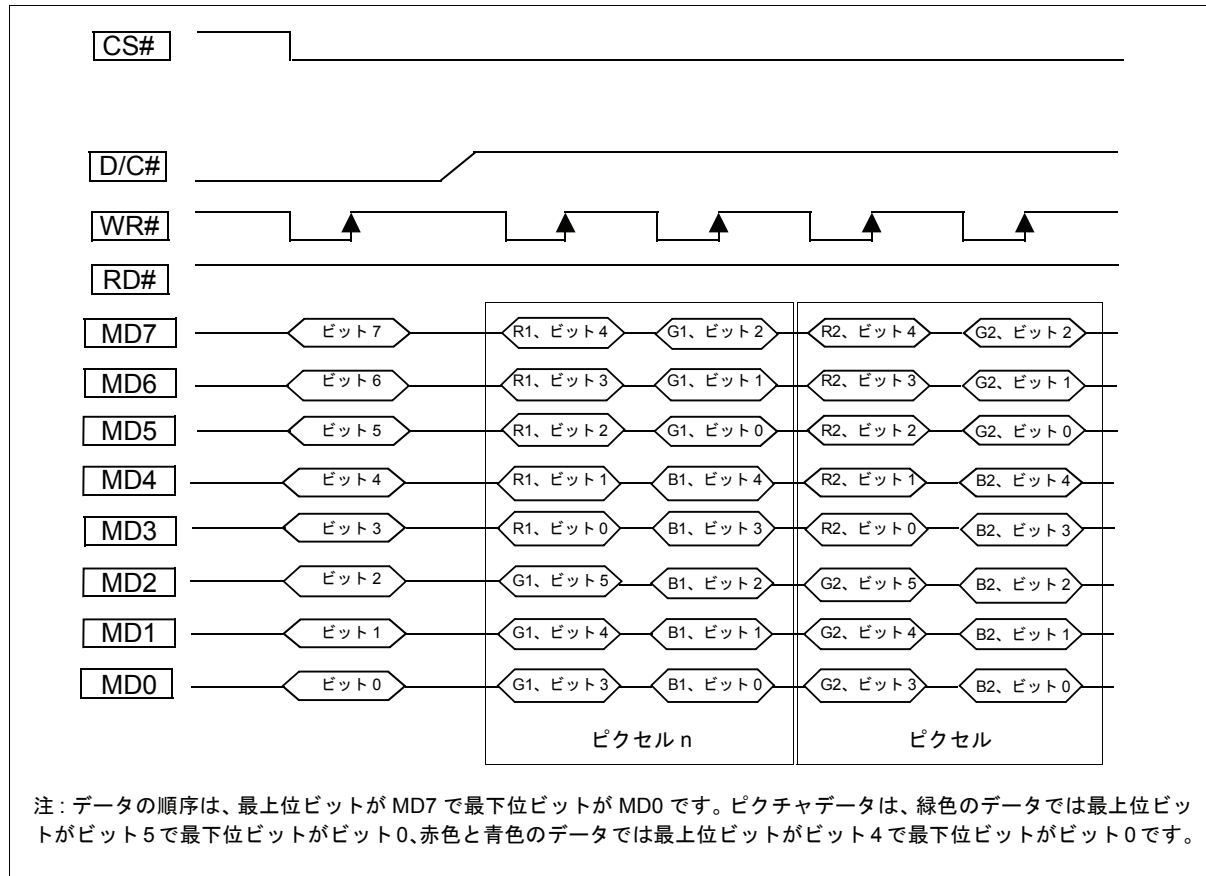


図10.1 16bppモード (RGB 5:6:5)、65,536色

10. Intel 80、8ビットインタフェースのカラーフォーマット

10.2 18bpp (RGB 6:6:6)、262,144色

REG[60h]ビット3～0 = 0010のとき、Intel 80ホストインタフェースの入力データフォーマットはRGB 6:6:6です。

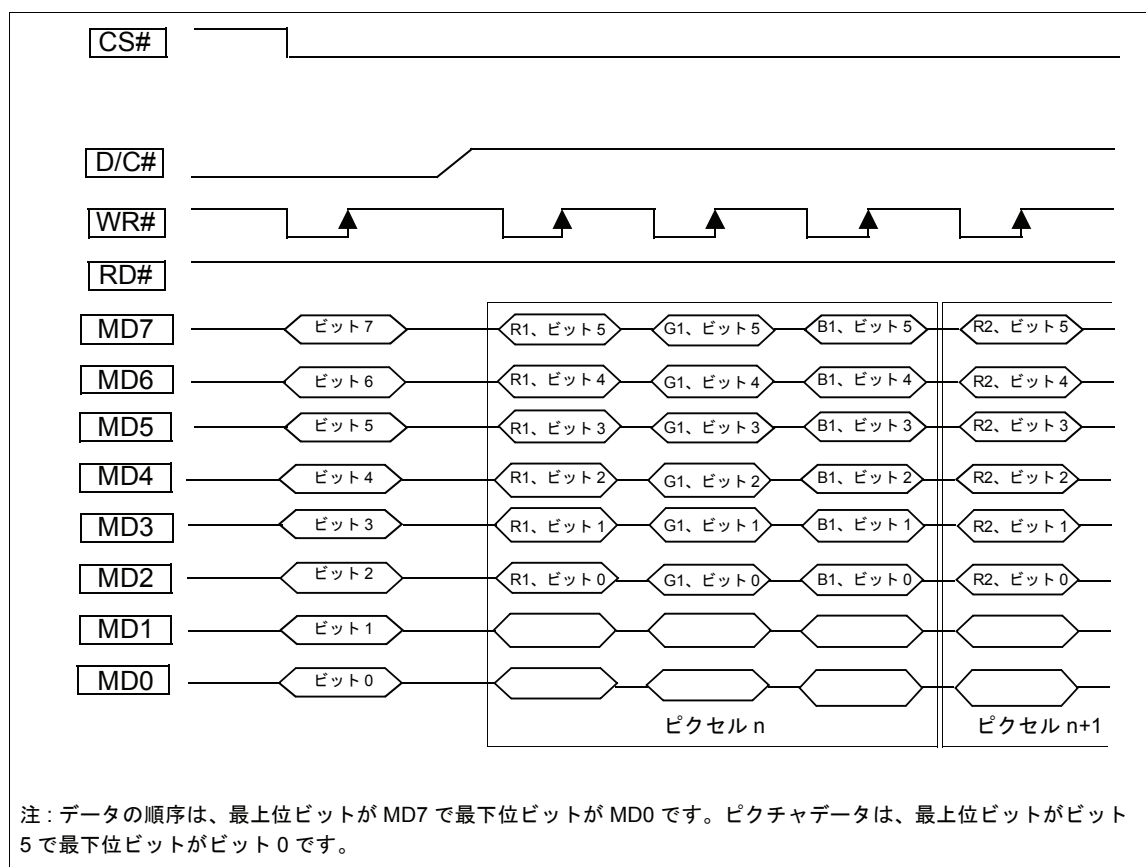


図10.2 18bpp (RGB 6:6:6)、262,144色

10.3 24bpp (RGB 8:8:8)、16,777,216色

REG[60h]ビット3～0 = 0011のとき、Intel 80ホストインタフェースの入力データフォーマットはRGB 8:8:8です。

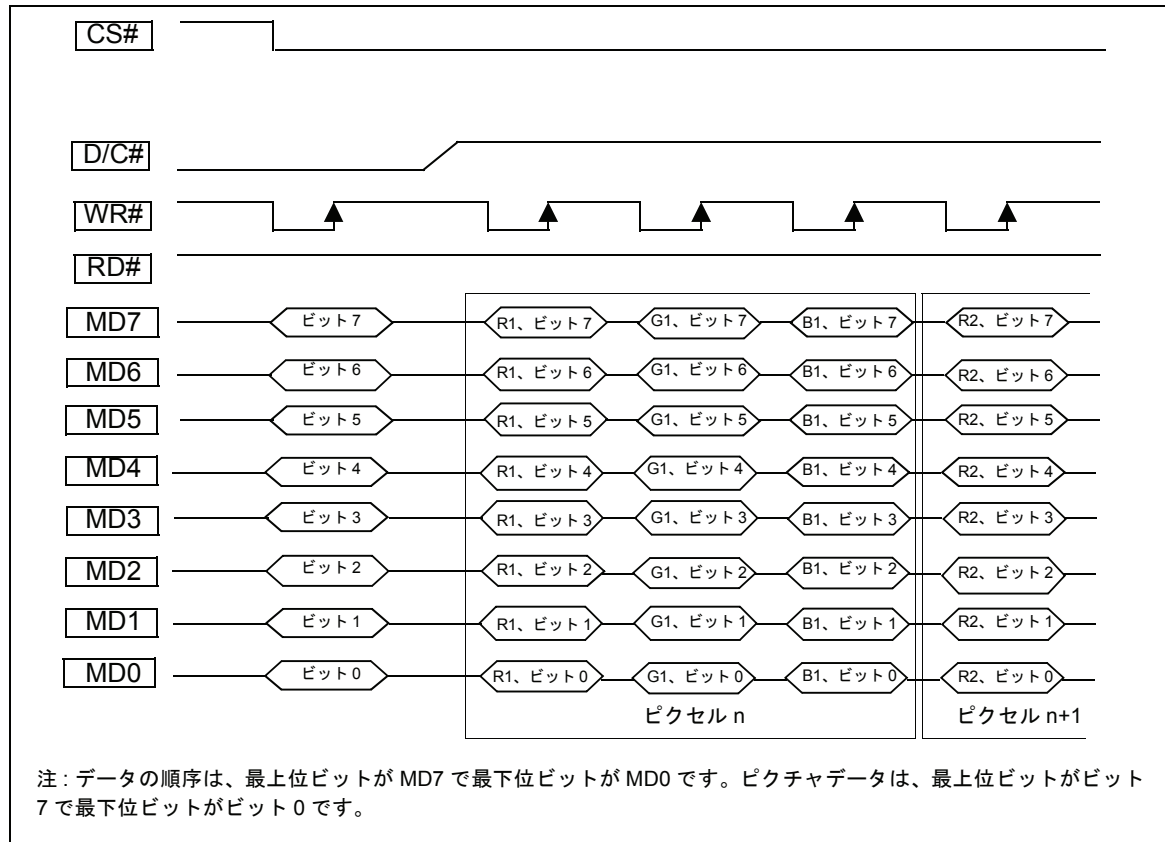


図10.3 24bpp (RGB 8:8:8)、16,777,216色

11. YUVタイミング

11. YUVタイミング

フォーマットの定義

- ラインごとのピクセル数は常に偶数です。
- $YC_B C_R$ 色空間は、ITU-R BT601.4で定義されています。
- YUV4:2:2フォーマット
 $U_{11}Y_{11}V_{11}Y_{12}U_{13}Y_{13}V_{13}Y_{14}...$

注

ウィンドウがYUVデータ用にセットアップされているとき、データは、奇数ラインで始まり、奇数ラインと偶数ラインが必ず交互に入れ替わる必要があります。

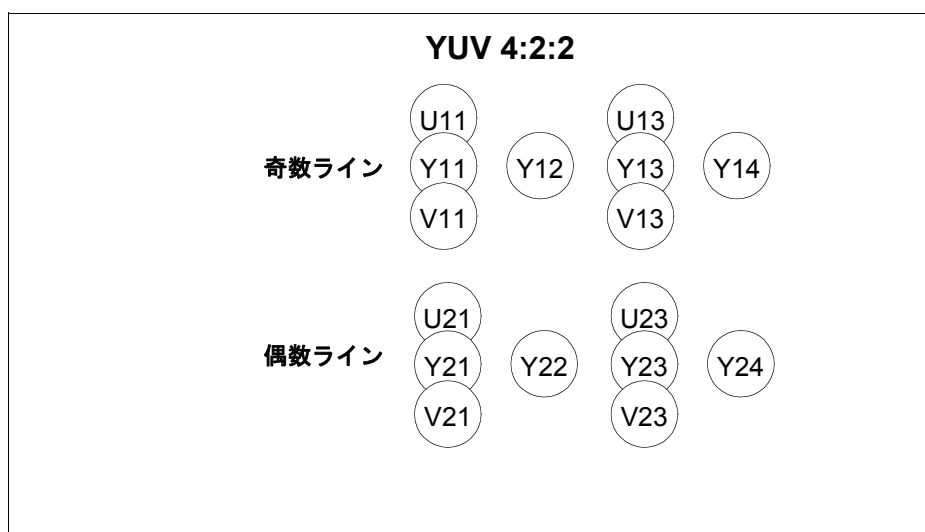


図11.1 YUVフォーマットの定義

11.1 Intel 80の8ビットインタフェースでのYUV 4:2:2

REG[60h]ビット3～0 = 1000のとき、Intel 80ホストインタフェースの入力データフォーマットはYUV 4:2:2です。

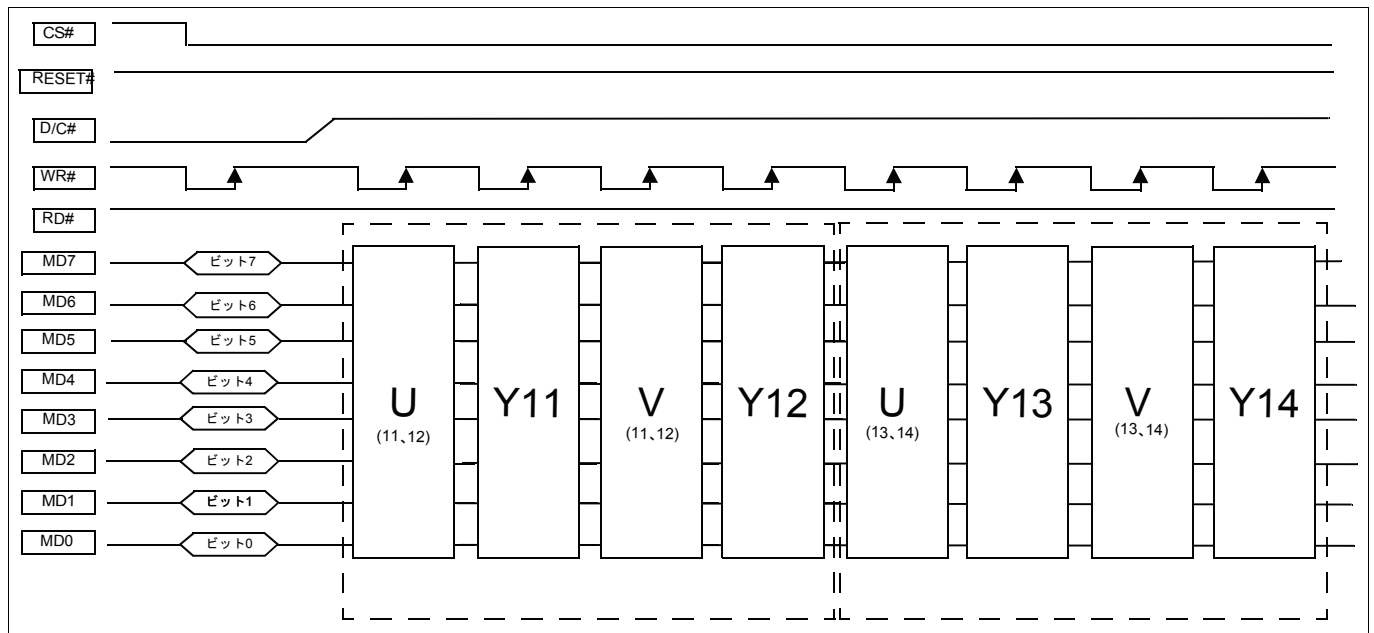


図11.2 Intel 80の8ビットインタフェースでのYUV 4:2:2

12. 画像強化エンジン

```

graph LR
    A[元のピクセルデータ] --> B[マトリックスの乗算]
    B --> C[スケール係数による除算]
    C --> D[オフセットによるシフト]
    D --> E[ピクセルデータの強化]
    B --- B_Regs[REG[C2h]~REG[DEh]]
    C --- C_Regs[REG[E0h]~REG[E4h]]
    D --- D_Regs[REG[E6h]~REG[EAh]]
  
```

12.1 3 x 3フィルタ

元の画像

YUV成分
3 x 3 ブロック

Y0	Y3	Y6
Y1	Y4	Y7
Y2	Y5	Y8

3 x 3 係数
(REG[C2h]~REG[DEh])

C0	C3	C6
C1	C4	C7
C2	C5	C8

スケール係数
(REG[E0h]~REG[E4h])

YUVオフセット
(REG[E6h]~REG[EAh])

Y0

U0

V0

Y1

U1

V1

Y2

U2

V2

Y3

U3

V3

Y4

U4

V4

Y5

U5

V5

Y6

U6

V6

Y7

U7

V7

Y8

U8

V8

C0

C1

C2

C3

C4

C5

C6

C7

C8

1/S

1/S

1/S

YO

UO

VO

RGB

3 x 3フィルタは、画像内のあらゆるピクセルとその隣接したピクセルをスキャンします。各YUV成分ブロックは、プログラム可能な3 x 3係数 (REG[C2h]~REG[DEh])、拡大縮小率 (REG[E0h]~REG[E4h])、およびオフセット (REG[E6h]~REG[EAh]) を基準として計算されます。以下の図は、想定される視覚効果の例です。

視覚効果の例のプログラミング値については、100ページの12.1.1「プログラミング値の例」を参照してください。

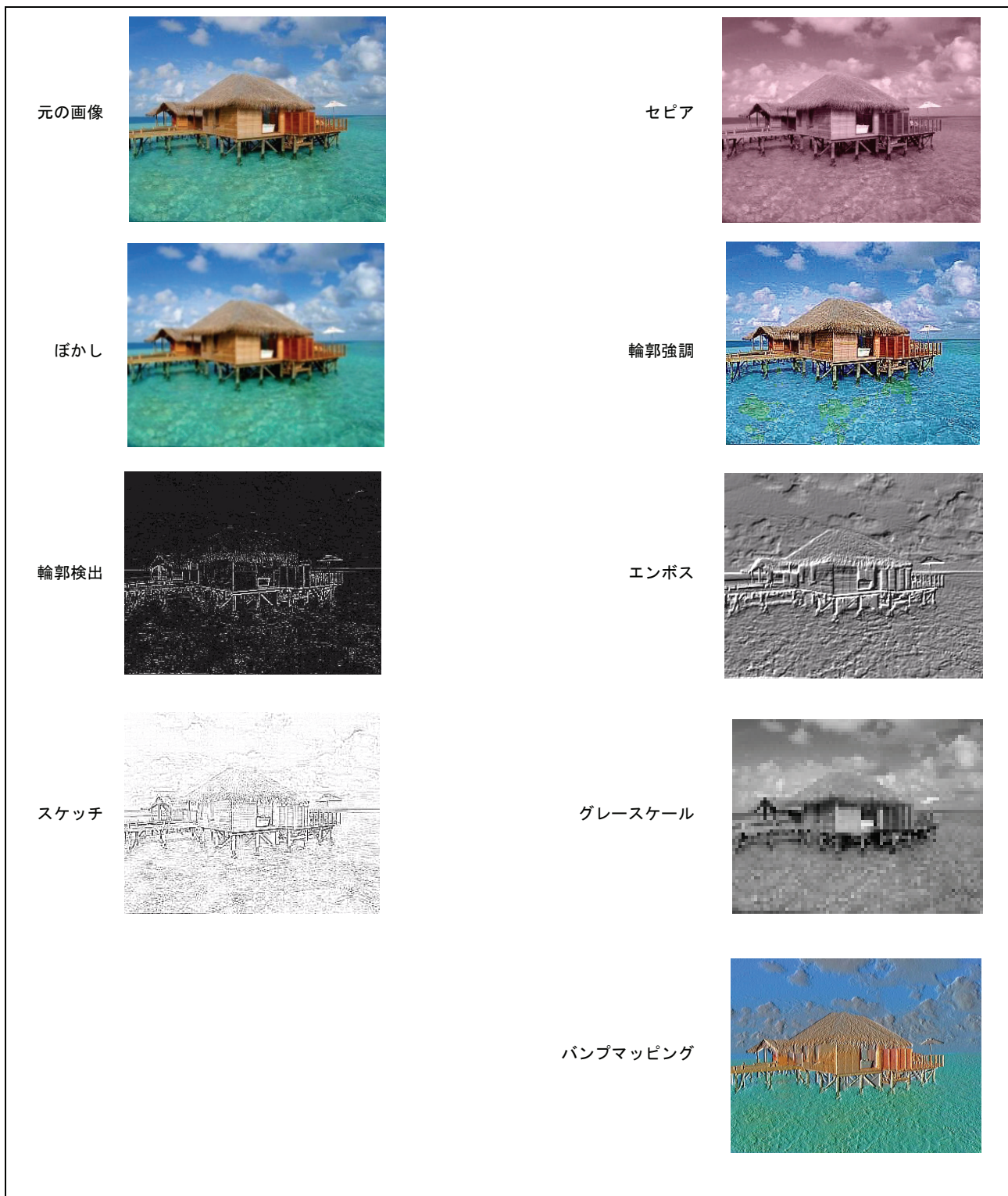


図12.3 フィルタの視覚効果の例

12. 画像強化エンジン

12.1.1 プログラミング値の例

以下の表は、3 x 3フィルタを使用してさまざまな視覚効果を得るために使用できる値の例です。

表12.1 3 x 3ピクセルマトリックスのフィルタ機能のプログラミング値

レジスタの プログラミング	フィルタ機能											
	バイパス (デフォルト)	シャープ	ぼかし	輪郭 検出	スケッチ	セピア	輪郭 強調	エンボス	グレース ケール	バンプ マッピング	フリッカ フィルタ	ドット クロール+ フリッカ フィルタ
Y0 REG[C2h]ビット2~0	0h	7h	1h	7h	7h	0h	7h	1h	0h	7h	0h	0h
Y1 REG[C2h]ビット6~4	0h	7h	1h	7h	7h	0h	7h	1h	0h	7h	0h	0h
Y2 REG[C4h]ビット2~0	0h	7h	1h	7h	7h	0h	7h	0h	0h	7h	0h	0h
Y3 REG[C4h]ビット6~4	0h	7h	1h	7h	7h	0h	7h	1h	0h	0h	1h	1h
Y4 REG[C6h]ビット4~0	01h	09h	1h	08h	08h	01h	0Ah	00h	01h	00h	02h	02h
Y5 REG[C8h]ビット2~0	0h	7h	1h	7h	7h	0h	7h	7h	0h	0h	1h	1h
Y6 REG[C8h]ビット6~4	0h	7h	1h	7h	7h	0h	7h	0h	0h	1h	0h	0h
Y7 REG[CAh]ビット2~0	0h	7h	1h	7h	7h	0h	7h	7h	0h	1h	0h	0h
Y8 REG[CAh]ビット6~4	0h	7h	1h	7h	7h	0h	7h	7h	0h	1h	0h	0h
U0 REG[CCh]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
U1 REG[CCh]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	2h
U2 REG[CEh]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
U3 REG[CEh]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	1h	1h
U4 REG[D0h]ビット4~0	01h	01h	01h	08h	00h	00h	01h	00h	00h	01h	02h	02h
U5 REG[D2h]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	1h	1h
U6 REG[D2h]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
U7 REG[D4h]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	2h
U8 REG[D4h]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
V0 REG[D6h]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
V1 REG[D6h]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	2h
V2 REG[D8h]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
V3 REG[D8h]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	1h	1h
V4 REG[DAh]ビット4~0	01h	01h	01h	08h	00h	00h	01h	00h	00h	01h	02h	02h
V5 REG[DCh]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	1h	1h
V6 REG[DCh]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
V7 REG[DEh]ビット2~0	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	2h
V8 REG[DEh]ビット6~4	0h	0h	1h	7h	0h	0h	0h	0h	0h	0h	0h	0h
YD REG[E0h]	01h	01h	09h	01h	01h	01h	02h	01h	00h	01h	04h	04h
UD REG[E2h]	01h	01h	09h	01h	01h	01h	01h	01h	00h	01h	04h	08h
VD REG[E4h]	01h	01h	09h	01h	01h	01h	01h	01h	00h	01h	04h	08h
YO REG[E6h]	00h	00h	00h	00h	75h	00h	00h	40h	00h	40h	00h	00h
UO REG[E8h]	00h	00h	00h	40h	40h	30h	00h	40h	00h	00h	00h	00h
VO REG[EAh]	00h	00h	00h	40h	40h	49h	00h	40h	00h	00h	00h	00h

13. ホストインタフェース

13.1 Intel 80インタフェース

Intel 80ホストインタフェースを通じてS1D13771にアクセスするには、複数ステップの処理を必要とします。すべてのレジスタとメモリは、レジスタ空間を経由してアクセスされます。

注

すべてのアクセスは8ビットのみです。

可能なアクセスのタイプは、次の4種類です。

- レジスタライト
- レジスタリード
- メモリライト

アクセスの各タイプの実行の詳細については、以下の項を参照してください。

13. ホストインタフェース

13.1.1 レジスタライト手順

S1D13771のレジスタへの書き込みは、2ステップの処理になります。最初にレジスタの「インデックス」すなわちアドレスを書き込む必要があります。次に、指定したレジスタに「データ」を配置します。

1. アドレスライトを実行し、レジスタアドレスをセットアップします。
2. データライトを実行し、指定したレジスタを更新します。
3. 新たなレジスタライトを実行するには、ステップ1に戻ります。

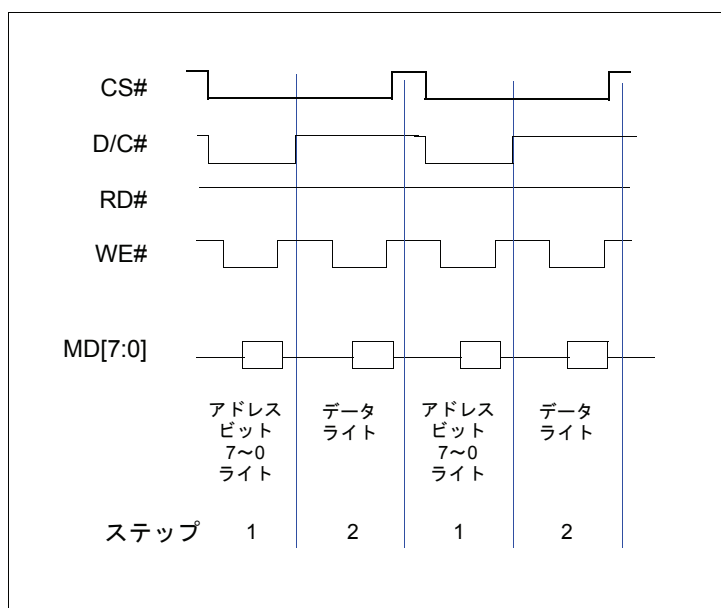


図13.1 レジスタライト例の手順

注

TV Coefficient Dataレジスタ (REG[56h]) へのデータライトは、バーストライトが可能です。データライトが完了するたびに、「インデックス」値はオートインクリメントされます。

13.1.2 レジスタリード手順

S1D13771のレジスタからの読み出しも、2ステップの処理になります。最初にレジスタの「インデックス」すなわちアドレスを書き込む必要があります。次に、指定したレジスタから「データ」を読み出すことができます。

1. アドレスライトを実行し、レジスタアドレスをセットアップします。
2. データリードを実行し、指定したレジスタの値を取得します。
3. 新たなレジスタリードを実行するには、ステップ1に戻ります。

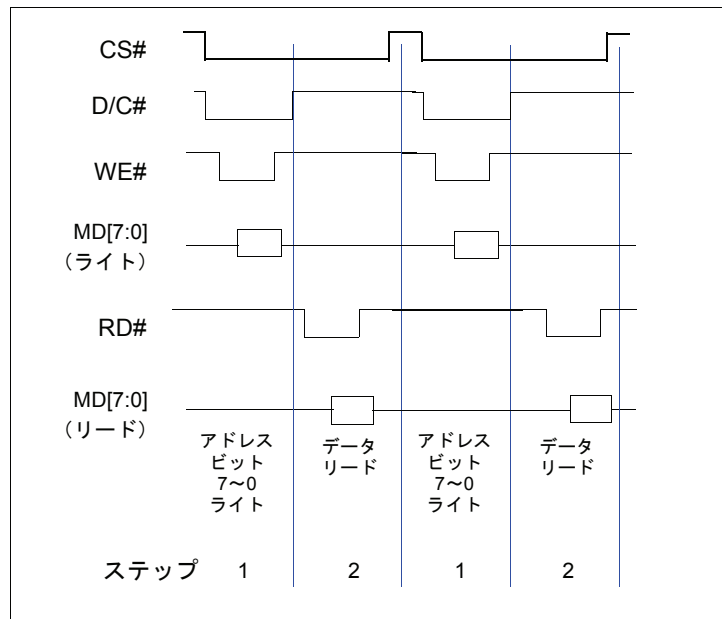


図13.2 レジスタリード例の手順

13. ホストインタフェース

13.1.3 メモリバーストライトの手順

S1D13771の表示メモリは、Display Memory Data Portレジスタ（REG[A0h]）を使用して書き込まれます。Display Memory Data Portレジスタの「インデックス」を書き込めば、表示メモリに表示データをバーストライトすることができます。各メモリライトが完了すると、内部メモリアドレスがオートインクリメントされます。

注

ホストが表示メモリにデータをバーストライトできるようにするには、ホスト入力ウィンドウ高さ（および幅）レジスタ（REG[64h]～REG[6Ah]）をプログラムしておく必要があります。

1. アドレスライトを実行して、Display Memory Data Portアドレス（A0h）を設定します。
2. 表示メモリにデータライトを実行します。
3. 内蔵メモリアドレスがオートインクリメントされ、表示メモリへのその後のデータライトが可能となります。

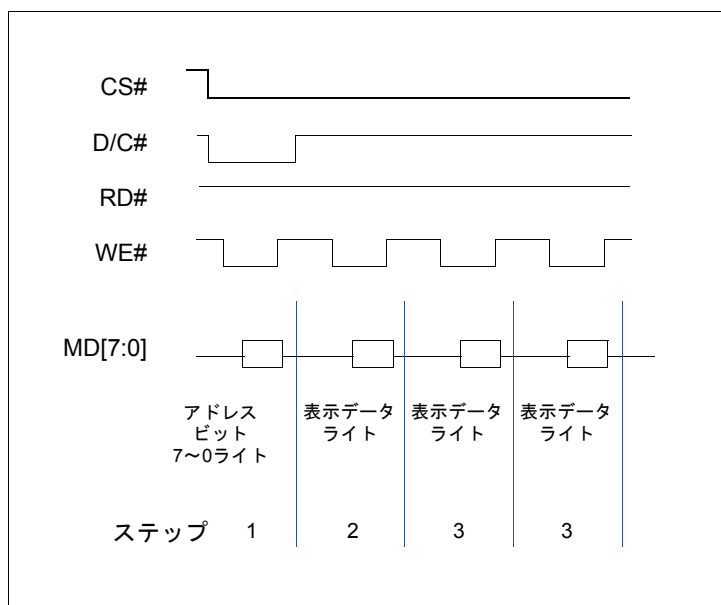


図13.3 メモリバーストライト例の手順

注

非同期レジスタアクセスによって画像フレームライトに割り込みをかけても、フレームはリセットされません。非同期レジスタアクセスの後、ユーザーは、フレームの残りの書き込みを続行することができます。しかし、同期レジスタアクセスによって画像フレームライトに割り込みをかけると、フレームはリセットされます。同期レジスタアクセスの後、ユーザーは、再度、フレーム全体を書き込む必要があります。

14. 標準的な使用例の説明

14.1 S1D13771の初期化

S1D13771は、CLKIに使用する入力クロック周波数に基づいて初期化されます。CLKIは、PLLのソースとして使用されますが、TVタイミングクロックとTV DDSクロックのソースとして使用することもできます。S1D13771のクロックの詳細については、44ページの8.「クロック」を参照してください。

S1D13771を初期化するには、以下のステップが必要となります。

- 「CLKI入力」と「PLLへの入力クロック」との間の分周比を制御するM-Divideを設定する。
- PLLの出力周波数（MHz）を決定するL-Counterを設定する。
- TVタイミングクロックソースを設定する。
- TV DDSクロックソースを設定する。
- スリープモードをディセーブルにする。
 - スリープモードをディセーブルにする前に、PLLを正しく設定する必要があります。
- PLL出力が安定しているかどうかを確認する。
 - 同期レジスタにアクセスできるようになるには、このステップを実行しておく必要があります。
- TVブロックに必要なクロックを構成する「TV入力クロックの設定」を選択する。
- TV表示用の画像データをプログラムする（109ページの14.2「TV表示用の画像の書き込み」）。
- IREF/VREFをイネーブルにする。
- TVインタフェースをイネーブルにする。
- TV表示パイプラインをイネーブルにした表示ブランクをディセーブルにする。

プログラミングフローの例については、106ページの14.1.1「プログラミングフロー」を参照してください。

14. 標準的な使用例の説明

14.1.1 プログラミングフロー

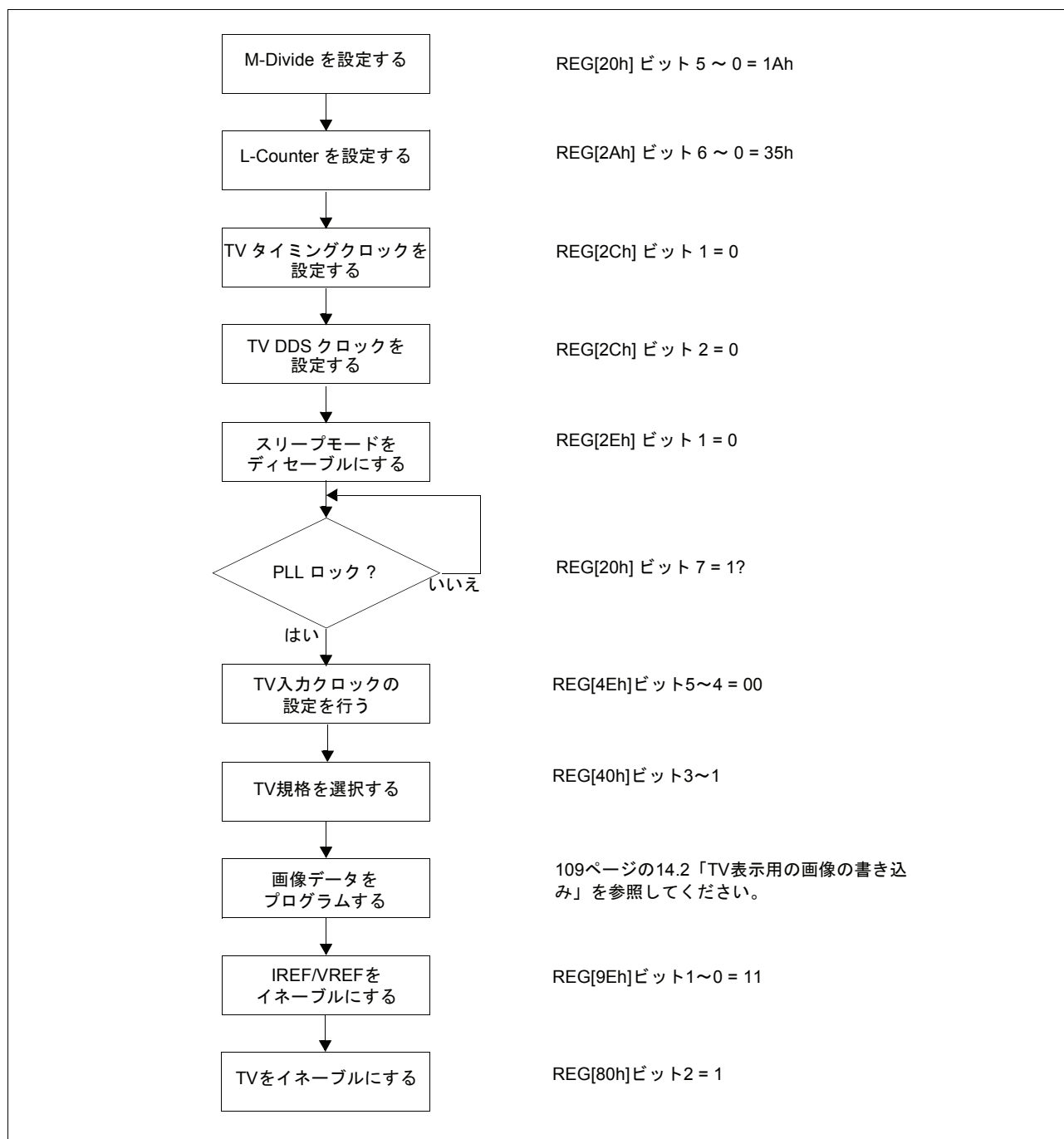


図14.1 S1D13771の初期化（CLKI = 27MHzの場合）

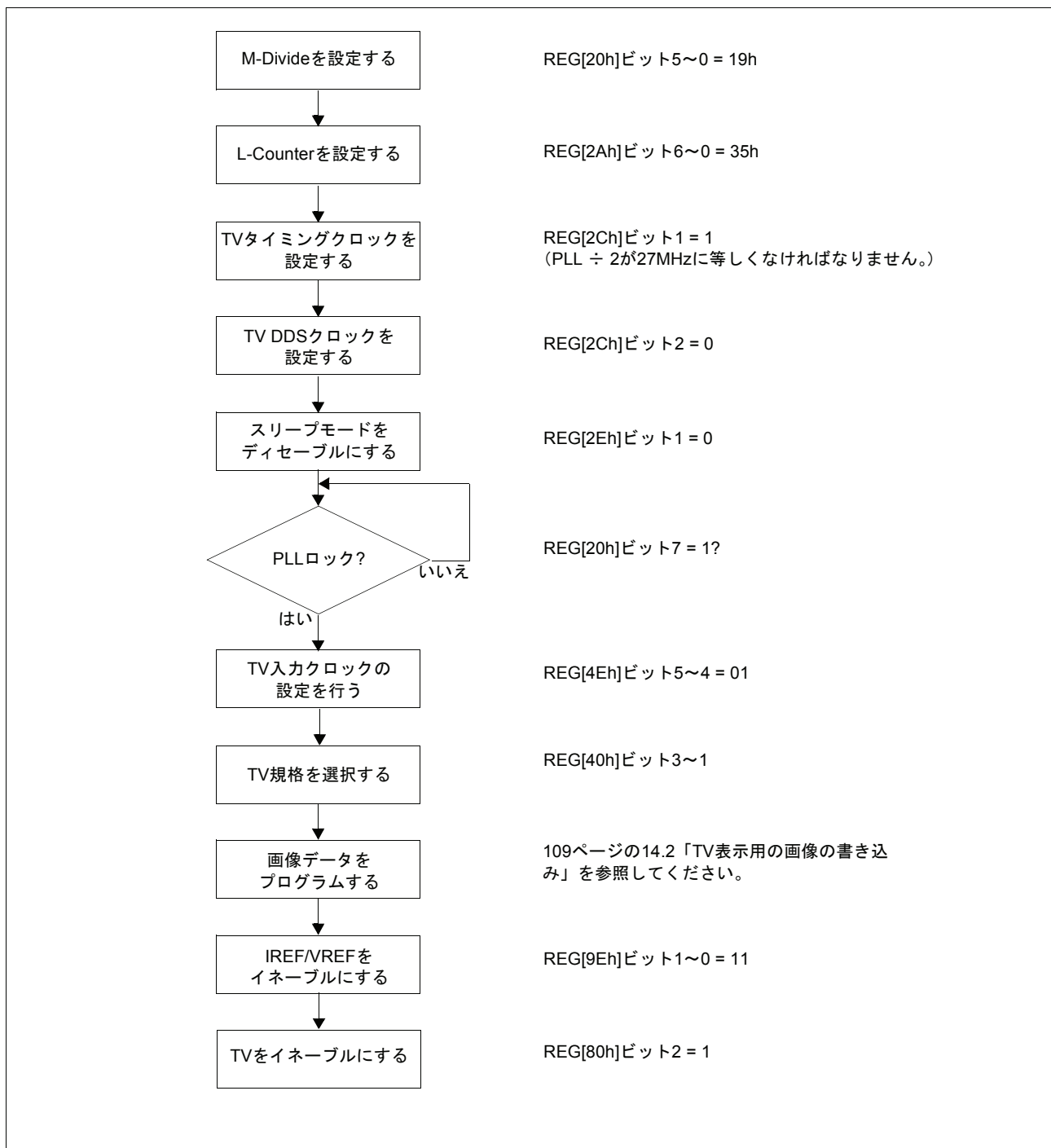


図14.2 S1D13771の初期化 (CLKI = 26MHzの場合)

14. 標準的な使用例の説明

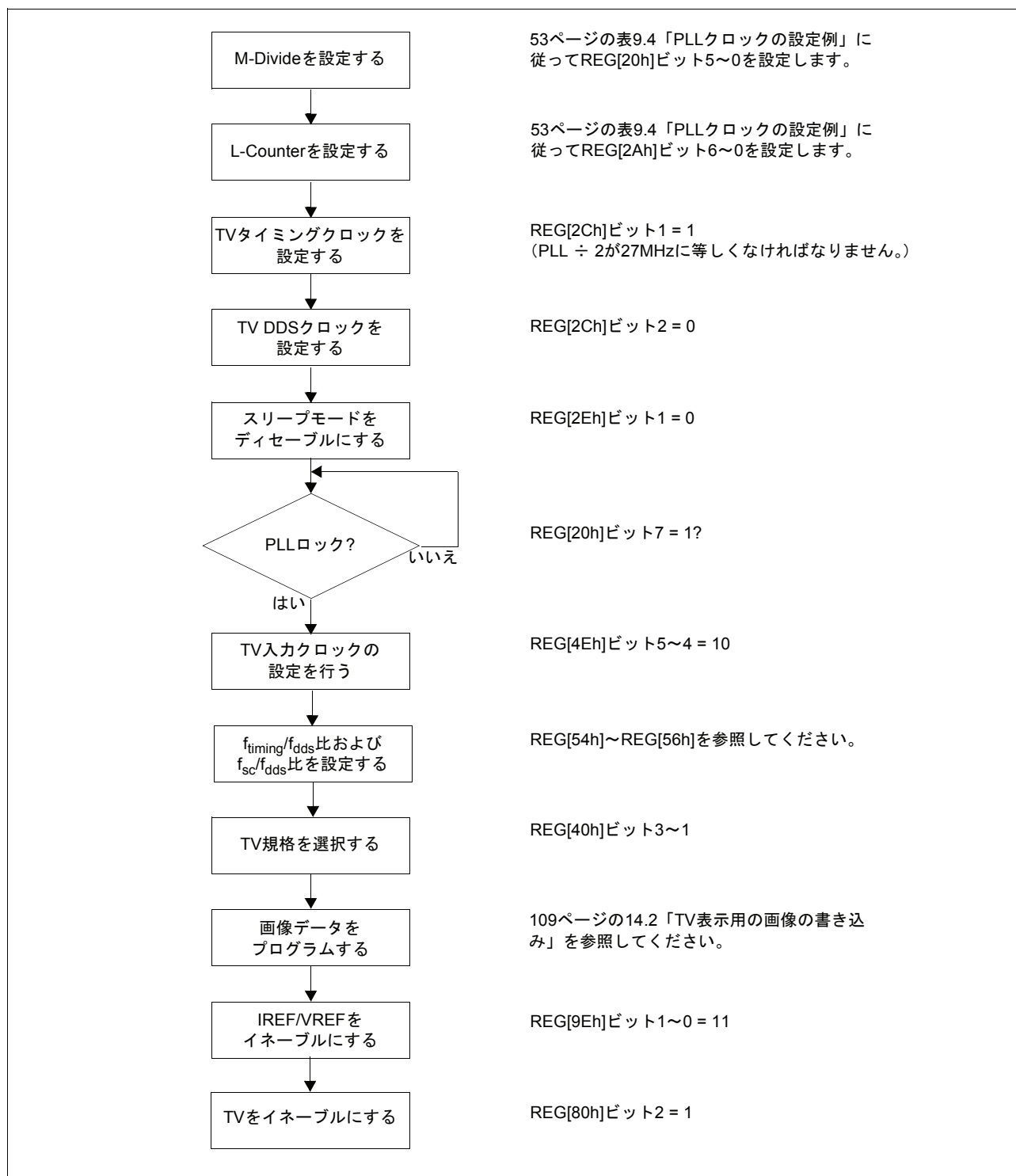


図14.3 S1D13771の初期化 ($18\text{MHz} \leq \text{CLKI} \leq 27\text{MHz}$)

14.2 TV表示用の画像の書き込み

TV表示用の画像データをS1D13771に書き込むとき、画像データはスケーラによって処理され、TVへの出力用メモリに保存されます。出力側では、該当するTV規格（NTSCまたはPAL）の解像度に適合するように拡大し、オートボーダー、または必要なら入力サイズを50%縮小することができます。縮小比およびボーダーの要件は、ホスト入力ウィンドウサイズと表示出力ウィンドウサイズを比較することによって自動的に計算されます。新しい画像データがS1D13771に送信された場合、TV上の前の画像とそのまま入れ替わります。

TV表示用の画像の書き込みには、以下の手順が必要となります。

- ホスト入力データフォーマットを設定する
- スクエアピクセル補正が必要かどうかを選択する
- ホスト入力サイズを設定する
- 表示出力サイズを設定する
 - 表示出力サイズが、選択したTV規格（NTSCまたはPAL）と同じ解像度に設定されている場合、画像データは拡大されてTVに表示されます。
 - 表示出力サイズがホスト入力サイズより大きい解像度、ただし選択したTV規格（NTSCまたはPAL）の解像度より小さい解像度に設定されている場合、画像データは拡大され、TVのボーダー内でセンタリングされます。
 - 表示出力サイズがホスト入力サイズと同じ解像度に設定されている場合、画像データはそのままTVのボーダー内でセンタリングされます。
 - 表示出力サイズがホスト入力サイズより小さい解像度に設定されている場合、画像データは縮小され、TVのボーダー内でセンタリングされます。
- ボーダーカラーを設定する（必要な場合）
- ウィンドウデータを書き込む

ディスプレイ画像のアーチファクト／ティアリングを回避するには、TE端子を使用してメモリに書き込むタイミングを決定することを推奨します。プログラミングフローの例については、110ページの14.2.1「プログラミングフロー」を参照してください。予想されるデータパスの例については、4ページの2.2「データパスの例」を参照してください。

14. 標準的な使用例の説明

14.2.1 プログラミングフロー

以下のフローチャートは、TV表示用の画像の書き込み方法の例です。以下に示す推奨方法では、TEを使用してVNDPの間に更新を実行しています。TEは、REG[B2h]ビット6に従って、「リアルタイムステータス」または割り込みとして動作するように構成することができます。

TE および利用可能なさまざまなオプションの使用法の詳細については、REG[B2h]～REG[B8h]のビットの説明を参照してください（76ページの9.4.7「表示メモリアクセスレジスタ」を参照）。

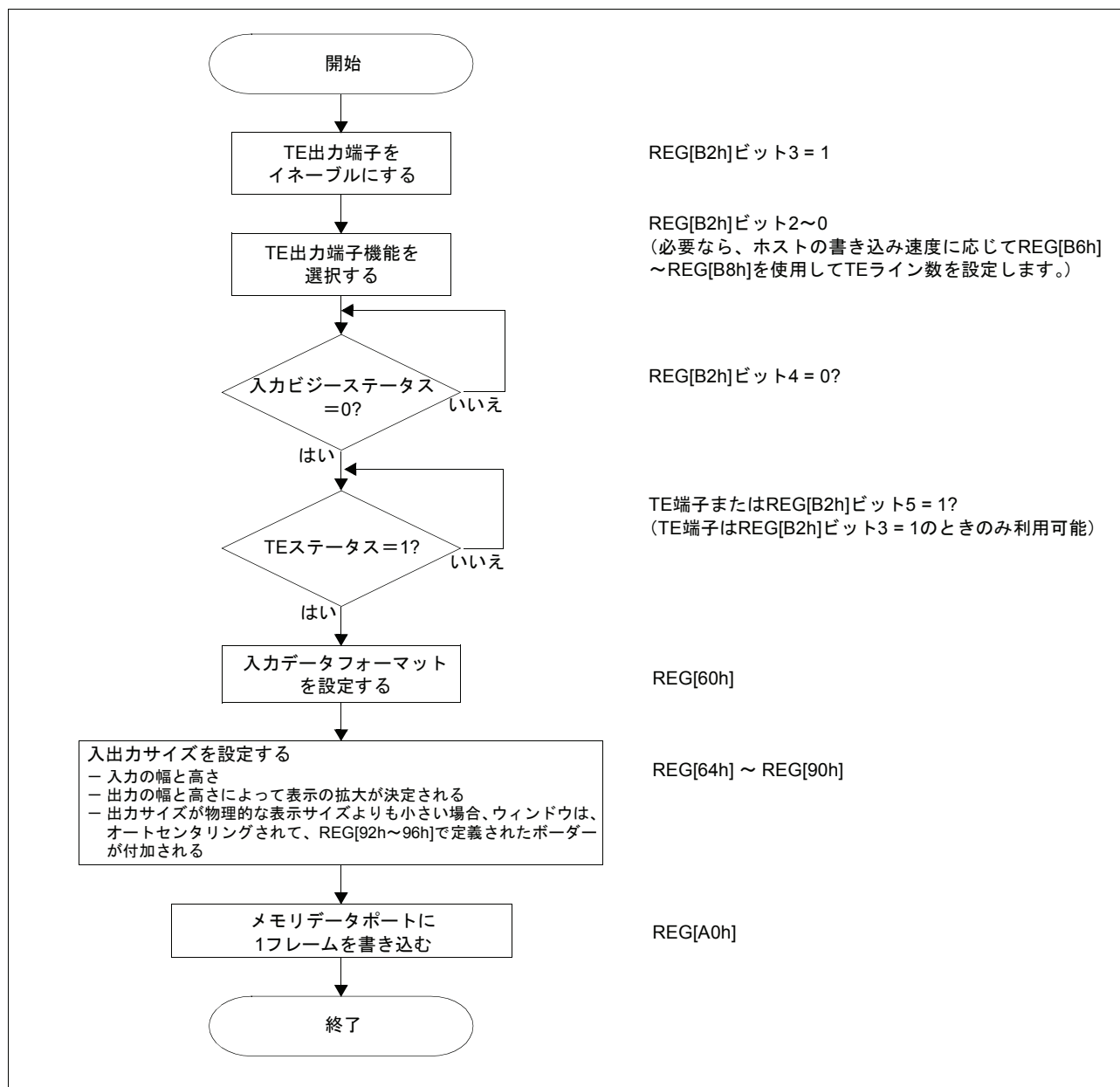


図14.4 TEを使用してVSYNCで更新

15. TVフィルタ動作

S1D13771には、TVルミナンスとクロミナンス信号のノイズを最小限にするための、固定およびプログラム可能なデジタルフィルタが含まれます。

固定フィルタを選択すると（REG[52h]ビット2 = 0）、ルミナンスフィルタは、TV規格の設定（REG[40h]ビット3～1）に応じて、3.58MHzまたは4.43MHzのいずれかにおいてノッチフィルタとなります。クロミナンスフィルタは、1.3MHzで1.5dB、および3.6MHzで20dBを超える減衰を持つローパスフィルタです。

ほとんどのケースにおいて、TVフィルタのデフォルト機能で最適に動作します。ただし、ユーザーが自身のアプリケーション用にフィルタ性能をさらに最適化したい場合、一般的なFIRフィルタ設計ソフトウェアでカスタムフィルタ係数を生成し、インデックス付き間接レジスタREG[54h]とREG[56h]にプログラムすることができます。

15.1 ルミナンス（Y）とカラー（UV）のカスタムフィルタ係数の生成

ルミナンスとクロミナンスは、対称型FIRフィルタです。この係数値は、正または負のいずれも可能です（111ページの図15.1「15タップの正の対称型インパルス応答」を参照）。

対称型インパルス応答の場合、係数のうち8つだけをプログラムする必要があります。残りの7つは最初の7つの複製です。

同様に、クロミナンスは15タップFIRフィルタで、図15.1「15タップの正の対称型インパルス応答」とよく似ています。対称型インパルス応答の場合、係数のうち8つだけをプログラムする必要があり、残りの7つは最初の7つの複製です。

この係数は、2の補数で9ビット幅です。

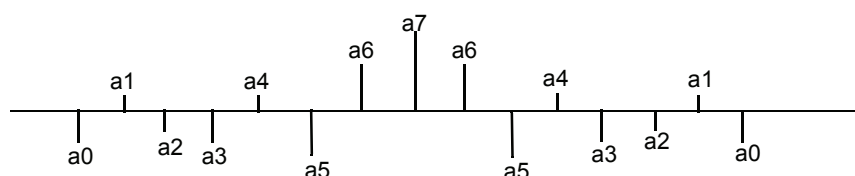


図15.1 15タップの正の対称型インパルス応答

15. TVフィルタ動作

15.1.1 フィルタパラメータ

カスタムのFIRフィルタ値を生成するためには、以下の情報が必要となります。ただし、この情報はユーザーが使用するフィルタ設計ソフトウェアに依存するものであり、ここでは目安として提示しています。

- フィルタのタイプ: ローパス、ハイパス、ノッチ、バンドストップ
- サンプリングクロックの周波数: 13.5MHz (固定)
- タップ数: 15 (Y) と15 (UV)
- 上側通過帯域: 4MHz
- ストップバンド: 6.2MHz
- 通過帯域リップル: 3dB
- ストップバンド減衰: 60dB

下記の応答曲線は、内蔵の固定機能のTVフィルタの理論的な性能を示しています。

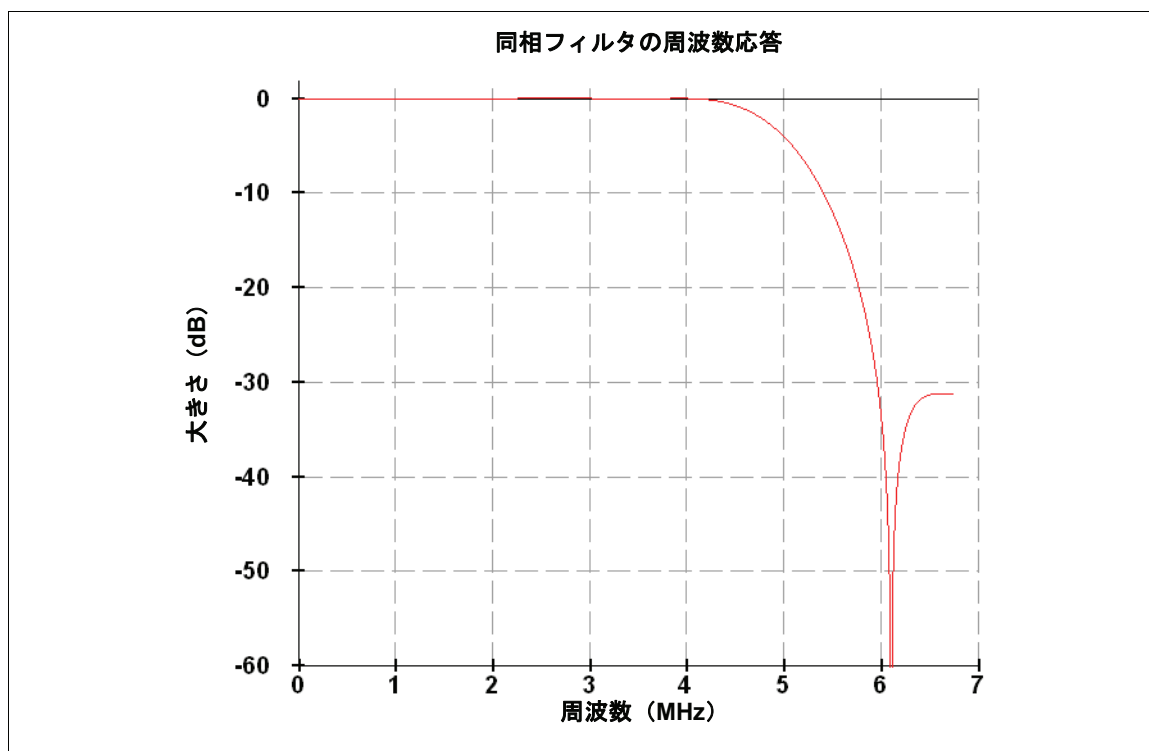


図15.2 Y 4MHzローパスフィルタの周波数応答

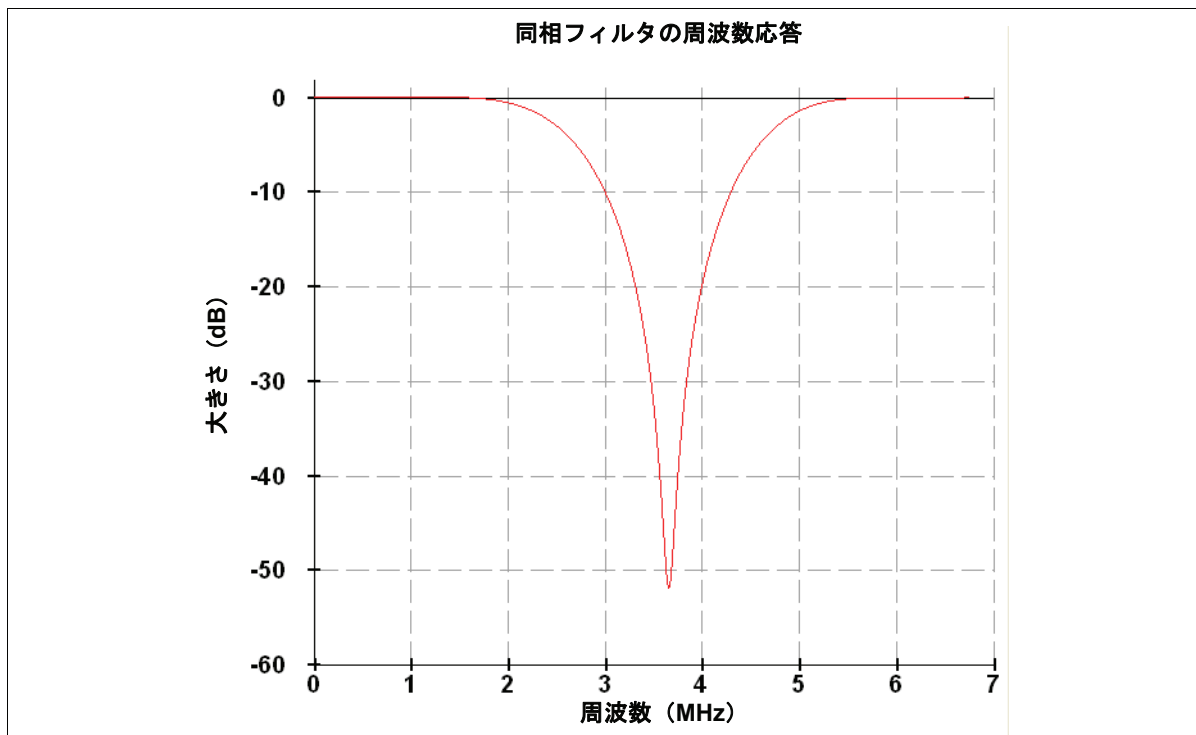


図15.3 Yノッチフィルタ (@3.58MHz) の周波数応答

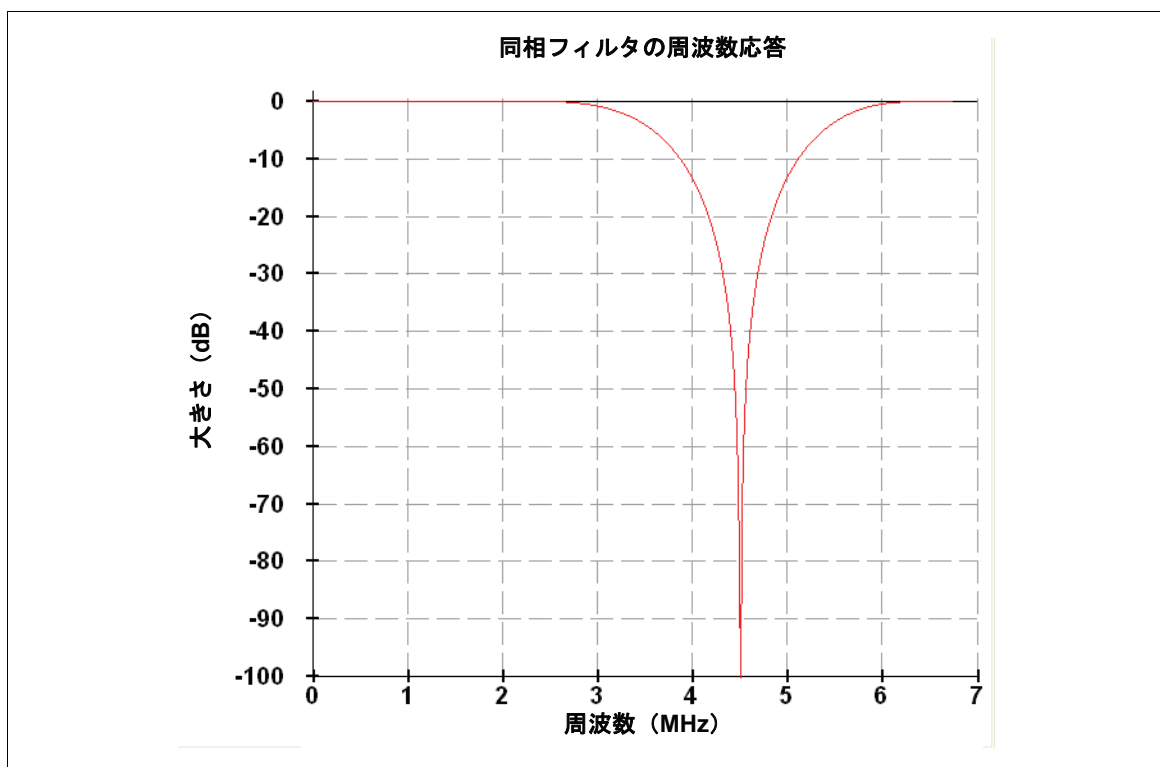


図15.4 Yノッチフィルタ (@4.43MHz) の周波数応答

15. TVフィルタ動作

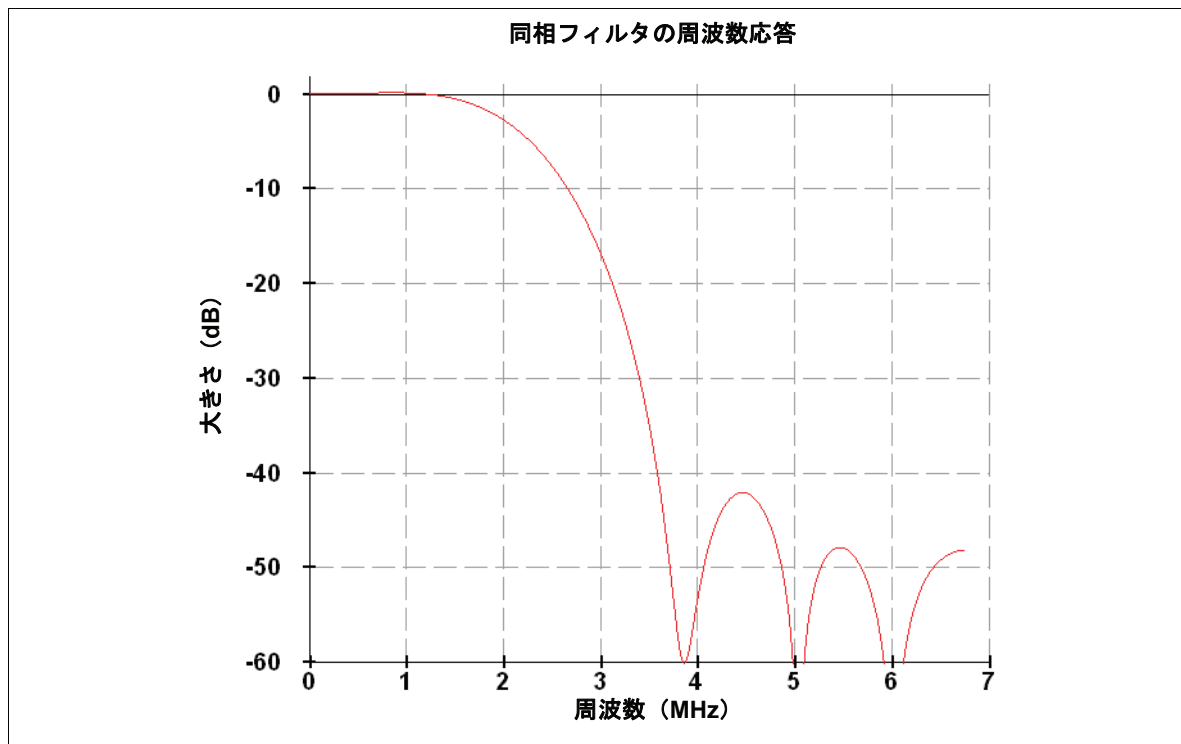


図15.5 UVフィルタの周波数応答

16. パワーセーブモード

S1D13771は、スリープモードおよびスタンバイモードという2つのパワーセーブモードをサポートしています。

16.1 スリープモード

スリープモードは、アナログTVエンコーダブロックを除く、すべての内部ブロックをディセーブルにします。アナログTVエンコーダブロックは、スリープモードに移行する前に手動でディセーブルにしておく必要があります。このモードは、消費電力が最小になりますが、スリープモードがディセーブルのとき、S1D13771は、PLLが安定するまで約2msを必要とします。この期間は、S1D13771にアクセスしないようにしてください。

スリープモードは、スリープモードイネーブルビット (REG[2Eh]ビット1) で制御されます。スリープモードの詳細については、50ページの9.4.2「クロック構成レジスタ」のREG[2Eh]ビット1のビット説明を参照してください。

スリープモードに移行するには、以下の手順を推奨します。

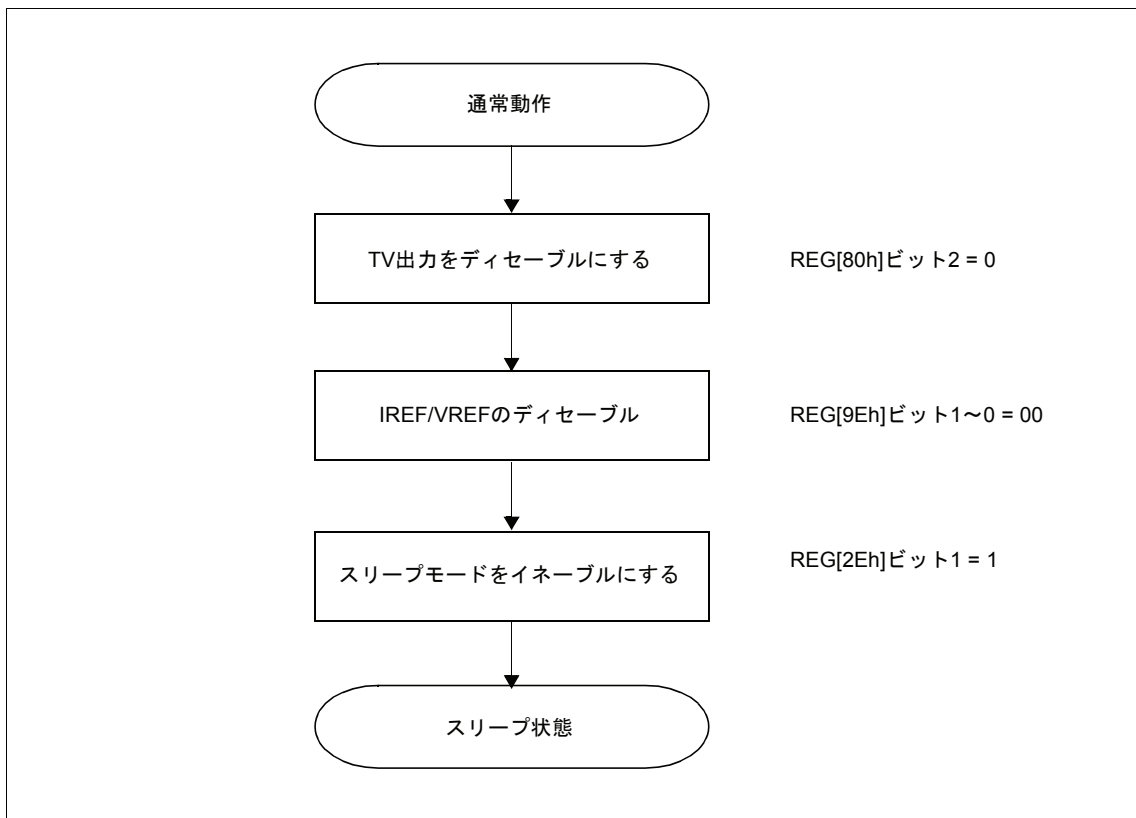


図16.1 スリープモードに移行するための推奨手順

16. パワーセーブモード

スリープモードを終了するには、以下の手順を推奨します。

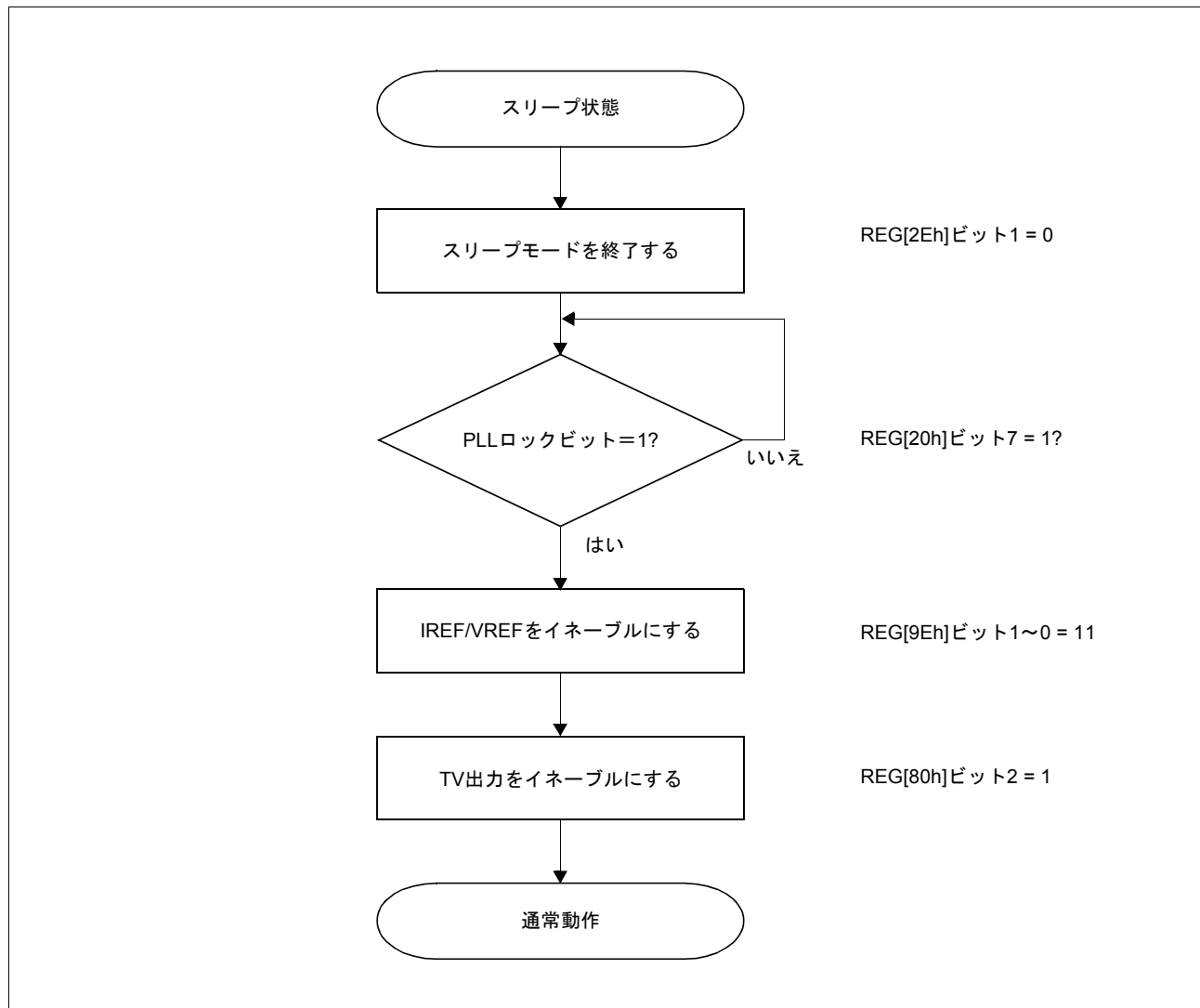


図16.2 スリープモードを終了するための推奨手順

16.2 スタンバイモード

スタンバイモードは、PLLとアナログTVエンコーダのブロックを除く、すべての内部ブロックをディセーブルにします。アナログTVエンコーダブロックは、スタンバイモードに移行する前に手動でディセーブルにしておく必要があります。スタンバイモードには、このモードをディセーブルにした直後にSID13771にアクセスできるという利点があります。

スタンバイモードは、スタンバイモードイネーブルビット（REG[2Eh]ビット0）で制御されます。スタンバイモードの詳細については、50ページの9.4.2「クロック構成レジスタ」のREG[2Eh]ビット0のビット説明を参照してください。

スタンバイモードに移行するには、以下の手順を推奨します。

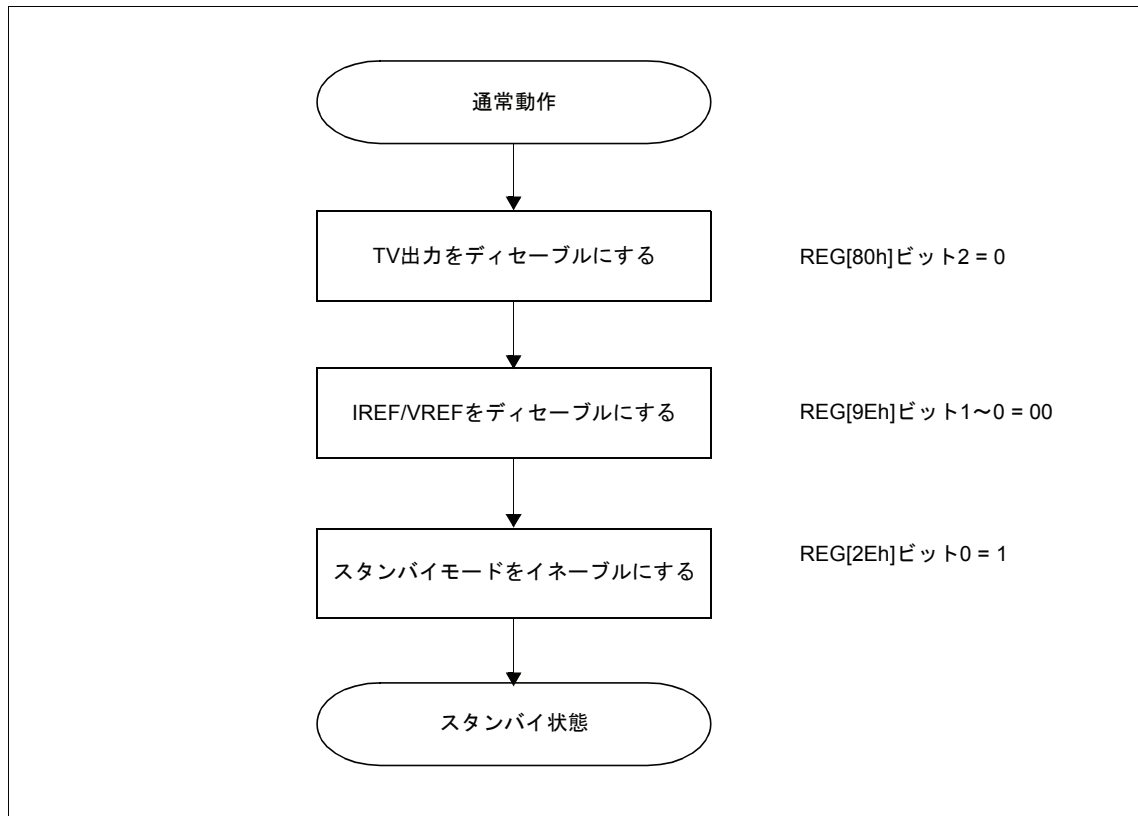


図16.3 スタンバイモードに移行するための推奨手順

16. パワーセーブモード

スタンバイモードを終了するには、以下の手順を推奨します。

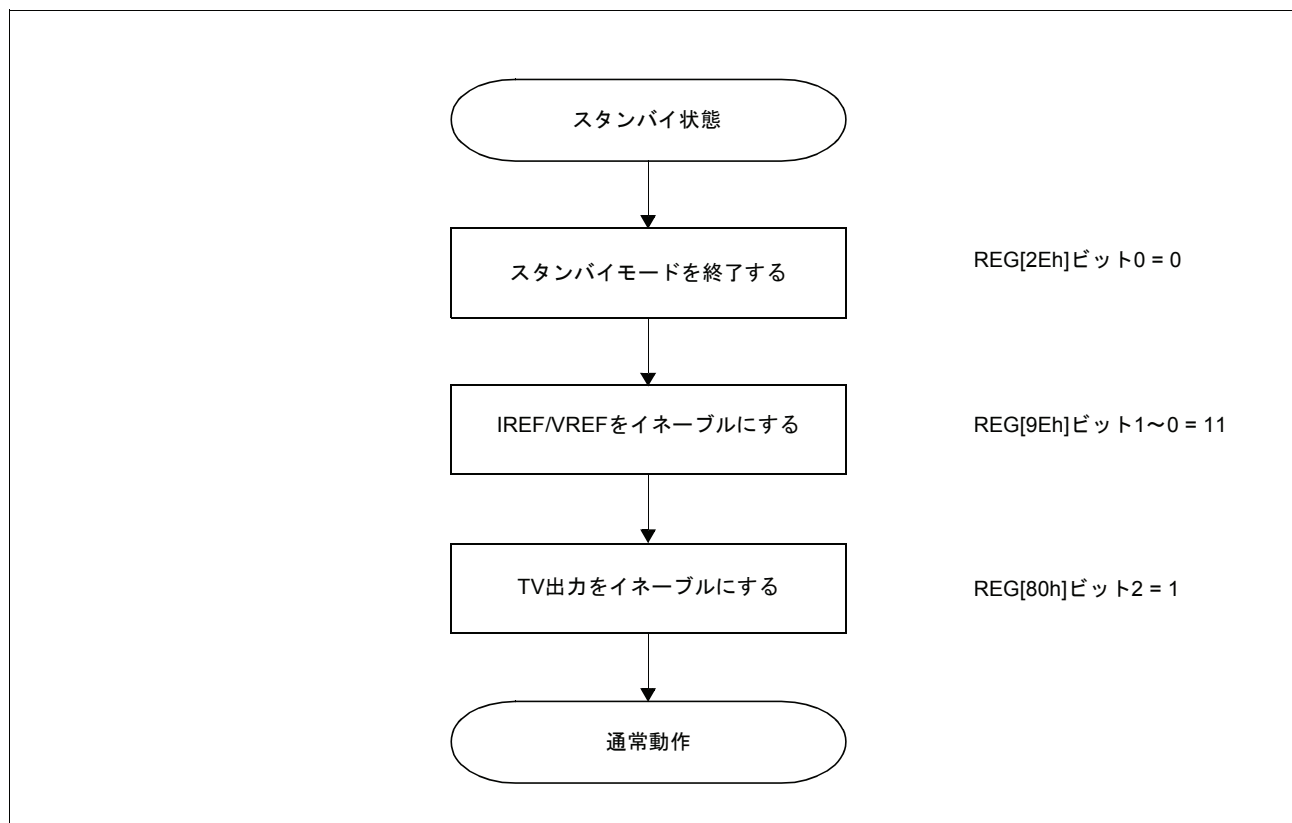


図16.4 スタンバイモードを終了するための推奨手順

17. TV検出

S1D13771は、TV検出を実行することで、TVがデバイスと接続された状態か、未接続の状態かを判断することができます。TV検出には2つの方法、すなわち接続および未接続があります。

17.1 TV接続の検出

TV接続の検出は一般的に、「TV ON」が要求された後、TVが接続された状態かどうかを判断するために使用します。TVが接続されていない場合、S1D13771は節電のためにスリープモードに戻す必要があります。

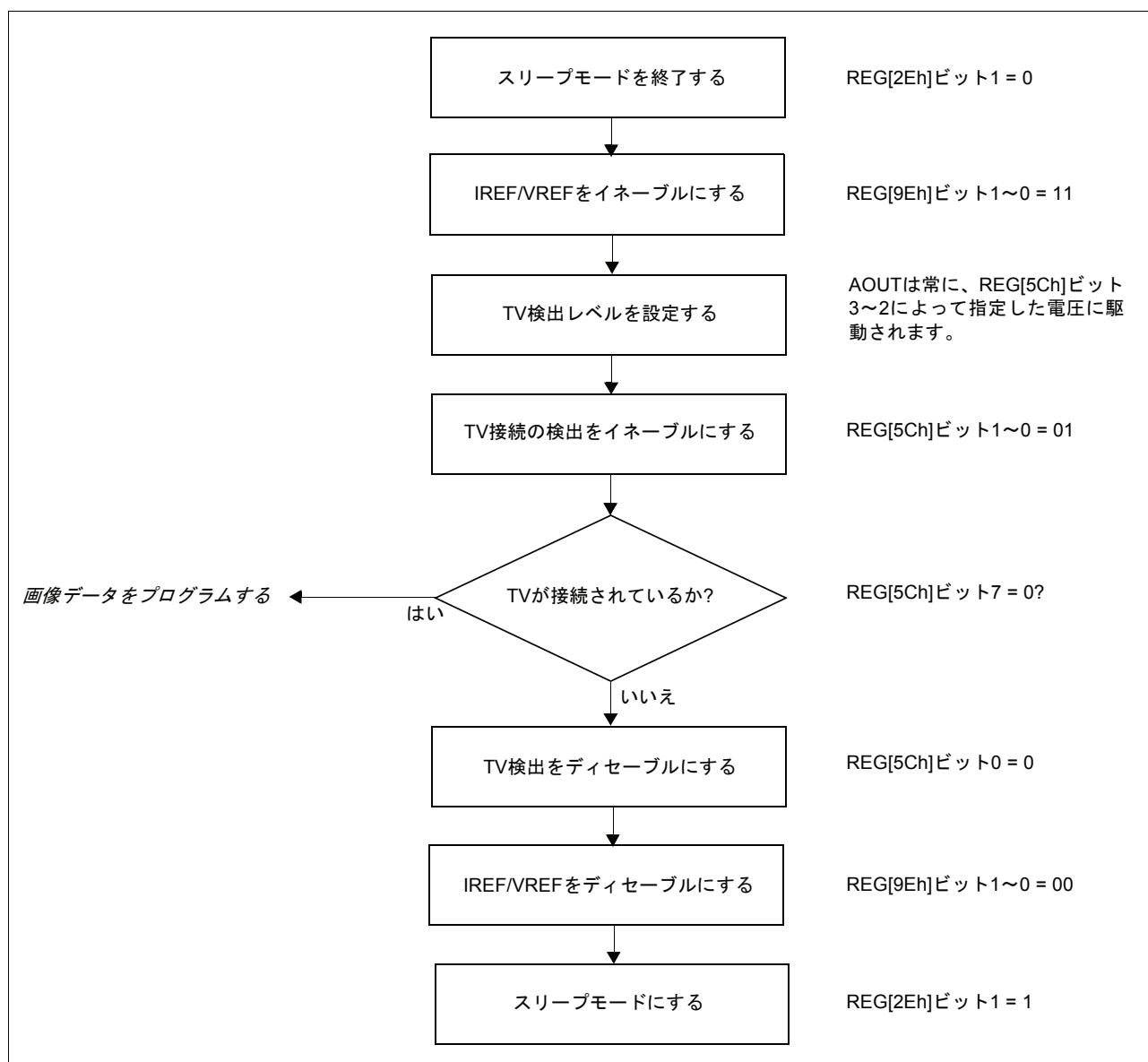


図17.1 TV接続の検出 (REG[5Ch]ビット1 = 0)

17. TV検出

17.2 TV未接続の検出

TV未接続の検出は、一般的にTV出力がイネーブルの間に（REG[80h]ビット2 = 1）TV未接続の検出に使用します。TV未接続の検出はTV出力がディセーブルのときはサポートされません。

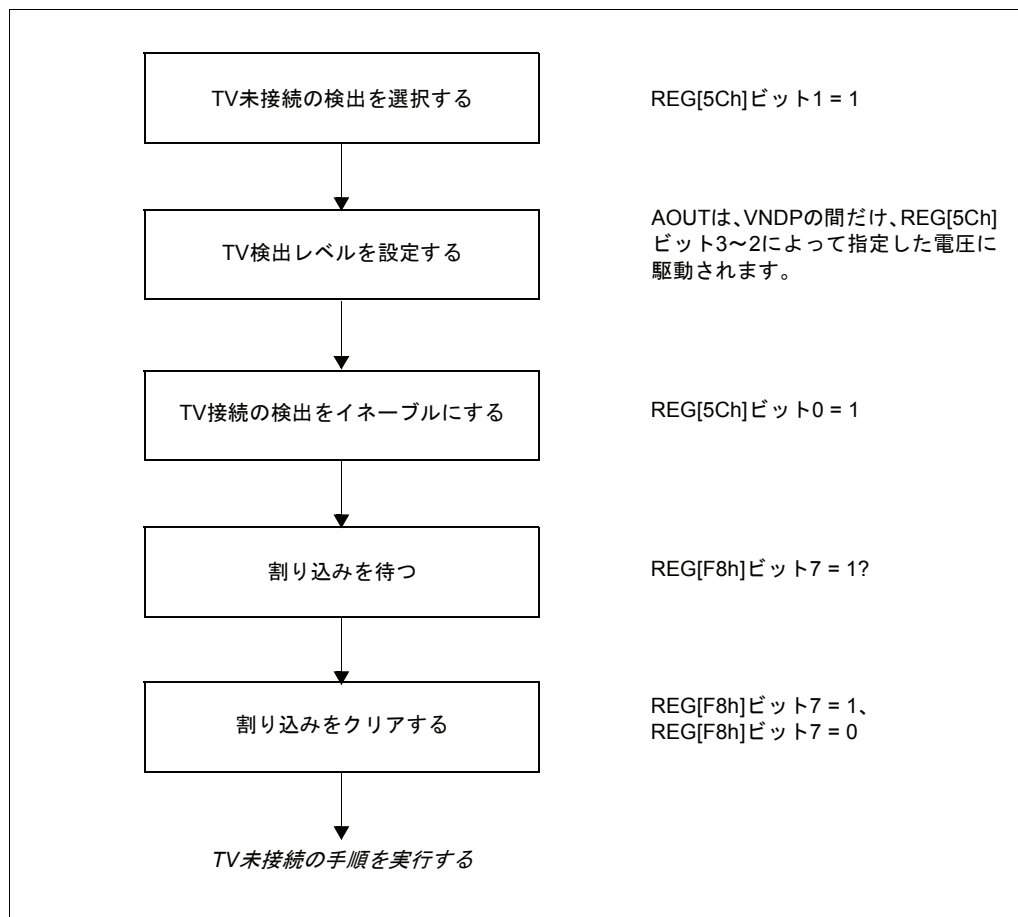


図17.2 TV未接続の検出（REG[5Ch]ビット1 = 1）

18. 外付け部品

18.1 DACの外付け部品

内部VREFを使用するときには (REG[9Eh]ビット0 = 1)、以下の回路を推奨します。

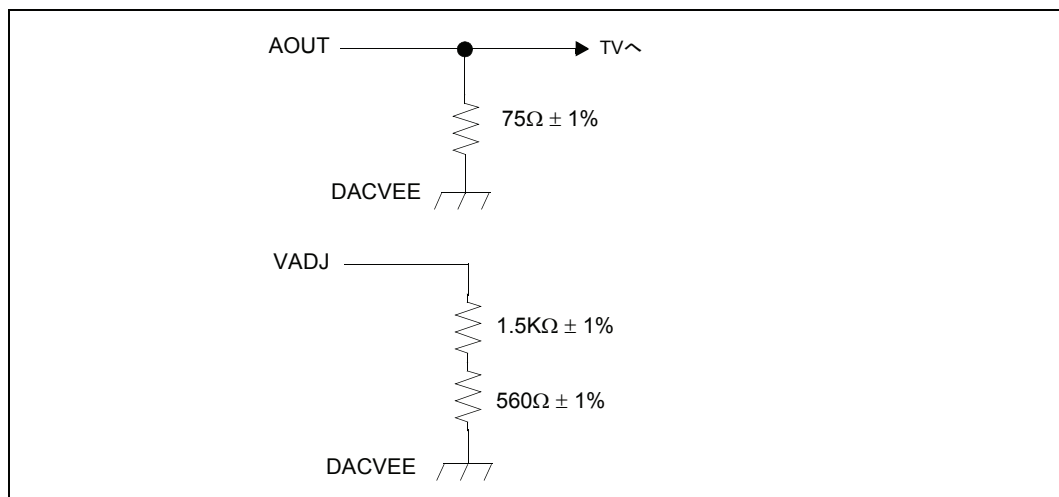


図18.1 推奨する外付け部品 - 内部V-Refを使用

外部VREFを使用するときには (REG[9Eh]ビット0 = 0)、以下の回路を推奨します。

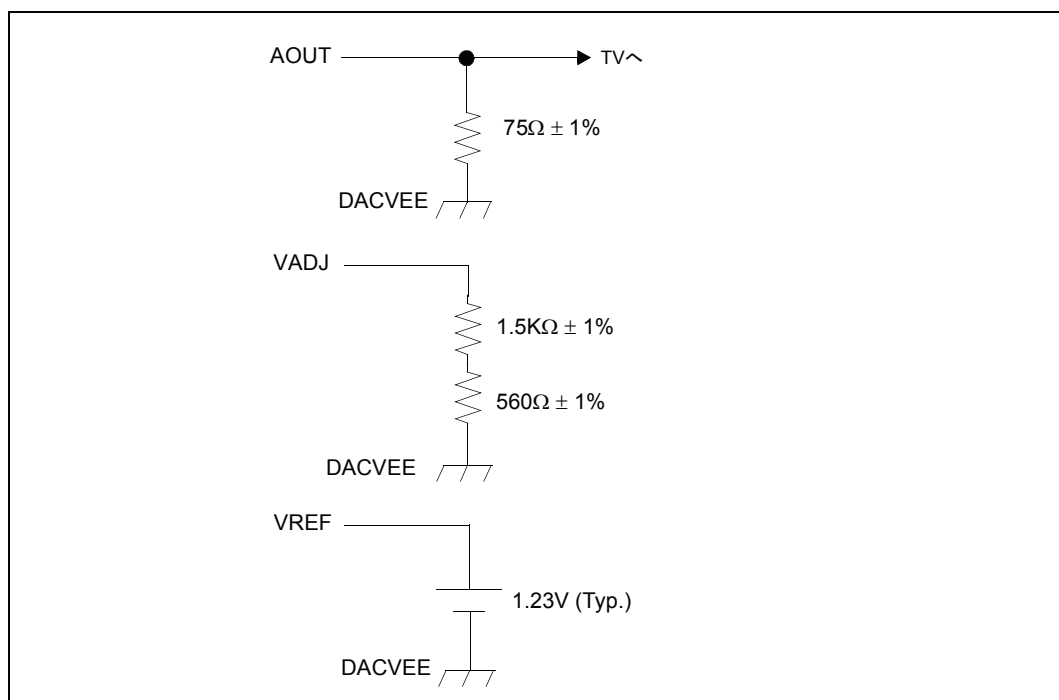


図18.2 推奨する外付け部品 - 外部V-Refを使用

18. 外付け部品

DACの電源端子には、以下の回路を推奨します。

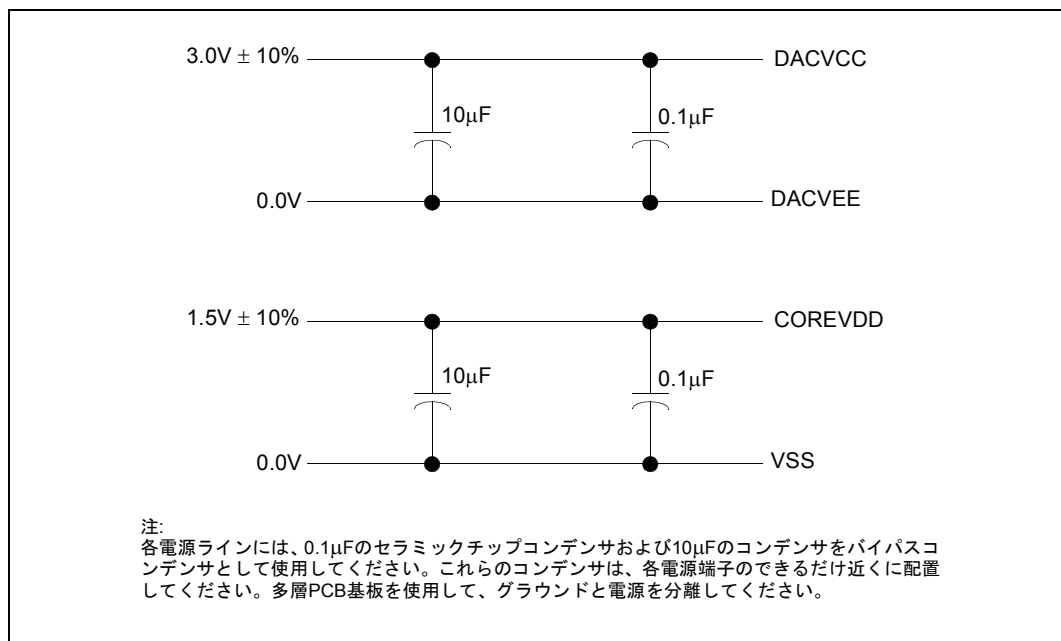


図18.3 推奨する外付け部品 - DAC電源端子

以下の回路は、TVアナログ出力用に推奨する外付け部品について説明しています。

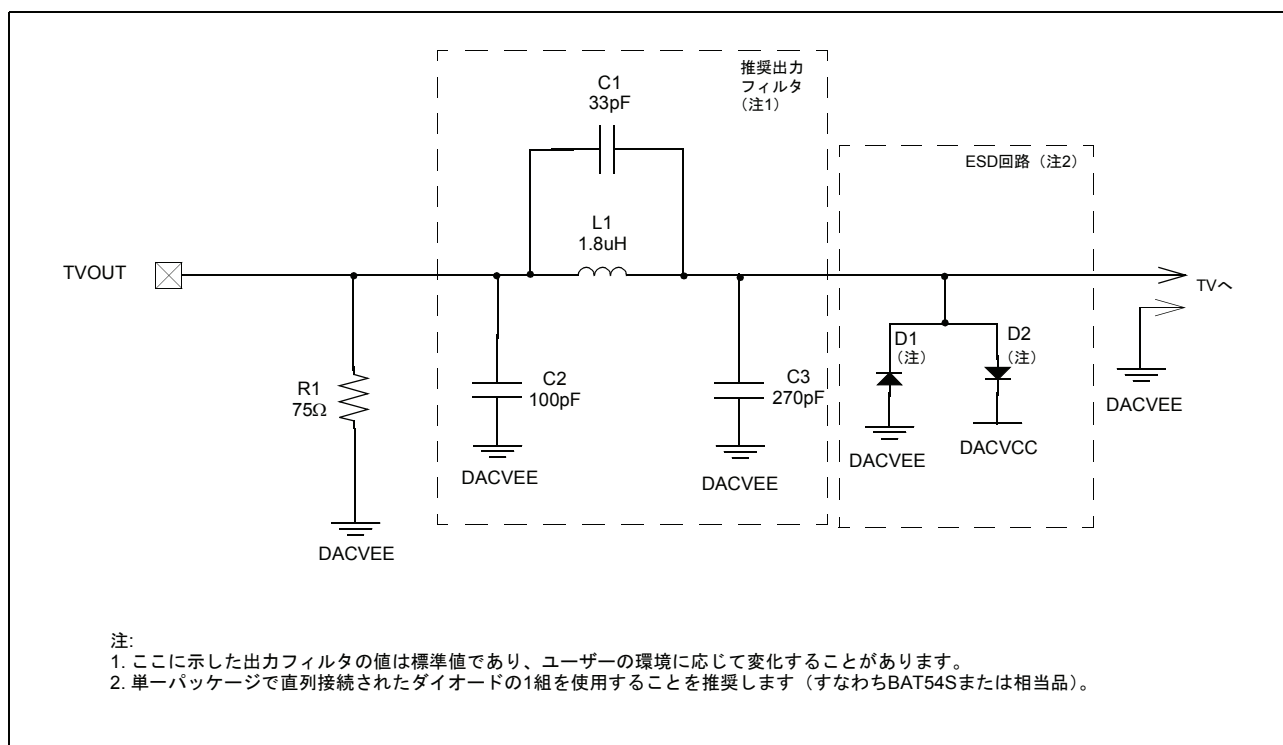


図18.4 推奨する外付け部品 - TV出力

注

上記のESD回路のキャパシタンスは大きいため、ビデオ信号の劣化が少しだけ生じる恐れがあります。一般的に、この劣化は目に見えてわかるものではないので、各実装ごとに評価する必要があります。

19. アナログ電源の検討事項

PLLおよびDACA回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、これらの回路の動作が不安定になったり、ジッタが増大する恐れがあります。

このノイズの制約があるため、これらの回路の電源トレースや電源プレーンは、他の電源のそれらと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

以下に示すガイドラインに従うと、PLLおよびDACA回路の電源がきれいになります。これによって、よりきれいで安定したクロックが得られます。これらのガイドラインを部分的に実行しても、結果が得られます。

19.1 アナログ電源配置のガイドライン

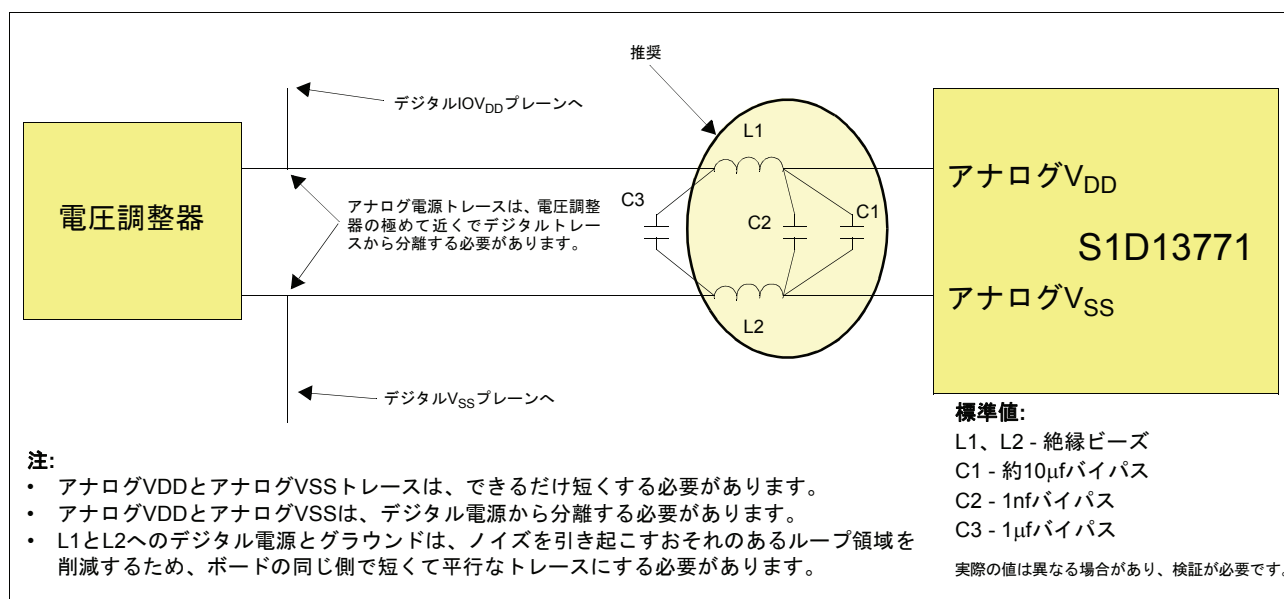


図19.1 アナログ電源の配置

- 絶縁ビーズ（L1とL2）は間にごくわずかな隙間を空けて互いに平行に配置します。バイパス容量（C2とC3）は両方とも、コイルにできるだけ近づける必要があります。C3から電源プレーンへのトレースは、間に少し隙間を空けてボードの同じ側で短くて平行なトレースにする必要があります。ここで大きなループ領域があるとノイズを引き起こすことになります。ボード上に電圧調整器がある場合は、これらの電源トレースを電源プレーンまで這わせるのではなく、直接、調節器まで這わせるようにしてください（この場合も平行なトレースに関する上記の規則に従ってください）。
- バイパス容量（C2）をグラウンド絶縁コイル（L2）に接続するときのアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中央ポイントになります。C2からPLL_{V_{SS}}端子への1本の短いトレースを除き、いずれの部品もS1D13771（PLL_{V_{SS}}）のアナロググラウンド端子に直接接続されていません。大型バイパス容量（C1）のグラウンド側も、スターポイントに直接接続する必要があります。
- アナロググラウンドに使用されるこのスタートポロジの規則は、L2をCに接続するときのアナログ電源の接続にも適用されます。
- トレースの長さはすべてできるだけ短くする必要があります。

- 可能であれば、ボードの同じ外層にPLLトレースを這わせませす。唯一の例外はC1であり、必要であればボードの反対側に配置することができます。C1は、他の部品のようにアナロググラウンドと電源スターポイントの近くに配置する必要はありません。
- 可能であれば、PLL領域の下に（PLL部品とトレースの下領域）、局部プレーンだけが含まれるようにしてください。全体アナログプレーンは、C2（バイパス）パッドに接地する必要があります。このプレーンは、大きすぎると機能しなくなります。このプレーンは厳密には、同じボード領域の他の層の信号とのカップリングに対する静電シールドになります。このようなアナログプレーンが不可能な場合は、PLL部品の下層が、信号層ではなくデジタル電源プレーンになるようにしてください。
- 可能であれば、各層のPLL端子のビアのすぐ隣りに他のボード信号ラインを這わせないようにしてください。
- 可能な限り、特にアナロググラウンドとC2のいずれかの側の電源スター接続部には、厚いトレースを使用してください。トレースが部品のパッドと同程度の幅になるようにしてください。トレースが薄いと誘導性が増大します。

製造規則によって、推奨したグラウンドと電源スター接続部の引き回しが禁止される可能性があります。たとえば、1つのパッドに4つの幅の広いトレースが集まると、コンデンサのパッドのまわりのすべての銅トレースの熱作用のせいで、組み立て時にリフロー不良の問題が生じることになります。1つの解決策として、パッドに1つのトレースだけを接続し、次にこの幅の広いトレースに他のすべてのトレースをパッドからできるだけ近い場所で接続します。別の解決策として、トレースをパッドに接続し、ただしパッドの周りにサーマルリリースを設けて銅の接続部を一部削除します。最終的には、ボードを製造できるようにすることも必要であり、これによって最善の努力が受け入れられることになります。

20. メカニカルデータ

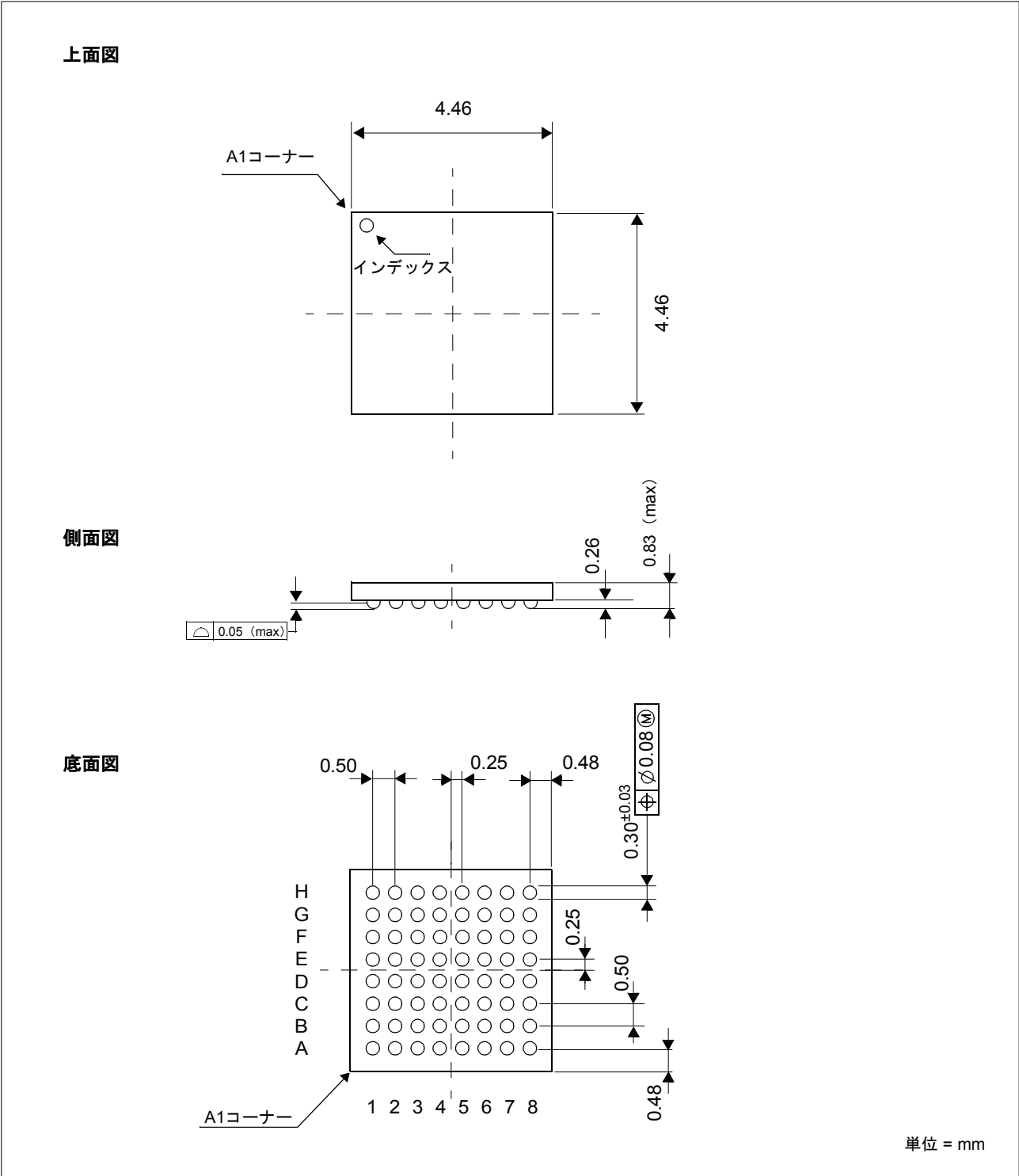
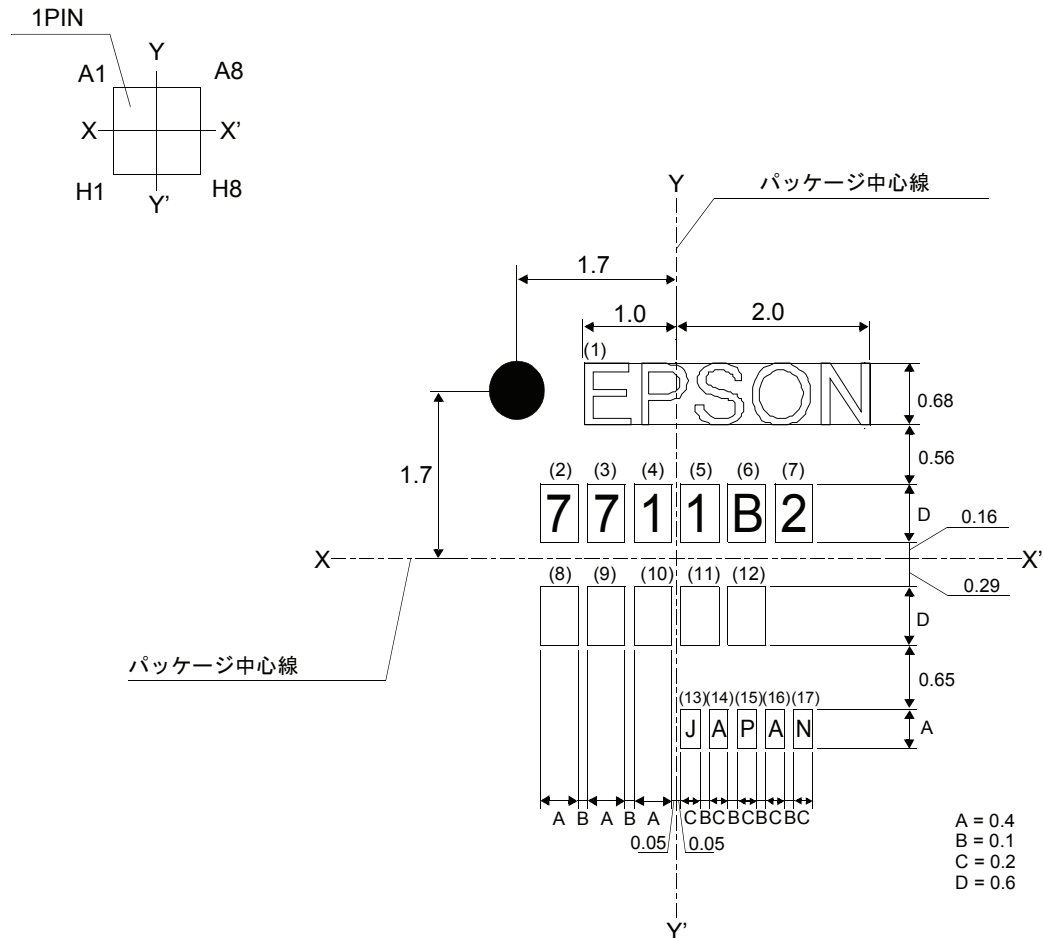


図20.1 S1D13771 W-CSP 64端子パッケージ



単位 = mm

マーキングの説明[: 固定]

項目	番号	注
*顧客の商標	(1)	固定のロゴタイプを参照
*製品の名称	(2) ~ (7)	
制御コード	(8)	
製造年	(9)	西暦の最後の数字
製造月	(10)	A~L (1月~12月)
W/Fロット番号	(11) ~ (12)	
*[JAPAN]	(13) ~ (17)	

図20.2 S1D13771B01B20B W-CSP 64端子パッケージのマーキング

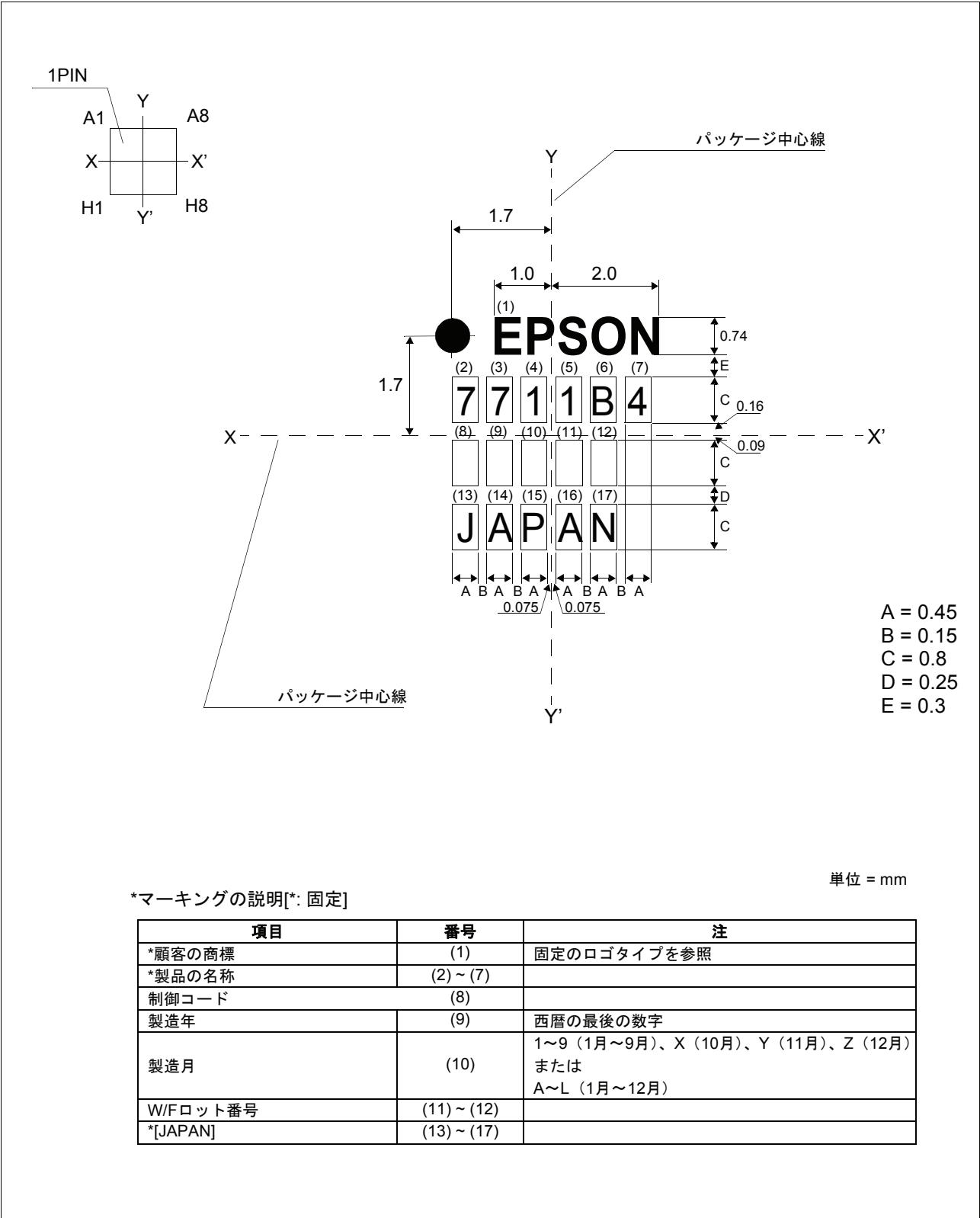


図20.3 S1D13771B01B40B W-CSP 64端子パッケージのマーキング

表20.1 S1D13771B01 W-CSP 64端子製品のマーキング

製品コード	表示	説明
S1D13771B01B20B	7711B2	マクロビジョンが無効
S1D13771B01B40B	7711B4	マクロビジョンが無効

21. 参考資料

21. 参考資料

以下の文書には、S1D13771に関連する付加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、Epson Research and Developmentのウェブサイト www.erd.epson.com でご覧いただけます。

- 『S1D13771 Product Brief (S1D13771の製品概要)』 (X82A-C-001-xx)
- 『S5U13771P00C100 Evaluation Board User Manual (S5U13771P00C100評価ボードユーザーマニュアル)』 (X82A-G-003-xx)

改訂履歴表

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.2	2008/1/31	全ページ	新規	新規制定
Rev. 1.3	2010/2/26	全ページ	—	前リビジョンからの変更内容を赤字で示します。
		P1	変更	1.1 適用範囲 記述を変更。
			削除	22. 販売およびテクニカルサポートを削除。

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411438101
2008 年 6 月 作成
2010 年 3 月 改訂 (H)