

**S1D13774B02B**  
**LCDコントローラ**  
**テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

# 目次

<b>1. はじめに</b>	<b>1</b>
1.1 適用範囲	1
1.2 概要	1
1.3 略語の説明	2
<b>2. 特長</b>	<b>3</b>
2.1 表示バッファ	3
2.2 レジスタ	3
2.3 ホストインタフェース	3
2.4 ビデオ入力インタフェース	3
2.5 入力データフォーマット	3
2.6 LCDインタフェース	4
2.7 外部NTSC/PALエンコーダインタフェース	4
2.8 表示機能	4
2.9 その他	5
<b>3. 機能ブロック図</b>	<b>6</b>
3.1 代表的なシステム構成図	6
3.2 機能ブロック図	8
<b>4. 端子構成</b>	<b>9</b>
4.1 端子配置図	9
4.2 端子説明	10
4.2.1 ホストインタフェース	11
4.2.2 ビデオ入力インタフェース	12
4.2.3 LCDインタフェース	13
4.2.4 GPIO	14
4.2.5 クロック	21
4.2.6 その他	22
4.2.7 電源端子とグラウンド端子	23
4.3 コンフィギュレーションオプションの概要	24
4.4 インダイレクトホストインタフェースの端子割り付け	25
4.5 ビデオインタフェースの端子割り付け	26
4.6 LCDおよびTV-Outインタフェースの端子割り付け	27
4.7 GPIOの端子割り付け	31
<b>5. DC特性</b>	<b>33</b>
5.1 絶対最大定格	33
5.2 推奨動作条件	34
5.3 電氣的特性	35

<b>6. AC特性</b>	<b>37</b>
6.1 出力信号立ち上がり／立ち下がりタイミング	38
6.2 クロックタイミング	39
6.2.1 CLKI入力タイミング (PLL使用)	39
6.2.2 CLKI入力タイミング (PLLバイパス)	41
6.2.3 PLLクロック	42
6.3 電源シーケンス	43
6.3.1 パワーオンシーケンス	43
6.3.2 パワーオフシーケンス	44
6.4 インダイレクトホストインタフェースタイミング	45
6.5 I2Cインタフェースタイミング	49
6.6 ビデオインタフェースタイミング	51
6.6.1 12ビットRGBビデオインタフェースタイミング	51
6.6.2 8ビットYUVビデオインタフェースタイミング	53
6.6.3 ビデオインタフェースクロック出力タイミング	55
6.7 パネルインタフェースタイミング	57
6.7.1 LCD1 RGBインタフェースパネルタイミング	57
6.7.2 LCD1、LCD2 4ワイヤ8ビットシリアルインタフェースタイミング	59
6.7.3 LCD1、LCD2 3ワイヤ9ビットシリアルインタフェースタイミング	61
6.7.4 LCD1 uWireシリアルインタフェースタイミング	63
6.7.5 LCD1、LCD2 24ビットシリアルインタフェースタイミング	64
6.7.6 LCD2パラレルインタフェース (80)	65
6.7.7 LCD2パラレルインタフェース (68)	67
6.7.8 LCDインタフェース出力タイミング	69
6.8 TVタイミング	71
6.8.1 TV-Out HSYNCおよびFIELD型インタフェースタイミング	71
6.8.2 TV-Out ITU-R BT656インタフェースタイミング	73
6.8.3 TV-Outパラレルインタフェースタイミング	75
<b>7. メモリ</b>	<b>78</b>
7.1 物理メモリ	78
7.2 メモリマップ例	78
7.3 メモリフォーマット	79
<b>8. クロック</b>	<b>81</b>
8.1 クロック図	81
8.2 クロックの説明	82
8.2.1 システムクロック	82
8.2.2 ピクセルクロック	82
8.2.3 TV-Outクロック	82
8.2.4 シリアルクロック	82
8.2.5 ビデオクロック	82

8.2.6	I2Cクロック	82
8.3	PLL機能ブロック図	83
<b>9.</b>	<b>レジスタ</b>	<b>84</b>
9.1	レジスタマッピング	84
9.2	レジスタセット	85
9.3	レジスタの制限	88
9.4	レジスタの説明	89
9.4.1	システム設定レジスタ	89
9.4.2	クロック設定レジスタ	93
9.4.3	ソフトウェアリセットレジスタ	100
9.4.4	SDRAM制御レジスタ	101
9.4.5	LCDインタフェース設定レジスタ	105
9.4.6	LCD1設定レジスタ	114
9.4.7	LCD2設定レジスタ	121
9.4.8	TV-Outインタフェース設定レジスタ	129
9.4.9	GPIOレジスタ	140
9.4.10	ホストインタフェースレジスタ	149
9.4.11	ビデオ入カインタフェースレジスタ	155
9.4.12	メインメモリ書き込みパスレジスタ	160
9.4.13	サブメモリ書き込みパスレジスタ	171
9.4.14	表示設定レジスタ	177
9.4.15	メインウィンドウ設定レジスタ	197
9.4.16	PIP1ウィンドウ設定レジスタ	208
9.4.17	PIP2ウィンドウ設定レジスタ	224
9.4.18	AME（オートムービーエンハンスメント）レジスタ	244
9.4.19	割込み制御レジスタ	255
9.4.20	I2Cスレーブ設定レジスタ	256
<b>10.</b>	<b>パワーセーブモード</b>	<b>258</b>
10.1	パワーオンシーケンス（PLL使用）	258
10.2	パワーオンシーケンス（PLLバイパス）	259
10.3	パワーオフシーケンス	260
10.4	動作モード	261
10.5	パワーセーブモード機能	263
<b>11.</b>	<b>メモリへの画像データの書き込み</b>	<b>265</b>
11.1	書き込みパスの設定	266
11.1.1	メモリ領域と入力画像の制約	269
11.1.2	必要メモリサイズ	270
11.2	メインメモリ書き込みパス	272
11.2.1	ダブルバッファリング	272
11.2.2	RYC（RGBからYUVへのコンバータ）	272

11.2.3	回転とミラー	273
11.2.4	eIC (ecoイメージコーデック)	278
11.3	サブメモリ書き込みパス	281
11.4	ダブルバッファリング	281
<b>12.</b>	<b>メモリからの画像データの表示</b>	<b>283</b>
12.1	表示パスの設定	284
12.2	メインウィンドウ	288
12.2.1	メインウィンドウの制約	289
12.2.2	メインウィンドウの入力フォーマット	290
12.2.3	ピクセルダブリング	290
12.3	PIPウィンドウ	291
12.3.1	PIPウィンドウの制約	293
12.3.2	PIPウィンドウ入力フォーマット	294
12.3.3	スケーリング	294
12.4	アルファブレンディングと透過	299
12.4.1	メイン、PIP1、PIP2ウィンドウを使ったアルファブレンディングと透過	299
12.4.2	PIP1およびPIP2ウィンドウを使用したアルファブレンドと透過	311
12.5	AME	315
12.6	PIP2パノラマスケーリング	317
12.6.1	部分パノラマモード	317
12.6.2	線形パノラマモード	323
12.6.3	PIP2パノラマスケーリングの制約	328
12.7	画像スクロール	329
<b>13.</b>	<b>レジスタ更新</b>	<b>330</b>
13.1	ホストインタフェース	330
13.2	ビデオ入力インタフェース	332
13.3	LCDインタフェース	334
13.4	TV-Outインタフェース	338
<b>14.</b>	<b>ホストインタフェース</b>	<b>342</b>
14.1	インダイレクトホストインタフェース	342
14.1.1	インダイレクトアクセスポート	342
14.1.2	レジスタアクセス	343
14.1.3	メイン/サブメモリ書き込みパスを使ったメモリ書き込みアクセス	344
14.2	I2Cインタフェース	345
14.2.1	レジスタアクセスの制約	346
14.2.2	I2C例のフローチャート	346
14.2.3	I2Cアクセスの例	348
14.3	レジスタオートインクリメント	350
14.4	ホストインタフェースVSYNC出力 (ティアリング効果)	351
14.5	ホストインタフェースの入力フォーマット	352

14.5.1	RGB 8:8:8フォーマット1	352
14.5.2	RGB 8:8:8フォーマット2	353
14.5.3	RGB 8:8:8フォーマット3	353
14.5.4	RGB 8:8:8フォーマット4	354
14.5.5	RGB 6:6:6フォーマット1	354
14.5.6	RGB 6:6:6フォーマット2	355
14.5.7	RGB 6:6:6フォーマット3	355
14.5.8	RGB 6:6:6フォーマット4	356
14.5.9	RGB 6:6:6フォーマット5	356
14.5.10	RGB6:6:6からRGB8:8:8への変換	357
14.5.11	RGB 5:6:5	357
14.5.12	YUV 4:2:2フォーマット1	358
14.5.13	YUV 4:2:2フォーマット2	358
14.5.14	YUV 4:2:0フォーマット1	359
14.5.15	YUV 4:2:0フォーマット2	359
<b>15.</b>	<b>LCDおよびTVインタフェース</b>	<b>360</b>
15.1	概要	360
15.2	表示モード	362
15.2.1	モード1	362
15.2.2	モード2	364
15.2.3	モード3	366
15.3	LCD1データフォーマット	368
15.4	LCD2パラレルインタフェースのデータフォーマット	369
15.4.1	8ビットパラレル (RGB 3:3:2) データフォーマット	369
15.4.2	8ビットパラレル (RGB 4:4:4) データフォーマット	369
15.4.3	8ビットパラレル (RGB5:6:5) データフォーマット	370
15.4.4	8ビットパラレル (RGB8:8:8) データフォーマット	370
15.4.5	16ビットパラレル (RGB4:4:4) データフォーマット	371
15.4.6	16ビットパラレル (RGB5:6:5) データフォーマット	372
15.4.7	16ビットパラレル (RGB8:8:8) データフォーマット	373
15.4.8	18ビットパラレル (RGB6:6:6) データフォーマット	374
15.4.9	24ビットパラレル (RGB8:8:8) データフォーマット	375
15.5	LCD2シリアルインタフェースのデータフォーマット	376
15.5.1	8ビットシリアル (RGB3:3:2) データフォーマット	376
15.5.2	8ビットシリアル (RGB4:4:4) データフォーマット	376
15.5.3	16ビットシリアル (RGB4:4:4) LSB未使用データフォーマット	377
15.5.4	16ビットシリアル (RGB4:4:4) MSB未使用データフォーマット	378
15.5.5	16ビットシリアル (RGB5:6:5) データフォーマット	379
15.5.6	18ビットシリアル (RGB6:6:6) データフォーマット	380
15.6	LCD2パラレルコマンド/パラメータフォーマット	381

15.6.1	LCD2パラレルコマンド／パラメータフォーマット1	381
15.6.2	LCD2パラレルコマンド／パラメータフォーマット2	382
15.6.3	LCD2パラレルコマンド／パラメータフォーマット3	382
15.7	TV-Out HSYNC & FIELD/ITU-R BT656インタフェースタイプのデータフォーマット	383
15.8	TV-Outパラレルインタフェースタイプデータフォーマット	384
15.8.1	8ビットパラレル (RGB5:6:5) データフォーマット	384
15.8.2	8ビットパラレル (RGB8:8:8) データフォーマット	384
15.9	TV-Outパラレルインタフェースタイプコマンドフォーマット	385
15.10	LUT	386
15.11	擬似カラーモード	387
<b>16.</b>	<b>ビデオ入力インタフェース</b>	<b>388</b>
16.1	ビデオ入力インタフェースデータフォーマット	388
16.1.1	RGB 8:8:8	388
16.1.2	RGB6:6:6フォーマット1	388
16.1.3	RGB6:6:6フォーマット2	389
16.1.4	RGB6:6:6からRGB8:8:8への変換	389
16.1.5	RGB5:6:5フォーマット1	389
16.1.6	RGB 5:6:5フォーマット2	390
16.1.7	YUV4:2:2フォーマット1	390
16.1.8	YUV4:2:2フォーマット2	390
16.1.9	YUV4:2:2フォーマット3	391
16.1.10	YUV4:2:2フォーマット4	391
16.2	ビデオ入力インタフェースのプログラムフロー	391
<b>17.</b>	<b>GPIOインタフェース</b>	<b>392</b>
<b>18.</b>	<b>水晶発振器回路</b>	<b>393</b>
<b>19.</b>	<b>RESET#グリッチ除去</b>	<b>394</b>
<b>20.</b>	<b>アナログ電源の注意事項</b>	<b>395</b>
20.1	アナログ電源レイアウトの対策	395
<b>21.</b>	<b>メカニカルデータ</b>	<b>397</b>
<b>22.</b>	<b>参考資料</b>	<b>398</b>
<b>23.</b>	<b>販売およびテクニカルサポート</b>	<b>399</b>
23.1	ご注文方法	399



---

## 1. はじめに

### 1.1 適用範囲

本書は、LCDコントローラS1D13774のテクニカルマニュアルです。本書には、タイミング図、AC特性、DC特性、レジスタの説明、および電源管理の説明などが記載されています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象としています。

本書は適宜更新されます。開発を開始する前に本書の最新版がないかどうか、Epson Research and Developmentウェブサイト[www.erd.epson.com](http://www.erd.epson.com)でご確認ください。

本書に関するご意見やご要望がございましたら、[documentation@erd.epson.com](mailto:documentation@erd.epson.com)までお寄せください。

### 1.2 概要

S1D13774は低価格・低消費電力のLCD用グラフィックスコントローラです。WVGA対応のエンベデッド製品やモバイル製品に対してマルチLCDをサポートします。外部NTSC/PALエンコーダによるビデオ入力インタフェースとオプションのTV-Outをサポートしており、S1D13774は様々なアプリケーションに対応します。S1D13774は、3層の表示レイヤをサポートするため、ホストプロセッサは複数の画像ソースを柔軟に扱うことができます。

S1D13774の機能には、バイキュービック式スケーラを用いてPIPウインドウの画像データを独立して変更する機能、回転／ミラー機能、アルファブレンディングと透過、各レイヤの画像スクローリング、およびガンマ補正やオプションのディザリングなどのLCD出力操作機能があります。AME (Auto Movie Enhancement) 機能により、特定のPIPウインドウ内の画像データの色度、コントラストおよびガンマを独立に調整することができます。こうした機能により、ホストプロセッサにおける画像データの処理負荷を軽減することができます。

S1D13774は、1280KBのDRAMを内蔵しています。これは、最大3レイヤの画像データを保存するために使用されます。こうした機能により、本品は携帯端末などのWVGA対応のエンベデッド製品のニーズに対応した低価格・低消費電力のシングルチップソリューションを実現します。

## 1. はじめに

---

### 1.3 略語の説明

本書では、以下の略語を使用しています。

記号を併記しない限り、数値は10進数です（bは2進数、hは16進数を表します）。

k=2<sup>10</sup>=1024（メモリ容量の表示に使用）

b=ビット

B=バイト

bpp=ビット／ピクセル

msb=最上位ビット

lsb=最下位ビット

IO=入出力

LUT=ルックアップテーブル

NC=非接続

YYC=YUVからYUVへのコンバータ

YRC=YUVからRGBへのコンバータ

RYC=RGBからYUVへのコンバータ

HDP=水平表示期間

HNDP=水平非表示期間

VDP=垂直表示期間

VNDP=垂直非表示期間

DDS=デジタルダイレクトシンセサイズ

POUT=PLL出力

---

## 2. 特長

### 2.1 表示バッファ

- 内蔵DRAM（1280KB）の用途：
  - メインウインドウフレームバッファ
  - PIP1ウインドウフレームバッファ
  - PIP2ウインドウフレームバッファ
- eco画像コーデック（eIC）対応

### 2.2 レジスタ

- レジスタはメモリマップ型です
- 非同期／同期レジスタ（非同期レジスタはパワーセーブモード時にもアクセス可能です）

### 2.3 ホストインタフェース

- ホストインタフェースのタイプ：
  - 18ビットインダイレクトインタフェース
  - I2Cスレーブ

### 2.4 ビデオ入力インタフェース

- 8ビットYUVインタフェース、12ビットRGBインタフェース

### 2.5 入力データフォーマット

- 次の画像データの入力が可能です。
  - YUV 4:2:2
  - YUV 4:2:0
  - RGB 5:6:5
  - RGB 6:6:6
  - RGB 8:8:8

## 2. 特長

---

### 2.6 LCDインタフェース

- 次の2つのパネルをサポートしています。
  - LCD1 :
    - 18/24ビットRGBインタフェース
  - LCD2 :
    - パラレルインタフェース (MPUインタフェース)
    - シリアルインタフェース

### 2.7 外部NTSC/PALエンコーダインタフェース

- Hsync & Fieldインタフェース (インターレース)
- ITU-R BT656インタフェース (インターレース)
- パラレルインタフェース (MPUインタフェース) (ノンインターレース)

### 2.8 表示機能

- ピクチャーインピクチャー、透過機能、アルファブレンディング
- 画像回転 (90°、180°、270°) とミラーリング
- スクロール支援
- AME (Auto Movie Enhancement)
- 最大3層のレイヤをサポート
  - メインウインドウ :
    - RGB 8:8:8、RGB 6:6:6、RGB 5:6:5
    - 画像ダブリング
  - PIP1ウインドウ :
    - RGB 8:8:8、RGB 6:6:6、RGB 5:6:5、YUV 4:2:2、YUV 4:2:0
    - バイキュービックスケーリング (1/2×～8×)
    - オーバー／ダウンサンプリングスケーリング (1/8×～8×)
    - エッジ強調
  - PIP2ウインドウ :
    - RGB 8:8:8、RGB 6:6:6、RGB 5:6:5、YUV 4:2:2、YUV 4:2:0
    - バイキュービックスケーリング (1/2×～8×)
    - オーバー／ダウンサンプリングスケーリング (1/8×～8×)
    - エッジ強調

### 2.9 その他

- 内部PLLまたはデジタルクロック入力 (CLKI)
- ソフトウェア起動によるパワーセーブモード
- 汎用IO端子
- パッケージ :
  - VFBGA 161ピン : 7×7mm、ボールピッチ0.5mm、厚さ1.0mm

### 3. 機能ブロック図

### 3. 機能ブロック図

#### 3.1 代表的なシステム構成図

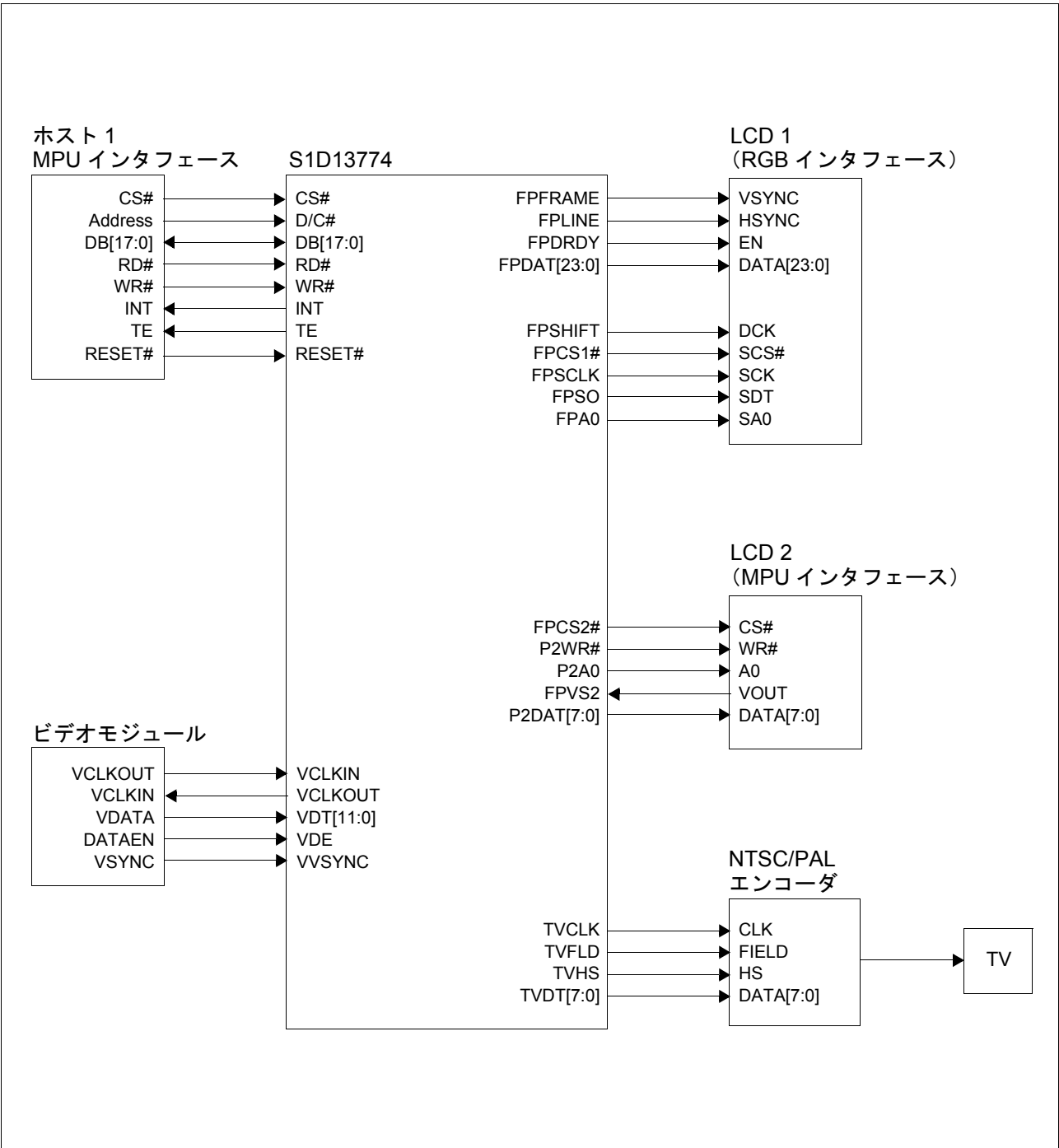


図3.1 システム構成例1

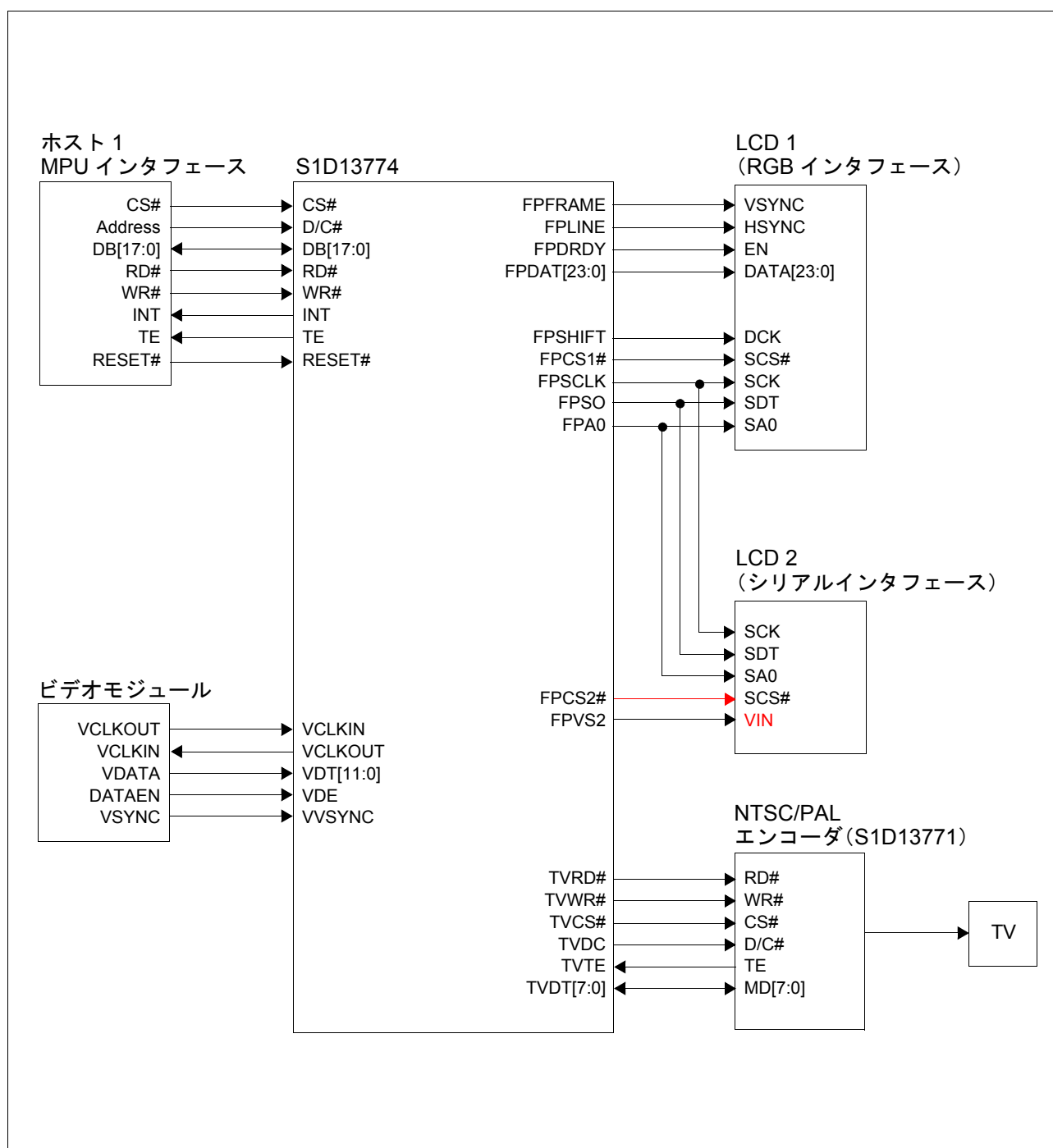


図3.2 システム構成例2

3. 機能ブロック図

3.2 機能ブロック図

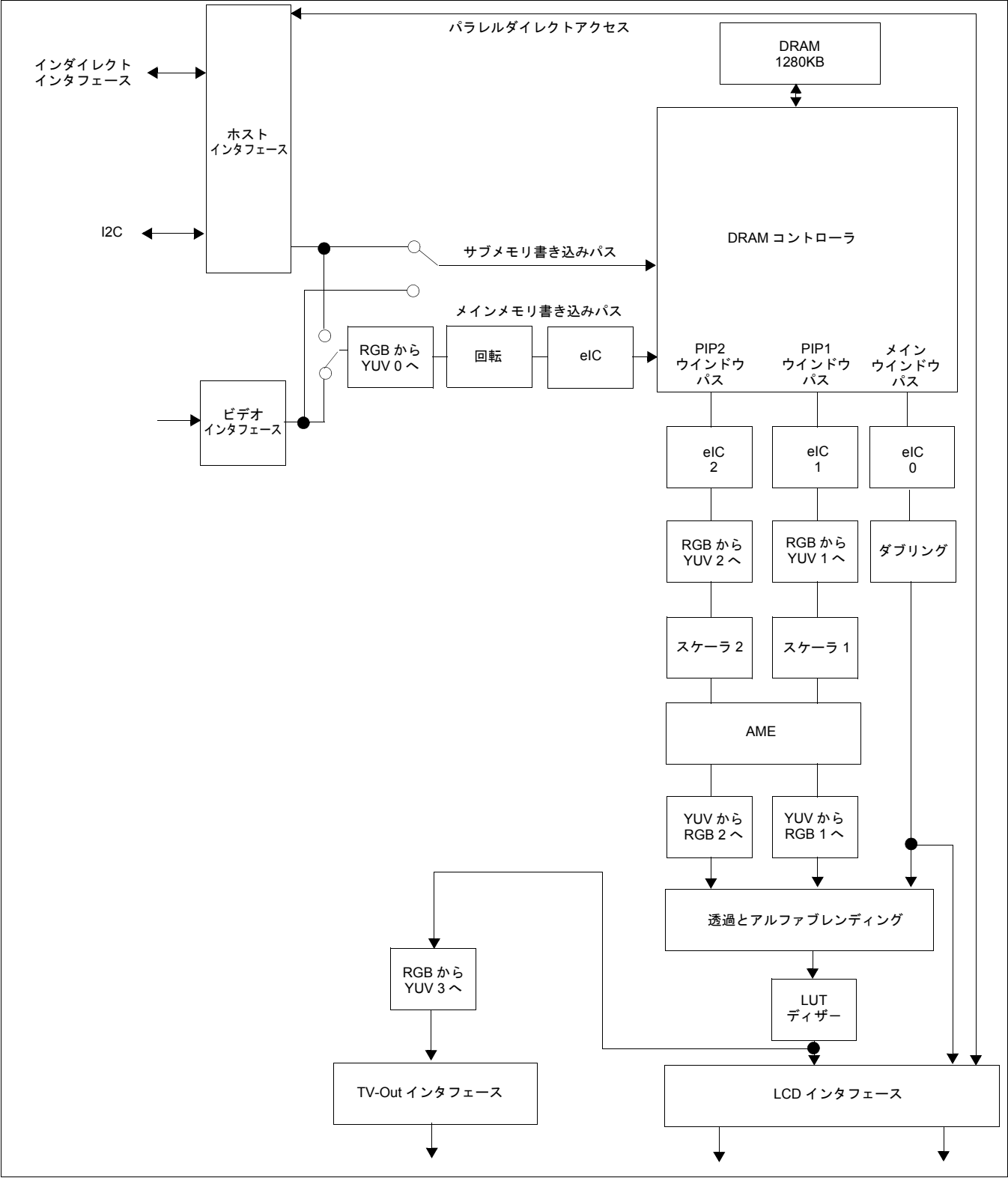


図3.3 S1D13774の機能ブロック図



## 4. 端子構成

## 4.1 端子配置図

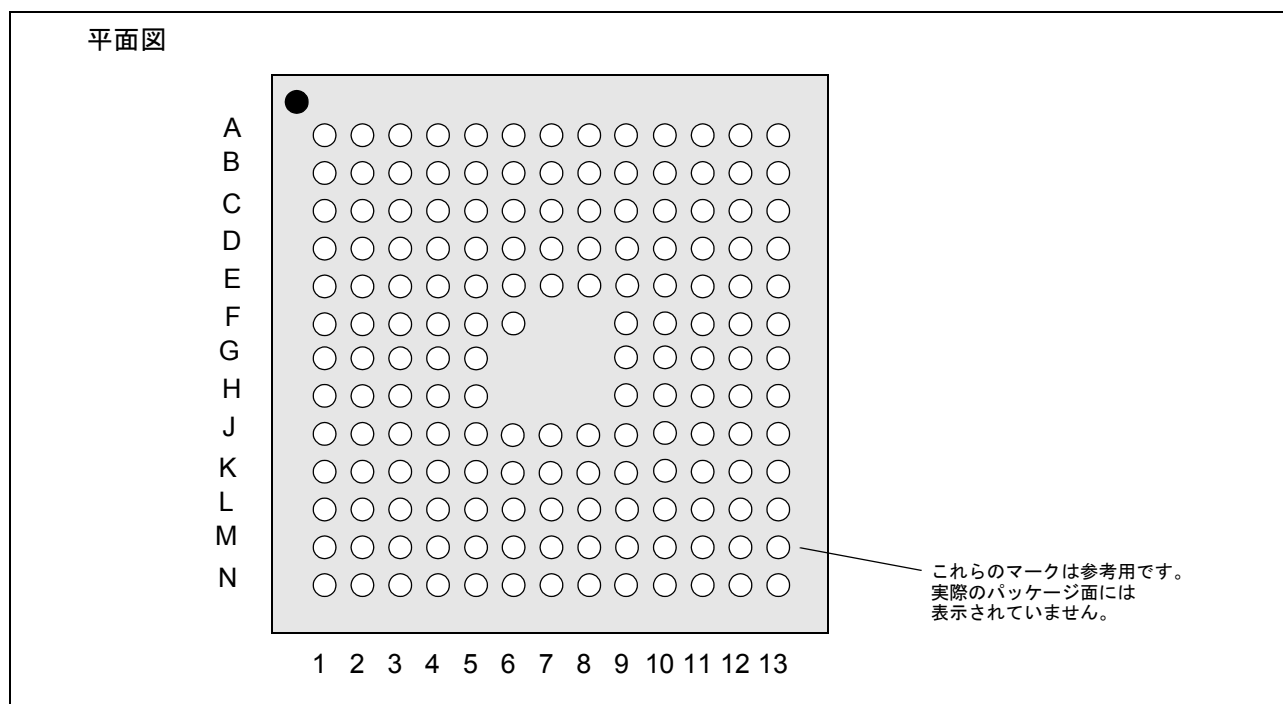


図4.1 S1D13774におけるVFBGA7HX 161ピンの端子配置（平面図）

表4.1 S1D13774におけるVFBGA7HX 161ピンの端子配置（平面図）

	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	NC	GPIOH8	GPIOH2	COREVDD	VDI9	VDI7	SDA	SCL	GPIOH23	CLKI	PLPAV	PLP	NC	A
B	GPIOH9	GPIOH6	GPIOH3	VSS	VDI8	VDI6	GPIOH0	VDI1	TE	VSS	PLLVS	PLLVDD	OSCO	B
C	GPIOH12	GPIOH7	GPIOH4	VDI10	GPIOH22	VDI5	GPIOH1	VDI0	GPIOH20	HIOVDD	VSS	OSCVDD	OSCI	C
D	GPIOH15	GPIOH14	GPIOH5	VDI11	GPIOH21	VDI4	VDI3	VDI2	VSS	I2CEN	COREVDD	CORE18VDD	MTEST3	D
E	VCLKIN	GPIOH17	GPIOH10	GPIOH11	HIOVDD	COREVDD	VSS	HIOVDD	HIOVDD	COREVDD	VSS	MDREF	MTEST2	E
F	GPIOH18	COREVDD	GPIOH16	GPIOH13	VXSD	NC			VSS	FPDAT10	COREVDD	COREVDD	MTEST1	F
G	VCLKOUT	VVSNC	VSS	VDE	VRESET				VSS	PIOVDD	FPDAT11	VSS	MTEST0	G
H	DRAMVDD	DRAMVDD	DRAMVSS	GPIOH19	TESTEN				PIOVDD	FPDAT16	FPDAT8	FPDAT9	PIOVDD	H
J	DRAMVCC	DRAMVCC	DRAMVSS	DRAMVSS	CNF3	CNF1	CNF2	CNF0	SRESET	FPCS2#	FPDAT14	FPDAT17	FPDAT7	J
K	HIOVDD	COREVDD	DRAMVSS	PIOVDD	VSS	GPIOP11	COREVDD	PIOVDD	FPDAT0	FPSO	COREVDD	VSS	FPDAT15	K
L	INT	VSS	COREVDD	GPIOP14	GPIOP8	GPIOP7	FPFRAME	VSS	FPCS1#	GPIOP4	FPA0	FPDAT12	FPDAT13	L
M	RESET#	CRES	GPIOP13	GPIOP9	GPIOP6	VSS	FPLINE	FPDAT1	FPDAT3	FPDAT6	GPIOP3	GPIOP1	FPSCK	M
N	NC	RRES	GPIOP12	GPIOP10	GPIOP5	FPSHIFT	FPDRDY	FPDAT2	FPDAT4	FPDAT5	GPIOP2	GPIOP0	NC	N
	1	2	3	4	5	6	7	8	9	10	11	12	13	

## 4. 端子構成

### 4.2 端子説明

略語の意味：

#### 端子タイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子
AP	=	アナログ電源端子
G	=	グラウンド
AG	=	アナロググラウンド

#### RESET#／パワーセーブ状態

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）

表4.2 セルの説明

名称	説明
LI	LVC MOS入力バッファ
LIS	LVC MOSシュミット入力バッファ
LIU	LVC MOS入力バッファ（プルアップ抵抗付き）
LID	LVC MOS入力バッファ（プルダウン抵抗付き）
LIDS	LVC MOSシュミット入力バッファ（プルダウン抵抗付き）
LO	LVC MOS出力バッファ
LO_DSEL	LVC MOS出力バッファ（ドライブセクタ付き） REG[0018h]を使って駆動機能を制御可能。
LB_DSEL	LVC MOS双方向バッファ（ドライブセクタ付き） REG[0018h]を使って駆動機能を制御可能。
LBU_DSEL	LVC MOS双方向バッファ（ドライブセクタとプルアップ抵抗付き） REG[0018h]を使って駆動機能を制御可能。
LBD_DSEL	LVC MOS双方向バッファ（ドライブセクタとプルダウン抵抗付き） REG[0018h]を使って駆動機能を制御可能。
ABBMD	アナログ双方向バッファ
AIBMD	アナログ入力バッファ
AOBMD	アナログ出力バッファ
AIBP	PLL用のアナログ入力バッファ
AOBP	PLL用のアナログ出力バッファ
OIB	発振器入力バッファ
OOB	発振器出力バッファ

LVC MOSは低電圧CMOSです（33ページの5.「DC特性」を参照）。

## 4.2.1 ホストインタフェース

表4.3 ホストインタフェースの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
INT	O	L1	LO_DSEL	HIOVDD	L	割り込み出力です。 この出力端子は内部割り込みが発生するとHighに変わります。 ホストCPUが内部割り込みをクリアするとLowに戻ります。
RESET#	I	M1	LIS	HIOVDD	入力	このアクティブLow入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。最小Lowパルス幅は200nsです。
CRES	I	M2	LIS	HIOVDD	入力	この入力端子は、RESET#端子のノイズ除去に使用されます。 コンデンサを介してVSSに接続してください。詳しくは、394ページの19.「RESET#グリッチ除去」をご覧ください。使用しないときは、CRESをVSSに接続してください。
RRES	O	N2	LO	HIOVDD	RESET#	この出力端子は、RESET#端子のノイズ除去に使用されます。 抵抗器を介してCRES端子に接続してください。詳しくは、394ページの19.「RESET#グリッチ除去」をご覧ください。使用しないときは、RRESを未接続のままにしてください。
TE	O	B9	LO_DSEL	HIOVDD	L	この出力端子は、ホストインタフェースのFPFRAME (VSYNC) 信号を反映するティアリング効果端子です。この端子は、画像のティアリングを防ぐために、ホストから新しいデータの書き込みが安全であることを示すために使用することができます。 この端子の構成の詳細な情報は、REG[0400h] ビット15とREG[0404h]レジスタの説明をご覧ください。TEの使い方の詳しい情報は、351ページの14.4「ホストインタフェースVSYNC出力（ティアリング効果）」をご覧ください。
SCL	IO	A8	LB_DSEL	HIOVDD	入力	この入出力端子はI2Cバスシリアルクロックです。I2Cインタフェースを使用しないときは、この端子はVSSに接続してください。
SDA	IO	A7	LB_DSEL	HIOVDD	入力	この端子はI2Cバスデータ入出力です。I2Cインタフェースを使用しないときは、この端子はVSSに接続してください。
I2CEN	I	D10	LID	HIOVDD	プル ダウン 付き入力	この入力端子はI2C CLKイネーブルです。チップの初期設定でI2Cモジュールをイネーブルするために使用することができます。 この端子がHighのとき、CNF1（OSCまたはCLKI）で指定したクロックがI2Cモジュールに送られます。この端子は、I2Cのクイックイネーブルビット（REG[0030h]ビット0）と論理和演算され、それにより、ハードウェア（I2CEN端子）かソフトウェア（REG[0030h]ビット0）のいずれかを使ってI2Cモジュールをイネーブルすることができます。  初期化後にI2Cインタフェースをイネーブルした場合は、I2Cイネーブルビット（REG[0B04h]ビット0）を使用してください。 ソースクロックがSYSCLKから出力されます。I2Cクロックの詳細は、81ページの8.「クロック」をご覧ください。

## 4. 端子構成

### 4.2.2 ビデオ入力インタフェース

表4.4 ビデオ入力インタフェースの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
VDT[11:0]	IO	D4、C4、A5、 B5、A6、B6、 C6、D6、D7、 D8、B8、C8	LBD_DSEL	HIOVDD	プル ダウン 付き入力	これらの入出力端子はビデオ入力データ端子11～0です。
VVSYNC	I	G2	LIU	HIOVDD	プル アップ 付き入力	この入力端子はビデオVsyncです。
VDE	I	G4	LID	HIOVDD	プル ダウン 付き入力	この入力端子はビデオデータイネーブルです。
VCLKIN	I	E1	LIDS	HIOVDD	プル ダウン 付き入力	この入力端子はビデオクロック入力です。
VCLKOUT	O	G1	LBD_DSEL (注)	HIOVDD	L	この出力端子はビデオクロック出力です。

**注**

双方向入出力は製造テスト専用です。

## 4.2.3 LCDインタフェース

表4.5 LCDインタフェースの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
FPDAT[17:0]	O	J12、H10、 K13、J11、 L13、L12、 G11、F10、 H12、H11、 J13、M10、 N10、N9、 M9、N8、M8、 K9	LB_DSEL (注)	PIOVDD	L	これらの出力端子はLCDインタフェースデータ端子17～0です。 これらの端子には、LCDインタフェースとTV-Outインタフェースの構成に応じて複数の機能があります。詳しくは、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。
FPFRAME	O	L7	LB_DSEL (注)	PIOVDD	L	この出力端子には、LCDインタフェースとTV-Outインタフェースの構成により複数の機能があります。詳しくは、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。
FPLINE	O	M7	LB_DSEL (注)	PIOVDD	L	この出力端子には、LCDインタフェースとTV-Outインタフェースの構成により複数の機能があります。詳しくは、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。
FPSHIFT	O	N6	LB_DSEL (注)	PIOVDD	L	この出力端子には、LCDインタフェースとTV-Outインタフェースの構成により複数の機能があります。詳しくは、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。
FPDRDY	O	N7	LB_DSEL (注)	PIOVDD	L	この出力端子には、LCDインタフェースとTV-Outインタフェースの構成により複数の機能があります。詳しくは、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。
FPCS1#	O	L9	LB_DSEL (注)	PIOVDD	H	この出力端子は、LCD1シリアルインタフェース用のチップ選択です。
FPCS2#	O	J10	LB_DSEL (注)	PIOVDD	H	この出力端子は、LCD2シリアル／パラレルインタフェース用のチップ選択です。  パネルモード3-2と3-3では、この端子の代わりにGPIOH23が使用されます。
FPCK	O	M13	LB_DSEL (注)	PIOVDD	H	この出力端子は、LCD1/LCD2シリアルインタフェース用のクロックです。
FPA0	O	L11	LB_DSEL (注)	PIOVDD	L	この出力端子は、LCD1/LCD2シリアルインタフェース用のコマンド／パラメータ選択です。
FPSO	O	K10	LB_DSEL (注)	PIOVDD	L	この端子は、LCD1/LCD2シリアルインタフェース用のデータ出力です。

## 注

双方向入出力は製造テスト専用です。

## 4. 端子構成

### 4.2.4 GPIO

GPIO端子の機能は、LCDおよびTV-Outインタフェースの構成によって制御されます。GPIO機能の概要は、31ページの4.7「GPIOの端子割り付け」をご覧ください。

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOP0	IO	N12	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT18)</li><li>• LCD2データ出力端子 (P2DAT0)</li><li>• TV-Outデータ出力端子 (TVDT0)</li></ul>
GPIOP1	IO	M12	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT19)</li><li>• LCD2データ出力端子 (P2DAT1)</li><li>• TV-Outデータ出力端子 (TVDT1)</li></ul>
GPIOP2	IO	N11	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT20)</li><li>• LCD2データ出力端子 (P2DAT2)</li><li>• TV-Outデータ出力端子 (TVDT2)</li></ul>
GPIOP3	IO	M11	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT21)</li><li>• LCD2データ出力端子 (P2DAT3)</li><li>• TV-Outデータ出力端子 (TVDT3)</li></ul>
GPIOP4	IO	L10	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT22)</li><li>• LCD2データ出力端子 (P2DAT4)</li><li>• TV-Outデータ出力端子 (TVDT4)</li></ul>
GPIOP5	IO	N5	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD1データ出力端子 (FPDAT23)</li><li>• LCD2データ出力端子 (P2DAT5)</li><li>• TV-Outデータ出力端子 (TVDT5)</li></ul>
GPIOP6	IO	M5	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD2データ出力端子 (P2DAT6)</li><li>• TV-Outデータ出力端子 (TVDT6)</li></ul>
GPIOP7	IO	L6	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"><li>• GPIO入出力端子</li><li>• LCD2データ出力端子 (P2DAT7)</li><li>• TV-Outデータ出力端子 (TVDT7)</li></ul>

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOP8	IO	L5	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>LCD2 A0出力端子 (P2A0)</li> <li>TV-Out Hsync出力端子 (TVHS)</li> <li>TV-Out A0出力端子 (TVDC)</li> </ul>
GPIOP9	IO	M4	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>LCD2書き込みイネーブル出力端子 (P2WR#)</li> <li>TV-Outフィールド出力端子 (TVFLD)</li> <li>TV-Out書き込みイネーブル出力端子 (TVWR#)</li> </ul>
GPIOP10	IO	N4	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Out CLK出力端子 (TVCLK)</li> <li>TV-Out読み出しイネーブル出力端子 (TVRD#)</li> </ul>
GPIOP11	IO	K6	LBU_DSEL	PIOVDD	プル アップ 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Outチップ選択入力端子 (TVCS#)</li> </ul>
GPIOP12	IO	N3	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Out TE入力端子 (TVTE)</li> </ul>
GPIOP13	IO	M3	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> </ul>
GPIOP14	IO	L4	LBD_DSEL	PIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>LCD2用VIN/VOUT (FPVS2)</li> </ul>
GPIOH0	IO	B7	LBD_DSEL	HIOVDD	プル ダウン 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Out TE入力端子 (TVTE)</li> </ul>
GPIOH1	IO	C7	LBU_DSEL	HIOVDD	プル アップ 付き入力	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Outチップ選択入力端子 (TVCS#)</li> </ul>
GPIOH2	IO	A3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき <ul style="list-style-type: none"> <li>GPIO入出力端子</li> <li>TV-Outデータ出力端子 (TVDT0)</li> </ul> CNF0=Hのとき <ul style="list-style-type: none"> <li>インダイレクトホストインタフェース用のデータ端子 (DB0)</li> </ul>

## 4. 端子構成

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOH3	IO	B3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT1)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB1)
GPIOH4	IO	C3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT2)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB2)
GPIOH5	IO	D3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT3)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB3)
GPIOH6	IO	B2	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT4)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB4)
GPIOH7	IO	C2	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT5)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB5)



表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOH8	IO	A2	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT6)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB6)
GPIOH9	IO	B1	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVDT7)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB7)
GPIOH10	IO	E3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outデータ出力端子 (TVHS) ・ TV-Out A0出力端子 (TVDC)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB8)
GPIOH11	IO	E4	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Outフィールド出力端子 (TVFLD) ・ TV-Out書き込み出力端子 (TVWR#)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB9)
GPIOH12	IO	C1	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ TV-Out CLK出力端子 (TVCLK) ・ TV-Out読み出し出力端子 (TVRD#)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB10)

## 4. 端子構成

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOH13	IO	F4	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT0)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB11)
GPIOH14	IO	D2	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT1)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB12)
GPIOH15	IO	D1	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT2)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB13)
GPIOH16	IO	F3	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT3)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB14)
GPIOH17	IO	E2	LBD_DSEL	HIOVDD	CNF0=L のとき プル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT4)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB15)

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOH18	IO	F1	LBD_DSEL	HIOVDD	CNF0=L のとき ブル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT5)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB16)
GPIOH19	IO	H4	LBD_DSEL	HIOVDD	CNF0=L のとき ブル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT6)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ端子 (DB17)
GPIOH20	IO	C9	LBD_DSEL	HIOVDD	CNF0=L のとき ブル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2データ出力端子 (P2DAT7)  CNF0=Hのとき ・ インダイレクトホストインタフェース用のデータ／コマンド選択入力端子 (D/C#)
GPIOH21	IO	D5	LBD_DSEL	HIOVDD	CNF0=L のとき ブル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2 A0出力端子 (P2A0)  CNF0=Hのとき ・ インダイレクトホストインタフェース用の読み出しイネーブル入力端子 (RD#)
GPIOH22	IO	C5	LBD_DSEL	HIOVDD	CNF0=L のとき ブル ダウン 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2書き込みイネーブル出力端子 (P2WR#)  CNF0=Hのとき ・ インダイレクトホストインタフェース用の書き込みイネーブル入力端子 (WR#)

4. 端子構成

表4.6 GPIOの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
GPIOH23	IO	A9	LBU_DSEL	HIOVDD	CNF0=L のとき ブル アップ 付き入力  CNF0=H のとき 入力	この端子には複数の機能があります。 CNF0=Lのとき ・ GPIO入出力端子 ・ LCD2チップ選択出力端子（P2CS#）  CNF0=Hのとき ・ インダイレクトホストインタフェース用のチップ選択入 力端子（CS#）

## 4.2.5 クロック

表4.7 クロックの端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
CLKI	I	A10	LIS	HIOVDD	入力	この入力クロックには複数の機能があります。 <ul style="list-style-type: none"> <li>内部PLLを使用するとき、この端子は内部PLLに対する入力基準クロックになります。</li> <li>PLL をバイパスするとき、この端子はシステムクロック (SYSCLK) に対するデジタルクロック入力になります。</li> </ul>
OSCO	O	B13	OOB	OSCVDD	OSCI=H のとき OSCOは Low出力 です。 OSCI=L のとき OSCOは High出力 です。	この端子は、OSCIと共に2端子水晶インタフェースです。 内部発振器を使用しないとき、この端子は未接続のままにしてください。
OSCI	I	C13	OIB	OSCVDD	入力	この端子は、OSCOと共に2端子水晶インタフェースです。 内部発振器を使用しないとき、この端子をOSCVDDに接続してください。

## 4. 端子構成

### 4.2.6 その他

表4.8 その他の端子説明

端子名	タイプ	161ピンの 端子番号	セル	電源	RESET# 状態	説明
CNF[3:0]	I	J5、J7、J6、 J8	LI	HIOVDD	入力	これらの入力端子は、S1D13774を設定するために使用されます。HIOVDDまたはVSSに接続してください。これらの端子の状態はRESET#でラッチされます。コンフィギュレーションオプションの概要は、24ページの4.3「コンフィギュレーションオプションの概要」をご覧ください。
MDREF	O	E12	AOBMD	CORE18VDD	L	この端子は製造テスト端子です。通常動作では未接続にしてください。
PLP	O	A12	AOBP	PLLVD	H	この端子は、PLLチャージポンプ回路用の出力ノードです。ローパスフィルタに接続してください。
PLPAV	I	A11	AIBP	PLLVD	H	この入力端子は、ローパスフィルタ用のアナログ電源です。ローパスフィルタに以下のように接続してください。 
TESTEN	I	H5	LID	HIOVDD	ブル ダウ ン付 き入 力	この端子は、試験イネーブル入力で、製造テストにのみ使用されます。この端子は、通常動作では接続しないでください。
SRESET	O	J9	LO	PIOVDD	H	この端子は製造テスト端子です。通常動作では接続しないでください。
VRESET	O	G5	LB_DSEL (注)	HIOVDD	L	この端子は製造テスト端子です。通常動作では接続しないでください。
VXSD	O	F5	LB_DSEL (注)	HIOVDD	L	この端子は製造テスト端子です。通常動作では接続しないでください。
MTEST3	I	D13	AIBMD	CORE18VDD	入力	この端子は製造テスト端子です。VSSに接続してください。
MTEST2	I	E13	AIBMD	CORE18VDD	入力	この端子は製造テスト端子です。VSSに接続してください。
MTEST1	IO	F13	ABBMD	CORE18VDD	入力	この端子は製造テスト端子です。VSSに接続してください。
MTEST0	IO	G13	ABBMD	CORE18VDD	入力	この端子は製造テスト端子です。VSSに接続してください。

#### 注

双方向入出力は製造テスト専用です。

## 4.2.7 電源端子とグラウンド端子

表4.9 電源端子とグラウンド端子の説明

端子名	タイプ	161ピンの端子番号	セル	説明
COREVDD	P	A4、D11、E6、 E10、F2、F11、F12、 K2、K7、K11、L3	P	コア電源（1.5V）
HIOVDD	P	C10、E5、E8、E9、 K1	P	ホストインタフェース用のIO電源
PIOVDD	P	G10、H9、H13、K4、 K8	P	LCDインタフェース用のIO電源
VSS	G	B4、B10、C11、D9、 E7、E11、F9、G3、 G9、G12、K5、K12、 L2、L8、M6	P	GND
DRAMVDD	P	H1、H2	P	1.5V DRAMコア電源
DRAMVCC	P	J1、J2	P	2.5V DRAMインタフェース電源
DRAMVSS	G	H3、J3、J4、K3	P	DRAM用GND
CORE18VDD	AP	D12	P	コア電源（1.8V）
PLLVD	AP	B12	P	PLL電源
PLLVS	AG	B11	P	PLL用GND
OSCVDD	P	C12	P	発振器用のIO電源（2.5V）

## 4. 端子構成

### 4.3 コンフィギュレーションオプションの概要

これらの端子は、S1D13774のコンフィギュレーションに使用されます。HIOVDDまたはVSSのいずれかに接続してください。これらの端子の状態は、RESET#でラッチされます。CNF[3:0]の状態を変更したときは、RESET#をアサートした後でなければ変更が有効になりません。

表4.10 パワーオンコンフィギュレーションの概要

CNF[3:0]入力	パワーオン/リセット状態	
	1 (VDDに接続)	0 (VSSに接続)
CNF3	Reserved	通常動作ではVSSに接続してください。
CNF2	Reserved	通常動作ではVSSに接続してください。
CNF1	I2CEN=HighのときにI2Cクロックとして使用される2端子水晶 (OSCIおよびOSCO端子)	I2CEN=HighのときにI2Cクロックとして使用される発振器 (CLKI端子)
CNF0	通常動作ではVDDに接続してください。	Reserved



## 4.4 インダイレクトホストインタフェースの端子割り付け

表4.11 インダイレクトホストインタフェースの端子割り付け

端子名	インダイレクトホストインタフェース	説明
GPIOH2	DB0（入出力）	データ0
GPIOH3	DB1（入出力）	データ1
GPIOH4	DB2（入出力）	データ2
GPIOH5	DB3（入出力）	データ3
GPIOH6	DB4（入出力）	データ4
GPIOH7	DB5（入出力）	データ5
GPIOH8	DB6（入出力）	データ6
GPIOH9	DB7（入出力）	データ7
GPIOH10	DB8（入出力）	データ8
GPIOH11	DB9（入出力）	データ9
GPIOH12	DB10（入出力）	データ10
GPIOH13	DB11（入出力）	データ11
GPIOH14	DB12（入出力）	データ12
GPIOH15	DB13（入出力）	データ13
GPIOH16	DB14（入出力）	データ14
GPIOH17	DB15（入出力）	データ15
GPIOH18	DB16（入出力）	データ16（注）
GPIOH19	DB17（入出力）	データ17（注）
GPIOH20	D/C#（入力）	データ／コマンド選択 (H：データ L：コマンド)
GPIOH21	RD#（入力）	読み出しイネーブル
GPIOH22	WR#（入力）	書き込みイネーブル
GPIOH23	CS#（入力）	チップ選択

**注**

メモリへの書き込みが、RGB 6:6:6フォーマット5(REG[0400h]ビット6～4=100)を使って行われるときは、DB[17:16]が使用されます。

## 4. 端子構成

---

### 4.5 ビデオインタフェースの端子割り付け

表4.12 ビデオインタフェースの端子割り付け

端子名	8ビットYUV 4:2:2 インタフェース	12ビットRGB インタフェース
VDT0	VDT0 (入力)	VDT0 (入力)
VDT1	VDT1 (入力)	VDT1 (入力)
VDT2	VDT2 (入力)	VDT2 (入力)
VDT3	VDT3 (入力)	VDT3 (入力)
VDT4	VDT4 (入力)	VDT4 (入力)
VDT5	VDT5 (入力)	VDT5 (入力)
VDT6	VDT6 (入力)	VDT6 (入力)
VDT7	VDT7 (入力)	VDT7 (入力)
VDT8	—	VDT8 (入力)
VDT9	—	VDT9 (入力)
VDT10	—	VDT10 (入力)
VDT11	—	VDT11 (入力)
VVSYNC	VVSYNC (入力)	VVSYNC (入力)
VDE	VDE (入力)	VDE (入力)
VCLKIN	VCLKIN (入力)	VCLKIN (入力)
VCLKOUT	VCLKOUT (出力)	VCLKOUT (出力)

## 4.6 LCDおよびTV-Outインタフェースの端子割り付け

REG[0104h]ビット1~0=00のとき

表4.13 LCDおよびTV-Outインタフェースの端子割り付けモード1

端子名	モード1-1					モード1-2				
	LCD1 RGB I/F	LCD2シリアル I/F	TV-Out I/F			LCD1 RGB I/F	LCD2シリアル I/F	TV-Out I/F		
			HS&FD I/F	BT656 I/F	MPU I/F			HS&FD I/F	BT656 I/F	MPU I/F
FPCS1#	SCS1	—	—	—	—	SCS1	—	—	—	—
FPCS2#	—	SCS2	—	—	—	—	SCS2	—	—	—
FPSCCLK	SCK	SCK	—	—	—	SCK	SCK	—	—	—
FPSA0	SA0	SA0	—	—	—	SA0	SA0	—	—	—
FPSO	SDO	SDO	—	—	—	SD0	SDO	—	—	—
FPFRAME	VSYN	—	—	—	—	VSYN	—	—	—	—
FPLINE	HSYN	—	—	—	—	HSYN	—	—	—	—
FPSHIFT	DCK	—	—	—	—	DCK	—	—	—	—
FPDRDY	ENAB	—	—	—	—	ENAB	—	—	—	—
FPDAT0	R7	—	—	—	—	R7	—	—	—	—
FPDAT1	R6	—	—	—	—	R6	—	—	—	—
FPDAT2	R5	—	—	—	—	R5	—	—	—	—
FPDAT3	G7	—	—	—	—	G7	—	—	—	—
FPDAT4	G6	—	—	—	—	G6	—	—	—	—
FPDAT5	G5	—	—	—	—	G5	—	—	—	—
FPDAT6	B7	—	—	—	—	B7	—	—	—	—
FPDAT7	B6	—	—	—	—	B6	—	—	—	—
FPDAT8	B5	—	—	—	—	B5	—	—	—	—
FPDAT9	R4	—	—	—	—	R4	—	—	—	—
FPDAT10	R3	—	—	—	—	R3	—	—	—	—
FPDAT11	R2	—	—	—	—	R2	—	—	—	—
FPDAT12	G4	—	—	—	—	G4	—	—	—	—
FPDAT13	G3	—	—	—	—	G3	—	—	—	—
FPDAT14	G2	—	—	—	—	G2	—	—	—	—
FPDAT15	B4	—	—	—	—	B4	—	—	—	—
FPDAT16	B3	—	—	—	—	B3	—	—	—	—
FPDAT17	B2	—	—	—	—	B2	—	—	—	—
FPDAT18 (GPIOP0)	—	—	TVDT0	TVDT0	TVDT0	R1	—	—	—	—
FPDAT19 (GPIOP1)	—	—	TVDT1	TVDT1	TVDT1	R0	—	—	—	—
FPDAT20 (GPIOP2)	—	—	TVDT2	TVDT2	TVDT2	G1	—	—	—	—
FPDAT21 (GPIOP3)	—	—	TVDT3	TVDT3	TVDT3	G0	—	—	—	—
FPDAT22 (GPIOP4)	—	—	TVDT4	TVDT4	TVDT4	B1	—	—	—	—
FPDAT23 (GPIOP5)	—	—	TVDT5	TVDT5	TVDT5	B0	—	—	—	—
GPIOP6	—	—	TVDT6	TVDT6	TVDT6	—	—	—	—	—
GPIOP7	—	—	TVDT7	TVDT7	TVDT7	—	—	—	—	—
GPIOP8	—	—	TVHS	—	TVDC	—	—	—	—	—
GPIOP9	—	—	TVFLD	—	TVWR#	—	—	—	—	—
GPIOP10	—	—	TVCLK	TVCLK	TVRD#	—	—	—	—	—
GPIOP11	—	—	—	—	TVCS#	—	—	—	—	—
GPIOP12	—	—	—	—	TVTE	—	—	—	—	—
GPIOP13	—	—	—	—	—	—	—	—	—	—
GPIOP14	—	FPVS2 (in)	—	—	—	—	FPVS2 (in)	—	—	—
GPIOH0	—	—	—	—	—	—	—	—	—	TVTE
GPIOH1	—	—	—	—	—	—	—	—	—	TVCS#
GPIOH2	—	—	—	—	—	—	TVDT0	TVDT0	TVDT0	TVDT0
GPIOH3	—	—	—	—	—	—	TVDT1	TVDT1	TVDT1	TVDT1
GPIOH4	—	—	—	—	—	—	TVDT2	TVDT2	TVDT2	TVDT2
GPIOH5	—	—	—	—	—	—	TVDT3	TVDT3	TVDT3	TVDT3
GPIOH6	—	—	—	—	—	—	TVDT4	TVDT4	TVDT4	TVDT4
GPIOH7	—	—	—	—	—	—	TVDT5	TVDT5	TVDT5	TVDT5
GPIOH8	—	—	—	—	—	—	TVDT6	TVDT6	TVDT6	TVDT6
GPIOH9	—	—	—	—	—	—	TVDT7	TVDT7	TVDT7	TVDT7
GPIOH10	—	—	—	—	—	—	TVHS	—	—	TVDC
GPIOH11	—	—	—	—	—	—	TVFLD	—	—	TVWR#
GPIOH12	—	—	—	—	—	—	TVCLK	TVCLK	TVRD#	TVRD#
GPIOH13-23	—	—	—	—	—	—	—	—	—	—

## 注

モード1-2では、インダイレクトホストインタフェースを使用するときはTV-Outを使用できません。

## 4. 端子構成

REG[0104h]ビット1~0=01のとき

表4.14 LCDおよびTV-Outインタフェースの端子割り付けモード2

端子名	モード2-1					モード2-2				
	LCD1 RGB I/F	LCD2/パラレル I/F	TV-Out I/F			LCD1 RGB I/F	LCD2/パラレル I/F	TV-Out I/F		
			HS&FD I/F	BT656 I/F	MPU I/F			HS&FD I/F	BT656 I/F	MPU I/F
FPCS1#	SCS1	—	—	—	—	SCS1	—	—	—	—
FPCS2#	—	P2CS#	—	—	—	—	P2CS#	—	—	—
FPCLK	SCK	—	—	—	—	SCK	—	—	—	—
FPSA0	SA0	—	—	—	—	SA0	—	—	—	—
FPSO	SDO	—	—	—	—	SDO	—	—	—	—
FPFRAME	VSYNC	P2WR#	—	—	—	VSYNC	P2WR#	—	—	—
FPLINE	HSYNC	P2A0	—	—	—	HSYNC	P2A0	—	—	—
FPSHIFT	DCK	—	—	—	—	DCK	—	—	—	—
FPDRDY	ENAB	—	—	—	—	ENAB	—	—	—	—
FPDAT0	R7	P2DAT0	—	—	—	R7	P2DAT0	—	—	—
FPDAT1	R6	P2DAT1	—	—	—	R6	P2DAT1	—	—	—
FPDAT2	R5	P2DAT2	—	—	—	R5	P2DAT2	—	—	—
FPDAT3	G7	P2DAT3	—	—	—	G7	P2DAT3	—	—	—
FPDAT4	G6	P2DAT4	—	—	—	G6	P2DAT4	—	—	—
FPDAT5	G5	P2DAT5	—	—	—	G5	P2DAT5	—	—	—
FPDAT6	B7	P2DAT6	—	—	—	B7	P2DAT6	—	—	—
FPDAT7	B6	P2DAT7	—	—	—	B6	P2DAT7	—	—	—
FPDAT8	B5	P2DAT8	—	—	—	B5	P2DAT8	—	—	—
FPDAT9	R4	P2DAT9	—	—	—	R4	P2DAT9	—	—	—
FPDAT10	R3	P2DAT10	—	—	—	R3	P2DAT10	—	—	—
FPDAT11	R2	P2DAT11	—	—	—	R2	P2DAT11	—	—	—
FPDAT12	G4	P2DAT12	—	—	—	G4	P2DAT12	—	—	—
FPDAT13	G3	P2DAT13	—	—	—	G3	P2DAT13	—	—	—
FPDAT14	G2	P2DAT14	—	—	—	G2	P2DAT14	—	—	—
FPDAT15	B4	P2DAT15	—	—	—	B4	P2DAT15	—	—	—
FPDAT16	B3	P2DAT16	—	—	—	B3	P2DAT16	—	—	—
FPDAT17	B2	P2DAT17	—	—	—	B2	P2DAT17	—	—	—
FPDAT18 (GPIOP0)	—	—	TVDT0	TVDT0	TVDT0	R1	P2DAT18	—	—	—
FPDAT19 (GPIOP1)	—	—	TVDT1	TVDT1	TVDT1	R0	P2DAT19	—	—	—
FPDAT20 (GPIOP2)	—	—	TVDT2	TVDT2	TVDT2	G1	P2DAT20	—	—	—
FPDAT21 (GPIOP3)	—	—	TVDT3	TVDT3	TVDT3	G0	P2DAT21	—	—	—
FPDAT22 (GPIOP4)	—	—	TVDT4	TVDT4	TVDT4	B1	P2DAT22	—	—	—
FPDAT23 (GPIOP5)	—	—	TVDT5	TVDT5	TVDT5	B0	P2DAT23	—	—	—
GPIOP6	—	—	TVDT6	TVDT6	TVDT6	—	—	—	—	—
GPIOP7	—	—	TVDT7	TVDT7	TVDT7	—	—	—	—	—
GPIOP8	—	—	TVHS	—	TVDC	—	—	—	—	—
GPIOP9	—	—	TVFLD	—	TVWR#	—	—	—	—	—
GPIOP10	—	—	TVCLK	TVCLK	TVRD#	—	—	—	—	—
GPIOP11	—	—	—	—	TVCS#	—	—	—	—	—
GPIOP12	—	—	—	—	TVTE	—	—	—	—	—
GPIOP13	—	—	—	—	—	—	—	—	—	—
GPIOP14	—	FPVS2 (IO)	—	—	—	—	FPVS2 (IO)	—	—	—
GPIOH0	—	—	—	—	—	—	—	—	—	TVTE
GPIOH1	—	—	—	—	—	—	—	—	—	TVCS#
GPIOH2	—	—	—	—	—	—	—	TVDT0	TVDT0	TVDT0
GPIOH3	—	—	—	—	—	—	—	TVDT1	TVDT1	TVDT1
GPIOH4	—	—	—	—	—	—	—	TVDT2	TVDT2	TVDT2
GPIOH5	—	—	—	—	—	—	—	TVDT3	TVDT3	TVDT3
GPIOH6	—	—	—	—	—	—	—	TVDT4	TVDT4	TVDT4
GPIOH7	—	—	—	—	—	—	—	TVDT5	TVDT5	TVDT5
GPIOH8	—	—	—	—	—	—	—	TVDT6	TVDT6	TVDT6
GPIOH9	—	—	—	—	—	—	—	TVDT7	TVDT7	TVDT7
GPIOH10	—	—	—	—	—	—	—	TVHS	—	TVDC
GPIOH11	—	—	—	—	—	—	—	TVFLD	—	TVWR#
GPIOH12	—	—	—	—	—	—	—	TVCLK	TVCLK	TVRD#
GPIOH13-23	—	—	—	—	—	—	—	—	—	—

### 注

モード2-2では、インダイレクトホストインタフェースを使用するときはTV-Outを使用できません。

REG[0104h]ビット1～0=10のとき

表4.15 LCDおよびTV-Outインタフェースの端子割り付けモード3

端子名	モード3-1					モード3-2					モード3-3				
	LCD1 RGB I/F	LCD2 パラレルI/F	TV-Out I/F HS&FD I/F	TV-Out I/F BT656 I/F	MPU I/F	LCD1 RGB I/F	LCD2 パラレルI/F	TV-Out I/F HS&FD I/F	TV-Out I/F BT656 I/F	MPU I/F	LCD1 RGB I/F	LCD2 パラレルI/F	TV-Out I/F HS&FD I/F	TV-Out I/F BT656 I/F	MPU I/F
FPCS1#	SCS1	—	—	—	—	SCS1	—	—	—	—	SCS1	—	—	—	—
FPCS2#	—	P2CS#	—	—	—	—	—	—	—	—	—	—	—	—	—
FPSCCLK	SCK	—	—	—	—	SCK	—	—	—	—	SCK	—	—	—	—
FPSA0	SA0	—	—	—	—	SA0	—	—	—	—	SA0	—	—	—	—
FPSO	SDO	—	—	—	—	SDO	—	—	—	—	SDO	—	—	—	—
FPFRAME	VSYN	—	—	—	—	VSYN	—	—	—	—	VSYN	—	—	—	—
FPLINE	HSYN	—	—	—	—	HSYN	—	—	—	—	HSYN	—	—	—	—
FPSHIFT	DCK	—	—	—	—	DCK	—	—	—	—	DCK	—	—	—	—
FPDRDY	ENAB	—	—	—	—	ENAB	—	—	—	—	ENAB	—	—	—	—
FPDAT0	R7	—	—	—	—	R7	—	—	—	—	R7	—	—	—	—
FPDAT1	R6	—	—	—	—	R6	—	—	—	—	R6	—	—	—	—
FPDAT2	R5	—	—	—	—	R5	—	—	—	—	R5	—	—	—	—
FPDAT3	G7	—	—	—	—	G7	—	—	—	—	G7	—	—	—	—
FPDAT4	G6	—	—	—	—	G6	—	—	—	—	G6	—	—	—	—
FPDAT5	G5	—	—	—	—	G5	—	—	—	—	G5	—	—	—	—
FPDAT6	B7	—	—	—	—	B7	—	—	—	—	B7	—	—	—	—
FPDAT7	B6	—	—	—	—	B6	—	—	—	—	B6	—	—	—	—
FPDAT8	B5	—	—	—	—	B5	—	—	—	—	B5	—	—	—	—
FPDAT9	R4	—	—	—	—	R4	—	—	—	—	R4	—	—	—	—
FPDAT10	R3	—	—	—	—	R3	—	—	—	—	R3	—	—	—	—
FPDAT11	R2	—	—	—	—	R2	—	—	—	—	R2	—	—	—	—
FPDAT12	G4	—	—	—	—	G4	—	—	—	—	G4	—	—	—	—
FPDAT13	G3	—	—	—	—	G3	—	—	—	—	G3	—	—	—	—
FPDAT14	G2	—	—	—	—	G2	—	—	—	—	G2	—	—	—	—
FPDAT15	B4	—	—	—	—	B4	—	—	—	—	B4	—	—	—	—
FPDAT16	B3	—	—	—	—	B3	—	—	—	—	B3	—	—	—	—
FPDAT17	B2	—	—	—	—	B2	—	—	—	—	B2	—	—	—	—
FPDAT18 (GPIO0)	—	P2DAT0	—	—	—	R1	—	—	—	—	—	—	TVDT0	TVDT0	TVDT0
FPDAT19 (GPIO1)	—	P2DAT1	—	—	—	R0	—	—	—	—	—	—	TVDT1	TVDT1	TVDT1
FPDAT20 (GPIO2)	—	P2DAT2	—	—	—	G1	—	—	—	—	—	—	TVDT2	TVDT2	TVDT2
FPDAT21 (GPIO3)	—	P2DAT3	—	—	—	G0	—	—	—	—	—	—	TVDT3	TVDT3	TVDT3
FPDAT22 (GPIO4)	—	P2DAT4	—	—	—	B1	—	—	—	—	—	—	TVDT4	TVDT4	TVDT4
FPDAT23 (GPIO5)	—	P2DAT5	—	—	—	B0	—	—	—	—	—	—	TVDT5	TVDT5	TVDT5
GPIO6	—	P2DAT6	—	—	—	—	—	—	—	—	—	—	TVDT6	TVDT6	TVDT6
GPIO7	—	P2DAT7	—	—	—	—	—	—	—	—	—	—	TVDT7	TVDT7	TVDT7
GPIO8	—	P2A0	—	—	—	—	—	—	—	—	—	—	TVHS	—	TVDC
GPIO9	—	P2WR#	—	—	—	—	—	—	—	—	—	—	TVFLD	—	TVWR#
GPIO10	—	—	—	—	—	—	—	—	—	—	—	—	TVCLK	TVCLK	TVRD#
GPIO11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TVCS#
GPIO12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TVTE
GPIO13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
GPIO14	—	FPVS2 (IO)	—	—	—	—	FPVS2 (IO)	—	—	—	—	FPVS2 (IO)	—	—	—
GPIOH0	—	—	—	—	TVTE	—	—	—	—	TVTE	—	—	—	—	—
GPIOH1	—	—	—	—	TVCS#	—	—	—	—	TVCS#	—	—	—	—	—
GPIOH2	—	—	TVDT0	TVDT0	TVDT0	—	—	TVDT0	TVDT0	TVDT0	—	—	—	—	—
GPIOH3	—	—	TVDT1	TVDT1	TVDT1	—	—	TVDT1	TVDT1	TVDT1	—	—	—	—	—
GPIOH4	—	—	TVDT2	TVDT2	TVDT2	—	—	TVDT2	TVDT2	TVDT2	—	—	—	—	—
GPIOH5	—	—	TVDT3	TVDT3	TVDT3	—	—	TVDT3	TVDT3	TVDT3	—	—	—	—	—
GPIOH6	—	—	TVDT4	TVDT4	TVDT4	—	—	TVDT4	TVDT4	TVDT4	—	—	—	—	—
GPIOH7	—	—	TVDT5	TVDT5	TVDT5	—	—	TVDT5	TVDT5	TVDT5	—	—	—	—	—
GPIOH8	—	—	TVDT6	TVDT6	TVDT6	—	—	TVDT6	TVDT6	TVDT6	—	—	—	—	—
GPIOH9	—	—	TVDT7	TVDT7	TVDT7	—	—	TVDT7	TVDT7	TVDT7	—	—	—	—	—
GPIOH10	—	—	TVHS	—	TVDC	—	—	TVHS	—	TVDC	—	—	—	—	—
GPIOH11	—	—	TVFLD	—	TVWR#	—	—	TVFLD	—	TVWR#	—	—	—	—	—
GPIOH12	—	—	TVCLK	TVCLK	TVRD#	—	—	TVCLK	TVCLK	TVRD#	—	—	—	—	—
GPIOH13	—	—	—	—	—	—	P2DAT0	—	—	—	—	P2DAT0	—	—	—
GPIOH14	—	—	—	—	—	—	P2DAT1	—	—	—	—	P2DAT1	—	—	—
GPIOH15	—	—	—	—	—	—	P2DAT2	—	—	—	—	P2DAT2	—	—	—
GPIOH16	—	—	—	—	—	—	P2DAT3	—	—	—	—	P2DAT3	—	—	—
GPIOH17	—	—	—	—	—	—	P2DAT4	—	—	—	—	P2DAT4	—	—	—
GPIOH18	—	—	—	—	—	—	P2DAT5	—	—	—	—	P2DAT5	—	—	—
GPIOH19	—	—	—	—	—	—	P2DAT6	—	—	—	—	P2DAT6	—	—	—
GPIOH20	—	—	—	—	—	—	P2DAT7	—	—	—	—	P2DAT7	—	—	—
GPIOH21	—	—	—	—	—	—	P2A0	—	—	—	—	P2A0	—	—	—
GPIOH22	—	—	—	—	—	—	P2WR#	—	—	—	—	P2WR#	—	—	—
GPIOH23	—	—	—	—	—	—	P2CS#	—	—	—	—	P2CS#	—	—	—

## 4. 端子構成

---

### 注

1. モード 3-1 では、インダイレクトホストインタフェースを使用するときは TV-Out を使用できません。
2. モード 3-2 では、インダイレクトホストインタフェースを使用するときは LCD2/TV-Out を使用できません。
3. モード 3-3 では、インダイレクトホストインタフェースを使用するときは LCD2 を使用できません。
4. モード 3-2 またはモード 3-3 では、FPCS2# 端子（未使用）が LCD2 の活動中にトグルします。

## 4.7 GPIOの端子割り付け

GPIOP[14:0]端子とGPIOH[23:0]端子がその代替機能で使用されていないときは、端子を汎用IO端子として使用することができます。

表4.16 GPIOの端子割り付け

端子名	REG[0104h] ビット5=1	REG[0104h]ビット5=0				REG[018Ch] ビット13=1
		REG[0200h] ビット1~0= 01 & REG[0200h] ビット2=0	REG[0200h] ビット1~0= 10 & REG[0200h] ビット2=0	REG[0200h] ビット1~0= 11 & REG[0200h] ビット2=0	REG[0104h] ビット1~0= 10 & REG[0104h] ビット2=0	
GPIOP0	R1	TVDT0	TVDT0	TVDT0	P2DAT0	—
GPIOP1	R0	TVDT1	TVDT1	TVDT1	P2DAT1	—
GPIOP2	G1	TVDT2	TVDT2	TVDT2	P2DAT2	—
GPIOP3	G0	TVDT3	TVDT3	TVDT3	P2DAT3	—
GPIOP4	B1	TVDT4	TVDT4	TVDT4	P2DAT4	—
GPIOP5	B0	TVDT5	TVDT5	TVDT5	P2DAT5	—
GPIOP6	—	TVDT6	TVDT6	TVDT6	P2DAT6	—
GPIOP7	—	TVDT7	TVDT7	TVDT7	P2DAT7	—
GPIOP8	—	TVHS	TVDC	—	P2A0	—
GPIOP9	—	TVFLD	TVWR#	—	P2WR#	—
GPIOP10	—	TVCLK	TVRD#	TVCLK	—	—
GPIOP11	—	—	TVCS#	—	—	—
GPIOP12	—	—	TVTE	—	—	—
GPIOP13	—	—	—	—	—	—
GPIOP14	—	—	—	—	—	FPVS2

## 4. 端子構成

表4.17 GPIOHの端子割り付け

端子名	CNF0 = H	CNF0 = L			
		REG[0200h]ビット1～ 0=01 & REG[0200h] ビット2=1	REG[0200h]ビット1～ 0=10 & REG[0200h] ビット2=1	REG[0200h]ビット1～ 0=11 & REG[0200h] ビット2=1	REG[0104h]ビット1～ 0=10 & REG[0104h] ビット2=1
GPIOH0	—	—	TVTE	—	—
GPIOH1	—	—	TVCS#	—	—
GPIOH2	DB0	TVDT0	TVDT0	TVDT0	—
GPIOH3	DB1	TVDT1	TVDT1	TVDT1	—
GPIOH4	DB2	TVDT2	TVDT2	TVDT2	—
GPIOH5	DB3	TVDT3	TVDT3	TVDT3	—
GPIOH6	DB4	TVDT4	TVDT4	TVDT4	—
GPIOH7	DB5	TVDT5	TVDT5	TVDT5	—
GPIOH8	DB6	TVDT6	TVDT6	TVDT6	—
GPIOH9	DB7	TVDT7	TVDT7	TVDT7	—
GPIOH10	DB8	TVHS	TVDC	—	—
GPIOH11	DB9	TVFLD	TVWR#	—	—
GPIOH12	DB10	TVCLK	TVRD#	TVCLK	—
GPIOH13	DB11	—	—	—	P2DAT0
GPIOH14	DB12	—	—	—	P2DAT1
GPIOH15	DB13	—	—	—	P2DAT2
GPIOH16	DB14	—	—	—	P2DAT3
GPIOH17	DB15	—	—	—	P2DAT4
GPIOH18	DB16	—	—	—	P2DAT5
GPIOH19	DB17	—	—	—	P2DAT6
GPIOH20	D/C#	—	—	—	P2DAT7
GPIOH21	RD#	—	—	—	P2A0
GPIOH22	WR#	—	—	—	P2WR#
GPIOH23	CS#	—	—	—	P2CS#



## 5. DC特性

### 5.1 絶対最大定格

表5.1 絶対最大定格

記号	パラメータ	定格	単位
COREVDD	コア電源電圧	-0.3~2.5	V
DRAMVDD	DRAM電源電圧	-0.3~2.5	V
DRAMVCC	DRAM電源電圧	-0.3~3.5	V
PLLVDD	PLL電源電圧	-0.3~2.5	V
CORE18VDD	コア電源電圧 (1.8V)	-0.3~3.5	V
HIOVDD	ホストIO電源電圧	-0.3~3.5	V
PIOVDD	パネルIO電源電圧	-0.3~3.5	V
OSCVDD	OSC電源電圧	-0.3~3.5	V
Vin_io	デジタル入力信号電圧	-0.3~HIOVDD + 0.3 -0.3~PIOVDD + 0.3	V
Iin_io	デジタル入力信号電流	±10	mA
Vout_io	デジタル出力信号電圧	-0.3~HIOVDD + 0.3 -0.3~PIOVDD + 0.3	V
Iout_io	デジタル出力信号電流	±30	mA
Tstg	保存温度	-65~150	°C

## 5. DC特性

### 5.2 推奨動作条件

表5.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
COREVDD	コア電源電圧 (1.5V)	VSS=0V	1.40	1.50	1.60	V
DRAMVDD	DRAM電源電圧	VSS=0V	1.40	1.50	1.60	V
DRAMVCC	DRAM電源電圧	VSS=0V	2.30	2.50	2.70	V
PLLVD	PLL電源電圧	VSS=0V	1.40	1.50	1.60	V
CORE18VDD	コア電源電圧 (1.8V)	VSS=0V	1.70	1.80	1.90	V
HIOVDD	ホストIO電源電圧	VSS=0V	1.70	1.80	1.90	V
			2.30	2.50	2.70	
PIOVDD	パネルIO電源電圧	VSS=0V	1.70	1.80	1.90	V
			2.30	2.50	2.70	
OSCVDD	OSC電源電圧	VSS=0V	2.30	2.50	2.70	V
Vin	入力電圧	VSS=0V	VSS	—	HIOVDD PIOVDD	V
Topr	動作温度	VSS=0V	-20	25	85	°C

## 5.3 電気的特性

表5.3 推奨動作条件での電気的特性

記号	パラメータ	条件	Min	Typ	Max	単位
IQ_CORE	コア静的消費電流	静的消費状態	—	22.2	—	μA
IQ_DRAMVDD	DRAMVDD静的消費電流	静的消費状態	—	3.9	—	μA
IQ_DRAMVCC	DRAMVCC静的消費電流	静的消費状態	—	1.8	—	μA
IQ_PLL	PLLVDV静的消費電流	静的消費状態	—	1.2	—	μA
IQ_CORE18	CORE18VDD静的消費電流	静的消費状態	—	0.1	—	μA
IQ_IO	HIOVDD + PIOVDD 静的消費電流	静的消費状態	—	0.4	—	μA
IQ_OSC	OSCVDD 静的消費電流	静的消費状態	—	0.1	—	μA
I_CORE	COREVDD動作電流	(注1)	—	11.0	—	mA
I_DRAMVDD	DRAMVDD動作電流	(注1)	—	1.6	—	mA
I_DRAMVCC	DRAMVCC動作電流	(注1)	—	0.5	—	mA
I_PLL	PLLVDV動作電流	PLL出力クロック周波数 (fck) = 71MHz	—	1.8	—	mA
I_CORE18	CORE18VDD動作電流	(注1)	—	0.1	—	μA
I_OSC	OSCVDD動作電流	OSCクロック周波数 = 27MHz	—	2.6	—	mA
I_IZ	入力リーク電流	Vin = VDD または Vin = VSS	-10	—	10	μA
I_OZ	出力リーク電流	Vin = VDD または Vin = VSS	-10	—	10	μA
HIOVOH	高レベル出力電圧1	HIOVDD = min	(0.8 HIOVDD)	—	—	V
PIOVOH	高レベル出力電圧1	HIOVDD = min	(0.8 PIOVDD)	—	—	V
HIOVOL	高レベル出力電圧1	HIOVDD = min	-	—	(0.2 HIOVDD)	V
PIOVOL	高レベル出力電圧1	PIOVDD = min	-	—	(0.2 PIOVDD)	V
HIOVIH	高レベル入力電圧	CMOS入力	(0.7 HIOVDD)	—	—	V
PIOVIH	高レベル入力電圧	CMOS入力	(0.7 PIOVDD)	—	—	V
HIOVIL	低レベル入力電圧	CMOS入力	—	—	(0.3 HIOVDD)	V
PIOVIL	低レベル入力電圧	CMOS入力	—	—	(0.3 PIOVDD)	V
HIOVT+	ポジティブトリガ電圧	CMOSシュミット (注2)	—	1.4	—	V
HIOVT-	ネガティブトリガ電圧	CMOSシュミット (注2)	—	1.0	—	V
HIOVH	ヒステリシス電圧	CMOSシュミット (注2)	—	0.4	—	V
Rpu	プルアップ抵抗	Vi = VSS (PIOVDD、HIOVDD = 2.5V)	10	—	200	KΩ
		Vi = VSS (PIOVDD、HIOVDD = 1.8V)	20	—	210	
Rpd	プルダウン抵抗	Vi = VDD (PIOVDD、HIOVDD = 2.5V)	10	—	200	KΩ
		Vi = VDD (PIOVDD、HIOVDD = 1.8V)	20	—	210	
Cio	端子容量	f = 1MHz、VDD = 0V	—	3.8	—	pF

## 5. DC特性

---

### 注

1. 480×800 24ビットTFTパネル  
システムクロック=71MHz  
ピクセルクロック=システムクロック／3  
RGB 8:8:8、メインウィンドウパス
2. シュミット特性はHIOVDD=2.5Vのときのみ有効です。

---

## 6. AC特性

HIOVDD=PIOVDD=1.70~1.90Vのときの条件

$T_A = -20 \sim 85^\circ\text{C}$

CL=30pF（ホストインタフェース、LCDインタフェース、GPIOインタフェース）

HIOVDD=PIOVDD=2.30~2.70Vのときの条件

$T_A = -20 \sim 85^\circ\text{C}$

CL=30pF（ホストインタフェース、LCDインタフェース、GPIOインタフェース）

### 注

インダイレクトホスト、LCD、TV-Outおよびビデオ入力インタフェースタイミングのロジックHighとロジックLowの間の遷移点はIOVDDの2分の1です。

## 6. AC特性

### 6.1 出力信号立ち上がり／立ち下がりタイミング

マルチドライブIOセル（LO\_DSEL、LB\_DSEL、LBU\_DSELおよびLBD\_DSEL）の立ち上がり／立ち下がりタイミングは次のとおりです。10ページの4.2「端子説明」をご覧ください。

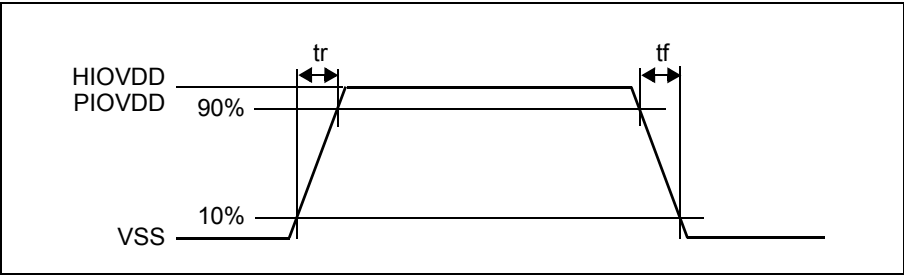


図6.1 出力信号立ち上がり／立ち下がりタイミング

表6.1 出力信号立ち上がり／立ち下がりタイミング

記号	パラメータ	状態出力駆動レベル (REG[0018h])	IOVDD = 1.8V		IOVDD = 2.5V		単位
			Typ	Max	Typ	Max	
tr	出力立ち上がり時間 (10%～90%)	11 (max)	3.2	7.4	2.6	4.8	ns
		10	4.0	9.2	3.2	6.6	ns
		01	8.8	20.0	6.4	14.0	ns
		00 (min)	18.0	42.0	12.6	28.0	ns
tf	出力立ち下がり時間 (90%～10%)	11 (max)	2.8	7.4	2.4	4.6	ns
		10	3.6	9.2	2.8	5.6	ns
		01	9.8	26.0	7.4	16.0	ns
		00 (min)	19.6	52.0	14.0	32.0	ns

注 CL=30pF。表の値は、負荷容量に正比例します。  
例えば、CLが15pFのとき、trとtfは表の値の2分の1になります。

## 6.2 クロックタイミング

### 6.2.1 CLKI入力タイミング（PLL使用）

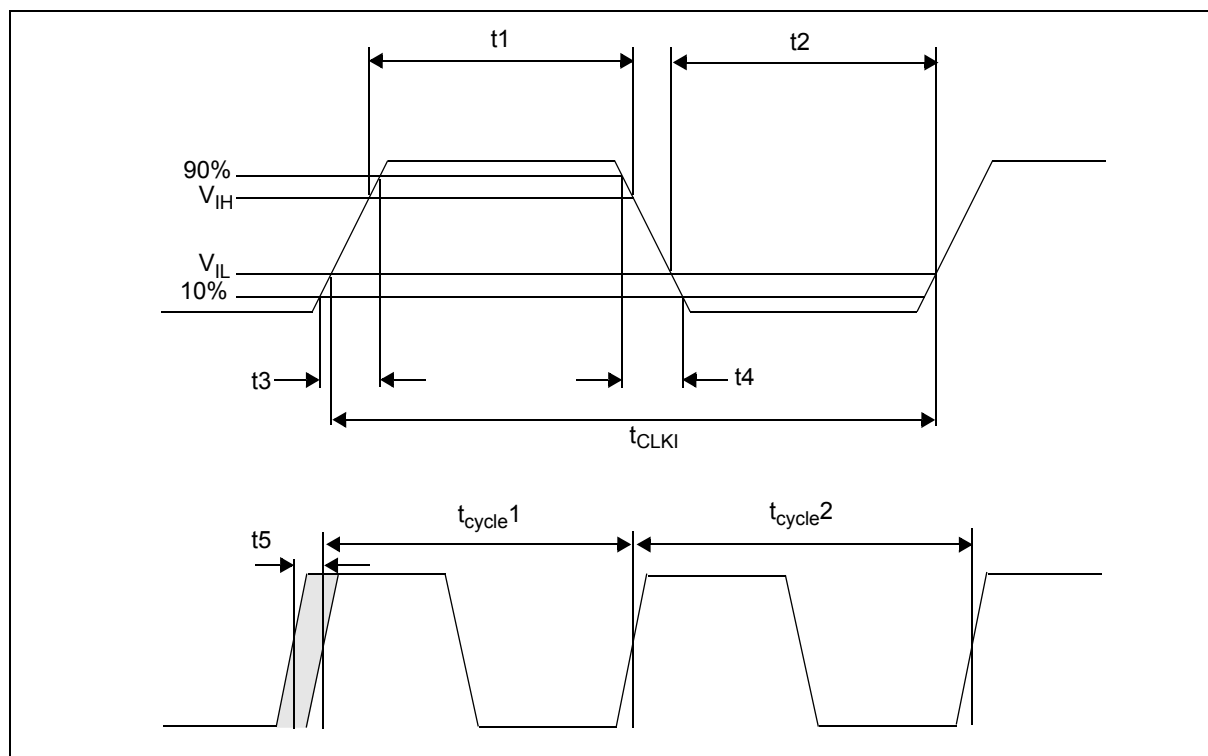


図6.2 クロック入力要件（PLL使用時のCLKI）

## 6. AC特性

表6.2 クロック入力要件（PLL使用時のCLKI）

記号	パラメータ	Min	Typ	Max	単位
Fclki	入力クロック周波数	1	27	40	MHz
Tclki	入力クロック周期	—	1/Fclki	—	μs
t1	入力クロックHighパルス幅	0.4 Tclki	—	0.6 Tclki	μs
t2	入力クロックLowパルス幅	0.4 Tclki	—	0.6 Tclki	μs
t3	入力クロック立ち上がり時間（10%～90%）	—	—	5.0	ns
t4	入力クロック立ち下がり時間（90%～10%）	—	—	5.0	ns
t5	入力クロック周期ジッタ	-400	—	400	ps
t6	入力クロックサイクルジッタ	-400	—	400	ps

### 注

1. 入力クロックは外部発振器からのものです（CLKI）。
2. t5とt6はPLL入力に必要です。PLLを使用しないときは不要です。
3.  $t6 = t_{\text{cycle1}} - t_{\text{cycle2}}$
4. 入力デューティサイクルは厳密なものではなく40/60でも可能です。
5. 入力クロック周期ジッタは、クロックセンター（中心周波数の逆数）に対する変位です。
6. 入力クロックサイクルジッタは、隣り合ったサイクル間の周期の差です。
7. ジッタ特性は、特性t5とt6の両方を満たさなければなりません。
8. TV-Outインタフェースが、HSYNC & FIELDまたはITU-R BT656（REG[0200h]ビット1～0＝01、11）のときは、CLKIまたはOSCI/OSCOに周波数27MHzを入力してください。



## 6.2.2 CLKI入力タイミング (PLLバイパス)

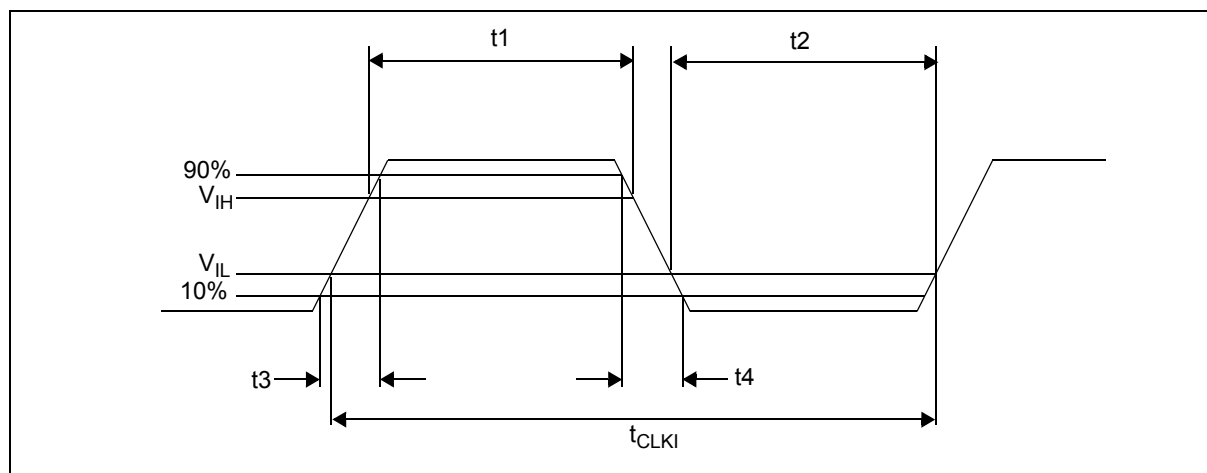


図6.3 クロック入力要件 (PLLバイパス時のCLKI)

表6.3 クロック入力要件 (PLLバイパス時のCLKI)

記号	パラメータ	Min	Typ	Max	単位
Fclki	入力クロック周波数	40	—	71	MHz
Tclki	入力クロック周期	—	1/Fclki	—	$\mu$ s
t1	入力クロックHighパルス幅	0.4 Tclki	—	0.6 Tclki	$\mu$ s
t2	入力クロックLowパルス幅	0.4 Tclki	—	0.6 Tclki	$\mu$ s
t3	入力クロック立ち上がり時間 (10%~90%)	—	—	5.0	ns
t4	入力クロック立ち下がり時間 (90%~10%)	—	—	5.0	ns

## 注

1. 入力クロックは外部発振器からのものです (CLKI)。
2. 入力デューティサイクルは厳密なものではなく40/60でも可能です。
3. TV-Outインタフェースが、HSYNC & FIELDまたはITU-R BT656 (REG[0200h]ビット1~0=01、11) のときは、PLLバイパスモードはサポートされません。

## 6. AC特性

### 6.2.3 PLLクロック

PLL回路はアナログ回路であり、入力クロック波形や電源のノイズによって大きな影響を受けます。クロックや電源のノイズは、PLL回路の動作を不安定にしたり、ジッタを大きくしたりすることがあります。

このようなノイズの制約により、PLL用の電源トレースや電源プレーンを他の電源の電源トレースや電源プレーンから絶縁することを強く推奨します。電源のノイズをできるだけ少なくするためにフィルタリングも使用してください。入力クロック波形のジッタはできるだけ小さくしてください。

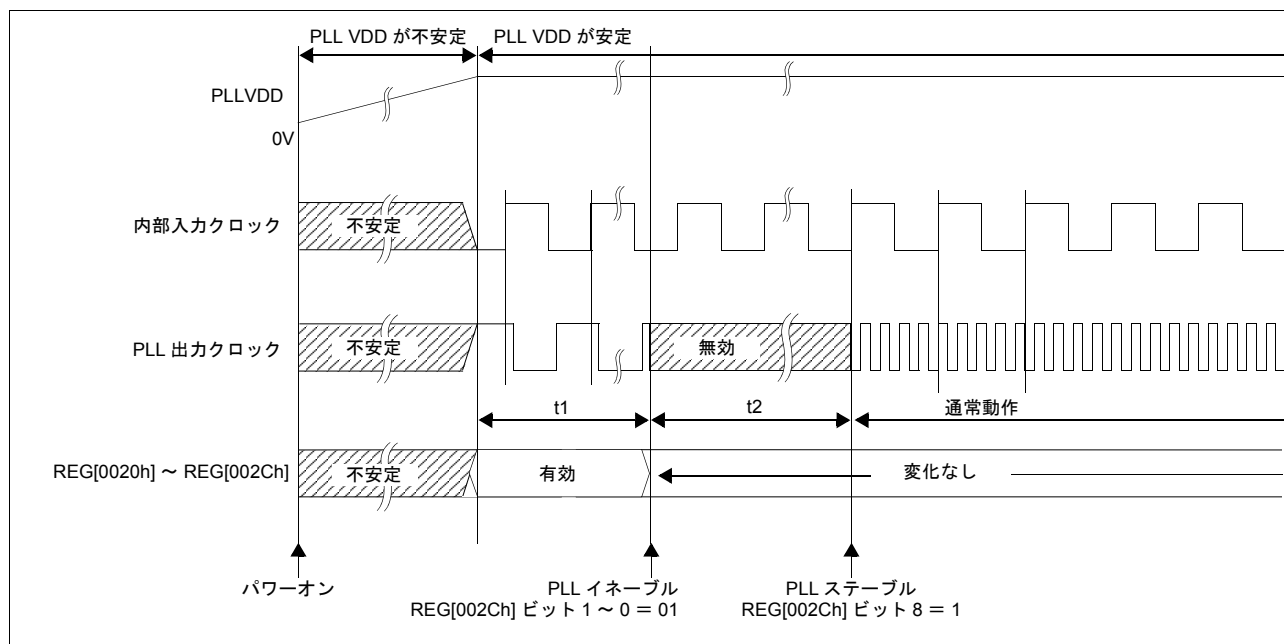


図6.4 PLL起動

表6.4 PLL起動

記号	パラメータ	Min	Typ	Max	単位
t1	初期設定のPLLバイパス／PLLレジスタプログラミング	—	—	(注1)	—
t2	PLLロック時間	—	—	1.5	ms
Fckout	PLL出カクロック周波数	40	—	71	MHz
Jperiod	PLL出カクロック周期ジッタ (注2)	-400	—	400	ps

注

1. t1は、PLLレジスタをプログラムするために必要なホストインタフェースサイクル時間によって決まります。
2. PLL 出カクロック周期ジッタは、クロックセンターに対する変位です。クロックセンターは、PLL 設定レジスタ (REG[0020h]～REG[0024h]) を使って設定され、入力クロック (CLKIまたはOSCI/OSCO) と同じ周波数許容範囲があります。

## 6.3 電源シーケンス

### 6.3.1 パワーオンシーケンス

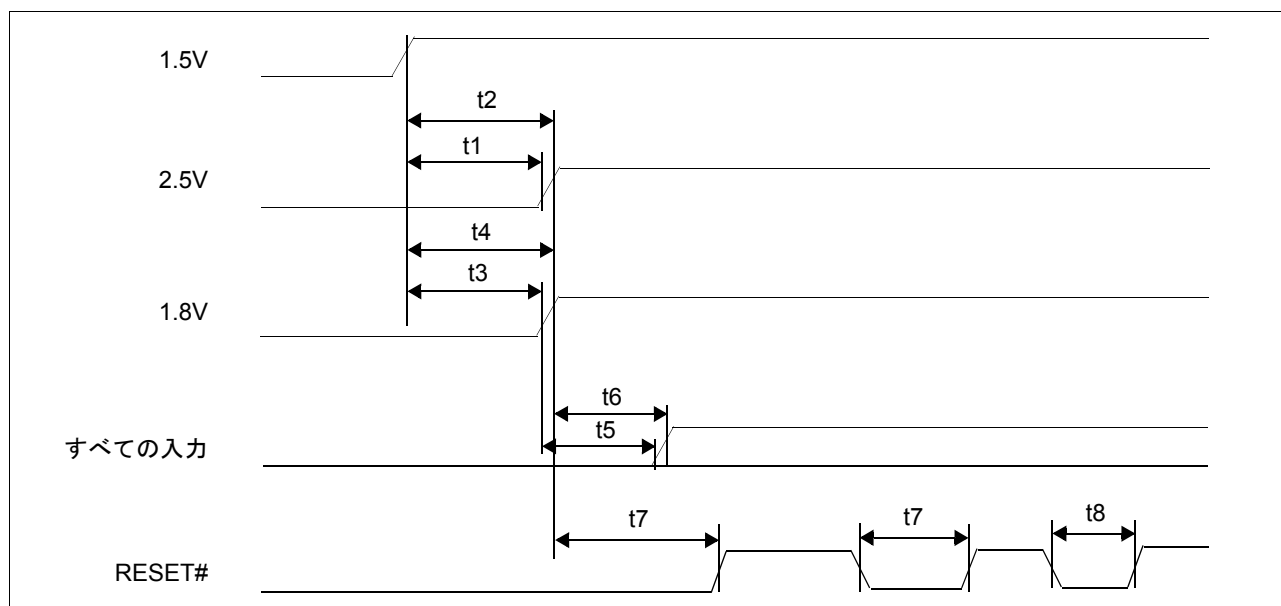


図6.5 パワーオンシーケンス

表6.5 パワーオンシーケンス

記号	パラメータ	Min	Typ	Max	単位
t1	1.5V_VDD立ち上がり (1.2V) から2.5V_VDD立ち上がり (0.25V) まで	0 (注1)	—	—	ms
t2	1.5V_VDD立ち上がり (1.2V) から2.5V_VDD立ち上がり (2.0V) まで	—	—	100 (注2)	ms
t3	1.5V_VDD立ち上がり (1.2V) から1.8V_VDD立ち上がり (0.18V) まで	0 (注1)	—	—	ms
t4	1.5V_VDD立ち上がり (1.2V) から1.8V_VDD立ち上がり (1.44V) まで	—	—	100 (注2)	ms
t5	1.8V_VDD立ち上がり (0.36V) からすべての入力の立ち上がり (0.36V) まで	0 (注1)	—	—	ms
t6	1.8V_VDD立ち上がり (1.44V) からすべての入力の立ち上がり (1.44V) まで	0 (注1)	—	—	ms
t7	アクティブRESET#パルス幅	(注3)	—	—	—
t8	無視されるRESET#パルス幅	—	—	(注3)	—

注

1. 時間が0msより少ない場合は、シュートスルー電流が流れます。時間が-1msより少ない場合は、長期信頼性に影響を及ぼします。
2. この時間中、レベルシフタにシュートスルー電流が流れます。時間が100msより長い場合は、長期信頼性に影響を及ぼします。
3. これらのタイミングは外付部品によって制御されます。グリッチ除去が不要な場合、RRES 端子を未接続のままにし、CRES端子をVSSに接続してください。この場合、リセットを確実にを行うためにRESET#ラインを200ns以上Lowにしたままにしてください。

## 6. AC特性

### 6.3.2 パワーオフシーケンス

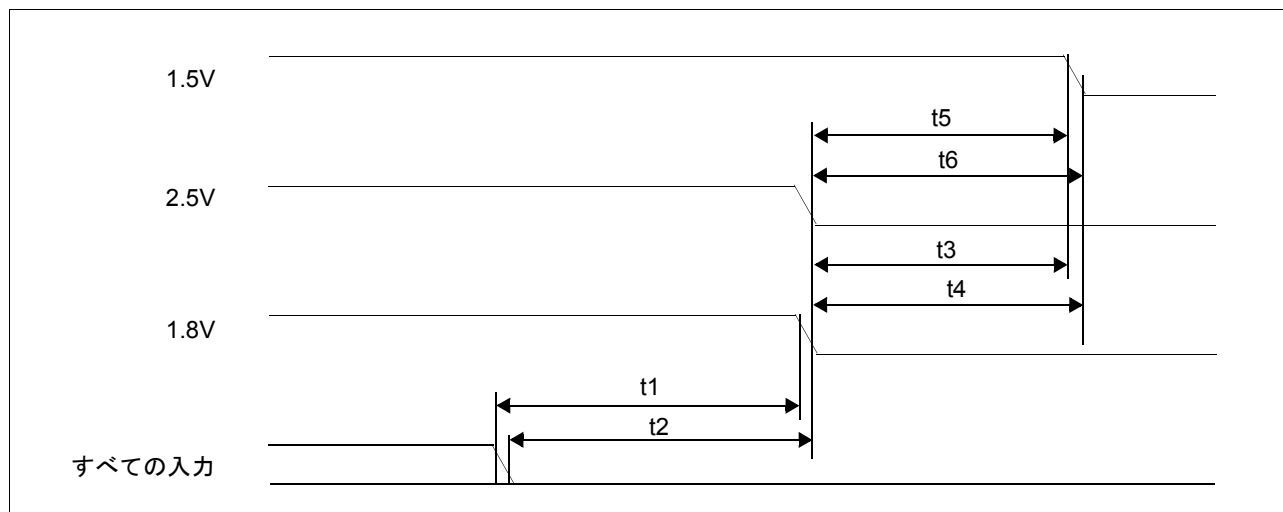


図6.6 パワーオフシーケンス

表6.6 パワーオフシーケンス

記号	パラメータ	Min	Typ	Max	単位
t1	すべての入力の立ち下がり (1.44V) から1.8V立ち下がり (1.44V) まで	0 (注1)	—	—	ms
t2	すべての入力の立ち下がり (0.36V) から1.8V立ち下がり (0.36V) まで	0 (注1)	—	—	ms
t3	1.8V_VDD立ち下がり (VSS) から1.5V_VDD立ち下がり (1.2V) まで	0 (注1)	—	—	ms
t4	1.8V_VDD立ち下がり (VSS) から1.5V_VDD立ち下がり (VSS) まで	—	—	100 (注2)	ms
t5	2.5V_VDD立ち下がり (VSS) から1.5V_VDD立ち下がり (1.2V) まで	0 (注1)	—	—	ms
t6	2.5V_VDD立ち下がり (VSS) から1.5V_VDD立ち下がり (VSS) まで	—	—	100 (注2)	ms

#### 注

1. 時間が0msより少ない場合は、シュートスルー電流が流れます。時間が-1msより少ない場合は、長期信頼性に影響を及ぼします。
2. この時間中、レベルシフタにシュートスルー電流が流れます。時間が100msより長い場合は、長期信頼性に影響を及ぼします。

## 6.4 インダイレクトホストインタフェースタイミング

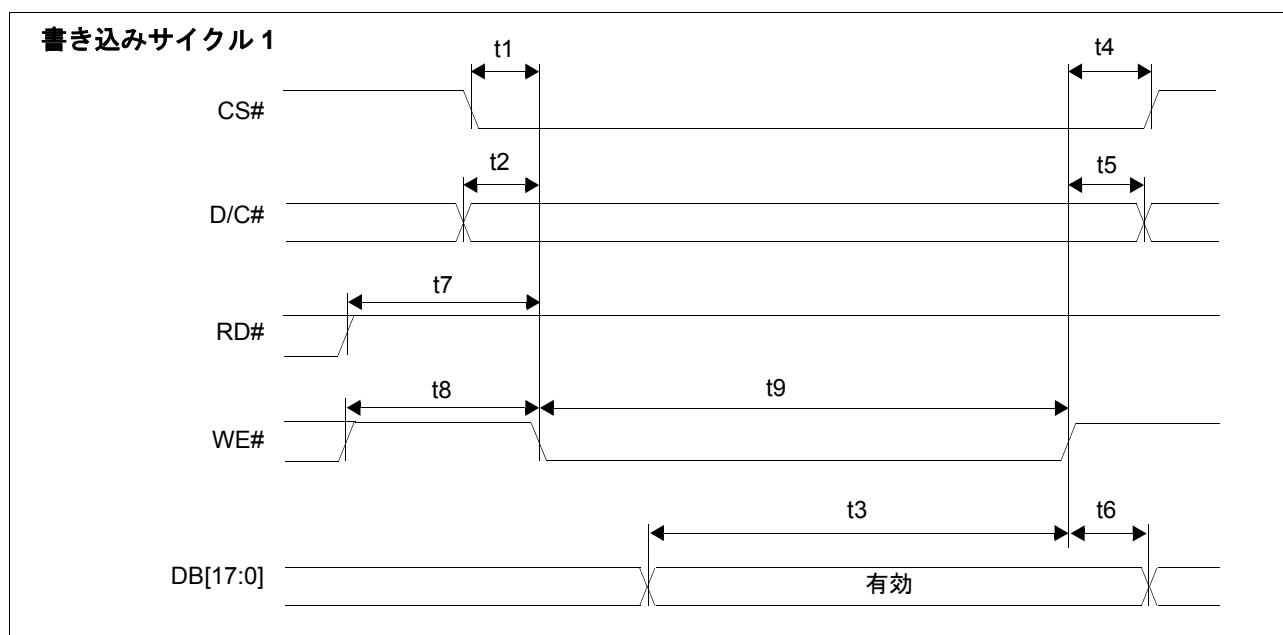


図6.7 インダイレクトインタフェース書き込みサイクル1

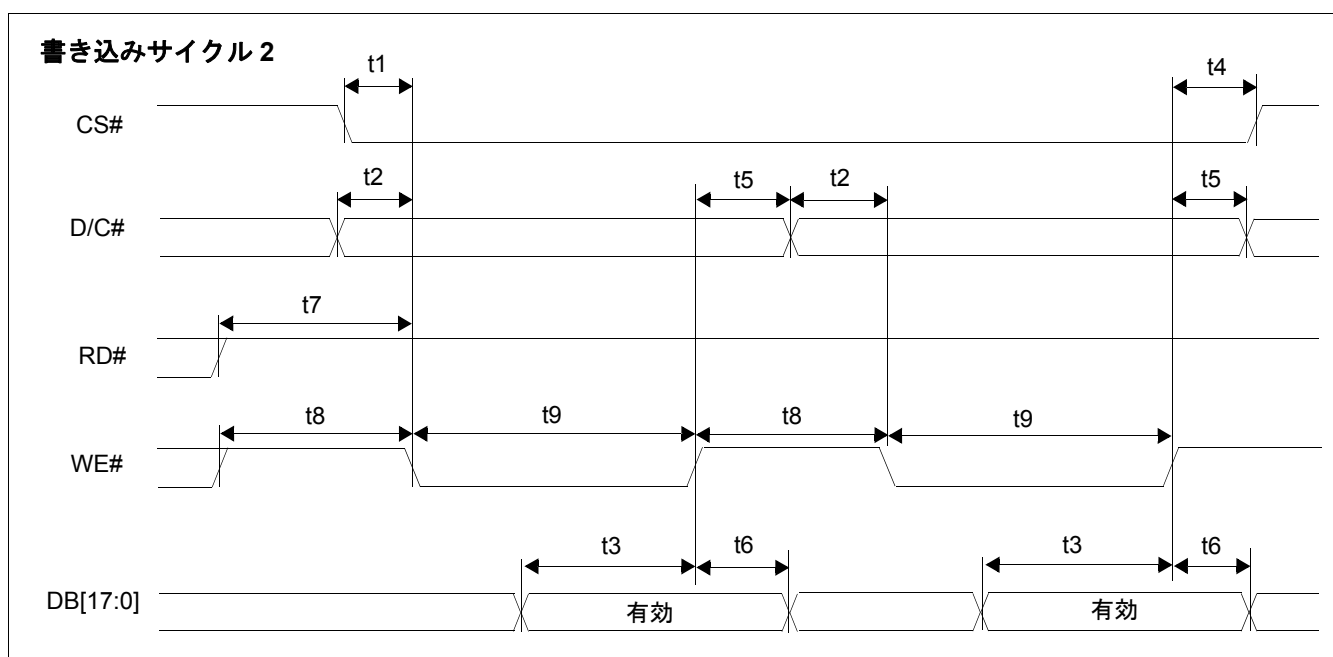


図6.8 インダイレクトインタフェース書き込みサイクル2

## 6. AC特性

表6.7 インダイレクトインタフェース書き込みタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.5V		単位
		Min	Max	Min	Max	
t1	CS#セットアップ時間	2	—	2	—	ns
t2	D/C#セットアップ時間	2	—	2	—	ns
t3	DB[17 : 0]セットアップ時間	2	—	2	—	ns
t4	WE#立ち上がりエッジからのCS#ホールド時間	2	—	2	—	ns
t5	WE#立ち上がりエッジからのD/C#ホールド時間	2	—	2	—	ns
t6	WE#立ち上がりエッジからのDB[17:0]ホールド時間	4	—	4	—	ns
t7	RD#立ち上がりエッジからWE#立ち下がりエッジまで	1	—	1	—	Ts (注1)
t8	WE# High時間	1	—	1	—	Ts
t9	WE# Low時間	2	—	2	—	Ts

注

1. Ts=システムクロック周期

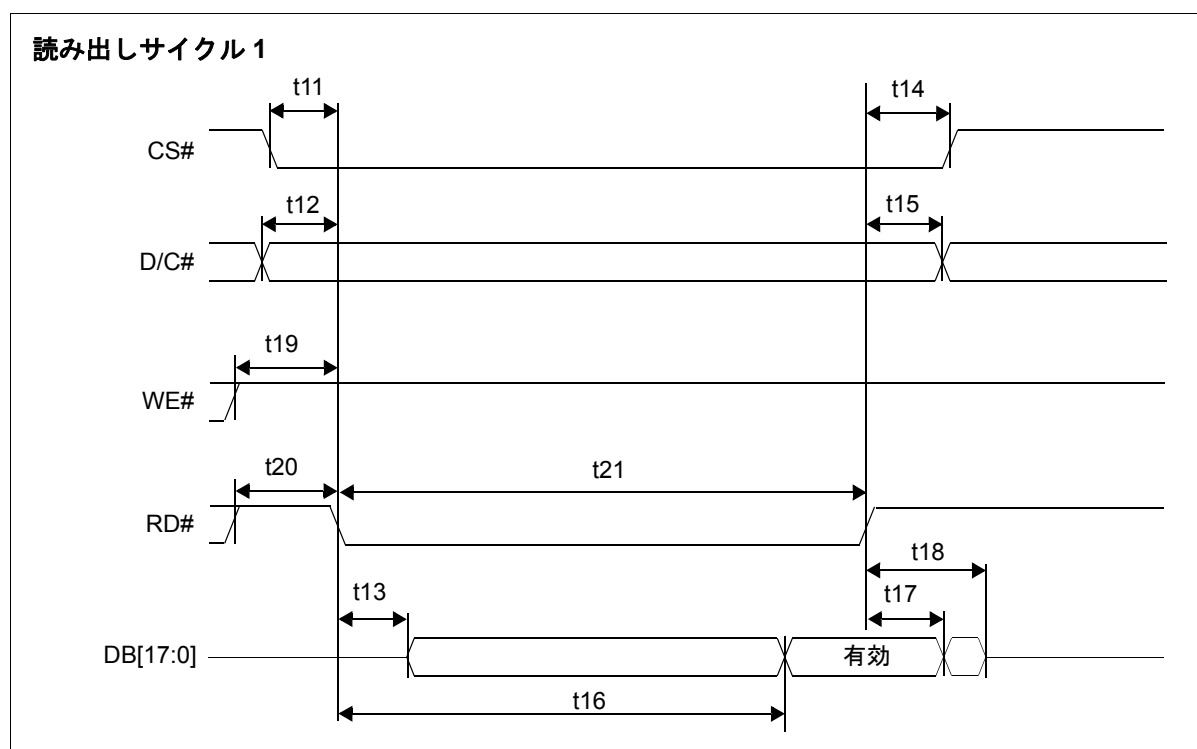


図6.9 インダイレクトインタフェース読み出しサイクル1

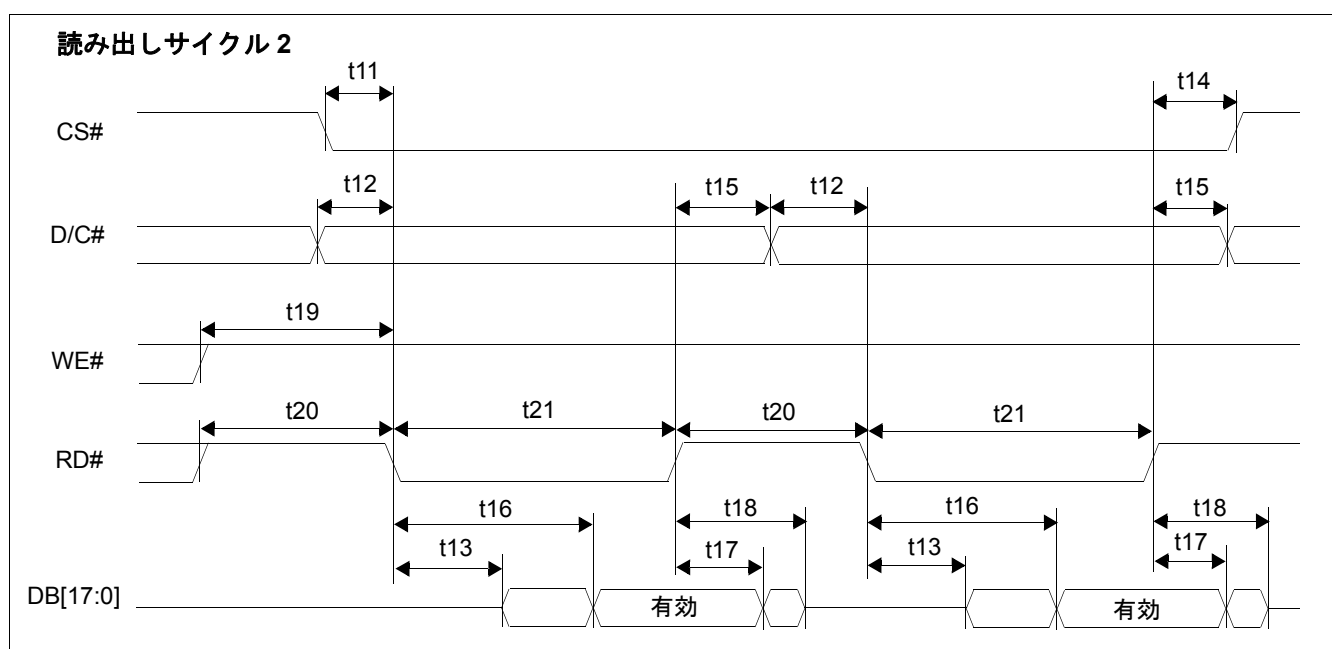


図6.10 インダイレクトインタフェース読み出しサイクル2

## 6. AC特性

表6.8 インダイレクトインタフェース読み出しタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.5V		単位
		Min	Max	Min	Max	
t11	CS#セットアップ時間	2	—	2	—	ns
t12	D/C#セットアップ時間	2	—	2	—	ns
t13	RD#立ち下がりエッジからDB[17:0]の駆動まで	2	—	2	—	ns
t14	RD#立ち上がりエッジからのCS#ホールド時間	2	—	2	—	ns
t15	RD#立ち上がりエッジからのD/C#ホールド時間	2	—	2	—	ns
t16	RD#立ち下がりエッジから有効データまで REG[0018h]ビット1~0=00の場合	—	32	—	23	ns
	REG[0018h]ビット1~0=01の場合	—	23	—	16	ns
	REG[0018h]ビット1~0=10の場合	—	16	—	12	ns
	REG[0018h]ビット1~0=11の場合	—	15	—	11	ns
t17	RD#立ち上がりエッジからのDB[17:0]ホールド時間	2	—	2	—	ns
t18	RD#立ち上がりエッジからDB[17:0]解除まで	—	11	—	9	ns
t19	WE#立ち上がりエッジからRD#立ち下がりエッジまで	1	—	1	—	Ts (注1)
t20	RD# High時間	1	—	1	—	Ts
t21	RD# Low時間	2	—	2	—	Ts

注

1. Ts=システムクロック周期



## 6.5 I2Cインタフェースタイミング

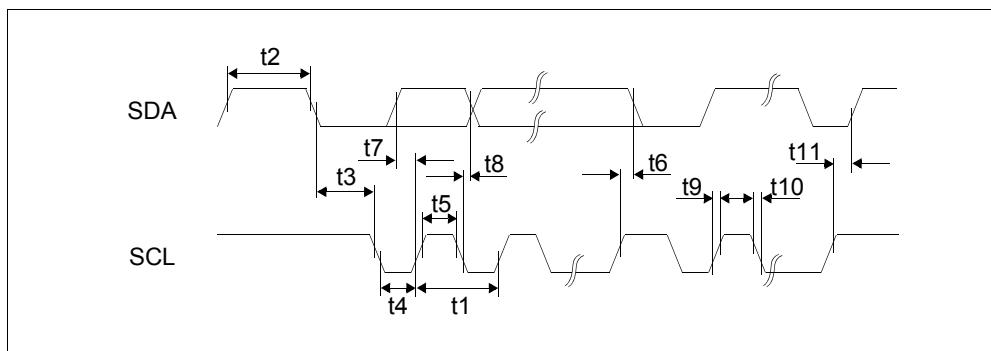


図6.11 I2Cインタフェースタイミング

## 6. AC特性

表6.9 I2Cインタフェースタイミング

記号	パラメータ	HIOVDD=1.8V HIOVDD=2.5V		単位
		Min	Max	
t1	SCL周波数	—	400	KHz
t2	STOP状態とSTART状態の間のバス空き時間	1.3	—	μs
t3	START状態のホールド時間	0.6	—	μs
t4	SCL Low時間	1.3	—	μs
t5	SCL High時間	0.6	—	μs
t6	繰り返しSTART状態のセットアップ時間	0.6	—	μs
t7	SCL立ち上がりからのSDAセットアップ時間	100	—	ns
t8	SCL立ち下がりからのSDAホールド時間	0 (注1)	—	μs
t9	SCLの立ち上がり時間	—	300	ns
t10	SCLの立ち下がり時間	—	300	ns
t11	STOP状態のセットアップ時間	0.6	—	μs

注

1. I2Cの仕様は、300nsのSDAホールド時間を指定します。但し、S1D13774 I2Cインタフェースでは、300nsのホールド時間は必要ありません。

6.6 ビデオインタフェースタイミング

6.6.1 12ビットRGBビデオインタフェースタイミング

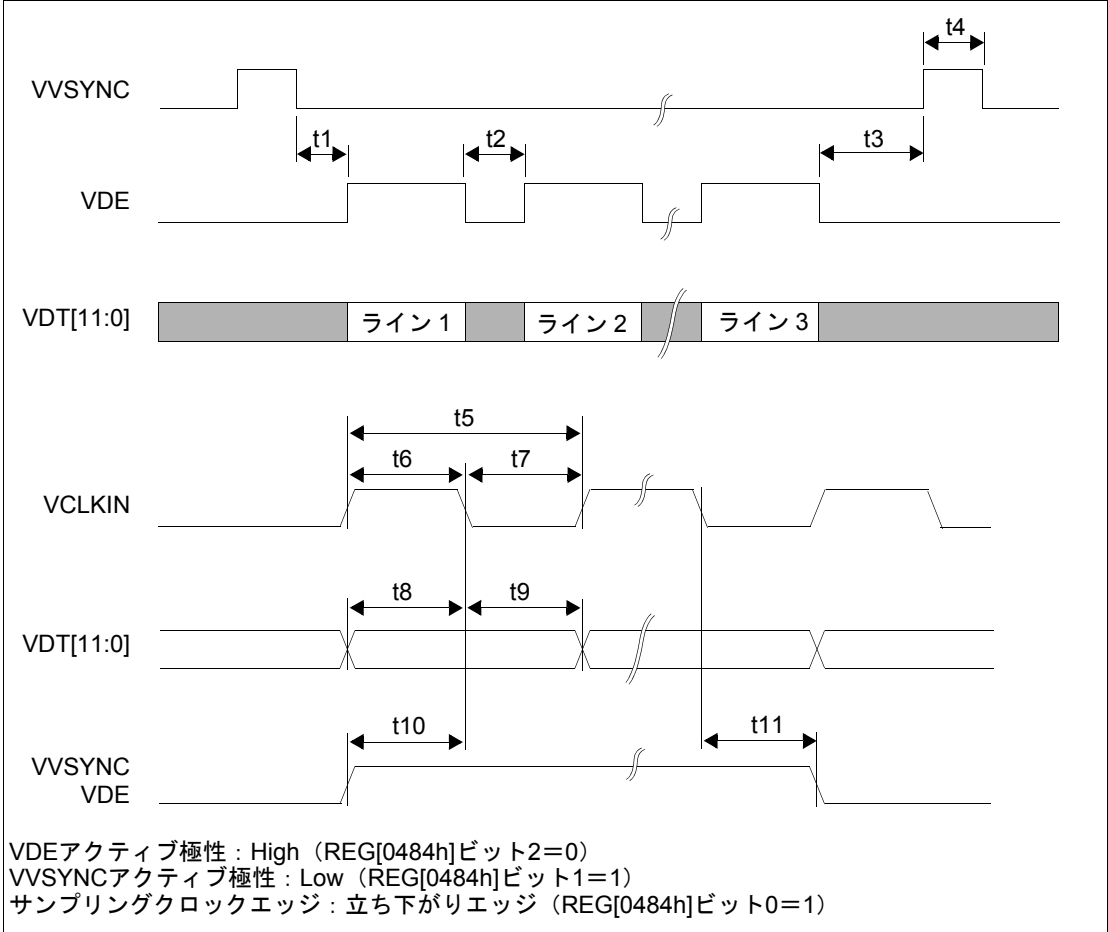


図6.12 12ビットRGBビデオインタフェースタイミング

## 6. AC特性

表6.10 12ビットRGBビデオインタフェースタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.5V		単位
		Min	Max	Min	Max	
t1	VVSYNC立ち下がリエッジからVDE立ち上がりエッジまで	0	—	0	—	Tv (注1)
t2	水平ブランク期間	4	—	4	—	Tv
t3	VDE立ち下がリエッジからVVSYNC立ち上がりエッジまで	0	—	0	—	Tv
t4	垂直ブランク期間	4	—	4	—	Tv
t5	入力クロック周期	2	—	2	—	Ts (注2)
t6	入力クロックHighパルス幅	1	—	1	—	Ts
t7	入力クロックLowパルス幅	1	—	1	—	Ts
t8	データセットアップ時間	5	—	5	—	ns
t9	データホールド時間	5	—	5	—	ns
t10	VVSYNC、VDEセットアップ時間	5	—	5	—	ns
t11	VVSYNC、VDEホールド時間	5	—	5	—	ns

注

1. Tvは、ビデオインタフェース入力クロック周期です。
2. Tsはシステムクロック周期です。
3.  $t1 + t3 + t4 > 100Tv$   
 $t1 + t3 + t4 > 16$ ライン

## 6.6.2 8ビットYUVビデオインタフェースタイミング

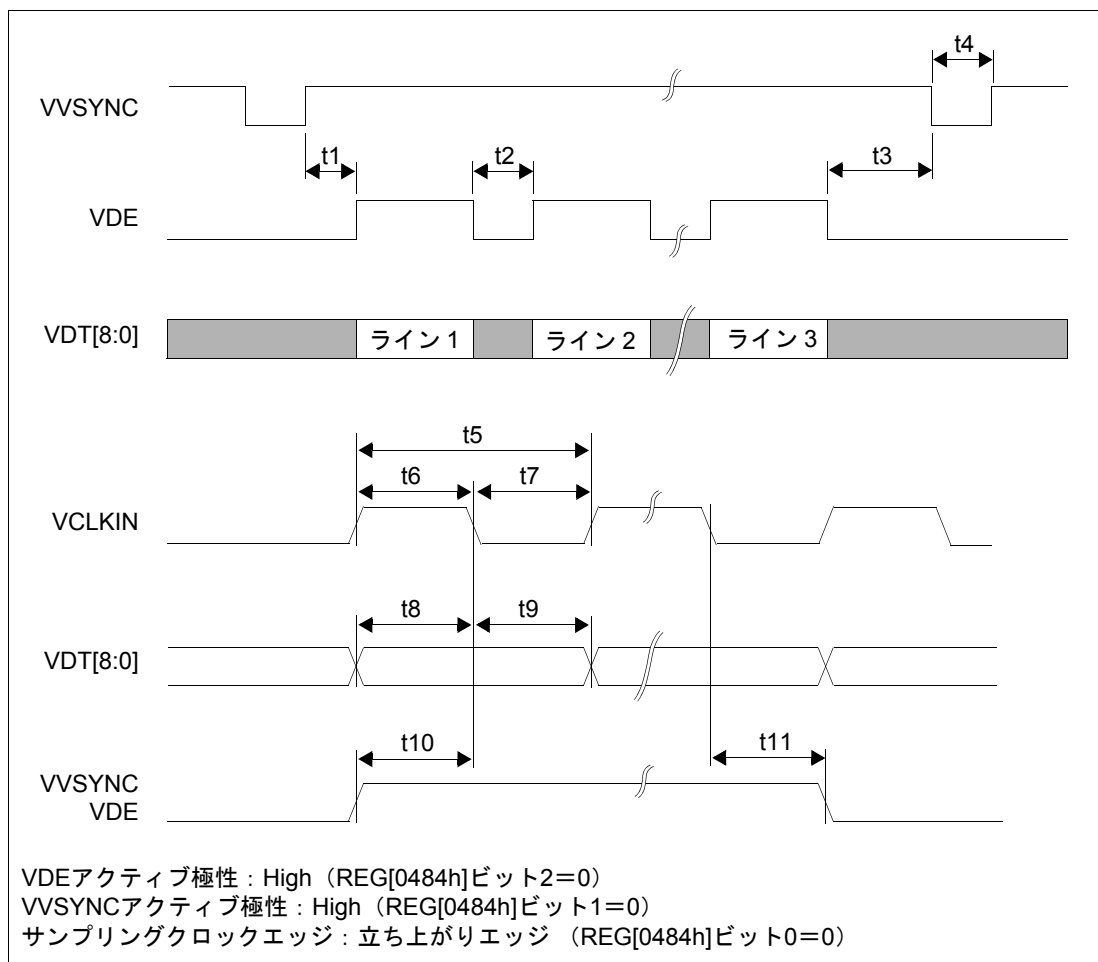


図6.13 8ビットYUVビデオインタフェースタイミング

## 6. AC特性

表6.11 8ビットYUVビデオインタフェースタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.5V		単位
		Min	Max	Min	Max	
t1	VVSYNC立ち上がりエッジからVDE立ち上がりエッジまで	0	—	0	—	Tv (注1)
t2	水平ブランク期間	4	—	4	—	Tv
t3	VDE立ち下がりエッジからVVSYNC立ち下がりエッジまで	0	—	0	—	Tv
t4	垂直ブランク期間	4	—	4	—	Ts
t5	入力クロック周期	2	—	2	—	Ts (注2)
t6	入力クロックHighパルス幅	1	—	1	—	Ts
t7	入力クロックLowパルス幅	1	—	1	—	Ts
t8	データセットアップ時間	5	—	5	—	ns
t9	データホールド時間	5	—	5	—	ns
t10	VVSYNC、VDEセットアップ時間	5	—	5	—	ns
t11	VVSYNC、VDEホールド時間	5	—	5	—	ns

注

1. Tvは、ビデオインタフェース入力クロック周期（VCLKIN）です。
2. Tsは、システムクロック周期です。
3.  $t1 + t3 + t4 > 100T_v$   
 $t1 + t3 + t4 > 16$ ライン

## 6.6.3 ビデオインタフェースクロック出力タイミング

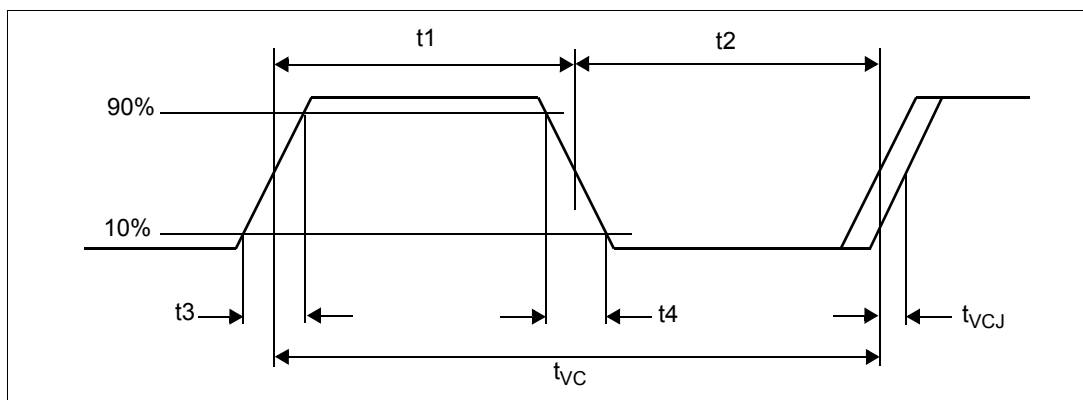


図6.14 ビデオクロック出力タイミング

## 6. AC特性

表6.12 ビデオクロック出力タイミング

記号	パラメータ	HIOVDD = 1.8V			HIOVDD = 2.5V			単位
		Min	Typ	Max	Min	Typ	Max	
Fvc	ビデオクロック出力周波数	—	—	40 (注1)	—	—	40 (注1)	MHz
Tvc	ビデオクロック出力期間	—	1/Fvc	—	—	1/Fvc	—	μs
Tvcj	ビデオクロック出力ジッタ	(注2)	—	(注2)	(注2)	—	(注2)	ps
t1	出カクロックHighパルス幅： REG[0018h]ビット9～8=11	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット9～8=10	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット9～8=01	(注5)	—	(注6)	(注5)	—	(注6)	ns
	REG[0018h]ビット9～8=00	(注5)	—	(注6)	(注5)	—	(注6)	ns
t2	出カクロックLowパルス幅： REG[0018h]ビット9～8=11	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット9～8=10	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット9～8=01	(注5)	—	(注6)	(注5)	—	(注6)	ns
	REG[0018h]ビット9～8=00	(注5)	—	(注6)	(注5)	—	(注6)	ns
t3	出カクロック立ち上がり時間 (10%～90%)	(注7)			(注7)			ns
t4	出カクロック立ち下がり時間 (90%～10%)	(注7)			(注7)			ns

### 注

1. Fvcmaxは、trとtflに依存します（38ページの6.1「出力信号立ち上がり／立ち下がりタイミング」を参照）。
2. Tvcj＝システムクロックジッタ（±400ps）×分周率（REG[0480h]ビット3～0）  
例えば、分周率＝4：1のときはTvcj＝400ps×4＝±1600ps。
3. ビデオクロック出力分周が1：1のとき（REG[0480h]ビット3～0＝0h）、最小パルス幅＝Tvc×0.40。  
ビデオクロック出力分周が1：1でないとき（REG[0480h]ビット3～0≠0h）、最小パルス幅＝Tvc×0.45。
4. ビデオクロック出力分周が1：1のとき（REG[0480h]ビット3～0＝0h）、最大パルス幅＝Tvc×0.60。  
ビデオクロック出力分周が1：1でないとき（REG[0480h]ビット3～0≠0h）、最大パルス幅＝Tvc×0.55。
5. t1min＝Tvc×0.40  
t2min＝Tvc×0.40
6. t1max＝Tvc×0.60  
t2max＝Tvc×0.60
7. 38ページの6.1「出力信号立ち上がり／立ち下がりタイミング」をご覧ください。



## 6.7 パネルインタフェースタイミング

### 6.7.1 LCD1 RGBインタフェースパネルタイミング

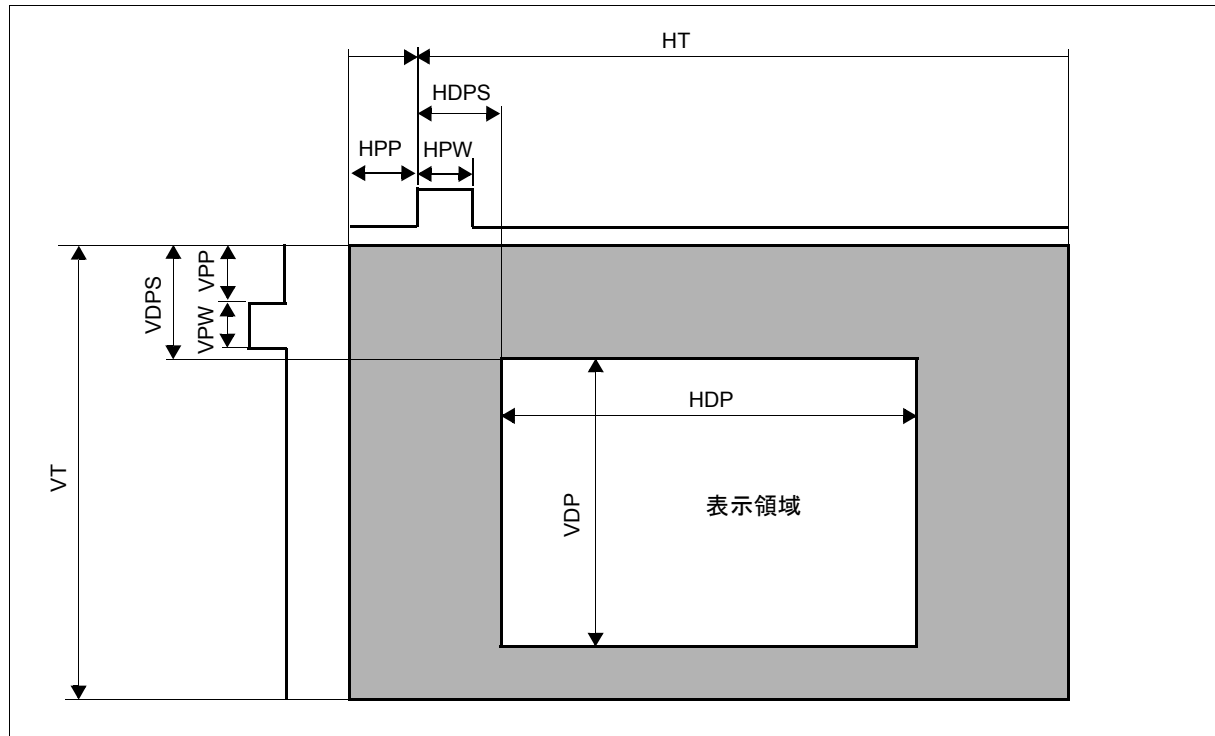


図6.15 LCD1 RGBインタフェースパネルタイミング

表6.13 LCD1 RGBインタフェースパネルタイミング

記号	説明	計算	単位
HT	全水平期間	$((\text{REG}[0140\text{h}] \text{ビット}6 \sim 0) + 1) \times 8$	Tp (注1)
HDP	水平表示期間	$((\text{REG}[0144\text{h}] \text{ビット}8 \sim 0) + 1) \times 2$	Tp
HDPS	水平表示期間開始位置	$(\text{REG}[0148\text{h}] \text{ビット}9 \sim 0) + 9$	Tp
HPW	HSYNCパルス幅	$(\text{REG}[014\text{Ch}] \text{ビット}6 \sim 0) + 1$	Tp
HPP	HSYNCパルス位置	$(\text{REG}[0150\text{h}] \text{ビット}9 \sim 0) + 1$	Tp
VT	全垂直期間	$(\text{REG}[0154\text{h}] \text{ビット}9 \sim 0) + 1$	ライン
VDP	垂直表示期間	$(\text{REG}[0158\text{h}] \text{ビット}9 \sim 0) + 1$	ライン
VDPS	垂直表示期間開始位置	$(\text{REG}[015\text{Ch}] \text{ビット}9 \sim 0)$	ライン
VPW	VSYNCパルス幅	$(\text{REG}[0160\text{h}] \text{ビット}2 \sim 0) + 1$	ライン
VPP	VSYNCパルス位置	$(\text{REG}[0164\text{h}] \text{ビット}9 \sim 0)$	ライン

注

1. Tp=ピクセルクロック周期
2.  $HT \geq HDP + HDPS$
3.  $VT > VDPS + VDP$
4.  $VT - VDP \geq 3$

6. AC特性

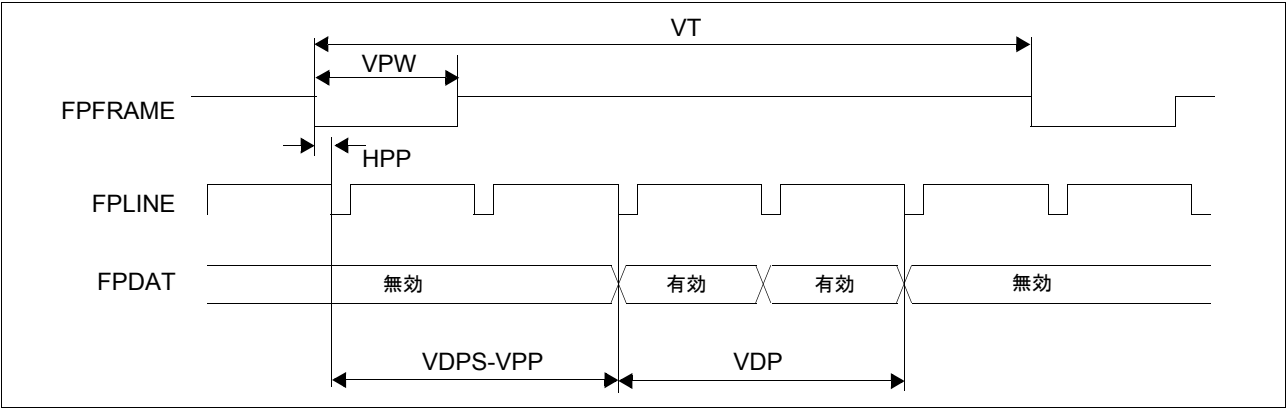


図6.16 LCD1 RGBインタフェース垂直タイミング

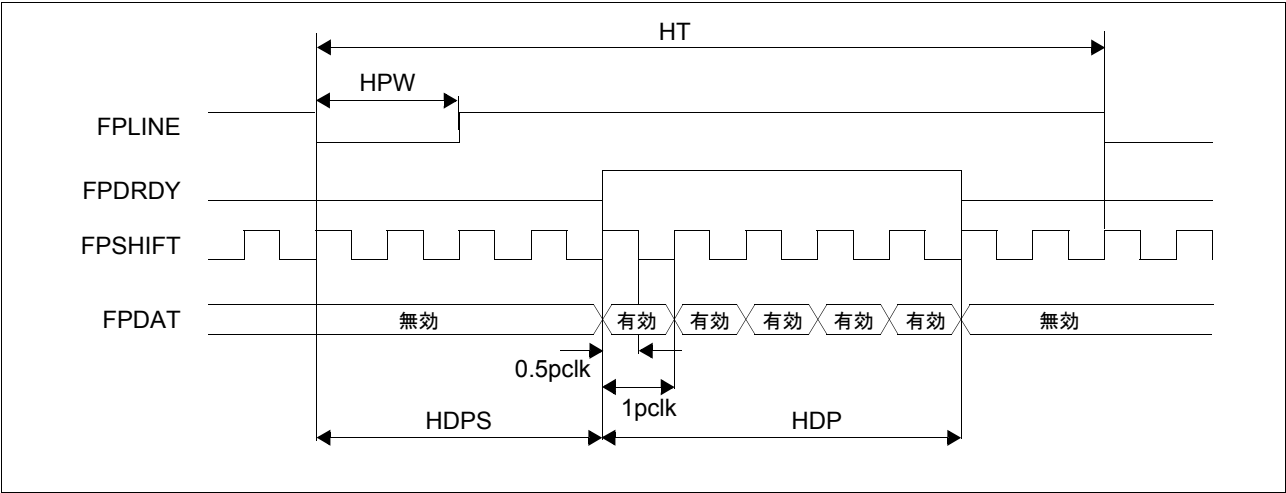


図6.17 LCD1 RGBインタフェース水平タイミング

## 6.7.2 LCD1、LCD2 4ワイヤ8ビットシリアルインタフェースタイミング

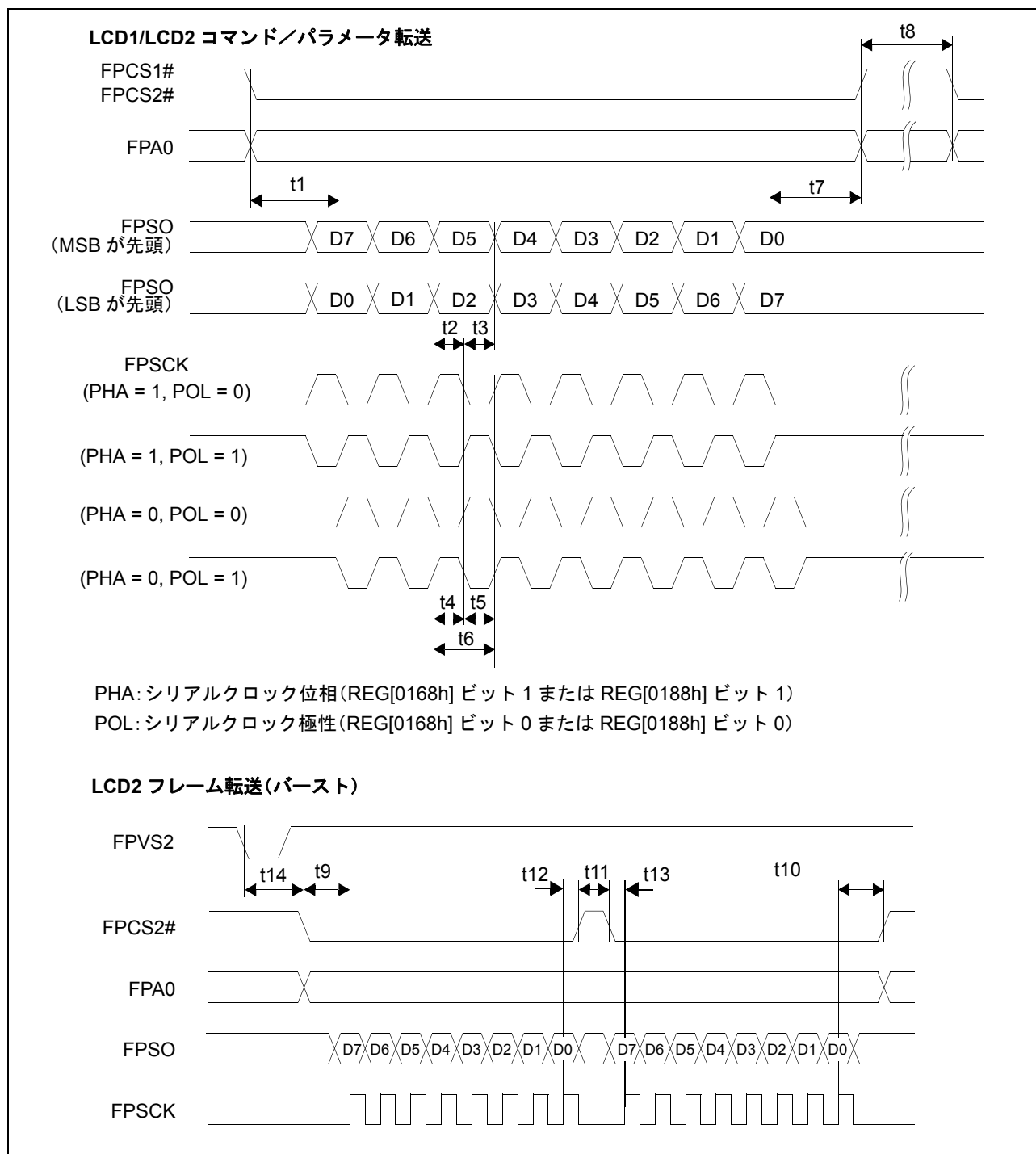


図6.18 LCD1、LCD2 4ワイヤ8ビットシリアルインタフェースタイミング

## 注

LCD2データ幅は、LCD2シリアルデータフォーマットビットREG[0188h]ビット3～2によって決定されます。

## 6. AC特性

表6.14 LCD1、LCD2 4ワイヤ8ビットシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High)パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low)パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1.0	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	1.0	—	Ts
t9	バーストモードの最初のチップ選択セットアップ時間	—	1.5	—	Ts
t10	バーストモードの最後のチップ選択ホールド時間	—	2.5	—	Ts
t11	バーストモードでのチップ選択間隔	—	1.0	—	Ts
t12	バーストモード中のチップ選択ホールド時間	—	0.5	—	Ts
t13	バーストモード中のチップ選択セットアップ時間	—	0.5	—	Ts
t14	FPVS2立ち下がリエッジからFPCS2#立ち下がリエッジまで	—	—	(注2)	Ts

注

1. Ts = シリアルクロック周期
2.  $t14_{max} = (2 \times HIS + 200) \times Ts_{sysclk} + (27 \times Ts_{clk})$   
ここで
  - HISは、Main1、Main2、PIP1、およびPIP2ウィンドウからの最大水平画像サイズ。  
(REG[0690h]、REG[06B4h]、REG[072Ch]、REG[082Ch]を参照)
  - Tsysclkはシステムクロック周期です。
  - Tscclkは、REG[0100h]ビット10～8で指定されるシリアルクロック周期です。

## 6.7.3 LCD1、LCD2 3ワイヤ9ビットシリアルインタフェースタイミング

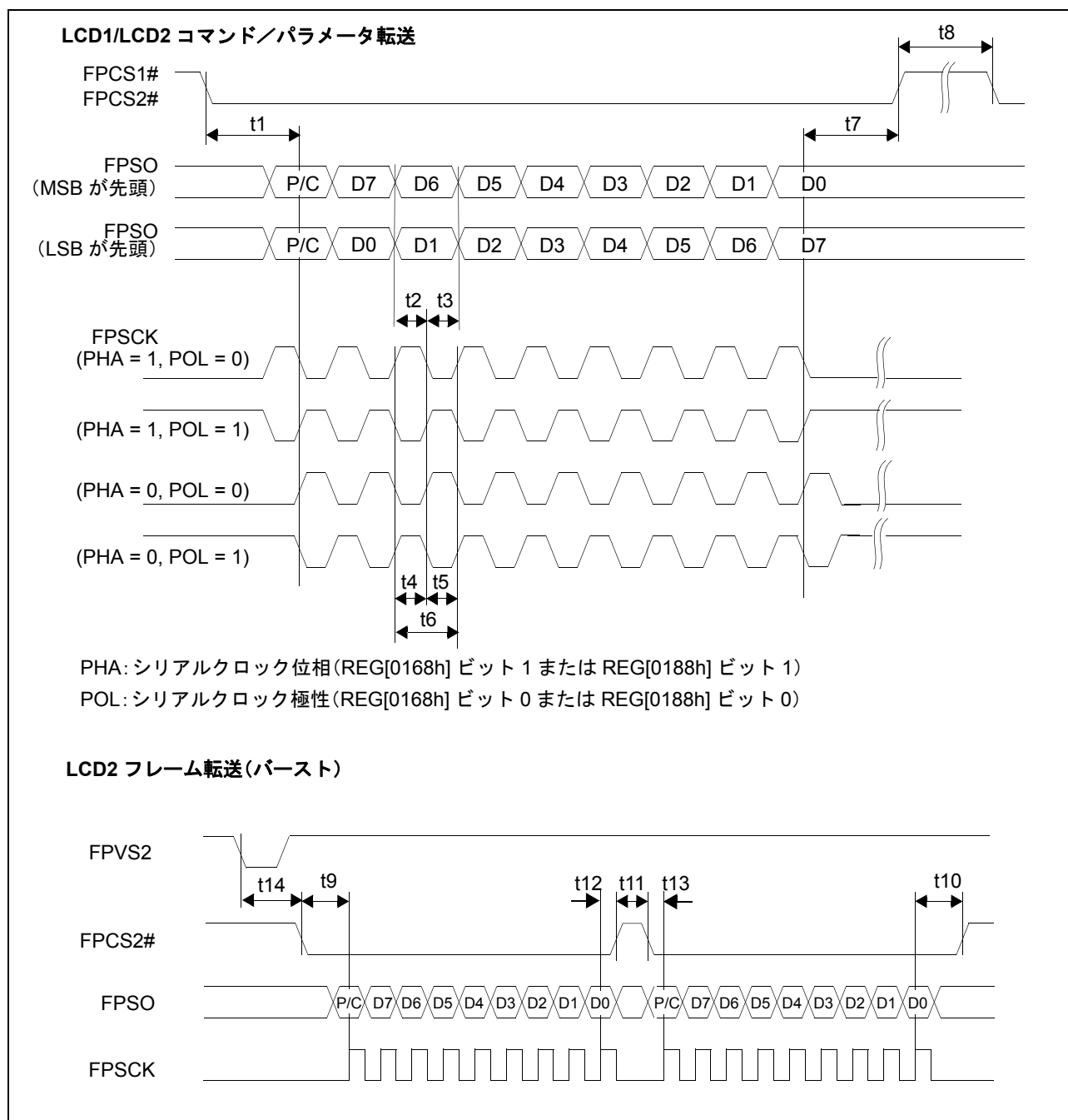


図6.19 LCD1、LCD2 3ワイヤ9ビットシリアルインタフェースタイミング

## 注

LCD2データ幅は、LCD2シリアルデータフォーマットビットREG[0188h]ビット3～2によって決定されます。

## 6. AC特性

表6.15 LCD1、LCD2 3ワイヤ9ビットシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High)パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low)パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1.0	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	1.0	—	Ts
t9	バーストモードの最初のチップ選択セットアップ時間	—	1.5	—	Ts
t10	バーストモードの最後のチップ選択ホールド時間	—	2.5	—	Ts
t11	バーストモードでのチップ選択間隔	—	1.0	—	Ts
t12	バーストモード中のチップ選択ホールド時間	—	0.5	—	Ts
t13	バーストモード中のチップ選択セットアップ時間	—	0.5	—	Ts
t14	FPVS2立ち下がりエッジからFPCS2#立ち下がりエッジまで	—	—	(注2)	Ts

注

1. Ts=シリアルクロック周期
2.  $t14_{max} = (2 \times HIS + 200) \times Ts_{sysclk} + (27 \times Ts_{clk})$

ここで

- HISは、Main1、Main2、PIP1およびPIP2ウィンドウからの最大水平画像サイズです。  
(REG[0690h]、REG[06B4h]、REG[072Ch]、REG[082Ch]を参照)
- Tsysclkは、システムクロック周期です。
- Tscclkは、REG[0100h]ビット10～8で指定されるシリアルクロック周期です。

## 6.7.4 LCD1 uWireシリアルインタフェースタイミング

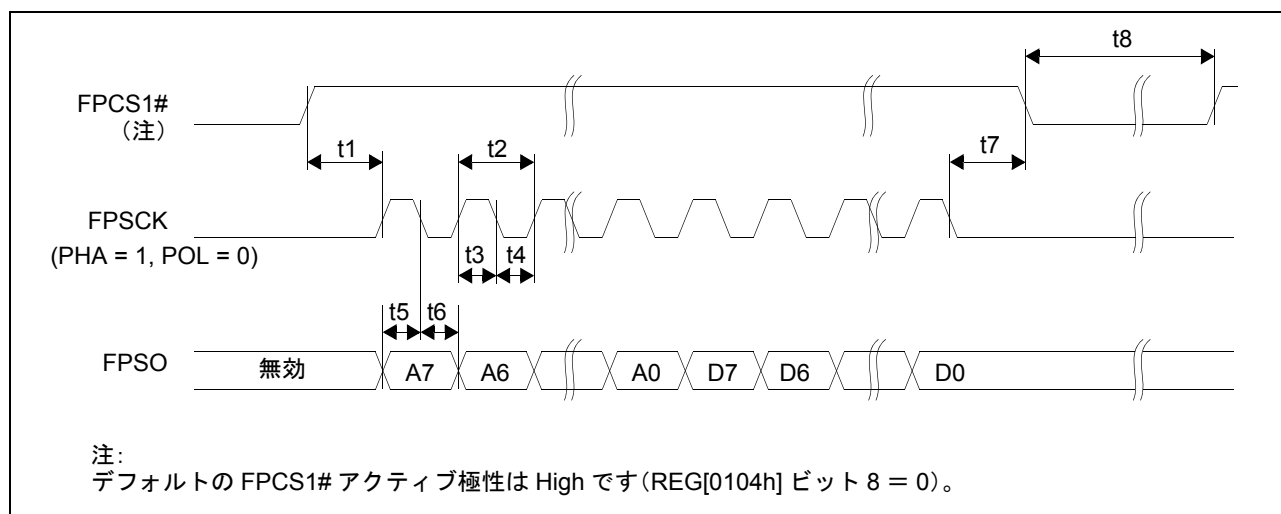


図6.20 LCD1 uWIREシリアルインタフェースタイミング

表6.16 LCD1 uWIREシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1	—	Ts (注1)
t2	シリアルクロック周期	—	1	—	Ts
t3	シリアルクロックHIGHパルス幅	—	0.5	—	Ts
t4	シリアルクロックLOWパルス幅	—	0.5	—	Ts
t5	データセットアップ時間	—	0.5	—	Ts
t6	データホールド時間	—	0.5	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアに依存します。

注

uWireパネルが選択されたとき (REG[0168h]ビット7~5=10x)、FPCS1#は、最初のuWire転送が開始されるまでアイドル状態でHighです。最初の転送後は、FPCS1#はアイドル状態でLowとなります。

## 6. AC特性

### 6.7.5 LCD1、LCD2 24ビットシリアルインタフェースタイミング

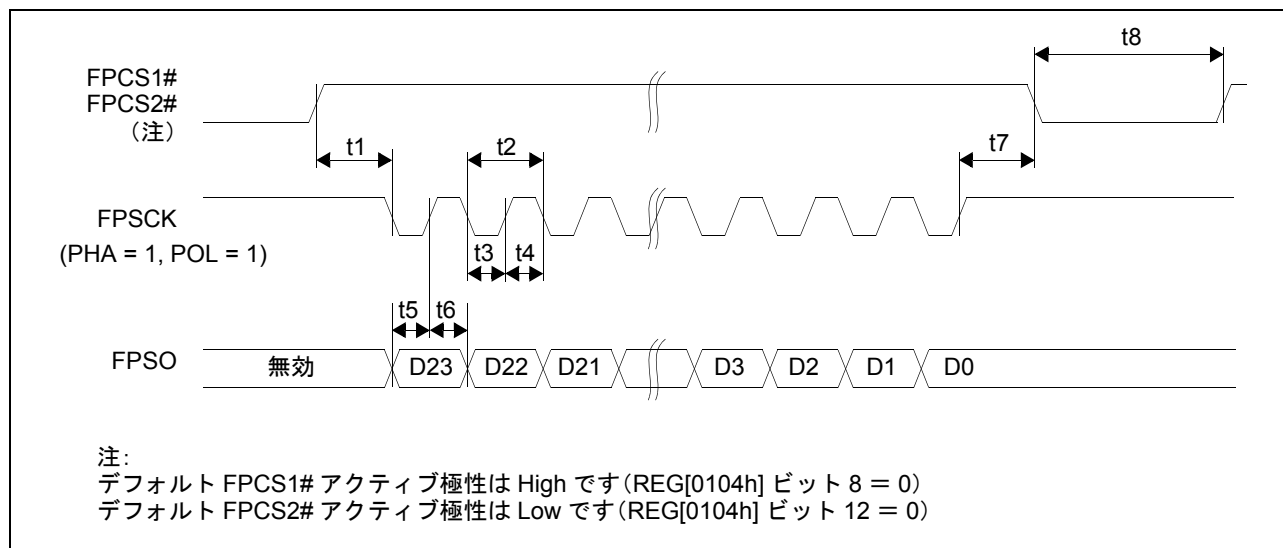


図6.21 LCD1、LCD2 24ビットシリアルインタフェースタイミング

表6.17 LCD1、LCD2 24ビットシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1	—	Ts (注1)
t2	シリアルクロック周期	—	1	—	Ts
t3	シリアルクロックLowパルス幅	—	0.5	—	Ts
t4	シリアルクロックHighパルス幅	—	0.5	—	Ts
t5	データセットアップ時間	—	0.5	—	Ts
t6	データホールド時間	—	0.5	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts=シリアルクロック周期
2. この設定はソフトウェアに依存します。



## 6.7.6 LCD2パラレルインタフェース (80)

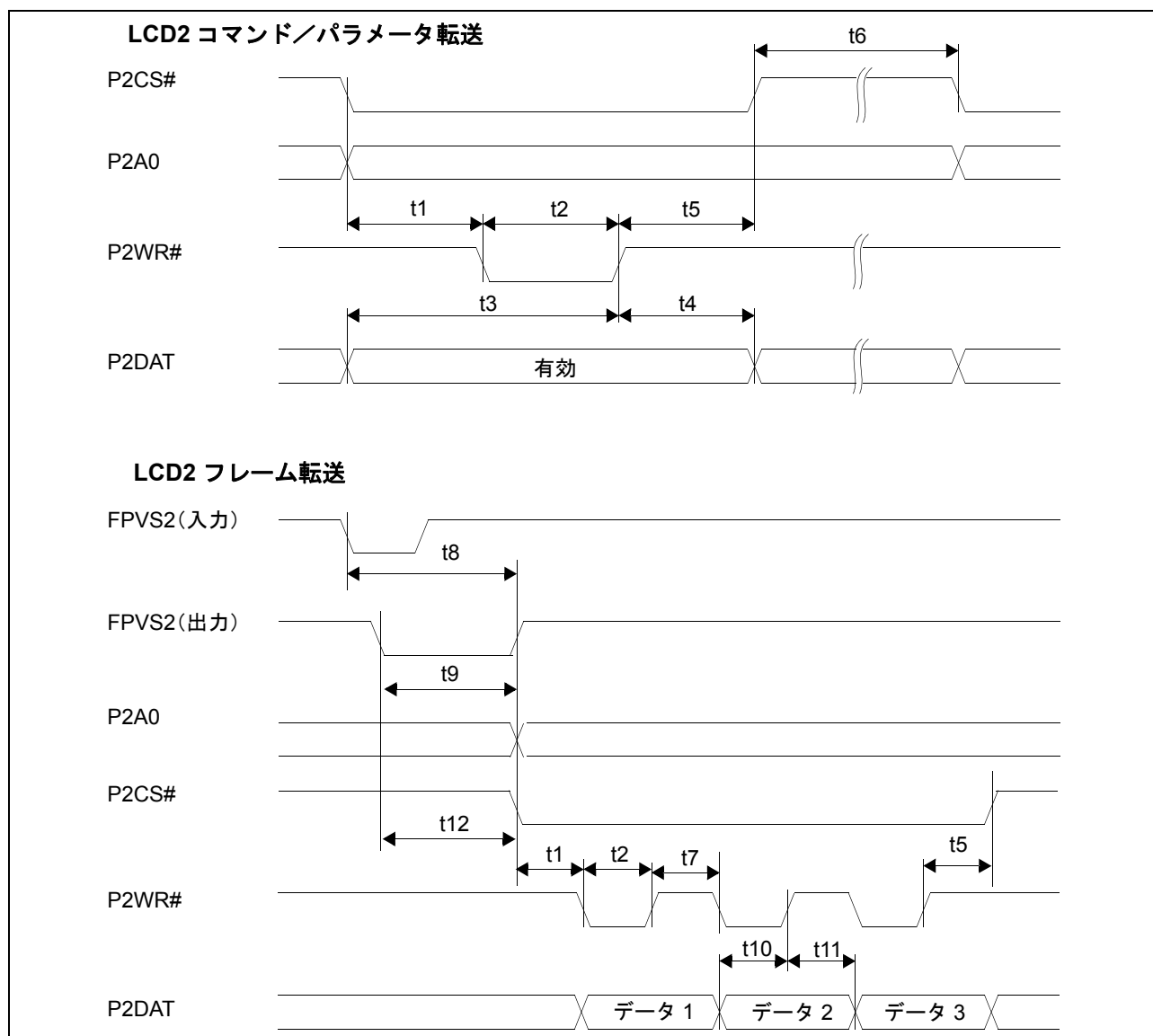


図6.22 LCD2パラレルインタフェースタイミング (80)

## 6. AC特性

表6.18 LCD2パラレルインタフェースタイミング (80)

記号	パラメータ	Min	Typ	Max	単位
t1	P2CS#立ち下がりエッジからP2WR#立ち下がりエッジまで	—	1	—	Tp (注1)
t2	P2WR# Low期間	—	1	—	Tp
t3	P2DATセットアップ時間	—	3	—	Tp
t4	P2DATホールド時間	—	2	—	Tp
t5	P2WR#立ち上がりエッジからP2CS#立ち上がりエッジまで	—	1	—	Tp
t6	P2CS#ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクルのP2WR# High期間	—	1	—	Tp
t8	FPVS2 (入力) 立ち下がりエッジからP2CS#立ち下がりエッジまで	—	—	(注2)	Tp
t9	FPVS2 (出力) Low期間	—	(注3)	—	Tp
t10	バーストサイクルのP2DATセットアップ時間	—	1	—	Tp
t11	バーストサイクル中のP2DATホールド時間	—	1	—	Tp
t12	FPVS2 (出力) 立ち下がりエッジからP2CS#立ち下がりエッジまで	—	(注4)	—	Tp

注

1. Tp = ピクセルクロック周期  
= コマンド/パラメータ転送の場合、TpはREG[0100h]ビット15~12によって定義されます。  
= フレーム転送の場合、TpはREG[0100h]ビット4~0によって定義されます。
2.  $t8_{max} = (2 \times HIS + 200) \times Tsyclk + (21 \times Tp)$   
ここで
  - HISは、Main1、Main2、PIP1およびPIP2ウィンドウからの最大水平画像サイズです。  
(REG[0690h]、REG[06B4h]、REG[072Ch]、REG[082Ch]を参照)
  - Tsyclkはシステムクロック周期です。
  - Tpは、REG[0100h]ビット4~0によって指定されるピクセルクロック周期です。
3.  $t9_{typ} = \text{REG}[0190h] \text{ビット} 15 \sim 8 \times 2$
4.  $t12_{typ} = \text{REG}[0190h] \text{ビット} 7 \sim 0 \times 2 + 10$

## 6.7.7 LCD2パラレルインタフェース (68)

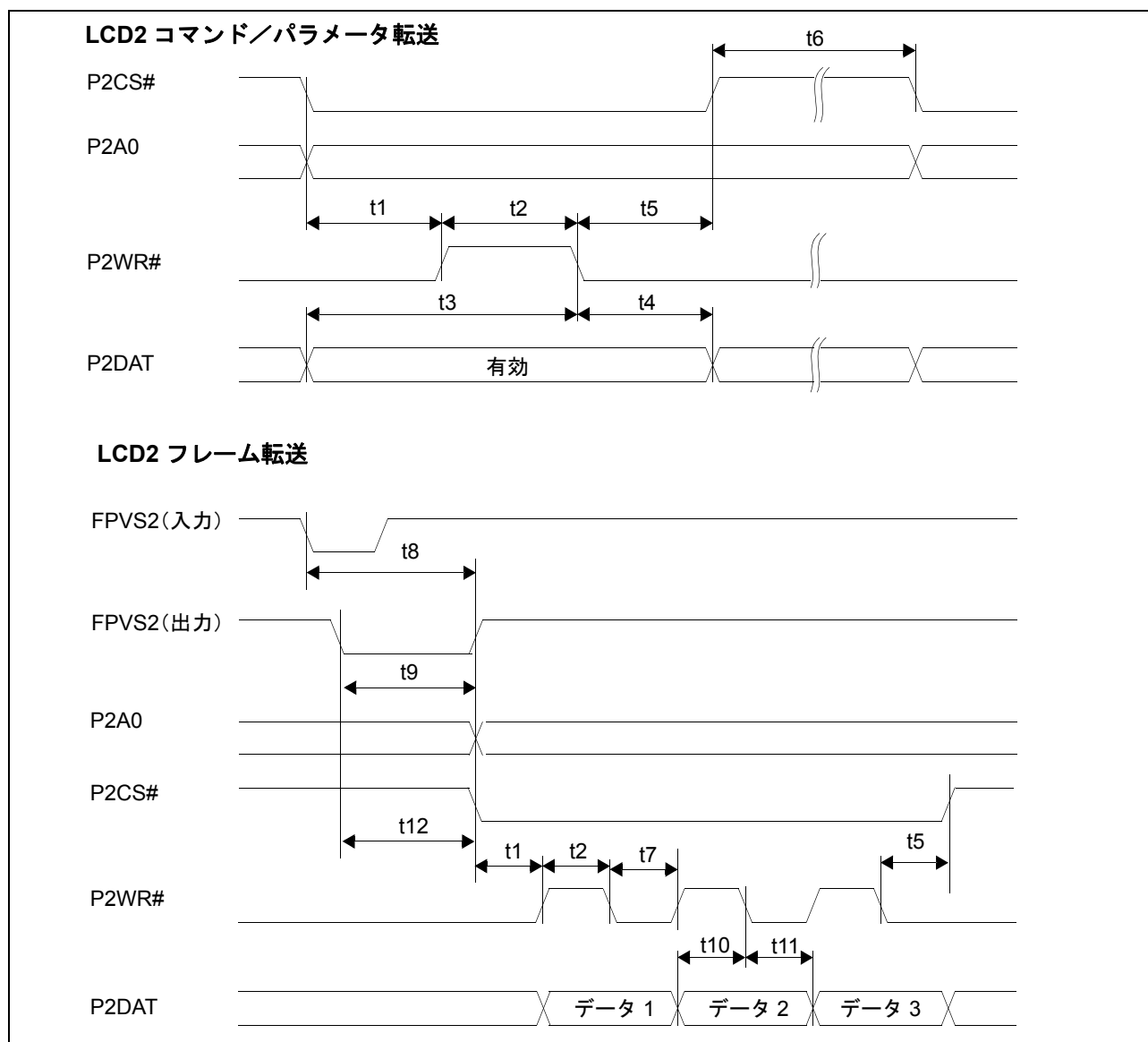


図6.23 LCD2パラレルインタフェースタイミング (68)

## 6. AC特性

表6.19 LCD2パラレルインタフェースタイミング (68)

記号	パラメータ	Min	Typ	Max	単位
t1	P2CS#立ち下がりエッジからP2WR#立ち上がりエッジまで	—	1	—	Tp (注1)
t2	P2WR#High期間	—	1	—	Tp
t3	P2DATセットアップ時間	—	3	—	Tp
t4	P2DATホールド時間	—	2	—	Tp
t5	P2WR#立ち下がりエッジからP2CS#立ち上がりエッジまで	—	1	—	Tp
t6	P2CS#ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクル内のP2WR#信号Low期間	—	1	—	Tp
t8	FPVS2 (入力) 立ち下がりエッジからP2CS#立ち下がりエッジまで	—	—	(注2)	Tp
t9	FPVS2 (出力) Low期間	—	(注3)	—	Tp
t10	バーストサイクル内のP2DATセットアップ時間	—	1	—	Tp
t11	バーストサイクル内のP2DATホールド時間	—	1	—	Tp
t12	FPVS2 (出力) 立ち下がりエッジからP2CS#立ち下がりエッジまで	—	(注4)	—	Tp

注

1. Tp = ピクセルクロック周期  
= コマンド/パラメータ転送の場合、Tpは、REG[0100h]ビット15~12によって定義されます。  
= フレーム転送の場合、Tpは、REG[0100h]ビット4~0によって定義されます。
2.  $t8_{max} = (2 \times HIS + 200) \times Tsyclk + (21 \times Tp)$   
ここで
  - HISは、Main1、Main2、PIP1およびPIP2ウィンドウからの最大水平画像サイズです。  
(REG[0690h]、REG[06B4h]、REG[072Ch]、REG[082Ch]を参照)
  - Tsyclkはシステムクロック周期です。
  - Tpは、REG[0100h]ビット4~0によって指定されるピクセルクロック周期です。
3.  $t9_{typ} = \text{REG}[0190h] \text{ビット} 15 \sim 8 \times 2$
4.  $t12_{typ} = \text{REG}[0190h] \text{ビット} 7 \sim 0 \times 2 + 10$

## 6.7.8 LCDインタフェース出力タイミング

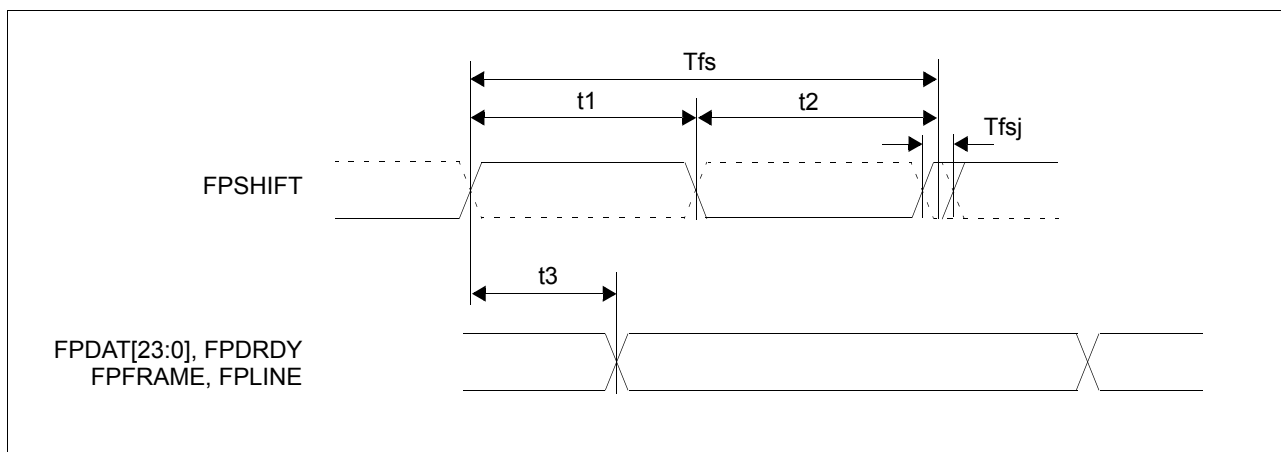


図6.24 LCDインタフェース出力タイミング

## 6. AC特性

表6.20 LCDインタフェース出力タイミング

記号	パラメータ	PIOVDD = 1.8V			PIOVDD = 2.5V			単位
		Min	Typ	Max	Min	Typ	Max	
Ffs	FPSHIFT出力周波数	—	—	(注1)	—	—	(注1)	MHz
Tfs	FPSHIFT出力期間	—	1/Ffs	—	—	1/Ffs	—	μs
Tfsj	FPSHIFT出力ジッタ	(注2)	—	(注2)	(注2)	—	(注2)	ps
t1	FPSHIFT Highパルス幅 : REG[0018h]ビット7~6=11	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット7~6=10	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット7~6=01	(注5)	—	(注6)	(注5)	—	(注6)	ns
	REG[0018h]ビット7~6=00	(注5)	—	(注6)	(注5)	—	(注6)	ns
t2	FPSHIFT Lowパルス幅 : REG[0018h]ビット7~6=11	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット7~6=10	(注3)	—	(注4)	(注3)	—	(注4)	ns
	REG[0018h]ビット7~6=01	(注5)	—	(注6)	(注5)	—	(注6)	ns
	REG[0018h]ビット7~6=00	(注5)	—	(注6)	(注5)	—	(注6)	ns
t3	FPDAT、FPDRDY、FPRAME、FPLINE 遅延時間 : REG[0018h]ビット7~6=11	-4	—	4	-4	—	4	ns
	REG[0018h]ビット7~6=10	-4	—	4	-4	—	4	ns
	REG[0018h]ビット7~6=01	-5	—	5	-5	—	5	ns
	REG[0018h]ビット7~6=00	-7.5	—	7.5	-7.5	—	7.5	ns

注

1.  $Ffs \leq \text{システムクロック周波数} \div 2$   
Ffsmaxはtrとtfに依存します（38ページの6.1「出力信号立ち上がり／立ち下がりタイミング」を参照）。
2.  $Tfsj = \text{システムクロックジッタ} (\pm 400\text{ps}) \times \text{ピクセルクロック分周} (\text{REG}[0100\text{h}] \text{ビット} 4 \sim 0)$   
例えば、ピクセルクロック分周率が4 : 1のときは、 $Tfsj = 400\text{ps} \times 4 = \pm 1600\text{ps}$ 。
3. ピクセルクロック分周が1 : 1のときは（REG[0100h]ビット4~0=00h）、最小パルス幅=Tfs×0.40。  
ピクセルクロック分周が1 : 1でないときは（REG[0100h]ビット4~0≠00h）、最小パルス幅=Tfs×0.45。
4. ピクセルクロック分周が1 : 1のときは（REG[0100h]ビット4~0=00h）、最大パルス幅=Tfs×0.60。  
ピクセルクロック分周が1 : 1でないときは（REG[0100h]ビット4~0≠00h）、最大パルス幅=Tfs×0.55。
5.  $t1_{\text{min}} = Tfs \times 0.40$   
 $t2_{\text{min}} = Tfs \times 0.40$
6.  $t1_{\text{max}} = Tfs \times 0.60$   
 $t2_{\text{max}} = Tfs \times 0.60$

## 6.8 TVタイミング

## 6.8.1 TV-Out HSYNCおよびFIELD型インタフェースタイミング

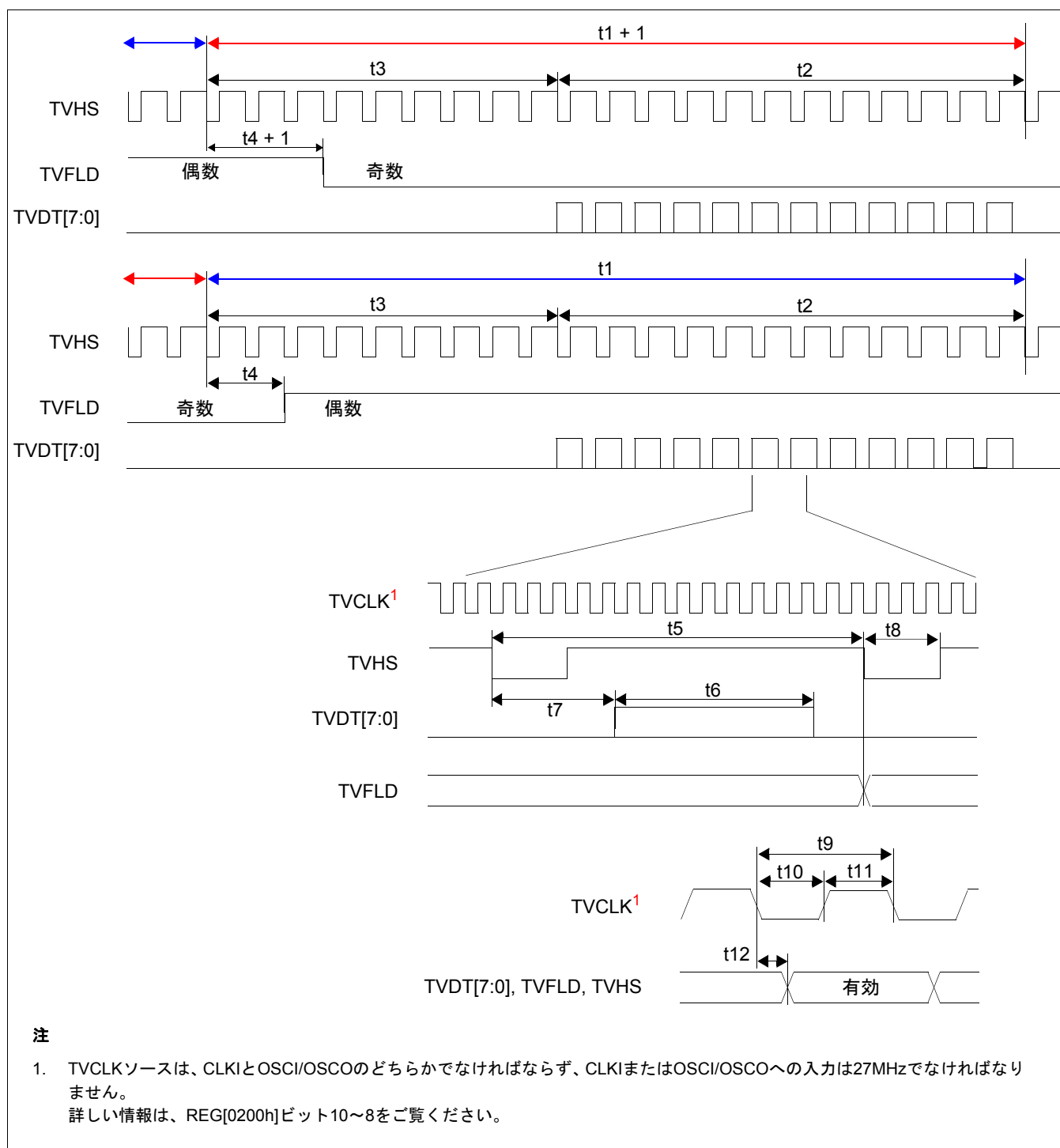


図6.25 TV-Out HSYNCおよびFIELD型インタフェースタイミング

## 6. AC特性

表6.21 TV-Out HSYNCおよびFIELD型インタフェースタイミング

記号	パラメータ	IOVDD = 1.8V		IOVDD = 2.5V		単位
		Min	Max	Min	Max	
t1	全垂直期間（偶数フィールド）	REG[0218h] + 1		REG[0218h] + 1		ライン
t2	垂直表示期間（奇数／偶数フィールド）	REG[021Ch] + 1		REG[021Ch] + 1		ライン
t3	垂直表示開始位置（奇数／偶数フィールド）	REG[0220h] + 2		REG[0220h] + 2		ライン
t4	TVFLD信号トグル位置	REG[0224h]		REG[0224h]		ライン
t5	全水平期間	(REG[0204h] + 1) × 2		(REG[0204h] + 1) × 2		Ttv（注1）
t6	水平表示期間	(REG[0208h] + 1) × 4		(REG[0208h] + 1) × 4		Ttv
t7	水平表示開始位置	REG[020Ch] × 2 + 18		REG[020Ch] × 2 + 18		Ttv
t8	TVHS水平表示同期Lowパルス幅	(REG[0210h] + 1) × 2		(REG[0210h] + 1) × 2		Ttv
t9	TVCLKサイクル（Tvcyc）	1		1		Ttv
t10	TVCLK Lowパルス幅（注2）	0.4 Tvcyc	0.6 Tvcyc	0.4 Tvcyc	0.6 Tvcyc	ns
t11	TVCLK Highパルス幅（注2）	0.4 Tvcyc	0.6 Tvcyc	0.4 Tvcyc	0.6 Tvcyc	ns
t12	TVDT、TVFLD、TVHS遅延時間（注2）	-4	4	-4	4	ns

注

- TV-Outクロック周期＝CLKIまたはOSCI/OSCO期間
- IO駆動レベルは、3.0mAまたは3.7mA@1.8Vです（REG[0018h]を参照）。  
IO駆動レベルは、6.0mAまたは7.4mA@2.5Vです（REG[0018h]を参照）。
- NTSCのレジスタ設定例（出力サイズ：水平＝720、垂直＝480）  
 REG[0204h]ビット9～0＝359h [HT]  
 REG[0208h]ビット8～0＝167h [HDP]  
 REG[020Ch]ビット9～0＝071h [HDPS]  
 REG[0210h]ビット6～0＝00h [HPW]  
 REG[0218h]ビット9～0＝105h [VT]  
 REG[021Ch]ビット9～0＝0EFh [VDP]  
 REG[0220h]ビット9～0＝012h [VDPS]  
 REG[0224h]ビット9～0＝002h [FIELD]  
 表示の水平方向は、Main1/Main2/PIP1/PIP2ウインドウX開始位置レジスタで調整してください。  
 (REG[06A0h]、REG[06C4h]、REG[073Ch]、REG[083Ch] ≥ 30h)
- PAL BDGHIのレジスタ設定例（出力サイズ：水平＝720、垂直＝576）  
 REG[0204h]ビット9～0＝35Fh [HT]  
 REG[0208h]ビット8～0＝167h [HDP]  
 REG[020Ch]ビット9～0＝07Fh [HDPS]  
 REG[0210h]ビット6～0＝00h [HPW]  
 REG[0218h]ビット9～0＝137h [VT]  
 REG[021Ch]ビット9～0＝11Fh [VDP]  
 REG[0220h]ビット9～0＝015h [VDPS]  
 REG[0224h]ビット9～0＝002h [FIELD]  
 表示の水平方向は、Main1/Main2/PIP1/PIP2ウインドウX開始位置レジスタで調整してください。  
 (REG[06A0h]、REG[06C4h]、REG[073Ch]、REG[083Ch] ≥ 30h)



## 6.8.2 TV-Out ITU-R BT656インタフェースタイミング

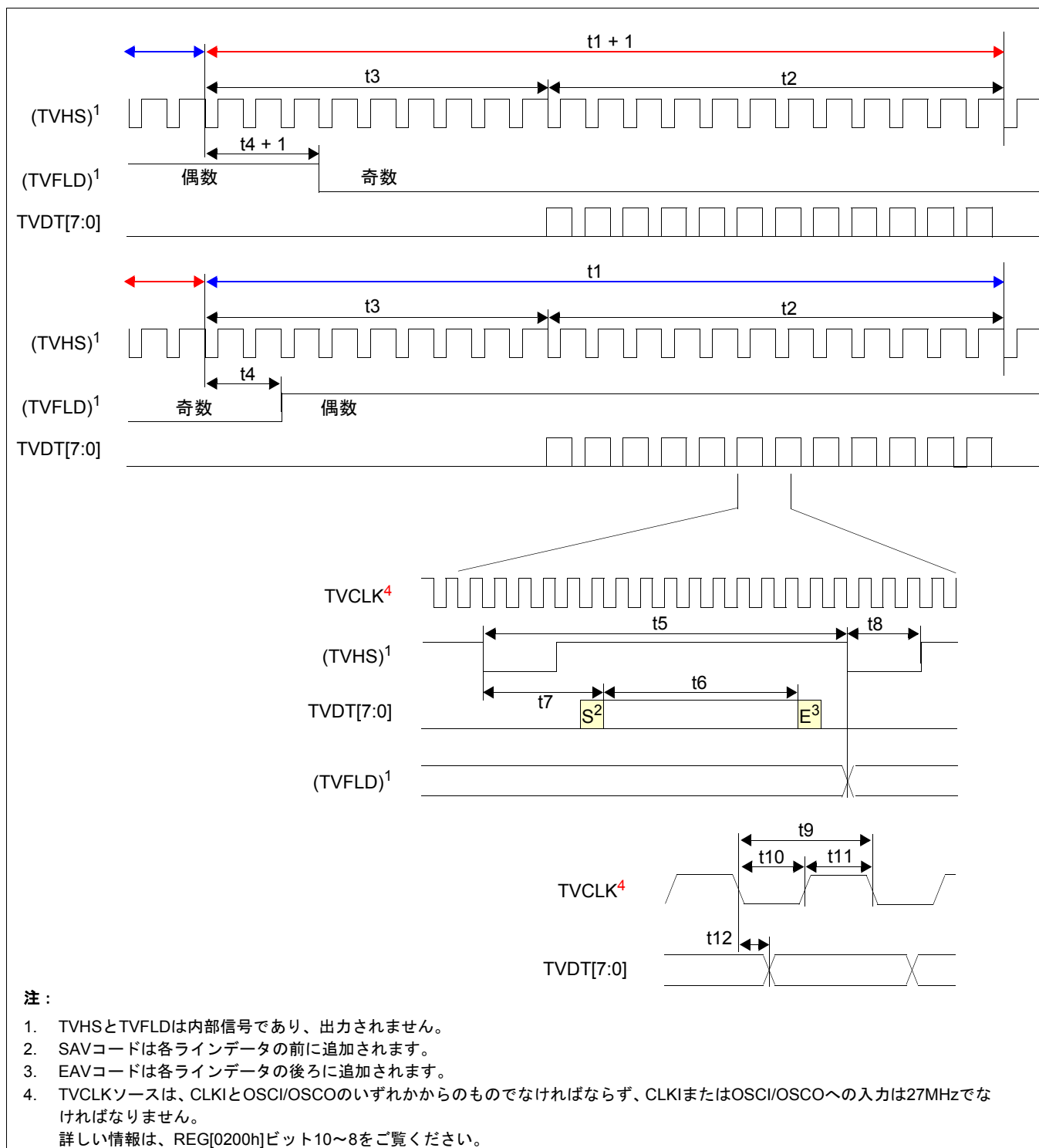


図6.26 TV-Out ITU-R BT656インタフェースタイミング

## 6. AC特性

表6.22 TV-Out ITU-R BT656インタフェースタイミング

記号	パラメータ	IOVDD = 1.8V		IOVDD = 2.5V		単位
		Min	Max	Min	Max	
t1	全垂直期間（偶数フィールド）	REG[0218h] + 1		REG[0218h] + 1		ライン
t2	垂直表示期間（奇数／偶数フィールド）	REG[021Ch] + 1		REG[021Ch] + 1		ライン
t3	垂直表示開始位置（奇数／偶数フィールド）	REG[0220h] + 2		REG[0220h] + 2		ライン
t4	TVFLD信号トグル位置	REG[0224h]		REG[0224h]		ライン
t5	全水平期間	(REG[0204h] + 1) × 2		(REG[0204h] + 1) × 2		Ttv（注1）
t6	水平表示期間	(REG[0208h] + 1) × 4		(REG[0208h] + 1) × 4		Ttv
t7	水平表示開始位置	REG[020Ch] × 2 + 18		REG[020Ch] × 2 + 18		Ttv
t8	TVHS水平表示同期Lowパルス幅	(REG[0210h] + 1) × 2		(REG[0210h] + 1) × 2		Ttv
t9	TVCLKサイクル（Tvcyc）	1		1		Ttv
t10	TVCLK Lowパルス幅（注2）	0.4 Tvcyc	0.6 Tvcyc	0.4 Tvcyc	0.6 Tvcyc	ns
t11	TVCLK Highパルス幅（注2）	0.4 Tvcyc	0.6 Tvcyc	0.4 Tvcyc	0.6 Tvcyc	ns
t12	TVDT遅延時間（注2）	-4	4	-4	4	ns

注

1. TV-Outクロック周期＝CLKIまたはOSCI/OSCO期間
2. IO駆動レベルは、3.0mAまたは3.7mA@1.8Vです（REG[0018h]を参照）。  
IO駆動レベルは、6.0mAまたは7.4mA@2.5Vです（REG[0018h]を参照）。
3. NTSCのレジスタ設定例（出力サイズ：水平＝720、垂直＝480）

REG[0204h]ビット9～0＝359h [HT]  
REG[0208h]ビット8～0＝167h [HDP]  
REG[020Ch]ビット9～0＝071h [HDPS]  
REG[0210h]ビット6～0＝00h [HPW]  
REG[0218h]ビット9～0＝105h [VT]  
REG[021Ch]ビット9～0＝0EFh [VDP]  
REG[0220h]ビット9～0＝012h [VDPS]  
REG[0224h]ビット9～0＝002h [FILD]

表示の水平方向は、Main1/Main2/PIP1/PIP2ウインドウX開始位置レジスタで調整してください。  
(REG[06A0h]、REG[06C4h]、REG[073Ch]、REG[083Ch] ≥ 30h)

4. PAL BDGHIのレジスタ設定例（出力サイズ：水平＝720、垂直＝576）

REG[0204h]ビット9～0＝35Fh [HT]  
REG[0208h]ビット8～0＝167h [HDP]  
REG[020Ch]ビット9～0＝07Fh [HDPS]  
REG[0210h]ビット6～0＝00h [HPW]  
REG[0218h]ビット9～0＝137h [VT]  
REG[021Ch]ビット9～0＝11Fh [VDP]  
REG[0220h]ビット9～0＝015h [VDPS]  
REG[0224h]ビット9～0＝002h [FILD]

表示の水平方向は、Main1/Main2/PIP1/PIP2ウインドウX開始位置レジスタで調整してください。  
(REG[06A0h]、REG[06C4h]、REG[073Ch]、REG[083Ch] ≥ 30h)

## 6.8.3 TV-Outパラレルインタフェースタイミング

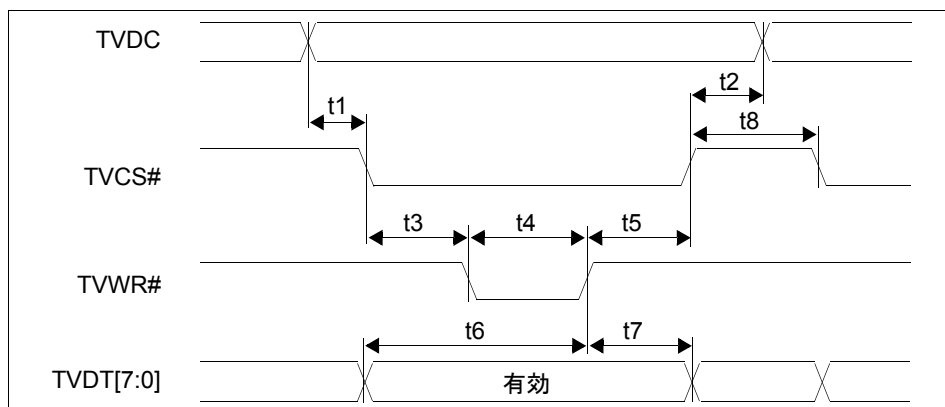


図6.27 TV-Outパラレルインタフェースコマンド書き込みタイミング

表6.23 TV-Outパラレルインタフェースコマンド書き込みタイミング

記号	パラメータ	IOVDD = 1.8V			IOVDD = 2.5V			単位
		Min	Typ	Max	Min	Typ	Max	
t1	TVDCセットアップ時間	0	—	—	0	—	—	ns
t2	TVDCホールド時間	0	—	—	0	—	—	ns
t3	TVCS#立ち下がりエッジからTVWR#立ち下がりエッジまで	—	1	—	—	1	—	Ttv (注1)
t4	TVWR# Low期間	—	1	—	—	1	—	Ttv
t5	TVWR#立ち上がりエッジからTVCS#立ち上がりエッジまで	—	1	—	—	1	—	Ttv
t6	TVDTセットアップ時間	—	2	—	—	2	—	Ttv
t7	TVDTホールド時間	—	1	—	—	1	—	Ttv
t8	TVCS#ディアサートからリアサートまで	—	1	—	—	1	—	Ttv

注

1. Ttv=TV-Outクロック周期

# 6. AC特性

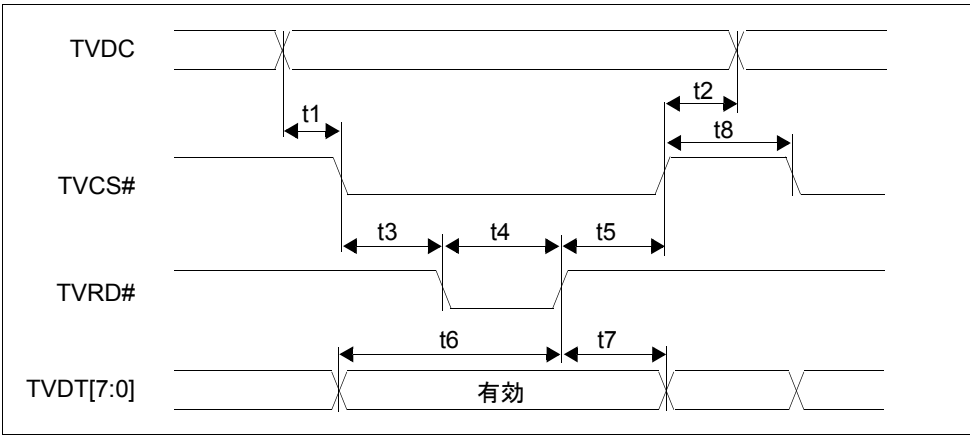


図6.28 TV-Outパラレルインタフェースコマンド読み出しタイミング

表6.24 TV-Outパラレルインタフェースコマンド読み出しタイミング

記号	パラメータ	IOVDD = 1.8V			IOVDD = 2.5V			単位
		Min	Typ	Max	Min	Typ	Max	
t1	TVDCセットアップ時間	0	—	—	0	—	—	ns
t2	TVDCホールド時間	0	—	—	0	—	—	ns
t3	TVCS#立ち下がりエッジからTVRD#立ち下がりエッジまで	—	0	—	—	0	—	Ttv (注1)
t4	TVRD# Low期間	—	0	—	—	0	—	Ttv
t5	TVRD#立ち上がりエッジからTVCS#立ち上がりエッジまで	—	0	—	—	0	—	Ttv
t6	TVDTセットアップ時間	(注2)	—	—	(注2)	—	—	ns
t7	TVDTホールド時間	0	—	—	0	—	—	ns
t8	TVCS#ディアサートからリアサートまで	1	—	—	1	—	—	Ttv

注  
1. Ttv=TV-Outクロック周期  
2. t6min =Tsysclk+36ns (IOVDD=1.8Vの場合)  
=Tsysclk+26ns (IOVDD=2.5Vの場合)  
Tsysclkはシステムクロック周期。

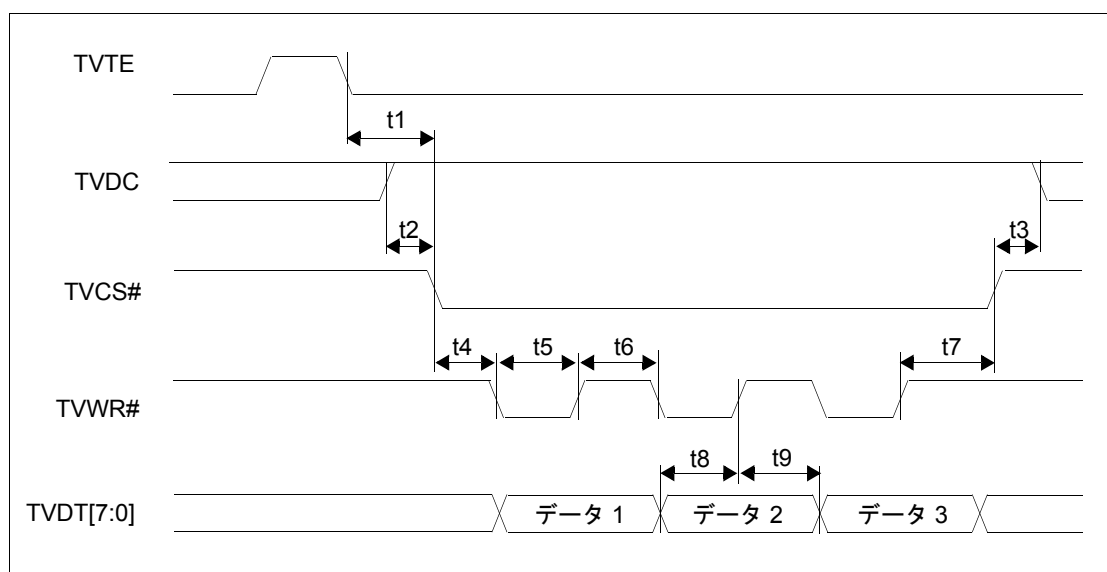


図6.29 TV-Outパラレルインタフェースフレーム転送タイミング

表6.25 TV-Outパラレルインタフェースフレーム転送タイミング

記号	パラメータ	IOVDD = 1.8V			IOVDD = 2.5V			単位
		Min	Typ	Max	Min	Typ	Max	
t1	TVTE立ち下がりエッジからTVCS#立ち下がりエッジまで	—	—	(注2)	—	—	(注2)	Ttv (注1)
t2	TVDCセットアップ時間	0	—	—	0	—	—	ns
t3	TVDCホールド時間	0	—	—	0	—	—	ns
t4	TVCS#立ち下がりエッジからTVWR#立ち下がりエッジまで	—	1	—	—	1	—	Ttv
t5	TVWR# Low期間	—	1	—	—	1	—	Ttv
t6	TVWR# High期間	—	1	—	—	1	—	Ttv
t7	TVWR#立ち上がりエッジからTVCS#立ち上がりエッジまで	—	2	—	—	2	—	Ttv
t8	TVDTセットアップ時間	—	1	—	—	1	—	Ttv
t9	TVDTホールド時間	—	1	—	—	1	—	Ttv

注

1. Ttv = TV-Outクロック周期
2.  $t1_{max} = (2 \times HIS + 200) \times Tsyclk + (21 \times Ttvclk)$

ここで

- HISは、Main1、Main2、PIP1およびPIP2ウィンドウからの最大水平画像サイズ (REG[0690h]、REG[06B4h]、REG[072Ch]、REG[082Ch]を参照)
- Tsyclkはシステムクロック周期。
- Ttvclkは、REG[0200h]ビット10～8によって指定されるTV-Outクロック周期。

## 7. メモリ

---

## 7. メモリ

### 7.1 物理メモリ

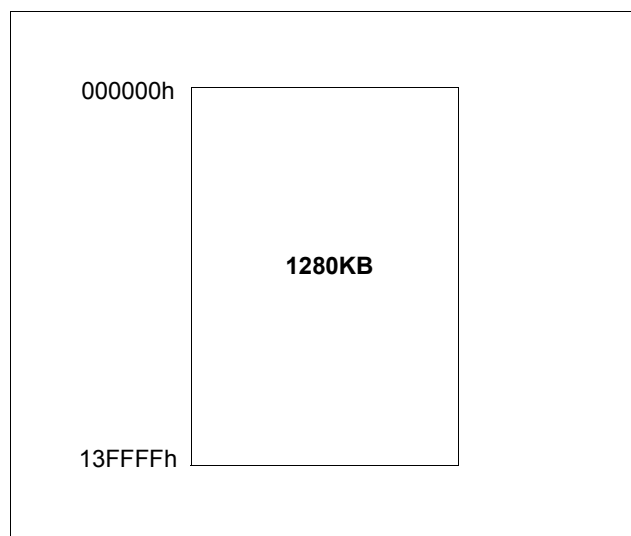


図7.1 物理メモリ

### 7.2 メモリマップ例

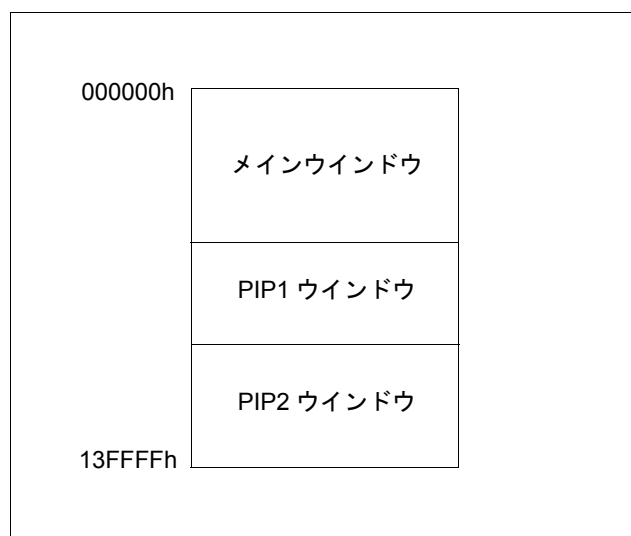


図7.2 メモリマップ例

### 7.3 メモリフォーマット

S1D13774は、画像データを表示メモリに下記のような形式で記憶します。ピクセルデータは、複雑なアドレス指定を用いてメモリに記憶されます。

**注**

RGB 6:6:6画像データは、表示メモリに記憶される前にRGB 8:8:8に拡張されます。

**表7.1 メモリ内のRGB 8:8:8**

RGB 8:8:8 アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
開始アドレス 第1ピクセル	G <sub>0</sub> <sup>7</sup>	G <sub>0</sub> <sup>6</sup>	G <sub>0</sub> <sup>5</sup>	G <sub>0</sub> <sup>4</sup>	G <sub>0</sub> <sup>3</sup>	G <sub>0</sub> <sup>2</sup>	G <sub>0</sub> <sup>1</sup>	G <sub>0</sub> <sup>0</sup>	B <sub>0</sub> <sup>7</sup>	B <sub>0</sub> <sup>6</sup>	B <sub>0</sub> <sup>5</sup>	B <sub>0</sub> <sup>4</sup>	B <sub>0</sub> <sup>3</sup>	B <sub>0</sub> <sup>2</sup>	B <sub>0</sub> <sup>1</sup>	B <sub>0</sub> <sup>0</sup>
第2ピクセル	B <sub>1</sub> <sup>7</sup>	B <sub>1</sub> <sup>6</sup>	B <sub>1</sub> <sup>5</sup>	B <sub>1</sub> <sup>4</sup>	B <sub>1</sub> <sup>3</sup>	B <sub>1</sub> <sup>2</sup>	B <sub>1</sub> <sup>1</sup>	B <sub>1</sub> <sup>0</sup>	R <sub>0</sub> <sup>7</sup>	R <sub>0</sub> <sup>6</sup>	R <sub>0</sub> <sup>5</sup>	R <sub>0</sub> <sup>4</sup>	R <sub>0</sub> <sup>3</sup>	R <sub>0</sub> <sup>2</sup>	R <sub>0</sub> <sup>1</sup>	R <sub>0</sub> <sup>0</sup>
	R <sub>1</sub> <sup>7</sup>	R <sub>1</sub> <sup>6</sup>	R <sub>1</sub> <sup>5</sup>	R <sub>1</sub> <sup>4</sup>	R <sub>1</sub> <sup>3</sup>	R <sub>1</sub> <sup>2</sup>	R <sub>1</sub> <sup>1</sup>	R <sub>1</sub> <sup>0</sup>	G <sub>1</sub> <sup>7</sup>	G <sub>1</sub> <sup>6</sup>	G <sub>1</sub> <sup>5</sup>	G <sub>1</sub> <sup>4</sup>	G <sub>1</sub> <sup>3</sup>	G <sub>1</sub> <sup>2</sup>	G <sub>1</sub> <sup>1</sup>	G <sub>1</sub> <sup>0</sup>
第3ピクセル	G <sub>2</sub> <sup>7</sup>	G <sub>2</sub> <sup>6</sup>	G <sub>2</sub> <sup>5</sup>	G <sub>2</sub> <sup>4</sup>	G <sub>2</sub> <sup>3</sup>	G <sub>2</sub> <sup>2</sup>	G <sub>2</sub> <sup>1</sup>	G <sub>2</sub> <sup>0</sup>	B <sub>2</sub> <sup>7</sup>	B <sub>2</sub> <sup>6</sup>	B <sub>2</sub> <sup>5</sup>	B <sub>2</sub> <sup>4</sup>	B <sub>2</sub> <sup>3</sup>	B <sub>2</sub> <sup>2</sup>	B <sub>2</sub> <sup>1</sup>	B <sub>2</sub> <sup>0</sup>
									R <sub>2</sub> <sup>7</sup>	R <sub>2</sub> <sup>6</sup>	R <sub>2</sub> <sup>5</sup>	R <sub>2</sub> <sup>4</sup>	R <sub>2</sub> <sup>3</sup>	R <sub>2</sub> <sup>2</sup>	R <sub>2</sub> <sup>1</sup>	R <sub>2</sub> <sup>0</sup>

**表7.2 メモリ内のRGB 5:6:5**

RGB 5:6:5 アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
開始アドレス 第1ピクセル	R <sub>0</sub> <sup>4</sup>	R <sub>0</sub> <sup>3</sup>	R <sub>0</sub> <sup>2</sup>	R <sub>0</sub> <sup>1</sup>	R <sub>0</sub> <sup>0</sup>	G <sub>0</sub> <sup>5</sup>	G <sub>0</sub> <sup>4</sup>	G <sub>0</sub> <sup>3</sup>	G <sub>0</sub> <sup>2</sup>	G <sub>0</sub> <sup>1</sup>	G <sub>0</sub> <sup>0</sup>	B <sub>0</sub> <sup>4</sup>	B <sub>0</sub> <sup>3</sup>	B <sub>0</sub> <sup>2</sup>	B <sub>0</sub> <sup>1</sup>	B <sub>0</sub> <sup>0</sup>
第2ピクセル	R <sub>1</sub> <sup>4</sup>	R <sub>1</sub> <sup>3</sup>	R <sub>1</sub> <sup>2</sup>	R <sub>1</sub> <sup>1</sup>	R <sub>1</sub> <sup>0</sup>	G <sub>1</sub> <sup>5</sup>	G <sub>1</sub> <sup>4</sup>	G <sub>1</sub> <sup>3</sup>	G <sub>1</sub> <sup>2</sup>	G <sub>1</sub> <sup>1</sup>	G <sub>1</sub> <sup>0</sup>	B <sub>1</sub> <sup>4</sup>	B <sub>1</sub> <sup>3</sup>	B <sub>1</sub> <sup>2</sup>	B <sub>1</sub> <sup>1</sup>	B <sub>1</sub> <sup>0</sup>
第3ピクセル	R <sub>2</sub> <sup>4</sup>	R <sub>2</sub> <sup>3</sup>	R <sub>2</sub> <sup>2</sup>	R <sub>2</sub> <sup>1</sup>	R <sub>2</sub> <sup>0</sup>	G <sub>2</sub> <sup>5</sup>	G <sub>2</sub> <sup>4</sup>	G <sub>2</sub> <sup>3</sup>	G <sub>2</sub> <sup>2</sup>	G <sub>2</sub> <sup>1</sup>	G <sub>2</sub> <sup>0</sup>	B <sub>2</sub> <sup>4</sup>	B <sub>2</sub> <sup>3</sup>	B <sub>2</sub> <sup>2</sup>	B <sub>2</sub> <sup>1</sup>	B <sub>2</sub> <sup>0</sup>
第4ピクセル	R <sub>3</sub> <sup>4</sup>	R <sub>3</sub> <sup>3</sup>	R <sub>3</sub> <sup>2</sup>	R <sub>3</sub> <sup>1</sup>	R <sub>3</sub> <sup>0</sup>	G <sub>3</sub> <sup>5</sup>	G <sub>3</sub> <sup>4</sup>	G <sub>3</sub> <sup>3</sup>	G <sub>3</sub> <sup>2</sup>	G <sub>3</sub> <sup>1</sup>	G <sub>3</sub> <sup>0</sup>	B <sub>3</sub> <sup>4</sup>	B <sub>3</sub> <sup>3</sup>	B <sub>3</sub> <sup>2</sup>	B <sub>3</sub> <sup>1</sup>	B <sub>3</sub> <sup>0</sup>

## 7. メモリ

表7.3 メモリ内のYUV 4:2:2

YUV 4:2:2アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
開始アドレス 第1ピクセル	Y <sub>1</sub> <sup>7</sup>	Y <sub>1</sub> <sup>6</sup>	Y <sub>1</sub> <sup>5</sup>	Y <sub>1</sub> <sup>4</sup>	Y <sub>1</sub> <sup>3</sup>	Y <sub>1</sub> <sup>2</sup>	Y <sub>1</sub> <sup>1</sup>	Y <sub>1</sub> <sup>7</sup>	Y <sub>0</sub> <sup>7</sup>	Y <sub>0</sub> <sup>6</sup>	Y <sub>0</sub> <sup>5</sup>	Y <sub>0</sub> <sup>4</sup>	Y <sub>0</sub> <sup>3</sup>	Y <sub>0</sub> <sup>2</sup>	Y <sub>0</sub> <sup>1</sup>	Y <sub>0</sub> <sup>0</sup>
開始アドレス 第2ピクセル	Y <sub>3</sub> <sup>7</sup>	Y <sub>3</sub> <sup>6</sup>	Y <sub>3</sub> <sup>5</sup>	Y <sub>3</sub> <sup>4</sup>	Y <sub>3</sub> <sup>3</sup>	Y <sub>3</sub> <sup>2</sup>	Y <sub>3</sub> <sup>1</sup>	Y <sub>3</sub> <sup>7</sup>	Y <sub>2</sub> <sup>7</sup>	Y <sub>2</sub> <sup>6</sup>	Y <sub>2</sub> <sup>5</sup>	Y <sub>2</sub> <sup>4</sup>	Y <sub>2</sub> <sup>3</sup>	Y <sub>2</sub> <sup>2</sup>	Y <sub>2</sub> <sup>1</sup>	Y <sub>2</sub> <sup>0</sup>
開始アドレス 第1ピクセル	V <sub>0</sub> <sup>7</sup>	V <sub>0</sub> <sup>6</sup>	V <sub>0</sub> <sup>5</sup>	V <sub>0</sub> <sup>4</sup>	V <sub>0</sub> <sup>3</sup>	V <sub>0</sub> <sup>2</sup>	V <sub>0</sub> <sup>1</sup>	V <sub>0</sub> <sup>0</sup>	U <sub>0</sub> <sup>7</sup>	U <sub>0</sub> <sup>6</sup>	U <sub>0</sub> <sup>5</sup>	U <sub>0</sub> <sup>4</sup>	U <sub>0</sub> <sup>3</sup>	U <sub>0</sub> <sup>2</sup>	U <sub>0</sub> <sup>1</sup>	U <sub>0</sub> <sup>0</sup>
開始アドレス 第2ピクセル	V <sub>2</sub> <sup>7</sup>	V <sub>2</sub> <sup>6</sup>	V <sub>2</sub> <sup>5</sup>	V <sub>2</sub> <sup>4</sup>	V <sub>2</sub> <sup>3</sup>	V <sub>2</sub> <sup>2</sup>	V <sub>2</sub> <sup>1</sup>	V <sub>2</sub> <sup>0</sup>	U <sub>2</sub> <sup>7</sup>	U <sub>2</sub> <sup>6</sup>	U <sub>2</sub> <sup>5</sup>	U <sub>2</sub> <sup>4</sup>	U <sub>2</sub> <sup>3</sup>	U <sub>2</sub> <sup>2</sup>	U <sub>2</sub> <sup>1</sup>	U <sub>2</sub> <sup>0</sup>

表7.4 メモリ内のYUV 4:2:0

YUV 4:2:0アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
開始アドレス 第1ピクセル	Y <sub>1</sub> <sup>7</sup>	Y <sub>1</sub> <sup>6</sup>	Y <sub>1</sub> <sup>5</sup>	Y <sub>1</sub> <sup>4</sup>	Y <sub>1</sub> <sup>3</sup>	Y <sub>1</sub> <sup>2</sup>	Y <sub>1</sub> <sup>1</sup>	Y <sub>1</sub> <sup>7</sup>	Y <sub>0</sub> <sup>7</sup>	Y <sub>0</sub> <sup>6</sup>	Y <sub>0</sub> <sup>5</sup>	Y <sub>0</sub> <sup>4</sup>	Y <sub>0</sub> <sup>3</sup>	Y <sub>0</sub> <sup>2</sup>	Y <sub>0</sub> <sup>1</sup>	Y <sub>0</sub> <sup>0</sup>
開始アドレス 第2ピクセル	Y <sub>3</sub> <sup>7</sup>	Y <sub>3</sub> <sup>6</sup>	Y <sub>3</sub> <sup>5</sup>	Y <sub>3</sub> <sup>4</sup>	Y <sub>3</sub> <sup>3</sup>	Y <sub>3</sub> <sup>2</sup>	Y <sub>3</sub> <sup>1</sup>	Y <sub>3</sub> <sup>7</sup>	Y <sub>2</sub> <sup>7</sup>	Y <sub>2</sub> <sup>6</sup>	Y <sub>2</sub> <sup>5</sup>	Y <sub>2</sub> <sup>4</sup>	Y <sub>2</sub> <sup>3</sup>	Y <sub>2</sub> <sup>2</sup>	Y <sub>2</sub> <sup>1</sup>	Y <sub>2</sub> <sup>0</sup>
開始アドレス 第1ピクセル	V <sub>0</sub> <sup>7</sup>	V <sub>0</sub> <sup>6</sup>	V <sub>0</sub> <sup>5</sup>	V <sub>0</sub> <sup>4</sup>	V <sub>0</sub> <sup>3</sup>	V <sub>0</sub> <sup>2</sup>	V <sub>0</sub> <sup>1</sup>	V <sub>0</sub> <sup>0</sup>	U <sub>0</sub> <sup>7</sup>	U <sub>0</sub> <sup>6</sup>	U <sub>0</sub> <sup>5</sup>	U <sub>0</sub> <sup>4</sup>	U <sub>0</sub> <sup>3</sup>	U <sub>0</sub> <sup>2</sup>	U <sub>0</sub> <sup>1</sup>	U <sub>0</sub> <sup>0</sup>
開始アドレス 第2ピクセル	V <sub>2</sub> <sup>7</sup>	V <sub>2</sub> <sup>6</sup>	V <sub>2</sub> <sup>5</sup>	V <sub>2</sub> <sup>4</sup>	V <sub>2</sub> <sup>3</sup>	V <sub>2</sub> <sup>2</sup>	V <sub>2</sub> <sup>1</sup>	V <sub>2</sub> <sup>0</sup>	U <sub>2</sub> <sup>7</sup>	U <sub>2</sub> <sup>6</sup>	U <sub>2</sub> <sup>5</sup>	U <sub>2</sub> <sup>4</sup>	U <sub>2</sub> <sup>3</sup>	U <sub>2</sub> <sup>2</sup>	U <sub>2</sub> <sup>1</sup>	U <sub>2</sub> <sup>0</sup>

**注**

UVバイト数はフレームのYバイト数の1/2です。



## 8. クロック

## 8.1 クロック図

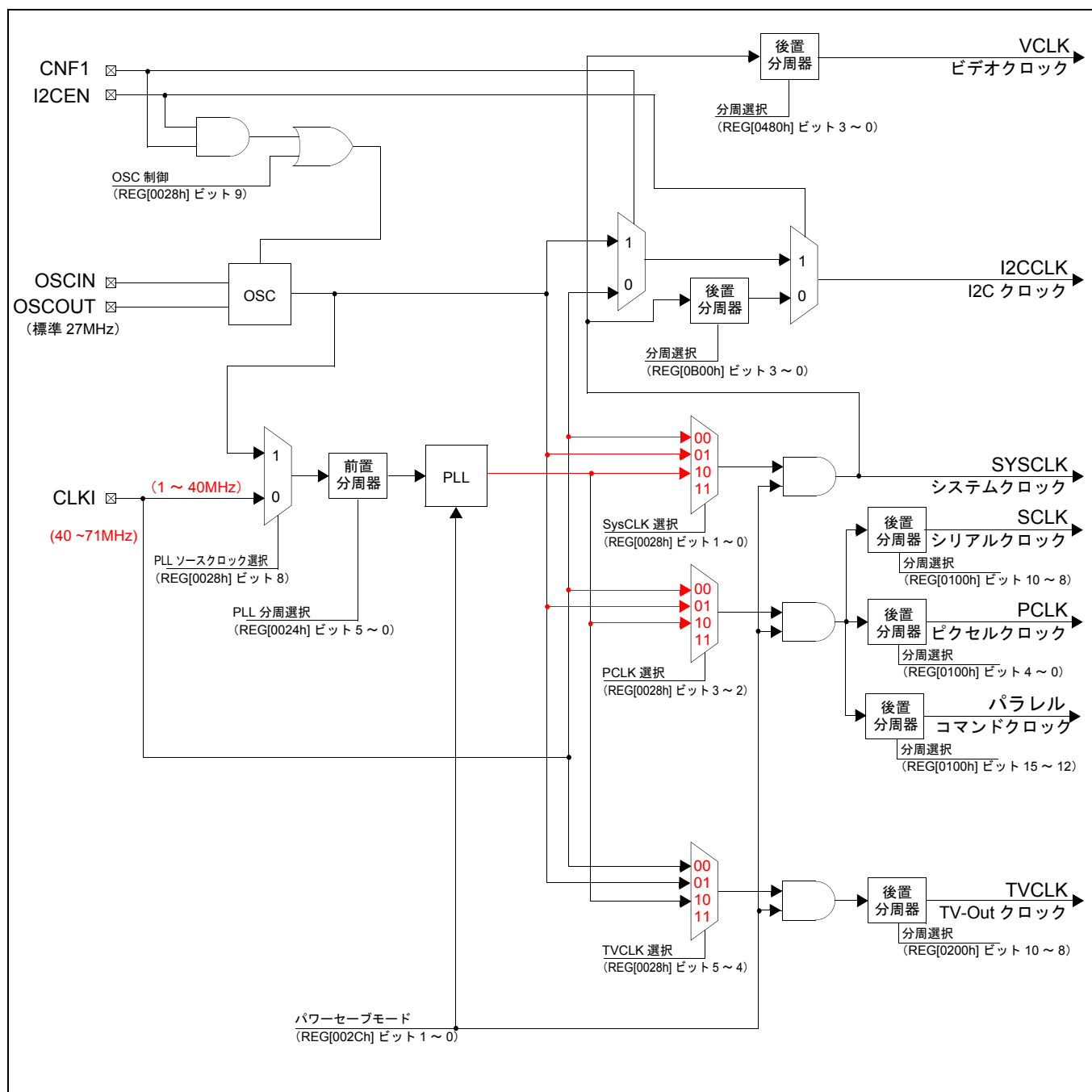


図8.1 クロック図

## 8. クロック

---

### 8.2 クロックの説明

#### 8.2.1 システムクロック

システムクロック (SYSCLK) は、S1D13774の内部メインクロックに使用されます。システムクロックソースは、内部PLLか外部クロック入力 (CLKI) またはX'tal入力 (OSCI, OSCO) のいずれかから選択することができます (REG[0028h]ビット1~0)。

#### 8.2.2 ピクセルクロック

ピクセルクロック (PCLK) は、RGBタイプパネルのLCDシフトクロックとLCD2パラレルインタフェースタイミングに使用されます。ピクセルクロックソースは、内部PLLか外部クロック入力 (CLKI) またはX'tal入力 (OSCI, OSCO) のいずれかから選択することができます (REG[0028h]ビット3~2)。ピクセルクロックは、ピクセルクロック分周選択ビットを用いて分周することができます (REG[0100h]ビット4~0)。

#### 8.2.3 TV-Outクロック

TV-Outクロック (TVCLK) は、TV-Outインタフェースタイミングに使用されます。TV-Outクロックソースは、内部PLLか外部クロック入力 (CLKI) またはX'tal入力 (OSCI, OSCO) のいずれかから選択することができます (REG[0028h]ビット5~4)。TV-Outクロックの分周の詳細は、TV-Outクロック分周選択ビット (REG[0200h]ビット10~8) の説明をご覧ください。

#### 注

TV-Outインタフェースがパラレル用に構成されているとき (REG[0200h]ビット1~0=10)、TVCLKソースは、PCLKソースと同じでなければなりません (REG[0028h]ビット5~4=REG[0028h]ビット3~2)。

#### 8.2.4 シリアルクロック

シリアルクロック (SCLK) は、LCD1およびLCD2シリアルインタフェースに使用されます。シリアルクロックソースは、常にピクセルクロックであり、シリアルクロック分周選択ビット (REG[0100h]ビット10~8) を用いて分周することができます。

#### 8.2.5 ビデオクロック

ビデオクロック (VCLK) は、ビデオインタフェース用に使用されます。ビデオクロックソースは常にシステムクロックです。ビデオ出力クロックは、ビデオクロック分周選択ビット (REG[0480h]ビット3~0) を用いて分周することができます。

#### 8.2.6 I2Cクロック

I2Cクロック (I2CCLK) は、I2Cインタフェースに使用されます。システムクロックソースは、内部PLLか外部クロック入力 (CLKI) またはX'tal入力 (OSCI, OSCO) のいずれかから選択することができます (I2CENとCNF1)。

## 8.3 PLL機能ブロック図

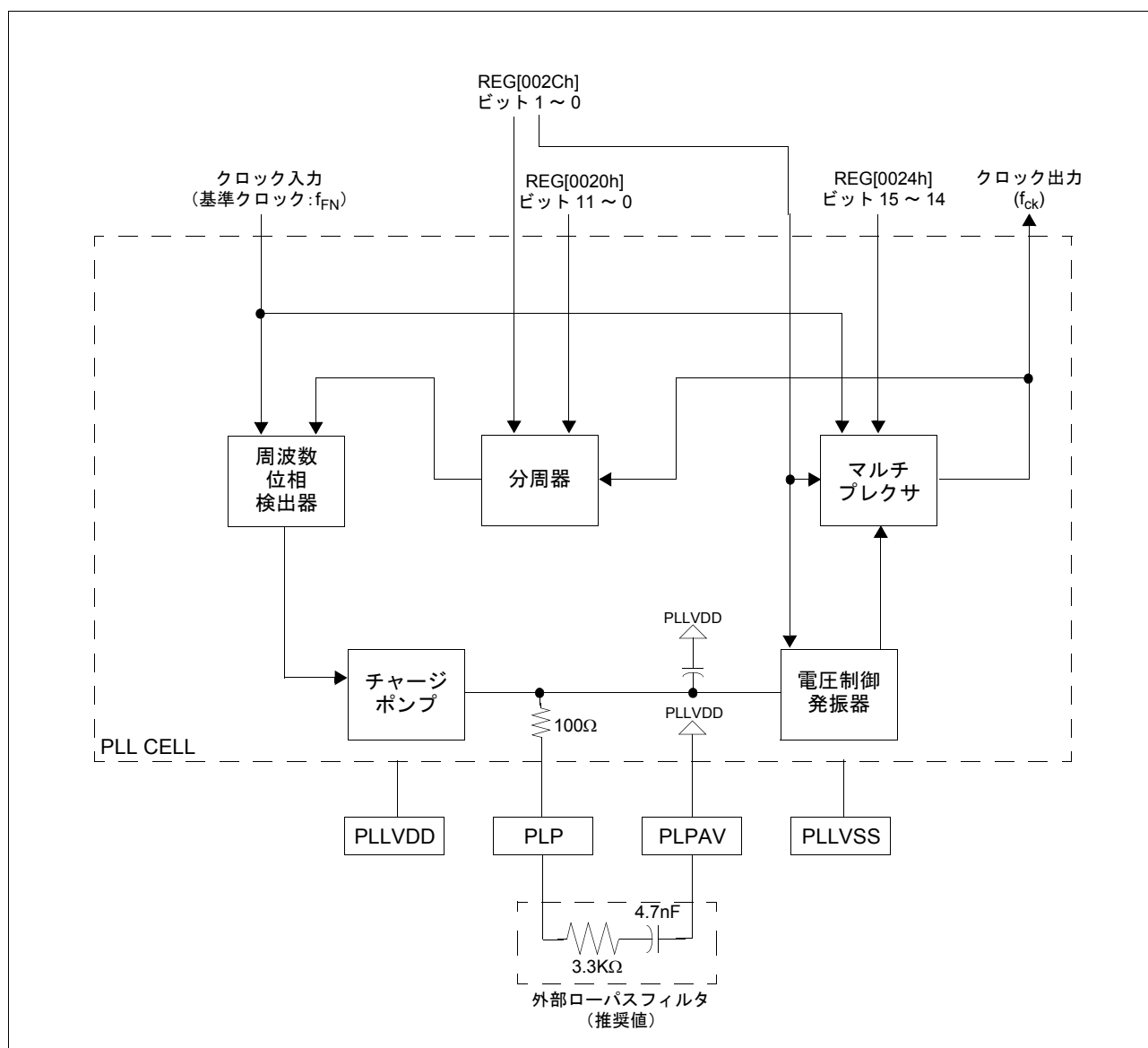


図8.2 PLL機能ブロック図

## 9. レジスタ

## 9. レジスタ

この節では、S1D13774レジスタにアクセスする方法とアクセスする場所について説明します。また、各レジスタのレイアウトと使用法について詳しく説明します。

### 9.1 レジスタマッピング

S1D13774レジスタは、メモリマップされています。非同期レジスタはいつでもアクセス可能です。同期レジスタは、スタンバイAモード、スタンバイBモードおよび通常動作モードで使用できます（REG[002Ch]ビット1～0=01または10または11）。

表9.1 S1D13774のレジスタマッピング

アドレス	タイプ	機能
0000h～0018h	非同期	システム設定レジスタ
0020h～0030h	非同期	クロック設定レジスタ
0040h	非同期	ソフトウェアリセットレジスタ
0080h～0094h	同期	SDRAM制御レジスタ
0100h～0114h	同期	LCDインタフェース設定レジスタ
0140h～0174h	同期	LCD1設定レジスタ
0180h～0190h	同期	LCD2設定レジスタ
0200h～0230h	同期	TV-Outインタフェース設定レジスタ
0300h～0350h	非同期	GPIOレジスタ
0400h～0420h	同期	ホストインタフェースレジスタ
0480h～0490h	同期	ビデオ入力インタフェースレジスタ
0500h～052Ch	同期	メインメモリ書き込みバスレジスタ
0580h～05A8h	同期	サブメモリ書き込みバスレジスタ
0600h～0650h	同期	表示設定レジスタ
0680h～06C8h	同期	メインウィンドウ設定レジスタ
0700h～0750h	同期	PIP1ウィンドウ設定レジスタ
0800h～086Ch	同期	PIP2ウィンドウ設定レジスタ
0900h～0984h	同期	AME（オートムービーエンハンスメント）レジスタ
0A00h～0A08h	同期	割込み制御レジスタ
0B00h～0B14h	同期	I2Cスレーブ設定レジスタ
1040h～1060h	同期	Reserved

## 9.2 レジスタセット

S1D13774レジスタは以下の表のとおりです。

表9.2 S1D13774レジスタセット

システム設定レジスタ			
REG[0000h] Product Information Register 0	89	REG[0004h] Product Information Register 1	89
REG[0008h] Configuration Pin Status Register	90	REG[000Ch]は予約レジスタです。	90
REG[0010h]は予約レジスタです。	90	REG[0014h]は予約レジスタです。	90
REG[0018h] Pin Drive Control Register	91		
クロック設定レジスタ			
REG[0020h] PLL Setting Register 0	93	REG[0024h] PLL Setting Register 1	94
REG[0028h] Clock Source Select Register	95	REG[002Ch] Power Save Mode Register (AID)	97
REG[0030h] I2C Quick Enable Register	99		
ソフトウェアリセットレジスタ			
REG[0040h] Software Reset Register (AID)	100		
SDRAM制御レジスタ			
REG[0080h] Memory Controller Software Reset Register	101	REG[0084h] Auto Refresh Interval Setting Register	101
REG[0088h] Power-On Sequence Timing Control Register	102	REG[008Ch] Timing Control Register	102
REG[0090h]は予約レジスタです。	103	REG[0094h] Memory Control Status Flag Register (AID)	104
LCDインタフェース設定レジスタ			
REG[0100h] LCD Interface Clock Setting Register	105	REG[0104h] LCD Interface Configuration Register	107
REG[0108h] LCD Interface Command Register	110	REG[010Ch] LCD Interface Parameter Register	111
REG[0110h] LCD Interface ID Register	111	REG[0114h] LCD2 Interface Frame Transfer Register (AID)	112
LCD1設定レジスタ			
REG[0140h] LCD1 Horizontal Total (FPLINE Period) Register	114	REG[0144h] LCD1 Horizontal Display Period Register	114
REG[0148h] LCD1 Horizontal Display Period Start Position Register	115	REG[014Ch] LCD1 Horizontal Pulse (FPLINE) Register	115
REG[0150h] LCD1 Horizontal Pulse (FPLINE) Start Position Register	116	REG[0154h] LCD1 Vertical Total (FPFRAME Period) Register	116
REG[0158h] LCD1 Vertical Display Period Register	117	REG[015Ch] LCD1 Vertical Display Period Start Position Register	117
REG[0160h] LCD1 Vertical Pulse (FPFRAME) Register	118	REG[0164h] LCD1 Vertical Pulse (FPFRAME) Start Position Register	118
REG[0168h] LCD1 Serial Interface Setting Register	119	REG[016Ch]は予約レジスタです (AID)。	120
REG[0170h]は予約レジスタです。	120	REG[0174h]は予約レジスタです。	120
LCD2設定レジスタ			
REG[0180h] LCD2 Horizontal Display Period Register	121	REG[0184h] LCD2 Vertical Display Period Register	121
REG[0188h] LCD2 Serial Interface Setting Register	122	REG[018Ch] LCD2 Parallel Interface Setting Register	125
REG[0190h] LCD2 VSYNC Output Register	128		
TV-Outインタフェース設定レジスタ			
REG[0200h] TV-Out Interface Clock Setting Register	129	REG[0204h] TV-Out Horizontal Total Register	133
REG[0208h] TV-Out Horizontal Display Period Register	133	REG[020Ch] TV-Out Horizontal Display Period Start Position Register	134
REG[0210h] TV-Out Horizontal Pulse (HSYNC) Width Register	134	REG[0214h]は予約レジスタです。	134
REG[0218h] TV-Out Vertical Total Register	135	REG[021Ch] TV-Out Vertical Display Period Register	135
REG[0220h] TV-Out Vertical Display Period Start Position Register	136	REG[0224h] TV-Out FIELD Toggle Position Register	136
REG[0228h] TV-Out Data Port Register (AID)	137	REG[022Ch] TV-Out Interface Frame Transfer Register (AID)	138
REG[0230h] TV-Out Blank Data Register	139		
GPIOレジスタ			
REG[0300h] GPIO Configuration Register	140	REG[0304h] GPIOH Configuration Register 0	140
REG[0308h] GPIOH Configuration Register 1	140	REG[030Ch] GPIO Input Enable Register	141
REG[0310h] GPIOH Input Enable Register 0	141	REG[0314h] GPIOH Input Enable Register 1	141

## 9. レジスタ

表9.2 S1D13774レジスタセット

REG[0318h] GPIO Pull-Up/Down Control Register	142	REG[031Ch] GPIOH Pull-Up/Down Control Register 0	142
REG[0320h] GPIOH Pull-Up/Down Control Register 1	142	REG[0324h] GPIO Status Register	143
REG[0328h] GPIOH Status Register 0	143	REG[032Ch] GPIOH Status Register 1	143
REG[0330h] GPIO Positive Edge Interrupt Trigger Register	144	REG[0334h] GPIOH Positive Edge Interrupt Trigger Register 0	145
REG[0338h] GPIOH Positive Edge Interrupt Trigger Register 1	145	REG[033Ch] GPIO Negative Edge Interrupt Trigger Register	146
REG[0340h] GPIOH Negative Edge Interrupt Trigger Register 0	147	REG[0344h] GPIOH Negative Edge Interrupt Trigger Register 1	147
REG[0348h] GPIO Interrupt Status Register	148	REG[034Ch] GPIOH Interrupt Status Register 0	148
REG[0350h] GPIOH Interrupt Status Register 1	148		
<b>ホストインタフェースレジスタ</b>			
REG[0400h] Host Interface Configuration Register	149	REG[0404h] TE Configuration Register	151
REG[0408h]~REG[0414h]は予約レジスタです。	154	REG[0418h] Host Memory Write Access Port Register (AID)	154
REG[0420h]は予約レジスタです。	154		
<b>ビデオ入カインタフェースレジスタ</b>			
REG[0480h] Video Input Interface Output CLK Register	155	REG[0484h] Video Input Interface Configuration Register	156
REG[0488h] Video Input Interface Control Register (AID)	159	REG[048Ch] Video Input Interface Status Register (AID)	159
REG[0490h]は予約レジスタです。	159		
<b>メインメモリ書き込みパスレジスタ</b>			
REG[0500h] Memory Write Path Configuration Register	160	REG[0504h] Main Memory Write Path Configuration Register	161
REG[0508h] Main Memory Buffer A RGB,Y Start Address Register	165	REG[050Ch] Main Memory Buffer A UV Start Address Register	166
REG[0510h] Main Memory Buffer B RGB,Y Start Address Register	166	REG[0514h] Main Memory Buffer B UV Start Address Register	167
REG[0518h] Main Memory Line Address Offset Register	167	REG[051Ch] Main Memory Vertical Size Register	168
REG[0520h] Main Image Horizontal Size Register	168	REG[0524h] Main Image Vertical Size Register	169
REG[0528h] Main Image X Start Position Register	169	REG[052Ch] Main Image Y Start Position Register	170
<b>サブメモリ書き込みパスレジスタ</b>			
REG[0580h] Sub Memory Write Path Enable Register	171	REG[0584h] Sub Memory Buffer A RGB, Y Start Address Register	172
REG[0588h] Sub Memory Buffer A UV Start Address Register	172	REG[058Ch] Sub Memory Buffer B RGB,Y Start Address Register	173
REG[0590h] Sub Memory Buffer B UV Start Address Register	173	REG[0594h] Sub Memory Line Address Offset Register	174
REG[0598h] Sub Memory Vertical Size Register	174	REG[059Ch] Sub Image Horizontal Size Register	175
REG[05A0h] Sub Image Vertical Size Register	175	REG[05A4h] Sub Image X Start Position Register	176
REG[05A8h] Sub Image Y Start Position Register	176		
<b>表示設定レジスタ</b>			
REG[0600h] Display Mode Setting Register 0	177	REG[0604h] Display Mode Setting Register 1	179
REG[0608h] Transparency and Alpha Blend Control Register	182	REG[060Ch] Background Color Setting Register 0	184
REG[0610h] Background Color Setting Register 1	184	REG[0614h] Alpha Blend Ratio Setting Register	185
REG[0618h] PIP1 Window Transparency Key Color Register 0	188	REG[061Ch] PIP1 Window Transparency Key Color Register 1	188
REG[0620h] PIP2 Window Transparency Key Color Register 0	189	REG[0624h] PIP2 Window Transparency Key Color Register 1	189
REG[0628h] Alpha Blend 1 Key Color Register 0	190	REG[062Ch] Alpha Blend 1 Key Color Register 1	190
REG[0630h] Alpha Blend 2 Key Color Register 0	191	REG[0634h] Alpha Blend 2 Key Color Register 1	191
REG[0638h] Alpha Blend 3 Key Color Register 0	192	REG[063Ch] Alpha Blend 3 Key Color Register 1	192
REG[0640h] Alpha Blend 4 Key Color Register 0	193	REG[0644h] Alpha Blend 4 Key Color Register 1	193
REG[0648h] Pseudo Color Setting Register	194	REG[064Ch] LUT Address Counter Register (AID)	195
REG[0650h] LUT Data Port Register (AID)	196		

表9.2 S1D13774レジスタセット

メインウィンドウ設定レジスタ			
REG[0680h] Main Window Control Register	197	REG[0684h] Main1 Memory Start Address Register	198
REG[0688h] Main1 Memory Line Address Offset Register	199	REG[068Ch] Main1 Memory Vertical Size Register	199
REG[0690h] Main1 Image Horizontal Size Register	200	REG[0694h] Main1 Image Vertical Size Register	200
REG[0698h] Main1 Image X Start Position Register	201	REG[069Ch] Main1 Image Y Start Position Register	201
REG[06A0h] Main1 Window X Start Position Register	202	REG[06A4h] Main1 Window Y Start Position Register	202
REG[06A8h] Main2 Memory Start Address Register	203	REG[06ACh] Main2 Memory Line Address Offset Register	203
REG[06B0h] Main2 Memory Vertical Size Register	204	REG[06B4h] Main2 Image Horizontal Size Register	205
REG[06B8h] Main2 Image Vertical Size Register	205	REG[06BCh] Main2 Image X Start Position Register	206
REG[06C0h] Main2 Image Y Start Position Register	206	REG[06C4h] Main2 Window X Start Position Register	207
REG[06C8h] Main2 Window Y Start Position Register	207		
PIP1ウィンドウ設定レジスタ			
REG[0700h] PIP1 Control Register	208	REG[0704h] PIP1 Window Scaling Mode Register	210
REG[0708h] PIP1 Window Horizontal Scale Register	212	REG[070Ch] PIP1 Window Vertical Scale Register	213
REG[0710h]は予約レジスタです。	214	REG[0714h] PIP1 Memory Buffer A RGB,Y Start Address Register	214
REG[0718h] PIP1 Memory Buffer A UV Start Address Register	214	REG[071Ch] PIP1 Memory Buffer B RGB,Y Start Address Register	215
REG[0720h] PIP1 Memory Buffer B UV Start Address Register	215	REG[0724h] PIP1 Memory Line Address Offset Register	216
REG[0728h] PIP1 Memory Vertical Size Register	216	REG[072Ch] PIP1 Image Horizontal Size Register	217
REG[0730h] PIP1 Image Vertical Size Register	217	REG[0734h] PIP1 Image X Start Position Register	218
REG[0738h] PIP1 Image Y Start Position Register	218	REG[073Ch] PIP1 Window X Start Position Register	219
REG[0740h] PIP1 Window Y Start Position Register	219	REG[0744h] PIP1 Window X End Position Register	220
REG[0748h] PIP1 Window Y End Position Register	220	REG[074Ch] PIP1 Window Scaler Port Address Counter Control Register	221
REG[0750h] PIP1 Scaler Coefficient Table Access Port Register (AID)	222		
PIP2ウィンドウ設定レジスタ			
REG[0800h] PIP2 Window Control Register	224	REG[0804h] PIP2 Window Scaling Mode Register	227
REG[0808h] PIP2 Window Horizontal Scale Register	228	REG[080Ch] PIP2 Window Vertical Scale Register	229
REG[0810h]は予約レジスタです。	229	REG[0814h] PIP2 Memory Buffer A RGB,Y Start Address Register	230
REG[0818h] PIP2 Memory Buffer A UV Start Address Register	230	REG[081Ch] PIP2 Memory Buffer B RGB,Y Start Address Register	231
REG[0820h] PIP2 Memory Buffer B UV Start Address Register	231	REG[0824h] PIP2 Memory Line Address Offset Register	232
REG[0828h] PIP2 Memory Vertical Size Register	232	REG[082Ch] PIP2 Image Horizontal Size Register	233
REG[0830h] PIP2 Image Vertical Size Register	233	REG[0834h] PIP2 Image X Start Position Register	234
REG[0838h] PIP2 Image Y Start Position Register	234	REG[083Ch] PIP2 Window X Start Position Register	235
REG[0840h] PIP2 Window Y Start Position Register	235	REG[0844h] PIP2 Window X End Position Register	236
REG[0848h] PIP2 Window Y End Position Register	236	REG[084Ch] PIP2 Panorama Area A Scale Register	237
REG[0850h] PIP2 Panorama Area B Scale Register	237	REG[0854h] PIP2 Panorama Area 1 Start Position Register	238
REG[0858h] PIP2 Panorama Area 2 Start Position Register	238	REG[085Ch] PIP2 Panorama Area 3 Start Position Register	239
REG[0860h] PIP2 Panorama Area 4 Start Position Register	239	REG[0864h] PIP2 Linear Panorama Area Delta Register	240
REG[0868h] PIP2 Window Scaler Port Address Counter Control Register	241	REG[086Ch] PIP2 Window Scaler Coefficient Table Access Port Register (AID)	242
AME (オートムービーエンハンスメント) レジスタ			
REG[0900h] AME Control Register	244	REG[0904h] AME Parameter Adjust Register	246
REG[0908h] AME Input Image Width Register	247	REG[090Ch] AME Input Image Height Register	248
REG[0910h] AME Processing Horizontal Start Position Register	249	REG[0914h] AME Processing Horizontal End Position Register	249
REG[0918h] AME Processing Vertical Start Position Register	250	REG[091Ch] AME Processing Vertical End Position Register	250
REG[0920h] AME Sampling Area Vertical Start Position Register	251	REG[0924h] AME Sampling Area Horizontal Start Position Register	251

## 9. レジスタ

表9.2 S1D13774レジスタセット

REG[0928h] AME Sampling Area Size Register	252	REG[092Ch] AME Sampling Area Parameter 1 Register	253
REG[0930h] AME Sampling Area Parameter 2 Register	253	REG[0934h]～REG[0984h]は予約レジスタです。	254
割込み制御レジスタ			
REG[0A00h] Interrupt Status Register (AID)	255	REG[0A04h] Interrupt Enable Register	255
REG[0A08h]は予約レジスタです。	255		
I2Cスレーブ設定レジスタ			
REG[0B00h] I2C Clock Divide Register	256	REG[0B04h] I2C Enable Register	257
REG[0B08h]は予約レジスタです。	257	REG[0B0Ch]は予約レジスタです。	257
REG[0B10h]は予約レジスタです。	257	REG[0B14h]は予約レジスタです。	257
REG[1040h]～REG[1060h]は予約レジスタです。	257		

### 注

AID=アドレスオートインクリメントディセーブル

ホストは、オートインクリメント機能を使って連続的なレジスタの読み書きアクセスを行うことができます。この機能により、インデックスレジスタをリセットすることなく連続アドレスに読み書きすることができます。ただし、オートインクリメント機能をサポートしていないレジスタもあります。そのようなレジスタは、アドレスオートインクリメントディセーブル (AID) と示されます。レジスタオートインクリメント機能の詳細は、350ページの14.3「レジスタオートインクリメント」をご覧ください。

### 9.3 レジスタの制限

予約ビットはすべて、特に指定しない限り0に設定してください。予約ビットに値を書き込むと動作が不安定になることがあります。n/aと示したビットはハードウェアに対して何ら影響を与えません。



## 9.4 レジスタの説明

### 9.4.1 システム設定レジスタ

REG[0000h] Product Information Register 0								Read Only
Default = 0000_0000h								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	改訂コードビット7~0				8
7	6	5	4	n/a	3	2	1	0

bits 15-8

改訂コードビット[7:0]（読み出し専用）

これらのビットは改訂コードを示します。S1D13774の改訂コードは00hです。

REG[0004h] Product Information Register 1								Read Only
Default = 0000_0046h								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	製品コードビット15~8				8
7	6	5	4	製品コードビット7~0				0

bits 15-0

製品コードビット[15:0]（読み出し専用）

これらのビットは製品コードを示します。S1D13774の製品コードは0046hです。

## 9. レジスタ

REG[0008h] Configuration Pin Status Register								Read Only
Default = 0000_001Xh								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	Reserved		Reserved	CNF[3:0]状態				
7	6	5	4	3	2	1	0	

- bits 6-5                      Reserved  
                              これらのビットのデフォルト値は00です。
- bit 4                         Reserved  
                              このビットのデフォルト値は1です。
- bits 3-0                     CNF[3:0]状態（読み出し専用）  
                              これらのビットは、RESET#の立ち上がりエッジでラッチされた設定端子  
                              CNF[3:0]の状態を元に戻します。コンフィギュレーションオプションの詳細は、  
                              24ページの4.3「コンフィギュレーションオプションの概要」をご覧ください。

REG[000Ch]は予約レジスタです。

これは予約レジスタです。書き込まないでください。このレジスタのデフォルト値は0000\_0000hです。

REG[0010h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。このレジスタのデフォルト値は0000\_0010hです。

REG[0014h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。このレジスタのデフォルト値は0000\_0000hです。

REG[0018h] Pin Drive Control Register								Read/Write
Default = 0000_03FFh								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	ビデオ入カインタフェース駆動制御ビット 1~0		
LCDインタフェース駆動制御ビット1~0		I2C駆動制御ビット1~0		GPIOP駆動制御ビット1~0		GPIOH駆動制御ビット1~0		
7	6	5	4	3	2	1	0	

bits 9-8

ビデオ入カインタフェース駆動制御ビット[1:0]

これらのビットは、ビデオ入カインタフェース出力端子の駆動レベル（mA）を決定します。

表9.3 ビデオ入カインタフェース駆動制御選択

REG[0018h]ビット9~8	駆動電流（mA）	駆動電流（mA）
	HIOVDD = 1.8V	HIOVDD = 2.5V
00	0.7	1.4
01	1.4	2.8
10	3.0	6.0
11（デフォルト）	3.7	7.4

bits 7-6

LCDインタフェース駆動制御ビット[1:0]

これらのビットは、LCDインタフェース出力端子の駆動レベル（mA）を決定します。

表9.4 LCDインタフェース駆動制御選択

REG[0018h]ビット7~6	駆動電流（mA）	駆動電流（mA）
	PIOVDD = 1.8V	PIOVDD = 2.5V
00	0.7	1.4
01	1.4	2.8
10	3.0	6.0
11（デフォルト）	3.7	7.4

bits 5-4

I2C駆動制御ビット[1:0]

これらのビットは、I2C出力端子の駆動レベル（mA）を決定します。

表9.5 I2C駆動制御選択

REG[0018h]ビット5~4	駆動電流（mA）	駆動電流（mA）
	HIOVDD = 1.8V	HIOVDD = 2.5V
00	0.7	1.4
01	1.4	2.8
10	3.0	6.0
11（デフォルト）	3.7	7.4

## 9. レジスタ

---

bits 3-2

GPIOP駆動制御ビット[1:0]  
これらのビットは、GPIOP出力端子の駆動レベル（mA）を決定します。

**表9.6 GPIOP駆動制御選択**

REG[0018h]ビット3~2	駆動電流（mA）	駆動電流（mA）
	PIOVDD = 1.8V	PIOVDD = 2.5V
00	0.7	1.4
01	1.4	2.8
10	3.0	6.0
11（デフォルト）	3.7	7.4

bits 1-0

GPIOH駆動制御ビット[1:0]  
これらのビットは、GPIOH端子とホストインタフェース出力端子の駆動レベル（mA）を決定します（INT,TE）。

**表9.7 GPIOH駆動制御選択**

REG[0018h]ビット1~0	駆動電流（mA）	駆動電流（mA）
	HIOVDD = 1.8V	HIOVDD = 2.5V
00	0.7	1.4
01	1.4	2.8
10	3.0	6.0
11（デフォルト）	3.7	7.4

## 9.4.2 クロック設定レジスタ

REG[0020h] PLL Setting Register 0							
Default = 0000_3014h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
Reserved							
NDビット11~8							
7	6	5	4	3	2	1	0
NDビット7~0							

bits 14-12

Reserved

これらのビットのデフォルト値は011です。

bits 11-0

NDビット[11:0]

これらのビットは、PLLの設定に使用されるND値を指定します。PLLの詳細は、83ページの8.3「PLL機能ブロック図」をご覧ください。

表9.8 ND選択

REG[0020h]ビット11~0	$N = f_{CK} / f_{FN}$
000h~008h	Reserved
009h	9
...	...
00Fh	15
010h	16
...	...
014h (デフォルト)	20
...	...
FFFh	4095

ここで

$$ND \text{ ビット } 11 \sim 0 = f_{CK} / f_{FN}$$

 $f_{CK}$  = CK周波数（出力クロック）

$$f_{CK} = f_{FN} \times N$$

$$f_{CK} = f_{VCO} / F$$

 $f_{FN}$  = FN周波数（基準クロック）

## 注

VCO動作範囲は、60MHz～165MHzでなければなりません。

## 9. レジスタ

REG[0024h] PLL Setting Register 1								Read/Write
Default = 0000_4000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
ロックレンジ制御ビット1~0		13	12	11	10	9	8	
15	14	PLL ソースクロック分周選択ビット5~0						
n/a		5	4	3	2	1	0	
7	6							

bits 15-14

ロックレンジ制御ビット[1:0]

これらのビットは、PLLの設定に使用されるロックレンジを制御します。PLLの詳細は、83ページの8.3「PLL機能ブロック図」をご覧ください。

表9.9 ロックレンジ制御選択

REG[0024h]ビット15~14	F = f <sub>vco</sub> /f <sub>ck</sub>
00	1
01 (デフォルト)	2
10	4
11	8

ここで

$f_{VCO}$  = VCO周波数

$f_{VCO} = f_{FN} \times N \times F$

$f_{CK}$  = CK周波数 (出力クロック)

$f_{CK} = f_{FN} \times N$

$f_{CK} = f_{VCO} / F$

注

- VCO動作範囲は、60MHz~165MHzにしてください。
- これらのビットを00に設定することにより最大PLL動作電流を少なくすることができます。

bits 5-0

PLL ソースクロック分周選択ビット[5:0]

これらのビットは、入力クロックとPLLへの実際の内部クロックとの分周比を決定します。クロック構造の詳細は、81ページの8.「クロック」をご覧ください。

表9.10 PLL ソースクロック分周比選択

REG[0024h]ビット5～0	分周比
00h	1:1
01h	2:1
02h	3:1
03h	4:1
...	...
1Fh	32:1
20h	33:1
21h～3Fh	Reserved

## 注

1. PLLへの内部入力クロック（PLLCLK）は、1MHz～2MHzでなければなりません。これらのビットは、CLKIまたはOSCIの周波数に従って設定してください。
2. 20hを超える値は使用できません。

REG[0028h] Clock Source Select Register								Read/Write	
Default = 0000_0000h									
31	30	29	28	27	26	25	24	n/a	
23	22	21	20	19	18	17	16	n/a	
Reserved		n/a				OSCイネーブル	PLLクロックソース選択		
15	14	13	12	11	10	9	8		
n/a		TV-Outクロックソース選択ビット1～0		ピクセルクロックソース選択ビット1～0		システムクロックソース選択ビット1～0			
7	6	5	4	3	2	1	0		

bits 15-14

Reserved

これらのビットのデフォルト値は00です。

bit 9

OSCイネーブル

このビットは、内部OSCを制御する1つの方法です。CNF1=1のときにI2CEN端子を使って内部OSCを制御することもできます。クロック構造の詳細は、81ページの8.1「クロック図」をご覧ください。

このビットが0のとき、OSCはディセーブルされます。（デフォルト）

このビットが1のとき、OSCはイネーブルされます。

## 注

1. このビットが1のとき、OSCはI2CEN/CNF1に関係なくイネーブルされません。I2CENがHighでCNF1=1のとき、OSCはこのビットの設定に関係なくイネーブルされます。
2. PLLクロックソースをOSCI/OSCOとして選択したとき（REG[0028h]ビット8=1）は、OSCをイネーブルしてください。

## 9. レジスタ

bit 8

### PLLクロックソース選択

このビットは、PLLクロックソースを選択します。クロック構造の詳細は、81ページの8.1「クロック図」をご覧ください。

このビットが0のとき、PLLクロックソースはCLKIです。

このビットが1のとき、PLLクロックソースはOSCI/OSCOです。

bits 5-4

### TV-Outクロックソース選択ビット[1:0]

これらのビットは、TV-Outクロックソースを選択します。HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択したとき（REG[0200h]ビット1～0＝01または11）、TV-Outクロックソースは、CLKIまたはOSCI/OSCOのいずれかでなければならず、入力周波数は27MHzでなければなりません。クロック構造の詳細は、81ページの8.1「クロック図」をご覧ください。

表9.11 TV-Outクロックソース選択

REG[0028h]ビット5～4	TV-Outクロックソース
00	CLKI
01	OSCI/OSCO（注1）
10	PLL（注2）
11	Reserved

### 注

1. TV-OutクロックソースとしてOSCI/OSCOを選択したときは、OSCをイネーブルしてください（REG[0028h]ビット9＝1）。そうでない場合は、TV-OutクロックソースはCLKIです。
2. システムクロックソースとしてPLLを選択しないときは（REG[0028h]ビット1～0≠10）、TV-OutクロックソースとしてPLLを選択しないでください。

bits 3-2

### ピクセルクロックソース選択ビット[1:0]

これらのビットは、ピクセルクロックソースを次のように選択します。クロック構造の詳細は、81ページの8.1「クロック図」をご覧ください。

表9.12 ピクセルクロックソース選択

REG[0028h]ビット3～2	ピクセルクロックソース
00	CLKI
01	OSCI/OSCO（注1）
10	PLL（注2）
11	Reserved

### 注

1. ピクセルクロックソースとしてOSCI/OSCOを選択したときは、OSCをイネーブルしてください（REG[0028h]ビット9＝1）。そうでない場合は、ピクセルクロックソースはCLKIになります。
2. システムクロックソースとしてPLLを選択しないときは（REG[0028h]ビット1～0≠10）、ピクセルクロックソースとしてPLLを選択しないでください。



bits 1-0

システムクロックソース選択ビット[1:0]

これらのビットは、システムクロックソースを次のように選択します。クロック構造の詳細は、81ページの8.1「クロック図」をご覧ください。

表9.13 システムクロックソース選択

REG[0028h]ビット1~0	システムクロックソース
00	CLKI
01	OSCI/OSCO (注)
10	PLL
11	Reserved

## 注

システムクロックソースとしてOSCI/OSCOを選択したときは、OSCをイネーブルしてください (REG[0028h]ビット9=1)。そうでない場合は、システムクロックソースはCLKIになります。

REG[002Ch] Power Save Mode Register (AID)								Read/Write
Default = 0000_0000h : Address auto increment disable								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
HIFメモリアクセス状態 (Read Only)	TV-Outメモリアクセス状態 (Read Only)	LCDメモリアクセス状態 (Read Only)	サブメモリアクセス状態 (Read Only)	メインメモリ書き込みバスマメモリアクセス状態 (Read Only)	n/a	強制PLLロック	PLLロック (Read Only)	
7	6	5	4	3	2	1	0	パワーセーブモード選択ビット1~0

bit 9

強制PLLロック

このビットは、PLLロックビットREG[002Ch]ビット8より優先されます。

このビットが0のとき、ハードウェアに影響がありません。

このビットが1のとき、PLLロックビットはHighに設定されます。

bit 8

PLLロック (読み出し専用)

このビットは、PLL出力の状態を示します。

このビットが0のときは、PLL出力が不安定になります。この状態では、表示バッファにアクセスしないでください。

このビットが1のとき、PLL出力は安定します。

## 注

PLLをディセーブルしたときは (REG[002Ch]ビット1~0=00)、このビットの状態を無視してください。

bit 7

HIFメモリアクセス状態 (読み出し専用)

このビットは、ホストインタフェースによるメモリアクセスの状態を示します。

このビットが0のときは、使用可能です。

このビットが1のときは、ビジーです。

## 9. レジスタ

bit 6	TV-Outメモリアクセス状態（読み出し専用） このビットは、TV-Outインタフェースによるメモリアクセスの状態を示します。 このビットが0のときは、使用可能です。 このビットが1のときは、ビジーです。
bit 5	LCDメモリアクセス状態（読み出し専用） このビットは、LCDインタフェースによるメモリアクセスの状態を示します。 このビットが0のときは、使用可能です。 このビットが1のときは、ビジーです。
bit 4	サブメモリ書き込みパスメモリアクセス状態（読み出し専用） このビットは、サブメモリ書き込みパスによるメモリアクセスの状態を示します。 このビットが0のときは、使用可能です。 このビットが1のときは、ビジーです。
bit 3	メインメモリ書き込みパスメモリアクセス状態（読み出し専用） このビットは、メインメモリ書き込みパスによるメモリアクセスの状態を示します。 このビットが0のときは、使用可能です。 このビットが1のときは、ビジーです。
bits 1-0	パワーセーブモード選択ビット[1:0] これらのビットは、パワーセーブモードを次のように制御します。詳しくは、258ページの10.「パワーセーブモード」をご覧ください。

表9.14 パワーセーブモード選択

REG[002Ch]ビット1～0	パワーセーブモード	PLL	DRAM	システムクロック
00	スリープモード（注3）	OFF	OFF	OFF
01	スタンバイモードA（注3）	ON（注1）	OFF	OFF
10	スタンバイモードB（注3）	ON（注1、2）	ON	OFF
11	通常動作モード	ON（注1、2）	ON	ON

### 注

1. システムクロックソースとしてPLLを使用しないときは（REG[0028h]ビット1～0≠10）、これらのモードでPLLがディセーブルされます。
2. 通常動作モードからスタンバイモードBに変更する前に、すべてのメモリアクセスが停止されたことを確認してください（REG[002Ch]ビット7～3＝0\_0000）。
3. スタンバイまたはスリープパワーセーブモードにする前に、ビデオ入力インタフェースをディセーブルし（REG[0480h]ビット7＝0）、表示出力ポートを「すべてオフ（All Off）」に設定してください（REG[0604h]ビット11～8＝0000）。

REG[0030h] I2C Quick Enable Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	I2Cクイック イネーブル

**注**

I2Cインタフェースはこのレジスタにアクセスできません。

bit 0

**I2Cクイックイネーブル**

このビットが0のとき、I2Cはディセーブルされ、I2Cモジュールへのクロック供給は停止されます。

このビットが1のとき、I2Cはイネーブルされ、CNF1 (CLKIまたはOSCI、OSCO) の選択に従ってクロックがI2Cモジュールに供給されます。

**注**

このビットには、I2CEN端子と同じ機能があります。

## 9. レジスタ

### 9.4.3 ソフトウェアリセットレジスタ

REG[0040h] Software Reset Register (AID)							
Default = not applicable							Write Only
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
ソフトウェアリセットビット15～8							
7	6	5	4	3	2	1	0
ソフトウェアリセットビット7～0							

bits 15-0

ソフトウェアリセットビット[15:0]（書き込み専用）  
これらのビットに値が書き込まれると、REG[0000h]～REG[003Fh]、REG[0300h]～REG[0350h]、REG[0B00h]～REG[0B14h]およびREG[1040h]～REG[1060h]以外のすべてのレジスタが、そのデフォルト値にリセットされます。これらのビットを用いたソフトウェアリセットは、表示バッファをクリアしません。

**注**

ホストは、I2Cインタフェースを使ってこのレジスタに書き込むことはできません。

## 9.4.4 SDRAM制御レジスタ

REG[0080h] Memory Controller Software Reset Register								Write Only
Default = not applicable								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	メモリコントローラソフトウェアリセット

bit 0

メモリコントローラソフトウェアリセット（書き込み専用）

このビットは、メモリコントローラのソフトウェアリセットを行います。設定レジスタREG[0084h]～REG[0090h]には影響がありません。

このビットに0を書き込んでも、メモリコントローラには影響がありません。

このビットに1を書き込むと、メモリコントローラがリセットされます。S1D13774が、メモリコントローラがアクティブでなければならないモードの場合は、リセットが完了した後でパワーオンシーケンスが始まります。

このビットは、モジュールリセットが行われた後で自動的にクリアされます。

REG[0084h] Auto Refresh Interval Setting Register								Read/Write
Default = 0000_025Ch								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	自動リフレッシュ間隔設定ビット9～8
7	6	5	4	3	2	1	0	自動リフレッシュ間隔設定ビット7～0

bits 9-0

自動リフレッシュ間隔設定ビット[9:0]

これらのビットは、メモリの自動リフレッシュ間隔を決定します。次の式に従って設定してください。

$$\text{REG}[0084\text{h}] \text{ビット} 9 \sim 0 = \text{int}(8,000,000 \div (1024 \times (\text{SYSCLK\_PERIOD}(\text{ns})))) - D$$

ここで

$$D = 21 \quad (\text{SYSCLK} > 55.5\text{MHzのとき})$$

$$= 19 \quad (\text{SYSCLK} \leq 55.5\text{MHzのとき})$$

表9.15 自動リフレッシュ間隔設定の例

周波数 (MHz)	REG[0084h]ビット9～0
50	173h
66.67	1F3h
71	215h

## 9. レジスタ

REG[0088h] Power-On Sequence Timing Control Register								Read/Write
Default = 0000_003Fh								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	7	6	5	4	3	2	1	0

bits 6-0

パワーオンシーケンスタイミング制御ビット[6:0]

これらのビットは、パワーオンシーケンスタイミング（tRSTとtPS）を制御します。次の式に従って設定してください。

$$\text{REG}[0088\text{h}] \text{ビット} 6 \sim 0 = 200,000 \div (\text{SYSCLK\_PERIOD (ns)}) \div 256 + 1$$

表9.16 パワーオンシーケンスタイミングの例

周波数 (MHz)	REG[0088h]ビット6～0
50	28h
66.67	35h
71	38h

REG[008Ch] Timing Control Register								Read/Write
Default = 0000_2513h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
n/a	15	14	13	12	11	10	9	8
n/a	7	6	5	4	3	2	1	0

bits 13-12

読み出しレイテンシ設定ビット[1:0]

これらのビットは、メモリの読み出しレイテンシを指定します。システムクロック周波数に従って設定してください。

表9.17 読み出しレイテンシ選択

REG[008Ch]ビット13～12	システムクロック周波数
00	Reserved
01	SYSCLK < 55.5MHz
10 (デフォルト)	SYSCLK ≥ 55.5MHz
11	Reserved

bit 10 書き込み-プリチャージコマンド期間のタイミング制御  
このビットは、書き込み-プリチャージコマンド期間（tWR）のタイミングを制御します。システムクロック周波数に従って設定してください。

表9.18 書き込み-プリチャージコマンド期間選択のタイミング制御

REG[008Ch]ビット10	システムクロック周波数
0	$40\text{MHz} \leq \text{SYSCLK} \leq 71\text{MHz}$
1（デフォルト）	Reserved

bit 8 プリチャージ-アクティブ／リフレッシュコマンド期間のタイミング制御  
このビットは、プリチャージ-アクティブ／リフレッシュコマンド期間（tRP）のタイミングを制御します。システムクロック周波数に従って設定してください。

表9.19 プリチャージ-アクティブ／リフレッシュコマンド期間選択のタイミング制御

REG[008Ch]ビット8	システムクロック周波数
0	$\text{SYSCLK} < 55.5\text{MHz}$
1（デフォルト）	$\text{SYSCLK} \geq 55.5\text{MHz}$

bit 4 アクティブ-読み出し／書き込みコマンド期間のタイミング制御  
このビットは、アクティブ-読み出し／書き込みコマンド期間（tRCD）のタイミングを制御します。システムクロック周波数に従って設定してください。

表9.20 アクティブ-読み出し／書き込みコマンド期間選択のタイミング制御

REG[008Ch]ビット4	システムクロック周波数
0	$\text{SYSCLK} < 55.5\text{MHz}$
1（デフォルト）	$\text{SYSCLK} \geq 55.5\text{MHz}$

bits 2-0 リフレッシュ - リフレッシュ／アクティブコマンド期間のタイミング制御ビット[2:0]  
これらのビットは、リフレッシュ-リフレッシュ／アクティブコマンド期間（tRC(REF)）のタイミングを制御します。システムクロック周波数に従って設定してください。

表9.21 リフレッシュ-リフレッシュ／アクティブコマンド期間選択のタイミング制御

REG[008Ch]ビット2～0	システムクロック周波数
000	Reserved
001	$\text{SYSCLK} < 50\text{MHz}$
010	$50\text{MHz} \leq \text{SYSCLK} < 66.67\text{MHz}$
011（デフォルト）	$\text{SYSCLK} \geq 66.67\text{MHz}$
100～111	Reserved

REG[0090h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

## 9. レジスタ

REG[0094h] Memory Control Status Flag Register (AID)								Read Only
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								メモリコントローラ アクティブ状態
15	14	13	12	11	10	9	8	
Reserved				n/a		メモリコントローラ 自動リフレッシュ 失敗状態フラグ	メモリコントローラ レディ状態フラグ	
7	6	5	4	3	2	1	0	

- bit 8                      メモリコントローラアクティブ状態（読み出し専用）  
このビットは、メモリコントローラの状態を示します。  
このビットが0のとき、メモリコントローラはアクティブではありません（ディセーブルされています）。  
このビットが1のとき、メモリコントローラはアクティブです（イネーブルされています）。
- bits 7-4                **Reserved**  
これらのビットのデフォルト値は0000です。
- bit 1                    メモリコントローラ自動リフレッシュ失敗状態フラグ（読み出し専用）  
このビットは、自動リフレッシュサイクルが失敗したことを示します。  
このビットが0のとき、自動リフレッシュサイクルは失敗していません。  
このビットが1のとき、自動リフレッシュサイクルは失敗しています。
- bit 0                    メモリコントローラレディ状態フラグ（読み出し専用）  
このビットは、メモリコントローラパワーオンシーケンスが完了したことを示します。  
このビットが0のとき、パワーオンシーケンスは完了していません。  
このビットが1のとき、パワーオンシーケンスは完了しています。

### 注

パワーオンシーケンスの時間は約410usです。この時間は、スタンバイモードAまたはスリープモードからスタンバイモードBに変更するときが必要とされます。パワーオンシーケンス時間は、スタンバイモードBが選択されて（REG[002Ch]ビット1～0=10）からメモリコントローラレディ状態フラグが1に戻る（REG[0094h]ビット0=1）までの時間で定義されます。



## 9.4.5 LCDインタフェース設定レジスタ

REG[0100h] LCD Interface Clock Setting Register							
Default = 0000_0000h							Read/Write
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a				n/a			
パラレルコマンドクロック分周選択ビット3~0				シリアルクロック分周選択ビット2~0			
15	14	13	12	11	10	9	8
n/a				n/a			
ピクセルクロック分周選択ビット4~0				ピクセルクロック分周選択ビット4~0			
7	6	5	4	3	2	1	0

bits 15-12

パラレルコマンドクロック分周選択ビット[3:0]

これらのビットは、LCD2のパラレルコマンド/パラメータアクセスに使用されるパラレルコマンドクロックの分周比を指定します。パラレルコマンドクロックのクロックソースは、非分周ピクセルクロックです。LCD2パラレルフレーム転送には、ピクセルクロックが使用されます（REG[0100h]ビット4~0を参照）。クロック構造の詳細情報は、81ページの8.「クロック」をご覧ください。

表9.22 パラレルコマンドクロック分周比選択

REG[0100h]ビット15~12	パラレルコマンドクロック分周比	REG[0100h]ビット15~12	パラレルコマンドクロック分周比
0000	1:1	1000	9:1
0001	2:1	1001	10:1
0010	3:1	1010	11:1
0011	4:1	1011	12:1
0100	5:1	1100	13:1
0101	6:1	1101	14:1
0110	7:1	1110	15:1
0111	8:1	1111	16:1

bits 10-8

シリアルクロック分周選択ビット[2:0]

これらのビットは、シリアルクロックの分周比を指定します。シリアルクロックのクロックソースは、非分周ピクセルクロックです。LCD2がシリアルインタフェースタイプLCDパネル（REG[0104h]ビット1~0）でない場合、これらのビットは無視されます。クロック構造の詳細情報は、81ページの8.「クロック」をご覧ください。

表9.23 シリアルクロック分周比選択

REG[0100h]ビット10~8	シリアルクロック分周比	REG[0100h]ビット10~8	シリアルクロック分周比
000	2:1	100	10:1
001	4:1	101	12:1
010	6:1	110	14:1
011	8:1	111	16:1

## 注

シリアルクロック周波数は、SYSCLK周波数÷32より低くしないでください。

## 9. レジスタ

bits 4-0

ピクセルクロック分周選択ビット[4:0]

これらのビットは、ピクセルクロックの分周比を指定します。ピクセルクロックのクロックソースは、ピクセルクロックソース選択ビットREG[0028h]ビット3～2によって選択されます。LCD1 RGBタイプパネルでは、ピクセルクロックはシフトクロックと同じです。LCD2がパラレルインタフェースタイプパネル (REG[0104h]ビット1～0=01または10) のとき、パラレルデータ出力タイミングクロックにはピクセルクロックが使用されます。クロック構造の詳細な情報は、81ページの8.「クロック」をご覧ください。

表9.24 ピクセルクロック分周比選択

REG[0100h]ビット4～0	ピクセルクロック分周比	REG[0100h]ビット4～0	ピクセルクロック分周比
00000	1:1 (注1)	10000	17:1
00001	2:1	10001	18:1
00010	3:1	10010	19:1
00011	4:1	10011	20:1
00100	5:1	10100	21:1
00101	6:1	10101	22:1
00110	7:1	10110	23:1
00111	8:1	10111	24:1
01000	9:1	11000	25:1
01001	10:1	11001	26:1
01010	11:1	11010	27:1
01011	12:1	11011	28:1
01100	13:1	11100	29:1
01101	14:1	11101	30:1
01110	15:1	11110	31:1
01111	16:1	11111	32:1

### 注

1. ピクセルクロック周波数<システムクロック周波数÷2
2. LCD2パラレルパネルインタフェースの場合、ピクセルクロック周波数は、SYSCLK周波数÷32より低くしないでください。

REG[0104h] LCD Interface Configuration Register							
Default = 0000_4000h							
Read/Write							
31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
Reserved	VNDP状態 (Read Only)	n/a	FPCS2#極性選択	Reserved	A0極性選択	FPDRDY極性選択	FPCS1#極性選択
15	14	13	12	11	10	9	8
FPSHIFT極性選択	コマンド/ パラメータポート 選択	RGB インタフェース パネルデータバス幅	n/a		LCD2/パラレル インタフェース 端子選択	LCDパネルインタフェースビット1~0	
7	6	5	4	3	2	1	0

- bit 15      Reserved  
このビットのデフォルト値は0です。
- bit 14      垂直非表示期間状態（読み出し専用）  
このビットは、LCD1パネルが垂直非表示期間（VNDP）内にあるかどうかを示します。  
このビットが0のとき、LCD1パネル出力は垂直表示期間内にあります。  
このビットが1のとき、LCD1パネル出力は垂直非表示期間内にあります。
- bit 12      FPCS2#極性選択  
このビットは、パラレル/シリアルタイプパネルのLCD2インタフェースチップ選択（FPCS2#）の極性を設定します。  
このビットが0のとき、FPCS2#信号は反転されません。（アクティブLow）  
このビットが1のとき、FPCS2#信号は反転されます。（アクティブHigh）

#### 注

モード3-2かモード3-3の場合（27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」を参照）、FPCS2#端子（未使用）はLCD2動作中にトグルします。

- bit 11      Reserved  
このビットのデフォルト値は0です。
- bit 10      A0極性選択  
このビットは、LCD1またはLCD2上のパラレル/シリアルインタフェースパネル専用です。RGBタイプパネルには影響がありません。LCDインタフェースコマンド（REG[0108h]を参照）またはLCDインタフェースパラメータ（REG[010Ch]を参照）転送中、FPSA0/P2A0は、このビットの設定に基づいてHighまたはLowに設定されます。LCD1が9ビットシリアルパネル（REG[0168h]ビット7~5=001）か、LCD2が9ビットシリアルパネル（REG[0188h]ビット7~5=001）のとき、このビットは、FPSO上の9ビットデータのMSBを決定します。
- LCD2フレーム転送（REG[0114h]ビット1~0）の場合、このビットはアクティブレベルを選択します。

表9.25 A0極性設定

REG[0104h]ビット10	FPSA0/P2A0信号出力		
	コマンド	パラメータ	フレーム転送
0	Low	High	アクティブHigh
1	High	Low	アクティブLow

## 9. レジスタ

- bit 9      **FPDRDY極性選択**  
このビットは、RGBタイプパネルのデータレディー信号（FPDRDY）の極性を設定します。  
このビットが0のとき、FPDRDY信号は反転されません。  
このビットが1のとき、FPDRDY信号は反転されます。
- bit 8      **FPCS1#極性選択**  
このビットは、シリアルタイプパネルのLCD1インタフェースチップ選択（FPCS1#）の極性を設定します。  
  
4ワイヤ8ビットまたは3ワイヤ9ビットシリアルパネルの場合：  
このビットが0のとき、FPCS1#信号は反転されません。（アクティブLow）  
このビットが1のとき、FPCS1#信号は反転されます。（アクティブHigh）  
  
uWireまたは24ビットシリアルパネルの場合：  
このビットが0のとき、FPCS1#信号は反転されません。（アクティブHigh）  
このビットが1のとき、FPCS1#信号は反転されます。（アクティブLow）
- bit 7      **FPSHIFT極性選択**  
このビットは、RGBタイプパネルのシフトクロックの極性を設定します（FPSHIFTを反転します）。  
このビットが0のとき、パネルインタフェース信号はすべてFPSHIFTの立ち上がりエッジで変化します。  
このビットが1のとき、パネルインタフェース信号はすべてFPSHIFTの立ち下がりエッジで変化します。
- bit 6      **コマンド／パラメータポート選択**  
このビットは、REG[0108h]～REG[0110h]から送られるコマンド／パラメータ転送にどの出力ポートを選択するかを決定します。  
このビットが0のとき、シリアルコマンド／パラメータ転送にはLCD1ポートが選択されます。  
このビットが1のとき、シリアルまたはパラレルコマンド／パラメータ転送にLCD2ポートが選択されます。

### 注

シリアルインタフェースでは、REG[0168h]ビット1～0かREG[0188h]ビット1～0のいずれかを使用して、コマンド／パラメータポート選択ビット（REG[0104h]ビット6）と表示出力ポート状態ビット（REG[0604h]ビット15～12）の設定に従ってシリアルクロック位相とシリアルクロック極性を指定します。次の表は、それぞれの場合に使用されるレジスタビットの一覧です。

表9.26 シリアルインタフェースクロックの位相と極性の設定

位相／極性	シリアルインタフェース	表示ポート状態（REG[0604h]ビット15～12）			
		Off (0000)	LCD1 (0001)	LCD2 (0010)	Other
LCD1シリアルクロック位相	LCD1 (REG[0104h]ビット6=0)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD1シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0
LCD2シリアルクロック位相	LCD2 (REG[0104h]ビット6=1)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD2シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0

bit 5 RGBインタフェースパネルデータバス幅  
 このビットは、LCD1 RGBインタフェースパネルデータバス幅（またはサイズ）を決定します。  
 このビットが0のとき、LCD1 RGBインタフェースパネルデータバスは18ビットです。  
 このビットが1のとき、LCD1 RGBインタフェースパネルデータバスは24ビットです。

bit 2 LCD2パラレルインタフェース端子選択  
 LCD2パラレルインタフェースが、LCD1インタフェースと異なる端子を使用するように設定されたとき（REG[0104h]ビット1～0＝10）、これらのビットは使用する端子を選択します。LCDインタフェースの端子割り付けの詳細は、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。  
 このビットが0のとき、LCD2パラレルパネルはGPIOP0～GPIOP9を使用します。  
 このビットが1のとき、LCD2パラレルパネルはGPIOH13～GPIOH23を使用します。

#### 注

このビットは、LCD2パラレルインタフェースがTV-Outインタフェースと同じ端子を使用することがないように設定してください（REG[0200h]ビット2を参照）。LCDおよびTV-Outインタフェースモードの概要は、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。

bits 1-0 LCDパネルインタフェースビット[1:0]  
 これらのビットは、各LCDインタフェースのLCDパネルタイプを決定します（LCD1とLCD2）。LCDインタフェースの端子割り付けの詳細は、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。

表9.27 LCDパネルインタフェース選択

REG[0104h]ビット1～0	モード	LCD1パネルインタフェース	LCD2パネルインタフェース
00	1	シリアルインタフェース付き RGBインタフェース	シリアルインタフェース（RAM内蔵）
01	2		パラレルインタフェース（RAM内蔵） （LCD1およびLCD2データバスは共通端子を使用します）
10	3		パラレルインタフェース（RAM内蔵） （LCD1データ端子はLCD2データバス端子と異なります）
11			Reserved

## 9. レジスタ

REG[0108h] LCD Interface Command Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
LCDインタフェースコマンドビット15~8								
15	14	13	12	11	10	9	8	
LCDインタフェースコマンドビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

### LCDインタフェースコマンドビット[15:0]

これらのビットは、LCD1またはLCD2上のパラレル／シリアルインタフェースパネル専用です。RGBタイプパネルには影響がありません。これらのビットは、LCD1シリアルおよびLCD2パラレル／シリアルインタフェース用のコマンドレジスタを構成します。8ビットパラレルまたはシリアルインタフェースの場合、下位バイトだけが使用されます。

LCDインタフェースがビジーのときは（REG[0114h]ビット4=1）、これらのビットに書き込まないでください。LCDインタフェースがビジーでないときは（REG[0114h]ビット4=0）、これらのビットに書き込まれたときにコマンド転送が始まります。コマンド転送が始まると、FPA0端子は、A0極性選択ビット（REG[0104h]ビット10）の状態に従ってLowまたはHighに設定されます。

### 注

1. LCD1シリアルデータタイプが、uWIREに設定された場合は（REG[0168h]ビット7~5=10x）、REG[0108h]の上位バイトがA[7:0]に使用され、下位バイトがD[7:0]に使用されます。
2. コマンド転送が始まる前に、出力ポートを選択してください（REG[0104h]ビット6を参照）。

REG[010Ch] LCD Interface Parameter Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
LCDインタフェースパラメータビット15~8								
15	14	13	12	11	10	9	8	
LCDインタフェースパラメータビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

LCDインタフェースパラメータビット[15:0]

これらのビットは、LCD1またはLCD2の平行/シリアルインタフェースパネル専用です。RGBタイプパネルには影響がありません。これらのビットは、LCD1シリアルおよびLCD2平行/シリアルインタフェースのパラメータレジスタを構成します。8ビット平行またはシリアルインタフェースの場合は、下位バイトのみが使用されます。

LCDインタフェースがビジーのときは (REG[0114h]ビット4=1)、これらのビットに書き込まないでください。LCDインタフェースがビジーでないときは (REG[0114h]ビット4=0)、これらのビットに書き込まれるとデータ転送が始まります。データ転送が始まると、FPA0端子は、A0極性選択ビットの状態に応じてHighまたはLowに設定されます (REG[0104h]ビット10)。

**注**

1. LCD1シリアルデータタイプがuWIREに設定されている (REG[0168h]ビット7~5=10x) 場合、REG[010Ch]の上位バイトはA[7:0]に使用され、下位バイトはD[7:0]に使用されます。
2. コマンド転送が始まる前に、出力ポートを選択してください (REG[0104h]ビット6を参照)。

REG[0110h] LCD Interface ID Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
LCDインタフェースIDビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

LCDインタフェースIDビット[7:0]

これらのビットは、24ビットシリアルインタフェースが選択される時 (REG[0168h]ビット7~5=111またはREG[0188h]ビット7~5=111)、D[23:16]用に使われます。

## 9. レジスタ

REG[0114h] LCD2 Interface Frame Transfer Register (AID)								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a			LCDシリアル/ パラレル インタフェース状態 (Read Only)	n/a	LCD2自動フレーム 転送トリガ選択	LCD2 インタフェース 自動フレーム転送 イネーブル	LCD2 インタフェース フレーム転送トリガ	
7	6	5	4	3	2	1	0	

- bit 4** LCDシリアル／パラレルインタフェース状態（読み出し専用）  
このビットは、LCD1シリアルまたはLCD2シリアル／パラレルインタフェースの状態を示します。パネルにデータを転送する前にこのビットを読み出し、LCD1シリアルやLCD2シリアル／パラレルインタフェースがビジーでないことを確認してください。  
このビットが0のとき、LCD1シリアルインタフェースやLCD2シリアル／パラレルインタフェースはビジーではありません（すなわちレディ状態）。  
このビットが1のとき、LCD1シリアルインタフェースまたはLCD2シリアル／パラレルインタフェースはビジーです。
- bit 2** LCD2インタフェース自動フレーム転送トリガ選択  
このビットは、自動フレーム転送がイネーブルされたとき（REG[0114h]ビット1=1）に使用されるトリガ方法を選択します。  
このビットが0のとき、自動フレーム転送は、メインメモリ書き込みパスの書き込み終了と同期されます。  
このビットが1のとき、自動フレーム転送は、サブメモリ書き込みパスの書き込み終了と同期されます。
- bit 1** LCD2インタフェース自動フレーム転送イネーブル  
このビットは、LCD2上のパラレル／シリアルインタフェース専用です。このビットは、表示メモリの1つのフレームのLCD2インタフェースへの自動フレーム転送を制御します。フレーム転送は、DRAM書き込み終了でトリガされ同期されます（REG[0114h]ビット2を参照）。  
このビットが0のとき、自動フレーム転送はディセーブルされます。  
このビットが1のとき、自動フレーム転送はイネーブルされます。
- このビットが1のとき、LCD2インタフェース状態ビット（REG[0114h]ビット4）は常にビジーです。ビジーのときは、コマンド／パラメータおよびフレーム転送を手動で行うことはできません。このビットは、ホスト／ビデオ入力をディセーブルする前にディセーブルしてください。



bit 0

## LCD2インタフェースフレーム転送トリガ

このビットは、LCD2の平行／シリアルインタフェースパネル専用です。RGBタイプパネルには影響がありません。このビットは、LCDインタフェースにデータの1つのフレームを転送するトリガです。このビットが1に設定されLCDインタフェースがビジーのとき (REG[0114h]ビット4=1)、フレーム転送要求は無視されます。LCDインタフェースがビジーでなくなった後、このビットは、データを転送せずにクリアされます。

このビットが1に設定されLCDインタフェース状態がビジーでないとき (REG[0114h]ビット4=0)、データの1フレームがLCDインタフェースに転送されます。データ転送が終了したとき、このビットは自動的にクリアされます。

## 注

自動フレーム転送がイネーブルされたとき (REG[0114h]ビット1=1)、このビットは自動フレーム転送の状態を示します。

このビットが0のとき、自動フレーム転送はインアクティブです。

このビットが1のとき、自動フレーム転送はアクティブです。

## 9. レジスタ

### 9.4.6 LCD1設定レジスタ

REG[0140h] LCD1 Horizontal Total (FPLINE Period) Register								Read/Write
Default = 0000_0001h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
n/a	LCD1全水平期間 (FPLINE期間) ビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

LCD1全水平期間 (FPLINE期間) ビット[6:0]

これらのビットは、RGBインタフェースパネル専用です。シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の全水平期間 (HT) すなわちFPLINE期間を、8ピクセルを1単位として指定します。全水平期間は、水平表示期間と水平非表示期間の和です。最大全水平期間は1024ピクセルです。

$\text{REG}[0140\text{h}] \text{ビット} 6 \sim 0 = (\text{全水平期間 (ピクセル)} \div 8) - 1$

#### 注

これらのビットは、以下の式が成り立つように設定してください。

$\text{REG}[0140\text{h}] \text{ビット} 6 \sim 0 > 0$

$\text{HT} \geq \text{HDP} + \text{HDPS}$

REG[0144h] LCD1 Horizontal Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	LCD1水平表示期間 ビット8
LCD1水平表示期間 ビット7~0								
7	6	5	4	3	2	1	0	

bits 8-0

LCD1水平表示期間ビット[8:0]

これらのビットは、LCD1の水平表示期間 (HDP) を、2ピクセルを1単位として指定します。水平表示期間は、水平非表示期間を十分とれるように全水平期間より短くしてください。

$\text{REG}[0144\text{h}] \text{ビット} 8 \sim 0 = (\text{水平表示期間 (ピクセル)} \div 2) - 1$

REG[0148h] LCD1 Horizontal Display Period Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD1水平表示期間開始位置ビット9～8
7	6	5	4	3	2	1	0	LCD1水平表示期間開始位置ビット7～0

bits 9-0

LCD1水平表示期間開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の水平表示期間開始位置（HDPS）を、1ピクセルを1単位として指定します。

REG[0148h]ビット9～0＝水平表示期間開始位置（ピクセル）－9

REG[014Ch] LCD1 Horizontal Pulse (FPLINE) Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
LCD1水平パルス (FPLINE) 極性 7	6	5	4	3	2	1	0	LCD1水平パルス（FPLINE）幅ビット6～0

bit 7

LCD1水平パルス（FPLINE）極性

このビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。このビットは、LCD1の水平パルス信号すなわちFPLINEの極性を選択します。

このビットが0のとき、水平パルス信号すなわちFPLINEはアクティブLowです。（デフォルト）

このビットが1のとき、水平パルス信号すなわちFPLINEはアクティブHighです。

bits 6-0

LCD1水平パルス（FPLINE）幅ビット[6:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の水平パルス信号すなわちFPLINEの幅を、1ピクセルを1単位として指定します。

REG[014Ch]ビット6～0＝HSYNCパルス幅（ピクセル）－1

## 9. レジスタ

REG[0150h] LCD1 Horizontal Pulse (FPLINE) Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD1水平パルス (FPLINE) 開始位置ビット9~8
7	6	5	4	3	2	1	0	LCD1水平パルス (FPLINE) 開始位置ビット7~0

bits 9-0

LCD1水平パルス (FPLINE) 開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の水平パルス (HPP) の開始位置をピクセルで指定します。

REG[0150h]ビット9~0 = (HSYNCエッジ-VSYNCエッジ) (ピクセル) - 1

REG[0154h] LCD1 Vertical Total (FPFRAME Period) Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD1全垂直期間 (FPFRAME期間) ビット9~8
7	6	5	4	3	2	1	0	LCD1全垂直期間 (FPFRAME期間) ビット7~0

bits 9-0

LCD1全垂直期間 (FPFRAME期間) ビット[9:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の全垂直期間 (VT) すなわちFPFRAME期間を1ラインを1単位として指定します。全垂直期間は、垂直表示期間と垂直非表示期間の和です。最大全垂直期間は1024ラインです。

REG[0154h]ビット9~0 = 全垂直期間 (ライン) - 1

### 注

このレジスタは、以下の式が成り立つように設定してください。

$$VT > VDPS + VDP$$

$$VT - VDP \geq 3$$

REG[0158h] LCD1 Vertical Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD1垂直表示期間ビット9～8
7	6	5	4	3	2	1	0	LCD1垂直表示期間ビット7～0

bits 9-0

垂直表示期間ビット[9:0]

これらのビットは、LCD1の垂直表示期間（VDP）を1ラインを1単位として指定します。垂直表示期間は、垂直非表示期間を十分にとれるように全垂直期間より短くしてください。

REG[0158h]ビット9～0＝垂直表示期間（ライン）－1

REG[015Ch] LCD1 Vertical Display Period Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD1垂直表示期間開始位置ビット9～8
7	6	5	4	3	2	1	0	LCD1垂直表示期間開始位置ビット7～0

bits 9-0

LCD1垂直表示期間開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の垂直表示期間開始位置（VDPS）を1ラインを1単位として指定します。

REG[015Ch]ビット9～0＝垂直表示期間開始位置（ライン）

## 9. レジスタ

REG[0160h] LCD1 Vertical Pulse (FPFRAME) Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
LCD1垂直パルス (FPFRAME) 極性 7	n/a				LCD1垂直パルス (FPFRAME) 幅ビット2~0			
	6	5	4	3	2	1	0	

bit 7

LCD1垂直パルス (FPFRAME) 極性

このビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。このビットは、LCD1の垂直パルス信号 (FPFRAME) の極性を選択します。

このビットが0のとき、垂直パルス信号 (FPFRAME) はアクティブLowです。(デフォルト)

このビットが1のとき、垂直パルス信号 (FPFRAME) はアクティブHighです。

bits 2-0

LCD1垂直パルス (FPFRAME) 幅ビット[2:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の垂直パルス信号の幅をラインで指定します。

REG[0160h]ビット2~0=VSYNCパルス幅 (ライン) -1

REG[0164h] LCD1 Vertical Pulse (FPFRAME) Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a						LCD1垂直パルス (FPFRAME) 開始位置 ビット9~8		
15	14	13	12	11	10	9	8	
LCD1垂直パルス (FPFRAME) 開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD1垂直パルス (FPFRAME) 開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル専用であり、シリアルインタフェースパネルには影響がありません。これらのビットは、LCD1の垂直パルス信号 (FPFRAME) の開始位置をラインで指定します。

REG[0164h]ビット9~0=垂直パルス開始位置 (ライン)

REG[0168h] LCD1 Serial Interface Setting Register								Read/Write
Default = 0000_0001h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
LCD1シリアルデータタイプビット2~0			LCD1シリアルデータ方向	n/a		LCD1シリアルクロック位相	LCD1シリアルクロック極性	
7	6	5	4	3	2	1	0	

bits 7-5

LCD1シリアルデータタイプビット[2:0]

これらのビットは、LCD1のシリアルデータタイプを決定します。ACタイミングについては、59ページの6.7.2「LCD1、LCD2 4ワイヤ8ビットシリアルインタフェースタイミング」、61ページの6.7.3「LCD1、LCD2 3ワイヤ9ビットシリアルインタフェースタイミング」、63ページの6.7.4「LCD1 uWireシリアルインタフェースタイミング」、および64ページの6.7.5「LCD1、LCD2 24ビットシリアルインタフェースタイミング」をご覧ください。

表9.28 LCD1シリアルデータタイプ選択

REG[0168h]ビット7~5	LCD1シリアルデータタイプ
000	4端子 (8ビットシリアル)
001	3端子 (9ビットシリアル)
010~011	Reserved
10x	uWire (16ビットシリアル)
110	Reserved
111	24ビットシリアル

bit 4

LCD1シリアルデータ方向

このビットは、LCD1のシリアルデータ方向を決定します。タイミングの詳細は、57ページの6.7「パネルインタフェースタイミング」と適切なシリアルインタフェースを参照してください。

このビットが0のときは、msb（最上位ビット）が先頭です。

このビットが1のときは、lsb（最下位ビット）が先頭です。

**注**

24ビットシリアルデータタイプが選択されたときは (REG[0168h]ビット7~5=111)、このビットはサポートされず、0に設定されなければなりません。

bit 1

LCD1シリアルクロック位相

このビットは、LCD1のシリアルクロック (FPSCK) 位相を指定します。シリアルクロック位相と極性の設定の概要は、120ページの表9.29「LCD1シリアルクロックの極性と位相の選択」をご覧ください。タイミングの詳細は、57ページの6.7「パネルインタフェースタイミング」と適切なシリアルインタフェースを参照してください。

## 9. レジスタ

bit 0

LCD1シリアルクロック極性

このビットは、LCD1のシリアルクロック（FPSCK）極性を決定します。シリアルクロックの位相と極性の設定の概要は、120ページの表9.29「LCD1シリアルクロックの極性と位相の選択」をご覧ください。タイミングの詳細は、57ページの6.7「パネルインタフェースタイミング」と適切なシリアルインタフェースを参照してください。

表9.29 LCD1シリアルクロックの極性と位相の選択

REG[0168h]ビット1	REG[0168h]ビット0	シリアルデータ出力変化	クロックのアイドル状態
0	0	シリアルクロックの立ち下がりエッジ	Low
0	1	シリアルクロックの立ち上がりエッジ	High
1	0	シリアルクロックの立ち上がりエッジ	Low
1	1	シリアルクロックの立ち下がりエッジ	High

### 注

シリアルインタフェースの場合は、コマンド／パラメータポート選択ビット（REG[0104h]ビット6）と表示出力ポート状態ビット（REG[0604h]ビット15～12）の設定に従って、REG[0168h]ビット1～0とREG[0188h]ビット1～0のどちらかを用いてシリアルクロック位相とシリアルクロック極性を指定してください。それぞれの場合に使用されるレジスタビットを次の表に示します。

表9.30 シリアルインタフェースクロックの位相と極性の設定

位相／極性	シリアルインタフェース	表示ポート状態（REG[0604h]ビット15～12）			
		Off (0000)	LCD1 (0001)	LCD2 (0010)	Other
LCD1シリアルクロック位相	LCD1 (REG[0104h]ビット6=0)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD1シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0
LCD2シリアルクロック位相	LCD2 (REG[0104h]ビット6=1)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD2シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0

REG[016Ch]は予約レジスタです（AID）。

これは予約レジスタです。書き込まないでください。

REG[0170h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0174h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。



## 9.4.7 LCD2設定レジスタ

REG[0180h] LCD2 Horizontal Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD2水平表示期間 ビット8
7	6	5	4	3	2	1	0	LCD2水平表示期間ビット7~0

bits 8-0

LCD2水平表示期間ビット[8:0]

これらのビットは、LCD2の水平表示期間を、2ピクセルを1単位として指定します。

$$\text{REG}[0180\text{h}] \text{ビット} 8 \sim 0 = (\text{水平表示期間 (ピクセル)} \div 2) - 1$$

**注**

パラレルインタフェースパネルとシリアルインタフェースパネルの場合は (REG[0104h]ビット1~0を参照)、次の式が成り立たなければなりません。

$$\text{HDP} \times \text{VDP} \geq 40 \text{ピクセル}$$

REG[0184h] LCD2 Vertical Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LCD2垂直表示期間ビット9~8
7	6	5	4	3	2	1	0	LCD2垂直表示期間ビット7~0

bits 9-0

LCD2垂直表示期間ビット[9:0]

これらのビットは、LCD2の垂直表示期間を、1ラインを1単位として指定します。

$$\text{REG}[0184\text{h}] \text{ビット} 9 \sim 0 = \text{垂直表示期間 (ライン)} - 1$$

**注**

パラレルインタフェースパネルとシリアルインタフェースパネルの場合は (REG[0104h]ビット1~0を参照)、次の式が成り立たなければなりません。

$$\text{HDP} \times \text{VDP} \geq 40 \text{ピクセル}$$

## 9. レジスタ

REG[0188h] LCD2 Serial Interface Setting Register								Read/Write
Default = 0000_0001h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
LCD2シリアルモード選択ビット2~0			LCD2シリアルデータ方向	LCD2シリアルデータフォーマットビット1~0		LCD2シリアルクロック位相	LCD2シリアルクロック極性	
7	6	5	4	3	2	1	0	

bits 7-5

LCD2シリアルモード選択ビット[2:0]

これらのビットは、コマンド／パラメータアクセスまたはフレーム転送アクセスが行われているかどうかにより、LCD2上のシリアルパネルのデータ幅とデータタイプを選択します。使用できるモードは次の表のとおりです。

表9.31 LCD2シリアルインタフェースモード選択

REG[0188h]ビット7~5	LCD2シリアルコマンド／パラメータ アクセスモード	LCD2シリアルフレーム転送 アクセスモード
000	4端子（8ビットシリアル）	4端子（8ビットシリアル）
001	3端子（9ビットシリアル）	3端子（9ビットシリアル）
010~011	Reserved	Reserved
100	Reserved	4端子（16/18ビットシリアル）（注）
101	Reserved	3端子（17/19ビットシリアル）（注）
110	Reserved	Reserved
111	3端子（24ビットシリアル）	Reserved

### 注

- データ幅（16/17ビットまたは18/19ビット）は、LCD2シリアルデータフォーマットビット（REG[0188h]ビット3~2）によって決定されます。
- LCD2 24ビットシリアルモードでは、FPCS2#は、デフォルトではアクティブLowで（LCD1 24ビットシリアルモードと異なる）、FPCS2#極性選択ビット（REG[0104h]ビット12）によって制御されます。

bit 4

LCD2シリアルデータ方向

このビットは、24ビットシリアルアクセスとフレーム転送モードを使ったアクセス以外のコマンドアクセスのLCD2シリアルデータ方向を決定します。このビットが0のときは、msb（最上位ビット）が最初に送られます。このビットが1のときは、lsb（最下位ビット）が最初に送られます。

### 注

24ビットシリアルデータタイプを選択したとき（REG[0188h]ビット7~5＝111）、このビットはサポートされず、0に設定されなければなりません。

bits 3-2

LCD2シリアルデータフォーマットビット[1:0]

これらのビットは、フレーム転送のLCD2シリアルデータフォーマットを決定します。

表9.32 LCD2シリアルデータフォーマットの選択

REG[0188h]ビット3～2	REG[0188h]ビット7	REG[0188h]ビット5	LCD2シリアルデータフォーマット		
			データ長	シリアルデータタイプ	データフォーマット
00	0	0	8ビット	4端子8ビット	RGB 3:3:2
		1		3端子9ビット	(1サイクル／ピクセル)
	1	0	16ビット	4端子16ビット	RGB 4:4:4
		1		3端子17ビット	(LSBは未使用)
01	0	0	8ビット	4端子8ビット	RGB 4:4:4
		1		3端子9ビット	(3サイクル／2ピクセル)
	1	0	16ビット	4端子16ビット	RGB 4:4:4
		1		3端子17ビット	(MSBは未使用)
10	0	0	Reserved		
		1			
	1	0	16ビット	4端子16ビット	RGB 5:6:5
		1		3端子17ビット	
11	0	0	Reserved		
		1			
	1	0	18ビット	4端子18ビット	RGB 6:6:6
		1		3端子19ビット	

bit 1

LCD2シリアルクロック位相

このビットは、シリアルクロックの位相を指定し、またLCD2シリアルパネルインタフェースに使用されるシリアルクロック (FPSCCK) を設定するためにLCD2シリアルクロック極性ビット (REG[0188h]ビット0) と共に使用されます。FPSCCKの位相と極性の設定の概要は、124ページの表9.33 「LCD2シリアルクロックの極性と位相の選択」をご覧ください。

## 9. レジスタ

bit 0

LCD2シリアルクロック極性

このビットは、シリアルクロックの極性を指定し、LCD2シリアルパネルインタフェースに使用されるシリアルクロック (FPSCK) を設定するためにLCD2シリアルクロック位相ビット (REG[0188h]ビット1) と共に使用されます。FPSCKの位相と極性の設定の概要は、124ページの表9.33 「LCD2シリアルクロックの極性と位相の選択」をご覧ください。

表9.33 LCD2シリアルクロックの極性と位相の選択

REG[0188h]ビット1	REG[0188h]ビット0	シリアルデータ出力の変化	クロックのアイドル状態
0	0	シリアルクロックの立ち下がりエッジ	Low
0	1	シリアルクロックの立ち上がりエッジ	High
1	0	シリアルクロックの立ち上がりエッジ	Low
1	1	シリアルクロックの立ち下がりエッジ	High

### 注

シリアルインタフェースでは、コマンド/パラメータポート選択ビット (REG[0104h]ビット6) と表示出力ポート状態ビット (REG[0604h]ビット15～12) の設定に従って、REG[0168h]ビット1～0とREG[0188h]ビット1～0のいずれかを使ってシリアルクロックの位相と極性を指定します。それぞれの場合に使用されるレジスタビットは次の表のとおりです。

表9.34 シリアルインタフェースクロックの位相と極性の設定

位相／極性	シリアルインタフェース	表示ポート状態 (REG[0604h]ビット15～12)			
		Off (0000)	LCD1 (0001)	LCD2 (0010)	その他
LCD1シリアルクロック位相	LCD1 (REG[0104h]ビット6=0)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD1シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0
LCD2シリアルクロック位相	LCD2 (REG[0104h]ビット6=1)	REG[0168h]ビット1	REG[0168h]ビット1	REG[0188h]ビット1	REG[0168h]ビット1
LCD2シリアルクロック極性		REG[0168h]ビット0	REG[0168h]ビット0	REG[0188h]ビット0	REG[0168h]ビット0

REG[018Ch] LCD2 Parallel Interface Setting Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
LCD2 FPVS2端子 タイプ選択	LCD2 FPVS2極性 選択	LCD2 FPVS2端子 イネーブル	n/a				LCD2パラレル コマンド/ パラメータモード 選択
15	14	13	12	11	10	9	8
LCD2 VSYNC入力 イネーブル	LCD2パラレル タイプ選択	LCD2パラレルコマンド/パラメータ端子 ビット1~0	LCD2パラレルデータフォーマットビット3~0				
7	6	5	4	3	2	1	0

- bit 15      LCD2 FPVS2端子タイプ選択  
このビットは、LCD2上のパラレルパネルのFPVS2端子タイプを選択します。シリアルインタフェースを選択したときは、このビットを0に設定してください。出力を選択すると、FPVS2から垂直同期信号が出力されます。このビットが0のとき、FPVS2は入力として設定されます。（デフォルト）このビットが1のとき、FPVS2は出力として設定されます。
- bit 14      LCD2 FPVS2極性選択  
このビットは、LCD2パラレル/シリアルインタフェース用です。このビットは、FPVS2が入力垂直同期のときと出力垂直同期のときにFPVS2の極性を制御します（REG[018Ch]ビット15を参照）。このビットが0のとき、FPVS2はアクティブLowです。（デフォルト）このビットが1のとき、FPVS2はアクティブHighです。
- bit 13      LCD2 FPVS2端子イネーブル  
このビットは、LCD2パラレル/シリアルインタフェース用です。このビットは、FPVS2端子を制御します。このビットが0のとき、FPVS2端子はディセーブルされます（GPIO14として使用）。このビットが1のとき、FPVS2端子はイネーブルされます。
- bit 8      LCD2パラレルコマンド/パラメータモード選択  
LCD1パネルとLCD2パネルが別々の端子を使用するとき（REG[0104h]ビット1~0=10）、このビットは、LCD2のコマンド/パラメータ転送方法を選択します。このビットが0のとき、8ビット転送モードが選択されます。REG[0108h]ビット7~0/REG[010Ch]ビット7~0に書き込まれたデータは、P2DAT[7:0]から1サイクルで出力されます。このビットが1のときは、16ビット転送モードが選択されます。REG[0108h]ビット15~0/REG[010Ch]ビット15~0に書き込まれたデータは、P2DAT[7:0]から2サイクルで出力されます。

**注**

表示モード2を選択した場合は（REG[0104h]ビット1~0=01）、このビットを0に設定してください。

## 9. レジスタ

bit 7

LCD2 VSYNC入力イネーブル

このビットは、LCD2パラレル／シリアルインタフェース用です。このビットは、外部VSYNC入力に同期されたデータのフレームの転送を可能にします (FPVS2)。

このビットが0のとき、LCD2データ出力は外部VSYNC入力と同期しません。

このビットが1のとき、LCD2データ出力は外部VSYNC入力と同期します。

### 注

FPVS2の信号期間は、1フレームのデータ転送時間よりも長くしてください。完全なフレームをパネルに転送し終えるための所要時間よりもFPVS2期間のほうが短いと、そのときのフレーム転送は、次のFPVS2立ち下がりエッジで中断されます。

bit 6

LCD2パラレルタイプ選択

このビットは、LCD2パラレルインタフェースタイプを決定します。

このビットが0のとき、パラレルインタフェースはタイプ80です。

このビットが1のとき、パラレルインタフェースはタイプ68です。

bits 5-4

LCD2パラレルコマンド／パラメータ端子ビット[1:0]

これらのビットは、パラレルパネルコマンド／パラメータにどのFPDAT[17:0]端子を使用するかを決定します。LCD2データ端子が、LCD1データ端子と異なるとき (REG[0104h]ビット1～0=10)、これらのビットは無視されます。

**表9.35 LCD2パラレルコマンド／パラメータの端子割り付け**

REG[018Ch]ビット5～4	コマンド／パラメータ端子割り付け
00 (デフォルト)	FPDAT[15:0]
01	FPDAT[17:10]、[8:1]
10	FPDAT[17:13]、[11:1]
11	Reserved

bits 3-0

LCD2パラレルデータフォーマットビット[3:0]

これらのビットは、LCD2パラレルデータフォーマットを決定します。LCD2データ端子がLCD1データ端子と異なるときは（REG[0104h]ビット1～0=10）、これらのビットを8ビットバス幅用に設定してください。

表9.36 LCD2パラレルデータフォーマット選択

REG[018Ch]ビット3～0	LCD2パラレルデータフォーマット	
	データバス幅	フレーム転送データフォーマット
0000	8ビット	RGB = 3:3:2 (1サイクル/ピクセル)
0001		RGB = 4:4:4 (3サイクル/2ピクセル)
0010	16ビット	RGB = 8:8:8 (3サイクル/2ピクセル)
0011	8ビット	RGB = 8:8:8 (3サイクル/ピクセル)
0100	24ビット	RGB = 8:8:8 (1サイクル/ピクセル)
0101	16ビット	RGB = 4:4:4 (1サイクル/ピクセル)
0110		RGB = 5:6:5 (1サイクル/ピクセル)
0111	18ビット	RGB = 6:6:6 (1サイクル/ピクセル)
1xxx	8ビット	RGB = 5:6:5 (2サイクル/ピクセル)

## 9. レジスタ

REG[0190h] LCD2 VSYNC Output Register								Read/Write
Default = 0000_0101h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
LCD2 VSYNC幅ビット7~0								
15	14	13	12	11	10	9	8	
LCD2 VSYNC位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8

LCD2 VSYNC幅ビット[7:0]

これらのビットは、FPVS2（LCD2 VSYNC）が出力として設定されているとき（REG[018Ch]ビット15=1）だけ使用されます。これらのビットは、LCD2のVSYNCの幅をPCLKで決定します。

$\text{REG}[0190\text{h}] \text{ビット} 15 \sim 8 = \text{LCD2 VSYNC幅} \div 2$

### 注

これらのビットは00hに設定しないでください。

bits 7-0

LCD2 VSYNC位置ビット[7:0]

これらのビットは、FPVS2（LCD2 VSYNC）が出力として設定されているとき（REG[018Ch]ビット15=1）だけ使用されます。これらのビットは、LCD2のVSYNCの位置をPCLKで決定します。

$\text{REG}[0190\text{h}] \text{ビット} 7 \sim 0 = (\text{LCD2 VSYNC位置} - 10) \div 2$

### 注

これらのビットは00hに設定しないでください。



## 9.4.8 TV-Outインタフェース設定レジスタ

REG[0200h] TV-Out Interface Clock Setting Register							
Default = 0000_0020h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
Reserved							
TV-Outクロック分周選択ビット2~0							
RGB出力データ タイプ選択	YUV出力データタイプ選択ビット1~0		TV-Out TE入力 イネーブル	Reserved	TV-Outインタ フェース端子選択	TV-Outインタフェースタイプ 選択ビット1~0	
7	6	5	4	3	2	1	0

bits 13-11

Reserved

これらのビットのデフォルト値は000です。

bits 10-8

TV-Outクロック分周選択ビット[2:0]

これらのビットは、TV-Outクロックの分周比を選択します。TV-Outクロックのクロックソースは、TV-Outクロックソース選択ビットREG[0028h]ビット5~4によって選択されます。クロック構造の詳細は、81ページの8.「クロック」をご覧ください。

表9.37 TV-Outクロック分周比選択

REG[0200h]ビット10~8	TV-Outクロック分周比	REG[0200h]ビット10~8	TV-Outクロック分周比
000	1:1	100	8:1
001	2:1	101	10:1
010	4:1	110	12:1
011	6:1	111	14:1

## 注

1. TV-Out インタフェースタイプをパラレルインタフェース用に設定したとき (REG[0200h]ビット1~0=10)、次の式が成り立たなければなりません。  
TV-Outクロック周波数<システムクロック周波数÷2。
2. TV-Out インタフェースタイプをパラレルインタフェース用に設定したときは (REG[0200h]ビット1~0=10)、TV-Outクロック周波数をSYSCLK周波数÷32より低くしないでください。
3. TV-OutインタフェースタイプをHSYNC & FIELDまたはITU-R BT656用に設定したとき (REG[0200h]ビット1~0=01または11)、TV-Outクロックソースは、CLKIかOSCI/OSCO (REG[0028h]ビット5~4=00または01) のどちらかに設定してください。更に、CLKIまたはOSCI/OSCOに27MHzを入力して、TV-Outクロック分周を2:1に設定してください (REG[0200h]ビット10~8=001)。

## 9. レジスタ

表9.38 TV-Outクロック選択

REG[0200h]ビット1~0	TVクロックソース	REG[0200h]ビット10~8	TVクロック周波数 (内部)	TVCLK端子 周波数	必要システム クロック周波数
01 (HSYNC & FIELD)	CLKIまたはOSCI (27MHz)	001	13.5 MHz	27 MHz	≥40MHz
10 (パラレル)	CLKIまたはOSCI またはPLL	000~111	ソースクロック÷TV クロック分周比 (注4)	(注4)	≥40MHz
11 (ITU-R BT656)	CLKIまたはOSCI (27MHz)	001	13.5 MHz	27 MHz	≥40MHz

4. 1バイトを書き込むのに必要なサイクル時間は、2×（内部TVクロック周期）です。

bit 7

### RGB出力データタイプ選択

このビットは、パラレルTV-Outインタフェースタイプ専用です（REG[0200h]ビット1~0=10）。このビットは、TV-Outデータ出力のRGBフォーマットを決定します。

このビットが0のとき、TV-Outデータ出力はRGB 5:6:5です。

(1ピクセル／2サイクル)

このビットが1のとき、TV-Outデータ出力はRGB 8:8:8です。

(1ピクセル／3サイクル)

bits 6-5

### YUV出力データタイプ選択ビット[1:0]

これらのビットは、出力データにUVオフセットを適用するかどうかを指定します。

表9.39 YUV出力データタイプ選択

REG[0200h]ビット6~5	データモード	出力データ範囲
00	YUVオフセット	0≤Y≤255 0≤U≤255 0≤V≤255
01 (デフォルト)	YCbCrオフセット	16≤Y≤235 16≤U≤240 16≤V≤240
10	YUV	0≤Y≤255 -128≤U≤127 -128≤V≤127
11	YCbCr	16≤Y≤235 -112≤U≤112 -112≤V≤112

### 注

TV-OutインタフェースタイプをITU-R BT656インタフェース用に設定したときは（REG[0200h]ビット1~0=11）、これらのビットを01に設定してください。（YCbCrオフセット）

bit 4 TV-Out TE入力イネーブル  
 このビットは、パラレルTV-Outインタフェースタイプ専用です（REG[0200h]ビット1～0=10）。このビットは、外部TE入力（TVTE）に同期されたデータのフレームの転送を可能にします。  
 このビットが0のとき、TV-Outデータ出力は外部TE入力と同期しません。  
 このビットが1のとき、TV-Outデータ出力は外部TE入力と同期します。

**注**

1. TE信号期間は、1フレームのデータ転送時間よりも長くしてください。完全なフレームをパネルに転送し終えるための所要時間よりもTE期間のほうが短いと、そのときのフレーム転送は、次のTE立ち下がりエッジで中断されます。
2. TV-Outコマンド読み出し／書き込みサイクルは、TE入力モードではサポートされません。従って、このビットは、REG[0228h]を用いてTV-Outコマンド読み出し／書き込みサイクルを開始する前に0に設定してください。

bit 3 Reserved  
 このビットのデフォルト値は0です。

bit 2 TV-Outインタフェース端子選択  
 このビットは、TV-Outインタフェースに使用される端子を選択します。選択したTV-Outインタフェースタイプにより、使用される端子が異なることに注意してください（REG[0200h]ビット1～0を参照）。

**表9.40 TV-Outインタフェースの端子用途一覧**

REG[0200h]ビット1～0	REG[0200h]ビット2	TV-Outインタフェース端子
01	0	GPIOP0～GPIOP10を使用
	1	GPIOH2～GPIOH12を使用
10	0	GPIOP0～GPIOP12を使用
	1	GPIOH0～GPIOH12を使用
11	0	GPIOP0～GPIOP7とGPIOP10を使用
	1	GPIOH2～GPIOH9とGPIOH12を使用

**注**

このビットは、TV-OutインタフェースがLCD2パラレルインタフェースと同じ端子を使用することがないように設定してください（REG[0104h]ビット2を参照）。LCDおよびTV-Outインタフェースモードの概要は、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。

## 9. レジスタ

bits 1-0                      TV-Outインタフェースタイプ選択ビット[1:0]  
これらのビットは、TV-Outインタフェースタイプを決定します。これらのビットを00に設定したとき、TV-Outインタフェースは使用されず、端子をGPIO端子として使用することができます。

表9.41 TV-Outインタフェース選択

REG[0200h]ビット1~0	TV-Outインタフェースタイプ	出力フォーマット
00	TV-Outインタフェースは使用されません。	—
01	HSYNC & FIELDインタフェース	YCbCr 4:2:2 / YUV 4:2:2
10	パラレルインタフェース (MPUインタフェース)	RGB 5:6:5 / RGB 8:8:8
11	ITU-R BT656インタフェース	YCbCr 4:2:2

**注**  
TV-Outインタフェースタイプが、HSYNC & FIELD（ビット=01）またはITU-R BT656（ビット=11）用に設定されているときは、別のTV-Outインタフェースタイプに切り替える前にインタフェースを「TV-Outインタフェースを使用しない」（ビット=00）に設定してください。

REG[0204h] TV-Out Horizontal Total Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	TV-Out全水平期間ビット9~8
7	6	5	4	3	2	1	0	TV-Out全水平期間ビット7~0

bits 9-0

TV-Out全水平期間ビット[9:0]

これらのビットは、HSYNC & FIELDおよびITU-R BT656 TV-Outインタフェース専用です（REG[0200h]ビット1~0=01または11）。これらのビットは、TV-Outの全水平期間を、2TV CLOCKを1単位として指定します。

$$\text{REG[0204h]ビット9~0} = (\text{全水平期間 (TV-CLOCKS)} \div 2) - 1$$

**注**

次の式が成り立たなければなりません。

$$HT \geq HDP + HNDP$$

$$10 < (\text{REG[0204h]ビット9~0}) < 1023$$

REG[0208h] TV-Out Horizontal Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	TV-Out HDPビット8
7	6	5	4	3	2	1	0	TV-Out水平表示期間ビット7~0

bits 8-0

TV-Out水平表示期間ビット[8:0]

HSYNC & FIELDおよびITU-R BT656 TV-Outインタフェースの場合は（REG[0200h]ビット1~0=01または11）、これらのビットは、TV-Outの水平表示期間を、4TV-CLOCKを1単位として指定します。水平表示期間は、水平非表示期間を十分にとれるように全水平期間より短くしてください。

$$\text{REG[0208h]ビット8~0} = (\text{水平表示期間 (TV-CLOCK)} \div 4) - 1$$

パラレルTV-Outインタフェース（REG[0200h]ビット1~0=10）の場合、これらのビットは、TV-Outの水平表示期間を、2ピクセルを1単位として指定します。

$$\text{REG[0208h]ビット8~0} = (\text{水平表示期間 (ピクセル)} \div 2) - 1$$

**注**

1. これらのビットは、以下の式が成り立つように設定してください。

$$\text{REG[0208h]ビット8~0} > 0$$

2. パラレルTV-Outインタフェースの場合は（REG[0200h]ビット1~0=10）、以下の式が成り立たなければなりません。

$$HDP \times VDP \geq 128 \text{ピクセル}$$

## 9. レジスタ

REG[020Ch] TV-Out Horizontal Display Period Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	TV-Out水平表示期間開始位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	TV-Out水平表示期間開始位置ビット7~0

bits 9-0

TV-Out水平表示期間開始位置ビット[9:0]

これらのビットは、HSYNC & FIELDおよびITU-R BT656 TV-Outインタフェース専用です（REG[0200h]ビット1~0=01または11）。これらのビットは、TV-Outの水平表示期間開始位置を、2TV-CLOCKを1単位として指定します。

$\text{REG}[020\text{Ch}] \text{ビット} 9 \sim 0 = (\text{水平表示期間開始位置 (CLOCK)} - 18) \div 2$

### 注

これらのビットは、以下の式が成り立つように設定してください。

$\text{REG}[020\text{Ch}] \text{ビット} 9 \sim 0 < 3\text{F}2\text{h}$

REG[0210h] TV-Out Horizontal Pulse (HSYNC) Width Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	TV-Out水平パルス (HSYNC) 幅ビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

TV-Out水平パルス (HSYNC) 幅ビット[6:0]

これらのビットは、HSYNC & FIELD TV-Outインタフェース専用です（REG[0200h]ビット1~0=01）。これらのビットは、TV-Outの水平同期信号幅を、2TV-CLOCKを1単位として指定します。

$\text{REG}[0210\text{h}] \text{ビット} 6 \sim 0 = (\text{HSYNC幅 (CLOCK)} \div 2) - 1$

REG[0214h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0218h] TV-Out Vertical Total Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	TV-Out全垂直期間ビット9～8		
						9	8	
TV-Out全垂直期間ビット7～0								
7	6	5	4	3	2	1	0	

bits 9-0

TV-Out全垂直期間ビット[9:0]

これらのビットは、HSYNC & FIELDおよびITU-R BT656 TV-Outインタフェース専用です（REG[0200h]ビット1～0＝01または11）。これらのビットは、TV-Outの全垂直期間を、1ラインを1単位として指定します。全垂直期間は、垂直表示期間と垂直非表示期間の和です。

REG[0218h]ビット9～0＝全垂直期間（ライン）－1

**注**

これらのビットは、以下の式が成り立つように設定してください。

REG[0218h]ビット9～0 < 3FFh

REG[021Ch] TV-Out Vertical Display Period Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	TV-Out垂直表示期間ビット9～8		
						9	8	
TV-Out垂直表示期間ビット7～0								
7	6	5	4	3	2	1	0	

bits 9-0

垂直表示期間ビット[9:0]

これらのビットは、TV-Outの垂直表示期間を、1ラインを1単位として指定します。垂直表示期間は、垂直非表示期間を十分にとれるように全垂直期間より短くしてください。

REG[021Ch]ビット9～0＝垂直表示期間（ライン）－1

**注**

パラレルTV-Outインタフェース（REG[0200h]ビット1～0＝10）では、以下の式が成り立たなければなりません。

$HDP \times VDP \geq 128$ ピクセル

## 9. レジスタ

REG[0220h] TV-Out Vertical Display Period Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	TV-Out垂直表示期間開始位置ビット9~8		
						9	8	
TV-Out垂直表示期間開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

TV-Out垂直表示期間開始位置ビット[9:0]

これらのビットは、HSYNC & FIELDおよびITU-R BT656インタフェース専用です（REG[0200h]ビット1~0=01または11）。これらのビットは、TV-Outの垂直表示期間開始位置を、1ラインを1単位として指定します。

REG[0220h]ビット9~0 = 垂直表示開始位置 - 2

### 注

これらのビットは、以下の式が成り立つように設定してください。

REG[0220h]ビット9~0 < 3FFh

REG[0224h] TV-Out FIELD Toggle Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	TV-Out FIELDトグル位置ビット9~8		
						9	8	
TV-Out FIELDトグル位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

TV-Out FIELDトグル位置ビット[9:0]

これらのビットは、HSYNC & FIELDおよびITU-R BT656 TV-Outインタフェース専用です（REG[0200h]ビット1~0=01または11）。これらのビットは、TV-OutのTVFIELD信号トグル位置を、1ラインを1単位として指定します。



REG[0228h] TV-Out Data Port Register (AID)								Read/Write
Default = 0000_0000h: Address auto increment disable								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a					TV-Out TVDC レベル選択 10	TV-Outコマンド R/Wサイクル 9	TV-Outコマンド アクセス開始 8	
15	14	13	12	11	TV-Outコマンドポートビット7~0			
7	6	5	4	3	2	1	0	

bit 10 TV-Out TVDCレベル選択  
このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、TV-Outインタフェースの書き込みを行うときのTVDC端子の状態を選択します。  
このビットが0のとき、TVDC端子はLowです。  
このビットが1のとき、TVDC端子はHighです。

bit 9 TV-Outコマンド読み出し／書き込みサイクル  
このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、コマンドの読み出しと書き込みのどちらを行うかを決定します。  
このビットが0のとき、書き込み処理が行われます。（デフォルト）  
このビットが1のとき、読み出し処理が行われます。

bit 8 TV-Outコマンドアクセス開始  
このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、表示出力ポートとしてTV-Outを選択したときに使用可能です（REG[0604h]ビット15～12=0100または1011）。このビットは、TV-Outコマンド読み出し／書き込みサイクルビットの設定に応じて、パラレルTV-Outインタフェース装置との間で8ビットデータアクセスを開始します（REG[0228h]ビット9を参照）。

書き込み処理では（REG[0228h]ビット9=0）、このビットの書き込みと同時にTV-Outコマンドポートにデータを書き込むことができます（REG[0228h]ビット7～0を参照）。このビットは、書き込みアクセスが完了したときに自動的に0にリセットされます。このビットが0に戻った後、次の書き込み処理を開始することができます。

読み出し処理では（REG[0228h]ビット9=1）、このビットに1を書き込んでください。このビットが0に戻った後、TV-Outコマンドポート（REG[0228h]ビット7～0を参照）からデータを読み出すことができます。

#### 注

TV-Outコマンドアクセスを始める前にTV-Out TE入力をディセーブルしてください（REG[0200h]ビット4=0）。

## 9. レジスタ

bits 7-0

TV-Outコマンドポートビット[7:0]

これらのビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。これらのビットは、パラレルTV-Outインタフェース用のデータポートです。

書き込み処理では（REG[0228h]ビット9=0）、これらのビットを書き込むと同時にTV-Outコマンドアクセス開始ビットを1に設定することができます（REG[0228h]ビット8を参照）。

読み出し処理では（REG[0228h]ビット9=1）、TV-Outコマンドアクセス開始ビットが0を読み出した後で有効データを読み出すことができます（REG[0228h]ビット8=0）。

REG[022Ch] TV-Out Interface Frame Transfer Register (AID)								Read/Write
Default = 0000_0000h: Address auto increment disable								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	
n/a			TV-Outインタフェース状態 (Read Only)	n/a	TV-Out自動 フレーム転送トリガ 選択	TV-Out インタフェース 自動フレーム 転送イネーブル	TV-Outインタ フェースフレーム 転送トリガ	

bit 4

TV-Outインタフェース状態（読み出し専用）

このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。

このビットは、パラレルTV-Outインタフェースの状態を示します。データを送信する前に、このビットを読み出してパラレルTV-Outインタフェースがビジーでないことを確認してください。

このビットが0のとき、パラレルTV-Outインタフェースはビジーではありません（使用可能）。

このビットが1のとき、パラレルTV-Outインタフェースはビジーです。

bit 2

TV-Outインタフェース自動フレーム転送トリガ選択

このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、自動フレーム転送がイネーブルされたとき（REG[022Ch]ビット1=1）に使用するトリガ方法を選択します。

このビットが0のとき、自動フレーム転送は、メインメモリ書き込みパス書き込みの終了と同期されます。

このビットが1のとき、自動フレーム転送は、サブメモリ書き込みパス書き込みの終了と同期されます。

**bit 1** TV-Outインタフェース自動フレーム転送イネーブル  
 このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、TV-Outインタフェースへの表示メモリの1フレームの自動フレーム転送を制御します。フレーム転送は、DRAM書き込みの終了でトリガされ、また同期されます（REG[022Ch]ビット2を参照）。  
 このビットが0のとき、自動フレーム転送がディセーブルされます。  
 このビットが1のとき、自動フレーム転送がイネーブルされます。

このビットが1のとき、TV-Outインタフェース状態ビット（REG[022Ch]ビット4）は常にビジーです。ビジーのときは、コマンド/パラメータおよびフレーム転送を手動で送ることはできません。ホスト/ビデオ入力をディセーブルする前にこのビットをディセーブルしてください。

**bit 0** TV-Outインタフェースフレーム転送トリガ  
 このビットは、パラレルTV-Outインタフェース専用です（REG[0200h]ビット1～0=10）。このビットは、TV-Outインタフェースにデータの1フレームを転送するトリガです。  
 このビットが1に設定されTV-Outインタフェースがビジーのときは（REG[022Ch]ビット4=1）、フレーム転送要求は無視されます。TV-Outインタフェースがビジーでなくなると、このビットはデータを転送することなくクリアされます。  
 このビットが1に設定されTV-Outインタフェース状態がビジーでないとき（REG[022Ch]ビット4=0）、データの1フレームがTV-Outインタフェースに転送されます。データ転送が終了すると、このビットは自動的にクリアされます。

### 注

自動フレーム転送がイネーブルされたとき（REG[022Ch]ビット1=1）、このビットは、自動フレーム転送の状態を示します。  
 このビットが0のとき、自動フレーム転送はインアクティブです。  
 このビットが1のとき、自動フレーム転送はアクティブです。

REG[0230h] TV-Out Blank Data Register								Read/Write
Default = 0000_8010h								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
TV-OutブランクCbCrデータビット7～0								
15	14	13	12	11	10	9	8	
TV-OutブランクYデータビット7～0								
7	6	5	4	3	2	1	0	

**bits 15-8** TV-OutブランクCbCrデータビット[7:0]  
 これらのビットは、HSYNC & FIELDおよびITU-R BT656インタフェース専用です（REG[0200h]ビット1～0=01または11）。これらのビットは、ブランク期間中のCbCrデータを指定します。

**bits 7-0** TV-OutブランクYデータビット[7:0]  
 これらのビットは、HSYNC & FIELDおよびITU-R BT656インタフェース専用です（REG[0200h]ビット1～0=01または11）。これらのビットは、ブランク期間中のYデータを指定します。

## 9. レジスタ

### 9.4.9 GPIOレジスタ

#### 注

GPIOレジスタは非同期です。

REG[0300h] GPIO Configuration Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIO14設定	GPIO13設定	GPIO12設定	GPIO11設定	GPIO10設定	GPIO9設定	GPIO8設定
15	14	13	12	11	10	9	8
GPIO7設定	GPIO6設定	GPIO5設定	GPIO4設定	GPIO3設定	GPIO2設定	GPIO1設定	GPIO0設定
7	6	5	4	3	2	1	0

bits 14-0

GPIO[14:0]設定

これらのビットは、それぞれ個々のGPIO端子を入力または出力に設定します。  
このビットが0のとき、対応するGPIO端子が入力端子として設定されます。  
(デフォルト)

このビットが1のとき、対応するGPIO端子が出力端子として設定されます。

REG[0304h] GPIOH Configuration Register 0							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15設定	GPIOH14設定	GPIOH13設定	GPIOH12設定	GPIOH11設定	GPIOH10設定	GPIOH9設定	GPIOH8設定
15	14	13	12	11	10	9	8
GPIOH7設定	GPIOH6設定	GPIOH5設定	GPIOH4設定	GPIOH3設定	GPIOH2設定	GPIOH1設定	GPIOH0設定
7	6	5	4	3	2	1	0

REG[0308h] GPIOH Configuration Register 1							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23設定	GPIOH22設定	GPIOH21設定	GPIOH20設定	GPIOH19設定	GPIOH18設定	GPIOH17設定	GPIOH16設定
7	6	5	4	3	2	1	0

REG[0308h] bits 7-0

REG[0304h] bits 15-0

GPIOH[23:0]設定

これらのビットは、それぞれ個々のGPIOH端子を入力か出力に設定します。  
このビットが0のとき、対応するGPIOH端子が入力端子として設定されます。  
(デフォルト)

このビットが1のとき、対応するGPIOH端子が出力端子として設定されます。

REG[030Ch] GPIOP Input Enable Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIOP14 入カインーブル 14	GPIOP13 入カインーブル 13	GPIOP12 入カインーブル 12	GPIOP11 入カインーブル 11	GPIOP10 入カインーブル 10	GPIOP9 入カインーブル 9	GPIOP8 入カインーブル 8
GPIOP7 入カインーブル 7	GPIOP6 入カインーブル 6	GPIOP5 入カインーブル 5	GPIOP4 入カインーブル 4	GPIOP3 入カインーブル 3	GPIOP2 入カインーブル 2	GPIOP1 入カインーブル 1	GPIOP0 入カインーブル 0

bits 14-0

**GPIOP[14:0]入カインーブル**

これらのビットは、それぞれ個々のGPIOP端子の入力機能をイネーブルします。対応するGPIOP端子の入力機能をイネーブルするにはパワーオン／リセットの後に1に変更してください。

このビットが0のとき、対応するGPIOP端子の入力機能はディセーブルされます。(デフォルト)

このビットが1のとき、対応するGPIOP端子の入力機能はイネーブルされます。

REG[0310h] GPIOH Input Enable Register 0							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15 入カインーブル 15	GPIOH14 入カインーブル 14	GPIOH13 入カインーブル 13	GPIOH12 入カインーブル 12	GPIOH11 入カインーブル 11	GPIOH10 入カインーブル 10	GPIOH9 入カインーブル 9	GPIOH8 入カインーブル 8
GPIOH7 入カインーブル 7	GPIOH6 入カインーブル 6	GPIOH5 入カインーブル 5	GPIOH4 入カインーブル 4	GPIOH3 入カインーブル 3	GPIOH2 入カインーブル 2	GPIOH1 入カインーブル 1	GPIOH0 入カインーブル 0

REG[0314h] GPIOH Input Enable Register 1							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23 入カインーブル 7	GPIOH22 入カインーブル 6	GPIOH21 入カインーブル 5	GPIOH20 入カインーブル 4	GPIOH19 入カインーブル 3	GPIOH18 入カインーブル 2	GPIOH17 入カインーブル 1	GPIOH16 入カインーブル 0

REG[0314h] bits 7-0

REG[0310h] bits 15-0

**GPIOH[23:0]入カインーブル**

これらのビットは、それぞれ個々のGPIOH端子の入力機能をイネーブルします。対応するGPIOH端子の入力機能をイネーブルするにはパワーオン／リセットの後に1に変更してください。

このビットが0のとき、対応するGPIOH端子の入力機能はディセーブルされます。(デフォルト)

このビットが1のとき、対応するGPIOH端子の入力機能はイネーブルされます。

## 9. レジスタ

REG[0318h] GPIOP Pull-Up/Down Control Register								Read/Write
Default = 0000_7FFFh								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a	GPIOP14 プルダウン制御	GPIOP13 プルダウン制御	GPIOP12 プルダウン制御	GPIOP11 プルアップ制御	GPIOP10 プルダウン制御	GPIOP9 プルダウン制御	GPIOP8 プルダウン制御	
15	14	13	12	11	10	9	8	
GPIOP7 プルダウン制御	GPIOP6 プルダウン制御	GPIOP5 プルダウン制御	GPIOP4 プルダウン制御	GPIOP3 プルダウン制御	GPIOP2 プルダウン制御	GPIOP1 プルダウン制御	GPIOP0 プルダウン制御	
7	6	5	4	3	2	1	0	

bits 14-0

GPIOP[14:0]プルアップ／ダウン制御

すべてのGPIOP端子に内部プルアップ／ダウン抵抗があります。これらのビットは、各GPIOP端子のプルアップ／ダウン抵抗の状態を制御します。このビットが0のとき、関連GPIOP端子のプルアップ／ダウン抵抗はインアクティブです。このビットが1のとき、関連GPIOP端子のプルアップ／ダウン抵抗は、端子方向（入出力）に関係なくアクティブです。

REG[031Ch] GPIOH Pull-Up/Down Control Register 0								Read/Write
Default = 0000_FFFFh								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
GPIOH15 プルダウン制御	GPIOH14 プルダウン制御	GPIOH13 プルダウン制御	GPIOH12 プルダウン制御	GPIOH11 プルダウン制御	GPIOH10 プルダウン制御	GPIOH9 プルダウン制御	GPIOH8 プルダウン制御	
15	14	13	12	11	10	9	8	
GPIOH7 プルダウン制御	GPIOH6 プルダウン制御	GPIOH5 プルダウン制御	GPIOH4 プルダウン制御	GPIOH3 プルダウン制御	GPIOH2 プルダウン制御	GPIOH1 プルアップ制御	GPIOH0 プルダウン制御	
7	6	5	4	3	2	1	0	

REG[0320h] GPIOH Pull-Up/Down Control Register 1								Read/Write
Default = 0000_00FFh								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
GPIOH23 プルアップ制御	GPIOH22 プルダウン制御	GPIOH21 プルダウン制御	GPIOH20 プルダウン制御	GPIOH19 プルダウン制御	GPIOH18 プルダウン制御	GPIOH17 プルダウン制御	GPIOH16 プルダウン制御	
7	6	5	4	3	2	1	0	

REG[0320h] bits 7-0

REG[031Ch] bits 15-0

GPIOH[23:0]プルアップ／ダウン制御

すべてのGPIOH端子には内部プルアップ／ダウン抵抗があります。これらのビットは、各GPIOH端子のプルアップ／ダウン抵抗の状態を制御します。このビットが0のとき、関連GPIOH端子のプルアップ／ダウン抵抗はインアクティブです。このビットが1のとき、関連GPIOH端子のプルアップ／ダウン抵抗は端子方向（入出力）に関係なくアクティブです。

REG[0324h] GPIOP Status Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIOP14状態	GPIOP13状態	GPIOP12状態	GPIOP11状態	GPIOP10状態	GPIOP9状態	GPIOP8状態
15	14	13	12	11	10	9	8
GPIOP7状態	GPIOP6状態	GPIOP5状態	GPIOP4状態	GPIOP3状態	GPIOP2状態	GPIOP1状態	GPIOP0状態
7	6	5	4	3	2	1	0

bits 14-0

GPIOP[14:0]状態

GPIOPxが出力として設定されたとき（REG[0300h]を参照）、これらのビットに1を書き込むとGPIOPxがHighに設定され、これらのビットに0を書き込むとGPIOPxがLowに設定されます。

GPIOPxが入力として設定されたとき（REG[0300h]を参照）、これらのビットから読み出すとGPIOPxの状態を返します。

REG[0328h] GPIOH Status Register 0							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15状態	GPIOH14状態	GPIOH13状態	GPIOH12状態	GPIOH11状態	GPIOH10状態	GPIOH9状態	GPIOH8状態
15	14	13	12	11	10	9	8
GPIOH7状態	GPIOH6状態	GPIOH5状態	GPIOH4状態	GPIOH3状態	GPIOH2状態	GPIOH1状態	GPIOH0状態
7	6	5	4	3	2	1	0

REG[032Ch] GPIOH Status Register 1							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23状態	GPIOH22状態	GPIOH21状態	GPIOH20状態	GPIOH19状態	GPIOH18状態	GPIOH17状態	GPIOH16状態
7	6	5	4	3	2	1	0

REG[032Ch] bits 7-0

REG[0328h] bits 15-0

GPIOH[23:0]状態

GPIOHxが出力として設定されたとき（REG[0304h]～REG[0308h]を参照）、これらのビットに1を書き込むとGPIOHxはHighに設定され、これらのビットに0を書き込むとGPIOHxはLowに設定されます。GPIOHxが入力として設定されたとき（REG[0304h]～REG[0308h]を参照）、これらのビットから読み出すとGPIOHxの状態を返します。

## 9. レジスタ

REG[0330h] GPIO Positive Edge Interrupt Trigger Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIOP14 ポジティブ エッジトリガ	GPIOP13 ポジティブ エッジトリガ	GPIOP12 ポジティブ エッジトリガ	GPIOP11 ポジティブ エッジトリガ	GPIOP10 ポジティブ エッジトリガ	GPIOP9 ポジティブ エッジトリガ	GPIOP8 ポジティブ エッジトリガ
15	14	13	12	11	10	9	8
GPIOP7 ポジティブ エッジトリガ	GPIOP6 ポジティブ エッジトリガ	GPIOP5 ポジティブ エッジトリガ	GPIOP4 ポジティブ エッジトリガ	GPIOP3 ポジティブ エッジトリガ	GPIOP2 ポジティブ エッジトリガ	GPIOP1 ポジティブ エッジトリガ	GPIOP0 ポジティブ エッジトリガ
7	6	5	4	3	2	1	0

bits 14-0

### GPIOP[14:0] ポジティブエッジトリガ

これらのビットは、対応するGPIO割り込み（REG[0348h]を参照）を信号の立ち上がり（GPIOx端子が0から1に変化するとき）でトリガするかどうかを決定します。

このビットが0のとき、対応するGPIO割り込みは信号の立ち上がりでトリガされません。

このビットが1のとき、対応するGPIO割り込みは信号の立ち上がりでトリガされます。



**REG[0334h] GPIOH Positive Edge Interrupt Trigger Register 0**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15 ポジティブ エッジトリガ 15	GPIOH14 ポジティブ エッジトリガ 14	GPIOH13 ポジティブ エッジトリガ 13	GPIOH12 ポジティブ エッジトリガ 12	GPIOH11 ポジティブ エッジトリガ 11	GPIOH10 ポジティブ エッジトリガ 10	GPIOH9 ポジティブ エッジトリガ 9	GPIOH8 ポジティブ エッジトリガ 8
GPIOH7 ポジティブ エッジトリガ 7	GPIOH6 ポジティブ エッジトリガ 6	GPIOH5 ポジティブ エッジトリガ 5	GPIOH4 ポジティブ エッジトリガ 4	GPIOH3 ポジティブ エッジトリガ 3	GPIOH2 ポジティブ エッジトリガ 2	GPIOH1 ポジティブ エッジトリガ 1	GPIOH0 ポジティブ エッジトリガ 0

**REG[0338h] GPIOH Positive Edge Interrupt Trigger Register 1**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23 ポジティブ エッジトリガ 7	GPIOH22 ポジティブ エッジトリガ 6	GPIOH21 ポジティブ エッジトリガ 5	GPIOH20 ポジティブ エッジトリガ 4	GPIOH19 ポジティブ エッジトリガ 3	GPIOH18 ポジティブ エッジトリガ 2	GPIOH17 ポジティブ エッジトリガ 1	GPIOH16 ポジティブ エッジトリガ 0

REG[0338h] bits 7-0

REG[0334h] bits 15-0

GPIOH[23:0]ポジティブエッジトリガ

これらのビットは、対応するGPIOH割り込み（REG[034Ch]～REG[0350h]を参照）を信号の立ち上がり（GPIOHx端子が0から1に変化するとき）でトリガするかどうかを決定します。

このビットが0のとき、対応するGPIOH割り込みは信号の立ち上がりでトリガされません。

このビットが1のとき、対応するGPIOH割り込みは信号の立ち上がりでトリガされます。

## 9. レジスタ

REG[033Ch] GPIO Negative Edge Interrupt Trigger Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIOP14 ネガティブ エッジトリガ	GPIOP13 ネガティブ エッジトリガ	GPIOP12 ネガティブ エッジトリガ	GPIOP11 ネガティブ エッジトリガ	GPIOP10 ネガティブ エッジトリガ	GPIOP9 ネガティブ エッジトリガ	GPIOP8 ネガティブ エッジトリガ
15	14	13	12	11	10	9	8
GPIOP7 ネガティブ エッジトリガ	GPIOP6 ネガティブ エッジトリガ	GPIOP5 ネガティブ エッジトリガ	GPIOP4 ネガティブ エッジトリガ	GPIOP3 ネガティブ エッジトリガ	GPIOP2 ネガティブ エッジトリガ	GPIOP1 ネガティブ エッジトリガ	GPIOP0 ネガティブ エッジトリガ
7	6	5	4	3	2	1	0

bits 14-0

### GPIOP[14:0]ネガティブエッジトリガ

これらのビットは、対応するGPIO割り込み（REG[0348h]を参照）を信号の立ち下がり（GPIOx端子が1から0に変化するとき）でトリガするかどうかを決定します。

このビットが0のとき、対応するGPIO割り込みは信号の立ち下がりではトリガされません。

このビットが1のとき、対応するGPIO割り込みは信号の立ち下がりではトリガされます。

REG[0340h] GPIOH Negative Edge Interrupt Trigger Register 0							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15 ネガティブ エッジトリガ 15	GPIOH14 ネガティブ エッジトリガ 14	GPIOH13 ネガティブ エッジトリガ 13	GPIOH12 ネガティブ エッジトリガ 12	GPIOH11 ネガティブ エッジトリガ 11	GPIOH10 ネガティブ エッジトリガ 10	GPIOH9 ネガティブ エッジトリガ 9	GPIOH8 ネガティブ エッジトリガ 8
GPIOH7 ネガティブ エッジトリガ 7	GPIOH6 ネガティブ エッジトリガ 6	GPIOH5 ネガティブ エッジトリガ 5	GPIOH4 ネガティブ エッジトリガ 4	GPIOH3 ネガティブ エッジトリガ 3	GPIOH2 ネガティブ エッジトリガ 2	GPIOH1 ネガティブ エッジトリガ 1	GPIOH0 ネガティブ エッジトリガ 0

REG[0344h] GPIOH Negative Edge Interrupt Trigger Register 1							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23 ネガティブ エッジトリガ 7	GPIOH22 ネガティブ エッジトリガ 6	GPIOH21 ネガティブ エッジトリガ 5	GPIOH20 ネガティブ エッジトリガ 4	GPIOH19 ネガティブ エッジトリガ 3	GPIOH18 ネガティブ エッジトリガ 2	GPIOH17 ネガティブ エッジトリガ 1	GPIOH16 ネガティブ エッジトリガ 0

REG[0344h] bits 7-0

REG[0340h] bits 15-0

GPIOH[23:0]ネガティブエッジトリガ

これらのビットは、対応するGPIOH割り込み（REG[034Ch]～REG[0350h]を参照）を信号の立ち下がり（GPIOHx端子が1から0に変化する）でトリガするかどうかを決定します。

このビットが0のとき、対応するGPIOH割り込みは信号の立ち下がりでもトリガされません。

このビットが1のとき、対応するGPIOH割り込みは信号の立ち下がりでもトリガされます。

## 9. レジスタ

REG[0348h] GPIOP Interrupt Status Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a	GPIOP14 割り込み状態	GPIOP13 割り込み状態	GPIOP12 割り込み状態	GPIOP11 割り込み状態	GPIOP10 割り込み状態	GPIOP9 割り込み状態	GPIOP8 割り込み状態
15	14	13	12	11	10	9	8
GPIOP7 割り込み状態	GPIOP6 割り込み状態	GPIOP5 割り込み状態	GPIOP4 割り込み状態	GPIOP3 割り込み状態	GPIOP2 割り込み状態	GPIOP1 割り込み状態	GPIOP0 割り込み状態
7	6	5	4	3	2	1	0

bits 14-0

### GPIOP[14:0]割り込み状態

これらのビットは、対応するGPIOPx割り込みの状態を示します。  
このビットが0のとき、GPIOPx割り込みは発行されていません。  
このビットが1のとき、GPIOPx割り込みが発行されました。

GPIOPx割り込み状態ビットをクリアするには、ビットに1を書き込み次に0を書き込んでください。

REG[034Ch] GPIOH Interrupt Status Register 0							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIOH15 割り込み状態	GPIOH14 割り込み状態	GPIOH13 割り込み状態	GPIOH12 割り込み状態	GPIOH11 割り込み状態	GPIOH10 割り込み状態	GPIOH9 割り込み状態	GPIOH8 割り込み状態
15	14	13	12	11	10	9	8
GPIOH7 割り込み状態	GPIOH6 割り込み状態	GPIOH5 割り込み状態	GPIOH4 割り込み状態	GPIOH3 割り込み状態	GPIOH2 割り込み状態	GPIOH1 割り込み状態	GPIOH0 割り込み状態
7	6	5	4	3	2	1	0

REG[0350h] GPIOH Interrupt Status Register 1							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
GPIOH23 割り込み状態	GPIOH22 割り込み状態	GPIOH21 割り込み状態	GPIOH20 割り込み状態	GPIOH19 割り込み状態	GPIOH18 割り込み状態	GPIOH17 割り込み状態	GPIOH16 割り込み状態
7	6	5	4	3	2	1	0

REG[0350h] bits 7-0

REG[034Ch] bits 15-0

### GPIOH[23:0]割り込み状態

これらのビットは、対応するGPIOHx割り込みの状態を示します。  
このビットが0のとき、GPIOHx割り込みは発行されていません。  
このビットが1のとき、GPIOHx割り込みが発行されました。

GPIOHx割り込み状態ビットをクリアするには、ビットに1を書き込み次に0を書き込んでください。

## 9.4.10 ホストインタフェースレジスタ

REG[0400h] Host Interface Configuration Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
TE出力端子 イネーブル 15	Reserved 14	13	12	11	10	9	8	YUVデータタイプ 選択
n/a	インダイレクトインタフェースデータフォーマット 選択ビット2~0			n/a	ホストインタフェースデータタイプ選択ビット2~0			
7	6	5	4	3	2	1	0	

- bit 15      TE出力端子イネーブル  
このビットは、TEの状態をTE端子に出力するかどうかを決定します。  
このビットが0のとき、TE出力端子はディセーブルされます。  
このビットが1のとき、TE出力端子はイネーブルされます。
- bit 14      Reserved  
このビットのデフォルト値は0です。
- bit 8      YUVデータタイプ選択  
このビットは、インダイレクトインタフェース用であり、I2Cインタフェースには影響を及ぼしません。このビットは、YUVデータだけに使用され (REG[0400h] ビット2~0)、受信するデータにUVオフセットを適用するかどうかを指定します。

表9.42 YUVデータタイプ選択

REG[0400h]ビット8	データタイプ	入力データ範囲	出力データ範囲
0 (デフォルト)	YUVオフセット	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
	YCbCrオフセット	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$
1	YUV	$0 \leq Y \leq 255$ $-128 \leq U \leq 127$ $-128 \leq V \leq 127$	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
	YCbCr	$16 \leq Y \leq 235$ $-112 \leq U \leq 112$ $-112 \leq V \leq 112$	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$

## 9. レジスタ

bits 6-4

インダイレクトインタフェースデータフォーマット選択ビット[2:0]  
これらのビットは、インダイレクトインタフェース用であり、I2Cインタフェースには影響を及ぼしません。ホスト入力データフォーマットによっては、色成分の様々な構成をサポートするものがあります。これらのビットは、REG[0400h]ビット2～0による設定に従ってホスト入力データフォーマットにどの形式（1～5）を選択するかを決定します。

以下の表は、使用できる各データフォーマットの種類の一覧です。データフォーマットの詳細は、352ページの14.5「ホストインタフェースの入力フォーマット」をご覧ください。

表9.43 インダイレクトインタフェースデータフォーマット選択

REG[0400h]ビット6～4	フォーマット	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
000	フォーマット1	Yes	Yes	Yes	Yes	Yes
001	フォーマット2	Yes	Yes	No	Yes	Yes
010	フォーマット3	Yes	Yes	No	No	No
011	フォーマット4	Yes	Yes	No	No	No
100	フォーマット5	No	Yes	No	No	No
101-111	Reserved					

bits 2-0

ホストインタフェースデータタイプ選択ビット[2:0]  
これらのビットは、インダイレクトインタフェース用であり、I2Cインタフェースには影響を及ぼしません。これらのビットは、ホストインタフェース入力データフォーマットを選択します。各フォーマットは、1～5種類の色成分の配列方法をサポートします（REG[0400h]ビット6～4を参照）。

以下の表は、インタフェースタイプまたは機能ごとに選択できるデータフォーマットの一覧です。データフォーマットの詳細は、352ページの14.5「ホストインタフェースの入力フォーマット」をご覧ください。

表9.44 ホストインタフェースデータタイプの選択

REG[0400h]ビット2～0	データタイプ	インダイレクトインタフェース
000	RGB 5:6:5	Yes
001	RGB 6:6:6	Yes
010	RGB 8:8:8	Yes
011	Reserved	
100	YUV 4:2:2	Yes
101	Reserved	
110	YUV 4:2:0	Yes
111	Reserved	

### 注

ホストインタフェース書き込みパスとしてメインメモリ書き込みパスを使用するときは（REG[0500h]ビット0＝0）、このビットを変更した後でメインメモリ書き込みパスをリセットしてください（REG[0504h]ビット15＝1）。  
ホストインタフェース書き込みパスとしてサブメモリ書き込みパスを使用するときは（REG[0500h]ビット0＝1）、このビットを変更した後でサブメモリ書き込みパスをリセットしてください（REG[0580h]ビット15＝1）。

REG[0404h] TE Configuration Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	TE出力頻度ビット3~0 TEソース選択ビット1~0 TE遅延制御ビット9~8
7	6	5	4	3	2	1	0	TE遅延制御ビット7~0

bits 15-12

TE出力頻度ビット[3:0]

これらのビットは、REG[0404h]ビット11~10=00または10のときに、TE出力頻度を制御するために使用されます。LCDインタフェースでは、TE信号波はLCDインタフェースのVSYNCと同じです。TV-Outインタフェースでは、TE信号波は、1ライン幅パルスです。

表9.45 TE出力頻度選択

REG[0404h]ビット15~12	TEフレームレート	
	LCDインタフェース REG[0404h]ビット11~10=00	TV-Outインタフェース REG[0404h]ビット11~10=10 (HSYNC & FIELDまたはITU-R BT656)
0000	停止	停止
0001	1フレームに対してTEを1回出力	Reserved
0010	2フレームに対してTEを1回出力	1つの奇数フィールドに対してTEを1回出力
0011	3フレームに対してTEを1回出力	Reserved
0100	4フレームに対してTEを1回出力	2つの奇数フィールドに対してTEを1回出力
0101	5フレームに対してTEを1回出力	Reserved
0110	6フレームに対してTEを1回出力	3つの奇数フィールドに対してTEを1回出力
0111	7フレームに対してTEを1回出力	Reserved
1000	8フレームに対してTEを1回出力	4つの奇数フィールドに対してTEを1回出力
1001	9フレームに対してTEを1回出力	Reserved
1010	10フレームに対してTEを1回出力	5つの奇数フィールドに対してTEを1回出力
1011	11フレームに対してTEを1回出力	Reserved
1100	12フレームに対してTEを1回出力	6つの奇数フィールドに対してTEを1回出力
1101	13フレームに対してTEを1回出力	Reserved
1110	14フレームに対してTEを1回出力	7つの奇数フィールドに対してTEを1回出力
1111	15フレームに対してTEを1回出力	Reserved

## 注

TE出力端子をイネーブルすると（REG[0400h]ビット15=1）、TE信号がTE端子から出力されます。

## 9. レジスタ

bits 11-10

TEソース選択ビット[1:0]

これらのビットは、TE信号のソースを選択します。

**表9.46 TEソース信号の選択**

REG[0404h]ビット11～10	TEソース信号
00	VSYNC (LCD1 RGBインタフェース)
01	FPVS2入力
10	VSYNC (TV-Out HSYNC & FIELDまたはITU-R BT656タイプインタフェース) (注1)
11	TVTE入力 (注2)

### 注

1. TEソースがTV-Out HSYNC & FIELDまたはITU-R BT656のとき、TE端子出力は、イネーブル時にアクティブLowになります。
2. TVTE入力は、TV-Out TE入力イネーブルビットREG[0200h]ビット4の設定にかかわらず有効です。

bits 9-0

TE遅延制御ビット[9:0]

これらのビットは、REG[0404h]ビット11～10=00または10のときに、LCDインタフェースまたはTV-OutインタフェースのVSYNCから遅延をライン数で指定するために使用されます。

**表9.47 TE遅延選択**

REG[0404h]ビット9～0	TE遅延
000h	遅延なし
001h	1ライン
002h	2ライン
003h	3ライン
...	...

### 注

LCD1 RGBインタフェースを選択したときは (REG[0404h]ビット11～10=00)、次の式が成り立たなければなりません。

$$TED < VT - VPW$$

ここで

$$TED = \text{TE遅延} = \text{REG}[0404\text{h}] \text{ビット} 9 \sim 0$$

$$VPW = \text{垂直パルス幅} = \text{REG}[0160\text{h}] \text{ビット} 2 \sim 0 + 1$$

$$VT = \text{全垂直期間} = \text{REG}[0154\text{h}] \text{ビット} 9 \sim 0 + 1$$

TV-Out HSYNC & FIELDタイプインタフェースを選択したときは (REG[0404h]ビット11～10=10)、次の式が成り立たなければなりません。

$$TED < VT - 1$$

ここで

$$TED = \text{TE遅延} = \text{REG}[0404\text{h}] \text{ビット} 9 \sim 0 + 1$$

$$VT = \text{全垂直期間} = \text{REG}[0218\text{h}] \text{ビット} 9 \sim 0 + 1$$



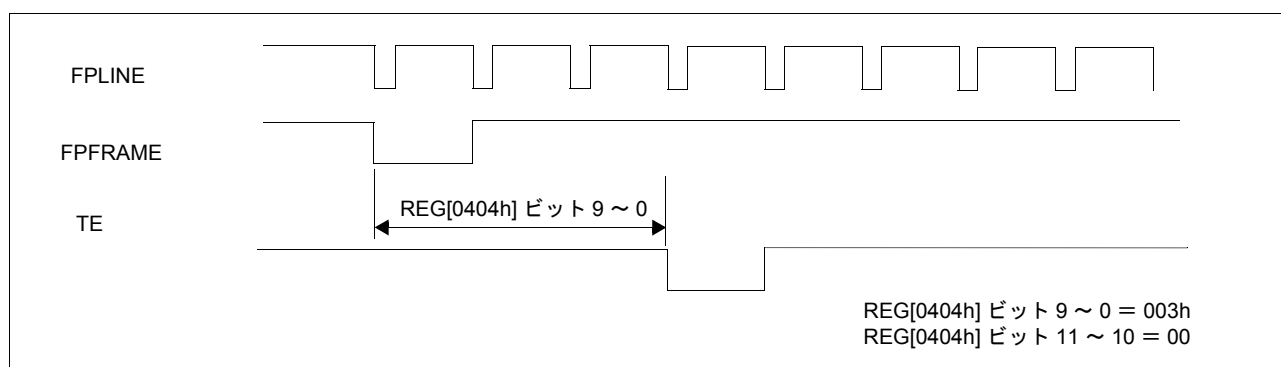


図9.1 LCD1 RGBインタフェースのTE出力タイミング

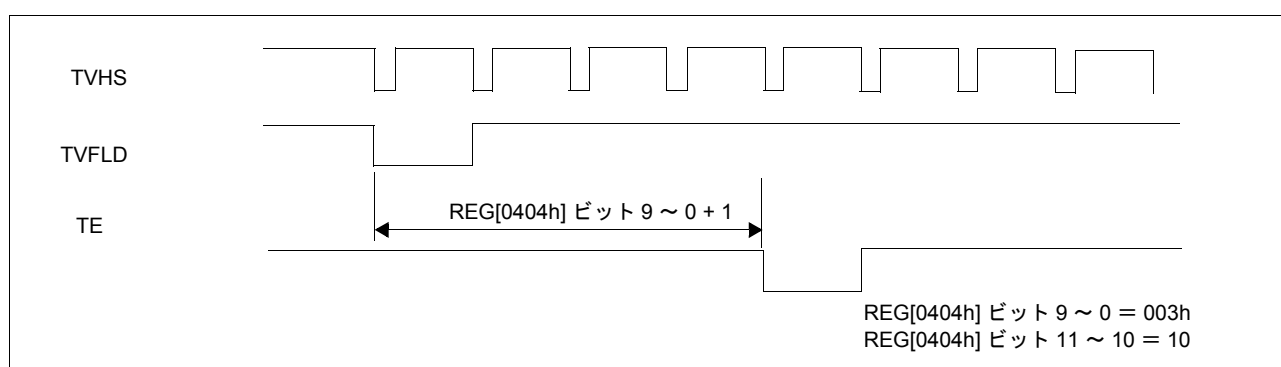


図9.2 HSYNC &amp; FIELD TV-OutインタフェースのTE出力タイミング

## 9. レジスタ

REG[0408h]～REG[0414h]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[0418h] Host Memory Write Access Port Register (AID)							
Default = not applicable: Address auto increment disable							
Write Only							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
ホストメモリ書き込みアクセスポートビット15～8							
15	14	13	12	11	10	9	8
ホストメモリ書き込みアクセスポートビット7～0							
7	6	5	4	3	2	1	0

bits 15-0

ホストメモリ書き込みアクセスポートビット [15:0]（書き込み専用）  
これらのビットは、インダイレクトインタフェースによって使用されます。これらのビットは、メインまたはサブメモリ書き込みパスを使用するメモリ書き込み用の16ビットデータポートです。メインまたはサブメモリ書き込みパスの使い方の詳細は、344ページの14.1.3「メイン／サブメモリ書き込みパスを使ったメモリ書き込みアクセス」をご覧ください。

REG[0420h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

## 9.4.11 ビデオ入力インタフェースレジスタ

REG[0480h] Video Input Interface Output CLK Register							
Default = 0000_4000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
ビデオ入力 モジュールソフト ウェアリセット (Write Only) 15	Reserved	n/a					Reserved
14	13	12	11	10	9	8	
ビデオ入力 モジュール イネーブル 7	n/a		ビデオクロック出力 イネーブル	ビデオクロック出力分周選択ビット3~0			
6	5	4	3	2	1	0	

- bit 15      ビデオ入力インタフェースソフトウェアリセット（書き込み専用）  
このビットは、ビデオ入力インタフェースモジュールのソフトウェアリセットを実行します。  
このビットに0を書き込んでもハードウェアには影響はありません。  
このビットに1を書き込むと、ビデオ入力インタフェースモジュールがリセットされます。
- bit 14      Reserved  
このビットのデフォルト値は1です。
- bit 8      Reserved  
このビットのデフォルト値は0です。
- bit 7      ビデオ入力インタフェースイネーブル  
このビットは、ビデオ入力インタフェースを制御します。  
このビットが0のとき、ビデオ入力インタフェースはディセーブルされます。  
このビットが1のとき、ビデオ入力インタフェースはイネーブルされます。
- bit 4      ビデオクロック出力イネーブル  
このビットは、VCLKOUT端子に出力されるビデオクロックを制御します。  
イネーブルされた場合、ビデオフレームキャプチャの実行中にVCLKOUTが出力されます（REG[0488h]ビット0=1）。  
このビットが0のとき、ビデオクロック出力はディセーブルされます。  
このビットが1のとき、ビデオクロック出力はイネーブルされます。

## 注

VCLKOUTを出力するには、ビデオ入力インタフェースタイプ選択ビットを有効なビデオ入力インタフェースタイプ（REG[0484h]ビット5~4=01、10または11）に設定してください。

## 9. レジスタ

bits 3-0

ビデオクロック出力分周選択ビット[3:0]

これらのビットは、システムクロックからのビデオクロック出力の生成に使用する分周比を選択します。出力クロック周波数は40MHz以下でなければなりません。

表9.48 ビデオクロック出力分周比

REG[0480h]ビット3~0	出力クロック分周比	REG[0480h]ビット3~0	出力クロック分周比
0000	1:1	1000	9:1
0001	2:1	1001	10:1
0010	3:1	1010	11:1
0011	4:1	1011	12:1
0100	5:1	1100	13:1
0101	6:1	1101	14:1
0110	7:1	1110	15:1
0111	8:1	1111	16:1

REG[0484h] Video Input Interface Configuration Register								Read/Write
Default = 0000_0000h								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
アクティブ プルアップ/ダウン ディセーブル 15	RGBデータフォーマット選択ビット2~0			YUV 4:2:2データフォーマット選択ビット 1~0		n/a		
n/a	YUVデータタイプ 選択 6	ビデオ入力インタフェースタイプ 選択ビット1~0		n/a	VDEアクティブ 選択 2	VVSYNC アクティブ選択 1	有効入力クロック エッジ 0	
7		5	4	3				

bit 15

アクティブプルアップ/ダウンディセーブル

このビットは、ビデオ入力インタフェース端子のプルアップ/ダウン抵抗を制御します。

このビットが0のとき、プルアップ/ダウン抵抗は端子の向き（入出力）に関係なくアクティブです。

このビットが1のとき、プルアップ/ダウン抵抗はインアクティブです。

表9.49 ビデオ入力インタフェースアクティブプルアップ/ダウン抵抗の一覧

ビデオ入力インタフェース端子	抵抗タイプ
VDT[11:0]	プルダウン
VVSNC	プルアップ
VDE	プルダウン
VCLKIN	プルダウン

bits 14-12

RGBデータフォーマット選択ビット[2:0]

これらのビットはRGBデータ専用です（REG[0484h]ビット5～4=01）。これらのビットは、ビデオ入力インタフェースのRGBデータフォーマットを選択します。

表9.50 RGBデータフォーマット選択

REG[0484h]ビット14～12	データフォーマット
	12ビットRGBインタフェース (REG[0484h]ビット5～4=01)
000	RGB 8:8:8
001	RGB 6:6:6フォーマット1
010	RGB 6:6:6フォーマット2
011	RGB 5:6:5フォーマット1
100	RGB 5:6:5フォーマット2
101	Reserved
110～111	Reserved

## 注

ビデオ入力インタフェース書き込みパスとしてメインメモリ書き込みパスを使用するときは（REG[0500h]ビット0=1）、これらのビットを変更した後でメインメモリ書き込みパスをリセットしてください（REG[0504h]ビット15=1）。ビデオ入力インタフェース書き込みパスとしてサブメモリ書き込みパスを使用するときは（REG[0500h]ビット0=0）、これらのビットを変更した後でサブメモリ書き込みパスをリセットしてください（REG[0580h]ビット15=1）。

bits 11-10

YUV 4:2:2データフォーマット選択ビット[1:0]

これらのビットはYUVデータ専用です（REG[0484h]ビット5～4=10または11）。これらのビットは、ビデオ入力インタフェースのYUVデータシーケンスを選択します。

表9.51 YUV 4:2:2データフォーマット選択

REG[0484h]ビット11～10	YUV 4:2:2フォーマット
00	1st UYVY ...
01	1st VYUY ...
10	1st YUYV ...
11	1st YVYU ...

## 9. レジスタ

bit 6

### YUVデータタイプ選択

このビットはYUVデータ専用です（REG[0484h]ビット5～4＝10または11）。このビットは、受信するデータにUVオフセットを適用するかどうかを選択します。

表9.52 YUVデータタイプ選択

REG[0484h]ビット6	データタイプ	入力データ範囲	出力データ範囲
0（デフォルト）	YUVオフセット	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
	YCbCrオフセット	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$
1	YUV	$0 \leq Y \leq 255$ $-128 \leq U \leq 127$ $-128 \leq V \leq 127$	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
	YCbCr	$16 \leq Y \leq 235$ $-112 \leq U \leq 112$ $-112 \leq V \leq 112$	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$

bits 5-4

### ビデオ入力インタフェースタイプ選択ビット[1:0]

これらのビットは、ビデオ入力インタフェースのタイプを選択します。

表9.53 ビデオ入力インタフェースタイプ選択

REG[0484h]ビット5～4	ビデオ入力インタフェースタイプ
00	Reserved
01	12ビットRGBインタフェース
10	8ビットYUV 4:2:2インタフェース
11	8ビットYUV 4:2:2 ITU-R BT656インタフェース（注1）

### 注

- これらのビットが11のとき、ITU-R BT656カメラインタフェースはアクティブです。このモードでは、hsync信号とvsync信号はデータ信号と混合されます。
- ビデオ入力インタフェース書き込みパスとしてメインメモリ書き込みパスを使用するときは（REG[0500h]ビット0＝1）、このビットを変更した後でメインメモリ書き込みパスをリセットしてください（REG[0504h]ビット15＝1）。  
ビデオ入力インタフェース書き込みパスとしてサブメモリ書き込みパスを使用するときは（REG[0500h]ビット0＝0）、このビットを変更した後でサブメモリ書き込みパスをリセットしてください（REG[0580h]ビット15＝1）。

bit 2

### VDEアクティブ選択

このビットは、ビデオ入力インタフェースに使用されるVDE信号の極性を選択します。

このビットが0のとき、VDEはアクティブHighです。

このビットが1のとき、VDEはアクティブLowです。

bit 1

### VVSYNCアクティブ選択

このビットは、ビデオ入力インタフェースに使用されるVVSYNC信号の極性を選択します。

このビットが0のとき、VVSYNCはアクティブHighです。

このビットが1のとき、VVSYNCはアクティブLowです。

bit 0

有効入力クロックエッジ

このビットは、入力データをサンプリングするために使用するビデオ入力クロック（VCLKIN）のエッジを決定します。

このビットが0のとき、入力データは、VCLKINの立ち上がりエッジでサンプリングされます。

このビットが1のとき、入力データは、VCLKINの立ち下がりエッジでサンプリングされます。

**REG[0488h] Video Input Interface Control Register (AID)**

Default = 0000\_0000h: Address auto increment disable

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
n/a							ビデオフレーム キャプチャ 開始/停止
7	6	5	4	3	2	1	0

bit 0

ビデオフレームキャプチャ開始/停止

このビットは、ビデオインタフェースからの画像フレームキャプチャを制御します。このビットに0を書き込んでビデオフレームキャプチャを停止した後、値0を返すまで読み出してください。0を返した後で、ビデオ入力インタフェースイネーブルビットREG[0480h]ビット7=0を使ってビデオインタフェースモジュールをディセーブルすることができます。

書き込み：

このビットに0を書き込むと、ビデオフレームキャプチャを次のビデオフレームの最後で停止します。

このビットに1を書き込むと、ビデオフレームキャプチャを次のビデオフレームの最初から始めます。

読み出し：

このビットが0のとき、ビデオフレームをキャプチャしません。

このビットが1のとき、ビデオフレームをキャプチャします。

**REG[048Ch] Video Input Interface Status Register (AID)**

Default = 0000\_000Xh: Address auto increment disable

Read Only

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
n/a							VVSYNC端子状態 (Read Only)
7	6	5	4	3	2	1	0

bit 0

VVSYNC端子状態（読み出し専用）

このビットは、ビデオインタフェースからのVVSYNC入力端子の現在の状態を示します。

このビットが0のとき、VVSYNC入力はLowです。

このビットが1のとき、VVSYNC入力はHighです。

REG[0490h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

## 9. レジスタ

### 9.4.12 メインメモリ書き込みパスレジスタ

REG[0500h] Memory Write Path Configuration Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
Reserved	n/a					サブメモリ書き込み パスオーバーフロー フラグ	メインメモリ 書き込みパスオーバ フローフラグ
15	14	13	12	11	10	9	8
Reserved	Reserved	サブメモリ書き込み パスレジスタ更新	メインメモリ 書き込みパス レジスタ更新	n/a			メモリ書き込みパス 選択
7	6	5	4	3	2	1	0

bit 15      Reserved

このビットのデフォルト値は0です。

bit 9      サブメモリ書き込みパスオーバーフローフラグ

このビットは、サブメモリ書き込みパスオーバーフローフラグのそのままの値を示します。

このビットが0のとき、オーバーフローは起きていません。

このビットが1のとき、オーバーフローが起きました。

このフラグをクリアするには、このビットに1を書き込んでください。

bit 8      メインメモリ書き込みパスオーバーフローフラグ

このビットは、メインメモリ書き込みパスオーバーフローフラグのそのままの値を示します。

このビットが0のとき、オーバーフローは起きていません。

このビットが1のとき、オーバーフローが起きました。

このフラグをクリアするには、このビットに1を書き込んでください。

bit 7      Reserved

このビットのデフォルト値は0です。

bit 6      Reserved

このビットのデフォルト値は0です。

bit 5      サブメモリ書き込みパスレジスタ更新

ビデオ入力インタフェースがサブメモリ書き込みパスを使用している間に、サブメモリ書き込みパスを使用するようにビデオ入力インタフェースが変更されたとき（REG[0500h]ビット0=0）またはサブメモリ書き込みパスレジスタのいずれかが変更されたとき（REG[0580h～REG[05A8h]）は、このビットを1に設定して内部レジスタ値を更新してください。

ホストインタフェースがサブメモリ書き込みパスを使用するときは（REG[0500h]ビット0=1）、このビットの設定に関係なく内部レジスタが更新されます。

#### 注

このビットが1を返したとき、ホストは、このビットに0を書き込んでレジスタ更新を停止することができます。



bit 4

## メインメモリ書き込みパスレジスタ更新

ビデオ入力インタフェースがメインメモリ書き込みパスを使用している間に、メインメモリ書き込みパスを使用するようにビデオ入力インタフェースが変更されたとき（REG[0500h]ビット0=1）またはメインメモリ書き込みパスレジスタのいずれかが変更されたとき（REG[0504h～REG[052Ch]）は、このビットを1に設定して内部レジスタ値を更新してください。

ホストインタフェースがメインメモリ書き込みパスを使用するとき（REG[0500h]ビット0=0）、このビットの設定に関係なく内部レジスタが更新されます。

## 注

このビットが1を返すとき、ホストは、このビットに0を書き込んでレジスタの更新を停止することができます。

bit 0

## メモリ書き込みパス選択

このビットは、ホストおよびビデオインタフェースのそれぞれが使用するメモリ書き込みパスを選択します。

このビットが0のときは、ホストインタフェースがメインメモリ書き込みパスを使用し、ビデオインタフェースがサブメモリ書き込みパスを使用します。

このビットが1のときは、ホストインタフェースがサブメモリ書き込みパスを使用し、ビデオインタフェースがメインメモリ書き込みパスを使用します。

## 注

このビットを変更した後、メインメモリ書き込みパスとサブメモリ書き込みパスを両方ともリセットしてください（REG[0504h]ビット15=1とREG[0580]ビット15=1）。

REG[0504h] Main Memory Write Path Configuration Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
メインメモリ 書き込みパスソフト ウェアリセット (Write Only)	n/a	eICモード選択	eIC単位選択	アルファブレンド キーカラー保存	PIP2透過 キーカラー保存	PIP1透過 キーカラー保存	eICイネーブル
15	14	13	12	11	10	9	8
ダブルバッファ状態	ダブルバッファ モードイネーブル	YUV 4:2:0変換 イネーブル	RYC0イネーブル	ミラーイネーブル	回転モード選択ビット1～0		メインメモリ 書き込みパス イネーブル
7	6	5	4	3	2	1	0

bit 15

## メインメモリ書き込みパスソフトウェアリセット（書き込み専用）

このビットは、メインメモリ書き込みパスモジュールのソフトウェアリセットを実行します。

このビットに0を書き込んでもハードウェアには影響がありません。

このビットに1を書き込むとメインメモリ書き込みパスモジュールのソフトウェアリセットが実行されます。

## 9. レジスタ

---

bit 13

eICモード選択

eICがイネーブルされているとき (REG[0504h]ビット8=1)、このビットは、RGBフォーマット入力データに使用するeICモードを選択します。YUVフォーマット入力データの場合は、このビットを1に設定してください (YUVは通常モードのみ使用できます)。

このビットが0のとき、適応モードが選択されます。

このビットが1のとき、通常モードが選択されます。

### 注

部分eICモードを選択したときは (REG[0504h]ビット12=1)、この設定は無視され、通常モードが使用されます。

bit 12

eIC単位選択

eICがイネーブルされているとき (REG[0504h]ビット8=1)、このビットは、RGBフォーマット入力データに使用されるeIC単位を選択します。

このビットが0のとき、ラインeICモードが選択されます。

このビットが1のとき、部分eICモードが選択されます。

bit 11

アルファブレンドキーカラー保存

eICがイネーブルされているとき (REG[0504h]ビット8=1)、このビットは、アルファブレンドキーカラーが正確に再生されるようにします。

このビットが0のとき、キーカラー保存がディセーブルされます。

このビットが1のとき、キーカラー保存がイネーブルされます。

アルファブレンドキーカラー保存を使用するときは、次の手順に従ってください。

1. アルファブレンドキーカラーをREG[0628h]～REG[0644h]で設定します。
2. アルファブレンドキーカラー保存をイネーブルします (REG[0504h] ビット11=1)。
3. メインメモリ書き込みパスにフレームデータを書き込みます。

### 注

eICを使用した後でアルファブレンドキーカラー (REG[0628h]～REG[0644h]) を変更しないでください。

bit 10

## PIP2透過キーカラー保存

eICがイネーブルされているとき、このビットは、PIP2透過キーカラーが正確に再生されるようにします。

このビットが0のとき、キーカラー保存がディセーブルされます。

このビットが1のとき、キーカラー保存がイネーブルされます。

PIP2透過キーカラー保存を使用するときは、次の手順に従ってください。

1. REG[0620h]～REG[0624h]でPIP2透過キーカラーを設定します。
2. PIP2透過キーカラー保存をイネーブルします (REG[0504h]ビット10=1)。
3. メインメモリ書き込みパスにフレームデータを書き込みます。

**注**

eICを使用した後でPIP2透過キーカラー (REG[0620h]～REG[0624h]) を変更しないでください。

bit 9

## PIP1透過キーカラー保存

eICがイネーブルされているとき、このビットは、PIP1透過キーカラーが正確に再生されるようにします。

このビットが0のとき、キーカラー保存はディセーブルされます。

このビットが1のとき、キーカラー保存はイネーブルされます。

PIP1透過キーカラー保存を使用するときは、以下の手順に従ってください。

1. REG[0618h]～REG[061Ch]でPIP1透過キーカラーを設定します。
2. PIP1透過キーカラー保存をイネーブルします (REG[0504h]ビット9=1)。
3. メインメモリ書き込みパスにフレームデータを書き込みます。

**注**

eICを使用した後でPIP1透過キーカラー (REG[0618h]～REG[061Ch]) を変更しないでください。

bit 8

## eICイネーブル

このビットは、メインメモリ書き込みパスにeICを使用するかどうかを制御します。eICは、eICモード選択ビット (ビット13) とeIC単位選択ビット (ビット12) を使って設定されます。

このビットが0のとき、eICはディセーブル (バイパス) されます。

このビットが1のとき、eICはイネーブルされます。

## 9. レジスタ

---

bit 7	<p>ダブルバッファ状態</p> <p>読み出し：</p> <p>ダブルバッファモードがイネーブルされているとき (REG[0504h]ビット6=1)、このビットは、書き込んでいるバッファを示します。</p> <p>このビットが0のときは、バッファ Aが書き込まれています (バッファ Aへの書き込みが完了するとこのビットは1になります)。</p> <p>このビットが1のときは、バッファ Bが書き込まれています (バッファ Bへの書き込みが完了するとこのビットは0になります)。</p> <p>書き込み：</p> <p>このビットは、最初に書き込むバッファを選択します。このビットは、eDRAMへの書き込みが行われていない間に設定してください (REG[002Ch]ビット3=0)。</p> <p>このビットが0のとき、バッファ Aに最初に書き込みます。</p> <p>このビットが1のとき、バッファ Bに最初に書き込みます。</p>
bit 6	<p>ダブルバッファモードイネーブル</p> <p>このビットは、メインメモリ書き込みパスのダブルバッファモードを制御します。ダブルバッファリングをイネーブルしたとき、書き込みはバッファ Aとバッファ Bに交互に行われます。ダブルバッファリングをディセーブルしたとき、書き込みはバッファ Aだけに行われます。バッファ Aとバッファ Bの開始アドレスの設定については、REG[0508h]～REG[0514h]のビット説明をご覧ください。</p> <p>このビットが0のとき、ダブルバッファモードがディセーブルされます (バッファ Aを使用)。</p> <p>このビットが1のとき、ダブルバッファモードがイネーブルされます (バッファ Aとバッファ Bを使用)。</p>
bit 5	<p>YUV 4:2:0変換イネーブル</p> <p>このビットは、RYC0がイネーブルされたとき (REG[0504h]ビット4=1) だけ使用できます。</p> <p>このビットは、メインメモリ書き込みパスを使った書き込み中に、前にRYC0によってRGBから変換されたYUV 4:2:2画像データをYUV 4:2:0画像データに変換するかどうかを制御します。</p> <p>このビットが0のとき、YUV 4:2:2からYUV 4:2:0への変換がディセーブルされます。</p> <p>このビットが1のとき、YUV 4:2:2からYUV 4:2:0への変換がイネーブルされます。</p>
bit 4	<p>RYC0イネーブル</p> <p>このビットは、メインメモリ書き込みパスを使った書き込み中に、RGB 8:8:8およびRGB 5:6:5画像データをYUV 4:2:2画像データに変換するかどうかを制御します。</p> <p>このビットが0のとき、RGBからYUV 4:2:2への変換がディセーブルされます。</p> <p>このビットが1のとき、RGBからYUV 4:2:2への変換がイネーブルされます。</p>
bit 3	<p>ミラーイネーブル</p> <p>このビットは、メインメモリ書き込みパスを使った書き込みにミラー機能をイネーブルするかどうかを制御します。</p> <p>このビットが0のとき、ミラー機能はディセーブルされます。</p> <p>このビットが1のとき、ミラー機能はイネーブルされます。</p>

bits 2-1

回転モード選択ビット[1:0]

これらのビットは、メインメモリ書き込みパスを使った書き込みに適用される回転を選択します。

表9.54 回転モード選択

REG[0504h]ビット2～1	回転モード
00	0°（標準）
01	90°
10	180°
11	270°

bit 0

メインメモリ書き込みパスイネーブル

このビットは、メインメモリ書き込みパスを制御します。

このビットが0のとき、メインメモリ書き込みパスはディセーブルされます。

このビットが1のとき、メインメモリ書き込みパスはイネーブルされます。

REG[0508h] Main Memory Buffer A RGB, Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メインメモリバッファ A RGB, Y開始アドレスビット12～8
7	6	5	4	3	2	1	0	メインメモリバッファ A RGB, Y開始アドレスビット7～0

bits 12-0

メインメモリバッファ A RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータを書き込むメインメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードがイネーブルされたとき（REG[0504h]ビット6=1）、このアドレスはバッファ A のメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0504h]ビット6=0）、このアドレスが常に使用されます。

REG[0508h]ビット12～0＝開始アドレス（バイト）÷256

## 9. レジスタ

REG[050Ch] Main Memory Buffer A UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メインメモリバッファ A UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	メインメモリバッファ A UV開始アドレスビット7~0

bits 12-0

メインメモリバッファ A UV開始アドレスビット[12:0]

これらのビットは、UVデータを書き込むメインメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。RGBデータを選択したときは、これらのビットは使用されません。ダブルバッファモードがイネーブルされたときは（REG[0504h]ビット6=1）、このアドレスがバッファ Aのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0504h]ビット6=0）、このアドレスが常に使用されます。

REG[050Ch]ビット12~0 = (RGB, Y開始アドレス + ラインアドレス  
オフセット × メモリ垂直サイズ) ÷ 256

REG[0510h] Main Memory Buffer B RGB, Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メインメモリバッファ B RGB, Y開始アドレスビット12~8
7	6	5	4	3	2	1	0	メインメモリバッファ B RGB, Y開始アドレスビット7~0

bits 12-0

メインメモリバッファ B RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータを書き込むメインメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードがイネーブルされたとき（REG[0504h]ビット6=1）、このアドレスはバッファ Bのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0504h]ビット6=0）、このアドレスは使用されません。

REG[0510h]ビット12~0 = 開始アドレス（バイト） ÷ 256

REG[0514h] Main Memory Buffer B UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メインメモリバッファ B UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	メインメモリバッファ B UV開始アドレスビット7~0

bits 12-0

メインメモリバッファ B UV開始アドレスビット[12:0]

これらのビットは、UVデータを書き込むメインメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。RGBデータを選択したとき、これらのビットは使用されません。ダブルバッファモードがイネーブルされたとき（REG[0504h]ビット6=1）、このアドレスはバッファBのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0504h]ビット6=0）、このアドレスは使用されません。

REG[0514h]ビット12~0 = (RGB, Y開始アドレス + ラインアドレス  
オフセット × メモリ垂直サイズ) ÷ 256

REG[0518h] Main Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
n/a								
n/a	メインメモリラインアドレスオフセットビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

メインメモリラインアドレスオフセットビット[6:0]

これらのビットは、メインメモリ書き込みパスのオフセットラインアドレスを、バイトで決定します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[0518h]ビット6~0 = ラインアドレスオフセット（バイト） ÷ 32

**注**

これらのビットは、ラインアドレスオフセットが64バイト単位となるように設定してください（ビット0=0）。

## 9. レジスタ

REG[051Ch] Main Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	メインメモリ垂直サイズビット7~0

bits 7-0

メインメモリ垂直サイズビット[7:0]

これらのビットは、メインメモリ書き込みパスのメモリ領域垂直サイズを、4ラインを1単位として決定します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[051Ch]ビット7~0=垂直サイズ（ライン）÷4-1

### 注

メモリ領域垂直サイズは、最低4ライン（REG[051Ch]=0000h）から最高864ライン（REG[051Ch]=00D7h）の範囲です。

REG[0520h] Main Image Horizontal Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メイン画像水平サイズビット9~8
7	6	5	4	3	2	1	0	メイン画像水平サイズビット7~0

bits 9-0

メイン画像水平サイズビット[9:0]

これらのビットは、回転が適用される前の書き込みウインドウ水平サイズをピクセルで決定します（REG[0504h]ビット2~1を参照）。書き込みウインドウは、メインメモリ書き込みパスメモリ領域内の実際の画像データが書き込まれる領域です。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[0520h]ビット9~0=水平サイズ（ピクセル）-1

### 注

- 書き込みウインドウ水平サイズは、最低1ピクセル（REG[0520h]=0000h）から最高864ピクセル（REG[0520h]=035Fh）の範囲です。
- YUV 4:2:2またはYUV 4:2:0の場合、書き込みウインドウ水平サイズは偶数でなければなりません。



REG[0524h] Main Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メイン画像垂直サイズビット9～8
7	6	5	4	3	2	1	0	メイン画像垂直サイズビット7～0

bits 9-0

メイン画像垂直サイズビット[9:0]

これらのビットは、回転が適用される前の書き込みウインドウ垂直サイズをラインで決定します (REG[0504h] ビット2～1を参照)。書き込みウインドウは、メインメモリ書き込みバスメモリ領域内の実際の画像データが書き込まれる領域です。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みバスの設定」をご覧ください。

REG[0524h] ビット9～0＝垂直サイズ (ライン) －1

**注**

- 書き込みウインドウ垂直サイズは、最低1ライン (REG[0524h]=0000h) から最高864ライン (REG[0524h]=035Fh) の範囲です。
- YUV 4:2:0の場合、書き込みウインドウ垂直サイズは偶数でなければなりません。

REG[0528h] Main Image X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メイン画像X開始位置ビット9～8
7	6	5	4	3	2	1	0	メイン画像X開始位置ビット7～0

bits 9-0

メイン画像X開始位置ビット[9:0]

これらのビットは、メインメモリ書き込みバスの書き込みウインドウX開始位置をピクセルで決定します。書き込みウインドウX開始位置は、定義されたメモリ領域の左側 (位置0) に対して書き込みウインドウが始まるX方向の位置を定義します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みバスの設定」をご覧ください。

REG[0528h] ビット9～0＝X開始位置 (ピクセル)

**注**

- 書き込みウインドウX開始位置は、最低0ピクセル (REG[0528h]=0000h) から最高863ピクセル (REG[0528h]=035Fh) の範囲です。
- YUV 4:2:2またはYUV 4:2:0の場合、書き込みウインドウX開始位置は偶数でなければなりません。

9. レジスタ

REG[052Ch] Main Image Y Start Position Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a						メイン画像Y開始位置ビット9~8	
15	14	13	12	11	10	9	8
メイン画像Y開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

メイン画像Y開始位置ビット[9:0]  
これらのビットは、メインメモリ書き込みパスの書き込みウインドウY開始位置をラインで決定します。書き込みウインドウY開始位置は、定義されたメモリ領域の最上部（位置0）に対して書き込みウインドウが始まるY方向の位置を定義します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。  
REG[052Ch]ビット9~0=Y開始位置（ライン）

注

- 1. 書き込みウインドウY開始位置は、最低0ライン（REG[052Ch]=0000h）から最高863ライン（REG[052Ch]=035Fh）の範囲です。
- 2. YUV 4:2:0の場合、書き込みウインドウY開始位置は偶数でなければなりません。

## 9.4.13 サブメモリ書き込みパスレジスタ

REG[0580h] Sub Memory Write Path Enable Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
サブメモリ書き込み パスソフトウェア リセット (Write Only)	14	13	12	11	10	9	8
15	n/a						7
ダブルバッファ状態	ダブルバッファ モードイネーブル	5	4	3	2	1	サブメモリ書き込み パスイネーブル
7	6	5	4	3	2	1	0

- bit 15      サブメモリ書き込みパスソフトウェアリセット（書き込み専用）  
このビットは、サブメモリ書き込みパスモジュールのソフトウェアリセットを実行します。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、サブメモリ書き込みパスモジュールのソフトウェアリセットが実行されます。
- bit 7      ダブルバッファ状態  
読み出し：  
ダブルバッファモードがイネーブルされたとき（REG[0580h]ビット6=1）、このビットは、書き込んでいるバッファを示します。  
このビットが0のとき、バッファ Aが書き込まれています（バッファ Aへの書き込みが完了するとこのビットは1になります）。  
このビットが1のとき、バッファ Bが書き込まれています（バッファ Bへの書き込みが完了するとこのビットは0になります）。  
書き込み：  
このビットは、最初書き込むバッファを選択します。このビットは、eDRAMへの書き込みが行われていない間（REG[002Ch]ビット4=0）に設定してください。  
このビットが0のとき、最初にバッファ Aに書き込みます。  
このビットが1のとき、最初にバッファ Bに書き込みます。
- bit 6      ダブルバッファモードイネーブル  
このビットは、サブメモリ書き込みパスのダブルバッファモードを制御します。ダブルバッファリングがイネーブルされたとき、書き込みはバッファ Aとバッファ Bに交互に行われます。ダブルバッファリングがディセーブルされたとき、書き込みはバッファ Aだけに実行されます。バッファ Aとバッファ Bの開始アドレスの設定については、REG[0584h]～REG[0590h]のビット説明をご覧ください。  
このビットが0のとき、ダブルバッファモードがディセーブルされます（バッファ Aを使用）。  
このビットが1のとき、ダブルバッファモードがイネーブルされます（バッファ Aとバッファ Bを使用）。
- bit 0      サブメモリ書き込みパスイネーブル  
このビットは、サブメモリ書き込みパスを制御します。  
このビットが0のとき、サブメモリ書き込みパスはディセーブルされます。  
このビットが1のとき、サブメモリ書き込みパスはイネーブルされます。

## 9. レジスタ

REG[0584h] Sub Memory Buffer A RGB, Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	サブメモリバッファ A RGB, Y開始アドレスビット12~8
7	6	5	4	3	2	1	0	サブメモリバッファ A RGB, Y開始アドレスビット7~0

bits 12-0

サブメモリバッファ A RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータが書き込まれるサブメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードをイネーブルしたとき（REG[0580h]ビット6=1）、このアドレスはバッファ A のメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0580h]ビット6=0）、このアドレスが常に使用されます。

REG[0584h]ビット12~0=開始アドレス（バイト）÷256

REG[0588h] Sub Memory Buffer A UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	サブメモリバッファ A UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	サブメモリバッファ A UV開始アドレスビット7~0

bits 12-0

サブメモリバッファ A UV開始アドレスビット[12:0]

これらのビットは、UVデータを書き込むサブメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。RGBデータが選択されたときは、これらのビットは使用されません。ダブルバッファモードがイネーブルされたときは（REG[0580h]ビット6=1）、このアドレスがバッファ A のメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0580h]ビット6=0）、このアドレスが常に使用されます。

REG[0588h]ビット12~0=（RGB, Y開始アドレス+ラインアドレス  
オフセット×メモリ垂直サイズ）÷256

REG[058Ch] Sub Memory Buffer B RGB,Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	サブメモリバッファ B RGB, Y開始アドレスビット12~8
7	6	5	4	3	2	1	0	サブメモリバッファ B RGB, Y開始アドレスビット7~0

bits 12-0

サブメモリバッファ B RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータが書き込まれるサブメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードがイネーブルされたときは（REG[0580h]ビット6=1）、このアドレスはバッファ Bのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0580h]ビット6=0）、このアドレスは使用されません。

REG[058Ch]ビット12~0=開始アドレス（バイト）÷256

REG[0590h] Sub Memory Buffer B UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	サブメモリバッファ B UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	サブメモリバッファ B UV開始アドレスビット7~0

bits 12-0

サブメモリバッファ B UV開始アドレスビット[12:0]

これらのビットは、UVデータを書き込むサブメモリ書き込みパスのメモリ開始アドレスを、256バイトを1単位として決定します。RGBデータを選択したとき、これらのビットは使用されません。ダブルバッファモードがイネーブルされたときは（REG[0580h]ビット6=1）、このアドレスがバッファ Bのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0580h]ビット6=0）、このアドレスは使用されません。

REG[0590h]ビット12~0=（RGB, Y開始アドレス+ラインアドレス  
オフセット×メモリ垂直サイズ）÷256

## 9. レジスタ

REG[0594h] Sub Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	サブメモリラインアドレスオフセットビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

サブメモリラインアドレスオフセットビット[6:0]

これらのビットは、サブメモリ書き込みパスのラインアドレスオフセットをバイトで決定します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[0594h]ビット6~0=ラインアドレスオフセット（バイト）÷32

### 注

これらのビットは、ラインアドレスオフセットが64バイト単位になるように設定してください（ビット0=0）。

REG[0598h] Sub Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
サブメモリ垂直サイズビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

サブメモリ垂直サイズビット[7:0]

これらのビットは、サブメモリ書き込みパスのメモリ領域垂直サイズを、4ラインを1単位として決定します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[0598h]ビット7~0=垂直サイズ（ライン）÷4-1

### 注

メモリ領域垂直サイズは、最低4ライン（REG[0598h]=0000h）から最高1024ライン（REG[0598h]=00FFh）の範囲です。

REG[059Ch] Sub Image Horizontal Size Resigser								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	サブ画像水平サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	サブ画像水平サイズビット7～0

bits 9-0

サブ画像水平サイズビット[9:0]

これらのビットは、サブメモリ書き込みパスの書き込みウインドウ水平サイズをピクセルで決定します。書き込みウインドウは、サブメモリ書き込みパスメモリ領域内で実際の画像データが書き込まれる領域です。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[059Ch]ビット9～0＝水平サイズ（ピクセル）－1

**注**

- 書き込みウインドウ水平サイズは、最低1ピクセル（REG[059Ch]=0000h）から最高1024ピクセル（REG[059Ch]=03FFh）の範囲です。
- YUV 4:2:2またはYUV 4:2:0の場合、書き込みウインドウ水平サイズは偶数でなければなりません。

REG[05A0h] Sub Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	サブ画像垂直サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	サブ画像垂直サイズビット7～0

bits 9-0

サブ画像垂直サイズビット[9:0]

これらのビットは、サブメモリ書き込みパスの書き込みウインドウ垂直サイズをラインで決定します。書き込みウインドウは、サブメモリ書き込みパスメモリ領域内で実際の画像データが書き込まれる領域です。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[05A0h]ビット9～0＝垂直サイズ（ライン）－1

**注**

- 書き込みウインドウ垂直サイズは、最低1ライン（REG[05A0h]=0000h）から最高1024ライン（REG[05A0h]=03FFh）の範囲です。
- YUV 4:2:0の場合、書き込みウインドウ垂直サイズは偶数でなければなりません。

## 9. レジスタ

REG[05A4h] Sub Image X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	サブ画像X開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	サブ画像X開始位置ビット7～0

bits 9-0

サブ画像X開始位置ビット[9:0]

これらのビットは、サブメモリ書き込みパスの書き込みウインドウX開始位置をピクセルで決定します。書き込みウインドウX開始位置は、定義されたメモリ領域の左側（位置0）に対して書き込みウインドウが始まるX方向の位置を定義します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[05A4h]ビット9～0=X開始位置（ピクセル）

### 注

- 書き込みウインドウX開始位置は、最低0ピクセル（REG[05A4h]=0000h）から最高1023ピクセル（REG[05A4h]=03FFh）の範囲です。
- YUV 4:2:2またはYUV 4:2:0の場合、書き込みウインドウX開始位置は偶数でなければなりません。

REG[05A8h] Sub Image Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	サブ画像Y開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	サブ画像Y開始位置ビット7～0

bits 9-0

サブ画像Y開始位置ビット[9:0]

これらのビットは、サブメモリ書き込みパスの書き込みウインドウY開始位置をピクセルで決定します。書き込みウインドウY開始位置は、定義されたメモリ領域の最上部（位置0）に対して書き込みウインドウが始まるY方向の位置を定義します。メモリへの画像データの書き込みの詳細は、266ページの11.1「書き込みパスの設定」をご覧ください。

REG[05A8h]ビット9～0=Y開始位置（ライン）

### 注

- 書き込みウインドウY開始位置は、最低0ライン（REG[05A8h]=0000h）から最高1023ライン（REG[05A8h]=03FFh）の範囲です。
- YUV 4:2:0の場合、書き込みウインドウY開始位置は偶数でなければなりません。



## 9.4.14 表示設定レジスタ

REG[0600h] Display Mode Setting Register 0							
Default = 0000_0000h							Read/Write
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
TV-Outインタフェースレジスタ更新	LCDインタフェースレジスタ更新	n/a		Reserved	LCD SWビデオ反転	TV-Out表示ブランク	LCD表示ブランク
15	14	13	12	11	10	9	8
LCDおよびTV-Outソフトウェアリセット (Write Only)	n/a	LUTイネーブル	n/a			LUTアドレスクリア (Write Only)	n/a
7	6	5	4	3	2	1	0

bit 15

## TV-Outインタフェースレジスタ更新

TVの表示中にTV-Outインタフェースと関連したレジスタを変更するときは、このビットに1を書き込んでください。内部回路で新しいレジスタ値が更新されると、このビットは自動的に0にリセットされます。

REG[0604h]ビット15～12=0100のときは、メイン／PIP1/PIP2ウインドウレジスタがすべて一度に更新されます。

REG[0604h]ビット15～12=1011のときは、PIP1/PIP2ウインドウレジスタが同時に更新されます。

## 注

表示出力ポートをLCDとTV-Outに同時に設定するときは（REG[0604h]ビット15～12=1011）、ビット15と14を同時に1に設定してください。

bit 14

## LCDインタフェースレジスタ更新

LCDの表示中にLCDインタフェースと関連したレジスタを変更するときは、このビットに1を書き込んでください。内部回路で新しいレジスタ値が更新されると、このビットは自動的に0にリセットされます。

REG[0604h]ビット15～12=0001または0010のとき、メイン／PIP1/PIP2ウインドウレジスタはすべて一度に更新されます。

REG[0604h]ビット15～12=1011のときは、メインウインドウレジスタが更新されます。

## 注

表示出力ポートをLCDとTV-Outに同時に設定するときは（REG[0604h]ビット15～12=1011）、ビット15と14を同時に1に設定してください。

bit 11

## Reserved

このビットのデフォルト値は0です。

bit 10

## LCDソフトウェアビデオ反転

このビットは、RGBタイプパネルデータ出力を反転させるか変更しない（標準）かを決定します。このビットは、表示がアクティブで表示を消すときに有効です（REG[0600h]ビット8を参照）。

このビットが0のとき、パネルデータ出力は変更されません（標準）。

このビットが1のとき、パネルデータ出力は反転されます。

## 9. レジスタ

bit 9 TV-Out表示ブランク  
このビットは、表示パイプをディセーブルしすべてのデータ出力をLowにすることにより、Hsync & FIELDタイプ/ITU-R BT656 TV-Outインタフェースの表示を消します。  
このビットが0のとき、その表示はアクティブです。  
このビットが1のとき、表示が消されすべてのデータ出力がLowに設定されます。

bit 8 LCD表示ブランク  
このビットは、表示パイプをディセーブルしすべてのデータ出力をLow（またはHigh）にすることによってRGBタイプパネルの表示を消します。  
このビットが0のとき、表示はアクティブです。  
このビットが1のとき、表示が消され、すべてのデータ出力は、LCDソフトウェアビデオ反転ビット（REG[0600h]ビット10）の設定に基づいてLowまたはHighに設定されます。

表9.55 LCDインタフェースのデータ出力選択

REG[0600h]ビット8	REG[0600h]ビット10	データ出力
0	0	標準
	1	反転
1	0	強制Low
	1	強制High

bit 7 LCDおよびTV-Outソフトウェアリセット（書き込み専用）  
このビットは、LCDおよびTV-Outインタフェースのソフトウェアリセットを実行します。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、LCDおよびTV-Outインタフェースのソフトウェアリセットが実行されます。（AME、YRC1、YRC2、RYC3、透過、LUT、LCDインタフェース、TV-Outインタフェース）

bit 5 LUTイネーブル  
このビットは、LUT（ルックアップテーブル）を制御します。  
このビットが0のとき、LUTはバイパスされます。  
このビットが1のとき、LUTが使用されます。

### 注

表示出力ポートが、LCD1（メイン）+TV-Out（PIP1/PIP2）に設定されたとき（REG[0604h]ビット11～8=1011）、LUT機能は、TV-Out表示だけに適用され、LCD1には適用されません。

bit 1 LUTアドレスクリア（書き込み専用）  
このビットは、LUTアドレスカウンタをクリアします（REG[064Ch]ビット7～0）。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、LUTアドレスカウンタビットがクリアされます（REG[064Ch]ビット7～0）。

REG[0604h] Display Mode Setting Register 1							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
表示出力ポート状態ビット3~0 (Read Only)				表示出力ポート選択ビット3~0			
15	14	13	12	11	10	9	8
n/a	レイヤモード選択ビット1~0		n/a	PIP2ウインドウ 表示イネーブル	PIP1ウインドウ 表示イネーブル	メイン2ウインドウ 表示イネーブル	メイン1ウインドウ 表示イネーブル
7	6	5	4	3	2	1	0

bits 15-12

表示出力ポート状態ビット[3:0] (読み出し専用)

これらのビットは、選択された表示出力ポートがアクティブであることを示します。画像データをポートに送る前に、目的のポートがアクティブであることを確認してください。LCD2ポートまたはTV-Outパラレルポートを選択したときは、転送する前に目的のポートがアクティブであることを確認してください。これらのビットは読み出し専用であり、表示出力ポート選択ビット (REG[0604h] ビット11~8) を使って変更されます。

表9.56 表示出力ポートの状態

REG[0604h] ビット15~12	表示出力ポート
0000	すべてオフ
0001	LCD1 (メイン/PIP1/PIP2)
0010	LCD2 (メイン/PIP1/PIP2)
0011	Reserved
0100	TV-Out (メイン/PIP1/PIP2)
0101~1010	Reserved
1011	LCD1 (メイン) +TV-Out (PIP1/PIP2)
1100~1111	Reserved

## 9. レジスタ

bits 11-8

表示出力ポート選択ビット[3:0]

これらのビットは、有効な表示出力ポートを指定します。これらのビットの変更は、現在のフレームが終了してから有効になります。これらのビットを変更する前に自動転送ビット（REG[0114h]ビット1、REG[022Ch]ビット1）をクリアしてください。

**表9.57 表示出力ポート選択**

REG[0604h]ビット11～8	表示出力ポート	フレーム転送要求
0000	すべてオフ	n/a
0001	LCD1（メイン／PIP1/PIP2）	n/a
0010	LCD2（メイン／PIP1/PIP2）	フレーム転送を行う前に少なくとも1つのウインドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。
0011	Reserved	—
0100	TV-Out（メイン／PIP1/PIP2）	TV-Outインタフェースをパラレル用に設定したときは（REG[0200h]ビット1～0＝10）、フレーム転送を行う前に少なくとも1つのウインドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。
0101～1010	Reserved	—
1011	LCD1（メイン）+TV-Out（PIP1/PIP2）	TV-Outインタフェースをパラレル用に設定したときは（REG[0200h]ビット1～0＝10）、フレーム転送を行う前に少なくとも1つのウインドウ（PIP1またはPIP2）をイネーブルしてください。
1100～1111	Reserved	—

### 注

表示出力ポートは、「アクティブ」モード間で直接変更しないでください。

アクティブな表示出力ポートを変更するには、次の手順に従ってください。

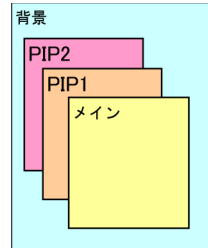
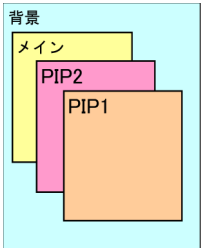
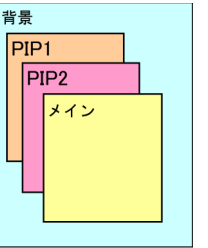
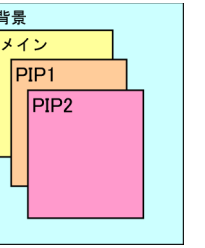
1. 表示出力ポートを「すべてオフ」に設定します（REG[0604h]ビット11～8＝0000）。
2. 表示出力ポート状態ビットが0000を返すまで待ちます（REG[0604h]ビット15～12）。
3. LCDおよびTV-Outソフトウェアリセットを実行します（REG[0600h]ビット7＝1）。
4. 必要に応じて、LCDおよびTV-Outインタフェースレジスタを設定します。
5. レジスタ更新ビットを設定します（LCDインタフェース：REG[0600h]ビット14＝1、TV-Outインタフェース：REG[0600h]ビット15＝1）。
6. REG[0604h]ビット11～8を使って希望する表示出力ポートを選択します。

bits 6-5

レイヤモード選択ビット[1:0]

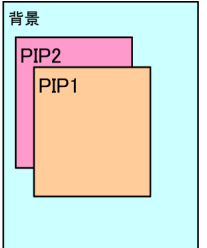
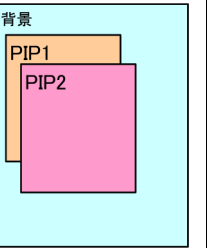
これらのビットは、メイン／PIP1/PIP2ウインドウを使用するLCD1、LCD2およびTV-Outの表示出力ポートモードのウインドウ表示順序を選択します（REG[0604h]ビット15～12＝0001、0010および0100）。これらのモードでは、次の表を使ってレイヤ順序を決定してください。

表9.58 レイヤモードの選択1

REG[0604h]ビット6～5	00	01	10	11
レイヤ順序				

TV-OutがPIP1とPIP2ウインドウ（REG[0604h]ビット15～12＝1011）だけを使用するLCD1+TV-Out表示出力ポートモードでは、次の表を使ってレイヤ順序を決定してください。

表9.59 レイヤモードの選択2

REG[0604h]ビット6～5	00	01	10	11
レイヤ順序	Reserved	Reserved		

bit 3

PIP2ウインドウ表示イネーブル

このビットは、PIP2ウインドウを表示するかどうかを制御します。  
 このビットが0のとき、PIP2ウインドウはディセーブルされます。  
 このビットが1のとき、PIP2ウインドウはイネーブルされます。

**注**

設定によっては、フレーム転送を行う前に少なくとも1つのウインドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。この条件の一覧は、180ページの表9.57「表示出力ポート選択」をご覧ください。

## 9. レジスタ

bit 2

PIP1 ウィンドウ表示イネーブル

このビットは、PIP1 ウィンドウを表示するかどうかを制御します。  
このビットが0のとき、PIP1 ウィンドウはディセーブルされます。  
このビットが1のとき、PIP1 ウィンドウはイネーブルされます。

### 注

設定によっては、フレーム転送を行う前に少なくとも1つのウィンドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。この条件の一覧は、180ページの表9.57「表示出力ポート選択」をご覧ください。

bit 1

メイン2 ウィンドウ表示イネーブル

このビットは、メイン2 ウィンドウを表示するかどうかを制御します。  
このビットが0のとき、メイン2 ウィンドウはディセーブルされます。  
このビットが1のとき、メイン2 ウィンドウはイネーブルされます。

### 注

設定によっては、フレーム転送を行う前に少なくとも1つのウィンドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。この条件の一覧は、180ページの表9.57「表示出力ポート選択」をご覧ください。

bit 0

メイン1 ウィンドウ表示イネーブル

このビットは、メイン1 ウィンドウを表示するかどうかを制御します。  
このビットが0のとき、メイン1 ウィンドウはディセーブルされます。  
このビットが1のとき、メイン1 ウィンドウはイネーブルされます。

### 注

設定によっては、フレーム転送を行う前に少なくとも1つのウィンドウ（メイン1、メイン2、PIP1、PIP2）をイネーブルしてください。この条件の一覧は、180ページの表9.57「表示出力ポート選択」をご覧ください。

REG[0608h] Transparency and Alpha Blend Control Register								Read/Write
Default = 0000_0000h								
n/a								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a				アルファブレンド4 キーカラー イネーブル	アルファブレンド3 キーカラー イネーブル	アルファブレンド2 キーカラー イネーブル	アルファブレンド1 キーカラー イネーブル	
15	14	13	12	11	10	9	8	
アルファブレンド モード選択	n/a				PIP2透過 イネーブル	PIP1透過 イネーブル	n/a	
7	6	5	4	3	2	1	0	

bit 11

アルファブレンド4キーカラーイネーブル

このビットは、アルファブレンド4のキーカラーを制御します。  
このビットが0のとき、アルファブレンド4のキーカラーはディセーブルされます。  
このビットが1のとき、アルファブレンド4のキーカラーはイネーブルされます。

bit 10

アルファブレンド3キーカラーイネーブル

このビットは、アルファブレンド3のキーカラーを制御します。  
このビットが0のとき、アルファブレンド3のキーカラーはディセーブルされます。  
このビットが1のとき、アルファブレンド3のキーカラーはイネーブルされます。

bit 9	<p>アルファブレンド2キーカラーイネーブル</p> <p>このビットは、アルファブレンド2のキーカラーを制御します。</p> <p>このビットが0のとき、アルファブレンド2のキーカラーはディセーブルされます。</p> <p>このビットが1のとき、アルファブレンド2のキーカラーはイネーブルされます。</p>
bit 8	<p>アルファブレンド1キーカラーイネーブル</p> <p>このビットは、アルファブレンド1のキーカラーを制御します。</p> <p>このビットが0のとき、アルファブレンド1のキーカラーはディセーブルされます。</p> <p>このビットが1のとき、アルファブレンド1のキーカラーはイネーブルされます。</p>
bit 7	<p>アルファブレンドモード選択</p> <p>このビットは、アルファブレンドするウインドウを選択します。</p> <p>このビットが0のとき、アルファブレンディングはメインおよびPIPウインドウに実行されます。</p> <p>このビットが1のとき、アルファブレンディングはPIP1およびPIP2ウインドウに実行されます。</p>

**注**

LCD+TV-Out表示出力ポートを選択したとき (REG[0604h] ビット15～12=1011)

- REG[0608h] ビット7を1に設定してください。
- PIP1フィルタスケーリングモードをイネーブルしたときは (REG[0704h] ビット15=1)、アルファブレンドをイネーブルしてもアルファブレンドは無効です (REG[0608h] ビット11、10、9、または8=1)。
- AMEがPIP1でアクティブなとき (REG[0900h] ビット1～0=01)、アルファブレンドをイネーブルしてもアルファブレンドは無効です (REG[0608h] ビット11、10、9、または8=1)。

bit 2	<p>PIP2透過イネーブル</p> <p>このビットは、PIP2透過を制御します。</p> <p>このビットが0のとき、PIP2透過はディセーブルされます。</p> <p>このビットが1のとき、PIP2透過はイネーブルされます。</p>
-------	---

**注**

1. PIP2 フィルタスケーリングモードをイネーブルしたときは (REG[0804h] ビット15=1)、REG[0608h] ビット2=1の場合でもPIP2透過は無効です。
2. AME が PIP2 でアクティブのときは (REG[0900h] ビット 1 ～ 0 = 10) 、REG[0608h] ビット2=1でもPIP2透過は無効です。

## 9. レジスタ

bit 1

PIP1透過イネーブル

このビットは、PIP1透過を制御します。  
このビットが0のとき、PIP1透過はディセーブルされます。  
このビットが1のとき、PIP1透過はイネーブルされます。

### 注

1. LCD+TV-Out表示出力ポートを選択したときは (REG[0604h] ビット15～12 = 1011)、このビットを0に設定してください。
2. PIP1フィルタスケーリングモードがイネーブルされたときは (REG[0704h] ビット15=1)、REG[0608h] ビット1=1でもPIP1透過は無効です。
3. AME が PIP1 でアクティブなときは (REG[0900h] ビット1～0 = 01)、REG[0608h] ビット1=1でもPIP1透過は無効です。

REG[060Ch] Background Color Setting Register 0								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	背景色緑ビット7～0
7	6	5	4	3	2	1	0	背景色青ビット7～0

REG[0610h] Background Color Setting Register 1								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	背景色赤ビット7～0

REG[0610h] bits 7-0  
REG[060Ch] bits 15-8  
REG[060Ch] bits 7-0

背景色赤ビット[7:0]  
背景色緑ビット[7:0]  
背景色青ビット[7:0]  
これらのビットは、背景色をRGB 8:8:8フォーマットで指定します。



REG[0614h] Alpha Blend Ratio Setting Register								Read/Write
Default = 0000_8888h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	アルファブレンド4割合設定ビット3～0 アルファブレンド3割合設定ビット3～0
7	6	5	4	3	2	1	0	アルファブレンド2割合設定ビット3～0 アルファブレンド1割合設定ビット3～0

bits 15-12

アルファブレンド4割合設定ビット[3:0]

これらのビットは、アルファブレンド4キーカラーがイネーブルされたとき (REG[0608h]ビット11=1) だけ有効です。

表9.60 アルファブレンド4割合選択

REG[0614h]ビット15～12	アルファブレンド4割合					
	REG[0604h]ビット15～12=0001、0010、0100				REG[0604h]ビット15～12=1011	
	REG[0608h]ビット7=0		REG[0608h]ビット7=1		REG[0608h]ビット7=1	
	メイン	PIP1または PIP2	PIP1	PIP2	PIP1	PIP2
0000 (0h)	100%	0%	100%	0%	100%	0%
0001 (1h)	87.5%	12.5%	87.5%	12.5%	87.5%	12.5%
0010 (2h)	75%	25%	75%	25%	75%	25%
0011 (3h)	62.5%	37.5%	62.5%	37.5%	62.5%	37.5%
0100 (4h)	50%	50%	50%	50%	50%	50%
0101 (5h)	37.5%	62.5%	37.5%	62.5%	37.5%	62.5%
0110 (6h)	25%	75%	25%	75%	25%	75%
0111 (7h)	12.5%	87.5%	12.5%	87.5%	12.5%	87.5%
1000 (8h)	0%	100%	0%	100%	0%	100%
1001～1111	Reserved					

## 9. レジスタ

---

bits 11-8

アルファブレンド3割合設定ビット[3:0]  
これらのビットは、アルファブレンド3キーカラーがイネーブルされたとき  
(REG[0608h]ビット10=1) だけ有効です。

**表9.61 アルファブレンド3割合選択**

REG[0614h]ビット11~8	アルファブレンド3割合
0000 (0h)	0%
0001 (1h)	12.5%
0010 (2h)	25%
0011 (3h)	37.5%
0100 (4h)	50%
0101 (5h)	62.5%
0110 (6h)	75%
0111 (7h)	87.5%
1000 (8h)	100%
1001~1111	Reserved

bits 7-4

アルファブレンド2割合設定ビット[3:0]  
これらのビットは、アルファブレンド2キーカラーがイネーブルされたとき  
(REG[0608h]ビット9=1) だけ有効です。

**表9.62 アルファブレンド2割合選択**

REG[0614h]ビット7~4	アルファブレンド2割合
0000 (0h)	0%
0001 (1h)	12.5%
0010 (2h)	25%
0011 (3h)	37.5%
0100 (4h)	50%
0101 (5h)	62.5%
0110 (6h)	75%
0111 (7h)	87.5%
1000 (8h)	100%
1001~1111	Reserved

bits 3-0

アルファブレンド1割合設定ビット[3:0]  
これらのビットは、アルファブレンド1キーカラーがイネーブルされたとき  
(REG[0608h]ビット8=1) だけ有効です。

表9.63 アルファブレンド1割合選択

REG[0614h]ビット3～0	アルファブレンド1割合
0000 (0h)	0%
0001 (1h)	12.5%
0010 (2h)	25%
0011 (3h)	37.5%
0100 (4h)	50%
0101 (5h)	62.5%
0110 (6h)	75%
0111 (7h)	87.5%
1000 (8h)	100%
1001～1111	Reserved

# 9. レジスタ

REG[0618h] PIP1 Window Transparency Key Color Register 0								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP1ウインドウ透過キーカラー緑ビット7~0
7	6	5	4	3	2	1	0	PIP1ウインドウ透過キーカラー青ビット7~0

REG[061Ch] PIP1 Window Transparency Key Color Register 1								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	PIP1ウインドウ透過キーカラー赤ビット7~0

REG[061Ch] bits 7-0  
REG[0618h] bits 15-8  
REG[0618h] bits 7-0

PIP1 ウインドウ透過キーカラー赤ビット[7:0]  
PIP1 ウインドウ透過キーカラー緑ビット[7:0]  
PIP1 ウインドウ透過キーカラー青ビット[7:0]  
これらのビットは、PIP1ウインドウピクセルデータと比較したPIP1透過キーカラーをRGB 8:8:8フォーマットで指定します。RGB 5:6:5フォーマットの場合は、最下位ビットを次のように書き込んでください。

表9.64 RGB 5:6:5-RGB 8:8:8変換

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2

**REG[0620h] PIP2 Window Transparency Key Color Register 0**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
PIP2ウインドウ透過キーカラー緑ビット7~0							
15	14	13	12	11	10	9	8
PIP2ウインドウ透過キーカラー青ビット7~0							
7	6	5	4	3	2	1	0

**REG[0624h] PIP2 Window Transparency Key Color Register 1**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP2ウインドウ透過キーカラー赤ビット7~0							
7	6	5	4	3	2	1	0

REG[0624h] bits 7-0  
 REG[0620h] bits 15-8  
 REG[0620h] bits 7-0

PIP2ウインドウ透過キーカラー赤ビット[7:0]

PIP2ウインドウ透過キーカラー緑ビット[7:0]

PIP2ウインドウ透過キーカラー青ビット[7:0]

これらのビットは、PIP2ウインドウピクセルデータと比較したPIP2透過キーカラーをRGB 8:8:8フォーマットで指定します。RGB 5:6:5フォーマットの場合は、最下位ビットを次のように書き込んでください。

**表9.65 RGB 5:6:5からRGB 8:8:8への変換**

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2

9. レジスタ

REG[0628h] Alpha Blend 1 Key Color Register 0								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	アルファブレンド1キーカラー緑ビット7~0
7	6	5	4	3	2	1	0	アルファブレンド1キーカラー青ビット7~0

REG[062Ch] Alpha Blend 1 Key Color Register 1								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	アルファブレンド1キーカラー赤ビット7~0

REG[062Ch] bits 7-0      アルファブレンド1キーカラー赤ビット[7:0]  
REG[0628h] bits 15-8    アルファブレンド1キーカラー緑ビット[7:0]  
REG[0628h] bits 7-0    アルファブレンド1キーカラー青ビット[7:0]  
これらのビットは、アルファブレンド1キーカラーがイネーブルされたとき  
(REG[0608h]ビット8=1) だけ有効です。

メイン／PIP1/PIP2ウインドウを使用するLCD1、LCD2およびTV-Outの表示出力ポートモードでは (REG[0604h]ビット15~12=0001、0010および0100) 、アルファブレンド1キーカラーが、メインウインドウピクセルデータと比較されます。

TV-OutがPIP1/PIP2ウインドウを使用するLCD1+TV-Outの表示出力ポートモードでは (REG[0604h]ビット15~12=1011) 、アルファブレンド1キーカラーが、PIP1ウインドウピクセルデータと比較されます。

RGB 5:6:5フォーマットの場合は、最下位ビットを次のように書き込んでください。

表9.66 RGB 5:6:5からRGB 8:8:8への変換

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2

**REG[0630h] Alpha Blend 2 Key Color Register 0**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
アルファブレンド2キーカラー緑ビット7~0							
15	14	13	12	11	10	9	8
アルファブレンド2キーカラー青ビット7~0							
7	6	5	4	3	2	1	0

**REG[0634h] Alpha Blend 2 Key Color Register 1**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
アルファブレンド2キーカラー赤ビット7~0							
7	6	5	4	3	2	1	0

REG[0634h] bits 7-0  
 REG[0630h] bits 15-8  
 REG[0630h] bits 7-0

アルファブレンド2キーカラー赤ビット[7:0]  
 アルファブレンド2キーカラー緑ビット[7:0]  
 アルファブレンド2キーカラー青ビット[7:0]  
 これらのビットは、アルファブレンド2キーカラーがイネーブルされたとき  
 (REG[0608h]ビット9=1) だけ有効です。

メイン/PIP1/PIP2ウインドウを使用するLCD1、LCD2およびTV-Outの表示出力  
 ポートモードでは (REG[0604h]ビット15~12=0001、0010および0100)、アル  
 ファブレンド2キーカラーは、メインウインドウピクセルデータと比較されま  
 す。

TV-OutがPIP1/PIP2ウインドウを使用するLCD1+TV-Outの表示出力ポートモ  
 ードでは (REG[0604h]ビット15~12=1011)、アルファブレンド2キーカラーが、  
 PIP1ウインドウピクセルデータと比較されます。

RGB 5:6:5フォーマットの場合は、最下位ビットを次のように書き込んでくださ  
 い。

**表9.67 RGB 5:6:5からRGB 8:8:8への変換**

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2

## 9. レジスタ

REG[0638h] Alpha Blend 3 Key Color Register 0								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	アルファブレンド3キーカラー緑ビット7~0
7	6	5	4	3	2	1	0	アルファブレンド3キーカラー青ビット7~0

REG[063Ch] Alpha Blend 3 Key Color Register 1								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	アルファブレンド3キーカラー赤ビット7~0

REG[063Ch] bits 7-0  
 REG[0638h] bits 15-8  
 REG[0638h] bits 7-0

アルファブレンド3キーカラー赤ビット[7:0]  
 アルファブレンド3キーカラー緑ビット[7:0]  
 アルファブレンド3キーカラー青ビット[7:0]  
 これらのビットは、アルファブレンド3キーカラーがイネーブルされたとき  
 (REG[0608h]ビット10=1) だけ有効です。

メイン/PIP1/PIP2ウインドウを使用するLCD1、LCD2およびTV-Outの表示出力  
 ポートモードでは (REG[0604h]ビット15~12=0001、0010および0100) 、アル  
 ファブレンド3キーカラーは、メインウインドウピクセルデータと比較されま  
 す。

TV-OutがPIP1/PIP2ウインドウを使用するLCD1+TV-Outの表示出力ポートモ  
 ードでは (REG[0604h]ビット15~12=1011) 、アルファブレンド3キーカラーが、  
 PIP1ウインドウピクセルデータと比較されます。

RGB 5:6:5フォーマットでは、最下位ビットを次のように書き込んでください。

**表9.68 RGB 5:6:5からRGB 8:8:8への変換**

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2



**REG[0640h] Alpha Blend 4 Key Color Register 0**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
アルファブレンド4キーカラー緑ビット7~0							
15	14	13	12	11	10	9	8
アルファブレンド4キーカラー青ビット7~0							
7	6	5	4	3	2	1	0

**REG[0644h] Alpha Blend 4 Key Color Register 1**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
アルファブレンド4キーカラー赤ビット7~0							
7	6	5	4	3	2	1	0

REG[0644h] bits 7-0  
 REG[0640h] bits 15-8  
 REG[0640h] bits 7-0

アルファブレンド4キーカラー赤ビット[7:0]

アルファブレンド4キーカラー緑ビット[7:0]

アルファブレンド4キーカラー青ビット[7:0]

これらのビットは、アルファブレンド4キーカラーがイネーブルされたとき  
 (REG[0608h]ビット11=1) だけ有効です。

メイン/PIP1/PIP2ウインドウを使用するLCD1、LCD2およびTV-Outの表示出力  
 ポートモードでは (REG[0604h]ビット15~12=0001、0010および0100)、アル  
 ファブレンド4キーカラーは、メインウインドウピクセルデータと比較されま  
 す。

TV-OutがPIP1/PIP2ウインドウを使用するLCD1+TV-Outの表示出力ポートモ  
 ードでは (REG[0604h]ビット15~12=1011)、アルファブレンド4キーカラーが、  
 PIP1ウインドウピクセルデータと比較されます。

RGB 5:6:5フォーマットでは、最下位ビットを次のように書き込んでください。

**表9.69 RGB 5:6:5からRGB 8:8:8への変換**

RGB 5:6:5						→	RGB 8:8:8							
R4	R3	R2	R1	R0		→	R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		→	B4	B3	B2	B1	B0	B4	B3	B2

## 9. レジスタ

REG[0648h] Pseudo Color Setting Register								Read/Write
Default = 0000_0020h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	n/a	疑似RGB出力カラーフォーマットビット 1~0		n/a	疑似カラー出力モードビット2~0ビット			
7	6	5	4	3	2	1	0	

bits 5-4

疑似RGB出力カラーフォーマットビット[1:0]

有効な疑似カラー出力モードが選択されたとき（REG[0648h]ビット2~0を参照）、これらのビットは、LCDパネルインタフェースに出力するRGBフォーマットを選択します。これらのビットは、パネルのデータ幅に従って設定してください（すなわち、18ビットパネルはRGB 6:6:6を使用します）。

表9.70 疑似出力カラーフォーマット

REG[0648h]ビット5~4	疑似出力カラーフォーマット
00	RGB 4:4:4
01	RGB 5:6:5
10	RGB 6:6:6
11	Reserved

bits 2-0

疑似カラー出力モードビット[2:0]

これらのビットは、LCDインタフェースに出力するために内部RGB 8:8:8画像データをRGB 4:4:4、RGB 5:6:5またはRGB 6:6:6データに変換する方法を選択します。この機能は、24ビット未満のデータ幅のパネルを対象に設計されています。出力カラーフォーマットは、疑似RGB出力カラーフォーマットビットREG[0648h]ビット5~4を使って選択されます。

次の方法を使用することができます。

表9.71 疑似モード選択

REG[0648h]ビット2~0	疑似カラー出力モード
000	ディセーブル（そのまま出力）
001	2×2マトリックスディザイネーブル
010（注）	FRMイネーブル
100（注）	誤差拡散法イネーブル
101~111	Reserved

### 注

これらの設定は、パラレル／シリアルLCDインタフェースやパラレルTV-Outインタフェースを使用するディスプレイには無効です。

REG[064Ch] LUT Address Counter Register (AID)								Read/Write
Default = 0000_0000h: Address auto increment disable								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9		LUTアドレス カウンタビット8
								8
7	6	5	4	3	2	1	0	

bits 8-0

LUTアドレスカウンタビット[8:0]

これらのビットは、256個のRGB値からなるLUT（ルックアップテーブル）に対するアドレス（またはインデックス値）を指定します。

RGB値は、196ページの表9.72「LUTデータ対応表」に示したようなLUTデータポート（REG[0650h]ビット15～0）を使ってLUTに書き込まれます。LUTデータポートへの各RGBデータの書き込みが完了した後、カウンタは1FFhの値までオートインクリメントされます。アドレスカウンタ値が1FFhに達すると、アドレスカウンタは00hにリセットされます。

**注**

LUTは、表示出力ポートが「すべてオフ」（REG[0604h]ビット15～12=0000）で、SID13774が通常動作モード（REG[002Ch]ビット1～0=11）のときだけアクセスすることができます。

## 9. レジスタ

REG[0650h] LUT Data Port Register (AID)								Read/Write
Default = 0000_XXXXh: Address auto increment disable								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	LUTデータポートビット15~8
7	6	5	4	3	2	1	0	LUTデータポートビット7~0

bits 15-0

LUTデータポートビット[15:0]

これらのビットは、LUT RGBデータを設定するためのアクセスポートです。LUTは、表示出力ポートが「すべてオフ」(REG[0604h]ビット15~12=0000)でS1D13774が通常動作モード (REG[002Ch]ビット1~0=11) のときだけアクセスすることができます。LUTデータは、次のように設定してください。

表9.72 LUTデータ対応表

サイクル	LUTアドレス (REG[064Ch]ビット8~0)	REG[0650h]ビット15~8	REG[0650h]ビット7~0
1	000h	緑0	赤0
2	001h	n/a	青0
3	002h	緑1	赤1
4	003h	n/a	青1
...	...	...	...
511	1FEh	緑255	赤255
512	1FFh	n/a	青255

### 注

1. ホストインタフェースがインダイレクトインタフェース用に設定されているときは、インデックスアドレスを設定しなおすことなくLUTデータポートを連続的に読み出すことができます。バースト読み出し中は、各データ読み出し間にREG[0650h]のレジスタインデックスを設定しなおさないでください。REG[0650h]のレジスタインデックスは、必ずLUTアドレスカウンタ (REG[064Ch]) を設定した後で設定してください。
2. ホストインタフェースがI2C用に設定されているときは、LUTデータポートを複数のレジスタアクセスで連続的に読み出すことができます。このレジスタを1回のアクセスで読み出す場合は、データポートを読み出す前にLUTアドレスカウンタ (REG[064Ch]) を設定してください。

## 9.4.15 メインウィンドウ設定レジスタ

REG[0680h] Main Window Control Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
メインウィンドウ ソフトウェア リセット (Write Only) 15	n/a				メインウィンドウ eICモード単位選択 10	Reserved 9	メインウィンドウ eICイネーブル 8
メインウィンドウ 入力フォーマット 選択 7	n/a				メイン2ウィンドウ 垂直ピクセルダブ リングイネーブル 3	メイン2ウィンドウ 水平ピクセルダブ リングイネーブル 2	メイン1ウィンドウ 垂直ピクセルダブ リングイネーブル 1
	6	5	4				0

bit 15

メインウィンドウソフトウェアリセット（書き込み専用）

このビットは、メインウィンドウモジュールのソフトウェアリセットを行います。メインウィンドウソフトウェアリセットは、他のLCDC機能に影響を及ぼしません。

このビットに0を書き込んでもハードウェアには影響がありません。

このビットに1を書き込むと、メインウィンドウモジュールのソフトウェアリセットが行われます。

## 注

メインウィンドウソフトウェアリセットを行った後、そのときアクティブな表示出力ポート（REG[0604h]ビット15～12を参照）に合わせて、TV-Outインタフェースレジスタ更新（REG[0600h]ビット15）かLCDインタフェースレジスタ更新（REG[0600h]ビット14）をトリガしてください。

bit 10

メインウィンドウeICモード単位選択

このビットは、メインウィンドウのメモリデータを処理するために使用するeICモード単位を選択します。

このビットが0のときは、ラインeICモードが選択されます。

このビットが1のときは、部分eICモードが選択されます。

## 注

このビットの設定は、メイン1ウィンドウとメイン2ウィンドウの両方に反映されます。eICモード単位をメイン1ウィンドウとメイン2ウィンドウ用に別々に設定することはできません。

bit 9

Reserved

このビットのデフォルト値は0です。

bit 8

メインウィンドウeICイネーブル

このビットは、メインウィンドウのeIC機能を制御します。

このビットが0のとき、eICはディセーブル（バイパス）されます。

このビットが1のとき、eICはイネーブルされます。

## 注

このビットの設定は、メイン1ウィンドウとメイン2ウィンドウの両方に反映されます。eICイネーブルをメイン1ウィンドウとメイン2ウィンドウ用に別々に設定することはできません。

## 9. レジスタ

- bit 7      メインウインドウ入力フォーマット選択  
このビットは、メインウインドウの入力フォーマットを選択します。  
このビットが0のときは、RGB 5:6:5フォーマットが選択されます。  
このビットが1のときは、RGB 8:8:8フォーマットが選択されます。
- 注**  
このビットの設定は、メイン1ウインドウとメイン2ウインドウの両方に反映されます。メインウインドウ入力フォーマットをメイン1ウインドウとメイン2ウインドウ用に別々に設定することはできません。
- bit 3      メイン2ウインドウ垂直ピクセルダブリングイネーブル  
このビットは、メイン2ウインドウの垂直方向の寸法（高さ）のピクセルダブリング機能を制御します。  
このビットが0のときは、ハードウェアに影響はありません。  
このビットが1のときは、垂直方向の寸法（高さ）のピクセルダブリング機能がイネーブルされます。
- bit 2      メイン2ウインドウ水平ピクセルダブリングイネーブル  
このビットは、メイン2ウインドウの水平方向の寸法（幅）のピクセルダブリング機能を制御します。  
このビットが0のときは、ハードウェアに影響はありません。  
このビットが1のときは、水平方向の寸法（幅）のピクセルダブリング機能がイネーブルされます。
- bit 1      メイン1ウインドウ垂直ピクセルダブリングイネーブル  
このビットは、メイン1ウインドウの垂直方向の寸法（高さ）のピクセルダブリング機能を制御します。  
このビットが0のときは、ハードウェアに影響はありません。  
このビットが1のときは、垂直方向の寸法（高さ）のピクセルダブリング機能がイネーブルされます。
- bit 0      メイン1ウインドウ水平ピクセルダブリングイネーブル  
このビットは、メイン1ウインドウの水平方向の寸法（幅）のピクセルダブリング機能を制御します。  
このビットが0のときは、ハードウェアに影響はありません。  
このビットが1のときは、水平方向の寸法（幅）のピクセルダブリング機能がイネーブルされます。

REG[0684h] Main1 Memory Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	n/a	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0	

- bits 12-0      メイン1メモリ開始アドレスビット[12:0]  
これらのビットは、メイン1ウインドウのメモリ開始アドレスを、256バイトを1単位として決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。  
REG[0684h]ビット12~0＝メイン1メモリ開始アドレス（バイト）÷256

REG[0688h] Main1 Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
n/a	メイン1メモリラインアドレスオフセットビット6~0							
7	6	5	4	3	2	1	0	

bits6-0

メイン1メモリラインアドレスオフセットビット[6:0]

これらのビットは、メイン1ウインドウのメモリラインアドレスオフセットをバイト単位で決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0688h]ビット6~0 = メイン1メモリラインアドレスオフセット  
(バイト) ÷ 32

**注**

これらのビットは、ラインアドレスオフセットが64バイト単位になるように設定してください（ビット0=0）。

REG[068Ch] Main1 Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
メイン1メモリ垂直サイズビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

メイン1メモリ垂直サイズビット[7:0]

これらのビットは、メイン1ウインドウのメモリ領域垂直サイズを、4ラインを1単位として決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[068Ch]ビット7~0 = メイン1メモリ垂直サイズ（ライン） ÷ 4 - 1

**注**

メモリ領域垂直サイズは、最低4ライン（REG[068Ch]=0000h）から最高1024ライン（REG[068Ch]=00FFh）の範囲です。

## 9. レジスタ

REG[0690h] Main1 Image Horizontal Size Resigser								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン1画像水平サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	メイン1画像水平サイズビット7～0

bits 9-0

メイン1画像水平サイズビット[9:0]

これらのビットは、ピクセルダブリング機能を適用する前のメイン1ウインドウ画像の水平サイズをピクセルで決定します（REG[0680h]ビット0を参照）。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0690h]ビット9～0＝メイン1画像水平サイズ（ピクセル）－1

### 注

メイン1画像水平サイズは、最低16ピクセル（REG[0690h]=000Fh）から最高1024ピクセル（REG[0690h]=03FFh）の範囲です。

REG[0694h] Main1 Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン1画像垂直サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	メイン1画像垂直サイズビット7～0

bits 9-0

メイン1画像垂直サイズビット[9:0]

これらのビットは、ピクセルダブリング機能が適用される前のメイン1ウインドウ画像の垂直サイズをラインで決定します（REG[0680h]ビット1を参照）。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0694h]ビット9～0＝メイン1画像垂直サイズ（ライン）－1

### 注

メイン1画像垂直サイズは、最低1ライン（REG[0694h]=0000h）から最高1024ライン（REG[0694h]=03FFh）の範囲です。



REG[0698h] Main1 Image X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン1画像X開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	メイン1画像X開始位置ビット7～0

bits 9-0

メイン1画像X開始位置ビット[9:0]

これらのビットは、メイン1ウインドウ画像のX開始位置をピクセルで決定します。メイン1画像X開始位置は、定義された画像領域の左側（位置0）から始まる画像のX方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0698h]ビット9～0＝メイン1画像X開始位置（ピクセル）

**注**

メイン1画像X開始位置は、最低0ピクセル（REG[0698h]=0000h）から最高1023ピクセル（REG[0698h]=03FFh）の範囲です。

REG[069Ch] Main1 Image Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン1画像Y開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	メイン1画像Y開始位置ビット7～0

bits 9-0

メイン1画像Y開始位置ビット[9:0]

これらのビットは、メイン1ウインドウ画像のY開始位置をラインで決定します。メイン1画像Y開始位置は、定義された画像領域の最上部（位置0）から始まる画像のY方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[069Ch]ビット9～0＝メイン1画像Y開始位置（ライン）

**注**

メイン1画像Y開始位置は、最低0ライン（REG[069Ch]=0000h）から最高1023ライン（REG[069Ch]=03FFh）の範囲です。

## 9. レジスタ

REG[06A0h] Main1 Window X Start Position Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a						メイン1ウインドウX開始位置ビット9~8	
15	14	13	12	11	10	9	8
メイン1ウインドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

メイン1ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン1ウインドウのX開始位置をピクセルで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

### 注

アクティブ表示出力ポートを、LCD2（REG[0604h]ビット15~12=0010）またはパラレルTV-Out（REG[0604h]ビット15~12=0100または1011、およびREG[0200h]ビット10=10）用に設定したときは、メイン1ウインドウX, Y開始位置を1~10, 0に設定しないでください。例えば、位置5, 0は設定できません。

REG[06A4h] Main1 Window Y Start Position Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a						メイン1ウインドウY開始位置ビット9~8	
15	14	13	12	11	10	9	8
メイン1ウインドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

メイン1ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン1ウインドウのY開始位置をラインで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

### 注

アクティブ表示出力ポートを、LCD2（REG[0604h]ビット15~12=0010）またはパラレルTV-Out（REG[0604h]ビット15~12=0100または1011、およびREG[0200h]ビット10=10）に設定したときは、メイン1ウインドウX, Y開始位置を1~10, 0に設定しないでください。例えば、位置5, 0は設定できません。

REG[06A8h] Main2 Memory Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	メイン2メモリ開始アドレスビット12~8
7	6	5	4	3	2	1	0	メイン2メモリ開始アドレスビット7~0

bits 12-0

メイン2メモリ開始アドレスビット[12:0]

これらのビットは、メイン2ウインドウのメモリ開始アドレスを、256バイトを1単位として決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06A8h]ビット12~0＝メイン2メモリ開始アドレス（バイト）÷256

REG[06ACh] Main2 Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
				n/a				
31	30	29	28	27	26	25	24	
				n/a				
23	22	21	20	19	18	17	16	
				n/a				
15	14	13	12	11	10	9	8	
n/a	メイン2メモリラインアドレスオフセットビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

メイン2メモリラインアドレスオフセットビット[6:0]

これらのビットは、メイン2ウインドウのメモリラインアドレスオフセットをバイトで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06ACh]ビット6~0＝メイン2メモリラインアドレス（バイト）÷32

**注**

これらのビットは、ラインアドレスオフセットが64バイト単位になるように設定してください（ビット0＝0）。

9. レジスタ

REG[06B0h] Main2 Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	メイン2メモリ垂直サイズビット7~0

bits 7-0                   メイン2メモリ垂直サイズビット[7:0]  
これらのビットは、メイン2ウインドウのメモリ領域垂直サイズを、4ラインを1単位として決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。  
REG[06B0h]ビット7~0＝メイン2メモリ垂直サイズ（ライン）÷4－1

**注**  
メモリ領域垂直サイズは、最低4ライン（REG[06B0h]=0000h）から最高1024ライン（REG[06B0h]=00FFh）の範囲です。

REG[06B4h] Main2 Image Horizontal Size Resigser								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン2画像水平サイズビット9～8		
						9	8	
メイン2画像水平サイズビット7～0								
7	6	5	4	3	2	1	0	

bits 9-0

メイン2画像水平サイズビット[9:0]

これらのビットは、ピクセルダブリング機能を適用する前のメイン2ウインドウ画像の水平サイズを決定します（REG[0680h]ビット2を参照）。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06B4h]ビット9～0＝メイン2画像水平サイズ（ピクセル）－1

**注**

メイン2画像水平サイズは、最低16ピクセル（REG[06B4h]=000Fh）から最高1024ピクセル（REG[06B4h]=03FFh）の範囲です。

REG[06B8h] Main2 Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	メイン2画像垂直サイズビット9～8		
						9	8	
メイン2画像垂直サイズビット7～0								
7	6	5	4	3	2	1	0	

bits 9-0

メイン2画像垂直サイズビット[9:0]

これらのビットは、ピクセルダブリング機能を適用する前のメイン2ウインドウ画像の垂直サイズをラインで決定します（REG[0680h]ビット3を参照）。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06B8h]ビット9～0＝メイン2画像垂直サイズ（ライン）－1

**注**

メイン2画像垂直サイズは、最低1ライン（REG[06B8h]=0000h）から最高1024ライン（REG[06B8h]=03FFh）の範囲です。

## 9. レジスタ

REG[06BCh] Main2 Image X Start Position Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a						メイン2画像X開始位置ビット9～8	
15	14	13	12	11	10	9	8
メイン2画像X開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 9-0

メイン2画像X開始位置ビット[9:0]

これらのビットは、メイン2ウインドウ画像のX開始位置をピクセルで決定します。メイン2画像X開始位置は、定義された画像領域の左端（位置0）から始まる画像のX方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06BCh]ビット9～0＝メイン2画像X開始位置（ピクセル）

### 注

メイン2画像X開始位置は、最低0ピクセル（REG[06BCh]=0000h）から最高1023ピクセル（REG[06BCh]=03FFh）の範囲です。

REG[06C0h] Main2 Image Y Start Position Register							
Default = 0000_0000h							
Read/Write							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a						メイン2画像Y開始位置ビット9～8	
15	14	13	12	11	10	9	8
メイン2画像Y開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 9-0

メイン2画像Y開始位置ビット[9:0]

これらのビットは、メイン2ウインドウ画像のY開始位置をラインで決定します。メイン2画像Y開始位置は、定義された画像領域の最上部（位置0）から始まる画像のY方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[06C0h]ビット9～0＝メイン2画像Y開始位置（ライン）

### 注

メイン2画像Y開始位置は、最低0ライン（REG[06C0h]=0000h）から最高1023ライン（REG[06C0h]=03FFh）の範囲です。

REG[06C4h] Main2 Window X Start Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
メイン2ウインドウX開始位置ビット9~8							
n/a							
メイン2ウインドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

メイン2ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン2ウインドウのX開始位置をピクセルで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

**注**

アクティブ表示出力ポートを、LCD2（REG[0604h]ビット15～12＝0010）またはパラレルTV-Out（REG[0604h]ビット15～12＝0100または1011、およびREG[0200h]ビット10＝10）用に設定したときは、メイン2ウインドウX、Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0には設定できません。

REG[06C8h] Main2 Window Y Start Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
メイン2ウインドウY開始位置ビット9~8							
n/a							
メイン2ウインドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

メイン2ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン2ウインドウのY開始位置をラインで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

**注**

1. メイン1ウインドウとメイン2ウインドウは重ならないよう、次の式が成り立たなければなりません。  
メイン1ウインドウY終了位置 < メイン2ウインドウY開始位置
2. アクティブ表示出力ポートを、LCD2（REG[0604h]ビット15～12＝0010）またはパラレルTV-Out（REG[0604h]ビット15～12＝0100、または1011およびREG[0200h]ビット1～0＝10）に設定したときは、メイン2ウインドウX、Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0には設定できません。

## 9. レジスタ

### 9.4.16 PIP1ウインドウ設定レジスタ

REG[0700h] PIP1 Control Register							
Default = 0000_0000h							Read/Write
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
PIP1ソフトウェアリセット (Write Only)	PIP1 YUVデータ タイプ選択	n/a		PIP1 eICモード単位選択	n/a	Reserved	PIP1 eICイネーブル
15	14	13	12	11	10	9	8
PIP1入力フォーマット選択ビット1~0		PIP1ダブル バッファ状態 (Read Only)	PIP1バッファ変更 トリガ選択	PIP1ダブル バッファモード イネーブル	n/a		
7	6	5	4	3	2	1	0

bit 15 PIP1ソフトウェアリセット（書き込み専用）  
このビットは、PIP1ウインドウモジュールのソフトウェアリセットを行います。  
PIP1ソフトウェアリセットは、他のLCDC機能には無効です。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、PIP1ウインドウモジュールのソフトウェアリセットが行われます。

#### 注

PIP1ソフトウェアリセットを行った後で、現在のアクティブ表示出力ポートに合わせてTV-Outインタフェースレジスタ更新（REG[0600h]ビット15）またはLCDインタフェースレジスタ更新（REG[0600h]ビット14）をトリガしてください（REG[0604h]ビット15~12を参照）。

bit 14 PIP1 YUVデータタイプ選択  
これらのビットは、YUVデータだけに使用されます（REG[0700h]ビット7~6=10または11）。  
このビットは、メモリ内のYUVデータタイプを選択します。

表9.73 PIP1ウインドウYUVデータタイプ選択

REG[0700h]ビット14	データモード	入力データ範囲
0（デフォルト）	YUVオフセット	$0 \leq Y \leq 255$
		$0 \leq U \leq 255$
		$0 \leq V \leq 255$
1	YCbCrオフセット	$16 \leq Y \leq 235$
		$16 \leq U \leq 240$
		$16 \leq V \leq 240$

bit 11 PIP1 eICモード単位選択  
このビットは、PIP1ウインドウのメモリデータを処理するために使用されるeICモード単位を選択します。  
このビットが0のときは、ラインeICモードが選択されます。  
このビットが1のときは、部分eICモードが選択されます。

bit 9 Reserved  
このビットのデフォルト値は0です。



- bit 8 PIP1 eICイネーブル  
このビットは、PIP1 ウィンドウのeIC機能を制御します。  
このビットが0のとき、eICはディセーブル（バイパス）されます。  
このビットが1のとき、eICはイネーブルされます。
- bits 7-6 PIP1入力フォーマット選択ビット[1:0]  
これらのビットは、PIP1 ウィンドウの入力フォーマットを選択します。

表9.74 PIP1入力フォーマット選択

REG[0700h]ビット7～6	PIP1入力フォーマット
00	RGB 5:6:5
01	RGB 8:8:8
10	YUV 4:2:2
11	YUV 4:2:0

- bit 5 PIP1ダブルバッファ状態（読み出し専用）  
PIP1ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、  
このビットは、表示されているバッファを示します。  
このビットが0のときは、バッファ Aが表示されています。  
このビットが1のときは、バッファ Bが表示されています。
- bit 4 PIP1バッファ変更トリガ選択  
PIP1ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、  
このビットは、読み出しバッファを変更するトリガとして使用する書き込みパスを選択します。  
このビットが0のとき、読み出しバッファは、メインメモリ書き込みパスへの1フレームの書き込みが終わったときに変更されます。  
このビットが1のとき、読み出しバッファは、サブメモリ書き込みパスへの1フレームの書き込みが終わったときに変更されます。
- bit 3 PIP1ダブルバッファモードイネーブル  
このビットは、バッファ Aとバッファ Bから交互に読み出すPIP1ウィンドウのダブルバッファモードを制御します。読み出しバッファを変更するために使用されるトリガは、選択した書き込みパス（REG[0700h]ビット4を参照）への1フレームの書き込みが終わったときです。  
このビットが0のとき、PIP1ダブルバッファモードはディセーブルされます。  
このビットが1のとき、PIP1ダブルバッファモードはイネーブルされます。

## 9. レジスタ

REG[0704h] PIP1 Window Scaling Mode Register							
Default = 0000_020Ah							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
PIP1フィルタ スケーリングモード イネーブル 15	n/a		Reserved	Reserved	Reserved	Reserved	Reserved
14	13	12	11	10	9	8	
PIP1エッジ強調 イネーブル 7	PIP1エッジ強調効果ビット2~0			Reserved	Reserved	Reserved	Reserved
6	5	4	3	2	1	0	

bit 15

PIP1フィルタスケーリングモードイネーブル

このビットは、PIP1ウインドウのフィルタスケーリングを制御します。スケーリングの詳細は、294ページの12.3.3「スケーリング」をご覧ください。  
このビットが0のとき、フィルタスケーリングはディセーブルされます（オーバー／ダウンスケーリングサンプリング）。このモードを選択したときは、画像データを8倍まで拡大するか1/8倍まで縮小することができます。  
このビットが1のとき、フィルタスケーリングがイネーブルされます（バイキュービックスケーリング）。このモードを選択したときは、画像データを8倍まで拡大するか1/2倍まで縮小することができます。

### 注

HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択したときは（REG[0200h]ビット1~0=01または11、およびREG[0604h]ビット15~12=0100または1011）、このビットは0に設定してください。

bit 12

Reserved

このビットのデフォルト値は0です。

bit 11

Reserved

このビットのデフォルト値は0です。

bit 10

Reserved

このビットのデフォルト値は0です。

bit 9

Reserved

このビットのデフォルト値は1です。

bit 8

Reserved

このビットのデフォルト値は0です。

bit 7

PIP1エッジ強調イネーブル

このビットは、PIP1ウインドウのエッジ強調効果を制御します。エッジ強調効果の強さは、PIP1エッジ強調効果ビットREG[0704h]ビット6~4によって設定されます。エッジ強調は、水平方向にだけ有効であることに注意してください。  
このビットが0のとき、エッジ強調効果はディセーブルされます。  
このビットが1のとき、エッジ強調効果はイネーブルされます。

### 注

このビットは、PIP1フィルタスケーリングモードがイネーブルされたとき（REG[0704h]ビット15=1）のみ有効です。

---

bits 6-4	PIP1エッジ強調効果ビット[2:0] PIP1エッジ強調がイネーブルされたとき（REG[0704h]ビット7=1）、これらのビットは、エッジ強調効果の強さを指定します。001の値は最も弱いエッジ強調を指定し、111の値は最も強いエッジ強調を指定します。000の値は、エッジ強調効果をディセーブルします。
bit 3	Reserved このビットのデフォルト値は1です。
bit 2	Reserved このビットのデフォルト値は0です。
bit 1	Reserved このビットのデフォルト値は1です。
bit 0	Reserved このビットのデフォルト値は0です。

## 9. レジスタ

REG[0708h] PIP1 Window Horizontal Scale Register								Read/Write
Default = 0000_0400h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
Reserved			PIP1ウインドウ水平倍率ビット12~8					
15	14	13	12	11	10	9	8	
PIP1ウインドウ水平倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-13

Reserved

これらのビットのデフォルト値は000です。

bits 12-0

PIP1 ウインドウ水平倍率ビット[12:0]

これらのビットは、スケーラの水平倍率を決定します。この値は、次の式が成り立つように設定してください。

$$\text{REG}[0708\text{h}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右側に格納されます。

スケーリングモードがZOOM（拡大）の場合、REG[0708h]ビット12~10はゼロでなければなりません。

スケーリングモードがSHRINK（縮小）の場合、REG[0708h]ビット12~10はゼロ以外でなければなりません。

例：倍率が3.51（拡大）の場合、REG[0708h]ビット12~0は次のように設定してください。

$$\begin{aligned}\text{REG}[0708\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{（端数は切り捨て）} \\ &= 123\text{h}\end{aligned}$$

### 注

1. PIP1水平倍率をZOOM（すなわち拡大）に設定したときは、PIP1垂直倍率もZOOM（すなわち拡大）に設定してください。PIP1水平倍率をSHRINK（すなわち縮小）に設定したときは、PIP1垂直倍率もSHRINK（すなわち縮小）に設定してください。
2. フィルタスケーリングがイネーブルされていないときは（REG[0704h]ビット15=0）、PIP1画像を元のサイズの1/8倍に縮小することができます。フィルタスケーリングがイネーブルされたときは（REG[0704h]ビット15=1）、PIP1画像を元のサイズの1/2倍に縮小することができます。

REG[070Ch] PIP1 Window Vertical Scale Register								Read/Write
Default = 0000_0400h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved PIP1ウインドウ垂直倍率ビット12~8
7	6	5	4	3	2	1	0	PIP1ウインドウ垂直倍率ビット7~0

bits 15-13

Reserved

これらのビットのデフォルト値は000です。

bits 12-0

PIP1 ウインドウ垂直倍率ビット[12:0]

これらのビットは、スケーラの垂直倍率を決定します。以下の式が成り立つように設定してください。

$$\text{REG}[070\text{Ch}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右側に格納されます。スケーリングモードがZOOM（拡大）の場合は、REG[070Ch]ビット12～10がゼロでなければなりません。スケーリングモードがSHRINK（縮小）の場合、REG[070Ch]ビット12～10はゼロ以外でなければなりません。

例：倍率が3.51の場合は（拡大）、REG[070Ch]ビット12～0は以下のように設定してください。

$$\begin{aligned} \text{REG}[070\text{Ch}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{（端数は切り捨て）} \\ &= 123\text{h} \end{aligned}$$

**注**

1. PIP1水平倍率をZOOM（すなわち拡大）に設定したときは、PIP1垂直倍率もZOOM（すなわち拡大）に設定してください。PIP1水平倍率をSHRINK（すなわち縮小）に設定したときは、PIP1垂直倍率もSHRINK（すなわち縮小）に設定してください。
2. フィルタスケーリングがイネーブルされていないときは（REG[0704h]ビット15=0）、PIP1画像を元のサイズの1/8倍に縮小することができます。フィルタスケーリングがイネーブルされたときは（REG[0704h]ビット15=1）、PIP1画像を元のサイズの1/2倍に縮小することができます。

## 9. レジスタ

REG[0710h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0714h] PIP1 Memory Buffer A RGB,Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
PIP1メモリバッファ A RGB, Y開始アドレスビット12~8								
PIP1メモリバッファ A RGB, Y開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

bits 12-0

PIP1メモリバッファ A RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータが記憶されるPIP1ウインドウのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、このアドレスはバッファAのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0700h]ビット3=0）、このアドレスが常に使用されます。

REG[0714h]ビット12~0=開始アドレス（バイト）÷256

REG[0718h] PIP1 Memory Buffer A UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
PIP1メモリバッファ A UV開始アドレスビット12~8								
PIP1メモリバッファ A UV開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

bits 12-0

PIP1メモリバッファ A UV開始アドレスビット[12:0]

これらのビットは、UVデータが記憶されるPIP1ウインドウのメモリ開始アドレスを256バイトを1単位として決定します。RGBデータを選択したときは、これらのビットは使用されません。ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、このアドレスはバッファAのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたときは（REG[0700h]ビット3=0）、このアドレスが常に使用されます。

REG[0718h]ビット12~0=（RGB, Y開始アドレス+ラインアドレス  
オフセット×メモリ垂直サイズ）÷256

REG[071Ch] PIP1 Memory Buffer B RGB,Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP1メモリバッファ B RGB, Y開始アドレスビット12~8
7	6	5	4	3	2	1	0	PIP1メモリバッファ B RGB, Y開始アドレスビット7~0

bits 12-0

PIP1メモリバッファ B RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBまたはYデータが記憶されるPIP1ウインドウのメモリ開始アドレスを、256バイトを1単位として決定します。ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、このアドレスはバッファBのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0700h]ビット3=0）、このアドレスは使用されません。

REG[071Ch]ビット12~0=開始アドレス（バイト）÷256

REG[0720h] PIP1 Memory Buffer B UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP1メモリバッファ B UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	PIP1メモリバッファ B UV開始アドレスビット7~0

bits 12-0

PIP1メモリバッファ B UV開始アドレスビット[12:0]

これらのビットは、UVデータが記憶されるPIP1ウインドウのメモリ開始アドレスを、256バイトを1単位として決定します。RGBデータを選択したとき、これらのビットは使用されません。ダブルバッファモードがイネーブルされたとき（REG[0700h]ビット3=1）、このアドレスは、バッファBのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0700h]ビット3=0）、このアドレスは使用されません。

REG[0720h]ビット12~0=（RGB, Y開始アドレス+ラインアドレス  
オフセット×メモリ垂直サイズ）÷256

## 9. レジスタ

REG[0724h] PIP1 Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved
n/a	7	6	5	4	3	2	1	0

bits 15-9

Reserved

これらのビットのデフォルト値は000\_0000です。

bits 6-0

PIP1メモリラインアドレスオフセットビット[6:0]

これらのビットは、PIP1ウインドウのオフセットメモリアドレスをバイトで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0724h]ビット6~0=ラインアドレスオフセット (バイト) ÷ 32

### 注

これらのビットは、ラインアドレスオフセットが64バイト単位になるように設定してください (ビット0=0)。

REG[0728h] PIP1 Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	PIP1メモリ垂直サイズビット7~0

bits 7-0

PIP1メモリ垂直サイズビット[7:0]

これらのビットは、PIP1ウインドウのメモリ領域垂直サイズを、4ラインを1単位として決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0728h]ビット7~0=メモリ垂直サイズ (ライン) ÷ 4 - 1

### 注

メモリ領域垂直サイズは、最低4ライン (REG[0728h]=0000h) から最高1024ライン (REG[0728h]=00FFh) の範囲です。



REG[072Ch] PIP1 Image Horizontal Size Resigser								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1画像水平サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP1画像水平サイズビット7～0

bits 9-0

## PIP1画像水平サイズビット[9:0]

これらのビットは、スケーリングを適用する（REG[0708h]を参照）前のPIP1画像の水平サイズをピクセルで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[072Ch]ビット9～0＝画像水平サイズ（ピクセル）－1

## 注

1. 画像水平サイズは、最低16ピクセル（REG[072Ch]＝000Fh）から最高864ピクセル（REG[072Ch]＝035Fh）の範囲です。
2. YUV 4:2:2では、画像水平サイズは偶数でなければなりません。

REG[0730h] PIP1 Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1画像垂直サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP1画像垂直サイズビット7～0

bits 9-0

## PIP1画像垂直サイズビット[9:0]

これらのビットは、スケーリングを適用する（REG[070Ch]を参照）前のPIP1画像の垂直サイズをラインで決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0730h]ビット9～0＝画像垂直サイズ（ライン）－1

## 注

画像垂直サイズは、最低1ライン（REG[0730h]＝0000h）から最高1024ライン（REG[0730h]＝03FFh）の範囲です。

## 9. レジスタ

REG[0734h] PIP1 Image X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1画像X開始位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP1画像X開始位置ビット7~0

bits 9-0

PIP1画像X開始位置ビット[9:0]

これらのビットは、PIP1 ウィンドウ画像のX開始位置をピクセルで決定します。画像X開始位置は、定義されたメモリ領域の左端（位置0）から始まる画像のX方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0734h]ビット9~0＝画像X開始位置（ピクセル）

### 注

1. 画像X開始位置は、最低0ピクセル（REG[0734h]=0000h）から最高895ピクセル（REG[0734h]=037Fh）の範囲です。
2. YUV 4:2:2では、画像X開始位置を偶数に設定してください。

REG[0738h] PIP1 Image Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1画像Y開始位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP1画像Y開始位置ビット7~0

bits 9-0

PIP1画像Y開始位置ビット[9:0]

これらのビットは、PIP1 ウィンドウ画像のY開始位置をラインで決定します。画像Y開始位置は、定義されたメモリ領域の最上端（位置0）から始まる画像のY方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0738h]ビット9~0＝画像Y開始位置（ライン）

### 注

画像Y開始位置は、最低0ライン（REG[0738h]=0000h）から最高1023ライン（REG[0738h]=03FFh）の範囲です。

REG[073Ch] PIP1 Window X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1ウインドウX開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP1ウインドウX開始位置ビット7～0

bits 9-0

PIP1 ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1 ウインドウのX開始位置をピクセルで決定します。

**注**

1. PIP1 ウインドウXサイズ (REG[0744h]－REG[073Ch]+1) は、スケーリング後の水平サイズと同じでなければなりません。
2. これらのビットは、次の式が成り立つように設定してください。  
REG[0744h]ビット9～0－REG[073Ch]ビット9～0≥15
3. アクティブな表示出力ポートが、LCD2 (REG[0604h]ビット15～12＝0010) またはパラレルTV-Out (REG[0604h]ビット15～12＝0100、または1011およびREG[0200h]ビット1～0＝10) 用に設定されたときは、PIP1 ウインドウX、Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0は設定できません。

REG[0740h] PIP1 Window Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP1ウインドウY開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP1ウインドウY開始位置ビット7～0

bits 9-0

PIP1 ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1 ウインドウのY開始位置をピクセルで決定します。

**注**

1. PIP1 ウインドウYサイズ (REG[0748h]－REG[0740h]+1) は、スケーリング後の垂直サイズと同じでなければなりません。
2. このレジスタは、次の式が成り立つように設定してください。  
REG[0748h]ビット9～0－REG[0740h]ビット9～0≥4
3. アクティブ表示出力ポートが、LCD2 (REG[0604h]ビット15～12＝0010) またはパラレルTV-Out (REG[0604h]ビット15～12＝0100または1011、およびREG[0200h]ビット1～0＝10) 用に設定されたときは、PIP1 ウインドウX、Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0は設定できません。

## 9. レジスタ

REG[0744h] PIP1 Window X End Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	PIP1ウインドウX終了位置ビット9~8	
						9	8
PIP1ウインドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

PIP1 ウインドウX終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1 ウインドウのX終了位置をピクセルで決定します。

### 注

1. PIP1 ウインドウXサイズ (REG[0744h]－REG[073Ch]+1) は、スケーリング後の水平サイズと同じでなければなりません。
2. これらのビットは、次の式が成り立つように設定してください、  
 $\text{REG[0744h]ビット9～0} - \text{REG[073Ch]ビット9～0} \geq 15$

REG[0748h] PIP1 Window Y End Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	PIP1ウインドウY終了位置ビット9~8	
						9	8
PIP1ウインドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

PIP1 ウインドウY終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1 ウインドウのY終了位置をピクセルで決定します。

### 注

1. PIP1 ウインドウYサイズ (REG[0748h]－REG[0740h]+1) は、スケーリング後の垂直サイズと同じでなければなりません。
2. このレジスタは、次の式が成り立つように設定してください、  
 $\text{REG[0748h]ビット9～0} - \text{REG[0740h]ビット9～0} \geq 4$

REG[074Ch] PIP1 Window Scaler Port Address Counter Control Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
n/a	15	14	13	12	11	10	9	8
n/a				PIP1ポートアドレスカウンタビット6~0 (Read Only)	Reserved			PIP1ポート アドレスカウンタ リセット (Write Only)
7	6	5	4	3	2	1	0	

bits 14-8

PIP1ポートアドレスカウンタビット [6:0] (読み出し専用)

これらのビットは、スケーラフィルタ係数のアドレスを示します。PIP1係数表アクセスポート (REG[0750h]ビット7~0) への書き込みが完了する度に、このカウンタは、最大値3Fhまでオートインクリメントされます。ポートアドレスカウンタ値が3Fhに達したら、手動で00hにリセットしてください。このカウンタは、PIP1係数表アクセスポートを読み出すときはインクリメントされません。

bit 4

PIP1フィルタ係数選択

このビットは、PIP1係数表アクセスポート (REG[0750h]ビット7~0) によってアクセスされるスケーラフィルタ係数 (水平フィルタまたは垂直フィルタ) を選択します。

このビットが0のときは、PIP1スケーラ水平フィルタ係数が選択されます。

このビットが1のときは、PIP1スケーラ垂直フィルタ係数が選択されます。

bit 1

Reserved

このビットのデフォルト値は0です。

bit 0

PIP1ポートアドレスカウンタリセット (書き込み専用)

このビットは、PIP1ポートアドレスカウンタREG[074Ch]ビット14~8をリセットします。

このビットに0を書き込んでもハードウェアには影響がありません。

このビットに1を書き込むと、PIP1ポートアドレスカウンタがリセットされます。

## 9. レジスタ

REG[0750h] PIP1 Scaler Coefficient Table Access Port Register (AID)							
Default = 0000_0000h: Address auto increment disable							
Write Only							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP1係数表アクセスポートビット7~0 (Write Only)							
7	6	5	4	3	2	1	0

bits 7-0

PIP1係数表アクセスポートビット[7:0]（書き込み専用）

これらのビットは、PIP1スケラ水平／垂直フィルタ係数表用のアクセスポートです。PIP1フィルタ係数選択ビットは、水平フィルタ係数表にアクセスするか垂直フィルタ係数表にアクセスするかを選択するために使用されます（REG[074Ch]ビット4を参照）。フィルタ係数は、スケラフィルタ処理を開始する前に設定してください。

スケラ水平フィルタ係数と垂直フィルタ係数は、以下の表に示した値に従って設定してください。縦の列は、水平フィルタと垂直フィルタに別々に設定される倍率によって変化します。

表9.75 PIP1フィルタ水平係数の例（REG[074Ch]ビット4=0）

ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数
00h	00h	10h	00h	20h	00h	30h	00h
01h	FDh	11h	FDh	21h	FDh	31h	FFh
02h	FBh	12h	FBh	22h	FBh	32h	FEh
03h	F8h	13h	F8h	23h	F8h	33h	FCh
04h	F7h	14h	F7h	24h	F7h	34h	FCh
05h	F7h	15h	F7h	25h	F7h	35h	FCh
06h	FAh	16h	FAh	26h	FAh	36h	FDh
07h	00h	17h	00h	27h	00h	37h	00h
08h	08h	18h	08h	28h	08h	38h	05h
09h	13h	19h	13h	29h	13h	39h	0Eh
0Ah	1Dh	1Ah	1Dh	2Ah	1Dh	3Ah	18h
0Bh	28h	1Bh	28h	2Bh	28h	3Bh	24h
0Ch	31h	1Ch	31h	2Ch	31h	3Ch	2Eh
0Dh	39h	1Dh	39h	2Dh	39h	3Dh	37h
0Eh	3Eh	1Eh	3Eh	2Eh	3Eh	3Eh	3Dh
0Fh	40h	1Fh	40h	2Fh	40h	3Fh	40h

表9.76 PIP1フィルタ垂直係数の例（REG[074Ch]ビット4=1）

ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数
00h	08h	10h	08h	20h	設定なし	30h	設定なし
01h	10h	11h	10h	21h		31h	
02h	18h	12h	18h	22h		32h	
03h	20h	13h	20h	23h		33h	
04h	28h	14h	28h	24h		34h	
05h	30h	15h	30h	25h		35h	
06h	38h	16h	38h	26h		36h	
07h	40h	17h	40h	27h		37h	
08h	08h	18h	08h	28h		38h	
09h	10h	19h	10h	29h		39h	
0Ah	18h	1Ah	18h	2Ah		3Ah	
0Bh	20h	1Bh	20h	2Bh		3Bh	
0Ch	28h	1Ch	28h	2Ch		3Ch	
0Dh	30h	1Dh	30h	2Dh		3Dh	
0Eh	38h	1Eh	38h	2Eh		3Eh	
0Fh	40h	1Fh	40h	2Fh		3Fh	

## 9. レジスタ

### 9.4.17 PIP2ウインドウ設定レジスタ

REG[0800h] PIP2 Window Control Register							
Default = 0000_0000h							Read/Write
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
PIP2ソフトウェアリセット (Write Only)	PIP2 YUVデータタイプ選択	n/a		PIP2 eIC単位選択	n/a	Reserved	PIP2 eICイネーブル
15	14	13	12	11	10	9	8
PIP2入力フォーマット選択ビット1~0		PIP2ダブルバッファ状態 (Read Only)	PIP2バッファ変更トリガ選択	PIP2ダブルバッファモードイネーブル	PIP2ワイドスケーリングモード選択ビット2~0		
7	6	5	4	3	2	1	0

bit 15 PIP2ソフトウェアリセット（書き込み専用）  
このビットは、PIP2ウインドウモジュールのソフトウェアリセットを行います。  
PIP2ソフトウェアリセットは、他のLCDC機能には無効です。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、PIP2ウインドウモジュールのソフトウェアリセットが行われます。

#### 注

PIP2ソフトウェアリセットを行った後、そのときのアクティブ表示出力ポート（REG[0604h]ビット15~12を参照）によりTV-Outインタフェースレジスタ更新（REG[0600h]ビット15）かLCDインタフェースレジスタ更新（REG[0600h]ビット14）をトリガしてください。

bit 14 PIP2 YUVデータタイプ選択  
これらのビットは、YUVデータだけに使用されます（REG[0800h]ビット7~6=10または11）。このビットは、メモリ内のYUVデータタイプを選択します。

表9.77 PIP2 YUVデータタイプ選択

REG[0800h]ビット14	データモード	入力データ範囲
0（デフォルト）	YUVオフセット	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
1	YCbCrオフセット	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$

bit 11 PIP2 eIC単位選択  
このビットは、PIP2ウインドウのメモリデータの処理に用いられるeIC単位を選択します。  
このビットが0のとき、ラインeICモードが選択されます。  
このビットが1のとき、部分eICモードが選択されます。

bit 9 Reserved  
このビットのデフォルト値は0です。



bit 8 PIP2 eICイネーブル  
 このビットは、PIP2ウインドウのeIC機能を制御します。  
 このビットが0のとき、eICはディセーブル（バイパス）されます。  
 このビットが1のとき、eICはイネーブルされます。

bits 7-6 PIP2入力フォーマット選択ビット[1:0]  
 これらのビットは、PIP2ウインドウの入力形式を選択します。

表9.78 PIP2入力フォーマットの選択

REG[0800h]ビット7～6	フォーマット
00	RGB 5:6:5
01	RGB 8:8:8
10	YUV 4:2:2
11	YUV 4:2:0

bit 5 PIP2ダブルバッファ状態（読み出し専用）  
 PIP2ダブルバッファモードがイネーブルされたとき（REG[0800h]ビット3=1）、  
 このビットは、どのバッファが表示されているかを示します。  
 このビットが0のときは、バッファ Aが表示されています。  
 このビットが1のときは、バッファ Bが表示されています。

bit 4 PIP2バッファ変更トリガ選択  
 PIP2ダブルバッファモードがイネーブルされたとき（REG[0800h]ビット3=1）、  
 このビットは、読み出しバッファを変更するトリガとして使用する書き込みパスを選択します。  
 このビットが0のときは、読み出しバッファは、メインメモリ書き込みパスへの1フレームの書き込みが完了したときに変更されます。  
 このビットが1のときは、読み出しバッファは、サブメモリ書き込みパスへの1フレームの書き込みが完了したときに変更されます。

bit 3 PIP2ダブルバッファモードイネーブル  
 このビットは、バッファ Aとバッファ Bから交互に読み出すPIP2ウインドウのダブルバッファモードを制御します。読み出しバッファの変更に使用されたトリガは、選択された書き込みパス（REG[0800h]ビット4を参照）への1フレームの書き込みが完了したときに存在します。  
 このビットが0のとき、PIP2ダブルバッファモードはディセーブルされます。  
 このビットが1のとき、PIP2ダブルバッファモードはイネーブルされます。

## 9. レジスタ

bits 2-0

PIP2ワイドスケーリングモード選択ビット[2:0]

これらのビットは、PIP2ウインドウのワイドスケーリングモード（またはパノラマモード）を選択します。使用できる設定は以下の表のとおりです。ワイドスケーリングモードの詳細は、317ページの12.6「PIP2パノラマスケーリング」をご覧ください。

表9.79 PIP2ワイドスケーリングモードの選択

REG[0804h]ビット15	REG[0800h]ビット2~0	スケーリングモード		ノン インター レース	インター レース (注1)
0	000	非フィルタ モード	通常スケーリング	Yes	Yes
	001		垂直部分パノラマ	No	No
	010		垂直線形パノラマ	No	No
	011		水平部分パノラマ	Yes (注2)	Yes (注2)
	100		水平線形パノラマ	Yes (注2)	Yes (注2)
	101~111		Reserved	—	—
1	000	フィルタ モード	通常スケーリング	Yes	No
	001		垂直部分パノラマ	Yes	No
	010		垂直線形パノラマ	Yes	No
	011		水平部分パノラマ	Yes	No
	100		水平線形パノラマ	Yes	No
	101 - 111		Reserved	—	—

### 注

1. HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択すると（REG[0200h]ビット1~0=01または11、およびREG[0604h]ビット15~12=0100または1011）、画像データはインタレースモードで出力されます。
2. 水平部分および線形パノラマでは、PIP2ウインドウ水平倍率ビットを400h以下に設定してください。  
REG[0808h] ≤ 400h

REG[0804h] PIP2 Window Scaling Mode Register								Read/Write
Default = 0000_020Ah								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
PIP2フィルタ スケーリングモード イネーブル 15	n/a		Reserved				Reserved	
14	13	12	11	10	9	8		
PIP2エッジ強調 イネーブル 7	PIP2エッジ強調効果ビット2~0			Reserved				
6	5	4	3	2	1	0		

bit 15 PIP2フィルタスケーリングモードイネーブル  
このビットは、PIP2ウインドウのフィルタスケーリングを制御します。スケーリングの詳細は、294ページの12.3.3「スケーリング」をご覧ください。  
このビットが0のとき、フィルタスケーリングはディセーブルされます（オーバー／ダウンサンプルスケーリング）。このモードを選択したときは、画像データを8倍まで拡大するか1/8倍まで縮小することができます。  
このビットが1のとき、フィルタスケーリングがイネーブルされます（バイキュービックスケーリング）。このモードを選択したときは、画像データを8倍まで拡大するか1/2倍まで縮小することができます。

**注**

HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択したときは（REG[0200h]ビット1~0=01または11、およびREG[0604h]ビット15~12=0100または1011）、このビットを0に設定してください。

bits 12-9 Reserved  
これらのビットのデフォルト値は0000です。

bit 8 Reserved  
このビットのデフォルト値は0です。

bit 7 PIP2エッジ強調イネーブル  
このビットは、PIP2ウインドウのエッジ強調効果を制御します。エッジ強調効果の強さは、PIP2エッジ強調効果ビットREG[0804h]ビット6~4で設定されます。エッジ強調は水平方向にのみ働くことに注意してください。  
このビットが0のときは、エッジ強調効果がディセーブルされます。  
このビットが1のときは、エッジ強調効果がイネーブルされます。

**注**

このビットは、PIP2フィルタスケーリングモードがイネーブルされたとき（REG[0804h]ビット15=1）のみ有効です。

bits 6-4 PIP2エッジ強調効果ビット[2:0]  
PIP2エッジ強調がイネーブルされたとき（REG[0804h]ビット7=1）、これらのビットはエッジ強調効果の強さを指定します。値001は最も弱いエッジ強調を指定し、値111は最も強いエッジ強調を指定します。値000はエッジ強調効果をディセーブルします。

bits 3-0 Reserved  
これらのビットのデフォルト値は1010です。

## 9. レジスタ

REG[0808h] PIP2 Window Horizontal Scale Register								Read/Write
Default = 0000_0400h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
Reserved			PIP2ウインドウ水平倍率ビット12~8					
15	14	13	12	11	10	9	8	
PIP2ウインドウ水平倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-13

Reserved

これらのビットのデフォルト値は000です。

bits 12-0

PIP2ウインドウ水平倍率ビット[12:0]

これらのビットは、スケーラの水平倍率を決定します。以下の式に基づいて設定してください。

$$\text{REG}[0808\text{h}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右側に格納されます。スケーリングモードがZOOM（拡大）の場合、REG[0808h]ビット12~10はゼロでなければなりません。スケーリングモードがSHRINK（縮小）の場合、REG[0808h]ビット12~10はゼロ以外でなければなりません。

例：倍率3.51の場合は（拡大）、REG[0808h]ビット12~0を次のように設定してください。

$$\begin{aligned}\text{REG}[0808\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{（端数は切り捨て）} \\ &= 123\text{h}\end{aligned}$$

### 注

1. PIP2水平倍率をZOOM（拡大）に設定したときは、PIP2垂直倍率もZOOM（拡大）に設定してください。PIP2水平倍率をSHRINK（縮小）に設定したときは、PIP2垂直倍率もSHRINK（縮小）に設定してください。
2. フィルタスケーリングがイネーブルされていないときは（REG[0804h]ビット15=0）、PIP2画像を元のサイズの1/8倍まで縮小することができます。フィルタスケーリングがイネーブルされたときは（REG[0804h]ビット15=1）、PIP2画像を元のサイズの1/2倍まで縮小することができます。

REG[080Ch] PIP2 Window Vertical Scale Register								Read/Write
Default = 0000_0400h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
Reserved			PIP2ウインドウ垂直倍率ビット12~8					
15	14	13	12	11	10	9	8	
PIP2ウインドウ垂直倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-13

Reserved

これらのビットのデフォルト値は000です。

bits 12-0

PIP2ウインドウ垂直倍率ビット[12:0]

これらのビットは、スケーラ垂直倍率を決定します。以下の式に基づいて設定してください。

$$\text{REG}[080\text{Ch}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右側に格納されます。スケーリングモードがZOOM（拡大）の場合、REG[080Ch]ビット12~10はゼロでなければなりません。スケーリングモードがSHRINK（縮小）の場合、REG[080Ch]ビット12~10はゼロ以外でなければなりません。

例：倍率3.51の場合は（拡大）、REG[080Ch]ビット12~0を次のように設定してください。

$$\begin{aligned} \text{REG}[080\text{Ch}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{（端数は切り捨て）} \\ &= 123\text{h} \end{aligned}$$

**注**

1. PIP2水平倍率をZOOM（拡大）に設定したときは、PIP2垂直倍率もZOOM（拡大）に設定してください。PIP2水平倍率をSHRINK（縮小）に設定したときは、PIP2垂直倍率もSHRINK（縮小）に設定してください。
2. フィルタスケーリングがイネーブルされていないとき（REG[0804h]ビット15=0）、PIP2画像を元のサイズを1/8倍まで縮小することができます。フィルタスケーリングがイネーブルされたときは（REG[0804h]ビット15=1）、PIP2画像を元のサイズの1/2倍まで縮小することができます。

REG[0810h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

## 9. レジスタ

REG[0814h] PIP2 Memory Buffer A RGB,Y Start Address Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP2メモリバッファ A RGB, Y開始アドレスビット12~8							
PIP2メモリバッファ A RGB, Y開始アドレスビット7~0							
7	6	5	4	3	2	1	0

bits 12-0

PIP2メモリバッファ A RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBデータまたはYデータを格納するPIP2ウインドウのメモリ開始アドレスを256バイト単位で決定します。ダブルバッファモードがイネーブルされたとき（REG[0800h]ビット3=1）、このアドレスはバッファ A のメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0800h]ビット3=0）、このアドレスが常に使用されます。

$\text{REG}[0814\text{h}] \text{ビット} 12 \sim 0 = \text{開始アドレス (バイト)} \div 256$

REG[0818h] PIP2 Memory Buffer A UV Start Address Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP2メモリバッファ A UV開始アドレスビット12~8							
PIP2メモリバッファ A UV開始アドレスビット7~0							
7	6	5	4	3	2	1	0

bits 12-0

PIP2メモリバッファ A UV開始アドレスビット[12:0]

これらのビットは、UVデータを格納するPIP2ウインドウのメモリ開始アドレスを256バイト単位で決定します。RGBデータを選択したとき、これらのビットは使用されません。ダブルバッファモードがイネーブルされたとき（REG[0800h]ビット3=1）、このアドレスはバッファ A のメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき（REG[0800h]ビット3=0）、このアドレスが常に使用されます。

$\text{REG}[0818\text{h}] \text{ビット} 12 \sim 0 = (\text{RGB, Y開始アドレス} + \text{ラインアドレスオフセット} \times \text{メモリ垂直サイズ}) \div 256$

REG[081Ch] PIP2 Memory Buffer B RGB,Y Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2メモリバッファ B RGB, Y開始アドレスビット12~8
7	6	5	4	3	2	1	0	PIP2メモリバッファ B RGB, Y開始アドレスビット7~0

bits 12-0

PIP2メモリバッファ B RGB, Y開始アドレスビット[12:0]

これらのビットは、RGBデータまたはYデータを格納するPIP2ウインドウのメモリ開始アドレスを256バイト単位で決定します。ダブルバッファモードがイネーブルされたとき (REG[0800h]ビット3=1)、このアドレスはバッファ Bのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき (REG[0800h]ビット3=0)、このアドレスは使用されません。

REG[081Ch]ビット12~0=開始アドレス (バイト) ÷256

REG[0820h] PIP2 Memory Buffer B UV Start Address Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2メモリバッファ B UV開始アドレスビット12~8
7	6	5	4	3	2	1	0	PIP2メモリバッファ B UV開始アドレスビット7~0

bits 12-0

PIP2メモリバッファ B UV開始アドレスビット[12:0]

これらのビットは、UVデータを格納するPIP2ウインドウのメモリ開始アドレスを256バイト単位で決定します。RGBデータを選択したときは、これらのビットは使用されません。ダブルバッファモードがイネーブルされたとき (REG[0800h]ビット3=1)、このアドレスはバッファ Bのメモリ開始アドレスです。ダブルバッファモードがディセーブルされたとき (REG[0800h]ビット3=0)、このアドレスは使用されません。

REG[0820h]ビット12~0= (RGB, Y開始アドレス+ラインアドレス  
オフセット×メモリ垂直サイズ) ÷256

## 9. レジスタ

REG[0824h] PIP2 Memory Line Address Offset Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved
n/a	7	6	5	4	3	2	1	0

bits 15-9

Reserved

これらのビットのデフォルト値は000\_0000です。

bits 6-0

PIP2メモリラインアドレスオフセットビット[6:0]

これらのビットは、PIP2ウインドウのメモリアドレスオフセットをバイト単位で決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0824h]ビット6~0=ラインアドレスオフセット (バイト) ÷ 32

### 注

これらのビットは、ラインアドレスオフセットが64バイト単位になるように設定してください (ビット0=0)。

REG[0828h] PIP2 Memory Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	PIP2メモリ垂直サイズビット7~0

bits 7-0

PIP2メモリ垂直サイズビット[7:0]

これらのビットは、PIP2ウインドウのメモリ領域垂直サイズを4ライン単位で決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0828h]ビット7~0=メモリ垂直サイズ (ライン) ÷ 4 - 1

### 注

メモリ領域垂直サイズは、最低4ライン (REG[0828h]=0000h) から最高1024ライン (REG[0828h]=00FFh) の範囲が可能です。



REG[082Ch] PIP2 Image Horizontal Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2画像水平サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP2画像水平サイズビット7～0

bits 9-0

PIP2画像水平サイズビット[9:0]

これらのビットは、スケーリングを適用する（REG[0808h]を参照）前のPIP2画像の水平サイズをピクセル単位で決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[082Ch]ビット9～0＝画像水平サイズ（ピクセル）－1

**注**

1. 水平サイズは、最低16ピクセル（REG[082Ch]＝000Fh）から最大864ピクセル（REG[082Ch]＝035Fh）の範囲が可能です。
2. YUV 4:2:2の場合、画像水平サイズは偶数でなければなりません。

REG[0830h] PIP2 Image Vertical Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2画像垂直サイズビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP2画像垂直サイズビット7～0

bits 9-0

PIP2画像垂直サイズビット[9:0]

これらのビットは、スケーリングを適用する（REG[080Ch]を参照）前のPIP2画像の垂直サイズをライン単位で決定します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0830h]ビット9～0＝画像垂直サイズ（ライン）－1

**注**

画像垂直サイズは、最低1ライン（REG[0830h]＝0000h）から最大1024ライン（REG[0830h]＝03FFh）の範囲が可能です。

## 9. レジスタ

REG[0834h] PIP2 Image X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2画像X開始位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP2画像X開始位置ビット7~0

bits 9-0

### PIP2画像X開始位置ビット[9:0]

これらのビットは、PIP2ウインドウ画像のX開始位置をピクセル単位で決定します。画像X開始位置は、定義されたメモリ領域の左端（位置0）から始まる画像のX方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0834h]ビット9~0＝画像X開始位置（ピクセル）

### 注

1. 画像X開始位置は、最低0ピクセル（REG[0834h]=0000h）から最高895ピクセル（REG[0834h]=037Fh）の範囲が可能です。
2. YUV 4:2:2の場合、画像X開始位置は偶数に設定してください。

REG[0838h] PIP2 Image Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2画像Y開始位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP2画像Y開始位置ビット7~0

bits 9-0

### PIP2画像Y開始位置ビット[9:0]

これらのビットは、PIP2ウインドウ画像のY開始位置をライン単位で決定します。画像Y開始位置は、定義されたメモリ領域の上端（位置0）から始まる画像のY方向の位置を定義します。メモリからの画像データの表示の詳細は、284ページの12.1「表示パスの設定」をご覧ください。

REG[0838h]ビット9~0＝画像Y開始位置（ライン）

### 注

画像Y開始位置は、最低0ライン（REG[0838h]=0000h）から最高1023ライン（REG[0838h]=03FFh）の範囲が可能です。

REG[083Ch] PIP2 Window X Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2ウインドウX開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP2ウインドウX開始位置ビット7～0

bits 9-0

PIP2ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP2ウインドウのX開始位置をピクセル単位で決定します。

**注**

1. PIP2ウインドウXサイズ (REG[0844h]－REG[083Ch]+1) は、スケーリング後の水平サイズと同じでなければなりません。
2. これらのビットは、次の式が成り立つように設定してください、  
REG[0844h]ビット9～0－REG[083Ch]ビット9～0≥15
3. LCD2 (REG[0604h]ビット15～12＝0010) 用またはパラレルTV-Out (REG[0604h]ビット15～12＝0100または1011およびREG[0200h]ビット1～0＝10) 用のアクティブ表示出力ポートを設定するときは、PIP1ウインドウX, Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0は設定できません。

REG[0840h] PIP2 Window Y Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2ウインドウY開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	PIP2ウインドウY開始位置ビット7～0

bits 9-0

PIP2ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP2ウインドウのY開始位置をピクセル単位で決定します。

**注**

1. PIP2ウインドウYサイズ (REG[0848h]－REG[0840h]+1) は、スケーリング後の垂直サイズと同じでなければなりません。
2. このレジスタは、次の式が成り立つように設定してください、  
REG[0848h]ビット9～0－REG[0840h]ビット9～0≥4
3. LCD2 (REG[0604h]ビット15～12＝0010) 用またはパラレルTV-Out (REG[0604h]ビット15～12＝0100、または1011およびREG[0200h]ビット1～0＝10) 用のアクティブ表示出力ポートを設定するときは、PIP1ウインドウX, Y開始位置を1～10, 0に設定しないでください。例えば、位置5, 0は設定できません。

## 9. レジスタ

REG[0844h] PIP2 Window X End Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2ウインドウX終了位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP2ウインドウX終了位置ビット7~0

bits 9-0

PIP2ウインドウX終了位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP2ウインドウのX終了位置をピクセル単位で決定します。

### 注

1. PIP2ウインドウXサイズ（REG[0844h]－REG[083Ch]+1）は、スケーリング後の水平サイズと同じでなければなりません。
2. このレジスタは、次の式が成り立つように設定してください。  
$$\text{REG[0844h]ビット9~0} - \text{REG[083Ch]ビット9~0} \geq 15$$

REG[0848h] PIP2 Window Y End Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	PIP2ウインドウY終了位置ビット9~8		
						9	8	
7	6	5	4	3	2	1	0	PIP2ウインドウY終了位置ビット7~0

bits 9-0

PIP2ウインドウY終了位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP2ウインドウのY終了位置をピクセル単位で決定します。

### 注

1. PIP2ウインドウYサイズ（REG[0848h]－REG[0840h]+1）は、スケーリング後の垂直サイズと同じでなければなりません。
2. このレジスタは、次の式が成り立つように設定してください。  
$$\text{REG[0848h]ビット9~0} - \text{REG[0840h]ビット9~0} \geq 4$$

以下のパノラマレジスタは、垂直パノラマと水平パノラマの両方に使用されます（REG[0800h]ビット2～0を参照）。

REG[084Ch] PIP2 Panorama Area A Scale Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2パノラマ領域A倍率ビット12～8
7	6	5	4	3	2	1	0	PIP2パノラマ領域A倍率ビット7～0

bits 12-0

PIP2パノラマ領域A倍率ビット[12:0]

これらのビットは、PIP2スケーラの倍率を決定します。以下の式に基づいて設定してください。

$$\text{REG[084Ch]ビット12～0} = 1024 \times (1 \div \text{倍率})$$

#### 注

線形パノラマスケールリングモードを選択したときは（REG[0800h]ビット2～0を参照）、このレジスタで最初のスケール値を指定してください。

REG[0850h] PIP2 Panorama Area B Scale Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2パノラマ領域B倍率ビット12～8
7	6	5	4	3	2	1	0	PIP2パノラマ領域B倍率ビット7～0

bits 12-0

PIP2パノラマ領域B倍率ビット[12:0]

これらのビットは、PIP2スケーラの倍率を決定します。以下の式に基づいて設定してください。

$$\text{REG[0850h]ビット12～0} = 1024 \times (1 \div \text{倍率})$$

#### 注

線形パノラマスケールリングモードを選択したときは（REG[0800h]ビット2～0を参照）、これらのビットは無効です。

## 9. レジスタ

REG[0854h] PIP2 Panorama Area 1 Start Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	PIP2パノラマ領域1開始位置ビット9～8	
						9	8
PIP2パノラマ領域1開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 9-0

PIP2パノラマ領域1開始位置ビット[9:0]

これらのビットは、PIP2パノラマ領域1開始位置をピクセル単位で指定します。

REG[0854h]ビット9～0＝PIP2パノラマ領域1開始位置（ピクセル）

### 注

線形パノラマスケーリングモードを選択したときは（REG[0800h]ビット2～0を参照）、このレジスタで通常の倍率領域開始位置をピクセル単位で指定してください。

REG[0858h] PIP2 Panorama Area 2 Start Position Register							
Default = 0000_0000h							
Read/Write							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	PIP2パノラマ領域2開始位置ビット9～8	
						9	8
PIP2パノラマ領域2開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 9-0

PIP2パノラマ領域2開始位置ビット[9:0]

これらのビットは、PIP2パノラマ領域2開始位置をピクセル単位で指定します。

REG[0858h]ビット9～0＝PIP2パノラマ領域2開始位置（ピクセル）

### 注

線形パノラマスケーリングモードを選択したときは（REG[0800h]ビット2～0を参照）、このレジスタでパノラマ領域2開始位置をピクセル単位で指定してください。

REG[085Ch] PIP2 Panorama Area 3 Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2パノラマ領域3開始位置ビット9～8
7	6	5	4	3	2	1	0	PIP2パノラマ領域3開始位置ビット7～0

bits 9-0

PIP2パノラマ領域3開始位置ビット[9:0]

これらのビットは、PIP2パノラマ領域3開始位置をピクセル単位で指定します。

REG[085Ch]ビット9～0=PIP2パノラマ領域3開始位置（ピクセル）

**注**

線形パノラマスケーリングモードを選択したときは (REG[0800h]ビット2～0を参照)、これらのビットは無効です。

REG[0860h] PIP2 Panorama Area 4 Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	PIP2パノラマ領域4開始位置ビット9～8
7	6	5	4	3	2	1	0	PIP2パノラマ領域4開始位置ビット7～0

bits 9-0

PIP2パノラマ領域4開始位置ビット[9:0]

これらのビットは、PIP2パノラマ領域4開始位置をピクセル単位で指定します。

REG[0860h]ビット9～0=PIP2パノラマ領域4開始位置（ピクセル）

**注**

線形パノラマスケーリングモードを選択したときは (REG[0800h]ビット2～0を参照)、これらのビットは無効です。

## 9. レジスタ

REG[0864h] PIP2 Linear Panorama Area Delta Register							Read/Write
Default = 0000_0000h							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP2線形パノラマ領域デルタビット13~8							
PIP2線形パノラマ領域デルタビット7~0							
7	6	5	4	3	2	1	0

bits 13- 0

PIP2線形パノラマ領域デルタビット[13:0]

これらのビットは、スケーラの線形パノラマモード水平／垂直倍率デルタを決定します。以下の式に基づいて設定してください。

$$(\text{REG}[0864\text{h}] \text{ビット} 13 \sim 0) = 256 \times \Delta \text{倍率}$$

ここで

水平パノラマモード：

$$\Delta \text{倍率} = (\text{REG}[0808\text{h}] - \text{REG}[084\text{Ch}]) \div (\text{REG}[0854\text{h}] - 1)$$

垂直パノラマモード：

$$\Delta \text{倍率} = (\text{REG}[080\text{Ch}] - \text{REG}[084\text{Ch}]) \div (\text{REG}[0854\text{h}] - 1)$$

### 注

これらのビットは、線形パノラマスケーリングモードを選択した場合（REG[0800h]ビット2～0＝010または100）のみ有効です。



REG[0868h] PIP2 Window Scaler Port Address Counter Control Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	
PIP2ポートアドレスカウンタビット6~0 (Read Only)								
n/a			PIP2フィルタ係数 選択	n/a		Reserved	PIP2ポート アドレスカウンタ リセット (Write Only)	
7	6	5	4	3	2	1	0	

bits 14-8

PIP2ポートアドレスカウンタビット[6:0]（読み出し専用）

これらのビットは、スケーラフィルタ係数のアドレスを示します。このカウンタは、PIP2係数表アクセスポート（REG[086Ch]ビット7~0）への書き込みが終わるたびに最大値3Fhまでオートインクリメントされます。ポートアドレスカウンタ値が3Fhに達したら、手動で00hにリセットしてください。このカウンタは、PIP2係数表アクセスポートを読み出したときはインクリメントされません。

bit 4

PIP2フィルタ係数選択

このビットは、PIP2係数表アクセスポート（REG[086Ch]ビット7~0）からアクセスするスケーラフィルタ係数（水平フィルタまたは垂直フィルタ）を選択します。

このビットが0のときは、PIP2スケーラ水平フィルタ係数が選択されます。

このビットが1のときは、PIP2スケーラ垂直フィルタ係数が選択されます。

bit 1

Reserved

このビットのデフォルト値は0です。

bit 0

PIP2ポートアドレスカウンタリセット（書き込み専用）

このビットは、PIP2ポートアドレスカウンタ（REG[0868h]ビット14~8）をリセットします。

このビットに0を書き込んでもハードウェアには影響がありません。

このビットに1を書き込むと、PIP2ポートアドレスカウンタがリセットされます。

9. レジスタ

REG[086Ch] PIP2 Window Scaler Coefficient Table Access Port Register (AID)							
Default = 0000_0000h: Address auto increment disable							
Write Only							
n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a							
15	14	13	12	11	10	9	8
PIP2係数表アクセスポートビット7~0 (Write Only)							
7	6	5	4	3	2	1	0

bits 7-0

PIP2係数表アクセスポートビット[7:0]（書き込み専用）

これらのビットは、PIP2スケーラ水平／垂直フィルタ係数表のためのアクセスポートです。PIP2フィルタ係数選択ビットは、水平フィルタ係数表と垂直フィルタ係数表のどちらにアクセスするか選択するために使用されます（REG[0868h]ビット4を参照）。スケーラフィルタ処理が始まる前にフィルタ係数を設定してください。

スケーラ水平フィルタ係数とスケーラ垂直フィルタ係数は、以下の表の値に従って設定してください。水平フィルタと垂直フィルタに別々に設定される倍率により使用する列が異なります。

表9.80 PIP2フィルタ水平係数の例（REG[0868h]ビット4＝0）

ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数
00h	00h	10h	00h	20h	00h	30h	00h
01h	FDh	11h	FDh	21h	FDh	31h	FFh
02h	FBh	12h	FBh	22h	FBh	32h	FEh
03h	F8h	13h	F8h	23h	F8h	33h	FCh
04h	F7h	14h	F7h	24h	F7h	34h	FCh
05h	F7h	15h	F7h	25h	F7h	35h	FCh
06h	FAh	16h	FAh	26h	FAh	36h	FDh
07h	00h	17h	00h	27h	00h	37h	00h
08h	08h	18h	08h	28h	08h	38h	05h
09h	13h	19h	13h	29h	13h	39h	0Eh
0Ah	1Dh	1Ah	1Dh	2Ah	1Dh	3Ah	18h
0Bh	28h	1Bh	28h	2Bh	28h	3Bh	24h
0Ch	31h	1Ch	31h	2Ch	31h	3Ch	2Eh
0Dh	39h	1Dh	39h	2Dh	39h	3Dh	37h
0Eh	3Eh	1Eh	3Eh	2Eh	3Eh	3Eh	3Dh
0Fh	40h	1Fh	40h	2Fh	40h	3Fh	40h

表9.81 PIP2フィルタ垂直係数の例（REG[0868h]ビット4＝1）

ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数	ポート アドレス カウンタ	係数
00h	08h	10h	08h	20h	設定なし	30h	設定なし
01h	10h	11h	10h	21h		31h	
02h	18h	12h	18h	22h		32h	
03h	20h	13h	20h	23h		33h	
04h	28h	14h	28h	24h		34h	
05h	30h	15h	30h	25h		35h	
06h	38h	16h	38h	26h		36h	
07h	40h	17h	40h	27h		37h	
08h	08h	18h	08h	28h		38h	
09h	10h	19h	10h	29h		39h	
0Ah	18h	1Ah	18h	2Ah		3Ah	
0Bh	20h	1Bh	20h	2Bh		3Bh	
0Ch	28h	1Ch	28h	2Ch		3Ch	
0Dh	30h	1Dh	30h	2Dh		3Dh	
0Eh	38h	1Eh	38h	2Eh		3Eh	
0Fh	40h	1Fh	40h	2Fh		3Fh	

## 9. レジスタ

### 9.4.18 AME（オートムービーエンハンスメント）レジスタ

REG[0900h] AME Control Register							
Default = 0000_0000h							Read/Write
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a			AMEサンプリング 領域イネーブル	Reserved			
15	14	13	12	11	10	9	8
AME初期化 (Write Only)	コントラスト調整 イネーブル	ガンマ補正 イネーブル	彩度調整イネーブル	n/a	Reserved	AMEイネーブルビット1~0	
7	6	5	4	3	2	1	0

bit 12 AMEサンプリング領域イネーブル  
PIP1またはPIP2ウィンドウでAMEがアクティブなときは（REG[0900h]ビット1～0=01または10）、このビットを1に設定してください。

bits 11-8 Reserved  
これらのビットのデフォルト値は0000です。書き込まないでください。

bit 7 AME初期化（書き込み専用）  
このビットは、AME（オートムービーエンハンスメント）モジュールを初期化します。  
このビットに0を書き込んでもハードウェアには影響がありません。  
このビットに1を書き込むと、AMEモジュールが初期化されます。

#### 注

LCD2パラレル／シリアルインタフェースまたはパラレルTV-Outインタフェースを選択したときは、2つのフレーム転送がトリガされなければなりません（REG[0114h]ビット0=1またはREG[022Ch]ビット0=1）。最初のフレーム転送の前に、AME初期化ビットを次の手順で設定してください。

1. AME初期化ビットを設定します（REG[0900h]ビット7=1）。
2. 最初のフレーム転送をトリガします（REG[0114h]ビット0=1またはREG[022Ch]ビット0=1）。最初のフレーム転送がAME調整済みでない画像を示すことがありますので注意してください。
3. フレーム転送が終わるのを待ちます（REG[0114h]ビット4またはREG[022Ch]ビット4）。
4. 次のフレーム転送をトリガします（REG[0114h]ビット0=1またはREG[022Ch]ビット0=1）。

bit 6 コントラスト調整イネーブル  
このビットは、コントラスト調整機能を制御します。  
このビットが0のとき、コントラスト調整はディセーブルされます。  
このビットが1のとき、コントラスト調整はイネーブルされます。

#### 注

コントラスト調整機能は、AMEコントラスト調整レベルビット（REG[0904h]ビット2～0）で設定したレベルに安定するまでに数フレームを要します。

bit 5                   ガンマ補正イネーブル  
 このビットは、ガンマ補正機能を制御します。  
 このビットが0のとき、ガンマ補正がディセーブルされます。  
 このビットが1のとき、ガンマ補正がイネーブルされます。

**注**

ガンマ補正機能は、AMEガンマ補正レベルビット（REG[0904h]ビット10～8）で設定されたレベルに安定するまでに数フレームを要します。

bit 4                   彩度調整イネーブル  
 このビットは、彩度調整機能を制御します。  
 このビットが0のとき、彩度調整がディセーブルされます。  
 このビットが1のとき、彩度調整がイネーブルされます。

**注**

彩度調整機能は、AME彩度調整レベルビット（REG[0904h]ビット6～4）で設定されたレベルに安定するまでに数フレームを要します。

bit 2                   Reserved  
 このビットのデフォルト値は0です。

bits 1-0               AMEイネーブルビット[1:0]  
 これらのビットは、イネーブルしたAME調整機能を反映させるウインドウ（PIP1またはPIP2）を決定します。必要なAME調整機能がイネーブルされるように、ビット6～4を適切に設定してください。

**表9.82 AMEイネーブル設定**

REG[0900h]ビット1～0	AMEアクティブウインドウ
00	すべてオフ
01	PIP1ウインドウでAMEアクティブ
10	PIP2ウインドウでAMEアクティブ
11	Reserved

## 9. レジスタ

REG[0904h] AME Parameter Adjust Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	10	9	8	AMEガンマ補正レベルビット2~0
n/a	AME彩度調整レベルビット2~0			n/a	AMEコントラスト調整レベルビット2~0			
7	6	5	4	3	2	1	0	

bits 10-8      AMEガンマ補正レベルビット[2:0]  
これらのビットは、AMEによって行われるガンマ補正の強さを制御します。有効にするにはガンマ補正機能をイネーブルしてください（REG[0900h]ビット5＝1）。

表9.83    AMEガンマ補正レベル設定

REG[0904h]ビット10~8	ガンマ補正レベル
000	Reserved
001	最も弱い
010	
011	
100	
101	
110~111	最も強い
	Reserved

bits 6-4      AME彩度調整レベルビット[2:0]  
これらのビットは、AMEによって行われる彩度調整の強さを制御します。有効にするには彩度調整機能をイネーブルしてください（REG[0900h]ビット4＝1）。

表9.84    AME彩度調整レベルの設定

REG[0904h]ビット6~4	彩度調整レベル
000	Reserved
001	最も弱い
010	
011	
100	
101	
110~111	最も強い
	Reserved

bits 2-0

AMEコントラスト調整レベルビット[2:0]

これらのビットは、AMEによって行われるコントラスト調整の強さを制御します。有効にするにはコントラスト調整機能をイネーブルしてください (REG[0900h]ビット6=1)。

表9.85 AMEコントラスト調整レベルの設定

REG[0904h]ビット2～0	コントラスト調整レベル
000	Reserved
001	最も弱い
010	
011	
100	
101	
110～111	最も強い
	Reserved

**REG[0908h] AME Input Image Width Register**

Default = 0000\_0000h

Read/Write

n/a							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
n/a				Reserved		AME入力画像幅ビット9～8	
15	14	13	12	11	10	9	8
AME入力画像幅ビット7～0							
7	6	5	4	3	2	1	0

bit 10

Reserved

このビットのデフォルト値は0です。

bits 9-0

AME入力画像幅ビット[9:0]

これらのビットは、AMEに入力される画像の幅をピクセル単位で指定します。AMEへの入力前にスケーラを使って画像サイズを変更する場合は、入力画像の幅を変更後のサイズに設定してください。入力画像の幅は、最低64ピクセルから最高1024ピクセルの範囲が可能です。

AMEをPIP1ウインドウに使用するときは (REG[0900h]ビット1～0=01)、これらのビットを以下の式に従って設定してください。

$$\text{REG[0908h]ビット9～0} = \text{PIP1ウインドウXサイズ} - 1$$

$$= (\text{REG[0744h]ビット9～0} - \text{REG[073Ch]ビット9～0})$$

AMEをPIP2ウインドウに使用するときは (REG[0900h]ビット1～0=10)、これらのビットを以下の式に従って設定してください。

$$\text{REG[0908h]ビット9～0} = \text{PIP2ウインドウXサイズ} - 1$$

$$= (\text{REG[0844h]ビット9～0} - \text{REG[083Ch]ビット9～0})$$

入力画像幅の設定の詳細は、315ページの12.5「AME」をご覧ください。

## 9. レジスタ

REG[090Ch] AME Input Image Height Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
n/a								
23	22	21	20	19	18	17	16	
n/a								
15	14	13	12	11	Reserved 10	AME入力画像高さビット9~8		
					9	8		
AME入力画像高さビット7~0								
7	6	5	4	3	2	1	0	

bit 10

Reserved

このビットのデフォルト値は0です。

bits 9-0

AME入力画像高さビット[9:0]

これらのビットは、AMEに入力される画像の高さをライン単位で指定します。AMEへの入力前にスケーラを使って画像サイズを変更する場合は、入力画像の高さを変更後のサイズに設定してください。入力画像の高さは、最低64ラインから最高1024ラインの範囲が可能です。

AMEをPIP1ウインドウに使用するときは（REG[0900h]ビット1~0=01）、これらのビットを以下の式に従って設定してください。

REG[090Ch]ビット9~0=PIP1ウインドウYサイズ-1

= (REG[0748h]ビット9~0 - REG[0740h]ビット9~0)

AMEをPIP2ウインドウに使用するときは（REG[0900h]ビット1~0=10）、これらのビットを以下の式に従って設定してください。

REG[090Ch]ビット9~0=PIP2ウインドウYサイズ-1

= (REG[0848h]ビット9~0 - REG[0840h]ビット9~0)

入力画像幅の設定の詳細は、315ページの12.5「AME」をご覧ください。

### 注

HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースの場合は（REG[0200h]ビット1~0=01または11）、入力画像の高さを通常の高さの1/2に設定してください。

REG[090Ch]ビット9~0=AME入力画像高さ÷2-1



REG[0910h] AME Processing Horizontal Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	Reserved 10	AME処理水平開始位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	AME処理水平開始位置ビット7～0

bit 10

Reserved

このビットのデフォルト値は0です。

bits 9-0

AME処理水平開始位置ビット[9:0]

これらのビットは、AMEによって処理される入力画像の最初のピクセルの水平開始位置をピクセル単位で定義します。これらのビットをゼロに設定したとき、AMEは、入力ラインの最初のピクセルからの画像データを処理します。処理領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

REG[0914h] AME Processing Horizontal End Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	Reserved 10	AME処理水平終了位置ビット9～8		
						9	8	
7	6	5	4	3	2	1	0	AME処理水平終了位置ビット7～0

bit 10

Reserved

このビットのデフォルト値は0です。

bits 9-0

AME処理水平終了位置ビット[9:0]

これらのビットは、AMEによって処理される入力画像の最後のピクセルの水平終了位置をピクセル単位で定義します。処理領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

## 9. レジスタ

REG[0918h] AME Processing Vertical Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved AME処理垂直開始位置ビット9～8
7	6	5	4	3	2	1	0	AME処理垂直開始位置ビット7～0

bit 10                      Reserved  
このビットのデフォルト値は0です。

bits 9-0                      AME処理垂直開始位置ビット[9:0]  
これらのビットは、AMEによって処理される入力画像の最初のピクセルの垂直開始位置をライン単位で定義します。これらのビットをゼロに設定したとき、AMEは、入力画像の最初のラインから画像データを処理します。処理領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

**注**  
HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースの場合は  
(REG[0200h]ビット1～0=01または11)、垂直開始位置を通常設定の1/2に設定してください。

REG[091Ch] AME Processing Vertical End Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved AME処理垂直終了位置ビット9～8
7	6	5	4	3	2	1	0	AME処理垂直終了位置ビット7～0

bit 10                      Reserved  
このビットのデフォルト値は0です。

bits 9-0                      AME処理垂直終了位置ビット[9:0]  
これらのビットは、AMEによって処理される入力画像の最後のピクセルの垂直終了位置をライン単位で定義します。処理領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

**注**  
HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースの場合は  
(REG[0200h]ビット1～0=01または11)、垂直終了位置を通常設定の1/2に設定してください。

REG[0920h] AME Sampling Area Vertical Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved AMEのサンプリング領域垂直開始位置 ビット9~8
7	6	5	4	3	2	1	0	AMEのサンプリング領域垂直開始位置ビット7~0

bit 10                      Reserved  
このビットのデフォルト値は0です。

bits 9-0                      AMEのサンプリング領域垂直開始位置ビット[9:0]  
これらのビットは、AMEによってサンプリングされる入力画像の最初のピクセルの垂直開始位置をライン単位で定義します。これらのビットをゼロに設定したとき、AMEは、画像データを入力画像の最初のラインからサンプリングします。サンプリング領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

REG[0924h] AME Sampling Area Horizontal Start Position Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	Reserved AMEのサンプリング領域水平開始位置 ビット9~8
7	6	5	4	3	2	1	0	AMEのサンプリング領域水平開始位置ビット7~0

bit 10                      Reserved  
このビットのデフォルト値は0です。

bits 9-0                      AMEのサンプリング領域水平開始位置ビット[9:0]  
これらのビットは、AMEによってサンプリングされる入力画像の最初のピクセルの水平開始位置をピクセル単位で定義します。これらのビットをゼロに設定したとき、AMEは画像データを入力ラインの最初のピクセルからサンプリングします。サンプリング領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

## 9. レジスタ

REG[0928h] AME Sampling Area Size Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	AMEサンプリング領域サイズビット2~0			
					2	1	0	

bits 2-0

AMEサンプリング領域サイズビット[2:0]  
これらのビットは、AMEサンプリング領域の幅と高さをピクセル×ラインの単位で指定します。AMEサンプリング領域は、AME処理領域内になければなりません。サンプリング領域の設定の詳細は、315ページの12.5「AME」をご覧ください。

表9.86 AMEサンプリング領域サイズの選択

REG[0928h]ビット2~0	AMEサンプリング領域サイズ (ピクセル×ライン)
000	16 × 16
001	32 × 32
010	64 × 64
011	128 × 128
100	256 × 256
101	512 × 512
110~111	Reserved

REG[092Ch] AME Sampling Area Parameter 1 Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9	8	AMEサンプリング領域パラメータ1ビット9~8
7	6	5	4	3	2	1	0	AMEサンプリング領域パラメータ1ビット7~0

bits 9-0

AMEサンプリング領域パラメータ1ビット[9:0]

PIP1またはPIP2ウインドウでAMEがアクティブなときは（REG[0900h]ビット1~0=01または10）、AME処理領域の総ピクセル数に従ってこれらのビットを設定してください。

表9.87 AMEサンプリング領域パラメータ1の設定

AME処理領域サイズ	AME処理領域の総ピクセル数	REG[092Ch]ビット9~0
QVGA未満	4096~76799ピクセル	18h
QVGA~WQVGA	76800~95999ピクセル	20h
WQVGA~VGA	96000~307199ピクセル	26h
VGA~WVGA	307200~383999ピクセル	3Ah
WVGA以上	384000以上	3Fh

REG[0930h] AME Sampling Area Parameter 2 Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	
23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9	8	AMEサンプリング領域パラメータ2ビット13~8
7	6	5	4	3	2	1	0	AMEサンプリング領域パラメータ2ビット7~0

bits 13-0

AMEサンプリング領域パラメータ2ビット[13:0]

PIP1またはPIP2ウインドウでAMEがアクティブのときは（REG[0900h]ビット1~0=01または10）、AME処理領域の総ピクセル数に従ってこれらのビットを設定してください。

表9.88 AMEサンプリング領域パラメータ2の設定

AME処理領域サイズ	AME処理領域の全ピクセル数	REG[0930h]ビット13~0
QVGA未満	4096~76799ピクセル	A4h
QVGA~VGA	76800~307199ピクセル	28Fh
VGA以上	307200以上	3FFh

## 9. レジスタ

---

REG[0934h]～REG[0984h]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

## 9.4.19 割り込み制御レジスタ

REG[0A00h] Interrupt Status Register (AID)								
Default = 0000_0000h: Address auto increment disable							Read Only	
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPIO割り込み状態 (Read Only)	n/a							
	15	14	13	12	11	10	9	8
7	6	5	4	n/a	3	2	1	0

bit 15

GPIO割り込み状態（読み出し専用）

このビットは、GPIO割り込みの状態を示します。このビットは、GPIO割り込みイネーブルビットによってマスクされ、REG[0A04h]ビット15=1のときのみ使用できます。

このビットが0のとき、GPIO割り込みは発行されていません。

このビットが1のとき、GPIO割り込みが発行されています。割り込みの正確な状態を決定するには、REG[0348h]～REG[0350h]の状態ビットを参照してください。

この状態ビットをクリアするには、割り込みを発行したGPIO割り込み状態ビットに1を書き込み、次に0を書き込んでください（REG[0348h]～REG[0350h]を参照）。

REG[0A04h] Interrupt Enable Register							
Default = 0000_0000h							
Write/Read							
31	30	29	28	27	26	25	24
n/a							
23	22	21	20	19	18	17	16
GPIO割り込み イネーブル	n/a						
	14	13	12	11	10	9	8
15	n/a						
7	6	5	4	3	2	1	0

bit 15

GPIO割り込みイネーブル

このビットはGPIO割り込みを制御します。GPIO割り込みの状態は、GPIO割り込み状態ビット（REG[0A00h]ビット15）によって示されます。

このビットが0のとき、GPIO割り込みはディセーブルされます。

このビットが1のとき、GPIO割り込みはイネーブルされます。

REG[0A08h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

## 9. レジスタ

### 9.4.20 I2Cスレーブ設定レジスタ

**注**

I2Cインタフェースは、以下のレジスタにアクセスすることができません。

REG[0B00h] I2C Clock Divide Register								Read/Write
Default = 0000_0000h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	I2Cクロック分周選択ビット3~0

bits 3-0

I2Cクロック分周選択ビット[3:0]

これらのビットは、I2Cクロックの分周比を指定します。I2CクロックソースはCNF1によって選択されます (24ページの4.3「コンフィギュレーションオプションの概要」を参照)。クロック構造の詳細は、81ページの8.「クロック」をご覧ください。

**表9.89 I2Cクロック分周比の選択**

REG[0B00h]ビット3~0	I2Cクロック分周比	REG[0B00h]ビット3~0	I2Cクロック分周比
0000	1:1	1000	9:1
0001	2:1	1001	10:1
0010	3:1	1010	11:1
0011	4:1	1011	12:1
0100	5:1	1100	13:1
0101	6:1	1101	14:1
0110	7:1	1110	15:1
0111	8:1	1111	16:1

**注**

高速モード (400kbps) :

$I2Cクロック = システムクロック周波数 \div 分周比 \geq 24MHz$

標準モード (100kbps) :

$I2Cクロック = システムクロック周波数 \div 分周比 \geq 5.4MHz$



REG[0B04h] I2C Enable Register								Read/Write
Default = 0000_55X0h								
31	30	29	28	27	26	25	24	n/a
23	22	21	20	19	18	17	16	n/a
n/a	15	14	13	12	11	10	9	8
n/a				I2Cスレーブアドレスビット6~0				
7	6	5	4	3	2	1	0	I2Cイネーブル状態 (Read Only)
n/a				n/a				I2Cイネーブル

- bits 14-8 I2Cスレーブアドレスビット[6:0]  
これらのビットは、I2Cの7ビットスレーブアドレスを決定します。これらのビットは、I2Cモジュールがディセーブルされたとき（REG[0B04h]ビット0=0）だけ変更することができます。
- bit 4 I2Cイネーブル状態（読み出し専用）  
このビットは、ビット0によって設定されたI2Cモジュールの状態を示します。このビットが0のとき、I2Cモジュールはディセーブルされます。このビットが1のとき、I2Cモジュールはイネーブルされます。
- bit 0 I2Cイネーブル  
このビットは、I2Cモジュールをイネーブルするかどうかを制御します。このビットに0を書き込むとI2Cモジュールがディセーブルされます。このビットに1を書き込むとI2Cモジュールがイネーブルされます。

**注**

I2Cは、I2CEN端子がHighかこのビット0が1のときにイネーブルされます。

REG[0B08h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。デフォルト値は0000\_0036hです。

REG[0B0Ch]は予約レジスタです。

これは予約レジスタです。書き込まないでください。デフォルト値は0000\_0040hです。

REG[0B10h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。デフォルト値は0000\_0009hです。

REG[0B14h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。デフォルト値は0000\_0012hです。

REG[1040h]～REG[1060h]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

# 10. パワーセーブモード

## 10. パワーセーブモード

### 10.1 パワーオンシーケンス（PLL使用）

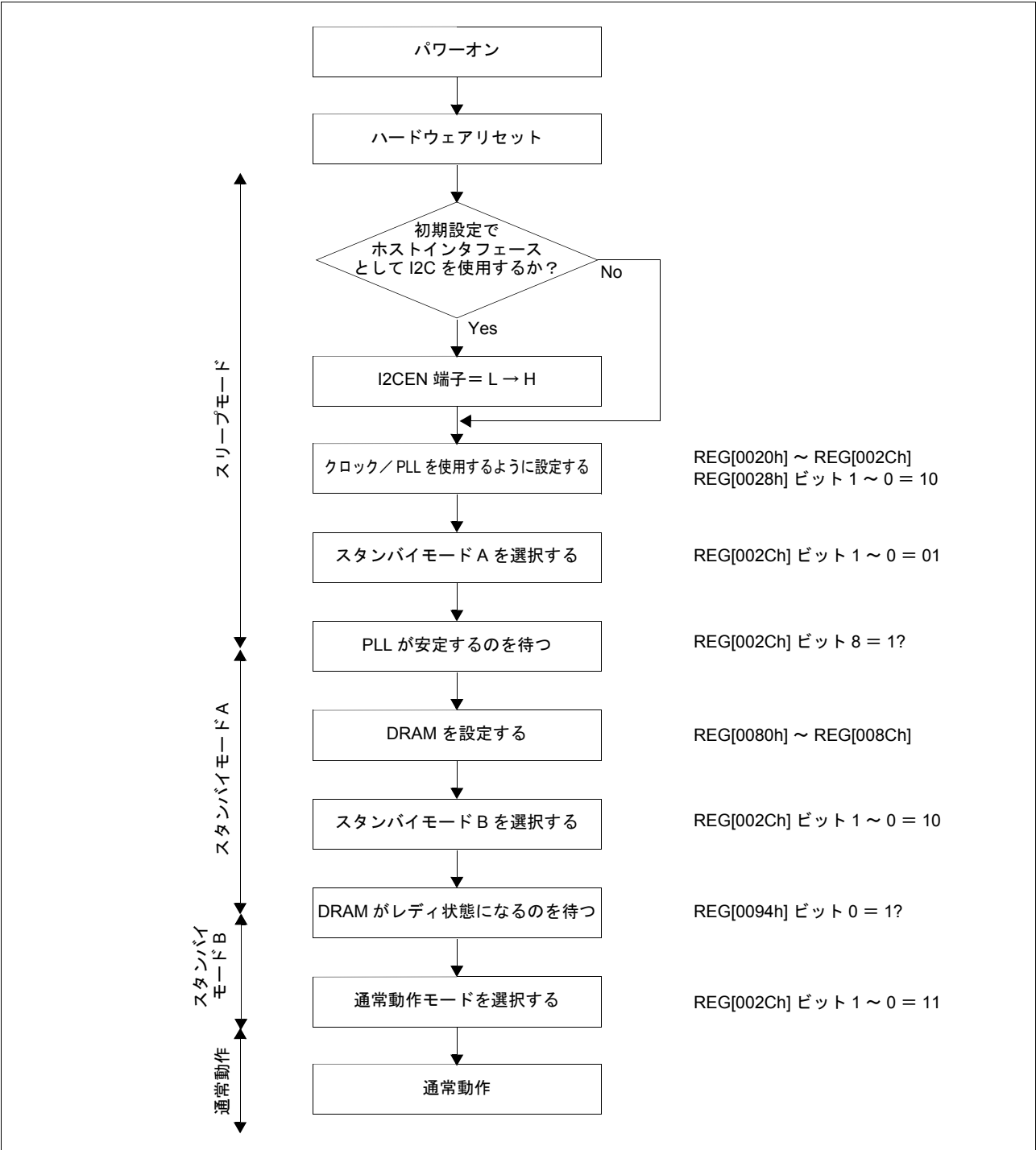


図10.1 パワーオンシーケンス（PLL使用）

## 10.2 パワーオンシーケンス (PLLバイパス)

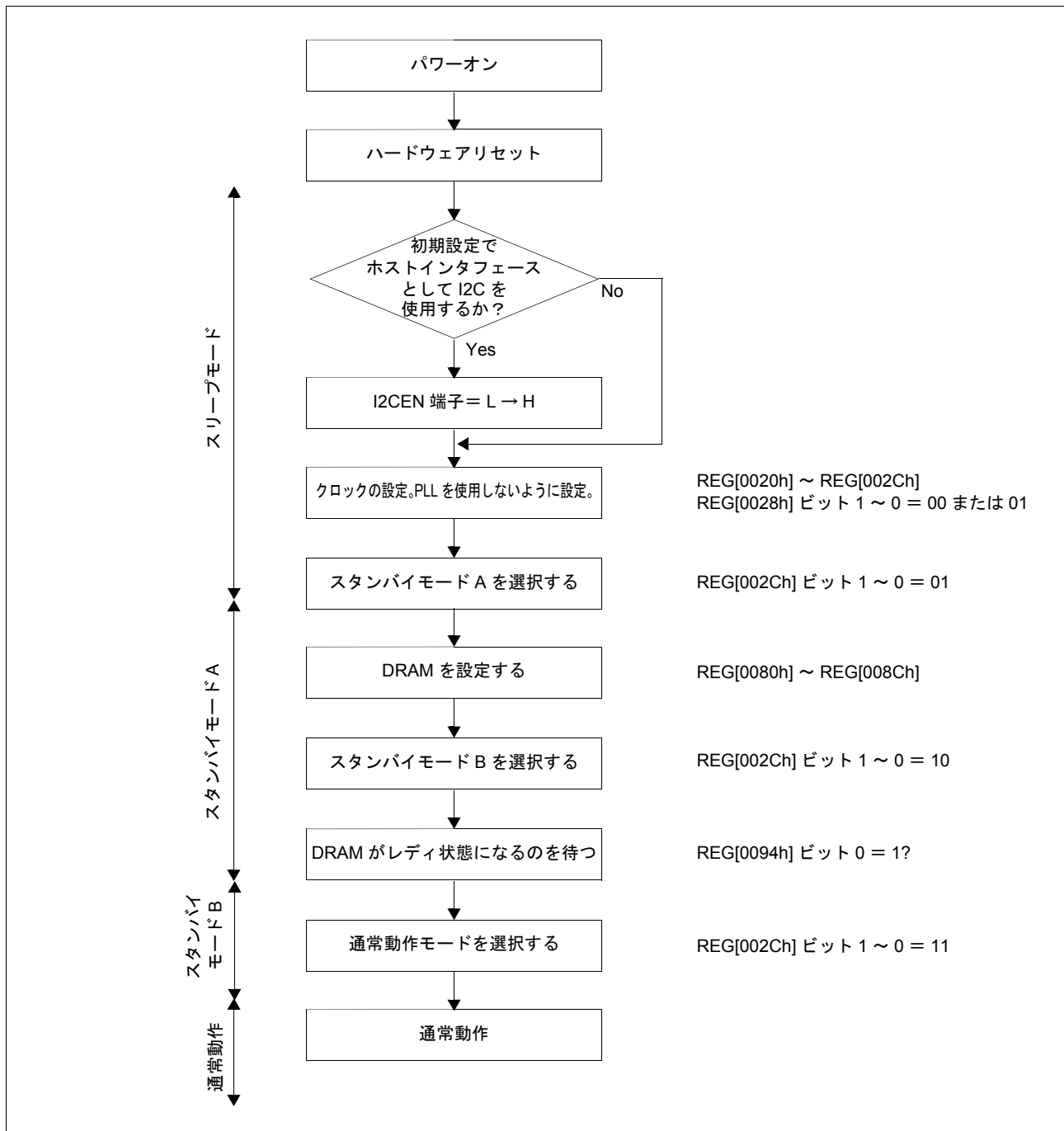


図10.2 パワーオンシーケンス (PLLバイパス)

## 10. パワーセーブモード

### 10.3 パワーオフシーケンス

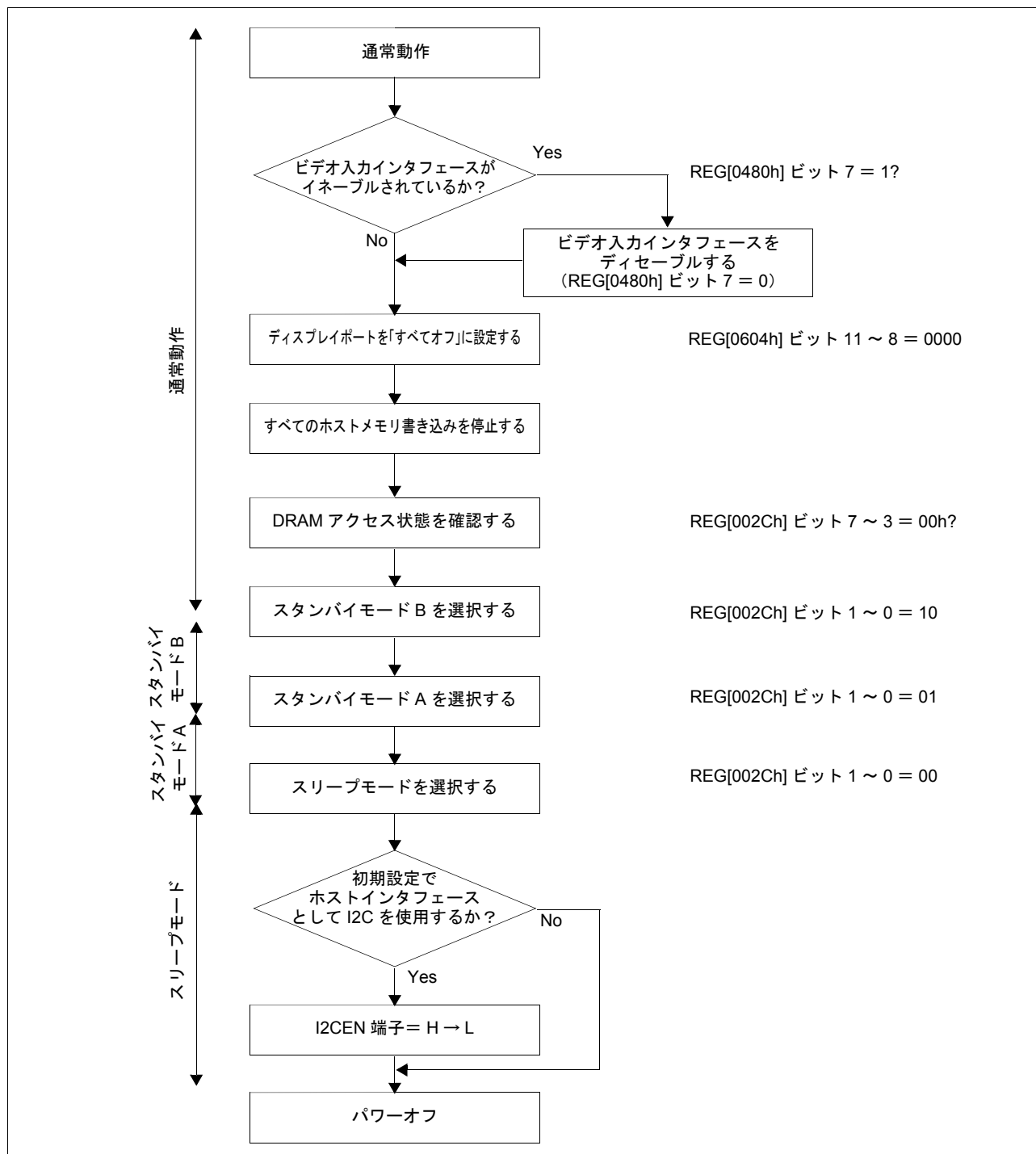


図10.3 パワーオフシーケンス

## 10.4 動作モード

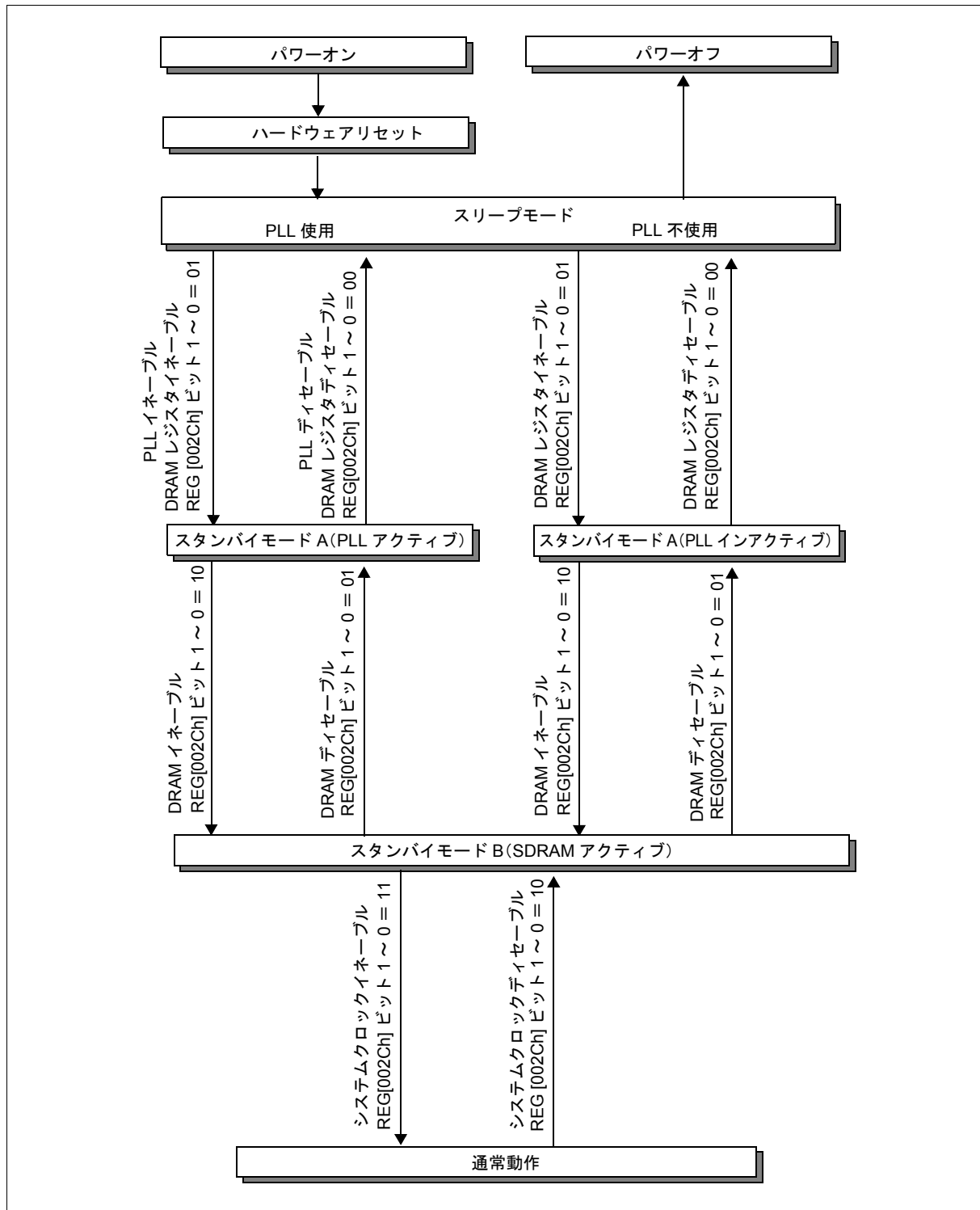


図10.4 パワーモード

## 10. パワーセーブモード

---

### 注

スタンバイモードまたはスリープパワーセーブモードにする前に、ビデオ入力インターフェースをディセーブルし（REG[0480h]ビット7=0）、表示出力ポートを「すべてオフ」に設定し（REG[0604h]ビット11～8=0000）、すべてのメモリアccessを終了させてください（REG[002Ch]ビット7～3を参照）。

## 10.5 パワーセーブモード機能

表10.1 パワーセーブモード機能

項目		リセット状態	スリープモード	スタンバイモードA	スタンバイモードB	通常モード
PLL		インアクティブ	インアクティブ	アクティブ	アクティブ	アクティブ
DRAMアクセス		No (リフレッシュなし)	No (リフレッシュなし)	No (リフレッシュなし)	No (リフレッシュ)	Yes
レジスタアクセス	REG[0000h]~REG[0040h] REG[0300h]~REG[0350h]	No	Yes	Yes	Yes	Yes
	REG[0650h]以外のレジスタ	No	No	Yes	Yes	Yes
LUTアクセス	REG[0650h]	No	No	No	No	Yes
GPIOとして設定されたGPIO端子		入力	GPIO状態	GPIO状態	GPIO状態	GPIO状態
ホストインタフェース端子	INT	Low出力	アクティブ	アクティブ	アクティブ	アクティブ
	TE	Low出力	インアクティブ	インアクティブ	インアクティブ	アクティブ
LCD1 RGBインタフェース端子	FPDAT[17:0]	Low出力	(注1)	(注1)	(注1)	アクティブ
	FPDAT[23:18]	入力 (GPIO)	(注1)	(注1)	(注1)	アクティブ
	FPDRDY	Low出力	(注2)	(注2)	(注2)	アクティブ
	FPFRAME	Low出力	Low出力	Low出力	Low出力	アクティブ
	FPLINE	Low出力	(注3)	(注3)	(注3)	アクティブ
	FPSHIFT	Low出力	(注4)	(注4)	(注4)	アクティブ
LCD1、LCD2 シリアル インタフェース端子	FPCS1#	High出力	(注5)	(注5)	(注5)	アクティブ
	FPCS2#	High出力	(注6)	(注6)	(注6)	アクティブ
	FPSClk	High出力	(注7)	(注7)	(注7)	アクティブ
	FPA0	High出力	(注8)	(注8)	(注8)	アクティブ
	FPSO	Low出力	Low出力	Low出力	Low出力	アクティブ
	FPVS2 (REG[018Ch]ビット15=0)	入力 (GPIO)	入力	入力	入力	入力
	FPVS2 (REG[018Ch]ビット15=1)	入力 (GPIO)	(注9)	(注9)	(注9)	アクティブ
LCD2パラレル インタフェース端子 (モード3)	P2DAT[7:0]	入力 (GPIO)	(注1)	(注1)	(注1)	アクティブ
	P2CS#	入力 (GPIO)	(注6)	(注6)	(注6)	アクティブ
	P2WR#	入力 (GPIO)	High出力	High出力	High出力	アクティブ
	P2A0	入力 (GPIO)	Low出力	Low出力	Low出力	アクティブ
TV-Outインタフェース端子 (HSYNC & FIELD またはBT656)	TVDT[7:0]	入力 (GPIO)	(注10)	(注10)	(注10)	アクティブ
	TVCLK、TVHS、TVFLD	入力 (GPIO)	Low出力	Low出力	Low出力	アクティブ
TV-Out インタフェース端子 (パラレル)	TVDT[7:0]	入力 (GPIO)	Low出力	Low出力	Low出力	アクティブ
	TVCS#、TVWR#、TVRD#、 TVDC	入力 (GPIO)	High出力	High出力	High出力	アクティブ
	TVTE	入力 (GPIO)	Input	Input	Input	Input
ビデオ インタフェース端子	VCLKOUT	Low出力	Low出力	Low出力	Low出力	アクティブ

## 10. パワーセーブモード

表10.1 パワーセーブモード機能（続き）

I2C端子	I2CEN=Hまたは REG[0030h]ビット0=1	Hi-Z	アクティブ	アクティブ	アクティブ	アクティブ
	I2CEN=Lおよび REG[0030h]ビット0=0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	アクティブ
ホストインダイレクトインタフェース		イン アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
I2C	I2CEN=Hまたは REG[0030h]ビット0=1	イン アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
	I2CEN=Lおよび REG[0030h]ビット0=0	イン アクティブ	イン アクティブ	イン アクティブ	イン アクティブ	アクティブ
ビデオ入力インタフェース		イン アクティブ	イン アクティブ	イン アクティブ	イン アクティブ	アクティブ
LCDインタフェース		イン アクティブ	イン アクティブ	イン アクティブ	イン アクティブ	アクティブ
TV-Outインタフェース		イン アクティブ	イン アクティブ	イン アクティブ	イン アクティブ	アクティブ

### 注

- これらの端子は、REG[0600h]ビット10=0のときにLowに設定され、REG[0600h]ビット10=1のときにHighに設定されます。
- この端子はインアクティブで、REG[0104h]ビット9に依存します。
- この端子はインアクティブで、REG[014Ch]ビット7に依存します。
- この端子は、REG[0104h]ビット7=0のときにLowに設定され、REG[0104h]ビット7=1のときにHighに設定されます。
- この端子はインアクティブで、REG[0104h]ビット8に依存します。
- この端子はインアクティブで、REG[0104h]ビット12に依存します。
- この端子は、REG[0168h]ビット0=0のときにLowに設定され、REG[0168h]ビット0=1のときにHighに設定されます。
- この端子は、REG[0104h]ビット10=0のときにLowに設定され、REG[0104h]ビット10=1のときにHighに設定されます。
- この端子はインアクティブで、REG[018Ch]ビット14に依存します。
- これらの端子はREG[0230h]ビット15~0に依存します。



## 11. メモリへの画像データの書き込み

ホストインタフェースとビデオインタフェースからメモリに画像データを書き込むために次の2つのパスを使用できます。

- メインメモリ書き込みパス
- サブメモリ書き込みパス

ホストインタフェースとビデオインタフェースは、以下の図に示したような書き込みパスのどちらかでルーティングすることができます。また、全体の帯域幅が次の式を満たす場合は、両方のパスを同時に使用することができます。

$$(\text{ホストインタフェースビットレート}) \times 0.8 + (\text{ビデオインタフェースビットレート}) < 576\text{Mbps}$$

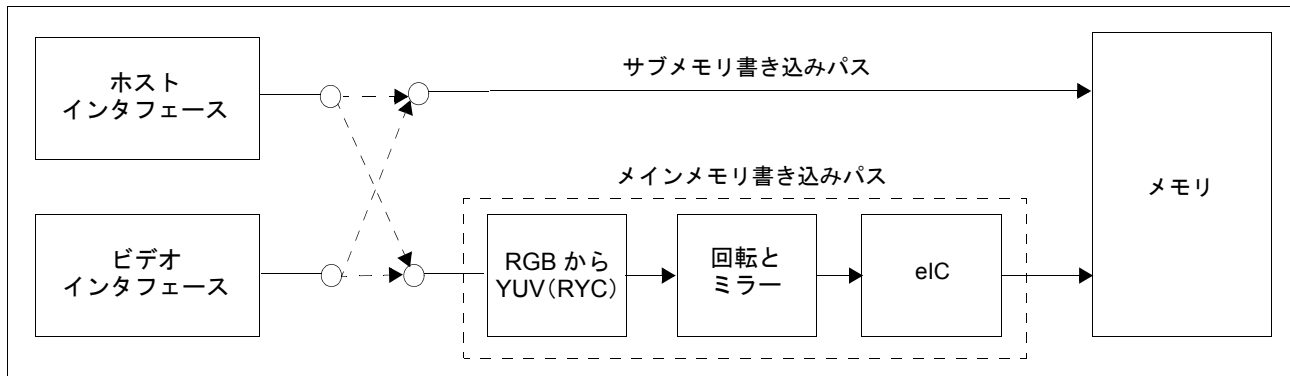


図11.1 書き込みパスの概要

両方の書き込みパスは、シングルバッファ法とダブルバッファ法のどちらでも画像データをメモリに書き込むことができます。ただし、メインメモリ書き込みパスは、さらに、回転、ミラー、RGBからYUVへの変換、およびeIC（ecoイメージコーデック）による処理など、いくつかの機能をサポートしています。次の表は、それぞれの書き込みパスに使用できるオプションをまとめたものです。

表11.1 書き込みパス機能の一覧

書き込みパス	画像データフォーマット	ダブルバッファ	回転、ミラー	RGBからYUVへ	eIC
メインメモリ	RGB 8:8:8、RGB 6:6:6（注）、 RGB 5:6:5、YUV 4:2:2、YUV 4:2:0	√	√	√	√
サブメモリ	RGB 8:8:8、RGB 6:6:6（注）、 RGB 5:6:5、YUV 4:2:2、YUV 4:2:0	√	X	X	X

### 注

RGB 6:6:6画像データは、メモリに書き込まれる前にRGB 8:8:8フォーマットに変換されます。

## 11. メモリへの画像データの書き込み

### 11.1 書き込みパスの設定

メモリ領域のサイズと入力画像を書き込みパスごとに設定してください。メモリ領域のサイズは、開始アドレス (MSA)、ラインアドレスオフセット (MAO) および垂直サイズ (MVS) を指定することにより設定されます。入力画像は、水平サイズ (IHS)、垂直サイズ (IVS) および開始位置 (XSP, YSP) を用いて定義されます。

メモリ領域を入力画像に必要な領域より大きい領域に設定することができます。設定しなければならない書き込みパスパラメータは以下の図のとおりです。

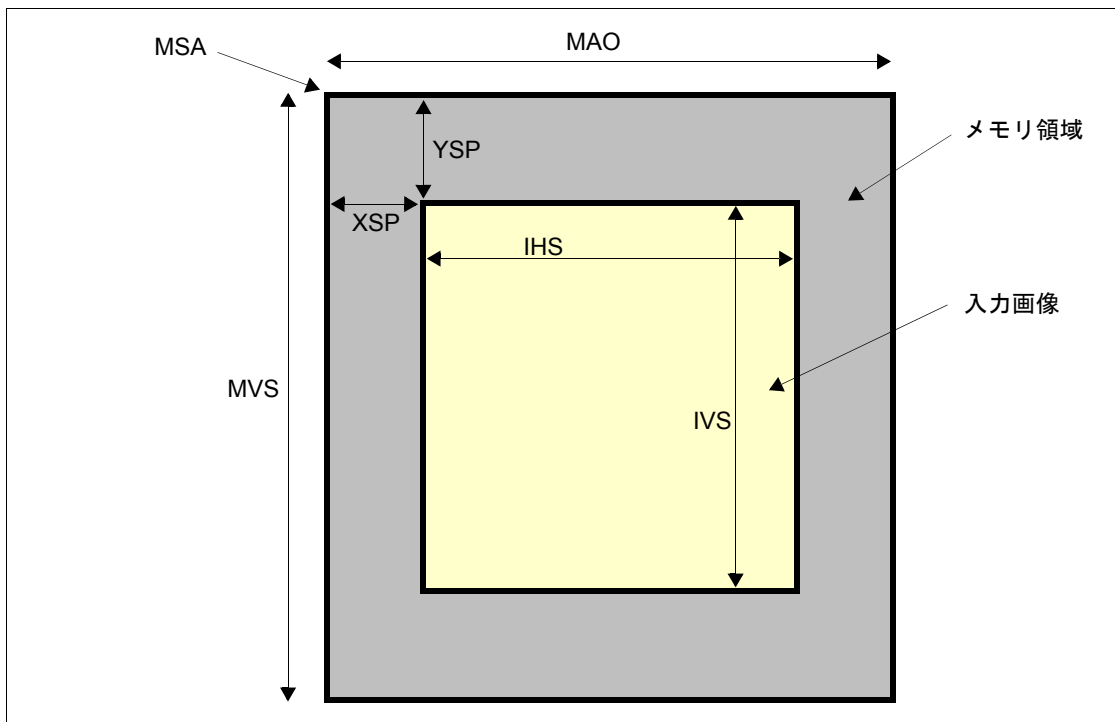


図11.2 書き込みパスパラメータ

## 11. メモリへの画像データの書き込み

YUV 4:2:2または4:2:0フォーマットの画像データをメモリに書き込むとき、2つのメモリ開始アドレス（MSA）を必要とするYデータとUVデータは別々に記憶されます。RGBフォーマットの画像データの場合は、1つのメモリ開始アドレスだけを使用します。それぞれの書き込みパスに使用される最小値、最大値およびレジスタは以下の図のとおりです。

表11.2 書き込みパスパラメータの一覧

記号	説明	Min	Max	単位	メインメモリ書き込み パスレジスタ	サブメモリ書き込み パスレジスタ
MSA	メモリ開始アドレス	—	—	バイト	REG[0508h] REG[050Ch]	REG[0584h] REG[0588h]
MAO	メモリラインアドレスオフセット	64	4032	バイト	REG[0518h]	REG[0594h]
MVS	メモリ垂直サイズ	4	864（メイン） 1024（サブ）	ピクセル	REG[051Ch]	REG[0598h]
IHS	入力画像水平サイズ	1	864（メイン） 1024（サブ）	ピクセル	REG[0520h]	REG[059Ch]
IVS	入力画像垂直サイズ	1	864（メイン） 1024（サブ）	ピクセル	REG[0524h]	REG[05A0h]
XSP	画像X開始位置	0	863（メイン） 1023（サブ）	ピクセル	REG[0528h]	REG[05A4h]
YSP	画像Y開始位置	0	863（メイン） 1023（サブ）	ピクセル	REG[052Ch]	REG[05A8h]

多くの書き込みパスパラメータには、設定できる値を決めるアライメントや単位の制約があります。すべてのケースで、ラインアドレスオフセット（MAO）は64バイトで位置合わせされ、メモリ垂直サイズ（MVS）は4ピクセルの倍数で設定されなければなりません。他のすべてのパラメータの制約は、選択するデータフォーマット、eICモードおよび回転オプションの組み合わせによって決まります。それぞれの組み合わせに対して守らなければならない書き込みパスパラメータの制約は以下の表のとおりです。

表11.3 書き込みパスパラメータの制約：eICディセーブルと0°または180°回転

記号	説明	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MAO	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル

## 11. メモリへの画像データの書き込み

表11.4 書き込みパスパラメータの制約：eICディセーブルと90°または270°回転

記号	説明	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
XSP	画像X開始位置	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル

表11.5 書き込みパスパラメータの制約：ラインeICモードと0°回転

記号	説明	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	(注)	(注)	(注)	(注)	(注)
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル

### 注

ラインeICモードを使用するときは、XSPはゼロでなければなりません。

表11.6 書き込みパスパラメータの制約：部分eICモードと0°または180°回転

記号	説明	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	4ピクセル	4ピクセル	5ピクセル	8ピクセル	8ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	4ピクセル	4ピクセル	5ピクセル	8ピクセル	8ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル

表11.7 書き込みパスパラメータの制約：部分eICモードと90°または270°回転

記号	説明	データフォーマット				
		RGB 8:8:8	RGB 6:6:6	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	4ピクセル	4ピクセル	5ピクセル	8ピクセル	8ピクセル
XSP	画像X開始位置	4ピクセル	4ピクセル	5ピクセル	8ピクセル	8ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	1ピクセル	2ピクセル

## 11.1.1 メモリ領域と入力画像の制約

メモリ領域と入力画像のパラメータを設定するとき、入力画像が指定されたメモリ領域の境界内になければなりません。次の設定を行うことはできません。

- $YSP + IVS < MVS$
- $XSP + IHS \leq MA0$

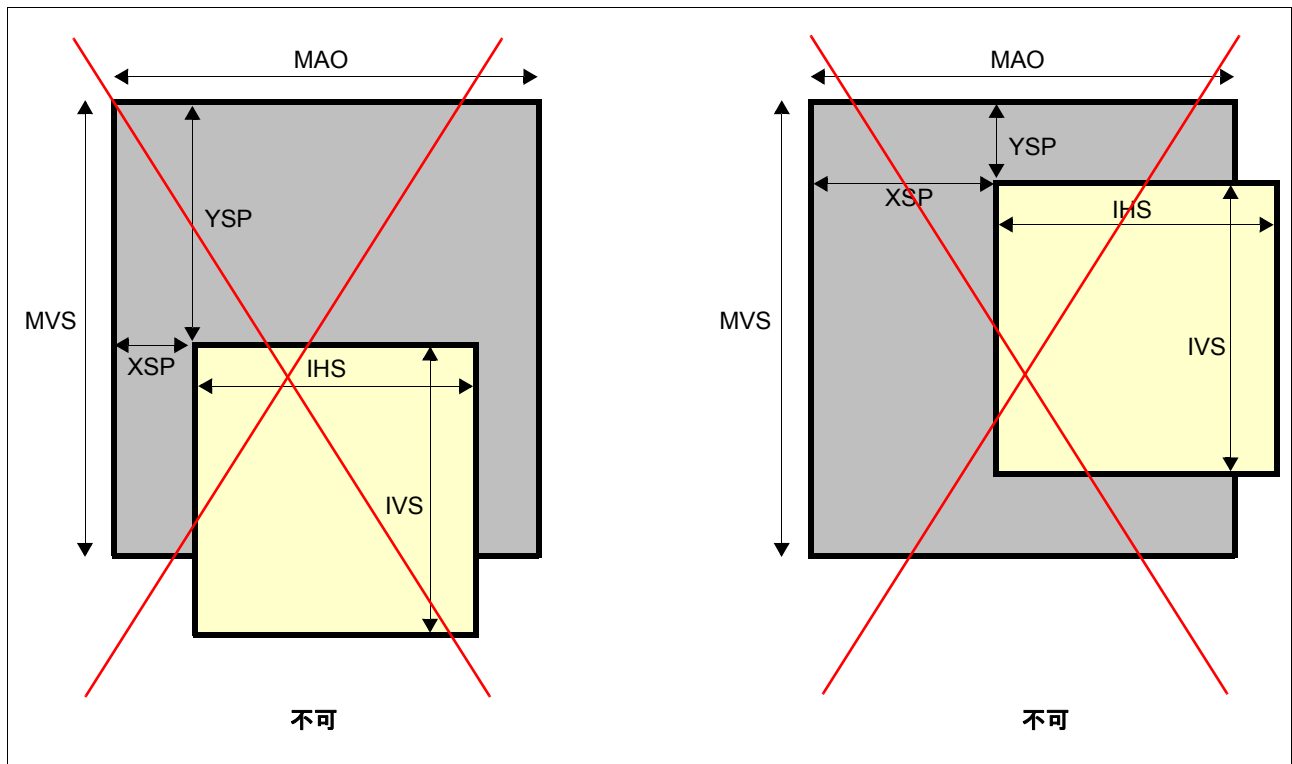


図11.3 メモリ領域と入力の画像の制約

## 11. メモリへの画像データの書き込み

### 11.1.2 必要メモリサイズ

各メモリの必要サイズを決定するときは、データフォーマット、eICモードおよび水平サイズ（ピクセル）の3つの要素に基づいてメモリラインアドレスオフセット（MAO）を計算します。それぞれの組み合わせで必要な計算は次の表のとおりです。

表11.8 メモリラインアドレスオフセットの計算

データ フォーマット	eICモード	メモリラインアドレスオフセット（バイト） 水平サイズ=nピクセル
RGB 8:8:8	eICディセーブル	端数切り上げ $(3n \div 64) \times 64$
	ラインeICモード	端数切り上げ $(1.5(n+1) \div 64) \times 64$
	部分eICモード	端数切り上げ $(2n \div 64) \times 64$
RGB 5:6:5	eICディセーブル	端数切り上げ $(2n \div 64) \times 64$
	ラインeICモード	端数切り上げ $((1.5n+0.5) \div 64) \times 64$
	部分eICモード	端数切り上げ $(1.6n \div 64) \times 64$
YUV 4:2:2	eICディセーブル	端数切り上げ $(n \div 64) \times 64$
	ラインeICモード	端数切り上げ $((0.5n+1) \div 64) \times 64$
	部分eICモード	端数切り上げ $((\text{端数切り上げ}(n \div 24) \times 16) \div 64) \times 64$
YUV 4:2:0	eICディセーブル	端数切り上げ $(n \div 64) \times 64$
	ラインeICモード	端数切り上げ $((0.5n+1) \div 64) \times 64$
	部分eICモード	端数切り上げ $((\text{端数切り上げ}(n \div 24) \times 16) \div 64) \times 64$

メモリラインアドレスオフセット（MAO）を決定した後で、MAOにメモリ垂直サイズ（MVS）を掛けることによって必要メモリサイズを求めることができます。MVSは4ピクセルの倍数でなければなりません。各データフォーマットに必要なバイト数は、次の式を使って求めます。

RGB 5:6:5と8:8:8の場合  
 $\text{MAO} \times \text{MVS}$ （バイト）

YUV4:2:2の場合  
 $2 \times \text{MAO} \times \text{MVS}$ （バイト）

YUV4:2:0の場合  
 $\text{MAO} \times (\text{MVS} + 2 \times \text{端数切り上げ}(\text{MVS} \div 4))$ （バイト）

**例1:** 部分eICモードを使用する500ピクセル（水平サイズ）×600ピクセル（垂直サイズ）のYUV 4:2:2画像の必要メモリサイズを求めます。

$$\begin{aligned}\text{MAO} &= \text{端数切り上げ}((\text{端数切り上げ}(500 \div 24) \times 16)) \div 64 \times 64 \\ &= \text{端数切り上げ}(21 \times 16) \div 64 \times 64 \\ &= 6 \times 64 = \underline{384 \text{ バイト}}\end{aligned}$$

$$\begin{aligned}\text{必要メモリサイズ} &= 2 \times 384 \times 600 = \underline{460,800 \text{ バイト}}\end{aligned}$$

**例2:** ラインelCモードを使用する480ピクセル（水平サイズ）×642ピクセル（垂直サイズ）のYUV 4:2:0画像の必要メモリサイズを求めます。

$$\begin{aligned}\text{MAO} &= \text{端数切り上げ} \left( (0.5 \times 480 + 1) \div 64 \right) \times 64 \\ &= \text{端数切り上げ} (241 \div 64) \times 64 \\ &= 4 \times 64 = \underline{256 \text{ バイト}}\end{aligned}$$

$$\begin{aligned}\text{必要メモリサイズ} &= 256 \times (642 + 2 \times (\text{端数切り上げ} (642 \div 4))) \\ &= 256 \times (642 + 2 \times 161) = \underline{246,784 \text{ バイト}}\end{aligned}$$

## 11. メモリへの画像データの書き込み

---

### 11.2 メインメモリ書き込みパス

メインメモリ書き込みパスを使って、画像データをホストインタフェースまたはビデオインタフェースからメモリに書き込むことができます。メインメモリ書き込みパスには、書き込みプロセス中に使用できるオプションの機能がいくつかあります。

- ダブルバッファリング
- RGBからYUVへの変換
- 回転とミラー
- eIC (ecoイメージコーデック)

書き込みパスの概要は、265ページの図11.1「書き込みパスの概要」をご覧ください。各機能の詳細は、次の節を参照してください。

#### 11.2.1 ダブルバッファリング

メインメモリ書き込みパスを使うメモリに書き込まれた入力画像データは、ダブルバッファすることができます。ダブルバッファリングの詳細は、281ページの11.4「ダブルバッファリング」をご覧ください。

#### 11.2.2 RYC (RGBからYUVへのコンバータ)

メインメモリ書き込みパスは、ホストまたはビデオインタフェースから入力されたRGB画像データを、メモリへの格納前にYUV4:2:2画像データに変換することができます。RGB画像データは、以下の式を用いるITU-R BT.470-6システムBおよびG変換タイプ勧告に従ってYUV形式に変換されます。さらに、YUV 4:2:0変換イネーブルビット (REG[0504h]ビット5) を用いて、YUV 4:2:2画像データをYUV4:2:0画像データに変換することができます。

$$\begin{bmatrix} Y \\ U \\ V \end{bmatrix} = \begin{bmatrix} 0.299 & 0.587 & 0.114 \\ -0.169 & -0.331 & 0.500 \\ 0.500 & -0.419 & -0.081 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix}$$

#### 注

RYCの式を適用するとYUV非オフセットデータになります。ただし、実際のRYCブロックは、データをYUVオフセットとしてメモリに出力します。



## 11.2.3 回転とミラー

メインメモリ書き込みパスを用いて入力画像データをホストまたはビデオインタフェースからメモリに書き込むとき、画像データを回転または「ミラー反転」することができます。回転は、メモリに書き込むときに画像データを時計回り方向に90°、180°または270°回転させます。ミラー機能は、メモリに書き込むときに画像データを水平方向に反転します。両方の機能がイネーブルされた場合は、回転がミラー反転の前に適用されます。

入力画像データは、回転モード選択ビット（REG[0504h]ビット2～1）、ミラーイネーブルビット（REG[0504h]ビット3）および以下のパラメータの設定に従ってメモリに書き込まれます。選択した回転とミラーの設定を変更したときに、メインメモリとメイン画像のパラメータを変更する必要はありません。ただし、90°回転または270°回転を用いる場合は、回転させた画像が指定されたメモリサイズに収まるように、メインメモリラインアドレスオフセット（MAO）とメインメモリ垂直サイズ（MVS）を設定してください。

表11.9 回転およびミラーレジスタの一覧

記号	説明	レジスタ
MSA	メインメモリ開始アドレス（バッファ Aまたはバッファ B）	REG[0508h]～REG[0514h]
MAO	メインメモリラインアドレスオフセット	REG[0518h]
MVS	メインメモリ垂直サイズ	REG[051Ch]
IHS	メイン画像水平サイズ	REG[0520h]
IVS	メイン画像垂直サイズ	REG[0524h]
XSP	メイン画像X開始位置	REG[0528h]
YSP	メイン画像Y開始位置	REG[052Ch]

## 注

90°回転と270°回転では、IHSは「垂直」サイズを示し、IVSは「水平」サイズを示します。

以下の節で、回転およびミラー設定のそれぞれの組み合わせの例を説明します。

## 11. メモリへの画像データの書き込み

### 0°回転とミラーディセーブル

0°回転が選択され（REG[0504h]ビット2～1=00）、ミラーがディセーブルされた（REG[0504h]ビット3=0）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

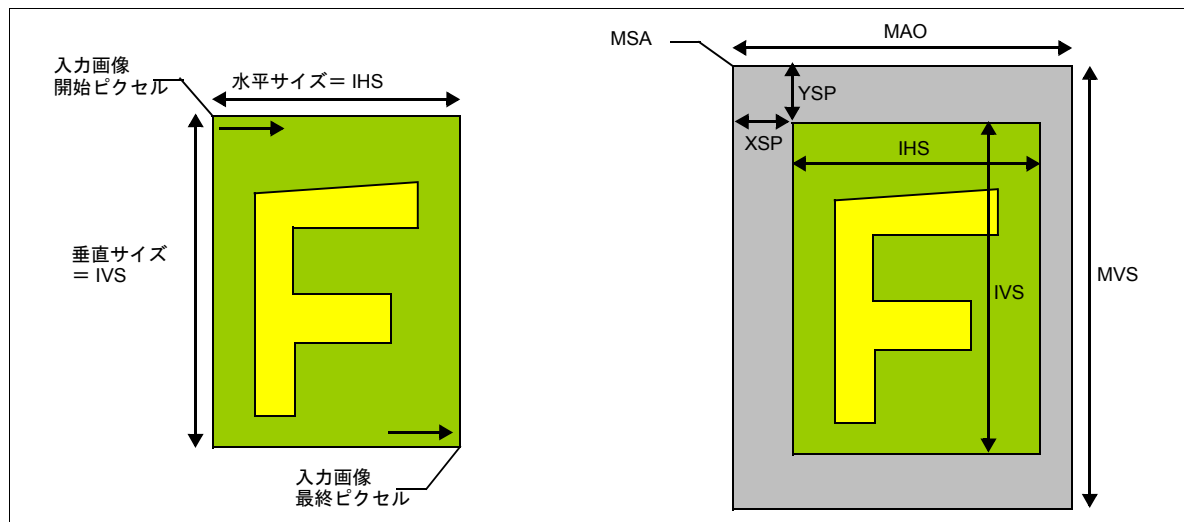


図11.4 0°回転とミラーディセーブル

### 90°回転とミラーディセーブル

90°回転が選択され（REG[0504h]ビット2～1=01）、ミラーがディセーブルされた（REG[0504h]ビット3=0）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

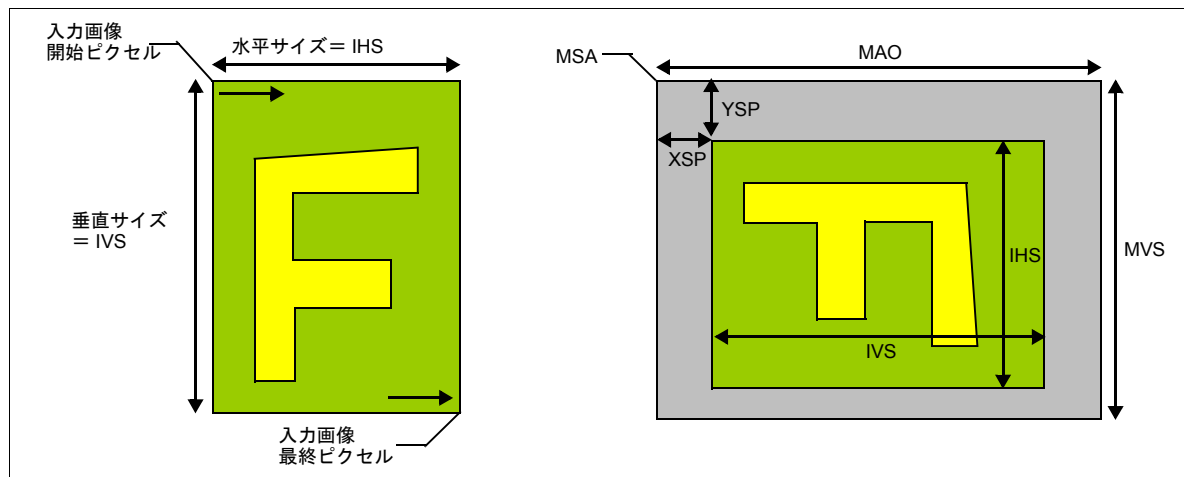


図11.5 90°回転とミラーディセーブル

#### 注

IHSは「垂直」サイズを示し、IVSは「水平」サイズを示します。

## 180°回転とミラーディセーブル

180°回転が選択され (REG[0504h]ビット2~1=10)、ミラーがディセーブルされた (REG[0504h]ビット3=0) メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

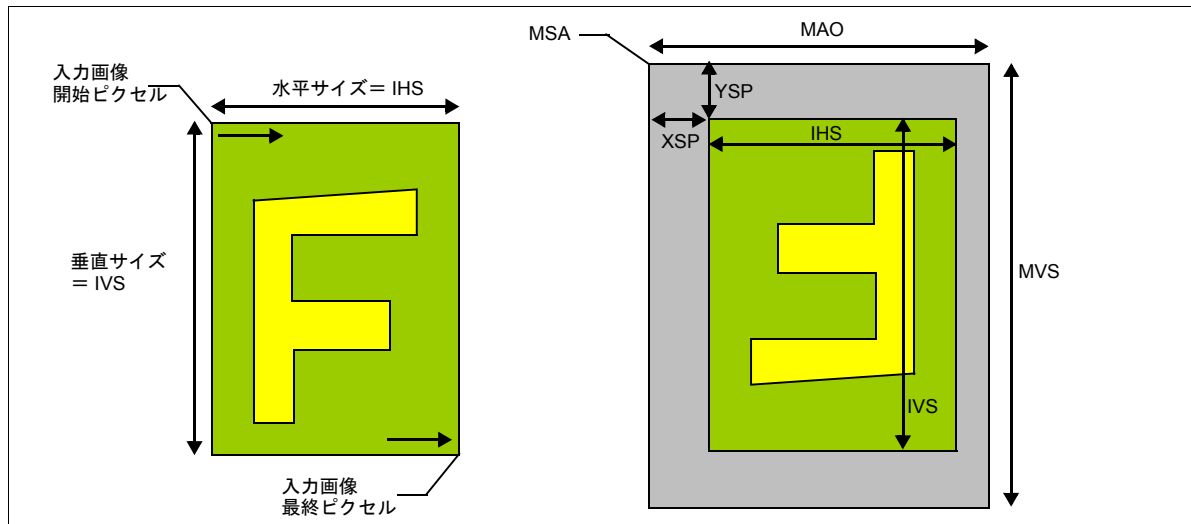


図11.6 180°回転とミラーディセーブル

## 270°回転とミラーディセーブル

270°回転が選択され (REG[0504h]ビット2~1=11)、ミラーがディセーブルされた (REG[0504h]ビット3=0) メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

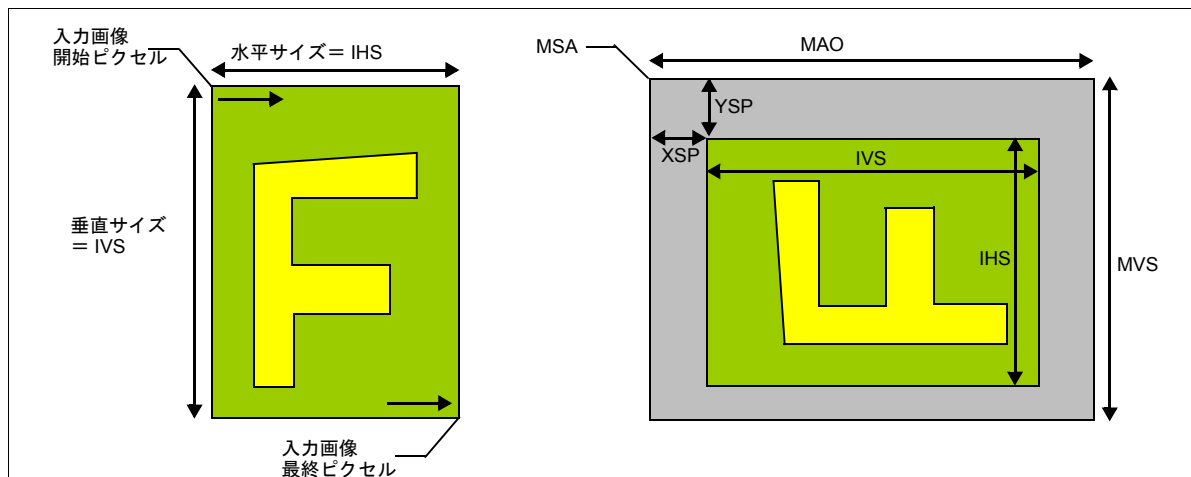


図11.7 270°回転とミラーディセーブル

## 注

IHSは「垂直」サイズを示し、IVSは「水平」サイズを示します。

## 11. メモリへの画像データの書き込み

### 0°回転とミラーイネーブル

0°回転が選択され（REG[0504h]ビット2～1=00）、ミラーがイネーブルされた（REG[0504h]ビット3=1）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

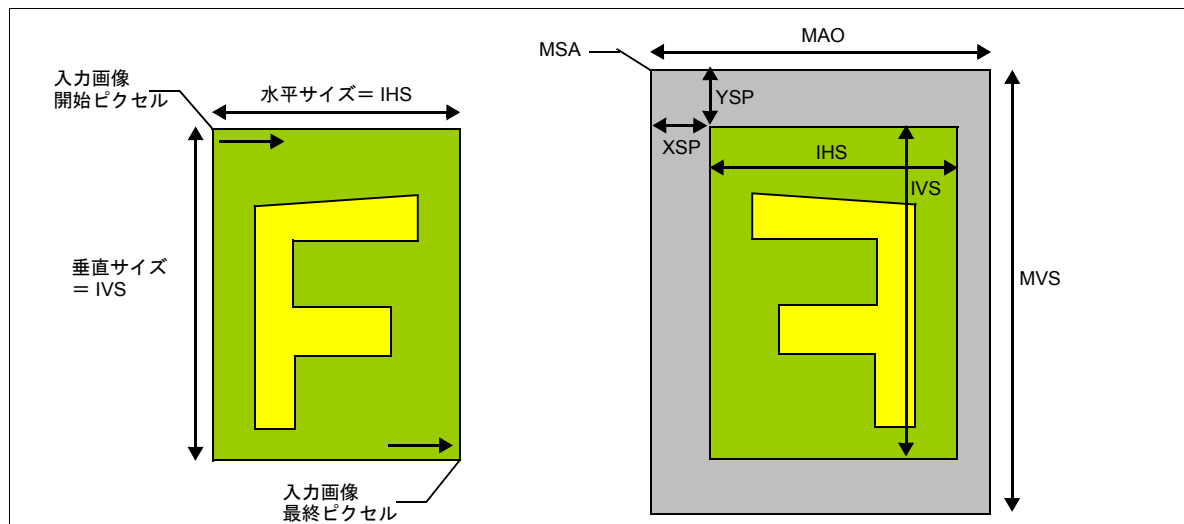


図11.8 0°回転とミラーイネーブル

### 90°回転とミラーイネーブル

90°回転が選択され（REG[0504h]ビット2～1=01）、ミラーがイネーブルされた（REG[0504h]ビット3=1）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

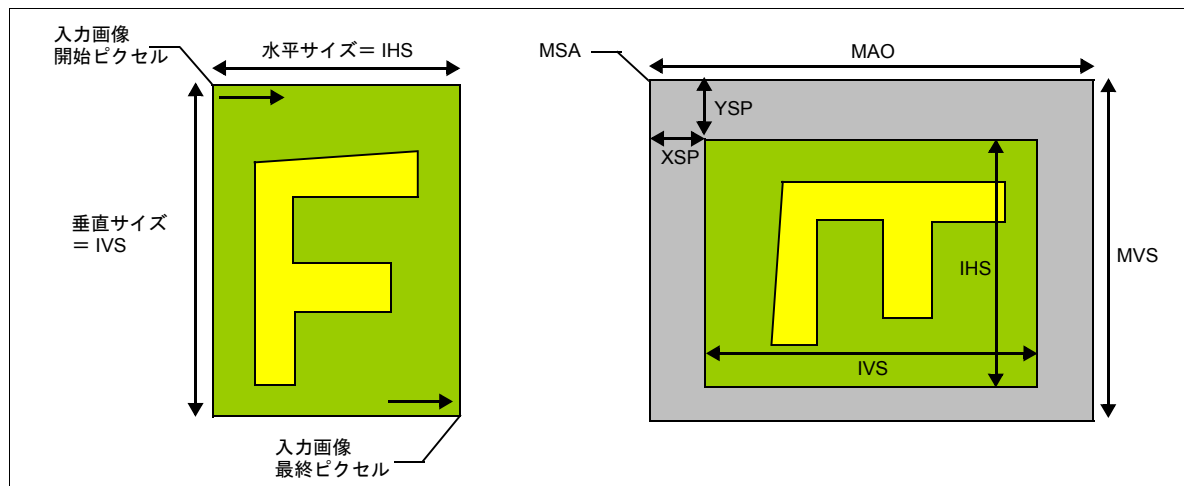


図11.9 90°回転とミラーイネーブル

#### 注

IHSは「垂直」サイズを示し、IVSは「水平」サイズを示します。

## 180°回転とミラーイネーブル

180°回転が選択され（REG[0504h]ビット2～1=10）、ミラーがイネーブルされた（REG[0504h]ビット3=1）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

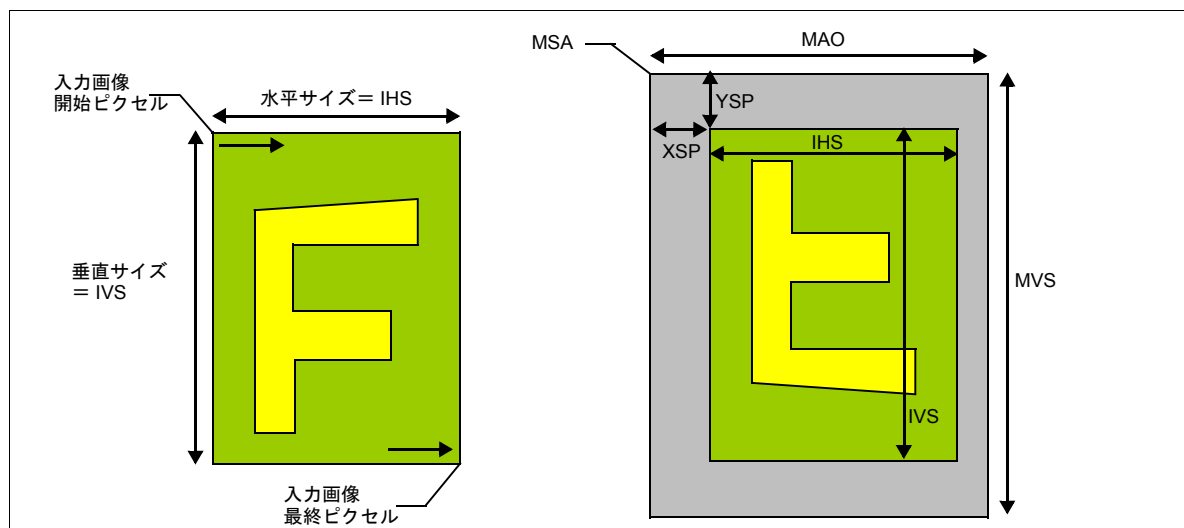


図11.10 180°回転とミラーイネーブル

## 270°回転とミラーイネーブル

270°回転が選択され（REG[0504h]ビット2～1=11）、ミラーがイネーブルされた（REG[0504h]ビット3=1）メインメモリ書き込みパスでは、ホストまたはビデオインタフェースからの入力画像データは、メモリに以下のように書き込まれます。

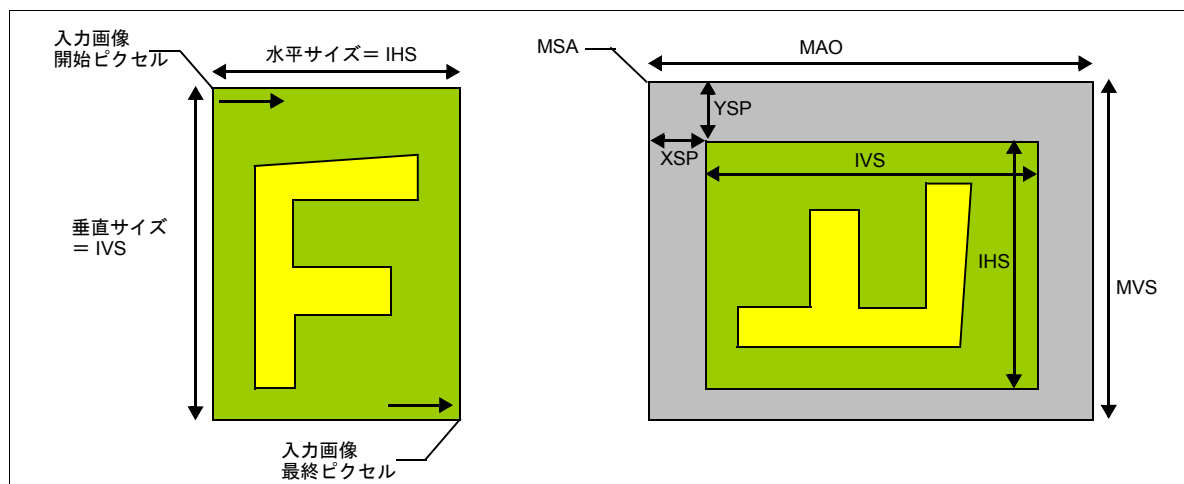


図11.11 270°回転とミラーイネーブル

## 注

IHSは「垂直」サイズを示し、IVSは「水平」サイズを示します。

## 11. メモリへの画像データの書き込み

### 11.2.4 eIC (ecoイメージコーデック)

メインメモリ書き込みパスを用いてホストまたはビデオインタフェースからの入力画像データをメモリに書き込むときに、メモリに書き込む前に画像データを処理することができます。この機能は、表示のために複数の大きな画像を記憶するとき役立ちます。RGBデータフォーマットとYUVデータフォーマット両方を処理することができます。

eICには、設定しなければならない次の2つの設定があります。

- 処理する単位
- 処理する方法

eICがイネーブルされたときは (REG[0504h] ビット8=1)、ラインごとに処理することも (eICラインモード)、それより小さいピクセル単位で処理することもできます (eIC部分モード)。この設定は、eIC単位選択ビット (REG[0504h] ビット12) によって制御されます。

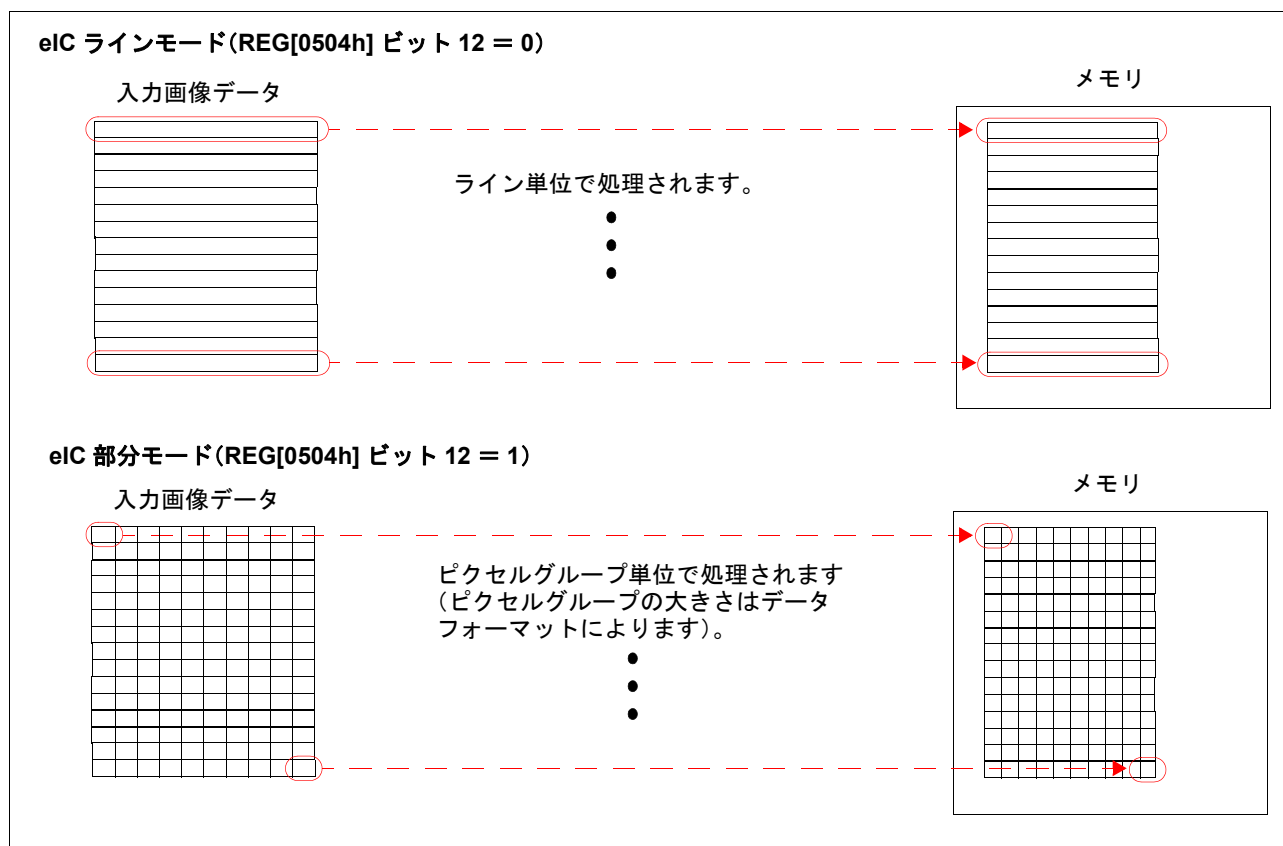


図11.12 eIC単位：ラインと部分

eIC部分モードを選択したときは、処理は、次のようにデータフォーマットに従ってピクセルグループで行われます。

表11.10 eIC部分モード：ピクセルグループ

データフォーマット	ピクセルグループサイズ
RGB 8:8:8	4ピクセル
RGB 5:6:5	5ピクセル
YUV 4:2:2	8ピクセル
YUV 4:2:0	8ピクセル

eICラインモードは、eIC部分モードと異なる処理を提供しますが、eIC部分モードでは、画像データを更新するときのフレキシビリティが高くなります。例えば、eICラインモードが選択されている間に画像の一部を更新しなければならない場合は、新しい画像データを含むラインをすべて更新しなければなりません。eIC部分モードを用いると、新しい画像を含むピクセルグループを更新するだけで済みます。

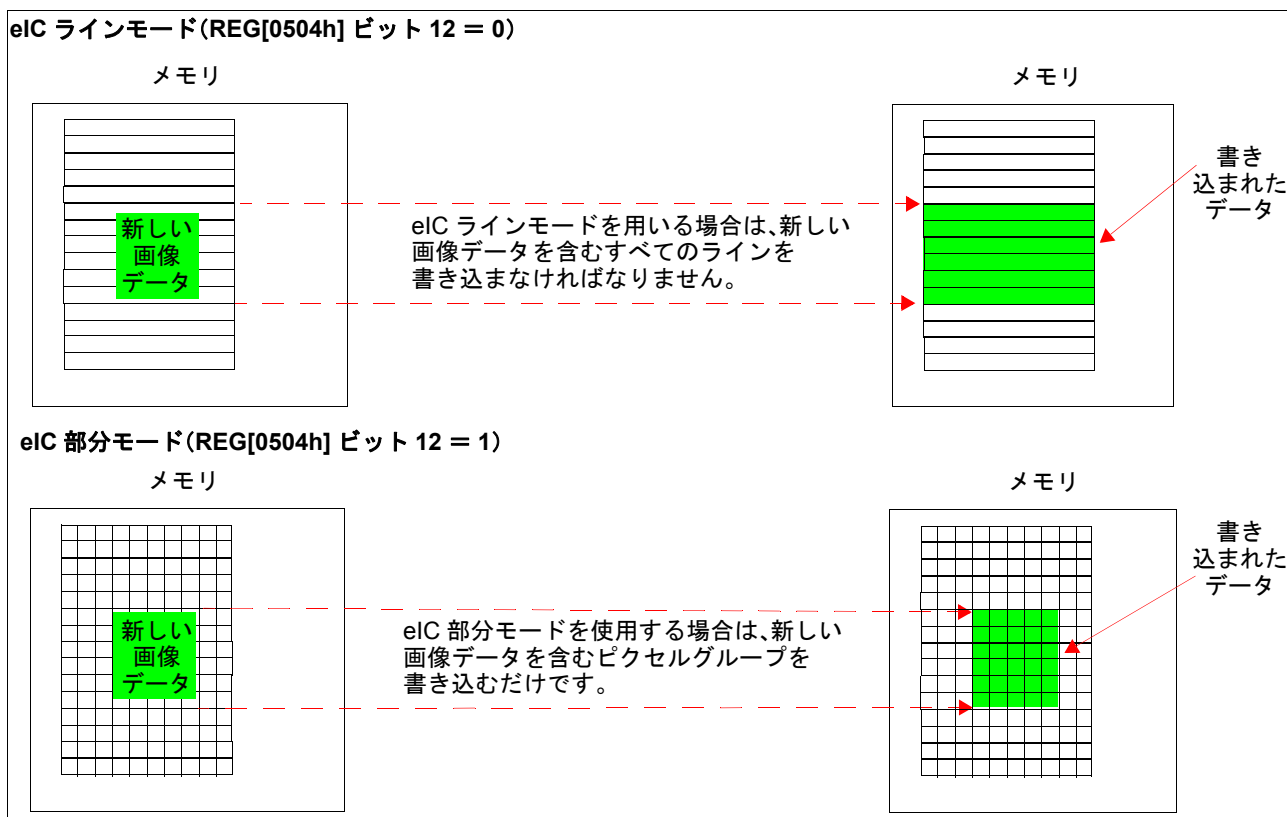


図11.13 画像データの更新：eICラインモードと部分モード

次に設定する必要があるのはeICモードです。eICモード選択ビット (REG[0504h] ビット13) を用いて2つのモードを選択することができます。適応eICモード (REG[0504h] ビット13=0) は、表示画像のテキスト品質を高めめます。ただし、適応eICモードは、RGBデータフォーマットとeICラインモードを用いるときだけ使用できます。通常のeICモード (REG[0504h] ビット13=1) は、すべての設定に使用できます。

## 11. メモリへの画像データの書き込み

### eICレート

それぞれの設定の標準的なeICレートは以下の表のとおりです。

表11.11 eICレート

フォーマット		eICラインモード		eIC部分モード	
		1ラインのオリジナル サイズ（ビット）	1ラインのサイズ （ビット）	オリジナルサイズ （ビット）	サイズ（ビット）
RGB 8:8:8		24×n（注1）	12×n+12	96ビット／4ピクセル	64
RGB 5:6:5		16×n	12×n+4	80ビット／5ピクセル	64
YUV 4:2:2	Y	8×n	4×n+8	64ビット／8ピクセル	40（注2）
YUV 4:2:0	UV	8×n	4×n+8	64ビット／8ピクセル	40（注2）

#### 注

1. nは1ライン内のピクセル数です。
2. それぞれ24ピクセルで128ビットのメモリが占有されます (120ビット)。

### eICオプションのまとめ

使用できるeICオプションは以下の表のとおりです。

表11.12 eICラインモード、部分モード

	eICディセーブル	eICラインモード	eIC部分モード
サポートするメモリフォーマット	RGB 8:8:8、RGB 5:6:5、YUV 4:2:2、YUV 4:2:0	RGB 8:8:8、RGB 5:6:5、YUV 4:2:2、YUV 4:2:0	RGB 8:8:8、RGB 5:6:5、YUV 4:2:2、YUV 4:2:0
適応モード	X	√ (RGBのみ)	X
回転	√	X	√
ミラー	√	X	√
画像スクロール	√	√	√
透過、アルファブレンディング	√ (RGBのみ)	√ (RGBのみ)	√ (RGBのみ)
メモリ内の画像の計算単位	RGB : 1ピクセル YUV : 2ピクセル	1ライン	RGB 8:8:8 : 4ピクセル RGB 6:6:6 : 4ピクセル RGB 5:6:5 : 5ピクセル YUV 4:2:2 : 8ピクセル YUV 4:2:0 : 8ピクセル
LCD表示の水平方向の画像の 開始位置 (切り抜き表示)	RGB : 1ピクセル YUV : 2ピクセル	ラインの最上部のみ	RGB 8:8:8 : 4ピクセル RGB 6:6:6 : 4ピクセル RGB 5:6:5 : 5ピクセル YUV 4:2:2 : 8ピクセル YUV 4:2:0 : 8ピクセル



### 11.3 サブメモリ書き込みパス

サブメモリ書き込みパスを用いて、画像データをホストまたはビデオインタフェースからメモリに書き込むことができます。サブメモリ書き込みパスは、ダブルバッファリングですが（281ページの11.4「ダブルバッファリング」を参照）、メインメモリ書き込みパスが提供する他の機能はありません。

書き込みパスの概要は、265ページの図11.1「書き込みパスの概要」をご覧ください。

### 11.4 ダブルバッファリング

ダブルバッファリングは、メインメモリ書き込みパスとサブメモリ書き込みパスの両方で使用できます。ダブルバッファリングは、PIP1またはPIP2ウィンドウに表示されるストリーミング画像データを書き込むように設計されています。メインウィンドウの画像データはダブルバッファしないください。

ダブルバッファリングがイネーブルされたときは、2つのメモリ開始アドレスが使用され、入力画像データが2つのアドレスに交互に書き込まれます。これにより、表示パスは、書き込まれていないバッファから画像データを読み出すことができ、一方のバッファだけが使用されているときに生じる恐れがある「ティアリング効果」を防ぐことができます。以下の図は、このテクニックの例です。

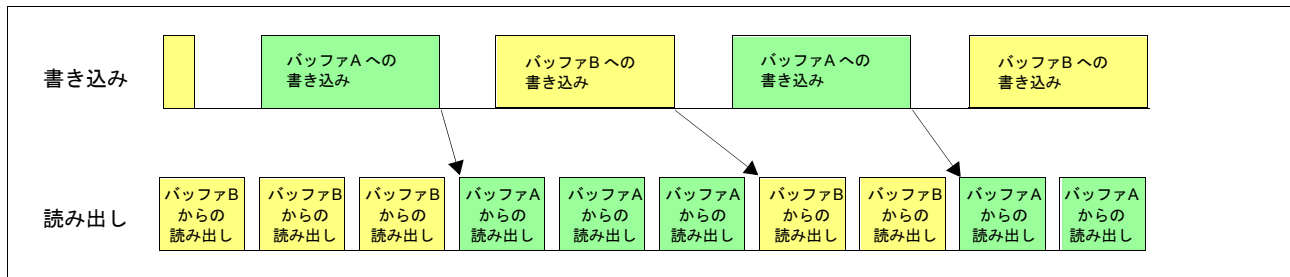


図11.14 ダブルバッファリングを用いた交互の書き込みと読み出しアクセス

## 11. メモリへの画像データの書き込み

ダブルバッファリングをイネーブルしたときは、メモリ開始アドレスをそれぞれのバッファ（バッファ A と バッファ B）ごとに設定してください。他の設定はすべて、両方のバッファに共用されます（266ページの11.1「書き込みパスの設定」を参照）。

表11.13 書き込みパスダブルバッファメモリ開始アドレスレジスタ

書き込みパス	バッファ A	バッファ B
メインメモリ	REG[0508h]、REG[050Ch]	REG[0510h]、REG[0514h]
サブメモリ	REG[0584h]、REG[0588h]	REG[058Ch]、REG[0590h]

以下の図は、ダブルバッファリングがイネーブルされた書き込みパスを介して、ホストまたはビデオインタフェースからLCDインタフェースまでのデータフローを示します。ホストは、ダブルバッファ状態ビット（メインメモリではREG[0504h]ビット7、サブメモリではREG[0580h]ビット7）を用いて、そのとき書き込まれているバッファを決定することができます。

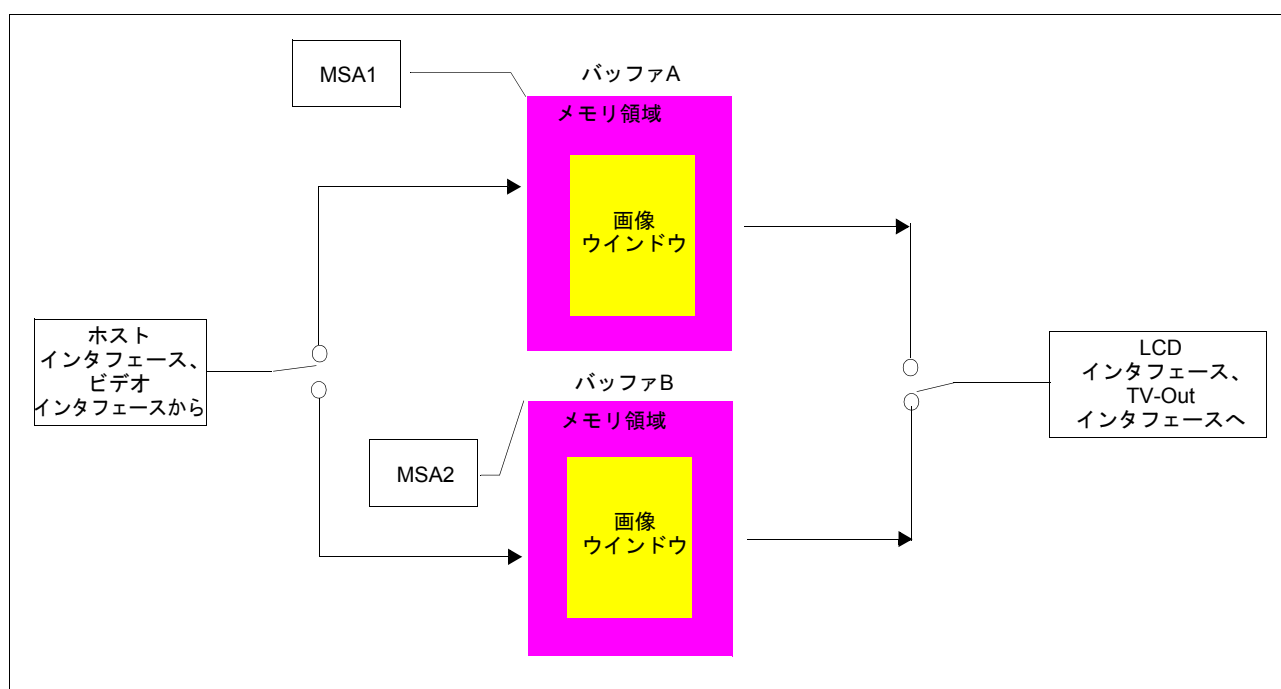


図11.15 ダブルバッファリングの書き込みパスのデータフロー

## 12. メモリからの画像データの表示

メモリからLCDおよびTV-Outインタフェースに画像データを表示するには次の3つのパスを使用することができます。

- メインウインドウ（メイン1とメイン2を含む）
- PIP1ウインドウ
- PIP2ウインドウ

画像データをLCD1、LCD2またはTV-Outインタフェースに出力するために、3つの表示パスをすべて同時に使用することができます。さらに他のモードでは、PIP1およびPIP2ウインドウをTV-Outインタフェースに出力しながらメインウインドウをLCD1インタフェースに出力することができます。LCDおよびTV-Outインタフェースとサポートするモードの詳細は、360ページの15.「LCDおよびTVインタフェース」をご覧ください。

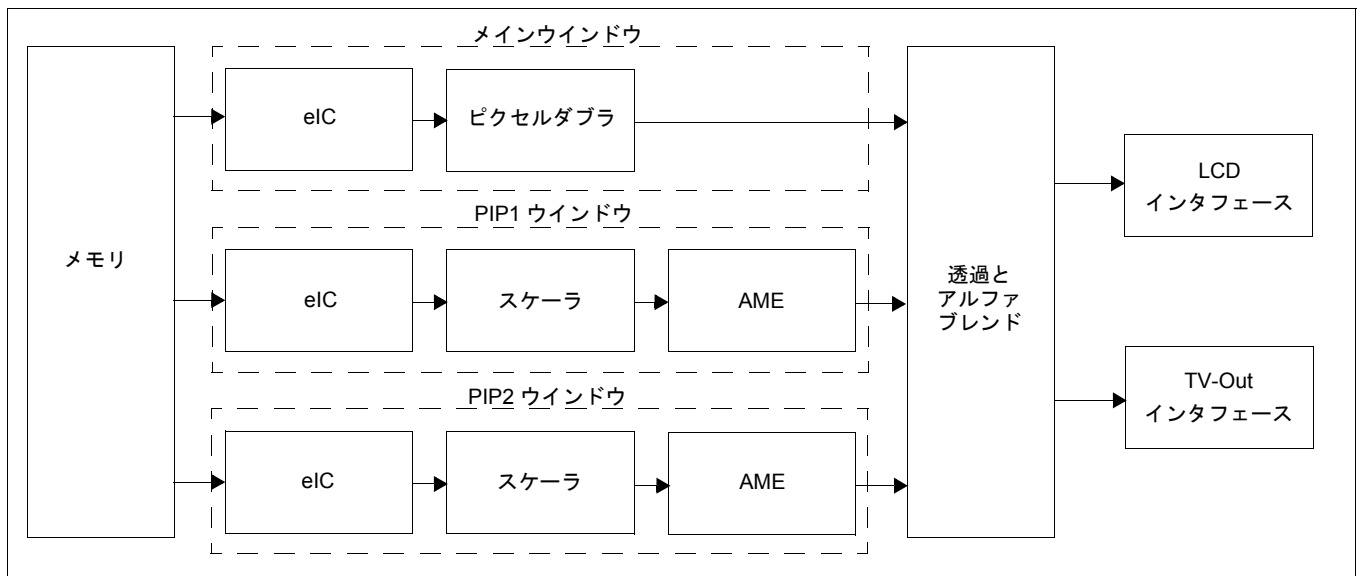


図12.1 表示パスの概要

3つの表示パスはすべて、eIC処理（必要に応じて）、透過機能およびアルファブレンディング機能をサポートしています。ピクセルダブリングを用いて、メインウインドウパスの画像データの出力を拡張することができます。ピクセルダブリングを水平方向と垂直方向に別々に制御し、出力画像のサイズを「2倍」にすることができます。

スケーラを用いて、PIPウインドウの画像データの出力を縮小したり拡張したりすることができます。また、AME（オートムービーエンハンスメント）を用いて、PIPウインドウの画像データのコントラスト、彩度およびガンマを調整することもできます。PIP1ウインドウとPIP2ウインドウ両方にAMEを同時に使用することはできません。

## 12. メモリからの画像データの表示

表示パスに使用できる機能は次の表のとおりです。

表12.1 表示パス機能の一覧

表示パス	データフォーマット	eIC	スケーリング	AME	透過とアルファブレンディング
メインウインドウ (注1)	RGB 8:8:8、RGB 5:6:5	√	ピクセルダブリング	X	√
PIP1ウインドウ	RGB 8:8:8、RGB 5:6:5、 YUV 4:2:2、YUV 4:2:0	√	スケーラ	√ (注2)	√
PIP2ウインドウ	RGB 8:8:8、RGB 5:6:5、 YUV 4:2:2、YUV 4:2:0	√	スケーラ	√ (注2)	√

### 注

1. メインウインドウ設定は、メイン1ウインドウとメイン2ウインドウの両方に適用されます。
2. AMEは、PIP1ウインドウとPIP2ウインドウの両方に同時に使用することはできません。

### 12.1 表示パスの設定

メモリ領域のサイズと画像ウインドウは、それぞれの表示パスごとに設定してください。これらの設定は、書き込みパスの設定に用いられるパラメータと似ています (266ページの11.1「書き込みパスの設定」を参照)。

メモリ領域のサイズは、開始アドレス (MSA)、ラインアドレスオフセット (MAO) および垂直サイズ (MVS) を指定することによって設定されます。画像ウインドウは、水平サイズ (IHS)、垂直サイズ (IVS) および開始位置 (XSP, YSP) を用いて定義されます。これらのパラメータは、メイン1、メイン2、PIP1およびPIP2の表示パスごとに個別に設定してください。

## 12. メモリからの画像データの表示

メモリ領域は、画像ウインドウに必要な領域より大きな領域に設定することができます。以下の図は、設定しなければならない表示パスパラメータを示します。

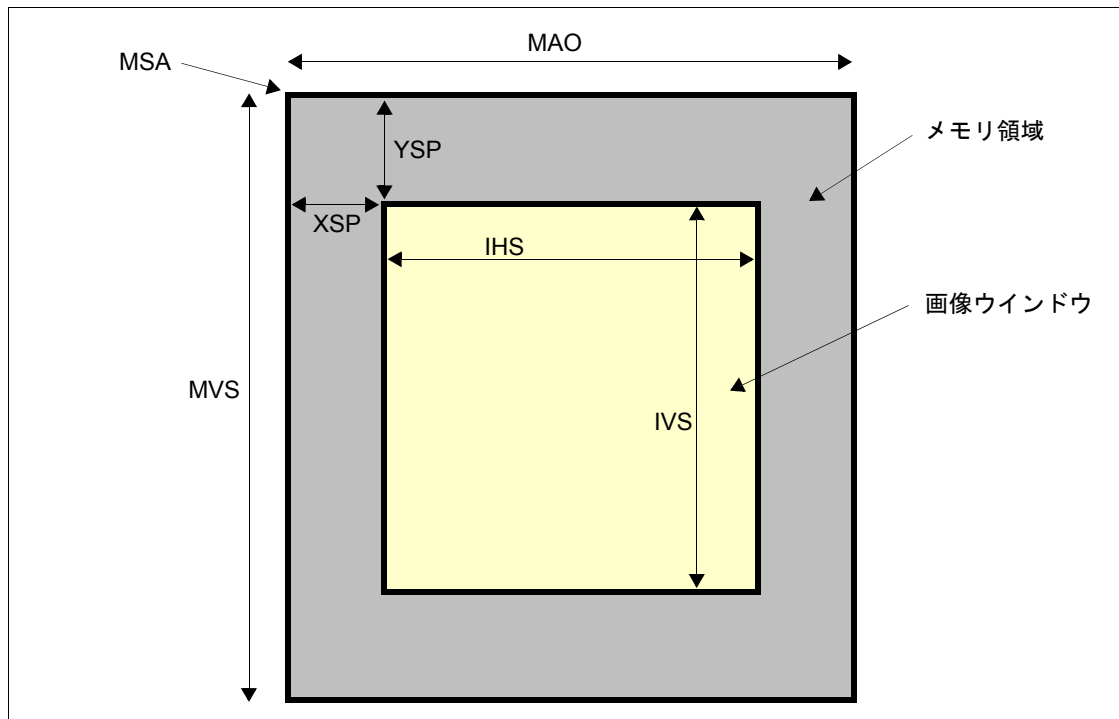


図12.2 表示パスパラメータ

表示画像が、YUV 4:2:2フォーマットまたはYUV 4:2:0フォーマットで記憶されるとき、2つのメモリ開始アドレス（MSA）を必要とするYデータとUVデータが別々に記憶されます。RGBフォーマットの画像データは、1つのメモリ開始アドレスだけを使用します。表示パスに用いられる最小値、最大値およびレジスタは以下の表のとおりです。

表12.2 表示パスパラメータの概要

記号	説明	Min	Max	単位	メイン1 ウインドウ	メイン2 ウインドウ	PIP1 ウインドウ レジスタ	PIP2 ウインドウ レジスタ
MSA	メモリ開始アドレス	—	—	バイト	REG[0684h]	REG[06A8h]	REG[0714h] REG[0718h]	REG[0814h] REG[0818h]
MAO	メモリラインアドレス オフセット	64	4032	バイト	REG[0688h]	REG[06ACh]	REG[0724h]	REG[0824h]
MVS	メモリ垂直サイズ	4	1024	ライン	REG[068Ch]	REG[06B0h]	REG[0728h]	REG[0828h]
IHS	画像水平サイズ	16	1024	ピクセル	REG[0690h]	REG[06B4h]	REG[072Ch]	REG[082Ch]
IVS	画像垂直サイズ	1	1024	ライン	REG[0694h]	REG[06B8h]	REG[0730h]	REG[0830h]
XSP	画像X開始位置	0	1023	ピクセル	REG[0698h]	REG[06BCh]	REG[0734h]	REG[0834h]
YSP	画像Y開始位置	0	1023	ライン	REG[069Ch]	REG[06C0h]	REG[0738h]	REG[0838h]

## 12. メモリからの画像データの表示

多くの表示パスパラメータには、設定できる値を決定するアライメントまたは単位の制約があります。すべてのケースで、ラインアドレスオフセット（MAO）を64バイトで位置合わせし、メモリ垂直サイズ（MVS）を4ピクセルの倍数に設定してください。他のすべてのパラメータの制約は、データフォーマット、eICモード、および設定される表示パスの組み合わせによって決定されます。メインウィンドウはYUVデータフォーマットをサポートしませんのでご注意ください。以下の表に、それぞれの組み合わせごとの守らなければならない表示パスパラメータの制約を示します。

表12.3 PIP1およびPIP2ウィンドウ：eICディセーブル

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MAO	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	2ピクセル	2ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	2ピクセル	1ピクセル	2ピクセル	2ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	2ピクセル

表12.4 PIP1およびPIP2ウィンドウ：eICラインモード

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MAO	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	2ピクセル	2ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	(注)	(注)	(注)	(注)
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	2ピクセル

### 注

eICラインモードを使用するとき、XSPはゼロでなければなりません。

表12.5 PIP1およびPIP2ウィンドウ：eIC部分モード

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MAO	メモリラインアドレスオフセット	64バイト	64バイト	64バイト	64バイト
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	4ピクセル	4ピクセル
IHS	画像水平サイズ	2ピクセル	2ピクセル	2ピクセル	2ピクセル
IVS	画像垂直サイズ	1ピクセル	1ピクセル	1ピクセル	2ピクセル
XSP	画像X開始位置	4ピクセル	5ピクセル	8ピクセル	8ピクセル
YSP	画像Y開始位置	1ピクセル	1ピクセル	1ピクセル	2ピクセル

表12.6 メインウィンドウ : eICディセーブル

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	—	—
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	—	—
IHS	画像水平サイズ	1ピクセル	1ピクセル	—	—
IVS	画像垂直サイズ	1ピクセル	1ピクセル	—	—
XSP	画像X開始位置	2ピクセル	1ピクセル	—	—
YSP	画像Y開始位置	1ピクセル	1ピクセル	—	—

表12.7 メインウィンドウ : eICラインモード

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	—	—
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	—	—
IHS	画像水平サイズ	1ピクセル	1ピクセル	—	—
IVS	画像垂直サイズ	1ピクセル	1ピクセル	—	—
XSP	画像X開始位置	(注)	(注)	—	—
YSP	画像Y開始位置	1ピクセル	1ピクセル	—	—

## 注

eICラインモードを使用するとき、XSPはゼロでなければなりません。

表12.8 メインウィンドウ : eIC部分モード

記号	説明	データフォーマット			
		RGB 8:8:8	RGB 5:6:5	YUV 4:2:2	YUV 4:2:0
MA0	メモリラインアドレスオフセット	64バイト	64バイト	—	—
MVS	メモリ垂直サイズ	4ピクセル	4ピクセル	—	—
IHS	画像水平サイズ	1ピクセル	1ピクセル	—	—
IVS	画像垂直サイズ	1ピクセル	1ピクセル	—	—
XSP	画像X開始位置	4ピクセル	5ピクセル	—	—
YSP	画像Y開始位置	1ピクセル	1ピクセル	—	—

## 12. メモリからの画像データの表示

### 12.2 メインウィンドウ

S1D13774のメインウィンドウは、最大2つのウィンドウ（メイン1とメイン2）から構成されます。ウィンドウは重なることができません。289ページの12.2.1「メインウィンドウの制約」に示した制約に従ってください。それぞれのウィンドウは、パネルの左上角（0,0）に対するウィンドウの位置を決定するx,y座標と、各ウィンドウのサイズを指定する高さレジスタと幅レジスタを使って個々に設定されます。

表示画像全体のサイズは、HDP（水平表示期間）とVDP（垂直表示期間）の設定によって決定されます。これでカバーされない表示部分は背景色に設定されます。

メインウィンドウ画像データは、指定された表示開始アドレスから始まるRGB 8:8:8フォーマットまたはRGB 5:6:5フォーマットで表示メモリに記憶されます。

メインウィンドウ画像データは、ピクセルダブリング機能を用いて出力する際にも拡張することができます。詳細は、290ページの12.2.3「ピクセルダブリング」をご覧ください。

メインウィンドウのx, y開始位置とサイズの設定に使用されるレジスタは以下の図のとおりです。

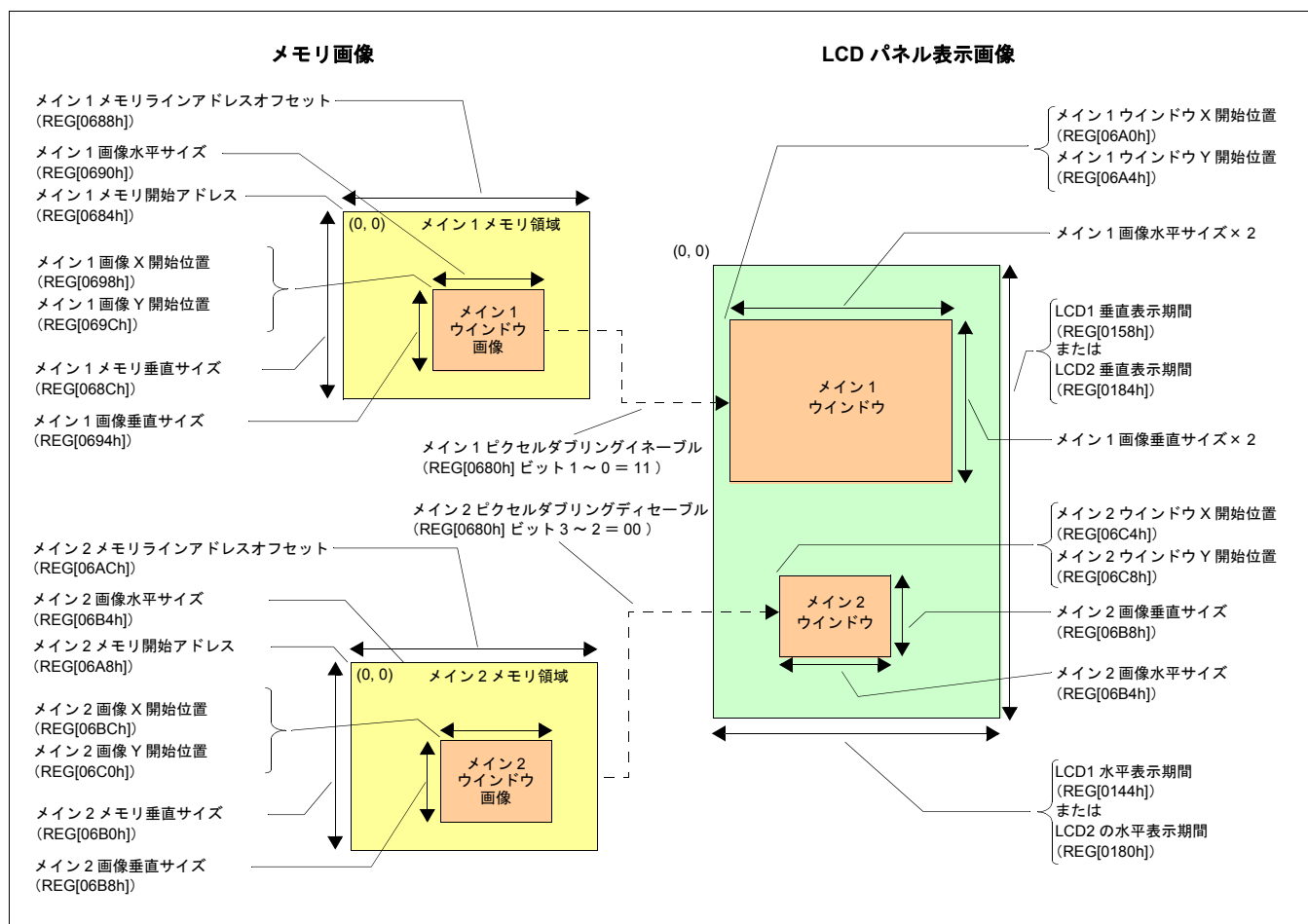


図12.3 メインウィンドウの構成



## 12.2.1 メインウィンドウの制約

メインウィンドウを設定するときは以下の制約を考慮してください。

- メインウィンドウ（メイン1またはメイン2）の右端が、HDPによって規定された表示パネルの幅（ピクセル）を超えないこと。
- メインウィンドウ（メイン1またはメイン2）の下端が、VDPによって規定された表示パネルの高さ（ライン）を超えないこと。
- メイン1ウィンドウの下端が、メイン2ウィンドウの上端（ライン）を超えないこと。

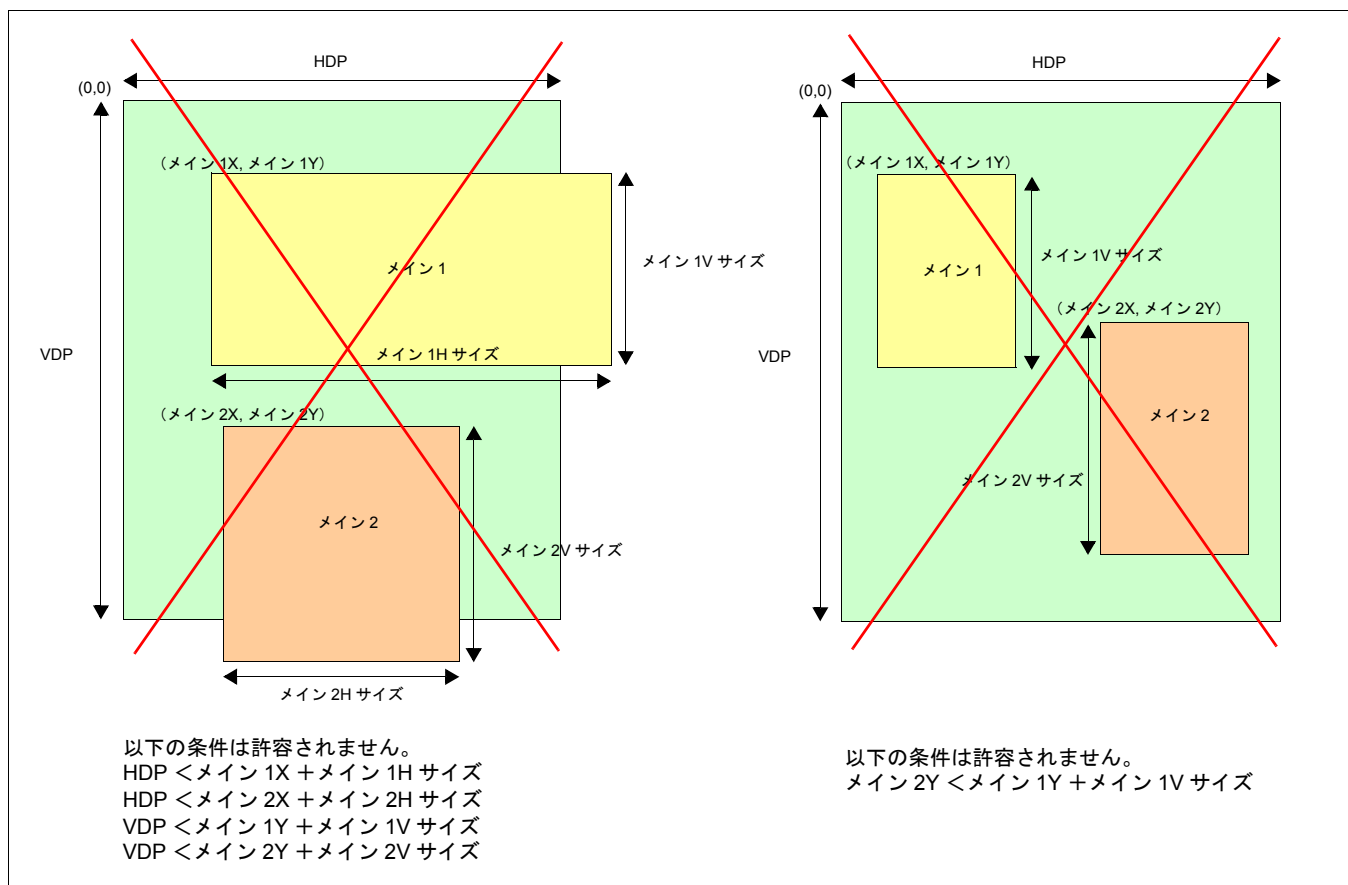


図12.4 メインウィンドウの制約

## 12. メモリからの画像データの表示

### 12.2.2 メインウインドウの入力フォーマット

メインウインドウの画像データは、RGB 8:8:8フォーマットとRGB 5:6:5フォーマットのどちらかとして記憶されます。画像データがRGB 5:6:5フォーマットで記憶される場合は、処理される前にRGB 8:8:8に変換されます。

表12.9 RGB 5:6:5からRGB 8:8:8への変換

RGB 5:6:5						RGB 8:8:8							
R4	R3	R2	R1	R0		R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		B4	B3	B2	B1	B0	B4	B3	B2

### 12.2.3 ピクセルダブリング

既存の画像データを使用したより大きなパネルサイズへの移行を容易にするために、ピクセルダブリングを使って両方のメインウインドウの画像データを拡張することができます。次の図は、メイン1ウインドウのピクセルダブリングがイネーブルされた例を示します。

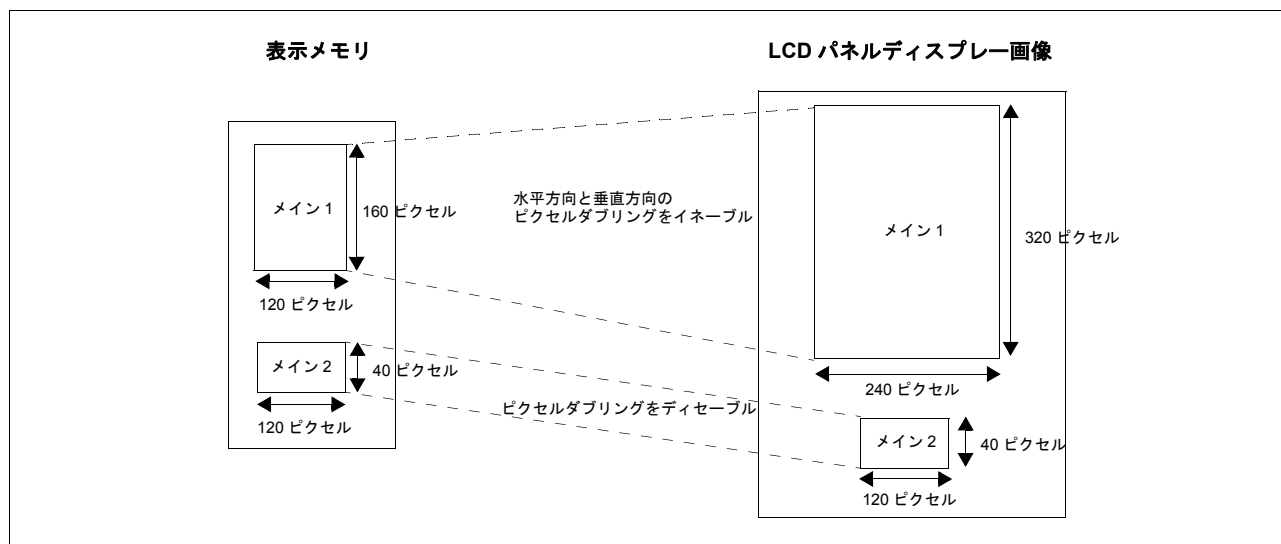


図12.5 メインウインドウピクセルダブリングの例

#### 注

289ページの12.2.1「メインウインドウの制約」で述べたメインウインドウの制約は、「ピクセルダブリング」の寸法にも適用されます。例えば、水平方向のピクセルダブリングをイネーブルしたときに、メイン1ウインドウの右端がHDPを超えることはできません。

以下のレジスタを用いて、それぞれのメインウィンドウの水平方向と垂直方向両方のピクセルダブリングを独立して制御することができます。各ビットの詳細は、197ページの9.4.15「メインウィンドウ設定レジスタ」のビットの説明をご覧ください。

**表12.10 メインウィンドウピクセルダブリングレジスタ**

メインウィンドウ	水平イネーブル	垂直イネーブル
メイン1	REG[0680h]ビット0	REG[0680h]ビット1
メイン2	REG[0680h]ビット2	REG[0680h]ビット3

### 12.3 PIPウィンドウ

S1D13774は、2つのPIPウィンドウ（PIP1とPIP2）をサポートします。それぞれのウィンドウは、他のPIPウィンドウやメインウィンドウと重なることができます。PIPウィンドウは、293ページの12.3.1「PIPウィンドウの制約」の制約を守ってください。それぞれのPIPウィンドウは、パネルの左上角（0,0）に対するウィンドウの開始・終了x,y座標を定義することによって個別に設定されます。

表示画像全体のサイズは、HDP（水平表示期間）とVDP（垂直表示期間）の設定によって決定されます。PIPウィンドウでもメインウィンドウでもカバーされない表示部分（288ページの12.2「メインウィンドウ」を参照）は、背景色に設定されます。

PIPウィンドウの画像データは、指定された表示開始アドレスから始まるRGB8:8:8フォーマット、RGB5:6:5フォーマット、YUV4:2:2フォーマットまたはYUV4:2:0フォーマットとして表示メモリに記憶されます。表示出力される前に、画像データはすべてRGB 8:8:8に変換されます。変換処理の詳細は、294ページの12.3.2「PIPウィンドウ入力フォーマット」をご覧ください。

PIPウィンドウは以下の機能もサポートしています。

- スケーリングによりPIPウィンドウ画像データの拡大と縮小が可能です。
- AME（オートムービーエンハンスメント）は、PIPウィンドウ画像データの彩度、コントラストおよびガンマ補正を提供します。PIP1とPIP2両方に同時にAMEを使用することはできませんのでご注意ください。
- ダブルバッファリングは、PIPウィンドウに表示されるストリーミング画像データのティアリング効果を軽減します。
- パノラマスケーリングは、垂直方向と水平方向の5つまでの領域に拡大率を個別に設定することができます。パノラマスケーリングはPIP2ウィンドウにのみ使用可能であることにご注意ください。

## 12. メモリからの画像データの表示

PIPウィンドウのx, y開始位置とサイズを設定するために用いられるレジスタは次の図のとおりです。

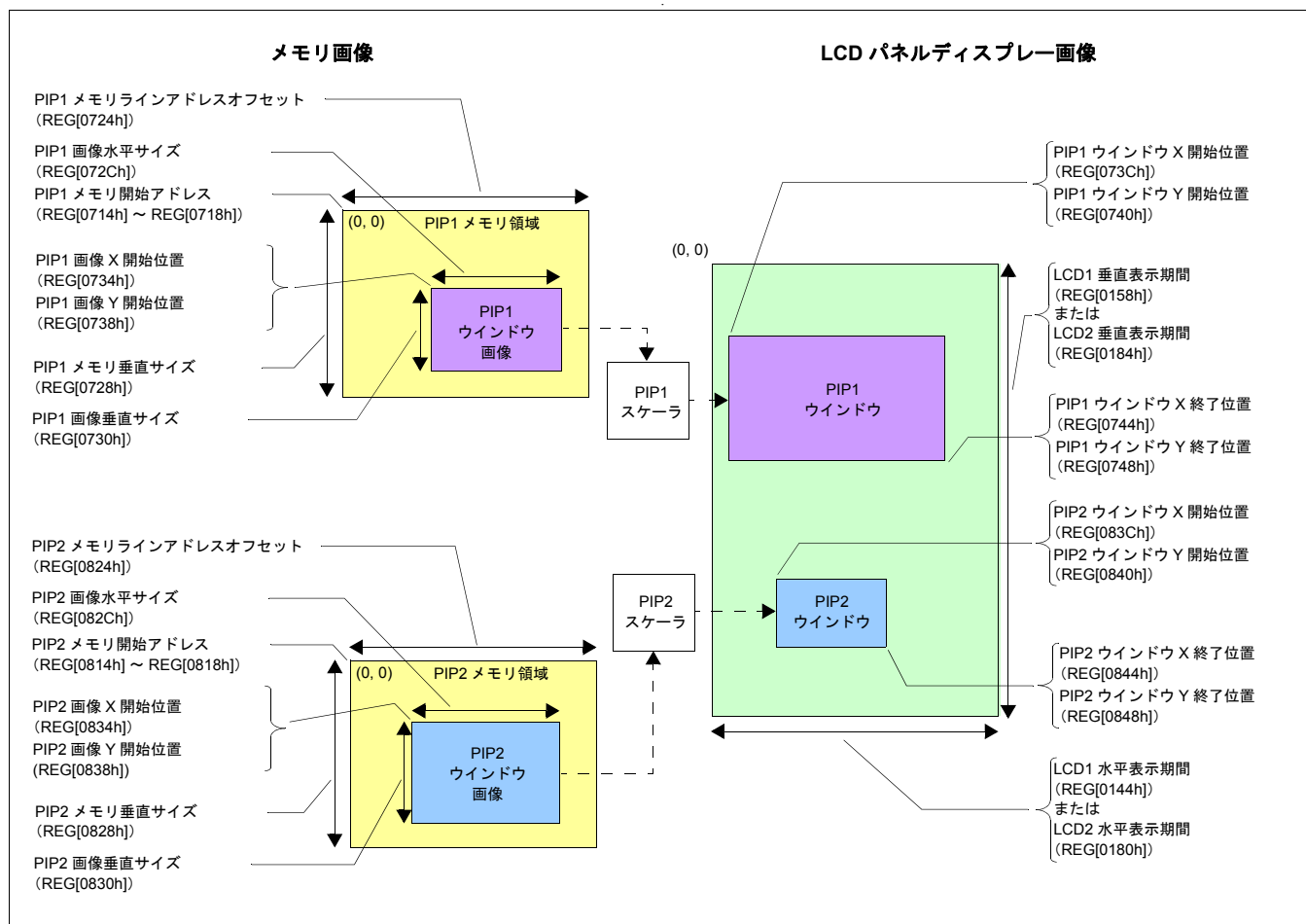


図12.6 PIPウィンドウの設定

### 12.3.1 PIPウィンドウの制約

PIPウィンドウを設定するときは以下の制約を考慮してください。

- PIPウィンドウ（PIP1またはPIP2）の右端が、HDPによって規定された表示パネルの幅（ピクセル）を超えないこと。
- PIPウィンドウ（PIP1またはPIP2）の下端が、VDPによって規定された表示パネルの高さ（ライン）を超えないこと。

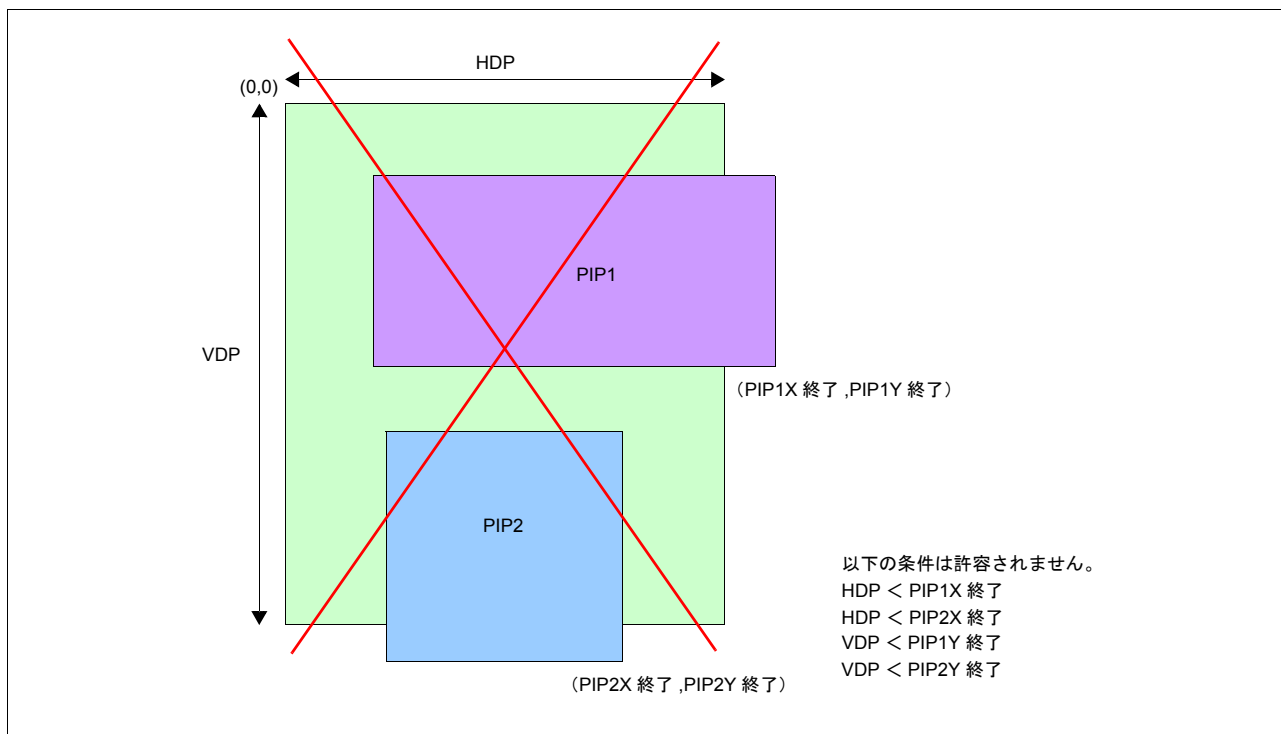


図12.7 PIPウィンドウの制約

## 12. メモリからの画像データの表示

### 12.3.2 PIPウインドウ入力フォーマット

PIPウインドウの画像データは、RGB 8:8:8フォーマット、RGB 5:6:5フォーマット、YUV 4:2:2フォーマットまたはYUV 4:2:0フォーマットとして記憶されます。画像データがRGB 5:6:5フォーマットで記憶される場合は、表示装置に出力される前にRGB 8:8:8に変換されます。

表12.11 RGB 5:6:5からRGB 8:8:8への変換

RGB 5:6:5						RGB 8:8:8							
R4	R3	R2	R1	R0		R4	R3	R2	R1	R0	R4	R3	R2
G5	G4	G3	G2	G1	G0	G5	G4	G3	G2	G1	G0	G5	G4
B4	B3	B2	B1	B0		B4	B3	B2	B1	B0	B4	B3	B2

YUV 4:2:2とYUV 4:2:0は、次の式を用いるITU-R BT.470-6システムBおよびG変換タイプ勧告に従ってRGBに変換されます。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1.000 & 0.000 & 1.402 \\ 1.000 & -0.344 & -0.714 \\ 1.000 & 1.772 & 0.000 \end{bmatrix} \begin{bmatrix} Y \\ U \\ V \end{bmatrix}$$

#### 注

YUVオフセットデータがメモリに記憶されるとき、YUVオフセットデータは、RGBに変換される前に、オフセットデータのないYUVに変換されます。

### 12.3.3 スケーリング

PIP1ウインドウとPIP2ウインドウにはそれぞれ、PIPウインドウソース画像データの拡大縮小に使用できる別々のスケーラがあります。フィルタスケーリングモードは、スケーラが、オーバー／ダウンサンプルスケーリングを実行するかバイキュービックスケーリングを実行するかを決定します。

オーバー／ダウンサンプルスケーリングは、ピクセルを削除することによって画像サイズを縮小し、ピクセルを挿入することによって画像サイズを拡大します。オーバー／ダウンサンプルスケーリングを選択すると、ソース画像データを8倍まで拡大したり、1/8倍まで縮小したりすることができます。

バイキュービックスケーリングは、補間法を用いて大きな拡大によって生じるアーティファクトを減少させます。バイキュービックスケーリングを選択すると、ソース画像データを8倍まで拡大したり1/2倍まで減少したりすることができます。また、このモードではエッジ強調機能が使用できます。エッジ強調は、画像内の物体の輪郭を自動的に検出することによって画像をシャープにします。エッジ強調の強さは、ソフトウェアによって制御することができます。

PIP1スケーラとPIP2スケーラの両方を設定するときは、以下の制約を守ってください。

- 最小ソース画像サイズが4×4ピクセルであること
- 最大ソース画像サイズが864×1024ピクセルであること

PIP2ウィンドウは、パノラマスケーリング（ワイドスケーリングモード）もサポートしています。パノラマスケーリングでは、水平方向と垂直方向のどちらにも倍率を変更することができます。パノラマスケーリングは、水平／垂直同時のスケーリングに対応していません。パノラマスケーリングの詳細は、317ページの12.6「PIP2パノラマスケーリング」をご覧ください。

使用できるPIPウィンドウスケラ機能は以下の表のとおりです。

**表12.12 PIPウィンドウスケラ機能の一覧**

スケーリング法	倍率	パノラマ スケーリング (注1)	エッジ強調	インターレース用 (注2)
バイ キュービック	$8\times\sim 1/2\times$	√ (水平または 垂直)	√	x
オーバー／ ダウンサンプル	$8\times\sim 1/8\times$	√ (水平のみ)	x	√

**注**

1. パノラマスケーリングは、PIP2ウィンドウにのみ使用可能です。
2. HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択したときは（REG[0200h]ビット1～0＝01または11）、バイキュービックスケーリングを使用できません。

スケラを使用するときは、ソース画像サイズ、生成画像サイズおよびPIPウィンドウサイズの3つのサイズが重要です。水平倍率と垂直倍率がソース画像に適用されて、PIPウィンドウに表示される画像が生成されます。生成画像のサイズとPIPウィンドウサイズの関係により、以下のようなケースがあります。

- ・ ケース1 - 生成画像が、定義されたPIPウィンドウと同じサイズであるケース。このケースでは、PIP画像は、PIPウィンドウの座標0, 0に位置決めされ、PIPウィンドウの領域全体を占有します。このケースは、次の両方の式が成り立つときに生じます。

PIP画像水平サイズ＝（PIPウィンドウX終了位置－PIPウィンドウX開始位置）

PIP画像垂直サイズ＝（PIPウィンドウY終了位置－PIPウィンドウY開始位置）

- ・ ケース2 - 生成画像が、定義されたPIPウィンドウより大きいケース。このケースでは、PIP画像は、PIPウィンドウの座標0,0に位置決めされますが、PIPウィンドウのサイズにトリミングされます。PIPウィンドウより外側の画像データは表示されません。このケースは、次の式のどちらかが成り立つときに生じます。

PIP画像水平サイズ＞（PIPウィンドウX終了位置－PIPウィンドウX開始位置）

PIP画像垂直サイズ＞（PIPウィンドウY終了位置－PIPウィンドウY開始位置）

## 12. メモリからの画像データの表示

それぞれのケースの例を以下の図に示します。

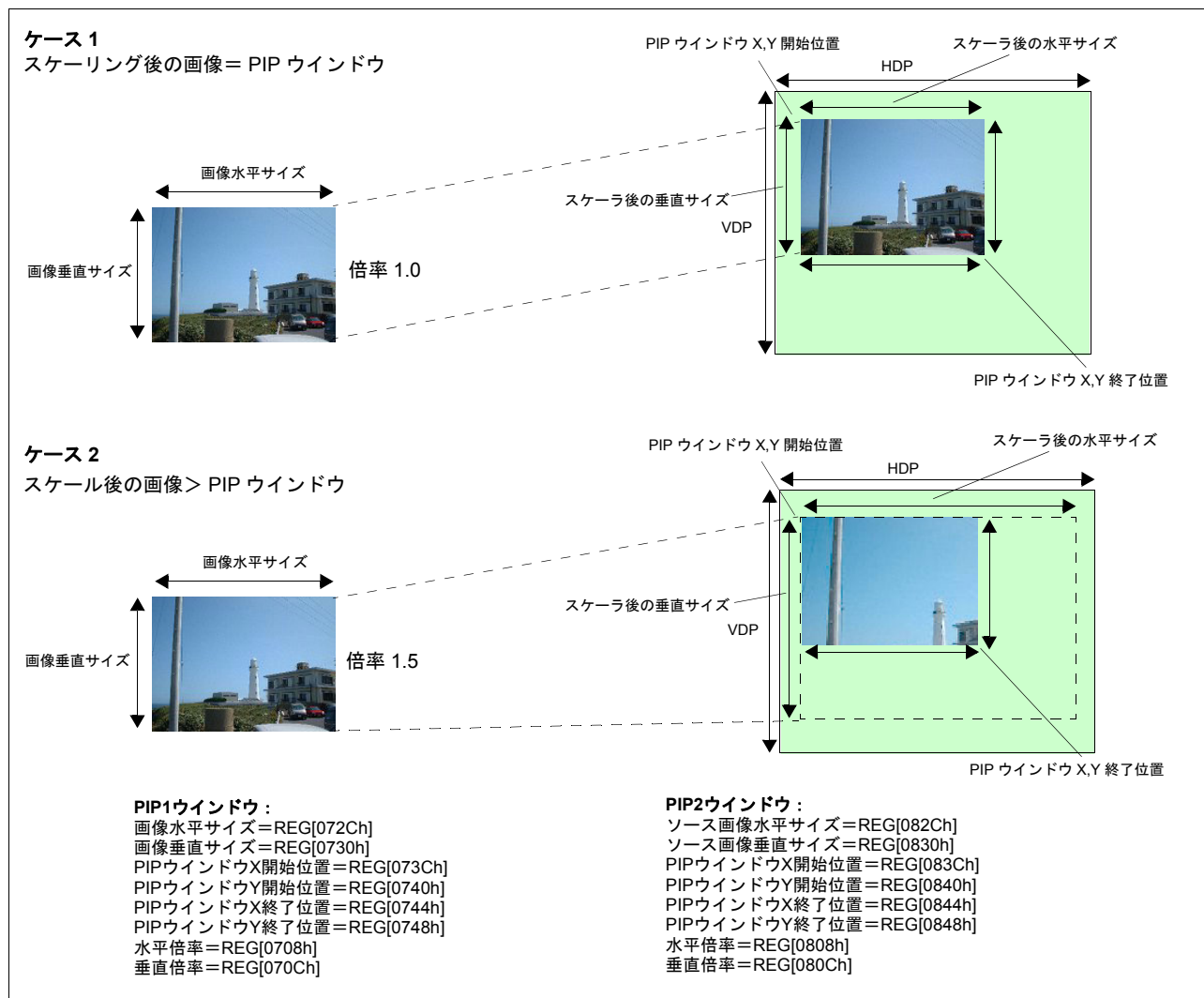


図12.8 PIPウィンドウのスケーリング画像の表示



## 12. メモリからの画像データの表示

ソース画像表示をPIPウィンドウ内でスケーリング（拡大縮小）するには、以下の手順に従ってください。

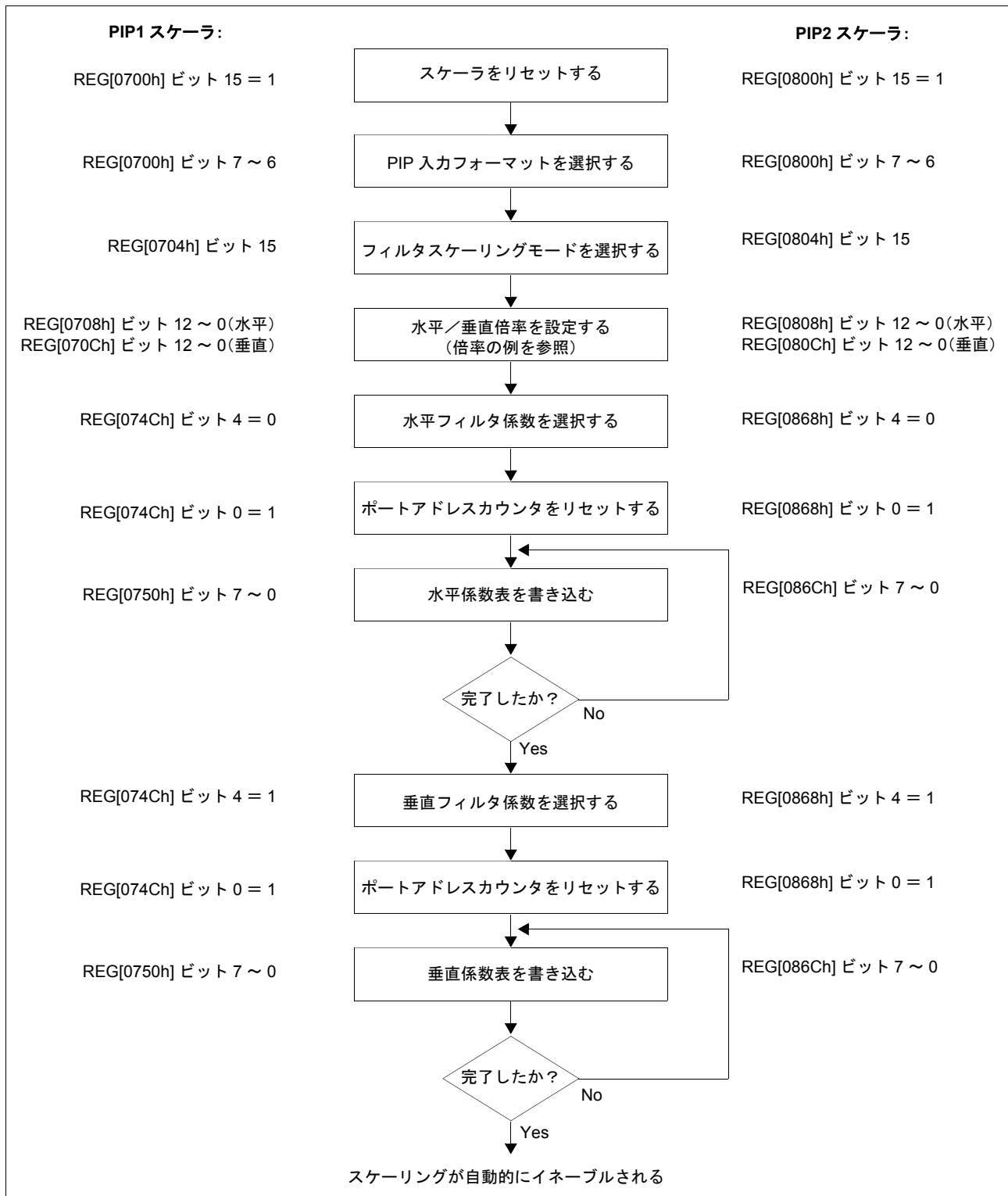


図12.9 スケーラの設定手順

## 12. メモリからの画像データの表示

---

PIP1とPIP2のスケーラは、水平方向と垂直方向の両方に独立した倍率が使用できます。以下の計算は、縮小操作と拡大操作の例を示します。

### 水平倍率

ソース画像を倍率0.7で縮小するには、水平倍率レジスタ（PIP1はREG[0708h]、PIP2はREG[0808h]）を次のように設定してください。

$$\begin{aligned}\text{水平倍率} &= 1024 \times (1 \div 0.7) \\ &= 1462 \\ &= 5B6h\end{aligned}$$

ソース画像を倍率1.5で拡大するには、水平倍率レジスタ（PIP1はREG[0708h]、PIP2はREG[0808h]）を次のように設定してください。

$$\begin{aligned}\text{水平倍率} &= 1024 \times (1 \div 1.5) \\ &= 682 \\ &= 2AAh\end{aligned}$$

### 垂直倍率

ソース画像を倍率0.7で縮小するには、垂直倍率レジスタ（PIP1はREG[070Ch]、PIP2はREG[080Ch]）を次のように設定してください。

$$\begin{aligned}\text{垂直倍率} &= 1024 \times (1 \div 0.7) \\ &= 1462 \\ &= 5B6h\end{aligned}$$

ソース画像を倍率1.5で拡大するには、垂直倍率レジスタ（PIP1はREG[070Ch]、PIP2はREG[080Ch]）を次のように設定してください。

$$\begin{aligned}\text{垂直倍率} &= 1024 \times (1 \div 1.5) \\ &= 682 \\ &= 2AAh\end{aligned}$$

## 12.4 アルファブレンディングと透過

### 12.4.1 メイン、PIP1、PIP2ウィンドウを使ったアルファブレンディングと透過

表示出力ポートが、シングルディスプレイLCD1、LCD2またはTV-Outモード（REG[0604h]ビット15～12≠1011）用に設定されているとき、アルファブレンド機能と透過機能を用いてメイン、PIP1およびPIP2を組み合わせることができます。使用できる設定は次の表のとおりです。

表12.13 メイン、PIP1およびPIP2ウィンドウのアルファブレンディング

ケース	最上層	中間層		最下層	REG[0604h]			
					ビット6～5	ビット3	ビット2	ビット1/ビット0
					レイヤモード	PIP2 イネーブル	PIP1 イネーブル	メインまたは メイン2 イネーブル
ケース1	メイン ウィンドウ	PIP1ウィンドウ			X0	0	1	1
ケース2	PIP1 ウィンドウ	メインウィンドウ			X1	0	1	1
ケース3	メイン ウィンドウ	PIP2ウィンドウ			X0	1	0	1
ケース4	PIP2 ウィンドウ	メインウィンドウ			X1	1	0	1
ケース5	メイン ウィンドウ	PIP1 ウィンドウ	PIP2 ウィンドウ		00	1	1	1
ケース6	メイン ウィンドウ	PIP2 ウィンドウ	PIP1 ウィンドウ		10	1	1	1
ケース7	PIP1 ウィンドウ	PIP2 ウィンドウ	メイン ウィンドウ		01	1	1	1
ケース8	PIP2 ウィンドウ	PIP1 ウィンドウ	メイン ウィンドウ		11	1	1	1

### アルファブレンディング

メインウィンドウがPIPウィンドウの上にあるとき、S1D13774は、選択されたウィンドウのピクセルデータに対してアルファブレンディングを実行することができます。4つのキーカラーを独立して使用することができ、それぞれブレンド比を0%～100%まで12.5%刻みで指定することができます。

アルファブレンディングを実行するウィンドウは、アルファブレンドモード選択ビット（REG[0608h]ビット7）で決定します。メインウィンドウとPIPウィンドウ間でアルファブレンディングを実行することを選択すると（REG[0608h]ビット7＝0）、メインウィンドウキーカラーが重ねられるPIPウィンドウからのピクセルデータが、メインウィンドウからのピクセルデータと、選択したアルファブレンド比でアルファブレンディングされます。「最上層」のPIPウィンドウのPIP透過機能がイネーブルされ、キーカラーが一致した場合は、メインウィンドウピクセルデータが、最上層のPIPウィンドウではなく「最下層」のPIPウィンドウとアルファブレンディングされます。

## 12. メモリからの画像データの表示

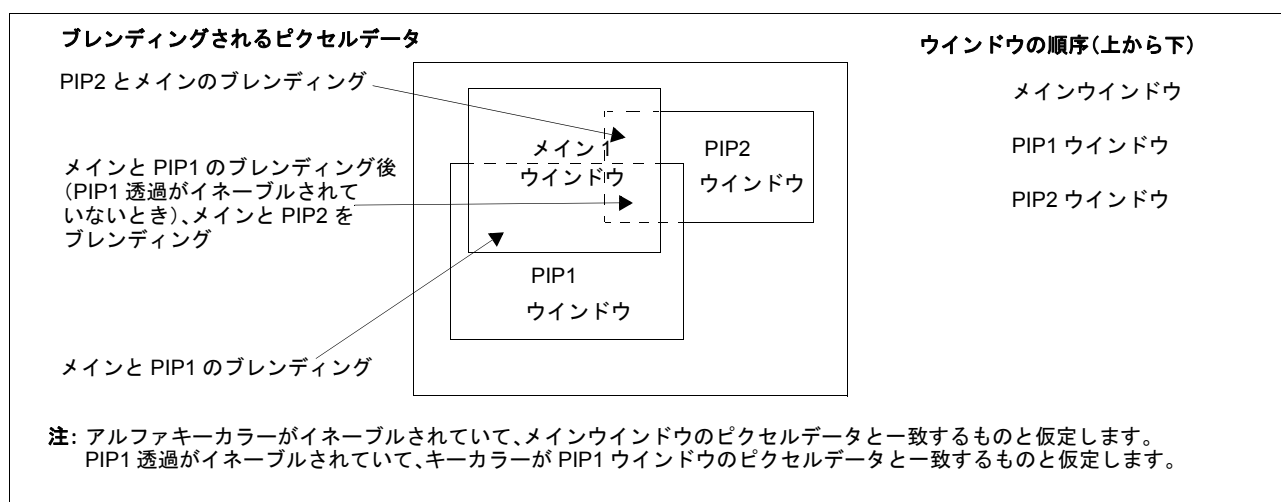


図12.10 メインウィンドウとPIPウィンドウのアルファブレンディングの例1

PIPウィンドウ間でアルファブレンディングを行うことを選択した場合 (REG[0608h]ビット7=1)、メインウィンドウキーカラーと重なるPIPウィンドウのピクセルデータどうしが、選択したアルファブレンド比でアルファブレンディングされます。このとき、PIPウィンドウ間に重なる部分がない場合は、PIP1またはPIP2のピクセルデータはメインウィンドウのキーカラーを透過し、透過と似た結果が得られます。

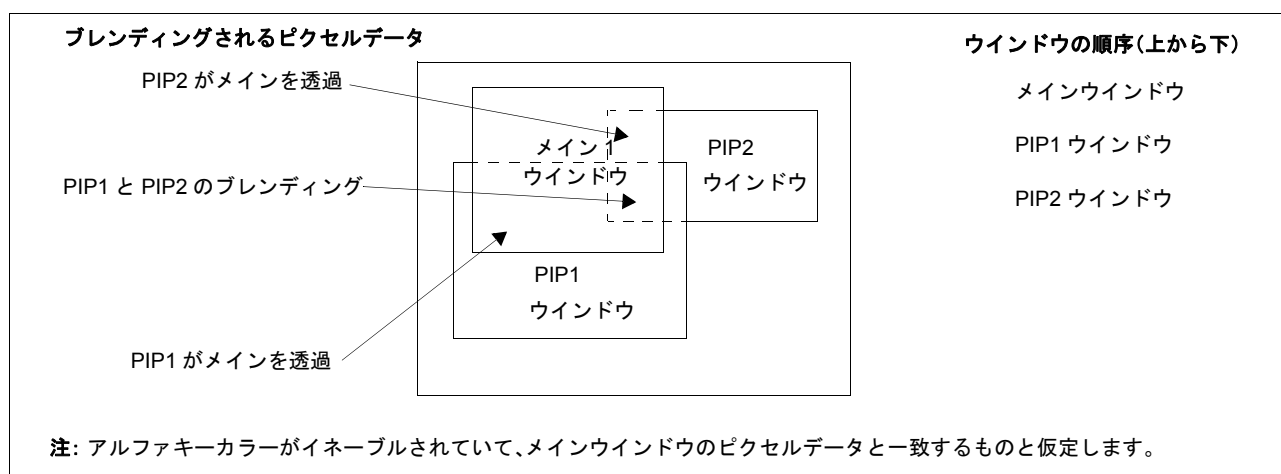


図12.11 メインウィンドウとPIPウィンドウのアルファブレンディングの例2

それぞれのアルファブレンドキーカラーの制御と設定には、以下のレジスタが使用されます。

表12.14 アルファブレンドレジスタの一覧

アルファブレンド	イネーブル	ブレンド比	キーカラー
1	REG[0608h]ビット8	REG[0614h]ビット3~0	REG[0628h]~REG[062Ch]
2	REG[0608h]ビット9	REG[0614h]ビット7~4	REG[0630h]~REG[0634h]
3	REG[0608h]ビット10	REG[0614h]ビット11~8	REG[0638h]~REG[063Ch]
4	REG[0608h]ビット11	REG[0614h]ビット15~12	REG[0640h]~REG[0644h]

### 透過

両方のPIPウィンドウに透過機能があります。PIPウィンドウ透過機能をイネーブルすると、ピクセルデータとキーカラーが一致した場合にPIPウィンドウを意識しなくてもよくなります。この機能を使うと、ピクセルデータの上にあるPIPウィンドウを透過してピクセルデータが見える状態になります。あるいは、メインウィンドウの上にPIPウィンドウがあるときは、メインウィンドウのピクセルデータが透過して見えます。

PIPウィンドウの透過の制御と設定には、以下のレジスタが使用されます。

**表12.15 PIPウィンドウ透過レジスタの一覧**

PIPウィンドウ	イネーブル	キーカラー
PIP1 Window	REG[0608h]ビット1	REG[0618h]～REG[061Ch]
PIP2 Window	REG[0608h]ビット2	REG[0620h]～REG[0624h]

アルファブレンディングがイネーブルされたとき、PIP透過機能を用いてピクセルデータを最下層のPIPウィンドウとブレンディングすることができます。

## 12. メモリからの画像データの表示

### ケース1 メインおよびPIP1ウインドウを使用する表示



図12.12 メイン（最上層）およびPIP1（最下層）ウインドウの表示例

表12.16 メイン（最上層）およびPIP1（最下層）ウインドウレジスタの設定例

REG[0604h]ビット0	メイン1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウインドウ表示イネーブル	0 : オフ
REG[0604h]ビット6~5	レイヤモード選択	X0 : メインがPIP1の上
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	0 : メインとPIP
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15~0~REG[0610h]ビット7~0	背景色	■
REG[0614h]ビット3~0	アルファブレンド1比	4h : 50%
REG[0614h]ビット7~4	アルファブレンド2比	—
REG[0614h]ビット11~8	アルファブレンド3比	—
REG[0614h]ビット15~12	アルファブレンド4比	—
REG[0618h]ビット15~0~REG[061Ch]ビット7~0	PIP1透過キーカラー	—
REG[0620h]ビット15~0~REG[0624h]ビット7~0	PIP2透過キーカラー	—
REG[0628h]ビット15~0~REG[062Ch]ビット7~0	アルファブレンド1キーカラー	■
REG[0630h]ビット15~0~REG[0634h]ビット7~0	アルファブレンド2キーカラー	—
REG[0638h]ビット15~0~REG[063Ch]ビット7~0	アルファブレンド3キーカラー	—
REG[0640h]ビット15~0~REG[0644h]ビット7~0	アルファブレンド4キーカラー	—

## ケース2 メインウィンドウとPIP1ウィンドウを使用する表示



図12.13 PIP1（最上層）およびメイン（最下層）ウィンドウの表示例

表12.17 PIP1（最上層）およびメイン（最下層）ウィンドウレジスタの設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	0 : オフ
REG[0604h]ビット6～5	レイヤモード選択	X1 : PIP1がメインの上
REG[0608h]ビット1	PIP1透過イネーブル	0または1
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	—
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0 : オフ
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	—
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	■
REG[0620h]7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	—
REG[0630h]7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	-
REG[0640h]7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	-

## 12. メモリからの画像データの表示

### ケース3 メインおよびPIP2ウィンドウを使用する表示

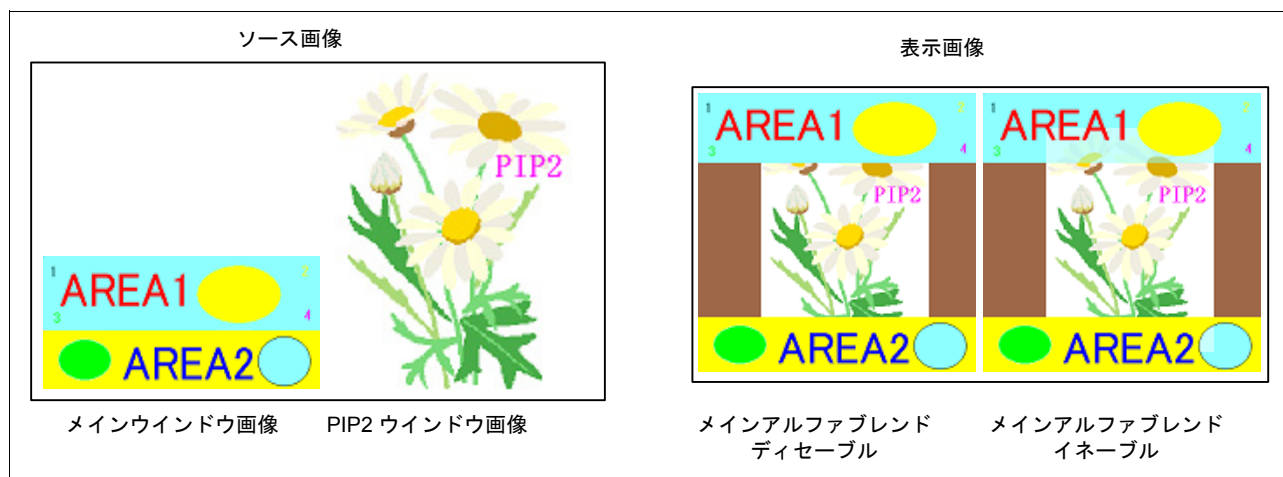


図12.14 メイン（最上層）およびPIP2（最下層）ウィンドウの表示例

表12.18 メイン（最上層）およびPIP2（最下層）ウィンドウレジスタの設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	0 : オフ
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	X0 : メインがPIP2の上
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	0 : メインとPIP
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	4h : 50%
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	—
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	■
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—



## ケース4 メインおよびPIP2ウィンドウを使用する表示

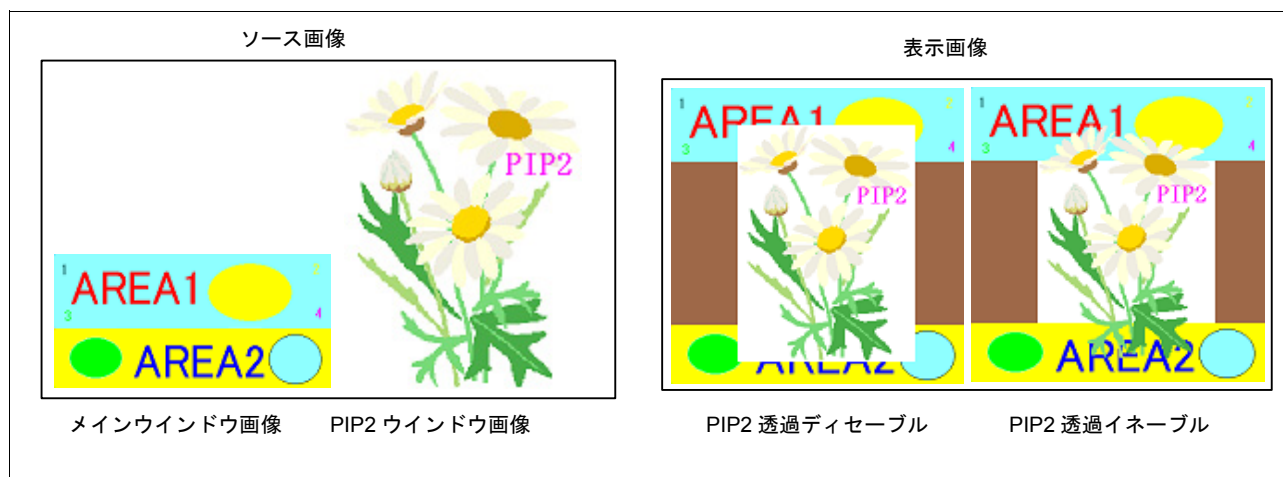


図12.15 PIP2（最上層）およびメイン（最下層）ウィンドウの表示例

表12.19 PIP2（最上層）およびメイン（最下層）ウィンドウレジスタの設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	0 : オフ
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	X1 : PIP2がメインの上
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0または1
REG[0608h]ビット7	アルファブレンドモード選択	—
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0 : オフ
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	—
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	—
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	—
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—

## 12. メモリからの画像データの表示

### ケース5 1 メイン、PIP1およびPIP2ウィンドウを使用する表示



図12.16 メイン（最上層）、PIP1（中間層）およびPIP2（最下層）ウィンドウの表示例

表12.20 メイン（最上層）、PIP1（中間層）およびPIP2（最下層）ウィンドウレジスタの設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	00 : メイン（最上層）、 PIP1、PIP2（最下層）
REG[0608h]ビット1	PIP1透過イネーブル	0または1
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	0 : メインとPIP
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	4h : 50%
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	■
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	■
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—

## ケース52 メイン、PIP1およびPIP2ウィンドウを使用する表示



図12.17 メイン（最上層）、PIP1（中間層）およびPIP2（最下層）ウィンドウの表示例

表12.21 メイン（最上層）、PIP1（中間層）およびPIP2（最下層）ウィンドウレジスタの設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	0 : オフ
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	00 : メイン（最上層）、 PIP1、PIP2（最下層）
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	1 : PIP1とPIP2
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	1
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	1
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	1
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	—
REG[0614h]ビット3～0	アルファブレンド1比	2h : 25%
REG[0614h]ビット7～4	アルファブレンド2比	4h : 50%
REG[0614h]ビット11～8	アルファブレンド3比	6h : 75%
REG[0614h]ビット15～12	アルファブレンド4比	8h : 100%
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	—
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	■
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	■
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	■

## 12. メモリからの画像データの表示

### ケース6 メイン、PIP1およびPIP2ウインドウを使用する表示

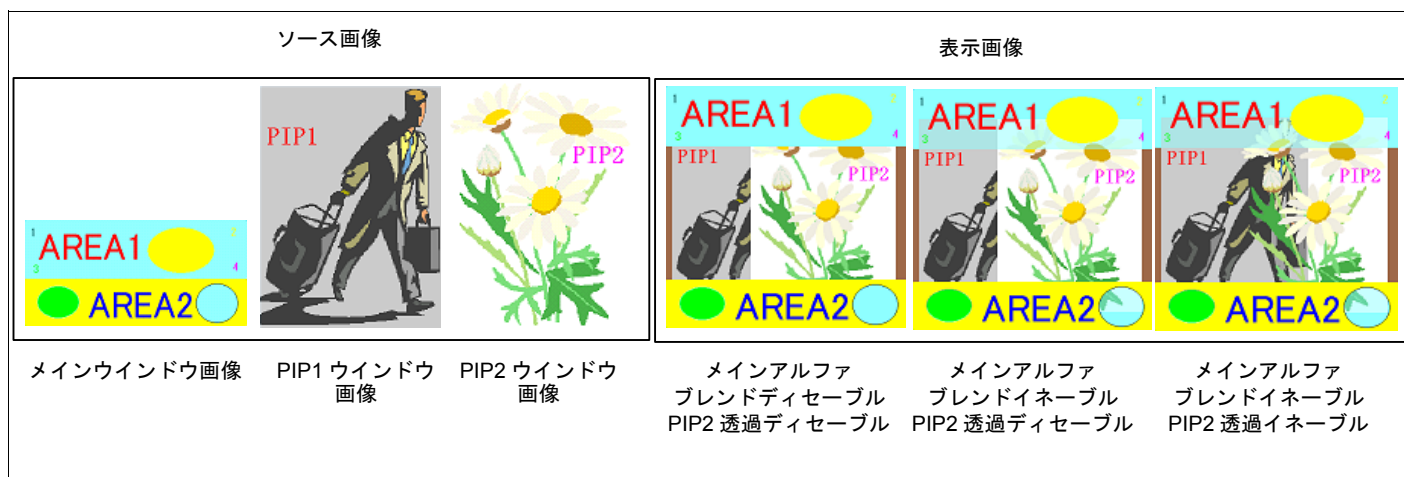


図12.18 メイン（最上層）、PIP2（中間層）およびPIP1（最下層）ウインドウの表示例

表12.22 メイン（最上層）、PIP2（中間層）およびPIP1（最下層）ウインドウレジスタの設定例

REG[0604h]ビット0	メイン1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	10 : メイン（最上層）、PIP2、PIP1（最下層）
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0または1
REG[0608h]ビット7	アルファブレンドモード選択	0 : メインとPIP
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	4h : 50%
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	—
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	■
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—

## ケース7 メイン、PIP1およびPIP2ウインドウを使用する表示

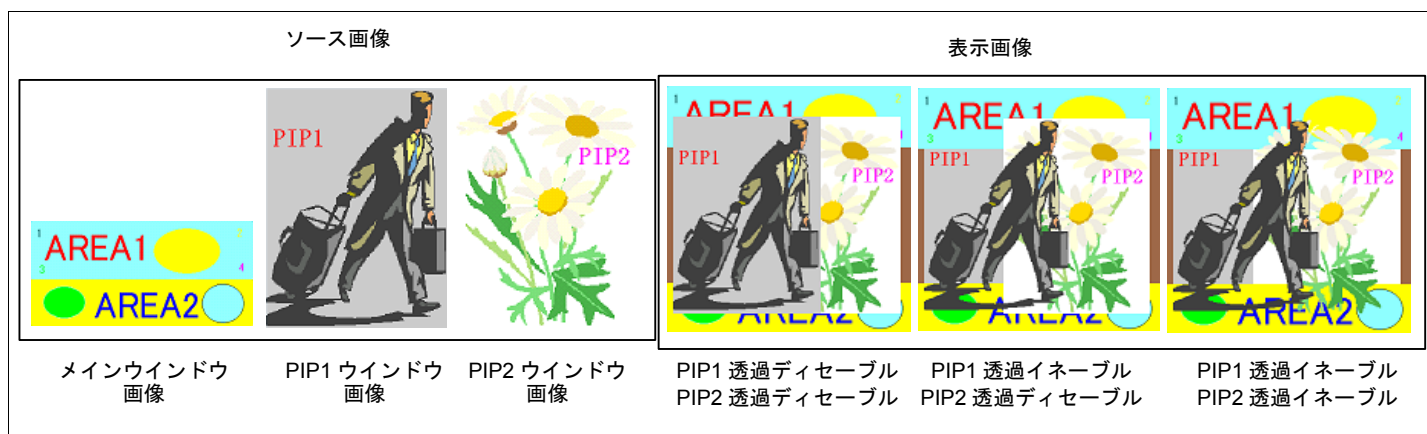


図12.19 PIP1（最上層）、PIP2（中間層）およびメイン（最下層）ウインドウの表示例

表12.23 PIP1（最上層）、PIP2（中間層）およびメイン（最下層）ウインドウレジスタの設定例

REG[0604h]ビット0	メイン1ウインドウ表示イネーブル	1: オン
REG[0604h]ビット1	メイン2ウインドウ表示イネーブル	1: オン
REG[0604h]ビット2	PIP1ウインドウ表示イネーブル	1: オン
REG[0604h]ビット3	PIP2ウインドウ表示イネーブル	1: オン
REG[0604h]ビット6~5	レイヤモード選択	01: PIP1（最上層）、PIP2、メイン（最下層）
REG[0608h]ビット1	PIP1透過イネーブル	0または1
REG[0608h]ビット2	PIP2透過イネーブル	0または1
REG[0608h]ビット7	アルファブレンドモード選択	—
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0: オフ
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0: オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0: オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0: オフ
REG[060Ch]ビット15~0~REG[0610h]ビット7~0	背景色	■
REG[0614h]ビット3~0	アルファブレンド1比	—
REG[0614h]ビット7~4	アルファブレンド2比	—
REG[0614h]ビット11~8	アルファブレンド3比	—
REG[0614h]ビット15~12	アルファブレンド4比	—
REG[0618h]ビット7~0~REG[061Ch]ビット7~0	PIP1透過キーカラー	■
REG[0620h]ビット7~0~REG[0624h]ビット7~0	PIP2透過キーカラー	■
REG[0628h]ビット7~0~REG[062Ch]ビット7~0	アルファブレンド1キーカラー	—
REG[0630h]ビット7~0~REG[0634h]ビット7~0	アルファブレンド2キーカラー	—
REG[0638h]ビット7~0~REG[063Ch]ビット7~0	アルファブレンド3キーカラー	—
REG[0640h]ビット7~0~REG[0644h]ビット7~0	アルファブレンド4キーカラー	—

## 12. メモリからの画像データの表示

### ケース8 メイン、PIP1およびPIP2ウインドウを使用する表示

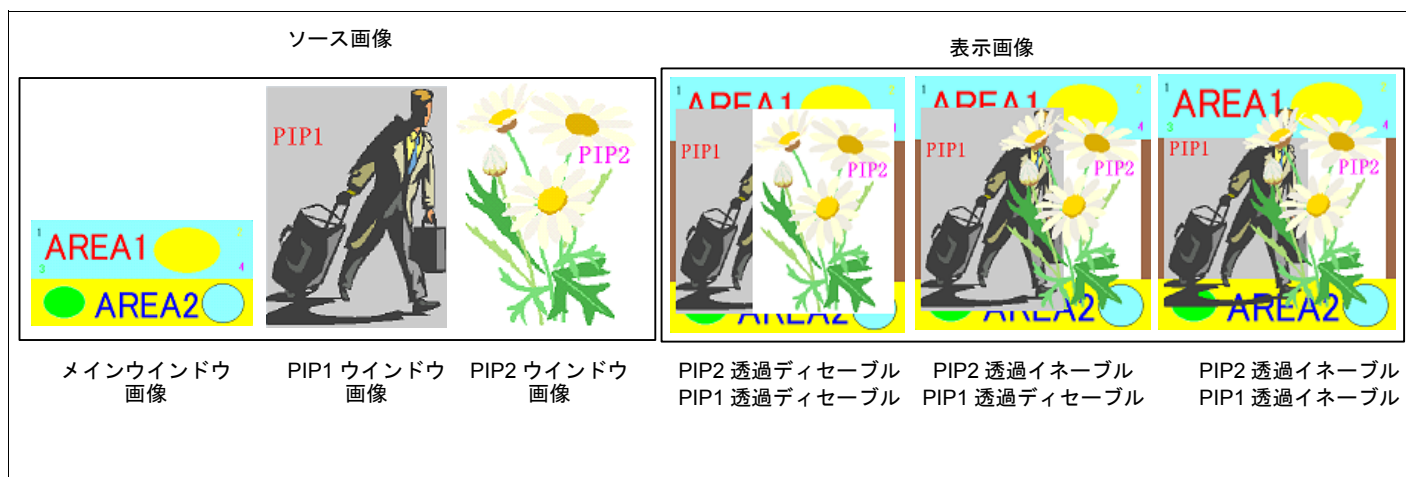


図12.20 PIP2（最上層）、PIP1（中間層）およびメイン（最下層）ウインドウの表示例

表12.24 PIP2（最上層）、PIP1（中間層）およびメイン（最下層）ウインドウレジスタの設定例

REG[0604h]ビット0	メイン1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット1	メイン2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット2	PIP1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	11 : PIP2（最上層）、PIP1、メイン（最下層）
REG[0608h]ビット1	PIP1透過イネーブル	0または1
REG[0608h]ビット2	PIP2透過イネーブル	0または1
REG[0608h]ビット7	アルファブレンドモード選択	—
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0 : オフ
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	—
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	■
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	—
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—



## 12.4.2 PIP1およびPIP2ウィンドウを使用したアルファブレンドと透過

表示出力ポートをLCD1+TV-Out用に設定したときは（REG[0604h]ビット15～12＝1011）、アルファブレンドモード選択ビット（REG[0608h]ビット7）を、PIP1およびPIP2ウィンドウに対してアルファブレンディングを実行するように設定してください。これは、メインウィンドウがLCD1上に表示され、PIP1/PIP2ウィンドウがTV-Outインタフェース上に表示されるからです。このようなケースでは、PIPウィンドウだけが同一表示上にあり、アルファブレンドすることができます。使用できる設定は以下の表のとおりです。

表12.25 PIP1およびPIP2アルファブレンディング

ケース	最上層	最下層	REG[0604h]		
			ビット6～5	ビット3	ビット2
ケース1	PIP1ウィンドウ	PIP2ウィンドウ	00	1	1
ケース2	PIP2ウィンドウ	PIP1ウィンドウ	11	1	1

## アルファブレンド

PIP1ウィンドウがPIP2ウィンドウの上にあるとき、S1D13774は、ウィンドウのピクセルデータに対してアルファブレンディングを実行することができます。4つのキーカラーを独立して使用することができ、それぞれブレンド比を0%～100%まで12.5%刻みで指定することができます。

このケースでは、PIPウィンドウ間のアルファブレンディングを選択してください（REG[0608h]ビット7＝1）。PIP1ウィンドウキーカラーが上に重なっているPIP2ウィンドウからのピクセルデータが、選択したアルファブレンド比でブレンディングされます。

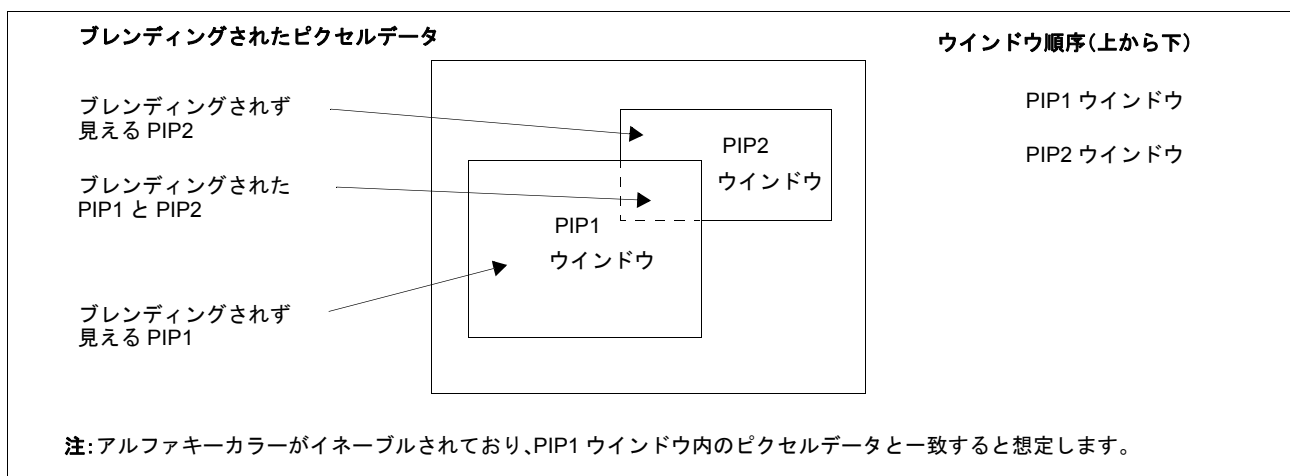


図12.21 PIP1ウィンドウとPIP2ウィンドウのアルファブレンディングの例

## 12. メモリからの画像データの表示

各アルファブレンドキーカラーを制御し設定するには、以下のレジスタを使用します。

**表12.26 アルファブレンドレジスタの一覧**

アルファブレンド	イネーブル	ブレンド比	キーカラー
1	REG[0608h]ビット8	REG[0614h]ビット3～0	REG[0628h]～REG[062Ch]
2	REG[0608h]ビット9	REG[0614h]ビット7～4	REG[0630h]～REG[0634h]
3	REG[0608h]ビット10	REG[0614h]ビット11～8	REG[0638h]～REG[063Ch]
4	REG[0608h]ビット11	REG[0614h]ビット15～12	REG[0640h]～REG[0644h]

### 透過

これらのケースでは、PIP2ウインドウがPIP1ウインドウの上にあるときにPIP2透過機能を使用することができます。PIP2ウインドウ透過機能がイネーブルされたとき、PIPウインドウは、ピクセルデータがキーカラーと一致した場合に意識しなくてもよくなります。この機能を使うと、PIP1ウインドウからのピクセルデータが上に重なっているPIP2ウインドウを透過するようになります。PIP2ウインドウ透過の制御と設定には以下のレジスタを使用します。

**表12.27 PIP2ウインドウ透過レジスタの一覧**

PIPウインドウ	イネーブル	キーカラー
PIP2 Window	REG[0608h]ビット2	REG[0620h]～REG[0624h]



## ケース1 PIP1およびPIP2ウインドウを使用する表示



図12.22 PIP1（最上層）およびPIP2（最下層）ウインドウ表示例

表12.28 PIP1（最上層）およびPIP2（最下層）ウインドウレジスタ設定例

REG[0604h]ビット0	メイン1ウインドウ表示イネーブル	—
REG[0604h]ビット1	メイン2ウインドウ表示イネーブル	—
REG[0604h]ビット2	PIP1ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウインドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	00 : PIP2の上のPIP1
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0608h]ビット7	アルファブレンドモード選択	1 : PIP1とPIP2
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	4h : 50%
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	無効
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	—
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	■
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—

## 12. メモリからの画像データの表示

### ケース2 PIP1およびPIP2ウィンドウを使用する表示



図12.23 PIP2（最上層）およびPIP1（最下層）ウィンドウの表示例

表12.29 PIP2（最上層）およびPIP1（最下層）ウィンドウレジスタ設定例

REG[0604h]ビット0	メイン1ウィンドウ表示イネーブル	—
REG[0604h]ビット1	メイン2ウィンドウ表示イネーブル	—
REG[0604h]ビット2	PIP1ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット3	PIP2ウィンドウ表示イネーブル	1 : オン
REG[0604h]ビット6～5	レイヤモード選択	11 : PIP2がPIP1の上
REG[0608h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0608h]ビット2	PIP2透過イネーブル	0または1
REG[0608h]ビット7	アルファブレンドモード選択	—
REG[0608h]ビット8	アルファブレンド1キーカラーイネーブル	0 : オフ
REG[0608h]ビット9	アルファブレンド2キーカラーイネーブル	0 : オフ
REG[0608h]ビット10	アルファブレンド3キーカラーイネーブル	0 : オフ
REG[0608h]ビット11	アルファブレンド4キーカラーイネーブル	0 : オフ
REG[060Ch]ビット15～0～REG[0610h]ビット7～0	背景色	■
REG[0614h]ビット3～0	アルファブレンド1比	—
REG[0614h]ビット7～4	アルファブレンド2比	—
REG[0614h]ビット11～8	アルファブレンド3比	—
REG[0614h]ビット15～12	アルファブレンド4比	—
REG[0618h]ビット7～0～REG[061Ch]ビット7～0	PIP1透過キーカラー	無効
REG[0620h]ビット7～0～REG[0624h]ビット7～0	PIP2透過キーカラー	■
REG[0628h]ビット7～0～REG[062Ch]ビット7～0	アルファブレンド1キーカラー	—
REG[0630h]ビット7～0～REG[0634h]ビット7～0	アルファブレンド2キーカラー	—
REG[0638h]ビット7～0～REG[063Ch]ビット7～0	アルファブレンド3キーカラー	—
REG[0640h]ビット7～0～REG[0644h]ビット7～0	アルファブレンド4キーカラー	—

## 12.5 AME

AME（オートムービーエンハンスメント）は、画像データの彩度、コントラストおよびガンマの調整を可能にする機能を提供します。この機能は、PIP1ウィンドウとPIP2ウィンドウのどちらに対しても設定することができます。また、この機能を用いて、静止画や動画（ムービー）の画像データを調整することができます。

AME処理は、画像全体にも選択した「処理」領域にも行うことができます。処理領域は、64×64ピクセル～1024×1024ピクセルのサイズであり、後で述べるような方法で設定されます。彩度、コントラストおよびガンマをそれぞれ独立にレベル調整することができます（REG[0904h]を参照）。

AMEサンプリング領域は、処理領域の範囲内で設定しなければなりません。現在のフレームサンプリング結果が、次のフレームの処理に反映されます。

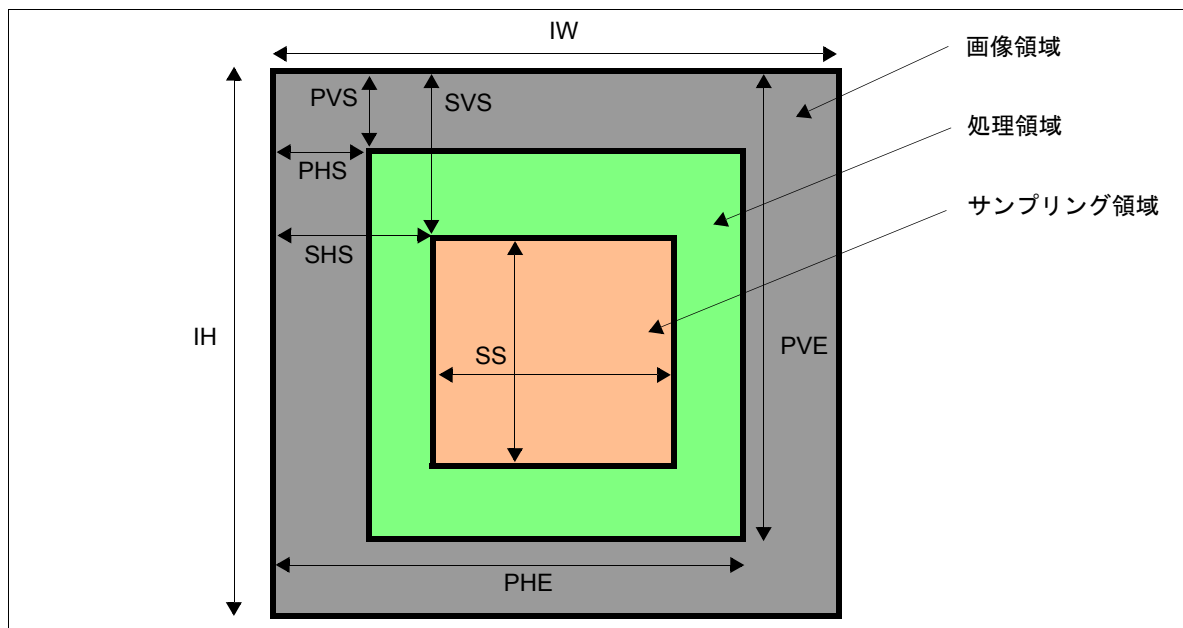


図12.24 AME処理の例

表12.30 AME処理寸法レジスタ

記号	説明	計算	単位
IW	画像幅（注1）	REG[0908h]ビット9～0	ピクセル
IH	画像高さ（注1）	REG[090Ch]ビット9～0	ライン
PHS	処理水平開始	REG[0910h]ビット9～0	ピクセル
PHE	処理水平終了	REG[0914h]ビット9～0	ピクセル
PVS	処理垂直開始	REG[0918h]ビット9～0	ライン
PVE	処理垂直終了	REG[091Ch]ビット9～0	ライン
SVS	サンプリング垂直開始	REG[0920h]ビット9～0	ライン
SHS	サンプリング水平開始	REG[0924h]ビット9～0	ピクセル
SS	サンプリングサイズ	REG[0928h]ビット2～0	ピクセル×ライン

1. AMEで処理する前にスケラを使って画像サイズを変更する場合は、画像の幅（IW）と画像の高さ（IH）を変更後のサイズに設定してください。

## 12. メモリからの画像データの表示

以下のプログラムフローは、PIP1またはPIP2ウィンドウに対してAME調整を設定し実行する方法の例を示します。

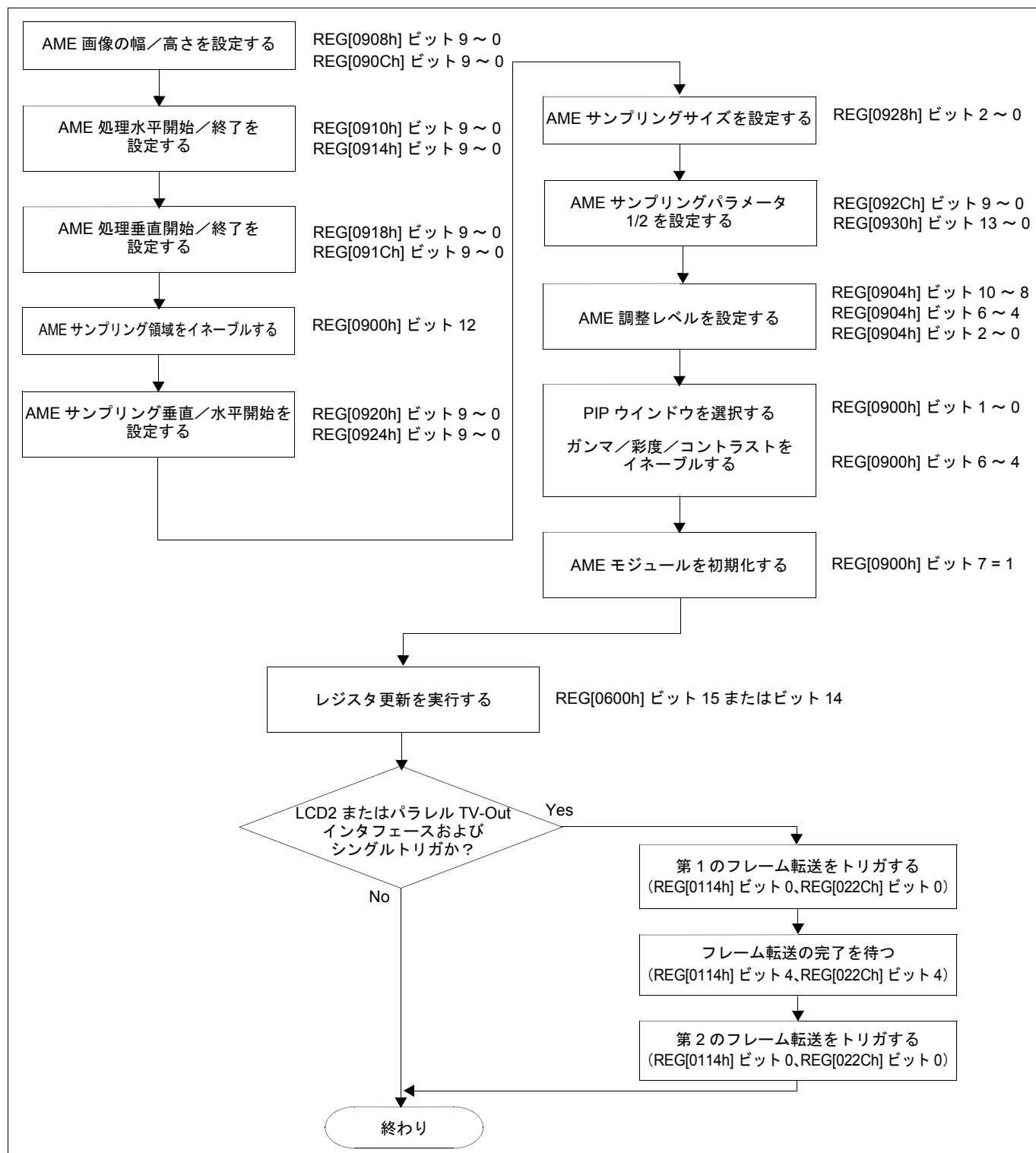


図12.25 AMEプログラムフロー

## 12.6 PIP2パノラマスケーリング

PIP2ウィンドウの水平方向または垂直方向のパノラマスケーリング（ワイドスケーリングモード）を設定することができます。以下の例では、部分モードと線形モードの2つのモードについて説明します。

### 12.6.1 部分パノラマモード

以下の例は、垂直部分パノラマスケーリングを示しています（REG[0800h]ビット2～0=001）。水平部分パノラマスケーリングは、水平方向であることを除き同じように行われます。

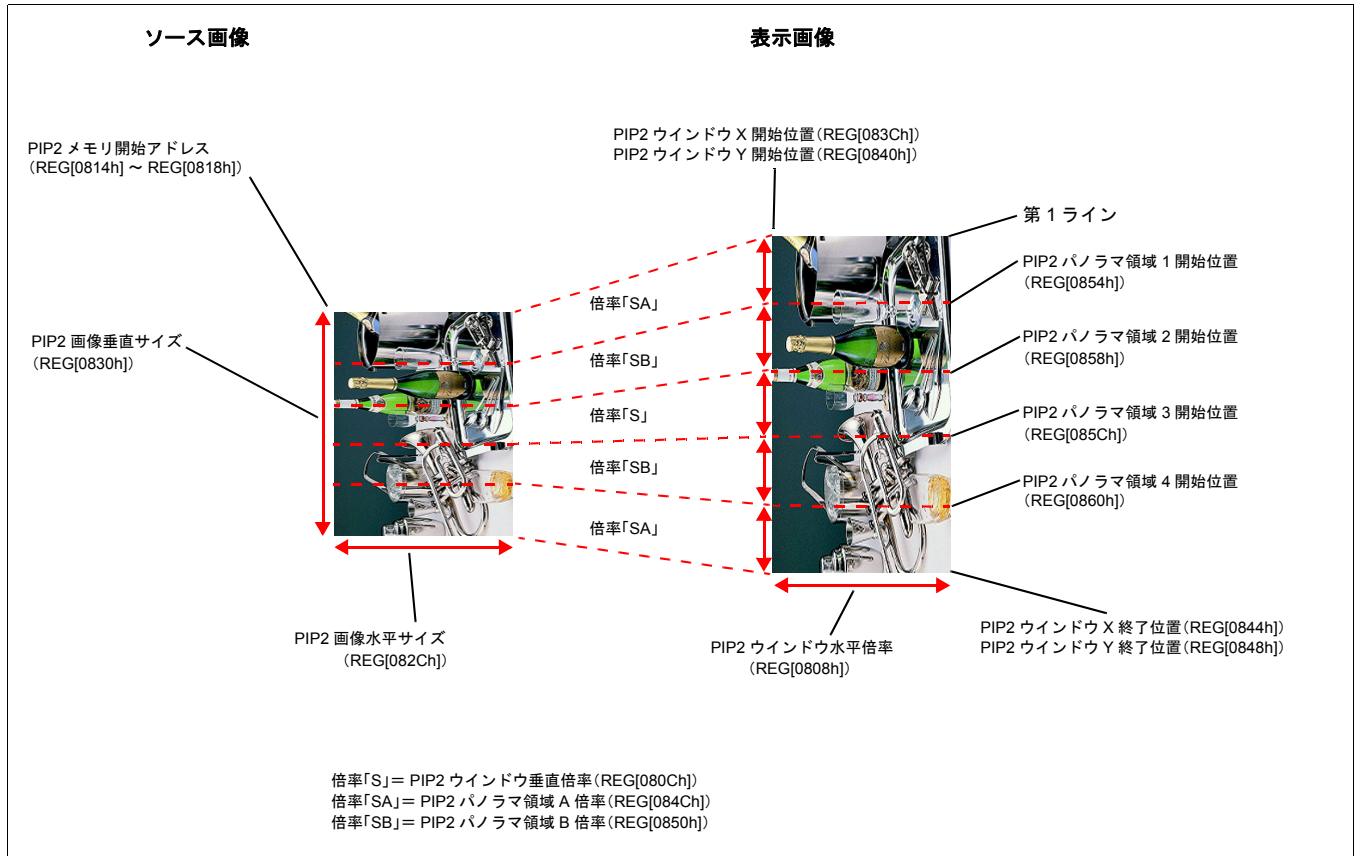


図12.26 部分パノラマモードの例

## 12. メモリからの画像データの表示

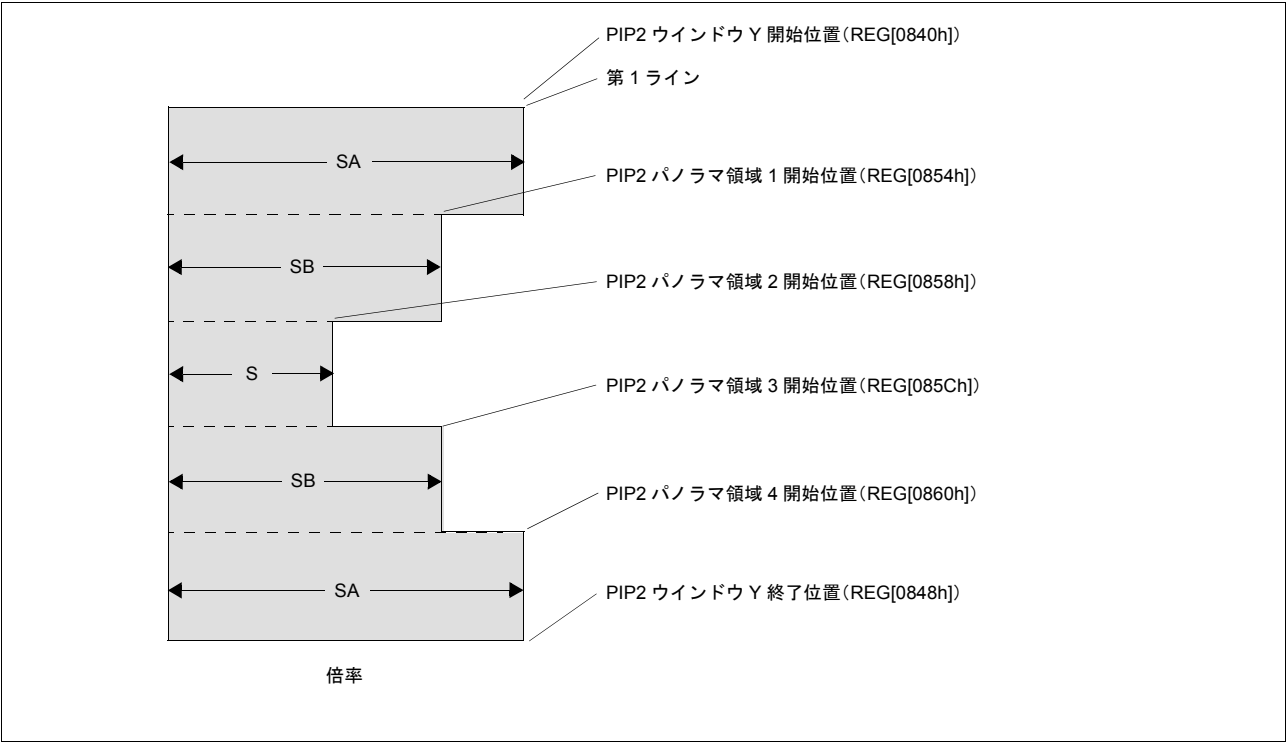


図12.27 部分パノラマモードの倍率

以下のプログラムフローは、PIP2ウインドウの部分パノラマスケールを設定する方法を示します。

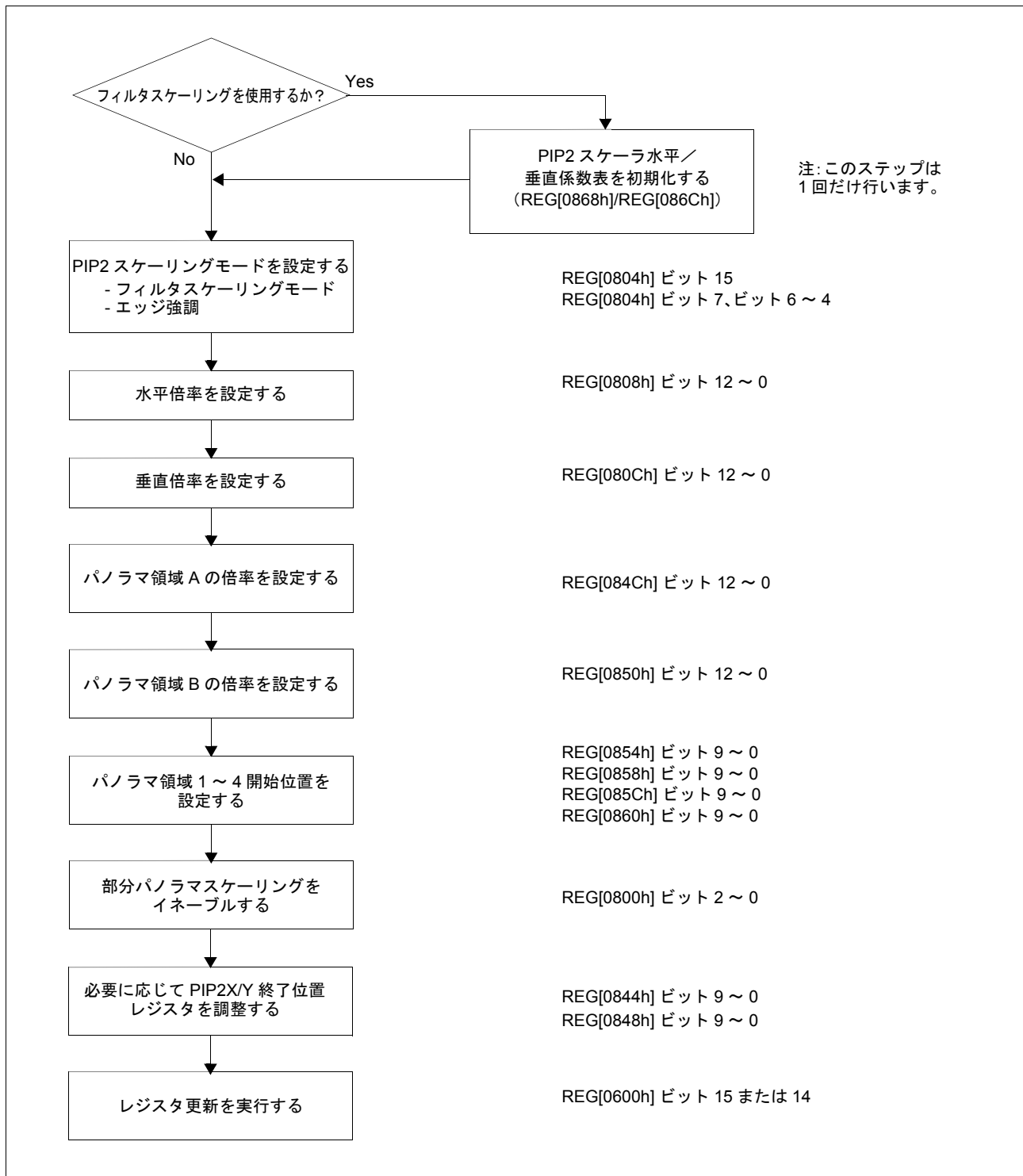


図12.28 PIP2部分パノラマスケール設定のプログラムフロー

## 12. メモリからの画像データの表示

下記の図は、PIP2垂直部分パノラマスケーリングを用いて240×320画像を480×800画像に拡大する例を示します。寸法はすべてピクセルで示しています。

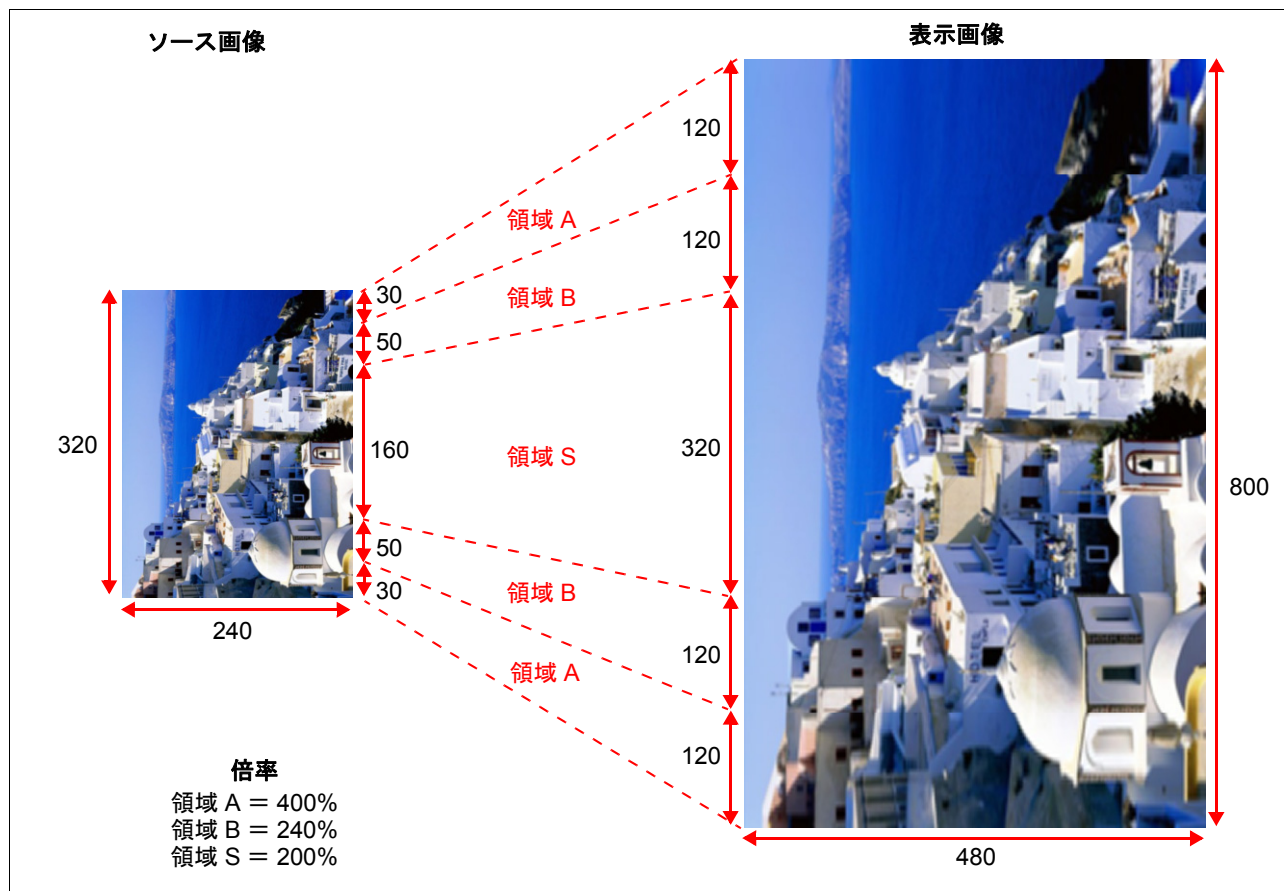


図12.29 PIP2垂直部分パノラマの例（240×320から480×800に拡大）

PIP2垂直部分パノラマスケーリングを用いて240×320画像を480×800画像に拡大するには次のステップに従ってください。

1. フィルタスケーリングがイネーブルされている場合は（REG[0804h]ビット15=1）、PIP2ウインドウスケラ係数表アクセスポートレジスタの説明（REG[086Ch]を参照）に示した値でPIP2スケラ水平／垂直係数表を初期設定してください。
2. REG[0804h]でPIP2ウインドウのスケーリングモードを設定してください。

この例では、フィルタスケーリングがイネーブルされ（ビット15=1）、エッジ強調がディセーブルされます（ビット7=0）。エッジ強調をイネーブルする場合は、ビット6～4を用いてエッジ強調の強さを設定してください。

注:REG[0804h]にはそれぞれ設定する必要があるいくつかの予約ビットがあります。



3. REG[0808h]で水平倍率を設定します。

この例では、水平倍率は200%（2.0倍）です。設定する値は、次のように計算されます。

$$\begin{aligned}\text{REG}[0808\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 2.0) \\ &= 512 \text{ (200h)}\end{aligned}$$

4. REG[080Ch]で垂直倍率を設定します。

この例では、垂直倍率は200%（2.0倍）です。設定する値は、次のように計算されます。

$$\begin{aligned}\text{REG}[080\text{Ch}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 2.0) \\ &= 512 \text{ (200h)}\end{aligned}$$

5. REG[084Ch]でパノラマ領域A倍率を設定します。

この例では、パノラマ領域A倍率は400%（または4.0倍）です。設定する値は、次のように計算されます。

$$\begin{aligned}\text{REG}[084\text{Ch}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 4.0) \\ &= 256 \text{ (100h)}\end{aligned}$$

6. REG[0850h]でパノラマ領域B倍率を設定します。

この例では、パノラマ領域B倍率は240%（2.4倍）です。設定する値は、次のように計算されます。

$$\begin{aligned}\text{REG}[0850\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 2.4) \\ &= 426.67 \text{ (端数は切り捨て)} \\ &= 426 \text{ (1AAh)}\end{aligned}$$

7. REG[0854h]でパノラマ領域1開始位置を設定します。

開始位置は次のように計算されます。

$$\begin{aligned}\text{REG}[0854\text{h}] \text{ビット} 9 \sim 0 &= \text{領域Aサイズ} \times \text{倍率} \\ &= 30 \times 4.0 \\ &= 120 \text{ (078h)}\end{aligned}$$

8. REG[0858h]でパノラマ領域2開始位置を設定します。

開始位置は次のように計算されます。

$$\begin{aligned}\text{REG}[0858\text{h}] \text{ビット} 9 \sim 0 &= (\text{パノラマ領域1サイズ}) + (\text{領域Bサイズ} \times \text{倍率}) \\ &= (120) + (50 \times 2.4) \\ &= 240 \text{ (0F0h)}\end{aligned}$$

## 12. メモリからの画像データの表示

---

9. REG[085Ch]でパノラマ領域3開始位置を設定します。

開始位置は次のように計算されます。

$$\begin{aligned}\text{REG}[085\text{Ch}] \text{ビット}9\sim0 &= (\text{パノラマ領域2サイズ}) + (\text{領域Sサイズ} \times \text{倍率}) \\ &= (240) + (160 \times 2.0) \\ &= 560 \quad (230\text{h})\end{aligned}$$

10. REG[0860h]でパノラマ領域4開始位置を設定します。

開始位置は次のように計算されます。

$$\begin{aligned}\text{REG}[0860\text{h}] \text{ビット}9\sim0 &= (\text{パノラマ領域3サイズ}) + (\text{領域Bサイズ} \times \text{倍率}) \\ &= (560) + (50 \times 2.4) \\ &= 680 \quad (2A8\text{h})\end{aligned}$$

11. [0800h]ビット2～0=001に設定し、垂直部分パノラマスケーリングをイネーブルしてください。

12. 必要に応じてPIP2 X/Y終了位置レジスタを調整してください。

REG[0600h]ビット15またはビット14を設定することにより、PIP2ウインドウを表示するインタフェースに応じたレジスタ更新を行ってください。

## 12.6.2 線形パノラマモード

以下の例は、垂直線形パノラマスケーリングを示しています（REG[0800h]ビット2～0=010）。水平線形パノラマスケーリングは、水平方向であることを除き同じように行われます。

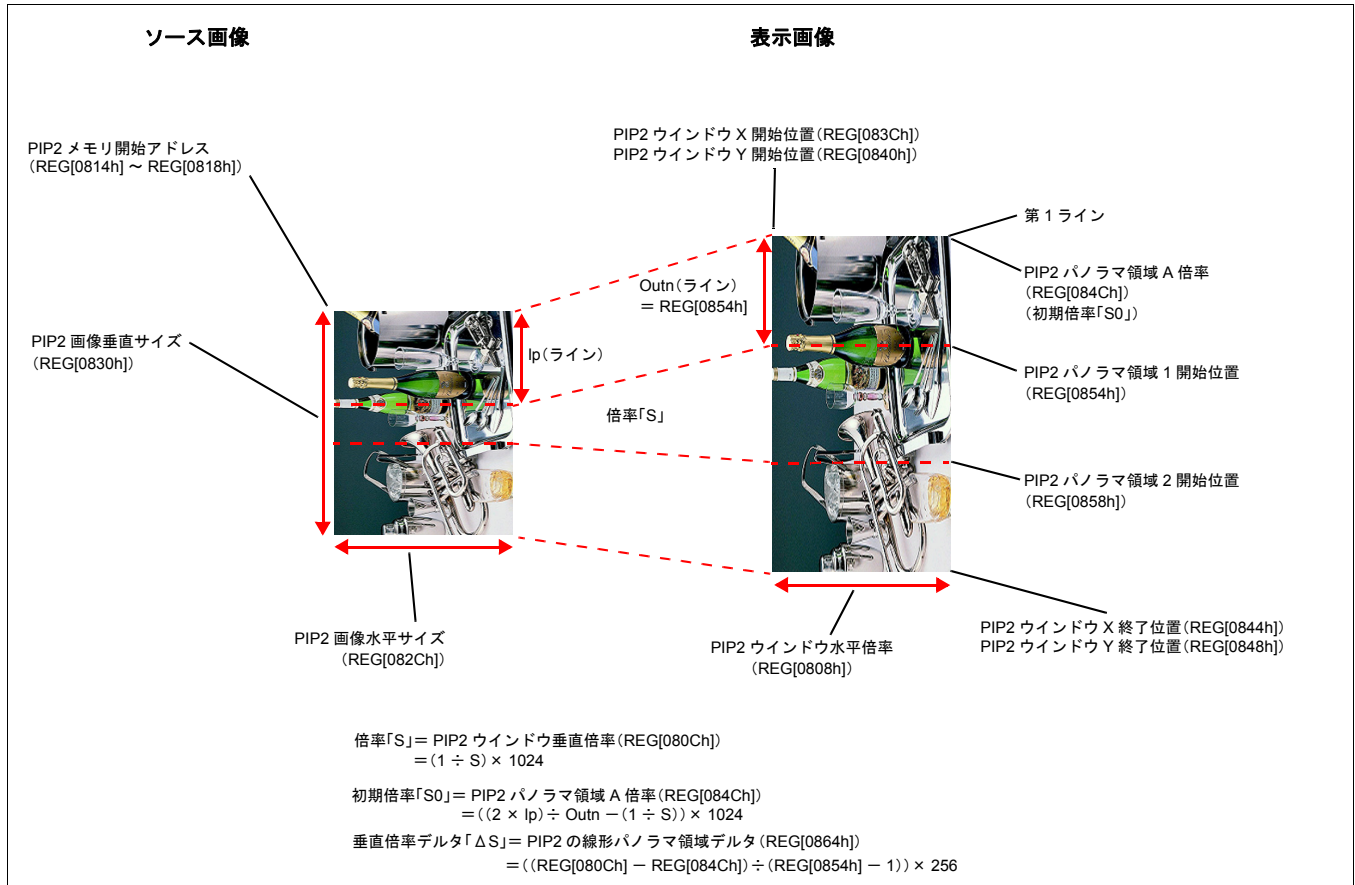


図12.30 線形パノラマモードの例

## 12. メモリからの画像データの表示

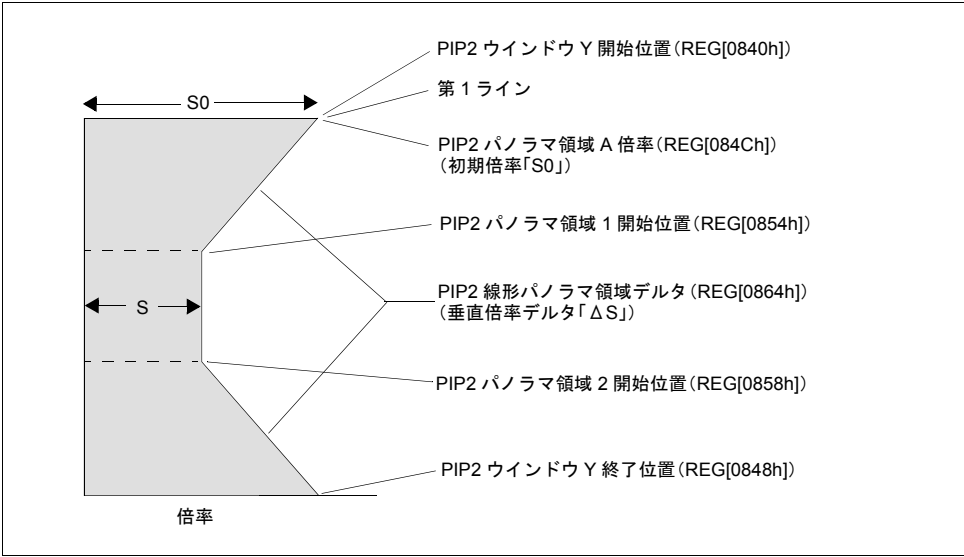


図12.31 線形パノラマモードの倍率

以下のプログラムフローは、PIP2ウィンドウを線形パノラマスケールリングに設定する方法の例を示します。

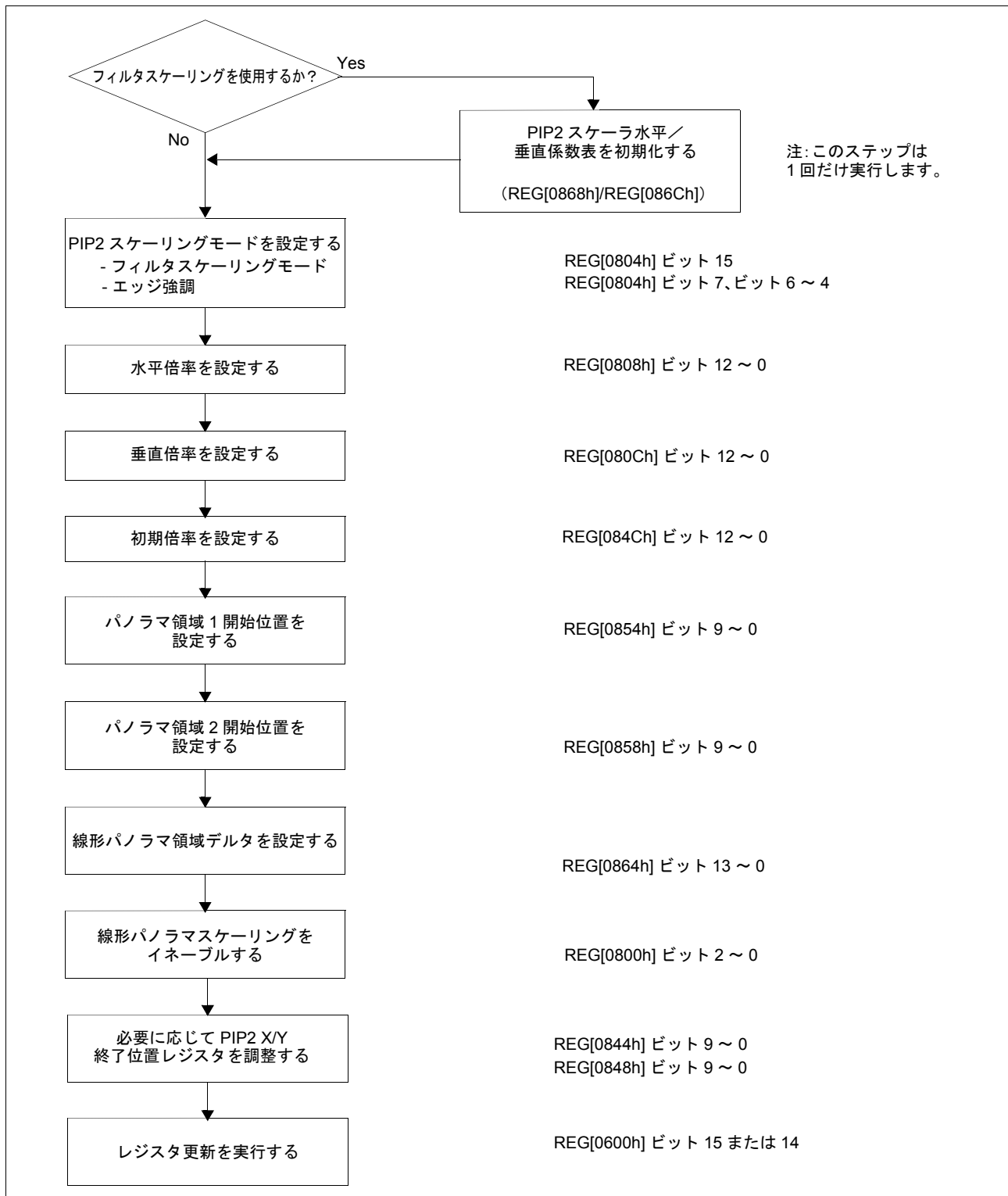


図12.32 PIP2線形パノラマスケールリングのプログラムフロー

## 12. メモリからの画像データの表示

以下の図は、PIP2垂直線形パノラマスケーリングを用いて240×320画像を480×800画像に拡大する例を示します。寸法はすべてピクセルで示されています。

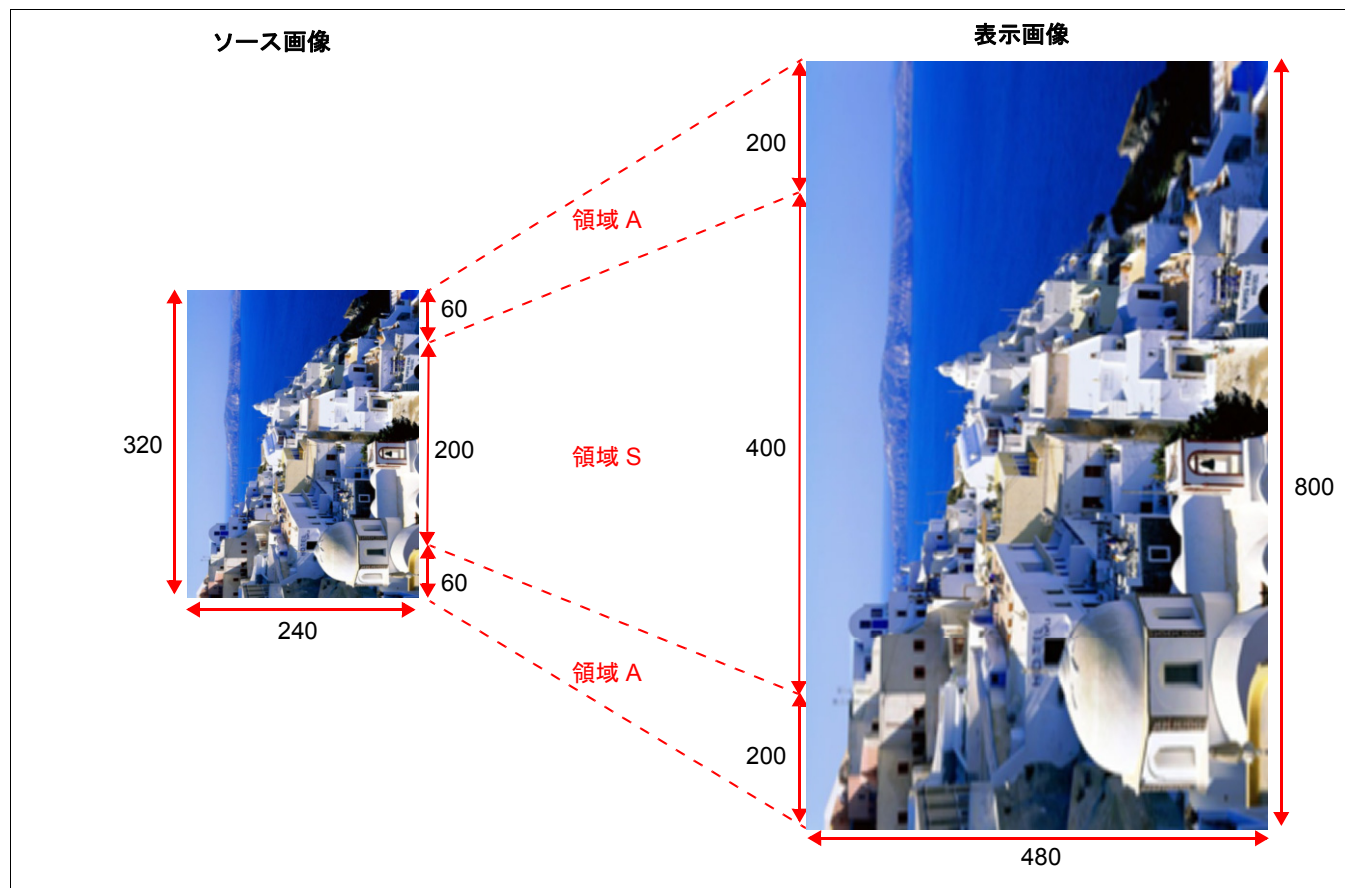


図12.33 PIP2垂直線形パノラマの例（240×320から480×800に拡大）

PIP2垂直線形パノラマスケーリングを用いて240×320画像を480×800画像に拡大するには以下のステップに従ってください。

1. フィルタスケーリングがイネーブルされている場合は（REG[0804h]ビット15=1）、PIP2スケーラ水平／垂直係数表をPIP2ウインドウスケーラ係数表アクセスポートレジスタの説明（REG[086Ch]を参照）に示した値で初期設定してください。
2. REG[0804h]でPIP2ウインドウのスケーリングモードを設定します。

この例では、フィルタスケーリングがイネーブルされ（ビット15=1）、エッジ強調がディセーブルされています（ビット7=0）。エッジ強調をイネーブルした場合は、ビット6～4でエッジ強調の強さを設定してください。

注：REG[0804h]にはそれぞれ設定する必要があるいくつかの予約ビットがあります。

3. REG[0808h]で水平倍率を設定します。

この例では、水平倍率は200%（2.0倍）です。設定する値は以下のように計算されます。

$$\begin{aligned}\text{REG}[0808\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 2.0) \\ &= 512 \text{ (200h)}\end{aligned}$$

4. REG[080Ch]で垂直倍率を設定します。

この例では、垂直倍率は、200% (2.0倍) です。設定する値は以下のように計算されます。

$$\begin{aligned}\text{REG}[080\text{Ch}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 2.0) \\ &= 512 \text{ (200h)}\end{aligned}$$

5. REG[084Ch]で初期倍率を設定します。

初期倍率はパノラマ領域A倍率レジスタを用いて設定され、以下のように計算されます。

$$\begin{aligned}\text{REG}[084\text{Ch}] \text{ビット} 12 \sim 0 &= ((2 \times \text{領域A入力サイズ}) \div \text{領域A出力サイズ} \\ &\quad (1 \div \text{領域S倍率})) \times 1024 \\ &= ((2 \times 60) \div 200) - (1 \div 2)) \times 1024 \\ &= ((120/200) - 0.5) \times 1024 \\ &= 0.1 \times 1024 \\ &= 102.4 \text{ (端数は切り捨て)} \\ &= 102 \text{ (066h)}\end{aligned}$$

6. REG[0854h]でパノラマ領域1開始位置を設定します。

開始位置は以下のように計算されます。

$$\begin{aligned}\text{REG}[0854\text{h}] \text{ビット} 9 \sim 0 &= \text{領域A出力サイズ} \\ &= 200 \text{ (0C8h)}\end{aligned}$$

7. REG[0858h]でパノラマ領域2開始位置を設定します。

開始位置は以下のように計算されます。

$$\begin{aligned}\text{REG}[0858\text{h}] \text{ビット} 9 \sim 0 &= \text{領域A出力サイズ} + \text{領域B出力サイズ} \\ &= 200 + 400 \\ &= 600 \text{ (258h)}\end{aligned}$$

8. REG[00864h]で線形パノラマ領域デルタを設定します。

線形パノラマ領域デルタは以下のように計算されます。

$$\begin{aligned}\text{REG}[0864\text{h}] \text{ビット} 13 \sim 0 &= ((\text{REG}[080\text{Ch}] - \text{REG}[084\text{Ch}]) \div (\text{REG}[0854\text{h}] - 1)) \times 256 \\ &= ((512 - 102.4) \div (200 - 1)) \times 256 \\ &= 409.6 \div 199 \times 256 \\ &= 526.92 \text{ (端数は切り捨て)} \\ &= 526 \text{ (20Eh)}\end{aligned}$$

9. REG[0800h]ビット2~0=010を設定することにより、垂直線形パノラマスケーリングをイネーブルしてください。
10. 必要に応じてPIP2 X/Y終了位置レジスタを調整してください。
11. REG[0600h]ビット15またはビット14を設定することによって、PIP2ウィンドウが表示されるインタフェースに従ってレジスタ更新を行ってください。

## 12. メモリからの画像データの表示

### 12.6.3 PIP2パノラマスケーリングの制約

PIP2パノラマスケーリングモードには、選択したパノラマモード、フィルタリングがイネーブルされているかどうか、表示がインタレースかどうかによりいくつかの制約があります。可能な設定は次の表のとおりです。

表12.31 PIP2ワイドスケーリングモードの選択

REG[0804h]ビット15	REG[0800h]ビット2～0	スケーリングモード		非インタレース	インタレース (注1)
0	000	非フィルタ モード	通常スケーリング	Yes	Yes
	001		垂直部分パノラマ	No	No
	010		垂直線形パノラマ	No	No
	011		水平部分パノラマ	Yes (注2)	Yes (注2)
	100		水平線形パノラマ	Yes (注2)	Yes (注2)
	101～111		Reserved	—	—
1	000	フィルタ モード	通常スケーリング	Yes	No
	001		垂直部分パノラマ	Yes	No
	010		垂直線形パノラマ	Yes	No
	011		水平部分パノラマ	Yes	No
	100		水平線形パノラマ	Yes	No
	101 - 111		Reserved	—	—

#### 注

1. HSYNC & FIELDまたはITU-R BT656 TV-Outインタフェースを選択したとき (REG[0200h]ビット1～0＝01または11、およびREG[0604h]ビット15～12＝0100または1011)、画像データはインタレースモードで出力されます。
2. 水平部分および線形パノラマでは、PIP2ウインドウ水平倍率ビットを400h以下に設定してください。  
REG[0808h] ≤ 400h



## 12.7 画像スクロール

画像ウィンドウを垂直方向にスクロールすることによって、画像データを非連続メモリ領域に記憶することができます。画像スクロールは、すべてのウィンドウ（メイン、PIP1およびPIP2）に自動的に適用されます。この機能を有効にするためにレジスタを設定する必要はありません。

画像スクロールは次のように機能します。Y開始位置+画像ウィンドウがメモリ垂直サイズより大きくなったときに、メモリ領域の始めに戻ることによって画像データの残りの部分が読み出されます。以下の条件のときに、画像スクロールが行われます。

$YSP + \text{画像ウィンドウ} > MVS$

### 注

水平方向の画像スクロールはサポートしていません。

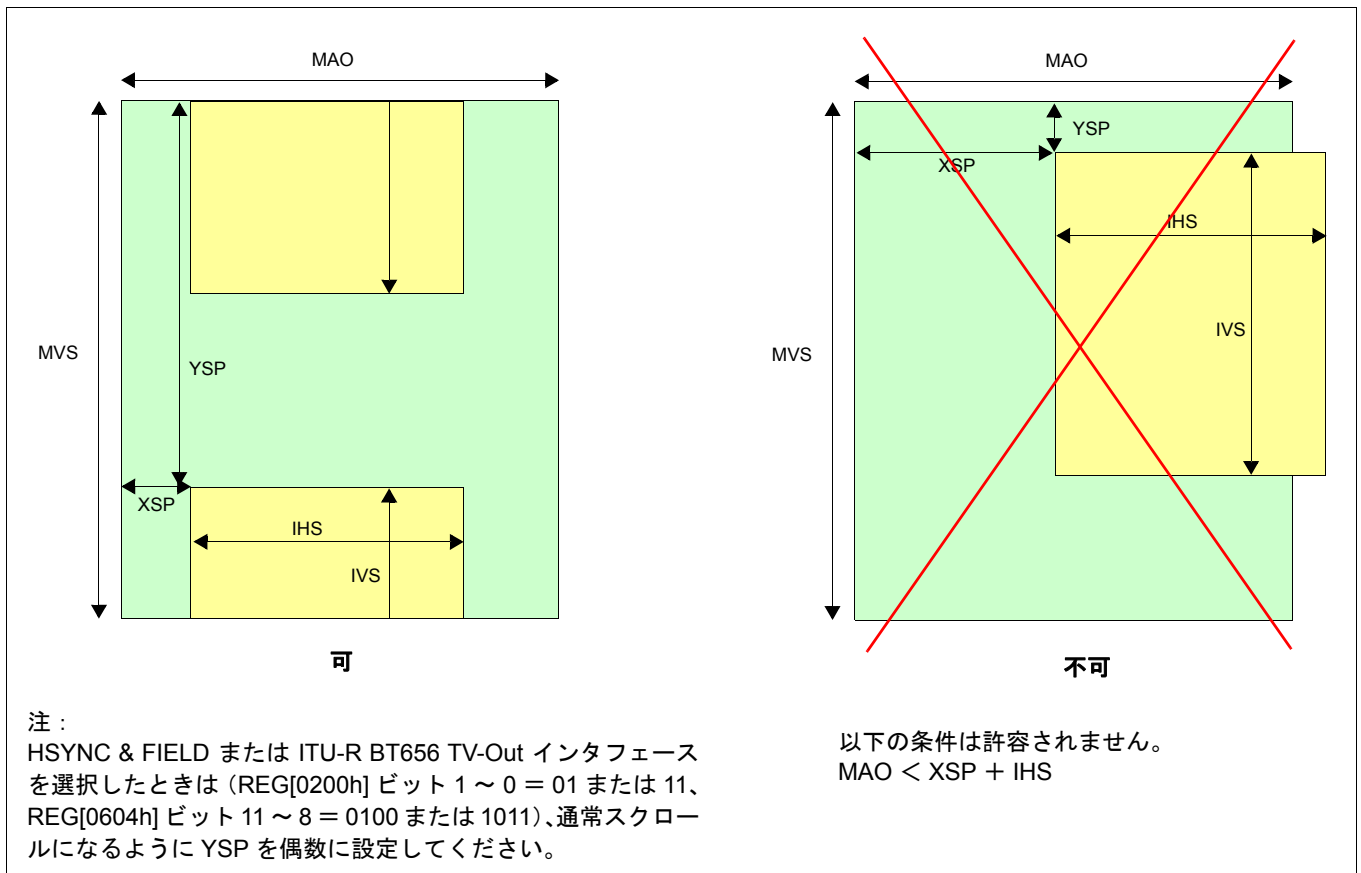


図12.34 画像スクロール

## 13. レジスタ更新

### 13. レジスタ更新

S1D13774インタフェースの中には、設定レジスタを更新したときに内部回路が正しく更新されたことを確認するために、特定の手順が必要なものがあります。以下のインタフェースは特別な確認が必要です。

- ホストインタフェース
- ビデオ入力インタフェース
- LCDインタフェース
- TV-Outインタフェース

#### 13.1 ホストインタフェース

ホストインタフェースは、メモリ書き込みパス選択ビット（REG[0500h]ビット0）の設定により、メインメモリ書き込みパスとサブメモリ書き込みパスのどちらを使用するかを設定することができます。ホストインタフェースに関連したレジスタの変更が必要なときは、現在のフレームの終わりから次のフレームの始めまでの間にレジスタを更新してください。

ホストインタフェースを以下の表に示した書き込みパス用に設定するときは、ホストインタフェースレジスタ更新手順に従ってください。

表13.1 ホストインタフェースレジスタの用法

REG[0500h]ビット0	レジスタ	説明
0	REG[0504h]ビット13～0	メインメモリ書き込みパス設定レジスタ
	REG[0508h]～REG[052Ch]	メインメモリ書き込みパスレジスタ
1	REG[0580h]ビット6、0	サブメモリ書き込みパスイネーブルレジスタ
	REG[0584h]～REG[05A8h]	サブメモリ書き込みパスレジスタ

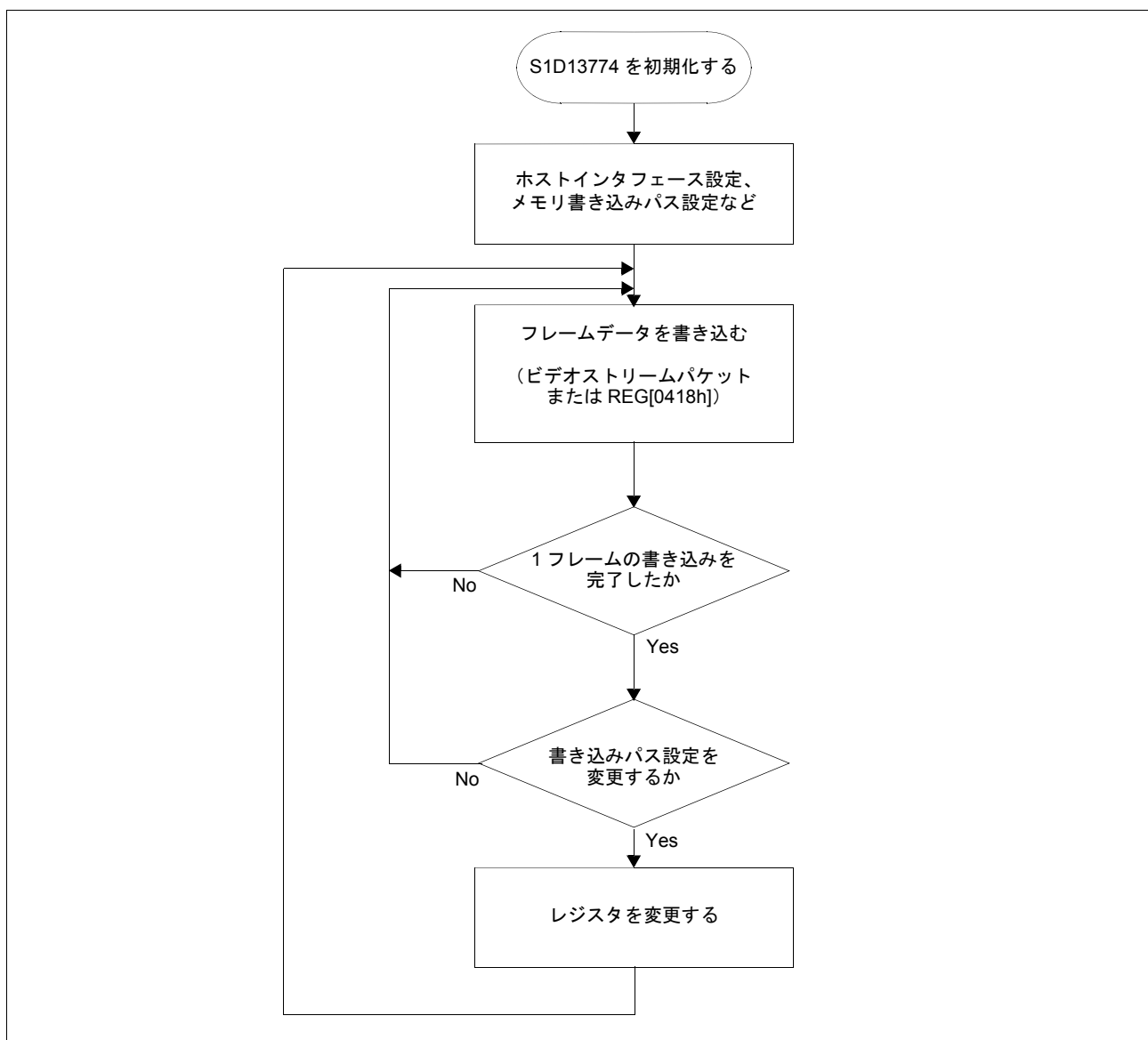


図13.1 ホストインタフェースレジスタの更新手順

## 13. レジスタ更新

### 13.2 ビデオ入力インタフェース

ビデオ入力インタフェースは、メモリ書き込みパス選択ビット（REG[0500h]ビット0）の設定により、メインメモリ書き込みパスとサブメモリ書き込みパスのどちらを使用するか設定することができます。ビデオ入力インタフェースに関連したレジスタの変更が必要なときは、レジスタを更新してから対応するレジスタ更新ビットを設定してください。更新ビットの設定後、更新したレジスタ値は、ビデオ入力インタフェースの次のVSYNCと同期して内部回路に反映されます。

ビデオ入力インタフェースを以下の表に示した書き込みパス用に設定するときは、ビデオ入力インタフェースレジスタ更新手順に従ってください。

表13.2 ビデオ入力インタフェースレジスタの使用

REG[0500h]ビット0	レジスタ	説明	レジスタ更新ビット
0	REG[0580h]ビット6、0	サブメモリ書き込みバスイネーブルレジスタ	REG[0500h]ビット5
	REG[0584h]～REG[05A8h]	サブメモリ書き込みバスレジスタ	
1	REG[0504h]ビット13～0	メインメモリ書き込みパス設定レジスタ	REG[0500h]ビット4
	REG[0508h]～REG[052Ch]	メインメモリ書き込みバスレジスタ	

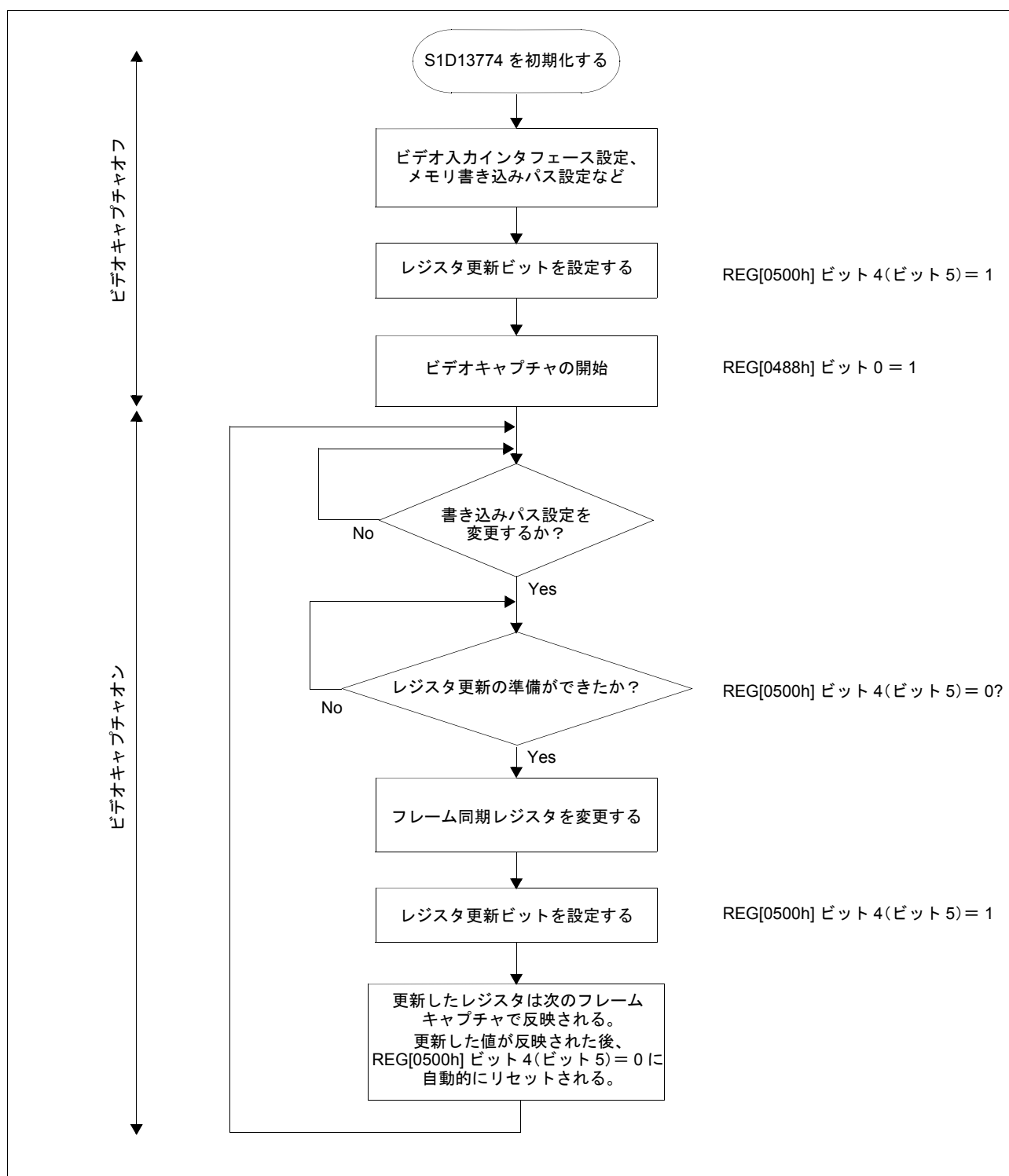


図13.2 ビデオ入力インターフェースレジスタ更新手順

## 13. レジスタ更新

### 13.3 LCDインタフェース

LCDインタフェースに影響を及ぼすレジスタを変更したときは、更新した値が内部回路に反映される前にLCDインタフェース更新レジスタビット（REG[0600h]ビット14）を設定してください。この更新レジスタビットを設定すると、更新した値がLCD1インタフェースのVSYNCと同期して反映されます。

レジスタ更新手順を用いてLCDインタフェース更新レジスタビットを設定しなければならないレジスタは以下の表のとおりです。レジスタ更新手順は、LCD1、LCD2ではフレーム転送を使って行われ、LCD2では自動フレーム転送を使って行われます。

表13.3 LCDフレーム同期レジスタ

アドレス	ビット	レジスタ名	LCD1	LCD2	LCD1 (メインのみ)
			REG[0604h]ビット15~12		
			0001	0010	1011
REG[0600h]	5	LUTイネーブル	Yes	Yes	No
REG[0604h]	0	メイン1ウインドウ表示イネーブル	Yes	Yes	Yes
	1	メイン2ウインドウ表示イネーブル	Yes	Yes	Yes
	2	PIP1ウインドウ表示イネーブル	Yes	Yes	No
	3	PIP2ウインドウ表示イネーブル	Yes	Yes	No
	5	メインレイヤモード選択	Yes	Yes	No
	6	PIPレイヤモード選択	Yes	Yes	No
REG[0608h]	All	透過およびアルファブレンド制御レジスタ	Yes	Yes	No
REG[0614h]~REG[0644h]	All	透過およびアルファブレンドレジスタ	Yes	Yes	No
REG[0648h]	All	擬似設定レジスタ	Yes	Yes	No
REG[0680h]	All	メインウインドウレジスタ	Yes	Yes	Yes
REG[0684h]~REG[06C8h]	All	メインウインドウレジスタ	Yes	Yes	Yes
REG[0700h]	All	PIP1ウインドウレジスタ	Yes	Yes	No
REG[0704h]~REG[0748h]	All	PIP1ウインドウレジスタ	Yes	Yes	No
REG[0800h]	All	PIP2ウインドウレジスタ	Yes	Yes	No
REG[0804h]~REG[0864h]	All	PIP2ウインドウレジスタ	Yes	Yes	No
REG[0900h]~REG[0930h]	All	AMEレジスタ	Yes	Yes	No

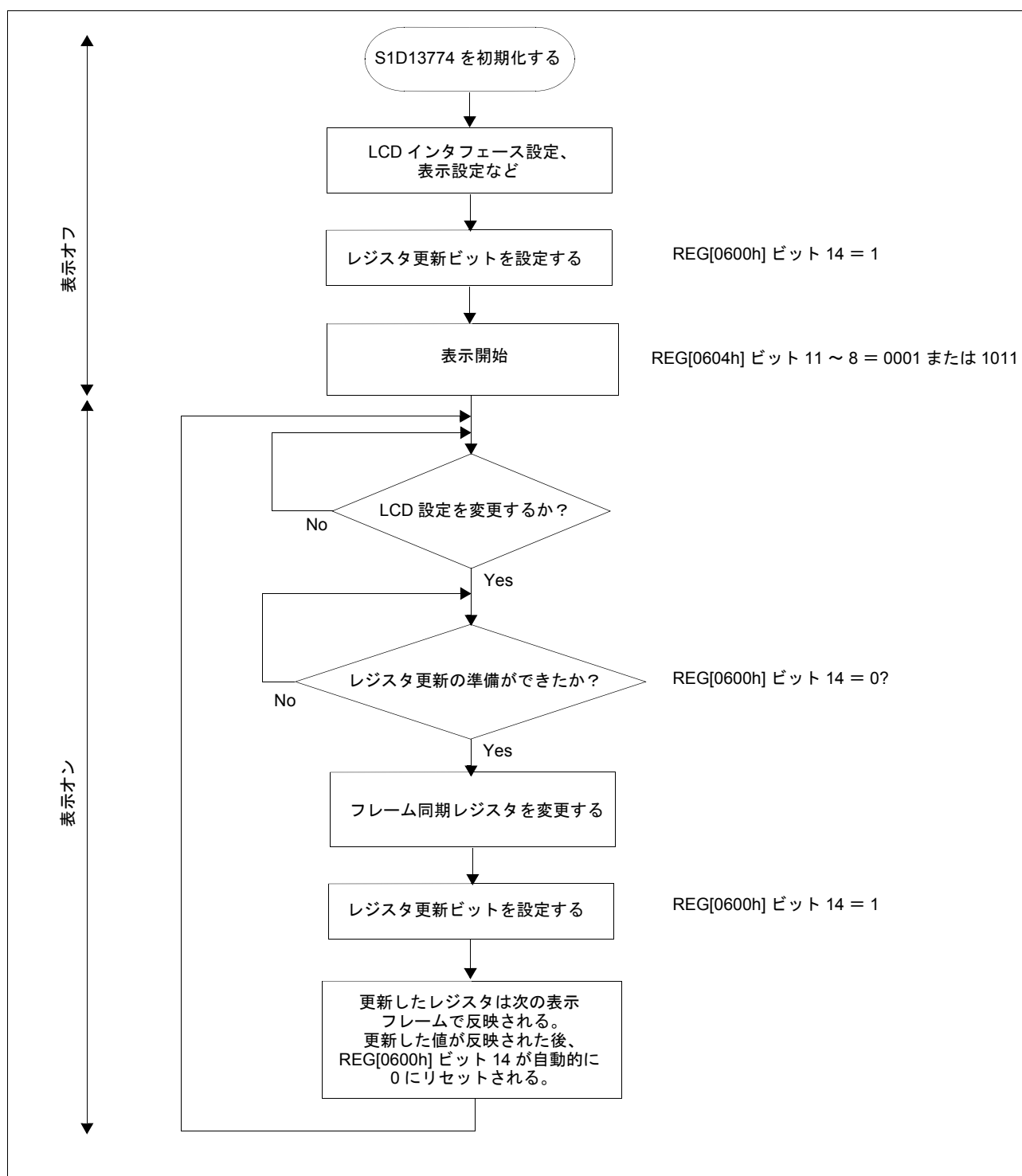


図13.3 LCD1インタフェースレジスタ更新手順

## 13. レジスタ更新

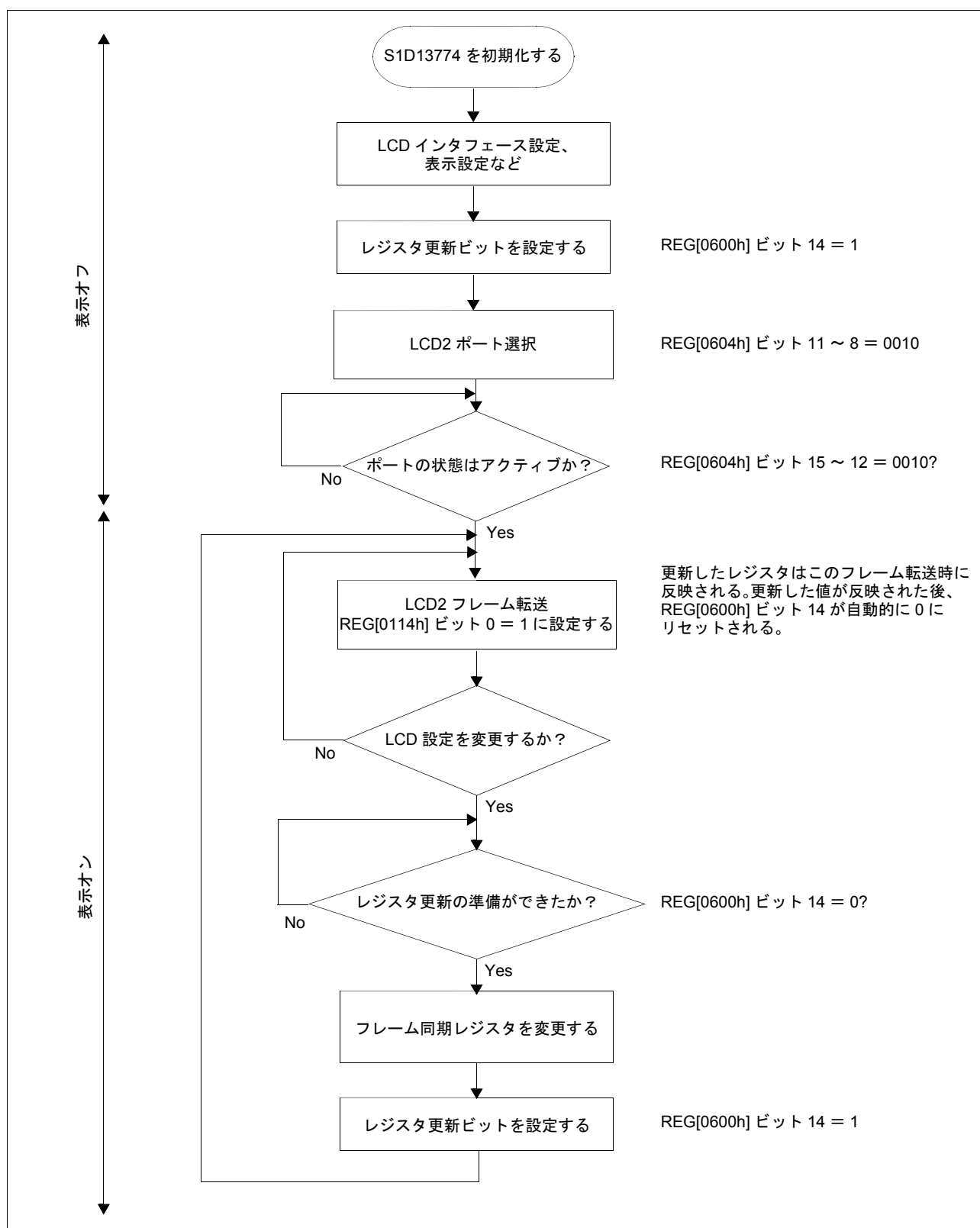


図13.4 LCD2インタフェースレジスタ更新手順（フレーム転送）



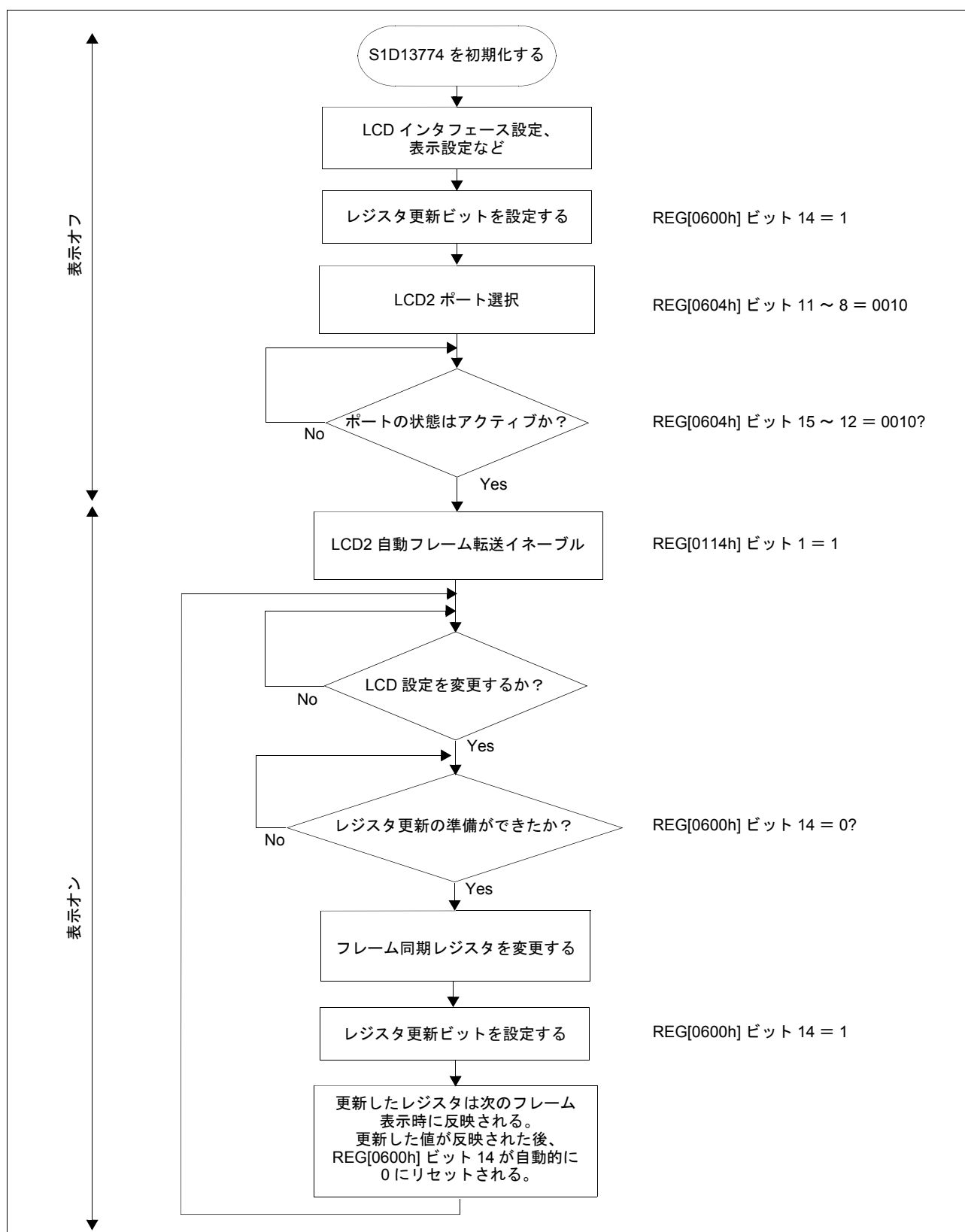


図13.5 LCD2インタフェースレジスタ更新手順（自動フレーム転送）

## 13. レジスタ更新

### 13.4 TV-Outインタフェース

TV-Outインタフェースに影響を及ぼすレジスタを変更したときは、更新した値が内部回路に反映される前にTV-Outインタフェース更新レジスタビット（REG[0600h]ビット15）を設定してください。この更新レジスタビットを設定したとき、更新した値は、TV-OutインタフェースのVSYNCと同期して反映されます。

レジスタ更新手順を用いてTV-Outインタフェース更新レジスタビットを設定しなければならないレジスタは以下の表のとおりです。レジスタ更新手順は、HsyncおよびFIELD/ITU-R BT656、パラレルではフレーム転送を使用し、パラレルでは自動フレーム転送を使用して行います。

表13.4 TV-Outフレーム同期レジスタ

アドレス	ビット	レジスタ名	TV-Out (メイン/PIP1/PIP2)	TV-Out (PIP1/PIP2)
			REG[0604h]ビット15~12	
			0100	1011
REG[0600h]	5	LUTイネーブル	Yes	Yes
REG[0604h]	0	メイン1ウインドウ表示イネーブル	Yes	No
	1	メイン2ウインドウ表示イネーブル	Yes	No
	2	PIP1ウインドウ表示イネーブル	Yes	Yes
	3	PIP2ウインドウ表示イネーブル	Yes	Yes
	5	メインレイヤモード選択	Yes	No
	6	PIPレイヤモード選択	Yes	Yes
REG[0608h]	1	PIP1透過イネーブル	Yes	No
	2	PIP2透過イネーブル	Yes	Yes
	7	アルファブレンドモード選択	Yes	No
	11-8	アルファブレンドキーカラーイネーブル	Yes	Yes
REG[0614h]~REG[0644h]	All	透過およびアルファブレンド制御レジスタ	Yes	Yes
REG[0648h]	All	擬似設定レジスタ	Yes	Yes
REG[0680h]	All	メインウインドウレジスタ	Yes	No
REG[0684h]~REG[06C8h]	All	メインウインドウレジスタ	Yes	No
REG[0700h]	All	PIP1ウインドウレジスタ	Yes	Yes
REG[0704h]~REG[0748h]	All	PIP1ウインドウレジスタ	Yes	Yes
REG[0800h]	All	PIP2ウインドウレジスタ	Yes	Yes
REG[0804h]~REG[0864h]	All	PIP2ウインドウレジスタ	Yes	Yes
REG[0900h]~REG[0930h]	All	AMEレジスタ	Yes	Yes

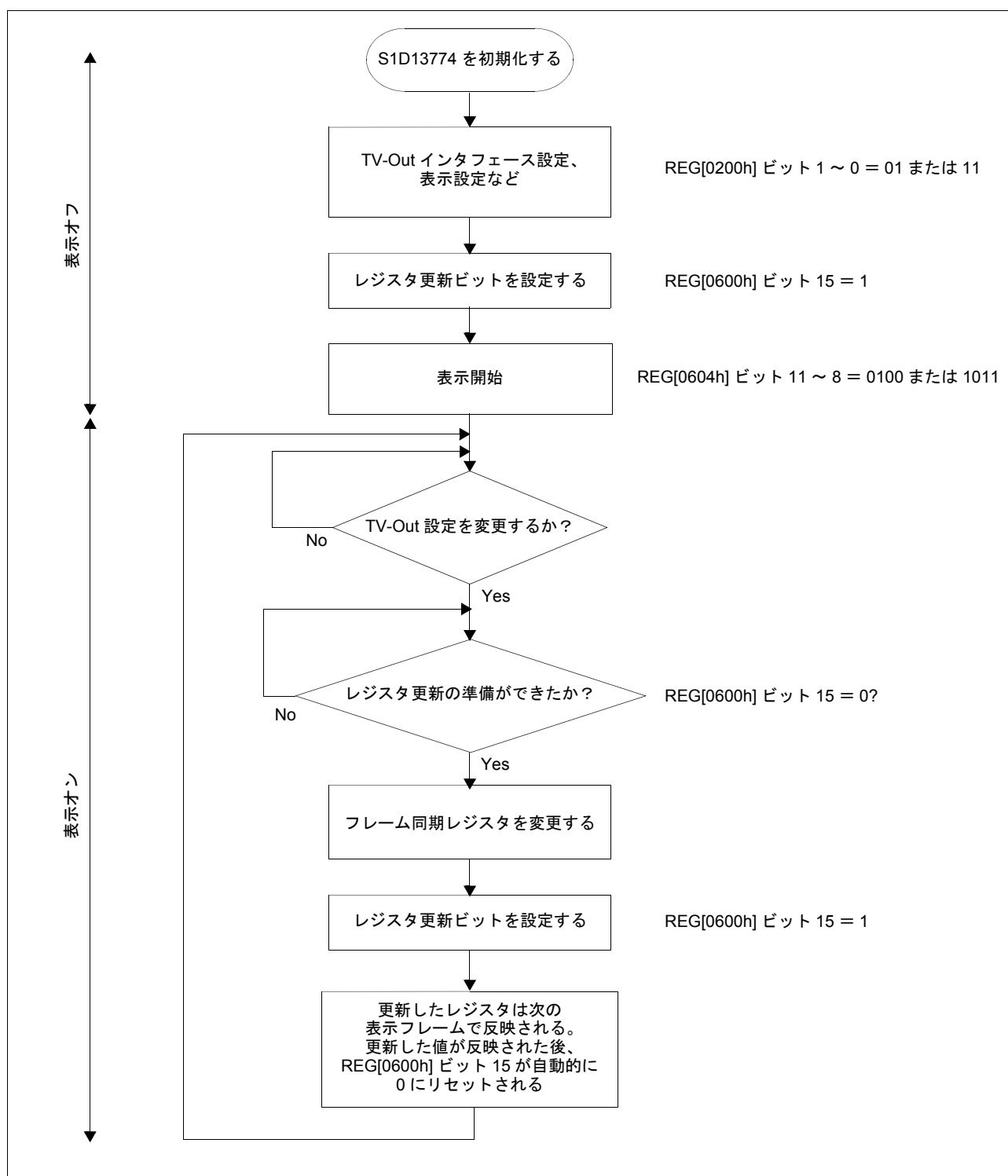


図13.6 TV-Out HsyncおよびFIELD/ITU-R BT656インタフェースレジスタ更新手順

## 13. レジスタ更新

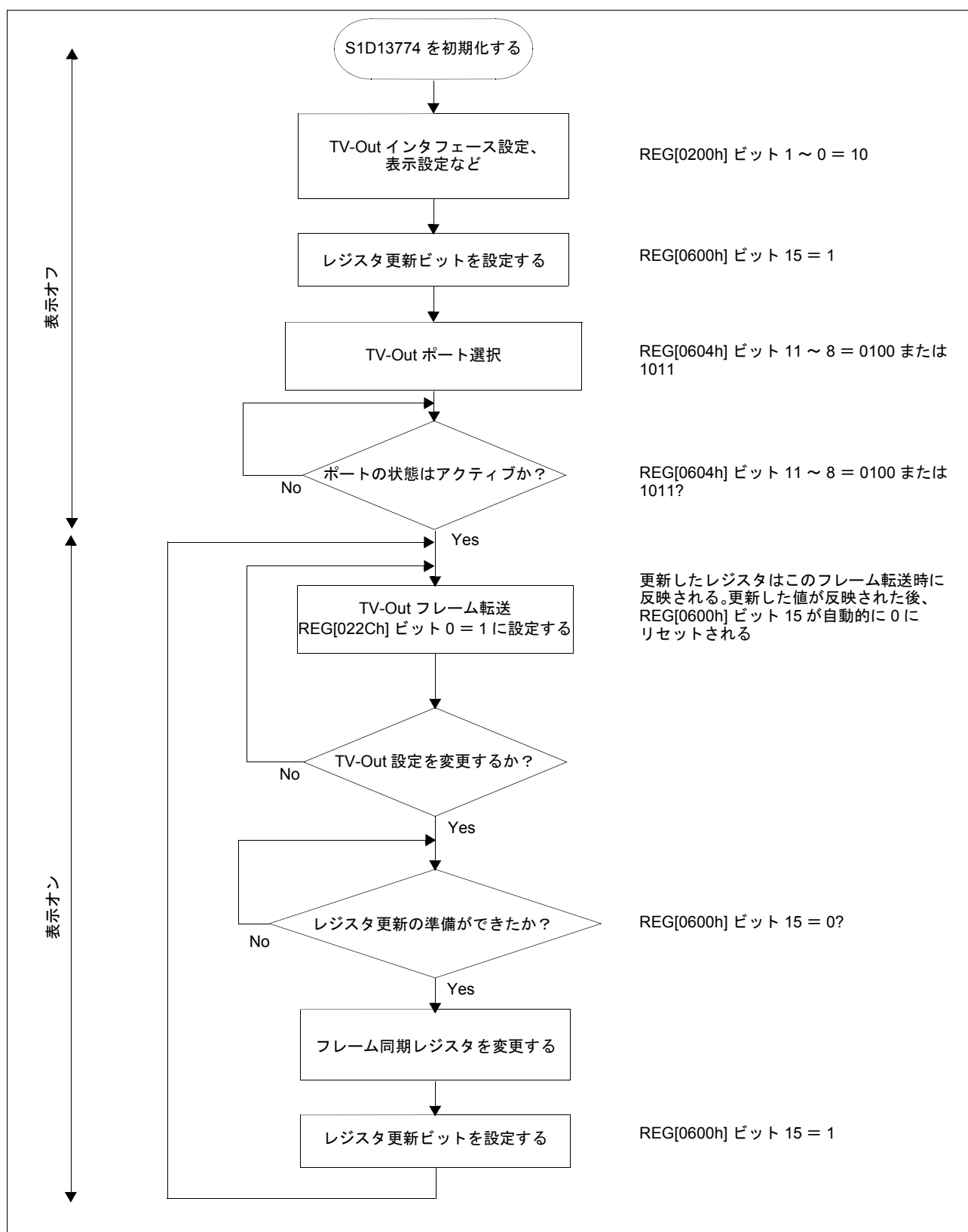


図13.7 TV-Outパラレルインタフェースレジスタ更新手順（フレーム転送）

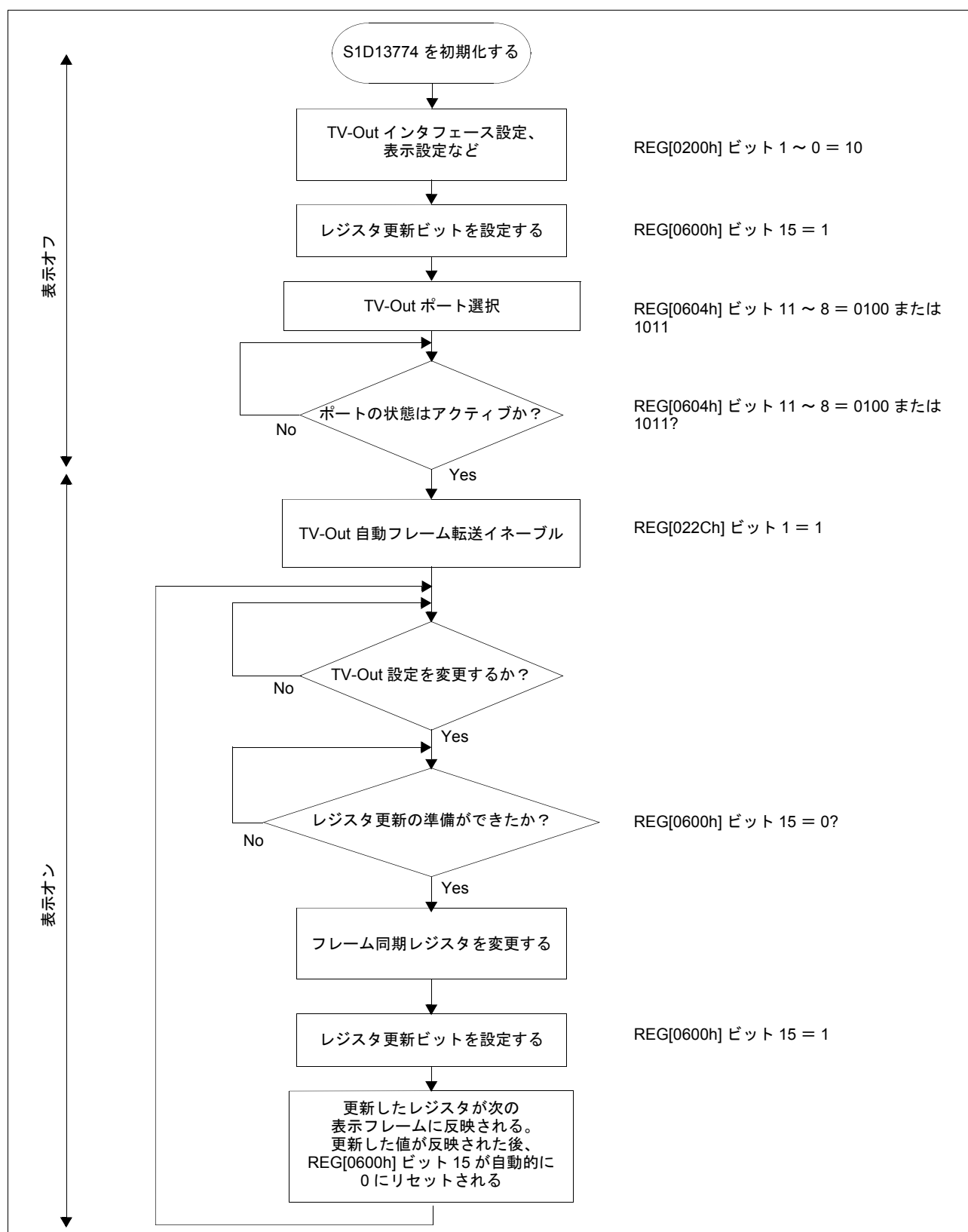


図13.8 TV-Outパラレルインタフェースレジスタ更新手順（自動フレーム転送）

## 14. ホストインタフェース

### 14. ホストインタフェース

S1D13774は次の2つのホストインタフェースをサポートしています。

- 18ビットインダイレクトインタフェース
- I2Cインタフェース

#### 注

I2Cインタフェースとインダイレクトインタフェースを同時に使用できますが、これらのインタフェースが同時にアクティブになることはできません。

#### 14.1 インダイレクトホストインタフェース

S1D13774は、レジスタの読み書きおよびメモリへの画像データの書き込みに使用できる18ビットインダイレクトホストインタフェースを備えています。インダイレクトホストインタフェースは、CNF0=1のときに選択されます。

以下の節では、インダイレクトアクセスポートについて説明し、レジスタとメモリへのアクセス方法を示すプログラムフローを提供します。

##### 14.1.1 インダイレクトアクセスポート

D/C# = 0 Indirect Interface Index Register															Read/Write	
Default = 0000_0000h																
レジスタアドレスビット15~1															R/W選択	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 15-1 レジスタアドレスビット[15:1]  
これらのビットは、インダイレクトインタフェースのレジスタアドレスを設定します。

bit 0 R/W選択  
このビットは、読み出しと書き込みのどちらを実行するかを選択します。  
このビットが0のとき、書き込みが実行されます。  
このビットが1のとき、読み出しが実行されます。

D/C# = 1 Indirect Interface Data Register															Read/Write	
Default = 0000_0000h																
レジスタデータビット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 15-0 レジスタデータビット[15:0]  
これらのビットは、インダイレクトインタフェースのデータポートです。

#### 注

ホストインタフェース入力フォーマットが、RGB 6:6:6フォーマット5 (REG[0400h]ビット2~0=001、およびREG[0400h]ビット6~4=100) 用に設定されたときは、DB[17:16]が使用されます。詳細は、356ページの14.5.9「RGB 6:6:6フォーマット5」をご覧ください。

## 14.1.2 レジスタアクセス

ホストによるレジスタアクセスの場合は、以下の手順に従ってダミー読み出しを追加してください。

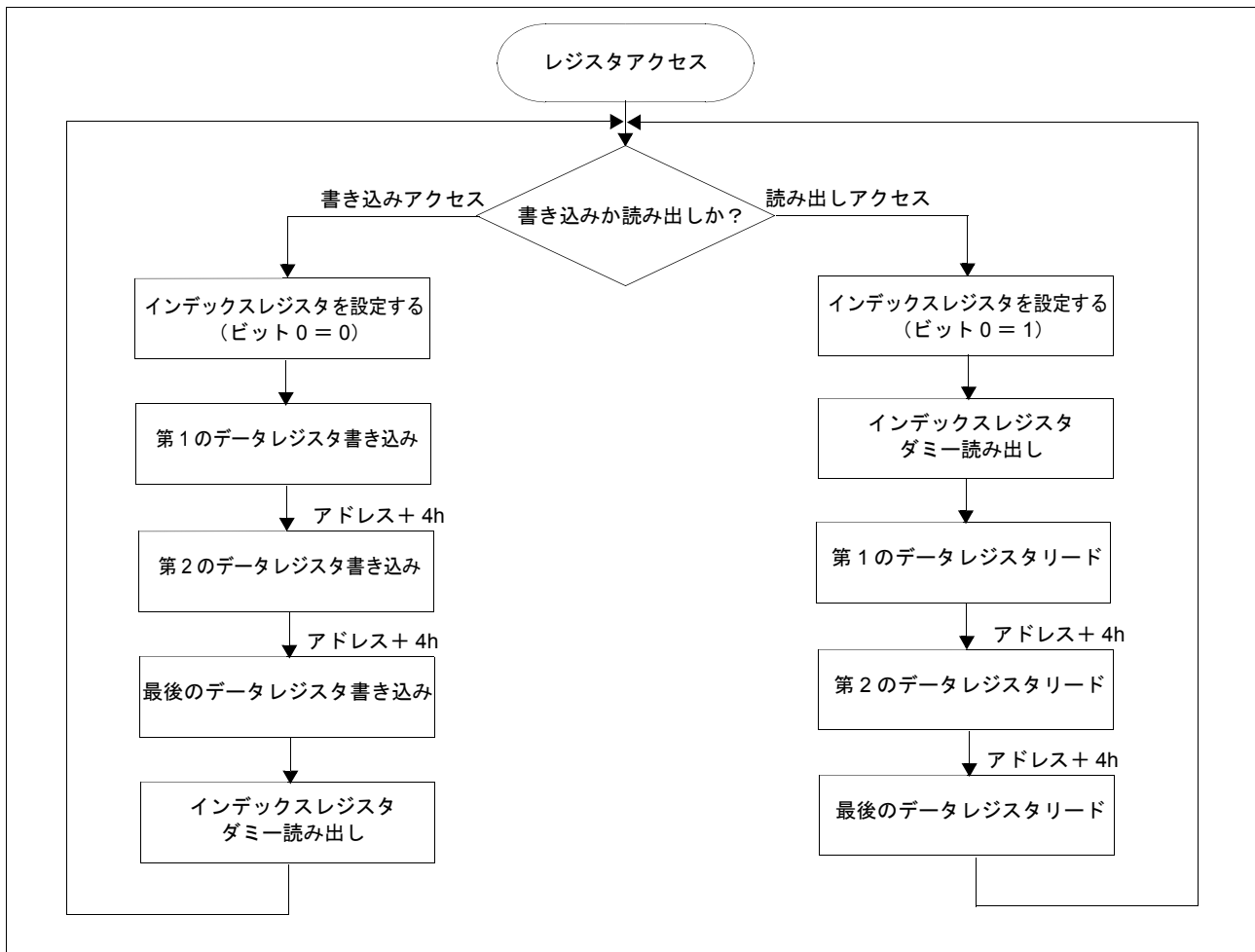


図14.1 インダイレクトインタフェースのレジスタアクセス

## 14. ホストインタフェース

### 14.1.3 メイン/サブメモリ書き込みパスを使ったメモリ書き込みアクセス

画像データをメインまたはサブメモリ書き込みパスを使って書き込むときは、以下の手順に従ってください。他のレジスタアクセスのためにREG[0418h]へのデータ書き込みが中断された場合は、他のレジスタアクセスが完了した後で、インデックスレジスタアドレスをREG[0418h]に再設定してください。その後、データ書き込みの残りの部分を終わることができます。

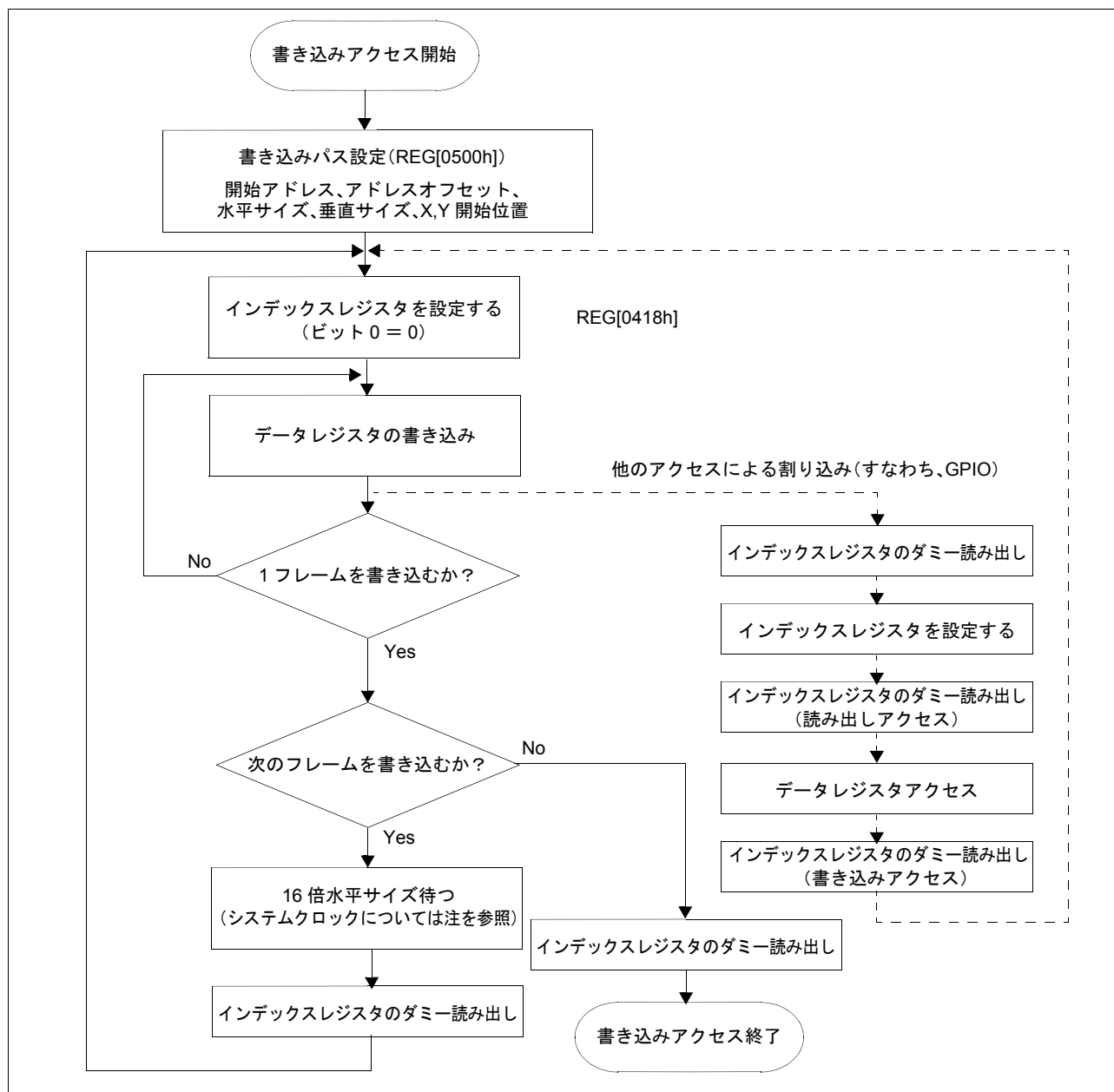


図14.2 メイン/サブメモリ書き込みパスを使うメモリ書き込みアクセス

#### 注

たとえば、水平サイズが128ピクセルの場合、2048システムクロック以上待つてください。



## 14.2 I2Cインタフェース

S1D13774は、I2Cスレーブ機能を備えています。この機能を使ってインダイレクトインタフェースの代わりにS1D13774レジスタにアクセスすることができます。S1D13774 I2Cスレーブ機能は以下のとおりです。

- 7ビットI2Cスレーブアドレスをサポート（10ビットはサポートしていません）
- I2Cソースクロック周波数に応じた標準モード（100Kbps）または高速モード（400Kbps）をサポート

スレーブアドレスは、I2Cスレーブアドレスビット（REG[0B04h]ビット14～8）を用いて設定され、デフォルト値は55h（1010101）です。

I2Cアクセスはそれぞれ、16ビットアドレス（8ビット×2）と16ビットのデータ（8ビット×2）からなります。オートインクリメント機能を用いて書き込みや読み出しを連続的に行うことができます。I2C書き込みおよび読み出しアクセスの詳細は、348ページの14.2.3「I2Cアクセスの例」をご覧ください。

### 注

I2Cインタフェースがアクセスされている間はインダイレクトインタフェースにアクセスしないでください。

I2Cインタフェースを起動するには以下の3つの方法があります。

表14.1 I2C起動方法

起動トリガ	I2CソースCLK		パワーセーブモードでの動作 (REG[002Ch]ビット1～0)	
	CNF1 = L	CNF1 = H	スリープ、スタンバイA、 スタンバイBモード	通常動作モード
I2CEN端子	CLKI（注）	OSCI/OSCO（注）	有効	有効
Quick Enable Register REG[0030h]ビット0	CLKI（注）	OSCI/OSCO（注）	有効	有効
Enable Register REG[0B04h]ビット0	システムクロック	Reserved	無効	有効

### 注

高速モード（400kbps）では、I2Cソースクロック $\geq$ 24MHz  
標準モード（100kbps）では、I2Cソースクロック $\geq$ 5.4MHz

## 14. ホストインタフェース

### 14.2.1 レジスタアクセスの制約

以下のレジスタは、I2Cインタフェースを使ってアクセスすることができません。

表14.2 レジスタアクセスの制約

REG[0030h]	I2C Quick Enable Register
REG[0418h]	Host Memory Write Access Port Register
REG[0B00h]	I2C Clock Divisor Register
REG[0B04h]	I2C Enable Register

### 14.2.2 I2C例のフローチャート

I2CENまたはI2C Quick Enable Registerを使った起動

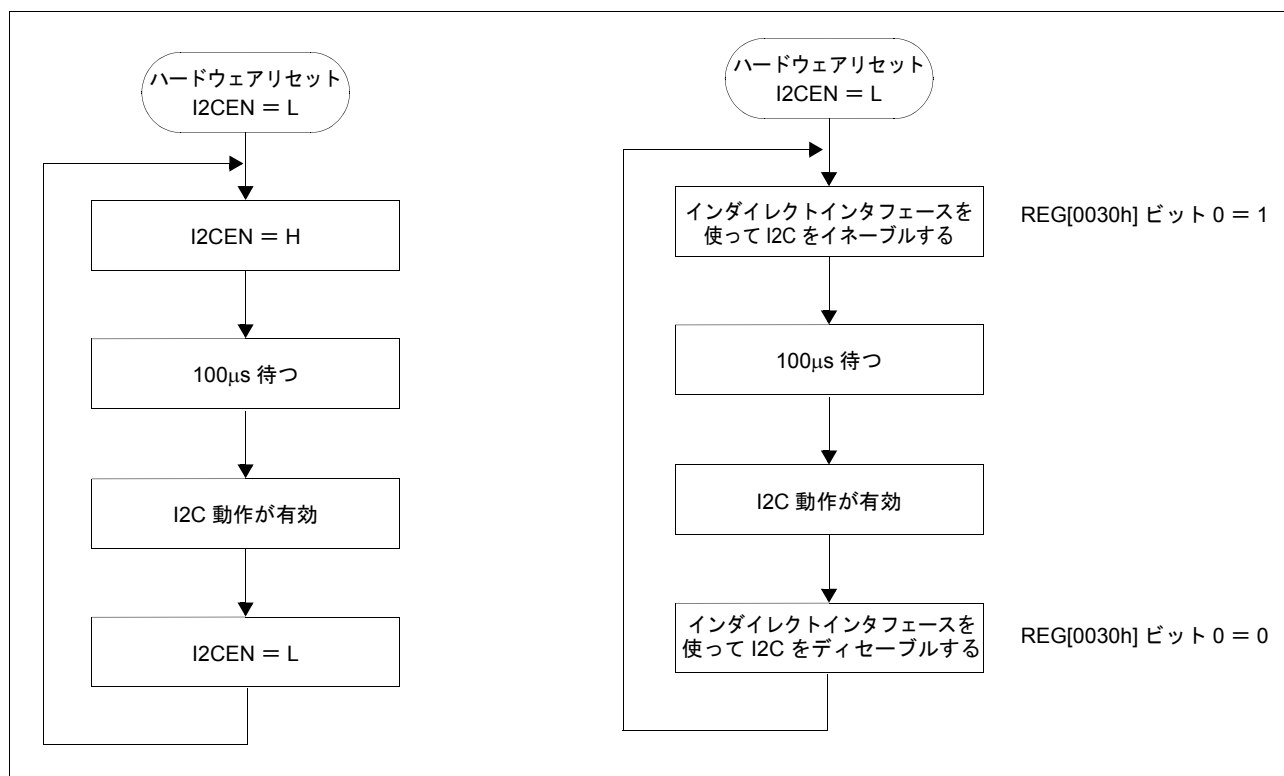


図14.3 I2CENまたはI2C Quick Enable Registerを使った起動

## I2C Enable Registerを使った起動

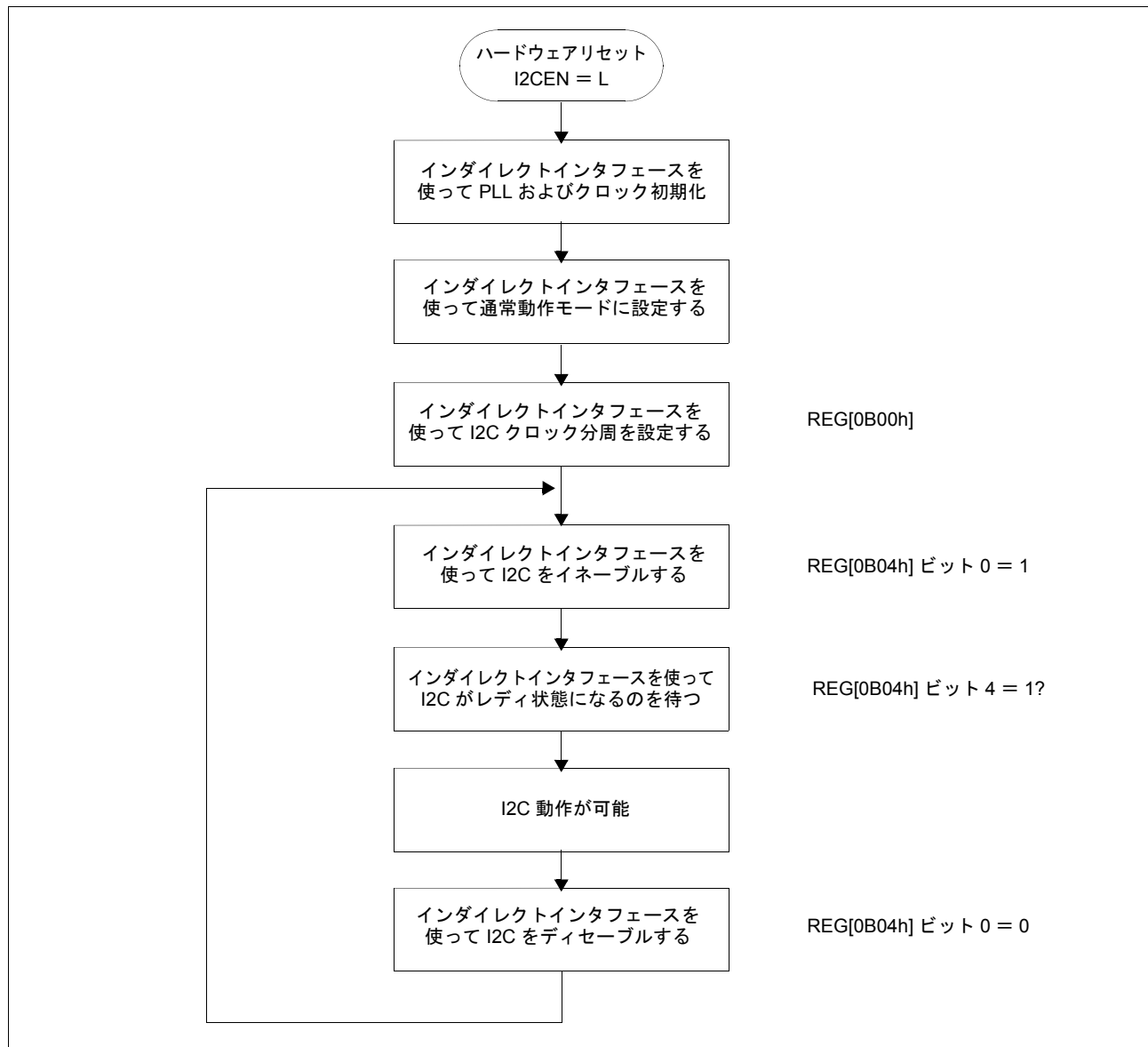


図14.4 I2C Enable Registerを使う起動

## 14. ホストインタフェース

### 14.2.3 I2Cアクセスの例

#### 書き込みアクセス

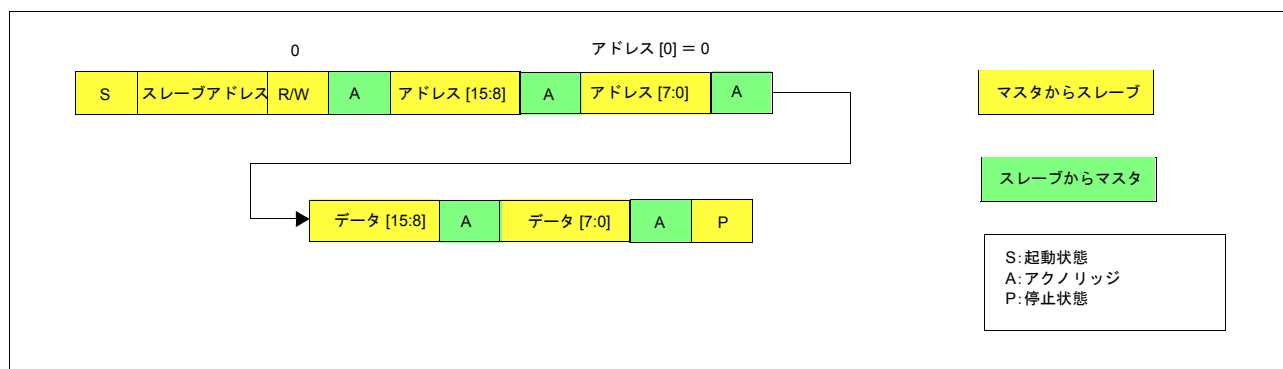


図14.5 書き込みアクセス

#### 注

書き込み操作では、アドレス[0]を0に設定してください。

#### 連続書き込みアクセス（アドレスオートインクリメント）

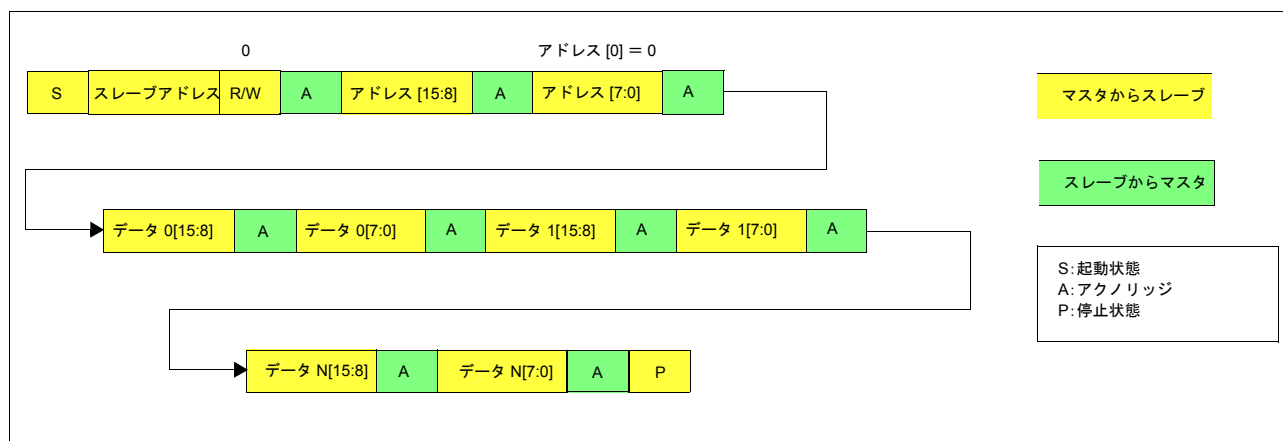


図14.6 連続書き込みアクセス

#### 注

1. 書き込み操作では、アドレス[0]を0に設定してください。
2. 「Address Auto Increment Disable」と名前が付けられたレジスタに書き込む場合は、新しいアドレスを指定するまでアドレスが繰り返し書き込まれます。

## 読み出しアクセス

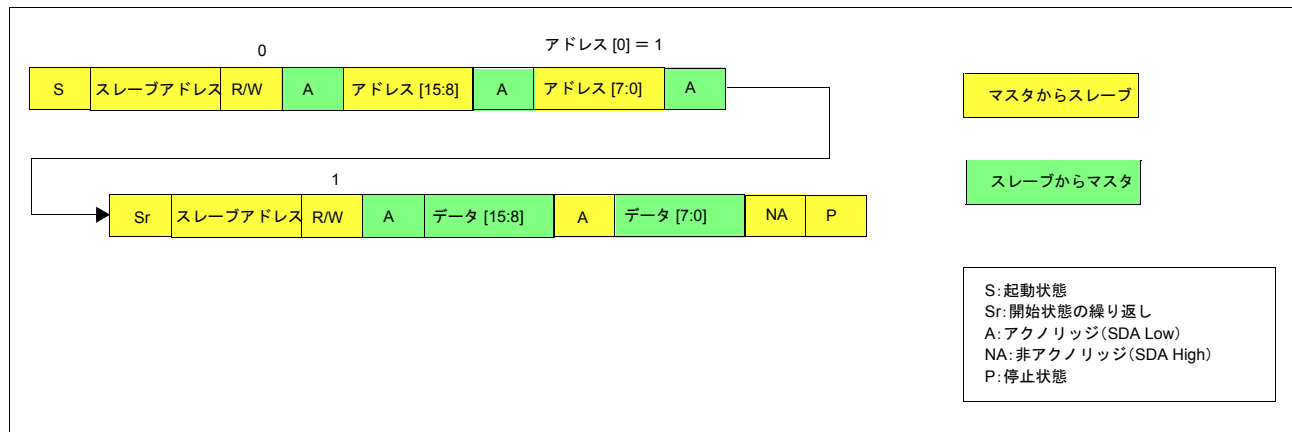


図14.7 読み出しアクセス

## 注

読み出し操作では、アドレス[0]を1に設定してください。

## 連続読み出しアクセス（アドレスオートインクリメント）

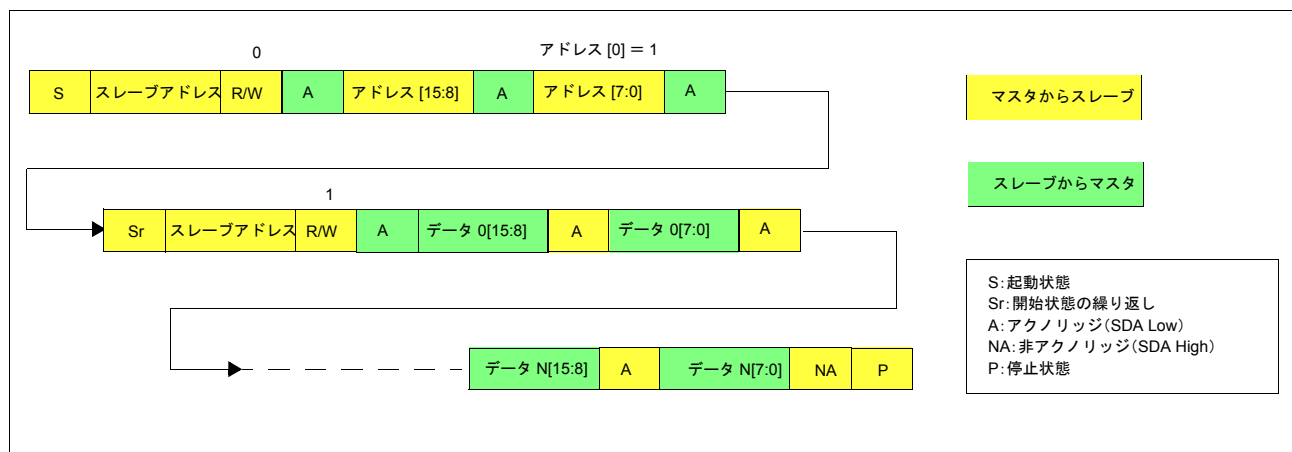


図14.8 連続読み出しアクセス

## 注

1. 読み出し操作では、アドレス[0]を1に設定してください。
2. 「Address Auto Increment Disable」と名前が付けられたレジスタを読み出す場合は、新しいアドレスを指定するまでアドレスが繰り返し読み出されます。

### 14.3 レジスタオートインクリメント

ホストは、オートインクリメント機能を使って、連続的なレジスタ読み出しアクセスまたは書き込みアクセスを実行することができます。この機能によって、インデックスレジスタをリセットすることなく、連続アドレスに対して読み書きすることができます。たとえば、オートインクリメント機能は、I2C連続アクセスによって使用されます。

ただし、レジスタの中にはオートインクリメント機能をサポートしていないものもあります。そのようなレジスタは、85ページの9.2「レジスタセット」とレジスタ説明の見出しで「アドレスオートインクリメントディセーブル」と示されています（89ページの9.4「レジスタの説明」を参照）。これらのレジスタのうちのどれかが規定のインデックスに達すると、レジスタインデックスはそれ以上オートインクリメントされなくなり、次に必要なインデックスのためにインデックスレジスタを設定しなければなりません。

また、「オートインクリメント」することができない特定のレジスタ境界もあります。次の間のオートインクリメントは行われません。

- REG[0230h]とREG[0300h]
- REG[0350h]とREG[0400h]
- REG[0B04h]

#### 14.4 ホストインタフェースVSYNC出力（ティアリング効果）

VSYNC信号（TE）がホストに出力されます。このVSYNC信号（TE）を使って、画像の視覚的ティアリングを防ぐために、ホストからの新しいデータを安全に書き込むタイミングを示すことができます。TE信号のソースは、TEソース選択ビット（REG[0404h]ビット11～10）を使って4つの信号から選択することができます。

RGBインタフェースとTV-Outインタフェースの内部で生成されるVSYNCに対して出力タイミングを調整することができます。

- TE は、内部 VSYNC に対するライン数（HSYNC の単位）で遅延させることができます（REG[0404h]ビット9～0を参照）。
- TE出力レートを1フレームから15フレームごとに出力するように設定することができます（REG[0404h]ビット15～12を参照）。

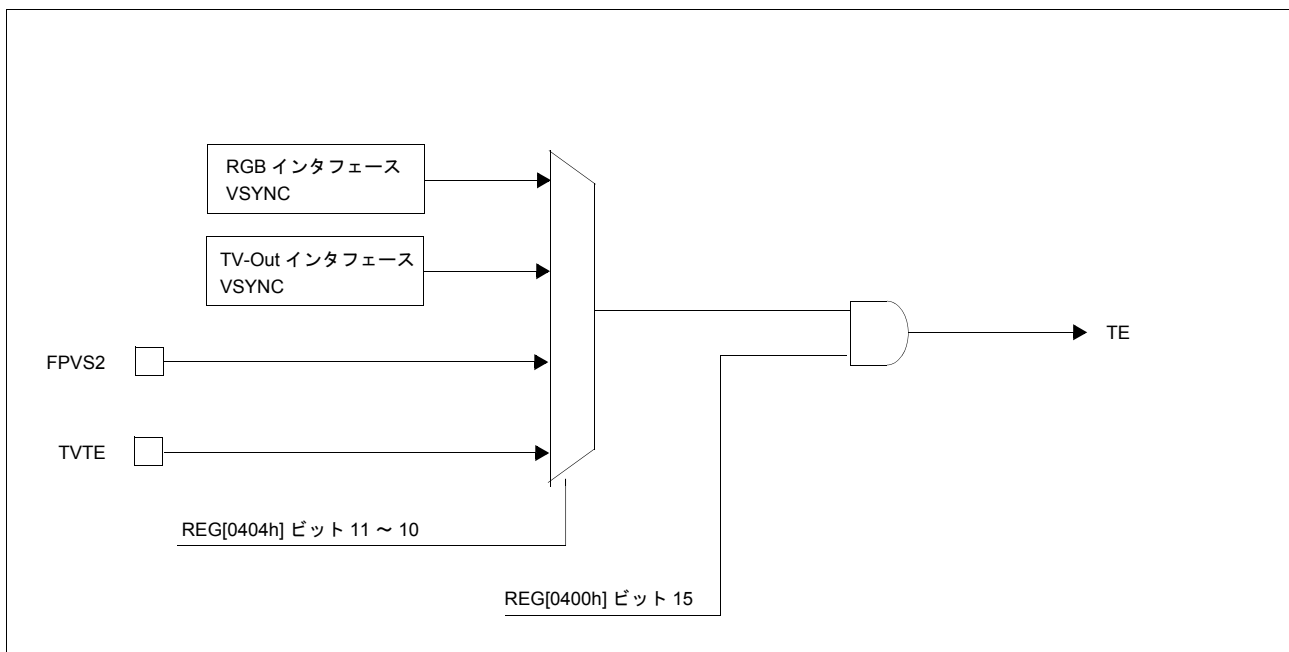


図14.9 TE出力

## 14. ホストインタフェース

### 14.5 ホストインタフェースの入力フォーマット

インダイレクトインタフェースには以下の入力フォーマットが使用されます。

S1D13774には、ホスト入力単位の制約はありません。ただし、幅が奇数値で、2ピクセル／3サイクルのRGBフォーマットを選択したときは（RGB8:8:8フォーマット1/3とRGB6:6:6フォーマット1/3）、ホストは、現在のラインの最後のピクセルと、同一入力データ内で混合される次のラインの最初のピクセルとを入力します。幅と高さが両方とも奇数値の場合、ホストは、3サイクルではなく2サイクルでフレームの最後のピクセルを入力します（フォーマット1とフォーマット3のどちらを選択したかにより、サイクル2の上位／下位バイトが無視されます）。

#### 14.5.1 RGB 8:8:8フォーマット1

RGB8:8:8 : REG[0400h]ビット2～0=010、フォーマット1 : REG[0400h]ビット6～4=000

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.3 RGB 8:8:8入力フォーマット1

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	G <sub>(0,0)</sub> <sup>7</sup>	G <sub>(0,0)</sub> <sup>6</sup>	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	B <sub>(0,0)</sub> <sup>7</sup>	B <sub>(0,0)</sub> <sup>6</sup>	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>
2	—	—	B <sub>(1,0)</sub> <sup>7</sup>	B <sub>(1,0)</sub> <sup>6</sup>	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	R <sub>(0,0)</sub> <sup>7</sup>	R <sub>(0,0)</sub> <sup>6</sup>	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>
3	—	—	R <sub>(1,0)</sub> <sup>7</sup>	R <sub>(1,0)</sub> <sup>6</sup>	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	G <sub>(1,0)</sub> <sup>7</sup>	G <sub>(1,0)</sub> <sup>6</sup>	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>
	...																	
	—	—	G <sub>(0,1)</sub> <sup>7</sup>	G <sub>(0,1)</sub> <sup>6</sup>	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	B <sub>(0,1)</sub> <sup>7</sup>	B <sub>(0,1)</sub> <sup>6</sup>	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>
	—	—	B <sub>(1,1)</sub> <sup>7</sup>	B <sub>(1,1)</sub> <sup>6</sup>	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	R <sub>(0,1)</sub> <sup>7</sup>	R <sub>(0,1)</sub> <sup>6</sup>	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>
	—	—	R <sub>(1,1)</sub> <sup>7</sup>	R <sub>(1,1)</sub> <sup>6</sup>	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	G <sub>(1,1)</sub> <sup>7</sup>	G <sub>(1,1)</sub> <sup>6</sup>	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>
	...																	



## 14.5.2 RGB 8:8:8フォーマット2

RGB 8:8:8 : REG[0400h] ビット2～0=010、フォーマット2 : REG[0400h] ビット6～4=001

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.4 RGB 8:8:8入力フォーマット2

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	B <sub>(0,0)</sub> <sup>7</sup>	B <sub>(0,0)</sub> <sup>6</sup>	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—
2	—	—	R <sub>(0,0)</sub> <sup>7</sup>	R <sub>(0,0)</sub> <sup>6</sup>	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	G <sub>(0,0)</sub> <sup>7</sup>	G <sub>(0,0)</sub> <sup>6</sup>	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>
3	—	—	B <sub>(1,0)</sub> <sup>7</sup>	B <sub>(1,0)</sub> <sup>6</sup>	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—
4	—	—	R <sub>(1,0)</sub> <sup>7</sup>	R <sub>(1,0)</sub> <sup>6</sup>	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	G <sub>(1,0)</sub> <sup>7</sup>	G <sub>(1,0)</sub> <sup>6</sup>	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>
	...																	
	—	—	B <sub>(0,1)</sub> <sup>7</sup>	B <sub>(0,1)</sub> <sup>6</sup>	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—
	—	—	R <sub>(0,1)</sub> <sup>7</sup>	R <sub>(0,1)</sub> <sup>6</sup>	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	G <sub>(0,1)</sub> <sup>7</sup>	G <sub>(0,1)</sub> <sup>6</sup>	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>
	—	—	B <sub>(1,1)</sub> <sup>7</sup>	B <sub>(1,1)</sub> <sup>6</sup>	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—
	—	—	R <sub>(1,1)</sub> <sup>7</sup>	R <sub>(1,1)</sub> <sup>6</sup>	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	G <sub>(1,1)</sub> <sup>7</sup>	G <sub>(1,1)</sub> <sup>6</sup>	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>
	...																	

## 14.5.3 RGB 8:8:8フォーマット3

RGB 8:8:8 : REG[0400h] ビット2～0=010、フォーマット3 : REG[0400h] ビット6～4=010

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.5 RGB 8:8:8入力フォーマット3

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	R <sub>(0,0)</sub> <sup>7</sup>	R <sub>(0,0)</sub> <sup>6</sup>	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	G <sub>(0,0)</sub> <sup>7</sup>	G <sub>(0,0)</sub> <sup>6</sup>	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>
2	—	—	B <sub>(0,0)</sub> <sup>7</sup>	B <sub>(0,0)</sub> <sup>6</sup>	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	R <sub>(1,0)</sub> <sup>7</sup>	R <sub>(1,0)</sub> <sup>6</sup>	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>
3	—	—	G <sub>(1,0)</sub> <sup>7</sup>	G <sub>(1,0)</sub> <sup>6</sup>	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	B <sub>(1,0)</sub> <sup>7</sup>	B <sub>(1,0)</sub> <sup>6</sup>	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>
	...																	
	—	—	R <sub>(0,1)</sub> <sup>7</sup>	R <sub>(0,1)</sub> <sup>6</sup>	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	G <sub>(0,1)</sub> <sup>7</sup>	G <sub>(0,1)</sub> <sup>6</sup>	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>
	—	—	B <sub>(0,1)</sub> <sup>7</sup>	B <sub>(0,1)</sub> <sup>6</sup>	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	R <sub>(1,1)</sub> <sup>7</sup>	R <sub>(1,1)</sub> <sup>6</sup>	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>
	—	—	G <sub>(1,1)</sub> <sup>7</sup>	G <sub>(1,1)</sub> <sup>6</sup>	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	B <sub>(1,1)</sub> <sup>7</sup>	B <sub>(1,1)</sub> <sup>6</sup>	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>
	...																	

## 14. ホストインタフェース

### 14.5.4 RGB 8:8:8フォーマット4

RGB8:8:8 : REG[0400h]ビット2～0=010、フォーマット4 : REG[0400h]ビット6～4=011

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.6 RGB 8:8:8入力フォーマット4

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	—	—	—	—	—	—	—	—	$R_{(0,0)}^7$	$R_{(0,0)}^6$	$R_{(0,0)}^5$	$R_{(0,0)}^4$	$R_{(0,0)}^3$	$R_{(0,0)}^2$	$R_{(0,0)}^1$	$R_{(0,0)}^0$
2	—	—	$G_{(0,0)}^7$	$G_{(0,0)}^6$	$G_{(0,0)}^5$	$G_{(0,0)}^4$	$G_{(0,0)}^3$	$G_{(0,0)}^2$	$G_{(0,0)}^1$	$G_{(0,0)}^0$	$B_{(0,0)}^7$	$B_{(0,0)}^6$	$B_{(0,0)}^5$	$B_{(0,0)}^4$	$B_{(0,0)}^3$	$B_{(0,0)}^2$	$B_{(0,0)}^1$	$B_{(0,0)}^0$
3	—	—	—	—	—	—	—	—	—	—	$R_{(1,0)}^7$	$R_{(1,0)}^6$	$R_{(1,0)}^5$	$R_{(1,0)}^4$	$R_{(1,0)}^3$	$R_{(1,0)}^2$	$R_{(1,0)}^1$	$R_{(1,0)}^0$
4			$G_{(1,0)}^7$	$G_{(1,0)}^6$	$G_{(1,0)}^5$	$G_{(1,0)}^4$	$G_{(1,0)}^3$	$G_{(1,0)}^2$	$G_{(1,0)}^1$	$G_{(1,0)}^0$	$B_{(1,0)}^7$	$B_{(1,0)}^6$	$B_{(1,0)}^5$	$B_{(1,0)}^4$	$B_{(1,0)}^3$	$B_{(1,0)}^2$	$B_{(1,0)}^1$	$B_{(1,0)}^0$
	...																	
	—	—	—	—	—	—	—	—	—	—	$R_{(0,1)}^7$	$R_{(0,1)}^6$	$R_{(0,1)}^5$	$R_{(0,1)}^4$	$R_{(0,1)}^3$	$R_{(0,1)}^2$	$R_{(0,1)}^1$	$R_{(0,1)}^0$
	—	—	$G_{(0,1)}^7$	$G_{(0,1)}^6$	$G_{(0,1)}^5$	$G_{(0,1)}^4$	$G_{(0,1)}^3$	$G_{(0,1)}^2$	$G_{(0,1)}^1$	$G_{(0,1)}^0$	$B_{(0,1)}^7$	$B_{(0,1)}^6$	$B_{(0,1)}^5$	$B_{(0,1)}^4$	$B_{(0,1)}^3$	$B_{(0,1)}^2$	$B_{(0,1)}^1$	$B_{(0,1)}^0$
	—	—	—	—	—	—	—	—	—	—	$R_{(1,1)}^7$	$R_{(1,1)}^6$	$R_{(1,1)}^5$	$R_{(1,1)}^4$	$R_{(1,1)}^3$	$R_{(1,1)}^2$	$R_{(1,1)}^1$	$R_{(1,1)}^0$
			$G_{(1,1)}^7$	$G_{(1,1)}^6$	$G_{(1,1)}^5$	$G_{(1,1)}^4$	$G_{(1,1)}^3$	$G_{(1,1)}^2$	$G_{(1,1)}^1$	$G_{(1,1)}^0$	$B_{(1,1)}^7$	$B_{(1,1)}^6$	$B_{(1,1)}^5$	$B_{(1,1)}^4$	$B_{(1,1)}^3$	$B_{(1,1)}^2$	$B_{(1,1)}^1$	$B_{(1,1)}^0$
	...																	

### 14.5.5 RGB 6:6:6フォーマット1

RGB 6:6:6 : REG[0400h]ビット2～0=001、フォーマット1 : REG[0400h]ビット6～4=000

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.7 RGB6:6:6入力フォーマット1

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	—	—	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	—	—
2	—	—	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	—	—	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	—	—
3	—	—	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	—	—	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	—	—
	...																	
	—	—	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	—	—	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	—	—	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	—	—	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	—	—
	...																	

## 14.5.6 RGB 6:6:6フォーマット2

RGB6:6:6 : REG[0400h]ビット2～0=001、フォーマット2 : REG[0400h]ビット6～4=001

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.8 RGB 6:6:6入力フォーマット2

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—	—	—
2	—	—	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	—	—	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	—	—
3	—	—	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—	—	—
4	—	—	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	—	—	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	—	—
	...																	
	—	—	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—	—	—
	—	—	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	—	—	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	—	—	—	—	—	—	—	—	—	—
	—	—	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	—	—	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	—	—
	...																	

## 14.5.7 RGB 6:6:6フォーマット3

RGB6:6:6 : REG[0400h]ビット2～0=001、フォーマット3 : REG[0400h]ビット6～4=010

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.9 RGB 6:6:6入力フォーマット3

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	—	—	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	—	—
2	—	—	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	—	—	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	—	—
3	—	—	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	—	—	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	—	—
	...																	
	—	—	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	—	—	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	—	—	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	—	—
	—	—	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	—	—	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	—	—
	...																	

## 14. ホストインタフェース

### 14.5.8 RGB 6:6:6フォーマット4

RGB 6:6:6 : REG[0400h]ビット2～0=001、フォーマット4 : REG[0400h]ビット6～4=011

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.10 RGB 6:6:6入力フォーマット4

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	—	—	—	—	—	—	—	—	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	—	—
2	—	—	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	—	—	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>	—	—
3	—	—	—	—	—	—	—	—	—	—	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	—	—
4	—	—	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	—	—	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>	—	—
	...																	
	—	—	—	—	—	—	—	—	—	—	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	—	—	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>	—	—
	—	—	—	—	—	—	—	—	—	—	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	—	—
	—	—	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	—	—	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>	—	—
	...																	

### 14.5.9 RGB 6:6:6フォーマット5

RGB6:6:6 : REG[0400h]ビット2～0=001、フォーマット5 : REG[0400h]ビット6～4=100

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.11 RGB 6:6:6入力フォーマット5

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	R <sub>(0,0)</sub> <sup>5</sup>	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	B <sub>(0,0)</sub> <sup>5</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>
2	R <sub>(1,0)</sub> <sup>5</sup>	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	B <sub>(1,0)</sub> <sup>5</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>
3	R <sub>(2,0)</sub> <sup>5</sup>	R <sub>(2,0)</sub> <sup>4</sup>	R <sub>(2,0)</sub> <sup>3</sup>	R <sub>(2,0)</sub> <sup>2</sup>	R <sub>(2,0)</sub> <sup>1</sup>	R <sub>(2,0)</sub> <sup>0</sup>	G <sub>(2,0)</sub> <sup>5</sup>	G <sub>(2,0)</sub> <sup>4</sup>	G <sub>(2,0)</sub> <sup>3</sup>	G <sub>(2,0)</sub> <sup>2</sup>	G <sub>(2,0)</sub> <sup>1</sup>	G <sub>(2,0)</sub> <sup>0</sup>	B <sub>(2,0)</sub> <sup>5</sup>	B <sub>(2,0)</sub> <sup>4</sup>	B <sub>(2,0)</sub> <sup>3</sup>	B <sub>(2,0)</sub> <sup>2</sup>	B <sub>(2,0)</sub> <sup>1</sup>	B <sub>(2,0)</sub> <sup>0</sup>
4	R <sub>(3,0)</sub> <sup>5</sup>	R <sub>(3,0)</sub> <sup>4</sup>	R <sub>(3,0)</sub> <sup>3</sup>	R <sub>(3,0)</sub> <sup>2</sup>	R <sub>(3,0)</sub> <sup>1</sup>	R <sub>(3,0)</sub> <sup>0</sup>	G <sub>(3,0)</sub> <sup>5</sup>	G <sub>(3,0)</sub> <sup>4</sup>	G <sub>(3,0)</sub> <sup>3</sup>	G <sub>(3,0)</sub> <sup>2</sup>	G <sub>(3,0)</sub> <sup>1</sup>	G <sub>(3,0)</sub> <sup>0</sup>	B <sub>(3,0)</sub> <sup>5</sup>	B <sub>(3,0)</sub> <sup>4</sup>	B <sub>(3,0)</sub> <sup>3</sup>	B <sub>(3,0)</sub> <sup>2</sup>	B <sub>(3,0)</sub> <sup>1</sup>	B <sub>(3,0)</sub> <sup>0</sup>
	...																	
	R <sub>(0,1)</sub> <sup>5</sup>	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	B <sub>(0,1)</sub> <sup>5</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>
	R <sub>(1,1)</sub> <sup>5</sup>	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	B <sub>(1,1)</sub> <sup>5</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>
	R <sub>(2,1)</sub> <sup>5</sup>	R <sub>(2,1)</sub> <sup>4</sup>	R <sub>(2,1)</sub> <sup>3</sup>	R <sub>(2,1)</sub> <sup>2</sup>	R <sub>(2,1)</sub> <sup>1</sup>	R <sub>(2,1)</sub> <sup>0</sup>	G <sub>(2,1)</sub> <sup>5</sup>	G <sub>(2,1)</sub> <sup>4</sup>	G <sub>(2,1)</sub> <sup>3</sup>	G <sub>(2,1)</sub> <sup>2</sup>	G <sub>(2,1)</sub> <sup>1</sup>	G <sub>(2,1)</sub> <sup>0</sup>	B <sub>(2,1)</sub> <sup>5</sup>	B <sub>(2,1)</sub> <sup>4</sup>	B <sub>(2,1)</sub> <sup>3</sup>	B <sub>(2,1)</sub> <sup>2</sup>	B <sub>(2,1)</sub> <sup>1</sup>	B <sub>(2,1)</sub> <sup>0</sup>
	R <sub>(3,1)</sub> <sup>5</sup>	R <sub>(3,1)</sub> <sup>4</sup>	R <sub>(3,1)</sub> <sup>3</sup>	R <sub>(3,1)</sub> <sup>2</sup>	R <sub>(3,1)</sub> <sup>1</sup>	R <sub>(3,1)</sub> <sup>0</sup>	G <sub>(3,1)</sub> <sup>5</sup>	G <sub>(3,1)</sub> <sup>4</sup>	G <sub>(3,1)</sub> <sup>3</sup>	G <sub>(3,1)</sub> <sup>2</sup>	G <sub>(3,1)</sub> <sup>1</sup>	G <sub>(3,1)</sub> <sup>0</sup>	B <sub>(3,1)</sub> <sup>5</sup>	B <sub>(3,1)</sub> <sup>4</sup>	B <sub>(3,1)</sub> <sup>3</sup>	B <sub>(3,1)</sub> <sup>2</sup>	B <sub>(3,1)</sub> <sup>1</sup>	B <sub>(3,1)</sub> <sup>0</sup>
	...																	

## 14.5.10 RGB6:6:6からRGB8:8:8への変換

RGB6:6:6入力データは、メモリに格納される前にRGB8:8:8に拡張されます。以下の変換方法が使用されます。

表14.12 RGB 6:6:6からRGB 8:8:8への変換

RGB 6:6:6 (入力)						→	RGB 8:8:8 (メモリ)							
R5	R4	R3	R2	R1	R0	→	R5	R4	R3	R2	R1	R0	R5	R4
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B5	B4	B3	B2	B1	B0	→	B5	B4	B3	B2	B1	B0	B5	B4

## 14.5.11 RGB 5:6:5

RGB 5:6:5 : REG[0400h] ビット2～0=000

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.13 RGB 5:6:5入力フォーマット

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	R <sub>(0,0)</sub> <sup>4</sup>	R <sub>(0,0)</sub> <sup>3</sup>	R <sub>(0,0)</sub> <sup>2</sup>	R <sub>(0,0)</sub> <sup>1</sup>	R <sub>(0,0)</sub> <sup>0</sup>	G <sub>(0,0)</sub> <sup>5</sup>	G <sub>(0,0)</sub> <sup>4</sup>	G <sub>(0,0)</sub> <sup>3</sup>	G <sub>(0,0)</sub> <sup>2</sup>	G <sub>(0,0)</sub> <sup>1</sup>	G <sub>(0,0)</sub> <sup>0</sup>	B <sub>(0,0)</sub> <sup>4</sup>	B <sub>(0,0)</sub> <sup>3</sup>	B <sub>(0,0)</sub> <sup>2</sup>	B <sub>(0,0)</sub> <sup>1</sup>	B <sub>(0,0)</sub> <sup>0</sup>
2	—	—	R <sub>(1,0)</sub> <sup>4</sup>	R <sub>(1,0)</sub> <sup>3</sup>	R <sub>(1,0)</sub> <sup>2</sup>	R <sub>(1,0)</sub> <sup>1</sup>	R <sub>(1,0)</sub> <sup>0</sup>	G <sub>(1,0)</sub> <sup>5</sup>	G <sub>(1,0)</sub> <sup>4</sup>	G <sub>(1,0)</sub> <sup>3</sup>	G <sub>(1,0)</sub> <sup>2</sup>	G <sub>(1,0)</sub> <sup>1</sup>	G <sub>(1,0)</sub> <sup>0</sup>	B <sub>(1,0)</sub> <sup>4</sup>	B <sub>(1,0)</sub> <sup>3</sup>	B <sub>(1,0)</sub> <sup>2</sup>	B <sub>(1,0)</sub> <sup>1</sup>	B <sub>(1,0)</sub> <sup>0</sup>
3	—	—	R <sub>(2,0)</sub> <sup>4</sup>	R <sub>(2,0)</sub> <sup>3</sup>	R <sub>(2,0)</sub> <sup>2</sup>	R <sub>(2,0)</sub> <sup>1</sup>	R <sub>(2,0)</sub> <sup>0</sup>	G <sub>(2,0)</sub> <sup>5</sup>	G <sub>(2,0)</sub> <sup>4</sup>	G <sub>(2,0)</sub> <sup>3</sup>	G <sub>(2,0)</sub> <sup>2</sup>	G <sub>(2,0)</sub> <sup>1</sup>	G <sub>(2,0)</sub> <sup>0</sup>	B <sub>(2,0)</sub> <sup>4</sup>	B <sub>(2,0)</sub> <sup>3</sup>	B <sub>(2,0)</sub> <sup>2</sup>	B <sub>(2,0)</sub> <sup>1</sup>	B <sub>(2,0)</sub> <sup>0</sup>
4			R <sub>(3,0)</sub> <sup>4</sup>	R <sub>(3,0)</sub> <sup>3</sup>	R <sub>(3,0)</sub> <sup>2</sup>	R <sub>(3,0)</sub> <sup>1</sup>	R <sub>(3,0)</sub> <sup>0</sup>	G <sub>(3,0)</sub> <sup>5</sup>	G <sub>(3,0)</sub> <sup>4</sup>	G <sub>(3,0)</sub> <sup>3</sup>	G <sub>(3,0)</sub> <sup>2</sup>	G <sub>(3,0)</sub> <sup>1</sup>	G <sub>(3,0)</sub> <sup>0</sup>	B <sub>(3,0)</sub> <sup>4</sup>	B <sub>(3,0)</sub> <sup>3</sup>	B <sub>(3,0)</sub> <sup>2</sup>	B <sub>(3,0)</sub> <sup>1</sup>	B <sub>(3,0)</sub> <sup>0</sup>
	...																	
	—	—	R <sub>(0,1)</sub> <sup>4</sup>	R <sub>(0,1)</sub> <sup>3</sup>	R <sub>(0,1)</sub> <sup>2</sup>	R <sub>(0,1)</sub> <sup>1</sup>	R <sub>(0,1)</sub> <sup>0</sup>	G <sub>(0,1)</sub> <sup>5</sup>	G <sub>(0,1)</sub> <sup>4</sup>	G <sub>(0,1)</sub> <sup>3</sup>	G <sub>(0,1)</sub> <sup>2</sup>	G <sub>(0,1)</sub> <sup>1</sup>	G <sub>(0,1)</sub> <sup>0</sup>	B <sub>(0,1)</sub> <sup>4</sup>	B <sub>(0,1)</sub> <sup>3</sup>	B <sub>(0,1)</sub> <sup>2</sup>	B <sub>(0,1)</sub> <sup>1</sup>	B <sub>(0,1)</sub> <sup>0</sup>
	—	—	R <sub>(1,1)</sub> <sup>4</sup>	R <sub>(1,1)</sub> <sup>3</sup>	R <sub>(1,1)</sub> <sup>2</sup>	R <sub>(1,1)</sub> <sup>1</sup>	R <sub>(1,1)</sub> <sup>0</sup>	G <sub>(1,1)</sub> <sup>5</sup>	G <sub>(1,1)</sub> <sup>4</sup>	G <sub>(1,1)</sub> <sup>3</sup>	G <sub>(1,1)</sub> <sup>2</sup>	G <sub>(1,1)</sub> <sup>1</sup>	G <sub>(1,1)</sub> <sup>0</sup>	B <sub>(1,1)</sub> <sup>4</sup>	B <sub>(1,1)</sub> <sup>3</sup>	B <sub>(1,1)</sub> <sup>2</sup>	B <sub>(1,1)</sub> <sup>1</sup>	B <sub>(1,1)</sub> <sup>0</sup>
	—	—	R <sub>(2,1)</sub> <sup>4</sup>	R <sub>(2,1)</sub> <sup>3</sup>	R <sub>(2,1)</sub> <sup>2</sup>	R <sub>(2,1)</sub> <sup>1</sup>	R <sub>(2,1)</sub> <sup>0</sup>	G <sub>(2,1)</sub> <sup>5</sup>	G <sub>(2,1)</sub> <sup>4</sup>	G <sub>(2,1)</sub> <sup>3</sup>	G <sub>(2,1)</sub> <sup>2</sup>	G <sub>(2,1)</sub> <sup>1</sup>	G <sub>(2,1)</sub> <sup>0</sup>	B <sub>(2,1)</sub> <sup>4</sup>	B <sub>(2,1)</sub> <sup>3</sup>	B <sub>(2,1)</sub> <sup>2</sup>	B <sub>(2,1)</sub> <sup>1</sup>	B <sub>(2,1)</sub> <sup>0</sup>
			R <sub>(3,1)</sub> <sup>4</sup>	R <sub>(3,1)</sub> <sup>3</sup>	R <sub>(3,1)</sub> <sup>2</sup>	R <sub>(3,1)</sub> <sup>1</sup>	R <sub>(3,1)</sub> <sup>0</sup>	G <sub>(3,1)</sub> <sup>5</sup>	G <sub>(3,1)</sub> <sup>4</sup>	G <sub>(3,1)</sub> <sup>3</sup>	G <sub>(3,1)</sub> <sup>2</sup>	G <sub>(3,1)</sub> <sup>1</sup>	G <sub>(3,1)</sub> <sup>0</sup>	B <sub>(3,1)</sub> <sup>4</sup>	B <sub>(3,1)</sub> <sup>3</sup>	B <sub>(3,1)</sub> <sup>2</sup>	B <sub>(3,1)</sub> <sup>1</sup>	B <sub>(3,1)</sub> <sup>0</sup>
	...																	

## 14. ホストインタフェース

### 14.5.12 YUV 4:2:2フォーマット1

YUV 4:2:2 : REG[0400h] ビット2～0=100、フォーマット1 : REG[0400h] ビット6～4=000

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.14 YUV 4:2:2入力フォーマット1

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	Y <sub>(0,0)</sub> <sup>7</sup>	Y <sub>(0,0)</sub> <sup>6</sup>	Y <sub>(0,0)</sub> <sup>5</sup>	Y <sub>(0,0)</sub> <sup>4</sup>	Y <sub>(0,0)</sub> <sup>3</sup>	Y <sub>(0,0)</sub> <sup>2</sup>	Y <sub>(0,0)</sub> <sup>1</sup>	Y <sub>(0,0)</sub> <sup>0</sup>	U <sub>(0,0)</sub> <sup>7</sup>	U <sub>(0,0)</sub> <sup>6</sup>	U <sub>(0,0)</sub> <sup>5</sup>	U <sub>(0,0)</sub> <sup>4</sup>	U <sub>(0,0)</sub> <sup>3</sup>	U <sub>(0,0)</sub> <sup>2</sup>	U <sub>(0,0)</sub> <sup>1</sup>	U <sub>(0,0)</sub> <sup>0</sup>
2	—	—	Y <sub>(1,0)</sub> <sup>7</sup>	Y <sub>(1,0)</sub> <sup>6</sup>	Y <sub>(1,0)</sub> <sup>5</sup>	Y <sub>(1,0)</sub> <sup>4</sup>	Y <sub>(1,0)</sub> <sup>3</sup>	Y <sub>(1,0)</sub> <sup>2</sup>	Y <sub>(1,0)</sub> <sup>1</sup>	Y <sub>(1,0)</sub> <sup>0</sup>	V <sub>(0,0)</sub> <sup>7</sup>	V <sub>(0,0)</sub> <sup>6</sup>	V <sub>(0,0)</sub> <sup>5</sup>	V <sub>(0,0)</sub> <sup>4</sup>	V <sub>(0,0)</sub> <sup>3</sup>	V <sub>(0,0)</sub> <sup>2</sup>	V <sub>(0,0)</sub> <sup>1</sup>	V <sub>(0,0)</sub> <sup>0</sup>
3	—	—	Y <sub>(2,0)</sub> <sup>7</sup>	Y <sub>(2,0)</sub> <sup>6</sup>	Y <sub>(2,0)</sub> <sup>5</sup>	Y <sub>(2,0)</sub> <sup>4</sup>	Y <sub>(2,0)</sub> <sup>3</sup>	Y <sub>(2,0)</sub> <sup>2</sup>	Y <sub>(2,0)</sub> <sup>1</sup>	Y <sub>(2,0)</sub> <sup>0</sup>	U <sub>(2,0)</sub> <sup>7</sup>	U <sub>(2,0)</sub> <sup>6</sup>	U <sub>(2,0)</sub> <sup>5</sup>	U <sub>(2,0)</sub> <sup>4</sup>	U <sub>(2,0)</sub> <sup>3</sup>	U <sub>(2,0)</sub> <sup>2</sup>	U <sub>(2,0)</sub> <sup>1</sup>	U <sub>(2,0)</sub> <sup>0</sup>
4			Y <sub>(3,0)</sub> <sup>7</sup>	Y <sub>(3,0)</sub> <sup>6</sup>	Y <sub>(3,0)</sub> <sup>5</sup>	Y <sub>(3,0)</sub> <sup>4</sup>	Y <sub>(3,0)</sub> <sup>3</sup>	Y <sub>(3,0)</sub> <sup>2</sup>	Y <sub>(3,0)</sub> <sup>1</sup>	Y <sub>(3,0)</sub> <sup>0</sup>	V <sub>(2,0)</sub> <sup>7</sup>	V <sub>(2,0)</sub> <sup>6</sup>	V <sub>(2,0)</sub> <sup>5</sup>	V <sub>(2,0)</sub> <sup>4</sup>	V <sub>(2,0)</sub> <sup>3</sup>	V <sub>(2,0)</sub> <sup>2</sup>	V <sub>(2,0)</sub> <sup>1</sup>	V <sub>(2,0)</sub> <sup>0</sup>
	...																	
	—	—	Y <sub>(0,1)</sub> <sup>7</sup>	Y <sub>(0,1)</sub> <sup>6</sup>	Y <sub>(0,1)</sub> <sup>5</sup>	Y <sub>(0,1)</sub> <sup>4</sup>	Y <sub>(0,1)</sub> <sup>3</sup>	Y <sub>(0,1)</sub> <sup>2</sup>	Y <sub>(0,1)</sub> <sup>1</sup>	Y <sub>(0,1)</sub> <sup>0</sup>	U <sub>(0,1)</sub> <sup>7</sup>	U <sub>(0,1)</sub> <sup>6</sup>	U <sub>(0,1)</sub> <sup>5</sup>	U <sub>(0,1)</sub> <sup>4</sup>	U <sub>(0,1)</sub> <sup>3</sup>	U <sub>(0,1)</sub> <sup>2</sup>	U <sub>(0,1)</sub> <sup>1</sup>	U <sub>(0,1)</sub> <sup>0</sup>
	—	—	Y <sub>(1,1)</sub> <sup>7</sup>	Y <sub>(1,1)</sub> <sup>6</sup>	Y <sub>(1,1)</sub> <sup>5</sup>	Y <sub>(1,1)</sub> <sup>4</sup>	Y <sub>(1,1)</sub> <sup>3</sup>	Y <sub>(1,1)</sub> <sup>2</sup>	Y <sub>(1,1)</sub> <sup>1</sup>	Y <sub>(1,1)</sub> <sup>0</sup>	V <sub>(0,1)</sub> <sup>7</sup>	V <sub>(0,1)</sub> <sup>6</sup>	V <sub>(0,1)</sub> <sup>5</sup>	V <sub>(0,1)</sub> <sup>4</sup>	V <sub>(0,1)</sub> <sup>3</sup>	V <sub>(0,1)</sub> <sup>2</sup>	V <sub>(0,1)</sub> <sup>1</sup>	V <sub>(0,1)</sub> <sup>0</sup>
	—	—	Y <sub>(2,1)</sub> <sup>7</sup>	Y <sub>(2,1)</sub> <sup>6</sup>	Y <sub>(2,1)</sub> <sup>5</sup>	Y <sub>(2,1)</sub> <sup>4</sup>	Y <sub>(2,1)</sub> <sup>3</sup>	Y <sub>(2,1)</sub> <sup>2</sup>	Y <sub>(2,1)</sub> <sup>1</sup>	Y <sub>(2,1)</sub> <sup>0</sup>	U <sub>(2,1)</sub> <sup>7</sup>	U <sub>(2,1)</sub> <sup>6</sup>	U <sub>(2,1)</sub> <sup>5</sup>	U <sub>(2,1)</sub> <sup>4</sup>	U <sub>(2,1)</sub> <sup>3</sup>	U <sub>(2,1)</sub> <sup>2</sup>	U <sub>(2,1)</sub> <sup>1</sup>	U <sub>(2,1)</sub> <sup>0</sup>
			Y <sub>(3,1)</sub> <sup>7</sup>	Y <sub>(3,1)</sub> <sup>6</sup>	Y <sub>(3,1)</sub> <sup>5</sup>	Y <sub>(3,1)</sub> <sup>4</sup>	Y <sub>(3,1)</sub> <sup>3</sup>	Y <sub>(3,1)</sub> <sup>2</sup>	Y <sub>(3,1)</sub> <sup>1</sup>	Y <sub>(3,1)</sub> <sup>0</sup>	V <sub>(2,1)</sub> <sup>7</sup>	V <sub>(2,1)</sub> <sup>6</sup>	V <sub>(2,1)</sub> <sup>5</sup>	V <sub>(2,1)</sub> <sup>4</sup>	V <sub>(2,1)</sub> <sup>3</sup>	V <sub>(2,1)</sub> <sup>2</sup>	V <sub>(2,1)</sub> <sup>1</sup>	V <sub>(2,1)</sub> <sup>0</sup>
	...																	

### 14.5.13 YUV 4:2:2フォーマット2

YUV 4:2:2 : REG[0400h] ビット2～0=100、フォーマット2 : REG[0400h] ビット6～4=001

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.15 YUV 4:2:2入力フォーマット2

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	U <sub>(0,0)</sub> <sup>7</sup>	U <sub>(0,0)</sub> <sup>6</sup>	U <sub>(0,0)</sub> <sup>5</sup>	U <sub>(0,0)</sub> <sup>4</sup>	U <sub>(0,0)</sub> <sup>3</sup>	U <sub>(0,0)</sub> <sup>2</sup>	U <sub>(0,0)</sub> <sup>1</sup>	U <sub>(0,0)</sub> <sup>0</sup>	Y <sub>(0,0)</sub> <sup>7</sup>	Y <sub>(0,0)</sub> <sup>6</sup>	Y <sub>(0,0)</sub> <sup>5</sup>	Y <sub>(0,0)</sub> <sup>4</sup>	Y <sub>(0,0)</sub> <sup>3</sup>	Y <sub>(0,0)</sub> <sup>2</sup>	Y <sub>(0,0)</sub> <sup>1</sup>	Y <sub>(0,0)</sub> <sup>0</sup>
2	—	—	V <sub>(0,0)</sub> <sup>7</sup>	V <sub>(0,0)</sub> <sup>6</sup>	V <sub>(0,0)</sub> <sup>5</sup>	V <sub>(0,0)</sub> <sup>4</sup>	V <sub>(0,0)</sub> <sup>3</sup>	V <sub>(0,0)</sub> <sup>2</sup>	V <sub>(0,0)</sub> <sup>1</sup>	V <sub>(0,0)</sub> <sup>0</sup>	Y <sub>(1,0)</sub> <sup>7</sup>	Y <sub>(1,0)</sub> <sup>6</sup>	Y <sub>(1,0)</sub> <sup>5</sup>	Y <sub>(1,0)</sub> <sup>4</sup>	Y <sub>(1,0)</sub> <sup>3</sup>	Y <sub>(1,0)</sub> <sup>2</sup>	Y <sub>(1,0)</sub> <sup>1</sup>	Y <sub>(1,0)</sub> <sup>0</sup>
3	—	—	U <sub>(2,0)</sub> <sup>7</sup>	U <sub>(2,0)</sub> <sup>6</sup>	U <sub>(2,0)</sub> <sup>5</sup>	U <sub>(2,0)</sub> <sup>4</sup>	U <sub>(2,0)</sub> <sup>3</sup>	U <sub>(2,0)</sub> <sup>2</sup>	U <sub>(2,0)</sub> <sup>1</sup>	U <sub>(2,0)</sub> <sup>0</sup>	Y <sub>(2,0)</sub> <sup>7</sup>	Y <sub>(2,0)</sub> <sup>6</sup>	Y <sub>(2,0)</sub> <sup>5</sup>	Y <sub>(2,0)</sub> <sup>4</sup>	Y <sub>(2,0)</sub> <sup>3</sup>	Y <sub>(2,0)</sub> <sup>2</sup>	Y <sub>(2,0)</sub> <sup>1</sup>	Y <sub>(2,0)</sub> <sup>0</sup>
4			V <sub>(2,0)</sub> <sup>7</sup>	V <sub>(2,0)</sub> <sup>6</sup>	V <sub>(2,0)</sub> <sup>5</sup>	V <sub>(2,0)</sub> <sup>4</sup>	V <sub>(2,0)</sub> <sup>3</sup>	V <sub>(2,0)</sub> <sup>2</sup>	V <sub>(2,0)</sub> <sup>1</sup>	V <sub>(2,0)</sub> <sup>0</sup>	Y <sub>(3,0)</sub> <sup>7</sup>	Y <sub>(3,0)</sub> <sup>6</sup>	Y <sub>(3,0)</sub> <sup>5</sup>	Y <sub>(3,0)</sub> <sup>4</sup>	Y <sub>(3,0)</sub> <sup>3</sup>	Y <sub>(3,0)</sub> <sup>2</sup>	Y <sub>(3,0)</sub> <sup>1</sup>	Y <sub>(3,0)</sub> <sup>0</sup>
	...																	
	—	—	U <sub>(0,1)</sub> <sup>7</sup>	U <sub>(0,1)</sub> <sup>6</sup>	U <sub>(0,1)</sub> <sup>5</sup>	U <sub>(0,1)</sub> <sup>4</sup>	U <sub>(0,1)</sub> <sup>3</sup>	U <sub>(0,1)</sub> <sup>2</sup>	U <sub>(0,1)</sub> <sup>1</sup>	U <sub>(0,1)</sub> <sup>0</sup>	Y <sub>(0,1)</sub> <sup>7</sup>	Y <sub>(0,1)</sub> <sup>6</sup>	Y <sub>(0,1)</sub> <sup>5</sup>	Y <sub>(0,1)</sub> <sup>4</sup>	Y <sub>(0,1)</sub> <sup>3</sup>	Y <sub>(0,1)</sub> <sup>2</sup>	Y <sub>(0,1)</sub> <sup>1</sup>	Y <sub>(0,1)</sub> <sup>0</sup>
	—	—	V <sub>(0,1)</sub> <sup>7</sup>	V <sub>(0,1)</sub> <sup>6</sup>	V <sub>(0,1)</sub> <sup>5</sup>	V <sub>(0,1)</sub> <sup>4</sup>	V <sub>(0,1)</sub> <sup>3</sup>	V <sub>(0,1)</sub> <sup>2</sup>	V <sub>(0,1)</sub> <sup>1</sup>	V <sub>(0,1)</sub> <sup>0</sup>	Y <sub>(1,1)</sub> <sup>7</sup>	Y <sub>(1,1)</sub> <sup>6</sup>	Y <sub>(1,1)</sub> <sup>5</sup>	Y <sub>(1,1)</sub> <sup>4</sup>	Y <sub>(1,1)</sub> <sup>3</sup>	Y <sub>(1,1)</sub> <sup>2</sup>	Y <sub>(1,1)</sub> <sup>1</sup>	Y <sub>(1,1)</sub> <sup>0</sup>
	—	—	U <sub>(2,1)</sub> <sup>7</sup>	U <sub>(2,1)</sub> <sup>6</sup>	U <sub>(2,1)</sub> <sup>5</sup>	U <sub>(2,1)</sub> <sup>4</sup>	U <sub>(2,1)</sub> <sup>3</sup>	U <sub>(2,1)</sub> <sup>2</sup>	U <sub>(2,1)</sub> <sup>1</sup>	U <sub>(2,1)</sub> <sup>0</sup>	Y <sub>(2,1)</sub> <sup>7</sup>	Y <sub>(2,1)</sub> <sup>6</sup>	Y <sub>(2,1)</sub> <sup>5</sup>	Y <sub>(2,1)</sub> <sup>4</sup>	Y <sub>(2,1)</sub> <sup>3</sup>	Y <sub>(2,1)</sub> <sup>2</sup>	Y <sub>(2,1)</sub> <sup>1</sup>	Y <sub>(2,1)</sub> <sup>0</sup>
			V <sub>(2,1)</sub> <sup>7</sup>	V <sub>(2,1)</sub> <sup>6</sup>	V <sub>(2,1)</sub> <sup>5</sup>	V <sub>(2,1)</sub> <sup>4</sup>	V <sub>(2,1)</sub> <sup>3</sup>	V <sub>(2,1)</sub> <sup>2</sup>	V <sub>(2,1)</sub> <sup>1</sup>	V <sub>(2,1)</sub> <sup>0</sup>	Y <sub>(3,1)</sub> <sup>7</sup>	Y <sub>(3,1)</sub> <sup>6</sup>	Y <sub>(3,1)</sub> <sup>5</sup>	Y <sub>(3,1)</sub> <sup>4</sup>	Y <sub>(3,1)</sub> <sup>3</sup>	Y <sub>(3,1)</sub> <sup>2</sup>	Y <sub>(3,1)</sub> <sup>1</sup>	Y <sub>(3,1)</sub> <sup>0</sup>
	...																	

## 14.5.14 YUV 4:2:0フォーマット1

YUV4:2:0 : REG[0400h]ビット2~0=110、フォーマット1 : REG[0400h]ビット6~4=000

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.16 YUV 4:2:0入力フォーマット1

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	Y <sub>(0,0)</sub> <sup>7</sup>	Y <sub>(0,0)</sub> <sup>6</sup>	Y <sub>(0,0)</sub> <sup>5</sup>	Y <sub>(0,0)</sub> <sup>4</sup>	Y <sub>(0,0)</sub> <sup>3</sup>	Y <sub>(0,0)</sub> <sup>2</sup>	Y <sub>(0,0)</sub> <sup>1</sup>	Y <sub>(0,0)</sub> <sup>0</sup>	U <sub>(0,0)</sub> <sup>7</sup>	U <sub>(0,0)</sub> <sup>6</sup>	U <sub>(0,0)</sub> <sup>5</sup>	U <sub>(0,0)</sub> <sup>4</sup>	U <sub>(0,0)</sub> <sup>3</sup>	U <sub>(0,0)</sub> <sup>2</sup>	U <sub>(0,0)</sub> <sup>1</sup>	U <sub>(0,0)</sub> <sup>0</sup>
2	—	—	Y <sub>(1,0)</sub> <sup>7</sup>	Y <sub>(1,0)</sub> <sup>6</sup>	Y <sub>(1,0)</sub> <sup>5</sup>	Y <sub>(1,0)</sub> <sup>4</sup>	Y <sub>(1,0)</sub> <sup>3</sup>	Y <sub>(1,0)</sub> <sup>2</sup>	Y <sub>(1,0)</sub> <sup>1</sup>	Y <sub>(1,0)</sub> <sup>0</sup>	V <sub>(0,0)</sub> <sup>7</sup>	V <sub>(0,0)</sub> <sup>6</sup>	V <sub>(0,0)</sub> <sup>5</sup>	V <sub>(0,0)</sub> <sup>4</sup>	V <sub>(0,0)</sub> <sup>3</sup>	V <sub>(0,0)</sub> <sup>2</sup>	V <sub>(0,0)</sub> <sup>1</sup>	V <sub>(0,0)</sub> <sup>0</sup>
3	—	—	Y <sub>(2,0)</sub> <sup>7</sup>	Y <sub>(2,0)</sub> <sup>6</sup>	Y <sub>(2,0)</sub> <sup>5</sup>	Y <sub>(2,0)</sub> <sup>4</sup>	Y <sub>(2,0)</sub> <sup>3</sup>	Y <sub>(2,0)</sub> <sup>2</sup>	Y <sub>(2,0)</sub> <sup>1</sup>	Y <sub>(2,0)</sub> <sup>0</sup>	U <sub>(2,0)</sub> <sup>7</sup>	U <sub>(2,0)</sub> <sup>6</sup>	U <sub>(2,0)</sub> <sup>5</sup>	U <sub>(2,0)</sub> <sup>4</sup>	U <sub>(2,0)</sub> <sup>3</sup>	U <sub>(2,0)</sub> <sup>2</sup>	U <sub>(2,0)</sub> <sup>1</sup>	U <sub>(2,0)</sub> <sup>0</sup>
4			Y <sub>(3,0)</sub> <sup>7</sup>	Y <sub>(3,0)</sub> <sup>6</sup>	Y <sub>(3,0)</sub> <sup>5</sup>	Y <sub>(3,0)</sub> <sup>4</sup>	Y <sub>(3,0)</sub> <sup>3</sup>	Y <sub>(3,0)</sub> <sup>2</sup>	Y <sub>(3,0)</sub> <sup>1</sup>	Y <sub>(3,0)</sub> <sup>0</sup>	V <sub>(2,0)</sub> <sup>7</sup>	V <sub>(2,0)</sub> <sup>6</sup>	V <sub>(2,0)</sub> <sup>5</sup>	V <sub>(2,0)</sub> <sup>4</sup>	V <sub>(2,0)</sub> <sup>3</sup>	V <sub>(2,0)</sub> <sup>2</sup>	V <sub>(2,0)</sub> <sup>1</sup>	V <sub>(2,0)</sub> <sup>0</sup>
	...																	
	—	—	Y <sub>(1,1)</sub> <sup>7</sup>	Y <sub>(1,1)</sub> <sup>6</sup>	Y <sub>(1,1)</sub> <sup>5</sup>	Y <sub>(1,1)</sub> <sup>4</sup>	Y <sub>(1,1)</sub> <sup>3</sup>	Y <sub>(1,1)</sub> <sup>2</sup>	Y <sub>(1,1)</sub> <sup>1</sup>	Y <sub>(1,1)</sub> <sup>0</sup>	Y <sub>(0,1)</sub> <sup>7</sup>	Y <sub>(0,1)</sub> <sup>6</sup>	Y <sub>(0,1)</sub> <sup>5</sup>	Y <sub>(0,1)</sub> <sup>4</sup>	Y <sub>(0,1)</sub> <sup>3</sup>	Y <sub>(0,1)</sub> <sup>2</sup>	Y <sub>(0,1)</sub> <sup>1</sup>	Y <sub>(0,1)</sub> <sup>0</sup>
	—	—	Y <sub>(3,1)</sub> <sup>7</sup>	Y <sub>(3,1)</sub> <sup>6</sup>	Y <sub>(3,1)</sub> <sup>5</sup>	Y <sub>(3,1)</sub> <sup>4</sup>	Y <sub>(3,1)</sub> <sup>3</sup>	Y <sub>(3,1)</sub> <sup>2</sup>	Y <sub>(3,1)</sub> <sup>1</sup>	Y <sub>(3,1)</sub> <sup>0</sup>	Y <sub>(2,1)</sub> <sup>7</sup>	Y <sub>(2,1)</sub> <sup>6</sup>	Y <sub>(2,1)</sub> <sup>5</sup>	Y <sub>(2,1)</sub> <sup>4</sup>	Y <sub>(2,1)</sub> <sup>3</sup>	Y <sub>(2,1)</sub> <sup>2</sup>	Y <sub>(2,1)</sub> <sup>1</sup>	Y <sub>(2,1)</sub> <sup>0</sup>
	...																	

## 14.5.15 YUV 4:2:0フォーマット2

YUV 4:2:0 : REG[0400h]ビット2~0=110、フォーマット2 : REG[0400h]ビット6~4=001

ピクセル (0,0)	ピクセル (1,0)	ピクセル (2,0)	ピクセル (3,0)	...
ピクセル (0,1)	ピクセル (1,1)	ピクセル (2,1)	ピクセル (3,1)	...
ピクセル (0,2)	ピクセル (1,2)	ピクセル (2,2)	ピクセル (3,2)	...
ピクセル (0,3)	ピクセル (1,3)	ピクセル (2,3)	ピクセル (3,3)	...
...	...	...	...	...

表14.17 YUV 4:2:0入力フォーマット2

	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	—	—	U <sub>(0,0)</sub> <sup>7</sup>	U <sub>(0,0)</sub> <sup>6</sup>	U <sub>(0,0)</sub> <sup>5</sup>	U <sub>(0,0)</sub> <sup>4</sup>	U <sub>(0,0)</sub> <sup>3</sup>	U <sub>(0,0)</sub> <sup>2</sup>	U <sub>(0,0)</sub> <sup>1</sup>	U <sub>(0,0)</sub> <sup>0</sup>	Y <sub>(0,0)</sub> <sup>7</sup>	Y <sub>(0,0)</sub> <sup>6</sup>	Y <sub>(0,0)</sub> <sup>5</sup>	Y <sub>(0,0)</sub> <sup>4</sup>	Y <sub>(0,0)</sub> <sup>3</sup>	Y <sub>(0,0)</sub> <sup>2</sup>	Y <sub>(0,0)</sub> <sup>1</sup>	Y <sub>(0,0)</sub> <sup>0</sup>
2	—	—	V <sub>(0,0)</sub> <sup>7</sup>	V <sub>(0,0)</sub> <sup>6</sup>	V <sub>(0,0)</sub> <sup>5</sup>	V <sub>(0,0)</sub> <sup>4</sup>	V <sub>(0,0)</sub> <sup>3</sup>	V <sub>(0,0)</sub> <sup>2</sup>	V <sub>(0,0)</sub> <sup>1</sup>	V <sub>(0,0)</sub> <sup>0</sup>	Y <sub>(1,0)</sub> <sup>7</sup>	Y <sub>(1,0)</sub> <sup>6</sup>	Y <sub>(1,0)</sub> <sup>5</sup>	Y <sub>(1,0)</sub> <sup>4</sup>	Y <sub>(1,0)</sub> <sup>3</sup>	Y <sub>(1,0)</sub> <sup>2</sup>	Y <sub>(1,0)</sub> <sup>1</sup>	Y <sub>(1,0)</sub> <sup>0</sup>
3	—	—	U <sub>(2,0)</sub> <sup>7</sup>	U <sub>(2,0)</sub> <sup>6</sup>	U <sub>(2,0)</sub> <sup>5</sup>	U <sub>(2,0)</sub> <sup>4</sup>	U <sub>(2,0)</sub> <sup>3</sup>	U <sub>(2,0)</sub> <sup>2</sup>	U <sub>(2,0)</sub> <sup>1</sup>	U <sub>(2,0)</sub> <sup>0</sup>	Y <sub>(2,0)</sub> <sup>7</sup>	Y <sub>(2,0)</sub> <sup>6</sup>	Y <sub>(2,0)</sub> <sup>5</sup>	Y <sub>(2,0)</sub> <sup>4</sup>	Y <sub>(2,0)</sub> <sup>3</sup>	Y <sub>(2,0)</sub> <sup>2</sup>	Y <sub>(2,0)</sub> <sup>1</sup>	Y <sub>(2,0)</sub> <sup>0</sup>
4			V <sub>(2,0)</sub> <sup>7</sup>	V <sub>(2,0)</sub> <sup>6</sup>	V <sub>(2,0)</sub> <sup>5</sup>	V <sub>(2,0)</sub> <sup>4</sup>	V <sub>(2,0)</sub> <sup>3</sup>	V <sub>(2,0)</sub> <sup>2</sup>	V <sub>(2,0)</sub> <sup>1</sup>	V <sub>(2,0)</sub> <sup>0</sup>	Y <sub>(3,0)</sub> <sup>7</sup>	Y <sub>(3,0)</sub> <sup>6</sup>	Y <sub>(3,0)</sub> <sup>5</sup>	Y <sub>(3,0)</sub> <sup>4</sup>	Y <sub>(3,0)</sub> <sup>3</sup>	Y <sub>(3,0)</sub> <sup>2</sup>	Y <sub>(3,0)</sub> <sup>1</sup>	Y <sub>(3,0)</sub> <sup>0</sup>
	...																	
	—	—	Y <sub>(0,1)</sub> <sup>7</sup>	Y <sub>(0,1)</sub> <sup>6</sup>	Y <sub>(0,1)</sub> <sup>5</sup>	Y <sub>(0,1)</sub> <sup>4</sup>	Y <sub>(0,1)</sub> <sup>3</sup>	Y <sub>(0,1)</sub> <sup>2</sup>	Y <sub>(0,1)</sub> <sup>1</sup>	Y <sub>(0,1)</sub> <sup>0</sup>	Y <sub>(1,1)</sub> <sup>7</sup>	Y <sub>(1,1)</sub> <sup>6</sup>	Y <sub>(1,1)</sub> <sup>5</sup>	Y <sub>(1,1)</sub> <sup>4</sup>	Y <sub>(1,1)</sub> <sup>3</sup>	Y <sub>(1,1)</sub> <sup>2</sup>	Y <sub>(1,1)</sub> <sup>1</sup>	Y <sub>(1,1)</sub> <sup>0</sup>
	—	—	Y <sub>(2,1)</sub> <sup>7</sup>	Y <sub>(2,1)</sub> <sup>6</sup>	Y <sub>(2,1)</sub> <sup>5</sup>	Y <sub>(2,1)</sub> <sup>4</sup>	Y <sub>(2,1)</sub> <sup>3</sup>	Y <sub>(2,1)</sub> <sup>2</sup>	Y <sub>(2,1)</sub> <sup>1</sup>	Y <sub>(2,1)</sub> <sup>0</sup>	Y <sub>(3,1)</sub> <sup>7</sup>	Y <sub>(3,1)</sub> <sup>6</sup>	Y <sub>(3,1)</sub> <sup>5</sup>	Y <sub>(3,1)</sub> <sup>4</sup>	Y <sub>(3,1)</sub> <sup>3</sup>	Y <sub>(3,1)</sub> <sup>2</sup>	Y <sub>(3,1)</sub> <sup>1</sup>	Y <sub>(3,1)</sub> <sup>0</sup>
	...																	

## 15. LCDおよびTVインタフェース

## 15. LCDおよびTVインタフェース

### 15.1 概要

S1D13774は、パネルを2つまでサポートしており、外部NTSC/PALエンコーダで処理するためのTV-Out信号を提供することができます。LCDインタフェースは、RGB、シリアル（RAM内蔵）およびパラレル（RAM内蔵）インタフェースパネルをサポートしています。

S1D13774は、パネルインタフェースの3つの組み合わせに対応しています。すべてのモードで、LCD1としてRGBインタフェースパネルがあります。LCD2は、シリアルインタフェース用、データバス端子をLCD1と共用するパラレルインタフェース用、またはLCD1と異なるデータバス端子を使用するパラレルインタフェース用に設定することができます。この設定は、LCDパネルインタフェース選択ビット（REG[0104h]ビット1～0）を用いて行われます。パネルインタフェースの可能な設定は以下の表のとおりです。

表15.1 パネルインタフェースモード

REG[0104h]ビット1～0	モード	LCD1	LCD2
00	モード1	シリアルコマンドインタフェース付き RGBインタフェースパネル	シリアルインタフェース（RAM内蔵）
01	モード2		LCD1データバスとLCD2データバスが 同じ端子を使用するパラレル インタフェース（RAM内蔵）
10	モード3		LCD1データバスとLCD2データバスが 異なる端子を使用するパラレル インタフェース（RAM内蔵）



各パネルインタフェースモードに、メモリ内の画像データをLCD1またはLCD2に表示したり、TV-Outを使って外部NTSC/PALエンコーダに送ったりすることができます。さらに、S1D13774は、LCD1上にメインウインドウを表示し、PIP1/PIP2画像データを外部NTSC/PALエンコーダに送ることによって、LCD1とTVに同時に表示することができます。同時に表示する場合は、すべてのウインドウが同じ表示出力ポートに送られるわけではないので、いくつかの制約があります。表示出力ポートの組み合わせは以下の表のとおりです。

表15.2 表示出力ポートの組み合わせ

	LCD1	LCD2	TV-Out
LCD1アクティブ	メイン/PIP1/PIP2 ウインドウ、透過、 アルファブレンド、 LUT/ディザ	オフ	オフ
LCD2アクティブ	オフ	メイン/PIP1/PIP2 ウインドウ、透過、 アルファブレンド、 LUT/ディザ	オフ
TV-Outアクティブ	オフ	オフ	メイン/PIP1/PIP2 ウインドウ、透過、 アルファブレンド、 LUT/ディザ
LCD1および TV-Outアクティブ	メインウインドウ	オフ	PIP1/PIP2ウインドウ、 透過、アルファブレンド、 LUT/ディザ

**注**

LCDまたはTV-Outインタフェースを設定するには、LCD/TV-Outレジスタの内容を特定の順序に従って更新してください。レジスタを更新するタイミングを示すプログラムフローの例は、330ページの13.「レジスタ更新」にあります。

それぞれのモードで、ホストインタフェースは、LCDおよびNTSC/PALエンコーダ (TV-Out) に直接アクセスすることができます。これは、S1D13774レジスタを介したコマンドアクセスを使って行われます。ホストインタフェースからLCDおよびNTSC/PALエンコーダへのこれらのアクセスは、使用する表示インタフェースがそのアクセスを転送しない限りいつでも使用することができます。

## 15. LCDおよびTVインタフェース

### 15.2 表示モード

各パネルインタフェースモード（REG[0104h]ビット1～0を参照）の表示パスは以下の図のとおりです。各パネルインタフェースモードにいくつかの表示出力ポートオプションがあります（REG[0604h]ビット11～8を参照）。メモリからの画像データの表示の詳細は、283ページの12.「メモリからの画像データの表示」をご覧ください。

#### 15.2.1 モード1

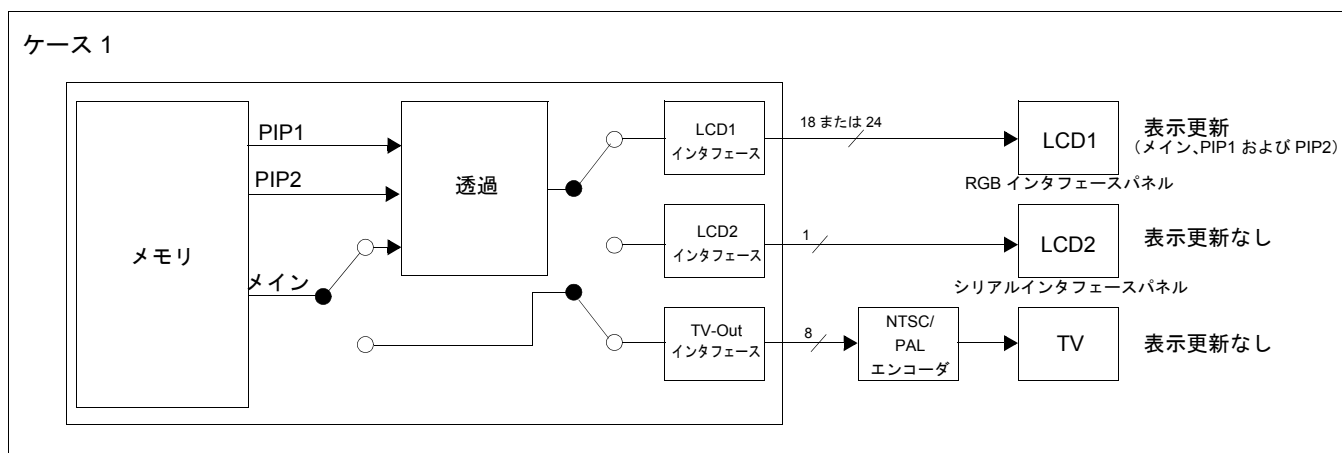


図15.1 モード1、ケース1 - LCD1アクティブ（メイン、PIP1およびPIP2）

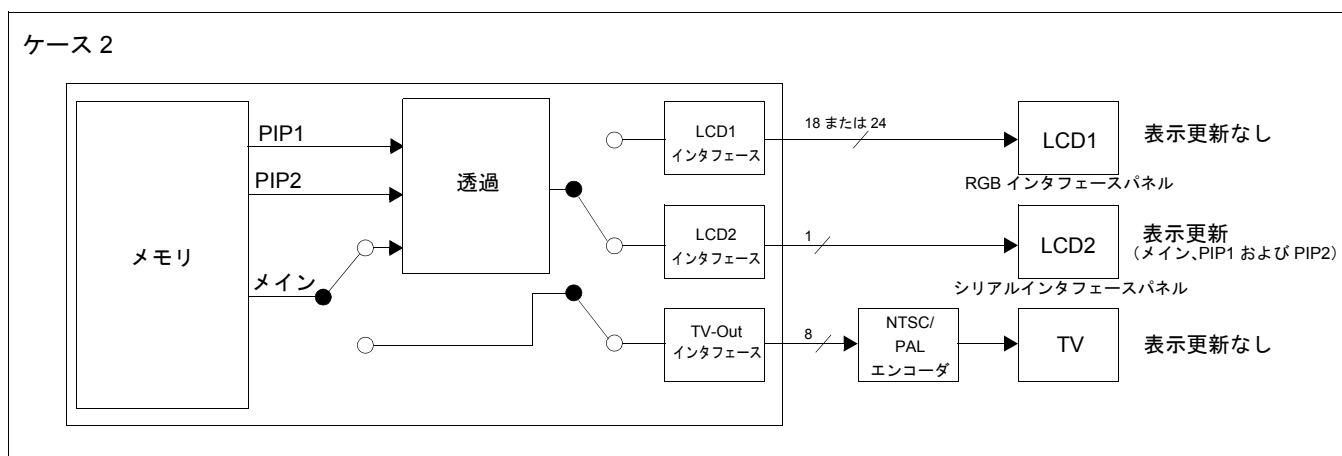


図15.2 モード1、ケース2 - LCD2アクティブ（メイン、PIP1およびPIP2）

ケース 3

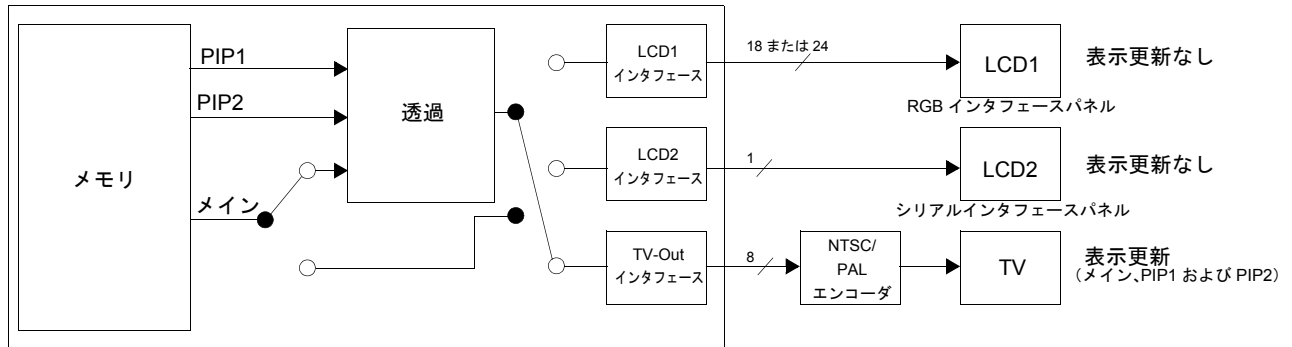


図15.3 モード1、ケース3 - TVアクティブ (メイン、PIP1およびPIP2)

ケース 4

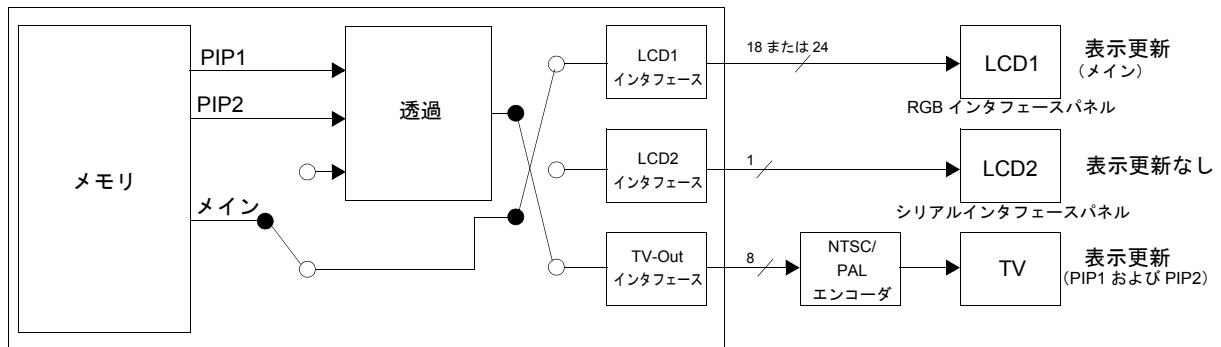


図15.4 モード1、ケース4 - LCD1アクティブ (メイン) とTVアクティブ (PIP1およびPIP2)

その他(ダイレクトホストアクセス)

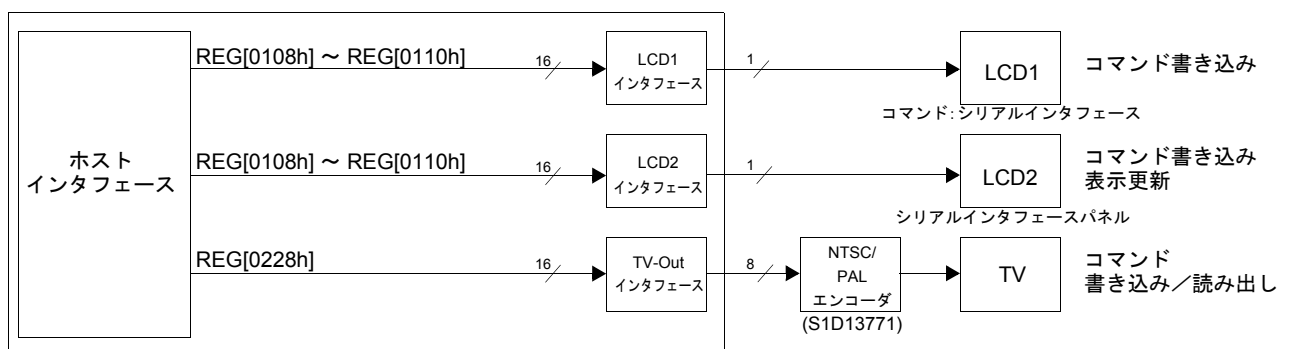


図15.5 モード1、ダイレクトホストアクセス - LCD2アクティブ

## 15. LCDおよびTVインタフェース

### 15.2.2 モード2

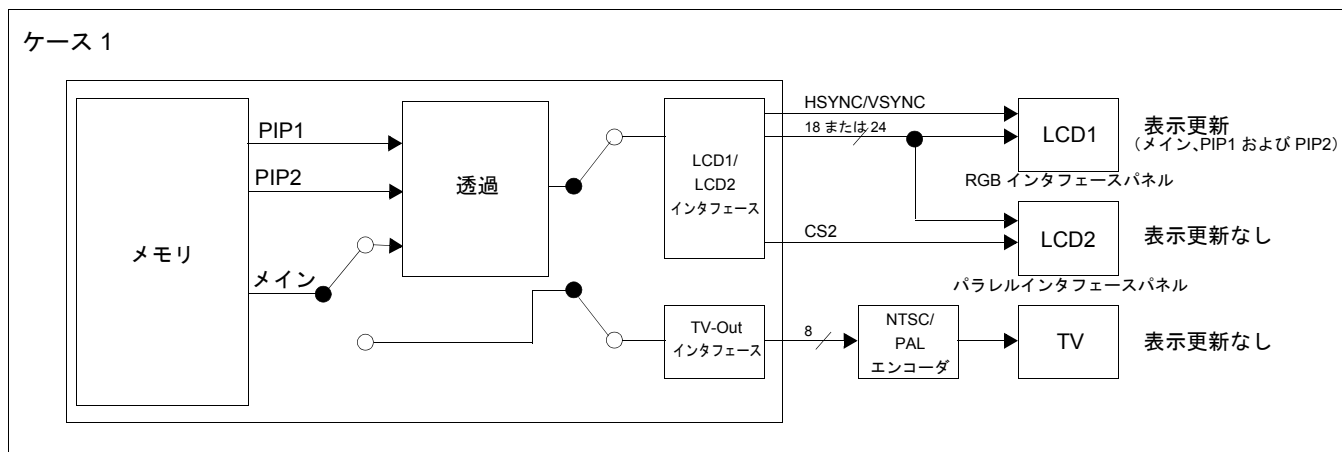


図15.6 モード2、ケース1 - LCD1アクティブ (メイン、PIP1およびPIP2)

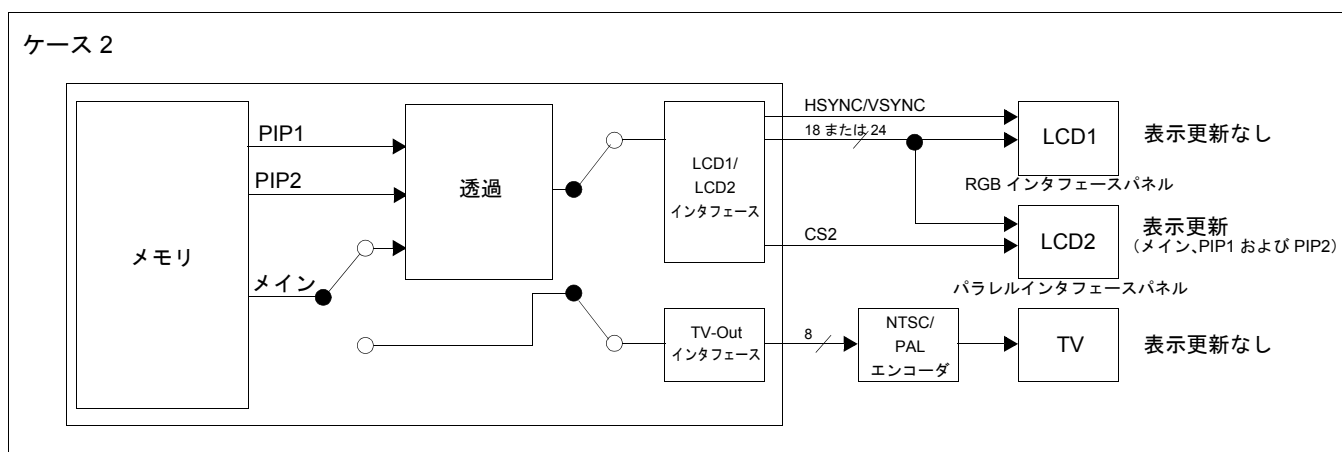


図15.7 モード2、ケース2 - LCD2アクティブ (メイン、PIP1およびPIP2)

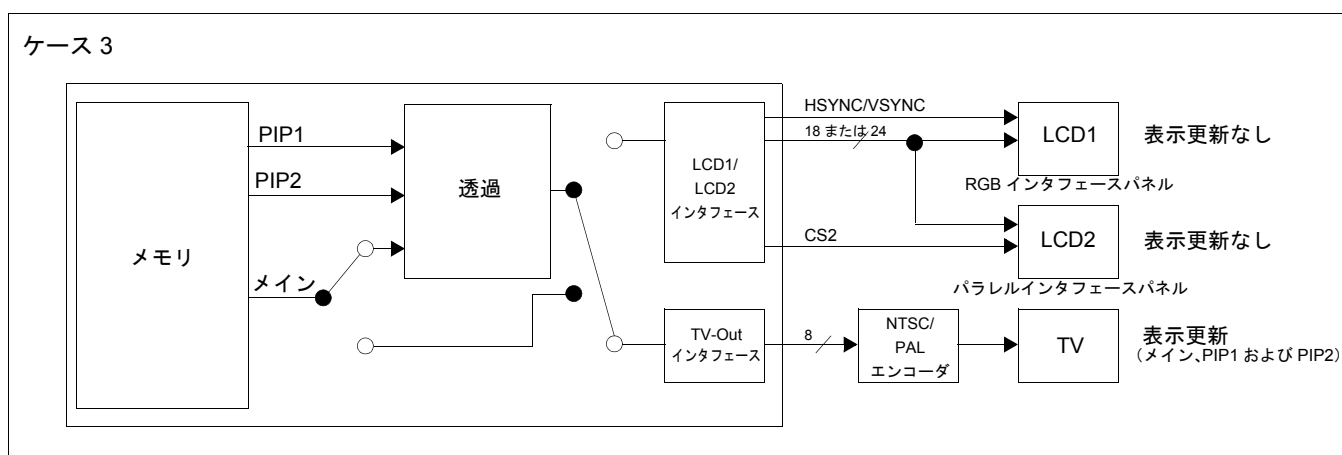


図15.8 モード2、ケース3 - TVアクティブ (メイン、PIP1およびPIP2)

ケース 4

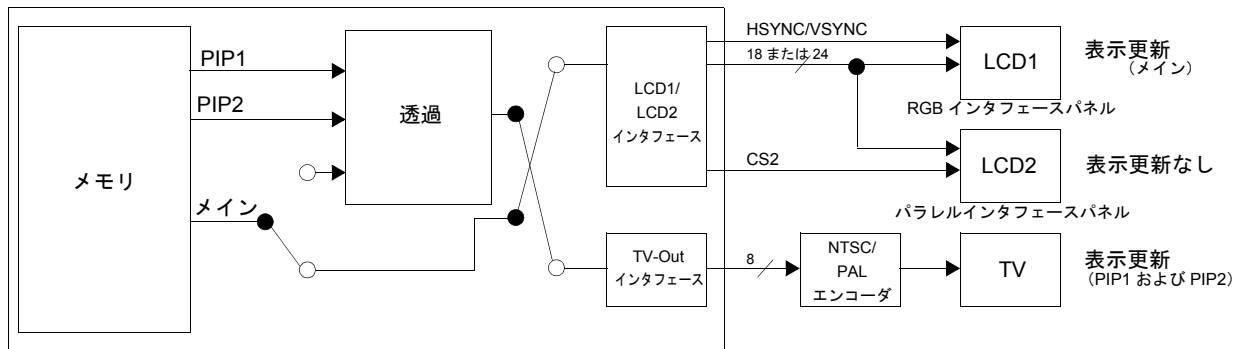


図15.9 モード2、ケース4 - LCD1アクティブ（メイン）とTVアクティブ（PIP1およびPIP2）

その他(ダイレクトホストアクセス)

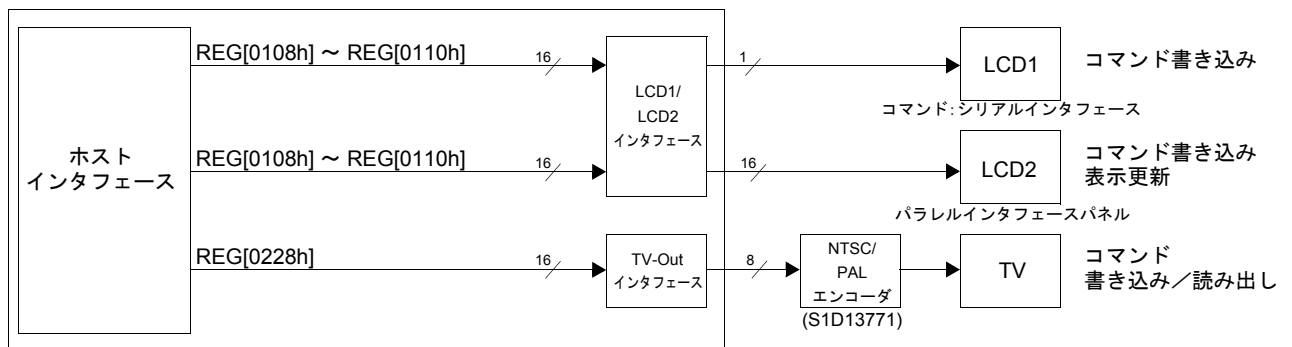


図15.10 モード2、ダイレクトホストアクセス - LCD2アクティブ

## 15. LCDおよびTVインタフェース

### 15.2.3 モード3

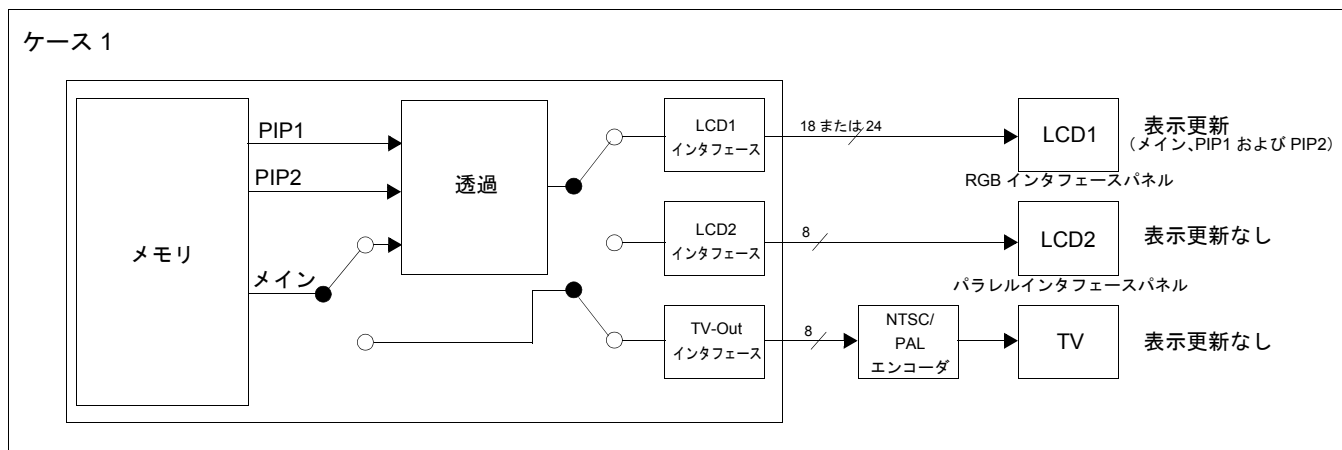


図15.11 モード3、ケース1 - LCD1アクティブ (メイン、PIP1およびPIP2)

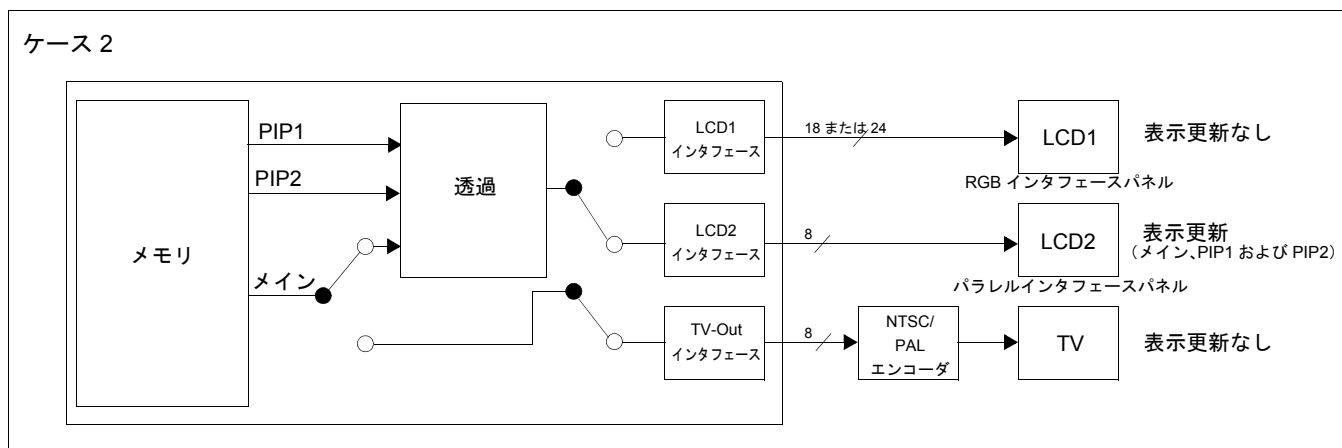


図15.12 モード3、ケース2 - LCD2アクティブ (メイン、PIP1およびPIP2)

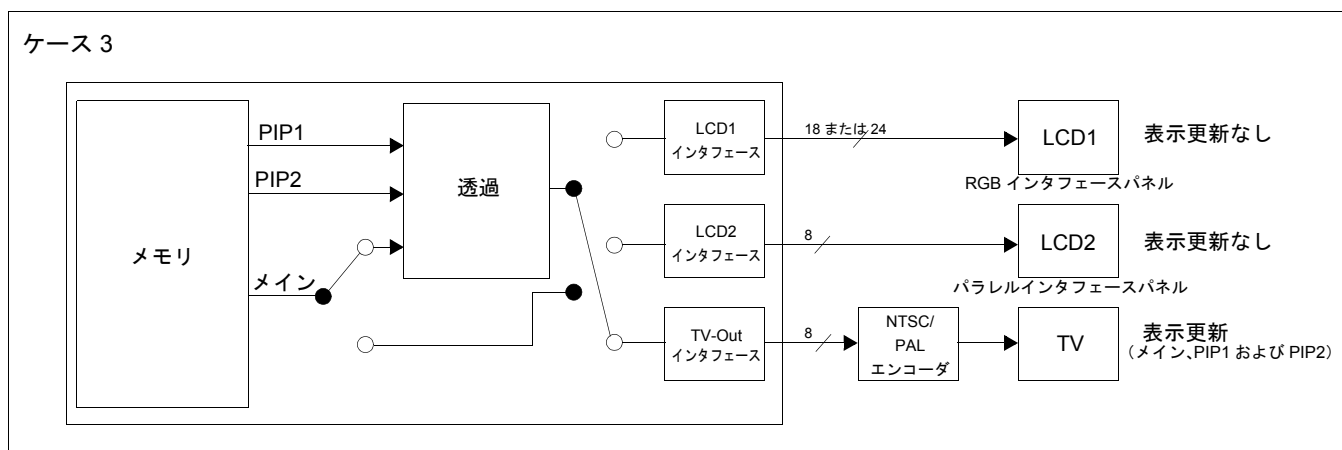


図15.13 モード3、ケース3 - TVアクティブ (メイン、PIP1およびPIP2)

ケース 4

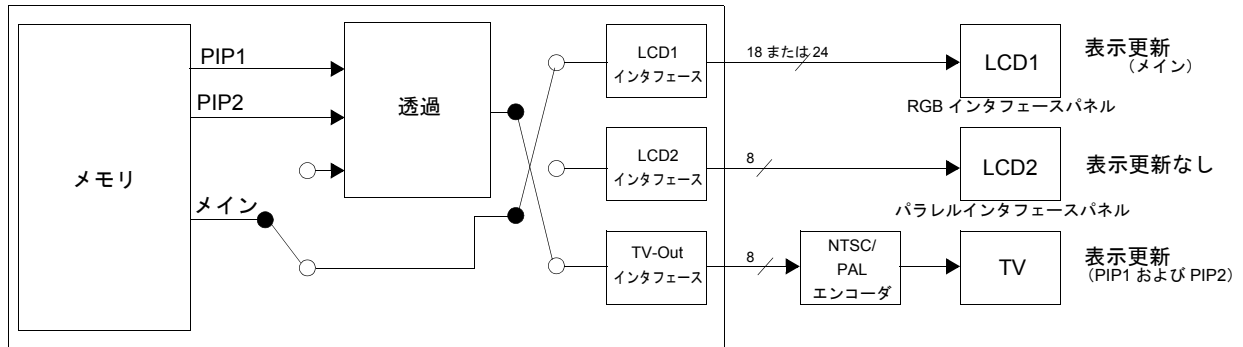


図15.14 モード3、ケース4 - LCD1アクティブ（メイン） およびTVアクティブ（PIP1およびPIP2）

その他(ダイレクトホストアクセス)

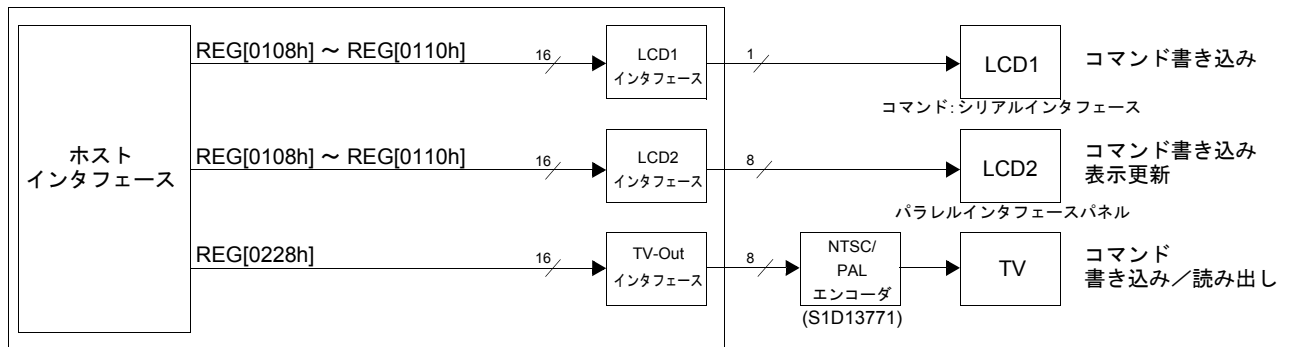


図15.15 モード3、ダイレクトホストアクセス - LCD2アクティブ

## 15. LCDおよびTVインタフェース

### 15.3 LCD1データフォーマット

LCD1は、常にRGBパネルインタフェース用に設定されています（REG[0104h]ビット1～0を参照）。データフォーマットは、データバス幅により以下のように決定されます。

REG[0104h]ビット5=0のとき、LCD1は18ビットインタフェース用に設定され、RGB 6:6:6データフォーマットが使用されます。

REG[0104h]ビット5=1のとき、LCD1は24ビットインタフェース用に設定され、RGB 8:8:8データフォーマットが使用されます。

表15.3 18/24ビットRGBインタフェースのデータフォーマット

端子	18ビット	24ビット
FPDAT0	R <sup>7</sup>	R <sup>7</sup>
FPDAT1	R <sup>6</sup>	R <sup>6</sup>
FPDAT2	R <sup>5</sup>	R <sup>5</sup>
FPDAT3	G <sup>7</sup>	G <sup>7</sup>
FPDAT4	G <sup>6</sup>	G <sup>6</sup>
FPDAT5	G <sup>5</sup>	G <sup>5</sup>
FPDAT6	B <sup>7</sup>	B <sup>7</sup>
FPDAT7	B <sup>6</sup>	B <sup>6</sup>
FPDAT8	B <sup>5</sup>	B <sup>5</sup>
FPDAT9	R <sup>4</sup>	R <sup>4</sup>
FPDAT10	R <sup>3</sup>	R <sup>3</sup>
FPDAT11	R <sup>2</sup>	R <sup>2</sup>
FPDAT12	G <sup>4</sup>	G <sup>4</sup>
FPDAT13	G <sup>3</sup>	G <sup>3</sup>
FPDAT14	G <sup>2</sup>	G <sup>2</sup>
FPDAT15	B <sup>4</sup>	B <sup>4</sup>
FPDAT16	B <sup>3</sup>	B <sup>3</sup>
FPDAT17	B <sup>2</sup>	B <sup>2</sup>
FPDAT18 (GPIO0)	Low	R <sup>1</sup>
FPDAT19 (GPIO1)	Low	R <sup>0</sup>
FPDAT20 (GPIO2)	Low	G <sup>1</sup>
FPDAT21 (GPIO3)	Low	G <sup>0</sup>
FPDAT22 (GPIO4)	Low	B <sup>1</sup>
FPDAT23 (GPIO5)	Low	B <sup>0</sup>

#### 注

FPDAT[18:23]は、GPIO[0:5]端子に割り付けられます。端子割り付けの詳細は、27ページの4.6「LCDおよびTV-Outインタフェースの端子割り付け」をご覧ください。



## 15.4 LCD2パラレルインタフェースのデータフォーマット

LCD2パラレルインタフェースの場合 (REG[0104h]ビット1~0=01または10)、データフォーマットは、LCD2パラレルデータフォーマットビット (REG[018Ch]ビット3~0) によって選択されます。

### 15.4.1 8ビットパラレル (RGB 3:3:2) データフォーマット

REG[018Ch]ビット3~0=0000のときは、RGB3:3:2データフォーマットを使用する8ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき1サイクルを使用します。

表15.4 8ビットパラレル (RGB 3:3:2) データフォーマット

サイクルカウント	1	2	3	...	n+1
D7	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D6	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D5	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D4	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D3	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D2	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D1	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D0	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$

### 15.4.2 8ビットパラレル (RGB 4:4:4) データフォーマット

REG[018Ch]ビット3~0=0001のときは、RGB4:4:4データフォーマットを使用する8ビットパラレルインタフェースが選択されます。このフォーマットは、2ピクセルにつき3サイクルを使用します。

表15.5 8ビットパラレル (RGB4:4:4) データフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	$R_0^7$	$B_0^7$	$G_1^7$	...	$R_{2n}^7$	$B_{2n}^7$	$G_{2n+1}^7$
D6	$R_0^6$	$B_0^6$	$G_1^6$	...	$R_{2n}^6$	$B_{2n}^6$	$G_{2n+1}^6$
D5	$R_0^5$	$B_0^5$	$G_1^5$	...	$R_{2n}^5$	$B_{2n}^5$	$G_{2n+1}^5$
D4	$R_0^4$	$B_0^4$	$G_1^4$	...	$R_{2n}^4$	$B_{2n}^4$	$G_{2n+1}^4$
D3	$G_0^7$	$R_1^7$	$B_1^7$	...	$G_{2n}^7$	$R_{2n+1}^7$	$B_{2n+1}^7$
D2	$G_0^6$	$R_1^6$	$B_1^6$	...	$G_{2n}^6$	$R_{2n+1}^6$	$B_{2n+1}^6$
D1	$G_0^5$	$R_1^5$	$B_1^5$	...	$G_{2n}^5$	$R_{2n+1}^5$	$B_{2n+1}^5$
D0	$G_0^4$	$R_1^4$	$B_1^4$	...	$G_{2n}^4$	$R_{2n+1}^4$	$B_{2n+1}^4$

## 15. LCDおよびTVインタフェース

### 15.4.3 8ビットパラレル (RGB5:6:5) データフォーマット

REG[018Ch]ビット3～0=1xxxのときは、RGB5:6:5データフォーマットを使用する8ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき2サイクルを使用します。

表15.6 8ビットパラレル (RGB 5:6:5) データフォーマット

サイクルカウント	1	2	...	2n+1	2n+2
D7	$R_0^7$	$G_0^4$	...	$R_n^7$	$G_n^4$
D6	$R_0^6$	$G_0^3$	...	$R_n^6$	$G_n^3$
D5	$R_0^5$	$G_0^2$	...	$R_n^5$	$G_n^2$
D4	$R_0^4$	$B_0^7$	...	$R_n^4$	$B_n^7$
D3	$R_0^3$	$B_0^6$	...	$R_n^3$	$B_n^6$
D2	$G_0^7$	$B_0^5$	...	$G_n^7$	$B_n^5$
D1	$G_0^6$	$B_0^4$	...	$G_n^6$	$B_n^4$
D0	$G_0^5$	$B_0^3$	...	$G_n^5$	$B_n^3$

### 15.4.4 8ビットパラレル (RGB8:8:8) データフォーマット

REG[018Ch]ビット3～0=0011のときは、RGB8:8:8データフォーマットを使用する8ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき3サイクルを使用します。

表15.7 8ビットパラレル (RGB8:8:8) データフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	$R_0^7$	$G_0^7$	$B_0^7$	...	$R_n^7$	$G_n^7$	$B_n^7$
D6	$R_0^6$	$G_0^6$	$B_0^6$	...	$R_n^6$	$G_n^6$	$B_n^6$
D5	$R_0^5$	$G_0^5$	$B_0^5$	...	$R_n^5$	$G_n^5$	$B_n^5$
D4	$R_0^4$	$G_0^4$	$B_0^4$	...	$R_n^4$	$G_n^4$	$B_n^4$
D3	$R_0^3$	$G_0^3$	$B_0^3$	...	$R_n^3$	$G_n^3$	$B_n^3$
D2	$R_0^2$	$G_0^2$	$B_0^2$	...	$R_n^2$	$G_n^2$	$B_n^2$
D1	$R_0^1$	$G_0^1$	$B_0^1$	...	$R_n^1$	$G_n^1$	$B_n^1$
D0	$R_0^0$	$G_0^0$	$B_0^0$	...	$R_n^0$	$G_n^0$	$B_n^0$

## 15.4.5 16ビットパラレル（RGB4:4:4）データフォーマット

REG[018Ch]ビット3～0=0101のときは、RGB4:4:4を使用する16ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき1サイクルを使用します。

表15.8 16ビットパラレル（RGB4:4:4）データフォーマット

サイクルカウント	1	2	3	...	n+1
D15	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D14	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D13	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D12	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D11	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D10	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D9	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D8	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D7	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D6	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D5	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D4	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D3	—	—	—	...	—
D2	—	—	—	...	—
D1	—	—	—	...	—
D0	—	—	—	...	—

## 15. LCDおよびTVインタフェース

### 15.4.6 16ビットパラレル（RGB5:6:5）データフォーマット

REG[018Ch]ビット3～0=0110のときは、RGB5:6:5を使用する16ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき1サイクルを使用します。

表15.9 16ビットパラレル（RGB5:6:5）データフォーマット

サイクルカウント	1	2	3	...	n+1
D15	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D14	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D13	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D12	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D11	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
D10	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D9	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D8	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D7	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D6	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
D5	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
D4	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D3	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D2	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D1	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D0	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$

## 15.4.7 16ビットパラレル (RGB8:8:8) データフォーマット

REG[018Ch]ビット3～0=0010のときは、RGB8:8:8を使用する16ビットパラレルインタフェースが選択されます。このフォーマットは、2ピクセルにつき3サイクルを使用します。

表15.10 16ビットパラレル (RGB8:8:8) データフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D15	$R_0^7$	$B_0^7$	$G_1^7$	...	$R_{2n}^7$	$B_{2n}^7$	$G_{2n+1}^7$
D14	$R_0^6$	$B_0^6$	$G_1^6$	...	$R_{2n}^6$	$B_{2n}^6$	$G_{2n+1}^6$
D13	$R_0^5$	$B_0^5$	$G_1^5$	...	$R_{2n}^5$	$B_{2n}^5$	$G_{2n+1}^5$
D12	$R_0^4$	$B_0^4$	$G_1^4$	...	$R_{2n}^4$	$B_{2n}^4$	$G_{2n+1}^4$
D11	$R_0^3$	$B_0^3$	$G_1^3$	...	$R_{2n}^3$	$B_{2n}^3$	$G_{2n+1}^3$
D10	$R_0^2$	$B_0^2$	$G_1^2$	...	$R_{2n}^2$	$B_{2n}^2$	$G_{2n+1}^2$
D9	$R_0^1$	$B_0^1$	$G_1^1$	...	$R_{2n}^1$	$B_{2n}^1$	$G_{2n+1}^1$
D8	$R_0^0$	$B_0^0$	$G_1^0$	...	$R_{2n}^0$	$B_{2n}^0$	$G_{2n+1}^0$
D7	$G_0^7$	$R_1^7$	$B_1^7$	...	$G_{2n}^7$	$R_{2n+1}^7$	$B_{2n+1}^7$
D6	$G_0^6$	$R_1^6$	$B_1^6$	...	$G_{2n}^6$	$R_{2n+1}^6$	$B_{2n+1}^6$
D5	$G_0^5$	$R_1^5$	$B_1^5$	...	$G_{2n}^5$	$R_{2n+1}^5$	$B_{2n+1}^5$
D4	$G_0^4$	$R_1^4$	$B_1^4$	...	$G_{2n}^4$	$R_{2n+1}^4$	$B_{2n+1}^4$
D3	$G_0^3$	$R_1^3$	$B_1^3$	...	$G_{2n}^3$	$R_{2n+1}^3$	$B_{2n+1}^3$
D2	$G_0^2$	$R_1^2$	$B_1^2$	...	$G_{2n}^2$	$R_{2n+1}^2$	$B_{2n+1}^2$
D1	$G_0^1$	$R_1^1$	$B_1^1$	...	$G_{2n}^1$	$R_{2n+1}^1$	$B_{2n+1}^1$
D0	$G_0^0$	$R_1^0$	$B_1^0$	...	$G_{2n}^0$	$R_{2n+1}^0$	$B_{2n+1}^0$

## 15. LCDおよびTVインタフェース

### 15.4.8 18ビットパラレル（RGB6:6:6）データフォーマット

REG[018Ch]ビット3～0=0111のときは、RGB6:6:6を使用する18ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき1サイクルを使用します。

表15.11 18ビットパラレル（RGB6:6:6）データフォーマット

サイクルカウント	1	2	3	...	n+1
D17	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D16	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D15	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D14	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D13	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
D12	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
D11	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D10	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D9	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D8	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D7	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
D6	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
D5	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D4	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D3	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D2	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D1	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
D0	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$

## 15.4.9 24ビットパラレル (RGB8:8:8) データフォーマット

REG[018Ch]ビット3～0=0100のときは、RGB8:8:8を使用する24ビットパラレルインタフェースが選択されます。このフォーマットは、1ピクセルにつき1サイクルを使用します。

表15.12 24ビットパラレル (RGB8:8:8) データフォーマット

サイクルカウント	1	2	3	...	n+1
D23	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D22	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D21	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D20	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D19	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
D18	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
D17	$R_0^1$	$R_1^1$	$R_2^1$	...	$R_n^1$
D16	$R_0^0$	$R_1^0$	$R_2^0$	...	$R_n^0$
D15	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D14	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D13	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D12	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D11	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
D10	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
D9	$G_0^1$	$G_1^1$	$G_2^1$	...	$G_n^1$
D8	$G_0^0$	$G_1^0$	$G_2^0$	...	$G_n^0$
D7	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D6	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D5	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D4	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D3	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
D2	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
D1	$B_0^1$	$B_1^1$	$B_2^1$	...	$B_n^1$
D0	$B_0^0$	$B_1^0$	$B_2^0$	...	$B_n^0$

## 15. LCDおよびTVインタフェース

### 15.5 LCD2シリアルインタフェースのデータフォーマット

LCD2シリアルインタフェースの場合（REG[0104h]ビット1～0=00）、データフォーマットは、REG[0188h]ビット7とLCD2シリアルデータフォーマットビット（REG[0188h]ビット3～2）によって選択されます。

#### 15.5.1 8ビットシリアル（RGB3:3:2）データフォーマット

REG[0188h]ビット7=0でREG[0188h]ビット3～2=00のときは、RGB3:3:2を使用する8ビットシリアルインタフェースが選択されます。

表15.13 8ビットシリアル（RGB3:3:2）データフォーマット

サイクルカウント	1	2	3	...	n+1
D7	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D6	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D5	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D4	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D3	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D2	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D1	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D0	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$

#### 15.5.2 8ビットシリアル（RGB4:4:4）データフォーマット

REG[0188h]ビット7=0でREG[0188h]ビット3～2=01のときは、RGB4:4:4を使用する8ビットシリアルインタフェースが選択されます。

表15.14 8ビットシリアル（RGB4:4:4）データフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	$R_0^7$	$B_0^7$	$G_1^7$	...	$R_{2n}^7$	$B_{2n}^7$	$G_{2n+1}^7$
D6	$R_0^6$	$B_0^6$	$G_1^6$	...	$R_{2n}^6$	$B_{2n}^6$	$G_{2n+1}^6$
D5	$R_0^5$	$B_0^5$	$G_1^5$	...	$R_{2n}^5$	$B_{2n}^5$	$G_{2n+1}^5$
D4	$R_0^4$	$B_0^4$	$G_1^4$	...	$R_{2n}^4$	$B_{2n}^4$	$G_{2n+1}^4$
D3	$G_0^7$	$R_1^7$	$B_1^7$	...	$G_{2n}^7$	$R_{2n+1}^7$	$B_{2n+1}^7$
D2	$G_0^6$	$R_1^6$	$B_1^6$	...	$G_{2n}^6$	$R_{2n+1}^6$	$B_{2n+1}^6$
D1	$G_0^5$	$R_1^5$	$B_1^5$	...	$G_{2n}^5$	$R_{2n+1}^5$	$B_{2n+1}^5$
D0	$G_0^4$	$R_1^4$	$B_1^4$	...	$G_{2n}^4$	$R_{2n+1}^4$	$B_{2n+1}^4$



## 15.5.3 16ビットシリアル（RGB4:4:4）LSB未使用データフォーマット

REG[0188h]ビット7=1でREG[0188h]ビット3～2=00のときは、RGB 4:4:4（LSB未使用）を使用する16ビットシリアルインタフェースが選択されます。

表15.15 16ビットシリアル（RGB4:4:4）LSB未使用データフォーマット

サイクルカウント	1	2	3	...	n+1
D15	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D14	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D13	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D12	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D11	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D10	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D9	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D8	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D7	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D6	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D5	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D4	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D3	—	—	—	...	—
D2	—	—	—	...	—
D1	—	—	—	...	—
D0	—	—	—	...	—

## 15. LCDおよびTVインタフェース

### 15.5.4 16ビットシリアル（RGB4:4:4）MSB未使用データフォーマット

REG[0188h]ビット7=1でREG[0188h]ビット3～2=01のときは、RGB4:4:4（MSB未使用）を使用する16ビットシリアルインタフェースが選択されます。

表15.16 16ビットシリアル（RGB4:4:4）MSB未使用データフォーマット

サイクルカウント	1	2	3	...	n+1
D15	—	—	—	...	—
D14	—	—	—	...	—
D13	—	—	—	...	—
D12	—	—	—	...	—
D11	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D10	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D9	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D8	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D7	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D6	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D5	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D4	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D3	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D2	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D1	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D0	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$

## 15.5.5 16ビットシリアル (RGB5:6:5) データフォーマット

REG[0188h]ビット7=1でREG[0188h]ビット3~2=10のとき、RGB5:6:5を使用する16ビットシリアルインタフェースが選択されます。

表15.17 16ビットシリアル (RGB5:6:5) データフォーマット

サイクルカウント	1	2	3	...	n+1
D15	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
D14	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
D13	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D12	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D11	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
D10	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D9	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D8	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D7	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D6	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
D5	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
D4	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D3	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D2	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D1	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D0	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$

## 15. LCDおよびTVインタフェース

### 15.5.6 18ビットシリアル (RGB6:6:6) データフォーマット

REG[0188h]ビット7=1でREG[0188h]ビット3~2=11のときは、RGB6:6:6を使用する18ビットシリアルインタフェースが選択されます。

表15.18 18ビットシリアル (RGB6:6:6) データフォーマット

サイクルカウント	1	2	3	...	n+1
D17	$R_0^7$	$R_1^7$	$R_2^7$		$R_n^7$
D16	$R_0^6$	$R_1^6$	$R_2^6$		$R_n^6$
D15	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
D14	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
D13	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
D12	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
D11	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
D10	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
D9	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
D8	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
D7	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
D6	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
D5	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
D4	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
D3	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
D2	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
D1	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
D0	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$

## 15.6 LCD2パラレルコマンド／パラメータフォーマット

## 15.6.1 LCD2パラレルコマンド／パラメータフォーマット1

パネルインタフェースモード2を選択したときは (REG[0104h]ビット1～0=01)、以下のパラレルコマンド／パラメータフォーマットが使用されます。

表15.19 LCD2パラレルコマンド／パラメータフォーマット1

端子名	RREG[0108h]ビット15～0 / REG[010Ch]ビット15～0		
	REG[018Ch]ビット5～4=00	REG[018Ch]ビット5～4=01	REG[018Ch]ビット5～4=10
P2DAT23	Low	Low	Low
P2DAT22	Low	Low	Low
P2DAT21	Low	Low	Low
P2DAT20	Low	Low	Low
P2DAT19	Low	Low	Low
P2DAT18	Low	Low	Low
P2DAT17	Low	ビット15	ビット15
P2DAT16	Low	ビット14	ビット14
P2DAT15	ビット15	ビット13	ビット13
P2DAT14	ビット14	ビット12	ビット12
P2DAT13	ビット13	ビット11	ビット11
P2DAT12	ビット12	ビット10	Low/High (注2)
P2DAT11	ビット11	ビット9	ビット10
P2DAT10	ビット10	ビット8	ビット9
P2DAT9	ビット9	Low	ビット8
P2DAT8	ビット8	ビット7	ビット7
P2DAT7	ビット7	ビット6	ビット6
P2DAT6	ビット6	ビット5	ビット5
P2DAT5	ビット5	ビット4	ビット4
P2DAT4	ビット4	ビット3	ビット3
P2DAT3	ビット3	ビット2	ビット2
P2DAT2	ビット2	ビット1	ビット1
P2DAT1	ビット1	ビット0	ビット0
P2DAT0	ビット0	Low	Low/High (注1)

## 注

1. ビット4～0の論理積にしたがって出力されます。
2. ビット15～11の論理積にしたがって出力されます。

## 15. LCDおよびTVインタフェース

### 15.6.2 LCD2パラレルコマンド／パラメータフォーマット2

パネルインタフェースモード3（REG[0104h]ビット1～0＝10）と8ビット転送モード（REG[018Ch]ビット8＝0）を選択したときは、以下のパラレルコマンド／パラメータフォーマットが使用されます。

表15.20 LCD2パラレルコマンド／パラメータのフォーマット2

端子名	REG[0108h]ビット7～0 / REG[010Ch]ビット7～0
P2DAT7	ビット7
P2DAT6	ビット6
P2DAT5	ビット5
P2DAT4	ビット4
P2DAT3	ビット3
P2DAT2	ビット2
P2DAT1	ビット1
P2DAT0	ビット0

#### 注

REG[0108h]ビット15～8とREG[010Ch]ビット15～8は使用されません。

### 15.6.3 LCD2パラレルコマンド／パラメータフォーマット3

パネルインタフェースモード3（REG[0104h]ビット1～0＝10）と16ビットの転送モード（REG[018Ch]ビット8＝1）を選択したときは、以下のパラレルコマンド／パラメータフォーマットが使用されます。

表15.21 LCD2パラレルコマンド／パラメータフォーマット3

端子名	REG[0108h]ビット15～0 / REG[010Ch]ビット15～0	
	サイクル1	サイクル2
P2DAT7	ビット7	ビット15
P2DAT6	ビット6	ビット14
P2DAT5	ビット5	ビット13
P2DAT4	ビット4	ビット12
P2DAT3	ビット3	ビット11
P2DAT2	ビット2	ビット10
P2DAT1	ビット1	ビット9
P2DAT0	ビット0	ビット8

### 15.7 TV-Out HSYNC & FIELD/ITU-R BT656インタフェースタイプのデータフォーマット

TV-Outインタフェースタイプが、HSYNC & FIELD用（REG[0200h]ビット1～0=01）またはITU-R BT656用（REG[0200h]ビット1～0=11）に設定されたときは、以下のデータフォーマットが使用されます。

表15.22 HSYNCおよびFIELD/ITU-R BT656 TV-Outインタフェースタイプのデータフォーマット

サイクルカウント	1	2	3	4	5	6	7	8	...
TVDT7	$U_0^7$	$Y_0^7$	$V_0^7$	$Y_1^7$	$U_2^7$	$Y_2^7$	$V_2^7$	$Y_3^7$	...
TVDT6	$U_0^6$	$Y_0^6$	$V_0^6$	$Y_1^6$	$U_2^6$	$Y_2^6$	$V_2^6$	$Y_3^6$	...
TVDT5	$U_0^5$	$Y_0^5$	$V_0^5$	$Y_1^5$	$U_2^5$	$Y_2^5$	$V_2^5$	$Y_3^5$	...
TVDT4	$U_0^4$	$Y_0^4$	$V_0^4$	$Y_1^4$	$U_2^4$	$Y_2^4$	$V_2^4$	$Y_3^4$	...
TVDT3	$U_0^3$	$Y_0^3$	$V_0^3$	$Y_1^3$	$U_2^3$	$Y_2^3$	$V_2^3$	$Y_3^3$	...
TVDT2	$U_0^2$	$Y_0^2$	$V_0^2$	$Y_1^2$	$U_2^2$	$Y_2^2$	$V_2^2$	$Y_3^2$	...
TVDT1	$U_0^1$	$Y_0^1$	$V_0^1$	$Y_1^1$	$U_2^1$	$Y_2^1$	$V_2^1$	$Y_3^1$	...
TVDT0	$U_0^0$	$Y_0^0$	$V_0^0$	$Y_1^0$	$U_2^0$	$Y_2^0$	$V_2^0$	$Y_3^0$	...

## 15. LCDおよびTVインタフェース

### 15.8 TV-Outパラレルインタフェースタイプデータフォーマット

#### 15.8.1 8ビットパラレル (RGB5:6:5) データフォーマット

TV-Outインタフェースタイプがパラレル用に設定され (REG[0200h]ビット1~0=10)、RGB出力データタイプ選択ビットが0に設定されたときは (REG[0200h]ビット7=0)、以下のデータフォーマットが使用されます。

表15.23 8ビットパラレル (RGB5:6:5) データフォーマット

サイクルカウント	1	2	...	2n+1	2n+2
TVDT7	$R_0^7$	$G_0^4$	...	$R_n^7$	$G_n^4$
TVDT6	$R_0^6$	$G_0^3$	...	$R_n^6$	$G_n^3$
TVDT5	$R_0^5$	$G_0^2$	...	$R_n^5$	$G_n^2$
TVDT4	$R_0^4$	$B_0^7$	...	$R_n^4$	$B_n^7$
TVDT3	$R_0^3$	$B_0^6$	...	$R_n^3$	$B_n^6$
TVDT2	$G_0^7$	$B_0^5$	...	$G_n^7$	$B_n^5$
TVDT1	$G_0^6$	$B_0^4$	...	$G_n^6$	$B_n^4$
TVDT0	$G_0^5$	$B_0^3$	...	$G_n^5$	$B_n^3$

#### 15.8.2 8ビットパラレル (RGB8:8:8) データフォーマット

TV-Outインタフェースタイプがパラレル用に設定され (REG[0200h]ビット1~0=10)、RGB出力データタイプ選択ビットが1に設定されたときは (REG[0200h]ビット7=1)、以下のデータフォーマットが使用されます。

表15.24 8ビットパラレル (RGB 8:8:8) のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
TVDT7	$R_0^7$	$G_0^7$	$B_0^7$	...	$R_n^7$	$G_n^7$	$B_n^7$
TVDT6	$R_0^6$	$G_0^6$	$B_0^6$	...	$R_n^6$	$G_n^6$	$B_n^6$
TVDT5	$R_0^5$	$G_0^5$	$B_0^5$	...	$R_n^5$	$G_n^5$	$B_n^5$
TVDT4	$R_0^4$	$G_0^4$	$B_0^4$	...	$R_n^4$	$G_n^4$	$B_n^4$
TVDT3	$R_0^3$	$G_0^3$	$B_0^3$	...	$R_n^3$	$G_n^3$	$B_n^3$
TVDT2	$R_0^2$	$G_0^2$	$B_0^2$	...	$R_n^2$	$G_n^2$	$B_n^2$
TVDT1	$R_0^1$	$G_0^1$	$B_0^1$	...	$R_n^1$	$G_n^1$	$B_n^1$
TVDT0	$R_0^0$	$G_0^0$	$B_0^0$	...	$R_n^0$	$G_n^0$	$B_n^0$



### 15.9 TV-Outパラレルインタフェースタイプコマンドフォーマット

TV-Outインタフェースタイプがパラレル用に設定されたときは（REG[0200h]ビット1～0＝10）、以下コマンドデータフォーマットが使用されます。

表15.25 TV-Outパラレルインタフェースタイプコマンド／データフォーマット

端子名	REG[0228h]ビット7～0
TVDT7	ビット7
TVDT6	ビット6
TVDT5	ビット5
TVDT4	ビット4
TVDT3	ビット3
TVDT2	ビット2
TVDT1	ビット1
TVDT0	ビット0

## 15. LCDおよびTVインタフェース

### 15.10 LUT

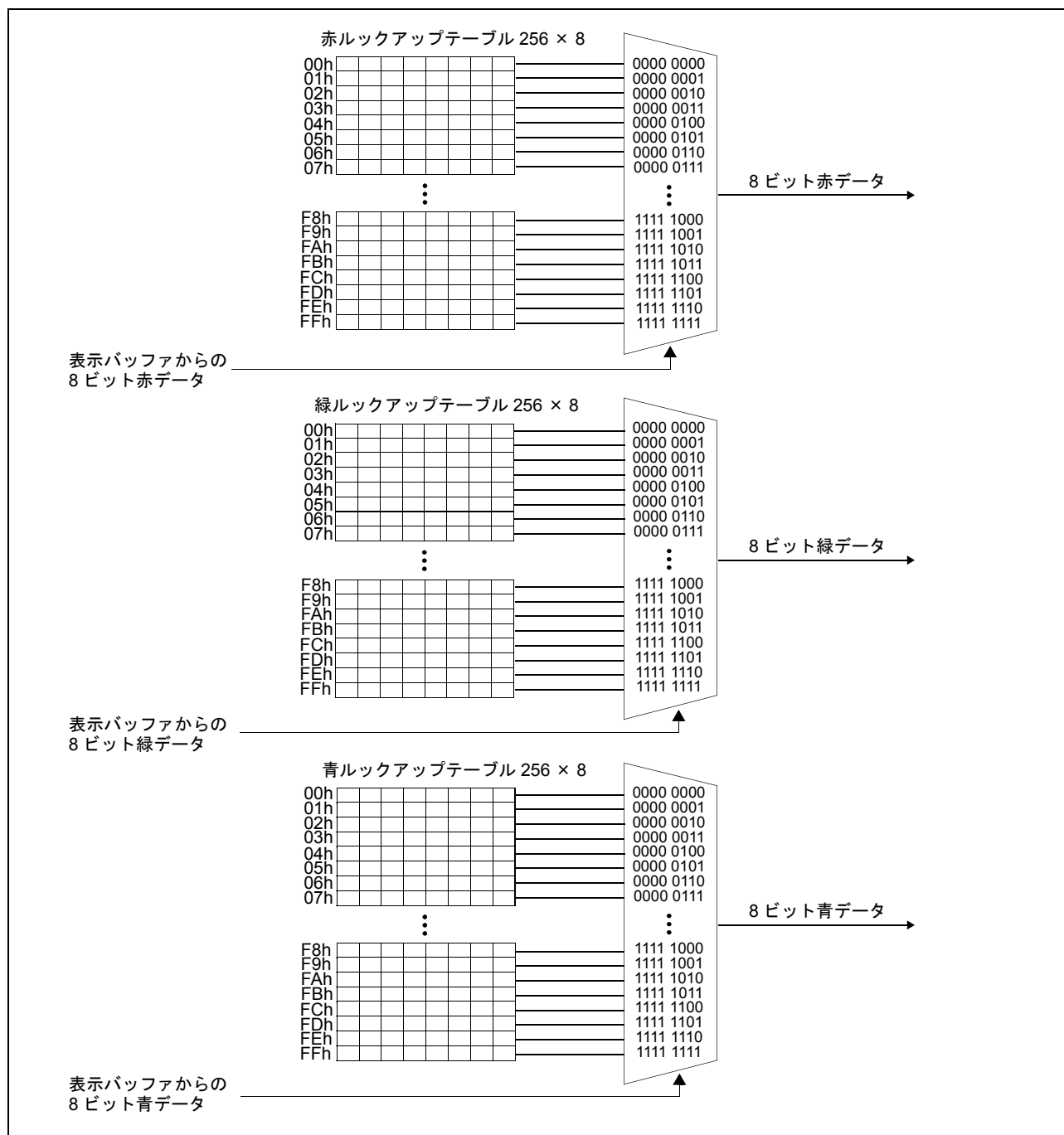


図15.16 LUTアーキテクチャ

#### 注

表示出力ポートがLCD1(メイン) +TV-Out (PIP1/PIP2) 用に設定されたとき (REG[0604h]ビット11~8=1011)、LUT機能はTV-Out表示にのみ適用され、LCD1に影響を及ぼしません。

### 15.11 擬似カラーモード

S1D13774は、パネルに出力される画像の色深度が低くなったときの画像色品質の変化を最小限に抑えるために使用される擬似カラーモードをサポートしています。これは、表示出力サイズより小さいデータバス幅を有するパネルに有効です。たとえば、S1D13774が16ビットTFTパネル用に設定されている場合、内部表示画像データはRGB8:8:8（24ビット）でなければならない、パネルに出力するためにRGB5:6:5（16ビット）に変換しなければなりません。

擬似カラーモードがディセーブルされたとき（REG[0648h]ビット2～0=000）、各色成分（RGB）は、擬似RGB出力カラーフォーマットビットによって選択されたデータバス幅まで端数が切り捨てられます（REG[0648h]ビット5～4を参照）。イネーブルされたときは、以下のオプションが選択可能です。

- 2×2マトリクスディザー：REG[0648h]ビット2～0=001
- FRM：REG[0648h]ビット2～0=010
- 誤差拡散：REG[0648h]ビット2～0=011

#### 注

パラレル／シリアルLCDインタフェースまたはパラレルTV-Outインタフェースを使用する表示では、これらの設定は無効です。

最適な擬似カラーモードを決定するには、実施するたびに表示を確認しなければならない場合があります。

## 16. ビデオ入力インタフェース

## 16. ビデオ入力インタフェース

S1D13774は、ビデオ入力インタフェースによってストリーミング入力ソースから画像データを受け取ることができます。次のようなビデオ入力インタフェースを設定することができます。

- 8ビットYUVインタフェース
- 12ビットRGBインタフェース

### 16.1 ビデオ入力インタフェースデータフォーマット

#### 16.1.1 RGB 8:8:8

インタフェースタイプ=RGB : REG[0484h]ビット5～4=01  
フォーマット=RGB8:8:8 : REG[0484h]ビット14～12=000

表16.1 RGB8:8:8入力フォーマット

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	$R_0^7$	$R_0^6$	$R_0^5$	$R_0^4$	$R_0^3$	$R_0^2$	$R_0^1$	$R_0^0$	$G_0^7$	$G_0^6$	$G_0^5$	$G_0^4$
2	$G_0^3$	$G_0^2$	$G_0^1$	$G_0^0$	$B_0^7$	$B_0^6$	$B_0^5$	$B_0^4$	$B_0^3$	$B_0^2$	$B_0^1$	$B_0^0$
3	$R_1^7$	$R_1^6$	$R_1^5$	$R_1^4$	$R_1^3$	$R_1^2$	$R_1^1$	$R_1^0$	$G_1^7$	$G_1^6$	$G_1^5$	$G_1^4$
4	$G_1^3$	$G_1^2$	$G_1^1$	$G_1^0$	$B_1^7$	$B_1^6$	$B_1^5$	$B_1^4$	$B_1^3$	$B_1^2$	$B_1^1$	$B_1^0$
	...											

#### 16.1.2 RGB6:6:6フォーマット1

インタフェースタイプ=RGB : REG[0484h]ビット5～4=01  
フォーマット=RGB 6:6:6フォーマット1 : REG[0484h]ビット14～12=001

表16.2 RGB6:6:6入力フォーマット1

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	$R_0^5$	$R_0^4$	$R_0^3$	$R_0^2$	$R_0^1$	$R_0^0$	—	—	$G_0^5$	$G_0^4$
2	$G_0^3$	$G_0^2$	$G_0^1$	$G_0^0$	—	—	$B_0^5$	$B_0^4$	$B_0^3$	$B_0^2$	$B_0^1$	$B_0^0$
3	—	—	$R_1^5$	$R_1^4$	$R_1^3$	$R_1^2$	$R_1^1$	$R_1^0$	—	—	$G_1^5$	$G_1^4$
4	$G_1^3$	$G_1^2$	$G_1^1$	$G_1^0$	—	—	$B_1^5$	$B_1^4$	$B_1^3$	$B_1^2$	$B_1^1$	$B_1^0$
	...											

## 16.1.3 RGB6:6:6フォーマット2

インタフェースタイプ=RGB : REG[0484h]ビット5～4=01

フォーマット=RGB 6:6:6フォーマット2 : REG[0484h]ビット14～12=010

表16.3 RGB6:6:6入力フォーマット2

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	$R_0^5$	$R_0^4$	$R_0^3$	$R_0^2$	$R_0^1$	$R_0^0$	—	—	$G_0^5$	$G_0^4$	$G_0^3$	$G_0^2$
2	$G_0^1$	$G_0^0$	—	—	$B_0^5$	$B_0^4$	$B_0^3$	$B_0^2$	$B_0^1$	$B_0^0$	—	—
3	$R_1^5$	$R_1^4$	$R_1^3$	$R_1^2$	$R_1^1$	$R_1^0$	—	—	$G_1^5$	$G_1^4$	$G_1^3$	$G_1^2$
4	$G_1^1$	$G_1^0$	—	—	$B_1^5$	$B_1^4$	$B_1^3$	$B_1^2$	$B_1^1$	$B_1^0$	—	—
	...											

## 16.1.4 RGB6:6:6からRGB8:8:8への変換

RGB6:6:6フォーマット (REG[0484h]ビット14～12=001または010) の場合は、メモリに書き込む前に画像データをRGB8:8:8に変換してください。変換は以下のように行われます。

表16.4 RGB 6:6:6からRGB 8:8:8への変換

RGB6:6:6 (入力)						→	RGB8:8:8 (メモリ)							
R5	R4	R3	R2	R1	R0	→	R5	R4	R3	R2	R1	R0	R5	R4
G5	G4	G3	G2	G1	G0	→	G5	G4	G3	G2	G1	G0	G5	G4
B5	B4	B3	B2	B1	B0	→	B5	B4	B3	B2	B1	B0	B5	B4

## 16.1.5 RGB5:6:5フォーマット1

インタフェースタイプ=RGB : REG[0484h]ビット5～4=01

フォーマット=RGB5:6:5フォーマット1 : REG[0484h]ビット14～12=011

表16.5 RGB5:6:5入力フォーマット1

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	—	$R_0^4$	$R_0^3$	$R_0^2$	$R_0^1$	$R_0^0$	—	—	$G_0^5$	$G_0^4$
2	$G_0^3$	$G_0^2$	$G_0^1$	$G_0^0$	—	—	—	$B_0^4$	$B_0^3$	$B_0^2$	$B_0^1$	$B_0^0$
3	—	—	—	$R_1^4$	$R_1^3$	$R_1^2$	$R_1^1$	$R_1^0$	—	—	$G_1^5$	$G_1^4$
4	$G_1^3$	$G_1^2$	$G_1^1$	$G_1^0$	—	—	—	$B_1^4$	$B_1^3$	$B_1^2$	$B_1^1$	$B_1^0$
	...											

## 16. ビデオ入力インタフェース

### 16.1.6 RGB 5:6:5フォーマット2

インタフェースタイプ=RGB : REG[0484h]ビット5～4=01

フォーマット=RGB5:6:5フォーマット2 : REG[0484h]ビット14～12=100

表16.6 RGB 5:6:5入力フォーマット2

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	$R_0^4$	$R_0^3$	$R_0^2$	$R_0^1$	$R_0^0$	—	—	—	$G_0^5$	$G_0^4$	$G_0^3$	$G_0^2$
2	$G_0^1$	$G_0^0$	—	—	$B_0^4$	$B_0^3$	$B_0^2$	$B_0^1$	$B_0^0$	—	—	—
3	$R_1^4$	$R_1^3$	$R_1^2$	$R_1^1$	$R_1^0$	—	—	—	$G_1^5$	$G_1^4$	$G_1^3$	$G_1^2$
4	$G_1^1$	$G_1^0$	—	—	$B_1^4$	$B_1^3$	$B_1^2$	$B_1^1$	$B_1^0$	—	—	—
	...											

### 16.1.7 YUV4:2:2フォーマット1

インタフェースタイプ=YUV : REG[0484h]ビット5～4=10または11

YUV4:2:2フォーマット1 : REG[0484h]ビット11～10=00

表16.7 YUV 4:2:2入力フォーマット1

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	—	—	$U_0^7$	$U_0^6$	$U_0^5$	$U_0^4$	$U_0^3$	$U_0^2$	$U_0^1$	$U_0^0$
2	—	—	—	—	$Y_0^7$	$Y_0^6$	$Y_0^5$	$Y_0^4$	$Y_0^3$	$Y_0^2$	$Y_0^1$	$Y_0^0$
3	—	—	—	—	$V_0^7$	$V_0^6$	$V_0^5$	$V_0^4$	$V_0^3$	$V_0^2$	$V_0^1$	$V_0^0$
4	—	—	—	—	$Y_1^7$	$Y_1^6$	$Y_1^5$	$Y_1^4$	$Y_1^3$	$Y_1^2$	$Y_1^1$	$Y_1^0$
	...											

### 16.1.8 YUV4:2:2フォーマット2

インタフェースタイプ=YUV : REG[0484h]ビット5～4=10または11

YUV4:2:2フォーマット2 : REG[0484h]ビット11～10=01

表16.8 YUV4:2:2入力フォーマット2

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	—	—	$V_0^7$	$V_0^6$	$V_0^5$	$V_0^4$	$V_0^3$	$V_0^2$	$V_0^1$	$V_0^0$
2	—	—	—	—	$Y_0^7$	$Y_0^6$	$Y_0^5$	$Y_0^4$	$Y_0^3$	$Y_0^2$	$Y_0^1$	$Y_0^0$
3	—	—	—	—	$U_0^7$	$U_0^6$	$U_0^5$	$U_0^4$	$U_0^3$	$U_0^2$	$U_0^1$	$U_0^0$
4	—	—	—	—	$Y_1^7$	$Y_1^6$	$Y_1^5$	$Y_1^4$	$Y_1^3$	$Y_1^2$	$Y_1^1$	$Y_1^0$
	...											

## 16.1.9 YUV4:2:2フォーマット3

インタフェースタイプ=YUV : REG[0484h]ビット5～4=10または11  
 YUV4:2:2フォーマット3 : REG[0484h]ビット11～10=10

表16.9 YUV4:2:2入力フォーマット3

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	—	—	$Y_0^7$	$Y_0^6$	$Y_0^5$	$Y_0^4$	$Y_0^3$	$Y_0^2$	$Y_0^1$	$Y_0^0$
2	—	—	—	—	$U_0^7$	$U_0^6$	$U_0^5$	$U_0^4$	$U_0^3$	$U_0^2$	$U_0^1$	$U_0^0$
3	—	—	—	—	$Y_1^7$	$Y_1^6$	$Y_1^5$	$Y_1^4$	$Y_1^3$	$Y_1^2$	$Y_1^1$	$Y_1^0$
4	—	—	—	—	$V_0^7$	$V_0^6$	$V_0^5$	$V_0^4$	$V_0^3$	$V_0^2$	$V_0^1$	$V_0^0$
	...											

## 16.1.10 YUV4:2:2フォーマット4

インタフェースタイプ=YUV : REG[0484h]ビット5～4=10または11  
 YUV4:2:2フォーマット4 : REG[0484h]ビット11～10=11

表16.10 YUV4:2:2入力フォーマット4

	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	—	—	—	—	$Y_0^7$	$Y_0^6$	$Y_0^5$	$Y_0^4$	$Y_0^3$	$Y_0^2$	$Y_0^1$	$Y_0^0$
2	—	—	—	—	$V_0^7$	$V_0^6$	$V_0^5$	$V_0^4$	$V_0^3$	$V_0^2$	$V_0^1$	$V_0^0$
3	—	—	—	—	$Y_1^7$	$Y_1^6$	$Y_1^5$	$Y_1^4$	$Y_1^3$	$Y_1^2$	$Y_1^1$	$Y_1^0$
4	—	—	—	—	$U_0^7$	$U_0^6$	$U_0^5$	$U_0^4$	$U_0^3$	$U_0^2$	$U_0^1$	$U_0^0$
	...											

## 16.2 ビデオ入カインタフェースのプログラムフロー

ビデオ入カインタフェースを設定するには、メインまたはサブ書き込みパスレジスタの内容を特定の順序にしたがって更新してください。レジスタを更新するタイミングを示すプログラムフローの例は、332ページの13.2「ビデオ入カインタフェース」にあります。

### 17. GPIOインタフェース

S1D13774は、39本の汎用IO端子（GPIO）を備えています。これらの端子の多くは複数の機能と関連付けられています。各GPIO端子の詳細は、14ページの4.2.4「GPIO」をご覧ください。端子割り付けの概要は、31ページの4.7「GPIOの端子割り付け」をご覧ください。

GPIO端子は、PIOVDD IO電圧（GPIOP[14:0]）とHIOVDD IO電圧（GPIOH[23:0]）のいずれかによって駆動されます。GPIOP端子は、主にLCD1、LCD2またはTV-Outインタフェースによって使用されます。GPIOH端子は、インダイレクトホストインタフェースによって使用されますが、インダイレクトホストインタフェースが選択されていないとき（CNF0=0）は、LCD2またはTV-Outインタフェースによって使用可能です。

GPIO機能は非同期で、GPIO端子とレジスタを通常の動作モードで 사용할 ことができ、またS1D13774が省電力モードのとき（スタンバイモードA、スタンバイモードBおよびスリープモード）にも使用することができます。

それぞれのGPIO端子のポジティブエッジトリガとネガティブエッジトリガのいずれかを使用して、割り込みをホストに出力することができます。割り込みはすべてのモード（通常動作モード、スタンバイモードA、スタンバイモードBおよびスリープモード）で可能です。

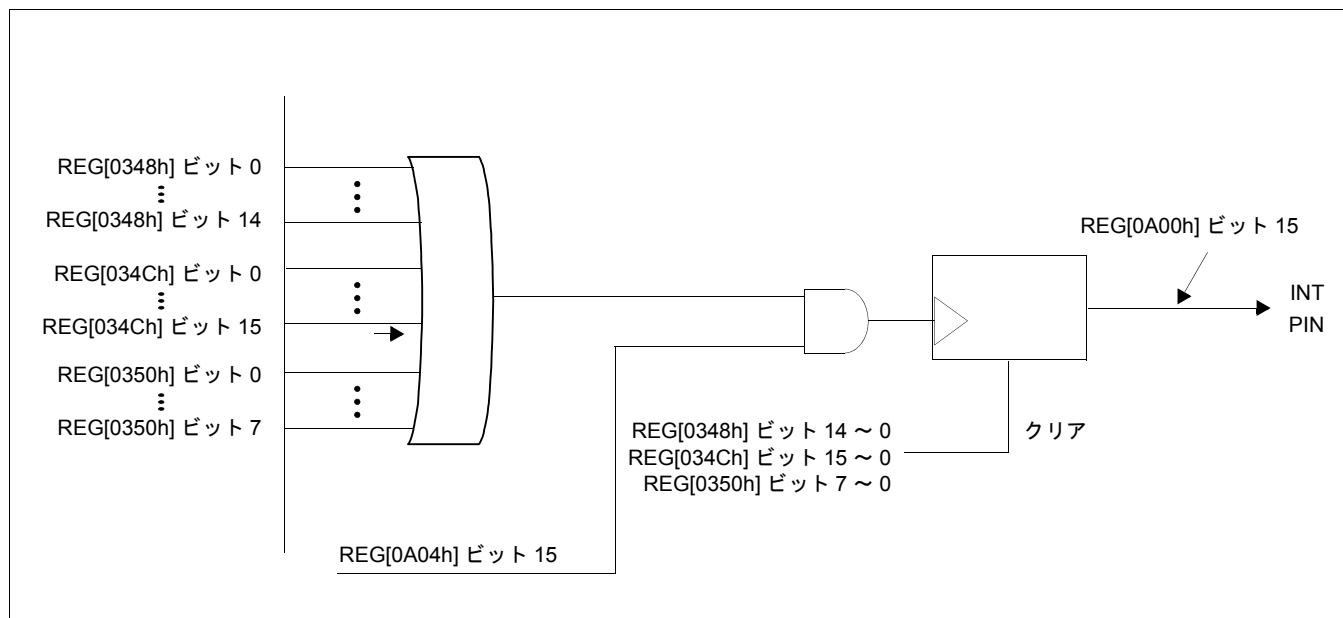


図17.1 GPIO割り込み



## 18. 水晶発振器回路

S1D13774は、ソースクロックとして使用することができる水晶発振回路をサポートしています。回路定数は基準値です。

**表18.1 水晶発振器回路の周波数範囲**

説明	Min	Typ	Max	単位
発振器回路周波数範囲	20	27	40	MHz

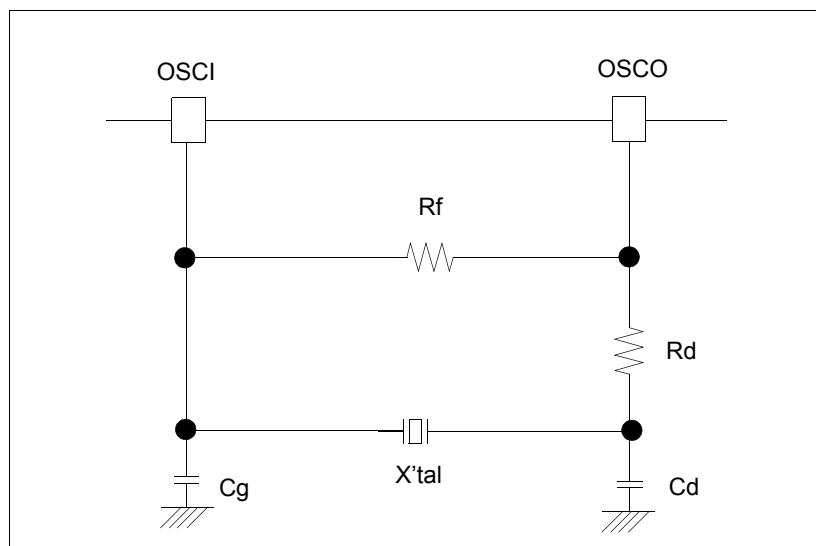
発振特性は、回路に使用される部品（水晶、Rf、Rd、Cg、Cd、基板の状態）に依存します。回路と部品の値の例は以下のとおりです。

**表18.2 水晶発振回路の部品**

周波数	Rf	Rd	Cg	Cd	水晶
27MHz	1M $\Omega$	820 $\Omega$	5.6pF	5.6pF	EPSON TOYOCOM FA-128 CL=6.4pF

### 注

最適な結果を得るために、この回路に使用する部品の値をそれぞれの用途ごとに評価してください。



**図18.1 推奨水晶発振器回路**

## 19. RESET#グリッチ除去

### 19. RESET#グリッチ除去

S1D13774は、以下の図に示したようなRESET#のグリッチ除去を行います。

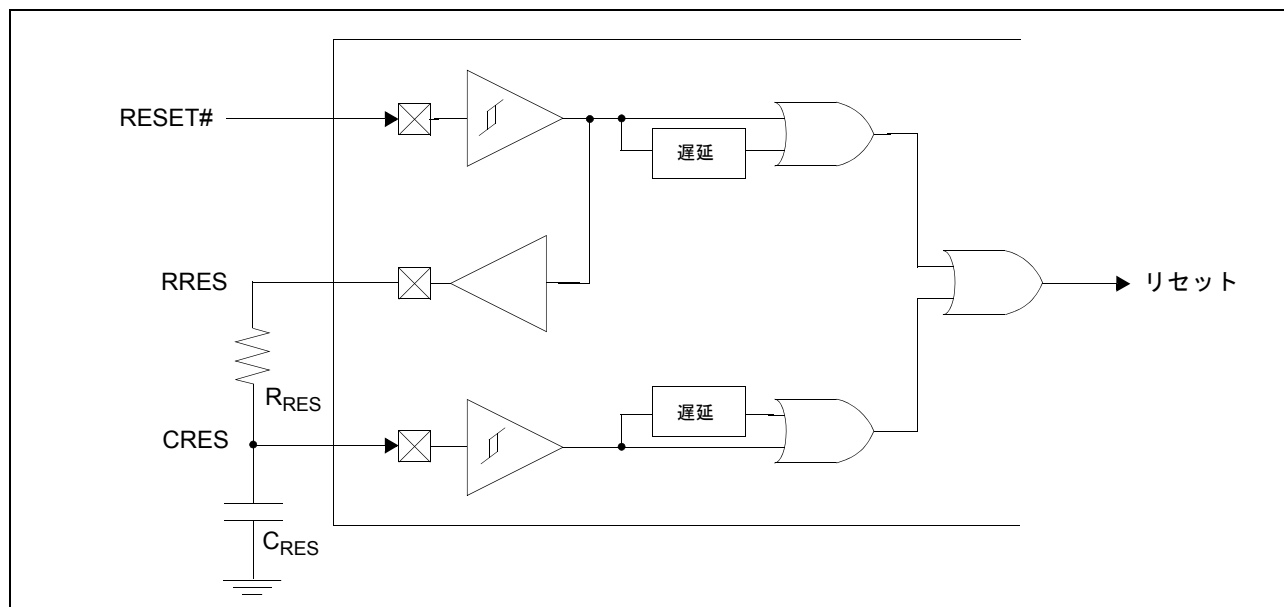


図19.1 RESET#グリッチ除去回路

HIOVDD=1.8Vのグリッチ除去期間の計算：

$$\text{グリッチ除去期間} (\mu\text{s}) = 1.5 \times (\text{RRES} + 200) \times \text{CRES}$$

ここで

RRESの単位は $\Omega$

CRESの単位は $\mu\text{F}$

HIOVDD=2.5Vのグリッチ除去期間の計算：

$$\text{グリッチ除去期間} (\mu\text{s}) = 1.3 \times (\text{RRES} + 200) \times \text{CRES}$$

ここで

RRESの単位は $\Omega$

CRESの単位は $\mu\text{F}$

#### 注

1. 上の式は標準的な条件下のものです。実際のグリッチ除去期間は、基板の状態や温度により変化します。
2. リセットグリッチ除去が不要な場合、RRESは接続せず、CRESをVSSに接続してください。

## 20. アナログ電源の注意事項

PLL VDD回路は、入力クロック波形や電源のノイズに極めて敏感なアナログ回路です。クロックや電源のノイズは、これらの回路の動作を不安定にしたりジッタを大きくしたりすることがあります。

このようなノイズの制約により、これらの回路の電源トレースや電源プレーンを他の電源のものから分離することを推奨します。電源ノイズをできるだけ少なくするためにフィルタリングも使用してください。

次のような対策をとると、PLL VDD回路の電源のノイズが少なくなります。これにより、クロックはノイズが少なくなり安定します。これらの対策の一部を実施するだけでも効果があります。

### 20.1 アナログ電源レイアウトの対策

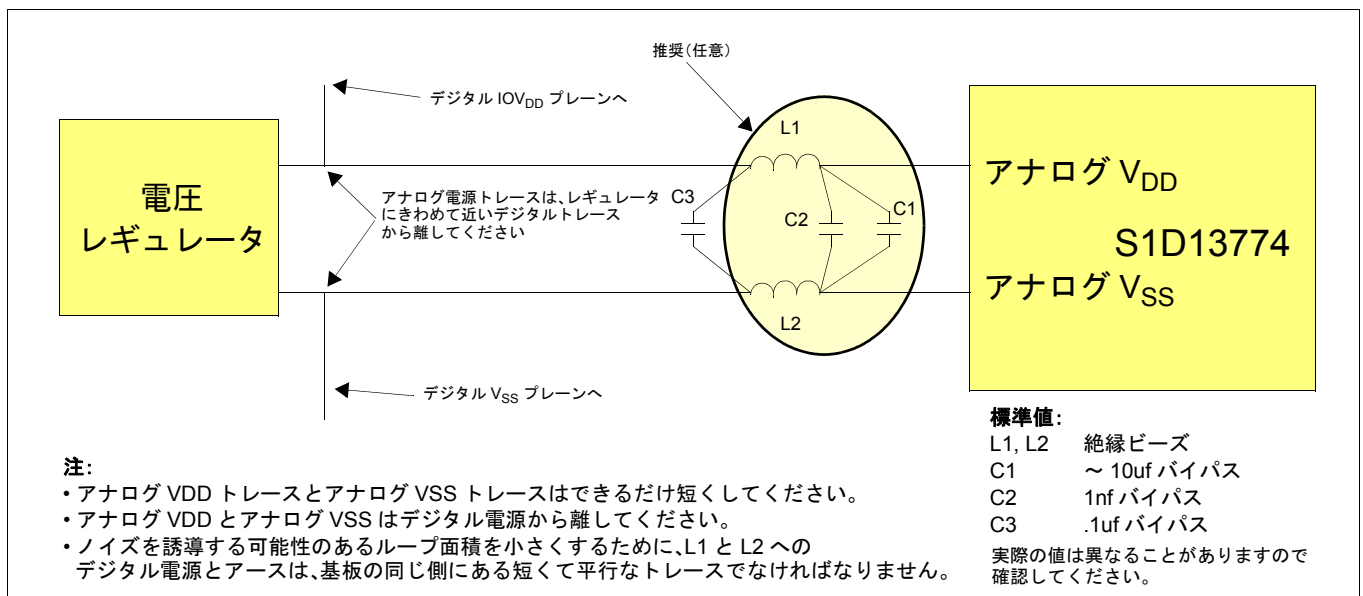


図20.1 アナログ電源レイアウト

- 絶縁ビーズ (L1とL2) は、間隔が最小になるように互いに平行に配置してください。バイパス容量 (C2とC3) は両方とも、インダクタにできるだけ近づけてください。C3から電源プレーンまでのトレースは、基板の同じ側で間隔が狭く短い正常な平行なトレースになるようにしてください。ループ面積を大きくするとノイズが発生します。基板上に電圧レギュレータがある場合は、電源トレースを電源プレーンまで引き回さず電圧レギュレータに直接接続してください (平行トレースに関しても上記の規則に従ってください)。
- バイパス容量 (C2) がグラウンド絶縁インダクタ (L2) につながるアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中心ポイントになります。C2からPLL V<sub>SS</sub>端子への1本の短いトレース以外の部品はS1D13774 (PLL V<sub>SS</sub>) のアナロググラウンド端子に直接接続されません。大きなバイパス容量 (C1) のアース側面もスタートポイントに直接接続してください。
- アナロググラウンドに使用されるのと同じスタートポロジの規則が、L2とC2間のアナログ電源接続にも適用されます。
- すべてのトレース長をできるだけ短くしてください。

## 20. アナログ電源の注意事項

---

- すべてのPLLトレースをできるだけ基板の同じ外側の層に配置してください。唯一の例外はC1です。C1は、必要に応じて基板の反対側に配置することができます。C1は、他の部品ほどアナロググラウンドや電源スターポイントに近くなくてもかまいません。
- できるだけPLL領域の下（PLL部品とトレースの下の領域）だけにプレーンの一部が入るようにしてください。連続したアナログプレーンをC2（バイパス）パッドにアース接続してください。このプレーンは大きすぎると効果がありません。厳密には、このプレーンは、同じ基板領域内の他の層の信号と結合するのを防ぐ電気シールドです。このようなアナログプレーンを使用できない場合は、信号層の代わりにPLL部品の下の層をデジタル電源プレーンにしてください。
- できるだけ層上の他の基板信号が PLL 端子ビアのすぐ近くを通らないようにしてください。
- 特にC2のどちらかの側へのアナロググラウンド接続と電源のスター結線の場合は、できるだけ太いトレースを使用してください。トレースが細くなるほど誘導が大きくなるので、部品のパッドと同じくらいの幅にしてください。

製造上の制約によって、提案したようなグラウンド接続や電源スター接続ができない場合があります。たとえば、4本の幅広いトレースが1つのパッドに集まると、容量パッドのまわりのすべての銅のトレースの熱の影響で、組み立て中にリフロー問題が生じる可能性があります。1つの解決策は、1本のトレースだけをそのパッドに接続し、他のすべてのトレースをパッドから最小距離でこの幅広いトレースに接続することです。もう1つの解決策は、トレースをパッドに接続し、銅の接続を断つサーマルリリースをパッドのまわりに設けることです。最終的には基板も製造可能でなければならないため、最善の努力が望まれます。

## 21. メカニカルデータ

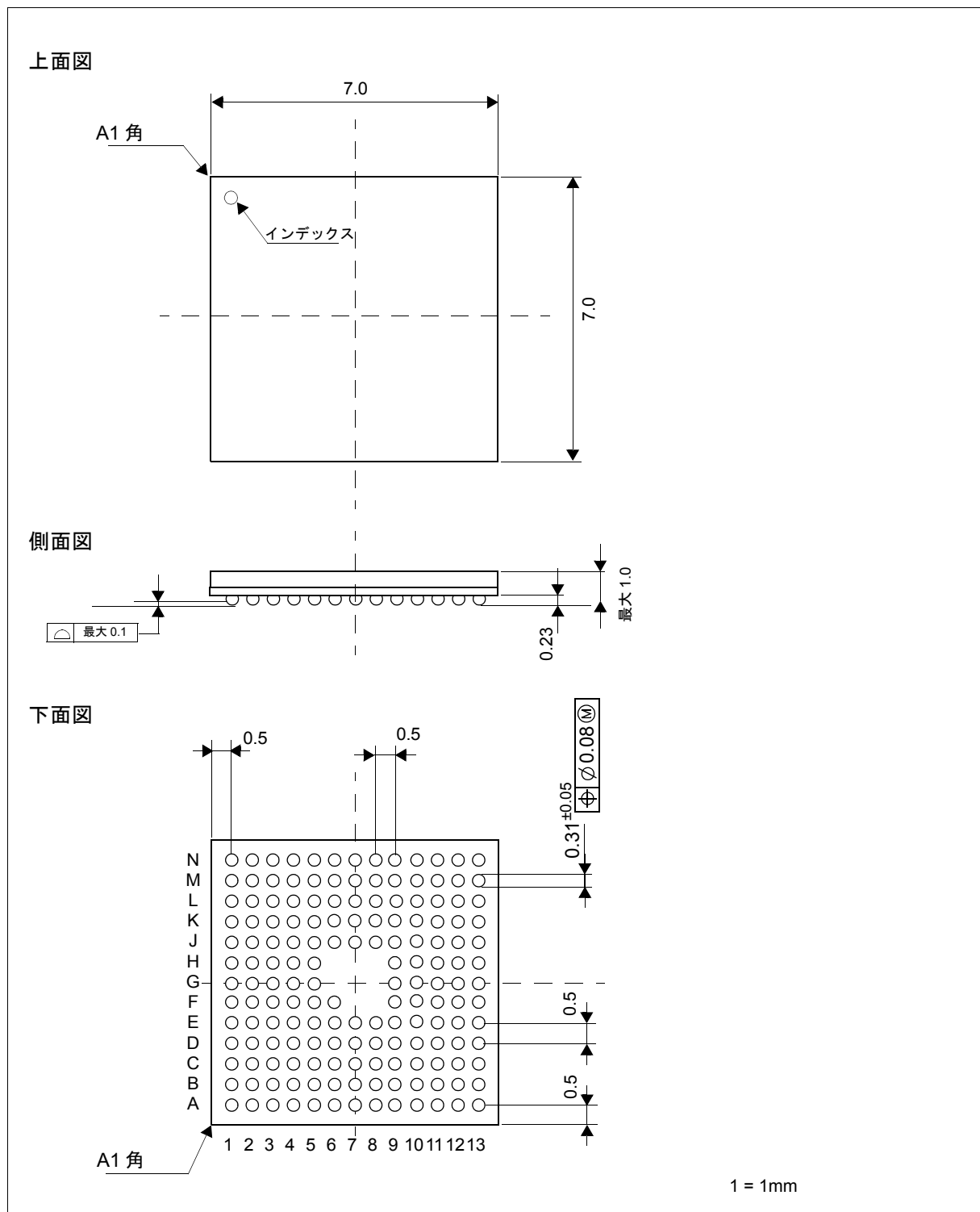


図21.1 VFBGA7HX161 161ピンパッケージ

## 22. 参考資料

---

## 22. 参考資料

以下の文書には、S1D13774に関連する付加情報が記載されています。文書番号は文書名の後の括弧内に記載されています。すべての文書は、Epson Research and Developmentウェブサイト [www.erd.epson.com](http://www.erd.epson.com) でご覧いただけます。

- S1D13774 Product Brief (X85A-C-001-xx)
- S5U13774A00C Evaluation Board User Manual (X85A-G-001-xx)

---

## 23. 販売およびテクニカルサポート

### AMERICA

---

**EPSON ELECTRONICS AMERICA, INC.****HEADQUARTERS**

2580 Orchard Parkway  
San Jose, CA 95131, USA  
Phone: +1-800-228-3964 FAX: +1-408-922-0238

**SALES OFFICES****Northeast**

301 Edgewater Place, Suite 210  
Wakefield, MA 01880, U.S.A.  
Phone: +1-800-922-7667 FAX: +1-781-246-5443

---

### EUROPE

---

**EPSON EUROPE ELECTRONICS GmbH****HEADQUARTERS**

Riesstrasse 15 Muenchen Bayern, 80992 GERMANY  
Phone: +49-89-14005-0 FAX: +49-89-14005-110

### ASIA

---

**EPSON (CHINA) CO., LTD.**

7F, Jinbao Bldg., No.89 Jinbao St., Dongcheng District,  
Beijing 100005, China  
Phone: +86-10-6410-6655 FAX: +86-10-6410-7320

**SHANGHAI BRANCH**

7F, Block B, Hi-Tech Bldg., 900, Yishan Road,  
Shanghai 200233, CHINA  
Phone: +86-21-5423-5522 FAX: +86-21-5423-5512

**EPSON HONG KONG LTD.**

20/F., Harbour Centre, 25 Harbour Road  
Wanchai, Hong Kong  
Phone: +852-2585-4600 FAX: +852-2827-4346  
Telex: 65542 EPSCO HX

**EPSON (CHINA) CO., LTD.****SHENZHEN BRANCH**

12/F, Dawning Mansion, Keji South 12th Road,  
Hi-Tech Park, Shenzhen  
Phone: +86-755-2699-3828 FAX: +86-755-2699-3838

**EPSON TAIWAN TECHNOLOGY & TRADING LTD.**

14F, No. 7, Song Ren Road,  
Taipei 110  
Phone: +886-2-8786-6688 FAX: +886-2-8786-6660

**EPSON SINGAPORE PTE., LTD.**

1 HarbourFront Place,  
#03-02 HarbourFront Tower One, Singapore 098633  
Phone: +65-6586-5500 FAX: +65-6271-3182

**SEIKO EPSON CORPORATION****KOREA OFFICE**

50F, KLI 63 Bldg., 60 Yoido-dong  
Youngdeungpo-Ku, Seoul, 150-763, KOREA  
Phone: +82-2-784-6027 FAX: +82-2-767-3677

**GUMI OFFICE**

2F, Grand B/D, 457-4 Songjeong-dong,  
Gumi-City, KOREA  
Phone: +82-54-454-6027 FAX: +82-54-454-6093

---

**セイコーエプソン株式会社****半導体事業部****IC 営業部****<IC 国際営業グループ>**

東京 〒191-8501 東京都日野市日野 421-8  
TEL(042)587-5816(直通) FAX(042)587-5624

### 23.1 ご注文方法

S1D13774 LCD Controllerのご注文については、最寄りのEpson販売代理店までご連絡ください。

**セイコーエプソン株式会社**  
半導体事業部 IC 営業部

---

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 411481600  
2008 年 7 月 作成