

**S1D13745A01**  
**Mobile Graphics Engine**  
**テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

# 目次

<b>1. はじめに</b>	<b>1</b>
1.1 適用範囲	1
1.2 略語の説明	1
<b>2. 動作概要</b>	<b>2</b>
2.1 LCD表示に関するサポート機能	2
2.1.1 LCDウインドウ	2
2.1.2 ダブルバッファ機能を用いたLCDウインドウ	3
2.1.3 カラーマネジメントシステム (CMS)	4
2.2 TV表示に関するサポート機能	4
2.2.1 TVにおける単一のTVウインドウ表示	4
2.2.2 TVにおける複数のTVウインドウ表示	4
2.2.3 TVウインドウのボーダー機能	4
2.2.4 TVウインドウのダブルバッファ処理	4
2.2.5 スケーリング機能	5
<b>3. 特長</b>	<b>9</b>
3.1 内蔵フレームバッファ	9
3.2 CPUインタフェース	9
3.3 入力データフォーマット	9
3.4 LCD表示に関するサポート機能	9
3.5 TV表示に関するサポート機能	9
3.6 表示モード	10
3.7 カラーマネジメントシステム (CMSサブシステム)	10
3.8 LCD表示機能	10
3.9 TV表示機能	11
3.10 クロックソース	12
3.11 その他	12
<b>4. 機能ブロック図</b>	<b>13</b>
<b>5. 端子配置図</b>	<b>14</b>
5.1 端子説明	16
5.1.1 Intel 80系のホストインタフェース端子	17
5.1.2 LCDインタフェース端子	18
5.1.3 高速LCDインタフェース (HSSI) 端子	19
5.1.4 TVインタフェース端子	20
5.1.5 クロック端子	21
5.1.6 その他の端子	22
5.1.7 電源とグラウンド端子	24
5.2 コンフィギュレーションオプションの概要	25

<b>6. 端子割り付け</b>	<b>26</b>
6.1 Intel 80系のデータ端子	26
6.2 LCDインタフェースのデータ端子	27
<b>7. DC特性</b>	<b>28</b>
7.1 絶対最大定格	28
7.2 推奨動作条件	29
7.3 電気的特性	30
7.4 DACの特性	32
<b>8. AC特性</b>	<b>33</b>
8.1 クロックタイミング	33
8.1.1 内部発振器によるクロック	33
8.1.2 CLKI入力によるクロック	35
8.1.3 PLLの起動条件	37
8.1.4 PLLクロックのノイズに関する注意点	37
8.2 PLLのパワーオンとリセットのシーケンス	38
8.3 CLKIのイネーブル／ディセーブル制御シーケンス	39
8.4 リセットタイミング	40
8.5 ホストインタフェースのタイミング	41
8.5.1 Intel 80系インタフェースのタイミング：同期レジスタまたはメモリの場合	41
8.5.2 Intel 80系インタフェースのタイミング（非同期レジスタの場合）	43
8.5.3 Hi-Z状態への遷移時間に関する定義	45
8.6 表示インタフェース	46
8.6.1 TFTのパワーオンシーケンス	47
8.6.2 TFTのパワーオフシーケンス	48
8.6.3 18/24ビット汎用TFTパネルのタイミング	49
8.7 HSSIのACタイミング	51
8.8 TVに関するタイミング	57
8.8.1 TV出力のタイミング	57
<b>9. クロック</b>	<b>61</b>
9.1 クロックの説明	61
9.2 PLLの機能ブロック図	62
9.3 クロックと機能の対応	63
<b>10. メモリマップ</b>	<b>64</b>
<b>11. レジスタ</b>	<b>67</b>
11.1 レジスタマッピング	67
11.2 レジスタセット	68
11.3 レジスタの説明	70
11.3.1 読み出し専用設定レジスタ	70
11.3.2 クロック設定レジスタ	71

11.3.3	SDRAM制御レジスタ	77
11.3.4	LCDパネル設定レジスタ	82
11.3.5	高速シリアルLCDインタフェース (HSSI) レジスタ	87
11.3.6	TV設定レジスタ	91
11.3.7	YUV-RGB変換器レジスタ	102
11.3.8	表示モードレジスタ	105
11.3.9	入力ウインドウ座標兼位置レジスタ	108
11.3.10	出力ウインドウ座標兼位置レジスタ	110
11.3.11	入力データ設定レジスタ	112
11.3.12	表示メモリアクセスレジスタ	116
11.3.13	ボーダーカラーレジスタ	117
11.3.14	カラーマネジメントシステムレジスタ	118
11.3.15	3×3マトリックスレジスタ	120
11.3.16	その他のレジスタ	125
11.3.17	汎用IO端子レジスタ	129
<b>12.</b>	<b>フレームレートの計算</b>	<b>131</b>
<b>13.</b>	<b>フレームバッファメモリの計算</b>	<b>132</b>
13.1	TV用フレームバッファのフォーマット選択	133
<b>14.</b>	<b>Intel 80系8ビットインタフェースのカラーフォーマット</b>	<b>135</b>
14.1	16bpp (RGB 5:6:5)、65,536色	135
14.2	18bpp (RGB 6:6:6)、262,144色	136
14.3	24bpp (RGB 8:8:8)、16,777,216色	137
<b>15.</b>	<b>Intel 80系16ビットインタフェースのカラーフォーマット</b>	<b>138</b>
15.1	16bpp (RGB 5:6:5)、65,536色	138
15.2	18bppのモード1 (RGB 6:6:6)、262,144色	139
15.3	18bppのモード2 (RGB 6:6:6)、262,144色	140
15.4	24bppのモード1 (RGB 8:8:8)、16,777,216色	141
15.5	24bppのモード2 (RGB 8:8:8)、16,777,216色	142
<b>16.</b>	<b>YUVに関するタイミング</b>	<b>143</b>
16.1	YUV 4:2:2/Intel 80系8ビットインタフェース	144
16.2	YUV 4:2:0の奇数ライン/Intel 80系8ビットインタフェース	144
16.3	YUV 4:2:0の偶数ライン/Intel 80系8ビットインタフェース	145
16.4	YUV 4:2:2/Intel 80系16ビットインタフェース	146
16.5	YUV 4:2:0の奇数ライン/Intel 80系16ビットインタフェース	147
16.6	YUV 4:2:0の偶数ライン/Intel 80系16ビットインタフェース	148
<b>17.</b>	<b>カラーマネジメントシステムの説明</b>	<b>149</b>
17.1	逆ガンマブロック	149
17.2	3×3マトリックス	149
17.3	ガンマ補正ルックアップテーブル (LUT)	149

17.4	ガンマ補正ルックアップテーブルの設定例	151
<b>18.</b>	<b>表示データフォーマット</b>	<b>152</b>
<b>19.</b>	<b>SwivelView™</b>	<b>156</b>
19.1	LCDパネルの回転オフセット	156
19.1.1	90°のSwivelView™	156
19.1.2	180°のSwivelView™	157
19.1.3	270°のSwivelView™	158
19.2	ウインドウの位置と回転	159
<b>20.</b>	<b>ウインドウ処理</b>	<b>163</b>
20.1	LCDウインドウのタイプと特徴	163
20.2	TVウインドウのタイプと特徴	163
<b>21.</b>	<b>ホストインタフェース</b>	<b>164</b>
21.1	Intel 80系インタフェース	164
21.1.1	レジスタライトの手順	165
21.1.2	レジスタリードの手順	166
21.1.3	ホストによるLCD、TV、TVオーバーレイの書き込み手順	167
<b>22.</b>	<b>VBIとワイドスクリーン信号機能</b>	<b>168</b>
22.1	CEA-608-Bの自動モード	169
22.2	CEA-608-Bの手動モード	170
<b>23.</b>	<b>代表的な使用例</b>	<b>171</b>
23.1	ホストによる背景LCD/TVウインドウの書き込み	171
23.1.1	ホストによる上書きウインドウの書き込み	173
23.2	拡大画像の使用例	174
23.3	拡大ウインドウに重なるオーバーレイの書き込み	176
23.4	入力側の縮小ウインドウの使用例	179
<b>24.</b>	<b>TE端子の説明</b>	<b>181</b>
24.1	ダブルバッファストリーミングに関するTE動作	181
24.2	静止ウインドウに関するTE動作	186
<b>25.</b>	<b>TVフィルタの動作</b>	<b>188</b>
25.1	輝度（Y）および色（UV）のカスタムフィルタ係数の生成	188
25.1.1	フィルタパラメータ	189
<b>26.</b>	<b>S1D13745の電源関連シーケンス</b>	<b>192</b>
26.1	モード1：スタンバイA	192
26.2	モード2：スタンバイB	193
26.3	モード3：ノーマル	193
26.4	電源モードの状態遷移図	194
26.5	電源シーケンスのタイミング	195
26.5.1	モード1からモード3	196

26.5.2	モード3からモード1 . . . . .	197
26.5.3	モード3からモード2 . . . . .	198
26.5.4	モード2からモード3 . . . . .	199
26.5.5	モード2からモード1 . . . . .	200
26.6	各電源をオフにするための条件 . . . . .	200
26.7	PD#の機能 . . . . .	201
<b>27.</b>	<b>S1D13745におけるスリープモードの移行シーケンス . . . . .</b>	<b>205</b>
27.1	ノーマルモードからスリープモードへの移行シーケンス . . . . .	205
27.2	スリープモードからノーマルモードへの移行シーケンス . . . . .	206
<b>28.</b>	<b>外部素子 . . . . .</b>	<b>207</b>
28.1	DACの外部素子 . . . . .	207
28.2	静電気放電の考慮 . . . . .	208
28.3	RESET#のグリッチ除去 . . . . .	208
28.4	水晶発振器回路 . . . . .	210
<b>29.</b>	<b>アナログ電源に関する注意点 . . . . .</b>	<b>211</b>
29.1	アナログ電源配置の指針 . . . . .	211
<b>30.</b>	<b>素子に関する制限事項 . . . . .</b>	<b>213</b>
30.1	レジスタのリード／ライト . . . . .	213
<b>31.</b>	<b>メカニカルデータ . . . . .</b>	<b>214</b>
<b>32.</b>	<b>参考資料 . . . . .</b>	<b>216</b>
<b>33.</b>	<b>販売およびテクニカルサポート . . . . .</b>	<b>217</b>
33.1	ご注文方法 . . . . .	217

---

## 1. はじめに

### 1.1 適用範囲

本書はメモリ内蔵型モバイルグラフィックスエンジン「S1D13745」のテクニカルマニュアルです。本書には、タイミング図、AC特性、DC特性、レジスタの説明、および電源管理の説明などが記載されています。本書が対象とするのは、ビデオサブシステム設計者とソフトウェア開発者です。

本書は適宜改訂されています。開発を開始する前に本書の最新版がないかどうか、Epson Research and Developmentウェブサイト[www.erd.epson.com](http://www.erd.epson.com)をチェックしてください。

本書に関するご意見やご要望がございましたら、[documentation@erd.epson.com](mailto:documentation@erd.epson.com)までお寄せください。

### 1.2 略語の説明

本書では以下の略語を使用しています。

とくに記載のないかぎり、数字はすべて10進数です（bは2進数、hは16進数を示します）。

$K=2^{10}=1024$ （メモリ容量の表示に使用します）

b=ビット

B=バイト

bpp=ビット/ピクセル

msb=最上位ビット

lsb=最下位ビット

IO=入出力

LUT=ルックアップテーブル

NC=非接続



## 2. 動作概要

S1D13745は、LCDまたはTVの単一有効ディスプレイを補助する多機能グラフィックスエンジンです。各ディスプレイには複数のウインドウと方向が表示できます。

S1D13745は1280KBの表示バッファを備え、24bppの表示モードをサポートします。この表示バッファを連続使用することで、最大856×480（24bpp、シングルバッファ使用時）または320×480（24bpp、ダブルバッファ使用時）の解像度が使用できます。TV出力についてはPALとNTSCの両規格に対応する全画面解像度と出力フォーマットをサポートします。

S1D13745にはノーマル、スタンバイ、およびスリープの3つの動作モードがあります。ノーマルモードはS1D13745が完全に動作するモードです。スタンバイモードでは、PLLとDRAMリフレッシュクロックを除くすべての内部クロックが停止します。スリープモードではすべての内部クロックが停止し、消費電力が最小になりますが、メモリの内容は失われます。このとき、外部クロック源も停止させることによって消費電力をさらに抑えることができます。

表示内容のダブルバッファ機能が備わっているため、ビデオコンテンツの回転やストリーミングの最中にティアリングが発生しません。

ホストプロセッサから書き込まれるすべての画像データは、1つの入力／出力ウインドウ開口およびデータポートを使用します。同じ表示面に開く後続ウインドウは上書き（destructive）オーバーレイと見なされます。各ウインドウは、回転と位置について独立した属性をもつことができます。

LCDパネルの物理的な搭載方向については、すべての後続ウインドウが「通常」の方向を基準とするようにプログラミングすることができます。これにより、物理的に回転されるパネルについては回転が0°になります。

S1D13745は、Intel 80系CPUインタフェースからのDMAバーストアクセスを受け付けるように設計されています。表示バッファに対するすべてのアクセスは、「表示メモリ用データポート」の値を参照して実行されます。

### 2.1 LCD表示に関するサポート機能

S1D13745は、従来の18/24ビット型アクティブマトリックスTFTパネルのほか、3チャンネルのHSSI（High-Speed Serial Interface）パネルをサポートします。サポートされる解像度は最大856×480です。解像度とフレームレートは完全にプログラム可能です。フレームレート変更とディザリングの機能により、18ビットパネル上で24bppをエミュレートできます。

#### 2.1.1 LCDウインドウ

LCD表示のためにホストプロセッサから書き込まれるすべての画像データは「ウインドウ」の形態を取ります。RGB入力データでは8/16/18/24bppが、またYUVデータでは4:2:2と4:2:0が可能です。メモリに格納されるすべてのデータは必要に応じて24bppに拡張・変換されます。ウインドウの座標は、すべての方向において物理的表示の左上の角が原点になります。このような形で書き込まれるデータはすべて「横長」と見なされ、必要な回転があれば自動的に内部処理されます。ホストによる書き込みに際しては複数のウインドウを互いに独立して回転できます。後続するすべてのLCD「ウインドウ」は上書きオーバーレイと見なされ、新ウインドウの座標のなかで以前のデータが上書きされます。少なくとも1つの「ウインドウ」は全画面の解像度であるとし、それが「背景」と見なされます。表示できるウインドウ数に制限はありません。各ウインドウはメモリ書き込みの前に縮小できます。縮小率は各方向に0.25または0.5が可能です。このようにして縮小されるウインドウの数に制限はありません。メモリの出力側では1つのウインドウがスケーリングできます。そのウインドウが背景画像を構成する場合は、すべての後続ウインドウにおいて背景画像と同じ倍率が自動的に使用されます（これによって複数の拡大縮小ウインドウが可能です）。拡大縮小ウインドウが背景でなかった（上書きオーバーレイ

イであった) 場合は、1つの拡大縮小ウインドウのみがサポートされます。このウインドウは、物理的なLCDパネルによって決まる最大サイズまでスケーリングできます。

### 2.1.2 ダブルバッファ機能を用いたLCDウインドウ

S1D13745はダブルバッファ機能によってティアリングを防止します。LCDディスプレイ上に開いた1つのウインドウをダブルバッファで処理することにより、ストリーミングビデオにおいてティアリングが発生しません。このウインドウは画面解像度の全体であることも、また一部のみであることも可能です。ウインドウをストリーミングビデオ向けに設定すると、入力データはウインドウの座標に合うように自動的にダブルバッファで処理されます。このウインドウが画面の一部でしかない場合、「背景」の静止部分およびバッファリングされるウインドウデータの1つに対して「バッファ 1」が使用されます。「バッファ 2」はダブルバッファリングされる残りのウインドウデータに対してのみ使用され、背景の静止データを含みません。LCD側のディスプレイパイプラインは書き込みが完了したバッファのデータしか使用しないため、ストリーミング用ウインドウに割り込みを掛けることによって画面上の静止情報を更新することが可能です。そのため、次のバッファが用意できるまで1つのシングルバッファが繰り返し表示される場合があります。ディスプレイパイプラインがバッファ 2を使用しているときに（静止データをバッファ 1に書き込むために）ダブルバッファ機能を無効にすると、ディスプレイパイプラインは再びバッファ 1を使用します。これは、背景情報がバッファ 1にしか存在しないためです。ダブルバッファの使用時には320×480（24bpp）の一般的な解像度がサポートされます。

- LCD表示には1280KBのメモリが使用できます。その場合、ダブルバッファ機能が使用できるのは、ウインドウサイズがこの量のメモリで対応できる大きさである場合に限られます。

例：

640×480（24bpp）のメインディスプレイ、シングルバッファ使用時＝900KB  
320×240（24bpp）のディスプレイ、ダブルバッファ使用時＝225KB

#### 注

TE出力端子はダブルバッファと合わせて使用してください。ホストプロセッサのデータ書き込み速度がディスプレイパイプラインの読み出し速度よりも速い場合、ホストは未使用バッファ内の旧データを上書きしてしまうため、コマ落ちが発生します。ホストは各コマ（フレーム）の書き込みが終わるたびにTEのビットまたは出力端子の状態をチェックし、上記の現象を防止することが必要です。

### 2.1.3 カラーマネジメントシステム (CMS)

S1D13745はカラーマネジメントシステム (CMS) を完全にサポートします。異なるカラープロファイルをもつ入力データがLCDパネルのカラープロファイルと一致するように処理されるため、最高レベルの画質が実現します。

CMSサブシステムには、「逆ガンマ補正」「3×3マトリックス」「ガンマ補正」の3要素があります。これについては149ページの17.「カラーマネジメントシステムの説明」で説明します。

CMSサブシステムのすべてのブロックは独立してバイパス可能です。

## 2.2 TV表示に関するサポート機能

S1D13745は、解像度と出力フォーマットについてPALとNTSCの両方の出力規格に準拠します。出力についてはコンポジット出力とSビデオ出力のフォーマットをともにサポートします。入力についてはYUV 4:2:2とYUV 4:2:0の入力フォーマットをともにサポートします。1つのTVウインドウ (YUV 4:2:0に変換して保存したもの) はいずれかの形式 (PALまたはNTSC) の全画面解像度が可能であり、ダブルバッファ機能を使用できます。ダブルバッファによるYUV 4:2:2ウインドウは最大640×480が可能です。

S1D13745は高出力DACを備えるため、外部の能動素子がなくてもTVをそのまま駆動できます。

### 2.2.1 TVにおける単一のTVウインドウ表示

ホストから書き込まれるウインドウが1つだけの場合は、スケーリングとオートボーダーの機能を使用できます。ウインドウ (メモリに保存されたもの) はTVディスプレイ内でセンタリングされるほか、適宜スケーリングされ、また必要に応じてボーダーが付加されます。それによって使用中のTVフォーマットの全画面解像度と同じになります。スケーリングの処理についてはInput Window SizeおよびOutput Window Sizeのレジスタ設定によって決まります。倍率は入力および出力サイズをもとに自動計算されます。入力側では必要に応じてさらにスケーリングをかけることができます。

### 2.2.2 TVにおける複数のTVウインドウ表示

LCDディスプレイの場合と同様、TVディスプレイに対しても複数の「ウインドウ」を上書きすることができます。ホストによる書き込みに際しては複数のウインドウを互いに独立して回転できます。

### 2.2.3 TVウインドウのボーダー機能

得られる画像サイズ (出力スケーリング後のもの) がTV出力解像度 (PALまたはNTSC) と異なる場合、S1D13745は必要に応じてウインドウの周りにYUV 8:8:8のボーダーを自動生成します。ウインドウはボーダー内でセンタリングされます。

### 2.2.4 TVウインドウのダブルバッファ処理

LCDディスプレイの場合と同様、単一のTVディスプレイについてもダブルバッファ機能によってストリーミング入力におけるティアリングを防止することができます。このウインドウは画面解像度の全体であることも、また一部のみであることもできます。ウインドウをストリーミングビデオ向けに設定すると、入力データはウインドウの座標に合わせて自動的にダブルバッファで処理されます。このウインドウが画面の一部でしかない場合、「背景」の静止部分およびバッファリングさ

れるウインドウデータの1つに対して「バッファ 1」が使用されます。「バッファ 2」はダブルバッファリングされる残りのウインドウデータに対してのみ使用され、背景の静止データを含みません。TV側のディスプレイパイプラインは書き込みが完了したバッファのデータしか使用しないため、ストリーミング用ウインドウに割り込みを掛けることによって画面上の静止情報を更新することが可能です。そのため、次のバッファが用意できるまで1つのシングルバッファが繰り返し表示される場合があります。ディスプレイパイプラインがバッファ 2を使用しているときにダブルバッファ機能を無効にすると、ディスプレイパイプラインは再びバッファ 1を使用します。これは、背景情報がバッファ 1にしか存在しないためです。ダブルバッファの使用時には、PALおよびNTSC規格に規定される最大解像度がサポートされます。

#### 注

TE出力端子はダブルバッファと合わせて使用してください。ホストプロセッサのデータ書き込み速度がディスプレイパイプラインの読み出し速度よりも速い場合、ホストは未使用バッファ内の旧データを上書きしてしまうため、コマ落ちが発生します。ホストは各コマ（フレーム）の書き込みが終わるたびにTEのビットまたは出力端子の状態をチェックし、上記の現象を防止することが必要です。

### 2.2.5 スケーリング機能

S1D13745の各種スケーリング機能はすべて自動で実行されるため、特別なプログラミングは不要です。すべてのウインドウはInput Window Coordinates / Positionレジスタを使用します。Output Window Coordinates / Positionレジスタも適宜使用できます。倍率はこの2つの設定をもとに自動的に決定されます。

#### 入力側のスケーリング

- 各LCDウインドウはメモリ書き込みの前に縮小できます。0.25または0.5の縮小率が可能です。このようにして縮小されるウインドウの数に制限はありません。

#### 出力側のスケーリング

- 出力側では1つのウインドウがスケーリングできます。そのウインドウが背景画像を構成する場合は、すべての後続ウインドウにおいて背景画像と同じ倍率が自動的に使用されます（これによって複数の拡大縮小ウインドウが可能です）。拡大縮小ウインドウが背景でなかった（上書きオーバーレイであった）場合は1つの拡大縮小ウインドウのみがサポートされます。このウインドウは、物理的なLCDパネルによって決まる最大サイズまでスケーリングできます。
- TV表示のためにホストから書き込まれる1つのTVウインドウが拡大できます（その最大倍率ないしサイズは、PALまたはNTSC規格に規定される物理的な表示解像度です）。この拡大操作は表示側でのみ実行されるため、メモリの内容は影響を受けません。

## 2. 動作概要

### LCD 画像

メモリに保存されたもの

352 × 416、24bpp(ダブルバッファ処理) = 858KB



OR

### TV 画像

メモリに保存されたもの

720 × 576、YUV 4:2:0(ダブルバッファ処理) = 1215KB



### LCD 画像

メモリに保存されたもの

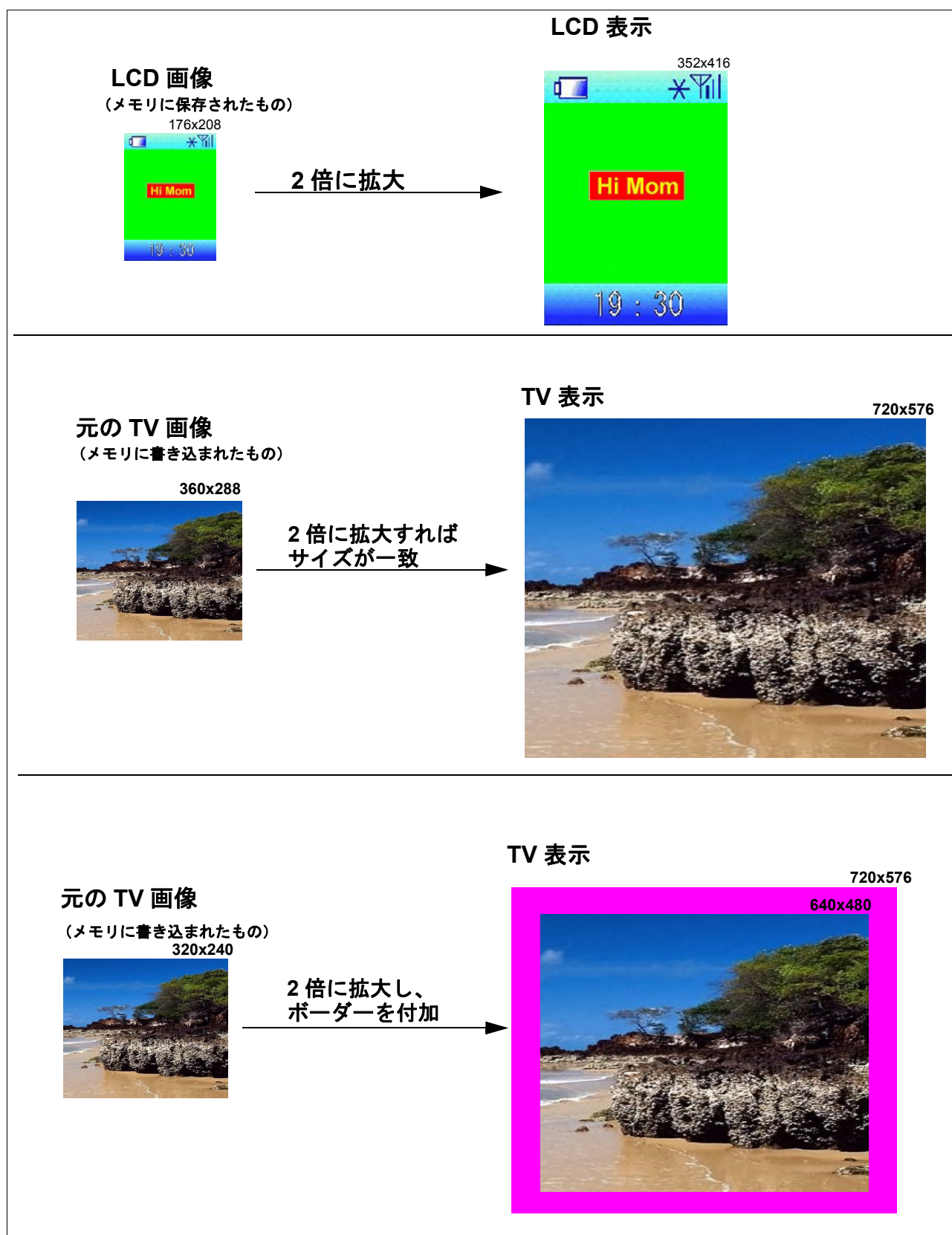
640 × 480、24bpp(900KB、シングルバッファ処理)



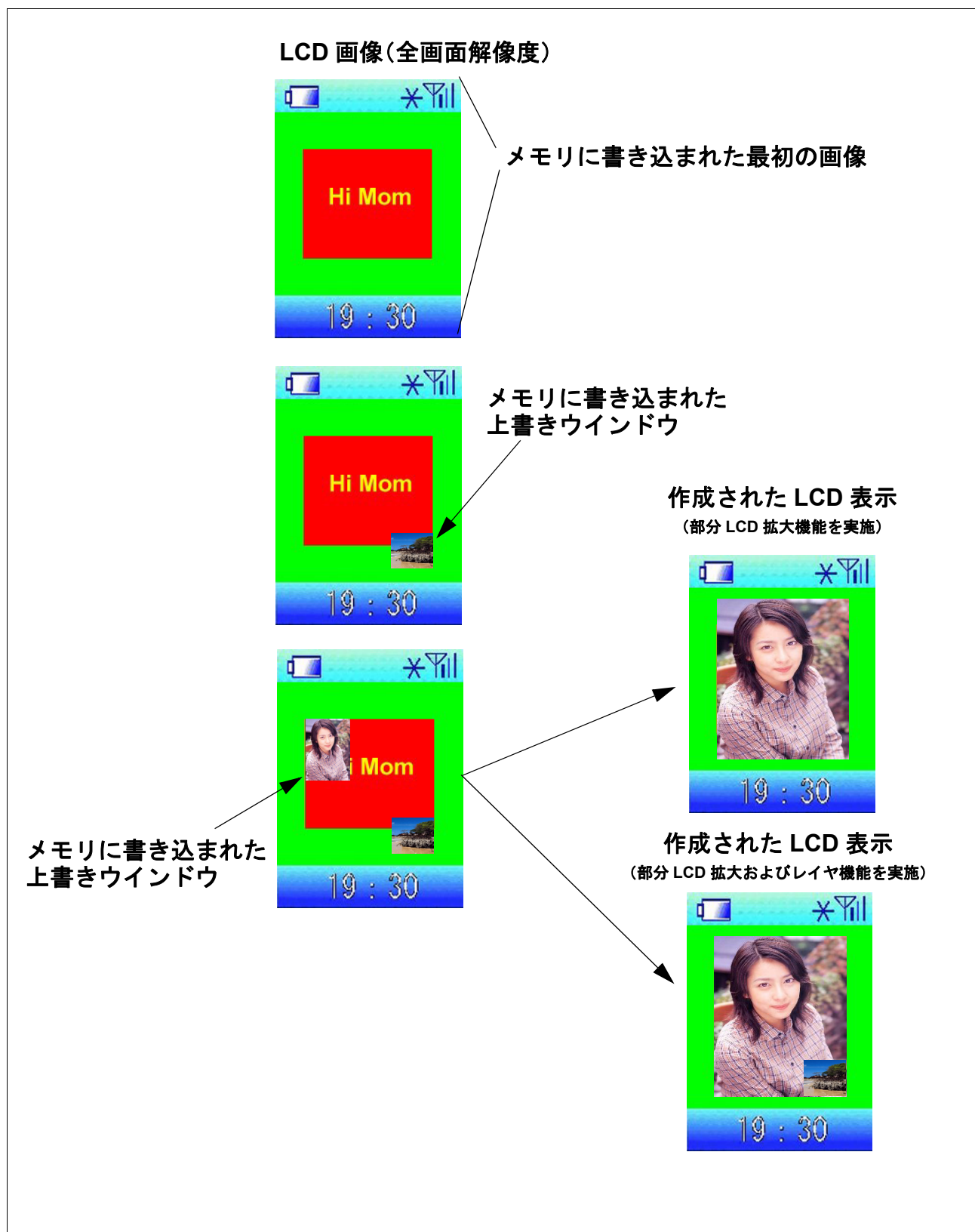
上書き

120 × 160、24bpp(112.5KB)

ダブルバッファ機能を用いた LCD ウィンドウ



## 2. 動作概要



---

## 3. 特長

### 3.1 内蔵フレームバッファ

- 1280KBのeDRAM表示バッファを内蔵
- フレームバッファは、TV側またはLCD側のいずれかのディスプレイパイプラインが使用できます。

### 3.2 CPUインタフェース

- 8/16ビットのIntel 80系インタフェース（表示またはレジスタのデータに使用）
- デバイスの選択にはチップセレクト信号を使用します。これが非アクティブの場合、入力データおよびコマンドは無視されます。詳細については、67ページの11.「レジスタ」をご覧ください。

### 3.3 入力データフォーマット

- RGB : 8:8:8、6:6:6、5:6:5
- YUV : 4:2:2、4:2:0

#### 注

すべての入力データは、使用する表示面およびメモリの空き容量に応じて適宜自動変換されて保存されます。LCD表示に用いるデータは、24bppのRGB形式で保存されます。TV表示に用いるデータは、YUV 4:2:2または4:2:0形式で保存されます。いずれを用いるかは、REG[60h]ビット7の値によって決まります。

### 3.4 LCD表示に関するサポート機能

- アクティブマトリックスTFTインタフェース
  - 18/24ビットインタフェース
  - サポートする最大解像度：  
856×480（24bpp） シングルバッファ使用時  
640×240（24bpp） ダブルバッファ使用時
  - フレームレート変更とディザリングにより、18ビットのLCD上で24bppをエミュレート
- HSSI（High-Speed Serial Interface）をサポート：1/2チャンネルではチャンネル当たり最高450Mbps、3チャンネルではチャンネル当たり最高650Mbps

### 3.5 TV表示に関するサポート機能

- コンポジット出力：PALとNTSCの両フォーマットに対応
- Sビデオ出力：PALとNTSCの両フォーマットに対応
- プログラム可能なクロミナンスフィルタと輝度フィルタ
- フリッカ防止フィルタ（3ライン）
- ワイドスクリーン信号をサポート（ITU-R BT.1119-2、ETSI EN 300 294、IEC 61880に準拠）
- クローズドキャプションをサポート（CEA-608-B）



## 3. 特長

---

### 3.6 表示モード

- 24ビット／ピクセル (bpp) の色深度

### 3.7 カラーマネジメントシステム (CMSサブシステム)

- Reverse Gamma 2.2 (ガンマ補正したデータの線形化に使用します)
- 3×3マトリックス
- 出力用ルックアップテーブル : 3×256×8ビット (ガンマ補正に使用します)

#### 注

CMSサブシステムの使用においては、すべての入力データがsRGB (Gamma 2.2) になることを前提にしています。

### 3.8 LCD表示機能

- 表示の全体更新または部分更新のためのすべてのディスプレイ書き込みは、ウインドウの開口ないし位置を用いて実行します。ウインドウの座標は、すべて表示画像の左上の角を原点とします (回転表示の場合も、左上の角は不変であり、転換は必要ありません)。
- SwivelView™により、表示画像に対して90°/180°/270°の左回りハードウェア回転が可能になります。すべての表示ウインドウは独立して回転できます。このモードを使用するのに特別なプログラミングは必要ありません。
- 「物理的な搭載方向オフセット」を使用すれば、実際の構成にかかわらず、LCDパネルの搭載方向が基準になります。
- 両方の表示面に対してダブルバッファ処理が可能であるため、ストリーミング入力の中にティアリングが発生しません。LCD表示には1280KBのメモリが使用できます。その場合、ダブルバッファ機能を使用できるのは、ウインドウサイズがこの量のメモリで対応できる大きさである場合に限られます。  
例 :  
640×480 (24bpp) のメインディスプレイ=900KB  
320×240 (24bpp) のディスプレイ、ダブルバッファ使用時=225KB
- 1つのウインドウが拡大できます。そのウインドウが背景画像を構成する場合は、すべての後続ウインドウにおいて背景画像と同じ拡大率が自動的に使用されます (これによって複数の拡大ウインドウが可能です)。拡大ウインドウが背景でなかった (上書きオーバーレイであった) 場合は1つの拡大ウインドウのみがサポートされます。このウインドウは、物理的なLCDパネルによって決まる最大サイズまで拡大できます。
- LCD入力データは各方向に0.5または0.25倍に縮小できます。このようにして縮小されるウインドウの数に制限はありません。
- xおよびy方向の倍率に対して独立した縦横比が使用できます。

### 3.9 TV表示機能

- 入力TV画像（メモリに保存されたもの）は、出力先の解像度（PALまたはNTSC）に合わせて自動的に拡大できます。
- ダブルバッファ処理が可能であるため、ストリーミング入力の最中にティアリングが発生しません。TV表示では、サポートされる解像度が表示バッファの全空き容量の1/2以下であることが必要です（代表的なサポート解像度：720×576（YUV 4:2:0）＝1215KB）。
- フルスクリーンのPAL入力データはNTSC出力に合うように自動的に縮小されます。
- 出力 TV 画像がフルスクリーンのサイズにスケーリングされていない場合は出力解像度に合わせて自動的にボーダーが付加されます。
  - プログラム可能なYUV 8:8:8のボーダーカラー
- プログラム可能な拡大縮小と位置
  - xおよびy方向の倍率に対して独立した縦横比が使用できます。
- プログラム可能なクロミナンスフィルタと輝度フィルタ
- フリッカ防止フィルタ（3ライン）
- ワイドスクリーン信号（WSS）をサポート
- クローズドキャプションをサポート
- テストパターン発生器

## 3. 特長

---

### 3.10 クロックソース

- プログラム可能な内部PLL
- 単一の27 MHz発振器入力：CLKI（CNF2によって決まります）  
または
- 2端子水晶発振子のサポート：OSCI、OSCO（CNF2によって決まります）

#### 注

上記の27 MHzクロックは、内部DDSロジックが適切なPALおよびNTSC出力タイミングを生成するために必要なものです。

- CLKIまたはOSCIはCLKOUTに使用できます(出力には個別のCLKOUTEN端子が対応します)
  - ディセーブルの場合、出力ステータス=0

### 3.11 その他

- ハードウェアおよびソフトウェアにおけるパワーセーブモード
  - パワーセーブモードをイネーブルないしディセーブルする入力端子
- 汎用入出力端子が用意されています（GPIO[7:0]）
  - 選択可能なGPIO端子に対応するINT端子
- パッケージ：161ピンのPFBGA（8mm×8mm）

## 4. 機能ブロック図

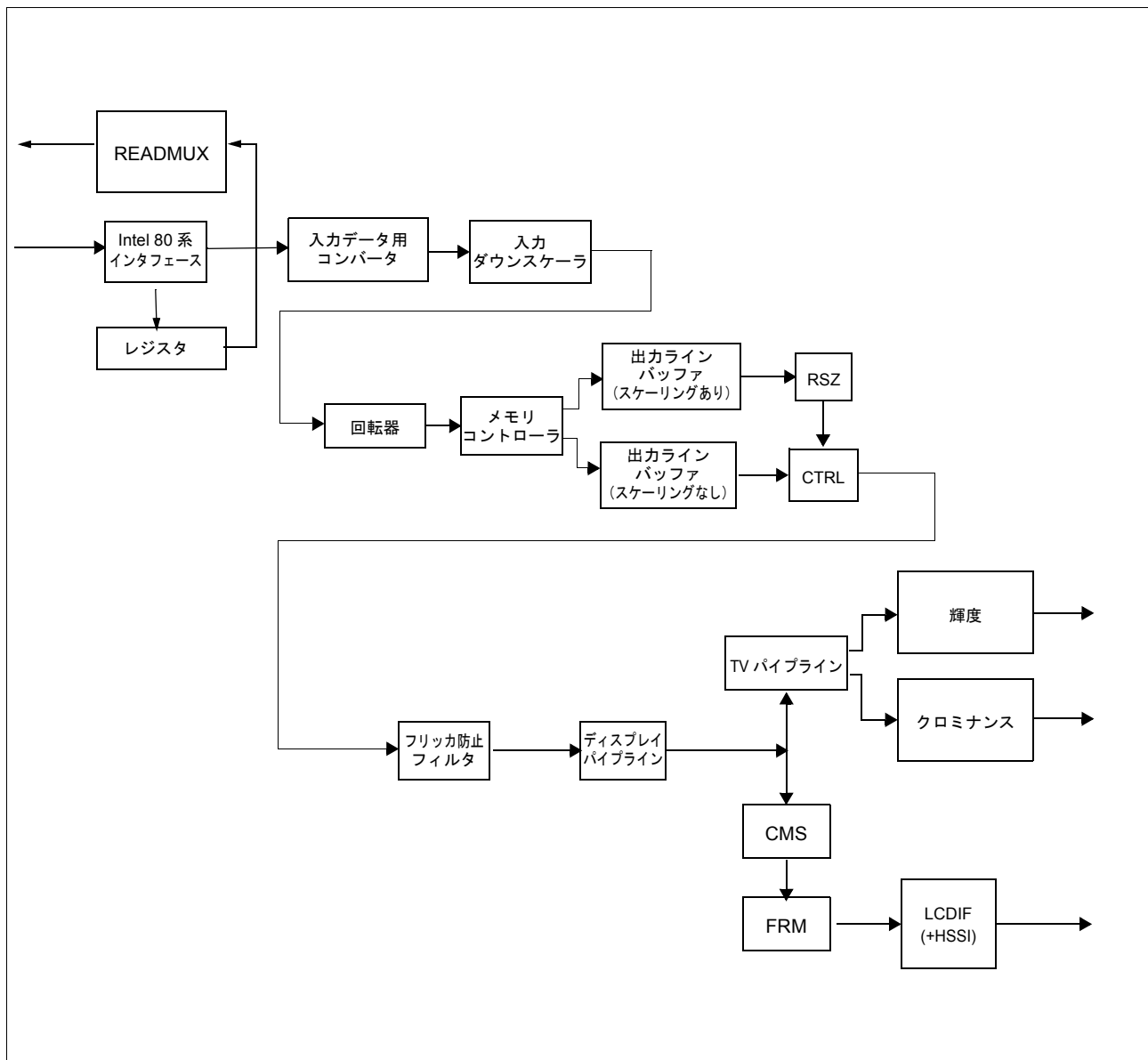


図4.1 S1D13745の機能ブロック図

5. 端子配置図

5. 端子配置図

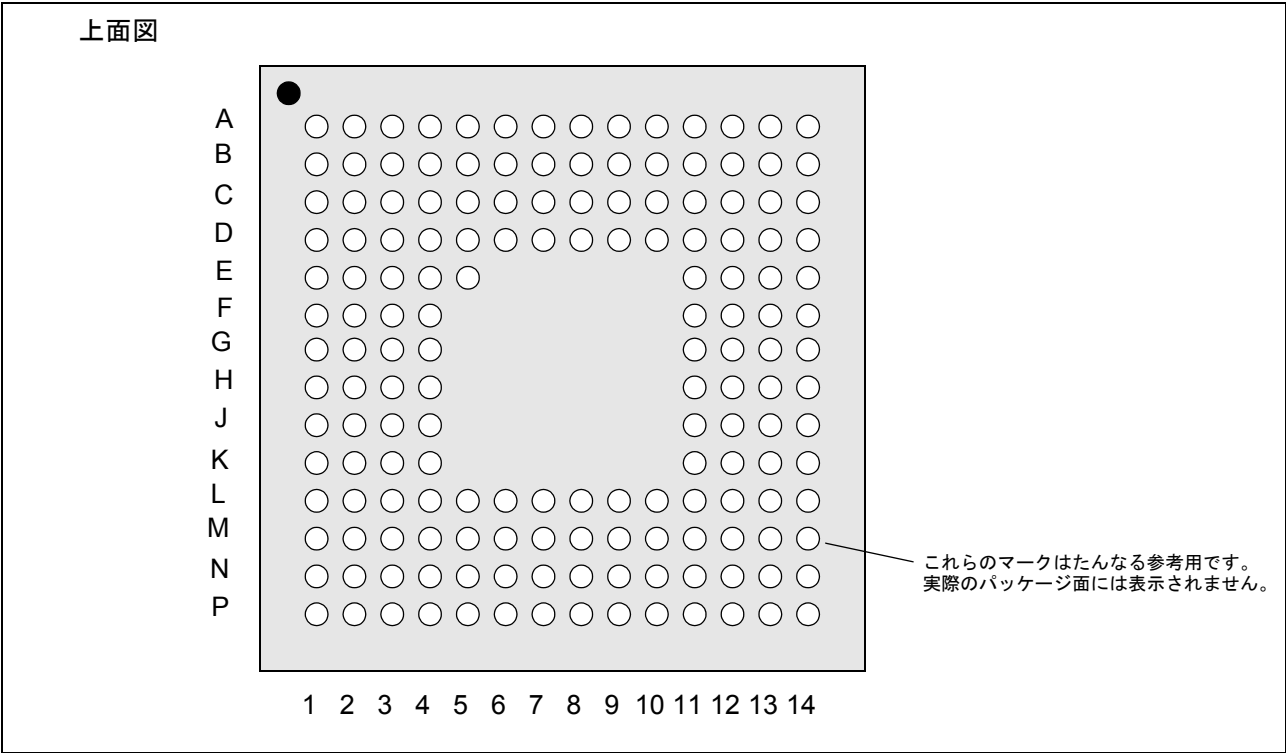


図5.1 S1D13745におけるPFBGA 161ピンの端子配置（上面図）

## 5. 端子配置図

A	NC	VSS	SAVSS	SD1P	SD1N	SCLKP	SCLKN	SD0P	SD0N	SAVSS	CNF1	CNF2	VSS	NC
B	VSS	CLKI	SD2P	SD2N	MD13	MD10	MD7	MD8	MD5	MD1	CNF0	DACSVDD	DACAVDD	COREVDD
C	PLP	IOVDD	PD#	MD14	MD15	MD6	MD9	MD12	MD11	MD0	PWRSVE	DACSVSS	DACAVSS	STVOUTN
D	PLPAV	CLKOUT	CLKOUTEN	COREVDD	VSS	SAVSS	MD2	MD3	MD4	VSS	IOVDD	TVBS	DACAVDD	STVOUT
E	OSCI	PLLSS	PLLVDD	SAVDD	VSS						DACSVDD	TVREF	TFSADJ	TVOUTN
F	OSCO	OSCVDD	SPVDD	SAVDD	DACSVSS						DACDVDD	DACAVSS	TVOUT	
G	PCLK	VS	SVCP	SAVSS	D/C#						DACDVSS	COREVDD	VSS	
H	VD0	DE	HS	SDVSS	CS#						WE#	RD#	VSS	
J	VD1	VD2	SDVDD	SDVSS	RESET#						IOVDD	COREVDD	GPIO6	
K	VD4	VD5	VD6	VD3						PIOVDD	GPIO3	GPIO5	GPIO7	
L	SCS#	SRESET	SDVDD	VD12	PIOVDD	COREVDD	SDVDD	SDVSS	VD17	VD21	VD22	TE	RRES	GPIO4
M	VSS	PIOVDD	VD13	VD14	VD9	STESTI	VD16	VD18	VD23	DRAMVCC	DRAMVCC	GPIO_INT	GPIO0	CRES
N	Reserved	STESTEN	VD8	VD10	STESTO	VSS	VD19	VD20	DRAMVDD	DRAMVSS	VSS	SCANEN	GPIO1	COREVDD
P	NC	Reserved	VD7	VD11	VD15	COREVDD	DRAMVSS	DRAMVSS	DRAMVDD	DRAMVSS	IOVDD	TESTEN	GPIO2	NC
	1	2	3	4	5	6	7	8	9	10	11	12	13	14

図5.2 S1D13745におけるPFBGA 161ピンの端子配置（上面図）

## 5. 端子配置図

### 5.1 端子説明

記号：

#### 端子タイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子
G	=	GND端子
AP	=	アナログ電源端子
AG	=	アナログGND端子

#### RESET#／パワーセーブ状態

H	=	高レベル出力
L	=	低レベル出力
1	=	プルアップ抵抗器の入力
0	=	プルダウン抵抗器の入力
Z	=	ハイインピーダンス（Hi-Z）

表5.1 セル説明

名称	説明
HI	H系（注1）、LVCMOS（注3）入力バッファ
HID	H系、LVCMOS入力バッファ。プルダウン抵抗器付き
HO	H系、LVCMOS出力バッファ（4mA/-4mA@1.8V）
HB	H系、LVCMOS双方向バッファ（8mA/-8mA@1.8V）
HBS	H系、LVCMOS双方向バッファ。シュミット入力あり
HBD	H系、LVCMOS双方向バッファ。プルダウン抵抗器付き
HB_DSEL	H系、LVCMOS双方向バッファ。ドライブセクタ付き（可変値@1.8V）：82ページの表11.14「LCDパネルデータの駆動」を参照）
LIDS	L系（注2）、LVCMOSシュミット入力バッファ。プルダウン抵抗器付き
LITR	L系トランスペアレント入力バッファ
AIBD	DAC用アナログ入力バッファ
AOBD	DAC用アナログ出力バッファ
AOBH	HSSI用アナログ出力バッファ
AIBP	PLL用アナログ入力バッファ
AOBP	PLL用アナログ出力バッファ
OIB	発振器入力バッファ
OOB	発振器出力バッファ

#### 注

1. H系はIOVDDとPIOVDDです（28ページの「DC特性」を参照）。
2. L系はCOREVDDです（28ページの「DC特性」を参照）。
3. LVCMOSは低電圧CMOSです（28ページの「DC特性」を参照）。

## 5.1.1 Intel 80系のホストインタフェース端子

表5.2 ホストインタフェースの端子説明

端子名	端子 タイプ	端子番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
MD[15:0]	IO	C5、C4、B5、 C8、C9、B6、 C7、B8、B7、 C6、B9、D9、 D8、D7、 B10、C10	HB	IOVDD	Z	Z	Intel 80系ホストインタフェースのデータ線です。 <b>注：</b> ホストデータ線はCNF0を使うことで入れ替え可能です（MD15=MD0）。詳しくは、25ページの5.2「コンフィギュレーションオプションの概要」をご覧ください。
WE#	I	H12	HI	IOVDD	—	—	この入力端子は、Intel 80系ホストインタフェースの書き込みイネーブル信号です。
RD#	I	H13	HI	IOVDD	—	—	この入力端子は、Intel 80系ホストインタフェースの読み出しイネーブル信号です。
CS#	I	H11	HI	IOVDD	—	—	この入力端子は、Intel 80系ホストインタフェースのチップセレクト信号です。
D/C#	I	G11	HI	IOVDD	—	—	この入力端子は、Intel 80系ホストインタフェースに対してアドレスかデータかを指定します。
TE	O	L12	HO	IOVDD	L	L	この出力はティアリング効果端子です。表示のVSYNC状態を反映します。ホストからの新規データ書き込みが問題なく行えることを表示する場合に使用できます。それによって画像のティアリングを防止します。181ページの24.「TE端子の説明」を参照。
GPIO_INT	O	M12	HO	IOVDD	L	Active	この端子は、GPIO端子が入力に設定されているときにそれらに対応する割り込み出力となります。GPIO割り込みが掛かると、この出力端子はHighに変わります。詳しくは、129ページの11.3.17「汎用IO端子レジスタ」のREG[Eeh]-REG[F8h]の説明を参照。
RESET#	I	J11	HI	IOVDD	—	—	このアクティブLow入力はすべての内部レジスタをデフォルト状態に設定したうえ、すべての信号を強制的に非アクティブ状態にします。最小Lowパルス幅は200nsです。
CRES	I	M14	HI	IOVDD	—	—	RESET#端子のノイズ除去に使用します。コンデンサを介してVSSに接続します。詳しくは、208ページの28.3「RESET#のグリッチ除去」を参照。使用しないときはCRESをVSSに接続します。
RRES	I	L13	HO	IOVDD	RESET#	RESET#	RESET#端子のノイズ除去に使用します。抵抗を介してCRES端子に接続します。詳しくは、208ページの28.3「RESET#のグリッチ除去」を参照。使用しないときはCRESを未接続のままとします。



## 5. 端子配置図

### 5.1.2 LCDインタフェース端子

#### 注

この端子を使用しないときは未接続としてください。

表5.3 LCDインタフェースの端子説明

端子名	端子 タイプ	端子番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
VD[23:0]	O	M9、L11、L10、 N8、N7、M8、 L9、M7、P5、 M4、M3、L4、 P4、N4、M5、 N3、P3、K3、 K2、K1、K4、 J2、J1、H1	HB_DSEL	PIOVDD	L	L	これらの出力端子はLCDインタフェースのパネルデータ線 23-0 です。パネルデータ線はREG[24h]ビット7 (VDデータ入れ替えビット) を使うことで入れ替えが可能です (VD23 = VD0)。  注：VD出力の駆動電流は、レジスタ設定によって0.7mAから8mAの間で選択できます。詳細は、82ページの「REG[28h] LCD Panel Configuration Register」のビット6-4の説明をご覧ください。
VS	IO	G2	HB	PIOVDD	L	L	この出力端子はLCDインタフェースの垂直同期パルスです。
HS	IO	H3	HB	PIOVDD	L	L	この出力端子はLCDインタフェースの水平同期パルスです。
PCLK	IO	G1	HB	PIOVDD	L	L	この出力端子はLCDインタフェースのデータクロックです。
DE	IO	H2	HB	PIOVDD	L	L	この出力端子はLCDインタフェースのデータイネーブル信号です。

#### 注

設定可能なIOドライブに対応するには、LCDインタフェースに対して個別の電源レール (PIOVDD) が必要です。詳しくは、25ページの5.2「コンフィギュレーションオプションの概要」のCNF2の説明をご覧ください。

## 5.1.3 高速LCDインタフェース（HSSI）端子

## 注

この端子を使用しないときは未接続としてください。

表5.4 高速LCDインタフェースの端子説明

端子名	端子 タイプ	端子番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
SCLKP	O	A6	AOBH (注1)	SAVDD	Z	Z	高速シリアルクロックチャネル（正）
SCLKN	O	A7	AOBH (注1)	SAVDD	Z	Z	高速シリアルクロックチャネル（負）
SD0P	O	A8	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル0（正）
SD0N	O	A9	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル0（負）
SD1P	O	A4	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル1（正）
SD1N	O	A5	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル1（負）
SD2P	O	B3	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル2（正）
SD2N	O	B4	AOBH (注1)	SAVDD	Z	Z	高速シリアルデータチャネル2（負）

## 注

1. HSSIに対する出力電圧はSAVDDから供給されますが、出力範囲は異なります。詳しくは、51ページの8.7「HSSIのACタイミング」をご覧ください。

## 5. 端子配置図

### 5.1.4 TVインタフェース端子

#### 注

この端子を使用しないときは未接続としてください。

表5.5 TVインタフェースの端子説明

端子名	端子 タイプ	端子番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
TVOUT	O	F14	AOBD	DACAVDD (注1)	L	L	コンポジットのNTSC/PALまたはSビデオの輝度に関するアナログ出力です。207ページの28.1「DACの外部素子」をご覧ください。
STVOUT	O	D14	AOBD	DACAVDD (注1)	L	L	この端子は、Sビデオのクロミナンスに関するアナログ出力です。207ページの28.1「DACの外部素子」を参照。
TVOUTN	O	E14	AOBD	DACAVDD (注1)	L	L	DACAVSS に接続します。207 ページの 28.1「DACの外部素子」参照。
STVOUTN	O	C14	AOBD	DACAVDD (注1)	L	L	DACAVSS に接続します。207 ページの 28.1「DACの外部素子」参照。
TVREF	IO	E12	AIBD	DACAVDD	—	—	この基準電圧に対してノイズ除去を行うには、この端子とDACAVSSの間に0.1μFのコンデンサを接続することが必要です。207ページの28.1「DACの外部素子」参照。
TFSADJ	I	E13	AIBD	DACAVDD	—	—	フルスケール調節制御です。430Ωの抵抗を介してDACAVSSに接続します。ノイズ除去を行うには、この端子とDACAVSSの間に0.1μFのコンデンサを接続することが必要です。207ページの28.1「DACの外部素子」参照。
TVBS	I	D12	AIBD	DACAVDD	—	—	DAC電流調節バイアスのノイズ除去です。ノイズ除去を行うには、この端子とDACAVSSの間に0.1μFのコンデンサを接続することが必要です。207ページの28.1「DACの外部素子」参照。

#### 注

1. DACに対する出力電圧はDACVDDから供給されますが、出力範囲は最低0.0Vから最大1.44Vの範囲に限定されます。

## 5.1.5 クロック端子

表5.6 クロック入力の端子説明

端子名	端子 タイプ	端子 番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
CLKI	I	B2	HI	IOVDD	—	—	CNF2=0のときにクロック入力になります。CNF2=1のとき、この端子はVSSに接続します。クロック構成については、61ページの9.「クロック」をご覧ください。
CLKOUT	O	D2	HO	IOVDD	—	—	CLKOUTEN端子によってイネーブルになっている場合、この出力端子はCLKI端子またはOCSx端子のいずれかの周波数を反映します。ディセーブルのとき、この端子の出力はLowになります。 注: この出力端子は各種パワーセーブモードに影響されません。
CLKOUTEN	I	D3	HI	IOVDD	—	—	この端子はCLKOUT端子をイネーブルまたはディセーブルします。
OSCO	O	F1	OOB	OIOVDD	—	—	CNF2=1のとき、この端子はOCSIとともに2端子水晶インタフェースになります。 内部発振器が使用されないとき、またはCNF2=0のとき、この端子は未接続のままにします。
OSCI	I	E1	OIB	OIOVDD	—	—	CNF2=1のとき、この端子はOCSOとともに2端子水晶インタフェースになります。 内部発振器が使用されないとき、またはCNF2=0のとき、この端子はOSCVDDに接続するか、または未接続のままにします。

## 5. 端子配置図

### 5.1.6 その他の端子

#### 注

NCと記載した端子はすべて未接続のままにします。

表5.7 その他の端子の説明

端子名	端子 タイプ	端子 番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
CNF[2:0]	I	A12、A11、 B11	HI	IOVDD	—	—	これらの入力端子は電源投入時の設定に使用します。 詳しくは、25ページの5.2「コンフィギュレーション オプションの概要」をご覧ください。  注：これらの端子はIOVDDまたはVSSに直接接続し てください。
GPIO[7:0]	IO	K14、J14、 K13、L14、 K12、P13、 N13、M13	HBD	IOVDD	0	Active	汎用 IO 端子です。内蔵されるプルダウン抵抗は REG[F8h]を用いて制御できます。
PWRSVE	I	C11	HID	IOVDD	0	—	この端子（アクティブHigh）は、スタンバイモードま たはスリープモードを有効にします。 PWRSVE=0：通常動作です。 PWRSVE=1：SLEEPまたはSTANDBYが有効です (REG[E6h]ビット7によって決まります)。  この端子はプルダウン抵抗を内蔵しています。
PD#	I	C3	HI	IOVDD	—	—	バスホールドのイネーブルです。 PD#=0のとき、IO端子は「ホールド」モードになり、 漏れが防止されます。 PD#=1のとき、IO端子は通常に動作します。 192ページの26.「S1D13745の電源関連シーケンス」 参照。
TESTEN	I	P12	HID	IOVDD	0	—	製造試験専用のテストイネーブル入力です。通常運用 時はこの端子を未接続のままとします。
SCANEN	I	N12	HID	IOVDD	—	—	製造試験専用のスキャンイネーブル入力です。通常運 用時はこの端子を未接続のままとします。
STESTEN	I	N2	HID	SDVDD	—	—	製造試験専用のHSSI用テストイネーブル入力です。 通常運用時はこの端子を未接続のままとします。
SCS#	O	L1	HO	SDVDD	H	H	HSSI用の試験機能で、製造試験専用です。通常運用 時はこの端子を未接続のままとします。
SRESET	O	L2	HO	SDVDD	H	H	HSSI用の試験機能で、製造試験専用です。通常運用 時はこの端子を未接続のままとします。
SVCP	I	G3	LITR	SPVDD	—	—	HSSI用の試験機能で、製造試験専用です。通常運用 時はこの端子を未接続のままとします。
STESTI	I	M6	HID	SDVDD	—	—	HSSI用の試験機能で、製造試験専用です。通常運用 時はこの端子を未接続のままとします。

表5.7 その他の端子の説明（続き）

端子名	端子 タイプ	端子 番号	セル	電源	RESET# 状態	パワー セーブ 状態	説明
STESTO	O	N5	HO	SDVDD	—	—	HSSI用の試験機能で、製造試験専用です。通常運用時はこの端子を未接続のままとします。
PLP	O	C1	AOBP	PLLVDD	—	—	PLLのチャージポンプ回路に対する出力ノードです。ローパスフィルタに接続します。62ページの9.2「PLLの機能ブロック図」参照。
PLPAV	I	D1	AIBP	PLLVDD	—	—	ローパスフィルタに対するアナログ電源です。ローパスフィルタに接続します。62ページの9.2「PLLの機能ブロック図」参照。
Reserved	—	N1、P2	—	—	—	—	予約端子であり、通常運用時は未接続のままとします。

## 5. 端子配置図

### 5.1.7 電源とグラウンド端子

表5.8 電源とグラウンドの端子説明

端子名	端子タイプ	端子番号	セル	説明
COREVDD	P	B14、D4、G13 J13、L6、N14、P6	P	コア電源です。
IOVDD	P	C2、D11、J12、 P11	P	ホストインタフェースに対するIO電源です。
OSCVDD	P	F2	P	発振器に対するIO電源です（2.5V）。
PIOVDD	P	K11、L5、M2	P	パネルインタフェースに対するIO電源です。
VSS	G	A2、A13、B1、 D5、D10、E5、 G14、H14、M1、 N6、N11	P	GND端子です。
DRAMVDD	P	N9、P9	P	DRAMの1.5Vコア電源です。
DRAMVCC	P	M10、M11	P	DRAMの2.5Vインタフェース電源です。
DRAMVSS	G	N10、P7、P8、 P10	P	DRAMのGNDです。
PLLVD	AP	E3	P	PLL電源です。
PLLVS	AG	E2	P	PLL用のGNDです。
SAVDD	AP	E4、F4	P	HSSIのアナログ電源です。
SAVSS	AG	A3、A10、D6、G4	P	HSSIのアナログ用GNDです。
SPVDD	AP	F3	P	HSSIのPLL電源です。
SDVDD	P	J3、L3、L7	P	HSSIのデジタル電源です。
SDVSS	G	H4、J4、L8	P	HSSIのデジタル用GNDです。
DACAVDD	AP	B13、D13	P	DACのアナログ電源です。 本品にはDACが2つ内蔵されています。コンポジットビデオ出力には1つで足りませんが、Sビデオには両方が必要です。 <b>注：</b> B13番端子はSTVOUTとSTVOUTNの端子に使用されます。Sビデオを使用しないときは未接続のままとします。
DACAVSS	AG	C13、F13	P	DACのアナログ用GNDです。
DACDVDD	P	F12	P	DACのデジタル電源です。
DACDVSS	G	G12	P	DACのデジタル用GNDです。
DACSVDD	P	B12、E11	P	DACのスイッチング電源です。 本品にはDACが2つ内蔵されています。コンポジットビデオ出力には1つで足りませんが、Sビデオには両方が必要です。 <b>注：</b> B12番端子はSTVOUTとSTVOUTNの端子に使用されます。Sビデオを使用しないときは未接続のままとします。
DACSVSS	G	C12、F11	P	DACのスイッチング用GNDです。

## 5.2 コンフィギュレーションオプションの概要

このタイプの端子は電源投入時の設定に使用します。IOV<sub>DD</sub>またはV<sub>SS</sub>に直接接続する必要があります。CNFの設定内容は即時に適用されるためリセットは不要です。端子の状態はREG[02h]で「CNF[2:0]ステータスビット」を使って読み出せます。

表5.9 パワーオンとリセットのオプションのまとめ

設定用入力	パワーオン/リセット時の状態	
	1 (IOV <sub>DD</sub> に接続)	0 (V <sub>SS</sub> に接続)
CNF0	ホストデータ線はノーマルです。 CNF1=1のとき、MD15=データビット15など CNF1=0のとき、MD7=データビット7など	ホストデータ線は入れ替わります。 CNF1=1のとき、MD15=データビット0など CNF1=0のとき、MD7=データビット0など
CNF1	ホストデータは16ビットです。	ホストデータは8ビットです。
CNF2	入力クロックに2端子水晶発振子 (OSCI端子、OSCO端子)を使用します。	入力クロックに発振器 (CLKI端子)を使用します。

### 注

CNF1=0のとき、すべてのレジスタアクセスが8ビットのみになります。  
CNF1=1 (16ビット) のとき、Memory Data Portレジスタを除くすべてのレジスタアクセスが8ビットのみになります (データバスの最上位バイトは無視されます)。Memory Data Portレジスタに対するアクセスは16ビットです。



## 6. 端子割り付け

## 6. 端子割り付け

### 6.1 Intel 80系のデータ端子

Intel 80系のデータ端子割り付けはCNF[1:0]によって決まります。CNF[1:0]については、25ページの5.2「コンフィギュレーションオプションの概要」をご覧ください。

表6.1 Intel 80系のデータ端子割り付け

端子名	16ビットデータ 入れ替えなし (CNF1=1、CNF0=1)	16ビットデータ 入れ替えあり (CNF1=1、CNF0=0)	8ビットデータ 入れ替えなし (CNF1=0、CNF0=1)	8ビットデータ 入れ替えあり (CNF1=0、CNF0=0)
MD15	MD15	MD0	Hi-Z	Hi-Z
・ ・ ・	・ ・ ・	・ ・ ・		
MD8	MD8	MD7		
MD7	MD7	MD8	MD7	MD0
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
MD0	MD0	MD15	MD0	MD7

## 6.2 LCDインタフェースのデータ端子

LCDインタフェースのデータ端子割り付けはREG[28h]ビット7によって決まります。

**表6.2 LCDインタフェースのデータ端子割り付け（24ビットパネル）**

端子名	24ビットデータ 入れ替えなし REG[28h]ビット7=0	24ビットデータ 入れ替えあり REG[28h]ビット7=1
VD23	VD23	VD0
・	・	・
・	・	・
・	・	・
VD18	VD18	VD5
VD17	VD17	VD6
・	・	・
・	・	・
・	・	・
VD0	VD0	VD23

**表6.3 LCDインタフェースのデータ端子割り付け（18ビットパネル）**

端子名	18ビットデータ 入れ替えなし REG[28h]ビット7=0	18ビットデータ 入れ替えあり REG[28h]ビット7=1
VD23	Hi-Z	Hi-Z
・		
・		
・		
VD18	VD17	VD0
VD17		
・		
・	・	・
・	・	・
・	・	・
VD0	VD0	VD17

## 7. DC特性

## 7. DC特性

### 7.1 絶対最大定格

表7.1 絶対最大定格

記号	パラメータ	定格値	単位
COREVDD	コア電源電圧	-0.3 ~ 3.0	V
DRAMVDD	DRAMの電源電圧	-0.3 ~ 3.0	V
DRAMVCC	DRAMの電源電圧	-0.3 ~ 3.5	V
PLLVDD	PLLの電源電圧 (アナログ)	-0.3 ~ 3.0	V
DACAVDD	DACのアナログ電源電圧	-0.3 ~ 3.5	V
DACDVDD	DACのデジタル電源電圧	-0.3 ~ 3.5	V
DACSVDD	DACのスイッチング電源電圧	-0.3 ~ 3.5	V
SDVDD	シリアルインタフェースのデジタル電源電圧	-0.3 ~ 2.5	V
SAVDD	シリアルインタフェースのアナログ電源電圧	-0.3 ~ 2.5	V
SPVDD	シリアルインタフェースのPLL電源電圧 (アナログ)	-0.3 ~ 2.5	V
IOVDD	ホストIOの電源電圧	-0.3 ~ 2.5	V
OSCVDD	内部発振器の電源電圧	-0.3 ~ 3.5	V
PIOVDD	パネルIOの電源電圧	-0.3 ~ 2.5	V
V <sub>IN</sub>	入力信号電圧	-0.3 ~ IOVDD + 0.3	V
I <sub>IN</sub>	入力信号電流	±10	mA
V <sub>OUT_IO</sub>	デジタル出力信号電圧	-0.3 ~ IOVDD/PIOVDD + 0.3	V
I <sub>OUT_IO</sub>	デジタル出力信号電流	±30	mA
I <sub>OUT_DAC</sub>	DACの出力信号電流 (2つのDACに基づく)	±80	mA
V <sub>OUT_HSSI</sub>	シリアルインタフェースの出力信号電圧	-0.3 ~ SAVDD + 0.5	V
I <sub>OUT_HSSI</sub>	シリアルインタフェースの出力信号電流	±10	mA

## 7.2 推奨動作条件

表7.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
COREVDD	コア電源電圧	VSS = 0V	1.40	1.50	1.60	V
DRAMVDD	DRAMの電源電圧	DRAMVSS = 0V	1.40	1.50	1.60	V
DRAMVCC	DRAMの電源電圧	DRAMVSS = 0V	2.30	2.50	2.70	V
PLLVD	PLLの電源電圧 (アナログ)	PLLVSS = 0V	1.40	1.50	1.60	V
DACAVDD	DACのアナログ電源電圧	DACAVSS = 0V	2.30	2.50	2.70	V
DACDVDD	DACのデジタル電源電圧	DACDVSS = 0V	2.30	2.50	2.70	V
DACSVDD	DACのスイッチング電源電圧	DACSVSS = 0V	2.30	2.50	2.70	V
SDVDD	シリアルインタフェースのデジタル電源電圧	SDVSS = 0V	1.65	1.80	1.95	V
SAVDD	シリアルインタフェースのアナログ電源電圧	SAVSS = 0V	1.65	1.80	1.95	V
SPVDD	シリアルインタフェースのPLL電源電圧 (アナログ)	SAVSS = 0V	1.65	1.80	1.95	V
IOVDD	ホストIOの電源電圧	VSS = 0V	1.65	1.80	1.95	V
OSCVDD	内部発振器の電源電圧	VSS = 0V	2.30	2.50	2.70	V
PIOVDD	パネルIOの電源電圧	VSS = 0V	1.65	1.80	1.95	V
V <sub>IN</sub>	入力電圧	—	VSS	—	IOVDD	V
T <sub>OPR</sub>	動作温度	—	-30	25	85	°C

## 注

電源のシーケンスについては192ページの26.「S1D13745の電源関連シーケンス」をご覧ください。

## 7. DC特性

### 7.3 電気的特性

以下に示す特性は次の条件における値です。

COREVDD、DRAMVDD、DRAMVCC、PLLVD、DACVDD、SVDD、IOVDD、OSCVDD、PIOVDD＝標準値、VSS＝0V、TOPR＝-20～85℃（標準値＝25℃）

表7.3 電気的特性

記号	パラメータ	条件	Min	Typ	Max	単位
I <sub>QCORE</sub>	コア静止電流	静止電流条件	—	9.1	383.3	μA
I <sub>QPLL</sub>	PLLの静止電流	静止電流条件	—	1.2	16.3	μA
I <sub>QDRAMVCC</sub>	DRAMVCCの静止電流	静止電流条件	—	1.8	7.9	μA
I <sub>QDRAMVDD</sub>	DRAMVDDの静止電流	静止電流条件	—	3.9	72.9	μA
I <sub>Q(IO+PIO+OSC)</sub>	IOVDD+PIOVDD+OSCVDDの静止電流	静止電流条件	—	0.1	34.8	μA
I <sub>QSVDD</sub>	SVDDの静止電流	静止電流条件	—	2.5	300.0	μA
I <sub>QDAC</sub>	DACVDDの静止電流	静止電流条件	—	2.2	15.7	μA
I <sub>PLL</sub>	PLL電流	f <sub>PLL</sub> ＝75MHz (f <sub>VCO</sub> ＝150MHz)	—	—	4.0	mA
I <sub>IZ</sub>	入力リーク電流	VIN＝VDDまたは VIN＝VSS	-10	—	10	μA
I <sub>OZ</sub>	出力リーク電流	VOUT＝VDDまたは VOUT＝VSS	-10	—	10	μA
I <sub>TZ_IO</sub>	IOVDDの全リーク電流	VOUT＝IOVDDまたは VOUT＝VSS	—	0.18	53.43	μA
I <sub>TZ_PIO</sub>	PIOVDDの全リーク電流	VOUT＝PIOVDDまたは VOUT＝VSS	—	0.13	37.27	μA
I <sub>TZ_HSSI</sub>	SVDDの全リーク電流	VOUT＝SVDDまたは VOUT＝VSS	—	0.05	14.91	μA
I <sub>TZ_DAC</sub>	DACVDDの全リーク電流	VOUT＝DACVDDまたは VOUT＝VSS	—	0.03	8.7	μA
I <sub>TZ_OSC</sub>	OSCVDDの全リーク電流	VOUT＝OSCVDDまたは VOUT＝VSS	—	0.01	2.48	μA
I <sub>TZ_PLL</sub>	PLLVDの全リーク電流	VOUT＝PLLVDまたは VOUT＝VSS	—	0.01	2.48	μA
I <sub>CORE</sub>	標準コア電流（LCD側）（注1）	800×480 TFTパネル PCLK＝20MHz、 SYSCLK＝80MHz	—	12.8	—	mA
I <sub>PLL</sub>	標準PLL電流（LCD側）（注1）	800×480 TFTパネル PCLK＝20MHz、 SYSCLK＝80MHz	—	2.0	—	mA
I <sub>DRAMVCC</sub>	DRAMVCCの標準電流 （LCD側）（注1）	800×480 TFTパネル PCLK＝20MHz、 SYSCLK＝80MHz	—	0.7	—	mA
I <sub>DRAMVDD</sub>	DRAMVDDの標準電流 （LCD側）（注1）	800×480 TFTパネル PCLK＝20MHz、 SYSCLK＝80MHz	—	1.6	—	mA
I <sub>IO</sub>	IOVDDの標準電流（LCD側） （注1）	800×480 TFTパネル PCLK＝20MHz、 SYSCLK＝80MHz	—	0.4	—	mA

表7.3 電気的特性（続き）

記号	パラメータ	条件	Min	Typ	Max	単位
$I_{PIO}$	PIOVDDの標準電流（LCD側） （注1）	800×480 TFTパネル PCLK=20MHz、 SYSCLK=80MHz	—	2.6	—	mA
$I_{SVDD}$	シリアル（HSSI） トランスミッタの標準電流 （LCD側）（注1）	800×480 TFTパネル PCLK=20MHz、 SYSCLK=80MHz'	—	16.6	—	mA
$I_{DAC}$	DACVDDの標準電流（LCD側） （注1）	800×480 TFTパネル PCLK=20MHz、 SYSCLK=80MHz	—	0	—	mA
$I_{OSC}$	OSCVDDの標準電流（LCD側） （注1）	800×480 TFTパネル PCLK=20MHz、 SYSCLK=80MHz	—	2.9	—	mA
$I_{CORE}$	標準コア電流（TV側）（注2）	625 PAL BDGHI Sony PVM14L	—	15.1	—	mA
$I_{PLL}$	標準PLL電流（TV側）（注2）	625 PAL BDGHI Sony PVM14L	—	2.0	—	mA
$I_{DRAMVCC}$	DRAMVCCの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L	—	0.4	—	mA
$I_{DRAMVDD}$	DRAMVDDの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L	—	1.0	—	mA
$I_{IO}$	IOVDDの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L	—	0.4	—	mA
$I_{PIO}$	PIOVDDの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L	—	0	—	mA
$I_{SVDD}$	シリアル（HSSI） トランスミッタの標準電流 （TV側）（注2）	625 PAL BDGHI Sony PVM14L	—	0	—	mA
$I_{DAC}$	DACVDDの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L （コンボジット）	—	42.7	—	mA
$I_{OSC}$	OSCVDDの標準電流（TV側） （注2）	625 PAL BDGHI Sony PVM14L	—	2.9	—	mA
$IOV_{OH1}$	高レベル出力電圧	IOVDD=min IOH=-4mA	$IOVDD \times 0.8$	—	—	V
$IOV_{OH2}$	高レベル出力電圧	IOVDD=min IOH=-8mA	$IOVDD \times 0.8$	—	—	V
$PIOV_{OH1}$	高レベル出力電圧	PIOVDD=min IOH=（注4）	$PIOVDD \times 0.8$	—	—	V
$PIOV_{OH2}$	高レベル出力電圧	PIOVDD=min IOH=-8mA	$PIOVDD \times 0.8$	—	—	V
$IOV_{OL1}$	低レベル出力電圧	IOVDD=min IOH=4mA	—	—	$IOVDD \times 0.2$	V
$IOV_{OL2}$	低レベル出力電圧	IOVDD=min IOH=8mA	—	—	$IOVDD \times 0.2$	V
$PIOV_{OL1}$	低レベル出力電圧	PIOVDD=min IOH=（注3）	—	—	$PIOVDD \times 0.2$	V
$PIOV_{OL2}$	低レベル出力電圧	PIOVDD=min IOH=8mA	—	—	$PIOVDD \times 0.2$	V
$IOV_{IH}$	高レベル入力電圧	CMOS入力	$IOVDD \times 0.7$	—	—	V

## 7. DC特性

表7.3 電気的特性（続き）

記号	パラメータ	条件	Min	Typ	Max	単位
PIOV <sub>IH</sub>	高レベル入力電圧	CMOS入力	PIOVDD × 0.7	—	—	V
IOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	IOVDD × 0.3	V
PIOV <sub>IL</sub>	低レベル入力電圧	CMOS入力	—	—	PIOVDD × 0.3	V
R <sub>PU</sub>	プルアップ抵抗	V <sub>I</sub> =V <sub>SS</sub>	20	—	210	kΩ
R <sub>PD</sub>	プルダウン抵抗	V <sub>I</sub> =V <sub>DD</sub>	20	—	210	kΩ
C <sub>IO</sub>	端子の静電容量	f=1MHz、V <sub>DD</sub> =0V	—	3.8	—	pF

### 注

1. 標準消費電力：LCDのみ  
800×480、18ビットTFT、PCLK=20MHz、SYSCLK=80MHz、Intel 80系  
ホストバス=空き。データのメモリ格納後は回転を行っても消費電流に影響しません。  
この例ではオーバーレイを無効にしています。
2. 標準消費電力：TVのみ  
720×576、コンポジット出力、PAL。  
データのメモリ格納後は回転を行っても消費電流に影響しません。  
この例ではオーバーレイを無効にしています。
3. IOHについては、82ページの表11.14「LCDパネルデータの駆動」をご覧ください。

## 7.4 DACの特性

以下に示す特性は次の条件における値です。

DACVDD=2.3~2.7V、VSS=PLLVSS=OSCVSS=DACVSS=0V、T<sub>OPR</sub>=-30~85°C、R<sub>L</sub>=  
37.5Ω、C<sub>L</sub>=30pF、TFSADJ=430Ω、VREF=開放。

表7.4 DACの特性

記号	パラメータ	条件	Min	Typ	Max	単位
—	最小出力電圧	ゼロスケール	0.00	—	0.002	V
—	最大出力電圧	フルスケール	1.19	1.34	1.51	V

## 8. AC特性

### 8.1 クロックタイミング

#### 8.1.1 内部発振器によるクロック

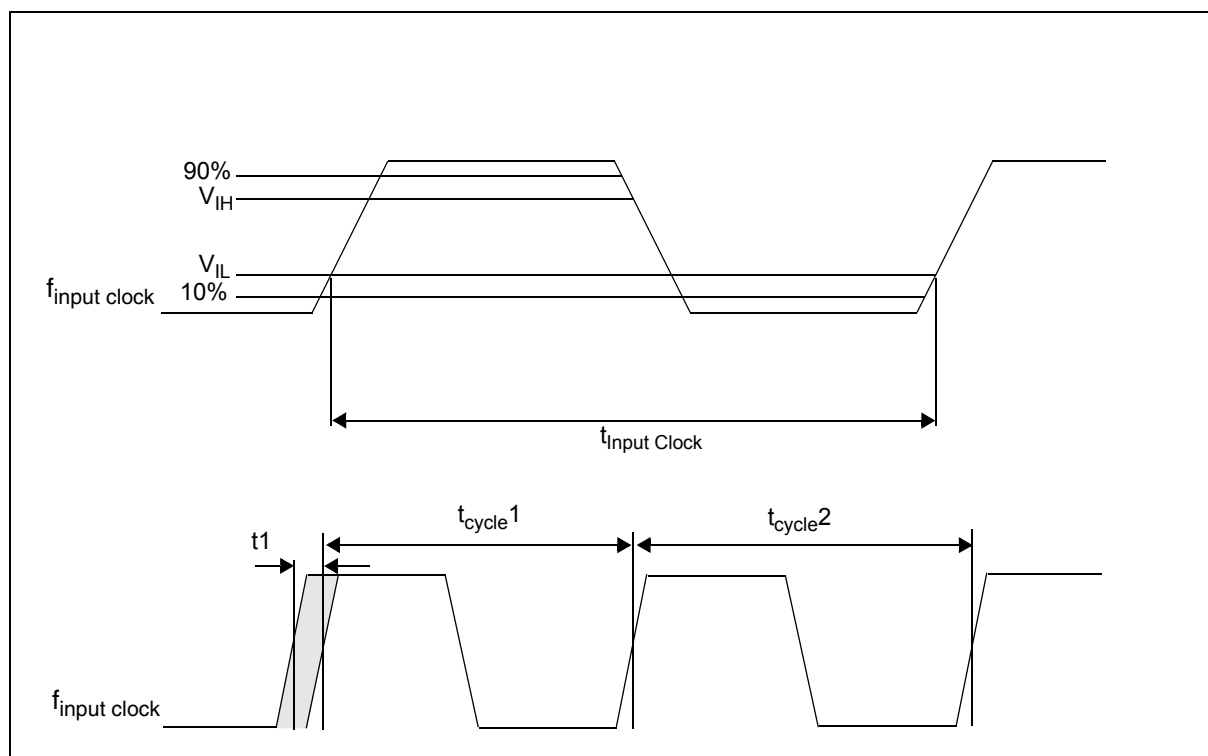


図8.1 OSCクロック用内部発振器出力の必要条件



## 8. AC特性

表8.1 OSCクロック用内部発振器出力の必要条件

記号	パラメータ	Min	Typ	Max	単位
$f_{\text{input clock}}$	入力クロック周波数	20	27	40	MHz
$t_{\text{input clock}}$	入力クロック周期	—	$1/f_{\text{input clock}}$	—	$\mu\text{s}$
$t_1$ (注2)	入力クロックの周期ジッタ (注4、注6)	-400	—	400	ps
$t_2$ (注2、注3)	入力クロックのサイクルジッタ (注5、注6)	-400	—	400	ps

### 注

1. 入力クロックのソースは2端子水晶発振子 (OSCI、OSCO) です。
2.  $t_1$ と $t_2$ はPLL入力に対する必要条件です。PLLを使用しない場合は必要ありません。
3.  $t_2 = t_{\text{cycle}1} - t_{\text{cycle}2}$
4. 入力クロックの周期ジッタとは、クロックセンター (中心周波数の逆数) からのずれのことです。
5. 入力クロックのサイクルジッタとは、隣り合うサイクルの周期の差です。
6. ジッタ特性は、 $t_1$ と $t_2$ の両方の特性を満たすことが必要です。

## 8.1.2 CLKI入力によるクロック

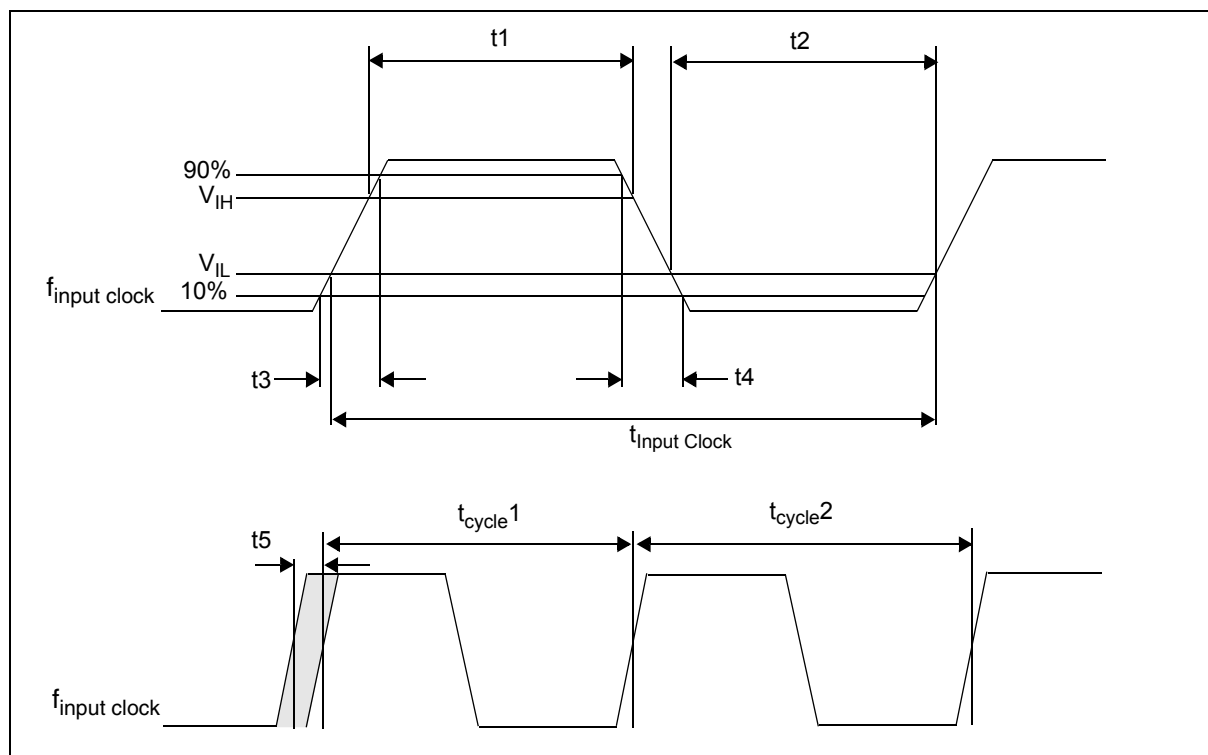


図8.2 CLKI入力の必要条件

## 8. AC特性

表8.2 CLKI入力の必要条件

記号	パラメータ	Min	Typ	Max	単位
$f_{\text{input clock}}$	入力クロック周波数	1	27	32	MHz
$t_{\text{input clock}}$	入力クロック周期	—	$1/f_{\text{input clock}}$	—	$\mu\text{s}$
$t_1$	入力クロックのHighパルス幅	$0.4t_{\text{input clock}}$	—	$0.6t_{\text{input clock}}$	$\mu\text{s}$
$t_2$	入力クロックのLowパルス幅	$0.4t_{\text{input clock}}$	—	$0.6t_{\text{input clock}}$	$\mu\text{s}$
$t_3$	入力クロックの立ち上がり時間 (10%~90%)	—	—	5.0	ns
$t_4$	入力クロックの立ち下がり時間 (90%~10%)	—	—	5.0	ns
$t_5$ (注2)	入力クロックの周期ジッタ (注5、注7)	-400	—	400	ps
$t_6$ (注2、注3)	入力クロックのサイクルジッタ (注6、注7)	-400	—	400	ps

### 注

1. 入力クロックのソースは外部発振器 (CLKI) です。
2.  $t_5$ と $t_6$ はPLL入力に対する必要条件です。PLLを使用しない場合は必要ありません。
3.  $t_6 = t_{\text{cycle}1} - t_{\text{cycle}2}$
4. 入力デューティサイクルはそれほど重要ではなく、40/60が可能です。
5. 入力クロックの周期ジッタとは、クロックセンター (中心周波数の逆数) からのずれのことです。
6. 入力クロックのサイクルジッタとは、隣り合うサイクルの周期の差です。
7. ジッタ特性は、 $t_5$ と $t_6$ の両方の特性を満たす必要があります。

### 8.1.3 PLLの起動条件

PLLの入力として使用される内部クロック分周器は、27MHzの入力クロックソースを前提としています。そのため、分周器（REG[04h]ビット5～0）を1Ahに設定し、PLLに対して1MHzの入力クロックを生成します。内部SYSCLKとして使用されるデフォルトのPLL出力周波数は60MHzです。これは、Intel 80系ホストインタフェースの最速アクセスを実現できる最低のクロックです。通常運用に合わせてPLLをプログラミングしなおす以前の内部SYSCLKは44MHzになります。これは、非同期レジスタアクセスに対するIntel 80系ホストインタフェースタイミングも規定します。

### 8.1.4 PLLクロックのノイズに関する注意点

PLL回路はアナログ回路であるため、入力クロック波形や電源のノイズに大きく影響されます。クロックまたは電源のノイズは、PLL回路の動作を不安定にしたり、ジッタを増大させることがあります。入力クロック波形のジッタはできるだけ小さく抑えることが必要です。このようなノイズの制約により、PLL用の電源トレースまたは電源プレーンを他の電源のものから分離することを強く推奨します。さらに、電源のノイズをできるだけ除去するためにフィルタリングを実施してください。詳しくは、211ページの29.「アナログ電源に関する注意点」をご覧ください。

# 8. AC特性

## 8.2 PLLのパワーオンとリセットのシーケンス

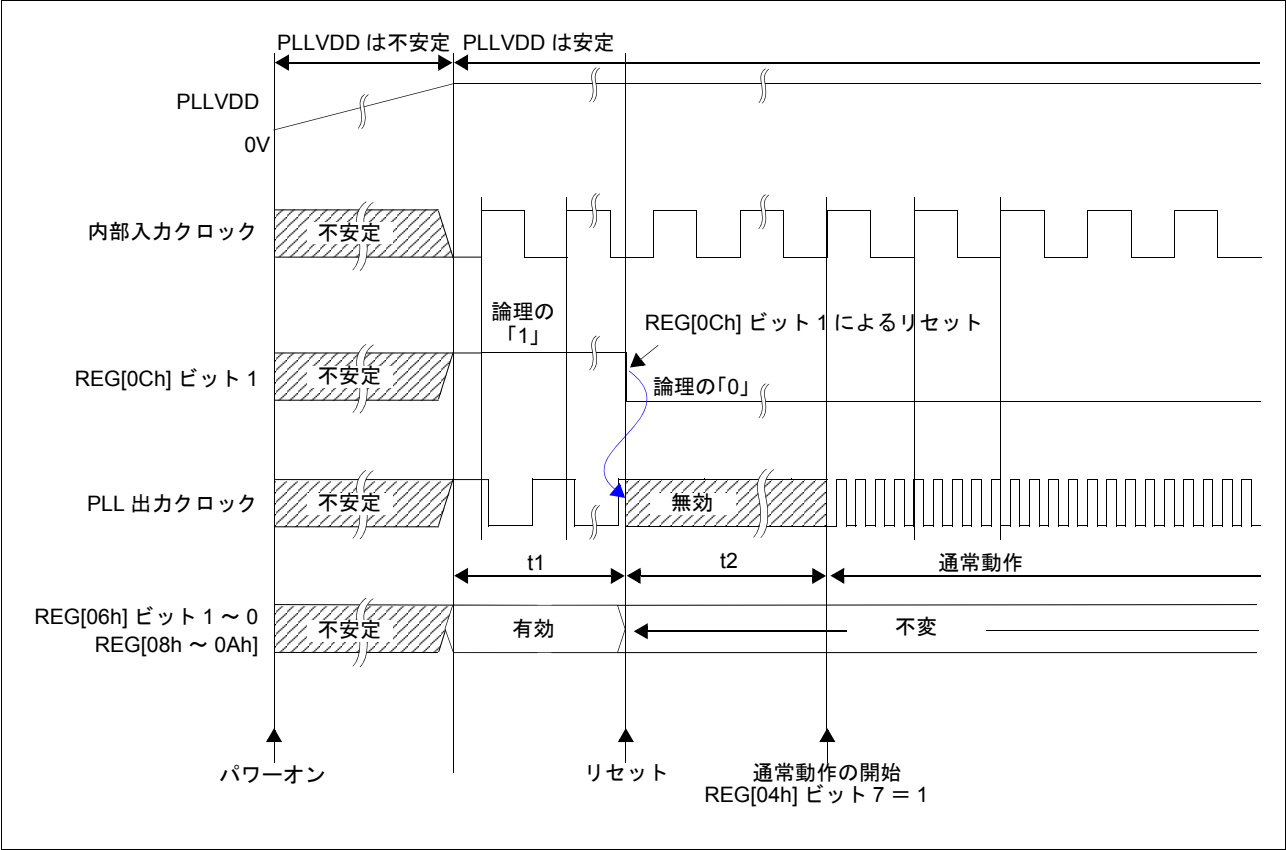


図8.3 PLLのパワーオンとリセットのシーケンス

表8.3 PLLのパワーオンとリセットのタイミング

記号	パラメータ	Min	Max	単位
t1	PLLのバイパスおよびPLLレジスタの初期化プログラミング	—	(注)	—
t2	PLLのロック時間	—	1.5	ms

注

t1は、PLLレジスタのプログラミングに必要なIntel 80系ホストインタフェースのサイクル時間によって決まります。

## 8.3 CLKIのイネーブル／ディセーブル制御シーケンス

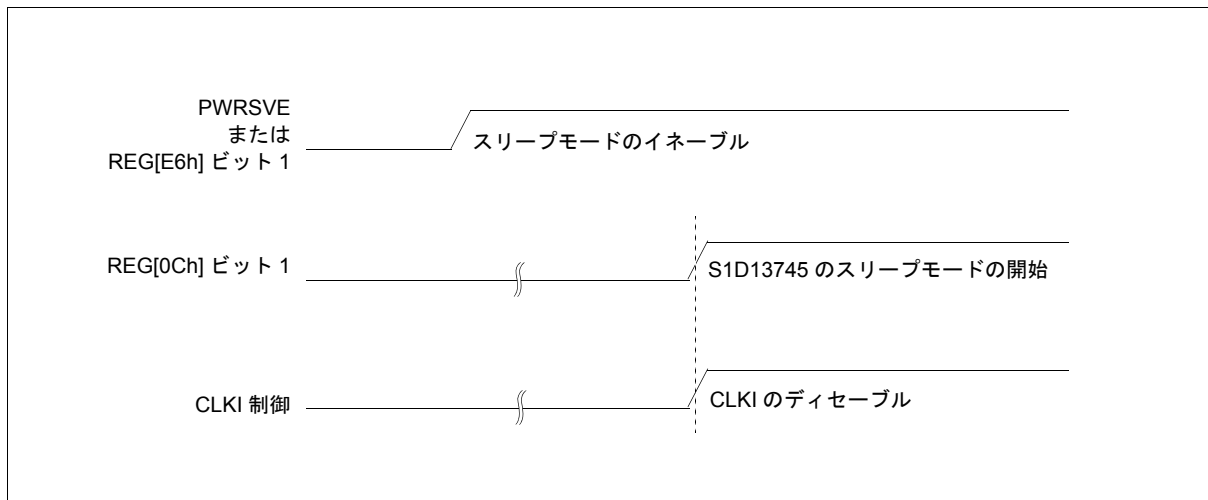


図8.4 CLKIのディセーブル制御シーケンス

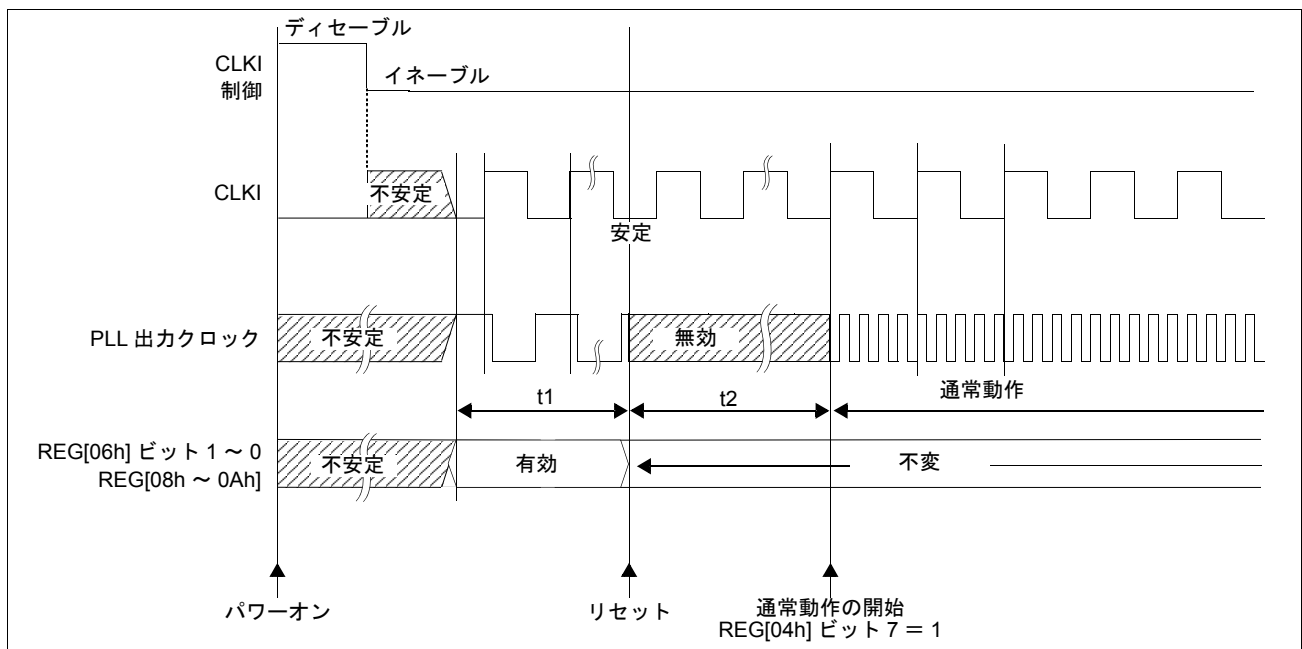


図8.5 CLKIのイネーブル制御シーケンス

表8.4 CLKIのイネーブル制御シーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	PLLのバイパスおよびPLLレジスタの初期化プログラミング	—	(注)	—
t2	PLLのロック時間	—	1.5	ms

## 注

t1は、PLLレジスタのプログラミングに必要なIntel 80系ホストインタフェースのサイクル時間によって決まります。

8. AC特性

8.4 リセットタイミグ

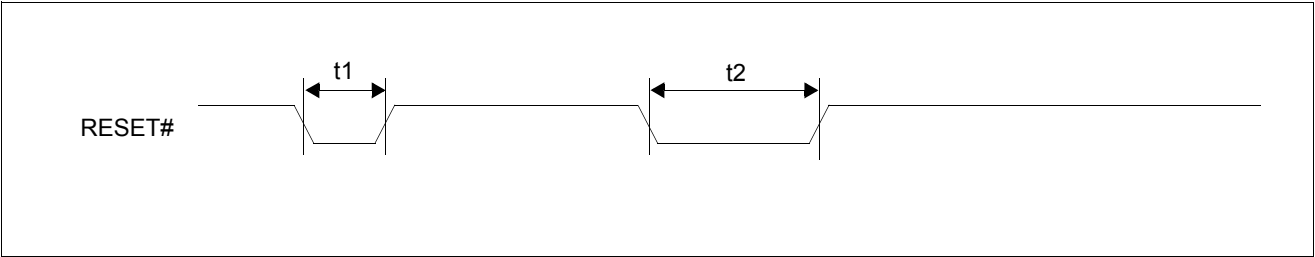


図8.6 S1D13745のリセットタイミグ

表8.5 S1D13745のリセットタイミグ

記号	パラメータ	Min	Max	単位
t1	無視するべきリセットパルス幅	—	(注)	—
t2	有効なリセットパルス幅	(注)	—	—

**注**  
このタイミグは外部素子によって制御されます（208ページの28.3「RESET#のグリッチ除去」を参照）。グリッチ除去が不要な場合は、RRES端子を未接続のままとし、CRES端子をVSSに接続します。この場合、確実なリセットを行うため、RESET#は200nsより長い間、Lowに維持するとします。

## 8.5 ホストインタフェースのタイミング

## 8.5.1 Intel 80系インタフェースのタイミング：同期レジスタまたはメモリの場合

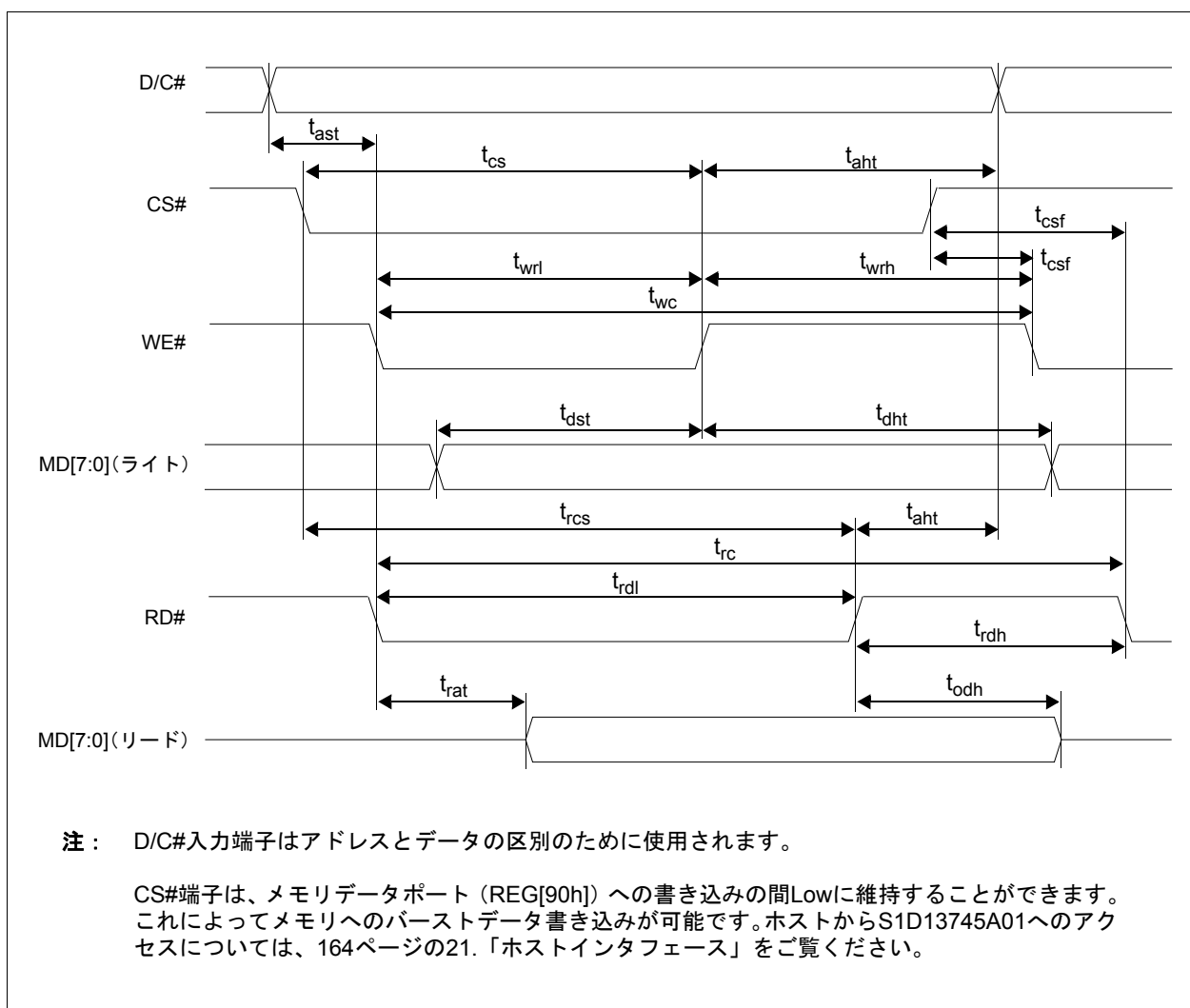


図8.7 Intel 80系の入力AC特性（同期レジスタまたはメモリの場合）



## 8. AC特性

表8.6 Intel 80系の入力AC特性（同期レジスタまたはメモリの場合）

信号	記号	パラメータ	Min	Max	単位	説明
D/C#	$t_{ast}$	アドレスのセットアップ時間	2.0	—	ns	
	$t_{aht}$	アドレスのホールド時間	1.0	—	ns	
CS#	$t_{cs}$	チップセレクト信号のセットアップ時間 (ライト)	$1.0 + twrl$	—	ns	
	$t_{rcs}$	チップセレクト信号のセットアップ時間 (リード)	$2.0 + trdl$	—	ns	
	$t_{csf}$	チップセレクト信号の待機時間	10.0	—	ns	
WE#	$t_{wc}$	ライトサイクル（立ち上がりエッジから次の 立ち上がりエッジまで）	$2SYSCLK + 2.0$	—	ns	
	$t_{wrh}$	HIGHパルス期間	(注1)	—	ns	
	$t_{wrl}$	LOWパルス期間	1.0	—	ns	
RD#	$t_{rc}$	リードサイクル（レジスタ）	$2SYSCLK + 2.0$	—	ns	
		リードサイクル（メモリ）	$37SYSCLK + 20.0$	—	ns	
		リードサイクル（LUT）	$4SYSCLK + 26.0$	—	ns	
	$t_{rdh}$	HIGHパルス期間	(注2)	—	ns	
	$t_{rdl}$	LOWパルス期間（レジスタ）	12.0	—	ns	
		LOWパルス期間（メモリ）	$t_{rc} - 10$	—	ns	
		LOWパルス期間（LUT）	$t_{rc} - 10$	—	ns	
MD[7:0]	$t_{dst}$	データのセットアップ時間	1.0	—	ns	最大時は CL=30pF 最小時は CL=8pF
	$t_{dht}$	データのホールド時間	8.0	—	ns	
	$t_{rat}$ (注)	リードの立ち下がりエッジ～データの有効化 (レジスタ)	—	12.5	ns	
		リードの立ち下がりエッジ～データの有効化 (メモリ)	—	$5SYSCLK + 19$	ns	
		リードの立ち下がりエッジ～データの有効化 (LUT)	—	$4SYSCLK + 3PCLK + 29$	ns	
	$t_{odh}$ (注)	リードのホールド時間	10.0	35.5	ns	
	$t_{ddt}$ (注)	リードの立ち下がりエッジ～データの駆動	2.5	12.5	ns	

### 注

上記のタイミング値は現段階での予定であり、今後変更される可能性があります。

1.  $t_{wrh} \min = t_{wc}$ を確保できる長さとしします。
2.  $t_{rdh} \min = t_{rc}$ を確保できる長さとしします。
3. 同期レジスタとは次のものをいいます。REG[00h]～REG[02h]、REG[10h]～REG[E4h]、REG[E8h]～REG[ECh]

## 8.5.2 Intel 80系インタフェースのタイミング（非同期レジスタの場合）

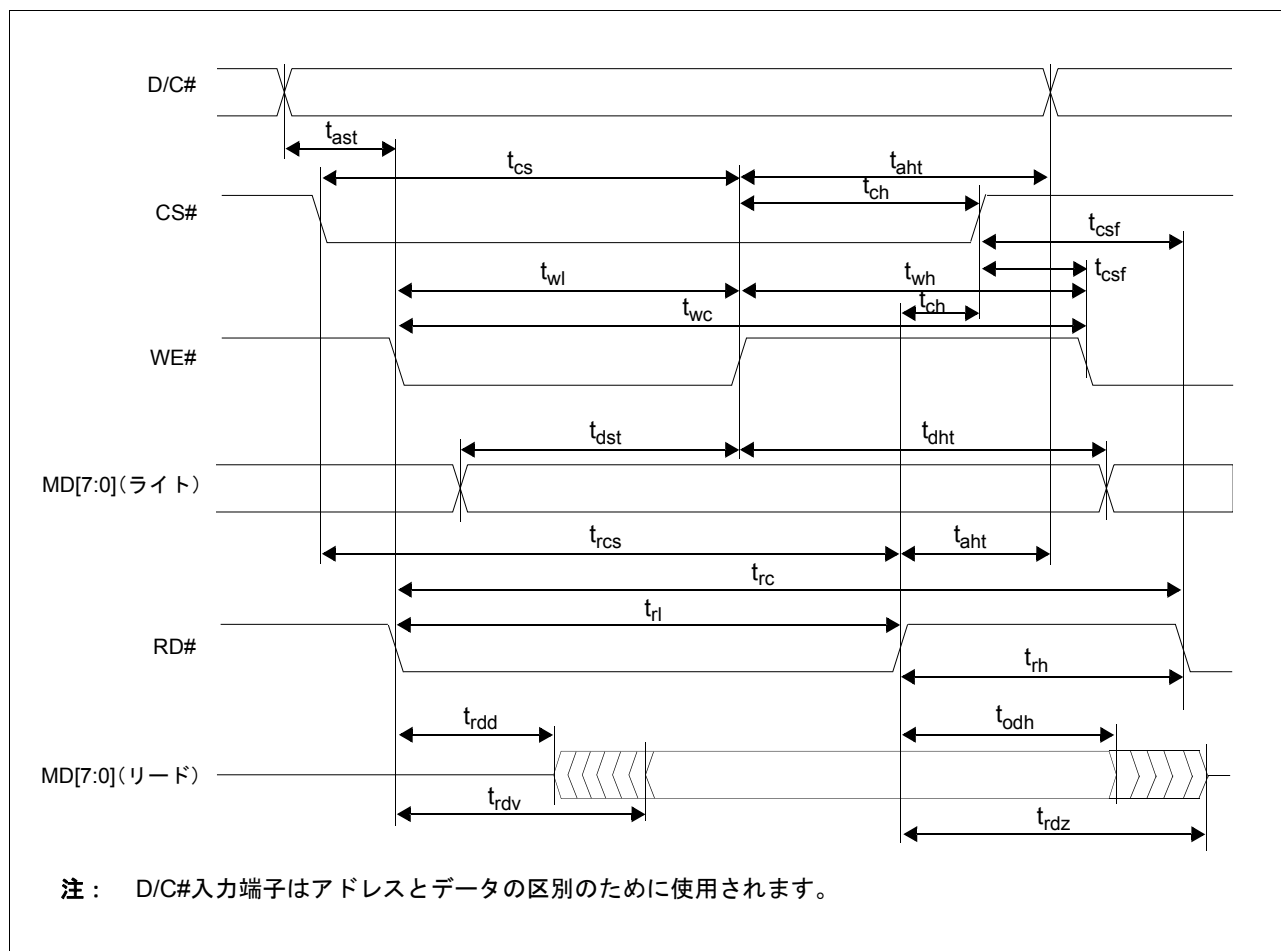


図8.8 Intel 80系の入力AC特性（非同期レジスタの場合）

## 8. AC特性

表8.7 Intel 80系の入力AC特性（非同期レジスタの場合）

信号	記号	パラメータ	Min	Max	単位
D/C#	$t_{ast}$	アドレスのセットアップ時間	2	—	ns
	$t_{aht}$	アドレスのホールド時間	2	—	ns
CS#	$t_{cs}$	チップセレクト信号のセットアップ時間（ライト）	$t_{wl} + 2$	—	ns
	$t_{rcs}$	チップセレクト信号のセットアップ時間（リード）	$t_{rl} + 2$	—	ns
	$t_{ch}$	チップセレクト信号のホールド時間（リード／ライト）	2	—	ns
	$t_{csf}$	チップセレクト信号の待機時間	2	—	ns
WE#	$t_{wc}$	ライトサイクル （立ち下がりエッジから次の立ち下がりエッジまで）	10	—	ns
	$t_{wh}$	HIGHパルス期間	$t_{wc} - t_{wl}$	—	ns
	$t_{wl}$	LOWパルス期間	4	—	ns
RD#	$t_{rc}$	リードサイクル（レジスタ）	$t_{rl} + t_{rh}$	—	ns
	$t_{rh}$	HIGHパルス期間	4	—	ns
	$t_{rl}$	LOWパルス期間（レジスタ）	$t_{rdv}$	—	ns
MD[7:0]	$t_{dst}$	データのセットアップ時間	2	—	ns
	$t_{dht}$	データのホールド時間	3	—	ns
	$t_{rdv}$	リードの立ち下がりエッジ～MDの有効化（レジスタ）（注2）	—	12.5	ns
	$t_{rdd}$	リードの立ち下がりエッジ～MDの駆動（レジスタ）（注3）	2.5	—	ns
	$t_{odh}$	有効なMDに対するリードのホールド時間（注3）	（注4）	—	ns
	$t_{rdz}$	リードの立ち上がりエッジ～MD Hi-Z（注2）	—	35.5	ns

### 注

1. ライトサイクル後に読み出しを行う場合、RD#の立ち下がりエッジ後、最大から $t_{rdd}$ だけMDバスをHi-Zにする必要があります。
2.  $t_{rdv}$ と $t_{rdz}$ の最大値はCL=30pFに対する値です。
3.  $t_{rdd}$ と $t_{odh}$ の最小値はCL=8pFに対する値です。
4.  $t_{rh} + 2.5 < 10.0$ の場合、 $T_{odhmin} = t_{rh} + 2.5$ になります。  
 $t_{rh} + 2.5 > 10.0$ の場合、 $T_{odhmin} = 10.0$ です。
5. 非同期レジスタとは次のものをいいます。REG[04h]～REG[0Eh]、REG[E6h]、REG[EEh]～REG[F8h]

### 8.5.3 Hi-Z状態への遷移時間に関する定義

高速信号に対するハイインピーダンス測定には困難が伴うため、H/LからHi-Zへの遷移時間を下記のように定義します。HレベルからHi-Zまでの遅延時間 $t_{pHZ}$ は、PチャネルMOSFETの最終段階におけるゲート電圧が $0.8 \times IOVDD$  (PチャネルMOSFETがオフ) になるときの遅延時間です。Hi-Zに変わるまでの全遅延時間は、次式で計算されます。

内部ロジック遅延 +  $t_{pHZ}$  (HレベルからHi-Zまで)

LレベルからHi-Zまでの遅延時間 $t_{pLZ}$ は、NチャネルMOSFETの最終段階におけるゲート電圧が $0.2 \times IOVDD$  (NチャネルMOSFETがオフ) になるときの遅延時間です。Hi-Zに変わるまでの全遅延時間は、次式で計算されます。

内部ロジック遅延 +  $t_{pLZ}$  (LレベルからHi-Zまで)

トライステート出力セルの最終段階に対する機能モデルを、図8.9「Hi-Z状態への遷移時間に関する定義」に示します。

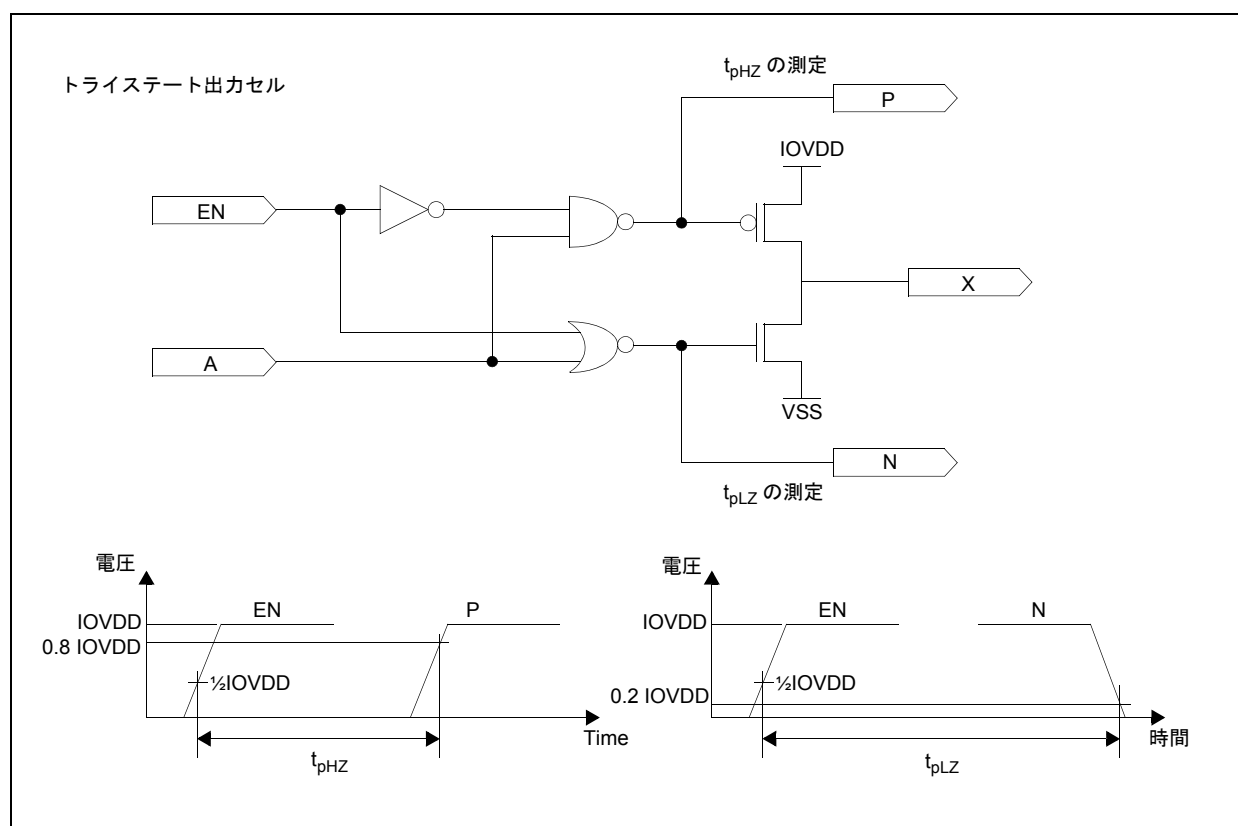


図8.9 Hi-Z状態への遷移時間に関する定義

## 8. AC特性

### 8.6 表示インタフェース

フラットパネルディスプレイの駆動に必要なタイミングパラメータを下に示します。対応可能な各パネルタイプに対する具体的なタイミングについては以下に順次説明します。

#### 注

以下の表示インタフェースタイミング図では、すべてのタイミング測定値についてPIOVDDの1/2のレベルを基点にしています。

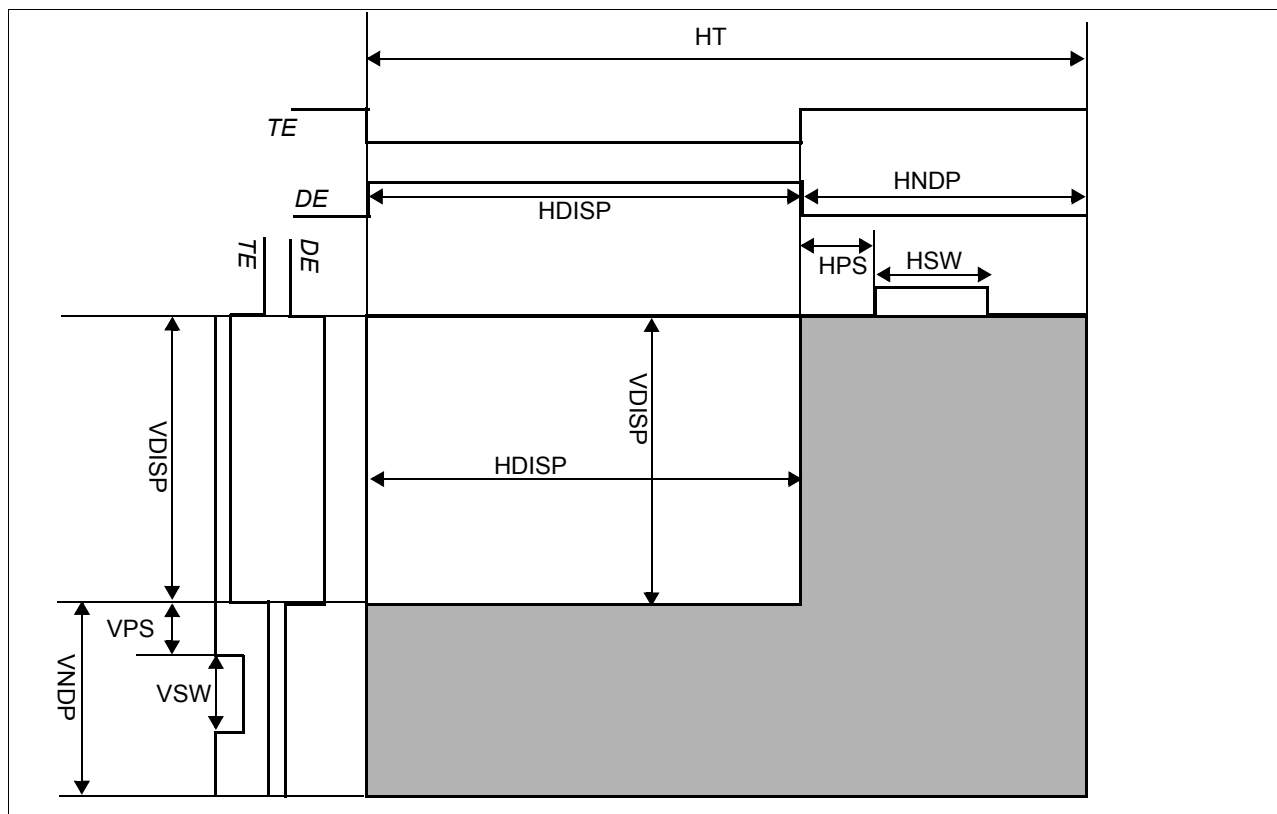


図8.10 パネルのタイミングパラメータ

表8.8 パネルのタイミングパラメータに関する定義と対応レジスタ

記号	説明	設定場所	単位
HDISP	水平表示期間	REG[2Ah]ビット7～0×8	Ts (注1)
HNDP	水平非表示期間	REG[2Ch]ビット7～0 (注2)	
HPS	HSパルス開始位置	REG[36h]ビット7～0 (注2)	
HSW	HSパルス幅	REG[34h]ビット7～0 (注2)	
VDISP	垂直表示期間	REG[30h]ビット1～0、REG[2Eh]ビット7～0	ライン (HT)
VNDP	垂直非表示期間	REG[32h]ビット7～0	
VPS	VSパルス開始位置	REG[3Ah]ビット7～0	
VSW	VSパルス幅	REG[38h]ビット5～0	

#### 注

1.  $T_s = 1/PCLK$
2. REG[3Ch]ビット1=1のときは、REG[2Ch]、REG[36h]、REG[30h]の値を8倍します

8.6.1 TFTのパワーオンシーケンス

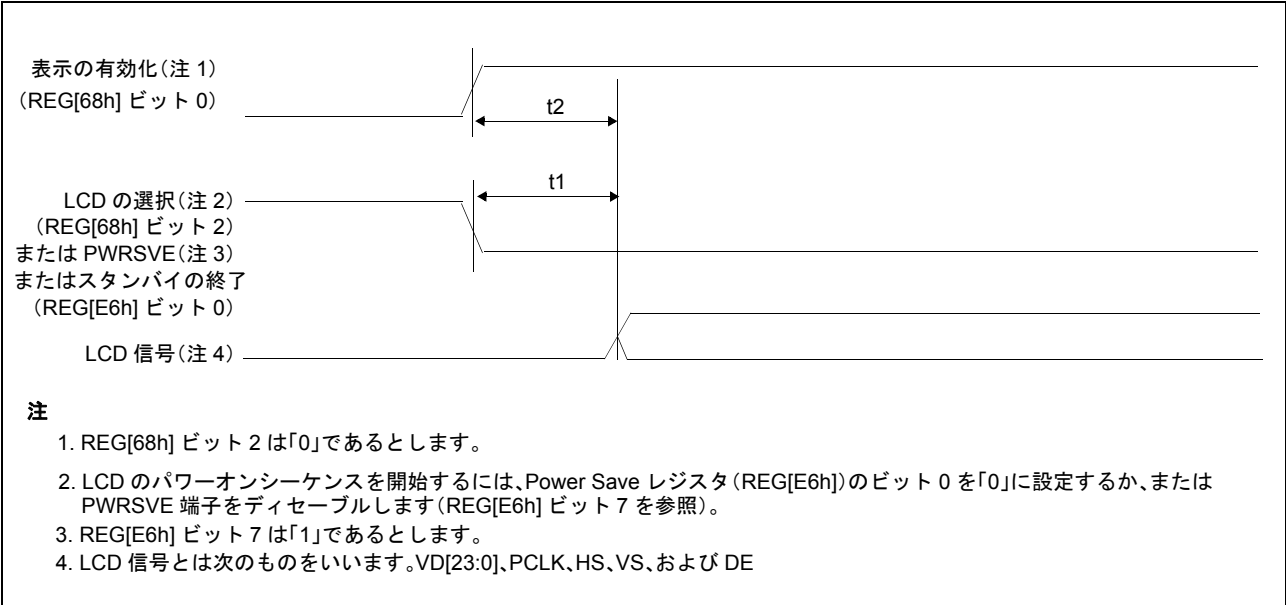


図8.11 TFTのパワーオンシーケンスのタイミング

表8.9 TFTのパワーオンシーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	パワーセーブモードの無効化～LCD信号の有効化	0	35	ns
t2	表示の有効化～LCD信号の有効化	0	35	ns

注

上記の最大値は、レジスタが書き込みデータをラッチする時点を基準にしています。ホストデータの書き込みを基準にするには、上記最大値に3 SYSCLKを加算します。

8. AC特性

8.6.2 TFTのパワーオフシーケンス

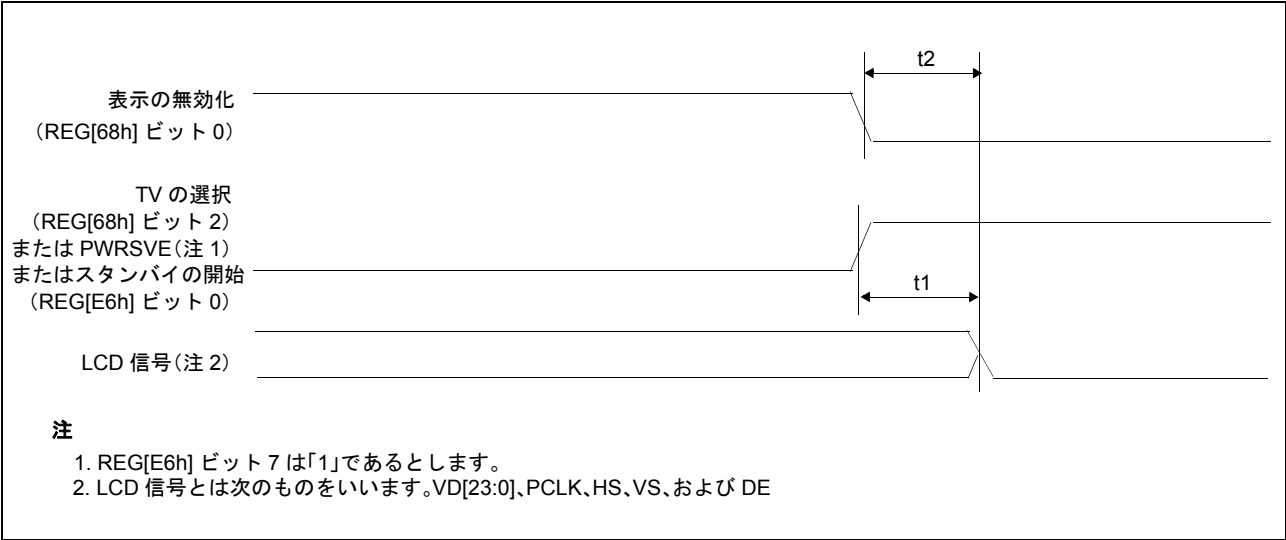


図8.12 TFTのパワーオフシーケンスのタイミング

表8.10 TFTのパワーオフシーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	パワーセーブモードの有効化～LCD信号の無効化	0	35	ns
t2	表示の有効化～LCD信号の無効化	0	35	ns

注

上記の最大値は、レジスタが書き込みデータをラッチする時点を基準にしています。ホストデータの書き込みを基準にするには、上記最大値に3 SYSCLKを加算します。

## 8.6.3 18/24ビット汎用TFTパネルのタイミング

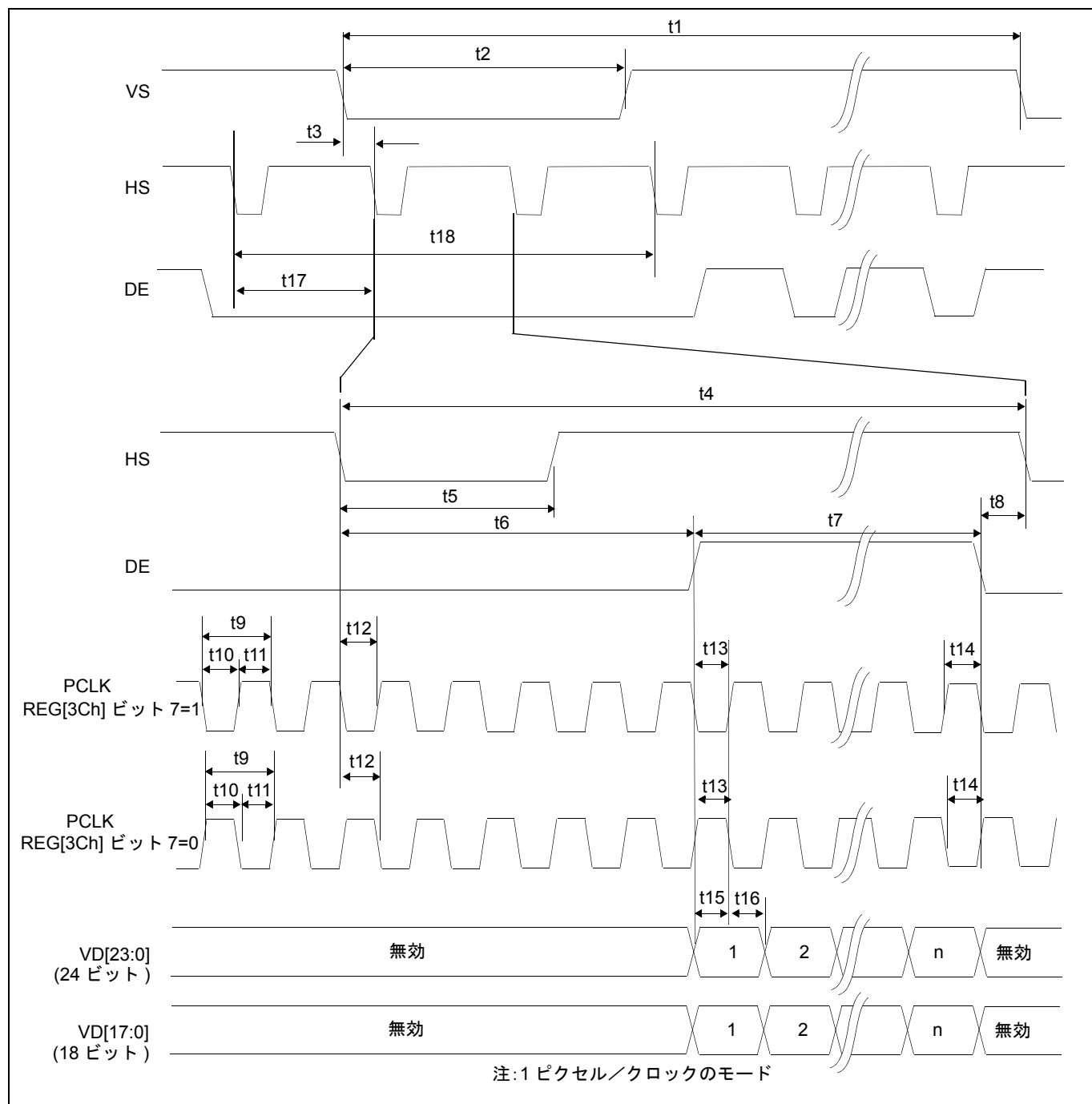


図8.13 18/24ビットTFTのACタイミング

## 注

HSの極性はREG[34h]ビット7によって指定します。  
 VSの極性はREG[38h]ビット7によって指定します。  
 PCLKの極性はREG[3Ch]ビット7によって指定します。



## 8. AC特性

表8.11 18/24ビットTFTのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	VSのサイクル時間	—	(注2)	—	ライン
t2	VSのLOWパルス幅	—	VSW	—	ライン
t3	VSの立ち下がりエッジ～HSの立ち下がりエッジの位相差	—	HPS	—	Ts (注1)
t4	HSのサイクル時間	—	(注3)	—	Ts
t5	HSのLOWパルス幅	—	HSW	—	Ts
t6	HSの立ち下がりエッジ～DEの有効化	—	(注4)	—	Ts
t7	DEのパルス幅	—	HDISP	—	Ts
t8	DEの立ち下がりエッジ～HSの立ち下がりエッジ	—	HPS	—	Ts
t9	PCLKの周期	1	—	—	Ts
t10	PCLKのLOWパルス幅	0.5	—	—	Ts
t11	PCLKのHIGHパルス幅	0.5	—	—	Ts
t12	HSのセットアップ～PCLKの立ち下がりエッジ	0.5 - 6ns	—	—	Ts
t13	DEのセットアップ時間 (PCLKの立ち上がりエッジまで)	0.5 - 6ns	—	—	Ts
t14	DEのホールド時間 (PCLKの立ち上がりエッジから)	0.5	—	—	Ts
t15	データのセットアップ時間 (PCLKの立ち上がりエッジまで)	0.5 - 8ns (注5)	—	—	Ts
t16	データのホールド時間 (PCLKの立ち上がりエッジから)	0.5 + 1ns (注5)	—	—	Ts
t17	DEの停止のセットアップ～VSの開始	—	VPS	—	ライン
t18	垂直非表示期間	—	VNDP	—	ライン

### 注

1. Ts = ピクセルクロック周期
2. t1 typ = 垂直表示期間 (VDISP) + 垂直非表示期間 (VNDP)
3. t4 typ = 水平表示期間 (HDISP) + 水平非表示期間 (HNDP)
4. t6 typ = HNDP - HPS
5. この値は「LCDパネルデータの駆動制御」のレジスタ設定値 (REG[28h]のビット6～4) によって異なります。

表8.12 VDのセットアップおよびホールドのタイミング

LCDパネルデータの駆動制御 (REG[28h]ビット6～4)	t15 : データのセットアップ時間 (PCLKの立ち上がりエッジまで)	t16 : データのホールド時間 (PCLKの立ち上がりエッジから)
000	0.5Ts - 27ns	0.5Ts + 5 ns
001	0.5Ts - 16ns	0.5Ts + 3 ns
010	0.5Ts - 11ns	0.5Ts + 2 ns
011	0.5Ts - 10ns	0.5Ts + 1 ns
100	0.5Ts - 9ns	0.5Ts + 1 ns
101	0.5Ts - 9ns	0.5Ts + 1 ns
110	0.5Ts - 8ns	0.5Ts + 1 ns
111	0.5Ts - 8ns	0.5Ts + 1 ns

## 8.7 HSSIのACタイミング

表8.13 HSSIのACタイミング

記号	パラメータ	Min	Typ	Max	単位	注
Vdiff_tx	差動電圧の範囲	100	150	200	mVp	
Vcm_tx	コモンモード電圧の範囲	0.8	0.9	1	V	図8.15参照
Vcm_tx_ripple	コモンモードのリプル	-75	—	75	mV	図8.15参照
R_tx	出カインピーダンス、シングルエンド	80	180	280	$\Omega$	図8.14参照
t <sub>r</sub>	Vdiff_txの立ち上がり時間 (20~80%)	200	—	500	ps	図8.15参照
t <sub>f</sub>	Vdiff_txの立ち下がり時間 (20~80%)	200	—	500	ps	図8.15参照
	動作周波数	—	—	325	MHz	
I <sub>tx</sub>	チャンネル当たりの駆動電流	—	—	4.5	mA	
$\Delta V_{diff\_tx}/V_{diff\_tx}$	振幅の不整合	-10	—	10	%	(注1)
$\Delta V_{cm\_tx}$	コモンモード電圧の不整合	-0.1	—	0.1	V	(注2)
	立ち上がり時間の差	-100	—	100	ps	(注3)
	立ち下がり時間の差	-100	—	100	ps	(注3)

## 注

1.  $\Delta V_{diff\_tx} = V_{diff\_CLK} - V_{diff\_DATA}$
2.  $\Delta V_{cm\_tx} = V_{cm\_CLK} - V_{cm\_DATA}$
3. 立ち上がり時間の差 =  $t_{r1} - t_{r2}$ 、立ち下がり時間の差 =  $t_{f1} - t_{f2}$

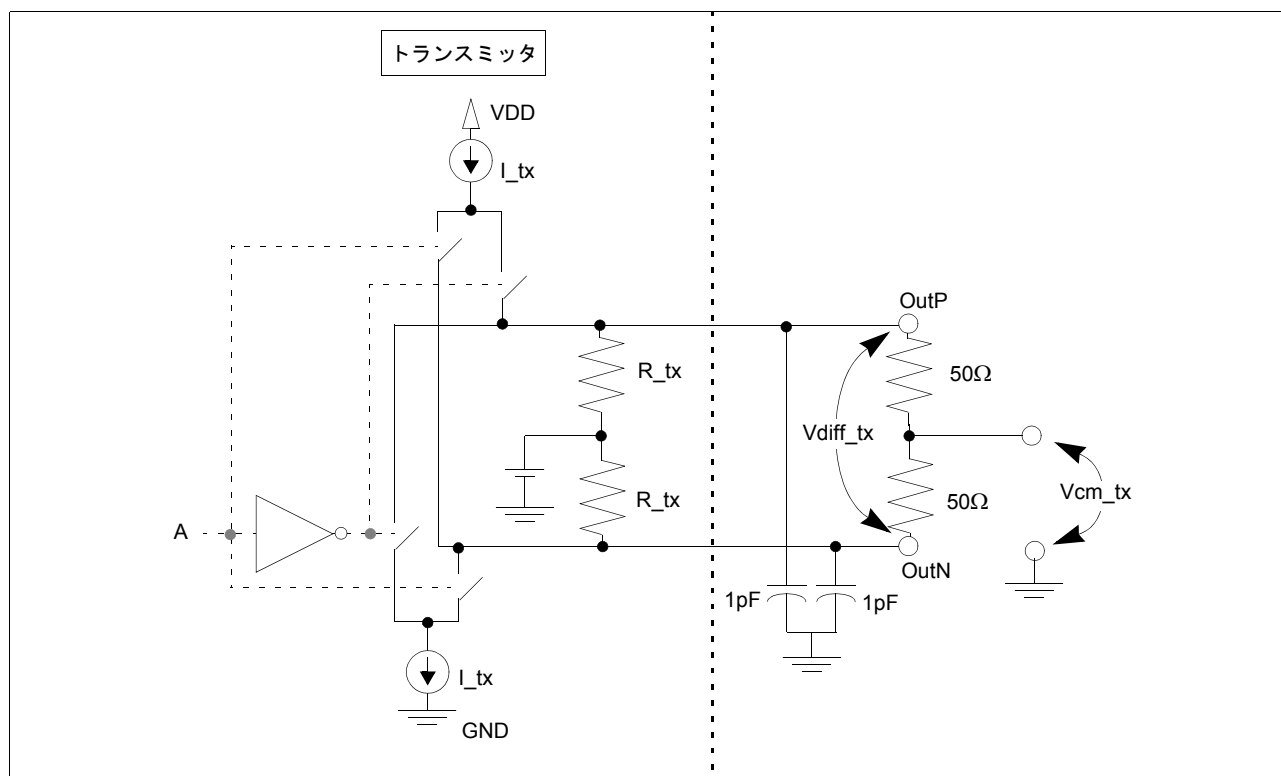


図8.14 タイミングパラメータに関するトランスミッタ終端部

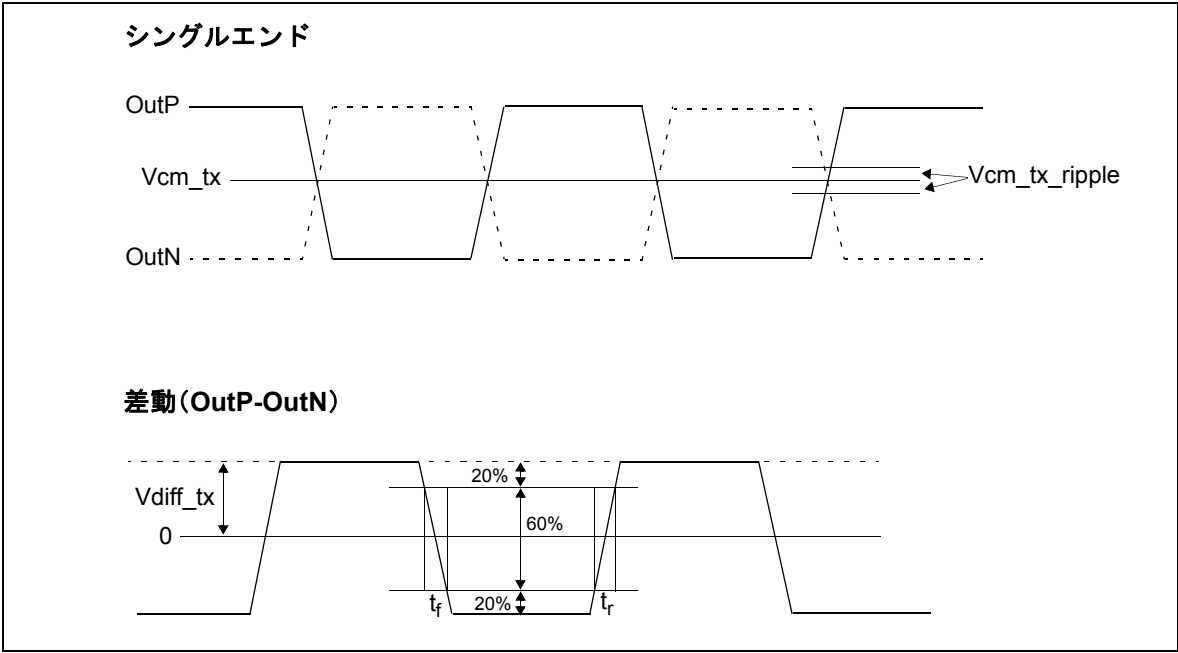


図8.15 サブLVDSトランスミッタレベル

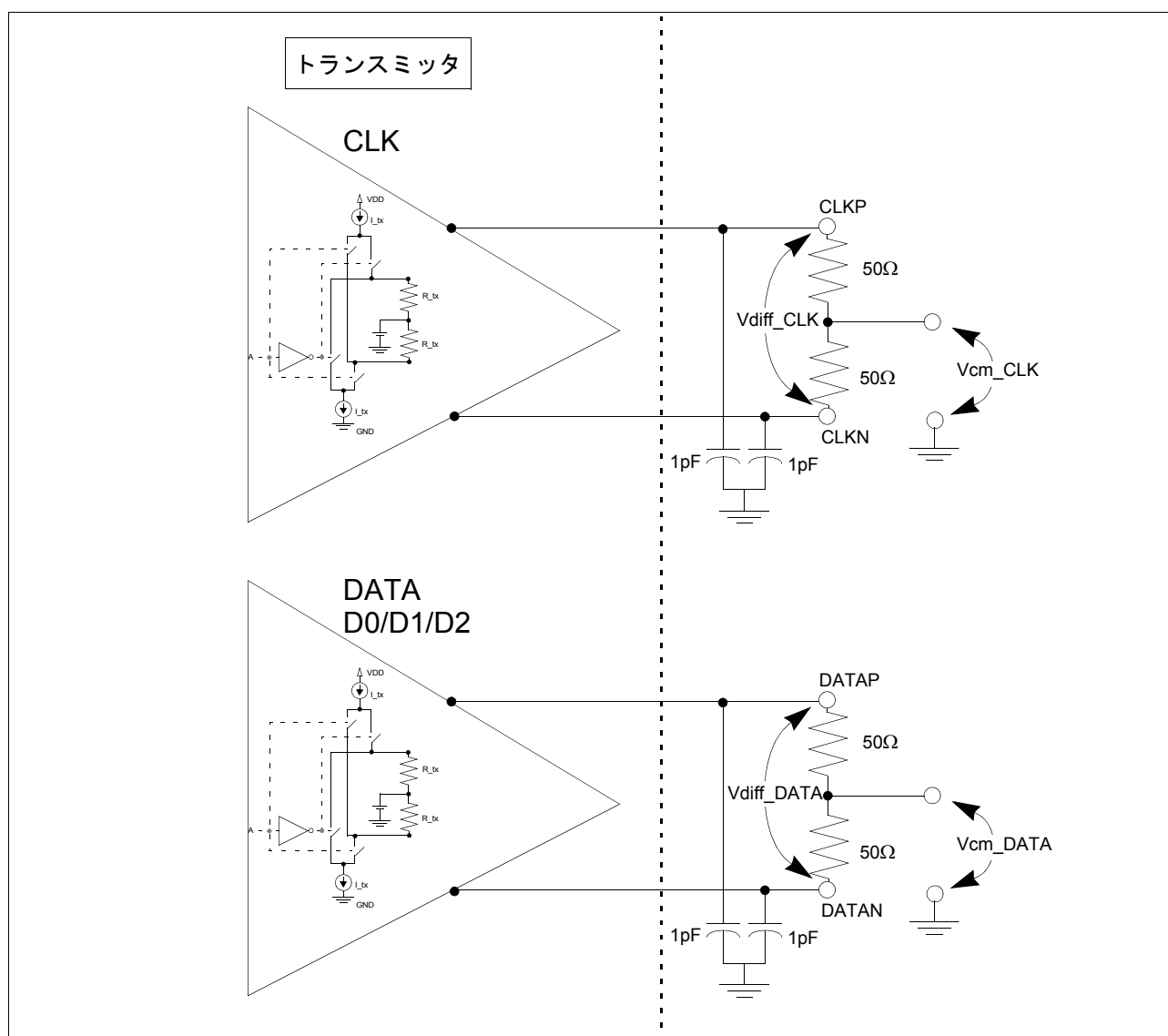


図8.16 CLK出力とDATA出力における信号特性のミスマッチ

8. AC特性

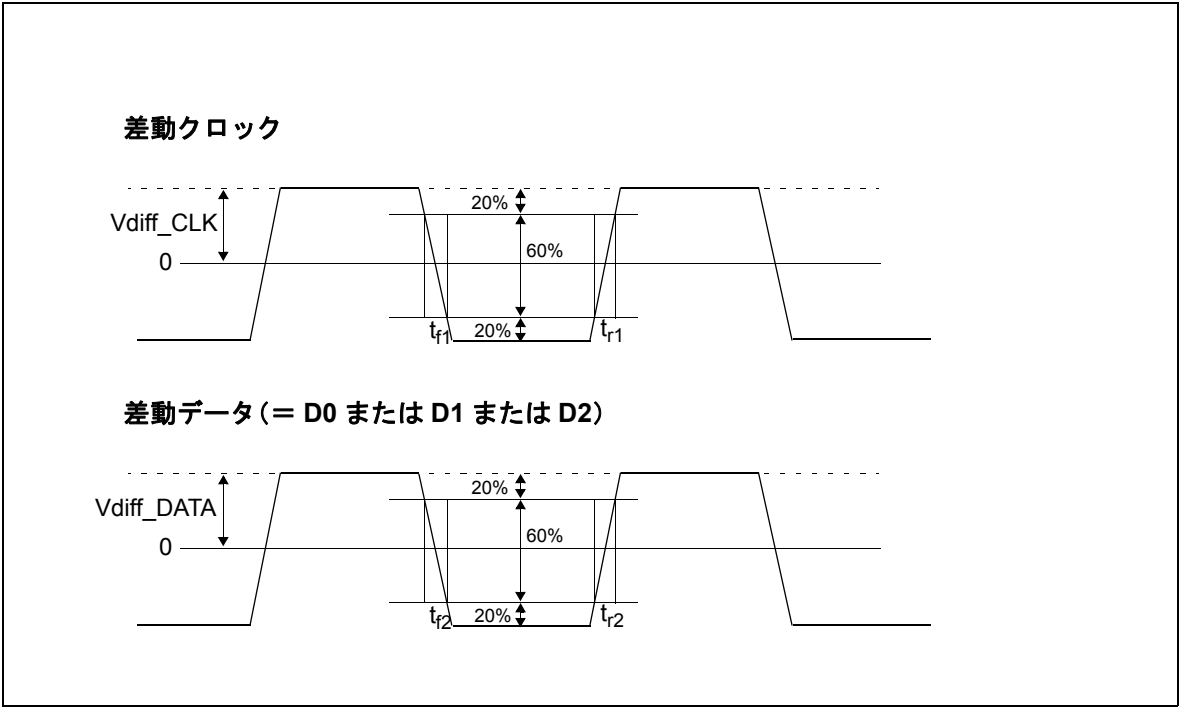


図8.17 立ち上がり時間と立ち下がり時間に関するレベル

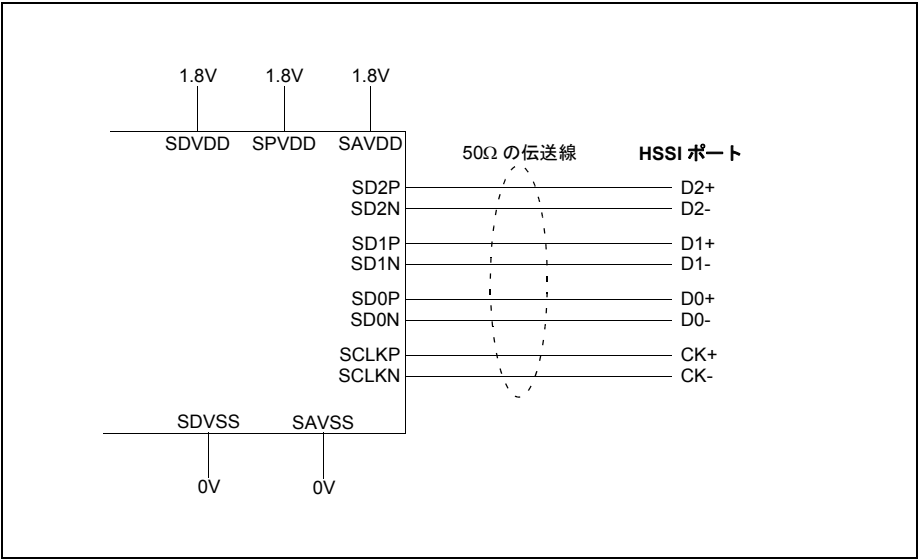


図8.18 HSSIポートの接続

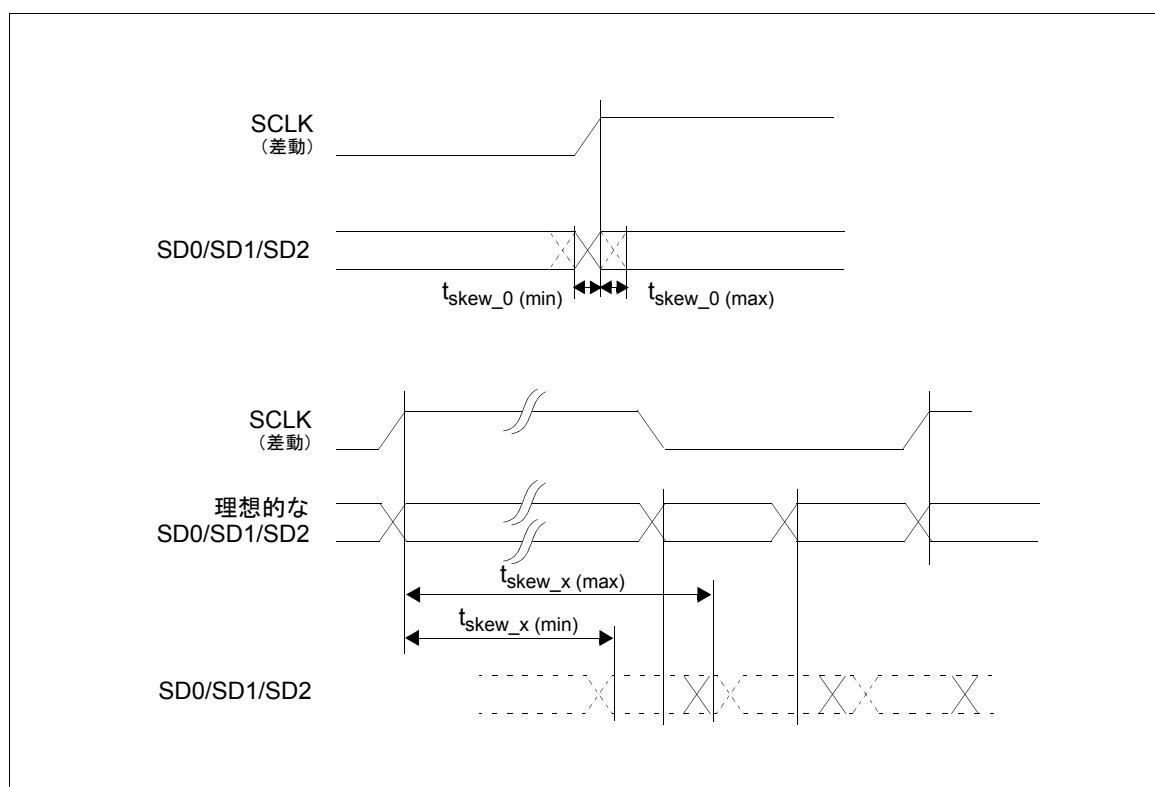


図8.19 HSSIの差動ACタイミング

表8.14 HSSIの差動ACタイミング

記号	パラメータ	Min	Typ	Max	単位
—	SCLKのデューティサイクル (1チャンネルおよび3チャンネル伝送)	45	50	55	%
	SCLKのデューティサイクル (2チャンネル伝送)	48	53	59	%
$t_{pj}$	SCLKピークジッタ	—	—	2.0	%
$t_{skew\_x}$	データスキュー (1チャンネルおよび2チャンネル伝送)	$(-0.1845 \times UI) + (UI \times X)$	$(UI \times X)$	$(0.1845 \times UI) + (UI \times X)$	ps
	データスキュー (3チャンネル伝送)	$(-0.153 \times UI) + (UI \times X)$	$(UI \times X)$	$(0.153 \times UI) + (UI \times X)$	ps

## 注

1.  $UI = (\text{PCLKの1サイクル}) \div (\text{PCLKの1サイクル時間当たりかつチャンネル当たりのビット数})$
2.  $X = \text{ビット位置}$ 、 $0 \leq X \leq ((\text{1サイクル時間当たりかつチャンネル当たりのビット数}) - 1)$

8. AC特性

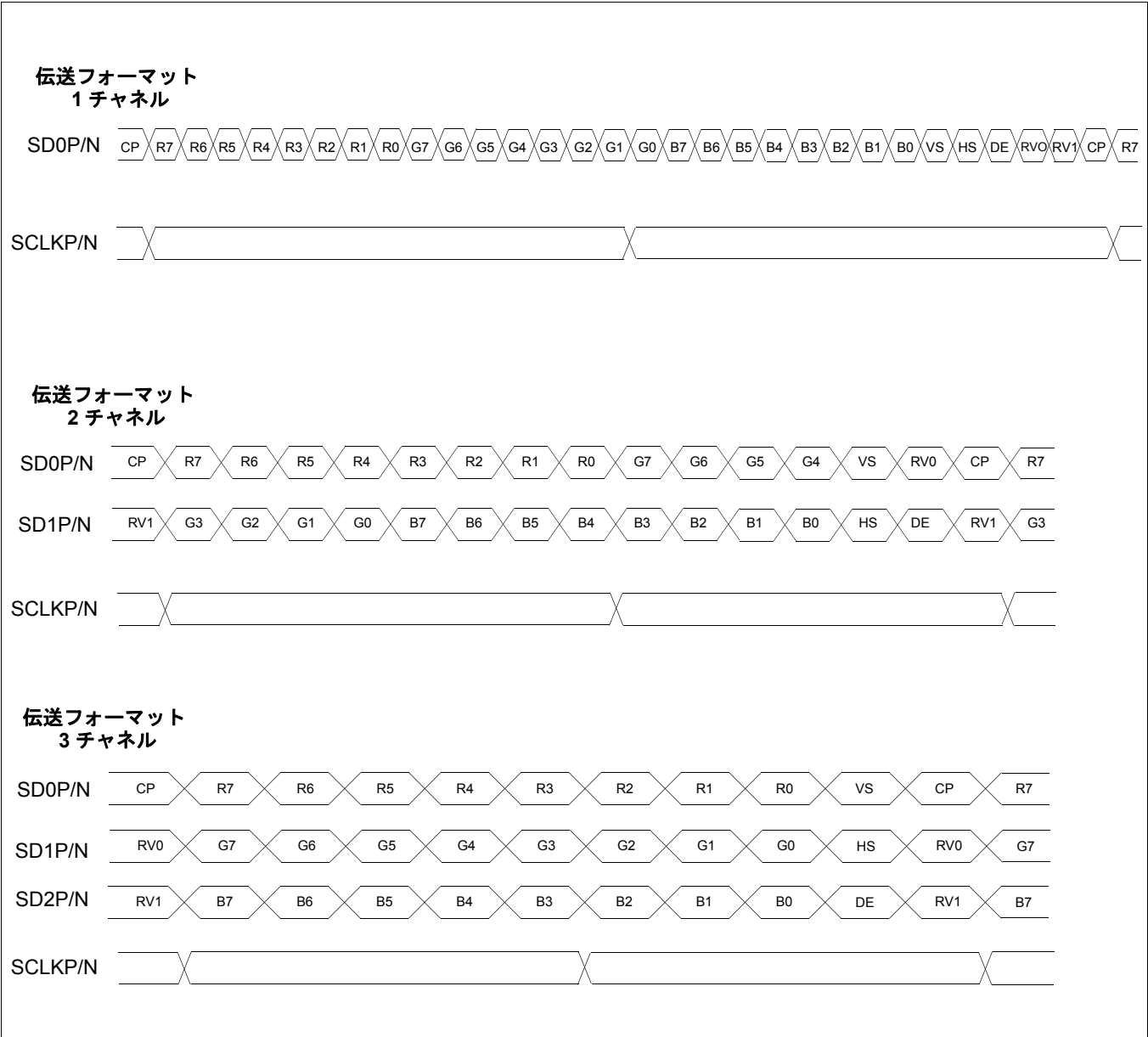


図8.20 HSSIのデータフォーマット

## 8.8 TVに関するタイミング

### 8.8.1 TV出力のタイミング

NTSCおよびPALビデオにおける全体的なタイミングを図8.21と図8.22にそれぞれ示します。

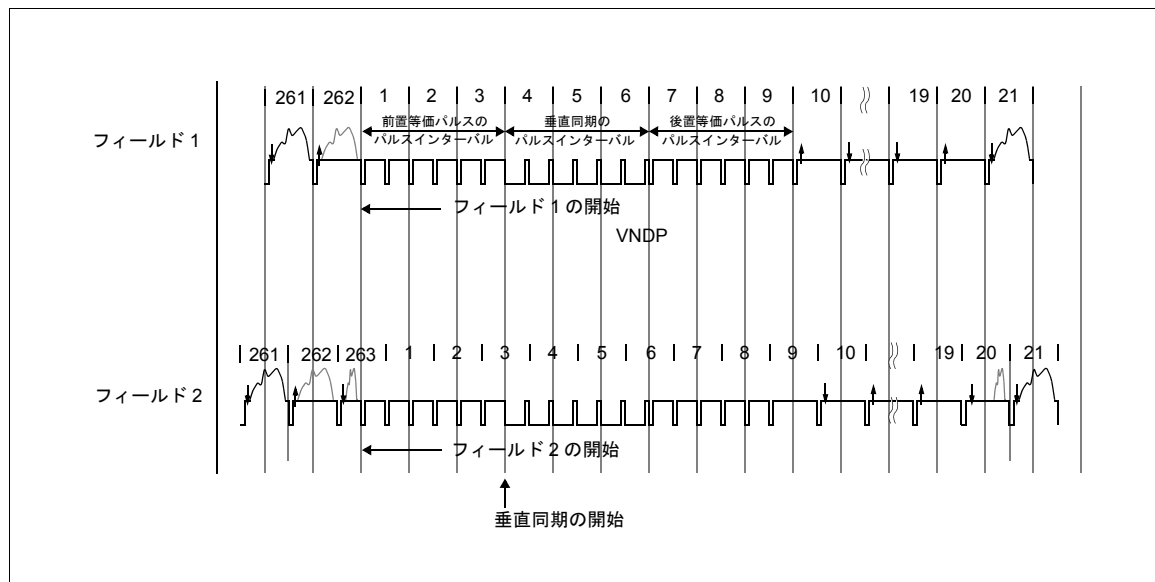


図8.21 NTSCビデオのタイミング



8. AC特性

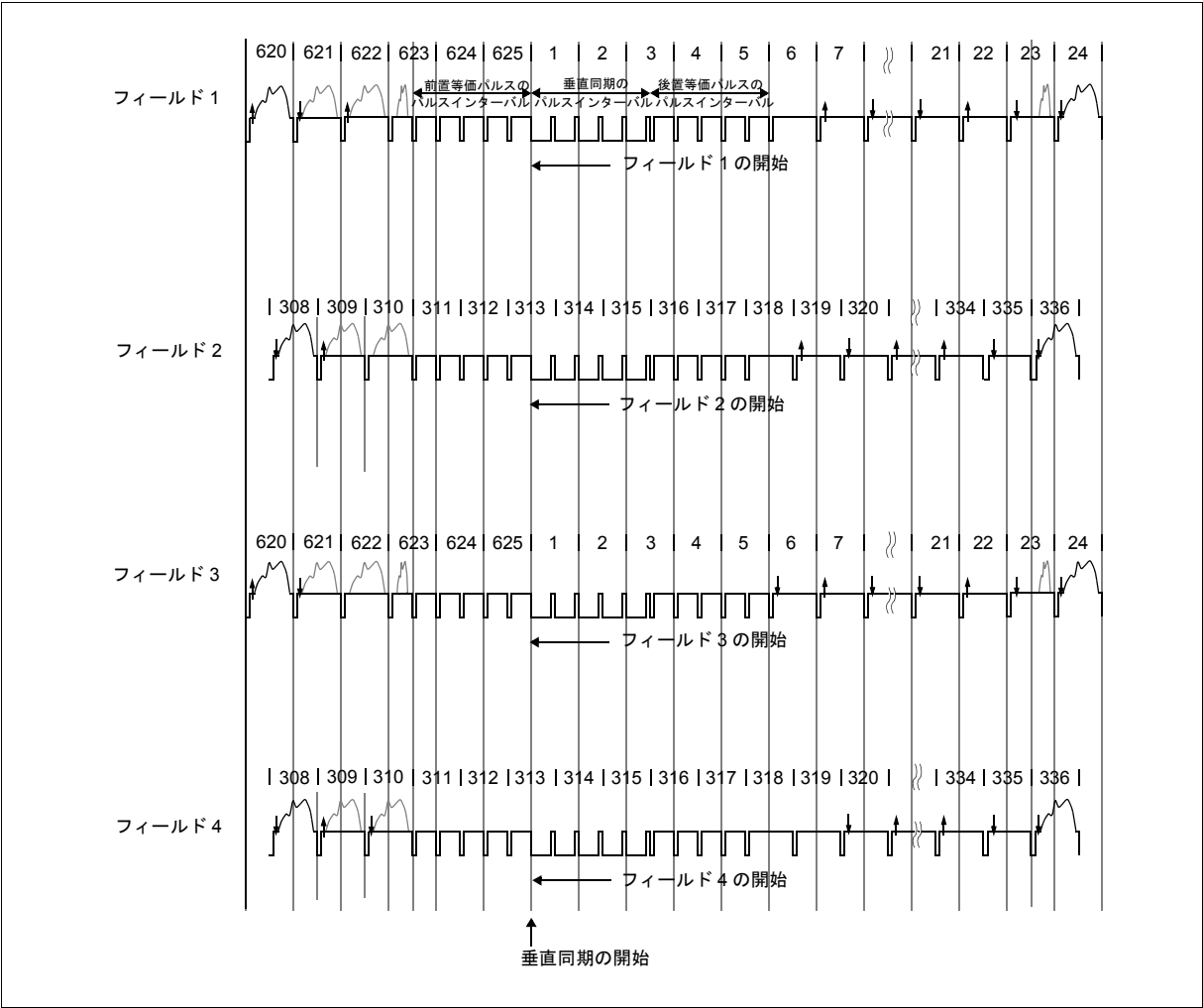


図8.22 PALビデオのタイミング

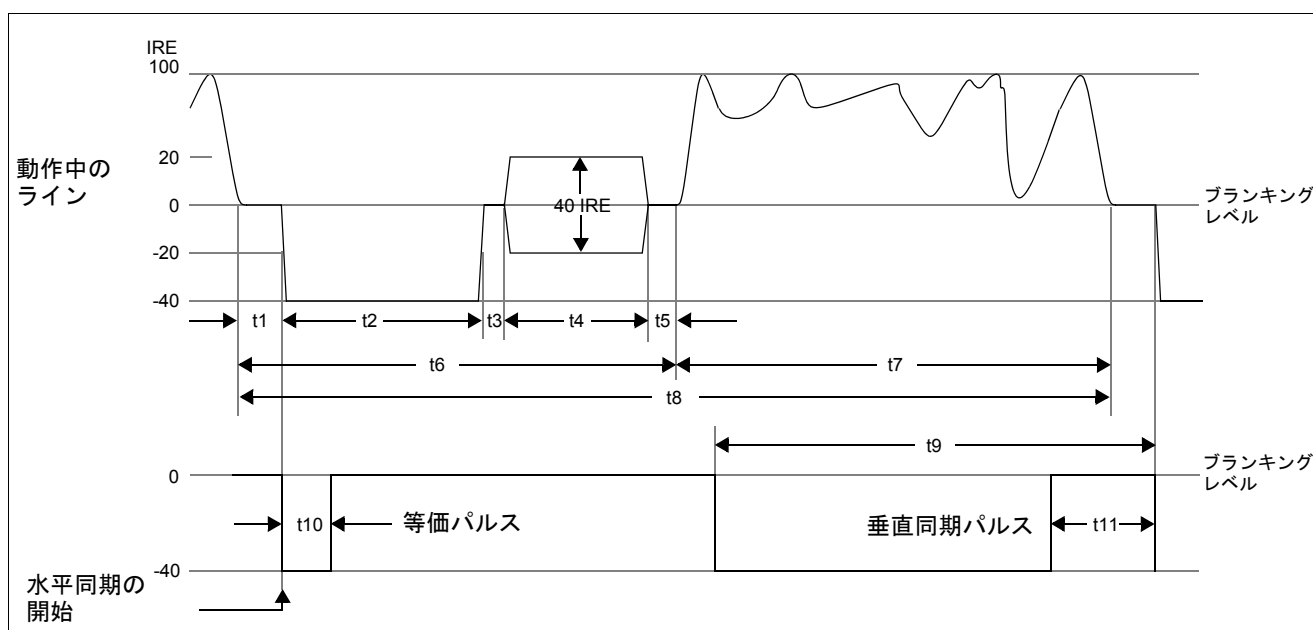


図8.23 NTSC/PALの水平タイミング

表8.15 NTSC/PALの水平タイミング

記号	パラメータ	NTSC M/J (525ライン)	PAL B/D/G/H/I/N (625ライン)	PAL Nc (625ライン)	PAL M (525ライン)	単位
t1	フロントポーチ (注1)	0.96	0.96	0.96	0.96	μs
t2	水平同期	4.7	4.7	4.7	4.7	μs
t3	ブリーズウェイ	0.85	0.9	0.9	1.12	μs
t4	カラーバースト	2.52	2.26	2.52	2.52	μs
t5	カラーバックポーチ (注2)	1.19	1.85	1.49	0.96	μs
t6	水平ブランキング	10.222	10.667	10.667	10.222	μs
t7	有効映像期間	53.333	53.333	53.333	53.333	μs
t8	ライン期間	63.555	64	64	64	μs
t9	ハーフライン期間	31.7777	32	32	32	μs
t10	等価パルス	2.3	2.35	2.35	2.35	μs
t11	垂直セレーション幅	4.66	4.66	4.66	4.66	μs

## 注

表中の値は、REG[50h]が「14h」（デフォルト）に設定されているときの測定値です。

- $t1 = 0.074 \times (\text{REG}[50h] - 7) \mu s$
- $t5 = 2.15 \mu s - t1$  (NTSC)  
 $= 2.81 \mu s - t1$  (PAL B/D/G/H/I/N)  
 $= 2.45 \mu s - t1$  (PAL Nc)  
 $= 1.92 \mu s - t1$  (PAL M)

## 8. AC特性

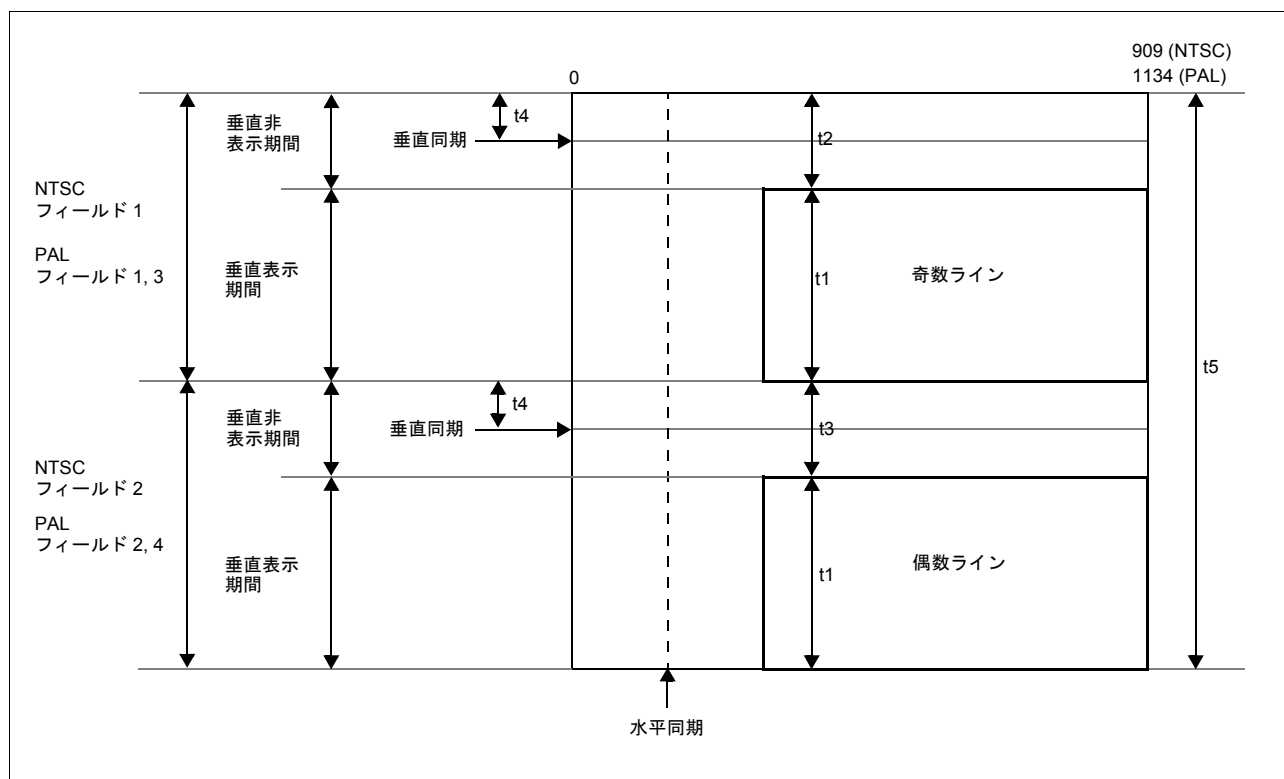


図8.24 NTSC/PALの垂直タイミング

表8.16 NTSC/PALの垂直タイミング

記号	パラメータ	NTSC M/J, PAL M	PAL BDGHI, PAL N, PAL Nc	単位
$T_{\text{LINE}}$	ライン期間	63.5555	64	$\mu\text{s}$
t1	垂直フィールド期間	240	288	$T_{\text{LINE}}$
t2	垂直偶数ブランキング	22	24	$T_{\text{LINE}}$
t3	垂直奇数ブランキング	23	25	$T_{\text{LINE}}$
t4	垂直同期位置 (注)	3	3	$T_{\text{LINE}}$
t5	フレーム期間	525	625	$T_{\text{LINE}}$

注

1. t4=REG[52h]

## 9. クロック

## 9.1 クロックの説明

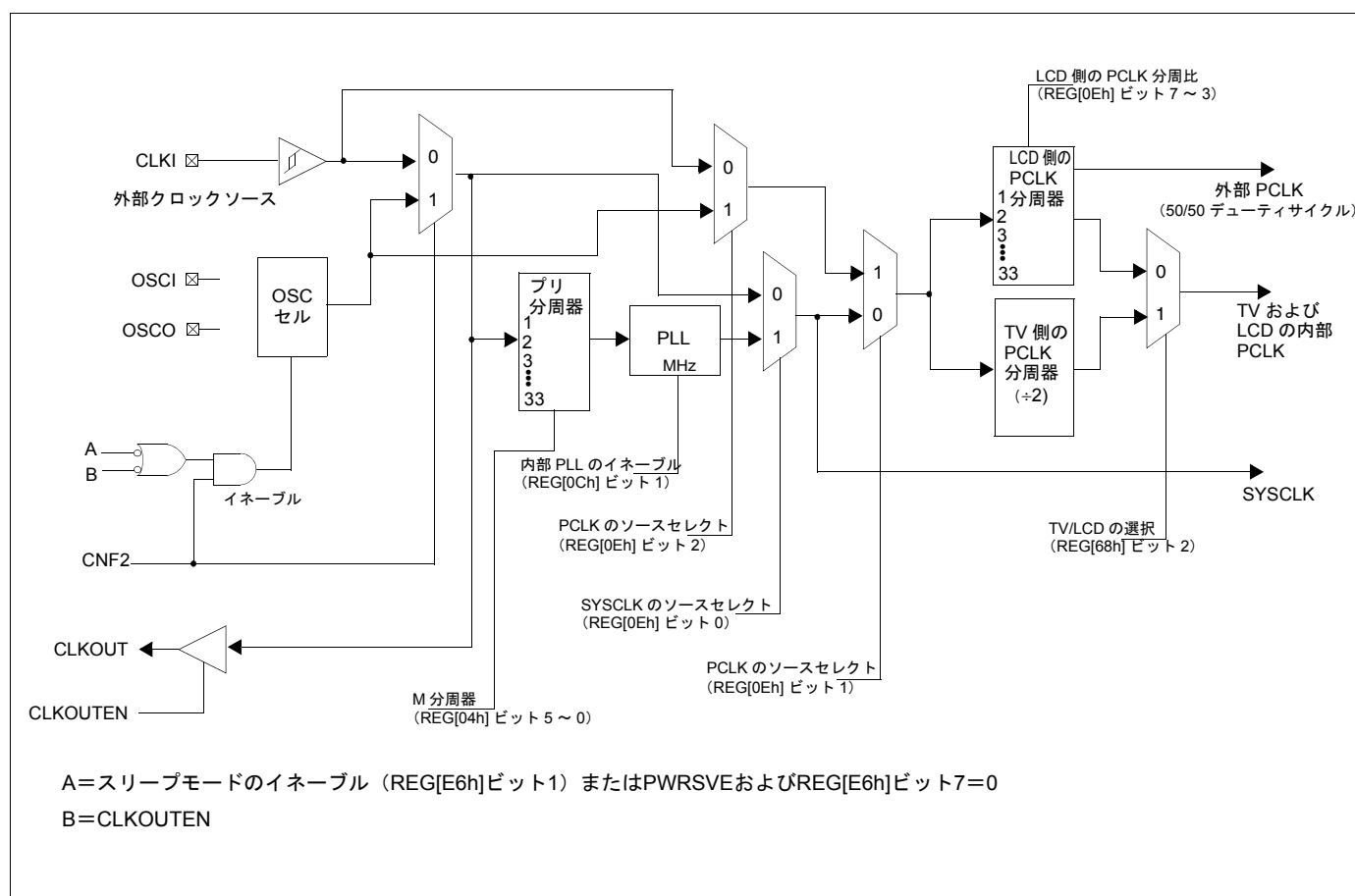


図9.1 S1D13745におけるクロックの機能ブロック図

9. クロック

9.2 PLLの機能ブロック図

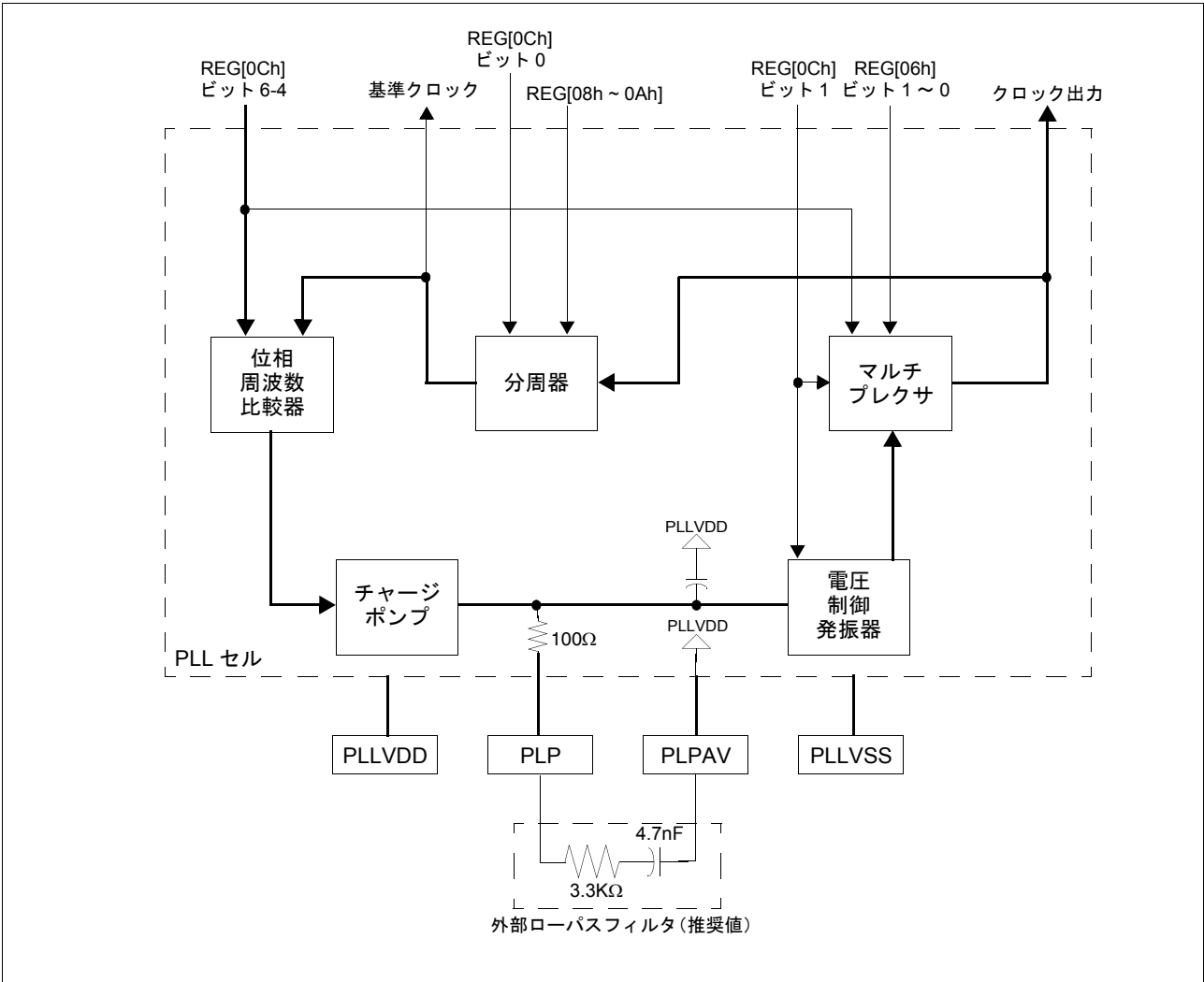


図9.2 PLLの機能ブロック図

### 9.3 クロックと機能の対応

S1D13745の各種機能に必要なとなる内部クロックを下の表にまとめます。

**表9.1 必要な内部クロック**

機能	内部SYSCLK	内部PCLK	内部MEMCLK	内部TVCLK
レジスタの読み書き (REG[04h]～REG[0Eh]、REG[E6h]、 およびREG[EEh]～REG[F8h])	×	×	×	×
レジスタの読み書き (上記以外)	○	×	×	×
メモリへの書き込み	○	×	○	×
ルックアップテーブル レジスタの読み書き	○	×	×	×
スリープモード	×	×	×	×
スタンバイモード	×	×	○	×
LCD出力	○	○	○	×
TV出力	○	×	○	○

#### 注

Intel 80系CPUインタフェースのすべての8ビットモードについて： $48\text{MHz} < f_{\text{SYSCLK}} < 80\text{MHz}$

Intel 80系CPUインタフェースのすべての16ビットモードについて： $60\text{MHz} < f_{\text{SYSCLK}} < 80\text{MHz}$

最低周波数は、Intel 80系のホストインタフェースがレジスタとメモリの両方にアクセス可能であることを保証します。

最高周波数は、デバイスの最高動作周波数です。

## 10. メモリマップ

---

### 10. メモリマップ

S1D13745は1280KBのメモリを内蔵します。これは1つのバンクで構成され、非対称な形に分割できます。

**注**

RESETを掛けるとメモリ内の全データが不定となるため、ディスプレイパイプラインを有効にする前にメモリデータの消去または書き込みを行う必要があります。

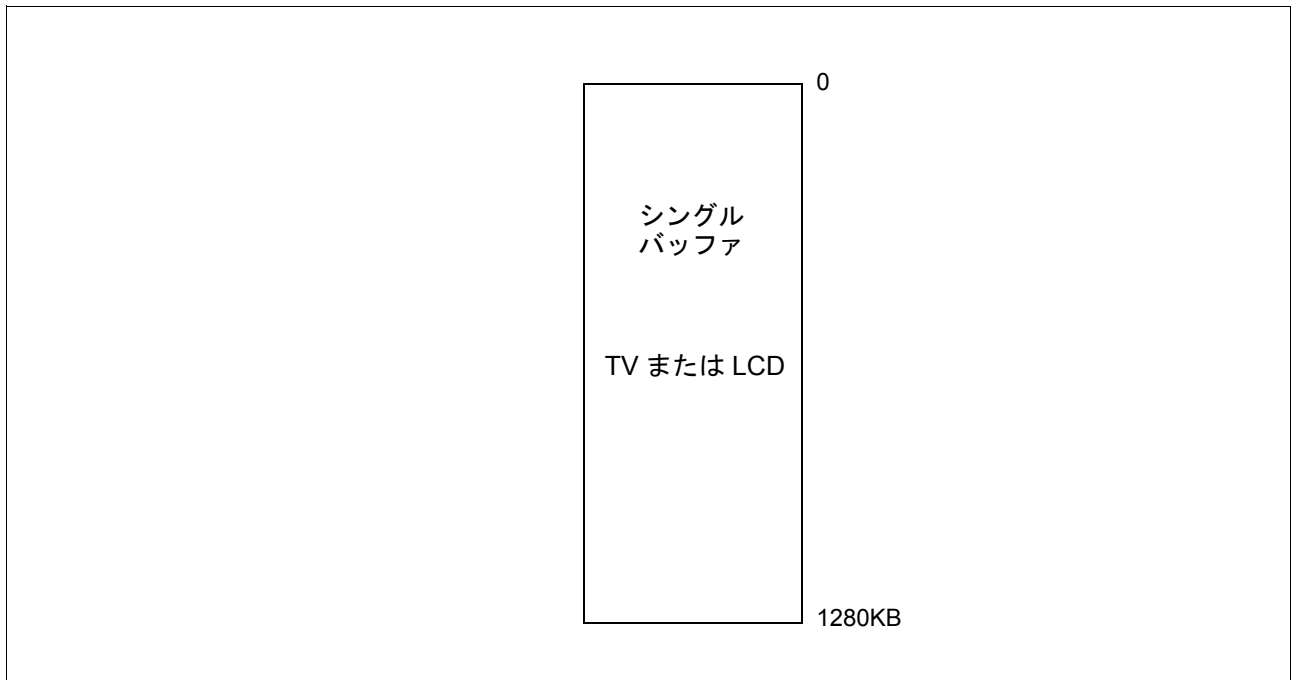


図10.1 シングルバッファのメモリマップ例

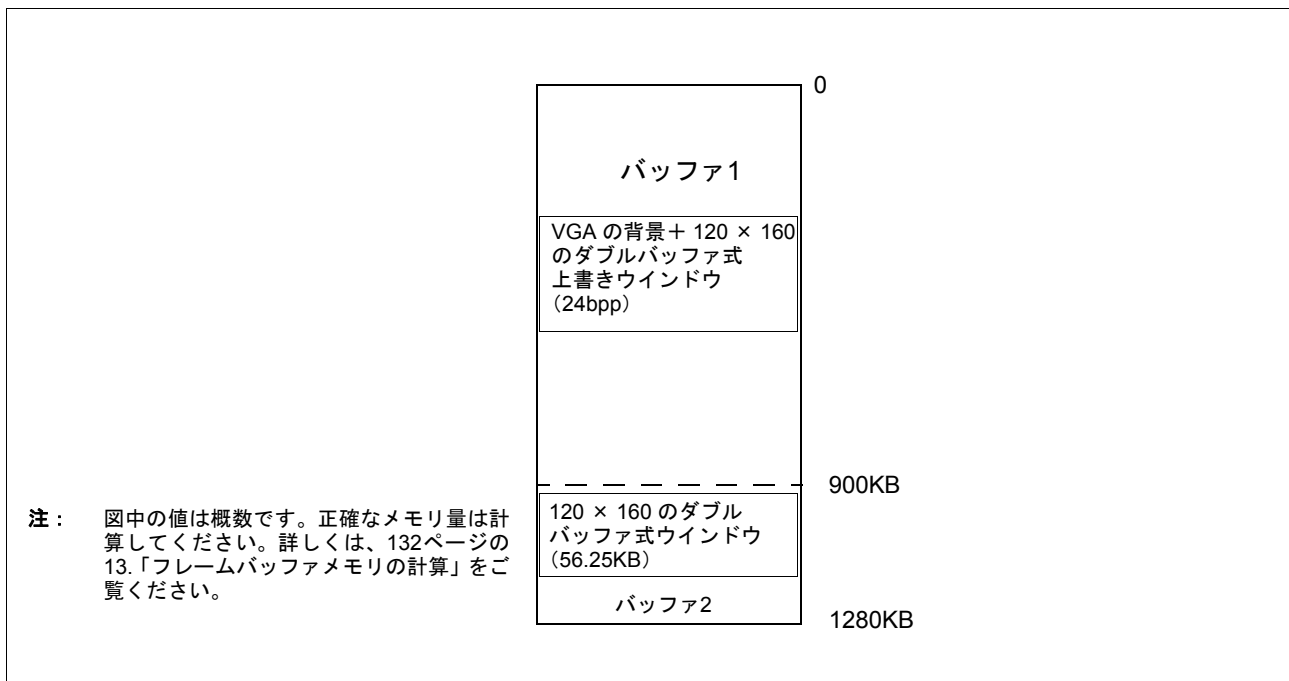


図10.2 LCD側のダブルバッファに関するメモリマップの例

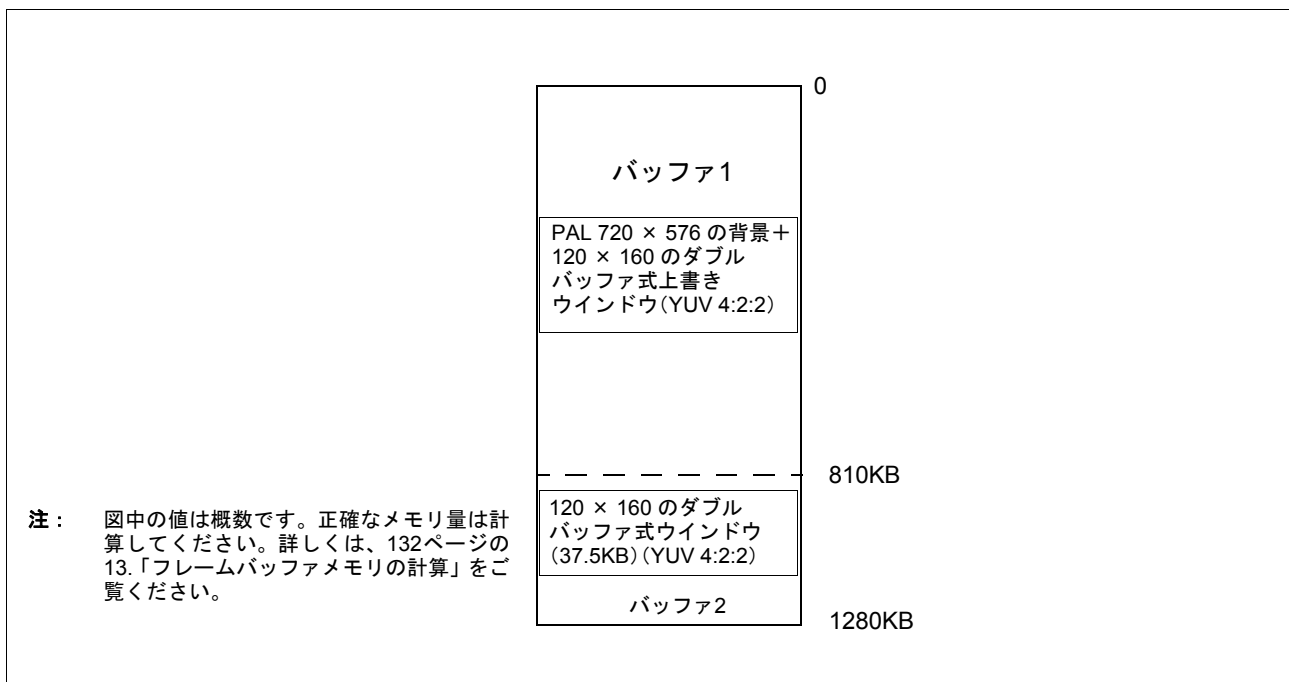


図10.3 TV側のダブルバッファに関するメモリマップの例 (その1)



# 10. メモリマップ

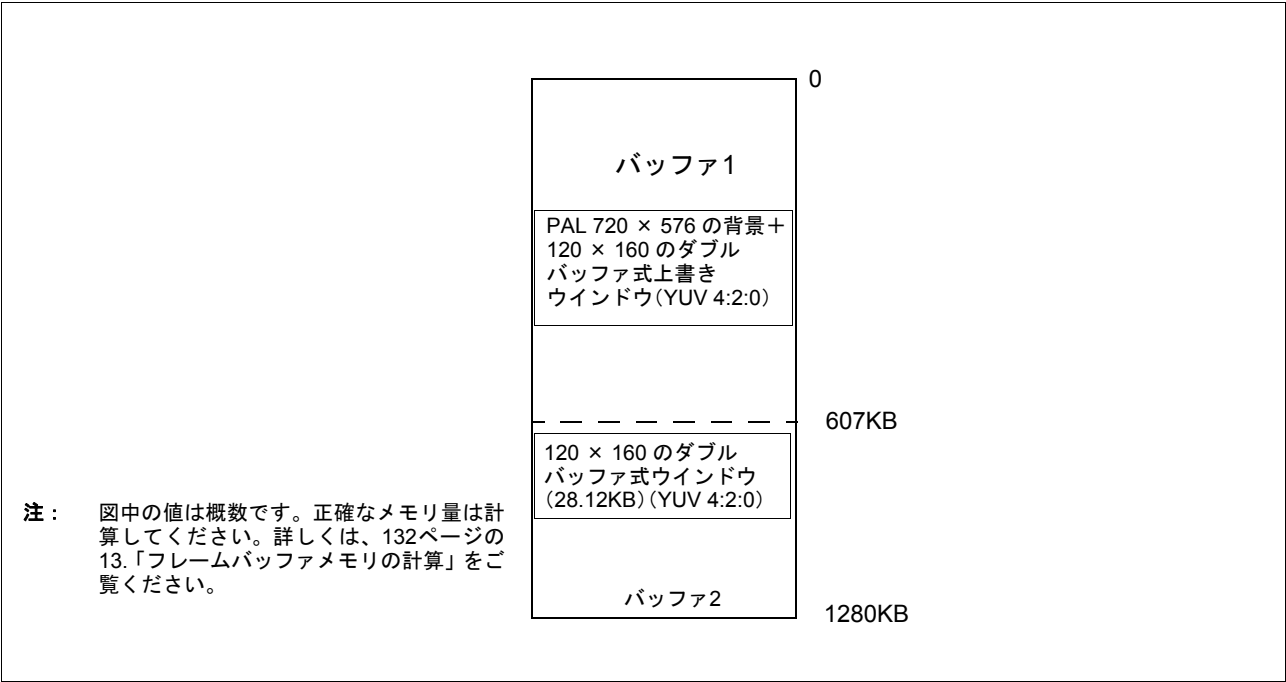


図10.4 TV側のダブルバッファに関するメモリマップの例（その2）

## 11. レジスタ

この章では、S1D13745のレジスタにアクセスする方法および場所について説明します。また、各レジスタのレイアウトと使用方法についても詳しく説明します。

S1D13745のレジスタはすべてIntel 80系インタフェースを使ってアクセスします。Intel 80系インタフェースの幅は、S1D13745の設定端子によって設定します。アクセスはすべて8ビットで行います。ただし、Display Memory Data Port (REG[90h]) に対するアクセスは、16ビット (CNF1=1の場合) または8ビット (CNF1=0の場合) です。

レジスタ空間に対するバーストデータの読み書きが可能です。D/C#がLowの状態で行うと、次のレジスタ読み書きに用いるレジスタアドレスが設定されます。D/C#がHighの状態で行うと、レジスタアドレスが1ワード単位でインクリメントされます。これはすべてのレジスタ書き込みアクセスに適用されます。ただし、Memory Data Port (REG[90h])、TV Filter (REG[5Ah])、およびGamma Correction Table Data (REG[B8h]) のレジスタは例外です。これらのレジスタに書き込みを行うと、内部メモリのアドレスのみがオートインクリメントされます。

### 11.1 レジスタマッピング

S1D13745のレジスタはメモリマップされています。非同期レジスタはいつでもアクセス可能です。同期レジスタは、パワーセーブモードがディセーブルされ (REG[E6h])、かつPLLがロックされている (REG[04h]ビット7=1) としかアクセスできません。これについては、63ページの9.3「クロックと機能の対応」をご覧ください。

表11.1 S1D13745のレジスタマッピング

アドレス	タイプ		機能
	S1D13745B00	S1D13745A01	
00h~02h	非同期	非同期	読み出し専用設定レジスタ
04h~0Eh	非同期	非同期	クロック設定レジスタ
10h~26h	同期	同期	SDRAM制御レジスタ
28h~3Ch	同期	同期	LCDパネル設定レジスタ
3Eh~42h	同期	同期	高速シリアルLCDインタフェース (HSSI) レジスタ
44h~5Ah	同期	同期	TV設定レジスタ
60h~66h	同期	同期	YUV-RGB変換器レジスタ
68h~6Ah	同期	同期	表示モードレジスタ
6Ch~7Ah	同期	同期	入力ウィンドウ座標兼位置レジスタ
7Ch~8Ah	同期	同期	出力ウィンドウ座標兼位置レジスタ
8Ch~8Eh	同期	同期	入力データ設定レジスタ
90h~A6h	同期	同期	表示メモリアクセスレジスタ
A8h~B2h	同期	同期	ボーダーカラーレジスタ
B4h~B8h	同期	同期	カラーマネジメントシステムレジスタ
BAh~E4h	同期	同期	3×3マトリックスレジスタ
E6h	非同期	非同期	その他のレジスタ
E8h~ECh	同期	同期	
E Eh~F8h	同期	非同期	

## 11. レジスタ

### 11.2 レジスタセット

S1D13745に備わるレジスタを以下の表にまとめます。

表11.2 S1D13745のレジスタセット

レジスタ	ページ	レジスタ	ページ
読み出し専用設定レジスタ			
REG[00h] Revision Code Register	70	REG[02h] Configuration Readback Register	70
クロック設定レジスタ			
REG [04h] PLL M-Divider Register	71	REG[06h] PLL Lock Range Control Register	72
REG[08h] PLL Clock Synthesis Control Register 0	73	REG[0Ah] PLL Clock Synthesis Control Register 1	73
REG[0Ch] PLL Mode Control Register 0	74	REG[0Eh] Clock Source Select Register	74
SDRAM制御レジスタ			
REG[10h] Memory Controller Activate Register	77	REG[14h] Memory Controller Bank 0 Status Flag Register	77
REG[18h] Auto Refresh Interval Setting Register 0	78	REG[1Ah] Auto Refresh Interval Setting Register 1	78
REG[1Ch] Power On Sequence Timing Control Register	78	REG[1Eh] Timing Control Register 0	79
REG[20h] Timing Control Register 1	80	REG[22h]は予約レジスタのため書き込みはできません	
REG[24h] Arbitration Priority Control Register	80	REG[26h]は予約レジスタのため書き込みはできません	
LCDパネル設定レジスタ			
REG[28h] LCD Panel Configuration Register	82	REG[2Ah] LCD Horizontal Display Width Register (HDISP)	83
REG[2Ch] LCD Horizontal Non-Display Period Register (HNDP)	83	REG[2Eh] LCD Vertical Display Height Register 0 (VDISP)	84
REG[30h] LCD Vertical Display Height Register 1 (VDISP)	84	REG[32h] LCD Vertical Non-Display Period Register (VNDP)	84
REG[34h] LCD HS Pulse Width Register (HSW)	84	REG[36h] HS Pulse Start Position Register (HPS)	85
REG[38h] VS Pulse Width Register (VSW)	85	REG[3Ah] VS Pulse Start Position Register (VPS)	86
REG[3Ch] PCLK Polarity Register	86		
高速シリアルLCDインタフェース (HSSI) レジスタ			
REG[3Eh] High Speed Serial Interface Tx Configuration Port Register 0	87	REG[40h] High Speed Serial Interface Tx Configuration Port Register 1	87
REG[42h] High Speed Serial Interface Tx Mode Register	89		
TV設定レジスタ			
REG[44h] TV Display Configuration Register	91	REG[46h] TV Vertical Blanking Interval Data bits Register 0	92
REG[48h] TV Vertical Blanking Interval Data bits Register 1	92	REG[4Ah] TV Vertical Blanking Interval Data bits Register 2	92
REG[4Ch] TV Vertical Blanking Interval Data bits Register 3	92	REG[4Eh] VBI: Closed Caption / XDS Control / Status Register	96
REG[50h] TV Horizontal Start Position Register	97	REG[52h] TV Vertical Start Position Register	98
REG[54h] TV Test Pattern Setting Register	98	REG[56h] TV Filter Setting Register	99
REG[58h] TV Filter Coefficient Index Register	100	REG[5Ah] TV Filter Coefficient Data Register	101
YUV-RGB変換器レジスタ			
REG[60h] Input YUV/RGB Translate Mode Register 0	102	REG[62h] Input YUV/RGB Translate Mode Register 1	103
REG[64h] U Data Fix Register	104	REG[66h] V Data Fix Register	104
表示モードレジスタ			
REG[68h] Display Mode Register	105	REG[6Ah] Special Effects Register	106
入力ウィンドウ座標兼位置レジスタ			
REG[6Ch] Input Window X Start Position Register 0	108	REG[6Eh] Input Window X Start Position Register 1	108
REG[70h] Input Window Y Start Position Register 0	108	REG[72h] Input Window Y Start Position Register 1	108
REG[74h] Input Window X End Position Register 0	109	REG[76h] Input Window X End Position Register 1	109
REG[78h] Input Window Y End Position Register 0	109	REG[7Ah] Input Window Y End Position Register 1	109

表11.2 S1D13745のレジスタセット（続き）

レジスタ	ページ	レジスタ	ページ
<b>出力ウィンドウ座標兼位置レジスタ</b>			
REG[7Ch] Output Window X Start Position Register 0	110	REG[7Eh] Output Window X Start Position Register 1	110
REG[80h] Output Window Y Start Position Register 0	111	REG[82h] Output Window Y Start Position Register 1	111
REG[84h] Output Window X End Position Register 0	111	REG[86h] Output Window X End Position Register 1	111
REG[88h] Output Window Y End Position Register 0	111	REG[8Ah] Output Window Y End Position Register 1	111
<b>入力データ設定レジスタ</b>			
REG[8Ch] Input Data Format Register	112	REG[8Eh] Data Source Select Register	113
<b>表示メモリアクセスレジスタ</b>			
REG[90h] Display Memory Data Port Register	116	REG[92h]は予約レジスタのため書き込みはできません	
REG[94h]は予約レジスタのため書き込みはできません		REG[96h]は予約レジスタのため書き込みはできません	
REG[98h]は予約レジスタのため書き込みはできません		REG[9Ah]は予約レジスタのため書き込みはできません	
REG[9Ch]は予約レジスタのため書き込みはできません		REG[9Eh]は予約レジスタのため書き込みはできません	
REG[A0h]は予約レジスタのため書き込みはできません		REG[A2h]は予約レジスタのため書き込みはできません	
REG[A4h]は予約レジスタのため書き込みはできません		REG[A6h]は予約レジスタのため書き込みはできません	
<b>ボーダーカラーレジスタ</b>			
REG[A8h] Border Color Register 0	117	REG[AAh] Border Color Register 1	117
REG[ACh] Border Color Register 2	117	REG[A Eh]は予約レジスタのため書き込みはできません	
REG[B0h]は予約レジスタのため書き込みはできません		REG[B2h]は予約レジスタのため書き込みはできません	
<b>カラーマネジメントシステムレジスタ</b>			
REG[B4h] Gamma Correction Enable Register	118	REG[B6h] Gamma Correction Table Index Register	119
REG[B8h] Gamma Correction Table Data Register	119		
<b>3×3マトリックスレジスタ</b>			
REG[BAh] 3x3 Matrix Enable Register	120	REG[BCh] Coefficient 0 Register 0	121
REG[BEh] Coefficient 0 Register 1	121	REG[C0h] Coefficient 1 Register 0	121
REG[C2h] Coefficient 1 Register 1	121	REG[C4h] Coefficient 2 Register 0	122
REG[C6h] Coefficient 2 Register 1	122	REG[C8h] Coefficient 3 Register 0	122
REG[CAh] Coefficient 3 Register 1	122	REG[CCh] Coefficient 4 Register 0	122
REG[CEh] Coefficient 4 Register 1	122	REG[D0h] Coefficient 5 Register 0	123
REG[D2h] Coefficient 5 Register 1	123	REG[D4h] Coefficient 6 Register 0	123
REG[D6h] Coefficient 6 Register 1	123	REG[D8h] Coefficient 7 Register 0	123
REG[DAh] Coefficient 7 Register 1	123	REG[DCh] Coefficient 8 Register 0	124
REG[DEh] Coefficient 8 Register 1	124	REG[E0h] 3x3 Matrix Red Offset Register	124
REG[E2h] 3x3 Matrix Green Offset Register	124	REG[E4h] 3x3 Matrix Blue Offset Register	124
<b>その他のレジスタ</b>			
REG[E6h] Power Save Register	125	REG[E8h] Non-Display Period Control / Status Register	126
REG[EAh] RGB Interface Control Register	127	REG[ECh] RGB Interface Status Register	128
<b>汎用IO端子レジスタ</b>			
REG[Eeh] General Purpose IO Pins Configuration Register	129	REG[F0h] General Purpose IO Pins Status/Control Register	129
REG[F2h] GPIO Positive Edge Interrupt Trigger Register	129	REG[F4h] GPIO Negative Edge Interrupt Trigger Register	130
REG[F6h] GPIO Interrupt Status Register	130	REG[F8h] GPIO Pull Down Control Register	130

## 11. レジスタ

### 11.3 レジスタの説明

すべての予約ビットはデフォルト値に設定することが必要です。予約ビットにデフォルト値以外の値を書き込むと、結果が保証されない場合があります。「n/a」と記載したビットはハードウェアに何も影響を与えません。とくに指定がない限り、すべてのレジスタビットは電源投入リセット時にゼロクリアされます。

予約レジスタには書き込みを行わないでください。オートインクリメントモードのとき、ホストプロセッサは予約レジスタをダミーで読み出します。または、予約レジスタの前にある最後の有効レジスタを処理したあとにオートインクリメントをいったん停止し、次の有効レジスタからオートインクリメントを再開するものとします。

#### 11.3.1 読み出し専用設定レジスタ

REG[00h] Revision Code Register							Read Only
Default = A5h							
		製品コードビット5~0				版数コードビット1~0	
7	6	5	4	3	2	1	0

bits 7-2                    製品コードビット[5:0]（読み出し専用）  
製品コードを示します。S1D13745の製品コードは「101001（29h）」です。

bits 1-0                    版数コードビット[1:0]（読み出し専用）  
S1D13745とHSSIブロックを合わせた版数コードを示します。版数コードは「01」です。

REG[02h] Configuration Readback Register										Read Only	
Default = not applicable											
マクロビジョン保証 オプション (RO)	n/a					CNF2ステータス	CNF1ステータス	CNF0ステータス			
7	6	5	4	3		2	1	0			

bit 7                    マクロビジョン保証オプション  
このビットが「0」のとき、マクロビジョンブロックは常に無効となり、使用することができません。このとき、REG[80h]ビット7は何の効果ももちません。このビットが「1」のとき、マクロビジョンブロックを有効にすることができます（REG[68h]ビット4）。

bits 2-0                    CNF[2:0]のステータス（読み出し専用）  
設定端子CNF[2:0]の現在のステータスを返します。各設定ビット（CNF[2:0]）の機能説明については、25ページの表5.9「パワーオンとリセットのオプションのまとめ」をご覧ください。

## 11.3.2 クロック設定レジスタ

内部SYSCLKに対してPLLを使用する場合、N/Dの値は以下のように設定してください。

$$48\text{MHz} < f_{\text{SYSCLK}} < 80\text{MHz}$$

REG [04h] PLL M-Divider Register							Read/Write
Default = 08h							
PLLロック (RO)	n/a			M分周器ビット5~0			
7	6	5	4	3	2	1	0

bit 7

PLLロック (読み出し専用)

PLL出力のステータスを示します。このビットはSYSCLKのソースがPLLの場合に使用されます。

このビットが「0」のとき、PLL出力は安定していません。この状態のとき、表示バッファに対する読み書きアクセスは禁止されます。

このビットが「1」のとき、PLL出力は安定しています。

## 注

PLLが無効である、すなわちREG[0Ch]ビット1~0=10のとき、このビットの値は無視してください。

SYSCLKのソースがPLLのとき、PLLが安定化するまでは次に示すレジスタにのみアクセスできます。REG[04h]、REG[06h]、REG[08h]、REG[0Ah]、REG[0Ch]、REG[0Eh]、REG[06h]、REG[EEh]~REG[F8h]

bits 5-0

M分周器ビット[5:0]

入力クロックとPLLへの実際の内部クロック間の分周比を指定します。PLLへの内部入力クロック (PLLCLK) は1~2 MHzであることが必要です。このレジスタはCLKIまたはOSCIの値に応じて以下のように設定する必要があります。

表11.3 PLLのM分周比の選択

REG[04h]ビット5~0	M分周比
0h	1:1
01h	2:1
02h	3:1
03h	4:1
...	...
08h (デフォルト)	9:1
...	...
1Fh	32:1
20h	33:1
21h~3Fh	Reserved

# 11. レジスタ

REG[06h] PLL Lock Range Control Register							
Default = 01h						Read/Write	
7	6	5	n/a	4	3	2	ロック範囲制御ビット1~0
							1 0

bits 1-0

ロック範囲制御ビット[1:0]

表11.4 ロック範囲制御ビット

REG[06h]ビット1~0	F = fvco/fck
00	1
01 (デフォルト)	2
10	4
11	8

ここで：

$f_{VCO}$  = VCOの周波数  
 $f_{VCO} = f_{FN} \times N \times F$   
 $f_{CK}$  = CK周波数（出力クロック）  
 $f_{CK} = f_{FN} \times N$   
 $f_{CK} = f_{VCO} / F$

注

- 1. VCOの動作範囲は60～165MHzとします。
- 2. PLLの全動作電流は上記ビットを「00」に設定することによって低減可能です。

**REG[08h] PLL Clock Synthesis Control Register 0**

Default = 14h

Read/Write

7	6	5	4	NDビット7~0		3	2	1	0
---	---	---	---	----------	--	---	---	---	---

**REG[0Ah] PLL Clock Synthesis Control Register 1**

Default = 00h

Read/Write

7	6	n/a	5	4	3	NDビット11~8		2	1	0
---	---	-----	---	---	---	-----------	--	---	---	---

REG[08h] bits 7-0

REG[0Ah] bits 3-0

NDビット [11:0]

**表11.5 NDビットの選択**

NDビット11~0	$N = f_{CK} / f_{FN}$
0~8h	使用不可
9h	9
...	...
0Fh	15
10h	16
...	...
14h (デフォルト)	20
...	...
FFFh	4095

ここで：

$$NDビット11~0 = f_{CK} / f_{FN}$$

 $f_{CK}$  = CK周波数（出力クロック）

$$f_{CK} = f_{FN} \times N$$

$$f_{CK} = f_{VCO} / F$$

 $f_{FN}$  = FN周波数（基準クロック）
**注**

VCOの動作範囲は60~165MHzとします。



## 11. レジスタ

REG[0Ch] PLL Mode Control Register 0							Read/Write
Default = 32h							
n/a 7	6	Reserved 5	4	n/a 3	強制PLLロック 2	PLL制御ビット1~0 1 0	

bits 6-4

Reserved

デフォルト値は「011」です。

bit 2

強制PLLロック

このビットが「0」のとき、何の影響も与えません。

このビットが「1」のとき、PLLロックビット（REG[04h]ビット7）が強制的にHighになります。

bits 1-0

PLL制御ビット[1:0]

これらのビットが「10」のとき、PLLはバイパスされ、給電されません（デフォルト）。

これらのビットが「01」のとき、PLLは有効です。

「00」および「11」は予約値です。

### 注

REG[E6h]ビット1またはPWRSVE端子を使ってスリープモードを設定すると、スリープモードに正常に移行した段階で内部ロジックはビット1~0を10に設定します。外部クロックソースを無効にする前にこれらのビットをチェックしてください。

REG[0Eh] Clock Source Select Register							Read/Write
Default = 00h							
7	6	PCLK分周選択ビット4~0 5 4 3			PCLKソースセレクトビット1~0 2 1		SYSCLKソースセレクト 0

bits 7-3

PCLK分周選択ビット[4:0]

パネルクロック（PCLK）の分周比を指定します。PCLKのクロックソースは設定可能です。クロックについては、61ページの9.「クロック」をご覧ください。

得られる周波数は、分周比に関係なくすべて50/50のデューティサイクルを維持します。

表11.6 PCLK分周比の選択

REG[0Eh]ビット7~3	PCLKの分周比	REG[0Eh]ビット7~3	PCLKの分周比
00000（デフォルト）	1:1	10000	17:1
00001	2:1	10001	18:1
00010	3:1	10010	19:1
00011	4:1	10011	20:1
00100	5:1	10100	21:1
00101	6:1	10101	22:1
00110	7:1	10110	23:1
00111	8:1	10111	24:1
01000	9:1	11000	25:1
01001	10:1	11001	26:1
01010	11:1	11010	27:1

表11.6 PCLK分周比の選択（続き）

01011	12:1	11011	28:1
01100	13:1	11100	29:1
01101	14:1	11101	30:1
01110	15:1	11110	31:1
01111	16:1	11111	32:1

bits 2-1

PCLKソースセレクトビット[1:0]

S1D13745のピクセルクロック（PCLK）ソースを下表に従って選択します。  
REG[0Eh]ビット1が「1」に設定されているとき、CNF2の設定値はPCLKソースに影響しません。

表11.7 PCLKソースの選択

REG[0Eh]ビット2~1	PCLKのソース
x0（デフォルト=00）	SYSCLK
01	CLKI
11	OSCI

**注**

TV機能の場合、PCLKはCLKIまたはOSCIをソースとし、CLKIまたはOSCIは27MHzである必要があります。

## 11. レジスタ

---

bit 0

SYSCLKソースセレクト

S1D13745のシステムクロック（SYSCLK）ソースを選択します。PLLおよびクロック構成については、61ページの9.「クロック」をご覧ください。

このビットが「0」のとき、SYSCLKソースは外部CLKIまたはOSC入力です。いずれになるかはCNF2の設定値によって決まります。

このビットが「1」のとき、SYSCLKソースは内部PLLです。

SYSCLKソースにPLLを指定する場合、このビットの設定前にPLLの設定を行う必要があります。

### 注

PLL出力が安定するまで最大1.5msの遅延を要することがあります。PLL出力が安定するまでは、次に示すレジスタにのみアクセスできます。REG[04h]、REG[06h]、REG[08h]、REG[0Ah]、REG[0Ch]、REG[0Eh]、REG[E6h]、REG[E6h]～REG[F8h]。PLL出力が安定したかどうかは「PLLロックビット」を使って判断できます。

## 11.3.3 SDRAM制御レジスタ

REG[10h] Memory Controller Activate Register							Read/Write
Default = 00h							
n/a							メモリコントローラ有効化
7	6	5	4	3	2	1	0

bit 0                      メモリコントローラ有効化ビット  
 このビットが「0」のとき、メモリコントローラは非アクティブです。保存したデータはすべて失われます。  
 このビットが「1」のとき、メモリコントローラはアクティブになり、パワーオンシーケンスが開始されます。パワーオンシーケンスが完了すると、メモリコントローラ準備ステータスフラグ（REG[14h]ビット0）が設定され、自動リフレッシュサイクルが開始されます。

## 注

メモリコントローラを無効にする場合は、先に表示を無効（REG[68h]ビット0=0）にすることが必要です。

REG[14h] Memory Controller Bank 0 Status Flag Register							Read Only
Default = 00h							
Reserved				n/a		Reserved	メモリコントローラ準備ステータスフラグ
7	6	5	4	3	2	1	0

bits 7-4                      Reserved  
 デフォルト値は「0000」です。

bit 1                      Reserved  
 デフォルト値は「0」です。

bit 0                      メモリコントローラ準備ステータスフラグ（読み出し専用）  
 メモリコントローラのパワーオンシーケンスが完了すると、このビットが設定されます。

## 11. レジスタ

REG[18h] Auto Refresh Interval Setting Register 0								Read/Write
Default = 5Ch								
オートリフレッシュ間隔設定ビット7~0								
7	6	5	4	3	2	1	0	

REG[1Ah] Auto Refresh Interval Setting Register 1								Read/Write
Default = 02h								
n/a				オートリフレッシュ間隔設定ビット11~8				
7	6	5	4	3	2	1	0	

REG[18h] bits 7-0

REG[1Ah] bits 3-0

オートリフレッシュ間隔設定ビット[11:0]

レジスタの値 =  $\text{int}(8,000,000 / (1024 \times (\text{SYSCLK\_PERIOD}[\text{ns}]))) - D$

ただし、D=21 (SYSCLK > 66.67MHzのとき) または19 (SYSCLK ≤ 66.67MHzのとき)

表11.8 オートリフレッシュ間隔の設定

周波数[MHz]	オートリフレッシュ間隔設定 ビット11~0
50	173h
66.67	1F3h
80	25Ch (デフォルト)

REG[1Ch] Power On Sequence Timing Control Register								Read/Write
Default = 3Fh								
n/a	パワーオンシーケンスのタイミング制御レジスタビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

パワーオンシーケンスのタイミング制御ビット[6:0]

パワーオンシーケンスのタイミング ( $t_{\text{RST}}$ と $t_{\text{PS}}$ ) の制御に使用します。

$$\text{この値} = \left( \frac{200,000 \div \text{SYSCLK周期 (ns)}}{256} \right) + 1 \text{ (小数点以下は四捨五入)}$$

表11.9 パワーオンシーケンスのタイミング制御の設定

周波数[MHz]	REG[1Ch]ビット6~0
50	28h
66.67	35h
80	3Fh (デフォルト)

**REG[1Eh] Timing Control Register 0**

Default = 13h

Read/Write

n/a			アクティブ～ リード／ライト コマンド発行間隔の タイミング制御	n/a	リフレッシュ～リフレッシュ／アクティブコマンド発行間隔の タイミング制御ビット2～0		
7	6	5	4	3	2	1	0

bit 4

アクティブ～リード／ライトコマンド発行間隔のタイミング制御ビット  
このビットは、アクティブ～リード／ライトコマンドの発行間隔（ $t_{\text{RCD}}$ ）の制御に使用します。

**表11.10 アクティブ～リード／ライトコマンド発行間隔のタイミング制御**

REG[1Eh]ビット4	システムクロック 周波数
0	$\text{CLK} \leq 55.5\text{MHz}$
1（デフォルト）	$\text{CLK} > 55.5\text{MHz}$

bits 2-0

リフレッシュ～リフレッシュ／アクティブコマンド発行間隔のタイミング制御  
ビット[3:0]  
これらのビットは、リフレッシュ～リフレッシュ／アクティブコマンドの発行  
間隔（ $t_{\text{RC(REF)}}$ ）の制御に使用します。

**表11.11 リフレッシュ～リフレッシュ／アクティブコマンド発行間隔のタイミング制御**

REG[1Eh]ビット2～0	システムクロック周波数
000	Reserved
001	$\text{CLK} < 50\text{MHz}$
010	$50\text{MHz} \leq \text{CLK} < 66.67\text{MHz}$
011（デフォルト）	$\text{CLK} \geq 66.67\text{MHz}$

## 11. レジスタ

REG[20h] Timing Control Register 1					Read/Write
Default = 21h					
n/a		リードレイテンシ設定ビット1~0		n/a	プリチャージ～アクティブ／リフレッシュコマンド発行間隔のタイミング制御
7	6	5	4	3	2
					1
					0

bits 5-4      リードレイテンシ設定ビット[1:0]  
リードレイテンシの指定に使用します。

表11.12 リードレイテンシの指定

REG[20h]ビット5~4	システムクロック周波数
00	Reserved
01	$\text{CLK} \leq 55.5\text{MHz}$
10 (デフォルト)	$\text{CLK} > 55.5\text{MHz}$
11	使用禁止

bit 2      Reserved  
デフォルト値は「0」です。

bit 0      プリチャージ～アクティブ／リフレッシュコマンド発行間隔のタイミング制御ビット  
このビットは、プリチャージ～アクティブ／リフレッシュコマンドの発行間隔(tRP) の制御に使用します。

表11.13 プリチャージ～アクティブ／リフレッシュコマンド発行間隔のタイミング制御

REG[20h]ビット0	システムクロック周波数
0	$\text{CLK} < 55.55\text{MHz}$
1 (デフォルト)	$\text{CLK} \geq 55.55\text{MHz}$

REG[22h]は予約レジスタです。

これは予約レジスタのため、書き込みを行うことはできません。オートインクリメントモードのとき、ホストプロセッサはこのレジスタをダミーで読み出すか、またはオートインクリメントをいったん停止し、REG[24h]から再開するものとします。

REG[24h] Arbitration Priority Control Register							Read/Write
Default = 00h							
n/a							アービトレーション優先制御
7	6	5	4	3	2	1	0

bit 0      アービトレーション優先制御ビット  
アービトレーションの優先順位を選択します。  
このビットが「0」のとき、ホスト書き込みは最低の優先順位をもち、要求キューにはつながりません (デフォルト)。  
このビットが「1」のとき、ホスト書き込みは最高の優先順位をもち、要求キューにつながります (S1D13745B00と同等です)。

REG[26h]は予約レジスタです。

これは予約レジスタのため、書き込みを行うことはできません。オートインクリメントモードのとき、ホストプロセッサはこのレジスタをダミーで読み出すか、またはオートインクリメントをいったん停止し、REG[28h]から再開するものとします。



# 11. レジスタ

## 11.3.4 LCDパネル設定レジスタ

REG[28h] LCD Panel Configuration Register							Read/Write
Default = 74h							
VDデータ入れ替え	LCDパネルデータ (VD[23:0]) 駆動制御ビット2~0			LCDインタフェース タイプ	LCDデータ幅	LCDパネル回転オフセットビット1~0	
7	6	5	4	3	2	1	0

bit 7                      VDデータ入れ替え  
パネルのデータライン（VD[23:0]）が入れ替わるかどうかを指定します。これがイネーブルの場合、有効な出力端子のデータはMSBとLSBが入れ替わります。その配置は、27ページの表6.2「LCDインタフェースのデータ端子割り付け（24ビットパネル）」および27ページの表6.3「LCDインタフェースのデータ端子割り付け（18ビットパネル）」に示すとおりです。  
このビットが「0」のとき、データラインは通常どおり（すなわち、出力端子VD23=VD23など）です。  
このビットが「1」のとき、データラインは入れ替わります（すなわち、出力端子VD23=VD0など）。

bits 6-4                LCDパネルデータ（VD[23:0]）駆動制御ビット[2:0]  
これらのビットを設定することにより、LCDパネルデータ出力端子の駆動能力を指定します。

表11.14 LCDパネルデータの駆動

ビット2	ビット1	ビット0	駆動電流（mA）
0	0	0	0.7
0	0	1	1.4
0	1	0	3.0
0	1	1	3.7
1	0	0	5.0
1	0	1	5.7
1	1	0	7.3
1	1	1	8.0（デフォルト）

bit 3                      LCDインタフェースタイプ  
このビットが「0」のとき、標準TFT出力に合ったLCDインタフェースが選択されます。  
このビットが「1」のとき、HSSI（High Speed Serial Interface）に合ったLCDインタフェースが選択されます。

注  
HSSIが有効な場合は、パラレルRGBインタフェースの出力を使用または接続しないでください。

bit 2                      LCDデータ幅  
このビットが「0」のとき、LCDインタフェースのデータ幅は18ビット用に設定されます。  
このビットが「1」のとき、LCDインタフェースのデータ幅は24ビット用に設定されます（デフォルト）。

bits 1-0

LCDパネル回転オフセットビット[1:0]

これらのビットを使えば、S1D13745へのデータ書き込みについて従来よりもわかりやすい方法が可能になります。LCDパネルを通常の方法とは異なる方向で物理的に設置（すなわち、横長のパネルを縦に設置）した場合でも、これらのビットが与えるオフセットにより、ソフトウェア上はウインドウデータを0度を基準にして書き込むことができます。

表11.15 LCDパネルの回転オフセット選択

REG[28h]ビット1～0	LCDパネルの回転
00（デフォルト）	LCDパネルの基準回転角＝0°
01	LCDパネルの基準回転角＝90°（左回り）
10	LCDパネルの基準回転角＝180°（左回り）
11	LCDパネルの基準回転角＝270°（左回り）

**REG[2Ah] LCD Horizontal Display Width Register (HDISP)**

Default = 01h

Read/Write

LCD水平表示期間ビット7～0							
7	6	5	4	3	2	1	0

bits 7-0

LCD水平表示期間ビット[7:0]

LCDパネルの水平表示期間（HDISP）を8ピクセル解像度で指定します。

HDISPのピクセル数＝（REG[2Ah]ビット7～0）×8

**注**

水平表示期間の最小値は8ピクセルです（REG[2Ah]ビット7～0＝01h）。

水平表示期間の最大値は1024ピクセルです（REG[2Ah]ビット7～0＝80h）。

**REG[2Ch] LCD Horizontal Non-Display Period Register (HNDP)**

Default = 03h

Read/Write

LCD水平非表示期間ビット7～0							
7	6	5	4	3	2	1	0

bits 7-0

LCD水平非表示期間ビット[7:0]

LCDパネルの水平非表示期間（HNDP）をピクセル数で指定します。

REG[3Ch]ビット1＝0のとき：

HNDPのピクセル数＝REG[2Ch]ビット7～0

REG[3Ch]ビット1＝1のとき：

HNDPのピクセル数＝（REG[2Ch]ビット7～0）×8

**注**

水平非表示期間の最小値は3ピクセルです（REG[2Ch]ビット7～0＝03h）。

水平非表示期間の最大値は128ピクセルです（REG[2Ch]ビット7～0＝80h）。

HS開始位置＋HS幅≤HNDP

## 11. レジスタ

REG[2Eh] LCD Vertical Display Height Register 0 (VDISP)								Read/Write
Default = 01h								
LCD垂直表示期間ビット7～0								
7	6	5	4	3	2	1	0	

REG[30h] LCD Vertical Display Height Register 1 (VDISP)								Read/Write
Default = 00h								
n/a						LCD垂直表示期間ビット9～8		
7	6	5	4	3	2	1	0	

REG[30h] bits 1-0

REG[2Eh] bits 7-0

LCD垂直表示期間ビット[9:0]

LCDパネルの垂直表示期間（VDISP）をライン数で指定します。

VDISPのライン数 = (REG[30h]ビット1～0、REG[2Eh]ビット7～0)

### 注

垂直表示期間の最小値は1ラインです

(REG[30h]ビット1～0、REG[2Eh]ビット7～0=001h)。

REG[32h] LCD Vertical Non-Display Period Register (VNDP)								Read/Write
Default = 02h								
LCD垂直非表示期間ビット7～0								
7	6	5	4	3	2	1	0	

bits 7-0

LCD垂直非表示期間ビット[7:0]

LCDパネルの垂直非表示期間（VNDP）をライン数で指定します。

VNDPのライン数 = REG[32h]ビット7～0

### 注

垂直非表示期間の最小値は2ラインです（REG[32h]ビット7～0=02h）。

REG[34h] LCD HS Pulse Width Register (HSW)								Read/Write
Default = 01h								
HSパルス極性	HSパルス幅ビット6～0							
7	6	5	4	3	2	1	0	

bit 7

HSパルス極性

水平同期信号の極性を選択します。LCDパネルの水平同期信号に従って設定してください。

このビットが「0」のとき、水平同期信号はアクティブLowです。

このビットが「1」のとき、水平同期信号はアクティブHighです。

bits 6-0

HSパルス幅ビット[6:0]

LCDパネルの水平同期信号幅（HSW）をピクセル数で指定します。水平同期信号は一般にHSですが、これはパネルタイプによって異なります。

REG[3Ch]ビット1=0のとき：

$$\text{HSWのピクセル数} = \text{REG}[34\text{h}] \text{ビット} 6 \sim 0$$

REG[3Ch]ビット1=1のとき：

$$\text{HSWのピクセル数} = (\text{REG}[34\text{h}] \text{ビット} 7 \sim 0) \times 8$$
**注**

1. 水平同期信号幅の最小値は1ピクセルです（REG[34h]ビット6～0=01h）。
2. HS開始位置+HS幅<HNDP

**REG[36h] HS Pulse Start Position Register (HPS)**

Default = 00h

Read/Write

HSパルス開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 7-0

HSパルス開始位置ビット[7:0]

水平同期信号の開始位置（HPS）をピクセル数で指定します。水平非表示期間の開始位置が基準になります。

REG[3Ch]ビット1=0のとき：

$$\text{HPSのピクセル数} = \text{REG}[36\text{h}] \text{ビット} 7 \sim 0$$

REG[3Ch]ビット1=1のとき：

$$\text{HPSのピクセル数} = (\text{REG}[36\text{h}] \text{ビット} 7 \sim 0) \times 8$$
**注**

HS開始位置+HS幅<HNDP

**REG[38h] VS Pulse Width Register (VSW)**

Default = 01h

Read/Write

VSパルス極性	n/a	VSパルス幅ビット5～0					
7	6	5	4	3	2	1	0

bit 7

VSパルス極性

垂直同期信号の極性を指定します。LCDパネルの垂直同期信号に従って設定してください。

このビットが「0」のとき、垂直同期信号はアクティブLowです。

このビットが「1」のとき、垂直同期信号はアクティブHighです。

bits 5-0

VSパルス幅ビット[5:0]

LCDパネルの垂直同期信号幅（VSW）をライン数で指定します。垂直同期信号は一般にVSですが、これはパネルタイプによって異なります。

$$\text{VSWのライン数} = \text{REG}[38\text{h}] \text{ビット} 5 \sim 0$$
**注**

（パルス開始位置+パルス幅）<非表示期間

## 11. レジスタ

REG[3Ah] VS Pulse Start Position Register (VPS)								Read/Write
Default = 00h								
VSパルス開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

VSパルス開始位置ビット[7:0]

垂直同期信号の開始位置（VPS）をライン数で指定します。垂直非表示期間の開始位置が基準になります。

VPSのライン数=REG[3Ah]ビット7~0

REG[3Ch] PCLK Polarity Register								Read/Write
Default = 80h								
PCLK極性	n/a					HNDP、HSW、HPSの解像度選択	n/a	
7	6	5	4	3	2	1	0	

bit 7

PCLK極性

PCLKの極性を選択します。

このビットが「0」のとき、PCLK出力のデータ伝送は立ち上がりエッジで行います。

このビットが「1」のとき、PCLK出力のデータ伝送は立ち下がりエッジで行います。

### 注

高速シリアルLCDインタフェース（REG[28h]ビット3=1）の場合、このビットは「1」に設定してください。

bit 1

HNDP、HSW、HPSの解像度選択

HNDP、HSW、HPSのレジスタの解像度を指定します。

このビットが「0」のとき、HNDP、HSW、HPSのレジスタは、ピクセル解像度です（デフォルト）。

このビットが「1」のとき、HNDP、HSW、HPSのレジスタの値は、8ピクセル解像度です（大型パネルに対して使用します）。

### 注

HNDP×8の値は1023を超えてはなりません。

(HPS+HSW) ×8の値は1023を超えてはなりません。

## 11.3.5 高速シリアルLCDインタフェース（HSSI）レジスタ

## 注

1. HSSI（High-Speed Serial Interface）を使用するときは、パラレルLCDインタフェース端子を未接続のままとします。
2. HSSIレジスタの設定を行う前にLCDインタフェースをHSSIに設定してください（REG[28h]ビット3=1）。

REG[3Eh] High Speed Serial Interface Tx Configuration Port Register 0							
Default = 00h							
Read/Write							
HSSI Tx設定ポートビット7~0							
7	6	5	4	3	2	1	0

REG[40h] High Speed Serial Interface Tx Configuration Port Register 1							
Default = 00h							
Read/Write							
HSSI Tx 設定ポートの選択	HSSI Tx設定ポートビット14~8						
7	6	5	4	3	2	1	0

REG[40h] bit 7

HSSI Tx設定ポートの選択

使用する設定ポートを指定します（下記参照）。

このビットが「0」のとき、第2の設定ポートが選択されます。

このビットが「1」のとき、第1の設定ポートが選択されます。

REG[40h] bits 6-0

REG[3Eh] bits 7-0

HSSI Tx設定ポートビット[14:0]

これらのビットは、HSSI Txレジスタの設定情報です。各値は、REG[42h]ビット7が切り替わる（1に続いて0が書き込まれる）たびに発生する信号の立ち上がりエッジによってHSSI Txに読み出されます。

## 注

HSSI（High-Speed Serial Interface）Txの設定には、2セットの設定書き込み処理が必要です。

1. HSSIインタフェースを有効化します（REG[28h]ビット3=1）。
2. HSSI Txのソフトウェアリセットを行います（REG[42h]ビット7=1、その後0）。
3. HSSI CS#をHighに設定します（REG[42h]ビット0=1）。
4. 1セット目の設定内容をREG[40h]ビット6~0に書き込むとともにビット7を「1」に設定し、その操作が第1の設定ポートへの書き込みであることを示します。続いて、REG[3Eh]ビット7~0に書き込みます。両レジスタはREG[42h]ビット7が切り替わる（1に続いて0が書き込まれる）たびにHSSI Txレジスタに取り込まれます。
5. 2セット目の設定内容についても同じ処理を行います。ただし、REG[40h]ビット7を「0」に設定し、その操作が第2の設定ポートへの書き込みであることを示します。
6. HSSI Txのソフトウェアリセットを行います（REG[42h]ビット7=1、その後0）。
7. HSSI CS#をLowに設定します（REG[42h]ビット0=0）。
8. LCDインタフェースを有効化します（REG[68h]ビット0=1）。

## 第1の設定

REG[40h] bits 5-4

HSSI Txリンク選択ビット[1:0]

有効なデータリンクを指定します。

## 11. レジスタ

表11.16 リンク選択動作モード

REG[40h]ビット5~4	有効なデータリンク	PCLK周波数	チャンネル当たりの帯域
00	SD0	4MHz ~ 15MHz	120Mbps ~ 450Mbps
01	SD0,SD1	8MHz ~ 30MHz	120Mbps ~ 450Mbps
10	SD0,SD1,SD2	20MHz ~ 65MHz	200Mbps ~ 650Mbps
11	Reserved	Reserved	Reserved

REG[40h] bit 3	HSSI TxのPLL PFDオーバーラップ制御 このビットは「0」に設定します。
REG[40h] bit 2	HSSI TxのPLLロック検出回路の有効化 このビットは「0」に設定します。
REG[40h] bits 1-0	HSSI TxのPLL出力検出感度 これらのビットは「11」に設定します。
REG[3Eh] bit 7	HSSI Txのプリエンファシスの有効化 このビットは「0」に設定します。
REG[3Eh] bits 6-4	HSSI TxのPLL LPF抵抗ビット[2:0] これらのビットは、有効なデータリンク数に応じて設定します。

表11.17 PLL LPF抵抗の設定

有効なデータリンク	PCLK周波数	REG[3Eh]ビット6~4	パネルサイズ
SD0	4-8MHz	011	QVGA
	6-11MHz	011	-
	8-15MHz	111	HVGA
SD0, SD1	8-15MHz	101	HVGA
	10-20MHz	101	-
	14-30MHz	011	VGA, WVGA
SD0, SD1, SD2	20-65MHz	001	XGA
上記以外の設定値はすべて予約値です。			

REG[3Eh] bits 3-0

HSSI TxのPLL VCビット[3:0]

VCOの周波数値を指定します。値は、有効なデータリンク数に応じて設定します。

表11.18 PLL VCO周波数値の設定

有効なデータリンク	PCLK周波数	REG[3Eh]ビット3~0	パネルサイズ
SD0	4-8MHz	1000	QVGA
	6-11MHz	1100	-
	8-15MHz	0010	HVGA
SD0, SD1	8-15MHz	0100	HVGA
	10-20MHz	1100	-
	14-30MHz	0010	VGA, WVGA
SD0, SD1, SD2	20-65MHz	0110	XGA
上記以外の設定値はすべて予約値です。			

## 第2の設定

REG[40h] bits 5-4

HSSI Tx CBビット[1:0]

差動出力電流値を指定します。

表11.19 差動電流値の指定

REG[40h]ビット5~4	差動電流 (mA)
00	2.33 (通常動作)
01	3.88
10	3.0
11	4.5

REG[3Eh] bit 4

このビットは予約ビットのため、「0」に設定します。

REG[3Eh] bits 3-0

HSSI Tx PLLチャージポンプビット[3:0]

これらのビットは「1000」に設定します。

REG[42h] High Speed Serial Interface Tx Mode Register						Read/Write	
Default = 01h							
HSSI Txのソフトウェアリセット	n/a	Reserved		HSSI TxのRGBカラーフォーマットビット 1~0		n/a	HSSI Txのチップセレクト
7	6	5	4	3	2	1	0

bit 7

HSSI Txのソフトウェアリセット（書き込み専用）

このビットを「1」に設定すると、HSSIに対するリセットパルスが1つ発生します。新たなリセットパルスを発行する前に「0」に戻すことが必要です。

bits 5-4

Reserved

これらのビットは予約ビットであり、デフォルトは「00」に設定されます。



# 11. レジスタ

bits 3-2 HSSI TxのRGBカラーフォーマットビット[1:0]  
HSSI Tx入力のRGBカラーフォーマットを指定します。18bppの場合、24bppデータの各色成分の上位2ビットを切り捨てます。16bppの場合、各色成分の上位2ビットのほか、赤と青の色成分のLSBを切り捨てます。

表11.20 HSSI TxのRGBカラーフォーマットの選択

REG[42h]ビット3~2	HSSI TxのRGBカラーフォーマット
00 (デフォルト)	24 bpp
01	18 bpp
10	16 bpp
11	Reserved

bit 0 HSSI Txのチップセレクト  
このビットが「0」のとき、HSSI Txのセレクト信号はLowです。  
このビットが「1」のとき、HSSI Txのセレクト信号はHighです (デフォルト)。

## 11.3.6 TV設定レジスタ

REG[44h] TV Display Configuration Register							Read/Write
Default = 00h							
Reserved	VBI選択ビット1~0		出力信号 フォーマット	TV規格選択ビット2~0			n/a
7	6	5	4	3	2	1	0

bit 7                      Reserved  
デフォルト値は「0」です。

bits 6-5                VBI選択ビット[1:0]  
ワイドスクリーン信号（WSS）の規格を指定します。

表11.21 ワイドスクリーン信号の規格

ビット1	ビット0	規格
0	0	VBIデータなし（デフォルト）
0	1	ITU-R BT.1119-2規格に規定される WSSを有効化
1	0	CEI 61880に規定されるWSSと CGMSとAPSを有効化
1	1	CEA-608-Bに規定されるクローズド キャプションとXDSを有効化

bit 4                      出力信号フォーマット  
TV出力信号のフォーマットを指定します。  
このビットが「0」のとき、出力信号フォーマットはコンポジットビデオです。  
このビットが「1」のとき、出力信号フォーマットはSビデオです。

bits 3-1                TV規格選択ビット[2:0]  
TV規格とその下位規格を下表の要領で選択します。

表11.22 TV規格の選択

REG[44h]ビット3~1	TV規格	下位規格
000（デフォルト）	625ラインシステム	PAL B, D, G, H, I
001	525ラインシステム	PAL M
010	625ラインシステム	PAL N
011	625ラインシステム	PAL Nc
100	525ラインシステム	NTSC M
101	525ラインシステム	NTSC J
110~111	Reserved	

# 11. レジスタ

<b>REG[46h] TV Vertical Blanking Interval Data bits Register 0</b> Default = 00h								Read/Write
VBIデータビット7~0								
7	6	5	4	3	2	1	0	

<b>REG[48h] TV Vertical Blanking Interval Data bits Register 1</b> Default = 00h								Read/Write
VBIデータビット15~8								
7	6	5	4	3	2	1	0	

<b>REG[4Ah] TV Vertical Blanking Interval Data bits Register 2</b> Default = 00h								Read/Write
VBIデータビット23~16								
7	6	5	4	3	2	1	0	

<b>REG[4Ch] TV Vertical Blanking Interval Data bits Register 3</b> Default = 00h								Read/Write
VBIデータビット31~24								
7	6	5	4	3	2	1	0	

REG[4Ch] bits 7-0  
REG[4Ah] bits 7-0  
REG[48h] bits 7-0  
REG[46h] bits 7-0

VBI（垂直帰線消去期間）データビット[31:0]  
ワイドスクリーン信号の処理に必要なデータを設定します。設定されるデータはTV規格によって異なります（REG[44h]ビット3~1をご覧ください）。

**表11.23 VBIデータビットの説明**  
**(ITU-R BT.1119-2/ETSI EN 300 294における625と525のラインシステム)**

WSS データ ビット	PAL			NTSC		
	ビット 番号	名称	説明	ビット 番号	名称	説明
0	0	アスペクト比	1000: 4 : 3のフルフォーマット	0	基準	「1」に設定します
1	1		0001: 14 : 9のボックス、中央表示	1	基準	「0」に設定します
2	2		1010: 14 : 9のボックス、上表示 1011: 16 : 9のボックス、中央表示	2	アスペクト比	0: 4 : 3のフルフォーマット 1: 16 : 9のレターボックス
3	3		0100: 16 : 9のボックス、上表示 1101: 16 : 9超のボックス、中央表示 1110: 14 : 9のフルフォーマット、 または14 : 9の中央表示とプロテクト 0111: 16 : 9のフルフォーマット、歪みあり	3	パリティ	ビット位置3～5 (B3～B5) に対する 偶数パリティ
4	4	フィルム ビット	0: カメラモード 1: フィルムモード	4	Reserved	「0」に設定します
5	5	カラー コーディング ビット	0: 従来のコーディング方式 1: MACP (Motion Adaptive Color Plus)	5	フィールド タイプの 有効性	0: フィールドタイプは非アクティブ。出力は「0」。 1: フィールドタイプはアクティブ。出力は最 初のフィールドが「0」、次のフィールドが「1」。
6	6	ヘルパー ビット	0: ヘルパーなし 1: 変調ヘルパー信号	6	フレーム タイプの 有効性	0: フレームタイプは非アクティブ。出力は「0」。 1: フレームタイプはアクティブ。出力は基準 フレームが「0」、それ以外のフレームが「1」。
7	7	Reserved	「0」に設定します	7	垂直時間 ヘルパー	0: なし 1: あり
8	8	テレテキスト ビット内サブ タイトル	0: テレテキスト内にサブタイトルなし 1: テレテキスト内にサブタイトルあり	8	垂直高解像度 ヘルパー	0: なし 1: あり
9	9	サブタイトル モード	00: オープンサブタイトルなし 01: 有効画像エリア内にサブタイトル 10: 有効画像エリア外にサブタイトル 11: Reserved	9	水平ヘルパー	0: なし 1: あり
10	10			10	水平ヘルパー プリ コーディング	0: なし 1: あり
11	11	(注)	0: (注)	11	テレビ放送局 が使用	「0」に設定します
12	12		0: (注)	12		
13	13		0: (注)	13		
14				14	Reserved	「0」に設定します
15				15		
16				16		
17				17	誤り訂正 コード	ビット番号3～17 (B3～B17) のCRCコード: $G(x)=X^6+X+1$
18				18		
19				19		
20				20		
21				21		
22				22		
23				23	基準	「0」に設定します
24 - 31	Reserved					

**注**

ITU-R BT.1119-2の場合、ビット13～11は予約ビットであり、「000」に設定します。  
ETSI EN 300 294の場合は以下の意味をもちます。

ビット11 サラウンドサウンド 0=サラウンドサウンド情報なし  
1=サラウンドサウンドモード

ビット12 著作権 0=著作権表示がないか、ステータスが不明  
1=著作権表示あり

ビット13 コピー 0=コピーは許容  
1=コピーは禁止

表11.24 VBIデータビットの説明（CEI 61880、525ラインシステム）

VBI データ ビット	NTSCシステムのみ		
	ビット 番号	名称	説明
0	0	基準ビット	
1	1	基準ビット	
2	2	アスペクト比	ビット3～2 00: 4 : 3の標準 01: 16 : 9の標準 10: 4 : 3のレターボックス 11: Reserved:
3	3		
4	4	コピー管理情報	ビット7～4 0000: ビット12～8（CGMS-A、APSトリガ、ASBのビット） が転送されます。 1111: ビット12～8は転送されません（ビット12～8は0に設 定されます）。
5	5		
6	6		
7	7		
8	8	CGMS-Aビット	ビット9～8 00: コピーは無制限に行えます。 01: コピーは1枚のみ可能です。 10: この設定は使用されません。 11: コピーは一切禁止です。
9	9		
10	10	APSトリガビット	ビット11～10 00: PSPはオフ 01: PSPはオン、スプリットバーストはオフ 10: PSPはオン、2ラインのスプリットバーストをオン 11: PSPはオン、4ラインのスプリットバーストをオン
11	11		
12	12	ASB	1: 事前記録されたアナログパッケージ媒体 0: 事前記録されたアナログパッケージ媒体以外
13	13		「0」に設定します
14	14		
15	15		
16	16	CRCCビット	$G(x)=X^6+X+1$
17	17		
18	18		
19	19		
20	20		
21	21		
22			「0」に設定します
23			「0」に設定します
24			「0」に設定します
25			「0」に設定します
26			「0」に設定します
27			「0」に設定します
28～31			「0」に設定します

表11.25 VBIデータビットの説明 (CEA-608-B)

VBI データ ビット	REG[4Eh]ビット1=0 (自動WSS+CGMS+APSモード) REG[4Eh]ビット1=1のケースについては表11.26を参照		
	ビット 番号	名称	説明
0	0	S0	アスペクト比情報：開始位置 ビットS0～S5は、有効ピクチャ情報に対する開始ライン番号を規定します。開始ライン番号を計算するには、ビットS0～S5が示す10進数に22を加算します（525ラインシステムの場合）。
1	1	S1	
2	2	S2	
3	3	S3	
4	4	S4	
5	5	S5	
6	6	E0	アスペクト比情報：終了位置 ビットE0～E5は、有効ピクチャ情報に対する終了ライン番号を規定します。終了ライン番号を計算するには、262からビットE0～E5が示す10進数を減算します（525ラインシステムの場合）。
7	7	E1	
8	8	E2	
9	9	E3	
10	10	E4	
11	11	E5	
12	12	Q0	このビットは、ビデオをスクイーズする（Q0=1）か標準（Q0=0）かを示します。ビデオのスクイーズ処理では、オリジナルの16×9の映像が左右を切り捨てることなく4×3形式に圧縮されます。
13	13	ASB	アナログソースビットです。
14	14	APS、ビット0	APSビット1～0 00: APSなし
15	15	APS、ビット1	01: PSPIはオン、スプリットバーストはオフ 10: PSPIはオン、2ラインのスプリットバーストをオン 11: PSPIはオン、4ラインのスプリットバーストをオン
16	16	CGMS-A、ビット0	CGMS-Aビット1～0
17	17	CGMS-A、ビット1	00: コピーは無制限に行えます。 01: この設定は使用されません。 10: コピーは1枚のみ可能です。 11: コピーは一切禁止です。
18	18	Reserved	「Copy Generation Management System」の第2バイトは将来の使用のために予約されています。すべての予約ビットはゼロクリアしてください。
19	19		
20	20		
21	21		
22	22		
23	23		
24	24		ビット26～24：XDSパケットの自動リフレッシュレートビット2～0 この3ビットのレジスタは、「Aspect Ratio Information」および「Copy Generation Management System」という2つのXDSパケットのリフレッシュレートを規定します。 この2つのXDSパケットは次のレートで送信されます。 PAL：8×(このレジスタの値+1)/25秒 NTSC：8×(このレジスタの値+1)/30秒
25	25		
26	26		
27	27	Reserved	「0」に設定します。
28～30	.		
	.		
31	32		

## 11. レジスタ

表11.26 XDSに関するVBIデータビットの説明 (CEA-608-B)

VBIデータビット	REG[4Eh]ビット1=1 (自動WSS+CGMS+APSのディセーブルモード) REG[4Eh]ビット1=0のケースについては表11.25を参照		
	ビット番号	名称	説明
0-6	1-7	XDS バイト1、 D[0:6]	フィールド1のライン21/22において送出される最初のASCII文字
8-14	9-15	XDS バイト2、 D[0:6]	フィールド1のライン21/22において送出される2番目のASCII文字
16-22	17-23	XDS バイト3、 D[0:6]	フィールド1のライン284/335において送出される最初のASCII文字
24-30	25-31	XDS バイト4、 D[0:6]	フィールド1のライン284/335において送出される2番目のASCII文字

REG[4Eh] VBI: Closed Caption / XDS Control / Status Register							Read/Write
Default = 10h							
Reserved	Reserved	Reserved	フレームVSYNC 期間 (RO)	有効なフィールド2 データ	有効なフィールド1 データ	CEA 608-Bライン 21データの サービス自動 モードの無効化	VBIの有効化
7	6	5	4	3	2	1	0

- bits 7                      Reserved  
デフォルト値は「0」です。
- bit 6                      Reserved  
デフォルト値は「0」です。
- bit 5                      Reserved  
デフォルト値は「0」です。
- bit 4                      フレームVSYNC期間 (読み出し専用)  
このビットが「0」のとき、これはTVフレームのVSYNCがアクティブでない期間中であることを示します。  
このビットが「1」のとき、これはTVフレームのVSYNCがアクティブの期間中であることを示します。
- TVフレームのVSYNCがアクティブである間、ホストはVBIデータ関連レジスタ (REG[46h]～REG[4Ch]) およびこのレジスタのビット3～0を更新できます。TVフレームのVSYNCがアクティブでない間、ホストはVBIデータ関連レジスタおよびこのレジスタのビット3～0を更新しないでください。
- TVフレームのVSYNCがアクティブである期間の長さは、REG[44h]ビット3～1に設定されたTV規格によって決まります。
- PAL B/D/G/H/I/Nc : ライン624～16  
    PAL N : ライン623～15  
    NTSC M/J : ライン1～18  
    PAL M : ライン523～15

bit 3 フィールド2データの有効性  
このビットが「0」のとき、VBIデータビット30～16は無効であるか、または前のフィールド2においてデータがすでに送信されています。  
次のフィールド2においてVBIデータビット30～16を送出するには、REG[4Eh]ビット4=1のときにこのビットに「1」を設定します。

**注**

1. このビットは、ビット1=1かつREG[44h]ビット6～5=11のときにのみ有効です。
2. このビットの値を変更する前に、REG[4Eh]ビット4=1であることを確認してください。

bit 2 フィールド1データの有効性  
このビットが「0」のとき、VBIデータビット14～0は無効であるか、または前のフィールド1においてデータがすでに送信されています。  
次のフィールド1においてVBIデータビット14～0を送出するには、REG[4Eh]ビット4=1のときにこのビットに「1」を設定します。

**注**

1. このビットは、ビット1=1かつREG[44h]ビット6～5=11のときにのみ有効です。
2. このビットの値を変更する前に、REG[4Eh]ビット4=1であることを確認してください。

bit 1 CEA 608-Bライン21データのサービス自動モードの無効化  
このビットが「0」のとき、VBIデータ+CGMS+APSはXDSシーケンスと組み合わせられ、フィールド2パッケージにおいて自動的に送出されます（フィールド1パッケージはゼロデータパッケージとして送出されます）。フィールド2パッケージのデータ転送については、95ページの表11.25「VBIデータビットの説明（CEA-608-B）」をご覧ください。

このビットが「1」のとき、CEA 608-Bライン21データのサービス自動モードは無効です。このとき、REG[46h]～REG[4Ch]と合わせてREG[4Eh]ビット[4:2]を用いることにより、フィールド1または2のパッケージにおいてXDSシーケンスを手動で送信します。フィールド1および2パッケージのデータ転送については、96ページの表11.26「XDSに関するVBIデータビットの説明（CEA-608-B）」をご覧ください。

**注**

このビットはREG[44h]ビット6～5=11のときにのみ有効です。

bit 0 VBIの有効化  
このビットが「0」のとき、VBIデータは無効です。  
このビットが「1」のとき、VBIデータは有効です。

**REG[50h] TV Horizontal Start Position Register**

Default = 14h

Read/Write

TV水平開始位置ビット7～0							
7	6	5	4	3	2	1	0

bits 7-0 TV水平開始位置ビット[7:0]  
画像の水平開始位置を指定します。デフォルト値の「14h」は、TV表示上で画像を左右に中央配置するときのPAL（12h）とNTSC（16h）の中間値です。



## 11. レジスタ

REG[52h] TV Vertical Start Position Register								Read/Write
Default = 03h								
n/a	TV垂直開始位置ビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0      TV垂直開始位置ビット[6:0]  
 画像の垂直開始位置を指定します。デフォルト値の「03h」は、TV表示上で画像を上下に中央配置する値です。

REG[54h] TV Test Pattern Setting Register								Read/Write
Default = 00h								
輝度遅延設定3~0				テストパターン選択ビット3~0				
7	6	5	4	3	2	1	0	

bits 7-4      輝度遅延設定[3:0]  
 Sビデオ出力における輝度データとクロミナンスデータ間の遅延を指定します。  
 輝度遅延=(REG[54h]ビット[7:4]×37ns)  
 ただし、REG[54h]ビット7~4の値の範囲は0000~1100です (0ns~12×37ns、37ns刻み)。

bits 3-0      テストパターン選択ビット[3:0]  
 テストパターン発生器に組み込まれたTVテストパターンを選択します。

表11.27 テストパターンの定義

REG[54h]ビット3~0	テストパターンの説明	注
0000 (デフォルト)	テストパターン発生器は無効	通常動作
0001	75%カラーバーと75%白	10.3μs (278T) から6.7μs (180T) 刻み
0010	100%カラーバー	
0011	75%カラーバーと100%白	
0100	Reserved	
0101	Y一定 (77IRE、YCbCr : 180/128/128)	HDEとして有効なすべてのライン
0110	Y一定+赤 (YCbCr : 65/100/212)	
0111	10ステップステアケース、クロミナンスなし	
1000	ランプ型Y、クロミナンスなし	20.2μs~53.0μs
1001	10ステップステアケース、クロミナンス1あり (CbCr : 89/156)	PAL用
1010	10ステップステアケース、クロミナンス2あり (CbCr : 73/128)	NTSC用
1011	ランプA、クロミナンス1あり (UV : -20/20)	PAL用
1100	ランプA、クロミナンス2あり (UV : -28/0)	NTSC用
1101	カラー Aを用いた100IREのランプ : n/-21/21、n : 0 -140	NTSC用
1110	カラー Bを用いた100IREのランプ : n/-28/21、n : 0 -140	PAL用
1111	カラー Aを用いた80IREのランプ : n/-21/21、n : 0 -448	NTSC用

表11.28 各ビデオパラメータに使用するテストパターン

項目/パラメータ	条件	テスト信号	テストモード
微分位相	$< 1^\circ$	変調ステアケース（5ないし10ステップ）または 変調ランプ、バーストに対して $0 \pm 1^\circ$	
微分利得	$< 1\%$	10ステップの変調ステアケース	
色相の精度	$< 1^\circ$	カラーバー	
彩度の精度	$< 1\%$	カラーバー	
S/N比	$> 60 \text{ dB}$		
SCH位相	$0 \pm 5^\circ$	カラーバーストのある信号	
サブキャリアの許容差	$< 2/1 \text{ Hz}$ (NTSC/PAL)		

**REG[56h] TV Filter Setting Register**

Default = 80h

Read/Write

ドットクロール 除去の有効化 7	n/a 6	フリッカフィルタの 有効化 5	Reserved 4	Reserved 3	プログラム可能 フィルタの選択 2	クロミナンス フィルタの有効化 1	輝度フィルタの 有効化 0
------------------------	----------	-----------------------	---------------	---------------	-------------------------	-------------------------	---------------------

- bit 7      ドットクロール除去の有効化  
525ラインシステムのコンボジット信号専用  
このビットが「0」のとき、ドットクロール除去フィルタは無効です。  
このビットが「1」のとき、ドットクロール除去フィルタは有効です。
- bit 5      フリッカフィルタの有効化  
3ラインのフリッカフィルタ機能を制御します。LCDを選択している（REG[68h]  
ビット2=0）とき、このビットはつねに「0」としてください。  
このビットが「0」のとき、フリッカフィルタは無効です。  
このビットが「1」のとき、フリッカフィルタは有効です。
- bit 4      Reserved  
デフォルト値は「0」です。
- bit 3      Reserved  
デフォルト値は「0」です。
- bit 2      プログラム可能フィルタの選択  
クロミナンスフィルタおよび輝度フィルタのフィルタパラメータが事前に設定  
されているか、またはREG[58h]とREG[5Ah]のレジスタを用いてプログラム可能  
かを指定します。  
このビットが「0」のとき、フィルタパラメータはTV規格に従って事前に設定  
されています。  
このビットが「1」のとき、フィルタパラメータはレジスタを用いてプログラム  
可能です。
- bit 1      クロミナンスフィルタの有効化  
クロミナンスフィルタ機能を制御します。  
このビットが「0」のとき、クロミナンスフィルタは無効です。  
このビットが「1」のとき、クロミナンスフィルタは有効です。
- bit 0      輝度フィルタの有効化  
輝度フィルタ機能を制御します。  
このビットが「0」のとき、輝度フィルタは無効です。  
このビットが「1」のとき、輝度フィルタは有効です。

## 11. レジスタ

REG[58h] TV Filter Coefficient Index Register								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

bits 4-0

TVフィルタ係数インデックスビット[4:0]

輝度フィルタはタップ数15のFIRフィルタであり、ノッチフィルタまたはローパスフィルタに設定できます。クロミナンスフィルタはタップ数15のローパスFIRフィルタです。

8つのクロミナンスフィルタ係数（バイト）があり、それぞれに符号ビットが付随します。8つの輝度フィルタ係数（バイト）があり、それぞれに符号ビットが付随します。このインデックスレジスタでは、32バイトのデータにアクセスできます（第1バイトが係数で、第2バイトのビット0が符号ビットです）。前半の16バイトが輝度係数、後半の16バイトがクロミナンス係数です。いずれのフィルタも次に示すデフォルト値をもちます。

**表11.29 輝度フィルタのデフォルト値**

REG[52h] ビット2	REG[40h] ビット4	TV規格	係数0	係数1	係数2	係数3	係数4	係数5	係数6	係数7	注
0	1	-	1FDh	005h	1FCh	1FDh	012h	1DAh	036h	0C3h	ローパス
0	0	NTSC、 M/Nc PAL	1FEh	007h	008h	1E5h	1F5h	037h	005h	0BBh	ノッチフィルタ (3.58MHz)
0	0	(B、D、 G、H、I、 N) PAL	002h	1F3h	00Eh	00Ch	1D6h	01Dh	01Bh	0C3h	ノッチフィルタ (4.43MHz)
1	-	-	レジスタ値が使用されます								ユーザ設定

**表11.30 クロミナンスフィルタのデフォルト値**

REG[52h] ビット2	係数0	係数1	係数2	係数3	係数4	係数5	係数6	係数7	注
0	001h	001h	1FBh	1F5h	1FDh	01Dh	047h	05Bh	ローパス（減衰量は1.3MHzで 1.5dB、3.6MHzで20dB超）
1	レジスタ値が使用されます								ユーザ設定

表11.31 クロミナンスと輝度のフィルタ係数インデックス

インデックス	説明	インデックス	説明
00h	輝度フィルタ係数0のレジスタ0（ビット7～0）	10h	クロミナンスフィルタ係数0のレジスタ0（ビット7～0）
01h	輝度フィルタ係数0のレジスタ1（符号ビット）	11h	クロミナンスフィルタ係数0のレジスタ1（符号ビット）
02h	輝度フィルタ係数1のレジスタ0（ビット7～0）	12h	クロミナンスフィルタ係数1のレジスタ0（ビット7～0）
03h	輝度フィルタ係数1のレジスタ1（符号ビット）	13h	クロミナンスフィルタ係数1のレジスタ1（符号ビット）
04h	輝度フィルタ係数2のレジスタ0（ビット7～0）	14h	クロミナンスフィルタ係数2のレジスタ0（ビット7～0）
05h	輝度フィルタ係数2のレジスタ1（符号ビット）	15h	クロミナンスフィルタ係数2のレジスタ1（符号ビット）
06h	輝度フィルタ係数3のレジスタ0（ビット7～0）	16h	クロミナンスフィルタ係数3のレジスタ0（ビット7～0）
07h	輝度フィルタ係数3のレジスタ1（符号ビット）	17h	クロミナンスフィルタ係数3のレジスタ1（符号ビット）
08h	輝度フィルタ係数4のレジスタ0（ビット7～0）	18h	クロミナンスフィルタ係数4のレジスタ0（ビット7～0）
09h	輝度フィルタ係数4のレジスタ1（符号ビット）	19h	クロミナンスフィルタ係数4のレジスタ1（符号ビット）
0Ah	輝度フィルタ係数5のレジスタ0（ビット7～0）	1Ah	クロミナンスフィルタ係数5のレジスタ0（ビット7～0）
0Bh	輝度フィルタ係数5のレジスタ1（符号ビット）	1Bh	クロミナンスフィルタ係数5のレジスタ1（符号ビット）
0Ch	輝度フィルタ係数6のレジスタ0（ビット7～0）	1Ch	クロミナンスフィルタ係数6のレジスタ0（ビット7～0）
0Dh	輝度フィルタ係数6のレジスタ1（符号ビット）	1Dh	クロミナンスフィルタ係数6のレジスタ1（符号ビット）
0Eh	輝度フィルタ係数7のレジスタ0（ビット7～0）	1Eh	クロミナンスフィルタ係数7のレジスタ0（ビット7～0）
0Fh	輝度フィルタ係数7のレジスタ1（符号ビット）	1Fh	クロミナンスフィルタ係数7のレジスタ1（符号ビット）

**REG[5Ah] TV Filter Coefficient Data Register**

Default = N/A

Read/Write

TVフィルタ係数データビット7～0							
7	6	5	4	3	2	1	0

bits 7-0

TVフィルタ係数データビット[7:0]

これらのビットに書き込まれたデータは、REG[58h]で指定したインデックス値に対応します。

**注**

処理がREG[5Ah]に達するとレジスタのオートインクリメント機能が無効になり、このレジスタに読み書きアクセスを行うたびに「クロミナンス／輝度フィルタ係数インデックス」（REG[58h]）がオートインクリメントされます。ホストがコマンドライト（D/C#端子=0）を実施して別のレジスタアドレスにジャンプすると、レジスタのオートインクリメント機能が再開します。

REG[5Ch]～REG[5Eh]は予約レジスタです。

これらは予約レジスタのため、書き込みはできません。

## 11. レジスタ

### 11.3.7 YUV-RGB変換器レジスタ

REG[60h] Input YUV/RGB Translate Mode Register 0							
Default = 00h							Read/Write
YUV 4:2:2/YUV 4:2:0 TVメモリ フォーマット選択 7	n/a 6	UV固定選択ビット1~0 5 4		3	2	1	0

bit 7

YUV 4:2:2/YUV 4:2:0 TVメモリフォーマット選択

TV用フレームバッファメモリのデータフォーマットを指定します。具体的には、ホストからの入力データストリームはこのビットのステータスに基づいてYUV 4:2:2またはYUV 4:2:0に変換されます。また、このビットのステータスはTV側のディスプレイパイプラインを同様に設定し、指定のYUV形式が正しく表示されるようにします。詳しくは、132ページの13.「フレームバッファメモリの計算」をご覧ください。

このビットが「0」のとき、TVフレームバッファのフォーマットはYUV 4:2:0です（デフォルト）。

このビットが「1」のとき、TVフレームバッファのフォーマットはYUV 4:2:2です。

#### 注

このビットを一度設定したあとは、TVの背景を再書き込みするまで変更しないでください。

bits 5-4

UV固定選択ビット[1:0]

UV入力メモリを制御します。

表11.32 UV固定選択

REG[60h]ビット5~4	YRCまたはTVブロックへのUV入力
00（デフォルト）	オリジナルのUデータ、オリジナルのVデータ
01	Uデータ=REG[64h]ビット7~0、オリジナルのVデータ
10	オリジナルのUデータ、Vデータ=REG[66h]ビット7~0
11	Uデータ=REG[64h]ビット7~0、Vデータ=REG[66h]ビット7~0

**REG[62h] Input YUV/RGB Translate Mode Register 1**

Default = 30h

Read/Write

n/a		YUV入力データタイプの選択ビット1~0		n/a			
7	6	5	4	3	2	1	0

bits 5-4

YUV入力データタイプの選択ビット[1:0]

S1D13745への入力データのYUVデータタイプを指定します。YUV入力データは、常にYCbCrオフセットに変換されてからメモリに書き込まれます。デフォルトのタイプは「YCbCr」です。

**表11.33 YUV入力データタイプの選択**

REG[62h]ビット5~4	データタイプ	YUV入力データの範囲
00	YUV	$0 \leq Y \leq 255$ $-128 \leq U \leq 127$ $-128 \leq V \leq 127$
01	YCbCr	$16 \leq Y \leq 235$ $-113 \leq U \leq 112$ $-113 \leq V \leq 112$
10	YUVオフセット	$0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$
11 (デフォルト)	YCbCrオフセット	$16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$

## 11. レジスタ

REG[64h] U Data Fix Register								Read/Write
Default = 00h								
Uデータ固定ビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

Uデータ固定ビット[7:0]

これらのビットは、「UV固定選択」ビットが「01」または「11」(REG[60h]ビット5~4=01または11)に設定されているときにのみ意味をもちます。YRC (YUV-  
RGB変換器) のUデータ入力がこれらのビットの値に固定されます。このレジスタは、YUVデータをRGBに変換する必要がある (すなわち、YUV入力データがLCD表示に送られる) ときにしか使用されません。

REG[66h] V Data Fix Register								Read/Write
Default = 00h								
Vデータ固定ビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

Vデータ固定ビット[7:0]

これらのビットは、「UV固定選択」ビットが「10」または「11」(REG[60h]ビット5~4=10または11)に設定されているときにのみ意味をもちます。YRC (YUV-  
RGB変換器) のVデータ入力がこれらのビットの値に固定されます。このレジスタは、YUVデータをRGBに変換する必要がある (すなわち、YUV入力データがLCD表示に送られる) ときにしか使用されません。

## 11.3.8 表示モードレジスタ

REG[68h] Display Mode Register							Read/Write
Default = 00h							
LCDのFRMおよび ディザリングの 有効化	n/a	自動ブランキング 選択	マクロビジョンの 有効化	n/a	TV/LCD選択	表示ブランク	表示の有効化
7	6	5	4	3	2	1	0

- bit 7      LCDのFRMおよびディザリングの有効化  
 LCDのFRM（フレームレートモジュレーション）およびディザリング機能を制御します。これは18ビットのLCDパネル上で24bpp出力をエミュレートする機能です。  
 このビットが「0」のとき、LCDのFRMおよびディザリングは無効です。  
 このビットが「1」のとき、LCDのFRMおよびディザリングは有効です。
- bit 5      自動ブランキング選択  
 このビットが「0」のとき、この機能は無効です。  
 このビットが「1」のとき、新しいウインドウが作成されてデータがメモリポートに書き込まれるときに、表示ブランキングが自動的に設定されます。ウインドウ全体のフレームがフレームバッファに書き込まれると、表示ブランキングは無効になります。
- bit 4      マクロビジョンの有効化  
 マクロビジョン機能はS1D13745のボンドアウトオプションです。そのため、マクロビジョン機能を有効にするには「マクロビジョン保証オプション」のビットを「1」に設定する（REG[02h]ビット7=1）ことが必要です。REG[02h]ビット7=0のとき、このビットは意味をもちません。  
 このビットが「0」のとき、マクロビジョンブロックは有効です。  
 このビットが「1」のとき、マクロビジョンブロックは無効です。
- bit 2      TV/LCD選択  
 TV/LCDインタフェースを制御します。  
 このビットが「0」のとき、TVインタフェースは無効となり、REG[68h]ビット0=1のときにすべてのLCD制御信号がアクティブになります。  
 このビットが「1」のとき、LCDインタフェースは無効となり、REG[68h]ビット0=1のときにすべてのTV制御信号がアクティブになります。
- 注**  
 表示をLCD/TVからTV/LCDに変更したときは、最初にダブルバッファ機能を無効にすることが必要です。具体的には、REG[6Ah]ビット6に「0」を書き込み、続いてREG[8Eh]にダミーの書き込みを行う必要があります。
- bit 1      表示ブランク  
 選択した表示インタフェースに対して表示ブランクを制御します。  
 このビットが「0」のとき、選択したディスプレイパイプラインは有効です。  
 このビットが「1」のとき、選択したディスプレイパイプラインは無効であり、すべての表示データ出力は強制的にゼロになります（画面は空白になります）。



# 11. レジスタ

bit 0 表示の有効化  
表示インタフェースを制御します。  
このビットが「0」のとき、表示インタフェースは無効となり、すべての表示制御信号は非アクティブになります。  
このビットが「1」のとき、表示インタフェースは有効です。

REG[6Ah] Special Effects Register						Read/Write	
Default = 00h							
ウインドウデータ タイプ 7	ダブルバッファの 有効化 6	入力サイザービット1~0		ズーム効果の有効化	n/a	ウインドウ回転ビット1~0	
		5	4	3	2	1	0

bit 7 ウインドウデータタイプ  
このビットが「0」のとき、ホストから書き込まれているデータは「静止データ」と見なされ、ダブルバッファは用いられません。  
このビットが「1」のとき、ホストから書き込まれているデータは「ストリーミングデータ」と見なされ、ダブルバッファによる処理が必要です。

bit 6 ダブルバッファの有効化  
このビットが「0」のとき、書き込み中またはアクティブとされるウインドウに対してダブルバッファは無効になります。  
このビットが「1」のとき、書き込み中またはアクティブとされるウインドウに対してダブルバッファが有効になり、ストリーミングデータのティアリングを防止します。

- 注
1. ダブルバッファをいったん有効にすると、ダブルバッファ処理を行うウインドウが非アクティブになるまで継続的に有効にすることが必要です。
  2. 表示をLCD/TVからTV/LCDに変更（REG[68h]ビット2）するときは、最初にダブルバッファ機能を無効にすることが必要です。具体的には、REG[6Ah]ビット6に「0」を書き込み、続いてREG[8Eh]にダミーの書き込みを行う必要があります。

bits 5-4 入力サイザービット[1:0]  
必要な場合、書き込み中のウインドウをメモリに保存する前に0.5倍または0.25倍に縮小することができます。

表11.34 入力サイザーの選択

REG[6Ah]ビット5~4	機能
00（デフォルト）	入力側のサイズ変更は行われません
01	上下と左右の寸法をともに0.5倍に変更します
10	上下と左右の寸法をともに0.25倍に変更します
11	Reserved

注  
出力の座標は入力の座標の1/2または1/4にプログラムすることが必要です。これを怠ると入力されるウインドウのサイズが半分または1/4に低減され、自動的に入力サイズに拡大されます。

bit 3

ズーム効果の有効化

背景の一部の拡大を可能にします。これを行うには、必要な入力／出力ウインドウ座標兼位置レジスタにおいて設定を行ったうえ、Data Source Selectレジスタ（REG[8Eh]）を「上書きTV/LCDウインドウ」に設定します。

このビットが「0」のとき、Display Memory Data Portレジスタ（REG[90h]）に書き込みを行うと座標が取得され、入出力の幅と高さから計算された拡大率によって入力ウインドウだけが拡大されます。

このビットが「1」のとき、Data Source Selectレジスタ（REG[8Eh]）に書き込みを行うと座標が取得され、入出力の幅と高さから計算された拡大率によって背景画像の指定部分が拡大されます。

bits 1-0

ウインドウ回転ビット[1:0]

これらのビットを設定することにより、ホストから書き込まれているウインドウの回転量を下記の要領で指定します。

**注**

LCDウインドウの書き込みないし表示を行うと、回転処理は「LCDパネル回転オフセット」（REG[28h]ビット1～0）の設定が基準になります。例：「LCDパネル回転オフセット」のビットが90°回転のとき、すべての後続ウインドウは0°の回転画面が90°回転した状態で表示されます。

**表11.35 ウインドウの回転**

REG[6Ah]ビット1～0	左回りの回転量
00（デフォルト）	0°
01	90°
10	180°
11	270°

## 11. レジスタ

### 11.3.9 入力ウィンドウ座標兼位置レジスタ

ホストから書き込まれるすべてのウィンドウは、これらのウィンドウ設定を用いてディスプレイ上のサイズと位置を決める必要があります。適切な場合、これらのレジスタと出力ウィンドウ座標兼位置レジスタ（REG[7Ch]～REG[8Ah]）とを合わせて使用することで、倍率を自動計算することも可能です。

#### 注

1. 各ウィンドウの設定値は、REG[8Eh]に書き込みが行われた時点で内部的に取得されます。それは、設定値の変更が不要な限り、繰り返し使用できます。
2. すべての寸法はピクセル単位の解像度です。
3. 得られるウィンドウのサイズおよび位置は、水平・垂直両方向について2で割り切れる必要があります。
4. 入力データフォーマットがYUV 4:2:0の場合、最大入力画像サイズ（スケーリング前）は1024×1024です。
5. 上記以外のすべての入力フォーマットでは、入力スケーリング後のウィンドウサイズは1024×1024を超えてはなりません。入力スケーリングを実施する場合、入力スケーリング前のウィンドウサイズは2048×2048を超えてはなりません。

REG[6Ch] Input Window X Start Position Register 0							
Default = 00h							
Read/Write							
入力ウィンドウX開始位置ビット7～0							
7	6	5	4	3	2	1	0

REG[6Eh] Input Window X Start Position Register 1							
Default = 00h							
Read/Write							
n/a						入力ウィンドウX開始位置ビット9～8	
7	6	5	4	3	2	1	0

REG[6Eh] bits 1-0

REG[6Ch] bits 7-0

入力ウィンドウX開始位置ビット[9:0]

ウィンドウのX方向の開始位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1～0を参照）についても表示画像は左上の角を基準にします。

REG[70h] Input Window Y Start Position Register 0							
Default = 00h							
Read/Write							
入力ウィンドウY開始位置ビット7～0							
7	6	5	4	3	2	1	0

REG[72h] Input Window Y Start Position Register 1							
Default = 00h							
Read/Write							
n/a						入力ウィンドウY開始位置ビット9～8	
7	6	5	4	3	2	1	0

REG[72h] bits 1-0

REG[70h] bits 7-0

入力ウィンドウY開始位置ビット[9:0]

ウィンドウのY方向の開始位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1～0を参照）についても表示画像は左上の角を基準にします。

**REG[74h] Input Window X End Position Register 0**

Default = 00h

Read/Write

入力ウインドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

**REG[76h] Input Window X End Position Register 1**

Default = 00h

Read/Write

入カウインドウX終了位置ビット10～8								
n/a	7	6	5	4	3	2	1	0

REG[76h] bits 2-0

REG[74h] bits 7-0

入力ウインドウX終了位置ビット[10:0]

ウインドウのX方向の終了位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1~0を参照）についても表示画像は左上の角を基準にします。

**REG[78h] Input Window Y End Position Register 0**

Default = 00h

Read/Write

入力ウインドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

**REG[7Ah] Input Window Y End Position Register 1**

Default = 00h

Read/Write

n/a					入カウインドウY終了位置ビット10～8		
7	6	5	4	3	2	1	0

REG[7Ah] bits 2-0

REG[78h] bits 7-0

入力ウインドウY終了位置ビット[10:0]

ウインドウのY方向の終了位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1~0を参照）についても表示画像は左上の角を基準にします。

# 11. レジスタ

## 11.3.10 出力ウインドウ座標兼位置レジスタ

出力ウインドウ座標兼位置レジスタは、スケーリングが必要な機能に対して「データソース選択」のビット（REG[8Eh]ビット2～0）を設定するときに使用されます。スケーリング機能は指定の入出力サイズを使って倍率を自動算出します。スケーリングを使用しない場合、これらのレジスタは入力ウインドウ座標と同じ値に設定します。

### 制限事項

1. 得られるウインドウのサイズおよび位置は、水平・垂直両方向について2で割り切れることが必要です。

### 注

各ウインドウの設定値は内部的に取得されます。それは、設定値の変更が不要なかぎり、繰り返し使用できます。

REG[7Ch] Output Window X Start Position Register 0							
Default = 00h							Read/Write
出力ウインドウX開始位置ビット7～0							
7	6	5	4	3	2	1	0

REG[7Eh] Output Window X Start Position Register 1							
Default = 00h							Read/Write
n/a						出力ウインドウX開始位置ビット9～8	
7	6	5	4	3	2	1	0

REG[7Eh] bits 1-0

REG[7Ch] bits 7-0

出力ウインドウX開始位置ビット[9:0]  
ウインドウのX方向の開始位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1～0を参照）についても表示画像は左上の角を基準にします。

**REG[80h] Output Window Y Start Position Register 0**

Default = 00h

Read/Write

出力ウィンドウY開始位置ビット7~0							
7	6	5	4	3	2	1	0

**REG[82h] Output Window Y Start Position Register 1**

Default = 00h

Read/Write

n/a						出力ウィンドウY開始位置ビット9~8	
7	6	5	4	3	2	1	0

REG[82h] bits 1-0

REG[80h] bits 7-0

出力ウィンドウY開始位置ビット[9:0]

ウィンドウのY方向の開始位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1~0を参照）についても表示画像は左上の角を基準にします。

**REG[84h] Output Window X End Position Register 0**

Default = 00h

Read/Write

出力ウィンドウX終了位置ビット7~0							
7	6	5	4	3	2	1	0

**REG[86h] Output Window X End Position Register 1**

Default = 00h

Read/Write

n/a						出力ウィンドウX終了位置ビット9~8	
7	6	5	4	3	2	1	0

REG[86h] bits 1-0

REG[84h] bits 7-0

出力ウィンドウX終了位置ビット[9:0]

ウィンドウのX方向の終了位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1~0を参照）についても表示画像は左上の角を基準にします。

**REG[88h] Output Window Y End Position Register 0**

Default = 00h

Read/Write

出力ウィンドウY終了位置ビット7~0							
7	6	5	4	3	2	1	0

**REG[8Ah] Output Window Y End Position Register 1**

Default = 00h

Read/Write

n/a						出力ウィンドウY終了位置ビット9~8	
7	6	5	4	3	2	1	0

REG[8Ah] bits 1-0

REG[88h] bits 7-0

出力ウィンドウY終了位置ビット[9:0]

ウィンドウのY方向の終了位置を表示画像の左上の角を基準にして指定します。回転方向（REG[28h]ビット1~0を参照）についても表示画像は左上の角を基準にします。

## 11. レジスタ

### 11.3.11 入力データ設定レジスタ

REG[8Ch] Input Data Format Register							
Default = 03h							Read/Write
n/a				入力データフォーマット選択ビット3~0			
7	6	5	4	3	2	1	0

bits 3-0

入力データフォーマット選択ビット[3:0]

入力データフォーマットを指定します。各データフォーマットについては、135ページの14.「Intel 80系8ビットインタフェースのカラーフォーマット」、138ページの15.「Intel 80系16ビットインタフェースのカラーフォーマット」、および143ページの16.「YUVに関するタイミング」をご覧ください。

表11.36 入力データフォーマットの選択

REG[88h]ビット3~0	入力データフォーマット
0000 (デフォルト)	Reserved
0001	RGB 5:6:5
0010	RGB 6:6:6モード1
0011 (デフォルト)	RGB 8:8:8モード1
0100	Reserved
0101	Reserved
0110	RGB 6:6:6モード2
0111	RGB 8:8:8モード2
1000	YUV 4:2:2
1001	YUV 4:2:0
1010~1111	Reserved

- すべての入力データは、表示面、メモリの空き容量、および入力データフォーマットに応じてメモリに保存されます。
- LCD表示に用いるRBGデータは24bppに拡張されて保存されます。
- TV表示に用いるRBGデータは、REG[60h]ビット7に従ってYUV 4:2:2または4:2:0のいずれかに変換されます。
- TV表示に用いるYUVデータは、REG[60h]ビット7に従ってYUV 4:2:2または4:2:0のいずれかの形式で保存されます。
- LCD表示に用いるYUVデータは24 bppのRGBデータとして保存されます。

**REG[8Eh] Data Source Select Register**

Default = 00h

Read/Write

n/s					データソース選択ビット2~0		
7	6	5	4	3	2	1	0

**注**

ホストがREG[8Eh]へのアクセス直後に読み出しを行う場合は、ダミーの読み出しまたは書き込みを間に入れることが必要です。

bits 2-0

データソース選択ビット[2:0]

書き込みおよび表示されるすべてのデータは、以下のいずれかの設定内容を用いることが必要です。

**表11.37 データソースの選択**

REG[8Eh]ビット2~0	機能
000 (デフォルト)	ホストによる背景LCDウインドウの書き込み
001	ホストによる上書きLCDウインドウの書き込み
010	ホストによる背景TVウインドウの書き込み
011	ホストによる上書きTVウインドウの書き込み
100	ホストによるオーバーレイウインドウの書き込みと有効化
101	オーバーレイウインドウの無効化
110~111	Reserved

**注**

このレジスタに書き込みを行うとREG[6Ah]~REG[8Ch]の値が内部的に取得されます。これらのレジスタのいずれかを変更したときは、変更を反映させるためにREG[8Eh]に書き込みを行うことが必要です。変更結果（たとえば背景の一部の拡大）をディスプレイ上にただちに表示するには、「ズーム効果の有効化」ビット（REG[6Ah]ビット3）を「1」に設定します。これを行わないと、「表示メモリ用データポート」（REG[90h]）に書き込みを行うまで変更結果は表示されません。

**LCDウインドウ：**

1. LCDウインドウは背景画像と上書きオーバーレイのいずれかが可能です。
2. 少なくとも1つのウインドウを背景として扱うことが必要です
3. スケーリングの倍率は、必要に応じて入力と出力のウインドウ設定値によって決定されます。
4. 出力ウインドウ設定値の拡大もしくは縮小は使用できる帯域によってのみ制限されます。
5. メモリ容量に合わせる必要がある場合は、メモリ書き込みの前に入力リサイズャーを使って入力ウインドウを0.5倍または0.25倍に縮小することができます。最終的な出力サイズの決定には出力ウインドウ設定値がそのまま使用されます。このサイズ変更はメモリへの保存前に行われるため、この方法でサイズ変更されるウインドウの数に制限はありません。
6. 背景をスケーリングするときは、後続するすべての上書きオーバーレイウインドウも同じアスペクト比を使ってスケーリングされます。



7. 上書きウインドウの書き込みと拡大を合わせて行う場合、その処理はメモリの出力側で実行されるため、拡大もしくは縮小された1つのウインドウに制限されます。

**注**

拡大処理によって作成した上書きウインドウは、背景ウインドウを作成しなければ無効にすることができません。

8. 上書きウインドウの書き込みと縮小を合わせて行う場合、縮小処理（0.5 倍または0.25倍）はメモリ書き込みの前に実行することが必要です。
9. 拡大した上書きウインドウを書き込む場合、入力ウインドウは拡大した出力ウインドウの境界内に収まる必要があります。

**注**

ウインドウを入力側で縮小（0.5倍または0.25倍）する場合を除き、拡大もしくは縮小されたウインドウを他のウインドウに重ねることはできません。唯一の例外は、オーバーレイウインドウ機能を使用する場合です。

**注**

メモリの出力側で実行される縮小処理については使用可能帯域によって制限を受けることがあります。

### TVウインドウ：

1. TVウインドウは背景画像と上書きオーバーレイのいずれかが可能です。
2. 少なくとも1つのウインドウを背景として扱うことが必要です。得られる出力サイズがNTSCもしくはPAL規格の解像度と異なる場合、画像は自動的に中央表示され、かつ自動的にボーダーが付加されます。
3. スケーリングの倍率は、必要に応じて入力と出力のウインドウ設定値によって決定されます。
4. 出力ウインドウ設定値の拡大もしくは縮小は使用できる帯域によってのみ制限されます。
5. メモリ容量に合わせる必要がある場合は、メモリ書き込みの前に入力リサイズャーを使って入力ウインドウを0.5倍または0.25倍に縮小することができます。最終的な出力サイズの決定には出力ウインドウ設定値がそのまま使用されます。このサイズ変更はメモリへの保存前に行われるため、この方法でサイズ変更されるウインドウの数に制限はありません。
6. 背景をスケーリングするときは、後続するすべての上書きオーバーレイウインドウも同じアスペクト比を使ってスケーリングされます。
7. 上書きウインドウの書き込みと拡大を合わせて行う場合、その処理はメモリの出力側で実行されるため、拡大もしくは縮小された1つのウインドウに制限されます。

**注**

拡大処理によって作成した上書きウインドウは、背景ウインドウを作成しなければ無効にすることができません。

8. 上書きウインドウの書き込みと縮小（0.5倍または0.25倍）を合わせて行う場合、縮小処理はメモリ書き込みの前に実行することが必要です。
9. 拡大した上書きウインドウを書き込む場合、入力ウインドウは拡大した出力ウインドウの境界内に収まる必要があります。

**注**

ウインドウを入力側で縮小（0.5倍または0.25倍）する場合を除き、拡大もしくは縮小されたウインドウを他のウインドウに重ねることはできません。唯一の例外は、オーバーレイウインドウ機能を使用する場合です。

**注**

メモリの出力側で実行される縮小処理については使用可能帯域によって制限を受けることがあります。

**オーバーレイウインドウ：**

1. 拡大上書きウインドウの上に別のウインドウを表示する場合に、この機能が使用できます。

**注**

背景が拡大されている場合はこの機能を使用できません。

## 11. レジスタ

### 11.3.12 表示メモリアクセスレジスタ

REG[90h] Display Memory Data Port Register							
Default = not applicable							
Read/Write							
表示メモリ用データポートビット15~8							
15	14	13	12	11	10	9	8
表示メモリ用データポートビット7~0							
7	6	5	4	3	2	1	0

REG[90h] bits 15-0

表示メモリ用データポートビット[15:0]

ホストデータの書き込みに用いるデータポートです。これらのビットは「データソース選択」ビット（REG[8Eh]のビット2~0を参照）の一部の設定値、すなわち0000、0001、0010、および0011に対して使用されます。

ビット7~0はデータワードの最下位バイトに対応し、8ビットアクセス（CNF1=0）と16ビットアクセス（CNF1=1）の両方に使用されます。ビット15~8はデータワードの最上位バイトに対応し、16ビットアクセス（CNF1=1）にのみ使用されます。

#### 注

1. バーストデータの書き込みは本レジスタを使って行えます。このアドレスに達するとレジスタのオートインクリメント機能が自動的に停止した後、本レジスタに書き込みを行うたびに内部メモリアドレスのみがオートインクリメントされます。
2. 入力ウインドウ座標兼位置レジスタ（REG[6Ch]~REG[7Ah]）およびData Source Selectレジスタ（REG[8Eh]）の設定は、データの書き込み前に行う必要があります。
3. ホストがREG[90h]へのアクセス直後に読み出しを行う場合は、ダミーの読み出しまたは書き込みを間に入れる必要があります。
4. 現在の入力ウインドウに対する書き込み処理が完了するまで、ホストは他のS1D13745のレジスタにアクセスしないでください。

REG[92h]~REG[A6h]は予約レジスタです。

これらは予約レジスタのため、書き込みを行うことはできません。オートインクリメントモードのとき、ホストプロセッサはこれらのレジスタをダミーで読み出すか、またはオートインクリメントをいったん停止し、REG[A8h]から再開するものとします。

## 11.3.13 ボーダーカラーレジスタ

REG[A8h] Border Color Register 0							
Default = 10h							
Read/Write							
ボーダーカラー : Y[7:0]/R[7:0]							
7	6	5	4	3	2	1	0

REG[AAh] Border Color Register 1							
Default = 80h							
Read/Write							
ボーダーカラー : U[7:0]/B[7:0]							
7	6	5	4	3	2	1	0

REG[ACh] Border Color Register 2							
Default = 80h							
Read/Write							
ボーダーカラー : V[7:0]/G[7:0]							
7	6	5	4	3	2	1	0

REG[ACh] bits 7-0

Border Color - Y [7:0] / R [7:0]

REG[AAh] bits 7-0

Border Color - U [7:0] / B [7:0]

REG[A8h] bits 7-0

Border Color - V [7:0] / G [7:0]

得られる出力解像度が対応する全画面解像度と異なる場合に使用されるボーダーの色のYUV成分を指定します。そのような条件が発生すると、指定色のボーダーが自動的に生成されます。

REG[A8h]～REG[ACh]はそれぞれY成分、U成分、V成分です。

RGBカラーからYUV値を得るには次式を使用します。

$$Y = (838h \times R + 1022h \times G + 322h \times B) / 2000h + 10h$$

$$U = (-4C1h \times R - 94Eh \times G + E0Eh \times B) / 2000h + 80h$$

$$V = (E0Eh \times R - BC7h \times G - 247h \times B) / 2000h + 80h$$

**注**

Yの値の範囲は16～235であるとしします。またUとVの値の範囲は16～240であるとしします。

REG[A Eh]～REG[B2h]は予約レジスタです。

これらは予約レジスタのため、書き込みを行うことはできません。オートインクリメントモードのとき、ホストプロセッサはこれらのレジスタをダミーで読み出すか、またはオートインクリメントをいったん停止し、REG[B4h]から再開するものとしします。

# 11. レジスタ

## 11.3.14 カラーマネジメントシステムレジスタ

**注**

逆ガンマ補正のルックアップテーブルはリードバックできません。

REG[B4h] Gamma Correction Enable Register							Read/Write
Default = 00h							
逆ガンマの有効化	n/a				ルックアップテーブルのアドレスモード ビット1~0		ガンマ補正の有効化
7	6	5	4	3	2	1	0

bit 7 逆ガンマの有効化  
このビットが「0」のとき、逆ガンマ補正は無効です。  
このビットが「1」のとき、メモリから読み出されたデータはガンマ=2.2を前提として線形化されます。S1D13745でカラーマネジメントシステム（CMS）を使用する場合はこの設定が必要です。線形データは3×3マトリックスにおいて必要になります。

**注**

CMSを使用する場合、メモリに格納されるデータはsRGB（ガンマ=2.2）を前提とします。

bits 2-1 ルックアップテーブルのアドレスモードビット[1:0]  
ガンマ補正用ルックアップテーブルにアクセスするときのモードを指定します。

表11.38 ガンマ補正用ルックアップテーブルのアクセスモード

REG[B4h]ビット2~1	説明
00（デフォルト）	書き込みは赤、緑、青のすべてのテーブルに対して行われます。 読み出しは赤のテーブルに対して行います。
01	読み出しおよび書き込みは赤のテーブルに対して行われます。
10	読み出しおよび書き込みは緑のテーブルに対して行われます。
11	読み出しおよび書き込みは青のテーブルに対して行われます。

bit 0 ガンマ補正の有効化  
ガンマ補正を制御します。  
このビットが「0」のとき、ガンマ補正は無効であり、入力データはガンマ補正用ルックアップテーブルを迂回します。  
このビットが「1」のとき、ガンマ補正は有効であり、入力データはガンマ補正用ルックアップテーブルを通過します。

**注**

表示期間中はガンマ補正テーブルにアクセスしないでください。画面表示が乱れる原因になります。LUTの更新処理はすべて非表示期間中か、またはLUTが無効もしくは不使用であるときに実施してください。

**REG[B6h] Gamma Correction Table Index Register**

Default = 00h

Read/Write

ガンマ補正テーブルのインデックスビット7~0							
7	6	5	4	3	2	1	0

**注**

ホストがREG[B6h]へのアクセス直後に読み出しを行う場合は、ダミーの読み出しまたは書き込みを間に入れる必要があります。

bits 7-0

ガンマ補正テーブルのインデックスビット[7:0]

次の読み書きが開始されるガンマ補正用ルックアップテーブルのインデックスを指定します。

**REG[B8h] Gamma Correction Table Data Register**

Default = N/A

Read/Write

ガンマ補正テーブルのデータビット7~0							
7	6	5	4	3	2	1	0

**注**

ホストがREG[B8h]へのアクセス直後に読み出しを行う場合は、ダミーの読み出しまたは書き込みを間に入れる必要があります。

bits 7-0

ガンマ補正テーブルのデータビット[7:0]

Gamma Correction Table Dataレジスタに書き込みを行うたびにガンマ補正テーブルの内部データ（REG[B6h]）にインデックスが1ずつオートインクリメントされます。この方式により、最初の書き込み前にGamma Correction Table Indexレジスタ（REG[B6h]）に書き込むだけで、ガンマ補正テーブルが連続的に書き込まれます。

**注**

1. オートインクリメントによる書き込みを行う場合は、各 LUT における全 256個の位置情報をすべて書き込む必要があります。
2. REG[B8h] のレジスタに達するとレジスタのオートインクリメント機能が停止された後、本レジスタに書き込み／読み出しを行うたびにGamma Correction Table Indexレジスタ（REG[B6h]）の値がオートインクリメントされます。ホストがコマンドライト（D/C#端子=0）を実施して別のレジスタアドレスにジャンプすると、レジスタのオートインクリメント機能が再開します。

# 11. レジスタ

## 11.3.15 3×3マトリックスレジスタ

係数はLCDパネルに固有の値です。値はLCDパネルメーカーから入手できます。

REG[B4h] 3x3 Matrix Enable Register							Read/Write
Default = 00h							
n/a							3×3マトリックスの有効化
7	6	5	4	3	2	1	0

bit 0                      3×3マトリックスの有効化  
このビットが「0」のとき、3×3マトリックスは無効であり、レジスタREG[BCh]～REG[E4h]の値はLCD出力に対して影響を与えません。  
このビットが「1」のとき、3×3マトリックスは有効であり、レジスタREG[BCh]～REG[E4h]の値はLCD出力に影響を与えます。

3×3マトリックスのおよその出力は次のとおりです。

あるピクセル[RGB]に対して新しいピクセル[R'G'B']は次のようになります。

$R' = (1 + C0) \times R + C1 \times G + C2 \times B$   
 $G' = C3 \times R + (1 + C4) \times G + C5 \times B$   
 $B' = C5 \times R + C6 \times G + (1 + C8) \times B$

ここで、Cxは規格化した係数（係数／256）です。

3×3マトリックスは、逆ガンマ（REG[B4h]のビット7）およびガンマ補正用LUT（REG[B4h]のビット0）と合わせて使用することを前提に設計されています。

REG[BCh] Coefficient 0 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[BEh] Coefficient 0 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[BCh] bits 7-0      10進値ビット[7:0]  
 係数の10進値（8ビット）です。

REG[BEh] bit 7      符号ビット  
 このビットが「0」のとき、係数は2の補数ではありません。  
 このビットが「1」のとき、係数は2の補数です。

REG[C0h] Coefficient 1 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[C2h] Coefficient 1 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[C0h] bits 7-0      10進値ビット[7:0]  
 係数の10進値（8ビット）です。

REG[C2h] bit 7      符号ビット  
 このビットが「0」のとき、係数は2の補数ではありません。  
 このビットが「1」のとき、係数は2の補数です。



## 11. レジスタ

REG[C4h] Coefficient 2 Register 0							
Default = 00h							
Read/Write							
10進値ビット7~0							
7	6	5	4	3	2	1	0

REG[C6h] Coefficient 2 Register 1							
Default = 00h							
Read/Write							
n/a							
係数符号ビット	6	5	4	3	2	1	0
7							

REG[C4h] bits 7-0      10進値ビット[7:0]  
係数の10進値（8ビット）です。

REG[C6h] bit 7      符号ビット  
このビットが「0」のとき、係数は2の補数ではありません。  
このビットが「1」のとき、係数は2の補数です。

REG[C8h] Coefficient 3 Register 0							
Default = 00h							
Read/Write							
10進値ビット7~0							
7	6	5	4	3	2	1	0

REG[CAh] Coefficient 3 Register 1							
Default = 00h							
Read/Write							
n/a							
係数符号ビット	6	5	4	3	2	1	0
7							

REG[C8h] bits 7-0      10進値ビット[7:0]  
係数の10進値（8ビット）です。

REG[CAh] bit 7      符号ビット  
このビットが「0」のとき、係数は2の補数ではありません。  
このビットが「1」のとき、係数は2の補数です。

REG[CCh] Coefficient 4 Register 0							
Default = 00h							
Read/Write							
10進値ビット7~0							
7	6	5	4	3	2	1	0

REG[CEh] Coefficient 4 Register 1							
Default = 00h							
Read/Write							
n/a							
係数符号ビット	6	5	4	3	2	1	0
7							

REG[CCh] bits 7-0      10進値ビット[7:0]  
係数の10進値（8ビット）です。

REG[CEh] bit 7      符号ビット  
このビットが「0」のとき、係数は2の補数ではありません。  
このビットが「1」のとき、係数は2の補数です。

REG[D0h] Coefficient 5 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[D2h] Coefficient 5 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[D0h] bits 7-0      10進値ビット[7:0]  
 係数の10進値（8ビット）です。

REG[D2h] bit 7      符号ビット  
 このビットが「0」のとき、係数は2の補数ではありません。  
 このビットが「1」のとき、係数は2の補数です。

REG[D4h] Coefficient 6 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[D6h] Coefficient 6 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[D4h] bits 7-0      10進値ビット[7:0]  
 係数の10進値（8ビット）です。

REG[D6h] bit 7      符号ビット  
 このビットが「0」のとき、係数は2の補数ではありません。  
 このビットが「1」のとき、係数は2の補数です。

REG[D8h] Coefficient 7 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[DAh] Coefficient 7 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[D8h] bits 7-0      10進値ビット[7:0]  
 係数の10進値（8ビット）です。

REG[DAh] bit 7      符号ビット  
 このビットが「0」のとき、係数は2の補数ではありません。  
 このビットが「1」のとき、係数は2の補数です。

## 11. レジスタ

REG[DCh] Coefficient 8 Register 0								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

REG[DEh] Coefficient 8 Register 1								Read/Write
Default = 00h								
係数符号ビット 7	6	5	4	3	2	1	0	

REG[DCh] bits 7-0      10進値ビット[7:0]  
係数の10進値（8ビット）です。

REG[DEh] bit 7      符号ビット  
このビットが「0」のとき、係数は2の補数ではありません。  
このビットが「1」のとき、係数は2の補数です。

REG[E0h] 3x3 Matrix Red Offset Register								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

bits 7-0      赤のオフセットビット[7:0]  
3×3マトリックスの赤成分の出力に適用される8ビットのオフセットです。

REG[E2h] 3x3 Matrix Green Offset Register								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

bits 7-0      緑のオフセットビット[7:0]  
3×3マトリックスの緑成分の出力に適用される8ビットのオフセットです。

REG[E4h] 3x3 Matrix Blue Offset Register								Read/Write
Default = 00h								
7	6	5	4	3	2	1	0	

bits 7-0      青のオフセットビット[7:0]  
3×3マトリックスの青成分の出力に適用される8ビットのオフセットです。

## 11.3.16 その他のレジスタ

REG[E6h] Power Save Register										Read/Write	
Default = 02h											
PWRSVE入力端子機能	n/a						スリープモードの有効化		スタンバイモードの有効化		
7	6	5	4	3	2	1	0				

bit 7 PWRSVE入力端子機能  
 PWRSVE入力端子の機能を指定します。  
 このビットが「0」のとき、PWRSVE端子は「スリープモードの有効化」ビット (REG[E6h]のビット1) と論理和演算されます (いずれかを「1」に設定することでスリープモードが有効になります)。  
 このビットが「1」のとき、PWRSVE端子は「スタンバイモードの有効化」ビット (REG[E6h]のビット0) と論理和演算されます (いずれかを「1」に設定することでスタンバイモードが有効になります)。

bit 1 スリープモードの有効化  
 スリープ型のパワーセーブモードを制御します。REG[E6h]のビット7=0のときは、スリープモードの制御をPWRSVE端子を使って行うこともできます。  
 このビットが「0」のとき、スリープモードは無効です (通常動作)。  
 このビットが「1」のとき、スリープモードは有効です (デフォルト)。  
 スリープモードが有効なとき、すべての内部ブロックが停止します。  
 スリープモードが無効なとき、ホストはPLLとメモリコントローラを有効にすることが必要です (206ページの27.2「スリープモードからノーマルモードへの移行シーケンス」を参照)。

## 注

1. S1D13745の電源を投入するとスリープモードで起動します。スリープモードは、大半のレジスタの設定またはメモリへの書き込みを行う前に無効にすることが必要です。ただし、REG[04h]~REG[0Eh]、REG[E6h]、およびREG[EEh]は例外です。
2. スリープモードに移行する前に表示を無効にする (REG[68h]のビット0=0) ことが必要です。

bit 0 スタンバイモードの有効化  
 スタンバイ型のパワーセーブモードを制御します。REG[E6h]のビット7=1のときは、スタンバイモードの制御はPWRSVE端子を使って行うこともできます。  
 このビットが「0」のとき、スタンバイモードは無効です (通常動作)。  
 このビットが「1」のとき、スタンバイモードは有効です。

スタンバイモードが有効なとき、PLLとメモリコントローラを除くすべての内部ブロックが停止します。  
 スタンバイモードが無効なときはS1D13745にただちにアクセスできます。

## 注

スタンバイモードに移行する前に表示を無効にする (REG[68h]のビット0=0) ことが必要です。

# 11. レジスタ

REG[E8h] Non-Display Period Control / Status Register							Read/Write	
Default = 20h								
入力ラインバッファステータス	n/a	TEステータス (RO)	Reserved	TE出力端子の有効化	n/a	TE出力端子の機能選択ビット1~0		
7	6	5	4	3	2	1	0	

- bit 7

入力ラインバッファステータス  
このビットが「0」のとき、入力フレームのメモリへの書き込みは完了していません。  
このビットが「1」のとき、現在の入力フレームの一部がバッファ内に残留しています。ホストは、次の入力フレームの書き込み処理を開始しないでください。
- bit 5

TEステータス（読み出し専用）  
TE出力機能のステータスを示します。  
REG[E8h]のビット1~0で指定したTE出力端子機能の状態の信号を発するとき、TEステータスビットと端子はともにアクティブHighです。
- bit 4

Reserved  
デフォルト値は「0」です。
- bit 3

TE出力端子の有効化  
TE出力端子を制御します。  
このビットが「0」のとき、TE出力端子は無効（出力端子は強制Low）です。  
このビットが「1」のとき、TE出力端子は有効です。

bit 1-0 TE出力端子の機能選択ビット[1:0]  
TE出力端子が示す機能を選択します。

表11.39 TE出力端子の機能選択

REG[E8h]ビット1~0	TE出力端子の機能
00	自動（ダブルバッファモードのみ）
01	水平非表示期間または垂直非表示期間
10	垂直非表示期間
11	HSとVSの論理和（OR）

REG[EAh] RGB Interface Control Register							Read/Write
Default = 00h							
パネルIDの有効化 7	6	N/A 5	4	VS設定 3	HS設定 2	DE設定 1	PCLK設定 0

bit 7 パネルIDの有効化  
このビットが「0」のとき、パネルID機能は無効です。  
このビットが「1」のとき、パネルID機能は有効です。このモードではHS、VS、DE、およびPCLKの端子が汎用IO端子になり、Panel ID Statusレジスタを使って制御可能になります。

bit 3 VS設定  
このビットが「0」のとき、VS端子は汎用入力です。  
このビットが「1」のとき、VS端子は汎用出力です。

bit 2 HS設定  
このビットが「0」のとき、HS端子は汎用入力です。  
このビットが「1」のとき、HS端子は汎用出力です。

bit 1 DE設定  
このビットが「0」のとき、DE端子は汎用入力です。  
このビットが「1」のとき、DE端子は汎用出力です。

bit 0 PCLK設定  
このビットが「0」のとき、PCLK端子は汎用入力です。  
このビットが「1」のとき、PCLK端子は汎用出力です。

## 11. レジスタ

REG[ECh] RGB Interface Status Register							Read/Write
Default = 00h							
Reserved 7	Reserved 6	n/a 5   4		VSステータス 3	HSステータス 2	DEステータス 1	PCLKステータス 0
bit 7	Reserved デフォルト値は「0」です。						
bit 6	Reserved デフォルト値は「0」です。						
bit 3	VSステータス パネルID機能が有効、かつ対応するVS端子が出力に設定されているとき、このビットに「1」を書き込むとVSはHighになり、「0」を書き込むとVSはLowになります。 入力に設定されているときにこのビットを読み出すと、VS端子のそのままの値が返されます。 このビットはパネルID機能が有効である（REG[EAh]ビット7＝1）ときのみ有効です。						
bit 2	HSステータス パネルID機能が有効、かつ対応するHS端子が出力に設定されているとき、このビットに「1」を書き込むとHSはHighになり、「0」を書き込むとHSはLowになります。 入力に設定されているときにこのビットを読み出すと、HS端子のそのままの値が返されます。 このビットはパネルID機能が有効である（REG[EAh]ビット7＝1）ときのみ有効です。						
bit 1	DEステータス パネルID機能が有効、かつ対応するDE端子が出力に設定されているとき、このビットに「1」を書き込むとDEはHighになり、「0」を書き込むとDEはLowになります。 入力に設定されているときにこのビットを読み出すと、DE端子のそのままの値が返されます。 このビットはパネルID機能が有効である（REG[EAh]ビット7＝1）ときのみ有効です。						
bit 0	PCLKステータス パネルID機能が有効、かつ対応するPCLK端子が出力に設定されているとき、このビットに「1」を書き込むとPCLKはHighになり、「0」を書き込むとPCLKはLowになります。 入力に設定されているときにこのビットを読み出すと、PCLK端子のそのままの値が返されます。 このビットはパネルID機能が有効である（REG[EAh]ビット7＝1）ときのみ有効です。						

## 11.3.17 汎用IO端子レジスタ

REG[EEh] General Purpose IO Pins Configuration Register							
Default = 00h							Read/Write
GPIO7設定 7	GPIO6設定 6	GPIO5設定 5	GPIO4設定 4	GPIO3設定 3	GPIO2設定 2	GPIO1設定 1	GPIO0設定 0

bits 7-0

## GPIO[7:0]設定

対応するGPIO[7:0]端子を入力または出力に設定します。

このビットが「0」（通常動作）のとき、対応するGPIO[7:0]端子は入力に設定されます。

このビットが「1」のとき、対応するGPIO[7:0]端子は出力に設定されます。

REG[F0h] General Purpose IO Pins Status/Control Register							
Default = 00h							Read/Write
GPIO7ステータス 7	GPIO6ステータス 6	GPIO5ステータス 5	GPIO4ステータス 4	GPIO3ステータス 3	GPIO2ステータス 2	GPIO1ステータス 1	GPIO0ステータス 0

bits 7-0

## GPIO[7:0]ステータス

対応するGPIO[7:0]端子が出力に設定されているとき（REG[EEh]参照）、このビットに「1」を書き込むとGPIOxはHighになり、「0」を書き込むとGPIOxはLowになります。

対応するGPIO[7:0]端子が入力に設定されているとき（REG[EEh]参照）、このビットを読み出すとGPIOxのそのままの値が返されます。

REG[F2h] GPIO Positive Edge Interrupt Trigger Register							
Default = 00h							Read/Write
GPIO7ポジティブ エッジ割り込み トリガ 7	GPIO6ポジティブ エッジ割り込み トリガ 6	GPIO5ポジティブ エッジ割り込み トリガ 5	GPIO4ポジティブ エッジ割り込み トリガ 4	GPIO3ポジティブ エッジ割り込み トリガ 3	GPIO2ポジティブ エッジ割り込み トリガ 2	GPIO1ポジティブ エッジ割り込み トリガ 1	GPIO0ポジティブ エッジ割り込み トリガ 0

bits 7-0

## GPIO[7:0]ポジティブエッジ割り込みトリガ

対応するGPIO割り込みがポジティブエッジ（GPIOx端子が0から1に変化する）とき）でトリガされるかどうかを指定します。

このビットが「0」のとき、対応するGPIOx割り込み（GPIO\_INT）はポジティブエッジでトリガされません。

このビットが「1」のとき、対応するGPIOx割り込み（GPIO\_INT）はポジティブエッジでトリガされます。



## 11. レジスタ

REG[F4h] GPIO Negative Edge Interrupt Trigger Register							
Default = 00h							
Read/Write							
GPIO7ネガティブ エッジ割り込み トリガ	GPIO6ネガティブ エッジ割り込み トリガ	GPIO5ネガティブ エッジ割り込み トリガ	GPIO4ネガティブ エッジ割り込み トリガ	GPIO3ネガティブ エッジ割り込み トリガ	GPIO2ネガティブ エッジ割り込み トリガ	GPIO1ネガティブ エッジ割り込み トリガ	GPIO0ネガティブ エッジ割り込み トリガ
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]ネガティブエッジ割り込みトリガ  
対応するGPIO割り込みがネガティブエッジ（GPIOx端子が1から0に変化するとき）でトリガされるかどうかを指定します。  
このビットが「0」のとき、対応するGPIOx割り込み（GPIO\_INT）はネガティブエッジでトリガされません。  
このビットが「1」のとき、対応するGPIOx割り込み（GPIO\_INT）はネガティブエッジでトリガされます。

REG[F6h] GPIO Interrupt Status Register							
Default = 00h							
Read/Write							
GPIO7割り込み ステータス	GPIO6割り込み ステータス	GPIO5割り込み ステータス	GPIO4割り込み ステータス	GPIO3割り込み ステータス	GPIO2割り込み ステータス	GPIO1割り込み ステータス	GPIO0割り込み ステータス
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]割り込みステータス  
GPIOが割り込みを発生するように設定されているとき（REG[EEh]とREG[F0h]を参照）、これらのステータスビットは割り込みを生成したGPIOを示します。

対応するGPIO[7:0]の割り込みステータスビットをクリアするには、該当するビットに「1」と「0」を順番に書き込みます。

REG[F8h] GPIO Pull Down Control Register							
Default = FFh							
Read/Write							
GPIO7プルダウン 制御	GPIO6プルダウン 制御	GPIO5プルダウン 制御	GPIO4プルダウン 制御	GPIO3プルダウン 制御	GPIO2プルダウン 制御	GPIO1プルダウン 制御	GPIO0プルダウン 制御
7	6	5	4	3	2	1	0

bits 7-0

GPIO[7:0]プルダウン制御  
すべてのGPIO端子にはプルダウン抵抗が内蔵されています。これらのビットは、対応するプルダウン抵抗の状態を個々に制御します。  
このビットが「0」のとき、対応するGPIOx端子のプルダウン抵抗は非アクティブです。  
このビットが「1」のとき、対応するGPIOx端子のプルダウン抵抗はアクティブです。

---

## 12. フレームレートの計算

表示フレームレートの計算には次式を使用します。

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HT}) \times (\text{VT})}$$

ここで：

$f_{\text{PCLK}}$  = PCLK周波数 (Hz)

HT = 全水平期間  
= 水平表示期間 + 水平非表示期間

VT = 全垂直期間  
= 垂直表示期間 + 垂直非表示期間

### 注

パネルタイミングパラメータの定義については、46ページの8.6「表示インタフェース」をご覧ください。

## 13. フレームバッファメモリの計算

---

### 13. フレームバッファメモリの計算

ダブルバッファ機能を使用するときは、LCD/TVの背景ウインドウに必要なメモリ量を次式を用いて算出してください。ダブルバッファ式ウインドウに使用できるメモリ量がそこから計算できます。S1D13745は、メモリにおいて背景ウインドウの直後からダブルバッファ式ウインドウを開始します。

メモリ使用量は次式で表されます。

$$1280KB = \text{背景} + \text{ダブルバッファ式ウインドウ}$$

TVとLCDの両方に対し：

$$1280KB - \text{背景} = \text{ダブルバッファ処理のストリーミングウインドウに使用できるメモリ量}$$

使用メモリ量の計算式は次のようになります。

背景画像の消費メモリ量（第2バッファの開始アドレスに等しい）：

$$\text{背景画像の消費メモリ量} = \text{切り上げ}\left(\frac{IW \times BPP}{128 \times W}\right) \times 16 \times W \times \text{切り上げ}\left(\frac{IH}{L}\right) \times L$$

ダブルバッファ処理画像の必要メモリ量：

$$\text{ダブルバッファ処理画像の必要メモリ量} = \text{切り上げ}\left(\frac{IW \times BPP}{128 \times W}\right) \times 16 \times W \times IH$$

ここで：

ラインインターリーブ = 2 (W) × 8 (L)

入力画像幅 = (IW)

入力画像高さ = (IH)

ビット／ピクセル = YUV 4:2:0のとき12 (TV: REG[60h]ビット7=0)  
= YUV 4:2:2のとき16 (TV: REG[60h]ビット7=1)  
= RGB 8:8:8のとき24 (LCD)

**例：**

TV用ダブルバッファ式ウインドウの必要メモリ量に関する計算例を以下に示します。TV用フレームバッファのフォーマットはYUV 4:2:2に設定され、720×576の背景ウインドウがあるとします。ダブルバッファ式ウインドウに使用できる最大サイズを算出するには、TV用背景ウインドウの必要メモリ量を計算することが必要です。

1. 背景画像の必要メモリ量は以下のように計算されます。  
切り上げ $[(720 \times 16) / (128 \times 2)] \times 16 \times 2 \times$ 切り上げ $(576 / 8) \times 8 = 829440$ バイト
2. したがって、第2バッファの空き容量は以下となります。  
 $1280\text{KB} - 829440 = 481280$ バイト
3. 480×480のダブルバッファ式ウインドウの場合、ダブルバッファ画像に対する必要メモリ量は以下のように計算されます。  
切り上げ $[(480 \times 16) / (128 \times 2)] \times 16 \times 2 \times 480 = 460800$ バイト  
480×480のダブルバッファ画像についてはメモリの空き容量（481280バイト）で足りません。
4. 480×480のダブルバッファ式ウインドウの場合、ダブルバッファ画像に対する必要メモリ量は以下のように計算されます。  
切り上げ $[(490 \times 16) / (128 \times 2)] \times 16 \times 2 \times 490 = 486080$ バイト  
490×490のダブルバッファ画像についてはメモリの空き容量（481280バイト）では足りません。

**13.1 TV用フレームバッファのフォーマット選択**

TV用フレームバッファのフォーマット選択に関するREG[60h]ビット7の使い方について、3つのケースを用いて以下に示します。

1. TV用ダブルバッファ式ウインドウの解像度が「1280KB-TV背景ウインドウサイズ」より大きい場合、すなわち、TV用ダブルバッファ式ウインドウ $>(1280\text{KB}-\text{TV背景ウインドウ})$ のとき、TV用フレームバッファのフォーマットはYUV 4:2:0であるとします。
2. TV用ダブルバッファ式ウインドウの解像度が「1280KB-TV背景ウインドウサイズ」以下である場合、すなわち、TV用ダブルバッファ式ウインドウ $\leq(1280\text{KB}-\text{TV背景ウインドウ})$ のとき、TV用フレームバッファのフォーマットにはYUV 4:2:2が使用できます。
3. TV用ダブルバッファ式ウインドウを使用しない場合、TV用フレームバッファのフォーマットにはYUV 4:2:2が使用できます。

このビットは、TV用ダブルバッファ式ウインドウを使用したい場合にTV用フレームバッファの保存フォーマットをユーザが指定できるようにするものです。TV用ダブルバッファ式ウインドウのサイズによってこのビットの設定値が決まります。

このビットのデフォルト値は「0」、すなわちYUV 4:2:0です。したがって、TV用フレームバッファのフォーマットは、TVの全画面解像度を含むすべてのTV用ダブルバッファ式ウインドウサイズに対応できます。

TV用フレームバッファのフォーマットをYUV 4:2:0からYUV 4:2:2に変更する必要はとくにありません。ただし、ホストが以下に示すメモリの制限事項に従い、かつTV用フレームバッファの全表示内容を再描画可能である場合は、YUV 4:2:2を選択することで画像をより忠実に再現できます。

TV用ダブルバッファ式ウインドウが常に「1280KB-TV背景ウインドウサイズ」で足りるとユーザが判断する場合、YUVフォーマットを4:2:2に設定することによってTV画像の忠実度が向上します。ただし、TV用フレームバッファのフォーマットを変更するには、ホストがフレームバッファ内の表示内容をすべてリフレッシュすることが必要になります。

TV用ダブルバッファ式ウインドウのサイズが「1280KB-TV背景ウインドウサイズ」より大きい場合、またはYUV 4:2:2フォーマットが不要な場合、このビットは「0」に設定してください。

### 13. フレームバッファメモリの計算

TV用ダブルバッファ式ウインドウのサイズが「1280KB-TV背景ウインドウサイズ」に収まり、かつYUV 4:2:2フォーマットを使用したいときは、このビットを「1」に設定してください。

#### 注

複数のTVウインドウを表示する場合、YUV 4:2:2とYUV 4:2:0のYUVフォーマットを1つのディスプレイ上に混在させることはできません。YUVフォーマットを設定すると、後続するすべての背景および上書きウインドウは同じフォーマットでなければなりません。このビットの値を変更するには、ユーザがTV表示面全体を再描画することが必要です。このビットの値を変更すると、TV用フレームバッファに格納されている現在の表示内容が正しく表示されません。そのためにTV用フレームバッファの全表示内容（背景、上書きウインドウおよびオーバーレイ）をユーザが再描画する必要があります。

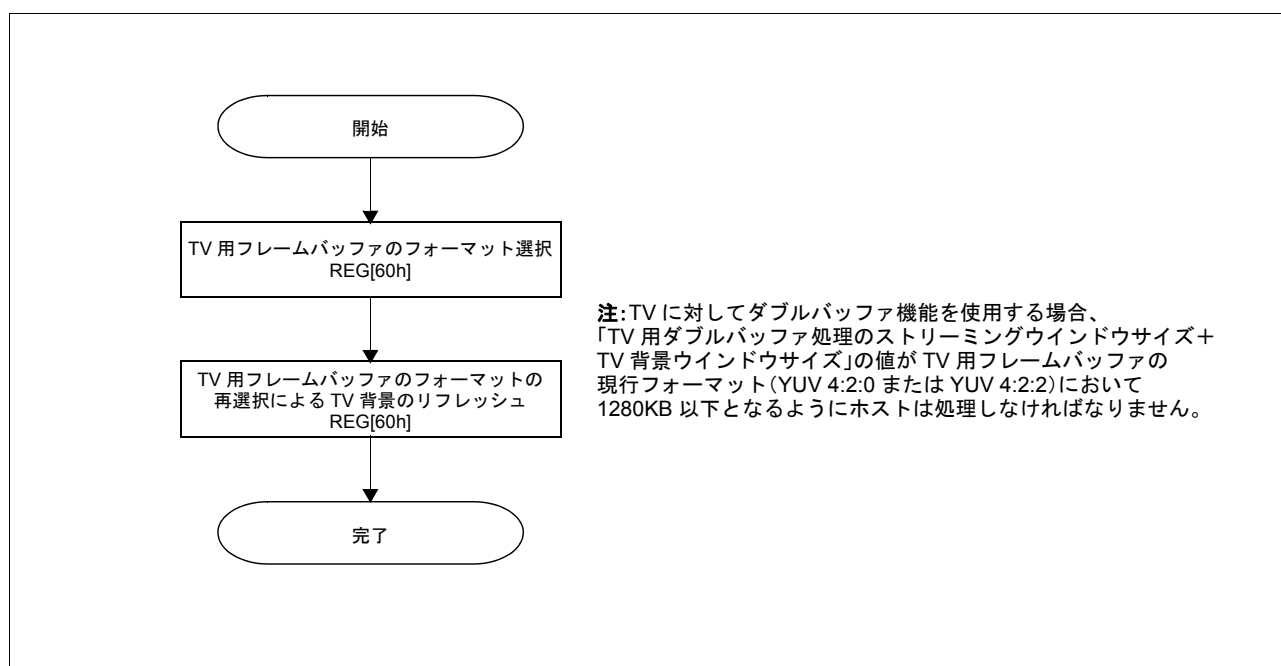


図13.1 TV用フレームバッファのフォーマット変更

## 14. Intel 80系8ビットインタフェースのカラーフォーマット

### 14.1 16bpp (RGB 5:6:5)、65,536色

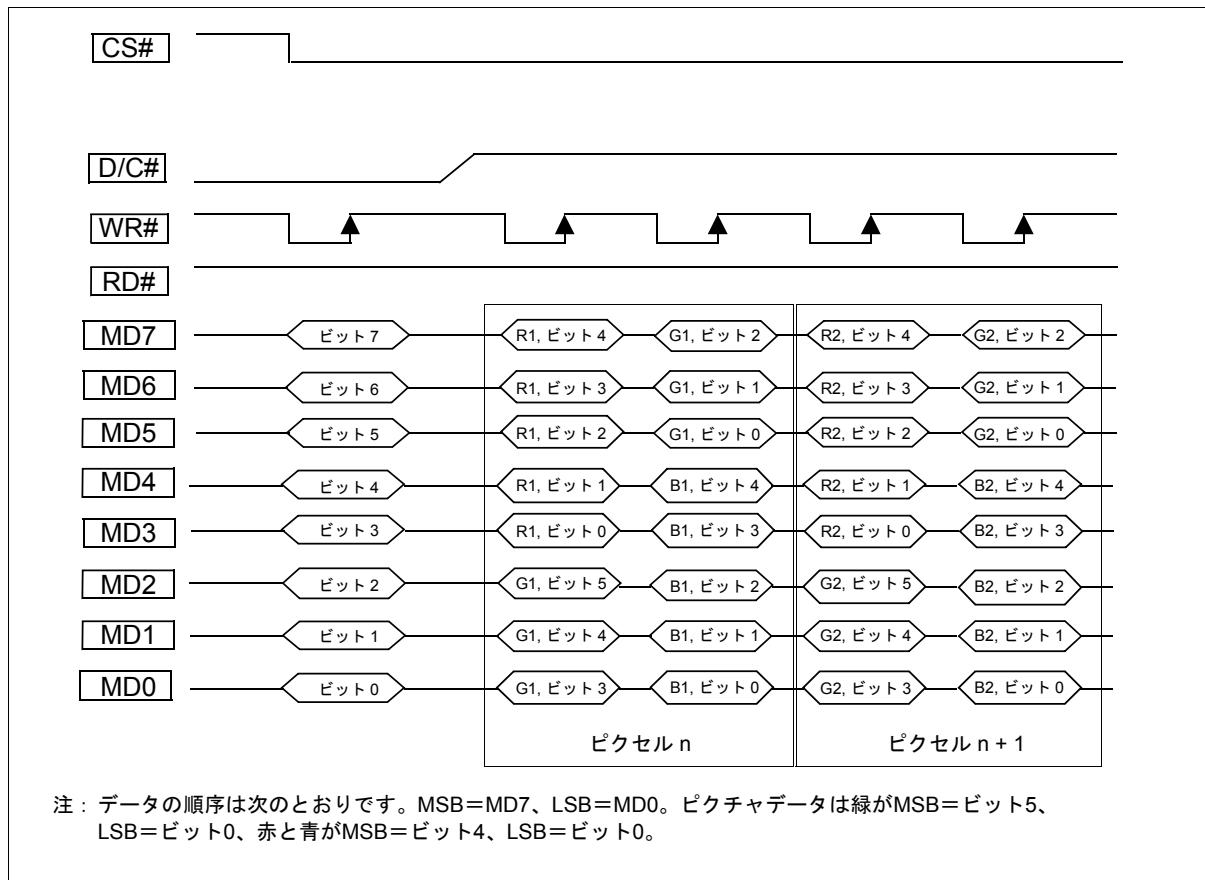


図14.1 16bpp (RGB 5:6:5)、65,536色

## 14. Intel 80系8ビットインタフェースのカラーフォーマット

### 14.2 18bpp (RGB 6:6:6)、262,144色

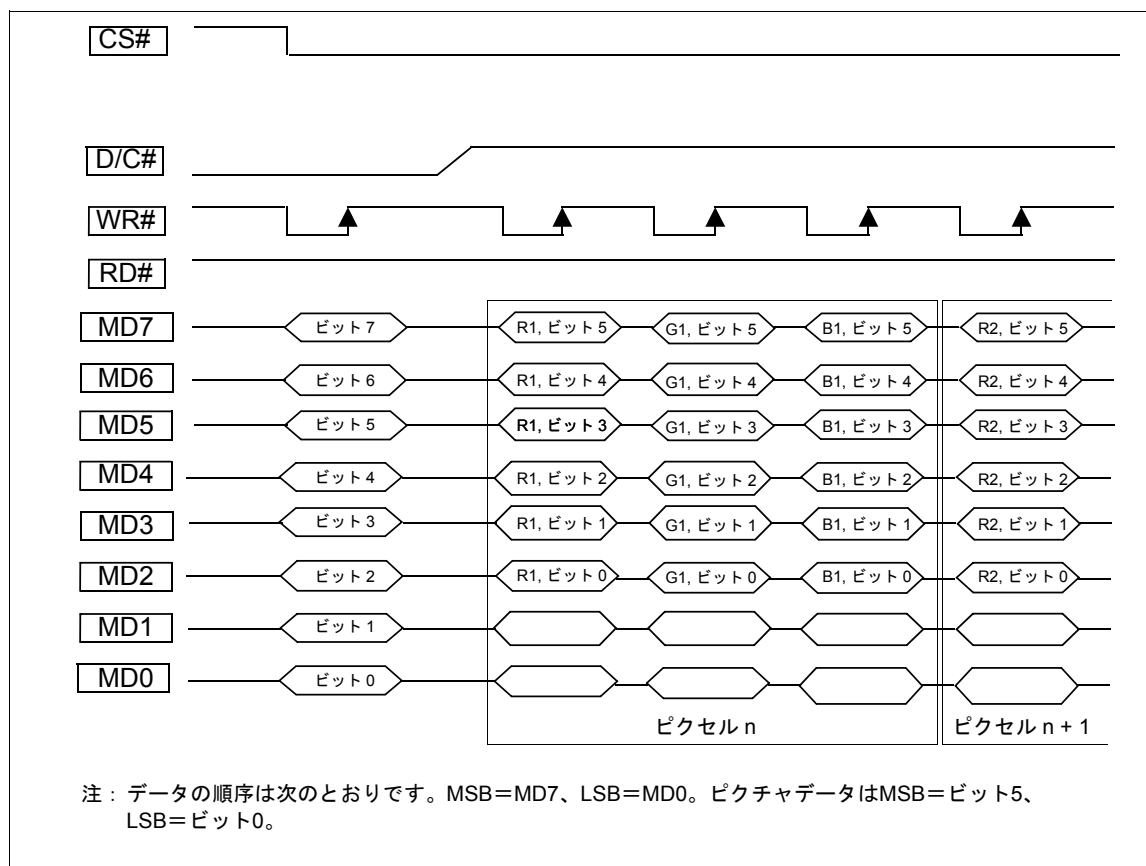


図14.2 18bpp (RGB 6:6:6)、262,144色

### 14.3 24bpp (RGB 8:8:8)、16,777,216色

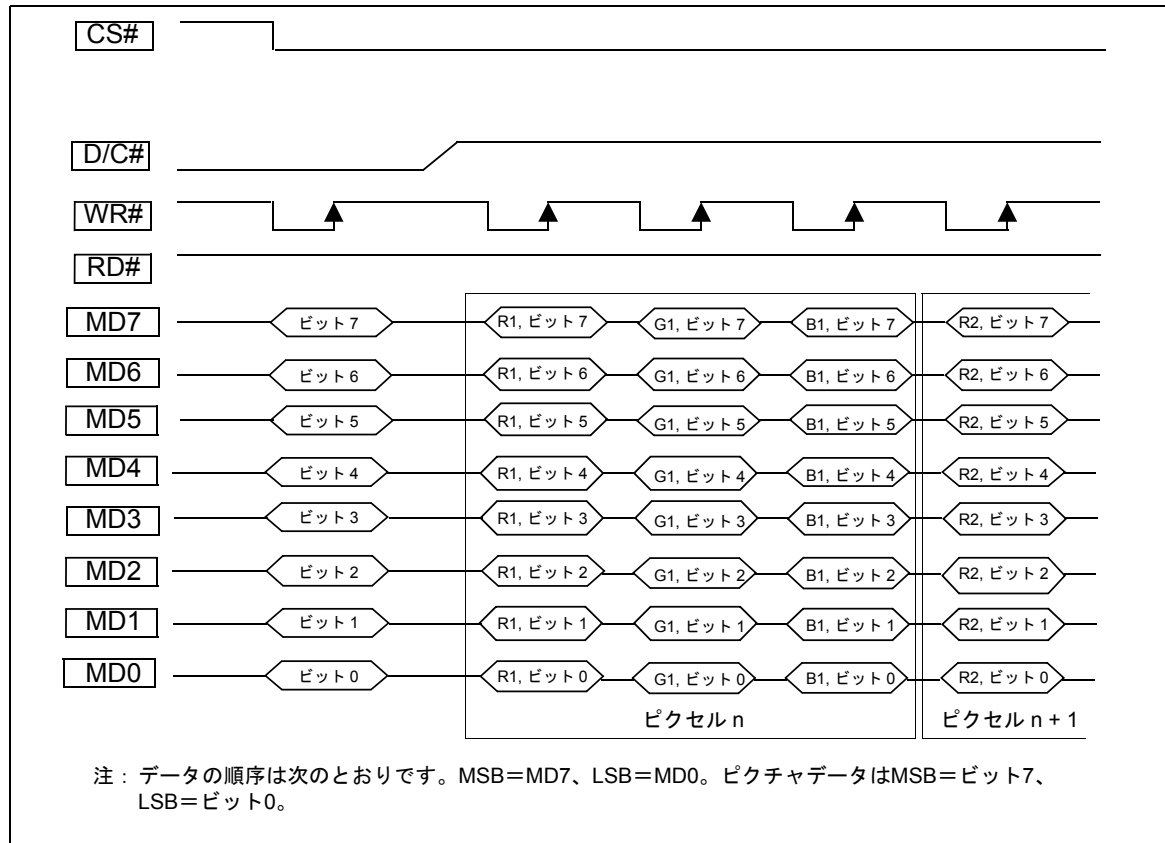


図14.3 24bpp (RGB 8:8:8)、16,777,216色



# 15. Intel 80系16ビットインタフェースのカラーフォーマット

## 15. Intel 80系16ビットインタフェースのカラーフォーマット

### 15.1 16bpp (RGB 5:6:5)、65,536色

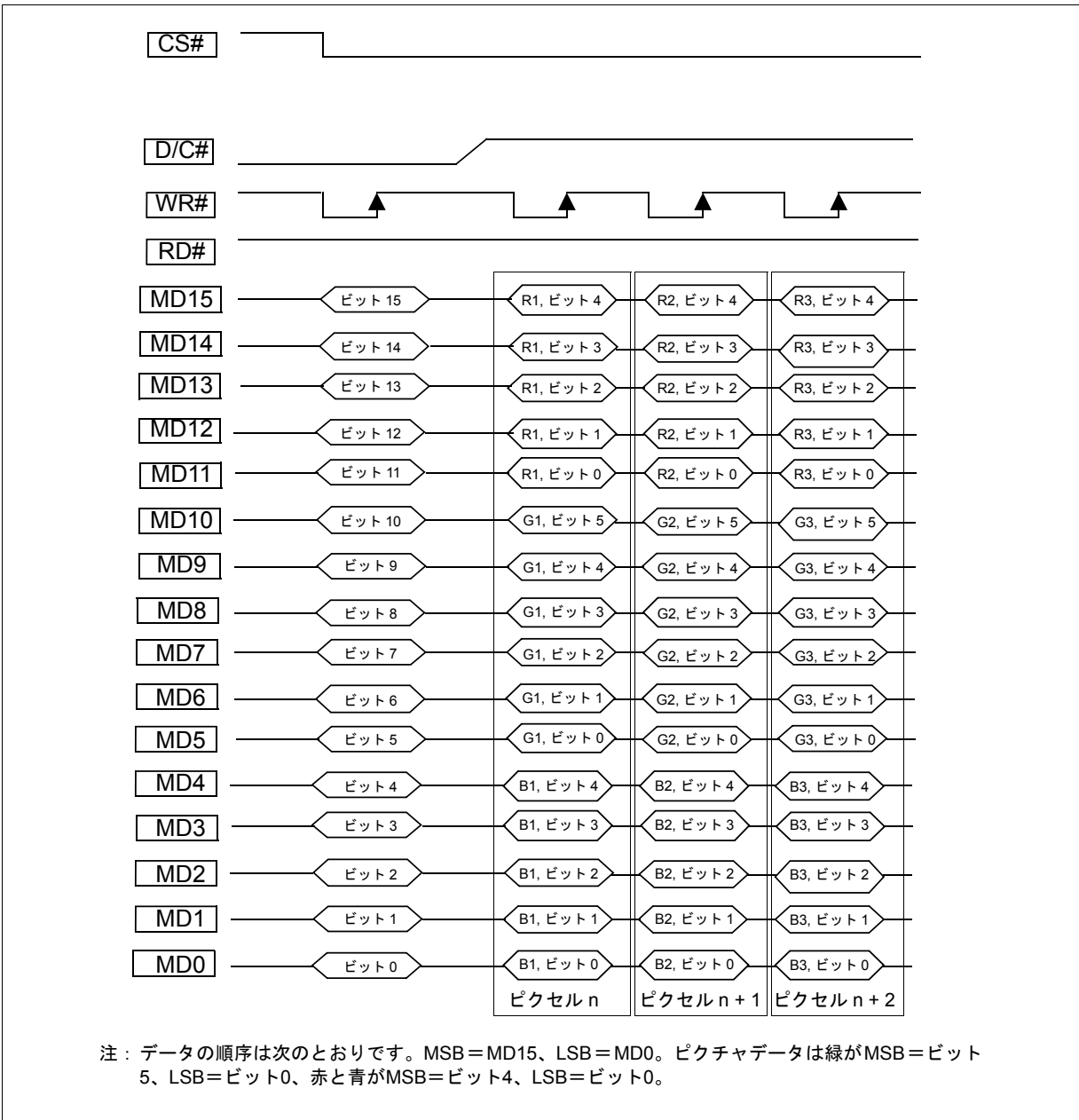


図15.1 16bpp (RGB 5:6:5)、65,536色

## 15.2 18bppのモード1 (RGB 6:6:6)、262,144色

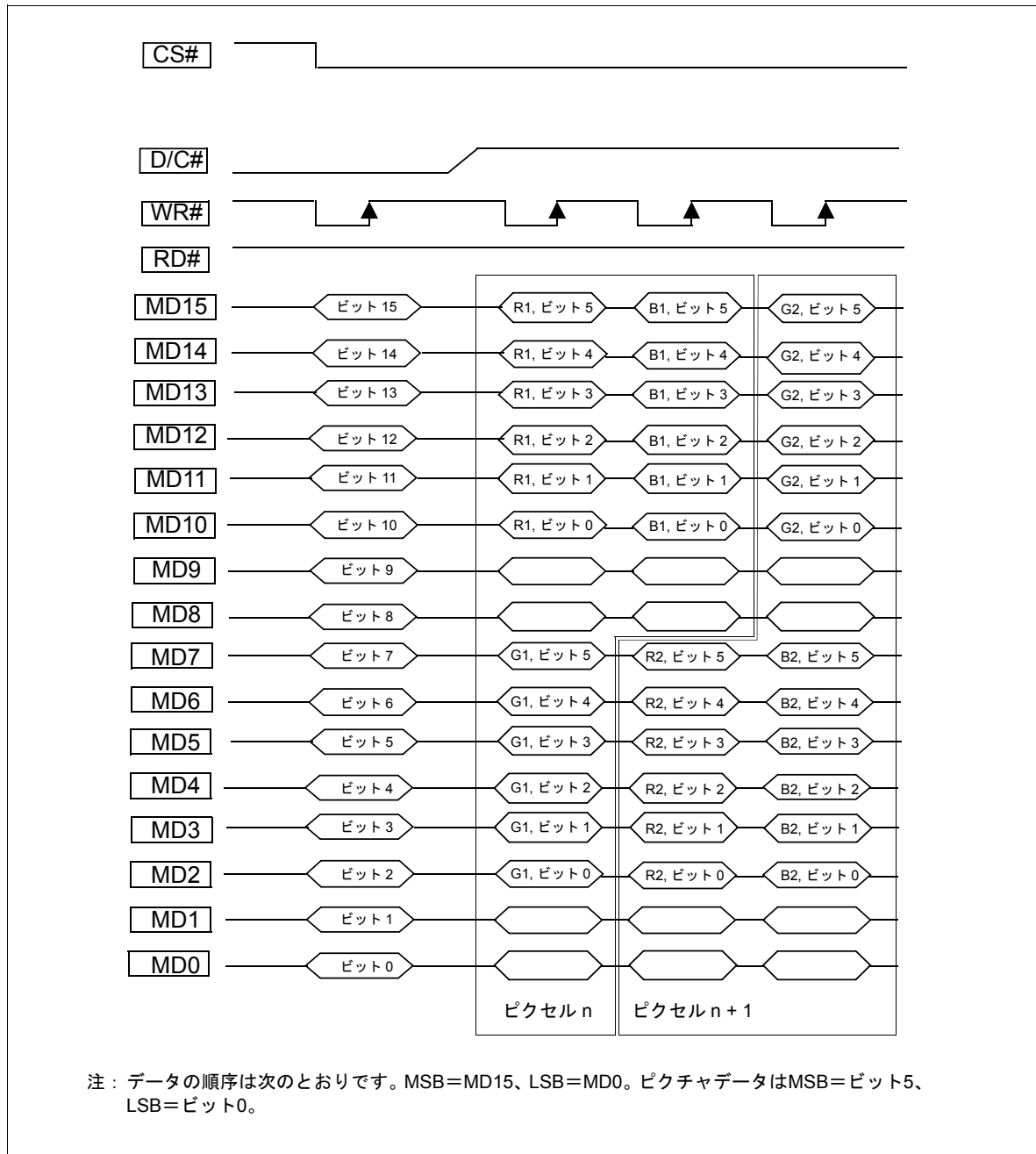


図15.2 18bppのモード1 (RGB 6:6:6)、262,144色

# 15. Intel 80系16ビットインタフェースのカラーフォーマット

## 15.3 18bppのモード2 (RGB 6:6:6)、262,144色

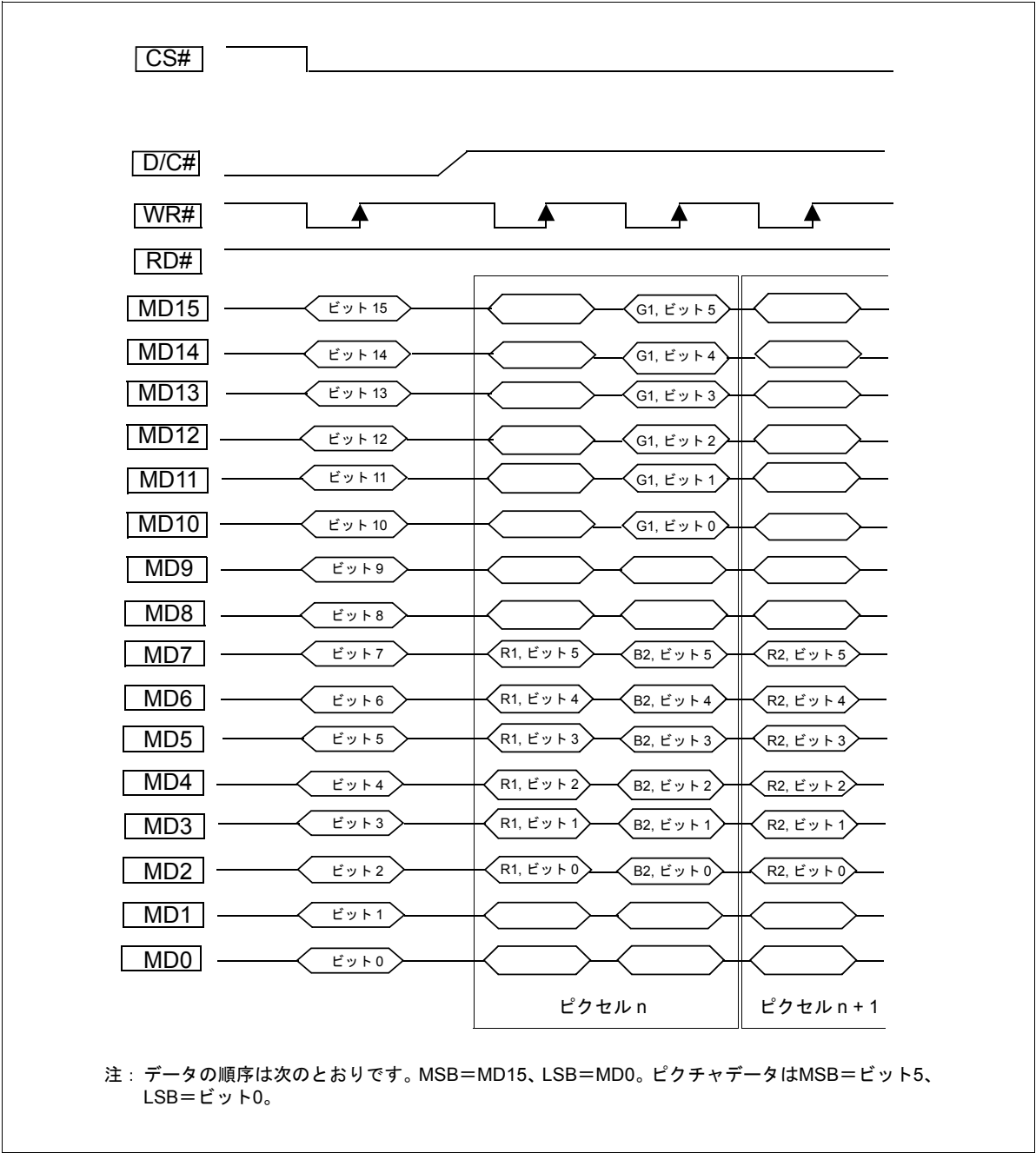


図15.3 18bppのモード2 (RGB 6:6:6)、262,144色

# 15.4 24bppのモード1 (RGB 8:8:8)、16,777,216色

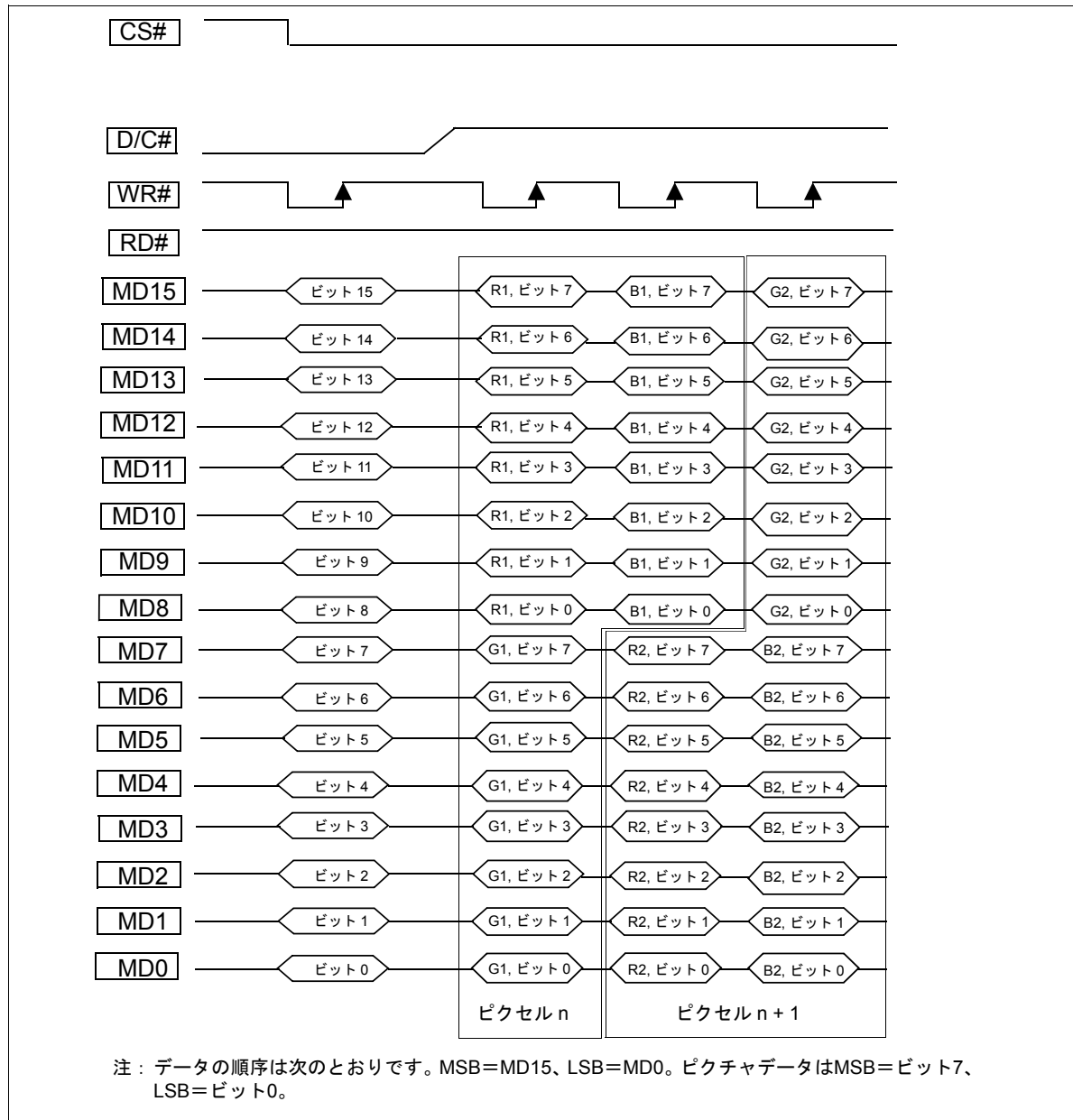


図15.4 24bppのモード1 (RGB 8:8:8)、16,777,216色

## 15. Intel 80系16ビットインタフェースのカラーフォーマット

### 15.5 24bppのモード2 (RGB 8:8:8)、16,777,216色

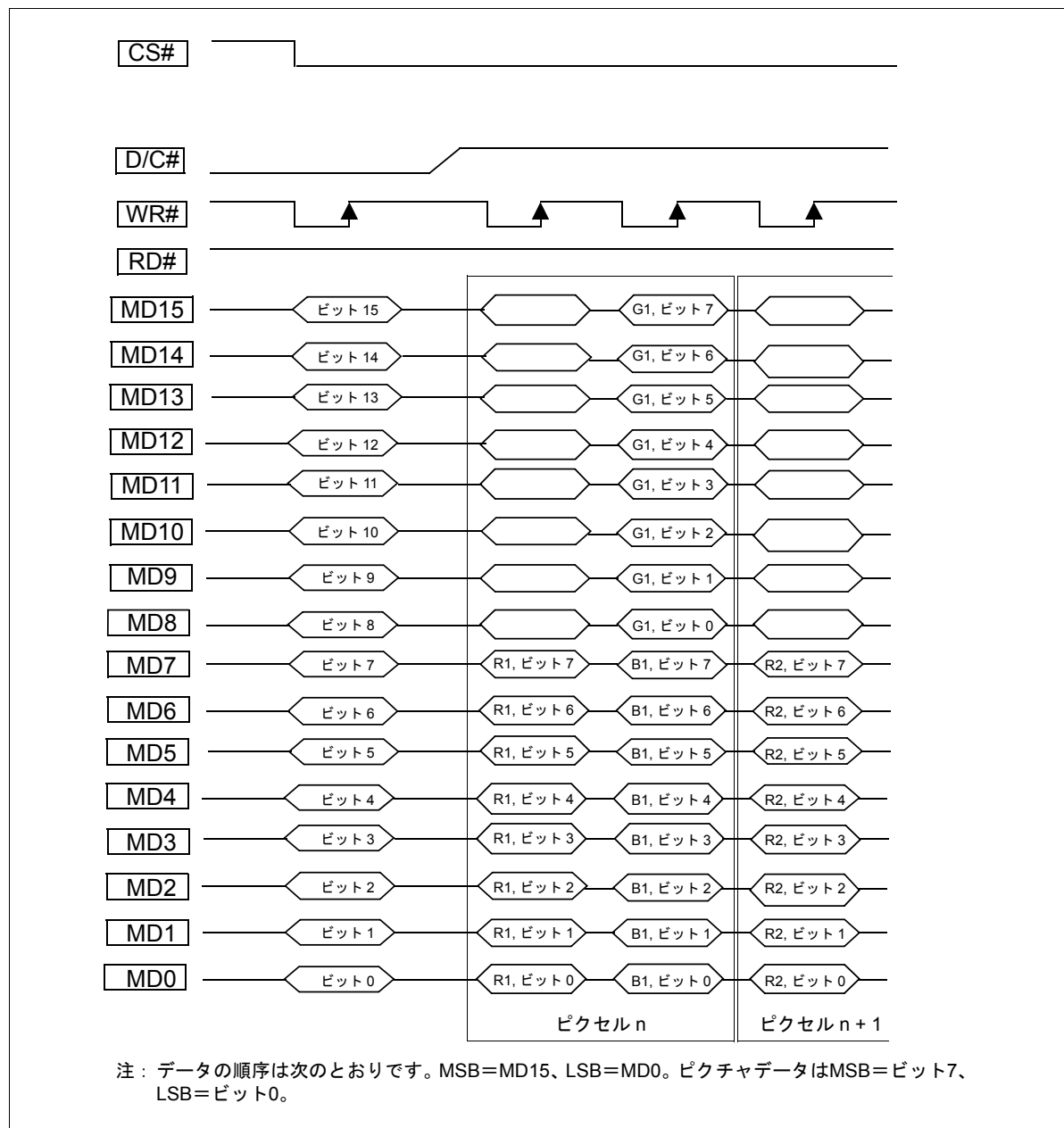


図15.5 24bppのモード2 (RGB 8:8:8)、16,777,216色

## 16. YUVに関するタイミング

### フォーマット定義

- ライン当たりのピクセル数は常に偶数です
- $YC_{BC}_R$ の色空間はITU-R BT601.4に規定されています
- YUV 4:2:2フォーマット  
 $U_{11}Y_{11}V_{11}Y_{12}U_{13}Y_{13}V_{13}Y_{14}...$
- YUV 4:2:0フォーマット  
 奇数ライン :  $UY_{11}Y_{12}...$   
 偶数ライン :  $VY_{21}Y_{22}...$

### 注

ウインドウがYUVデータ用に設定されている場合、データは必ず奇数ラインと偶数ラインが交互に出現し、かつ奇数ラインで始まる必要があります。

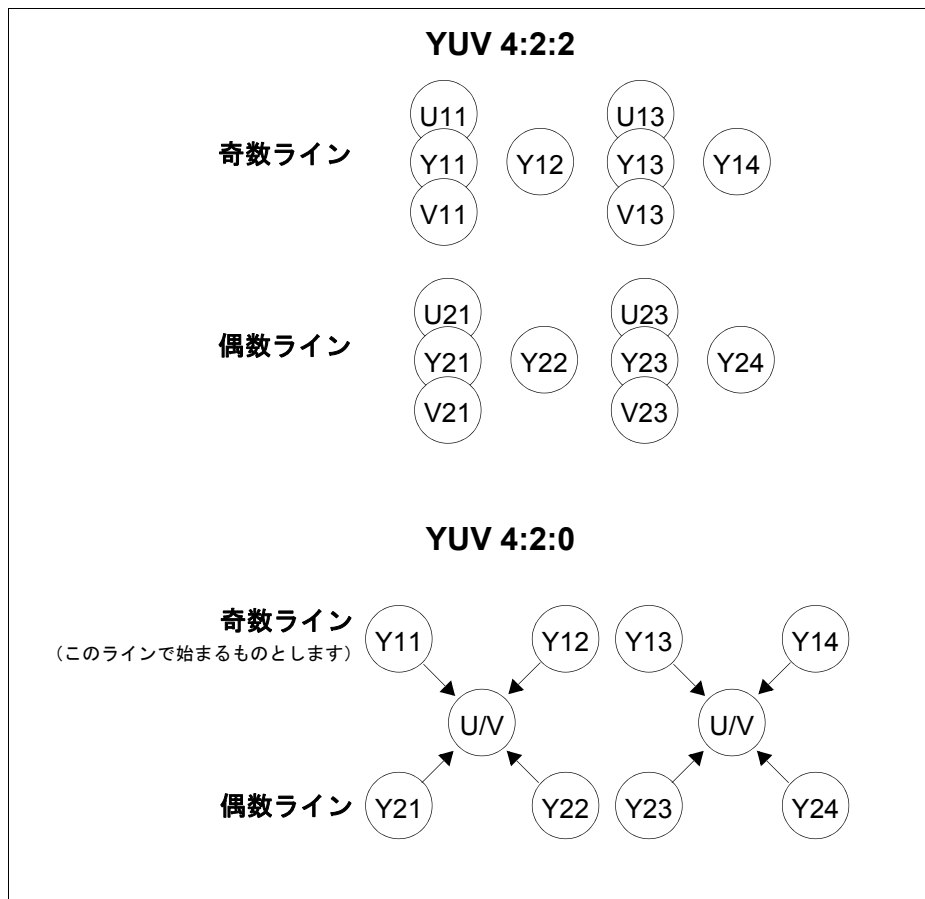


図16.1 YUVフォーマットの定義

## 16. YUVに関するタイミング

### 16.1 YUV 4:2:2/Intel 80系8ビットインタフェース

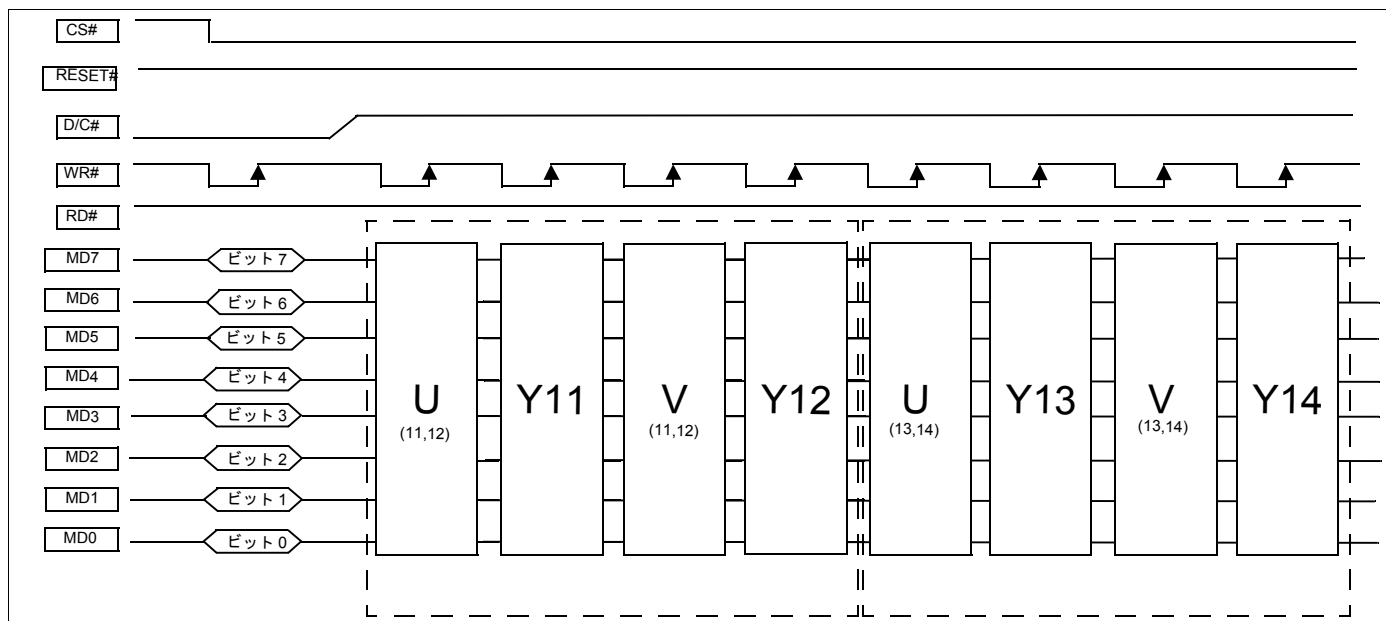


図16.2 YUV 4:2:2 (Intel 80系8ビットインタフェース使用時)

#### 注

このモードの使用時、入力ウインドウ幅は偶数である必要があります。

### 16.2 YUV 4:2:0の奇数ライン/Intel 80系8ビットインタフェース

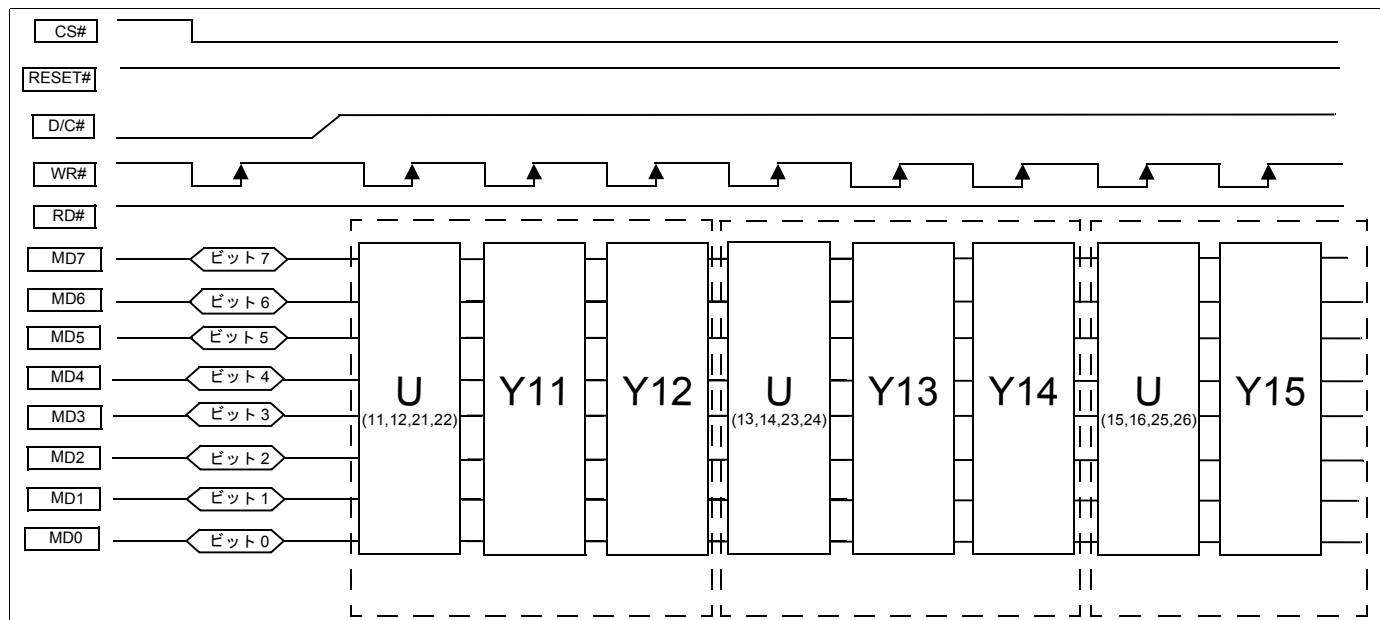


図16.3 YUV 4:2:0の奇数ライン (Intel 80系8ビットインタフェース使用時)

#### 注

このモードの使用時、入力ウインドウ幅は偶数である必要があります。

## 16.3 YUV 4:2:0の偶数ライン／Intel 80系8ビットインタフェース

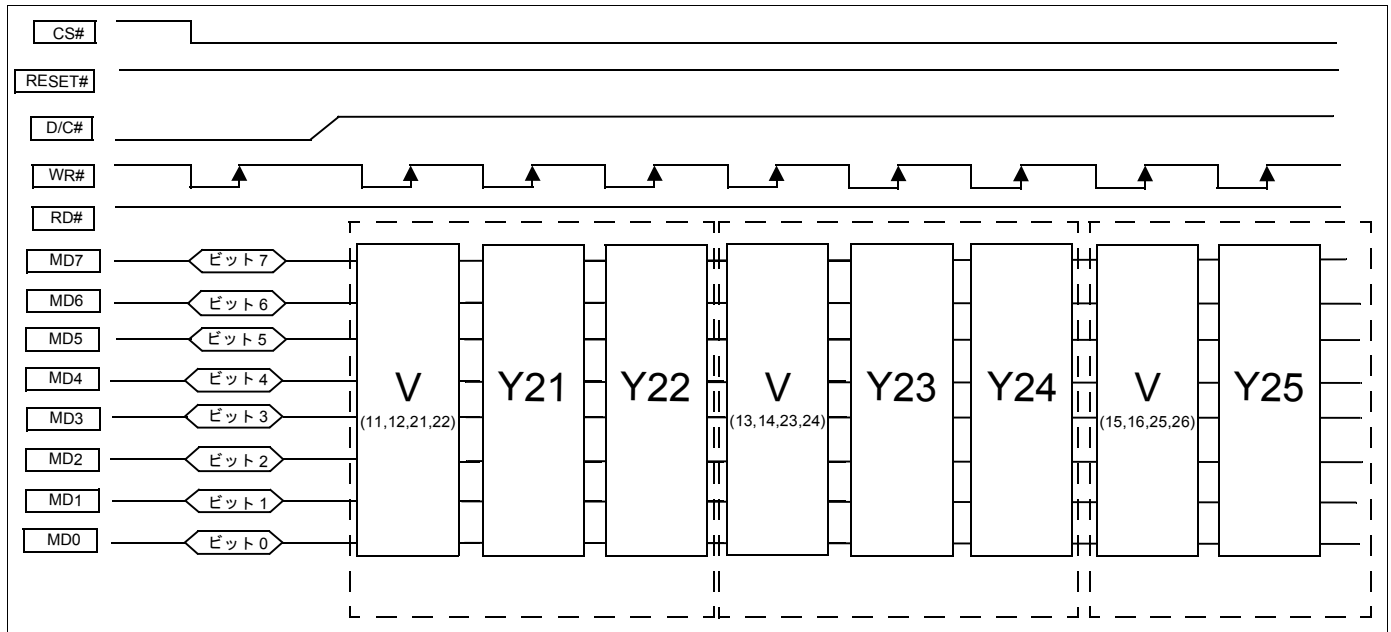


図16.4 YUV 4:2:0の偶数ライン（Intel 80系8ビットインタフェース使用時）

## 注

このモードの使用時、入力ウインドウ幅は偶数であることが必要です。



## 16. YUVに関するタイミング

### 16.4 YUV 4:2:2／Intel 80系16ビットインタフェース

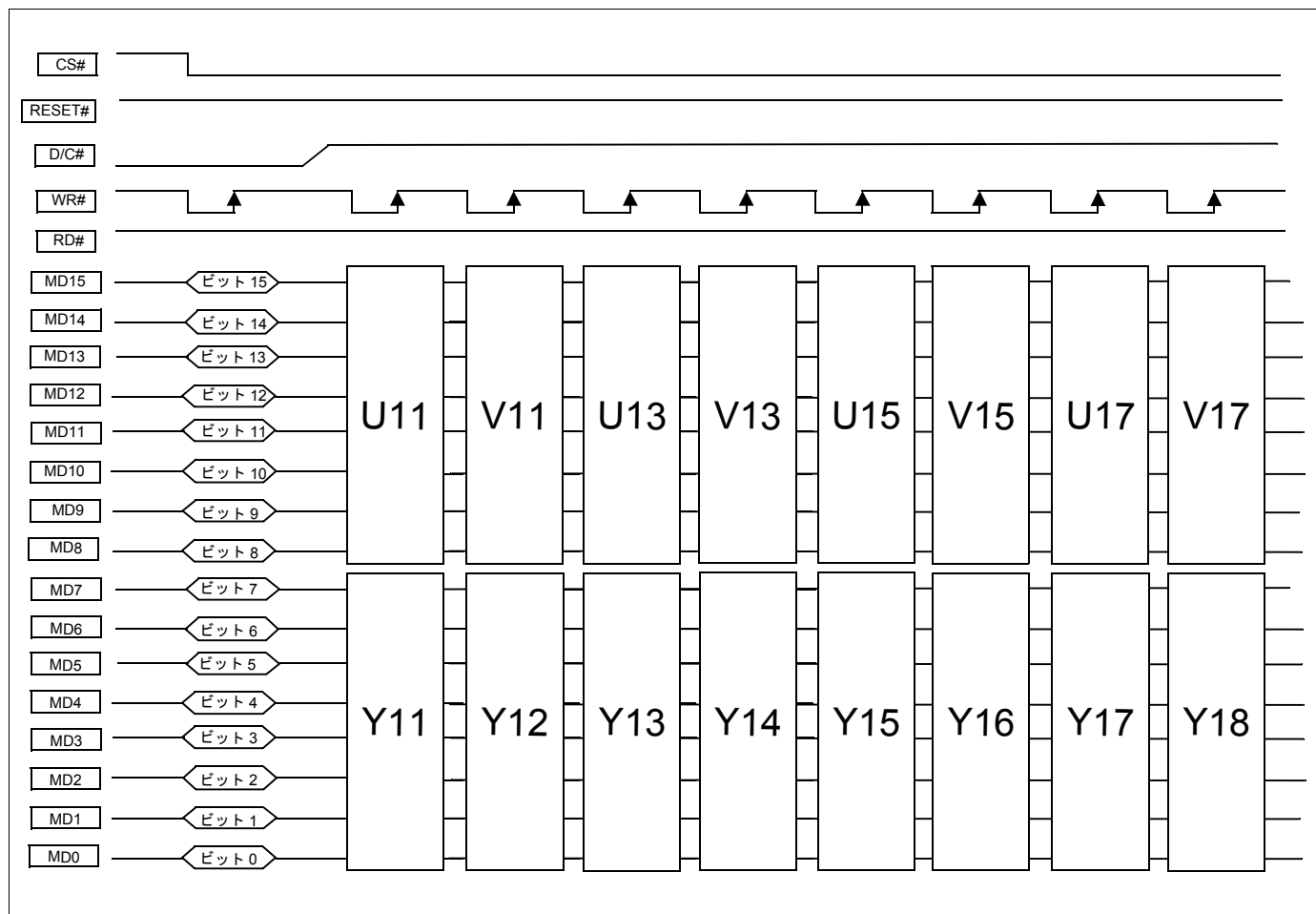


図16.5 YUV 4:2:2 (Intel 80系16ビットインタフェース使用時)

#### 注

このモードの使用時、入力ウインドウ幅は4で割り切れる必要があります。

## 16.5 YUV 4:2:0の奇数ライン／Intel 80系16ビットインタフェース

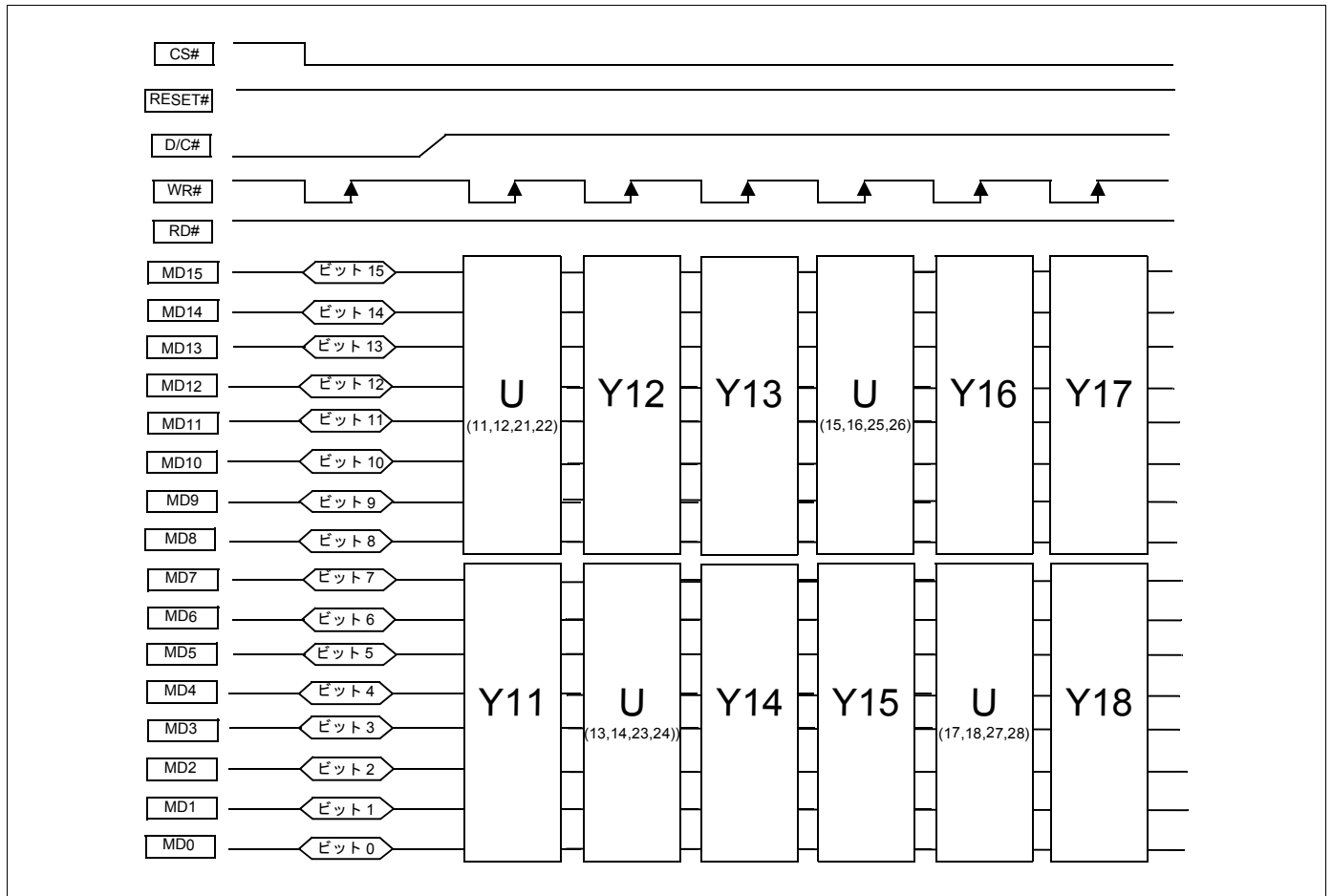


図16.6 YUV 4:2:0の奇数ライン（Intel 80系16ビットインタフェース使用時）

## 注

このモードの使用時、入力ウインドウ幅は4で割り切れることが必要です。

## 16. YUVに関するタイミング

### 16.6 YUV 4:2:0の偶数ライン／Intel 80系16ビットインタフェース

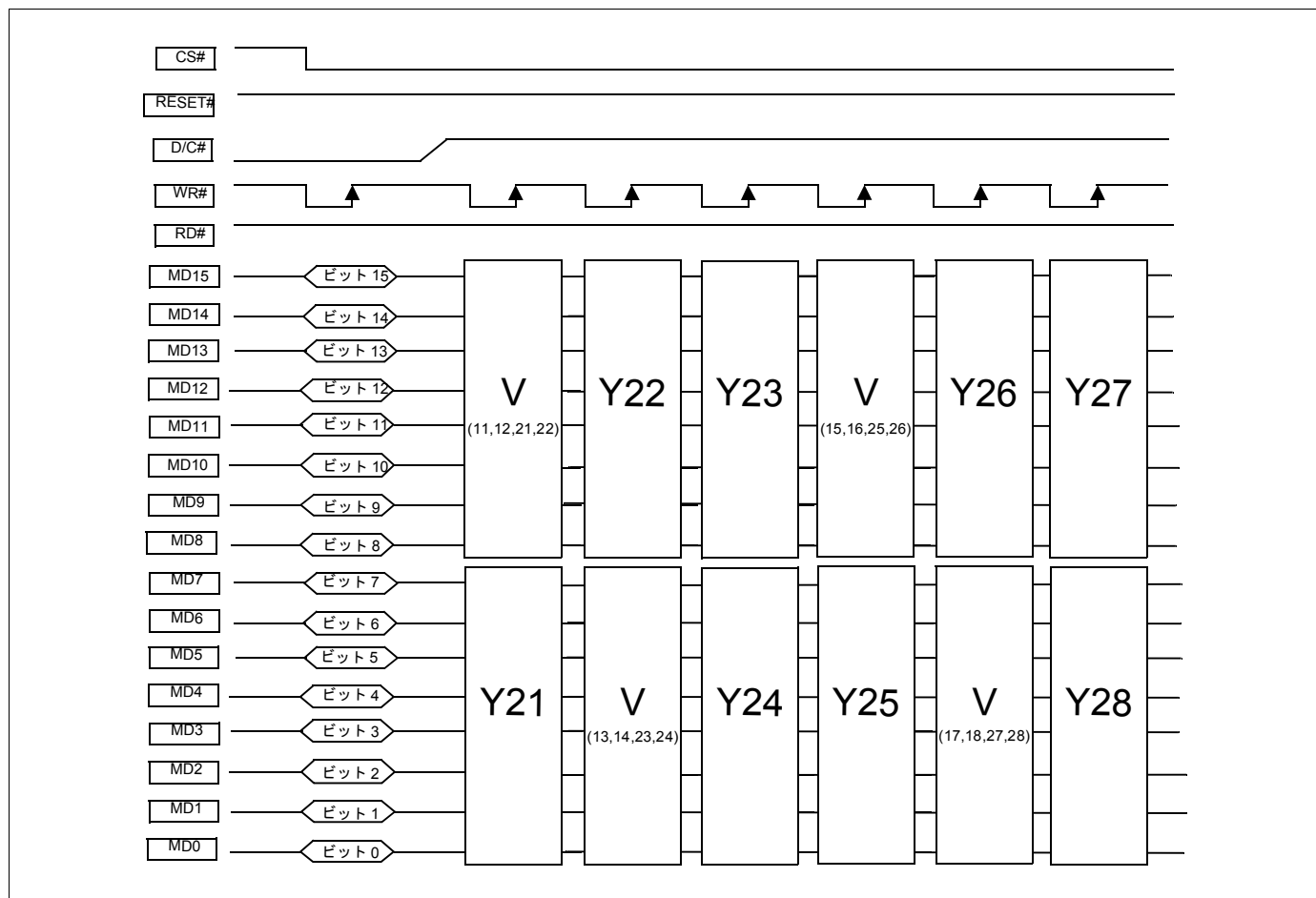


図16.7 YUV 4:2:0の偶数ライン（Intel 80系16ビットインタフェース使用時）

#### 注

このモードの使用時、入力ウインドウ幅は4で割り切れることが必要です。

## 17. カラーマネジメントシステムの説明

カラーマネジメントシステム（CMS）には、「逆ガンマブロック」「 $3 \times 3$ マトリックス」「ガンマ補正ルックアップテーブル」の3要素があります。

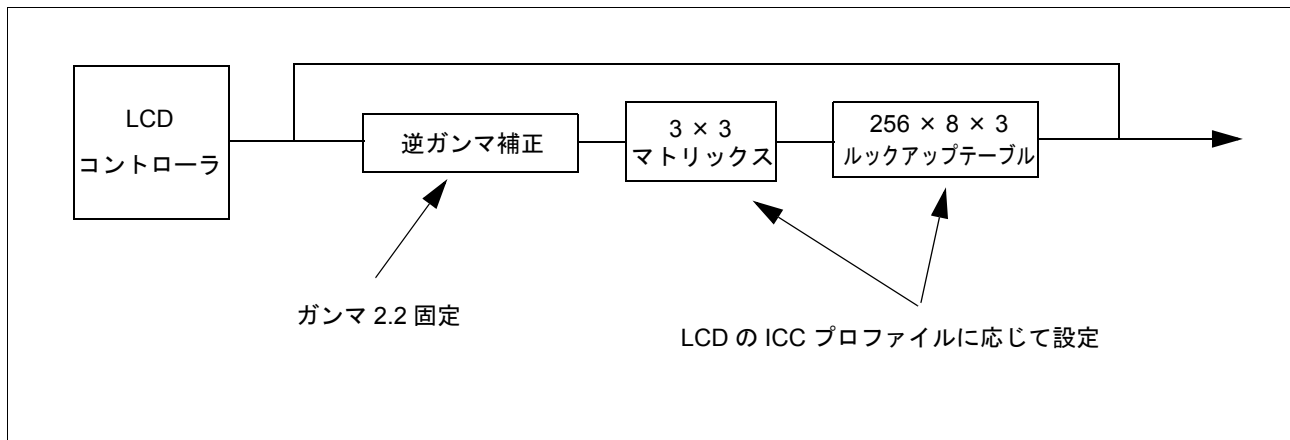


図17.1 カラーマネジメントシステムの機能ブロック図

### 17.1 逆ガンマブロック

このブロックは有効・無効（デフォルト）が切り替え可能であり、レジスタ設定は不要です。CMSサブシステム使用時、メモリに格納されるデータはガンマが2.2のsRGBであることを前提とします。 $3 \times 3$ マトリックスは線形データを必要とするため、逆ガンマブロックが必要になります。

### 17.2 $3 \times 3$ マトリックス

このフィルタには、対応する9つの9ビットの符号付き係数が存在します。その設定値はLCDパネルのICCプロファイルによって決まります。プロファイルはLCDパネルメーカーから入手できます。

### 17.3 ガンマ補正ルックアップテーブル（LUT）

CMSブロックの最終出力段階は、 $3 \times 256$ 位置の8ビットのルックアップテーブルです。その値も一般的にLCDパネルのICCプロファイルによって決まります。

## 17. カラーマネジメントシステムの説明

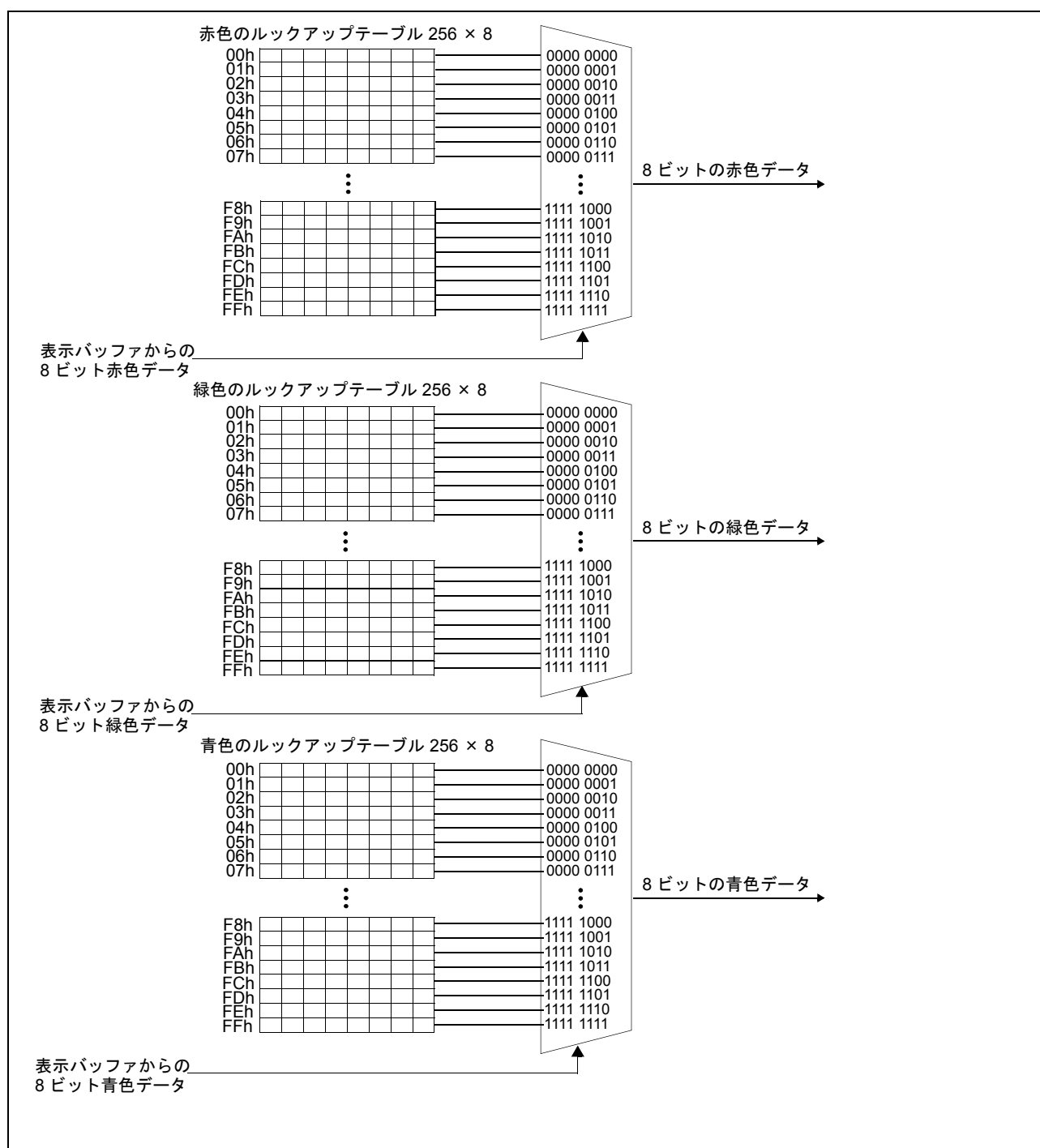


図17.2 ガンマ補正ルックアップテーブルの構成（LUTを用いた24bpp）

## 17.4 ガンマ補正ルックアップテーブルの設定例

ガンマ補正ルックアップテーブルの設定は以下の手順で行います。

- LUTを無効にします。
- Gamma Correction Enableレジスタ（REG[B4h]）に対するレジスタ「アドレス」を書き込みます。
- 使用したいLUTアクセスモードに合わせてデータを書き込みます（REG[B4h]ビット2～1を参照）。
- LUTインデックスが「x」になるようにデータを書き込みます（オートインクリメントは常に有効であるため、Gamma Correction Table Indexレジスタのレジスタ「アドレス」を書き込む必要はありません）。
- Gamma Correction Table Dataレジスタにデータ（インデックス「x」に対するデータ値）を書き込みます。
- Gamma Correction Table Dataレジスタにデータ（インデックス「x+1」に対するデータ値）を書き込みます。
- 256個のすべての位置について書き込みが終わるまでこれを繰り返します。
- ガンマ補正を有効にします（REG[B4h]ビット0=1）。

## 18. 表示データフォーマット

## 18. 表示データフォーマット

表18.1 24ビットのデータフォーマット（ビット位置の入れ替えなし、REG[28h]ビット7=0）

端子名	サイクルカウント				
	1	2	3	...	n
VD23	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
VD22	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
VD21	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
VD20	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD19	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD18	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD17	$R_0^1$	$R_1^1$	$R_2^1$	...	$R_n^1$
VD16	$R_0^0$	$R_1^0$	$R_2^0$	...	$R_n^0$
VD15	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
VD14	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
VD13	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD12	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD11	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD10	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD9	$G_0^1$	$G_1^1$	$G_2^1$	...	$G_n^1$
VD8	$G_0^0$	$G_1^0$	$G_2^0$	...	$G_n^0$
VD7	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
VD6	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
VD5	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD4	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD3	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD2	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
VD1	$B_0^1$	$B_1^1$	$B_2^1$	...	$B_n^1$
VD0	$B_0^0$	$B_1^0$	$B_2^0$	...	$B_n^0$

表18.2 24ビットのデータフォーマット（ビット位置の入れ替えあり、REG[28h]ビット7=1）

端子名	サイクルカウント				
	1	2	3	...	n
VD23	$B_0^0$	$B_1^0$	$B_2^0$	...	$B_n^0$
VD22	$B_0^1$	$B_1^1$	$B_2^1$	...	$B_n^1$
VD21	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
VD20	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD19	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD18	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD17	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
VD16	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
VD15	$G_0^0$	$G_1^0$	$G_2^0$	...	$G_n^0$
VD14	$G_0^1$	$G_1^1$	$G_2^1$	...	$G_n^1$
VD13	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD12	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD11	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD10	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD9	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
VD8	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
VD7	$R_0^0$	$R_1^0$	$R_2^0$	...	$R_n^0$
VD6	$R_0^1$	$R_1^1$	$R_2^1$	...	$R_n^1$
VD5	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD4	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD3	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD2	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
VD1	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
VD0	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$



## 18. 表示データフォーマット

表18.3 18ビットのデータフォーマット（ビット位置の入れ替えなし、REG[28h]ビット7=0）

端子名	サイクルカウント				
	1	2	3	...	n
VD[23:18]	HI-Z				
VD17	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$
VD16	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
VD15	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
VD14	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD13	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD12	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD11	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
VD10	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
VD9	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD8	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD7	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD6	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD5	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
VD4	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
VD3	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD2	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD1	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD0	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$

表18.4 18ビットのデータフォーマット（ビット位置の入れ替えあり、REG[28h]ビット7=1）

端子名	サイクルカウント				
	1	2	3	...	n
VD[23:18]	Hi-Z				
VD17	$B_0^2$	$B_1^2$	$B_2^2$	...	$B_n^2$
VD16	$B_0^3$	$B_1^3$	$B_2^3$	...	$B_n^3$
VD15	$B_0^4$	$B_1^4$	$B_2^4$	...	$B_n^4$
VD14	$B_0^5$	$B_1^5$	$B_2^5$	...	$B_n^5$
VD13	$B_0^6$	$B_1^6$	$B_2^6$	...	$B_n^6$
VD12	$B_0^7$	$B_1^7$	$B_2^7$	...	$B_n^7$
VD11	$G_0^2$	$G_1^2$	$G_2^2$	...	$G_n^2$
VD10	$G_0^3$	$G_1^3$	$G_2^3$	...	$G_n^3$
VD9	$G_0^4$	$G_1^4$	$G_2^4$	...	$G_n^4$
VD8	$G_0^5$	$G_1^5$	$G_2^5$	...	$G_n^5$
VD7	$G_0^6$	$G_1^6$	$G_2^6$	...	$G_n^6$
VD6	$G_0^7$	$G_1^7$	$G_2^7$	...	$G_n^7$
VD5	$R_0^2$	$R_1^2$	$R_2^2$	...	$R_n^2$
VD4	$R_0^3$	$R_1^3$	$R_2^3$	...	$R_n^3$
VD3	$R_0^4$	$R_1^4$	$R_2^4$	...	$R_n^4$
VD2	$R_0^5$	$R_1^5$	$R_2^5$	...	$R_n^5$
VD1	$R_0^6$	$R_1^6$	$R_2^6$	...	$R_n^6$
VD0	$R_0^7$	$R_1^7$	$R_2^7$	...	$R_n^7$

## 19. SwivelView™

### 19.1 LCDパネルの回転オフセット

多くのコンピュータディスプレイは、左から右に、そして上から下に向けてリフレッシュされます。コンピュータ画像の記憶方法も同様です。SwivelViewはLCD上の表示画像を左回りに90°、180°、または270°回転するよう設計されています。この回転は表示バッファのすべての書き込みに対してハードウェアで実施されるため、ユーザは回転操作を意識する必要がありません。回転処理をハードウェアで行うことにより、表示画像のソフトウェア回転に比べてパフォーマンスが向上します。

実際のアドレス変換はホスト書き込み時に行われるため、画像データは回転した状態でメモリに保存されます。

#### 19.1.1 90°のSwivelView™

プログラマから見た320×480の縦位置画像と実際の表示画像の見え方を下の図に示します。アプリケーション画像がS1D13745に書き込まれる順番は「A-B-C-D」であるのに対し、画像がリフレッシュされる順番は「B-D-A-C」です。

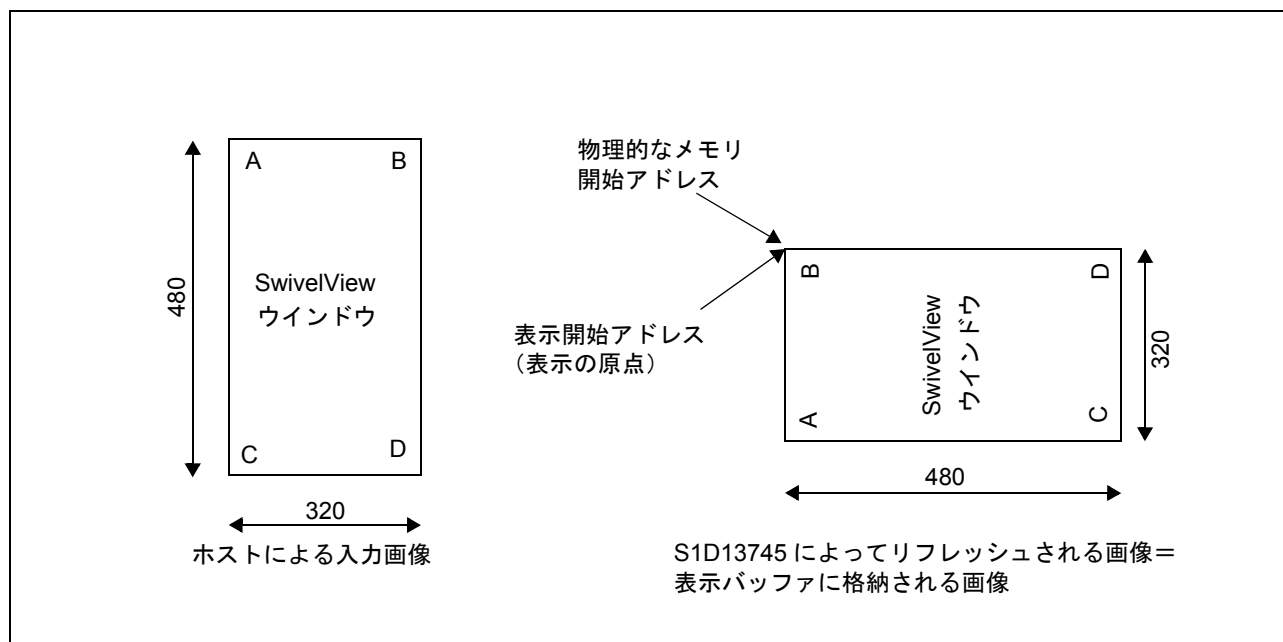


図19.1 90°のSwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

#### レジスタの設定

回転を有効にする（REG[28h]ビット1～0を参照）以外、特別な設定は必要ありません。開始アドレスとラインオフセットはハードウェアによって自動的に計算されます。

## 19.1.2 180°のSwivelView™

プログラマから見た480×320の横位置画像と実際の表示画像の見え方を下の図に示します。アプリケーション画像がS1D13745に書き込まれる順番は「A-B-C-D」であるのに対し、画像がリフレッシュされる順番は「D-C-B-A」です。

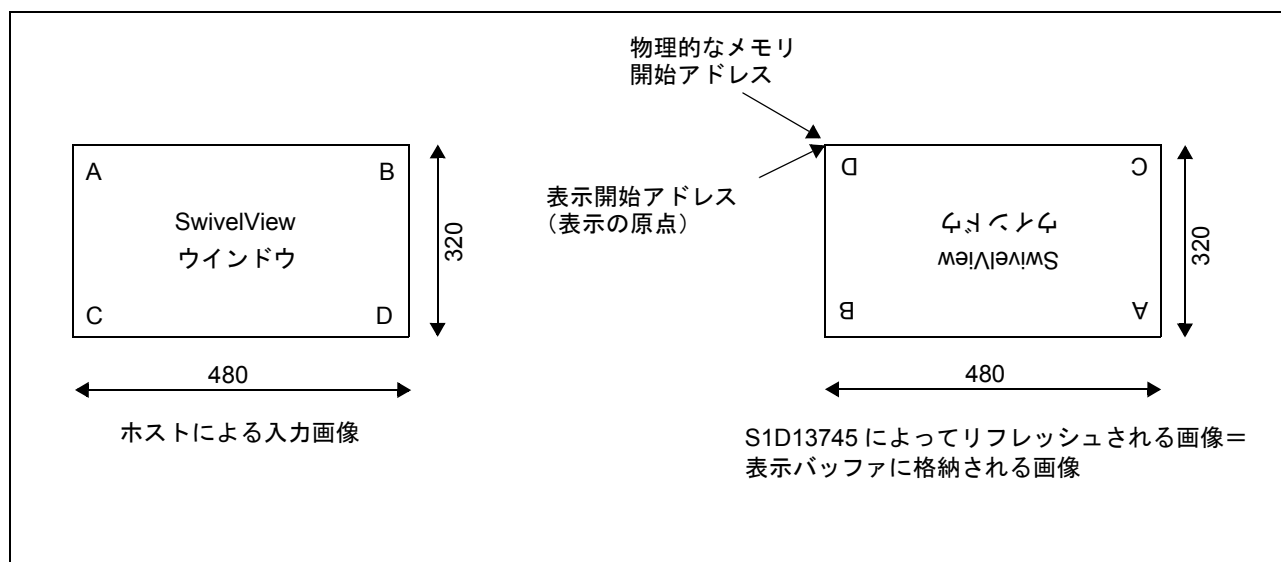


図19.2 180°のSwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

## レジスタの設定

回転を有効にする（REG[28h]ビット1～0を参照）以外、特別な設定は必要ありません。開始アドレスとラインオフセットはハードウェアによって自動的に計算されます。

### 19.1.3 270°のSwivelView™

プログラマから見た320×480の縦位置画像と実際の表示画像の見え方を下の図に示します。アプリケーション画像がS1D13745に書き込まれる順番は「A-B-C-D」であるのに対し、画像がリフレッシュされる順番は「C-A-D-B」です。

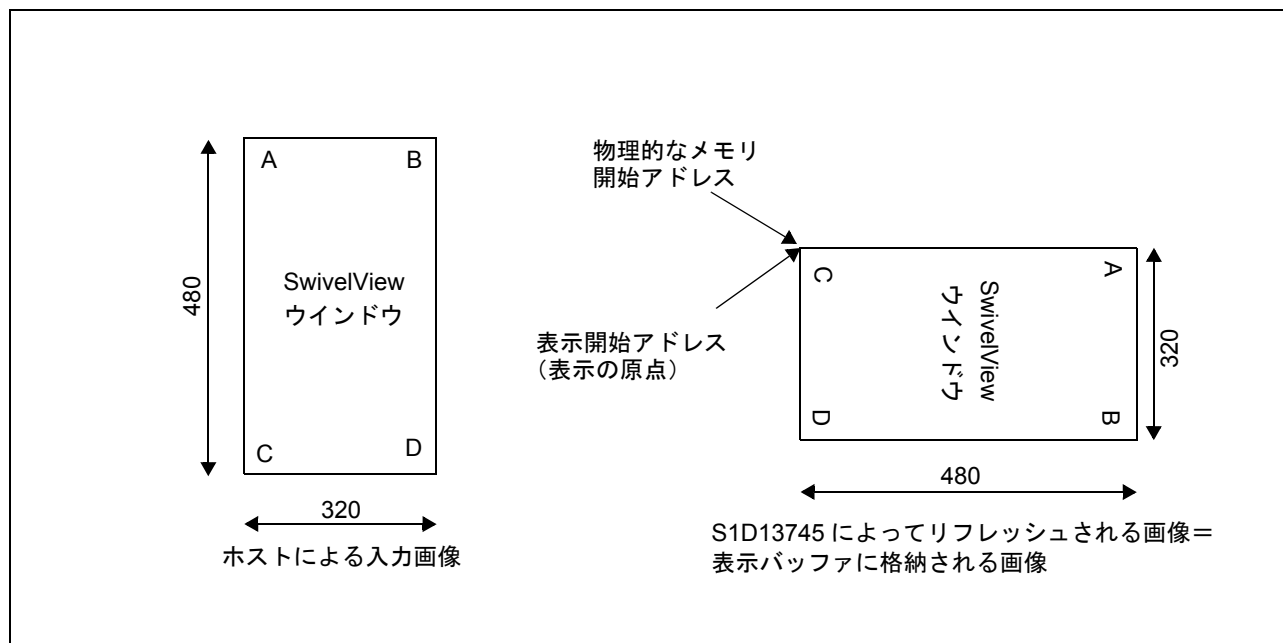


図19.3 270°のSwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

#### レジスタの設定

回転を有効にする（REG[28h]ビット1～0を参照）以外、特別な設定は必要ありません。開始アドレスとラインオフセットはハードウェアによって自動的に計算されます。

## 19.2 ウィンドウの位置と回転

一般的な環境ではすべてのウィンドウが同じ方向に回転します。ただし、ウィンドウごとに異なる回転が必要なこともあります。下の例ではすべての使用例を示すにあたり、ウィンドウ位置がその回転とは関係なく、常にメイン表示画像の左上と新しいウィンドウの左上を基準としている点に焦点を当てています。

回転ロジックの設計により、S1D13745に書き込まれるすべてのウィンドウは互いに独立して回転できます。オーバーレイないしアンダーレイおよびTVウィンドウは、表示の読み出し時に回転されます。

**REG[28h] ビット 1 ~ 0 = 00 (物理的なパネル搭載角度は 0°)**

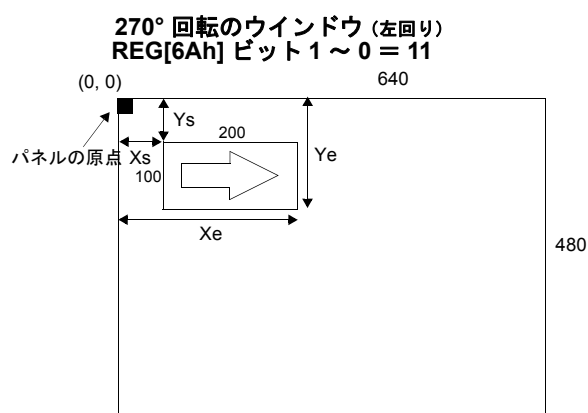
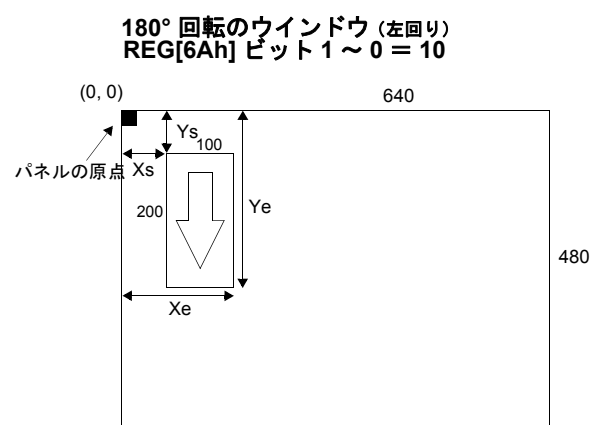
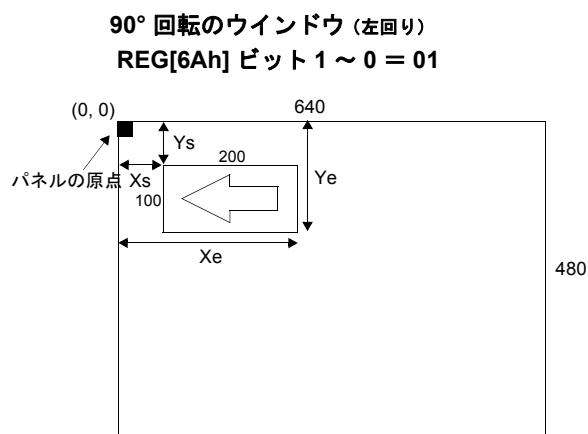
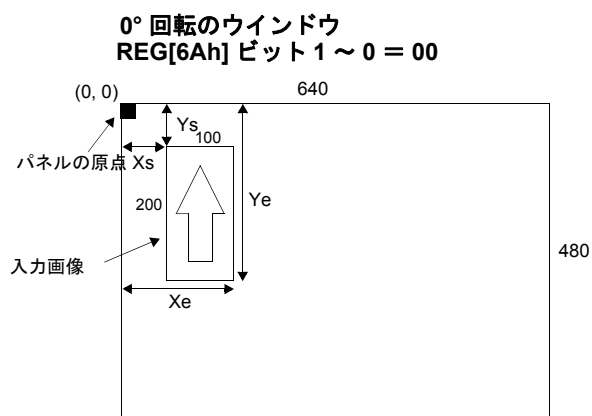


図19.4 REG[28h]ビット1~0=00 (物理的なパネル搭載角度は0°)

REG[28h] ビット 1 ~ 0 = 01 (物理的なパネル搭載角度は左回りに 90°)

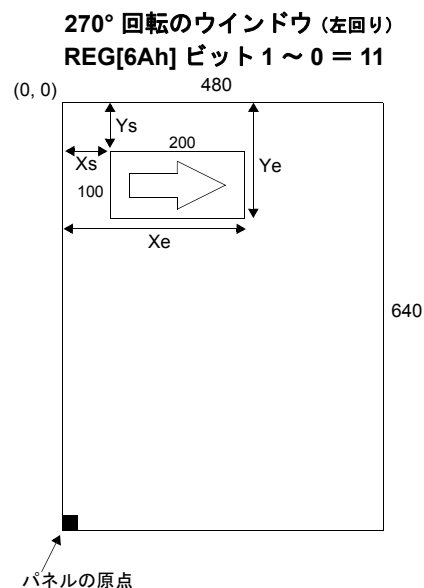
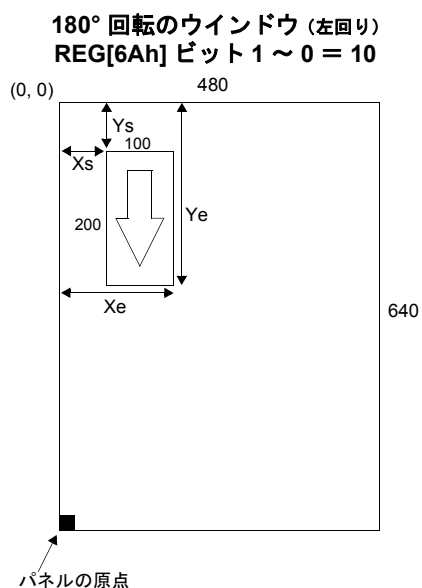
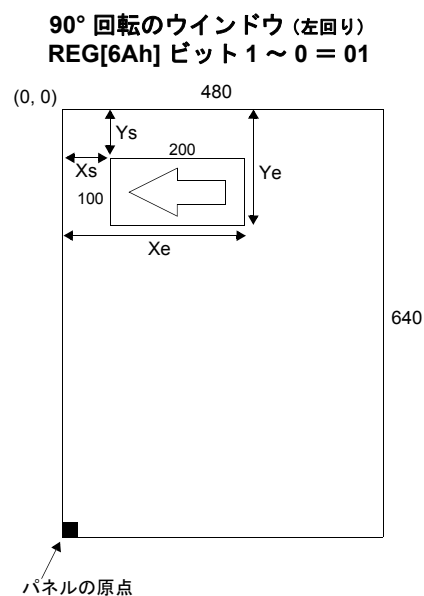
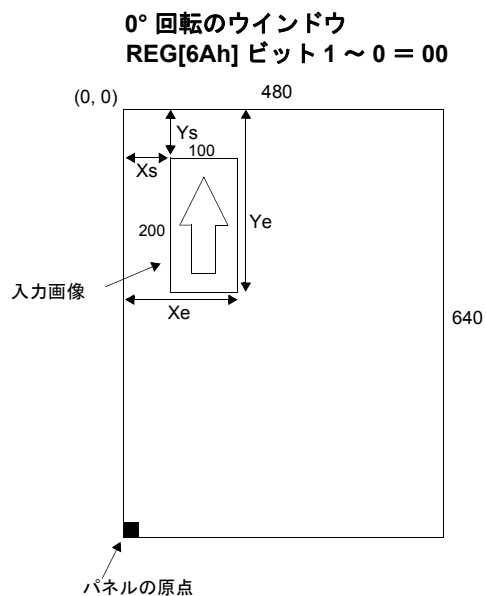


図19.5 REG[28h]ビット1~0=01 (物理的なパネル搭載角度は左回りに90°)

REG[28h] ビット 1 ~ 0 = 10 (物理的なパネル搭載角度は 180°)

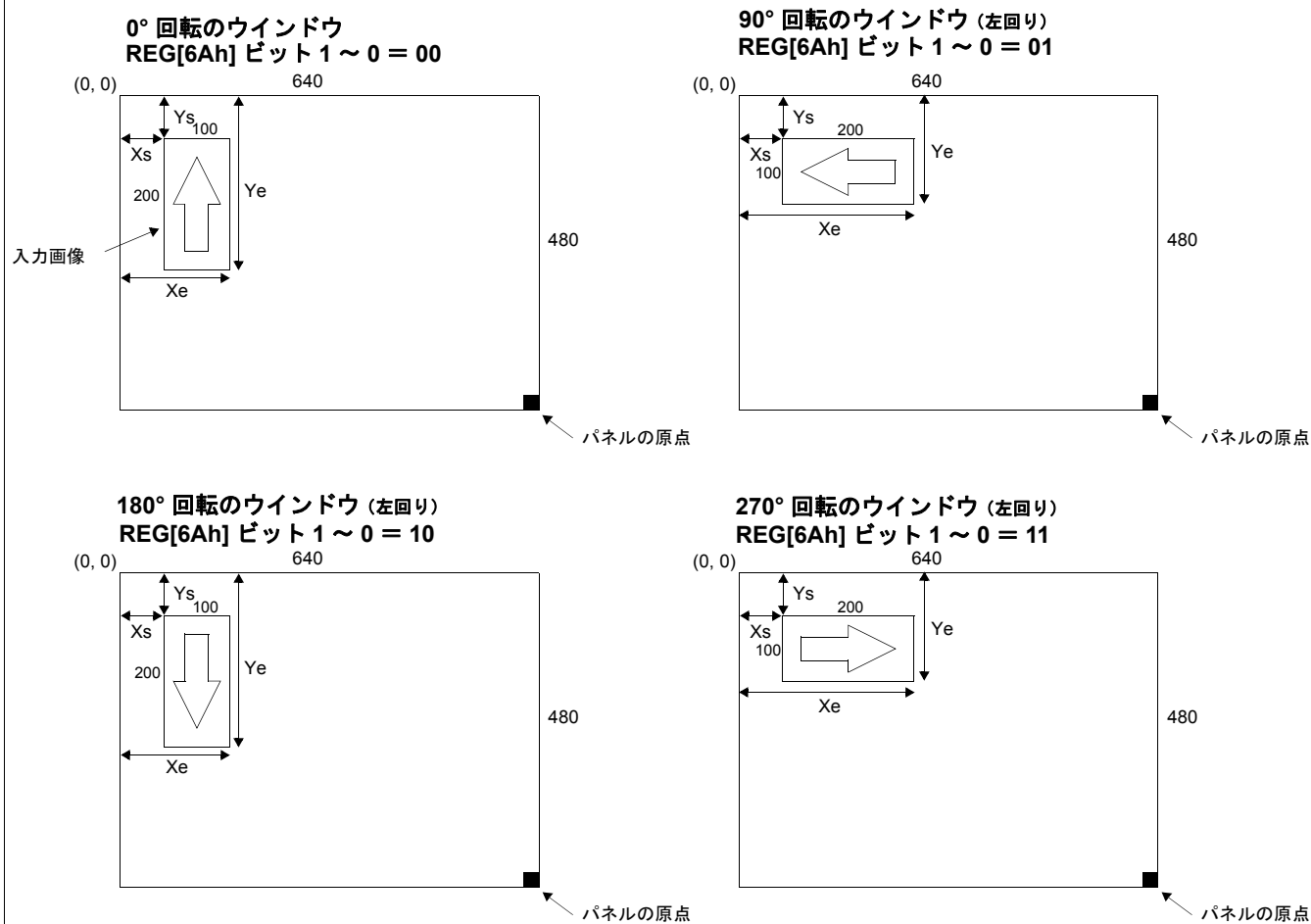


図19.6 REG[28h]ビット1~0=10 (物理的なパネル搭載角度は180°)



REG[28h] ビット 1 ~ 0 = 11 (物理的なパネル搭載角度は左回りに 270°)

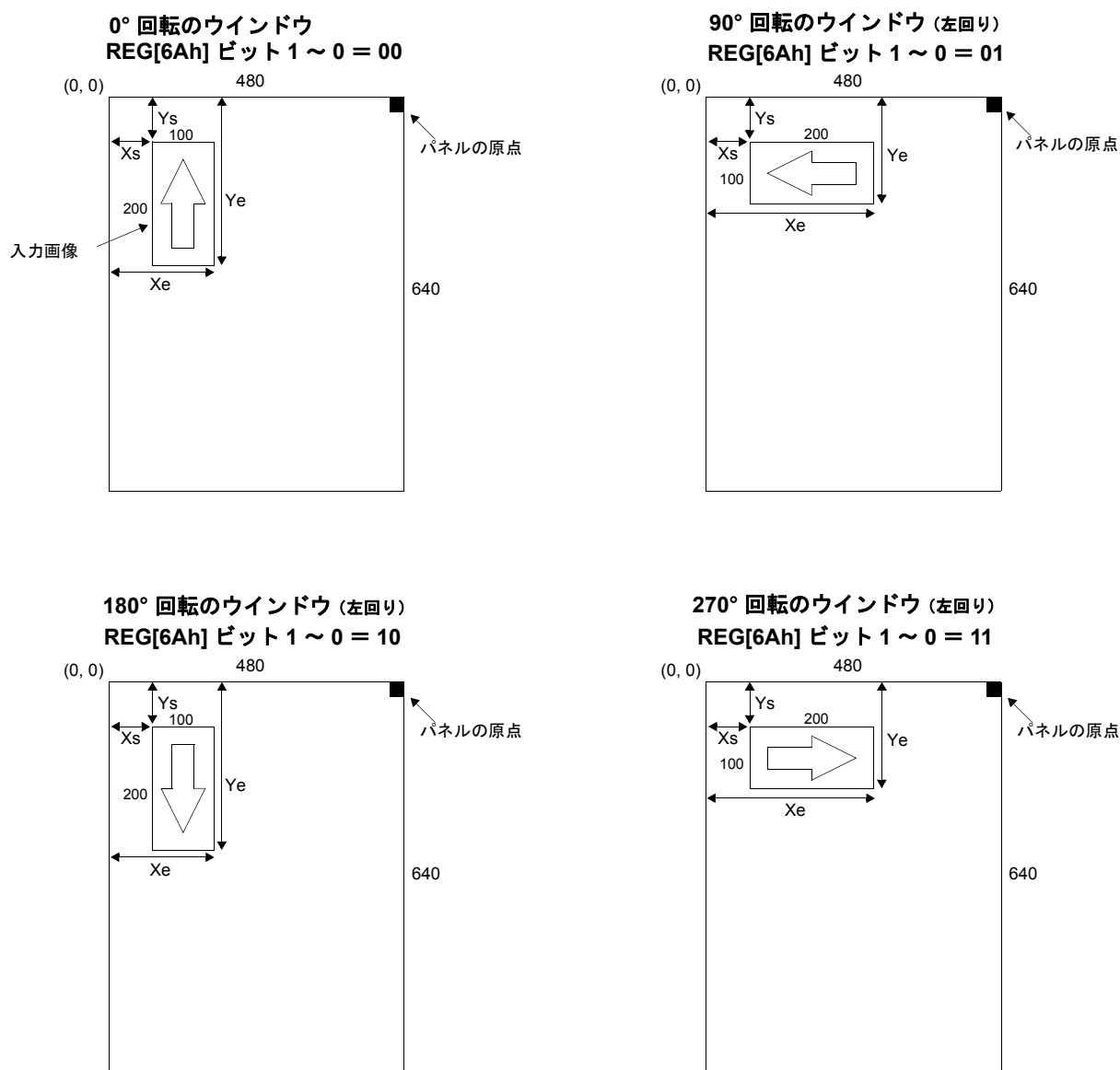


図19.7 REG[28h]ビット1~0=01 (物理的なパネル搭載角度は左回りに270°)

---

## 20. ウィンドウ処理

### 20.1 LCDウィンドウのタイプと特徴

LCDパネルに表示するデータはホストプロセッサから送られてきます。LCDパネル上の最終画像には複数の小型ウィンドウを用いることができ、そのうちの少なくとも1つはフルサイズです。すべてのウィンドウは「上書き」タイプと見なされ、最後のウィンドウはそれ以前に描画されたものの手前に置かれます。

ウィンドウはメモリ書き込みの前に各方向に1/2または1/4に縮小することができます。この方法で縮小するウィンドウの数に制限はありません。

ウィンドウは任意の大きさ（LCDの最大パネルサイズまで）に拡大することができます。この拡大処理はディスプレイ側で実施されるため、1つのウィンドウにしか実施できません。

フレームバッファメモリに書き込まれるすべてのウィンドウは、LCDパネルでの表示において独立して回転することが可能です。

### 20.2 TVウィンドウのタイプと特徴

すべてのウィンドウはオーバーレイです（すなわち、前に書かれたデータの手前に置かれます）。

TVパネルに表示するデータはホストプロセッサから送られてきます。TV上の最終画像はTV画像そのもの（フルサイズ）で構成されることもあれば、ボーダー付きのTV画像で構成されることもあります（TV画像が出力解像度と異なる場合にそうなります）。

TVウィンドウデータはサイズ変更が可能です。オリジナルより大きい所望サイズに拡大できるほか（ただし、表示解像度より大きくはできません）、サイズが表示解像度（PALの解像度とNTSCの出力）を超える場合には縮小もできます。得られるTV背景ウィンドウが解像度と一致しない場合はボーダーが自動的に生成され、余白が埋められます。YUV 8:8:8のボーダーカラーは設定可能です。

## 21. ホストインタフェース

### 21.1 Intel 80系インタフェース

Intel 80系のホストインタフェースを用いたS1D13745へのアクセスは、多段階プロセスです。すべてのレジスタとメモリはレジスタ空間を介してアクセスされます。

**注**

「表示メモリ用データポート」を除き、すべてのレジスタアクセスは8ビットのみです。ホストインタフェースが16ビット幅（CNF1=1）のときは、表示メモリ用データポートを除くすべてのレジスタアクセスにおいて最下位バイト（MD[7:0]）が使用されます。

表示メモリ用データポート（REG[90h]）については、ホストインタフェースが16ビット幅（CNF1=1）の場合は両レジスタが、8ビット幅（CNF1=0）の場合はREG[90h]のみが使用されます。

最初に「アドレスライト」を1回行い、レジスタアドレスを設定します。次に「データリード／ライト」を行い、「アドレスライト」サイクルで指定されたレジスタもしくはメモリから格納または読み出すデータを指定します。それ以後のデータリード／ライトではレジスタアドレスがオートインクリメントされるため、アドレスライトによってレジスタアドレスを変更する必要ありません。ただし、REG[5Ah]、REG[5Eh]、REG[90h]、REG[B8h]を除きます。

表示データをウインドウ枠内に書き込む手順は次のとおりです。

- REG[6Ah]（Special Effectsレジスタ）を設定します
- 次に、REG[6Ch]～REG[8Ah]（入力／出力ウインドウ座標レジスタ）を設定します
- 次に、REG[8Ch]（Input Data Formatレジスタ）を設定します
- 次に、REG[8Eh]（Data Source Selectレジスタ）を設定します
- ウインドウを埋めるために必要な場合は、さらに「表示メモリ用データポート」にバーストデータを書き込みます

上記のシーケンスにおいて内部メモリのアドレッシングは自動で行われます。アドレスライトの回数を最小限とするため、「表示メモリ用データポート」はData Source Selectレジスタの直後に配置されています。

### 21.1.1 レジスタライトの手順

1. アドレスライトを実行し、レジスタアドレスのビット7～0を設定します。
2. データライトを実行し、レジスタを更新します。
3. レジスタアドレスはオートインクリメントされるため、追加のデータライトを実行できます。

#### 注

予約レジスタには書き込みを行ってはいけません。オートインクリメントモードのとき、ホストプロセッサは予約レジスタをダミーで読み出すか、または予約レジスタ前の最後の有効レジスタの後でオートインクリメントを停止し、次の有効レジスタからオートインクリメントを再開するものとします。

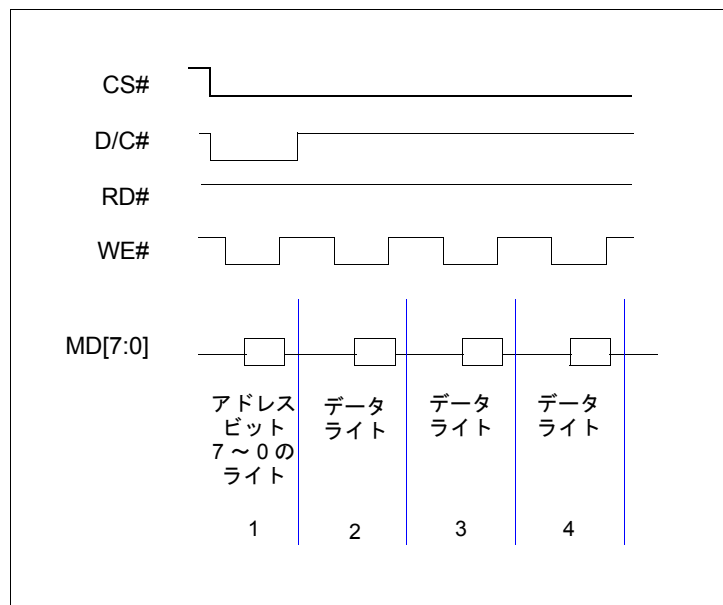


図21.1 レジスタライト手順の例

## 21. ホストインタフェース

### 21.1.2 レジスタリードの手順

1. アドレスライトを実行し、レジスタアドレスのビット7～0を設定します。
2. データリードを実行し、レジスタ値を取得します。
3. レジスタアドレスはオートインクリメントされるため、追加のデータリードを実行できます。

#### 注

オートインクリメントモードのとき、ホストプロセッサは予約レジスタをダミーで読み出すか、または予約レジスタ前の最後の有効レジスタの後でオートインクリメントを停止し、次の有効レジスタからオートインクリメントを再開するものとします。

制限事項については、213ページの30.1「レジスタのリード／ライト」をご覧ください。

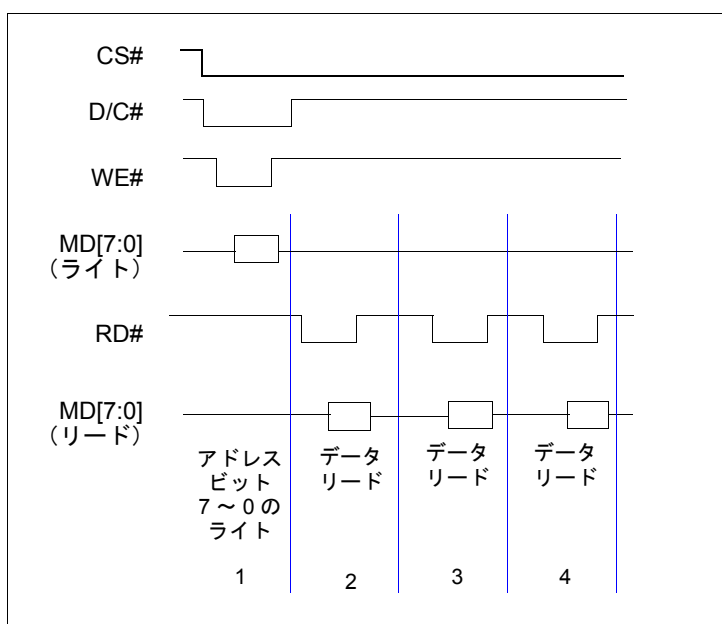


図21.2 レジスタリード手順の例

## 21.1.3 ホストによるLCD、TV、TVオーバーレイの書き込み手順

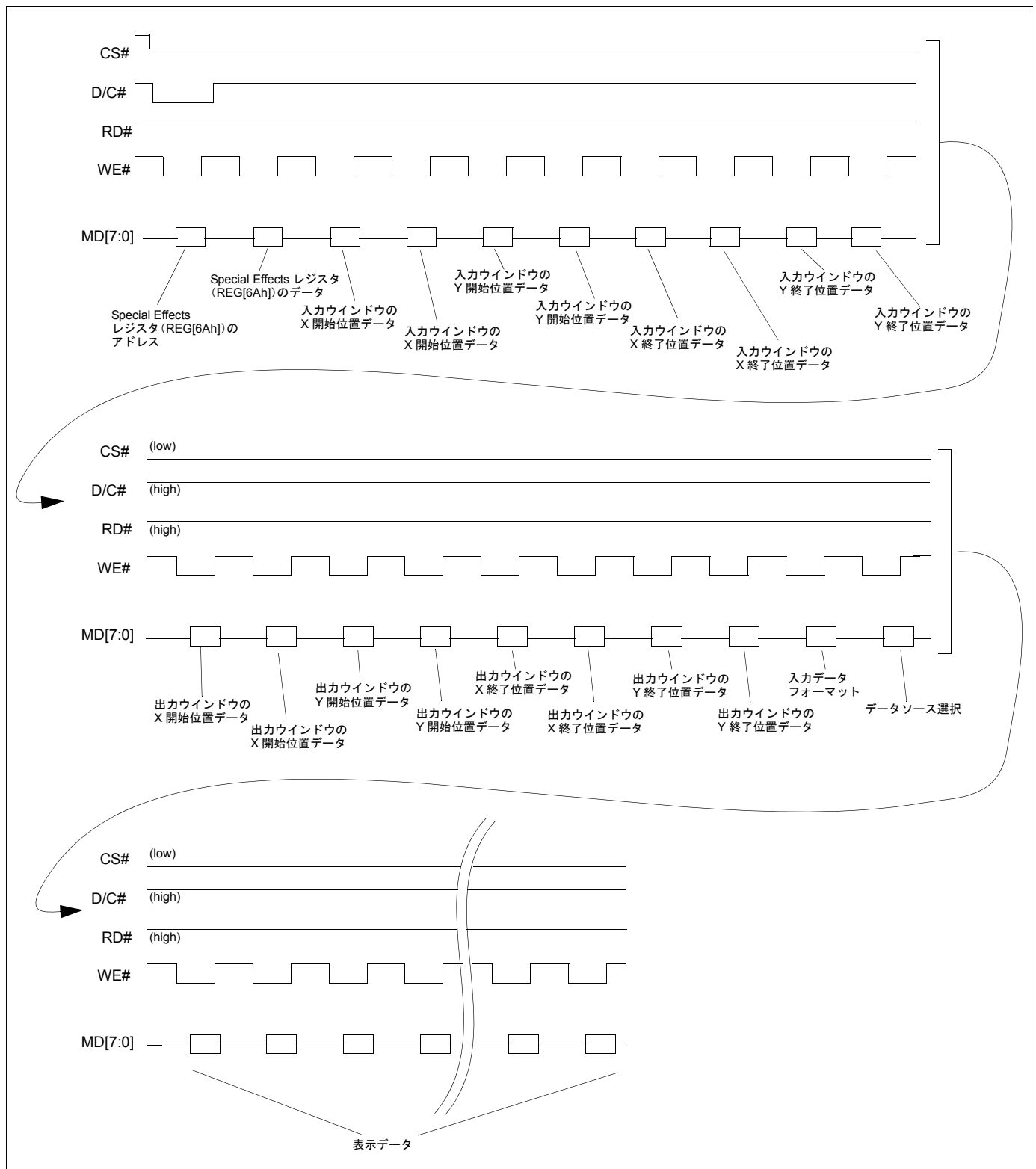


図21.3 連続的なメモライットの例

## 22. VBIとワイドスクリーン信号機能

## 22. VBIとワイドスクリーン信号機能

S1D13745は、次に示す4種類のVBI/WSS規格に対応しています。

- ETSI EN 300 294
- ITU-R BT1119-2
- IEC 61880
- CEA-608-B

上記の規格には、TV出力のVBI（垂直帰線消去期間）にデータをデコードできるTV受像器に対してデジタル情報を送出する方法が規定されています。

VBI信号が挿入される具体的なライン番号はTV出力規格によって異なります。詳しくは、表22.1「VBIの位置」をご覧ください。

ラインの順序は、625ラインシステム（PAL-B/D/G/H/I/N/Nc）ではITU-R BT.470-6に、525ラインシステム（NTSCとPAL-M）ではSMPTEに準拠しています。

表22.1 VBIの位置

			TV規格			備考
			NTSC (525ライン)	PAL-M (525ライン)	その他のPAL (625ライン)	
VBI規格	ETSI EN 300 294 V1.4.1	ライン位置	—	—	23	WSSのみ 625ラインシステム専用 BT.1119-2と同様
		ビット	—	—	14	
		コーディング	—	—	バイフェーズ	
	ITU-R BT.1119-2 (2004年4月より施行)	ライン位置	22と285	22と285	23	WSSのみ PAL-Mは対象外（525ラインシステム のNTSCと同じ動作）
		ビット	24	24	14	
		コーディング	NRZとSC変調	NRZとSC変調	バイフェーズ	
	CEI 61880	ライン位置	20と283	—	—	WSS+CGMS+APSFまたは PALは対象外
		ビット	20	—	—	
		コーディング	NRZ	—	—	
	CEA-608-B	ライン位置	21/284	—	22/335	クローズドキャプションと XDS（WSS+CGMS+APS）  PALは対象外 PAL-Mは対象外
		ビット	14×2 (2×7×2)	—	14×2 (2×7×2)	
		コーディング	NRZ	—	NRZ	

ETSI EN 300 294、ITU-R BT.1119-2、およびIEC 61880の場合、VBIデータは上記の指定ラインにおいて送出されます。VBIデータはREG[46h]～REG[4Ch]に設定されます。レジスタのビット配置はレジスタの説明箇所の規定されています。

CEA-608-Bの場合はVBIデータの送出プロトコルが規定されています。動作モードは2種類あり、REG[4Eh]ビット1で指定します。

- 自動WSS+CGMS+APS
- 手動モード

## 22.1 CEA-608-Bの自動モード

自動モードの場合、REG[46h]～REG[4Ch]のレジスタに設定されたデータは、当規格のプロトコルに従ってフィールド2（ライン284または385）において繰り返し送出されます。このときサポートされる情報は、REG[46h]～REG[4Ch]ビット配置図に記載されているものに限られます。

CEA-608-Bのデータは、フィールド2の規定VBIラインにおいて16ビットのバイナリシーケンス（先頭はLSB）として連続する8つのTVフレーム（16個のフィールド）にわたって送出されます。CEA-608-Bのデータ転送時、フィールド1の規定ラインの内容はゼロデータです。CEA-608-Bのデータ転送時、フィールド2に含まれるデータは169ページの表22.2「CEA-608-Bによる自動WSS+CGMS+APSのデータフォーマット」に従ったフォーマットをもちます。

### 注

CEA-608-Bの自動モードの場合、フィールド1（ライン21/22）のCEA-608-Bデータはゼロデータのダミーパケットを常に含んでいます。

VBIデータのリフレッシュレートはREG[4Ch]ビット2～0によって決まります。詳しくは、レジスタの説明をご覧ください。

**表22.2 CEA-608-Bによる自動WSS+CGMS+APSのデータフォーマット**

	ビット								ビット								属性	
	0	1	2	3	4	5	6	パリティ	0	1	2	3	4	5	6	パリティ	バイト0	バイト1
XDSの開始に関する現在設定：アスペクト比情報	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	01h	89h
アスペクト比情報：開始／終了ライン	S0	S1	S2	S3	S4	S5	1	x	E0	E1	E2	E3	E4	E5	1	x	REG[46h]ビット[3:0] REG[46h]ビット[7:6]	
アスペクト比情報：その他	Q0	x	x	x	x	x	1	x	0	0	0	0	0	0	0	1	REG[48h]ビット4	80h
終了とチェックサム	1	1	1	1	0	0	0	1	x	x	x	x	x	x	x	x	8Fh	チェックサムバイト
XDSの開始に関する現在設定：CGMS（アナログ）	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	01h	08h
CGMS（アナログ）	ASB	APS B0	APS B1	CG MS-A B0	CG MS-A B1	0	1	x	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	1	REG[4Ah]ビット[1:0] REG[48h]ビット[7:5]	REG[4Ah]ビット[7:2]
終了とチェックサム	1	1	1	1	0	0	0	1	x	x	x	x	x	x	x	x	8Fh	チェックサムバイト
ゼロデータダミー	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	80h	80h

### 注

- このビットは予約ビットです。



### 22.2 CEA-608-Bの手動モード

ホストプロセッサはVBIのデータとタイミングを直接制御します。そのためユーザはCEA-608-B規格に準拠するあらゆるタイプのデータを送出できます。このモードの場合、ホストがREG[46h]～REG[4Ch]のレジスタ設定を行うのはTVフレームのVSYNC期間に限られるため、データは次のフィールドの先頭で送られます。これは、REG[4Eh]ビット4を調べることによって実行されます。データ設定が完了すると、ホストはREG[4Eh]ビット3および／またはビット2に「1」を書き込むことによってVBIデータを指定フィールドに出力できます。

## 23. 代表的な使用例

次に示すウインドウパラメータは、すべての使用事例について2で割り切れることが必要です。ウインドウ水平サイズ、ウインドウ垂直サイズ、X方向の開始位置、Y方向の開始位置。

### 制限事項

1. 1つのウインドウは背景であると見なします。
2. 背景を拡大しない場合、拡大可能な上書きウインドウは1つまでです。

#### 注

背景を拡大すると、後続するすべての上書きウインドウも同じ倍率で拡大されます。

3. 拡大ウインドウは等倍のオーバーレイウインドウに重ねることができます。ただし、オーバーレイウインドウを上記拡大ウインドウの拡大前の元データの上に置くことはできません。
4. ダブルバッファで処理できるのは1つのウインドウのみです。

### 23.1 ホストによる背景LCD/TVウインドウの書き込み

#### 注

LCD側のディスプレイパイプラインは、LCDの表示サイズと等価なメモリ領域を読み出します。そのため1つのウインドウは全画面解像度であることが必要であり、それが背景と見なされます。

#### 注

TV側のディスプレイパイプラインは、背景画像に対して設定された座標と等価なメモリ領域を読み出します。この画像サイズがTV規格で規定される全画面解像度に満たない場合、背景画像は自動的に中央表示されたうえ、ボーダーが付加されます。

1. Special Effectsレジスタを適宜設定します。
  - ウインドウの回転
  - ウインドウデータタイプ
  - ダブルバッファ
  - 必要であれば入力サイザーを設定します（0.25または0.5のみ）
2. 入力サイズを設定します。
3. 出力サイズを設定します。
  - 拡大が必要な場合、出力サイズは表示解像度を最大値とします。
4. 入力データフォーマットを設定します。
5. Data Source Selectレジスタを000（LCD）または010（TV）に設定します。
  - Data Source Selectレジスタを設定すると、当該モードに必要なすべてのレジスタビットが取得されます。
  - 後続するすべての上書きウインドウは、オリジナルの背景と同じ倍率を用いて自動的に拡大されます。
6. ウインドウデータを書き込みます。

## 23. 代表的な使用例

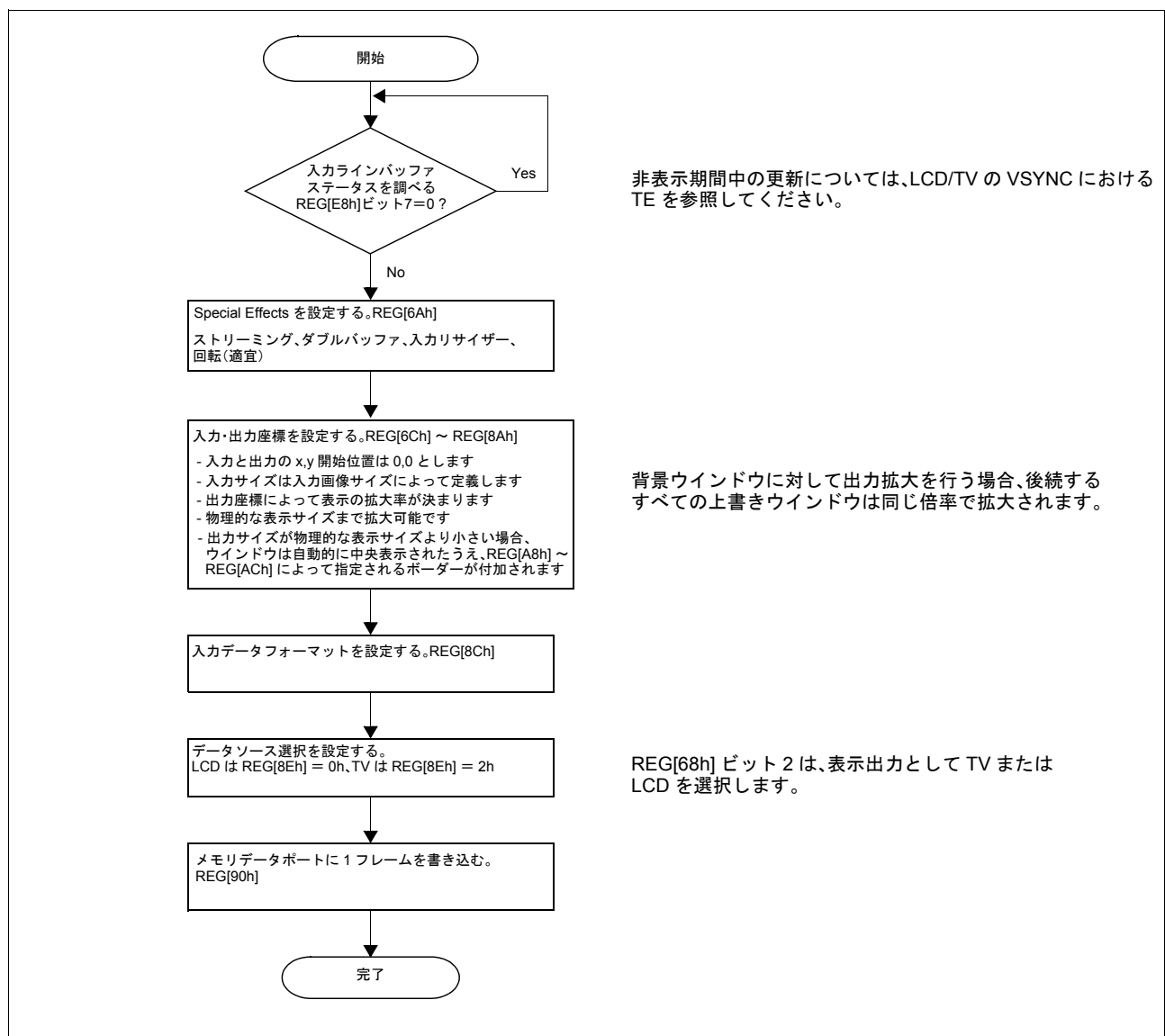


図23.1 ホストによる背景LCD/TVウィンドウの書き込みフローチャート

## 23.1.1 ホストによる上書きウィンドウの書き込み

1. 上書きウィンドウについても上述したすべての手順が有効です。背景画像が入力リサイザーを使って縮小されている場合（倍率は0.25または0.5のみ）、上書きウィンドウの座標はすべて縮小される背景画像（メモリ内の画像サイズ）を基準とします。また、背景画像が出力リサイザーを使って拡大される場合、上書きウィンドウの座標はすべて拡大前の背景画像（メモリ内の画像サイズ）を基準とします。
2. Data Source Selectレジスタを001（LCD）または011（TV）に設定します。
3. ウィンドウデータを書き込みます。

## 注

背景画像を拡大または縮小した場合、後続するすべての上書きウィンドウに同じ倍率を用いるため、複数の拡大または縮小ウィンドウが使用できます。

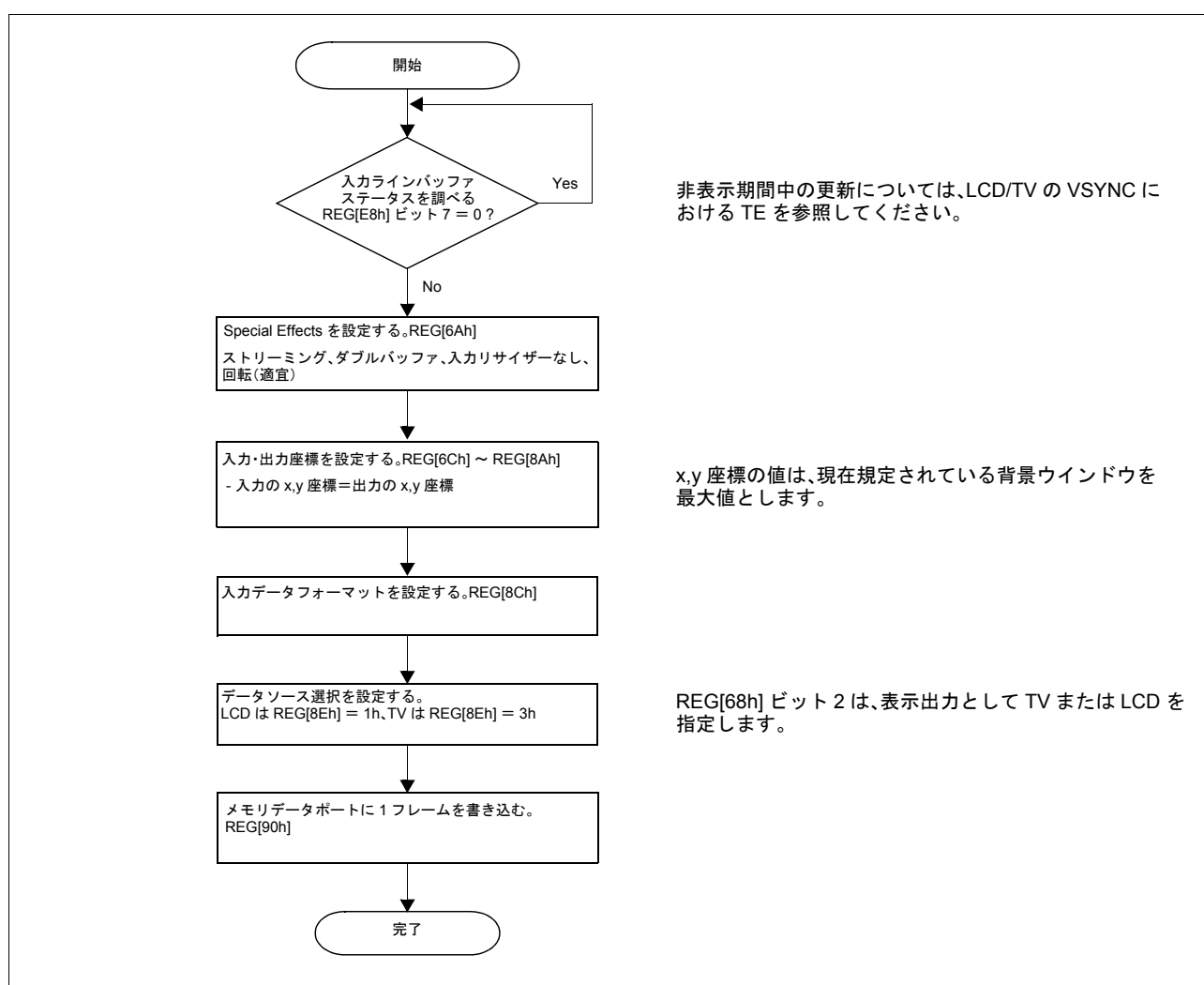


図23.2 ホストによる上書きウィンドウの書き込みフローチャート

### 23.2 拡大画像の使用例

全画面解像度の拡大背景画像の使用例を以下に示します。

1. 拡大ウインドウを設定し、書き込みます（得られる画像は全画面解像度に等しく、かつ背景画像であるとして）。
  - データソース選択は、必ずLCDまたはTVの背景に設定してください。
2. 後続の上書きウインドウ（背景画像でないもの）を1つ書き込みます。このウインドウは、上記1.で決定したものと同一倍率を使って拡大されます。背景画像が入力リサイザーを使って縮小されている場合（倍率は0.25または0.5のみ）、上書きウインドウの座標はすべて縮小される背景画像（メモリ内の画像サイズ）を基準とします。また、背景画像が出力リサイザーを使って拡大される場合、上書きウインドウの座標はすべて拡大前の背景画像（メモリ内の画像サイズ）を基準とします。
3. 上記2.を必要な回数について繰り返します。
4. 新しい背景画像を書き込みます。
  - このとき、拡大されるオリジナルの背景画像は、新しい画像データが書き込まれる間、メモリに書き込まれたオリジナルの等倍画像に復帰します。その場合、それが上書きされている間、ディスプレイには少しの間だけその等倍画像が表示されます。そのような表示を望まない場合は、自動ブランキング選択機能が使用できます。
5. 自動ブランキングを使用するには、対応するビットを設定するだけです。設定すると、拡大ウインドウが無効になるたびに画面が自動的に空白になります。新しいウインドウが完成すると、ブランキングはただちに停止します。こうして画面が自然に切り替わります。

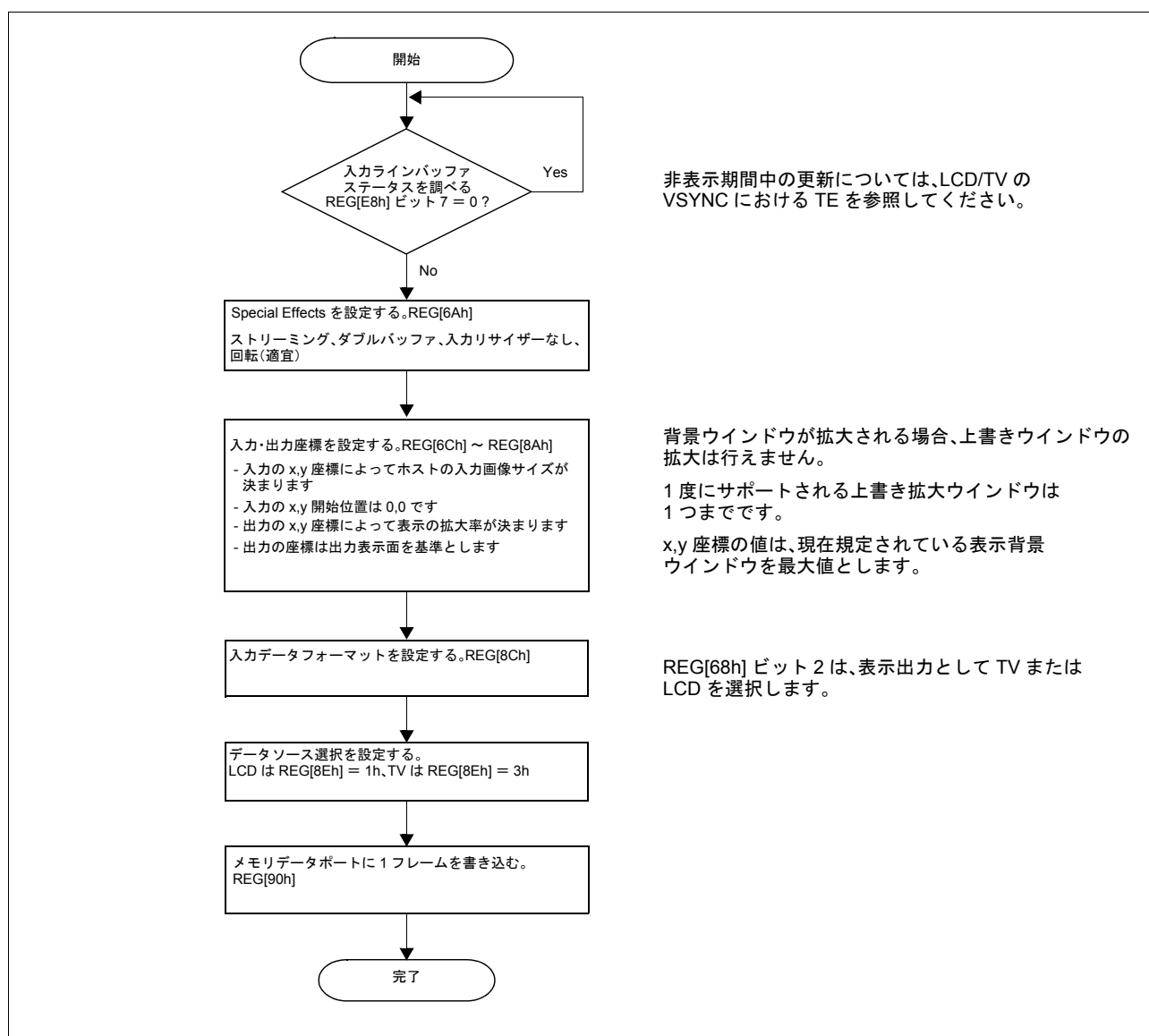


図23.3 ホストによる上書き拡大ウィンドウの書き込みフローチャート

### 23.3 拡大ウインドウに重なるオーバーレイの書き込み

1. 22.2の記載に従って拡大ウインドウを書き込みます。
2. Special Effectsレジスタ（REG[6Ah]）を適宜設定します。
  - ウインドウの回転
  - ウインドウデータタイプ
  - ダブルバッファ
  - 必要であれば入力リサイザーを設定します（0.25または0.5のみ）
3. 入力サイズを設定します。
4. 入力リサイザーに基づいて出力サイズを設定します（入力スケーリングを選択しない場合は、出力サイズ=入力サイズ）。
5. 入力データフォーマットを設定します。
6. Data Source Selectレジスタを「100」に設定します。
7. ウインドウデータを書き込みます。
  - 拡大ウインドウの手前に新しいオーバーレイウインドウは現れません。
8. オーバーレイを無効にするには、Data Source Selectレジスタを「101」に設定するだけです。
  - この操作によってオーバーレイが無効になり、拡大ウインドウの内容が表示されます。ただし、オーバーレイは上書きであるため、メモリ内には残っています。

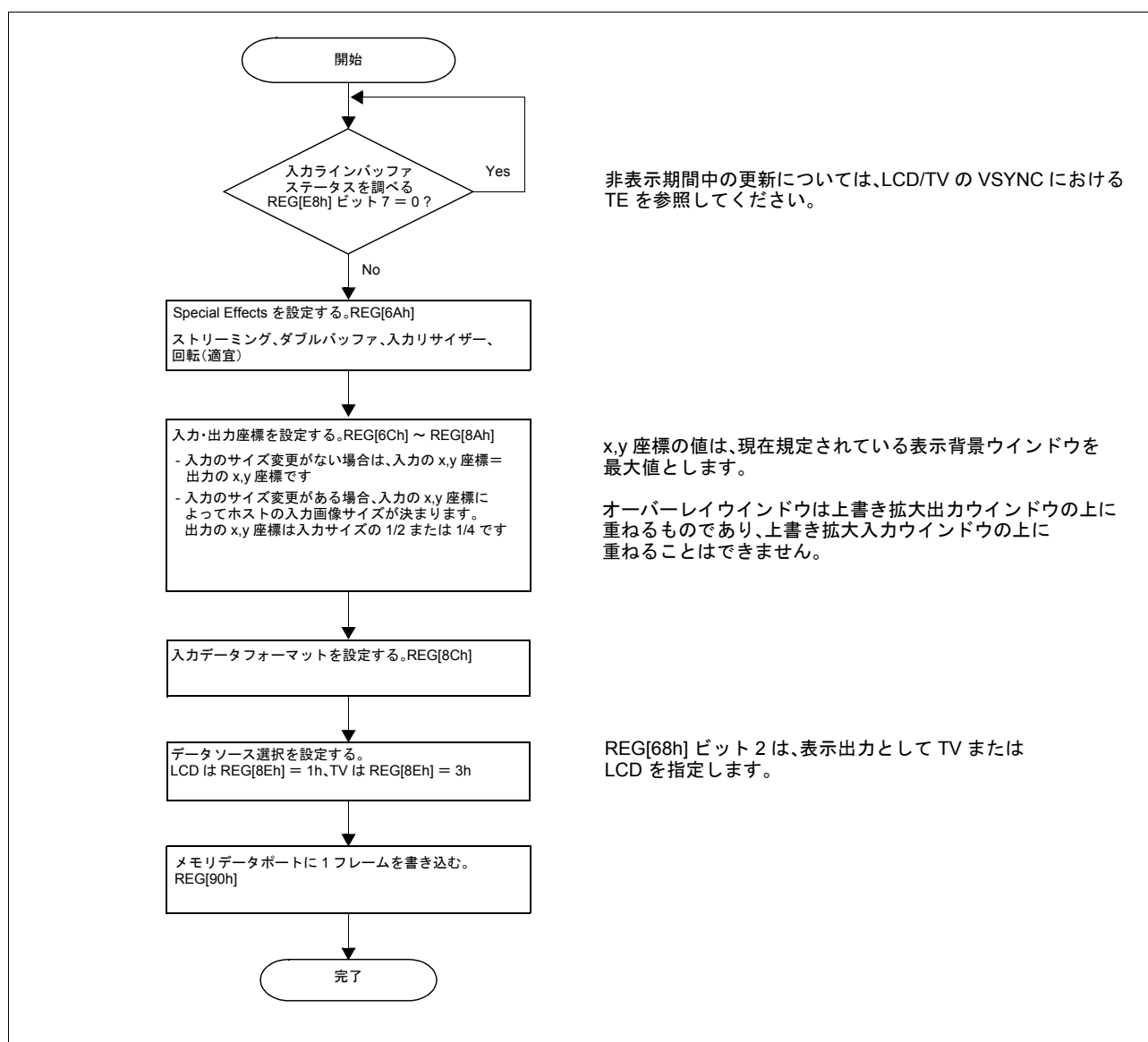


図23.4 拡大ウインドウに重なるオーバーレイの書き込みフローチャート

オーバーレイウインドウは上書き拡大出力ウインドウの上に重ねるものであり、上書き拡大入力ウインドウの上に重ねることはできません。



23. 代表的な使用例

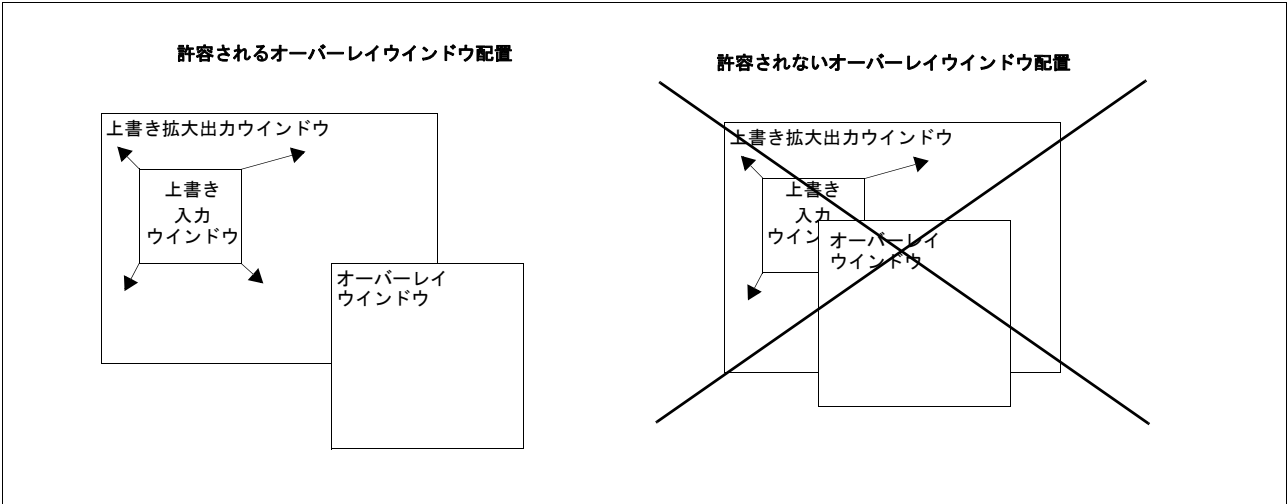


図23.5 オーバーレイウィンドウ配置の制約

---

### 23.4 入力側の縮小ウインドウの使用例

- 入力ウインドウはメモリ格納前に縮小できます。
  - 入力側の縮小比は0.25または0.5のみです。
1. Special Effectsレジスタを適宜設定します。
    - ウインドウの回転
    - ウインドウデータタイプ
    - ダブルバッファ
    - 必要であれば入力リサイザー（REG[6Ah]ビット5～4）を設定します（0.25または0.5のみ）
  2. 入力データフォーマットを設定します。
  3. Data Source Selectレジスタを設定します。
  4. ウインドウデータを書き込みます。

## 23. 代表的な使用例

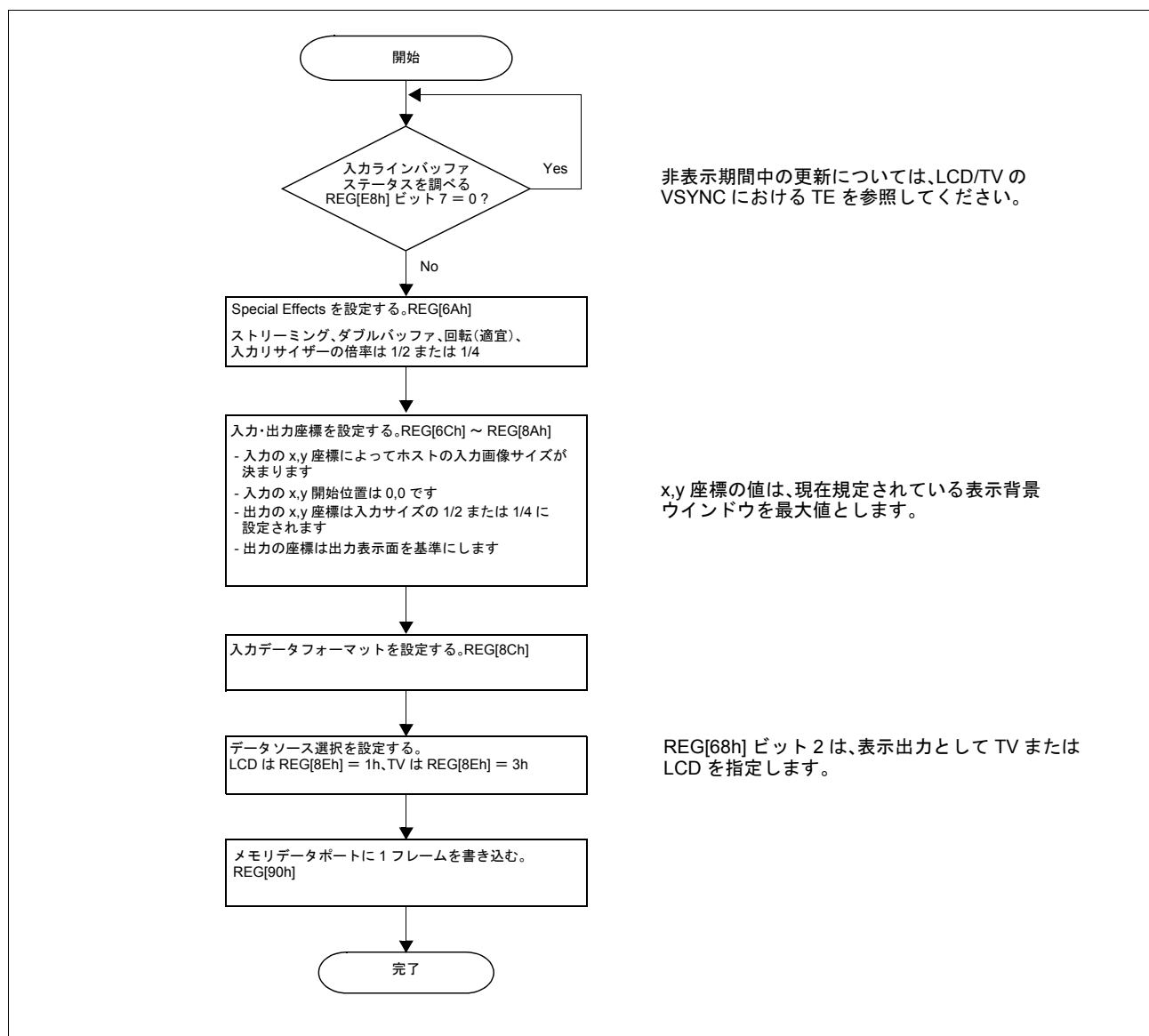


図23.6 入力側の縮小ウィンドウのフローチャート

## 24. TE端子の説明

### 24.1 ダブルバッファストリーミングに関するTE動作

両表示面はいずれも1つのダブルバッファ式ウインドウをもつことができます（各時点でアクティブになるのは片方の表示のみです）。ウインドウは全画面の解像度が可能です。ダブルバッファ機能が有効のとき、ストリーミングデータをダブルバッファで処理することにより、入出力が非同期の場合に生じるティアリングが防止できます。

ディスプレイパイプラインは書き込みが完全に完了したバッファのみを使用します。ホスト書き込みはダブルバッファ処理を意識する必要がなく、特別な設定シーケンスは必要ありません。たんにデータタイプを「静止」か「ストリーミング」に設定し、データを書き込むだけです。

バッファ 1には、静止背景（該当する場合）とダブルバッファリング処理を受けるウインドウが格納されます。バッファ 2には、ウインドウに対応するストリーミングデータのみが格納されます。

例：

1. 全画面の静止ウインドウをLCDディスプレイ（バッファ 1）に書き込みます。
2. ストリーミングデータに用いるウインドウ座標を書き込みます。
3. ホストはそのウインドウ座標に対してデータのストリーミングを開始します。
4. バッファ 1には静止データが格納されるのに対し、ストリーミングデータの最初のフレームがバッファ 2に書き込まれます。
5. ウインドウデータの最初のフレームをバッファ 2に完全に書き終わったらダブルバッファ構造が切り替わり、ウインドウの次の入力フレームがバッファ 1に書き込まれます。バッファ 1に書き込まれているストリーミングデータは上書きです。
6. 当該バッファへの書き込みが完全に完了したらダブルバッファ構造が自動的に切り替わり、ディスプレイパイプラインが対応するウインドウ座標を発見したときにそのバッファデータが使用されます。

注

入力データレート（ホストからの書き込み速度）が出力データレート（当該ディスプレイパイプラインがメモリからデータを読み出す速度）より大きいと、片方のバッファでは新しいデータの書き込みがすでに完了しているのに、表示装置が使用しているバッファではデータの読み出しがまだ行われているという事態が生じます。そのような場合、バッファの切り替えが期待されるにもかかわらず、ディスプレイパイプラインが読み出しを完了するまで切り替えができません。ホストがデータライトを継続するとバッファの切り替えは行われず、ディスプレイパイプラインが使用していないほうのバッファにおいて古いデータが新しいデータによって上書きされます。ここで、両方のディスプレイがアクティブで、かついずれも他方の内容（オーバーレイ）を表示している場合、ホストデータを非同期で書き込むと上記の状態が何度も発生する恐れがあります。そのような事態が心配される場合は、TE出力端子を使用することにより、未表示の旧データを上書きすることなく新しいデータを「安全に」書き込めるタイミングを知らせることができます。TE出力端子は、LCDとTVのいずれかまたはその両方を組み合わせたディスプレイパイプラインがバッファの読み出しを完了し、新しいホストデータの書き込みが「安全」であるタイミングを示すように設定できます。

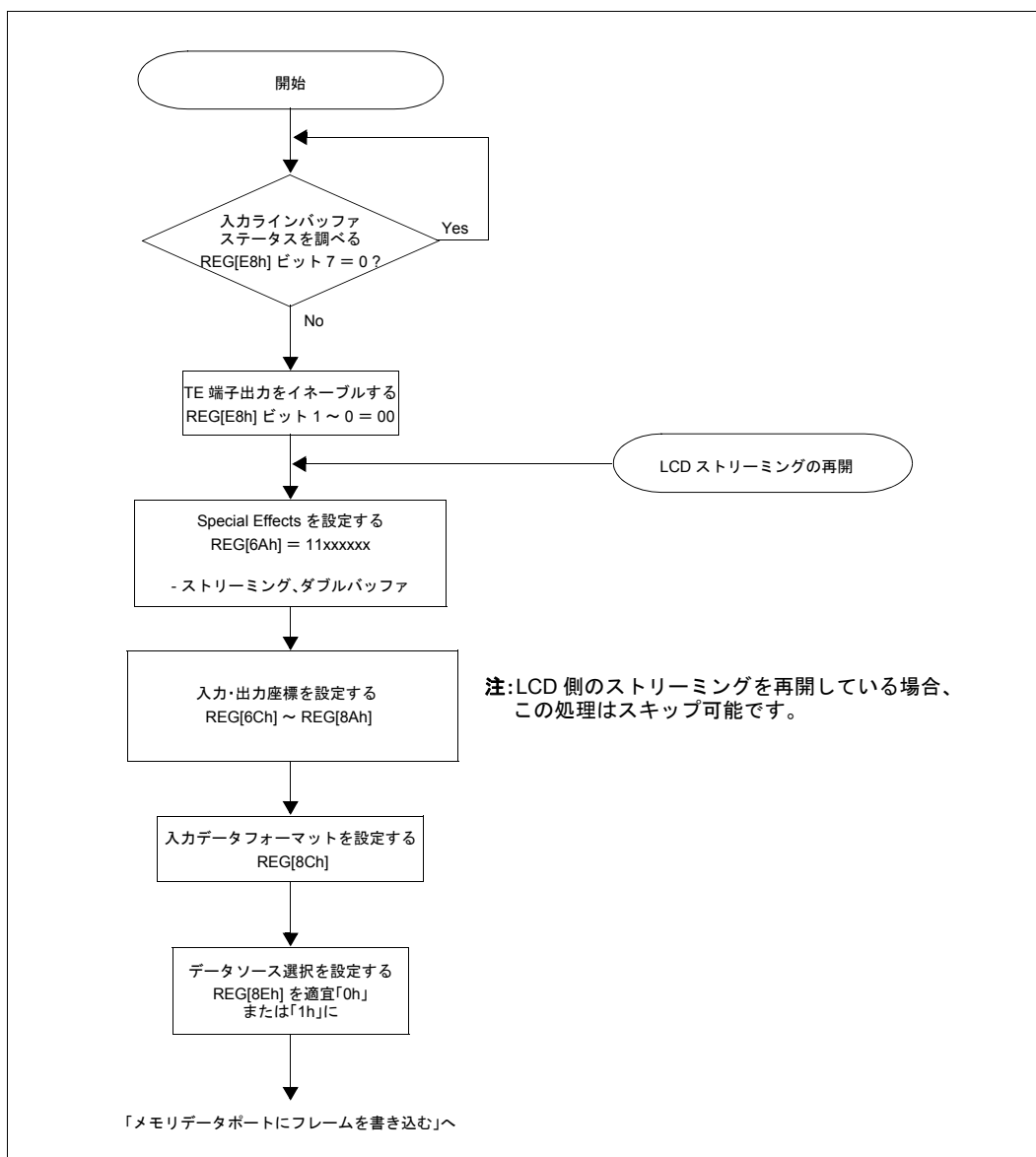


図24.1 TE動作：LCDウィンドウに対するダブルバッファストリーミング (1/2)

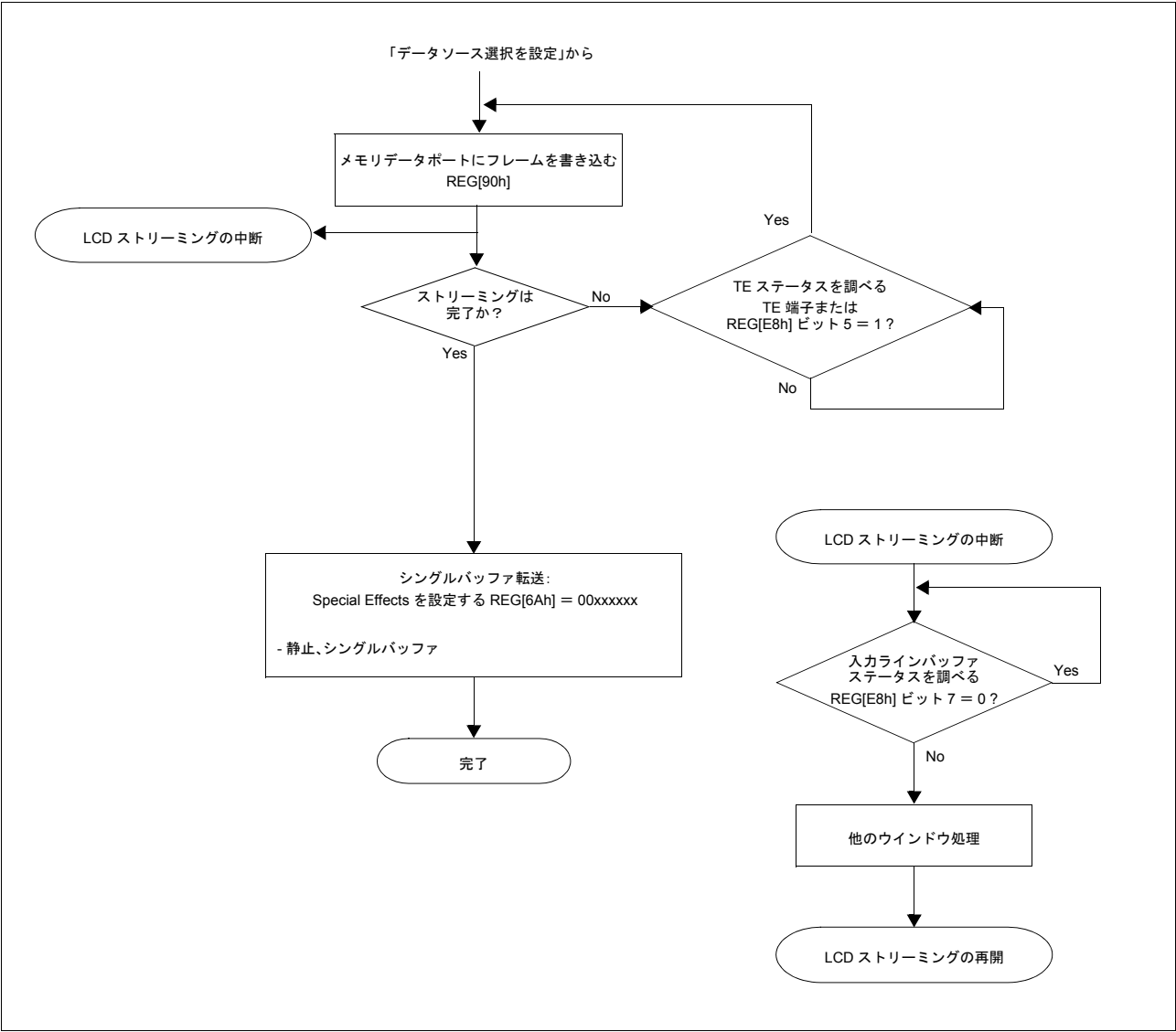


図24.2 TE動作 : LCDウインドウに対するダブルバッファストリーミング (2/2)

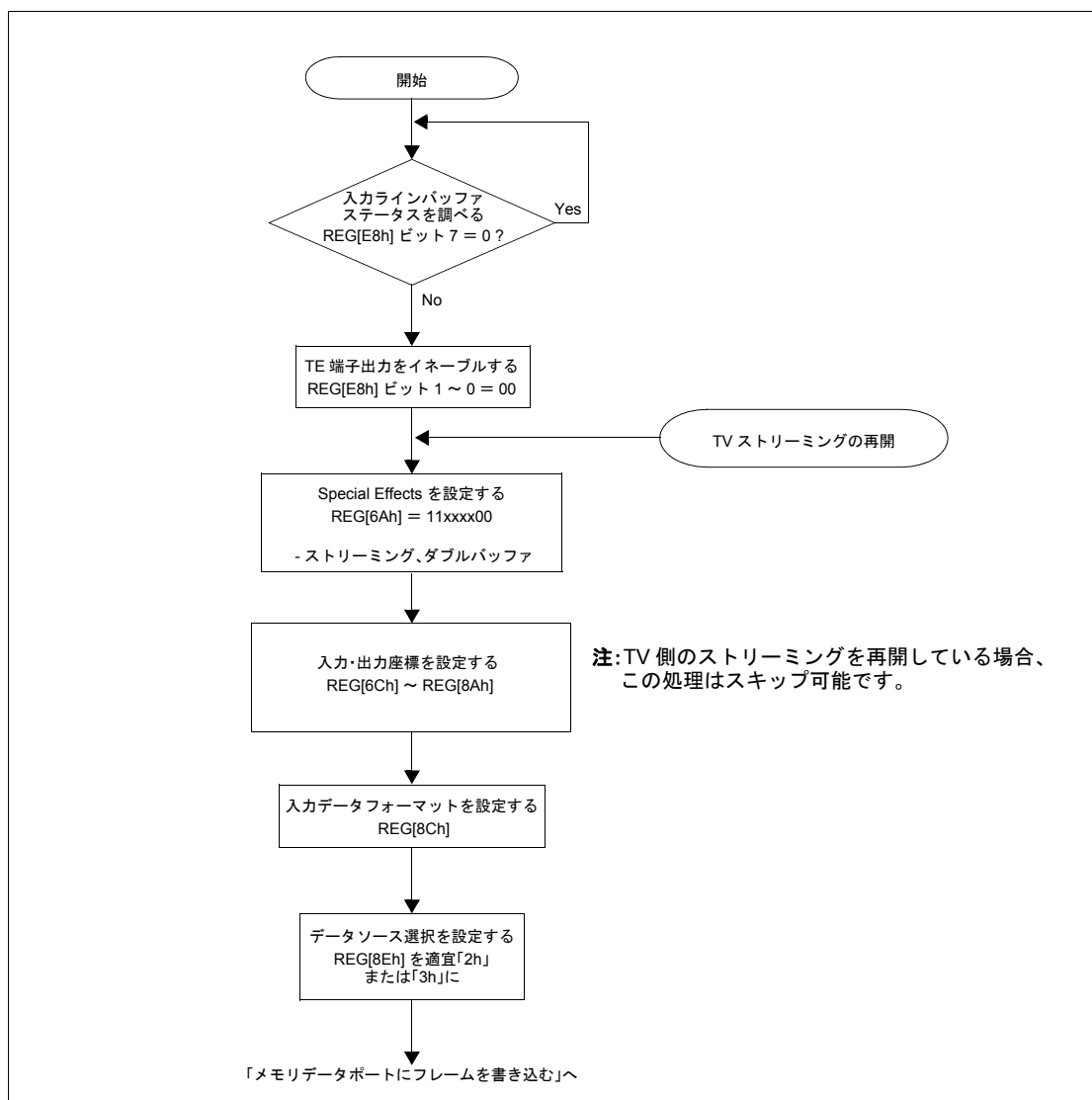


図24.3 TE動作：TVウィンドウに対するダブルバッファストリーミング（1/2）

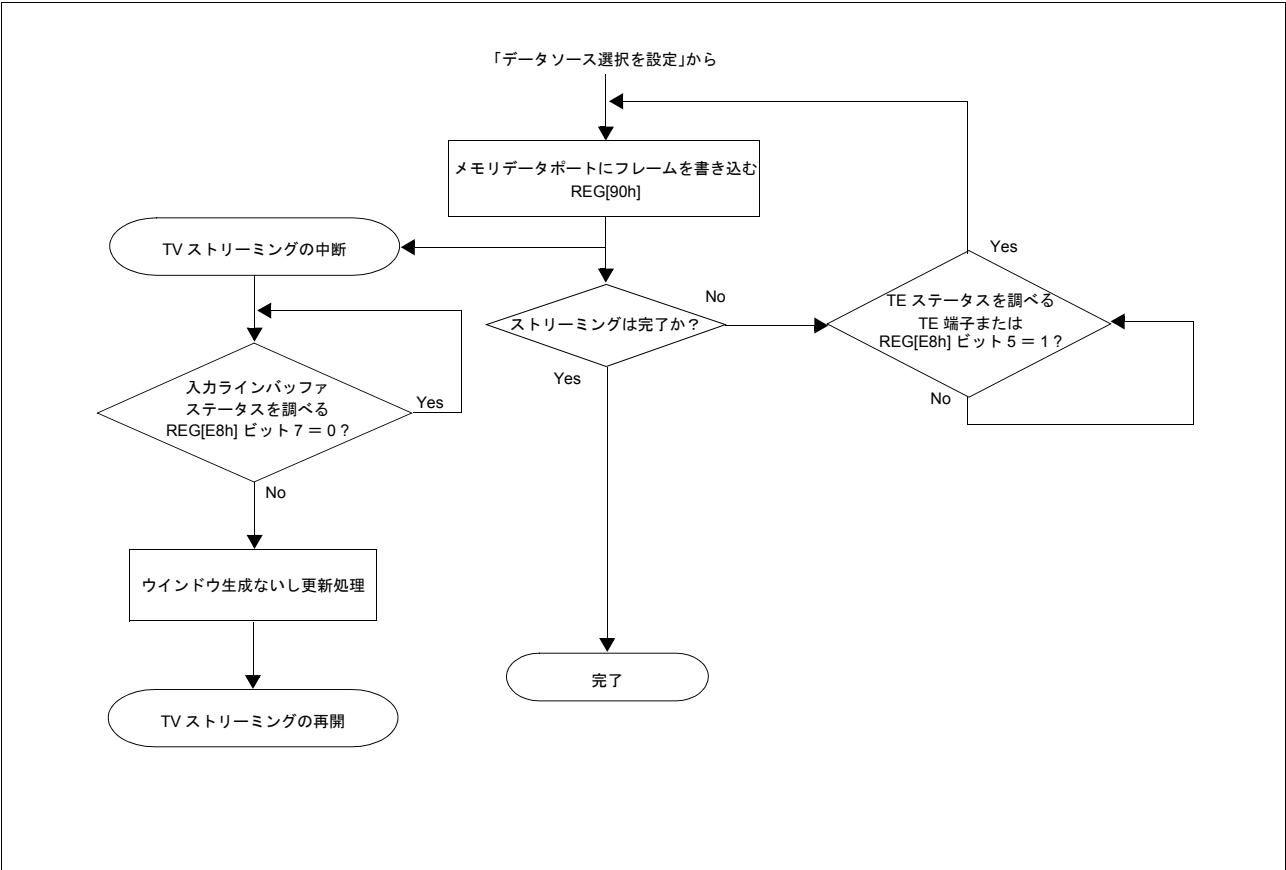


図24.4 TE動作：TVウインドウに対するダブルバッファストリーミング（2/2）



### 24.2 静止ウインドウに関するTE動作

この例は以下の操作に当てはまります。  
TV表示が有効な場合のTV側メモリへのホスト書き込み  
LCD表示が有効な場合のLCD側メモリへのホスト書き込み

1. TE出力端子機能をTVまたはLCDの垂直非表示期間に設定します。
2. Special Effectsレジスタを適切に設定します。
3. 入力ウインドウ座標兼位置レジスタを設定します。
4. 出力ウインドウ座標兼位置レジスタを設定します。
5. 入力データフォーマットのレジスタを設定します。
6. データソース選択のレジスタを設定します。
7. TEがHighになるまで待機します。
8. ビデオフレームを書き込みます。
9. 後続のビデオフレームについて上記7.と8.の処理を繰り返します。

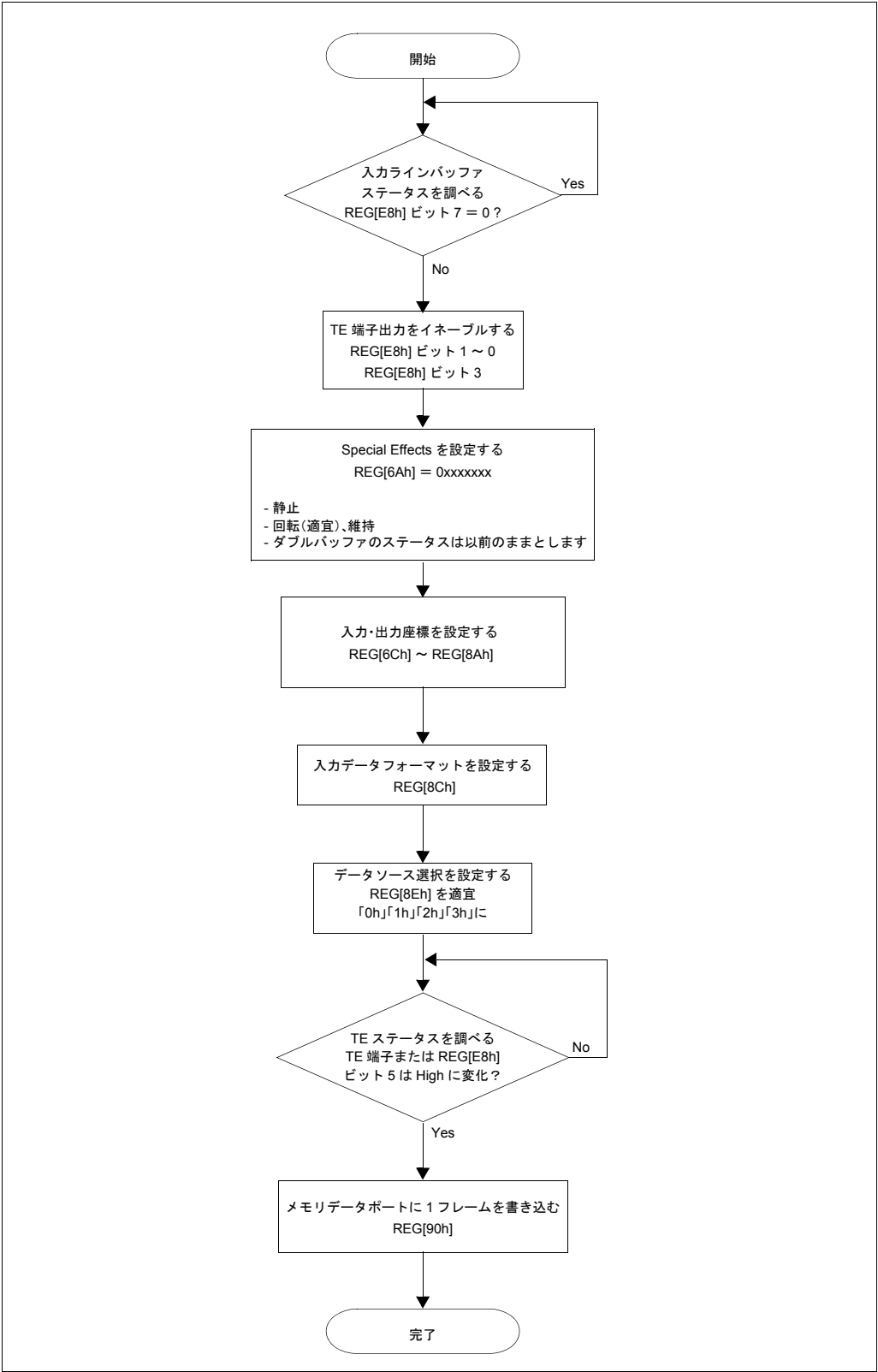


図24.5 TE動作：ホストによるLCD/TVの静止ウインドウへの書き込み

### 25. TVフィルタの動作

S1D13745には、TVの輝度信号およびクロミナンス信号のノイズを最小化する、固定された設定可能なデジタルフィルタが備わっています。固定フィルタ設定（REG[56h]ビット2=0）の場合、クロミナンスフィルタの機能は現在のTV出力タイプ（REG[44h]ビット4）およびREG[44h]ビット3～1で選択したTV規格によって決まります。

SビデオのTV出力の場合、輝度に対する固定フィルタ機能は4MHzのローパスフィルタです。コンポジットTV出力の場合、輝度に対する固定フィルタ機能はTV規格の設定（REG[44h]ビット3～1）により、3.58または4.43MHzのノッチフィルタになります。

クロミナンスに対する固定フィルタ機能はローパスフィルタであり、その減衰量は1.3MHzで1.5dB、3.6MHzで20dB超です。

多くの場合、TV用フィルタのデフォルト機能は最適に機能します。しかし、個々のアプリケーションに応じてフィルタ性能を最適化したい場合は、FIRフィルタに関する汎用的な設計ソフトウェアを使ってカスタムフィルタ係数を生成し、それを間接アドレス指定レジスタREG[58h]とREG[5Ah]に設定することができます。

#### 25.1 輝度（Y）および色（UV）のカスタムフィルタ係数の生成

輝度およびクロミナンスは対称FIRフィルタです。係数値は正と負のいずれも可能です。188ページの図25.1「タップ数15の正対称なインパルス応答」をご覧ください。

対称なインパルス応答の場合、後半の7つの係数は前半と同じであるため、設定が必要な係数は8個のみです。

同様に、クロミナンスはタップ数15のFIRフィルタであり、図25.1「タップ数15の正対称なインパルス応答」と同様の性質をもちます。対称なインパルス応答の場合、後半の7つの係数は前半と同じであるため、設定が必要な係数は8個のみです。

係数は2の補数で、9ビット幅です。

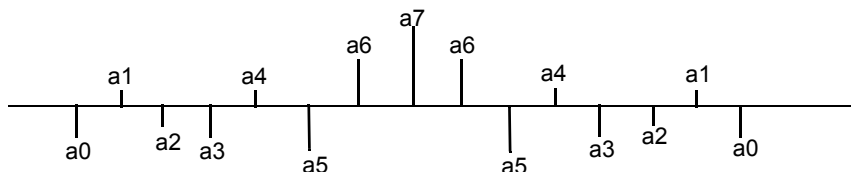


図25.1 タップ数15の正対称なインパルス応答

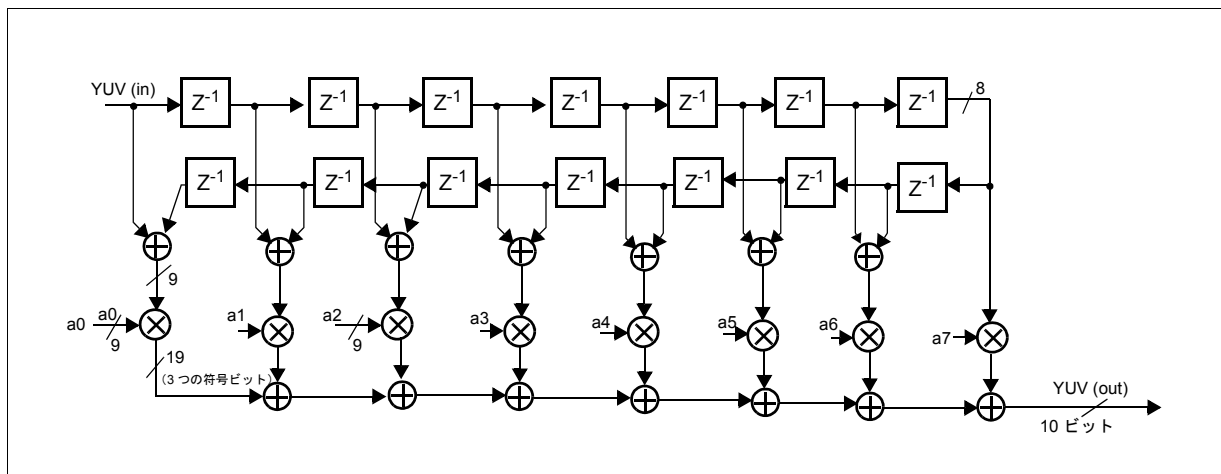


図25.2 正対称なインパルス応答をもつタップ数15のFIRフィルタ

### 25.1.1 フィルタパラメータ

カスタムFIRフィルタ値を生成するには以下の情報が必要です。ただし、値はユーザのフィルタ設計ソフトウェアによって異なるため、あくまで目安としてご使用ください。

- フィルタのタイプ：ローパス、ハイパス、ノッチ、帯域消去
- サンプルクロック周波数：13.5MHz（固定）
- タップ数：15（Y）と15（UV）
- 上側通過帯域：4MHz
- 消去帯域：6.2MHz
- 通過帯域リップル：3dB
- 消去帯域減衰量：60dB

以下の応答曲線は、固定関数の内蔵TVフィルタの理論的性能を示します。

25. TVフィルタの動作

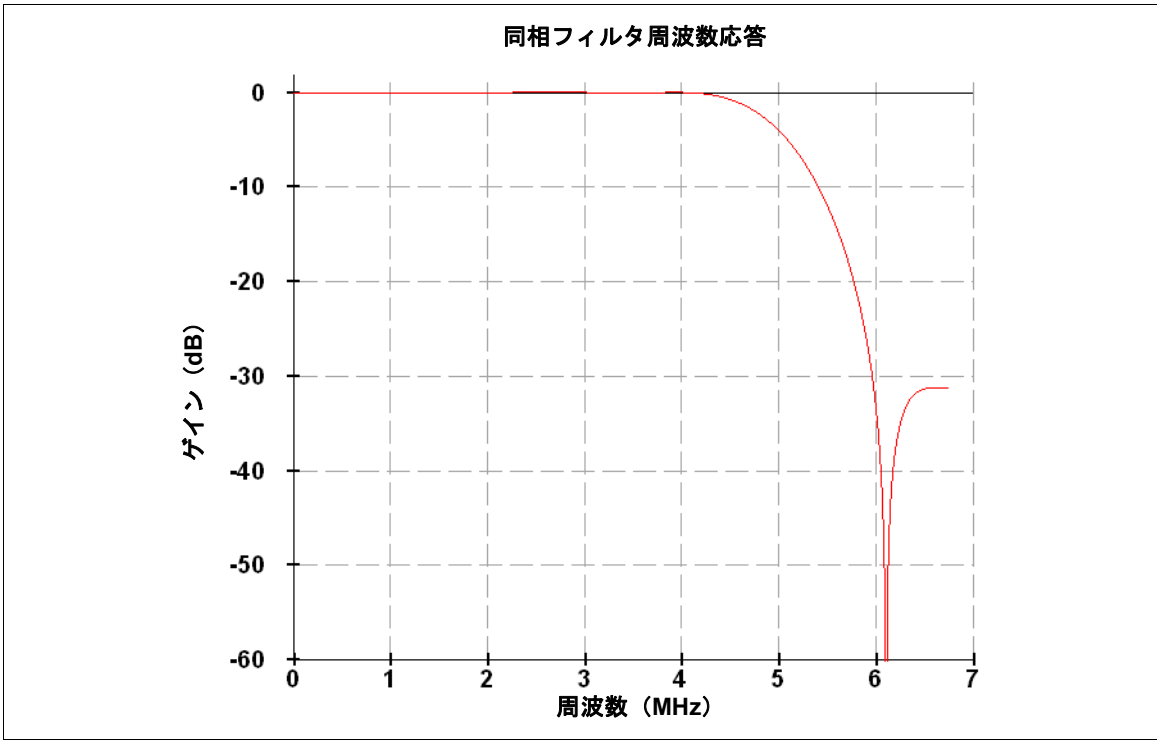


図25.3 4MHzローパスフィルタの周波数応答

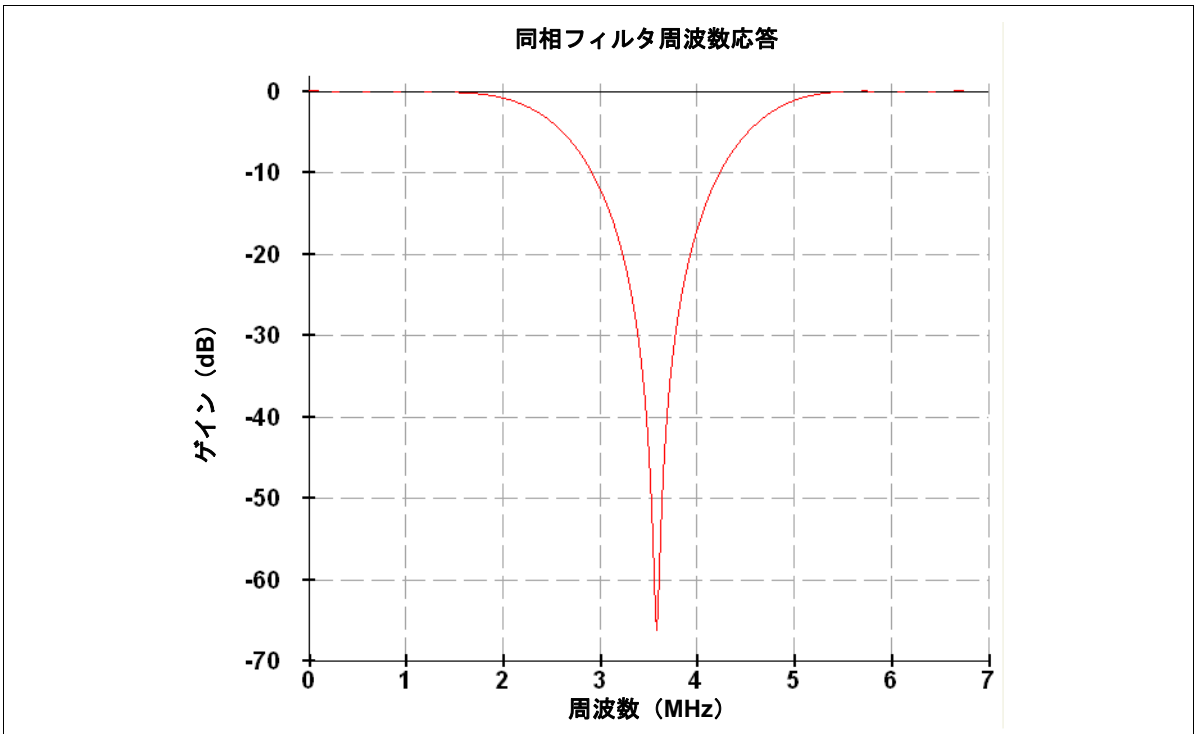


図25.4 3.58MHzのYノッチフィルタにおける周波数応答

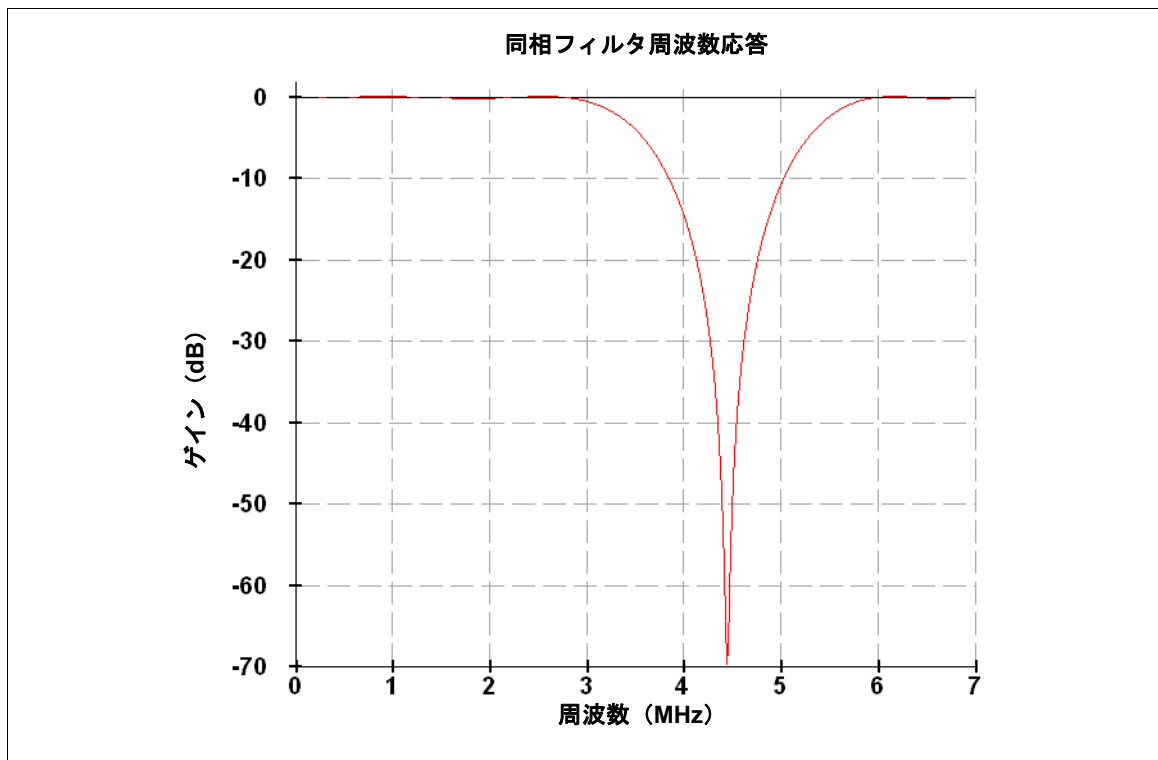


図25.5 4.43MHzのYノッチフィルタにおける周波数応答

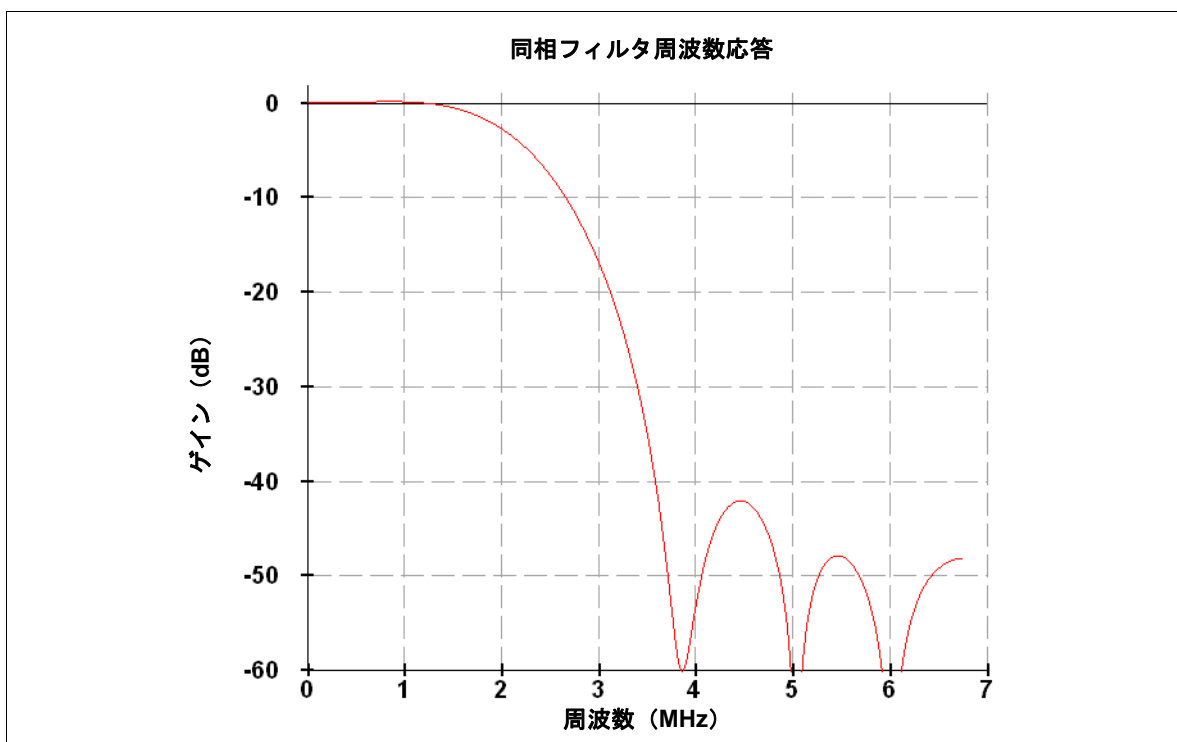


図25.6 UVフィルタの周波数応答

## 26. S1D13745の電源関連シーケンス

## 26. S1D13745の電源関連シーケンス

S1D13745には3つの電源モードがあります。各モードの動作を以下の表にまとめます。

表26.1 S1D13745の電源モード

	1.5V	2.5V	1.8V	PD#	内容
モード1	OFF	OFF	OFF	Low	スタンバイA
モード2	OFF	OFF	ON	Low	スタンバイB
モード3	ON	ON	ON	High	ノーマル

1.5V = COREVDD, PLLVDD, DRAMVDD

2.5V = OSCVDD, DRAMVCC, DACAVDD, DACDVDD, DACSVDD

1.8V = IOVDD, PIOVDD, SAVDD, SPVDD, SDVDD

### 注

電源モードは各電源の安定状態を示すものであり、電源モード移行時の過渡的状态を示すものではありません。

### 26.1 モード1 : スタンバイA

表26.2 スタンバイAの電源モード

	1.5V	2.5V	1.8V	PD#	内容
モード1	OFF	OFF	OFF	Low	スタンバイA

#### 各電源の状態

- 1.5V     すべてオフ
- 2.5V     すべてオフ
- 1.8V     すべてオフ
- PD#     Low (L) に維持してください

### 注

1. IO電源をオフにする場合、S1D13745へのすべての入力をLowにしてください (S1D13745に対してHigh入力がない状態)。
2. IOVDD=オフおよびPIOVDD=オフの状態においても、入力信号電圧の絶対最大定格は、-0.3V~IOVDD+0.3V、-0.3V~PIOVDD+0.3Vのままです (PD#信号を含みます)。IOVDD=0Vのときは-0.3V~+0.3Vになります。

## 26.2 モード2：スタンバイB

表26.3 スタンバイBの電源モード

	1.5V	2.5V	1.8V	PD#	内容
モード2	OFF	OFF	ON	Low	スタンバイB

## 各電源の状態

- 1.5V     すべてオフ
- 2.5V     すべてオフ
- 1.8V     すべてオン
- PD#     Low (L) に維持してください

## 注

IO端子はホールドモードにしてください。  
 PD#=L (0.0V) のとき、IO端子はホールドモードです。  
 PD#=H (1.8V) のとき、IO端子はノーマルモードです。

## 26.3 モード3：ノーマル

表26.4 ノーマルの電源モード

	1.5V	2.5V	1.8V	PD#	内容
モード3	ON	ON	ON	High	ノーマル

## 各電源の状態

- 1.5V     すべてオン
- 2.5V     すべてオン (注)
- 1.8V     すべてオン
- PD#     High (H) に維持してください

## 注

1. 通常動作モードです。
2. TV出力用のDACの電源はオンまたはオフに固定できます。



### 26.4 電源モードの状態遷移図

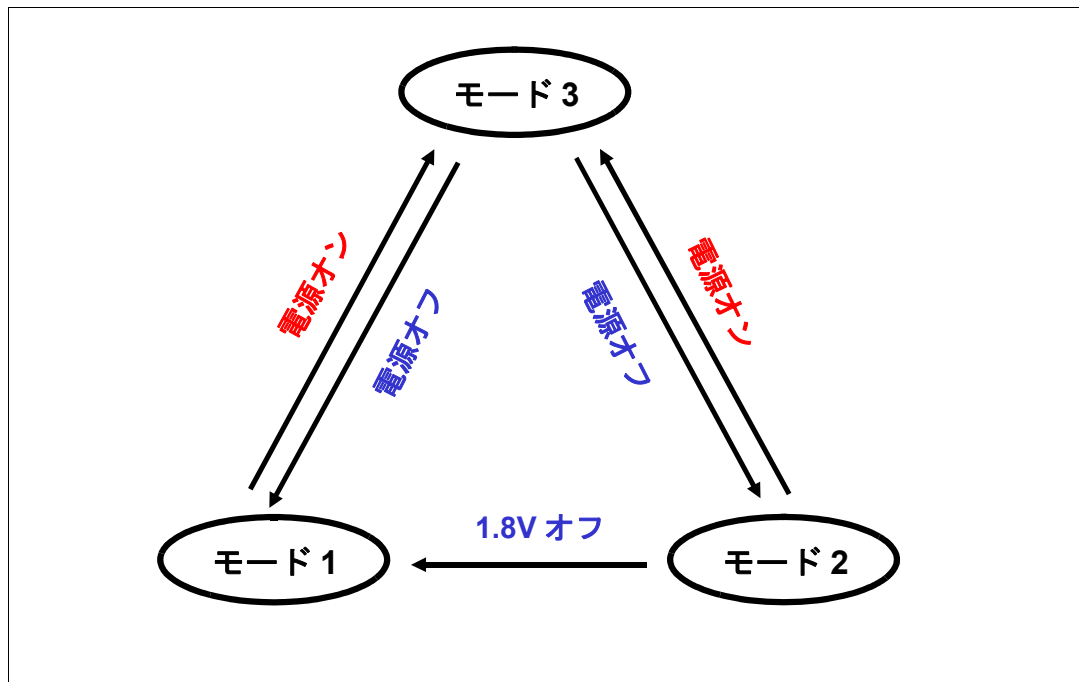


図26.1 電源モードの状態遷移図

#### 注

- モード1からモード2への遷移はできません
  - IOバスホールド回路の値は固定ではないため、貫通電流が発生します。
  - 1.8Vの前に1.5Vと2.5Vを一度オンにする必要があります。
- モード1からモード3、またはその逆
  - 電源シーケンスが必要です。
- モード2からモード1
  - 入力端子条件が必要です。
- モード2からモード3、またはその逆
  - 電源シーケンスが必要です。
  - DACVDDをオンにした直後はDACの出力特性が保証されません。  
(DAC出力が安定化するのには、外部コンデンサが接続されたすべての端子が安定化した後です。その時間差は、パッケージの特性とPCBの構造によって決まります)

## 26.5 電源シーケンスのタイミング

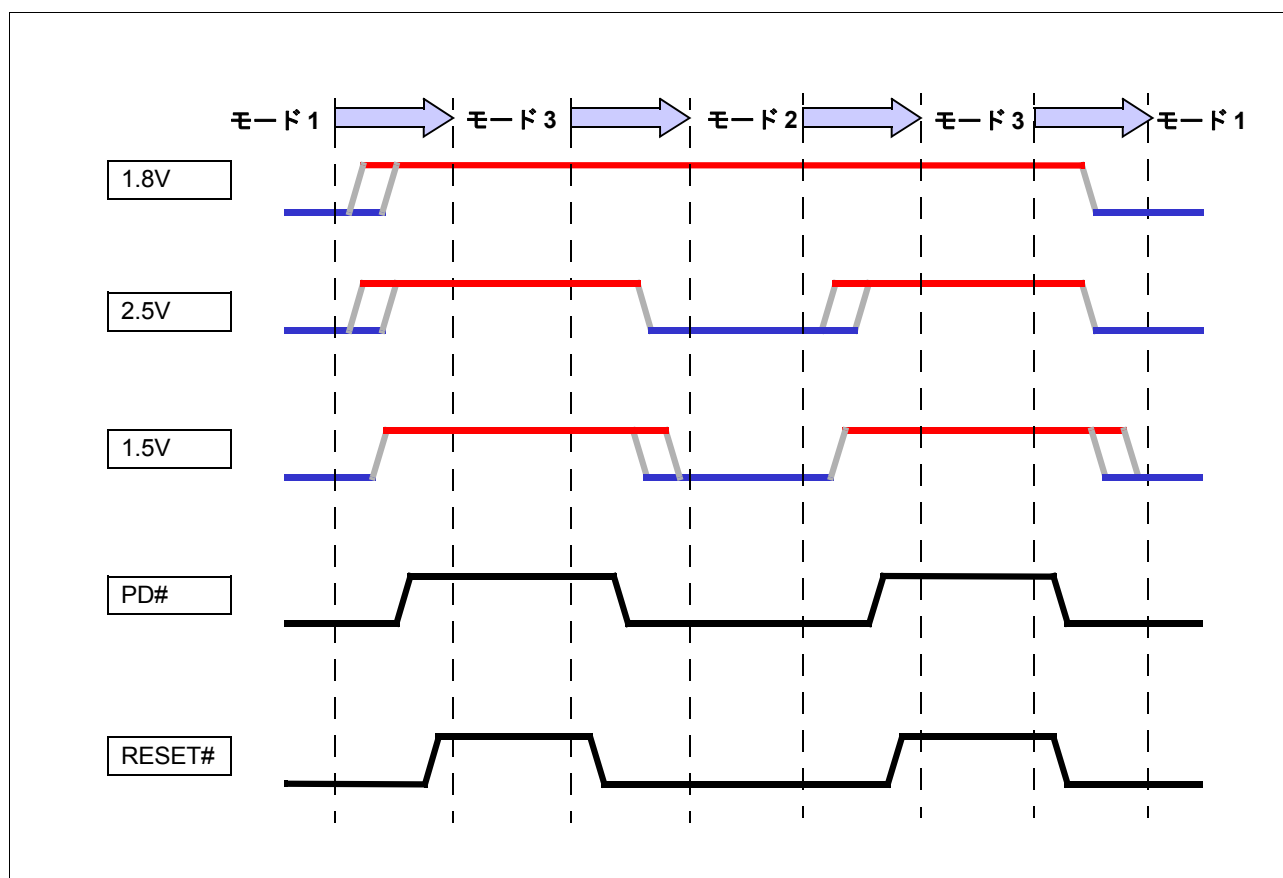


図26.2 全体的な電源シーケンス

## 26. S1D13745の電源関連シーケンス

### 26.5.1 モード1からモード3

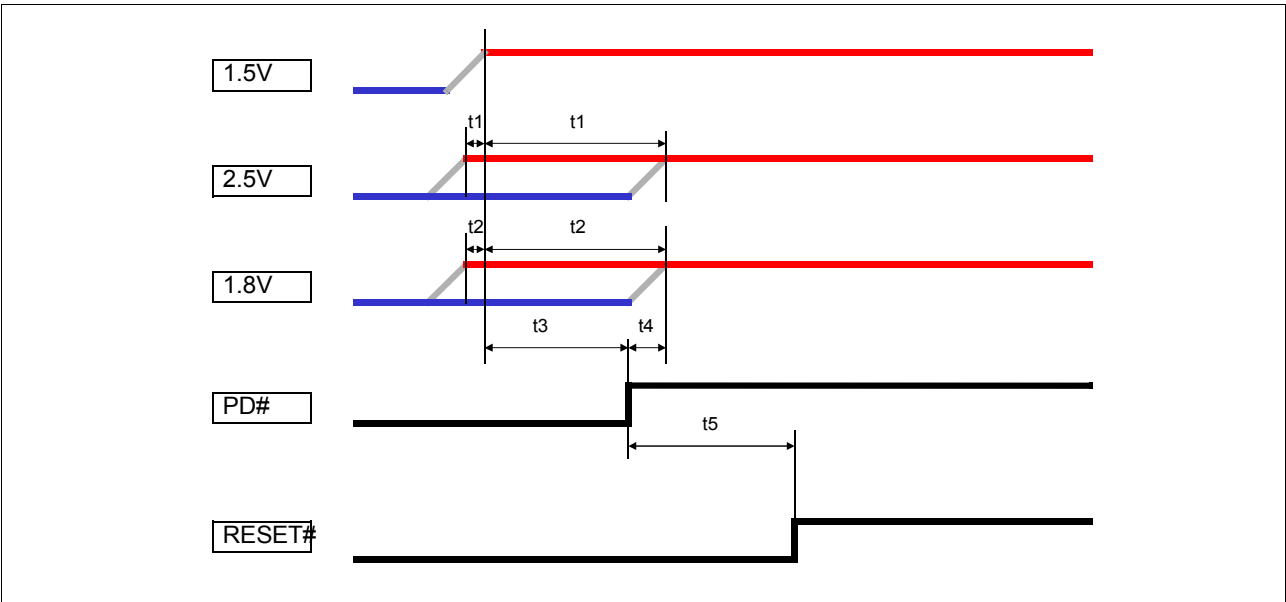


図26.3 モード1からモード3の遷移における電源シーケンス

表26.5 モード1からモード3の遷移における電源シーケンス

記号	説明	Min	Max	単位
t1	1.5Vの立ち上がり～2.5Vの立ち上がり	0 (注1)	100 (注2)	ms
t2	1.5Vの立ち上がり～1.8Vの立ち上がり	0 (注3)	100 (注4)	ms
t3	1.5Vの立ち上がり～PD#の立ち上がり	0 (注5)		ms
t4	PD#の立ち上がり～1.8Vの立ち上がり	0 (注6)		ms
t5	PD#の立ち上がり～RESET#の立ち上がり	(注7)		-

#### 注

- t1が0msより小さいと貫通電流が発生します。t1が-1msより小さい場合には長期信頼性に影響が生じます。
- t1の期間中はレベルシフト内に貫通電流が発生します。t1が100msより長い場合には長期信頼性に影響が生じます。
- t2が0msより小さいと貫通電流が発生します。t2が-1msより小さい場合には長期信頼性に影響が生じます。
- t2の期間中はレベルシフト内に貫通電流が発生します。t2が100msより長い場合には長期信頼性に影響が生じます。
- t3が0msより小さいと貫通電流が発生します。t3が-1msより小さい場合には長期信頼性に影響が生じます。
- t4が0msより小さいと貫通電流が発生します。t4が-1msより小さい場合には長期信頼性に影響が生じます。
- t5は、RRES端子およびCRES端子における外部素子の時定数より大きい必要があります。

26.5.2 モード3からモード1

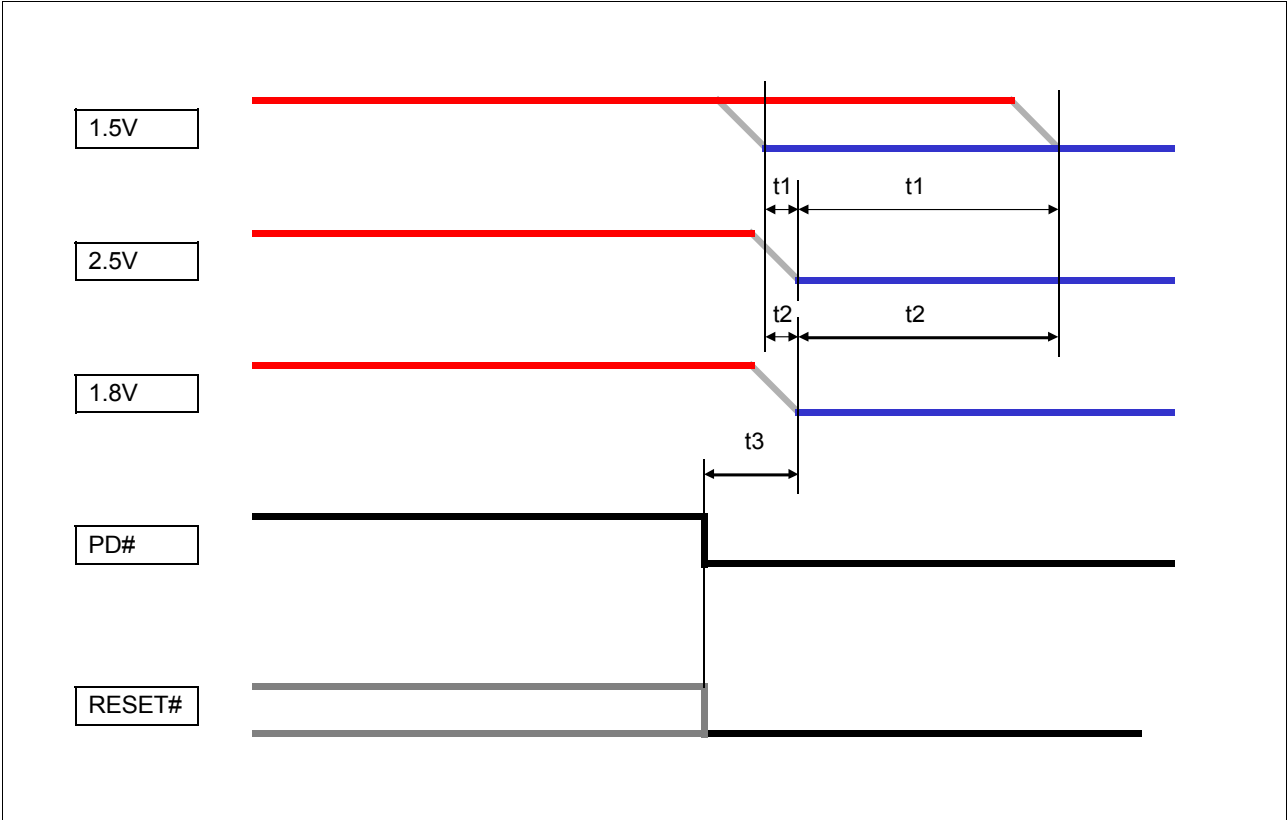


図26.4 モード3からモード1の遷移における電源シーケンス

表26.6 モード3からモード1の遷移における電源シーケンス

記号	説明	Min	Max	単位
t1	2.5Vの立ち下がり～1.5Vの立ち下がり	0（注1）	100（注2）	ms
t2	1.8Vの立ち下がり～1.5Vの立ち下がり	0（注3）	100	ms
t3	すべての入力の立ち下がり～1.8Vの立ち下がり	0		ms

注

1. t1が0msより小さいとIO内に貫通電流が発生します。t1が-1msより小さい場合には長期信頼性に影響が生じます。
2. t1の期間中はレベルシフタ内に貫通電流が発生します。t1が100msより長い場合には長期信頼性に影響が生じます。
3. t2が0msより小さいとIO内に貫通電流が発生します。t2が-1msより小さい場合には長期信頼性に影響が生じます。

## 26. S1D13745の電源関連シーケンス

### 26.5.3 モード3からモード2

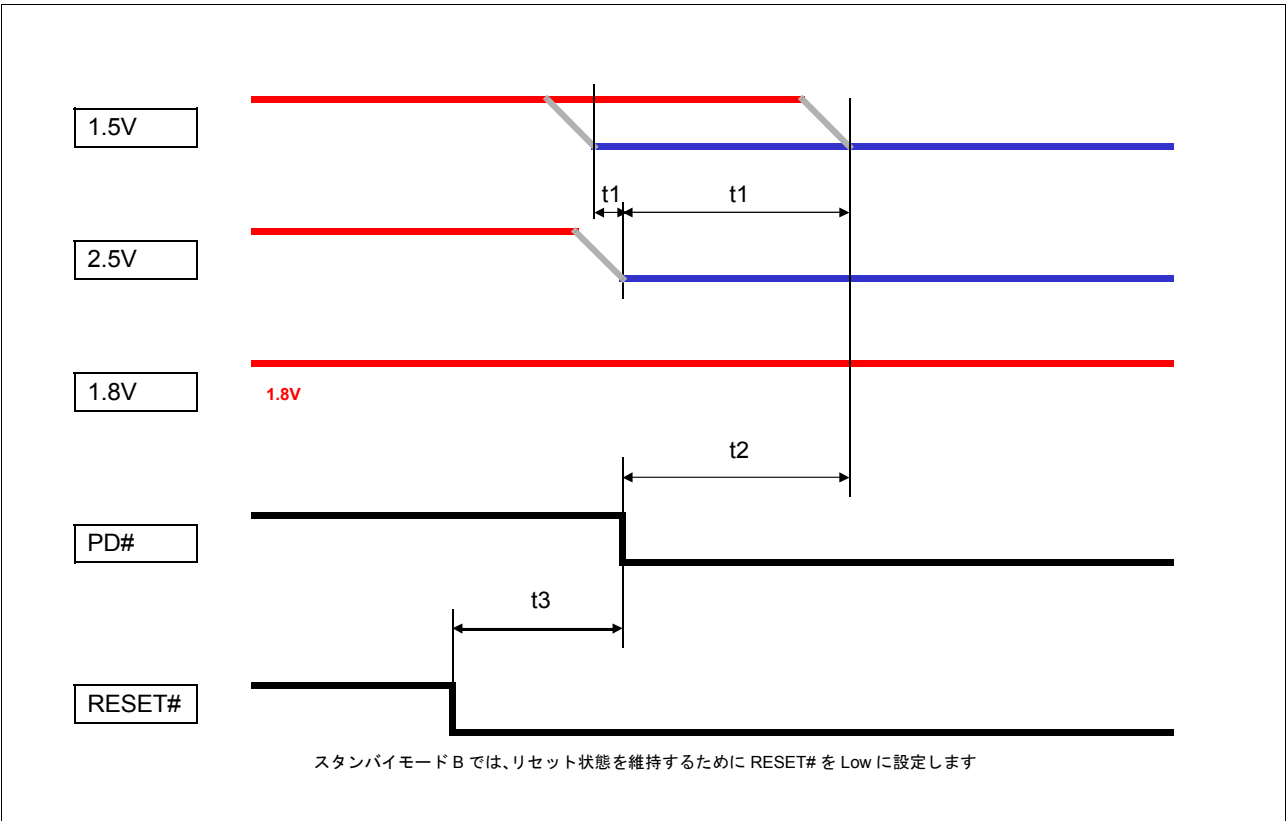


図26.5 モード3からモード2の遷移における電源シーケンス

表26.7 モード3からモード2の遷移における電源シーケンス

記号	説明	Min	Max	単位
t1	2.5Vの立ち下がり～1.5Vの立ち下がり	0 (注1)	100 (注2)	ms
t2	PD#の立ち下がり～1.5Vの立ち下がり	100		us
t3	RESET#の立ち下がり～PD#の立ち下がり	(注3)		-

#### 注

1. t1が0msより小さいとIO内に貫通電流が発生します。t1が-1msより小さい場合には長期信頼性に影響が生じます。
2. t1の期間中はレベルシフタ内に貫通電流が発生します。t1が100msより長い場合には長期信頼性に影響が生じます。
3. モード2からモード3に戻る際は、回路をリセットするためにPD#がHighの間にRESET#をLowに設定する必要があります。

## 26.5.4 モード2からモード3

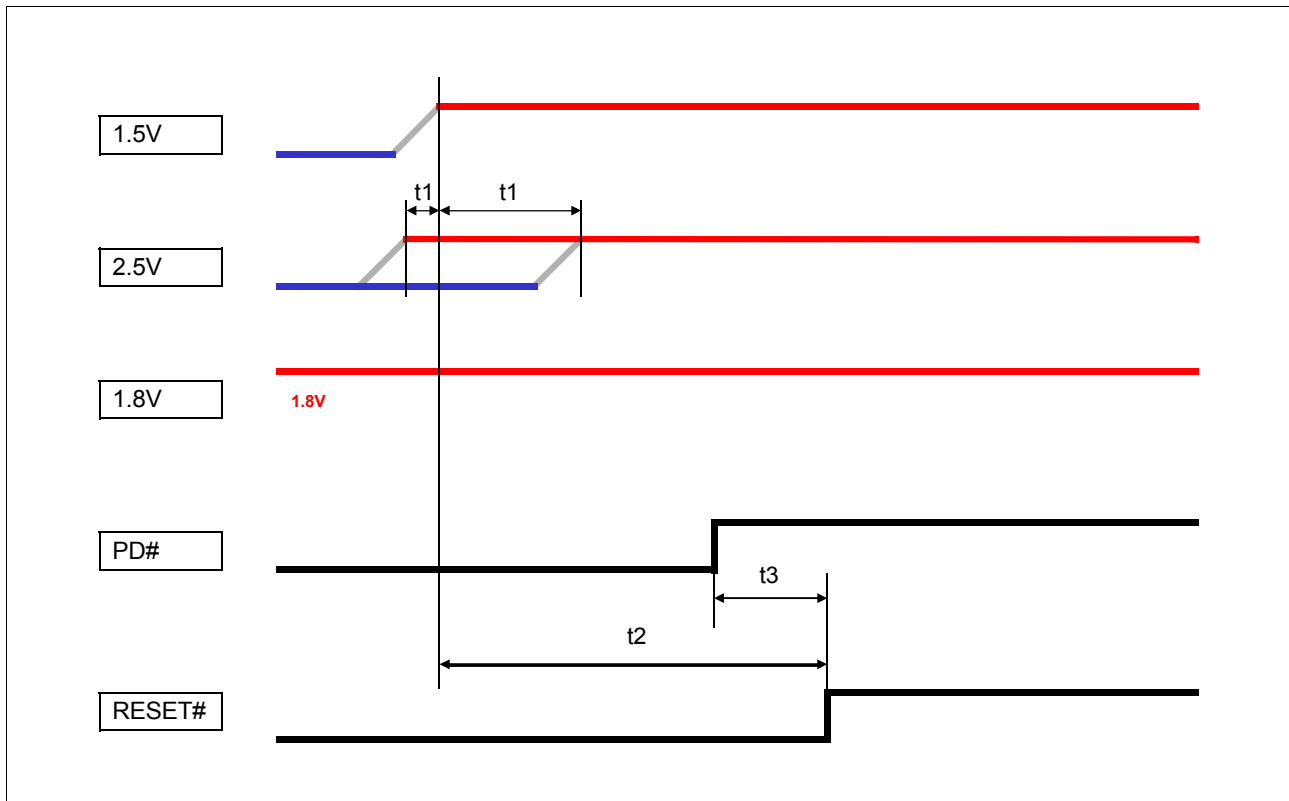


図26.6 モード2からモード3の遷移における電源シーケンス

表26.8 モード2からモード3の遷移における電源シーケンス

記号	説明	Min.	Max.	単位
t1	1.5Vの立ち上がり～2.5Vの立ち上がり	0 (注1)	100 (注2)	ms
t2	1.5Vの立ち上がり～RESET#の立ち上がり	(注3)		-
t3	PD#の立ち上がり～RESET#の立ち上がり	(注4)		-

## 注

1. t1が0msより小さいとIO内に貫通電流が発生します。t1が-1msより小さい場合には長期信頼性に影響が生じます。
2. t1の期間中はレベルシフタ内に貫通電流が発生します。t1が100msより長い場合には長期信頼性に影響が生じます。
3. PD#がLowに設定される前にRESET#がLowに設定される場合、最小値はRRES端子およびRES端子の外部素子によって決まる時定数より大きくしてください。PD#がLowに設定される前にRESET#がLowに設定されない場合は、t3が条件を満たせばそれで十分です。
4. PD#がLowに設定される前にRESET#がLowに設定される場合は、t2が条件を満たせばそれで十分です。PD#がLowに設定される前にRESET#がLowに設定されない場合、最小値はRRES端子およびCRES端子の外部素子によって決まる時定数より大きくしてください。

## 26. S1D13745の電源関連シーケンス

### 26.5.5 モード2からモード1

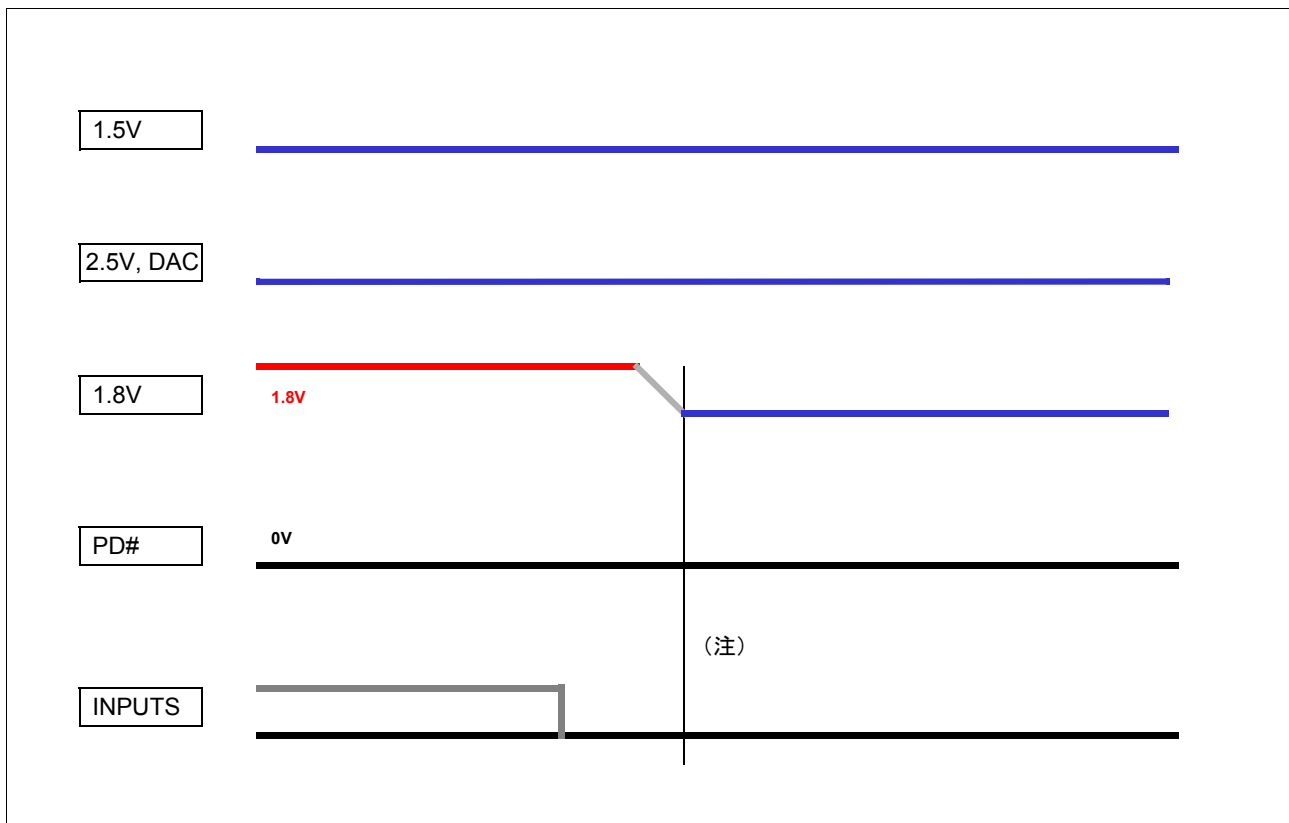


図26.7 モード2からモード1の遷移における電源シーケンス

#### 注

1.8Vをオフにする前にすべての入力をLowに設定してください。

## 26.6 各電源をオフにするための条件

### 1.5V電源

- IO端子はホールドモードにしてください (PD#をLowにするか、1.8Vをオフにします。)
- 2.5Vはオフにします (DACVDDを含みます)。

### 2.5V電源

- チップがスリープモードのとき、特別な条件は不要です。

### 1.8V電源

- チップに対するすべての入力をLowにします。

### 26.7 PD#の機能

- PD#は電源シーケンスに使用できる入力信号です。
- PD#はIOとともに使用し、内部ロジックからの出力値および出力イネーブル状態を保持します。
- PD#は、漏れ電流防止のためにレベルシフタをオフにすることにも使用されます。
- 漏れ電流低減のために内部電源（COREVDDなど）をオフにできます。
- スタンバイBの電源モードが不要の場合にはPD#をIOVDDに接続できます。
- PD#機能を使用するには、2つの専用端子（たとえばホストCPUのGPIO）が必要です。
  - PD#用に1端子
  - RESET#用に1端子

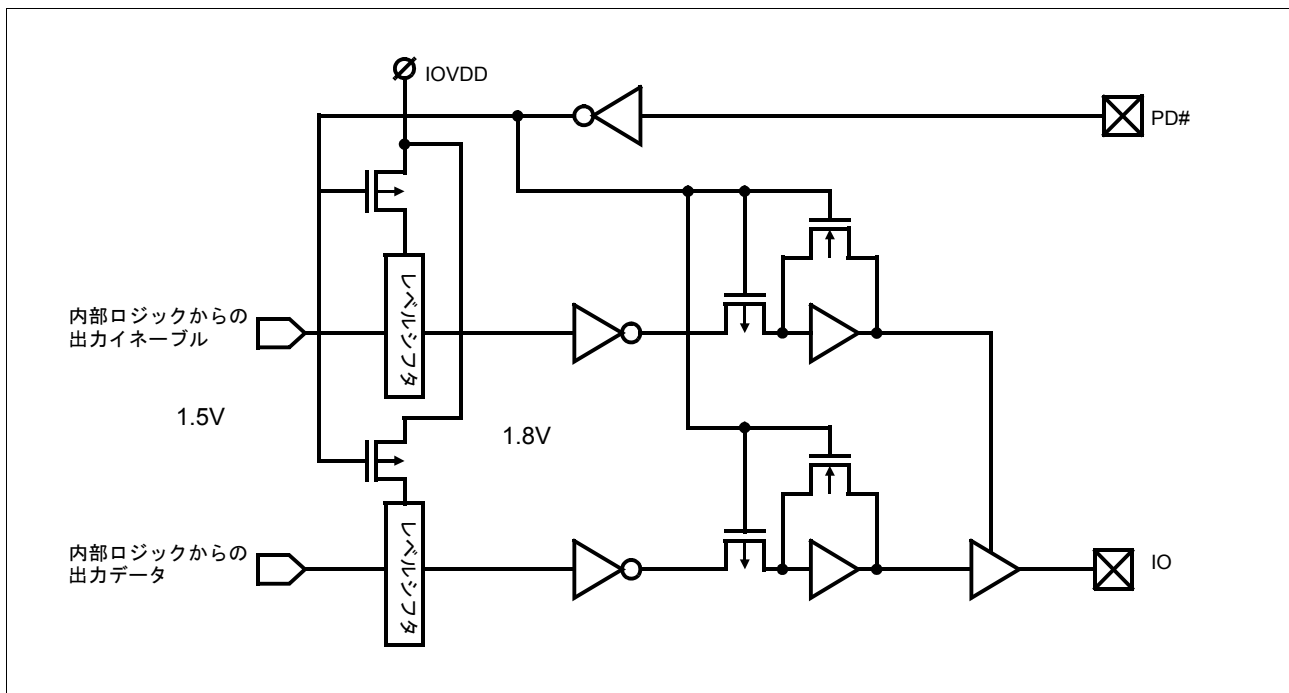


図26.8 PD#機能の等価回路図



## 26. S1D13745の電源関連シーケンス

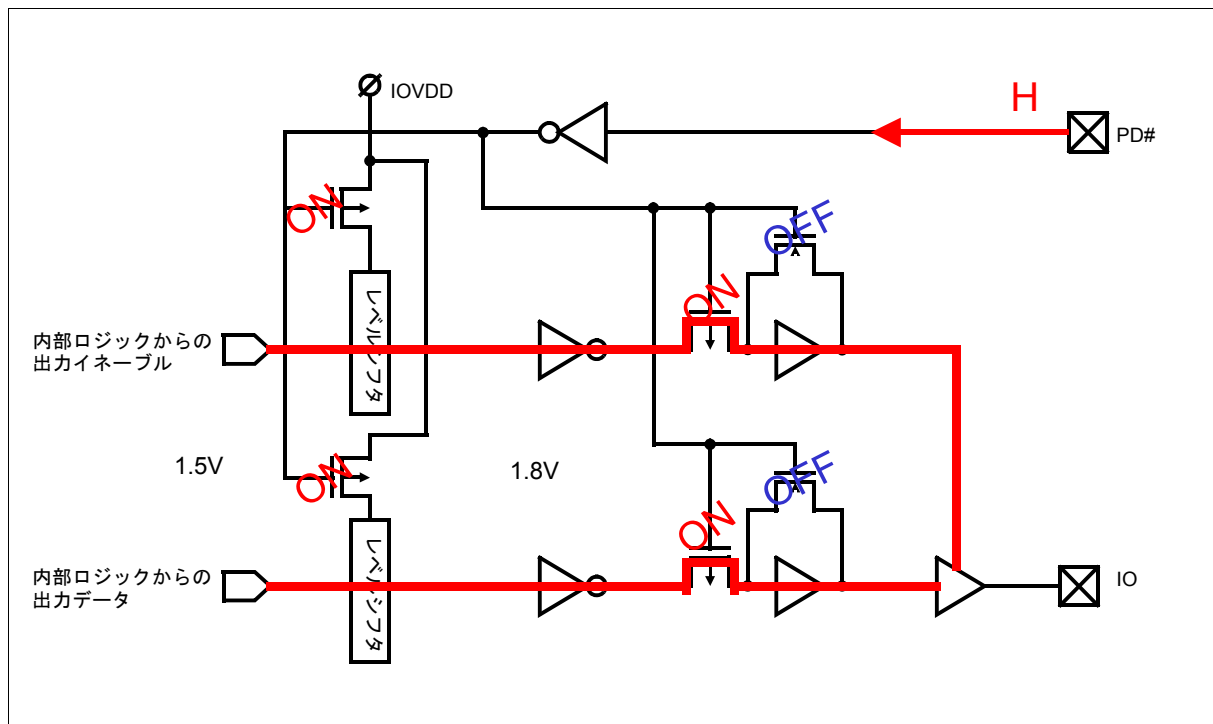


図26.9 ノーマルモード (PD#=H)

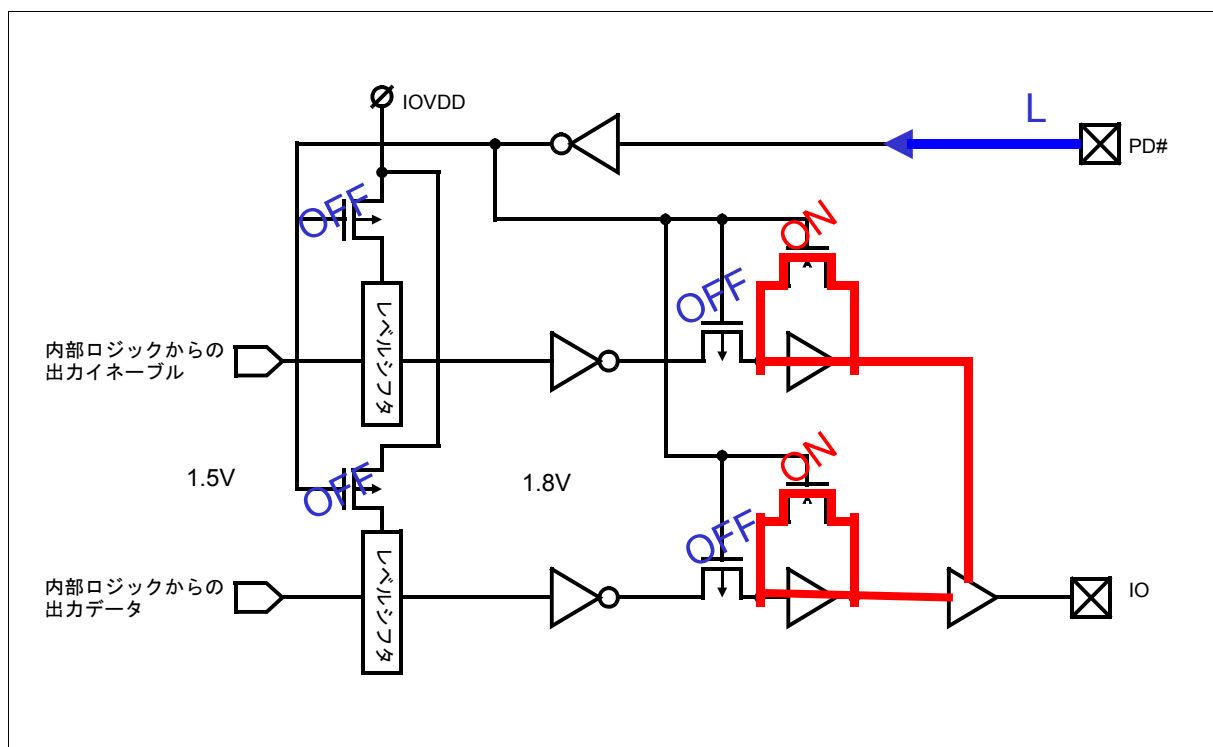


図26.10 ホールドモード (PD#=L)

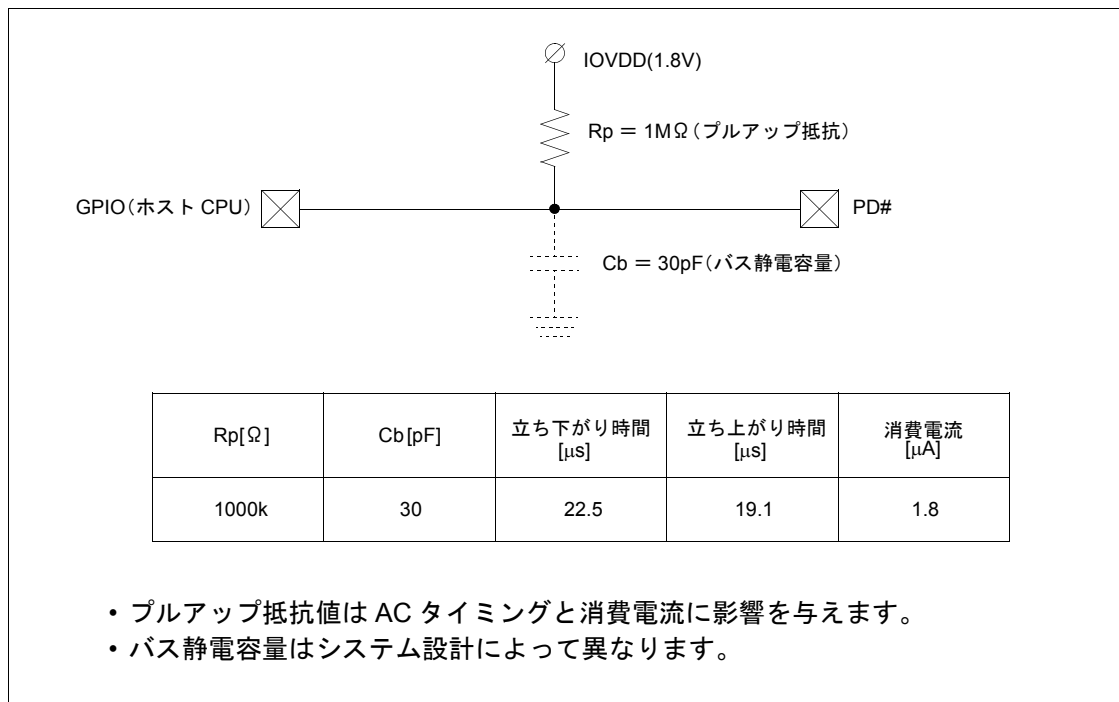


図26.11 PD#の実施例 (GPIOとプルアップ抵抗)

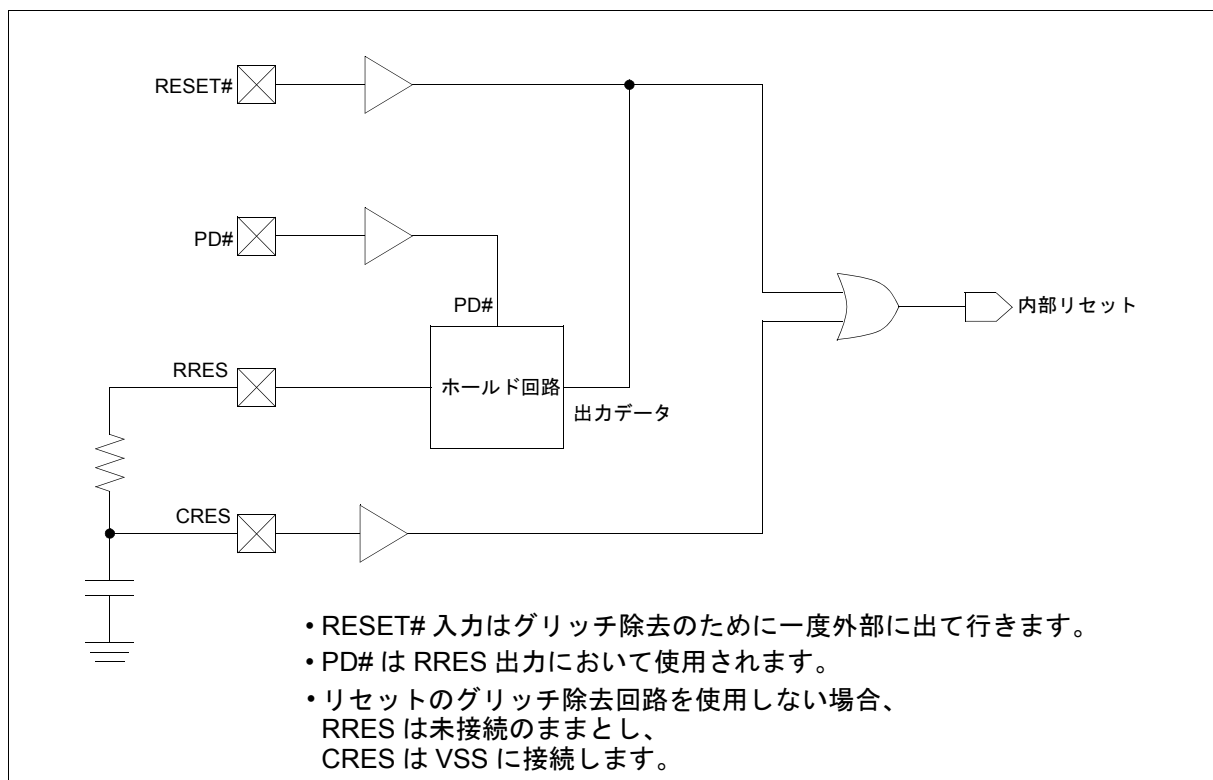


図26.12 リセットのグリッチ除去の等価回路図

## 26. S1D13745の電源関連シーケンス

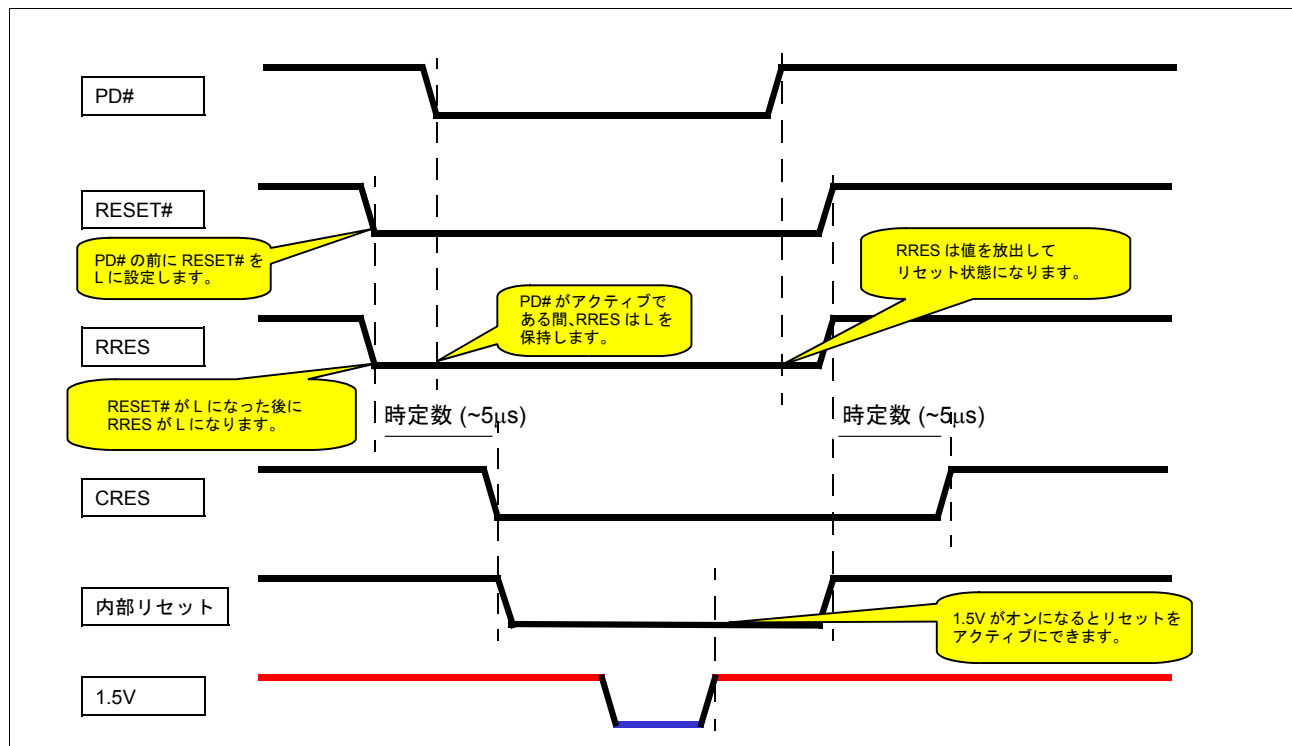


図26.13 PD#が良好なときのリセットタイミング

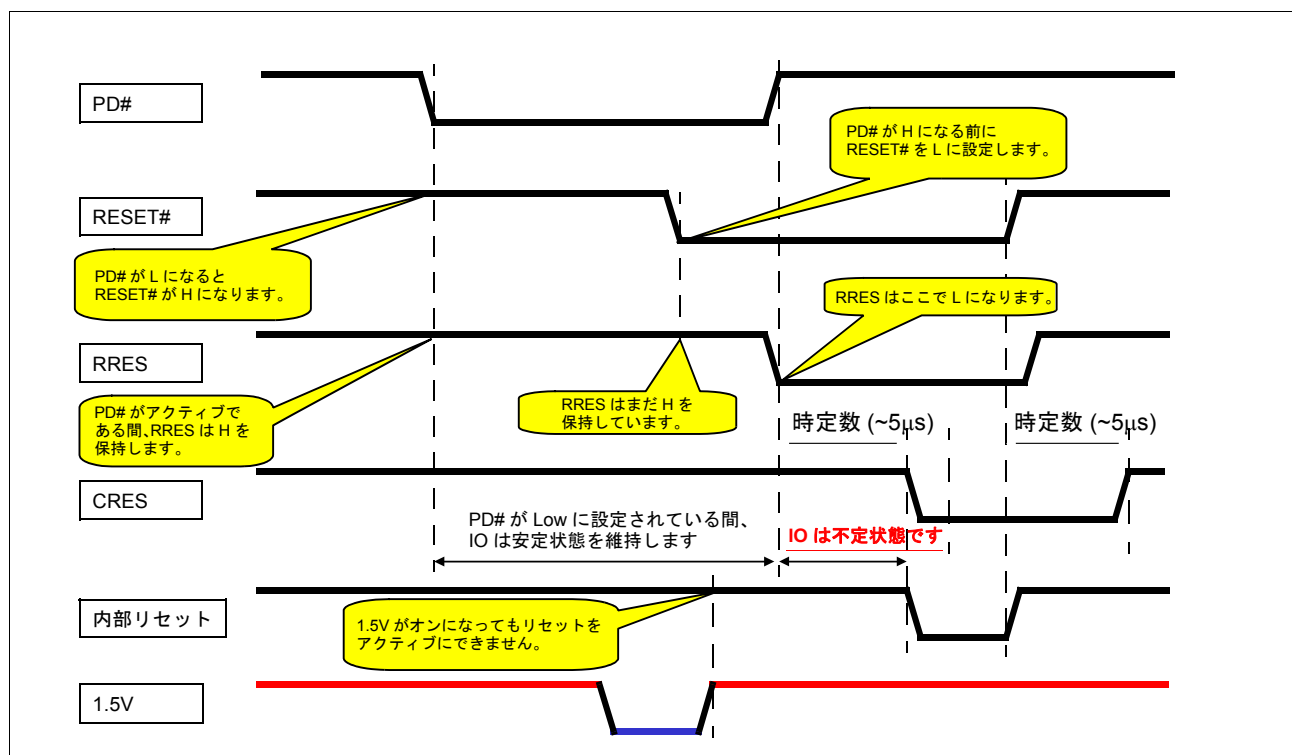


図26.14 PD#が不良なときのリセットタイミング

## 27. S1D13745におけるスリープモードの移行シーケンス

### 27.1 ノーマルモードからスリープモードへの移行シーケンス

スリープモードに移行する設定になっている場合、表示を無効（REG[68h]ビット0=1）にした後、スリープモードを有効（REG[E6h]ビット1=1）にするか、またはPWRSVE端子を使用します。

## 27. S1D13745におけるスリープモードの移行シーケンス

### 27.2 スリープモードからノーマルモードへの移行シーケンス

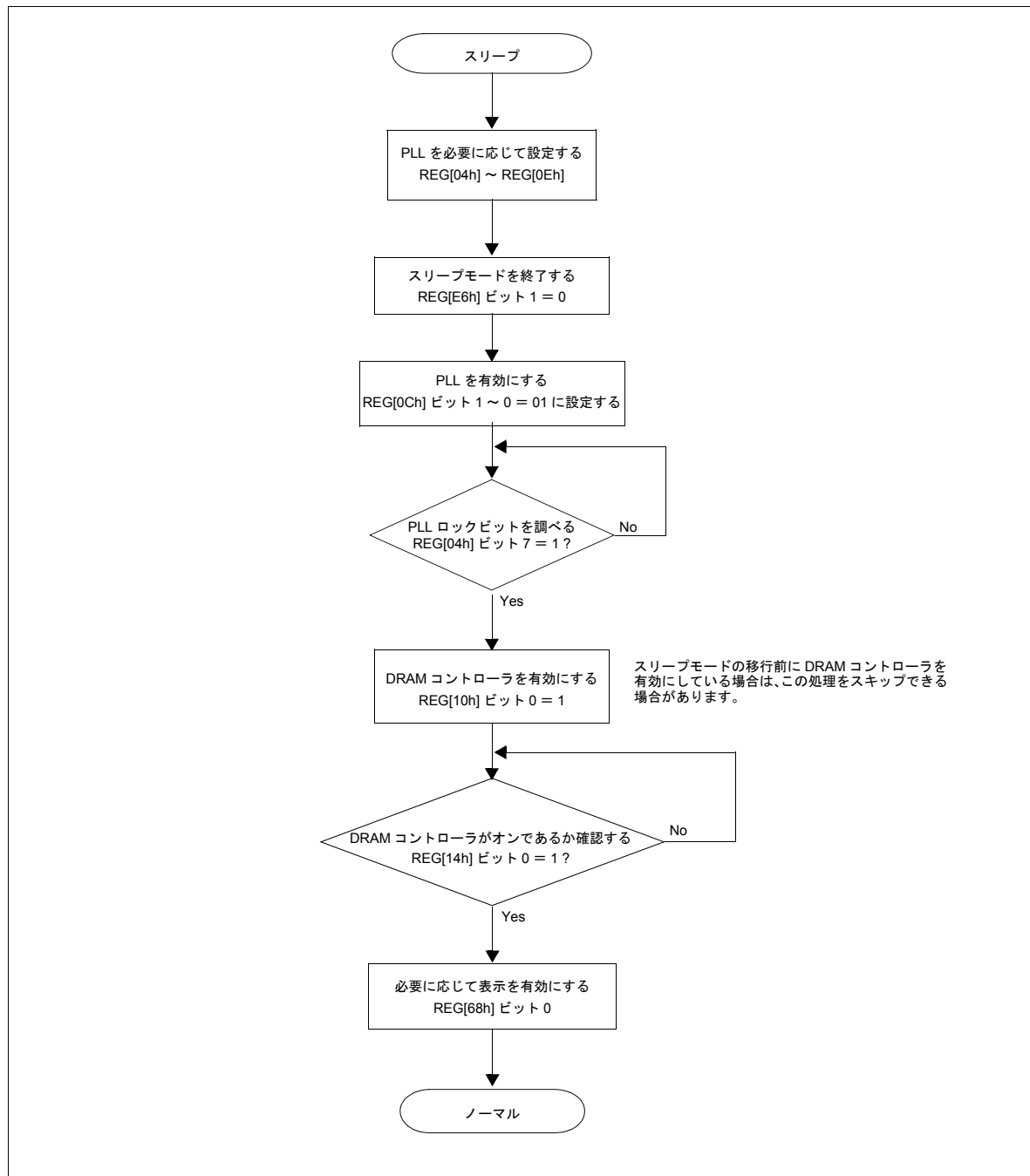


図27.1 推奨されるスリープモードの終了シーケンス

#### 注

スリープモードのシーケンスにスタンバイAまたはスタンバイBへの移行処理が含まれていた場合（192ページの表26.1「S1D13745の電源モード」を参照）、S1D13745はRESET#を必要とするうえ、すべてのレジスタの初期化が再度必要になります。

## 28. 外部素子

## 28.1 DACの外部素子

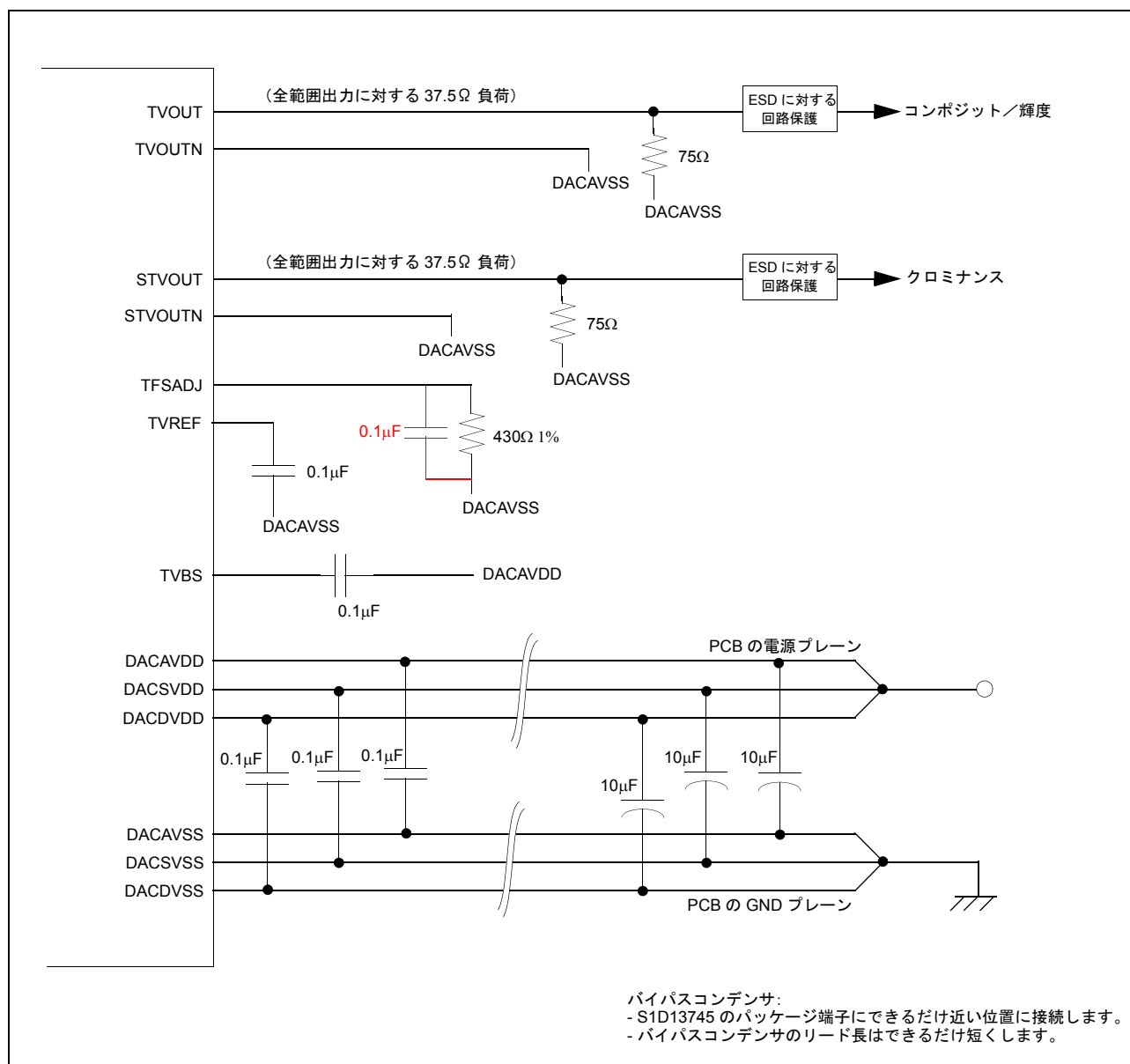


図28.1 DACの外部素子

## 28. 外部素子

### 28.2 静電気放電の考慮

ビデオ用DACの静電気放電保護に関し、下記の回路の使用を推奨します。

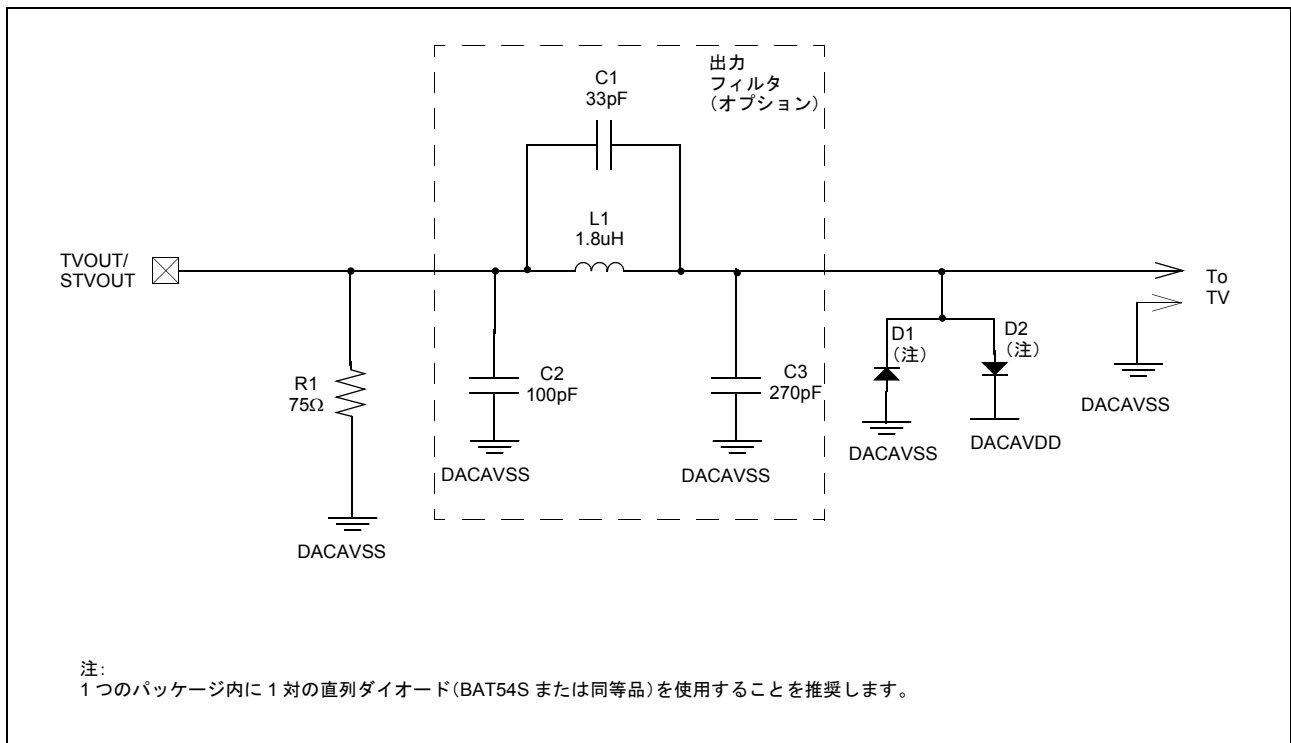


図28.2 静電気放電の考慮

### 28.3 RESET#のグリッチ除去

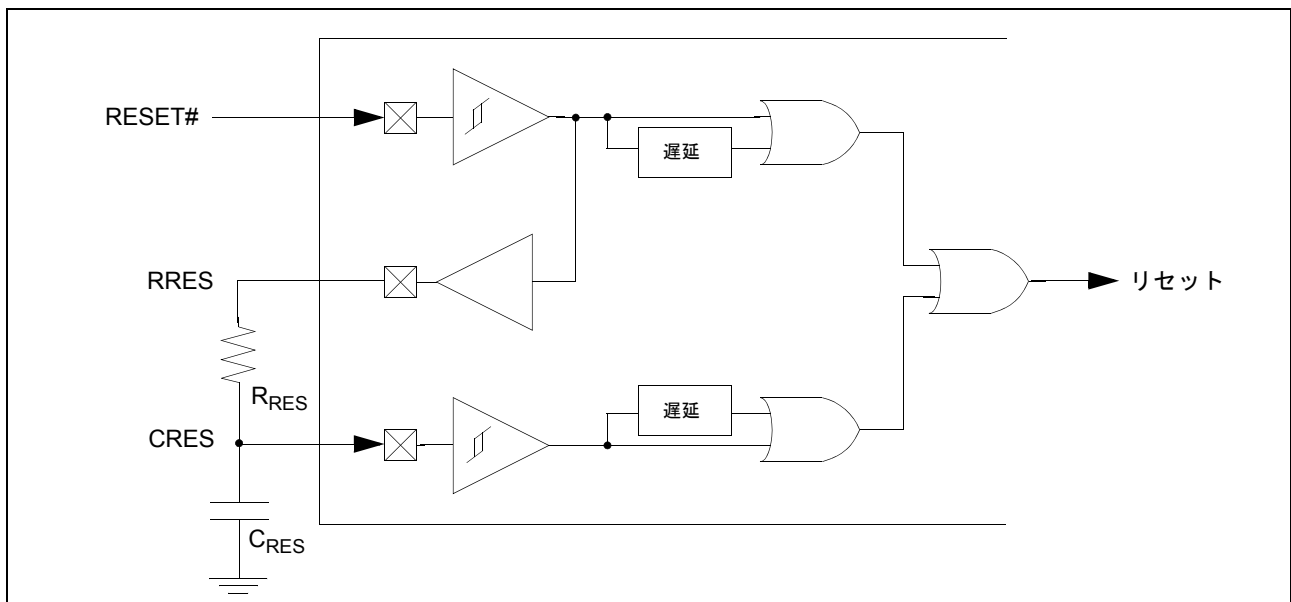


図28.3 RESET#のグリッチ除去回路

グリッチ除去期間の計算方法：

$$\text{グリッチ除去期間} = (R_{\text{RES}} + R_{\text{IO Cell}}) \times (C_{\text{RES}} + C_{\text{IO Cell}})$$

ここで、 $R_{\text{IO Cell}}$ はRRES端子における抵抗（190～207Ω）、 $C_{\text{IO Cell}}$ はCRES端子における静電容量（4pF）です。リセットのグリッチ除去が不要な場合、RRES端子は未接続のままとし、CRES端子はVSSに接続してください。

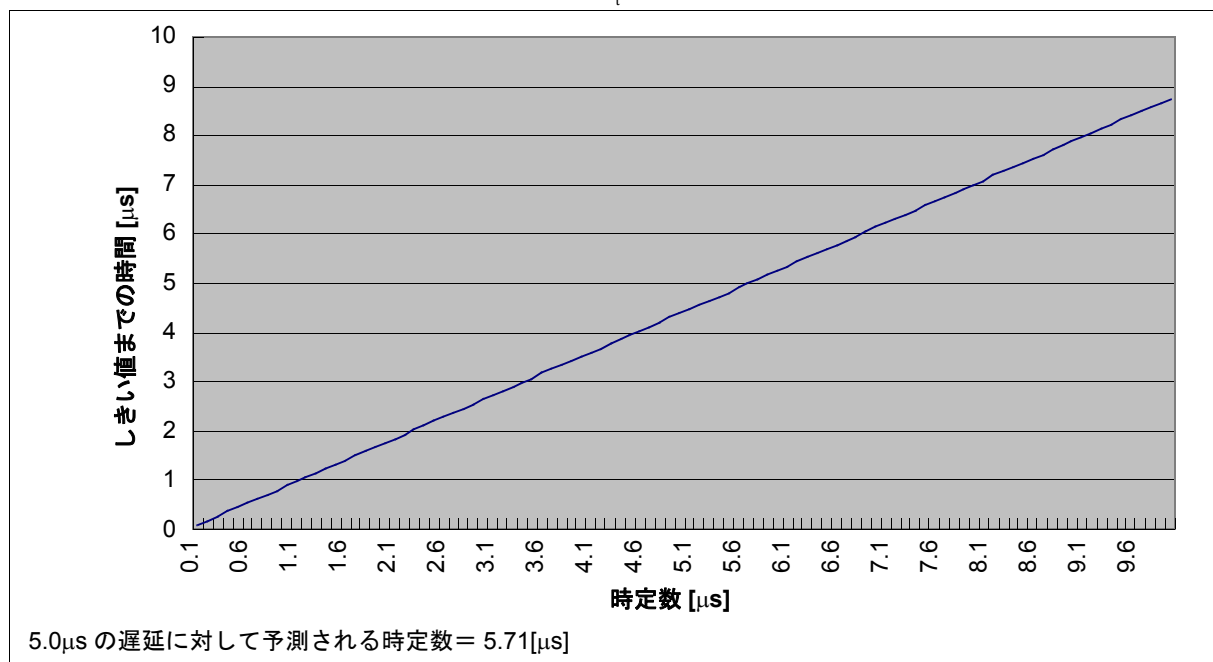


図28.4 時定数と遅延



# 28. 外部素子

## 28.4 水晶発振器回路

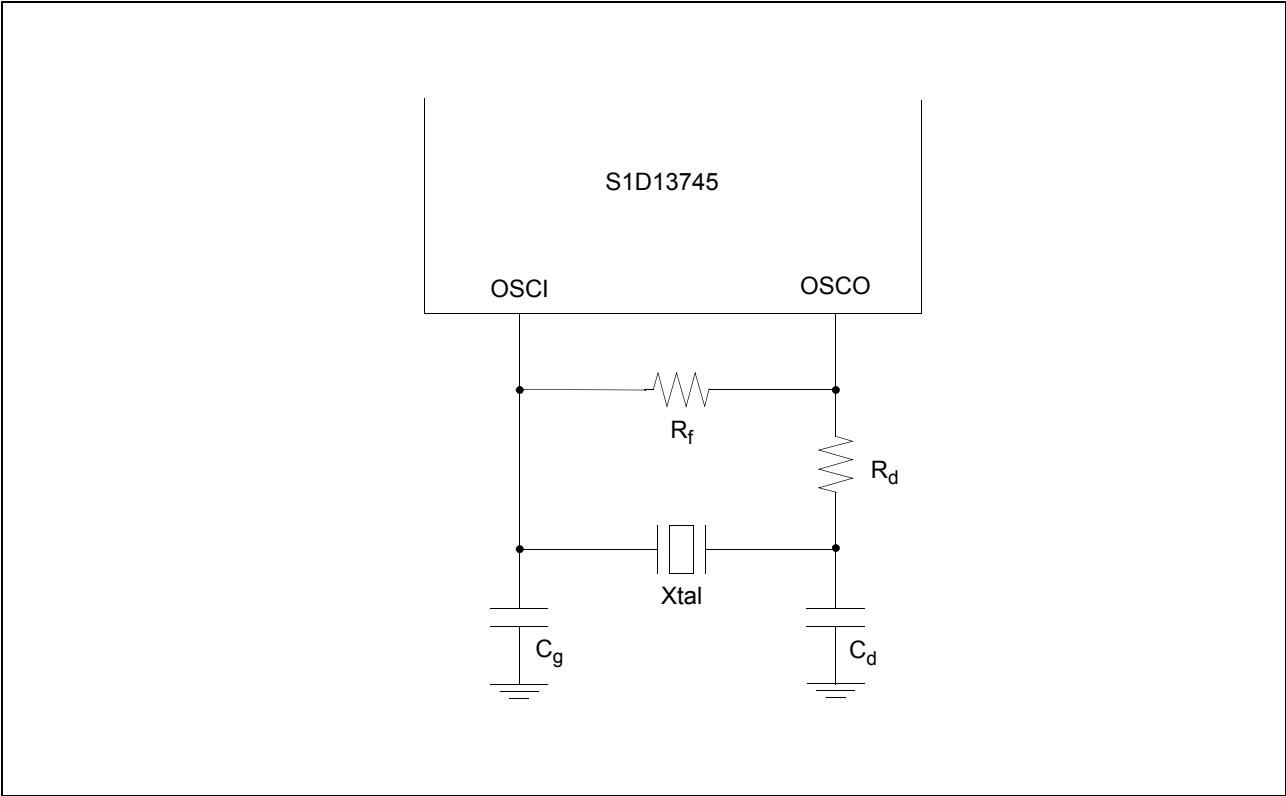


図28.5 外部水晶発振器回路

表28.1 外部発振器回路の推奨パラメータ

記号	パラメータ	Min	Typ	Max	単位
R <sub>f</sub>	Rf	—	1	—	MΩ
R <sub>d</sub>	Rd	—	820	—	Ω
C <sub>g</sub>	Cg	—	5.6	—	pF
C <sub>d</sub>	Cd	—	5.6	—	pF
Xtal	水晶の基本モード	2	27	40	MHz

## 29. アナログ電源に関する注意点

PLL、DACA、SPVDD、およびSAVDDの回路はアナログ回路であるため、入力クロック波形や電源のノイズに大きく影響されます。クロックまたは電源のノイズは、これらの回路の動作を不安定にしたり、ジッタを増大させることがあります。

このようなノイズの制約により、これらの回路に対する電源トレースまたは電源プレーンを他の電源のものから分離することを強く推奨します。さらに、電源のノイズをできるだけ除去するためにフィルタリングを実施してください。

PLL、DACA、SPVDD、およびSAVDDの回路にノイズの少ない電源を供給するための指針を以下に記載します。これを実践すれば、従来よりノイズの少ない安定したクロックが実現します。一部を実践するだけでも効果があります。

### 29.1 アナログ電源配置の指針

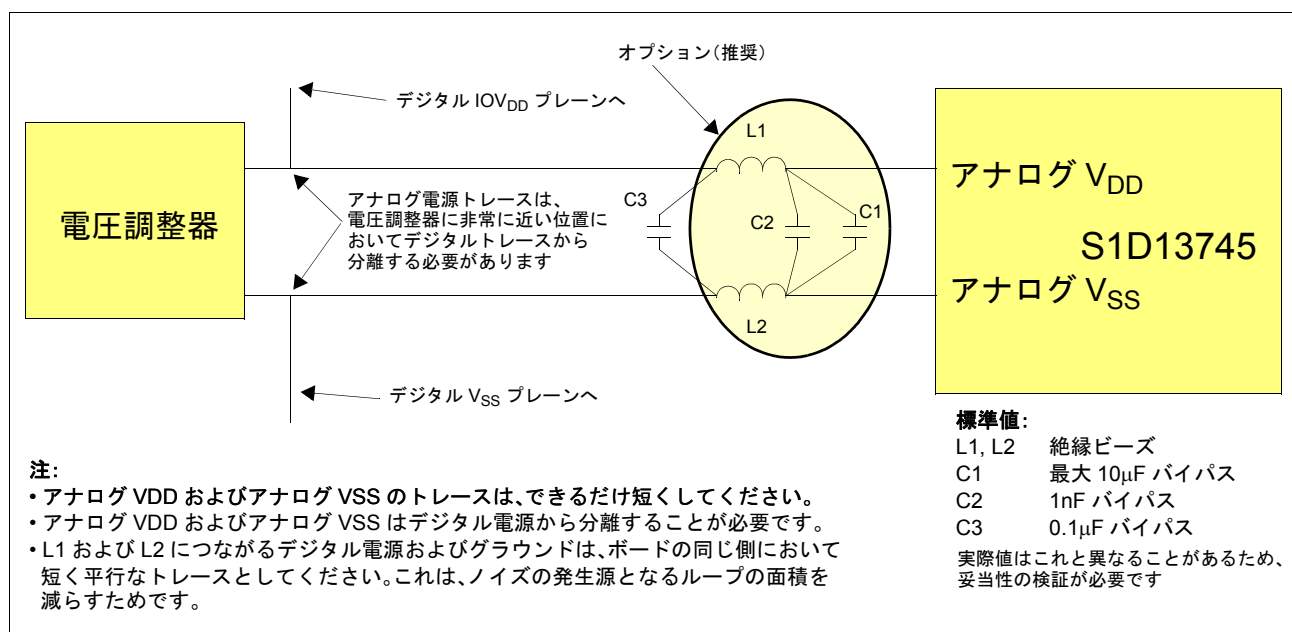


図29.1 アナログ電源のレイアウト

## 29. アナログ電源に関する注意点

---

- 絶縁ビーズ（L1とL2）は最小限の距離を隔てて互いに平行に配置します。両方のバイパス容量（C2とC3）はできるだけコイルに近づけてください。C3から電源プレーンまでのトレースは、間に少し隙間を空けてボードの同じ側において短く平行なトレースとしてください。ここでループ領域が大きいとノイズの原因になります。ボード上に電圧調整器がある場合は上記電源トレースを電源プレーンに落とすのではなく、電圧調整器に直接つなげてください（その場合でも並行トレースに関する上記の指針に従ってください）。
- バイパス容量（C2）がグラウンド絶縁コイル（L2）に接続されるアナロググラウンドポイントは、グラウンドスタートボロジのアナロググラウンド中央ポイントになります。MGE（PLL<sub>VSS</sub>）のアナロググラウンド端子に直接つながる素子は、C2からPLL<sub>VSS</sub>端子に至る1本の短いトレースのみです。大型のバイパスコンデンサ（C1）のグラウンド側も、上記スターポイントに直接接続してください。
- アナロググラウンドに関する上記のスタートボロジのルールは、L2とC2がつながるアナログ電源接続にも適用されます。
- トレースの長さはすべてできるだけ短くしてください。
- 可能であれば、すべてのPLLトレースをボード上の同じ側の外層に配置します。唯一の例外はC1であり、必要であればボードの反対側に配置することができます。C1は、他の素子ほどアナロググラウンドと電源スターポイントの近くに配置する必要はありません。
- 可能であれば、部分プレーンはPLL領域（PLL素子およびトレースがある領域）にのみ設置してください。全体アナログプレーンはC2（バイパス）のパッドに接地してください。このプレーンは大きすぎると役に立ちません。これは同じボード領域において他層の信号とのカップリングを防ぐ静電シールドの役割を確実に果たします。このようなアナログプレーンが可能でない場合は、PLL素子の下の層を信号層ではなくデジタル電源プレーンにするよう検討してください。
- 可能であれば、すべての層において他のボード信号がPLL端子ビアのすぐ隣を通らないように配慮してください。
- 可能なかぎり、特にアナロググラウンドとC2のいずれかの側の電源スター接続部には、厚いトレースを使用してください。そして、できるだけ素子のパッド幅に合わせてください。薄いトレースは大きな誘導作用をもちます。

製造上の制約によっては、上記のようなグラウンドと電源スター接続部の引き回しが実施できないことがあります。たとえば、幅の広い4本のトレースが1つのパッドに集中すると、組立工程においてコンデンサのパッド周辺の銅製トレースがすべて熱作用を受け、リフローの問題を引き起こす可能性があります。考えられる1つの対処法は、パッドに接続するトレースを1つに制限し、他のトレースをすべてパッドからできるだけ近い位置においてこの幅広トレースに接続することです。もう1つ考えられるのは、すべてのトレースをパッドに接続するとともに、パッドの周りにサーマルリリーフを設けて銅接続を遮断することです。一方で、ボードは最終的に製造可能でなくてはならないため、最善の対処をすれば合格です。

---

## 30. 素子に関する制限事項

### 30.1 レジスタのリード／ライト

- ホストがREG[8Eh]、REG[90h]、REG[B6h]、またはREG[B8h]へのアクセス直後にオートインクリメントリードを行う場合は、間にダミーの読み出しまたは書き込みを入れる必要があります。
- 予約レジスタには書き込みを行わないでください。オートインクリメントモードのとき、ホストは予約レジスタをダミーで読み出すか、または予約レジスタの前にある最後の有効レジスタを処理したあとにオートインクリメントを停止し、次の有効レジスタからオートインクリメントを再開するものとします。

31. メカニカルデータ

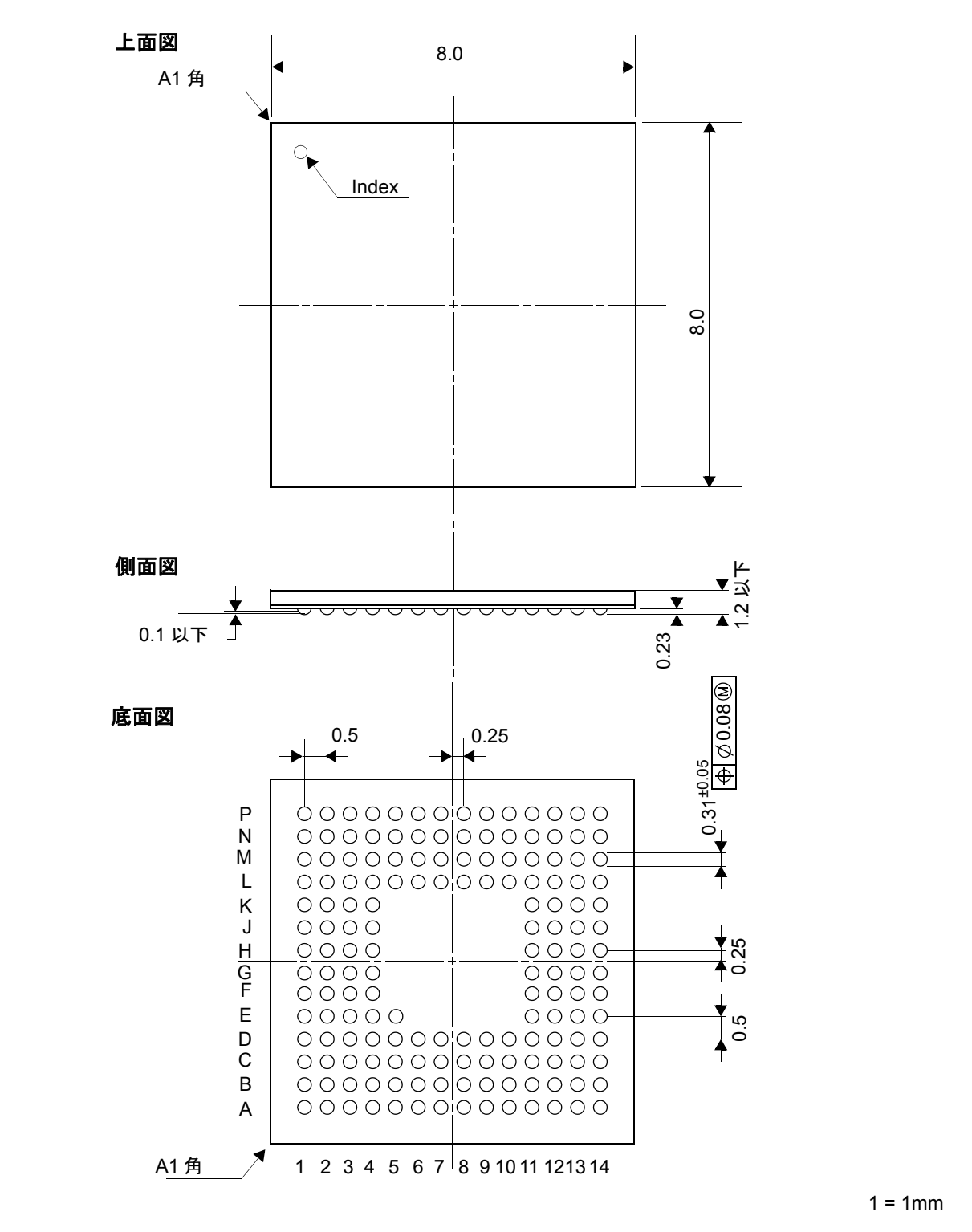
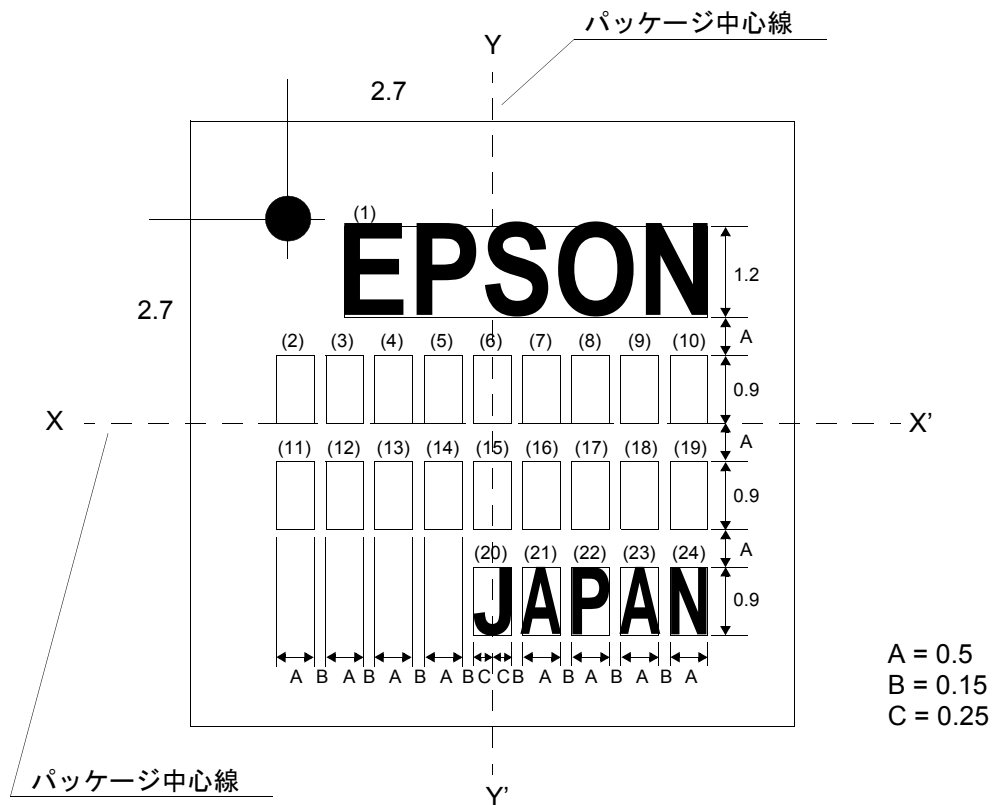
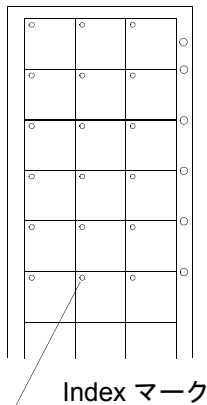


図31.1 S1D13745のPFBGA 161ピンパッケージ

単位 = mm

行数と列数は  
決まっています



項目	番号	備考
指定のロゴ	(1)	
デバイス名	(2) ~ (5)	D745
ダイ版数コード	(6)	
パッケージタイプ	(7)	B: PFBGA
プロセスおよびパッケージ版数コード	(8)	
[空白]	(9) ~ (10)	
制御コード	(11) ~ (19)	
製造年	(12) ~ (13)	西暦の下2桁
製造週	(14) ~ (15)	その年の暦週
組立ロット番号	(16) ~ (19)	
JAPAN	(20) ~ (24)	

図31.2 S1D13745パッケージのマーキング

## 32. 参考資料

---

### 32. 参考資料

S1D13745A01に関する追加情報が以下の文書に記載されています。文書番号は文書名に続くカッコ内に記載しています。すべての文書はEpson Research and Developmentウェブサイト [www.erd.epson.com](http://www.erd.epson.com) でご覧いただけます。

- 『S1D13745 Product Brief (S1D13745の製品概要)』 (X73A-C-001-xx)

## 33. 販売およびテクニカルサポート

### AMERICA

#### EPSON ELECTRONICS AMERICA, INC.

##### HEADQUARTERS

2580 Orchard Parkway  
San Jose, CA 95131, USA  
Phone: +1-800-228-3964 FAX: +1-408-922-0238

#### SALES OFFICES

##### Northeast

301 Edgewater Place, Suite 210  
Wakefield, MA 01880, U.S.A.  
Phone: +1-800-922-7667 FAX: +1-781-246-5443

### EUROPE

#### EPSON EUROPE ELECTRONICS GmbH

##### HEADQUARTERS

Riesstrasse 15 Muenchen Bayern, 80992 GERMANY  
Phone: +49-89-14005-0 FAX: +49-89-14005-110

### ASIA

#### EPSON (CHINA) CO., LTD.

7F, Jinbao Bldg., No. 89 Jinbao St., Dongcheng District,  
Beijing 100005, China  
Phone: +86-10-6410-6655 FAX: +86-10-6410-7320

#### SHANGHAI BRANCH

7F, Block B, Hi-Tech Bldg., 900, Yishan Road,  
Shanghai 200233, CHINA  
Phone: +86-21-5423-5522 FAX: +86-21-5423-5512

#### EPSON HONG KONG LTD.

20/F., Harbour Centre, 25 Harbour Road  
Wanchai, Hong Kong  
Phone: +852-2585-4600 FAX: +852-2827-4346  
Telex: 65542 EPSCO HX

#### EPSON (CHINA) CO., LTD.

##### SHENZHEN BRANCH

12/F, Dawning Mansion, Keji South 12th Road,  
Hi-Tech Park, Shenzhen  
Phone: +86-755-2699-3828 FAX: +86-755-2699-3838

#### EPSON TAIWAN TECHNOLOGY & TRADING LTD.

14F, No. 7, Song Ren Road,  
Taipei 110  
Phone: +886-2-8786-6688 FAX: +886-2-8786-6660

#### EPSON SINGAPORE PTE., LTD.

1 HarbourFront Place,  
#03-02 HarbourFront Tower One, Singapore 098633  
Phone: +65-6586-5500 FAX: +65-6271-3182

#### SEIKO EPSON CORPORATION

##### KOREA OFFICE

50F, KLI 63 Bldg., 60 Yoido-dong  
Youngdeungpo-Ku, Seoul, 150-763, KOREA  
Phone: +82-2-784-6027 FAX: +82-2-767-3677

##### GUMI OFFICE

2F, Grand B/D, 457-4 Songjeong-dong,  
Gumi-City, KOREA  
Phone: +82-54-454-6027 FAX: +82-54-454-6093

#### セイコーエプソン株式会社 半導体事業部

##### IC 営業部

##### <IC 国際営業グループ>

東京 〒191-8501 東京都日野市日野 421-8  
TEL(042)587-5816(直通) FAX(042)587-5624

### 33.1 ご注文方法

S1D13745 Mobile Graphic Engineのご注文については、最寄りのEpson販売代理店までご連絡ください。



**セイコーエプソン株式会社**  
半導体事業部 IC 営業部

---

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 411481400  
2008 年 7 月 作成