

S1D13746

TV 出力 Mobile Graphics Engine
テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

| | |
|--|----|
| 1. はじめに | 1 |
| 1.1 適用範囲 | 1 |
| 1.2 略語と頭字語 | 1 |
| 1.3 S1D13746 TV 出力 Mobile Graphics Engine ファミリ | 2 |
| 2. 動作概要 | 3 |
| 2.1 TV のサポート | 3 |
| 2.1.1 ウィンドウデータの書き込み | 3 |
| 2.1.2 縮小処理機能 | 4 |
| 2.1.3 ウィンドウの回転 | 4 |
| 2.1.4 複数の TV ウィンドウ | 4 |
| 2.1.5 単一の TV ウィンドウ | 5 |
| 2.1.6 TV ウィンドウのボーダーをサポート | 5 |
| 2.1.7 TV ウィンドウのダブルバッファ処理 | 5 |
| 3. 特長 | 10 |
| 3.1 内蔵ディスプレイバッファ | 10 |
| 3.2 CPU インタフェース | 10 |
| 3.3 入力データフォーマット | 10 |
| 3.4 TV 表示のサポート | 10 |
| 3.5 TV 表示の特長 | 11 |
| 3.6 画像強化エンジン | 11 |
| 3.7 クロックソース | 11 |
| 3.8 その他 | 12 |
| 4. 機能ブロック図 | 13 |
| 5. 端子配置図 | 14 |
| 5.1 パッケージの端子マッピング | 14 |
| 5.2 端子説明 | 16 |
| 5.2.1 Intel 80 ホストインターフェース | 17 |
| 5.2.2 シリアル周辺インターフェース (SPI) | 18 |
| 5.2.3 TV インタフェース | 19 |
| 5.2.4 クロック | 20 |
| 5.2.5 その他 | 21 |
| 5.2.6 電源およびグラウンド | 22 |
| 5.3 構成オプションの要約 | 23 |
| 6. 端子マッピング | 24 |
| 6.1 Intel 80 データ端子 | 24 |
| 6.2 パラレル RGB データ端子 | 24 |

| | |
|--|----|
| 7. DC 特性 | 25 |
| 7.1 絶対最大定格 | 25 |
| 7.2 推奨動作条件 | 25 |
| 7.3 電気的特性 | 26 |
| 7.4 DAC 特性 | 27 |
| 7.5 電力推定のガイドライン | 28 |
| 8. AC 特性 | 29 |
| 8.1 クロックタイミング | 29 |
| 8.1.1 入力クロック | 29 |
| 8.1.2 OSC クロック | 30 |
| 8.1.3 PLL クロック | 30 |
| 8.2 リセットタイミング | 32 |
| 8.3 ホストインターフェースのタイミング | 33 |
| 8.3.1 Intel 80 インターフェースのタイミング | 33 |
| 8.4 シリアルインターフェースのタイミング | 36 |
| 8.4.1 3 線シリアルインターフェースのタイミング | 36 |
| 8.4.2 4 線シリアルインターフェース (SPI) のタイミング | 37 |
| 8.5 パラレル RGB インターフェースのタイミング | 38 |
| 8.5.1 垂直タイミング | 38 |
| 8.5.2 水平タイミング | 39 |
| 8.5.3 PCLK に対する入力信号のタイミング | 39 |
| 8.6 TV のタイミング | 40 |
| 8.6.1 TV 出力のタイミング | 40 |
| 8.6.2 TV 出力のパラメータ | 44 |
| 9. クロック | 54 |
| 9.1 クロック機能ブロック図 | 54 |
| 9.2 PLL 機能ブロック図 | 55 |
| 10. メモリマップ | 56 |
| 11. レジスタ | 57 |
| 11.1 レジスタマッピング | 57 |
| 11.2 レジスタセット | 58 |
| 11.3 レジスタの説明 | 60 |
| 11.3.1 製品情報レジスタ | 60 |
| 11.3.2 クロック構成レジスタ | 61 |
| 11.3.3 TV 構成レジスタ | 66 |
| 11.3.4 入力データ制御レジスタ | 82 |
| 11.3.5 表示出力制御レジスタ | 91 |
| 11.3.6 表示メモリアクセスレジスタ | 98 |
| 11.3.7 3 × 3 ピクセルマトリックスフィルタレジスタ | 99 |

| | |
|--|------------|
| 11.3.8 その他のレジスタ | 110 |
| 11.3.9 汎用 IO 端子レジスタ | 113 |
| 12. Intel 80、8 ビットインターフェースのカラーフォーマット | 115 |
| 12.1 8bpp モード (RGB 3:3:2)、256 色 | 115 |
| 12.2 16bpp モード (RGB 5:6:5)、65,536 色 | 116 |
| 12.3 18bpp (RGB 6:6:6)、262,144 色 | 117 |
| 12.4 24bpp (RGB 8:8:8)、16,777,216 色 | 118 |
| 13. Intel 80、16 ビットインターフェースのカラーフォーマット | 119 |
| 13.1 8bpp (RGB 3:3:2)、256 色 | 119 |
| 13.2 16bpp (RGB 5:6:5)、65,536 色 | 120 |
| 13.3 18bpp モード 1 (RGB 6:6:6)、262,144 色 | 121 |
| 13.4 18bpp モード 2 (RGB 6:6:6)、262,144 色 | 122 |
| 13.5 24bpp モード 1 (RGB 8:8:8)、16,777,216 色 | 123 |
| 13.6 24bpp モード 2 (RGB 8:8:8)、16,777,216 色 | 124 |
| 14. YUV タイミング | 125 |
| 14.1 Intel 80 の 8 ビットインターフェースでの YUV 4:2:2 | 126 |
| 14.2 Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 奇数ライン | 126 |
| 14.3 Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 偶数ライン | 127 |
| 14.4 Intel 80 の 16 ビットインターフェースでの YUV 4:2:2 | 128 |
| 14.5 Intel 80 の 16 ビットインターフェースでの YUV 4:2:0 奇数ライン | 129 |
| 14.6 Intel 80 の 16 ビットインターフェースでの YUV 4:2:0 偶数ライン | 130 |
| 15. SwivelView™ | 131 |
| 15.1 SwivelView™ の概念 | 131 |
| 15.2 90° SwivelView™ | 132 |
| 15.2.1 レジスタのプログラミング | 132 |
| 15.3 180° SwivelView™ | 133 |
| 15.3.1 レジスタのプログラミング | 133 |
| 15.4 270° SwivelView™ | 134 |
| 15.4.1 レジスタのプログラミング | 134 |
| 15.5 サブウィンドウの位置 / 回転 | 135 |
| 16. 画像強化エンジン | 136 |
| 16.1 3 x 3 フィルタ | 136 |
| 16.1.1 プログラミング値の例 | 138 |
| 17. ホストインターフェース | 139 |
| 17.1 Intel 80 インタフェース | 139 |
| 17.1.1 レジスタライト手順 | 140 |
| 17.1.2 レジスタリード手順 | 141 |
| 17.1.3 連続メモリライト手順 | 142 |
| 17.2 シリアルホストインターフェース | 143 |

| | |
|---|------------|
| 17.2.1 3線9ビット | 143 |
| 17.2.2 SPI インタフェース | 146 |
| 18. パラレルRGB インタフェース入力 | 150 |
| 18.1 幅と高さの自動検出 | 150 |
| 19. VBI とワイドスクリーンの信号送出機能 | 152 |
| 19.1 CEA-608-B の自動モード | 153 |
| 19.2 CEA-608-B の手動モード | 154 |
| 20. 標準的な使用例の説明 | 155 |
| 20.1 S1D13746 の初期化 | 155 |
| 20.1.1 初期化のフローチャート | 156 |
| 20.2 TV 表示用の画像の書き込み | 159 |
| 20.3 使用例のフローチャート | 160 |
| 20.3.1 ホストによる背景の書き込み | 160 |
| 20.3.2 ホストによるオーバーレイの書き込み | 161 |
| 20.3.3 ストリーミング背景 | 162 |
| 20.3.4 背景とストリーミングオーバーレイ | 163 |
| 20.3.5 TE を使用して VSYNC で更新 | 166 |
| 20.4 例: TV ウィンドウのダブルバッファ処理のイネーブル | 167 |
| 21. ダブルバッファの説明 | 169 |
| 21.1 ダブルバッファの制限事項 | 171 |
| 22. TV フィルタ動作 | 172 |
| 22.1 ルミナンス (Y) とカラー (UV) のカスタムフィルタ係数の生成 | 172 |
| 22.1.1 フィルタパラメータ | 173 |
| 23. パワーセーブモード | 176 |
| 23.1 スリープモード | 176 |
| 23.2 スタンバイモード | 178 |
| 24. 外付け部品 | 180 |
| 24.1 DAC の外付け部品 | 180 |
| 24.2 水晶発振器回路 | 182 |
| 25. アナログ電源の検討事項 | 183 |
| 25.1 アナログ電源の配置のガイドライン | 183 |
| 26. メカニカルデータ | 185 |
| 27. 参考資料 | 190 |
| 改訂履歴表 | 191 |

1. はじめに

1.1 適用範囲

本書は、LCD コントローラ S1D13746 のテクニカルマニュアルです。本書には、タイミング図、AC および DC 特性、レジスタの説明および電力管理の説明などが記載されています。

本書は、システム設計者とソフトウェア開発者を対象としています。

英語版の S1D13746 TV Out Mobile Graphics Engine Hardware Functional Specification が正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、
http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm
<http://vdc.epson.com/>
からダウンロードできます。

1.2 略語と頭字語

本書では、以下の略語と頭字語を使用しています。

他の表示 (b は 2 進数、h は 16 進数) がない限り、数字はすべて 10 進数です。

$k = 2^{10} = 1024$ (メモリに関して使用するとき)

b = ビット

B = バイト

bpp = ビット / ピクセル

msb = 最上位ビット

lsb = 最下位ビット

IO = 入力 / 出力

LUT = ルックアップテーブル

NC = 未接続

YYC = YUV/YUV コンバータ

YRC = YUV/RGB コンバータ

RYC = RGB/YUV コンバータ

VDP = 垂直表示期間

VNDP = 垂直非表示期間

DDS = デジタルダイレクトシンセサイズ

POUT = PLL 出力

1.3 S1D13746 TV 出力 Mobile Graphics Engine ファミリ

S1D13746 TV 出力 Mobile Graphics Engine ファミリには現在、S1D13746B00 と S1D13746B01 があります。以下の表には、これらのデバイスの違いを記載しています。

表 I-1: S1D13746B0x の比較

| デバイス | 機能の違い |
|-------------|--|
| S1D13746B00 | 基本設計 |
| S1D13746B01 | <p>S1D13746B00 のすべての機能に以下の機能が加わります。</p> <ul style="list-style-type: none">GPIO 割り込みと GPIO レジスタは非同期であり、スリープモードで完全に機能します。TV 出力のクロミナンスとルミナンスのフィルタを 11-TAP から 15-TAP に改良し、コンポジット出力を強化しています。NTSC コンポジットモード用にドットクロールの削除回路を追加しています。より鮮明な出力画像を得るために入出力スケーラを強化しています。最大 3072 x 4092 の画像サイズを入力できるようにするために入力プレスケーラ(デシメーションスケーラ)を追加しています。18MHz ~ 27MHz の幅広い周波数範囲で動作するように TV ブロックを変更しています。また CLKI/OSCI と 2 で除算した PLL 出力の間で TV ブロックを選択できるようにするためにクロックソースを変更しています。これにより、1MHz ~ 54MHz の範囲で CLKI/OSCI を実行することができます。スクエアピクセルを表示する出力ウィンドウ幅を自動縮小するスクエアピクセル補正イネーブルビットを追加しています。TE (ティアリング効果) 信号に 2 つの端子機能を追加しています。IO セルを Fail safe タイプに変更しています。PWRSVE 入力のプルダウン抵抗を取り除いています。 |
| S1D13746F01 | S1D13746B01 のすべての機能 (QFP15 128 端子パッケージ) |

2. 動作概要

S1D13746 は、複数のウィンドウと方向を表示できるようにするダイレクト TV 出力機能を備えた Mobile Graphics Engine です。

S1D13746 には、312KB のディスプレイバッファが含まれています。メモリ空間を上回る入力解像度は、メモリ空間に収まるように自動的に縮小されます。最終的な出力表示は、PAL や NTSC で定義されている標準の TV 解像度に合わせて拡大したりボーダー処理をすることができます。

ビデオのストリーミング中に画像が途切れないように TV 出力をダブルバッファ処理することができます。また TV 出力はフレームレートコンバータの機能を果たすこともできるので、PAL や NTSC の出力タイミングを維持しながら遅い入力ビデオストリーミングが可能となります。

入力データは、Intel 80 プロトコルを使用してホストプロセッサもしくは、標準の TFT ディスプレイ出力（パラレル RGB インタフェース）から得ることができます。S1D13746 は、標準の TFT ディスプレイ出力に直接接続できます。この場合、レジスタはシリアルインターフェースを使用してプログラミングされ、S1D13746 は、TV での表示に合わせて TFT 出力データを適切に変換します。

すべての画像データは、Input/Output Window Size/Position レジスタを使用し、ディスプレイメモリデータポートを使用してアクセスされます。その後のウィンドウは、destructive overlay であると見なされます。各ウィンドウは、独立した回転と位置の特性を保持することができます。

S1D13746 は、Intel 80 CPU インタフェースからの DMA バーストアクセスを受け入れるように設計されています。ディスプレイバッファへのすべてのアクセスは、ディスプレイメモリデータポートを経由して処理されます。

2.1 TV のサポート

S1D13746 は、解像度と出力フォーマットに関して、PAL と NTSC の両方の出力規格に準拠しています。またコンポジット出力と S ビデオ出力の両方のフォーマットに対応しています。S1D13746 は、RGB、YUV 4:2:2、および YUV 4:2:0 の複数の入力フォーマットに対応しています。すべてのデータは変換されて YUV 4:2:0 として格納されます。

2.1.1 ウィンドウデータの書き込み

ウィンドウデータは、Intel 80 インタフェースを経由してホストプロセッサによって書き込まれるか、またはパラレル RGB インタフェースによって入力されます。Intel 80 プロセッサの場合、ウィンドウのサイズは不同ですが、パラレル RGB インタフェースの場合、水平と垂直の入力タイミングによってウィンドウのサイズは自動的に決まります。

2. 動作概要

2.1.2 縮小処理機能

- ホスト入力データは、利用可能なメモリに収まるように縮小することができます。
- 入力スケーラ論理回路には、入力サイズが必要であり、パラレルRGBインターフェースを使用している場合はホストによってプログラミングされるか自動的に計算されます。利用可能なメモリは、ディスプレイバッファ全体 (312KB) か、あるいはダブルバッファ機能をイネーブルにしている場合は 156KB になります。メモリに対して必要となる入力サイズの縮小率は、自動的に計算されます。
- メモリ出力データ (TV に表示するためのデータ) は、TV での表示に合わせて拡大することができます (ディスプレイ出力スケーラ)。
- 得られた拡大の解像度が、PAL や NTSC 規格で定義された最大解像度に等しくない場合、自動的にボーダーが生成され、得られた画像はそのボーダー内でセンタリングされます。
- TV に複数の画像を表示する場合、最初の背景画像によって、メモリに対する縮小率とディスプレイに対する拡大率の両方が決まります。この縮小率と拡大率が他のすべてのウィンドウで使用されます。
- TV に複数の画像を表示する場合、その後に続くすべてのウィンドウは、(オートセンタリングされた) 背景画像の左上を位置の基準としています。

2.1.3 ウィンドウの回転

SwipeView™ によって、ホストが書き込んだ画像ウィンドウを反時計方向に 90°、180°、および 270° にハードウェア回転させることができます。すべてのウィンドウは、メモリに書き込むときに独立した回転を保持することができます。これらのモードをイネーブルにするときに、プログラミングを追加する必要はありません。

2.1.4 複数の TV ウィンドウ

複数の「ウィンドウ」を TV ディスプレイに `destructive` に書き込むことができます。複数のウィンドウが必要な場合、最初に書き込んだウィンドウは「背景」と見なされます。その後のウィンドウはすべて、メモリの背景画像の上に「重ねて」格納されるので、`destructive` であると見なされます。

透明性を備えた複数の TV ウィンドウ

`destructive` なウィンドウはいずれも、そのウィンドウに透明色を関連付けることができます。透明でないピクセルだけが、実際にメモリに書き込まれます。最初にウィンドウは、メモリ内に収まるように (必要に応じて) 縮小されます。スケーラの後、ピクセルは透明色用にプログラミングされた 24 ビットの YUV 値と比較されます。

透明機能を使用するモードには、次の 3 つのモードがあります。

1. 通常モード : 縮小して得られたピクセルが透明色に等しい場合、そのピクセルはメモリには書き込まれません。このモードでは、不透明色の周囲にカラーアーチファクト (画質劣化) が生じます。

2. 白黒モード：このモードでは、透明色は黒または白に限定され、可視色は反対色になります。このモードでは、すべてのピクセルが強制的に透明または不透明のいずれかにされるため、いずれのカラー・アーチファクトも最小限に抑えられます。
3. テキストモード：このモードでは、Transparency Color Register から算出される透明色の輝度範囲によってピクセルが透明か不透明かが決まります。このモードは白黒モードと同様の効果がありますが、より多くのカラー・アーチファクトが取り除かれます。

2.1.5 単一の TV ウィンドウ

単一のウィンドウだけが必要な場合、S1D13746 は、メモリ内に収まるように入力データを縮小したり、TV での表示に合わせて拡大したりできます。また最終出力がフルスクリーンでない場合にはオートセンタリングやオートボーダーを行うことができます。

2.1.6 TV ウィンドウのボーダーをサポート

得られた画像のサイズ（拡大後）が TV 出力解像度（PAL または NTSC）に等しくない場合、S1D13746 は、ウィンドウの周りにプログラム可能なボーダーカラーを生成します。このウィンドウは、ボーダー内でセンタリングされます。

2.1.7 TV ウィンドウのダブルバッファ処理

単一の TV ウィンドウは、ストリーミング入力のティアリングを防止するためにダブルバッファ処理することができます。このウィンドウは、画面解像度の全体を使用することもできれば、一部だけを使用することもできます。

ストリーミングビデオのウィンドウを構成するとき、S1D13746 は、ウィンドウの座標に基づいて入力データを自動的にダブルバッファ処理します。このウィンドウが画面の一部だけの場合、「背景」の静止部分とバッファ処理されたウィンドウデータの 1 つにバッファ #1 が使用されます。バッファ #2 は、ダブルバッファ処理されたもう 1 つのウィンドウデータのみに使用され、背景の静止データはバッファ #2 には含まれません。

TV表示パイプは書き込みを完了したバッファのデータだけを使用しているので、画面上の静止情報を更新するためにストリーミングウィンドウを中断することが許されています。このため、次のバッファが準備できるまで、単一のバッファが繰り返して表示される場合があります。表示パイプがバッファ #2 を使用しているときにダブルバッファがディセーブルになると、背景情報が含まれたバッファはバッファ #1 だけであるため、表示パイプは元どおりバッファ #1 を使用します。ダブルバッファ機能は、PAL および NTSC 規格で定義された最大解像度に対応しています。

ダブルバッファ処理をイネーブルにすると、メモリは 156KB の 2 つのバンクに分割され、これまで利用可能であったメモリの半分以下に画像が収まるように、入力画像からメモリへの縮小率が大きくなります。

2. 動作概要

ホスト入力データ

(メモリに書き込み)

$360 \times 288 = \sim 152\text{KB}$ 。YUV 4:2:0 として格納されます。
この場合、メモリ内に収めるための入力データの縮小はありません。



ディスプレイ出力スケーラ

高さ = 720
幅 = 576

TV 表示

720 x 576



ホスト入力データ

(メモリに書き込み)

$320 \times 240 = \sim 112.5\text{KB}$ 。YUV 4:2:0 として格納されます。



ディスプレイ出力スケーラ

高さ = 640
幅 = 480

TV 表示

720 x 576



オートボーダー

ホスト入力データ

(メモリに書き込み、シングルレバッファ)

720 x 576 = 607.5KB@4:2:0



514 x 412 = ~310KB@4:2:0



312KB 以内に
収まるように縮小

2. 動作概要

ホスト入力データ

(メモリに書き込み)

720 x 576



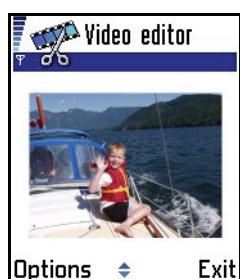
312KB 以内に
収まるように縮小

514 x 412 = ~312KB@4:2:0



ホスト入力データ (destructive window)

352 x 416



背景画像内に
収まるように縮小



メモリ出力データ



拡大およびボーダー処理



ホスト入力データ

(メモリに書き込み)



312KB 以内に
収まるように縮小



ホスト入力データ

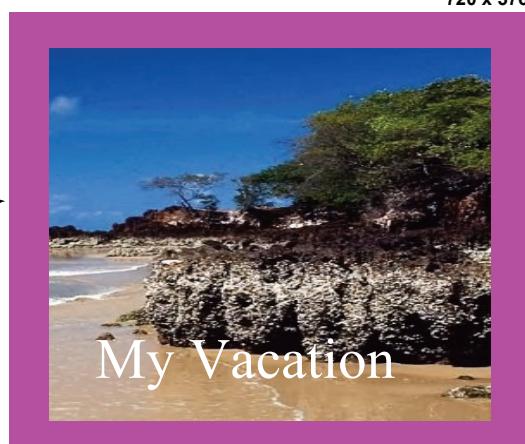
(透明性をイネーブル = 黒)

My Vacation



拡大およびボーダー処理

720 x 576



3. 特長

3. 特長

3.1 内蔵ディスプレイバッファ

- 312KB の SRAM ディスプレイバッファを内蔵

3.2 CPU インタフェース

- 8/16 ビットの Intel 80 インタフェース (表示またはレジスタデータに使用)
- パラレル RGB インタフェース (表示データ専用)
- 3 線シリアルインターフェース (レジスタデータ専用)
- チップセレクトを使用して S1D13746B01 を選択します。インアクティブのとき、入力データ / コマンドは無視されます。

3.3 入力データフォーマット

- RGB: 8:8:8、6:6:6、5:6:5、3:3:2
 - すべての RGB 入力データは、変換されて YUV 4:2:0 として格納されます。
- YUV: 4:2:2、4:2:0
 - すべての YUV 入力データは、変換されて YUV 4:2:0 として格納されます。

3.4 TV 表示のサポート

- PAL と NTSC の両方の TV 規格のためのコンポジット出力
- PAL と NTSC の両方の TV 規格のための S ビデオ出力
- プログラム可能な 15 タップのクロミナンス / ルミナンスフィルタ
- ワイドスクリーン信号のサポート (ITU-R BT.1119-2、ETSI EN 300 294、および IEC 61880 に準拠)
- クローズドキャプションのサポート (CEA-608-B)

3.5 TV 表示の特長

- 以下に示すように入力データを処理することができます。
- 利用可能なメモリに収まるように縮小することができます。
- 回転することができます。
- 透明色を関連付けることができます。
- TV での表示に合わせてメモリ出力データを拡大することができます。
- TV 画像を出力解像度に合わせて自動的に「ボーダー処理」します（拡大しない場合）。
- プログラム可能な YUV ボーダーカラー
- オートセンタリング
- 独立したアスペクト比をディスプレイ出力の高さ/幅の倍率に利用することができます。
- スクエアピクセル補正出力幅の調整

3.6 画像強化エンジン

- 3 x 3 ピクセルフィルタ
- ユーザー定義係数
 - 各 YUV コンポーネントの個別の制御
- 表示効果には以下が含まれます。
 - スムーズ、シャープ、ぼかし、ディテール、エッジ強調、エンボス、輪郭、フリッカーフィルタ、セピア

3.7 クロックソース

- プログラム可能な内部 PLL
 - 単一の発振器入力 : CLK1 (CNF2 により決定)
- または
- 2 端子水晶のサポート : OSCI、OSCO (CNF2 により決定)

注

適切な PAL と NTSC の出力タイミングを取得するためには、内部の TV DDS ロジックに 18MHz ~ 27MHz のクロックが必要となります。27MHz 以外のクロックソースについては、PLL を 54MHz 用にプログラムする必要があります。

- CLK1 を CLKOUT として利用可能 (個別の CLKOUTEN 端子を出力に関連付け)
 - ディセーブルのとき出力状態 = 0

3. 特長

3.8 その他

- ハードウェア / ソフトウェアのパワーセーブモード
 - パワーセーブモードをイネーブル / ディセーブルにする入力端子
- 汎用の入力 / 出力端子が利用可能 (GPIO[7:0])
 - 選択可能な GPIO 入力に INT 端子を関連付け
- パッケージ: **S1D13746B01B** PFBGA 100 Pin (7mm x 7mm)
S1D13746F01A QFP15 128 Pin

4. 機能ブロック図

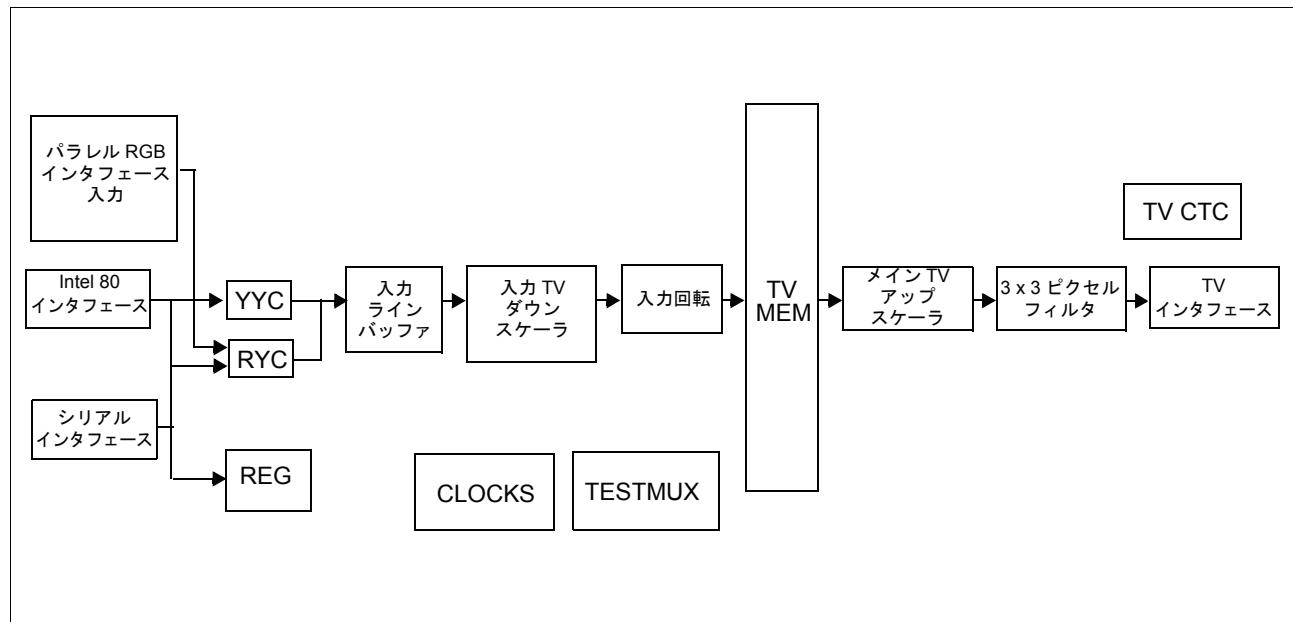


図 4-1: *SID13746* の機能ブロック図

5. 端子配置図

5. 端子配置図

5.1 パッケージの端子マッピング

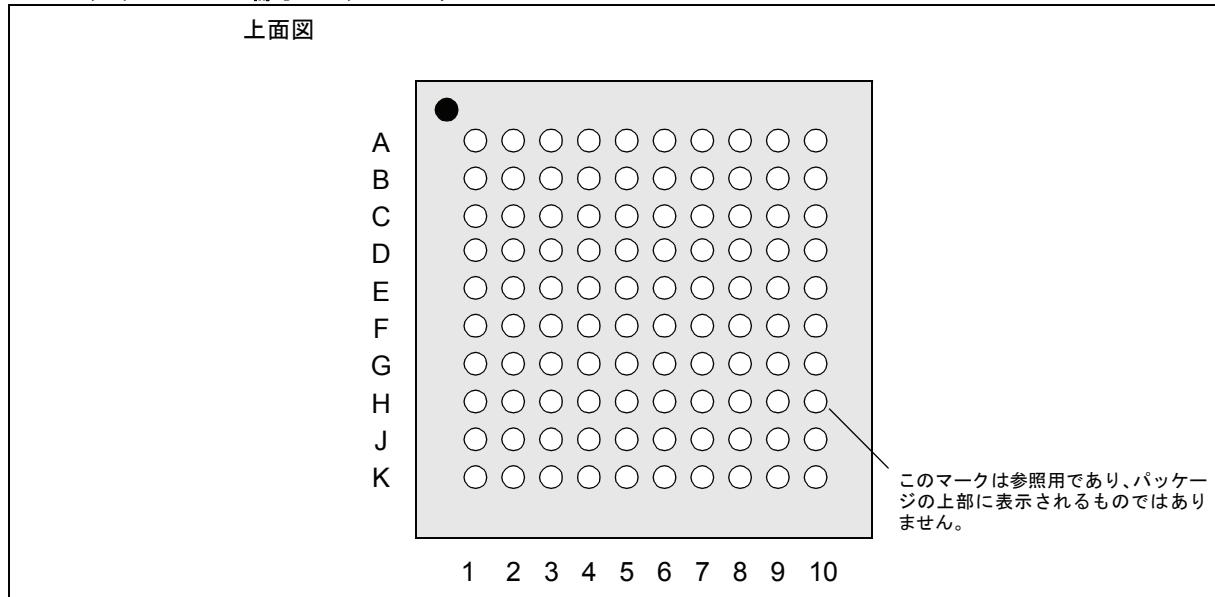


図 5-1: SID13746 の端子配置図 (PFBGA-100) - Top view

表 5-1: SID13746 の端子配置図 (PFBGA-100) - Top view

| A | NC | COREVDD | SCLK | SO | SI | VSS | PCLK | DE | VSS | NC |
|---|--------|---------|--------|--------|---------|----------|--------|--------|----------|---------|
| B | PWRSVE | TESTEN | GPIO7 | CS# | GPIO1 | GPIO0 | TE | D/C# | COREVDD | MD15 |
| C | SCANEN | TEST0 | GPIO6 | GPIO5 | GPIO2 | GPIO_INT | GPIO4 | WE# | VSS | MD13 |
| D | DACVEE | DACVCC | TEST2 | SIOVDD | GPIO3 | RESET# | IOVDD | MD11 | MD12 | MD9 |
| E | BOUT | DACVCC | DACVEE | TEST1 | CNF0 | RD# | MD10 | MD8 | MD7 | MD6 |
| F | DACVEE | VADJ | DACVCC | VSS | CNF1 | IOVDD | MD14 | MD5 | MD4 | MD3 |
| G | DACVEE | VREF | DACVEE | VSS | CNF3 | CNF2 | MD0 | MD1 | MD2 | COREVDD |
| H | AOUT | DACVCC | DACVCC | VSS | VSS | IOVDD | VSS | IOVDD | CLKOUTEN | CLKOUT |
| J | DACVEE | DACVEE | DACVCC | IOVDD | COREVDD | OSCVSS | OSCVDD | VCP | VSS | CLKI |
| k | NC | NC | DACVEE | VSS | VSS | OSCI | OSCO | PLLVDD | PLLVSS | NC |

注

NC と表示された端子は使用しません。未接続のままにしておく必要があります。

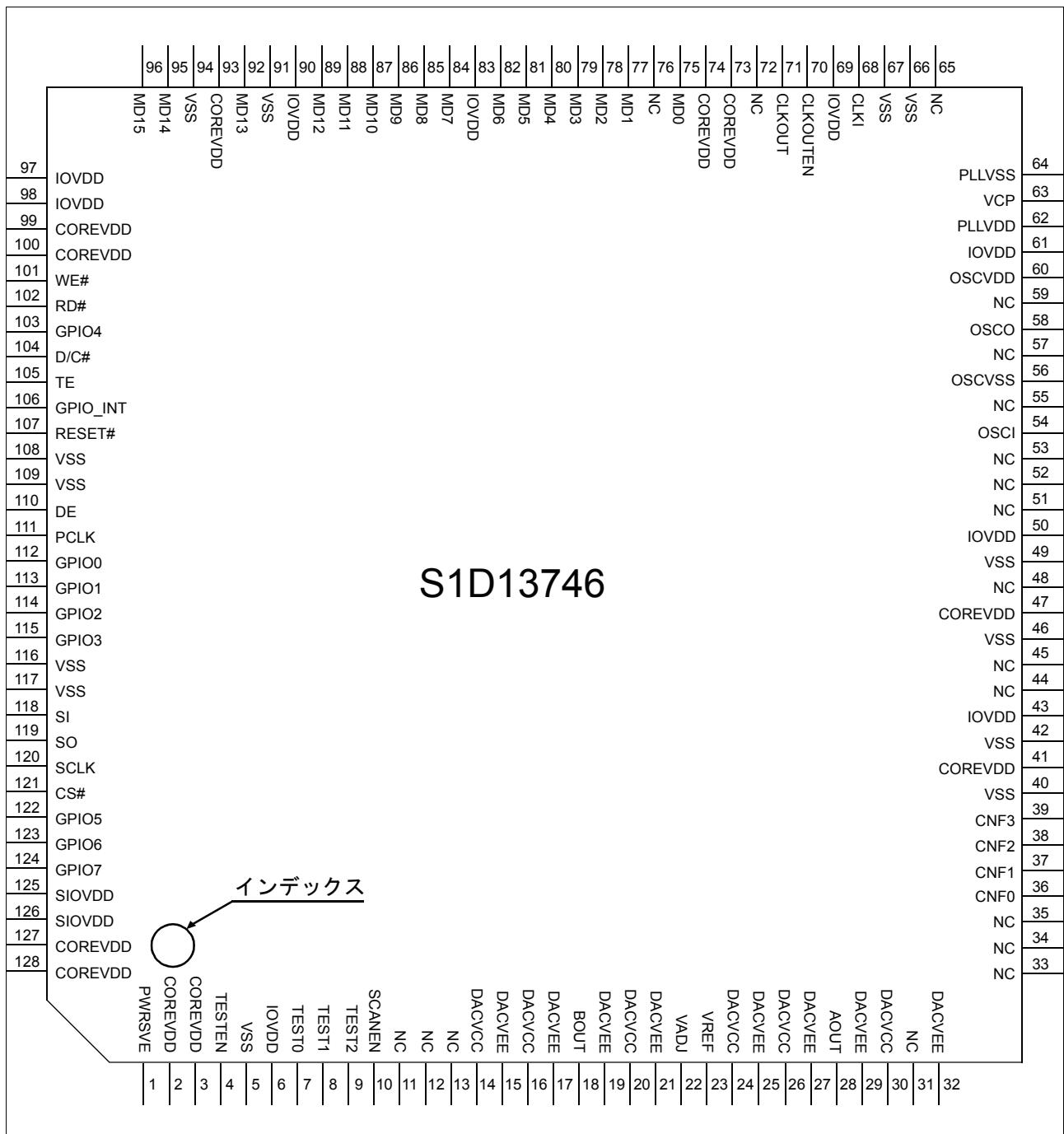


図5-2: SID13746 の端子配置図 (QFP15-128) - Top view

注

NC と表示された端子は使用しません。未接続のままにしておく必要があります。

5. 端子配置図

5.2 端子説明

略語の意味：

端子のタイプ

| | |
|----|---------------|
| I | = 入力 |
| O | = 出力 |
| IO | = 双方向（入出力） |
| P | = 電源端子 |
| AP | = アナログ電源端子 |
| G | = グラウンド端子 |
| AG | = アナロググラウンド端子 |

RESET#/パワーセーブステータス

| | |
|---|--------------------|
| H | = 高レベル出力 |
| L | = 低レベル出力 |
| Z | = ハイインピーダンス (Hi-Z) |

表 5-2: セルの説明

| セル | 説明 |
|------|---|
| HI | H 系（注 1）LVCMOS（注 3）入力バッファ（Fail safe 付き） |
| HIS | H 系 LVCMOS シュミット入力バッファ（Fail safe 付き） |
| HID | H 系 LVCMOS 入力バッファ（プルダウン抵抗および Fail safe 付き） |
| HO | H 系 LVCMOS 出力バッファ（Fail safe 付き） |
| HB | H 系 LVCMOS 双方向バッファ（Fail safe 付き） |
| HBD | H 系 LVCMOS 双方向バッファ（プルダウン抵抗および Fail safe 付き） |
| LIDS | L 系（注 2）LVCMOS シュミット入力バッファ（プルダウン抵抗付き） |
| LITR | L 系透明性入力バッファ |
| LOTR | L 系透明性出力バッファ |
| AIO | アナログ |

注

1. H 系は IOVDD および PIOVDD です（25 ページの 7.「DC 特性」を参照してください）。
2. L 系は COREVDD です（25 ページの 7.「DC 特性」を参照してください）。
3. LVCMOS は低電圧 CMOS です（25 ページの 7.「DC 特性」を参照してください）。

5.2.1 Intel 80 ホストインターフェース

表 5-3: ホストインターフェースの端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|----------|-----|--|---|----|--------|---------------|---------------------|--|
| MD[15:0] | IO | B10, F7, C10, D9, D8, E7, D10, E8, E9, E10, F8, F9, F10, G9, G8, G7 | 96, 95, 92, 89, 88, 87, 86, 85, 84, 82, 81, 80, 79, 78, 77, 75 | HB | IOVDD | Z | Z | <p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> Intel 80 インタフェースの場合、これらの端子はデータライン MD[15:0]になります。24 ページの 6.1 「Intel 80 データ端子」を参照してください。 パラレル RGB インタフェースの場合、これらの端子は入力データビット VD[17:2]になります。24 ページの 6.2 「パラレル RGB データ端子」を参照してください。 |
| WE# | I | C8 | 101 | HI | IOVDD | — | — | <p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> Intel 80 インタフェースの場合、この入力端子はライトイネーブル信号 (WE#)になります。 パラレル RGB インタフェースの場合、この入力端子はデータビット 1 (VD1)になります。 |
| RD# | I | E6 | 102 | HI | IOVDD | — | — | <p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> Intel 80 インタフェースの場合、この入力端子はリードイネーブル信号になります。 パラレル RGB インタフェースの場合、この入力端子はデータビット 0 (VD0)になります。 |
| CS# | I | B4 | 121 | HI | SIOVDD | — | — | この入力端子は、Intel 80 ホストインターフェースとシリアルインターフェースの両方のためのチップセレクト信号です。 |
| D/C# | I | B8 | 104 | HI | IOVDD | — | — | <p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> Intel 80 インタフェースの場合、この入力端子はアドレスとデータ (D/C#) のいずれかを選択します。 パラレル RGB インタフェースの場合、この入力端子は水平同期 (HS) になります。 |
| TE | IO | B7 | 105 | HB | IOVDD | L | L | <p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> Intel 80 インタフェースの場合、この端子はティアリング効果になります。この端子はディスプレイの VSYNC ステータスを反映します。この端子を使用して、ホストから新しいデータを安全に書き込めるタイミングを示すことにより、画像の視覚的なティアリングを防ぐことができます。 パラレル RGB インタフェースの場合、この入力端子は垂直同期 (VS) になります。 |

5. 端子配置図

表 5-3: ホストインターフェースの端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|----------|-----|---------------|-------------|-----|-------|---------------|---------------------|---|
| PCLK | I | A7 | 111 | HIS | IOVDD | — | — | この入力端子は、パラレル RGB インタフェースの PCLK 入力です。 パラレル RGB インタフェースを使用しない場合 (CNF[1:0] = 01 または 11)、この端子は VSS に接続する必要があります。 |
| DE | I | A8 | 110 | HI | IOVDD | — | — | この入力端子は、パラレル RGB インタフェースの DE 入力です。 パラレル RGB インタフェースを使用しない場合 (CNF[1:0] = 01 または 11)、この端子は VSS に接続する必要があります。 |
| GPIO_INT | O | C6 | 106 | HO | IOVDD | L | L | この端子は、GPIO 端子が入力として構成されているときに、その GPIO 端子に関連付けられる割り込み出力です。GPIO の割り込みが発生すると、この出力端子が HIGH に駆動されます。詳細については、113 ページの 11.3.9 「汎用 IO 端子レジスタ」にある RFG[F0h] ~ REG[FAh] のレジスタの説明を参照してください。 |
| RESET# | I | D6 | 107 | HIS | IOVDD | — | — | このアクティブ LOW 入力は、すべての内部レジスタをデフォルト状態に設定し、すべての信号を強制的にインアクティブ状態にします。 |

5.2.2 シリアル周辺インターフェース (SPI)

表 5-4: SPI の端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|------|-----|---------------|-------------|-----|--------|---------------|---------------------|---|
| SO | IO | A4 | 119 | HB | SIOVDD | Z | Z | この端子はシリアル出力です。 シリアルインターフェースを使用しない場合 (CNF[1:0] = 01 または 11)、この端子は抵抗を通じて SIOVDD または VSS のいずれかに接続する必要があります。 |
| SI | I | A5 | 118 | HI | SIOVDD | — | — | この端子はシリアル入力です。 シリアルインターフェースを使用しない場合 (CNF[1:0] = 01 または 11)、この端子は VSS に接続する必要があります。 |
| SCLK | I | A3 | 120 | HIS | SIOVDD | — | — | この端子はシリアルクロックです。 シリアルインターフェースを使用しない場合 (CNF[1:0] = 01 または 11)、この端子は VSS に接続する必要があります。 |

5.2.3 TV インタフェース

注

未使用のとき、これらの端子は未接続のままにしておく必要があります。

表 5-5: TV インタフェースの端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|---------------|-----|---------------|-------------|-----|-------|---------------|---------------------|---|
| AOUT, BOUT | O | H1, E1 | 28, 18 | AIO | DAC | — | — | <p>これらは TV アナログ出力端子です。TV 出力は、二重終端された 75Ω の負荷 (37.5Ω) を駆動するように設計されています。詳細については、180 ページの 24.1 「DAC の外付け部品」を参照してください。</p> <p>コンポジットビデオを使用するとき、AOUT を使用し、BOUT は未接続のままにしておきます。S ビデオを使用するとき、AOUT はルミナンス信号、BOUT はクロミナンス信号です。</p> |
| VREF | IO | G2 | 23 | AIO | DAC | — | — | <p>この入出力端子は、DAC 用の基準電圧です。VREF イネーブルビット (REG[9Eh] ビット 0) を使用して、外部または内部のいずれの VREF モードを選択するのかを決定します。</p> <p>REG[9Eh] ビット 0 = 0 のとき、外部 VREF モードが選択されるので、この端子には、1.23V の電圧を加える必要があります。</p> <p>REG[9Eh] ビット 0 = 1 のとき、内部 VREF モードが選択されるので、テスト中にこの端子を使用して、出力レベルが 1.23V であることを確認することができます。ただし通常動作では、この端子は未接続のままにしておく必要があります。</p> |
| VADJ | IO | F2 | 22 | AIO | DAC | — | — | <p>この入出力端子は、DAC のための基準電流の生成端子です。$2.06\text{k}\Omega$ の抵抗器 (Rset) を VADJ と DACVEE の間に接続してください。詳細については、180 ページの 24.1 「DAC の外付け部品」を参照してください。</p> <p>IREF イネーブルビット = 0 (REG[9Eh] ビット 1 = 0) のとき、基準電流の内部生成はディセーブルとなり、VADJ は基準電流を制御しません。抵抗器を接続したままにしても問題はありません。</p> |

5. 端子配置図

5.2.4 クロック

注

クロック構造の詳細については、54 ページの 9.「クロック」を参照してください。

表 5-6: クロック入力の端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|----------|-----|---------------|-------------|------|--------|---------------|---------------------|--|
| CLKI | I | J10 | 68 | HIS | IOVDD | — | — | CNF2 = 0 のとき、この端子はクロック入力になります。CNF2 = 1 のとき、この端子は VSS に接続する必要があります。 |
| CLKOUT | O | H10 | 71 | HO | IOVDD | (注 1) | (注 1) | CLKOUTEN 端子がイネーブルのとき、この端子は、CLKI 端子または OSCx 端子からのクロック信号を出力します（詳細については、54 ページの 9.1 「クロック機能ブロック図」を参照してください）。ディセーブルのとき、この端子の出力は LOW になります。 注：この出力端子は、各種のパワーセーブモードの影響を受けません。 |
| CLKOUTEN | I | H9 | 70 | HI | IOVDD | — | — | この入力端子は、CLKOUT 端子をイネーブルまたはディセーブルにします。CLKOUTEN = 0 のとき、CLKOUT はディセーブルになります。CLKOUTEN = 1 のとき、CLKOUT はイネーブルになります。 |
| OSCO | O | K7 | 58 | LOTR | OSCVDD | (注 2) | (注 2) | CNF2 = 1 のとき、この出力端子は、OSCI とともに 2 端子の水晶インタフェースを構成します。内蔵の発振器を使用しないとき、または CNF2 = 0 のとき、この端子は未接続のままにしておく必要があります。 |
| OSCI | I | K6 | 54 | LITR | OSCVDD | — | — | CNF2 = 1 のとき、この入力端子は、OSCO とともに 2 端子の水晶インタフェースを構成します。内蔵の発振器を使用しないとき、または CNF2 = 0 のとき、この端子は OSCVDD に接続するか、未接続のままにしておく必要があります。 |

注

1. CLKOUTEN = 1 のとき、この端子は CLKI (CNF2 = 1) または OSCI (CNF2 = 0) を出力します。
CLKOUTEN = 0 のとき、この端子は LOW です。
2. CNF2 = 1 のとき、この端子はアクティブです。
CNF2 = 0 のとき、この端子は HIGH です。

5.2.5 その他

表 5-7: その他の端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | IO 電圧 | RESET # 状態 | パワー セーブ ステータス | 説明 |
|-----------|-----|--------------------------|-------------------------------------|------|--------|---------------|---------------------|--|
| CNF[3:0] | I | G5, G6, F5, E5 | 39, 38, 37, 36 | HI | IOVDD | — | — | これらの入力は、電源投入の構成用に使用します。詳細については、23 ページの 5.3 「構成オプションの要約」を参照してください。 注：これらの端子は、IO の V _{DD} または V _{SS} に直接接続する必要があります。 |
| TESTEN | I | B2 | 4 | LIDS | IOVDD | 0 | — | この端子はテストイネーブル入力で、生産試験でのみ使用します。この端子は、通常動作では未接続のままにしておく必要があります。 |
| GPIO[7:5] | IO | B3, C3, C4 | 124, 123, 122 | HBD | SIOVDD | 0 | アクティブ | これらの端子は汎用 IO 端子です。 これらの端子には、REG[FAh] を使用して制御できる内蔵プルダウン抵抗があります。 |
| GPIO[4:0] | IO | C7, D5, C5, B5, B6 | 103, 115, 114, 113, 112 | HBD | IOVDD | 0 | アクティブ | これらの端子は汎用 IO 端子です。 これらの端子には、REG[FAh] を使用して制御できる内蔵プルダウン抵抗があります。 |
| PWRSVE | I | B1 | 1 | HI | IOVDD | — | — | この入力端子は、選択したパワーセーブモード（スリープまたはスタンバイ）をイネーブルまたはディセーブルにします。REG[2Eh] ビット 7 により、スリープモードイネーブルビット（REG[2Eh] ビット 1）またはスタンバイモードイネーブルビット（REG[2Eh] ビット 0）のいずれかとこの端子の状態との OR をとることができます。 注：この端子は、外部電源によって駆動するか、または浮かないように VSS に終端する必要があります。 |
| TEST[2:0] | I | D3, E4, C2 | 9, 8, 7 | HID | IOVDD | — | — | これらの入力端子は生産試験でのみ使用し、通常動作では未接続のままにしておく必要があります。 |
| SCANEN | I | C1 | 10 | HID | IOVDD | — | — | この端子はスキャニイネーブル入力であり、生産試験でのみ使用します。この端子は、通常動作では未接続のままにしておく必要があります。 |
| VCP | I | J8 | 63 | LITR | PLLVDD | — | — | この入力端子は生産試験用でのみ使用し、通常動作では未接続のままにしておく必要があります。 |

5. 端子配置図

5.2.6 電源およびグラウンド

表 5-8: 電源およびグラウンドの端子説明

| 端子名 | タイプ | PFBGA 端子 # | QFP 端子 # | セル | 説明 |
|---------|-----|--|---|----|----------------------|
| COREVDD | P | A2, B9, G10, J5 | 2, 3, 41, 47, 73, 74, 93, 99, 100, 127, 128 | P | コア電源 |
| IOVDD | P | D7, F6, H6, H8, J4 | 6, 43, 50, 61, 69, 83, 90, 97, 98 | P | ホストインターフェース用の IO 電源 |
| SIOVDD | P | D4 | 125, 126 | P | シリアルインターフェース用の IO 電源 |
| VSS | G | A6, A9, C9, F4, G4, H4, H5, H7, J9, K4, K5 | 5, 40, 42, 46, 49, 66, 67, 91, 94, 108, 109, 116, 117 | P | GND |
| OSCVDD | P | J7 | 60 | P | 発振器 (2.5V) 用の IO 電源 |
| OSCVSS | P | J6 | 56 | P | 発振器用の GND |
| PLLVDD | AP | K8 | 62 | P | PLL 電源 |
| PLLVSS | AG | K9 | 64 | P | PLL 用の GND |
| DACVCC | AP | D2, E2, F3, H2, H3, J3 | 14, 16, 20, 24, 26, 30 | P | DAC のアナログ電源 |
| DACVEE | AG | D1, E3, F1, G1, G3, J1, J2, K3 | 15, 17, 19, 21, 25, 27, 29, 32 | P | DAC のアナログ用の GND |

5.3 構成オプションの要約

これらの端子は、電源投入の構成用に使用され、 IOV_{DD} または V_{SS} に直接接続する必要があります。これらの端子のステータスは、 $\text{CNF}[3:0]$ ステータスピットを使用して $\text{REG}[02\text{h}]$ で読み出すことができます。

表 5-9: 電源投入 / リセットオプションの要約

| 構成入力 | 電源投入 / リセット状態 | |
|-------------------|--|---------------------------------|
| | 1 (IOV_{DD} に接続) | 0 (V_{SS} に接続) |
| $\text{CNF}[1:0]$ | 以下のようにホストインターフェースを選択します。 CNF1 CNF0 ホストバス 0 0 パラレル RGB インタフェース付きの 3 線シリアルホストインターフェース 0 1 8 ビット Intel 80 1 0 パラレル RGB インタフェース付きの SPI ホストインターフェース 1 1 16 ビット Intel 80 | |
| CNF2 | 入力クロックとして使用する 2 端子水晶 (OSCI、OSCO 端子) | 入力クロックとして使用する発振器 (CLKI 端子) |
| CNF3 | リセットフィルタ = 5 μs (クロックが必要) | リセットフィルタ = 43ns (クロックは不要) |

注

$\text{CNF1} = 0$ のとき、すべてのレジスタアクセスは 8 ビットアクセスのみです。

$\text{CNF1} = 1$ (16 ビット) のとき、ディスプレイメモリのデータポート ($\text{REG}[A0\text{h}]$) を除いてすべてのレジスタアクセスは 8 ビットアクセスのみです (データバスの最上位バイトは無視されます)。ディスプレイメモリのデータポートへのアクセスは 16 ビットアクセスです。

6. 端子マッピング

6. 端子マッピング

6.1 Intel 80 データ端子

Intel 80 データ端子マッピングは、CNF[1:0] によって制御されます。CNF[1:0] の詳細については、23 ページの 5.3 「構成オプションの要約」を参照してください。

表 6-1: Intel 80 データ端子マッピング

| 端子名 | 16 ビットデータ CNF[1:0] = 11 | 8 ビットデータ CNF[1:0] = 01 |
|------|----------------------------|-----------------------------------|
| MD15 | MD15 | プルダウン抵抗を通じてグラウンドに接続 (8bit 使用時) |
| MD14 | MD14 | |
| MD13 | MD13 | |
| MD12 | MD12 | |
| MD11 | MD11 | |
| MD10 | MD10 | |
| MD9 | MD9 | |
| MD8 | MD8 | |
| 端子名 | 16 ビットデータ CNF[1:0] = 11 | 8 ビットデータ CNF[1:0] = 01 |
| MD7 | MD7 | MD7 |
| MD6 | MD6 | MD6 |
| MD5 | MD5 | MD5 |
| MD4 | MD4 | MD4 |
| MD3 | MD3 | MD3 |
| MD2 | MD2 | MD2 |
| MD1 | MD1 | MD1 |
| MD0 | MD0 | MD0 |

6.2 パラレル RGB データ端子

表 6-2: パラレル RGB データ端子マッピング

| S1D13746 端子名 | RGB 端子名 | RGB 機能 | S1D13746 端子名 | RGB 端子名 | RGB 機能 |
|-----------------|------------|-----------|-----------------|------------|-----------|
| MD15 | VD17 | R5 | MD4 | VD6 | G0 |
| MD14 | VD16 | R4 | MD3 | VD5 | B5 |
| MD13 | VD15 | R3 | MD2 | VD4 | B4 |
| MD12 | VD14 | R2 | MD1 | VD3 | B3 |
| MD11 | VD13 | R1 | MD0 | VD2 | B2 |
| MD10 | VD12 | R0 | WE# | VD1 | B1 |
| MD9 | VD11 | G5 | RD# | VD0 | B0 |
| MD8 | VD10 | G4 | D/C# | HS | HS |
| MD7 | VD9 | G3 | TE | VS | VS |
| MD6 | VD8 | G2 | DE | DE | DE |
| MD5 | VD7 | G1 | PCLK | PCLK | PCLK |

7. DC 特性

7.1 絶対最大定格

表 7-1: 絶対最大定格

| 記号 | パラメータ | 定格 | 単位 |
|----------------------------|----------------------|------------------------------|----|
| COREV_{DD} | コア電源電圧 | - 0.3 ~ 2.0 | V |
| PLLV_{DD} | PLL 電源電圧 | - 0.3 ~ 2.0 | V |
| IOV_{DD} | ホスト IO 電源電圧 | $\text{COREVDD} \sim 4.0$ | V |
| SIOV_{DD} | シリアル IO 電源電圧 | $\text{COREVDD} \sim 4.0$ | V |
| OSCV_{DD} | 水晶発振器電源電圧 | $\text{COREVDD} \sim 4.0$ | V |
| DACV_{CC} | DAC アナログ電源電圧 | $\text{COREVDD} \sim 4.0$ | V |
| V_{IN} | 入力電圧 | - 0.3 ~ $\text{IOVDD} + 0.5$ | V |
| $V_{\text{IN_F}}$ | 入力電圧 (Fail safe I/O) | - 0.3 ~ 4.0 | V |
| V_{OUT} | 出力電圧 | - 0.3 ~ $\text{IOVDD} + 0.5$ | V |
| $I_{\text{OUT_IO}}$ | デジタル出力電流 | ± 10 | mA |
| $I_{\text{OUT_DAC}}$ | DAC 出力電流 | ± 50 | mA |
| T_{STG} | 保存温度 | -65 ~ 150 | °C |

7.2 推奨動作条件

以下の特性は、 $\text{VSS} = \text{PLLVSS} = \text{OSCVSS} = \text{DACVEE} = 0\text{V}$ の場合の特性です。

表 7-2: 推奨動作条件

| 記号 | パラメータ | Min | Typ | Max | 単位 |
|----------------------------|----------------------|------|------|----------------|----|
| COREV_{DD} | コア電源電圧 | 1.35 | 1.50 | 1.65 | V |
| PLLV_{DD} | PLL 電源電圧 | — | — | — | — |
| IOV_{DD} | ホスト IO 電源電圧 | 1.62 | — | 3.60 | V |
| SIOV_{DD} | シリアル IO 電源電圧 | 1.62 | — | 3.60 | V |
| OSCV_{DD} | 水晶発振器電源電圧 | 1.62 | — | 3.60 | V |
| DACV_{CC} | DAC アナログ電源電圧 | 2.70 | 3.00 | 3.30 | V |
| V_{IN} | 入力電圧 | 0 | — | IOVDD | V |
| $V_{\text{IN_F}}$ | 入力電圧 (Fail safe I/O) | 0 | — | 3.90 | V |
| T_{OPR} | 動作温度 | -40 | 25 | 85 | °C |

7.DC 特性

7.3 電気的特性

以下の特性は、推奨動作条件の場合の特性です。

表 7-3: $IOVDD$ 、 $SIOVDD$ 、または $OSCVDD = 1.62V \sim 3.60V$ 、 $VSS = 0V$ の電気的特性

| 記号 | パラメータ | 条件 | Min | Typ | Max | 単位 |
|------------|------------|--|---------------------|-----|---------------------|-----------|
| I_{IZ} | 入カリーク電流 | — | -1 | — | 1 | μA |
| I_{OZ} | オフ状態リーケ電流 | — | -1 | — | 1 | μA |
| IOV_{OH} | 高レベル出力電圧 | $IOVDD = \text{Min}$ $IOH = -1.8mA$ | $IOVDD - 0.4$ | — | — | V |
| IOV_{OL} | 低レベル出力電圧 | $IOVDD = \text{Min}$ $IOL = 1.8mA$ | — | — | 0.4 | V |
| V_{IH} | 高レベル入力電圧 | LVCMOS レベル | $IOVDD \times 0.7$ | — | $IOVDD + 0.3$ | V |
| V_{IL} | 低レベル入力電圧 | LVCMOS レベル | -0.3 | — | $IOVDD \times 0.3$ | V |
| V_{T+} | ポジティブトリガ電圧 | LVCMOS シュミット | $IOVDD \times 0.4$ | — | $IOVDD \times 0.7$ | V |
| V_{T-} | ネガティブトリガ電圧 | LVCMOS シュミット | $IOVDD \times 0.25$ | — | $IOVDD \times 0.55$ | V |
| ΔV | ヒステリシス電圧 | LVCMOS シュミット | $IOVDD \times 0.1$ | — | — | V |
| R_{PD} | プルダウン抵抗 | $VI = IOVDD$ | 20 | — | 244 | $k\Omega$ |
| C_{IO} | 端子の静電容量 | $f = 1MHz$, $IOVDD = 0V$ | — | — | 8 | pF |

表 7-4: 消費電力

| 記号 | パラメータ | 条件 | Min | Typ | Max | 単位 |
|-------------|--------------|-------------|-----|-----|-----|---------|
| I_{QHVDD} | IO、OSC 静止電流 | — | — | 1 | — | μA |
| I_{QLVDD} | コア、PLL 静止電流 | — | — | 20 | — | μA |
| I_{QDAC} | DAC 静止電流 | — | — | 1 | — | μA |
| I_{IO} | IOVDD 動作電流 | — | — | — | 5 | mA |
| I_{OSC} | OSCVDD 動作電流 | 27MHz 水晶 | — | 600 | — | μA |
| I_{CORE} | COREVDD 動作電流 | — | — | — | 33 | mA |
| I_{PLL} | PLLVDD 動作電流 | $f = 54MHz$ | — | 0.8 | 2.0 | mA |
| I_{DAC} | DACVCC 動作電流 | S ビデオ | — | 90 | 100 | mA |
| | | コンポジット | — | 45 | 50 | mA |

7.4 DAC 特性

以下の特性は、 $DACVCC = 2.7V \sim 3.3V$ 、 $VSS = PLLVSS = OSCVSS = DACVEE = 0V$ 、 $T_{OPR} = -40 \sim 85^{\circ}C$ 、 $R_L = 37.5\Omega$ 、 $C_L = 30pF$ 、 $R_{ADJ} = 2060\Omega$ 、 $VREF = オープン$ の場合の特性です。

表 7-5: DAC 特性

| パラメータ | 条件 | Min | Typ | Max | 単位 |
|---------------|--------|-------|------|------|------|
| 解像度 | — | — | 10 | — | bits |
| サンプルレート | — | — | 27 | — | MHz |
| クロックデューティサイクル | — | 40 | 50 | 60 | % |
| 最小出力電圧 | ゼロスケール | -0.05 | 0 | 0.05 | V |
| 最大出力電圧 | フルスケール | 1.17 | 1.30 | 1.43 | V |
| 微分非直線性 | — | -1 | — | 1 | LSB |
| 積分非直線性 | — | -3 | — | 3 | LSB |

注

AOUT または BOUT からの TV 出力が 75Ω の二重終端（すなわち 75Ω の負荷抵抗と 75Ω の外部負荷）に接続されずに、 75Ω の単一負荷によってのみ単独で終端されている場合、出力電圧レベルは 2 倍になります。

7.5 電力推定のガイドライン

以下の資料は、実行可能な 3 つのモード（アクティブモード、スタンバイモード、およびスリープモード）のそれぞれについて、電力推定のガイドラインを一覧にしたもの。

これらのガイドラインは、CLKI/OSC = 27 MHz、SYSCLK = 54 MHz に基づいたものであり、結果はユーザー環境によって異なります。

表 7-6: 標準的な消費電力

| アクティブ表示（注 1） | 消費電流 | 説明 |
|--------------------|--------------|----------------------------------|
| Core (1.5V) | 15mA / 20mA | Intel 80 ホスト / パラレル RGB ホスト |
| PLL (1.5V) | 528μA | — |
| DAC(3.0V) | 48mA | コンポジットビデオ出力 (REG[40h] ビット 4 = 0) |
| | 92mA | S ビデオ出力 (REG[40h] ビット 4 = 1) |
| OSCVDD(1.8V) | 565μA | 使用する場合。使用しない場合はゼロ。 |
| IOVDD(1.8V) (注 4) | 80μA / 900μA | ホストアクティビティ / CLKOUT イネーブル |
| SIOVDD(1.8V) (注 4) | 15μA | シリアルホストレジスタアクセス |

| スタンバイモードイネーブル（注 2） | 消費電流 | 説明 |
|--------------------|-------|--------------------|
| Core (1.5V) | 820μA | — |
| PLL (1.5V) | 528μA | — |
| DAC(3.0V) | 0 | — |
| OSCVDD(1.8V) | 565μA | 使用する場合。使用しない場合はゼロ。 |

| スリープモードイネーブル（注 3） | 消費電流 | 説明 |
|-------------------|--------------|-------------------------|
| Core (1.5V) | 330μA / 15μA | CLKI アクティブ / CLKI グラウンド |
| PLL (1.5V) | 0 | — |
| DAC(3.0V) | 0 | — |
| OSCVDD(1.8V) | 565μA | 使用する場合。使用しない場合はゼロ。 |

注

1. アクティブ表示モードは、PWRSVE 端子が LOW で、スリープモードイネーブルビット (REG[2Eh] ビット 1) とスタンバイモードイネーブルビット (REG[2Eh] ビット 0) の両方が 0 のときです。
2. スタンバイモードは、スタンバイモードイネーブルビットが 1b (REG[2Eh] ビット 0 = 1) であるとき、または PWRSVE 入力端子機能がスタンバイモード (REG[2Eh] ビット 7 = 1) に構成されているときに PWRSVE 端子が HIGH であるときです。
3. スリープモードは、スリープモードイネーブルビットが 1b (REG[2Eh] ビット 1 = 1) であるとき、または PWRSVE 入力端子機能がスリープモード (REG[2Eh] ビット 7 = 0) に構成されているときに PWRSVE 端子が HIGH であるときです。
4. IOVDD/SIOVDD は、Intel 80 ホストインターフェース、シリアルホストインターフェース、または GPIO の動作状態によって決まります。スタンバイまたはスリープモードによる影響を受けません。

8. AC 特性

条件:

IOVDD = 1.62V ~ 3.60V

TOPR = -40°C ~ 85°C

シュミットと CLKI を除くすべての入力について T_{rise} と T_{fall} は $\leq 50\text{ns}$ (10% ~ 90%) でなければなりません。

すべてのシュミットについて T_{rise} と T_{fall} は $\leq 5\text{ms}$ (10% ~ 90%) でなければなりません。

$C_L = 8\text{pF} \sim 30\text{pF}$ (MD[15:0])

$C_L = 15\text{pF}$ (TE, GPIO_INT, CLKOUT)

$C_L = 30\text{pF}$ (GPIO インタフェース)

8.1 クロックタイミング

8.1.1 入力クロック

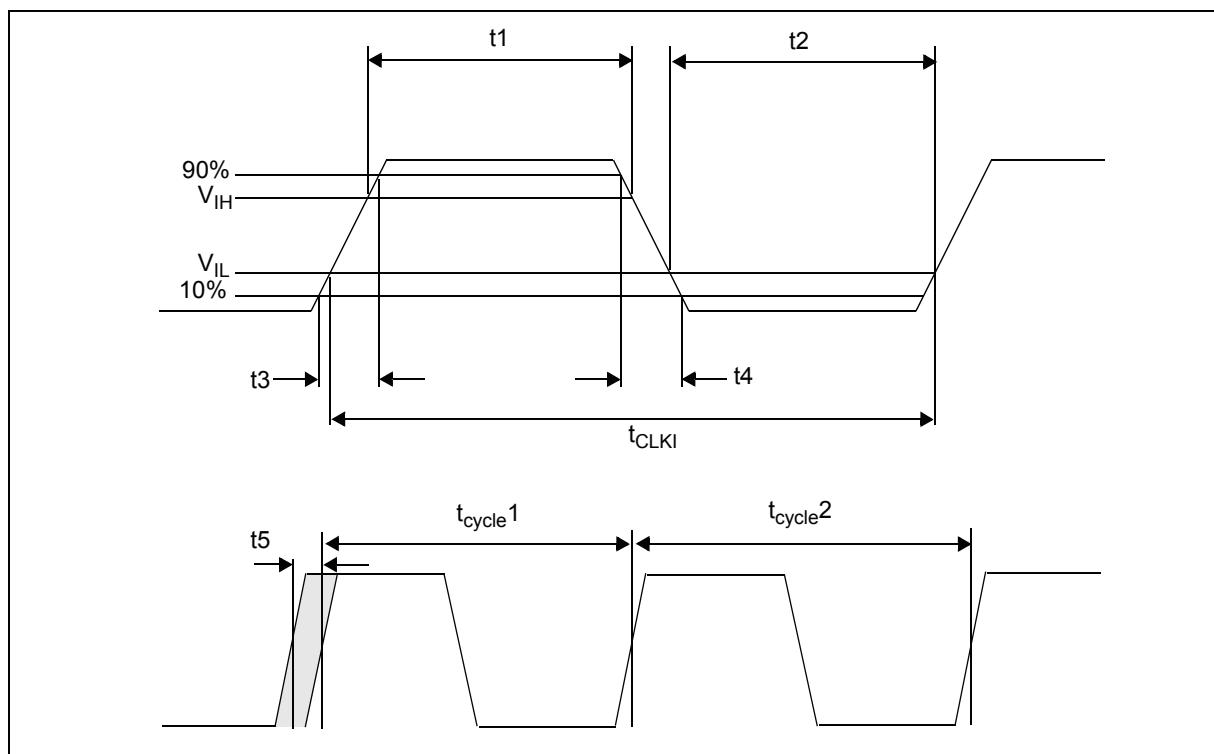


図8-1: クロック入力要件 (PLL)

8.AC 特性

表 8-1: クロック入力要件 (CLKI)

| 記号 | パラメータ | Min | Typ | Max | 単位 |
|------------|----------------------------------|------|--------------|------|------------|
| f_{CLKI} | 入力クロック周波数 | 18 | 27 | 27 | MHz |
| t_{CLKI} | 入力クロック周期 | — | $1/f_{CLKI}$ | — | μs |
| t_1 | 入力クロック HIGH パルス幅 | 0.45 | — | 0.55 | t_{CLKI} |
| t_2 | 入力クロック LOW パルス幅 | 0.45 | — | 0.55 | t_{CLKI} |
| t_3 | 入力クロック立ち上がり時間 (10% ~ 90%) | — | — | 5 | ns |
| t_4 | 入力クロック立ち下がり時間 (10% ~ 90%) | — | — | 5 | ns |
| t_5 | 入力クロック周期ジッタ (注 2、4) | -300 | — | 300 | ps |
| (注 1) | 入力クロックサイクルジッタ、NTSC TV 出力 (注 3、4) | -50 | — | 50 | ppm |
| | 入力クロックサイクルジッタ、PAL TV 出力 (注 3、4) | -25 | — | 25 | ppm |

注

- $t_6 = t_{cycle1} - t_{cycle2}$
- 入力クロック周期ジッタは、クロックセンターを基準としたときの変位です。
- 入力クロックサイクルジッタは、隣接するサイクル間の周期差です。
- ジッタの特性は、 t_5 および t_6 の両方の特性を満たす必要があります。

8.1.2 OSC クロック

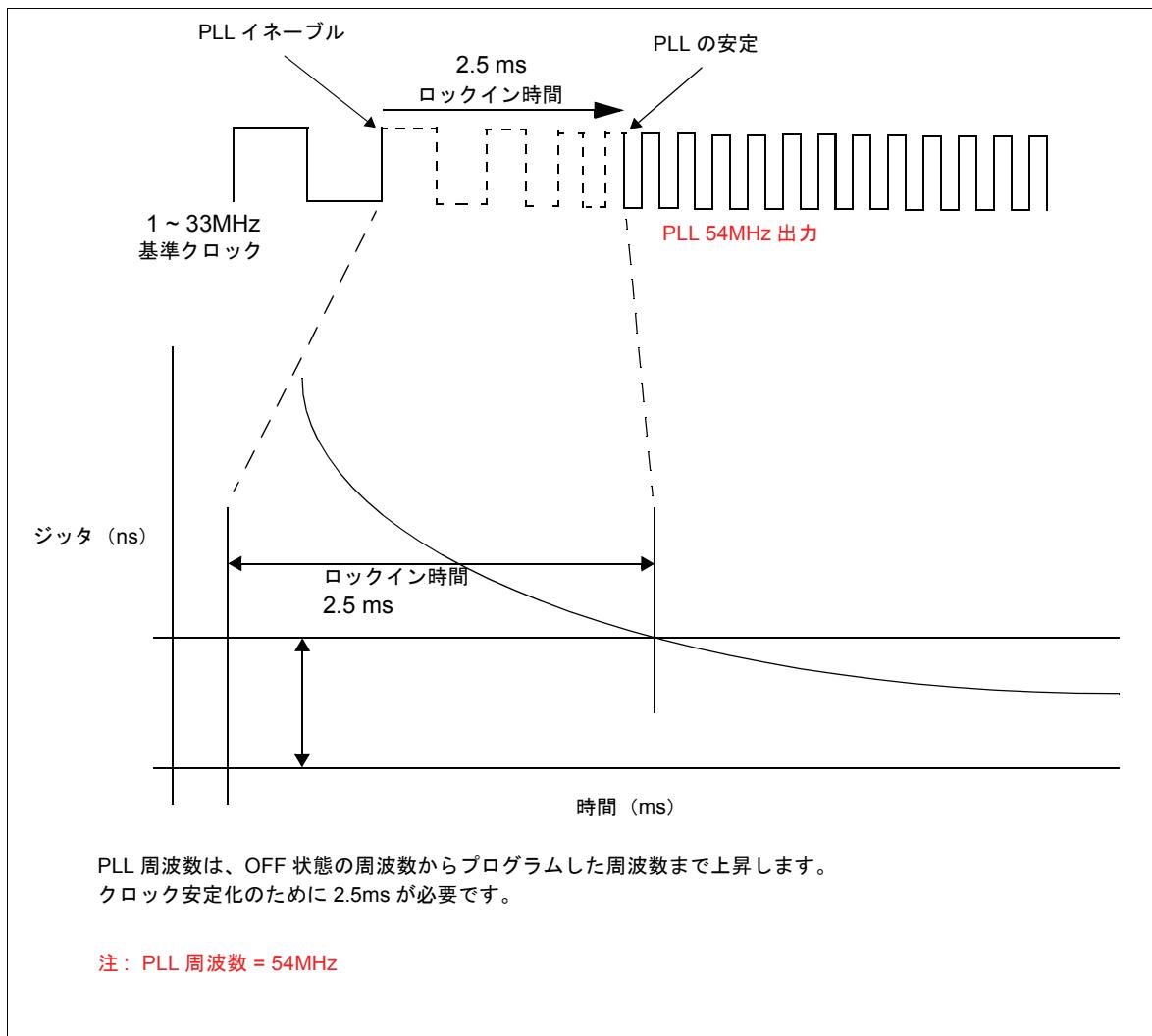
表 8-2: OSC 水晶クロックの要件 (OSC)

| 記号 | パラメータ | Min | Typ | Max | 単位 |
|-----------|---------------|-----|-------------|-----|---------|
| f_{OSC} | OSC 水晶クロック周波数 | 18 | 27 | 27 | MHz |
| t_{OSC} | OSC 水晶クロック周期 | — | $1/f_{OSC}$ | — | μs |

8.1.3 PLL クロック

PLL 回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL 回路の動作が不安定になったり、ジッタを増大させたりする恐れがあります。

このノイズの制約のため、PLL の電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。入力クロック波形のジッタはできるだけ少なくなるようにしてください。



PLL 周波数は、OFF 状態の周波数からプログラムした周波数まで上昇します。
クロック安定化のために 2.5ms が必要です。

注：PLL 周波数 = 54MHz

図 8-2: PLL 起動時間

表 8-3: PLL 特性

| 記号 | パラメータ | Min | Typ | Max | 単位 |
|-------------|----------------------------|-----|-----|-----|-----|
| f_{PLL1} | M-Divider 後の PLL 入力クロック周波数 | 1 | — | 2 | MHz |
| f_{PLL12} | M-Divider 前の PLL 入力クロック周波数 | 1 | — | 33 | MHz |
| f_{PLLO} | PLL 出力クロック周波数 | — | 54 | — | MHz |
| t_{Pjref} | PLL 出力クロック周期ジッタ | -3 | — | 3 | % |
| t_{PDuty} | PLL 出力クロックデューティサイクル | 30 | — | 70 | % |
| t_{PStal} | PLL 出力の安定時間 | — | — | 2.5 | ms |

8.AC 特性

8.2 リセットタイミング

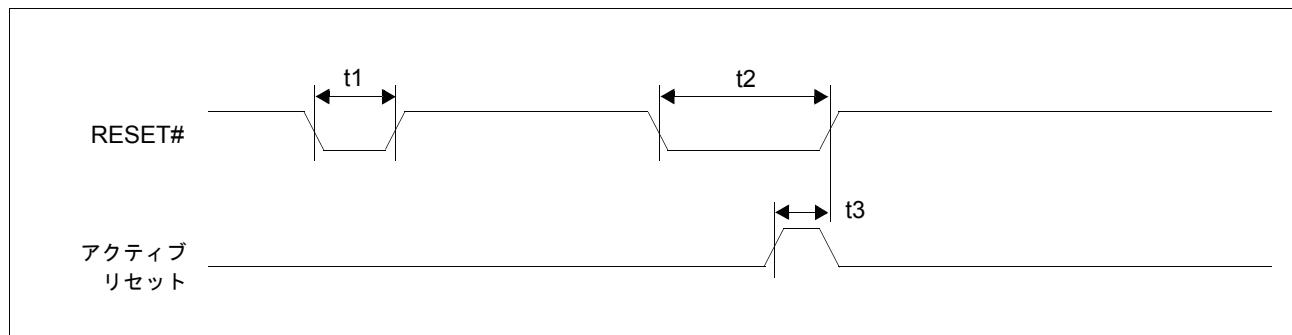


図 8-3: SID13746 のリセットタイミング

表 8-4: SID13746 のリセットタイミング

| CNF3 | 記号 | パラメータ | Min (注 1) | Max (注 2) | 単位 |
|------|----|---------------------------------------|--------------|--------------|----|
| 0 | t1 | 5μs リセットフィルタがディセーブルのときに無視されるリセットパルス幅 | 43 | 138 | ns |
| | t2 | 5μs リセットフィルタがディセーブルのときにアクティブなリセットパルス幅 | 50 | 150 | ns |
| 1 | t1 | 5μs リセットフィルタがイネーブルのときに無視されるリセットパルス幅 | 5.01 | 5.10 | μs |
| | t2 | 5μs リセットフィルタがイネーブルのときにアクティブなリセットパルス幅 | 5.10 | 5.20 | μs |
| | t3 | t2 - t1 | — | — | — |

注

1. Min の数値は最小推奨動作条件に基づいています。
(25 ページの 7.2 「推奨動作条件」を参照してください。)
2. Max の数値は最大推奨動作条件に基づいています。
(25 ページの 7.2 「推奨動作条件」を参照してください。)

注

5μs リセットフィルタには CLKI が必要であり、タイミングは 27MHz の CLKI 周波数に基づいています。

8.3 ホストインターフェースのタイミング

8.3.1 Intel 80 インタフェースのタイミング

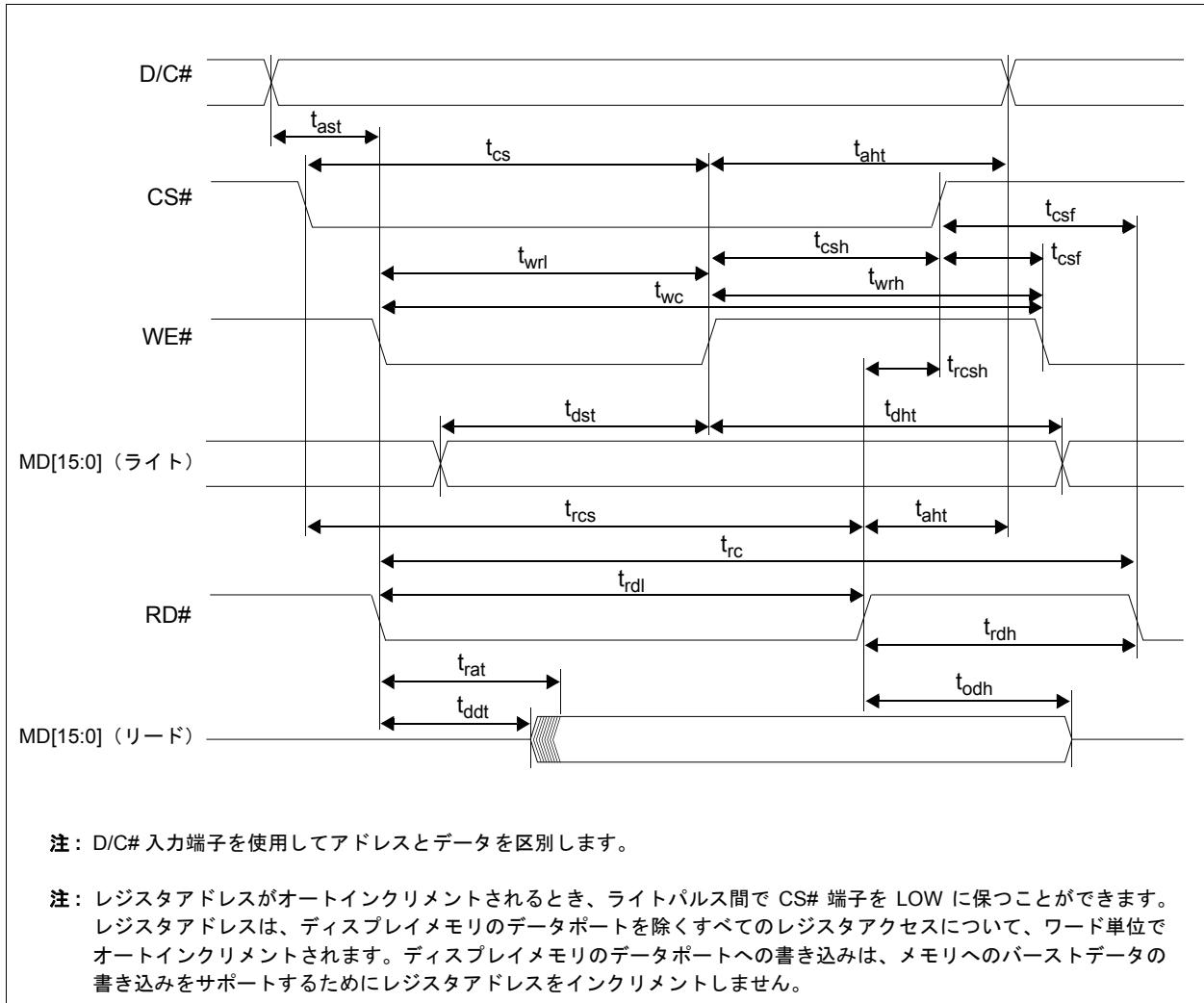


図8-4: Intel 80 の入力 AC 特性

表 8-5: Intel 80 の入力 AC 特性

| 信号 | 記号 | パラメータ | Min | Max | 単位 | 説明 |
|----------|------------------|----------------------------------|-----------------|------|----|-------------------------------------|
| D/C# | t_{ast} | アドレスのセットアップ時間 | 3.0 | — | ns | |
| | t_{aht} | アドレスのホールド時間 | 1.0 | — | ns | |
| CS# | t_{cs} | チップセレクトのセットアップ時間 (ライト) | $2.0 + t_{wrl}$ | — | ns | |
| | t_{rcs} | チップセレクトのセットアップ時間 (リード) | $1.0 + t_{rdl}$ | — | ns | |
| | t_{csf} | チップセレクトの待機時間 | 10.0 | — | ns | |
| | t_{csh} | チップセレクトのホールド時間 (ライト) | 0 | — | ns | |
| | t_{rcsh} | チップセレクトのホールド時間 (リード) | 0 | — | ns | |
| WE# | t_{wc} | ライトサイクル (立ち下がりエッジから次の立ち下がりエッジまで) | 2SYSCLK | — | ns | |
| | t_{wrh} | パルス HIGH 期間 | (注 1) | — | ns | |
| | t_{wrl} | パルス LOW 期間 | 1.0 | — | ns | |
| RD# | t_{rc} | レジスタのリードサイクル | 28.0 | — | ns | |
| | t_{rdh} | パルス HIGH 期間 | 4.0 | — | ns | |
| | t_{rdl} | レジスタのパルス LOW 期間 | 24.0 | — | ns | |
| MD[15:0] | t_{dst} | データのセットアップ時間 | 4.0 | — | ns | 最大 CL = 30pF の場合 最小 CL = 8pF の場合 |
| | t_{dht} | データのホールド時間 | 3.0 | — | ns | |
| | t_{rat} (注) | リードの立ち下がりエッジ→レジスタのデータが有効 | 5.5 | 22.5 | ns | |
| | t_{odh} (注) | リードのホールド時間 | 11.0 | 36.5 | ns | |
| | t_{ddt} (注) | リード立ち下がりエッジ→データの駆動 | 4.0 | 19.0 | ns | |

注

- t_{wrh} min は、 t_{wc} を満たすのに十分な長さです。

注

Hi-Z 状態への遷移時間の定義

高速信号のハイインピーダンス (Hi-Z) の測定は困難であるため、H/L から Hi-Z への遷移時間は以下のように規定されています。

H から Hi-Z への遷延時間 : t_{pHZ}

Pch-MOSFET の最終段のゲート電圧が $0.8 \times IOVDD$ に変わると (Pch-MOSFET がオフ) の遷延時間。Hi-Z までの総遷延時間は、次式で算出されます。

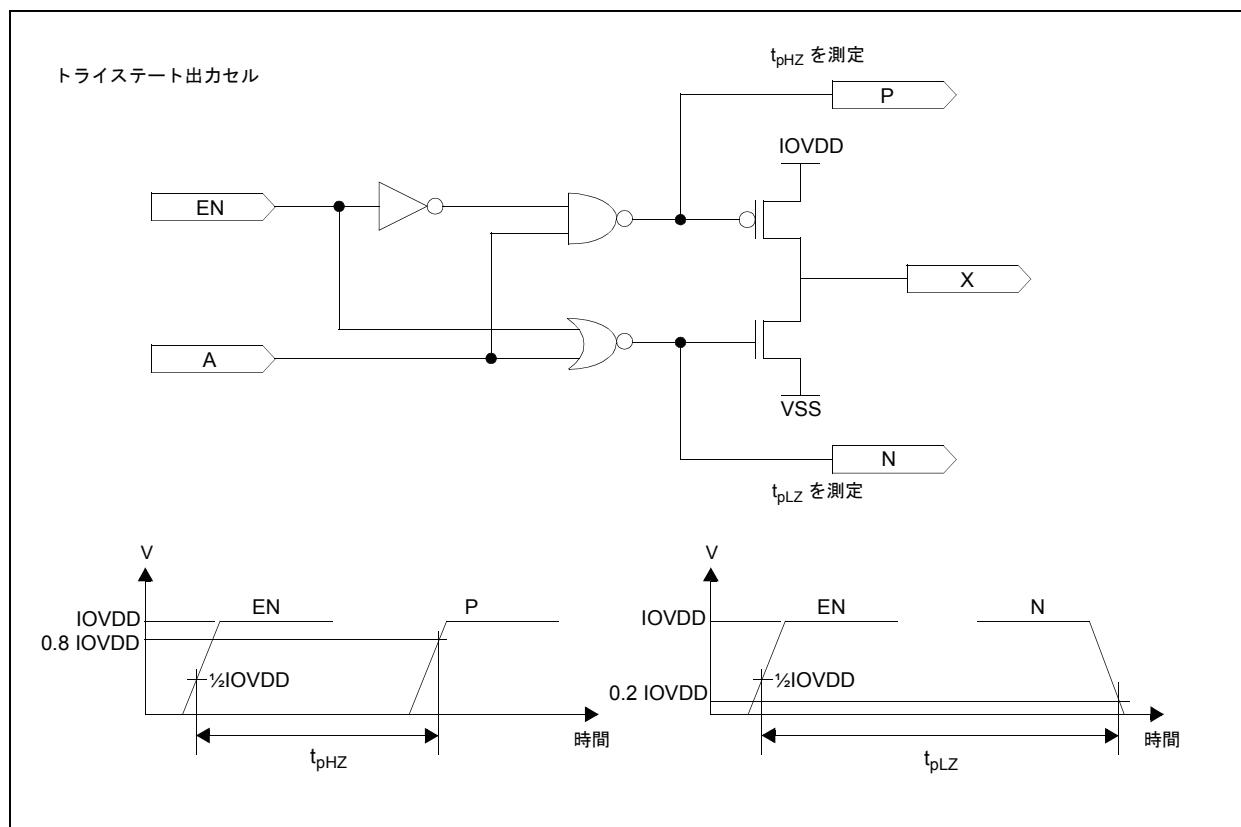
内部ロジック遷延 + t_{pHZ} (H から Hi-Z)

L から Hi-Z への遷延時間 : t_{pLZ}

Nch-MOSFET の最終段のゲート電圧が $0.2 \times IOVDD$ に変わると (Nch-MOSFET がオフ) の遷延時間。Hi-Z までの総遷延時間は、次式で算出されます。

内部ロジック遷延 + t_{pHZ} (H から Hi-Z)

トライステート出力セルの最終段の機能モデルは、図 8-5 「Hi-Z 状態への遷移時間の定義」に示されています。



8.4 シリアルインターフェースのタイミング

8.4.1 3線シリアルインターフェースのタイミング

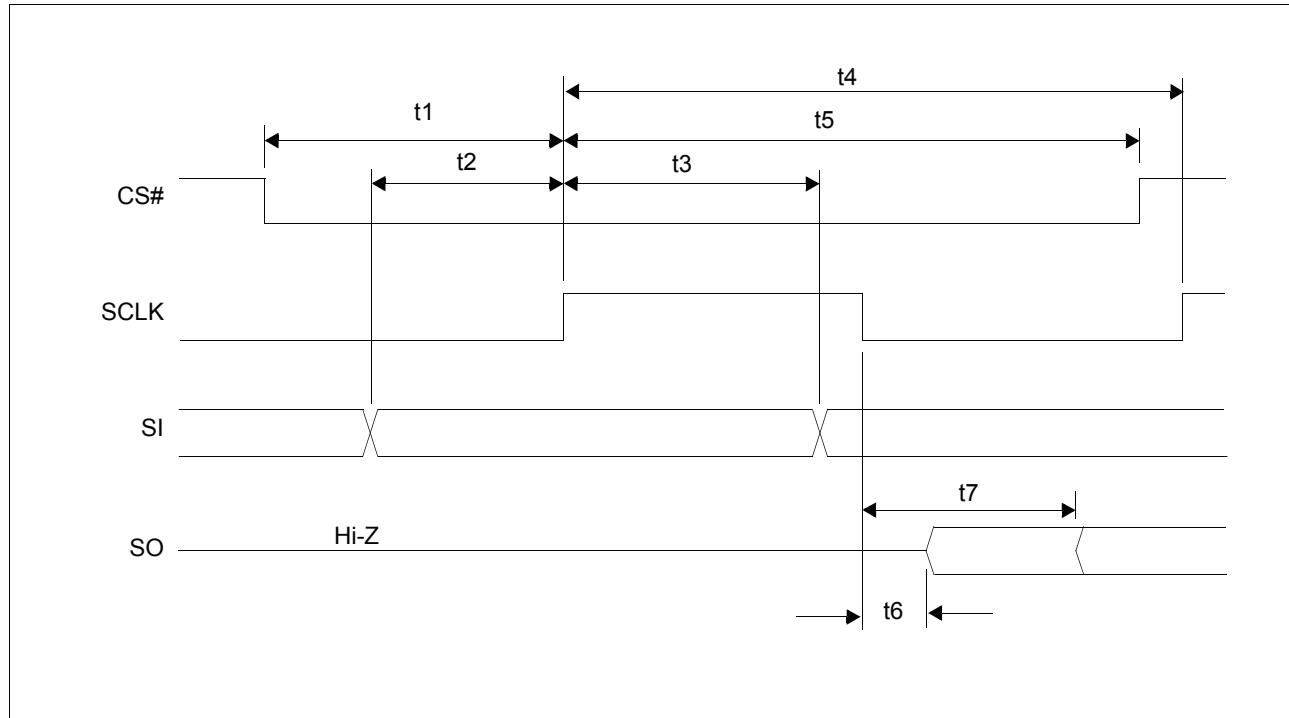


図8-6: 3線シリアルインターフェースのタイミング

表8-6: 3線シリアルインターフェースのタイミング

| 記号 | パラメータ | Min | Max | 単位 |
|----|-------------------------------------|-----|-----|------|
| t1 | CS# アクティブ → SCLK のポジティブエッジ | 10 | — | ns |
| t2 | SI セットアップ → SCLK のポジティブエッジ | 6 | — | ns |
| t3 | SCLK のポジティブエッジからの SI ホールド | 8 | — | ns |
| t4 | SCLK の周期 | 150 | — | ns |
| t5 | SCLK のポジティブエッジ → CS# HIGH | 1 | — | SCLK |
| t6 | SCLK のネガティブエッジ → SO の駆動 (Hi-Z ではない) | — | 22 | ns |
| t7 | SCLK のネガティブエッジ → SO のデータが有効 | — | 25 | ns |

8.4.2 4 線シリアルインターフェース (SPI) のタイミング

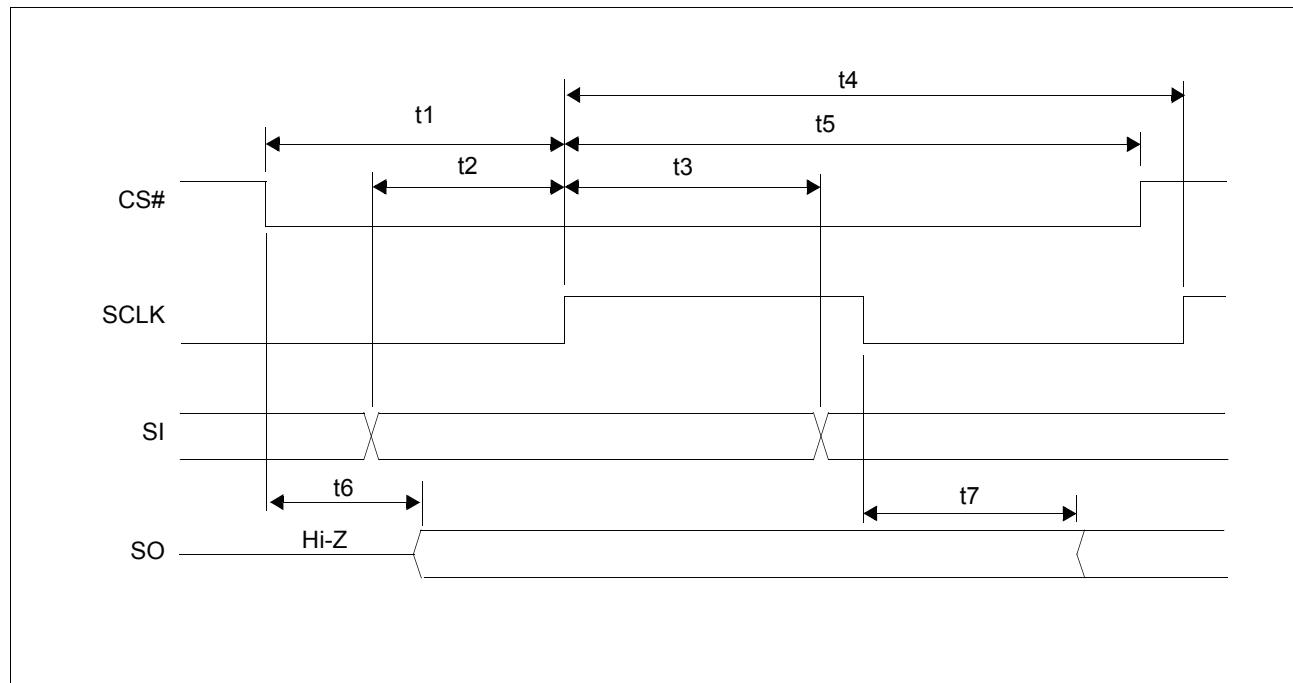


図 8-7: 4 線シリアルインターフェース (SPI) のタイミング

表 8-7: 4 線シリアルインターフェース (SPI) のタイミング

| 記号 | パラメータ | Min | Max | 単位 |
|----|------------------------------|-----|-----|------|
| t1 | CS# アクティブ → SCLK のポジティブエッジ | 10 | — | ns |
| t2 | SI セットアップ → SCLK のポジティブエッジ | 6 | — | ns |
| t3 | SCLK のポジティブエッジからの SI ホールド | 8 | — | ns |
| t4 | SCLK の周期 | 100 | — | ns |
| t5 | SCLK のポジティブエッジ → CS# HIGH | 1 | — | SCLK |
| t6 | CS# LOW → SO の駆動 (Hi-Z ではない) | — | 20 | ns |
| t7 | SCLK のネガティブエッジ → SO のデータが有効 | — | 25 | ns |

8.5 パラレル RGB インタフェースのタイミング

8.5.1 垂直タイミング

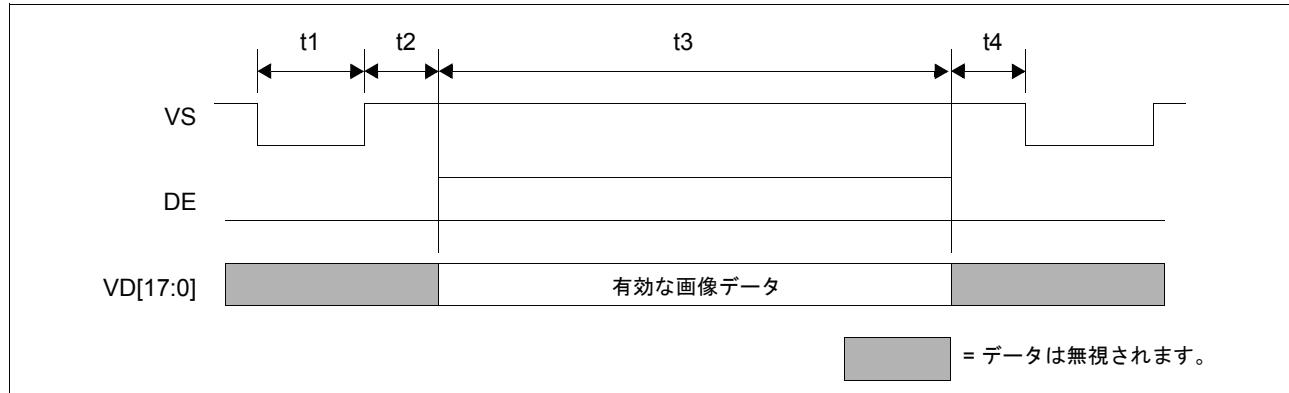


表 8-8: パラレル RGB インタフェースの垂直タイミング

| 記号 | パラメータ | Min | Max | 単位 |
|----|---------------|-----|------|-----|
| t1 | 垂直同期期間 | 2 | — | ライン |
| t2 | 垂直バックポーチ | 2 | — | ライン |
| t3 | 垂直アクティブフレーム期間 | 16 | 1024 | ライン |
| t4 | 垂直フロントポーチ | 2 | — | ライン |

8.5.2 水平タイミング

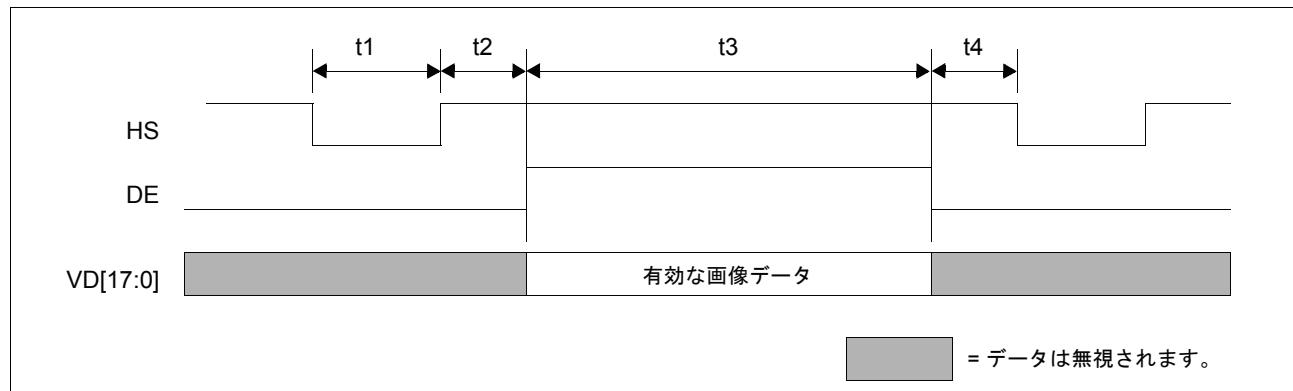


図8-9: パラレルRGB インタフェースの水平タイミング

表8-9: パラレルRGB インタフェースの水平タイミング

| 記号 | パラメータ | Min | Max | 単位 |
|----|--------------|-----|------|------|
| t1 | 水平同期期間 | 2 | — | PCLK |
| t2 | 水平バックポーチ | 2 | — | PCLK |
| t3 | 水平アクティブライン期間 | 16 | 1024 | PCLK |
| t4 | 水平フロントポーチ | 2 | — | PCLK |

8.5.3 PCLK に対する入力信号のタイミング

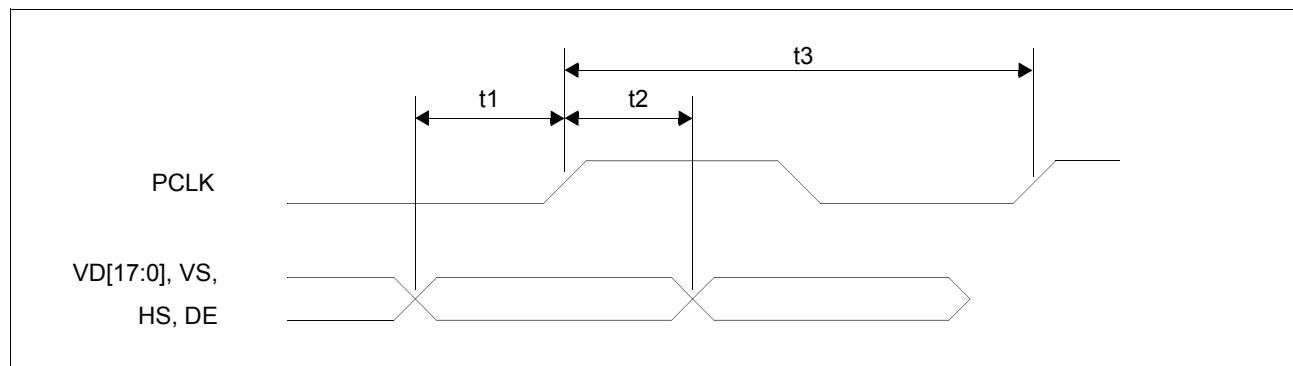


図8-10: PCLK に対する入力信号のタイミング

表8-10: PCLK に対する入力信号のタイミング

| 記号 | パラメータ | Min | Max | 単位 |
|----|---------------------------------|-----|-----|----|
| t1 | VD[17:0]、VS、HS、および DE のセットアップ時間 | 5 | — | ns |
| t2 | VD[17:0]、VS、HS、および DE のホールド時間 | 8 | — | ns |
| t3 | PCLK の周期 | 25 | — | ns |

8.6 TV のタイミング

8.6.1 TV 出力のタイミング

PALとNTSCの全体的なビデオのタイミングをそれぞれ図8-11と図8-12に示します。

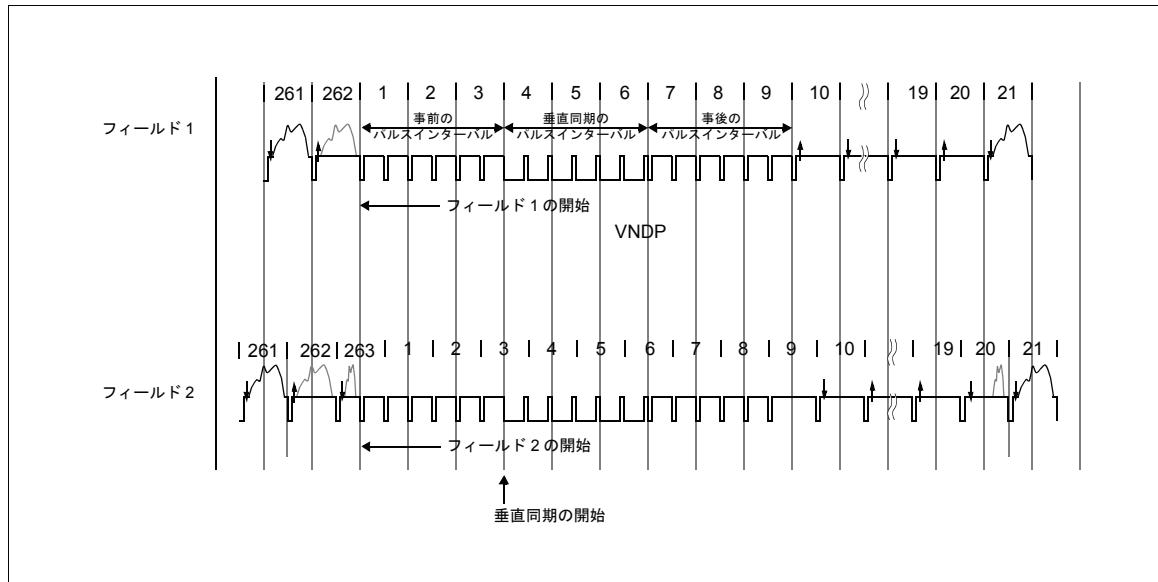


図8-11: NTSC ビデオのタイミング

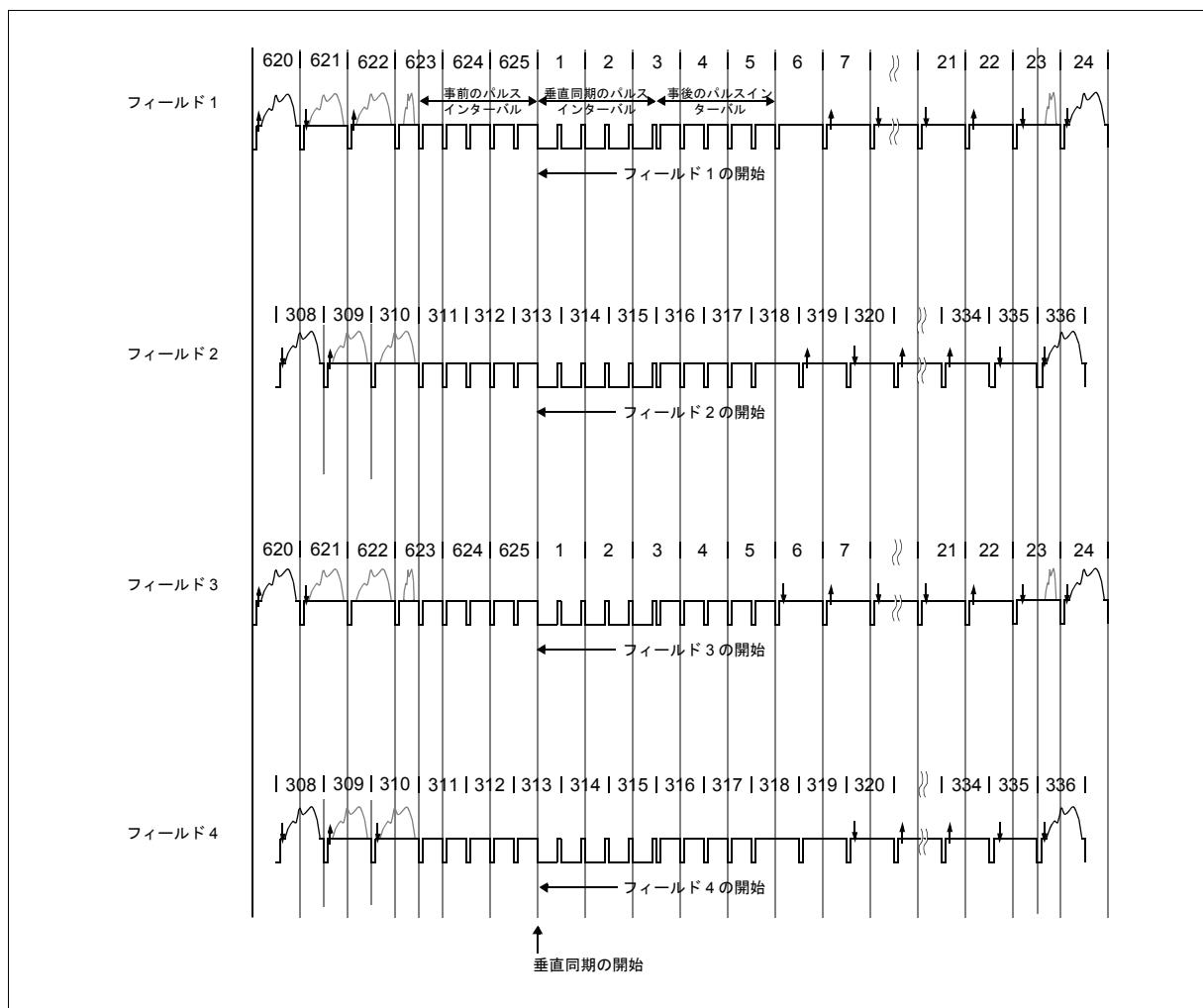


図8-12: PALビデオのタイミング

8.AC 特性

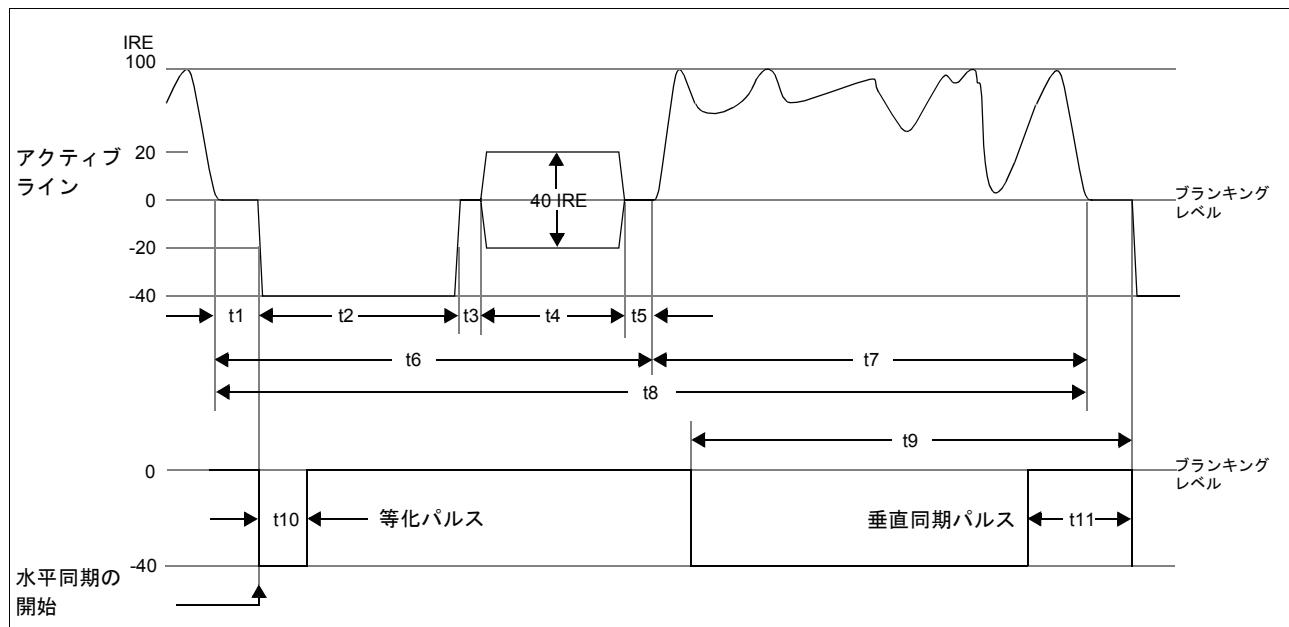


図 8-13: NTSC/PAL の水平タイミング

表 8-11: NTSC/PAL の水平タイミング

| 記号 | パラメータ | NTSC M/J (525 ライン) | PAL B/D/G/H/I/N (625 ライン) | PAL Nc (625 ライン) | PAL M (525 ライン) | 単位 |
|-----|-----------------|-----------------------|------------------------------|---------------------|--------------------|----|
| t1 | フロントポーチ (注 1) | 0.96 | 0.96 | 0.96 | 0.96 | μs |
| t2 | 水平同期 | 4.7 | 4.7 | 4.7 | 4.7 | μs |
| t3 | ブリーズウェイ | 0.85 | 0.9 | 0.9 | 1.12 | μs |
| t4 | カラーバースト | 2.52 | 2.26 | 2.52 | 2.52 | μs |
| t5 | カラーバックポーチ (注 2) | 1.19 | 1.85 | 1.59 | 0.96 | μs |
| t6 | 水平ブランкиング | 10.222 | 10.667 | 10.667 | 10.222 | μs |
| t7 | アクティブビデオ | 53.333 | 53.333 | 53.333 | 53.333 | μs |
| t8 | ライン期間 | 63.555 | 64 | 64 | 64 | μs |
| t9 | ハーフライン期間 | 31.7777 | 32 | 32 | 32 | μs |
| t10 | 等化パルス | 2.3 | 2.35 | 2.35 | 2.35 | μs |
| t11 | 垂直セレーション | 4.66 | 4.66 | 4.66 | 4.66 | μs |

注

この表の数値は、REG[9Eh] ビット 6-4 が 000 (デフォルト) に設定されているときに測定したものです。

1. $t1 = 0.074 \times (13 \pm \text{REG}[9Eh] \text{ ビット 6-4}) \text{ } \mu\text{s}$
(\pm は REG[9Eh] ビット 7 によって制御されます)
2. $t5 = 2.15\mu\text{s} - t1$ (NTSC M/J の場合)
 $= 2.81\mu\text{s} - t1$ (PAL B/D/G/H/I/N の場合)
 $= 2.55\mu\text{s} - t1$ (PAL Nc の場合)
 $= 1.92\mu\text{s} - t1$ (PAL M の場合)

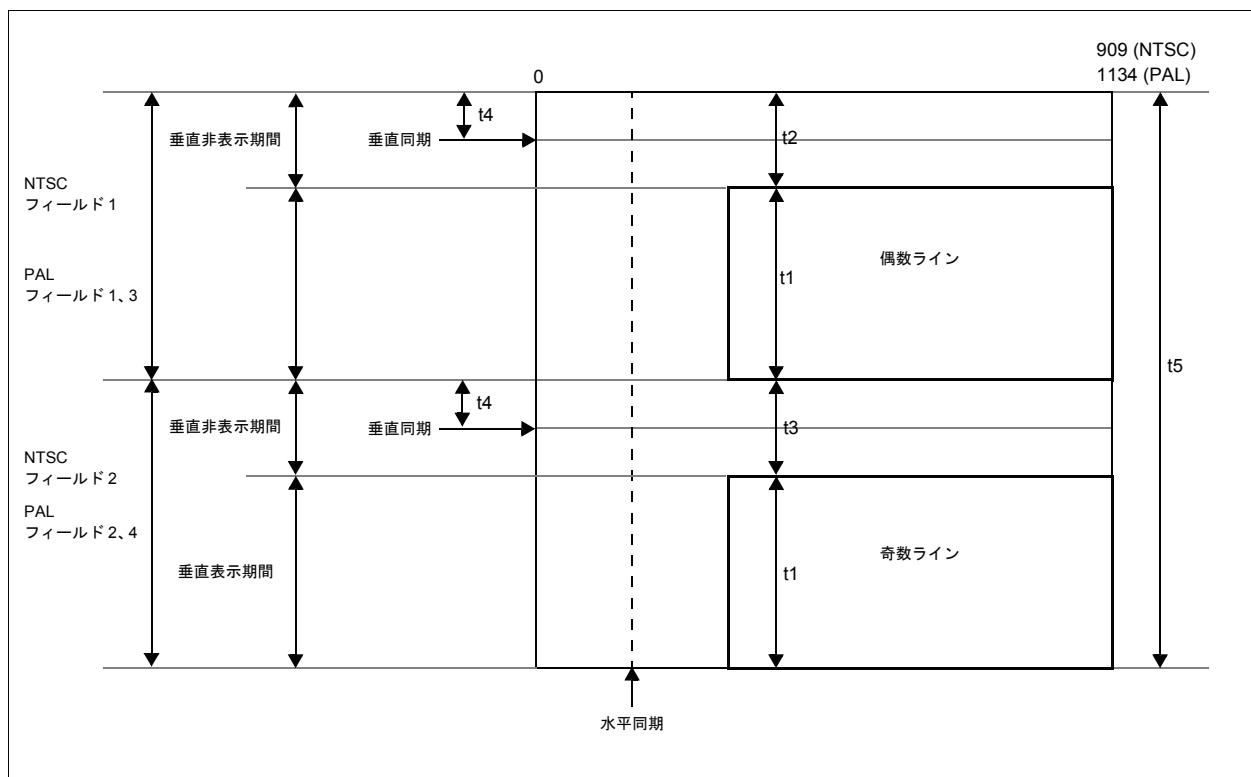


図 8-14: NTSC/PAL の垂直タイミング

表 8-12: NTSC/PAL の垂直タイミング

| 記号 | パラメータ | NTSC M/J、PAL M | PAL B/D/G/H/I/Nc | 単位 |
|------------|------------|----------------|------------------|------------|
| T_{LINE} | ライン期間 | 63.5555 | 64 | μs |
| t_1 | 垂直フィールド期間 | 240 | 288 | T_{LINE} |
| t_2 | 垂直偶数ブランキング | 22 | 24 | T_{LINE} |
| t_3 | 垂直奇数ブランキング | 23 | 25 | T_{LINE} |
| t_4 | 垂直同期位置 (注) | 3 | 3 | T_{LINE} |
| t_5 | フレーム期間 | 525 | 625 | T_{LINE} |

注

この表の数値は、REG[9Eh] ビット 3-2 が 00 (デフォルト) に設定されているときに測定したものです。

$$t_4 = 3 - \text{REG}[9Eh] \text{ ビット 3-2}$$

8.6.2 TV 出力のパラメータ

この項で得られる計算結果はすべて、コンポジットビデオ出力に関するものです。

ルミナンスの非直線性

TV システムにおいて、ルミナンスゲインがルミナンスレベルに影響される場合、ルミナンスの非直線性が存在します。S1D13746 では、ルミナンスゲインはルミナンスレベルに影響されません。ルミナンスの非直線性は、回路と DAC 性能の丸め精度にのみ左右されます。この数字は、最悪条件の DAC パラメータを考慮しながら、10 ステップステアケースのテストパターンにおいて各ステップの振幅を比較することで計算されます。最大のステップと最小のステップとの差異が最大のステップ振幅の率として表され、ルミナンスの非直線性のひずみ量となります。

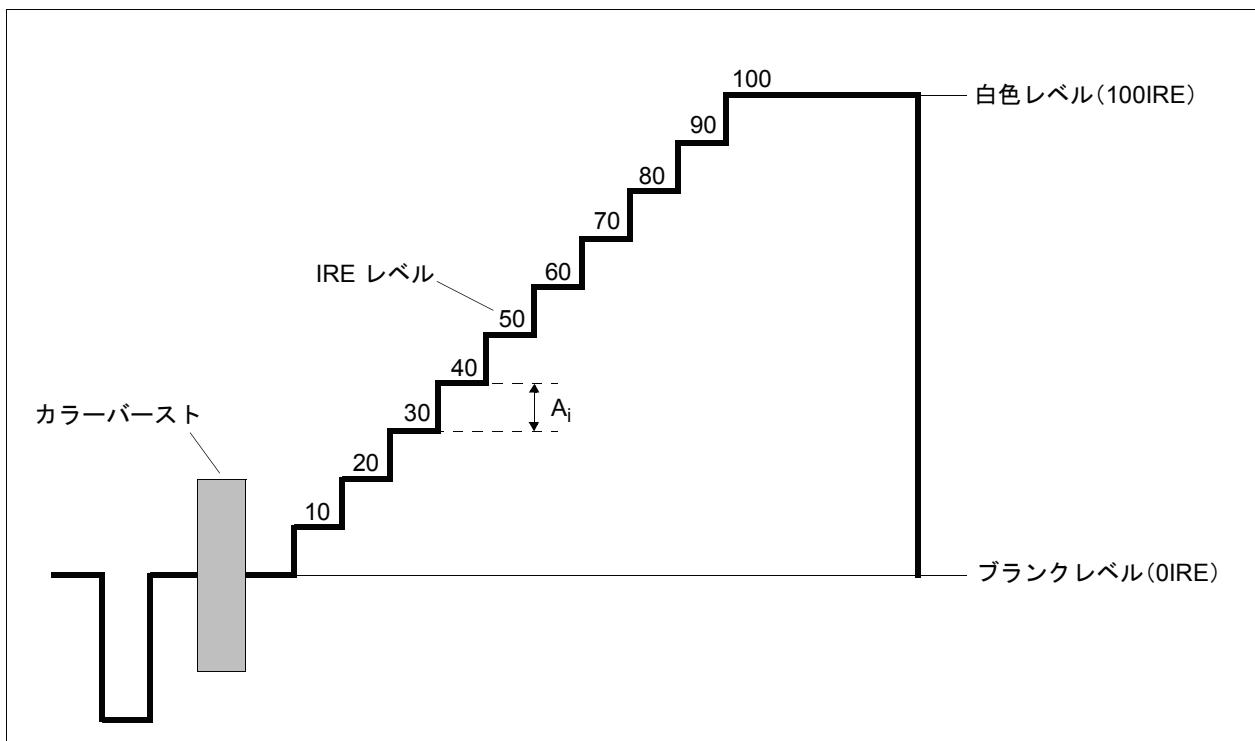


図 8-15: ルミナンスの非直線性

$$\text{ルミナンスの非直線性} = [\text{Max}(A_i) - \text{Min}(A_i)] \div \text{Max}(A_i)$$

ここで、 $i = 1 \sim 10$ ステップの各位置

表 8-13: ルミナンスの非直線性 (10 ステップステアケースによる)

| | PAL | | | NTSC | |
|------|-----------|--------|--------|--------|--------|
| | B,D,G,H,I | M | N | Nc | M |
| 標準値 | 7.14% | 0.00% | 0.00% | 7.14% | 0.00% |
| 最悪条件 | 41.18% | 37.50% | 37.50% | 41.18% | 37.50% |

75%と100%のカラーバーレベル

この数字は、最悪条件の DAC パラメータを考慮しながら、75%と100%のカラーバーテストパターンに基づいて計算されます。

表 8-14: 75%と100%のカラーバーレベル

| | | 75%カラーバー (mV) | | | | | | 100%カラーバー (mV) | | | | | | |
|-------------|----------|---------------|---------|---------|---------|---------|---------|----------------|---------|---------|---------|---------|---------|---------|
| | | PAL | | | NTSC | | | PAL | | | NTSC | | | |
| | | B,D,G, H,I | M | N | Nc | M | J | B,D,G, H,I | M | N | Nc | M | J | |
| 同期チップ | Max | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | 30.75 | |
| | Typ | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | 20.33 | |
| | Min | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | 11.44 | |
| ブランク | Max | 360.65 | 343.87 | 343.87 | 360.65 | 343.87 | 343.87 | 360.65 | 343.87 | 343.87 | 360.65 | 343.87 | 343.87 | |
| | Typ | 320.23 | 304.99 | 304.99 | 320.23 | 304.99 | 304.99 | 320.23 | 304.99 | 304.99 | 320.23 | 304.99 | 304.99 | |
| | Min | 281.35 | 267.62 | 267.62 | 281.35 | 267.62 | 267.62 | 281.35 | 267.62 | 267.62 | 281.35 | 267.62 | 267.62 | |
| カラー バースト | 高 チップ | Max | 522.80 | 506.02 | 506.02 | 522.80 | 499.03 | 499.03 | 522.80 | 506.02 | 506.02 | 522.80 | 499.03 | 499.03 |
| | | Typ | 467.64 | 452.39 | 452.39 | 467.64 | 446.04 | 446.04 | 467.64 | 452.39 | 452.39 | 467.64 | 446.04 | 446.04 |
| | | Min | 414.02 | 400.29 | 400.29 | 414.02 | 394.57 | 394.57 | 414.02 | 400.29 | 400.29 | 414.02 | 394.57 | 394.57 |
| | 低 チップ | Max | 197.10 | 180.32 | 180.32 | 197.10 | 187.31 | 187.31 | 197.10 | 180.32 | 180.32 | 197.10 | 187.31 | 187.31 |
| | | Typ | 171.55 | 156.30 | 156.30 | 171.55 | 162.66 | 162.66 | 171.55 | 156.30 | 156.30 | 171.55 | 162.66 | 162.66 |
| | | Min | 147.54 | 133.81 | 133.81 | 147.54 | 139.53 | 139.53 | 147.54 | 133.81 | 133.81 | 147.54 | 139.53 | 139.53 |
| 白 | Max | 936.56 | 944.95 | 944.95 | 936.56 | 944.95 | 930.97 | 1126.67 | 1129.46 | 1129.46 | 1126.67 | 1129.46 | 1126.67 | |
| | Typ | 843.79 | 851.42 | 851.42 | 843.79 | 851.42 | 838.71 | 1016.62 | 1019.16 | 1019.16 | 1016.62 | 1019.16 | 1016.62 | |
| | Min | 752.55 | 759.41 | 759.41 | 752.55 | 759.41 | 747.98 | 908.09 | 910.38 | 910.38 | 908.09 | 910.38 | 908.09 | |
| 黄 | 高 チップ | Max | 1128.06 | 1123.87 | 1123.87 | 1128.06 | 1123.87 | 1126.67 | 1375.48 | 1365.70 | 1365.70 | 1375.48 | 1365.70 | 1385.27 |
| | | Typ | 1017.89 | 1014.08 | 1014.08 | 1017.89 | 1014.08 | 1016.62 | 1242.82 | 1233.92 | 1233.92 | 1242.82 | 1233.92 | 1251.71 |
| | | Min | 909.24 | 905.81 | 905.81 | 909.24 | 905.81 | 908.09 | 1111.67 | 1103.67 | 1103.67 | 1111.67 | 1103.67 | 1119.68 |
| | 低 チップ | Max | 610.86 | 641.61 | 641.61 | 610.86 | 641.61 | 599.68 | 697.53 | 724.09 | 724.09 | 697.53 | 724.09 | 687.74 |
| | | Typ | 547.70 | 575.66 | 575.66 | 547.70 | 575.66 | 537.54 | 626.49 | 650.64 | 650.64 | 626.49 | 650.64 | 617.60 |
| | | Min | 486.07 | 511.23 | 511.23 | 486.07 | 511.23 | 476.92 | 556.98 | 578.71 | 578.71 | 556.98 | 578.71 | 548.97 |
| シアン | 高 チップ | Max | 1123.87 | 1126.67 | 1125.27 | 1123.87 | 1126.67 | 1123.87 | 1378.28 | 1369.89 | 1369.89 | 1378.28 | 1369.89 | 1385.27 |
| | | Typ | 1014.08 | 1016.62 | 1015.35 | 1014.08 | 1016.62 | 1014.08 | 1245.36 | 1237.73 | 1237.73 | 1245.36 | 1237.73 | 1251.71 |
| | | Min | 905.81 | 908.09 | 906.95 | 905.81 | 908.09 | 905.81 | 1113.96 | 1107.10 | 1107.10 | 1113.96 | 1107.10 | 1119.68 |
| | 低 チップ | Max | 401.18 | 438.92 | 438.92 | 401.18 | 438.92 | 378.82 | 415.16 | 451.51 | 451.51 | 415.16 | 451.51 | 396.99 |
| | | Typ | 357.09 | 391.40 | 391.40 | 357.09 | 391.40 | 336.75 | 369.79 | 402.83 | 402.83 | 369.79 | 402.83 | 353.27 |
| | | Min | 314.52 | 345.40 | 345.40 | 314.52 | 345.40 | 296.22 | 325.95 | 355.69 | 355.69 | 325.95 | 355.69 | 311.09 |
| 緑 | 高 チップ | Max | 1035.81 | 1040.00 | 1040.00 | 1035.81 | 1040.00 | 1031.61 | 1265.05 | 1253.87 | 1253.87 | 1265.05 | 1253.87 | 1260.86 |
| | | Typ | 934.02 | 937.83 | 937.83 | 934.02 | 937.83 | 930.21 | 1142.42 | 1132.26 | 1132.26 | 1142.42 | 1132.26 | 1138.61 |
| | | Min | 833.75 | 837.18 | 837.18 | 833.75 | 837.18 | 830.32 | 1021.32 | 1012.17 | 1012.17 | 1021.32 | 1012.17 | 1017.89 |
| | 低 チップ | Max | 355.05 | 401.18 | 401.18 | 355.05 | 401.18 | 336.88 | 360.65 | 399.78 | 399.78 | 360.65 | 399.78 | 342.47 |
| | | Typ | 315.15 | 357.09 | 357.09 | 315.15 | 357.09 | 298.63 | 320.23 | 355.82 | 355.82 | 320.23 | 355.82 | 303.71 |
| | | Min | 276.77 | 314.52 | 314.52 | 276.77 | 314.52 | 261.91 | 281.35 | 313.37 | 313.37 | 281.35 | 313.37 | 266.48 |
| マゼンタ | 高 チップ | Max | 940.75 | 944.95 | 944.95 | 940.75 | 944.95 | 930.97 | 1125.27 | 1125.27 | 1125.27 | 1125.27 | 1125.27 | 1121.08 |
| | | Typ | 847.61 | 851.42 | 851.42 | 847.61 | 851.42 | 838.71 | 1015.35 | 1015.35 | 1015.35 | 1015.35 | 1015.35 | 1011.53 |
| | | Min | 755.98 | 759.41 | 759.41 | 755.98 | 759.41 | 747.98 | 906.95 | 906.95 | 906.95 | 906.95 | 906.95 | 903.52 |
| | 低 チップ | Max | 260.00 | 306.13 | 306.13 | 260.00 | 306.13 | 236.24 | 220.86 | 271.18 | 271.18 | 220.86 | 271.18 | 202.69 |
| | | Typ | 228.74 | 270.67 | 270.67 | 228.74 | 270.67 | 207.14 | 193.16 | 238.91 | 238.91 | 193.16 | 238.91 | 176.64 |
| | | Min | 199.00 | 236.74 | 236.74 | 199.00 | 236.74 | 179.56 | 166.98 | 208.15 | 208.15 | 166.98 | 208.15 | 152.11 |
| 赤 | 高 チップ | Max | 894.62 | 907.20 | 907.20 | 894.62 | 907.20 | 889.03 | 1070.75 | 1072.15 | 1072.15 | 1073.55 | 1070.75 | 1072.15 |
| | | Typ | 805.67 | 817.11 | 817.11 | 805.67 | 817.11 | 800.59 | 965.79 | 967.06 | 968.33 | 965.79 | 968.33 | 967.06 |
| | | Min | 718.24 | 728.53 | 728.53 | 718.24 | 728.53 | 713.67 | 862.35 | 863.49 | 864.63 | 862.35 | 864.63 | 863.49 |
| | 低 チップ | Max | 171.94 | 219.46 | 220.86 | 171.94 | 220.86 | 143.98 | 107.63 | 155.16 | 155.16 | 107.63 | 155.16 | 83.87 |
| | | Typ | 148.68 | 191.89 | 193.16 | 148.68 | 193.16 | 123.26 | 90.22 | 133.43 | 133.43 | 90.22 | 133.43 | 68.62 |
| | | Min | 126.95 | 165.84 | 166.98 | 126.95 | 166.98 | 104.08 | 74.34 | 113.23 | 113.23 | 74.34 | 113.23 | 54.90 |

8.AC 特性

表 8-14: 75% と 100% のカラーバーレベル (続き)

| | | 75% カラーバー (mV) | | | | | | 100% カラーバー (mV) | | | | | | |
|---|----------|----------------|--------|--------|--------|--------|--------|-----------------|--------|--------|--------|--------|--------|--------|
| | | PAL | | | NTSC | | | PAL | | | NTSC | | | |
| | | B,D,G, H,I | M | N | Nc | M | J | B,D,G, H,I | M | N | Nc | M | J | |
| 青 | 高 チップ | Max | 684.95 | 704.52 | 704.52 | 684.95 | 704.52 | 673.76 | 792.58 | 806.56 | 806.56 | 792.58 | 806.56 | 781.40 |
| | | Typ | 615.05 | 632.84 | 632.84 | 615.05 | 632.84 | 604.89 | 712.90 | 725.61 | 725.61 | 712.90 | 725.61 | 702.74 |
| | | Min | 546.69 | 562.70 | 562.70 | 546.69 | 562.70 | 537.54 | 634.75 | 646.19 | 646.19 | 634.75 | 646.19 | 625.60 |
| | 低 チップ | Max | 169.14 | 222.26 | 222.26 | 169.14 | 222.26 | 146.77 | 106.24 | 164.95 | 164.95 | 106.24 | 164.95 | 83.87 |
| | | Typ | 146.14 | 194.43 | 194.43 | 146.14 | 194.43 | 125.81 | 88.95 | 142.33 | 142.33 | 88.95 | 142.33 | 68.62 |
| | | Min | 124.66 | 168.12 | 168.12 | 124.66 | 168.12 | 106.36 | 73.20 | 121.23 | 121.23 | 73.20 | 121.23 | 54.90 |
| 黒 | | Max | 360.65 | 402.58 | 402.58 | 360.65 | 402.58 | 343.87 | 360.65 | 402.58 | 402.58 | 360.65 | 402.58 | 343.87 |
| | | Typ | 320.23 | 358.36 | 358.36 | 320.23 | 358.36 | 304.99 | 320.23 | 358.36 | 358.36 | 320.23 | 358.36 | 304.99 |
| | | Min | 281.35 | 315.66 | 315.66 | 281.35 | 315.66 | 267.62 | 281.35 | 315.66 | 315.66 | 281.35 | 315.66 | 267.62 |

10 ステップステアケースレベル

この数字は、最悪条件の DAC パラメータを考慮しながら、10 ステップステアケースのテストパターンに基づいて計算されます。

表 8-15: 10 ステップステアケースレベル

| Step | | PAL | | | | NTSC | | | | Units |
|---------|--|-----------|---------|---------|---------|---------|---------|---------|----|-------|
| | | B,D,G,H,I | M | N | Nc | M | J | | | |
| 1 ステップ | | Max | 438.92 | 475.27 | 475.27 | 438.92 | 475.27 | 422.15 | mV | |
| | | Typ | 391.40 | 424.44 | 424.44 | 391.40 | 424.44 | 376.15 | mV | |
| | | Min | 345.40 | 375.13 | 375.13 | 345.40 | 375.13 | 331.67 | mV | |
| 2 ステップ | | Max | 517.20 | 547.96 | 547.96 | 517.20 | 547.96 | 500.43 | mV | |
| | | Typ | 462.56 | 490.52 | 490.52 | 462.56 | 490.52 | 447.31 | mV | |
| | | Min | 409.44 | 434.60 | 434.60 | 409.44 | 434.60 | 395.72 | mV | |
| 3 ステップ | | Max | 589.89 | 620.65 | 620.65 | 589.89 | 620.65 | 578.71 | mV | |
| | | Typ | 528.64 | 556.60 | 556.60 | 528.64 | 556.60 | 518.48 | mV | |
| | | Min | 468.91 | 494.08 | 494.08 | 468.91 | 494.08 | 459.77 | mV | |
| 4 ステップ | | Max | 668.17 | 693.33 | 693.33 | 668.17 | 693.33 | 656.99 | mV | |
| | | Typ | 599.80 | 622.68 | 622.68 | 599.80 | 622.68 | 589.64 | mV | |
| | | Min | 532.96 | 553.55 | 553.55 | 532.96 | 553.55 | 523.81 | mV | |
| 5 ステップ | | Max | 746.45 | 766.02 | 766.02 | 746.45 | 766.02 | 735.27 | mV | |
| | | Typ | 670.97 | 688.76 | 688.76 | 670.97 | 688.76 | 660.80 | mV | |
| | | Min | 597.01 | 613.02 | 613.02 | 597.01 | 613.02 | 587.86 | mV | |
| 6 ステップ | | Max | 824.73 | 838.71 | 838.71 | 824.73 | 838.71 | 813.55 | mV | |
| | | Typ | 742.13 | 754.84 | 754.84 | 742.13 | 754.84 | 731.96 | mV | |
| | | Min | 661.06 | 672.49 | 672.49 | 661.06 | 672.49 | 651.91 | mV | |
| 7 ステップ | | Max | 897.42 | 911.40 | 911.40 | 897.42 | 911.40 | 891.83 | mV | |
| | | Typ | 808.21 | 820.92 | 820.92 | 808.21 | 820.92 | 803.13 | mV | |
| | | Min | 720.53 | 731.96 | 731.96 | 720.53 | 731.96 | 715.95 | mV | |
| 8 ステップ | | Max | 975.70 | 984.09 | 984.09 | 975.70 | 984.09 | 970.11 | mV | |
| | | Typ | 879.37 | 887.00 | 887.00 | 879.37 | 887.00 | 874.29 | mV | |
| | | Min | 784.57 | 791.44 | 791.44 | 784.57 | 791.44 | 780.00 | mV | |
| 9 ステップ | | Max | 1053.98 | 1056.77 | 1056.77 | 1053.98 | 1056.77 | 1048.39 | mV | |
| | | Typ | 950.54 | 953.08 | 953.08 | 950.54 | 953.08 | 945.45 | mV | |
| | | Min | 848.62 | 850.91 | 850.91 | 848.62 | 850.91 | 844.05 | mV | |
| 10 ステップ | | Max | 1132.26 | 1129.46 | 1129.46 | 1132.26 | 1129.46 | 1132.26 | mV | |
| | | Typ | 1021.70 | 1019.16 | 1019.16 | 1021.70 | 1019.16 | 1021.70 | mV | |
| | | Min | 912.67 | 910.38 | 910.38 | 912.67 | 910.38 | 912.67 | mV | |

周波数応答

TV システムにおいて、振幅に影響を与えることなく異なる周波数の信号成分を均一に転送する能力は、周波数応答の計測により評価されます。このパラメータは、周波数応答に対する振幅あるいはゲイン / 周波数ひずみとしても知られており、ビデオスペクトラム全体に対するシステムの振幅特性を評価します。S1D13746 では、TV 機能は 26 ~ 27MHz で動作し、ビデオスペクトラムを余裕を持って越えているため、TV 信号の振幅がビデオスペクトラムの周波数により左右されることはありません。周波数応答の計測は回路と DAC 性能の丸め精度にのみ左右されます。この数字は、最悪条件の DAC パラメータを考慮しながらマルチバーストのテストパターン（このテストパターンは S1D13746 では有効にならないため、計算はシミュレーションに基づく）の振幅を比較することで計算されます。各周波数パケットの振幅は、最低周波数の振幅と比較して dB 単位で表します。

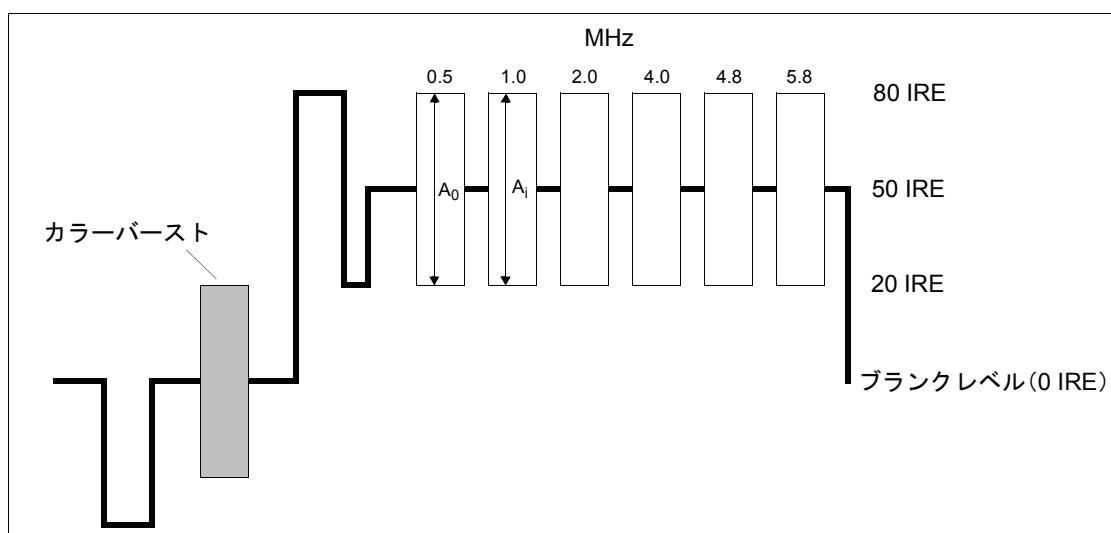


図 8-16: 周波数応答

$$\text{周波数応答} = 20 \times \log(A_i \div A_0)$$

ここで、

$A_0 = 0.5\text{MHz}$ バーストの振幅

$A_i = 0.5\text{MHz}$ 以上のバーストの振幅、 $i=1 \sim 5$

8.AC 特性

表 8-16: 周波数応答

| ベース上周波数 | | 周波数応答 (dB) | | | | | |
|---------------------|-----|------------|-------|-------|-------|-------|-------|
| | | PAL | | | NTSC | | |
| | | B,D,G,H,I | M | N | Nc | M | J |
| 1MHz | Max | 0.64 | 0.75 | 0.64 | 0.64 | 0.75 | 0.75 |
| | Typ | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 |
| | Min | -0.64 | -0.75 | -0.64 | -0.64 | -0.75 | -0.75 |
| | Max | 0.64 | 0.75 | 0.64 | 0.64 | 0.75 | 0.75 |
| | Typ | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 |
| | Min | -0.64 | -0.75 | -0.64 | -0.64 | -0.75 | -0.75 |
| 3MHz (4MHz) | Max | 0.64 | 0.63 | 0.64 | 0.53 | 0.63 | 0.63 |
| | Typ | 0.00 | -0.13 | 0.00 | -0.11 | -0.13 | -0.13 |
| | Min | -0.64 | -0.88 | -0.64 | -0.75 | -0.88 | -0.88 |
| 3.58MHz (4.8MHz) | Max | 0.64 | 0.75 | 0.64 | 0.64 | 0.75 | 0.75 |
| | Typ | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 |
| | Min | -0.64 | -0.75 | -0.64 | -0.64 | -0.75 | -0.75 |
| 4.2MHz (5.8MHz) | Max | 0.64 | 0.75 | 0.64 | 0.64 | 0.75 | 0.75 |
| | Typ | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 | 0.00 |
| | Min | -0.64 | -0.75 | -0.64 | -0.64 | -0.75 | -0.75 |

クロミナスゲインの非直線性

TV システムにおいて、クロミナスゲインがクロミナスの振幅に依存する場合、クロミナスの非直線性のゲインひずみが存在します。S1D13746 では、クロミナスゲインはクロミナスレベルに左右されません。クロミナスゲインの非直線性は、回路と DAC 性能の丸め精度にのみ左右されます。この数字は、最悪条件の DAC パラメータを考慮しながら変調ペデスタルのテストパターン（このテストパターンは S1D13746 では有効にならないため、計算はシミュレーションに基づく）内パケットの振幅を比較することで計算されます。正規化した中間パケットの振幅と比較されたパケットの振幅が公称振幅の率として表され、クロミナスゲインの非直線性となります。

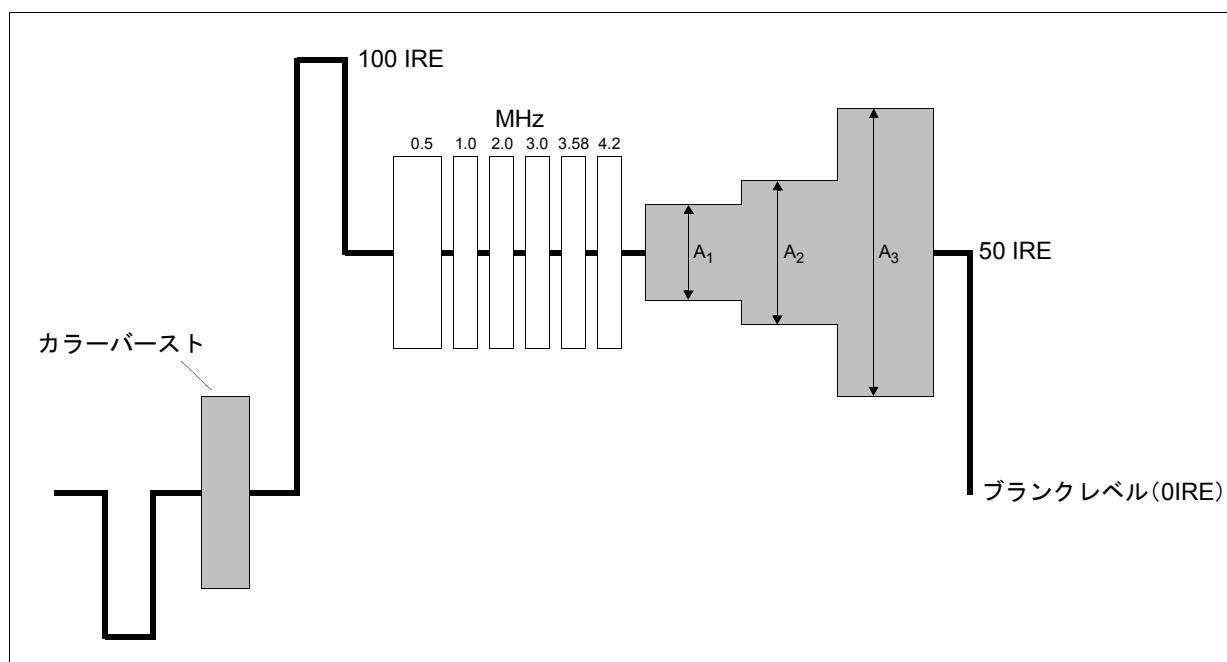


図 8-17: クロミナスゲインの非直線性

$$\text{クロミナスゲインの非直線性} = 100 \times |(A_i - k_i \times A_2) \div (k_i \times A_2)|$$

ここで、

A = 受信サブキャリアの振幅

i = バースト位置 (1 が最小、3 が最大)

$k_i = 625$ ラインの信号に対して、 $(2i - 1) \div 3$

$k_i = 525$ ラインの信号に対して、 2^{i-2}

表 8-17: クロミナスゲインの非直線性

| クロミナス ゲイン の非直線性 | 最小 ペデスタル | PAL | | | | NTSC | |
|-----------------------|-------------|-----------|---------|---------|---------|---------|---------|
| | | B,D,G,H,I | M | N | Nc | M | J |
| クロミナス ゲイン の非直線性 | Max | 15.24% | 16.59% | 15.24% | 15.24% | 16.59% | 16.59% |
| | Typ | 0.00% | 0.45% | 0.00% | 0.00% | 0.45% | 0.45% |
| | Min | -14.16% | -15.74% | -14.16% | -14.16% | -15.74% | -15.74% |
| 最大 ペデスタル | Max | 6.48% | 8.77% | 6.48% | 6.48% | 8.77% | 8.77% |
| | Typ | 0.37% | 0.22% | 0.37% | 0.37% | 0.22% | 0.22% |
| | Min | -5.31% | -7.45% | -5.31% | -5.31% | -7.45% | -7.45% |

クロミナンス対ルミナンスの相互変調

TV システムにおいて、ルミナンスの振幅がスーパーインポーズされたクロミナンスに影響される場合、クロミナンス対ルミナンスの相互変調が存在します。S1D13746 では、ルミナンスとクロミナンスは別々に処理され、DAC に送られる前になってから結合されます。ルミナンスの振幅はクロミナンスに左右されず、クロミナンス対ルミナンスは回路と DAC 性能の丸め精度にのみ左右されます。この数字は、最悪条件の DAC パラメータを考慮しながら変調ペデスタルのテストパターン（このテストパターンは S1D13746 では有効にならないため、計算はシミュレーションに基づく）内パケットの平均レベルを比較することで計算されます。各パケットの平均レベル（高チップおよび低チップのレベル）は、信号の一部にすぎないルミナンスのレベルと比較され率で示されます。

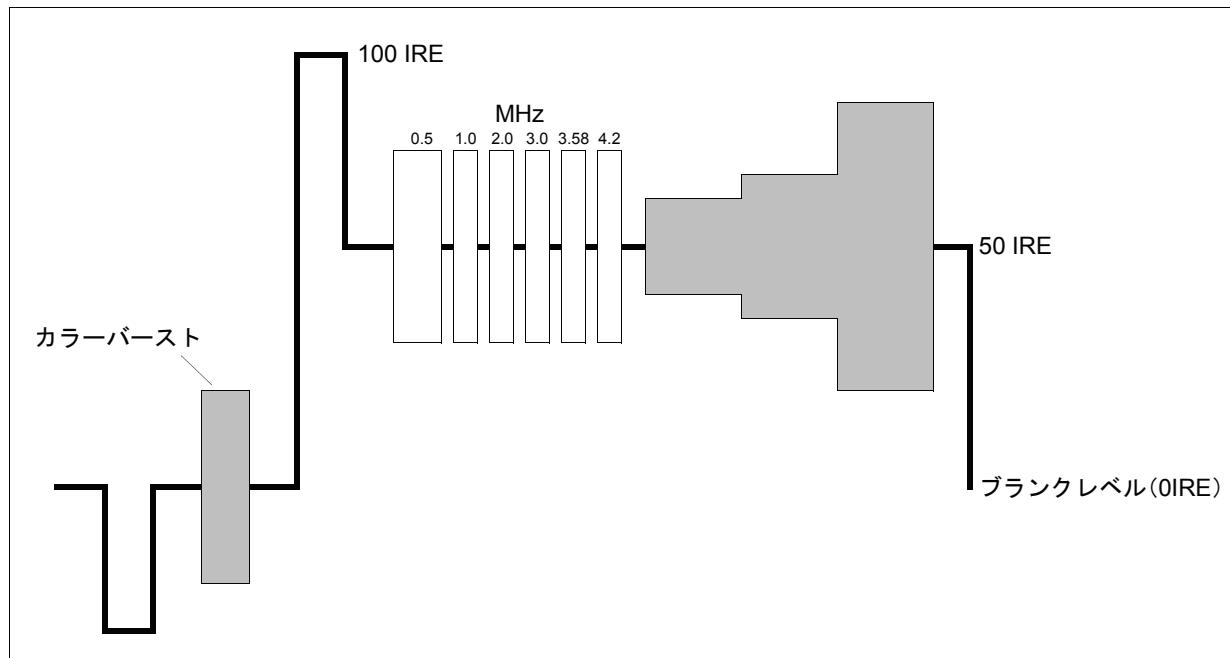


図 8-18: フィルタ前のクロミナンス

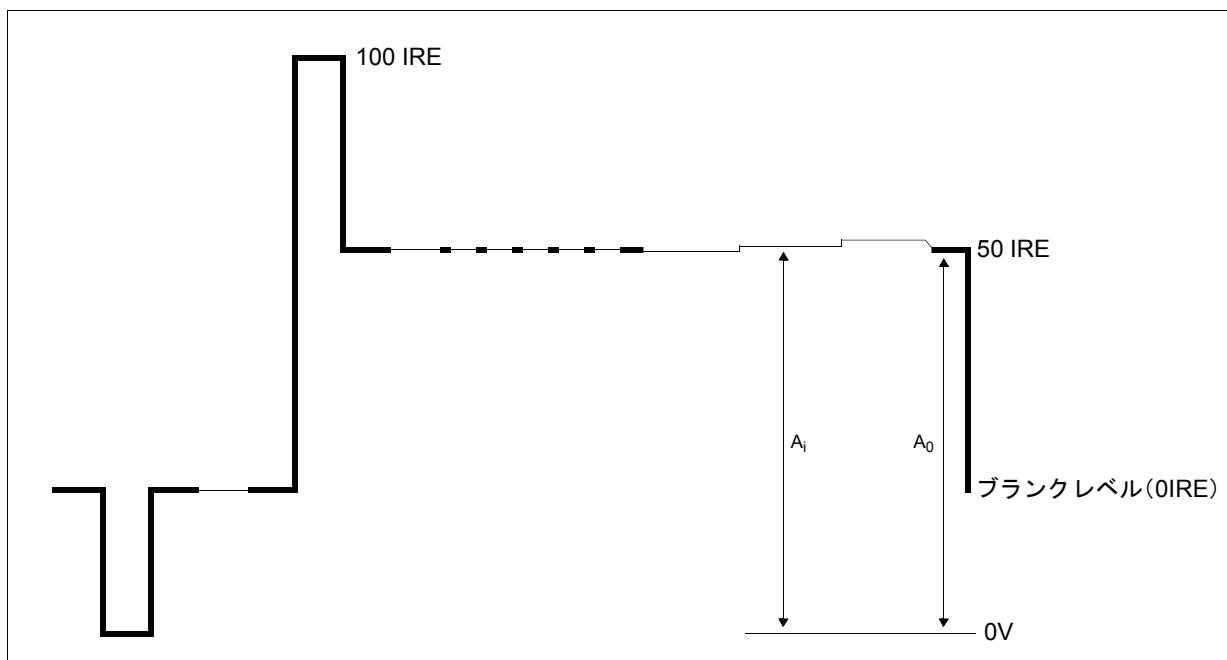


図8-19: フィルタ後のクロミナンス

$$\text{クロミナンス対ルミナンスの相互変調} = 100 * (A_i - A_0) \div A_0$$

ここで、

A = 受信サブキャリアの振幅

i = ベースト位置 (1 が最小、2 が中間、3 が最大)

A_0 = ルミナンス単独の振幅

表8-18: クロミナンス対ルミナンスの相互変調

| 相互変調 | ペデスタル | PAL | | | | NTSC | |
|---------|-------|-----------|--------|--------|--------|--------|--------|
| | | B,D,G,H,I | M | N | Nc | M | J |
| 最小ペデスタル | Max | 2.21% | 2.24% | 2.21% | 2.21% | 2.24% | 2.24% |
| | Typ | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% |
| | Min | -2.35% | -2.38% | -2.35% | -2.35% | -2.38% | -2.38% |
| 中間ペデスタル | Max | 2.21% | 2.24% | 2.21% | 2.21% | 2.24% | 2.24% |
| | Typ | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% |
| | Min | -2.35% | -2.38% | -2.35% | -2.35% | -2.38% | -2.38% |
| 最大ペデスタル | Max | 2.21% | 2.24% | 2.21% | 2.21% | 2.24% | 2.24% |
| | Typ | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% | -0.10% |
| | Min | -2.35% | -2.38% | -2.35% | -2.35% | -2.38% | -2.38% |

利得差の非直線性

TV システムにおいて、クロミナンスゲインがクロミナンスのレベルに依存する場合、利得差の非直線性が存在します。この振幅誤差は、高周波数のクロミナンスをルミナンスのあらゆるレベルで均一に処理できない結果として生じます。S1D13746 では、ルミナンスとクロミナンスは別々に処理され、DAC に送られる前になってから結合されます。クロミナンスゲインはルミナンスのレベルには左右されず、利得差の非直線性は DAC 性能にのみ左右されます。この数字は、最悪条件の DAC パラメータを考慮しながら変調 10 ステップステアケースのテストパターンにおけるステップのピーク間クロミナンス振幅を比較することで計算されます。利得差の非直線性は、10 ステップすべての最大、最小、またピーク偏差のクロミナンス振幅で、ブランкиング (黒色) レベルのクロミナンス振幅と比較して率で表されます。

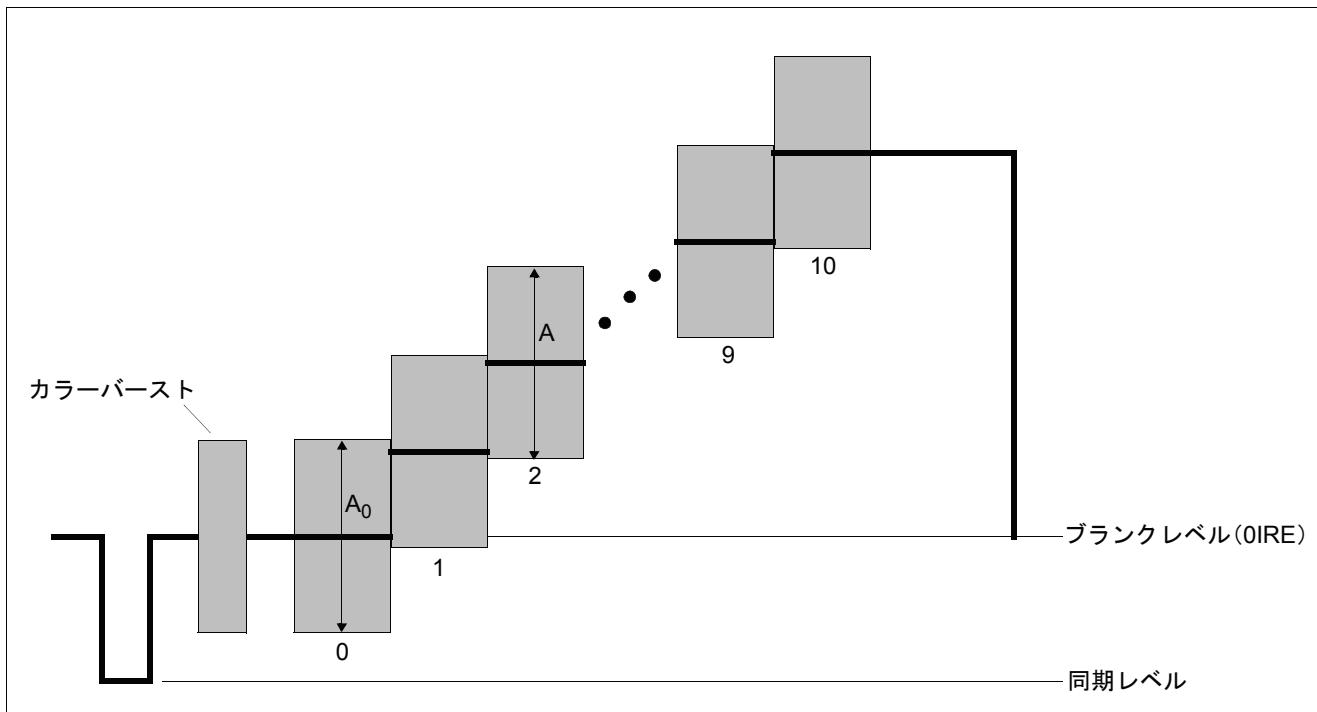


図 8-20: 利得差の非直線性

利得差の非直線性 :

$$+X = 100 \times | \text{Max}(A_i) \div A_0 - 1 |$$

$$-Y = 100 \times | \text{Min}(A_i) \div A_0 - 1 |$$

$$X+Y = 100 \times | (\text{Max}(A_i) - \text{Min}(A_i)) \div A_0 |$$

ここで、

A₀ = ブランкиングレベルの受信サブキャリアの振幅A_i = ステアケースに関連した任意トレッド上の

サブキャリアの振幅、i = 1 to 10

表 8-19: 利得差の非直線性

| 利得差の 非直線性 | | +X | PAL | | | NTSC | |
|--------------|--|-----|-----------|--------|--------|--------|--------|
| | | | B,D,G,H,I | M | N | Nc | M |
| | | | 最悪条件 | 10.67% | 11.27% | 11.27% | 10.67% |
| -Y | | -Y | 標準値 | 0.00% | 0.00% | 0.00% | 0.00% |
| | | | 最悪条件 | 9.64% | 10.13% | 10.13% | 9.64% |
| X+Y | | -Y | 標準値 | 0.00% | 0.00% | 0.00% | 0.00% |
| | | | 最悪条件 | 10.67% | 11.27% | 11.27% | 10.67% |
| | | X+Y | 標準値 | 0.00% | 0.00% | 0.00% | 0.00% |

9. クロック

9.1 クロック機能ブロック図

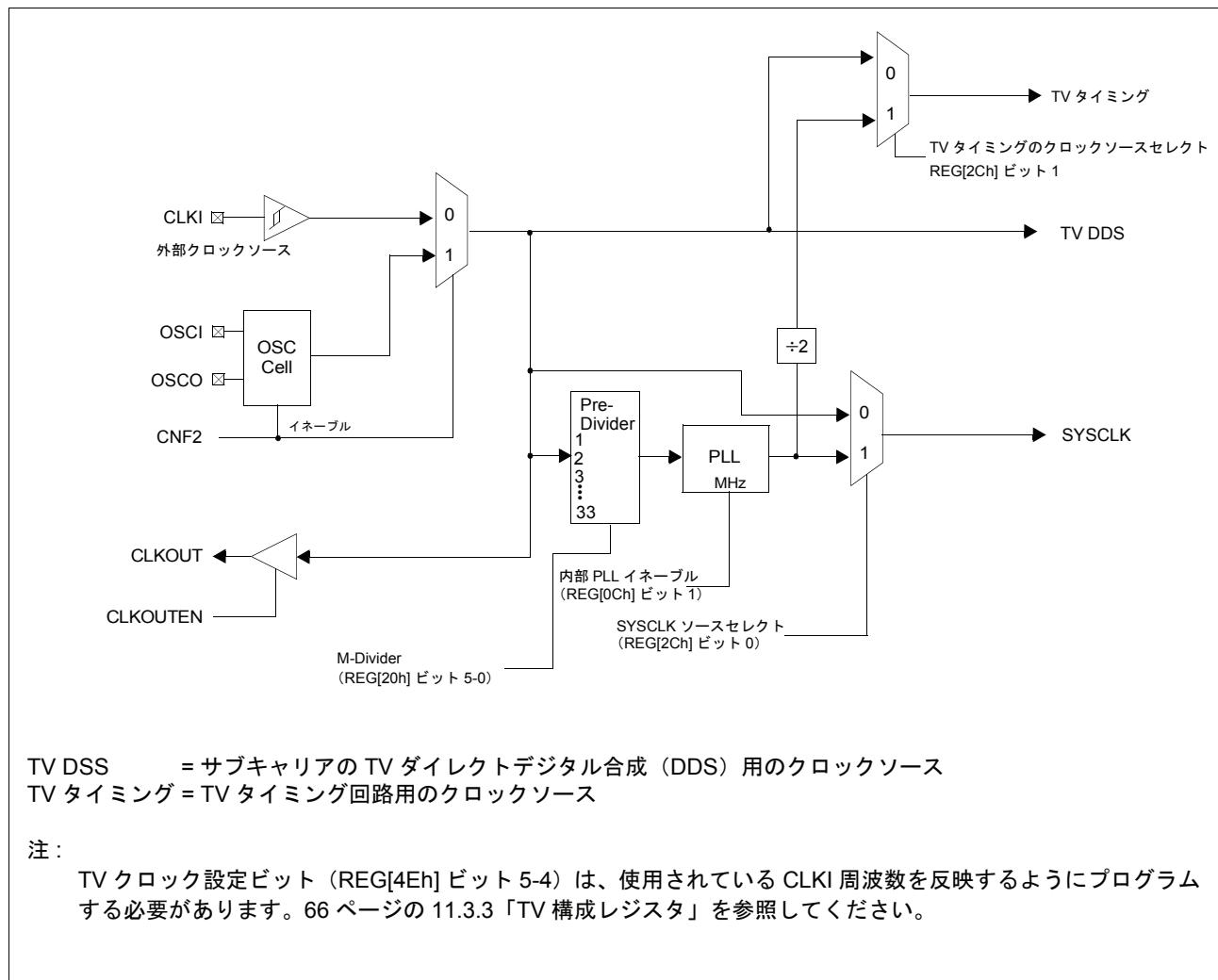


図 9-1: SID13746 のクロック機能ブロック図

9.2 PLL 機能ブロック図

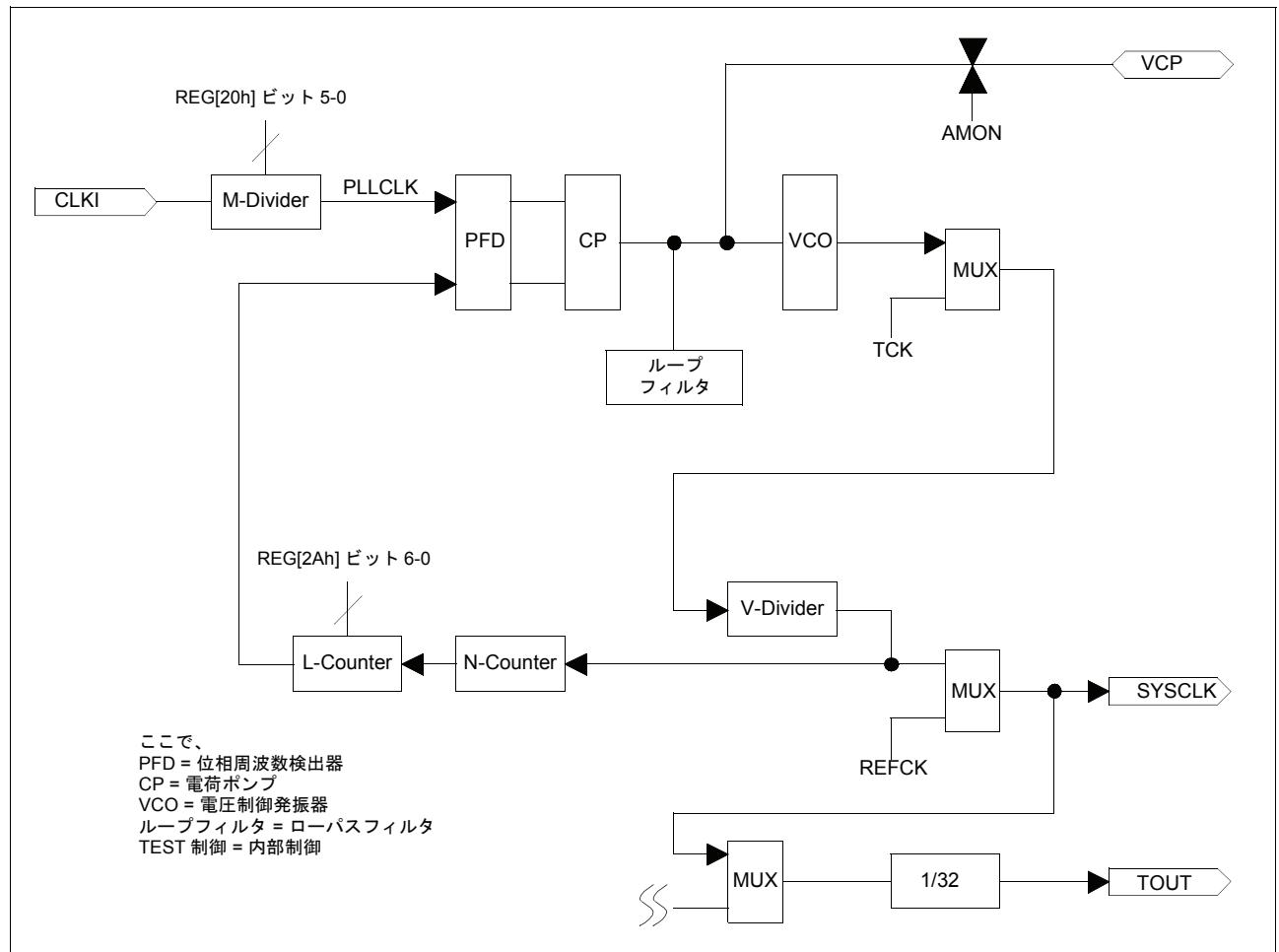
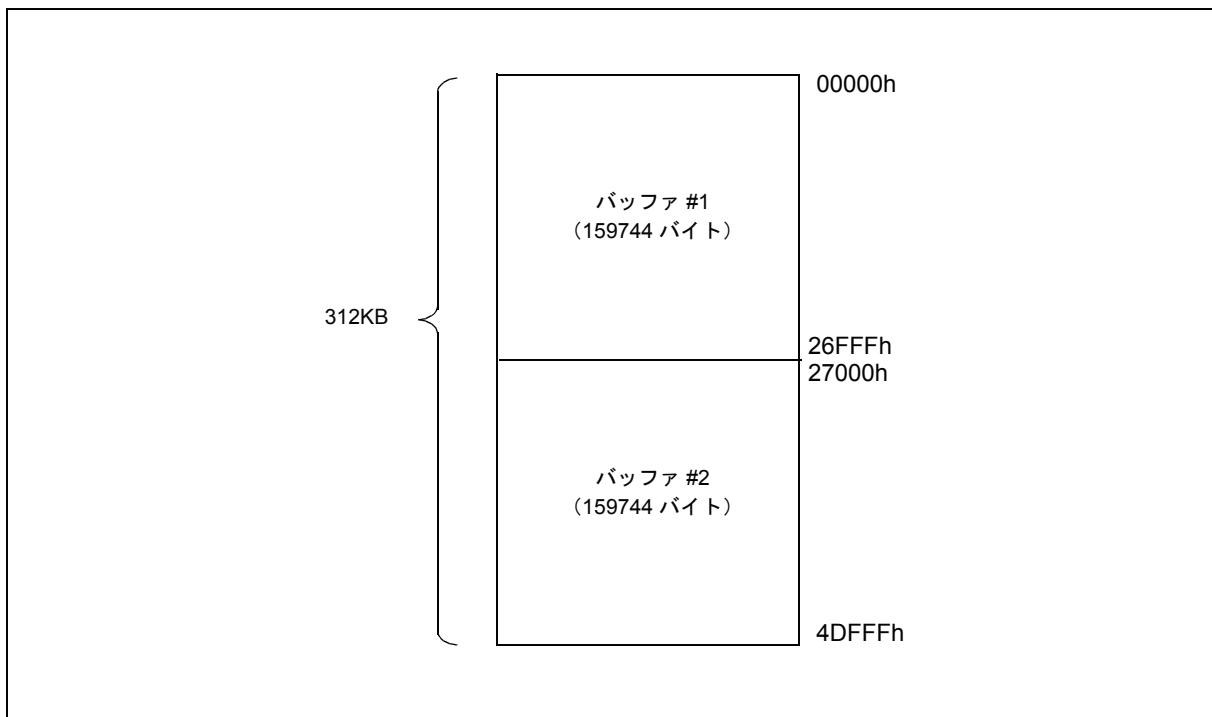


図 9-2: PLL 機能ブロック図

10. メモリマップ

S1D13746B00 には、312KB の内蔵 SRAM が組み込まれています。このメモリは、メイン画像データとオーバーレイ画像データの両方を含んだディスプレイバッファに使用します。



11. レジスタ

この項では、S1D13746 のレジスタにアクセスする方法およびその場所について説明します。また、各レジスタの配置と使用方法についても詳細に説明しています。

S1D13746 のすべてのレジスタには、Intel 80 インタフェースまたはシリアルインターフェースのいずれかを経由してアクセスします。レジスタのアクセスはすべて 8 ビットアクセスです。ただし、Display Memory Data Port (REG[A0h]) は、16 ビット (CNF1 = 1 の場合) または 8 ビット (CNF1 = 0 の場合) としてアクセスされます。Intel 80 インタフェースの幅は、構成端子 (CNF) によって設定されます。

レジスタ空間に対するバーストデータのリード / ライトがサポートされています。D/C# を LOW にして書き込むことにより、次のレジスタリード / ライトのためのレジスタアドレスを設定します。レジスタアドレスは、D/C# を HIGH にして読み出しましたは書き込みを行った後、ワードの境界でインクリメントされます。これは、Memory Data Port (REG[A0h]) および TV Filter Coefficient and User Clock Ratio Data (REG[56h]) レジスタを除くすべてのレジスタのライトアクセスに適用されます。これらのレジスタに書き込むと、内蔵メモリのアドレスだけがオートインクリメントされます。

11.1 レジスタマッピング

S1D13746 のレジスタは、メモリマップされています。非同期レジスタはいつでもアクセスすることができます。同期レジスタは、パワーセーブモードがディセーブルのとき (REG[2Eh])、および PLL がロックされているとき (REG[20h] ビット 7 = 1) にのみアクセスすることができます。

表 11-1: S1D13746 のレジスタマッピング

| アドレス | タイプ | 機能 |
|-----------|-----|--------------------------|
| 00h ~ 02h | 非同期 | 製品情報レジスタ |
| 20h ~ 2Eh | 非同期 | クロック構成レジスタ |
| 40h ~ 56h | 同期 | TV 構成レジスタ |
| 60h ~ 6Ah | 同期 | 入力データ制御レジスタ |
| 80h ~ 9Ch | 同期 | 表示出力制御レジスタ |
| A0h ~ A6h | 同期 | 表示メモリアクセスレジスタ |
| C0h ~ EAh | 同期 | 3 x 3 ピクセルマトリックスフィルタレジスタ |
| ECh ~ EEh | 同期 | その他のレジスタ |
| F0h ~ FAh | 非同期 | 汎用 IO 端子レジスタ |

11. レジスタ

11.2 レジスタセット

S1D13746 のレジスタを以下の表に示します。

表 11-2: S1D13746 レジスタセット

| レジスタ | ページ | レジスタ | ページ |
|--|-----|---|-----|
| 製品情報レジスタ | | | |
| REG[00h] Revision Code Register | 60 | REG[02h] Configuration Readback Register | 60 |
| クロック構成レジスタ | | | |
| REG[20h] PLL M-Divider Register | 61 | REG[22h] PLL Setting Register 0 | 62 |
| REG[24h] PLL Setting Register 1 | 62 | REG[26h] PLL Setting Register 2 | 62 |
| REG[28h] PLL Setting Register 3 | 62 | REG[2Ah] PLL Setting Register 4 | 63 |
| REG[2Ch] Clock Source Select Register | 64 | REG[2Eh] Power Save Register | 65 |
| TV 構成レジスタ | | | |
| REG[40h] TV Display Configuration Register | 66 | REG[42h] TV Vertical Blanking Interval Data bits Register 0 | 67 |
| REG[44h] TV Vertical Blanking Interval Data bits Register 1 | 67 | REG[46h] TV Vertical Blanking Interval Data bits Register 2 | 67 |
| REG[48h] TV Vertical Blanking Interval Data bits Register 3 | 67 | REG[4Ah] VBI: Closed Caption / XDS Control / Status Register | 71 |
| REG[4Ch] TV DDS Fine Tuning Register 0 | 73 | REG[4Eh] TV DDS Fine Tuning Register 1 | 73 |
| REG[50h] TV Test Pattern Setting Register | 75 | REG[52h] TV Filter Setting Register | 77 |
| REG[54h] TV Filter Coefficient and User Clock Ratio Index Register | 78 | REG[56h] TV Filter Coefficient and User Clock Ratio Data Register | 81 |
| 入力データ制御レジスタ | | | |
| REG[60h] Input Data Format Register | 82 | REG[62h] Special Effects Register | 83 |
| 入力ウィンドウサイズ/位置レジスタ | | | |
| REG[64h] Host Input Window Height Register 0 | 90 | REG[66h] Host Input Window Height Register 1 | 90 |
| REG[68h] Host Input Window Width Register 0 | 90 | REG[6Ah] Host Input Window Width Register 1 | 90 |
| 表示出力制御レジスタ | | | |
| REG[80h] Display Mode Register | 91 | REG[82h] Display Output Window X Start Position Register 0 | 92 |
| REG[84h] Display Output Window X Start Position Register 1 | 92 | REG[86h] Display Output Window Y Start Position Register 0 | 93 |
| REG[88h] Display Output Window Y Start Position Register 1 | 93 | REG[8Ah] Display Output Window Height Register 0 | 93 |
| REG[8Ch] Display Output Window Height Register 1 | 93 | REG[8Eh] Display Output Window Width Register 0 | 94 |
| REG[90h] Display Output Window Width Register 1 | 94 | REG[92h] Border Color Register 0 | 95 |
| REG[94h] Border Color Register 1 | 95 | REG[96h] Border Color Register 2 | 95 |
| REG[98h] TV Transparency Color Register 0 | 96 | REG[9Ah] TV Transparency Color Register 1 | 96 |
| REG[9Ch] TV Transparency Color Register 2 | 96 | REG[9Eh] DAC Reference Source Select Register | 97 |

表11-2: SID13746 レジスタセット (続き)

| レジスタ | ページ | レジスタ | ページ |
|--|-----|--|-----|
| 表示メモリアクセスレジスタ | | | |
| REG[A0h] Display Memory Data Port Register 0 | 98 | | |
| 3 x 3 ピクセルマトリックスフィルタレジスタ | | | |
| REG[C0h] 3X3 Pixel Matrix Filter Control Register | 99 | REG[C2h] 3X3 Pixel Matrix Filter Coefficient Table Register 0 | 102 |
| REG[C4h] 3X3 Pixel Matrix Filter Coefficient Table Register 1 | 103 | REG[C6h] 3X3 Pixel Matrix Filter Coefficient Register 2 | 103 |
| REG[C8h] 3X3 Pixel Matrix Filter Coefficient Table Register 3 | 103 | REG[CAh] 3X3 Pixel Matrix Filter Coefficient Table Register 4 | 104 |
| REG[CCh] 3X3 Pixel Matrix Filter Coefficient Table Register 5 | 104 | REG[CEh] 3X3 Pixel Matrix Filter Coefficient Table Register 6 | 104 |
| REG[D0h] 3X3 Pixel Matrix Filter Coefficient Register 7 | 105 | REG[D2h] 3X3 Pixel Matrix Filter Coefficient Table Register 8 | 105 |
| REG[D4h] 3X3 Pixel Matrix Filter Coefficient Table Register 9 | 105 | REG[D6h] 3X3 Pixel Matrix Filter Coefficient Table Register 10 | 106 |
| REG[D8h] 3X3 Pixel Matrix Filter Coefficient Table Register 11 | 106 | REG[DAh] 3X3 Pixel Matrix Filter Coefficient Register 12 | 106 |
| REG[DCh] 3X3 Pixel Matrix Filter Coefficient Table Register 13 | 107 | REG[DEh] 3X3 Pixel Matrix Filter Coefficient Table Register 14 | 107 |
| REG[E0h] 3X3 Pixel Matrix Filter Scale Value for Luminance Y Channel Register | 107 | REG[E2h] 3X3 Pixel Matrix Filter Scale Value for Chrominance U Channel Register | 108 |
| REG[E4h] 3X3 Pixel Matrix Filter Scale Value for Chrominance V Channel Register | 108 | REG[E6h] 3X3 Pixel Matrix Filter Offset Value for Luminance Y Channel Register | 108 |
| REG[E8h] 3X3 Pixel Matrix Filter Offset Value for Chrominance U Channel Register | 109 | REG[EAh] 3X3 Pixel Matrix Filter Offset Value for Chrominance V Channel Register | 109 |
| その他のレジスタ | | | |
| REG[ECh] Non-Display Period Control / Status Register | 110 | REG[EEh] Parallel RGB Interface Register | 112 |
| 汎用 IO 端子レジスタ | | | |
| REG[F0h] General Purpose IO Pins Configuration Register | 113 | REG[F2h] General Purpose IO Pins Status/Control Register | 113 |
| REG[F4h] GPIO Positive Edge Interrupt Trigger Register | 113 | REG[F6h] GPIO Negative Edge Interrupt Trigger Register | 114 |
| REG[F8h] GPIO Interrupt Status Register | 114 | REG[FAh] GPIO Pull Down Control Register | 114 |

11. レジスタ

11.3 レジスタの説明

すべての予約ビットは、デフォルト値に設定する必要があります。予約ビットにデフォルト以外の値を書き込むと、不定の結果を生じる場合があります。n/a というマークの付いたビットは、ハードウェア上の効果はありません。他に指定がない限り、すべてのレジスタビットは、電源投入リセットの間に 0 に設定されます。

予約レジスタに書き込まないでください。ホストは、オートインクリメントモードで、予約レジスタに対してダミーリードを行う必要があります。あるいは最後の有効レジスタの後、かつ予約レジスタの前で、オートインクリメントを停止し、その後、次の有効レジスタからオートインクリメントを再開する必要があります。

11.3.1 製品情報レジスタ

| REG[00h] Revision Code Register | | | | | | | |
|---------------------------------|---|---|---|---|---|---|---|
| Default = A9h | | | | | | | |
| Read Only | | | | | | | |
| | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-2 製品コードビット [5:0] (読み出し専用)

これらのビットは、製品コードを示します。S1D13746 の製品コードは、101010 です。

bits 1-0 リビジョンコードビット [1:0] (読み出し専用)

これらのビットは、リビジョンコードを示します。リビジョンコードは、01 です。

| REG[02h] Configuration Readback Register | | | | | | | |
|--|---|-----|---|------------|------------|------------|------------|
| Default = not applicable | | | | | | | |
| Read Only | | | | | | | |
| | | | | | | | |
| マクロビジョン ボンドオプション | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
| | | n/a | | CNF3 ステータス | CNF2 ステータス | CNF1 ステータス | CNF0 ステータス |
| | | | | | | | |

bit 7 マクロビジョンボンドオプション (読み出し専用)

このビットが 0 の場合、マクロビジョンブロックは常時ディセーブルであるため、使用することはできず、REG[80h] ビット 7 は効果がありません。

このビットが 1 の場合、マクロビジョンブロックをイネーブルにすることができます (REG[80h] ビット 7)。

bits 3-0 CNF[3:0] ステータス (読み出し専用)

これらのステータスピットは、構成端子 CNF[3:0] の現在のステータスを返します。各構成ビット (CNF[3:0]) の機能説明については、23 ページの 5.3 「構成オプションの要約」を参照してください。

11.3.2 クロック構成レジスタ

| REG[20h] PLL M-Divider Register | | | | | | | | Read/Write |
|---------------------------------|----------|---|---|---|---|---|---|---------------------|
| Default = 1Ah | | | | | | | | |
| PLL ロック (RO) 7 | n/a 6 | 5 | 4 | 3 | 2 | 1 | 0 | M-Divider ビット 5 ~ 0 |

bit 7

PLL ロック (読み出し専用)

このビットは、PLL 出力のステータスを示します。最大 PLL ロック時間は、2.5ms です。詳細については、30 ページの 8.1.3 「PLL クロック」を参照してください。このビットが 0 の場合、PLL 出力は安定していません。この状態では、ディスプレイベッファへのリード/ライトアクセスは禁止されます。このビットが 1 の場合、PLL 出力は安定しています。

bits 5-0

M-Divider ビット [5:0]

これらのビットは、CLKI と PLL への入力クロックとの分周比を決定します。PLL への内部入力クロック (PLLCLK) は、1MHz ~ 2MHz の間でなければなりません。CLKI に応じて、これらのビットを設定する必要があります。

表 11-3: PLL M-Divide の選択

| REG[04h] ビット 5 ~ 0 | M-Divide 比 |
|--------------------|------------|
| 0h | 1:1 |
| 01h | 2:1 |
| 02h | 3:1 |
| 03h | 4:1 |
| ... | ... |
| 1Ah (デフォルト) | 27:1 |
| ... | ... |
| 20h | 33:1 |
| 21h ~ 3Fh | Reserved |

11. レジスタ

REG[22h] PLL Setting Register 0

Default = F8h

Read/Write

| PLL 設定レジスタ 0 ビット 7 ~ 0 | | | | | | | | |
|------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

このレジスタは、値 F8h でプログラムする必要があります。

REG[24h] PLL Setting Register 1

Default = 80h

Read/Write

| PLL 設定レジスタ 1 ビット 7 ~ 0 | | | | | | | | |
|------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

このレジスタは、値 80h でプログラムする必要があります。

REG[26h] PLL Setting Register 2

Default = 28h

Read/Write

| PLL 設定レジスタ 2 ビット 7 ~ 0 | | | | | | | | |
|------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

このレジスタは、値 28h でプログラムする必要があります。

REG[28h] PLL Setting Register 3

Default = 00h

Read/Write

| PLL 設定レジスタ 3 ビット 7 ~ 0 | | | | | | | | |
|------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

このレジスタは、値 00h でプログラムする必要があります。

REG[2Ah] PLL Setting Register 4

Default = 35h

Read/Write

| | | | | | | | |
|-----|---|---|---|---|---|---|---|
| n/a | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|---|

bits 6-0

L-Counter ビット [6:0]

これらのビットは、PLL 出力 (MHz) の構成に使用されるものであり、次の式に従って設定する必要があります。

$$\begin{aligned} \text{PLL 出力} &= (\text{L-Counter} + 1) \times \text{PLLCLK} \\ &= \text{LL} \times (\text{PLLCLK}) \end{aligned}$$

ここで、

PLL 出力は、目的の PLL 出力周波数 (MHz) です。

L-Counter は、このレジスタの値 (10 進数) です。

PLLCLK は、PLL への内部入力クロック (MHz) です。

表 11-4: PLL クロックの設定例

| CLKI 入力 クロック (MHz) | M-Divider REG[20h] ビット 5 ~ 0 | L- Counter REG[2Ah] ビット 6 ~ 0 | PLLCLK (MHz) | PLL 出力 (MHz) | TV DDS クロックセレクト (REG[2Ch] ビット 2) | TV タイミング クロックセレクト (REG[2Ch] ビット 1) | TV 入力 クロックの設定 (REG[4Eh] ビット 5 ~ 4) | f_{sc}/f_{dds} と f_{timing}/f_{dds} のプログラム REG[54h] ~ REG[56h] |
|--------------------------|---------------------------------------|---|-----------------|--------------------|---|---|---|---|
| 27 | 26 (1Ah) | 53 (35h) | 1 | 54 | 0b | 0b | 00b | なし |
| 26 | 25 (19h) | 53 (35h) | 1 | 54 | 0b | 1b | 01b | なし (注) |
| 24 | 15 (0Fh) | 35 (23h) | 1.5 | 54 | 0b | 1b | 10b | あり |
| 23 | 22 (16h) | 53 (35h) | 1 | 54 | 0b | 1b | 10b | あり |
| 22 | 21 (15h) | 53 (35h) | 1 | 54 | 0b | 1b | 10b | あり |
| 21 | 13 (0Dh) | 35 (23h) | 1.5 | 54 | 0b | 1b | 10b | あり |
| 19.8 | 10 (0Ah) | 29 (1Dh) | 1.8 | 54 | 0b | 1b | 10b | あり |
| 19.44 | 17 (11h) | 49 (31h) | 1.08 | 54 | 0b | 1b | 10b | あり |
| 19.2 | 15 (0Fh) | 44 (2Ch) | 1.2 | 54 | 0b | 1b | 10b | あり |
| 19 | 17 (11h) | 53 (35h) | 1 | 54 | 0b | 1b | 10b | あり |
| 18 | 11 (0Bh) | 35 (23h) | 1.5 | 54 | 0b | 1b | 10b | あり |

注

26MHz の CLKI の場合、 f_{sc}/f_{dds} と f_{timing}/f_{dds} REG[54h] ~ REG[56h] を NTSC M/J 用にプログラムする必要があります。

| REG[2Ch] Clock Source Select Register | | | | | | | |
|---------------------------------------|---|-----|---|---|------------------------|-----------------------------|--------------------|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | n/a | | | TV DDS クロック ソースセレクト | TV タイミング クロックソース セレクト | SYSCLK ソース セレクト |

| | |
|-------|--|
| bit 2 | TV DDS クロックソースセレクト このビットは、TV DDS クロックソースを選択します。クロック構造の詳細については、54 ページの 9.「クロック」を参照してください。 このビットが 0 (デフォルト) の場合、TV DDS クロックソースは、外部クロック入力 (CLKI または OSCx) です。 このビットが 1 の場合、TV DDS クロックソースは、内部 PLL $\div 2$ となります。 |
| bit 1 | TV タイミングクロックソースセレクト このビットは、TV タイミングクロックソースを選択します。CLKI が 27MHz の場合、このビットを 0 に設定することができます。CLKI が 27MHz でない場合、PLL を 54MHz にプログラムする必要があります (63 ページの表 11-4「PLL クロックの設定例」を参照)、さらにこのビットを 1 に設定する必要があります。クロック構造の詳細については、54 ページの 9.「クロック」を参照してください。 このビットが 0 の場合、TV タイミングクロックソースは、外部クロック入力 (CLKI または OSCx) です。 このビットが 1 の場合、TV タイミングクロックソースは、内部 PLL $\div 2$ となります。 |
| bit 0 | SYSCLK ソースセレクト このビットは、S1D13746 用のシステムクロック (SYSCLK) ソースを選択します。PLL とクロック構造の詳細については、54 ページの 9.「クロック」を参照してください。 このビットが 0 の場合、SYSCLK ソースは、外部クロック入力 (CLKI または OSCx) です。 このビットが 1 の場合、SYSCLK ソースは、内部 PLL です。 PLL を SYSCLK ソースとして選択する場合、このビットを設定する前に、PLL を構成する必要があります。PLL を構成するには、スリープモードをイネーブルにする必要があります (REG[2Eh] ビット 1 = 1)。スリープモードにすると、REG[20h] と REG[2Ah] を変更して目的の PLL 周波数を設定することができます。REG[20h] と REG[2Ah] を設定すれば、REG[2Ch] ビット 0 を 1 に設定し、PLL をシステムクロックソースとして選択することができます。 |

注

PLL 出力が安定するまでに最大 2.5ms の遅延が発生する場合があります。PLL 出力が安定するまでディスプレイメモリにアクセスしないでください。PLL ロックビット (REG[20h] ビット 7) を使用すると、PLL 出力が安定したかどうかを確認することができます。

| REG[2Eh] Power Save Register | | | | | | | Read/Write | |
|------------------------------|---|---|---|-----|---|---|-----------------------|------------------------|
| Default = 00h | | | | | | | | |
| PWRSVE 入力端子 機能 7 | 6 | 5 | 4 | n/a | 3 | 2 | スリープモード イネーブル 1 | スタンバイモード イネーブル 0 |

bit 7

PWRSVE 入力端子機能

このビットは、PWRSVE 入力端子の機能を決定します。

このビットが 0b の場合、PWRSVE 端子は、スリープモードイネーブルビット (REG[2Eh] ビット 1) と OR がとられ、また 1b に設定すると、スリープモードがイネーブルになります。

このビットが 1b の場合、PWRSVE 端子は、スタンバイモードイネーブルのビット (REG[2Eh] ビット 0) と OR がとられ、また 1b に設定すると、スタンバイモードがイネーブルになります。

bit 1

スリープモードイネーブル

このビットは、スリープのパワーセーブモードを制御します。スリープモードは、REG[2Eh] ビット 7=0 のときに、PWRSVE 端子によって制御することもできます。

このビットが 0 の場合、スリープモードはディセーブルです（通常動作）。

このビットが 1 の場合、スリープモードはイネーブルです。

スリープモードがイネーブルのとき、PLL を含むすべての内部ブロックは、ディセーブルです。

スリープモードがディセーブルのとき、メモリアクセスを行う前に、約 2.5ms の PLL ロック時間が必要となります。PLL ロックビット (REG[20h] ビット 7) を読み出すことにより、PLL が安定した時点を確認することができます。

注

IREF/VREF および TV OUT は、スリープモードに入る前に、ディセーブルにする必要があります。REG[9Eh] ビット 1～0=00 および REG[80h] ビット 2=0 を設定してください。

bit 0

スタンバイモードイネーブル

このビットは、スタンバイのパワーセーブモードを制御します。スタンバイモードは、REG[2Eh] ビット 7=1 のとき、PWRSVE 端子によって制御することもできます。

このビットが 0 の場合、スタンバイモードはディセーブルです（通常動作）。

このビットが 1 の場合、スタンバイモードはイネーブルです。

スタンバイモードがイネーブルのとき、すべての内部ブロックは、PLL の場合を除いてディセーブルです。

スタンバイモードがディセーブルのとき、即座に S1D13746 にアクセスすることができます。

11. レジスタ

11.3.3 TV 構成レジスタ

| REG[40h] TV Display Configuration Register | | | | | | | Default = 00h | Read/Write |
|--|----------------------|---|----------------------|---|---|---|---------------|------------|
| Reserved 4 | VBI 選択ビット 1 ~ 0 6 | 5 | 出力信号の フォーマット 4 | 3 | 2 | 1 | n/a 0 | |

bit 7

Reserved

このビットのデフォルト値は、0 です。

bits 6-5

VBI 選択ビット [1:0]

これらのビットは、ワイドスクリーンの信号方式の規格を制御します。

表 11-5: ワイドスクリーンの信号方式の規格

| REG[40h] ビット 6 ~ 5 | 規格 |
|--------------------|---|
| 00 (デフォルト) | VBI データなし (デフォルト) |
| 01 | ITU-R BT.1119-2 規格に従って WSS をイネーブルにする |
| 10 | CEI 61880 に従って WSS、CGMS、および APS をイネーブルにする |
| 11 | CEA-608-B に従ってクローズドキャプションと XDS をイネーブルにする |

bit 4

出力信号のフォーマット

このビットは、TV 出力信号のフォーマットを決定します。

このビットが 0 の場合、出力信号のフォーマットは、コンポジットビデオです。

このビットが 1 の場合、出力信号のフォーマットは、S ビデオです。

bits 3-1

TV 規格セレクトビット [2:0]

これらのビットは、以下に示すように TV 規格とその下位規格を選択します。

表 11-6: TV 規格の選択

| REG[40h] ビット 3 ~ 1 | TV 規格 | その下位規格 |
|--------------------|-------------|-------------------|
| 000 (デフォルト) | 625 ラインシステム | PAL B, D, G, H, I |
| 001 | 525 ラインシステム | PAL M |
| 010 | 625 ラインシステム | PAL N |
| 011 | 625 ラインシステム | PAL Nc |
| 100 | 525 ラインシステム | NTSC M |
| 101 | 525 ラインシステム | NTSC J |
| 110 - 111 | Reserved | |

REG[42h] TV Vertical Blanking Interval Data bits Register 0

Default = 00h

Read/Write

| VBI データビット 7 ~ 0 | | | | | | | | |
|------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[44h] TV Vertical Blanking Interval Data bits Register 1

Default = 00h

Read/Write

| VBI データビット 15 ~ 8 | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[46h] TV Vertical Blanking Interval Data bits Register 2

Default = 00h

Read/Write

| VBI データビット 23 ~ 16 | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[48h] TV Vertical Blanking Interval Data bits Register 3

Default = 00h

Read/Write

| VBI データビット 31 ~ 23 | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[48h] bits 7-0

REG[46h] bits 7-0

REG[44h] bits 7-0

REG[42h] bits 7-0

VBI データビット [31:0]

これらのビットは、ワイドスクリーン信号方式に必要なデータを構成します。データセットは、TV 規格に応じて異なります (REG[40h] ビット 6 ~ 5 を参照してください)。

11. レジスタ

表11-7: VBI データビットの説明 (ITU-R BT.1119-2/ETSI EN 300 294 の 625 と 525 のラインシステム)

| VBI データ ビット | PAL | | | NTSC | | |
|-------------------|------------|---------------------------|--|------------|--|--|
| | ビット No. | 名前 | 説明 | ビット No. | 名前 | 説明 |
| 0 | 0 | アスペクト比 | 1000: フルフォーマット 4:3 0001: ポックス 14:9 中央 1010: ポックス 14:9 上部 1011: ポックス 16:9 中央 0100: ポックス 16:9 上部 1101: ポックス 16:9 中央 1110: フルフォーマット 14:9 または中央 ショートおよびプロテクト 14:9 0111: フルフォーマット 16:9 アナモルフィック | 1 | 基準 | 1 に設定する必要があります。 |
| 1 | 1 | | 2 | 基準 | 0 | |
| 2 | 2 | | 3 | アスペクト比 | 0: 4:3 フルフォーマット 1: 16:9 レターポックス | |
| 3 | 3 | | 4 | パリティ | ビット No.3 ~ 5 (B3 ~ B5) の偶数パリティ | |
| 4 | 4 | フィルム ビット | 0: カメラモード 1: フィルムモード | 5 | Reserved | 0 に設定する必要があります。 |
| 5 | 5 | カラー コーディング ビット | 0: 従来のコーディング 1: モーション適応型カラーブラス | 6 | フィールド タイプ アクティブ | 0: フィールドタイプがアクティブでない。出力は 0 です。 1: フィールドタイプがアクティブ。最初の フィールドの出力が 0 で、次のフィールドの 出力が 1 です。 |
| 6 | 6 | ヘルパー ビット | 0: ヘルパーなし 1: ヘルパーの調整 | 7 | フレームタイプ アクティブ | 0: フレームタイプがアクティブでない。出力 は 0 です。 1: フレームタイプがアクティブ。基準フレー ムの出力が 0 で、他のフレームの出力は 1 で す。 |
| 7 | 7 | Reserved | 0 に設定する必要があります。 | 8 | 垂直一時 ヘルパー | 0: なし 1: あり |
| 8 | 8 | テレテキスト ビット内の サブタイトル | 0: テレテキスト内にサブタイトルなし 1: テレテキスト内にサブタイトルあり | 9 | 垂直高解像度 ヘルパー | 0: なし 1: あり |
| 9 | 9 | サブタイトル モード | 00: オープンサブタイトルなし 01: アクティブ画像領域内のサブタイトル 10: アクティブ画像領域外のサブタイトル 11: Reserved | 10 | 水平ヘルパー | 0: なし 1: あり |
| 10 | 10 | | | 11 | 水平ヘルパー プレコーミング | 0: なし 1: あり |
| 11 | 11 | Reserved | 0: (注) | 12 | TV 放送局用に 割り当て | |
| 12 | 12 | | 0: (注) | 13 | | |
| 13 | 13 | | 0: (注) | 14 | | 0 に設定する必要があります。 |
| 14 | | | | 15 | 誤り訂正コード | |
| 15 | | | | 16 | | |
| 16 | | | | 17 | | |
| 17 | | | | 18 | | |
| 18 | | | | 19 | | |
| 19 | | | | 20 | ビット No.3 ~ 17(B3 ~ B17) の CRC コード: $G(x) = x^6 + x + 1$ | |
| 20 | | | | 21 | | |
| 21 | | | | 22 | | |
| 22 | | | | 23 | | |
| 23 | | | | 24 | | 0 に設定する必要があります。 |
| | | | | | 基準 | |

注

ITU-R BT.1119-2 の場合、ビット 13 ~ 11 は予約されており、000 を書き込む必要
があります。

ETSI EN 300 294 の場合、これらのビットには、以下の機能があります。

ビット 11 サラウンドサウンド 0 = サラウンドサウンド情報なし
1 = サラウンドサウンドモード

ビット 12 著作権 0 = 著作権の主張なし、またはステータス不明
1 = 著作権の主張あり

ビット 13 コピー 0 = コピー許可

1 = コピー禁止

表 II-8: VBI データビットの説明 (CEI 61880、525 ラインシステム)

| VBI データ ビット | NTSC システムの場合のみ | | |
|-------------------|----------------|------------|---|
| | ビット No. | 名前 | 説明 |
| 0 | 1 | 基準ビット | 1 に設定されます。 |
| 1 | 2 | 基準ビット | 0 に設定されます。 |
| 2 | 3 | | ビット 4 ~ 3 00: 標準 4:3 01: 標準 16:9 10: レターボックス 4:3 11: Reserved |
| 3 | 4 | アスペクト比 | |
| 4 | 5 | | ビット 8 ~ 5 0000: ビット 14 ~ 7 (CGMS-A、APS トリガ、ASB) が転送されます。 1111: ビット 14 ~ 7 は転送されません (ビット 14 ~ 7 は 0 に設定されます)。 |
| 5 | 6 | | |
| 6 | 7 | | |
| 7 | 8 | | |
| 8 | 9 | | ビット 10 ~ 9 00: コピーは制限なく許可されます。 01: 1 世代のコピーを作成できます。 10: 条件は使用されません。 11: コピーは許可されません。 |
| 9 | 10 | CGMS-A ビット | |
| 10 | 11 | | ビット 12 ~ 11 00: PSP オフ 01: PSP オン、2 ラインのスプリットバーストオン 10: PSP オン、スプリットバーストオフ 11: PSP オン、4 ラインのスプリットバーストオン |
| 11 | 12 | APS トリガビット | |
| 12 | 13 | ASB | 1: あらかじめ記録されてパッケージ化されたアナログ媒体 0: あらかじめ記録されてパッケージ化されたアナログ媒体ではない |
| 13 | 14 | | |
| 14 | 15 | | |
| 15 | 16 | | |
| 16 | 17 | | |
| 17 | 18 | | |
| 18 | 19 | | |
| 19 | 20 | | |
| 20 | 21 | | |
| 21 | 22 | | |
| 22 | | | 0 に設定する必要があります。 |
| 23 | | | 0 に設定する必要があります。 |
| 24 | | | 0 に設定する必要があります。 |
| 25 | | | 0 に設定する必要があります。 |
| 26 | | | 0 に設定する必要があります。 |
| 27 | | | 0 に設定する必要があります。 |
| 28 - 31 | | | 0 に設定する必要があります。 |

11. レジスタ

表 11-9: VBI データビットの説明 (CEA-608-B)

| VBI データ ビット | REG[4Ah] ビット 1 = 0 (自動「WSS + CGMS + APS」モード) REG[4Ah] ビット 1 = 1 のときは表 11-10 を参照 | | |
|-------------------|--|------------------|---|
| | ビット No. | 名前 | 説明 |
| 0 | 1 | S0. | |
| 1 | 2 | S1 | |
| 2 | 3 | S2 | |
| 3 | 4 | S3 | |
| 4 | 5 | S4 | |
| 5 | 6 | S5 | |
| 6 | 7 | E0 | |
| 7 | 8 | E1 | |
| 8 | 9 | E2 | |
| 9 | 10 | E3 | |
| 10 | 11 | E4 | |
| 11 | 12 | E5 | |
| 12 | 13 | Q0 | このビットは、ビデオが圧縮されているのか (Q0 = 1)、あるいは標準であるのか (Q0 = 0) を示します。圧縮されたビデオは、サイドパネルをトリミングすることなく、元の 16 x 9 の画像を 4 x 3 のフォーマットに圧縮することによって得られます。 |
| 13 | 14 | ASB | アナログソースビット |
| 14 | 15 | APS、ビット 0 | APS ビット 1 ~ 0 00: APS なし 01: PSP オン; スプリットバーストオフ 10: PSP オン; 2 ラインのスプリットバーストオン 11: PSP オン; 4 ラインのスプリットバーストオン |
| 15 | 16 | APS、ビット 1 | CGMS-A ビット 1 ~ 0 00: コピーは制限なく許可されます。 01: 条件は使用されません。 10: 1 世代のコピーを作成できます。 11: コピーは許可されません。 |
| 16 | 17 | CGMS-A、 ビット 0 | |
| 17 | 18 | CGMS-A、 ビット 1 | |
| 18 | 19 | Reserved | 「コピー生成管理システム」の 2 番目のバイトは、後で使用できるように予約されています。予約ビットは、すべて 0 にしなければなりません。 |
| 19 | 20 | | |
| 20 | 21 | | |
| 21 | 22 | | |
| 22 | 23 | | |
| 23 | 24 | | |
| 24 | 25 | | ビット 27 ~ 25 - 自動 XDS パケットリフレッシュレートビット 2 ~ 0 この 3 ビットのレジスタは、2 つの XDS パケット (「アスペクト比情報」および「コピー生成管理システム」) のリフレッシュレートを定義します。 |
| 25 | 26 | | 2 つの XDS パケットは、PAL の場合、8x (このレジスタの値 + 1) /25 秒ごとに送信され、NTSC の場合、8x (このレジスタの値 + 1) /30 秒ごとに送信されます。 |
| 26 | 27 | | |
| 27 - 31 | 28 - 32 | Reserved | 0b に設定する必要があります。 |

表 11-10: XDS 用の VBI データビットの説明 (CEA-608-B)

| VBI データビット | REG[4Ah] ビット 1 = 1 (自動「WSS + CGMS + APS」ディセーブルモード) REG[4Ah] ビット 1 = 0 のときは表 11-9 を参照 | | |
|------------|---|----------------------|--|
| | ビット No. | 名前 | 説明 |
| 6 ~ 0 | 7 ~ 1 | XDS バイト 1、 D[6:0] | ライン 21/22 のフィールド 1 で送出される最初の ASCII 文字 |
| 14 ~ 8 | 15 ~ 9 | XDS バイト 2、 D[6:0] | ライン 21/22 のフィールド 1 で送出される 2 番目の ASCII 文字 |
| 22 ~ 16 | 23 ~ 17 | XDS バイト 3、 D[6:0] | ライン 284/384 のフィールド 2 で送出される最初の ASCII 文字 |
| 30 ~ 24 | 31 ~ 25 | XDS バイト 4、 D[6:0] | ライン 284/384 のフィールド 2 で送出される 2 番目の ASCII 文字 |

REG[4Ah] VBI: Closed Caption / XDS Control / Status Register

Default = 10h

Read/Write

| Reserved | | | フレーム VSYNC 期間 (RO) | フィールド 2 データの有効性 | フィールド 1 データの有効性 | CEA-608-B ライン 21 のデータ サービス自動モード ディセーブル | VBI イネーブル |
|----------|---|---|-----------------------|--------------------|--------------------|---|-----------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-5

Reserved

これらのビットのデフォルト値は、000 です。

bit 4

フレーム VSYNC 期間 (読み出し専用)

このビットが 0 の場合、TV フレーム VSYNC がアクティブでないときの時間間隔を示します。

このビットが 1 の場合、TV フレーム VSYNC がアクティブなときの時間間隔を示します。

TV フレーム VSYNC 期間がアクティブである間、ホストは、VBI データレジスタ (REG[46h] ~ REG[4Ch]) およびこのレジスタのビット 3 ~ 0 を更新することができます。TV フレーム VSYNC 期間がアクティブでないとき、ホストは、VBI データレジスタおよびこのレジスタのビット 3 ~ 0 を更新することはできません。

TV フレーム VSYNC のアクティブな時間間隔は、REG[40h] ビット 3 ~ 1 で設定された TV 規格によって決まります。

PAL B/D/G/H/I/Nc の場合、ライン 624 から 16 の間

PAL N の場合、ライン 623 から 15 の間

NTSC M/J の場合、ライン 1 から 18 の間

PAL M の場合、ライン 523 から 15 の間

11. レジスタ

bit 3

フィールド 2 データの有効性

このビットが 0 の場合、VBI データビット 30 ~ 16 は、無効であるか、あるいは前のフィールド 2 すでに送出されています。

REG[4Eh] ビット 4 = 1 のとき、このビットに 1 を書き込むと、次のフィールド 2 で VBI データビット 30 ~ 16 が送出されます。

注

1. このビットは、ビット 1 = 1 で、REG[44h] ビット 6 ~ 5 = 11 のときにのみ有効です。
2. このビットを更新する前に、REG[4Eh] ビット 4 = 1 であることを確認してください。

bit 2

フィールド 1 データの有効性

このビットが 0 の場合、VBI データビット 14 ~ 0 は、無効であるか、あるいは前のフィールド 1 すでに送出されています。

REG[4Eh] ビット 4 = 1 のとき、このビットに 1 を書き込むと、次のフィールド 1 で VBI データビット 14 ~ 0 が送出されます。

注

1. このビットは、ビット 1 = 1 で、REG[44h] ビット 6 ~ 5 = 11 のときにのみ有効です。
2. このビットを更新する前に、REG[4Eh] ビット 4 = 1 であることを確認してください。

bit 1

CEA-608-B ライン 21 のデータサービス自動モードディーケーブル

このビットが 0b の場合、VBI データ + CGMS + APS は、XDS シーケンスと組み合わされて、自動的にフィールド 2 パケットで送出されます。(フィールド 1 パケットはゼロデータパケットとして送出されます)。フィールド 2 パケットデータの転送情報の詳細については、70 ページの表 11-9 「VBI データビットの説明 (CEA-608-B)」を参照してください。

このビットが 1b の場合、CEA-608-B ライン 21 のデータサービス自動モードはディーケーブルとなり、REG[4Eh] ビット 4 ~ 2 を REG[46h ~ 4Ch] とともに使用することで、フィールド 1 または 2 のパケットで XDS シーケンスを手動で送出します。フィールド 1 および 2 のパケットデータの転送情報の詳細については、71 ページの表 11-10 「XDS 用の VBI データビットの説明 (CEA-608-B)」を参照してください。

注

このビットは、REG[40h] ビット 6 ~ 5 = 11 のときにのみ有効です。

bit 0

VBI イネーブル

このビットが 0 の場合、VBI はディーケーブルです。

このビットが 1 の場合、VBI はイネーブルです。

REG[4Ch] TV DDS Fine Tuning Register 0

Default = 00h

Read/Write

| | | | | | | | | |
|---|---|---|---|---|---|---|---|----------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Reserved |
|---|---|---|---|---|---|---|---|----------|

REG[4Eh] TV DDS Fine Tuning Register 1

Default = 00h

Read/Write

| | | | |
|----------|--------------------|-----|----------|
| Reserved | TV クロック設定ビット 1 ~ 0 | n/a | Reserved |
| 7 | 6 | 5 | 4 |

REG[4Eh] bits 2-0

Reserved

これらのビットのデフォルト値は、000_0000_0000 です。

REG[4Ch] bits 7-0

Reserved

これらのビットのデフォルト値は、00 です。

REG[4Eh] bits 7-6

Reserved

これらのビットのデフォルト値は、00 です。

REG[4Eh] bits 5-4

TV クロック設定ビット [1:0]

これらのビットは、CLKI 周波数、REG[2Ch] ビット 2 ~ 1、および REG[54h] ~ REG[56h] とともに使用し、TV ブロックのクロックを設定します。

表 11-11: TV 入力クロックの設定

| REG[4Eh] ビット 5 ~ 4 | f_{timing} (タイミングに使用するクロックの周波数) | f_{dds} (内部の DDS と DAC に使用するクロックの周波数) |
|--------------------|---|---|
| 00 | 27MHz | 27MHz |
| 01 | 27MHz | 26MHz |
| 10 | 27MHz | 18 ~ 27MHz (注 1 および 2) |
| 11 | Reserved | |

11. レジスタ

表 11-12: TV クロックの設定

| CLKI 周波数 (MHz) | TV 入力クロックの設定 (REG[4Eh] ビット 5 ~ 4) | TV DDS クロックセレクト (REG[2Ch] ビット 2) (注) | TV タイミングクロックセレクト (REG[2Ch] ビット 1) | f_{sc}/f_{dds} 比および f_{timing}/f_{dds} 比をプログラムする必要性の有無 |
|-------------------------------|-----------------------------------|---|-----------------------------------|--|
| 27 | 00 | 0 (CLKI) | 0 (CLKI) | なし |
| 26 | 01 | 0 (CLKI) | 1 (PLL $\div 2 = 27\text{MHz}$) | なし (注 1) |
| $18 \leq \text{CLKI} \leq 27$ | 10 | 0 (CLKI) | 1 (PLL $\div 2 = 27\text{MHz}$) | あり (注 2) |
| $1 \leq \text{CLKI} \leq 18$ | 00 | 1b (PLL $\div 2 = 27\text{MHz}$) (注 3) | 1 (PLL $\div 2 = 27\text{MHz}$) | なし (注 2) |

注

1. REG[4Eh] ビット 5 ~ 4 = 10 (CLKI が 27MHz または 26MHz でない) のとき、 f_{sc}/f_{dds} レジスタ (REG[54h] インデックス 20 ~ 27 および REG[56h]) を NTSCM または NTSCJ の正しい値でプログラムする必要があります。
2. REG[4Eh] ビット 5 ~ 4 = 10 で、CLKI が 26MHz 未満の場合、SCH の位相誤差は、消費者グレード仕様 (20 度以内) を満たすことができません。
3. REG[2Ch] ビット 2 によって、PLL から DDS クロックを選択することができます。ただし、PLL ジッタが存在するため、すべてのタイミングが ITU-BT470 または SMPTE170M に従って満たされているという保証はありません。

REG[50h] TV Test Pattern Setting Register

Default = 00h

Read/Write

| ルミナンス遅延設定 3 ~ 0 | | | | テストパターンセレクトビット 3 ~ 0 | | | |
|-----------------|---|---|---|----------------------|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-4

ルミナンス遅延設定ビット [3:0]

これらのビットは、S ビデオ出力 (REG[40h] ビット 4 = 1) のルミナンスおよびクロミナンスのデータ間の遅延を決定します。

$$\text{ルミナンス遅延} = \{(\text{REG[50h] ビット 7} \sim 4) \times 37\text{ns}\}$$

ここで、REG[50h] ビット 7 ~ 4 は、0000 ~ 1100 の値です。
(37ns のインクリメントで 0ns -----> 12 x 37ns の範囲)

bits 3-0

テストパターンセレクトビット [3:0]

これらのビットは、テストパターンジェネレータから、内蔵の TV テストパターンを選択します。

表 11-13: テストパターンの定義

| REG[50h] ビット 3 ~ 0 | テストパターンの説明 | 注 |
|--------------------|---|--------------------------|
| 0000 | テストパターンジェネレータのディセーブル | 通常動作 |
| 0001 | 75% のカラーバーと 75% の白色 | |
| 0010 | 100% のカラーバー | |
| 0011 | 75% のカラーバーと 100% の白色 | 10.3μs から開始して 6.7μs ごと |
| 0100 | Reserved | |
| 0101 | コンスタント Y (77IRE、YCbCr: 180/128/128) | |
| 0110 | コンスタント Y + 赤 (YCbCr: 65/100/212) | hde としてアクティブなすべてのライン |
| 0111 | クロミナンスのない 10 ステップステアケース | 13.5μs から開始して 4μs ステップごと |
| 1000 | クロミナンスのないランプ Y | 20.2μs ~ 53.0μs |
| 1001 | クロミナンス 1 のある 10 ステップステアケース (CbCr: 89/156) | PAL 用 |
| 1010 | クロミナンス 2 のある 10 ステップステアケース (CbCr: 73/128) | NTSC 用 |
| 1011 | クロミナンス 1 のあるランプ A (UV: -20/20) | PAL 用 |
| 1100 | クロミナンス 2 のあるランプ A (UV: -28/0) | NTSC 用 |
| 1101 | カラー A のある 100IRE ランプ: n/-21/21、n: 0 ~ 140 | NTSC 用 |
| 1110 | カラー B のある 100IRE ランプ n/-28/0、n: 0 ~ 140 | PAL 用 |
| 1111 | カラー A のある 80IRE ランプ: n/-21/21、n: 0 ~ 448 | NTSC 用 |

11. レジスタ

表 11-14: 各ビデオパラメータのテストパターンの使用

| パラメータ | 基準値 | テスト信号 |
|-------------|------------------------|---|
| 位相差 | < 4° | 変調ステアケース (5 または 10) または変調ランプ、バーストに対して 0° ± 1° |
| 利得差 | < 4% | 10 ステップ変調ステアケース |
| 色相の精度 | < 3° | カラーバー |
| 彩度の精度 | < 3% | カラーバー |
| SNR | > 48 dB | |
| SCH 位相 | 40° | カラーバーストのある任意の信号 |
| サブキャリアの許容範囲 | < 2/1 Hz (NTSC/PAL) | |

| REG[52h] TV Filter Setting Register | | | | | | | |
|-------------------------------------|-----|---|----------|---|---------------------|--------------------|-------------------|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| Reserved | n/a | | Reserved | | プログラム可能 フィルタセレクト | クロミナス フィルタイネーブル | ルミナス フィルタイネーブル |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

| | | |
|----------|------------------|---|
| bit 7 | Reserved | このビットのデフォルト値は、0です。 |
| bits 4-3 | Reserved | これらのビットのデフォルト値は、00です。 |
| bit 2 | プログラム可能なフィルタセレクト | このビットは、クロミナス/ルミナスフィルタのフィルタパラメータがあらかじめプログラムされているか、あるいはREG[54h]とREG[56h]のレジスタを使用してプログラム可能であるかどうかを選択します。 このビットが0の場合、フィルタパラメータは、TV規格に従ってあらかじめプログラミングされています。 このビットが1の場合、フィルタパラメータは、レジスタを通じてプログラム可能です。 詳細については、172ページの22.「TV フィルタ動作」を参照してください。 |
| bit 1 | クロミナスフィルタイネーブル | このビットは、クロミナスフィルタ機能を制御します。 このビットが0の場合、クロミナスフィルタはディセーブルです。 このビットが1の場合、クロミナスフィルタはイネーブルです。 |
| bit 0 | ルミナスフィルタイネーブル | このビットは、ルミナスフィルタ機能を制御します。 このビットが0の場合、ルミナスフィルタはディセーブルです。 このビットが1の場合、ルミナスフィルタはイネーブルです。 |

| REG[54h] TV Filter Coefficient and User Clock Ratio Index Register | | | | | | | |
|--|-----|---|---|---|---|---|---|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| Reserved | n/a | 5 | 4 | 3 | 2 | 1 | 0 |
| 7 | 6 | | | | | | |

bit 7

Reserved

このビットのデフォルト値は、0です。

bits 5-0

TV フィルタ係数およびユーザークロック比インデックスビット [5:0]

ルミナスフィルタは、ノッチまたはローパスフィルタとして構成できる 15 タップの FIR フィルタです。クロミナスフィルタは、15 タップのローパス FIR フィルタです。

8 つのクロミナス係数 (16 バイト) があり、それぞれに符号ビットを伴います。また、8 つのルミナス係数 (16 バイト) があり、それぞれに符号ビットを伴います。 $f_{\text{timing}}/f_{\text{dds}}$ 比を定義するレジスタ (4 バイト) が 1 つあり、 $f_{\text{sc}}/f_{\text{dds}}$ 比を定義するレジスタ (4 バイト) が 1 つあります。このインデックスレジスタによって、REG[56h] を通じてアクセスされた 40 バイトのデータにアクセスできるようになります。

インデックス 00h ~ 1Fh

最初の 16 バイトはルミナス係数で、次の 16 バイトはクロミナス係数です (すべての係数は 2 バイトで構成されます。最初のバイト = 係数、2 番目のバイトのビット 0 = 符号ビットです)。

インデックス 20h ~ 23h

これらの 4 バイトは、TV タイミングクロック (f_{timing}) と DDS クロック (f_{dds}) の間の比率を設定します。このクロック比は、TV タイミングクロックが 27MHz または 26MHz でないときにプログラムする必要があります。REG[4Eh] ビット 5 ~ 4 は、10 です。30 ビットの値は、 $f_{\text{timing}}/f_{\text{dds}} \times 2^{29}$ に等しくなります。デフォルト値は 0 です。

インデックス 24h ~ 27h

これら後半の 4 バイトは、サブキャリアクロック (f_{sc}) と DDS クロック (f_{dds}) の間の比率を設定します。このクロック比は、DDS クロックが 27MHz または 26MHz でないとき (REG[4Eh] ビット 5 ~ 4 = 10)、あるいは DDS クロックが 26MHz で NTSCM または NTSCJ を選択するとき (REG[4Eh] ビット 5 ~ 4 = 01 および REG[40h] ビット 3 ~ 1 = 100 または 101)、TV 規格 (REG[40h] ビット 3 ~ 1) に基づいてプログラムする必要があります。30 ビットの値は、 $f_{\text{sc}}/f_{\text{dds}} \times 2^{32}$ に等しくなります。

注

$f_{\text{sc}}/f_{\text{dds}}$ 比は、TV 規格に基づいています。したがって、REG[40h] ビット 3 ~ 1 で TV 規格が変更された場合には、再プログラムする必要があります。

例

CLKI が 18MHz で TV 規格が NTSCM の場合、以下のようになります。

サブキャリア f_{sc} は、3.5795454MHz です。

DDS クロック f_{dds} は、18MHz です。

TV タイミングクロック f_{timing} は、27MHz です。

REG[2Ch] ビット 2 ~ 1 は、01 に設定する必要があります。

REG[4Eh] ビット 5 ~ 4 は、10 に設定する必要があります

クロック比 $f_{\text{timing}}/f_{\text{dds}} = 27/18 \times 2^{29} = 805,306,368 = 3000_0000h$
 REG[54h] の 20h ~ 23h にインデックス付けされた 4 バイトは、REG[56h] の 00h, 00h, 00h, および 30h としてプログラムする必要があります。

クロック比 $f_{\text{sc}}/f_{\text{dds}} = 3.5795454/18 \times 2^{32} = 854,112,802 = 32E8_BA21h$
 REG[54h] の 24h ~ 27h にインデックス付けされた後半の 4 バイトは、REG[56h] の 21h, BAh, E8h, および 32h としてプログラムする必要があります。

注

ルミナンスフィルタとクロミナンスフィルタのデフォルト値は、以下のとおりです。

表 11-15: ルミナンスフィルタのデフォルト値

| REG[52h] ビット 2 | REG[40h] ビット 4 | TV 規格 | 係数 0 | 係数 1 | 係数 2 | 係数 3 | 係数 4 | 係数 5 | 係数 6 | 係数 7 | 注 |
|-------------------|-------------------|--------------------------|----------|------|------|------|------|------|------|------|----------------------|
| 0 | 1 | - | 1FDh | 005h | 1FCh | 1FDh | 012h | 1DAh | 036h | 0C3h | ローパス |
| 0 | 0 | NTSC, M/Nc PAL | 1FDh | 006h | 00Ah | 1E6h | 1F1h | 036h | 008h | 0BDh | ノッチフィルタ (3.58MHz) |
| 0 | 0 | (B,D,G, H,I,N) PAL | 003h | 1F6h | 00Ah | 00Eh | 1D5h | 01Ch | 01Eh | 0BFh | ノッチフィルタ (4.43MHz) |
| 1 | - | - | レジスタ値の使用 | | | | | | | | ユーザー設定 |

表 11-16: クロミナンスフィルタのデフォルト値

| REG[52h] ビット 2 | 係数 0 | 係数 1 | 係数 2 | 係数 3 | 係数 4 | 係数 5 | 係数 6 | 係数 7 | 注 |
|-------------------|----------|------|------|------|------|------|------|------|---|
| 0 | 001h | 001h | 1FBh | 1F5h | 1FDh | 01Dh | 047h | 05Bh | ローパス (1.3MHz にて 1.5db の 減衰、3.6MHz で 20db 未満) |
| 1 | レジスタ値の使用 | | | | | | | | ユーザー設定 |

11. レジスタ

表11-17: クロミナス/ルミナスフィルタ係数インデックス

| インデックス | 説明 | インデックス | 説明 |
|--------|---------------------------|--------|--|
| 00h | ルミナスフィルタ係数0レジスタ0(ビット7~0) | 14h | クロミナスフィルタ係数2レジスタ0(ビット7~0) |
| 01h | ルミナスフィルタ係数0レジスタ1(符号ビット) | 15h | クロミナスフィルタ係数2レジスタ1(符号ビット) |
| 02h | ルミナスフィルタ係数1レジスタ0(ビット7~0) | 16h | クロミナスフィルタ係数3レジスタ0(ビット7~0) |
| 03h | ルミナスフィルタ係数1レジスタ1(符号ビット) | 17h | クロミナスフィルタ係数3レジスタ1(符号ビット) |
| 04h | ルミナスフィルタ係数2レジスタ0(ビット7~0) | 18h | クロミナスフィルタ係数4レジスタ0(ビット7~0) |
| 05h | ルミナスフィルタ係数2レジスタ1(符号ビット) | 19h | クロミナスフィルタ係数4レジスタ1(符号ビット) |
| 06h | ルミナスフィルタ係数3レジスタ0(ビット7~0) | 1Ah | クロミナスフィルタ係数5レジスタ0(ビット7~0) |
| 07h | ルミナスフィルタ係数3レジスタ1(符号ビット) | 1Bh | クロミナスフィルタ係数5レジスタ1(符号ビット) |
| 08h | ルミナスフィルタ係数4レジスタ0(ビット7~0) | 1Ch | クロミナスフィルタ係数6レジスタ0(ビット7~0) |
| 09h | ルミナスフィルタ係数4レジスタ1(符号ビット) | 1Dh | クロミナスフィルタ係数6レジスタ1(符号ビット) |
| 0Ah | ルミナスフィルタ係数5レジスタ0(ビット7~0) | 1Eh | クロミナスフィルタ係数7レジスタ0(ビット7~0) |
| 0Bh | ルミナスフィルタ係数5レジスタ1(符号ビット) | 1Fh | クロミナスフィルタ係数7レジスタ1(符号ビット) |
| 0Ch | ルミナスフィルタ係数6レジスタ0(ビット7~0) | 20h | $f_{\text{timing}}/f_{\text{dds}}$ 比 [7:0] |
| 0Dh | ルミナスフィルタ係数6レジスタ1(符号ビット) | 21h | $f_{\text{timing}}/f_{\text{dds}}$ 比 [15:8] |
| 0Eh | ルミナスフィルタ係数7レジスタ0(ビット7~0) | 22h | $f_{\text{timing}}/f_{\text{dds}}$ 比 [23:16] |
| 0Fh | ルミナスフィルタ係数7レジスタ1(符号ビット) | 23h | $f_{\text{timing}}/f_{\text{dds}}$ 比 [29:24] |
| 10h | クロミナスフィルタ係数0レジスタ0(ビット7~0) | 24h | $f_{\text{sc}}/f_{\text{dds}}$ 比 [7:0] |
| 11h | クロミナスフィルタ係数0レジスタ1(符号ビット) | 25h | $f_{\text{sc}}/f_{\text{dds}}$ 比 [15:8] |
| 12h | クロミナスフィルタ係数1レジスタ0(ビット7~0) | 26h | $f_{\text{sc}}/f_{\text{dds}}$ 比 [23:16] |
| 13h | クロミナスフィルタ係数1レジスタ1(符号ビット) | 27h | $f_{\text{sc}}/f_{\text{dds}}$ 比 [29:24] |

表11-18: $f_{\text{timing}}/f_{\text{dds}}$ と $f_{\text{sc}}/f_{\text{dds}}$ の公比

| f_{dds} (CLKI周波数) (MHz) | 比率 ($f_{\text{timing}}/f_{\text{dds}}$) $\times 2^{29}$ | $f_{\text{timing}}/f_{\text{dds}}$ 比の値 (16進数) | TV 規格 | f_{sc} (MHz) | 比率 ($f_{\text{sc}}/f_{\text{dds}}$) $\times 2^{32}$ | $f_{\text{sc}}/f_{\text{dds}}$ 比の値 (16進数) |
|--|--|--|-----------|--------------------------|--|--|
| 18 | 805306368 | 30000000 | NTSC | 3.5795454 | 854112802 | 32E8BA21 |
| 18 | | | PAL-M | 3.57561149 | 853174134 | 32DA6776 |
| 18 | | | PAL-Nc | 3.58205625 | 854711914 | 32F1DE69 |
| 18 | | | PAL - その他 | 4.43361875 | 1057902641 | 3F0E5030 |
| 19.2 | 754974720 | 2D000000 | NTSC | 3.5795454 | 800730751 | 2FBA2E7F |
| 19.2 | | | PAL-M | 3.57561149 | 799850751 | 2FACC0FE |
| 19.2 | | | PAL-Nc | 3.58205625 | 801292419 | 2FC2C083 |
| 19.2 | | | PAL - その他 | 4.43361875 | 991783726 | 3B1D6B2D |
| 26 | 557519793 | 213B13B1 | NTSC | 3.5795454 | 591308863 | 233EA83F |
| 26 | | | PAL-M | 3.57561149 | 590659016 | 2334BDC8 |
| 26 | | | PAL-Nc | 3.58205625 | 591723633 | 2344FC71 |
| 26 | | | PAL - その他 | 4.43361875 | 732394136 | 2BA77298 |

| REG[56h] TV Filter Coefficient and User Clock Ratio Data Register | | | | | | | | |
|---|---|---|---|---|---|---|---|--|
| Default = 00h | | | | | | | | |
| TV フィルタ係数およびユーザクロック比データビット 7 ~ 0 | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

TV フィルタ係数およびユーザクロック比データビット [7:0]

このレジスタは、前述のインデックス付きアドレス (REG[54h] ビット 4 ~ 0) に基づいて読み出し / 書き込みされるデータを指定します。このレジスタに連続してライトアクセスを行うと、前述のアドレス (REG[54h] ビット 5 ~ 0) がオートインクリメントされます。

REG[58h] ~ REG[5Ah] は、予約ビットです。

これらのレジスタは予約ビットであるため、書き込まないでください。

11. レジスタ

11.3.4 入力データ制御レジスタ

| REG[60h] Input Data Format Register | | | | | | | | Read/Write |
|-------------------------------------|-----|---|---|---|---|---|---|------------|
| Default = 30h | | | | | | | | |
| 7 | n/a | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 5-4

YUV 入力データタイプセレクトビット [1:0]

これらのビットは、S1D13746 への入力データの YUV データタイプを定義します。YUV 入力データは、メモリに書き込まれる前に必ず YCbCr に変換されます。デフォルトのタイプは、YCbCr です。

表 11-19: YUV データタイプの選択

| REG[60h] ビット 5 ~ 4 | データタイプ | YRC 入力データ範囲 |
|--------------------|-------------|--|
| 00 | YUV | $0 \leq Y \leq 255$ $-128 \leq U \leq 127$ $-128 \leq V \leq 127$ |
| 01 | YCbCr | $16 \leq Y \leq 235$ $-113 \leq U \leq 112$ $-113 \leq V \leq 112$ |
| 10 | YUV オフセット | $0 \leq Y \leq 255$ $0 \leq U \leq 255$ $0 \leq V \leq 255$ |
| 11 (デフォルト) | YCbCr オフセット | $16 \leq Y \leq 235$ $16 \leq U \leq 240$ $16 \leq V \leq 240$ |

bits 3-0

入力データフォーマットセレクトビット [3:0]

これらのビットは、入力データフォーマットを選択します。各データフォーマットの詳細については、115 ページの 12.「Intel 80、8 ビットインターフェースのカラーフォーマット」、119 ページの 13.「Intel 80、16 ビットインターフェースのカラーフォーマット」、および 125 ページの 14.「YUV タイミング」を参照してください。

表 11-20: 入力データフォーマットの選択

| REG[60h] ビット 3 ~ 0 | 入力データフォーマット |
|--------------------|-----------------------|
| 0000 | RGB 3:3:2 |
| 0001 | RGB 5:6:5 |
| 0010 | RGB 6:6:6 モード 1 |
| 0011 | RGB 8:8:8 モード 1 |
| 0100 | Reserved |
| 0101 | Reserved |
| 0110 | RGB 6:6:6 モード 2 (注 3) |
| 0111 | RGB 8:8:8 モード 2 (注 3) |
| 1000 | YUV 4:2:2 |
| 1001 | YUV 4:2:0 |
| 1010 - 1111 | Reserved |

注

- すべての入力データは、変換されて YUV4:2:0 として格納されます。
- パラレル RGB インタフェースを使用して画像データを入力するとき (CNF[1:0] = 00 または 10)、REG[60h] ビット 3 は 0 に設定する必要があります。
- RGB 6:6:6 モード 2 と RGB 8:8:8 モード 2 は、16 ビットの Intel 80 インタフェースでのみサポートされています (CNF[1:0] = 11)。

REG[62h] Special Effects Register

Default = 00h

Read/Write

| | | | | | |
|----------------------|-----------------------|--------------|--------------------------|---------------------------|---------------------------|
| ウィンドウデータ タイプ 7 | ダブルバッファ イネーブル 6 | 背景ウィンドウ 5 | スクエアピクセル 補正イネーブル 4 | 透明性セレクトビット 1 ~ 0 3 2 | ウィンドウ回転ビット 1 ~ 0 1 0 |
|----------------------|-----------------------|--------------|--------------------------|---------------------------|---------------------------|

bit 7

ウィンドウデータタイプ

このビットは、ウィンドウのデータタイプを決定します。使用例およびダブルバッファの詳細については、155 ページの 20.「標準的な使用例の説明」、169 ページの 21.「ダブルバッファの説明」を参照してください。

このビットが 0 の場合、ホストから書き込まれるデータは「スタティック」であると見なされ、ダブルバッファ処理されません。

このビットが 1 の場合、ホストから書き込まれるデータは「ストリーミング」であると見なされ、ダブルバッファが必要となります (REG[62h] ビット 6 = 1)。

11. レジスタ

bit 6

ダブルバッファイネーブル

このビットを使用してダブルバッファをイネーブルにします。使用例およびダブルバッファの詳細については、155 ページの 20.「標準的な使用例の説明」、169 ページの 21.「ダブルバッファの説明」を参照してください。

このビットが 0 の場合、書き込みウィンドウ / アクティブウィンドウに対してダブルバッファがディセーブルになります。

このビットが 1 の場合、書き込みウィンドウ / アクティブウィンドウに対してダブルバッファがイネーブルになり、データのストリーミング中の画像のティアリングを防ぎます。

パラレル RGB インタフェースを選択するときには (CNF[1:0] を参照)、以下の制限を満たす必要があります。そうでない場合はダブルバッファを使用しないでください。

- 入力フレームレートは、出力（表示フレームレート）の半分より低くする必要があります。
- 入力データバーストは、出力フレーム期間よりも短くする必要があります。

bit 5

背景ウィンドウ

このビットを使用して、入力画像タイプを背景から *destructive overlay* に変更します。使用例およびダブルバッファの詳細については、155 ページの 20.「標準的な使用例の説明」、169 ページの 21.「ダブルバッファの説明」を参照してください。

このビットが 0 の場合、書き込みウィンドウは、*destructive overlay* と見なされます。このビットが 1 の場合、書き込みウィンドウは、背景画像と見なされます。

注

パラレル RGB ホストインターフェース (CNF[1:0] = 00b または 10b) の場合、このビットは 1 に設定する必要があります。

bit 4

スクエアピクセル補正イネーブル

画像を校正済みの TV で表示するとき、ある特定のピクセル数の水平方向の長さは、同じピクセル数の垂直方向の長さと同じではありません。たとえば、校正済みの NTSC TV で、8 x 8 ピクセルの四角形は正方形には見えず、幅が高さよりも短く見えます。スクエアピクセルをイネーブルにすると、出力画像の幅は、S1D13746 によって適切に拡大されて、N x N の画像が正方形に見えるようになります。スクエアピクセルの拡大縮小ロジックでは、選択されている TV 規格 (PAL または NTSC) を考慮し、それに応じて拡大縮小されます。NTSC の場合、画像は拡大されます。PAL の場合、画像は縮小されます。

このビットが 0 の場合、スクエアピクセル補正是、ディセーブルです (デフォルト)。このビットが 1 の場合、スクエアピクセル補正是、イネーブルです。

表 11-21: スクエアピクセル補正

| REG[62h] ビット 4 | TV 規格 | 拡大縮小率 | 最大出力幅の設定 |
|----------------|-------|--|----------|
| 0 | — | 256/256 (1.000) | 720 |
| 1 | NTSC | 282/256 (1.101) ($654 \times 282 \div 256 = 720$) | 654 |
| 1 | PAL | 234/256 (0.914) ($788 \times 234 \div 256 = 720$) | 788 |

注

スクエアピクセル補正は、PALM (REG[40h] ビット 3 ~ 1 = 001b) ではサポートされていません。

bits 3-2

透明性セレクトビット [1:0]

これらのビットは、透明性のモードを選択します。

通常モード：このモードでは、拡大縮小して得られたピクセルが透明色に等しい場合、そのピクセルはメモリには書き込まれません。このモードでは、不透明色の周囲にカラーーアーチファクト（画質劣化）が生じます。

白黒モード：このモードでは、透明色は、白または黒に限定され、可視色は反対色になります。このモードでは、すべてのピクセルが強制的に透明または不透明のいずれかにされるため、カラーーアーチファクトが取り除かれます。

テキストモード：このモードでは、Transparency Color Register (REG[98h] ~ REG[9Ch]) から算出される透明色の輝度範囲によってピクセルが透明か不透明かが決まります。このモードは白黒モードと同様の効果がありますが、より多くのカラーーアーチファクトが取り除かれます。

表 11-22: 透明性の選択

| REG[62h] ビット 3 ~ 2 | 透明性モード |
|--------------------|---------|
| 00 (デフォルト) | ディセーブル |
| 01 | 通常モード |
| 10 | 白黒モード |
| 11 | テキストモード |

bits 1-0

ウィンドウ回転ビット [1:0]

これらのビットは、書き込みウィンドウに適用する反時計回りの回転量を決定します。

ホストからデータを書き込む場合、これらのビットを設定することにより、その設定に応じてウィンドウが回転します。

表 11-23: ウィンドウの回転

| REG[6Ah] ビット 1 ~ 0 | ウィンドウの回転 |
|--------------------|----------|
| 00 (デフォルト) | 0° |
| 01 | 90° |
| 10 | 180° |
| 11 | 270° |

入力ウィンドウサイズ / 位置レジスタ

ホストから書き込まれるすべてのウィンドウには、以下のパラメータが必要です。

- 入力サイズ（高さ、幅）：背景画像を処理する場合、ダブルバッファビットと組み合わせた入力サイズを使用して、利用可能なメモリ内に画像を収めるために必要な縮小率を決定します。背景の上に書き込まれるすべての **destructive window** は、元の背景画像と同じ縮小率を使用します。
- 出力サイズ（高さ、幅）：背景画像を処理する場合、出力サイズを使用して拡大率を決定します。背景の上に書き込まれるすべての **destructive window** は、元の背景画像と同じ拡大率を使用します。
- 出力位置（複数のウィンドウを表示する場合にのみ適用）：元の背景画像は、（必要な場合に）必ずセンタリングおよびボーダー処理されるので、位置は関連付けられていません。**destructive window** はすべて、背景画像の左上を基準としています。
- 背景または **destructive overlay**？
- ダブルバッファ処理するのかどうか？

制限事項

ダブルバッファ機能がディセーブルの場合、312KB のメモリが画像で利用できます。ダブルバッファ機能がイネーブルの場合、156KB のメモリが画像で利用できます。

RGB と YUV 4:2:2 フォーマットの入力ウィンドウの最大解像度は、3072 x 4092 です。YUV 4:2:0 フォーマットの入力ウィンドウの最大解像度は、720 x 4092 です。

オーバーレイウィンドウの出力 x,y の開始位置は、背景出力サイズ（拡大後のサイズ）を基準としています。オーバーレイの入力ウィンドウサイズは、背景入力サイズ（縮小前のサイズ）を基準としています。

背景入力ウィンドウの解像度に応じて、入力ウィンドウ幅は、2、4、または 8 で割り切れる必要があります、高さも、2、4、または 8 で割り切れる必要があります。その後に続くすべての **destructive window** は、背景ウィンドウと同じ被整除数（割り切れる数）でなければなりません。入力ウィンドウの幅 / 高さの被整除スレッショルドは、以下のとおりです。

表 11-24: ウィンドウ幅 / 高さの被整除スレッショルド

| 入力幅 / 高さが以下の範囲内にある場合 | | 両方の制限を適用 | |
|----------------------|------------------|------------|-------------|
| 入力ウィンドウの幅 | 入力ウィンドウの高さ | 幅は以下で割り切れる | 高さは以下で割り切れる |
| 2 ≤ 幅 ≤ 768 | 2 ≤ 高さ ≤ 1022 | 2 | 2 |
| 772 ≤ 幅 ≤ 1536 | 1024 ≤ 高さ ≤ 2044 | 4 | 4 |
| 1544 ≤ 幅 ≤ 3072 | 2048 ≤ 高さ ≤ 4088 | 8 | 8 |

注

1. 幅と高さが、被整除制限の異なる 2 種類の範囲内にある場合、最大の被整除制限が幅と高さの両方に適用されます。たとえば、720 x 2048 のウィンドウには、幅と高さの両方について被整除制限 8 が適用されます。
2. 入力幅または入力高さのいずれかが下記の範囲に収まるとき、対応する制限に従う必要があります。
 - a. $2 \leq \text{幅} \leq 768$ または $2 \leq \text{高さ} \leq 1022$ の場合、次の制限が適用されます。
入力幅 x 入力の高さ $\geq 524,288$
 - b. $772 \leq \text{幅} \leq 1536$ または $1024 \leq \text{高さ} \leq 2044$ の場合、次の制限が適用されます。
入力幅 $\div 2$ x 入力の高さ $\div 2 \geq 524,288$
 - c. $1544 \leq \text{幅} \leq 3072$ または $2048 \leq \text{高さ} \leq 4088$ の場合、次の制限が適用されます。
入力幅 $\div 4$ x 入力の高さ $\div 4 \geq 524,288$

以下の数値は、カラー領域としてサポートされる入力画像の解像度を示しています。グレーの領域は、サポートされていない背景ウィンドウの解像度を示しています。サポートされていない解像度の下部の境界を定める曲線は、以下のように定義されています。

下側グレー領域

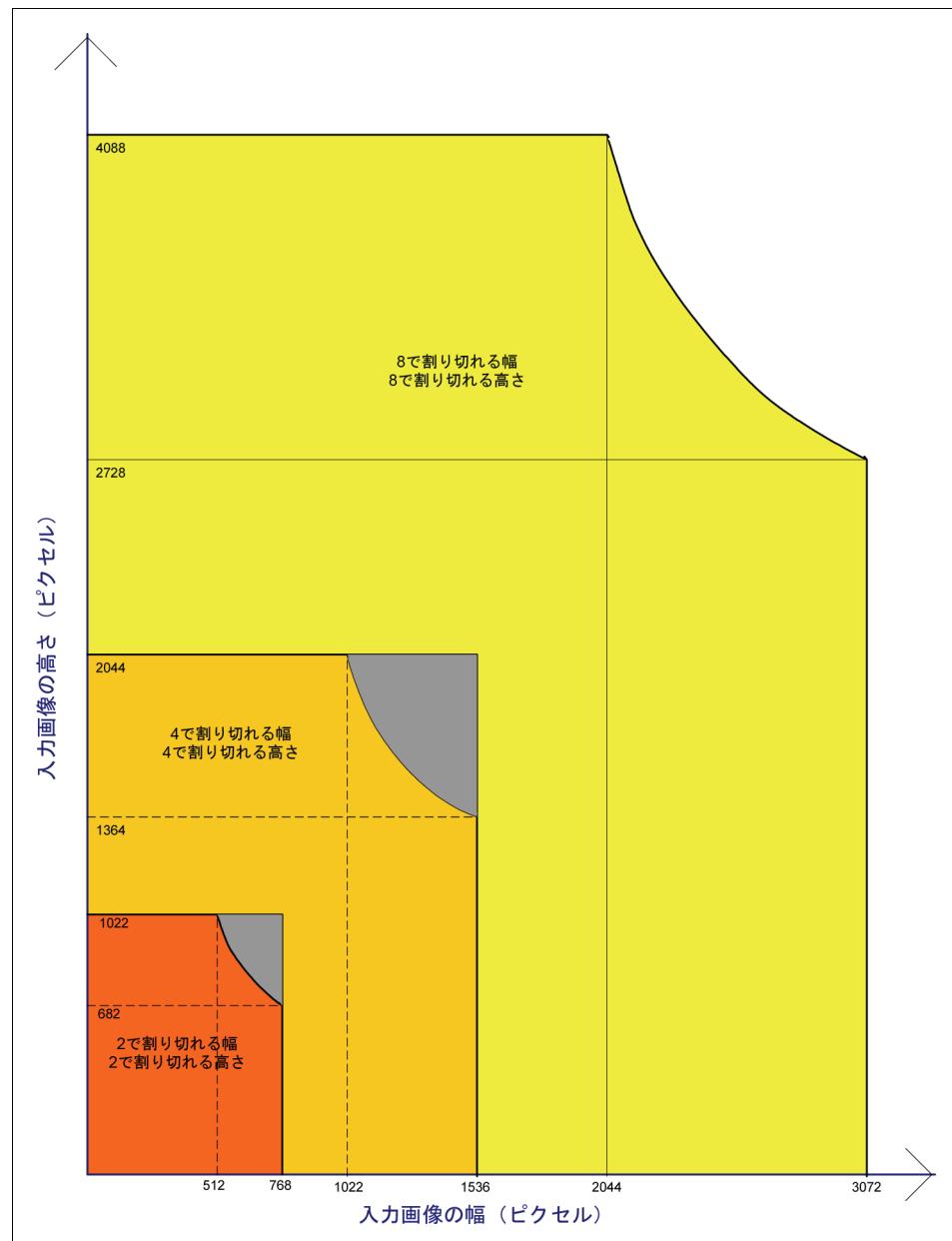
高さ = $A \div \text{幅}$ 、ここで $A = 524288$

上側グレー領域

高さ = $A \div \text{幅}$ 、ここで $A = 2097152$

上側境界

高さ = $A \div \text{幅}$ 、ここで $A = 8388608$



以下の表は、一般的にサポートされるパネルの解像度です。

図11-2: サポートされる入力サイズの例

| 一般的にサポートされる入力サイズの例 | 解像度 |
|--------------------|-----------|
| QCIF | 176x144 |
| QVGA | 320x240 |
| CIF | 352x288 |
| WQVGA | 400x240 |
| VGA | 640x480 |
| WVGA | 800x480 |
| SVGA | 800x600 |
| XGA | 1024x768 |
| WXGA | 1280x800 |
| SXGA | 1280x1024 |
| WXGA+ | 1440x900 |
| UXGA | 1600x1200 |
| WUXGA+ | 2560x1600 |
| 720p | 1280X720 |
| 1080i/p | 1920X1080 |
| 1080p | 1920x1080 |

11. レジスタ

| REG[64h] Host Input Window Height Register 0 | | | | | | | | |
|---|--|--|--|--|--|--|--|------------|
| Default = 00h | | | | | | | | Read/Write |
| ホスト入力ウィンドウの高さビット 7 ~ 0 | | | | | | | | |

| REG[66h] Host Input Window Height Register 1 | | | | | | | | |
|---|--|--|--|--|--|--|--|------------|
| Default = 00h | | | | | | | | Read/Write |
| ホスト入力ウィンドウの高さビット 11 ~ 0 | | | | | | | | |

REG[66h] bits 3-0

REG[64h] bits 7-0

ホスト入力ウィンドウの高さビット [11:0]

これらのビットは、ホストでの入力ウィンドウの高さ（ピクセル）を決定します。
この値は、回転を適用する前の入力画像の高さを指定する必要があります。

| REG[68h] Host Input Window Width Register 0 | | | | | | | | |
|--|--|--|--|--|--|--|--|------------|
| Default = 00h | | | | | | | | Read/Write |
| ホスト入力ウィンドウの幅ビット 7 ~ 0 | | | | | | | | |

| REG[6Ah] Host Input Window Width Register 1 | | | | | | | | |
|--|--|--|--|--|--|--|--|------------|
| Default = 00h | | | | | | | | Read/Write |
| ホスト入力ウィンドウの幅ビット 11 ~ 8 | | | | | | | | |

REG[6Ah] bits 3-0

REG[68h] bits 7-0

ホスト入力ウィンドウの幅ビット [11:0]

これらのビットは、ホストでの入力ウィンドウの幅（ピクセル）を決定します。
この値は、回転を適用する前の入力画像の幅を指定する必要があります。

11.3.5 表示出力制御レジスタ

| REG[80h] Display Mode Register | | | | | | | | Read/Write |
|--------------------------------|---|----------|---|----------------|---------------|----------|---|------------|
| Default = 00h | | | | | | | | |
| マクロビジョン イネーブル 7 | 6 | n/a 5 | 4 | TV 表示ブランク 3 | TV イネーブル 2 | n/a 1 | 0 | |

bit 7

マクロビジョンイネーブル

マクロビジョン機能は、S1D13746 のボンドアウトオプションです。したがってマクロビジョンは、マクロビジョンボンドオプションビットが 1、REG[02h] ビット 7 = 1 に設定されているときにのみイネーブルにすることができます。REG[02h] ビット 7 = 0 のとき、このビットは効果がありません。

このビットが 0 の場合、マクロビジョンブロックは、イネーブルです。

このビットが 1 の場合、マクロビジョンブロックは、ディセーブルです。

bit 3

TV 表示ブランク

このビットは、TV 表示パイプラインを制御し、TV 表示を「ブランク」にすることができます。

このビットが 0 の場合、TV 表示パイプラインは、イネーブルです。

このビットが 1 の場合、すべての TV データ出力は、強制的に 0 になります（すなわち、画面がブランクになります）。

bit 2

TV イネーブル

このビットは、TV インタフェースを制御します。

このビットが 0 の場合、TV インタフェースはディセーブルで、すべての TV 制御信号はインアクティブです。

このビットが 1 の場合、TV インタフェースはイネーブルです。

11. レジスタ

表示出力ウィンドウサイズ / 位置レジスタ

信号や背景画像 (REG[62h] ビット 5) を書き込むとき、目的の出力の幅 / 高さが必要となります。開始位置は、0 にプログラムする必要があります。

destructive overlay (複数のウィンドウ) を書き込むとき、開始位置のみが必要となります。オーバーレイウィンドウの開始位置は、表示された背景画像の左上を基準としています。

注

オーバーレイウィンドウの出力 x,y の開始位置は、背景出力サイズ (拡大後のサイズ) を基準としています。オーバーレイの入力ウィンドウサイズは、背景入力サイズ (縮小前のサイズ) を基準としています。

| REG[82h] Display Output Window X Start Position Register 0 | | | | | | | | | |
|--|---|---|---|---|---|---|---|----------------------------|--|
| Default = 00h | | | | | | | | | |
| Read/Write | | | | | | | | | |
| 表示出力ウィンドウの X 開始位置ビット 7 ~ 0 | | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| REG[84h] Display Output Window X Start Position Register 1 | | | | | | | | | |
| Default = 00h | | | | | | | | | |
| Read/Write | | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 表示出力ウィンドウの X 開始位置ビット 9 ~ 8 | |
| n/a | | | | | | | | 9 ~ 8 | |

REG[84h] bits 1-0

REG[82h] bits 7-0

表示出力ウィンドウの X 開始位置ビット [9:0]

これらのビットは、背景画像の左上コーナーを基準としてウィンドウの X 開始位置 (ピクセル) を決定します。方向を回転した場合も (REG[62h] ビット 1 ~ 0 を参照)、左上コーナーが表示される画像の基準となります。

注

ホストが背景画像を書き込んでいる場合、これらのビットは 0 に設定する必要があります。

REG[86h] Display Output Window Y Start Position Register 0

Default = 00h

Read/Write

| 表示出力ウィンドウのY開始位置ビット7～0 | | | | | | | | |
|-----------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[88h] Display Output Window Y Start Position Register 1

Default = 00h

Read/Write

| n/a | | | | | | | | 表示出力ウィンドウのY開始位置ビット9～8 |
|-----|---|---|---|---|---|---|---|-----------------------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[88h] bits 1-0

REG[86h] bits 7-0

表示出力ウィンドウのY開始位置ビット[9:0]

これらのビットは、背景画像の左上コーナーを基準としてウィンドウのY開始位置（ピクセル）を決定します。方向を回転した場合も（REG[62h] ビット 1～0 を参照）、左上コーナーが表示される画像の基準となります。

注

ホストが背景画像を書き込んでいる場合、これらのビットは 0 に設定する必要があります。

REG[8Ah] Display Output Window Height Register 0

Default = 40h

Read/Write

| 表示出力ウィンドウの高さビット7～0 | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[8Ch] Display Output Window Height Register 1

Default = 02h

Read/Write

| n/a | | | | | | | | 表示出力ウィンドウの高さビット9～8 |
|-----|---|---|---|---|---|---|---|--------------------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

REG[8Ch] bits 1-0

REG[8Ah] bits 7-0

表示出力ウィンドウの高さビット[9:0]

これらのビットは、ディスプレイへの出力ウィンドウの高さ（ピクセル）を決定します。この値を使用して、メモリに格納された画像を表示する際に、拡大するため必要な比率を決定します。方向を回転した場合も（REG[62h] ビット 1～0 を参照）、左上コーナーが表示される画像の基準となります。

注

- これらのビットは、初回の背景画像にのみ使用します。その後に続くすべてのウィンドウは、背景画像で定義された拡大率と同じ値を使用してください。
- これらのレジスタの値は、TV 垂直ブランク期間の間に REG[90h] が書き込まれたときにラッチされます。REG[90h] は、画像データを書き込む前に書き込む最後のレジスタにしなければなりません。

11. レジスタ

| REG[8Eh] Display Output Window Width Register 0 | | | | | | | | |
|--|---|---|---|---|---|---|---|--|
| Default = D0h | | | | | | | | |
| Read/Write | | | | | | | | |
| 表示出力ウィンドウ幅ビット 7 ~ 0 | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

| REG[90h] Display Output Window Width Register 1 | | | | | | | | |
|--|---|---|---|---|---|---|---|--------------------------|
| Default = 02h | | | | | | | | |
| Read/Write | | | | | | | | |
| n/a | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 表示出力ウィンドウのY終了位置ビット 9 ~ 8 |

REG[90h] bits 1-0

REG[8Eh] bits 7-0 表示出力ウィンドウ幅ビット [9:0]

これらのビットは、ディスプレイへの出力ウィンドウの幅（ピクセル）を決定します。この値を使用して、メモリに格納された画像から結果として表示される画像への拡大率を決定します。方向を回転した場合も（REG[62h] ビット 1 ~ 0 を参照）、左上コーナーが表示される画像の基準となります。

注

- これらのビットは、初回の背景画像にのみ使用します。その後に続くすべてのウィンドウは、背景画像で定義された拡大率と同じ値を使用してください。
- 背景画像を書き込む場合、これらのレジスタの値は、TV 垂直ブランク期間の間に REG[90h] が書き込まれたときにラッチされます。REG[90h] は、画像データを書き込む前に書き込む最後のレジスタにしなければなりません。

ボーダーカラーレジスタ

| REG[92h] Border Color Register 0 | | | | | | | | Read/Write | | | |
|----------------------------------|---|---|---|------------------|--|--|---|------------|--|--|--|
| Default = 10h | | | | | | | | | | | |
| 7 | 6 | 5 | 4 | ボーダーカラー - Y[7:0] | | | 2 | | | | |
| REG[94h] Border Color Register 1 | | | | | | | | Read/Write | | | |
| Default = 80h | | | | | | | | | | | |
| 7 | 6 | 5 | 4 | ボーダーカラー - U[7:0] | | | 2 | | | | |
| REG[96h] Border Color Register 2 | | | | | | | | Read/Write | | | |
| Default = 80h | | | | | | | | | | | |
| 7 | 6 | 5 | 4 | ボーダーカラー - V[7:0] | | | 2 | 1 | | | |
| | | | | 0 | | | | | | | |

REG[96h] bits 7-0 ボーダーカラー - V[7:0]

REG[94h] bits 7-0 ボーダーカラー - U[7:0]

REG[92h] bits 7-0 ボーダーカラー - Y[7:0]

これらのビットは、結果として得られる出力 TV の解像度が、選択した表示フォーマット (PAL または NTSC) の該当するフルスクリーン解像度に適合しない場合に使用するボーダーカラーの YUV (8:8:8) 成分を指定します。この場合、表示出力 ウィンドウは、指定したカラー ボーダー内で自動的にセンタリングされます。

ボーダーカラーは、以下に示す YCbCr オフセット範囲内の値に設定する必要があります。

$$16 \leq Y \leq 235$$

$$16 \leq U \leq 240$$

$$16 \leq V \leq 240$$

YUV 値を計算して相当する RGB カラーを求めるには、以下の式を使用します。

$$Y = (838h \times R + 1022h \times G + 322h \times B) \div 2000h + 10h$$

$$U = (-4C1h \times R - 94Eh \times G + E0Eh \times B) \div 2000h + 80h$$

$$V = (E0Eh \times R - BC7h \times G - 247h \times B) \div 2000h + 80h$$

11. レジスタ

Transparency Color Registers

REG[98h] TV Transparency Color Register 0

Default = 10h

Read/Write

| | | | | | | | |
|--------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 透明色 - Y[7:0] | | | | | | | |

REG[9Ah] TV Transparency Color Register 1

Default = 80h

Read/Write

| | | | | | | | |
|--------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 透明色 - U[7:0] | | | | | | | |

REG[9Ch] TV Transparency Color Register 2

Default = 80h

Read/Write

| | | | | | | | |
|--------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 透明色 - V[7:0] | | | | | | | |

REG[9Ch] bits 7-0 透明色 - V[7:0]

REG[9Ah] bits 7-0 透明色 - U[7:0]

REG[98h] bits 7-0 透明色 - Y[7:0]

これらのビットは、透明色の YUV (8:8:8) 成分を指定します。透明機能は、ホストのデータ書き込みの間にのみ使用できます。この場合、透明色は、メモリに書き込まれる前に入力データから取り除かれるため、一度書き込むと（イネーブルにすると）、ディセーブルにすることはできません。書き込まれた他のすべてのウィンドウと同様に、透明性ウィンドウも destructive であると見なされ、元に戻すことはできません。

透明色は、入力画像データが異なるフォーマットの場合でも、以下に示すように、YCbCr オフセット範囲内の値に設定する必要があります。

$$16 \leq Y \leq 235$$

$$16 \leq U \leq 240$$

$$16 \leq V \leq 240$$

YUV 値を計算して相当する RGB カラーを求めるには、以下の式を使用します。

$$Y = (838h \times R + 1022h \times G + 322h \times B) \div 2000h + 10h$$

$$U = (-4C1h \times R - 94Eh \times G + E0Eh \times B) \div 2000h + 80h$$

$$V = (E0Eh \times R - BC7h \times G - 247h \times B) \div 2000h + 80h$$

| REG[9Eh] DAC Reference Source Select Register | | | | | | | | |
|---|---|---|---|-----------------------|---|-----------------|-----------------|------------|
| Default = 00h | | | | | | | | |
| TV 表示水平方向 7 | 6 | 5 | 4 | TV 表示垂直位置ビット 1～0 3 | 2 | IREF イネーブル 1 | VREF イネーブル 0 | Read/Write |

| | |
|----------|---|
| bit 7 | TV 表示水平方向 このビットは、TV 表示水平位置 (REG[9Eh] ビット 6～4) が設定されているとき、TV 表示が移動する方向を制御します。 このビットが 0 の場合、REG[9Eh] ビット 6～4 は、TV 表示が左に移動するピクセル数を設定します。 このビットが 1 の場合、REG[9Eh] ビット 6～4 は、TV 表示が右に移動するピクセル数を設定します。 |
| bits 6-4 | TV 表示水平位置ビット [2:0] これらのビットは、デフォルト位置からの TV 表示水平位置オフセット (ピクセル) を設定します。オフセットの方向は、このレジスタのビット 7 で制御されます。 |
| bits 3-2 | TV 表示垂直位置ビット [1:0] これらのビットは、TV 表示がデフォルト位置から下に移動するライン数を設定します。 |
| bit 1 | IREF イネーブル DAC 基準電流源回路イネーブル このビットが 0 の場合、基準電流の内部生成はディセーブルです (デフォルト)。 このビットが 1 の場合、VADJ 端子はイネーブルです。詳細については、180 ページの 24.1 「DAC の外付け部品」を参照してください。 |
| bit 0 | VREF イネーブル DAC 基準電圧源回路イネーブル このビットが 0 の場合、DAC は、外部 VREF モードを使用します。180 ページの 「DAC の外付け部品」を参照してください (デフォルト)。 このビットが 1 の場合、DAC は、内部 VREF モードを使用します。このモードでは、DAC 基準電圧は、DAC によって供給されます。 |

11. レジスタ

11.3.6 表示メモリアクセスレジスタ

| REG[A0h] Display Memory Data Port Register 0 | | | | | | | | | Read/Write |
|--|---|---|---|---|---|---|---|--|------------|
| Default = not applicable | | | | | | | | | |
| 表示メモリデータポートビット 15 ~ 8 | | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| 表示メモリデータポートビット 7 ~ 0 | | | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |

REG[A0h] bits 15-0

表示メモリデータポートビット [15:0]

これらのビットは、表示メモリにホストデータを書き込むためのデータポートであり、すべての構成に使用されます。

ビット 7 ~ 0 は、データワードの最下位バイトを構成し、8 ビットのアクセス (CNF[1:0] = 01) と 16 ビットのアクセス (CNF[1:0] = 11) の両方に使用されます。

ビット 15 ~ 8 は、データワードの最上位バイトを構成し、16 ビットのアクセス (CNF[1:0] = 11) にのみ使用されます。

注

- バーストデータの書き込みは、これらのレジスタを通じてサポートされます。このアドレスに達するとレジスタのオートインクリメントが自動的にディセーブルとなり、このレジスタへのその後のすべての書き込みは、内蔵メモリのアドレスのみをオートインクリメントします。
- データを書き込む前に、ホストウィンドウサイズ / 位置レジスタ (REG[64h] ~ REG[6Ah]、REG[82h] ~ REG[88h]) をプログラムしておく必要があります。

REG[A2h] ~ REG[A6h] は予約されています。

これらのレジスタは予約されているため、書き込みを行わないでください。

11.3.7 3 x 3 ピクセルマトリックスフィルタレジスタ

| REG[C0h] 3X3 Pixel Matrix Filter Control Register | | | | | | | | Read/Write |
|---|---|---|---|---|---|---|---|---------------------|
| Default = 00h | | | | | | | | n/a |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 3 x 3 フィルタ イネーブル |

bit 0

3 x 3 フィルタイネーブル

このビットは、3 x 3 フィルタをイネーブルにします。詳細については、136 ページの 16. 「画像強化エンジン」を参照してください。

このビットが 0 の場合、3 x 3 フィルタはディセーブルです。

このビットが 1 の場合、3 x 3 フィルタはイネーブルです。

注

3 x 3 フィルタをイネーブルにすると、SYSCLK は 54MHz である必要があります。

3 x 3 ピクセルマトリックスフィルタ係数レジスタ

表 11-25: 係数テーブルマッピング

| 係数テーブル # | レジスタアドレス | 3 x 3 フィルタの 使用 |
|----------|--------------------|-------------------|
| 0 | REG[C2h] ビット 2 ~ 0 | Y0 |
| 1 | REG[C2h] ビット 6 ~ 4 | Y1 |
| 2 | REG[C4h] ビット 2 ~ 0 | Y2 |
| 3 | REG[C4h] ビット 6 ~ 4 | Y3 |
| 4 | REG[C6h] ビット 4 ~ 0 | Y4 |
| 5 | REG[C8h] ビット 2 ~ 0 | Y5 |
| 6 | REG[C8h] ビット 6 ~ 4 | Y6 |
| 7 | REG[CAh] ビット 2 ~ 0 | Y7 |
| 8 | REG[CAh] ビット 6 ~ 4 | Y8 |
| 9 | REG[CCh] ビット 2 ~ 0 | U0 |
| 10 | REG[CCh] ビット 6 ~ 4 | U1 |
| 11 | REG[CEh] ビット 2 ~ 0 | U2 |
| 12 | REG[CEh] ビット 6 ~ 4 | U3 |
| 13 | REG[D0h] ビット 4 ~ 0 | U4 |

| 係数テーブル # | レジスタアドレス | 3 x 3 フィルタの 使用 |
|----------|--------------------|-------------------|
| 14 | REG[D2h] ビット 2 ~ 0 | U5 |
| 15 | REG[D2h] ビット 6 ~ 4 | U6 |
| 16 | REG[D4h] ビット 2 ~ 0 | U7 |
| 17 | REG[D4h] ビット 6 ~ 4 | U8 |
| 18 | REG[D6h] ビット 2 ~ 0 | V0 |
| 19 | REG[D6h] ビット 6 ~ 4 | V1 |
| 20 | REG[D8h] ビット 2 ~ 0 | V2 |
| 21 | REG[D8h] ビット 6 ~ 4 | V3 |
| 22 | REG[DAh] ビット 4 ~ 0 | V4 |
| 23 | REG[DCh] ビット 2 ~ 0 | V5 |
| 24 | REG[DCh] ビット 6 ~ 4 | V6 |
| 25 | REG[DEh] ビット 2 ~ 0 | V7 |
| 26 | REG[DEh] ビット 6 ~ 4 | V8 |

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|----|----|----|----|----|----|----|----|----|--|----|----|----|----|----|----|----|----|----|--|----|----|----|----|----|----|----|----|----|
| <table border="1"> <tr><td>Y0</td><td>Y3</td><td>Y6</td></tr> <tr><td>Y1</td><td>Y4</td><td>Y7</td></tr> <tr><td>Y2</td><td>Y5</td><td>Y8</td></tr> </table> | Y0 | Y3 | Y6 | Y1 | Y4 | Y7 | Y2 | Y5 | Y8 | <table border="1"> <tr><td>U0</td><td>U3</td><td>U6</td></tr> <tr><td>U1</td><td>U4</td><td>U7</td></tr> <tr><td>U2</td><td>U5</td><td>U8</td></tr> </table> | U0 | U3 | U6 | U1 | U4 | U7 | U2 | U5 | U8 | <table border="1"> <tr><td>V0</td><td>V3</td><td>V6</td></tr> <tr><td>V1</td><td>V4</td><td>V7</td></tr> <tr><td>V2</td><td>V5</td><td>V8</td></tr> </table> | V0 | V3 | V6 | V1 | V4 | V7 | V2 | V5 | V8 |
| Y0 | Y3 | Y6 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Y1 | Y4 | Y7 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Y2 | Y5 | Y8 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| U0 | U3 | U6 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| U1 | U4 | U7 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| U2 | U5 | U8 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| V0 | V3 | V6 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| V1 | V4 | V7 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| V2 | V5 | V8 | | | | | | | | | | | | | | | | | | | | | | | | | | | |

図 11-3: YUV 係数マトリックス

注

各係数のデータ範囲は、中央のピクセルで -15 ~ 15 (10 進数)、他のすべてのピクセルで -3 ~ 3 (10 進数) です。この 2 の補数値を 10h ~ 0Fh に設定する必要があります。Y4、U4、V4 の係数のデータ範囲は、-16 ~ 15 です。この 2 の補数値を 10h ~ 0Fh に設定する必要があります。他のすべての係数では、データ範囲は -4 ~ 3 です。この 2 の補数値は、4h ~ 3h に設定する必要があります。

注

3 x 3 フィルタリング後の Y データは、以下のとおりです。

$Y' = (Y_0C_0 + Y_1C_1 + Y_2C_2 + Y_3C_3 + Y_4C_4 + Y_5C_5 + Y_6C_6 + Y_7C_7 + Y_8C_8) \div \text{スケール} + \text{オフセット}$

スケール : REG[E0h]

オフセット : REG[E6h]

C_{0-8} : 係数 (REG[C2h] ~ REG[CAh])

Y_{0-8} : 元の Y データ

$Y_0 Y_3 Y_6$

$Y_1 Y_4 Y_7$

$Y_2 Y_5 Y_8$

注

3 x 3 フィルタリング後の U データは、以下のとおりです。

$U' = (U_0C_9 + U_1C_{10} + U_2C_{11} + U_3C_{12} + U_4C_{13} + U_5C_{14} + U_6C_{15} + U_7C_{16} + U_8C_{17}) \div \text{スケール} + \text{オフセット}$

スケール : REG[E2h]

オフセット : REG[E8h]

C_{9-17} : 係数 (REG[CCh] ~ REG[D4h])

U_{0-8} : 元の U データ

$U_0 U_3 U_6$

$U_1 U_4 U_7$

$U_2 U_5 U_8$

注

3 x 3 フィルタリング後の V データは、以下のとおりです。

$V' = (V_0C_{18} + V_1C_{19} + V_2C_{20} + V_3C_{21} + V_4C_{22} + V_5C_{23} + V_6C_{24} + V_7C_{25} + V_8C_{26}) \div \text{スケール} + \text{オフセット}$

スケール : REG[E4h]

オフセット : REG[EAh]

C_{18-26} : 係数 (REG[D6h] ~ REG[DEh])

V_{0-8} : 元の V データ

$V_0 V_3 V_6$

$V_1 V_4 V_7$

$V_2 V_5 V_8$

| | | |
|------|------|------|
| Coe0 | Coe3 | Coe6 |
| Coe1 | Coe4 | Coe7 |
| Coe2 | Coe5 | Coe8 |

図 11-4: 係数マトリックス

フィルタは、coe4 と現在のピクセルを乗じて、左から右、上から下へとスキャンします。係数は、各 YUV 成分に別々に作用します。拡大 / 縮小とオフセットを適用した後、この値は、Y 成分では 16 ~ 235 にクリッピングされ、U および V 成分では 16 ~ 240 に縮小されます。

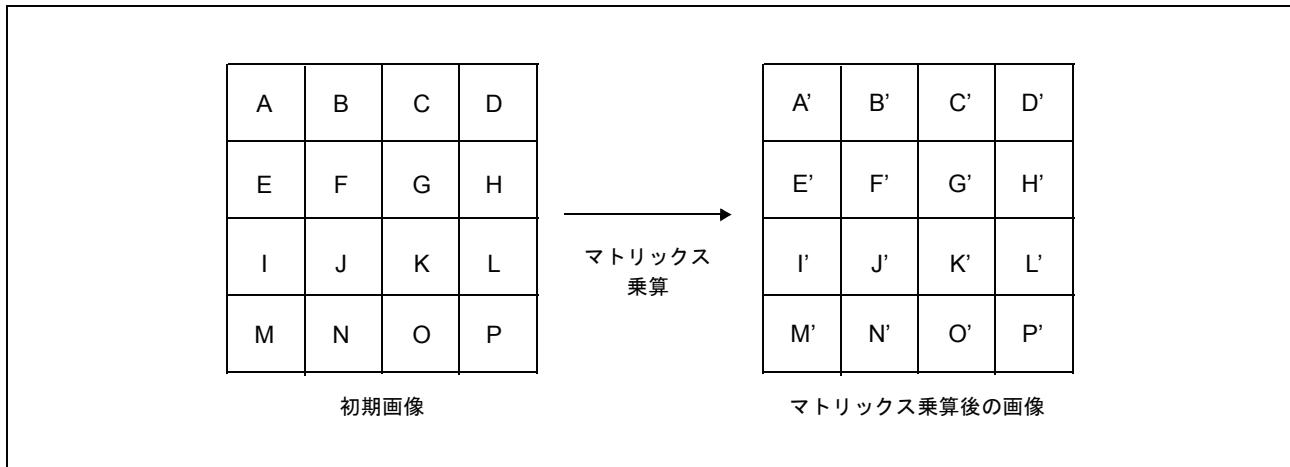


図 11-5: マトリックス乗算の例

以下の式を使用して、結果として得られる成分 ($F'y$ 、 $F'u$ 、 $F'v$) を計算します。F は、計算で使用されるピクセルで、成分のサイズは、 Fy (8 ビット)、 Fu (8 ビット)、および Fv (8 ビット) です。

$$\begin{aligned}
 F'y &= Ay * Coe0 + By * Coe3 + Cy * Coe6 + Ey * Coe1 + Fy * Coe4 + Gy * Coe7 + ly * Coe2 + Jy * Coe5 + Ky * Coe8 \\
 F'u &= Au * Coe0 + Bu * Coe3 + Cu * Coe6 + Eu * Coe1 + Fu * Coe4 + Gu * Coe7 + lu * Coe2 + Ju * Coe5 + Ku * Coe8 \\
 F'v &= Av * Coe0 + Bv * Coe3 + Cv * Coe6 + Ev * Coe1 + Fv * Coe4 + Gv * Coe7 + lv * Coe2 + Jv * Coe5 + Kv * Coe8
 \end{aligned}$$

11. レジスタ

3 x 3 マトリックスをエッジとコーナーに適用すると、元の画像の上 / 左 / 右 / 下のエッジとコーナーは、以下のように処理されます。

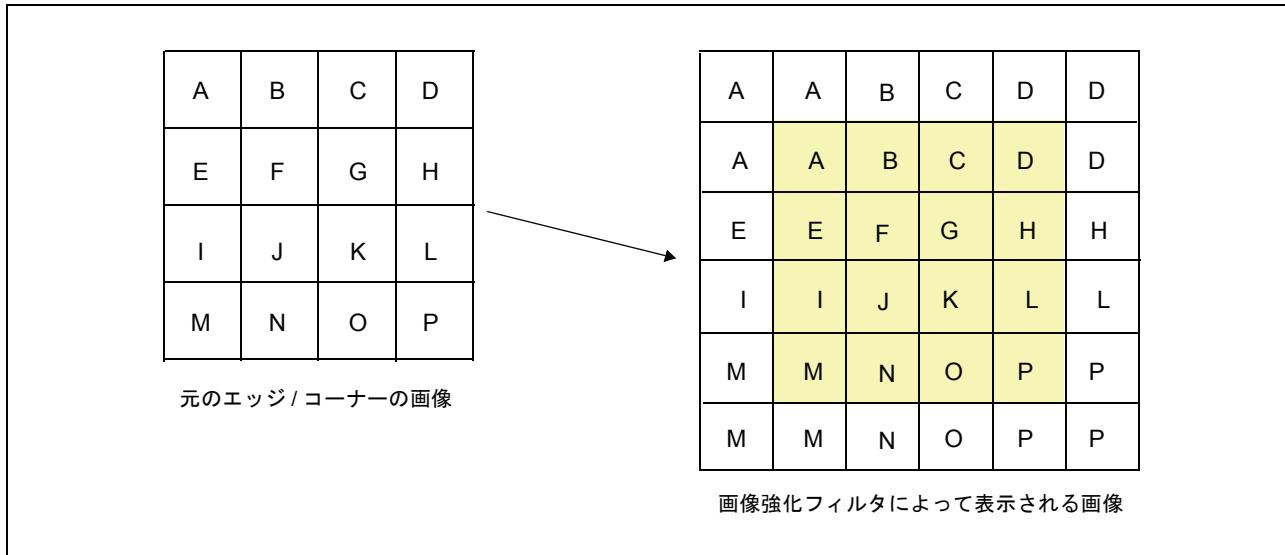


図 11-6: エッジ / コーナーの調整

以下の式を使用して、結果として得られる成分 ($A'y$ 、 $A'u$ 、 $A'v$) を計算します。A は、計算で使用されるピクセルで、成分のサイズは、 Ay (8 ビット)、 Au (8 ビット)、および Av (8 ビット) です。

$$\begin{aligned}
 A'y &= Ay * Coe0 + Ay * Coe3 + By * Coe6 + Ay * Coe1 + Ay * Coe4 + By * Coe7 + Ey * Coe2 + Ey * Coe5 + Fy * Coe8 \\
 A'u &= Au * Coe0 + Au * Coe3 + Bu * Coe6 + Au * Coe1 + Au * Coe4 + Bu * Coe7 + Eu * Coe2 + Eg * Coe5 + Fu * Coe8 \\
 A'v &= Av * Coe0 + Av * Coe3 + Bv * Coe6 + Av * Coe1 + Av * Coe4 + Bv * Coe7 + Ev * Coe2 + Eb * Coe5 + Fv * Coe8
 \end{aligned}$$

| REG[C2h] 3X3 Pixel Matrix Filter Coefficient Table Register 0 | | | | | | | | Read/Write |
|---|---|-------------------------|---|----------|-------------------------|---|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | Y1 係数テーブルビット 2 ~ 0 5 | 4 | n/a 3 | Y0 係数テーブルビット 2 ~ 0 2 | 1 | 0 | |

bits 6-4

Y1 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

bits 2-0

Y0 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

REG[C4h] 3X3 Pixel Matrix Filter Coefficient Table Register 1

Default = 00h

Read/Write

| | | | | | | | |
|-----|--------------------|---|---|-----|--------------------|---|---|
| n/a | Y3 係数テーブルビット 2 ~ 0 | | | n/a | Y2 係数テーブルビット 2 ~ 0 | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 6-4

Y3 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

Y2 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[C6h] 3X3 Pixel Matrix Filter Coefficient Register 2

Default = 01h

Read/Write

| | | | |
|-----|--------------------|---|---|
| n/a | Y4 係数テーブルビット 4 ~ 0 | | |
| 7 | 6 | 5 | 4 |

bits 4-0

Y4 係数テーブルビット [4:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[C8h] 3X3 Pixel Matrix Filter Coefficient Table Register 3

Default = 00h

Read/Write

| | | | | | | | |
|-----|--------------------|---|---|-----|--------------------|---|---|
| n/a | Y6 係数テーブルビット 2 ~ 0 | | | n/a | Y5 係数テーブルビット 2 ~ 0 | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 6-4

Y6 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

Y5 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

11. レジスタ

| REG[CAh] 3X3 Pixel Matrix Filter Coefficient Table Register 4 | | | | | | | | Read/Write |
|---|---|-------------------------|---|----------|---|-------------------------|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | Y8 係数テーブルビット 2 ~ 0 5 | 4 | n/a 3 | 2 | Y7 係数テーブルビット 2 ~ 0 1 | 0 | |

- bits 6-4 Y8 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。
- bits 2-0 Y7 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

| REG[CCh] 3X3 Pixel Matrix Filter Coefficient Table Register 5 | | | | | | | | Read/Write |
|---|---|-------------------------|---|----------|---|-------------------------|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | U1 係数テーブルビット 2 ~ 0 5 | 4 | n/a 3 | 2 | U0 係数テーブルビット 2 ~ 0 1 | 0 | |

- bits 6-4 U1 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。
- bits 2-0 U0 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

| REG[CEh] 3X3 Pixel Matrix Filter Coefficient Table Register 6 | | | | | | | | Read/Write |
|---|---|-------------------------|---|----------|---|-------------------------|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | U3 係数テーブルビット 2 ~ 0 5 | 4 | n/a 3 | 2 | U2 係数テーブルビット 2 ~ 0 1 | 0 | |

- bits 6-4 U3 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。
- bits 2-0 U2 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

REG[D0h] 3X3 Pixel Matrix Filter Coefficient Register 7

Default = 01h

Read/Write

| U4 係数テーブルビット 4 ~ 0 | | | | | | | |
|--------------------|---|---|---|---|---|---|---|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 4-0

U4 係数テーブルビット [4:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

REG[D2h] 3X3 Pixel Matrix Filter Coefficient Table Register 8

Default = 00h

Read/Write

| U5 係数テーブルビット 2 ~ 0 | | | | | | | |
|--------------------|---|---|---|-----|---|---|---|
| n/a | 6 | 5 | 4 | n/a | 3 | 2 | 1 |

bits 6-4

U6 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

bits 2-0

U5 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

REG[D4h] 3X3 Pixel Matrix Filter Coefficient Table Register 9

Default = 00h

Read/Write

| U7 係数テーブルビット 2 ~ 0 | | | | | | | |
|--------------------|---|---|---|-----|---|---|---|
| n/a | 6 | 5 | 4 | n/a | 3 | 2 | 1 |

bits 6-4

U8 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

bits 2-0

U7 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

11. レジスタ

| REG[D6h] 3X3 Pixel Matrix Filter Coefficient Table Register 10 | | | | | | | | Read/Write |
|--|---|---|---|----------|---|---|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | 5 | 4 | n/a 3 | 2 | 1 | 0 | |

- bits 6-4 V1 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。
- bits 2-0 V0 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

| REG[D8h] 3X3 Pixel Matrix Filter Coefficient Table Register 11 | | | | | | | | Read/Write |
|--|---|---|---|----------|---|---|---|------------|
| Default = 00h | | | | | | | | |
| n/a 7 | 6 | 5 | 4 | n/a 3 | 2 | 1 | 0 | |

- bits 6-4 V3 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。
- bits 2-0 V2 係数テーブルビット [2:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

| REG[DAh] 3X3 Pixel Matrix Filter Coefficient Register 12 | | | | | | | | Read/Write |
|--|---|---|---|---|---|---|---|--------------------|
| Default = 01h | | | | | | | | |
| n/a 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | V4 係数テーブルビット 4 ~ 0 |

- bits 4-0 V4 係数テーブルビット [4:0]
これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、垂直に配置されます。

REG[DCh] 3X3 Pixel Matrix Filter Coefficient Table Register 13

Default = 00h

Read/Write

| | | | | | | | |
|-----|--------------------|---|---|-----|--------------------|---|---|
| n/a | V6 係数テーブルビット 2 ~ 0 | | | n/a | V5 係数テーブルビット 2 ~ 0 | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 6-4

V6 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

V5 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[DEh] 3X3 Pixel Matrix Filter Coefficient Table Register 14

Default = 00h

Read/Write

| | | | | | | | |
|-----|--------------------|---|---|-----|--------------------|---|---|
| n/a | V8 係数テーブルビット 2 ~ 0 | | | n/a | V7 係数テーブルビット 2 ~ 0 | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 6-4

V8 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

bits 2-0

V7 係数テーブルビット [2:0]

これらのビットは、フィルタ動作を選択したときにのみ使用されます (REG[C0h] ビット 0 = 1)。これらの符号付き 2 の補数値は、フィルタの係数テーブルを指定し、**垂直**に配置されます。

REG[E0h] 3X3 Pixel Matrix Filter Scale Value for Luminance Y Channel Register

Default = 01h

Read/Write

| | | | | | | | |
|-----|---|---|---|---|---|---|---|
| n/a | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|---|---|---|---|---|---|---|

bits 5-0

ルミナンス Y チャネルのフィルタスケール値ビット 5 ~ 0

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、すべての他の動作では無視されます。これらの符号なしビットは、ルミナンス (Y チャネル) のフィルタスケール値を指定するもので、次式が成立するようになります。

$$1 \leqq \text{REG[E0h] ビット } 5 \sim 0 \leqq 3Fh$$

11. レジスタ

| REG[E2h] 3X3 Pixel Matrix Filter Scale Value for Chrominance U Channel Register | | | | | | | | Read/Write |
|---|--|--|--|--|--|--|--|----------------------------------|
| Default = 01h | | | | | | | | |
| n/a | | | | | | | | クロミナンス U チャネルのフィルタスケール値ビット 5 ~ 0 |

bits 5-0

クロミナンス U チャネルのフィルタスケール値ビット [5:0]

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、他のすべての動作では無視されます。これらの符号なしビットは、クロミナンス (U チャネル) のフィルタスケール値を指定するもので、次式が成立するようにプログラムする必要があります。

$$1 \leq \text{REG[E2h]} \text{ ビット } 5 \sim 0 \leq 3Fh$$

| REG[E4h] 3X3 Pixel Matrix Filter Scale Value for Chrominance V Channel Register | | | | | | | | Read/Write |
|---|--|--|--|--|--|--|--|----------------------------------|
| Default = 01h | | | | | | | | |
| n/a | | | | | | | | クロミナンス V チャネルのフィルタスケール値ビット 5 ~ 0 |

bits 5-0

クロミナンス V チャネルのフィルタスケール値ビット [5:0]

これらのビットは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、他のすべての動作では無視されます。これらの符号なしビットは、クロミナンス (V チャネル) のフィルタスケール値を指定するもので、次式が成立するようにプログラムする必要があります。

$$1 \leq \text{REG[E4h]} \text{ ビット } 5 \sim 0 \leq 3Fh$$

| REG[E6h] 3X3 Pixel Matrix Filter Offset Value for Luminance Y Channel Register | | | | | | | | Read/Write |
|--|--|--|--|--|--|--|--|------------|
| Default = 00h | | | | | | | | |
| ルミナンス Y チャネルのフィルタオフセット値ビット 8 ~ 1 | | | | | | | | |

bits 7-0

ルミナンス Y チャネルのフィルタオフセット値ビット [8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット [8:1] を指定します (ビット 0 は内部値であり、強制的に 0 にされます)。これらの符号付き 2 の補数ビットは、ルミナンス (Y チャネル) のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256 ~ 254 (10 進数) です。この 2 の補数値は、10h ~ 7Fh に設定する必要があります。たとえば、42h のオフセットが必要な場合、21h でこのレジスタをプログラムします。

REG[E8h] 3X3 Pixel Matrix Filter Offset Value for Chrominance U Channel Register

Default = 00h

Read/Write

| クロミナンス U チャネルのフィルタオフセット値ビット 8 ~ 1 | | | | | | | | |
|-----------------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

クロミナンス U チャネルのフィルタオフセット値ビット [8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット [8:1] を指定します (ビット 0 は内部値であり、強制的に 0 にされます)。これらの符号付き 2 の補数ビットは、クロミナンス (U チャネル) のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256 ~ 254 (10 進数) です。この 2 の補数値は、10h ~ 7Fh に設定する必要があります。たとえば、42h のオフセットが必要な場合、21h でこのレジスタをプログラムします。

REG[EAh] 3X3 Pixel Matrix Filter Offset Value for Chrominance V Channel Register

Default = 00h

Read/Write

| クロミナンス V チャネルのフィルタオフセット値ビット 8 ~ 1 | | | | | | | | |
|-----------------------------------|---|---|---|---|---|---|---|--|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

クロミナンス V チャネルのフィルタオフセット値ビット [8:1]

このレジスタは、フィルタ動作を選択したときにのみ使用され (REG[C0h] ビット 0 = 1)、他のすべての動作では無視されます。このレジスタは、目的のオフセット値のビット [8:1] を指定します (ビット 0 は内部値であり、強制的に 0 にされます)。これらの符号付き 2 の補数ビットは、クロミナンス (V チャネル) のフィルタオフセット値を指定します。

注

各オフセットのデータ範囲は、-256 ~ 254 (10 進数) です。この 2 の補数値は、10h ~ 7Fh に設定する必要があります。たとえば、42h のオフセットが必要な場合、21h でこのレジスタをプログラムします。

11. レジスタ

11.3.8 その他のレジスタ

| REG[ECh] Non-Display Period Control / Status Register | | | | | | | | Read/Write |
|---|-----|---|--------------------|--------------------------|-----------------------|---|---|------------|
| Default = 26h | | | | | | | | |
| 7 | n/a | 6 | TE ステータス (RO) 5 | 入力ビジー ステータス (RO) 4 | TE 出力端子 イネーブル 3 | 2 | 1 | 0 |

| | |
|----------|---|
| bit 5 | TE ステータス このビットは、TE 出力端子がディセーブル (REG[ECh] ビット 3 = 0) のときでも、TE 出力のステータスを示します。 このビットが 0 の場合、TE 出力は LOW (0) です。 このビットが 1 の場合、TE 出力は HIGH (1) です。 |
| bit 4 | 入力ビジー・ステータス (読み出し専用) このビットは、入力回路が、現在のウィンドウデータをメモリに書き込むのにビジー状態であるときに HIGH になります。ウィンドウの最後のピクセルがホストによって書き込まれたときからこのビットが LOW になるまでの間には待ち時間があります。連続してウィンドウを書き込むときには、このビットが LOW を返したことを確認してから次のウィンドウを書き込むようにしてください。 このビットが 0 の場合、ホスト入力ウィンドウデータをメモリに書き込むのにビジー状態ではありません。 このビットが 1 の場合、ホスト入力ウィンドウデータをメモリに書き込むのにビジー状態です。 |
| bit 3 | TE 出力端子イネーブル このビットは、TE の状態が TE 端子で出力になっているかどうかを決定します。TE のステータスは、TE 出力端子がディセーブルのときでも、TE ステータスビット (REG[ECh] ビット 5) を使用して利用することができます。 このビットが 0 の場合、TE 出力端子はディセーブルです。 このビットが 1 の場合、TE 出力端子はイネーブルです。 |
| bits 2-0 | TE 出力端子機能セレクトビット [2:0] これらのビットは、TE 出力端子が指定する機能を選択します。 |

表 11-26: TE 出力端子機能の選択

| REG[ECh] ビット 2 ~ 0 | TE 出力端子機能 |
|--------------------|---|
| 000 | Reserved |
| 001 | フィールド 2 VNDP |
| 010 | フィールド 1 VNDP |
| 011 ~ 100 | Reserved |
| 101 | TV 水平非表示期間と TV 垂直非表示期間の論理和演算 (TE 端子とステータスは、アクティブ HIGH で、指定条件が TRUE であることを示します) |
| 110 (デフォルト) | TV 垂直非表示期間 (TE 端子およびステータスは、アクティブ HIGH で、指定条件が TRUE であることを示します) |
| 111 | Reserved |

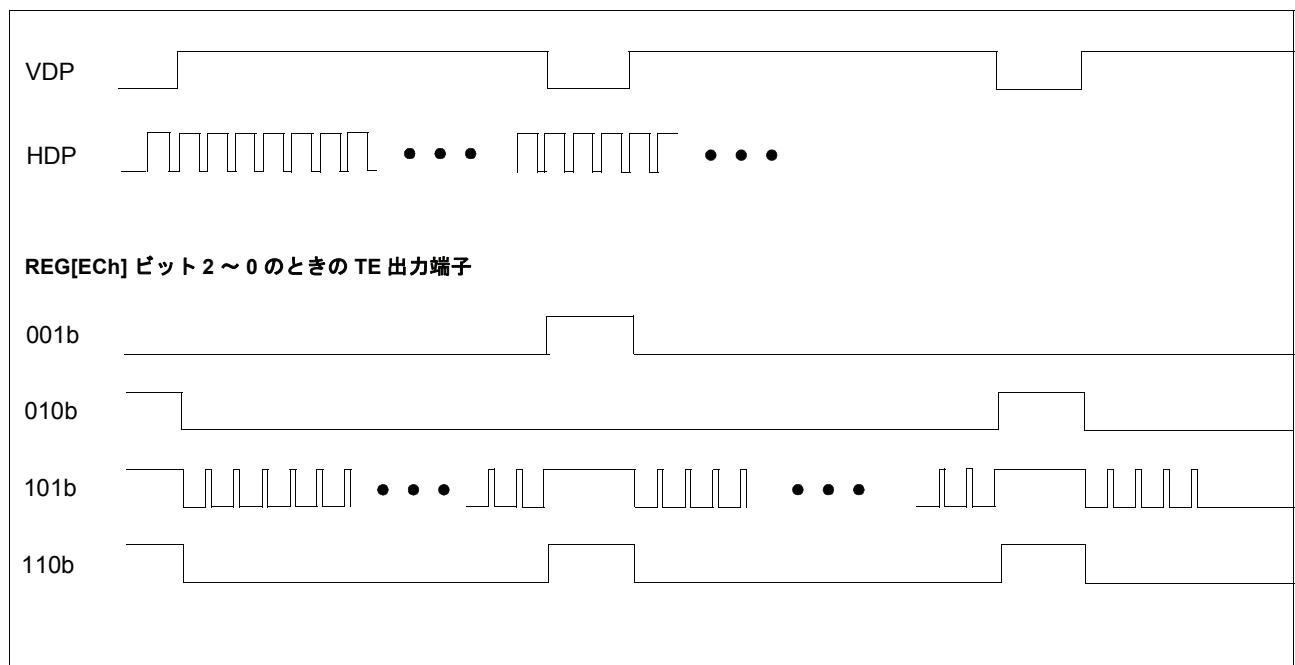


図 11-7: TE 出力端子機能のタイミング

11. レジスタ

| REG[EEh] Parallel RGB Interface Register | | | | | | | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h | | | | | | | |
| n/a | | | | 3 | 2 | 1 | 0 |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

- bit 3 パラレル RGB インタフェースの PCLK 極性
このビットは、PCLK 信号のアクティブ極性を選択します。
このビットが 0 の場合、データは、PCLK の立ち上がりエッジで有効です。
このビットが 1 の場合、データは、PCLK の立ち下がりエッジで有効です。
- bit 2 パラレル RGB インタフェースの HS 極性
このビットは、HS 信号のアクティブ極性を選択します。
このビットが 0 の場合、データは、HS 信号が HIGH のときに有効です。
このビットが 1 の場合、データは、HS 信号が LOW のときに有効です。
- bit 1 パラレル RGB インタフェースの VS 極性
このビットは、VS 信号のアクティブ極性を選択します。
このビットが 0 の場合、データは、VS 信号が HIGH のときに有効です。
このビットが 1 の場合、データは、VS 信号が LOW のときに有効です。
- bit 0 パラレル RGB インタフェースの DE 極性
このビットは、DE 信号のアクティブ極性を選択します。
このビットが 0 の場合、データは、DE 信号が HIGH のときに有効です。
このビットが 1 の場合、データは、DE 信号が LOW のときに有効です。

11.3.9 汎用 IO 端子レジスタ

| REG[F0h] General Purpose IO Pins Configuration Register | | | | | | | |
|---|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| GPIO7 構成 7 | GPIO6 構成 6 | GPIO5 構成 5 | GPIO4 構成 4 | GPIO3 構成 3 | GPIO2 構成 2 | GPIO1 構成 1 | GPIO0 構成 0 |

bits 7-0

GPIO[7:0] 構成

これらのビットは、対応する各 GPIO[7:0] 端子を入力または出力として構成します。このビットが 0(通常動作) の場合、対応する GPIO 端子は、入力として構成されます。このビットが 1 の場合、対応する GPIO 端子は、出力として構成されます。

| REG[F2h] General Purpose IO Pins Status/Control Register | | | | | | | |
|--|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| GPIO7 ステータス 7 | GPIO6 ステータス 6 | GPIO5 ステータス 5 | GPIO4 ステータス 4 | GPIO3 ステータス 3 | GPIO2 ステータス 2 | GPIO1 ステータス 1 | GPIO0 ステータス 0 |

bits 7-0

GPIO[7:0] ステータス

対応する GPIO[7:0] 端子が出力として構成されているとき (REG[F0h] を参照)、このビットに 1 を書き込むと、GPIOx は HIGH になり、このビットに 0b を書き込むと、GPIOx は LOW になります。
対応する GPIO[7:0] 端子が入力として構成されているとき (REG[F0h] を参照)、このビットを読み出すと、GPIOx のそのままの値が返されます。

| REG[F4h] GPIO Positive Edge Interrupt Trigger Register | | | | | | | |
|--|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|------------------------------------|
| Default = 00h | | | | | | | |
| Read/Write | | | | | | | |
| GPIO7 ポジティブ エッジ割り込み トリガ 7 | GPIO6 ポジティブ エッジ割り込み トリガ 6 | GPIO5 ポジティブ エッジ割り込み トリガ 5 | GPIO4 ポジティブ エッジ割り込み トリガ 4 | GPIO3 ポジティブ エッジ割り込み トリガ 3 | GPIO2 ポジティブ エッジ割り込み トリガ 2 | GPIO1 ポジティブ エッジ割り込み トリガ 1 | GPIO0 ポジティブ エッジ割り込み トリガ 0 |

bits 7-0

GPIO[7:0] ポジティブエッジ割り込みトリガ

このビットは、(GPIOx 端子が 0 から 1 に変化するとき、) 関連する GPIO 割り込み (REG[F8h] を参照) がポジティブエッジでトリガされるかどうかを決定します。
このビットが 0 の場合、関連する GPIO 割り込み (GPIO_INT) は、ポジティブエッジでトリガされません。
このビットが 1 の場合、関連する GPIO 割り込み (GPIO_INT) は、ポジティブエッジでトリガされます。

11. レジスタ

| REG[F6h] GPIO Negative Edge Interrupt Trigger Register | | | | | | | | Read/Write |
|--|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|------------|
| Default = 00h | | | | | | | | |
| GPIO7 ネガティブ エッジ割り込み トリガ | GPIO6 ネガティブ エッジ割り込み トリガ | GPIO5 ネガティブ エッジ割り込み トリガ | GPIO4 ネガティブ エッジ割り込み トリガ | GPIO3 ネガティブ エッジ割り込み トリガ | GPIO2 ネガティブ エッジ割り込み トリガ | GPIO1 ネガティブ エッジ割り込み トリガ | GPIO0 ネガティブ エッジ割り込み トリガ | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

GPIO[7:0] ネガティブエッジ割り込みトリガ

このビットは、(GPIO_x 端子が 1 から 0 に変化するとき、) 関連する GPIO 割り込み (REG[F8h] を参照) がネガティブエッジでトリガされるかどうかを決定します。

このビットが 0 の場合、関連する GPIOx 割り込み (GPIO_INT) は、ネガティブエッジでトリガされません。

このビットが 1 の場合、関連する GPIOx 割り込み (GPIO_INT) は、ネガティブエッジでトリガされます。

| REG[F8h] GPIO Interrupt Status Register | | | | | | | | Read/Write |
|---|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|------------|
| Default = 00h | | | | | | | | |
| GPIO7 割り込み ステータス | GPIO6 割り込み ステータス | GPIO5 割り込み ステータス | GPIO4 割り込み ステータス | GPIO3 割り込み ステータス | GPIO2 割り込み ステータス | GPIO1 割り込み ステータス | GPIO0 割り込み ステータス | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

GPIO[7:0] 割り込みステータス

GPIO が割り込みを発生するように構成されている場合 (REG[F4h] と REG[F6h] を参照)、これらのステータスビットは、割り込みを発生した GPIO を示します。

対応する GPIO[7:0] 割り込みステータスビットをクリアするには、このビットに 1 を書き込んでから 0 を書き込みます。

| REG[FAh] GPIO Pull Down Control Register | | | | | | | | Read/Write |
|--|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------|
| Default = FFh | | | | | | | | |
| GPIO7 プルダウン 制御 | GPIO6 プルダウン 制御 | GPIO5 プルダウン 制御 | GPIO4 プルダウン 制御 | GPIO3 プルダウン 制御 | GPIO2 プルダウン 制御 | GPIO1 プルダウン 制御 | GPIO0 プルダウン 制御 | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |

bits 7-0

GPIO[7:0] プルダウン制御

すべての GPIO 端子には、内蔵プルダウン抵抗があります。これらのビットは、対応するプルダウン抵抗の状態を個別に制御します。

このビットが 0 の場合、対応する GPIO 端子のプルダウン抵抗は、インアクティブです。

このビットが 1 の場合、対応する GPIO 端子のプルダウン抵抗は、アクティブです。

12. Intel 80、8ビットインターフェースのカラーフォーマット

12.1 8bpp モード (RGB 3:3:2)、256 色

REG[60h] ビット 3 ~ 0 = 0000b で CNF[1:0] = 01b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 3:3:2 です。

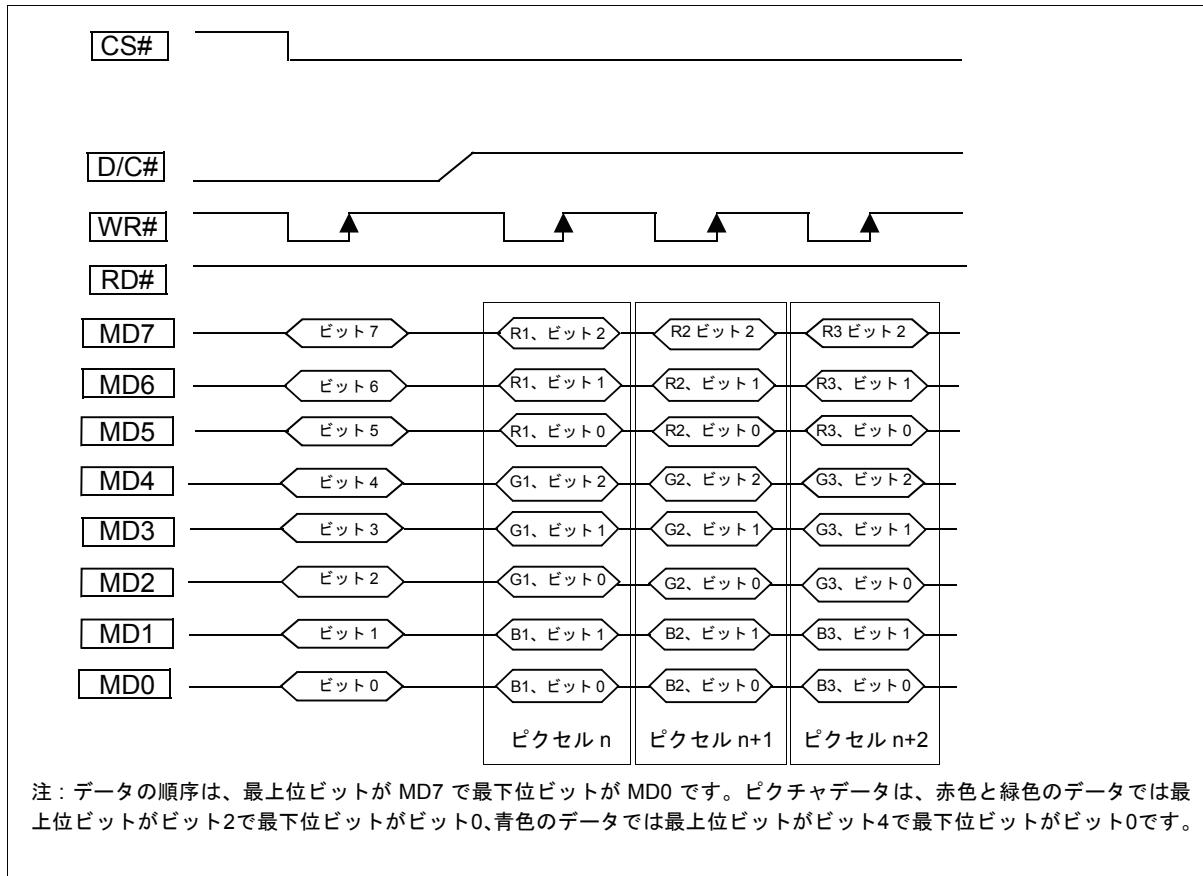


図 12-1: 8bpp モード (RGB 3:3:2)、256 色

12. Intel 80、8ビットインターフェースのカラーフォーマット

12.2 16bpp モード (RGB 5:6:5)、65,536 色

REG[60h] ビット 3 ~ 0 = 0001b で CNF[1:0] = 01b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 5:6:5 です。

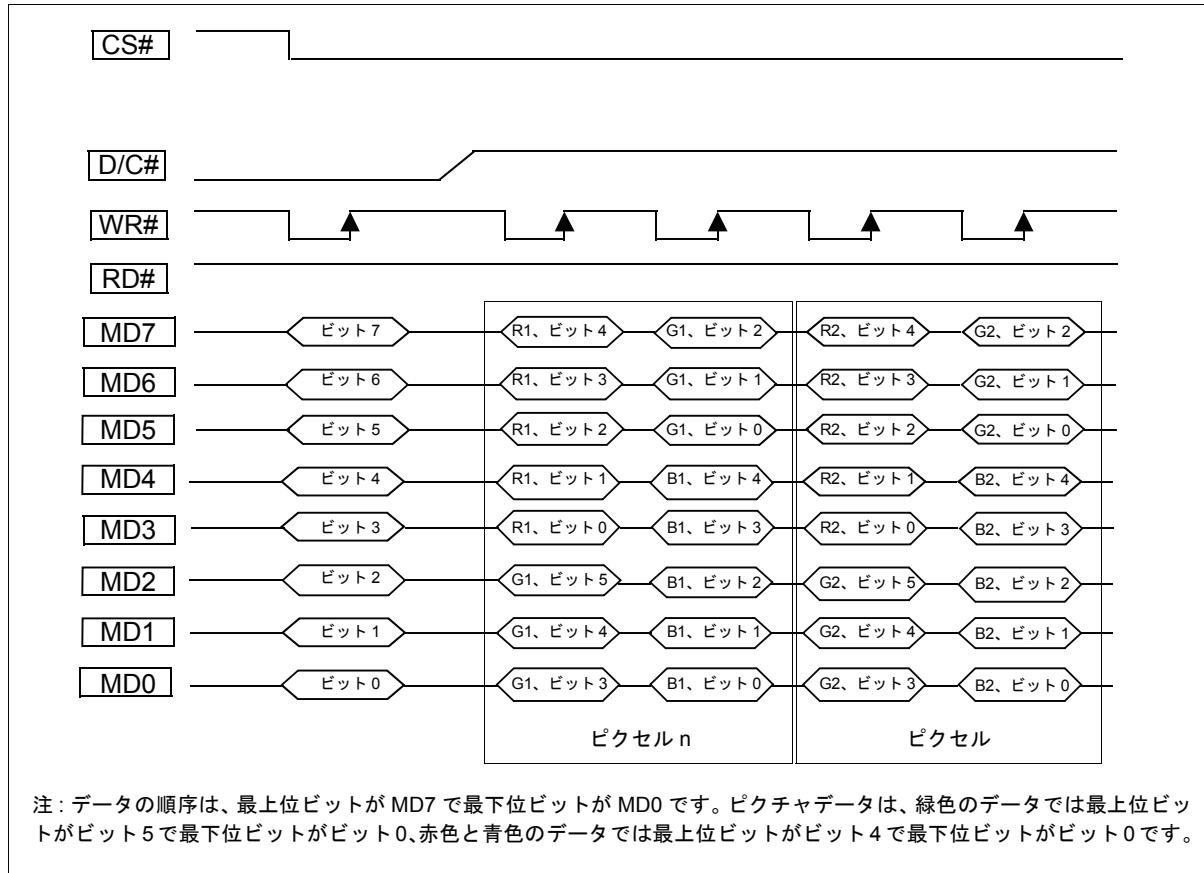


図 12-2: 16bpp モード (RGB 5:6:5)、65,536 色

12.3 18bpp (RGB 6:6:6)、262,144色

REG[60h] ビット3～0=0010bでCNF[1:0]=01bのとき、Intel 80ホストインターフェースの入力データフォーマットは、RGB 6:6:6です。

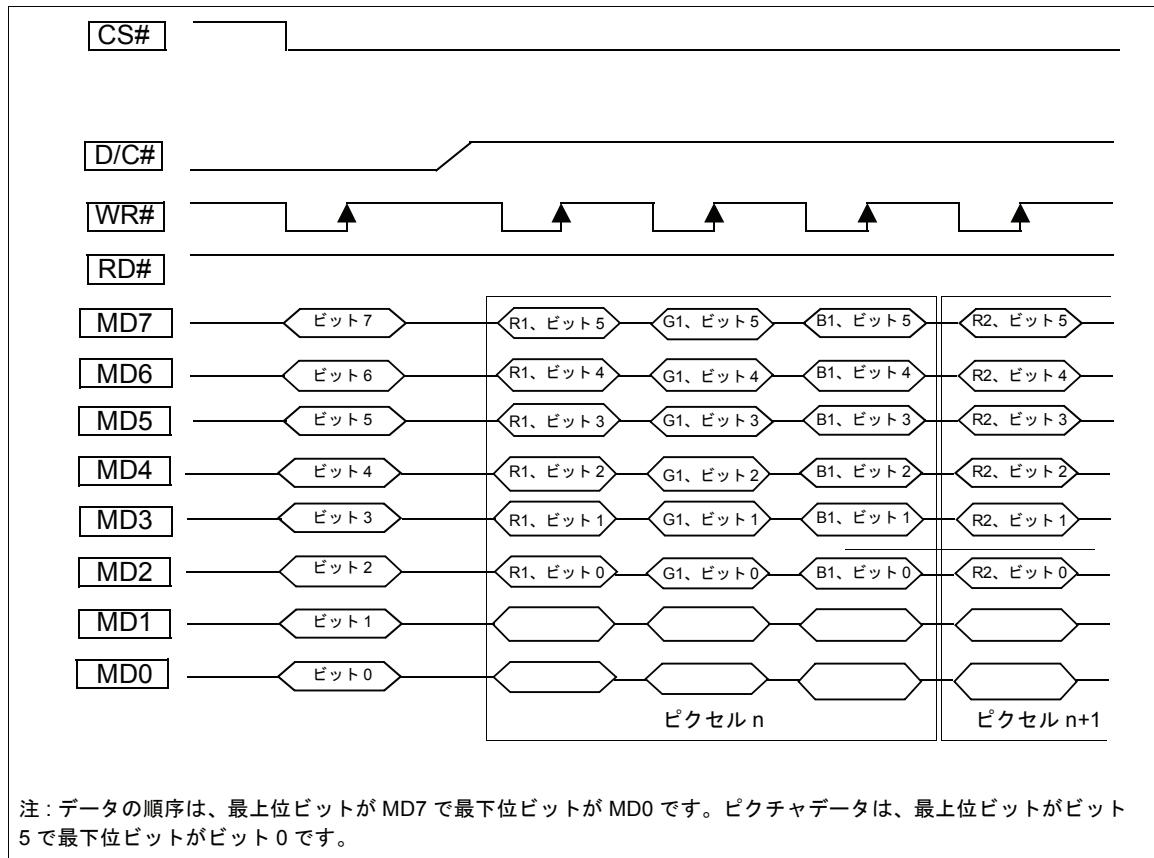


図12-3: 18bpp (RGB 6:6:6)、262,144色

12. Intel 80、8ビットインターフェースのカラーフォーマット

12.4 24bpp (RGB 8:8:8)、16,777,216色

REG[60h] ビット3～0=0011bでCNF[1:0]=01bのとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 8:8:8 です。

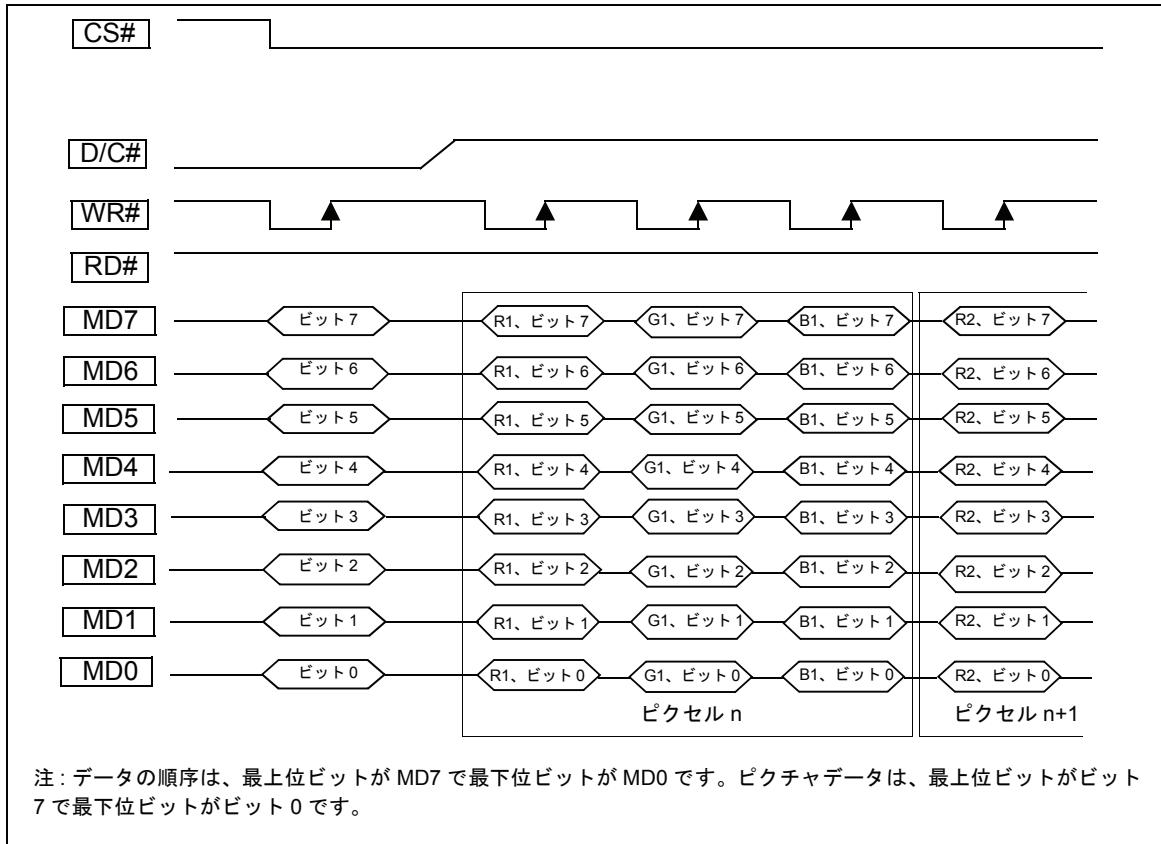


図 12-4: 24bpp (RGB 8:8:8)、16,777,216色

13. Intel 80、16 ビットインターフェースのカラーフォーマット

13.1 8bpp (RGB 3:3:2)、256 色

REG[60h] ビット 3 ~ 0 = 0000b で CNF[1:0] = 11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 3:3:2 です。

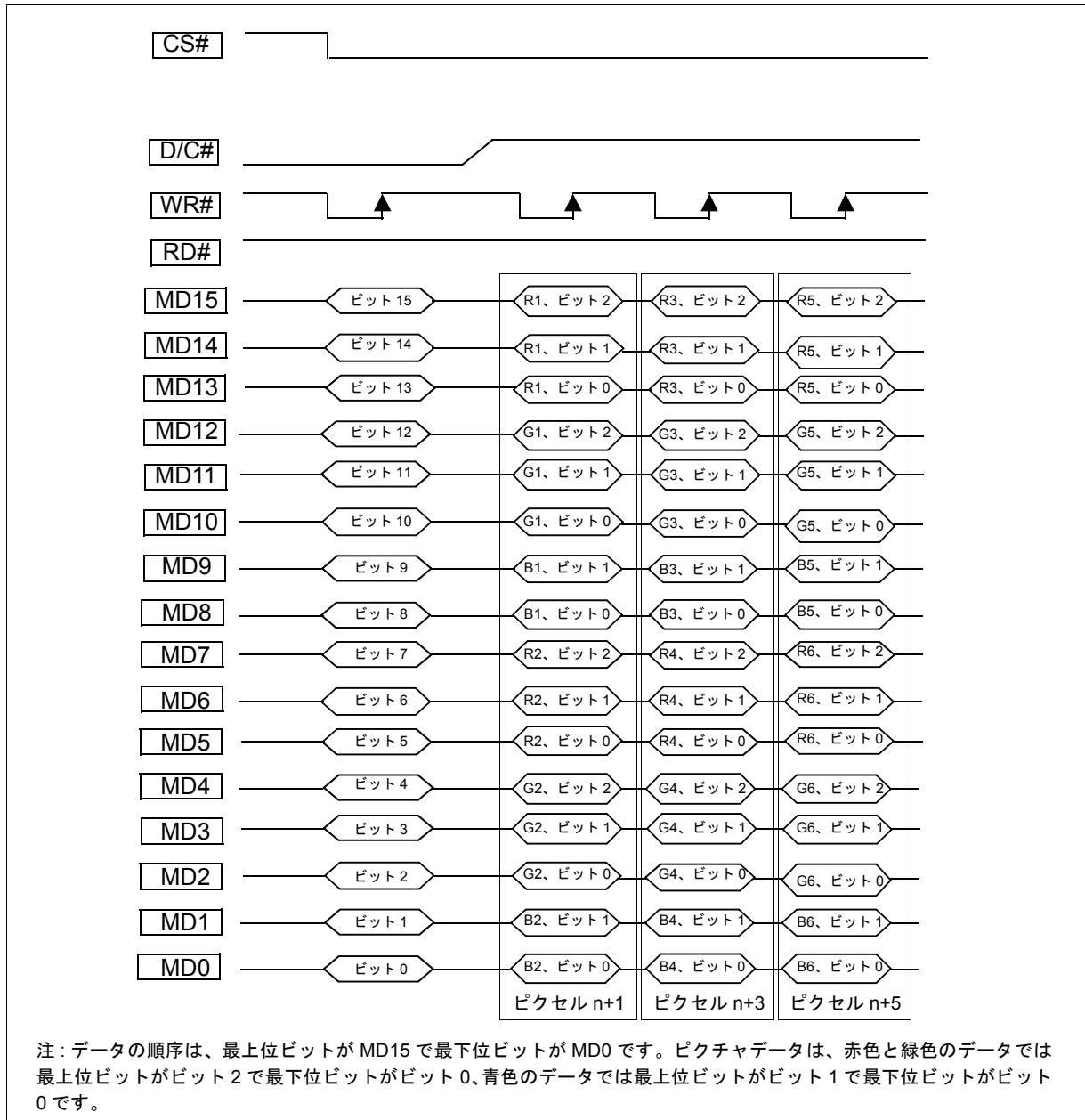


図 13-1: 8bpp (RGB 3:3:2)、256 色

13.2 16bpp (RGB 5:6:5)、65,536 色

REG[60h] ビット 3 ~ 0 = 0001b で CNF[1:0] = 11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 5:6:5 です。

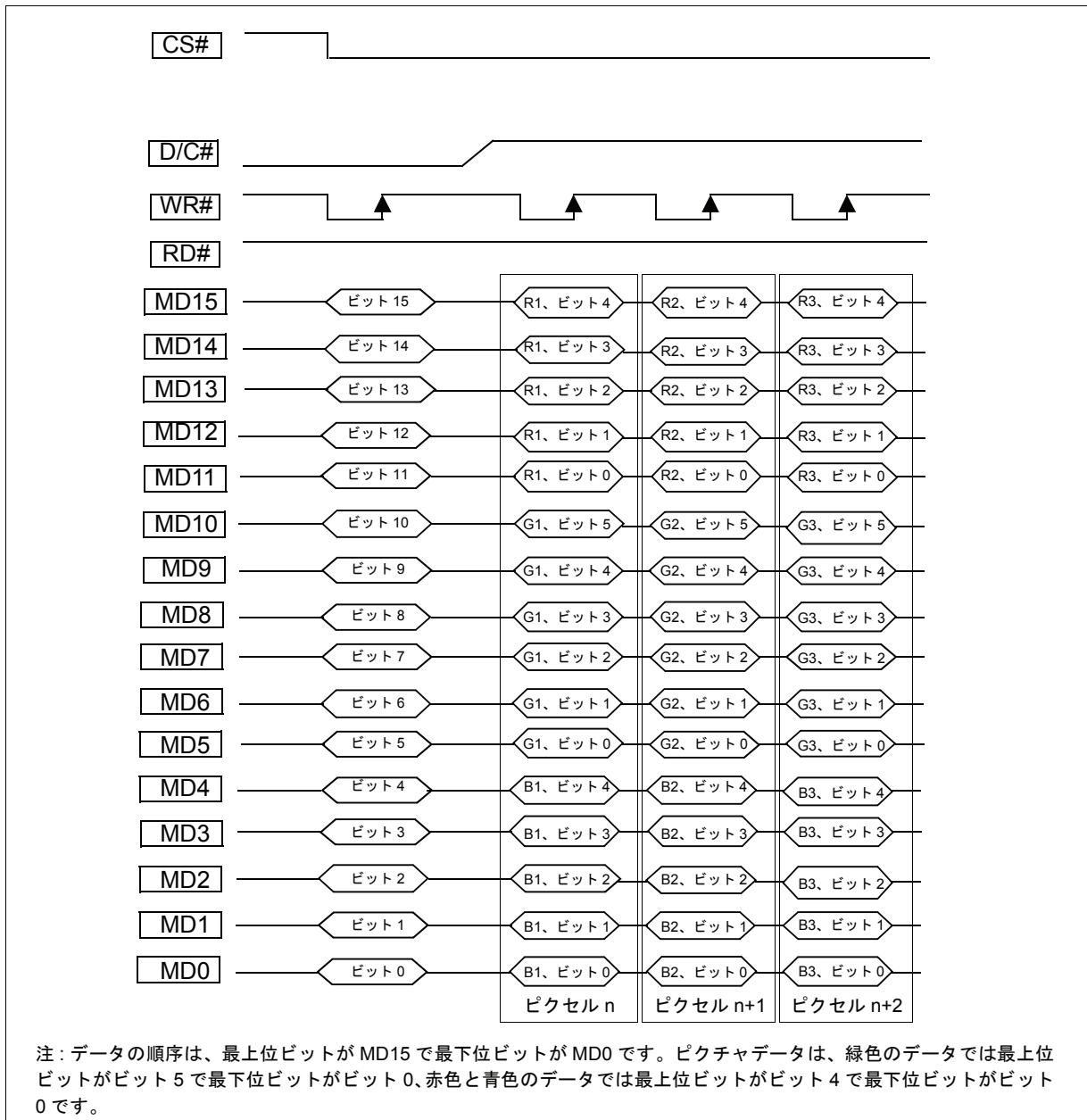


図 13-2: 16bpp (RGB 5:6:5)、65,536 色

13.3 18bpp モード1 (RGB 6:6:6)、262,144 色

REG[60h] ビット3～0=0010b で CNF[1:0]=11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 6:6:6 のモード1です。

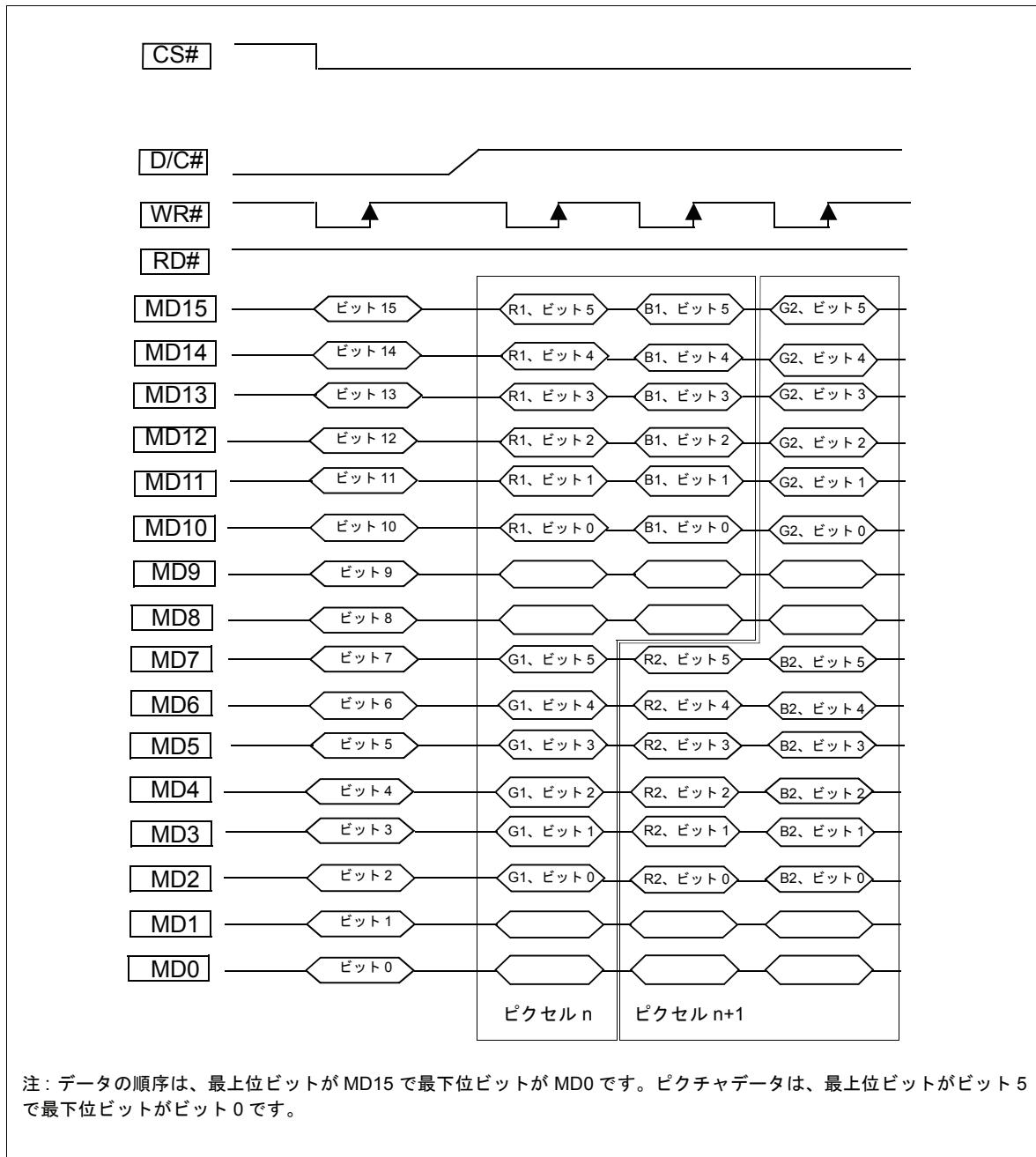


図 13-3: 18bpp モード1 (RGB 6:6:6)、262,144 色

13.4 18bpp モード 2 (RGB 6:6:6)、262,144 色

REG[60h] ビット 3 ~ 0 = 0110b で CNF[1:0] = 11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 6:6:6 のモード 2 です。

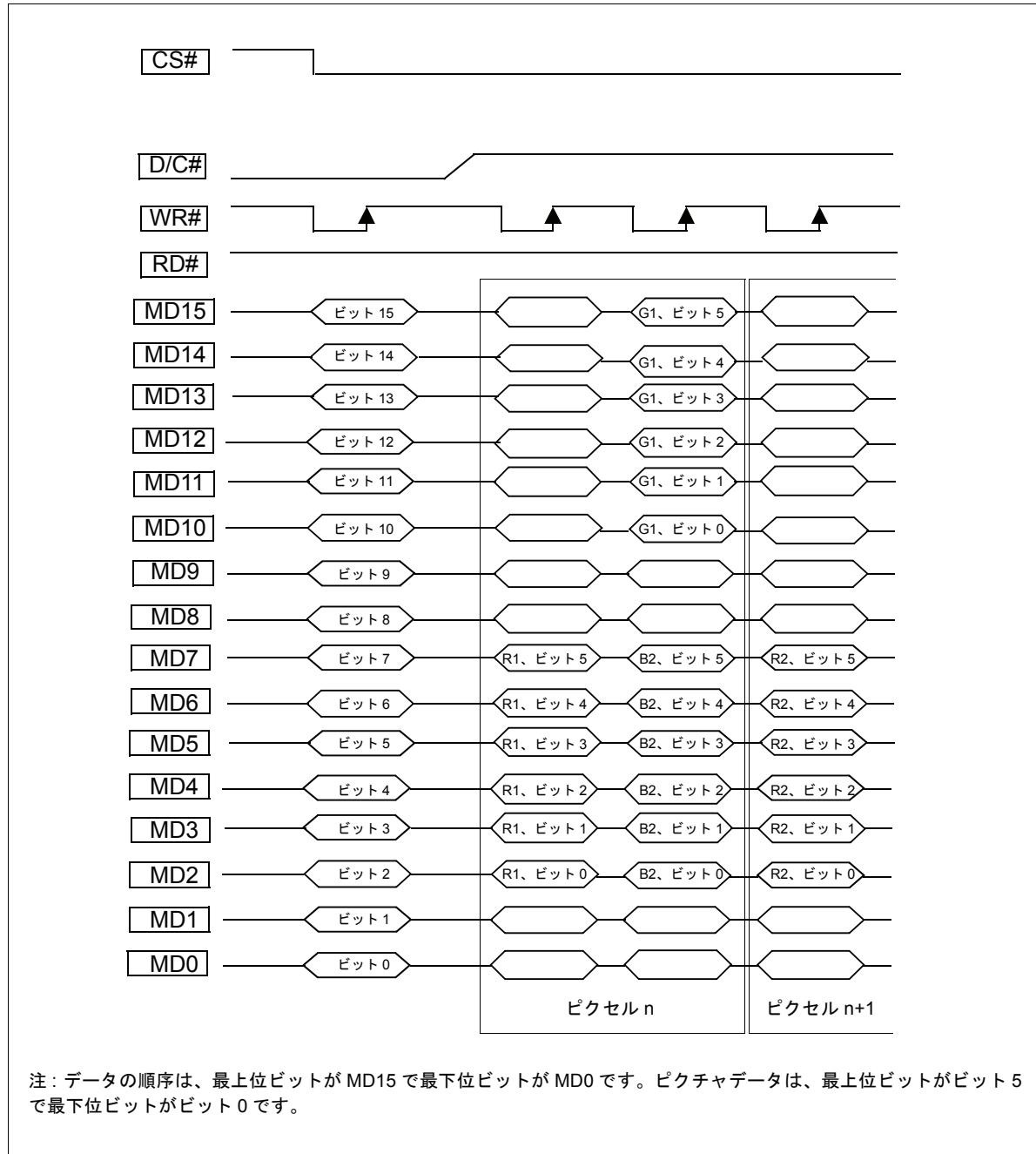


図 13-4: 18bpp モード 2 (RGB 6:6:6)、262,144 色

13.5 24bpp モード1 (RGB 8:8:8)、16,777,216 色

REG[60h] ビット3～0=0011b で CNF[1:0]=11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 8:8:8 のモード1です。

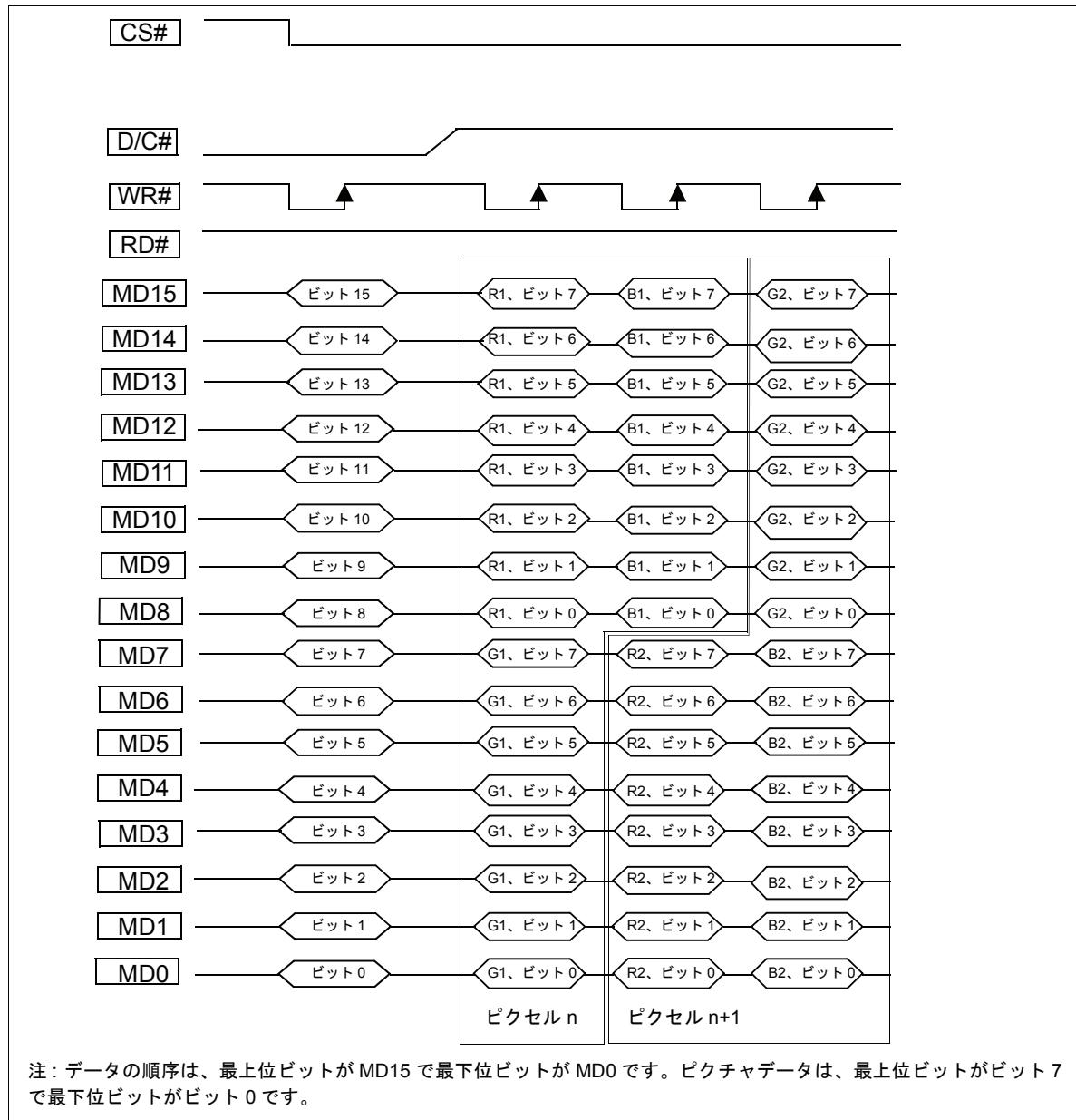


図 13-5: 24bpp モード1 (RGB 8:8:8)、16,777,216 色

13.6 24bpp モード2 (RGB 8:8:8)、16,777,216 色

REG[60h] ビット3～0=0111b で CNF[1:0]=11b のとき、Intel 80 ホストインターフェースの入力データフォーマットは、RGB 8:8:8 のモード2です。

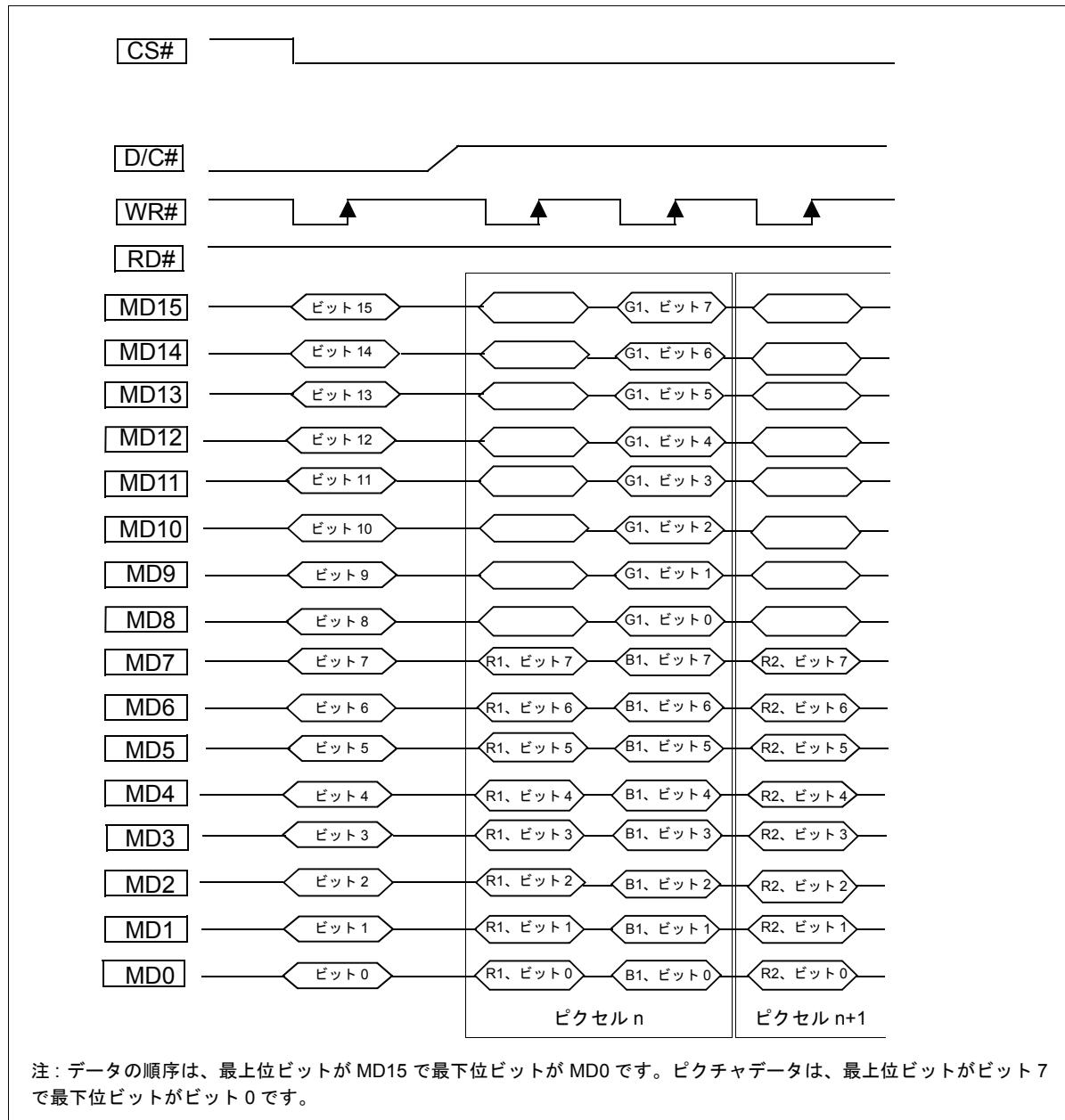


図 13-6: 24bpp モード2 (RGB 8:8:8)、16,777,216 色

14. YUV タイミング

フォーマットの定義

- ・ ラインごとのピクセル数は常に偶数です。
- ・ YC_{B,C_R} 色空間は、ITU-R BT601.4 で定義されています。
- ・ YUV 4:2:2 フォーマット
 $U_{11}Y_{11}V_{11}Y_{12}U_{13}Y_{13}V_{13}Y_{14}\dots$
- ・ YUV 4:2:0 フォーマット
 奇数ライン : $UY_{11}Y_{12}\dots$
 偶数ライン : $YY_{21}Y_{22}\dots$

注

ウィンドウが YUV データ用にセットアップされているとき、データは、奇数ラインで始まり、奇数ラインと偶数ラインが交互に入れ替わる必要があります。

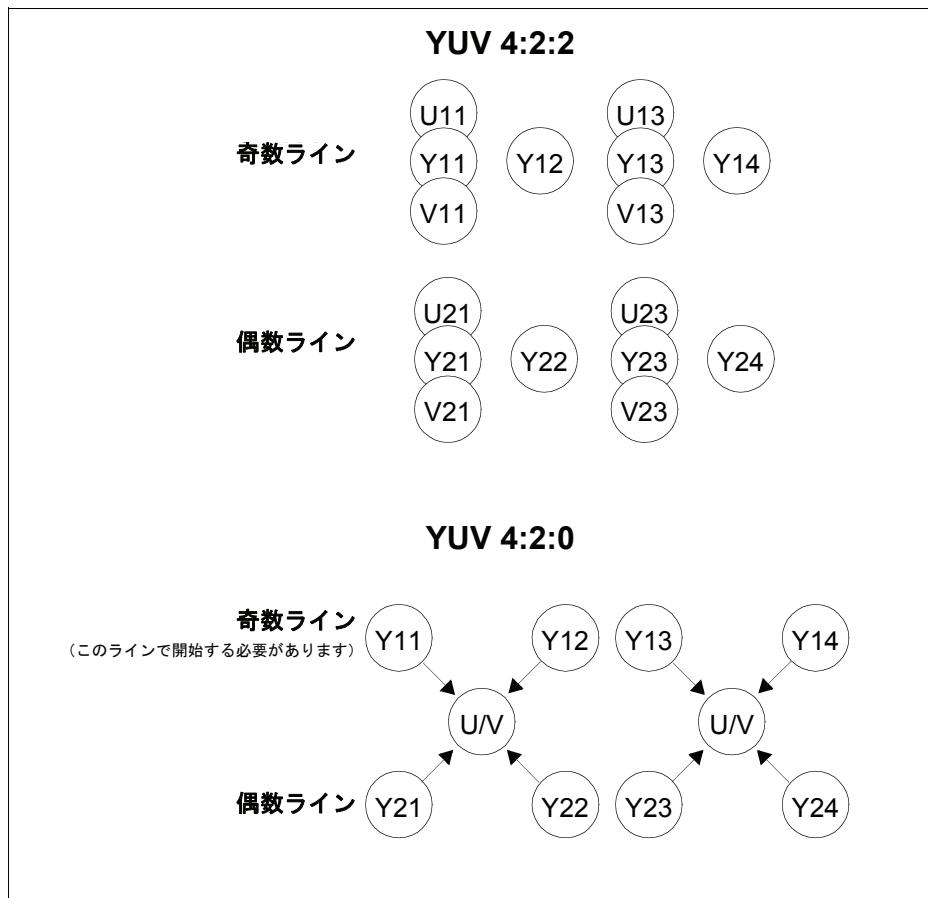


図 14-1: YUV フォーマットの定義

14.YUV タイミング

14.1 Intel 80 の 8 ビットインターフェースでの YUV 4:2:2

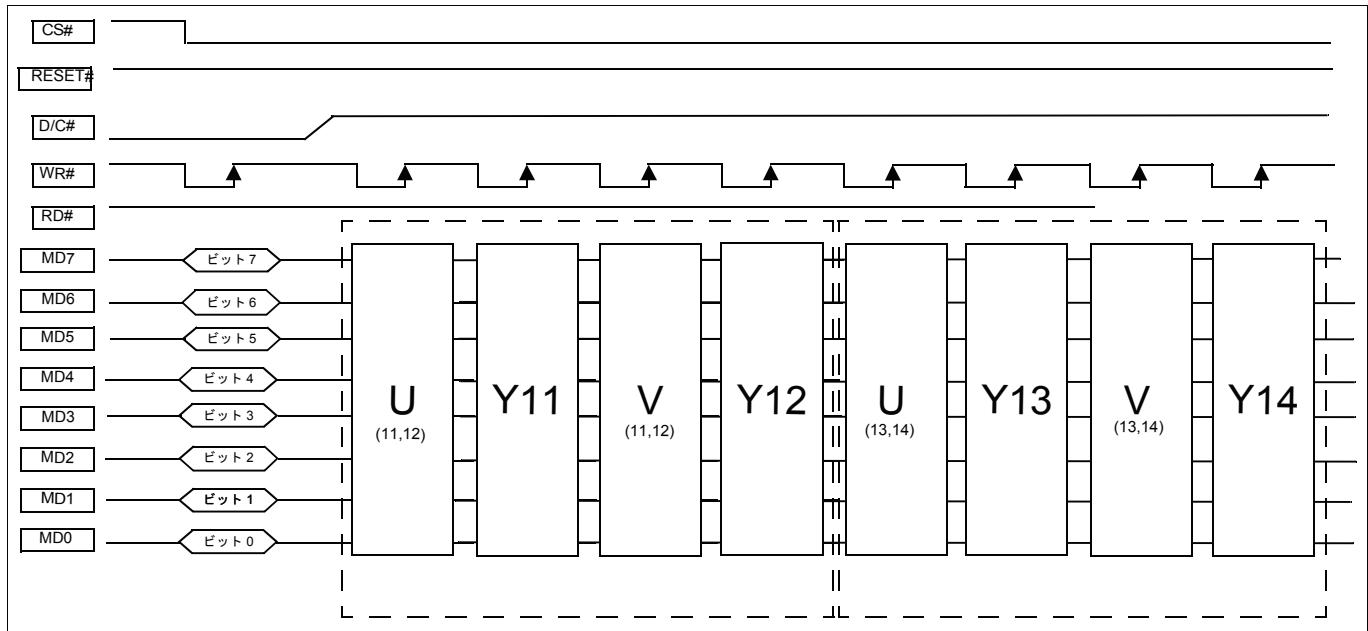


図 14-2: Intel 80 の 8 ビットインターフェースでの YUV 4:2:2

14.2 Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 奇数ライン

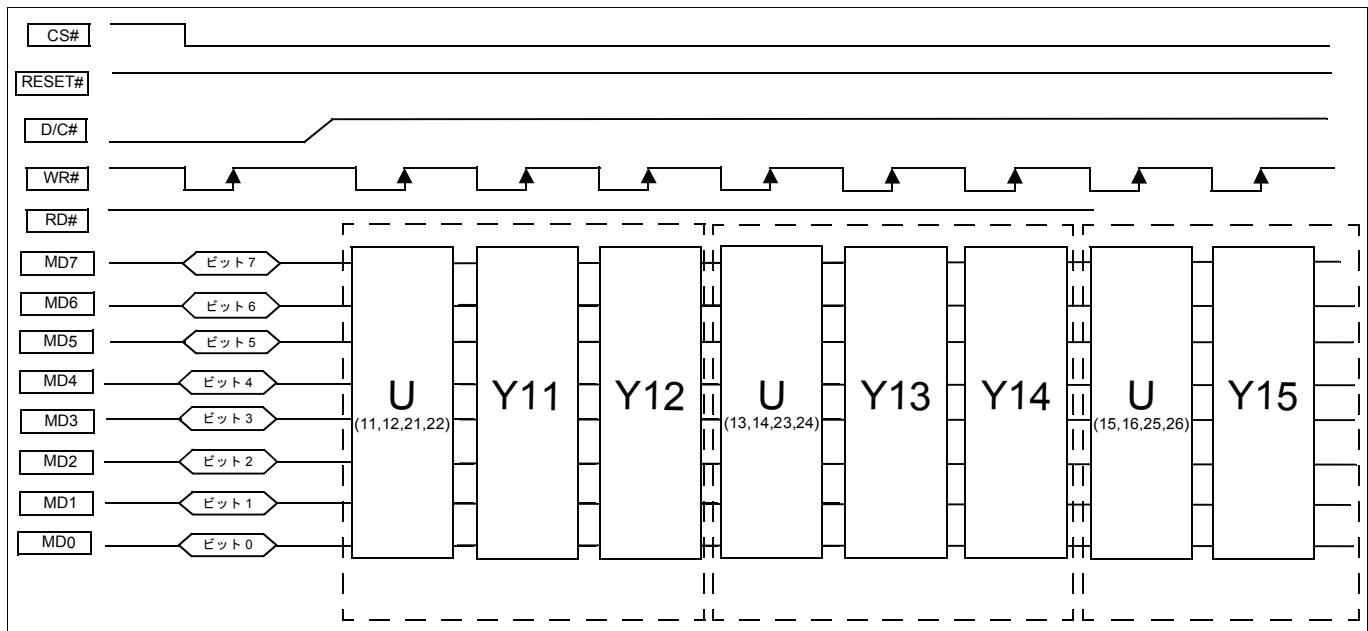


図 14-3: Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 奇数ライン

14.3 Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 偶数ライン

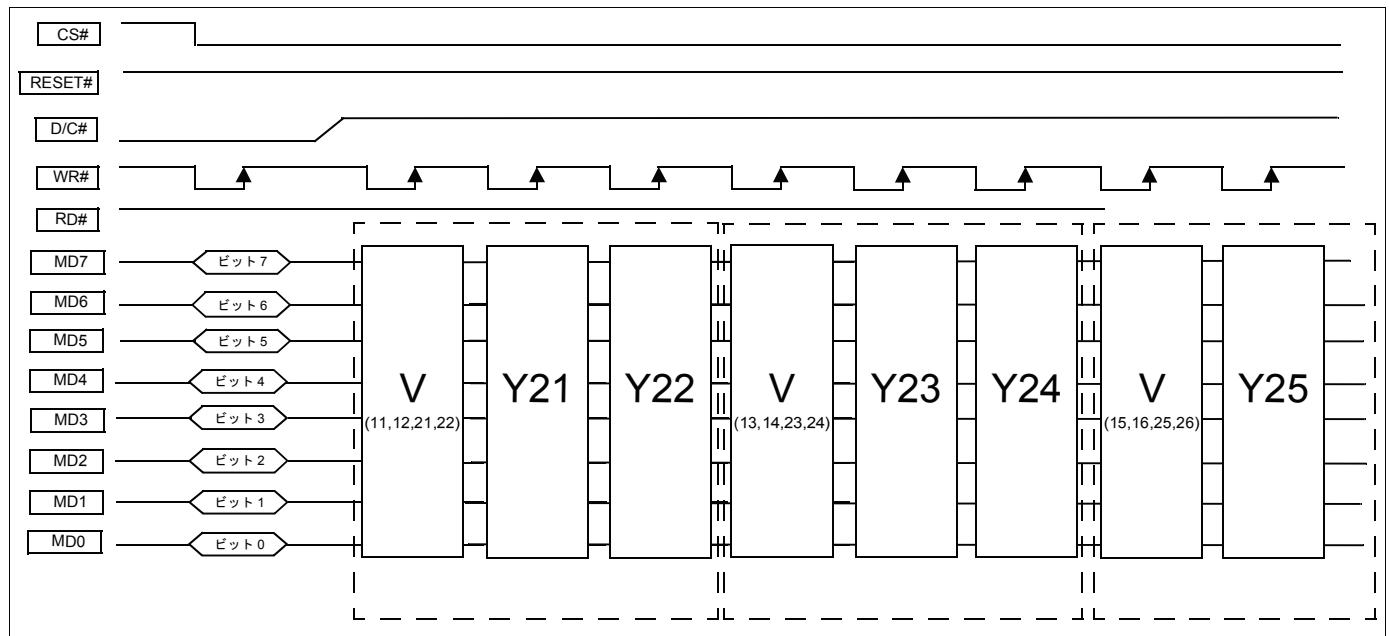


図 14-4: Intel 80 の 8 ビットインターフェースでの YUV 4:2:0 偶数ライン

14.YUV タイミング

14.4 Intel 80 の 16 ビットインタフェースでの YUV 4:2:2

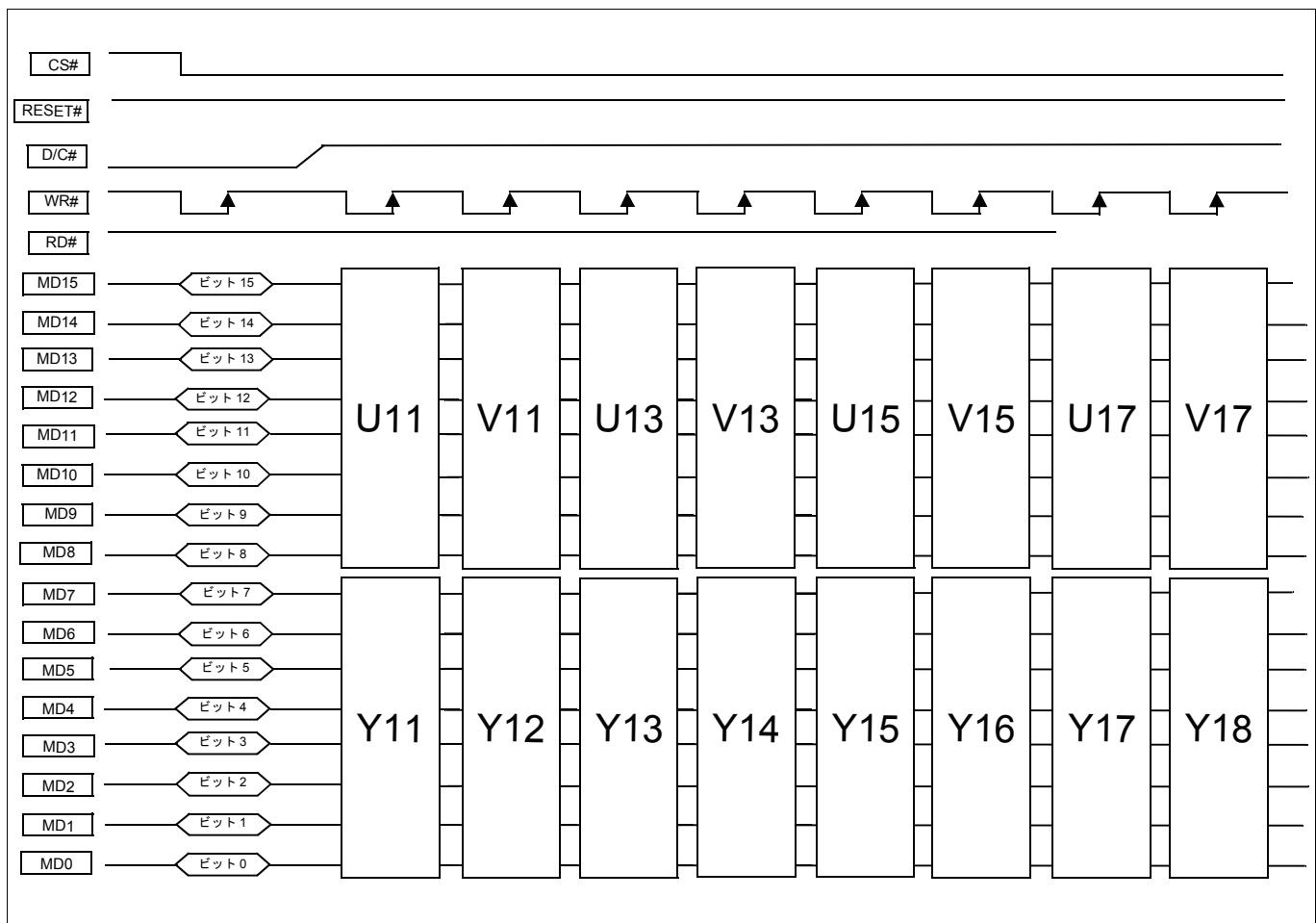


図 14-5: Intel 80 の 16 ビットインタフェースでの YUV 4:2:2

14.5 Intel 80 の 16 ビットインタフェースでの YUV 4:2:0 奇数ライン

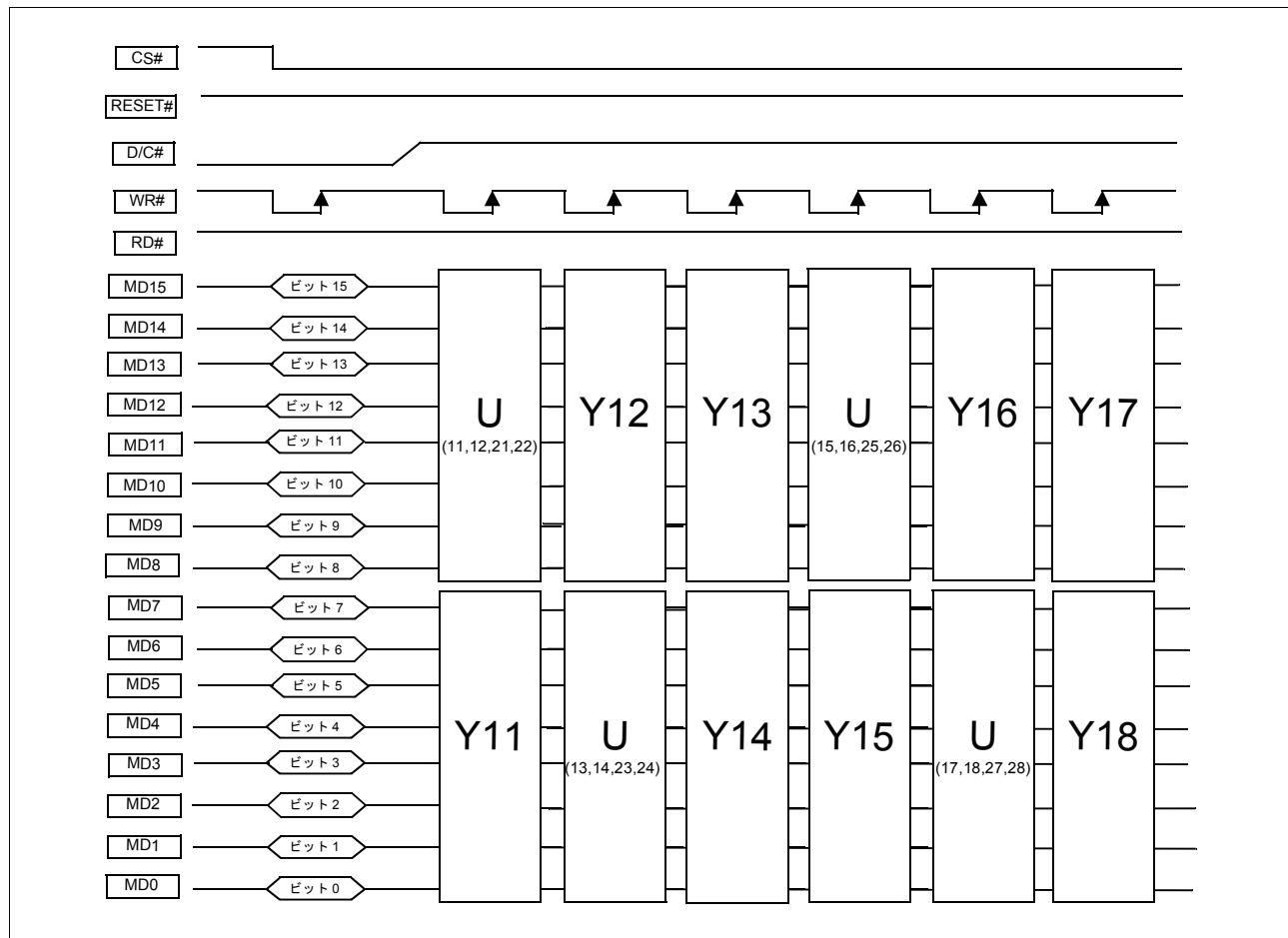


図 14-6: Intel 80 の 16 ビットインタフェースでの YUV 4:2:0 奇数ライン

注

このモードを使用するときには、入力ウィンドウ幅が 4 で割り切れる必要があります。

14.YUV タイミング

14.6 Intel 80 の 16 ビットインターフェースでの YUV 4:2:0 偶数ライン

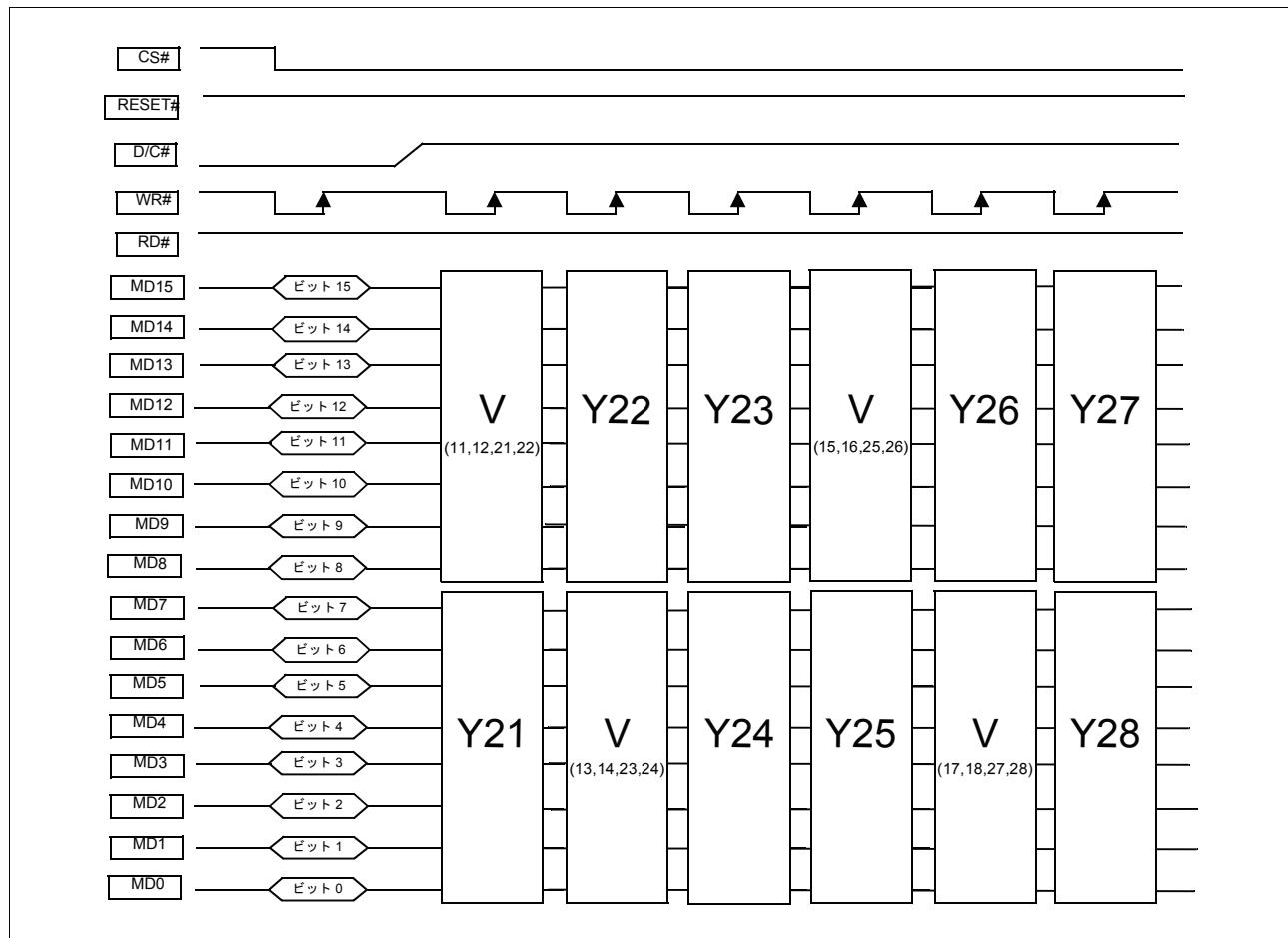


図 14-7: Intel 80 の 16 ビットインターフェースでの YUV 4:2:0 偶数ライン

15. SwivelView™

15.1 SwivelView™ の概念

大部分のコンピュータの表示は、ランドスケープ方向、すなわち左から右に、上から下にリフレッシュされます。コンピュータの画像も同じ方法で格納されます。SwivelView は、TV の表示画像を反時計回りに 90°、180°、または 270° に回転するように設計されています。回転はハードウェア内で行われ、ユーザーは、明白にディスプレイバッファの書き込みを行うことが出来ます。回転をハードウェアで処理することによって、SwivelView は、表示画像のソフトウェア回転よりも優れた性能を提供します。

実際のアドレス変換はホストの書き込み中に行われるため、画像データは、その回転方向のメモリに格納されます。この回転ロジックの設計のおかげで、S1D13746 に書き込まれるすべてのウィンドウは、互いに独立して回転することができます。

15.2 90° SwivelView™

以下の図は、どのように 320 x 480 のポートレート画像が認識され、その画像がどのように表示されるのかを示しています。アプリケーション画像は、次のように A-B-C-D の方向で S1D13746 に書き込まれますが、表示は、次のように B-D-A-C の方向でリフレッシュされます。

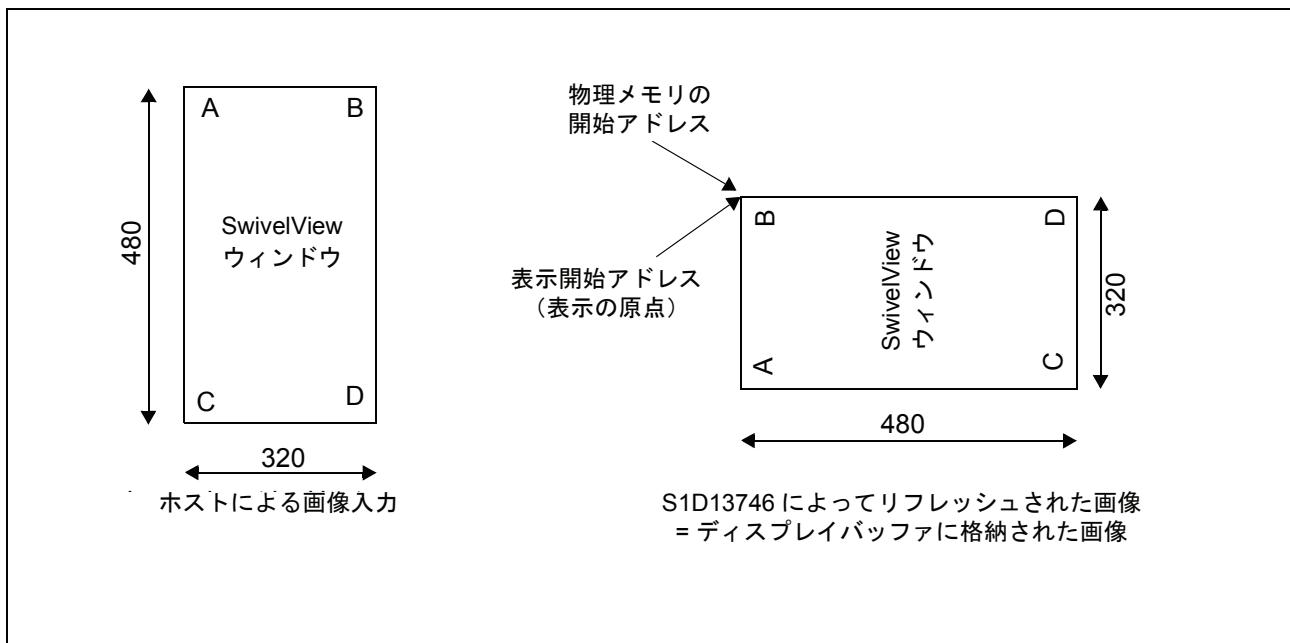


図 15-1: 画面の画像と 90° SwivelView でリフレッシュされた画像との関係

15.2.1 レジスタのプログラミング

回転をイネーブルにする以外に (REG[62h] ビット 1 ~ 0 を参照)、特別なプログラミング要件はありません。開始アドレスとラインオフセットは、ハードウェアによって自動的に計算されます。

15.3 180° SwivelView™

以下の図は、どのように 480 x 320 のランドスケープ画像が認識され、その画像がどのように表示されるのかを示しています。アプリケーション画像は、次のように A-B-C-D の方向で S1D13746 に書き込まれますが、表示は、次のように D-C-B-A の方向でリフレッシュされます。

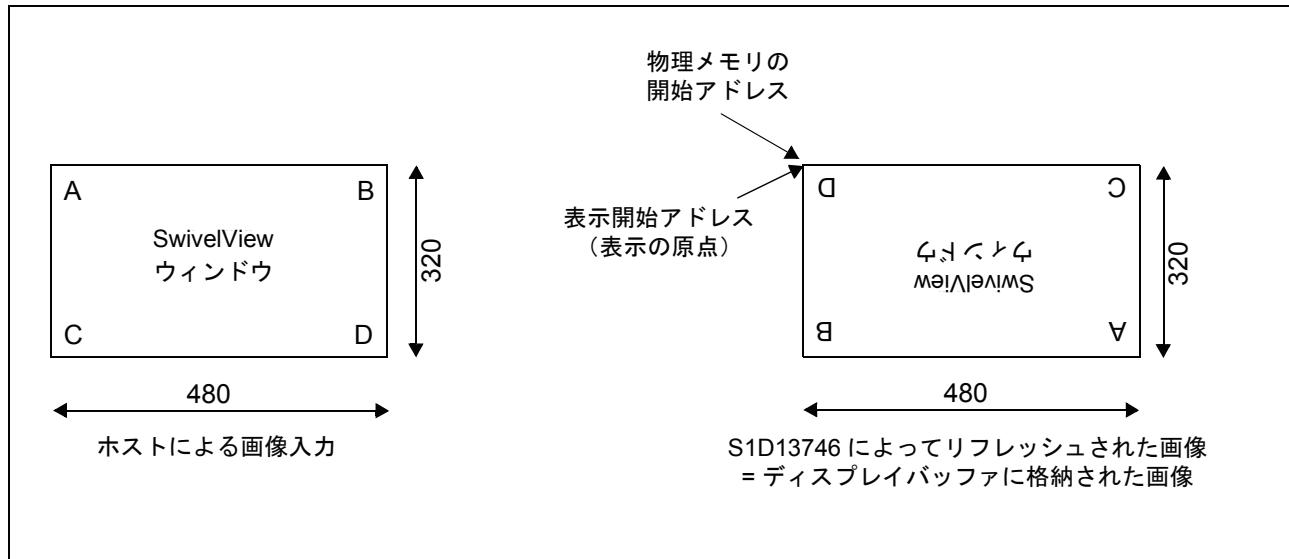


図 15-2: 画面の画像と 180° SwivelView™ でリフレッシュされた画像との関係

15.3.1 レジスタのプログラミング

回転をイネーブルにする以外に (REG[62h] ビット 1 ~ 0 を参照)、特別なプログラミング要件はありません。開始アドレスとラインオフセットは、ハードウェアによって自動的に計算されます。

15.4 270° SwivelView™

以下の図は、どのように 320 x 480 のポートレート画像が認識され、その画像がどのように表示されるのかを示しています。アプリケーション画像は、次のように A-B-C-D の方向で S1D13746 に書き込まれますが、表示は、次のように C-A-D-B の方向でリフレッシュされます。

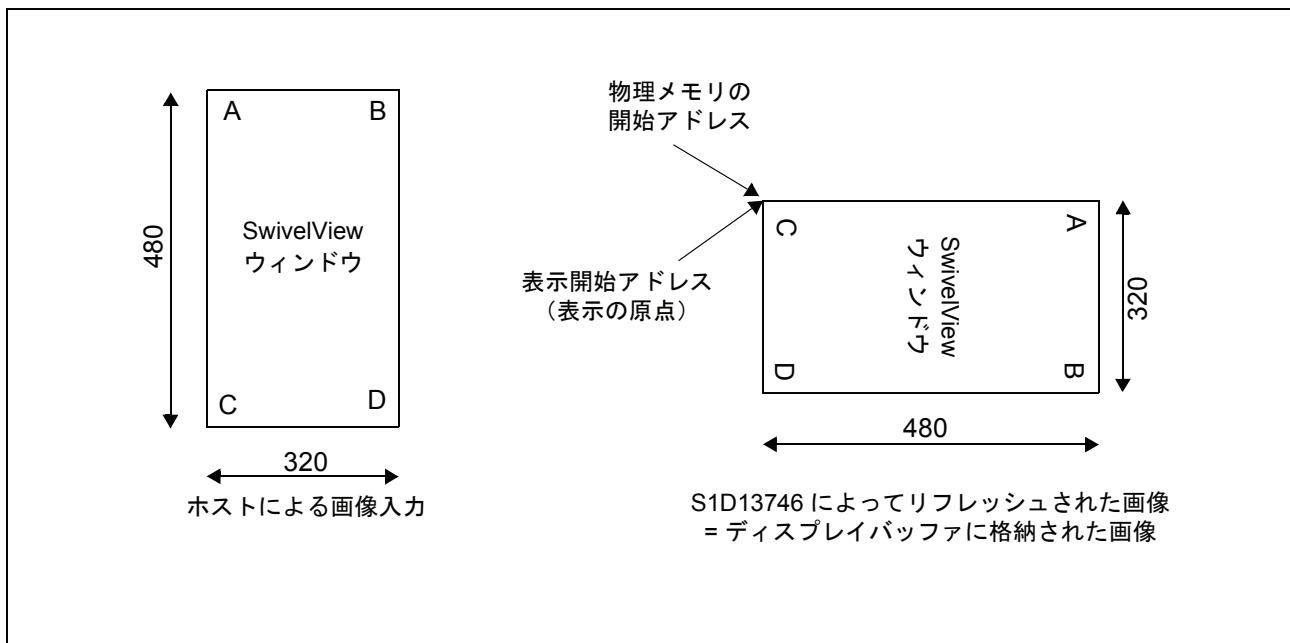


図 15-3: 画面の画像と 270° SwivelView でリフレッシュされた画像との関係

15.4.1 レジスタのプログラミング

回転をイネーブルにする以外に (REG[62h] ビット 1 ~ 0 を参照)、特別なプログラミング要件はありません。開始アドレスとラインオフセットは、ハードウェアによって自動的に計算されます。

15.5 サブウィンドウの位置 / 回転

一般的な環境では、すべてのウィンドウが同じ方向に回転します。ただし、個々のウィンドウが独立した回転を必要とするような例も考えられます。以下に示す、すべての使用例では、ウィンドウの位置が必ずメイン表示画像の左上コーナーと新しいウィンドウの左上コーナーを基準にしており、回転とは無関係であることを示しています。

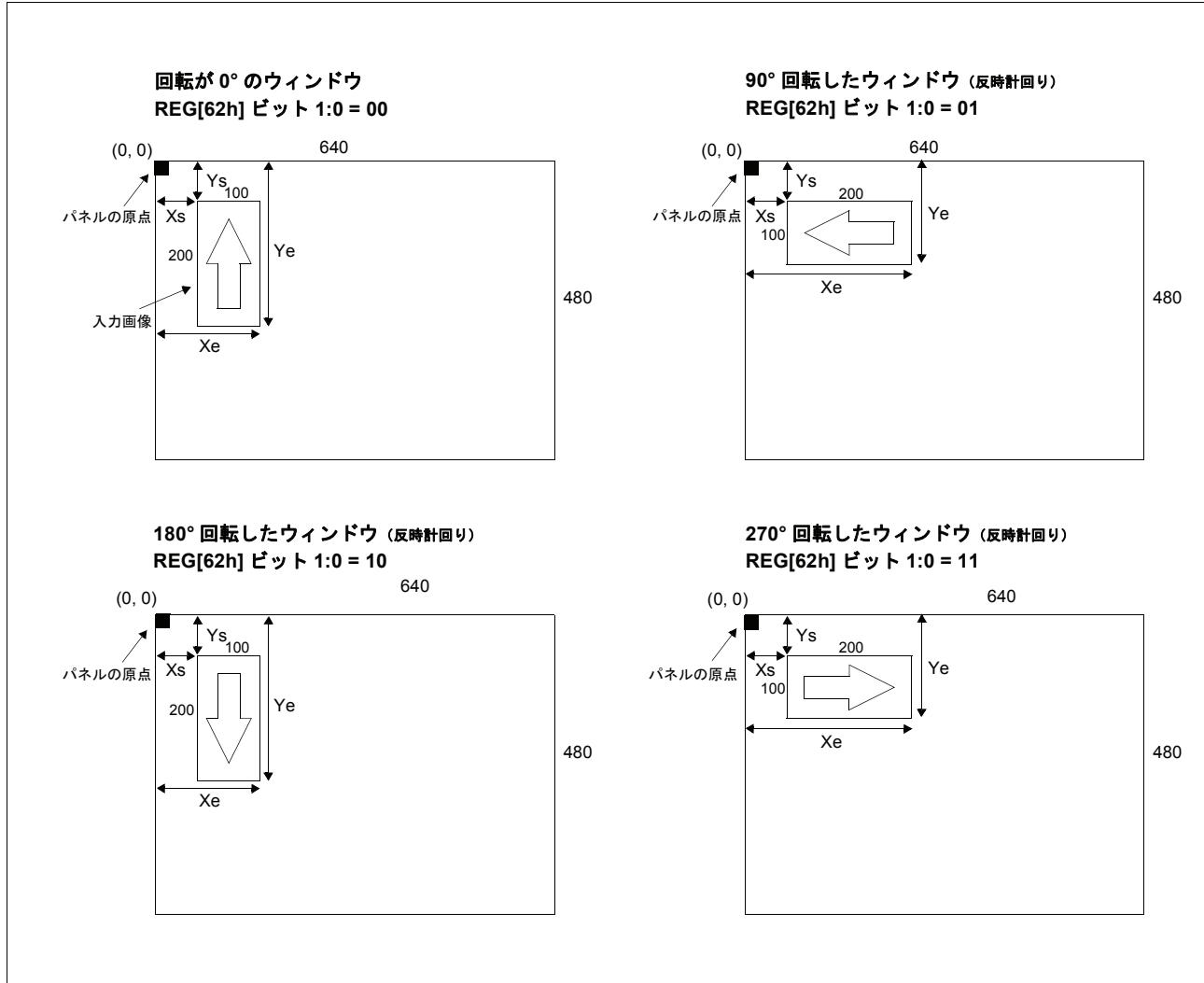


図 15-4: サブウィンドウの位置 / 回転

ここで、

すべての回転: $Xs = \text{REG}[82h] \sim \text{REG}[84h]$

$Ys = \text{REG}[86h] \sim \text{REG}[88h]$

$0^\circ, 180^\circ$: $Xe = Xs + \text{入力ウィンドウの幅} (\text{REG}[68h] \sim \text{REG}[6Ah])$

$Ye = Xs + \text{入力ウィンドウの高さ} (\text{REG}[64h] \sim \text{REG}[66h])$

$90^\circ, 270^\circ$: $Xe = Xs + \text{入力ウィンドウの高さ} (\text{REG}[64h] \sim \text{REG}[66h])$

$Ye = Xs + \text{入力ウィンドウの幅} (\text{REG}[68h] \sim \text{REG}[6Ah])$

16. 画像強化エンジン

画像強化エンジン (IEE:Image Enhancement Engine) は、S1D13746 が画像を処理できるようにするための 3×3 フィルタを提供します。データが処理のためフィルタに送出されるときのデータの経路は以下のとおりです。

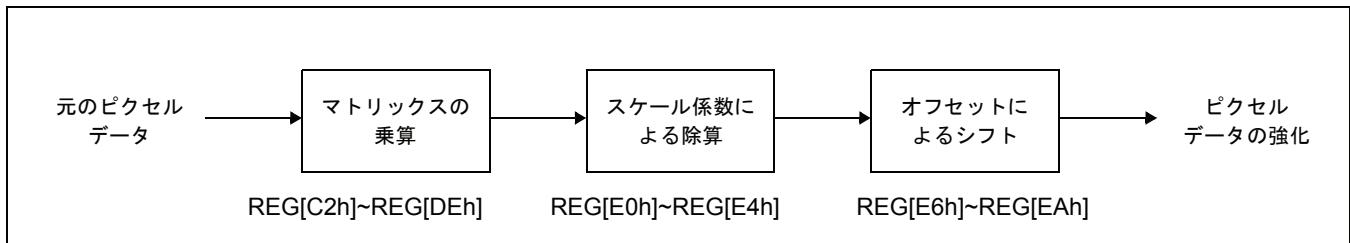


図 16-1: 画像処理フィルタの概要

16.1 3×3 フィルタ

注

3×3 フィルタをイネーブルにするととき、SYSCLK は 54MHz である必要があります。

3×3 フィルタ機能は、 3×3 マトリックスを使用して隣接ピクセルの輝度を計算することによって、画像内の各ピクセルを処理することができます。以下の図は、 3×3 フィルタの動作を示しています。

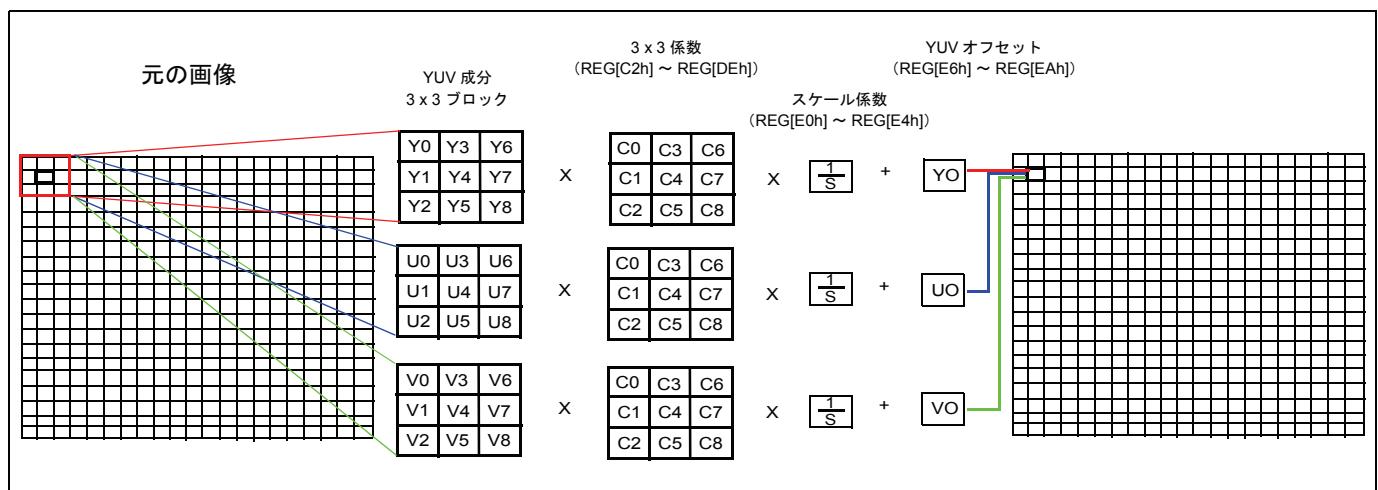


図 16-2: 3×3 フィルタのマトリックス機能

3×3 フィルタは、画像内のあらゆるピクセルとその隣接したピクセルをスキャンします。各 YUV 成分ブロックは、プログラム可能な 3×3 係数 (REG[C2h] ~ REG[DEh])、拡大縮小率 (REG[E0h] ~ REG[E4h])、およびオフセット (REG[E6h] ~ REG[EAh]) を基準として計算されます。以下の図は、想定される視覚効果の例です。

注

視覚効果の例のプログラミング値については、138 ページの 16.1.1 「プログラミング値の例」を参照してください。

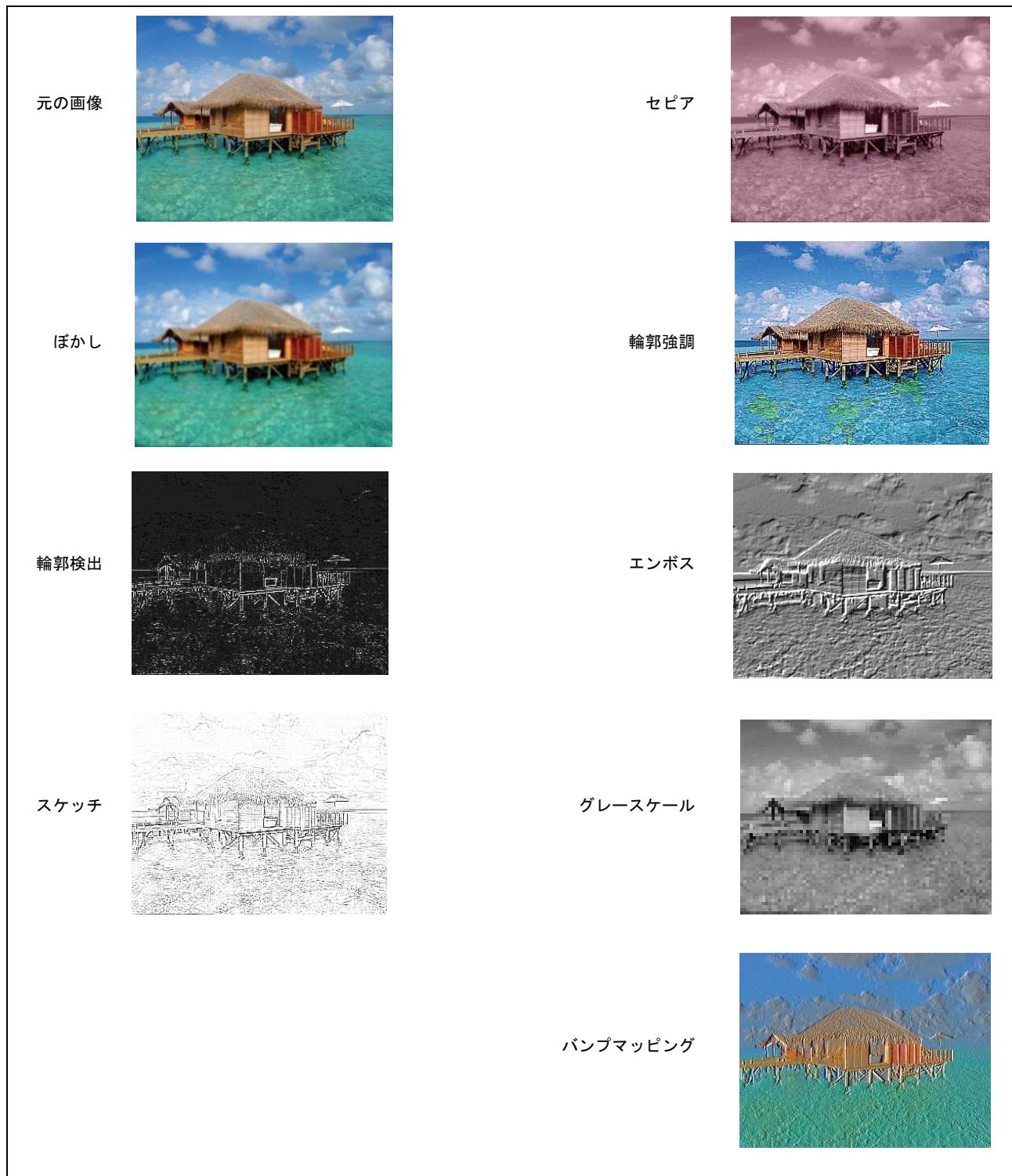


図 16-3: フィルタの視覚効果の例

16. 画像強化エンジン

16.1.1 プログラミング値の例

以下の表は、 3×3 フィルタを使用してさまざまな視覚効果を得るために使用できる値の例です。

表 16-1: 3×3 ピクセルマトリックスのフィルタ機能のプログラミング値

| レジスタの プログラミング | フィルタ機能 | | | | | | | | | | ドット クロール+ フリッカ フィルタ |
|------------------------|-----------------|------|-----|------|------|-----|------|------|--------------|--------------|------------------------------|
| | バイパス (デフォルト) | シャープ | ぼかし | 輪郭検出 | スケッチ | セピア | 輪郭強調 | エンボス | パンプ マッピング | フリッカ フィルタ | |
| Y0 REG[C2h] ビット [2:0] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 1h | 7h | 0h | 0h |
| Y1 REG[C2h] ビット [6:4] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 1h | 7h | 0h | 0h |
| Y2 REG[C4h] ビット [2:0] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 0h | 7h | 0h | 0h |
| Y3 REG[C4h] ビット [6:4] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 1h | 0h | 1h | 1h |
| Y4 REG[C6h] ビット [4:0] | 01h | 09h | 1h | 08h | 08h | 01h | 0Ah | 00h | 00h | 02h | 02h |
| Y5 REG[C8h] ビット [2:0] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 7h | 0h | 1h | 1h |
| Y6 REG[C8h] ビット [6:4] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 0h | 1h | 0h | 0h |
| Y7 REG[CAh] ビット [2:0] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 7h | 1h | 0h | 0h |
| Y8 REG[CAh] ビット [6:4] | 0h | 7h | 1h | 7h | 7h | 0h | 7h | 7h | 1h | 0h | 0h |
| U0 REG[CCh] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| U1 REG[CCh] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 2h |
| U2 REG[C Eh] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| U3 REG[C Eh] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 1h | 1h |
| U4 REG[D0h] ビット [4:0] | 01h | 09h | 01h | 08h | 00h | 00h | 01h | 00h | 01h | 02h | 02h |
| U5 REG[D2h] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 1h | 1h |
| U6 REG[D2h] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| U7 REG[D4h] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 2h |
| U8 REG[D4h] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| V0 REG[D6h] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| V1 REG[D6h] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 2h |
| V2 REG[D8h] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| V3 REG[D8h] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 1h | 1h |
| V4 REG[DAh] ビット [4:0] | 01h | 09h | 01h | 08h | 00h | 00h | 01h | 00h | 01h | 02h | 02h |
| V5 REG[DCh] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 1h | 1h |
| V6 REG[DCh] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| V7 REG[DEh] ビット [2:0] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 2h |
| V8 REG[DEh] ビット [6:4] | 0h | 7h | 1h | 7h | 0h | 0h | 0h | 0h | 0h | 0h | 0h |
| YD (REG[E0h]) | 01h | 01h | 09h | 01h | 01h | 01h | 02h | 01h | 01h | 04h | 04h |
| UD (REG[E2h]) | 01h | 01h | 09h | 01h | 01h | 01h | 01h | 01h | 01h | 04h | 08h |
| VD (REG[E4h]) | 01h | 01h | 09h | 01h | 01h | 01h | 01h | 01h | 01h | 04h | 08h |
| YO (REG[E6h]) | 00h | 00h | 00h | 00h | 75h | 00h | 00h | 40h | 40h | 00h | 00h |
| UO (REG[E8h]) | 00h | 00h | 00h | 40h | 40h | 30h | 00h | 40h | 00h | 00h | 00h |
| VO (REG[EAh]) | 00h | 00h | 00h | 40h | 40h | 49h | 00h | 40h | 00h | 00h | 00h |

17. ホストインターフェース

17.1 Intel 80 インタフェース

Intel 80 ホストインターフェースを通じて S1D13746 にアクセスするには、複数ステップの処理を必要とします。すべてのレジスタとメモリは、レジスタ空間を経由してアクセスされます。

注

1. すべてのレジスタアクセスは、ディスプレイメモリのデータポートを除いて 8 ビットアクセスです。ホストインターフェースが 16 ビット幅 (CNF[1:0] = 11) の場合、LSB (MD[7:0]) は、Display Memory Data Port を除くすべてのレジスタで使用されます。
2. Display Memory Data Port (REG[A0h]) の場合、ホストインターフェースが 16 ビット幅 (CNF[1:0] = 11) のときには、16 ビットのすべてが使用され、ホストインターフェースが 8 ビット幅 (CNF[1:0] = 01) のときには、下位の 7 ビットのみが使用されます。

最初に「アドレスライト」を一度だけ実行し、レジスタアドレスを設定します。次に「データリード / ライト」を実行し、「アドレスライト」サイクルで指定したレジスタまたはメモリに対して格納する、または読み出すデータを指定します。その後に続くデータリード / ライトは、レジスタアドレスを変更するアドレスライトがなければ、レジスタアドレスはオートインクリメントされます。あるいは Display Memory Data Port (REG[A0h])、TV Filter Coefficient and User Clock Ratio Data レジスタ (REG[56h])、または Macrovision Data レジスタ (REG[5Ah]) にアクセスする場合には、内蔵メモリアドレスがオートインクリメントされます。

ウィンドウの開口部に表示データを書き込むには、ウィンドウのサイズと座標を指定し、次にウィンドウを満たすために必要な Display Memory Data Port へのバーストデータを書き込みます。このシーケンスでは、内蔵メモリのアドレス指定は自動で行われます。

17. ホストインターフェース

17.1.1 レジスタライト手順

S1D13746 のレジスタへの書き込みは、2 ステップの処理になります。最初にレジスタの「インデックス」すなわちアドレスを書き込む必要があります。次に、指定したレジスタに「データ」を配置します。

1. アドレスライトを実行し、レジスタアドレスのビット 7 ~ 0 を設定します。
2. データライトを実行し、レジスタを更新します。
3. レジスタアドレスがオートインクリメントされると、追加のデータライトを実行することができます。

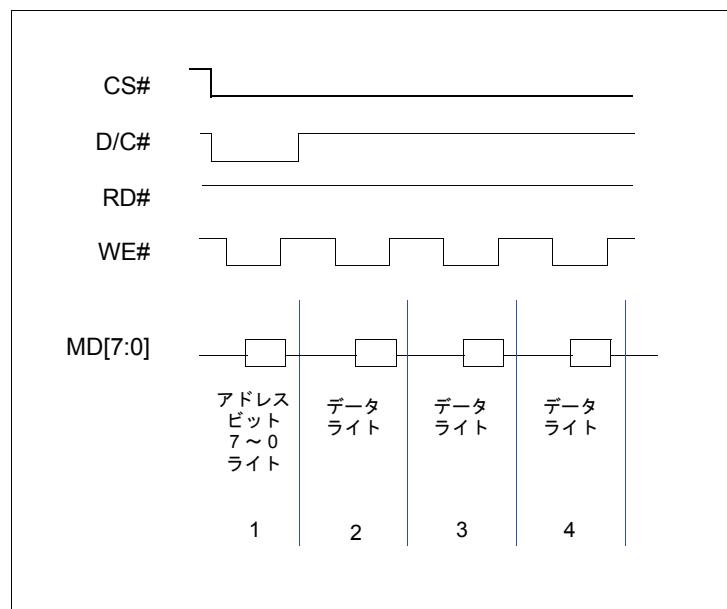


図 17-1: レジスタライト例の手順

17.1.2 レジスタリード手順

S1D13746 のレジスタからの読み出しが、2 ステップの処理になります。最初にレジスタの「インデックス」すなわちアドレスを書き込む必要があります。次に、指定したレジスタから「データ」を読み出すことができます。

1. アドレスライトを実行し、レジスタアドレスのビット 7 ~ 0 を設定します。
2. データリードを実行し、指定したレジスタの値を取得します。
3. レジスタアドレスがオートインクリメントされると、追加のデータリードを実行することができます。

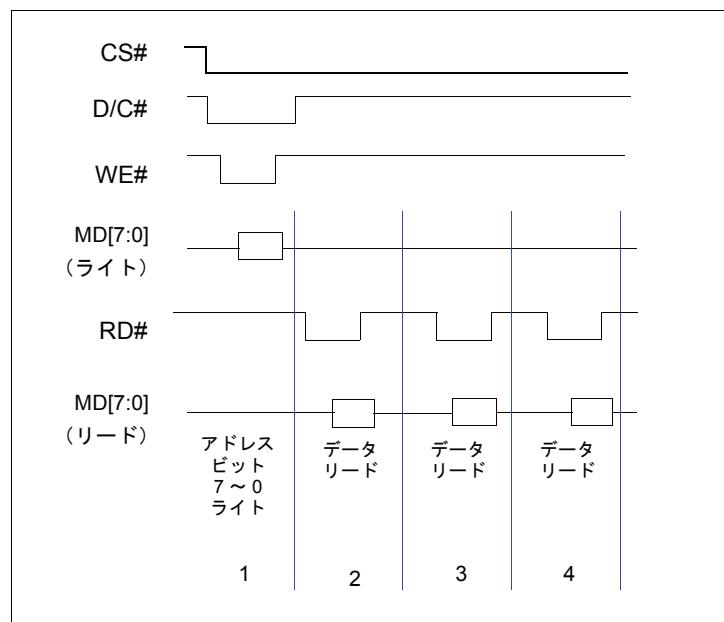


図 17-2: レジスタリード例の手順

17.1.3 連続メモリライト手順

S1D13746 の表示メモリは、Display Memory Data Port レジスタ (REG[A0h]) を使用して書き込まれます。Display Memory Data Port レジスタの「インデックス」を書き込めば、表示メモリに表示データをバーストライトすることができます。各メモリライトが完了すると、内蔵メモリアドレスがオートインクリメントされます。

1. レジスタ (REG[60h] ~ REG[6Ah] および REG[82h] ~ REG[90h]) で指定したウィンドウパラメータに書き込みます。
2. アドレスライトを実行して、Display Memory Data Port (REG[A0h]) アドレスを設定します。
3. 表示メモリにデータライトを実行します。
4. 内蔵メモリアドレスがオートインクリメントされ、表示メモリへのその後のデータライトが可能となります。

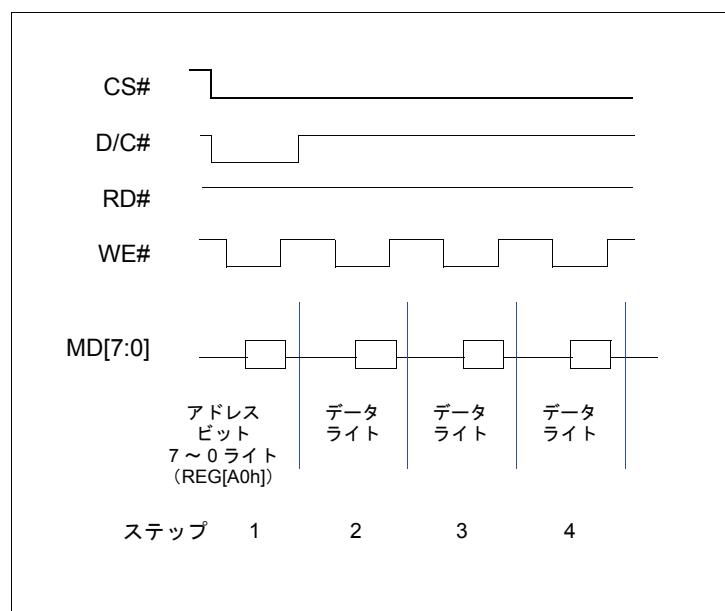


図 17-3: メモリバーストライト例の手順

注

レジスタライトによって画像フレームライトに割り込みをかけると、フレームはリセットされます。レジスタライトの演算後、ユーザーは、再度、フレーム全体を書き込む必要があります。

17.2 シリアルホストインターフェース

S1D13746 シリアルホストインターフェースは、以下のインターフェースをサポートしています。

- 3 線シリアルインターフェース (9 ビット)、CNF[1:0] = 00b
- 4 線シリアルインターフェース (8 ビット SPI インタフェース)、CNF[1:0] = 10b

17.2.1 3 線 9 ビット

3 線 9 ビットのシリアルインターフェースは、CNF[1:0] = 00b のときに選択されます。3 線 9 ビットのシリアルインターフェースは、チップセレクト (CS#)、シリアルクロック (SCLK)、および双方向データ端子 (SDA) で構成されています。S1D13746 には、シリアルデータ出力 (SO) 端子とシリアルデータ入力 (SI) 端子があり、これらをともに接続して双方向データ端子を構成することができます。

ライト / リード転送

以下は、3 線シリアルインターフェースのライト転送のフォーマットを示しています。コマンドの最初のビットは D/C# ビットで、これを 0b に設定してコマンドであることを示します。次に、コマンドを表す 8 ビットの C[7:0] が、msb から送出されます。コマンドの後、D/C# ビットを 1 に設定し、次にデータが送出されることを示します。データの 8 ビットが msb から送出され、SI は SCLK の立ち上がりエッジで有効になります。

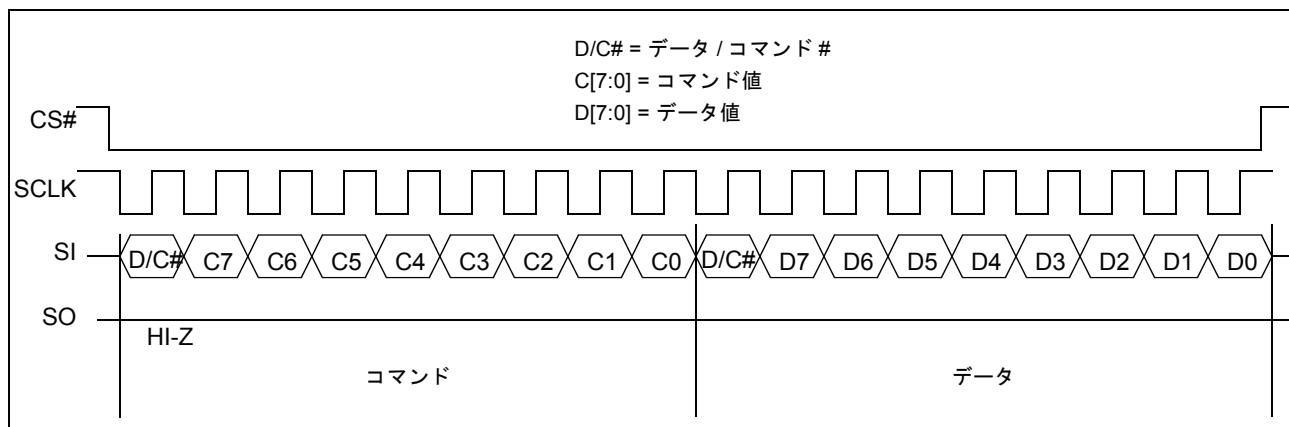


図 17-4: ライト転送

17. ホストインターフェース

以下の図は、3 線シリアルインターフェースのリード転送のフォーマットを示しています。コマンドの最初のビットは D/C# ビットで、これを 0 に設定してコマンドであることを示します。次に、コマンドを表わす 8 ビットの C[7:0] が、msb から送出されます。その後、SI ラインがディアサートされます。これで S1D13746 は SO ラインを駆動し、データの 8 ビットを msb から送出します。S1D13746 は、CS# が HIGH になるまでラインを駆動します。SI は、SCLK の立ち上がりエッジで有効になります。SO は、SCLK の立ち下がりエッジで起動されます。

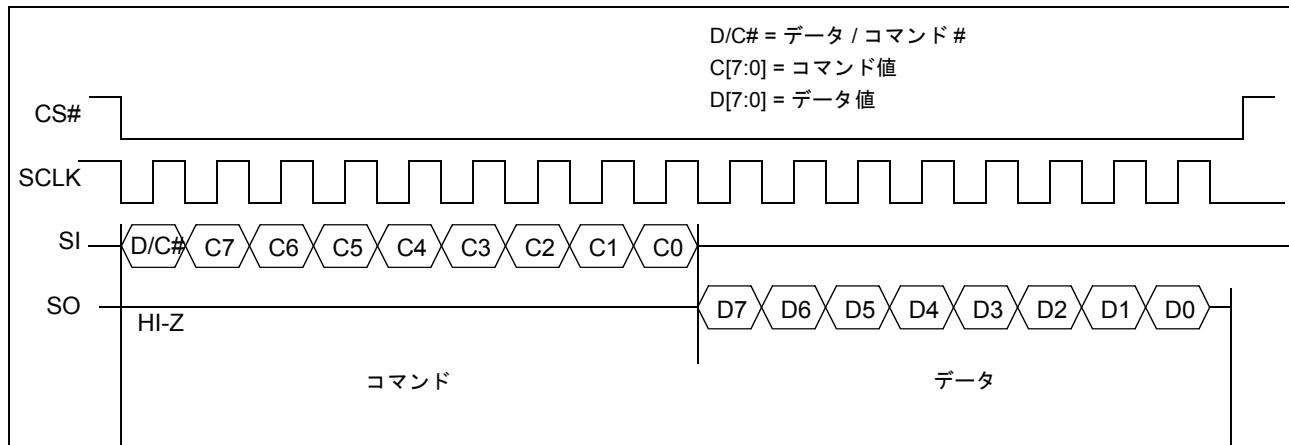


図 17-5: リード転送

コマンド

3 線シリアルインターフェースのリード / ライト転送を使用すると、ユーザーは、S1D13746 を使用して以下の機能を実行することができます。

- レジスタアドレスをライトまたはリードに設定
- レジスタアドレスにデータを書き込む
- レジスタアドレスからデータを読み出す
- 連続したレジスタアドレスに書き込む
- 連続したレジスタアドレスから読み出す

表 17-1: コマンド

| コマンド | 値 | 3 線シリアルインターフェース転送 | 説明 |
|----------|------|-------------------|--------------------|
| SET_ADDR | 0x40 | ライト | レジスタアドレスをアクセスに設定 |
| WRITE | 0x80 | ライト | レジスタアドレスにデータを書き込む |
| READ | 0xC0 | リード | レジスタアドレスからデータを読み出す |

S1D13746 のレジスタにアクセスするには、SET_ADDR コマンドを最初に送出し、レジスタアドレスをアクセスに設定する必要があります。

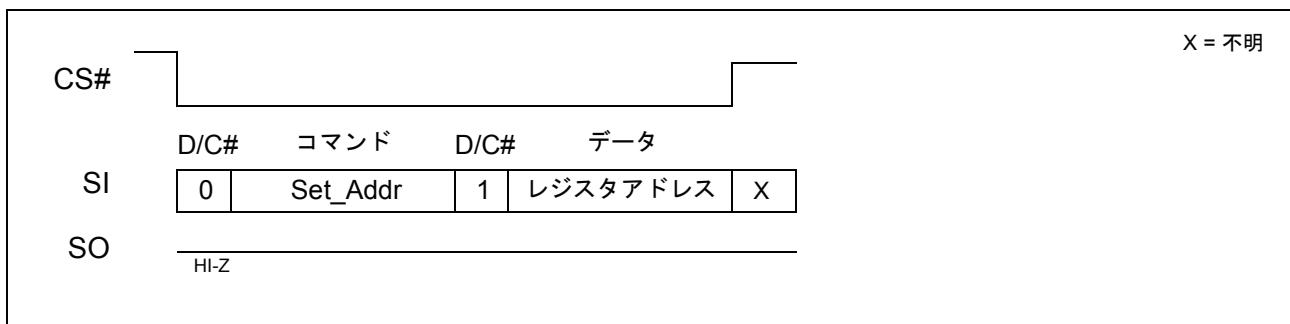


図17-6: レジスタアドレスのライト

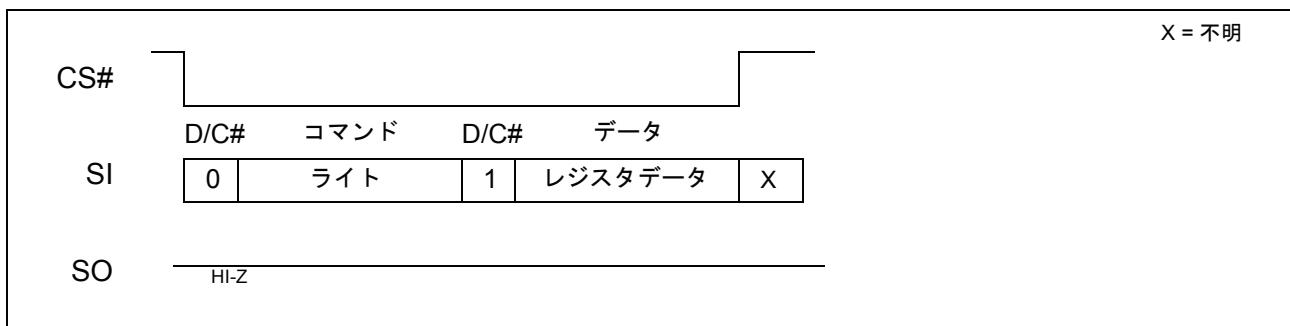


図17-7: 単一のレジスタデータのライト

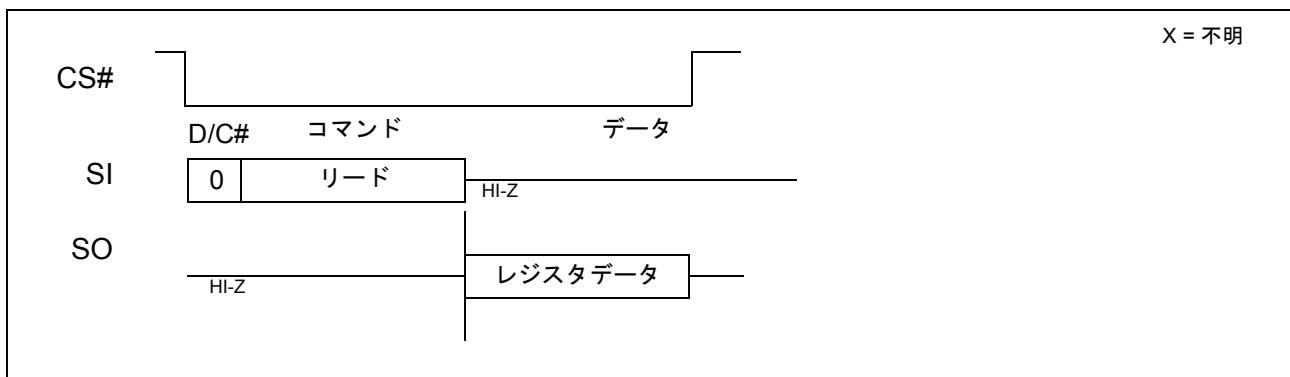


図17-8: レジスタデータのリード

連続したアドレスに対してデータを書き込んだり読み出したりできます。各データを書き込んだ後、あるいは読み出した後、内部レジスタアドレスは、CS# が LOW の状態である間、次のアドレスに向けて 2 ずつインクリメントされます。書き込みの場合、各転送ごとにデータの前に D/C# ビットを配置する必要があります。読み出しの場合、S1D13746 は、各転送ごとに 8 ビットのデータだけを送出します。

17. ホストインターフェース

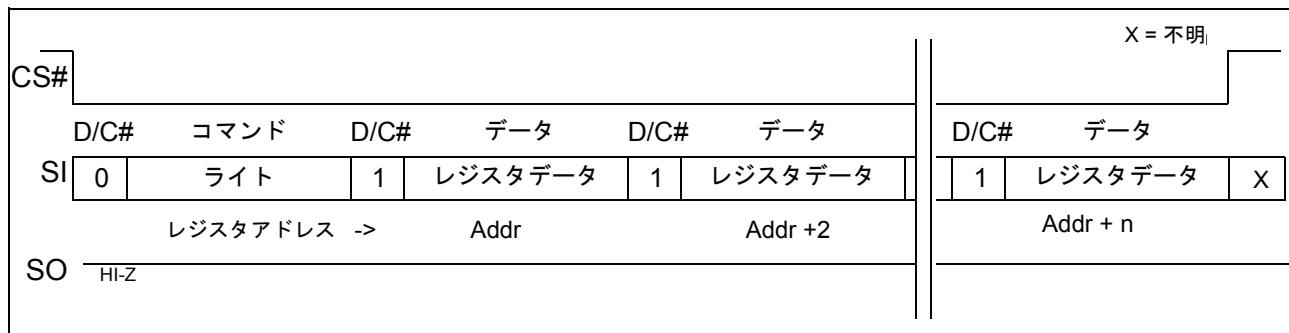


図 17-9: 複数のレジスタデータのライト

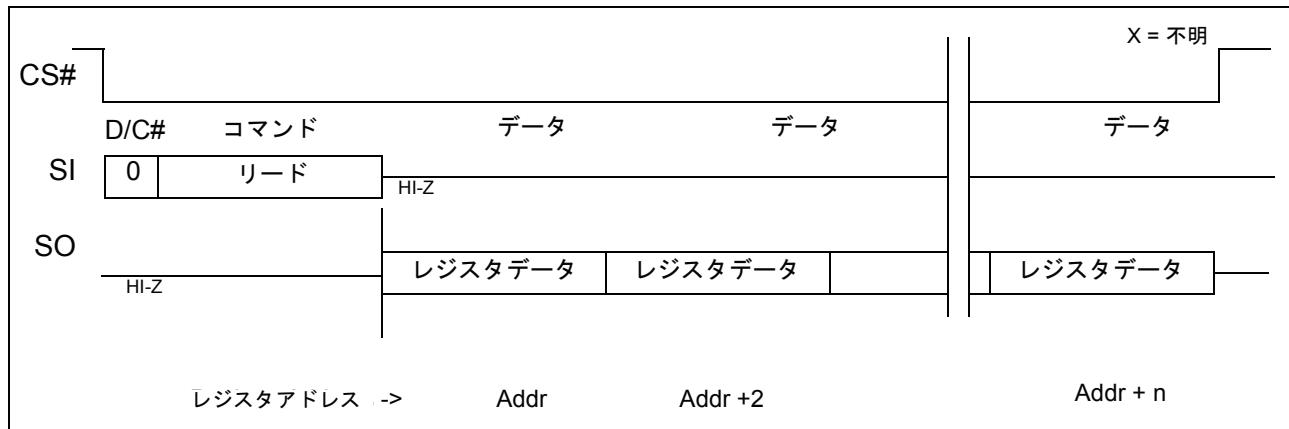


図 17-10: 複数のレジスタデータのリード

17.2.2 SPI インタフェース

4 線 8 ビットのシリアルインターフェース (SPI) は、CNF[1:0] = 10 のときに選択されます。SPI インタフェースは、チップセレクト (CS#)、シリアルクロック (SCLK)、シリアルデータ出力 (SO)、およびシリアルデータ入力 (SI) で構成されています。

SPI のライト / リード転送

SPI のライト転送の場合、CS# が LOW になった後、コマンド C[7:0] が msb から送出されます。これに続いて、データ D[7:0] が msb から送出されます。次に、CS# が LOW の状態である間、SO ラインが駆動されます。SI は、SCLK の立ち上がりエッジで有効になります。

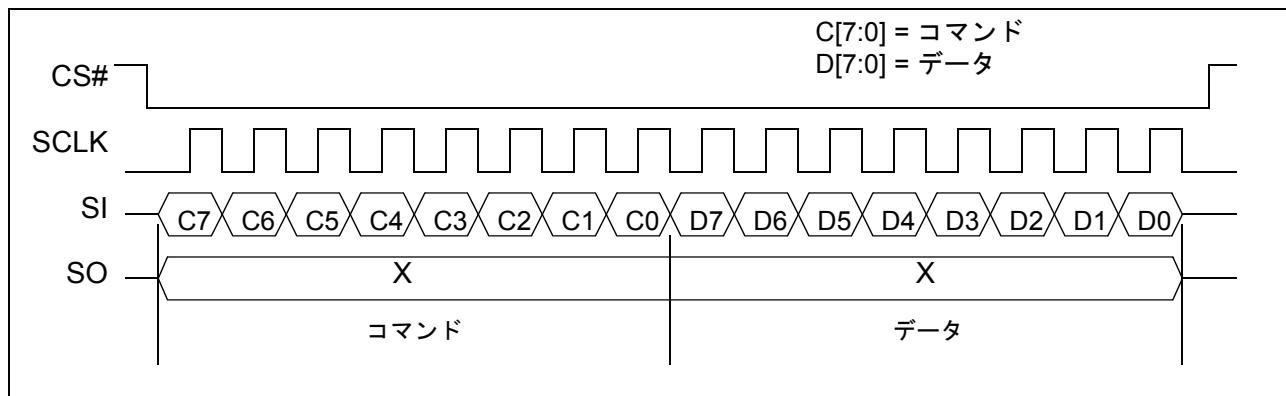


図17-11: SPI のライト転送

SPI のリード転送の場合、CS# が LOW になった後、コマンド C[7:0] が msb から送出されます。これに続いて、S1D13746 は、msb からデータ D[7:0] を SO ラインに送出します。この段階の間、SI ラインのいずれの値も無視されます。次に、CS# が LOW の状態である間、SO ラインが駆動されます。SI は、SCLK の立ち上がりエッジで有効になります。SO は、SCLK の立ち下がりエッジで起動されます。

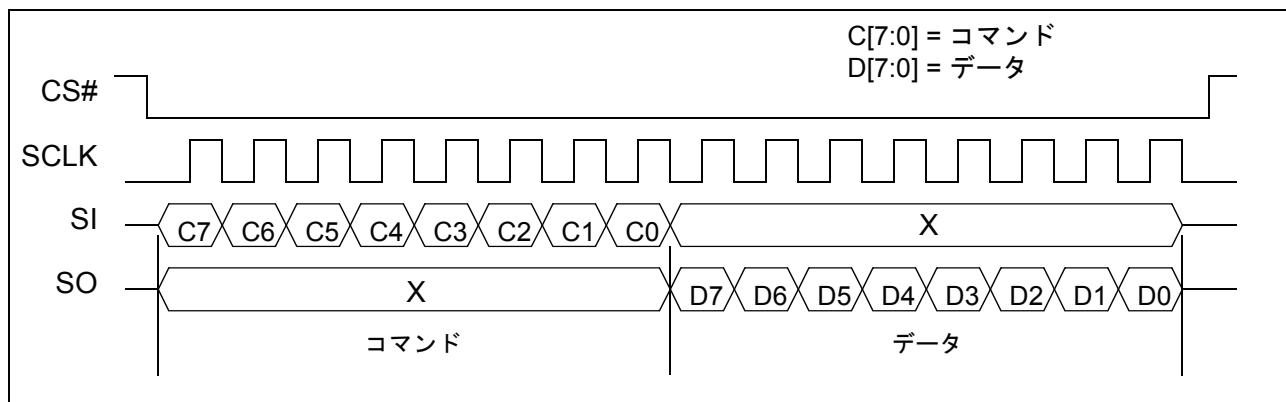


図17-12: SPI のリード転送

SPI のコマンド

SPI のリード / ライト転送を使用すると、ユーザーは、S1D13746 を使用して以下の機能を実行することができます。

- レジスタアドレスをライトまたはリードに設定
- レジスタアドレスにデータを書き込む
- レジスタアドレスからデータを読み出す
- 連続したレジスタアドレスに書き込む
- 連続したレジスタアドレスから読み出す

17. ホストインターフェース

表 17-2: SPI のコマンド

| コマンド | 値 | 説明 |
|----------|------|--------------------|
| SET_ADDR | 0x40 | レジスタアドレスをライトに設定 |
| WRITE | 0x80 | レジスタアドレスにデータを書き込む |
| READ | 0xC0 | レジスタアドレスからデータを読み出す |

S1D13746 のレジスタにアクセスするには、SET_ADDR コマンドを最初に送出し、アクセスに設定する必要があります。

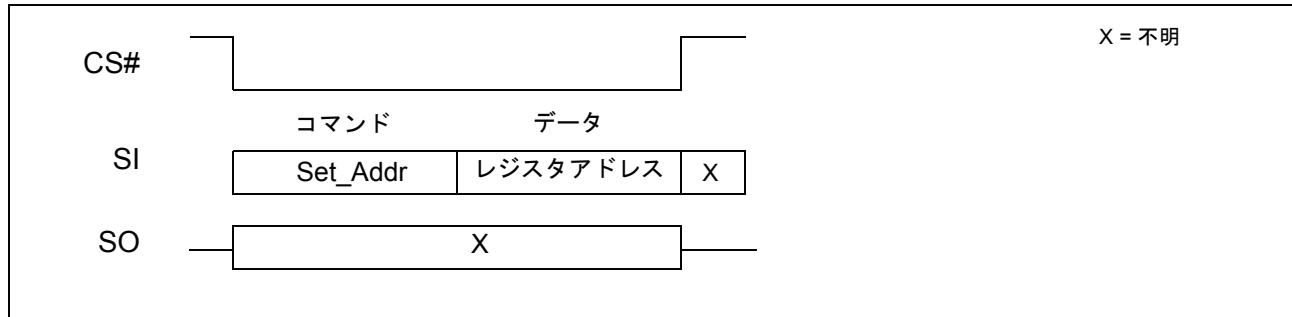


図 17-13: レジスタアドレスのライト

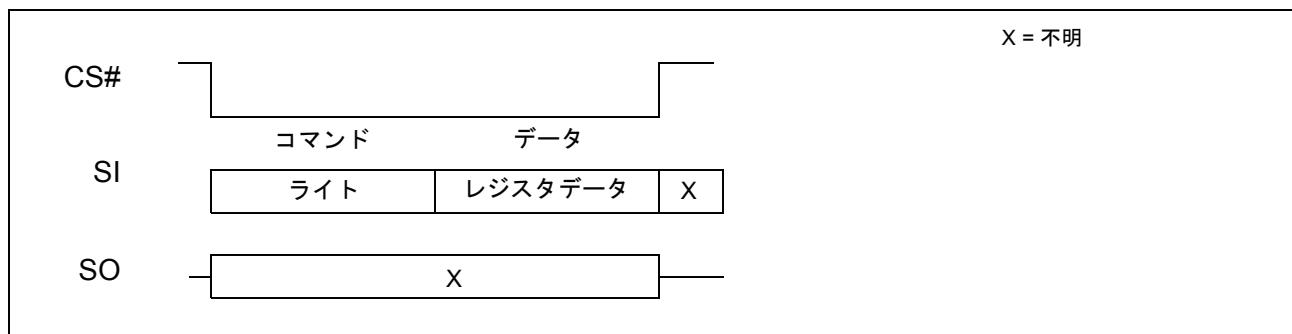


図 17-14: 単一のレジスタデータのライト

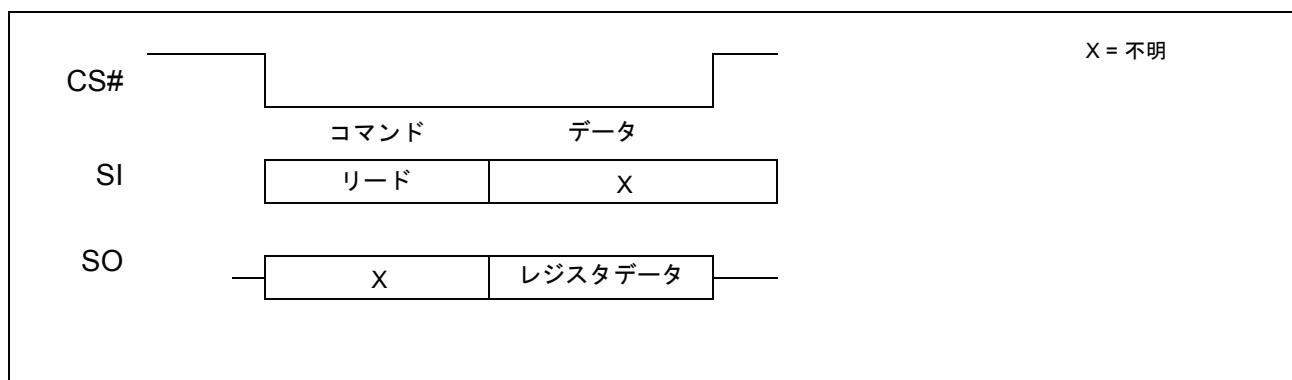


図 17-15: 単一のレジスタデータのリード

連続したアドレスに対してデータを書き込んだり読み出したりすることができます。各データを書き込んだ後、あるいは読み出した後、内部レジスタアドレスは、CS#がLOWの状態である間、次のアドレスに向けて2ずつインクリメントされます。

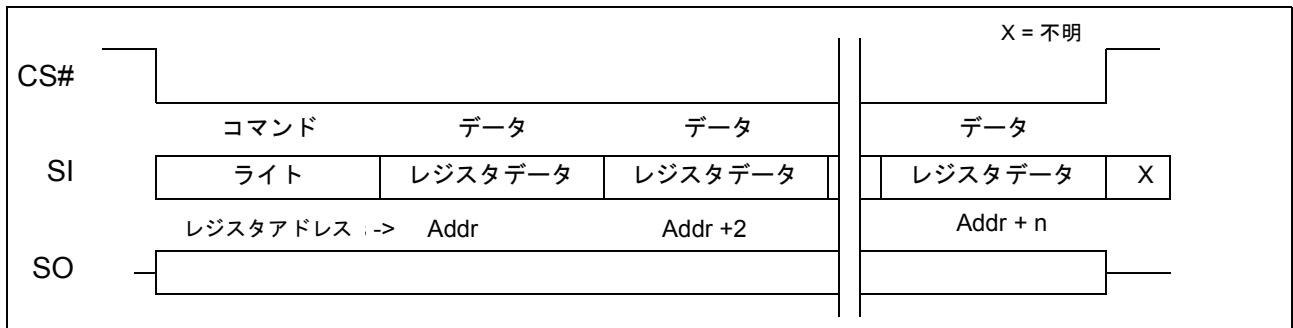


図 17-16: 複数のレジスタデータのライト

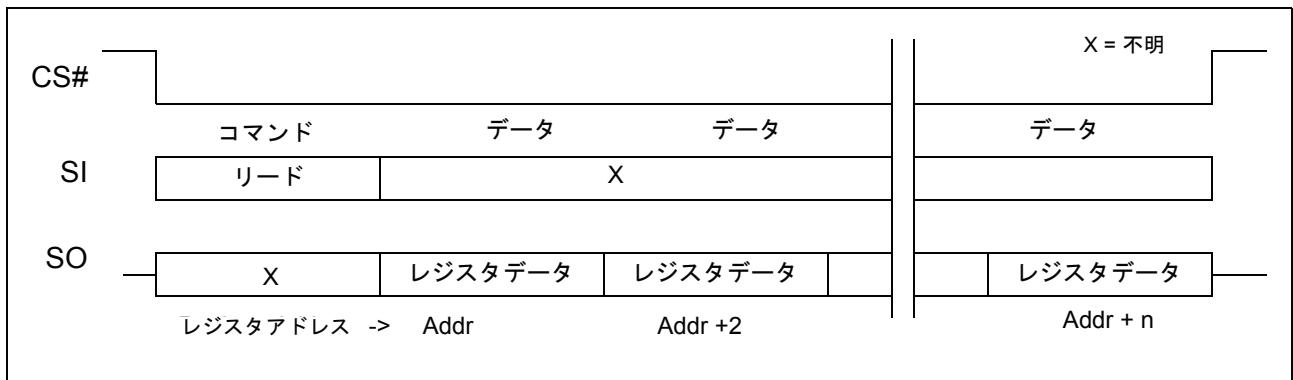


図 17-17: 複数のレジスタデータのリード

18. パラレル RGB インタフェース入力

パラレル RGB インタフェース入力が、CNF 設定を使用してイネーブルになっているとき、ホスト入力サイズのレジスタは、パラレル RGB インタフェースのタイミングから自動的に決定されます。表示出力サイズのレジスタは、シリアルインターフェースによってプログラムされます。

標準的なパラレル RGB インタフェースでは、入力スケーラとディスプレイ出力スケーラが、電源投入後に一度だけ設定されます。ホスト入力サイズは常に同じ（パラレル RGB 表示の解像度と同じ）であるため、これらの設定は、以降のすべての動作で機能します。

パラレル RGB インタフェースは、水平同期、垂直同期、およびデータイネーブル信号とともに 18 ビット RGB データを受け入れます。RGB データは、直接 TV に供給されます。

注

パラレル RGB インタフェースを選択するときには、以下の制限を満たす必要があります。そうでない場合はダブルバッファを使用しないでください。

- 入力フレームレートは、出力（表示フレームレート）の半分よりも低くする必要があります。
- 入力データバーストは、出力フレーム期間よりも短くする必要があります。

18.1 幅と高さの自動検出

パラレル RGB インタフェースは、入力画像の幅と高さを自動検出することができます。デフォルトでは、自動検出はイネーブルになっています。パラレル RGB インタフェースが同じ高さのフレームを 10 フレーム検出した場合、その幅と高さで入力サイズのレジスタを設定し、11 番目のフレームとそれ以降のすべてのフレームを TV に出力します。

ホストが入力サイズのレジスタのいずれかに書き込んだ場合、自動検出はディセーブルとなり、その後に書き込まれるあらゆる画像データは、直ちに TV に送出されます。

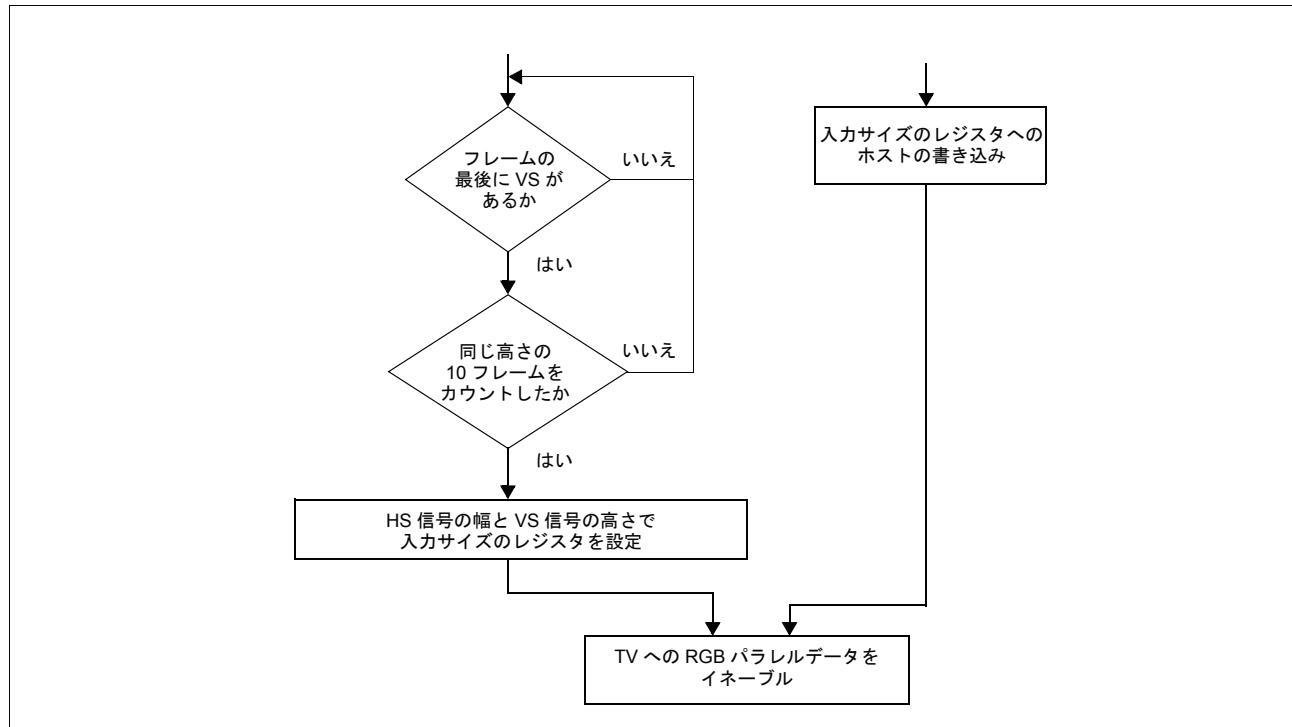


図 18-1: 幅と高さの自動検出フロー

19. VBI とワイドスクリーンの信号送出機能

S1D13746 は、以下の 4 種類の VBI/WSS 規格をサポートしています。

- ETSI EN 300 294
- ITU-R BT1119-2
- IEC 61880
- CEA-608-B

上記の規格は、TV 出力の垂直ブランク期間 (VBI) の間に、データを伸長する機能を持つ TV 受信機にデジタル情報を送信する方法を規定するものです。

VBI 信号が挿入される特定のライン番号は、TV の出力規格によって決まります。詳細については、表 19-1 「VBI の位置」を参照してください。

ラインシーケンスは、625 ラインシステム (PAL-B/D/G/H/I/Nc) では ITU-R BT.470-6 を、525 ラインシステム (PAL および NTSC-M) では SMPTE を基準にしています。

表 19-1: VBI の位置

| VBI 規格 | | TV 規格 | | | 説明 |
|------------------------------------|--------|-----------------------|--------------------|-----------------------|--|
| | | NTSC (525 ライン) | PAL-M (525 ライン) | PAL-その他 (625 ライン) | |
| ETSI EN 300 294 V1.4.1 | ライン位置 | — | — | 23 | WSS のみ 625 ラインシステム専用に規定 BT.1119-2 と同様 |
| | ピット | — | — | 14 | |
| | コーディング | — | — | Bi-phase | |
| ITU-R BT.1119-2 (2004 年 4 月に実装) | ライン位置 | 22 と 285 | 22 と 285 | 23 | WSS 専用 PAL-M については規定なし (525 ラインシステム : NTSC として動作) |
| | ピット | 24 | 24 | 14 | |
| | コーディング | NRZ + SC 変調 | NRZ + SC 変調 | Bi-phase | |
| CEI 61880 | ライン位置 | 20 と 283 | — | — | WSS + CGMS + APSF または PAL については規定なし |
| | ピット | 20 | — | — | |
| | コーディング | NRZ | — | — | |
| CEA-608-B | ライン位置 | 21/284 | — | 22/335 | クローズドキャプションと拡張データサービス (WSS + CGMS + APS) PAL については規定なし PAL-M については規定なし |
| | ピット | 14 x 2 (2 x 7 x 2) | — | 14 x 2 (2 x 7 x 2) | |
| | コーディング | NRZ | — | NRZ | |

ETSI EN 300 294、ITU-R BT1119-2、および IEC 61880 の場合、VBI データは、上記の規定したラインに送出されます。VBI データは、REG[42h] ~ REG[48h] でプログラミングされ、レジスタビットマッピングは、レジスタの説明で規定されています。

CEA-608-B の場合、この規格は VBI データを送信するためのプロトコルを定義しており、REG[4Ah] ビット 1 で規定されるように 2 種類の動作モードがあります。

- 自動 WSS + CGMS + APS
- 手動モード

19.1 CEA-608-B の自動モード

自動モードでは、REG[42h] ~ REG[48h] のレジスタにプログラムされたデータは、規格で定められたプロトコルに準拠し、フィールド 2 (ライン 284 または 385) で繰り返し送出されます。このモードでは、REG[42h] ~ REG[48h] のレジスタのレジスタビットマッピングに記載された情報だけがサポートされます。

CEA-608-B データは、連続する 8 つの TV フレーム (16 フィールド) 用に規定された VBI ラインのフィールド 2 上で 16 ビットのバイナリシーケンスとして (LSB から) 送信されます。CEA-608-B のデータ転送の間、規定されたラインのフィールド 1 にはゼロデータが含まれます。CEA-608-B のデータ転送の間、フィールド 2 には、153 ページの表 19-2 「CEA-608-B の自動 WSS + CGMS + APS データフォーマット」で定められたフォーマット済みデータが含まれます。

注

CEA-608-B 自動モードのフィールド 1 (ライン 21/22) 上の CEA-608-B データには、常にゼロデータのダミーパケットが含まれます。

VBI データのリフレッシュレートは、レジスタの説明で定義されているとおり、REG[48h] ビット 2 ~ 0 によって決まります。

表 19-2: CEA-608-B の自動 WSS + CGMS + APS データフォーマット

| | ビット | | | | | | | | ビット | | | | | | | | 特性 | |
|-----------------------------------|-----|-----------|-----------|--------------|--------------|----|---|------|-------|-------|-------|-------|-------|-------|-------|------|-----------------------|-----------------------|
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | パリティ | 0 | 1 | 2 | 3 | 4 | 5 | 6 | パリティ | バイト 0 | バイト 1 |
| XDS 開始電流 プログラム: アスペクト比情報 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 01h | 89h |
| アスペクト比情報: 開始 / 終了ライン | S0 | S1 | S2 | S3 | S4 | S5 | 1 | x | E0 | E1 | E2 | E3 | E4 | E5 | 1 | x | REG[42h] ビット [5:0] | REG[44h] ビット [3:0] |
| アスペクト比情報: その他 | Q0 | x | x | x | x | x | 1 | x | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | REG[44h] ビット 4 | 80h |
| 終了とチェックサム | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | x | x | x | x | x | x | x | x | 8Fh | チェックサム バイト |
| XDS 開始電流 プログラム: CGMS (アナログ) | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 01h | 08h |
| CGMS (アナログ) | ASB | APS B0 | APS B1 | CGMS -AB0 | CGMS -AB1 | 0 | 1 | x | (注 1) | 1 | REG[46h] ビット [1:0] | REG[46h] ビット [7:2] |
| 終了とチェックサム | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | x | x | x | x | x | x | x | x | 8Fh | チェックサム バイト |
| ゼロデータダミー | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 80h | 80h |

注

1. このビットは予約されています。

19.2 CEA-608-B の手動モード

ホストは、VBI のデータとタイミングを直接制御しています。したがってユーザーは、CEA-608-B 規格に準拠した、任意のタイプのデータ送信をサポートすることができます。このモードでは、ホストは、TV フレームの VSYNC 期間にのみレジスタ REG[42h] ~ REG[48h] をプログラムするので、データは、次のフィールドの先頭で送出されます。これは、REG[4Ah] ビット 4 をポーリングすることで実行できます。データをプログラムした後、ホストは、REG[4Ah] ビット 3 やビット 2 に 1 を書き込むことにより、VBI データをトリガして指定したフィールド上に出力することができます。

20. 標準的な使用例の説明

20.1 S1D13746 の初期化

S1D13746 は、CLKI に使用する入力クロックの周波数に基づいて初期化されます。CLKI は、PLL のソースとして使用されますが、TV タイミングクロックと TV DDS クロックのソースとして使用することもできます。S1D13746 のクロックの詳細については、54 ページの 9.「クロック」を参照してください。

S1D13746 を初期化するには、以下のステップが必要となります。

- ・「CLKI 入力」と「PLL への入力クロック」との間の分周比を制御する M-Divide を設定する。
- ・PLL の出力周波数 (MHz) を決定する L-Counter を設定する。
- ・TV タイミングクロックソースを設定する。
- ・TV DDS クロックソースを設定する。
- ・スリープモードをディセーブルにする。
 - ・スリープモードをディセーブルにする前に、PLL を正しく設定する必要があります。
- ・PLL 出力が安定しているかどうかを確認する。
 - ・同期レジスタにアクセスできるようになるには、このステップを実行しておく必要があります。
- ・TV ブロックに必要なクロックを構成する「TV 入力クロックの設定」を選択する。
- ・TV 表示用の画像データをプログラムする (159 ページの 20.2 「TV 表示用の画像の書き込み」)。
- ・TV インタフェースをイネーブルにする。

プログラミングフローの例については、156 ページの 20.1.1「初期化のフローチャート」を参照してください。

20. 標準的な使用例の説明

20.1.1 初期化のフローチャート

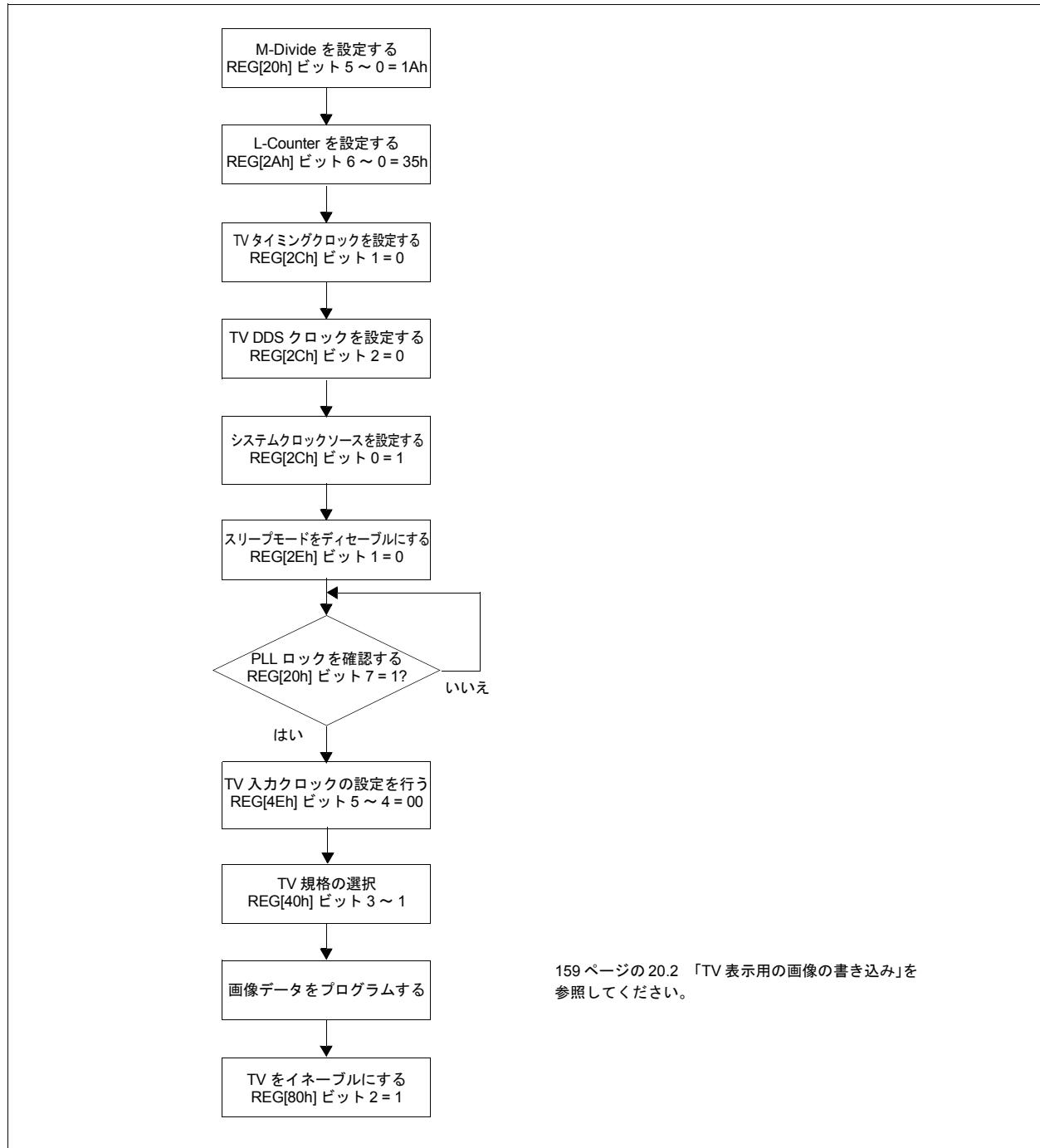


図 20-1: SID13746 の初期化 (CLKI = 27MHz の場合)

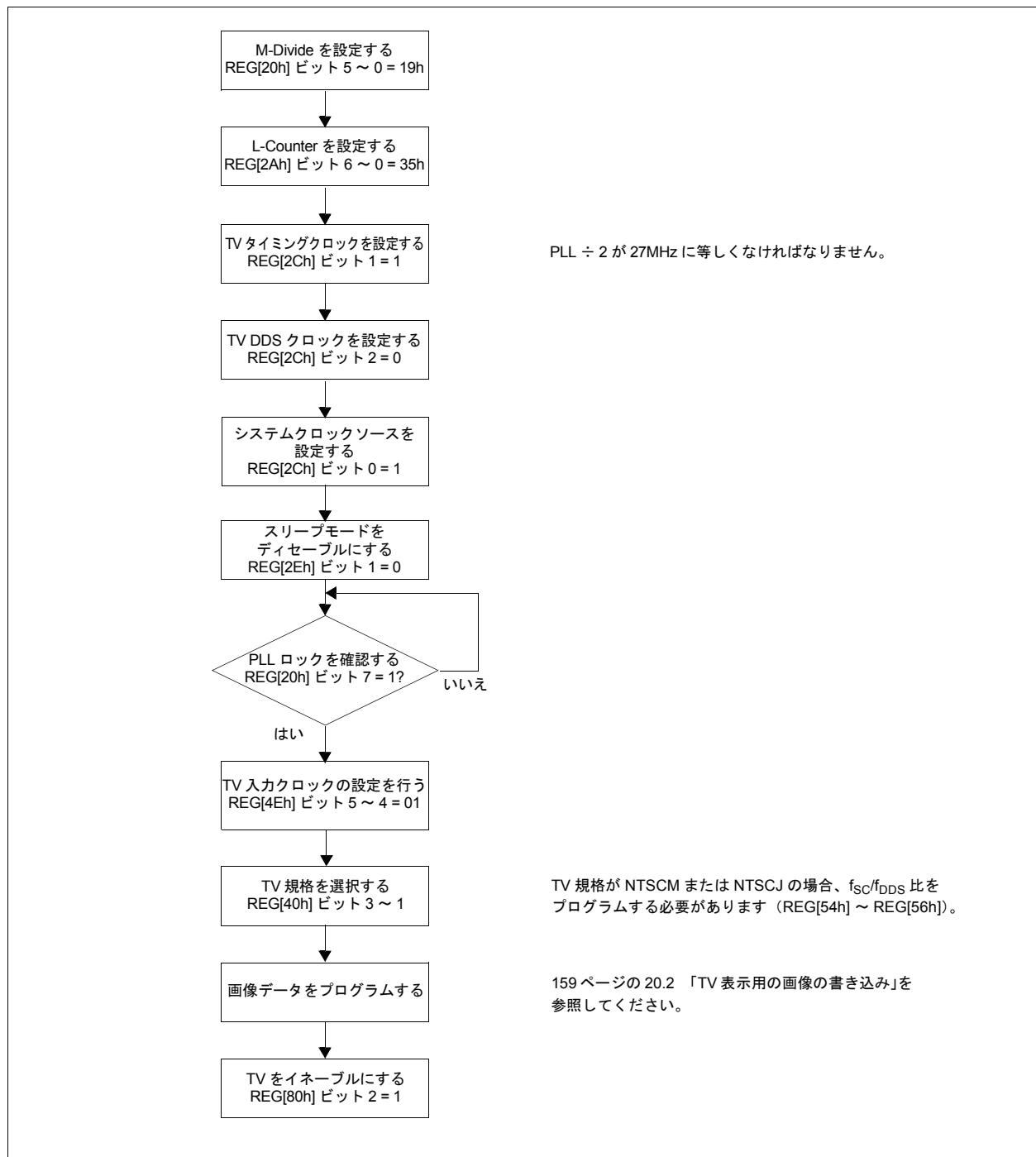


図 20-2: SID13746 の初期化 (CLKI = 26MHz の場合)

20. 標準的な使用例の説明

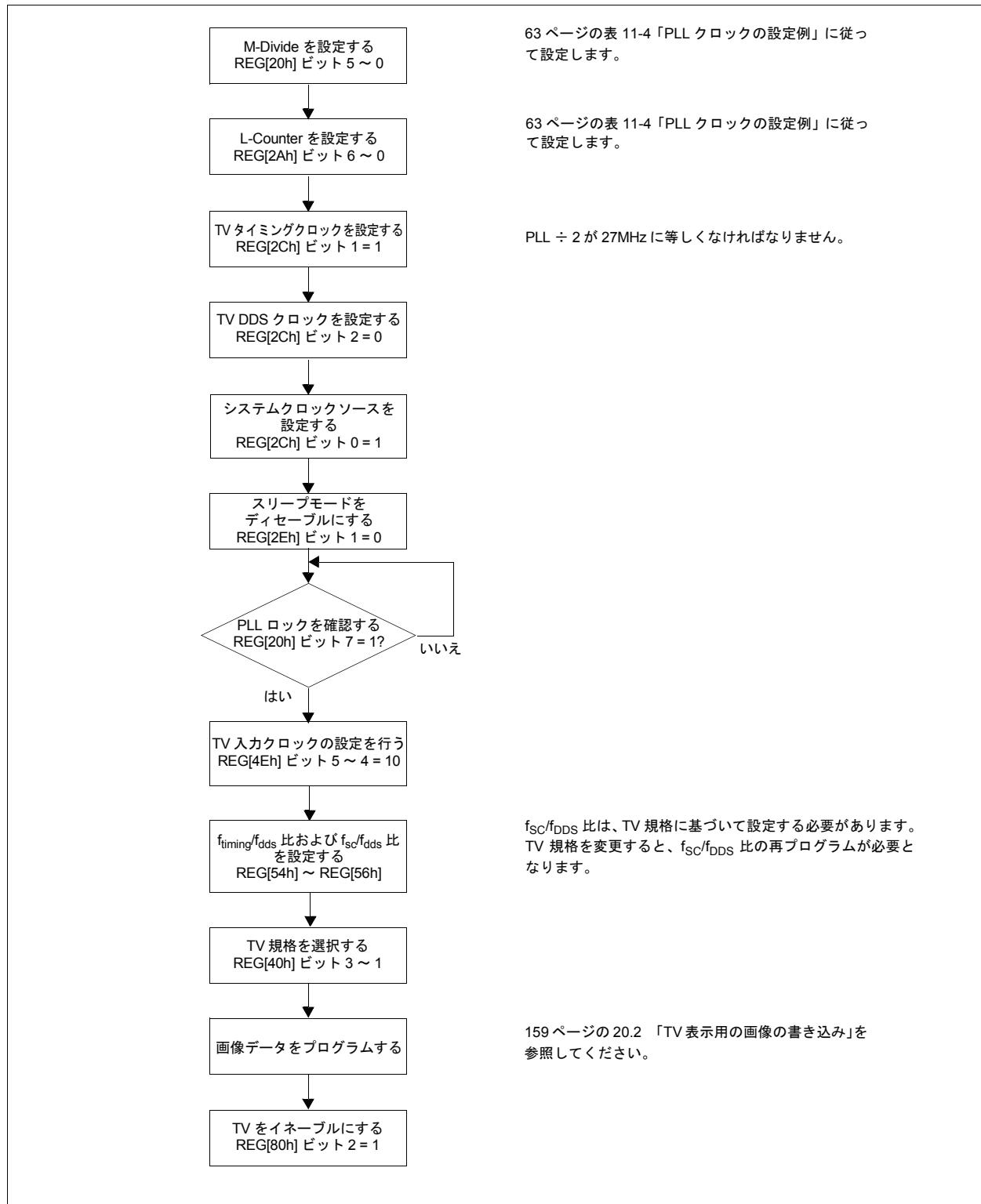


図 20-3: SID13746 の初期化 ($18MHz \leq CLKI \leq 27MHz$)

20.2 TV 表示用の画像の書き込み

单一または複数の画像をディスプレイに書き込む場合、そのうちの1つは「背景画像」(REG[62h] ビット5)と見なす必要があります。入力縮小率が自動的に計算されて、この背景画像が利用可能なメモリに収まるようになります。オーバーレイとして上に重ね合わせて表示されるその後の入力画像はすべて、背景とのアスペクトを維持するために同じ入力縮小率を自動的に使用します。

- ホスト入力データフォーマットを設定する
- 必要に応じて Special Effects レジスタを設定する。ダブルバッファをイネーブルにしたまま、ウィンドウデータタイプを「ストリーミング」から「スタティック」に変更した場合、ホスト入力サイズと表示出力サイズ / 位置レジスタの後に Special Effects レジスタを設定する必要があります。
 - ウィンドウデータタイプ
 - 背景画像 (背景画像の場合、自動入力縮小率がラッチされ、その後のすべての画像に使用されます)
 - ダブルバッファ
 - 透明性
 - ウィンドウの回転
- ホスト入力サイズを設定する
- 表示出力サイズ / 位置を適宜設定する
 - 書き込むウィンドウが背景画像の場合、出力位置レジスタを0に設定する必要があります。
 - 書き込むウィンドウがオーバーレイの場合、出力の高さ / 幅レジスタは無視されます。
 - ウィンドウが背景で、表示出力サイズが PAL または NTSC で定義されたフルスクリーン解像度と等しくない場合、境界が自動的に生成されます。
- ウィンドウデータを書き込む

20. 標準的な使用例の説明

20.3 使用例のフローチャート

20.3.1 ホストによる背景の書き込み

以下のフローチャートは、静止背景ウィンドウをプログラムする方法の例です。デバイスの初期化時や、背景全体を再描画する必要があるときはいつでも、この方法で背景画像をプログラムすることができます。別の入力 / 出力座標を使用して、背景を再プログラムする必要がある場合、新しい座標を設定する前に、TV 表示ブランクビット (REG[80h] ビット 3) を使用して表示をブランクにする必要があります。

ストリーミング背景ウィンドウが必要な場合、162 ページの図 20-6 「ストリーミング背景」を参照してください。

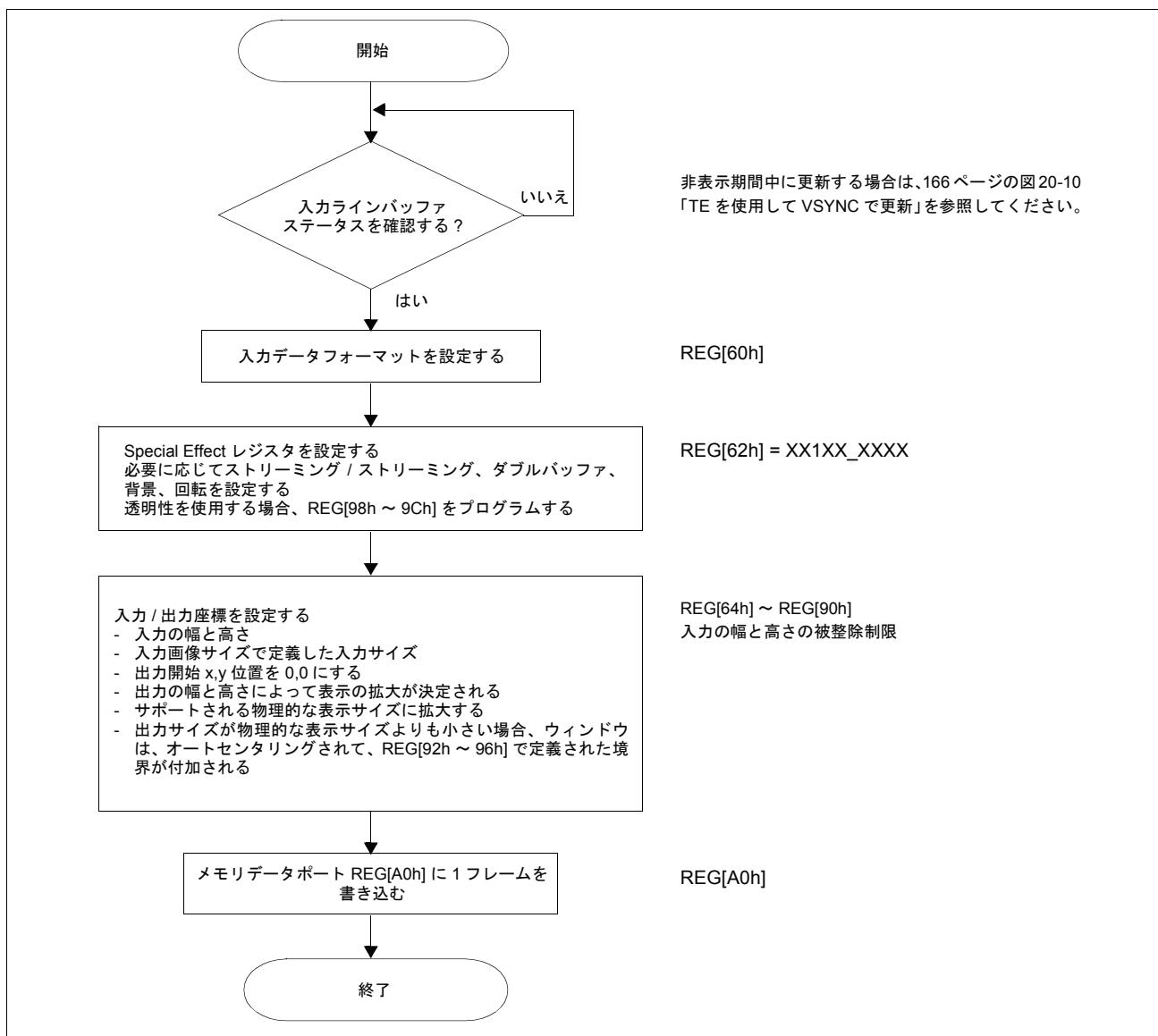


図 20-4: ホストによる背景の書き込み

20.3.2 ホストによるオーバーレイの書き込み

以下のフローチャートは、静止オーバーレイウィンドウをプログラムする方法の例です。背景ウィンドウの拡大率はオーバーレイウィンドウの拡大にも使用されるので、オーバーレイウィンドウをプログラムする前に、背景ウィンドウを設定してプログラムしておく必要があります。

ストリーミングオーバーレイウィンドウが必要な場合、163 ページの 20.3.4 「背景とストリーミングオーバーレイ」を参照してください。

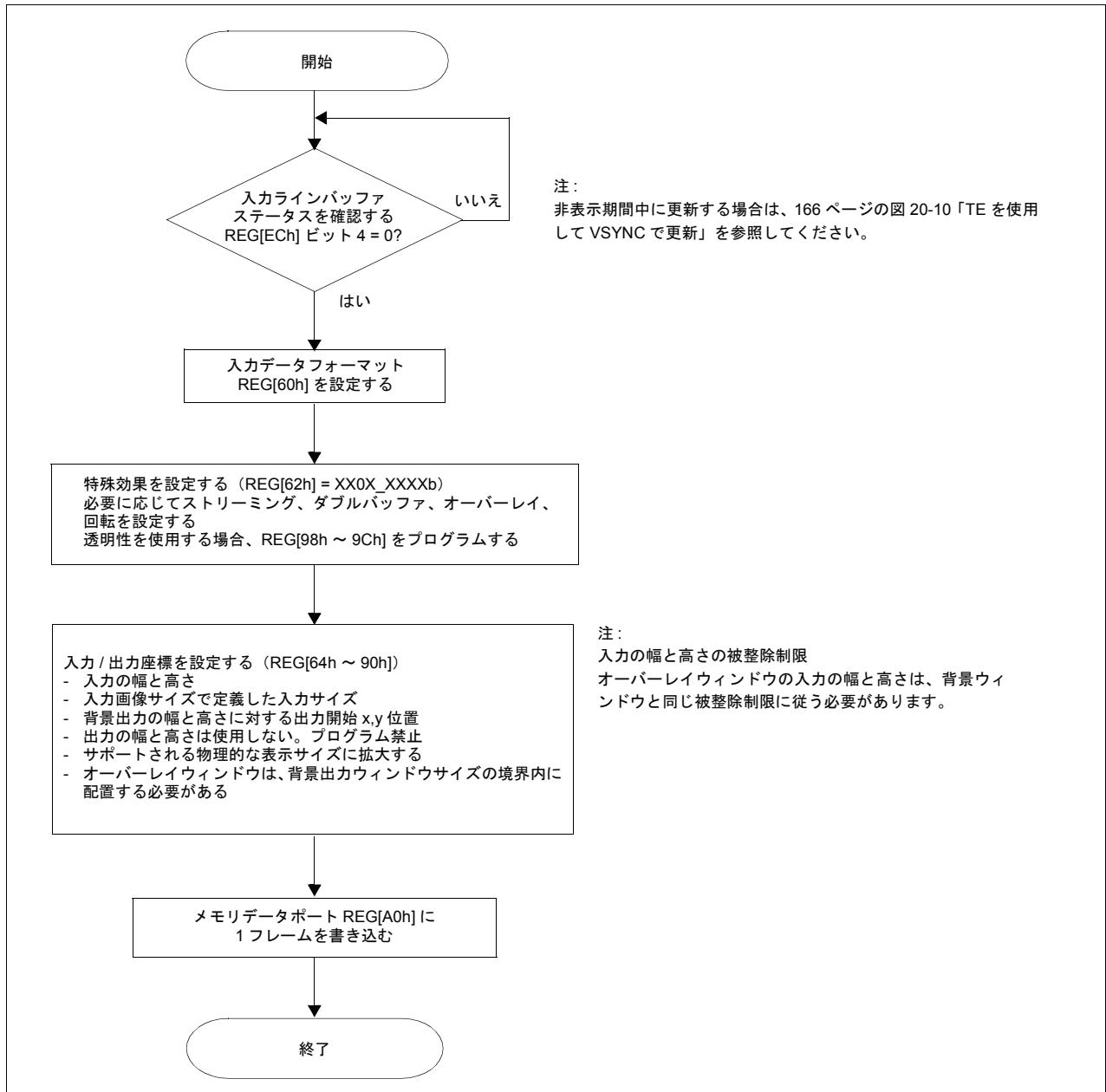


図20-5: ホストによるオーバーレイの書き込み

20. 標準的な使用例の説明

20.3.3 ストリーミング背景

以下のフローチャートは、ストリーミング背景ウィンドウをプログラムする方法の例です。背景画像を連続して更新するときに、この方法を使用する必要があります。別の入力 / 出力座標を使用して、背景を再プログラムする必要がある場合、新しい座標を設定する前に、TV 表示ブランクビット (REG[80h] ビット 3) を使用して表示をブランクにする必要があります。

静止背景ウィンドウが必要な場合、160 ページの図 20-4 「ホストによる背景の書き込み」を参照してください。

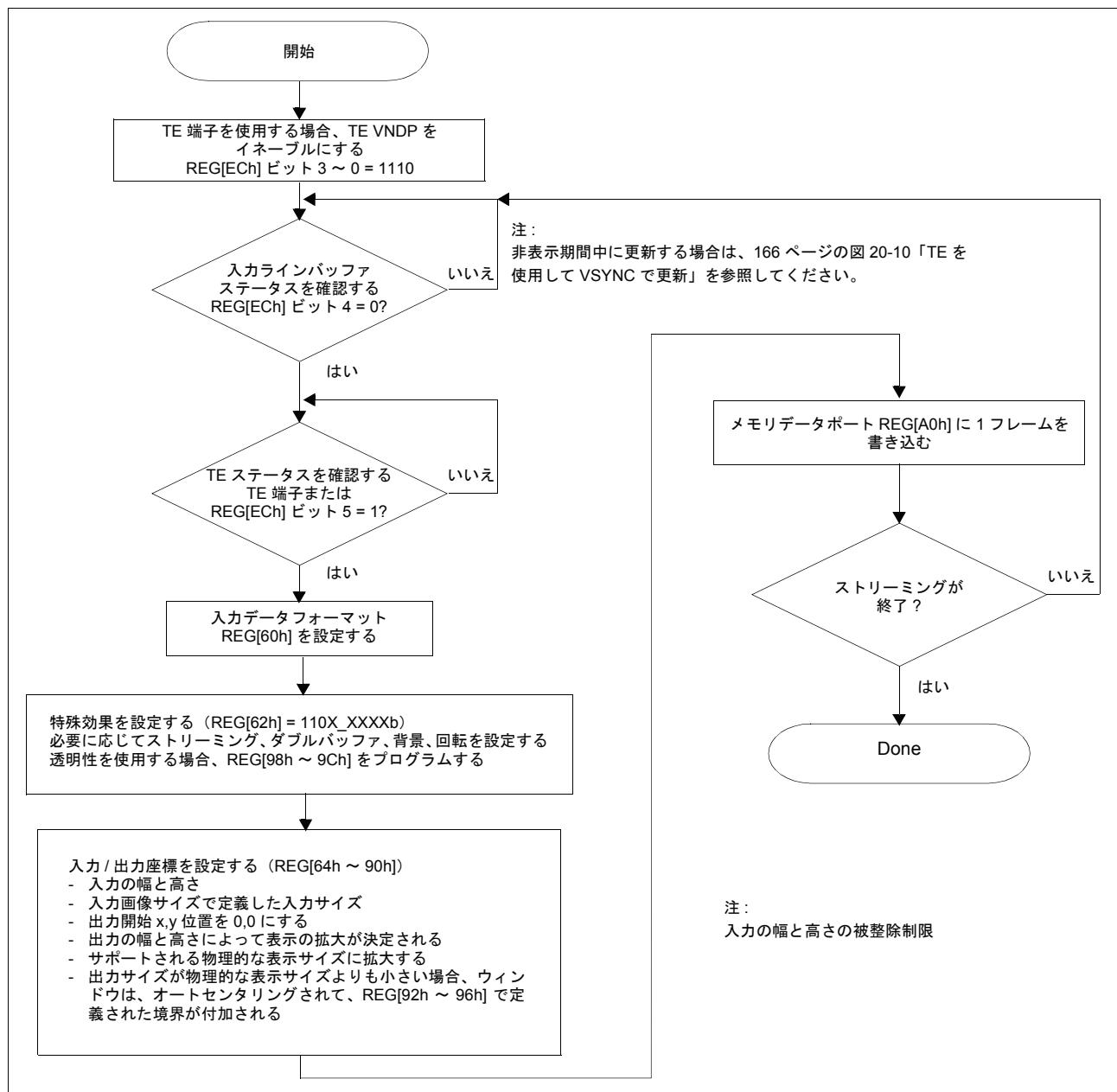


図 20-6: ストリーミング背景

20.3.4 背景とストリーミングオーバーレイ

以下のフローチャートは、静止背景をストリーミングオーバーレイウィンドウとともにプログラムする方法の例です。

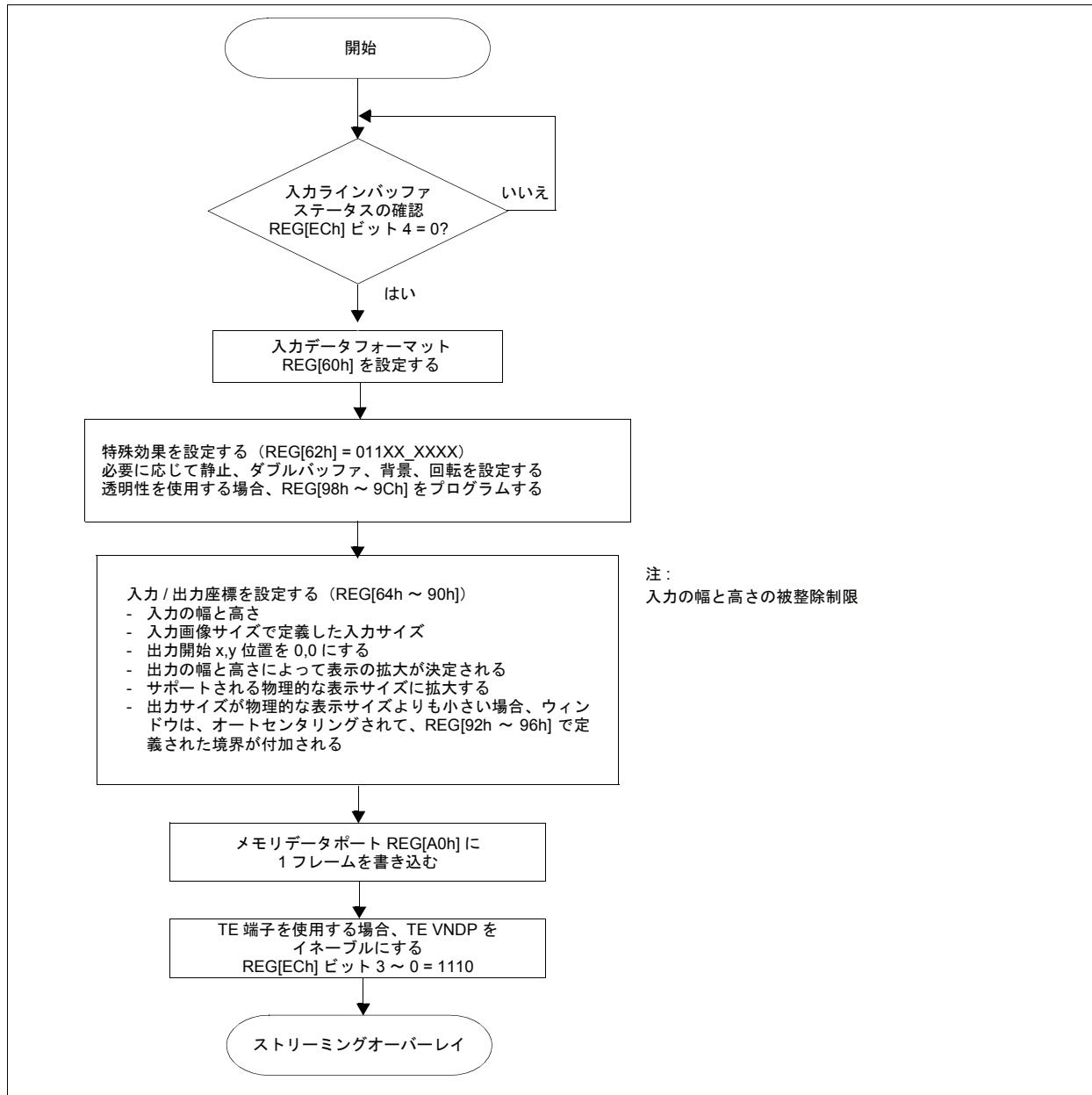


図 20-7: 背景とストリーミングオーバーレイ (1/3)

20. 標準的な使用例の説明

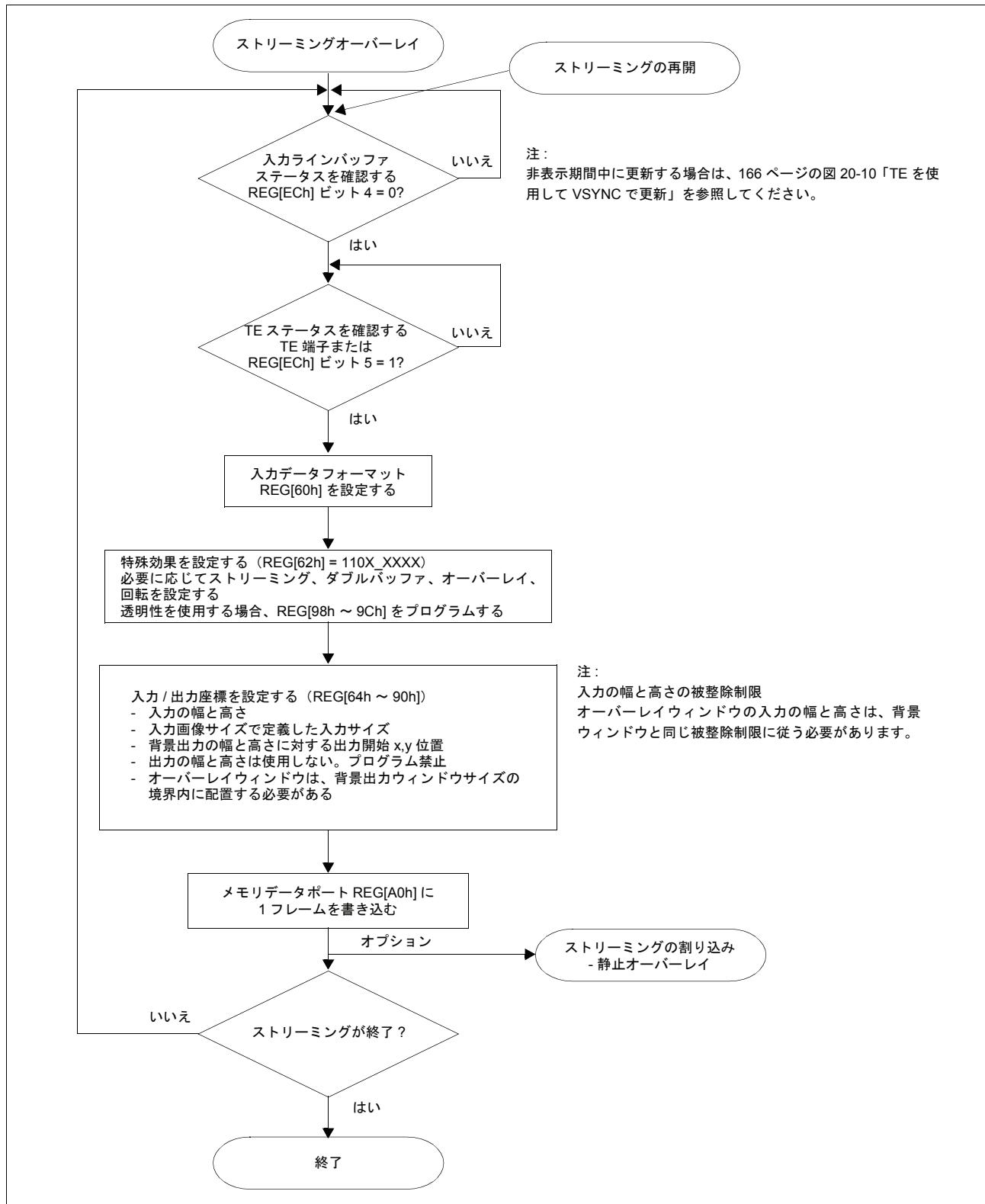


図 20-8: 背景とストリーミングオーバーレイ (2/3)

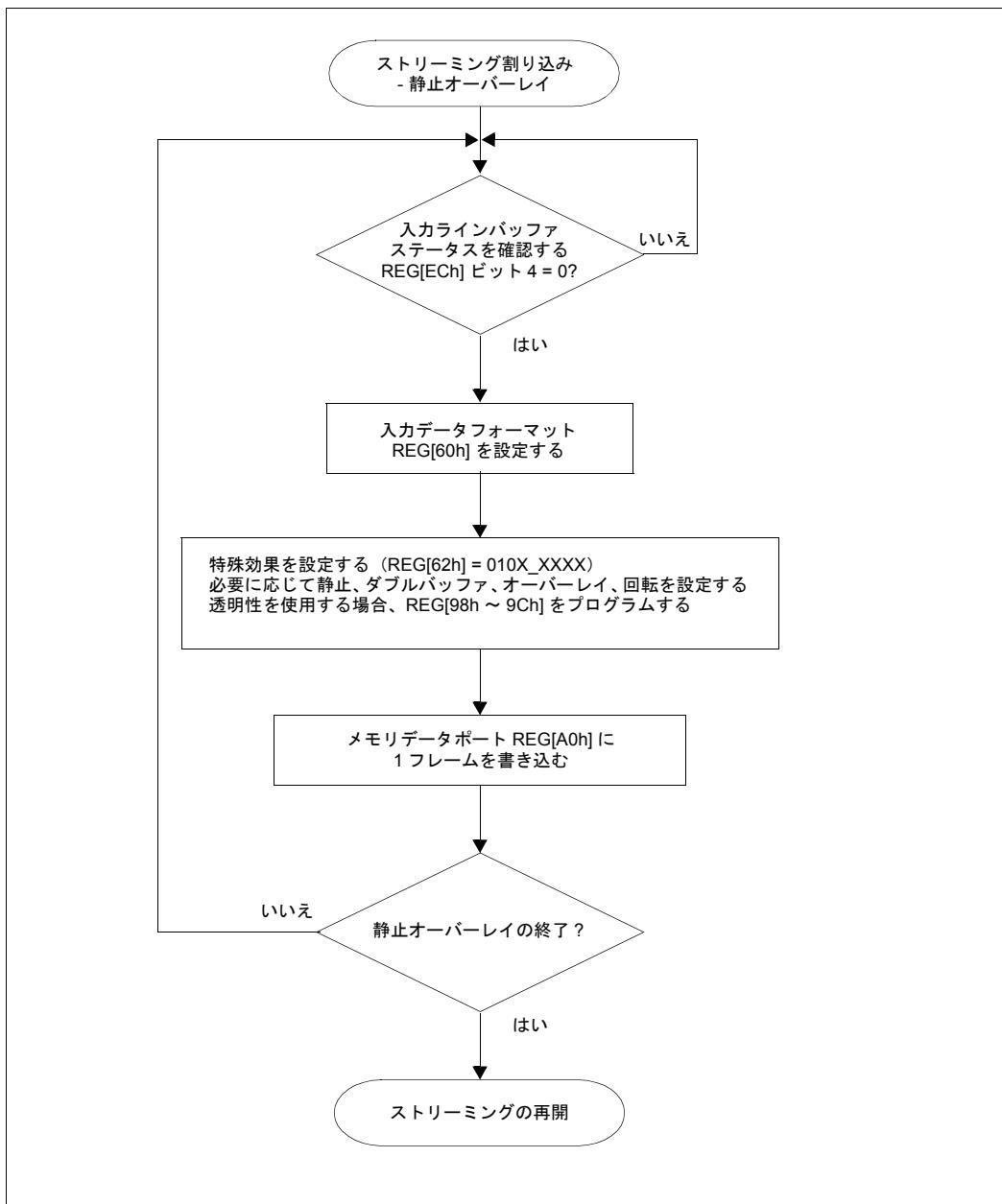


図20-9: 背景とストリーミングオーバーレイ (3/3)

20. 標準的な使用例の説明

20.3.5 TE を使用して VSYNC で更新

以下のフローチャートは、TE を使用して VNDP の間に更新を行う方法の例です。TE および利用可能なさまざまなオプションの使用の詳細については、REG[ECh] のビット説明を参照してください (110 ページの 11.3.8「その他のレジスタ」を参照)。

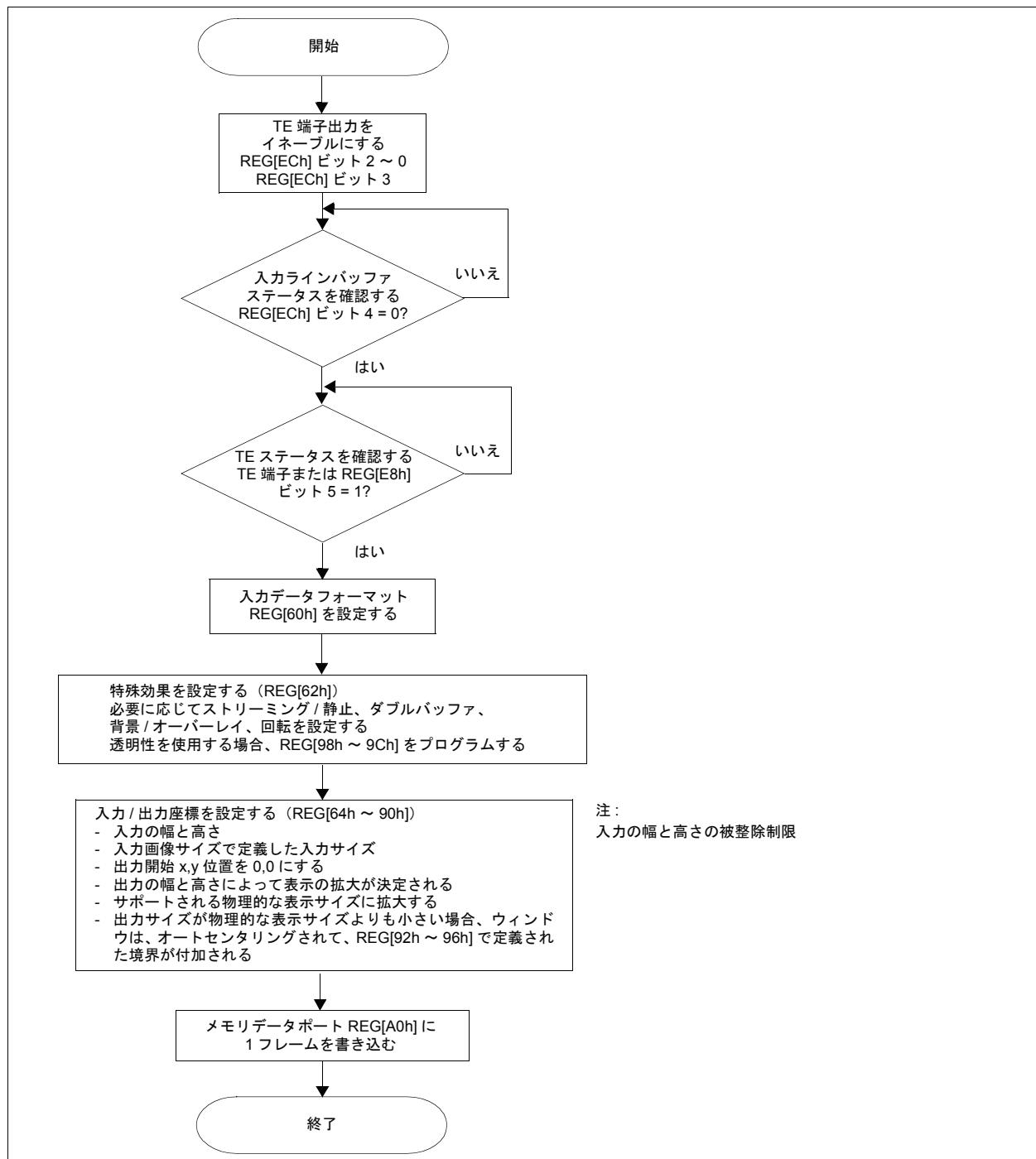


図 20-10: TE を使用して VSYNC で更新

20.4 例：TV ウィンドウのダブルバッファ処理のイネーブル

この例は、destructive window を開き、そのウィンドウをダブルバッファの対象として処理し、ストリーミング入力を受け入れる方法を示しています。また、ユーザーインターフェース（静止背景画像）を更新できるように、そのウィンドウをディセブルにする方法も示しています。

背景ウィンドウの書き込み

- 入力データフォーマットを設定する
- Special Effect レジスタを適宜設定する
 - ウィンドウの回転
 - ダブルバッファイネーブル = 1
 - ウィンドウデータタイプ = 0
- ホスト入力サイズと表示出力サイズ / 位置を設定する
- 背景ウィンドウデータを書き込む
- 入力ビジーステータス = 0 を待機する

ストリーミングウィンドウの書き込み

- 入力データフォーマットを設定する
- Special Effect レジスタを適宜設定する
 - ウィンドウの回転
 - ダブルバッファイネーブル = 1
 - ウィンドウデータタイプ = 1
- ホスト入力サイズと表示出力位置を設定する
- ストリーミングウィンドウデータを連続して書き込む（フレーム間で入力ビジーステータス = 0 であることが必要）

ストリーミングに割り込みをかけて静止データを更新

- 入力データフォーマットを設定する
- ホスト入力サイズと表示出力位置を設定する
- Special Effect レジスタを適宜設定する
 - ウィンドウの回転
 - ダブルバッファイネーブル = 1
 - ウィンドウデータタイプ = 0
- 静止データを書き込む
- 入力ビジーステータス = 0 を待機する

ストリーミングデータの書き込みの継続

- 入力データフォーマットを設定する
- Special Effect レジスタを適宜設定する
 - ウィンドウの回転
 - ダブルバッファイネーブル = 1
 - ウィンドウデータタイプ = 1
- ホスト入力サイズと表示出力位置を設定する
- ストリーミングウィンドウデータを連続して書き込む（フレーム間で入力ビージーステータス = 0 であることが必要）

注

S1D13746 は、ダブルバッファを利用して、ストリーミング入力の間のティアリングを防止しています。アクティブ表示領域は、完全に書き込まれた後のバッファからのみ読み出されます。この時点でホストは、他方のバッファへ書き込みを行います。ティアリングが発生しないことを保証するため、必要であれば、ダブルバッファと併せて TE 出力端子を使用することができます。

21. ダブルバッファの説明

ダブルバッファは、ストリーミングビデオデータのティアリングを防止するために用意されています。すべての静止（ビデオでない）画像データは、フレームバッファのバッファ1に常に書き込まれます。ビデオが入力されているとき、フレームは、バッファ2とバッファ1に交互に書き込まれます。ビデオデータが入力されているとき、TVに送出される画像の静止部分は、常にバッファ1から取り出されます。ストリーミングビデオウインドウのソースは、バッファ1またはバッファ2のいずれか（最後に更新を完了した方のバッファ）から取り出されます。

ビデオデータをストリーミングするとき、ユーザーは、ビデオデータのフレームの書き込みを終了するたびに、ILB（入力ラインバッファ）がビジーでなくなるまで待機し、かつ次の垂直非表示期間を待ってから次のフレームを書き込む必要があります。これは、最初に ILB ステータス (REG[EC] ビット4) をポーリングしてから TE 端子を使用するか、あるいは TE ステータスピット (REG[ECh] ビット5) をポーリングすることによって実行できます。あるいは、最大入力ビデオフレームレートが TV フレームレートの半分であること、および 1 ビデオフレームを書き込むバースト長が TV フレームの 1 期間よりも短いことをユーザーが保証できれば、垂直非表示期間を確認する必要はありません。

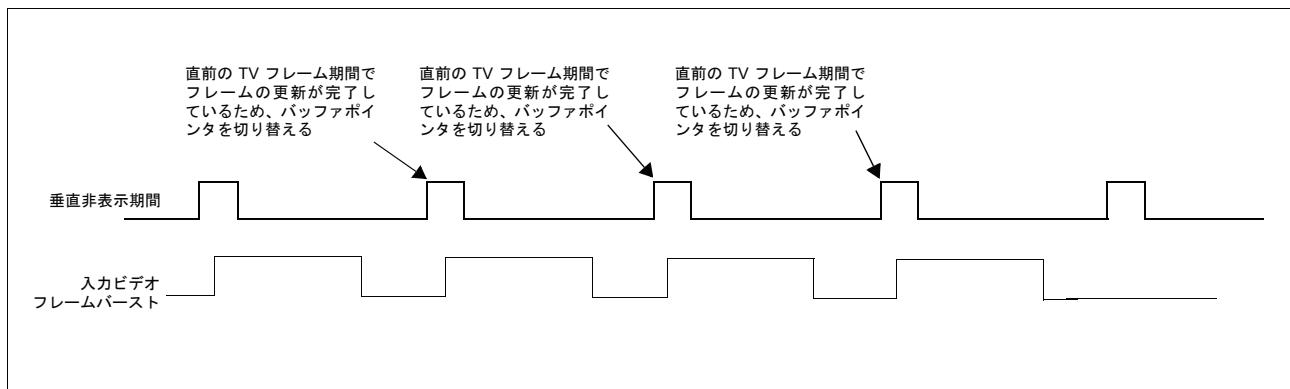


図 21-1: ダブルバッファのストリーミングのタイミング - 推奨する

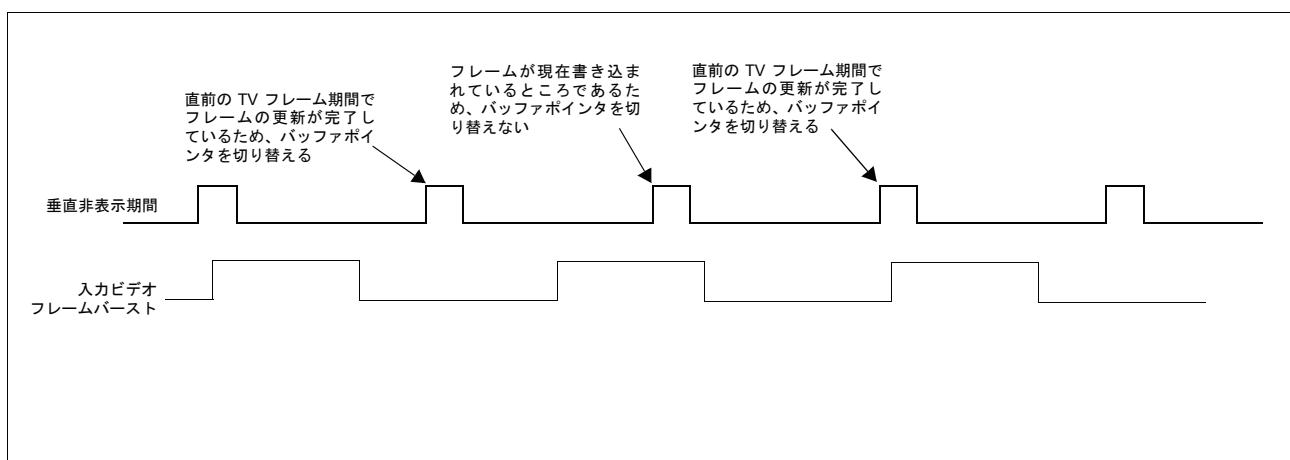


図 21-2: ダブルバッファのストリーミングのタイミング - 推奨しない

21. ダブルバッファの説明

ダブルバッファ機能を使用するには、以下を実行します。

- ILB ステータスを確認する (REG[ECh] ビット 4)。
- TE VNDP ステータスを確認する (TE 端子または REG[ECh] ビット 5)。
- 入力データフォーマット REG[60h] を設定する。
- Special Effect レジスタ REG[62h] ビット 7～6 を 11 に設定する。
- ホストウィンドウサイズ / 位置レジスタ (REG[64h]～REG[6Ah]、REG[82h]～REG[90h]) を設定する。
- ビデオデータのフレームをメモリデータポート REG[A0h] に書き込む。
- その後に続く各フレームをメモリデータポートに書き込む前に、ILB ステータスと TE VNDP のすべてを繰り返し確認する。

ビデオストリームの処理中でも、ダブルバッファがイネーブルであれば静止ウィンドウを更新することも可能です。これには、以下を実行します。

- ビデオデータの現在のフレームの最終ピクセルを書き込む。
- Special Effect レジスタ REG[62h] ビット 7～6 を 01 に設定する。
- 入力データフォーマット REG[60h] を設定する。
- ホストウィンドウサイズ / 位置レジスタ (REG[64h]～REG[6Ah]、REG[82h]～REG[88h]) を設定する。
- 静止データをメモリデータポート REG[A0h] に書き込む。

これにより、ダブルバッファ処理されたウィンドウのティアリングを防止できると同時に、任意の時点で静止画像を書き込むことができるようになります。静止ウィンドウが書き込まれると、ユーザーは、ダブルバッファ機能を使用するための上記のステップを繰り返すことによって、ストリーミングビデオデータの書き込みに戻ることができます。

21.1 ダブルバッファの制限事項

- ストリーミングおよび静止オーバーレイウィンドウがオーバーラップしてストリーミングが停止して、ストリーミングが再開された場合には、ストリーミングオーバーレイウィンドウのデータが静止オーバーレイウィンドウのデータに上書きされます。
- ダブルバッファ処理されたストリーミングオーバーレイウィンドウが停止し、ダブルバッファがディセーブルになると、TVは、最新のフレームまたはその前のフレームを表示します。
- ユーザーは、ビデオデータの書き込みフレーム間の垂直非表示期間を待つか、あるいは最大入力フレームレートがTVフレームレートの半分であることと、ビデオデータのフレームのバーストライトにかかる時間がTVフレームの1期間よりも短いことを保証する必要があります。
- 一度にダブルバッファ処理できるウィンドウは1つだけです。
- ダブルバッファのストリーミングオーバーレイウィンドウでは、ダブルバッファをイネーブルにして背景ウィンドウを作成することが必要となります。
- フレームデータを連続して書き込む前に、入力ラインバッファ(ILB)ステータスがアイドル状態であるかどうかを確認することが必要です。

22. TV フィルタ動作

S1D13746 には、TV ルミナンスとクロミナンス信号のノイズを最小限にするための、固定およびプログラム可能なデジタルフィルタが含まれます。固定フィルタの設定 (REG[52h] ビット 2 = 0) の場合、ルミナンスフィルタの機能は、現在の TV 出力タイプ (REG[40h] ビット 4) と REG[40h] ビット 3 ~ 1 で選択した TV 規格によって決まります。

S ビデオ TV 出力の場合、ルミナンス用の固定フィルタ機能は、4MHz のローパスフィルタです。コンポジット TV 出力の場合、ルミナンス用の固定フィルタ機能は、3.58 または 4.43MHz のノッチフィルタです (いずれであるかは TV 規格の設定 (REG[40h] ビット 3 ~ 1) によって決まります)。

クロミナンス用の固定フィルタ機能は、1.3MHz で 1.5dB、および 3.6MHz で 20dB 以上の減衰を持つローパスフィルタです。

ほとんどのケースにおいて、TV フィルタのデフォルト機能で最適に動作します。ただし、ユーザーが自身のアプリケーション用にフィルタ性能をさらに最適化したい場合、一般的な FIR フィルタ設計ソフトウェアでカスタムフィルタ係数を生成し、インデックス付き間接レジスタ REG[54h] と REG[56h] にプログラムすることができます。

22.1 ルミナンス (Y) とカラー (UV) のカスタムフィルタ係数の生成

ルミナンスとクロミナンスは、対称型 FIR フィルタです。この係数値は、正または負のいずれも可能です。172 ページの図 22-1 「15 タップの正の対称型インパルス応答」を参照してください。

対称型インパルス応答の場合、係数のうち 8 つだけをプログラムする必要があります。残りの 7 つは最初の 7 つの複製です。

同様に、クロミナンスは 15 タップ FIR フィルタで、図 22-1 「15 タップの正の対称型インパルス応答」とよく似ています。対称型インパルス応答の場合、係数のうち 8 つだけをプログラムする必要があります、残りの 7 つは最初の 7 つの複製です。

この係数は、2 の補数で 9 ビット幅です。

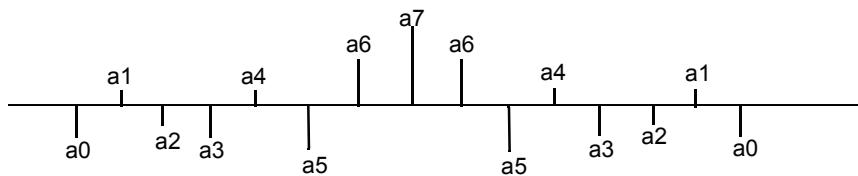


図 22-1: 15 タップの正の対称型インパルス応答

22.1.1 フィルタパラメータ

カスタムの FIR フィルタ値を生成するためには、以下の情報が必要となります。ただし、この情報はユーザーが使用するフィルタ設計ソフトウェアに依存するものであり、ここでは目安として提示しています。

- フィルタのタイプ: ローパス、ハイパス、ノッチ、バンドストップ
- サンプリングクロックの周波数: 13.5MHz (固定)
- タップ数: 15 (Y) と 15 (UV)
- 上側通過帯域: 4MHz
- ストップバンド: 6.2MHz
- 通過帯域リップル: 3dB
- ストップバンド減衰: 60dB

下記の応答曲線は、内蔵の固定機能の TV フィルタの理論的な性能を示しています。

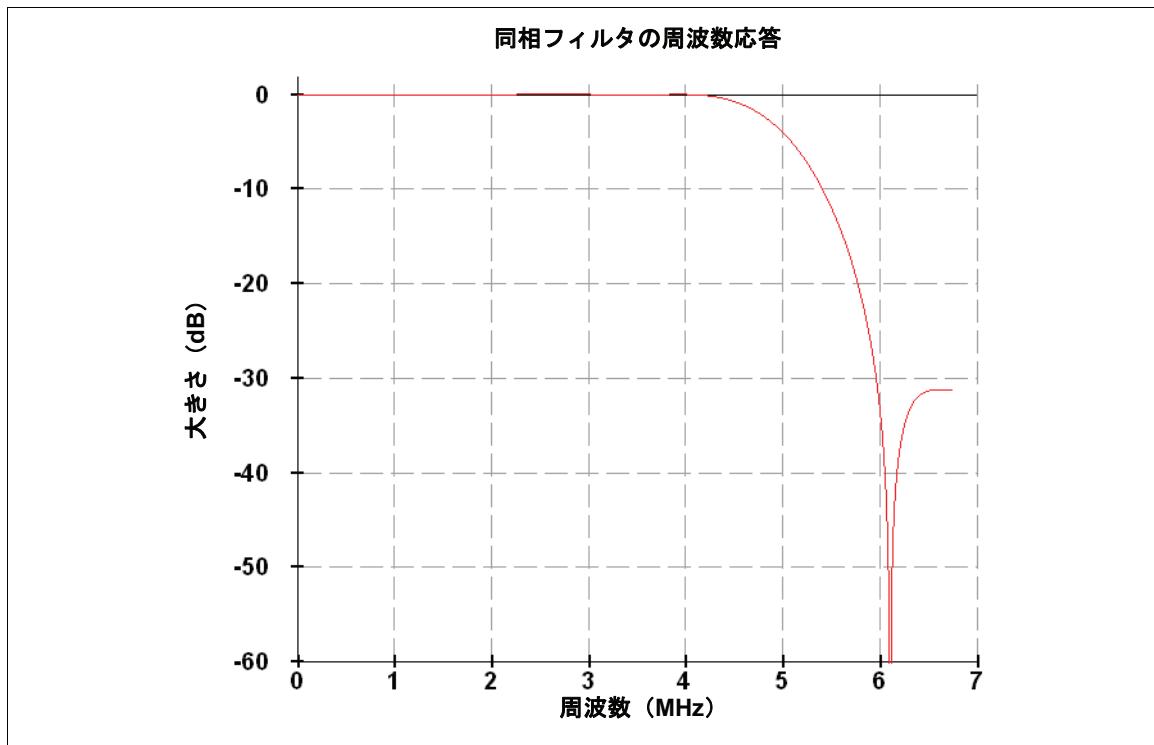


図 22-2: Y 4MHz ローパスフィルタの周波数応答

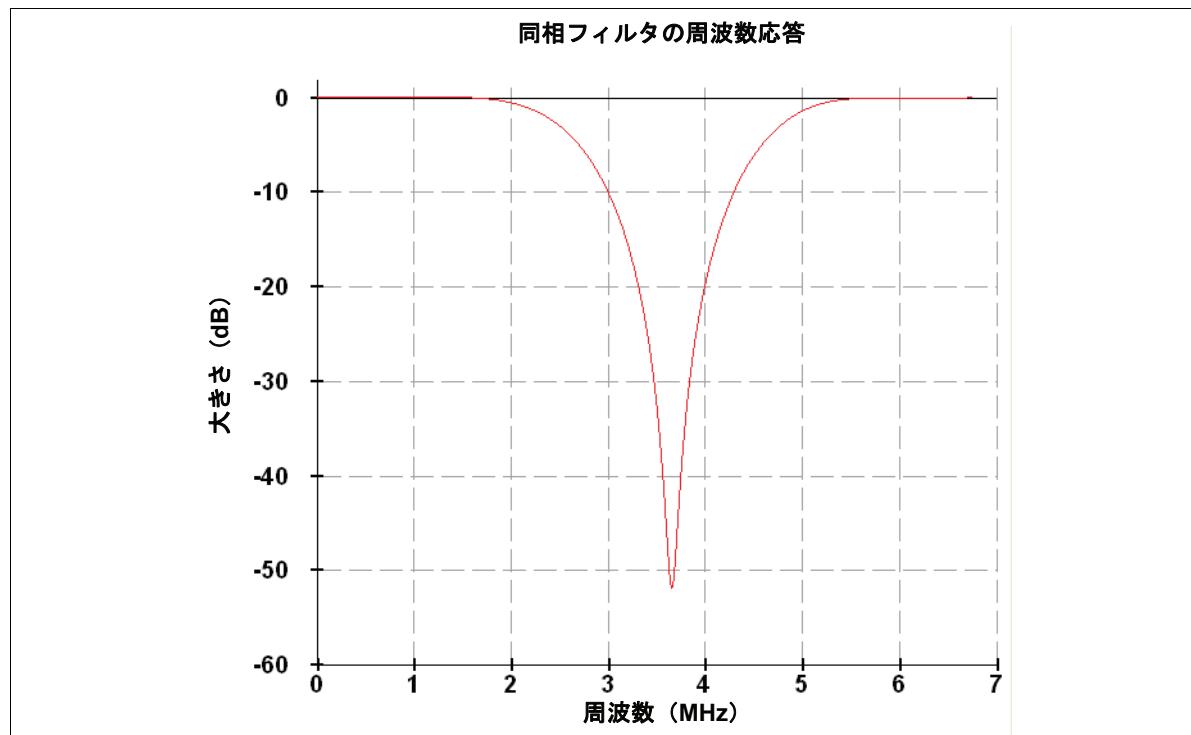


図 22-3: Y ノットフィルタ (@3.58MHz) の周波数応答

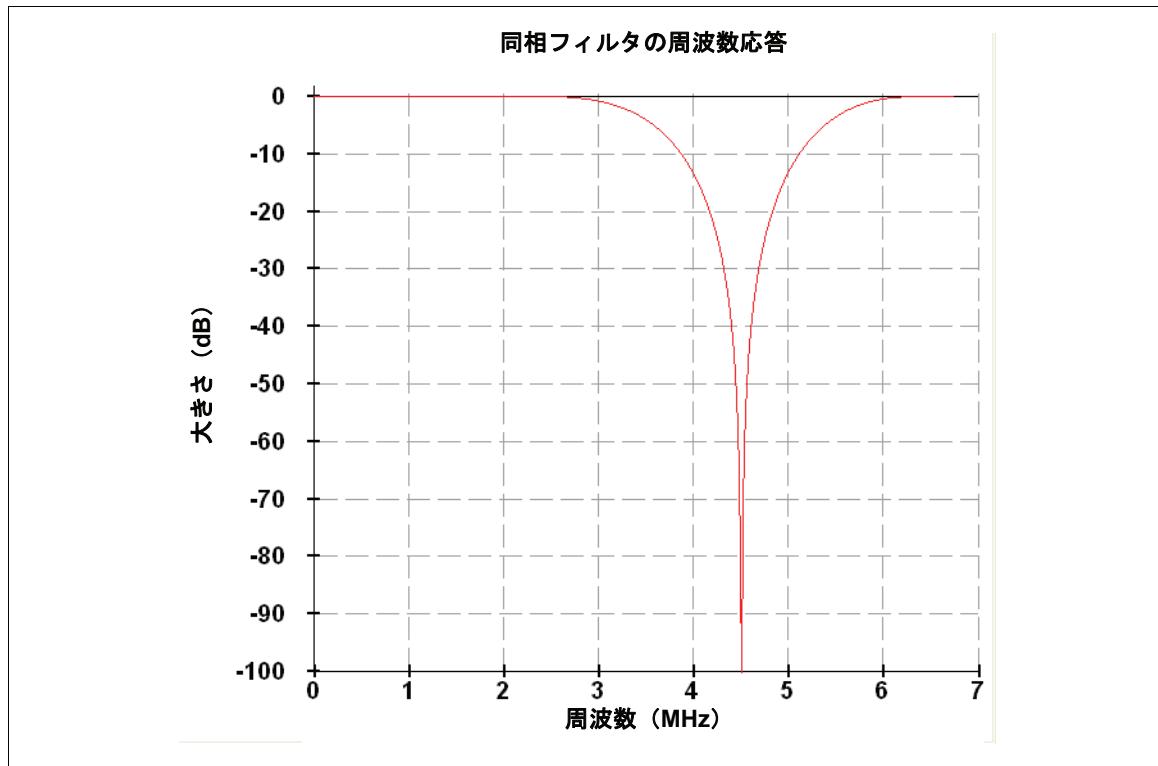


図 22-4: Y ノットフィルタ (@4.43MHz) の周波数応答

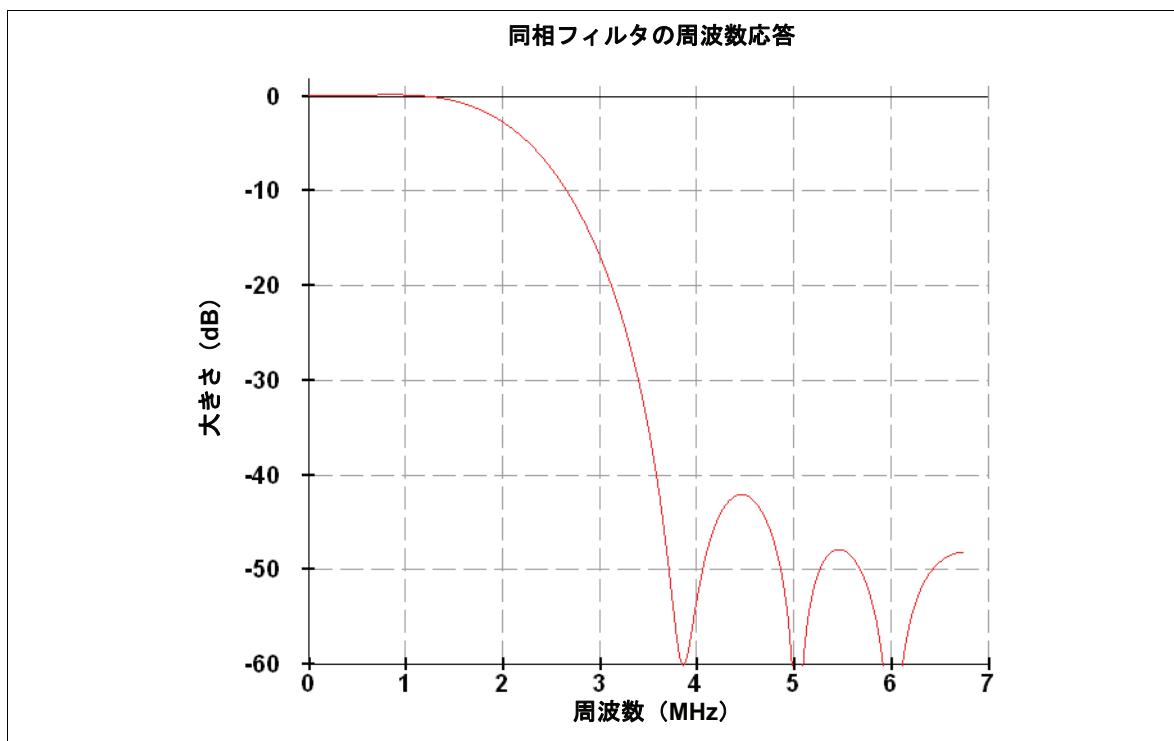


図 22-5: UV フィルタの周波数応答

23. パワーセーブモード

S1D13746B01 は、スリープモードおよびスタンバイモードという 2 つのパワーセーブモードをサポートしています。

23.1 スリープモード

スリープモードは、アナログ TV エンコーダブロックを除く、すべての内部ブロックをディセーブルにします。アナログ TV エンコーダブロックは、スリープモードに移行する前に手動でディセーブルしておく必要があります。このモードは、消費電力が最小になりますが、スリープモードがディセーブルのとき、S1D13746B01 は、PLL が安定するまで約 2.5ms を必要とします。この期間は、S1D13746B01 にアクセスしないようにしてください。

スリープモードは、スリープモードイネーブルビット (REG[2Eh] ビット 1) か、あるいは REG[2Eh] ビット 7 = 0 のときの PWRSVE 端子で制御されます。スリープモードの詳細については、61 ページの 11.3.2 「クロック構成レジスタ」の REG[2Eh] ビット 1 のビット説明を参照してください。

スリープモードに移行するには、以下の手順を推奨します。

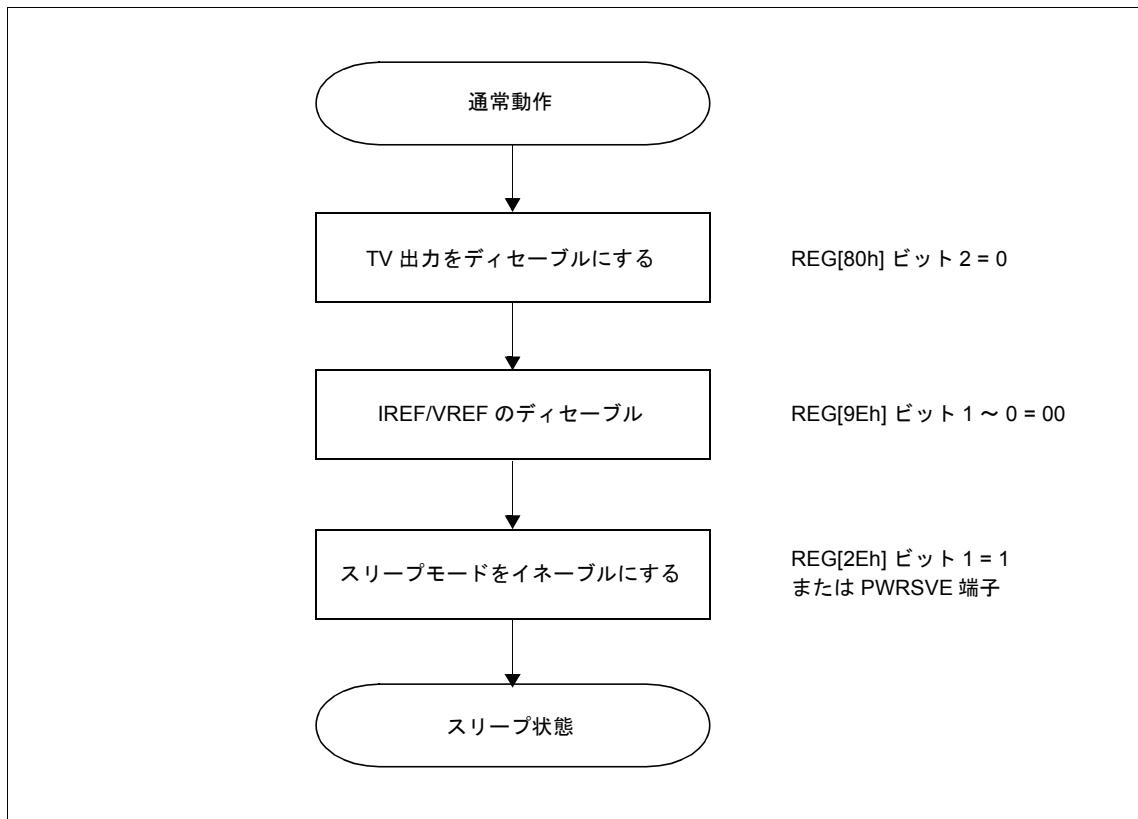


図 23-1: スリープモードに移行するための推奨手順

スリープモードを終了するには、以下の手順を推奨します。

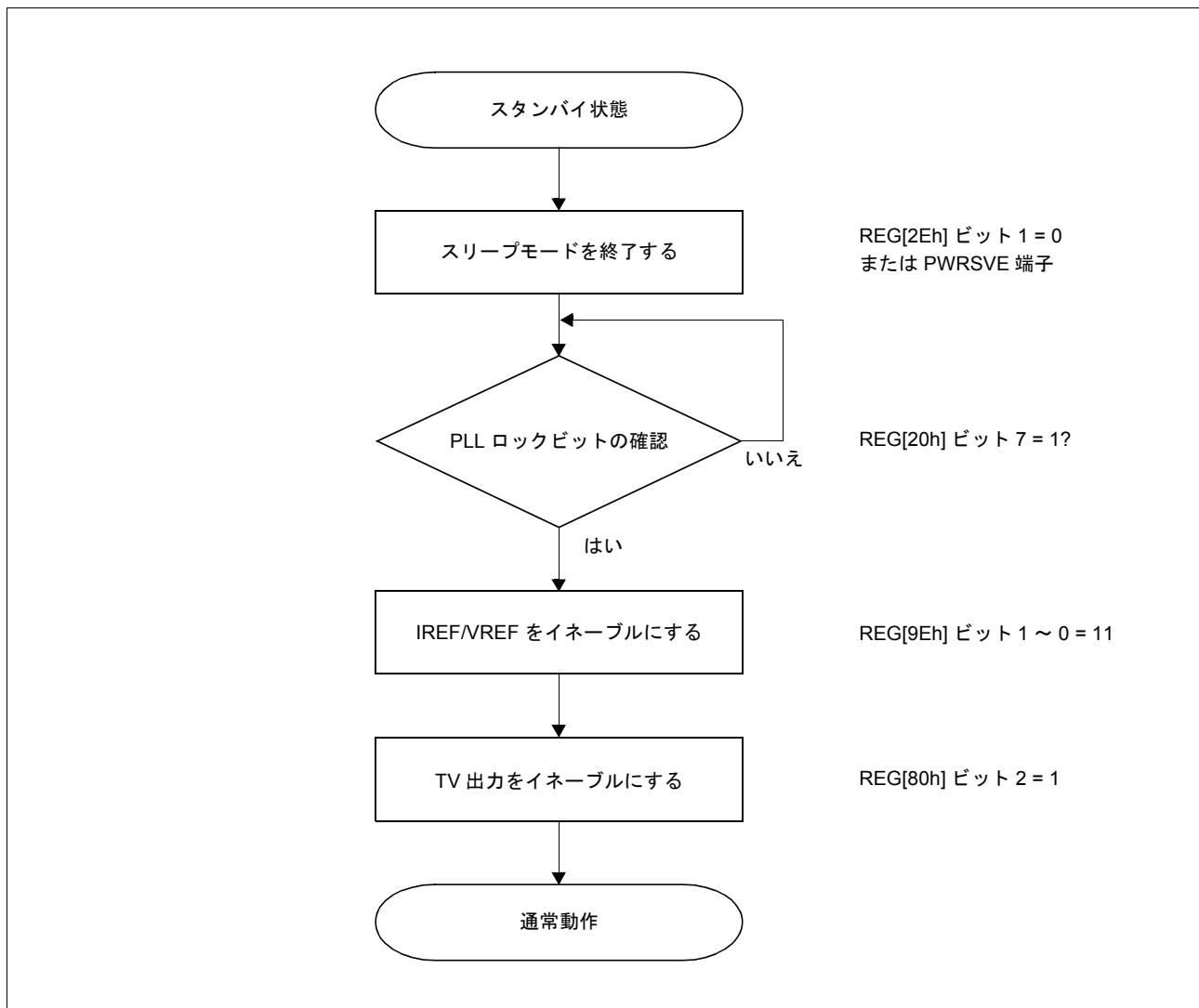


図 23-2: スリープモードを終了するための推奨手順

23.2 スタンバイモード

スタンバイモードは、PLL とアナログ TV エンコーダのブロックを除く、すべての内部ブロックをディセーブルにします。アナログ TV エンコーダブロックは、スタンバイモードに移行する前に手動でディセーブルしておく必要があります。スタンバイモードには、このモードをディセーブルにした直後に S1D13746B01 にアクセスできるという利点があります。

スタンバイモードは、スタンバイモードイネーブルビット (REG[2Eh] ビット 0) か、あるいは REG[2Eh] ビット 7=1 のときの PWRSVE 端子で制御されます。スタンバイモードの詳細については、61 ページの 11.3.2「クロック構成レジスタ」の REG[2Eh] ビット 0 のビット説明を参照してください。

スタンバイモードに移行するには、以下の手順を推奨します。

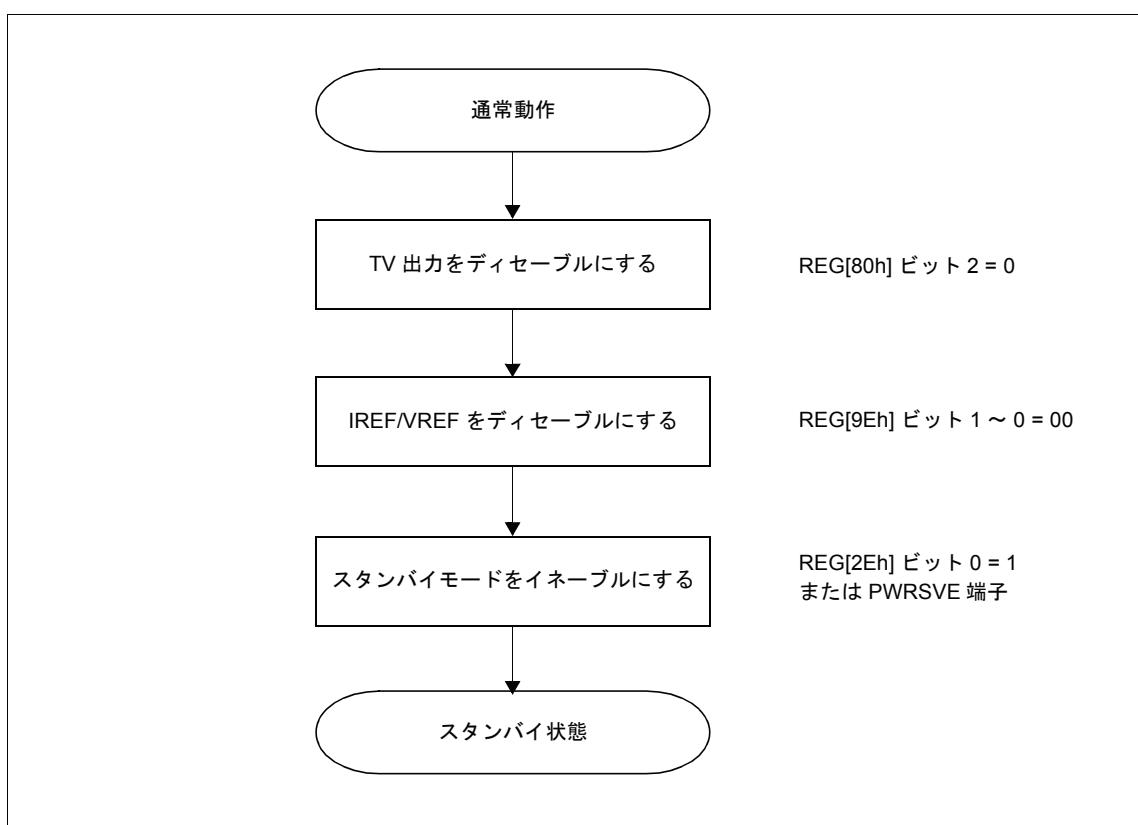


図 23-3: スタンバイモードに移行するための推奨手順

スタンバイモードを終了するには、以下の手順を推奨します。

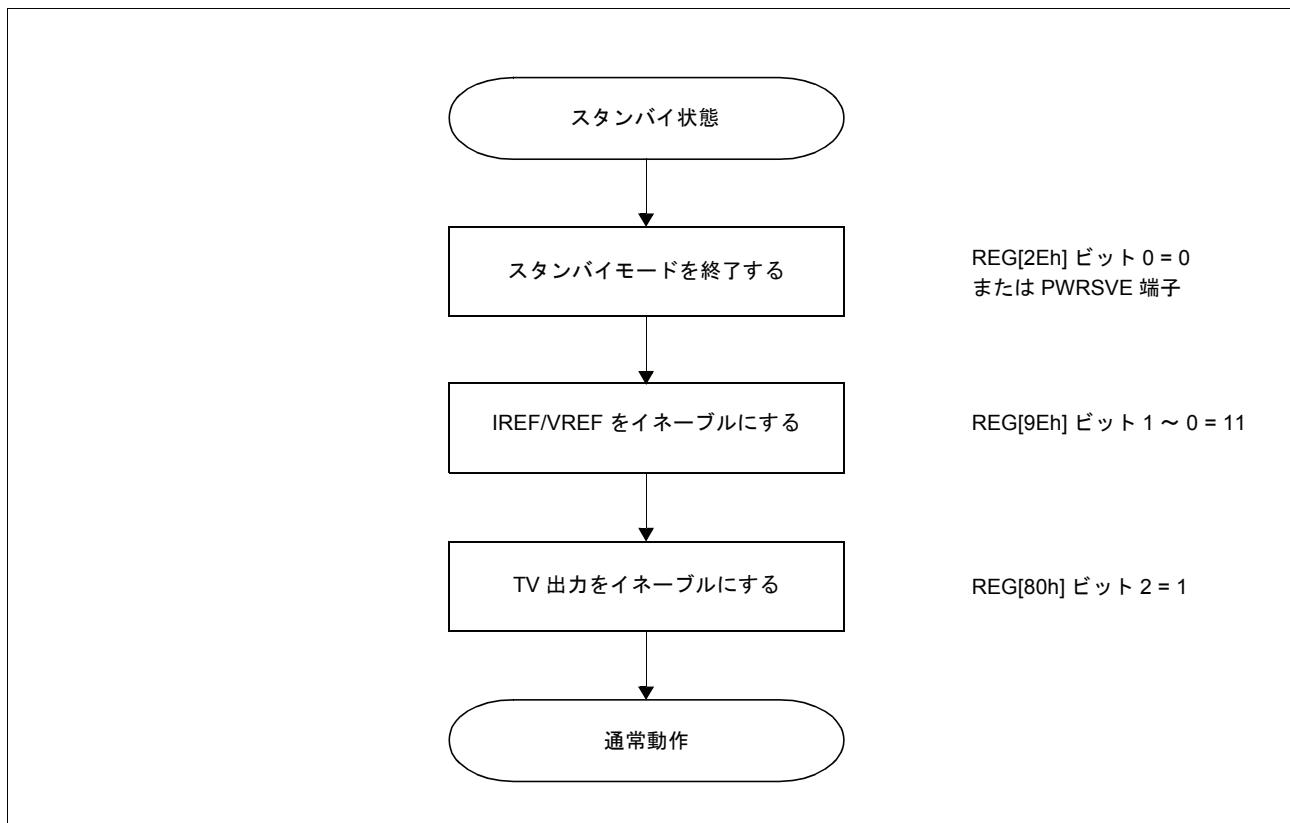


図23-4: スタンバイモードを終了するための推奨手順

24. 外付け部品

24.1 DAC の外付け部品

内部 VREF を使用するときには (REG[9Eh] ビット 0 = 1)、以下の回路を推奨します。

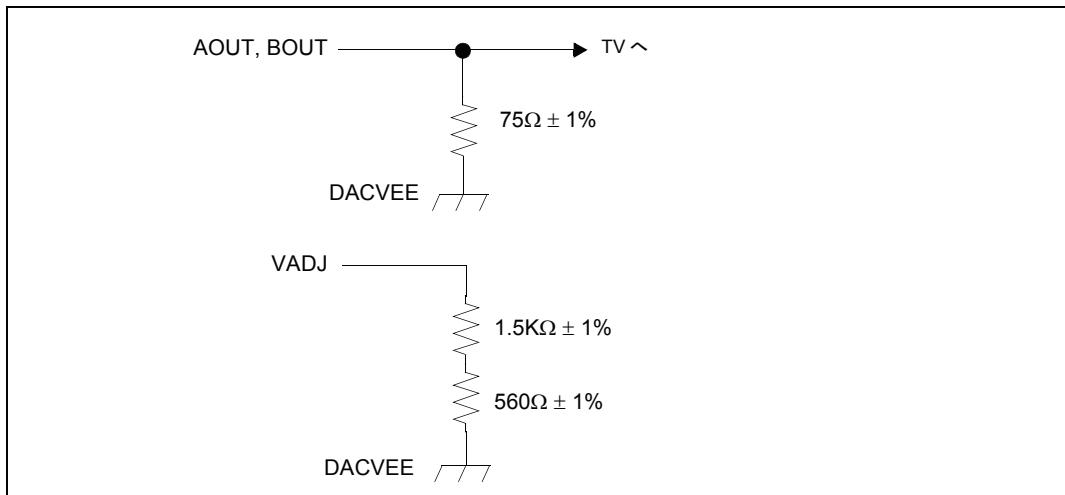


図 24-1: 推奨する外付け部品 - 内部 V-Ref を使用

外部 VREF を使用するときには (REG[9Eh] ビット 0 = 0)、以下の回路を推奨します。

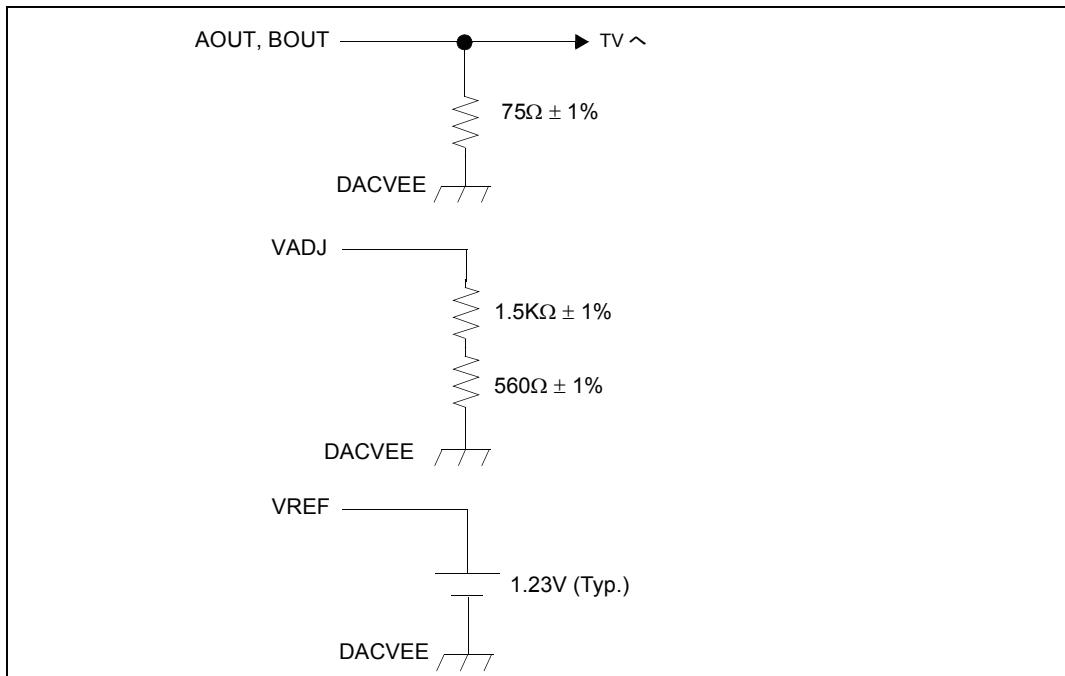


図 24-2: 推奨する外付け部品 - 外部 V-Ref を使用

DAC の電源端子には、以下の回路を推奨します。

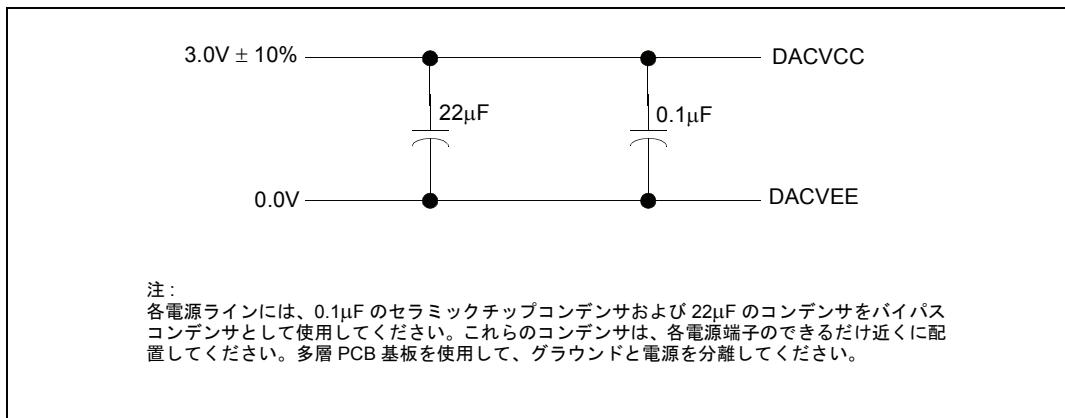


図 24-3: 推奨する外付け部品 - DAC 電源端子、ESD の検討事項

以下の回路は、TV アナログ出力用に推奨する外付け部品について説明しています。

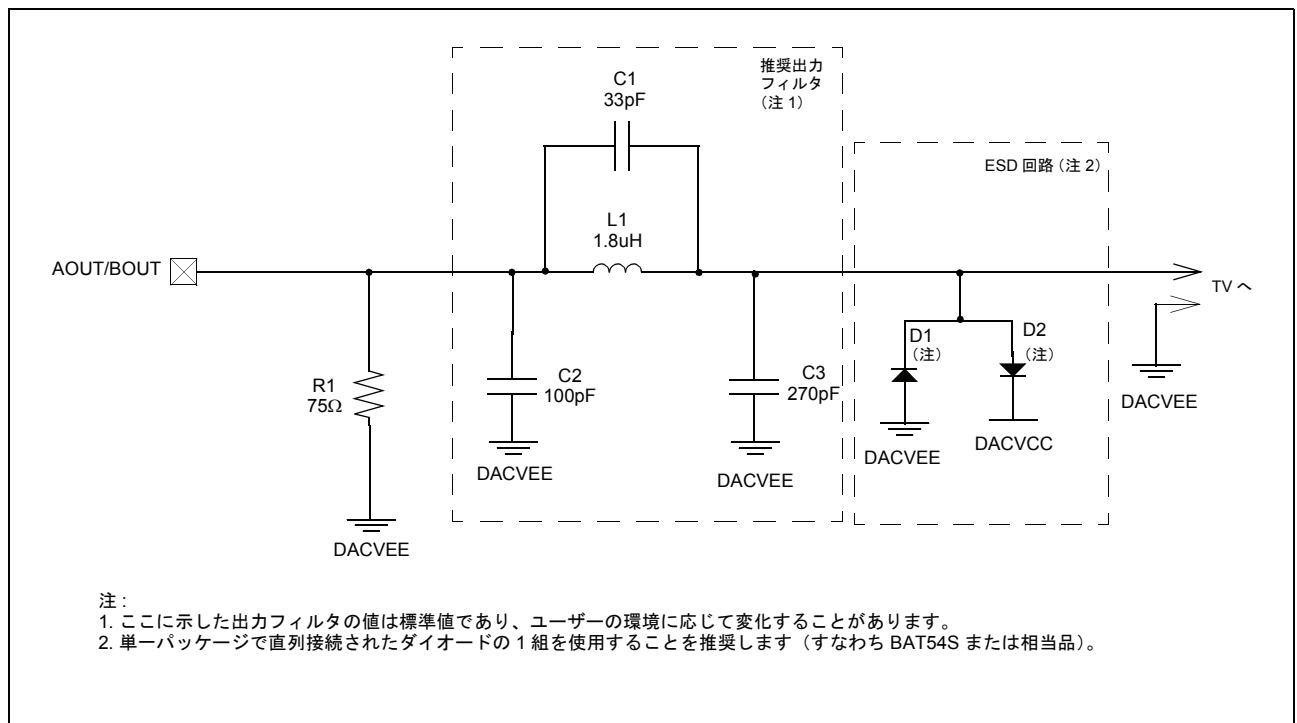


図 24-4: 推奨する外付け部品 - TV 出力、ESD の検討事項

注

上記の ESD 回路のキャパシタンスは大きいため、ビデオ信号の劣化が少しだけ生
 じる恐れがあります。一般的に、この劣化は目に見えてわかるものではないので、
 各実装ごとに評価する必要があります。

24. 外付け部品

24.2 水晶発振器回路

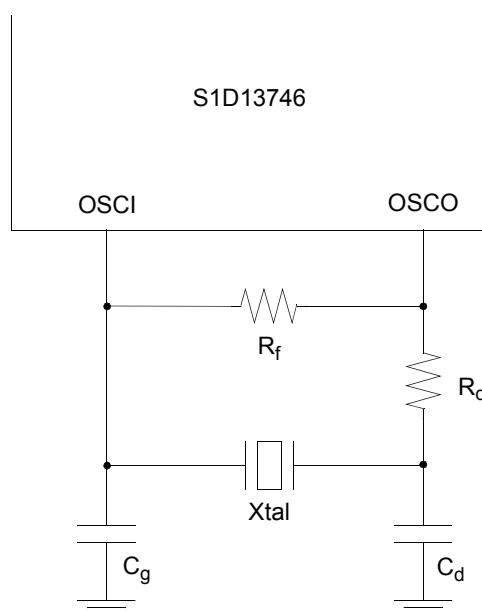


図 24-5: 水晶発振器の外付け回路

表 24-1: 推奨する発振器の外付け回路のパラメータ

| 記号 | パラメータ | Min | Typ | Max | 単位 |
|----------------|----------------|-----|------|-----|-----|
| R _f | R _f | — | 1 | — | MΩ |
| R _d | R _d | — | 1800 | — | Ω |
| C _g | C _g | — | 5.6 | — | pF |
| C _d | C _d | — | 5.6 | — | pF |
| Xtal | | 18 | — | 27 | MHz |

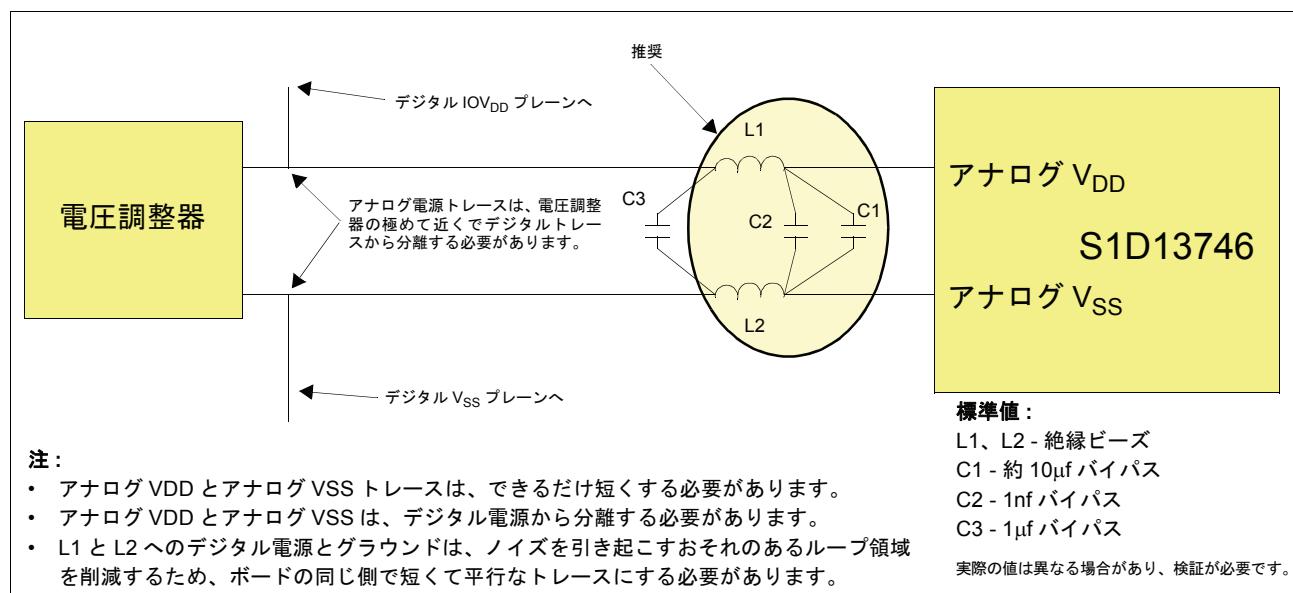
25. アナログ電源の検討事項

PLL および DACA 回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、これらの回路の動作が不安定になったり、ジッタが増大する恐れがあります。

このノイズの制約があるため、これらの回路の電源トレースや電源プレーンは、他の電源のそれらと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

以下に示すガイドラインに従うと、PLL および DACA 回路の電源がきれいになります。これによって、よりきれいで安定したクロックが得られます。これらのガイドラインを部分的に実行しても、結果が得られます。

25.1 アナログ電源の配置のガイドライン



- 絶縁ビーズ (L1 と L2) は間にごくわずかな隙間を空けて互いに平行に配置します。バイパス容量 (C2 と C3) は両方とも、コイルにできるだけ近づける必要があります。C3 から電源プレーンへのトレースは、間に少し隙間を空けてボードの同じ側で短くて平行なトレースにする必要があります。ここで大きなループ領域があるとノイズを引き起こすことになります。ボード上に電圧調整器がある場合は、これらの電源トレースを電源プレーンまで這わせるのではなく、直接、調節器まで這わせるようにしてください (この場合も平行なトレースに関する上記の規則に従ってください)。

- バイパス容量 (C2) をグラウンド絶縁コイル (L2) に接続するときのアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中央ポイントになります。C2 から $\text{PLL}\text{V}_{\text{SS}}$ 端子への 1 本の短いトレースを除き、いずれの部品も MGE ($\text{PLL}\text{V}_{\text{SS}}$) のアナロググラウンド端子に直接接続されていません。大型バイパス容量 (C1) のグラウンド側も、スターポイントに直接接続する必要があります。
- アナロググラウンドに使用されるこのスタートポロジの規則は、L2 を C に接続するときのアナログ電源の接続にも適用されます。
- トレースの長さはすべてできるだけ短くする必要があります。
- 可能であれば、ボードの同じ外層に PLL トレースを這わせます。唯一の例外は C1 であり、必要であればボードの反対側に配置することができます。C1 は、他の部品のようにアナロググラウンドと電源スターポイントの近くに配置する必要はありません。
- 可能であれば、PLL 領域の下に (PLL 部品とトレースの下の領域)、局部プレーンだけが含まれるようにしてください。全体アナログプレーンは、C2 (バイパス) パッドに接地する必要があります。このプレーンは、大きすぎると機能しなくなります。このプレーンは厳密には、同じボード領域の他の層の信号とのカッティングに対する静電シールドになります。このようなアナログプレーンが不可能な場合は、PLL 部品の下の層が、信号層ではなくデジタル電源プレーンになるようにしてください。
- 可能であれば、各層の PLL 端子のビアのすぐ隣りに他のボード信号ラインを這わせないようにしてください。
- 可能な限り、特にアナロググラウンドと C2 の両側の電源スター接続部には、厚いトレースを使用してください。トレースが部品のパッドと同程度の幅になるようにしてください。トレースが薄いと誘導性が増大します。

製造規則によって、推奨したグラウンドと電源スター接続部の引き回しが禁止される可能性があります。たとえば、1 つのパッドに 4 つの幅の広いトレースが集まると、コンデンサのパッドのまわりのすべての銅トレースの熱作用のせいで、組み立て時にリフロー不良の問題が生じることになります。1 つの解決策として、パッドに 1 つのトレースだけを接続し、次にこの幅の広いトレースに他のすべてのトレースをパッドからできるだけ近い場所で接続します。別の解決策として、トレースをパッドに接続し、ただしパッドの周りにサーマルリリーフを設けて銅の接続部を一部削除します。最終的には、ボードを製造できるようにすることも必要であり、これによって最善の努力が受け入れられることになります。

26. メカニカルデータ

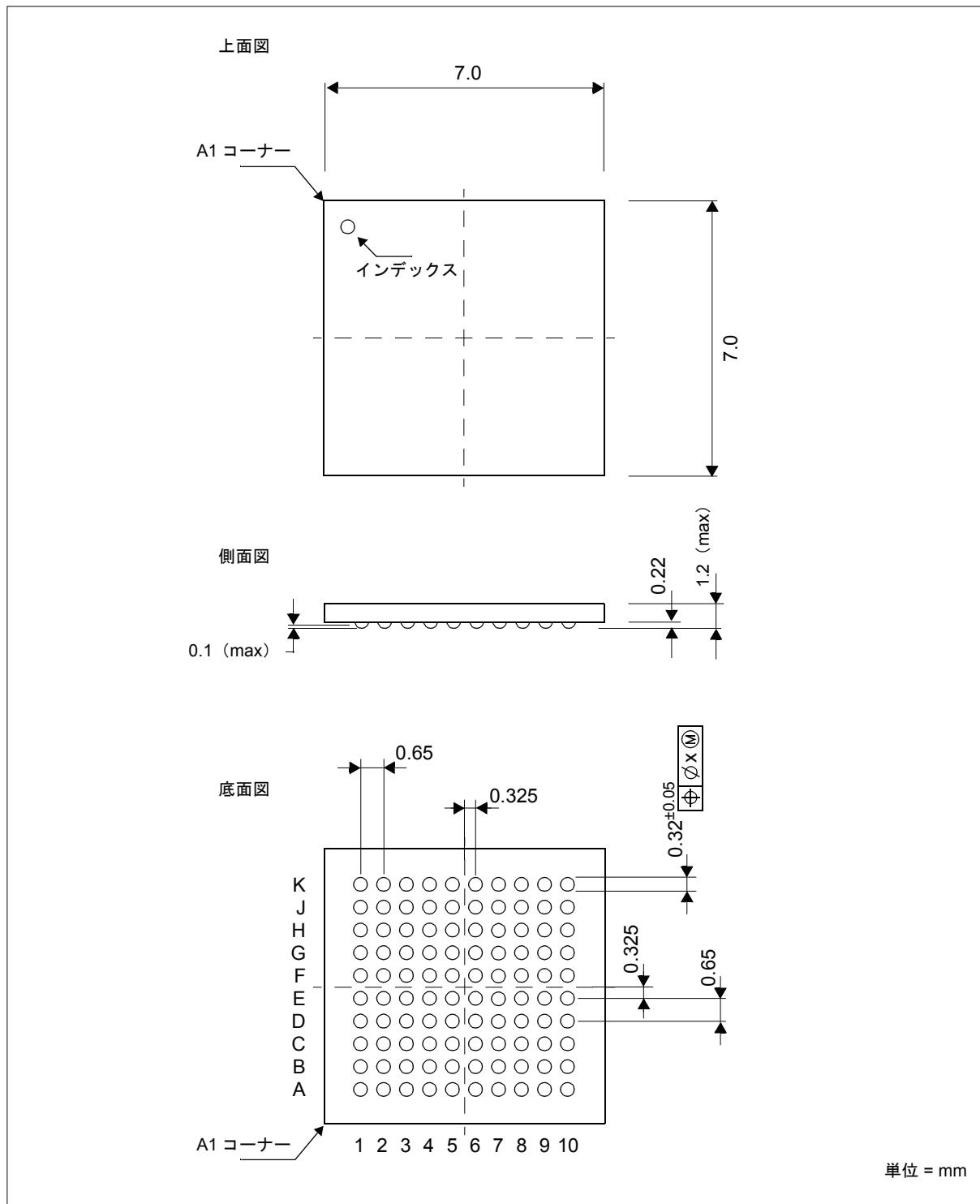
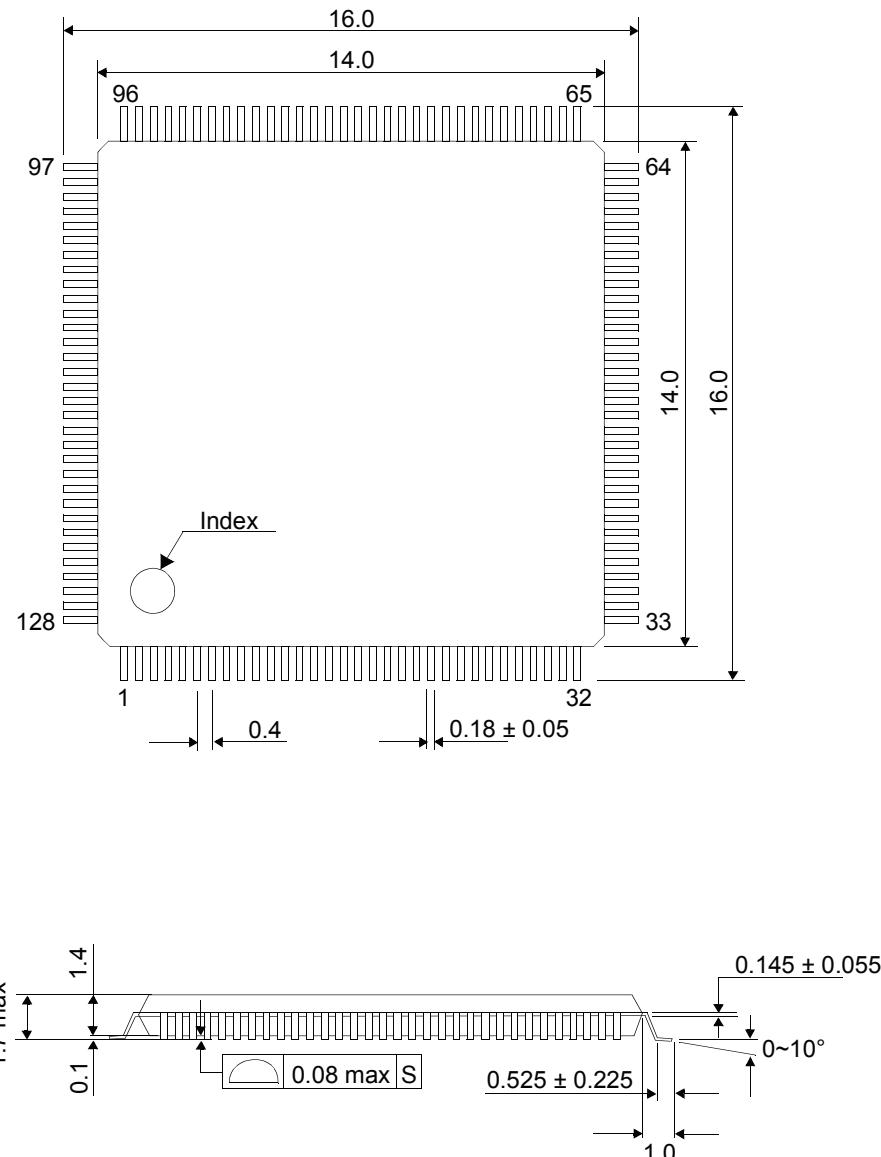


図 26-1: SID13746 PFBGA 100 端子パッケージ

26. メカニカルデータ



単位 = mm

図 26-2: SID13746 QFP15 128 端子パッケージ

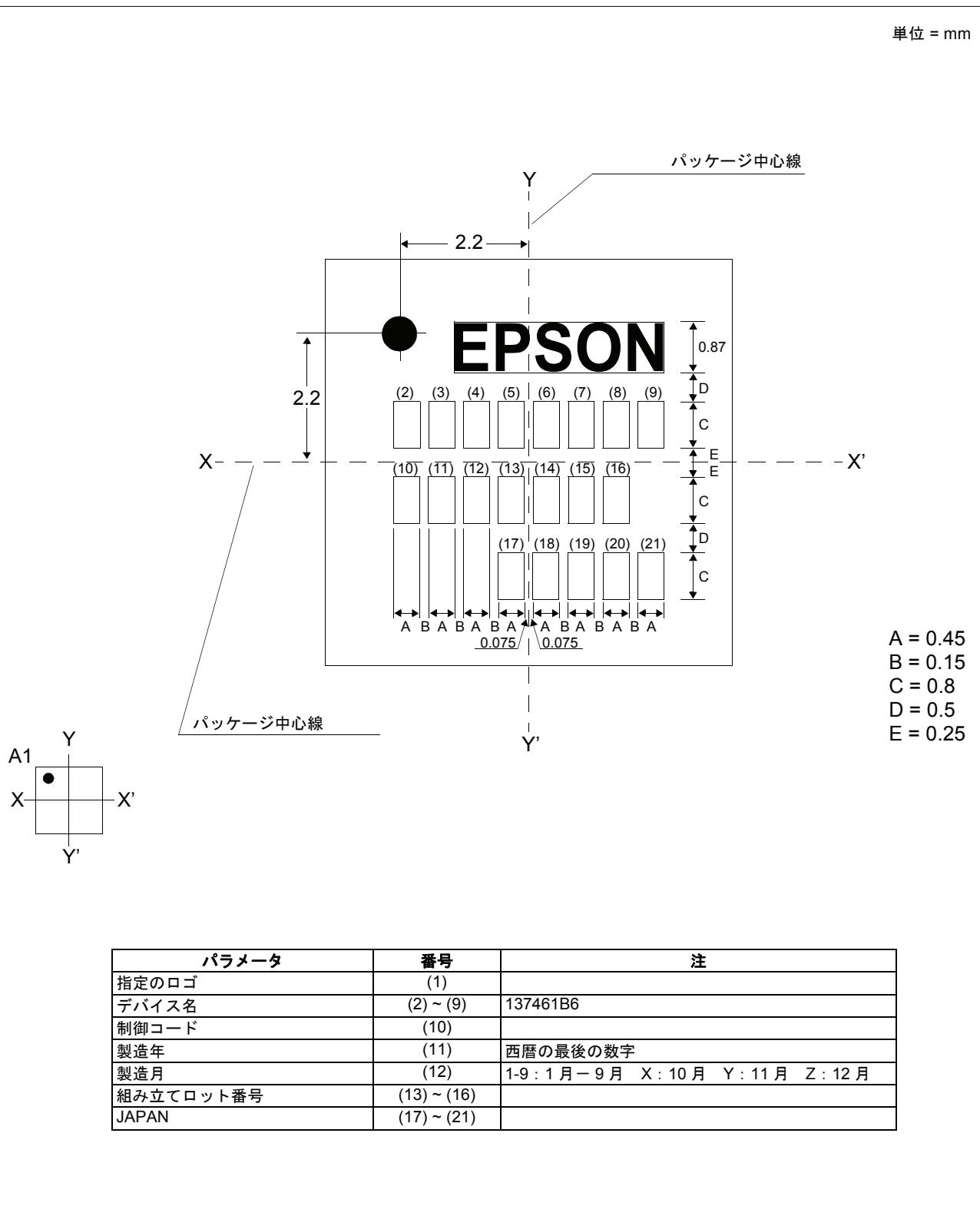
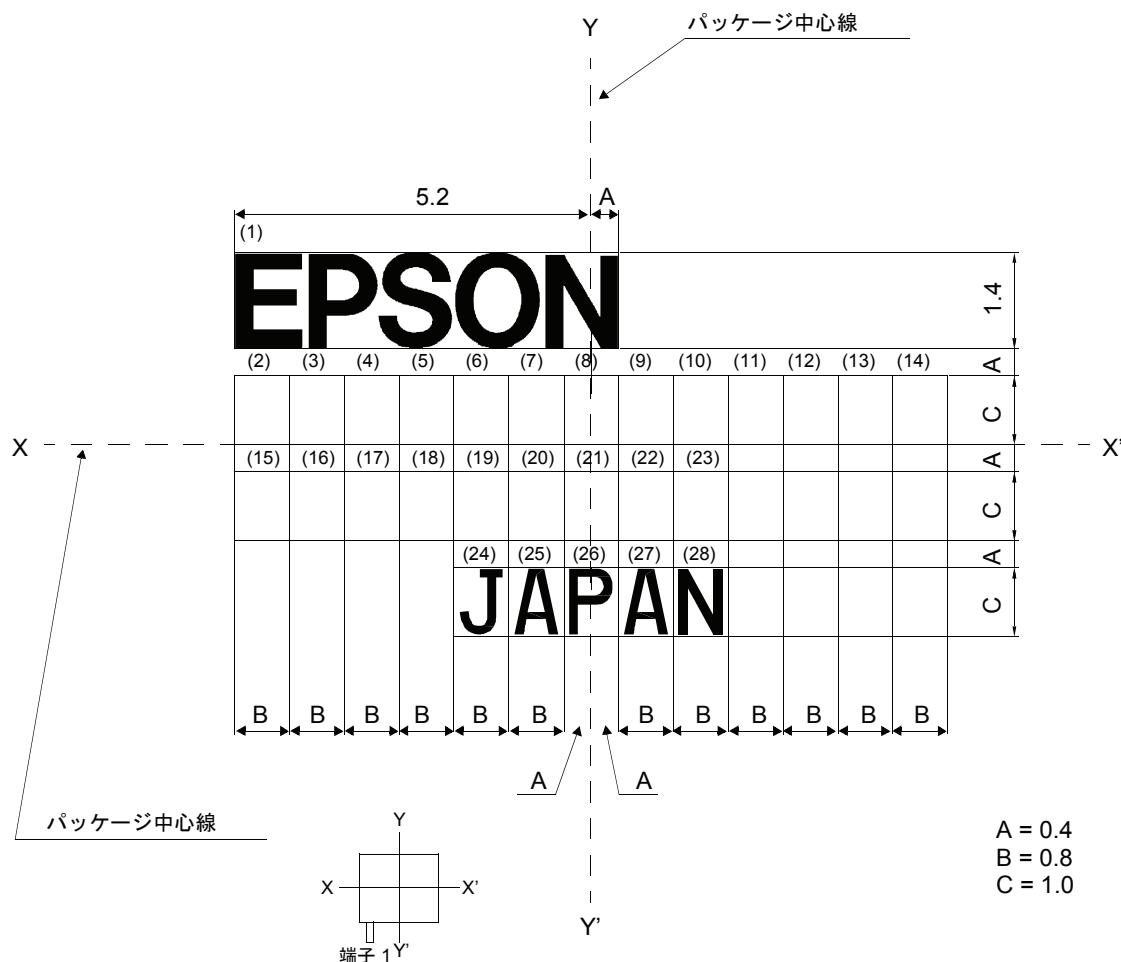


図26-3: *SID13746* パッケージのマーキング

26. メカニカルデータ

単位 = mm



| パラメータ | 番号 | 注 |
|-----------|-------------|---------------------------------------|
| 指定のロゴ | (1) | |
| デバイス名 | (2) ~ (14) | S1D13746F01A6 |
| 制御コード | (15) | |
| 製造年 | (16) ~ (17) | 西暦の最後の数字 |
| 製造月 | (18) ~ (19) | 1-9 : 1月 - 9月 X : 10月 Y : 11月 Z : 12月 |
| 組み立てロット番号 | (20) ~ (23) | |
| JAPAN | (24) ~ (28) | |

図 26-4: SID13746 QFP15 128 端子パッケージのマーキング

表 26-1: SID13746 PFBGA 100 端子製品のマーキング

| 製品コード | 表示 | 説明 |
|-----------------|---------------|------------|
| S1D13746B01B600 | 137461B6 | マクロビジョンが無効 |
| S1D13746F01A600 | S1D13746F01A6 | マクロビジョンが無効 |

27. 参考資料

以下の文書には、S1D13746 に関する付加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文書は、Epson Research and Development のウェブサイト www.erd.epson.com でご覧いただけます。

- ・『S1D13746 Product Brief (S1D13746 の製品概要)』(X74A-C-001-xx)
- ・『S5U13746P00C100 Evaluation Board User Manual (S5U13746P00C100 評価ボード ユーザーマニュアル)』(X74A-G-001-xx)

改訂履歴表

| Rev. No. | 日付 | ページ | 種別 | 改訂内容（旧内容を含む） および改訂理由 |
|----------|-----------|----------|----|---|
| Rev. 2.0 | 2007/9/14 | 全ページ | 新規 | 新規制定 |
| Rev. 2.2 | 2010/1/18 | 全ページ | — | 前リビジョンからの変更内容を赤字で示します。 |
| | | P1 | 変更 | 1.1 適用範囲 記述を変更。 |
| | | P12 | 追加 | 3.8 その他 パッケージに製品型番を追加。 |
| | | P31 | 削除 | 8.1.3 PLLクロック 図8-2、表8-3からPLL最小周波数の45MHzを削除。 |
| | | P44 | 追加 | 8.6.2 TV出力のパラメータを追加。 |
| | | P61 | 削除 | 11.3.2 クロック構成レジスタ REG[20h] bits 5-0の注を削除。 |
| | | P63 | 削除 | 11.3.2 クロック構成レジスタ REG[2Ah] bits 6-0の注2を削除。 |
| | | P64 | 削除 | 11.3.2 クロック構成レジスタ REG[2Ch] bit 2の注を削除。 |
| | | P69 | 変更 | 11.3.3 TV構成レジスタ 表11-8のVBIデータビット1,0の説明の記述を追加。 VBIデータビット11,10の01bと10bの説明の内容を入れ替え。 |
| | | P74 | 削除 | 11.3.2 クロック構成レジスタ REG[4Eh] bits 5-4の注4を削除。 |
| | | P99 | 追加 | 11.3.7 3x3ピクセルマトリックスフィルタレジスタ REG[C0h] bit 0に注を追加。 |
| | | P136 | 追加 | 16.1 3x3 フィルタ 注を追加。 |
| | | P152-154 | 変更 | 19. VBIとワイドスクリーンの信号送出機能 レジスタに関する記述をすべて変更。 |

セイコーエプソン株式会社
半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード: 410861702
2007 年 3 月 作成
2010 年 1 月 改訂 (H)