

S1S65010

テクニカルマニュアル



本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

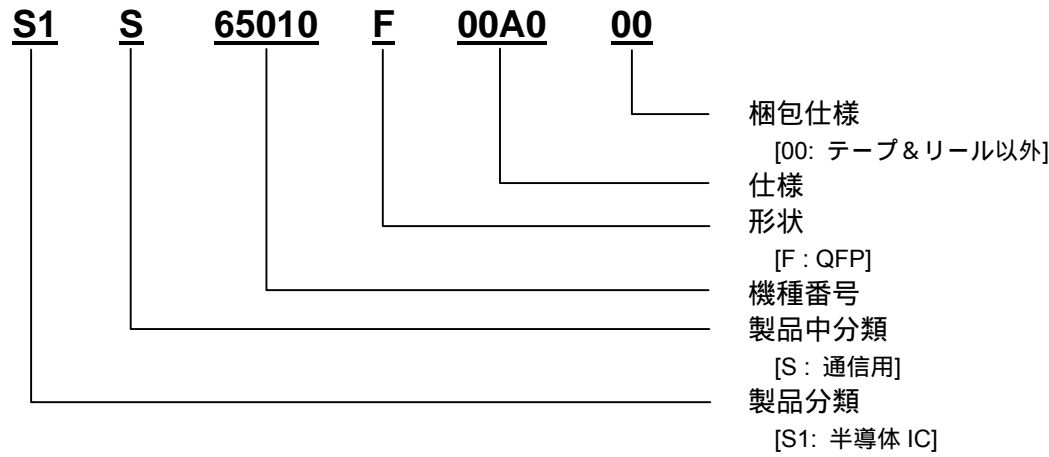
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。



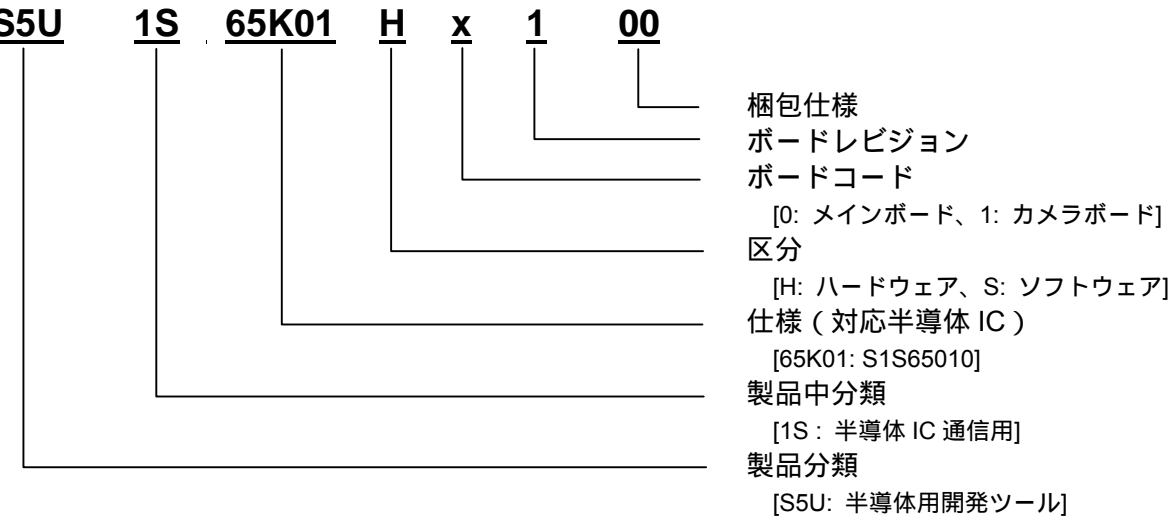
は、ARM社の登録商標です。
Compact Flash は Sandisk の登録商標です。
その他記載の会社名、製品名は、それぞれの商標、もしくは登録商標です。

製品型番体系

●デバイス



●開発ツール



使用上の注意事項

本書のレジスタの記述に関しては、以下のことにご注意ください。

本書のレジスタに関する記述については、以下のような省略を用いることがあります。

R/W： リードおよびライト

RO： リードオンリ

WO： ライトオンリ

RSV： 予約ビット／レジスタ（特に指定のない場合は“0”を書き込んでください。）

n/a： not available（特に指定のない場合は“0”を書き込んでください。）

特に指定のない場合、レジスタの予約ビットには“0”をセットしてください。予約ビットに書き込みを行うと予想できない結果になることがあります。“n/a”と記載してあるビットはハードウェアに影響をあたえません。

あるレジスタは特定の条件の時のみアクセスできるようになっています。アクセス不可のレジスタへのリード／ライトは無効です。

目 次

1. 概要.....	1
1.1 特長.....	1
1.2 内蔵機能.....	1
1.3 対応プロトコル.....	3
2. ブロック図.....	4
3. 端子.....	5
3.1 端子の説明.....	6
3.2 GPIO端子のマルチプレクス端子機能、リセット直後の端子機能.....	14
3.3 リセット中およびリセット後の端子の状態.....	15
4. 機能説明.....	16
4.1 システムコンフィギュレーション	16
4.2 メモリマップ	17
4.2.1 メモリマップ (AHB1).....	17
4.2.2 メモリマップ (AHB2).....	18
4.3 I/Oマップ	19
4.4 割り込みコントローラ	20
4.5 S1S65010 の内蔵機能	21
5. CPU	22
5.1 概要.....	22
5.2 ARM720Tブロック図.....	22
6. DMAコントローラ 1 (DMAC1)	23
6.1 概要.....	23
6.2 ブロック図.....	23
6.3 外部端子.....	23
6.4 レジスタ.....	24
6.4.1 レジスター一覧	24
6.4.2 レジスタ詳細	25
7. カメラインタフェース(CAM).....	36
7.1 概要.....	36
7.2 ブロック図.....	36
7.3 外部端子.....	36
7.4 レジスタ.....	37
7.4.1 レジスター一覧	37
7.4.2 レジスタ詳細説明	38
7.5 動作説明.....	44
7.5.1 フレームキャプチャ割り込み	45
8. JPEGコントローラ (JPG)	46
8.1 概要.....	46
8.2 ブロック図.....	46
8.3 外部端子.....	46
8.4 レジスタ.....	47
8.4.1 レジスター一覧	47
8.4.2 Resizer Operation Registers (RSZ)	49
8.4.3 JPEG Module Registers (JCTL)	53

8.4.4 JPEG FIFO Setting Register (JFIFO)	61
8.4.5 JPEG ラインバッファ設定レジスタ (JLB).....	64
8.4.6 JPEG Codec Registers (JCODEC).....	68
8.5 動作説明.....	76
8.5.1 キャプチャ制御機能	76
8.5.1.1 カメラ画像JPEGエンコード用ステートマシン	76
8.5.1.2 YUVキャプチャ用ステートマシン	78
8.5.2 リサイズ機能	80
8.5.2.1 切り取り機能.....	80
8.5.2.2 縮小機能.....	81
8.5.2.2.1 1/2 縮小.....	81
8.5.2.2.2 1/3 縮小.....	82
8.5.2.2.3 1/4 縮小.....	82
8.5.2.2.4 1/5 縮小.....	82
8.5.2.2.5 1/6 縮小.....	83
8.5.2.2.6 1/7 縮小.....	83
8.5.2.2.7 1/8 縮小.....	83
8.5.2.3 リサイズ回路利用制限	84
8.5.3 画像処理データフロー	85
8.5.3.1 カメラ画像JPEGエンコード	86
8.5.3.2 YUVデータキャプチャ	87
8.5.3.3 YUVデータJPEGエンコード	88
8.5.3.4 YUVデータJPEGデコード	89
8.5.4 JPEGコーデック機能	90
8.5.4.1 JPEGデコードできないファイル.....	91
8.5.4.2 JPEGコーデックレジスタに関する制限	91
8.5.5 JPEGコーデック以外の機能	92
8.5.5.1 JPEG FIFO	92
8.5.5.2 JPEGラインバッファ.....	92
8.5.5.3 YUVフォーマットコンバータ	93
8.5.5.4 JPEGモジュール割り込み	94
8.5.5.5 JPEG180°回転エンコード	95
8.5.5.6 YUVデータフォーマット	95
8.5.5.7 ソフトウェアリセット処理について	95
8.5.5.8 マーカ高速出力モード	96
8.5.6 シーケンス例	97
8.5.6.1 カメラ画像JPEGエンコード処理（単フレーム）	97
8.5.6.2 終了処理.....	99
9. JPEG_DMAL (JDMA).....	100
9.1 概要.....	100
9.2 ブロック図.....	100
9.3 外部端子.....	101
9.4 レジスタ.....	101
9.4.1 レジスタ一覧	101
9.4.2 レジスタ詳細説明	101
10. DMAコントローラ 2 (DMAC2).....	106
10.1 概要.....	106
10.2 ブロック図.....	106
10.3 外部端子.....	106
10.4 レジスタ.....	107
10.4.1 レジスタ一覧	107
10.4.2 レジスタ詳細	107
11. Ethernet MAC & E-DMA (ETH).....	114
11.1 概要.....	114

11.1.1 特徴.....	114
11.2 ブロック図.....	114
11.3 外部端子.....	115
11.4 レジスタ.....	116
11.4.1 レジスター一覧	116
11.4.2 レジスタ詳細説明	117
11.5 動作説明.....	129
11.5.1 MAC機能.....	129
11.5.1.1 送信	129
11.5.1.2 受信	129
11.5.1.3 フロー制御	129
11.5.2 DMAコントローラ	130
11.5.2.1 概要	130
11.5.2.2 ディスクリプタ・テーブル	131
11.5.2.3 送信DMA動作説明	137
11.5.2.4 受信DMA動作説明	138
11.5.2.5 DMAとMAC動作モードの設定	139
11.5.3 アドレスフィルタ	140
11.5.4 MIIM.....	140
11.5.4.1 Write Operation	140
11.5.4.2 Read Operation	140
11.5.5 受信バッファ管理機能	140
11.6 本Ethernet MAC & E-DMA (ETH)の利用制限事項	141
12. APBブリッジ (APB)	142
12.1 概要.....	142
12.2 ブロック図.....	142
12.3 外部端子.....	143
12.4 レジスタ.....	143
12.4.1 レジスター一覧	143
12.4.2 レジスタ詳細説明	143
13. システムコントローラ(SYS)	145
13.1 概要.....	145
13.2 動作モード.....	145
13.2.1 パワ - オンステート	146
13.2.2 ロースピードモード	146
13.2.3 ロースピードHALTモード.....	146
13.2.4 ハイスピードモード	146
13.2.5 ハイスピードHALTモード.....	146
13.3 外部端子.....	146
13.4 レジスタ.....	147
13.4.1 レジスター一覧	147
13.4.2 レジスタ詳細説明	147
13.5 Appendix A: PLL Setting Example	155
13.6 Appendix B: PLL Parameter table	156
13.7 Appendix C: Remap後のメモリマップ	156
13.7.1 Remap後のメモリマップ (AHB1).....	156
13.7.2 Remap後のメモリマップ (AHB2).....	157
13.8 Appendix D : クロック・コントロールブロック図	157
13.9 Appendix D : UART Clock 設定例:	158
14. メモリコントローラ (MEMC).....	159
14.1 概要.....	159

14.1.1 SRAMコントローラ	159
14.1.2 SDRAMコントローラ	159
14.1.3 外部バスインタフェースモジュール	159
14.2 ブロック図	160
14.3 外部端子	160
14.4 Memory controller	161
14.4.1 デバイス数	161
14.4.2 メモリタイプ	161
14.4.3 外部メモリ幅	161
14.4.4 デバイスのセグメント設定	161
14.5 SRAM control	161
14.5.1 デバイスの選択	161
14.5.2 タイミング設定	161
14.5.3 ライトプロテクト	161
14.6 SDRAM control	162
14.6.1 デバイスの選択	162
14.6.2 モードレジスタ設定	162
14.6.3 パースト対応	162
14.6.4 オートプリチャージ設定	162
14.6.5 低消費電力化	162
14.6.6 メモリクロック停止	162
14.6.7 省電力モードサポート	163
14.6.8 オートリフレッシュ制御	163
14.6.9 セルフリフレッシュ制御	163
14.6.10 ステータスレジスタ	163
14.7 レジスタ	164
14.7.1 レジスタ一覧	164
14.7.2 レジスタ詳細説明	165
14.8 メモリコントローラ (MEMC) の利用制限事項	176
14.9 デバイス[2:0]設定レジスタの設定例	176
15. 割り込みコントローラ (INT)	177
15.1 概要	177
15.2 ブロック図	178
15.3 FIQ	178
15.4 IRQ	178
15.5 外部端子	178
15.6 レジスタ	179
15.6.1 レジスタ一覧	179
15.6.2 レジスタ詳細説明	179
16. UART	185
16.1 概要	185
16.2 ブロック図	185
16.3 外部端子	185
16.4 レジスタ説明	186
16.4.1 レジスタ一覧	186
16.4.2 レジスタアクセスにおける注意事項	186
16.4.3 レジスタ詳細説明	187
16.4.4 ポーレート設定例	199
16.5 本UARTの利用制限事項	200
17. UART Lite	201
17.1 概要	201

17.2	ブロック図	201
17.3	外部端子	201
17.4	レジスタ説明	202
17.4.1	レジスタ一覧	202
17.4.2	レジスタアクセスにおける注意事項	202
17.4.3	レジスタ詳細説明	203
17.4.4	ボーレート設定例	207
17.5	本UART Liteの利用制限事項	208
18.	I ² C Single Master Core Module (I ² C)	209
18.1	概要	209
18.1.1	マスタモード	209
18.1.2	スレーブモード	209
18.2	ブロック図	210
18.3	外部端子	210
18.4	レジスタ	211
18.4.1	レジスタ一覧	211
18.4.2	レジスタ詳細説明	212
18.5	動作説明 (バス・コントロール・コマンド使用例)	220
18.5.1	スタート (S) フロー例	220
18.5.2	ストップ (P) フロー例	220
18.5.3	レシーブ (R) フロー例	221
18.5.4	トランスファ (T) フロー例	221
18.5.5	スレーブ機器への書込みシーケンス例	222
18.5.6	スレーブからの読出しシーケンス例	223
18.6	本I2C Single Master Core Module (I2C)の利用制限事項	223
19.	I ² S (I2S)	224
19.1	概要	224
19.1.1	機能	224
19.2	ブロック図	224
19.3	外部端子	225
19.4	レジスタ説明	225
19.4.1	レジスタ一覧	225
19.4.2	レジスタ詳細説明	226
19.5	機能説明	233
19.5.1	I2Sタイミングチャート (32fs)	233
19.5.2	データ幅とFIFO段数	233
19.5.3	DMA転送	234
19.5.4	クロック選択 (クロック共有)	234
19.5.5	モノラル - ステレオ変換機能	235
19.6	設定例	235
20.	シリアル周辺機器インタフェース(SPI)	236
20.1	概要	236
20.1.1	マスタモード	236
20.1.2	スレーブモード	237
20.2	ブロック図	238
20.3	外部端子	238
20.4	クロックとデータ転送タイミング	239
20.5	レジスタ説明	241
20.5.1	レジスタ一覧	241
20.5.2	レジスタ詳細説明	241

21. コンパクトフラッシュカードインタフェース (CF)	247
21.1 概要	247
21.2 ブロック図	247
21.3 CF Card I/Fの各空間の配分	248
21.4 外部端子	249
21.5 レジスタ	249
21.5.1 レジスタ一覧	249
21.5.2 レジスタ詳細説明	250
21.6 本コンパクトフラッシュカードインタフェースの利用制限事項	253
22. タイマ(TIM)	254
22.1 概要	254
22.2 ブロック図	254
22.3 外部端子	255
22.4 レジスタ	255
22.4.1 レジスタ一覧	255
22.4.2 レジスタ詳細説明	256
22.5 各モードでのロード値の設定方法	263
22.5.1 タイマカウンタのモード	263
22.6 タイマ内部クロック設定例 (1kHz、1MHz)	263
22.6.1 ディバイダとプリスケアラの設定方法	263
22.7 タイミング図	264
22.7.1 サイクリックモード時のイミディエイトロードリクエスト	264
22.7.2 サイクリックモード時の通常リロード	265
22.7.3 シングルモード時の通常リロード	265
22.7.4 ポート出力	266
23. リアルタイムクロック(RTC)	267
23.1 概要	267
23.2 ブロック図	267
23.3 外部端子	267
23.4 レジスタ	268
23.4.1 レジスタ一覧	268
23.4.2 レジスタ詳細説明	268
23.5 リアルタイムクロックのレジスタ設定方法	274
23.5.1 パワーオン後の初期設定	274
23.5.2 動作停止、動作再開	274
23.5.3 動作中の動作停止以外の再設定	274
23.5.4 動作中のシステムリセット後の再設定	275
23.5.5 プログラミング上の注意事項	275
24. ウォッチドッグタイマ(WDT)	276
24.1 概要	276
24.2 ブロック図	276
24.3 外部端子	277
24.4 レジスタ	277
24.4.1 レジスタ一覧	277
24.4.2 レジスタ詳細説明	277
25. GPIO	279
25.1 概要	279
25.2 外部端子	279
25.3 レジスタ	281

25.3.1 レジスター一覧	281
25.3.2 レジスタ詳細説明	281
25.3.2.1 GPIOAレジスタ	281
25.3.2.2 GPIOBレジスタ	282
25.3.2.3 GPIOCレジスタ	283
25.3.2.4 GPIODレジスタ	283
25.3.2.5 GPIOEレジスタ	284
25.3.2.6 GPIOFレジスタ	285
25.3.2.7 GPIOGレジスタ	286
25.3.2.8 GPIOHレジスタ	286
25.3.2.9 GPIOA&B IRQに関連するレジスタ	287
25.4 GPIOAおよびGPIOBの割り込みロジック	289
26. 絶対最大定格	290
26.1 絶対最大定格	290
26.2 推奨動作条件（2 電源、3.3V対応入出力バッファ）	290
26.3 電源投入タイミング	291
26.4 電源切断タイミング	291
27. 電気的特性	292
27.1 DC特性	292
27.2 AC特性	293
27.2.1 AC特性測定条件	293
27.2.2 AC特性タイミング一覧表	293
27.2.2.1 クロックタイミング	293
27.2.2.2 CPUコントロール信号タイミング	293
27.2.2.3 カメラインタフェース (CAM) タイミング	294
27.2.2.4 Media Independent Interface Ethernet PHY (MII) タイミング	294
27.2.2.5 メモリコントローラ (MEMC) タイミング	295
27.2.2.6 I ² C Single Master Core Module (I2C) タイミング	296
27.2.2.7 I ² Sタイミング	296
27.2.2.8 シリアル周辺機器インタフェース (SPI) タイミング	297
27.2.2.9 コンパクトフラッシュインタフェース (CF) タイミング	297
27.2.3 タイミングチャート	299
27.2.3.1 クロックタイミング	299
27.2.3.2 CPUコントロール信号タイミング	300
27.2.3.3 カメラインタフェースタイミング	302
27.2.3.4 MII (Media Independent Interface Ethernet PHY) タイミング	303
27.2.3.5 メモリインタフェースコントローラ	304
27.2.3.5.1 スタティックメモリコントローラタイミング (Flash EEPROM, SRAM, etc.)	304
27.2.3.5.2 SDRAMコントローラACタイミング	306
27.2.3.6 I2C Single Master Core Module タイミング	315
27.2.3.7 I2Sタイミング	315
27.2.3.8 シリアル周辺機器インタフェースタイミング	316
27.2.3.9 コンパクトフラッシュインタフェース (CF) タイミング	317
28. 参考外部接続例	320
28.1 メモリ接続例	320
28.2 コンパクトフラッシュ接続例（16 ビットバス対応）	322
28.3 シリアル周辺機器インタフェース（SPI）接続例	323
28.3.1 マスタ時	323
28.3.2 スレーブ時	323
28.4 I ² S接続例	324
28.4.1 マスタ時	324
28.4.2 スレーブ時	324
29. 外形寸法図	325

29.1 Plastic TQFP 144pin Body size 16x16x1mm (TQFP24).....	325
30. 改訂履歴表.....	326
31. Appendix 1 S1S65010 内部レジスター一覧.....	333

1. 概要

本製品 S1S65010 はインターネットカメラを構成するために最適なネットワークカメラコントローラ IC です。ネットワーク/プロトコル処理機能に加えて、カメラインタフェース、JPEG エンコーダ機能を内蔵しています。S1S65010 にカメラモジュール、Ethernet 用 PHY とファームウェアを格納した Flash EEPROM を接続することによりインターネットカメラが簡単に構成できます。

カメラからの画像取り込みと JPEG エンコードは、クライアントからシャッターコマンドを受けて行います。S1S65010 を LAN 上で HTTP サーバとして動作させた場合は、要求に応じて画像ファイルをクライアントに送ります。指定されたクライアントへの画像の取り込みおよび送付は、常時、あるいは内蔵タイマを使用して一定周期ごとに、または割り込み端子を使用して外部センサー等のトリガにより行うことも可能です。画像送付は電子メールの添付ファイルの形式にすることもできます。

S1S65010 は、S1S65000 に比べて、フレームレート (30 fps @VGA)、解像度 (最大 UXGA) および I²S による音声/オーディオのサポートなどの機能を付加向上させており、インターネットカメラをさらに強力にサポートします。

また、S1S65010 は GPIO および I²C バスを搭載しているので、ネットワークからこれらのポートを経由してカメラの設定やモータなど外部機器の制御を行うことが可能です。本製品には、デバイスドライバが付属します。

1.1 特長

- PC レスでインターネットカメラの機能を実現
- S1S65000 ピン互換 および S1S65000 ソフトウェア上位互換
- ネットワークカメラとして 30 fps @VGA のフレームレートを実現可能
- メガピクセル (約 200 万画素) までの多様なカメラモジュールに対応
- I²S による音声/オーディオデータのサポート
- Hardware JPEG エンコーダにより JPEG 形式に圧縮 (ISO 10918 準拠)
- ネットワークから各種コントロール設定が可能
- 電子メールによる画像の送付が可能
- 定期的に起動、撮影、再休止するウェイクアップモードにより、省電力化が可能
- Compact Flash Interface による無線 LAN インタフェース (802.11b) 対応可能
- 1 Chip ソリューション: 低システムコストを実現可能
- ARM720T Rev4.3 内蔵 (8KB キャッシュ付き) 50MHz

1.2 内蔵機能

CPU :

- 32 ビット RISC ARM720T (最大 50MHz)
- 32 ビット長命令と効率よい Thumb コードと呼ばれる 16 ビット長命令コードを切り替えて利用可能
- 32 ビット汎用レジスタ (31 本)
- 乗算器を内蔵

RAM :

- 78 KB の CPU/JPEG/Ethernet Work 用内蔵 RAM

カメラ入力 / JPEG エンコーダ :

- 8 ビット パラレルインタフェース、YUV4-2-2 入力
- 解像度 1600x1200 程度まで (UXGA, SXGA, XGA, VGA, QVGA, CIF, QCIF)
- ITU-R BT656 形式対応
- ハードウェア JPEG エンコーダ
- Max 30 fps @VGA, 30 fps@CIF
- カメラデータ入力用ピクセルクロック周波数は、CPU クロックの 2/3 未満

1. 概要

JPEG :

- ハードウェア JPEG エンコーダ
- Resize 機能 (画面切り取り可)
- 専用の Line Buffer
- JPEG エンコーダ出力に容量可変 FIFO 内蔵
- Enhanced DMA 内蔵

ネットワーク :

- 10/100 Base 全二重/半二重対応の Ethernet Mac コントローラ
- MII (Media Independent Interface, IEEE 802.3 Clause22 準拠)
- Enhanced DMA 内蔵

外部メモリコントローラ :

- 16 ビットデータバス
- SDRAM 2~128 MB サポート
- スタティックメモリ (Flash EEPROM/SRAM) のサポート (最大 16MB)
- 3 本のチップセレクト (SDRAM, Flash, 他 1 本) をサポート

CF カードインタフェース :

- CF+ 仕様 Rev1.4 準拠
- 無線 LAN および PHS カードなどの interface として利用可能
- True IDE モードのサポート

スタンバイ機能

- CPU の動作が必要ない場合には CPU のクロックをとめることができる HALT 機能
- 主要な I/O ブロックごとにクロックをとめられる I/O クロックストップ機能

タイマ , ウォッチドッグタイマ :

- 16 ビットタイマ×3 チャンネルのタイマ
- リロード/Cyclic または One Shot 動作モード
- アンダーフロー出力によるトグル出力、または Port 出力をサポート
- 割り込み出力またはリセット可能なウォッチドッグタイマ

シリアルインタフェース :

- UART : 16550 ソフトウェア互換×1 チャンネル
- UART Lite : 16550 ソフトウェア下位互換 (機能限定) ×1 チャンネル
- SPI : クロック同期式×1 チャンネル
- I²C マスタインタフェース (カメラ I/F および汎用用途)
- I²S インタフェース×2 チャンネル (音声/オーディオデータ対応、I²S 規格に準拠)

割り込みコントローラ :

- 32 本の IRQ と 2 本の FIQ のサポート

リアルタイムクロック

- 日、時間、分、秒のサポート
- 1/128 - 1/2 までの内部タイマタップを割り込みソースとしても利用可
- アラーム機能および割り込みをサポート

GPIO :

- 汎用 I/O Port (最大 57 本)
- すべてのポートに対して方向がプログラマブル設定可能
- 一部は他の I/O 機能と選択

電源 :

- 3.3V (I/O 電源)
- 1.8V (コア電源)
- 1.8V (PLL 用アナログ電源)
- 2.4V (MIN) - 3.6V (MAX) (カメラ I/O 電源)

パッケージ：

- TQFP 144 Pin (TQFP24) 16 x 16 x 1 mm 0.4mm Pin pitch

1.3 対応プロトコル

ARP, ICMP, IP, TCP, UDP, HTTPd, SMTP, DHCP, FTP, DNS リゾルバ, telnet などに対応しています。
Flash ROM 書き換えにより対応プロトコルの追加／更新が可能です。
ユーザによる追加／更新も可能です。

注意： サンプルソフトウェアとして、または協力会社からの提供が可能です。

2. ブロック図

2. ブロック図

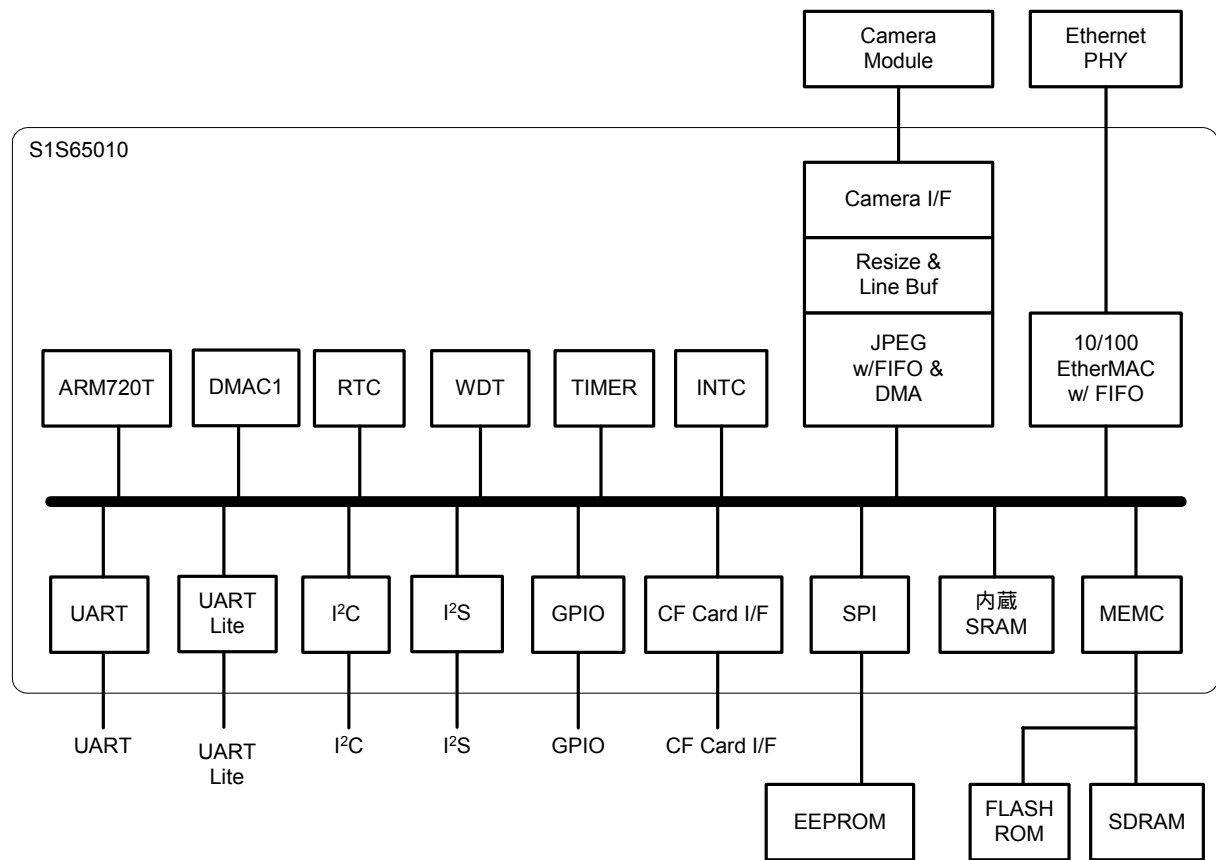


図 2.1 S1S65010 内部ブロック図

3. 端子

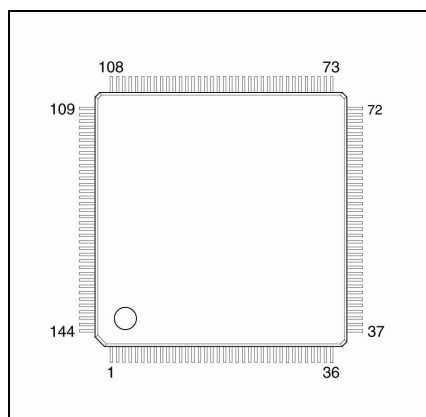


図 3.1 端子配置図 (TOP VIEW)

ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称	ピン No.	端子名称
1	MA14	37	MD12	73	TRST#	109	CMDATA5
2	MA15	38	MD13	74	TCK	110	CMDATA6
3	MA16	39	MD14	75	TMS	111	CMDATA7
4	MA17	40	MD15	76	TDI	112	VSS
5	MA18	41	MDQML	77	TDO	113	LVDD
6	VSS	42	MDQMH	78	VSS	114	GPIOD0
7	MA19	43	HVDD1	79	GPIOA0	115	GPIOD1
8	MCS2#	44	VSS	80	GPIOA1	116	CFCE2#
9	MCS1#	45	MII_CRS	81	GPIOA2	117	CFCE1#
10	MCS0#	46	MII_COL	82	GPIOA3	118	CFIORD#
11	LVDD	47	MII_TXD3	83	GPIOA4	119	CFIOWR#
12	MOE#	48	MII_TXD2	84	GPIOA5	120	CFIREQ
13	MWE0#	49	MII_TXD1	85	GPIOA6	121	CFRST
14	MWE1#	50	LVDD	86	GPIOA7	122	VSS
15	HVDD1	51	MII_TXD0	87	HVDD1	123	HVDD1
16	MCLKEN	52	MII_TXEN	88	VSS	124	CFWAIT#
17	MCLK	53	MII_TXCLK	89	GPIOB0	125	CFSTSCHG#
18	VSS	54	MII_RXER	90	GPIOB1	126	CFDEN#
19	MRAS#	55	VSS	91	GPIOB2	127	CFDDIR
20	MCAS#	56	HVDD1	92	GPIOB3	128	MA0
21	MD0	57	MII_RXCLK	93	LVDD	129	MA1
22	MD1	58	MII_RXDV	94	GPIOB4	130	MA2
23	MD2	59	MII_RXD0	95	GPIOB5	131	MA3
24	MD3	60	MII_RXD1	96	GPIOB6	132	VSS
25	VSS	61	LVDD	97	GPIOB7	133	LVDD
26	LVDD	62	MII_RXD2	98	VSS	134	MA4
27	MD4	63	MII_RXD3	99	CMHREF	135	MA5
28	MD5	64	MII_MDC	100	CMVREF	136	MA6
29	MD6	65	MII_MDIO	101	CMCLKIN	137	MA7
30	MD7	66	VSS	102	CMCLKOUT	138	MA8
31	HVDD1	67	CLKI	103	CMDATA0	139	HVDD1
32	MD8	68	PLL_VSS	104	CMDATA1	140	MA9
33	MD9	69	VCP	105	HVDD2	141	MA10
34	MD10	70	PLL_VDD	106	CMDATA2	142	MA11
35	MD11	71	RESET#	107	CMDATA3	143	MA12
36	VSS	72	TESTEN	108	CMDATA4	144	MA13

注意：端子名称右端の#は、ローアクティブ信号であることを示しています。

3. 端子

3.1 端子の説明

- # : 端子名称右端の#は、そのローアクティブ信号であることを示しています。
I : 入力ピン
O : 出力ピン
IO : 双方向ピン
P : 電源

表 3.1 Cell Type の説明

Cell Type	説明	使用端子例
ICS	LVC MOS Schmitt input	TCK, CLKI, RESET#
ICD1	LVC MOS input with pull-down resistor (50kΩ@3.3V)	TESTEN
ICU1	LVC MOS input with pull-up resistor (50kΩ@3.3V)	TMS, TDI
ICSU1	LVC MOS Schmitt input with pull-up resistor (50kΩ@3.3V)	TRST#
BLNC4	Low noise LVC MOS IO buffer (±4mA)	MII
BLNC4U1	Low noise LVC MOS IO buffer with pull-up resistor (50kΩ@3.3V) (±4mA)	CF I/F
BLNC4D2	Low noise LVC MOS IO buffer with pull-down resistor (100kΩ@3.3V) (±4mA)	MD [15:0]
BLNS4	Low noise LVC MOS Schmitt IO buffer (±4mA)	GPIOA, GPIOB, GPIOD [1:0]
BLNS4D1	Low noise LVC MOS Schmitt IO buffer with pull-down resistor (50kΩ@3.3V) (±4mA)	Camera I/F
OLN4	Low noise output buffer (±4mA)	MEMC I/F (MD を除く)
OTLN4	Low noise Tri-state output buffer (±4mA)	TDO
OLTR	Low Voltage Transparent Output	VCP

表 3.2 端子の説明

端子名称	Type	Cell Type	ピン No.	説明
(MA [23:22])	(I/O)	(BLNS4)	(97-96)	これらの端子については GPIOB[7:6]の説明を参照してください。
(MA [21:20])	(I/O)	(BLNS4)	(114-115)	これらの端子については GPIOD[1:0]の説明を参照してください。
MA [19:12]	O	OLN4	7, 1-5, 143-144	アドレス出力信号[19:12] このうち MA[15:14]は SDRAM 使用時はバンクアドレスとして BA[1:0]になります。
MA 11	O	OLN4	142	この端子は以下の機能を持っています。 ・ MA11：アドレス出力信号 11（リセット直後の端子機能） ・ CFREG#出力信号 コンパクトフラッシュ(CF)インタフェース動作時は、CF インタフェースのアトリビュートおよび I/O 空間を選択する REG 信号として動作します。
MA [10:0]	O	OLN4	128-131, 134-138, 140-141	これらの端子は以下の機能を持っています。 ・ MA[10:0]：アドレス出力信号[10:0]（リセット直後の端子機能） ・ CFADDR[10:0]出力信号 CF インタフェース動作時は、CF インタフェースのアドレス信号[10:0]となります。
MD [15:0]	I/O	BLNC4D2	21-24, 27-30, 32-35, 37-40	これらの端子は以下の機能を持っています。 ・ 16Bit のメモリ用 Data Bus（リセット直後の端子機能） ・ CF インタフェース動作時は 16Bit データとなります。 ・ MODESEL[15:0] パワーオンリセット時(RESET#の Low から High への遷移時)に内部の動作モードを決めるためにサンプリングされます。 “ 4.1 システムコンフィギュレーション ”の項を参照してください。 この時、動作モードを決めるために外部でプルアップ抵抗が必要になる場合があります。（4.7～10k 程度の抵抗）
MCS [2:0]#	O	OLN4	8-10	メモリ（SDRAM,スタティックメモリ）用チップセレクト信号（ローアクティブ信号） SDRAM 対応は MCS2#になります。
MOE#	O	OLN4	12	この端子は以下の機能を持っています。 （ローアクティブ信号） ・ MOE#：メモリ出力用ストロブ信号（リセット直後の端子機能） ・ CFOE#出力信号 CF インタフェース動作時は、CF インタフェースのメモリおよびアトリビュート空間の出力イネーブル信号となります。
MWE0#	O	OLN4	13	この端子は以下の機能を持っています。 （ローアクティブ信号） ・ MWE0#：メモリ用 Write Enable 信号（スタティックメモリ用）（リセット直後の端子機能） ・ CFWE#出力信号 CF インタフェース動作時は、CF インタフェースのメモリおよびアトリビュート空間のライトイネーブル信号となります。
MWE1#	O	OLN4	14	メモリ用 Write Enable 信号（SDRAM 用） （ローアクティブ信号）
MCLK	O	OLN4	17	SDRAM 用クロック出力 内部動作周波数（CPUCLK）と同じ周波数が出力されます。
MCLKEN	O	OLN4	16	SDRAM 用クロック・イネーブル信号
MRAS#	O	OLN4	19	SDRAM 用 RAS 信号（ローアクティブ信号）
MCAS#	O	OLN4	20	SDRAM 用 CAS 信号（ローアクティブ信号）
MDQML MDQMH	O	OLN4	41-42	これらの端子は以下の機能を持っています。 ・ バイトイネーブル信号（スタティックメモリ用） ・ SDRAM 用 DQM 信号 MDQML が下位バイトに対応し、MDQMH が上位バイトに対応します。

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
MII_TXCLK	I/O	BLNC4	53	この端子は以下の機能を持っています。 ・ MII_TXCLK : Media Independent Interface Ethernet PHY (以下 MII PHY)用送信データ出力用クロック TXCLK 入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF7 入出力
MII_TXEN	I/O	BLNC4	52	この端子は以下の機能を持っています。 ・ MII_TXEN : MII PHY 用送信出力イネーブル TXEN 出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF6 入出力
MII_TXD3	I/O	BLNC4	47	この端子は以下の機能を持っています。 ・ MII_TXD3 : MII PHY 用送信データ TXD3 出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF2 入出力
MII_TXD2	I/O	BLNC4	48	この端子は以下の機能を持っています。 ・ MII_TXD2 : MII PHY 用送信データ TXD2 出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF3 入出力
MII_TXD1	I/O	BLNC4	49	この端子は以下の機能を持っています。 ・ MII_TXD1 : MII PHY 用送信データ TXD1 出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF4 入出力
MII_TXD0	I/O	BLNC4	51	この端子は以下の機能を持っています。 ・ MII_TXD0 : MII PHY 用送信データ TXD0 出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF5 入出力
MII_RXCLK	I/O	BLNC4	57	この端子は以下の機能を持っています。 ・ MII_RXCLK : MII PHY 用受信データクロック (RXCLK)入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOG1 入出力
MII_COL	I/O	BLNC4	46	この端子は以下の機能を持っています。 ・ MII_COL : MII PHY 用コリジョン (COL)検出入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF1 入出力
MII_CRS	I/O	BLNC4	45	この端子は以下の機能を持っています。 ・ MII_CRS : MII PHY 用キャリアセンス (CRS)入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOF0 入出力
MII_RXDV	I/O	BLNC4	58	この端子は以下の機能を持っています。 ・ MII_RXDV : MII PHY 用受信データ有効 (RXDV)入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOG2 入出力
MII_RXD [3:0]	I/O	BLNC4	59-60, 62-63	これらの端子は以下の機能を持っています。 ・ MII_RXD[3:0] : MII PHY 用受信データ RXD[3:0]入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOG[6:3]入出力
MII_RXER	I/O	BLNC4	54	この端子は以下の機能を持っています。 ・ MII_RXER : MII PHY 用受信エラー (RXER)入力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOG0 入出力
MII_MDC	I/O	BLNC4	64	この端子は以下の機能を持っています。 ・ MII_MDC : MII PHY 用マネージメント・インタフェース・クロック (MDC)出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOG7 入出力

端子名称	Type	Cell Type	ピン No.	説明
MII_MDIO	I/O	BLNC4	65	この端子は以下の機能を持っています。 ・ MII_MDIO : MII PHY 用マネージメント・インタフェース・データ(MDIO)入出力 (リセット直後の端子機能 ; GPIO 以外の機能 1) ・ GPIOH0 入出力
CMDATA [7:0]	I/O	BLNS4D1	103-104, 106-111	これらの端子は以下の機能を持っています。 ・ CMDATA[7:0] : カメラ YUV データ入力 これらの端子は、リセット時は GPIOC[7:0]入力になっています。CMDATA[7:0]端子として使用するためには GPIOC 端子機能レジスタのビット[15:0]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOC[7:0]入出力 (リセット直後の端子機能)
CMVREF	I/O	BLNS4D1	100	この端子は以下の機能を持っています。 ・ CMVREF : カメラデータ入力時の垂直同期入力 この端子は、リセット時は GPIOD4 入力になっています。CMVREF 端子として使用するためには GPIOD 端子機能レジスタのビット[9:8]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD4 入出力 (リセット直後の端子機能)
CMHREF	I/O	BLNS4D1	99	この端子は以下の機能を持っています。 ・ CMHREF : カメラデータ入力時の水平同期入力 この端子は、リセット時は GPIOD5 入力になっています。CMHREF 端子として使用するためには GPIOD 端子機能レジスタのビット[11:10]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD5 入出力 (リセット直後の端子機能)
CMCLKOUT	I/O	BLNS4D1	102	この端子は以下の機能を持っています。 ・ CMCLKOUT : カメラ用基本クロック出力 この端子は、リセット時は GPIOD6 入力になっています。CMCLKOUT 端子として使用するためには GPIOD 端子機能レジスタのビット[13:12]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD6 入出力 (リセット直後の端子機能)
CMCLKIN	I/O	BLNS4D1	101	この端子は以下の機能を持っています。 ・ CMCLKIN : カメラデータ入力用ピクセルクロック この端子は、リセット時は GPIOD7 入力になっています。CMCLKIN 端子として使用するためには GPIOD 端子機能レジスタのビット[15:14]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD7 入出力 (リセット直後の端子機能)
CFCE2#	I/O	BLNC4U1	116	この端子は以下の機能を持っています。 (ローアクティブ信号) ・ CFCE2# : Compact Flash Memory Interface 用 (以下 CF 用) カードイネーブル 2(CE2#)出力 この端子は、リセット時は GPIOD2 入力になっています。CFCE2#端子として使用するためには GPIOD 端子機能レジスタのビット[5:4]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD2 入出力 (リセット直後の端子機能)
CFCE1#	I/O	BLNC4U1	117	この端子は以下の機能を持っています。 (ローアクティブ信号) ・ CFCE1# : CF 用カードイネーブル 1 (CE1#) 出力 この端子は、リセット時は GPIOD3 入力になっています。CFCE1#端子として使用するためには GPIOD 端子機能レジスタのビット[7:6]を“ GPIO 以外の機能 1 ”に設定してください。 ・ GPIOD3 入出力 (リセット直後の端子機能)

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
CFIORD#	I/O	BLNC4U1	118	<p>この端子は以下の機能を持っています。 (ローアクティブ信号)</p> <ul style="list-style-type: none"> CFIORD# : CF 用 IO Read ストローブ出力 この端子は、リセット時は GPIOE0 入力になっています。 CFIORD#端子として使用するためには GPIOE 端子機能レジスタのビット[1:0]を“GPIO 以外の機能 1”に設定してください。 GPIOE0 入出力 (リセット直後の端子機能) I2S0_SD : I2S0 用シリアルデータ (GPIO 以外の機能 2)
CFIOWR#	I/O	BLNC4U1	119	<p>この端子は以下の機能を持っています。 (ローアクティブ信号)</p> <ul style="list-style-type: none"> CFIOWR# : CF 用 IO Write ストローブ出力 この端子は、リセット時は GPIOE1 入力になっています。 CFIOWR#端子として使用するためには GPIOE 端子機能レジスタのビット[3:2]を“GPIO 以外の機能 1”に設定してください。 GPIOE1 入出力 (リセット直後の端子機能) I2S0_SCK : I2S0 用シリアルクロック (GPIO 以外の機能 2)
CFWAIT#	I/O	BLNC4U1	124	<p>この端子は以下の機能を持っています。 (ローアクティブ信号)</p> <ul style="list-style-type: none"> CFWAIT# : CF 用ウェイト要求力 この端子は、リセット時は GPIOE2 入力になっています。 CFWAIT#端子として使用するためには GPIOE 端子機能レジスタのビット[5:4]を“GPIO 以外の機能 1”に設定してください。 MWAIT# : メモリコントローラ用ウェイト信号 CFWAIT#信号と端子を共用 (GPIO 以外の機能 1) GPIOE2 入出力 (リセット直後の端子機能)
CFRST	I/O	BLNC4U1	121	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> CFRST : CF カードへのリセット信号 カードリセット時に HIGH、カードの通常動作時に LOW となります。 この端子は、リセット時は GPIOE3 入力になっています。 CFRST 端子として使用するためには GPIOE 端子機能レジスタのビット[7:6]を“GPIO 以外の機能 1”に設定してください。 GPIOE3 入出力 (リセット直後の端子機能) I2S0_WS : I2S0 用ワードセレクト (GPIO 以外の機能 2)
CFIREQ	I/O	BLNC4U1	120	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> CFIREQ : CF カードからの割り込み要求信号 この端子は、リセット時は GPIOE4 入力になっています。 CFIREQ 端子として使用するためには GPIOE 端子機能レジスタのビット[9:8]を“GPIO 以外の機能 1”に設定してください。 GPIOE4 入出力 (リセット直後の端子機能)
CFSTSCHG#	I/O	BLNC4U1	125	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> CFSTSCHG# : CF カードからのステータスチェンジ信号 (ローアクティブ信号) この端子は、リセット時は GPIOE5 入力になっています。 CFSTSCHG#端子として使用するためには GPIOE 端子機能レジスタのビット[11:10]を“GPIO 以外の機能 1”に設定してください。 GPIOE5 入出力 (リセット直後の端子機能) I2S1_SD : I2S1 用シリアルデータ (GPIO 以外の機能 2)

端子名称	Type	Cell Type	ピン No.	説明
CFDEN#	I/O	BLNC4U1	126	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・CFDEN# : CF カードの外部バッファ用データバスイネーブル信号 (ローアクティブ信号) <p>この端子は、リセット時は GPIOE6 入力になっています。CFDEN#端子として使用するためには GPIOE 端子機能レジスタのビット[13:12]を “GPIO 以外の機能 1” に設定してください。</p> <ul style="list-style-type: none"> ・GPIOE6 入出力端子 (リセット直後の端子機能) ・I2S1_SCK : I2S1 用シリアルクロック (GPIO 以外の機能 2)
CFDDIR	I/O	BLNC4U1	127	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・CFDDIR : CF 用データバス方向指示出力 <p>この端子は、CF 用データのリード時に LOW となります。また、この端子はリセット時には GPIOE7 入力になっています。CFDDIR 端子として使用するためには GPIOE 端子機能レジスタのビット[15:14]を “GPIO 以外の機能 1” に設定してください。</p> <ul style="list-style-type: none"> ・GPIOE7 入出力 (リセット直後の端子機能) ・I2S1_WS : I2S1 用ワードセレクト (GPIO 以外の機能 2)
GPIOA0	I/O	BLNS4	79	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA0 入出力 (リセット直後の端子機能) ・TXD0 : UART 送信データ出力 (GPIO 以外の機能 1)
GPIOA1	I/O	BLNS4	80	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA1 入出力 (リセット直後の端子機能) ・RXD0 : UART 受信データ入力 (GPIO 以外の機能 1)
GPIOA2	I/O	BLNS4	81	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA2 入出力 (リセット直後の端子機能) ・SPI_SS : SPI 用チップセレクト (GPIO 以外の機能 1) ・TXD1 : UART Lite 送信データ出力 (GPIO 以外の機能 2)
GPIOA3	I/O	BLNS4	82	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA3 入出力 (リセット直後の端子機能) ・SPI_SCLK : SPI 用シリアルクロック (GPIO 以外の機能 1) ・RXD1 : UART Lite 受信データ入力 (GPIO 以外の機能 2)
GPIOA4	I/O	BLNS4	83	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA4 入出力 (リセット直後の端子機能) ・SPI_MISO : SPI 用シリアルデータマスタ入力 / スレーブ出力 (GPIO 以外の機能 1)
GPIOA5	I/O	BLNS4	84	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA5 入出力 (リセット直後の端子機能) ・SPI_MOSI : SPI 用シリアルデータマスタ出力 / スレーブ入力 (GPIO 以外の機能 1)
GPIOA6	I/O	BLNS4	85	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA6 入出力 (リセット直後の端子機能) ・SCL : I²C 用クロック入出力 (GPIO 以外の機能 1)
GPIOA7	I/O	BLNS4	86	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOA7 入出力 (リセット直後の端子機能) ・SDA : I²C 用データ入出力 (GPIO 以外の機能 1)
GPIOB0	I/O	BLNS4	89	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOB0 入出力 (リセット直後の端子機能) ・INT0 入力 ・I2S0_WS : I2S0 用ワードセレクト (GPIO 以外の機能 2)
GPIOB1	I/O	BLNS4	90	<p>この端子は以下の機能を持っています。</p> <ul style="list-style-type: none"> ・GPIOB1 入出力 (リセット直後の端子機能) ・INT1 入力 ・RTS0# : UART 送信要求出力 (GPIO 以外の機能 1) ・I2S0_SCK : I2S0 用シリアルクロック (GPIO 以外の機能 2)

3. 端子

端子名称	Type	Cell Type	ピン No.	説明
GPIOB2	I/O	BLNS4	91	この端子は以下の機能を持っています。 ・ GPIOB2 入出力（リセット直後の端子機能） ・ INT2 入力 ・ CTS0# : UART 送信可能入力（GPIO 以外の機能 1） ・ I2S0_SD : I2S0 用シリアルデータ（GPIO 以外の機能 2）
GPIOB3	I/O	BLNS4	92	この端子は以下の機能を持っています。 ・ GPIOB3 入出力（リセット直後の端子機能） ・ INT3 入力 ・ Timer0 出力（GPIO 以外の機能 1） ・ I2S1_SD : I2S1 用シリアルデータ（GPIO 以外の機能 2）
GPIOB4	I/O	BLNS4	94	この端子は以下の機能を持っています。 ・ GPIOB4 入出力（リセット直後の端子機能） ・ INT4 入力 ・ Timer1 出力（GPIO 以外の機能 1）
GPIOB5	I/O	BLNS4	95	この端子は以下の機能を持っています。 ・ GPIOB5 入出力（リセット直後の端子機能） ・ INT5 入力 ・ Timer2 出力（GPIO 以外の機能 1）
GPIOB6	I/O	BLNS4	96	この端子は以下の機能を持っています。 ・ GPIOB6 入出力（リセット直後の端子機能） ・ INT6 入力 ・ MA22 : アドレス出力端子 22（GPIO 以外の機能 1） ・ I2S1_SCK : I2S1 用シリアルクロック（GPIO 以外の機能 2）
GPIOB7	I/O	BLNS4	97	この端子は以下の機能を持っています。 ・ GPIOB7 入出力（リセット直後の端子機能） ・ INT7 入力 ・ MA23 : アドレス出力端子 23（GPIO 以外の機能 1） ・ I2S1_WS : I2S1 用ワードセレクト（GPIO 以外の機能 2）
GPIOD0	I/O	BLNS4	114	この端子は以下の機能を持っています。 ・ GPIOD0 入出力（リセット直後の端子機能） ・ INT8 入力 ・ MA20 : アドレス出力信号 20（GPIO 以外の機能 1）
GPIOD1	I/O	BLNS4	115	この端子は以下の機能を持っています。 ・ GPIOD1 入出力（リセット直後の端子機能） ・ MA21 : アドレス出力信号 21（GPIO 以外の機能 1）
CLKI	I	ICS	67	32kHz クロック入力 このチップへの基本クロック入力。内部の PLL により数十 MHz への逡倍が行われ、それが内部動作の基本クロックとなります。 シュミットトリガ入力となっています。
VCP	O	OLTR	69	内蔵 PLL 用テスト端子 テスト時に PLL の出力をモニタするために使用します。 通常使用時はオープンにしてください。
TRST#	I	ICSU1	73	JTAG Interface 用リセット（ローアクティブ信号） プルアップ抵抗付シュミットトリガ入力になっています。
TCK	I	ICS	74	JTAG Interface 用クロック入力ピン シュミットトリガ入力になっています。
TMS	I	ICU1	75	JTAG Interface 用 TMS ピン この端子はプルアップ抵抗を内蔵しています。
TDI	I	ICU1	76	JTAG Interface 用シリアルデータ入力ピン この端子はプルアップ抵抗を内蔵しています。
TDO	O	OTLN4	77	JTAG Interface 用シリアルデータ出力ピン

端子名称	Type	Cell Type	ピン No.	説明
TESTEN	I	ICD1	72	テストイネーブル（ハイアクティブ信号） この端子はプルダウン抵抗を内蔵しています。 通常使用時は VSS へ接続するか、またはオープンにしてください。
RESET#	I	ICS	71	システムリセット信号（ローアクティブ信号） HVDD1 および LVDD が安定した後も 100ms の間 Reset# をアクティブ (Low) に保ってください。
HVDD1	P	P	15, 31, 43, 56, 87, 123, 139	I/O セル用電源：3.3V （カメラインタフェース以外）
HVDD2	P	P	105	カメラインタフェース用電源：3.0 (Typical) 2.4V (Min) – 3.6V (Max)
LVDD	P	P	11, 26, 50, 61, 93, 113, 133	コア（内部）用電源：1.8V
PLLVD	P	P	70	アナログ(PLL)用電源：1.8V アナログ電源としての取り扱いが必要です。ノイズの少ない安定した電源を供給してください。
PLLVS	P	P	68	アナログ(PLL)用グラウンド アナログ電源としての取り扱いが必要です。ノイズの少ない安定したグラウンドを供給してください。
VSS	P	P	6, 18, 25, 36, 44, 55, 66, 78, 88, 98, 112, 122, 132	I/O セル、カメラインタフェースおよびコア電源共通グラウンド

3. 端子

3.2 GPIO端子のマルチプレクス端子機能、リセット直後の端子機能

S1S65010 端子名称	リセット 直後の 端子機能	GPIO	INT	アドレ スバス	UART/ UARTL	I2C	SPI / I2S	タイマ	カメラ I/F	CF カード	MII
GPIOA0	GPIOA0	GPIOA0			TXD0						
GPIOA1	GPIOA1	GPIOA1			RXD0						
GPIOA2	GPIOA2	GPIOA2			TXD1		SPI_SS				
GPIOA3	GPIOA3	GPIOA3			RXD1		SPI_SCLK				
GPIOA4	GPIOA4	GPIOA4					SPI_MISO				
GPIOA5	GPIOA5	GPIOA5					SPI_MOSI				
GPIOA6	GPIOA6	GPIOA6				SCL					
GPIOA7	GPIOA7	GPIOA7				SDA					
GPIOB0	GPIOB0	GPIOB0	INT0				I2S0_WS				
GPIOB1	GPIOB1	GPIOB1	INT1		RTS0#		I2S0_SCK				
GPIOB2	GPIOB2	GPIOB2	INT2		CTS0#		I2S0_SD				
GPIOB3	GPIOB3	GPIOB3	INT3				I2S1_SD	Timer0out			
GPIOB4	GPIOB4	GPIOB4	INT4					Timer1out			
GPIOB5	GPIOB5	GPIOB5	INT5					Timer2out			
GPIOB6	GPIOB6	GPIOB6	INT6	MA22			I2S1_SCK				
GPIOB7	GPIOB7	GPIOB7	INT7	MA23			I2S1_WS				
CMDATA0	GPIOC0	GPIOC0							CMDATA0		
CMDATA1	GPIOC1	GPIOC1							CMDATA1		
CMDATA2	GPIOC2	GPIOC2							CMDATA2		
CMDATA3	GPIOC3	GPIOC3							CMDATA3		
CMDATA4	GPIOC4	GPIOC4							CMDATA4		
CMDATA5	GPIOC5	GPIOC5							CMDATA5		
CMDATA6	GPIOC6	GPIOC6							CMDATA6		
CMDATA7	GPIOC7	GPIOC7							CMDATA7		
GIOD0	GIOD0	GIOD0	INT8	MA20							
GIOD1	GIOD1	GIOD1		MA21							
CFCE2#	GIOD2	GIOD2								CFCE2#	
CFCE1#	GIOD3	GIOD3								CFCE1#	
CMVREF	GIOD4	GIOD4							CMVREF		
CMHREF	GIOD5	GIOD5							CMHREF		
CMCLKOUT	GIOD6	GIOD6							CMCLKOUT		
CMCLKIN	GIOD7	GIOD7							CMCLKIN		
CFIORD#	GPIOE0	GPIOE0					I2S0_SD			CFIORD#	
CFIOWR#	GPIOE1	GPIOE1					I2S0_SCK			CFIOWR#	
CFWAIT#	GPIOE2	GPIOE2								CFWAIT# / MWAIT#	
CFRST	GPIOE3	GPIOE3					I2S0_WS			CFRST	
CFIREQ	GPIOE4	GPIOE4								CFIREQ	
CFSTSCHG#	GPIOE5	GPIOE5					I2S1_SD			CFSTSCHG#	
CFDEN#	GPIOE6	GPIOE6					I2S1_SCK			CFDEN#	
CFDDIR	GPIOE7	GPIOE7					I2S1_WS			CFDDIR	
MII_CRS	MII_CRS	GPIOF0									MII_CRS
MII_COL	MII_COL	GPIOF1									MII_COL
MII_TXD3	MII_TXD3	GPIOF2									MII_TXD3
MII_TXD2	MII_TXD2	GPIOF3									MII_TXD2
MII_TXD1	MII_TXD1	GPIOF4									MII_TXD1
MII_TXD0	MII_TXD0	GPIOF5									MII_TXD0
MII_TXEN	MII_TXEN	GPIOF6									MII_TXEN
MII_TXCLK	MII_TXCLK	GPIOF7									MII_TXCLK
MII_RXER	MII_RXER	GPIOG0									MII_RXER
MII_RXCLK	MII_RXCLK	GPIOG1									MII_RXCLK
MII_RXDV	MII_RXDV	GPIOG2									MII_RXDV
MII_RXD0	MII_RXD0	GPIOG3									MII_RXD0
MII_RXD1	MII_RXD1	GPIOG4									MII_RXD1
MII_RXD2	MII_RXD2	GPIOG5									MII_RXD2
MII_RXD3	MII_RXD3	GPIOG6									MII_RXD3
MII_MDC	MII_MDC	GPIOG7									MII_MDC
MII_MDIO	MII_MDIO	GPIOH0									MII_MDIO

機能 1

機能 2

3.3 リセット中およびリセット後の端子の状態

Pin Name	RESET 中の方向	RESET 中の値	内蔵抵抗の有無	説明
MA[19:0]	出力	Low (但し bit11 のみ High)	無し	
MD[15:0]	入力	Low	Pull Down 抵抗有り	100k
MCS[2]#	出力	Low	無し	
MCS[1]#	出力	High	無し	
MCS[0]#	出力	High	無し	
MOE#	出力	High	無し	
MWE0#	出力	High	無し	
MWE1#	出力	Low	無し	
MCLK	出力	MCLK(32KHz)	無し	
MCLKEN	出力	High	無し	
MRAS#	出力	Low	無し	
MCAS#	出力	High	無し	
MDQML	出力	Low	無し	
MDQMH	出力	Low	無し	
MII_TXCLK	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_TXEN	出力	Low	無し	
MII_TXD[3:0]	出力	不定	無し	初期化するまで不定
MII_RXCLK	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_COL	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_CRS	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_RXDV	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_RXD[3:0]	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_RXER	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
MII_MDC	出力	Low	無し	
MII_MDIO	入力	High-Z	無し	外部回路依存, 通常 MII-PHY
CMDATA[7:0]	入力	Low	Pull Down 抵抗有り	50k
CMVREF	入力	Low	Pull Down 抵抗有り	50k
CMHREF	入力	Low	Pull Down 抵抗有り	50k
CMCLKOUT	入力	Low	Pull Down 抵抗有り	50k
CMCLKIN	入力	Low	Pull Down 抵抗有り	50k
CFCE2#	入力	High	Pull Up 抵抗有り	50k
CFCE1#	入力	High	Pull Up 抵抗有り	50k
CFIORD#	入力	High	Pull Up 抵抗有り	50k
CFIOWR#	入力	High	Pull Up 抵抗有り	50k
CFWAIT#	入力	High	Pull Up 抵抗有り	50k
CFRST	入力	High	Pull Up 抵抗有り	50k
CFIREQ	入力	High	Pull Up 抵抗有り	50k
CFSTSCHG#	入力	High	Pull Up 抵抗有り	50k
CFDEN#	入力	High	Pull Up 抵抗有り	50k
CFDDIR	入力	High	Pull Up 抵抗有り	50k
GPIOA[7:0]	入力	High-Z	無し	外部回路依存
GPIOB[7:0]	入力	High-Z	無し	外部回路依存
GPIOD[1:0]	入力	High-Z	無し	外部回路依存
CLKI	入力	High-Z	無し	
VCP	出力	High-Z	無し	Open のまま使用する
TRST#	入力	High	Pull Up 抵抗有り	50k
TCK	入力	High-Z	無し	
TMS	入力	High	Pull Up 抵抗有り	50k
TDI	入力	High	Pull Up 抵抗有り	50k
TDO	出力	High-Z	無し	
TESTEN	入力	Low	Pull Down 抵抗有り	50k
RESET#	入力	Low	無し	

RESET 後の値は、それぞれのピンの設定内容により決まる。

4. 機能説明

4. 機能説明

4.1 システムコンフィギュレーション

S1S65010 ではチップの内部動作を、MD バスから決めるようになっています。

具体的にはリセット中の MD[15:0]バスの値を RESET#がアクティブの期間中及びその立ち上がりにより内部でサンプルし、確定させることにより、IC の動作モードが確定します。また、MD バス内部にはプルダウン抵抗 (Typ: 100KΩ) が内蔵されているため、通常は何もする必要はありません。システムの都合によっては外部にプルアップ抵抗をつけ、動作モードの変更を行うことができます。

外部にプルアップ抵抗をつけた場合には、外部のプルアップ抵抗と内部のプルダウン抵抗による定常電流が存在することになります。しかし S1S65010 では、このチップ内部のプルダウン抵抗をソフトウェアにより切り離すことによりこの定常電流を切ることができます。

詳細は“13. システムコントローラ”を参照してください。

表 4.1 システムコンフィギュレーション端子 MODESEL[15:0]

端子名	端子機能	リセット時の値	
		Low	High
MD0	MODESEL0	32kHz Mode	予約 (テスト用) *
MD1	MODESEL1	水晶発振安定時間 (3 秒)	予約 (テスト用) *
MD2	MODESEL2	通常動作	予約 (テスト用) *
MD3	MODESEL3	予約 (0 を使用すること)	
MD4	MODESEL4	USER 設定用	USER 設定用
MD5	MODESEL5	USER 設定用	USER 設定用
MD6	MODESEL6	USER 設定用	USER 設定用
MD7	MODESEL7	USER 設定用	USER 設定用
MD8	MODESEL8	USER 設定用	USER 設定用
MD9	MODESEL9	USER 設定用	USER 設定用
MD10	MODESEL10	USER 設定用	USER 設定用
MD11	MODESEL11	USER 設定用	USER 設定用
MD12	MODESEL12	USER 設定用	USER 設定用
MD13	MODESEL13	USER 設定用	USER 設定用
MD14	MODESEL14	USER 設定用	USER 設定用
MD15	MODESEL15	USER 設定用	USER 設定用

注意 *: 予約 (テスト用) と指定されている設定は使用しないでください。予約 (テスト用) の設定を使用した場合には IC の破壊に至ることがあります。

MD0 : クロック入力の設定

Low : 32kHz (PLL 入力)

High : 予約 (テスト用 : ユーザは使用できません。)

MD1 : 水晶発振安定時間指定

パワーオン時、またはリセット時にシステム (CPU) が起動する時間を設定します。

Low : 水晶発振安定時間 (3 秒) 後にシステム (CPU) が起動

High : 予約 (テスト用 : ユーザは使用できません。)

MD2 : クロックの出力モニタ用の設定

Low : 通常動作指定

High : 予約 (テスト用 : ユーザは使用できません)

MD3 : TEST 用として予約しています。必ず Low にして使用してください。

MD [15:4] : ユーザ用に 12Bits 分を開放しています。

設定された値はシステムコントローラ内の Chip Configuration Register に反映されます。ユーザ側で用途を決めて利用できます。

4.2 メモリマップ

S1S65010 のリセット後のメモリマップは次の通りです。ARM720T の持つ 4GB のスペースを以下のように利用しています。

4.2.1 メモリマップ (AHB1)

内部では 2 つの AHB Bus が存在しますが、ARM720T が接続された AHB Bus 側を以下 AHB1 Bus と呼びます。

表 4.2 AHB1 メモリマップ

Start Address	End Address	Size (Mega Byte)	Device	外部 Chip Select	Device Bus size (bit)
0x0000_0000	0x07FF_FFFF	128 MB	外部 ROM/SRAM	CS0/CS1	16
0x0800_0000	0x0FFF_FFFF	128 MB	Reserved		
0x1000_0000	0x1FFF_FFFF	256 MB	Reserved		
0x2000_0000	0x2FFF_FFFF	256 MB	内蔵 SRAM		32
0x3000_0000	0x37FF_FFFF	128 MB	外部 SDRAM	CS2	16
0x3800_0000	0x3FFF_FFFF	128 MB	Reserved		
0x4000_0000	0x4FFF_FFFF	256 MB	Reserved		
0x5000_0000	0x5FFF_FFFF	256 MB	Reserved		
0x6000_0000	0x6FFF_FFFF	256 MB	Reserved		
0x7000_0000	0x7FFF_FFFF	256 MB	Reserved		
0x8000_0000	0x8FFF_FFFF	256 MB	Reserved		
0x9000_0000	0x9FFF_FFFF	256 MB	Reserved		
0xA000_0000	0xAFFF_FFFF	256 MB	Reserved		
0xB000_0000	0xBFFF_FFFF	256 MB	Reserved		
0xC000_0000	0xC7FF_FFFF	128 MB	外部 ROM	CS0/CS1	16
0xC800_0000	0xCFFF_FFFF	128 MB	Reserved		
0xD000_0000	0xDFFF_FFFF	256 MB	Reserved		
0xE000_0000	0xEFFF_FFFF	256 MB	Reserved		
0xF000_0000	0xFFFF_FFFF	256 MB	内蔵 I/O エリア		32/16/8

CS0 につながるデバイスがブートデバイスとなります。内蔵 SRAM は実際には容量の少ないサイズが実装されていますが、空間としては 256 MB が割り当てられています。内蔵 SRAM エリア中の実体のない部分は、同じ内容が繰り返して見えます。

0xC000_0000～0xCFFF_FFFF のエリアは 0x0000_0000 に配置された Device の別名空間エリアになります。すなわち、こちらの空間をアクセスしても同じ内容が見えます。

メモリマップの最下位に位置する部分は S1S65010 の内蔵 I/O デバイスによって使用されます。この内蔵 I/O の配置は、“表 4.4 内蔵 I/O マップ” に示します。

4. 機能説明

4.2.2 メモリマップ (AHB2)

S1S65010 の 2 つめの AHB-Bus は AHB2 とよばれます。以下にメモリマップを示します。

表 4.3 メモリマップ (AHB2)

Start Address	End Address	Size (Mega Byte)	Device	外部 Chip Select	Device Bus size (bit)
0x0000_0000	0x07FF_FFFF	128 MB	外部 ROM/SRAM	CS0/CS1	16
0x0800_0000	0x0FFF_FFFF	128 MB	Reserved		
0x1000_0000	0x1FFF_FFFF	256 MB	Reserved		
0x2000_0000	0x2FFF_FFFF	256 MB	内蔵 SRAM		32
0x3000_0000	0x37FF_FFFF	128 MB	外部 SDRAM	CS2	16
0x3800_0000	0x3FFF_FFFF	128 MB	Reserved		
0x4000_0000	0x4FFF_FFFF	256 MB	Reserved		
0x5000_0000	0x5FFF_FFFF	256 MB	Reserved		
0x6000_0000	0x6FFF_FFFF	256 MB	Reserved		
0x7000_0000	0x7FFF_FFFF	256 MB	Reserved		
0x8000_0000	0x8FFF_FFFF	256 MB	Reserved		
0x9000_0000	0x9FFF_FFFF	256 MB	Reserved		
0xA000_0000	0xAFFF_FFFF	256 MB	Reserved		
0xB000_0000	0xBFFF_FFFF	256 MB	Reserved		
0xC000_0000	0xC7FF_FFFF	128 MB	外部 ROM/SRAM	CS0/CS1	16
0xC800_0000	0xCFFF_FFFF	128 MB	Reserved		
0xD000_0000	0xDFFF_FFFF	256 MB	Reserved		
0xE000_0000	0xEFFF_FFFF	256 MB	JPEG DMA Port		32
0xF000_0000	0xFFFF_FFFF	256 MB	Reserved		

AHB1 および AHB2 のメモリマップの通り、S1S65010 の (外部) メモリコントローラにつながったメモリ (CS0/1/2 の領域、すなわち外部 ROM、外部 SDRAM、外部 SRAM)、および内蔵 SRAM に関しては、共有リソースとしてどちらの AHB-Bus (Master) からアクセスすることができます。

4.3 I/Oマップ

内蔵 I/O 領域は 0xF000_0000～0xFFFF_FFFF の 256 MB 領域の内、以下の部分を実際に使用しています。空欄部分（予約）に関しては Device は存在せず、アクセスしても不定データが読み出されるだけです。

表 4.4 内蔵 I/O マップ

Base Address	Space Size (Byte)	Description
0xFFFD_0000	64KB	予約
0xFFFE_0000	4KB	APB ブリッジ
0xFFFE_1000	4KB	予約
0xFFFE_2000	4KB	Ethernet Mac
0xFFFE_3000	4KB	DMAC1
0xFFFE_4000	2KB	CF カード アトリビュートメモリ空間
0xFFFE_4800	2KB	CF カード コモンメモリ空間
0xFFFE_5000	2KB	CF カード I/O 空間
0xFFFE_5800	1KB	CF カード True IDE CS1# 空間
0xFFFE_5C00	1KB	CF カード True IDE CS2# 空間
0xFFFE_6000	4KB	CF カード制御レジスタ
0xFFFE_7000	4KB	予約
0xFFFE_8000	4KB	カメラインタフェース
0xFFFE_9000	4KB	JPEG リサイズ
0xFFFE_A000	4KB	JPEG モジュール/FIFO 制御
0xFFFE_B000	4KB	JPEG コーデック
0xFFFE_C000	4KB	JPEG DMAC
0xFFFE_D000	4KB	I2C
0xFFFE_E000	4KB	I2S
0xFFFE_F000	4KB	(割り込みコントローラ)
0xFFFF_0000	4KB	予約
0xFFFF_1000	4KB	GPIO/端子機能
0xFFFF_2000	4KB	SPI
0xFFFF_3000	4KB	予約
0xFFFF_4000	4KB	予約
0xFFFF_5000	4KB	UART
0xFFFF_6000	4KB	UARTL (UART Lite)
0xFFFF_7000	4KB	予約
0xFFFF_8000	4KB	RTC
0xFFFF_9000	4KB	DMAC2
0xFFFF_A000	4KB	メモリコントローラ
0xFFFF_B000	4KB	タイマ
0xFFFF_C000	4KB	ウォッチドッグタイマ
0xFFFF_D000	4KB	システムコントロール
0xFFFF_E000	4KB	予約
0xFFFF_F000	4KB	割り込みコントローラ

4. 機能説明

4.4 割り込みコントローラ

S1S65010 では FIQ については 2 つのソース、IRQ については最大 32 個の割り込みソースを取り扱えます。

IRQ のマッピングは以下のように内部の割り込み要求が割り込みコントローラに接続されています。詳細は“15. 割り込みコントローラ”を参照してください。

表 4.5 S1S65010 の割り込み信号ソースの接続

割り込みの種類	割り込みレベル	割り込みソース	説明
高速割り込み要求 FIQ	FIQ0	ウォッチドッグタイマ	
	FIQ1	GPIOB0 端子	Ex. Battery Low (*)
通常割り込み要求 IRQ	IRQ0	ウォッチドッグタイマ	
	IRQ1	割り込みコントローラ	レジスタによるソフトウェア割り込み
	IRQ2	ARM720T COMMRx	Debug Communication Port
	IRQ3	ARM720T COMMTx	Debug Communication Port
	IRQ4	タイマ	16 ビットタイマ チャンネル 0
	IRQ5	タイマ	16 ビットタイマ チャンネル 1
	IRQ6	タイマ	16 ビットタイマ チャンネル 2
	IRQ7	Ethernet Mac&E-DMA	
	IRQ8	JPEG 制御	
	IRQ9	DMAC1	AHB1 上の DMAC
	IRQ10	JPEG DMAC	
	IRQ11	カメラ I/F	
	IRQ12	予約	
	IRQ13	DMAC2	DMA INT (AHB2 上の JPEG 用 DMAC)
	IRQ14 (**)	GPIOA または GPIOB	GPIOA/B より割り込み入力端子選択
	IRQ15	SPI	SPI TXRDY/RXRDY
	IRQ16	I2C	転送完了
	IRQ17	UART	UART TXRDY/RXRDY
	IRQ18	RTC	アラームまたはタイマ設定間隔
	IRQ19	CF カード I/F	
	IRQ20 (*)	INT0	GPIOB0 直接入力
	IRQ21 (*)	INT1	GPIOB1 直接入力
	IRQ22 (*)	INT2	GPIOB2 直接入力
	IRQ23	UARTL	UART Lite
	IRQ24 (*)	INT3	GPIOB3 直接入力
	IRQ25 (*)	INT4	GPIOB4 直接入力
	IRQ26 (*)	INT5	GPIOB5 直接入力
	IRQ27 (*)	INT6	GPIOB6 直接入力
	IRQ28 (*)	INT7	GPIOB7 直接入力
	IRQ29 (*)	INT8	GPIOD0 直接入力
	IRQ30	I2S0	I2S CH0
	IRQ31	I2S1	I2S CH1

注意(*) : GPIOB[7:0]端子または GPIOD0 端子からの直接入力（デフォルトはローレベルアクティブ割り込み要求）です。これらの割り込みの設定（イネーブル、極性、レベル等）は割り込みコントローラの制御レジスタによってのみ変更が可能です。IRQ14(**)とは異なり、GPIO の制御レジスタによっては変更できません。

注意(**) : GPIOA[7:0]または GPIOB[7:0]から割り込み要求を設定します。詳細は“25. GPIO”のレジスタ詳細説明 GPIO[0x40]~GPIO[0x4C]を参照してください。

4.5 S1S65010 の内蔵機能

S1S65010 は、ネットワークカメラコントローラ機能を実現するために多くの機能ブロックを内蔵しています。

以下に一覧を示します。

章番号	機能ブロック名	機能名略号
5.	CPU	CPU
6.	DMA コントローラ 1	DMAC1
7.	カメラインタフェース	CAM
8.	JPEG コントローラ	JPG
9.	JPEG_DMIC	JDMA
10.	DMA コントローラ 2	DMAC2
11.	Ethernet MAC & E-DMA	ETH
12.	APB ブリッジ	APB
13.	システムコントローラ	SYS
14.	メモリアインタフェースコントローラ	MEMC
15.	割り込みコントローラ	INT
16.	UART	UART
17.	UART Lite	UARTL
18.	I2C Single Master Core Module	I2C
19.	I2S インタフェース	I2S
20.	シリアル周辺機器インタフェース	SPI
21.	コンパクトフラッシュカードインタフェース	CF
22.	タイマ	TIM
23.	リアルタイムクロック	RTC
24.	ウォッチドッグタイマ	WDT
25.	GPIO	GPIO

5. CPU

5. CPU

5.1 概要

S1S65010 の CPU モジュールとしては、ARM720T コアが使用されています。ARM720T は ARM7TDMI をコアとして、ユニファイド 8k バイトキャッシュ、メモリ管理ユニット (MMU)、拡張書き込みバッファを搭載しています。

ARM720T コアについての詳細は “ARM720T Revision 4 (AMBA AHB Bus Interface Version) コア CPU マニュアル” を参照してください。

5.2 ARM720T ブロック図

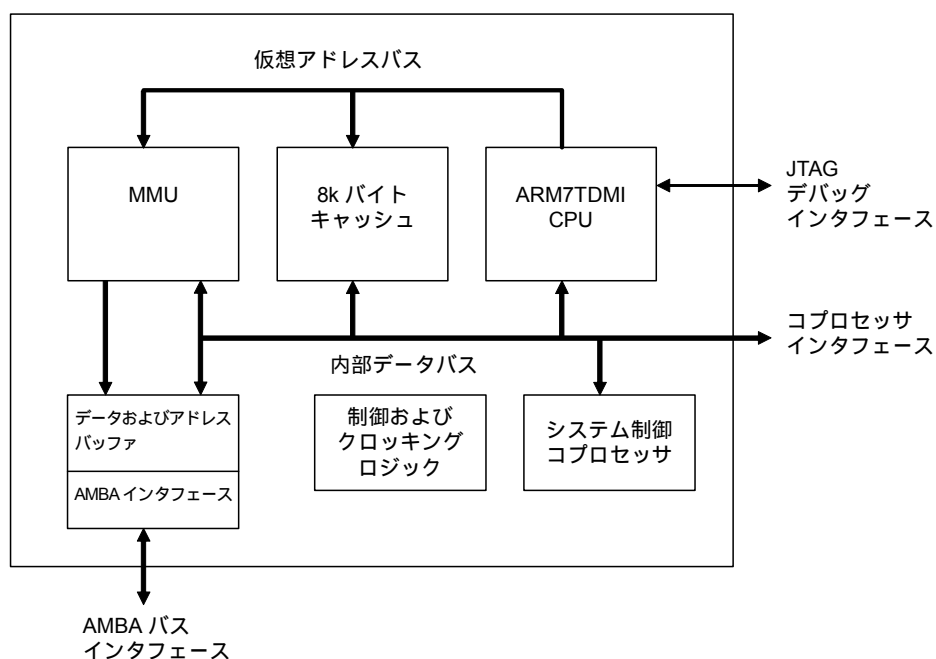


図 5.1 ARM720T ブロック図

6. DMA コントローラ 1 (DMAC1)

6.1 概要

DMAC1 は、AHB1 上のバスマスタとして置かれ、APB デバイスとメモリ間（内蔵および外部メモリ）、またはメモリ間（内蔵および外部メモリ）で、CPU を介することなく転送を行う DMA コントローラです。

本 DMA コントローラは 2 つのアドレス・フェーズを使うデュアルアドレス転送方式を採用しています。この方式は DMA 要求がある度ごとに、転送元アドレスからデータを DMAC1 内のテンポラリーレジスタに読み込み、次に転送先アドレスへテンポラリーレジスタの内容を書き込む方式で、転送回数が“0”になるまで、この動作を繰り返します。転送サイズは 8、16、32 ビットを指定可能です。

6.2 ブロック図

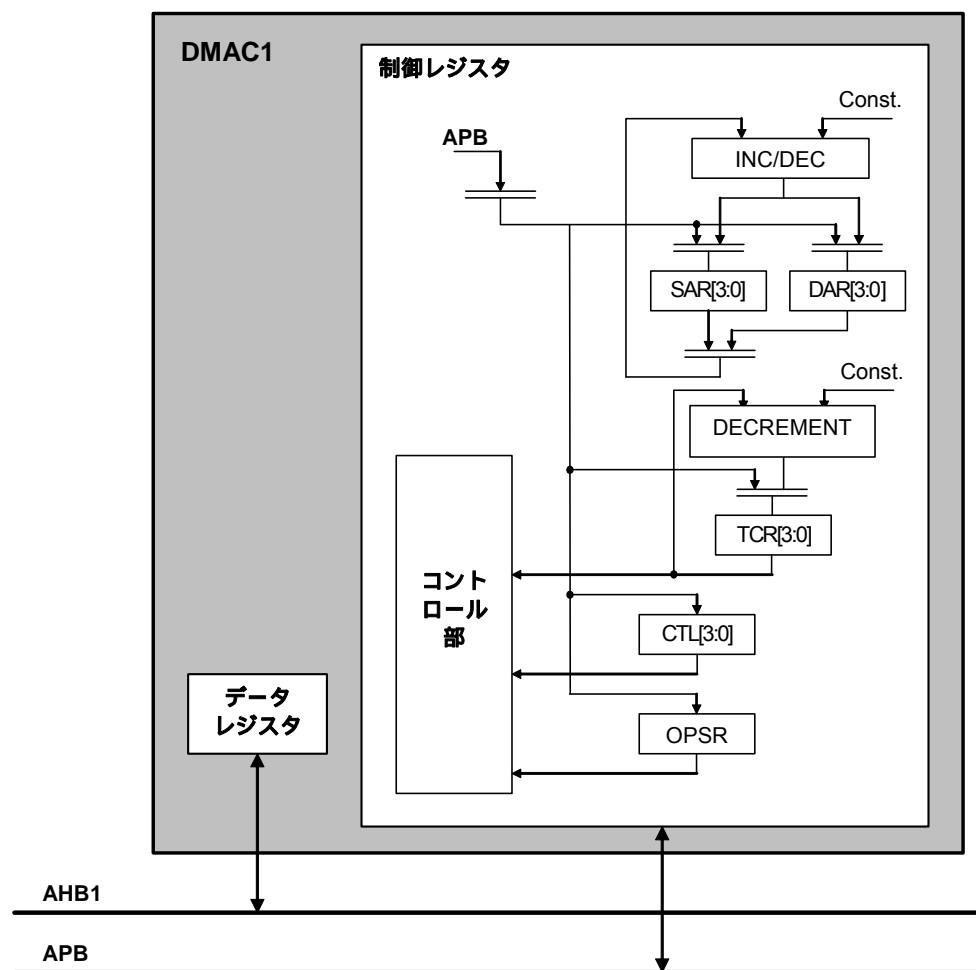


図 6.1 DMA コントローラ 1 (DMAC1) ブロック図

6.3 外部端子

DMA コントローラ 1 に関連する外部端子はありません。

6. DMA コントローラ 1 (DMAC1)

6.4 レジスタ

6.4.1 レジスタ一覧

DMAC1 関連レジスタのベースアドレスは 0xFFFFE_3000 です。
この章以降のレジスタに関しては、以下のような省略を用いることがあります。

R/W : リードおよびライト

RO : リードオンリ

WO : ライトオンリ

RSV : 予約ビット／レジスタ（特に指定のない場合は“0”を書き込んでください。）

n/a : not available（特に指定のない場合は“0”を書き込んでください。）

表 6.1 レジスタ一覧（ベースアドレス：0xFFFFE_3000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データアクセス サイズ
0x00	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x00XX_XXXX	R/W	32
0x0C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x0000_0000	R/W	32
0x10	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0XXXXX_XXXX	R/W	32
0x14	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0XXXXX_XXXX	R/W	32
0x18	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x00XX_XXXX	R/W	32
0x1C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x0000_0000	R/W	32
0x20	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0XXXXX_XXXX	R/W	32
0x24	DMA チャンネル 2 デスティネーションアドレスレジスタ	DAR2	0XXXXX_XXXX	R/W	32
0x28	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x00XX_XXXX	R/W	32
0x2C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x0000_0000	R/W	32
0x30	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0XXXXX_XXXX	R/W	32
0x34	DMA チャンネル 3 デスティネーションアドレスレジスタ	DAR3	0XXXXX_XXXX	R/W	32
0x38	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x00XX_XXXX	R/W	32
0x3C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x0000_0000	R/W	32
0x60	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x0000_0000	R/W	32

6.4.2 レジスタ詳細

特に指定のない場合、予約ビットには“0”をセットしてください。予約ビットに書き込みを行うと予想できない結果になることがあります。“n/a”と記載してあるビットはハードウェアに影響をあたえません。

あるレジスタは特定の条件の時のみアクセスできるようになっています。アクセス不可のレジスタへのリード／ライトは無効です。

DMA チャンネル 0 ソースアドレスレジスタ (SAR0)															
DMAC1[0x00] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 0 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0 ソースアドレス [31:0]

チャンネル 0 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 0 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 0 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

DMA チャンネル 0 デスティネーションアドレスレジスタ (DAR0)															
DMAC1[0x04] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 0 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0 デスティネーションアドレス [31:0]

チャンネル 0 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 0 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 0 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 0 転送カウントレジスタ (TCR0)															
DMAC1[0x08] 初期値 = 0x00XX_XXXX															
n/a								DMA チャンネル 0 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] :

DMA チャンネル 0 転送カウンタ [23:0]

これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに“0”を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって“0”になった時点で発生します。

このレジスタをリードすると bits[31:24]には“0”が付加されます。

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル 0 コントロールレジスタ (CTL0)															
DMAC1[0x0C] 初期値 = 0x0000_0000												Read/Write			
31	30	29	28	27	26	25	24	23	22	21	20	IDLE	RSV	AM	AL
DAM		SAM		RS				RSV	RIM	TM	TS	IE	TE	DE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] : **RSV 予約 (0)**

Bit 19 : **IDLE アイドル遅延イネーブル**

DMA ターゲット・デバイスによっては、イネーブルが必要です。

デバイスへのライト転送（メモリから IO デバイスへの転送）時には“1”に設定することを推奨します。

0 : 通常動作

1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 : **RSV 予約**

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 : **RSV 予約 (0)**

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

00 : 転送先アドレス固定（更新しない）

01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

00 : 転送元アドレス固定（更新しない）

01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。

0000 : I2C 出力 (WRREQ)

0001 : I2C 入力 (RDREQ)

0010 : I2S 入出力 (I2S #0)

0011 : I2S 入出力 (I2S #1)

0100 : UART 出力 (TXRDY)

0101 : UART 入力 (RXRDY)

0110 - 1110 : 予約

1111 : **SW-Request** ソフトウェアリクエスト

Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。

Bit 7 : **RSV 予約 (0)**

Bit 6 : RIM リクエスト入力モード

DMA 要求信号の入力モードを選択します。

- 0 : アクティブ LOW (レベルトリガ)
- 1 : 立ち下がりエッジ (エッジトリガ)

Bit 5 : TM 転送モード

DMA 転送の転送モードを選択します。

- 0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
- 1 : デマンド転送 (DMA 要求がある間は転送を継続)

Bits [4:3] : TS 転送サイズ [1:0]

1 回で転送するデータサイズを選択

- 00 : 8 ビット
- 01 : 16 ビット
- 10 : 32 ビット
- 11 : 予約

Bit 2 : IE 割り込みイネーブル

DMA チャンネル 0 の転送終了割り込みを許可／禁止します。

- 0 : 割り込み禁止
- 1 : 割り込み許可

Bit 1 : TE DMA 転送終了

- 0(リード時) : 転送中または待機中
- 1(リード時) : DMA 転送終了
- 0(ライト時) : 本ビットをクリア
- 1(ライト時) : 無効

このビットは DMA 転送の結果、DMA チャンネル 0 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。

Bit 0 : DE DMA イネーブル

このビットによりチャンネル 0 の DMA 転送を許可します。

- 0 : DMA 転送禁止
- 1 : DMA 転送許可

DMA チャンネル 1 ソースアドレスレジスタ (SAR1)															
DMAC1[0x10] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 1 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : DMA チャンネル 1 ソースアドレス [31:0]

チャンネル 1 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 1 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 1 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル 1 デスティネーションアドレスレジスタ (DAR1)														Read/Write	
DMAC1[0x14] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 1 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル 1 デスティネーションアドレス [31:0]**
 チャンネル 1 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 1 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 1 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 1 転送カウントレジスタ (TCR1)														Read/Write	
DMAC1[0x18] 初期値 = 0x00XX_XXXX															
n/a							DMA チャンネル 1 転送カウンタ [23:16]								
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル 1 転送カウンタ [23:0]**
 これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに “0” を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって “0” になった時点で発生します。
 このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル 1 コントロールレジスタ (CTL1)														Read/Write	
DMAC1[0x1C] 初期値 = 0x0000_0000															
n/a							RSV				IDLE	RSV	AM	AL	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS		RSV		RIM	TM	TS		IE	TE	DE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] : **RSV 予約**

Bit 19 : **IDLE アイドル遅延イネーブル**
 DMA ターゲット・デバイスによっては、イネーブルが必要です。
 デバイスへのライト転送（メモリから IO デバイスへの転送）時には “1” に設定することを推奨します。
 0 : 通常動作
 1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 : **RSV 予約**

Bit 17 : **AM アクノリッジモード**
 DACK 信号の出力タイミングを選択します。
 0 : DMA リードサイクルの間アクティブ
 1 : DMA ライトサイクルの間アクティブ

Bit 16 : **RSV 予約 (0)**

- Bits [15:14] :** **DAM デスティネーションアドレスモード [1:0]**
1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。
00 : 転送先アドレス固定 (更新しない)
01 : 転送先アドレスを転送データサイズに合わせてインクリメント
 (8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送先アドレスを転送データサイズに合わせてデクリメント
 (8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約
- Bits [13:12] :** **SAM ソースアドレスモード [1:0]**
1 回転送終了後のソースアドレスレジスタの更新モードを選択します。
00 : 転送元アドレス固定 (更新しない)
01 : 転送元アドレスを転送データサイズに合わせてインクリメント
 (8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送元アドレスを転送データサイズに合わせてデクリメント
 (8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約
- Bits [11:8] :** **RS リソース選択 [3:0]**
DMA 転送を開始させる要因を選択します。
0000 : I2C 出力 (WRREQ)
0001 : I2C 入力 (RDREQ)
0010 : I2S 入出力 (I2S #0)
0011 : I2S 入出力 (I2S #1)
0100 : UART 出力 (TXRDY)
0101 : UART 入力 (RXRDY)
0110 - 1110 : 予約
1111 : **SW-Request** ソフトウェアリクエスト
 Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。
- Bit 7 :** **RSV 予約 (0)**
- Bit 6 :** **RIM リクエスト入力モード**
DMA 転送の DMA 要因の入力モードを選択します。
0 : アクティブ LOW (レベルトリガ)
1 : 立ち上がりエッジ (エッジトリガ)
- Bit 5 :** **TM 送信モード**
DMA 転送の転送モードを選択します。
0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
1 : デマンド転送 (DMA 要求がある間は転送を継続)
- Bits [4:3] :** **TS 転送サイズ [1:0]**
1 回で転送するデータサイズを選択
00 : 8 ビット
01 : 16 ビット
10 : 32 ビット
11 : 予約
- Bit 2 :** **IE 割り込みイネーブル**
チャンネル 1 の転送終了割り込みを許可／禁止します。
0 : 割り込み禁止
1 : 割り込み許可。DMA 転送が終了した時点で割り込みが発生します。

6. DMA コントローラ 1 (DMAC1)

Bit 1 :

TE DMA 転送終了

- 0(リード時) : 転送中または待機中
- 1(リード時) : DMA 転送終了
- 0(ライト時) : 本ビットをクリア
- 1(ライト時) : 無効

このビットは DMA 転送の結果、チャンネル 1 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。

Bit 0 :

DE DMA イネーブル

- このビットによりチャンネル 1 の DMA 転送を許可します。
- 0 : DMA 転送禁止
 - 1 : DMA 転送許可

DMA チャンネル 2 ソースアドレスレジスタ (SAR2)															
DMAC1[0x20] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 2 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 2 ソースアドレス [31:0]

チャンネル 2 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 2 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 2 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

DMA チャンネル 2 デスティネーションアドレスレジスタ (DAR2)															
DMAC1[0x24] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 2 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 2 デスティネーションアドレス [31:0]

チャンネル 2 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 2 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 2 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 2 転送カウントレジスタ (TCR2)															
DMAC1[0x28] 初期値 = 0x00XX_XXXX															
n/a								DMA チャンネル 2 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 2 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] :

DMA チャンネル 2 転送カウンタ [23:0]

これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに“0”を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウントダウンによって“0”になった時点で発生します。
このレジスタをリードすると bits[31:24]には“0”が付加されます。

DMA チャンネル 2 コントロールレジスタ (CTL2)															
DMAC1[0x2C] 初期値 = 0x0000_0000												Read/Write			
31	30	29	28	n/a				23	22	21	20	IDLE 19	RSV 18	AM 17	AL 16
DAM		SAM		RS				RSV	RIM	TM	TS	IE	TE	DE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] : **RSV 予約 (0)**

Bit 19 : **IDLE アイドル遅延イネーブル**

DMA ターゲット・デバイスによっては、イネーブルが必要です。

デバイスへのライト転送（メモリから IO デバイスへの転送）時には“1”に設定することを推奨します。

0 : 通常動作

1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 : **RSV 予約 (0)**

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 : **RSV 予約 (0)**

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。

00 : 転送先アドレス固定（更新しない）

01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。

00 : 転送元アドレス固定（更新しない）

01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)

10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)

11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。

0000 : I2C 出力 (WRREQ)

0001 : I2C 入力 (RDREQ)

0010 : I2S 入出力 (I2S #0)

0011 : I2S 入出力 (I2S #1)

0100 : UART 出力 (TXRDY)

0101 : UART 入力 (RXRDY)

0110 - 1110 : 予約

1111 : **SW-Request** ソフトウェアリクエスト

Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。

Bit 7 : **RSV 予約 (0)**

6. DMA コントローラ 1 (DMAC1)

- Bit 6 : **RIM リクエスト入力モード**
DMA 要求信号の入力モードを選択します。
0 : アクティブ LOW (レベルトリガ)
1 : 立ち下がりエッジ (エッジトリガ)
- Bit 5 : **TM 転送モード**
DMA 転送の転送モードを選択します。
0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
1 : デマンド転送 (DMA 要求がある間は転送を継続)
- Bits [4:3] : **TS 転送サイズ [1:0]**
1 回で転送するデータサイズを選択
00 : 8 ビット
01 : 16 ビット
10 : 32 ビット
11 : 予約
- Bit 2 : **IE 割り込みイネーブル**
DMA チャンネル 2 の転送終了割り込みを許可／禁止します。
0 : 割り込み禁止
1 : 割り込み許可
- Bit 1 : **TE DMA 転送終了**
0(リード時) : 転送中または待機中
1(リード時) : DMA 転送終了
0(ライト時) : 本ビットをクリア
1(ライト時) : 無効
このビットは DMA 転送の結果、DMA チャンネル 2 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。
- Bit 0 : **DE DMA イネーブル**
このビットによりチャンネル 2 の DMA 転送を許可します。
0 : DMA 転送禁止
1 : DMA 転送許可

DMA チャンネル 3 ソースアドレスレジスタ (SAR3)															
DMAC1[0x30] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 3 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 3 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bits [31:0] : **DMA チャンネル 3 ソースアドレス [31:0]**
チャンネル 3 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 3 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 3 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

6. DMA コントローラ 1 (DMAC1)

DMA チャンネル 3 デスティネーションアドレスレジスタ (DAR3)														Read/Write	
DMAC1[0x34] 初期値 = 0xXXXX_XXXX															
DMA チャンネル 3 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 3 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 3 デスティネーションアドレス [31:0]

チャンネル 3 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 3 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 3 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 3 転送カウントレジスタ (TCR3)														Read/Write	
DMAC1[0x38] 初期値 = 0x00XX_XXXX															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 3 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] :

DMA チャンネル 3 転送カウンタ [23:0]

これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに “0” を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって “0” になった時点で発生します。
このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル 3 コントロールレジスタ (CTL3)														Read/Write	
DMAC1[0x3C] 初期値 = 0x0000_0000															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS		RSV		RIM		TM		TS		IE	AM
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:20] :

RSV 予約 (0)

Bit 19 :

IDLE アイドル遅延イネーブル

DMA ターゲット・デバイスによっては、イネーブルが必要です。
デバイスへのライト転送（メモリから IO デバイスへの転送）時には “1” に設定することを推奨します。

0 : 通常動作

1 : デバイスからの次のリクエストの受け付けタイミングを遅らせます。

Bit 18 :

RSV 予約 (0)

Bit 17 :

AM アクノリッジモード

DACK 信号の出力タイミングを選択します。

0 : DMA リードサイクルの間アクティブ

1 : DMA ライトサイクルの間アクティブ

Bit 16 :

RSV 予約 (0)

6. DMA コントローラ 1 (DMAC1)

- Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**
1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。
00 : 転送先アドレス固定 (更新しない)
01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約
- Bits [13:12] : **SAM ソースアドレスモード [1:0]**
1 回転送終了後のソースアドレスレジスタの更新モードを選択します。
00 : 転送元アドレス固定 (更新しない)
01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約
- Bits [11:8] : **RS リソース選択 [3:0]**
DMA 転送を開始させる要因を選択します。
0000 : I2C 出力 (WRREQ)
0001 : I2C 入力 (RDREQ)
0010 : I2S 入出力 (I2S #0)
0011 : I2S 入出力 (I2S #1)
0100 : UART 出力 (TXRDY)
0101 : UART 入力 (RXRDY)
0110 - 1110 : 予約
1111 : **SW-Request** ソフトウェアリクエスト
Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を選択します。
- Bit 7 : **RSV 予約 (0)**
- Bit 6 : **RIM リクエスト入力モード**
DMA 要求信号の入力モードを選択します。
0 : アクティブ LOW (レベルトリガ)
1 : 立ち下がりエッジ (エッジトリガ)
- Bit 5 : **TM 転送モード**
DMA 転送の転送モードを選択します。
0 : シングル転送 (1 回の DMA 要求にたいして 1 回の転送)
1 : デマンド転送 (DMA 要求がある間は転送を継続)
- Bits [4:3] : **TS 転送サイズ [1:0]**
1 回で転送するデータサイズを選択
00 : 8 ビット
01 : 16 ビット
10 : 32 ビット
11 : 予約
- Bit 2 : **IE 割り込みイネーブル**
DMA チャンネル 3 の転送終了割り込みを許可／禁止します。
0 : 割り込み禁止
1 : 割り込み許可

Bit 1 : TE DMA 転送終了

- 0(リード時) : 転送中または待機中
 1(リード時) : DMA 転送終了
 0(ライト時) : 本ビットをクリア
 1(ライト時) : 無効

このビットは DMA 転送の結果、DMA チャンネル 3 転送カウンタレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みソースフラグとしても機能します。

Bit 0 : DE DMA イネーブル

このビットによりチャンネル 3 の DMA 転送を許可します。

- 0 : DMA 転送禁止
 1 : DMA 転送許可

DMA チャンネル オペレーティング選択レジスタ (OPSR)															
DMAC1[0x60] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
na															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPM								DGE							
n/a								0							

Bit [9:8] : DPM プライオリティモード

同時に複数のチャンネルに対して転送要求があった場合に優先順位を決めます。

- 00 : CH0>CH1>CH2>CH3
 01 : CH0>CH2>CH3>CH1
 10 : CH2>CH0>CH1>CH3
 11 : 予約

Bit 0 : DGE DMA グローバルイネーブル

DMA の全チャンネルをすべてイネーブル／ディセーブルにします。

- 0 : ディセーブル
 1 : イネーブル

7. カメラインタフェース(CAM)

7. カメラインタフェース(CAM)

7.1 概要

カメラインタフェースは以下のような特長を持っています。

- ・最大 UXGA サイズ (1600×1200) までのカメラに対応可能 (AC 特性に依存)
- ・8 ビットデータバスインタフェース (YUV4:2:2 形式)
- ・ITU-R BT.656 形式に対応
- ・キャプチャフレームの設定可能

7.2 ブロック図

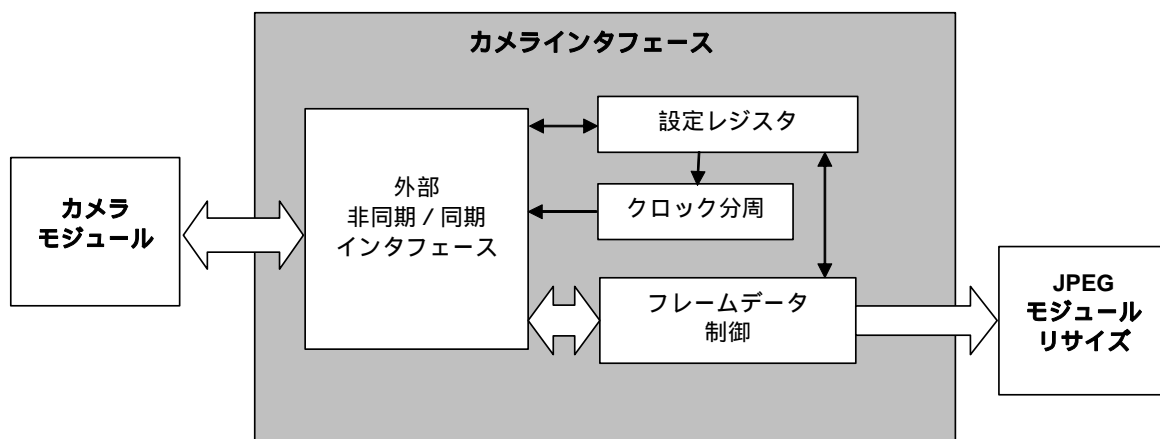


図 7.1 カメラインタフェース ブロック図

7.3 外部端子

表 7.1 外部端子

端子名	入出力	端子機能	マルチプレクス端子* / 備考
CMDATA [7:0]	I	カメラデータ(YUV)入力	GPIOC [7:0]
CMVREF	I	カメラデータ入力時の垂直同期入力	GPIOD4
CMHREF	I	カメラデータ入力時の水平同期入力	GPIOD5
CMCLKOUT	O	カメラ用基本クロック出力	GPIOD6
CMCLKIN	I	カメラデータ入力用ピクセルクロック	GPIOD7

注意(*)： カメラインタフェース(CAM)用の外部端子は GPIO 端子とマルチプレクスしています。CAM 用外部端子として使用する場合は、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定してください。

7.4 レジスタ

7.4.1 レジスタ一覧

以下にカメラインタフェースのレジスタ一覧を示します。これらのレジスタのベースアドレスは 0xFFFE_8000 です。

表 7.2 レジスタ一覧 (ベースアドレス : 0xFFFE_8000)

アドレス オフセット	レジスタ名称	初期値	R/W	データアクセス サイズ
0x00	カメラクロック周期設定レジスタ	0x0000	R/W	16bit
0x04	カメラ信号設定レジスタ	0x0000	R/W	16bit
0x08 – 0x1C	予約	—	—	—
0x20	カメラモード設定レジスタ	0x0000	R/W	16bit
0x24	カメラフレーム制御レジスタ	0x0000	R/W	16bit
0x28	カメラコントロールレジスタ	0x0000	WO	16bit
0x2C	カメラステータスレジスタ	0x0004	RO	16bit
0x30 – 0x5C	予約	—	—	—

7. カメラインタフェース(CAM)

7.4.2 レジスタ詳細説明

カメラクロック周期設定レジスタ							
CAM[0x00] 初期値 = 0x0000							
Read/Write							
15	14	13	12	11	10	9	8
n/a							
7	n/a	5	4	Clock Frequency Select bits [4:0]			
	6			3	2	1	0

Bits [4:0] : **Clock Frequency Select bits [4:0]**
出力クロック（CMCLKOUT）の周期を設定します。

表 7.3 カメラクロック周期設定

Bits [4:0]	Clock Frequency
00000	内部クロック 1/1
00001	内部クロック 1/2
00010	内部クロック 1/3
00011	内部クロック 1/4
00100	内部クロック 1/5
00101	内部クロック 1/6
00110	内部クロック 1/7
00111	内部クロック 1/8
01000	内部クロック 1/9
01001	内部クロック 1/10
01010	内部クロック 1/11
01011	内部クロック 1/12
01100	内部クロック 1/13
01101	内部クロック 1/14
01110	内部クロック 1/15
01111	内部クロック 1/16
10000	内部クロック 1/17
10001	内部クロック 1/18
10010	内部クロック 1/19
10011	内部クロック 1/20
10100	内部クロック 1/21
10101	内部クロック 1/22
10110	内部クロック 1/23
10111	内部クロック 1/24
11000	内部クロック 1/25
11001	内部クロック 1/26
11010	内部クロック 1/27
11011	内部クロック 1/28
11100	内部クロック 1/29
11101	内部クロック 1/30
11110	内部クロック 1/31
11111	内部クロック 1/32

カメラ信号設定レジスタ							
CAM[0x04] 初期値 = 0x0000							
Read/Write							
15	14	13	12	11	10	9	8
n/a							
n/a	Reserved (0)	Clock Mode Select	YUV Data Format Select bits [1:0]		HREF Active Select	VREF Active Select	Valid Input Clock Edge
7	6	5	4	3	2	1	0

Bit 6 : **予約ビット (0)**
書き込む場合は“0”を書き込んでください。

- Bit 5 :** **Clock Mode Select**
 内部動作で使用するクロックを選択します。内部分周クロック使用時は 1/2 分周以上に設定する必要があります。また外部クロック入力と異なり、内部分周クロックを使用する場合は、ボード上遅延およびカメラ（イメージセンサ）内部遅延によってカメラ（イメージセンサ）の出力データと内部分周クロックとの同期が取りにくくなります。安定動作させるためにはそれらの遅延が無視できる程度まで分周比を大きく設定する必要があります。
 0 : 外部クロック入力（CMCLKIN 入力を使用）
 1 : 内部分周クロック（カメラクロック周期設定レジスタで設定したクロック（=CMCLKOUT と同じクロック）を内部で使用。）

- Bits [4:3] :** **YUV Data Format Select bits[1:0]**
 バイト単位で入力する YUV データの並び順を選択します。

表 7.4 YUV Format Select

Bits [4:3]	YUV Format (8bit)
00	(1 st) CbYCrY (last)
01	(1 st) CrYCbY (last)
10	(1 st) YCbYCr (last)
11	(1 st) YCrYCb (last)

- Bit 2 :** **HREF Active Select**
 HREF のデータアクティブレベルを設定します。
 0 : HREF のデータ有効期間は High レベルで認識します。
 1 : HREF のデータ有効期間は Low レベルで認識します。

- Bit 1 :** **VREF Active Select**
 VREF のデータアクティブレベルを設定します。
 0 : VREF のデータ有効期間時は High レベルで認識します。
 1 : VREF のデータ有効期間時は Low レベルで認識します。

- Bit 0 :** **Valid Input Clock Edge**
 入力クロックの有効エッジを選択します。
 Bit 5 で選択した外部／内部のどちらのクロックに対しても有効です。
 0 : クロックが Low から High に変化したときデータを取り込みます。
 1 : クロックが High から Low に変化したときデータを取り込みます。

カメラモード設定レジスタ							
CAM[0x20]				初期値 = 0x0000			
Read/Write							
RSV (0)		RSV Camera Active Pull-down Disable		n/a	Fast Sampling Mode	RSV (0)	
15	14	13	12	11	10	9	8
ITU-R BT656 Enable		RSV (0)		Clock Output Disable	RSV (0)		Camera Module Enable
7	6	5	4	3	2	1	0

- Bit [15:13] :** **RSV 予約 (0)**

- Bit 12 :** **RSV 予約 (Camera Active Pull-down Disable)**

カメラ端子のアクティブプルダウンを無効にします。
 0 : アクティブプルダウン有効
 1 : アクティブプルダウン無効

注意： S1S65010 ではこのビット機能は無効です。システムコントローラ内の GPIOC/GPIOD Resistor Control Register によって同様の制御が可能になっています。

7. カメラインタフェース(CAM)

- Bit 10 : **Fast Sampling Mode**
カメラからの入力データを通常の倍速でサンプリングする動作を設定します。
0 : 通常サンプリング
1 : 高速サンプリング
- Bit [9:8] : **RSV 予約 (0)**
- Bit 7 : **ITU-R BT656 Enable**
ITU-R BT656 対応カメラ入力の選択を行います。
このモードは YUV422-8bit インタフェースモード時のみ有効です。
0 : 通常カメラモード
1 : ITU-R BT656 対応カメラモード
- Bits [6:4] : **RSV 予約 (0)**
- Bit 3 : **Clock Output Disable**
クロック出力 (CMCLKOUT) の動作を設定します。
0 : クロック出力 (CMCLKOUT 出力を使用。周期はカメラ周期設定レジスタで設定。)
1 : クロック出力禁止 (CMCLKOUT を出力せず、Low レベル固定になります。)
- Bits [2:1] : **RSV 予約 (0)**
- Bit 0 : **Camera Module Enable**
カメラモジュールの動作を設定します。
このビットの設定が有効の時、外部クロック出力等が有効になります。
このビットが “0” の時、カメラモジュールへのクロック供給が停止するため、低消費電力対策に有効です。このビットが “0” であってもカメラインタフェースのレジスタ群へのリード/ライトは可能です。
0 : カメラモジュール無効
1 : カメラモジュール有効

カメラフレーム制御レジスタ CAM[0x24] 初期値 = 0x0000							Read/Write
n/a							Jpeg Raw Data Capture Mode 8
15	14	13	12	11	10	9	
Frame Capture Interrupt Control 7	Single Frame Capture Enable 6	Shutter Sync. Disable 5	Frame Sample Control bits [2:0]			Frame Capture Interrupt Polarity 1	Frame Capture Interrupt Enable 0
			4	3	2		

- Bit 8 : **Jpeg Raw Data Capture Mode**
JPEG データ取り込みモードを設定します。
0 : YUV データ取り込み設定
1 : JPEG データ取り込み設定
- Bit 7 : **Frame Capture Interrupt Control**
フレーム割り込みの制御を行います。
フレーム取り込み終了割り込み設定時は bit5 の設定に影響されません。
フレーム取り込み終了割り込み設定時は bit0 の設定には影響されず割り込みが有効になります。

表 7.5 フレーム割り込み制御

Image Capture Interrupt Polarity Bit	Interrupt
0	有効フレーム取り込み時割り込み発生
1	フレーム取り込み終了時割り込み発生

- Bit 6 : **Single Frame Capture Enable**
 フレーム取り込みのモードを設定します。
 0 : 繰り返し取り込みを行います。
 1 : 画像フレーム取り込み動作設定 (CAM[0x28] bit 2 = 1) 後の 1 フレーム取り込み後停止します。
 注意 : このビットは Camera Module Enable (CAM[0x20] bit 0) が “ 1 ” の時は変更禁止です。

- Bit 5 : **Shutter Synchronization Disable**
 フレーム割り込みフラグのシャッター同期を禁止します。
 0 : シャッターを押した後有効フレーム毎にフレーム割り込みステータスを出力します。
 1 : 有効フレーム毎に常時フレーム割り込みステータスを出力します。

- Bits [4:2] : **Frame Sample Control Bits [2:0]**
 カメラ入力のフレーム間引きの制御を行います。

表 7.6 フレーム間引き制御

Frame Sample Control Bits[2:0]	Mode
000	間引きなし
001	1/2 に間引き
010	1/3 に間引き
011	1/4 に間引き
100	1/5 に間引き
101	1/6 に間引き
110	Reserved
111	Reserved (全フレーム間引き)

- Bit 1 : **Image Capture Interrupt Polarity**
 画像取り込み時の割り込み発生を制御を行います。

表 7.7 フレーム割り込み制御

Image Capture Interrupt Polarity Bit	Interrupt
0	VREF データアクティブレベルから VREF データインアクティブレベルへの変化時
1	VREF データインアクティブレベルから VREF データアクティブレベルへの変化時

- Bit 0 : **Image Capture Interrupt Enable**
 画像取り込み時の割り込みを有効にします。
 0 : 無効
 1 : 有効

7. カメラインタフェース(CAM)

カメラコントロールレジスタ							
CAM[0x28] 初期値 = 0x0000						Write Only	
n/a						ITU-R BT656 Error Flag 1 Clear 9	ITU-R BT656 Error Flag 0 Clear 8
15	14	13	12	11	10		
n/a				Frame Capture Stop 3	Frame Capture Start 2	Frame Interrupt Status Clear 1	Camera Module Soft Reset 0
7	6	5	4				

- Bit 9 :** **ITU-R BT656 Error Flag 1 Clear**
 このビットに“1”を書き込むことで状態をクリアできます。
 0：何も動作しません。
 1：エラーフラグ1の値をクリアします。
- Bit 8 :** **ITU-R BT656 Error Flag 0 Clear**
 このビットに“1”を書き込むことで状態をクリアできます。
 0：何も動作しません。
 1：エラーフラグ0の値をクリアします。
- Bit 3 :** **Frame Capture Stop**
 画像フレーム取り込みの停止設定をします。
 なお、リセット後のデフォルトは取り込み動作状態ですが、bit 0 カメラモジュールソフトリセットと同時に本ビットを設定することで、カメラモジュールを取り込み停止状態から開始することができます。
 0：何も動作しません
 1：取り込み動作の停止設定をします
- Bit 2 :** **Frame Capture Start**
 画像フレーム取り込みの動作設定をします。
 シングルフレーム取り込み設定時は、1フレーム取り込み後停止します。
 0：何も動作しません。
 1：取り込み動作の動作設定をします。
- Bit 1 :** **Frame Capture Interrupt Status Clear**
 このビットに1を書き込むことでカメラからのフレーム割り込みステータスをクリアします。
 0：フレーム割り込みステータスをクリアしません。
 1：フレーム割り込みステータスをクリアします。
- Bit 0 :** **Camera Module Soft Reset**
 カメラ回路部を初期化します。
 0：カメラ回路部を初期化しません。
 1：カメラ回路部を初期化します。
注意： このビットが“1”のとき、レジスタは初期化されませんが、CAM [0x20] bit0 (Camera Module Enable) だけは初期化され“0”になります。

7. カメラインタフェース(CAM)

カメラステータスレジスタ CAM[0x2C] 初期値 = 0x0004								Read Only
n/a						ITU-R BT656 Error Flag 1 9	ITU-R BT656 Error Flag 0 8	
15	14	13	12	11	10			
n/a	Camera VSYNC	RSV (1)	Effective Frame Status	Frame Capture Busy Status	Frame Capture Start/Stop Flag	Frame Interrupt Status	n/a	
7	6	5	4	3	2	1	0	

- Bit 9 :** **ITU-R BT656 Error Flag 1**
ITU-R BT656 モード時、リファレンスコマンドの状態を確認できます。
0 : 正常動作
1 : リファレンスデコード時 2 bit のエラーを検出
- Bit 8 :** **ITU-R BT656 Error Flag 0**
ITU-R BT656 モード時、リファレンスコマンドの状態を確認できます。
0 : 正常動作
1 : リファレンスデコード時 1 bit のエラー訂正を検出
- Bit 6 :** **Camera VSYNC**
カメラモジュールからの VSYNC の値を確認できます。
ITU-R BT656 モード時はリファレンスコードデコード後の値を確認できます。
また、VSYNC の値はポラリティ設定によらず一定です。
0 : 垂直ブランク期間中
1 : 有効データ期間中
- Bit 5 :** **RSV 予約 (1)**
- Bit 4 :** **Effective Frame Status**
このビットを読み込むことでフレーム間引き時の有効/無効フレームを確認できます。
0 : フレームは無効 (間引き) フレーム
1 : フレームは有効フレーム
- Bit 3 :** **Frame Capture Busy Status**
画像フレーム取り込み状態を確認できます。
0 : フレーム取り込み停止中
1 : フレーム取り込み動作中
- Bit 2 :** **Frame Capture Start/Stop Flag**
画像フレーム取り込みの設定状態を確認できます。
シングルフレーム取り込み時は動作設定後、フレーム取り込み終了で自動的に停止設定になります。
0 : フレーム取り込み停止設定
1 : フレーム取り込み動作設定
- Bit 1 :** **Frame Capture Interrupt Status**
このビットを読み込むことでフレーム割り込みステータスを確認できます。
0 : フレーム割り込みが発生していません
1 : フレーム割り込みが発生しています
注意 : フレーム割り込みはカメラフレーム制御レジスタ (CAM[0x24]) の bit7 = 1 または bit0 = 1 の時に発生します。

7. カメラインタフェース(CAM)

7.5 動作説明

本デバイスでは、最大 UXGA サイズのカメラモジュール（イメージセンサ）を接続することができます。カメラインタフェースは 8 ビットのデータバスを使用して YUV4:2:2 形式の画像データをクロックで受信します。

カメラの使用可否については必ず AC 特性を確認してください。

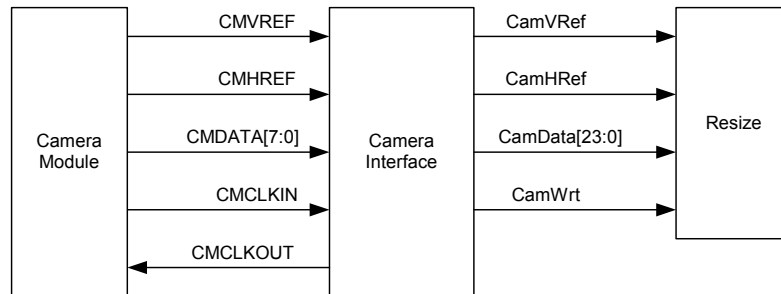


図 7.2 カメラインタフェース接続図

表 7.8 内部信号

内部信号名	説明
CMVREF	カメラモジュールから来る垂直データ有効信号
CMHREF	カメラモジュールから来る水平データ有効信号
CMDATA[7:0]	カメラモジュールから来る 8 ビットデータ信号 ITU-R BT.601 フォーマットにも対応
CMCLKIN	カメラモジュールから来るピクセルクロック
CMCLKOUT	カメラモジュールを動作させるクロック
CamVRef	リサイズ回路へ送る垂直データ有効信号
CamHRef	リサイズ回路へ送る水平データ有効信号
CamData[23:0]	YUV4:2:2 を YUV4:4:4 に変換した上で 24 ビット化した信号
CamWrt	リサイズ回路へ送るデータ有効信号

カメラインタフェースはカメラモジュールから来る内部画像処理用クロックと非同期な信号を内部画像処理用クロックに同期させ、リサイズ回路にカメラ画像データを出力します。下図は CMDATA、CMHREF、CMVREF を使用してカメラモジュールより出力された画像データを CMCLKIN の立ち上がりエッジでデータサンプルする回路を表したものです。

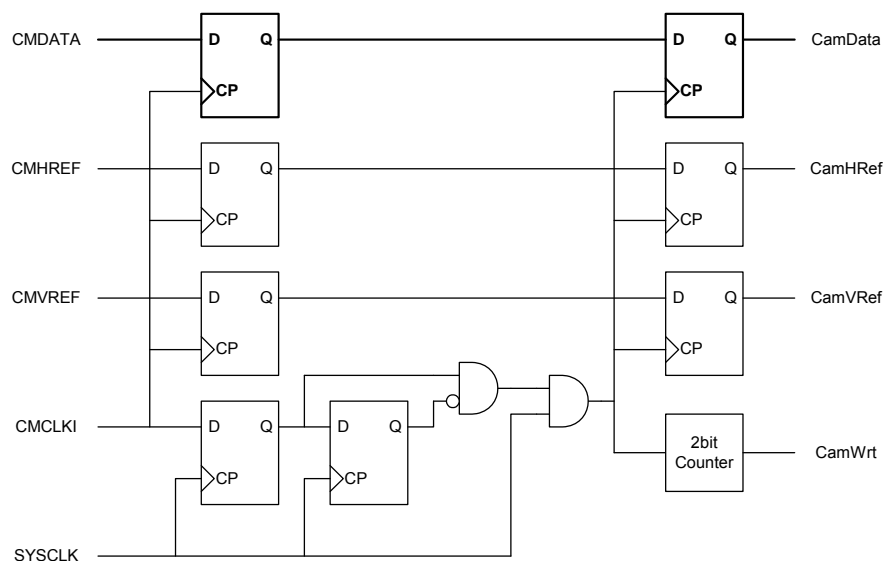


図 7.3 データサンプル回路

通常サンプリングモード（カメラモード設定レジスタ CAM[0x20] bit10=0）では、カメラクロックモジュールから来るクロックを内部システムクロックでサンプリングし、クロックエッジを検出している機構から、理論上内部システムクロックはカメラモジュールから来るピクセルクロックの2倍以上の周波数で無ければなりません。現実的な問題としてクロックデューティ比などの要因により、2倍の周波数で動作するかどうかはシステム依存となり、確実に動作させるためには3倍以上の周波数である必要があります。

高速サンプリングモード（カメラモード設定レジスタ CAM[0x20] bit10=1）では、通常サンプリングモードの回路を2系統使用して1サイクルごとにトグルさせて使用するため、サンプリング性能が2倍になります。

7.5.1 フレームキャプチャ割り込み

カメラ画像データの VREF 信号から割り込みを発生させることができます。この割り込みは JPEG エンコードなどのカメラ画像を使用した画像処理ルーチンで必要な割り込みです。

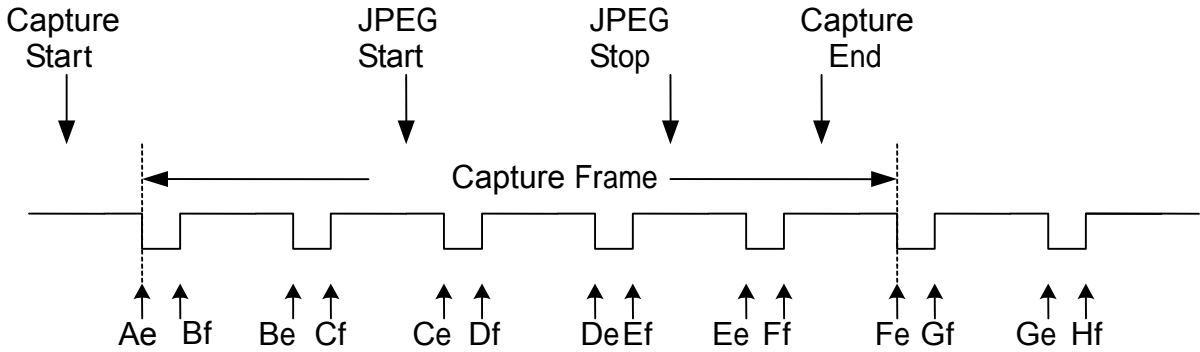


図 7.4 割り込み発生タイミング

図 8.3 はカメラインタフェースのキャプチャを有効にしてから無効にするまでの一連のタイミングチャートで、カメラフレーム割り込みに関係するアクションが示してあります。Capture Start はカメラインタフェースのカメラモード設定レジスタビット 0 を“1”にしたことを意味します。同様に Capture End はカメラモード設定レジスタビット 0 を“0”にしたことを意味します。JPEG Start は JPEG スタートストップ制御レジスタに“1”を書いたことを意味し、JPEG End は JPEG スタートストップ制御レジスタに“0”を書いたことを意味します。Capture Frame はカメラモジュールから来たデータをリサイズ回路に流すフレームを表しています。

フレームキャプチャの割り込みタイミングを決定するレジスタ設定は全部で 4 つあります。表 8.8 は 4 つのレジスタビットの設定により割り込みが上の図のどのタイミングで発生するかを示しています。通常使用するレジスタ設定は上から 4 番目の設定（網掛け部分）になります。

表 7.9 割り込み発生タイミング

カメラフレーム制御レジスタ CAM[0x24]				カメラフレーム割り込みが 発生するタイミング
ビット 7	ビット 5	ビット 1	ビット 0	
0	x	x	0	割り込み発生なし
0	0	0	1	Ce, De
0	0	1	1	Df, Ef
0	1	0	1	Be, Ce, De, Ee, Fe
0	1	1	1	Cf, Df, Ef, Ff, Gf
1	x	0	x	Fe
1	x	1	x	Gf

8. JPEG コントローラ (JPG)

8. JPEG コントローラ (JPG)

8.1 概要

カメラ入力画像を JPEG エンコードする機能、および YUV データとしてキャプチャする機能を実現しています。さらに専用レジスタアクセスポートを介して YUV データを JPEG エンコードする機能、JPEG ファイルをデコードして YUV データにする機能も実現しています。JPEG エンコード、デコード方式は JPEG の Baseline 方式にほぼ準拠しています。演算精度は JPEG Part2 (ISO/IEC10918-2) に準拠しており十分な演算精度を持っています。最大画像サイズは UXGA です。JPEG エンコード、デコードできる画像は MCU サイズ以上の YUV フォーマットの最小単位画像となっています。量子化テーブルは圧縮時 2 テーブル設定可能で、伸長時は 4 テーブルまで対応可能になっています。ハフマンテーブルは DC、AC2 テーブルづつを扱うことができます。任意のマーカをエンコード時最大 36byte まで挿入可能です。処理対象マーカは SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI で伸長時には自動解読されます。DNL マーカには対応していません。対応 YUV フォーマットはカメラ画像のエンコード時が YUV4:4:4、YUV4:2:2、YUV4:1:1、YUV4:2:0、ホスト JPEG エンコード時、ホスト JPEG デコード時、YUV データキャプチャ時が YUV4:2:2、YUV4:2:0 です。グレイ画像や RGB 画像には対応していません。処理速度は VGA サイズで最小 1/30 秒ですが、画像データやハフマンテーブル、量子化テーブルに大きく影響を受けますので常にその処理速度が出ることは保証できません。

8.2 ブロック図

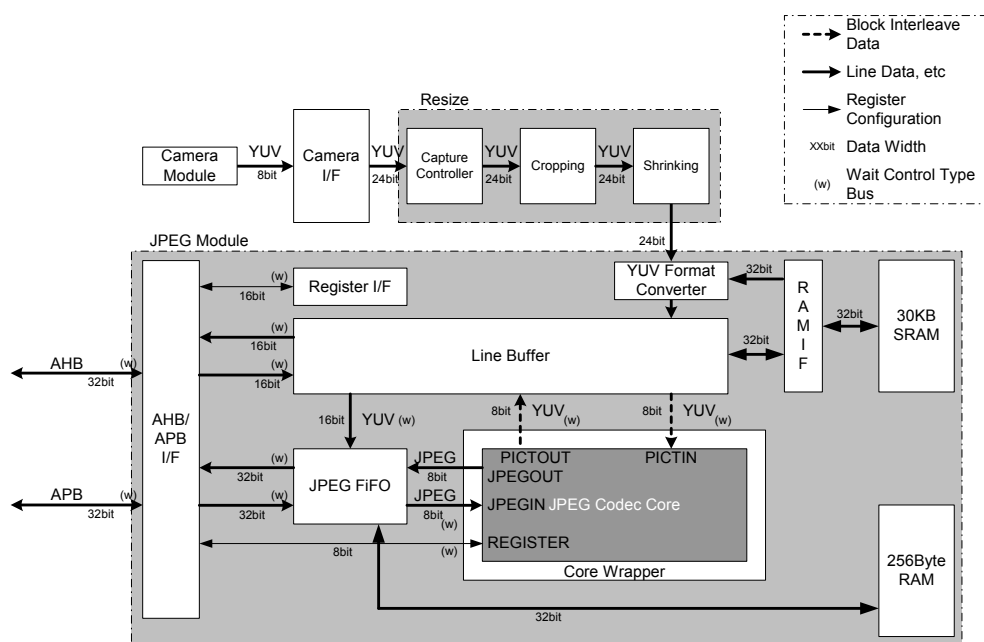


図 8.1 JPEG コントローラブロック図

8.3 外部端子

JPEG コントローラに関連する外部端子はありません。

8.4 レジスタ

8.4.1 レジスタ一覧

表 8.1 レジスタ一覧

Address Offset	Register Name	Default Value	R/W	Data Access Size
Resizer Operation Registers (RSZ) : Base Address = 0xFFFE_9000				
0x60	グローバルリサイズ制御レジスタ	0x0000	WO	16bit
0x64	キャプチャ制御ステートレジスタ	0x0000	RO	16bit
0x68	キャプチャデータ設定レジスタ	0x0000	R/W	16bit
0x70-0x7C	予約レジスタ	0x0000	R/W	16bit
0xC0	取り込みリサイズ制御レジスタ	0x0000	R/W	16bit
0xC8	取り込みリサイズスタート X 座標レジスタ	0x0000	R/W	16bit
0xCC	取り込みリサイズスタート Y 座標レジスタ	0x0000	R/W	16bit
0xD0	取り込みリサイズエンド X 座標レジスタ	0x027F	R/W	16bit
0xD4	取り込みリサイズエンド Y 座標レジスタ	0x01DF	R/W	16bit
0xD8	取り込みリサイズ縮小率レジスタ	0x8080	R/W	16bit
0xDC	取り込みリサイズ縮小モードレジスタ	0x0000	R/W	16bit
JPEG Module Registers (JCTL) : Base Address = 0xFFFE_A000				
0x00	JPEG 制御レジスタ	0x0000	R/W	16bit
0x04	JPEG ステータスフラグレジスタ	0x8080	R/W	16bit
0x08	JPEG ロウステータスフラグレジスタ	0x8080	RO	16bit
0x0C	JPEG 割り込み制御レジスタ	0x0000	R/W	16bit
0x10	予約レジスタ	0x0080	RO	16bit
0x14	JPEG コーデックスタートストップ制御レジスタ	0x0000	WO	16bit
0x18 – 0x1C	予約レジスタ	—	—	16bit
0x20	ハフマンテーブル自動設定レジスタ	0x0000	R/W	16bit
JPEG FIFO Setting Registers (JFIFO) : Base Address = 0xFFFE_A000				
0x40	JPEG FIFO 制御レジスタ	0x0000	R/W	16bit
0x44	JPEG FIFO ステータスレジスタ	0x8001	RO	16bit
0x48	JPEG FIFO サイズレジスタ	0x003F	R/W	16bit
0x4C	JPEG FIFO リード/ライトポートレジスタ	0x0000 0000	R/W	32bit
0x50 – 0x58	予約レジスタ	—	—	16bit
0x60	エンコードサイズリミットレジスタ 0	0x0000	R/W	16bit
0x64	エンコードサイズリミットレジスタ 1	0x0000	R/W	16bit
0x68	エンコードサイズ結果レジスタ 0	0x0000	RO	16bit
0x6C	エンコードサイズ結果レジスタ 1	0x0000	RO	16bit
0x70 – 0x78	予約レジスタ	—	—	16bit
JPEG Line Buffer Setting Registers (JLB) : Base Address = 0xFFFE_A000				
0x80	JPEG ラインバッファステータスフラグレジスタ	0x0000	R/W	16bit
0x84	JPEG ラインバッファロウステータスフラグレジスタ	0x0000	RO	16bit
0x88	JPEG ラインバッファカレントステータスフラグレジスタ	0x0009	RO	16bit
0x8C	JPEG ラインバッファ割り込み制御レジスタ	0x0000	R/W	16bit
0x90 – 0x9C	予約レジスタ	—	—	16bit
0xA0	JPEG ラインバッファ水平ピクセル許容サイズレジスタ	0x2800	R/W	16bit
0xA4	JPEG ラインバッファメモリアドレスオフセットレジスタ	0x0030	R/W	16bit
0xA8 ~ 0xBC	予約レジスタ	—	—	16bit
0xC0	JPEG ラインバッファリード/ライトポートレジスタ	0x0000	R/W	16bit

8. JPEG コントローラ (JPG)

Address Offset	Register Name	Default Value	R/W	Data Access Size
JPEG Codec Registers (JCODEC) : Base Address = 0xFFFE_B000				
0x00	動作モード設定レジスタ	0x0000	R/W	16bit
0x04	コマンド設定レジスタ	Not applicable	WO	16bit
0x08	JPEG 動作ステータスレジスタ	0x0000	RO	16bit
0x0C	量子化テーブル番号レジスタ	0x0000	R/W	16bit
0x10	ハフマンテーブル番号レジスタ	0x0000	R/W	16bit
0x14	DRI 設定レジスタ 0	0x0000	R/W	16bit
0x18	DRI 設定レジスタ 1	0x0000	R/W	16bit
0x1C	垂直ピクセルサイズレジスタ 0	0x0000	R/W	16bit
0x20	垂直ピクセルサイズレジスタ 1	0x0000	R/W	16bit
0x24	水平ピクセルサイズレジスタ 0	0x0000	R/W	16bit
0x28	水平ピクセルサイズレジスタ 1	0x0000	R/W	16bit
0x2C - 0x34	予約レジスタ	—	—/—	16bit
0x38	RST マーカ動作設定レジスタ	0x0000	R/W	16bit
0x3C	RST マーカ動作ステータスレジスタ	0x0000	RO	16bit
0x40 - 0xCC	挿入マーカデータレジスタ	0x00FF	R/W	16bit
0x400 - 0x4FC	量子化テーブル No.0 レジスタ	Not applicable	R/W	16bit
0x500 - 0x5FC	量子化テーブル No.1 レジスタ	Not applicable	R/W	16bit
0x800 - 0x83C	DC ハフマンテーブル No.0 レジスタ 0	Not applicable	WO	16bit
0x840 - 0x86C	DC ハフマンテーブル No.0 レジスタ 1	Not applicable	WO	16bit
0x880 - 0x8BC	AC ハフマンテーブル No.0 レジスタ 0	Not applicable	WO	16bit
0x8C0 - 0xB44	AC ハフマンテーブル No.0 レジスタ 1	Not applicable	WO	16bit
0xC00 - 0xC3C	DC ハフマンテーブル No.1 レジスタ 0	Not applicable	WO	16bit
0xC40 - 0xC6C	DC ハフマンテーブル No.1 レジスタ 1	Not applicable	WO	16bit
0xC80 - 0xCBC	AC ハフマンテーブル No.1 レジスタ 0	Not applicable	WO	16bit
0xCC0 - 0xF44	AC ハフマンテーブル No.1 レジスタ 1	Not applicable	WO	16bit

以下に各レジスタの詳細について説明します。

8.4.2 Resizer Operation Registers (RSZ)

注意： リサイズのレジスタは一部を除き、カメラインタフェースからのデータを受け取っている間は変更できません。

グローバルリサイザ制御レジスタ RSZ[0x60] 初期値 = 0x0000								Write Only
15	14	n/a	12	11	10	9	8	ACTAGAIN
7	n/a	5	4	3	n/a	1	0	

Bit [10:9] : **予約**
必ず各ビットに“0”を設定してください。

Bit 8 : **ACTAGAIN (ライトオンリ)**
このビットは連続エンコードを実行するときに使用します。このビットに 1 を書くと現フレームに引き続き次のフレームも JPEG コーデック回路に画像が送られます。
連続エンコードの実現可否はシステムおよびソフトウェア仕様に依存します。詳細は動作説明を参照してください。

Bit [4:3] : **予約**
必ず、各ビットに“0”を設定してください。

Bits [1:0] : **予約**
必ず、各ビットに“0”を設定してください。

キャプチャ制御ステートレジスタ RSZ[0x64] 初期値 = 0x0000								Read Only
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	

Bit [3:0] : **ステート値**
キャプチャ制御シーケンスステートマシンの現在のステート値を示しています。ステート値の意味は、動作説明「8.5.1 キャプチャ制御機能」を参照してください。

キャプチャデータ設定レジスタ RSZ[0x68] 初期値 = 0x0000								Read/Write
15	14	13	12	11	10	9	8	
7	6	5	4	3	2	1	0	Data Format Select

Bit 0 : **取り込み画像データフォーマット選択**
取り込み画像のデータフォーマットを選択します。このビットを“1”に設定した場合、RSZ[0xC0]以外の RSZ[*]レジスタの設定は全て無効となります。(ReadOnly のレジスタの中には状態が変化するものもありますが、有効値ではありません。)
0 : YUV データ
1 : JPEG データ

8. JPEG コントローラ (JPG)

予約レジスタ RSZ[0x70-7C] 初期値 = 0x0000 Read/Write							
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

Bit [15:0] : **予約**
必ず、各ビットに“0”を設定してください。

取り込みリサイズ制御レジスタ RSZ[0xC0] 初期値 = 0x0000 Read/Write							
n/a							
15	14	13	12	11	10	9	8
Capture Resizer Software Reset (WO)	n/a			Reserved (0)			Capture Resizer Enable
7	6	5	4	3	2	1	0

Bit 7 : **取り込みリサイズソフトウェアリセット (ライトオンリ)**
このビットに“1”を書くことで取り込みリサイズはソフトウェアリセットされます。“0”を書いたときには何も起きません。

Bits [3:1] : **予約**
必ず各ビットに“0”を設定してください。

Bit 0 : **取り込みリサイズイネーブル**
このビットが“0”の時、リサイズモジュールへのクロック供給が停止するため、低消費電力対策に有効です。このビットが“0”であっても、リサイズモジュールのレジスタ群へのリード/ライトは可能です。
ライト時
0 : 取り込みリサイズはディセーブルになります。
1 : 取り込みリサイズはイネーブルになります。
リード時
0 : 取り込みリサイズはディセーブルです。
1 : 取り込みリサイズはイネーブルです。

取り込みリサイズスタート X 座標レジスタ RSZ[0xC8] 初期値= 0x0000 Read/Write							
n/a				Capture Resizer Start X Position bits [10:8]			
15	14	13	12	11	10	9	8
Capture Resizer Start X Position bits [7:0]							
7	6	5	4	3	2	1	0

Bits [10:0] : **取り込みリサイズスタート X 座標 [10:0]**
これらのビットは取り込みリサイズの取り込み開始 X 座標を設定します。

取り込みリサイズスタート Y 座標レジスタ RSZ[0xCC] 初期値= 0x0000 Read/Write							
n/a				Capture Resizer Start Y Position bits [10:8]			
15	14	13	12	11	10	9	8
Capture Resizer Start Y Position bits [7:0]							
7	6	5	4	3	2	1	0

Bits [10:0] : **取り込みリサイズスタート Y 座標 [10:0]**
これらのビットは取り込みリサイズの取り込み開始 Y 座標を決定します。

取り込みリサイズエンド X 座標レジスタ							
RSZ[0xD0] 初期値 = 0x027F				Read/Write			
15	14	n/a	12	11	Capture Resizer End X Position bits [10:8]		
		13			10	9	8
Capture Resizer End X Position bits [7:0]							
7	6	5	4	3	2	1	0

Bits [10:0] : **取り込みリサイズエンド X 座標 [10:0]**
 これらのビットは取り込みリサイズの取り込み終了 X 座標を決定します。

取り込みリサイズエンド Y 座標レジスタ							
RSZ[0xD4] 初期値 = 0x01DF				Read/Write			
15	14	n/a	12	11	Capture Resizer End Y Position bits [10:8]		
		13			10	9	8
Capture Resizer End Y Position bits [7:0]							
7	6	5	4	3	2	1	0

Bits [10:0] : **取り込みリサイズエンド Y 座標 [10:0]**
 これらのビットは取り込みリサイズの取り込み終了 Y 座標を決定します。

取り込みリサイズ縮小率レジスタ							
RSZ[0xD8] 初期値 = 0x8080				Read/Write			
15	14	13	Reserved (0)	11	10	9	8
Reserved (0)				Capture Resizer Scaling Rate bits [3:0]			
7	6	5	4	3	2	1	0

Bits [15:4] : **予約**
 必ず各ビットに“0”を設定してください。

Bits [3:0] : **取り込みリサイズ縮小率 [3:0]**
 これらのビットは取り込みリサイズの縮小率を設定します。取り込みリサイズ縮小モードレジスタの設定により利用できない縮小率があります。詳しくは取り込みリサイズ縮小モードレジスタの説明にある“表 8.4 取り込みリサイズ縮小率モード選択”を参照してください。

表 8.2 取り込みリサイズ縮小率設定

bits [3:0]	取り込みリサイズ縮小率設定
0000	予約
0001	1/1
0010	1/2
0011	1/3 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0100	1/4
0101	1/5 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0110	1/6 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
0111	1/7 (縦横方向間引きモードのみ、取り込みリサイズ縮小モードレジスタビット 1-0=01)
1000	1/8
1001-1111	予約

8. JPEG コントローラ (JPG)

取り込みリサイズ縮小モードレジスタ							
RSZ[0xDC]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a				Reserved (0)		Capture Resizer Scaling Mode bits [1:0]	
7	6	5	4	3	2	1	0

Bits [3:2] : **予約**
必ず各ビットに “0” を設定してください。

Bits [1:0] : **取り込みリサイズ縮小モード [1:0]**
これらのビットは取り込みリサイズ縮小モードを設定します。縮小モードによっては取り込みリサイズ縮小率レジスタで設定できない縮小率があります。詳しくは “表 8.4 取り込みリサイズ縮小率/モード選択” を参照してください。

表 8.3 取り込みリサイズ縮小モード選択

Bits [1:0]	Capture Resizer Scaling Mode
00	縮小なし
01	縦方向、横方向ともに間引き
10	縦方向間引き、横方向加算平均
11	予約

表 8.4 取り込みリサイズ縮小率/モード選択

		RSZ[0xDC] Bits [1:0]			
		00	01	10	11
RSZ[0xD8] Bits [3:0]	0000	1/1	予約	予約	予約
	0001	1/1	予約	予約	予約
	0010	1/1	1/2	1/2	予約
	0011	1/1	1/3	予約	予約
	0100	1/1	1/4	1/4	予約
	0101	1/1	1/5	予約	予約
	0110	1/1	1/6	予約	予約
	0111	1/1	1/7	予約	予約
	1000	1/1	1/8	1/8	予約
	other	予約	予約	予約	予約

8.4.3 JPEG Module Registers (JCTL)

JPEG 制御レジスタ							
JCTL[0x00]		初期値 = 0x0000					Read/Write
JPEG Encode Fast Mode 15	JPEG Marker Fast Output Mode 14	Reserved (0)					JPEG 180 ° Rotation Enable 8
		13	12	11	10	9	
JPEG Module SW Reset (WO) 7	Reserved (0)		UV Data Type Conversion 4	Operation Mode bits [2:0]			JPEG Module Enable 0
	6	5		3	2	1	

Bit15 : **JPEG 高速エンコードモード**

0 : 影響なし。

1 : 固定されたハフマンテーブルを使用して JPEG 圧縮処理を促進します。

注意： このビットを “1” にして JPEG 圧縮を行う際には、JPEG ハフマンテーブル値（JCODEC[0x800]-[0xF44]の有効アドレス）を「ISO/IEC 10918-1 Annex K」に記載されている値に設定するか、もしくは JCTL[0x20]ハフマン自動設定レジスタを “1” に設定する必要があります。

Bit14 : **JPEG マーカ高速出力モード**

0 : 影響なし。

1 : 固定されたハフマンテーブルを使用して JPEG マーカ出力を促進します。

注意： このビットの設定は高速エンコードモード (Bit15) が “1” のときのみ有効です。このビットを “1” にして JPEG 圧縮を行う際には、JPEG ハフマンテーブル値（JCODEC[0x800]-[0xF44]の有効アドレス）を書き込む必要はありません。（「ISO/IEC 10918-1 Annex K」に記載されている値が使用されます。）

Bits [13:9] : **予約**

必ず各ビットに “0” を設定してください。

Bit 8 : **JPEG 180 ° 回転イネーブル**

JPEG エンコードデータを回転させるかどうか選択します。ハードウェアが回転するのは特定のライン単位になりますので、ソフトウェアで JPEG ファイル中のデータの並べ替えが必要となります。詳しくは “8.5.5.5 JPEG180 ° 回転エンコード” を参照してください。

0 : 回転しない

1 : 180 ° 回転させる

Bit 7 : **JPEG モジュールソフトウェアリセット (ライトオンリ)**

JPEG コーデックを除く JPEG モジュールをリセットします。レジスタはリセットされません。JPEG エンコード開始前には必ずリセットしてください。このリセットを実行するためには JPEG モジュールイネーブルに “1” が設定されている必要があります。JPEG モジュールがイネーブルになっていない状態では、このビットに “1” を書いてもソフトウェアリセットが実行されない場合があります。

0 : 影響なし

1 : リセット

Bit [6:5] : **予約**

必ず各ビットに “0” を設定してください。

Bit 4 : **UV データタイプ変換**

カメラから入力される UV タイプを変換します。

8. JPEG コントローラ (JPG)

表 8.5 UV Data Type

Bit 4	Camera Data Type			Internal Data Type		
0 (変換)	0	U	255	-128	U	127
	0	V	255	-128	V	127
	16	Cb	240	-112	Cb	112
	16	Cr	240	-112	Cr	112
	-128	U	127	0	U	255
	-128	V	127	0	V	255
	-112	Cb	112	16	Cb	240
	-112	Cr	112	16	Cr	240
1 (非変換)	0	U	255	0	U	255
	0	V	255	0	V	255
	16	Cb	240	16	Cb	240
	16	Cr	240	16	Cr	240
	-128	U	127	-128	U	127
	-128	V	127	-128	V	127
	-112	Cb	112	-112	Cb	112
	-112	Cr	112	-112	Cr	112

Bits [3:1] :

動作モード選択

JPEG 動作モードを設定します。JPEG エンコード/デコード以外 (YUV データキャプチャ) が選択されると JPEG コーデックへのクロック供給が停止され JPEG コーデックレジスタへアクセスできません。そのため JPEG コーデックレジスタの設定変更をする場合はカメラ画像 JPEG エンコード (YUV データキャプチャ以外) に設定してください。

カメラ画像 JPEG エンコードおよびホスト入力エンコード/デコードの YUV フォーマットは JCODEC[0x00]bit1-0YUV フォーマット選択で設定しますが、YUV データキャプチャの YUV フォーマットはこのレジスタビットで設定します。

表 8.6 JPEG 動作モード

bits [3:1]	JPEG 動作モード
000	カメラ画像 JPEG エンコード (YUV4:4:4、YUV4:2:2、YUV4:1:1、YUV4:2:0 ただし YUV4:4:4 はリサイズにて 1/2 以下に縮小した画像のみ対応) (初期値)
001	予約
010	予約
011	YUV データキャプチャ (YUV 4:2:2)
100	ホスト入力 JPEG エンコード/デコード (YUV4:2:2、YUV4:2:0)
101	予約
110	予約
111	YUV データキャプチャ (YUV 4:2:0)

Bit 0 :

JPEG モジュールイネーブル

JPEG モジュールをイネーブルにします。ディセーブル時は JPEG モジュールへのクロック供給が停止され JPEG コーデックレジスタへアクセスできません。また JPEG モジュールのディセーブルは必ずリサイズをディセーブルする前に行ってください。

0 : ディセーブル (初期値)

1 : イネーブル

JPEG ステータスフラグレジスタ						
JCTL[0x04]		初期値 = 0x8080				Read/Write
Reserved (1) — 15	JPEG Codec File Out Status (RO) 14	JPEG FIFO Threshold Status bits [1:0] (RO) 13 12		Encode Size Limit Violation Flag (R/W) 11	JPEG FIFO Threshold Trigger Flag (R/W) 10	JPEG FIFO Full Flag (R/W) 9
Reserved (1) — 7		Decode Marker Read Flag (R/W) 4		Reserved — 3	JPEG Line Buffer Overflow Flag (RO) 2	JPEG Line Buffer Interrupt Flag (RO) 0

Bit 15 : **予約**
必ず“1”を設定してください。

Bit 14 : **JPEG コーデックファイルアウトステータス (リードオンリ)**
JPEG エンコード時の JPEG コーデック出力状態を示します。
0 : JPEG ファイル出力停止中
1 : JPEG エンコード中または JPEG ファイル出力中
ライト時には必ず“1”を設定してください。

Bits [13:12] : **JPEG FIFO しきい値ステータス (リードオンリ)**
JPEG FIFO の現在のデータ状態を示します。
ライト時には必ず“1”を設定してください。

表 8.7 JPEG FIFO Threshold Status

bits [13:12]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズの 1/4 未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

Bit 11 : **エンコードサイズリミット違反フラグ**
JPEG エンコード時に JPEG ファイルのサイズがエンコードサイズリミットレジスタに設定されるエンコードサイズリミットを超えたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (JCTL[0x0C] bit 11) によりディセーブルにできます。この機能はファイルサイズを超えたことを通知するだけで、JPEG エンコード動作は継続しています。

リード時
0 : 割り込みなし
1 : 割り込みあり (エンコードサイズオーバー発生)
ライト時
0 : 影響なし
1 : クリア

Bit 10 : **JPEG FIFO しきい値トリガフラグ**
JPEG FIFO のデータサイズが JPEG FIFO しきい値 (JPEG FIFO 制御レジスタ bits 5-4) を少なくとも一回は超えたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 10) によりディセーブルにできます。
リード時
0 : 割り込みなし
1 : 割り込みあり (JPEG FIFO しきい値オーバー発生)
ライト時
0 : 影響なし
1 : クリア

8. JPEG コントローラ (JPG)

- Bit 9 :** **JPEG FIFO フルフラグ**
JPEG FIFO が少なくとも一回はフルになったことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 9) によりディセーブルにできます。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (JPEG FIFO フル発生)
ライト時
 0 : 影響なし
 1 : クリア
- Bit 8 :** **JPEG FIFO エンプティフラグ**
JPEG FIFO が少なくとも一回はエンプティになったことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 8) によりディセーブルにできます。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (JPEG FIFO エンプティ発生)
ライト時
 0 : 影響なし
 1 : クリア
- Bit [7:5] :** **予約**
各ビットに、必ず “1” を設定してください。
- Bit 4 :** **デコードマーカリードフラグ**
JPEG デコード時に JPEG ファイルからマーカがリードされたことを示す割り込みフラグです。
リード時
 0 : 割り込みなし
 1 : 割り込みあり (マーカリード終了)
ライト時
 0 : 影響なし
 1 : クリア
割り込みをクリアする場合には、先に JPEG 割り込み制御レジスタ bit4 をディセーブルにしてください。
- Bit 3 :** **予約**
必ず、“1” を設定してください。
- Bit 2 :** **JPEG ラインバッファオーバーフローフラグ (リードオンリ)**
JPEG ラインバッファがオーバーフローしたことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 2) によりディセーブルにできます。
このフラグは JPEG モジュールソフトウェアリセット (bit 7) によりクリアされます。
 0 : 割り込みなし
 1 : 割り込みあり (JPEG ラインバッファオーバーフロー発生)
ライト時には必ず “1” を設定してください。
この機能はラインバッファがオーバーフローしたことを通知するだけで、JPEG モジュールは動作を継続しています。ただしデータはオーバーフローにより破壊されています。
- Bit 1 :** **JPEG コーデック割り込みフラグ (リードオンリ)**
JPEG コーデックが割り込みを発生したことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 1) によりディセーブルにできます。このフラグは JPEG 動作ステータス (bit 0) をリードすることでクリアされます。
 0 : 割り込みなし
 1 : 割り込みあり (JPEG コーデック割り込み発生)

- Bit 0 : **JPEG ラインバッファ割り込みフラグ (リードオンリ)**
 ホスト JPEG エンコード/デコード時に使用し、JPEG ラインバッファ割り込みが発生したことを示す割り込みフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 0) によりディセーブルにできます。このフラグは JPEG ラインバッファステータスフラグレジスタ をクリアすることでクリアされます。
 0 : 割り込みなし
 1 : 割り込みあり (JPEG ラインバッファ割り込み発生)

JPEG ロウステータスフラグレジスタ						
JCTL[0x08]		初期値 = 0x8080				Read Only
Reserved 15	Raw JPEG Codec File Out Status 14	Raw JPEG FIFO Threshold Status bits [1:0] 13 12		Raw Encode Size Limit Violation Flag 11	Raw JPEG FIFO Threshold Trigger Flag 10	Raw JPEG FIFO Full Flag 9
Reserved 7		Raw Decode Marker Read Flag 4	Reserved 3	Raw JPEG Line Buffer Overflow Flag 2	Raw JPEG Codec Interrupt Flag 1	Raw JPEG FIFO Empty Flag 8

- Bit 15 : **予約**
- Bit 14 : **JPEG コーデックファイルアウトロウステータス**
 JPEG エンコード時の JPEG コーデック出力状態を示します。
 0 : JPEG ファイル出力停止中
 1 : JPEG エンコード中または JPEG ファイル出力中
- Bits [13:12] : **JPEG FIFO しきい値ロウステータス**
 JPEG FIFO の現在のデータ状態を示します。

表 8.8 JPEG FIFO Threshold Status

Bits [13:12]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズ未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

- Bit 11 : **エンコードサイズリミット違反ロウフラグ**
 JPEG エンコード時に JPEG ファイルのサイズがエンコードサイズリミット (エンコードサイズリミットレジスタ 0,1) を超えたことを示すフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 11) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 11 に “1” をライトすることで行われます。この機能はファイルサイズを超えたことを通知するだけで、JPEG エンコード動作は継続しています。
 0 : エンコードサイズオーバー発生なし
 1 : エンコードサイズオーバー発生あり
- Bit 10 : **JPEG FIFO しきい値トリガロウフラグ**
 JPEG FIFO のデータサイズが JPEG FIFO しきい値 (JPEG FIFO 制御レジスタ bit5-4) を少なくとも一回は超えたことを示すフラグです。このフラグは JPEG 割り込み制御レジスタ (bit 10) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 10 に “1” をライトすることで行われます。
 0 : JPEG FIFO しきい値オーバー発生なし
 1 : JPEG FIFO しきい値オーバー発生あり

8. JPEG コントローラ (JPG)

Bit 9 : JPEG FIFO フルロウフラグ

JPEG FIFO が少なくとも一回はフルになったことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 9) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 9 に “1” をライトすることで行われます。

- 0 : JPEG FIFO フル発生なし
- 1 : JPEG FIFO フル発生あり

Bit 8 : JPEG FIFO エンプティロウフラグ

JPEG FIFO が少なくとも一回はエンプティになったことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 8) には影響されません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 8 に “1” をライトすることで行われます。

- 0 : JPEG FIFO エンプティ発生なし
- 1 : JPEG FIFO エンプティ発生あり

Bit [7:5] : 予約

Bit 4 : JPEG デコードマーカリードロウフラグ

JPEG デコード時に JPEG ファイルからマーカがリードされたことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 4) が “0” に設定されているときには “0” から “1” に変化することはありません。一方すでに “1” になっている状態で JPEG 割込み制御レジスタ (bit 4) を “1” から “0” に変化させてもこのステータスが “0” に変化することはありません。このフラグのクリアは JPEG ステータスフラグレジスタ bit 4 に “1” をライトすることで行われます。

- 0 : マーカリード未終了
- 1 : マーカリード終了

Bit 3 : 予約

Bit 2 : JPEG ラインバッファオーバーフローロウフラグ

JPEG ラインバッファがオーバーフローしたことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (JCTL[0x0C] bit 2) には影響されません。このフラグは JPEG モジュールソフトウェアリセット (JCTL[0x00] bit 7) によりクリアされます。

- 0 : JPEG ラインバッファオーバーフロー発生なし
- 1 : JPEG ラインバッファオーバーフロー発生あり

Bit 1 : JPEG コーデック割り込みロウフラグ

JPEG コーデックが割り込みを発生したことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 1) には影響されません。このフラグは JPEG 動作ステータスレジスタ (bit 0) をリードすることでクリアされます。

- 0 : JPEG コーデック割り込み発生なし
- 1 : JPEG コーデック割り込み発生あり

Bit 0 : JPEG ラインバッファ割り込みロウフラグ

YUV データキャプチャで使用し、JPEG ラインバッファ割り込みが発生したことを示すフラグです。このフラグは JPEG 割込み制御レジスタ (bit 0) には影響されません。このフラグは JPEG ラインバッファ割り込みフラグレジスタをクリアすることでクリアされます。

- 0 : JPEG ラインバッファ割り込み発生なし
- 1 : JPEG ラインバッファ割り込み発生あり

JPEG 割り込み制御レジスタ							
JCTL[0x0C] 初期値 = 0x0000				Read/Write			
Reserved (0)				Encode Size Limit Violation Interrupt Enable 11	JPEG FIFO Threshold Trigger Interrupt Enable 10	JPEG FIFO Full Interrupt Enable 9	JPEG FIFO Empty Interrupt Enable 8
15	14	13	12				
Reserved (0)				Decode Marker Read Interrupt Enable 4	Reserved (0) 3	JPEG Line Buffer Overflow Interrupt Enable 2	JPEG Codec Interrupt Enable 1
7	6	5	4				
							JPEG Line Buffer Interrupt Enable 0

Bits [15:12] : **予約**
必ず、各ビットに “0” を設定してください。

Bit 11 : **エンコードサイズリミット違反割り込みイネーブル**
エンコードサイズリミット違反割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 10 : **JPEG FIFO しきい値トリガ割り込みイネーブル**
JPEG FIFO しきい値トリガ割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 9 : **JPEG FIFO フル割り込みイネーブル**
JPEG FIFO フル割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 8 : **JPEG FIFO エンプティ割り込みイネーブル**
JPEG FIFO エンプティ割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bits [7:5] : **予約**
必ず、各ビットに “0” を設定してください。

Bit 4 : **JPEG デコードマーカリード割り込みイネーブル**
JPEG デコードマーカリード割り込みをイネーブルにします。このイネーブルはデコードマーカリード状態で JPEG デコード動作を一時停止させる機能を併せ持っています。一時停止の解除はこのビットをディセーブルにすることです。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 3 : **予約**
必ず、 “0” を設定してください。

Bit 2 : **JPEG ラインバッファオーバーフロー割り込みイネーブル**
JPEG ラインバッファオーバーフロー割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

Bit 1 : **JPEG コーデック割り込みイネーブル**
JPEG コーデック割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル

8. JPEG コントローラ (JPG)

Bit 0 :

JPEG ラインバッファ割り込みイネーブル

JPEG ラインバッファ割り込みをイネーブルにします。このビットは JPEG ラインバッファ割り込み制御レジスタのイネーブル制御の根元となるイネーブルです。このビットがディセーブルである場合は JPEG ラインバッファ割り込み制御レジスタのどのビットをイネーブルにしても JPEG ラインバッファ割り込み制御レジスタで制御される JPEG ラインバッファの割り込みがイネーブルになることはありません。JPEG ラインバッファオーバーフロー割り込みはこのイネーブル制御とは関係ありません。

0 : ディセーブル (初期値)

1 : イネーブル

JPEG コーデックスタートストップ制御レジスタ							
JCTL[0x14] 初期値 = 0x0000							
Write Only							
15	14	13	12	11	10	9	8
n/a							JPEG Start/Stop Control 0
7	6	5	4	3	2	1	0

Bit 0 :

JPEG スタート/ストップ制御

JPEG モジュール動作 (YUV データキャプチャ含む) の制御を行います。JPEG デコード時は使用しません。

JPEG エンコード時

0 : エンコード キャンセル (エンコード前の場合エンコード開始をキャンセル)

1 : エンコード開始 (次フレームをエンコード)

YUV データキャプチャ時

0 : キャプチャ停止 (現フレーム後停止)

1 : キャプチャ開始 (次フレームから開始)

ハフマンテーブル自動設定レジスタ							
JCTL[0x20] 初期値 = 0x0000							
Read/Write							
15	14	13	12	11	10	9	8
n/a						ハフマンテ ーブル自動設定 非待機モード 1	ハフマン テーブル 自動設定 0
7	6	5	4	3	2	1	0

Bit 1 :

ハフマンテーブル自動設定時の非待機モード

JPEG コーデックコアをエンコードに設定時に、Bit0 に “1” を書き込むと同時にこのビットに “1” を書き込むと、JCODEC レジスタ以外のレジスタへのアクセスが可能になります。

Bit 0 に “1” を書き込むのと同時に “0” を書き込んだ場合、ハフマンテーブルの設定終了後に他のレジスタアドレスへのアクセスが可能になります。

Bit0 に対する有効な “1” 書き込みと同時に書き込んだ時以外は無効です。

読み出し時は “0” です。

Bit 0 :

ハフマンテーブル自動設定

JPEG コーデックコアをエンコードに設定時に “1” を書き込むと JPEG ハフマンテーブル値 (JCODEC[0x800]-[0xF44]の有効アドレス) に「ISO/IEC 10918-1 Annex K」記載の値を自動的に書き込みます。

エンコード設定時以外や “0” を書き込んだ時には何も起こりません。

このビットが “1” の時は、JCODEC レジスタにはアクセス出来ません。(ダミーライト扱いになります。)

このビットが “1” の時は、本レジスタアドレスへの書き込みアクセスは禁止です。

このビットは “1” を書き込まれた後、ハフマンテーブル設定終了後に自動的にクリア (“0”) されます。

8.4.4 JPEG FIFO Setting Register (JFIFO)

JPEG FIFO 制御レジスタ JFIFO[0x40] 初期値 = 0x0000								Read/Write
Reserved (0)								
15	14	13	12	11	10	9	8	
Reserved (0)		JPEG FIFO Trigger Threshold bits [1:0]		Reserved (0)	JPEG FIFO Clear	JPEG FIFO Direction (RO)	Reserved (0)	
7	6	5	4	3	2	1	0	

Bits [15:6] : **予約**
必ず、各ビットに“0”を設定してください。

Bits [5:4] : **JPEG FIFO トリガしきい値**
JPEG FIFO のトリガのしきい値を設定します。

表 8.9 JPEG FIFO Trigger Threshold Selection

Bits [5:4]	JPEG FIFO Trigger Threshold
00	トリガなし
01	4 バイト以上でトリガ
10	FIFO サイズの 1/4 以上でトリガ
11	FIFO サイズの 1/2 以上でトリガ

Bit 3 : **予約**
必ず、“0”を設定してください。

Bit 2 : **JPEG FIFO クリア**
JPEG FIFO をクリアします。JPEG FIFO をクリアした時は必ず JPEG モジュールをリセット (JPEG 制御レジスタ bit 7) してください。
0 : 影響なし
1 : JPEG FIFO クリア

Bit 1 : **JPEG FIFO コーデック方向 (リードオンリ)**
JPEG FIFO の方向を示します。
0 : 受信 (JPEG エンコード設定)
1 : 送信 (JPEG デコード設定)

Bit 0 : **予約**
必ず、“0”を設定してください。

JPEG FIFO ステータスレジスタ JFIFO[0x44] 初期値 = 0x8001								Read Only
Reserved								
15	14	13	12	11	10	9	8	
Reserved				JPEG FIFO Threshold Status bits [1:0]		JPEG FIFO Full Status	JPEG FIFO Empty Status	
7	6	5	4	3	2	1	0	

Bits [15:4] : **予約**

Bits [3:2] : **JPEG FIFO しきい値ステータス**
JPEG FIFO の現在のデータ状態を示します。

8. JPEG コントローラ (JPG)

表 8.10 JPEG FIFO Threshold Status

Bits [3:2]	JPEG FIFO Threshold Status
00	エンプティ
01	4 バイト以上、FIFO サイズの 1/4 未満
10	FIFO サイズの 1/4 以上、1/2 未満
11	FIFO サイズの 1/2 以上

Bit 1 : **JPEG FIFO フルステータス**
 JPEG FIFO の現在のフル状態を示します。
 0 : フルでない
 1 : フル

Bit 0 : **JPEG FIFO エンプティステータス**
 JPEG FIFO の現在のエンプティ状態を示します。
 0 : エンプティでない
 1 : エンプティ

JPEG FIFO サイズレジスタ							
JFIFO[0x48]				初期値 = 0x003F			
Reserved (0)				JPEG FIFO Size bits [14:8]			
15	14	13	12	11	10	9	8
7				JPEG FIFO Size bits [7:0]			
7	6	5	4	3	2	1	0

Bit 15 : **予約**
 必ず、“0” に設定してください。

Bits [14:0] : **JPEG FIFO サイズ**
 JPEG FIFO サイズをワード単位で設定します。JPEG FIFO の最大値は 64 ワードです。JPEG FIFO は専用 RAM を使用していますので、通常は最大値である 64 ワードを設定することになります。
 JPEG FIFO サイズ (ワード) = JPEG FIFO サイズ bits[14:0]+1
 注意：本レジスタは最大“0x003F”まで設定可能です。“0x003F” (初期値) でお使いになることを推奨します。その他“0x001F”, “0x000F”, “0x0007”, “0x0003”, “0x0001”, “0x0000” が設定可能です。それ以外の数値は設定しないでください。

JPEG FIFO リード/ライトポートレジスタ							
JFIFO[0x4C]		初期値 = 0x0000 0000				Read/Write	
JPEG FIFO Read/Write Port bits [31:24]							
31	30	29	28	27	26	25	24
JPEG FIFO Read/Write Port bits [23:16]							
23	22	21	20	19	18	17	16
JPEG FIFO Read/Write Port bits [15:8]							
15	14	13	12	11	10	9	8
JPEG FIFO Read/Write Port bits [7:0]							
7	6	5	4	3	2	1	0

Bits [31:0] : **JPEG FIFO リード/ライトポート**
 JPEG エンコード時および YUV データキャプチャ時の JPEG FIFO リードポートです。JPEG デコード時は JPEG FIFO ライトポートになります。

予約レジスタ							
JFIFO[0x50, 0x54, 0x58]				初期値 = —			
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

エンコードサイズリミットレジスタ 0							
JFIFO[0x60]		初期値 = 0x0000					Read/Write
Encode Size Limit bits [15:8]							
15	14	13	12	11	10	9	8
Encode Size Limit bits [7:0]							
7	6	5	4	3	2	1	0

エンコードサイズリミットレジスタ 1							
JFIFO[0x64]				初期値 = 0x0000			
				Read/Write			
				n/a			
15	14	13	12	11	10	9	8
Encode Size Limit bits [23:16]							
7	6	5	4	3	2	1	0

エンコードサイズリミットレジスタ 1 bits [7:0]

エンコードサイズリミットレジスタ 0 bits [15:0] :

エンコードサイズリミット bits[23:0]

JPEG エンコード時の JPEG ファイルのデータサイズリミットをバイト数で設定します。このレジスタ設定値以上の JPEG ファイルがエンコードされた場合はエンコードサイズリミット違反の割り込みが発生します。この値を超えても JPEG エンコード動作自体には影響はありません。JPEG デコード時は使用しません。

エンコードサイズ結果レジスタ 0							
JFIFO[0x68]		初期値 = 0x0000					Read Only
Encode Size Result bits [15:8]							
15	14	13	12	11	10	9	8
Encode Size Result bits [7:0]							
7	6	5	4	3	2	1	0

エンコードサイズ結果レジスタ 1							
JFIFO[0x6C]				初期値 = 0x0000			
				Read Only			
				n/a			
15	14	13	12	11	10	9	8
Encode Size Result bits [23:16]							
7	6	5	4	3	2	1	0

エンコードサイズ結果レジスタ 1 bits [7:0]

エンコードサイズ結果レジスタ 0 bits [15:0] :

エンコードサイズ結果 bits[23:0]

JPEG エンコード時の JPEG ファイルのデータサイズを示します。JPEG エンコード終了時のみ正しいサイズを表示します。JPEG デコード時は使用しません。

予約レジスタ								
JFIFO[0x70, 0x74, 0x78]				初期値 = —		—/—		
				予約				
15	14	13	12	11	10	9	8	
				予約				
7	6	5	4	3	2	1	0	

8. JPEG コントローラ (JPG)

8.4.5 JPEG ラインバッファ設定レジスタ (JLB)

JPEG ラインバッファステータスフラグレジスタ							
JLB[0x80]				初期値 = 0x0000			
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a			予約	JPEG Line Buffer Empty Flag	JPEG Line Buffer Full Flag	JPEG Line Buffer Half Flag	予約
7	6	5	4	3	2	1	0

Bit 4 : **予約**
必ず、“1” に設定してください。

Bit 3 : **JPEG ラインバッファエンプティフラグ**
JPEG ラインバッファが少なくとも一回はエンプティになったことを示す割り込みフラグです。
このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 3) によりディセーブルにできます。

リード時

- 0 : 割り込みなし
- 1 : 割り込みあり (JPEG ラインバッファエンプティ発生)

ライト時

- 0 : 影響なし
- 1 : クリア

Bit 2 : **JPEG ラインバッファフルフラグ**
JPEG ラインバッファが少なくとも一回はフルになったことを示す割り込みフラグです。このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 2) によりディセーブルにできます。

リード時

- 0 : 割り込みなし
- 1 : 割り込みあり (JPEG ラインバッファフル発生)

ライト時

- 0 : 影響なし
- 1 : クリア

Bit 1 : **JPEG ラインバッファハーフフルフラグ**
JPEG ラインバッファが少なくとも一回はハーフフルになったことを示す割り込みフラグです。
このフラグは JPEG ラインバッファ割り込み制御レジスタ (bit 1) によりディセーブルにできます。

リード時

- 0 : 割り込みなし
- 1 : 割り込みあり (JPEG ラインバッファハーフフル発生)

ライト時

- 0 : 影響なし
- 1 : クリア

Bit 0 : **予約**
必ず、“1” に設定してください。

JPEG ラインバッファロウステータスフラグレジスタ							
JLB[0x84]				初期値 = 0x0000			
Read Only							
n/a				n/a			
15	14	13	12	11	10	9	8
n/a			Reserved	Raw JPEG Line Buffer Empty Flag	Raw JPEG Line Buffer Full Flag	Raw JPEG Line Buffer Half Flag	Reserved
7	6	5	4	3	2	1	0

Bit 4 : **予約**

Bit 3 : **JPEG ラインバッファエンプティロウフラグ**

JPEG ラインバッファが少なくとも一回はエンプティになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 3) には影響されません。

- 0 : JPEG ラインバッファエンプティ発生なし
- 1 : JPEG ラインバッファエンプティ発生あり

Bit 2 : **JPEG ラインバッファフルロウフラグ**

JPEG ラインバッファが少なくとも一回はフルになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 2) には影響されません。

- 0 : JPEG ラインバッファフル発生なし
- 1 : JPEG ラインバッファフル発生あり

Bit 1 : **JPEG ラインバッファハーフフルロウフラグ**

JPEG ラインバッファが少なくとも一回はハーフフルになったことを示すフラグです。このフラグは JPEG ラインバッファ割込み制御レジスタ (bit 1) には影響されません。

- 0 : JPEG ラインバッファハーフフル発生なし
- 1 : JPEG ラインバッファハーフフル発生あり

Bit 0 : **予約**

JPEG ラインバッファカレントステータスフラグレジスタ							
JLB[0x88]				初期値 = 0x0009			
Read Only							
n/a							
15	14	13	12	11	10	9	8
n/a			Reserved	JPEG Line Buffer Empty Current Status	JPEG Line Buffer Full Current Status	JPEG Line Buffer Half Full Current Status	Reserved
7	6	5	4	3	2	1	0

Bit 4 : **予約**

Bit 3 : **JPEG ラインバッファエンプティカレントステータス**

JPEG ラインバッファの現在のエンプティ状態を示します。

- 0 : エンプティでない
- 1 : エンプティ

Bit 2 : **JPEG ラインバッファフルカレントステータス**

JPEG ラインバッファの現在のフル状態を示します。

- 0 : フルでない
- 1 : フル

Bit 1 : **JPEG ラインバッファハーフフルステータス**

JPEG ラインバッファの現在のハーフフル状態を示します。

- 0 : ハーフフルでない
- 1 : ハーフフル

Bit 0 : **予約**

8. JPEG コントローラ (JPG)

JPEG ラインバッファ割り込み制御レジスタ							
JLB[0x8C]				初期値 = 0x0000			
Read/Write							
n/a				n/a			
15	14	13	12	11	10	9	8
n/a			Reserved	JPEG Line Buffer Empty Interrupt Enable	JPEG Line Buffer Full Interrupt Enable	JPEG Line Buffer Half Full Interrupt Enable	Reserved
7	6	5	4	3	2	1	0

- Bit4 : **予約**
必ず、“0” に設定してください。
- Bit 3 : **JPEG ラインバッファエンプティ割り込みイネーブル**
JPEG ラインバッファエンプティ割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル
- Bit 2 : **JPEG ラインバッファフル割り込みイネーブル**
JPEG ラインバッファフル割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル
- Bit 1 : **JPEG ラインバッファハーフフル割り込みイネーブル**
JPEG ラインバッファハーフフル割り込みをイネーブルにします。
0 : ディセーブル (初期値)
1 : イネーブル
- Bit 0 : **予約**
必ず、“0” に設定してください。

JPEG ラインバッファ水平ピクセル許容サイズレジスタ							
JLB[0xA0]		初期値 = 0x2800					Read/Write
Horizontal Support Size bits [10:4]							
15	14	13	12	11	10	9	8
Horizontal Support Size bits [3:0]				n/a	Horizontal Support Size Setting bits [2:0]		
7	6	5	4	3	2	1	0

- Bits [15:4] : **JPEG ラインバッファ水平ピクセル許容サイズ (リードオンリ)**
Bits[2:0]によって設定された水平ピクセル許容サイズです。
- Bits [2:0] : **JPEG ラインバッファ水平ピクセル許容サイズ設定**
JPEG ラインバッファが許容する水平ピクセルサイズを設定します。このレジスタを初期値以外で使用する場合は、JLB[0xA4]及びシステムコントローラのメモリ配分レジスタの設定と合わせて変更する必要があります。
000 : 水平ピクセルサイズ=640 まで許容します。 (初期値)
001 : 水平ピクセルサイズ=800 まで許容します。
010 : 水平ピクセルサイズ=1024 まで許容します。
011 : 水平ピクセルサイズ=1280 まで許容します。
100 : 水平ピクセルサイズ=1600 まで許容します。
101-111 : 設定不可

JPEG ラインバッファメモリアドレスオフセットレジスタ							
JLB[0xA4]		初期値 = 0x0030					Read/Write
Reserved (0)							
15	14	13	12	11	10	9	8
Reserved (0) 7	JPG-LB Memory Address Offset bits [6:0]						
6	5	4	3	2	1	0	

Bits [15:7] : **予約**
必ず、“0” に設定してください。

Bits [6:0] : **JPEG ラインバッファメモリアドレスオフセット**
JPEG ラインバッファ使用する内部メモリのアドレスオフセット値を 1KB アドレス単位で設定します。このレジスタを初期値以外で使用する場合は、システムコントローラのメモリ配分レジスタの設定と合わせて変更する必要があります。

JPEG ラインバッファリード/ライトポートレジスタ							
JLB[0xC0]		初期値 = 0x0000_0000					Read/Write
JPEG Line Buffer Read/Write Port bits [31:24]							
31	30	29	28	27	26	25	24
JPEG Line Buffer Read/Write Port bits [23:16]							
23	22	21	20	19	18	17	16
JPEG Line Buffer Read/Write Port bits [15:8]							
15	14	13	12	11	10	9	8
JPEG Line Buffer Read/Write Port bits [7:0]							
7	6	5	4	3	2	1	0

Bits [31:0] : **JPEG ラインバッファリード/ライトポート**
ホスト JPEG エンコード時に JPEG ラインバッファライトポートとなり、ホスト JPEG デコード時に JPEG ラインバッファリードポートとなります。

8. JPEG コントローラ (JPG)

8.4.6 JPEG Codec Registers (JCODEC)

動作モード設定レジスタ							
JCODEC[0x00]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a			Reserved (0)	Marker Insert Enable	JPEG Operation Select	YUV Format Select bits [1:0]	
7	6	5	4	3	2	1	0

Bit 4 : **予約**
必ず、“0”を設定してください。

Bit 3 : **マーカ挿入イネーブル**
JPEG エンコード時に挿入マーカデータレジスタに書かれたデータの JPEG ファイルへの挿入をイネーブルにします。JPEG デコード時は使用しません。
0 : ディセーブル（マーカ挿入なし）（初期値）
1 : イネーブル（マーカ挿入あり）

Bit 2 : **JPEG 動作モード選択**
JPEG 動作モードを設定します。

表 8.11 JPEG Operation Selection

Bit 2	JPEG Operation
0 (初期値)	エンコード
1	デコード

Bits [1:0] : **YUV フォーマット選択**
JPEG エンコード時の YUV データ形式を設定します。リサイズで縮小処理を行っていない場合は YUV 4:4:4 形式の JPEG エンコードはできません。JPEG デコード時は JPEG ファイルの YUV データ形式を示します。

表 8.12 YUV Format Selection

Bits [1:0]	YUV Format
00 (初期値)	4:4:4
01	4:2:2
10	4:2:0
11	4:1:1

コマンド設定レジスタ								
JCODEC[0x04]				初期値 = not applicable			Write Only	
15	14	13	12	n/a	11	10	9	8
JPEG Codec SW Reset	n/a							JPEG Operation Start
7	6	5	4	3	2	1	0	

このレジスタはリードしないでください。また JPEG 動作中にライトしないでください。（リセットは可能）

Bit 7 : **JPEG コーデックソフトウェアリセット**
JPEG コーデックをソフトウェアリセットします。JPEG コーデックレジスタはリセットされません。
0 : 影響なし
1 : リセット

- Bit 0 : **JPEG 動作スタート**
 JPEG 動作 (YUV データキャプチャ含む) を開始します。
 0 : 影響なし
 1 : JPEG 動作開始

JPEG 動作ステータスレジスタ							
JCODEC[0x08] 初期値 = 0x0000							
Read Only							
15	14	13	12	11	10	9	8
n/a							JPEG Operation Status (RO)
7	6	5	4	3	2	1	0

このレジスタをリードすることで JPEG ステータスフラグレジスタ bit 1 / JPEG ロウステータスフラグレジスタ bit 1 がクリアされます。

- Bit 0 : **JPEG 動作ステータス**
 JPEG コーデックの動作状態を示します。
 0 : 停止中
 1 : JPEG エンコード/デコード動作中

量子化テーブル番号レジスタ							
JCODEC[0x0C] 初期値 = 0x0000							
Read/Write							
15	14	13	12	11	10	9	8
n/a					V Table Select	U Table Select	Y Table Select
7	6	5	4	3	2	1	0

- Bit 2 : **V 成分テーブル選択**
 JPEG エンコード時の V 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。
 0 : 量子化テーブル 0 使用 (初期値)
 1 : 量子化テーブル 1 使用

- Bit 1 : **U 成分テーブル選択**
 JPEG エンコード時の U 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。
 0 : 量子化テーブル 0 を使用 (初期値)
 1 : 量子化テーブル 1 を使用

- Bit 0 : **Y 成分テーブル選択**
 JPEG エンコード時の Y 成分の量子化テーブル番号を設定します。JPEG デコード時は使用しません。
 0 : 量子化テーブル 0 を使用 (初期値)
 1 : 量子化テーブル 1 を使用

ハフマンテーブル番号レジスタ							
JCODEC[0x10] 初期値 = 0x0000							
Read/Write							
15	14	13	12	11	10	9	8
n/a		V ACTable Select	V DCTable Select	U ACTable Select	U DCTable Select	Y ACTable Select	Y DCTable Select
7	6	5	4	3	2	1	0

8. JPEG コントローラ (JPG)

Bit 5 : V 成分 AC テーブル選択

JPEG エンコード時の V 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 4 : V 成分 DC テーブル選択

JPEG エンコード時の V 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

Bit 3 : U 成分 AC テーブル選択

JPEG エンコード時の U 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 2 : U 成分 DC テーブル選択

JPEG エンコード時の U 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“1”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

Bit 1 : Y 成分 AC テーブル選択

JPEG エンコード時の Y 成分の AC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“0”を設定してください。JPEG デコード時は使用しません。

- 0 : AC ハフマンテーブル 0 使用 (初期値)
- 1 : AC ハフマンテーブル 1 使用

Bit 0 : Y 成分 DC テーブル選択

JPEG エンコード時の Y 成分の DC 成分用ハフマンテーブル番号を設定します。JPEG 高速エンコードモード時は“0”を設定してください。JPEG デコード時は使用しません。

- 0 : DC ハフマンテーブル 0 使用 (初期値)
- 1 : DC ハフマンテーブル 1 使用

DRI 設定レジスタ 0							
JCODEC[0x14]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
DRI Value bits [15:8]							
7	6	5	4	3	2	1	0

DRI 設定レジスタ 1							
JCODEC[0x18]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
DRI Value bits [7:0]							
7	6	5	4	3	2	1	0

DRI 設定レジスタ 0 bits [7:0]

DRI 設定レジスタ 1 bits [7:0] :

DRI 値 bits [15:0]

JPEG エンコード時の RST マーカを挿入する MCU 数を設定します。

(設定値が“0”の場合、RST マーカは挿入されませんが、RST インターバル定義マーカはインターバル定義値として“0”が挿入されます。)

JPEG デコード時は使用しません。

8. JPEG コントローラ (JPG)

垂直ピクセルサイズレジスタ 0							
JCODEC[0x1C]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
Y Pixel Size bits [15:8]							
7	6	5	4	3	2	1	0

垂直ピクセルサイズレジスタ 1							
JCODEC[0x20]		初期値 = 0x0000					Read/Write
				n/a			
15	14	13	12	11	10	9	8
Y Pixel Size bits [7:0]							
7	6	5	4	3	2	1	0

垂直ピクセルサイズレジスタ 0 bits [7:0]

垂直ピクセルサイズレジスタ 1 bits [7:0] :

Y ピクセルサイズ bits[15:0]

JPEG エンコード時および YUV データキャプチャ時の垂直方向の画像サイズを設定します。

JPEG デコード時は JPEG ファイルの垂直方向の画像サイズを示します。

注意 : YUV データキャプチャモード設定時 (JCTL[0x00] bit 3-1 = 011 もしくは 111) のときは、ライトオンリとなります。その時にリードした値は不定になります。

水平ピクセルサイズレジスタ 0							
JCODEC[0x24]		初期値 = 0x0000					Read/Write
				n/a			
15	14	13	12	11	10	9	8
X Pixel Size bits [15:8]							
7	6	5	4	3	2	1	0

水平ピクセルサイズレジスタ 1							
JCODEC[0x28]		初期値 = 0x0000					Read/Write
n/a							
15	14	13	12	11	10	9	8
X Pixel Size bits [7:0]							
7	6	5	4	3	2	1	0

水平ピクセルサイズレジスタ 0 bits [7:0]

水平ピクセルサイズレジスタ 1 bits [7:0] :

X ピクセルサイズ bits[15:0]

JPEG エンコード時および YUV データキャプチャ時の水平方向の画像サイズを設定します。

JPEG デコード時は JPEG ファイルの水平方向の画像サイズを示します。

注意 : YUV データキャプチャモード設定時 (JCTL[0x00] bit 3-1 = 011 もしくは 111) のときは、ライトオンリとなります。その時にリードした値は不定になります。

予約レジスタ							
JCODEC[0x2C-34]							
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

RST マーカ動作設定レジスタ									
JCODEC[0x38]				初期値 = 0x0000				Read/Write	
15		14		13		12		n/a	
n/a						9		8	
7		6		5		4		3	
2		1		0		RST Marker Operation Select bits [1:0]			

8. JPEG コントローラ (JPG)

Bits [1:0] : **RST マーカ動作選択**
 JPEG デコード時の RST マーカ動作を設定します。JPEG エンコード時は使用しません。

表 8.13 RST Marker Selection

Bits [1:0]	RST Marker Operation
00 (初期値)	エラー検出 / データ補正機能オフ この設定はデコードされる JPEG ファイルが正常でエラーがないことを保証できる条件においてのみ使用されます。この設定時に JPEG ファイル中にエラーがあった場合には、エラー検出は行われず、デコード処理が正常に終了しません。
01	エラー検出機能オン この設定ではデコード処理中にエラーが検出された時点で JPEG デコード処理が終了し、JPEG コーデック終了割り込みが発生します。エラーの種類を確認するためには JCODEC[0x3C]RST マーカ動作ステータスレジスタビット[6:3]JPEG デコードエラーステータスをリードします。エラーが検出されたときには次のデコードをスタートさせるために JPEG コーデックコアのソフトウェアリセットが必要です。
10	データ補正機能オン この設定ではデコード処理中にエラーが検出された時に自動的にデータがスキップまたは追加され、JPEG ファイルすべてがデコードされるまでデコード処理は継続します。JPEG デコード処理が終了したときに、JPEG コーデック終了割り込みが発生します。
11	予約

RST マーカ動作ステータスレジスタ							
JCODEC[0x3C]	初期値 = 0x0000						Read Only
15	14	13	12	11	10	9	8
Revise Code	JPEG Error Status bits [3:0]					n/a	
7	6	5	4	3	2	1	0

Bit 7 : **補正コード**
 JPEG デコード時の補正動作の状態を示します。RST マーカ処理をデータ補正機能オン (RST マーカ動作設定レジスタ bits [1:0] = “10”) に設定した場合に有効になります。JPEG エンコード時は使用しません。
 0 : 補正動作未実施
 1 : 補正動作実施

Bits [6:3] : **JPEG デコードエラーステータス**
 JPEG デコード時のエラーコードを示します。RST マーカ処理をエラー検出機能オン (RST マーカ動作設定レジスタ bits [1:0] = “01”) に設定した場合に有効になります。JPEG エンコード時は使用しません。

表 8.14 JPEG Error Status

Bits [6:3]	JPEG Error Status
0000	エラー無し
0001 – 1010	予約
1011	リスタートインターバルエラー
1100	画像サイズエラー
1101 – 1111	予約

挿入マーカデータレジスタ							
JCODEC[0x40-0xCC] 初期値 = 0x00FF							
Read/Write							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0
Insert marker Data bits [7:0]							

JPEG エンコード時のマーカ挿入するレジスタ (36 バイト) です。マーカ長に関係なく 36 バイトすべてが挿入されます。JPEG デコード時は使用しません。

Address Offset [40h-44h] : 挿入するマーカコードを設定します。

Address Offset [48h-4Ch] : マーカ長を設定します。設定値は 0002h ~ 0022h です。

Address Offset [50h-CCCh] : マーカデータを設定します。最大 32 バイトです。マーカ長を超えるデータ部分は必ず FFh で埋めてください。

量子化テーブル No.0 レジスタ							
JCODEC[0x400-0x4FC] 初期値 = not applicable							
Read/Write							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0
Quantization Table No. 0 bits [7:0]							

量子化テーブル No.0

JPEG エンコード時のテーブル番号 0 の量子化テーブル値を設定します。JPEG デコード時は使用しません。

量子化テーブル No.1 レジスタ							
JCODEC[0x500-0x5FC] 初期値 = not applicable							
Read/Write							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0
Quantization Table No. 1 bits [7:0]							

量子化テーブル No.1

JPEG エンコード時のテーブル番号 1 の量子化テーブル値を設定します。JPEG デコード時は使用しません。

DC ハフマンテーブル No.0 レジスタ 0							
JCODEC[0x800-0x83C] 初期値 = not applicable							
Write Only							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0
DC Huffman Table No. 0 Register 0 bits [7:0]							

DC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の DC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

8. JPEG コントローラ (JPG)

DC ハフマンテーブル No.0 レジスタ 1								
JCODEC[0x840-0x86C]				初期値 = not applicable				Write Only
				n/a				
15	14	13	12	11	10	9	8	
Reserved (must be all 0)				DC Huffman Table No. 0 Register 1 bits [3:0]				
7	6	5	4	3	2	1	0	

DC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の DC 成分用ハフマンテーブル値です。発生頻度順のグループ番号を設定します。設定は下位 4 ビットで行い、上位 4 ビットは必ず"0000" に設定してください。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.0 レジスタ 0							
JCODEC[0x880-0x8BC]				初期値 = not applicable			Write Only
				n/a			
15	14	13	12	11	10	9	8
AC Huffman Table No. 0 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の AC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.0 レジスタ 1							
JCODEC[0x8C0-0xB44]				初期値 = not applicable		Write Only	
				n/a			
15	14	13	12	11	10	9	8
AC Huffman Table No. 0 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.0

JPEG エンコード時のテーブル番号 0 の AC 成分用ハフマンテーブル値です。発生頻度順のゼロラン長/ グループ番号を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

DC ハフマンテーブル No.1 レジスタ 0								
JCODEC[0xC00-0xC3C]				初期値 = not applicable				Write Only
				n/a				
15	14	13	12	11	10	9	8	
DC Huffman Table 1 Register No. 0 bits [7:0]								
7	6	5	4	3	2	1	0	

DC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の DC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

DC ハフマンテーブル No.1 レジスタ 1										
JCODEC[0xC40-0xC6C]				初期値 = not applicable				Write Only		
				n/a						
15	14	13	12	11	10	9	8			
Reserved (must be all 0)				DC Huffman Table No. 1 Register 1 bits [3:0]						
7	6	5	4	3	2	1	0			

DC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の DC 成分用ハフマンテーブル値です。発生頻度順のグループ番号を設定します。設定は下位 4 ビットで行い、上位 4 ビットは必ず"0000" に設定してください。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.1 レジスタ 0							
JCODEC[0xC80-0xCBC]				初期値 = not applicable			Write Only
				n/a			
15	14	13	12	11	10	9	8
AC Huffman Table No. 1 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の AC 成分用ハフマンテーブル値です。符号長毎の符号数を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

AC ハフマンテーブル No.1 レジスタ 1							
JCODEC[0xCC0-0xF44]		初期値 = not applicable					Write Only
n/a							
15	14	13	12	11	10	9	8
AC Huffman Table No. 1 Register 0 bits [7:0]							
7	6	5	4	3	2	1	0

AC ハフマンテーブル No.1

JPEG エンコード時のテーブル番号 1 の AC 成分用ハフマンテーブル値です。発生頻度順のゼロラン長／グループ番号を設定します。JPEG デコード時およびハフマンテーブル自動設定時は使用しません。

8. JPEG コントローラ (JPG)

8.5 動作説明

8.5.1 キャプチャ制御機能

本デバイスでは、ステートマシンによってデータキャプチャを制御しています。これはカメラ画像 JPEG エンコードや YUV キャプチャではフレーム単位でのデータキャプチャが必要であり、その制御をハードウェアに行わせることによって時間制限の緩和が期待されるためです。

ステートマシンはカメラ画像 JPEG エンコードと YUV データキャプチャでステート遷移条件およびステートの意味が異なります。

ステートマシンの現在のステートはレジスタからリードできますが、リアルタイムに変化する信号であるため、リードする目的はソフトウェアデバッグであることが望ましいです。

8.5.1.1 カメラ画像 JPEG エンコード用ステートマシン

カメラ画像 JPEG エンコードモード時のキャプチャ制御ステートマシンは以下のようになります。

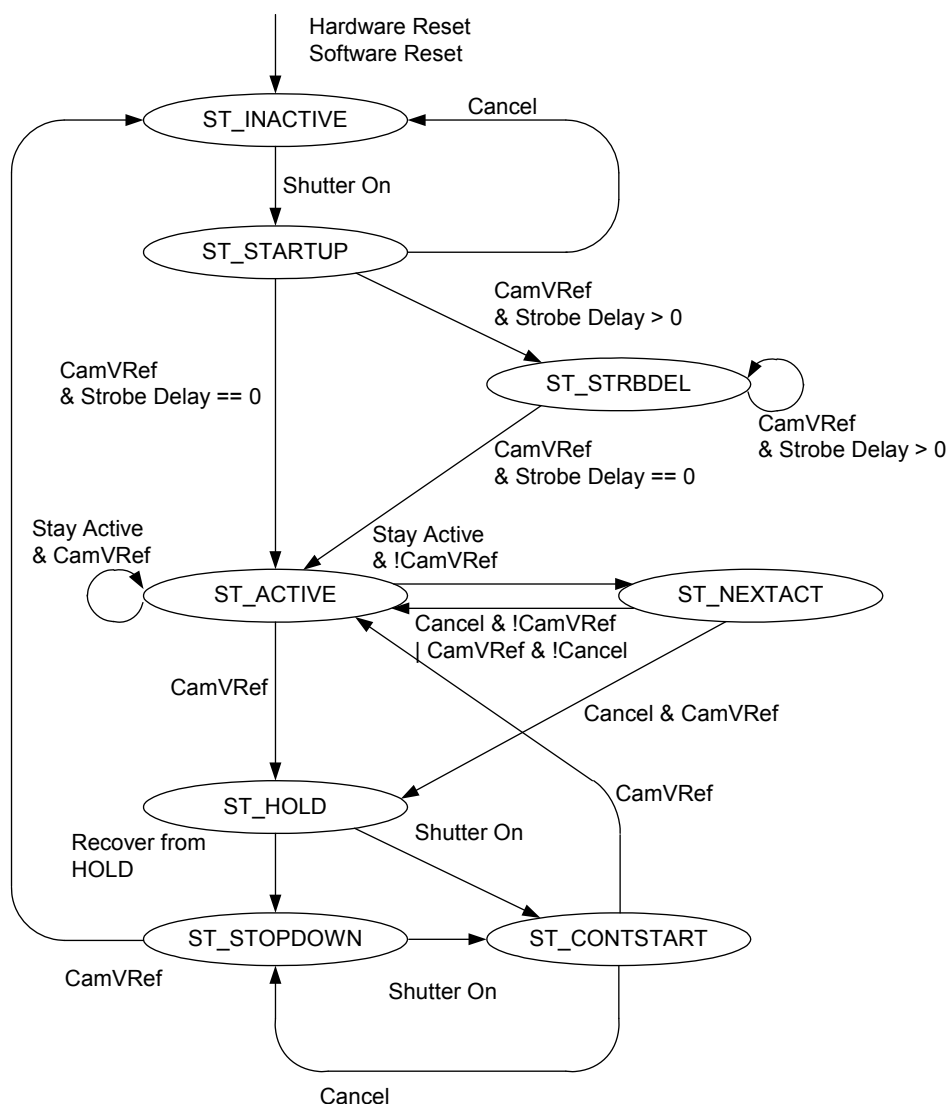


図 8.2 State Machine for Camera Image JPEG Encode

各ステートの意味は以下の表のとおりです。ステート ID はレジスタリードによって読み出される値になります。

表 8.15 State Description in Camera Image JPEG Encode Mode

ステート	説明
ST_INACTIVE ステート ID (0x0)	初期状態です。このステートはカメラデータを取り込んでいません。
ST_STARTUP ステート ID (0x1)	ST_INACTIVE から、シャッターが押された状態です。このステートはカメラデータを取り込んでいません。
ST_STRBDEL ステート ID (0x3)	ストロボフレーム遅延を待っている状態です。ストロボ遅延がある場合には ST_ACTIVE に行く前にこのステートで指定フレーム数分取り込みを遅らせます。このステートはカメラデータを取り込んでいません。
ST_ACTIVE ステート ID (0x7)	カメラデータを取り込むステートです。このステートではカメラからの VREF 以外でステート遷移を起こすことはないため、切り取り、縮小設定が正しく設定されている限り、フレームデータが取り込まれることを保証しています。
ST_NEXTACT ステート ID (0xB)	ST_ACTIVE 中に次フレームキャプチャリクエストを“1”にすることでこのステートに入ります。このステートでは、カメラからの VREF が入り次第、ST_ACTIVE に戻ります。このステートは連続フレームエンコードを実現するために用意されています。このステートはカメラデータを取り込んでいます。
ST_HOLD ステート ID (0x6)	取り込みが終了した次のフレームからこのステートに入ります。このステートはカメラデータの取り込みを行っていません。
ST_STOPDOWN ステート ID (0x4)	ST_HOLD から ホールド解除信号が来た状態です。次のフレームから ST_INACTIVE に遷移し、ホールドが解除されます。このステートはカメラデータの取り込みを行っていません。
ST_CONTSTART ステート ID (0x5)	ホールド状態のときにシャッターが押されたことで次のフレームからまた取り込みを行います。このステートはカメラデータの取り込みを行っていません。

またイベントとアクションとの対応は以下の表の通りになります。

表 8.16 Event Description in Camera Image JPEG Encode Mode

イベント	アクション
Software Reset	リサイズ回路をソフトウェアリセット
Shutter On	JPEG スタートストップレジスタに“1”をライト
Cancel, Recover from HOLD	JPEG スタートストップレジスタに“0”をライト
CamVRef	カメラ画像データの VREF データアクティブレベルからデータインアクティブレベルへ変化するタイミング。本節の説明において VREF とだけ書いてあるときはこのタイミングを表しています。
Stay Active	JPEG 制御レジスタの次フレーム取り込みリクエストビットに“1”をライト
Strobe Delay	ストロボフレーム遅延カウント

カメラ画像 JPEG エンコードを一回行ったときのタイミングチャートは以下のようになります。

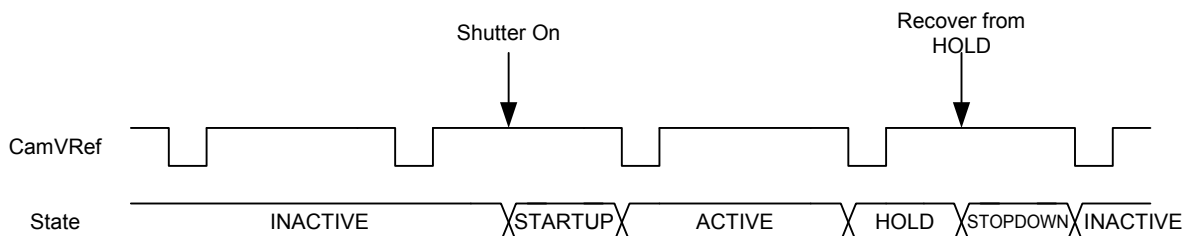


図 8.3 Timing Chart for Camera Image JPEG Encode (Single)

8. JPEG コントローラ (JPG)

8.5.1.2 YUVキャプチャ用ステートマシン

YUV キャプチャモードのキャプチャ制御ステートマシンは以下のようになります。

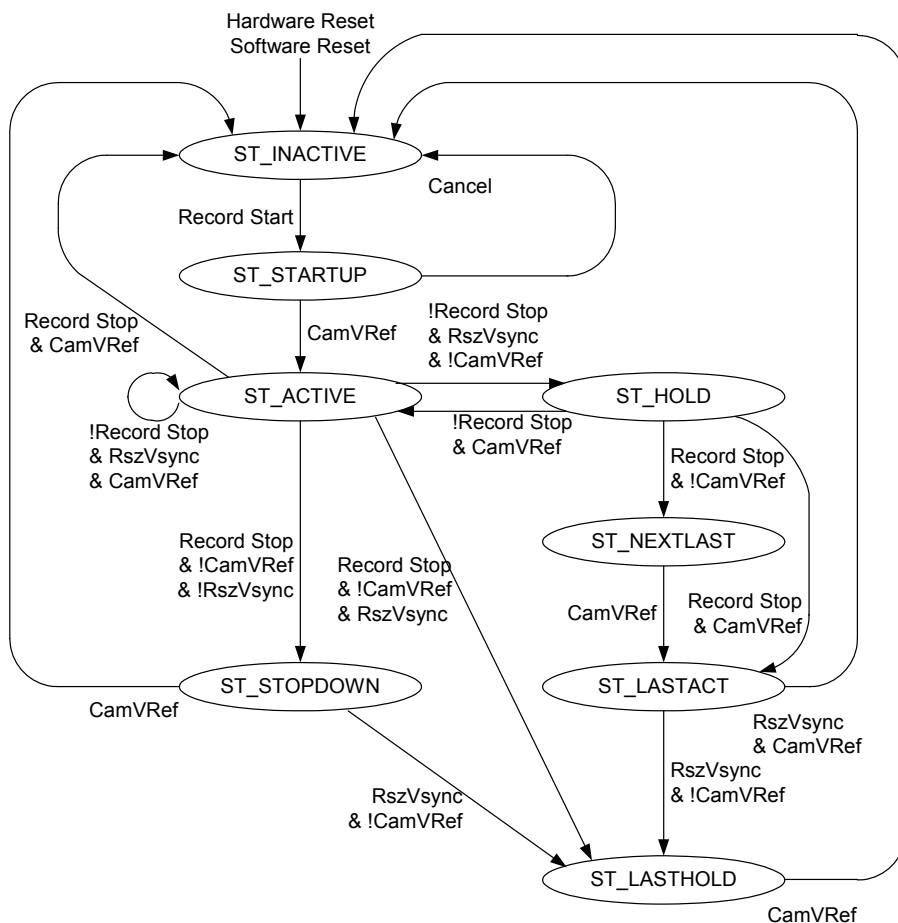


図 8.4 State Machine for YUV Capture

表 8.17 State Description in YUV Capture Mode

ステート	説明
ST_INACTIVE ステート ID (0x0)	初期状態です。このステートはカメラデータの取り込みを行っていません。
ST_STARTUP ステート ID (0x1)	ST_INACTIVE から、録画スタート信号が入った状態です。このステートはカメラデータの取り込みを行っていません。
ST_ACTIVE ステート ID (0x7)	カメラデータを取り込むステートです。このステートはカメラデータの取り込みを行っています。
ST_HOLD ステート ID (0x6)	フレーム中に取り込みデータの VREF が発生したときに、ST_ACTIVE からこのステートに移ります。このステートはカメラデータの取り込みを行っていません。
ST_STOPDOWN ステート ID (0x4)	ST_ACTIVE から、録画ストップ信号が入った状態です。現フレームで取り込みが終了します。このステートはカメラデータの取り込みを行っています。
ST_NEXTLAST ステート ID (0xE)	ST_HOLD 中に録画ストップ信号が入るとこのステートに入ります。このステートは取り込みデータの VREF 後からカメラ VREF までの間は JPEG モジュールが動画取り込みの終わりを認識できないという制限のために、取り込みデータの VREF 後の録画ストップ信号に対してもう “1” フレーム取り込ませるためのステートです。このステートはカメラデータの取り込みを行っていません。
ST_LASTACT ステート ID (0xF)	上記の制限で説明されているもう 1 フレーム取り込むステートになります。このステートはカメラデータの取り込みを行っています。
ST_LASTHOLD ステート ID (0xD)	録画の最終フレームで取り込みデータの VREF が発生した後にこのステートに移ります。このステートはカメラデータの取り込みを行っていません。

またイベントとアクションとの対応は以下の表の通りになります。

表 8.18 Event Description in YUV Capture Mode

イベント	アクション
Software Reset	リサイズ回路をソフトウェアリセット
Record Start	JPEG スタートストップレジスタに “1” をライト
Cancel, Record Stop	JPEG スタートストップレジスタに “0” をライト
CamVRef	カメラ画像データの VREF データアクティブレベルからデータインアクティブレベルへ変化するタイミング。本節の説明において VREF とだけ書いてあるときはこのタイミングを表しています。
RszVsync	リサイズ回路の出力するフレームエンド信号

8. JPEG コントローラ (JPG)

8.5.2 リサイズ機能

リサイズ回路はカメラインタフェースからくる画像データに対して切り取りと縮小を行います。リサイズ回路は切り取り処理と縮小処理の2つのステージを持っています。YUV4:2:2 でカメラモジュールから来た画像データはカメラインタフェースにおいてYUV4:4:4 フォーマットに変換されますので、リサイズ回路では1x1 画素単位で切り取り処理を行うことができます。

8.5.2.1 切り取り機能

切り取り処理は縮小処理の前段階として、縮小処理に必要な画像サイズになるように画像の周辺部を切り捨てます。切り取り処理は X/Y スタート/エンド座標レジスタを使用します。元画像の左上を座標(0,0)とし、スタート座標は切り取り残す画像の左上の座標、エンド座標は残す画像の右下の座標を表します。これらの設定値は1x1 画素単位で指定できますが、それぞれ入力カメラ画像の最大座標より大きい座標を指定することはできません。エンド座標をスタート座標より小さい値に設定した場合、リサイズ回路は正常に動作せず、何らかのデータがリサイズ回路から出力されますので、エンド座標は必ずスタート座標以上になるように設定してください。リサイズ回路からのデータ出力を強制停止させたい場合には、RSZ[0xC0]bit0 に“0”を書き、リサイズ回路をディセーブルにしてください。

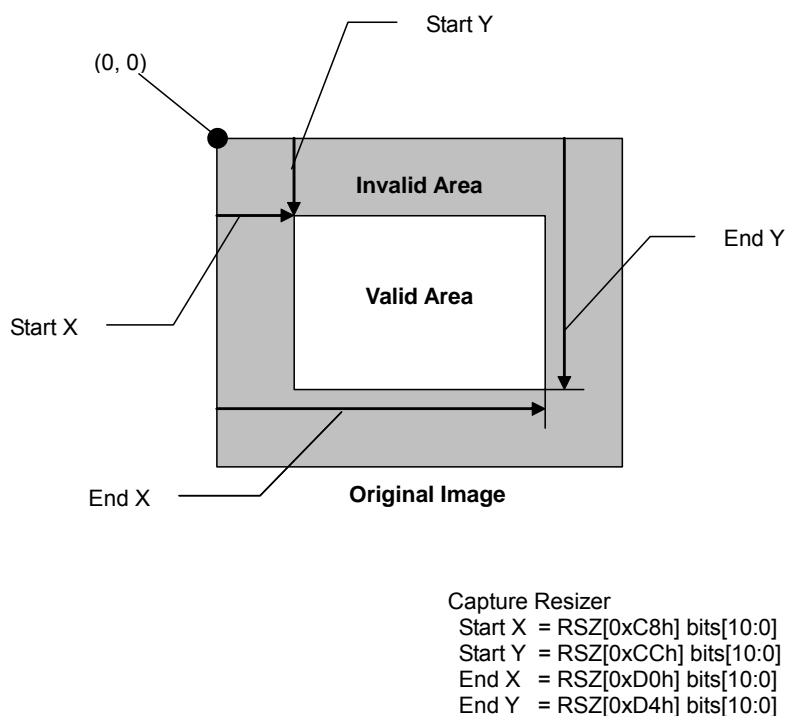
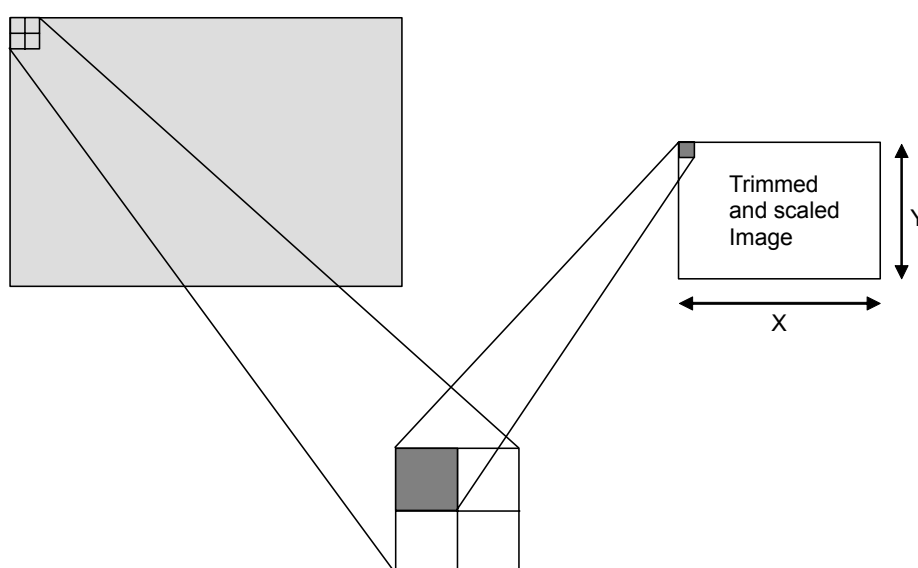


図 8.5 Trimming Function

8.5.2.2 縮小機能

縮小処理は切り取り処理の後に行われ、切り取られた画像に対して設定された縮小率で画像を縮小します。縮小後の画像サイズは、JPEG エンコードで設定する画像サイズと同じでなければなりません。

縮小処理には、間引き縮小モード、加算平均縮小モード、縮小無しモードと 3 種類の縮小モードがあります。間引き縮小モードでは画像ブロックから代表点を選び、それを縮小後画像の 1 画素とします。1/2～1/8 の任意の縮小率で設定が可能です。加算平均縮小モードでは、縦方向が間引き縮小で横方向が加算平均による縮小になります。間引き縮小選択された画像ブロック列のすべての画素を加算し、その平均値が画像ブロックの縮小後の 1 画素となります。1/2、1/4、1/8 の 3 種類の縮小率を選ぶことができます。縮小無しモードは、縮小しないときに設定します。縮小無しモードでは、縮小率設定レジスタの値は無効になります。また縮小無しモードを用意していますので、それ以外のモードで縮小率設定レジスタに“1”を書いたときの動作は保証していません。縮小しない場合は縮小無しモードを選択してください。



Capture Resizer
Scaling Rate = RSZ[0xD8h] bits[3:0]
Result X = JCODEC[0x24h], JCODEC[0x28h]
Result Y = JCODEC[0x1Ch], JCODEC[0x20h]

図 8.6 Scaling Example (1/2 Scaling)

8.5.2.2.1 1/2 縮小

1/2 縮小では、2x2 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

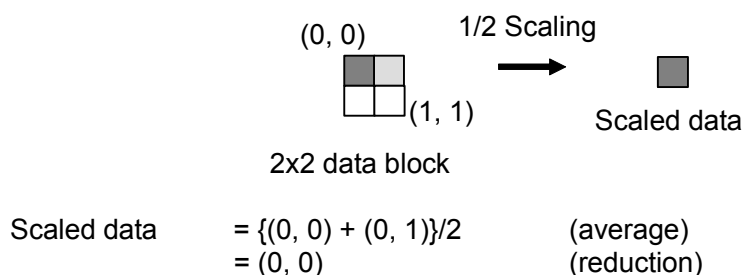


図 8.7 1/2 Compression

8. JPEG コントローラ (JPG)

8.5.2.2.2 1/3 縮小

1/3 縮小では、3x3 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

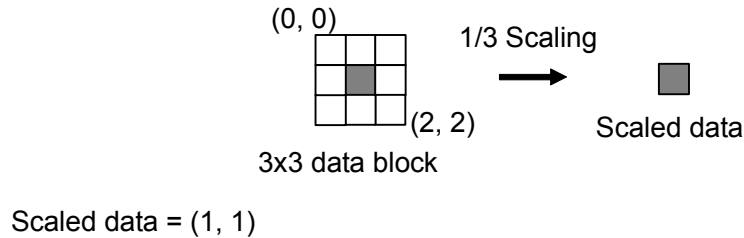


図 8.8 1/3 Scaling

8.5.2.2.3 1/4 縮小

1/4 縮小では、4x4 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

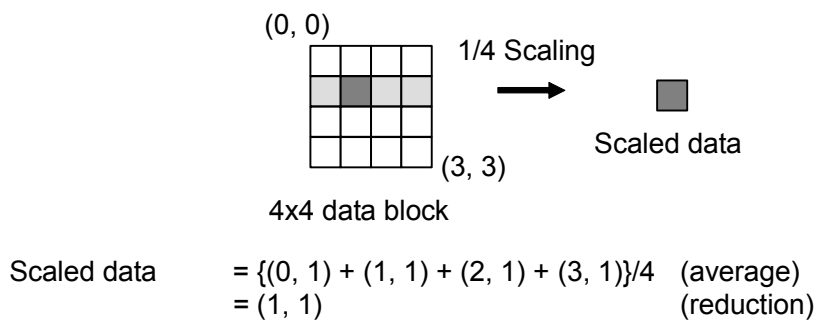


図 8.9 1/4 Scaling

8.5.2.2.4 1/5 縮小

1/5 縮小では、5x5 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

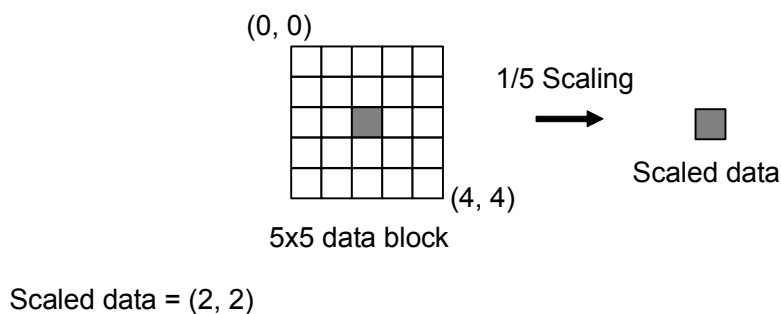


図 8.10 1/5 Scaling

8.5.2.2.5 1/6 縮小

1/6 縮小では、6x6 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

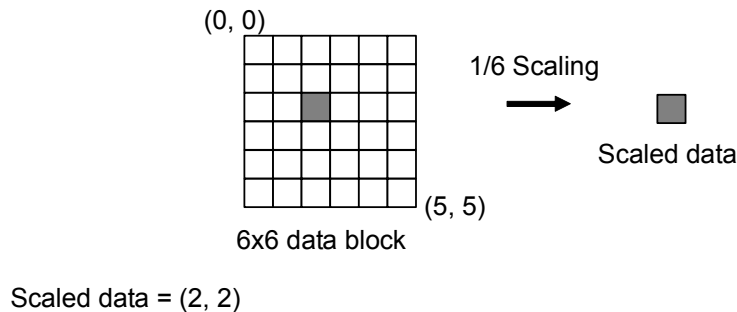


図 8.11 1/6 Scaling

8.5.2.2.6 1/7 縮小

1/7 縮小では、7x7 画素ブロック毎に 1 画素に縮小されます。この縮小率では縮小モードは間引き縮小のみとなります。

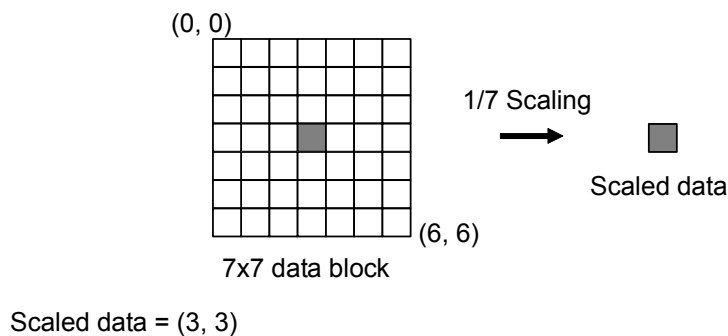


図 8.12 1/7 Scaling

8.5.2.2.7 1/8 縮小

1/8 縮小では、8x8 画素ブロック毎に 1 画素に縮小されます。この縮小率では間引き、加算平均の両方の縮小モードが選択できます。ただし縦方向はどちらの縮小モードでも同じく間引き縮小となります。

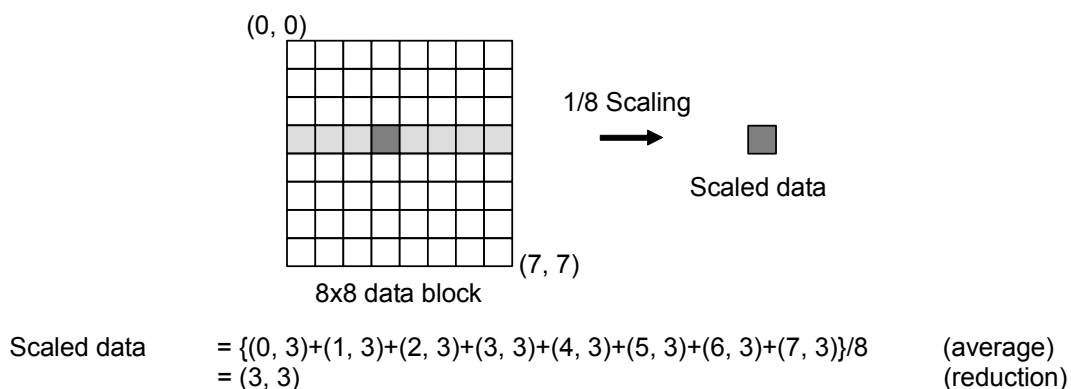


図 8.13 1/8 Scaling

8. JPEG コントローラ (JPG)

8.5.2.3 リサイズ回路利用制限

リサイズ回路のレジスタは、ソフトウェアリセットやイネーブルを除き、カメラインタフェースからデータがきている間に変更できません。カメラインタフェースからデータがきているときにレジスタを変更した場合、データが破壊されます。リサイズ回路のレジスタ設定をカメラ動作中に変更する場合は、カメラインタフェースの VREF 割り込みを使用して、VREF データブランク期間（フレームの間のカメラインタフェースがイメージセンサーからデータを受け取っていない期間）中に変更する方法が一般的です。

リサイズ X/Y スタート、ストップ座標レジスタは、カメラ画像よりも大きい座標を指定することはできません。指定した場合は、正常に動作しなくなります。

リサイズ X/Y スタート、ストップ座標レジスタを指定することで切り取られる画像は、縮小率設定レジスタで設定した値で割り切れなければなりません。

8.5.3 画像処理データフロー

ここでは、各画像処理モードでのデータフローを図示します。

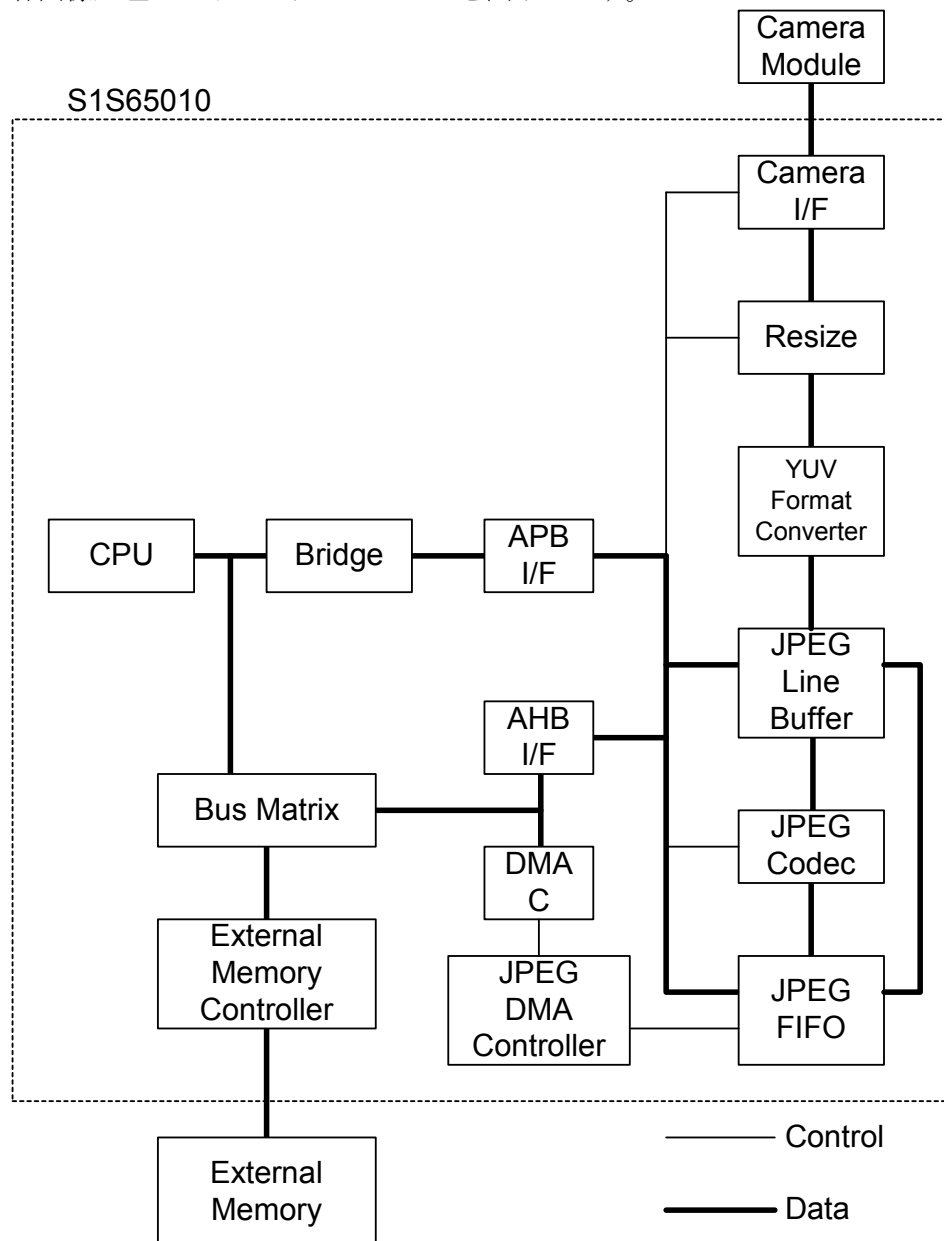


図 8.14 画像処理データフロー

8. JPEG コントローラ (JPG)

8.5.3.1 カメラ画像JPEGエンコード

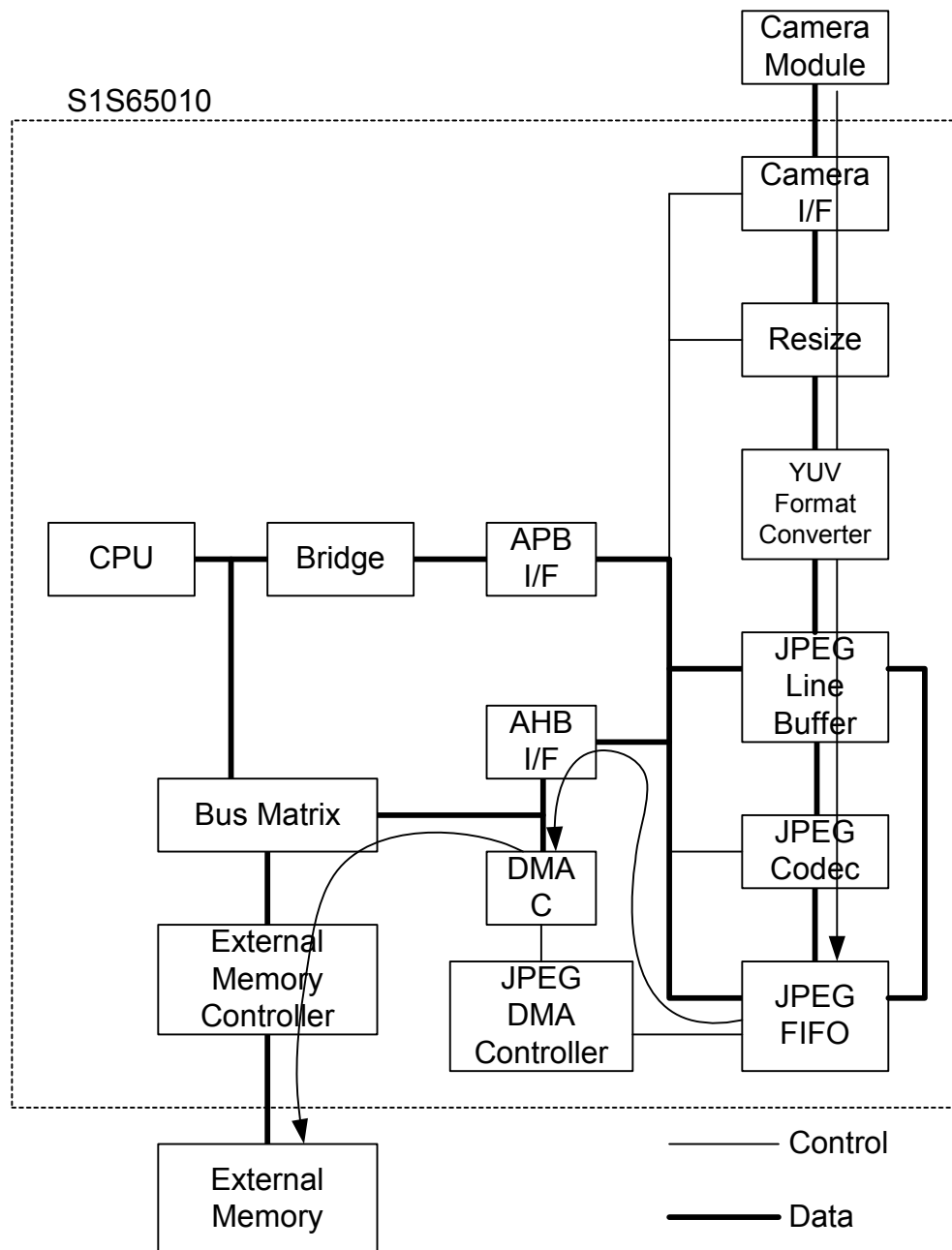


図 8.15 カメラ画像 JPEG エンコードデータフロー

8.5.3.2 YUVデータキャプチャ

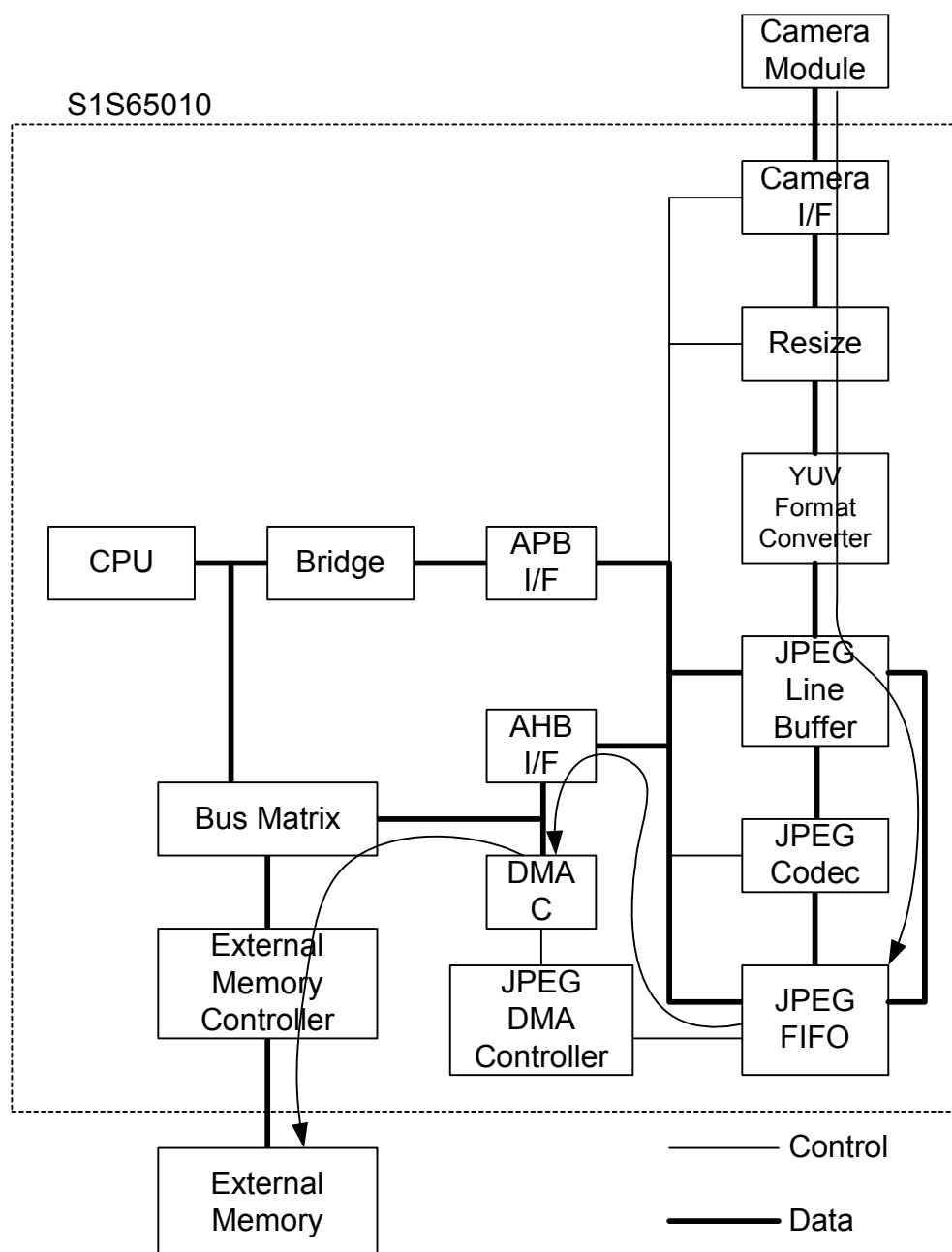


図 8.16 YUV データキャプチャデータフロー

8. JPEG コントローラ (JPG)

8.5.3.3 YUVデータJPEGエンコード

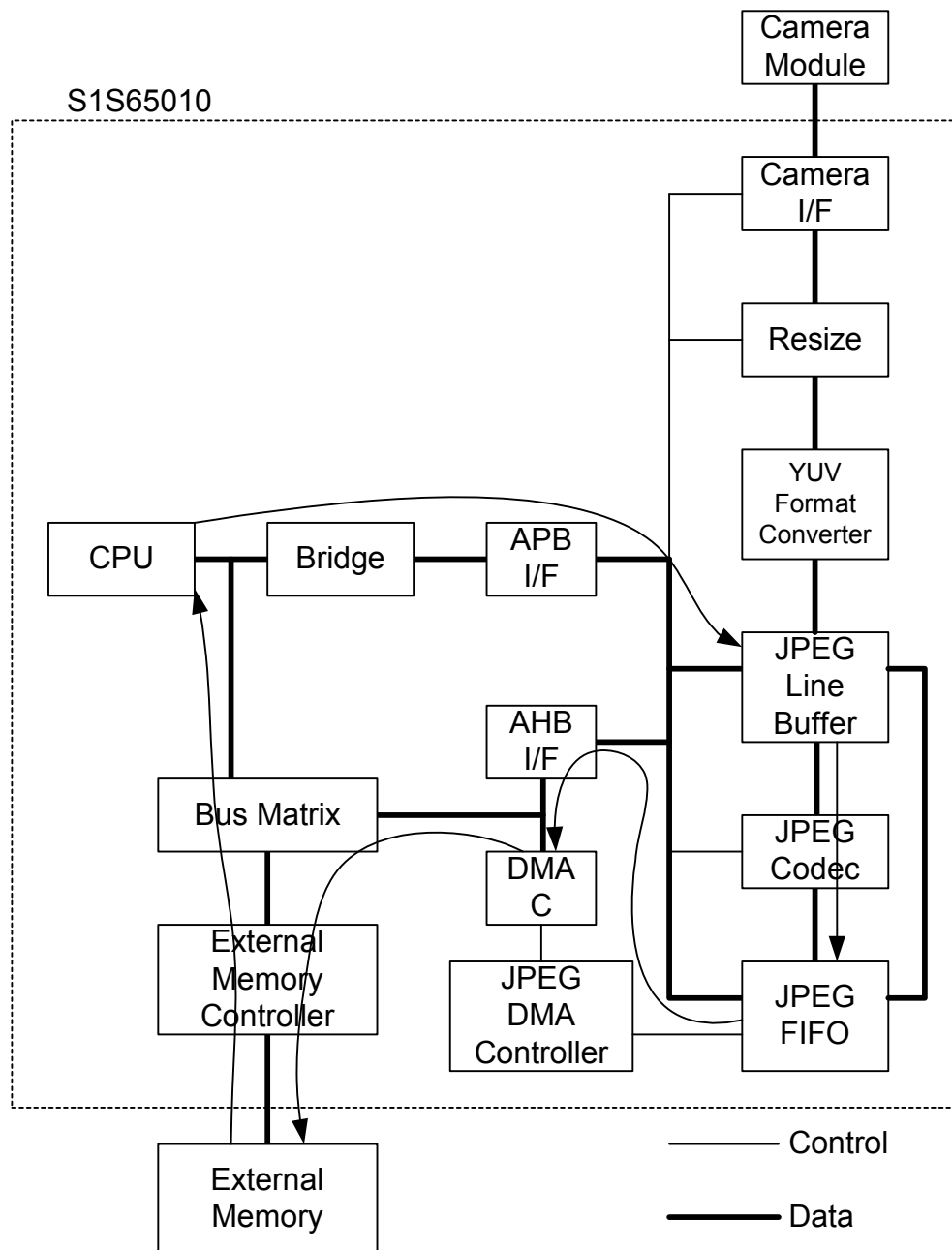


図 8.17 YUV データ JPEG エンコードデータフロー

8.5.3.4 YUVデータJPEGデコード

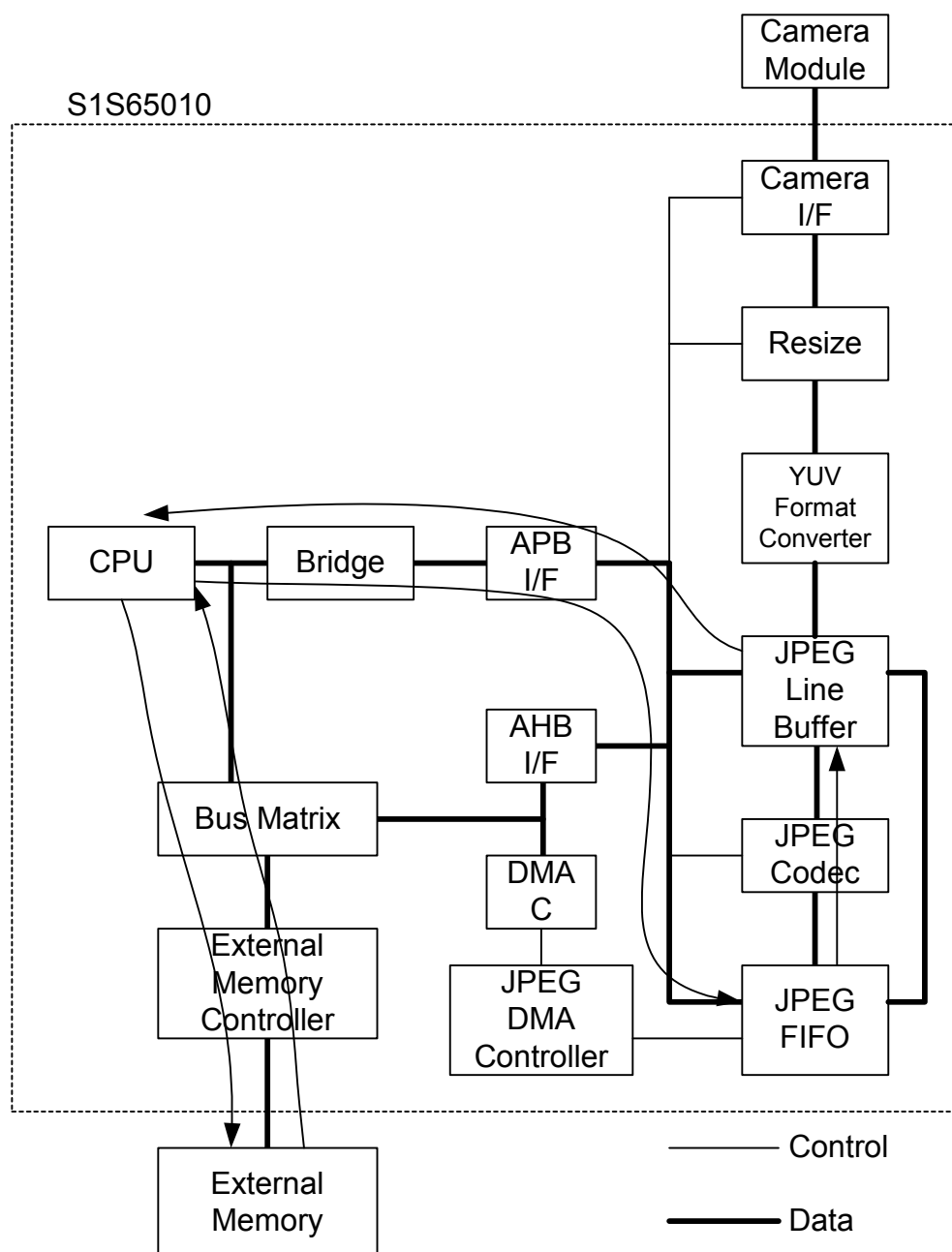


図 8.18 YUV データ JPEG デコードデータフロー

8. JPEG コントローラ (JPG)

8.5.4 JPEGコーデック機能

本デバイスに搭載されている JPEG コーデック回路は JPEG ベースライン方式にほぼ準拠しており、JPEG Part-2 (ISO/IEC10918-2) で要求される適合性試験の結果を満足しています。JPEG コーデック回路は最大横幅 1600 画素、縦幅は 2048 画素まで対応しています。これにより UXGA サイズまで JPEG エンコード可能です。

リサイズ回路から来た YUV4:4:4 フォーマットのデータは、YUV フォーマットコンバータによって JCODEC[0x00] bits[1:0] で設定された YUV フォーマットに変換されます。ただしカメラ画像 JPEG エンコード、YUV データ JPEG エンコード、JPEG デコード、および YUV キャプチャでは処理される画像サイズが以下の解像度でなければならないという制限があります。このサイズで割り切れないサイズの JPEG ファイルをデコードする場合は、ソフトウェアにて JPEG ファイルのサイズ情報を変更してください。

表 8.19 Minimum Resolution Restrictions

YUV Format	Minimum Resolution
4:4:4	1x1
4:2:2	2x1
4:2:0	2x2
4:1:1	4x1

さらに画像の最小サイズにも制限があり、このサイズより小さいサイズの画像は動作保証されません。

表 8.20 Minimum Size

YUV Format	MCU Size (Horizontal x Vertical)
4:4:4	(8 x 8)
4:2:2	16 x 8
4:2:0	16 x 16
4:1:1	32 x 8

量子化テーブルはエンコード用に 2 つ、デコード用に 4 つ持つことができます。ハフマンテーブルはエンコード、デコードともに AC、DC それぞれ 2 つずつ持つことができます。また JPEG エンコードでは、マーカ識別子を含め最大 36 バイトのマーカを挿入することができます。デコード処理で自動的に認識されるマーカは SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、DNL、および EOI で、それ以外のマーカは無視されます。カメラ画像の JPEG エンコード処理は YUV4:4:4、YUV4:2:2、YUV4:2:0、および YUV4:1:1 をサポートしています。ただし YUV4:4:4 はカメラ入力画像よりデータ量が大きくなりますので、カメラ画像を縮小無しでエンコードする場合はサポート対象外となります。RAM 上の YUV データから JPEG データへのエンコード、JPEG データから YUV データへのデコードは、YUV4:2:2 および YUV4:2:0 のみサポートします。画像データ処理能力は 640x480 画像サイズで 1/30 秒以下となりますが、量子化テーブル、ハフマンテーブルの値、カメラ入力画像の細かさなどの要因によりこの処理能力を満たせない場合があります。

JPEG を連続してエンコードする場合、安定して動作する方式は 1 フレームエンコードしたら 1 フレームエンコードしない処理になります。毎フレーム連続エンコード機能は持っていますが、実現できるかどうかはシステムで採用されるカメラモジュールの種類、ソフトウェア処理速度に依存します。具体的には以下の不等式が成り立つ必要があります。

カメラの VREF インアクティブ期間

> 割り込み応答時間

- + プライオリティの高いタスクによって処理が中断される合計時間
- + 次フレームエンコードのための設定処理時間
- + JPEG コーデック回路のマーカ出力時間

JPEG コーデック回路のマーカ出力時間は、S1S65010 で追加されたマーカ高速出力モードを使用するとシステムクロック 50MHz 時で 36 μ s、使用しない場合はおよそ 2ms になります。マーカ高速出力モードを使用しないで VGA サイズの毎フレーム連続エンコードを行う場合は、VREF のインアクティブ期間が少なくとも 15 ライン以上無いとオーバーフローが発生する可能性が極めて高くなります。

8.5.4.1 JPEGデコードできないファイル

以下の JPEG ファイルはデコード処理できません。

- (拡張子が “jpg” のファイルだが、) JPEG ではないファイル
- マーカの壊れたファイル
- グレー画像 (UV データのない) の JPEG ファイル
- 色要素が YUV ではない JPEG ファイル
- DNL マーカを使用した JPEG ファイル
- ハフマンテーブルや量子化テーブルのような画像以外のデータが壊れたファイル

JPEG コーデック回路へ入力する JPEG ファイルが正常であることを保証できない場合は、ソフトウェアであらかじめ JPEG ファイルのマーカを読み、JPEG コーデック回路がデコード処理可能なファイルであるかどうかを確認することで JPEG デコード処理が暴走することを回避する必要があります。JPEG ではビット単位でのエラー訂正が行われなため、ファイルの内容が保証できない場合にはあらゆるエラー状態が存在します。したがってそれらをすべてハードウェアで行うことは困難であり、本デバイスではソフトウェア側でのプリチェックを期待しています。JPEG デコードマーカリードフラグはファイルが正常であることが保証されている場合に有効な割り込みとなります。JPEG ファイルが正常であることを保証できない環境では JPEG デコードマーカリードフラグを使用すべきではありません。

例えばマーカコードの 1 ビットだけが反転してしまっただけで、JPEG デコード処理は正常に動作しない可能性があります。ソフトウェア開発する際はいつまでもデコード終了しないときに異常が発生したという判定を行う必要があります。

8.5.4.2 JPEGコーデックレジスタに関する制限

JPEG コーデックレジスタは JPEG コーデック動作中 (JPEG コーデックスタートから JPEG コーデック終了まで) は変更禁止です。該当期間中のアクセスに対して応答があった場合、誤動作を引き起こすか、もしくは無効になります。

また、JPEG コーデックレジスタは JPEG コーデック回路にクロックが供給されていないときにアクセスしても無効になります。JPEG コーデック回路のクロックが停止する条件は以下の通りです。

- JPEG モジュールがディセーブルになっているとき
- JPEG モジュールがイネーブルで JPEG 処理モードが 000 または 100 ではないとき

ただし YUV キャプチャで設定が必要となるレジスタに限っては JPEG コーデック回路にクロックが供給されていなくても設定可能なようになっています。

JPEG コーデック回路で予約となっているレジスタや書き込みのみのレジスタにリードアクセスした場合、リード値を保証しないだけでなく JPEG コーデック回路そのものの動作を保証しないという制限があります。特に JPEG デコード処理と JPEG エンコード処理とでレジスタのアクセス制限が変化しますので、間違ったレジスタアクセスにならないように注意してください。

また JPEG コーデックスステータスレジスタ及び JPEG コーデックマーカステータスレジスタはリード自体で内部状態が変化するため、必要なときにのみリードするように注意してください。また JPEG エンコード処理が終わったときには JPEG コーデックスステータスレジスタを、JPEG デコード処理が終わったときには JPEG コーデックスステータスレジスタをリードする前に JPEG コーデックマーカステータスレジスタをリードしてください。このリードを行うことによって JPEG コーデック回路は処理が完了します。リードを行わなかった場合、次の処理が正常に動作しなくなります。

量子化テーブルおよびハフマンテーブルは、連続して同じ処理を行うときのみテーブル書き込みを省略できます。デコード処理からエンコード処理に移ったときや、エンコード処理でも設定を変更した場合は、テーブルは書き直しになります。

8. JPEG コントローラ (JPG)

8.5.5 JPEGコーデック以外の機能

8.5.5.1 JPEG FIFO

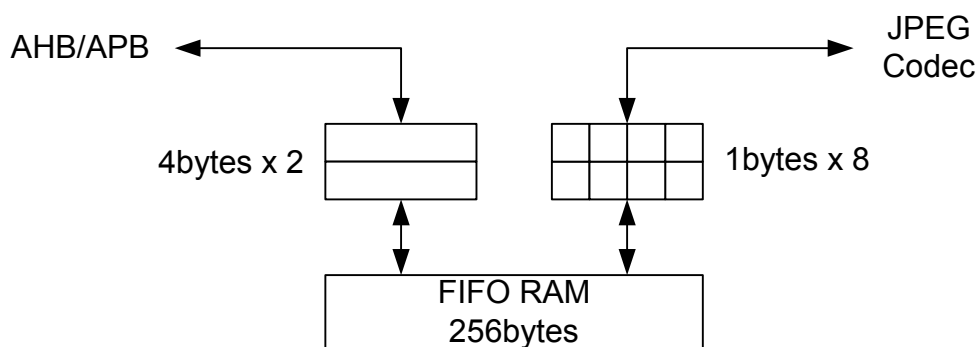


図 8.19 JPEG FIFO Overview

JPEG FIFO は 256 バイトの RAM、4 バイト x2 のバッファが RAM のリードライトで 2 つの計 272 バイトのデータを保持することができます。JPEG FIFO のステータスを見て FIFO リードライトを CPU で行う場合は、256 バイトの RAM をリードライトできる最大値とすることが望ましいです。

JPEG FIFO のステータスは JPEG FIFO ステータスレジスタでチェックすることができます。さらにそのステータスの大部分が JPEG 割り込みステータスレジスタでもチェックできます。JPEG FIFO ステータスレジスタはリードした時点のステータスを表しており、JPEG 割り込みステータスレジスタの Empty と Full ステータスは、一度でもその状態になったことを表しています。JPEG 割り込み制御レジスタではこの一度でもその状態になったという情報から割り込みを発生させていますので、割り込みがクリアされるまでは、情報を保持しつづけています。

カメラ画像 JPEG エンコード、YUV データ JPEG エンコードにおいて JPEG FIFO からデータを取り出す方法は 2 つあります。1 つは CPU が JPEG FIFO リードライトポートレジスタをリードすることです。もう 1 つは JPEG DMA コントローラを使用することです。

1. ローパフォーマンス – JPEG FIFO エンプティフラグでデータがあることを確認して、CPU が JPEG FIFO リードライトポートレジスタをリードする方法です。FIFO サイズが小さいため、FIFO フルやしきい値での割り込みは効率が悪く使用できません。CPU で JPEG コーデック終了割り込みフラグが立つまで、JPEG FIFO エンプティフラグをポーリングしてデータを読み出すため、CPU 占有率が高く、マルチタスクやリアルタイム処理に向きません。
2. ハイパフォーマンス – JPEG DMA コントローラによってデータをメモリ領域に転送する方法です。JPEG DMA コントローラは JPEG FIFO からフレーム終了の情報をもらって自動的に転送を終了させるため、DMA 設定においてメモリ領域に確保したメモリサイズ回路を最大転送量に設定するだけで、必要な転送は実現できます。1 フレームにつき少しのレジスタ設定だけでよく、FIFO からの転送にかかる CPU 負荷はほとんどありません。

JPEG デコードでは、256 バイト単位で JPEG FIFO リードライトポートレジスタにデータを書き、FIFO のエンプティステータスが“1”になったら、また 256 バイト書くという動作を繰り返し行います。

8.5.5.2 JPEGラインバッファ

JPEG ラインバッファは、30KB の RAM を持ち、ラインベース方式データとブロックインターリーブ方式データへの相互変換を行っています。処理できるデータサイズは横幅 640 画素までです。JPEG ファイルを作成するときには MCU 単位サイズの画像データが必要であるため、足りないデータの補完を行っています。たとえば 100x100 画像を YUV4:2:2 でエンコードする場合、112x104 に補完して JPEG コーデック回路にデータを送出します。この機能は MCU 単位サイズとして足りない部分だけを補完しますので、たとえばリサイズ回路から 60x60 でしかきていないデータを 112x104 などに大きく補完するわけではありません。

YUV データエンコード、JPEG デコードを行うためのデータポートレジスタを持っています。ライ

ンバッファのステータスは JPEG ラインバッファステータスレジスタでチェックできます。またフルやエンプティといったステータスから割り込みを発生させることができ、YUV データ JPEG エンコードや JPEG デコードを行うときに使用します。

JPEG ラインバッファは、自分自身がオーバーフローしたときを検出し、割り込みを発生させることができます。JPEG エンコードにおいては、JPEG FIFO や JPEG コーデック回路は処理が続けられない状態になったときに入力データを待たせる機能がついているため、リサイズ回路から止められないデータが来たときに JPEG コーデック回路が入力を頻繁に待たせると JPEG ラインバッファがオーバーフローを起こします。したがって JPEG FIFO リードや JPEG エンコード処理負荷などの理由によりリアルタイムでエンコードできない場合は、すべてラインバッファオーバーフロー割り込みが検出されます。

ラインバッファはラインベース方式データとブロックインターリーブ方式データへの相互変換のため MCU 単位横幅のライン数分のデータを 1 バンクという単位として扱っており、30KB RAM を有効利用するように入力画像サイズの横幅によって RAM に貯めておけるバンク数が増えるようになっています。

YUV フォーマットが 4:2:0 の場合 16 ラインで 1 バンク、4:2:2 の場合 8 ラインで 1 バンクとなります。

表 8.21 入力画像サイズによる RAM データ量 (バンク数)

入力画像横サイズ	データ量
32	入力画像横サイズ x 32banks
64	入力画像横サイズ x 16banks
128	入力画像横サイズ x 8banks
256	入力画像横サイズ x 4banks
>256	入力画像横サイズ x 2banks

8.5.5.3 YUVフォーマットコンバータ

YUV フォーマットコンバータは、リサイズ回路から来た YUV4:4:4 フォーマットのカメラ画像を 4 種類の YUV フォーマットに変換します。YUV フォーマット変換は下図のようにすべて加算平均を使用しています。下図では U 成分を例にしていますが、V 成分の加算平均式は同じになります。Y 成分は YUV フォーマットでも元画像と同じになります。

元画像

U_0	U_1	U_2	U_3
U_4	U_5	U_6	U_7

フォーマット変換後画像

U_0	U_1	U_2	U_3
U_4	U_5	U_6	U_7

YUV4:4:4

$\frac{U_0+U_1}{2}$	$\frac{U_2+U_3}{2}$
$\frac{U_4+U_5}{2}$	$\frac{U_6+U_7}{2}$

YUV4:2:2

$\frac{(U_0+U_1+U_4+U_5)}{4}$	$\frac{(U_2+U_3+U_6+U_7)}{4}$
-------------------------------	-------------------------------

YUV4:2:0

$\frac{U_0+U_1+U_2+U_3}{4}$	$\frac{U_4+U_5+U_6+U_7}{4}$
-----------------------------	-----------------------------

YUV4:1:1

図 8.20 YUV フォーマット変換

8. JPEG コントローラ (JPG)

8.5.5.4 JPEGモジュール割り込み

ここでは割り込みフラグがどのようなときに使用されるのかを説明しています。

1. JPEG コーデック割り込みフラグ

カメラ画像 JPEG エンコードおよび YUV データ JPEG エンコードでは、CPU による FIFO アクセスを行うときに使用します。このフラグが立った段階で JPEG ファイルサイズが確定しますので、すでにリードしたデータ量をエンコード結果サイズから引いた値が最後にリードすべきデータ残数となります。YUV キャプチャではこのフラグが立つことはありません。JPEG デコードでは最後のデータをラインバッファからリードするトリガとして使用します。

2. JPEG ラインバッファオーバーフロー割り込みフラグ

カメラ画像 JPEG エンコードのときにのみ使用します。JPEG コーデック回路は JPEG エンコードがリアルタイムで常に成功することを保証していないため、カメラ画像 JPEG エンコードを行うときには、この割り込みをイネーブルにすることが必須となります。

3. JPEG デコードマーカリードフラグ

JPEG デコードのときにのみ使用します。ただし JPEG ファイルが本デバイスの JPEG コーデック回路によってデコードできることを保証できない環境においては、JPEG ファイルのマーカをソフトウェアが読み出して正常動作することを確認する必要があるため、このフラグは使用しません。

このフラグが立っている間はデコード処理が中断しています。JPEG デコードマーカリード割り込みがディセーブルの場合、このフラグがロウステータスを含め、立つことはありません。

4. JPEG FIFO エンプティフラグ

JPEG デコードに使用することがあります。その場合エンプティになったら次のデータを FIFO のサイズ分だけライトするという使用方法になります。ただしエンプティ中は JPEG デコード処理を中断していますので、JPEG FIFO しきい値ステータスレジスタで 1/4 以上というステータスを見て、FIFO サイズの 1/2 をライトする方法の方が JPEG デコードは早く完了します。

JPEG エンコードでは FIFO のデータがなくなったことを確認するという使用方法がありますが、念のためにという意味合いが強く、このフラグを見てエンコード処理を行う必要性はありません。

5. JPEG FIFO フルフラグ

カメラ画像 JPEG エンコードおよび YUV データ JPEG エンコードで CPU による JPEG FIFO リードを行うときに使用することがあります。その場合フルになったら FIFO のサイズ分だけリードするという使用方法になります。ただしフル中は JPEG コーデック回路のエンコード処理が中断しており、ラインバッファにデータが溜まりつづける状態になるため、実際には JPEG FIFO しきい値ステータスレジスタで 1/2 以上や 1/4 以上を見て、FIFO 有効サイズレジスタの値分をリードする方法が採用されることになります。

6. JPEG FIFO しきい値トリガフラグ

しきい値をトリガとした割り込みによる FIFO アクセスは FIFO サイズが小さいため、割り込み応答時間のオーバーヘッドが大きくなり、実質的に使用できません。したがってこのフラグの使い道は特にありません。

7. エンコードサイズリミットオーバーフラグ

カメラ画像 JPEG エンコードおよび YUV データ JPEG エンコードで使用します。JPEG DMA コントローラを使用する場合には、DMA 転送の最大転送数による割り込みを使用する方がメモリ領域の破壊が発生しませんので、JPEG ファイルの最大サイズを制限する直接的な方法としては使用しません。かわりにもう少しで超えそうであるという状態を検出することにより、たとえば量子化テーブルを大きい値に変更するなどの処理を行うことができます。

8.5.5.5 JPEG180° 回転エンコード

JPEG180° 回転エンコードは、1 フレームを回転させるのではなく、フレームの MCU 単位幅ライン数分のライン単位で回転します。したがってソフトウェアがライン単位で回転させたデータの並べ替えを行う必要があります。たとえば最初のライン単位の手元データは JPEG ファイルの画像データ領域の最初に書かれていますが、1 フレーム回転では画像データ領域の最後になりますので、ソフトウェアで最後に移動させる必要があります。



図 8.21 JPEG180° 回転エンコード

ソフトウェアがエンコードされた画像データだけからライン単位の終わりを認識することは困難ですので、RST マーカをライン単位が終わるごとに挿入するようにしてライン単位の終わりを認識させます。したがって RST マーカ挿入は必須です。RST マーカの挿入間隔は画像の横幅を MCU 単位横サイズで割った値の小数点以下繰り上げとなります。たとえば横幅 100 画素の画像を YUV4:2:0 フォーマットで JPEG180° 回転エンコードしたときに挿入される RST マーカの挿入間隔は、 $100/16=6.25 \rightarrow 7$ となります。

8.5.5.6 YUVデータフォーマット

本デバイスでは、YUV データ JPEG エンコード、JPEG デコード、YUV キャプチャにおいて YUV データをソフトウェアが扱います。これらの処理モードでは、YUV4:2:2 および YUV4:2:0 のみが処理可能フォーマットであり、YUV データの並びは以下ようになります。

	YUV 4:2:2	YUV 4:2:0
Nth line	UYVYUYVY	UYVYUYVY
N+1th line	UYVYUYVY	YYYYYYYY

YUV データはビッグエンディアン形式で、アドレスの若い番地から U、Y、V、Y という順番にデータが並びます。YUV4:2:0 の場合、奇数ラインの UV データは偶数ラインの UV データと共有になります。したがって奇数ラインのデータは Y データのみとなります。

8.5.5.7 ソフトウェアリセット処理について

JPEG コーデック回路は 1 フレームがエンコード、デコードにおける基本単位になっており、連続エンコード、デコードはそれら単発の処理を繰り返し行うことで実現します。JPEG コーデック回路が処理を行う前には、ソフトウェアリセットを行うことを推奨します。これは JPEG コーデック回路が初期状態に戻ることで安定した動作を期待できるためです。ソフトウェアリセットは機能ブロックのみをリセットするため、レジスタ設定した値はそのまま残っています。

JPEG コーデック回路のソフトウェアリセット以外に YUV フォーマットコンバータ、JPEG ラインバッファ、JPEG FIFO のコンポーネントをリセットする JPEG モジュールソフトウェアリセットがあり、カメラ画像を JPEG エンコード処理する場合に、推奨するソフトウェアリセット処理が異なります。これは、各コンポーネントでの処理時間によるタイムラグがあるです。

毎フレーム連続エンコードする場合は、JPEG モジュールソフトウェアリセットを実行しないことを推奨します。現フレームの処理の終わりと次フレームの処理の始まりが平行して動作し、ソフトウェアリセットを実行するタイミングが存在しない可能性が高いためです。

一方で 1 フレームエンコードしたら 1 フレーム以上のインターバルを設ける場合には、現フレームのエンコード処理と次フレームのエンコード処理が重なることはありませんので、JPEG エンコードを開始する前にソフトウェアリセットを実行することを推奨します。

8. JPEG コントローラ (JPG)

また JPEG モジュールソフトウェアリセットは MCU 単位ではない画像をデコード処理またはエンコード処理した後に必ず実行する必要があります。これは毎フレーム連続エンコードをする場合には、MCU 単位の画像になる必要があることも意味しています。

8.5.5.8 マーカ高速出力モード

JPEG データでは JPEG マーカと呼ばれるいくつかのマーカでデータの種別を区別しています。JPEG コーデック回路はほとんどのマーカを圧縮データ部より前に配置しており、以前までの製品ではそのマーカを出力するのにシステムクロック 50MHz でおよそ 2ms かかっていました。S1S65010 では新たにマーカ高速出力モードを追加し、JPEG 高速エンコードモードと同時に使用することにより、システムクロック 50MHz でおよそ 36 μ s でマーカ出力を終えることができるようになりました。

ハフマンテーブルを固定値にすることで高速化を図っていますので、JPEG 高速エンコードモードが無効になっているとレジスタ設定に関わらずマーカ高速出力モードも無効になります。

8.5.6 シーケンス例

8.5.6.1 カメラ画像JPEGエンコード処理 (単フレーム)

ここでは、カメラ画像を 1 枚だけ JPEG エンコードするシーケンスを説明します。FIFO からのデータリードには DMA を使用します。

1. カメラインタフェースの設定を行います。詳細はカメラインタフェース機能説明を参照してください。
2. JPEG モジュールをイネーブルし (JCTL[0x00] bit 0 = 1)、JPEG 動作モード (同レジスタ bits [3:1]) を “000” に設定します。
3. JPEG モジュールをソフトウェアリセットします (JCTL[0x00] bit 7 = 1)。
4. JPEG コーデックレジスタを初期化します。基本的にレジスタの若い順番から設定しますが、コマンドレジスタを除いて、順番に依存性はありません。
 - (ア) JPEG コーデック回路をソフトウェアリセットします (JCODEC[0x04] bit 7 = 1)。
 - (イ) JPEG エンコードの処理モードをエンコードにします (JCODEC[0x00] bit 2 = 0)。
 - (ウ) 任意のマーカを挿入する場合は、マーカ挿入をイネーブルにします (JCODEC[0x00] bit 3 = 1)。
 - (エ) 量子化テーブル番号およびハフマンテーブル番号を設定します (JCODEC[0x0C], [0x10])。
 - (オ) RST マーカを挿入する場合は、挿入する間隔を設定します (JCODEC[0x14], [0x18])。
 - (カ) 画像サイズを入力します (JCODEC[0x1C], [0x20], [0x24], [0x28])。
 - (キ) 挿入マーカを入力します (JCODEC[0x40 - 0xCC])。
 - (ク) 量子化テーブルを設定します。設定する順番は以下のとおりです (JCODEC[0x400 - 0x4FC], [0x500 - 0x5FC])。

1	2	3	4	5	6	7	8
9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24
25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56
57	58	59	60	61	62	63	64

- (ケ) ハフマンテーブルを設定します。設定するデータは勧告書 ISO/IEC 10918 付属書 K を例にすると以下のようになります。

DC ハフマンテーブル No. 0 レジスタ 0 には A を設定する (JCODEC[0x800 - 0x83C])
 DC ハフマンテーブル No. 0 レジスタ 1 には B を設定する (JCODEC[0x840 - 0x86C])
 AC ハフマンテーブル No. 0 レジスタ 0 には E を設定する (JCODEC[0x880 - 0x8BC])
 AC ハフマンテーブル No. 0 レジスタ 1 には F を設定する (JCODEC[0x8C0 - 0xB44])
 DC ハフマンテーブル No. 1 レジスタ 0 には C を設定する (JCODEC[0xC00 - 0xC3C])
 DC ハフマンテーブル No. 1 レジスタ 1 には D を設定する (JCODEC[0xC40 - 0xC6C])
 AC ハフマンテーブル No. 1 レジスタ 0 には G を設定する (JCODEC[0xC80 - 0xCBC])
 AC ハフマンテーブル No. 1 レジスタ 1 には H を設定する (JCODEC[0xCC0 - 0xF44])

A:	00h, 01h, 05h,, 00h, 00h	16 byte
B:	00h, 01h, 02h,, 0Ah, 0Bh	12 byte
C:	00h, 03h, 01h,, 00h, 00h	16 byte
D:	00h, 01h, 02h,, 0Ah, 0Bh	12 byte
E:	00h, 02h, 01h, 03h,, 1h, 7Dh	16 byte
F:	01h, 02h, 03h,, F9h, FAh	162 byte
G:	00h, 02h, 01h, 02h, ..., 02h, 77h	16 byte
H:	00h, 01h, 02h,, F9h, FAh	162 byte

5. JPEG モジュールを初期化します。
 - (ア) JPEG FIFO サイズを設定します。FIFO は専用 RAM です。0x3F を入力します。(JFIFO[0x48] = 0x3F)

8. JPEG コントローラ (JPG)

- (イ) エンコードサイズリミットをバイト単位で設定します (JFIFO[0x60], [0x64])。
 - (ウ) JPEG FIFO をクリアします (JFIFO[0x40] bit 2 = 1)。
6. リサイズ回路を初期化します。(RSZ[0xC0] bit 7 = 1) リサイズ後の画像サイズがステップ 4 (カ)で設定した値と同じになるように設定します。(RSZ[0xC8], [0xCC], [0xD0], [0xD4])
 7. 割り込みを設定します。JPEG ステータスフラグレジスタ (JCTL[0x04]) に 0x0000FFFF を書いて割り込みをクリアし、その後でラインバッファオーバーフロー割り込み、エンコードサイズリミット違反割り込みを有効にします (JCTL[0x0C] bit 2 = bit11 = 1)。JPEG ステータスフラグレジスタは予約になっているビットに“1”を書いても問題ありません。さらに割り込みコントローラの JPEG モジュールの割り込みイネーブルをイネーブルに設定します (INT[0x008])。
 8. JPEG DMA コントローラを設定します (JDMA[0x00]~[0x40])。
 9. JPEG エンコードをスタートさせます。
 - (ア) JPEG コーデック回路をスタートさせます (JCODEC[0x04] bit 0 = 1)。
 - (イ) JPEG モジュールをスタートさせます (JCTL[0x14] bit 0 = 1)。
JPEG コーデック回路をスタートさせた後、JPEG マーカを出力するためにシステムクロック 50MHz でおよそ 2ms 必要となります。2ms 経過する前に JPEG モジュールをスタートさせた場合は、実際には 2ms 経過してからキャプチャ処理がスタートすることになります。
 10. JPEG DMA コントローラのフレーム終了割り込みを待ちます。途中ラインバッファオーバーフロー割り込みが発生した場合やしばらくたっても JPEG エンコード処理が終了しない場合は終了処理を実行します。

8.5.6.2 終了処理

終了処理はすべての処理モードで共通にすることができます。処理に異常が起きた場合でも終了処理を実行することで初期状態に戻ります。JPEG コーデック回路レジスタにライトアクセスした場合、その後に別のレジスタへのダミーリードが必要ですが、このシーケンスでは省略しています。

1. リサイズ回路のグローバル制御レジスタ (RSZ[0x60]) に “0x0000” を書き込みます。これは予約レジスタに間違った値が入っている場合を想定しています。
2. リサイズ回路をイネーブル (RSZ[0xC0] bit 0 = 1) にし、さらにソフトウェアリセット (RSZ[0xC0] bit 7 = 1) します。
3. JPEG モジュール回路をイネーブルにし (JCTL[0x00] bit 0 = 1)、JPEG 動作モードを 000 にします (JCTL[0x00] bits 3-1 = 000)。
4. JPEG コーデック回路をソフトウェアリセットします (JCODEC[0x04] bit 7 = 1)。
5. JPEG コーデック回路の RST マーカ動作ステータスレジスタ (JCODEC[0x3C]) をダミーリードします。
6. JPEG コーデック回路の JPEG 動作ステータスレジスタ (JCODEC[0x08]) をダミーリードします。
7. JPEG コーデック回路の動作モード設定レジスタ (JCODEC[0x00]) に 0x00 を書き込みます。
8. JPEG モジュール回路をソフトウェアリセットします (JCTL[0x00] bit 7 = 1)。
9. JPEG ラインバッファ割り込み制御レジスタ (JLB[0x8C]) に 0x0000 を書き、すべてのラインバッファ割り込みをディセーブルにします。
10. JPEG ラインバッファステータスフラグレジスタ (JLB[0x80]) に 0xFFFF を書き込みます。
11. JPEG 割り込み制御レジスタ (JCTL[0x0C]) に 0x0000 を書き、すべての JPEG 割り込みをディセーブルにします。
12. JPEG ステータスフラグレジスタ (JCTL[0x04]) に 0xFFFF を書き込みます。
13. JPEG DMA 回路をソフトウェアリセットします (JDMA[0x20] bit 15 = 1)。
14. JPEG DMA 回路の DMA イネーブルおよび JPEG 割り込みイネーブルをディセーブルにします (JDMA[0x0C] bit 0 = 0、JDMA[0x0C] bit 21 = 0)。
15. JPEG DMA 回路の割り込みフラグをクリアします (JDMA[0x0C] bit 1 = 0)。
16. 割り込みコントローラの JPEG コントローラ割り込み、JPEG DMA 割り込みをディセーブルにします。
17. JPEG モジュールをディセーブルにします (JCTL[0x00] bit 0 = 0)。
18. リサイズ回路をディセーブルにします (RSZ[0xC0] bit 0 = 0)。

注意： JPEG モジュールはリサイズ回路よりも先にディセーブルにする必要があります。JPEG モジュールが最後にディセーブルになると、JPEG コーデック回路へのクロック供給が停止しない場合があります。YUV データ JPEG エンコードや JPEG デコードではリサイズ回路を使用しませんので、リサイズ回路は始めからディセーブルにしますが、JPEG モジュールをディセーブルにするときには、リサイズ回路を一回イネーブルにして、JPEG モジュールをディセーブルにした後、リサイズ回路をディセーブルにする手順を取ってください。

9. JPEG_DMAC(JDMA)

9.1 概要

JPEG_DMAC はカメラインタフェースから送られてくる画像データを専用に処理するための DMA コントローラです。

JPEG_DMAC は DMAC2 の機能を使用し、DMA 転送を行う DMAC2 に対して必要なレジスタデータを転送します。DMAC2 に対するリクエスト／アクノリッジは JPEG コントローラ内蔵の FIFO が行います。

9.2 ブロック図

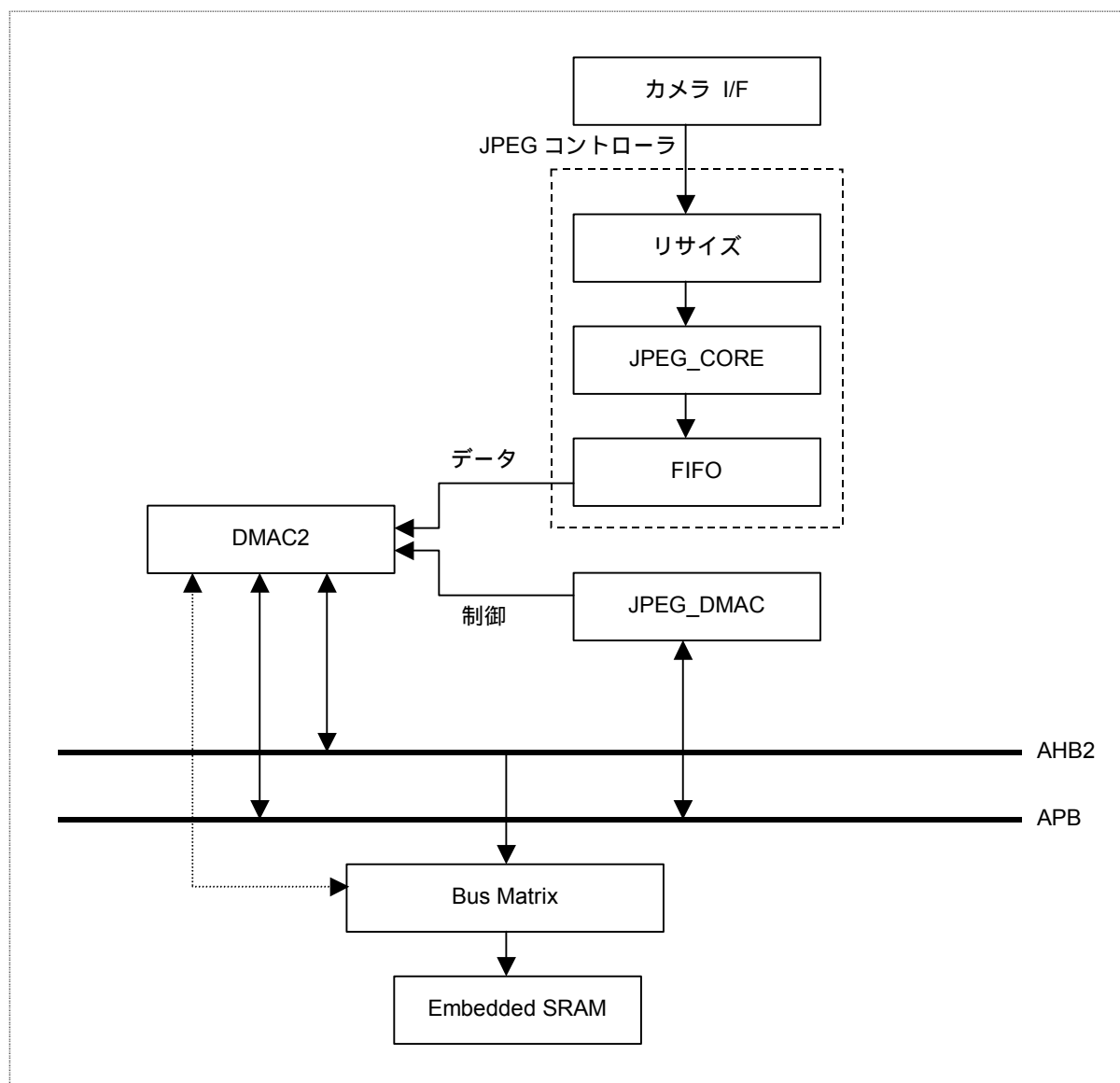


図 9.1 JPEG_DMAC と JPEG コントローラ、DMAC2 等の関係ブロック図

9.3 外部端子

JPEG_DMAC に関連する外部端子はありません。

9.4 レジスタ

9.4.1 レジスタ一覧

JPEG_DMAC のレジスタのベースアドレスは 0xFFFE_C000 です。

表 9.1 レジスタ一覧（ベースアドレス：0xFFFE_C000）

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値*	R/W	データ アクセス サイズ
0x00	DMA チャンネル JPEG ソースアドレスレジスタ	JSAR	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル JPEG デスティネーションアドレスレジスタ	JDAR	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル JPEG 転送カウントレジスタ	JTCR	0x0000_0000	R/W	32
0x0C	DMA チャンネル JPEG コントロールレジスタ	JCTL	0x0000_0000	R/W	32
0x10	DMA チャンネル JPEG ブロックカウントレジスタ	JBCR	0x00XX_XXXX	R/W	32
0x14	DMA チャンネル JPEG デスティネーションオフセットアドレス レジスタ	JOFR	0x0000_0000	R/W	32
0x18	DMA チャンネル JPEG ブロックエンドカウントレジスタ	JBER	0x00XX_XXXX	R/W	32
0x20	DMA チャンネル JPEG 拡張レジスタ	JHID	0x0000_0000	R/W	32
0x40	DMA チャンネル JPEG FIFO データ選択モードレジスタ	JFSM	0x0000_0000	R/W	32

*注意： X：不定(h)

9.4.2 レジスタ詳細説明

DMA チャンネル JPEG ソースアドレスレジスタ (JSAR)															
JDMA[0x00] 初期値 = 0XXXXX_XXXX															
DMA チャンネル JPEG ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル JPEG ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル JPEG ソースアドレス [31:0]

これらのビットには JPEG_DMA 転送のソースアドレスをソフトウェアにより設定します。ハードウェアにより更新することはありません。

9. JPEG_DMACH(JDMA)

DMA チャンネル JPEG デスティネーションアドレスレジスタ (JDAR)															
JDMA[0x04]		初期値 = 0xXXXX XXXX												Read/Write	
DMA チャンネル JPEG デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル JPEG デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル JPEG デスティネーションアドレス [31:0]**
 これらのビットには JPEG_DMA 転送のデスティネーションアドレスをソフトウェアにより設定します。DMA 転送の 1 ブロックが終了すると現在設定されている値に DMA チャンネル JPEG デスティネーションオフセットアドレスレジスタに設定されているオフセット値が自動的に加算されます。

DMA チャンネル JPEG 転送カウントレジスタ (JTCR)															
JDMA[0x08]		初期値 = 0x0000_0000													Read/Write
n/a								DMA チャンネル JPEG 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル JPEG 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル JPEG 転送カウンタ [23:0]**
 これらのビットには JPEG_DMA 転送時の転送回数をソフトウェアにより設定します。この値をハードウェアで更新することはありません。
 このレジスタをリードすると bits[31:24]には“0”が付加されます。

DMA チャンネル JPEG コントロールレジスタ (JCTL)														Read/Write	
JDMA[0x0C]		初期値 = 0x0000_0000													
n/a								RSV	JS	JIE	JCS	RSV		AM	AL
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS				RSV		TM	TS		IE	JTE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 23 : **RSV 予約 (0)**

Bit 22 : **JS JPEG_DMA 転送スタート**
 0 : 1 ブロック転送終了または FIFO_END がアサートされるとこのビットは自動的に“0”にクリアされます。
 1 : JPEG_DMA 転送を開始するときに“1”にセットされます。

Bit 21 : **JIE JPEG 割り込みイネーブル**
 このビットが“1”の時に JTE (Bit 1) がセットされると、割り込みをアサートします。
 0 : 割り込みディセーブル
 1 : 割り込みイネーブル

Bit 20 : **JCS JPEG チャンネル選択**
 使用する DMA チャンネルを選択します。
 0 : DMA チャンネル 0
 1 : DMA チャンネル 1

Bit [19:18] : **RSV 予約 (0)**
 これらのビットには“0”を設定してください。

Bit 17 : **AM アクノリッジモード**
 DACK 信号の出力タイミングを選択します。
 0 : DMA リードサイクルの間アクティブ
 1 : DMA ライトサイクルの間アクティブ

Bit 16 :	AL アクノリッジレベル DACK 信号の出力極性を選択します。 0 : LOW アクティブ 1 : HIGH アクティブ
Bits [15:14] :	DAM デスティネーションアドレスモード [1:0] 1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。 00 : 転送先アドレス固定 (更新しない) 01 : 転送先アドレスを転送データサイズに合わせてインクリメント (8 ビットは+1、16 ビットは+2、32 ビットは+4) 10 : 転送先アドレスを転送データサイズに合わせてデクリメント (8 ビットは-1、16 ビットは-2、32 ビットは-4) 11 : 予約
Bits [13:12] :	SAM ソースアドレスモード [1:0] 1 回転送終了後のソースアドレスレジスタの更新モードを選択します。 00 : 転送元アドレス固定 (更新しない) 01 : 転送元アドレスを転送データサイズに合わせてインクリメント (8 ビットは+1、16 ビットは+2、32 ビットは+4) 10 : 転送元アドレスを転送データサイズに合わせてデクリメント (8 ビットは-1、16 ビットは-2、32 ビットは-4) 11 : 予約
Bits [11:8] :	RS リソース選択 [3:0] DMA 転送を開始させる要因を選択します。 0010 : 本ビットに固定 Other : 予約
Bits [7:6] :	RSV 予約 (0)
Bit 5 :	TM 送信モード DMA 転送の送信モードを選択します。 0 : シングル転送 1 : デマンド転送
Bits [4:3] :	TS 転送サイズ [1:0] 1 回で転送するデータサイズを選択 00 : 8 ビット 01 : 16 ビット 10 : 32 ビット 11 : 予約
Bit 2 :	IE 割り込みイネーブル 0 : 1 回のブロック転送終了後に割り込みを発生しない 1 : 1 回のブロック転送終了後に割り込みを発生
Bit 1 :	JTE JPEG_DMA 転送終了 0 (リード時) : 転送中または待機中 1 (リード時) : JPEG_DMA 転送終了 0 (ライト時) : 本ビットをクリア 1 (ライト時) : 無効 このビットは DMA チャンネル JPEG 転送ブロックカウントレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

9. JPEG_DMACH(JDMA)

Bit 0 : **DE DMA イネーブル**
 このビットにより JPEG_DMA 転送を許可します。
 0 : JPEG_DMA 転送禁止
 1 : JPEG_DMA 転送許可

DMA チャンネル JPEG ブロックカウントレジスタ (JBCR)																Read/Write	
JDMA[0x10] 初期値 = 0x00XX_XXXX																	
n/a								DMA チャンネル JPEG ブロックカウントレジスタ [23:16]									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DMA チャンネル JPEG ブロックカウントレジスタ [15:0]																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [23:0] : **DMA チャンネル JPEG ブロックカウントレジスタ [23:0]**
 これらのビットには JPEG_DMA 転送時のブロック転送回数をソフトウェアにより設定します。
 JPEG_DMA 転送の 1 ブロックが終了するとこのレジスタの値から自動的に“1”デクリメントします。
 このレジスタをリードすると bits[31:24]には“0”が付加されます。

DMA チャンネル JPEG デスティネーションオフセットアドレスレジスタ (JOFR)																Read/Write	
JDMA[0x14] 初期値 = 0x0000_0000																	
n/a								DMA チャンネル JPEG デスティネーションオフセットアドレス [23:16]									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DMA チャンネル JPEG デスティネーションオフセットアドレス [15:0]																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [23:0] : **DMA チャンネル JPEG デスティネーションオフセットアドレス [23:0]**
 これらのビットには JPEG_DMA 転送時のオフセット値をソフトウェアにより設定します。この値をハードウェアで更新することはありません。
 このレジスタをリードすると bits[31:24]には“0”が付加されます。

DMA チャンネル JPEG ブロックエンドカウントレジスタ (JBER)																Read/Write	
JDMA[0x18] 初期値 = 0x00XX_XXXX																	
n/a								DMA チャンネル JPEG ブロックエンドカウントレジスタ [23:16]									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
DMA チャンネル JPEG ブロックエンドカウントレジスタ [15:0]																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [23:0] : **DMA チャンネル JPEG 転送ブロックエンドカウントレジスタ [23:0]**
 これらのビットには JPEG_DMA 転送時のブロック転送回数をソフトウェアにより設定します。
 JPEG_DMA 転送の 1 ブロック転送が終了するとこのレジスタの値に“1”インクリメントします。
 通常は現在のブロック転送回数を表示します。
 このレジスタをリードすると bits[31:24]には“0”が付加されます。

DMA チャンネル JPEG 拡張レジスタ (JHID)															
JDMA[0x20] 初期値 = 0x0000_0000															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SW	n/a														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 15 : **SW ソフトウェアリセット**
 JDMA のすべてのレジスタのソフトウェアリセットを行ないます。本ビットに“1”を書き込むことでソフトウェアリセットを実行します。ソフトウェアリセットの完了後に本ビットは自動的に“0”に戻ります。

9. JPEG_DMAC(JDMA)

DMA チャンネル JPEG FIFO データ選択モードレジスタ (JFSM)															
JDMA[0x40] 初期値 = 0x0000_0000										Read/Write					
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a										RSV		FM	RSV		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [5:4] : RSV 予約 (0)

Bit 3 : **FM FIFO モード**
JPEG FIFO のデータ出力バスの設定を行います。
0 : APB バス側からのアクセスの対応
1 : AHB バス側からのアクセスの対応

Bits [2:0] : RSV 予約 (0)

10.4 レジスタ

10.4.1 レジスタ一覧

DMAC2 関連レジスタのベースアドレスは 0xFFFF_9000 です。

表 10.1 レジスタ一覧 (ベースアドレス : 0xFFFF_9000)

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
0x00	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0XXXXX_XXXX	R/W	32
0x04	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0XXXXX_XXXX	R/W	32
0x08	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x00XX_XXXX	R/W	32
0x0C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x0000_0000	R/W	32
0x10	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0XXXXX_XXXX	R/W	32
0x14	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0XXXXX_XXXX	R/W	32
0x18	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x00XX_XXXX	R/W	32
0x1C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x0000_0000	R/W	32
0x60	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x0000_0000	R/W	32
0x64	DMA チャンネル MISC レジスタ	MISC	0x0000_0000	R/W	32
0x70	DMA チャンネル 転送終了コントロールレジスタ	TECL	0x0000_0000	R/W	32

10.4.2 レジスタ詳細

DMA チャンネル 0 ソースアドレスレジスタ (SAR0)															
DMAC2[0x00] 初期値 = 0XXXXX_XXXX															
DMA チャンネル 0 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0 ソースアドレス [31:0]

チャンネル 0 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 0 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 0 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

10. DMA コントローラ 2 (DMAC2)

DMA チャンネル 0 デスティネーションアドレスレジスタ (DAR0)															
DMAC2[0x04]		初期値 = 0xXXXX_XXXX													Read/Write
DMA チャンネル 0 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

DMA チャンネル 0 デスティネーションアドレス [31:0]

チャンネル 0 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 0 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 0 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 0 転送カウントレジスタ (TCR0)															
DMAC2[0x08] 初期値 = 0x00XX_XXXX															
Read/Write															
n/a								DMA チャンネル 0 転送カウンタ [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 0 転送カウンタ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] :

DMA チャンネル 0 転送カウンタ [23:0]

これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに “0” を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウンタダウンによって “0” になった時点で発生します。
このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル 0 コントロールレジスタ (CTL0)															
DMAC2[0x0C] 初期値 = 0x0000_0000															
Read/Write															
n/a								RSV				IB4	AM	AL	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS				RSV	RIM	TM	TS		IE	TE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:19] :

RSV 予約 (0)

Bit 18 :

IB4 インクリメントバースト 4

このビットが “1” の時にインクリメントバースト 4 転送を実行します。ただしインクリメントバースト 4 転送で転送するデータはデータサイズ 4 個分で割り切れなければなりません。データサイズ 4 個分で割り切れないサイズのデータを転送する場合には、少なくとも端数は別の DMA 転送としてこのビットを “0” に設定して転送する必要があります。
この機能はメモリからメモリへのブロック転送にのみ使用します。

Bit 17 :

AM アクノリッジモード

DACK 信号の出力タイミングを選択します。
0 : DMA リードサイクルの間アクティブ
1 : DMA ライトサイクルの間アクティブ

Bit 16 :

AL アクノリッジレベル

DACK 信号の出力極性を選択します。
0 : LOW アクティブ
1 : HIGH アクティブ

- Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**
 1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。
 00 : 転送先アドレス固定 (更新しない)
 01 : 転送先アドレスを転送データサイズに合わせてインクリメント
 (8 ビットは+1、16 ビットは+2、32 ビットは+4)
 10 : 転送先アドレスを転送データサイズに合わせてデクリメント
 (8 ビットは-1、16 ビットは-2、32 ビットは-4)
 11 : 予約
- Bits [13:12] : **SAM ソースアドレスモード [1:0]**
 1 回転送終了後のソースアドレスレジスタの更新モードを選択します。
 00 : 転送元アドレス固定 (更新しない)
 01 : 転送元アドレスを転送データサイズに合わせてインクリメント
 (8 ビットは+1、16 ビットは+2、32 ビットは+4)
 10 : 転送元アドレスを転送データサイズに合わせてデクリメント
 (8 ビットは-1、16 ビットは-2、32 ビットは-4)
 11 : 予約
- Bits [11:8] : **RS リソース選択 [3:0]**
 DMA 転送を開始させる要因を選択します。
 1111 : SW-Request ソフトウェアリクエスト
 Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を開始します。
 なお、設定可能なアドレスは、4.2.2 メモリマップ (AHB2) でマッピングされているアドレスのみとなります。
 Other : 予約
- Bit 7 : **RSV 予約 (0)**
- Bit 6 : **RIM リクエスト入力モード**
 DMA 要求信号の入力モードを選択します。
 0 : LOW アクティブ (レベルトリガ)
 1 : 立ち下がりエッジ (エッジトリガ)
- Bit 5 : **TM 転送モード**
 DMA 転送の転送モードを選択します。
 0 : シングル転送
 1 : デマンド転送
- Bits [4:3] : **TS 転送サイズ [1:0]**
 1 回で転送するデータサイズを選択
 00 : 8 ビット
 01 : 16 ビット
 10 : 32 ビット
 11 : 予約
- Bit 2 : **IE 割り込みイネーブル**
 DMA チャネル 0 の転送終了割り込みを許可／禁止します。
 0 : 割り込み禁止
 1 : 割り込み許可

10. DMA コントローラ 2 (DMAC2)

Bit 1 : **TE DMA 転送終了**
0 (リード時) : 転送中または待機中
1 (リード時) : JPEG_DMA 転送終了
0 (ライト時) : 本ビットをクリア
1 (ライト時) : 無効

このビットは DMA チャンネル 0 転送カウントレジスタの値が “0” になるとセットされます。一度セットされるとこのビットに “0” をライトして本ビットをクリアするまで “1” を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

Bit 0 : **DE DMA イネーブル**
このビットによりチャンネル 0 の DMA 転送を許可します。
0 : DMA 転送禁止
1 : DMA 転送許可

DMA チャンネル 1 ソースアドレスレジスタ (SAR1)															
DMAC2[0x10] 初期値 = 0xXXXXX_XXXX															
DMA チャンネル 1 ソースアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 ソースアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル 1 ソースアドレス [31:0]**
チャンネル 1 で DMA 転送を行う場合の転送元アドレスをソフトウェアにより設定します。転送元アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 1 コントロールレジスタ ビット[4:3]) とソースアドレスモード (SAM : チャンネル 1 コントロールレジスタ ビット[13:12]) に従った次の転送元アドレスに自動的に更新されます。

DMA チャンネル 1 デスティネーションアドレスレジスタ (DAR1)															
DMAC2[0x14] 初期値 = 0xXXXXX_XXXX															
DMA チャンネル 1 デスティネーションアドレス [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 デスティネーションアドレス [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **DMA チャンネル 1 デスティネーションアドレス [31:0]**
チャンネル 1 で DMA 転送を行う場合の転送先アドレスをソフトウェアにより設定します。転送先アドレスは転送データサイズに合った境界アドレスを設定する必要があります。例えば 32 ビット転送の場合、このレジスタのビット[1:0]は 00b でなければなりません。DMA 転送開始後は、1 回の転送終了ごとに転送データサイズ (TS : チャンネル 1 コントロールレジスタ ビット[4:3]) とデスティネーションアドレスモード (DAM : チャンネル 1 コントロールレジスタ ビット[15:14]) に従った次の転送先アドレスに自動的に更新されます。

DMA チャンネル 1 転送カウントレジスタ (TCR1)															
DMAC2[0x18] 初期値 = 0x00XX_XXXX															
n/a								DMA チャンネル 1 転送カウント [23:16]							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMA チャンネル 1 転送カウント [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:0] : **DMA チャンネル 1 転送カウント [23:0]**
これらのビットには DMA 転送時の転送回数をソフトウェアにより設定します。DMA 転送を開始すると、1 回の転送終了ごとにデクリメントされます。ここに “0” を設定した場合、転送回数は $2^{24}=16777216$ 回になります。DMA 割り込みはこのカウンタがカウントダウンによって “0” になった時点で発生します。
このレジスタをリードすると bits[31:24]には “0” が付加されます。

DMA チャンネル 1 コントロールレジスタ (CTL1)															
DMAC2[0x1C] 初期値 = 0x0000_0000												Read/Write			
n/a								RSV				IB4	AM	AL	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DAM		SAM		RS				RSV	RIM	TM	TS		IE	TE	DE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [23:19] : **RSV 予約**

Bit 18 : **IB4 インクリメントバースト 4**

このビットが“1”の時にインクリメントバースト 4 転送を実行します。
ただしインクリメントバースト 4 転送で転送するデータはデータサイズ 4 個分で割り切れなければなりません。データサイズ 4 個分で割り切れないサイズのデータを転送する場合には、少なくとも端数は別の DMA 転送としてこのビットを“0”に設定して転送する必要があります。
この機能はメモリからメモリへのブロック転送にのみ使用します。

Bit 17 : **AM アクノリッジモード**

DACK 信号の出力タイミングを選択します。
0 : DMA リードサイクルの間アクティブ
1 : DMA ライトサイクルの間アクティブ

Bit 16 : **AL アクノリッジレベル**

DACK 信号の出力極性を選択します。
0 : LOW アクティブ
1 : HIGH アクティブ

Bits [15:14] : **DAM デスティネーションアドレスモード [1:0]**

1 回転送終了後のデスティネーションアドレスレジスタの更新モードを選択します。
00 : 転送先アドレス固定 (更新しない)
01 : 転送先アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送先アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約

Bits [13:12] : **SAM ソースアドレスモード [1:0]**

1 回転送終了後のソースアドレスレジスタの更新モードを選択します。
00 : 転送元アドレス固定 (更新しない)
01 : 転送元アドレスを転送データサイズに合わせてインクリメント
(8 ビットは+1、16 ビットは+2、32 ビットは+4)
10 : 転送元アドレスを転送データサイズに合わせてデクリメント
(8 ビットは-1、16 ビットは-2、32 ビットは-4)
11 : 予約

Bits [11:8] : **RS リソース選択 [3:0]**

DMA 転送を開始させる要因を選択します。
1111 : SW-Request ソフトウェアリクエスト
Bits[11:8]を“1111”にセットすることでソフトウェアの DMA 転送を開始します。
なお、設定可能なアドレスは、“4.2.2 メモリマップ (AHB2)”でマッピングされているアドレスのみとなります。
Other : 予約

Bit 7 : **RSV 予約 (0)**

Bit 6 : **RIM リクエスト入力モード**

DMA 転送の DMA 要因の入力モードを選択します。
0 : LOW アクティブ (レベルトリガ)
1 : 立ち上がりエッジ (エッジトリガ)

10. DMA コントローラ 2 (DMAC2)

Bit 5 : **TM 送信モード**

DMA 転送の転送モードを選択します。

- 0 : シングル転送
- 1 : デマンド転送

Bits [4:3] : **TS 転送サイズ [1:0]**

1 回で転送するデータサイズを選択

- 00 : 8 ビット
- 01 : 16 ビット
- 10 : 32 ビット
- 11 : 予約

Bit 2 : **IE 割り込みイネーブル**

チャンネル 1 の転送終了割り込みを許可／禁止します。

- 0 : 割り込み禁止
- 1 : 割り込み許可。DMA 転送が終了した時点で割り込みが発生します。

Bit 1 : **TE DMA 転送終了**

- 0 (リード時) : 転送中または待機中
- 1 (リード時) : DMA 転送終了
- 0 (ライト時) : 本ビットをクリア
- 1 (ライト時) : 無効

このビットはチャンネル 1 転送カウントレジスタの値が“0”になるとセットされます。一度セットされるとこのビットに“0”をライトして本ビットをクリアするまで“1”を保持します。本ビットがクリアされるまでは、このチャンネルの DMA 転送が禁止されます。このビットは割り込みフラグとしても機能します。

Bit 0 : **DE DMA イネーブル**

このビットによりチャンネル 1 の DMA 転送を許可します。

- 0 : DMA 転送禁止
- 1 : DMA 転送許可

DMA チャンネル オペレーティング選択レジスタ (OPSR)															
DMAC2[0x60] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a								n/a							
15	14	13	12	11	10	DPE	DPM	7	6	5	n/a	3	2	1	DGE
						9	8				4				0

Bit 9 : **DPE DMA プライオリティ変更イネーブル**

- 0 : プライオリティの変更を行わない。
- 1 : プライオリティの変更を行う。
 - 本ビットが“1”の場合、以下の条件で Bit 8 の DPM の値を変更します。
 - シングル転送時 : 1 回の転送ごとに DPM を変更します。
 - デマンド転送時 : リクエストがネゲートされ、転送が中断したとき、もしくは転送カウンタが“0”となった時に変更します。

Bit 8 : **DPM DMA プライオリティモード**

- 0 : チャンネル 0 の DMA 転送が優先
- 1 : チャンネル 1 の DMA 転送が優先

Bit 0 : **DGE DMA グローバルイネーブル**

DMA の全チャンネルをすべてイネーブル／ディセーブルにします。

- 0 : ディセーブル
- 1 : イネーブル

DMA チャンネル MISC レジスタ (MISC)															
DMAC2[0x64] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
SR							n/a							DPL	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 15 : **SR ソフトウェアリセット**

この Bit に“1”を書き込むことで、DMAC2 内のレジスタを初期化することができます。
DMAC2 内のすべてのレジスタが初期化されますので、必要なレジスタは再設定を行ってください。

Bits [1:0] : **DPL DMA 極性選択[1:0]**

DPL1 DMA チャンネル 1 の極性を選択します。

0 : 正

1 : 負

DPL0 DMA チャンネル 0 の極性を選択します。

0 : 正

1 : 負

DMA チャンネル 転送終了コントロールレジスタ (TECL)															
DMAC2[0x70] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
		STTE	ENTE												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 13 : **STTE 転送終了受付による TE セット**

この Bit に“1”を書き込むことで、リクエスト発行要因からの転送終了信号を受け付け、TE をセットします。

この Bit は Bit12 が“1”にセットされたときに有効となります。

Bits 12 : **ENTE 転送終了受け付けイネーブル**

この Bit に“1”を書き込むことで、リクエスト発行要因からの転送終了信号を受け付けします。但し、TE のセットは行わず TE をセットする場合は Bit13 に“1”を書き込んでください。

11. Ethernet MAC & E-DMA (ETH)

11.1 概要

Ethernet DMA Controller for AHB（以下 E-DMAC）は、Descriptor 方式の専用 DMA コントローラを内蔵しており、CPU のタスク処理に負担をかけることなく効率よく Ethernet のフレーム転送を行うことが可能です。

また本ブロックは内蔵の DMA コントローラと連動して外部メモリの受信バッファの空き状況を管理する機能も内蔵しています。本機能を有効にすることにより、受信バッファの空き容量がなくなる前に Pause Frame の送信を自動的に行い、受信バッファがオーバーフローしないように制御することが可能です。

11.1.1 特徴

- EPSON Fast Ethernet MAC 内蔵
- 32bit AHB Master 機能
- Descriptor Architecture による Ring Buffer 構成対応
- 1 Descriptor=1 Frame でマルチバッファ構成可能
- Fast Ethernet MAC 専用の DMA コントローラ
- Ethernet 専用 DMA はバースト転送に対応
- Ethernet フレームの送信結果の Descriptor Table への反映
- IEEE802.3x 準拠の Pause Frame の自動送信機能

11.2 ブロック図

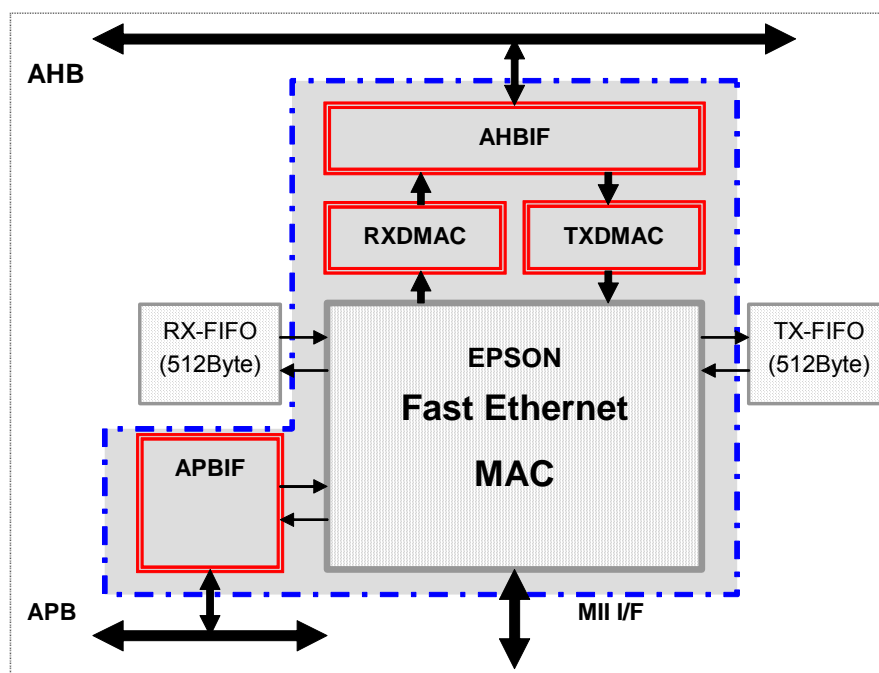


図 11.1 Block Diagram

11.3 外部端子

Ethernet MAC & E-DMA (ETH) に関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子* / 備考
MII_TXCLK	入力	Media Independent Interface Ethernet PHY (以下 MII_PHY) 用送信データ出力用クロック TXCLK 入力	GPIOF7
MII_TXEN	出力	MII_PHY 用送信イネーブル TXEN 出力	GPIOF6
MII_TXD3	出力	MII_PHY 用送信データ TXD3 出力	GPIOF2
MII_TXD2	出力	MII_PHY 用送信データ TXD2 出力	GPIOF3
MII_TXD1	出力	MII_PHY 用送信データ TXD1 出力	GPIOF4
MII_TXD0	出力	MII_PHY 用送信データ TXD0 出力	GPIOF5
MII_RXCLK	入力	MII_PHY 用受信データクロック RXCLK 入力	GPIOG1
MII_COL	入力	MII_PHY 用コリジョン検出 COL 入力	GPIOF1
MII_CRS	入力	MII_PHY 用キャリアセンス CRS 入力	GPIOF0
MII_RXDV	入力	MII_PHY 用受信データ有効 RXDV 入力	GPIOG2
MII_RXD3	入力	MII_PHY 用受信データ RXD3 入力	GPIOG6
MII_RXD2	入力	MII_PHY 用受信データ RXD2 入力	GPIOG5
MII_RXD1	入力	MII_PHY 用受信データ RXD1 入力	GPIOG4
MII_RXD0	入力	MII_PHY 用受信データ RXD0 入力	GPIOG3
MII_RXER	入力	MII_PHY 用受信エラー RXER 入力	GPIOG0
MII_MDC	出力	MII_PHY 用マネジメント・インタフェース・クロック MDC 出力	GPIOG7
MII_MDIO	入出力	MII_PHY 用マネジメント・インタフェース・データ MDIO 入出力	GPIOH0

注意(*) : ETH 用の外部端子は GPIO 端子等とマルチプレクスしていますが、デフォルトで ETH 用端子 “GPIO 以外の機能 1” すなわち MII I/F 端子として使用できるようになっています。その他の機能を使用したい場合は GPIO 端子機能レジスタにより設定変更してご使用ください。

11. Ethernet MAC & E-DMA (ETH)

11.4 レジスタ

11.4.1 レジスタ一覧

本ブロック内にあるコントロール・レジスタのレジスタ・マップを表 12.1 に示します。表中のアドレスは APB バスにおけるアドレスとなります。これらのレジスタのベースアドレスは、0xFFFE_2000 です。

表 11.1 レジスタ一覧（ベースアドレス：0xFFFE_2000）

アドレス オフセット	レジスタ名称	初期値	R/W	データアクセ スサイズ
0x00	割り込みステータスレジスタ	0x 0000 0000	RO	32bit
0x04	割り込みイネーブルレジスタ	0x 0000 0000	R/W	32bit
0x08	リセットレジスタ	0x 0000 2000	R/W	32bit
0x0C	PHY ステータスレジスタ	0x 0000 0000	RO	32bit
0x10	DMA コマンドレジスタ	0x 0000 0000	R/W	32bit
0x18	TX DMA ポインタレジスタ	0x 0000 0000	R/W	32bit
0x1C	RX DMA ポインタレジスタ	0x 0000 0000	R/W	32bit
0x20	モードレジスタ	0x 4000 0000	R/W	32bit
0x24	TX モードレジスタ	0x 0000 0000	R/W	32bit
0x28	RX モードレジスタ	0x 0000 0000	R/W	32bit
0x2C	MIIM レジスタ	0x 0000 0000	R/W	32bit
0x30	MAC アドレスレジスタ 1：下位 32 ビット	0x 0000 0000	R/W	32bit
0x34	MAC アドレスレジスタ 1：上位 16 ビット	0x 0000 0000	R/W	32bit
0x38	MAC アドレスレジスタ 2：下位 32 ビット	0x 0000 0000	R/W	32bit
0x3C	MAC アドレスレジスタ 2：上位 16 ビット	0x 0000 0000	R/W	32bit
0x40	MAC アドレスレジスタ 3：下位 32 ビット	0x 0000 0000	R/W	32bit
0x44	MAC アドレスレジスタ 3：上位 16 ビット	0x 0000 0000	R/W	32bit
0x48	MAC アドレスレジスタ 4：下位 32 ビット	0x 0000 0000	R/W	32bit
0x4C	MAC アドレスレジスタ 4：上位 16 ビット	0x 0000 0000	R/W	32bit
0x50	MAC アドレスレジスタ 5：下位 32 ビット	0x 0000 0000	R/W	32bit
0x54	MAC アドレスレジスタ 5：上位 16 ビット	0x 0000 0000	R/W	32bit
0x58	MAC アドレスレジスタ 6：下位 32 ビット	0x 0000 0000	R/W	32bit
0x5C	MAC アドレスレジスタ 6：上位 16 ビット	0x 0000 0000	R/W	32bit
0x60	MAC アドレスレジスタ 7：下位 32 ビット	0x 0000 0000	R/W	32bit
0x64	MAC アドレスレジスタ 7：上位 16 ビット	0x 0000 0000	R/W	32bit
0x68	MAC アドレスレジスタ 8：下位 32 ビット	0x 0000 0000	R/W	32bit
0x6C	MAC アドレスレジスタ 8：上位 16 ビット	0x 0000 0000	R/W	32bit
0x70	フローコントロールレジスタ	0x 0000 0000	R/W	32bit
0x74	ポーズリクエストレジスタ	0x 0000 0000	R/W	32bit
0x78	ポーズフレームデータレジスタ 1	0x 0000 0000	R/W	32bit
0x7C	ポーズフレームデータレジスタ 2	0x 0000 0000	R/W	32bit
0x80	ポーズフレームデータレジスタ 3	0x 0000 0000	R/W	32bit
0x84	ポーズフレームデータレジスタ 4	0x 0000 0000	R/W	32bit
0x88	ポーズフレームデータレジスタ 5	0x 0000 0000	R/W	32bit
0x90	バッファマネジメントイネーブルレジスタ	0x 0000 0000	R/W	32bit
0x94	バッファフリーレジスタ	0x 0000 0000	R/W	32bit
0x98	バッファインフォメーションレジスタ	0x 03FF 03FF	R/W	32bit
0x9C	ポーズインフォメーションレジスタ	0x 0000 0000	R/W	32bit
0xA0-0xAC	予約	—	—	—
0xF0	TX FIFO ステータスレジスタ	0x 4000 0000	RO	32bit
0xF4	RX FIFO ステータスレジスタ	0x 4000 0000	RO	32bit
0xF8-0xFC	予約	—	—	—

11.4.2 レジスタ詳細説明

割り込みステータスレジスタ															
ETH[0x00] 初期値 = 0x0000_0000 Read Only															
RX Complete	RX Descriptor Error	RX Access Error	Reserved	TX Complete	TX Descriptor END	TX Access Error	Reserved	RX FIFO Overflow	TX FIFO Underflow	Reserved					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			Link Up	MIIM Access Complete	Pause Frame Transmit	Reserved									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

なお、割り込みステータスレジスタ (ETH[0x00]) はリードクリアタイプのレジスタです。読み出しによって割り込みステータスはクリアされます。

- Bit 31 : **RX Complete**
受信 DMA 転送が正常に終了したことを示します。
- Bit 30 : **RX Descriptor Error**
受信ディスクリプタ・テーブルが異常であったことを示します。
- Bit 29 : **予約**
このビットは使用できません。必ず“0”に設定してください。
[**RX Access Error**
受信 DMA 転送中にバス・アクセスエラーが発生したことを示します。]
- Bit 28 : **予約**
- Bit 27 : **TX Complete**
フレームの送信を完了したことを示します。
- Bit 26 : **TX Descriptor END**
送信可能なディスクリプタ・テーブルのチェーンの終わりに到達したことを示します。
- Bit 25 : **予約**
このビットは使用できません。必ず“0”に設定してください。
[**TX Access Error**
送信 DMA 転送中にバス・アクセスエラーが発生したことを示します。]
- Bit 24 : **予約**
- Bit 23 : **RX FIFO Overflow**
受信 FIFO でオーバーフローが発生したことを示します。
- Bit 22 : **TX FIFO Underflow**
送信 FIFO でアンダーフローが発生したことを示します。
- Bits [21:13] : **予約**
- Bit 12 : **予約**
このビットは S1S65010 では無効です。必ず“0”に設定してください。
[**Link Up**
リンクアップしたことを示します。]
- Bit 11 : **MIIM Access Complete**
MIIM レジスタ (ETH[0x2C]) へのアクセスが完了したことを示します。

11. Ethernet MAC & E-DMA (ETH)

Bit 10 : **Pause Frame Transmit**
Pause Frame の送信が完了したことを示します。

Bits [9:0] : **予約**

割り込みイネーブルレジスタ															
ETH[0x04] 初期値 = 0x0000_0000										Read/Write					
RX Com- Plete Enable	RX Descriptor Error Enable	RX Access Error Enable	Reserved (0)	TX Com- Plete Enable	TX Descriptor Error Enable	TX Access Error Enable	Reserved (0)	RX FIFO Over- Flow Enable	TX FIFO Under- Flow Enable	Reserved (0)					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)			Link Up Enable (0)	MIIM Access Complete Enable	Pause Frame Trans-mit Enable	Reserved (0)									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **RX Complete Enable**
受信終了割り込みを有効にします。

Bit 30 : **RX Descriptor Error Enable**
受信ディスクリプタエラー割り込みを有効にします。

Bit 29 : **予約 (0)**
このビットは使用できません。必ず“0”に設定してください。

[**RX Access Error Enable**
受信 DMA エラー割り込みを有効にします。]

Bit 28 : **予約 (0)**

Bit 27 : **TX Complete Enable**
送信終了割り込みを有効にします。

Bit 26 : **TX Descriptor Error Enable**
送信ディスクリプタエラー割り込みを有効にします。

Bit 25 : **予約 (0)**
このビットは使用できません。必ず“0”に設定してください。

[**TX Access Error Enable**
送信 DMA エラー割り込みを有効にします。]

Bit 24 : **予約 (0)**

Bit 23 : **RX FIFO Overflow Enable**
受信 FIFO オーバーフロー割り込みを有効にします。

Bit 22 : **TX FIFO Underflow Enable**
送信 FIFO アンダーフロー割り込みを有効にします。

Bits [21:13] : **予約 (0)**

Bit 12 : **予約 (0)**
このビットは S1S65010 では無効です。必ず“0”に設定してください。

[**Link Up Enable**
リンクアップ割り込みを有効にします。]

- Bit 11 : **MIIM Access Complete Enable**
MIIM アクセス完了割り込みを有効にします。
- Bit 10 : **Pause Frame Transmit Enable**
Pause Frame 送信完了割り込みを有効にします。
- Bits [9:0] : **予約 (0)**

リセットレジスタ															
ETH[0x08] 初期値 = 0x0000_2000															
All Reset 31	Reserved (0)														
TX Reset 15	RX Reset 14	PHY Reset 13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 31 : **All Reset**
全てのモジュールをリセットし、自動的に 0 に戻ります。
- Bits [30:16] : **予約 (0)**
- Bit 15 : **TX Reset**
送信に関わるモジュールを全てリセットし、自動的に “0” に戻ります。
- Bit 14 : **RX Reset**
受信に関わるモジュールを全てリセットし、自動的に “0” に戻ります。
- Bit 13 : **予約 (0)**
このビットは S1S65010 では使用できません。必ず “0” に設定してください。
- PHY Reset**
外部の PHY デバイスに対するリセット信号です。自動的に “0” に戻りませんので、通信を開始する前に必ず “0” にクリアして下さい。
- Bits [12:0] : **予約 (0)**

PHY ステータスレジスタ															
ETH[0x0C] 初期値 = 0x0000_0000															
Reserved															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													Link 2	Speed 1	Duplex 0
15	14	13	12	11	10	9	8	7	6	5	4	3			

- Bits [31:3] : **予約**
- Bit 2 : **予約**
このビットは S1S65010 では無効です。読み出した値は不定です。
- Link**
PHY の Link 状態を示します。
- Bit 1 : **予約**
このビットは S1S65010 では無効です。読み出した値は不定です。
- Speed***
通信速度を示します。
0 : 10Mbps
1 : 100Mbps

11. Ethernet MAC & E-DMA (ETH)

Bit 0 :

予約

このビットは S1S65010 では無効です。読み出した値は不定です。

Duplex*

通信モードを示します。

0 : Half Duplex

1 : Full Duplex

* : PHY が Link Up していない状態では、これらのビットの値は意味を持ちません

DMA コマンドレジスタ															
ETH[0x10]		初期値 = 0x0000_0000													Read/Write
RX DMA Enable	RX FIFO Auto Recovery	Reserved (0)													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TX DMA Start	15	Reserved (0)													
		14	13	12	11	10	9	8	7	6	5	4	3	2	1

Bit 31 :

RX DMA Enable

受信 DMA を有効にします。回線からデータを受信すると自動的に DMA が開始されます。

Bit 30 :

RX FIFO Overflow Auto-Recovery

このビットを“1”にセットすると、受信 FIFO がオーバーフローを起こした場合に、自動で受信 FIFO のリセットを行います。

Bits [29:16] :

予約 (0)

Bit 15 :

TX DMA Start

送信 DMA を開始します。ディスクリプタで指定された DMA 転送を全て終わると、“0”に戻ります。

Bits [14:0] :

予約 (0)

TX DMA ポインタレジスタ															
ETH[0x18] 初期値 = 0x0000_0000															
TX DMA Pointer [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TX DMA Pointer [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

TX DMA Pointer [31:0]

送信 DMA が参照しているディスクリプタのアドレスを示します。送信 DMA を起動する前に、本レジスタにディスクリプタのアドレスをセットしてください。

注意： 設定する値は必ず 4 バイトバウンダリ（下位 2 ビットを“00”）としてください。

RX DMA ポインタレジスタ															
ETH[0x1C] 初期値 = 0x0000_0000														Read/Write	
RX DMA Pointer [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RX DMA Pointer [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **RX DMA Pointer [31:0]**
 受信 DMA が参照しているディスクリプタのアドレスを示します。受信 DMA を有効にする前に、本レジスタにディスクリプタのアドレスをセットしてください。
 注意：設定する値は必ず 4 バイトバウンダリ（下位 2 ビットを “00”）としてください。

モードレジスタ															
ETH[0x20] 初期値 = 0x4000_0000														Read/Write	
Big Endian	Auto Mode	Duplex Mode	Reserved (0)		Burst Length [2:0]			Reserved (0)							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **Big Endian**
 本ブロックを Big Endian モードに設定します。
 注意：S1S65010 では、Big Endian モードをサポートしておりませんので “0” に固定してください。

Bit 30 : **予約 (0)**
 このビットは S1S65010 では使用できません。“0” に固定してください。

Auto Mode
 Duplex の設定を PHY からのステータス信号によって決めます。

Bit 29 : **Duplex Mode**
 Auto Mode が 0 の時に、Duplex モードを指定します。
 0 : Half Duplex
 1 : Full Duplex

Bits [28:27] : **予約 (0)**

Bits [26:24] : **Burst Length [2:0]**
 DMA のバースト長を指定します。
 000 : 4 ビート
 001 : 8 ビート
 010 : 16 ビート
 011 : Reserved (32 ビート)
 100 : Reserved (64 ビート)
 101 : Reserved (128 ビート)
 110 : Reserved
 111 : Reserved

Bits [23:0] : **予約 (0)**

11. Ethernet MAC & E-DMA (ETH)

TX モードレジスタ															
ETH[0x24] 初期値 = 0x0000_0000														Read/Write	
Long Packet Enable	Short Packet Enable	No Retrans-mission	Late Collision Retrans-mission	Reserved (0)								Store and Forward	Reserv-ed (0)	Transmission Start Threshold [1:0]	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)		TXFIFO almost Full Threshold [1:0]		Reserv-ed (0)	TXFIFO almost Empty Threshold [2:0]			Reserved (0)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : Long Packet Enable

IEEE802.3 の規定を超える長さのフレームの送信を可能にします。

Bit 30 : 予約 (0)

このビットは使用できません。必ず“0”を書き込んでください。

Short Packet Enable

IEEE802.3 の規定より短い長さのフレームの送信を可能にします。本レジスタはテスト用のため、通常は Default のまま使用してください。

Bit 29 : 予約 (0)

このビットは使用できません。必ず“0”を書き込んでください。

No Retransmission

Half Duplex モード時、Collision を検出しても再送を行いません。

Bit 28 : 予約 (0)

このビットは使用できません。必ず“0”を書き込んでください。

Late Collision Retransmission

Half Duplex モード時、Late Collision の検出後、フレームの再送を行います。

Bits [27:20] : 予約 (0)

Bit 19 : Store and Forward

送信を Store and Forward モードで行います。

注意： このモードを使用する場合の最大の MTU サイズ (IP パケットサイズ) は、
512 – (18 + TX-FIFO almost Full Threshold 指定値) [Byte]
となります。

Bit 18 : 予約 (0)

Bits [17:16] : Transmission Start Threshold [1:0]

TXFIFO に本レジスタが示すワード数以上のデータが書き込まれると送信を開始します。

00 : 4 ワード

01 : 8 ワード

10 : 16 ワード

11 : 32 ワード

Bits [15:14] : 予約 (0)

Bits [13:12] : TXFIFO almost Full Threshold [1:0]

TXFIFO の空き領域が本レジスタの示すワード数以下になった時、送信 DMA の動作がいったん停止します。

00 : 4 ワード

01 : 8 ワード

10 : 16 ワード

11 : 32 ワード

Bit 11 : **予約 (0)**

Bits [10:8] : **TXFIFO almost Empty Threshold [2:0]**

TXFIFO 内のデータが本レジスタの示すワード数以下になった時、送信 DMA の動作が再開されます。

000 : 4 ワード
 001 : 8 ワード
 010 : 16 ワード
 011 : 32 ワード
 100 : 64 ワード
 101 : 予約 (128 ワード)
 110 : 予約 (256 ワード)
 111 : 予約 (512 ワード)

Bits [7:0] : **予約 (0)**

RX モードレジスタ															
ETH[0x28] 初期値 = 0x0000_0000														Read/Write	
Address Filtering Enable 31	Multicast Filtering Enable 30	Reserved (0)										Read Trigger Threshold [2:0]			
		29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)		RXFIFO almost Full Threshold [1:0]		Reserved (0)		RXFIFO almost Empty Threshold [1:0]		Reserved (0)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **Address Filtering Enable**

Destination MAC アドレスによるフィルタリングを行います。

Bit 30 : **Multicast Filtering Enable**

Multicast アドレスに関してもフィルタリングを行います。
 このビットは Address Filtering Enable が “1” の時に有効です。

Bits [29:19] : **予約 (0)**

Bits [18:16] : **Read Trigger Threshold [2:0]**

RXFIFO 内のデータが本ビットの示すワード数以上になった時、受信 DMA は動作を開始します

000 : 4 ワード
 001 : 8 ワード
 010 : 16 ワード
 011 : 32 ワード
 100 : 64 ワード
 101 : 予約 (128 ワード)
 110 : 予約 (256 ワード)
 111 : 予約 (512 ワード)

Bits [15:14] : **予約 (0)**

Bits [13:12] : **RXFIFO almost Full Threshold [1:0]**

RXFIFO の空き領域が本ビットの示すワード数以下になった時、受信 DMA の動作が再開されます。

00 : 4 ワード
 01 : 8 ワード
 10 : 16 ワード
 11 : 32 ワード

Bits [11:10] : **予約 (0)**

11. Ethernet MAC & E-DMA (ETH)

Bits [9:8] : **RXFIFO almost Empty Threshold [1:0]**
 RXFIFO 内のデータが本ビットの示すワード数以下になった時、受信 DMA の動作が一旦停止します。

00 : 4 ワード
 01 : 8 ワード
 10 : 16 ワード
 11 : 32 ワード

Bits [7:0] : **予約 (0)**

MIIM レジスタ															
ETH[0x2C] 初期値 = 0x0000_0000															
Reserved (0)					Operation (W) / Data Valid (R)	PHY Address [4:0]					Register Address [4:0]				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
						MIIM Data [15:0]									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:27] : **予約 (0)**

Bit 26 : **Operation (ライト時)**
 0: MIIM の Read Operation を開始します。
 1: MIIM の Write Operation を開始します。
Data Valid (リード時)
 本レジスタの値が有効であることを示します。

Bits [25:21] : **PHY Address [4:0]**
 MIIM でアクセスする PHY デバイスのアドレスを指定します。

Bits [20:16] : **Register Address [4:0]**
 MIIM でアクセスするレジスタのアドレスを指定します。

Bits [15:0] : **MIIM Data [15:0]**
 MIIM でアクセスするデータです。

MAC アドレスレジスタ 1~8 : 下位 32 ビット															
ETH[0x30, 0x38, 0x40, 0x48, 0x50, 0x58, 0x60, 0x68] 初期値 = 0x0000_0000															
MAC Address L32 [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAC Address L32 [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **MAC Address L32 [31:0]**
 アドレスフィルタリングによって受信されるべき Destination アドレスの下位 32 ビットを指定します。
 注意 : MAC アドレスは最大 8 個まで登録することができます。

MAC アドレスレジスタ 1~8 : 上位 16 ビット															
ETH[0x34, 0x3C, 0x44, 0x4C, 0x54, 0x5C, 0x64, 0x6C] 初期値 = 0x0000_0000 Read/Write															
Reserved (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAC Address U16 [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:16] : **予約** (読み出し時は下位 16 ビットがミラーされて出力されます。)

Bits [15:0] : **MAC Address U16 [15:0]**
 アドレスフィルタリングによって受信されるべき Destination アドレスの上位 16 ビットを指定します。
 注意 : MAC アドレスは最大 8 個まで登録することができます。

フローコントロールレジスタ															
ETH[0x70] 初期値 = 0x0000_0000 Read/Write															
Flow Control Enable 31	Reserved (0)														
	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **Flow Control Enable**
 Pause Frame 受信による送信停止機能を有効にします。

Bits [30:0] : **予約 (0)**

ポーズリクエストレジスタ															
ETH[0x74] 初期値 = 0x0000_0000 Read/Write															
Pause Frame Request 31	Reserved (0)														
	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **Pause Frame Request**
 Pause Frame の送信を行います。Pause Frame 送信後、自動的に “0” に戻ります。

Bits [30:0] : **予約 (0)**

ポーズフレームデータレジスタ 1~5															
ETH[0x78, 0x7C, 0x80, 0x84, 0x88] 初期値 = 0x0000_0000 Read/Write															
Pause Frame Data [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Pause Frame Data [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **Pause Frame Data [31:0]**
 Pause Frame の送信データです。

11. Ethernet MAC & E-DMA (ETH)

バッファマネジメントイネーブルレジスタ																Read/Write
ETH[0x90] 初期値 = 0x0000_0000																
Reserved (0)																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved (0)															Buffer Manage- ment Enable 0	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		

Bits [31:1] : 予約

Bit 0 : **Buffer Management Enable**
受信バッファ管理機能を有効にします。

バッファフリーレジスタ																Read/Write
ETH[0x94] 初期値 = 0x0000_0000																
Reserved (0)																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved (0)																Buffer Free 0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		

Bits [31:1] : 予約 (0)

Bit 0 : **Buffer Free**
1 フレーム分の受信バッファが開放されたことを知らせます。
CPU により “1” が書き込まれると、ブロック内部のバッファ残量カウンタをインクリメントし、自動的に “0” に戻ります。

バッファインフォメーションレジスタ																Read/Write
ETH[0x98] 初期値 = 0x03FF_03FF																
Reserved (0)						Ability [9:0] (リードオンリ)										
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved (0)						Capacity [9:0]										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

Bits [31:26] : 予約 (0)

Bits [25:16] : **Ability [9:0] (リードオンリ)**
受信バッファの空き容量を示します。

Bits [15:10] : 予約 (0)

Bits [9:0] : **Capacity [9:0]**
全体の受信バッファ容量を示します。

ポーズインフォメーションレジスタ															
ETH[0x9C]		初期値 = 0x0000_0000													Read/Write
Pause Time [15:0]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved (0)						Pause Transmission Threshold [9:0]									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:16] : **Pause Time [15:0]**
送信する Pause Frame の Pause Time を指定します。

Bits [15:10] : **予約 (0)**

Bits [9:0] : **Pause Transmission Threshold [9:0]**
Pause Frame を送信する受信バッファ空き容量の閾値を示します。

TXFIFO ステータスレジスタ															
ETH[0xF0] 初期値 = 0x4000_0000															
Read Only															
Almost Full 31		Almost Empty 30		TXFIFO Status			Frame Count			Reserved					
				</											

Bit 31 : **Almost Full**
送信 FIFO がほとんど満杯であることを示します。

Bit 30 : **Almost Empty**
送信 FIFO がほとんど空の状態であることを示します。

Bits [29:27] : **TXFIFO Status**
送信 FIFO の状態を示します。
 100 : ACC NEW FR
新しいフレームを受け付けられることを示します。
 101 : WRITE ENABLE
現在フレームを書き込み中であることを示します。
 110 : CMPLT
1 フレームの取り込みが完了したことを示します。
 111 : FULL
TXFIFO が満杯の状態になったことを示します。
 0xx : STOP
TXFIFO が停止中（初期化など）であることを示します。

Bits [26:24] : **Frame Count**
送信 FIFO 内に存在するフレーム数を示します。

Bits [23:0] : **予約**

11. Ethernet MAC & E-DMA (ETH)

RXFIFO ステータスレジスタ															
ETH[0xF4]		初期値 = 0x4000_0000												Read Only	
Almost Full 31	Almost Empty 30	Read Trigger 29	Receiv- ing 28	Stored Words [11:0]											
				27	26	25	24	23	22	21	20	19	18	17	16
				Reserved											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 31 : **Almost Full**
受信 FIFO がほとんど満杯であることを示します。
- Bit 30 : **Almost Empty**
受信 FIFO がほとんど空の状態であることを示します。
- Bit 29 : **Read Trigger**
受信 FIFO 内のデータが Read Trigger Threshold 以上になったことを示します。
- Bit 28 : **Receiving**
受信 FIFO に有効なフレームが存在することを示します。
- Bits [27:16] : **Stored Words**
受信 FIFO 内に存在するデータをワード数で示します。
- Bits [15:0] : **予約**

11.5 動作説明

11.5.1 MAC機能

11.5.1.1 送信

本ブロックでは、ARM AHB バスより DMA コントローラを介して書き込まれたデータを一旦 FIFO メモリに蓄積します。その後、本ブロックは自動的に FIFO メモリからデータを取り出し、IEEE802.3 で規定されるフレームに組み立てて MII を経由して PHY へ出力します。送信機能の主な特徴を以下に示します。

- 32bit のデータストリームを 4bit (Nibble) へ変換
- プリアンブルの付加、FCS (CRC) の計算・付加
- 半二重モードにおける、衝突発生時の再送 (最大 15 回)
- 送信エラー時の JAM 信号の送出
- 送信バイト数エラーによるエラー処理 (64byte 未満、あるいは 1519byte 以上の場合、JAM 信号を送出する)

本ブロックでは、送信データを蓄積しておくための FIFO メモリの他に「送信結果格納用バッファ」を持っています。この「送信結果格納用バッファ」は、フレームの送信正常に行われたか否か等の情報をユーザに伝えるために利用されます。

11.5.1.2 受信

本ブロックでは、受信したデータストリームを IEEE802.3 で規定されるフレーム構造に解析し、取り出した受信フレームのデータを一旦 FIFO メモリに蓄積します。FIFO メモリに蓄積された受信データは、DMA コントローラを介して ARM AHB バスからユーザが読み出すことが可能です。受信機能の主な特徴を以下に示します。

- 4bit (Nibble) のデータストリームを 32bit 幅へ変換
- FCS (CRC) の計算
- フラグメントフレーム (64byte 未満のフレーム) の自動破棄
- 受信バイト数の確認

本ブロックでは、IEEE802.3 で規定される最大フレーム長 (1518byte) を超えたフレームの受信が可能です。最大フレーム長を超えるフレームを受信した場合、本ブロックは Too Long のフラグを “1” にしますが、受信したデータの内容および FCS の計算等は正常に行われます。

11.5.1.3 フロー制御

本ブロックは、Pause Frame Request ビット (ポーズリクエストレジスタ ETH[0x74] bit31) に “1” を書き込むことにより Pause Frame を送信することができます。Pause Frame を送信できるのは、Full Duplex モード時だけです (モードレジスタ ETH[0x20] bit 29 = 1)。Half Duplex モード時には、Pause Frame Request ビットへの書き込みは無視されます。

本ブロックが Pause Frame の送信リクエスト信号を受け取ると、現在送信中の Frame を送り終えた後、直ちに Pause Frame を送信します。Pause Frame の Destination Address、Source Address、Type、Opcode、Pause Time フィールドにはポーズフレームデータレジスタ 1~5 (ETH[0x78, 0x7C, 0x80, 0x84, 0x88]) によって設定された内容が送信されます。データ部には自動的に “0” が挿入され、FCS の計算結果が付加されて Pause Frame として送信されます。

本ブロックは Pause Frame の送信が終了すると、Pause Frame Request ビットを “0” に戻し、Pause Frame Transmission 割り込みを発生します。

本ブロックは Flow Control Enable ビット (フローコントロールレジスタ ETH[0x70] bit 31) が “1” の時、Pause Frame の受信による送信停止機能を実現することができます。Flow Control Enable ビットが “0” の時は、Pause Frame を受信しても送信動作を停止することはありません。

本ブロックは Pause Frame を受信すると、現在送信中の Frame の送信を終えたあと、Pause Frame に示されている Pause Time の間送信動作を停止します。送信停止時間は、Pause Frame の Pause Time に示されている値に Slot Time (512bit time : 5.12us@100Mbps, 51.2us@10Mbps) を乗じた時間です。

本ブロックが Pause Frame を受信して送信動作を停止している間に新たな Pause Frame を受信すると、本ブロック内部に存在する送信停止時間をカウントしているタイマを、新たな Pause Frame で示される Pause Time の値に更新します。これにより、通信相手側の端末から送信停止の解除や送信停止時間

11. Ethernet MAC & E-DMA (ETH)

の延長を行うことができます。

本ブロックは Pause Frame の受信による送信動作を停止している間でも、Pause Frame Request ビットを“1”にすることにより Pause Frame の送信を行うことができます。

11.5.2 DMAコントローラ

11.5.2.1 概要

本ブロックには送信/受信それぞれに Ethernet MAC に直接接続された DMA コントローラを内蔵しています。フレームの管理はディスクリプタテーブルを用いて行われ、CPU に対する負荷を軽減し効率の良い転送制御を行うことができます。

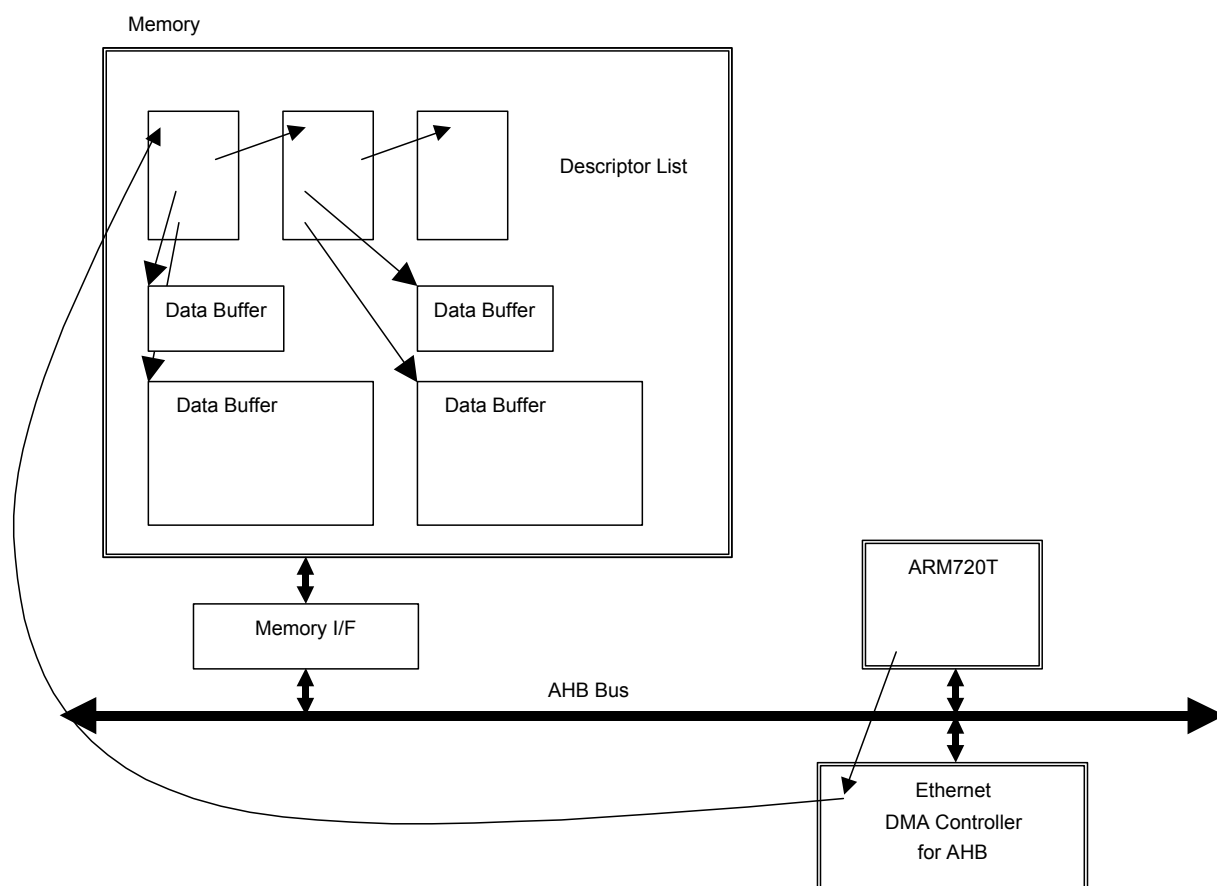


図 11.2 DMA Controller and Descriptor Architecture

ディスクリプタテーブルと送信/受信フレームは 1 対 1 に対応します。1 つのディスクリプタテーブルには複数のバッファ領域を指定することができ、メモリ空間内の分散されたデータを組み立てて 1 つのフレームとして送信することができ、また受信したフレームを複数の領域に分散して格納することが可能です。

11.5.2.2 ディスクリプタ・テーブル

表 11.2 Transmit Descriptor Table

Offset Address	Name
0x00	TX Command / Status
0x04	TX Next Descriptor Pointer
0x08	TX Buffer Address 1 st
0x0C	TX Buffer Size 1 st
0x10	TX Buffer Address 2 nd
0x14	TX Buffer Size 2 nd
...	... (以降、Buffer Address と Size の繰り返し)

表 11.3 Receive Descriptor Table

Offset Address	Name
0x00	RX Command / Status
0x04	RX Next Descriptor Pointer
0x08	RX Buffer Address 1 st
0x0C	RX Buffer Size 1 st
0x10	RX Buffer Address 2 nd
0x14	RX Buffer Size 2 nd
...	... (以降、Buffer Address と Size の繰り返し)

11. Ethernet MAC & E-DMA (ETH)

Transmit Descriptor Table

TX Command / Status															Read/Write	
Offset Address = 0x00																
Complete	Abort	Reserved	Usable	Carrier Sense Error	Too Short	Too Long	Under-Flow	Retry Count [3:0]				Late Collision	Excessive Collision	Multiple Collision	Single Collision	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Including VLAN Tag	Including CRC	Auto Padding	TX Octets [12:0]													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

送信データの準備を終えた後、Bit 28 (Usable)を“1”にセットし、Bits [15:0]に適切な値を設定してください。その他のビットは“0”にクリアしてください。

- Bit 31 : **Complete**
送信が正常に終了したことを示します。
- Bit 30 : **Abort**
送信中、何らかの障害により正常に送信ができなかったことを示します。
- Bit 29 : **Reserved**
- Bit 28 : **Usable**
本ディスクリプタの示すデータが送信可能な状態であることを示します。ユーザは送信データの準備を終えた後、このビットを“1”にセットしてください。本ブロックは DMA 転送終了後、このビットを“0”にクリアします。
- Bit 27 : **Carrier Sense Error**
送信中にキャリアセンスエラーが発生したことを示します。
- Bit 26 : **Too Short**
64byte 未満のフレームを送信しようとしたため、JAM を送出して送信を中断したことを示します。
- Bit 25 : **Too Long**
1518byte を超えるフレームを送信しようとしたため、送信を中断したことを示します。
- Bit 24 : **Underflow**
TX FIFO で Underflow が発生し、送信を中断したことを示します。
- Bits [23:20] : **Retry Count [3:0]**
Collision の検出による再送回数を示します。
- Bit 19 : **Late Collision**
Late Collision が発生し、送信を中断したことを示します。
- Bit 18 : **Excessive Collision**
Collision のため 15 回の再送にもかかわらずフレームが送信できなかったことを示します。
- Bit 17 : **Multiple Collision**
複数回の Collision を検出後、正常に送信が完了したことを示します。
- Bit 16 : **Single Collision**
1 回の Collision を検出後、正常に送信が完了したことを示します。
- Bit 15 : **Including VLAN Tag**
VLAN の Tag が付加されているフレームであることを指定します。このビットが“1”の時、最大送信フレーム長が 4byte 拡張されます。

Bit 14 : **Including CRC**
このディスクリプタの示すフレームデータに、あらかじめ FCS (CRC) が付加されていることを示します。このビットが “1” の時、本ブロックは FCS を付加しません。

Bit 13 : **Auto Padding**
送信フレームのデータ長が 64byte 未満の時、自動的にパディングビットを付加します。

Bits [12:0] : **TX Octets [12:0]**
送信するフレームの byte 数 (から 1 を引いた値) を指定します。本ブロックで自動的に付加する FCS (4byte) は含みません。

TX Next Descriptor Pointer															Read/Write	
Offset Address = 0x04																
TX Next Descriptor Pointer [31:16]																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17		16
TX Next Descriptor Pointer [15:0]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0

Bits [31:0] : **TX Next Descriptor Pointer [31:0]**
次の送信ディスクリプタの先頭アドレスを示します。

TX Buffer Address 1 st																Read/Write
Offset Address = 0x08																
TX Buffer Address 1 st [31:16]																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
TX Buffer Address 1 st [15:0]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

Bits [31:0] : **TX Buffer Address 1st [31:0]**
送信フレームが格納されている第一番目のバッファ領域の先頭アドレスを示します。アドレスの指定は 4byte バウンダリ (下位 2 ビットが “00”) としてください。(下位 2 ビットは本ブロックでは無視されます)

TX Buffer Size 1 st															Read/Write	
Offset Address = 0x0C																
Reserved																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17		16
Reserved			TX Buffer Size 1 st [12:0]													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0

Bits [31:13] : **Reserved**

Bits [12:0] : **TX Buffer Size 1st [12:0]**
送信フレームが格納されている第一番目のバッファ領域のサイズを byte 数 (から 1 を引いた値) で示します。

TX Buffer Address n th															Read/Write	
Offset Address = 0x10, 0x18, 0x20, 0x28...																
TX Buffer Address n th [31:16]																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17		16
TX Buffer Address n th [15:0]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		0

Bits [31:0] : **TX Buffer Address nth [31:0]**
送信フレームが格納されている第 n 番目のバッファ領域の先頭アドレスを示します。アドレスの指定は 4byte バウンダリ (下位 2 ビットが “00”) としてください。(下位 2 ビットは本ブロックでは無視されます)

11. Ethernet MAC & E-DMA (ETH)

TX Buffer Size n th Offset Address = 0x14, 0x1C, 0x24, 0x2C...															Read/Write
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			TX Buffer Size n th [12:0]												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:13] : **Reserved**

Bits [12:0] : **TX Buffer Size nth [12:0]**

送信フレームが格納されている第 n 番目のバッファ領域のサイズを byte 数（から 1 を引いた値）で示します。

Receive Descriptor Table

RX Command / Status Offset Address = 0x00															Read/Write
Received	Reserved		Usable	Reserved			Broadcast Frame	Multicast Frame	Individual Frame	Address Not Match	Too Long	Too Short	Not Octal	Nibble Error	CRC Error
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			RX Octets [12:0]												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

バッファ領域にある受信データの処理を終えた後、次のフレーム受信の準備をするには、Bit 28 (Usable)を“1”にセットし、他のビットを“0”にクリアしてください。

Bit 31 : **Received**

フレームを受信し、DMA の転送が終了したことを示します。このビットは本ブロックによって自動的に“1”がセットされます。

Bits [30:29] : **Reserved**

Bit 28 : **Usable**

本ディスクリプタの示すデータ領域が受信可能な状態であることを示します。ユーザはバッファ領域にある受信データの処理を終えた後、このビットを“1”にセットして次のフレーム受信の準備をしてください。本ブロックは DMA 転送終了後、このビットを“0”にクリアします。

Bits [27:25] : **Reserved**

Bit 24 : **Broadcast Frame**

Destination Address が Broadcast Address であったことを示します。

Bit 23 : **Multicast Frame**

Destination Address が Multicast Address であったことを示します。

Bit 22 : **Individual Frame**

Destination Address が Address Recognizer に登録されたアドレスであったことを示します。

Bit 21 : **Address Not Match**

Destination Address が Broadcast, Multicast, Individual でなかったことを示します。

Bit 20 : **Too Long**

1518byte を超えるフレームであることを示します。

Bit 19 : **Too Short**

64byte 未満のフレームであることを示します。

- Bit 18 : **Not Octal**
受信フレームのデータ長が 8 ビットの倍数でなかったことを示します。
- Bit 17 : **Nibble Error**
フレーム受信中に、伝送路符号化エラーが発生したことを示します。
- Bit 16 : **CRC Error**
受信フレームの FCS が誤っていたことを示します。
- Bits [15:13] : **Reserved**
- Bits [12:0] : **RX Octets [12:0]**
受信フレームの byte 数（から 1 を引いた値）を示します。ここで示す byte 数は、Preamble, SFD を除く Destination Address から FCS の終わりまでを指します。

RX Next Descriptor Pointer																Read/Write
Offset Address = 0x04																
RX Next Descriptor Pointer [31:16]																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
RX Next Descriptor Pointer [15:0]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

- Bits [31:0] : **RX Next Descriptor Pointer [31:0]**
次の受信ディスクリプタの先頭アドレスを示します。

RX Buffer Address 1 st																Read/Write
Offset Address = 0x08																
RX Buffer Address 1 st [31:16]																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
RX Buffer Address 1 st [15:0]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

- Bits [31:0] : **RX Buffer Address 1st [31:0]**
受信フレームが格納されている第一番目のバッファ領域の先頭アドレスを示します。アドレスの指定は 4byte バウンダリ（下位 2 ビットが “00”）としてください。（下位 2 ビットは本ブロックでは無視されます）

RX Buffer Size 1 st															Read/Write
Offset Address = 0x0C															
Reserved															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			RX Buffer Size 1 st [12:0]												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bits [31:13] : **Reserved**
- Bits [12:0] : **RX Buffer Size 1st [12:0]**
受信フレームが格納されている第一番目のバッファ領域のサイズを byte 数（から 1 を引いた値）で示します。サイズの指定は 4byte バウンダリ（下位 2 ビットが “11”）としてください。（下位 2 ビットは本ブロック内で無視されます）

11. Ethernet MAC & E-DMA (ETH)

RX Buffer Address n th																Read/Write
Offset Address = 0x10, 0x18, 0x20, 0x28...																
RX Buffer Address n th [31:16]						RX Buffer Address n th [15:0]										
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

Bits [31:0] : **RX Buffer Address nth [31:0]**
 受信フレームが格納されている第 n 番目のバッファ領域の先頭アドレスを示します。アドレスの指定は 4byte バウンダリ（下位 2 ビットが “00”）としてください。（下位 2 ビットは本ブロックでは無視されます）

RX Buffer Size n th															Read/Write
Offset Address = 0x14, 0x1C, 0x24, 0x2C...															
Reserved															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			RX Buffer Size n th [12:0]												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:13] : **Reserved**

Bits [12:0] : **RX Buffer Size nth [12:0]**
 受信フレームが格納されている第 n 番目のバッファ領域のサイズを byte 数（から 1 を引いた値）で示します。サイズの指定は 4byte バウンダリ（下位 2 ビットが “11”）としてください。（下位 2 ビットは本ブロック内で無視されます）

11.5.2.3 送信DMA動作説明

DMA コマンドレジスタ (ETH[0x10]) 内の TX DMA Start に “1” を書き込むことにより、送信 DMA は動作を開始しフレームの送信を開始します。TX DMA Start に “1” を書き込むと、TX DMA ポインタレジスタ (ETH[0x18]) の示すメモリ領域から 1 つのディスクリプタテーブルを読み出します。読み出したディスクリプタテーブルの Usable ビットが “1” であれば、ディスクリプタテーブルの情報に従い Buffer 領域からのデータ読み出しを開始します。ディスクリプタテーブルに示されている送信 byte 数 (TX Octets) 分のデータ読み出しを終えると、Usable ビットを “0” にクリアして TX Next Descriptor Pointer が指すメモリ領域から次のディスクリプタテーブルを読み出します。この時 Next Descriptor Pointer は TX DMA Pointer レジスタにもロードされるので、CPU により TX DMA Pointer レジスタをリードすることにより現在 DMA 転送を行っているディスクリプタの位置を知ることが出来ます。読み出したディスクリプタテーブルの Usable ビットが “0” の時、本ブロックは TX DMA Start を “0” にクリアし送信 DMA 動作を停止します。

ディスクリプタテーブルの先頭アドレス (TX DMA Pointer および TX Next Descriptor Pointer) は 4byte バウンダリ (下位 2 ビットを “00”) で指定してください。

ディスクリプタテーブルには、複数のバッファ領域を指定することが可能です (マルチバッファ構成)。マルチバッファ構成を利用することにより、メモリ内に分散して置かれているデータを 1 つの送信フレームとして扱うことができます。例えば、MAC ヘッダ、IP ヘッダ、IP ペイロードを別々の領域に用意しておき、それらを組み合わせてフレームを構成することができます。また一番目に指定するバッファサイズ (Buffer Size 1st) を TX Octets よりも大きな値にすることにより、シングルバッファとして利用することも可能です。送信 DMA では、Buffer Address を 4byte (=32bit) バウンダリとして扱い、下位 2 ビットを無視します。Buffer Size は byte 単位で指定することが可能です。

送信 DMA 転送は本ブロック内の送信 FIFO に対するデータの書き込みを行います。送信 FIFO に書き込まれたデータは、本ブロックの MAC 機能によりフレームの生成を行います。1 フレームの送信動作が終了すると、該当するディスクリプタテーブルの TX Command/Status に送信結果を反映し、CPU に対して割り込み信号を発生します。割り込み信号は割り込みイネーブルレジスタ (ETH[0x04]) でマスクすることが可能です。

送信 DMA コントローラは送信 FIFO の状態を監視してフロー制御を行います。DMA 転送中に送信 FIFO から Almost Full 信号を受け取ると DMA 転送を中断し、Almost Empty 信号を受け取ると DMA 転送を再開します。Almost Full および Almost Empty 信号は、TX モードレジスタ (ETH[0x24]) の TXFIFO almost Full Threshold、TXFIFO almost Empty Threshold にて設定することが可能です。

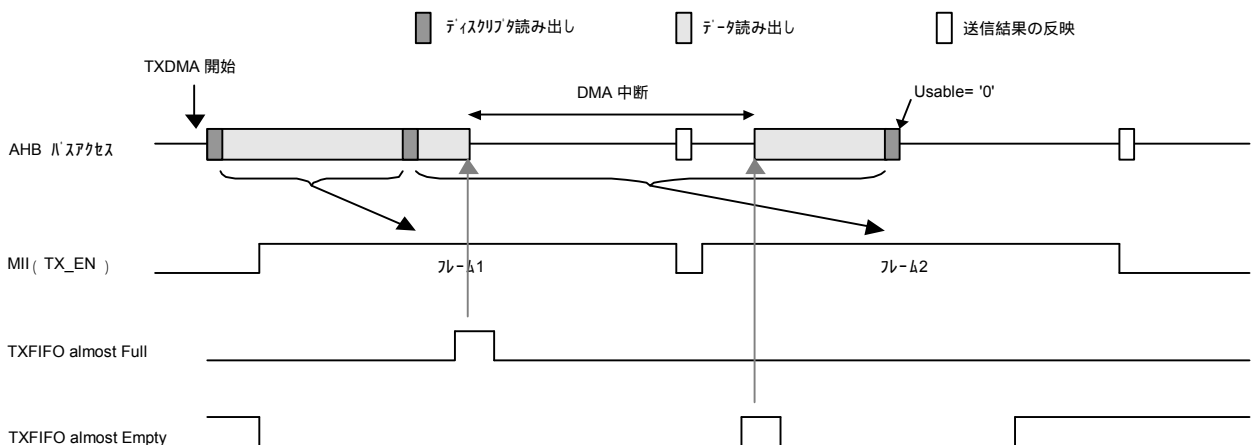


図 11.3 Behavior of Transmission

11. Ethernet MAC & E-DMA (ETH)

11.5.2.4 受信DMA動作説明

DMA コマンドレジスタ (ETH[0x10]) の RX DMA Enable に “1” を書き込むことにより、受信 DMA は動作可能状態になります。受信 DMA が Enable になってもフレームの受信がなければ何も動作は行いません。

本ブロックが MII からフレームを受信すると、受信 DMA は RX DMA ポインタレジスタ (ETH[0x1C]) の示すメモリ領域から 1 つのディスクリプタテーブルを読み出します。読み出したディスクリプタテーブルの Usable ビットが “1” であれば、ディスクリプタテーブルの情報に従い Buffer 領域へ受信データを書き込んでいきます。1 フレーム分の受信データを全て書き終わると、ディスクリプタテーブルの RX Command/Status に受信結果を反映させ Usable ビットもクリアします。1 フレームの受信 DMA 転送が完了すると、RX DMA ポインタレジスタに RX Next Descriptor Pointer の値を更新し、次の受信フレームの DMA 転送に備えます。CPU からは、RX DMA ポインタレジスタをリードすることにより、現在 DMA 転送を行っているディスクリプタの位置を知ることができます。読み出したディスクリプタテーブルの Usable ビットが “0” だった場合、RX Descriptor Error 割り込みを発生し受信 DMA 動作を中断します。RX Descriptor Error が発生した場合は、一旦 RX DMA Enable を “0” にクリアし、ディスクリプタテーブルおよび RX DMA Pointer を改めて設定しなおしてから、再度 RX DMA Enable を “1” にセットしてください。

ディスクリプタテーブルの先頭アドレス (RX DMA Pointer および RX Next Descriptor Pointer) は 4byte バウンダリ (下位 2 ビットを “00”) で指定してください。

ディスクリプタテーブルには、複数のバッファ領域を指定することが可能です (マルチバッファ構成)。マルチバッファ構成を利用することにより、受信したフレームのデータをメモリ内に分散して置くことができます。一番目に指定するバッファサイズ (Buffer Size 1st) を 1518byte (Ethernet の最大フレーム長) よりも大きな値にすることにより、シングルバッファとして利用することも可能です。受信 DMA では、Buffer Address および Buffer Size を 4byte (=32bit) バウンダリとして扱い、下位 2 ビットを無視します。

受信 DMA コントローラは受信 FIFO の状態を監視してフロー制御を行います。受信 DMA コントローラは、1 フレームの受信が完了するかあるいは Read Trigger 信号を受け取ると、DMA 転送を開始します。DMA 転送中に受信 FIFO から Almost Empty を受け取ると DMA 転送を中断し、再度 Read Trigger 信号を受け取るか 1 フレームの受信が完了すると DMA 転送を再開します。Read Trigger および Almost Empty 信号は、RX モードレジスタ (ETH[0x28]) の Read Trigger Threshold および RXFIFO almost Empty Threshold にて設定することが可能です。

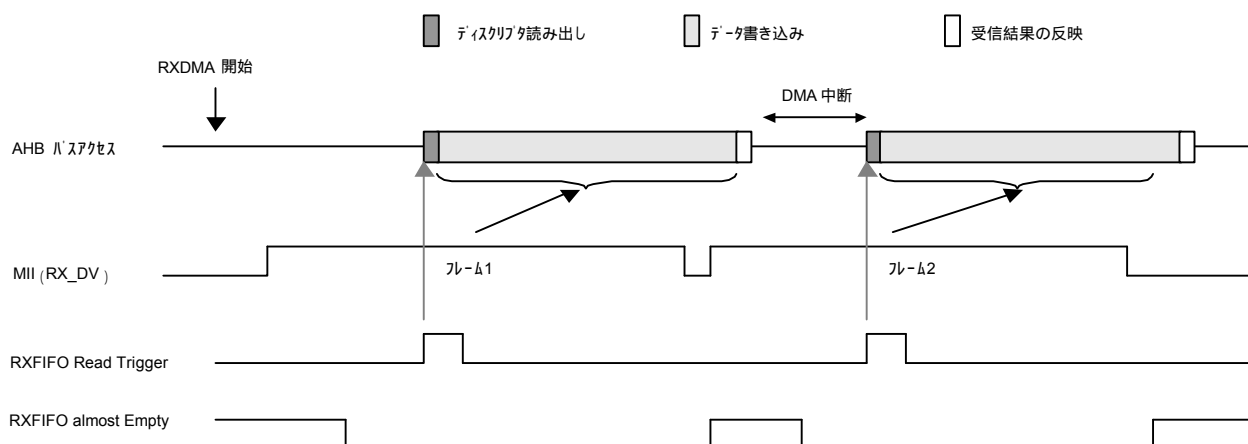


図 11.4 Behavior of Reception

11.5.2.5 DMAとMAC動作モードの設定

11.5.2.3 および 11.5.2.4 で記述したように、DMA の動作は MAC の動作モードと密接な関係にあります。DMA と MAC の動作モードについて、以下の点に留意して設定してください。

Burst Length : モードレジスタ ETH[0x20] bits [26:24]

AHB のバースト長を決定します。AMBA2.0 では最大バースト長が 16 ビート (INCR16) のため、32 ビート以上のバーストに関しては INCR16 を複数回連続して繰り返します。

Transmission Start Threshold : TX モードレジスタ ETH[0x24] bits [17:16]

Store and Forward モードの場合、この設定は無視されます。

Store and Forward モードでない場合、ここで指定された値より小さいフレームは、次の送信フレームの書き込みが行われないと FIFO 内に蓄積されたままとなります。(例えば、“11” (32 ワード) と設定した場合 128byte 未満のフレームは、次の送信データの書き込みが行われないと、つまり FIFO に 32 ワード以上のデータが書き込まれないと送信を開始しません)

本パラメータは、TX FIFO Underflow が発生しないようななるべく小さな値を設定することを推奨します。また、最後のフレームの書き込みが終了した後に本パラメータを小さな値に設定変更することにより、確実に全てのフレームを送信することが可能です。

TXFIFO almost Full Threshold : TX モードレジスタ ETH[0x24] bits [13:12]

必ず Burst Length よりも大きな値を設定してください。(Burst Length が 32 ビート以上の場合、“11” (32 ワード) で可) 本パラメータが Burst Length よりも小さい場合、DMA 転送中に TXFIFO が Overflow してしまう可能性があります。

TXFIFO almost Empty Threshold : TX モードレジスタ ETH[0x24] bits [10:8]

Store and Forward モードの場合は最大フレーム長より大きな値を、Store and Forward モードでない場合は Transmission Start Threshold よりも大きな値を設定してください。

本パラメータが適切でない場合、DMA は待ち状態に入ったまま停止してしまうことがあります。

Read Trigger Threshold : RX モードレジスタ ETH[0x28] bits [18:16]

必ず Burst Length および RXFIFO almost Empty Threshold より大きな値を設定してください。

RXFIFO almost Full Threshold : RX モードレジスタ ETH[0x28] bits [13:12]

AHB の応答に遅延が生じる場合は、なるべく大きな値を設定してください。

RXFIFO almost Empty Threshold : RX モードレジスタ ETH[0x28] bits [9:8]

必ず Burst Length よりも大きな値を設定してください。(Burst Length が 32 ビート以上の場合、“11” (32 ワード) で可)

【推奨設定値】

Burst Length	4	8	16
TX Start Threshold	16	16	16
TXFIFO almost Full Threshold	8	16	32
TXFIFO almost Empty Threshold	32	32	32
RX Read Trigger Threshold	16	32	64
RXFIFO almost Full Threshold	32	32	32
RXFIFO almost Empty Threshold	8	16	32

11. Ethernet MAC & E-DMA (ETH)

11.5.3 アドレスフィルタ

本ブロックは Address Filtering Enable ビット (RX モードレジスタ ETH[0x28] bit31) を “1” にすることにより、アドレスフィルタ機能を有効にすることができます。アドレスフィルタ機能を有効にすると、本ブロックは受信したフレームの Destination Address Field が、Broadcast、Multicast あるいは Address Register に登録されているアドレスと一致した場合だけ取り込みを行い、それ以外の受信フレームは自動的に破棄されます。

また本ブロックは Address Filtering Enable と同時に Multicast Filtering Enable ビット (RX モードレジスタ ETH[0x28] bit30) を “1” にすると、マルチキャストフィルタ機能が有効になります。マルチキャストフィルタ機能を有効にすると、本ブロックは、Destination Address Field が Broadcast あるいは Address Register に登録されているアドレスと一致した受信フレームだけを取り込み、それ以外の受信フレームを破棄します。ただし、Pause Frame の Destination Address として指定されているマルチキャストアドレス (01-80-C2-00-00-01) を持つ受信フレームについては、無条件に取り込みを行います。

11.5.4 MIIM

11.5.4.1 Write Operation

PHY 内部の MIIM レジスタ (ETH[0x2C]) に対して書き込みを行いたい場合、本ブロックの MIIM Write Operation を利用します。MIIM レジスタの bit 26 に “1” の書き込みを行うと、本ブロックの MIIM 機能は Write Operation であると解釈し、MII Management Bus を介して PHY 内部の MIIM レジスタへ Write Operation を行います。この時出力する PHY アドレス、Register アドレスは MIIM レジスタの bits [25:21]、bits [20:16] で指定します。

MII Management Bus の Write Operation が終了し PHY レジスタへの書き込みが完了すると、MIIM Access Complete 割り込みが発生します。

11.5.4.2 Read Operation

PHY 内部の MIIM レジスタの内容を読み出したい場合、本ブロックの MIIM Read Operation を利用します。MIIM レジスタの bit 26 を “0” の書き込みを行うと、本ブロックの MIIM 機能は Read Operation であると解釈し、MII Management Bus を介して PHY 内部の MIIM レジスタへ Read Operation を行います。この時出力する PHY アドレス、Register アドレスは MIIM レジスタの bits [25:21]、bits [20:16] で指定します。PHY 内部の MIIM レジスタの内容は MII Management Bus を介して本ブロックが取り込み、MIIM レジスタへ内容を反映します。Read Operation が終了すると、本ブロックは MIIM レジスタの bit 26 を “1” にセットし、MIIM レジスタの bits [25:0] が有効であることを示します。

MII Management Bus の Read Operation が終了し PHY レジスタの読み出しが完了すると、MIIM Access Complete 割り込みが発生します。

11.5.5 受信バッファ管理機能

受信バッファ管理機能とは、本ブロックの外付けメモリに構成される受信バッファの状況を管理し、受信バッファの空き領域がレジスタで示される容量よりも少なくなった時に、自動的に Pause Frame を送信する機能です。Buffer Management Enable ビット (バッファマネジメントイネーブルレジスタ ETH[0x90] bit31) に “1” をセットすることにより、本機能が有効になります。

本ブロックは Buffer Management Enable が “0” の時に、受信バッファ容量の初期値として Capacity レジスタの内容を内部カウンタに取り込みます。従って、本機能を無効 (Buffer Management Enable を “0”) にすると内部カウンタは Capacity に初期化されます。

本機能が有効 (Buffer Management Enable が “1”) の時、内部カウンタは受信バッファの空き容量のカウンタを行います。1 フレーム分の受信 DMA の転送が終了するとカウンタをディクリメントし、受信バッファ開放通知レジスタ (Buffer Free) に “1” を書き込むとカウンタをインクリメントします。現在の受信バッファの空き容量は Ability ビット (バッファインフォメーションレジスタ ETH[0x98] bits [25:16]) によって確認することができます。

本ブロックは受信バッファの空き容量が Pause Transmission Threshold ビット (ポーズインフォメーションレジスタ ETH[0x9C] bits [9:0]) で示す値よりも少なくなったとき、自動的に Pause Frame を送信します。Pause Frame を送信後、Pause Time レジスタで設定された時間分待機し、再度受信バッファ

の空き領域の確認を行うので、余分な Pause Frame の送信は行いません。

11.6 本Ethernet MAC & E-DMA (ETH)の利用制限事項

S1S65010 では、本 ETH の一部のレジスタに関して利用制限がかかります。以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限事項
ETH[0x00] bit 29	RX Access Error	使用不可
ETH[0x00] bit 25	TX Access Error	使用不可
ETH[0x00] bit 12	Link Up	使用不可
ETH[0x04] bit 29	RX Access Error Enable	使用不可
ETH[0x04] bit 25	TX Access Error Enable	使用不可
ETH[0x04] bit 12	Link Up Enable	使用不可
ETH[0x08] bit 13	PHY Reset	使用不可
ETH[0x0C] bit 2	Link	使用不可
ETH[0x0C] bit 1	Speed	使用不可
ETH[0x0C] bit 0	Duplex	使用不可
ETH[0x20] bit 30	Auto Mode	使用不可
ETH[0x20] bits [26:24]	Burst Length	“ 011 ~ 111 ” の設定は使用不可
ETH[0x24] bit 30	Short Packet Enable	使用不可
ETH[0x24] bit 29	No Retransmission	使用不可
ETH[0x24] bit 28	No Collision Retransmission	使用不可
ETH[0x24] bits [10:8]	TXFIFO almost Empty Threshold [2:0]	“ 101 ~ 111 ” の設定は使用不可
ETH[0x28] bits [18:16]	Read Trigger Threshold [2:0]	“ 101 ~ 111 ” の設定は使用不可

12. APB ブリッジ (APB)

12. APB ブリッジ (APB)

12.1 概要

APB ブリッジは、内部の高速バス—AHB1 バスと低速の APB 機能デバイス（以下 APB デバイス）が接続されている APB バスの間に置かれ、AHB バスへの制御を各 APB デバイスに代わって行うブリッジ機能を持った AHB バス上のスレーブ・デバイスです。この APB ブリッジを経由することにより、個々の APB デバイスは AHB バスの制御から開放され、その代わりシンプルな APB バスに対する制御のみを行えば済むことになります。ソフトウェアプログラマにとっては、この APB ブリッジは本来気にする必要のないデバイスですが、場合によっては APB デバイスに対するウェイト指定（0 ウェイトから 3 ウェイトまで）を設定する必要があります。通常はリセット時のままお使いください。

- APB デバイスに関しては全てのバス幅（8/16/32bit）タイプのバスアクセスが可能
- 全ての APB デバイスに関し基本的に 2 サイクルバス（初期設定）をサポート
- APB デバイスごとにウェイトサイクルを設定可能（0～3 ウェイト）
- バイトアクセス／ハーフワードアクセス（16bit データ）に対しても適切なバイトレーン操作をサポート
- APB 基本タイミグを生成
- すべての APB デバイスに対し PSEL 内部信号を生成
- バイトレーンアクティブ信号として HBE および LBE 内部信号を供給

12.2 ブロック図

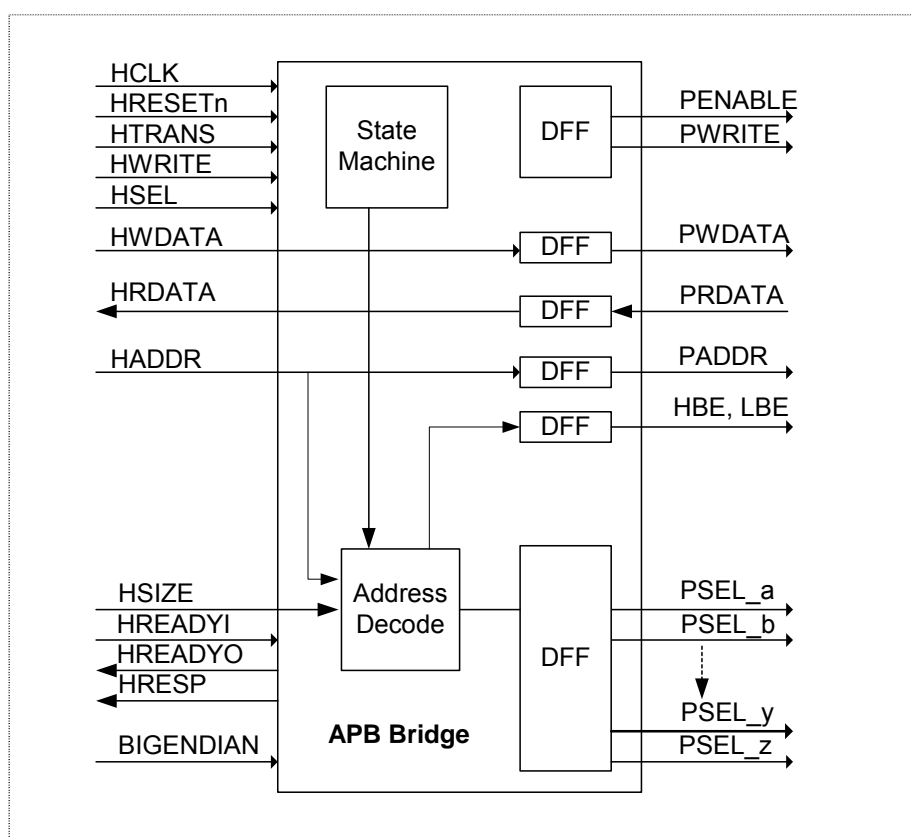


図 12.1 APB ブリッジ ブロック図

12.3 外部端子

APB ブリッジに関連する外部端子はありません。

12.4 レジスタ

12.4.1 レジスタ一覧

表 12.1 のアドレスオフセットの値は、本 APB ブリッジ機能ブロックに割り当てられたベースアドレスからのオフセットになります。ベースアドレスは 0xFFFE_0000 です。

表 12.1 レジスタ一覧 (ベースアドレス : 0xFFFE_0000)

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
0x00	APB WAIT0 レジスタ	APBWAIT0	0x0040_0500	R/W	32
0x04	APB WAIT1 レジスタ	APBWAIT1	0x0000_0000	R/W	32

12.4.2 レジスタ詳細説明

APB WAIT0 レジスタ (APBWAIT0)							
APB[0x00] 初期値 = 0x0040_0500				Read/Write			
PW0FCNF [1:0] 31 30	PW0ECNF [1:0] 29 28	PW0DCNF [1:0] 27 26	PW0CCNF [1:0] 25 24	PW0BCNF [1:0] 23 22	PW0ACNF [1:0] 21 20	PW09CNF [1:0] 19 18	PW08CNF [1:0] 17 16
PW07CNF [1:0] 15 14	PW06CNF [1:0] 13 12	PW05CNF [1:0] 11 10	PW04CNF [1:0] 9 8	PW03CNF [1:0] 7 6	PW02CNF [1:0] 5 4	PW01CNF [1:0] 3 2	PW00CNF [1:0] 1 0

Bits [31:0] :

PWxCNF[1:0] (x=00 to 0F)

- 00 : 0 ウェイト 基本の 2-APB サイクル (デフォルト)
- 01 : 1 ウェイト 2-APB サイクル+1-ウェイトサイクル=3-APB サイクル
- 10 : 2 ウェイト 2-APB サイクル+2-ウェイトサイクル=4-APB サイクル
- 11 : 3 ウェイト 2-APB サイクル+3-ウェイトサイクル=5-APB サイクル

注意 : このレジスタは初期値のままではなく、“0x0050_0500”に設定してご使用ください。

APB WAIT1 レジスタ (APBWAIT1)							
APB[0x04] 初期値 = 0x0000_0000				Read/Write			
PW1FCNF [1:0] 31 30	PW1ECNF [1:0] 29 28	PW1DCNF [1:0] 27 26	PW1CCNF [1:0] 25 24	PW1BCNF [1:0] 23 22	PW1ACNF [1:0] 21 20	PW19CNF [1:0] 19 18	PW18CNF [1:0] 17 16
PW17CNF [1:0] 15 14	PW16CNF [1:0] 13 12	PW15CNF [1:0] 11 10	PW14CNF [1:0] 9 8	PW13CNF [1:0] 7 6	PW12CNF [1:0] 5 4	PW11CNF [1:0] 3 2	PW10CNF [1:0] 1 0

Bits [31:0] :

PWxCNF[1:0] (x=10 to 1F)

- 00 : 0 ウェイト 基本の 2-APB サイクル (デフォルト)
- 01 : 1 ウェイト 2-APB サイクル+1-ウェイトサイクル=3-APB サイクル
- 10 : 2 ウェイト 2-APB サイクル+2-ウェイトサイクル=4-APB サイクル
- 11 : 3 ウェイト 2-APB サイクル+3-ウェイトサイクル=5-APB サイクル

12. APB ブリッジ (APB)

表 12.2 APBWAIT[1:0]レジスタと APB Device の対応一覧

APBWAIT0		APBWAIT1	
PWxCNF	APB Device	PWxCNF	APB Device
PW00CNF	APB ブリッジ	PW10CNF	予約
PW01CNF	予約	PW11CNF	GPIO
PW02CNF	Ethernet Mac	PW12CNF	シリアル周辺機器 I/F (SPI)
PW03CNF	DMA コントローラ 1 (DMAC1)	PW13CNF	予約
PW04CNF	CF カード アトリビュート/コモンメモリ 空間	PW14CNF	予約
PW05CNF	CF カード I/O 空間	PW15CNF	UART
PW06CNF	コンパクトフラッシュカード設定	PW16CNF	UARTL (UART Lite)
PW07CNF	予約	PW17CNF	予約
PW08CNF	カメラインタフェース	PW18CNF	リアルタイムクロック (RTC)
PW09CNF	JPEG リサイズ	PW19CNF	DMA コントローラ 2 (DMAC2)
PW0ACNF	JPEG モジュール/FIFO 制御	PW1ACNF	メモリコントローラ
PW0BCNF	JPEG コーデック	PW1BCNF	タイマ
PW0CCNF	JPEG DMAC	PW1CCNF	ウォッチドッグタイマ
PW0DCNF	I2C	PW1DCNF	システムコントローラ
PW0ECNF	I2S	PW1ECNF	予約
PW0FCNF	(割り込みコントローラ)	PW1FCNF	割り込みコントローラ

13. システムコントローラ(SYS)

13.1 概要

このブロックは主にクロックコントロール、ローパワー化手段、およびチップ・システム全体にかかわる事柄—メモリマップなどを制御するブロックです。

主な特徴は、

- HALT によるローパワーモード (IDLE) への移行サポート
- HALT 中の CPU、Bus クロックの ON/OFF の選択可能
- CPU/AHB/APB クロックのダイナミックな周波数切り替え
- 内蔵 I/O 毎のクロック ON/OFF
- 32kHz 動作モードのサポート
- PLL クロック切り替え手段のサポート
- ソフトウェアリセットのサポート
- Programmable Clock generator for UART

13.2 動作モード

S1S65010 はロースピードモード、ロースピード HALT モード、ハイスピードモード、ハイスピード HALT モードの 4 つの動作状態をもっています。

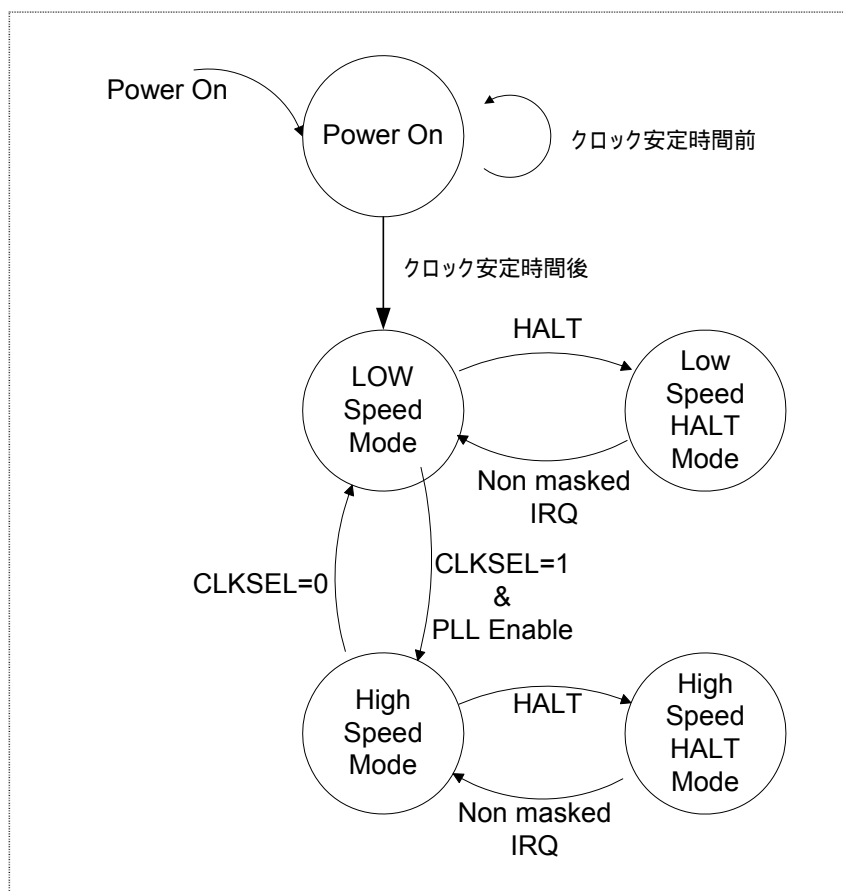


図 13.1 System の内部動作ステート

注意： Low Speed Mode から High Speed Mode に移る際には、ソフトウェアにより PLL 安定時間 (Max 100ms) を待った後、移行することができます。

13. システムコントローラ(SYS)

以下、各動作状態（モード）について説明します。

13.2.1 パワ - オンステート

このモードは動作モードではありませんが、パワーオン時のリセット信号によりこの状態に入ります。クロック入力には 32kHz を使用しているため、外部に 32kHz の水晶発信器を想定した場合、立ち上がり時間を Max3 秒ほど確保する必要があり、その間この状態にとどまります。リセット解除後、約 3 秒後に次の動作モードであるロースピードモードへ遷移します。

13.2.2 ロースピードモード

リセット直後のこのモードでは、PLL は停止しています。別名 32kHz モードです。唯一のクロックである 32kHz による動作のみが可能です。パワーオンリセット直後はこの状態から CPU がスタートすることになります。

PLL の設定をこのモードで行うことにより、(UART やタイマでの基本クロックに制約があるもの) 任意の通倍率を設定することが可能です。PLL の動作は PLL の安定に時間がかかるため (Max100ms)、ソフトウェアでこの時間を待った後、望む周波数にソフトウェアにより切り替えること (即ちハイスピードモードモード) になります。ハイスピードモードに PLL の周波数を変更したい場合には、一度このモードに遷移したあとで、変更を実施する必要があります。

13.2.3 ロースピードHALTモード

このモードは、ロースピードから HALT 動作を行うコマンドを発行することにより遷移することができ、もっとも消費電力の小さいモードとなります。内蔵 I/O バスや内蔵 I/O へのクロックの供給は、設定レジスタの値に依存しますが、すべてとめてしまうことも可能です。このモードからの復帰 (常にロースピードモードへ復帰) にはマスクされていない割り込みによります。例としては、割り込みイネーブルされた GPIO 入力の変化、外部割り込み端子、もしくは 32kHz で動作しているタイマからの割り込みなどによってこのモードを抜け出すことができます。

13.2.4 ハイスピードモード

このモードでは PLL に設定された通倍率で基本クロックが CPU や内部のバスに供給され、動作します。ロースピードモードからは、PLL を起動した後、ソフトウェアにてこのモードへの移行を行います。

13.2.5 ハイスピードHALTモード

ハイスピードモードの状態では、HALT 動作を行うコマンドを発行することにより、このモードへ遷移します。このモードでは、このモードへ入る前に設定された各 I/O bus へのクロックストップ設定、CPU へのクロックストップ設定が同時に有効になります。したがってローパワーを実現するためには、このモードの多用、即ち CPU が動作する必要の無い場合には、HALT を頻繁に発行することにより、実現できます。このモードはマスクされていない割り込み (IRQ または FIQ) により、ハイスピードモードへ戻ることができます。例としてタイマ割り込みや UART 受信割り込みをイネーブルにしておけば、割り込みが発生し、その後すぐにハイスピードモードに移ることが可能です。

13.3 外部端子

システムコントローラ関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子 / 備考
RESET#	I	ハードウェアリセット入力	なし
CLKI	I	32kHz クロック入力	なし

13.4 レジスタ

13.4.1 レジスタ一覧

以下に、システムコントロールの制御レジスタを示します。これらのレジスタのベースアドレスは、0xFFFF_D000 です。

表 13.1 レジスタ一覧（ベースアドレス：0xFFFF_D000）

Address Offset	Register Name	Abbreviation Name	Initial Value	R/W	Data Access Size
0x00	Chip ID Register	CHIPID	0x0650_100X	RO	32bit
0x04	Chip Configuration Register	CHIPCFG	0x0000_XXXX	RO	16/32bit
0x08	PLL Setting Register 1	PLLSET1	0x0421_D46A	R/W	32bit
0x0C	PLL Setting Register 2	PLLSET2	0x0000_0000	(R/W)	16/32bit
0x10	HALT Mode Clock Control Register	HALTMODE	0x0000_0000	R/W	16/32bit
0x14	IO Clock Control Register	IOCLKCTL	0x0000_0000	R/W	16/32bit
0x18	Clock Select Register	CLK32SEL	0x0000_0000	R/W	16/32bit
0x1C	HALT Control Register	HALTCTL	—	WO	16/32bit
0x20	Memory Remap Register	REMAP	0x0000_0000	R/W	16/32bit
0x24	Software Reset Register	SOFTIRST	—	WO	32bit
0x28	UART Clock Divider Register	UARTDIV	0x0000_0000	R/W	16/32bit
0x2C	MD Bus Pulldown Control Register	MDPLDCTL	0x0000_0000	R/W	16/32bit
0x30	GPIOC Resistor Control Register	PORTCRCTL	0x0000_0000	R/W	16/32bit
0x34	GPIOD Resistor Control Register	PORTDRCTL	0x0000_0000	R/W	16/32bit
0x38	GPIOE Resistor Control Register	PORTERCTL	0x0000_0000	R/W	16/32bit
0x3C	Internal TEST Mode Register	ITESTM	0x0000_0000	R/W	32bit
0x40	Embedded Memory Control Register	EMBMEMCTL	0x0000_0010	R/W	16/32bit

13.4.2 レジスタ詳細説明

Chip ID Register (CHIPID)							
SYS[0x00] 初期値 = 0x0650_100X				Read Only			
				PRODUCT ID [23:16]			
31	30	29	28	27	26	25	24
				PRODUCT ID [15:8]			
23	22	21	20	19	18	17	16
				PRODUCT ID [7:0]			
15	14	13	12	11	10	9	8
Reserved				REVISION CODE			
7	6	5	4	3	2	1	0

Bits[31:8] : **Product ID Code [23:0]**
このチップでは 16 進表記で 065010h が埋め込まれています。

Bits[7:3] : **予約**

Bits[2:0] : **Revision Code [2:0]**
この IC のレビジョンを示します。最初のチップが REV1 で 01h になります。以下、版を変更するごとに 1 ずつ増えてゆきます。

13. システムコントローラ(SYS)

Chip Configuration Register (CHIPCFG)								
SYS[0x04]		初期値 = 0x0000_XXXX						Read Only
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	CONF [15:8]		11	10	9
7	6	5	4	CONF [7:0]		3	2	1
								0

Bits[15:0] : **CONF [15:0]**
 CNF[15:0]は MD[15:0]データバスにつながったプルアップ／プルダウン抵抗の状態を RESET#の立ち上がりでサンプルし、内部の動作を決めるために利用されます。
 詳細な機能は 4.1 システムコンフィギュレーションの項を参照してください。

PLL Setting Register 1 (PLLSET1)								
SYS[0x08]		初期値 = 0x0421_D46A						Read/Write
n/a	CS [1:0]				CP [4:0]			
31	30	29	28	27	26	25	24	
		RS [3:0]				VC[3:0]		
23	22	21	20	19	18	17	16	
		N-Counter [3:0]		W-Divider [1:0]]		L-Counter [9:8]		
15	14	13	12	11	10	9	8	
L-Counter [7:0]								
7	6	5	4	3	2	1	0	

このレジスタは内蔵 PLL の動作周波数を決定するレジスタです。設定値を変更する場合には、必ず PLL Setting Register 2 (SYS[0x0C]) の Bit 1 (PLLEN) に “0” を設定し、PLL をパワーダウン状態にしてから行ってください。具体的な推奨設定値については 14.5 Appendix A, 14.6 Appendix B を参照願います。

Bits [30:29] : **CS [1:0]**
 内蔵 PLL の LPF の容量値を調整します。推奨値にしたがってください。

Bits [28:24]: **CP [4:0]**
 内蔵 PLL の CP の電流値を調整します。推奨値にしたがってください。

Bits [23:20]: **RS [3:0]**
 内蔵 PLL の LPF の抵抗値を調整します。推奨値にしたがってください。

Bits [19:16] : **VCO VC[3:0]**
 内蔵 PLL の VCO 動作のためのパラメータ指定です。推奨値にしたがってください。

Bits [15:12] : **NN value N-Counter [3:0]**
 この N-Counter は下記の L-Counter と共に、PLL の通倍率を決定するために使用されます。詳細は LL Value の説明、および PLL の設定例を参照してください。

Bits [11:10] : **W-Divider [1:0]**
 内蔵 PLL の内部で PLL-Out を分周するときの値を指定します。
 00 : 使用禁止
 01 : 1/2 分周
 10 : 1/4 分周
 11 : 1/8 分周
 推奨値にしたがってください。

Bits [9:0] : **LL value L-Counter [9:0]**
 これらの値は内蔵 PLL の通倍率を決定します。推奨値にしたがってください。

$$\text{PLL Output} = (\text{N-Counter}+1) \times (\text{L-Counter}+1) \times \text{CLKI}$$

$$= \text{NN} \times \text{LL} \times \text{CLKI}$$
 NN=N-Counter+1, LL=L-Counter+1、CLKI=外部クロック入力 (32.768kHz)

PLL Setting Register 2 (PLLSET2)							
SYS[0x0C]				初期値 = 0x0000_0000			
(Read/Write)							
31	30	29	28	n/a	27	26	25
23	22	21	20	n/a	19	18	17
15	14	13	12	n/a	11	10	9
Reserved				n/a			
7	6	5	4	3	2	1	0
				PLLEN (R/W)			
				0			

13. システムコントローラ(SYS)

Bits [3:0]のクロック On/Off 指定は、“1”を書いてもすぐにクロックが停止するわけではなく、HALT Control Register を介して HALT モードに移行した間のみ有効になります。例えば、実行すべき Job が無い場合、または何かの割り込みイベントを待っている場合にこの機能を利用して、何もしないで CPU が待っている間の低電力化が図れます。

* 使用上の制限：AHB1 バスクロックを HALT で停止しようとする時には、必ず CPUCLK も HALT で停止する指定をしてください。 CPUCLK の停止については、AHB1 バスクロックと独立に制限なく HALT による停止指定ができます。

IO Clock Control Register (IOCLKCTL)								Read/Write
SYS[0x14] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	IOCLKCTL 8
7	6	5	4	IOCLKCTL [7:0]				8
				3	2	1	0	

このレジスタの各 Bit は対応する I/O (Timer, UART, SPI... など) へクロックを供給するか供給を停止するかを指定します。“1”を書くことによりクロックが供給され、“0”を書くことによりクロック供給が停止します。使用しない I/O 機能に対して “0” を書くことにより低消費電力化が図れます。

Bits [31:9] : 予約 (0)

Bits [8:0] : IOCLKCTL [8:0]

Bit8 (I2S_CLKEN)	: I2S 用のクロックの On/Off を指定します。
Bit7 (Reserved)	
Bit6 (UART_CLKEN)	: UART 用クロックの On/Off を指定します。
Bit5 (DMAC2_CLKEN)	: DMAC2 用クロックの On/Off を指定します。
Bit4 (SPI_CLKEN)	: SPI 用クロックの On/Off を指定します。
Bit3 (I2C_CLKEN)	: I2C 用クロックの On/Off を指定します。
Bit2 (TIMER_CLKEN)	: Timer Ch0/1/2 用クロックの On/Off を指定します。
Bit1 (CF_CLKEN)	: CF Card I/F 用クロックの On/Off を指定します。
Bit0 (Ether_CLKEN)	: Ethernet 用クロックの On/Off を指定します。

Clock Select Register (CLK32SEL)								Read/Write
SYS[0x18] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	n/a	4	3	2	1	CLKSEL 0

Bit 0 :

CLKSEL

32kHz または PLL 出力のどちらをシステムクロックとして使用するかを決めます。“PLL 出力を使用”に指定する場合には、PLL の諸パラメータをあらかじめ設定しておき、更に PLL をイネーブルにし、適切な PLL 安定時間 (100ms) を保持した後、この PLL 出力変更 Bit を 1 に設定する必要があります。

- 0 : 32kHz
- 1 : PLL 出力を使用

HALT Control Register (HALTCTL)							
SYS[0x1C]		初期値 = —				Write Only	
31	30	29	Halt Control [31:24]		26	25	24
			28	27			
23	22	21	Halt Control [23:16]		18	17	16
			20	19			
15	14	13	Halt Control [15:8]		10	9	8
			12	11			
7	6	5	Halt Control [7:0]		2	1	0
			4	3			

Bits [31:0] : **Halt Control [31:0]**
このレジスタに任意の値を書くことにより、チップを HALT モードへ移行させることができます。

Memory Remap Register (REMAP)								
SYS[0x20]		初期値 = 0x0000_0000					Read/Write	
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	n/a	4	3	2	REMAP2 1	REMAP1 0

リセット後のメモリマップを変更できます。Remap 機能により、リセット後に 0x0 番地に見えていた空間に SDRAM の空間がアサインされます。詳細はシステムコントローラの Appendix を参照してください。通常は使用する必要はありません。RAM ベースで走行する OS によっては使い勝手がよくなります。

Bit1 : **REMAP2**
AHB2 Bus 側のメモリマップを変更できます。
0 : リセット後のメモリマップになります。
1 : リセット後のメモリマップを変更します。

Bit0 : **REMAP1**
AHB1 Bus 側のメモリマップを変更できます。
0 : リセット後のメモリマップになります。
1 : リセット後のメモリマップを変更します。
注意 : メモリマップ変更の操作は、メモリマップの影響を受けない領域で変更コードを実行するなどの注意が必要です。
また、AHB1/AHB2 間でのメモリマップの矛盾を避けるため、REMAP1 と REMAP2 は同時にセットすることを推奨いたします。

Software Reset Register (SOFRST)							
SYS[0x24]		初期値 = —				Write Only	
31	30	29	Software Reset [31:24]		26	25	24
23	22	21	Software Reset [23:16]		18	17	16
15	14	13	Software Reset [15:8]		10	9	8
7	6	5	Software Reset [7:0]		2	1	0

Bits [31:0] : **Software Reset [31:0]**
このレジスタに AA5555AAh を書くことにより本 IC (S1S65010) 内のすべてのレジスタが初期化され、CPU はリセットされます。

13. システムコントローラ(SYS)

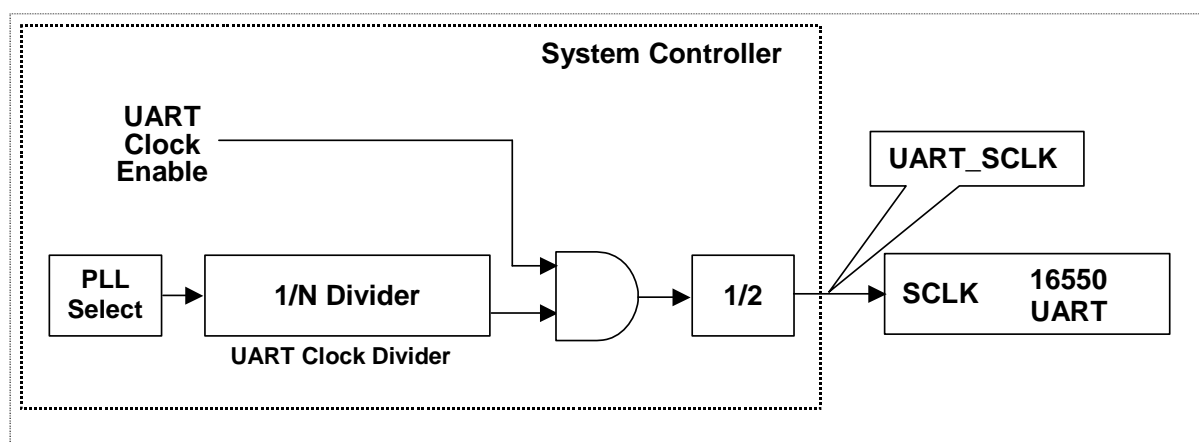
UART Clock Divider Register (UARTDIV)							
SYS[0x28]				初期値 = 0x0000_0000			
				Read/Write			
31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
				UARTCLKDIV [7:0]			
7	6	5	4	3	2	1	0

このレジスタは UART 用のボーレート TIME ベース用分周器として使用されます。本 IC では、基本的に PCLK クロックが、この分周比×1/2 分周によって分周されて UART の SCLK (=転送レート生成クロック) に供給されます。

Bits [7:0] : UARTCLKDIV [7:0]
 分周比 1/N を生成します。(N = Bits[7:0] + 1)
 0 : 1/1
 1 : 1/2 分周
 .
 .
 255 : 1/256 分周

UART への UART_SCLK は、上記の分周後、さらに 1/2 分周されたクロックが供給されます。即ち、UART_SCLK = (PCLK の周波数) * 1/N * 1/2 となります。(下図を参照。)

注意：この UART_SCLK は SPI I/F 用クロックの SCLK とは全く異なります。



MD Bus Pulldown Control Register (MDPLDCTL)							
SYS[0x2C]				初期値 = 0x0000_0000			
				Read/Write			
31	30	29	28	27	26	25	24
				Reserved			
23	22	21	20	19	18	17	16
				MDPLDNDIS [15:8]			
15	14	13	12	11	10	9	8
				MDPLDNDIS [7:0]			
7	6	5	4	3	2	1	0

Bits [15:0] : MDPLDNDIS [15:0]
 MD[15:0] Bus に内蔵されているプルダウン抵抗の接続／切り離しを制御します。リセット後、必要に応じて (特にローパワーアプリケーション時には外部でのプルアップ抵抗の有無に応じて) 切り離すことが可能です。
 各ビットはそれぞれ MD[15:0]の各端子に対応しています。
 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
 1 : プルダウン抵抗ディセーブル

GPIOC Resistor Control Register (PORTCRCTL)								
SYS[0x30]		初期値 = 0x0000_0000						Read/Write
31	30	29	28	Reserved		26	25	24
23	22	21	20	Reserved		18	17	16
15	14	13	12	Reserved		10	9	8
				PORTCPDDIS [7:0]				
7	6	5	4	3	2	1	0	

Bits [7:0] :

PORTCPDDIS [7:0]

このレジスタは GPIOC[7:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOC[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
1 : プルダウン抵抗ディセーブル

GPIOD Resistor Control Register (PORTDRCTL)									
SYS[0x34]		初期値 = 0x0000_0000					Read/Write		
31	30	29	28	Reserved		27	26	25	24
23	22	21	20	Reserved		19	18	17	16
15	14	13	12	Reserved		11	10	9	8
PORTDPUDDIS [7:2]				Reserved					
7	6	5	4	3	2	1	0		

このレジスタは GPIOD[7:2]に内蔵のプルアップまたはプルダウン抵抗の接続／切り離しを制御するためのレジスタです。

Bits [7:4] :

PRTPUDDIS [7:4]

これらのビットは GPIOD[7:4]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOD[7:4]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
1 : プルダウン抵抗ディセーブル

Bits [3:2] :

PRTPUDDIS [3:2]

これらのビットは GPIOD[3:2]端子内蔵のプルアップ抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOD[3:2]の各端子に対応しています。

- 0 : プルアップ抵抗イネーブル (リセット後はこの状態です。)
1 : プルアップ抵抗ディセーブル

BitS [1:0] :

予約 (0)

GPIOE Resistor Control Register (PORTERCTL)									
SYS[0x38]		初期値 = 0x0000_0000					Read/Write		
31	30	29	28	Reserved		27	26	25	24
23	22	21	20	Reserved		19	18	17	16
15	14	13	12	Reserved		11	10	9	8
				PORTEPUDIS [7:0]					
7	6	5	4	3	2	1	0		

Bits [7:0] :

PORTEPUDIS [7:0]

このレジスタは GPIOE[7:0]端子内蔵のプルアップ抵抗の接続／切り離しを制御します。
各ビットはそれぞれ GPIOE[7:0]の各端子に対応しています。

- 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
1 : プルダウン抵抗ディセーブル

13. システムコントローラ(SYS)

Internal TEST Mode Register (ITESTM)							
SYS[0x3C]				初期値 = 0x0000_0000			
31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

この LSI の内部テストに使用されるレジスタです。ユーザは触ることはできません。
リセット時のまま、何もしないでください。

Embedded Memory Control Register (EMBMEMCTL)							
SYS[0x40]				初期値 = 0x0000_0010			
				Read/Write			
31	30	29	28	27	26	25	24
23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
Reserved		EMBRAMSEL[1:0]		Reserved		EMBWAITEN[1:0]	
7	6	5	4	3	2	1	0

Bits [31:6] : 予約 (0)

Bits [5:4] : EMBRAMSEL[1:0] Embedded SRAM Select

- 00 : JPEG ラインバッファとして全てのサイズ(78KB)が割り当てられます。(内蔵 SRAM は使用できません。)
- 01 : JPEG ラインバッファとして 30KB、内蔵 SRAM として 48KB を使用できます (S1S65000 互換、内蔵 SRAM として使用する場合のスタートアドレス : 0x 2000_0000)。
- 10 : JPEG ラインバッファとして 48KB、内蔵 SRAM として 30KB を使用できます (内蔵 SRAM として使用する場合のスタートアドレス : 0x 2000_C000)。
- 11 : 内蔵 SRAM として全てのサイズ (78KB) が割り当てられます (内蔵 SRAM として使用する場合のスタートアドレス : 0x 2000_0000)。

EMBRAM 内蔵 SRAM
SEL[1:0] : スタート
アドレス

[01, 11] : 0x 2000_0000

[10] : 0x 2000_C000

内蔵 SRAM

48 KB

内蔵 SRAM

30 KB

Bits [3:2] : 予約 (0)

Bits [1:0] : EMBWAITEN[1:0] Embedded SRAM Wait Control

- 00 : ノーウエイト
- 01 : Read Access Wait ON (Read : 1 ウエイト, Write : ノーウエイト)
- 10 : Read Access Wait ON、Read Data Wait ON、
(Read : 2 ウエイト, Write : ノーウエイト)
- 11 : Read Access Wait ON、Write Access Wait ON、Write Access Wait On
(Read : 2 ウエイト, Write : 1 ウエイト)

13.5 Appendix A: PLL Setting Example

以下に PLL の設定例を示します。

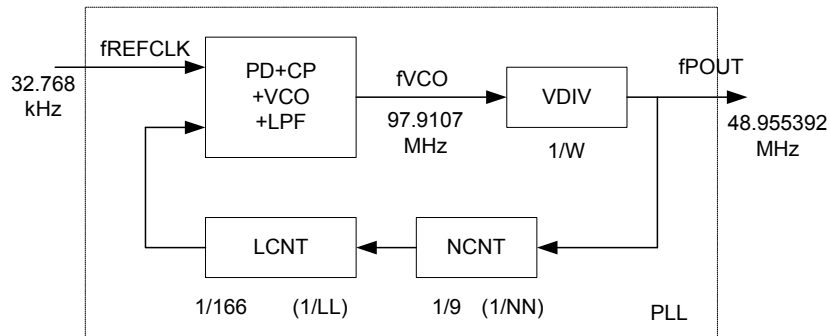
CPU Clock = 48.955392 MHz の場合：

図 13.2 PLL Setting Example

$f_{\text{POUT}} = 48.955392 \text{ MHz}$ を選択した場合：

$f_{\text{REFCLK}} = 32.768 \text{ kHz}$

$f_{\text{POUT}} / f_{\text{REFCLK}} = 48.955392 \text{ MHz} / 32.768 \text{ kHz} = 1494$ (分周比)

分周比は $1494 = 2 \times 3 \times 3 \times 83 = 166 \times 9$

したがって分周の値として、 $NN = 9$ 、 $LL = 166$ を選ぶことができる。

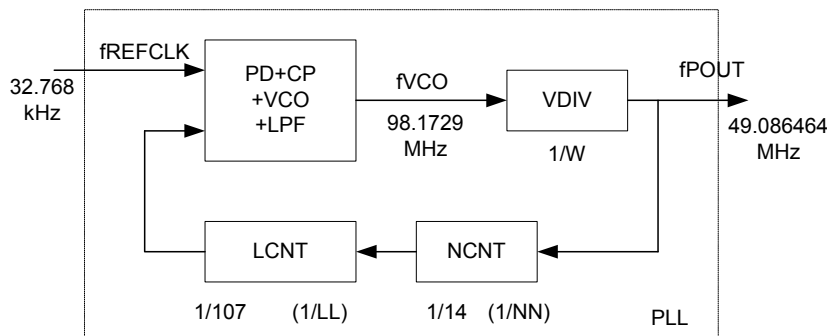
$NN = 9$ 、つまり N-Counter [3:0] = 8 = 1000 (Binary)

$LL = 166$ 、つまり L-Counter [9:0] = 165 = 00_1010_0101 (Binary)

VCO 周波数： $f_{\text{VCO}} = f_{\text{POUT}} \times W = 48.955392 \text{ MHz} \times 2 = 97.910784 \text{ MHz}$

この場合 $W = 2$ で、約 100MHz であるので、

$W = 2$ 、つまり W-Divider [1:0] = 01 (Binary) でよい。

CPU Clock = 49.086464 MHz の場合：

$f_{\text{POUT}} = 49.086464 \text{ MHz}$ を選択した場合：

$f_{\text{REFCLK}} = 32.768 \text{ kHz}$

$f_{\text{POUT}} / f_{\text{REFCLK}} = 49.086464 \text{ MHz} / 32.768 \text{ kHz} = 1498$ (分周比)

分周比は $1498 = 2 \times 7 \times 207 = 107 \times 14$

したがって分周の値として、 $NN = 14$ 、 $LL = 107$ を選ぶことができる。

$NN = 14$ 、つまり N-Counter [3:0] = 13 = 1101 (Binary)

$LL = 107$ 、つまり L-Counter [9:0] = 106 = 00_0110_1010 (Binary)

VCO 周波数： $f_{\text{VCO}} = f_{\text{POUT}} \times W = 49.086464 \text{ MHz} \times 2 = 98.172928 \text{ MHz}$

この場合 $W = 2$ で、約 100MHz であるので、

$W = 2$ 、つまり W-Divider [1:0] = 01 (Binary) でよい。

13. システムコントローラ(SYS)

13.6 Appendix B: PLL Parameter table

PLL Setting Register1 の設定は使用する周波数のレンジに応じて以下の値を使用してください。PLL の出力安定時間は Max100ms 必要ですので、設定後 PLL を ON にしても、実際に 32kHz から切り換える際には、必ずこの時間を待ったあと、CLKSEL = 1 にして所望のクロックにスイッチしてください。なお PLL の周波数の変更は 32kHz で走行時で、かつ PLEN = 0 の時 (= PLL Disable) にのみ変更可能です。32kHz 以外の周波数で既に走行時に、別の周波数にダイレクトに移行することはできません。必ず 32kHz を経由してください。実際の PLL Setting Register1 の設定例を以下に示します。

ターゲット周波数例	通倍率 from 32.768kHz	PLL Setting Register1 (Hex)	NN N-Counter	LL L-Counter
48.955392MHz	1494 = 9 x 166	0x042184A5	1000b	00_1010_0101b
49.086464MHz	1498 = 14 x 107	0x0421D46A	1101b	00_0110_1010b

W-Divider、VC、RS、CP、CS の各値は、VCO 周波数が 90-100MHz である限り、以下の値をご使用ください。

W-Divider	VC[3:0]	RS[3:0]	CP[4:0]	CS[1:0]
01b	0001b	0010b	0_0100b	00b

13.7 Appendix C: Remap後のメモリマップ

13.7.1 Remap後のメモリマップ (AHB1)

Remap 機能により、リセット後のメモリマップを変更することができます。ROM ベースで走行する OS では必要ありませんが、RAM ベースで走行する OS にとっては Remap 後のメモリマップの方が使いやすい場合もあります。

表 13.2 Remap 後の AHB1 メモリマップ

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x07FF_FFFF	128Mbyte	外部 SDRAM	CS2	16
0x0800_0000	0x0FFF_FFFF	128Mbyte	Reserved		
0x1000_0000	0x1FFF_FFFF	256Mbyte	Reserved		
0x2000_0000	0x2FFF_FFFF	256Mbyte	内蔵 SRAM		32
0x3000_0000	0x37FF_FFFF	128Mbyte	外部 SDRAM	CS2	16
0x3800_0000	0x3FFF_FFFF	128Mbyte	Reserved		
0x4000_0000	0x4FFF_FFFF	256Mbyte	Reserved		
0x5000_0000	0x5FFF_FFFF	256Mbyte	Reserved		
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	Reserved		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC7FF_FFFF	128Mbyte	外部 ROM	CS0/CS1	16
0xC800_0000	0xCFFF_FFFF	128Mbyte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	Reserved		
0xF000_0000	0xFFFF_FFFF	256Mbyte	内蔵 I/O エリア		32/16/8

13.7.2 Remap後のメモリマップ (AHB2)

表 13.3 メモリマップ (AHB2)

Start Address	End Address	Size	Device	外部 Chip Select	Device Bus size
0x0000_0000	0x07FF_FFFF	128Mbyte	外部 SDRAM	CS2	16
0x0800_0000	0x0FFF_FFFF	128Mbyte	Reserved		
0x1000_0000	0x1FFF_FFFF	256Mbyte	Reserved		
0x2000_0000	0x2FFF_FFFF	256Mbyte	内蔵 SRAM		32
0x3000_0000	0x37FF_FFFF	128Mbyte	外部 SDRAM	CS2	16
0x3800_0000	0x3FFF_FFFF	128Mbyte	Reserved		
0x4000_0000	0x4FFF_FFFF	256Mbyte	Reserved		
0x5000_0000	0x5FFF_FFFF	256Mbyte	Reserved		
0x6000_0000	0x6FFF_FFFF	256Mbyte	Reserved		
0x7000_0000	0x7FFF_FFFF	256Mbyte	Reserved		
0x8000_0000	0x8FFF_FFFF	256Mbyte	Reserved		
0x9000_0000	0x9FFF_FFFF	256Mbyte	Reserved		
0xA000_0000	0xAFFF_FFFF	256Mbyte	Reserved		
0xB000_0000	0xBFFF_FFFF	256Mbyte	Reserved		
0xC000_0000	0xC7FF_FFFF	128Mbyte	外部 ROM/SRAM	CS0/CS1	16
0xC800_0000	0xCFFF_FFFF	128Mbyte	Reserved		
0xD000_0000	0xDFFF_FFFF	256Mbyte	Reserved		
0xE000_0000	0xEFFF_FFFF	256Mbyte	JPEG DMA Port		32
0xF000_0000	0xFFFF_FFFF	256Mbyte	Reserved		

13.8 Appendix D : クロック・コントロールブロック図

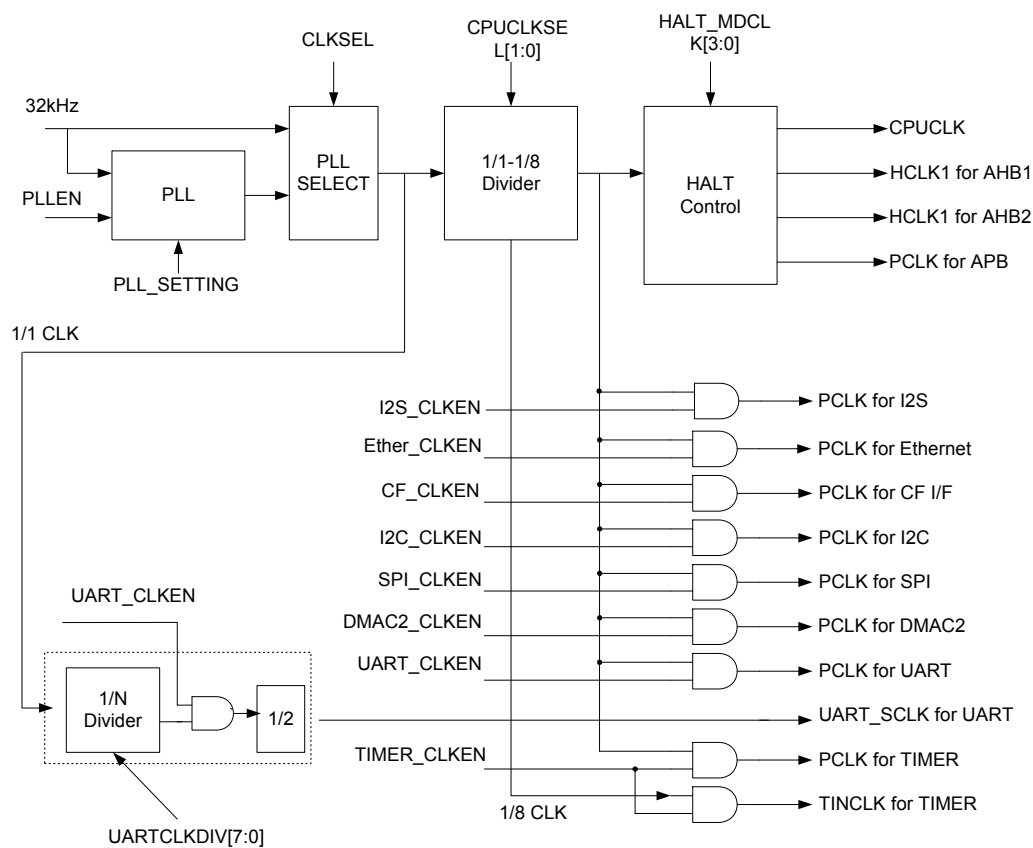


図 13.3 クロック・コントロールブロック図

13. システムコントローラ(SYS)

図でクロック信号名“PCLK_for_ブロック名”は、各ブロックでのバス制御およびレジスタ制御用に使用されるクロックを意味しています。また UART SCLK は UART での送受信レート生成用のクロック入力、TINCLK は Timer ブロックでのカウント用基本クロック入力にそれぞれ使用されます。

13.9 Appendix D : UART Clock 設定例:

CPU Clock = 48.955392 MHz の場合 :

Baudrate	Ideal x16 Clock (Hz)	SYS[0x28]	16550 Divisor Value (DEC)	16550 Divisor Value (HEX)	Percent Error %	Actual x16 Clock (Hz)	UART_SCLK
110	1760	0	13908	3654	0.00	1760.0	24477696
300	4800	0	5100	13EC	0.01	4799.5	24477696
600	9600	0	2550	09F6	0.01	9599.1	24477696
1200	19200	0	1275	04FB	0.01	19198.2	24477696
2400	38400	0	637	027D	0.07	38426.5	24477696
4800	76800	0	319	013F	0.09	76732.6	24477696
9600	153600	0	159	009F	0.23	153947.8	24477696
14400	230400	0	106	006A	0.23	230921.7	24477696
19200	307200	0	80	0050	0.40	305971.2	24477696
38400	614400	0	40	0028	0.40	611942.4	24477696
57600	921600	0	27	001B	1.63	906581.3	24477696
115200	1843200	0	13	000D	2.15	1882899.7	24477696

CPU Clock = 49.086464 MHz の場合 :

Baudrate	Ideal x16 Clock (Hz)	SYS[0x28]	16550 Divisor Value (DEC)	16550 Divisor Value (HEX)	Percent Error %	Actual x16 Clock (Hz)	UART_SCLK
110	1760	0	13945	3679	0.00	1760.0	24543232
300	4800	0	5113	13F9	0.00	4800.2	24543232
600	9600	0	2557	09FD	0.02	9598.4	24543232
1200	19200	0	1278	04FE	0.02	19204.4	24543232
2400	38400	0	639	027F	0.02	38408.8	24543232
4800	76800	0	320	0140	0.13	76697.6	24543232
9600	153600	0	160	00A0	0.13	153395.2	24543232
14400	230400	0	107	006B	0.44	229376.0	24543232
19200	307200	0	80	0050	0.13	306790.4	24543232
38400	614400	0	40	0028	0.13	613580.8	24543232
57600	921600	0	27	001B	1.37	909008.6	24543232
115200	1843200	0	13	000D	2.43	1887940.9	24543232

----- 設定例終わり -----

14. メモリコントローラ (MEMC)

14.1 概要

メモリコントローラは非同期 SRAM タイプデバイスおよび SDRAM をコントロールする AHB バスインタフェースのメモリコントローラです。非同期 SRAM は最大 4 つまで、SDRAM は最大 2 つまでのデバイスをサポートする事ができます。（“デバイス 0” ～ “デバイス 3”）

ただし、S1S65010 においてはデバイス 3 をサポートしていないため、非同期 SRAM タイプデバイスは最大 3 つまで、SDRAM は 1 つまでの使用が可能です。

メモリコントローラの特長を以下に示します。

- SRAM タイミングデバイスに対応します。
- SDRAM に対応します。
- SDRAM オートリフレッシュのリフレッシュ間隔をデバイスにあわせて調整することができます。メモリコントローラが他のメモリアクセス等で使用できない場合は、複数回のリフレッシュを貯めこみ、メモリコントローラが空いた時点でバーストリフレッシュをすることができます。リフレッシュはバックグラウンドで実行します。
- SDRAM のセルフリフレッシュをサポートします。またセルフリフレッシュに入っている SDRAM に読み書きを行うことができます。この場合、セルフリフレッシュから抜けたあと、アイドル状態のままにいるか、再びセルフリフレッシュモードに入るかを選択できます。

14.1.1 SRAMコントローラ

- SRAM コントローラは次のデバイスをサポートします。
非同期 SRAM, ROM, FLASH, EEPROM
- 外部 16 ビットバス
- バースト転送をサポート
- wait state をプログラム可能
- WE#, OE#の挿入タイミングがプログラム可能。
- デバイス 0 は外部バス幅をブート時に設定可能（*S1S65010 ではサポートしていません。）
- WE#共通、バイトイネーブルが独立の x16 タイプのスタティックメモリに外部ロジックなしで接続できます。

14.1.2 SDRAMコントローラ

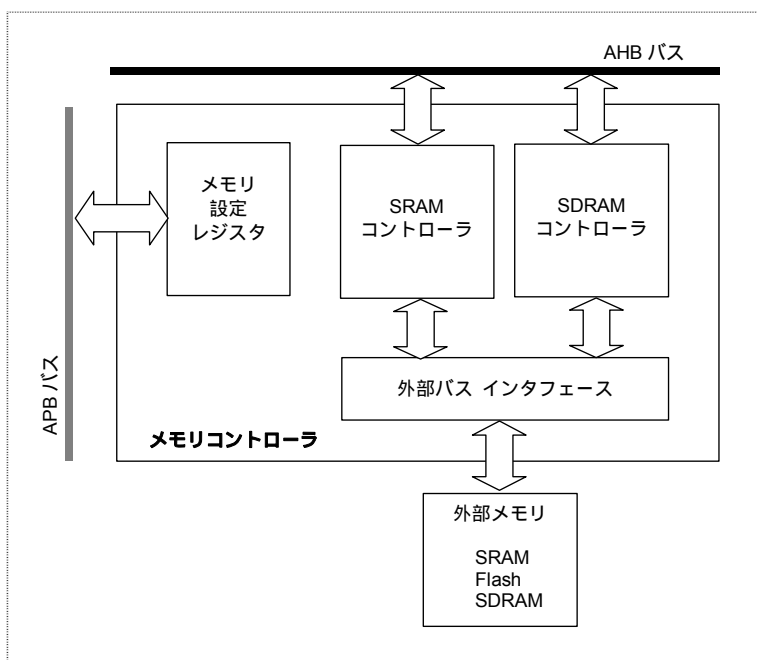
- SDRAM コントローラは次のデバイスをサポートします。
SDRAM
- 16 ビットバス
- バースト転送をサポート
- オートプリチャージの ON/OFF をプログラム可能
- セルフリフレッシュモードデバイスからの IN/OUT 自動設定モードサポート
- SDRAM イニシャライズ手動モードサポート

14.1.3 外部バスインタフェースモジュール

- SRAM コントローラと SDRAM コントローラの両方のモジュールを外部インタフェース共通で使いたい場合に必要なモジュールです。外部メモリとのアクセスに対して、SRAM コントローラと SDRAM コントローラの外部バスアクセス要求の調停を行います。バスの要求はハンドシェイク方式です。拡張により複数のバス要求に対応できます。
- SDRAM コントローラのプライオリティが 1 番目、SRAM コントローラのプライオリティが 2 番目です。同じクロックでバス要求があった場合は SDRAM コントローラからの要求を優先します。一方のメモリコントローラがアクセス中にもう一方のコントローラからアクセス要求があった場合は、現在外部バスを使用中のコントローラがバスを放棄するのまで他方のコントローラはバスの使用を待たされます。

14. メモリコントローラ (MEMC)

14.2 ブロック図



14.3 外部端子

メモリコントローラ関連の外部端子は以下の通りです。

表 14.1 メモリコントローラ関連外部端子一覧

端子名	入出力	端子機能	マルチプレクス端子 / 備考
MA23*	O	メモリアドレス出力信号 23	GPIOB7/INT7/I2S1_WS
MA22*	O	メモリアドレス出力信号 22	GPIOB6/INT6/I2S1_SCK
MA21*	O	メモリアドレス出力信号 21	GPIOD1
MA20*	O	メモリアドレス出力信号 20	GPIOD0/INT8
MA [19:12]	O	メモリアドレス出力信号[19:12]	
MA11	O	メモリアドレス出力信号 11	CFREG#**
MA [10:0]	O	メモリアドレス出力信号[10:0]	CFADDR [10:0]**
MD [15:0]	I/O	メモリデータ入出力信号[15:0]	MODSEL [15:0]**
MCS2#	O	メモリ用チップセレクト信号 2	/ SDRAM,他スタティックメモリ
MCS [1:0]#	O	メモリ用チップセレクト信号[1:0]	/ FlashROM/ROM/SRAM
MOE#	O	メモリ出力用ストローブ信号	CFOE#** / FlashROM/ROM/SRAM
MWE1#	O	メモリ用 Write イネーブル信号	/ SDRAM
MWE0#	O	メモリ用 Write イネーブル信号	CFWE#* / FlashROM/ROM/SRAM
MCLK	O	SDRAM 用クロック出力信号	
MCLKEN	O	SDRAM 用クロックイネーブル出力信号	
MRAS#	O	SDRAM 用 RAS 信号	
MCAS#	O	SDRAM 用 CAS 信号	
MDQMH	O	バイトイネーブル信号	/ 上位バイト用 DQM 信号 (SDRAM)
MDQML	O	(スタティックメモリ用)	/ 下位バイト用 DQM 信号 (SDRAM)
MWAIT	I	メモリコントローラ用ウェイト信号	CFWAIT#と端子を共有

注意(*) : これらのメモリコントローラ用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

注意(**) : コンパクトフラッシュインタフェース(CF)動作時には、メモリコントローラ用端子が CF の外部端子として動作します。

注意(***) : パワーオンリセット時には内部の動作モードを決定するための MODSEL 端子として動作します。

14.4 Memory controller

14.4.1 デバイス数

最大 4 つまでのデバイス（デバイス 0-3）を接続できます。ただし、S1S65010 においては最大 3 つまでのデバイス（デバイス 0-2）が使用可能です。

14.4.2 メモリタイプ

デバイス 0、1 は SRAM 系限定です。デバイス 2 は、SRAM 系、SDRAM 系のいずれにも対応できます。接続するメモリの種類に応じて「メモリタイプ」を設定してください。個別の詳細な設定については、SRAM コントローラ、SDRAM コントローラ、の各レジスタにおいて設定します。リセット直後では、デバイス 0 が SRAM/ROM に設定され、デバイス 1-3 は DISABLE 状態になっています。

14.4.3 外部メモリ幅

外部メモリのバス幅はデバイス毎に 16 ビット幅のみをサポートします。

14.4.4 デバイスのセグメント設定

SRAM 系、SDRAM 系でそれぞれ 1 バンク、128MB がアサインされています。各デバイスは 1 バンクの中で自由にセグメントを設定する事ができます。セグメントは 1MB 単位で最大 128MB まで自由に設定できます。同じメモリ系に属するデバイスが重なるセグメント領域を指定していても、ハードウェアはそれをキャンセルしません。重複領域にアクセスした場合、要求されたアクセスは実行されず、AHB ERROR リスポンスをマスタに返します。セグメントの領域指定はデバイスをイネーブルにしている場合に限り有効です。

14.5 SRAM control

14.5.1 デバイスの選択

使用するデバイスコントローラ番号の設定レジスタの MTYPE ビットを SRAM 系に設定した場合に、該当するデバイスの制御レジスタが有効になります。

14.5.2 タイミング設定

各デバイスコントローラのタイミング設定は、メモリコントローラの供給されるクロック周期に係数をかけるという形で設定します。クロック周期にあわせて、最適な値に設定してください。

調整できる項目としては、読み出し、書き込みのタイミング、OE,WE 信号の挿入タイミングなどがあります。

14.5.3 ライトプロテクト

該当する制御レジスタの WPROTECT ビットを“1”に設定する事で対象となるデバイスを書き込み禁止にする事ができます。

14. メモリコントローラ (MEMC)

14.6 SDRAM control

14.6.1 デバイスの選択

使用するデバイスコントローラ番号の設定レジスタの MTYPE レジスタを SDRAM 系に設定した場合に、該当するデバイスの制御レジスタが有効になります。

14.6.2 モードレジスタ設定

「SDRAM モードレジスタ」を設定した後、初期化制御レジスタにてデバイスに LMR 命令を発行します。通常は INIT_SD (MEMC[0x80]bit15) を使用してください。この時命令を発行するターゲットのデバイスの選択を同時に行ってください。各デバイスコントローラのタイミング設定は、クロック数で設定します。クロック周期にあわせて、最適な値に設定してください。

14.6.3 バースト対応

SDRAM はバースト長 1,2,4,8,フルページに対応します。(S1S65010 ではフルページはサポートしていません。)

アドレスはインクリメントバーストに限定されています。SDRAM では同一 ROW の中ではバースト長を越える場合でもアクセスのペナルティはありません。あるデバイスへの R/W 中に、異なるデバイスへのアクセス要求によって割込みが起きた場合、SDRAM コントローラは自動的にプリチャージまたはバーストターミネートコマンドを発行してバスの引き渡しを迅速に行ないます。

14.6.4 オートプリチャージ設定

読み出し、書き込み動作を完了後、プリチャージを発行するかどうかを設定します。「プリチャージしない」を選択すると、ROW 系が選択されたままになり、同じページ内のデータの読み出し、書き込みが早くなります。アクティブな ROW アドレスはオートリフレッシュ時にプリチャージが行われ、その後アイドルになります。また手動でプリチャージをする事もできます。「SDRAM 設定レジスタ (MEMC[0x70])」を参照してください。

14.6.5 低消費電力化

データのアクセスが完了してアイドル状態となっている (セルフリフレッシュ状態や ROW アクティブなままの状態を含む) デバイスに対して、MCLKEN をディアサートする事ができます。SDRAM 設定レジスタ (MEMC[0x70]) の CKECTRL ビットを“1”に設定する事で有効になります。

CKECTRL ビットを“1”に設定した場合に限り、更なる低消費電力化を目的として、メモリに供給するクロック自身を止める事もできます。CLKCTRL ビットを“1”に設定する事で有効になります。

オートリフレッシュの蓄積値が設定値を超えた場合や、デバイスに対して読み書き要求がある場合、CKECTRL ビットが“1”であっても CKE を HIGH にアサートしてデータのやり取りが再開されます。

14.6.6 メモリクロック停止

CKECTRL にて MCLKEN を LOW に保つ以外に、SDRAM へのクロック供給を停止することで更なる低消費電力を実現することができます。このモードは CLKCTRL ビットを“1”にすることで有効になります。CLKCTRL ビットを有効にするときは、必ず CKECTRL ビットを有効にしてください。メモリコントローラは接続されている全ての SDRAM が次のいずれかの状態である場合にメモリクロック MCLK を停止します。

メモリ未初期化の状態、セルフリフレッシュモード中または ROW アクティブでないチップ IDLE 状態。

メモリクロック停止状態においても、メモリの読み書き要求やオートリフレッシュ要求がある場合はメモリクロックは再び供給を開始します。

なお例外的に、SDRAM 詳細設定レジスタ (MEMC[0x74]) 中の CLKFORCE ビットを“1”にする

と、SDRAM メモリの状態にかかわらず、MCLK の出力が継続されます。

14.6.7 省電力モードサポート

システムが省電力モードに入る時に、メモリコントローラ自体へのクロックが停止される場合があります。SDRAM 内のデータを保持するためには、オートリフレッシュかセルフリフレッシュが必要ですが、メモリコントローラのクロック供給がなくなるので、全ての SDRAM をセルフリフレッシュモードに入れる必要があります。

ソフトウェアによって全ての SDRAM をセルフリフレッシュモードに入れてから、システムコントローラを省電力モードに設定することで実現してください。

14.6.8 オートリフレッシュ制御

オートリフレッシュは少なくとも一つの SDRAM が初期化され、かつ IDLE（セルフリフレッシュは除く）状態にある場合に実行されます。周期は SDRAM リフレッシュタイマレジスタに設定された HCLK 数です。メモリコントローラは接続されている SDRAM を同時にリフレッシュしますので、リフレッシュ周期が一番頻繁にリフレッシュが必要なデバイスにあわせてください。

分散リフレッシュを基本としますが、オートリフレッシュによってデータ転送が分断されることを防ぐために、複数回のリフレッシュ要求を蓄積することができます。蓄積回数は SDRAM 詳細設定レジスタ (MEMC[0x74]) の AREFWAIT ビット[3:0]で指定します。蓄積リフレッシュカウン트가指定した回数を超えた場合に、SDRAM コントローラはリフレッシュ要求を認識して、次のメモリコントローラアイドルの際にオートリフレッシュを開始します。

リフレッシュタイミング要求タイミングにおいてデバイスがバスアクセスをしている場合は、バスアクセスを優先し、バスリクエストがなくなった時点でオートリフレッシュが行われます。

14.6.9 セルフリフレッシュ制御

メモリコントローラは SDRAM のセルフリフレッシュをサポートします。セルフリフレッシュモードには SDRAM 詳細設定レジスタ (MEMC[0x74]) の該当デバイスの SELF ビットを“1”にする事で移行します。セルフリフレッシュモードから抜ける場合は、対応するレジスタビットに“0”を設定してください。

セルフリフレッシュモードに入っている SDRAM へのアクセス (Read/Write) があつた場合は、自動的にセルフリフレッシュモードから抜け出して、必要なコマンドを実行します。この後デバイスは基本的にアイドル状態になりますが、設定により再度セルフリフレッシュモードに入るようにすることができます。このモードを使用するには SDRAM 詳細設定レジスタ (MEMC[0x74]) の RESELF ビットを“1”に設定してください。SREFCNT ビットに設定したカウント分、対象とする SDRAM へのアクセスが無くなると、自動的にセルフリフレッシュモードに入ります。

14.6.10 ステータスレジスタ

SDRAM コントローラおよび接続されるデバイスに関するステータスを知る事ができます。

14. メモリコントローラ (MEMC)

14.7 レジスタ

14.7.1 レジスタ一覧

以下にメモリコントローラのレジスタ一覧を示します。これらのレジスタのベースアドレスは、0xFFFF_A000 です。

表 14.2 レジスタ一覧 (ベースアドレス : 0xFFFF_A000)

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データ アクセス サイズ
Common configuration registers					
0x00	デバイス 0 設定レジスタ	CFG0	0x1F00_0041	R/W	32
0x04	デバイス 1 設定レジスタ	CFG1	0x7F7F_0040	R/W	32
0x08	デバイス 2 設定レジスタ	CFG2	0x7F7F_0040	R/W	32
0x0C	予約* (デバイス 3 設定レジスタ)	CFG3	0x7F7F_0040	R/W	32
SRAM controller registers					
0x20	デバイス 0 タイミングレジスタ	RAMTMG0	0x0000_1C70	R/W	32
0x24	デバイス 0 制御レジスタ	RAMCNTL0	0x0000_0001	R/W	32
0x30	デバイス 1 タイミングレジスタ	RAMTMG1	0x0000_1C70	R/W	32
0x34	デバイス 1 制御レジスタ	RAMCNTL1	0x0000_0001	R/W	32
0x40	デバイス 2 タイミングレジスタ	RAMTMG2	0x0000_1C70	R/W	32
0x44	デバイス 2 制御レジスタ	RAMCNTL2	0x0000_0001	R/W	32
0x50	予約* (デバイス 3 タイミングレジスタ)	RAMTMG3	0x0000_1C70	R/W	32
0x54	予約* (デバイス 3 制御レジスタ)	RAMCNTL3	0x0000_0001	R/W	32
SDRAM controller registers					
0x60	SDRAM モードレジスタ	SDMR	0x0000_0032	R/W	16/32
0x64	予約	—	—	—/—	—
0x68	予約	—	—	—/—	—
0x70	SDRAM 設定レジスタ	SDCNFG	0x0600_C700	R/W	32
0x74	SDRAM 詳細設定レジスタ	SDADVCNFG	0x000F_0300	R/W	32
0x80	初期化制御レジスタ	SDINIT	0x0000_0000	R/W	16/32
0x90	SDRAM リフレッシュタイマレジスタ	SDREF	0x0000_00A0	R/W	16/32
0xA0	SDRAM ステータスレジスタ	SDSTAT	0x0000_0002	RO	32

注意 * : S1S65010 では Device3 をサポートしておりません。

デバイス 1 設定レジスタ (CFG1)															
MEMC[0x04] 初期値 = 0x7F7F_0040												Read/Write			
RSV (0) 31	EDAD [6:0]							RSV (0) 23	STAD [6:0]						
30	29	28	27	26	25	24		22	21	20	19	18	17	16	
RSV (0)								XBW [1:0]		RSV (0)		MTYPE [3:0]			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 31 : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [30:24] : **EDAD[6:0] メモリセグメントエンドアドレス**
 デバイスのセグメントのエンドアドレスを 1M バイト単位で指定します。 (初期値 0x7F)

Bit 23 : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [22:16] : **STAD[6:0] メモリセグメントスタートアドレス**
 デバイスのセグメントのスタートアドレスを 1M バイト単位で指定します。(初期値 0x7F)

Bits [15:8] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [7:6] : **XBW[1:0] 外部バス幅**
外部バス幅を選択します。（S1S65010 では 16 ビットの外部バス幅のみ使用可能です。）

- 00 : 予約
- 01 : 外部バス幅=16 ビット（初期値）
- 10 : 予約（外部バス幅=32 ビット）
- 11 : 予約

Bits [5:4] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bits [3:0] : **MTYPE[3:0] メモリタイプ**
デバイス 1 として接続するメモリの種類を選択します。

0000	: ディスエーブル (初期値)
0001	: ROM, SRAM, Flash ROM
other	: 予約

デバイス 2 設定レジスタ (CFG2)															
MEMC[0x08] 初期値 = 0x7F7F_0040										Read/Write					
RSV (0)	EDAD [6:0]							RSV (0)	STAD [6:0]						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)								XBW [1:0]		RSV (0)		MTYPE [3:0]			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 31 : **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [30:24] : **EDAD[6:0] メモリセグメントエンドアドレス**
デバイスのセグメントのエンドアドレスを 1M バイト単位で指定します。（初期値 0x7F）
- Bit 23 : **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [22:16] : **STAD[6:0] メモリセグメントスタートアドレス**
デバイスのセグメントのスタートアドレスを 1M バイト単位で指定します。（初期値 0x7F）
- Bits [15:8] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [7:6] : **XBW[1:0] 外部バス幅**
外部バス幅を選択します。（S1S65010 では 16 ビットの外部バス幅のみ使用可能です。）
00 : 予約
01 : 外部バス幅=16 ビット（初期値）
10 : 予約（外部バス幅=32 ビット）
11 : 予約
- Bits [5:4] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [3:0] : **MTYPE[3:0] メモリタイプ**
デバイス 2 として接続するメモリの種類を選択します。
0000 : ディスエーブル（初期値）
0001 : ROM, SRAM, Flash ROM
1000 : SDRAM
other : 予約

注意：S1S65010 では本レジスタをサポートしていません。

Bits [3:0] : **MTYPE[3:0] メモリタイプ**
デバイス 3 に接続するメモリの種類を選択します。

0000	: ディスエーブル (初期値)
0001	: ROM, SRAM, Flash ROM
1000	: SDRAM
other	: 予約

デバイス[3*:0] タイミングレジスタ (RAMTMG[3:0])																			
MEMC[0x20, 0x30, 0x40, 0x50*]										初期値 = 0x0000_1C70					Read/Write				
RSV (0) 31	WAITWE [4:0]					RSV (0) 25	WAITOE [4:0]					RSV (0)							
	30	29	28	27	26		24	23	22	21	20	19	18	17	16				
RSV (0) 15	WAITWR [4:0]					RSV (0) 9	WAITRD [4:0]					RSV (0)							
	14	13	12	11	10		8	7	6	5	4	3	2	1	0				

注意：S1S65010 では、“デバイス 3 タイミングレジスタ”をサポートしておりません。

- Bit 31 **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [30:26] **WAITWE [4:0] ライトイネーブル信号挿入ディレイ制御**
WE#信号挿入タイミング設定（初期値 0x0）
- Bit 25 **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [24:20] **WAITOE [4:0] 出力イネーブル信号挿入ディレイ制御**
OE#信号挿入タイミング設定（初期値 0x0）
- Bits [19:15] **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [14:10] **WAITWR [4:0] ライトサイクルウェイト制御**
書き込み時のウェイトサイクル設定。SRAM/ROM デバイスに対し、書き込み時のウェイトサイクル数を設定します。（初期値 0x07）
- Bit 9 **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [8:4] **WAITRD [4:0] リードサイクルウェイト制御**
読み出し時のウェイトサイクル設定。SRAM/ROM デバイスに対し、読み出し時のウェイトサイクル数を設定します。（初期値 0x07）
- Bits [3:0] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

14. メモリコントローラ (MEMC)

デバイス[3*:0] 制御レジスタ (RAMCNTL[3:0])																		
MEMC[0x24, 0x34, 0x44, 0x54*]												初期値 = 0x0000_0001					Read/Write	
RSV (0)																		
31	30	29	28	27	26	25	24	23	22	21	20	19		18	17	16		
RSV (0)												WPROTECT		MWAITPOL[1:0]		RBLE		
15	14	13	12	11	10	9	8	7	6	5	4	3		2		1	0	

注意：このレジスタは接続するメモリが Flash ROM / ROM / SRAM の時のみ有効です。

注意：S1S65010 では、“デバイス 3 制御レジスタ (MEMC[0x54])”をサポートしておりません。

Bits [31:4]	RSV 予約 予約ビットです。必ず“0”を設定してください。
Bit 3	WPROTECT ライトプロテクト ライトプロテクトビットを設定したデバイスに対して、書き込みを実行しません。 0：ライトプロテクトなし（初期値） 1：ライトプロテクトあり
Bits [2:1]	MWAITPOL [1:0] MWAIT 信号の極性を設定します。 00：ディスエーブル（初期値） 01：ローアクティブでイネーブル 10：ハイアクティブでイネーブル 11：予約
Bit 0	RBLE バイトレーンコントロール制御設定 バイトレーンコントロールのないデバイスで書き込み時のバイトコントロールを実現するには、このビットを“0”に設定し、対象となるデバイスの WE#と本デバイスの DQM を接続してください。 0：読み出し時に DQM[1:0]が HIGH になり、書き込みを防ぎます。 1：読み出し時に DQM[1:0]が LOW になって全バイトレーンから読み出しを行います。（初期値）

14. メモリコントローラ (MEMC)

SDRAM モードレジスタ (SDMR)															
MEMC[0x60]								初期値 = 0x0000_0032							
								Read/Write							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)						WBM	OP Mode [1:0]		CL [2:0]			BT	BL [2:0]		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:10] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

Bit 9 : **WBM ライトバーストモード**
0 : 設定されたバースト長での書き込み (初期値)
1 : シングル ロケーション アクセス

Bits [8:7] : **OP Mode [1:0] オペレーションモード**
00 : 通常オペレーション
xx : 他の組み合わせは全て予約

Bits [6:4] : **CL [2:0] CAS レイテンシ**
000 : 予約
001 : CL=1
010 : CL=2
011 : CL=3 (初期値)
1xx : 予約

Bit 3 : **BT バーストタイプ**
0 : シーケンシャル (初期値)
1 : 予約

Bits [2:0] : **BL [2:0] バースト長**
000 : BL=1
001 : BL=2
010 : BL=4 (初期値)
011 : BL=8
100 : 予約
101 : 予約
110 : 予約
111 : 予約
(Full Page (Burst Type == 0)は S1S65010 ではサポートしていません。)

予約レジスタ															
MEMC[0x64, 0x68]								初期値 = 0x xxxx_xxxx							
								RSV							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
								RSV							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

予約レジスタです。アクセスしないでください。

14. メモリコントローラ (MEMC)

SDRAM 設定レジスタ (SDCNFG)													
MEMC[0x70] 初期値 = 0x0600_C700										Read/Write			
RSV (0)					CLK-CTRL 26	CKE-CTRL 25	RSV (0) 24	COLW [7:4]				RSV (0)	
31	30	29	28	27				23	22	21	20	19	18
RSV (0)					TRCD [1:0]		APCG	REF [3:2]		RSV (0)		BNUM [3:2]	
15	14	13	12	11	10	9	8	7	6	5	4	3	2
												1	0

Bits [31:27]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bit 26

CLKCTRL MCLK コントロール

このビットはダイナミック MCLKEN コントロール (CKECTRL) をイネーブルにした場合にのみ、“1”に設定可能です。

0 : MCLK が継続的に出力されます。ただし SDRAM の初期化は必要です。

1 : SDRAM がアイドル状態 (セルフリフレッシュ状態含む) にあるとき、MCLK を停止します。(初期値)

注意 : SDRAM の初期化 (MEMC [0x80] bit15 : INIT_SD = 1) を行った後、本ビット (CLKCTRL) の値を変更するには、いったん SDRAM をセルフリフレッシュモードに入れてください。すなわち、セルフリフレッシュモード IN CLKCTRL 変更 セルフリフレッシュモード OUT としてください。

Bit 25

CKECTRL ダイナミック MCLKEN コントロール

0 : MCLKEN=H が継続的に出力されます (セルフリフレッシュ状態を除く)。

1 : SDRAM がアイドル状態 (セルフリフレッシュ状態か、バンクアクティブだがアクセスがない状態を含む) にあるとき、MCLKEN を LOW にします。(初期値)

注意 : SDRAM の初期化 (MEMC [0x80] bit15 : INIT_SD = 1) を行った後、本ビット (CKECTRL) の値を変更するには、いったん SDRAM をセルフリフレッシュモードに入れてください。すなわち、セルフリフレッシュモード IN CKECTRL 変更 セルフリフレッシュモード OUT としてください。

Bit 24

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [23:20]

COLW [7:4] コラムアドレス幅

SDRAM のコラムアドレス幅を設定します。

COLW [5:4]: デバイス 2 設定用

COLW [7:6]: 予約 (デバイス 3 設定用、必ず“0”を設定してください。)

00 : コラムアドレス A0 - A7 (初期値)

01 : コラムアドレス A0 - A8

10 : コラムアドレス A0 - A9

11 : コラムアドレス A0 - A9, A11

Bits [19:16]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [15:11]

RSV 予約

予約ビットです。必ず“0”を設定してください。

Bits [10:9]

TRCD [1:0] RAS-CAS デレイ

MRAS# から MCAS# までの遅延時間を設定 (サイクル数) します。

00 : 予約

01 : 1 サイクル

10 : 2 サイクル

11 : 3 サイクル (初期値)

- Bit 8 **APCG オートプリチャージコントロール**
 オートプリチャージの設定をします。
 0 : オートプリチャージなし（オートリフレッシュ実行のタイミングで全バンクプリチャージ
 されます）
 1 : オートプリチャージ有り（初期値）
- Bits [7:6] **REF [3:2] リフレッシュサイクル**
 リフレッシュサイクルの周期を設定します。
 REF2 : デバイス 2 設定用
 REF3 : 予約（デバイス 3 設定用、必ず“0”に設定してください。）
 0 : 2048 サイクルまたは 4096 サイクル（初期値）
 1 : 予約（8192 サイクル）
- Bits [5:4] **RSV 予約**
 予約ビットです。必ず“0”を設定してください。
- Bits [3:2] **BNUM [3:2] バンク数**
 接続されている SDRAM のバンク数を設定します。
 BNUM2 : デバイス 2 設定用
 BNUM3 : （デバイス 3 設定用、必ず“0”に設定してください。）
 0 : 4 バンクデバイス（初期値）
 1 : 予約（2 バンクデバイス）
- Bits [1:0] **RSV 予約**
 予約ビットです。必ず“0”を設定してください。

SDRAM 詳細設定レジスタ (SDADVCNFG)															
MEMC[0x74] 初期値 = 0x000F_0300															
Read/Write															
RSV (0)												SREFCNT [3:0]			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV (0)				AREFWAIT [3:0]				CLK-FORCE	RESELF	RSV (0)		SELF [3:2]		RSV (0)	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bits [31:20] : **RSV 予約**
 予約ビットです。必ず“0”を設定してください。
- Bits [19:16] : **SREFCNT [3:0] セルフリフレッシュ再導入前サイクル数**
 SDRAM へのアクセスがなくなった後、セルフリフレッシュモードに再び入るまでのサイクル数を設定します。設定値は RESELF ビット（MEMC[0x74] bit 6）を“1”に設定した場合のみ有効です。（初期値 0xF）
- Bits [15:12] : **RSV 予約**
 予約ビットです。必ず“0”を設定してください。
- Bits [11:8] : **AREFWAIT [3:0] オートリフレッシュ ホールド数**
 分散リフレッシュの実行タイミングにおいて、メモリコントローラインタフェースが占有されている場合、リフレッシュを一旦保持し、後に複数回のリフレッシュを行う事ができます。（初期値 0x03）
- Bit 7 : **CLKFORCE**
 0 : MCLK クロックの出力は、メモリコントローラの状態に依存します。（初期値）
 1 : メモリコントローラの状態によらず、MCLK クロックを出力します。

14. メモリコントローラ (MEMC)

- Bit 6 : **RESELF セルフリフレッシュ再導入モード**
このビットはセルフリフレッシュモードに入っている SDRAM を読み出し/書き込みアクセスのために一旦起動させた後、再びセルフリフレッシュモードに再導入するかどうかをコントロールします。
0 : セルフリフレッシュモードに再導入しません。(初期値)
1 : SREFCNT[3:0]サイクル分アクセスがない場合再びセルフリフレッシュモードに SDRAM を導入します。
- Bits [5:4] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bits [3:2] : **SELF [3:2] セルフリフレッシュモード ON/OFF**
このビットはセルフリフレッシュモードに入っている SDRAM が読み書きのために起きた場合、ゼロに自動的にクリアされます (RESELF モード設定時は除く)。
SELF2 : デバイス 2 設定用
SELF3 : 予約 (デバイス 3 設定用、必ず“0”を設定してください。)
0 : セルフリフレッシュモードから抜けます。(初期値)
1 : SDRAM をセルフリフレッシュモードに設定します。
- Bits [1:0] : **RSV 予約**
予約ビットです。必ず“0”を設定してください。

初期化制御レジスタ (SDINIT)															
MEMC[0x80] 初期値 = 0x0000_0000															
Read/Write															
RSV (0)								RSV (0)							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INIT_SD	RSV (0)							LMR	AREF	PCG-ALL	RSV (0)	DEVSEL [3:2]		RSV (0)	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

注意：このレジスタの複数の命令を同時に設定しないでください。
通常 SDRAM の初期化においては INIT_SD をご使用ください。
その他の命令はマニュアルによる初期化が必要な場合に使用してください。
いずれの命令も対象となるデバイスを DEVSEL (MEMC[0x80] bits[3:2]) で選択してください。

- Bits [31:16] **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bit 15 **INIT_SD SDRAM 初期化**
SDRAM の初期化シーケンスを自動的に行います。DEVSEL (本レジスタの bit[3:0]) にて対象となるデバイスを選択してください。
0 : 何もしない (初期値)
1 : SDRAM の初期化を行います (初期化完了後、自動的に“0”に戻ります)。
- Bits [14:8] **RSV 予約**
予約ビットです。必ず“0”を設定してください。
- Bit 7 **LMR モードレジスタセット**
SDRAM ヘモードレジスタセット命令を発行します。
0 : 何もしない (初期値)
1 : モードレジスタセット命令を発行します (命令発行後、自動的に 0 に戻ります)
- Bit 6 **AREF オートリフレッシュ**
SDRAM ヘオートリフレッシュ命令を発行します。
0 : 何もしない (初期値)
1 : オートリフレッシュ命令を発行します (命令発行後、自動的に 0 に戻ります)

- Bit 5 **PCGALL プリチャージオール**
SDRAM に全バンクプリチャージ命令を発行します。
0 : 何もしない (初期値)
1 : 全バンクプリチャージ命令を発行します (命令発行後、自動的に 0 に戻ります)

- Bit 4 **RSV 予約**
予約ビットです。必ず “0” を設定してください。

- Bits [3:2] **DEVSEL [3:2] デバイス選択**
命令を発行するデバイスを選択します。
DEVSEL2 : デバイス 2 設定用
DEVSEL3 : 予約 (デバイス 3 設定用、必ず “0” を設定してください。)
0 : 選択しない (初期値)
1 : 選択した

- Bits [1:0] **RSV 予約**
予約ビットです。必ず “0” を設定してください。

SDRAM リフレッシュタイムレジスタ (SDREF)															
MEMC[0x90] 初期値 = 0x0000_00A0															
Read/Write															
RSV (0)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REFTIME [11:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bits [31:12] **RSV 予約**
予約ビットです。必ず “0” を設定してください。

- Bits [11:0] **REFTIME [11:0] リフレッシュ間隔**
分散リフレッシュの発行間隔を設定します。
分散オートリフレッシュ間隔に見合った HCLK サイクル数を設定してください。
例えばリフレッシュ間隔が $16\mu s$ で、システムクロック HCLK の周波数が 10MHz であったとすると、
 $16\mu s \times 10MHz = 160$ サイクル (=1010_0000b) を設定してください。

SDRAM ステータスレジスタ (SDSTAT)															
MEMC[0xA0] 初期値 = 0x0000_0002															
Read Only															
RSV															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEVST2 [3:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bits [31:12] **RSV 予約**
予約ビットです。必ず “0” を設定してください。

- Bits [11:8] **RSV 予約 (DEVST3 [3:0]、デバイス 3 に関するデータは無効です。)**
デバイス 3 の現在の状態を示します
DEVST3 [0] 1 : デバイスが使用可能 (イネーブルで、初期設定が完了している状態)
 0 : デバイスが使用できない
DEVST3 [1] 1 : デバイスがアイドル状態かサスペンド状態
 0 : その他の状態
DEVST3 [2] 1 : デバイスのいずれかのバンクの ROW が活性化されている
 0 : ROW 不活性化状態
DEVST3 [3] 1 : デバイスがセルフリフレッシュモード中
 0 : セルフリフレッシュモードではない

- Bits [7:4] **RSV 予約**
予約ビットです。必ず “0” を設定してください。

14. メモリコントローラ (MEMC)

Bits [3:0]	DEVST2 [3:0] デバイス 2 ステータス デバイス 2 の現在の状態を示します。
DEVST2 [0]	1 : デバイス使用可能 (イネーブルで、初期設定が完了している状態)。 0 : デバイスが使用できない。
DEVST2 [1]	1 : デバイスがアイドル状態かサスペンド状態。 0 : その他の状態。
DEVST2 [2]	1 : デバイスのいずれかのバンクの ROW が活性化されている。 0 : ROW 不活性化状態。
DEVST2 [3]	1 : デバイスがセルフリフレッシュモード中。 0 : デバイスがセルフリフレッシュモードではない。

14.8 メモリコントローラ (MEMC) の利用制限事項

S1S65010 では、本 MEMC の一部のレジスタに関してデバイス 3 が使用できないため利用制限がかかります。以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	ビット名称	制限事項
MEMC[0x0C] bits[31:0]	全ビット	使用不可
MEMC[0x50] bits[31:0]	全ビット	使用不可
MEMC[0x54] bits[31:0]	全ビット	使用不可
MEMC[0x70] bits[23:22]	COL[7:6]	使用不可
MEMC[0x70] bit 7	REF3	使用不可
MEMC[0x70] bit 3	BNUM3	使用不可
MEMC[0x74] bit 3	SELF3	使用不可
MEMC[0x80] bit 3	DEVSEL3	使用不可
MEMC[0xA0] bit [11:8]	DEVST3[3:0]	使用不可

14.9 デバイス[2:0]設定レジスタの設定例

ROM, SRAM, SDRAM を次のように設定する場合、

メモリ種類	デバイス	容量	アドレス
ROM	デバイス 0	1 MB	0x0000_0000 ~ 0x000F_FFFF
SRAM	デバイス 1	512 KB	0x0010_0000 ~ 0x0017_FFFF
SDRAM	デバイス 2	8 MB	0x3000_0000 ~ 0x307F_FFFF

メモリセグメントの設定は 1 MB 単位で行うため、SRAM には 1 MB の領域を割り当てます。そのため、デバイス[2:0]設定レジスタは以下のように設定してください。

デバイス 0 設定レジスタ : MEMC [0x00] = 0x0000_0041
デバイス 1 設定レジスタ : MEMC [0x04] = 0x0101_0041
デバイス 2 設定レジスタ : MEMC [0x08] = 0x0700_0048

15. 割り込みコントローラ (INT)

15.1 概要

割り込みコントローラ (INTC) は 2 つの高速割り込み要求 (FIQ) と 32 の通常の割り込み要求 (IRQ) を処理することができます。各割り込み要求入力への周辺回路／機能の割り当てを表 15.1 に示します。リセット後は外部割り込み入力 (INT[8:0]) を除き、割り込み要求はすべて HIGH アクティブのレベルトリガ入力です。INT[8:0]については、リセット直後はローレベルトリガ設定になっていますが、必要に応じて、本割り込みコントローラにより入力信号の極性とレベル / エッジトリガの選択が行えるようになっています。

割り込みコントローラは、FIQ および IRQ 入力を処理し、ARM720T コアに対して nFIQ と nIRQ の 2 つの割り込み要求信号を出力します。

ハードウェア上、割り込みの優先順位は設定されていません。

表 15.1 割り込みソース一覧

割り込みの種類	割り込みレベル	割り込みソース	説明
高速割り込み要求 FIQ	FIQ0	ウォッチドッグタイマ	
	FIQ1	GPIOB0 端子	Ex. Battery Low (*)
通常割り込み要求 IRQ	IRQ0	ウォッチドッグタイマ	
	IRQ1	割り込みコントローラ	レジスタによるソフトウェアリクエスト
	IRQ2	ARM720T COMMRx	Debug Communication Port
	IRQ3	ARM720T COMMTx	Debug Communication Port
	IRQ4	タイマ	16 ビットタイマチャンネル 0
	IRQ5	タイマ	16 ビットタイマチャンネル 1
	IRQ6	タイマ	16 ビットタイマチャンネル 2
	IRQ7	Ethernet Mac & E-DMA	
	IRQ8	JPEG 制御	
	IRQ9	DMAC1	AHB1 上の DMAC
	IRQ10	JPEG DMAC	
	IRQ11	カメラ I/F	
	IRQ12	予約	
	IRQ13	DMAC2	DMA INT (AHB2 上の JPEG 用の DMAC)
	IRQ14 (**)	GPIOA または GPIOB	GPIOA/B より割り込み入力端子選択
	IRQ15	SPI	SPI TXRDY/RXRDY
	IRQ16	I2C	Transfer Complete
	IRQ17	UART	UART TXRDY/RXRDY
	IRQ18	RTC	Alarm or Timer tick
	IRQ19	CF カード I/F	
	IRQ20 (*)	INT0	GPIOB0 直接入力
	IRQ21 (*)	INT1	GPIOB1 直接入力
	IRQ22 (*)	INT2	GPIOB2 直接入力
	IRQ23	UARTL	UART Lite
	IRQ24 (*)	INT3	GPIOB3 直接入力
	IRQ25 (*)	INT4	GPIOB4 直接入力
	IRQ26 (*)	INT5	GPIOB5 直接入力
	IRQ27 (*)	INT6	GPIOB6 直接入力
	IRQ28 (*)	INT7	GPIOB7 直接入力
	IRQ29 (*)	INT8	GIOD0 直接入力
	IRQ30	I2S0	I2S CH0
	IRQ31	I2S1	I2S CH1

注意(*) : GPIOB[7:0]端子または GIPIOD0 端子からの直接入力（デフォルトはローレベルアクティブ割り込み要求）です。これらの割り込みの設定（イネーブル、極性、レベル等）は割り込みコントローラの制御レジスタによってのみ変更が可能です。IRQ14(**)とは異なり、GPIO の制御レジスタによっては変更できません。

注意(**) : GPIOA[7:0]または GPIOB[7:0]から割り込み要求を設定します。詳細は“25. GPIO”のレジスタ詳細説明 GPIO[0x40]～GPIO[0x4C]を参照してください。

15. 割り込みコントローラ (INT)

15.2 ブロック図

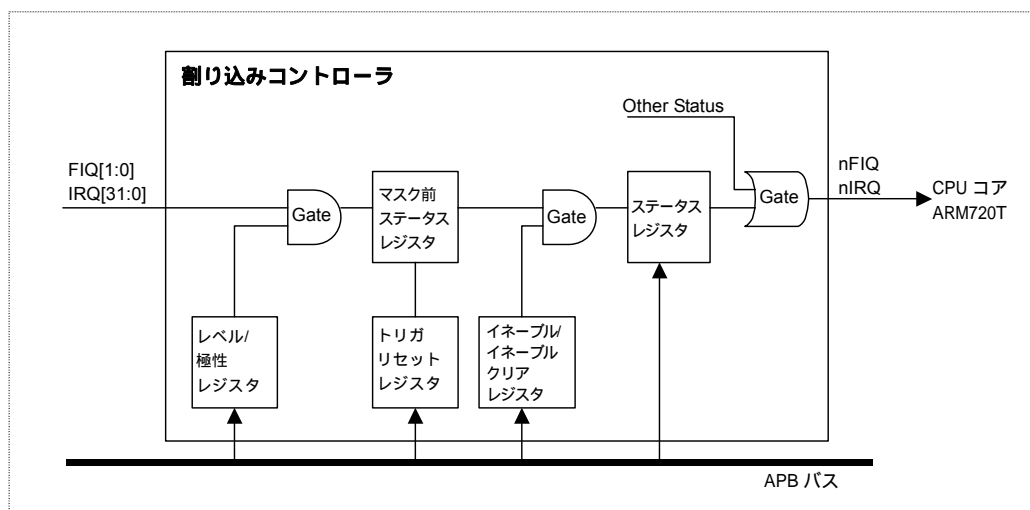


図 15.1 割り込みコントローラ ブロック図

15.3 FIQ

FIQ0、FIQ1 にはそれぞれ割り込み出力としてのウォッチドッグタイマ、および GPIO ポート B[0] が割り当てられています。この 2 本の FIQ 信号は ARM720T に入力する nFIQ を生成するために使用されます。

15.4 IRQ

IRQ には内部デバイスの割り込み要求が割り当てられています。すべての IRQ 割り込み要求は、ARM720T に入力する nIRQ 信号を生成するために OR されます。割り込みコントローラは全部で 32 本の割り込み要求入力 IRQ31～IRQ0 を持ち、それぞれ、割り込み制御レジスタのビットに 1 対 1 で対応しています。たとえば、IRQ0 はビット 0 に割り付けられ、IRQ1 はビット 1 に割り付けられています。対応については表 15.1 を参照してください。

15.5 外部端子

割り込みコントローラ (INT) に関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子* / 備考
FIQ1	I	高速割り込み端子 1	GPIOB0/I2S0_WS
INT0	I	外部割り込み端子 0	GPIOB0/I2S0_WS
INT1	I	外部割り込み端子 1	GPIOB1/RTS0#/I2S0_SCK
INT2	I	外部割り込み端子 2	GPIOB2/CTS0#/I2S0_SD
INT3	I	外部割り込み端子 3	GPIOB3/Timer0out/I2S1_SD
INT4	I	外部割り込み端子 4	GPIOB4/ Timer1out
INT5	I	外部割り込み端子 5	GPIOB5/ Timer2out
INT6	I	外部割り込み端子 6	GPIOB6/MA22/I2S1_SCK
INT7	I	外部割り込み端子 7	GPIOB7/MA23/I2S1_WS
INT8	I	外部割り込み端子 8	GIOD0/MA20

注意(*)： INT 関連の外部割り込み端子は、GPIO 端子入力により行います。GPIO 端子を割り込み入力として使用する場合は割り込み制御用の内部レジスタの設定を行います。その他の端子機能として使用する場合は、GPIO 端子機能レジスタにより“GPIO 以外の機能 1 または 2”に設定してください。

15.6 レジスタ

15.6.1 レジスタ一覧

割り込みコントローラの制御レジスタが配置されているベースアドレスは 0xFFFF_F000 です。

表 15.2 レジスタ一覧 (ベースアドレス : 0xFFFF_F000)

アドレス オフセット	レジスタ名称	初期値	R/W	データアクセス サイズ
0x000	IRQ ステータスレジスタ	0x0000_0000	RO	32
0x004	IRQ マスク前ステータスレジスタ	0x0000_0000*1	RO	32
0x008	IRQ イネーブルレジスタ	0x0000_0000	R/W	32
0x00C	IRQ イネーブルクリアレジスタ	0x0000_0000	WO	32
0x010	ソフトウェア IRQ レジスタ	0x0000_0000	WO	32
0x080	IRQ レベルレジスタ	0x0000_0000	R/W	32
0x084	IRQ 極性レジスタ	0xFFFF_FFFF	R/W	32
0x088	IRQ トリガリセットレジスタ	0x0000_0000	WO	32
0x100	FIQ ステータスレジスタ	0x0000_0000	RO	32
0x104	FIQ マスク前ステータスレジスタ	0x0000_0000*1	RO	32
0x108	FIQ イネーブルレジスタ	0x0000_0000	R/W	32
0x10C	FIQ イネーブルクリアレジスタ	0x0000_0000	WO	32
0x180	FIQ レベルレジスタ	0x0000_0000	R/W	32
0x184	FIQ 極性レジスタ	0x0000_0003	R/W	32
0x188	FIQ トリガリセットレジスタ	0x0000_0000	WO	32

*1 : IRQ/FIQ マスク前ステータスレジスタの初期値は、システムの構成条件により変化します。

15.6.2 レジスタ詳細説明

特に指定のない場合、予約されていないレジスタビットの初期値はすべて“0”です。

IRQ ステータスレジスタ														
INT[0x000] 初期値 = 0x0000_0000														
IRQ[31:16] ステータス														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
IRQ[15:0] ステータス														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
														0

Bits [31:0] :

IRQ[31:0]ステータス

各ユニットからの割り込み要求の発生状態（マスク後）を示します。

0 (r) : 割り込み要求なし

1 (r) : 割り込み要求あり

これらのステータスビットは、IRQ イネーブルレジスタ (INT[0x008]) で割り込みを許可されている IRQ の状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPU に送られます。これらのビットは、IRQ マスク前ステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。

ビット [31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

15. 割り込みコントローラ (INT)

IRQ マスク前ステータスレジスタ															
INT[0x004] 初期値 = 0x0000_0000															
Read Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[31:16] マスク前ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ[15:0] マスク前ステータス															

Bits [31:0] :

IRQ[31:0]マスク前ステータス

各ユニットの割り込み要因の発生状態（マスク前）を示します。

0 (r) : 割り込み要因なし

1 (r) : 割り込み要因あり

これらのステータスビットは、IRQ イネーブルレジスタ (INT[0x008]) で割り込みをマスクする前の IRQ の状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、IRQ トリガリセットレジスタ (INT[0x088]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

IRQ イネーブルレジスタ															
INT[0x008] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[31:16] イネーブル															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ[15:0] イネーブル															

Bits [31:0] :

IRQ[31:0]イネーブル

各ユニットからの割り込み要求 (IRQ) 入力を許可します。

0 (r) : 割り込み要求禁止状態

1 (r) : 割り込み要求許可状態

0 (w) : 無効

1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 (IRQ) 入力が現在許可（ビットが“1”）されているか禁止（ビットが“0”）されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求 (IRQ) 入力が許可されます。割り込みコントローラはそのビットに対応する IRQ の入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求 (IRQ) 入力が禁止されることはありません。ビットのクリアは IRQ イネーブルクリアレジスタ (INT[0x00C]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

IRQ イネーブルクリアレジスタ															
INT[0x00C] 初期値 = 0x0000_0000															
Write Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[31:16] イネーブルクリア															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ[15:0] イネーブルクリア															

Bits [31:0] :

IRQ[31:0]イネーブルクリア

各ユニットからの割り込み要求 (IRQ) 入力を禁止（マスク）します。

0 (w) : 無効

1 (w) : 割り込み要求入力を禁止

15. 割り込みコントローラ (INT)

“1”を書き込むことによって、そのビットに対応する IRQ イネーブルレジスタ (INT[0x008]) の IRQ イネーブルビットがクリアされ、割り込み要求 (IRQ) 入力が禁止されます。“0”の書き込みは無効です。

ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

ソフトウェア IRQ レジスタ															
INT[0x010] 初期値 = 0x0000_0000														Write Only	
31	30	29	28	27	26	25	24	n/a						17	16
n/a														ソフトウェア IRQ	RSV
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit 1 :

ソフトウェア IRQ

IRQ1 のソフトウェア割り込みを制御します。

0 (w) ソフトウェア割り込み要求をクリア

1 (w) ソフトウェア割り込みを発生

現在設定されているソフトウェア割り込み要因の状態は IRQ マスク前ステータスレジスタ (INT[0x004]) のビット 1 から読み出すことができます。

Bit 0 :

RSV 予約

IRQ レベルレジスタ															
INT[0x080] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	IRQ[31:16] レベル		22	21	20	19	18	17	16
15	14	13	12	11	10	9	IRQ[15:0] レベル		6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]レベル

各 IRQ 入力のトリガモードを設定します。

0 (r/w) : レベルトリガモード

1 (r/w) : エッジトリガモード

この選択により、割り込み要求 (IRQ) 信号をレベルでサンプリングするか、信号の立ち上がり / 立ち上がりエッジでサンプリングするかが決まります。信号の極性 (LOW レベル/立ち上がりエッジまたは HIGH レベル/立ち上がりエッジ) は IRQ 極性レジスタ (INT[0x084]) で設定します。ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

注意： 通常はこのレジスタの値を変更することなくリセット時のままお使いください。

IRQ 極性レジスタ															
INT[0x084] 初期値 = 0xFFFF_FFFF															
Read/Write															
31	30	29	28	27	26	25	IRQ[31:16] 極性		22	21	20	19	18	17	16
15	14	13	12	11	10	9	IRQ[15:0] 極性		6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]極性

各 IRQ 信号の極性を設定します。

0 (r/w) : LOW レベル/立ち上がりエッジ

1 (r/w) : HIGH レベル/立ち上がりエッジ

この選択に従って割り込み要求 (IRQ)信号がサンプリングされます。レベル/エッジの選択は IRQ レベルレジスタ (INT[0x080])で行います。ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

注意： 通常はこのレジスタの値を変更することなくリセット時のままお使いください。

15. 割り込みコントローラ (INT)

IRQ トリガリセットレジスタ															
INT[0x088] 初期値 = 0x0000_0000															
Write Only															
IRQ[31:16] トリガリセット															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IRQ[15:0] トリガリセット															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] :

IRQ[31:0]トリガリセット

エッジトリガモードに設定されている割り込みのマスク前ステータスをクリアします。

0 (w) : 無効

1 (w) : 割り込みステータスをクリア

“1”を書き込むと、IRQ マスク前ステータスレジスタ (INT[0x004]) 内の対応するステータスビットの中で、エッジトリガモードに設定されているビットをクリアします。ビット[31:0]は同じ番号の IRQ[31:0]に 1 対 1 に対応しています。各ビットが示す割り込みの内容については、表 15.1 を参照してください。

FIQ ステータスレジスタ															
INT[0x100] 初期値 = 0x0000_0000															
Read Only															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0] ステータス	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] :

FIQ[1:0]ステータス

FIQ 割り込み要求の発生状態（マスク後）を示します。

0 (r) : 割り込み要求なし

1 (r) : 割り込み要求あり

これらのステータスビットは、FIQ イネーブルレジスタ (INT[0x108]) で割り込みを許可されている FIQ の状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPU に送られます。これらのビットは、FIQ マスク前ステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ マスク前ステータスレジスタ															
INT[0x104] 初期値 = 0x0000_0000															
Read Only															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0]マスク 前ステータス	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] :

FIQ[1:0]マスク前ステータス

FIQ 割り込み要因の発生状態（マスク前）を示します。

0 (r) : 割り込み要因なし

1 (r) : 割り込み要因あり

これらのステータスビットは、FIQ イネーブルレジスタ (INT[0x108]) で割り込みをマスクする前の FIQ の状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、FIQ トリガリセットレジスタ (INT[0x188]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ イネーブルレジスタ															
INT[0x108]		初期値 = 0x0000_0000													Read/Write
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a														FIQ [1:0] イネーブル	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [1:0] :

FIQ[1:0]イネーブル

高速割り込み要求 (FIQ) 入力を許可します。

0 (r) : 割り込み要求禁止状態

1 (r) : 割り込み要求許可状態

0 (w) : 無効

1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 (FIQ) 入力が現在許可（ビットが“1”）されているか禁止（ビットが“0”）されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求 (FIQ) 入力が許可されます。割り込みコントローラはそのビットに対応する FIQ の入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求 (FIQ) 入力が禁止されることはありません。ビットのクリアは FIQ イネーブルクリアレジスタ (INT[0x10C]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ イネーブルクリアレジスタ																Write Only	
INT[0x10C] 初期値 = 0x0000_0000																	
31	30	29	28	27	26	25	24	n/a		23	22	21	20	19	18	17	16
n/a																FIQ [1:0]イネーブルクリア	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [1:0] :

FIQ[1:0]イネーブルクリア

高速割り込み要求 (FIQ) 入力を禁止（マスク）します。

0 (w) : 無効

1 (w) : 割り込み要求入力を禁止

“1”を書き込むことによって、そのビットに対応する FIQ イネーブルレジスタ (INT[0x108]) の FIQ イネーブルビットがクリアされ、割り込み要求 (FIQ) 入力が禁止されます。“0”の書き込みは無効です。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ レベルレジスタ																Read/Write	
INT[0x180] 初期値 = 0x0000_0000																	
31	30	29	28	27	26	25	24	n/a		23	22	21	20	19	18	17	16
n/a																FIQ [1:0] レベル	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [1:0] :

FIQ[1:0]レベル

各 FIQ 入力のトリガモードを設定します。

0 (r/w) : レベルトリガモード

1 (r/w) : エッジトリガモード

この選択により、割り込み要求 (FIQ) 信号をレベルでサンプリングするか、信号の立ち上がり/立ち上がりエッジでサンプリングするかが決まります。信号の極性 (LOW レベル/立ち上がりエッジ、または HIGH レベル/立ち上がりエッジ) は FIQ 極性レジスタ (INT[0x184]) で設定します。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

15. 割り込みコントローラ (INT)

FIQ 極性レジスタ																Read/Write	
INT[0x184] 初期値 = 0x0000_0003																	
31	30	29	28	27	26	25	24	n/a	23	22	21	20	19	18	17	16	
n/a															FIQ [1:0] 極性		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [1:0] :

FIQ[1:0]極性

各 FIQ 信号の極性を設定します。

0 (r/w) : LOW レベル/立ち下がりエッジ

1 (r/w) : HIGH レベル/立ち上がりエッジ

この選択にしたがって割り込み要求 (FIQ) 信号がサンプリングされます。レベル/エッジの選択は FIQ レベルレジスタ (INT[0x180]) で行います。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

FIQ トリガリセットレジスタ																Write Only	
INT[0x188] 初期値 = 0x0000_0000																	
31	30	29	28	27	26	25	24	n/a	23	22	21	20	19	18	17	16	
n/a															FIQ [1:0] トリガリセット		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

Bits [1:0] :

FIQ[1:0]トリガリセット

エッジトリガモードに設定されている割り込みのマスク前ステータスをクリアします。

0 (w) : 無効

1 (w) : 割り込みステータスをクリア

“1”を書き込むと、FIQ マスク前ステータスレジスタ (INT[0x104]) 内の対応するステータスビットの中で、エッジトリガモードに設定されているビットをクリアします。ビット[1:0]は同じ番号の FIQ[1:0]に 1 対 1 に対応しています。

16. UART

16.1 概要

UART は、業界標準の 16550 と互換性を持つ非同期データ転送用インタフェースです。CPU のパラレルデータをシリアル変換して周辺デバイスに転送するとともに、周辺デバイスから送られたシリアルデータを入力しパラレルデータに変換します。

16.2 ブロック図

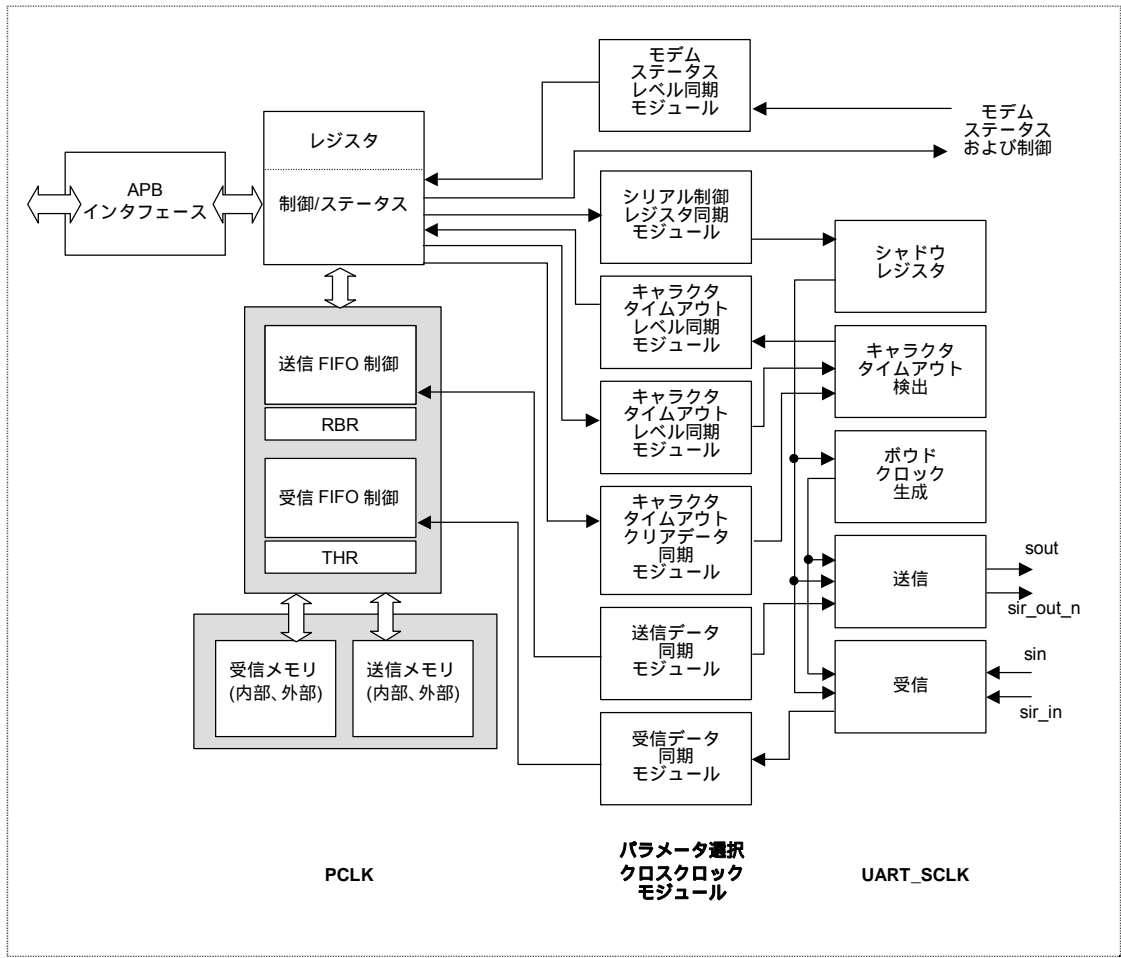


図 16.1 UART ブロック図

16.3 外部端子

UART 関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子* / 備考
TXD0	出力	UART 用送信データ出力	GPIOA0
RXD0	入力	UART 用受信データ入力	GPIOA1
RTS0#	出力	UART 用送信要求出力	GPIOB1/INT1/I2S0_SCK
CTS0#	入力	UART 用送信可能入力	GPIOB2/INT2/I2S0_SD

注意(*) : UART 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより “GPIO 以外の機能 1” に設定することにより使用できます。

16. UART

16.4 レジスタ説明

UART の制御レジスタが配置されているデフォルトのベースアドレスは 0xFFFF_5000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

注意：UART に対するアクセスは 32 ビット境界のオフセットでアクセスする限り、8bit, 16bit, 32bit のいずれのアクセスサイズでもリード/ライトが可能です。

16.4.1 レジスタ一覧

表 16.1 レジスタ一覧（ベースアドレス：0xFFFF_5000）

アドレス オフセット	DLAB	レジスタ名称	レジスタ 略称	初期値	R/W	データア クセスサイズ
0x00	0	受信バッファレジスタ	RBR	0x00	RO	8/16/32bit
0x00	0	送信ホールディングレジスタ	THR	—	WO	8/16/32bit
0x00	1	デバイザラッチ LSB レジスタ	DLL	0x00	R/W	8/16/32bit
0x04	0	割り込みイネーブルレジスタ	IER	0x00	R/W	8/16/32bit
0x04	1	デバイザラッチ MSB レジスタ	DLM	0x00	R/W	8/16/32bit
0x08	—	割り込み識別レジスタ	IIR	0x01	RO	8/16/32bit
0x08	—	FIFO 制御レジスタ	FCR	—	WO	8/16/32bit
0x0C	—	ライン制御レジスタ	LCR	0x00	R/W	8/16/32bit
0x10	—	モデム制御レジスタ	MCR	0x00	R/W	8/16/32bit
0x14	—	ラインステータスレジスタ	LSR	0x00	RO	8/16/32bit
0x18	—	モデムステータスレジスタ	MSR	0x00	RO	8/16/32bit
0x1C	—	スクラッチレジスタ	SCR	0x00	R/W	8/16/32bit
0x20	—	テスト 0 レジスタ	T0	0x00	R/W	8/16/32bit
0x24	—	テスト 1 レジスタ	T1	0x00	R/W	8/16/32bit
0x28	—	テストステータス 0 レジスタ	TS0	—	RO	8/16/32bit
0x2C	—	テストステータス 1 レジスタ	TS1	0x00	RO	8/16/32bit
0x30	—	テストステータス 2 レジスタ	TS2	0x00	RO	8/16/32bit
0x3C	—	テストステータス 3 レジスタ	TS3	0x00	RO	8/16/32bit

16.4.2 レジスタアクセスにおける注意事項

UART の制御レジスタは、レジスタ間のアドレスにアクセスしたときの動作は保証されません。例えば、アドレスオフセット 01h にバイトアクセスしたときの動作は保証されません。必ず指定されたアドレスオフセットによるアクセスを行ってください。

20h~3Ch までのレジスタは、UART 自身をデバッグする目的で用意されたレジスタです。デバッグ以外で使用することはできません。またこれらのレジスタは将来において仕様変更される可能性があります。

16.4.3 レジスタ詳細説明

受信バッファレジスタ (RBR)							
UART[0x00]		DLAB [0]		初期値 = 0x00		Read Only	
シリアル受信データ (RBR[7:0])							
7	6	5	4	3	2	1	0

Bits [7:0] : **RBR[7:0] シリアル受信データビット[7:0]**
 ライン制御レジスタの DLAB ビット (UART[0x0C] Bit 7) が “0” の場合の読み出し時は、このレジスタは受信バッファとして機能します。Bit [7:0]からはシリアルポートが受信したバイトデータを読み出すことができます。なお、読み出されたデータは、ラインステータスレジスタのデータレディビット (UART[0x14] Bit 0) が “1” の場合にのみ有効です。このレジスタをアクセスすると、受信 FIFO の先頭データを読み出します。受信 FIFO が満杯の場合、FIFO 内にすでに受信したデータは保持されますが、以降に送られるデータは失われます。

送信ホールディングレジスタ (THR)							
UART[0x00]		DLAB [0]		初期値 = —		Write Only	
シリアル送信データ (THR [7:0])							
7	6	5	4	3	2	1	0

Bits [7:0] : **THR[7:0] シリアル送信データビット[7:0]**
 ライン制御レジスタの DLAB ビット (UART[0x0C] Bit 7) が “0” の場合の書き込み時、このレジスタは送信バッファとして機能します。送信 FIFO が満杯になるまで、最大 16 バイトのデータを書き込むことができます。送信 FIFO が満杯になると、それ以降にこのレジスタに書き込んだデータは失われます。

デバイザラッチ LSB レジスタ (DLL)							
UART[0x00]		DLAB [1]		初期値 = 0x00		Read/Write	
デバイザラッチ LSB (DL[7:0])							
7	6	5	4	3	2	1	0

Bits [7:0] :

DL[7:0] デバイザラッチ LSB ビット

ライン制御レジスタの DLAB ビット (UART[0x0C] Bit 7) が“1”の場合、このレジスタはボーレートを決定するソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは下位 8 ビット用です。上位 8 ビットはデバイザラッチ MSB レジスタ (UART[0x04]) に設定します。ボーレートは次のように設定されます。

ボーレート = 入力クロック / (16 × DL[15:0])

表 17.4 にボーレートと分周値の対応を示します。

割り込みイネーブルレジスタ (IER)							
UART[0x04] DLAB [0] 初期値= 0x00				Read/Write			
プログラマブル 送信ホールディング エンプティ 割り込み許可 (EPTBEI) 7	Reserved (0) 6 5 4			モデムステータス割り込み許可 (EDSSI) 3	受信ラインステータス割り込み許可 (ELSI) 2	送信ホールディング エンプティ 割り込み許可 (ETBEI) 1	受信データ可能 割り込み許可 (ERBFI) 0

ライン制御レジスタの DLAB ビット (UART[0x0C] Bit 7) が 0 の場合、このレジスタは UART の割り込みイネーブルレジスタとして機能し、5 つの UART 割り込み許可/禁止します。Bit 7 は 16550 にはない機能です。16550 と互換性を保つファームウェアを作成する場合は、Bit 7 を使用しないで下さい。

16. UART

- Bit 7 : **EPTBEI プログラマブル送信ホールディングレジスタエンプティ割り込み許可**
FIFO モード時 (UART[0x08] Bit 0 = 1) かつ送信ホールディングレジスタエンプティ割り込みが許可されているとき (UART[0x04] Bit 1 = 1) にのみ有効になります。
0 (r/w) : 割り込み禁止
1 (r/w) : 割り込み許可
注意 : このビットは 16550 には存在しません。(16550 非互換)
- Bit 3 : **EDSSI モデムステータス割り込み許可**
0 (r/w) : 割り込み禁止
1 (r/w) : 割り込み許可
ただしオート CTS 制御モード (モデム制御レジスタ Bit 5 が “1” で、かつ FIFO 制御レジスタ Bit 0 が “1” に設定されているとき) では、CTS#入力変化によって割り込みが発生しなくなります。
- Bit 2 : **ELSI 受信ラインステータス割り込み許可**
0 (r/w) : 割り込み禁止
1 (r/w) : 割り込み許可
- Bit 1 : **ETBEI 送信ホールディングレジスタエンプティ割り込み許可**
0 (r/w) : 割り込み禁止
1 (r/w) : 割り込み許可
- Bit 0 : **ERBFI 受信データ可能割り込み許可**
0 (r/w) : 割り込み禁止
1 (r/w) : 割り込み許可

各割り込み要因の内容については、表 16.2 を参照してください。

デバイザラッチ MSB レジスタ (DLM)									
UART[0x04] DLAB [1]				初期値 = 0x00				Read/Write	
デバイザラッチ MSB (DL[15:8])									
7	6	5	4	3	2	1	0		

- Bits [7:0] : **DL[15:8] デバイザラッチ MSB ビット**
ライン制御レジスタの DLAB ビット (UART[0x0C] Bit 7) が “1” の場合、このレジスタはボーレートを決めるソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは上位 8 ビット用です。下位 8 ビットはデバイザラッチ LSB レジスタ (UART[0x00]) に設定します。ボーレートは次のように設定されます。
$$\text{ボーレート} = \text{入力クロック} / (16 \times \text{DL}[15:0])$$

ボーレートと分周値の対応については、表 16.4 を参照してください。

割り込み識別レジスタ (IIR)							
UART[0x08]				初期値 = 0x01			
FIFO イネーブル (FFEN [1:0])		Reserved		割り込み ID (IID [3:0])			
7	6	5	4	3	2	1	0

- Bits [7:6] : **FFEN [1:0] FIFO イネーブルステータスビット**
送信用および受信用の FIFO が有効になっているか、無効になっているかを示します。
00 : FIFO は無効
11 : FIFO は有効

- Bits [3:0] : **IID [3:0] 割り込み ID ビット[3:0]**
UART で発生している割り込みソースを識別します。

表 16.2 UART 割り込み

IID [3:0]	割り込みの種類	割り込みソース	割り込み ID のリセット方法	優先順位
0001	なし	なし	n/a	n/a
0110	受信ラインステータス割り込み	・ オーバーランエラー ・ パリティエラー ・ フレーミングエラー ・ ブレーク受信	・ ラインステータスレジスタの読み出し	1 (最高)
0100	受信データ可能割り込み	・ 受信データ可能	・ ラインステータスレジスタの読み出し	2
	受信データトリガレベル到達割り込み	・ 受信 FIFO 内に受信データをトリガレベルまで受信	・ 受信 FIFO 内のデータがトリガレベル未満に減少	
1100	キャラクタタイムアウト割り込み	・ 受信 FIFO に 1 キャラクタ以上のデータがある状態で、4 キャラクタ相当の期間、受信 FIFO からデータが読み出されないか、入力されない	・ 受信バッファレジスタの読み出し	2
0010	送信ホールディングレジスタエンプティ割り込み	・ 送信ホールディングレジスタが空	・ 割り込み識別レジスタの読み出し ・ 送信ホールディングレジスタへの書き込み	3
	送信データトリガレベル到達割り込み	・ 送信 FIFO 内のデータをトリガレベルまで送信	・ 割り込み識別レジスタの読み出し ・ 送信 FIFO ヘトリガレベルよりも多いデータの書き込み	
0000	モデムステータス割り込み	・ CTS#入力、DSR 入力、RI 入力、DCD 入力のいずれかが変化	・ モデムステータスレジスタの読み出し	4 (最低)

FIFO 制御レジスタ (FCR)					
UART[0x08] 初期値 = —			Write Only		
受信データトリガレベル (RCVRT[1:0])	送信データトリガレベル (XMITT[1:0])	DMA モード 選択 (DMAMS)	送信 FIFO リセット (XMITFR)	受信 FIFO リセット (RCVRFR)	FIFO イネーブル (EFIFO)
7 6	5 4	3	2	1	0

Bits [7:6] :

RCVRT[1:0] 受信データトリガレベル設定

FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に受信 FIFO に何バイトのデータを受信したら受信データトリガレベル到達割り込みを発生させるかを設定します。

00 (w) : 1 バイト

01 (w) : 4 バイト

10 (w) : 8 バイト

11 (w) : 14 バイト

受信 FIFO 内のデータ数がこの設定値以上になると、受信データトリガレベル到達割り込みを発生します。受信バッファレジスタから受信データを読み出し、FIFO 内のデータ数が設定値未満になると、データ受信割り込み要因はクリアされます。

- Bits [5:4] : **XMITT[1:0] 送信データトリガレベル設定**
プログラマブル送信ホールディングレジスタエンプティ割り込みが許可されていて(UART[0x04] Bit 7=1)、かつ FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に送信 FIFO に残っているデータが何バイト以下のときに送信データトリガレベル到達割り込みを発生させるかを設定します。このビットは 16550 にはない機能です。16550 と互換性を保つファームウェアを作成する場合は、このビットを使用しないで下さい。
- 00 (w) : 0 バイト
 - 01 (w) : 2 バイト
 - 10 (w) : 4 バイト
 - 11 (w) : 8 バイト
- 送信 FIFO 内のデータ数がこの設定値以下になると、送信データトリガレベル到達割り込みを発生します。送信バッファレジスタに送信データを書き込み、FIFO 内のデータ数が設定値より多くなると、データ送信割り込み要因はクリアされます。
- 注意： このビットは 16550 には存在しません。（16550 非互換）
- Bit 3 : **DMAMS DMA モード選択ビット**
DMA コントローラ用のステータス信号（内部信号）の動作モードを設定します。
- 0 (w) : シングルワードモード
 - 1 (w) : マルチワードモード
- Bit 2 : **XMITFR 送信 FIFO リセット**
FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に送信 FIFO 内のデータをクリアします。シフトレジスタはリセットされません。このビットにライトされた”1”は自動的にリセットされます。
- 0 (w) : 無効
 - 1 (w) : クリア
- 注意： FIFO に残っているデータの中で、2 キャラクタまではクリア前に送信されます。
- Bit 1 : **RCVFR 受信 FIFO リセット**
FIFO を有効に設定している場合 (FIFO イネーブル (Bit 0) = 1) に受信 FIFO 内のデータをクリアします。シフトレジスタはリセットされません。このビットにライトされた”1”は自動的にリセットされます。
- 0 (w) : 無効
 - 1 (w) : クリア
- 注意： 受信 FIFO リセットによっては、受信データがあることを示すデータレディビットはクリアされません。受信 FIFO をクリアした後は、必ず受信バッファレジスタ (UART[0x00]) を読み出してデータレディビットをクリアしてください。
- Bit 0 : **EFIFO FIFO イネーブル**
送信および受信 FIFO を有効/無効に設定します。
- 0 (w) : 無効。送受信に FIFO は使用されません。
 - 1 (w) : 有効。FIFO を通して送受信が行われます。

ライン制御レジスタ (LCR)						
UART[0x0C]		初期値 = 0x00				Read/Write
DLAB	ブレーク制御 (SBRK)	Reserved (0)	偶数パリティ (EPS)	パリティイネーブル (PEN)	ストップビット数 (STB)	ワード長 (WLS[1:0])
7	6	5	4	3	2	1 0

- Bit 7 : **DLAB デバイザラッチアクセスビット**
 UART[0x00]、UART[0x04]からデバイザラッチ LSB/MSB レジスタにアクセスするか、受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセスするか設定します。
 0 (r/w) : 受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセス
 1 (r/w) : デバイザラッチ LSB/MSB レジスタにアクセス
- Bit 6 : **SBRK ブレーク制御**
 ブレーク信号の出力を制御します。
 0 (r/w) : 通常出力
 1 (r/w) : ブレーク信号出力。このビットが“1”に設定されている間 (“0”を書き込むまで)、シリアル出力が LOW になります。
- Bit 4 : **EPS 偶数パリティ**
 偶数/奇数パリティを選択します。
 0 (r/w) : 奇数パリティ
 1 (r/w) : 偶数パリティ
 この設定は、パリティイネーブル (Bit 3) が“1”の場合にのみ有効です。
- Bit 3 : **PEN パリティイネーブル**
 パリティチェックとパリティビットの付加を有効/無効に設定します。
 0 (r/w) : パリティ無効。受信データはパリティなしとして扱われます。送信データにはパリティビットが付加されません。
 1 (r/w) : パリティ有効。パリティビット付きとしてデータを受信し、パリティチェックを行います。送信データにはパリティビットが付加されます。
- Bit 2 : **STB ストップビット数**
 ストップビット数を選択します。
 0 (r/w) : 1 ビット
 1 (r/w) : 2 ビット (データ長が 6、7 または 8 ビットの場合)
 1.5 ビット (データ長が 5 ビットの場合)
 選択されたストップビットが送信データに付加されます。受信時は選択したストップビット数にかかわらず、最初の 1 ビットのみがチェックされます。
- Bits [1:0] : **WLS[1:0] ワード長ビット[1:0]**
 送受信キャラクタ (パリティ、ストップビットを除く) のビット数を選択します。
 00 (r/w) : 5 ビット
 01 (r/w) : 6 ビット
 10 (r/w) : 7 ビット
 11 (r/w) : 8 ビット

16. UART

モデム制御レジスタ (MCR)						
UART[0x10]		初期値 = 0x00				Read/Write
n/a		オートフロー 制御イネー ブル(AFCE)	ループバック (LOOP)	アウトプット 2 制御 (OUT2)	アウトプット 1 制御 (OUT1)	RTS 制御 (RTS)
7	6	5	4	3	2	1
						DTR 制御 (DTR)
						0

Bit 5 :

AFCE オートフロー制御イネーブル

モデムの CTS#、RTS#信号を使用した、オートフロー制御をイネーブルします。

0 (r/w) : マニュアルフロー制御モード

1 (r/w) : オートフロー制御モード

このビットを“1”に設定し、かつ FIFO 制御レジスタの Bit 0 を“1”にすると、オート CTS 制御モードになり、送信 FIFO にデータが入っているときに CTS#入力が高レベルになると自動的にデータ送信を中断します。CTS#入力が高レベルになると自動的にデータ送信を再開します。さらにモデム制御レジスタ Bit 1 を“1”に設定すると、オート RTS 制御モードになり、受信 FIFO が受信データトリガレベルに到達すると、自動的に RTS#出力を高レベルにします。受信 FIFO がエンプティになると、自動的に RTS#出力を低レベルにします。

注意： このビットは 16550 には存在しません。（16550 非互換）

Bit 4 :

LOOP ループバック

モデムのローカルループテストを行います。

0 (r/w) : 通常動作

1 (r/w) : ローカルループテスト

このビットを“1”に設定すると、シリアル出力ラインがシリアル入力ラインに接続され、送信データを入力して診断が行えます。

以下にループ・バック・モードと通常モードの相違点を示します。

表に示すように、ループ・バック・モードでは、シリアル・データとモデム制御の出力系が入力系にフィードバックされますので簡単な自己診断が単体で行えます。また、この場合でも割り込み機能やブレイク機能はそのまま動作します。

表 16.3 ループバックモードと通常モードの相違点

相違箇所		ループ・バック・モード時	通常モード時
DTR#端子		常時ハイ・レベル（インアクティブ）を出力	DTR ビットの反転値を出力
RTS#端子		常時ハイ・レベル（インアクティブ）を出力	RTS ビットの反転値を出力
TXD 端子		常時ハイ・レベル（マーク状態）を出力	送信シフトレジスタ（TSR）からシリアルデータを順次出力
レ ジ ス タ	CTS ビット	RTS ビットの設定値がリードされます。	CTS#端子の反転値がリードされます。
	DSR ビット	DTR ビットの設定値がリードされます。	DSR#端子の反転値がリードされます。
	RI ビット	OUT1 ビットの設定値がリードされます。	RI#端子の反転値がリードされます。
	DCD ビット	OUT2 ビットの設定値がリードされます。	DCD#端子の反転値がリードされます。
	DCTS ビット	RTS ビットの変化を捕らえます。	CTS#端子の変化を捕らえます。
	DDSR ビット	DTR ビットの変化を捕らえます。	DSR#端子の変化を捕らえます。
	TERI ビット	OUT1 ビットの立ち下がり変化を捕らえます。	RI#端子の変化を捕らえます。
受 信 シ フ ト レ ジ ス タ	DDCD ビット	OUT1 ビットの変化を捕らえます。	DCD#端子の変化を捕らえます。
	受信シフトレジスタ	送信シフトレジスタ（TSR）からシリアルデータを取り込みます。	RXD 端子からシリアルデータを取り込みます。

Bit 3 :

OUT2 アウトプット2#制御

OUT2#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、DCD#に相当する内部信号に接続されます。

0 (r/w) : OUT2# = HIGH

1 (r/w) : OUT2# = LOW

注意： このビットはループバックモード時のみ使用可能です。

- Bit 2 :

OUT1 アウトプット 1#制御

OUT1#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、RI#に相当する内部信号に接続されます。

0 (r/w) : OUT1# = HIGH

1 (r/w) : OUT1# = LOW

注意： このビットはループバックモード時のみ使用可能です。
- Bit 1 :

RTS RTS#制御

マニュアルフロー制御モード（モデム制御レジスタ Bit 5 を 0 に設定）時は RTS#出力を直接制御します。

0 (r/w) : RTS# = HIGH

1 (r/w) : RTS# = LOW

オートフロー制御モード（モデム制御レジスタ Bit 5 を 1 に設定）時はオート RTS 制御モードになります。

0 (r/w) : RTS 非制御

1 (r/w) : オート RTS 制御モード

ただしループバックテストモード時は常時ハイレベル出力となり、CTS#に相当する内部信号に接続されます。
- Bit 0 :

DTR DTR#制御

DTR#出力を直接制御します。ただしループバックテストモード時は常時ハイレベル出力となり、DSR#に相当する内部信号に接続されます。

0 (r/w) : DTR# = HIGH

1 (r/w) : DTR# = LOW

注意： このビットはループバックモード時のみ使用可能です。

ラインステータスレジスタ (LSR)							
UART[0x14]		初期値 = 0x00					Read Only
受信 FIFO エラー	送信エンプティ (TEMT)	送信ホールディングレジスタエンプティ (THRE)	ブレーク割り込み (BI)	フレーミングエラー (FE)	パリティエラー (PE)	オーバーランエラー (OE)	データレディ (DR)
7	6	5	4	3	2	1	0

- Bit 7 :

RCVRE 受信 FIFO エラー

受信 FIFO でエラー（パリティエラー、フレーミングエラー、ブレーク表示）が発生しているかどうかを示します。このビットは FIFO を有効に設定している場合（FIFO 制御レジスタ UART[08h] Bit 0 (FIFO イネーブルビット) = 1）にのみ有効で、FIFO を無効に設定している場合（FIFO イネーブルビット = 0）は常に 0 になります。

0 : エラーなし

1 : エラー発生

次に受信バッファから読み出されるデータ以外に FIFO 内にエラーデータがなければ、このフラグは本レジスタの読み出しにより “0” にリセットされます。
- Bit 6 :

TEMT 送信エンプティ

送信シフトレジスタと送信 FIFO/送信ホールディングレジスタが空であることを示します。

0 : 送信データあり

1 : 送信データなし

FIFO を有効に設定している場合（FIFO イネーブルビット = 1）、送信 FIFO と送信シフトレジスタの両方が空かどうかを示します。FIFO を無効に設定している場合（FIFO イネーブルビット = 0）は、送信ホールディングレジスタと送信シフトレジスタの両方が空かどうかを示します。送信データが書き込まれると 0 に戻ります。

Bit 5 :

THRE 送信ホールディングレジスタエンプティ

このビットは割り込みイネーブルレジスタ UART[0x04]Bit 7 (EPTBEI ビット) によって動作が変わります。

プログラマブル送信ホールディングレジスタエンプティ割り込みが禁止されている場合 (EPTBEI ビット=0)、送信 FIFO/送信ホールディングレジスタが空であることを示します。

0 : 送信データあり

1 : 送信データなし

FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、送信 FIFO が空かどうかを示します。FIFO を無効に設定している場合 (FIFO イネーブルビット = 0) は、送信ホールディングレジスタが空かどうかを示します。送信ホールディングレジスタエンプティ割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。なお、このビットは送信動作によって送信 FIFO/送信ホールディングレジスタが空になった場合にセットされます。リセットや FIFO のクリア等によって空になった場合はセットされません。送信データが書き込まれると 0 に戻ります。

プログラマブル送信ホールディングレジスタエンプティ割り込みが許可されている場合 (EPTBEI ビット = 1)、送信 FIFO がフル状態であることを示しています。

0 (r) : 送信 FIFO にデータが書き込める状態

1 (r) : 送信 FIFO がフル状態

プログラマブル送信ホールディングレジスタエンプティ割り込みが発生したときに、送信 FIFO にデータを書く前にこのビットを読むことにより、送信 FIFO がフルになるまで送信データを書き込めます。このビットとプログラマブル送信ホールディングレジスタエンプティ割り込みを使用することで送信 FIFO は常にデータが入った状態になり、割り込みにすぐに応答できないシステムにおいても効率的なデータ転送が可能となります。

Bit 4 :

BI ブレーク割り込みフラグ

ブレーク割り込みを示します。

0 : ブレーク割り込みなし

1 : ブレーク割り込みあり

1 つのキャラクタに当る受信期間中、入力ラインが 0 になっていると、このフラグがセットされます。

FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 3 :

FE フレーミングエラー

フレーミングエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

受信データに有効なストップビットがない場合に、このフラグがセットされます。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 2 :

PE パリティエラー

パリティエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

パリティイネーブルビットがセットされている場合に行う受信データのパリティチェックでエラーが発生すると、このフラグがセットされます。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1)、このエラーは FIFO の先頭に置かれているキャラクタで発生していることを示します。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 1 : OE オーバーランエラー

オーバーランエラーが発生したことを示します。

0 : エラーなし

1 : エラーあり

FIFO を無効に設定している場合 (FIFO イネーブルビット = 0) は、受信バッファレジスタ内のカレントキャラクタが読み出される前に次のキャラクタが送られてくるとオーバーランエラーになります。FIFO を有効に設定している場合 (FIFO イネーブルビット = 1) は、FIFO が満杯の状態 で新しいキャラクタが送られてくるとオーバーランエラーになります。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。

Bit 0 : DR データレディ

受信データが存在することを示します。

0 : 受信データなし

1 : 受信データあり

受信バッファレジスタまたは FIFO 内に 1 キャラクタ以上の有効なデータがある場合、“1” にセットされます。受信データ可能割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは受信 FIFO から受信データがすべて読み出されると “0” にリセットされます。

モデムステータスレジスタ (MSR)							
UART[0x18]		初期値 = 0x00					Read Only
DCD ステータス (DCD)	RI ステータス (RI)	DSR ステータス (DSR)	CTS ステータス (CTS)	DCD 変化 (DDCD)	RI 立下り変化 (TERI)	DSR 変化 (DDSR)	CTS 変化 (DCTS)
7	6	5	4	3	2	1	0

Bit 7 : DCD DCD ステータス

DCD 端子の入力状態を示します。

0 : DCD 入力 = HIGH

1 : DCD 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 6 : RI RI ステータス

RI 端子の入力状態を示します。

0 : RI 入力 = HIGH

1 : RI 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 5 : DSR DSR ステータス

DSR 端子の入力状態を示します。

0 : DSR 入力 = HIGH

1 : DSR 入力 = LOW

注意： このビットはループバックモード時のみ使用可能です。

Bit 4 : CTS CTS ステータス

CTS#端子の入力状態を示します。

0 : CTS1#入力 = HIGH

1 : CTS#1 入力 = LOW

Bit 3 : DD CD DCD 変化

DCD 端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART[0x10] Bit 4 = 1) では、DCD 端子にかかわらずアウトプット 2 制御ビット (UART[0x10] Bit 3) の変化が反映されます。

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意： このビットはループバックモード時のみ使用可能です。

16. UART

Bit 2 : **TERI RI 立下り変化**
RI 端子の入力が、前回の読み出し以降に立下り変化したかどうかを示します。ただしループバックモード設定時 (UART[0x10] Bit 4 = 1) では、RI 端子にかかわらずアウトプット 1 制御ビット (UART[0x10] Bit 2) の立下り変化が反映されます。

0 : 立下り変化なし

1 : 立下り変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意：このビットはループバックモード時のみ使用可能です。

Bit 1 : **DDSR DSR 変化**
DSR 端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART[0x10] Bit 4 = 1) では、DSR 端子にかかわらず DTR ビット (UART[0x10] Bit 0) の変化が反映されます。

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

注意：このビットはループバックモード時のみ使用可能です。

Bit 0 : **DCTS CTS 変化**
CTS#端子の入力が、前回の読み出し以降に変化したかどうかを示します。ただしループバックモード設定時 (UART[0x10] Bit 4 = 1) では、CTS#端子にかかわらず RTS 制御ビット (UART[0x10] Bit 1) の変化が反映されます。

0 : 変化なし

1 : 変化あり

このビットは、本レジスタの読み出しによりクリアされます。

スクラッチレジスタ (SCR)									
UART[0x1C]				初期値 = 0x00				Read/Write	
スクラッチビット (SCR [7:0])									
7	6	5	4	3	2	1	0		

Bits [7:0] : **SCR [7:0] スクラッチビット**
ハードウェア動作には影響を与えない汎用レジスタとして使用可能です。

テスト 0 レジスタ (T0)							
UART[0x20]				初期値 = 0x00			
							Read/Write
n/a							テストモード
7	6	5	4	3	2	1	0

Bit 0 : **テストモード**
テストモードを設定します。テストモードでは、ループバックテストと同等のテストが行えます。

0 (t/w) : 通常モード

1 (t/w) : テストモード

テスト1レジスタ (T1)							
UART[0x24] 初期値 = 0x00				Read/Write			
n/a				DCD テスト	RI テスト	DSR テスト	CTS テスト
7	6	5	4	3	2	1	0

- Bit 3 : **DCD テスト**
 テストモード時 (UART[0x20] Bit 0=1) に DCD 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力
- Bit 2 : **RI テスト**
 テストモード時 (UART[0x20] Bit 0=1) に RI 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力
- Bit 1 : **DSR テスト**
 テストモード時 (UART[0x20] Bit 0=1) に DSR 入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力
- Bit 0 : **CTS テスト**
 テストモード時 (UART[0x20] Bit 0=1) に CTS#入力を制御します。
 0 (r/w) : ローレベル (アクティブ) を入力
 1 (r/w) : ハイレベル (インアクティブ) を入力

テストステータス0レジスタ (TS0)							
UART[0x28] 初期値 = —				Read Only			
n/a				DCD ロウ ステータス	RI ロウ ステータス	DSR ロウ ステータス	CTS ロウ ステータス
7	6	5	4	3	2	1	0

- Bit 3 : **DCD ロウステータス**
 常に DCD 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力
- Bit 2 : **RI ロウステータス**
 常に RI 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力
- Bit 1 : **DSR ロウステータス**
 常に DSR 端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力
- Bit 0 : **CTS ロウステータス**
 常に CTS#端子の入力状態を示します。
 0 : ローレベル (アクティブ) が入力
 1 : ハイレベル (インアクティブ) が入力

16. UART

テストステータス1レジスタ (TS1)						
UART[0x2C] 初期値 = 0x00					Read Only	
n/a				DCD ステータス 3	RI ステータス 2	DSR ステータス 1
7	6	5	4			CTS ステータス 0

- Bit 3 : **DCD ステータス**
UART 回路が認識する DCD 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 2 : **RI ステータス**
UART 回路が認識する RI 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 1 : **DSR ステータス**
UART 回路が認識する DSR 信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力
- Bit 0 : **CTS ステータス**
UART 回路が認識する CTS#信号の入力状態を示します。
0 : ローレベル (アクティブ) が入力
1 : ハイレベル (インアクティブ) が入力

テストステータス2レジスタ (TS2)						
UART[0x30] 初期値 = 0x00					Read Only	
n/a			BAUDOUT ステータス 4	OUT2 ステータス 3	OUT1 ステータス 2	RTS ステータス 1
7	6	5				DTR ステータス 0

- Bit 4 : **BAUDOUT ステータス**
UART 回路が出力する BAUDOUT 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 3 : **OUT2 ステータス**
UART 回路が出力する OUT2 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 2 : **OUT1 ステータス**
UART 回路が出力する OUT1 信号の状態を示します。
0 : ローレベルを出力
1 : ハイレベルを出力
- Bit 1 : **RTS ステータス**
UART 回路が出力する RTS#信号の状態を示します。
0 : ローレベル (アクティブ) を出力
1 : ハイレベル (インアクティブ) を出力
- Bit 0 : **DTR ステータス**
UART 回路が出力する DTR 信号の状態を示します。
0 : ローレベル (アクティブ) を出力
1 : ハイレベル (インアクティブ) を出力

テストステータス3レジスタ (TS3)					Read Only		
UART[0x3C] 初期値 = 0x00					TXRDY ステータス 2	RXRDY ステータス 1	INTR ステータス 0
7	6	n/a	4	3			

Bit 2 : **TXRDY ステータス**
 UART 回路が出力する TXRDY 信号の状態を示します。
 0 : ローレベル (アクティブ) を出力
 1 : ハイレベル (インアクティブ) を出力

Bit 1 : **RXRDY ステータス**
 UART 回路が出力する RXRDY 信号の状態を示します。
 0 : ローレベル (アクティブ) を出力
 1 : ハイレベル (インアクティブ) を出力

Bit 0 : **INTR ステータス**
 UART 回路が出力する INTR 信号の状態を示します。
 0 : ローレベル (インアクティブ) を出力
 1 : ハイレベル (アクティブ) を出力

16.4.4 ボーレート設定例

UART 内でのボーレート設定のためのクロック分周値は、以下の計算式で求められます。

$$\text{分周値} = \text{UART_SCLK 入力クロック周波数(Hz)} \div \text{ボーレート(bps)} \div 16$$

例えば、UART への入力クロック (=UART_SCLK) が 24.00256MHz のときのクロック分周値は下記のようになります。

表 16.4 ボーレートと分周値

ボーレート	×16 クロック 理想値	24.00256MHz UART ソースクロック		
		×16 クロック の分周値	誤差パーセント %	実際の ×16 クロック
300	4800	5000	0.01	4800.5
600	9600	2500	0.01	9601.0
1200	19200	1250	0.01	19202.0
2400	38400	625	0.01	38404.1
4800	76800	312	0.17	76931.3
9600	153600	156	0.17	153862.6
14400	230400	104	0.17	230793.8
19200	307200	78	0.17	307725.1
28800	460800	52	0.17	461587.7
38400	614400	39	0.17	615450.3
57600	921600	26	0.17	923175.4
115200	1843200	13	0.17	1846350.8
125000	2000000	12	0.01	2000213.3
250000	4000000	6	0.01	4000426.7
500000	8000000	3	0.01	8000853.3
750000	12000000	2	0.01	12001280.0
1500000	24000000	1	0.01	24002560.0

16. UART

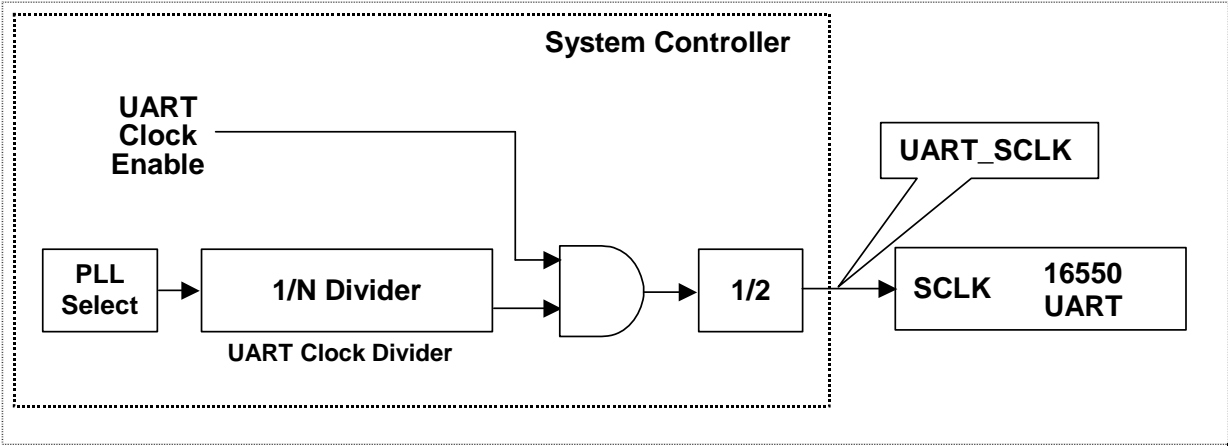


図 16.2 UART クロック概念図

16.5 本UARTの利用制限事項

本チップでは、16550 と互換を保つすべての信号を I/O 端子として用意していないため、回路自体は 16550 の機能のほとんどを有していますが、一部のレジスタに対して利用制限がかかります。以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
UART[0x10]Bit 0	DTR : DTR#制御	ループバックモードのみ使用可能
UART[0x10]Bit 2	OUT1 : アウトプット 1#制御	ループバックモードのみ使用可能
UART[0x10]Bit 3	OUT2 : アウトプット 2#制御	ループバックモードのみ使用可能
UART[0x18]Bit 1	DDSR : DSR 変化	ループバックモードのみ使用可能
UART[0x18]Bit 2	TERI : RI 立下り変化	ループバックモードのみ使用可能
UART[0x18]Bit 3	DDCD : DCD 変化	ループバックモードのみ使用可能
UART[0x18]Bit 5	DSR : DSR ステータス	ループバックモードのみ使用可能
UART[0x18]Bit 6	RI : RI ステータス	ループバックモードのみ使用可能
UART[0x18]Bit 7	DCD : DCD ステータス	ループバックモードのみ使用可能

以下のレジスタ設定は、16550 に存在し、本 UART には存在しません。

オフセットアドレス	レジスタビット名称	制限
UART[0x0C]Bit 5	スティックパリティ	常に使用不可

以下のレジスタ設定は、16550 には存在せず、本 UART に存在します。16550 互換のファームウェアを作成する場合は、これらのレジスタを使用しないようにする必要があります。

オフセットアドレス	レジスタビット名称	制限
UART[0x04]Bit 7	EPTBEI : プログラマブル送信ホールディングレジスタエンpty割り込み許可	16550 非互換
UART[0x08]Bit [5:4]	XMITT[1:0]: 送信データトリガレベル設定	16550 非互換
UART[0x10]Bit 5	AFCE : オートフロー制御イネーブル	16550 非互換

17. UART Lite

17.1 概要

UART Lite は、業界標準の 16550 と互換性を持つ非同期データ転送用インタフェースからデバッグコンソール用にできる限り機能を削ったものです。CPU のパラレルデータをシリアル変換して周辺デバイスに転送するとともに、周辺デバイスから送られたシリアルデータを入力しパラレルデータに変換します。

- 実現している機能は以下のとおりです。
- 8 ビット、パリティ無し、ストップビット 1 ビットのみ
- 送信、受信用に 1 バイトのバッファのみ
- オーバーランエラー割り込み、フレーミングエラー割り込み、ブレーク検出割り込み
- 受信レディ、送信ホールディングレジスタエンプティ割り込み
- デバイザは 0~65535 まで設定可能

17.2 ブロック図

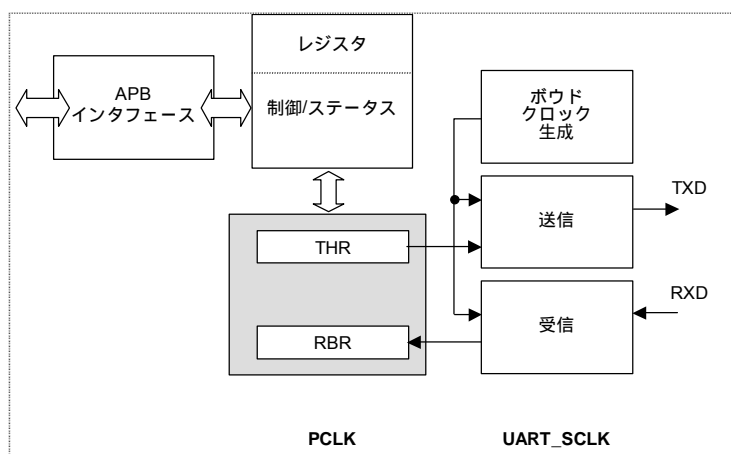


図 17.1 UART Lite ブロック図

17.3 外部端子

UART Lite 関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子* / 備考
TXD1	出力	UART Lite 用送信データ出力	GPIOA2/SPI_SS
RXD1	入力	UART Lite 用受信データ入力	GPIOA3/SPI_SCLK

注意(*) : UART Lite 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2”に設定することにより使用できます。

17. UART Lite

17.4 レジスタ説明

UART Lite の制御レジスタが配置されているデフォルトのベースアドレスは 0xFFFF_6000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

注意：UART Lite に対するアクセスは 32 ビット境界のオフセットでアクセスする限り、8bit, 16bit, 32bit のいずれのアクセスサイズでもリード／ライトが可能です。

17.4.1 レジスタ一覧

表 17.1 レジスタ一覧（ベースアドレス：0xFFFF_6000）

アドレス オフセット	DLAB	レジスタ名称	レジスタ 略称	初期値	R/W	データア クセスサイズ
0x00	0	受信バッファレジスタ	RBR	0x00	RO	8/16/32bit
0x00	0	送信ホールディングレジスタ	THR	—	WO	8/16/32bit
0x00	1	デバイザラッチ LSB レジスタ	DLL	0x00	R/W	8/16/32bit
0x04	0	割り込みイネーブルレジスタ	IER	0x00	R/W	8/16/32bit
0x04	1	デバイザラッチ MSB レジスタ	DLM	0x00	R/W	8/16/32bit
0x08	—	割り込み識別レジスタ	IIR	0x01	RO	8/16/32bit
0x0C	—	ライン制御レジスタ	LCR	0x03	R/W	8/16/32bit
0x14	—	ラインステータスレジスタ	LSR	0x00	RO	8/16/32bit
0x30	—	テストステータス 2 レジスタ	TS2	0x00	RO	8/16/32bit
0x3C	—	テストステータス 3 レジスタ	TS3	0x00	RO	8/16/32bit

17.4.2 レジスタアクセスにおける注意事項

UART Lite の制御レジスタは、レジスタ間のアドレスにアクセスしたときの動作は保証されません。例えば、アドレスオフセット 01h にバイトアクセスしたときの動作は保証されません。必ず指定されたアドレスオフセットによるアクセスを行ってください。

30h、3Ch のレジスタは、UART Lite 自身をデバッグする目的で用意されたレジスタです。デバッグ以外で使用することはできません。またこれらのレジスタは将来において仕様が変更される可能性があります。

17.4.3 レジスタ詳細説明

受信バッファレジスタ (RBR)										
UARTL[0x00]		DLAB [0]		初期値 = 0x00						Read Only
シリアル受信データ (RBR[7:0])										
7	6	5	4	3	2	1	0			

Bits [7:0] : **RBR[7:0] シリアル受信データビット[7:0]**
 ライン制御レジスタの DLAB ビット (UARTL[0x0C] Bit 7) が “0” の場合の読み出し時は、このレジスタは受信バッファとして機能します。Bit [7:0]からはシリアルポートが受信したバイトデータを読み出すことができます。なお、読み出されたデータは、ラインステータスレジスタのデータレディビット (UARTL[0x14] Bit 0) が “1” の場合にのみ有効です。受信バッファにデータがある状態で次のデータが来た場合、受信バッファのデータは次に来たデータによって上書きされます。

送信ホールディングレジスタ (THR)							
UARTL[0x00]		DLAB [0]	初期値 = —				Write Only
シリアル送信データ (THR [7:0])							
7	6	5	4	3	2	1	0

Bits [7:0] : **THR[7:0] シリアル送信データビット[7:0]**
 ライン制御レジスタの DLAB ビット (UARTL[0x0C] Bit 7) が “0” の場合の書き込み時、このレジスタは送信バッファとして機能します。

デバイザラッチ LSB レジスタ (DLL)										
UARTL[0x00]		DLAB [1]		初期値 = 0x00						Read/Write
デバイザラッチ LSB (DL[7:0])										
7	6	5	4	3	2	1	0			

Bits [7:0] : **DL[7:0] デバイザラッチ LSB ビット**
 ライン制御レジスタの DLAB ビット (UARTL[0x0C] Bit 7) が “1” の場合、このレジスタはボーレートを決定するソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは下位 8 ビット用です。上位 8 ビットはデバイザラッチ MSB レジスタ (UARTL[0x04]) に設定します。ボーレートは次のように設定されます。

$$\text{ボーレート} = \text{入力クロック} / (16 \times \text{DL}[15:0])$$

 表 17.3 にボーレートと分周値の対応を示します。

割り込みイネーブルレジスタ (IER)							
UARTL[0x04]		DLAB [0]	初期値 = 0x00				Read/Write
Reserved (0)					受信ラインステータス割り込み許可 (ELSI)	送信ホールディングエンプティ割り込み許可 (ETBEI)	受信データ可能割り込み許可 (ERBFI)
7	6	5	4	3	2	1	0

ライン制御レジスタの DLAB ビット (UARTL[0x0C] Bit 7) が 0 の場合、このレジスタは UART Lite の割り込みイネーブルレジスタとして機能し、3 つの UART Lite 割り込み許可/禁止します。

Bits [7:3] : **予約 (0)**

17. UART Lite

- Bit 2 : **ELSI 受信ラインステータス割り込み許可**
 0 (r/w) : 割り込み禁止
 1 (r/w) : 割り込み許可
- Bit 1 : **ETBEI 送信ホールディングレジスタエンプティ割り込み許可**
 0 (r/w) : 割り込み禁止
 1 (r/w) : 割り込み許可
- Bit 0 : **ERBFI 受信データ可能割り込み許可**
 0 (r/w) : 割り込み禁止
 1 (r/w) : 割り込み許可

各割り込み要因の内容については、表 17.2 を参照してください。

デバイザラッチ MSB レジスタ (DLM)									
UARTL[0x04] DLAB [1]				初期値 = 0x00				Read/Write	
デバイザラッチ MSB (DL[15:8])									
7	6	5	4	3	2	1	0		

- Bit [7:0] : **DL[15:8] デバイザラッチ MSB ビット**
 ライン制御レジスタの DLAB ビット (UARTL[0x0C] Bit 7) が “1” の場合、このレジスタはボーレートを決めるソースクロックの分周比を設定するために使用されます。設定値は 16 ビットで、このレジスタは上位 8 ビット用です。下位 8 ビットはデバイザラッチ LSB レジスタ (UARTL[0x00]) に設定します。ボーレートは次のように設定されます。

$$\text{ボーレート} = \text{入力クロック} / (16 \times \text{DL}[15:0])$$

 ボーレートと分周値の対応については、表 17.3 を参照してください。

割り込み識別レジスタ (IIR)							
UARTL[0x08] 初期値 = 0x01				Read Only			
Reserved				割り込み ID (IID [3:0])			
7	6	5	4	3	2	1	0

- Bits [3:0] : **IID [3:0] 割り込み ID ビット[3:0]**
 UART Lite で発生している割り込みソースを識別します。

表 17.2 UART Lite 割り込み

IID [3:0]	割り込みの種類	割り込みソース	割り込み ID のリセット方法	優先順位
0001	なし	なし	n/a	n/a
0110	受信ラインステータス割り込み	・ オーバーランエラー ・ フレーミングエラー ・ ブレーク受信	・ ラインステータスレジスタの読み出し	1 (最高)
0100	受信データ可能割り込み	・ 受信データ可能	・ ラインステータスレジスタの読み出し	2
0010	送信ホールディングレジスタエンプティ割り込み	・ 送信ホールディングレジスタが空	・ 割り込み識別レジスタの読み出し ・ 送信ホールディングレジスタへの書き込み	3

ライン制御レジスタ (LCR)					
UARTL[0x0C]			初期値 = 0x03		Read/Write
DLAB	ブレーク制御 (SBRK)	Reserved (0)		パリティイネーブル (PEN)	ストップビット数 (STB)
7	6	5	4	3	2
				1	0
				ワード長 (WLS[1:0])	

- Bit 7 : **DLAB デバイザラッチアクセスビット**
 UARTL[0x00]、UARTL[0x04]からデバイザラッチ LSB/MSB レジスタにアクセスするか、受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセスするか設定します。
 0 (r/w) : 受信バッファレジスタ、送信ホールディングレジスタ、割り込みイネーブルレジスタにアクセス
 1 (r/w) : デバイザラッチ LSB/MSB レジスタにアクセス
- Bit 6 : **SBRK ブレーク制御**
 ブレーク信号の出力を制御します。
 0 (r/w) : 通常出力
 1 (r/w) : ブレーク信号出力。このビットが“1”に設定されている間（“0”を書き込むまで）、シリアル出力が LOW になります。
- Bits [5:4] : **Reserved**
- Bit 3 : **PEN パリティイネーブル (Read Only)**
 パリティチェックとパリティビットの付加が無効であることを示します。
 0 : パリティ無効。（固定）
 受信データはパリティなしとして扱われます。送信データにはパリティビットが付加されません。
- Bit 2 : **STB ストップビット数 (Read Only)**
 ストップビット数を示します。
 0 : 1 ビット
- Bits [1:0] : **WLS[1:0] ワード長ビット[1:0] (Read Only)**
 送受信キャラクタ（ストップビットを除く）のビット数を示します。8 ビット固定になっていますので、デフォルトのままご使用ください。
 11 : 8 ビット（固定）

17. UART Lite

ラインステータスレジスタ (LSR)							
UARTL[0x14]		初期値 = 0x00					Read Only
Reserved	送信 エンプティ (TEMT)	送信ホールディ ングレジスタエ ンプティ (THRE)	ブレーク割り 込み (BI)	フレーミングエ ラー (FE)	Reserved	オーバーランエ ラー (OE)	データレディ (DR)
7	6	5	4	3	2	1	0

- Bit 6 : **TEMT 送信エンプティ**
送信シフトレジスタと送信ホールディングレジスタが空であることを示します。
0 : 送信データあり
1 : 送信データなし
送信ホールディングレジスタと送信シフトレジスタの両方が空かどうかを示します。送信データが書き込まれると 0 に戻ります。
- Bit 5 : **THRE 送信ホールディングレジスタエンプティ**
送信ホールディングレジスタが空であることを示します。
0 : 送信データあり
1 : 送信データなし
なお、このビットは送信動作によって送信ホールディングレジスタが空になった場合にセットされます。リセット等によって空になった場合はセットされません。送信データが書き込まれると 0 に戻ります。
- Bit 4 : **BI ブレーク割り込みフラグ**
ブレーク割り込みを示します。
0 : ブレーク割り込みなし
1 : ブレーク割り込みあり
1 つのキャラクタに当る受信期間中、入力ラインが 0 になっていると、このフラグがセットされます。
受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。
- Bit 3 : **FE フレーミングエラー**
フレーミングエラーが発生したことを示します。
0 : エラーなし
1 : エラーあり
受信データに有効なストップビットがない場合に、このフラグがセットされます。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。
- Bit 1 : **OE オーバーランエラー**
オーバーランエラーが発生したことを示します。
0 : エラーなし
1 : エラーあり
受信バッファレジスタ内のカレントキャラクタが読み出される前に次のキャラクタが送られてくるとオーバーランエラーになります。受信ラインステータス割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは本レジスタの読み出しにより “0” にリセットされます。
- Bit 0 : **DR データレディ**
受信データが存在することを示します。
0 : 受信データなし
1 : 受信データあり
受信バッファレジスタに有効なデータがある場合、“1” にセットされます。受信データ可能割り込みを有効に設定している場合は、このフラグがセットされると割り込み要求が発生します。このフラグは受信バッファから受信データがすべて読み出されると “0” にリセットされます。

テストステータス 2 レジスタ (TS2)							
UARTL[0x30] 初期値 = 0x00				Read Only			
n/a			BAUDOUT ステータス	n/a			
7	6	5	4	3	2	1	0

Bit 4 : **BAUDOUT ステータス**
 UART Lite 回路が出力する BAUDOUT 信号の状態を示します。
 0 : ローレベルを出力
 1 : ハイレベルを出力

テストステータス 3 レジスタ (TS3)							
UARTL[0x3C] 初期値 = 0x00						Read Only	
n/a						INTR ステータス	0
7	6	5	4	3	2	1	0

Bit 0 : **INTR ステータス**
 UART 回路が出力する INTR 信号の状態を示します。
 0 : ローレベル (インアクティブ) を出力
 1 : ハイレベル (アクティブ) を出力

17.4.4 ボーレート設定例

UART Lite 内でのボーレート設定のためのクロック分周値は、以下の計算式で求められます。

$$\text{分周値} = \text{UARTL_SCLK 入力クロック周波数(Hz)} \div \text{ボーレート(bps)} \div 16$$

例えば、UART Lite への入力クロック (=UARTL_SCLK) が 24.00256MHz のときのクロック分周値は下記ようになります。

表 17.3 ボーレートと分周値

ボーレート	×16 クロック 理想値	24.00256MHz UART ソースクロック		
		×16 クロック の分周値	誤差パーセント %	実際の ×16 クロック
300	4800	5000	0.01	4800.5
600	9600	2500	0.01	9601.0
1200	19200	1250	0.01	19202.0
2400	38400	625	0.01	38404.1
4800	76800	312	0.17	76931.3
9600	153600	156	0.17	153862.6
14400	230400	104	0.17	230793.8
19200	307200	78	0.17	307725.1
28800	460800	52	0.17	461587.7
38400	614400	39	0.17	615450.3
57600	921600	26	0.17	923175.4
115200	1843200	13	0.17	1846350.8
125000	2000000	12	0.01	2000213.3
250000	4000000	6	0.01	4000426.7
500000	8000000	3	0.01	8000853.3
750000	12000000	2	0.01	12001280.0
1500000	24000000	1	0.01	24002560.0

17. UART Lite

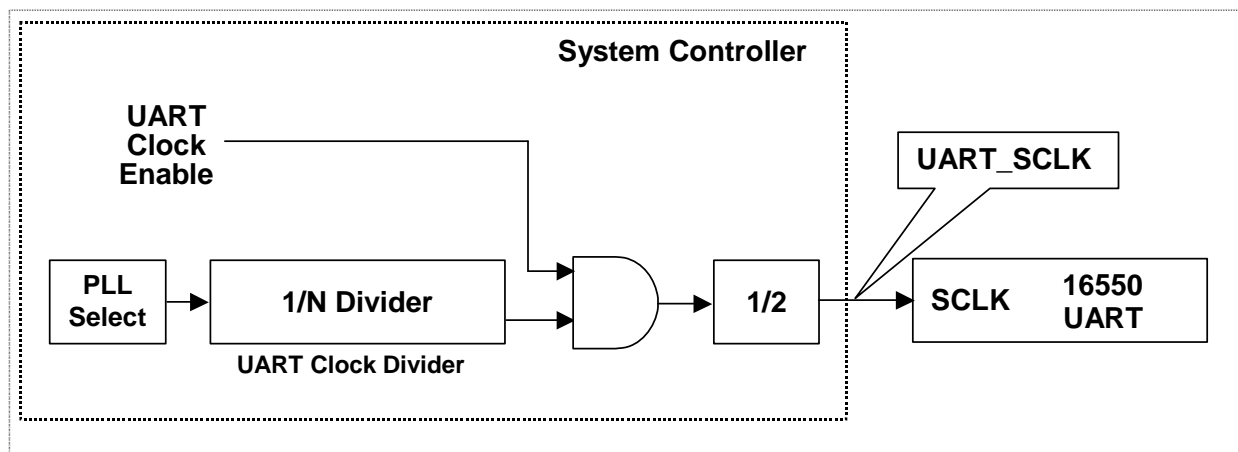


図 17.2 UART Lite クロック概念図

17.5 本UART Liteの利用制限事項

UART Lite は機能を削減していますので、16550 互換で作成されたプログラムがそのまま動作しない場合があります。特に FIFO を持たないことにより高いボーレートでの通信は困難になっています。

デバッグコンソールが通信している相手が UART Lite なのか 16550 互換で FIFO を持つ UART なのかを自動認識させる場合は、UARTL[0x08] Bit 0 に “1” を書き、UARTL[0x08] Bit [7:6]が “00” になるかどうかで判断します。“00” になった場合は FIFO を持たないため UART Lite、“11” になった場合は 16550 互換で FIFO を持つ UART であることが分かります。

18. I²C Single Master Core Module (I²C)

18.1 概要

18.1.1 マスタモード

- I²C バスの I²C シングルマスタモードをサポート
- I²C バスの I²C マルチマスタモードはサポートしていません。
- I²C バス上に複数のスレーブデバイスを接続可能。
- I²C データ転送に関するシフトレジスタのほかに、ソフトウェアによるリード／ライトタイミングを緩和するために、送信および受信用のバッファ（TBUF および RBUF）を持っています。
- バスエラーステータスを検出し、ステータスレジスタにより通知可能
- I²C のクロックウェイト機能をサポート

18.1.2 スレーブモード

- スレーブモードはサポートしていません。

18. I2C Single Master Core Module (I2C)

18.2 ブロック図

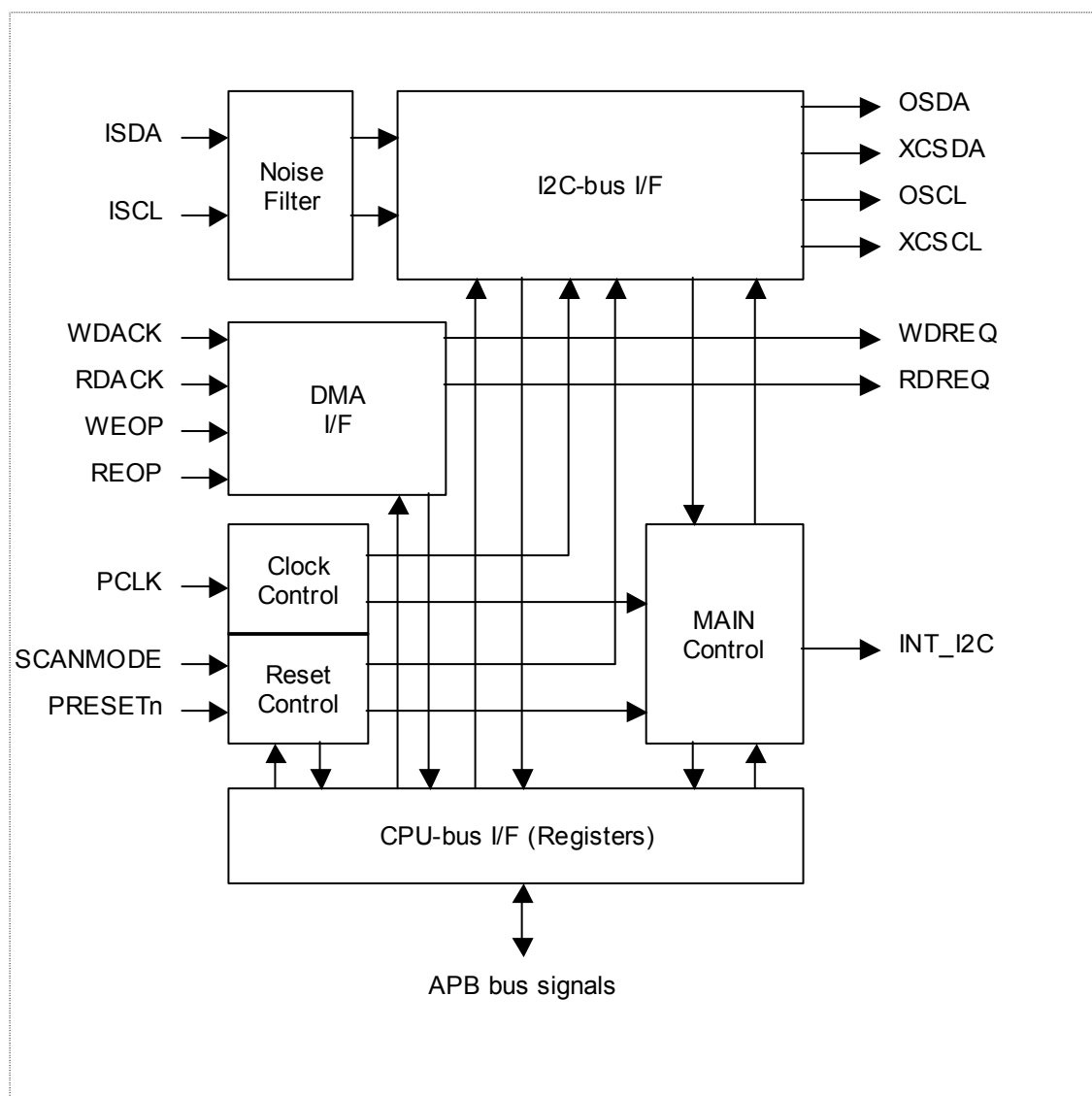


図 18.1 I²C 内部ブロック図

18.3 外部端子

端子名	入出力	端子機能	マルチプレクス端子* / 備考
SCL	入出力	I2C 用クロック入出力	GPIOA6
SDA	入出力	I2C 用データ入出力	GPIOA7

注意(*)： I2C 用の外部端子は GPIO 端子とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

18.4 レジスタ

18.4.1 レジスタ一覧

次の表に掲載されているアドレスオフセット値は I²C ロジックモジュールに割り当てられているベースアドレスからのオフセットです。これらのレジスタのベースアドレスは、0xFFFFE_D000 です。

表 18.1 レジスタ一覧（ベースアドレス：0xFFFFE_D000）

アドレス オフセット	レジスタ名称	初期値	R/W	アクセス サイズ ^{*1}
0x00	I ² C 送信データレジスタ	0000 0000b	R/W	8 (16/32)
0x04	I ² C 受信データレジスタ	0000 0000b	RO	8 (16/32)
0x08	I ² C コントロールレジスタ	0000 0000b	R/W	8 (16/32)
0x0C	I ² C バスステータスレジスタ	00xx 0000b ^{*2}	RO	8 (16/32)
0x10	I ² C エラーステータスレジスタ	0000 0000b	RO	8 (16/32)
0x14	I ² C 割り込みコントロール/ステータスレジスタ	0000 0000b	R/W	8 (16/32)
0x18	I ² C-BUS サンプルクロック分周設定レジスタ	0000 0000b	R/W	8 (16/32)
0x1C	I ² C SCL クロック分周設定レジスタ	0000 0000b	R/W	8 (16/32)
0x20	I ² C I/O コントロールレジスタ	0000 0000b	R/W	8 (16/32)
0x24	I ² C DMA モードレジスタ	0000 0000b	R/W	8 (16/32)
0x28	I ² C DMA カウンタ値(LSB)レジスタ	0000 0000b	R/W	8 (16/32)
0x2C	I ² C DMA カウンタ値(MSB)レジスタ	0000 0000b	R/W	8 (16/32)
0x30	I ² C DMA ステータスレジスタ	0000 1000b	RO	8 (16/32)
0x34 – 0x38	Reserved	—	—	—

*1： レジスタ一覧にあるレジスタは 8 ビットで定義されており、通常ファームウェアではこれらのレジスタを 8 ビットアクセスで使用します。しかし、ファームウェアが 16 ビットまたは 32 ビットアクセス命令を使用している場合には 16 ビットまたは 32 ビットアクセスできますが、下位 8 ビットのみ有効な値として使用してください。

*2： このレジスタの Bit 5 (SDA) および Bit 4 (SCL) は外部端子である SDA 端子および SCL 端子をモニタしています。これらの端子の状態により初期値が決まります。通常これらの端子は外部でプルアップされているため、SDA=1、SCL=1 となりますが、外部端子の設定に対応した値となります。

18. I2C Single Master Core Module (I2C)

18.4.2 レジスタ詳細説明

以下に各レジスタの詳細を説明します。

I ² C 送信データレジスタ							
I2C[0x00]		初期値 = 0000 0000b					
		I ² C 送信データ TD [7:0]					
7	6	5	4	3	2	1	0

Bits [7:0] : **TD[7:0] I²C 送信データ**
このレジスタは、I²C-BUS 転送の送信データを格納する 8 ビットのバッファです。マスタからデータを送信するときには、MSB ビットから LSB ビットまでを順に送信します。（下図参照）

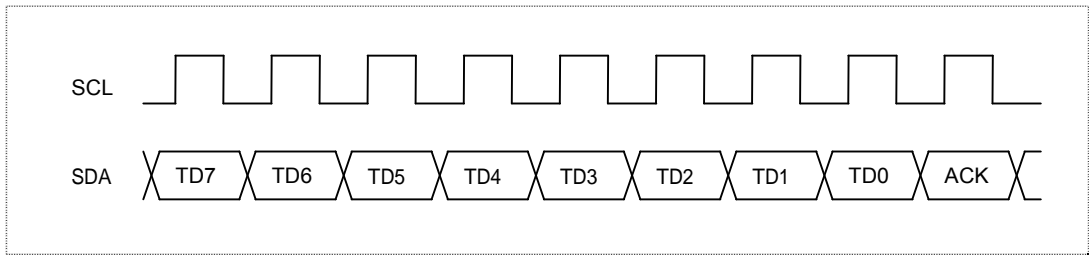


図 18.2 送信時のビット配置

I ² C 受信データレジスタ							
I2C[0x04]		初期値 = 0000 0000b					
		I ² C 受信データ RD [7:0]*					
7	6	5	4	3	2	1	0

Bits [7:0] : **RD[7:0] I²C 受信データ**
このレジスタは、I²C-BUS 転送の受信データを格納する 8 ビットのバッファです。スレーブデバイスからの送信データを、MSB ビットから LSB ビットまでを順に受信します。（下図参照）

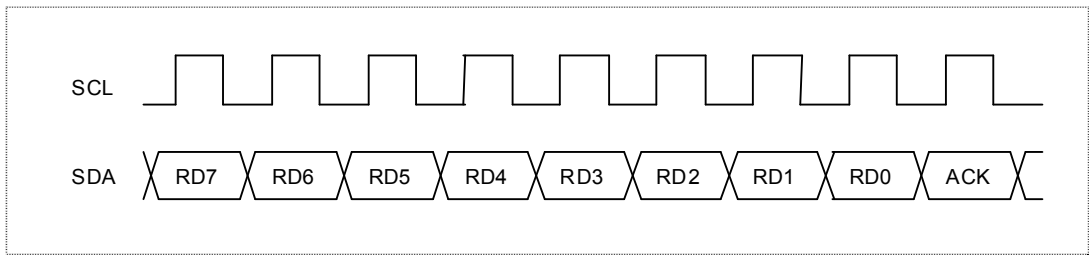


図 18.3 受信時のビット配置

18. I2C Single Master Core Module (I2C)

I ² C コントロールレジスタ							Read/write
I2C[0x08] 初期値 = 0000 0000b							
予約 (0)		SR	CLKW*	TACK*	TRNS [2:0]*		
7	6	5	4	3	2	1	0

Note : (*)はソフトウェアリセットでも初期化されます。

このレジスタは、スタート、ストップコンディションの発生や、データの送受信の開始などを制御します。

TRNS[2:0]がライトされるとその指定された動作を行います。

I²C バスステータスレジスタ I2C[0x0C]ビット 7 の RUN=1 の時に TRNS[2:0]がライトされても、そのコマンドは実行されません。

Bits [7:6] : **予約 (0)**

Bit 5 : SR ソフトウェアリセット

ソフトウェアで強制的にリセットをかけ、初期化動作を行います。

0: ソフトウェアリセットを解除

1: ソフトウェアリセットをセット

Bit 4 : CLKW クロックウェイトモードイネーブル

クロックウェイト機能を使用するかしないかを選択します。

0: クロックウェイトモードディセーブル

1: クロックウェイトモードイネーブル

Bit3 : TACK データ受信時アクノリッジ設定 (受信[Read]モードのみ)

データ受信時にスレーブデバイスに送信するアクトリッジを設定します。

0: アクノリッジをスレーブデバイスに送信しません。

1: アクノリッジをスレーブデバイスに送信します。

注意：DMA 転送モード時は、最終バイト転送時のみ本ビットの値（TACK）が使用され、その他は常に“0”が送信されます。

Bits [2:0] : TRNS[2:0] 送信コントロールコマンド

動作指定および開始の指示をします。

001: I²C スタートコンディション010 : I²C ストップコンディション011 : I²C データレシーブ100 : I²C データトランスファ

101.110: 使用不可

000, 111 : エラーステータスレジスタのエラーフラグをクリアします。

18. I2C Single Master Core Module (I2C)

I ² C バスステータスレジスタ							
I2C[0x0C] 初期値 = 00xx 0000b							Read Only
RUN*	予約	SDA	SCL	Using*	Busy*	Error*	Finish*
7	6	5	4	3	2	1	0

Note: (*) : ソフトウェアリセットでも初期化されます。
x : unknown (不定)

このレジスタは、I²C-BUS の状態を表すレジスタです。

Bit 7 : **RUN コマンド実行ステータス**

コマンドの動作の有無を示します。

- 0 : I²C-BUS (コマンド) 待ち状態
- 1 : I²C-BUS (コマンド) 実行中

Bit 6 : **予約**

Bit [5:4] : **SDA, SCL I²C-BUS モニタ**

現在の SDA, SCL の状態を示します。通常 SDA および SCL は外部でプルアップされているため HIGH になっており、それに対応した値を示します。

Bit 3 : **Using I²C-BUS 使用**

I²C シングルマスタが I2C-BUS を使用しているかどうかを示します。

- 0 : I²C シングルマスタは I²C-BUS を使用していない状態
- 1 : I²C シングルマスタが I²C-BUS を使用中

Bit 2 : **Busy I²C-BUS ビジー**

I²C-BUS の使用状態を示します。

- 0 : I²C-BUS BusFree 状態
- 1 : I²C-BUS 使用中

Bit 1 : **Error エラー発生**

エラー発生の有無を示します。

- 0 : エラーなし
- 1 : エラー状態の発生
このビットは I²C コントロールレジスタのライトでクリアされます。

Bit 0 : **Finish コマンド実行終了**

コマンドの終了を示します。

- 0 : コマンド未実行、または実行中
- 1 : コマンド実行終了
このビットは、リセットが有効な時 (RESET#=LOW) 、I²C コントロールレジスタのビット 5 (ソフトウェアリセット) = 1 の時、または I²C コントロールレジスタのビット[2:0] (TRNS) に対する有効なコマンドの書き込みによってクリアされます。

I ² C エラーステータスレジスタ					
I2C[0x10] 初期値 = 0000 0000b			Read Only		
予約			受信 アクリッジ*	SCL ミスマッチ*	SDA ミスマッチ*
			ストップ コンディション*	スタート コンディション*	
7	6	5	4	3	2
					1
					0

Note: * : ソフトウェアリセットでも初期化されます。

このレジスタは、エラー状態を表すレジスタです。

Bits [7:5] : **予約**

Bit 4 : **受信アクリッジメントエラー**

受信アクリッジによるエラーの有無を示します。

0 : エラーなし

1 : エラーあり

Bit 3 : **SCL ミスマッチエラー**

ISCL と OSCL の値不一致によるエラーの有無を示します。

0 : 正常動作中

1 : クロックの不一致検出あり

Bit 2 : **SDA ミスマッチエラー**

ISDA と OSDA の値不一致によるエラーの有無を示します。

0 : 正常動作中

1 : データの不一致検出あり

Bit 1 : **ストップコンディション検出**

ストップコンディション発生によるエラーの有無を示します。

0 : 正常動作中

1 : コマンドによるストップコンディション発生時以外のストップコンディションの検出あり

Bit 0 : **スタートコンディション検出**

スタートコンディション発生によるエラーの有無を示します。

0 : 正常動作中

1 : コマンドによるスタートコンディション発生時以外での、スタートコンディションの検出あり

注意 : これらのエラーステータスは、リセットが有効な時 (RESET# = LOW)、I²C コントロールレジスタのビット 5 (ソフトウェアリセット) = 1 の時、または I²C コントロールレジスタのビット [2:0] (TRNS) に対する有効なコマンドの書き込みによってクリアされます。

18. I2C Single Master Core Module (I2C)

I ² C 割り込みコントロール/ステータスレジスタ					Read/Write	
I2C[0x14] 初期値 = 0000 0000b						
予約 (0)					エラーINT ステータス フラグ*	終了INT ステータス フラグ*
7	6	5	4	3	2	1
					エラーINT イネーブル*	終了INT イネーブル*
					1	0

Note: *: ソフトウェアリセットでも初期化されます。

Bits [7:4] : **予約 (0)**

Bit 3 : **エラー発生による割り込みステータスフラグ**

このビットは Bit 1 = 1 のときのみ有効です。

0 : エラー未発生

1 : エラー発生による割り込み要求発生

このビットに “1” をライトすることにより、このフラグはクリアされます。

Bit 2 : **コマンド終了割り込みステータスフラグ**

このビットは Bit 0 = 1 のときのみ有効です。

0 : コマンド終了割り込みイネーブルビット (Bit 0) = 0、またはコマンドが未終了

1 : コマンド終了による割り込み要求発生

このビットに “1” をライトすることにより、このフラグはクリアされます。

Bit 1 : **エラー発生割り込みイネーブル**

エラー発生による割り込みのコントロールをします。

0 : エラー発生による割り込み発生ディセーブル

1 : エラー発生による割り込み発生イネーブル

Bit 0 : **コマンド終了割り込みイネーブル**

コマンド終了による割り込み発生のコントロールをします。

0 : コマンド終了による割り込み発生ディセーブル

1 : コマンド終了による割り込み発生イネーブル

I ² C-BUS サンプルクロック分周設定レジスタ								Read/Write	
I2C[0x18] 初期値 = 0000 0000b									
予約 (0)				分周比 (I ² C サンプル) [3:0]					
7	6	5	4	3	2	1	0		

マスタクロックを分周することによって I²C-BUS サンプルクロックを生成します。

Bits [7:4] : **予約ビット (0)**

Bits [3:0] : **分周比 (I²C サンプル) [3:0]**

マスタクロックから I²C-BUS サンプルクロックを生成するための分周比を設定します。

I²C-BUS サンプルクロックの周波数 ($f_{I2C \text{ サンプル}}$) は以下の式で求められます。

Bits[3:0] > 0 のとき :

$$f_{I2C \text{ サンプル}} = f_{PCLK} / (4 * m) \text{ [Hz]}$$

Bits[3:0] = 0 のとき :

$$f_{I2C \text{ サンプル}} = f_{PCLK} / 2 \text{ [Hz]}$$

注意 : 上記式において、m = 分周比 (I²C サンプル) [3:0]

I ² C SCL クロック分周設定レジスタ							
I2C[0x1C]		初期値 = 0000 0000b					
		予約 (0)			分周比(SCL) [2:0]		
7	6	5	4	3	2	1	0

SCL を生成するための分周比を設定するレジスタです。

Bits [7:3] : **予約 (0)**

Bit [2:0] : **分周比(SCL) [2:0]**

I²C-BUS サンプルクロックから SCL を生成するための分周比を設定します。

I²C-BUS 転送時の SCL の周波数 (f_{SCL}) は以下の式で決定します。

分周比 (I²C サンプル) [3:0] > 0 のとき :

$$\begin{aligned} f_{SCL} &= f_{I2C} \text{ サンプル} / (2n*4) \\ &= f_{PCLK} / \{(4*m) * (2n*4)\} \\ &= f_{PCLK} / (16*m*2n) \quad [\text{Hz}] \end{aligned}$$

分周比 (I2C サンプル) [3:0] = 0 のとき :

$$\begin{aligned} f_{SCL} &= f_{PCLK} / \{2*(2n*4)\} \\ &= f_{PCLK} / (8*2n) \quad [\text{Hz}] \end{aligned}$$

注意：上記式において、“m” および “n” を以下のように指定：

m = 分周比 (I²C サンプル) [3:0]

(I²C-BUS サンプルクロック分周設定レジスタ Bits[3:0] 参照)

n = 分周比(SCL) [2:0]

I ² C I/O コントロールレジスタ							
I2C[0x20]		初期値 = 0001 0001b					
予約 (0)		High Drive SDA	Sample SDA	予約 (0)		High Drive SCL	Sample SCL
7	6	5	4	3	2	1	0

出力モード選択と、ノイズフィルタの有効、無効を決定するレジスタです。

Bits [7:6] : **予約 (0)**

Bit 5 : **SDA の HIGH ドライブイネーブル**

0 : “SDA=1” は IC 外部のプルアップ抵抗により制御

1 : “SDA=1” は本 IC 自身が “High” をドライブすることにより制御

Bit 4 : **SDA のサンプリングイネーブル**

0 : SDA 入力として、I²C-BUS サンプルクロックにより 1 データサンプリング

1 : SDA 入力として、I²C-BUS サンプルクロックにより 2 データサンプリング

注意：本ビットは “0” でご使用ください。

Bits [3:2] : **予約 (0)**

Bit 1 : **SCL の HIGH ドライブイネーブル**

0 : “SCL=1” は IC 外部のプルアップ抵抗により制御

1 : “SCL=1” は本 IC 自身が “High” をドライブすることにより制御

Bit 0 : **SCL のサンプリングイネーブル**

0 : SCL 入力として、I²C-BUS サンプルクロックにより 1 データサンプリング

1 : SCL 入力として、I²C-BUS サンプルクロックにより 2 データサンプリング

注意：本ビットは “0” でご使用ください。

18. I2C Single Master Core Module (I2C)

I ² C DMA モードレジスタ							
I2C[0x24]				初期値 = 0000 0000b			
				Read/Write			
予約 (0)				DMA_MODE [1:0]			
7	6	5	4	3	2	1	0

Bits[7:2] : **予約 (0)**

Bits [1:0] : **DMA_MODE[1:0] DMA モード設定**

00 : DMA 転送を使用しない。

01 : シングルアドレスモード

10 : デュアルアドレスモード (EOP なし) 。 DMA カウンタ使用。

11 : デュアルアドレスモード (EOP あり) 。

転送中 (Start(restart)から Stop まで) の DMA モードの ON/OFF の切り替えは可能ですが、使用する DMA モード (Single、Dual (EOP あり)、Dual (EOP なし)) の切り替えはしないでください。
バースト転送はサポートしておりません。

I ² C DMA カウンタ値 (LSB) レジスタ							
I2C[0x28]				初期値 = 0000 0000b			
				Read/Write			
				DMA カウンタ値 (LSB)			
7	6	5	4	3	2	1	0

ライト時 : DMA カウンタ値の下位バイト[7:0]をセットするレジスタです。

リード時 : DMA カウンタ値の下位バイト[7:0]を返します。

I ² C DMA カウンタ値 (MSB) レジスタ							
I2C[0x2C]				初期値 = 0000 0000b			
				Read/Write			
				DMA カウンタ値 (MSB)			
7	6	5	4	3	2	1	0

ライト時 : DMA カウンタ値の上位バイト[15:8]をセットするレジスタです。

リード時 : DMA カウンタ値の上位バイト[15:8]を返します。

I ² C DMA ステータスレジスタ					
I2C[0x30]		初期値 = 0000 1000b			
予約				TBUF Empty*	Read Only
7	6	5	4	3	
				RBUF Update*	RDRREQ Monitor*
				2	1
					WDREQ Monitor*
					0

Note: * : ソフトウェアリセットでも初期化されます。

Bits[7:4] : **予約**

Bit 3 : **TBUF_Empty 送信バッファエンプティ**

I²C シングルマスタコアの送信データバッファ (TBUF) の書き込みが可能かどうかを示します。

0 : 送信バッファに未送信のデータあり

1 : 送信バッファエンプティ。書き込み可能

Bit 2 : **RBUF_Update 受信バッファ更新**

I²C 受信データバッファ (RBUF) のデータが更新されたものかどうかを示します。

0 : 受信バッファが未更新

1 : 受信バッファのデータが更新済み

Bit 1 : **Reserved (RDREQ Monitor RDREQ 信号モニタ)**

RDREQ 信号の状態を示します。

0 : RDREQ 端子の信号が Low であることを示します。

1 : RDREQ 端子の信号が High であることを示します。

注意 : このビットは状態が変化しますが、使用はできません。

Bit 0 : **Reserved (WDREQ Monitor WDREQ 信号モニタ)**

WDREQ 信号の状態を示します。

0 : WDREQ 端子の信号が Low であることを示します。

1 : WDREQ 端子の信号が High であることを示します。

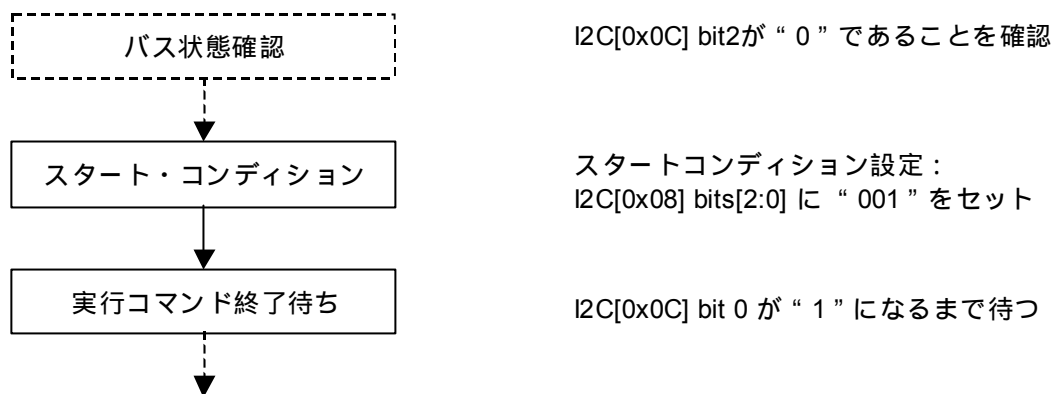
注意 : このビットは状態が変化しますが、使用はできません。

18. I2C Single Master Core Module (I2C)

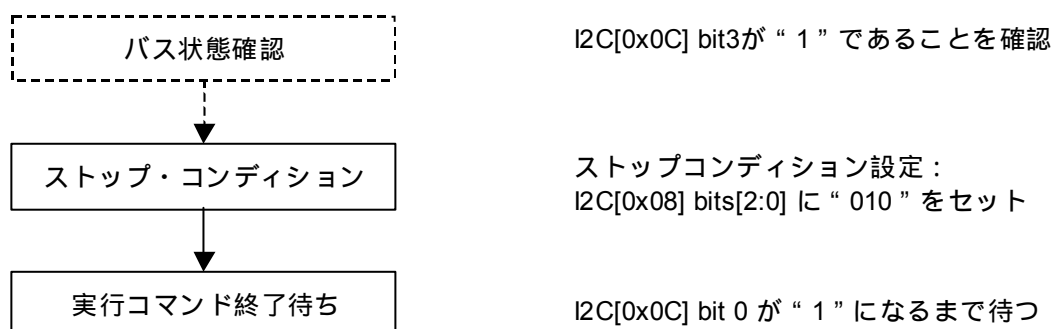
18.5 動作説明（バス・コントロール・コマンド使用例）

以下は、本モジュールによる I2C バスをコントロールする例です。実際は、状態確認やエラー発生時の対応等が必要となる場合があります。また、具体的なコントロール方法は、スレーブ機器の仕様に依存します。

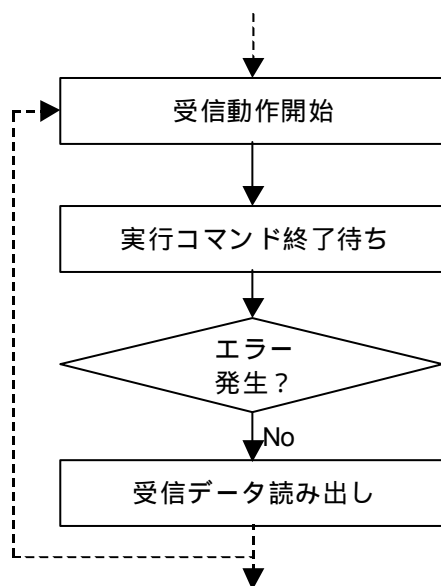
18.5.1 スタート（S）フロー例



18.5.2 ストップ（P）フロー例



18.5.3 レシーブ (R) フロー例



レシーブ設定:

I2C[0x08] bits[2:0] に “ 011 ” をセット

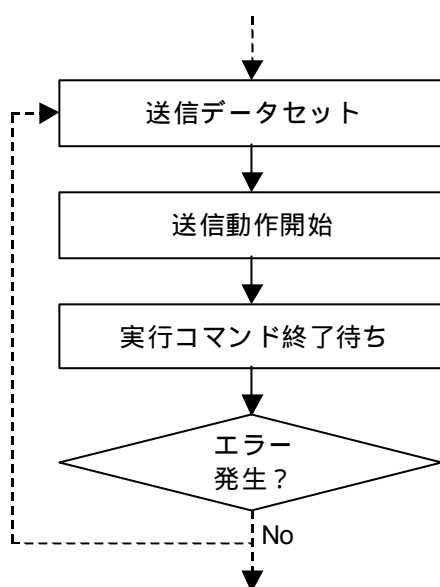
I2C[0x0C] bit 0 が “ 1 ” になるまで待つ

I2C[0x0C] bit1をチェック

“ 0 ” はエラーなし、“ 1 ” はエラー発生

I2C[0x04] の受信データ読み出し

18.5.4 トランスファ (T) フロー例



I2C[0x00] に送信データをセット

トランスファ設定:

I2C[0x08] bits[2:0] に “ 100 ” をセット

I2C[0x0C] bit 0 が “ 1 ” になるまで待つ

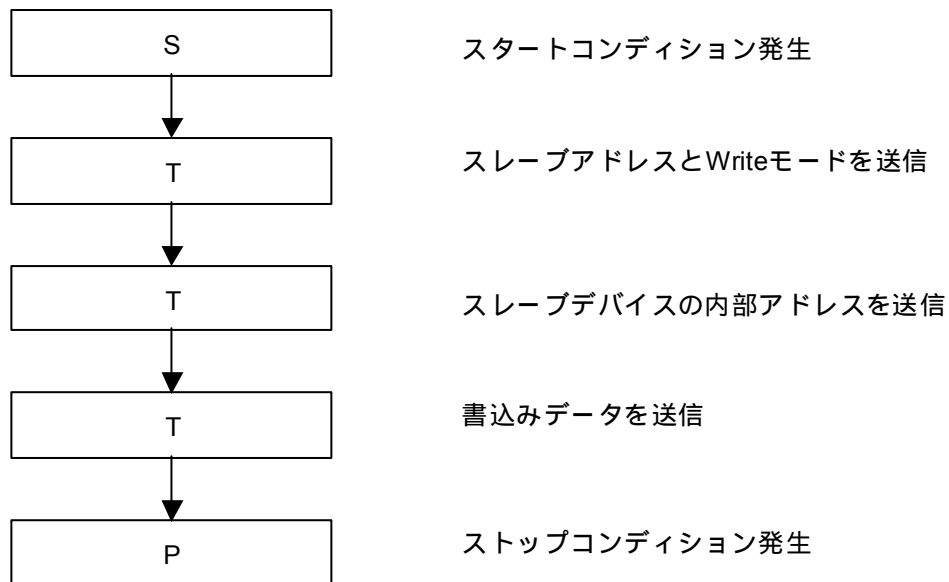
I2C[0x0C] bit1をチェック

“ 0 ” はエラーなし、“ 1 ” はエラー発生

18. I2C Single Master Core Module (I2C)

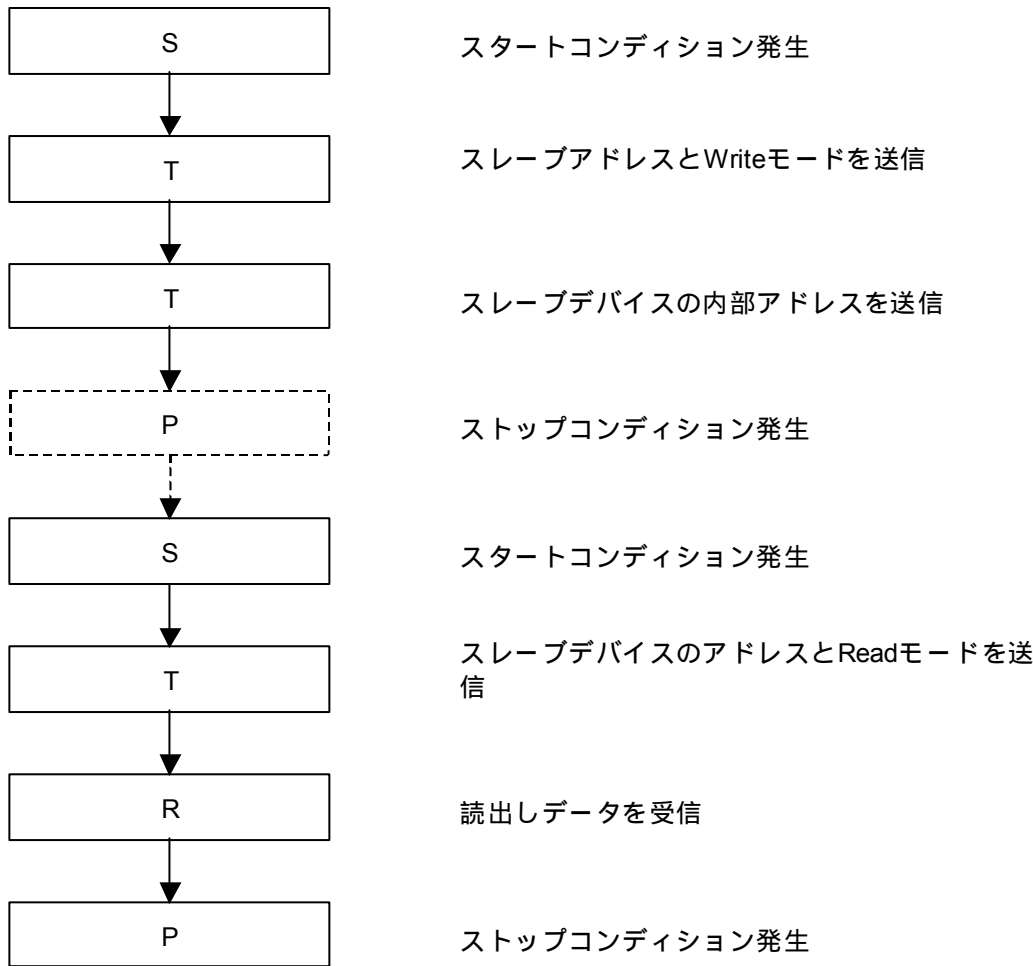
18.5.5 スレーブ機器への書込みシーケンス例

図中の S/P/R/T は、前述のスタート/ストップ/レシーブ/トランスファの各フローに対応します。



18.5.6 スレーブからの読出しシーケンス例

図中の S/P/R/T は、前述のスタート/ストップ/レシーブ/トランスファの各フローに対応します。



18.6 本I2C Single Master Core Module (I2C)の利用制限事項

以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
I2C[0x30] Bit 0	WDREQ 信号モニタ	使用不可
I2C[0x30] Bit 1	RDREQ 信号モニタ	使用不可

19. I2S (I2S)

19. I²S (I2S)

19.1 概要

I²S は Philips 社が策定した I²S 規格に準拠しています。このモジュールは主に音声／オーディオデータの通信に使用します。I²S は 2Channel の通信ができるようになっています。Channel 毎に送信か受信かを選択できますので、例えば Audio デバイスからの音声／オーディオデータの受信と Audio デバイスへの音声／オーディオデータの送信を同時に行えるだけでなく、異なる 2 つの Audio デバイスから同時に受信することもできます。

19.1.1 機能

I²S が実現している機能は以下のとおりです。

- マスターモード (SCK と WS を出力) とスレーブモード (SCK と WS を入力) が選択可能
- 送信モード (SD を出力) と受信モード (SD を入力) を選択可能
- 16 ビット、14 ビット、8 ビットのデータ幅に対応
- ステレオ、モノラルを選択可能
- 32fs、64fs、128fs、256fs のフレームサイクルに対応
- ソースクロックの 1/2~1/512 まで 256 段階でクロック分周選択可能 (マスターモードのみ)
- DMA 対応
- クロック共有機能 (2Channel で使用するクロックを共通にする)
- FIFO オーバーフロー、アンダーフロー検出
- FIFO の 6 種類の状態による割り込み発生
- 0 出力機能 (送信モード、FIFO アンダーフロー時)
- モノラルステレオ変換 (送信モードのみ)

19.2 ブロック図

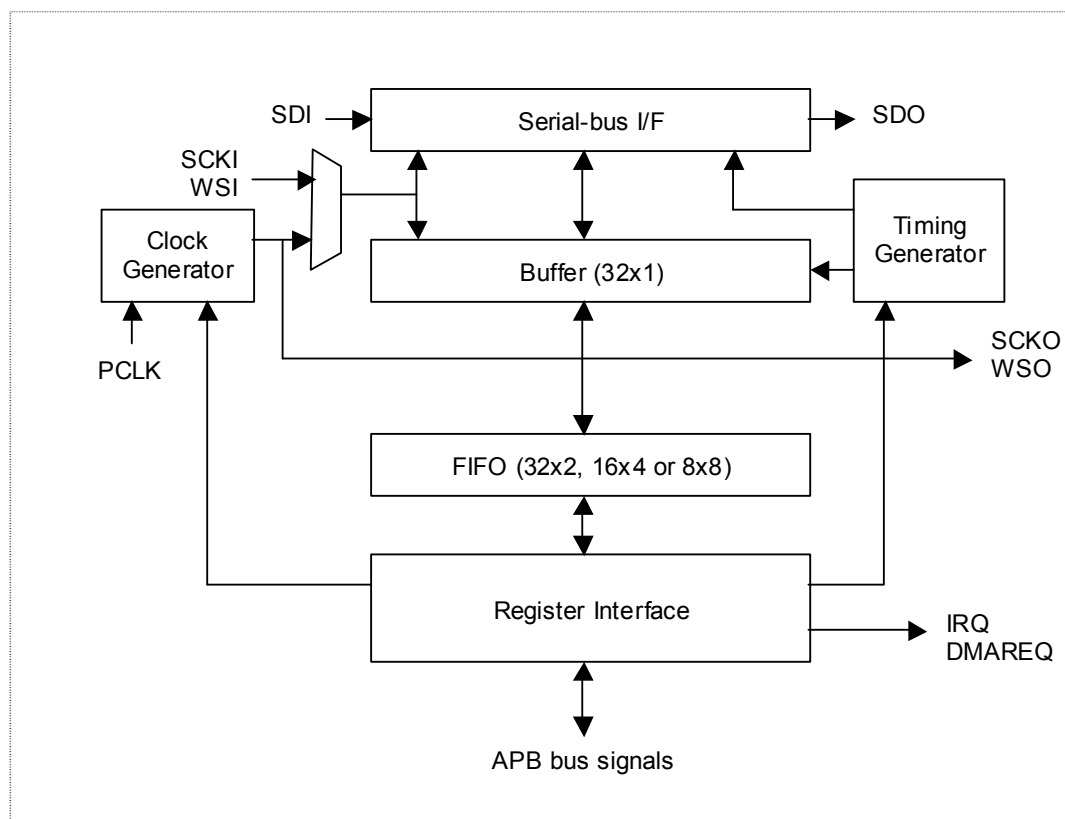


図 19.1 I2S ブロック図

19.3 外部端子

I²S に関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子 / 備考
I2S0_SCK	入出力	I2S0 用シリアルクロック	GPIOB1/RTS0#*または GPIOE1/CFIOWR#*
I2S0_WS	入出力	I2S0 用ワードセレクト	GPIOB0*または GPIOE3/CFRST*
I2S0_SD	入出力	I2S0 用シリアルデータ	GPIOB2/CTS0#*または GPIOE0/CFIORD#*
I2S1_SCK	入出力	I2S1 用シリアルクロック	GPIOB6/MA22*または GPIOE6/CFDEN#*
I2S1_WS	入出力	I2S1 用ワードセレクト	GPIOB7/MA23*または GPIOE7/CFDDIR*
I2S1_SD	入出力	I2S1 用シリアルデータ	GPIOB3/TIMER0OUT*または GPIOE5/CFSTSCHG#*

注意(*) : I2S 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 2”に設定することにより使用できます。

19.4 レジスタ説明

19.4.1 レジスタ一覧

I²S の制御レジスタが配置されているデフォルトのベースアドレスは、0xFFFFE E000 です。
特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 19.1 I2S[1:0]レジスタ一覧

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
I2S0 制御レジスタ ベースアドレス : 0xFFFFE_E000				
0x00	I2S0 制御レジスタ	0x0000	R/W	16/32
0x04	I2S0 クロック分周レジスタ	0x0000	R/W	16/32
0x08	I2S0 送受信ポートレジスタ	—	R/W	8/16/32
0x10	I2S0 割り込みステータスレジスタ	0x0000	R/W	16/32
0x14	I2S0 割り込みロウステータスレジスタ	0x0009	RO	16/32
0x18	I2S0 割り込みイネーブルレジスタ	0x0000	R/W	16/32
0x1C	I2S0 カレントステータスレジスタ	0x0009	RO	16/32
I2S1 制御レジスタ ベースアドレス : 0xFFFFE_E000				
0x40	I2S1 制御レジスタ	0x0000	R/W	16/32
0x44	I2S1 クロック分周レジスタ	0x0000	R/W	16/32
0x48	I2S1 送受信ポートレジスタ	—	R/W	8/16/32
0x50	I2S1 割り込みステータスレジスタ	0x0000	R/W	16/32
0x54	I2S1 割り込みロウステータスレジスタ	0x0009	RO	16/32
0x58	I2S1 割り込みイネーブルレジスタ	0x0000	R/W	16/32
0x5C	I2S1 カレントステータスレジスタ	0x0009	RO	16/32

19. I2S (I2S)

19.4.2 レジスタ詳細説明

I2S[1:0]制御レジスタ I2S0[0x00], I2S1[0x40] 初期値 = 0x0000 Read Only							
15	n/a	13	CNVM2S 12	FRAMECYC [1:0] 11 10	CLKOUTEN 9	CLKSEL 8	
SFTRST (WO) 7	DATAWIDTH [1:0] 6 5	MONO/ STEREO 4	DMAEN 3	TX/RX 2	MST/SLV 1	I2SEN 0	

- Bit 12 : **CNVM2S モノラル・ステレオ変換 (送信モードのみ)**
モノラルデータをステレオデータに変換して送信します。具体的にはLチャンネルで送信されるモノラルデータをRチャンネルでも送信します。
0 : モノラル・ステレオ変換無効
1 : モノラル・ステレオ変換有効
- Bits [11:10] : **FRAMECYC [1:0] フレームサイクル選択 (マスターモードのみ)**
フレームサイクル数を制御します。このレジスタビットはマスターモードのみ有効です。
スリープモードでは、データ幅 x 2 以上 256fs 以下の偶数となるフレームサイクル数が使用できません。
00 : 32fs
01 : 64fs
10 : 128fs
11 : 256fs
- Bit 9 : **CLKOUTEN クロック出力イネーブル (マスターモードのみ)**
クロック出力を制御します。
0 : クロック出力ディゼーブル
1 : クロック出力イネーブル
- Bit 8 : **CLKSEL クロック選択**
クロックソースを選択します。
0 : 外部から来る SDI/WSI (スリープモード) または自生成クロック/ワードセレクト (マスターモード) を使用します
1 : もう一つの Channel が使用するクロック及びワードセレクトを共用して使用します
このレジスタビットは、I2S クロックと I2S ワードセレクト信号を他の Channel の I2S を共有するときに使用します。
注意： このレジスタビットを“1”にするときは、同レジスタの Bit 1 を“0”にし、スリープモードにしてください。クロック共有機能はマスターモードで使用できません。
- Bit 7 : **SFTRST ソフトウェアリセット (Write Only)**
FIFO データ、シフトレジスタおよび内部制御回路をリセットします。マスターモード時に使用するクロック生成回路はリセットされません。同じくマスターモード時に使用するワードセレクト生成回路は、受信モード時はリセットされませんが、送信モード時は出力が“1”になるようにリセットされます。
0 : n/a
1 : ソフトウェアリセット
- Bits [6:5] : **DATAWIDTH [1:0] データビット幅**
データのビット幅を選択します。
00 : 16 ビット
01 : 14 ビット
10 : 8 ビット
11 : Reserved

- Bit 4 : **MONO/ STEREO モノラル/ステレオ選択**
 データがステレオタイプかモノラルタイプかを選択します。
 0 : ステレオタイプ
 1 : モノラルタイプ
- Bit 3 : **DMAEN DMA イネーブル**
 DMA を使用するか、使用しないかを選択します。
 0 : DMA ディゼーブル (DMA リクエストを発行しない)
 1 : DMA イネーブル (DMA リクエストを DMA コントローラ 1 に発行する)
- Bit 2 : **TX/RX 送信/受信選択**
 I2S を送信モードで使用するか、受信モードで使用するかを選択します。
 0 : 受信モード (データを入力)
 1 : 送信モード (データを出力)
- Bit 1 : **MST/SLV マスター/スレーブ選択**
 I2S をマスターモードで使用するか、スレーブモードで使用するかを選択します。
 0 : スレーブモード (クロックとワードセレクトを入力)
 1 : マスターモード (クロックとワードセレクトを出力)
- Bit 0 : **I2SEN I2S イネーブル**
 I2S モジュールのイネーブル制御を行います。
 0 : I2S ディゼーブル
 1 : I2S イネーブル

I2S[1:0]クロック分周レジスタ								Read/Write
I2S0[0x04], I2S1[0x44]				初期値 = 0x0000				
				n/a				
15	14	13	12	11	10	9	8	
CLKDIV [7:0]								
7	6	5	4	3	2	1	0	

- Bit[7:0] : **CLKDIV [7:0] クロック分周 (マスターモードのみ)**
 マスターモード時に出力クロックのソースクロックからの分周数を設定します。

$$\text{クロック分周数} = (\text{CLKDIV} + 1) \times 2$$

この設定によりサンプリング周波数は以下のようになります。

$$\text{サンプリング周波数} = \frac{\text{ソースクロック周波数}}{(\text{クロック分周数} \times \text{フレームサイクル})}$$

S1S65010 ではソースクロック周波数は、システムクロック周波数と同じになります。

I2S[1:0]送受信ポートレジスタ																	
I2S0[0x08], I2S1[0x48]								初期値 = —								Read/Write	
								TXD/RXD [31:16]									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
								TXD/RXD [15:0]									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

- Bit[31:0] : **TXD/RXD [31:0] 送受信ポート[31:0]**
 受信モード時
 リード : FIFO に溜まった I2S のデータを読み出します。
 ライト : n/a
 送信モード時
 リード : n/a
 ライト : FIFO に I2S のデータを書きます。

19. I2S (I2S)

1 回のアクセスで読み書きできるデータは、データ幅及びステレオ／モノラル設定によって異なります。

- 16 ビットステレオ :
- TXD/RXD[31:16] 右データ
 - TXD/RXD[15:0] 左データ
- 14 ビットステレオ :
- TXD/RXD[31:30] 0 データ
 - TXD/RXD[29:16] 右データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] 左データ
- 8 ビットステレオ
- TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:8] 右データ
 - TXD/RXD[7:0] 左データ
- 16 ビットモノラル :
- TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:0] モノラルデータ
- 14 ビットモノラル :
- TXD/RXD[31:16] 無効データ
 - TXD/RXD[15:14] 0 データ
 - TXD/RXD[13:0] モノラルデータ
- 8 ビットモノラル :
- TXD/RXD[31:8] 無効データ
 - TXD/RXD[7:0] モノラルデータ

注意：送受信ポートレジスタはサンプリング単位でデータを扱っていますので、1 回のレジスタアクセスで 1 つのサンプリングデータがすべて読み書きされなければなりません。例えば 16 ビットステレオの場合、左データのみを 16 ビットアクセスで読み出したとしても、右データは次のデータに更新されてしまいますので、32 ビットアクセスで左右両方のデータを一度で読み出すようにしてください。

I2S[1:0]割り込みステータスレジスタ							
I2S0[0x10], I2S1[0x50]			初期値 = 0x0000			Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a		OVERFLOWFLG	UNDERFLOWFLG	NOTFULLFLG	NOTEMPTYFLG	FULLFLG	EMPTYFLG
7	6	5	4	3	2	1	0

このレジスタは、ロウ割り込みステータスレジスタ (I2S0[0x14]、I2S1[0x54]) と割り込みイネーブルレジスタ (I2S0[0x18]、I2S1[0x58]) とをビット AND した結果を示しています。

Bit 5 :

OVERFLOWFLG FIFO オーバーフロー割り込みフラグ

FIFO が 1 度でもオーバーフローになったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもオーバーフローになっていません

リード 1 : FIFO が 1 度はオーバーフローになりました

このフラグが “1” を書いたことでクリアされるかどうかはモードによって異なります。

送信モード：必ずクリアされます。オーバーフローした分のデータはオーバーフローを起こした時点で無くなっています。すでに FIFO になったデータはそのままです。

受信モード：FIFO がフルではない状態が I2S クロック 1 クロック分に期間続いた後に試みた場合はクリアされます。またソフトウェアリセットを実行した後に試みた場合もクリアされます。

Bit 4 : UNDERFLOWFLG FIFO アンダーフロー割り込みフラグ

FIFO が 1 度でもアンダーフローになったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもアンダーフローになっていません

リード 1 : FIFO が 1 度はアンダーフローになりました

このフラグが“1”を書いたことでクリアされるかどうかはモードによって異なります。

送信モード : FIFO にデータを書いた後 I2S クロック 1 クロック分後に試みた場合はクリアされます。またソフトウェアリセットを実行した後に試みた場合もクリアされます。

受信モード : 必ずクリアされます。アンダーフローで取得したデータの値は保証されません。

Bit 3 : NOTFULLFLG FIFO ノットフル割り込みフラグ

FIFO が 1 度でもフルではない状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもフルではない状態になっていません

リード 1 : FIFO が 1 度はフルではない状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がフル状態 : フラグはクリアされます。

FIFO がフルではない状態 : フラグはクリアされません。

Bit 2 : NOTEEMPTYFLG FIFO ノットエンプティ割り込みフラグ

FIFO が 1 度でもエンプティではない状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもエンプティではない状態になっていません

リード 1 : FIFO が 1 度はエンプティではない状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がエンプティ状態 : フラグはクリアされます。

FIFO がエンプティではない状態 : フラグはクリアされません。

Bit 1 : FULLFLG FIFO フル割り込みフラグ

FIFO が 1 度でもフル状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもフル状態になっていません

リード 1 : FIFO が 1 度はフル状態になりました

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がフル状態 : フラグはクリアされません。

FIFO がフルではない状態 : フラグはクリアされます。

Bit 0 : EMPTYFLG FIFO エンプティ割り込みフラグ

FIFO が 1 度でもエンプティ状態になったかどうかを示します。

ライト 0 : n/a

ライト 1 : フラグのクリアを試みます

リード 0 : このフラグがイネーブルになっていないか、FIFO が 1 度でもエンプティ状態になっていません

リード 1 : FIFO が 1 度はエンプティ状態になりました

19. I2S (I2S)

このフラグが“1”を書いたことでクリアされるかどうかは FIFO の状態によって異なります。

FIFO がエンプティ状態： フラグはクリアされません。

FIFO がエンプティではない状態： フラグはクリアされます。

I2S[1:0]ロウ割り込みステータスレジスタ							
I2S0[0x14], I2S1[0x54]				初期値 = 0x0009			
Read Only							
15	14	13	12	n/a	10	9	8
7	n/a	RAWOVERFLOWFLG	RAWUNDERFLOWFLG	RAWNOTFULLFLG	RAWNOTEMPTYFLG	RAWFULLFLG	RAWEMPTYFLG
6	5	4	3	2	1	0	

Bit 5 : **RAWOVERFLOWFLG ロウ FIFO オーバーフロー割り込みフラグ**

FIFO が 1 度でもオーバーフローになったかどうかを示します。

0 : FIFO が 1 度でもオーバーフローになっていません

1 : FIFO が 1 度はオーバーフローになりました

Bit 4 : **RAWUNDERFLOWFLG ロウ FIFO アンダーフロー割り込みフラグ**

FIFO が 1 度でもアンダーフローになったかどうかを示します。

0 : FIFO が 1 度でもアンダーフローになっていません

1 : FIFO が 1 度はアンダーフローになりました

Bit 3 : **RAWNOTFULLFLG ロウ FIFO ノットフル割り込みフラグ**

FIFO が 1 度でもフルではない状態になったかどうかを示します。

0 : FIFO が 1 度でもフルではない状態になっていません

1 : FIFO が 1 度はフルではない状態になりました

Bit 2 : **RAWNOTEMPTYFLG ロウ FIFO ノットエンプティ割り込みフラグ**

FIFO が 1 度でもエンプティではない状態になったかどうかを示します。

0 : FIFO が 1 度でもエンプティではない状態になっていません

1 : FIFO が 1 度はエンプティではない状態になりました

Bit 1 : **RAWFULLFLG ロウ FIFO フル割り込みフラグ**

FIFO が 1 度でもフル状態になったかどうかを示します。

0 : FIFO が 1 度でもフル状態になっていません

1 : FIFO が 1 度はフル状態になりました

Bit 0 : **RAWEMPTYFLG ロウ FIFO エンプティ割り込みフラグ**

FIFO が 1 度でもエンプティ状態になったかどうかを示します。

0 : FIFO が 1 度でもエンプティ状態になっていません

1 : FIFO が 1 度はエンプティ状態になりました

I2S[1:0]割り込みイネーブルレジスタ							
I2S0[0x18], I2S1[0x58]				初期値 = 0x0000		Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a		OVERFLOW IRQEN	UNDERFLOW IRQEN	NOTFULL IRQEN	NOTEMPTY IRQEN	FULL IRQEN	EMPTY IRQEN
7	6	5	4	3	2	1	0

- Bit 5 : **OVERFLOWIRQEN FIFO オーバーフロー割り込みイネーブル**
 FIFO が 1 度でもオーバーフローになったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 4 : **UNDERFLOWIRQEN FIFO アンダーフロー割り込みイネーブル**
 FIFO が 1 度でもアンダーフローになったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 3 : **NOTFULLIRQEN FIFO ノットフル割り込みイネーブル**
 FIFO が 1 度でもフルではない状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 2 : **NOTEMPTYIRQEN FIFO ノットエンプティ割り込みイネーブル**
 FIFO が 1 度でもエンプティではない状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 1 : **FULLIRQEN FIFO フル割り込みイネーブル**
 FIFO が 1 度でもフル状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます
- Bit 0 : **EMPTYIRQEN FIFO エンプティ割り込みイネーブル**
 FIFO が 1 度でもエンプティ状態になったときに割り込みを発生させるかどうかを選択します。
 0 : 割り込みを発生させません
 1 : 割り込みを発生させます

19. I2S (I2S)

I2S[1:0]カレントステータスレジスタ							
I2S0[0x1C], I2S1[0x5C]				初期値 = 0x0009			
FIFOWPNTR [3:0]				FIFORPNTR [3:0]			
15	14	13	12	11	10	9	8
DMASTS		n/a		NOTFULLSTS	NOTEMPTYSTS	FULLSTS	EMPTYSTS
7	6	5	4	3	2	1	0

Bit [15:12] : **FIFOWPNTR [3:0] FIFO ライトポインタ**
 IFO の現在のライトポインタを示します。(0x0 ~ 0xF)

Bit [11:8] : **FIFORPNTR [3:0] FIFO リードポインタ**
 FIFO の現在のリードポインタを示します。(0x0 ~ 0xF)

FIFO の実アドレスは、データサイズ及びステレオタイプかモノラルタイプかによって変わります。
 ポインタの下位 1 ビット : 16 ビットステレオ、14 ビットステレオ
 ポインタの下位 2 ビット : 16 ビットモノラル、14 ビットモノラル、8 ビットモノラル
 ポインタの下位 3 ビット : 8 ビットモノラル

Bit 7 : **DMASTS DMA ステータス**
 DMA リクエストを現在発行しているかどうかを示します。
 0 : DMA リクエストは発行していません
 1 : DMA リクエストを発行しています

Bit 3 : **NOTFULLSTS FIFO ノットフルカレントステータス**
 FIFO が現在フルではない状態であるかどうかを示します。
 0 : FIFO は現在フル状態です
 1 : FIFO は現在フル状態ではありません

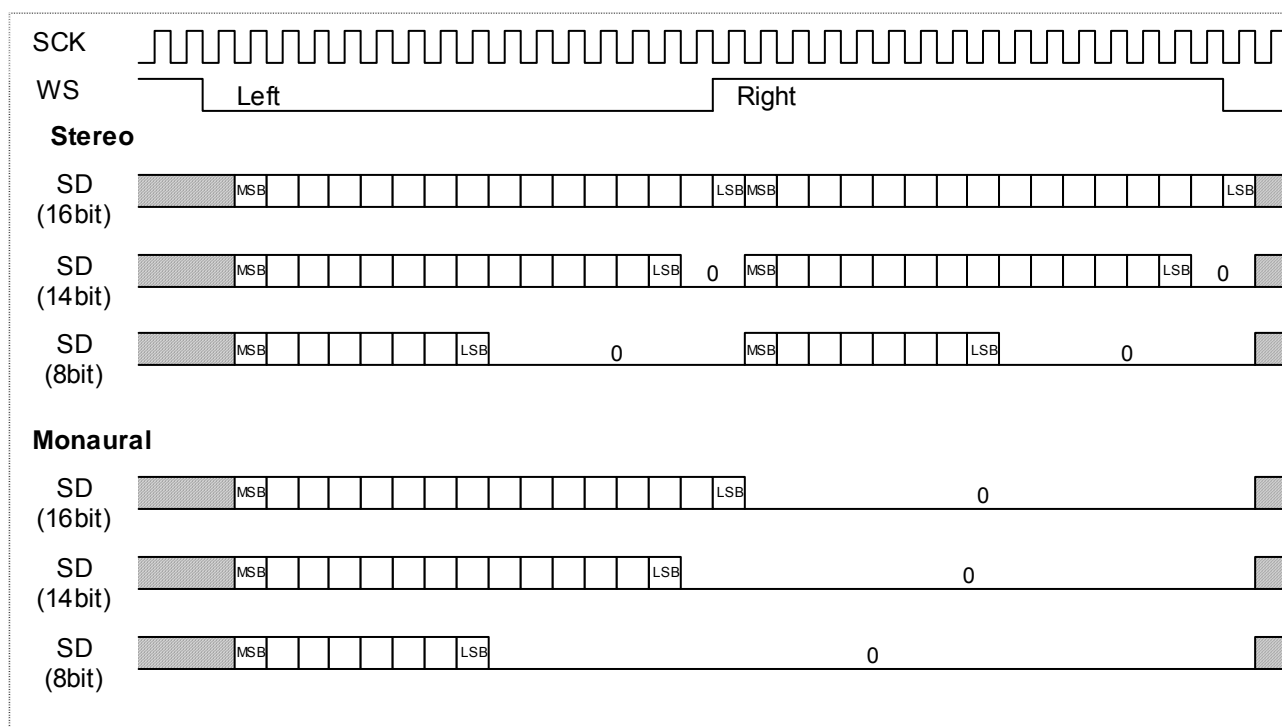
Bit 2 : **NOTEMPTYSTS FIFO ノットエンプティカレントステータス**
 FIFO が現在エンプティではない状態であるかどうかを示します。
 0 : FIFO は現在エンプティ状態です。
 1 : FIFO は現在エンプティ状態ではありません

Bit 1 : **FULLSTS FIFO フルカレントステータス**
 FIFO が現在フル状態であるかどうかを示します。
 0 : FIFO は現在フル状態ではありません
 1 : FIFO は現在フル状態です

Bit 0 : **EMPTYSTS FIFO エンプティカレントステータス**
 FIFO が現在エンプティ状態であるかどうかを示します。
 0 : FIFO はエンプティ状態ではありません
 1 : FIFO はエンプティ状態です

19.5 機能説明

19.5.1 I2Sタイミングチャート (32fs)



19.5.2 データ幅とFIFO段数

1 回のアクセスで読み書きできるデータは、データ幅及びステレオ／モノラル設定によって異なります。

16 ビットステレオ：

TXD/RXD[31:16] 右データ

TXD/RXD[15:0] 左データ

14 ビットステレオ：

TXD/RXD[31:30] 0 データ

TXD/RXD[29:16] 右データ

TXD/RXD[15:14] 0 データ

TXD/RXD[13:0] 左データ

8 ビットステレオ

TXD/RXD[31:16] 無効データ

TXD/RXD[15:8] 右データ

TXD/RXD[7:0] 左データ

16 ビットモノラル：

TXD/RXD[31:16] 無効データ

TXD/RXD[15:0] モノラルデータ

14 ビットモノラル：

TXD/RXD[31:16] 無効データ

TXD/RXD[15:14] 0 データ

TXD/RXD[13:0] モノラルデータ

8 ビットモノラル：

TXD/RXD[31:8] 無効データ

TXD/RXD[7:0] モノラルデータ

19. I2S (I2S)

注意：送受信ポートレジスタはサンプリング単位でデータを扱っていますので、1回のレジスタアクセスで1つのサンプリングデータがすべて読み書きされなければなりません。例えば16ビットステレオの場合、左データのみを16ビットアクセスで読み出したとしても、右データは次のデータに更新されてしまいますので、32ビットアクセスで左右両方のデータを一度で読み出すようにしてください。

FIFO 段数は、データ幅及びステレオ／モノラル設定によって変化します。

FIFO2 段：16ビットステレオ、14ビットステレオ

FIFO4 段：16ビットモノラル、14ビットモノラル、8ビットステレオ

FIFO8 段：8ビットモノラル

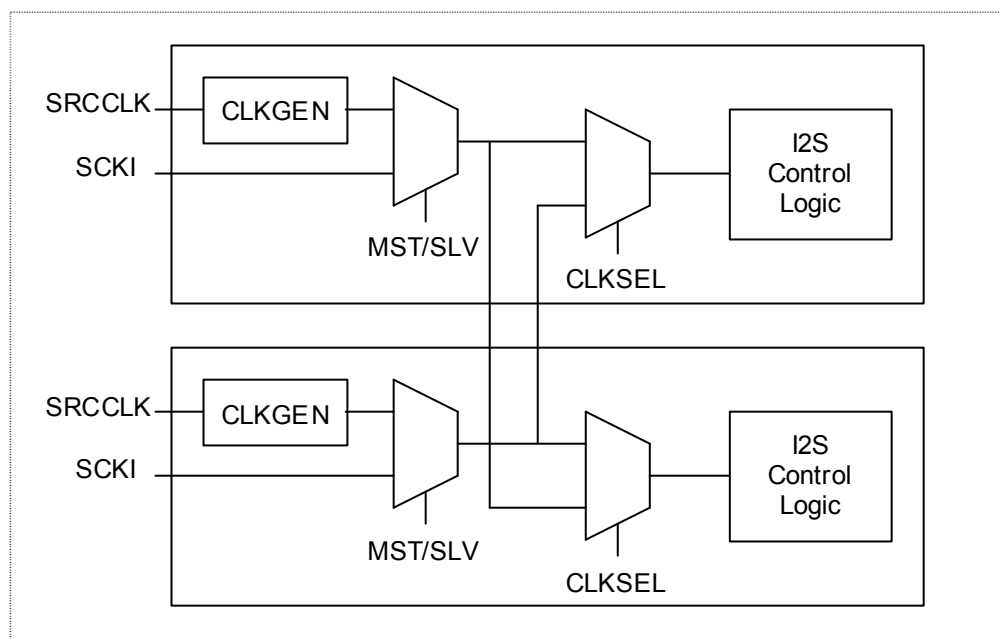
19.5.3 DMA転送

I2S は DMA コントローラ 1 を使用した DMA 転送が可能です。送信モード時は FIFO がフル状態ではないときに DMA リクエストがアサートされ、受信モード時は FIFO がエンプティ状態ではないときに DMA リクエストがアサートされます。また FIFO がオーバーフローになった時点で DMA リクエストはネゲートされます。これは FIFO オーバーフローという異常状態のときに I2S に余計な動作をさせないための処置です。

I2S0[0x00], I2S1[0x40] Bit 3 を “1” にすることで DMA 転送が有効になります。

19.5.4 クロック選択（クロック共有）

I2S0[0x00], I2S1[0x40] の Bit 8 のクロック選択機能によって、使用するクロックを共有化することができます。共有化する回路は以下の構成になっています。



他の Channel からクロックを入力してクロック共有状態となった Channel はマスターモードでクロック出力ができなくなります。したがって I2S0[0x00], I2S1[0x40] の Bit 1 を “0” にし、スレーブモードで使用します。クロックを提供する側の Channel は、マスターモード、スレーブモードのどちらでも使用できます。

同一クロックを使用して I2S の送受信を同時に行う場合、このクロック選択機能を使用することで4つの信号ピンで実現できるようになります。

19.5.5 モノラル - ステレオ変換機能

モノラルデータをステレオタイプのオーディオに出力する場合に、モノラルデータをステレオデータに変換して出力することができます。L データしかないモノラルデータに対して L データを R データにコピーし、ステレオ化します。

送信モード時に I2S0[0x00], I2S1[0x40] Bit 12 を “1” にすることでステレオデータに変換されてデータが出力されます。

受信したステレオデータをモノラルデータに変換することはできません。

19.6 設定例

送受信をもつオーディオチップと SCK、WS、SDI、SDO の 4 本で接続し、オーディオチップのクロックとワードセレクト (LR クロック) を受信する場合の I2S レジスタ設定例を示します。I2S の I/O が他の I/O と共有している場合は、この設定の前に I2S の I/O が有効になるように GPIO のレジスタ設定を行う必要があります。

Channel0 の設定条件

- スレーブモード
- 送信モード
- DMA イネーブル
- 16 ビットステレオ
- 32fs

Channel1 の設定条件

- スレーブモード
- 受信モード
- DMA イネーブル
- 16 ビットステレオ
- 32fs
- クロック共有

設定手順

```

I2S0[0x00] = 0x00000005 # スレーブモード、送信モード、16 ビットステレオ、32fs
I2S0[0x18] = 0x00000030 # オーバーフロー、アンダーフロー割り込み有効
I2S0[0x00] = 0x00000085 # ソフトウェアリセット
I2S0[0x00] = 0x0000000D # DMA イネーブル
I2S1[0x40] = 0x00000101 # スレーブモード、受信モード、16 ビットステレオ、32fs、クロック共有
I2S1[0x58] = 0x00000030 # オーバーフロー、アンダーフロー割り込み有効
I2S1[0x40] = 0x00000181 # ソフトウェアリセット
I2S1[0x40] = 0x00000109 # DMA イネーブル

```

20. シリアル周辺機器インタフェース(SPI)

20.1 概要

シリアル周辺機器インタフェース (SPI) は 1 チャンネルです。

SPI はマスタまたはスレーブモードの両方の動作をサポートし、1～32 ビットのデータ転送を行います。個々のデータ転送の間に 0～65535 クロック分の遅延時間を挿入することができ、内部割り込みも発生可能です。送信、受信ともにデータバッファが組み込まれています。SPI には 4 本の端子が設けられております。SRDY#信号に関しては内部で LOW に固定されており、外部端子として使用することはできません。

20.1.1 マスタモード

マスタモードに設定された SPI は、SPI バスに接続されたスレーブデバイスとのデータ転送を制御します。シリアルクロックは SPI が SCLK 端子からスレーブデバイスに供給し、シリアルデータは MOSI 端子から出力、MISO 端子から入力します。SPI には SS (スレーブセレクト) 端子も設けられています。この端子はデータ転送には必要ではありませんが、モード違反エラーの検出に使用することができます。モード違反エラーはマルチマスタ SPI システムにおいて、2 つ以上のデバイスが同時にマスタに設定されると発生します。SPI がマスタモード時に SS 端子がアクティブレベルになったことを検出するとモード違反割り込みが発生し、SPI は信号の競合を避けるため自動的にスレーブモードに再設定されます。モード違反エラーの検出が不要な場合は SS 端子を汎用入出力ポートとして使用することができます。

SPI をイネーブル (動作可能状態) にした後、送信データレジスタ (TXD) に送信データを書き込むと、データ転送が始まります。

図 20.1 にマスタモードの制御/動作フローを示します。

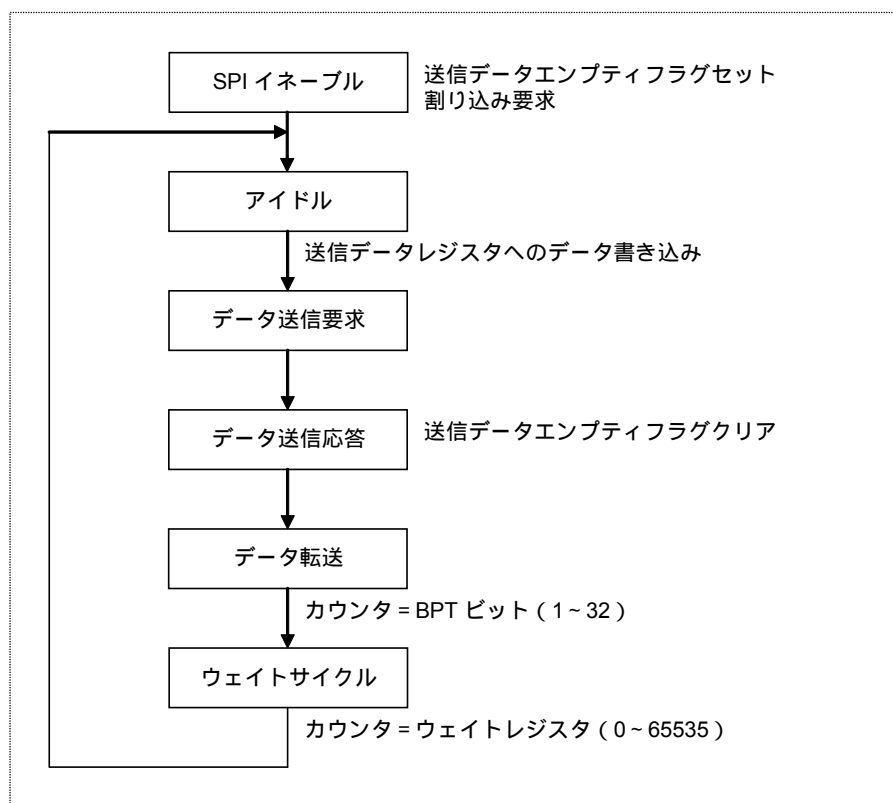


図 20.1 SPI マスタモード時の送信フロー

20.1.2 スレーブモード

SPI をスレーブモードに設定した場合は、外部 SPI マスタが SPI とのデータ転送を制御します。動作クロックは、外部マスタが出力したものを SCLK 端子から入力して使用します。シリアルデータは MOSI 端子から入力、MISO 端子から出力します。SS (スレーブセレクト) 端子は入力となります。

SS 端子がアクティブレベルになることによってシリアルクロック入力と転送動作がイネーブルとなります。

SPI をイネーブル (動作可能状態) にした後、外部 SPI マスタによって転送が開始します。SCLK クロックで動作するカウンタが内蔵されており、設定した転送ビット数分の送受信を制御します。

設定した転送ビット数を超えて SCLK クロックが入力された場合、設定した転送ビット数のみ転送データが保証されます。

図 20.2 にスレーブモードの制御/動作フローを示します。

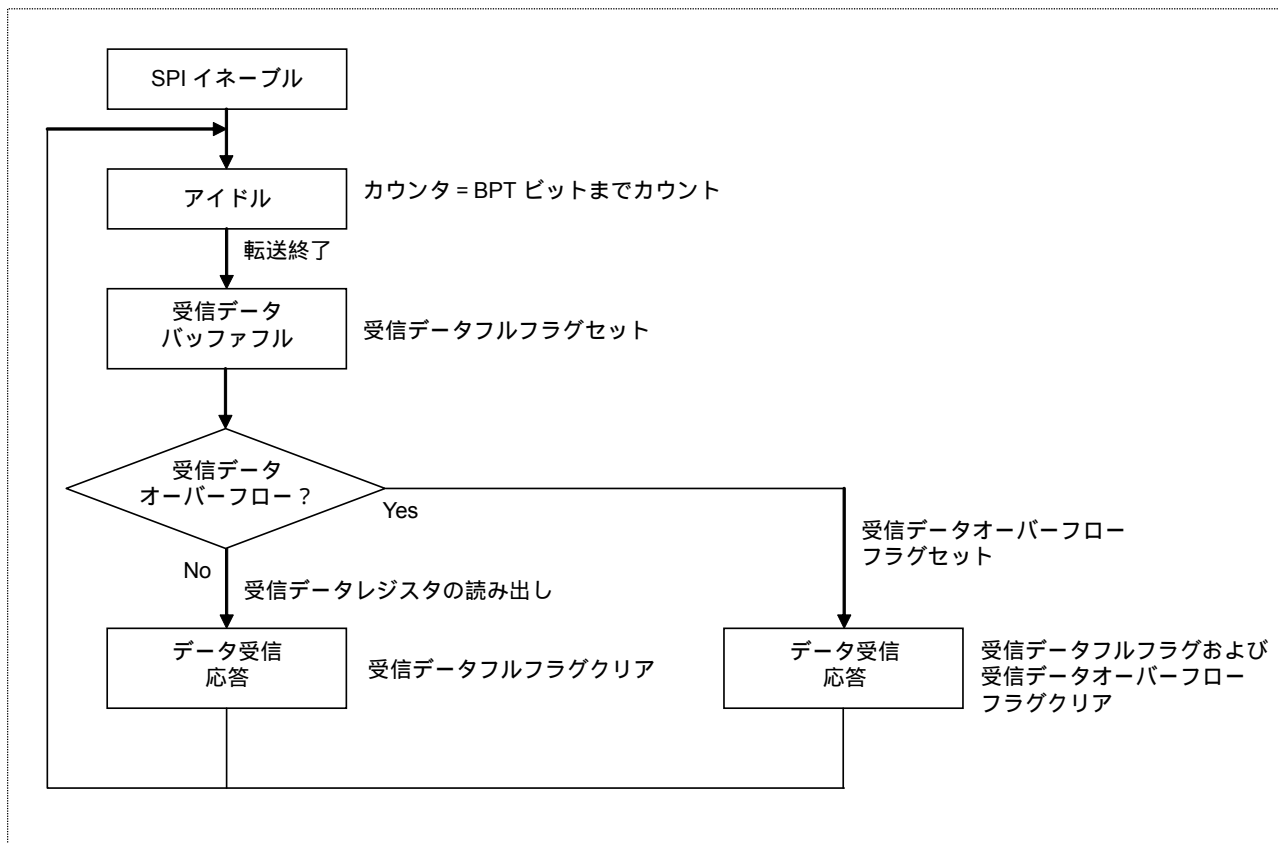


図 20.2 SPI スレーブモード時の受信フロー

20. シリアル周辺機器インタフェース(SPI)

20.2 ブロック図

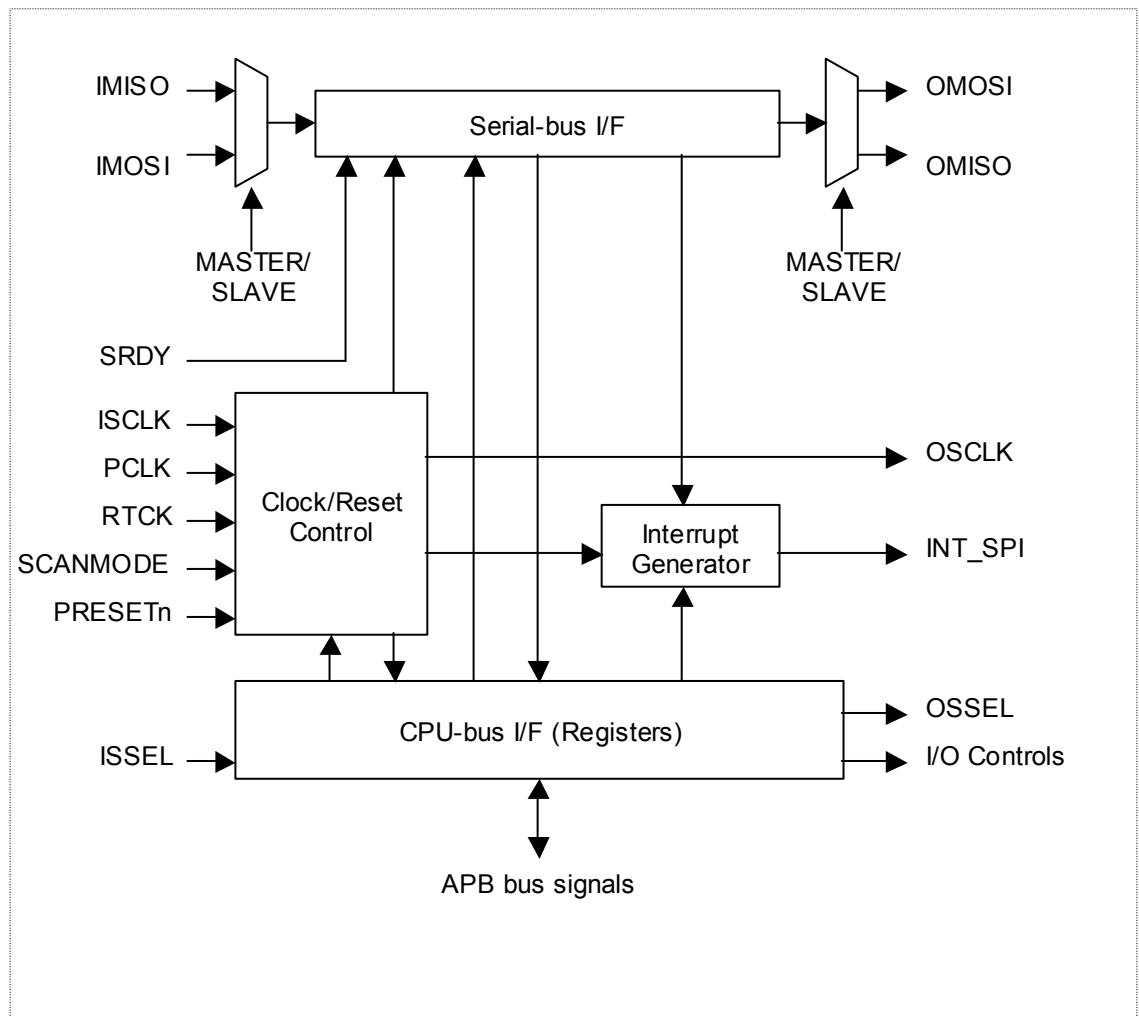


図 20.3 SPI ブロック図

20.3 外部端子

シリアル周辺機器インタフェースに関連する外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子 / 備考
SPI_SCLK	入出力	SPI 用シリアルクロック	GPIOA3/RXD1*
SPI_SS	入出力	SPI 用チップセレクト	GPIOA2/TDX1*
SPI_MISO	入出力	SPI 用シリアルデータマスタ入力/スレーブ出力	GPIOA4*
SPI_MOSI	入出力	SPI 用シリアルデータマスタ出力/スレーブ入力	GPIOA5*

注意(*) : SPI 用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより “GPIO 以外の機能 1” に設定することにより使用できます。

20.4 クロックとデータ転送タイミング

SPI をマスターモードで使用する場合、内部の SCLK クロックを使用して、転送データの入出力を行うシフトレジスタを動作させます。SCLK はクロックの位相と極性の組み合わせにより 4 種類から選択することができます。

クロックの位相は CPHA ビット (SPI 制御レジスタ 1 の Bit9) で選択します。CPHA を “0” に設定した場合、出力データはクロックの立ち下がりエッジで変化し (シフトレジスタから出力)、入力データはクロックの立ち上がりエッジでシフトレジスタに取り込まれます (シフトレジスタ内のビットは順次シフト)。データを送信データレジスタに書き込むと、MSB が出力されます。CPHA を “1” に設定した場合、出力は立ち上がりエッジで変化し、入力は立ち下がりエッジで取り込まれます。データの MSB は SCLK の最初の立ち上がりで出力されます。

クロックの極性は CPOL ビット (SPI 制御レジスタ 1 の Bit8) で選択します。CPOL が “0” の場合は HIGH アクティブ、“1” の場合は LOW アクティブです。上記の CPHA の説明はクロックが HIGH アクティブの場合の入出力タイミングで、CPOL を “1” に設定した場合はエッジの立ち上がりと立ち下がりが逆になります。ただし、SPI 内部のエッジトリガイメントのタイミングは逆転しません。

図 20.4 にこれらの選択によるマスターモード時の SCLK クロック波形を示します。この柔軟性により、市場にあるほとんどのシリアル周辺デバイスに対応します。

参考までに図 20.5 にスレーブモード時の SCLK クロック波形を示します。

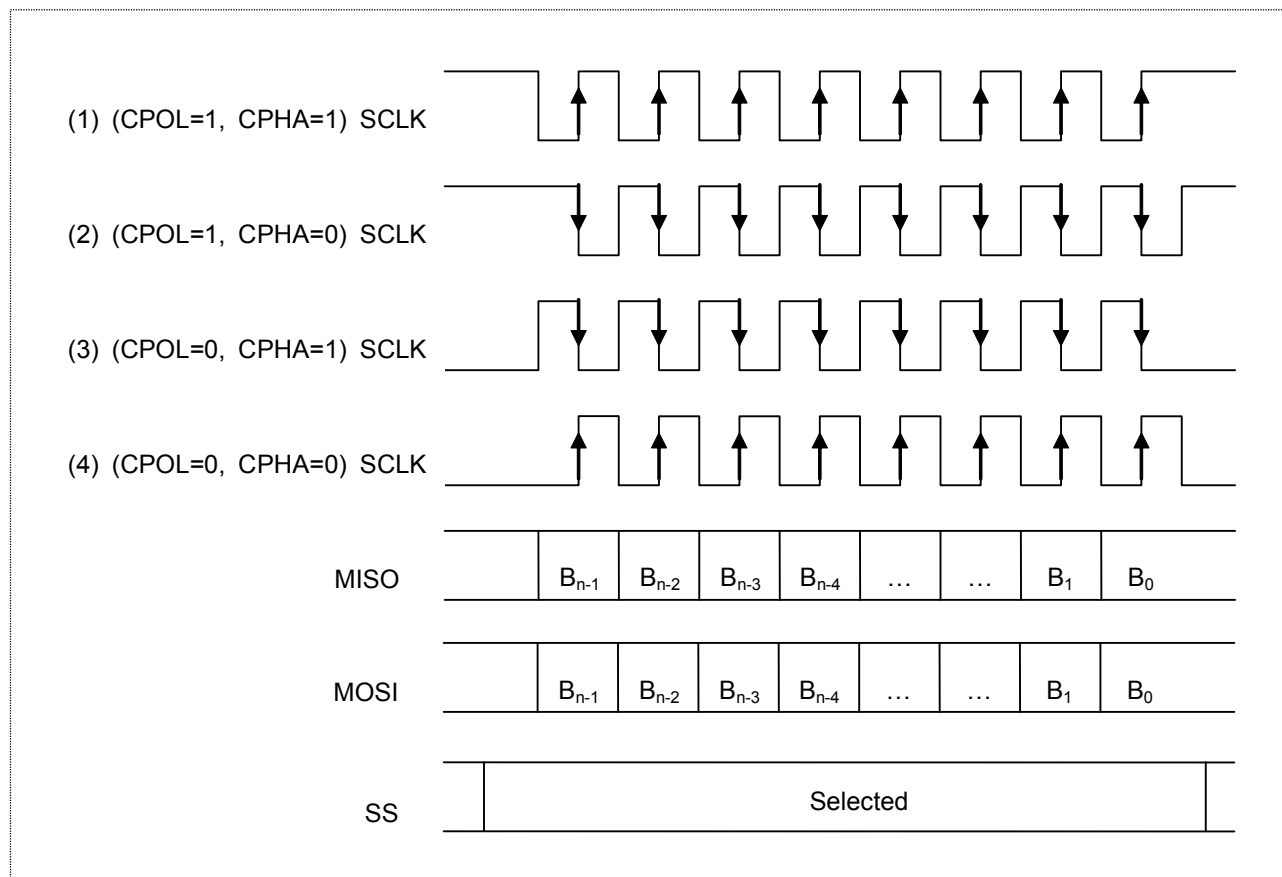


図 20.4 SPI マスターモード時のクロックの設定 (転送データのビット数が n の場合)

20. シリアル周辺機器インタフェース(SPI)

参考までに図 20.5 にスレーブモード時の SCLK クロック波形を示します。

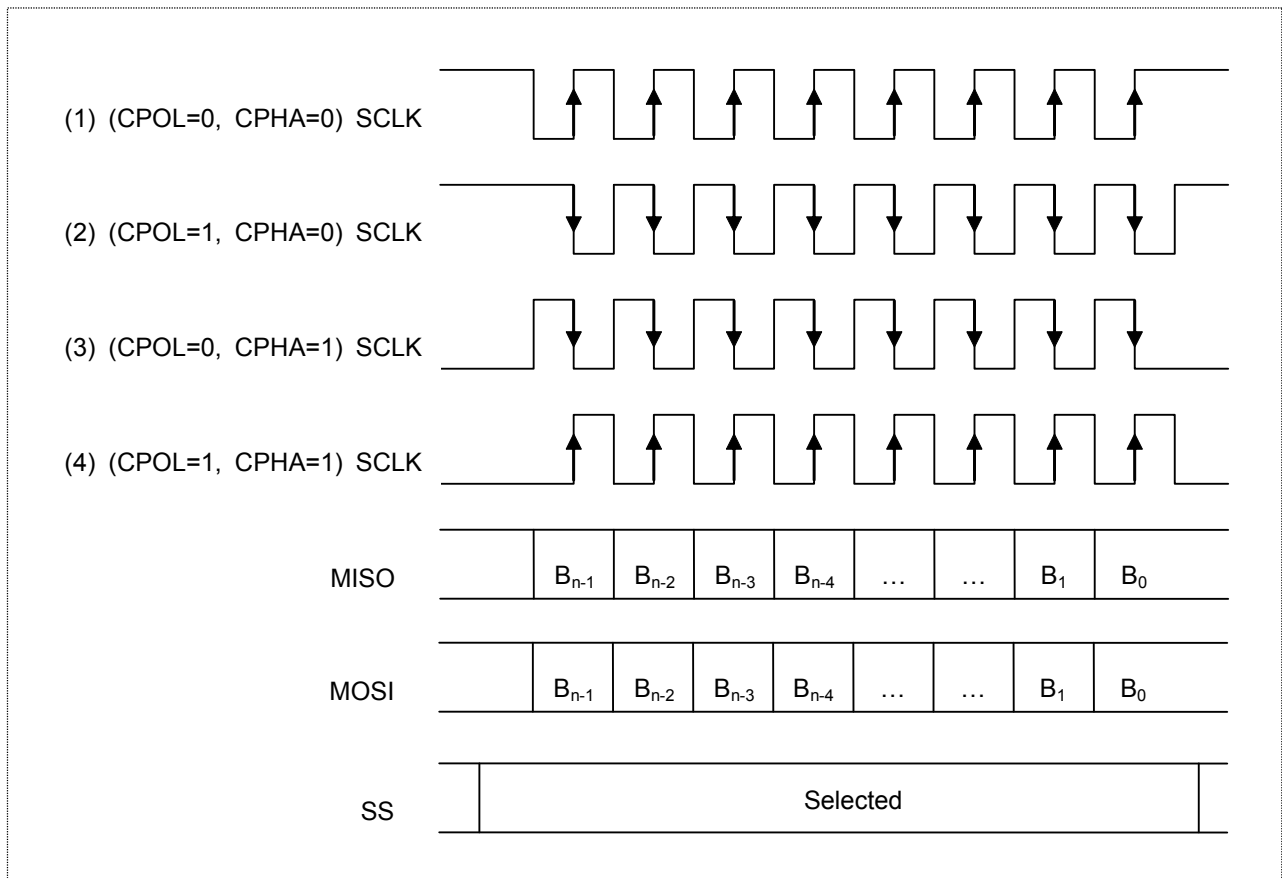


図 20.5 SPI スレーブモード時のクロックの設定（転送データのビット数が n の場合）

20.5 レジスタ説明

20.5.1 レジスタ一覧

SPI の制御レジスタが配置されているデフォルトのベースアドレスは、0xFFFF_2000 です。
特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

表 20.1 SPI レジスタ一覧（ベースアドレス：0xFFFF_2000）

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
SPI 制御レジスタ				
0x00	SPI 受信データレジスタ	0x0000_0000	RO	32
0x04	SPI 送信データレジスタ	0x0000_0000	R/W	32
0x08	SPI 制御レジスタ 1	0x0000_0000	R/W	32
0x0C	SPI 制御レジスタ 2	0x0000_0000	R/W	32
0x10	SPI ウェイトレジスタ	0x0000_0000	R/W	32
0x14	SPI ステータスレジスタ	0x0000_0010	RO	32
0x18	SPI 割り込み制御レジスタ	0x0000_0000	R/W	32

20.5.2 レジスタ詳細説明

SPI 受信データレジスタ															
SPI[0x00] 初期値 = 0x0000_0000															
受信データ [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
受信データ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **受信データビット[31:0]**
外部シリアル周辺デバイスから受信したデータが読み出せます。

SPI 送信データレジスタ															
SPI[0x04] 初期値 = 0x0000_0000															
送信データ [31:16]															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
送信データ [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [31:0] : **送信データビット[31:0]**
送信データを書き込むデータバッファです。このレジスタが空であることを示す TDEF ビット
(SPI ステータスレジスタの Bit 4) が“1”の場合にデータを書き込むことができます。

20. シリアル周辺機器インタフェース(SPI)

SPI 制御レジスタ 1															
SPI[0x08] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a	BPT [4:0]					CPHA	CPOL	n/a	MCBR [2:0]			CLKS	RX RAW	Mode	ENA
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [14:10] : BPT[4:0] 転送ビット数

1 回の転送で送受信するデータのビット長を指定します。

00000 : 1 ビット

00001 : 2 ビット

:

11110 : 31 ビット

11111 : 32 ビット

Bit 9 : CPHA シリアルクロック位相選択

SCLK クロックの位相を選択します。

0 : データサイクルの後半にクロックパルスを生成 (図 20-4. (2)(4)参照)

1 : データサイクルの前半にクロックパルスを生成 (図 20-4. (1)(3)参照)

Bit 8 : CPOL シリアルクロック極性選択

SCLK クロックの極性を選択します。

0 : アクティブ HIGH (HIGH パルスをクロックとして生成) (図 20-4. (3)(4)参照)

1 : アクティブ LOW (LOW パルスをクロックとして生成) (図 20-4. (1)(2)参照)

Bits [6:4] : MCBR [2:0] マスタクロックビットレート選択

マスタモード時の SCLK クロック速度を設定します。このビットの設定によりソースクロック (バスクロック) の分周比が次のように設定されます。

$$\text{分周比} = 4 * 2^{\text{MCBR}[2:0]}$$

したがって、SPI のマスタクロックは以下のようになります。

$$\text{マスタクロック周波数 (fSCLK)} = \text{バスクロック周波数} / (4 * 2^{\text{MCBR}[2:0]})$$

注意: スレーブモード時、またはマスタモードでもソースクロックにリアルタイムクロック (32.768kHz) を選択した場合 (本レジスタの Bit 3 = 1)、このビットは無効になります。

Bit 3 : CLKS ソースクロック選択

マスタモード時の SCLK クロックを生成するソースクロックを選択します。

0 : バスクロック

1 : リアルタイムクロック (32.768kHz)

Bit 2 : RXDATA RAW

0 : RXDATA は BPT 幅によりマスクされます。

1 : RXDATA はシフトレジスタのマスク前データです。

Bit 1 : Mode SPI モード選択

本インタフェースをマスタモードで使用するか、スレーブモードで使用するか選択します。

0 : スレーブモード

1 : マスタモード

Bit 0 : ENA SPI イネーブル

SPI の送受信回路をイネーブルにします。

0 : ディセーブル

1 : イネーブル

SPI 制御レジスタ 2															
SPI[0x0C] 初期値 = 0x0000_0000														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a				SSA	SS	SSP	SSC	n/a				予約 (0)			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 11 : **SSA スレーブ選択端子(SS)自動制御**
 このビットはマスタモード時には以下のような設定を行います。
 0 : SS 端子が出力に設定されている場合、SS 端子は SS (Bit10) に制御されます。
 1 : SS 端子が出力に設定されている場合、SS 端子は内部の転送タイミングにより制御されます。
 このビットはスレーブモード時には無効です。
- Bit 10 : **SS スレーブ選択端子(SS)制御**
 マスタモード時に SS 端子が出力に設定されている時に、SS 端子の出力を制御します。
 0 : SS 端子はインアクティブレベル出力
 1 : SS 端子はアクティブレベル出力
 スレーブモード時に SS 端子が無効入力として設定されている時 (SSC = 0) には、
 0 : この SPI は選択されていない
 1 : この SPI は選択されている
 その他の場合にはこのビットは無効です。
- Bit 9 : **SSP スレーブ選択端子(SS)極性選択**
 0 : LOW アクティブ
 1 : HIGH アクティブ
- Bit 8 : **SSC スレーブ選択端子(SS)設定**
 マスタモード時に、SS 端子の入出力方向を切り換えます。
 0 : 入力 (モード違反の検出)
 1 : 出力 (スレーブ選択出力)
 HIGH/LOW 出力を SS ビット (本レジスタの Bit 10) で設定できます。
 モード違反の検出は行えません。
 スレーブモードの場合、
 0 : SS 端子を無効入力として設定。SS ビット (Bit10) の選択が有効となります。
 1 : SS 端子は有効入力として設定。

20. シリアル周辺機器インタフェース(SPI)

Bits [10:8]の設定をまとめると以下のようになります。

表 20.2 SS 端子の状態設定

モード 選択*	Bit 8 : SSC SS 設定	Bit 11 : SSA SS 自動選択	Bit 9 : SSP SS 極性選択	Bit 10 : SS SS 制御	SS 端子の状態 (アクティブレベル)
マスタ モード	0 : SS 端子入力 (モード違反検出)	無効	0 : LOW アク ティブ	無効	SS 入力 (LOW)
			1 : HIGH アク ティブ		SS 入力 (HIGH)
	1 : SS 端子出力	0 : SS ビット による制御	0 : LOW アク ティブ	0 : インアク ティブ	SS 出力 = HIGH (LOW)
			1 : HIGH アク ティブ	1 : アクティブ	SS 出力 = LOW (LOW)
				0 : インアク ティブ	SS 出力 = LOW (HIGH)
				1 : アクティブ	SS 出力 = HIGH (HIGH)
		1 : 自動制御	0 : LOW アク ティブ	無効	SS 出力 = 自動制御 (LOW)
			1 : HIGH アク ティブ		SS 出力 = 自動制御 (HIGH)
スレーブ モード	0 : SS 端子無効入 力	無効	無効	0 : 非選択	SS 入力 (HIGH) <非選択>
	1 : SS 端子有効入 力		無効	1 : 選択	SS 入力 (HIGH) <選択>
				0 : LOW アク ティブ	SS 入力 (LOW)
				1 : HIGH アク ティブ	

* : モード選択は Mode ビット (SPI 制御レジスタ 1 の Bit 1) で行います。

Bits [2:0] : **予約 (0)**

SPI ウェイトレジスタ															
SPI[0x10] 初期値 = 0x0000_0000															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WAIT Cycles [15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **WAIT Cycles [15:0] ウェイトサイクル**
 各データ送受信動作の間に挿入する待ち時間を SCLK クロック数で設定します。(待ち時間 =
 WAIT Cycles [15:0] × SCLK 周期)
 0000h (w) : 0 クロック
 0001h (w) : 1 クロック
 0002h (w) : 2 クロック
 :
 FFFFh (w) : 65535 クロック

注意 : このレジスタの設定は、マスタモード時のみ有効となります。

SPI ステータスレジスタ															
SPI[0x14] 初期値 = 0x0000_0010															
Read Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a								7	BSYF	MFEF	TDEF	RDOF	RDFF	n/a	0
15	14	13	12	11	10	9	8		6	5	4	3	2	1	0

Bit 6 : BSYF 転送ビジーフラグ

SPI が送信/受信動作中であることを示します。

0 : 待機中

1 : 送信または受信動作中

このフラグは送信または受信開始により自動的にセットされます。セットされたフラグは、転送を終了して待機中になると自動的にクリアされます。

このフラグはマスタモード時のみ有効で、スレーブモード時は常に“0”になります。

Bit 5 : MFEF モード違反エラーフラグ

モード違反エラーが発生したことを示します。

0 : エラーなし

1 : エラー発生

SPI がマスタモードの場合に、SS 端子が外部シリアルデバイスによってアクティブレベルにされると、このフラグがセットされます。このフラグはエラーを解除すると自動的にクリアされます。エラーを解除するために、SPI はこのフラグおよび MFIE ビット (SPI 割り込み制御レジスタの Bit5) がセットされている間スレーブモードになり、データ転送を開始せずにすべての出力をディセーブルにします。

Bit 4 : TDEF 送信データエンプティフラグ

送信データレジスタが空であることを示します。

0 : 送信データあり

1 : 送信データなし (デフォルト)

このフラグは、送信データレジスタに書き込まれたデータがシリアルインタフェースに送られる時 (またはリセット時) にセットされます。これにより、次の送信データを送信データレジスタに書き込むことができ、セットされたフラグは送信データレジスタへの書き込みによってクリアされます。

Bit 3 : RDOF 受信データオーバーフローフラグ

受信データオーバーフローが発生したことを示します。

0 : オーバーフローなし

1 : オーバーフロー発生

受信データフルフラグがセットされている状態 (受信データが読み出されていない状態) で、次の受信データがシリアルインタフェースから受信データレジスタに送られると、このフラグがセットされます。セットされたフラグは受信データレジスタを読み出すことでクリアされます。

Bit 2 : RDFF 受信データフルフラグ

受信データレジスタに受信データがあることを示します。

0 : 受信データなし

1 : 受信データあり

受信データがシリアルインタフェースから受信データレジスタに送られると、このフラグがセットされます。セットされたフラグは受信データレジスタを読み出すことでクリアされます。

注意 : このレジスタは、SPI イネーブルビット (SPI 制御レジスタ 1 の Bit 0) が “0” にセットされ、SPI ディセーブルになった時もすべてクリアされます。

20. シリアル周辺機器インタフェース(SPI)

SPI 割り込み制御レジスタ															
SPI[0x18] 初期値 = 0x0000_0000															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a										MFIE	TEIE	ROIE	RFIE	MIRQ	IRQE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- Bit 5 : **MFIE モード違反割り込みイネーブル**
モード違反割り込みをイネーブル（許可）/ディセーブル（禁止）します。
0 : 割り込みディセーブル
1 : 割り込みイネーブル
この設定は、SPI がマスタモードで、SS 端子がモード違反検出用に設定されている場合に有効です。
- Bit 4 : **TEIE 送信データレジスタエンプティ割り込みイネーブル**
送信データレジスタエンプティ割り込みをイネーブル/ディセーブルします。
0 : 割り込みディセーブル
1 : 割り込みイネーブル
- Bit 3 : **ROIE 受信データオーバーフローエラー割り込みイネーブル**
受信データオーバーフローエラー割り込みをイネーブル/ディセーブルします。
0 : 割り込みディセーブル
1 : 割り込みイネーブル
- Bit 2 : **RFIE 受信データレジスタフル割り込みイネーブル**
受信データフル割り込みをイネーブル/ディセーブルします。
0 : 割り込みディセーブル
1 : 割り込みイネーブル
- Bit 1 : **MIRQ マニュアル割り込み要求セット/クリア**
SPI のマニュアル割り込み要求をセット/クリアします。
0 : 割り込み要求をクリア
1 : 割り込み要求をセット
このビットにより、ソフトウェアで SPI 割り込みを発生させることができます。IRQE (Bit 0) が“0（割り込み禁止）”に設定されている場合、このビットによる制御は無効です。
- Bit 0 : **IRQE 割り込み要求イネーブル**
SPI の割り込み要求をイネーブル/ディセーブルします。
0 : 割り込み要求ディセーブル
1 : 割り込み要求イネーブル

21. コンパクトフラッシュカードインタフェース (CF)

21.1 概要

コンパクトフラッシュカードインタフェースには以下のような特長があります。

- CF Card Attribute memory Space (2KB space)
- CF Card Common memory Space (2KB space)
- CF Card IO Space (2KB space)
- 割り込み出力対応 (STSCHG#, IREQ)
- 内部 PCLK クロックの各種レンジ (50MHz-6MHz) に対応したコマンドストローブタイミング出力
- CFIORD#, CFIOWR#についてはプログラマブルなアイドルサイクル挿入とプログラマブルなコマンドサイクル挿入をサポート
- CF I/F での True IDE モードをサポート (CFOE#のプルダウン回路と CSSEL 信号、およびローアクティブ・リセットへの対応が外部で必要です。)

注意： S1S65010 では、以下の信号線については端子数の制約から実装しておりません。内部ですべて“LOW”に固定されています。

- CD [2:1]#
- VS [2:1]#
- BVD2#
- WP/IOIS16#

21.2 ブロック図

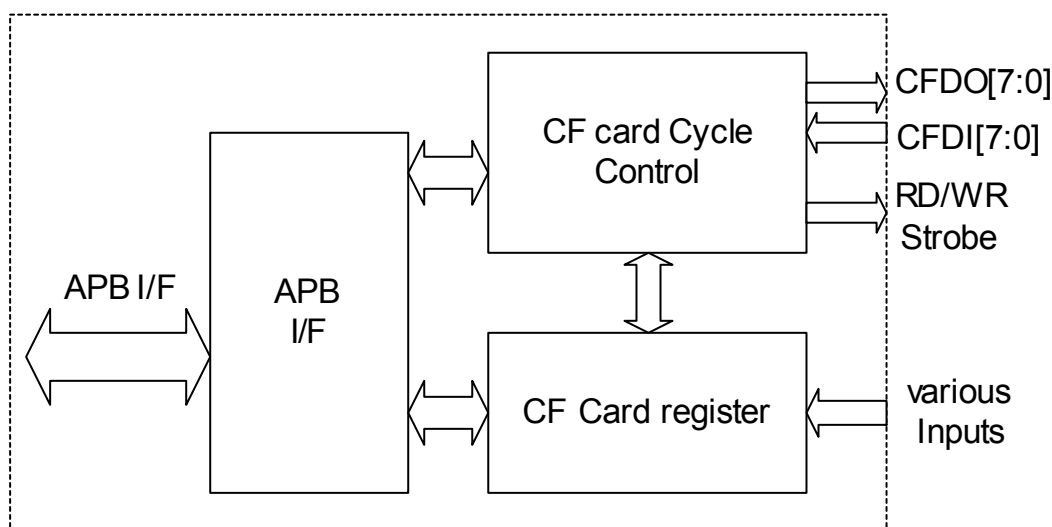


図 21.1 CF Card I/F ブロック図

21. コンパクトフラッシュカードインタフェース (CF)

21.3 CF Card I/Fの各空間の配分

表 21.1 CF カード I/F の空間配分

Description	Address Range	サイズ
CF カードアトリビュート空間	0xFFFFE4000 - 0xFFFFE47FF	2KB
CF カードコモンメモリ空間	0xFFFFE4800 - 0xFFFFE4FFF	2KB
CF カード I/O 空間	0xFFFFE5000 - 0xFFFFE57FF	2KB
CF カード True IDE CS1# Space	0xFFFFE5800 - 0xFFFFE5BFF	1KB
CF カード True IDE CS2# Space	0xFFFFE5C00 - 0xFFFFE5FFF	1KB
CF カードインタフェース 設定	0xFFFFE6000 - 0xFFFFE6FFF	4KB

注意：CF カードの各空間のアクセスには 8Bit または 16Bit のデータサイズのアクセスのみを行ってください。32Bit のデータサイズによるアクセスでは正常動作いたしません。

CF カードインタフェース設定のレジスタアクセスについては 16/32Bit のいずれかでアクセスをしてください。

True IDE の実現：

S1S65010 の CF I/F を使用して True IDE を実現するためには、指定された空間をアクセスするだけでは実現できません。システムレベル（＝ボード上）であらかじめ信号を操作することが必要です。

具体的には以下の 2 信号を正しく操作することが必須です。

－OE#（別名 ATASEL）

－CSSEL

CF Card I/F の OE#信号を Power On Reset（電源が OFF から ON に至ることが必須）時に LOW とサンプルされるようにしておきます。

もう一つは IDE デバイスのマスター/スレーブ動作を決めるために CSSEL を Pull Up または Pull Down、あるいは Open しておくことが必要になります。

また True IDE での CS1#, CS2#空間に対するアドレスは以下の様になっています。

－CS1#でアクセスできるレジスタは上記の表のアドレス空間中の下位 3Bit が 0x0 - 0x7 である空間

－CS2#でアクセスできるレジスタは上記の表のアドレス空間中の下位 3Bit が 0x6 - 0x7 である空間になっています。たとえば“Alternate Status Register”は CS2#空間の内、下位 3Bit が 0x7 のアドレスに割り振られています。

21. コンパクトフラッシュカードインタフェース (CF)

21.4 外部端子

コンパクトフラッシュカードインタフェース (CF) 関連の外部端子は以下の通りです。

表 21.2 外部端子 (CF)

端子名	入出力	端子機能	マルチプレクス端子 / 備考
CFCE2#	出力	CF 用カードイネーブル 2(CE2#)出力	GPIOD2*
CFCE1#	出力	CF 用カードイネーブル 1(CE1#)出力	GPIOD3*
CFIORD#	出力	CF 用 I/O Read ストロープ出力	GPIOE0*
CFIOWR#	出力	CF 用 I/O Write ストロープ出力	GPIOE1*
CFWAIT#	入力	CF カードからのウェイト要求入力	GPIOE2*
CFRST	出力	CF カードへのリセット出力	GPIOE3*
CFIREQ	入力	CF カードからの割り込み要求入力	GPIOE4*
CFSTSCHG#	入力	CF カードからのステータスチェンジ入力	GPIOE5*
CFDEN#	出力	CF カードの外部バッファ用データイネーブル出力	GPIOE6*
CFDDIR	出力	CF 用データバス方向指示出力	GPIOE7*
CFREG#	出力	CF 用アトリビュート空間および I/O 空間選択 REG 信号	MA11**
CFADDR [10:0]	出力	CF 用アドレス信号	MA [10:0]**
CFDATA [15:0]	入出力	CF 用 16 ビットデータ信号	MD [15:0]**
CFOE#	出力	CF インタフェースのメモリおよびアトリビュート空間の出力イネーブル信号	MOE#**
CFWE#	出力	CF インタフェースのメモリおよびアトリビュート空間のライトイネーブル信号	MWE0#**

注意(*)： CF 用の外部端子は GPIO 端子とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

注意(**)： CF 動作時には、メモリコントローラ用の端子が CF の外部端子として動作します。

21.5 レジスタ

21.5.1 レジスタ一覧

コンパクトフラッシュカードインタフェース レジスタのベースアドレスは、0xFFFE_6000 です。

表 21.3 レジスタ一覧 (ベースアドレス : 0xFFFE_6000)

Address Offset	Register Name	Abbreviation Name	Default Value	R/W	Data Access Size
0x00	CF Card Interface Control Register	CFCTL	0x1000	(R/W)	16 (/32)
0x04	CF Card Pin Status Register	CFPINSTS	0x0XXX	RO	16 (/32)
0x08	CF Card IRQ Source & Clear Register	CFINTRSTS	0x0XXX	R/W	16 (/32)
0x0C	CF Card IRQ Enable Register	CFINTMSTS	0x0000	R/W	16 (/32)
0x10	CF Card IRQ Status Register	CFINTSTS	0x0000	RO	16 (/32)
0x14	CF Card MISC Register	CFMISC	0x0000	R/W	16 (/32)

21. コンパクトフラッシュカードインタフェース (CF)

21.5.2 レジスタ詳細説明

CF Card Interface Control Register (CFCTL)							
CF[0x00] 初期値 = 0x1000				(Read/Write)			
PROG CYCEN	PROG IDLE [2:0]			R/W	PROG CYC [3:0]		
15	14	13	12	11	10	9	8
Reserved (0)	IOIS8_IO	IOIS8_MEM	PROG IDLE EN	CFRST	CFCARDEN	PCKMD[1:0]	
RO 7	6	5	4	R/W 3	2	1	0

- Bit 15 : **PROG_CYCEN**
CFIORD#/CFIOWR#信号についてプログラマブルなコマンドサイクル機能をイネーブルにします。
通常はディスエーブルのまま使ってください。
0 : Disable (After RESET/ Default)
1 : Enable
- Bits [14:12] : **PROG_IDLE[2:0]**
CF Card I/F での Idle Cycle 数を指定します。（Default 値は“1”）
- Bits [11:8] : **PROG_CYC[3:0]**
CFIORD#/CFIOWR#信号についてコマンド・アクティブ・サイクル数を指定します。
PROG_CYCEN = 1 のときのみ有効。
- Bit 7 : **Reserved**
- Bit 6 : **IOIS8_IO**
CF カードの IO 空間のデバイスサイズを指定します。
0 : 16Bit CF カード・デバイスとして動作
1 : 8Bit CF カード・デバイスとして動作
- Bit 5 : **IOIS8_MEM**
CF カードのコモンメモリ空間のデバイスサイズを指定します。
0 : 16Bit CF カード・デバイスとして動作
1 : 8Bit CF カード・デバイスとして動作
- Bit 4 : **PROG_IDLE_EN**
CFIORD#/CFIOWR#信号について CFCE1#・CFCE2#からコマンドがアクティブになるまでのプログラマブルなアイドルサイクル機能をイネーブルにします。通常はディスエーブルのまま使用してください。
0 : Disable
1 : Enable
- Bit 3 : **CFRST**
CF I/F 機能が選択された場合、CFRST Pin をダイレクトにコントロールします。
0 : CFRST Pin は “Low” になります。
1 : CFRST Pin は “High” になります。
- Bit 2 : **CFCARDEN**
0 : CF Card Interface は無効です。
1 : CF Card Interface が有効になります。
- Bits [1:0] : **PCKMD[1:0]**
クロックの周波数に応じて CF Card I/F が適切に働くよう値を変更できます。
00 : PCLK が 50MHz (-25MHz) 程度のとき、この値を使用してください。
01 : PCLK が 24MHz 程度の時この値を使用してください。
10 : PCLK が 12MHz 程度の時この値を使用してください。
11 : PCLK が 6MHz 程度の時この値を使用してください。

21. コンパクトフラッシュカードインタフェース (CF)

CF Card Pin Status Register (CFPINSTS)							Read Only
CF[0x04] 初期値 = 0x0XXX							IREQ#2
15	14	13	12	11	10	9	8
WP	IREQ#1	BVD2#	BVD1#/ STSCHG	VS2#	VS1#	CD2#	CD1#
7	6	5	4	3	2	1	0

Bit [1:0]を除き Pin の状態そのものの値が各 Bit に反映されます。

Bit [1:0] (CD2#,CD1#) Pin はノイズフィルタを通った pin の状態がみえます。

Bit 8 : IREQ#2 入力

IREQ# Pin が High アクティブの割り込み入力の際には、この Bit 参照が便利です。
CF Card IREQ# の Pin 状態そのものを知ることができます。

Bit 7 : WP Pin 入力

CF Card インタフェース WP Pin の状態を知ることができます。

Bit 6 : RDY/BSY, IREQ pin 入力 (CF Card ではモードにより名前が変わります)

IREQ# Pin が Low アクティブの割り込み入力の際には、この Bit 参照が便利です。
CF Card インタフェース RDY/BSY または IREQ Pin の反転入力状態を知ることができます。

Bit 5 : BVD2# pin 入力

CF Card インタフェース BVD2# pin の状態を知ることができます。

Bit 4 : BVD1#/STSCHG# pin 入力

CF Card インタフェース BVD1#/STSCHG# pin の状態を知ることができます。

Bit 3 : VS2# pin 入力

CF Card インタフェース VS2# pin の状態を知ることができます。

Bit 2 : VS1# pin 入力

CF Card インタフェース VS2# pin の状態を知ることができます。

Bit 1 : CD2# pin 入力

ノイズ除去後の CF Card インタフェース CD2# pin の状態を知ることができます。

Bit 0 : CD1# pin 入力

ノイズ除去後の CF Card インタフェース CD1# pin の状態を知ることができます。

注意 : Bit7, Bit5, Bits [3:0]は S1S65010 ではサポートしていません。

21. コンパクトフラッシュカードインタフェース (CF)

CF Card IRQ Source & Clear Register (CFINTRSTS)							Read/Write
CF[0x08] 初期値 = 0x0XXX							IREQ#2
15	14	13	12	11	10	9	8
Reserved	IREQ#1	Reserved	BVD1/ STSCHG	Reserved		CD2	CD1
7	6	5	4	3	2	1	0

このレジスタは割り込み要求のソース (マスクされていない) を示すと同時に“1”を書くことにより、それぞれ該当 Bit がクリアされます。

Bits [15:7] : **予約ビット**

読み出し時は“0”が読み出されます。書き込み時は必ず“0”を書くこと。

Bit 8 : **IREQ#2 入力**

IREQ# Pin が High アクティブの割り込み入力の時には、この Bit 参照が便利です。

CF Card が I/O モードにプログラムされたあと、この Bit が“1”を示すときは IREQ による割り込み要求が発生していることを示します。“0”を示すときは IREQ pin による割り込み要求は発生していません。

Bit 6 : **IREQ#1 (反転入力)**

IREQ# Pin が Low アクティブの割り込み入力の時には、この Bit 参照が便利です。

CF Card が I/O モードにプログラムされたあと、この Bit が“1”を示すときは IREQ による割り込み要求が発生していることを示します。“0”を示すときは IREQ pin による割り込み要求は発生していません。

Bit 4 : **BVD1/STSCHG#**

CF Card が I/O モードにプログラムされたあと、この Bit が“0”を示すときは、STSCHG#が“0”、すなわち RDY/BSY#または WP 信号に変化があったことを示します。“1”は特に RDY/BSY#または WP 信号に変化がないことを示します。

Bit 1 : **CD2 pin status change**

この信号 (ノイズ除去後の信号) が Low から High,または High から Low に変化したときに“1”にセットされます。割り込み信号のソースのひとつであり、“1”を書くことによりクリアされます。

Bit 0 : **CD1 pin status change**

この信号 (ノイズ除去後の信号) が Low から High,または High から Low に変化したときに“1”にセットされます。割り込み信号のソースのひとつであり、“1”を書くことによりクリアされます。

注意 : Bits [1:0] は S1S65010 ではサポートしていません。

CF Card IRQ Enable Register (CFINTMSTS)							Read/Write
CF[0x0C] 初期値 = 0x0000							IRQEN#EN2
15	14	13	12	11	10	9	8
Reserved	IREQ#EN1	Reserved	BVD1EN/ STSCHGEN	Reserved		CD2EN	CD1EN
7	6	5	4	3	2	1	0

各 Bit は CF Card IRQ Source & Clear Register の Bit に対応しています。

各 Bit とも

0 : 割り込みはマスクされます。

1 : 割り込みはアンマスク、すなわちイネーブルの状態になります。

注意 : Bits [1:0] は S1S65010 ではサポートしていません。

21. コンパクトフラッシュカードインタフェース (CF)

CF Card IRQ Status Register (CFINTSTS)							Read Only
CF[0x10] 初期値 = 0x0000							
15	14	13	Reserved 12	11	10	9	IREQ#2 8
Reserved 7	IREQ#1 6	Reserved 5	BVD1/ STSCHG 4	Reserved 3 2		CD2 1	CD1 0

このレジスタには IRQ Source Register と IRQ Enable Register の各 Bit の “AND” をとった値が反映されます。

- 0 : 割り込みそのものがないか、割り込みがマスクされている状態。
- 1 : 割り込みがイネーブルでかつ割り込み要因が存在することを示す。

注意 : Bits [1:0] は S1S65010 ではサポートしておりません。

CF Card MISC Register (CFMISC)							Read/Write
CF[0x14] 初期値 = 0x0000							
15	14	13	Reserved 12	11	10	9	8
7	6	5	Reserved 4	3	2	1	CSRDEN 0

このレジスタは一部のハードウェア用に用意されており、通常は何も書かないでください。

Bits [15:2] : **予約ビット**

Bit 0 : **CSRDEN**

リード時に CFCE1#と CFCE2#の両方をアクティブにするかどうかを決定します。

- 0 : ノーマルオペレーション。
- 1 : リード操作時に CFCE1#と CFCE2#の両方をアクティブにします。

21.6 本コンパクトフラッシュカードインタフェースの利用制限事項

本チップでは、端子数の制約のために以下の端子を実装しておらず、内部で “LOW” に固定しているために、一部のレジスタに対して利用制限がかかります。

- CD [2:1]#
- VS [2:1]#
- BVD2#
- WP/IOIS16#

以下は本チップで利用制限がかかるレジスタの一覧です。

オフセットアドレス	レジスタビット名称	制限
CF[0x04] Bit 7	WP Pin 入力	使用不可
CF[0x04] Bit 5	BVD2# Pin 入力	使用不可
CF[0x04] Bit 3	VS2# Pin 入力	使用不可
CF[0x04] Bit 2	VS1# Pin 入力	使用不可
CF[0x04] Bit 1	CD2# Pin 入力	使用不可
CF[0x04] Bit 0	CD1# Pin 入力	使用不可
CF[0x08] Bit 1	CD2 pin status change	使用不可
CF[0x08] Bit 0	CD1 pin status change	使用不可
CF[0x0C] Bit 1	CD2EN	使用不可
CF[0x0C] Bit 0	CD1EN	使用不可
CF[0x10] Bit 1	CD2	使用不可
CF[0x10] Bit 0	CD1	使用不可

22. タイマ(TIM)

22.1 概要

タイマには以下のような特長があります。

- 3ch の 16bit ダウンカウントタイマを内蔵 (3ch のタイマはすべて同一構造)
- 2 種類のタイマモードをサポート (サイクリックモード/シングルモード)
- タイマがカウント “0” になるたび、IRQ がマスクされていない限り割り込みを発生
- ディバイダ用 8bit カウンタ内蔵 (1/1~1/256)
- 2ch のプリスケアラ用 8bit カウンタにより、ディバイダで分周されたクロックを任意の値でカウント設定が可能
- アンダーフロー時のタイマ出力モード機能 (3 種類) :
アンダーフロー信号、任意の 0/1 値出力、アンダーフロー周波数のトグル出力

22.2 ブロック図

以下にタイマのブロック図を示します。タイマブロックはレジスタブロック (Register (BusI/F))、ディバイダブロック (Divider)、2ch のプリスケアラブロック (Prescaler #0,1) 及び 3ch のタイマカウンタブロック (Timer Counter #0-2) から構成されています。

プリスケアラ及びタイマカウンタのそれぞれのチャンネルは同一のものであり、下記の詳細ブロックにはそれぞれの 0ch を代表して記します。ディバイダとレジスタはそれぞれ全てのチャンネルに対応して制御します。タイマカウント用のクロック (TINCLK) はシステムコントローラより供給され、PCLK の 1/8 クロックが使用されます。詳細はシステムコントローラの項を参照願います。

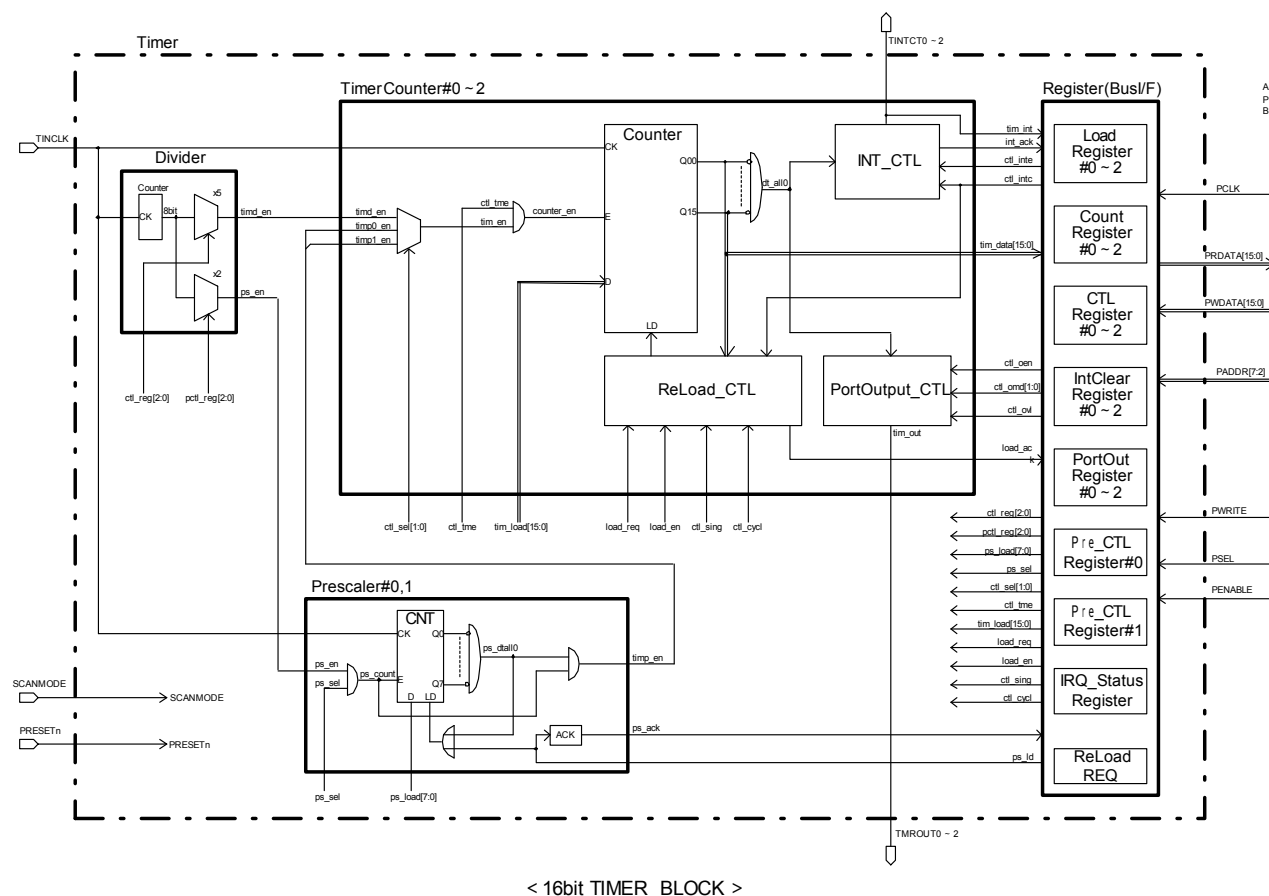


図 22.1 ブロックダイアグラム

22.3 外部端子

タイマ関連の外部端子は以下の通りです。

端子名	入出力	端子機能	マルチプレクス端子* / 備考
Timer0out	出力	タイマ 0 出力	GPIOB3/INT3/IS1_SD
Timer1out	出力	タイマ 1 出力	GPIOB4/INT4
Timer2out	出力	タイマ 2 出力	GPIOB5/INT5

注意(*)： タイマ用の外部端子は GPIO 端子等とマルチプレクスされていますので、GPIO 端子機能レジスタにより“GPIO 以外の機能 1”に設定することにより使用できます。

22.4 レジスタ

22.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_B000 です。

表 22.1 レジスタ一覧 (ベースアドレス : 0xFFFF_B000)

アドレス オフセット	レジスタ名称	レジスタ 略称	初期値	R/W	データアクセス サイズ
0x00	タイマ 0 ロードレジスタ	TM0LD	0x0000	R/W	16 (/32) *1
0x04	タイマ 0 カウントレジスタ	TM0CNT	0x0000	RO	16 (/32) *1
0x08	タイマ 0 制御レジスタ	TM0CTRL	0x0000	(R/W)	16 (/32) *1
0x0C	タイマ 0 IRQ フラグクリアレジスタ	TM0IRQ	—	WO	8 (/16/32) *2
0x10	タイマ 0 ポート出力制御レジスタ	TM0POUT	0x0000	(R/W)	8 (/16/32) *2
0x20	タイマ 1 ロードレジスタ	TM1LD	0x0000	R/W	16 (/32) *1
0x24	タイマ 1 カウントレジスタ	TM1CNT	0x0000	RO	16 (/32) *1
0x28	タイマ 1 制御レジスタ	TM1CTRL	0x0000	(R/W)	16 (/32) *1
0x2C	タイマ 1 IRQ フラグクリアレジスタ	TM1IRQ	—	WO	8 (/16/32) *2
0x30	タイマ 1 ポート出力制御レジスタ	TM1POUT	0x0000	(R/W)	8 (/16/32) *2
0x40	タイマ 2 ロードレジスタ	TM2LD	0x0000	R/W	16 (/32) *1
0x44	タイマ 2 カウントレジスタ	TM2CNT	0x0000	RO	16 (/32) *1
0x48	タイマ 2 制御レジスタ	TM2CTRL	0x0000	(R/W)	16 (/32) *1
0x4C	タイマ 2 IRQ フラグクリアレジスタ	TM2IRQ	—	WO	8 (/16/32) *2
0x50	タイマ 2 ポート出力制御レジスタ	TM2POUT	0x0000	(R/W)	8 (/16/32) *2
0x60-0x9C	予約	—	—	—	—
0xA0	プリスケラ 0 制御レジスタ	PS0CTRL	0x0000	(R/W)	16 (/32) *1
0xA4	プリスケラ 1 制御レジスタ	PS1CTRL	0x0000	(R/W)	16 (/32) *1
0xB0	タイマ IRQ ステータスレジスタ	TMIRQSTS	0x0000	RO	8 (/16/32) *2

*1: 16 ビットまたは 32 ビットデータアクセスが可能。

*2: 各種サイズ (8/16/32 ビット) のデータアクセスが可能。

22. タイマ(TIM)

22.4.2 レジスタ詳細説明

タイマ 0 ロードレジスタ (TM0LD)							
TIM[0x00] 初期値 = 0x0000							
Read/Write							
タイマ 0 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ 0 ロード値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TM0LD [15:0] タイマ 0 ロード値ビット[15:0]**
タイマ 0 にロードするカウント初期値 (16 ビット値) を設定するレジスタです。

タイマ 0 カウントレジスタ (TM0CNT)							
TIM[0x04] 初期値 = 0x0000							
Read only							
タイマ 0 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ 0 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TM0CNT [15:0] タイマ 0 カレントカウント値ビット[15:0]**
タイマ 0 の現在のカウント値が読み出せます。

タイマ 0 制御レジスタ (TM0CTRL)							
TIM[0x08] 初期値 = 0x0000							
(Read/Write)							
n/a						ディバイダ/プリスケアラ	
RO						[1:0]	
15	14	13	12	11	10	9	8
タイマ 0 イネーブル		n/a	モード選択		ディバイダ分周比 [2:0]		IRQ リクエスト
R/W	RO	R/W	R/W		イミディエイト ロード リクエスト		R/W
7	6	5	4	3	2	1	0

Bits [9:8] : **ディバイダ/プリスケアラ選択 [1:0]**
タイマ 0 で使用するクロックの分周元を指定します。
0x : ディバイダ
10 : プリスケアラ#0
11 : プリスケアラ#1

Bit 7 : **タイマ 0 イネーブル**
このビットがイネーブルの時、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。
0 : タイマ 0 ディセーブル
1 : タイマ 0 イネーブル (サイクリックモード/シングルモード)

Bit 5 : **モード選択**
0 : サイクリックモード
1 : シングルモード

Bits [4:2] : **ディバイダ分周比 [2:0]**
000 : 分周なし → 1/1
001 : 4 分周 → 1/4
010 : 8 分周 → 1/8
011 : 16 分周 → 1/16
100 : 32 分周 → 1/32
101 : 64 分周 → 1/64
110 : 128 分周 → 1/128
111 : 256 分周 → 1/256

- Bit 1 : **イミディエイトロードリクエスト (サイクリックモード時)**
 サイクリックモード時にタイマ 0 のロード値をリロードするタイミングを要求します。
 0 : カウンタ値が “0x0000” になった時に、書き込まれたロード値をリロード
 1 : レジスタにロード値を書き込むと即時リロード
 注意 : シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

- Bit 0 : **タイマ 0 割り込み要求イネーブル**
 0 : 割り込み要求ディセーブル (IRQ マスク)
 1 : 割り込み要求イネーブル

タイマ 0 IRQ フラグクリアレジスタ (TM0IRQ)							
TIM[0x0C] 初期値 = —							
Write Only							
任意のデータ							
15	14	13	12	11	10	9	8
任意のデータ							
7	6	5	4	3	2	1	0

このレジスタはタイマ 0 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ 0 ポート出力制御レジスタ (TM0POUT)							
TIM[0x10] 初期値 = 0x0000							
(Read/Write)							
				n/a RO			
15	14	13	12	11	10	9	8
n/a RO				出力モード選択 R/W		出力イネーブル R/W	出力値 R/W
7	6	5	4	3	2	1	0

- Bits [3:2] : **出力モード選択**
 00 : アンダーフロー発生時に出力値 (Bit 0) を出力
 01 : アンダーフロー出力
 10 : アンダーフロー発生毎にトグル出力
 11 : 予約

- Bit 1 : **出力イネーブル**
 0 : 出力モードディセーブル
 1 : 出力モードイネーブル
 該当するポートが GPIO として設定されているときに、このビットを “1” にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

- Bit 0 : **出力値**
 出力モード (Bits [3:2]) が “00” の時に、このビットの値が出力されます。

タイマ 1 ロードレジスタ (TM1LD)							
TIM[0x20] 初期値 = 0x0000							
Read/Write							
タイマ 1 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ 1 ロード値[7:0]							
7	6	5	4	3	2	1	0

- Bits [15:0] : **TM1LD [15:0] タイマ 1 ロード値ビット[15:0]**
 タイマ 1 にロードするカウンタ初期値 (16 ビット値) を設定するレジスタです。

22. タイマ(TIM)

タイマ1 カウントレジスタ (TM1CNT)							
TIM[0x24]		初期値 = 0x0000				Read Only	
タイマ1 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ1 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] : **TM1CNT [15:0] タイマ1 カレントカウント値ビット[15:0]**
 タイマ1 の現在のカウント値が読み出せます。

タイマ1 制御レジスタ (TM1CTRL)							
TIM[0x28] 初期値 = 0x0000				(Read/Write)			
n/a				ディバイダ/プリスケアラ			
RO				[1:0]			
15	14	13	12	11	10	9	8
タイマ1 イネーブル	n/a	モード選択	ディバイダ分周比 [2:0]			イミディエイト ロード リクエスト	IRQ リクエスト
R/W	RO	R/W	R/W			R/W	R/W
7	6	5	4	3	2	1	0

Bits [9:8] : **ディバイダ/プリスケアラ選択 [1:0]**
 タイマ1 で使用するクロックの分周元を指定します。
 0x : ディバイダ
 10 : プリスケアラ#0
 11 : プリスケアラ#1

Bit 7 : **タイマ1 イネーブル**
 このビットがイネーブルの時、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。
 0 : タイマ1 ディセーブル
 1 : タイマ1 イネーブル (サイクリックモード/シングルモード)

Bit 5 : **モード選択**
 0 : サイクリックモード
 1 : シングルモード

Bits [4:2] : **ディバイダ分周比 [2:0]**
 000 : 分周なし →1/1
 001 : 4 分周 →1/4
 010 : 8 分周 →1/8
 011 : 16 分周 →1/16
 100 : 32 分周 →1/32
 101 : 64 分周 →1/64
 110 : 128 分周 →1/128
 111 : 256 分周 →1/256

Bit 1 : **イミディエイトロードリクエスト (サイクリックモード時)**
 サイクリックモード時にタイマ1 のロード値をリロードするタイミングを設定します。
 0 : カウンタ値が“0x0000”になった時に、書き込まれたロード値をリロード
 1 : レジスタにロード値を書き込むと即時リロード

注意 : シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

Bit 0 : **タイマ1 割り込み要求イネーブル**
 0 : 割り込み要求ディセーブル (IRQ マスク)
 1 : 割り込み要求イネーブル

タイマ1 IRQ フラグクリアレジスタ (TM1IRQ)								
TIM[0x2C]		初期値 = —						Write Only
任意のデータ								
15	14	13	12	11	10	9	8	
任意のデータ								
7	6	5	4	3	2	1	0	

このレジスタはタイマ 1 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ1 ポート出力制御レジスタ (TM1POUT)										
TIM[0x30]		初期値 = 0x0000								
(Read/Write)										
				n/a RO						
15	14		13	12	11	10		9	8	
				n/a RO	出力モード選択 R/W			出力イネーブル R/W	出力値 R/W	
7	6	5	4	3	2		1	0		

Bits [3:2] :

出力モード選択

- 00 : アンダーフロー発生時に出力値 (Bit 0) を出力
- 01 : アンダーフロー出力
- 10 : アンダーフロー発生毎にトグル出力
- 11 : 予約

Bit 1 :

出力イネーブル

- 0 : 出力モードディセーブル
- 1 : 出力モードイネーブル

該当するポートが GPIO として設定されているときに、このビットを“1”にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

Bit 0 :

出力値

出力モード (Bits [3:2]) が“00”の時に、このビットの値が出力されます。

タイマ2 ロードレジスタ (TM2LD)							
TIM[0x40]		初期値 = 0x0000					Read/Write
タイマ2 ロード値[15:8]							
15	14	13	12	11	10	9	8
タイマ2 ロード値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] :

TM2LD [15:0] タイマ2 ロード値ビット[15:0]

タイマ2にロードするカウント初期値 (16 ビット値) を設定するレジスタです。

タイマ2 カウントレジスタ (TM2CNT)							
TIM[0x44]		初期値 = 0x0000					Read only
タイマ2 カレントカウント値[15:8]							
15	14	13	12	11	10	9	8
タイマ2 カレントカウント値[7:0]							
7	6	5	4	3	2	1	0

Bits [15:0] :

TM2CNT [15:0] タイマ2 カレントカウント値ビット[15:0]

タイマ2の現在のカウント値が読み出せます。

22. タイマ(TIM)

タイマ 2 制御レジスタ (TM2CTRL)							
TIM[0x48] 初期値 = 0x0000				(Read/Write)			
n/a RO				ディバイダ/プリスケアラ [1:0] R/W			
15	14	13	12	11	10	9	8
タイマ 2 イネーブル	n/a	モード選択	ディバイダ分周比 [2:0]			イミディエイト ロード リクエスト	IRQ リクエスト
R/W 7	RO 6	R/W 5	4	R/W 3	2	R/W 1	R/W 0

Bits [9:8] :

ディバイダ/プリスケアラ選択 [1:0]

タイマ 2 で使用するクロックの分周元を指定します。

- 0x : ディバイダ
- 10 : プリスケアラ#0
- 11 : プリスケアラ#1

Bit 7 :

タイマ 2 イネーブル

このビットがイネーブルの時、このレジスタのモード選択ビットを反映したモードでダウンカウントを開始します。

- 0 : タイマ 2 ディセーブル
- 1 : タイマ 2 イネーブル (サイクリックモード/シングルモード)

Bit 5 :

モード選択

- 0 : サイクリックモード
- 1 : シングルモード

Bits [4:2] :

ディバイダ分周比 [2:0]

- 000 : 分周なし → 1/1
- 001 : 4 分周 → 1/4
- 010 : 8 分周 → 1/8
- 011 : 16 分周 → 1/16
- 100 : 32 分周 → 1/32
- 101 : 64 分周 → 1/64
- 110 : 128 分周 → 1/128
- 111 : 256 分周 → 1/256

Bit 1 :

イミディエイトロードリクエスト (サイクリックモード時)

サイクリックモード時にタイマ 2 のロード値をリロードするタイミングを設定します。

- 0 : カウンタ値が “0x0000” になった時に、書き込まれたロード値をリロード
- 1 : レジスタにロード値を書き込むと即時リロード

注意: シングルモード時は、このビットに関係なくロード値を書き込むとその値が即時反映されます。

Bit 0 :

タイマ 2 割り込み要求イネーブル

- 0 : 割り込み要求ディセーブル (IRQ マスク)
- 1 : 割り込み要求イネーブル

タイマ 2 IRQ フラグクリアレジスタ (TM2IRQ)							
TIM[0x4C] 初期値 = —				Write Only			
任意のデータ							
15	14	13	12	11	10	9	8
任意のデータ							
7	6	5	4	3	2	1	0

このレジスタはタイマ 2 の割り込み要求 (IRQ) フラグをクリアするためのライトオンリのポートです。IRQ フラグをクリアするためには、このレジスタに任意のデータを書き込みます。

タイマ2 ポート出力制御レジスタ (TM2POUT)							
TIM[0x50]				初期値 = 0x0000			
				(Read/Write)			
15	14	13	12	n/a RO	11	10	9
				出力モード選択 R/W		出力イネーブル R/W	出力値 R/W
7	6	5	4	3	2	1	0

Bits [3:2] :

出力モード選択

- 00 : アンダーフロー発生時に出力値 (Bit 0) が有効
- 01 : アンダーフロー出力
- 10 : アンダーフロー発生毎にトグル出力
- 11 : 予約

Bit 1 :

出力イネーブル

- 0 : 出力モードディセーブル
- 1 : 出力モードイネーブル

該当するポートが GPIO として設定されているときに、このビットを“1”にするとポートは出力モード (Bits [3:2]) で設定したように動作します。

Bit 0 :

出力値

出力モード (Bits [3:2]) が“00”の時には、このビットの値が出力されます。

プリスケアラ 0 制御レジスタ (PS0CTRL)							
TIM[0xA0]				初期値 = 0x0000			
				(Read/Write)			
ディバイダ分周比 [2:0] R/W				n/a RO			
15	14	13	12	11	10	9	8
プリスケアラ 0 ロード値 [7:0] R/W							
7	6	5	4	3	2	1	0

Bits [15:13] :

ディバイダ分周比 [2:0]

- 000 : 分周なし → 1/1
- 001 : 4 分周 → 1/4
- 010 : 8 分周 → 1/8
- 011 : 16 分周 → 1/16
- 100 : 32 分周 → 1/32
- 101 : 64 分周 → 1/64
- 110 : 128 分周 → 1/128
- 111 : 256 分周 → 1/256

Bits [7:0] :

プリスケアラ 0 ロード値ビット[7:0]

プリスケアラ 0 においてディバイダで分周されたクロックをカウントする値を設定するレジスタです。

22. タイマ(TIM)

プリスケラ 1 制御レジスタ (PS1CTRL)							
TIM[0xA4]		初期値 = 0x0000					(Read/Write)
ディバイダ分周比				n/a			
15	R/W	14	13	12	11	10	9
プリスケラ 1 ロード値[7:0]							
7	R/W	6	5	4	3	2	1
							0

Bits [15:13] : **ディバイダ分周比 [2:0]**

000 : 分周なし →1/1
001 : 4 分周 →1/4
010 : 8 分周 →1/8
011 : 16 分周 →1/16
100 : 32 分周 →1/32
101 : 64 分周 →1/64
110 : 128 分周 →1/128
111 : 256 分周 →1/256

Bits [7:0] : **プリスケラ 1 ロード値ビット [7:0]**

プリスケラ 1 においてディバイダで分周されたクロックをカウントする値を設定するレジスタです。

タイマ IRQ ステータスレジスタ (TMIRQSTS)							
TIM[0xB0]		初期値 = 0x0000					Read Only
15	14	5	4	n/a	3	2	1
7	n/a	5	4	予約	3	Timer2 IRQ	Timer1 IRQ
	6					2	1
							0

Bits [4:3] : **予約**

Bit 2 : **タイマ 2 IRQ ステータス**

タイマ 2 の割り込みステータスを示します。

0 : 割り込み要求なし (または、IRQ マスク)
1 : 割り込み要求あり

この割り込みステータスはタイマ 2 IRQ フラグクリアレジスタでクリアします。

Bit 1 : **タイマ 1 IRQ ステータス**

タイマ 1 の割り込みステータスを示します。

0 : 割り込み要求なし (または、IRQ マスク)
1 : 割り込み要求あり

この割り込みステータスはタイマ 1 IRQ フラグクリアレジスタでクリアします。

Bit 0 : **タイマ 0 IRQ ステータス**

タイマ 0 の割り込みステータスを示します。

0 : 割り込み要求なし (または、IRQ マスク)
1 : 割り込み要求あり

この割り込みステータスはタイマ 0 IRQ フラグクリアレジスタでクリアします。

22.5 各モードでのロード値の設定方法

22.5.1 タイマカウンタのモード

3ch のタイマは、それぞれ 2 種類のモードが設定できます。
各モードについてのロード値の設定方法を説明します。

(1) サイクリックモード

ロードレジスタにより設定したロード値から“0”までを繰り返しカウントダウンします。ロードのタイミングには 2 通りあります。

a) イミディエイトロードリクエストをした場合

タイマ制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値を“1”にする事で即時にロード値をカウンタに反映する事ができます。

手順は、即時反映させたい場合にイミディエイトロードリクエストを“1”にし、次に反映させたいロード値をロードレジスタで設定します。タイマ制御レジスタの 7bit 目(タイマイネーブル)の状態に関わらず強制的にロード値を書き込む事ができます。

b) イミディエイトロードリクエストをしない場合

タイマ制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値が“0”であれば、ダウンカウンタの各ビットがすべて“0”になった時に割り込みを発生し、その時点でロードレジスタに設定してある値をリロードして再度ダウンカウントし始めます。

フリーランモードで使いたい場合は、ロード値に‘FFFFh’の値を設定します。

(2) シングルモード

ロードレジスタにより設定したロード値からカウントダウンし、カウンタの出力がすべて“0”になったら割り込みを発生してストップします。IRQ フラグクリアレジスタで割り込みをクリアしても、カウンタはストップしたままです。

リロードのタイミングはタイマ制御レジスタの Bit 1 (イミディエイトロードリクエストビット) の値に関係なく、ロードレジスタによりロード値を設定した時点で即時反映されます。タイマ制御レジスタの Bit 7 (タイマイネーブルビット) の状態に関わらず強制的にロード値を書き込む事ができます。

22.6 タイマ内部クロック設定例 (1kHz、1MHz)

22.6.1 ディバイダとプリスケアラの設定方法

3ch のタイマは、それぞれディバイダと 2ch のプリスケアラで分周比とカウント数を設定して任意の 2 種類の周期でカウントダウンする事ができます。

プリスケアラを使用せずディバイダの分周比でタイマを動作させる場合は 3ch のタイマそれぞれにディバイダ分周比を設定する事ができます。

タイマの入力クロック (TINCLK) は APB バスクロック (PCLK) の 1/8 クロックが入力されます。

表 23.2 に 6MHz の TINCLK (PCLK=48MHz の時) が入力された場合の 1ms (1kHz) および 1 μ s (1MHz) 周期の設定例を示します。該当するプリスケアラ制御レジスタを下記のように設定して下さい。なお、プリスケアラのロード値はカウントを 1/1 にする場合には“0x00”、1/2 にする場合には“0x01”、1/3 にする場合は“0x02”・・・として設定します。

22. タイマ(TIM)

表 22.2 ミリ & マイクロ周期設定例*

周期	ディバイダ分周比	プリスケアラ ロード値	周波数
1ms	Bits [15:13] = 100b (1/32 選択)	Bits [7:0] = 1011 1010b (0xBA) (1/187 選択)	1.002673kHz
	Bits [15:13] = 101b (1/64 選択)	Bits [7:0] = 0101 1101b (0x5D) (1/94 選択)	0.997340kHz
1 μs	Bits [15:13] = 000b (1/1 選択)	Bits [7:0] = 0000 0101b (0x05) (1/6 選択)	1.000000MHz

注意(*) : $f_{TINCLK}=6\text{MHz}$ ($f_{PCLK}=48\text{MHz}$) が入力された場合の設定例です。

作成したい周波数を PCLK の周波数から算出する計算式は以下のようになります。

作成したい周波数に近くなるようにディバイダ分周比とプリスケアラロード値をプリスケアラ[1:0]制御レジスタに設定してください。

$$\text{作成したい周波数 } f = \frac{f_{PCLK} \div 8}{f_{TINCLK}} \div \frac{\text{bit}[15:13]*\text{による設定値}}{\text{ディバイダ分周比}} \div \frac{\text{bit}[7:0]*\text{による設定値}}{\text{プリスケアラロード値}}$$

* : プリスケアラ[1:0]制御レジスタ (TIM[0xA0], TIM[0xA4])

表 22.2 による計算例

例 1) $1\text{kHz} \div 48\text{MHz} \div 8 \div 32 \div 187 = 1.002673\text{kHz}$

例 2) $1\text{kHz} \div 48\text{MHz} \div 8 \div 64 \div 94 = 0.997340\text{kHz}$

例 3) $1\text{MHz} = 48\text{MHz} \div 8 \div 1 \div 6 = 1.000000\text{MHz}$

22.7 タイミング図

22.7.1 サイクリックモード時のイミディエイトロードリクエスト

サイクリックモード時にイミディエイトロードリクエストを行い、即時にロード値を反映した場合のタイミングチャートを下記に示します。カウンタのイネーブルサイクルをプリスケアラにて 1/3 に設定しています。

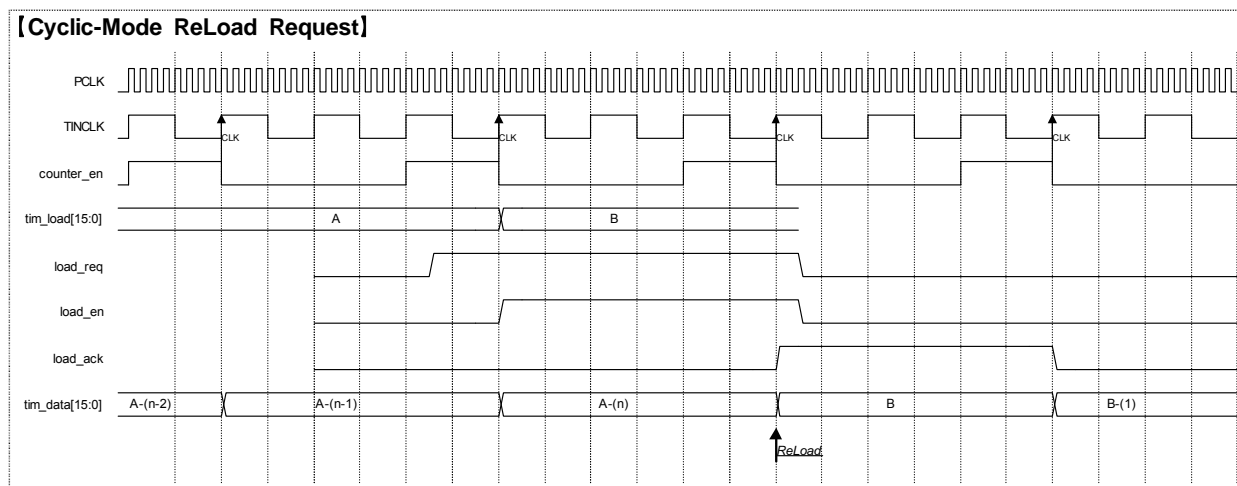


図 22.2 サイクリックモード時のイミディエイトロードリクエスト

22.7.2 サイクリックモード時の通常リロード

サイクリックモード時にイミディエイトロードリクエストを行わず、カウンタ出力がすべて“0”になった時にリロードする通常の循環カウントダウンのタイミングチャートと割り込みの発生を、分周なしの場合のタイミングで下記に記します。

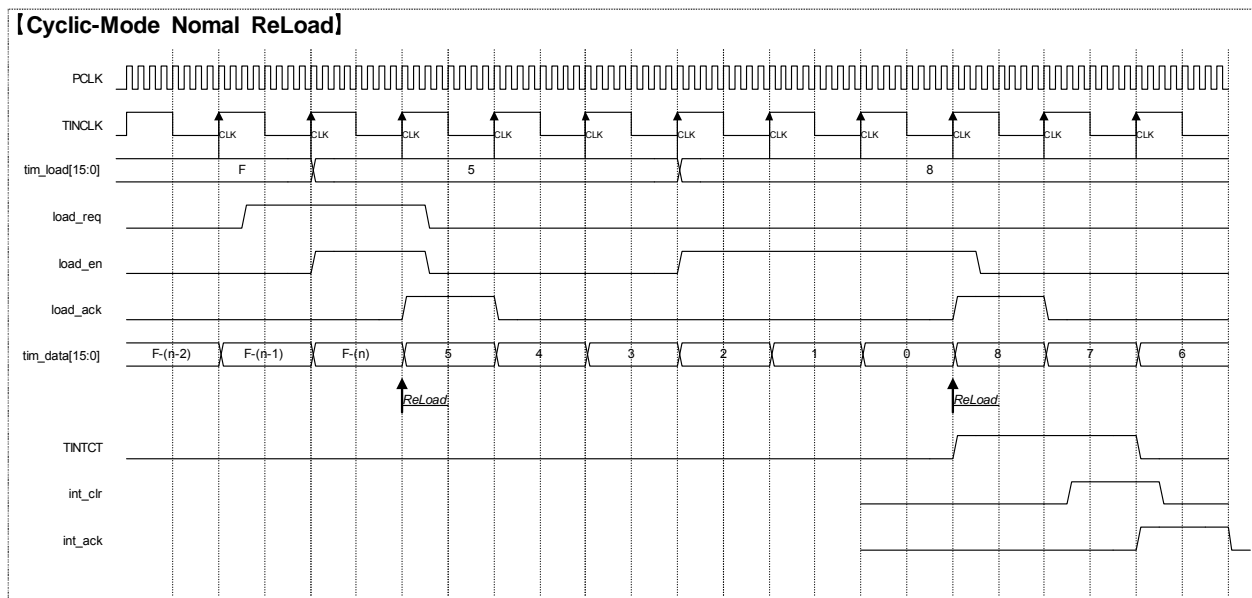


図 22.3 サイクリックモード時の通常リロード

22.7.3 シングルモード時の通常リロード

シングルモード時にカウンタ出力がすべて“0”になった場合の割り込みの発生と、ロード値を書き込んだ場合のタイミングチャートを、分周なしの場合のタイミングで下記に記します。

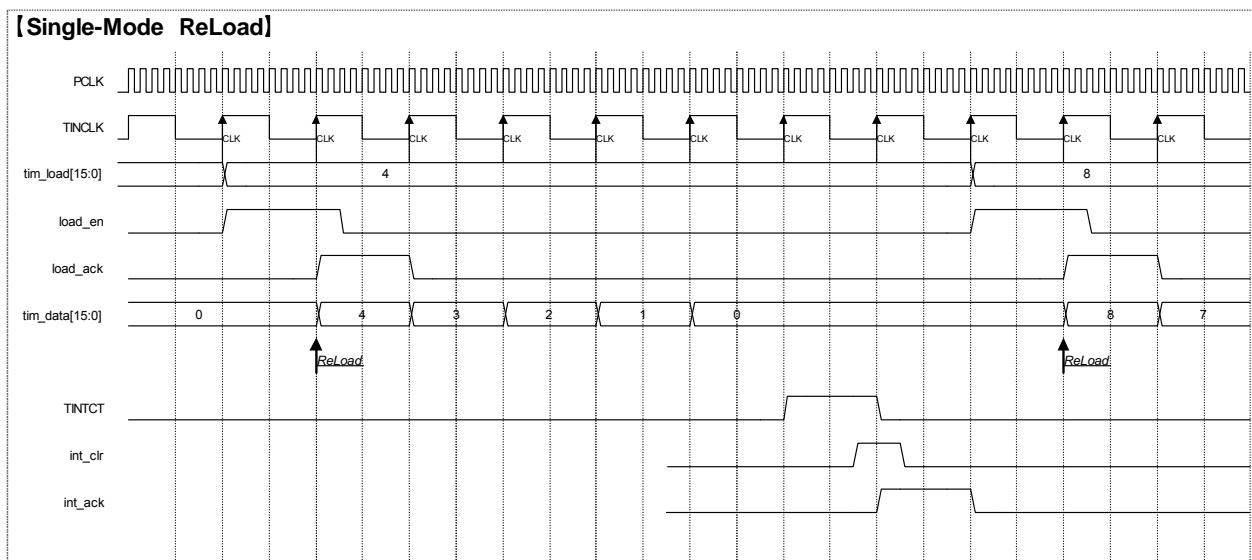


図 22.4 シングルモード時の通常リロード

22. タイマ(TIM)

22.7.4 ポート出力

アンダーフロー発生時にポート出力する場合のタイミングチャートをモードごとに記します。
以下に記載している波形はすべてディバイダおよびプリスケアラの設定値をデフォルト (1/1) にしたものです。

(1) アンダーフロー発生時に出力値 (bit0) を出力 (出力モード = “00”)

アンダーフローが発生すると、ポート出力制御レジスタの Bit 0 (出力値ビット) の値を保持しながら出力します。

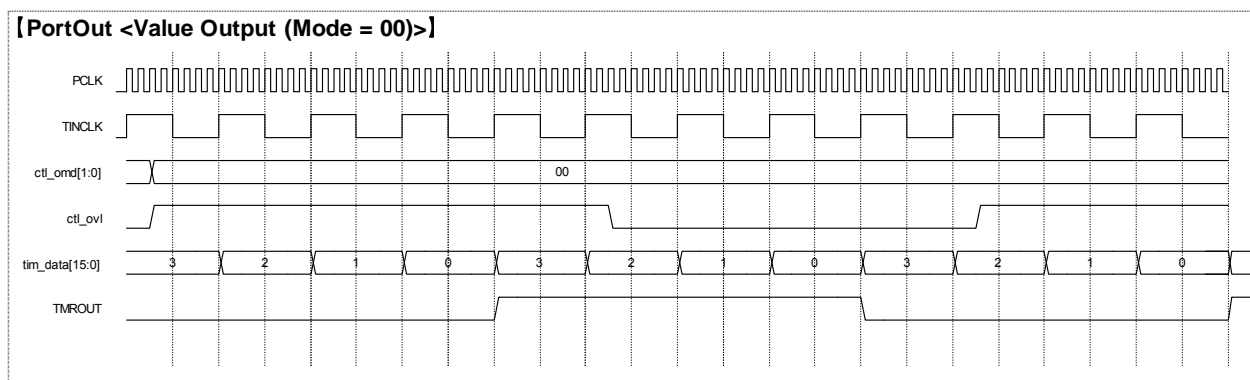


図 22.5 アンダーフロー発生時の出力 (出力値)

(2) アンダーフローを出力 (出力モード = “01”)

アンダーフローが発生するたびにアンダーフロー自身を出力します。

TMROUT のアンダーフローのパルス幅はダウンカウントのデータ幅と同じです。カウント値が “0” から Load 値 (図中では “3”) になるタイミングでアンダーフローが出力されます。

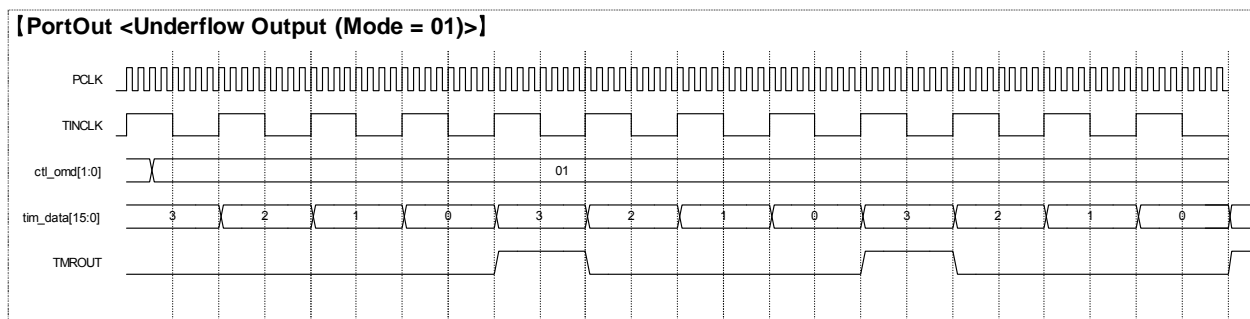


図 22.6 アンダーフロー発生時の出力 (アンダーフロー出力)

(3) アンダーフロー発生時にトグル出力 (出力モード = “10”)

アンダーフローが発生するたびに、信号を反転させながら出力します。

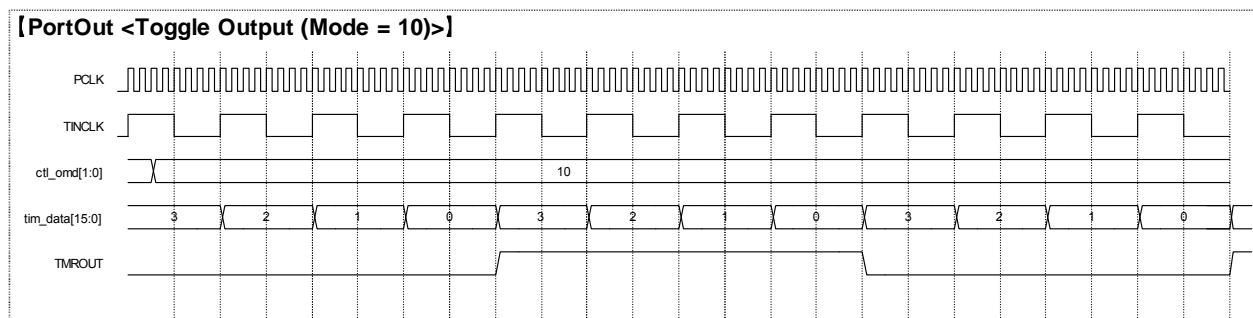


図 22.7 アンダーフロー発生時の出力 (トグル出力)

23. リアルタイムクロック(RTC)

23.1 概要

リアルタイムクロックは 32,768Hz を入力クロックとして、256Hz を出力するプリスケアラ、8bit の分周タイマ、秒、分、時、日カウンタにより時刻を計時し、時計やストップウォッチなどの各種の計時機能を実現します。各データはソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1 秒、1 分、1 時間、1 日のカウントアップによる割り込みを発生させることができ、周期割り込みやウェイクアップソースとして使用できます。さらに、分、時、日指定によるアラームを発生させることができ、ウェイクアップソースや、ソフトウェアでカレンダーを作成したときのアラーム機能として使用できます。

リアルタイムクロックは 32,768Hz のクロックが動作していれば CPU および他の内蔵周辺回路がスタンバイ状態でも動作可能です。またシステムリセットによって計時に影響がでませんので、外部からリセット動作が入っても計時をつづけることができます。

23.2 ブロック図

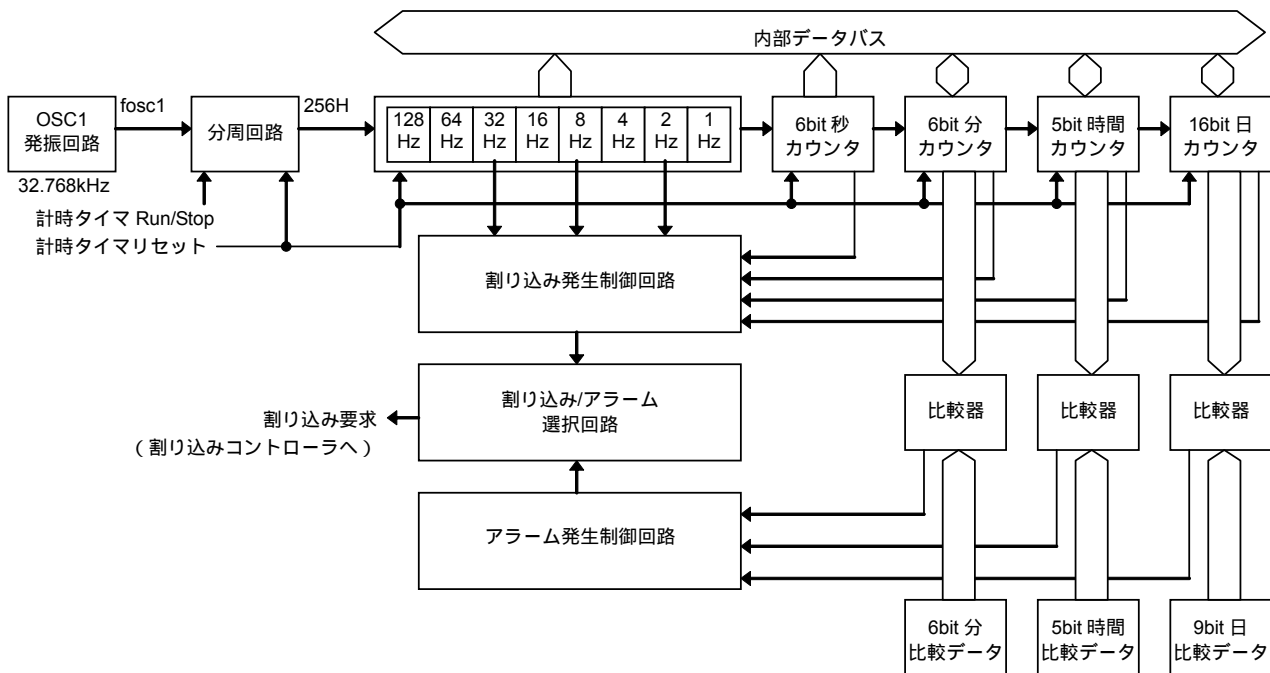


図 23.1 ブロックダイアグラム

23.3 外部端子

RTC に関連する外部端子はありません。

23. リアルタイムクロック(RTC)

23.4 レジスタ

23.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0x FFFF_8000 です。

表 23.1 レジスタ一覧 (ベースアドレス : 0x FFFF_8000)

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
0x000	RTC ラン / ストップ制御レジスタ	x--- ---xb	(R/W)	8bit
0x004	RTC 割り込みレジスタ	1110 0000b	R/W	8bit
0x008	RTC タイマ分周レジスタ	xxxx xxxxb	R/(W)	8bit
0x00C	RTC 秒カウンタレジスタ	--xx xxxxb	R/W	8bit
0x010	RTC 分カウンタレジスタ	--xx xxxxb	R/W	8bit
0x014	RTC 時間カウンタレジスタ	--x xxxxb	R/W	8bit
0x018	RTC 日カウンタレジスタ	0x XXXX	R/W	16bit
0x020	RTC アラーム分コンペアレジスタ	--xx xxxxb	R/W	8bit
0x024	RTC アラーム時間コンペアレジスタ	--x xxxxb	R/W	8bit
0x028	RTC アラーム日コンペアレジスタ	x xxxx xxxxb	R/W	16bit
0x02C	RTC テストレジスタ	---0 0000b	R/W	8bit
0x030	RTC プリスケアラレジスタ	-xxx xxxxb	R/(W)	8bit
0x034	RTC テストクロックレジスタ	---- ----b	WO	8bit

23.4.2 レジスタ詳細説明

すべての予約ビットは、特に指定のないかぎり “0” にしてください。ソフトウェアがこれらの予約ビットを読み出しても、その値は信頼すべきではありません。

RTC ラン / ストップ制御レジスタ (8 bit)						Read/Write	
RTC[0x000]		初期値 = x--- ---x b					
BUSY x RO 7	BUSYWIDTH xx R/W 6 5		Reserved — 4 3 2			TCRST — WO 1	TCRUN 0 R/W Bit0

x : 不定ビット (b)

Bit 7 :

BUSY ビジー (リードオンリ)

このビットが “0” のとき、ソフトウェアは RTC レジスタにリード／ライト可能です。このビットが “1” のとき、内部 RTC のアップデートサイクルが進行中のため、ソフトウェアはどの RTC レジスタにもアクセスすることはできません。このアップデートサイクルは 1 秒に一回発生し RTC ラン／ストップ制御レジスタ Bits [6:5] (BUSYWIDTH) で設定された期間をもっています。したがってこのビットが 1 のときに次回でアクセスを成功させる場合はビジー期間分待ってから再度アクセスする必要があります。

Bits [6:5] :

BUSYWIDTH ビジー間隔

ビジー期間の間隔を設定します。

00 : 約 244 μ sec

01 : 約 122 μ sec

10 : 約 61 μ sec

11 : 予約

このビットはシステムリセットによって初期化されません。

正常動作を保証するため、RTC 停止中にリセット動作を行ってください。

Bits [4:2] :

Reserved 予約

Bit 1 : TCRST RTC カウンタリセット (ライトオンリ)

0 : ノーマルモード

このビットを読み出すと、常に“0”になります。

1 : リセット RTC カウンタ

このビットに 1 を、RTC ラン／ストップ制御レジスタのビット 0 に“0”を同時に書くことで、プリスケアラ及び分周タイマをリセットします。

正常動作を保証するため、RTC 停止中にリセット動作を行ってください。

RTC が動作中の場合、リセット動作は無効となります。

Bit 0 : TCRUN

読み出し

0 : RTC 停止中

1 : RTC 動作中

書き込み

0 : RTC を停止

1 : RTC を動作開始

32KHz クロックとの同期を取るために、約 30～61 μ sec 遅延した後に動作／停止します。本デバイスをパワーオン直後の RTC は動作が未確定状態です。このビットはシステムリセットによって初期化されません。

RTC 割り込みレジスタ (8 bit)							Read/Write	
RTC[0x004]		初期値 = 0xE0						
TCISE[2:0]		TCASE[2:0]		TCIF		TCAF		
7	6	5	4	3	2	1	0	

Bits [7:5] : TCISE[2:0] 割り込みソースイネーブルビットの選択ビット

000 : “32Hz” からのキャリー (1/32 秒に 1 回)

001 : “8Hz” からのキャリー (1/8 秒に 1 回)

010 : “2Hz” からのキャリー (1/2 秒に 1 回)

011 : “1Hz” からのキャリー (1 秒に 1 回)

100 : “1 分” からのキャリー (1 分に 1 回)

101 : “1 時間” からのキャリー (1 時間に 1 回)

110 : “日” からのキャリー (1 日に 1 回)

111 : 割り込みソースなし (初期値)

キャリーの変化を割り込みソースとしているため、割り込みが発生するのは指定された間隔に対して 1 回です。

このビットは、システムリセットにより 111 に初期化されます。

Bits [4:2] : TCASE[2:0] RTC アラームソース選択ビット

000 : アラームなし (初期値)

xx1 : 分アラームイネーブル

x1x : 時間アラームイネーブル

1xx : 日アラームイネーブル

“1”に設定されたアラームソースのカウンタがアラームコンペアレジスタと一致したときに割り込みが発生します。複数のソースをイネーブルにした場合は、そのいずれもがアラームコンペアレジスタと一致しているときに割り込みが発生します。

この割り込みはアラームコンペアレジスタと一致する間は割り込み要求が発生しつづけます。これは TCAF ビットに“1”を書き込み割り込み要求をクリアしたとしても同じです。したがって同じアラーム設定で次の割り込みを待ちたいときは、指定したアラームソースの中で一番小さい時間単位のカウンタが変化するまでは、すべてのソースをディゼーブルにする必要があります。たとえば時間と日のアラームをイネーブルにした場合は、割り込みが発生してから 1 時間の間は同じアラームソース設定を選択しないようにします。

このビットは、システムリセットにより“000”に初期化されます。

23. リアルタイムクロック(RTC)

Bit 1 : **TCIF RTC タイマからの割り込み要求フラグ**
読み出し
 0 : ペンディング中の割り込みなし
 1 : RTC タイマからの未処理の割り込み要求あり
書き込み
 0 : N/A
 1 : RTC タイマからの割り込み要求をクリア
このビットは、システムリセットにより “0” に初期化されます。

Bit 0 : **TCAF アラームからの割り込み要求フラグ**
読み出し
 0 : ペンディング中の割り込みなし
 1 : アラームからの未処理の割り込み要求あり
書き込み
 0 : N/A
 1 : アラームからの割り込み要求をクリア
このビットは、システムリセットにより “0” に初期化されます。

RTC タイマ分周レジスタ (8 bit)							
RTC[0x008]		初期値 = xxxx xxxx b					Read/(Write)
TCD7	TCD6	TCD5	TCD4	TCD3	TCAD2	TCD1	TCD0
7	6	5	4	3	2	1	0

x : 不定ビット (b)

Bit 7 :	TCD7: 1Hz インジケータ	1: High, 0: Low
Bit 6 :	TCD6: 2Hz インジケータ	1: High, 0: Low
Bit 5 :	TCD5: 4Hz インジケータ	1: High, 0: Low
Bit 4 :	TCD4: 8Hz インジケータ	1: High, 0: Low
Bit 3 :	TCD3: 16Hz インジケータ	1: High, 0: Low
Bit 2 :	TCD2: 32Hz インジケータ	1: High, 0: Low
Bit 1 :	TCD1: 64Hz インジケータ	1: High, 0: Low
Bit 0 :	TCD0: 128Hz インジケータ	1: High, 0: Low

このレジスタは RTC ラン／ストップ制御レジスタ (RTC[0x000]) のビット 1 (TCRST) を “1” に書くことで “0” にリセットされます。ソフトウェアはこのレジスタをアップカウンタとしてみなすことができます。このレジスタには 32KHz からシステムクロックに同期させる回路を内蔵していないため、複数回リードを行い同じ値になった時の値を正しい値とする必要があります。

RTC テストレジスタで分周カウンタ書き込み許可モードになっているときにのみ書き込み可能になります。ハードウェアテスト用の機能であるため分周カウンタ書き込み許可モードによるこのレジスタへの書き込み動作は保証外となります。

RTC 秒カウンタレジスタ (8 bit)							
RTC[0x00C]		初期値 = --xx xxxx b					Read/Write
Reserved		TCMD[5:0]					
		R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット (b)

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCMD[5:0]**
これらの 6 ビットは 0-59 秒をバイナリデータとして示します。
TCMD5=MSB, TCD0=LSB.
59 より大きい値を書き込んだときは、“0” が書き込まれます。
このレジスタはシステムリセットによって初期化されません。

23. リアルタイムクロック(RTC)

RTC 分カウンタレジスタ (8 bit)							
RTC[0x010] 初期値 = --xx xxxx b				Read/Write			
Reserved				TCHD[5:0]			
7	6	R/W	R/W	R/W	R/W	R/W	R/W
		5	4	3	2	1	0

x : 不定ビット (b)

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCHD[5:0]**

これらの6ビットは0-59分をバイナリデータとして示します。

TCHD5=MSB, TCHD0=LSB.

59より大きい値を書き込んだときは、“0”が書き込まれます。

このレジスタはシステムリセットによって初期化されません。

RTC 時間カウンタレジスタ (8 bit)							
RTC[0x014] 初期値 = ---x xxxx b				Read/Write			
Reserved				TCDD[4:0]			
—	—	—	x	x	x	x	x
7	6	5	R/W	R/W	R/W	R/W	R/W
			4	3	2	1	0

x : 不定ビット (b)

Bits [7:5] : **Reserved 予約**

Bits [4:0] : **TCDD[4:0]**

これらの5ビットは0-23時間をバイナリデータとして示します。

TCDD4=MSB, TCDD0=LSB.

23より大きい値を書き込んだときは、“0”が書き込まれます。

このレジスタはシステムリセットによって初期化されません。

RTC 日カウンタレジスタ (16 bit)							
RTC[0x018] 初期値 = 0xXXXX				Read/Write			
				TCND [15:8]			
15	14	13	12	11	10	9	8
				TCND [7:0]			
7	6	5	4	3	2	1	0

X : 不定 (h)

Bits [15:0] : **TCND[15:0]**

この16ビットの日カウンタは0-65535日をバイナリデータで示します。

TCND15 = MSB, TCND0 = LSB.

このレジスタはシステムリセットによって初期化されません。

23. リアルタイムクロック(RTC)

RTC アラーム分コンペアレジスタ (8 bit)							
RTC[0x020] 初期値 = --xx xxxx b							Read/Write
Reserved		TCCH[5:0]					
—	—	x	x	x	x	x	x
7	6	R/W	R/W	R/W	R/W	R/W	R/W
		5	4	3	2	1	0

x : 不定ビット (b)

Bits [7:6] : **Reserved 予約**

Bits [5:0] : **TCCH[5:0]**

これらの 6 ビットは 0-59 分をバイナリデータとして示します。

TCCH5=MSB, TCCH0=LSB.

59 より大きい値を書き込んだときは、その値がそのまま反映され、カウンタ値と一致することはなくなります。

このレジスタはシステムリセットによって初期化されません。

RTC アラーム時間コンペアレジスタ (8 bit)							
RTC[0x024] 初期値 = ---x xxxx b							Read/Write
Reserved			TCCD[4:0]				
—	—	—	x	x	x	x	x
7	6	5	R/W	R/W	R/W	R/W	R/W
			4	3	2	1	0

x : 不定ビット (b)

Bits [7:5] : **Reserved 予約**

Bits [4:0] : **TCCD[4:0]**

これらの 5 ビットは 0-23 時間をバイナリデータとして示します。

TCCD4=MSB, TCCD0=LSB.

23 より大きい値を書き込んだときは、その値がそのまま反映され、カウンタ値と一致することはなくなります。

このレジスタはシステムリセットによって初期化されません。

RTC アラーム日コンペアレジスタ (16 bit)							
RTC[0x028] 初期値 = ---- ---x xxxx xxxx b							Read/Write
Reserved							TCCN8
—	—	—	—	—	—	—	x
15	14	13	12	11	10	9	R/W
TCCN[7:0]							8
x	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0

x : 不定ビット (b)

Bits [15:9] : **Reserved 予約**

Bits [8:0] : **TCCN[8:0]**

これらの 9 ビットは 0-511 日をバイナリデータとして示します。

TCCN8=MSB, TCCN0=LSB.

このレジスタはシステムリセットによって初期化されません。

23. リアルタイムクロック(RTC)

RTC テストレジスタ (8 bit)							
RTC[0x02C] 初期値 = ---0 0000 b				Read/Write			
Reserved				RTST4 R/W	RTST3 R/W	RTST2 R/W	RTST1 R/W
7	6	5		4	3	2	1
							0

Bits [7:5] : **Reserved 予約**

Bits [4:1] : **RTST[4:1] テストモード設定**

0000 : 分周カウンタ書き込み許可モード

このモード時に分周カウンタは書き込み可能になります。

xx10 : テストクロックモード

このモード時は 32KHz クロック入力の代わりに RTC テストクロックレジスタへの書き込みによって発生するパルスを使用します。

x1xx : 秒、分、時、日カウンタキャリーバイパスモード

秒、分、時、日カウンタのキャリーがクロックになります。

1xxx : 分周カウンタキャリーバイパスモード

分周カウンタのキャリーがクロックになります。

これらのビットはシステムリセットによって 0000 に初期化されます。

Bit 0 **RTST0 テストモード許可**

前回“1”を書き、次に“0”を書いたときにテストモードになります。

このビットおよびこのビットの書き込み履歴回路はシステムリセットによって“0”に初期化されます。

RTC プリスケアラレジスタ (8 bit)							
RTC[0x030] 初期値 = -xxx xxxx b				Read/(Write)			
Reserved				TCP [6:0] R/(W)			
7	6	5	4	3	2	1	0

Bits 7 : **Reserved 予約**

Bits [6:0] : **TCP[6:0]**

これらの7ビットはプリスケアラ値を示します。

TCP8 = MSB, TCP0 = LSB.

このレジスタはシステムリセットによって初期化されません。

RTC テストレジスタで分周カウンタ書き込み許可モードになっているときにのみ書き込み可能になります。ハードウェアテスト用の機能であるため分周カウンタ書き込み許可モードによるこのレジスタへの書き込み動作は保証外となります。

RTC テストクロックレジスタ (8 bit)							
RTC[0x034] 初期値 = -xxx xxxx b				Write Only			
TSTCLK WO							
7	6	5	4	3	2	1	0

Bits [7:0] : **TSTCLK テストクロック**

RTC テストレジスタでテストクロックモードに設定して、このレジスタに任意の値を書くとテストクロックにパルスが1回発生します。ハードウェアテスト用の機能であるため、このレジスタの使用は動作保証外となります。

23. リアルタイムクロック(RTC)

23.5 リアルタイムクロックのレジスタ設定方法

テストレジスタ、テストクロックレジスタ及びテストモードにかかわる動作は、本デバイスでは動作保証対象外となります。これから説明する設定にはこれらのレジスタをないものとした表現を使用しています。

23.5.1 パワーオン後の初期設定

パワーオン直後のリアルタイムクロックは動作不明状態ですので、まずリアルタイムクロックを停止状態にする必要があります。RTC ラン/ストップ制御レジスタのビット 0 に“0”を書き、RTC ラン/ストップ制御レジスタのビット 0 が“0”になるまで待ちます。リアルタイムクロックはレジスタ設定を 32KHz 系の回路と同期させるために 30~61 μ sec の遅延が発生しますので、確実に停止していることを確認する必要があります。RTC ラン/ストップ制御レジスタ (RTC[0x000]) のビット 0 は 32KHz 系回路側のランストップ制御信号を再度同期化してレジスタに見えるようにしていますので、同期による遅延が反映された情報になっています。このビットが“0”のとき RTC は現在停止中、“1”のとき現在動作中であることを示しています。

次に RTC ラン/ストップ制御レジスタのビット 1-0 に“10”を書き、プリスケアラおよび分周タイマをリセットします。パワーオン時はプリスケアラおよび分周タイマの値は不定ですので、このリセットにより“0”に初期化されます。ビット 1 に“1”を書くだけでなく、ビット 0 に“0”を書く必要があることに注意してください。

後は時刻等を設定するために秒、分、時、日カウンタを設定し、アラームを設定する場合は分、時、日アラームコンペアレジスタを、割り込みを設定する場合は周期割り込みとアラーム割り込みをそれぞれ設定します。また BUSY の幅を設定します。BUSY の幅はソフトウェア処理が確実に終了できる時間より大きい値を設定します。たとえばソフトウェアが他の処理によって設定処理が停止することも含めて 100 μ sec 以内に設定処理が終了する場合は、BUSYWIDTH を“01”(122 μ sec) に設定します。リアルタイムクロックが停止中ですので秒カウンタから BUSY の幅設定までは順不同となります。どれから設定を行っても問題ありません。

リアルタイムクロックの割り込みを有効にする場合は、割り込み要因フラグおよびアラーム要因フラグをクリアし、さらに割り込みコントローラ側のリアルタイムクロックの割り込みをイネーブルにします。

最後にリアルタイムクロックをスタートさせます。30~61 μ sec 後にリアルタイムクロックは動作を開始します。

23.5.2 動作停止、動作再開

RTC ラン/ストップ制御レジスタのビット 0 に 0 を書き、RTC ラン/ストップ制御レジスタのビット 0 が“0”になるまで待ちます (およそ 30~61 μ sec)。各カウンタの値は停止中でも保持されています。その状態から動作開始すれば、保持している値からカウントを継続します。動作開始する場合には、割り込みフラグをクリアした後で、RTC ラン/ストップ制御レジスタのビット 1-0 に“10”を書き、プリスケアラ、分周タイマをリセットします。

23.5.3 動作中の動作停止以外の再設定

RTC ラン/ストップ制御レジスタはビット 0 以外動作中変更することができません。特にプリスケアラと分周タイマのリセットを動作中に行うことはできませんので注意してください。

RTC 割り込みレジスタおよび分、時、日アラームコンペアレジスタはいつでも設定変更可能ですが、変更前にリアルタイムクロックの割り込みを割り込みコントローラでディゼーブルにし、変更後は割り込みフラグをクリアした上でリアルタイムクロックの割り込みを割り込みコントローラでイネーブルにする必要があります。これは変更中に発生する可能性のある不要な割り込みを禁止するためです。

秒、分、時、日カウンタレジスタは BUSY ビットが“0”のときに変更可能です。秒、分、時、日カウンタレジスタへの再設定は一瞬で終わりますので、その期間中は他の周辺回路の割り込みをすべてディゼーブルにして他の処理が割り込まないようにすることで 1 回の BUSY の確認だけで再設定を済ませることができます。

23.5.4 動作中のシステムリセット後の再設定

リアルタイムクロックが動作しているときにシステムリセットが発生した場合でも、リアルタイムクロックは動作しつづけます。プリスケアラ、分周タイマ、秒、分、時、日カウンタ、分、時、日アラームコンペアレジスタはシステムリセットの影響を受けません。ただし割り込み制御レジスタ、及び割り込み回路はシステムリセットにより初期化されます。これによりリアルタイムクロックは時刻等を正しく計時しているが、割り込みは立たないという状態になっています。したがって再度割り込みを可能にするためには、割り込みレジスタを設定し直してください。

23.5.5 プログラミング上の注意事項

- パワーオン直後はカウントデータ、アラームコンペアデータ、動作制御など、割り込みを除くすべてのデータは初期化されていません。「23.5.1 パワーオン後の初期設定」にしたがって初期設定を行ってください。
- プリスケアラおよび分周タイマをリセットする場合は、リアルタイムクロックを停止させた後で、RTC ラン／ストップ制御レジスタのビット 1-0 に“10”を書いてください。ビット 1 に“1”を書くだけでなく、ビット 0 に“0”を書く必要があります。リアルタイムクロック動作中にリセット動作を行っても無効となります。
- 不要な割り込み発生を防止するため、割り込み要因およびアラーム要因の設定変更は、リアルタイムクロックの割り込みを割り込みコントローラ側でディゼーブルにした状態で行ってください。また割り込みをイネーブルに戻す前に割り込み要因フラグおよびアラーム要因フラグをクリアしてください。
- システムリセットが入力された場合、割り込み設定だけは初期化され、割り込みが発生しない状態になります。元の状態に戻す場合は再設定してください。

24. ウォッチドッグタイマ(WDT)

24.1 概要

ウォッチドッグタイマ (WDT) はシステムの暴走を監視するためのユニットで、ソフトウェアプリセットが可能な 16 ビットダウンカウンタで構成されています。初期設定値からカウントダウンし、カウンタが“0”になると、ウォッチドッグタイマ動作選択ビット (WDT[0x08] Bit 4) の設定に従い割り込み要求またはリセット要求が発生します。ソフトウェアは周期的にプリセットデータをカウンタにロードし、カウンタが“0”にならないようにします。これで割り込みまたはリセット要求が発生した場合、プログラムが正常に実行できなかったと判断できます。

“0”になった後のカウントで、カウンタは 0xFFFF になります。カウンタの値はソフトウェアでいつでも読み出し可能です。なお、カウンタはシステムリセットあるいはウォッチドッグタイマイネーブルビット (WDT[0x08]Bit 5) への“0”書き込みによって 0xFFFF に設定されます。カウントはウォッチドッグタイマイネーブルビットを“0”に設定することで停止させることもできます。ウォッチドッグタイマは HALT モード時も動作します。

ウォッチドッグタイマのソースクロックは APB クロックです。ウォッチドッグタイマはプリスケアラを内蔵しているため、ソースクロックの分周比を制御してカウントクロックの周波数を設定することができます。

24.2 ブロック図

ウォッチドッグタイマのブロック図を以下に示します。

ウォッチドッグタイマは、レジスタブロック (read, load, control レジスタ/APB バス I/F) と 16 ビットダウンカウンタ、11 ビットダウンカウンタ内蔵のプリスケアラブロックから構成されています。

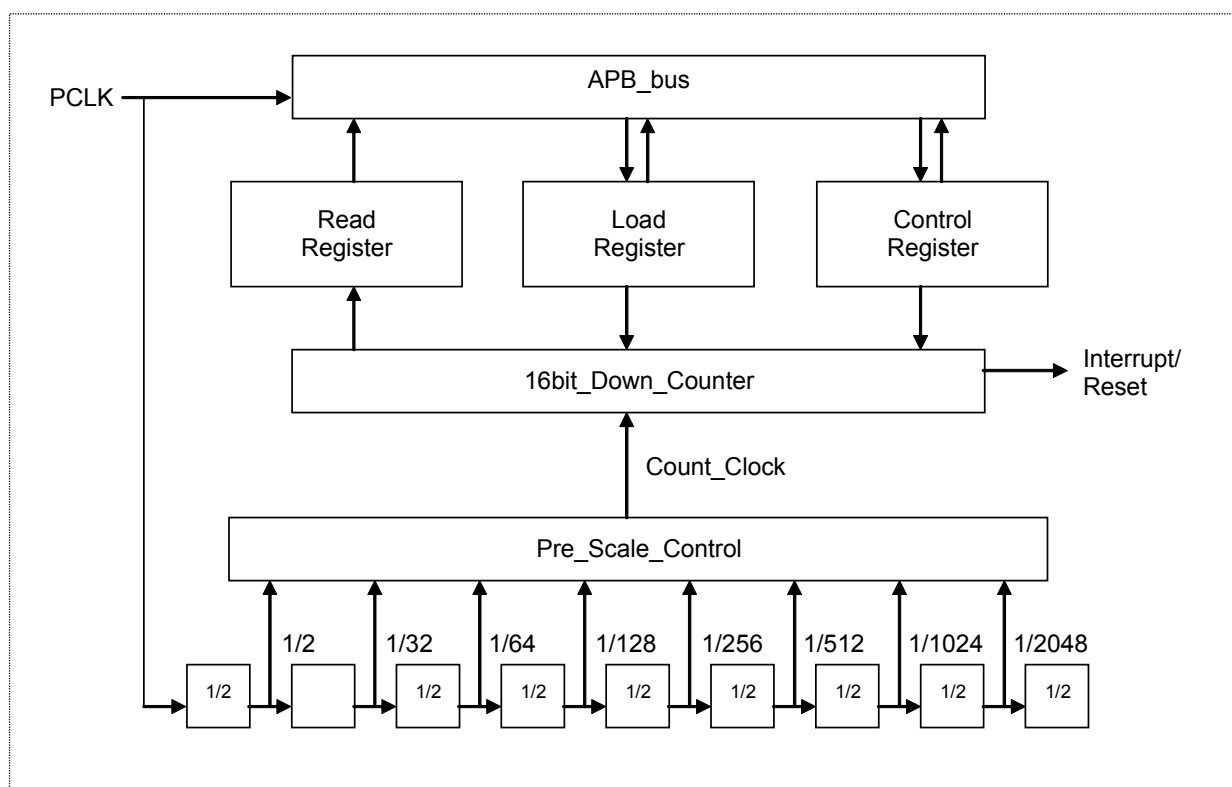


図 24.1 WDT ブロック図

24.3 外部端子

ウォッチドッグタイマに関連する外部端子はありません。

24.4 レジスタ

24.4.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_C000 です。

表 24.1 レジスタ一覧（ベースアドレス：0xFFFF_C000）

アドレス オフセット	レジスタ名称	初期値	R/W	データ アクセスサイズ
0x00	ウォッチドッグタイマロードレジスタ	0x0000_FFFF	R/W	16 (/32)
0x04	ウォッチドッグタイマカウントレジスタ	0x0000_FFFF	RO	16 (/32)
0x08	ウォッチドッグタイマ制御レジスタ	0x0000_0000	R/W	16 (/32)

24.4.2 レジスタ詳細説明

ウォッチドッグタイマの制御レジスタのベースアドレスは 0xFFFF_C000 です。特に指定のない場合、予約されていないレジスタビットのデフォルト値はすべて“0”です。

ウォッチドッグタイマロードレジスタ															
WDT[0x00] 初期値 = 0x0000_FFFF															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
タイマロード値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **タイマロード値ビット[15:0]**
ここにデータを書き込むと、その値がカウンタにロードされます。

ウォッチドッグタイマカウントレジスタ															
WDT[0x04] 初期値 = 0x0000_FFFF															
Read Only															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
カレントタイマカウント値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bits [15:0] : **カレントタイマカウント値ビット[15:0]**
現在のカウンタの値が読み出せます。

Bits [15:8] : **予約**
書き込み時は必ず 0xA5 にしてください。

Bit 6 : **ウォッチドッグタイマステータス (リードオンリ)**
カウンタが “0” になったかどうかを示します。
0 : カウンタ = “0” 以外
1 : カウンタ = “0”
このビットはカウンタが “0” になると “1” にセットされ、その後その状態を保持します。クリアするには、ウォッチドッグタイマイネーブル (本レジスタのビット 5) を一旦 “0” に設定し、ウォッチドッグタイマをリセットする必要があります。

Bit 5 : **ウォッチドッグタイマイネーブル**
ウォッチドッグタイマのカウントを許可/禁止します。
0 (r/w) : タイマディセーブル。
“0” を書き込むと、カウント中であればカウントを停止します。同時にカウンタが 0xFFFF にリセットされ、ウォッチドッグタイマステータス (本レジスタのビット 6) も “0” にリセットされます。
1 (r/w) : タイマイネーブル。
“1” を書き込んだ時点でウォッチドッグタイマはダウンカウントを開始します。

Bit 4 : **ウォッチドッグタイマ動作**
カウンタが “0” になったときの動作を指定します。
0 (r/w) : リセット要求信号を出力。
カウンタが “0” になると、ウォッチドッグタイマはリセット要求信号 (WRST=HIGH) をシステムコントローラに出力します。リセット要求信号はカウンタが “0” 以外になると LOW に戻ります。
1 (r/w) : 割り込み要求信号を出力。
カウンタが “0” になると、ウォッチドッグタイマは割り込み要求 (信号 WINT = HIGH) を出力します。割り込み要求信号はウォッチドッグタイマイネーブル (本レジスタのビット 5) をディセーブルにすると LOW に戻ります。

Bits [2:0] : **プリスケアラ分周比ビット[2:0]**
カウントクロックを生成するためのプリスケアラの分周比を選択します。プリスケアラのソースクロックは APB クロックです。

*: プリスケータ分周比 $n = 2$ • • • Bits[2:0] = 0 の時
 $= 2^{(4 + \text{Bits}[2:0])}$ • • • Bits[2:0] $\neq 0$ の時

$$f_{\text{カウントクロック}} = f_{\text{PCLK}} / n$$

25. GPIO

25.1 概要

この機能ブロックは GPIO の機能と、GPIO 端子にマルチプレクスした端子機能を選択するためのレジスタで構成されています。

本 GPIO には以下のような特長があります。

- 8つの8Bit GPIO ポートをサポート
GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG/GPIOH
- 全ての GPIO の端子毎に方向（入力／出力）が変更可能
- 一部の端子は他の機能とマルチプレクス仕様
- マルチ機能の I/O 端子は端子機能レジスタで機能を選択
- GPIOA & GPIOB については割り込み入力の機能もサポート
- GPIOA および GPIOB からの割り込みはエッジまたはレベルおよび High/Low の極性の選択が可能

25.2 外部端子

GPIO に関連する外部端子は以下の通りです。

ポート	端子名	入出力	端子機能	マルチプレクス端子 / 備考		
				共用	機能 1	機能 2
A	GPIOA0	入出力	汎用 I/O ポート A0 入出力		TXD0	
	GPIOA1	入出力	汎用 I/O ポート A1 入出力		RXD0	
	GPIOA2	入出力	汎用 I/O ポート A2 入出力		SPI_SS	TXD1
	GPIOA3	入出力	汎用 I/O ポート A3 入出力		SPI_SCLK	RXD1
	GPIOA4	入出力	汎用 I/O ポート A4 入出力		SPI_MISO	
	GPIOA5	入出力	汎用 I/O ポート A5 入出力		SPI_MOSI	
	GPIOA6	入出力	汎用 I/O ポート A6 入出力		SCL	
	GPIOA7	入出力	汎用 I/O ポート A7 入出力		SDA	
B	GPIOB0	入出力	汎用 I/O ポート B0 入出力	INT0/FIQ1		I2S0_WS
	GPIOB1	入出力	汎用 I/O ポート B1 入出力	INT1	RTS0#	I2S0_SCK
	GPIOB2	入出力	汎用 I/O ポート B2 入出力	INT2	CTS0#	I2S0_SD
	GPIOB3	入出力	汎用 I/O ポート B3 入出力	INT3	Timer0out	I2S1_SD
	GPIOB4	入出力	汎用 I/O ポート B4 入出力	INT4	Timer1out	
	GPIOB5	入出力	汎用 I/O ポート B5 入出力	INT5	Timer2out	
	GPIOB6	入出力	汎用 I/O ポート B6 入出力	INT6	MA22	I2S1_SCK
	GPIOB7	入出力	汎用 I/O ポート B7 入出力	INT7	MA23	I2S1_WS
C	GPIOC0	入出力	汎用 I/O ポート C0 入出力		CMDATA0	
	GPIOC1	入出力	汎用 I/O ポート C1 入出力		CMDATA1	
	GPIOC2	入出力	汎用 I/O ポート C2 入出力		CMDATA2	
	GPIOC3	入出力	汎用 I/O ポート C3 入出力		CMDATA3	
	GPIOC4	入出力	汎用 I/O ポート C4 入出力		CMDATA4	
	GPIOC5	入出力	汎用 I/O ポート C5 入出力		CMDATA5	
	GPIOC6	入出力	汎用 I/O ポート C6 入出力		CMDATA6	
	GPIOC7	入出力	汎用 I/O ポート C7 入出力		CMDATA7	
D	GPIOD0	入出力	汎用 I/O ポート D0 入出力	INT8	MA20	
	GPIOD1	入出力	汎用 I/O ポート D1 入出力		MA21	
	GPIOD2	入出力	汎用 I/O ポート D2 入出力		CFCE2#	
	GPIOD3	入出力	汎用 I/O ポート D3 入出力		CFCE1#	
	GPIOD4	入出力	汎用 I/O ポート D4 入出力		CMVREF	
	GPIOD5	入出力	汎用 I/O ポート D5 入出力		CMHREF	
	GPIOD6	入出力	汎用 I/O ポート D6 入出力		CMCLKOUT	
	GPIOD7	入出力	汎用 I/O ポート D7 入出力		CMCLKIN	

25. GPIO

ポート	端子名	入出力	端子機能	マルチプレクス端子 / 備考		
				共用	機能 1	機能 2
E	GPIOE0	入出力	汎用 I/O ポート E0 入出力		CFIORD#	I2S0_SD
	GPIOE1	入出力	汎用 I/O ポート E1 入出力		CFIOWR#	I2S0_SCK
	GPIOE2	入出力	汎用 I/O ポート E2 入出力		CFWAIT#/MWAIT#	
	GPIOE3	入出力	汎用 I/O ポート E3 入出力		CFRST	I2S0_WS
	GPIOE4	入出力	汎用 I/O ポート E4 入出力		CFIREQ	
	GPIOE5	入出力	汎用 I/O ポート E5 入出力		CFSTSCHG#	I2S1_SD
	GPIOE6	入出力	汎用 I/O ポート E6 入出力		CFDEN#	I2S1_SCK
	GPIOE7	入出力	汎用 I/O ポート E7 入出力		CFDDIR	I2S1_WS
F	GPIOF0	入出力	汎用 I/O ポート F0 入出力		MII_CRS	
	GPIOF1	入出力	汎用 I/O ポート F1 入出力		MII_COL	
	GPIOF2	入出力	汎用 I/O ポート F2 入出力		MII_TXD3	
	GPIOF3	入出力	汎用 I/O ポート F3 入出力		MII_TXD2	
	GPIOF4	入出力	汎用 I/O ポート F4 入出力		MII_TXD1	
	GPIOF5	入出力	汎用 I/O ポート F5 入出力		MII_TXD0	
	GPIOF6	入出力	汎用 I/O ポート F6 入出力		MII_TXEN	
	GPIOF7	入出力	汎用 I/O ポート F7 入出力		MII_TXCLK	
G	GPIOG0	入出力	汎用 I/O ポート G0 入出力		MII_RXER	
	GPIOG1	入出力	汎用 I/O ポート G1 入出力		MII_RXCLK	
	GPIOG2	入出力	汎用 I/O ポート G2 入出力		MII_RXDV	
	GPIOG3	入出力	汎用 I/O ポート G3 入出力		MII_RXD0	
	GPIOG4	入出力	汎用 I/O ポート G4 入出力		MII_RXD1	
	GPIOG5	入出力	汎用 I/O ポート G5 入出力		MII_RXD2	
	GPIOG6	入出力	汎用 I/O ポート G6 入出力		MII_RXD3	
	GPIOG7	入出力	汎用 I/O ポート G7 入出力		MII_MDC	
H	GPIOH0	入出力	汎用 I/O ポート H0 入出力		MII_MDIO	

25.3 レジスタ

25.3.1 レジスタ一覧

これらのレジスタのベースアドレスは、0xFFFF_1000 です。

表 25.1 レジスタ一覧 (ベースアドレス : 0xFFFF_1000)

Address Offset	Register Name	Abbreviation Name	Default Value	R/W	Data Access Size
0x00	GPIOA データレジスタ	GPIOA_DATA	0x0000*3	R/W	8 (/16/32) *1
0x04	GPIOA 端子機能レジスタ	GPIOA_FNC	0x0000	R/W	16 (/32) *2
0x08	GPIOB データレジスタ	GPIOB_DATA	0x0000*3	R/W	8 (/16/32) *1
0x0C	GPIOB 端子機能レジスタ	GPIOB_FNC	0x0000	R/W	16 (/32) *2
0x10	GPIOC データレジスタ	GPIOC_DATA	0x0000*3	R/W	8 (/16/32) *1
0x14	GPIOC 端子機能レジスタ	GPIOC_FNC	0x0000	R/W	16 (/32) *2
0x18	GPIOD データレジスタ	GPIOD_DATA	0x0000*3	R/W	8 (/16/32) *1
0x1C	GPIOD 端子機能レジスタ	GPIOD_FNC	0x0000	R/W	16 (/32) *2
0x20	GPIOE データレジスタ	GPIOE_DATA	0x0000*3	R/W	8 (/16/32) *1
0x24	GPIOE 端子機能レジスタ	GPIOE_FNC	0x0000	R/W	16 (/32) *2
0x28	GPIOF データレジスタ	GPIOF_DATA	0x0000	R/W	8 (/16/32) *1
0x2C	GPIOF 端子機能レジスタ	GPIOF_FNC	0x5555	R/W	16 (/32) *2
0x30	GPIOG データレジスタ	GPIOG_DATA	0x0000	R/W	8 (/16/32) *1
0x34	GPIOG 端子機能レジスタ	GPIOG_FNC	0x5555	R/W	16 (/32) *2
0x38	GPIOH データレジスタ	GPIOH_DATA	0x0000	R/W	8 (/16/32) *1
0x3C	GPIOH 端子機能レジスタ	GPIOH_FNC	0x0001	R/W	16 (/32) *2
0x40	GPIOA&B IRQ タイプレジスタ	GPIOAB_ITYP	0x0000	R/W	16 (/32) *2
0x44	GPIOA&B IRQ 極性レジスタ	GPIOAB_IPOL	0x0000	R/W	16 (/32) *2
0x48	GPIOA&B IRQ イネーブルレジスタ	GPIOAB_IEN	0x0000	R/W	16 (/32) *2
0x4C	GPIOA&B IRQ ステータス&クリアレジスタ	GPIOAB_ISTS	0x0000	R/W	16 (/32) *2

*1: 8、16 または 32 ビットデータがアクセス可能です。

*2: 16 または 32 ビットデータがアクセス可能です。

*3: GPIOA～E データレジスタの初期値は、端子選択機能がデフォルトでポート入力になっていますのでシステム構成条件により変化します。

25.3.2 レジスタ詳細説明

25.3.2.1 GPIOAレジスタ

GPIOA データレジスタ (GPIOA_DATA)							
GPIO[0x00] 初期値 = 0x0000_0000				Read/Write			
31	30	29	28	n/a	27	26	25
23	22	21	20	n/a	19	18	17
15	14	13	12	n/a	11	10	9
GPIOA_DATA[7:0]							
7	6	5	4	3	2	1	0

GPIOA のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOA が出力設定時にはこのレジスタの内容が読み出され、GPIOA が入力設定時には端子の状態を読むことができます。

注： 初期値は、GPIOA 端子に対応した値になります。

25. GPIO

GPIOA 端子機能レジスタ (GPIOA_FNC)								Read/Write
GPIO[0x04] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPA7MD [1:0]		GPA6MD [1:0]			GPA5MD [1:0]		GPA4MD [1:0]	
15	14	13	12		11	10	9	8
GPA3MD [1:0]		GPA2MD [1:0]			GPA1MD [1:0]		GPA0MD [1:0]	
7	6	5	4		3	2	1	0

GPIOA の端子機能を選択します。GPIOA の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.2 PortA の端子選択機能

GPAxMD1	GPAxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOAx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOAx ポート出力
1	1	GPIO 以外の機能 2 (GPIOA[3:2]のみ設定可能)

25.3.2.2 GPIOBレジスタ

GPIOB データレジスタ (GPIOB_DATA)								Read/Write
GPIO[0x08] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOBDATA [7:0]								
7	6	5	4		3	2	1	0

GPIOB のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOB が出力設定時にはこのレジスタの内容が読み出され、GPIOB が入力設定時には端子の状態を読むことができます。

注： 初期値は、GPIOB 端子に対応した値になります。

GPIOB 端子機能レジスタ (GPIOB_FNC)								Read/Write
GPIO[0x0C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPB7MD [1:0]		GPB6MD [1:0]			GPB5MD [1:0]		GPB4MD [1:0]	
15	14	13	12		11	10	9	8
GPB3MD [1:0]		GPB2MD [1:0]			GPB1MD [1:0]		GPB0MD [1:0]	
7	6	5	4		3	2	1	0

GPIOB の端子機能を選択します。GPIOB の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.3 PortB の端子選択機能

GPBxMD1	GPBxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOBx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1 (GPIOB[7:1]のみ設定可能)
1	0	GPIOBx ポート出力
1	1	GPIO 以外の機能 2 (GPIOB [7:6] [3:0]のみ設定可能)

25.3.2.3 GPIOCレジスタ

GPIOC データレジスタ (GPIOC_DATA)								Read/Write
GPIO[0x10] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOCDATA [7:0]				0
				3	2	1		

GPIOC のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOC が出力設定時にはこのレジスタの内容が読み出され、GPIOC が入力設定時には端子の状態を読むことができます。

注： 初期値は、GPIOC 端子に対応した値になります。

GPIOC 端子機能レジスタ (GPIOC_FNC)								Read/Write
GPIO[0x14] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPC7MD [1:0]		GPC6MD [1:0]		GPC5MD [1:0]		GPC4MD [1:0]		
15	14	13	12	11	10	9	8	
GPC3MD [1:0]		GPC2MD [1:0]		GPC1MD [1:0]		GPC0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOC の端子機能を選択します。GPIOC の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.4 PortC の端子選択機能

GPCxMD1	GPCxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOCx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOCx ポート出力
1	1	予約

25.3.2.4 GPIODレジスタ

GPIOD データレジスタ (GPIOD_DATA)								Read/Write
GPIO[0x18] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIODDATA [7:0]				0
				3	2	1		

GPIOD のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOD が出力設定時にはこのレジスタの内容が読み出され、GPIOD が入力設定時には端子の状態を読むことができます。

注： 初期値は、GPIOD 端子に対応した値になります。

25. GPIO

GPIOD 端子機能レジスタ (GPIOD_FNC)								Read/Write
GPIO[0x1C] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPD7MD [1:0]		GPD6MD [1:0]			GPD5MD [1:0]		GPD4MD [1:0]	
15	14	13	12		11	10	9	8
GPD3MD [1:0]		GPD2MD [1:0]			GPD1MD [1:0]		GPD0MD [1:0]	
7	6	5	4		3	2	1	0

GPIOD の端子機能を選択します。GPIOD の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.5 PortD の端子選択機能

GPDxMD1	GPDxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIODx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIODx ポート出力
1	1	予約

25.3.2.5 GPIOE レジスタ

GPIOE データレジスタ (GPIOE_DATA)								Read/Write
GPIO[0x20] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
GPIOEDATA [7:0]								
7	6	5	4		3	2	1	0

GPIOE のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOE が出力設定時にはこのレジスタの内容が読み出され、GPIOE が入力設定時には端子の状態を読むことができます。

注： 初期値は、GPIOE 端子に対応した値になります。

GPIOE 端子機能レジスタ (GPIOE_FNC)								Read/Write
GPIO[0x24] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPE7MD [1:0]		GPE6MD [1:0]			GPE5MD [1:0]		GPE4MD [1:0]	
15	14	13	12		11	10	9	8
GPE3MD [1:0]		GPE2MD [1:0]			GPE1MD [1:0]		GPE0MD [1:0]	
7	6	5	4		3	2	1	0

GPIOE の端子機能を選択します。GPIOE の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.6 PortE の端子選択機能

GPExMD1	GPExMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOEx ポート入力 (デフォルト)
0	1	GPIO 以外の機能 1
1	0	GPIOEx ポート出力
1	1	GPIO 以外の機能 2 (GPIOE [7, 6, 5, 3, 1, 0]のみ設定可能)

25.3.2.6 GPIOF レジスタ

GPIOF データレジスタ (GPIOF_DATA)								Read/Write
GPIO[0x28] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	4	GPIOFDATA [7:0]				0

GPIOF のデータレジスタです。書き込みと読み出しが可能です。このレジスタのリードについては GPIOF が出力設定時にはこのレジスタの内容が読み出され、GPIOF が入力設定時には端子の状態を読むことができます。

GPIOF 端子機能レジスタ (GPIOF_FNC)								Read/Write
GPIO[0x2C] 初期値 = 0x0000_5555								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPF7MD [1:0]		GPF6MD [1:0]		GPF5MD [1:0]		GPF4MD [1:0]		
15	14	13	12	11	10	9	8	
GPF3MD [1:0]		GPF2MD [1:0]		GPF1MD [1:0]		GPF0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOF の端子機能を選択します。GPIOF の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.7 PortF の端子選択機能

GPFxMD1	GPFxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOFx ポート入力
0	1	GPIO 以外の機能 1 (デフォルト)
1	0	GPIOFx ポート出力
1	1	予約

25. GPIO

25.3.2.7 GPIOGレジスタ

GPIOG データレジスタ (GPIOG_DATA)								Read/Write
GPIO[0x30] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	GPIOGDATA [7:0]	4	3	2	1	0

GPIOG のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOG が出力設定時にはこのレジスタの内容が読み出され、GPIOG が入力設定時には端子の状態を読むことができます。

GPIOG 端子機能レジスタ (GPIOG_FNC)								Read/Write
GPIO[0x34] 初期値 = 0x0000_5555								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
GPG7MD [1:0]		GPG6MD [1:0]		GPG5MD [1:0]		GPG4MD [1:0]		
15	14	13	12	11	10	9	8	
GPG3MD [1:0]		GPG2MD [1:0]		GPG1MD [1:0]		GPG0MD [1:0]		
7	6	5	4	3	2	1	0	

GPIOG の端子機能を選択します。GPIOG の各ポートに対して 2Bit が端子機能選択に使われます。

表 25.8 PortG の端子選択機能

GPGxMD1	GPGxMD0	端子機能 (x は PORT 中の Bit 位置を示す)
0	0	GPIOGx ポート入力
0	1	GPIO 以外の機能 1 (デフォルト)
1	0	GPIOGx ポート出力
1	1	予約

25.3.2.8 GPIOHレジスタ

GPIOH データレジスタ (GPIOH_DATA)								Read/Write
GPIO[0x38] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	n/a	11	10	9	8
7	6	5	予約 (0)	4	3	2	1	GPIOHDATA0 0

GPIOH のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについては GPIOH が出力設定時にはこのレジスタの内容が読み出され、GPIOH が入力設定時には端子の状態を読むことができます。現在は GPIOHDATA0 の 1 ビットのみ使用可能です。

GPIOH 端子機能レジスタ (GPIOH_FNC)									
GPIO[0x3C]		初期値 = 0x0000_0001						Read/Write	
				n/a					
31	30	29	28	27	26	25	24		
				n/a					
23	22	21	20	19	18	17	16		
予約 (0)		予約 (0)		予約 (0)		予約 (0)			
15	14	13	12	11	10	9	8		
予約 (0)		予約 (0)		予約 (0)		GPH0MD [1:0]			
7	6	5	4	3	2	1	0		

GPIOH の端子機能を選択します。GPIOH のポートに対して 2Bit が端子機能選択に使われます。

表 25.9 PortH の端子選択機能

GPHxMD1	GPHxMD0	端子機能
0	0	GPIOH0 ポート入力
0	1	GPIO 以外の機能 1 (デフォルト)
1	0	GPIOH0 ポート出力
1	1	予約

25.3.2.9 GPIOA&B IRQに関連するレジスタ

以下の GPIO[0x40]～GPIO[0x4C]は IRQ14 の割り込み要求を設定するためのレジスタです。

GPIOA&B IRQ TYPE

GPIOA&B IRQ タイプレジスタ (GPIOAB_ITYP)											
GPIO[0x40]		初期値 = 0x0000_0000						Read/Write			
31	30	29	28	n/a		27	26	25	24		
23	22	21	20	n/a		19	18	17	16		
15	14	13	PORTB_IRQ_TYPE [7:0]				12	11	10	9	8
7	6	5	PORTA_IRQ_TYPE [7:0]				4	3	2	1	0

Bits [15:8] : **PORTB_IRQ_TYPE**

Bits [7:0] : **PORTA_IRQ_TYPE**

各 Bit は以下のようにレベルトリガかエッジ割り込みのいずれかを選択できます。

0 : 割り込み要求をレベルトリガとして取り扱います。

1 : 割り込みをエッジとして取り扱います。

25. GPIO

GPIOA&B IRQ Polarity

GPIOA&B IRQ 極性レジスタ (GPIOAB_IPOL)								Read/Write
GPIO[0x44] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	PORTB_IRQ_POL [7:0]		10	9	8
7	6	5	4	PORTA_IRQ_POL [7:0]		2	1	0

Bits [15:8] : **PORTB_IRQ_POL**

Bits [7:0] : **PORTA_IRQ_POL**

- 0 : 割り込み要求がレベルのとき High レベルが割り込み要求になります。
割り込み要求がエッジの場合には信号の立ち上がりが割り込み要求になります。
- 1 : 割り込み要求がレベルのとき Low レベルが割り込み要求になります。
割り込み要求がエッジの場合には信号の立ち下がりが割り込み要求になります。

GPIOA&B IRQ ENABLE

GPIOA&B IRQ イネーブルレジスタ (GPIOAB_IEN)								Read/Write
GPIO[0x48] 初期値 = 0x0000_0000								
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	PORTB_IEN [7:0]		10	9	8
7	6	5	4	PORTA_IEN [7:0]		2	1	0

Bits [15:8] : **PORTB_IEN[7:0]**
PORTB[7:0]の割り込み許可／禁止に対応します。
0 : GPIOB からの割り込み禁止
1 : GPIOB からの割り込み許可

Bits [7:0] : **PORTA_IEN[7:0]**
PORTA[7:0]の割り込み許可／禁止に対応します。
0 : GPIOA からの割り込み禁止
1 : GPIOA からの割り込み許可

GPIOA&B IRQ STATUS & Clear

GPIOA&B IRQ ステータス&クリアレジスタ (GPIOAB_ISTS)								
GPIO[0x4C]			初期値 = 0x0000_0000					
			Read/Write					
31	30	29	28	n/a	27	26	25	24
23	22	21	20	n/a	19	18	17	16
15	14	13	12	PORTB_IRQ [7:0]		10	9	8
7	6	5	4	PORTA_IRQ [7:0]		2	1	0

Bits [15:8] :

PORTB_IRQ[7:0]

PORTB[7:0]の各 Bit からの割り込みステータスとクリアに対応します。

[Read]

0 : 割り込み要求はありません。

1 : 割り込み要求があることを示します。

[Write]

0 : 何も変化しません。

1 : “1” を書き込むことにより、割り込み要求要因がクリアされます。

Bits [7:0] :

PORTA_IRQ[7:0]

PORTA[7:0]の各 Bit からの割り込みステータスとクリアに対応します。

[Read]

0 : 割り込み要求はありません。

1 : 割り込み要求があることを示します。

[Write]

0 : 何も変化しません。

1 : “1” を書き込むことにより、割り込み要求要因がクリアされます。

Note: GPIOA と GPIOB からの各 Bit からの割り込み要求は“ロジカル OR”されて割り込みコントローラに通知されます。そのため、GPIO IRQ ハンドラ内でどのポートからの割り込み要求かをソフトウェアで判定する必要があります。

25.4 GPIOAおよびGPIOBの割り込みロジック

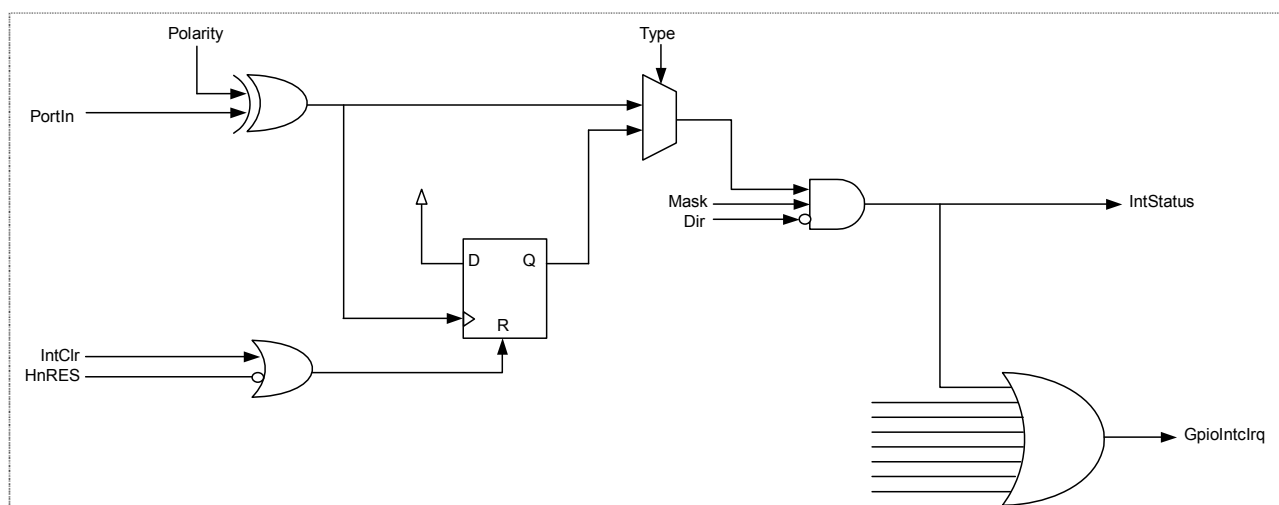


図 25.1 GPIOA and GPIOB の Interrupt Logic

注意： 割り込みのタイプまたは極性を変更した際には偽の割り込みが入ることがあります。これを防ぐために、タイプや極性を変更したときには必ず割り込み要因をクリアしてから使用してください。

26. 絶対最大定格

26. 絶対最大定格

26.1 絶対最大定格

(VSS = 0 [V])

項目	記号	定格値	単位
電源電圧	HVDD*	-0.3 ~ 4.0	V
	LVDD*	-0.3 ~ 2.5	V
入力電圧	HVI	-0.3 ~ HVDD+0.5	V
	LVI	-0.3 ~ LVDD+0.5	V
出力電圧	HVO	-0.3 ~ HVDD+0.5	V
	LVO	-0.3 ~ LVDD+0.5	V
出力電流 / ピン	IOUT	± 10	mA
保存温度	Tstg	-65 ~ 150	°C

*: HVDD ≥ LVDD

26.2 推奨動作条件（2 電源、3.3V対応入出力バッファ）

(VSS = PLLVSS = 0 [V])

項目		記号	Min.	Typ.	Max.	単位
電源電圧（高電圧）	I/O セル用電源	HVDD1	3.00	3.30	3.60	V
	カメラ I/F 用電源	HVDD2	2.40	3.00	3.60	V
電源電圧（低電圧）	コア（内部）用電源	LVDD	1.65	1.80	1.95	V
	アナログ（PLL）用電源	PLLVDD	1.65	1.80	1.95	V
入力電圧	I/O セル用電源	HVI1	VSS	—	HVDD1	V
	カメラ I/F 用電源	HVI2	VSS	—	HVDD2	V
	コア（内部）用電源	LVI	VSS	—	LVDD	V
	アナログ（PLL）用電源	PLLV1	PLLVSS	—	PLLVDD	V
周囲温度		Ta	-40	25	85*	°C
入力立ち上がり時間（ノーマル入力）		tri	—	—	50	ns
入力立ち下がり時間（ノーマル入力）		tfa	—	—	50	ns
入力立ち上がり時間（シュミット入力）		tri	—	—	5	ms
入力立ち下がり時間（シュミット入力）		tfa	—	—	5	ms

*: この温度範囲は、Tj = -40～125[°C]を想定した推奨周囲温度です。

26.3 電源投入タイミング

- 3.3V 系電源 (HVDD1) と 1.8V 系電源 (LVDD) の投入順序については以下のようにお願いします。
- (1) 3.3V 系電源を先に投入してください。1ms 以内に 1.8V 系電源を投入してください。この間隔をできるだけ短くすることを推奨します。
 - (2) HVDD1 および LVDD が安定した後も、32kHz 発振開始時間以上（例えば 100ms 以上）RESET# をローレベルに保ってください。

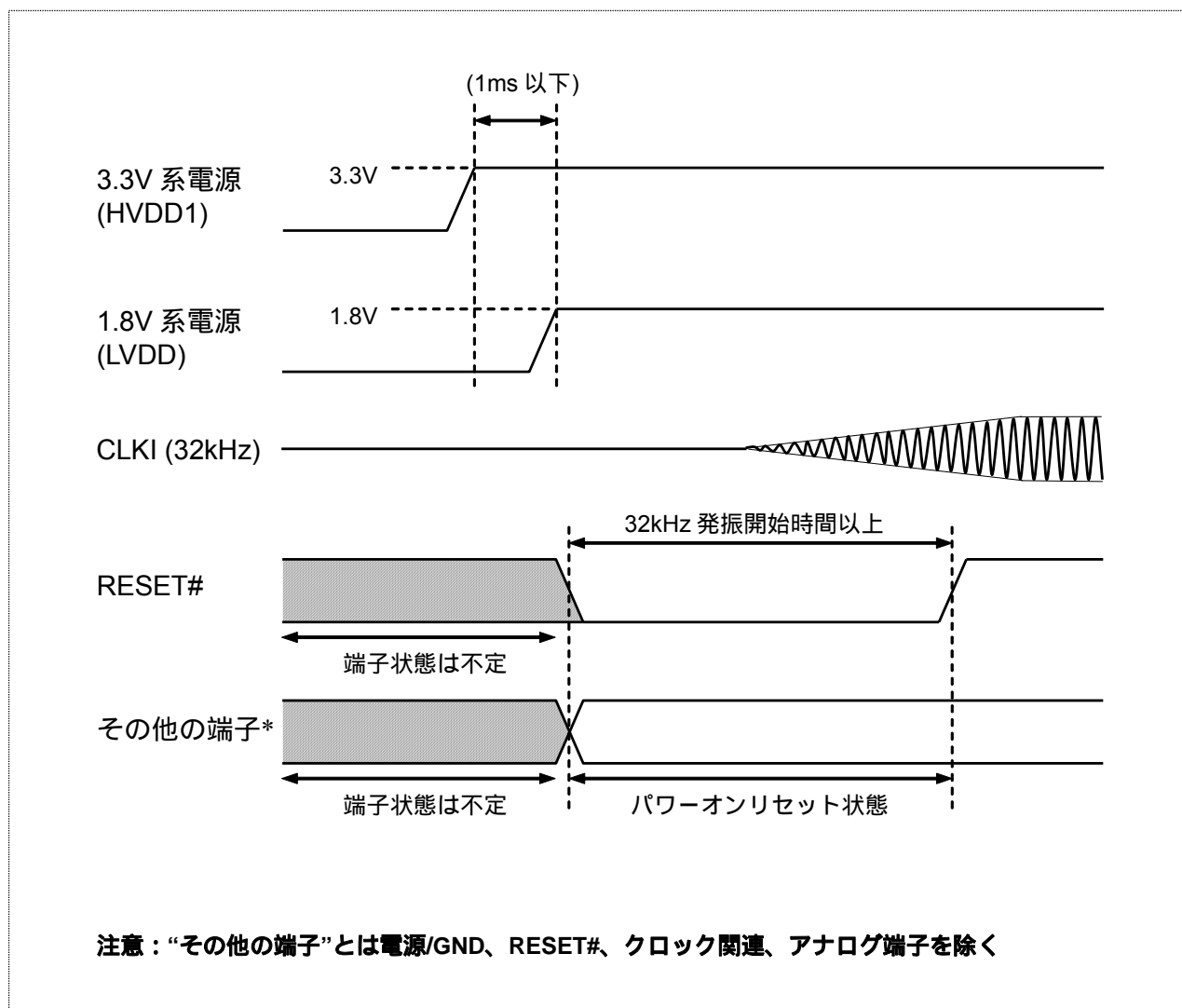


図 26.1 電源投入タイミング

26.4 電源切断タイミング

- 3.3V 系電源 (HVDD1) と 1.8V 系電源 (LVDD) の切断順序については以下のようにお願いします。
- (1) 電源投入時とは逆に、1.8V 系電源を先に切断してください。その後、1ms 以内に 3.3V 系電源を切断してください。この間隔をできるだけ短くすることを推奨します。
 - (2) 1.8V 系電源だけを切断した状態では端子状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

27. 電気的特性

27. 電気的特性

27.1 DC特性

表 27.1 DC 特性

(HVDD = 3.3V ± 0.3V, VSS = 0V, Ta = -40 ~ 85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	ILI	—	-5	—	5	μA
オフステートリーク電流	IOZ	—	-5	—	5	μA
高レベル出力電圧*	VOH	IOH = -4mA HVDD=Min.	HVDD -0.4	—	—	V
低レベル出力電圧*	VOL	IOL = 4mA HVDD=Min.	—	—	0.4	V
高レベル入力電圧	VIH1	LVC MOS レベル、HVDD=Max.	2.2	—	—	V
低レベル入力電圧	VIL1	LVC MOS レベル、HVDD=Min.	—	—	0.8	V
高レベル入力電圧	VT1+	LVC MOS シュミット	1.4	—	2.7	V
低レベル入力電圧	VT1-	LVC MOS シュミット	0.6	—	1.8	V
ヒステリシス電圧	VH1	LVC MOS シュミット	0.3	—	—	V
高レベル入力電圧	VIH2	LV TTL レベル、HVDD=Max.	2.0	—	—	V
低レベル入力電圧	VIL2	LV TTL レベル、HVDD=Min.	—	—	0.8	V
プルアップ抵抗	PPU	VI=0V	25	50	120	k
プルダウン抵抗	PPD	VI=HVDD	その他の端子*2	25	50	120
			MD[15:0]端子	50	100	240
入力端子容量	CI	f=1MHz, HVDD = 0V	—	—	8	pF
出力端子容量	CO	f=1MHz, HVDD = 0V	—	—	8	pF
入出力端子容量	CIO	f=1MHz, HVDD = 0V	—	—	8	pF
消費電流 (LVDD)	ILOW	ロースピードモード (32kHz)	—	100	—	μA
	ILHALT	ロースピード HALT モード (32kHz)	—	7	—	μA
	I FO	ハイスピードモード*3	—	70	—	mA
	IHALT	ハイスピード HALT モード*4	—	1	—	mA
	IDDQ	クロック停止時 (PLL も OFF)	Ta = 25	—	5	—
			Ta = 85	—	15	300
消費電流 (PLLVD)	IDDPLL	PLL 周波数 = 50MHz	—	1	—	mA

* : すべての出力および入出力端子が対象となります。

*2 : MD[15:0]端子以外のプルダウン抵抗付きの端子

*3 : 7.5fps@VGA で画像転送時

*4 : すべてのクロック停止、かつ、MII I/F の PHY からのクロックも停止

27.2 AC特性

27.2.1 AC特性測定条件

$HVDD1 = 3.3V \pm 0.3V$
 $HVDD2 = 3.0V \pm 0.6V$
 $LVDD = 1.8V \pm 0.15V$
 $T_A = -40^{\circ}C \sim 85^{\circ}C$
 $C_L = 50pF$ (特記なき場合)

27.2.2 AC特性タイミング一覧表

27.2.2.1 クロックタイミング

表 27.2 クロック (CLKI) タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
CLKI 周波数	fOSC	—	32.768	—	kHz	—
CLKI 入力サイクル時間	tOSC	—	1/ fOSC	—	s	—
CLKI ハイレベルパルス幅	tCLKIH	5	—	—	μs	—
CLKI ローレベルパルス幅	tCLKIL	5	—	—	μs	—
CLKI 立ち上がり時間 (10% 90%)	tCLKIR	—	—	12	μs	—
CLKI 立ち下がり時間 (90% 10%)	tCLKIF	—	—	12	μs	—
システムクロック周波数	fsys	—	—	50	MHz	—
システムクロック周波数周期	Ts	1/fsys	—	—	ns	—

27.2.2.2 CPUコントロール信号タイミング

表 27.3 CPU コントロール信号 タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
RESET#パルス幅	tRESW	10	—	—	TCLKI	*1
IRQ/FIQ パルス幅	tIRQW	10	—	—	Ts	*2
クロック再開時間	tWAK	—	—	4	Ts	*2
PLL 安定時間	tPLLST	—	—	100	ms	—

*1 : TCLKI = 32kHz 単位。スレッシュホールド電圧を切る振幅が必要。

*2 : Ts = システムクロックサイクル時間

27. 電気的特性

27.2.2.3 カメラインタフェース (CAM) タイミング

表 27.4 カメラインタフェース (CAM) タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
CMVREF 立ち上がりエッジ CMHREF 立ち上がりエッジ	t _{CAM1}	0	—	—	Tc	*3
水平ブランク期間	t _{CAM2}	4	—	—	Tc	*3
CMHREF 立ち下がりエッジ CMVREF 立ち下がりエッジ	t _{CAM3}	0	—	—	Tc	*3
垂直ブランク期間	t _{CAM4}	1	—	—	Line	—
カメラ入力クロック期間	t _{CAM5}	1.6 (3.2)	—	—	Ts	*2
カメラ入力クロックローレベルパルス幅	t _{CAM6}	0.8 (1.6)	—	—	Ts	*2
カメラ入力クロックハイレベルパルス幅	t _{CAM7}	0.8 (1.6)	—	—	Ts	*2
データセットアップ時間	t _{CAM8}	10	—	—	ns	—
データホールド時間	t _{CAM9}	10	—	—	ns	—
CMVREF, CMHREF セットアップ時間	t _{CAM10}	10	—	—	ns	—
CMVREF, CMHREF ホールド時間	t _{CAM11}	10	—	—	ns	—

*2 : Ts = システムクロックサイクル時間

Min 値は高速サンプリング時の値、()内は通常サンプリング時の Min 値

*3 : Tc = カメラインタフェース入力クロックサイクル時間

27.2.2.4 Media Independent Interface Ethernet PHY (MII) タイミング

表 27.5 MII タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
MII 出力データ遅延時間	t _{TXD}	7	—	20	ns	—
MII 入力データセットアップ時間	t _{RXS}	10	—	—	ns	—
MII 入力データホールド時間	t _{RXH}	10	—	—	ns	—
MDIO 出力遅延時間	t _{MOD}	—	1	—	Ts	*2
MDIO データセットアップ時間	t _{MIS}	10	—	—	ns	—
MDIO データホールド時間	t _{MIH}	0	—	—	ns	—
MDC サイクル時間	t _{MDC}	—	64	—	Ts	*2

*2 : Ts = システムクロック・サイクル時間

27.2.2.5 メモリコントローラ (MEMC) タイミング

スタティックメモリコントローラ タイミング

表 27.6 スタティックメモリ Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
Address 遅延時間	tDADD			10	ns	—
MCS0#アクティブ遅延時間	tMCS0AD			10	ns	—
MCS0#インアクティブ遅延時間	tMCS0ID			10	ns	
MOE#アクティブ遅延時間	tMOEAD			10	ns	
MOE#インアクティブ遅延時間	tMOEID			10	ns	
リードデータセットアップ時間	tRDS	10			ns	
リードデータホールド時間	tRDH	0			ns	

表 27.7 スタティックメモリ Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
Address 遅延時間	tDADD			10	ns	—
MCS0#アクティブ遅延時間	tMCS0AD			10	ns	—
MCS0#インアクティブ遅延時間	tMCS0ID			10	ns	
MWE0#アクティブ遅延時間	tMWE0AD			10	ns	
MWE0#インアクティブ遅延時間	tMWE0ID			10	ns	
MDQM 遅延時間	tMDQD			10	ns	
ライトデータ遅延時間	tWDD	1		10	ns	

SDRAM コントローラ タイミング

表 27.8 SDRAM コントローラ タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
CKE 遅延時間	tCKED	1	—	10	ns	—
MCS2#遅延時間	tCSD	1	—	10	ns	—
MRAS#遅延時間	tRASD	1	—	10	ns	—
MCAS#遅延時間	tCASD	1	—	10	ns	—
MWE1#遅延時間	tWED	1	—	10	ns	—
MDQML/MDQMH 遅延時間	tDQMD	1	—	10	ns	—
アドレス遅延時間	tADD	1	—	10	ns	—
ライトデータ遅延時間	tWDD	1	—	10	ns	—
リードデータセットアップ時間	tRDS	10	—	—	ns	—
リードデータホールド時間	tRDH	0	—	—	ns	—

27. 電気的特性

27.2.2.6 I²C Single Master Core Module (I2C) タイミング

表 27.9 I2C タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCL サイクル時間	t _C (SCL)	8	—	30720	Ts	*2
SCL パルス幅 (High)	t _{WH} (SCL)	—	1/2	—	T _C (SCL)	*4
SCL パルス幅 (Low)	t _{WL} (SCL)	—	1/2	—	T _C (SCL)	*4
SDA 出力遅延時間	t _D (OSDA)	—	1/4	—	T _C (SCL)	*4
SDA 入力セットアップ時間	t _{SU} (ISDA)	0	—	—	ns	*5
SDA 入力ホールド時間	t _{HD} (ISDA)	0	—	—	ns	*5
SDA サンプル時間	t _{SMP} (SDA)	—	1/4	—	T _C (SCL)	*4
スタートコンディション開始時間	t _S (ST)	1/4	—	—	T _C (SCL)	*4
スタートコンディション完了時間	t _E (ST)	1/2	—	—	T _C (SCL)	*4
ストップコンディション開始時間	t _S (SP)	1/4	—	—	T _C (SCL)	*4
ストップコンディション完了時間	t _E (SP)	1/2	—	—	T _C (SCL)	*4

*2 : Ts = システムクロックサイクル時間

*4 : T_C(SCL) = SCL (I²C クロック) サイクル時間

*5 : SDA サンプル時間 (T_{smp}(SDA)) 参照

27.2.2.7 I²S タイミング

表 27.10 I2S タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCK サイクル時間	t _{SCKCT}	2	—	512	Ts	*1
SCK パルス幅 (High)	t _{SCKWH}	1	—	—	Ts	*1
SCK パルス幅 (Low)	t _{SCKWL}	1	—	—	Ts	*1
SCK デューティ比	t _{SCKDT}	—	50	—	%	*2
WS サイクル時間	t _{WSCT}	32	—	256	t _{SCKCT}	*3
WS 出力遅延時間	t _{WSOD}	-1	—	1	Ts	*1
WS 入力セットアップ時間	t _{WSISU}	1	—	—	Ts	*1
WS 入力ホールド時間	t _{WSIHD}	1	—	—	Ts	*1
SD 出力遅延時間	t _{SDOD}	-1	—	1	Ts	*1
SD 入力セットアップ時間	t _{SDISU}	1	—	—	Ts	*1
SD 入力ホールド時間	t _{SDIHD}	1	—	—	Ts	*1

*1 : Ts = システムクロックサイクル時間

*2 : t_{SCKDT} = t_{SCKWH} / (t_{SCKWH} + t_{SCKWL})

*3 : t_{SCKCT} = SCK サイクル時間

27.2.2.8 シリアル周辺機器インタフェース (SPI) タイミング

表 27.11 SPI タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
SCLK サイクル時間	$t_{C(SCLK)}$	4	—	512	Ts	*2
SCLK パルス幅 (前半)	$t_{WH1(SCLK)}$	—	1/2	—	$T_{C(SCLK)}$	*6
SCLK パルス幅 (後半)	$t_{WH2(SCLK)}$	—	1/2	—	$T_{C(SCLK)}$	*6
SS 出力開始時間 (自動制御時)	$t_{S(OSS)}$	3	—	—	Ts	*2
SS 出力完了時間 (自動制御時)	$t_{E(OSS)}$	1	—	—	Ts	*2
SS 入力セットアップ時間	$t_{SU(ISS)}$	3	—	—	Ts	*2
SS 入力ホールド時間	$t_{HD(ISS)}$	1	—	—	Ts	*2
MISO 入力セットアップ時間	$t_{SU(MI)}$	30	—	—	ns	
MISO 入力ホールド時間	$t_{HD(MI)}$	0	—	—	ns	
MISO 出力遅延時間	$t_{D(SO)}$	—	—	30	ns	
MOSI 入力セットアップ時間	$t_{SU(SI)}$	10	—	—	ns	
MOSI 入力ホールド時間	$t_{HD(SI)}$	10	—	—	ns	
MOSI 出力遅延時間	$t_{D(MO)}$	—	—	0	ns	

*2: Ts = システムクロックサイクル時間

*6: $T_{C(SCLK)} = \text{SCLK (SPI クロック) サイクル時間} = (4 \times 2^{\text{MCBR}}) Ts$

27.2.2.9 コンパクトフラッシュインタフェース (CF) タイミング

CF Attribute Memory タイミング

表 27.12 CF Attribute Memory Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	t_{ATRC}	—	20	—	Ts	*2
アドレスセットアップ時間	t_{ADSAR}	—	4	—	Ts	*2
アドレスホールド時間 (MOE#インアクティブから)	t_{ADHMOE}	—	2	—	Ts	*2
リード前 CE 有効時間	t_{CEVBR}	—	3	—	Ts	*2
リード後 CE 有効時間	t_{CEVAR}	—	2	—	Ts	*2
MOE#アクティブ時間	t_{MOEW}	—	14	—	Ts	*2
リードデータセットアップ時間	t_{RDS}	1Ts+13	—	—	ns	
リードデータホールド時間	t_{RDH}	0	—	—	ns	

*2: Ts = システムクロックサイクル時間

表 27.13 CF Attribute Memory Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	t_{ATWC}	—	16	—	Ts	*2
アドレスセットアップ時間	t_{ADSAW}	—	3	—	Ts	*2
MWE0#アクティブ時間	t_{MWE0W}	—	9	—	Ts	*2
ライトリカバリー時間	t_{WREC}	—	2	—	Ts	*2
ライトデータ有効時間 1	t_{WDV1}	—	11	—	Ts	*2
ライトデータ有効時間 2	t_{WDV2}	—	2	—	Ts	*2

27. 電気的特性

CF Common Memory タイミング

表 27.14 CF Common Memory Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	t _{CMRC}	—	17	—	Ts	*2
アドレスセットアップ時間	t _{CRADS}	—	4	—	Ts	*2
アドレスホールド時間 (MOE#インアクティブから)	t _{ADHMOE}	—	2	—	Ts	*2
リード前 CE 有効時間	t _{CEVBR}	—	3	—	Ts	*2
リード後 CE 有効時間	t _{CEVAR}	—	2	—	Ts	*2
リード後ウェイトアクティブ許容時間	t _{WTATAR}	—	—	6	Ts	*2
ウェイトリリース後データセットアップ時間	t _{DSAWT}	—	—	0	Ts	*2
ウェイトアクティブ時間	t _{WTW}	—	—	3000	ns	
リードデータセットアップ時間	t _{RDS}	1Ts+13	—	—	ns	
リードデータホールド時間	t _{RDH}	0	—	—	ns	

表 27.15 CF Common Memory Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	t _{CMWC}	—	17	—	Ts	*2
アドレスセットアップ時間	t _{ADS}	—	4	—	Ts	*2
アドレスホールド時間	t _{ADH}	—	4	—	Ts	*2
ライト前 CE 有効時間	t _{CEVBW}	—	3	—	Ts	*2
ライト後 CE 有効時間	t _{CEVAW}	—	2	—	Ts	*2
MWE0#アクティブ時間	t _{MWE0W}	—	9	—	Ts	*2
ライト前データ有効時間	t _{DVBW}	—	11	—	Ts	*2
ライト後データ有効時間	t _{DVAW}	—	2	—	Ts	*2
ライトリカバリー時間	t _{WREC}	—	2	—	Ts	*2
ライト後ウェイトアクティブ許容時間	t _{WTATAW}	—	—	6	Ts	*2
ウェイトリリース後ライトアクティブ時間	t _{WWAWT}	—	—	3	Ts	*2
ウェイトアクティブ時間	t _{WTW}	—	—	3000	ns	

CF I/O Space/IDE タイミング

表 27.16 CF I/O Space/IDE Read タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
リードサイクル時間	t _{IORC}	—	20	—	Ts	*2
IORD#アクティブ時間	t _{IORW}	—	10	—	Ts	*2
アドレスセットアップ時間	t _{ADSIO}	—	6	—	Ts	*2
アドレスホールド時間	t _{ADHIO}	—	4	—	Ts	*2
IO リード前 CE 有効時間	t _{CEVBIOR}	—	5	—	Ts	*2
IO リード後 CE 有効時間	t _{CEVAIOR}	—	3	—	Ts	*2
IO リード前 REG 有効時間	t _{REGVBIOR}	—	6	—	Ts	*2
IO リード後 REG 有効時間	t _{REGVAIOR}	—	4	—	Ts	*2
IO リードアクティブ後ウェイト許容時間	t _{WTATIOR}	—	—	6	Ts	*2
ウェイトリリース後データ遅延許容時間	t _{DATAWT}	—	—	0	Ts	*2
ウェイトアクティブ時間	t _{WTW}	—	—	3000	ns	
リードデータセットアップ時間	t _{RDS}	1Ts+13	—	—	ns	
リードデータホールド時間	t _{RDH}	0	—	—	ns	

表 27.17 CF I/O Space/IDE Write タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
ライトサイクル時間	t_{IOWC}	—	20	—	Ts	*2
IOWR#アクティブ時間	t_{IOWW}	—	10	—	Ts	*2
アドレスセットアップ時間	t_{ADSIO}	—	6	—	Ts	*2
アドレスホールド時間	t_{ADHIO}	—	4	—	Ts	*2
IO ライト前 CE 有効時間	$t_{CEVBIOW}$	—	5	—	Ts	*2
IO ライト後 CE 有効時間	$t_{CEVAIOW}$	—	3	—	Ts	*2
IO ライト前 REG 有効時間	$t_{REGVBIOW}$	—	6	—	Ts	*2
IO ライト後 REG 有効時間	$t_{REGVAIOW}$	—	4	—	Ts	*2
IO ライト前データ有効時間	t_{DVBIOW}	—	14	—	Ts	*2
IO ライト後データ有効時間	t_{DVAIOW}	—	3	—	Ts	*2
IO ライト後ウェイト許容時間	$t_{WTATIOW}$	—	—	6	Ts	*2
ウェイトリリース後 IO ライトインアクティブ時間	t_{WITAWT}	—	—	2	Ts	*2
ウェイトアクティブ時間	t_{WTW}	—	—	3000	ns	

27.2.3 タイミングチャート

27.2.3.1 クロックタイミング

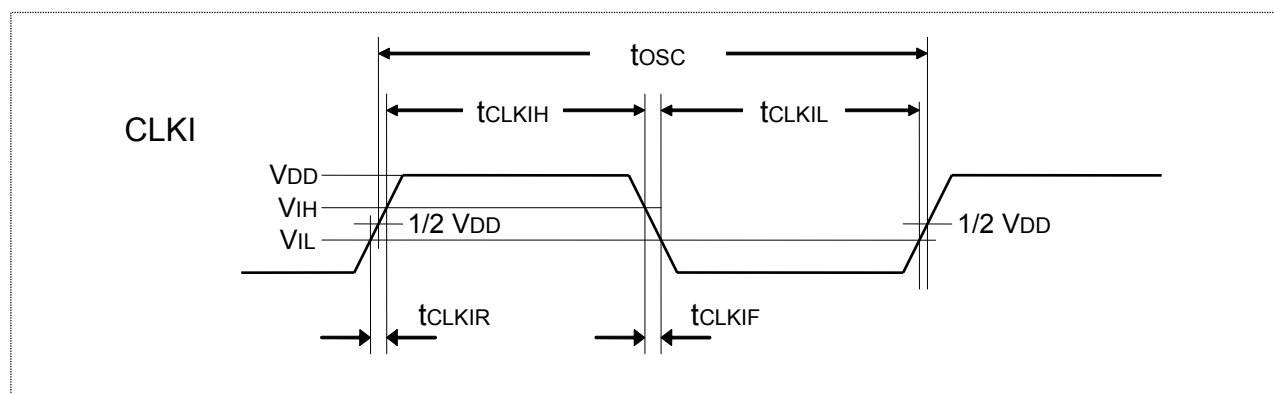


図 27.1 クロックタイミング

27. 電気的特性

27.2.3.2 CPUコントロール信号タイミング

RESET#タイミング

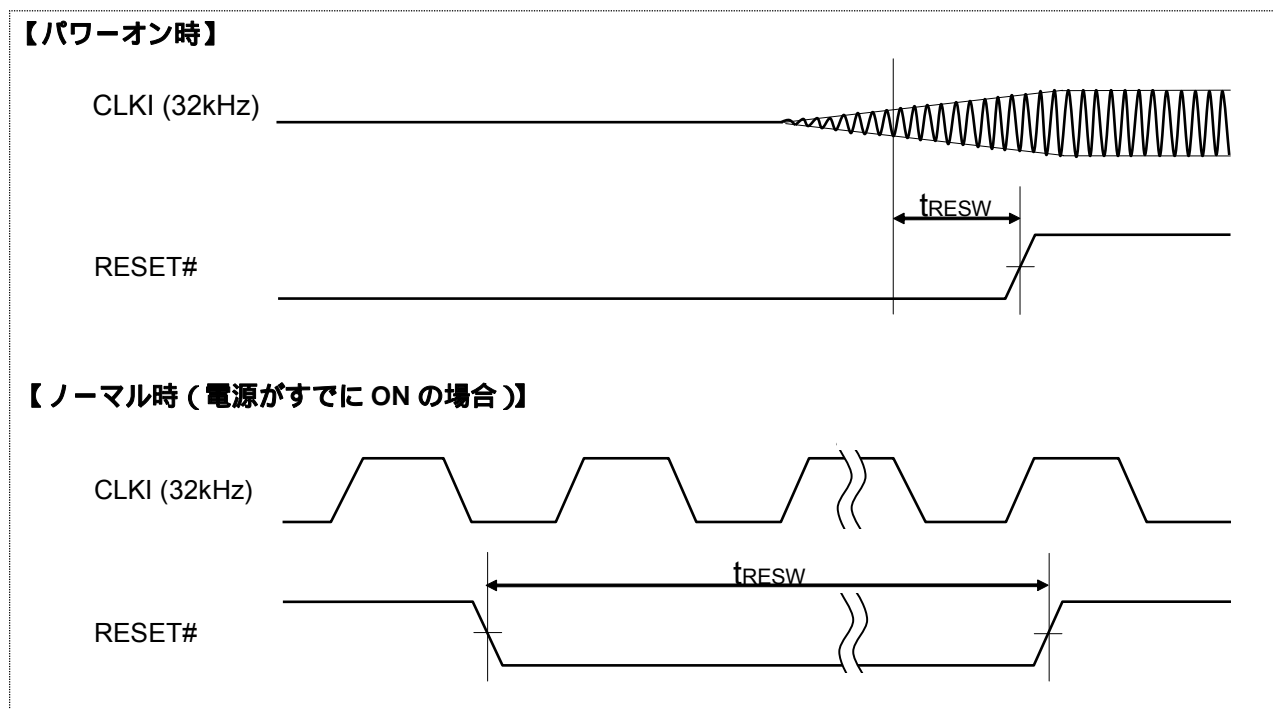


図 27.2 RESET#タイミング

割り込み信号タイミング

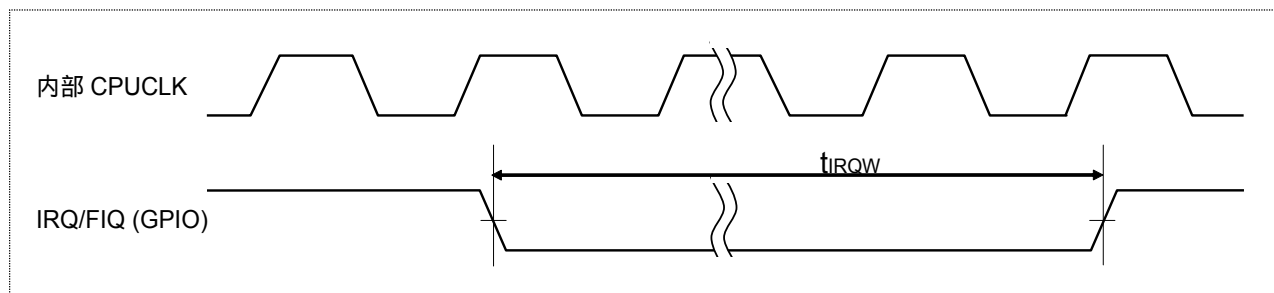


図 27.3 割り込み信号タイミング

PLL 関連タイミング

(1) クロックスイッチ 1 (PLL Enable)

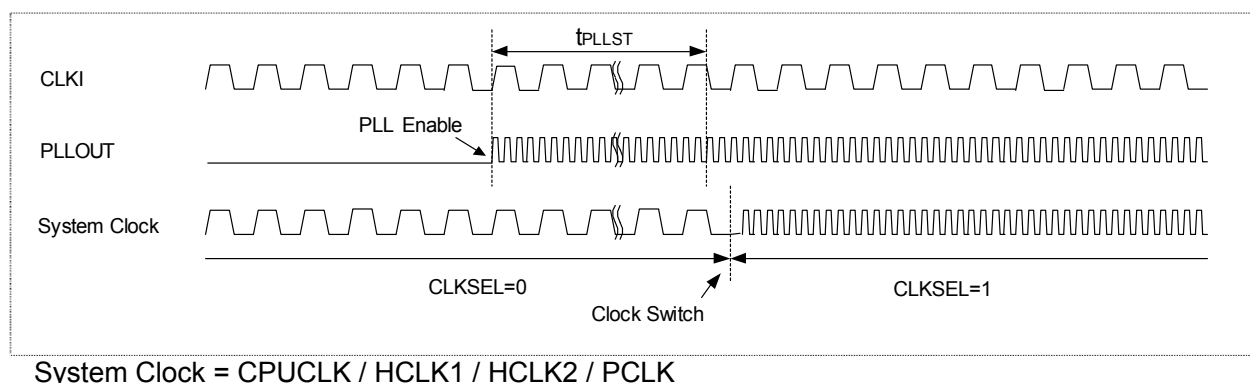


図 27.4 クロックスイッチ 1 (PLL Enable)

システムクロックを 32kHz から PLL 出力に変更する場合の内部クロックのタイミングです。
 システムコントローラの PLL Setting Register 2 (SYS[0x0C]) ビット 0 (PLLEN) を “1” にして、PLL をイネーブルにします。PLL 安定時間 (t_{PLLST}) 後に Clock Select Register (SYS[0x18]) ビット 0 (CLKSEL) を “1” にして、システムクロックとして PLL 出力を選択します。

(2) クロックスイッチ 2 (PLL Disable)

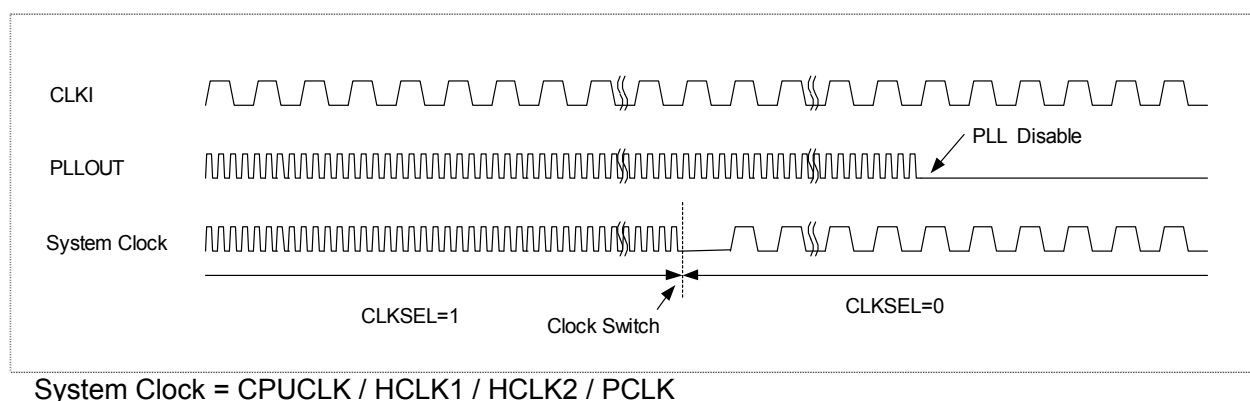


図 27.5 クロックスイッチ 2 (PLL Disable)

システムクロックを PLL 出力から 32kHz に変更する場合の内部クロックのタイミングです。
 Clock Select Register (SYS[0x18]) ビット 0 (CLKSEL) を “0” にして、システムクロックとして CLKI (32kHz) を選択します。その後、システムコントローラの PLL Setting Register 2 (SYS[0x0C]) ビット 0 (PLLEN) を “0” にして、PLL をディセーブルにします。

27. 電気的特性

(3) ハイスピード HALT モードから割り込みによるクロック再開

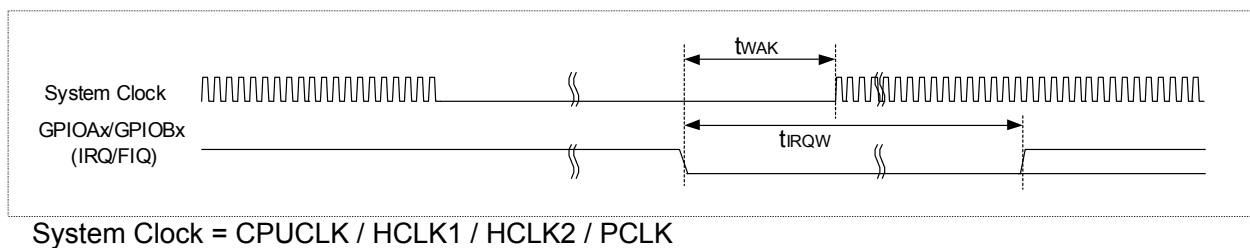


図 27.6 クロック再開タイミング

ハイスピード HALT モードから割り込み発生により、ハイスピードモードへ移行するタイミングです。クロック再開時間 (t_{WAK}) 後にシステムクロックが再開します。割り込みパルス幅 (t_{IRQW}) はそれよりも十分に長くってください。

27.2.3.3 カメラインタフェースタイミング

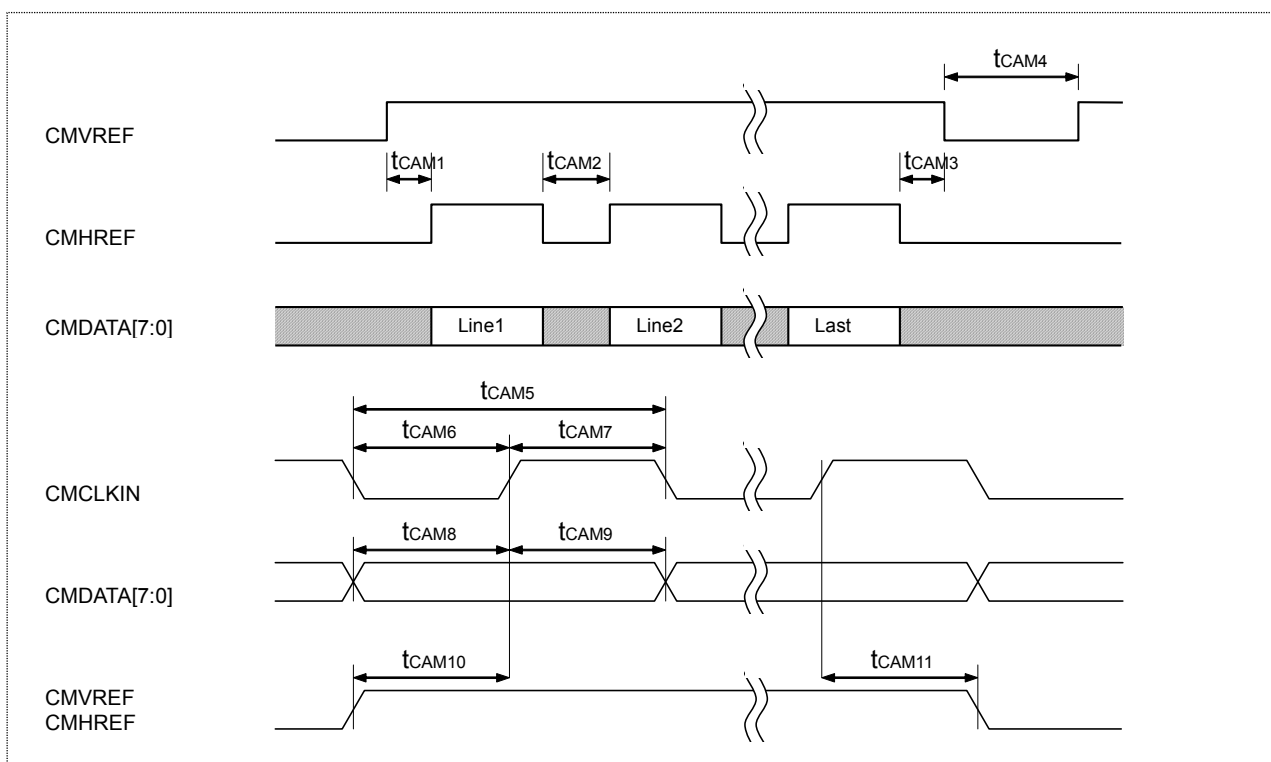


図 27.7 カメラインタフェースタイミング

CMCLKIN の有効エッジはソフトウェアにより変更できます。上図は CMCLKIN が“Low”から“High”に変化した時にデータを取り込むタイミングを示しています。

27.2.3.4 MII (Media Independent Interface Ethernet PHY) タイミング

MII 送信

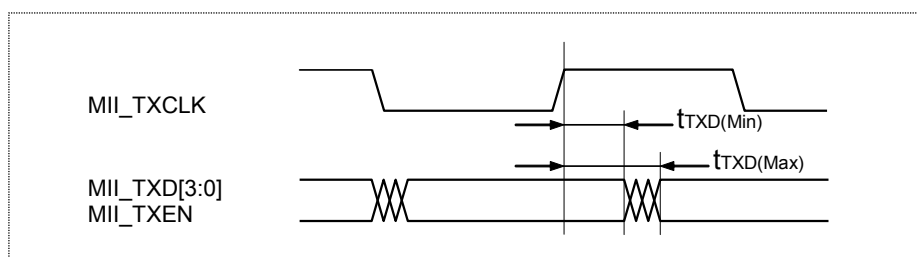


図 27.8 MII 送信タイミング

MII 受信

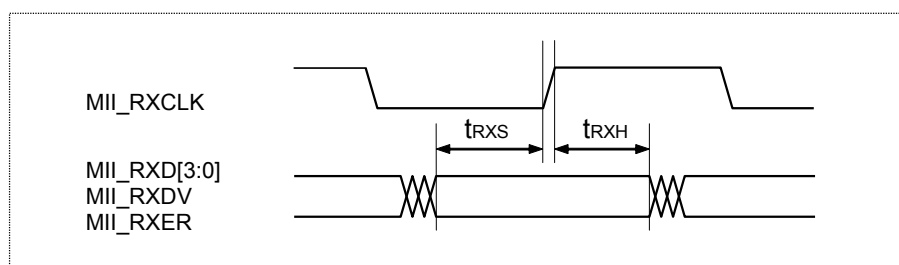


図 27.9 MII 受信タイミング

MDIO 出力

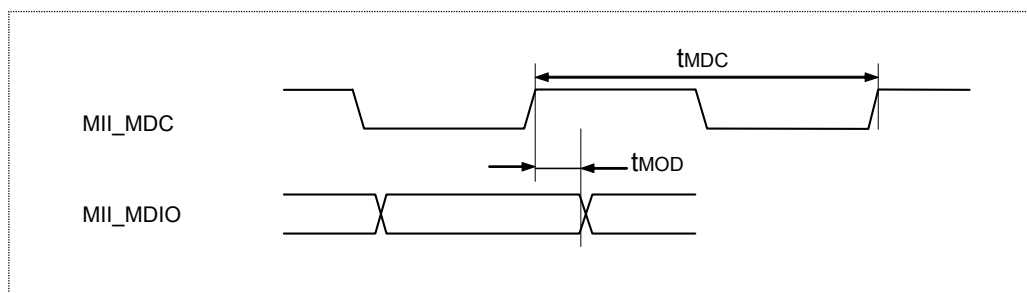


図 27.10 MDIO 出力タイミング

MDIO 入力

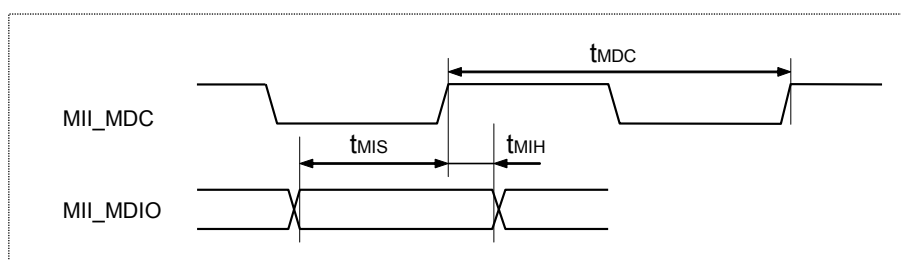


図 27.11 MDIO 入力タイミング

27. 電気的特性

27.2.3.5 メモリインタフェースコントローラ

27.2.3.5.1 スタティックメモリコントローラタイミング (Flash EEPROM, SRAM, etc.)

スタティックメモリ リード タイミング

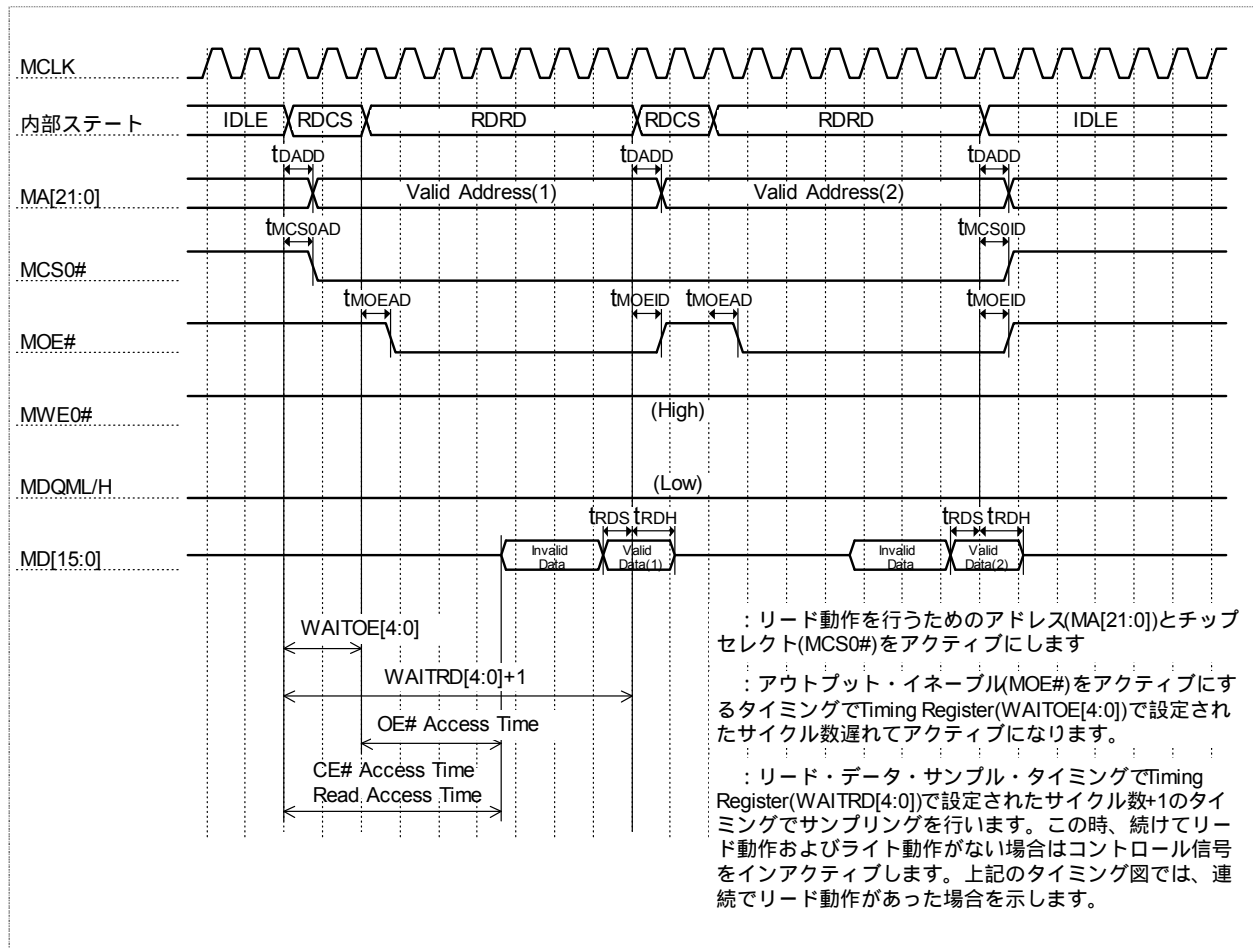


図 27.12 スタティックメモリ リードタイミング

スタティックメモリ ライト タイミング

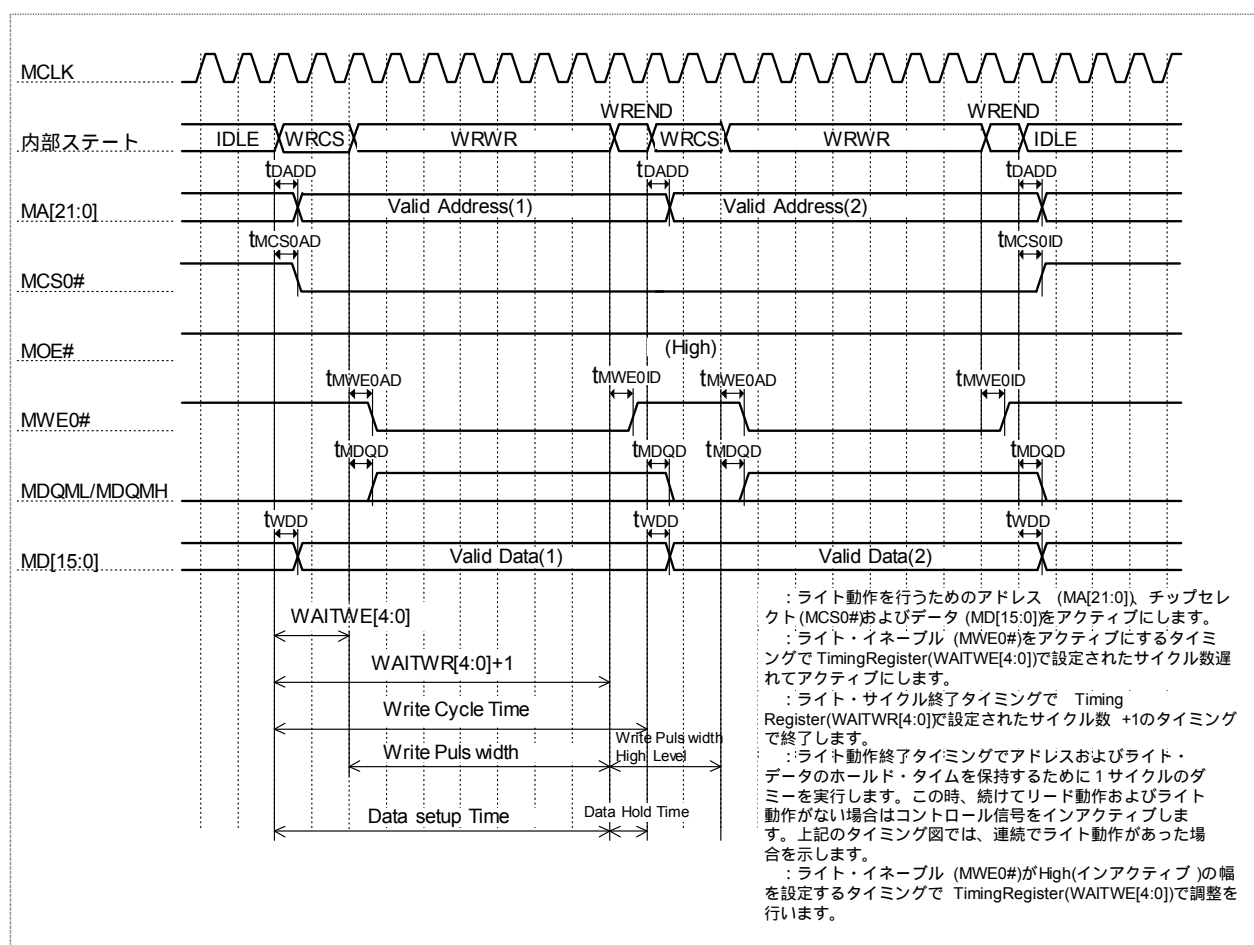


図 27.13 スタティックメモリ ライトタイミング

27. 電気的特性

27.2.3.5.2 SDRAMコントローラACタイミング

以下に SDRAM コントローラの AC タイミングを示します。
 図中に表記されているコマンドについて以下の表にまとめて説明します。

コマンド	機能	MCS2#	MRAS#	MCAS#	MWE1#	アドレス、その他
ACT	バンクアクティブ	L	L	H	H	Bank/Row
RD	リード	L	H	L	H	Bank/Col
WR	ライト	L	H	L	L	Bank/Col
BT	バースターミネート	L	H	H	L	—
PCGA	プリチャージオールバンク	L	L	H	L	A10 = HIGH
PCG	プリチャージ	L	L	H	L	A10 = LOW
AREF	オートリフレッシュ	L	L	L	H	MCLKEN = HIGH
SELF_IN	セルフリフレッシュ開始	L	L	L	H	MCLKEN = LOW
SELF_OUT	セルフリフレッシュ終了	H	x	x	x	MCLKEN = HIGH
LMR	モードレジスタセット	L	L	L	L	—

SDRAM リードサイクル

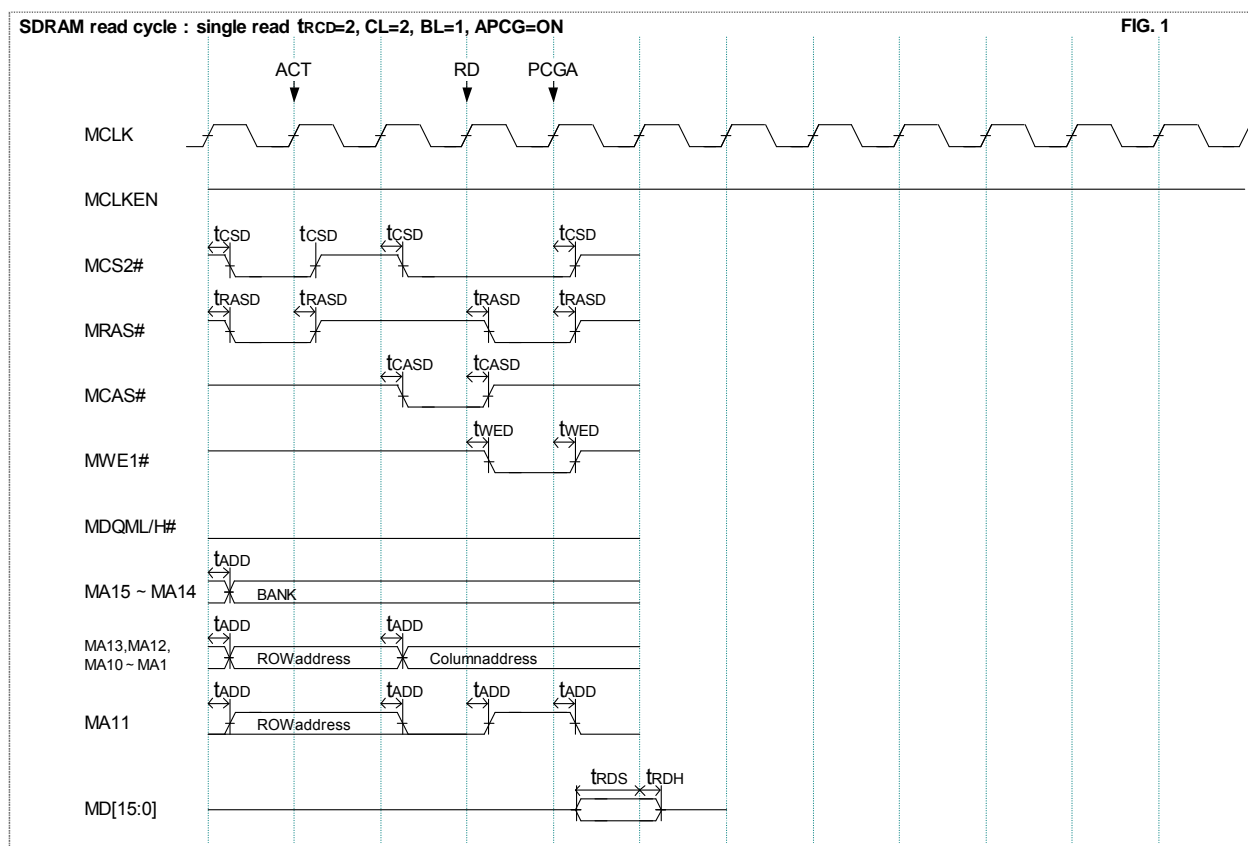


図 27.14 SDRAM リードサイクル 1 : シングルリード ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

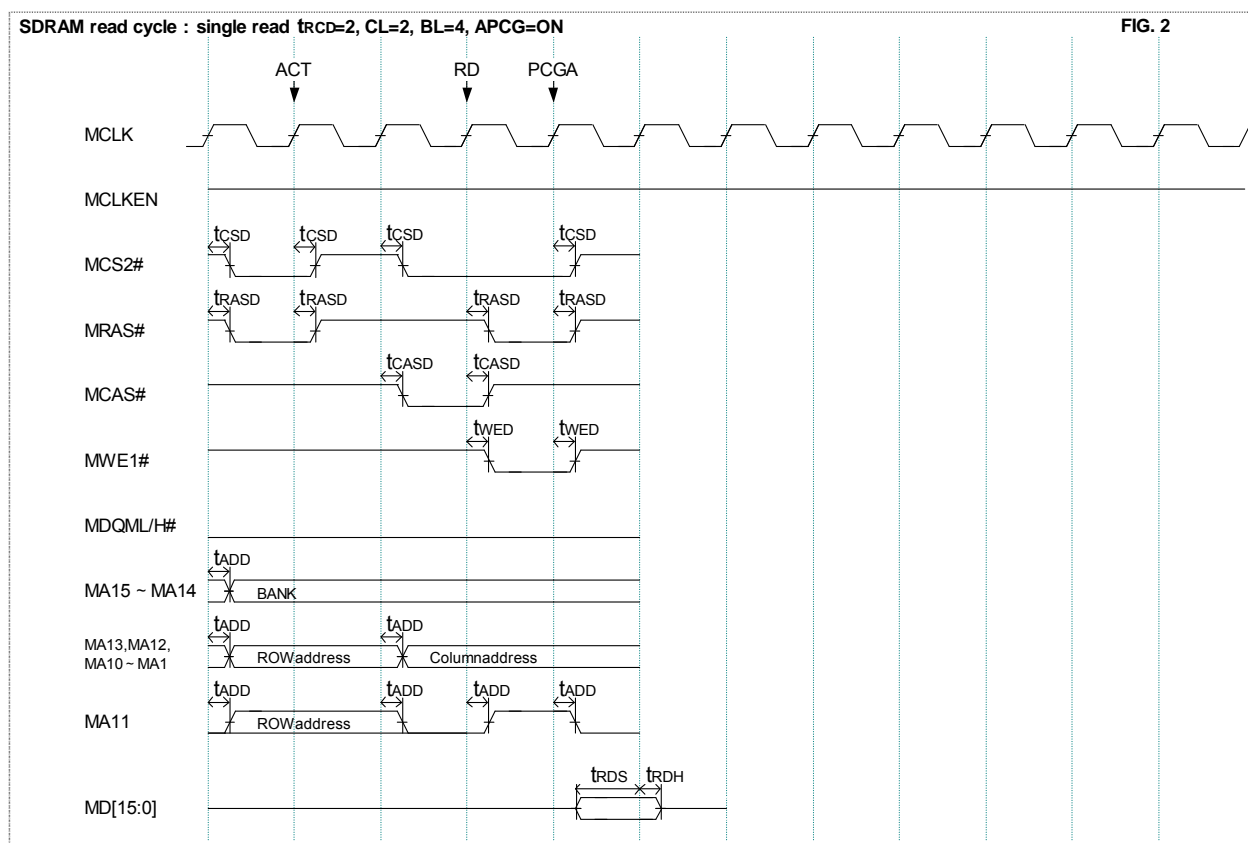


図 27.15 SDRAM リードサイクル 2 : シングルリード ; $t_{\text{RCD}}=2$, $\text{CL}=2$, $\text{BL}=4$, $\text{APCG}=\text{ON}$

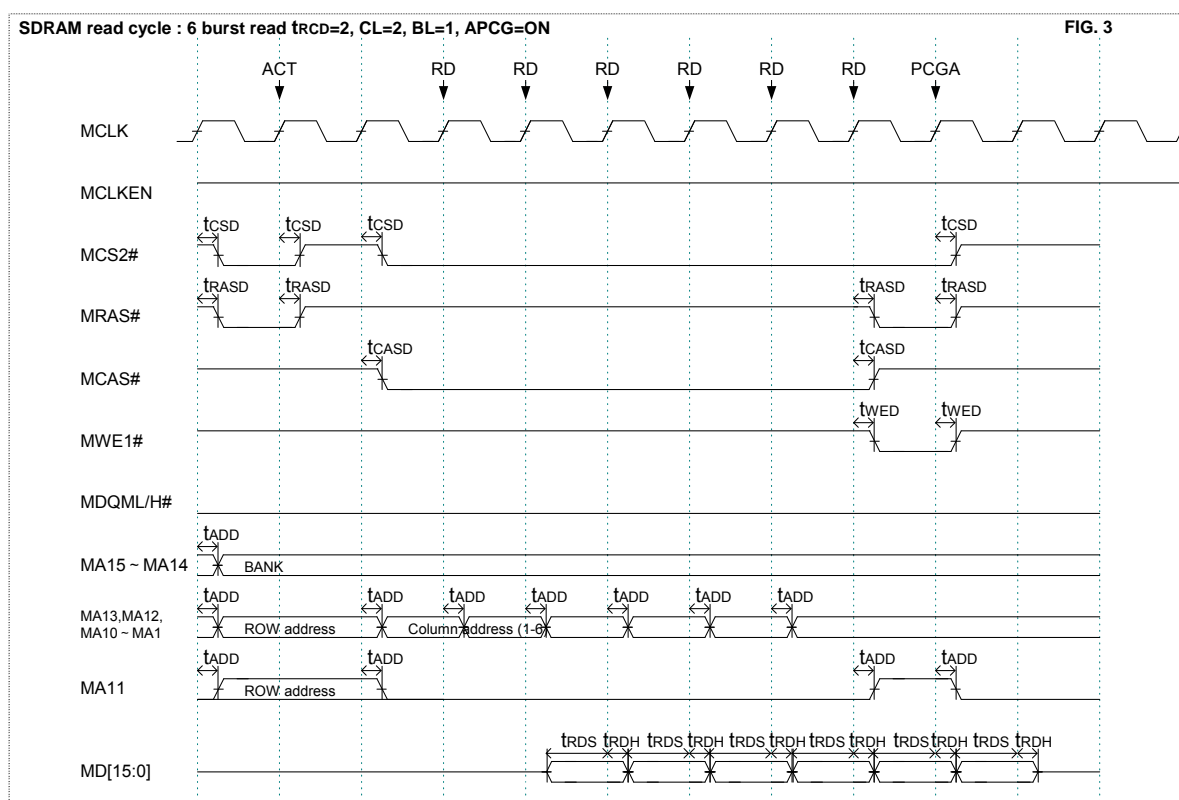


図 27.16 SDRAM リードサイクル 3 : 6 バーストリード ; $t_{\text{RCD}}=2$, $\text{CL}=2$, $\text{BL}=1$, $\text{APCG}=\text{ON}$

27. 電気的特性

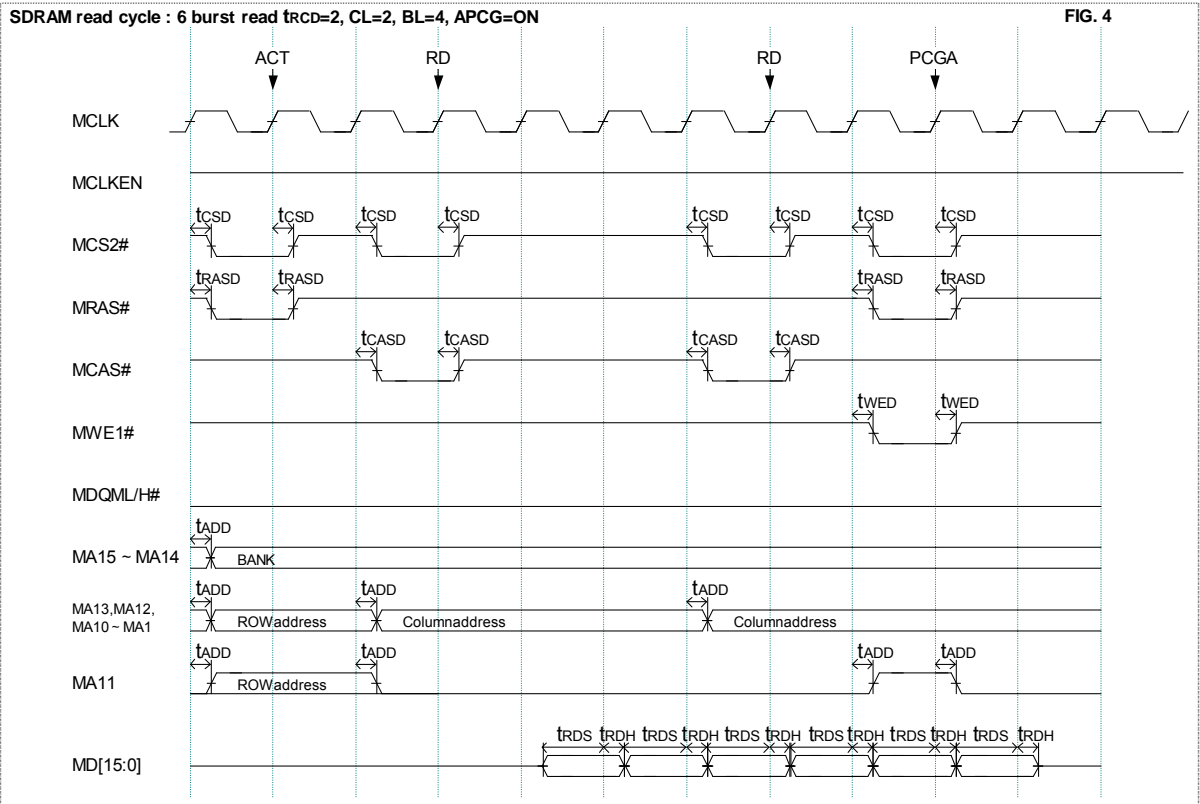


図 27.17 SDRAM リードサイクル 4 : 6 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

SDRAM ライトサイクル

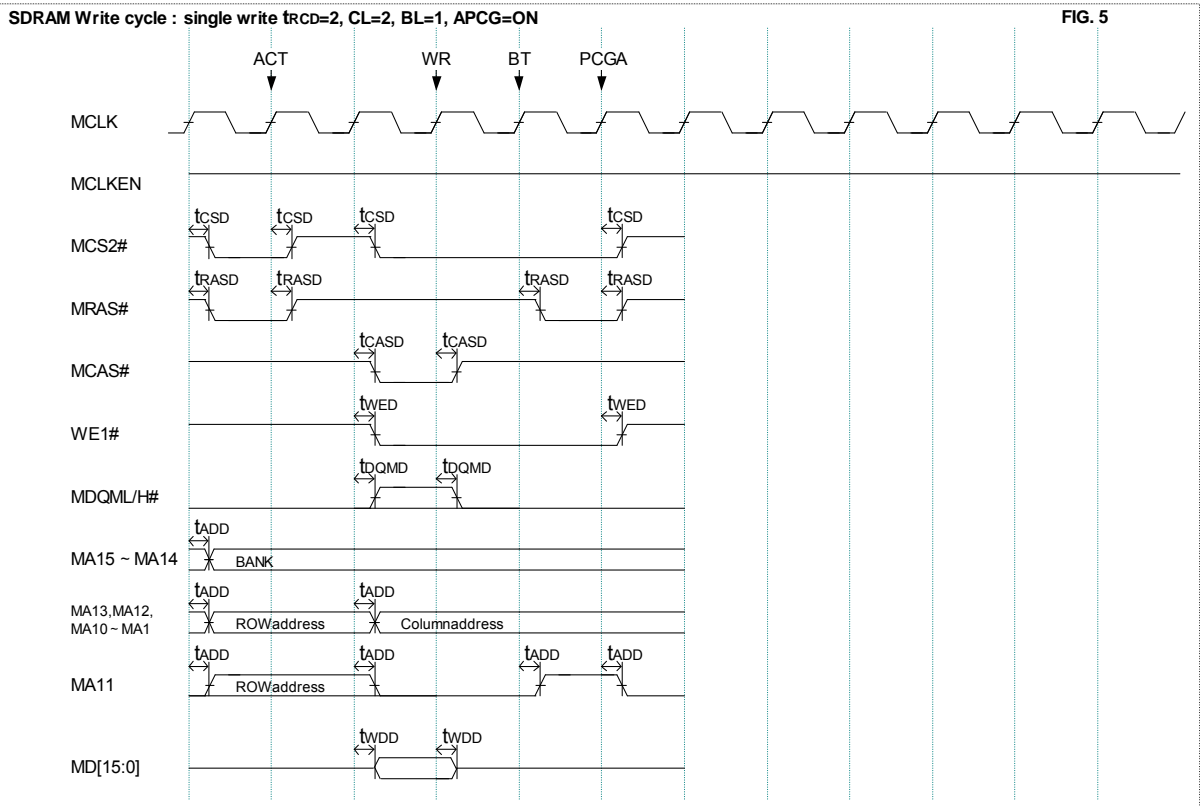


図 27.18 SDRAM ライトサイクル 1 : シングルライト ; $t_{RCD}=2$, $CL=2$, $BL=1$, $APCG=ON$

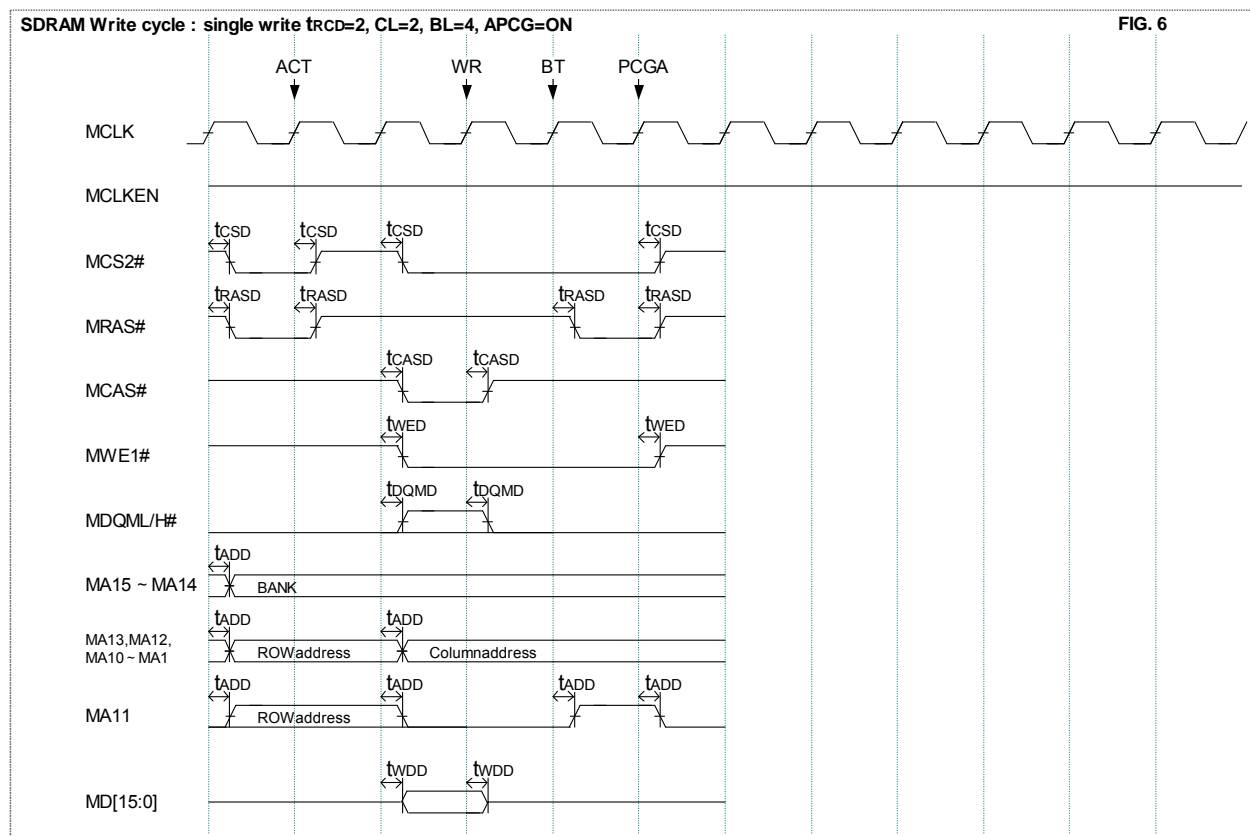


図 27.19 SDRAM ライトサイクル 2 シングルライト ; $t_{\text{RCD}}=2$, $\text{CL}=2$, $\text{BL}=4$, $\text{APCG}=\text{ON}$

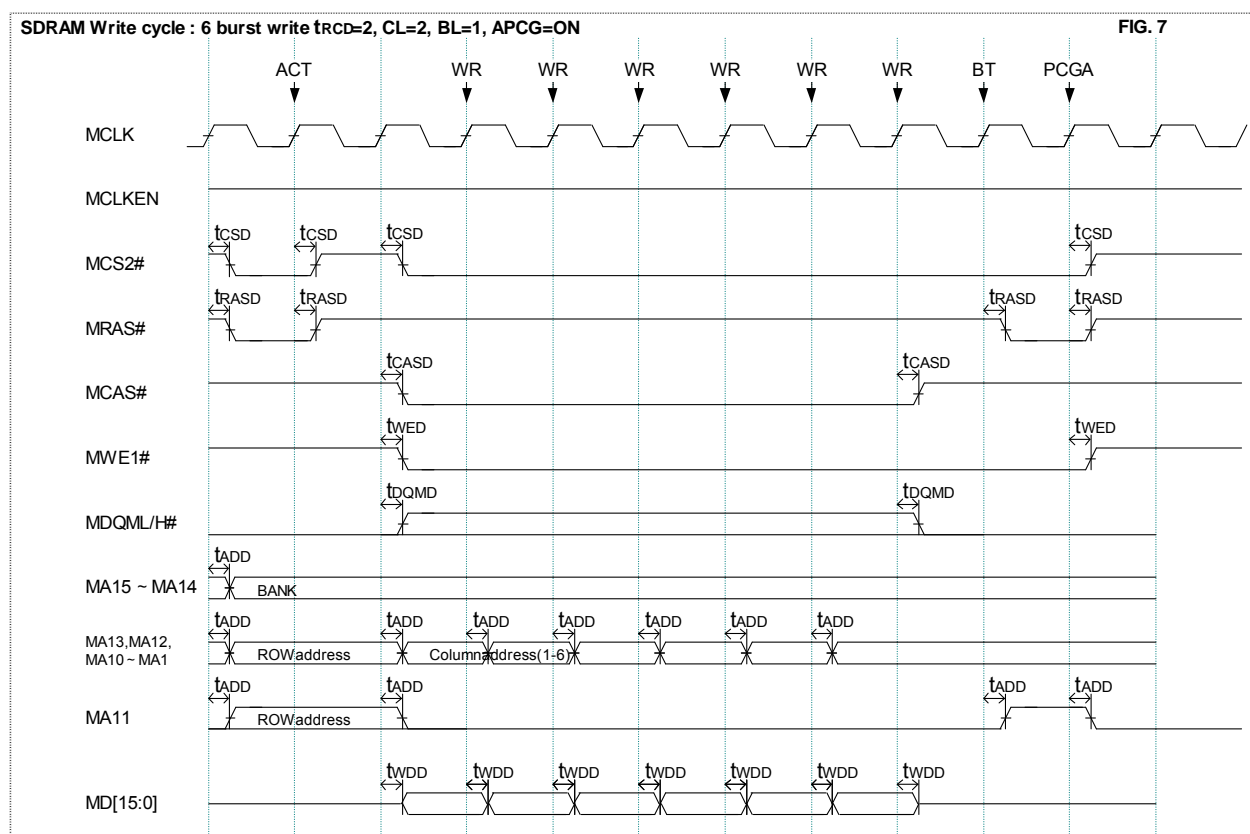


図 27.20 SDRAM ライトサイクル 3 : 6 バーストライト ; $t_{\text{RCD}}=2$, $\text{CL}=2$, $\text{BL}=1$, $\text{APCG}=\text{ON}$

27. 電気的特性

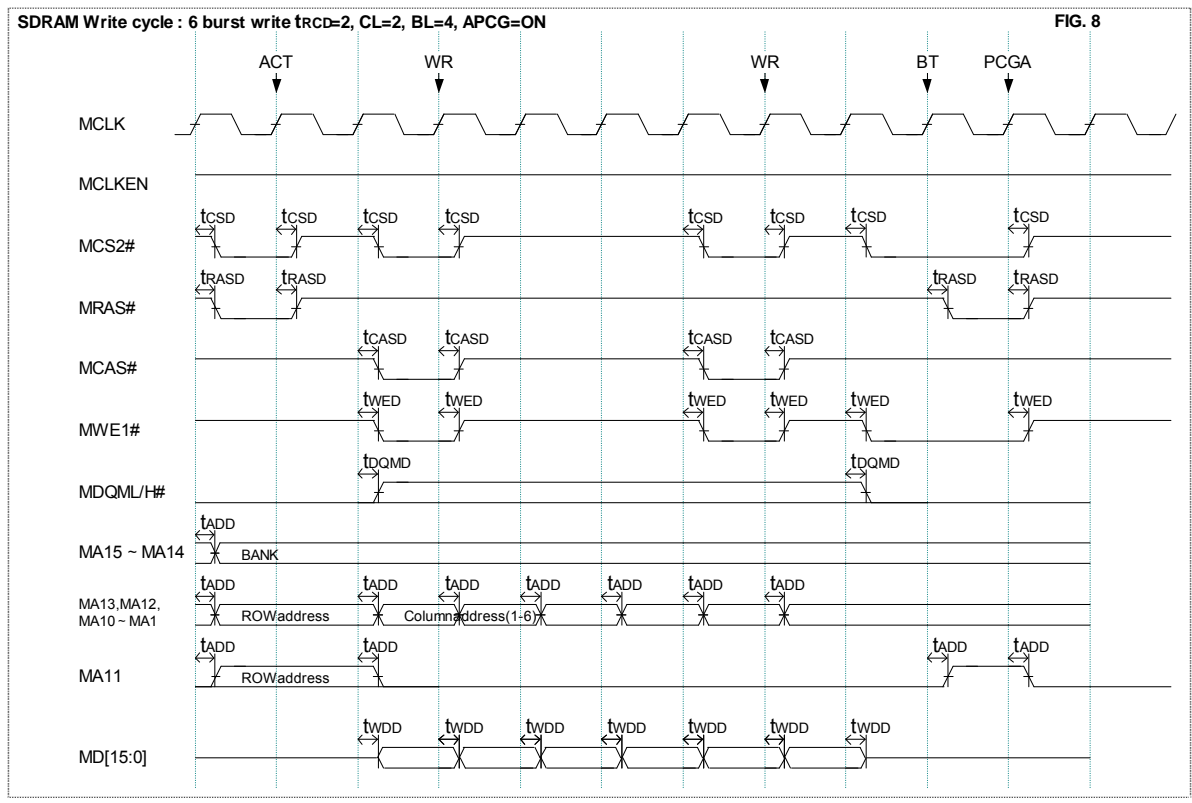


図 27.21 SDRAM ライトサイクル 4 : 6 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=ON$

SDRAM リードサイクル (Row アクティブモード)

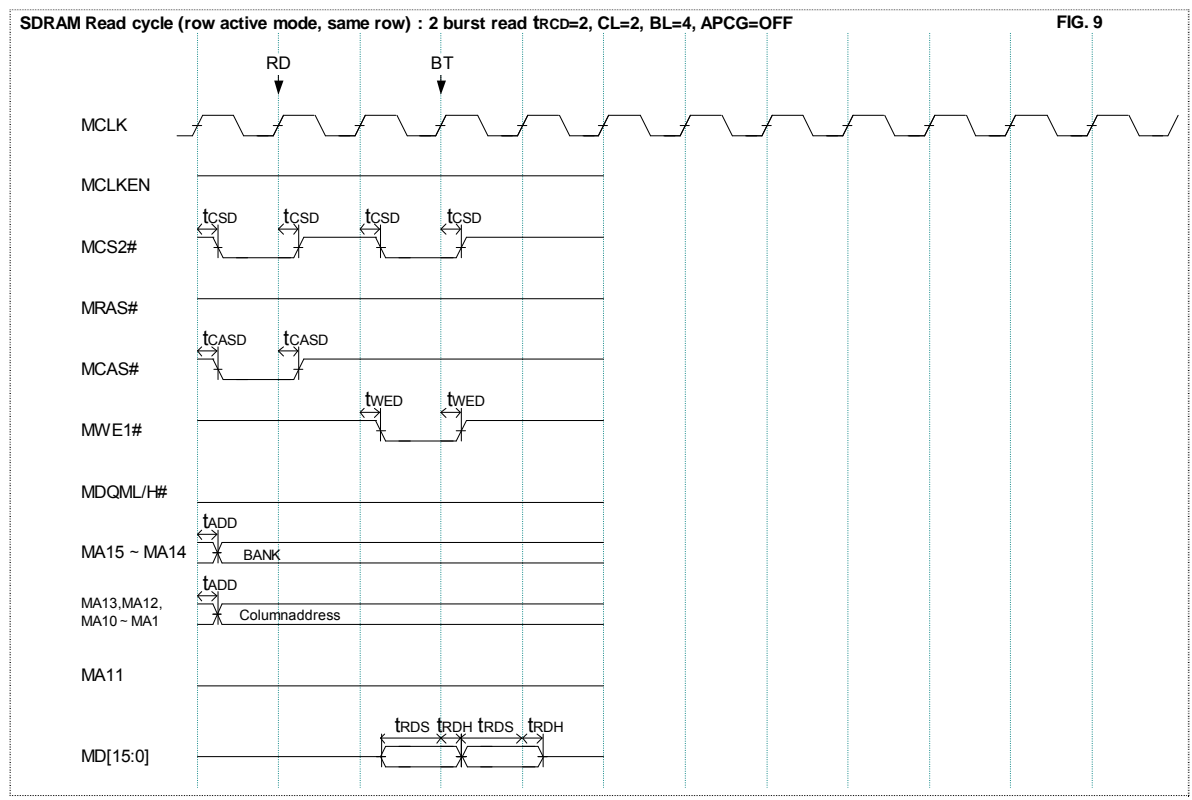


図 27.22 SDRAM リードサイクル Row アクティブモード 1 (same row) : 2 バーストリード ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

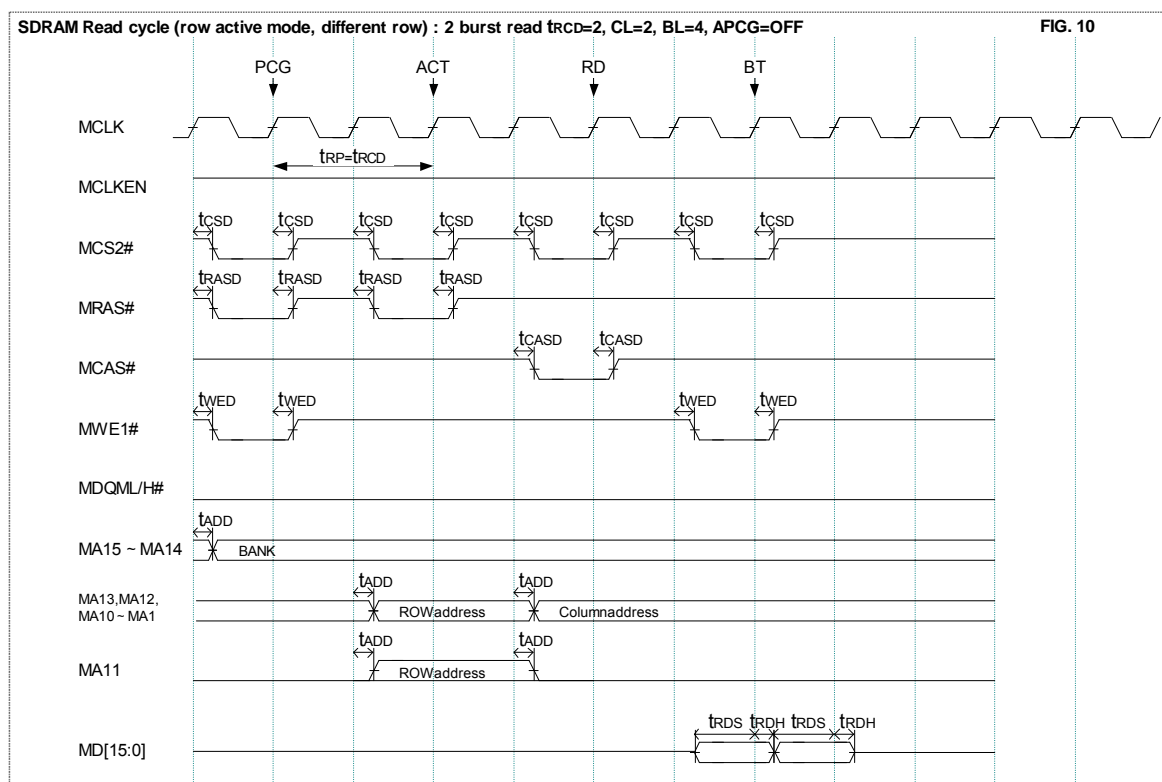


図 27.23 SDRAM ライトサイクル Row アクティブモード 2 (same row) :
2 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

SDRAM ライトサイクル (Row アクティブモード)

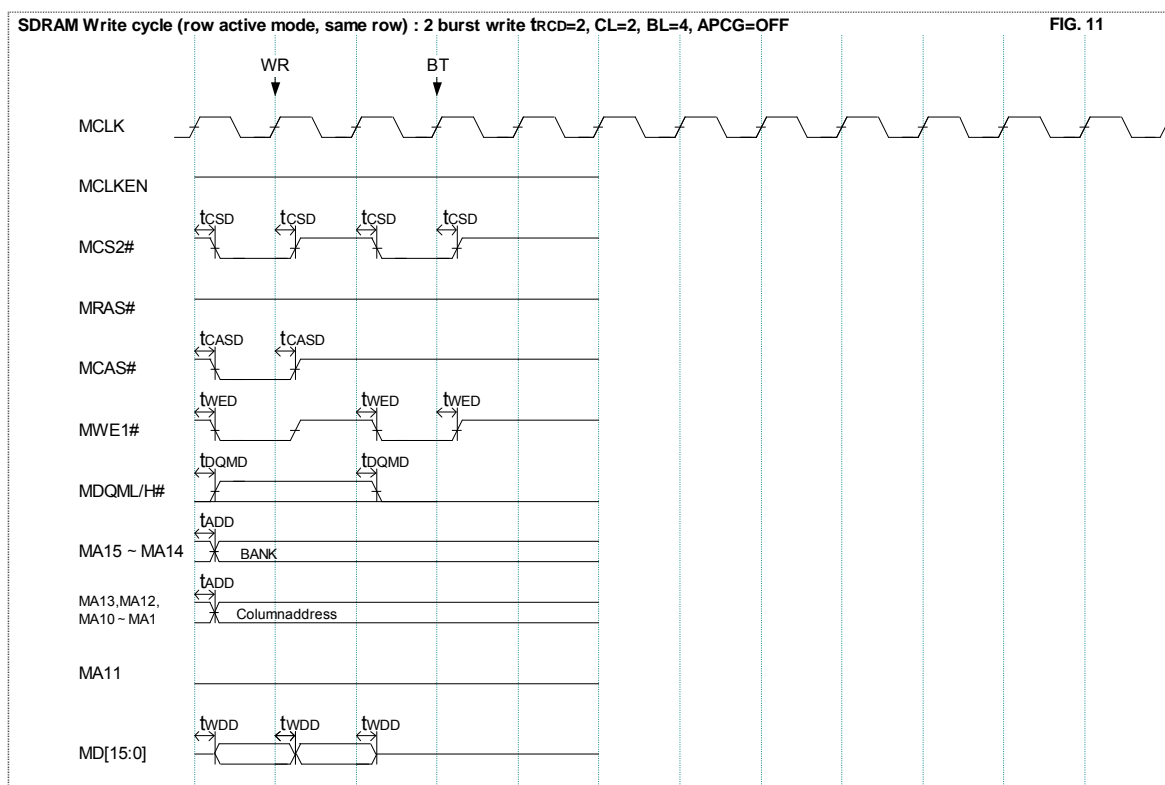


図 27.24 SDRAM ライトサイクル Row アクティブモード 1 (different row) :
2 バーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

27. 電気的特性

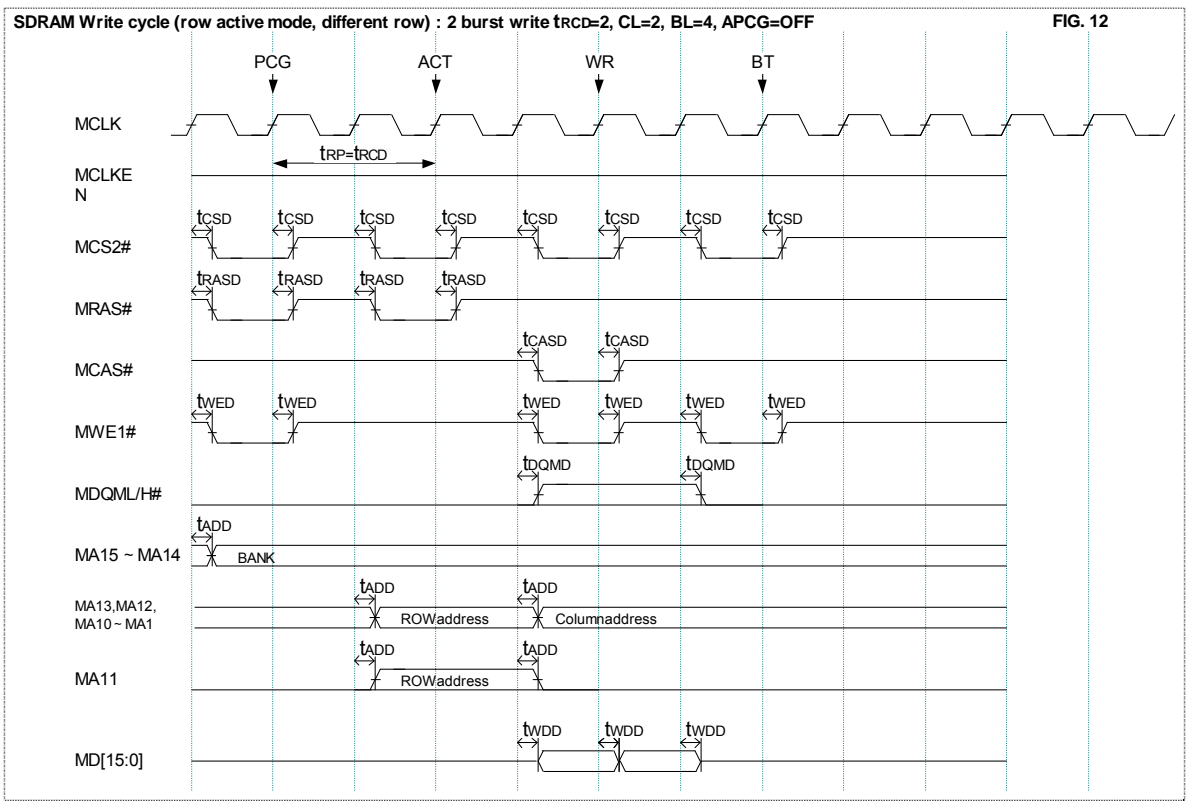


図 27.25 SDRAM ライトサイクル Row アクティブモード 2 (different row) :
2 パーストライト ; $t_{RCD}=2$, $CL=2$, $BL=4$, $APCG=OFF$

SDRAM オートリフレッシュサイクル

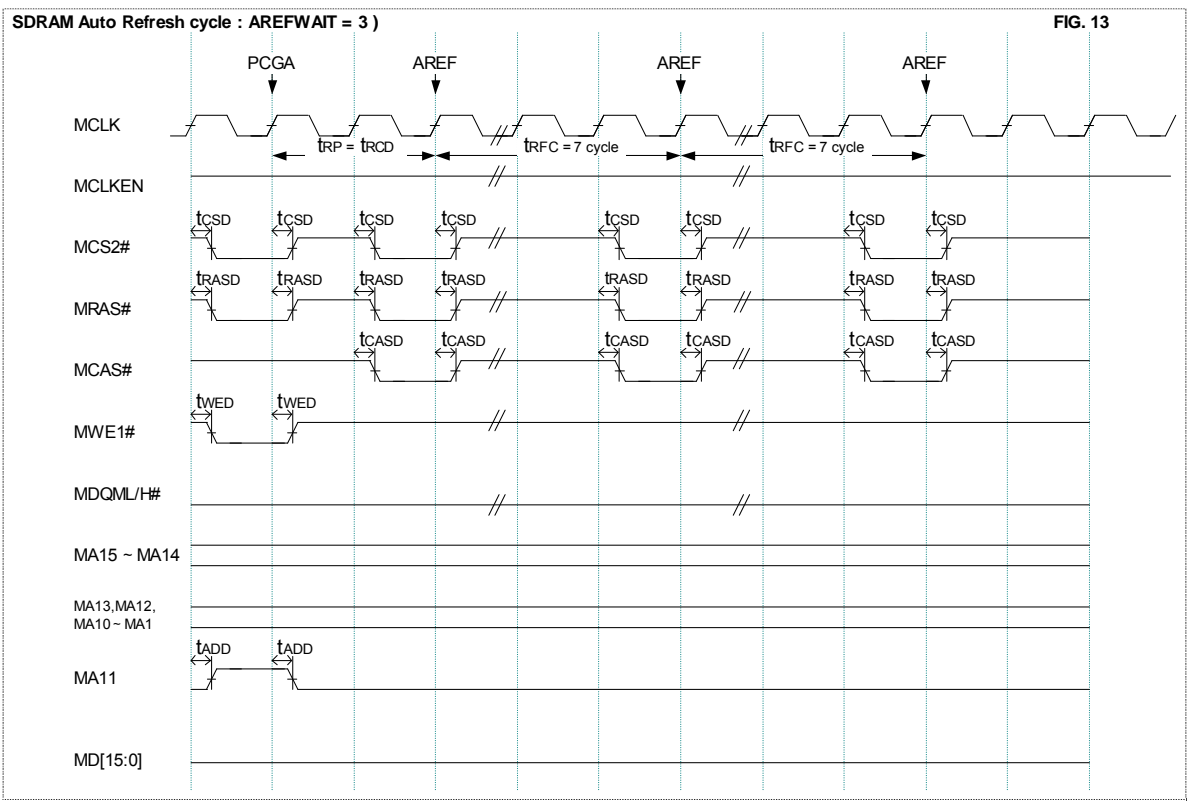


図 27.26 SDRAM オートリフレッシュサイクル : $AREFWAIT=3$

SDRAM セルフリフレッシュサイクル

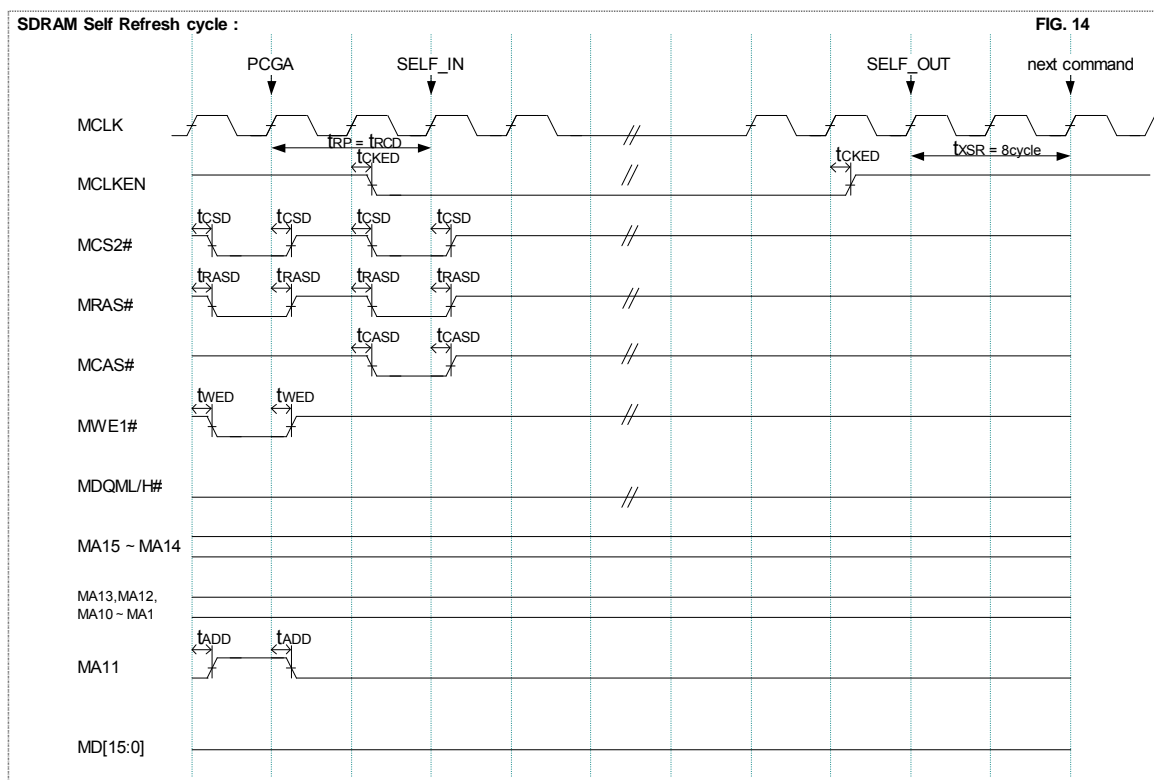


図 27.27 SDRAM セルフリフレッシュサイクル

SDRAM 初期化サイクル

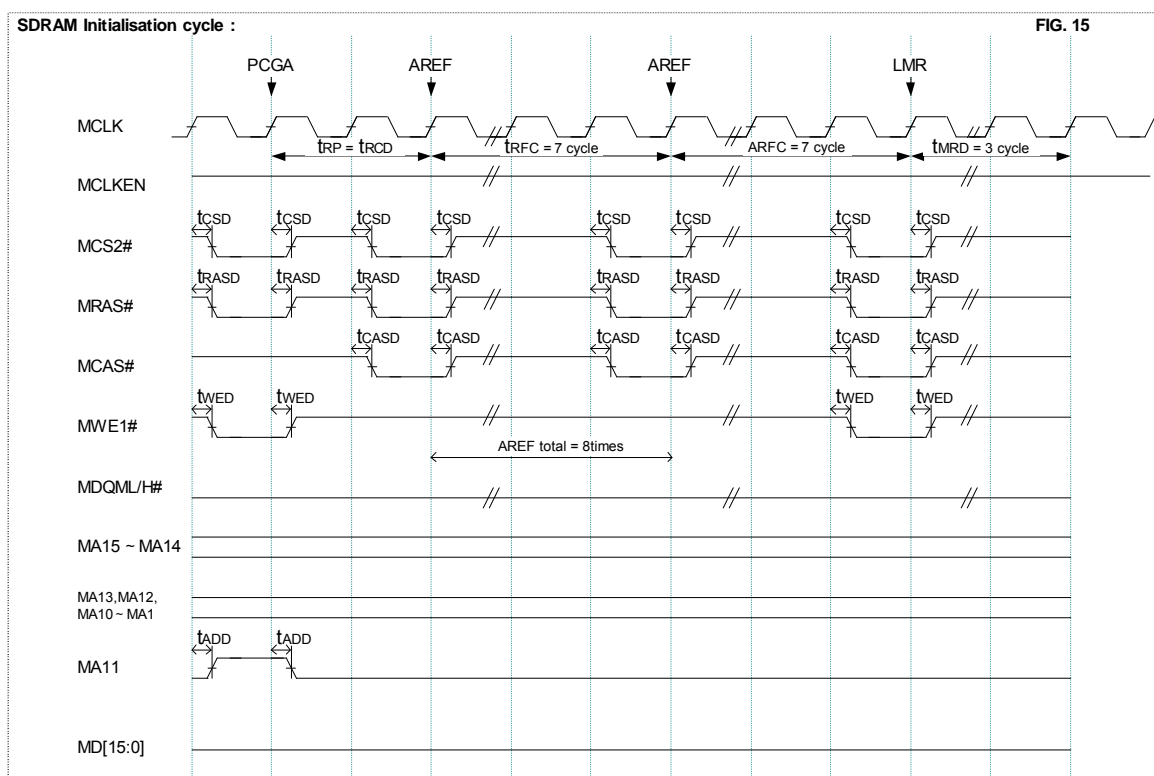


図 27.28 SDRAM 初期化サイクル

27. 電気的特性

MCLK/MCLKEN コントロール

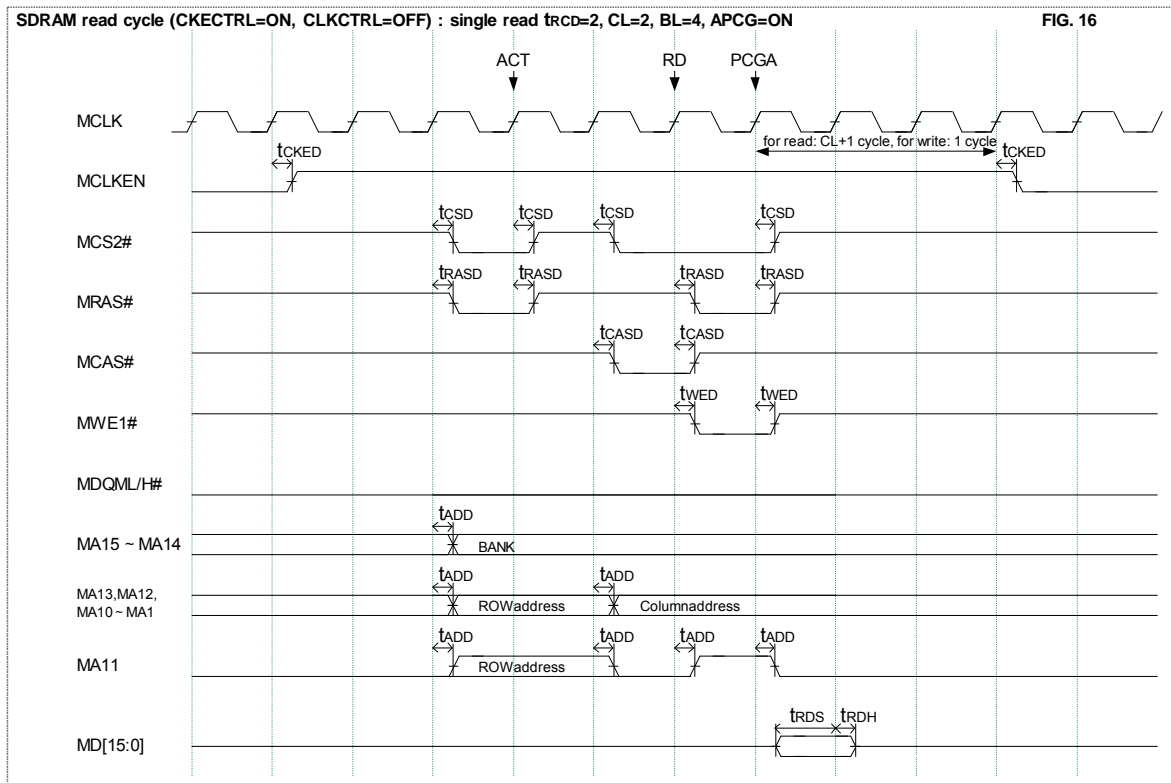


図 27.29 MCLK/MCLKEN コントロール 1 (CKECTRL=ON, CLKCTRL=OFF) : シングルリード ; $t_{RCD}=2$, CL=2, BL=4, APCG=ON

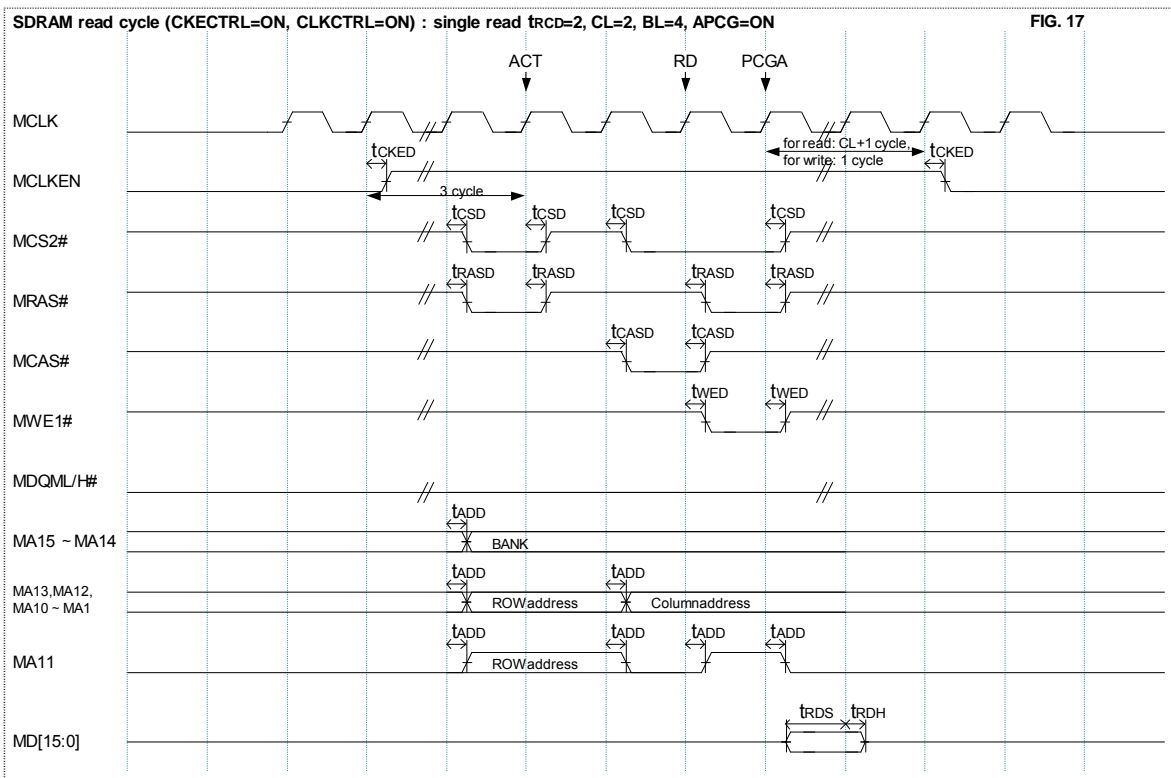


図 27.30 MCLK/MCLKEN コントロール 2 (CKECTRL=ON, CLKCTRL=ON) : シングルリード ; $t_{RCD}=2$, CL=2, BL=4, APCG=ON

27.2.3.6 I2C Single Master Core Module タイミング

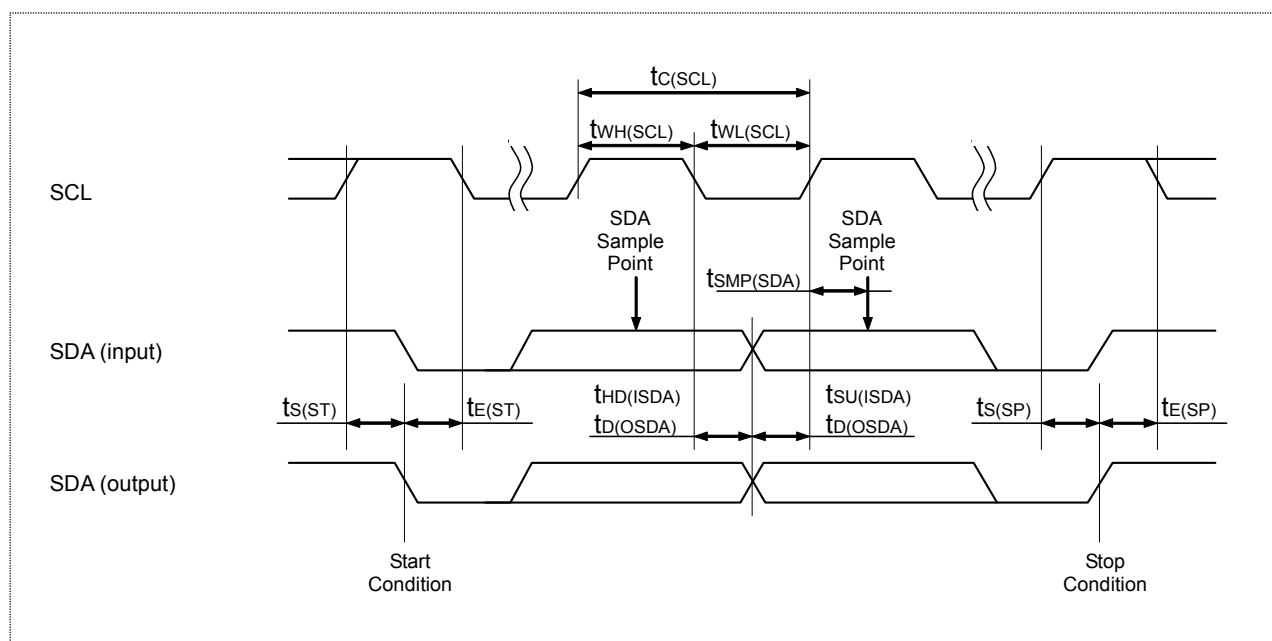


図 27.31 I2C Single Master Core Module タイミング

27.2.3.7 I2Sタイミング

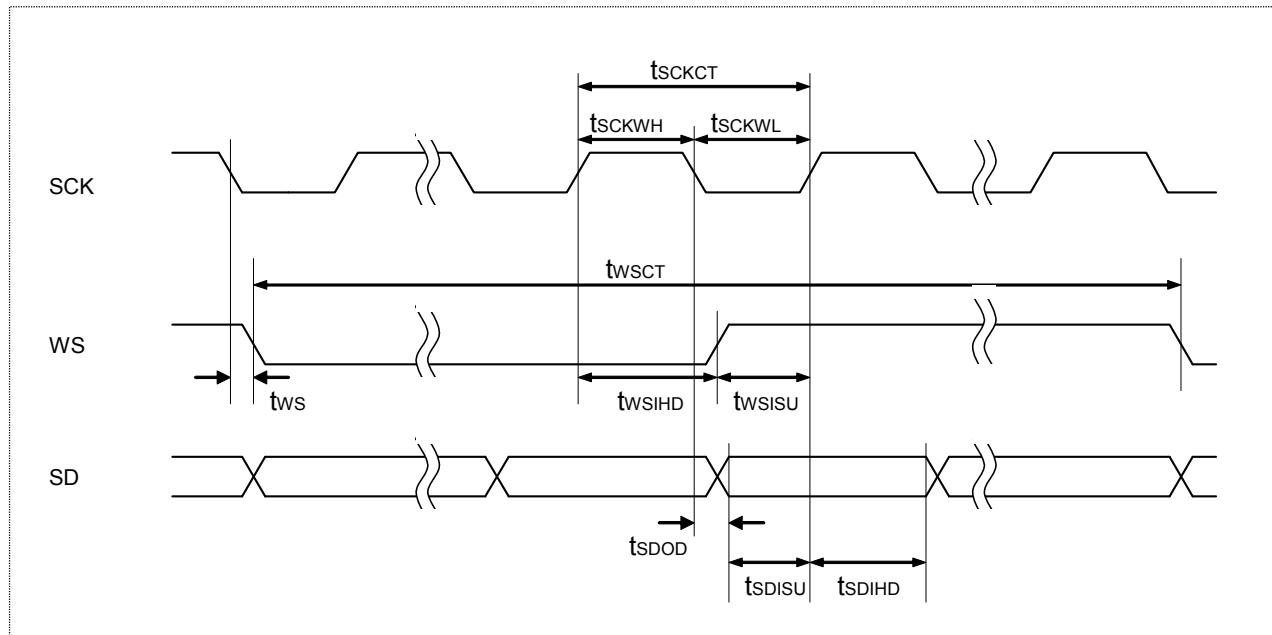


図 27.32 I2S タイミング

27. 電気的特性

27.2.3.8 シリアル周辺機器インタフェースタイミング

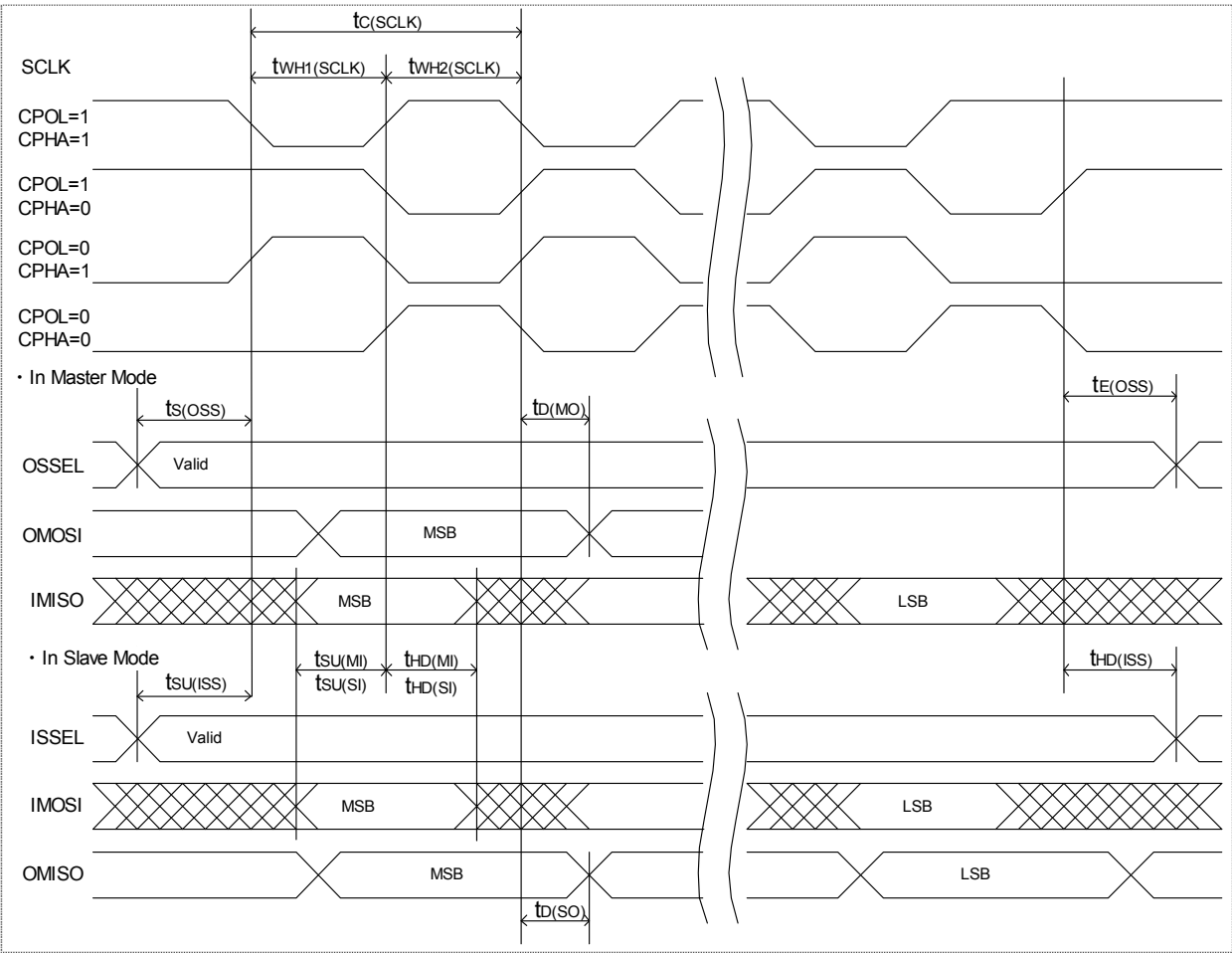


図 27.33 シリアル周辺機器インタフェースタイミング

27.2.3.9 コンパクトフラッシュインタフェース (CF) タイミング

CF Attribute Memory Read Cycle

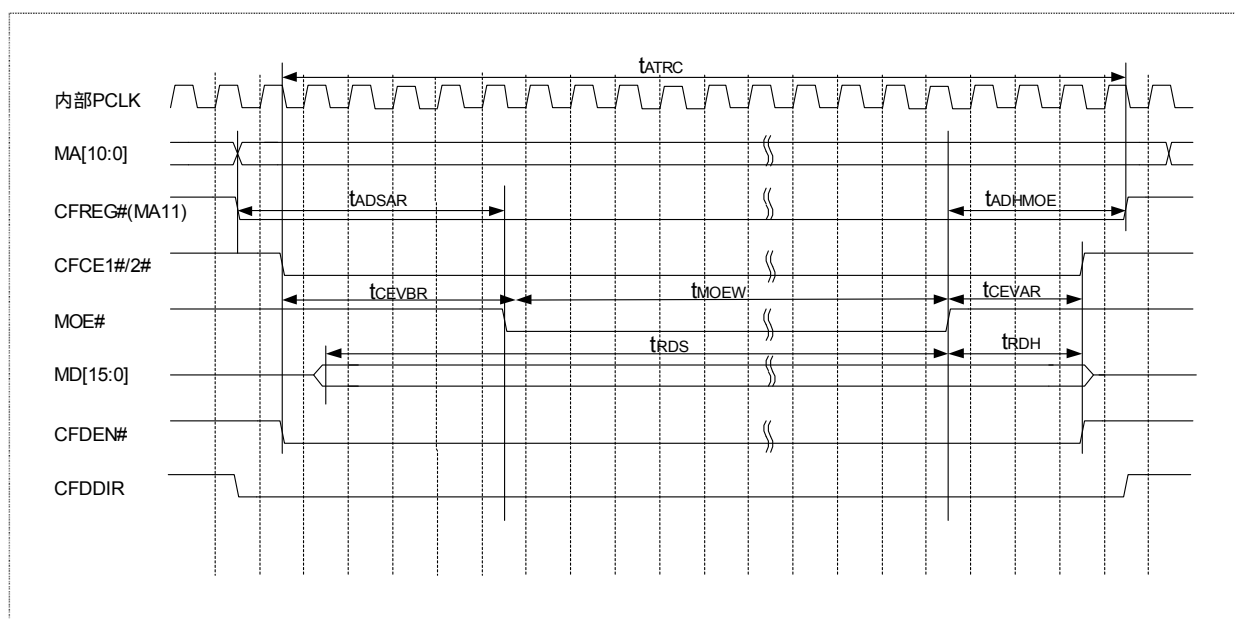


図 27.34 CF アトリビュートメモリ リードサイクル

CF Attribute Memory Write Cycle

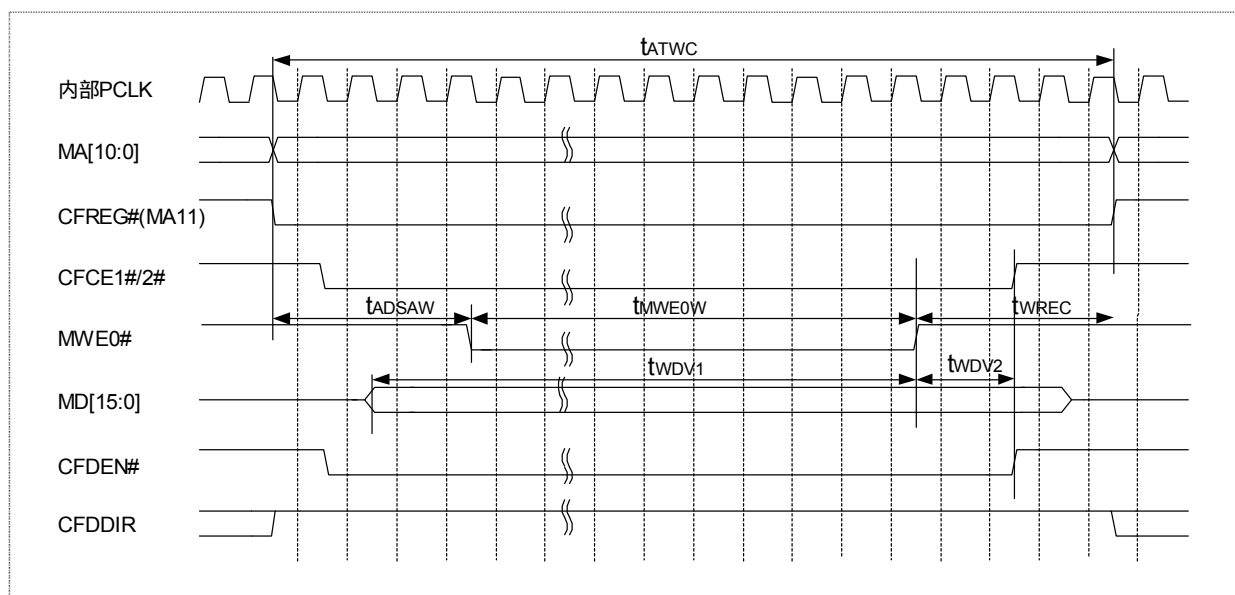


図 27.35 CF アトリビュートメモリ ライトサイクル

27. 電気的特性

CF Common Memory Read Cycle

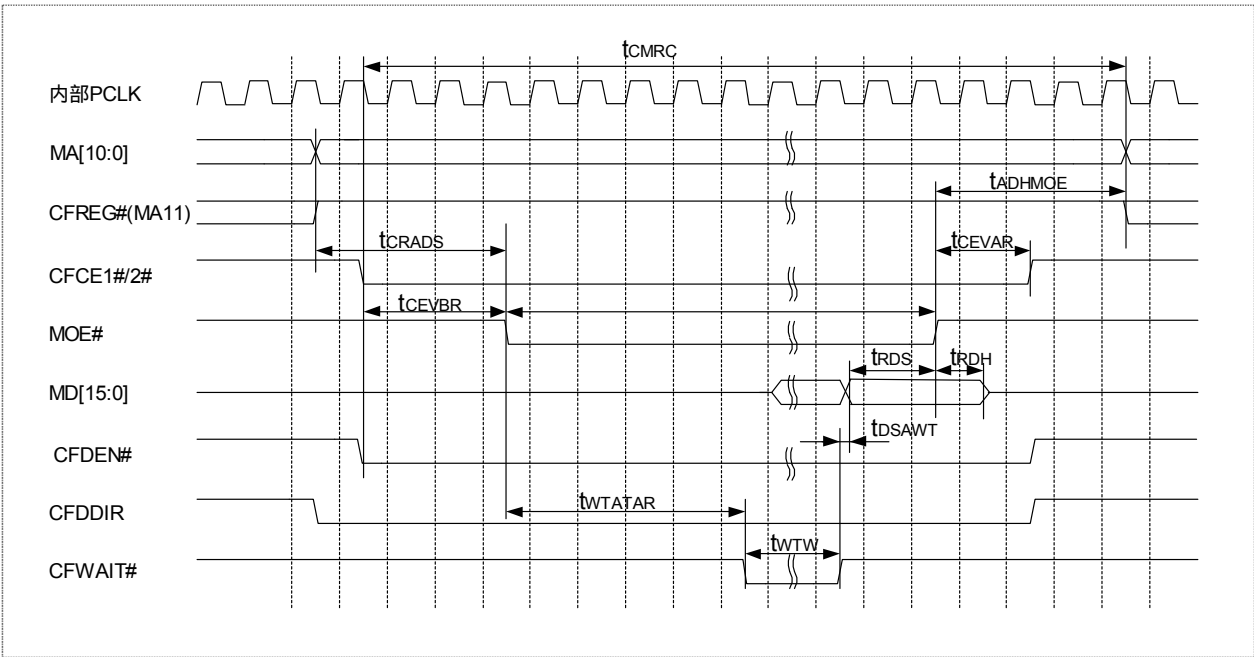


図 27.36 CF コモンメモリ リードサイクル

CF Common Memory Write Cycle

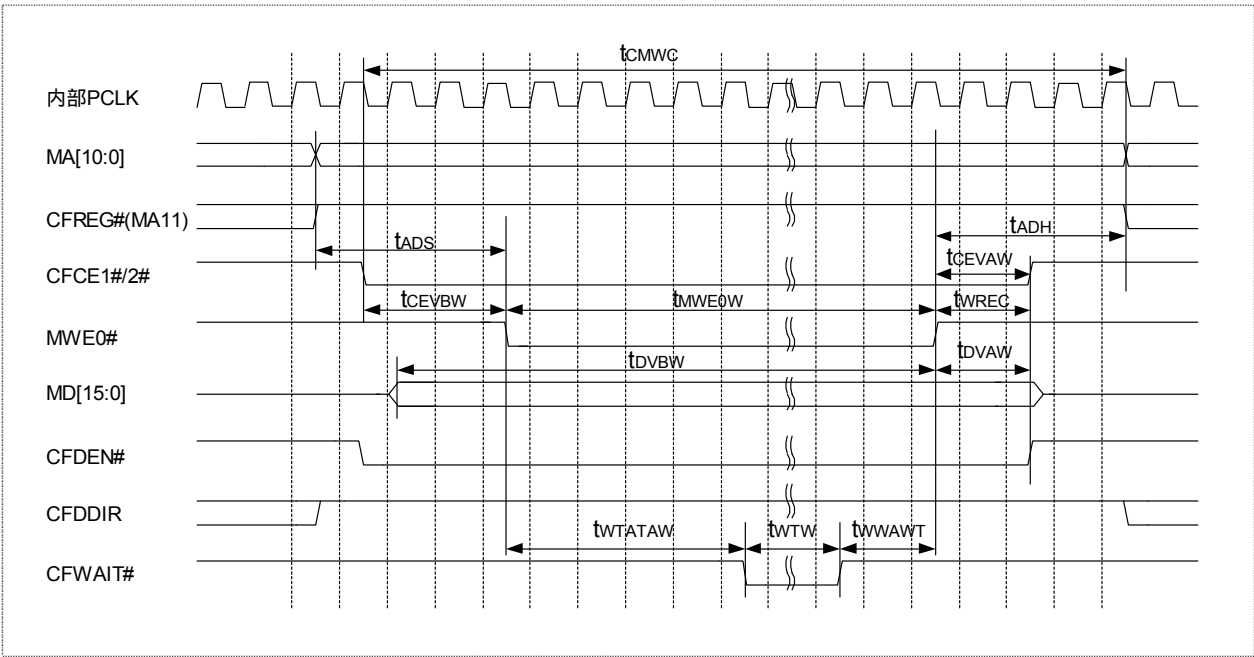


図 27.37 CF コモンメモリ ライトサイクル

CF I/O Space/IDE Read Cycle

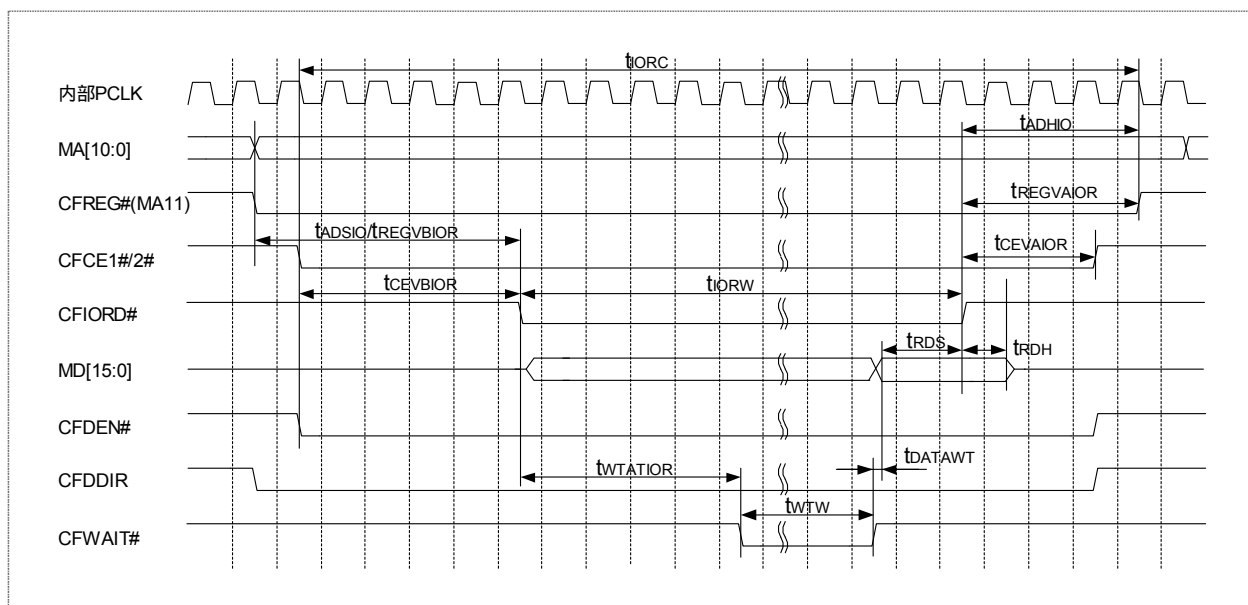


図 27.38 CF I/O 空間 / IDE リードサイクル

CF I/O Space/IDE Write Cycle

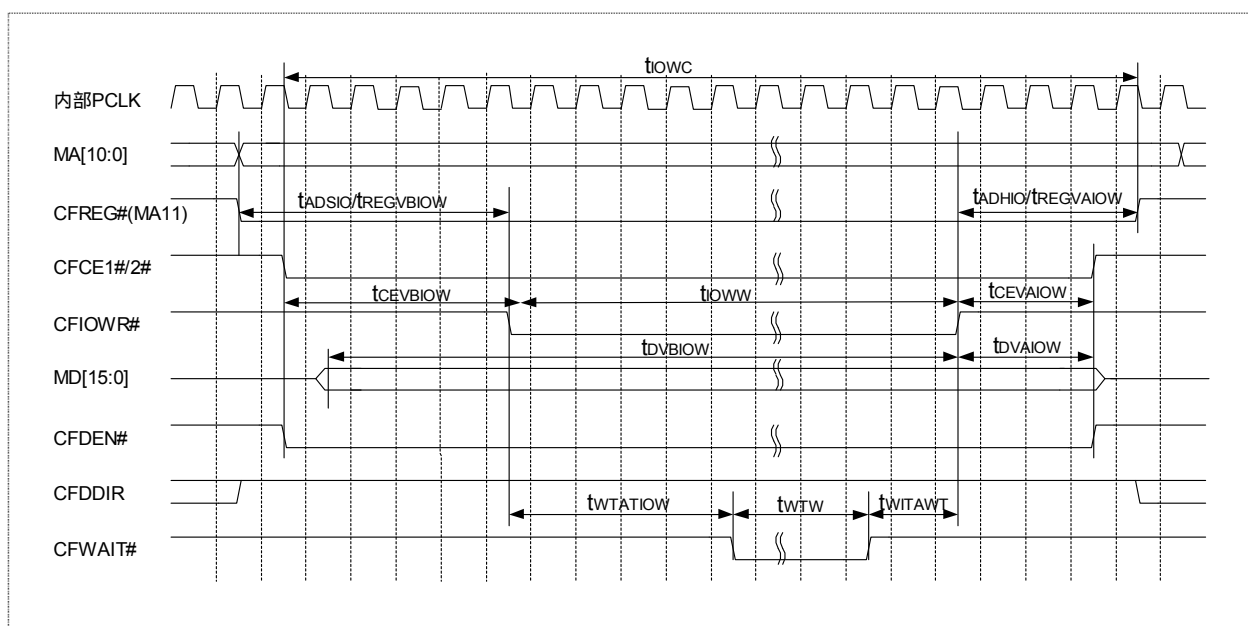


図 27.39 CF I/O 空間 / IDE ライトサイクル

28. 参考外部接続例

28.1 メモリ接続例

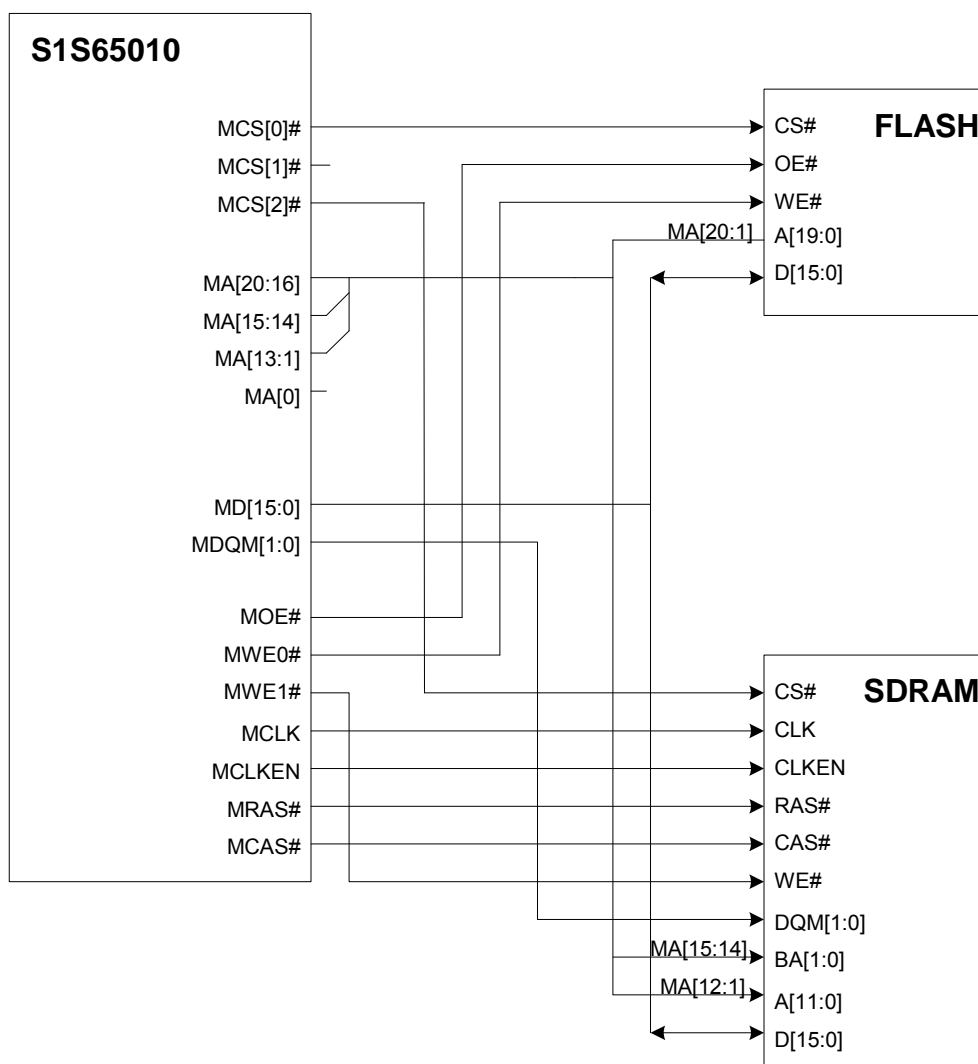


図 28.1 メモリ接続例(1)

注意：SDRAM のバンクアドレス（BA[1:0]）には MA[15:14]を接続してください。

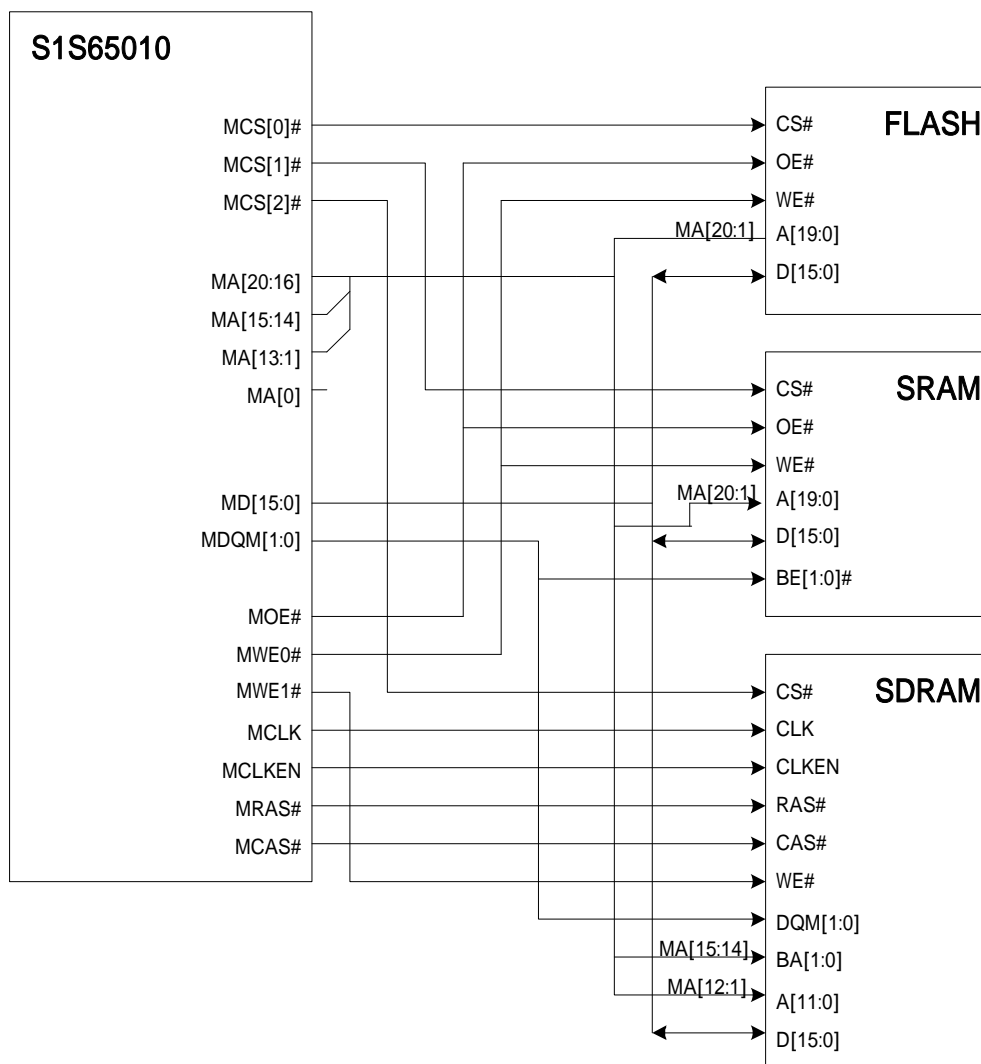


図 28.2 メモリ接続例(2)

注意：SDRAM のバンクアドレス（BA[1:0]）には MA[15:14]を接続してください。

28. 参考外部接続例

28.2 コンパクトフラッシュ接続例（16 ビットバス対応）

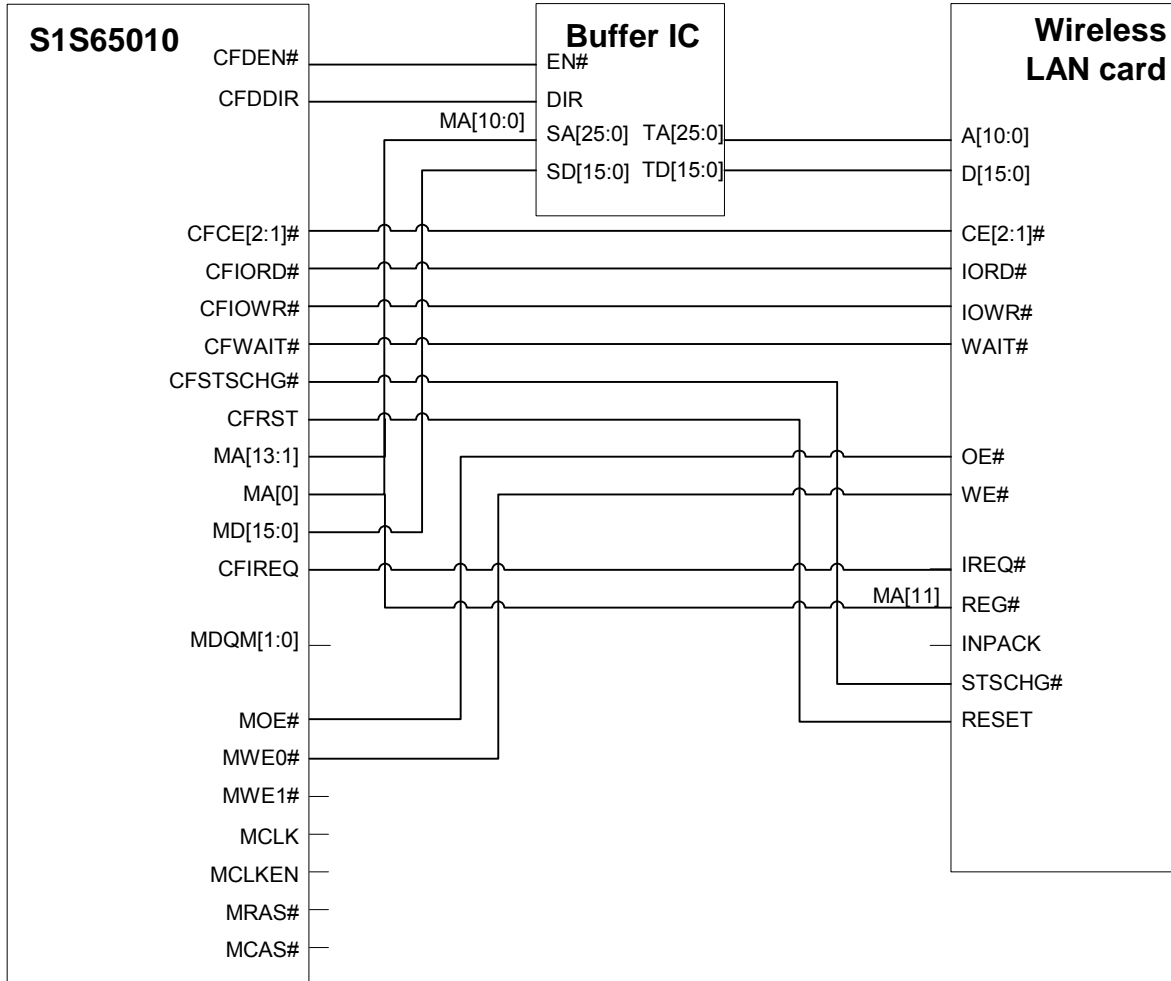
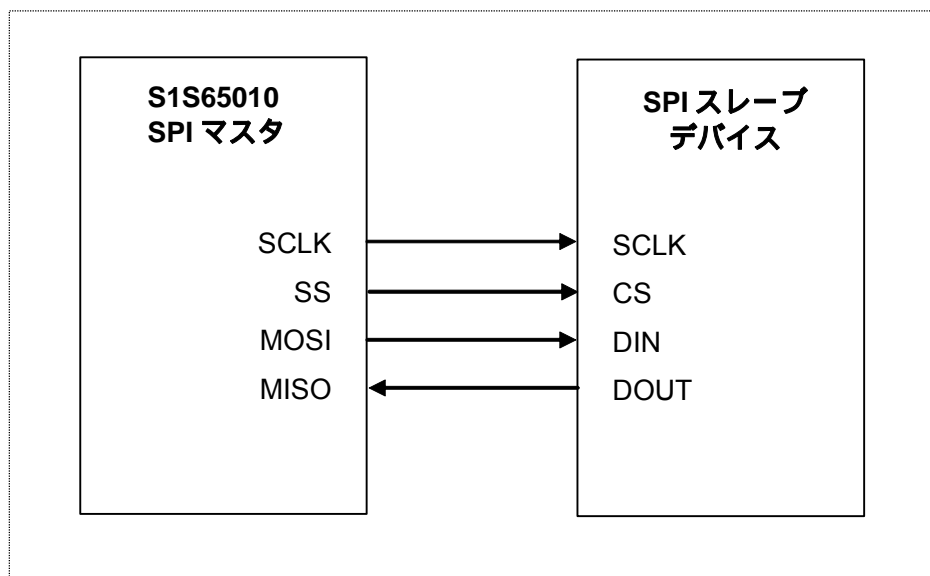


図 28.3 コンパクトフラッシュ I/F 接続例 (wireless LAN card)

28.3 シリアル周辺機器インタフェース（SPI）接続例

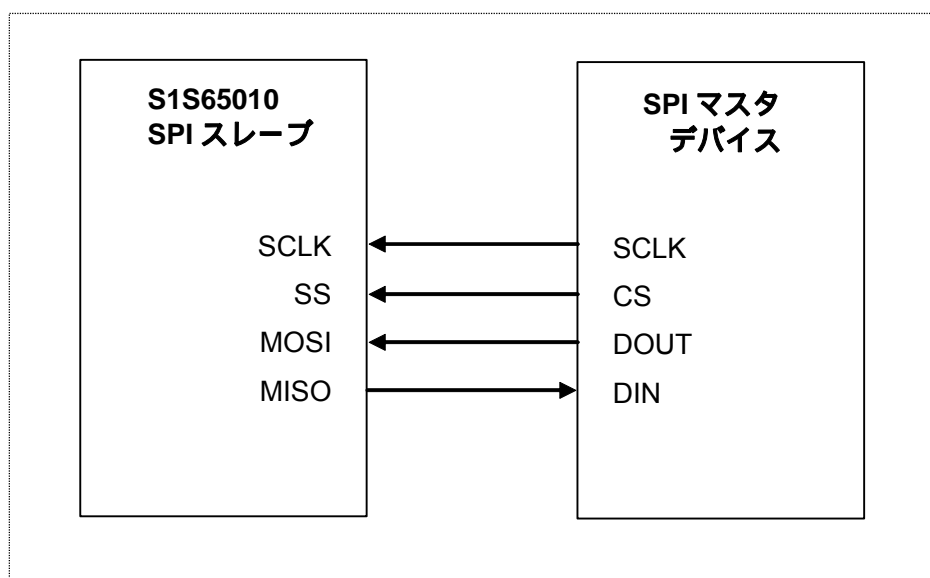
28.3.1 マスタ時

S1S65010 がマスタ時の接続例です。



28.3.2 スレーブ時

S1S65010 がスレーブ時の接続例です。

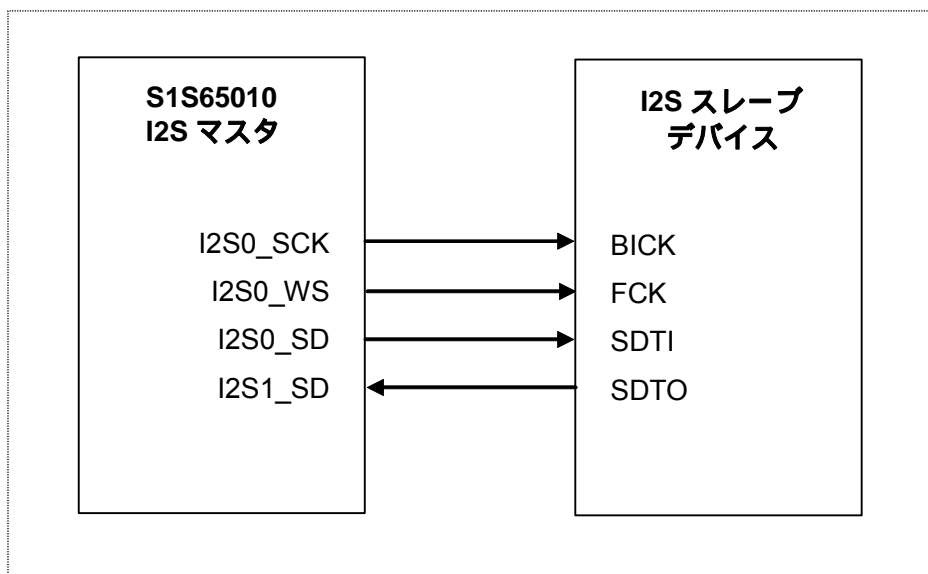


28. 参考外部接続例

28.4 I²S接続例

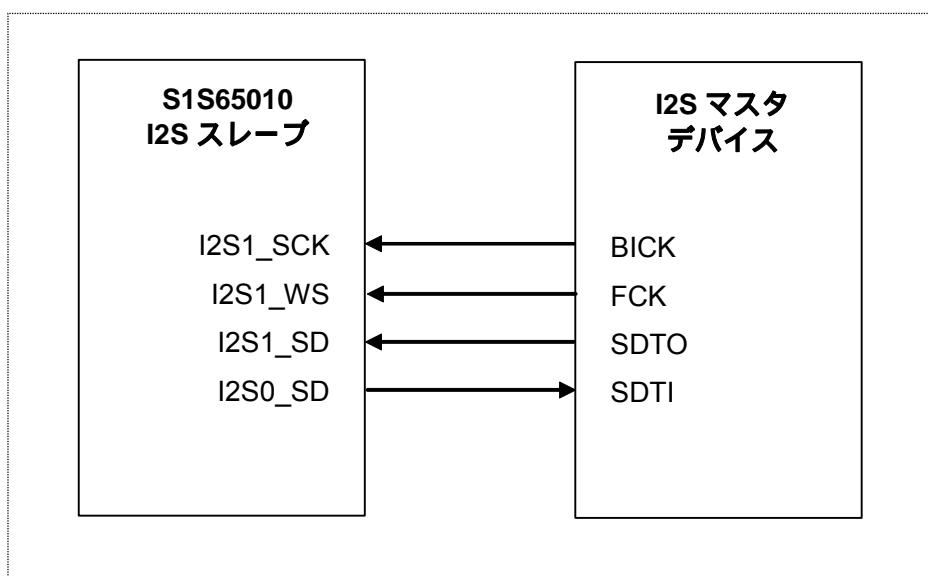
28.4.1 マスタ時

S1S65010 がマスタ時の接続例です。



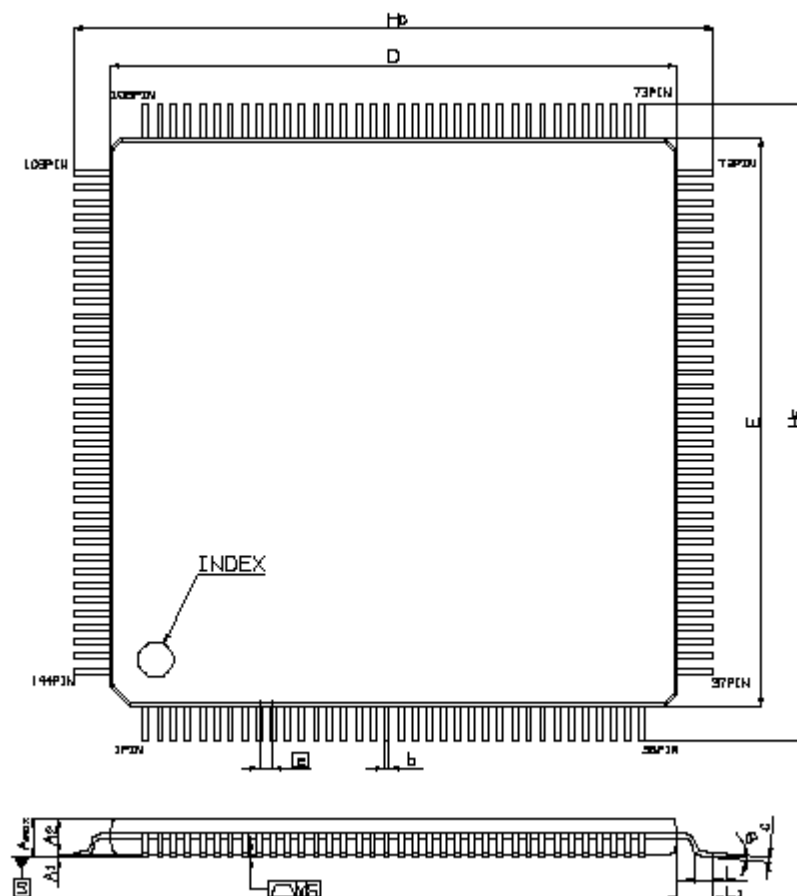
28.4.2 スレーブ時

S1S65010 がスレーブ時の接続例です。



29. 外形寸法図

29.1 Plastic TQFP 144pin Body size 16x16x1mm (TQFP24)



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	—	16	—
D	—	16	—
Amax	—	—	1.2
A1	—	0.1	—
A2	—	1	—
e	—	0.4	—
b	0.13	—	0.23
c	0.09	—	0.2
	0 °	—	8 °
L	0.3	—	0.7
L1	—	1	—
HE	—	18	—
HD	—	18	—
y	—	—	0.08

図 29.1 パッケージ寸法図 (TQFP24-144PIN)

30. 改訂履歴表

30. 改訂履歴表

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
0.1	2004/04/19	新規制定 (Preliminary)		
0.2	2004/06/21	誤記修正：主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等の修正で、内容とは無関係の修正です。		
		p.3：対応プロトコル：記載順序変更と記述追加、注意書き追加	ARP, ICMP, IP, TCP, DHCP, FTP, HTTPd, SMTP, DNS リゾルバ：	ARP, ICMP, IP, TCP, UDP(追加), HTTPd, SMTP, DHCP*, FTP*, DNS リゾルバ*, telnet* (追加)： 注意(*)：サンプルコード扱いになります。
		p.8：端子 表 3.1：RESET#	ICS	ICSU1
		p.15：表 3.2 RESET#説明追加		プルアップ抵抗付シュミットトリガ入力になっています。
		p.17：リセット中およびリセット後の端子の状態 (RESET#)	無し —	Pull Up 抵抗有り 50k
		p.56、60：取り込みリサイズ縮小率レジスタ RSZ[0xD8] 初期値	0x0001	0x8080
		p.78：JPEG ラインバッファメモリアドレスオフセットレジスタ	JLB[0xA0]	JLB[0xA4]
		p.129、135：ETH モードレジスタ 初期値	0x4000_0040	0x4000_0000
		p.135：ETH モードレジスタ ETH[0x20] bit [7:0]	上位1バイトと同様の説明	説明削除、予約 (0)
		p.139：ETH MAC アドレスレジスタ 1～8：上位 16 ビット ETH[0x34, 0x44, 0x4C, 0x54, 0x5C, 0x64, 0x6C] Bits [31:16]説明	予約	予約 () 内の記述追記
		p.140：ETH バッファマネジメントレジスタ ETH [0x90] Buffer Management Enable bit	bit 31	bit 0 ヘビット内容を移動
		p.141：ETH バッファフリーレジスタ ETH [0x94] Buffer Free bit	bit 31	bit 0 ヘビット内容を移動
		p.141：ETH バッファインフォメーションレジスタ 初期値	0x0000_0000	0x03FF_03FF
		p.159：APB 表 12.2 対応する APB Device 修正 (以下参照)		
		PW01CNF	DMAC1	予約
		PW03CNF	予約	DMAC1
		PW0ACNF	JPEG FIFO	JPEG モジュール FIFO 制御
		PW0BCNF	JPEG エンコーダ	JPEG コーデック
		PW0CCNF	JPEG マスタ	JPEG DMAC
		PW16CNF	予約	UARTL (UART Lite)
		p.163, 164：SYS[0x08]レジスタ初期値修正	0x 0421_84AE	0x 0421_D46A
		p.165：SYS[0x10]レジスタ Bits [3:0]説明最初の行	該当 Bit に“ 0 ”を書くことにより、	該当 Bit に“ 1 ”を書くことにより、
		p.199：INT 表 15.1 注意(*) IRQ[29:24, 22:20]に関する説明変更		
		p.248～：I2C 18.5 動作説明の内容を全面的に変更		

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
0.2 (続)	2004/06/21	p.288, 295 : TIM[0xA0] [0xA4]レジスタ初期値修正	0x 00XX	0x 0000
		p.339, 360 : AC 特性 表 27.10、図 27.32 追加		I2S タイミング追加
		p.369 : I2S 接続例追加		I2S 接続例追加 (マスタ時、スレーブ時)
		p.375 ~ 382 : Appendix 1	—	レジスタ一覧誤記修正
0.3	2004/07/06	6. DMA コントローラ 1 (DMAC1) 関連		
		p.29 ~ 42 : レジスタ詳細のオフセットアドレスの記述変更	DMA[0xXX]	DMAC1[0xXX]
		8. JPEG コントローラ (JPG) 関連		
		p.64,65 : JCTL[0x04]レジスタ bit3 機能削除	JPEG Codec I/O Error Frag	Reserved
		p.67,68 : JCTL[0x08]レジスタ bit3 機能削除	Raw JPEG Codec I/O Error Frag	Reserved
		p.69 : JCTL[0x0C]レジスタ bit3 機能削除	JPEG Codec I/O Error Interrupt Enable	Reserved
		9. JPEG_DMAL (JDMA) 関連		
		p.114 : JDMA[0x0C]レジスタ bit5 選択機能の変更	1 : バースト転送	1 : デマンド転送
		10. DMA コントローラ 2 (DMAC2) 関連		
		p.119 ~ 126 : レジスタ詳細のオフセットアドレスの記述変更	DMA[0xXX]	DMAC2[0xXX]
		p.118,126 : DMAC2[0x70]レジスタ新規追加	—	DMA チャネル転送終了コントロールレジスタ (TECL) 新規追加
		p.121 : DMAC2[0x0C] レジスタ bit5 選択機能の変更	1 : バースト転送	1 : デマンド転送
		p.124 : DMAC2[0x1C] レジスタ bit5 選択機能の変更	1 : バースト転送	1 : デマンド転送
		p.125:DMAC2[0x60]レジスタ bit9 機能新規追加	n/a	DPE DMA プライオリティ変更イネーブル
		13. システムコントローラ (SYS) 関連		
		p.162 : 13.2.4 フルオペレーションモードの説明削除 (最後の 2 行)	また、CPU の動作周波数、..... になっています。	削除
		19. I ² S (I2S) 関連		
		p.256 : I2S0[0x08],I2S1[0x48] レジスタ詳細説明変更	送受信ポートのアクセスサイズは、.....	1回のアクセスで読み書きできるデータは、....
		p.261 : 1.5.2 データ幅と FIFO 段数の説明全面変更	送受信ポートのアクセスサイズは、.....	1回のアクセスで読み書きできるデータは、....
0.4	2004/08/05	誤記修正 : 主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等の修正で、内容とは無関係の修正です。		
		6.DMA コントローラ 1 (DMAC1)		
		p.27 : 6.2 ブロック図	—	図 6.1 図番号、表題追加
		7.カメラインタフェース (CAM) 関連		
		p.52 : 7.5 動作説明 1 行目	最大 VGA サイズの ...	最大 UXGA サイズの ...
		8.JPEG コントローラ (JPG) 関連		

30. 改訂履歴表

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
0.4 (続)	2004/08/05	p.62 : JCTL[0x00]レジスタ bit 15 ビット名称	Encode Fast Mode (図) 高速エンコードモード (説明)	JPEG Encode Fast Mode (図) JPEG 高速エンコード モード (説明)
		p.62 : JCTL[0x00]レジスタ bit 14 ビット名称	なし	JPEG Marker Fast Output Mode (図)
		p.63 : 表 8.5	=<	
		p.65 : JCTL[0x04] bit 7, 6, 5 説明	Bit 7, 6, 5 それぞれ同 じ説明	Bit [7:5]にまとめる
		p.78 : JLB[0xC0]レジスタ初期値	0x0000	0x0000_0000
		p.103-104 : 8.5.4 JPEG コーデック機能の説明全体を改訂		
		p.103 : 8.5.4 JPEG コーデック機 能 説明 3 行目	横幅 640 画素	横幅 1600 画素
		同上	縦幅 2048 ライン	縦幅 2048 画素
		同上	VGA サイズ	UXGA サイズ
		p.103-104 : 8.5.4 JPEG コーデッ ク機能	コーデック回路 コーデックコア	コーデック回路 に用語統一
		p.103-104 : 8.5.4 JPEG コーデッ ク機能	リサイズ回路 リサイズ	リサイズ回路 に用語統一
		p.103 : ページ下方の不等式	JPEG コーデックコア が までの時間	カメラの VREF インア クティブ時間
		p.103 : ページ下から 2 行目 ~	JPEG コーデックコア がエンコードする になります。 (6 行削除)	JPEG コーデック回路の マーカ出力時間は、... 高くなります。 (5 行新規追加)
		p.104 : “ 8.5.4.2 ソフトウェアリセット処理について ” の節を削除		
		p.106 : 表 8.21	<=	
		p.xxx : “ 8.5.5.7 ソフトウェアリセット処理について ” の節を追加		
		p.xxx : “ 8.5.5.8 マーカ高出力モード ” の節を追加		
		10.DMA コントローラ 2 (DMAC2)		
		p.117 : 10.2 ブロック図	—	図 10.1 図番号、表題追加
		11.Ethernet MAC & E-DMA (ETH)		
		p.128 : 外部端子の一覧表 マルチプレクス端子	SPI2_SCLK SPI1_SCLK SPI1_MOSI SPI2_SS SPI2_MOSI SPI1_MISO SPI1_SS SPI2_MISO	すべて削除
0.5	2004/09/01	誤記修正 : 主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等 の修正で、内容とは無関係の修正です。		
		p.1,2 : 1. 概要	音声	音声 / オーディオ (データ)
		p.1 : 1.1 特長 ・項目追加	—	I2S による音声 / オー ディオデータのサポ ート
		p.1 : 1.1 特長最終行	ARM720T Rev4.2	ARM720T Rev4.3
		p.174 : Embedded Memory Control Register Bit [5:4] : EMBRAMSEL[1:0]	—	説明追加修正。 内蔵 SRAM として使用 する場合のスタートア ドレスの違いを明記。

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
0.5 (続)	2004/09/01	p.253 : 19.1 概要	音データ	音声 / オーディオデータ
		p.282 : CF Card Interface Control Register	—	Bit 6 および 5 の記述追加
		p.369 : 図 28.3 コンパクトフラッシュ I/F 接続例	インバータあり。	(S1S65010/CFIREQ 端子) に接続している図中央のインバータ削除
		p.379-386 : Appendix S1S65010 内部レジスタ	—	記載もれおよび誤記修正
1.0	2004/10/05	誤記修正 : 主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等の修正で、内容とは無関係の修正です。		
		p.8,15,17 : 端子 RESET#端子の Cell Type 誤記修正 (プルアップ抵抗なし)	ICSU1 プルアップ抵抗付 シュミットトリガ入力になっています。	ICS 左記記述削除
		p.14,16 : 端子	RTS0 CTS0	RTS0# CTS0#
		p.104 : JPEG コントローラ 8.5.4.2 JPEG コーデックレジスタに関する制限	—	節のはじめに 3 行追加
		p.216 : UART UART[0x08]bit3 使用可能	Reserved	DMAMS DMA モード選択ビット
		p.227 : UART[0x08]bit3 使用可能	UART[0x08]bit3 使用不可	利用制限事項より削除
		p.271 : SPI 図 20.4 SPI クロックの設定	—	(1) ~ (4) の番号追加
		p.273 : SPI SPI[0x08] bit9, 8	—	説明を変更 図 20.4 の内容を説明に使用
1.1	2004/11/04	p.337 : 電気的特性 表 27.1 消費電流 IDDQ (Ta=25) Max	30 (μ A)	—
1.2	2004/12/15	誤記修正 : 主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等の修正で、内容とは無関係の修正です。		
		目次前に追加 : 製品型番体系		
		目次前に追加 : 使用上の注意事項		
		p.27 : 図 6.1 レジスタ誤記修正	SAR0/1 DAR0/1 TCR0/1 CTL0/1 削除	SAR[3:0] DAR[3:0] TCR[3:0] CTL[3:0] 削除
		p.28: 7.4.1 にあったレジスタの説明を 6.4.1 へ移動	—	この章以降のレジスタに関しては以下のような省略を用いることがあります。 R/W, RO, WO, RSV. n/a ... (省略)
		p.29: 7.4.2 にあったレジスタの説明を 6.4.2 へ移動	—	特に指定の無い場合、... (省略) ... 影響をあたえません。
		p.55 : 8.1 概要 説明文中、下から 2 行目	1/15 秒以下	1/30 秒
		p.63 : 表 8.5 表題	YUV Data Type	UV Data Type

30. 改訂履歴表

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
1.2 (続)	2004/12/15	p.67 : JCTL[0x08] bit 14 レジスタ図中	JPEG Codec File Out Status	JPEG Codec File Out Raw Status
		p.75, 76 : JLB[0x80, 0x84] bit 2 説明中	JPEG ラインバッファ 割り込み制御レジスタ (bit4) に ...	JPEG ラインバッファ 割り込み制御レジスタ (bit2) に ...
		p.76 : JLB[0x88] bits [3:1] レジスタ図中	Raw JPEG Status	JPEG Status
		p.79 : JCODEC[0x00] Bit2 説明中	また、ビューリサイズ の...ます。	1 文削除
		p.119 : 図 10.1 レジスタ誤記修正	OPSR (左側)	MISC に修正 TECL 追加
		p.163 : 図 13.1, p.164 : 13.2.2 ~ 13.2.5 p.335 : 表 27.1 p.346 : 図 27.6 説明 モード名記述の統一	LOW Power State Low Power IDE FULL Operation IDLE mode	Low Speed Mode Low Speed HALT mode High Speed mode High Speed HALT mode
		p.213 : UART[0x00] ビット説明中	デバイザラッチ MSB レジスタ (UART[0x4C])	デバイザラッチ MSB レジスタ (UART[0x04])
		p.216 : UART[0x08] Bit 3 ビット説明中	注 意 : こ の ビ ッ ト は ...	注意削除
		p.298 : 22.6 見出し変更	1ms オーダ、1μs オーダの設定値	タイマ内部クロック設定例 (1kHz、1MHz)
		p.371 : 29.外形寸法図 図 29.1		最新版に差替え
1.3	2005/06/08	誤記修正：主な修正は以下の通りです。その他の修正は誤字、フォーマット/字体等の修正で、内容とは無関係の修正です。		
		表紙：コーポレートロゴの変更 p.1 : 1.2 内蔵機能 カメラ入力 / JPEG エンコードの記述追加	エプソンロゴ	タグラインロゴ
			ARM ロゴ	位置の変更 タグラインロゴと併記しないようにする。
				カメラデータ入力用ピクセルクロックは CPU クロック周波数の 2/3 未満
		p.16 : 表 4.1 システムコンフィギュレーション端子の説明 MD1 (High (1)) の説明	0	Low
			1	High
			安定時間なし(10ms)	予約 (テスト用) *
		p.26, 29, 31, 34 : チャネル 0 ~ 3 DMAC1 コントロールレジスタ Bits[11:8] リソース選択	SPIO0 入出力 (SPIIRQ)	予約
		p.53 : 図 7.3 の下 説明文追記	— (1 行目)	通常サンプリングモードでは、
			— (5 行目 ~)	高速サンプリングモードでは、・・・ (追記)
		p.93 : 図 8.5 中のレジスタ表記誤記修正	RSZ[0xC8h]bits[9:0] RSZ[0xCCh]bits[8:0] RSZ[0xD0h]bits[9:0] RSZ[0xD4h]bits[8:0]	RSZ[0xC8h]bits[10:0] RSZ[0xCCh]bits[10:0] RSZ[0xD0h]bits[10:0] RSZ[0xD4h]bits[10:0]
		8.5.4JPEG コーデック機能 p.103 : 下から 14 行目 p.104 : 1 行目	1/15 15fps	1/30 削除

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
1.3 (続)	2005/06/08	p.226, 237 : 図 16.2 UART クロック概念図 図 17.2 UART Lite クロック概念図	—	差替え ; 13.システムコントローラの UART Clock Divider Register (SYS[0x28])の説明図と同じに。
		p.277 : 21.1 CF 概要	60MHz-6MHz	50MHz-6MHz
		p.336 : AC 特性	(TBD)	削除
		p.337 : 表 27.4 CAM タイミング t _{CAM5} , t _{CAM6} , t _{CAM7}	t _{CAM5} : 4	1.6 (3.2)
			t _{CAM6} : 2	0.8 (1.6)
			t _{CAM7} : 2	0.8 (1.6)
		*2 : 説明 (追記)	—	Min 値は高速サンプリング時の値、()内は通常サンプリング時の Min 値
		p.349 : 表 27.13 (MCS0#)	—	波形変更
		p.362 : 図 27.34 (CFDIR)	—	波形変更
		p.362 ~ 364 : 図 27.34 ~ 39	CFDIR	CFDDIR
1.4	2008/01/28	p.15 : 3.3 リセット中およびリセット後の状態の一覧表	Reset 後の値 記述有	記述削除
			MA[19.0]の Reset 中の値 Low	Low (但し bit11 のみ High)
			MCS[2:0]#の Reset 中の値 High	MCS[2]#:Low MCS[1]#:High MCS[0]#:High
			MWE1#の Reset 中の値 High	Low
			MCLK の Reset 中の値 Low	MCLK(32KHz)
			MCLKEN の Reset 中の値 Low	High
			MRAS#の Reset 中の値 High	Low
		p.37, 43 : カメラステータスレジスタ 初期値	初期値 = 0x0034	初期値 = 0x0004
		p.47 : 表 8.1 レジスター一覧 0x18-0x1C 予約レジスタの Default Value	0x0000	—
		0x90-0xB8 予約レジスタ	0x90-0xB8	0x90-0x9C 0xA8-0xBC
		p.147 : 表 13.1 レジスター一覧 Embedded Memory Control Register 初期値	0x 0000_0000	0x 0000_0010

30. 改訂履歴表

Revision	年/月/日	内容		
		改訂部分	改訂前	改訂後
1.4 (続)	2008/01/28	p.164,175 : 表 14.2 レジスタ一覧の SDRAM ステータスレジスタ初期 値	0x 0000_0202	0x 0000_0002
		p.179 : 表 15.2 レジスタ一覧の IRQ/FIQ マスク前ステータスレジ スタ	—	*1 IRQ/FIQ マ ス ク 前 ス テータスレジスタの初 期値は、システムの構成 条件により変化します。
		p.186, 188 : 割り込み識別レジス タ初期値	0x00	0x01
		p.202, 204 : 割り込み識別レジス タ初期値	0x00	0x01
		p.239, 240 :	—	図 20.5 スレーブモード 時のクロック改定
		p.249, 251, 252: 表 21.3 レジスタ 一覧 CF Card Pin Status Register CF IRQ Source & Clear Register 初期値	0x00XX 0x0000	0x0XXX 0x0XXX
		p.268 : RTC ラン / ストップ 制御レジスタの bit1 の “ 1 ” セッ ト	同時に書くことでは プリスケアラカウン タと 128-1Hz カウン タのみリセットしま す。	同時に書くことで、プリ スケアラ及び分周タイ マをリセットします。
		p.277, 278 : 表 24.1 レジスタ一覧 のウォッチドッグタイマ制御レジ スタ初期値	0x0000_A500	0x0000_0000
		P281, 282, 283, 284 : GPIOA/B/C/D/E データレジスタ	—	初期値は GPIOA/B/C/D/E 端子に 対応した値になります。

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値* ¹ (h)	R/W	データ アクセス サイズ* ² (bit)
0x FFFE_0000	APBブリッジ関連レジスタ	APB			
0x FFFE_0000	APB WAIT0 レジスタ	APBWAIT0	0x 0040_0500	R/W	32
0x FFFE_0004	APB WAIT1 レジスタ	APBWAIT1	0x 0000_0000	R/W	32
0x FFFE_2000	Ethernet MAC 関連レジスタ	ETH			
0x FFFE_2000	割り込みステータスレジスタ		0x 0000_0000	RO	32
0x FFFE_2004	割り込みイネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFE_2008	リセットレジスタ		0x 0000_2000	R/W	32
0x FFFE_200C	PHY ステータスレジスタ		0x 0000_0000	RO	32
0x FFFE_2010	DMA コマンドレジスタ		0x 0000_0000	R/W	32
0x FFFE_2018	TX DMA ポインタレジスタ		0x 0000_0000	R/W	32
0x FFFE_201C	RX DMA ポインタレジスタ		0x 0000_0000	R/W	32
0x FFFE_2020	モードレジスタ		0x 4000_0000	R/W	32
0x FFFE_2024	TX モードレジスタ		0x 0000_0000	R/W	32
0x FFFE_2028	RX モードレジスタ		0x 0000_0000	R/W	32
0x FFFE_202C	MIIM レジスタ		0x 0000_0000	R/W	32
0x FFFE_2030	MAC アドレスレジスタ 1: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_2034	MAC アドレスレジスタ 1: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2038	MAC アドレスレジスタ 2: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_203C	MAC アドレスレジスタ 2: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2040	MAC アドレスレジスタ 3: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_2044	MAC アドレスレジスタ 3: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2048	MAC アドレスレジスタ 4: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_204C	MAC アドレスレジスタ 4: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2050	MAC アドレスレジスタ 5: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_2054	MAC アドレスレジスタ 5: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2058	MAC アドレスレジスタ 6: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_205C	MAC アドレスレジスタ 6: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2060	MAC アドレスレジスタ 7: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_2064	MAC アドレスレジスタ 7: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2068	MAC アドレスレジスタ 8: 下位 32 ビット		0x 0000_0000	R/W	32
0x FFFE_206C	MAC アドレスレジスタ 8: 上位 16 ビット		0x 0000_0000	R/W	32
0x FFFE_2070	フローコントロールレジスタ		0x 0000_0000	R/W	32
0x FFFE_2074	ポーズリクエストレジスタ		0x 0000_0000	R/W	32
0x FFFE_2078	ポーズフレームデータレジスタ 1		0x 0000_0000	R/W	32
0x FFFE_207C	ポーズフレームデータレジスタ 2		0x 0000_0000	R/W	32
0x FFFE_2080	ポーズフレームデータレジスタ 3		0x 0000_0000	R/W	32
0x FFFE_2084	ポーズフレームデータレジスタ 4		0x 0000_0000	R/W	32
0x FFFE_2088	ポーズフレームデータレジスタ 5		0x 0000_0000	R/W	32
0x FFFE_2090	バッファマネジメンティネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFE_2094	バッファフリーレジスタ		0x 0000_0000	R/W	32
0x FFFE_2098	バッファインフォメーションレジスタ		0x 03FF_03FF	R/W	32
0x FFFE_209C	ポーズインフォメーションレジスタ		0x 0000_0000	R/W	32
0x FFFE_20A0 ~ 0x FFFE_20AC	予約		—	—	—
0x FFFE_20F0	TX FIFO ステータスレジスタ		0x 4000_0000	RO	32
0x FFFE_20F4	RX FIFO ステータスレジスタ		0x 4000_0000	RO	32
0x FFFE_20F8 ~ 0x FFFE_20FC	予約		—	—	—
0x FFFE_3000	DMA コントローラ 1 関連レジスタ	DMAC1			
0x FFFE_3000	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0x XXXX_XXXX	R/W	32
0x FFFE_3004	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0x XXXX_XXXX	R/W	32
0x FFFE_3008	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x 00XX_XXXX	R/W	32
0x FFFE_300C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x 0000_0000	R/W	32

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFE_3010	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0x XXXX_XXXX	R/W	32
0x FFFE_3014	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0x XXXX_XXXX	R/W	32
0x FFFE_3018	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x 00XX_XXXX	R/W	32
0x FFFE_301C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x 0000_0000	R/W	32
0x FFFE_3020	DMA チャンネル 2 ソースアドレスレジスタ	SAR2	0x XXXX_XXXX	R/W	32
0x FFFE_3024	DMA チャンネル 2 デスティネーションアドレスレジスタ	DAR2	0x XXXX_XXXX	R/W	32
0x FFFE_3028	DMA チャンネル 2 転送カウントレジスタ	TCR2	0x 00XX_XXXX	R/W	32
0x FFFE_302C	DMA チャンネル 2 コントロールレジスタ	CTL2	0x 0000_0000	R/W	32
0x FFFE_3030	DMA チャンネル 3 ソースアドレスレジスタ	SAR3	0x XXXX_XXXX	R/W	32
0x FFFE_3034	DMA チャンネル 3 デスティネーションアドレスレジスタ	DAR3	0x XXXX_XXXX	R/W	32
0x FFFE_3038	DMA チャンネル 3 転送カウントレジスタ	TCR3	0x 00XX_XXXX	R/W	32
0x FFFE_303C	DMA チャンネル 3 コントロールレジスタ	CTL3	0x 0000_0000	R/W	32
0x FFFE_3060	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x 0000_0000	R/W	32
0x FFFE_6000	CF インタフェース制御関連レジスタ	CF			
0x FFFE_6000	CF Card Interface Control Register	CFCTL	0x 1000	(R/W)	16
0x FFFE_6004	CF Card Pin Status Register	CFPINSTS	0x 0XXX	RO	16
0x FFFE_6008	CF Card IRQ Source & Clear Register	CFINTRSTS	0x 0XXX	R/W	16
0x FFFE_600C	CF Card IRQ Enable Register	CFINTMSTS	0x 0000	R/W	16
0x FFFE_6010	CF Card IRQ Status Register	CFINTSTS	0x 0000	RO	16
0x FFFE_6014	CF Card MISC Register	CFMISC	0x 0000	R/W	16
0x FFFE_8000	カメラインタフェース関連レジスタ	CAM			
0x FFFE_8000	カメラクロック周期設定レジスタ		0x 0000	R/W	16
0x FFFE_8004	カメラ信号設定レジスタ		0x 0000	R/W	16
0x FFFE_8008 ~ 0x FFFE_801C	予約		—	—	—
0x FFFE_8020	カメラモード設定レジスタ		0x 0000	R/W	16
0x FFFE_8024	カメラフレーム制御レジスタ		0x 0000	R/W	16
0x FFFE_8028	カメラコントロールレジスタ		0x 0000	WO	16
0x FFFE_802C	カメラステータスレジスタ		0x 0004	RO	16
0x FFFE_8030 ~ 0x FFFE_805C	予約		—	—	—
0x FFFE_9000	JPEG リサイズ関連レジスタ	RSZ			
0x FFFE_9060	グローバルリサイザ制御レジスタ		0x 0000	WO	16
0x FFFE_9064	キャプチャ制御ステートレジスタ		0x 0000	RO	16
0x FFFE_9068	キャプチャデータ設定レジスタ		0x 0000	R/W	16
0x FFFE_9070- 0x FFFE_907C	予約レジスタ		0x 0000	R/W	16
0x FFFE_90C0	取り込みリサイズ制御レジスタ		0x 0000	R/W	16
0x FFFE_90C8	取り込みリサイズスタート X 座標レジスタ		0x 0000	R/W	16
0x FFFE_90CC	取り込みリサイズスタート Y 座標レジスタ		0x 0000	R/W	16
0x FFFE_90D0	取り込みリサイズエンド X 座標レジスタ		0x 027F	R/W	16
0x FFFE_90D4	取り込みリサイズエンド Y 座標レジスタ		0x 01DF	R/W	16
0x FFFE_90D8	取り込みリサイズ縮小率レジスタ		0x 8080	R/W	16
0x FFFE_90DC	取り込みリサイズ縮小モードレジスタ		0x 0000	R/W	16
0x FFFE_A000	JPEG モジュールレジスタ	JCTL			
0x FFFE_A000	JPEG 制御レジスタ		0x 0000	R/W	16
0x FFFE_A004	JPEG ステータスフラグレジスタ		0x 8080	R/W	16

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFE_A008	JPEG ロウステータスフラグレジスタ		0x 8080	RO	16
0x FFFE_A00C	JPEG 割り込み制御レジスタ		0x 0000	R/W	16
0x FFFE_A010	予約レジスタ		0x 0080	RO	16
0x FFFE_A014	JPEG コーデックスタートストップ 制御レジスタ		0x 0000	WO	16
0x FFFE_A018 ~ 0x FFFE_A01C	予約レジスタ		—	—/—	16
0x FFFE_A020	ハフマンテーブル自動設定レジスタ		—	R/W	16
0x FFFE_A040	JPEG FIFO 設定レジスタ	JFIFO			
0x FFFE_A040	JPEG FIFO 制御レジスタ		0x 0000	R/W	16
0x FFFE_A044	JPEG FIFO ステータスレジスタ		0x 8001	RO	16
0x FFFE_A048	JPEG FIFO サイズレジスタ		0x 003F	R/W	16
0x FFFE_A04C	JPEG FIFO リード/ライトポートレジスタ		0x 0000_0000	R/W	32
0x FFFE_A050 ~ 0x FFFE_A058	予約レジスタ		—	—	16
0x FFFE_A060	エンコードサイズリミットレジスタ 0		0x 0000	R/W	16
0x FFFE_A064	エンコードサイズリミットレジスタ 1		0x 0000	R/W	16
0x FFFE_A068	エンコードサイズ結果レジスタ 0		0x 0000	RO	16
0x FFFE_A06C	エンコードサイズ結果レジスタ 1		0x 0000	RO	16
0x FFFE_A070 ~ 0x FFFE_A078	予約レジスタ		—	—	16
0x FFFE_A080	JPEG ラインバッファ設定レジスタ	JLB			
0x FFFE_A080	JPEG ラインバッファステータスフラグ レジスタ		0x 0000	R/W	16
0x FFFE_A084	JPEG ラインバッファロウステータスフラグ レジスタ		0x 0000	RO	16
0x FFFE_A088	JPEG ラインバッファカレントステータス フラグレジスタ		0x 0009	RO	16
0x FFFE_A08C	JPEG ラインバッファ割り込み制御レジスタ		0x 0000	R/W	16
0x FFFE_A090 ~ 0x FFFE_A0B8	予約レジスタ		—	—	16
0x FFFE_A0A0	JPEG ラインバッファ水平ピクセル 許容サイズレジスタ		0x 2800	R/W	16
0x FFFE_A0A4	JPEG ラインバッファメモリアドレス オフセットレジスタ		0x 0030	R/W	16
0x FFFE_A0A8 ~ 0x FFFE_A0BC	予約レジスタ		—	—	16
0x FFFE_A0C0	JPEG ラインバッファリード/ライトポート レジスタ		0x 0000	R/W	16
0x FFFE_B000	JPEG コーデックレジスタ	JCOCEC			
0x FFFE_B000	動作モード設定レジスタ		0x 0000	R/W	16
0x FFFE_B004	コマンド設定レジスタ		Not applicable	WO	16
0x FFFE_B008	JPEG 動作ステータスレジスタ		0x 0000	RO	16
0x FFFE_B00C	量子化テーブル番号レジスタ		0x 0000	R/W	16
0x FFFE_B010	ハフマンテーブル番号レジスタ		0x 0000	R/W	16
0x FFFE_B014	DRI 設定レジスタ 0		0x 0000	R/W	16
0x FFFE_B018	DRI 設定レジスタ 1		0x 0000	R/W	16
0x FFFE_B01C	垂直ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFE_B020	垂直ピクセルサイズレジスタ 1		0x 0000	R/W	16
0x FFFE_B024	水平ピクセルサイズレジスタ 0		0x 0000	R/W	16
0x FFFE_B028	水平ピクセルサイズレジスタ 1		0x 0000	R/W	16
0x FFFE_B02C ~ 0x FFFE_B034	予約レジスタ		—	—	16
0x FFFE_B038	RST マーカ動作設定レジスタ		0x 0000	R/W	16
0x FFFE_B03C	RST マーカ動作ステータスレジスタ		0x 0000	RO	16
0x FFFE_B040 ~ 0x FFFE_B0CC	挿入マーカデータレジスタ		0x 00FF	R/W	16
0x FFFE_B400 ~ 0x FFFE_B4FC	量子化テーブル No.0 レジスタ		Not applicable	R/W	16
0x FFFE_B500 ~ 0x FFFE_B5FC	量子化テーブル No.1 レジスタ		Not applicable	R/W	16

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFE_B800 ~ 0x FFFE_B83C	DC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFE_B840 ~ 0x FFFE_B86C	DC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16
0x FFFE_B880 ~ 0x FFFE_B8BC	AC ハフマンテーブル No.0 レジスタ 0		Not applicable	WO	16
0x FFFE_B8C0 ~ 0x FFFE_BB44	AC ハフマンテーブル No.0 レジスタ 1		Not applicable	WO	16
0x FFFE_BC00 ~ 0x FFFE_BC3C	DC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFE_BC40 ~ 0x FFFE_BC6C	DC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFE_BC80 ~ 0x FFFE_BCBC	AC ハフマンテーブル No.1 レジスタ 0		Not applicable	WO	16
0x FFFE_BCC0 ~ 0x FFFE_BF44	AC ハフマンテーブル No.1 レジスタ 1		Not applicable	WO	16
0x FFFE_C000	JPEG_DMAL 関連レジスタ	JDMA			
0x FFFE_C000	DMA チャンネル JPEG ソースアドレスレジスタ	JSAR	0x XXXX_XXXX	R/W	32
0x FFFE_C004	DMA チャンネル JPEG デスティネーションアドレスレジスタ	JDAR	0x XXXX_XXXX	R/W	32
0x FFFE_C008	DMA チャンネル JPEG 転送カウンタレジスタ	JTCR	0x 0000_0000	R/W	32
0x FFFE_C00C	DMA チャンネル JPEG コントロールレジスタ	JCTL	0x 0000_0000	R/W	32
0x FFFE_C010	DMA チャンネル JPEG ブロックカウンタレジスタ	JBCR	0x 00XX_XXXX	R/W	32
0x FFFE_C014	DMA チャンネル JPEG デスティネーションオフセット アドレスレジスタ	JOFR	0x 0000_0000	R/W	32
0x FFFE_C018	DMA チャンネル JPEG ブロックエンドカウンタレジスタ	JBER	0x 00XX_XXXX	R/W	32
0x FFFE_C020	DMA チャンネル JPEG 拡張レジスタ	JHID	0x 0000_0000	R/W	32
0x FFFE_C040	DMA チャンネル JPEG FIFO データ選択モードレジスタ	JFSM	0x 0000_0000	R/W	32
0x FFFE_D000	I²C 関連レジスタ	I2C			
0x FFFE_D000	I ² C 送信データレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D004	I ² C 受信データレジスタ		0000 0000 b	RO	8 (16/32)
0x FFFE_D008	I ² C コントロールレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D00C	I ² C バスステータスレジスタ		00xx 0000 b	RO	8 (16/32)
0x FFFE_D010	I ² C エラーステータスレジスタ		0000 0000 b	RO	8 (16/32)
0x FFFE_D014	I ² C 割り込みコントロール/ステータス レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D018	I ² C-BUS サンプルクロック分周設定 レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D01C	I ² C SCL クロック分周設定レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D020	I ² C I/O コントロールレジスタ		0001 0001 b	R/W	8 (16/32)
0x FFFE_D024	I ² C DMA モードレジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D028	I ² C DMA カウンタ値(LSB)レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D02C	I ² C DMA カウンタ値(MSB)レジスタ		0000 0000 b	R/W	8 (16/32)
0x FFFE_D030	I ² C DMA ステータスレジスタ		0000 1000 b	RO	8 (16/32)
0x FFFE_D034 ~ 0x FFFE_D038	予約		—	—	—
0x FFFE_E000	I2S 関連レジスタ	I2S			
0x FFFE_E000	I2S0 制御レジスタ		0x 0000	R/W	16/32
0x FFFE_E004	I2S0 クロック分周レジスタ		0x 0000	R/W	16/32
0x FFFE_E008	I2S0 送受信ポートレジスタ		—	R/W	8/16/32
0x FFFE_E010	I2S0 割り込みステータスレジスタ		0x 0000	R/W	16/32
0x FFFE_E014	I2S0 割り込みロウステータスレジスタ		0x 0009	RO	16/32
0x FFFE_E018	I2S0 割り込みイネーブルレジスタ		0x 0000	R/W	16/32
0x FFFE_E01C	I2S0 カレントステータスレジスタ		0x 0009	RO	16/32

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFE_E040	I2S1 制御レジスタ		0x 0000	R/W	16/32
0x FFFE_E044	I2S1 クロック分周レジスタ		0x 0000	R/W	16/32
0x FFFE_E048	I2S1 送受信ポートレジスタ		—	R/W	8/16/32
0x FFFE_E050	I2S1 割り込みステータスレジスタ		0x 0000	R/W	16/32
0x FFFE_E054	I2S1 割り込みロウステータスレジスタ		0x 0009	RO	16/32
0x FFFE_E058	I2S1 割り込みイネーブルレジスタ		0x 0000	R/W	16/32
0x FFFE_E05C	I2S1 カレントステータスレジスタ		0x 0009	RO	16/32
0x FFFF_1000	GPIO 関連レジスタ	GPIO			
0x FFFF_1000	GPIOA データレジスタ	GPIOA_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1004	GPIOA 端子機能レジスタ	GPIOA_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1008	GPIOB データレジスタ	GPIOB_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_100C	GPIOB 端子機能レジスタ	GPIOB_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1010	GPIOC データレジスタ	GPIOC_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1014	GPIOC 端子機能レジスタ	GPIOC_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1018	GPIOD データレジスタ	GPIOD_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_101C	GPIOD 端子機能レジスタ	GPIOD_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1020	GPIOE データレジスタ	GPIOE_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1024	GPIOE 端子機能レジスタ	GPIOE_FNC	0x 0000_0000	R/W	16 (/32)
0x FFFF_1028	GPIOF データレジスタ	GPIOF_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_102C	GPIOF 端子機能レジスタ	GPIOF_FNC	0x 0000_5555	R/W	16 (/32)
0x FFFF_1030	GPIOG データレジスタ	GPIOG_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_1034	GPIOG 端子機能レジスタ	GPIOG_FNC	0x 0000_5555	R/W	16 (/32)
0x FFFF_1038	GPIOH データレジスタ	GPIOH_DATA	0x 0000_0000	R/W	8 (/16/32)
0x FFFF_103C	GPIOH 端子機能レジスタ	GPIOH_FNC	0x 0000_0001	R/W	16 (/32)
0x FFFF_1040	GPIOA&B IRQ タイプレジスタ	GPIOAB_ITYP	0x 0000_0000	R/W	16 (/32)
0x FFFF_1044	GPIOA&B IRQ 極性レジスタ	GPIOAB_IPOL	0x 0000_0000	R/W	16 (/32)
0x FFFF_1048	GPIOA&B IRQ イネーブルレジスタ	GPIOAB_IEN	0x 0000_0000	R/W	16 (/32)
0x FFFF_104C	GPIOA&B IRQ ステータス&クリアレジスタ	GPIOAB_ISTS	0x 0000_0000	R/W	16 (/32)
0x FFFF_2000	SPI 関連レジスタ	SPI			
0x FFFF_2000	SPI 受信データレジスタ		0x 0000_0000	RO	32
0x FFFF_2004	SPI 送信データレジスタ		0x 0000_0000	R/W	32
0x FFFF_2008	SPI 制御レジスタ 1		0x 0000_0000	R/W	32
0x FFFF_200C	SPI 制御レジスタ 2		0x 0000_0000	R/W	32
0x FFFF_2010	SPI ウェイトレジスタ		0x 0000_0000	R/W	32
0x FFFF_2014	SPI ステータスレジスタ		0x 0000_0010	RO	32
0x FFFF_2018	SPI 割り込み制御レジスタ		0x 0000_0000	R/W	32
0x FFFF_5000	DLAB UART 関連レジスタ	UART			
0x FFFF_5000	0 受信バッファレジスタ	RBR	0x 00	RO	8 (/16/32)
0x FFFF_5000	0 送信ホールディングレジスタ	THR	—	WO	8 (/16/32)
0x FFFF_5000	1 デバイザラッチ LSB レジスタ	DLL	0x 00	R/W	8 (/16/32)
0x FFFF_5004	0 割り込みイネーブルレジスタ	IER	0x 00	R/W	8 (/16/32)
0x FFFF_5004	1 デバイザラッチ MSB レジスタ	DLM	0x 00	R/W	8 (/16/32)
0x FFFF_5008	割り込み識別レジスタ	IIR	0x 01	RO	8 (/16/32)
0x FFFF_5008	FIFO 制御レジスタ	FCR	—	WO	8 (/16/32)
0x FFFF_500C	ライン制御レジスタ	LCR	0x 00	R/W	8 (/16/32)
0x FFFF_5010	モデム制御レジスタ	MCR	0x 00	R/W	8 (/16/32)
0x FFFF_5014	ラインステータスレジスタ	LSR	0x 00	RO	8 (/16/32)
0x FFFF_5018	モデムステータスレジスタ	MSR	0x 00	RO	8 (/16/32)
0x FFFF_501C	スクラッチレジスタ	SCR	0x 00	R/W	8 (/16/32)
0x FFFF_5020	テスト 0 レジスタ	T0	0x 00	R/W	8 (/16/32)
0x FFFF_5024	テスト 1 レジスタ	T1	0x 00	R/W	8 (/16/32)
0x FFFF_5028	テストステータス 0 レジスタ	TS0	—	RO	8 (/16/32)
0x FFFF_502C	テストステータス 1 レジスタ	TS1	0x 00	RO	8 (/16/32)
0x FFFF_5030	テストステータス 2 レジスタ	TS2	0x 00	RO	8 (/16/32)
0x FFFF_503C	テストステータス 3 レジスタ	TS3	0x 00	RO	8 (/16/32)
0x FFFF_6000	UART Lite 関連レジスタ	UARTL			
0x FFFF_6000	0 受信バッファレジスタ	RBR	0x 00	RO	8 (/16/32)
0x FFFF_6000	0 送信ホールディングレジスタ	THR	—	WO	8 (/16/32)
0x FFFF_6000	1 デバイザラッチ LSB レジスタ	DLL	0x 00	R/W	8 (/16/32)
0x FFFF_6004	0 割り込みイネーブルレジスタ	IER	0x 00	R/W	8 (/16/32)

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFF_6004	1 デバイザラッチ MSB レジスタ	DLM	0x 00	R/W	8 (/16/32)
0x FFFF_6008	割り込み識別レジスタ	IIR	0x 01	RO	8 (/16/32)
0x FFFF_600C	ライン制御レジスタ	LCR	0x 00	R/W	8 (/16/32)
0x FFFF_6014	ラインステータスレジスタ	LSR	0x 00	RO	8 (/16/32)
0x FFFF_6030	テストステータス 2 レジスタ	TS2	0x 00	RO	8 (/16/32)
0x FFFF_603C	テストステータス 3 レジスタ	TS3	0x 00	RO	8 (/16/32)
0x FFFF_8000	RTC 関連レジスタ	RTC			
0x FFFF_8000	RTC ラン / ストップ制御レジスタ		x--- ---x b	(R/W)	8
0x FFFF_8004	RTC 割り込みレジスタ		1110 0000 b	R/W	8
0x FFFF_8008	RTC タイマ分周レジスタ		xxxx xxxx b	R/(W)	8
0x FFFF_800C	RTC 秒カウンタレジスタ		--xx xxxx b	R/W	8
0x FFFF_8010	RTC 分カウンタレジスタ		--xx xxxx b	R/W	8
0x FFFF_8014	RTC 時間カウンタレジスタ		---x xxxx b	R/W	8
0x FFFF_8018	RTC 日カウンタレジスタ		0x XXXX	R/W	16
0x FFFF_8020	RTC アラーム分コンペアレジスタ		--xx xxxx b	R/W	8
0x FFFF_8024	RTC アラーム時間コンペアレジスタ		--x xxxx b	R/W	8
0x FFFF_8028	RTC アラーム日コンペアレジスタ		x xxxx xxxx b	R/W	16
0x FFFF_802C	RTC テストレジスタ		---0 0000 b	R/W	8
0x FFFF_8030	RTC プリスケアラレジスタ		-xxx xxxx b	R/(W)	8
0x FFFF_8034	RTC テストクロックレジスタ		---- ---- b	WO	8
0x FFFF_9000	DMA コントローラ 2 関連レジスタ	DMAC2			
0x FFFF_9000	DMA チャンネル 0 ソースアドレスレジスタ	SAR0	0x XXXX_XXXX	R/W	32
0x FFFF_9004	DMA チャンネル 0 デスティネーションアドレスレジスタ	DAR0	0x XXXX_XXXX	R/W	32
0x FFFF_9008	DMA チャンネル 0 転送カウントレジスタ	TCR0	0x 00XX_XXXX	R/W	32
0x FFFF_900C	DMA チャンネル 0 コントロールレジスタ	CTL0	0x 0000_0000	R/W	32
0x FFFF_9010	DMA チャンネル 1 ソースアドレスレジスタ	SAR1	0x XXXX_XXXX	R/W	32
0x FFFF_9014	DMA チャンネル 1 デスティネーションアドレスレジスタ	DAR1	0x XXXX_XXXX	R/W	32
0x FFFF_9018	DMA チャンネル 1 転送カウントレジスタ	TCR1	0x 00XX_XXXX	R/W	32
0x FFFF_901C	DMA チャンネル 1 コントロールレジスタ	CTL1	0x 0000_0000	R/W	32
0x FFFF_9060	DMA チャンネル オペレーティング選択レジスタ	OPSR	0x 0000_0000	R/W	32
0x FFFF_9064	DMA チャンネル MISC レジスタ	MISC	0x 0000_0000	R/W	32
0x FFFF_9070	DMA チャンネル 転送終了コントロールレジスタ	TECL	0x 0000_0000	R/W	32
0x FFFF_A000	メモリコントローラ関連レジスタ	MEMC			
0x FFFF_A000	デバイス 0 設定レジスタ	CFG0	0x 1F00_0041	R/W	32
0x FFFF_A004	デバイス 1 設定レジスタ	CFG1	0x 7F7F_0040	R/W	32
0x FFFF_A008	デバイス 2 設定レジスタ	CFG2	0x 7F7F_0040	R/W	32
0x FFFF_A00C	予約* (デバイス 3 設定レジスタ)	CFG3	0x 7F7F_0040	R/W	32
0x FFFF_A020	デバイス 0 タイミングレジスタ	RAMTMG0	0x 0000_1C70	R/W	32
0x FFFF_A024	デバイス 0 制御レジスタ	RAMCNTL0	0x 0000_0001	R/W	32
0x FFFF_A030	デバイス 1 タイミングレジスタ	RAMTMG1	0x 0000_1C70	R/W	32
0x FFFF_A034	デバイス 1 制御レジスタ	RAMCNTL1	0x 0000_0001	R/W	32
0x FFFF_A040	デバイス 2 タイミングレジスタ	RAMTMG2	0x 0000_1C70	R/W	32
0x FFFF_A044	デバイス 2 制御レジスタ	RAMCNTL2	0x 0000_0001	R/W	32
0x FFFF_A050	予約* (デバイス 3 タイミングレジスタ)	RAMTMG3	0x 0000_1C70	R/W	32
0x FFFF_A054	予約* (デバイス 3 制御レジスタ)	RAMCNTL3	0x 0000_0001	R/W	32
0x FFFF_A060	SDRAM モードレジスタ	SDMR	0x 0000_0032	R/W	16/32

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値*1 (h)	R/W	データ アクセス サイズ*2 (bit)
0x FFFF_A064	予約	—	—	—/—	—
0x FFFF_A068	予約	—	—	—/—	—
0x FFFF_A070	SDRAM 設定レジスタ	SDCNFG	0x 0600_C700	R/W	32
0x FFFF_A074	SDRAM 詳細設定レジスタ	SDADVCNFG	0x 000F_0300	R/W	32
0x FFFF_A080	初期化制御レジスタ	SDINIT	0x 0000_0000	R/W	16/32
0x FFFF_A090	SDRAM リフレッシュタイマレジスタ	SDREF	0x 0000_00A0	R/W	16/32
0x FFFF_A0A0	SDRAM ステータスレジスタ	SDSTAT	0x 0000_0002	RO	32
0x FFFF_B000	タイマ関連レジスタ	TIM			
0x FFFF_B000	タイマ 0 ロードレジスタ	TM0LD	0x 0000	R/W	16 (/32)
0x FFFF_B004	タイマ 0 カウントレジスタ	TM0CNT	0x 0000	RO	16 (/32)
0x FFFF_B008	タイマ 0 制御レジスタ	TM0CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B00C	タイマ 0 IRQ フラグクリアレジスタ	TM0IRQ	—	WO	8 (/16/32)
0x FFFF_B010	タイマ 0 ポート出力制御レジスタ	TM0POUT	0x 00	(R/W)	8 (/16/32)
0x FFFF_B020	タイマ 1 ロードレジスタ	TM1LD	0x 0000	R/W	16 (/32)
0x FFFF_B024	タイマ 1 カウントレジスタ	TM1CNT	0x 0000	RO	16 (/32)
0x FFFF_B028	タイマ 1 制御レジスタ	TM1CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B02C	タイマ 1 IRQ フラグクリアレジスタ	TM1IRQ	—	WO	8 (/16/32)
0x FFFF_B030	タイマ 1 ポート出力制御レジスタ	TM1POUT	0x 00	(R/W)	8 (/16/32)
0x FFFF_B040	タイマ 2 ロードレジスタ	TM2LD	0x 0000	R/W	16 (/32)
0x FFFF_B044	タイマ 2 カウントレジスタ	TM2CNT	0x 0000	RO	16 (/32)
0x FFFF_B048	タイマ 2 制御レジスタ	TM2CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B04C	タイマ 2 IRQ フラグクリアレジスタ	TM2IRQ	—	WO	8 (/16/32)
0x FFFF_B050	タイマ 2 ポート出力制御レジスタ	TM2POUT	0x 00	(R/W)	8 (/16/32)
0x FFFF_B060 ~ 0x FFFF_B09C	予約	—	—	—	—
0x FFFF_B0A0	プリスケラ 0 制御レジスタ	PS0CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B0A4	プリスケラ 1 制御レジスタ	PS1CTRL	0x 0000	(R/W)	16 (/32)
0x FFFF_B0B0	タイマ IRQ ステータスレジスタ	TMIQRSTS	0x 00	RO	8 (/16/32)
0x FFFF_C000	WDT 関連レジスタ	WDT			
0x FFFF_C000	ウォッチドッグタイマロードレジスタ		0x 0000_FFFF	R/W	16 (/32)
0x FFFF_C004	ウォッチドッグタイマカウントレジスタ		0x 0000_FFFF	RO	16 (/32)
0x FFFF_C008	ウォッチドッグタイマ制御レジスタ		0x 0000_0000	R/W	16 (/32)
0x FFFF_D000	システムコントローラ関連レジスタ	SYS			
0x FFFF_D000	Chip ID Register	CHIPID	0x 0650_100X	RO	32
0x FFFF_D004	Chip Configuration Register	CHIPCFG	0x 0000_XXXX	RO	16 (/32)
0x FFFF_D008	PLL Setting Register 1	PLLSET1	0x 0421_D46A	R/W	32
0x FFFF_D00C	PLL Setting Register 2	PLLSET2	0x 0000_0000	(R/W)	16 (/32)
0x FFFF_D010	HALT Mode Clock Control Register	HALTMODE	0x 0000_0000	R/W	16 (/32)
0x FFFF_D014	IO Clock Control Register	IOCLKCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D018	Clock Select Register	CLK32SEL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D01C	HALT Control Register	HALTCTL	—	WO	16 (/32)
0x FFFF_D020	Memory Remap Register	REMAP	0x 0000_0000	R/W	16 (/32)
0x FFFF_D024	Software Reset Register	SOFTIRST	—	WO	32
0x FFFF_D028	UART Clock Divider Register	UARTDIV	0x 0000_0000	R/W	16 (/32)
0x FFFF_D02C	MD Bus Pulldown Control Register	MDPLDCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D030	GPIOC Resistor Control Register	PORTCRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D034	GPIOD Resistor Control Register	PORTDRCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D038	GPIOE Resistor Control Register	PORTERCTL	0x 0000_0000	R/W	16 (/32)
0x FFFF_D03C	Internal TEST Mode Register	ITESTM	0x 0000_0000	—/—	—
0x FFFF_D040	Embedded Memory Control Register	EMBMEMCTL	0x 0000_0010	R/W	16 (/32)
0x FFFF_F000	割り込みコントローラ関連レジスタ	INT			
0x FFFF_F000	IRQ ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F004	IRQ マスク前ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F008	IRQ イネーブルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F00C	IRQ イネーブルクリアレジスタ		0x 0000_0000	WO	32
0x FFFF_F010	ソフトウェア IRQ レジスタ		0x 0000_0000	WO	32
0x FFFF_F080	IRQ レベルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F084	IRQ 極性レジスタ		0x FFFF_FFFF	R/W	32
0x FFFF_F088	IRQ トリガリセットレジスタ		0x 0000_0000	WO	32
0x FFFF_F100	FIQ ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F104	FIQ マスク前ステータスレジスタ		0x 0000_0000	RO	32
0x FFFF_F108	FIQ イネーブルレジスタ		0x 0000_0000	R/W	32

31. Appendix 1 S1S65010 内部レジスタ一覧

アドレス (h)	レジスタ名称	レジスタ 略号	初期値* ¹ (h)	R/W	データ アクセス サイズ* ² (bit)
0x FFFF_F10C	FIQ イネーブルクリアレジスタ		0x 0000_0000	WO	32
0x FFFF_F180	FIQ レベルレジスタ		0x 0000_0000	R/W	32
0x FFFF_F184	FIQ 極性レジスタ		0x 0000_0003	R/W	32
0x FFFF_F188	FIQ トリガリセットレジスタ		0x 0000_0000	WO	32

*1 : 初期値は 16 進数表示 (h : hexadecimal) になっていますが、末尾に “b” の表示がある場合は、2 進数 (b : binary) を表しています。

また、“X” は不定値(h)を、“x” は不定値(b)を表しています。

*2 : データアクセスサイズはレジスタにアクセスするサイズをビットで表しています。8 (/16/32) は、通常は 8 ビットアクセスで使いますが、16 ビットまたは 32 ビットデータアクセス命令を使用している場合は 16 ビットまたは 32 ビットでもアクセス可能です。同様に 16 (/32) は、通常は 16 ビットアクセスですが、32 ビットでもアクセス可能です。これらの場合、下位ビットのみ有効な値として使用してください。

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 410955401
2005 年 6 月 作成
2008 年 6 月 改訂