

CMOS 4-BIT SINGLE CHIP MICROCONTROLLER

S1C60N16
テクニカルマニュアル

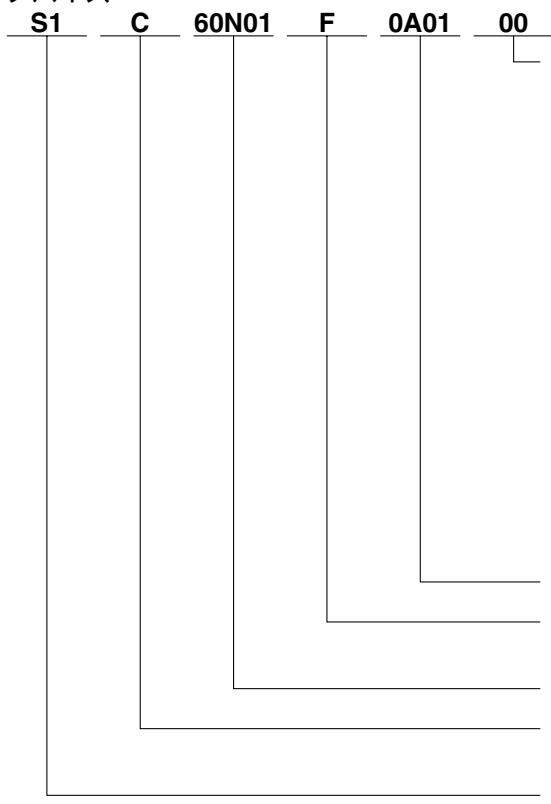
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

デバイス



梱包仕様

[00 : テープ&リール以外
0A : TCP BL 2方向
0B : テープ&リール BACK
0C : TCP BR 2方向
0D : TCP BT 2方向
0E : TCP BD 2方向
0F : テープ&リール FRONT
0G : TCP BT 4方向
0H : TCP BD 4方向
0J : TCP SL 2方向
0K : TCP SR 2方向
0L : テープ&リール LEFT
0M : TCP ST 2方向
0N : TCP SD 2方向
0P : TCP ST 4方向
0Q : TCP SD 4方向
0R : テープ&リール RIGHT
99 : 梱包仕様未定]

仕様

[D: ペアチップ、F: QFP]

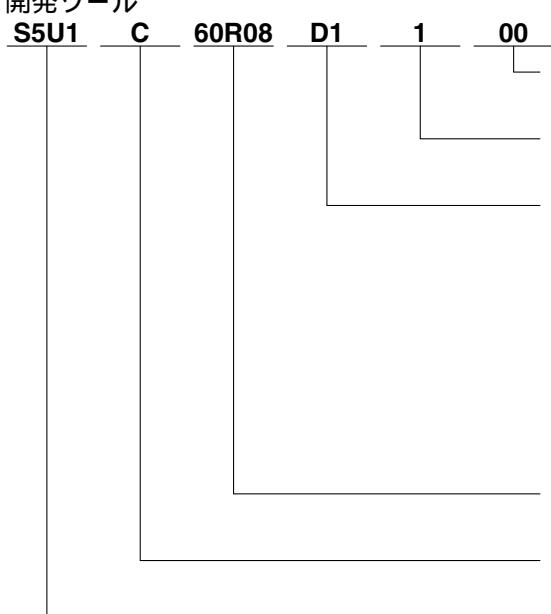
機種番号

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

[Hx : ICE
Ex : EVAボード
Px : ベリフェラルボード
Wx: FLASHマイコン用ROMライタ
Xx : ROMライタ周辺ボード
Cx : Cコンパイラパッケージ
Ax : アセンブラーパッケージ
Dx : 機種別ユーティリティツール
Qx : ソフトシミュレータ]

対応機種番号

[60R08: S1C60R08用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1	概要	1
1.1	機種構成	1
1.2	特長	1
1.3	ブロック図	2
1.4	端子配置図	3
1.5	端子説明	4
1.6	オプションリスト	5
2	電源系 および イニシャルリセット	8
2.1	電源系	8
2.2	イニシャルリセット	9
2.2.1	パワーオンリセット回路	9
2.2.2	リセット端子(RESET)	9
2.2.3	入力ポート(K00 ~ K03)の同時HIGH入力	9
2.2.4	ウォッチドッグタイマ	10
2.2.5	イニシャルリセット時の内部レジスタ	10
2.3	テスト端子(TEST)	10
3	CPU, ROM, RAM	11
3.1	CPU	11
3.2	ROM	11
3.3	RAM	11
4	周辺回路と動作	12
4.1	メモリマップ	12
4.2	ウォッチドッグタイマのリセット	16
4.2.1	ウォッチドッグタイマの構成	16
4.2.2	マスクオプション	16
4.2.3	ウォッチドッグタイマの制御方法	16
4.2.4	プログラミング上の注意事項	16
4.3	発振回路	17
4.3.1	発振回路の構成	17
4.3.2	OSC1発振回路	17
4.3.3	OSC3発振回路(S1C60A16)	18
4.3.4	CPU動作クロックの切り替え(S1C60A16)	18
4.3.5	発振回路の制御方法(S1C60A16)	19
4.3.6	プログラミング上の注意事項(S1C60A16)	19
4.4	入力ポート(K00 ~ K03, K10)	20
4.4.1	入力ポートの構成	20
4.4.2	入力比較レジスタと割り込み機能	20
4.4.3	マスクオプション	21
4.4.4	入力ポートの制御方法	22
4.4.5	プログラミング上の注意事項	23

4.5	出力ポート(R00 ~ R03, R10 ~ R13)	25
4.5.1	出力ポートの構成	25
4.5.2	マスクオプション	25
4.5.3	出力ポートの制御方法	27
4.5.4	プログラミング上の注意事項	28
4.6	入出力兼用ポート(P00 ~ P03, P10 ~ P13)	29
4.6.1	入出力兼用ポートの構成	29
4.6.2	マスクオプション	29
4.6.3	I/O制御レジスタと入力/出力モード	29
4.6.4	入出力兼用ポートの制御方法	30
4.6.5	プログラミング上の注意事項	31
4.7	シリアルインターフェース(SIN, SOUT, SCLK)	32
4.7.1	シリアルインターフェースの構成	32
4.7.2	マスクオプション	32
4.7.3	シリアルインターフェースのマスタモードとスレーブモード	33
4.7.4	データの入出力と割り込み	34
4.7.5	シリアルインターフェースの制御方法	36
4.7.6	プログラミング上の注意事項	38
4.8	LCDドライバ(COM0 ~ COM3, SEG0 ~ SEG37)	39
4.8.1	LCDドライバの構成	39
4.8.2	ダイナミック/スタティック駆動切り換え	44
4.8.3	マスクオプション(セグメント割り付け)	45
4.8.4	LCDドライバの制御方法	46
4.8.5	プログラミング上の注意事項	47
4.9	計時タイマ	48
4.9.1	計時タイマの構成	48
4.9.2	割り込み機能	48
4.9.3	計時タイマの制御方法	49
4.9.4	プログラミング上の注意事項	50
4.10	ストップウォッチタイマ	51
4.10.1	ストップウォッチタイマの構成	51
4.10.2	カウントアップパターン	51
4.10.3	割り込み機能	52
4.10.4	ストップウォッチタイマの制御方法	53
4.10.5	プログラミング上の注意事項	54
4.11	サウンドジェネレータ	55
4.11.1	サウンドジェネレータの構成	55
4.11.2	周波数設定	56
4.11.3	デジタルエンベロープ	56
4.11.4	マスクオプション	57
4.11.5	サウンドジェネレータの制御方法	58
4.11.6	プログラミング上の注意事項	59
4.12	イベントカウンタ	60
4.12.1	イベントカウンタの構成	60
4.12.2	カウントモードの切り換え	60
4.12.3	マスクオプション	61
4.12.4	イベントカウンタの制御方法	62
4.12.5	プログラミング上の注意事項	63

4.13	アナログコンパレータ	64
4.13.1	アナログコンパレータの構成	64
4.13.2	アナログコンパレータの動作	64
4.13.3	アナログコンパレータの制御方法	65
4.13.4	プログラミング上の注意事項	65
4.14	電源電圧検出(SVD)回路	66
4.14.1	SVD(電源電圧検出)回路の構成	66
4.14.2	SVD回路の検出タイミング	66
4.14.3	SVD回路の制御方法	67
4.14.4	プログラミング上の注意事項	67
4.15	重負荷保護機能(S1C60A16)	68
4.15.1	重負荷保護機能の概要	68
4.15.2	重負荷保護機能の制御方法	68
4.15.3	プログラミング上の注意事項	68
4.16	割り込みとHALT	69
4.16.1	割り込みの要因	71
4.16.2	割り込みの個別マスクと要因フラグ	71
4.16.3	割り込みベクタ	72
4.16.4	割り込みとHALTの制御方法	73
4.16.5	プログラミング上の注意事項	74
5	注意事項のまとめ	75
5.1	低消費電流化のための注意事項	75
5.2	個別機能についての注意事項のまとめ	76
5.3	実装上の注意事項	80
6	基本外部結線図	82
7	電気的特性	84
7.1	絶対最大定格	84
7.2	推奨動作条件	84
7.3	DC特性	85
7.4	アナログ回路特性・消費電流	86
7.5	発振特性	88
7.6	シリアルインターフェースAC特性	89
8	パッケージ	90
8.1	プラスチックパッケージ	90
8.2	テストサンプル用セラミックパッケージ	91
9	パッド配置	92
9.1	パッド配置図	92
9.2	パッド座標	93

改訂履歴表

1 概要

S1C60N16シリーズは4ビットコアCPU S1C6200Cを中心にして、ワンチップ上にROM(4,096ワード×12ビット)、RAM(256ワード×4ビット)、LCDドライバ、アナログコンパレータ、イベントカウンタ、ウォッチドッグタイマ、2系統のタイムベースカウンタ等を内蔵したマイクロコンピュータです。低電圧動作、低消費電流の特長を持ち、電池駆動を必要とする各種アプリケーションに対応します。特に、時計、ゲーム、ページャなどのコントローラへの応用に最適です。

1.1 機種構成

S1C60N16シリーズは使用する電源電圧と発振回路により、以下の機種構成となります。

表1.1.1 機種構成

機種	S1C60N16	S1C60L16	S1C60A16
電源電圧	3.0V	1.5V	3.0V
発振回路	OSC1のみ (シングルクロック)		OSC1, OSC3 (ツインクロック)
LCD電源		3.0V LCDパネル対応	

1.2 特長

表1.2.1 特長

機種	S1C60N16	S1C60L16	S1C60A16	
OSC1発振回路		水晶発振回路 32.768kHz (Typ.)		
OSC3発振回路		—	CRまたはセラミック発振回路(マスクオプションにて選択) 1MHz (Typ.)	
命令セット		108種類		
命令実行時間 (命令により異なる) (CLK: CPU動作周波数)	153μsec, 214μsec, 366μsec (CLK=32.768kHz)	—	5μsec, 7μsec, 12μsec (CLK=1MHz)	
ROM容量	4,096ワード×12ビット			
RAM容量	256ワード×4ビット			
入力ポート	5ビット(マスクオプションにてプルダウン抵抗の付加が可能)			
出力ポート	8ビット(マスクオプションにてBZ, BZ, FOUT, SIOF出力が可能)			
入出力兼用ポート	8ビット(入力データ読み込み時にプルダウン) (マスクオプションにて3ビットをシリアル入出力に切り替え可能)			
シリアルインターフェース		1ポート(8ビットクロック同期式)		
LCDドライバ	38セグメント×4, 3または2コモン(マスクオプションにて選択) V-3V 1/4, 1/3または1/2デューティ(定電圧回路/昇圧回路を内蔵)			
タイムベースカウンタ	2系統(タイマおよびストップウォッチ)			
ウォッチドッグタイマ	内蔵(マスクオプションで未使用も可)			
イベントカウンタ	8ビット2入力(ダイアル入力判定型または独立型)			
サウンドジェネレータ	8音(8周波数)プログラマブル デジタルエンベロープ機能(マスクオプションで未使用も可)			
アナログコンパレータ	反転入力×1, 非反転入力×1			
電源電圧検出回路(SVD)	2.2V	1.2V	2.2V	
重負荷保護機能	なし		あり	
外部割り込み		入力割り込み: 2系統		
内部割り込み		タイムベースカウンタ割り込み: 2系統 シリアルインターフェース割り込み: 1系統		
電源電圧	3.0V(2.2~3.6V)	1.5V(1.2~1.8V)	3.0V(2.2~3.6V)	
消費電流 (Typ.値)	CLK=32.768kHz (HALT時) CLK=32.768kHz (動作時) CLK=1MHz(セラミック) (動作時) CLK=1MHz(CR) (動作時)	0.7μA 1.4μA — —	0.7μA 1.4μA — —	1.5μA 2.4μA 50μA 85μA (通常動作モード) (通常動作モード) (通常動作モード) (通常動作モード)
出荷形態		QFP14-80pinまたはチップ		

1.3 ブロック図

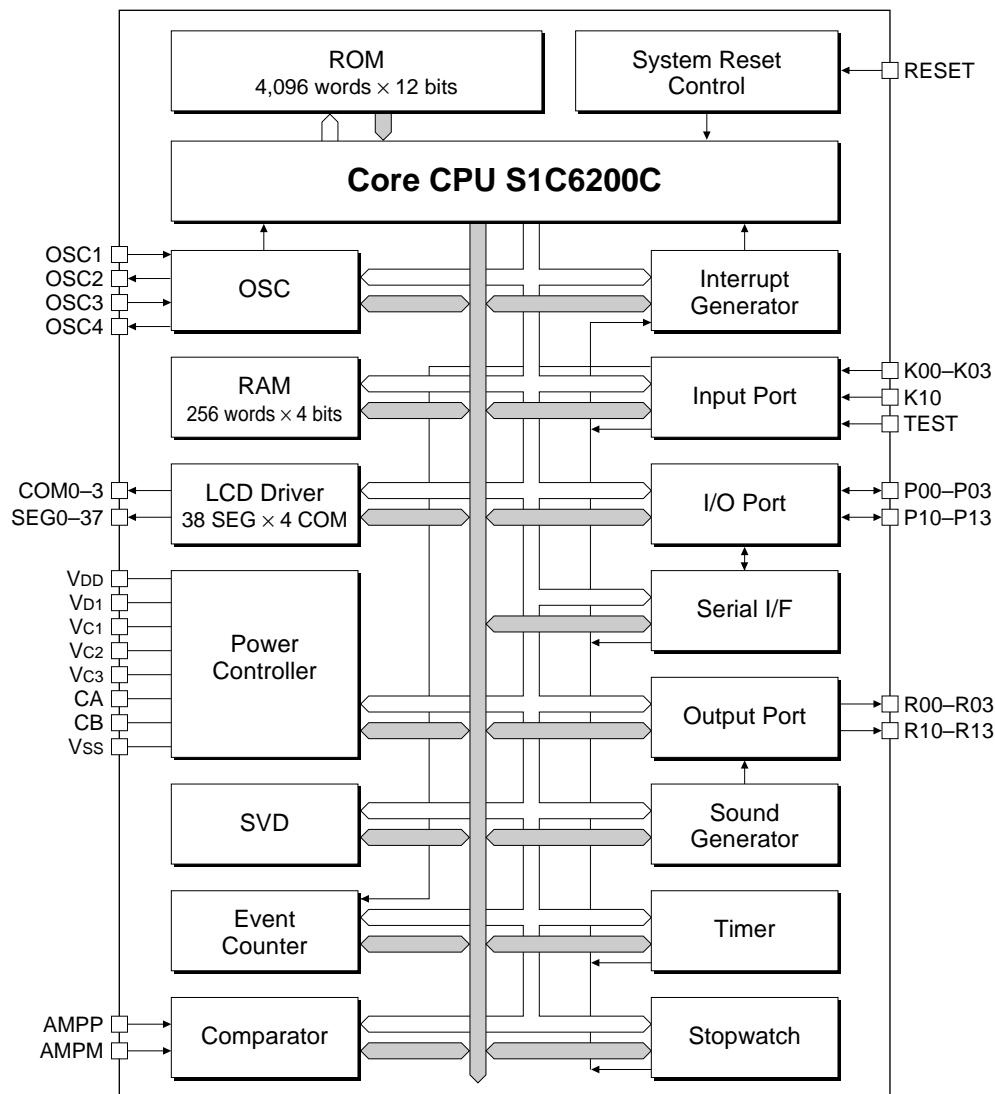
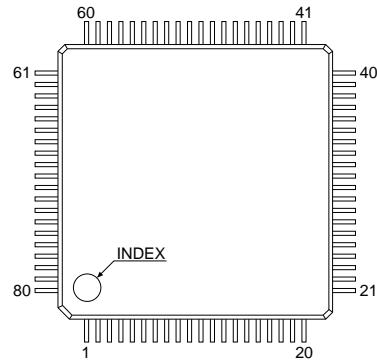


図1.3.1 ブロック図

1.4 端子配置図

QFP14-80pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	P13	21	K10	41	SEG37	61	SEG17
2	P12	22	Vss	42	SEG36	62	SEG16
3	P11	23	AMPM	43	SEG35	63	SEG15
4	P10	24	AMPP	44	SEG34	64	SEG14
5	P03	25	OSC1	45	SEG33	65	SEG13
6	P02	26	OSC2	46	SEG32	66	SEG12
7	P01	27	Vd1	47	SEG31	67	SEG11
8	P00	28	OSC3	48	SEG30	68	SEG10
9	R13	29	OSC4	49	SEG29	69	SEG9
10	R12	30	Vdd	50	SEG28	70	SEG8
11	R11	31	Vc3	51	SEG27	71	SEG7
12	R10	32	Vc2	52	SEG26	72	SEG6
13	R03	33	Vc1	53	SEG25	73	SEG5
14	R02	34	CB	54	SEG24	74	SEG4
15	R01	35	N.C.	55	SEG23	75	SEG3
16	R00	36	CA	56	SEG22	76	SEG2
17	K00	37	COM3	57	SEG21	77	SEG1
18	K01	38	COM2	58	SEG20	78	SEG0
19	K02	39	COM1	59	SEG19	79	RESET
20	K03	40	COM0	60	SEG18	80	TEST

N.C. : No Connection

図1.4.1 端子配置図

1.5 端子説明

表1.5.1 端子説明

端子名	端子No.	I/O	機能
VDD	30	(I)	電源端子(+)
VSS	22	(I)	電源端子(-)
VD1	27	-	発振および内部ロジック系動作電圧出力端子
VC1	33	-	LCD駆動電圧出力端子(約0.98V)
VC2	32	-	LCD駆動電圧出力端子(2-VC1)
VC3	31	-	LCD駆動電圧出力端子(3-VC1)
CA, CB	36, 34	-	昇圧コンデンサ接続端子
OSC1	25	I	水晶発振入力端子
OSC2	26	O	水晶発振出力端子
OSC3	28	I	CRまたはセラミック発振入力端子 *(S1C60N16/60L16はN.C.)
OSC4	29	O	CRまたはセラミック発振出力端子 *(S1C60N16/60L16はN.C.)
K00~K03	17~20	I	入力ポート端子
K10	21	I	入力ポート端子
P00~P03	8~5	I/O	入出力兼用ポート端子
P10	4	I/O	入出力兼用ポート端子 またはシリアルインタフェースデータ入力端子*
P11	3	I/O	入出力兼用ポート端子 またはシリアルインタフェースデータ入力端子*
P12	2	I/O	入出力兼用ポート端子 またはシリアルインタフェースクロック入出力端子*
P13	1	I/O	入出力兼用ポート端子
R00~R03	16~13	O	出力ポート端子
R10	12	O	出力ポート端子またはBZ出力端子 *
R13	11	O	出力ポート端子またはBZ出力端子 *
R11	10	O	出力ポート端子またはSIOF出力端子 *
R12	9	O	出力ポート端子またはFOUT出力端子 *
AMPP	24	I	アナログコンバーティ非反転入力端子
AMPM	23	I	アナログコンバーティ反転入力端子
SEG0~37	78~41	O	LCDセグメント出力端子またはDC出力端子 *
COM0~3	40~37	O	LCDコモン出力端子(1/2, 1/3または1/4デューティを選択可能 *)
RESET	79	I	イニシャルリセット入力端子
TEST	80	I	テスト用入力端子

* マスクオプションにて選択

1.6 オプションリスト

S1C60N16シリーズには以下のファンクションおよびセグメントオプションが設定されています。オプションリストに示すとおり、各マスクオプションには複数の仕様が用意されています。ターゲットシステムに合った仕様をファンクションオプションジェネレータwinfogおよびセグメントオプションジェネレータwinsogを使用して選択します。なお、使用しないポートについても選択が必要です。

winfogおよびwinsogについては"S1C60/62 Family Development Tool Manual"を参照してください。

- [1] 機種 ... DEVICE TYPE**
 - ・機種 1. S1C60N16 (NORMAL TYPE)
2. S1C60L16 (LOW POWER TYPE)
3. S1C60A16 (TWIN CLOCK TYPE)
- [2] OSC3発振回路 ... OSC3 SYSTEM CLOCK (S1C60A16選択時)**
 - 1. セラミック発振回路
 - 2. CR発振回路
- [3] キー同時押しリセット ... MULTIPLE KEY ENTRY RESET**
 - ・組み合わせ 1. 使用しない
2. 使用する K00, K01
3. 使用する K00, K01, K02
4. 使用する K00, K01, K02, K03
 - ・時間検定 1. 使用しない
 - 2. 使用する
- [4] ウオッチドッグタイマ ... WATCHDOG TIMER**
 - 1. 使用する
 - 2. 使用しない
- [5] 入力割り込み ノイズリジェクト ... I/P INTERRUPT NOISE REJECTOR**
 - ・K00 ~ K03 1. 使用する
 - 2. 使用しない
 - ・K10 1. 使用する
 - 2. 使用しない
- [6] SIO機能 ... SIO FUNCTION**
 - ・SIO機能 1. 使用しない
 - 2. 使用する
 - ・SIO SCLK論理 1. 正論理
 - 2. 負論理
 - ・SIOデータ順列 1. MSB先頭
 - 2. LSB先頭
- [7] 入力ポート プルダウン抵抗 ... I/P PULL DOWN RESISTOR**
 - ・K00 1. あり
 - 2. なし
 - ・K01 1. あり
 - 2. なし
 - ・K02 1. あり
 - 2. なし
 - ・K03 1. あり
 - 2. なし
 - ・K10 1. あり
 - 2. なし
- [8] 出力ポート 出力仕様 ... O/P OUTPUT SPECIFICATION (R00 ~ R03)**
 - ・R00 1. コンプリメンタリ
 - 2. Pchオープンドレイン
 - ・R01 1. コンプリメンタリ
 - 2. Pchオープンドレイン
 - ・R02 1. コンプリメンタリ
 - 2. Pchオープンドレイン
 - ・R03 1. コンプリメンタリ
 - 2. Pchオープンドレイン
- [9] R10 端子仕様 ... R10 TERMINAL SPECIFICATION**
 - ・出力仕様 1. コンプリメンタリ
 - 2. Pchオープンドレイン
 - ・出力形式 1. DC出力
 - 2. ブザー出力
- [10] R11 端子仕様 ... R11 TERMINAL SPECIFICATION**
 - ・出力仕様 1. コンプリメンタリ
 - 2. Pchオープンドレイン
 - ・出力形式 1. DC出力
 - 2. SIOフラグ

- [11] R12 端子仕様 . . . R12 TERMINAL SPECIFICATION**
- ・出力仕様 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・出力形式 1. DC出力
 - 2. FOUT 32768 [Hz]
 - 3. FOUT 16384 [Hz]
 - 4. FOUT 8192 [Hz]
 - 5. FOUT 4096 [Hz]
 - 6. FOUT 2048 [Hz]
 - 7. FOUT 1024 [Hz]
 - 8. FOUT 512 [Hz]
 - 9. FOUT 256 [Hz]
- [12] R13 端子仕様 . . . R13 TERMINAL SPECIFICATION**
- ・出力仕様 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・出力形式 1. DC出力
 - 2. ブザー反転出力(R13ポートによる制御)
 - 3. ブザー反転出力(R10ポートによる制御)
- [13] 入出力兼用ポート 出力仕様 . . . I/O PORT SPECIFICATION (P00 ~ P03)**
- ・P00 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P01 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P02 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P03 1. コンプリメンタリ 2. Pchオーブンドレイン
- [14] 入出力兼用ポート 出力仕様 . . . I/O PORT SPECIFICATION (P10 ~ P13)**
- ・P10 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P11 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P12 1. コンプリメンタリ 2. Pchオーブンドレイン
 - ・P13 1. コンプリメンタリ 2. Pchオーブンドレイン
- [15] イベントカウンタ ノイズリジェクト . . . EVENT COUNTER NOISE REJECTOR**
- 1. 2048 [Hz] 2. 256 [Hz]
- [16] LCD駆動デューティ . . . LCD DRIVER DUTY**
- ・デューティ選択 1. 1/4デューティ
2. 1/3デューティ
3. 1/2デューティ
- [17] LCD/バイアス&電源 . . . LCD BIAS & POWER SOURCE**
- ・バイアス & 電源選択
 - S1C60N16 1. 1/3バイアス, 定電圧回路を使用, 3V LCD
 - S1C60L16 1. 1/3バイアス, 定電圧回路を使用, 3V LCD
 - S1C60A16 1. 1/3バイアス, 定電圧回路を使用, 3V LCD
2. 1/3バイアス, 定電圧回路を使用しない, 3V LCD
3. 1/2バイアス, 定電圧回路を使用しない, 3V LCD
- [18] セグメントメモリアドレス . . . SEGMENT MEMORY ADDRESS**
- 1. 2ページ (240~265) 2. 0ページ (040~065)

<セグメントオプション>

端子名	アドレス												出力仕様	
	COM0			COM1			COM2			COM3				
	H	L	D	H	L	D	H	L	D	H	L	D		
SEG0													SEG出力 <input type="checkbox"/>	
SEG1													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG2													SEG出力 <input type="checkbox"/>	
SEG3													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG4													SEG出力 <input type="checkbox"/>	
SEG5													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG6													SEG出力 <input type="checkbox"/>	
SEG7													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG8													SEG出力 <input type="checkbox"/>	
SEG9													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG10													SEG出力 <input type="checkbox"/>	
SEG11													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG12													SEG出力 <input type="checkbox"/>	
SEG13													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG14													SEG出力 <input type="checkbox"/>	
SEG15													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG16													SEG出力 <input type="checkbox"/>	
SEG17													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG18													SEG出力 <input type="checkbox"/>	
SEG19													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG20													SEG出力 <input type="checkbox"/>	
SEG21													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG22													SEG出力 <input type="checkbox"/>	
SEG23													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG24													SEG出力 <input type="checkbox"/>	
SEG25													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG26													SEG出力 <input type="checkbox"/>	
SEG27													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG28													SEG出力 <input type="checkbox"/>	
SEG29													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG30													SEG出力 <input type="checkbox"/>	
SEG31													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG32													SEG出力 <input type="checkbox"/>	
SEG33													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG34													SEG出力 <input type="checkbox"/>	
SEG35													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	
SEG36													SEG出力 <input type="checkbox"/>	
SEG37													DC出力 <input type="checkbox"/> C <input type="checkbox"/> P	

表中の記号は以下のとおりです。

アドレス

H: ページ内の上位アドレス (4~6)

L: ページ内の下位アドレス (0~F)

D: データビット (0~3)

出力仕様

C: コンプリメンタリ出力

P: Pchオープンドレイン出力

注: H(上位アドレス)を6に設定する場合、L(下位アドレス)は0~5の範囲に限られます。

2 電源系 および イニシャルリセット

2.1 電源系

S1C60N16シリーズは外部より単一電源(*1)をVDD～VSS間に与えることにより、内部で必要な電圧を定電圧回路(発振系<VD1>、LCD系<Vc1>)および昇圧回路(LCD系<Vc2とVc3>)により発生します。

*1 電源電圧：S1C60N16/60A16 … 3V、S1C60L16 … 1.5V

図2.1.1に電源系の構成を示します。

内部回路の動作電圧<VD1>は発振系定電圧回路が発生します。

S1C60N16シリーズのLCD駆動電圧は、<Vc1>を定電圧回路で、<Vc2>と<Vc3>を昇圧回路で発生します。

- 注：
- 定電圧回路および昇圧回路の出力電圧による外付け負荷の駆動は禁止します。
 - 電圧値については"7 電気的特性"を参照してください。

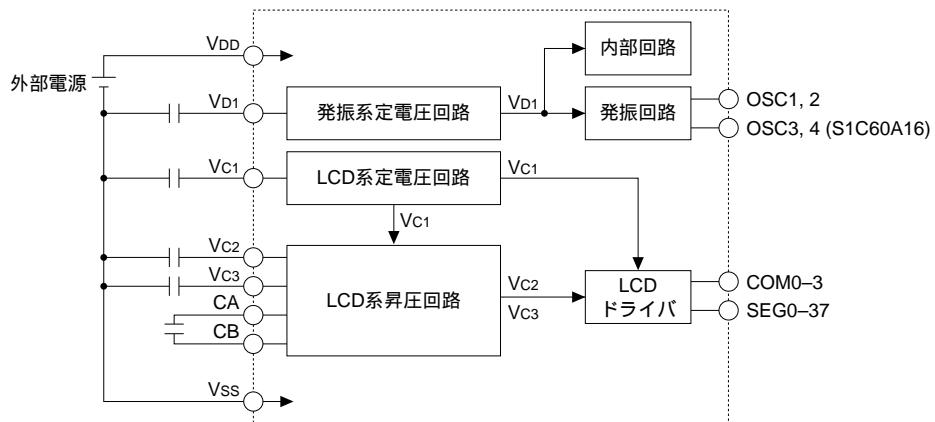


図2.1.1 電源系の構成

S1C60A16では、マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。この場合、LCD系定電圧回路用のコンデンサが不要となりますので、外付け素子を削減できます。ただし、LCD系定電圧回路を使用しない場合には、使用する場合に比べて電源電圧変動(低下)時のLCDの表示品質が劣化します。

図2.1.2にLCD系定電圧回路を使用しない場合の外付け部品の構成を示します。

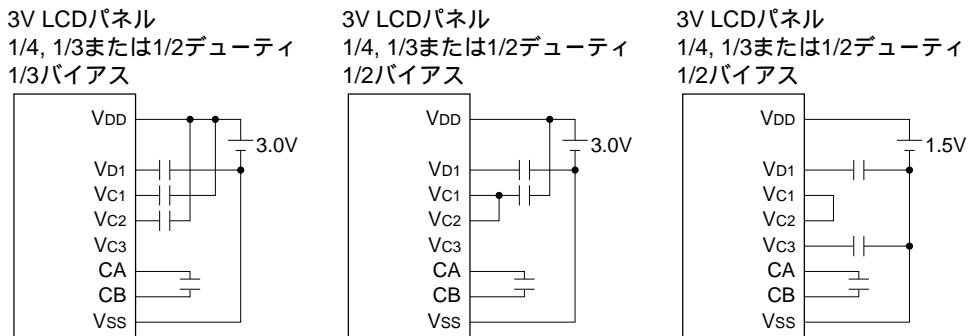


図2.1.2 LCD系定電圧回路を使用しない場合の外付け部品の構成(S1C60A16)

2.2 イニシャルリセット

S1C60N16シリーズは回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては以下の4種類があります。

- (1)パワーオンリセット回路によるイニシャルリセット
 - (2)RESET端子による外部イニシャルリセット
 - (3)K00～K03端子の同時HIGHレベル入力による外部イニシャルリセット
 - (4)ウォッチドッグタイマによるイニシャルリセット

図2.2.1にイニシャルリセット回路の構成を示します。

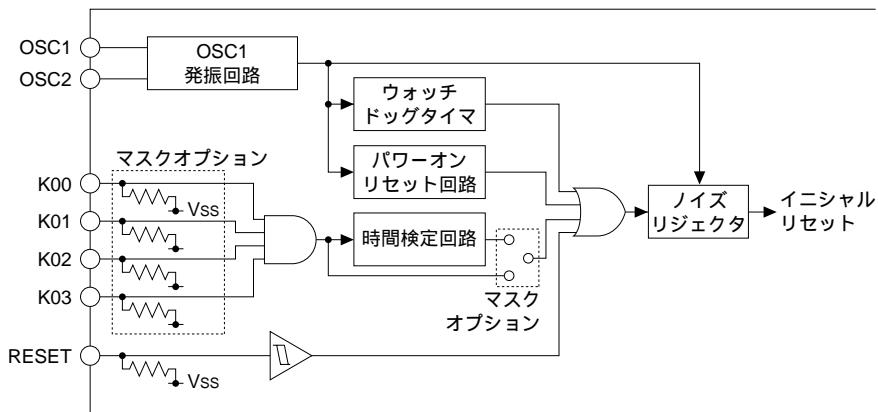


図2.2.1 イニシャルリセット回路の構成

2.2.1 パワーオンリセット回路

パワーオンリセット回路は、電源投入時に発振回路が発振を開始するまでイニシャルリセット信号を出力します。

注: パワーオンリセット回路は、不安定または低い電源電圧では正常に動作しない場合があります。イニシャルリセットには以下の2つの方法を推奨します。

2.2.2 リセット端子(RESET)

外部よりリセット端子をHIGHレベルにすることによりイニシャルリセットが行えます。イニシャルリセット回路はノイズリジェクト回路を内蔵しているため、5ms($f_{osc1}=32\text{kHz}$ の場合)以上HIGHレベルを保ってください。リセット端子がLOWレベルになると、CPUが動作を開始します。

2.2.3 入力ポート(K00 ~ K03)の同時HIGH入力

マスクオプションで選択された入力ポート (K00 ~ K03) に、外部から同時に HIGH 入力を与えることによりイニシャルリセットが行えます。イニシャルリセット回路はノイズリジエクタを内蔵しているため、5ms (発振周波数 $f_{osc1}=32\text{kHz}$ の場合) 以上、指定入力ポート端子を HIGH レベルに保ってください。表2.2.3.1にマスクオプションで選択できる入力ポート (K00 ~ K03) の組合せを示します。

表2.2.3.1 入力ポートの組合せ

選択肢	組み合わせ
A	使用しない
B	K00*K01
C	K00*K01*K02
D	K00*K01*K02*K03

たとえば、マスクオプションでDの"K00*K01*K02*K03"を選択した場合、K00～K03の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。

また、同時HIGH入力の入力時間を検定し規定時間(1～3sec)以上の入力があったとき、イニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

なお、この機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

2.2.4 ウオッヂドッグタイマ

ウォッヂドッグタイマはCPUが何らかの原因で暴走した場合、その暴走を検出しイニシャルリセット信号を出力します。詳細は"4.2 ウォッヂドッグタイマのリセット"を参照してください。

2.2.5 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは以下のように初期化されます。

表2.2.5.1 初期設定値

CPUコア			
名 称	記号	ビット長	初期設定値
プログラムカウンタステップ	PCS	8	00H
プログラムカウンタページ	PCP	4	1H
ニューページポインタ	NPP	4	1H
スタックポインタ	SP	8	不定
インデックスレジスタX	X	10	不定
インデックスレジスタY	Y	10	不定
レジスタポインタ	RP	4	不定
汎用レジスタA	A	4	不定
汎用レジスタB	B	4	不定
インターラプトフラグ	I	1	0
デシマルフラグ	D	1	0
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定

周辺回路		
名 称	ビット長	初期設定値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	4	*

* "4.1 メモリマップ"参照

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時は必ずVssに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C60N16シリーズはCPU部分に4ビットコアCPU S1C6200Cを使用しているため、レジスタ構成、命令等は他のS1C6200/6200A/6200B/6200Cを使用したファミリプロセッサとほぼ同様です。

コアCPUの詳細については" S1C6200/6200AコアCPUマニュアル"を参照してください。

なお、S1C60N16シリーズにおいては、以下の点に注意してください。

- (1) SLEEP動作を想定していないため、SLP命令は使用できません。
- (2) ROM容量は4,096ワードのためバンクビットの必要がなく、PCB、NBPIは使用していません。
- (3) データメモリは2ページまでの設定となっているため、アドレス指定を行うインデックスレジスタのページ部分(XP、YP)は下位2ビットのみ有効となります(上位2ビットは無視されます)

3.2 ROM

内蔵ROMはプログラム格納用のマスクROMで、4,096ステップ×12ビットの容量があります。プログラム領域は1(0 ~ 15)ページ×25(00H ~ FFH)ステップとなっており、イニシャルリセット後のプログラム開始番地が1ページ00Hステップに、割り込みベクタが1ページ01H~0FHステップに割り当てられています。

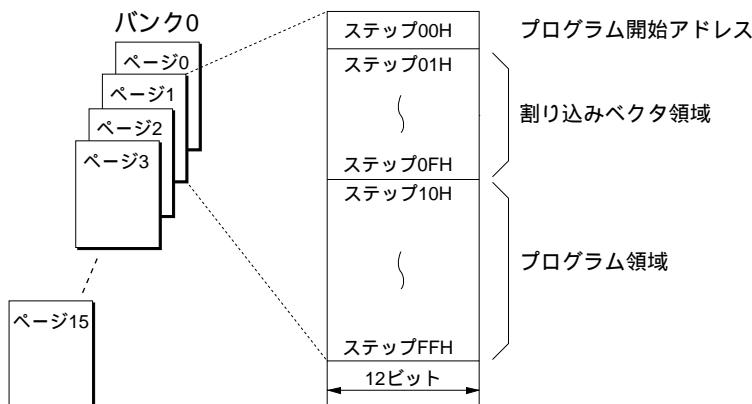


図3.2.1 ROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、256ワード×4ビットの容量があります。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データエリアとスタックエリアが重ならないように注意してください。
- (2) サブルーチンコール、割り込み等ではスタックエリアを3ワード消費します。
- (3) データメモリのアドレス000H~00FHはレジスタポインタ(RP)でアドレッシングされるメモリレジスタ領域です。

4 周辺回路と動作

S1C60N16シリーズの周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインターフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C60N16シリーズのデータメモリは287ワード(表示メモリを2ページに配置した場合、325ワード)のアドレス空間を持っており、そのうち38ワードが表示メモリ、31ワードがI/Oメモリとして割り付けられています。

図4.1.1にS1C60N16シリーズの全体のメモリマップ、表4.1.1(a)~(c)に周辺回路(I/O空間)のメモリマップを示します。

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	MA	MB	MC	MD	ME	MF
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																
2	0																
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																

図4.1.1 メモリマップ

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 or 2	4																
	5																
	6																

図4.1.2 表示メモリマップ

- 注:
- 表示メモリは領域全体を0ページ(040H ~ 065H)か2ページ(240H ~ 265H)のどちらに配置するかマスクオプションで選択できます。
 - 0ページ(040H ~ 065H)を選択すると表示メモリはRAM領域内に割り付けられ、読み出し/書き込みが可能となります。
 - 2ページ(240H ~ 265H)を選択すると、表示メモリは書き込み専用となります。
 - メモリマップ中の未使用領域、およびこの章で示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表4.1.1(a) I/Oメモリマップ(2D0H, 2E0H ~ 2ECH)

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2D0H	0	0	0	CSDC2	0 *3	- *2	-	-	未使用
	R			R/W	0 *3	- *2	-	-	未使用
	R/W			CSDC2	0 *3	- *2	-	-	未使用
	R				1	Normal	All off		LCD全消灯制御
2E0H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(2Hz)
	R				TM2	0			計時タイマデータ(4Hz)
	R				TM1	0			計時タイマデータ(8Hz)
	R				TM0	0			計時タイマデータ(16Hz)
2E1H	SWL3	SWL2	SWL1	SWL0	SWL3	0			MSB
	R				SWL2	0			ストップウォッチタイマ1/100secデータ(BCD)
	R				SWL1	0			LSB
	R				SWL0	0			
2E2H	SWH3	SWH2	SWH1	SWH0	SWH3	0			MSB
	R				SWH2	0			ストップウォッチタイマ1/10 secデータ(BCD)
	R				SWH1	0			LSB
	R				SWH0	0			
2E3H	K03	K02	K01	K00	K03	- *2	High	Low	入力ポートデータ(K00~K03)
	R				K02	- *2	High	Low	
	R				K01	- *2	High	Low	
	R				K00	- *2	High	Low	
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0	↓	↑	入力比較レジスタ(K00~K03)
	R/W				KCP02	0	↓	↑	
	R/W				KCP01	0	↓	↑	
	R/W				KCP00	0	↓	↑	
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
	R/W				EIK02	0	Enable	Mask	
	R/W				EIK01	0	Enable	Mask	
	R/W				EIK00	0	Enable	Mask	
2E6H	HLMOD	0	EISWIT1	EISWIT0	HLMOD	0 *3	Heavy load	Normal	重負荷保護モードレジスタ(S1C60A16)
	R/W				0	- *2	-	-	未使用
	R/W				EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
	R/W				EISWIT0	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG ³	-	Trigger	-	シリアルI/Fクロックトリガ
	R/W				EIK10	0	Enable	Mask	割り込みマスクレジスタ(K10)
	R/W				KCP10	0	↓	↑	入力比較レジスタ(K10)
	R/W				K10	- *2	High	Low	入力ポートデータ(K10)
2E8H	CSDC1	ETI2	ETI8	ETI32	CSDC1	0	Static	Dynamic	LCD駆動切り換え
	R/W				ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
	R/W				ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	- *2	-	-	未使用
	R				TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R				TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
	R				TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10)
	R				IK0 *4	0	Yes	No	割り込み要因フラグ(K00~K03)
	R				SWIT1 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ1Hz)
	R				SWIT0 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ10Hz)
2EBH	R03	R02	R01	R00	R03	0	High	Low	出力ポート(R03)
	R/W				R02	0	High	Low	出力ポート(R02)
	R/W				R01	0	High	Low	出力ポート(R01)
	R/W				R00	0	High	Low	出力ポート(R00)
2ECH	R13	R12	R11	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御
	R/W				R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御
	R/W				R11	0	High	Low	出力ポート(R11)
	R/W				SIOF	0	Run	Stop	出力ポート(SIOF)
	R/W				R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

表4.1.1(b) I/Oメモリマップ(2EDH ~ 2F3H, 2F6H ~ 2FCH)

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2EDH	P03	P02	P01	P00	P03	- *2	High	Low	入出力兼用ポートデータ(P00~P03) イニシャルリセット時、出力ラッチはリセット
					P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	
2EEH	R/W				TMRST*3	Reset	Reset	-	計時タイマリセット
	TMRST	SWRUN	SWRST	IOCO	SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
	W	R/W	W	R/W	SWRST*3	Reset	Reset	-	ストップウォッチタイマリセット
					IOCO	0	Output	Input	I/O制御レジスタ0(P00~P03)
2EFH	WDRST	WD2	WD1	WD0	WDRST*3	Reset	Reset	-	ウォッチドッグタイマリセット
					WD2	0			タイマデータ(ウォッチドッグタイマ) 1/4Hz
					WD1	0			タイマデータ(ウォッチドッグタイマ) 1/2Hz
	W	R			WD0	0			タイマデータ(ウォッチドッグタイマ) 1Hz
2F0H	SD3	SD2	SD1	SD0	SD3	x *5			シリアルI/Fデータレジスタ(下位4ビット)
					SD2	x *5			
					SD1	x *5			
					SD0	x *5			
2F1H	SD7	SD6	SD5	SD4	SD7	x *5			シリアルI/Fデータレジスタ(上位4ビット)
					SD6	x *5			
					SD5	x *5			
					SD4	x *5			
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1			SIFクロック [SCS1,0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)
					SCS0	1			
					SE2	0	↓	Mask	
					EISIO	0	Enable		
2F3H	0	0	0	ISIO	0 *3	- *2	-	-	未使用
					0 *3	- *2	-	-	未使用
					0 *3	- *2	-	-	未使用
					ISIO *4	0	Yes	No	割り込み要因フラグ(シリアルI/F)
2F6H	BZFQ2	BZFQ1	BZFQ0	ENVRST	BZFQ2	0			ブザー [BZFQ2~0] 0 1 2 3 周波数 fosc1/8 fosc1/10 fosc1/12 fosc1/14 選択 [BZFQ2~0] 4 5 6 7 周波数 fosc1/16 fosc1/20 fosc1/24 fosc1/28 エンベローブリセット
					BZFQ1	0			
					BZFQ0	0	Reset	-	
					ENVRST*3				
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off	エンベロープOn/Off
					ENVRT	0	1.0 sec	0.5 sec	エンベロープ減衰時間
					AMPDT	1	+>-	+<-	アナログコンバーテータ
					AMPON	0	On	Off	アナログコンバーテータOn/Off
2F8H	EV03	EV02	EV01	EV00	EV03	0			イベントカウンタ0(下位4ビット)
					EV02	0			
					EV01	0			
					EV00	0			
2F9H	EV07	EV06	EV05	EV04	EV07	0			イベントカウンタ0(上位4ビット)
					EV06	0			
					EV05	0			
					EV04	0			
2FAH	EV13	EV12	EV11	EV10	EV13	0			イベントカウンタ1(下位4ビット)
					EV12	0			
					EV11	0			
					EV10	0			
2FBH	EV17	EV16	EV15	EV14	EV17	0			イベントカウンタ1(上位4ビット)
					EV16	0			
					EV15	0			
					EV14	0			
2FCH	EVSEL	ENRUN	EV1RST	EV0RST	EVSEL	0	Separate	Phase	イベントカウンタモード選択
					EVRUN	0	Run	Stop	イベントカウンタRun/Stop
					EV1RST*3	Reset	Reset	-	イベントカウンタリセット
					EV0RST*3	Reset	Reset	-	イベントカウンタ0リセット

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

表4.1.1(c) I/Oメモリマップ(2FDH ~ 2FFH)

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2FDH	P13	P12	P11	P10	P13	- *2	High	Low	入出力兼用ポートデータ(P10~P13) イニシャルリセット時、出力ラッチはリセット
					P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
2FEH	0	CLKCHG	OSCC	IOC1	0 *3	- *2	-	-	未使用
					CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
	R	R/W			OSCC	0	On	Off	OSC3発振On/Off
					IOC1	0	Output	Input	I/O制御レジスタ(P10~P13)
2FFH	SVDDT	0	0	0	SVDDT	0	Low	Normal	SVD判定データ
	SVDON				SVDON	0	On	Off	SVD On/Off
	R	R			0 *3	- *2	-	-	未使用
	W				0 *3	- *2	-	-	未使用
					0 *3	- *2	-	-	未使用

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

4.2 ウオッヂドッグタイマのリセット

4.2.1 ウオッヂドッグタイマの構成

S1C60N16シリーズはOSC1(計時タイマ2Hz信号)を源振とするウォッヂドッグタイマを内蔵しています。ウォッヂドッグタイマはソフトウェアにより周期的にリセットする必要があります。3~4秒以上リセットが行われない場合、CPUに対して自動的にイニシャルリセット信号を出力します。

図4.2.1.1にウォッヂドッグタイマのブロック図を示します。

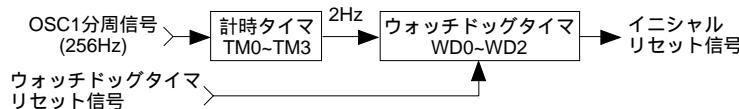


図4.2.1.1 ウオッヂドッグタイマのブロック図

ウォッヂドッグタイマは3ビットのバイナリカウンタ(WD0~WD2)で構成され、最上位桁のオーバーフローによってイニシャルリセット信号を内部的に発生します。

プログラムのメインルーチン上でウォッヂドッグタイマのリセット処理をすることにより、メインルーチンのウォッヂドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。なお、ウォッヂドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとイニシャルリセットからの再起動となります。

4.2.2 マスクオプション

ウォッヂドッグタイマを使用するかしないかは、マスクオプションにより選択することができます。"使用しない"を選択した場合、ウォッヂドッグタイマをリセットする必要はありません。

4.2.3 ウオッヂドッグタイマの制御方法

表4.2.3.1にウォッヂドッグタイマの制御ビットを示します。

表4.2.3.1 ウオッヂドッグタイマの制御ビット

アドレス	レジスタ				Name	Init *1	コメント	
	D3	D2	D1	D0			1	0
2EFH	WDRST	WD2	WD1	WD0	WDRST*3	Reset	Reset	-
					WD2	0		ウォッヂドッグタイマリセット
	W	R			WD1	0		タイムデータ(ウォッヂドッグタイマ) 1/4Hz
					WD0	0		タイムデータ(ウォッヂドッグタイマ) 1/2Hz
*1 イニシャルリセット時の初期値				*3 読み出し時は常時"0"				*5 不定
*2 回路上設定されない				*4 読み出し直後、リセット(0)				

WDRST: ウオッヂドッグタイマリセット (2EFH・D3)

ウォッヂドッグタイマをリセットするビットです。

"1"書き込み: ウオッヂドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッヂドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

ウォッヂドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッヂドッグタイマをリセットする必要があります。この場合、タイムデータ(WD0~WD2)は計時用途に使用することはできません。

4.3 発振回路

4.3.1 発振回路の構成

S1C60N16/60L16は1系統の発振回路(OSC1)、S1C60A16は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。OSC3はCRまたはセラミック発振回路で、S1C60A16において高速動作が要求される処理が必要な場合に、CPUの動作クロックをOSC1からOSC3に切り換えて使用します。

図4.3.1.1に発振系のブロック図を示します。

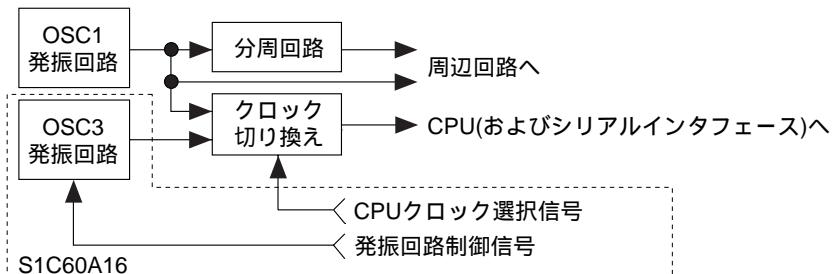


図4.3.1.1 発振系のブロック図

4.3.2 OSC1発振回路

OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振回路の種類は水晶発振回路で、発振周波数は32.768kHz(Typ.)です。

図4.3.2.1にOSC1発振回路のブロック図を示します。

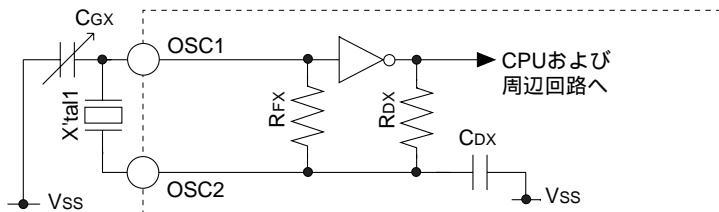


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に水晶振動子X'tal(Typ. 32.768kHz)を、OSC1端子とV_{SS}間にトリマコンデンサC_{GX}を接続することにより、容易に水晶発振回路を構成することができます。

4.3.3 OSC3発振回路(S1C60A16)

S1C60A16はCPUを高速動作(1MHz、Typ.)させるためのサブクロック、および高速クロックを必要とするシリアルインターフェースのソースクロックを発生するOSC3発振回路を内蔵しています。発振回路の種類として、CRまたはセラミック発振回路のいずれかをマスクオプションによって選択できます。

図4.3.3.1にOSC3発振回路のブロック図を示します。

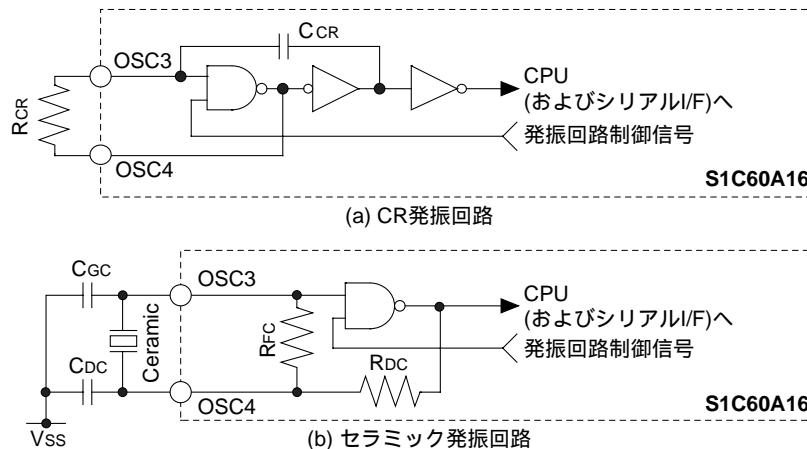


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成できます。 R_{CR} の抵抗値については"7 電気的の特性"を参照してください。セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(Typ. 1MHz)を、同OSC3、OSC4端子とVss間にコンデンサを2個(C_{Gc} 、 C_{DC})それぞれ接続することでセラミック発振回路を構成できます。 C_{Gc} 、 C_{DC} コンデンサの値については"7 電気的の特性"を参照してください。このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCCレジスタ)によって発振を停止させることができます。

S1C60N16/60L16(シングルクロック仕様)では、OSC3・OSC4をN.C(非接続)としてください。

4.3.4 CPU動作クロックの切り換え(S1C60A16)

S1C60A16では、OSC1とOSC3のどちらをCPUのシステムクロックとして使用するか、ソフトウェア(CLKCHGレジスタ)によって切り換えます。

CPUのシステムクロックとしてOSC3を使用する場合は、OSC3の発振をONした後、発振が安定する5msec以上の時間をおいてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換える後にOSC3発振をOFFします。

OSC1 OSC3

1. OSCCに"1"を設定(OSC3発振ON)
2. 5msec以上保持
3. CLKCHGに"1"を設定(OSC1 OSC3)

OSC3 OSC1

1. CLKCHGに"0"を設定(OSC3 OSC1)
2. OSCCに"0"を設定(OSC3発振OFF)

4.3.5 発振回路の制御方法(S1C60A16)

表4.3.5.1に発振回路の制御ビットを示します。

表4.3.5.1 発振回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0			— *2	—	
2FEH	0	CLKCHG	OSCC	IOC1	0 *3	— *2	—	—	未使用
	R/W				CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
	R	OSC3			OSCC	0	On	Off	OSC3発振On/Off
					IOC1	0	Output	Input	I/O制御レジスタ(P10~P13)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

OSCC: OSC3発振制御(2FEH・D1)

OSC3発振回路の発振ON/OFFを制御します。(S1C60A16のみ)

"1"書き込み : OSC3発振ON

"0"書き込み : OSC3発振OFF

読み出し : 可能

S1C60A16において、CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

S1C60N16/60L16では"0"固定としてください。

イニシャルリセット時、OSCCは"0"に設定されます。

CLKCHG: CPUクロック切り換え(2FEH・D2)

CPUの動作クロックを選択します。(S1C60A16のみ)

"1"書き込み : OSC3クロックを選択

"0"書き込み : OSC1クロックを選択

読み出し : 可能

S1C60A16において、CPUの動作クロックをOSC3にする場合にCLKCHGを"1"、OSC1にする場合"0"を設定してください。S1C60N16/60L16ではこのレジスタの制御は無効で、設定値にかかわらず常時OSC1が選択されます。

イニシャルリセット時、CLKCHGは"0"に設定されます。

4.3.6 プログラミング上の注意事項(S1C60A16)

(1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、充分マージンをとって待ち時間を設定してください。

(2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

4.4 入力ポート(K00 ~ K03, K10)

4.4.1 入力ポートの構成

S1C60N16シリーズは5ビット (4ビット + 1ビット) の汎用入力ポートを内蔵しています。各入力ポート端子 (K00 ~ K03、K10) には内蔵プルダウン抵抗が用意されており、使用するかどうかをマスクオプションで1ビットごとに選択できます。

図4.4.1.1に入力ポートの構造を示します。

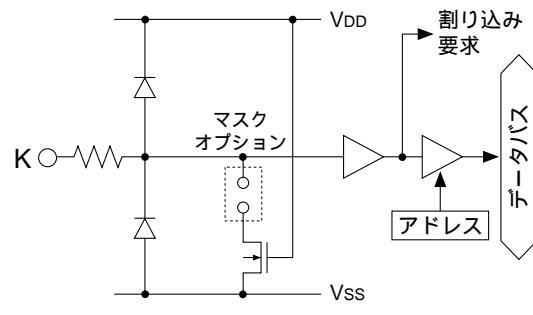


図4.4.1.1 入力ポートの構造

マスクオプションで"プルダウン抵抗あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルダウン抵抗なし"を選択した場合、スライドスイッチ入力、他LSIとのインターフェースなどに使用できます。

また、K02、K03端子はイベントカウンタの入力端子も兼ねています(詳細は"4.12 イベントカウンタ"を参照してください)。

4.4.2 入力比較レジスタと割り込み機能

入力ポート5ビット(K00～K03, K10)は、すべて割り込み機能を持っており、割り込み発生条件をソフトウェアで設定することができます。また、5ビットすべての端子について1ビットごとに、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。

図4.4.2.1に入力割り込み回路の構成を示します。

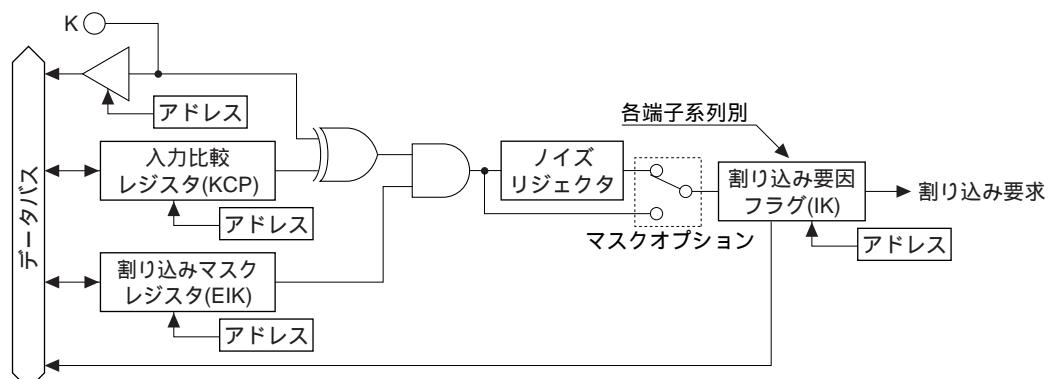


図4.4.2.1 入力割り込み回路構成

K00～K03、K10の入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03、KCP10)の設定値により、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

また、K00～K03、K10は割り込みマスクレジスタ(EIK00～EIK03、EIK10)により、個別に割り込みのマスクを選択することができます。ただし、K00～K03の中で割り込みがイネーブルになっているものに対しては、入力比較レジスタとの内容が一致状態から不一致状態に変化したときに割り込みが発生します。K10については独自に同様の条件設定による割り込みが行えます。

割り込みが発生した際には、割り込み要因フラグ(IK0、IK1)が"1"にセットされます。

図4.4.2.2にK00～K03の割り込み発生例を示します。

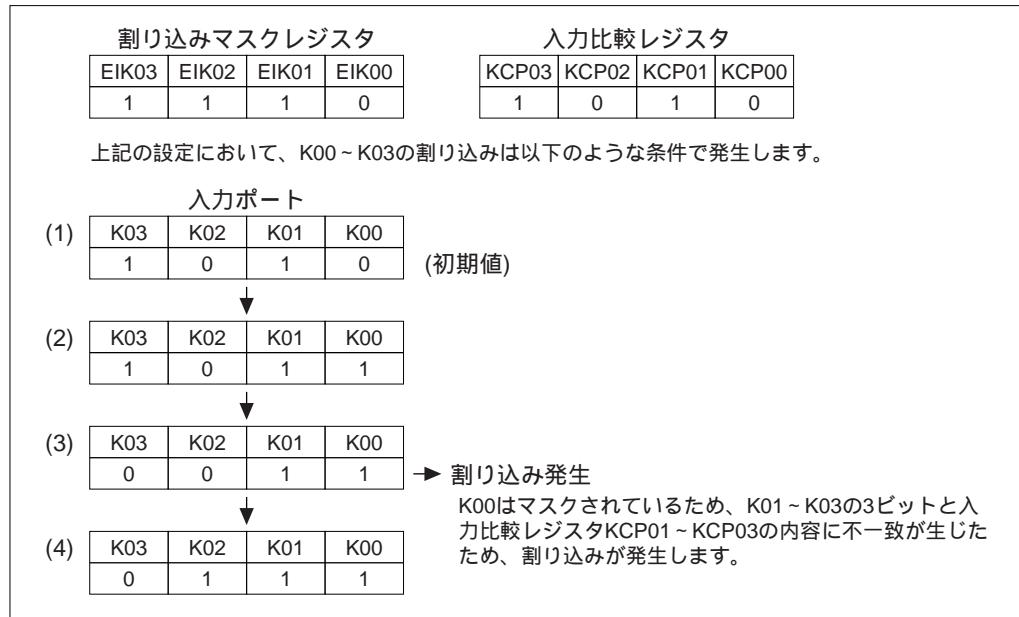


図4.4.2.2 K00～K03割り込み発生例

K00は割り込みマスクレジスタ(EIK00)によってマスクされているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みがイネーブルになっている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みがマスクされている端子は割り込み発生条件に影響を与えません。

4.4.3 マスクオプション

入力ポートのマスクオプションで選択できる内容は以下のとおりです。

- (1) 5ビットの入力ポート(K00～K03、K10)に対して、1ビットごとに内蔵プルダウン抵抗の有無を選択できます。
 - "プルダウン抵抗なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルダウン抵抗あり"を選択してください。
- (2) ノイズ等による割り込みの誤発生を防ぐため、入力割り込み回路にはノイズリジェクト回路が内蔵されています。各端子系列ごとにこのノイズリジェクト回路を使用するかしないか、マスクオプションで選択することができます。
 - "使用する"を選択した場合、割り込み条件成立から割り込み要因フラグ(IK)が"1"にセットされるまで、最大1msecの遅延が生じます。

4.4.4 入力ポートの制御方法

表4.4.4.1に入力ポートの制御ビットを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2E3H	K03	K02	K01	K00	K03	- *2	High	Low	入力ポートデータ(K00~K03)
					K02	- *2	High	Low	
					K01	- *2	High	Low	
					K00	- *2	High	Low	
2E4H	R				KCP03	0			入力比較レジスタ(K00~K03)
	KCP03	KCP02	KCP01	KCP00	KCP02	0			
					KCP01	0			
					KCP00	0			
	R/W								
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
					EIK02	0	Enable	Mask	
					EIK01	0	Enable	Mask	
					EIK00	0	Enable	Mask	
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG*3	-	Trigger	-	シリアルI/Fクロックトリガ 割り込みマスクレジスタ(K10) 入力比較レジスタ(K10) 入力ポートデータ(K10)
					EIK10	0	Enable	Mask	
					KCP10	0			
					K10	- *2	High	Low	
2EAH	IK1	IK0	SWIT1	SWITO	IK1 *4	0	Yes	No	割り込み要因フラグ(K10) 割り込み要因フラグ(K00~K03) 割り込み要因フラグ(ストップウォッチ1Hz) 割り込み要因フラグ(ストップウォッチ10Hz)
					IK0 *4	0	Yes	No	
					SWIT1 *4	0	Yes	No	
					SWITO *4	0	Yes	No	
R									

*1 イニシャルリセット時の初期値

*3 読み出し時は常に"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

K00 ~ K03, K10: 入力ポートデータ(2E3H, 2E7H・D0)

入力ポート端子の入力データが読み出せます。

"1"読み出し : HIGHレベル

"0"読み出し : LOWレベル

書き込み : 無効

入力ポート5ビット(K00 ~ K03、K10)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

KCP00 ~ KCP03, KCP10: 入力比較レジスタ(2E4H, 2E7H・D1)

K00 ~ K03、K10端子の割り込み発生条件を設定できます。

"1"書き込み : 立ち下がりエッジ

"0"書き込み : 立ち上がりエッジ

読み出し : 可能

5ビットの端子(K00 ~ K03、K10)は入力比較レジスタ(KCP00 ~ KCP03、KCP10)によって、割り込みの発生条件を入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

EIK00 ~ EIK03, EIK10: 割り込みマスクレジスタ(2E5H, 2E7H・D2)

入力ポート端子の割り込みについて、マスクするかしないかを選択します。

"1"書き込み : イネーブル

"0"書き込み : マスク

読み出し : 可能

入力ポート5ビット(K00 ~ K03, K10)に対して、割り込みをマスクするかしないかを、このレジスタにより、1ビットごとに選択できます。なお、書き込みは、DI(インタラプトフラグ="0")状態で行ってください。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IK0, IK1: 割り込み要因フラグ(2EAH・D2・D3)

入力割り込みの発生状態を示すフラグです。

"1"読み出し : 割り込みあり

"0"読み出し : 割り込みなし

書き込み : 無効

割り込み要因フラグIK0, IK1はそれぞれK00 ~ K03、K10の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。これらのフラグは、ソフトウェアで読み出すことによってリセットされます。なお、読み出しが、DI(インタラプトフラグ="0")状態で行ってください。

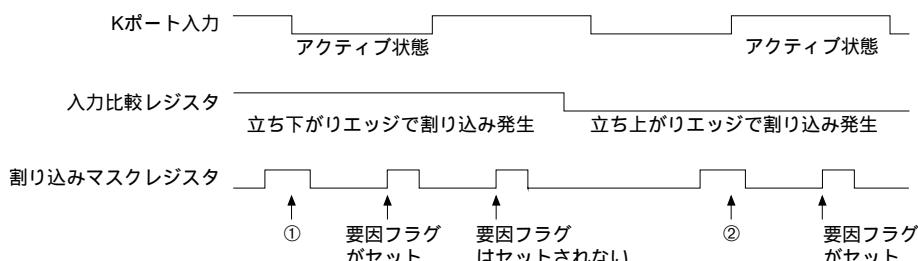
イニシャルリセット時、これらのフラグは"0"に設定されます。

4.4.5 プログラミング上の注意事項

(1)入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。目安としては、約1msec程度の待ち時間が必要です。

(2)マスクオプションで"ノイズリジェクト回路あり"を選択した場合、割り込み条件成立から割り込み要因フラグ(IK)が"1"にセットされるまで(実際に割り込みが発生するまで)に、最大1msecの遅延が生じます。このため、割り込み要因フラグの読み出し(リセット)を行う際は、タイミングに注意する必要があります。たとえば、キーマトリクスにおいてキースキャンを行う場合、キースキャンにより入力の状態が変化して割り込み要因フラグがセットされるため、読み出しがリセットする必要があります。ただし、キースキャンを行った直後に割り込み要因フラグの読み出しが行われると、遅延により読み出した後にフラグがセットされてしまい、リセットできません。

(3)入力割り込みプログラミング上の注意



Kポート入力がアクティブ状態のときに、マスクレジスタの内容を書き換えた場合

立ち下がりエッジによる割り込み、立ち上がりエッジによる割り込み

、で入力割り込み要因フラグがセットされる。

図4.4.5.1 入力割り込みタイミング

入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときにマスクレジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、

立ち下がりエッジで割り込みがかかる場合: 入力端子=LOW状態

立ち上がりエッジで割り込みがかかる場合: 入力端子=HIGH状態
をいいいます。

入力端子の立ち下がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったままマスクレジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態(LOW状態)のときはマスクレジスタの書き換え(マスクレジスタのクリア セット)を行わないでください。マスクレジスタをクリアした後セットする場合は、入力端子がアクティブでない状態(HIGH状態)のときに、マスクレジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされます。この場合、マスクレジスタをクリア セットするときは、入力端子がLOW状態のときにマスクレジスタをセットしてください。

また、マスクレジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

(4)割り込み要因フラグ(IK)の読み出しと、割り込みマスクレジスタ(EIK)への書き込みは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時のアクセスは誤動作の原因になります。

4.5 出力ポート(R00 ~ R03, R10 ~ R13)

4.5.1 出力ポートの構成

S1C60N16シリーズは8ビット(4ビット×2)の汎用出力ポートを内蔵しています。

各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とPchオーブンドレイン出力の2種類です。

また、出力ポートのR10～R13はマスクオプションにより特殊出力ポートとしても使用できます。図4.5.1.1に出力ポートの構成を示します。

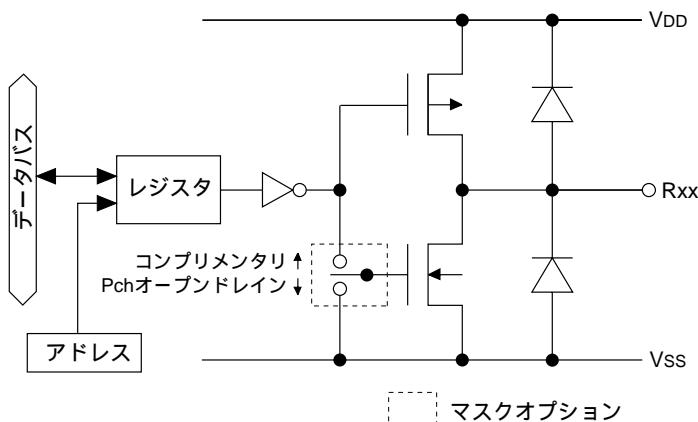


図4.5.1.1 出力ポートの構成

4.5.2 マスクオプション

出力ポートはマスクオプションにより以下の選択が行えます。

(1)出力ポートの出力仕様

出力ポート(R00 ~ R03, R10 ~ R13)の出力仕様は、8ビットのポート個々にコンプリメンタリ出力またはPchオーブンドレイン出力のいずれかが選択できます。

ただし、Pchオーブンドレイン出力を選択した場合でも出力ポートに電源電圧を超える電圧の印加は禁止します。

(2)特殊出力

出力ポートR10～R13は通常のDC出力の他に表4.5.2.1に示す特殊出力を選択できます。

図4.5.2.1に出力ポートR10～R13の構造を示します。

表4.5.2.1 特殊出力

出力ポート	特殊出力
R10	BZ出力
R13	\overline{BZ} 出力(R10にBZ出力を選択した場合のみ)
R11	SIOF出力
R12	FOUT出力

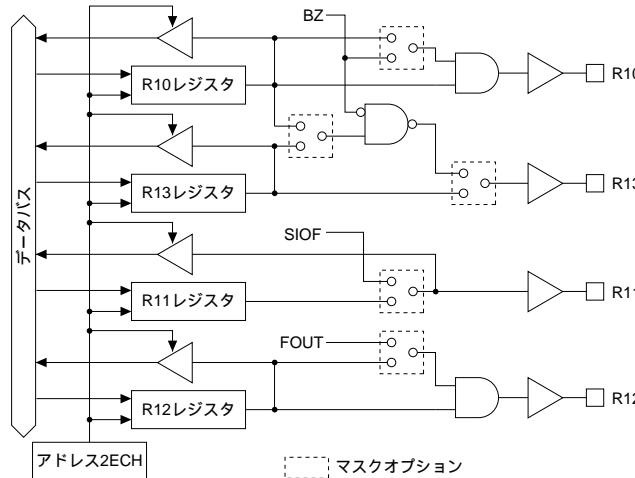


図4.5.2.1 出力ポートR10～R13の構造

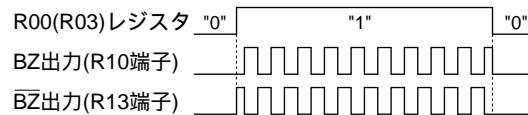
BZ, \overline{BZ} (R10, R13)

BZ、 \overline{BZ} は圧電ブザーを駆動するためのブザー信号出力で、ブザー信号はfosc1を分周して作られます。また、ブザー信号にデジタルエンベロープを附加することができます。

詳細については"4.11 サウンドジェネレータ"を参照してください。

- 注:
- ・ BZ, \overline{BZ} 出力信号はON/OFF時にハザードを生じる可能性があります。
 - ・ 出力ポートR10をDC出力に設定した場合は出力ポートR13を \overline{BZ} 出力に設定することはできません。

図4.5.2.2にBZ、 \overline{BZ} の出力波形を示します。

図4.5.2.2 BZ, \overline{BZ} の出力波形

SIOF(R11)

出力ポートR11をSIOF出力に設定した場合、このポートはシリアルインタフェースの動作状態 (RUN状態/STOP状態)を示す信号を出力します。

詳細については"4.7 シリアルインタフェース"を参照してください。

FOUT(R12)

出力ポートR12をFOUT出力に設定した場合、このポートはfosc1またはfosc1を分周したクロックを出力します。クロックの周波数はマスクオプションで選択でき、その種類は表4.5.2.2のとおりです。

表4.5.2.2 FOUTクロック周波数

設定値	クロック周波数(Hz) *
fosc1 / 1	32,768
fosc1 / 2	16,384
fosc1 / 4	8,192
fosc1 / 8	4,096
fosc1 / 16	2,048
fosc1 / 32	1,024
fosc1 / 64	512
fosc1 / 128	256

* fosc1 = 32.768kHzの場合

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

4.5.3 出力ポートの制御方法

表4.5.3.1に出力ポートの制御ビットを示します。

表4.5.3.1 出力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2EBH	R03	R02	R01	R00	R03	0	High	Low	出力ポート(R03)
					R02	0	High	Low	出力ポート(R02)
					R01	0	High	Low	出力ポート(R01)
					R00	0	High	Low	出力ポート(R00)
2ECH	R/W				R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御
	R13	R12	R11 SIOF	R10	R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御
	R/W		R/W R	R/W	R11	0	High	Low	出力ポート(R11)
					SIOF	0	Run	Stop	出力ポート(SIOF)
					R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

*4 読み出し直後、リセット(0)

*5 不定

R00～R03, R10～R13(DC出力時): 出力ポートデータ(2EBH, 2ECH)

各出力ポートの出力データを設定します。

"1"書き込み : HIGHレベル出力

"0"書き込み : LOWレベル出力

読み出し : 可能

出力ポート端子は対応するレジスタ(R00～R03, R10～R13)に書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(VDD)レベルになり、"0"を書き込んだ場合はLOW(Vss)レベルになります。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

R10, R13(BZ, \overline{BZ} 出力選択時): 特殊出力ポートデータ(2ECH・D0・D3)

ブザー信号(BZ, \overline{BZ})の出力制御を行います。

"1"書き込み : ブザー信号出力

"0"書き込み : LOWレベル(DC)出力

読み出し : 可能

\overline{BZ} はR13端子から出力されますが、この出力制御をレジスタR13で行うか、レジスタR10でBZと同時に行うかをマスクオプションで選択できます。

\overline{BZ} 出力をR13制御とした場合

BZ出力と \overline{BZ} 出力を個別に制御できます。BZ出力の制御はレジスタR10にデータを書き込むことにより行い、 \overline{BZ} 出力の制御はレジスタR13にデータを書き込むことにより行います。

\overline{BZ} 出力をR10制御とした場合

BZ出力と \overline{BZ} 出力の制御をレジスタR10のみにデータを書き込むことにより同時に行います。この場合、レジスタR13はリード/ライト可能な1ビットの汎用レジスタとして使用でき、このレジスタのデータは \overline{BZ} 出力(R13端子の出力)に影響を与えません。

イニシャルリセット時、レジスタR10、R13は"0"に設定されます。

R11(SIOF出力選択時): 特殊出力ポートデータ(2ECH・D1)

シリアル入出力ポートの動作状態を示します。

"1"読み出し : RUN状態

"0"読み出し : STOP状態

書き込み : 無効

SIOFの詳細については"4.7 シリアルインターフェース"を参照してください。なお、このビットは読み出し専用のため、データの書き込みは無効となります。

R12(FOUT出力選択時): 特殊出力ポートデータ(2ECH・D2)
FOUT(クロック)出力を制御します。

"1"書き込み : クロック出力
"0"書き込み : LOWレベル(DC)出力
読み出し : 可能

レジスタR12へのデータ書き込みにより、FOUT出力を制御できます。
イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.4 プログラミング上の注意事項

マスクオプションでBZ、 \overline{BZ} 、FOUTを選択した場合、出力レジスタのデータ変更時に出力波形にハザードが出る場合があります。

4.6 入出力兼用ポート(P00～P03, P10～P13)

4.6.1 入出力兼用ポートの構成

S1C60N16シリーズは8ビット(4ビット×2)の汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

入出力兼用ポートはP00～P03とP10～P13の4ビットずつをそれぞれ入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

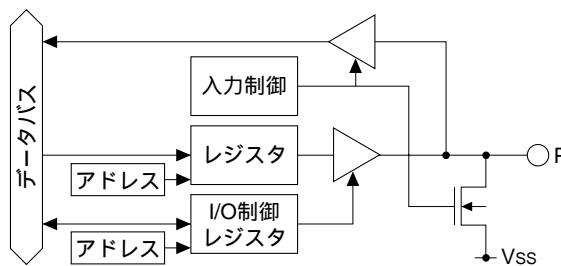


図4.6.1.1 入出力兼用ポートの構成

P10～P12入出力兼用ポート端子は、マスクオプションでシリアルインターフェースの入出力端子に変更可能です。

4.6.2 マスクオプション

(1)出力仕様

入出力兼用ポートは出力モード時(IOC="1")の出力仕様としてコンプリメンタリ出力、またはPchオープンドレインのいずれかをマスクオプションにより設定できます。この設定は1ビットの各ポートごとに行えます。

ただし、Pchオープンドレイン出力を選択した場合でも、ポートに電源電圧を超える電圧を印加することは禁止します。

(2)シリアルインターフェース

マスクオプションによりシリアルインターフェースを使用可能に設定できます。その場合、P10、P11およびP12端子がシリアル入出力ポートとして使用されます。

4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートP00～P03とP10～P13は、それぞれの4ビットに対応したI/O制御レジスタIOC0とIOC1にデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。

ただし、入力データの読み込み時は、入力ラインがプルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{ss})レベルの出力を行います。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

4.6.4 入出力兼用ポートの制御方法

表4.6.4.1に入出力兼用ポートの制御ビットを示します。

表4.6.4.1 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0			1	0	
2EDH	P03	P02	P01	P00	P03	- *2	High	Low	入出力兼用ポートデータ(P00~P03) イニシャルリセット時、出力ラッチはリセット
					P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	
R/W									
2EEH	TMRST	SWRUN	SWRST	IOCO	TMRST*3	Reset	Reset	-	計時タイマリセット
					SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
					SWRST*3	Reset	Reset	-	ストップウォッチタイマリセット
					IOCO	0	Output	Input	I/O制御レジスタ0 (P00~P03)
2FDH	P13	P12	P11	P10	P13	- *2	High	Low	入出力兼用ポートデータ(P10~P13) イニシャルリセット時、出力ラッチはリセット
					P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
R/W									
2FEH	0	CLKCHG	OSCC	IOC1	0 *3	- *2	-	-	未使用
					CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
					IOC1	0	Output	Input	I/O制御レジスタ(P10~P13)
R/W									

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

P00～P03, P10～P13: 入出力兼用ポートデータ(2EDH, 2FDH)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

データ書き込み時

- "1"書き込み : HIGHレベル
- "0"書き込み : LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

- "1"読み出し時 : HIGHレベル
- "0"読み出し時 : LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合は出力電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、読み出し時には内蔵プルダウン抵抗がONとなり、入出力兼用ポート端子がプルダウンされます。

シリアルインターフェースの入出力に設定されたポート(P10～P12)のデータレジスタは、入出力に影響を与えない汎用レジスタとして使用可能です。

- 注:
- ・入出力兼用ポートが出力モードに設定され、ポート端子に低インピーダンスの負荷が接続されている場合、レジスタに書き込んだデータと読み出したデータが異なることがあります。
 - ・入出力兼用ポートが入力モードに設定され、内蔵プルダウン抵抗によりLOW(V_{SS})レベルが与えられる場合、入力ラインの容量性負荷と内蔵プルダウン抵抗との時定数が読み出し時間より大きいと誤入力となります。入力データの読み出し時に入力ラインがプルダウンされる時間はCPUシステムクロックの1.5周期分ですが、端子の電位は0.5周期以内に定まる必要があります。この条件を満たせない場合はプルダウン抵抗を外部に設けるか、複数回の読み出しを行う等の対策が必要です。

IOC0, IOC1: I/O制御レジスタ(2EEH・D0, 2FEH・D0)
入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード
"0"書き込み: 入力モード
読み出し: 可能

入出力兼用ポートの入力/出力モードを4ビット単位に設定します。IOC0はP00～P03のモード設定、IOC1はP10～P13のモード設定を行います。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、この2つのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

シリアルインターフェースを使用する場合、IOC1レジスタはP13ポートの入出力モードのみを制御します。

4.6.5 プログラミング上の注意事項

- (1)入出力兼用ポートの入力をHIGHレベルから内蔵プルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。そのため、OSC3発振回路でCPUが動作中にデータを読み出す場合は、約500μsec程度の時間、連続してデータを読み出す必要があります。
- (2)入出力兼用ポートを出力モードに設定している際にデータレジスタを読み出した場合は、レジスタのデータではなく端子データが読み出されます。そのため、低インピーダンスの負荷を接続した場合に、この読み出しを行うとレジスタの値と読み出し結果が異なる場合があります。

4.7 シリアルインターフェース(SIN, SOUT, SCLK)

4.7.1 シリアルインターフェースの構成

S1C60N16は、マスクオプションの選択により使用可能となるクロック同期型の8ビットシリアルインターフェースを内蔵しています。

図4.7.1.1にシリアルインターフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスタとなる場合)と種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)と種類の中から1つをソフトウェアにより選択できます。また、マスタモードまたはスレーブモードいずれの場合も、シリアルインターフェースが送受信可能かどうかを示すS1OF信号をマスクオプションによりR11端子から出力することができます。シリアルインターフェースの動作状態を示すS1OF(2ECH・D1)ビットも、同じマスクオプションで使用可能になります。

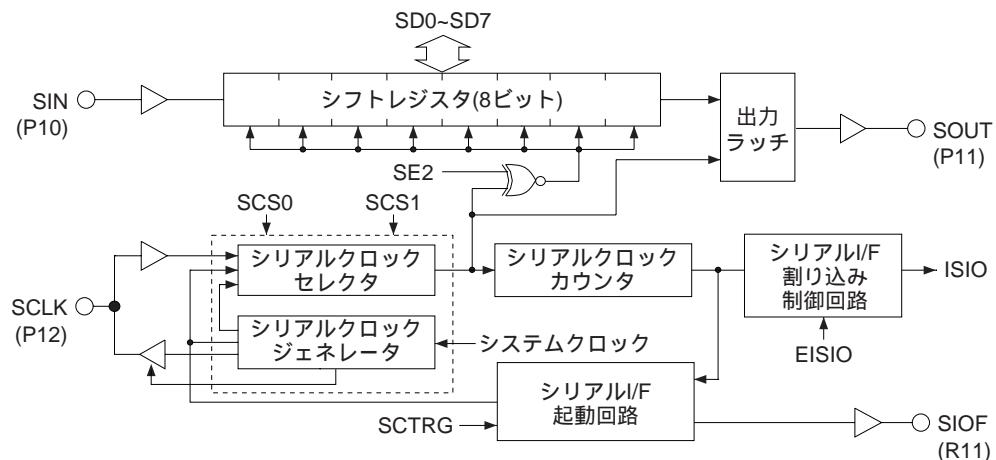


図4.7.1.1 シリアルインターフェースの構成

SIN (P10) 端子とSCLK (P12) 端子はプルダウン抵抗を内蔵しています。ただし、SCLK (P12) 端子のプルダウンは外部クロックモード時のみ有効で、内部クロックモード時はプルダウンされません。

4.7.2 マスクオプション

シリアルインターフェースはマスクオプションにより以下の選択が行えます。

(1)シリアルインターフェースを使用するかしないか選択できます。使用する場合、以下の入出力兼用ポート端子がシリアル入出力端子に設定されます。

P10 → SIN(データ入力)

P11 → SOUT(データ出力)

P12 → SCI K(クロック入出力)

(2)SOUT端子は出力仕様としてコンプリメンタリ出力、Pchオープンドレイン出力のいずれかを選択できます。ただし、Pchオープンドレイン出力を選択した場合でも、SOUT端子に電源電圧を超える電圧の印加は禁じられます。

(3) SCLK端子は出力モード時の出力仕様としてコンプリメンタリ出力、Pchオープンドレイン出力のいずれかを選択できます。

(4)SIO信号の論理を正または負に設定できます。ただし、入力モード時はプルダウン抵抗のみの設定となっていますので注意してください。(プルアップ抵抗は内蔵していません)

(5)シリアルデータの入出力順列としてMSB先頭またはLSB先頭が選択できます。

(6)出力ポートR11("4.5 出力ポート"参照)とR11出力ポートデータビット(2ECH·D1)を、それぞれシリアルインターフェースの動作状態を示すS1OF出力と、S1OFの値が読み出せるステータスピット(2ECH·D1)として同時に設定できます。

このオプションが選択された場合、R11端子とR11ポートデータビット(2ECH·D1)を汎用出力端子とその出力データビットとして使用することはできません。

4.7.3シリアルインターフェースのマスタモードとスレーブモード

S1C60N16のシリアルインターフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。

マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックをSCLK端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。

スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK端子より入力し、本CPU内蔵のシリアルインターフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1(アドレス2F2HのD2、D3)にデータを書き込むことによって切り換えることができます。表4.7.3.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.7.3.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
0	0	マスタモード	CLK
0	1		CLK/2
1	0		CLK/4
1	1	スレーブモード	外部クロック

CLK: CPUシステムクロック

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビット・シリアルデータの入出力に伴い次のように制御されています。

- マスタモードでは、SCLK端子よりクロックが8個出力されると自動的にクロック出力を停止し、SCLK端子はLOWに固定されます。
- スレーブモードでは、SCLK端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

注: シリアルインターフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインターフェースが動作しているときは、システムクロックの切り換え($fosc1 \leftrightarrow fosc3$)を行わないでください。

基本的なシリアル入出力部の接続例を図4.7.3.1に示します。



図4.7.3.1 基本的接続例

4.7.4 データの入出力と割り込み

S1C60N16のシリアルインターフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK端子より出力される(マスタモード)同期クロックか、SCLK端子に入力される(スレーブモード)同期クロックに同期して動作します。シリアルインターフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下に、シリアルデータの入出力方法について説明します。

(1)シリアルデータの出力と割り込み

S1C60N16のシリアルインターフェースは8ビット単位でパラレルデータをシリアル出力することができます。

パラレルデータを4ビットレジスタSD0～SD3(アドレス2F0H)と4ビットレジスタSD4～SD7(アドレス2F1H)にセットし、SCTRGビット(アドレス2E7H・D3)を"1"にセットすると、同期クロックに同期してSOUT端子にシリアルデータが出力されます。このとき同期クロックは、マスタモードでは内部クロックがSCLK端子に出力され、スレーブモードでは外部クロックがSCLK端子より入力されます。SOUT端子のシリアル出力はSCLK端子から入力、または出力されるクロックの立ち上がりで変化します。

また、CPU内部シフトレジスタのデータは、SE2ビット(アドレス2F2H・D1)が"1"のときはSCLK信号の立ち上がりでシフトし、SE2ビットが"0"のときはSCLK信号の立ち下がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグEISIO(アドレス2F3H・D0)がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIO(アドレス2F2H・D0)によって割り込みを禁止することもできます。

(2)シリアルデータの入力と割り込み

S1C60N16のシリアルインターフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、"(1)シリアルデータの出力と割り込み"で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。データを出力する場合と同様にSCLK端子に同期クロックを出力したり、SCLK端子より同期クロックを入力したりすることができます。

内蔵シフトレジスタへのシリアルデータは、SE2ビットが"1"のときはSCLK信号の立ち上がりで取り込まれ、SE2ビットが"0"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグEISIOがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIOによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。

シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

(3)シリアルデータの入出力順列

S1C60N16はマスクオプションによりシリアルデータの入出力の順列をLSBを先頭にするかMSBを先頭にするかを切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.7.4.1に示します。



(4) SIOF信号

SIOF信号は、マスクオプションの選択により、マスタモードまたはスレーブモードにかかわらずR11端子から出力されます。

たとえば、S1C60N16のシリアルインターフェースをスレーブモード(外部クロックモード)で使用する場合には、このSIOF出力により、マスター側外部のシリアル入出力回路に対してCPU内部のシリアルインターフェースが送受信可能かどうかを伝えることができます。また、たとえばマスタモード時に、ステータスピットSIOF(2ECH·D1)を読み出すことによりシリアルインターフェースの動作状態を知ることができます。

SIOF信号出力とSIOF(2ECH·D1)はS1C60N16のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SIOF信号出力とSIOF(2ECH·D1)はSCTRGビットをセットした直後に"0"から"1"に変化し、同期クロックが8個(8周期分)カウントされた時点で"1"から"0"に戻ります。

(5) タイミングチャート

S1C60N16のシリアルインターフェースのタイミングチャートを図4.7.4.2に示します。

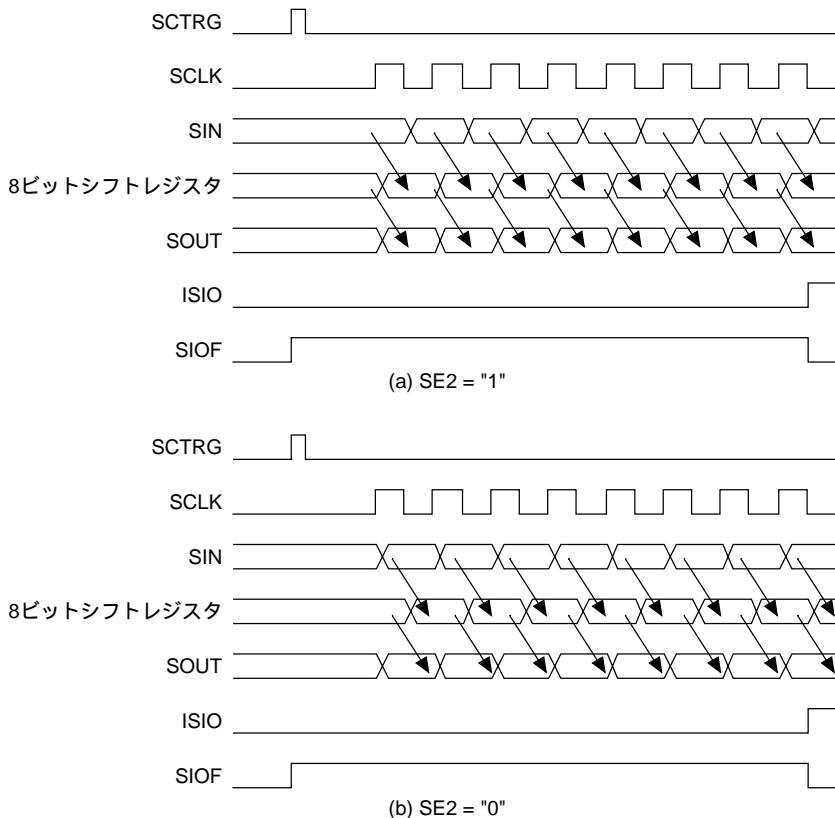


図4.7.4.2 シリアルインターフェースのタイミングチャート

4.7.5 シリアルインターフェースの制御方法

表4.7.5.1にシリアルインターフェースの制御ビットを示します。

表4.7.5.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	コメント	
	D3	D2	D1	D0			1	0
2E7H	SCTRG	IK10	KCP10	K10	SCTRG*3	-	Trigger	-
					EIK0	0	Enable	Mask
2ECH	W	R/W		R	KCP10	0	↓	↑
					K10	-*2	High	Low
2F0H	R13	R12	R11 ----- SIOF	R10	R13	0	High/On	Low/Off
					R12	0	High/On	Low/Off
2F1H	R/W	R/W		R/W	R11	0	High	Low
					SIOF	0	Run	Stop
2F2H	SD3	SD2	SD1	SD0	SD3	*5	SIFクロック [SCS1,0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)	↓ Enable ↓ Mask
		R/W			SD2	*5		
2F3H	SD7	SD6	SD5	SD4	SD5	*5		
		R/W			SD4	*5		
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1	SIFクロック [SCS1,0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)	↓ Enable ↓ Mask
		R/W			SCS0	1		
2F3H	0	0	0	ISIO	SE2	0		↓ Enable ↓ Mask
		R			EISIO	0		
2F3H	0 *3	0 *3	0 *3	ISIO *4	- *2	-	未使用	↓ Enable ↓ Mask
					- *2	-	未使用	
2F3H	0 *3	0 *3	0 *3	ISIO *4	- *2	-	未使用	
					0	Yes	割り込み要因フラグ(シリアルI/F)	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

SD0～SD3, SD4～SD7: シリアルインターフェースデータレジスタ(2F0H, 2F1H)

シリアルデータの書き込み/読み出しを行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

SOUT端子から出力するシリアルデータを書き込みます。SOUT端子からは"1"に設定されたビットがHIGH(VDD)レベル、"0"に設定されたビットがLOW(Vss)レベルとしてシリアル変換されたデータが出力されます。

データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

SIN端子から入力されたシリアルデータを読み出します。このレジスタにはSIN端子から入力されたHIGH(VDD)レベルのビットを"1"、LOW(Vss)レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

SCS1, SCS0: クロックモード選択レジスタ(2F2H・D3・D2)
シリアルインターフェースの同期クロック(SCLK)を選択します。

表4.7.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
0	0	マスタモード	CLK
0	1		CLK/2
1	0		CLK/4
1	1	スレーブモード	外部クロック

CLK: CPUシステムクロック

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記 4種類の中から選択します。
イニシャルリセット時は外部クロックが選択されます。

SE2: クロックエッジ選択レジスタ(2F2H・D1)

SIN端子から入力するシリアルデータの読み込みタイミングを選択します。

"1"書き込み: SCLK立ち上がりエッジ

"0"書き込み: SCLK立ち下がりエッジ

読み出し: 可能

シリアル入力データのレジスタ(SD0 ~ SD7)への読み込みをSCLK信号の立ち上がりエッジ("1"書き込み時)で行うか、立ち下がりエッジ("0"書き込み時)で行うかを選択します。

マスクオプションにより同期クロックを逆相(SCLK = \overline{SCLK})とした場合は注意してください。SCLK立ち上がり= \overline{SCLK} 立ち下がり、 SCLK立ち下がり= \overline{SCLK} 立ち上がり

同期クロック(SCLK)に内部クロックが選択されている場合、レジスタSE2へのデータ書き込み時に同期クロック(SCLK)にハザードを生じます。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち上がりエッジに固定です。

イニシャルリセット時はSCLK立ち下がり(SE2="0")が選択されます。

EISIO: 割り込みマスクレジスタ(2F2H・D0)

シリアル入出力ポートからの割り込みマスクを設定します。

"1"書き込み: 割り込みイネーブル

"0"書き込み: 割り込みをマスク

読み出し: 可能

イニシャルリセット時はマスク(EISIO="0")が選択されます。

ISIO: 割り込み要因フラグ(2F3H・D0)

シリアルインターフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり

"0"読み出し: 割り込みなし

書き込み: 無効

この割り込み要因フラグを読み出すことにより、シリアルインターフェースからの割り込みの有無をソフトウェアで判断することができます。割り込み要因フラグは読み出された時点でリセットされます。ただし、このフラグは割り込みをマスクしていても、8ビットデータの入出力後"1"にセットされます。また、フラグの読み出しはDI(インタラプトフラグ="0")状態で行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

SCTRG: クロックトリガ(2E7H・D3)

同期クロック(SCLK)の入力/出力開始トリガです。

- "1"書き込み: トリガ入力
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

シリアルインターフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しひにより、シリアルインターフェースの内部回路は初期化されます。)

トリガ入力はシリアルインターフェースがRUN状態になるごとに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック(SCLK)が外部クロックの場合はトリガ入力後に外部クロックの入力を開始してください。

SIOF: 特殊出力ポートデータ(2ECH・D1)

シリアルインターフェースの動作状態を示します。

- "1"読み出し: RUN状態
- "0"読み出し: STOP状態
- 書き込み: 無効

RUN状態とはSCTRGビットへの"1"の書き込み終了からシリアルデータの入出力終了までを示します。

この特殊出力ポートデータSIOFは、マスクオプションでSIOF出力が選択された場合のみ使用することができます。

4.7.6 プログラミング上の注意事項

- (1)SCLKが内部クロックモードの状態でSE2のビットデータを変更した場合、SCLK端子にハザードが出力されます。この現象がシステム上問題となる場合はSE2のビットを変更する際にSCLKを必ず外部クロックモードに設定してください。
- (2)割り込み要因フラグ(ISO)の読み出しがシリアルインターフェースがSTOP(SIOF="0")状態、かつDI(インターラプトフラグ="0")状態でのみ行ってください。シリアルデータの入出力中(RUN中)に読み出しが行なうと、データの入出力を中断し初期状態となります。また、EI(インターラプトフラグ="1")状態時に読み出すと誤動作の原因になります。
- (3)シリアルインターフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインターフェースが動作しているときは、システムクロックの切り換え(fosc1↔fosc3)を行わないでください。
- (4)データレジスタSD0～SD7への書き込み、または読み出しがシリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (5)シリアルインターフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しひにより、シリアルインターフェースの内部回路は初期化されます。)トリガはシリアルインターフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (6)割り込みマスクレジスタへの書き込みは、割り込みがDI(インターラプトフラグ="0")状態のときに行ってください。EI(インターラプトフラグ="1")状態のときに割り込みマスクレジスタへ書き込むと誤動作の原因になります。

4.8 LCDドライバ(COM0 ~ COM3, SEG0 ~ SEG37)

4.8.1 LCDドライバの構成

S1C60N16シリーズは4本のコモン端子と38本のセグメント端子を持ち、最大152(38×4)セグメントのLCDを駆動できます。

駆動方式はV_{SS}、V_{C1}、V_{C2}、V_{C3}の4電位(1/3バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動です。また、S1C60A16ではマスクオプションにより、V_{SS}、V_{C1}=V_{C2}、V_{C3}の3電位(1/2バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動も選択できます。

1/2バイアス選択時は、内蔵のLCD系定電圧回路を使用しない場合にのみ有効です。V_{C1}端子とV_{C2}端子をIC外部で接続してください。

フレーム周波数は1/4デューティおよび1/2デューティが32Hz、1/3デューティが42.7Hzになります(fosc1=32.768kHzの場合)。

図4.8.1.1～図4.8.1.6に各バイアス、デューティの駆動波形を示します。

注: fosc1は発振回路の発振周波数を示します。

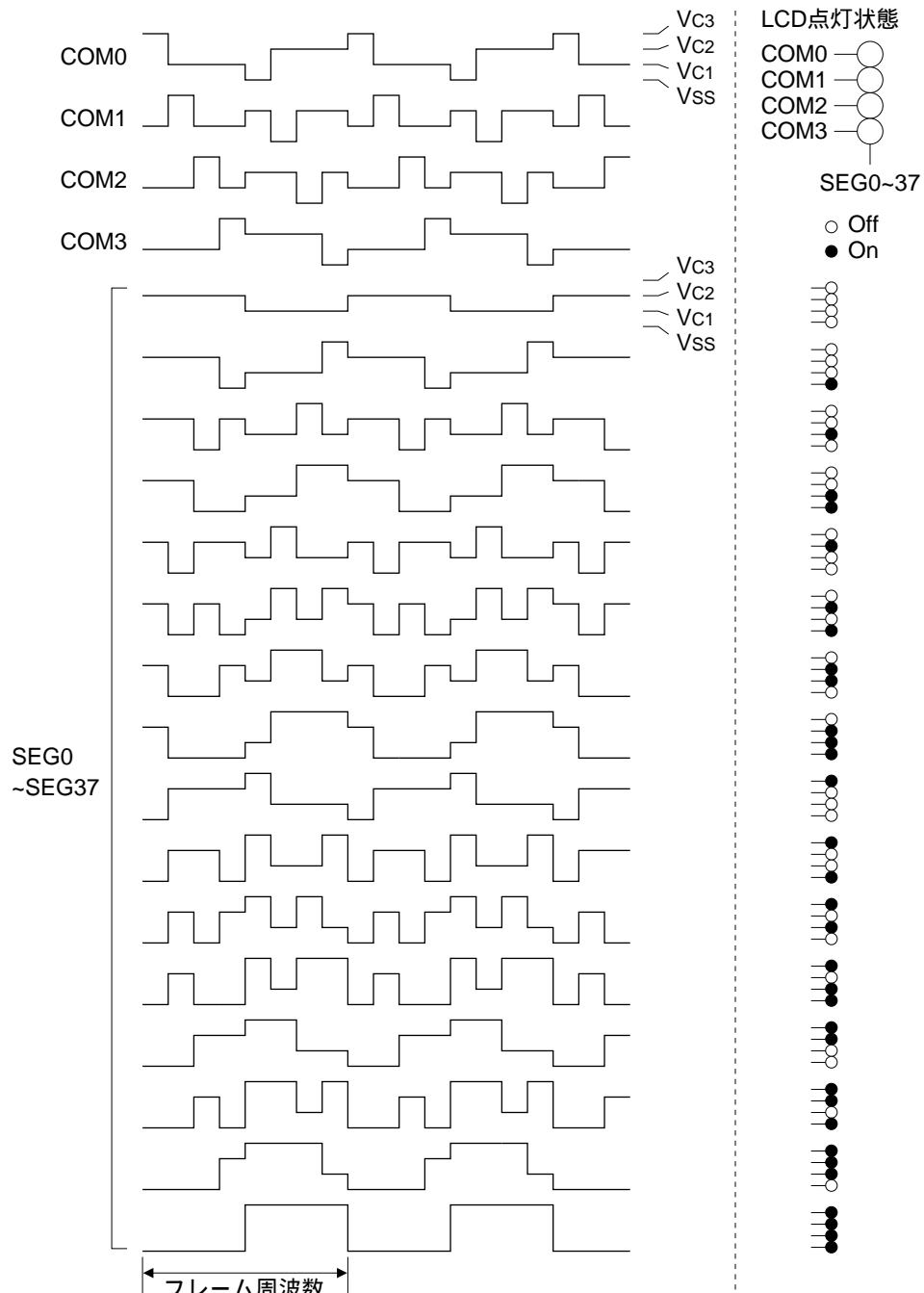


図4.8.1.1 1/4デューティの駆動波形(1/3バイアス)

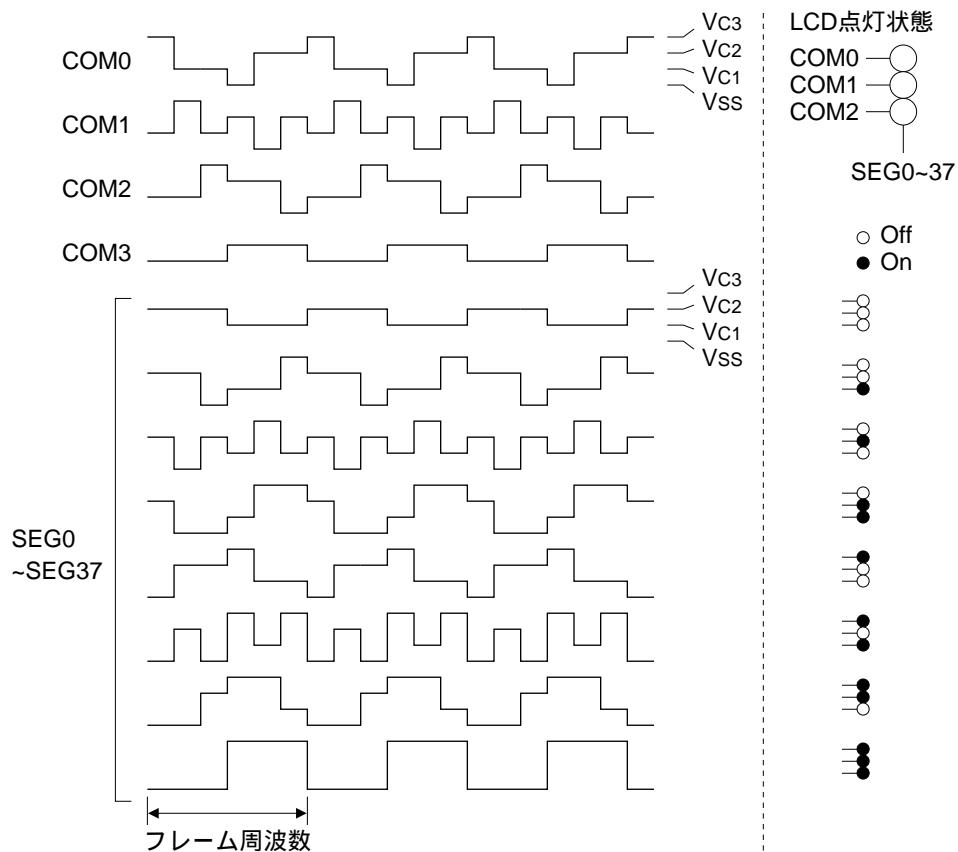


図4.8.1.2 1/3デューティの駆動波形(1/3バイアス)

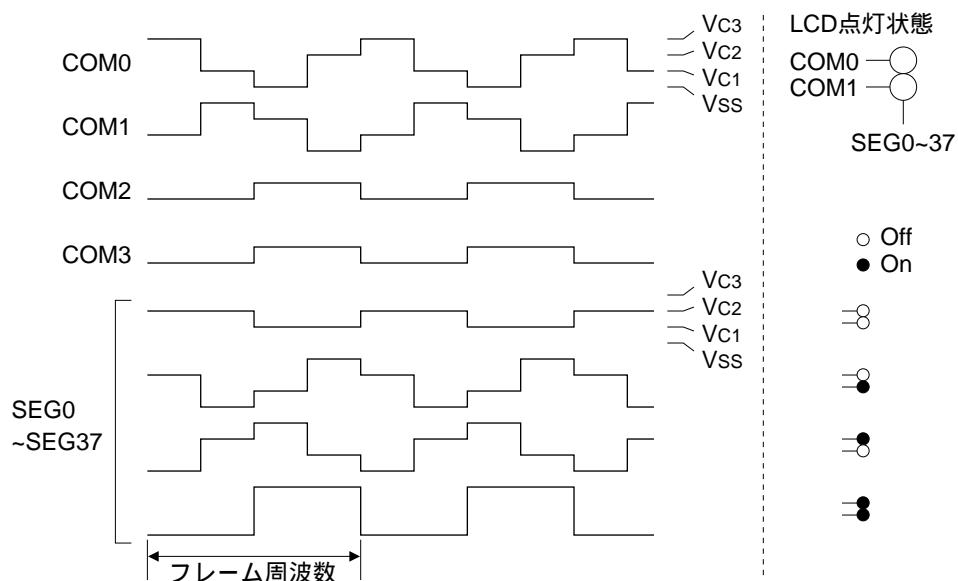


図4.8.1.3 1/2デューティの駆動波形(1/3バイアス)

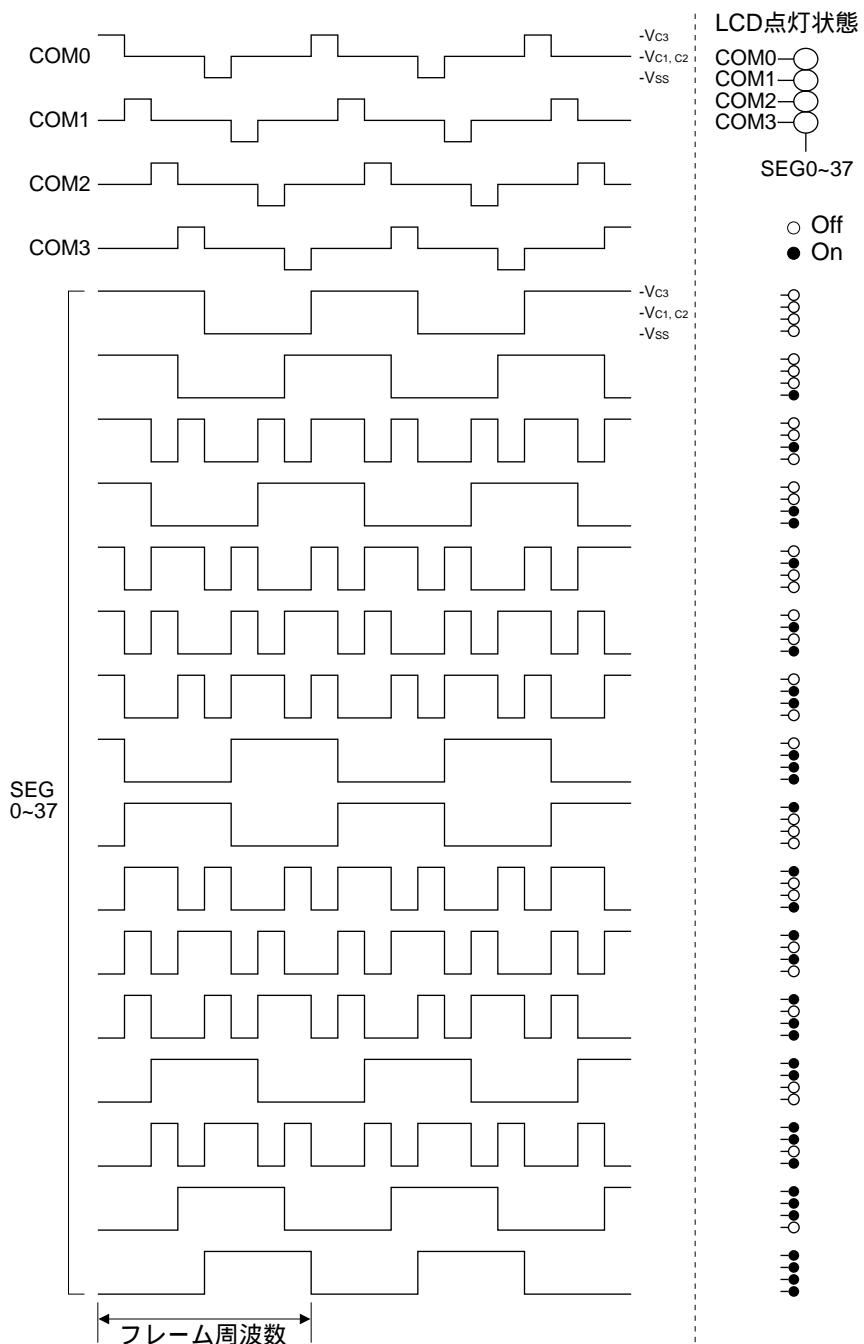


図4.8.1.4 1/4デューティの駆動波形(1/2バイアス)

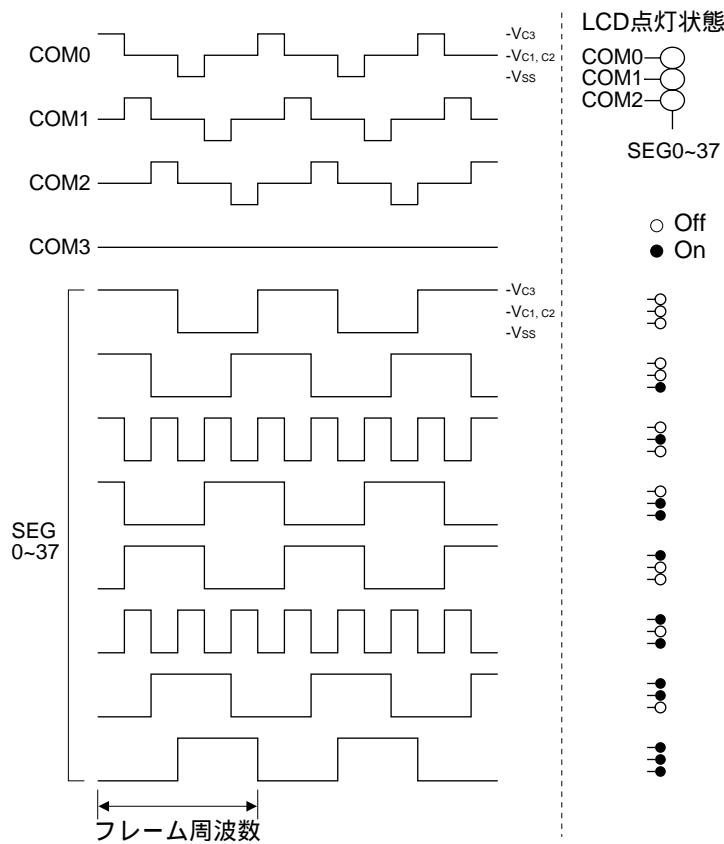


図4.8.1.5 1/3デューティの駆動波形(1/2バイアス)

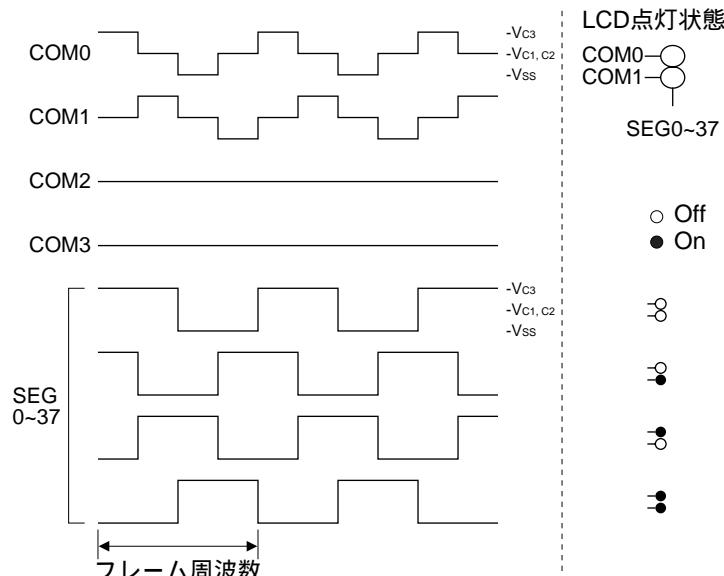


図4.8.1.6 1/2デューティの駆動波形(1/2バイアス)

4.8.2 ダイナミック/スタティック駆動切り換え

S1C60N16シリーズは1/1デューティ駆動をソフトウェアにより設定できます。この機能により、OSC1発振回路(水晶発振回路)の発振周波数が簡単に調整(歩度調整)できます。

LCDを1/1デューティで駆動させる手順は以下のとおりです。

(1)アドレス"2E8H・D3"のレジスタCSDC1に"1"を書き込みます。

(2)表示メモリのCOM0～COM3に対応するレジスタにはすべて同一の値を書き込みます。

フレーム周波数は32Hzです(fosc1/1,024、fosc1=32.768kHzの場合)

- 注:
- 1/3または1/2デューティをマスクオプションで選択している場合でも、1/1デューティ駆動にするとすべてのCOMに対応する表示データが有効になります。したがって、1/1デューティ駆動時はCOM0～COM3に対応する表示メモリに同じ値を設定してください。
 - 歩度調整時はLCDが全点灯となるようにセグメントデータをセットしてください。

図4.8.2.1および図4.8.2.2に1/3バイアスおよび1/2バイアスの1/1デューティ駆動波形を示します。

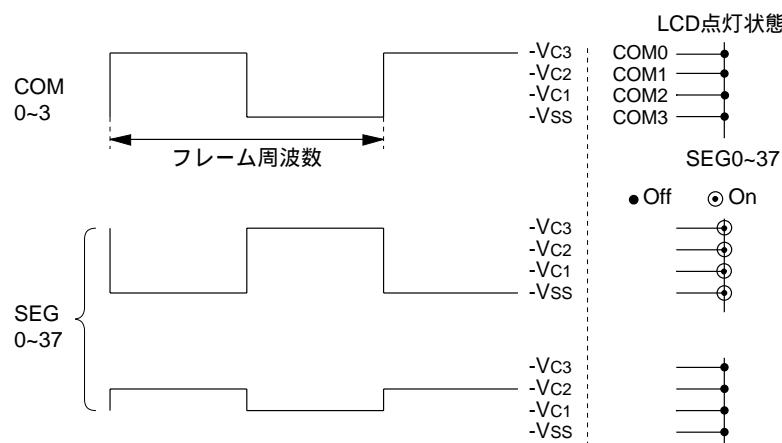


図4.8.2.1 1/1デューティ駆動波形(1/3バイアス)

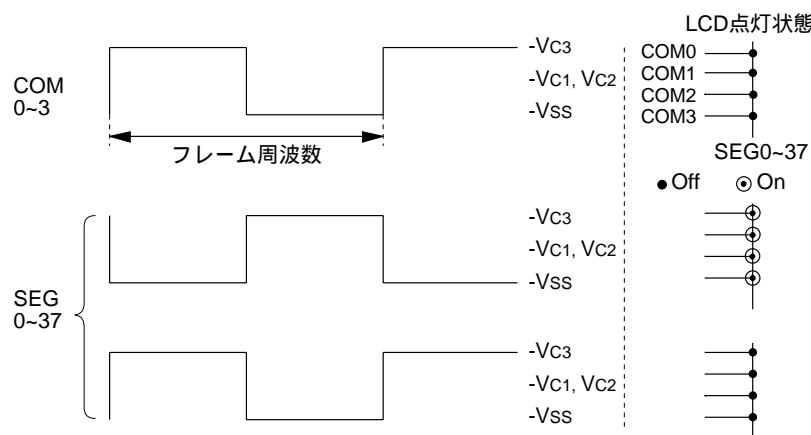


図4.8.2.2 1/1デューティ駆動波形(1/2バイアス)

4.8.3 マスクオプション(セグメント割り付け)

(1)セグメント割り付け

S1C60N16シリーズのセグメントデータは図4.1.2に示すようにメモリ空間上アドレス"040H ~ 065H(0ページ)"または"240H ~ 265H(2ページ)"の表示メモリ(書き込み専用)に表示データを書き込むことにより決定されます。

- 表示メモリは、領域全体を0ページか2ページのどちらに配置するかマスクオプションで選択できます。
- セグメント端子(SEG0 ~ SEG37)に表示メモリのアドレスおよびピットをマスクオプションで任意に対応させることができます。このため、液晶パネルの設計の自由度が増し設計が容易になります。

図4.8.3.1にLCDセグメント(パネル上)と表示メモリ(0ページ選択時)との関係を1/3デューティの場合を例として示します。

アドレス	データ			
	D3	D2	D1	D0
09AH	d	c	b	a
09BH	p	g	f	e
09CH	d'	c'	b'	a'
09DH	p'	g'	f'	e'

	コモン0	コモン1	コモン2
SEG10	9A, D0 (a)	9B, D1 (f)	9B, D0 (e)
SEG11	9A, D1 (b)	9B, D2 (g)	9A, D3 (d)
SEG12	9D, D1 (f')	9A, D2 (c)	9B, D3 (p)

表示メモリ割り付け表

端子アドレス割り付け表

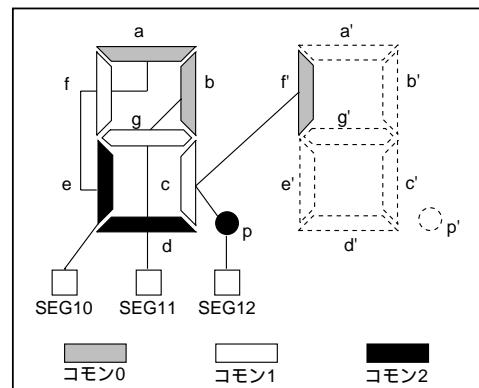


図4.8.3.1 セグメント割り付け

(2)駆動デューティ

LCDの駆動デューティとして1/4、1/3または1/2デューティをマスクオプションで選択します。表4.8.3.1に選択デューティによるセグメント数等の差異を示します。

表4.8.3.1 選択デューティによる差異

デューティ	使用COM端子	最大セグメント数	フレーム周波数*
1/4	COM0~COM3	152 (38×4)	fosc1/1,024 (32Hz)
1/3	COM0~COM2	114 (38×3)	fosc1/768 (42.7Hz)
1/2	COM0~COM1	76 (38×2)	fosc1/1,024 (32Hz)

* fosc1 = 32kHzの場合

(3)出力仕様

- 各セグメント端子(SEG0～SEG37)は2端子単位でセグメント信号出力かDC出力(VDD、VSSの2値出力)をマスクオプションで選択します。
- DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- DC出力を選択した場合、コンプリメンタリ出力かPchオープンドレイン出力を各端子ごとにマスクオプションで選択できます。

注: 2端子単位とはSEG 2・n, SEG 2・n + 1(nは0～18の整数)の組合せです。

(4)駆動バイアス

S1C60A16の駆動バイアスとして、1/3または1/2バイアスをマスクオプションで選択できます。LCD系定電圧回路を使用する場合は、1/3バイアスに固定されます。

4.8.4 LCDドライバの制御方法

表4.8.4.1にLCDドライバの制御ビットを、図4.8.4.1に表示メモリマップを示します。

表4.8.4.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2D0H	0	0	0	CSDC2	0 *3	- *2	-	-	未使用
					0 *3	- *2	-	-	未使用
	R		R/W		0 *3	- *2	-	-	未使用
					CSDC2	1	Normal	All off	LCD全消灯制御
2E8H	CSDC1	ETI2	ETI8	ETI32	CSDC1	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	R/W								

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

Address Page	Low	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	High	4															
		5															
		6															
表示メモリ(38ワード×4ビット)																	
0ページ: R/W, 2ページ: W																	
未使用領域																	

図4.8.4.1 表示メモリマップ

CSDC2: LCD全消灯制御(2D0H・D0)

LCDの表示を制御します。

"1"書き込み: 通常表示

"0"書き込み: LCD全消灯

読み出し: 可能

CSDC2レジスタに"0"を書き込むと、すべてのLCDセグメントがOFFします。"1"を書き込むと通常の表示に戻ります。"0"の書き込みではすべてのSEG端子がOFF波形を出力します。この制御は表示メモリの内容には影響を与えません。

イニシャルリセット時、CSDC2は"1"に設定されます。

CSDC1: LCD駆動切り換え(2E8H・D3)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動

"0"書き込み: ダイナミック駆動

読み出し: 可能

イニシャルリセット時はダイナミック駆動(CSDC1="0")が選択されます。

表示メモリ(040H ~ 065H または 240H ~ 265H)
LCDセグメントを点灯/消灯させます。

"1"書き込み : 点灯
"0"書き込み : 消灯
読み出し : 0ページの場合、可能
2ページの場合、不定

LCDセグメント(パネル上)を割り付けた表示メモリにデータを書き込むことにより、セグメントの点灯/消灯を行います。
イニシャルリセット時の表示メモリの内容は不定です。

4.8.5 プログラミング上の注意事項

- (1)表示メモリに0ページを選択した場合、その領域の初期化(CPUからのメモリクリア処理等)を行なうまではメモリのデータと表示が一致しません。イニシャル処理で表示メモリの初期化を行ってください。
- (2)表示メモリに2ページを選択した場合、その領域は書き込み専用となります。そのため、演算命令(AND、OR、ADD、SUB等)でデータを書き換えることはできません。

4.9 計時タイマ

4.9.1 計時タイマの構成

S1C60N16シリーズはOSC1(水晶発振)を源振とする計時タイマを内蔵しています。計時タイマは分周回路より出力される256kHz信号を入力クロックとする7ビットのバイナリカウンタで構成され、そのうち上位4ビット(16Hz ~ 2Hz)のデータをソフトウェアによって読み出すことができます。図4.9.1.1に計時タイマのブロック図を示します。

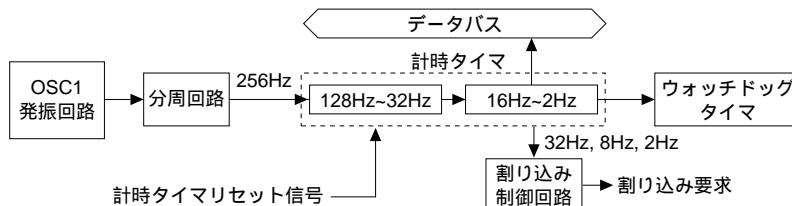


図4.9.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

4.9.2 割り込み機能

計時タイマは32Hz、8Hz、2Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.9.2.1に計時タイマのタイミングチャートを示します。

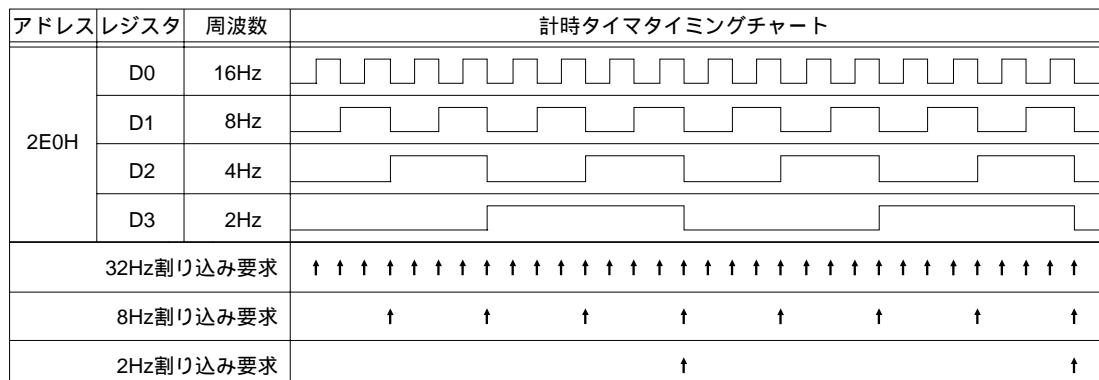


図4.9.2.1 計時タイマのタイミングチャート

図4.9.2.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz)の信号の立ち下がりエッジによって発生します。また、この時点に対応する割り込み要因フラグ(TI32、TI8、TI2)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(ETI32、ETI8、ETI2)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.9.3 計時タイマの制御方法

表4.9.3.1に計時タイマの制御ビットを示します。

表4.9.3.1 計時タイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2E0H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(2Hz)
					TM2	0			計時タイマデータ(4Hz)
	R				TM1	0			計時タイマデータ(8Hz)
					TM0	0			計時タイマデータ(16Hz)
2E8H	CSDC1	ETI2	ETI8	ETI32	CSDC1	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	- *2	-	-	未使用
					TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R				TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
					TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EEH	TMRST	SWRUN	SWRST	IOC0	TMRST *3	Reset	Reset	-	計時タイマリセット
					SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
	W				SWRST *3	Reset	Reset	-	ストップウォッチタイマリセット
					IOC0	0	Output	Input	I/O制御レジスタ0 (P00~P03)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

TM0 ~ TM3: タイマデータ(2E0H)

計時タイマの16Hz ~ 2Hzのタイマデータが読み出せます。この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0H"に初期化されます。

ETI32, ETI8, ETI2: 割り込みマスクレジスタ(2E8H · D0 ~ D2)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み : イネーブル

"0"書き込み : マスク

読み出し : 可能

各周波数(32Hz, 8Hz, 2Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ(ETI32, ETI8, ETI2)により個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

TI32, TI8, TI2: 割り込み要因フラグ(2E9H · D0 ~ D2)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し : 割り込みあり

"0"読み出し : 割り込みなし

書き込み : 無効

割り込み要因フラグ(TI32, TI8, TI2)はそれぞれ、各周波数(32Hz, 8Hz, 2Hz)の計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。

これらのフラグは、ソフトウェアで読み出すことによってリセットされます。フラグの読み出しありフラグ(インタラプトフラグ="0")状態で行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

TMRST: 計時タイマリセット(2EEH・D3)

計時タイマをリセットするビットです。

"1"書き込み : 計時タイマリセット

"0"書き込み : ノーオペレーション

読み出し : 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされ、その直後リスタートします。また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.9.4 プログラミング上の注意事項

- (1) 計時タイマをリセットした際、割り込み要因フラグ(TI)が"1"にセットされる場合があります。このため、リセット時には必要に応じてフラグの読み出し(フラグのリセット)を行ってください。
- (2) ウオッチドッグタイマの入力クロックが、計時タイマの2Hz信号のため、計時タイマリセット時にはウォッチドッグタイマがカウントアップされる場合があります。
- (3) 割り込み要因フラグ(TI)の読み出しが、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。

4.10 ストップウォッチタイマ

4.10.1 ストップウォッチタイマの構成

S1C60N16シリーズは、1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマは近似100Hz信号(分周回路より出力される256Hz信号を近似的に100Hzに分周した信号)を入力クロックとする4ビット2段のBCDカウンタで構成され、ソフトウェアにより4ビット単位でデータを読み出すことができます。

図4.10.1.1にストップウォッチタイマのブロック図を示します。

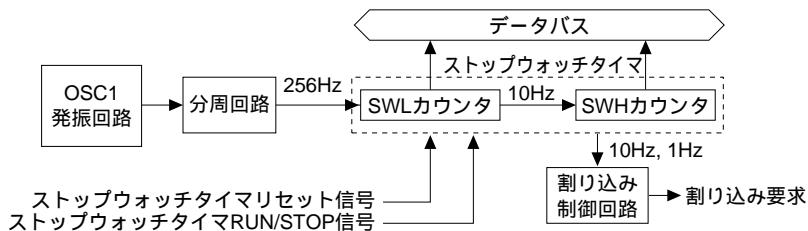


図4.10.1.1 ストップウォッチタイマのブロック図

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

4.10.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWLとSWHで構成されています。ストップウォッチタイマ前段のカウンタSWLは、近似100Hz信号を入力クロックとし、1/100secごとのカウントアップを行って近似10Hz信号を発生します。後段のカウンタSWHはSWLが出力する近似10Hz信号を入力クロックとし、1/10secごとのカウントアップを行って1Hz信号を発生します。図4.10.2.1にストップウォッチタイマのカウントアップパターンを示します。

図4.10.2.1にストップウォッチタイマのカウントアップパターンを示します。

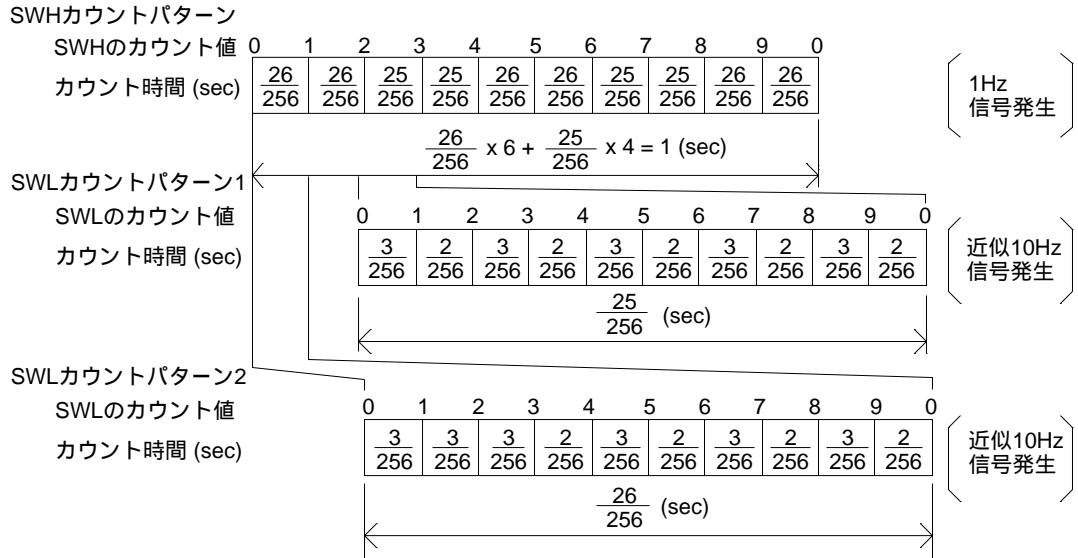


図4.10.2.1 ストップウォッチタイマのカウントアップパターン

SWLは基本となる256Hz信号から近似10Hz信号を発生します。カウントアップの間隔は2/256secと3/256secで、最終的に25/256secと26/256sec間隔の2つのパターンを発生します。したがって、各パターンは正確に1/100secとはなりません。

SWHは25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントし、1Hz信号を発生します。カウントアップの間隔については25/256secと26/256secで、正確に1/10secとはなりません。

4.10.3 割り込み機能

ストップウォッチタイマSWLとSWHはそれぞれのオーバーフローにより、10Hz(近似10Hz)と1Hzの割り込みを発生させることができます。また、前記のそれぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。

図4.10.3.1にストップウォッチタイマのタイミングチャートを示します。

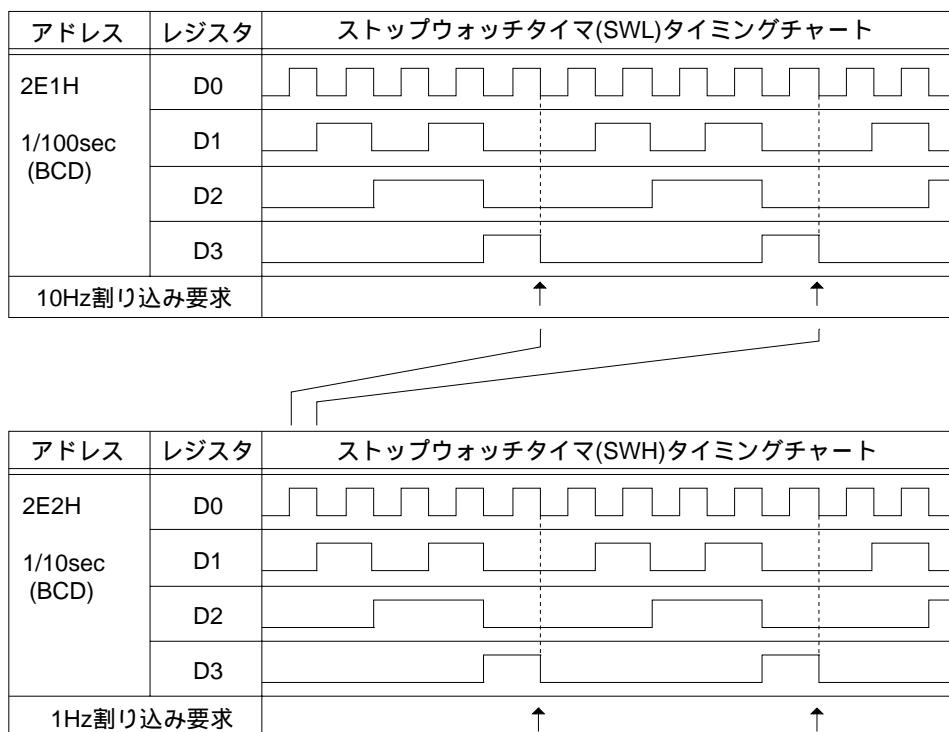


図4.10.3.1 ストップウォッチタイマのタイミングチャート

図4.10.3.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー("9"から"0"への変化)によって発生します。また、この時点で対応する割り込み要因フラグ(SWIT0、SWIT1)が"1"にセットされます。

それぞれの割り込みは、割り込みマスクレジスタ(EISWIT0、EISWIT1)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

4.10.4 ストップウォッチタイマの制御方法

表4.10.4.1にストップウォッチタイマの制御ビットを示します。

表4.10.4.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2E1H	SWL3	SWL2	SWL1	SWL0	SWL3	0			MSB
					SWL2	0			ストップウォッチタイマ1/100secデータ(BCD)
	R				SWL1	0			LSB
					SWL0	0			
2E2H	SWH3	SWH2	SWH1	SWH0	SWH3	0			MSB
					SWH2	0			ストップウォッチタイマ1/10 secデータ(BCD)
	R				SWH1	0			LSB
					SWH0	0			
2E6H	HLMOD	0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ(S1C60A16)
					0 *3	— *2	—	—	未使用
	R/W				EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
		R	R/W		EISWIT0	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10)
					IK0 *4	0	Yes	No	割り込み要因フラグ(K00~K03)
	R				SWIT1 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ1Hz)
					SWIT0 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ10Hz)
2EEH	TMRST	SWRUN	SWRST	IOCO	TMRST *3	Reset	Reset	—	計時タイマリセット
					SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
	W				SWRST *3	Reset	—	—	ストップウォッチタイマリセット
		R/W	W	R/W	IOCO	0	Output	Input	I/O制御レジスタ0 (P00~P03)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

*4 読み出し直後、リセット(0)

*5 不定

SWL0～SWL3: ストップウォッチタイマ1/100sec(2E1H)

ストップウォッチタイマ1/100sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0H"に設定されます。

SWH0～SWH3: ストップウォッチタイマ1/10sec(2E2H)

ストップウォッチタイマ1/10sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0H"に設定されます。

EISWIT0, EISWIT1: 割り込みマスクレジスタ(2E6H・D0・D1)

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み : イネーブル

"0"書き込み : マスク

読み出し : 可能

10Hzと1Hzのそれぞれに対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ(EISWIT0, EISWIT1)により、個別に選択できます。

イニシャルリセット時、このレジスタはそれぞれ"0"に設定されます。

SWIT0, SWIT1: 割り込み要因フラグ(2EAH·D0·D1)

ストップウォッチタイマ割り込みの発生状態を示すフラグです。

- "1"読み出し : 割り込みあり
- "0"読み出し : 割り込みなし
- 書き込み : 無効

割り込み要因フラグ(SWIT0、SWIT1)はそれぞれ10Hzと1Hzの割り込みに対応します。これらのフラグによってストップウォッチタイマ割り込みの有無を、ソフトウェアにより判断することができます。ただし、これらのフラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。これらのフラグは、ソフトウェアで読み出すことによってリセットされます。また、読み出しあはDI(インタラプトフラグ="0")状態で行ってください。イニシャルリセット時、これらのフラグは"0"に設定されます。

SWRST: ストップウォッチタイマリセット(2EEH·D1)

ストップウォッチタイマをリセットするビットです。

- "1"書き込み : ストップウォッチタイマリセット
- "0"書き込み : ノーオペレーション
- 読み出し : 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合リセットデータが保持されます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: ストップウォッチタイマRUN/STOP(2EEH·D2)

ストップウォッチタイマのRUN/STOPを制御します。

- "1"書き込み : RUN
- "0"書き込み : STOP
- 読み出し : 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。RUN状態でカウンタのデータを読み出す場合、下位桁(SWL)から上位桁(SWH)への桁上げにより正しい読み込みができないことがあります(桁上げのタイミングに、SWLとSWHの読み出しがまたがった場合)。これを防止するため、一度STOPさせてから読み出し、再度RUNしてください。また、この場合のSTOP期間は976μsec(256Hzの1/4周期)以内である必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.10.5 プログラミング上の注意事項

- (1)RUN状態のカウンタデータを読み出す場合、一度カウンタをSTOPし読み出し後再度RUNさせる必要があります。カウンタの桁上げ時にデータを読み出すと、正しいデータが読み込めません。また、前記処理についてSTOP期間は976μsec(256Hzの1/4周期)以内である必要があります。
- (2)割り込み要因フラグ(SWIT)の読み出しあは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。

4.11 サウンドジェネレータ

4.11.1 サウンドジェネレータの構成

S1C60N16シリーズは圧電ブザーを駆動するためのブザー信号(BZ , \overline{BZ})を出力することができます。ブザー信号の周波数は f_{osc1} を分周した8種類の中からソフトウェアにより選択できます。また、ブザー信号にはデューティ比制御によるデジタルエンベロープを附加することができます。図4.11.1.1にサウンドジェネレータの構成を、図4.11.1.2にサウンドジェネレータのタイミングチャートを示します。

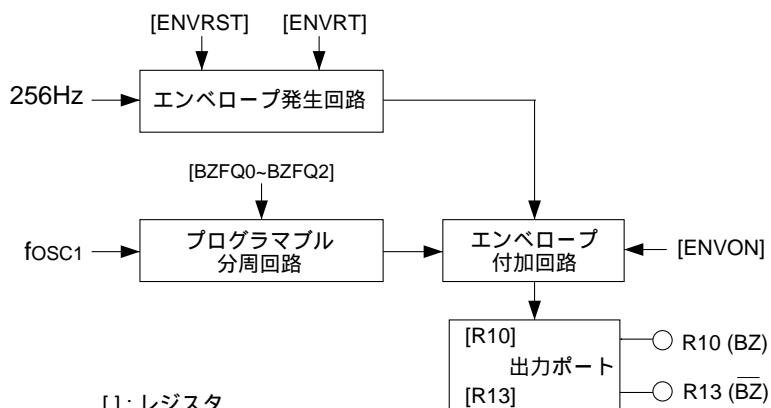


図4.11.1.1 サウンドジェネレータの構成

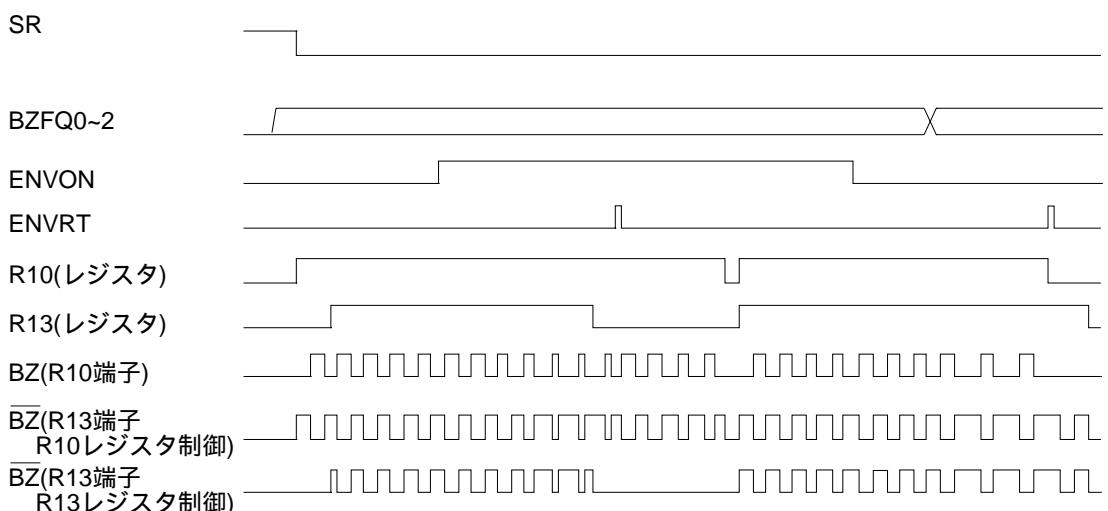


図4.11.1.2 サウンドジェネレータのタイミングチャート

4.11.2 周波数設定

ブザー信号(BZ 、 \overline{BZ})の周波数はレジスタBZFQ0 ~ BZFQ2にデータを書き込むことにより設定します。表4.11.2.1にレジスタの設定値と設定される周波数の一覧を示します。

表4.11.2.1 ブザー信号の周波数設定

BZFQ			ブザー周波数(Hz)	
2	1	0	分周比	$fosc_1 = 32\text{kHz}$ の場合
0	0	0	$fosc_1/8$	4,096.0
0	0	1	$fosc_1/10$	3,276.8
0	1	0	$fosc_1/12$	2,730.7
0	1	1	$fosc_1/14$	2,340.6
1	0	0	$fosc_1/16$	2,048.0
1	0	1	$fosc_1/20$	1,638.4
1	1	0	$fosc_1/24$	1,365.3
1	1	1	$fosc_1/28$	1,170.3

注: ブザー信号の出力状態で周波数の切り換えを行うと、ブザー信号にハザードが発生する場合があります。

4.11.3 デジタルエンベロープ

ブザー信号(BZ 、 \overline{BZ})にはデューティ比制御(デューティ比が8段階に変化)のデジタルエンベロープを付加することができます。

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、 BZ 出力は $TH/(TH+TL)$ となります。 \overline{BZ} 出力は BZ 出力の反転出力のため $TL/(TH+TL)$ となります。また、デューティ比はブザー周波数により異なりますので注意が必要です。

エンベロープの付加はレジスタENVONに"1"を書き込むことで行われ、"0"が書き込まれた場合はデューティ比が最大に固定されます。また、エンベロープが付加されている場合、レジスタENVRSTに"1"を書き込むことによりデューティ比が最大に復帰し、ブザー信号出力開始時のデューティ比も最大となります。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENVRTで選択できます。この時間はENVRTに"0"を書き込んだ場合62.5msec(16Hz)、"1"を書き込んだ場合125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共にMax 4msecの誤差があります。

表4.11.3.1にデューティ比とブザー周波数の一覧を、図4.11.3.1にデジタルエンベロープのタイミングチャートを示します。

表4.11.3.1 デューティ比とブザー周波数

BZFQ	2	0	1	0	1	0	1	0	1
レジスタ	1	0	0	0	0	1	1	1	1
デューティ	0	0	0	1	1	0	0	1	1
レベル1 (max.)	8/16	8/20	12/24	12/28					
レベル2	7/16	7/20	11/24	11/28					
レベル3	6/16	6/20	10/24	10/28					
レベル4	5/16	5/20	9/24	9/28					
レベル5	4/16	4/20	8/24	8/28					
レベル6	3/16	3/20	7/24	7/28					
レベル7	2/16	2/20	6/24	6/28					
レベル8 (min.)	1/16	1/20	5/24	5/28					

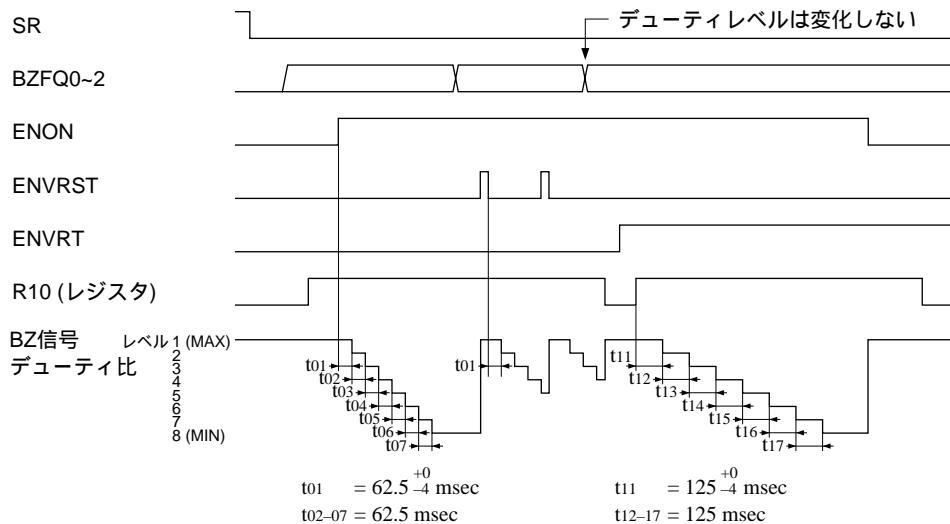


図4.11.3.1 デジタルエンベロープのタイミングチャート

4.11.4 マスクオプション

- (1) BZ信号をR10端子から出力するかしないかを選択できます。
 - (2) \overline{BZ} 信号をR13端子から出力するかしないかを選択できます。
ただし、BZ信号の出力を行わない場合は \overline{BZ} 信号の出力は行えません。
 - (3) \overline{BZ} 信号の出力制御をレジスタR10、レジスタR13のどちらで行うかを選択できます。
- 上記マスクオプションの詳細については"4.5 出力ポート"を参照してください。

4.11.5 サウンドジェネレータの制御方法

表4.11.5.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.11.5.1 サウンドジェネレータの制御ビット

アドレス	レジスタ								コメント	
	D3	D2	D1	D0	Name	Init *1	1	0		
2ECH	R13	R12	R11	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御	
			SIOF		R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御	
	R/W	R/W	R/W	R/W	R11	0	High	Low	出力ポート(R11)	
			R/W		SIOF	0	Run	Stop	出力ポート(SIOF)	
			R		R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御	
2F6H	BZFQ2	BZFQ1	BZFQ0	ENV_RST	BZFQ2	0			ブザー [BZFQ2~0] 0 1 2 3	
					BZFQ1	0			周波数 fosc1/8 fosc1/10 fosc1/12 fosc1/14	
					BZFQ0	0			「」選択 周波数 4 5 6 7 fosc1/16 fosc1/20 fosc1/24 fosc1/28	
	R/W				ENV_RST ^{*3}	Reset	Reset	-	エンベローブリセット	
	ENVON	ENVRT	AMPDT		ENVON	0	On	Off	エンベロープOn/Off	
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVRT	0	1.0 sec	0.5 sec	エンベロープ減衰時間	
	R/W	R	R/W		AMPDT	1	+>-	+<-	アナログコンバーテータデータ	
					AMPON	0	On	Off	アナログコンバーテータOn/Off	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

*4 読み出し直後、リセット(0)

*5 不定

BZFQ0 ~ BZFQ2: ブザー周波数選択レジスタ(2F6H・D1 ~ D3)

ブザー信号の周波数を選択します。

表4.11.5.2 ブザー周波数

BZFQ2	BZFQ1	BZFQ0	ブザー周波数(Hz)
0	0	0	fosc1/8
0	0	1	fosc1/10
0	1	0	fosc1/12
0	1	1	fosc1/14
1	0	0	fosc1/16
1	0	1	fosc1/20
1	1	0	fosc1/24
1	1	1	fosc1/28

ブザー周波数はfosc(OSC1発振回路の発振周波数)を分周した上記8種類の中から選択します。

イニシャルリセット時はfosc1/8Hzが選択されます。

ENV_RST: エンベロープリセット(2F6H・D0)

ブザー信号のデューティ比を最大とするリセット入力です。

"1"書き込み : リセット入力

"0"書き込み : ノーオペレーション

読み出し : 常時"0"

ブザー信号にエンベロープが付加されている場合、このリセット入力によりデューティ比は最大となります。エンベロープが付加されていない場合、およびブザー信号の出力が行われていない場合のリセット入力は無効となります。

ENVON: エンベロープ ON/OFF(2F7H・D3)

ブザー信号へのエンベロープ付加を制御します。

"1"書き込み : エンベロープ付加(ON)

"0"書き込み : エンベロープなし(OFF)

読み出し : 可能

エンベロープはデューティ比制御によるデジタルエンベロープです。エンベロープなしの場合のデューティ比は最大で固定です。

イニシャルリセット時はエンベロープなし(OFF)が選択されます。

ENVRT: エンベロープ減衰時間(2F7H・D2)

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み : 1.0sec(125msec × 7=875msec)

"0"書き込み : 0.5sec(62.5msec × 7=437.5msec)

読み出し : 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENVRTに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位となります。イニシャルリセット時は0.5sec(437.5msec)が選択されます。

R10, R13(BZ, \overline{BZ} 出力選択時): 特殊出力ポートデータ(2ECH・D0・D3)

ブザー信号(BZ、 \overline{BZ})の出力制御を行います。

"1"書き込み : ブザー信号出力

"0"書き込み : LOWレベル(DC)出力

読み出し : 可能

 \overline{BZ} 出力をR13制御とした場合

BZ出力と \overline{BZ} 出力を個別に制御できます。BZ出力の制御はレジスタR10にデータを書き込むことにより行い、 \overline{BZ} 出力の制御はレジスタR13にデータを書き込むことにより行います。

 \overline{BZ} 出力をR10制御とした場合

BZ出力と \overline{BZ} 出力の制御をレジスタR10のみにデータを書き込むことにより同時に行います。この場合レジスタR13はリード/ライト可能な1ビットの汎用レジスタとして使用でき、このレジスタは \overline{BZ} 出力(R13端子の出力)に影響を与えません。

イニシャルリセット時、レジスタR10、R13は"0"に設定されます。

4.11.6 プログラミング上の注意事項

BZ、 \overline{BZ} 信号は出力レジスタ(R10、R13)ならびにブザー周波数選択レジスタ(BZFQ0 ~ BZFQ2)のデータ変更時に出力波形にハザードが出る場合があります。

4.12 イベントカウンタ

4.12.1 イベントカウンタの構成

S1C60N16シリーズは外部から入力されたクロック信号を計数するイベントカウンタを内蔵しています。イベントカウンタは8ビットのバイナリカウンタ(アップカウンタ)2組で構成され、クロック入力は入力ポートのK02端子、K03端子より行います。

各端子から入力されたクロック信号は、それぞれノイズリジェクタを通りイベントカウンタに入力されます。

イベントカウンタは2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードと、個々のクロック信号を個々のカウンタに入力する個別モードがソフトウェアにより選択できます。図4.12.1.1にイベントカウンタの構成を示します。

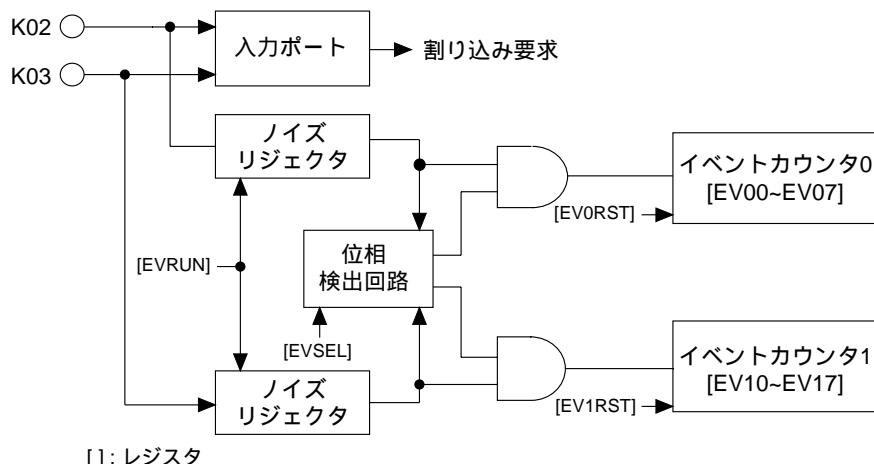


図4.12.1.1 イベントカウンタの構成

4.12.2 カウントモードの切り換え

イベントカウンタは2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードと個々のクロック信号を個々のカウンタに入力する個別モードがソフトウェアにより選択できます。

選択はレジスタEVSELにデータを書き込むことにより行い、"0"書き込みで位相検出モード、"1"書き込みで個別モードになります。

位相検出モードの場合はK02、K03端子に位相差のあるクロック信号が同時に入力される必要があります、K02端子からの入力が早い場合はイベントカウンタ1に、K03端子からの入力が早い場合はイベントカウンタ0にクロック信号が入力されます。

個別モードの場合はK02端子からの入力がイベントカウンタ0に、K03端子からの入力がイベントカウンタ1にそれぞれ入力されます。

図4.12.2.1にイベントカウンタのタイミングチャートを示します。

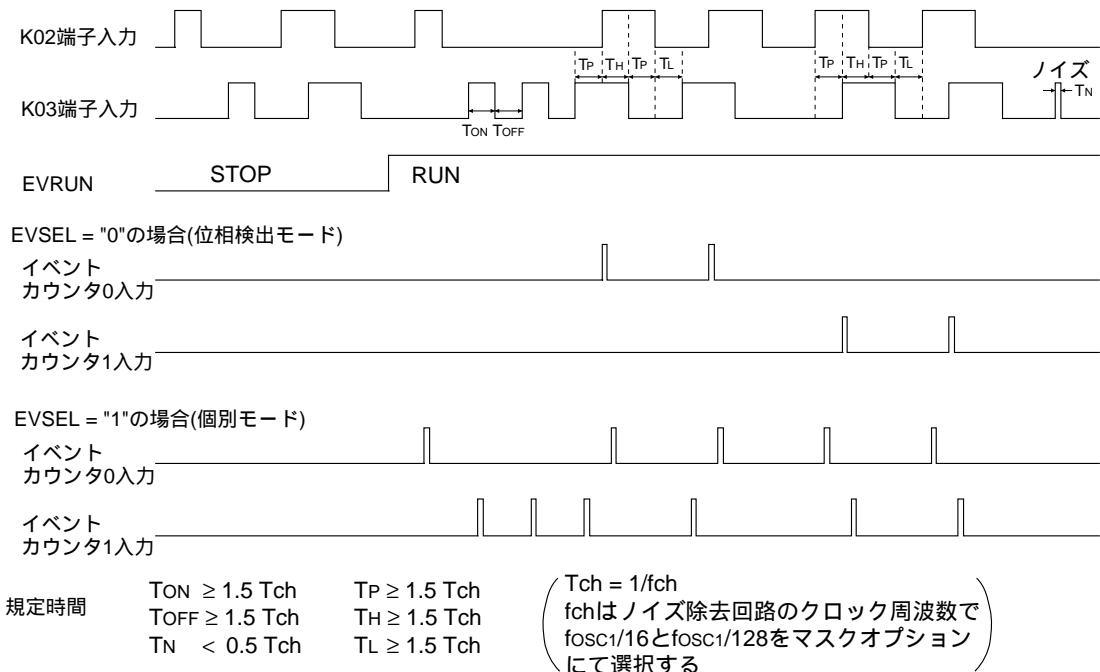


図4.12.2.1 イベントカウンタのタイミングチャート

4.12.3 マスクオプション

ノイズリジェクタのクロック周波数を $f_{osc1}/16$ か $f_{osc1}/128$ のいずれかに選択できます。
表4.12.3.1に選択周波数による規定時間の一覧を示します。

表4.12.3.1 選択周波数による規定時間

規定時間	$f_{osc1} = 32.768\text{kHz}$	
	$f_{osc1}/16$	$f_{osc1}/128$
TN	0.24	1.95
TON	0.74	5.86
TOFF	0.74	5.86
TP	0.74	5.86
TH	0.74	5.86
TL	0.74	5.86

TN : 最大値
その他 : 最小値 (単位: msec)

4.12.4 イベントカウンタの制御方法

表4.12.4.1にイベントカウンタの制御ビットを示します。

表4.12.4.1 イベントカウンタの制御ビット

アドレス	レジスタ				Name	Init *1	コメント	
	D3	D2	D1	D0			1	0
2F8H	EV03	EV02	EV01	EV00	EV03	0		イベントカウンタ0(下位4ビット)
					EV02	0		
					EV01	0		
					EV00	0		
2F9H	R				EV07	0		イベントカウンタ0(上位4ビット)
	EV07	EV06	EV05	EV04	EV06	0		
					EV05	0		
					EV04	0		
2FAH	R				EV13	0		イベントカウンタ1(下位4ビット)
	EV13	EV12	EV11	EV10	EV12	0		
					EV11	0		
					EV10	0		
2FBH	R				EV17	0		イベントカウンタ1(上位4ビット)
	EV17	EV16	EV15	EV14	EV16	0		
					EV15	0		
					EV14	0		
2FCH	EVSEL	ENRUN	EV1RST	EV0RST	EVSEL	0	Separate	イベントカウンタモード選択
					EVRUN	0	Run	イベントカウンタRun/Stop
	R/W		W		EV1RST*3	Reset	Reset	イベントカウンタ1リセット
					EV0RST*3	Reset	Reset	イベントカウンタ0リセット

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

EV00～EV03: イベントカウンタ0 下位 (2F8H)

イベントカウンタ0の下位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ0は"00H"に設定されます。

EV04～EV07: イベントカウンタ0 上位 (2F9H)

イベントカウンタ0の上位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ0は"00H"に設定されます。

EV10～EV13: イベントカウンタ1 下位 (2FAH)

イベントカウンタ1の下位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ1は"00H"に設定されます。

EV14～EV17: イベントカウンタ1 上位 (2FBH)

イベントカウンタ1の上位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ1は"00H"に設定されます。

EV0RST: イベントカウンタ0リセット (2FCH・D0)

イベントカウンタ0をリセットするビットです。

"1"書き込み : イベントカウンタ0リセット

"0"書き込み : ノーオペレーション

読み出し : 常時"0"

"1"の書き込みによりイベントカウンタ0はリセットされ、データは"00H"になります。

"0"書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

EV1RST: イベントカウンタ1リセット(2FCH・D1)
イベントカウンタ1をリセットするビットです。

"1"書き込み : イベントカウンタ1リセット
"0"書き込み : ノーオペレーション
読み出し : 常時"0"

"1"の書き込みによりイベントカウンタ1はリセットされ、データは"00H"になります。
"0"書き込みはノーオペレーションとなります。
このビットは書き込み専用のため、読み出し時は常時"0"となります。

EVRUN: イベントカウンタ RUN/STOP(2FCH・D2)
イベントカウンタのRUN/STOPを制御します。

"1"書き込み : RUN
"0"書き込み : STOP
読み出し : 可能

"1"の書き込みによりイベントカウンタはRUN状態になりクロック入力の受け付けを開始します。
"0"の書き込みではイベントカウンタはSTOP状態となりクロック入力は無視されます。(ただし入力ポートへの入力は有効です。)
イニシャルリセット時、このレジスタは"0"に設定されます。

EVSEL: イベントカウンタモード(2FCH・D3)
イベントカウンタのカウントモードを制御します。

"1"書き込み : 個別
"0"書き込み : 位相検出
読み出し : 可能

"0"書き込みで2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードを、"1"書き込みで個々のクロック信号を個々のカウンタに入力する個別モードが選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.12.5 プログラミング上の注意事項

- (1) イベントカウンタはEVRUNのレジスタに書き込み後、ノイズ除去クロックの立ち下がりエッジに同期して動作または停止します。このため、入力信号(K02、K03への入力)を受け付ける際に、前記タイミングに注意が必要です。
- (2) イベントカウンタのデータ誤読み込みを防ぐため、カウンタデータは複数回読み出しと比較を行い、一致したデータを結果として用いてください。

4.13 アナログコンパレータ

4.13.1 アナログコンパレータの構成

S1C60N16シリーズはMOS入力アナログコンパレータを内蔵しています。このアナログコンパレータは差動入力端子2本(反転入力端子AMPM、非反転入力端子AMPP)を持ち、汎用的に用いることができます。

図4.13.1.1にアナログコンパレータの構成を示します。

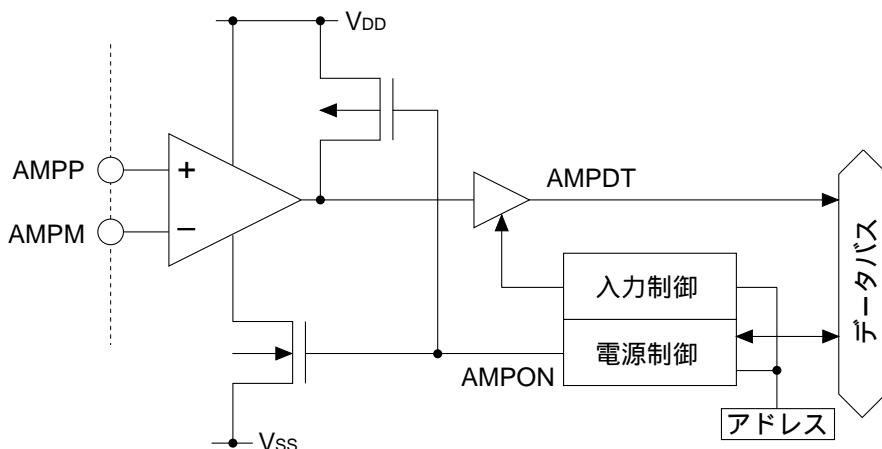


図4.13.1.1 アナログコンパレータの構成

4.13.2 アナログコンパレータの動作

アナログコンパレータはレジスタAMPONが"1"のときONし、AMPP端子の入力レベルとAMPM端子の入力レベルを比較します。

比較結果はレジスタAMPDTから読み込むことができ、AMPP(+)> AMPM(-)のとき"1"、AMPP(+)< AMPM(-)のとき"0"となります。

アナログコンパレータはON後、出力が安定するまで最大3msecの時間を要します。

4.13.3 アナログコンパレータの制御方法

表4.13.3.1にアナログコンパレータの制御ビットを示します。

表4.13.3.1 アナログコンパレータの制御ビット

アドレス	レジスタ				Name	Init *1	コメント	
	D3	D2	D1	D0			1	0
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off
					ENVRT	0	1.0 sec	0.5 sec
					AMPDT	1	+ > -	+ < -
	R/W		R	R/W	AMPON	0	On	Off

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

AMPON: アナログコンパレータ ON/OFF (2F7H·D0)

アナログコンパレータをON/OFFします。

"1"書き込み : アナログコンパレータ ON

"0"書き込み : アナログコンパレータ OFF

読み出し : 可能

AMPONに"1"を書き込むことによりアナログコンパレータがONとなり、"0"書き込みでOFFになります。

イニシャルリセット時、AMPONは"0"に設定されます。

AMPDT: アナログコンパレータデータ(2F7H·D1)

アナログコンパレータの出力を読み出します。

"1"読み出し : AMPP(+)> AMPM(-)

"0"読み出し : AMPP(+)< AMPM(-)

書き込み : 無効

AMPDTは反転入力端子(AMPM)の入力レベルが非反転入力端子(AMPP)の入力レベルよりも大きい場合に"0"、小さい場合に"1"となります。

イニシャルリセット時、AMPDTは"1"に設定されます。

4.13.4 プログラミング上の注意事項

(1)消費電流低減のため、必要時以外アナログコンパレータはOFFにしてください。

(2)アナログコンパレータの出力データAMPDTの読み出しあはAMPONを"1"に設定後、アナログコンパレータの動作が安定する3msec以上待つ時間をとってから行ってください。

4.14 電源電圧検出(SVD)回路

4.14.1 SVD(電源電圧検出)回路の構成

S1C60N16シリーズにはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。SVD回路の構成は図4.14.1.1のとおりです。

SVD動作のON/OFFはソフトウェア(SVDON)によって制御します。

SVD動作をONにするとICの消費電流が大きくなるため、必要なとき以外はSVD動作をOFFとしてください。

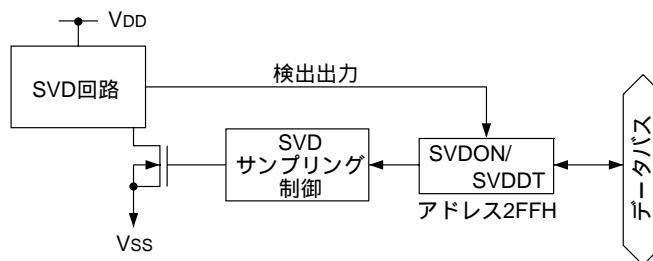


図4.14.1.1 SVD回路の構成

S1C60N16シリーズでは、判定電圧は以下のように設定されています。

S1C60N16: 2.2V

S1C60L16: 1.2V

S1C60A16: 2.2V

判定電圧の精度については、"7 電気的特性"を参照してください。

4.14.2 SVD回路の検出タイミング

この項では、SVD回路による電源電圧検出結果がSVDラッチに書き込まれるタイミングについて説明します。

SVD動作のON/OFFは、ソフトウェア(SVDON)によって制御します。

SVD回路による電源電圧の検出結果はSVDラッチに書き込まれ、そのデータをソフトウェアで読み出すことにより電源電圧の状態を知ることができます。

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためにには、少なくとも100μsec以上SVD回路をONにする必要があります。したがって、SVD検出結果を得るためのプログラミングは次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

ただし、S1C60N16、S1C60L16およびS1C60A16がCPUシステムクロックにfosc1を選択している場合は命令サイクルが充分長いため、ソフトウェアによるSVDON="1"の100μsec保持について留意する必要はありません。

4.14.3 SVD回路の制御方法

表4.14.3.1にSVD回路の制御ビットを示します。

表4.14.3.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	コメント		
	D3	D2	D1	D0			1	0	
2FFH	SVDDT	0	0	0	SVDDT	0	Low	Normal	SVD判定データ
	SVDON				SVDON	0	On	Off	SVD On/Off
	R			R	0 *3	- *2	-	-	未使用
	W				0 *3	- *2	-	-	未使用

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

*4 読み出し直後、リセット(0)

*5 不定

SVDON/SVDDT: SVD制御/SVDデータ(2FFH·D3)

SVD動作を制御します。

"0"書き込み : SVD検出 OFF

"1"書き込み : SVD検出 ON

"0"読み出し : SVD設定値より電源電圧(VDD - Vss)が高い

"1"読み出し : SVD設定値より電源電圧(VDD - Vss)が低い

本ビットは書き込み時と読み出し時で機能が異なりますので注意してください。

書き込みを行った場合はSVD検出動作のON/OFFを制御し、読み出しを行った場合はSVD検出結果(SVDラッチの内容)を読み出します。SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るために、少なくとも100μsec以上SVD回路をONにする必要があります。したがって、SVD検出結果を得るためのプログラミングは次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDの読み出し

ただし、S1C60N16、S1C60L16およびS1C60A16がCPUシステムクロックにfosc1を選択している場合は命令サイクルが充分長いため、ソフトウェアによるSVDON="1"の100μsec保持について留意する必要はありません。

4.14.4 プログラミング上の注意事項

- (1)SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。したがって、SVDONに"1"を書き込み、100μsec以上経過後(CPUシステムクロックがfosc1の場合は次命令で可)"0"を書き込んでSVDDTを読み出してください。
- (2)SVDONはSVDDTと同一アドレスの同一ビットに存在し、書き込みと読み出しで各々が選択されます。このため、SVDONの制御に演算命令(AND、OR、ADD、SUB等)を使用することはできません。

4.15 重負荷保護機能(S1C60A16)

4.15.1 重負荷保護機能の概要

S1C60A16は外付けブザー鳴鐘時など、電池電源電圧が変動する場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼び、通常動作モードより定電圧の出力電圧変動を小さくできます。

通常の動作モードから重負荷保護モードへは次の場合に移行します。

- ・ソフトウェア(HLMODを"1"にセット)により重負荷保護モードに移した場合

重負荷保護モードでは、定電圧回路を低消費電流モードから高安定モードに切り替えます。このため、重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外にはソフトウェアで重負荷保護モードに設定しないように注意してください。

注: S1C60N16およびS1C60L16に、この機能はありません。

4.15.2 重負荷保護機能の制御方法

表4.15.2.1に重負荷保護機能の制御ビットを示します。

表4.15.2.1 重負荷保護機能

アドレス	レジスタ				Name	Init *1	コメント	
	D3	D2	D1	D0			1	0
2E6H	HLMOD	0	EISWIT1	EISWITO	HLMOD	0	Heavy load	Normal
					0 *3	- *2	-	未使用
	R/W	R	R/W		EISWIT1	0	Enable	Mask
					EISWITO	0	Enable	Mask

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

HLMOD: 重負荷保護モード(2E6H・D3)

重負荷保護モードを設定します。

"1"書き込み: 重負荷保護モードの設定

"0"書き込み: 重負荷保護モードの解除

読み込み: 可能

HLMODを"1"にすると、ICは重負荷保護モードになります。

S1C60N16およびS1C60L16の場合、HLMODはリード/ライト可能な汎用レジスタとなります。

4.15.3 プログラミング上の注意事項

(1)重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外にはソフトウェアで重負荷保護モードに設定しないように注意してください。

(2)重負荷保護機能はS1C60A16でのみ有効です。

S1C60N16およびS1C60L16には、この機能はありません。S1C60N16およびS1C60L16では、HLMOD(2E6H・D3)は動作に影響しないリード/ライト可能な汎用レジスタとなります。

4.16 割り込みとHALT

S1C60N16シリーズには以下の割り込みが設定されており、各々マスクが可能です。

外部割り込み ・ 入力割り込み(2系統)

内部割り込み ・ タイマ割り込み(3系統)

・ ストップウォッチ割り込み(2系統)

・ シリアルインターフェース割り込み(1系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、合わせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

CPUはHALT命令が入力されるとCPU動作クロックを停止し、HALT状態に入ります。

CPUのHALT状態からの再起動は割り込み要求が発生することにより行われます。

割り込み要求による再起動がかからない場合、ウォッチドッグタイマによりイニシャルリセット状態からの再起動となります(ウォッチドッグタイマを使用している場合)。

図4.16.1に割り込み回路の構成を示します。

割り込みベクタマップ

表4.16.1 割り込みベクタマップ

ページ	ステップ	割り込みベクタ
1	00H	イニシャルリセット
	01H	シリアルインターフェース割り込み
	02H	入力ポート割り込み
	03H	シリアルインターフェース + 入力ポート割り込み
	04H	計時タイマ割り込み
	05H	シリアルインターフェース + 計時タイマ割り込み
	06H	入力ポート + 計時タイマ割り込み
	07H	シリアルインターフェース + 入力ポート + 計時タイマ割り込み
	08H	ストップウォッチタイマ割り込み
	09H	シリアルインターフェース + ストップウォッチタイマ割り込み
	0AH	入力ポート + ストップウォッチタイマ割り込み
	0BH	シリアルインターフェース + 入力ポート + ストップウォッチタイマ割り込み
	0CH	計時タイマ + ストップウォッチタイマ割り込み
	0DH	シリアルインターフェース + 計時タイマ + ストップウォッチタイマ割り込み
	0EH	入力ポート + 計時タイマ + ストップウォッチタイマ割り込み
	0FH	すべての割り込み

各割り込みベクタ割り当て可能番地にジャンプ先アドレス(割り込み処理ルーチンの開始アドレス)を書き込んで使用します。

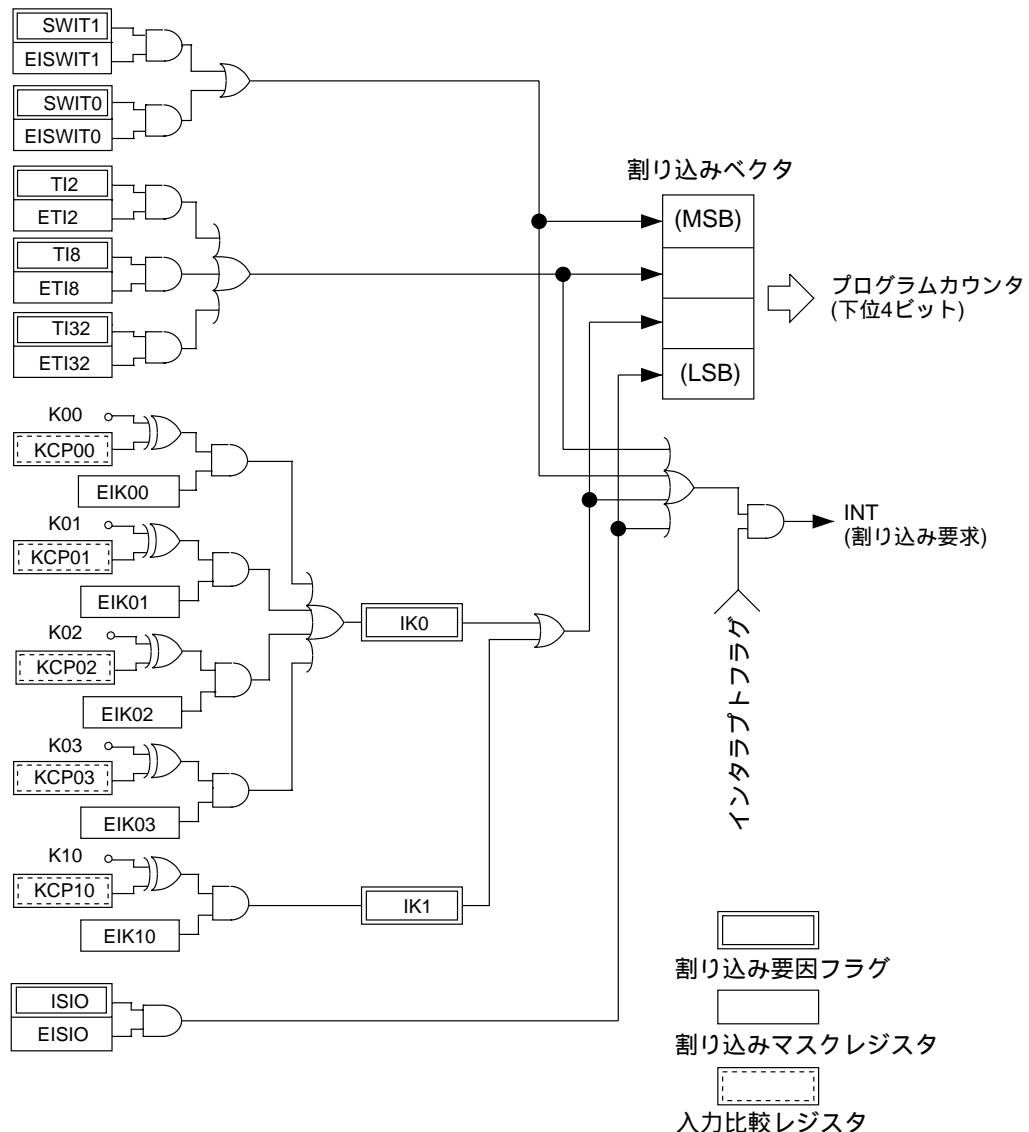


図4.16.1 割り込み回路の構成

4.16.1 割り込みの要因

割り込み要求が発生する要因を表4.16.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグは"1"にセットされます。

CPUに対する割り込みは以下の条件が成立した場合、割り込み要因フラグが"1"にセットされたときに発生します。

- ・対応する割り込みマスクレジスタが"1"(イネーブル)
- ・インタラプトフラグが"1"(EI)

割り込み要因フラグは読み出し専用のレジスタですが、レジスタデータを読み出すことにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注: 割り込み要因フラグの読み出しあは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")のときに読み出すと誤動作の恐れがあります。

表4.16.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
計時タイマ2Hz立ち下がりエッジ	TI2 (2E9H•D2)
計時タイマ8Hz立ち下がりエッジ	TI8 (2E9H•D1)
計時タイマ32Hz立ち下がりエッジ	TI32 (2E9H•D0)
ストップウォッチタイマ1Hz立ち下がりエッジ	SWIT1 (2EAH•D1)
ストップウォッチタイマ10Hz立ち下がりエッジ	SWIT0 (2EAH•D0)
シリアルインターフェース8ビットデータ入出力終了時	ISIO (2F3H•D0)
K00-K03ポート入力立ち上がり/立ち下がりエッジ	IK0 (2EAH•D2)
K10入力立ち上がり/立ち下がりエッジ	IK1 (2EAH•D3)

4.16.2 割り込みの個別マスクと要因フラグ

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.16.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.16.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
ETI2 (2E8H•D2)	TI2 (2E9H•D2)
ETI8 (2E8H•D1)	TI8 (2E9H•D1)
ETI32 (2E8H•D0)	TI32 (2E9H•D0)
EISWIT1 (2E6H•D1)	SWIT1 (2EAH•D1)
EISWIT0 (2E6H•D0)	SWIT0 (2EAH•D0)
EISIO (2F2H•D0)	ISIO (2F3H•D0)
EIK03* (2E5H•D3)	IK0 (2EAH•D2)
EIK02* (2E5H•D2)	
EIK01* (2E5H•D1)	
EIK00* (2E5H•D0)	
EIK10* (2E7H•D2)	IK1 (2EAH•D3)

* 入力ポートは端子ごとに割り込みマスクレジスタがあります。

4.16.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。
割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

(1)次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避

(2)割り込み要求による割り込みベクタの値(1ページ・01H ~ 0FH)をプログラムカウンタにセット

(3)指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.16.3.1に割り込み要求と割り込みベクタの対応を示します。

注: (1)(2)の処理にCPUシステムクロックの12周期分の時間を要します。

表4.16.3.1 割り込み要求と割り込みベクタ

PC	値	割り込み要求
PCS3	1	ストップウォッチタイマ割り込み あり
	0	なし
PCS2	1	計時タイマ割り込み あり
	0	なし
PCS1	1	入力ポート割り込み あり
	0	なし
PCS0	1	シリアルインターフェース割り込み あり
	0	なし

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.16.4 割り込みとHALTの制御方法

表4.16.4.1に割り込みの制御ビットを示します。

表4.16.4.1 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0			入力比較レジスタ(K00~K03)
					KCP02	0			
					KCP01	0			
					KCP00	0			
2E5H	R/W				EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
	EIK03	EIK02	EIK01	EIK00	EIK02	0	Enable	Mask	
					EIK01	0	Enable	Mask	
					EIK00	0	Enable	Mask	
2E6H	HLMOD	0	EISWIT1	EISWITO	HLMOD	0 *3	Heavy load	Normal	重負荷保護モードレジスタ(S1C60A16)
						~ *2	~	~	未使用
	R/W	R	R/W		EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッヂ1Hz)
					EISWITO	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッヂ10Hz)
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG *3	~	Trigger	~	シリアルI/Fクロックトリガ
					EIK10	0	Enable	Mask	割り込みマスクレジスタ(K10)
	W	R/W		R	KCP10	0			入力比較レジスタ(K10)
					K10	~ *2	High	Low	入力ポートデータ(K10)
2E8H	CSDC1	ETI2	ETI8	ETI32	CSDC1	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W	R/W			ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	~ *2	~	~	未使用
					TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R	R			TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
					TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10)
					IK0 *4	0	Yes	No	割り込み要因フラグ(K00~K03)
	R	R			SWIT1 *4	0	Yes	No	割り込み要因フラグ(ストップウォッヂ1Hz)
					SWIT0 *4	0	Yes	No	割り込み要因フラグ(ストップウォッヂ10Hz)
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1	SIFクロック [SCS1,0] 0 1 2 3		
					SCS0	1	モード選択 クロック CLK CLK/2 CLK/4 スレーブ		
	R/W	R/W			SE2	0			シリアルI/Fクロックエッジ選択
					EISIO	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F)
2F3H	0	0	0	ISIO	0 *3	~ *2	~	~	未使用
					0 *3	~ *2	~	~	未使用
	R	R			0 *3	~ *2	~	~	未使用
					ISIO *4	0	Yes	No	割り込み要因フラグ(シリアルI/F)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*5 不定

*2 回路上設定されない

*4 読み出し直後、リセット(0)

ETI32, ETI8, ETI2: 割り込みマスクレジスタ(2E8H・D0 ~ D2)
 TI32, TI8, TI2: 割り込み要因フラグ(2E9H・D0 ~ D2)
 "4.9 計時タイマ"参照

EISWIT0, EISWIT1: 割り込みマスクレジスタ(2E6H・D0 ~ D1)
 SWIT0, SWIT1: 割り込み要因フラグ(2EAH・D0 ~ D1)
 "4.10 ストップウォッチャ"参照

EISIO: 割り込みマスクレジスタ(2F2H・D0)
 ISIO: 割り込み要因フラグ(2F3H・D0)
 "4.7 シリアルインタフェース"参照

KCP00 ~ KCP03: 入力比較レジスタ(2E4H)
 EIK00 ~ EIK03: 割り込みマスクレジスタ(2E5H)
 IK0: 割り込み要因フラグ(2EAH・D2)
 "4.4 入力ポート"参照

KCP10: 入力比較レジスタ(2E7H・D1)
 EIK10: 割り込みマスクレジスタ(2E7H・D2)
 IK1: 割り込み要因フラグ(2EAH・D3)
 "4.4 入力ポート"参照

4.16.5 プログラミング上の注意事項

- (1) 入力ポートの割り込み要因フラグ(IK)は、割り込みマスクレジスタ(EIK)を"0"に設定していると、入力ポートの端子状態が変化してもセットされません。
- (2) 計時タイマ、ストップウォッチャタイマ、シリアルインタフェースの各割り込み要因フラグ(TI、SWIT、ISIO)は、各割り込みマスクレジスタ(ETI、EISWIT、EISIO)を"0"に設定していても、タイミング条件成立によりセットされます。
- (3) 各割り込み要因フラグの読み出しあは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。
- (4) 各割り込みマスクレジスタへの書き込みは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に書き込むと誤動作の原因になります。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C60N16シリーズは、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組むうえで参考としてください。

表5.1.1 回路系と制御レジスタ

回路(および項目)	制御レジスタ等	消費電流オーダ
CPU	HALT命令	"7 電気的特性"参照
CPU動作周波数(S1C60A16)	CLKCHG, OSCC	"7 電気的特性"参照
重負荷保護モード(S1C60A16)	HLMOD	"7 電気的特性"参照
SVD回路	SVDON	数十 μ A
アナログコンパレータ	AMPON	数十 μ A

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU : 動作状態

CPU動作周波数(S1C60A16) : 低速側(CLKCHG="0") OSC3発振回路停止状態(OSCC="0")

重負荷保護モード(S1C60A16) : 通常動作モード(HLMOD="0")

SVD回路 : OFF状態(SVDON="0")

アナログコンパレータ : OFF状態(AMPON="0")

またLCDパネルの特性により、消費電流が数 μ Aのオーダで異なりますのでパネルの選択にも注意が必要です。

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に充分留意したうえでプログラミングを行ってください。

メモリ

メモリマップ中の未使用領域、および本書に示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。この場合、タイマデータ(WD0～WD2)は計時用途に使用することはできません。

発振回路(S1C60A16)

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、充分マージンをとって待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

入力ポート

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。目安としては、約1msec程度の待ち時間が必要です。
- (2) マスクオプションで"ノイズリジェクト回路あり"を選択した場合、割り込み条件成立から割り込み要因フラグ(IK)が"1"にセットされるまで(実際に割り込みが発生するまで)に、最大1msecの遅延が生じます。このため、割り込み要因フラグの読み出し(リセット)を行う際は、タイミングに注意する必要があります。たとえば、キーマトリクスにおいてキースキャンを行う場合、キースキャンにより入力の状態が変化して割り込み要因フラグがセットされたため、読み出してリセットする必要があります。ただし、キースキャンを行った直後に割り込み要因フラグの読み出しを行うと、遅延により読み出した後にフラグがセットされてしまい、リセットできません。

(3) 入力割り込みプログラミング上の注意

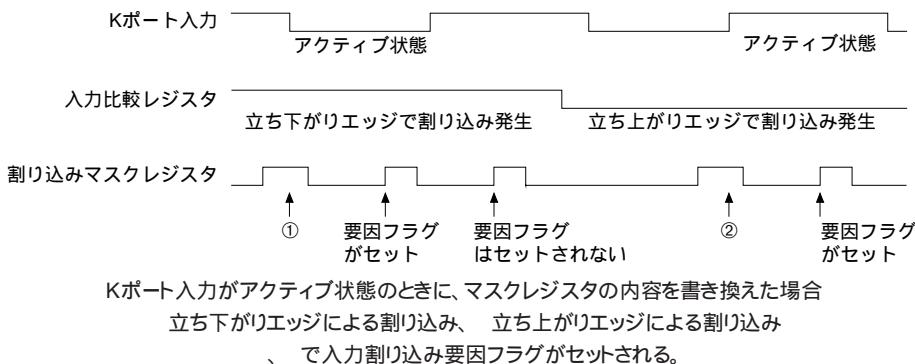


図5.2.1 入力割り込みタイミング

入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときにマスクレジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、

立ち下がりエッジで割り込みがかかる場合: 入力端子=LOW状態

立ち上がりエッジで割り込みがかかる場合: 入力端子=HIGH状態をいいえます。

入力端子の立ち下がりエッジで割り込みをかける場合、図5.2.1の のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったままマスクレジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態(LOW状態)のときはマスクレジスタの書き換え(マスクレジスタのクリア セット)を行わないでください。マスクレジスタをクリアした後セットする場合は、入力端子がアクティブでない状態(HIGH状態)のときに、マスクレジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図5.2.1の のタイミングで要因フラグがセットされます。この場合、マスクレジスタをクリア セットするときは、入力端子がLOW状態のときにマスクレジスタをセットしてください。

また、マスクレジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

出力ポート

マスクオプションでBZ, \overline{BZ} , FOUTを選択した場合、出力レジスタのデータ変更時に出力波形にハザードが出る場合があります。

入出力兼用ポート

- (1)入出力兼用ポートの入力をHIGHレベルから内蔵プルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。そのため、OSC3発振回路でCPUが動作中にデータを読み出す場合は、約500μsec程度の時間、連続してデータを読み出す必要があります。
- (2)入出力兼用ポートを出力モードに設定している際にデータレジスタを読み出した場合は、レジスタのデータではなく端子データが読み出されます。そのため、低インピーダンスの負荷を接続した場合に、この読み出しを行うとレジスタの値と読み出し結果が異なる場合があります。

シリアルインタフェース

- (1)SCLKが内部クロックモードの状態でSE2のビットデータを変更した場合、SCLK端子にハザードが出力されます。この現象がシステム上問題となる場合はSE2のビットを変更する際にSCLKを必ず外部クロックモードに設定してください。
- (2)割り込み要因フラグ(ISIO)の読み出しがシリアルインタフェースがSTOP(SIOF="0")状態、かつDI(インタラプトフラグ="0")状態でのみ行ってください。シリアルデータの入出力中(RUN 中)に読み出しが行うと、データの入出力を中断し初期状態となります。また、EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。
- (3)シリアルインタフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインタフェースが動作しているときは、システムクロックの切り換え(fosc1↔fosc3)を行わないでください。
- (4)データレジスタSD0～SD7への書き込み、または読み出しがシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。

(5)シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)トリガはシリアルインタフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。

LCDドライバ

- (1)表示メモリに0ページを選択した場合、その領域の初期化(CPUからのメモリクリア処理等)を行うまではメモリのデータと表示が一致しません。イニシャル処理で表示メモリの初期化を行ってください。
- (2)表示メモリに2ページを選択した場合、その領域は書き込み専用となります。そのため、演算命令(AND、OR、ADD、SUB等)でデータを書き換えることはできません。

計時タイマ

- (1)計時タイマをリセットした際、割り込み要因フラグ(TI)が"1"にセットされる場合があります。このため、リセット時には必要に応じてフラグの読み出し(フラグのリセット)を行ってください。
- (2)ウォッチドッグタイマの入力クロックが、計時タイマの2Hz信号のため、計時タイマリセット時にはウォッチドッグタイマがカウントアップされる場合があります。

ストップウォッチタイマ

RUN状態のカウンタデータを読み出す場合、一度カウンタをSTOPし読み出し後再度RUNさせる必要があります。カウンタの桁上げ時にデータを読み出すと、正しいデータが読み込めません。また、前記処理についてSTOP期間は976μsec(256Hzの1/4周期)以内である必要があります。

サウンドジェネレータ

BZ、 \overline{BZ} 信号は出力レジスタ(R10、R13)ならびにブザー周波数選択レジスタ(BZFO0～BZFO2)のデータ変更時に出力波形にハザードが出る場合があります。

イベントカウンタ

- (1)イベントカウンタはEVRUNのレジスタに書き込み後、ノイズ除去クロックの立ち下がりエッジに同期して動作または停止します。このため、入力信号(K02、K03への入力)を受け付ける際に、前記タイミングに注意が必要です。
- (2)イベントカウンタのデータ誤読み込みを防ぐため、カウンタデータは複数回読み出しと比較を行い、一致したデータを結果として用いてください。

アナログコンパレータ

- (1)消費電流低減のため、必要時以外アナログコンパレータはOFFにしてください。
- (2)アナログコンパレータの出力データAMPDTの読み出しあはAMPONを"1"に設定後、アナログコンパレータの動作が安定する3msec以上の待ち時間をとってから行ってください。

電源電圧検出(SVD)回路

- (1)SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。したがって、SVDONに"1"を書き込み、100μsec以上経過後(CPUシステムクロックがfosc1の場合は次命令で可) "0"を書き込んでSVDDTを読み出してください。
- (2)SVDONはSVDDTと同一アドレスの同一ビットに存在し、書き込みと読み出しが各々が選択されます。このため、SVDONの制御に演算命令(AND、OR、ADD、SUB等)を使用することはできません。

重負荷保護機能(S1C60A16)

- (1)重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外にはソフトウェアで重負荷保護モードに設定しないように注意してください。
- (2)重負荷保護機能はS1C60A16でのみ有効です。
S1C60N16およびS1C60L16には、この機能はありません。S1C60N16およびS1C60L16では、
HLMOD(2E6H·D3)は動作に影響しないリード/ライト可能な汎用レジスタとなります。

割り込みとHALT

- (1)入力ポートの割り込み要因フラグ(IK)は、割り込みマスクレジスタ(EIK)を"0"に設定していると、入力ポートの端子状態が変化してもセットされません。
- (2)計時タイマ、ストップウォッチタイマ、シリアルインターフェースの各割り込み要因フラグ(TI、SWIT、ISIO)は、各割り込みマスクレジスタ(ETI、EISWIT、EISIO)を"0"に設定していても、タイミング条件成立によりセットされます。
- (3)各割り込み要因フラグの読み出しは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。
- (4)各割り込みマスクレジスタへの書き込みは、DI(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に書き込むと誤動作の原因になります。

5.3 実装上の注意事項

発振回路

発振特性は諸条件(使用部品、基板パターン等)により変化します。

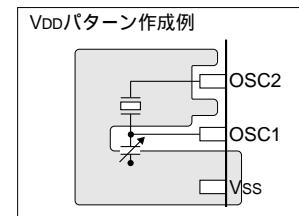
特に水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

(1)OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

(2)OSC1/OSC3、OSC2/OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。また、このVssパターンは発振用途以外に使用しないでください。

OSC1/OSC3 - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1/OSC3はVDD電源や信号線とは十分な距離を確保してください。



リセット回路

パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

また、マスクオプションによりRESET端子のプルダウン抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

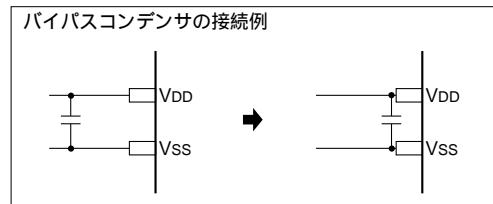
ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

(1)電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。

(2)VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



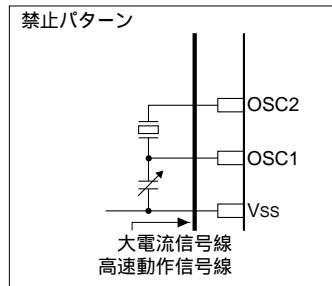
(3)Vc1、Vc2、Vc3端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。

信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



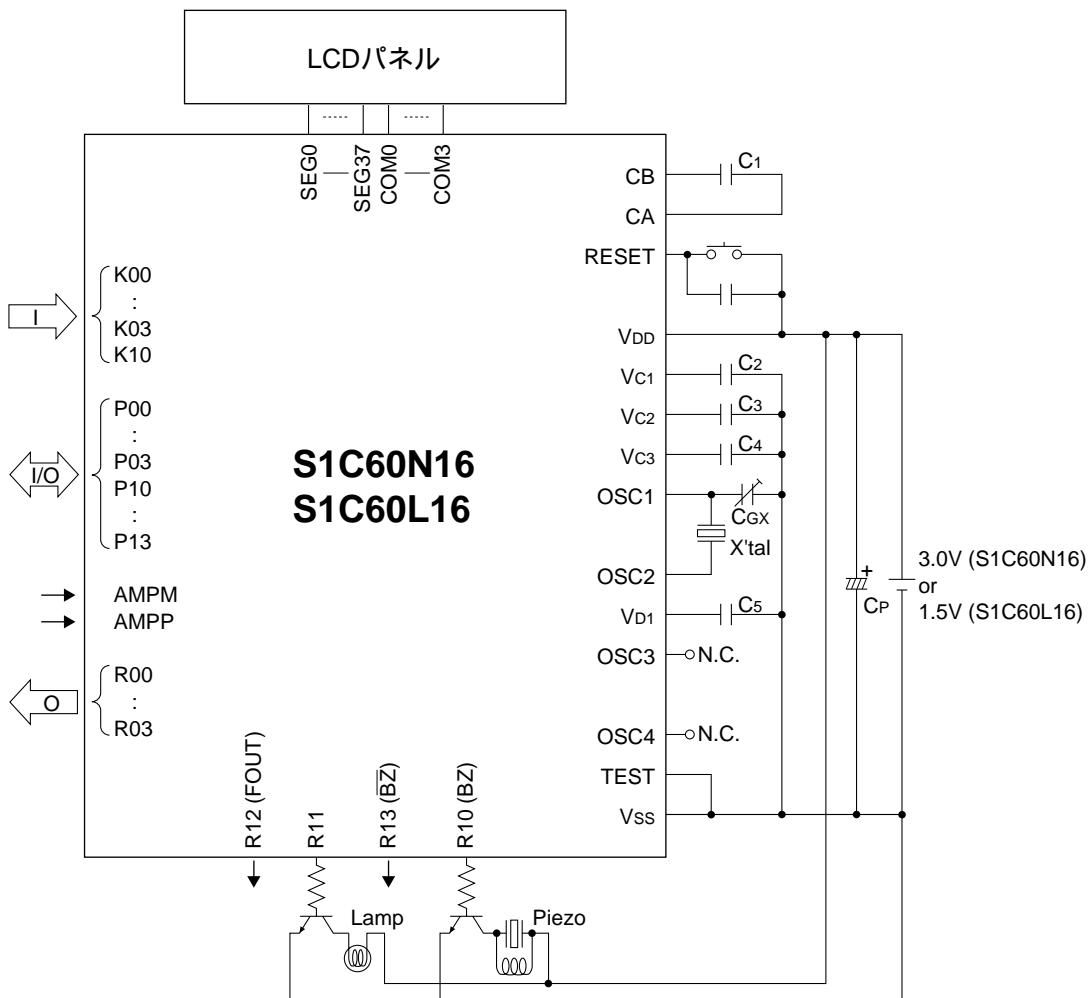
光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

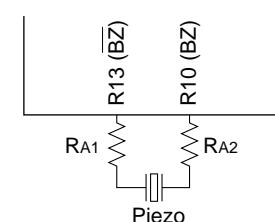
- (1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図

S1C60N16/S1C60L16



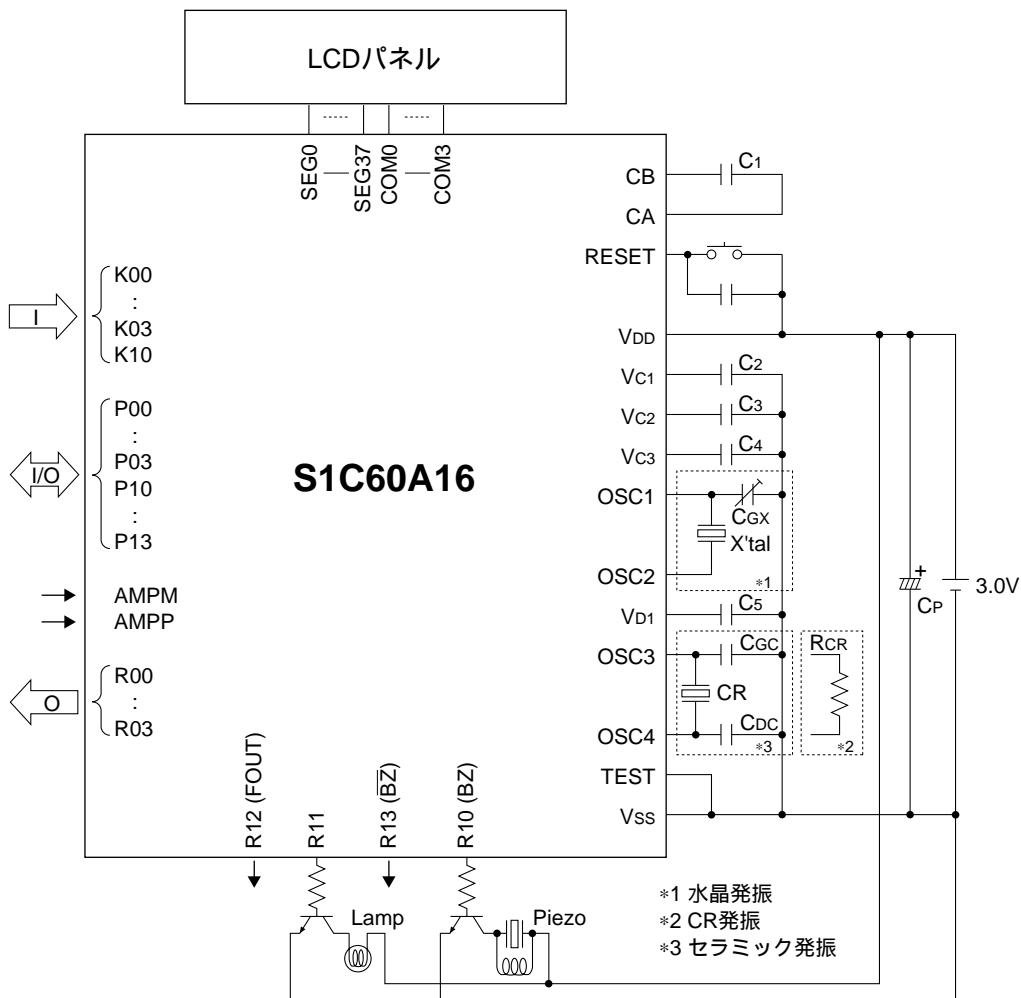
X'tal	水晶振動子	32.768kHz, C ₁ = 35k Ω
C _{GX}	トリマキャパシタ	5-25pF
C ₁	キャパシタ	0.1 μ F
C ₂	キャパシタ	0.1 μ F
C ₃	キャパシタ	0.1 μ F
C ₄	キャパシタ	0.1 μ F
C ₅	キャパシタ	0.1 μ F
C _P	キャパシタ	3.3 μ F
RA1	保護抵抗	100 Ω
RA2	保護抵抗	100 Ω



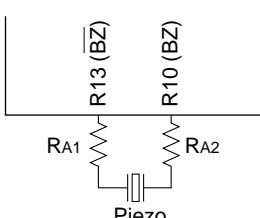
圧電ブザーをダイレクトドライブする場合

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

S1C60A16



X'tal	水晶振動子	32.768kHz, C ₁ = 35kΩ
C _{GX}	トリマキャパシタ	5-25pF
CR	セラミック振動子	1MHz
C _{GC}	ゲートキャパシタ	100pF
C _{DC}	ドレインキャパシタ	100pF
RCR	CR発振用抵抗	40kΩ (1MHz)
C ₁	キャパシタ	0.1μF
C ₂	キャパシタ	0.1μF
C ₃	キャパシタ	0.1μF
C ₄	キャパシタ	0.1μF
C ₅	キャパシタ	0.1μF
C _P	キャパシタ	3.3μF
R _{A1}	保護抵抗	100Ω
R _{A2}	保護抵抗	100Ω



圧電ブザーをダイレクト
ドライブする場合

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 電気的特性

7.1 絶対最大定格

S1C60N16/60A16

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	V _D D	-0.5 ~ 4.5	V
入力電圧(1)	V _I	-0.5 ~ V _D D + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _D I + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度	T _{tsg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージの場合

S1C60L16

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	V _D D	-0.5 ~ 2.0	V
入力電圧(1)	V _I	-0.5 ~ V _D D + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _D I + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度	T _{tsg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージの場合

7.2 推奨動作条件

S1C60N16

(Ta=-20 ~ 70°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _D D	V _{SS} =0V	2.2	3.0	3.6	V
発振周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz

S1C60L16

(Ta=-20 ~ 70°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _D D	V _{SS} =0V	1.2	1.5	1.8	V
発振周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz

S1C60A16

(Ta=-20 ~ 70°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _D D	V _{SS} =0V	2.2	3.0	3.6	V
発振周波数(1)	f _{OSC1}	水晶発振	—	32.768	—	kHz
発振周波数(2)	f _{OSC3}	デューティ 50±5%	50	1000	1200	kHz

7.3 DC特性

S1C60N16/60A16

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, Ta=25°C, VD1/VCl~VC3は内部電圧, C1~C5=0.1μF

項目	記号	条件	Min.	Typ.	Max.	単位	
高レベル入力電圧(1)	VIH1	K00~03, K10, P00~03, P10~13	0.8·VDD		0	V	
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		0	V	
低レベル入力電圧(1)	VIL1	K00~03, K10, P00~03, P10~13	0		0.2·VDD	V	
低レベル入力電圧(2)	VIL2	RESET, TEST	0		0.1·VDD	V	
高レベル入力電流(1)	IH1	VIH1=3.0V Pull downなし AMPP, AMPM	0		0.5	μA	
高レベル入力電流(2)	IH2	VIH2=3.0V Pull downあり	3		10	μA	
高レベル入力電流(3)	IH3	VIH3=3.0V Pull downあり	3		10	μA	
低レベル入力電流	IIL	VIL=VSS	K00~03, K10, P00~03, P10~13 AMPP, AMPM, RESET, TEST	-0.5		0	μA
高レベル出力電流	IOH1	VOH1=0.9·VDD	R00~03, R10~13, P00~03, P10~13			-0.9	mA
低レベル出力電流	IOL1	VOL1=0.1·VDD	R00~03, R10~13, P00~03, P10~13	3.0			mA
コモン出力電流	IOH2	VOH2=VC3-0.05V	COM0~3			-3	μA
	IOL2	VOL2=VSS+0.05V		3			μA
セグメント出力電流 (LCD出力時)	IOH3	VOH3=VC3-0.05V	SEG0~37			-3	μA
	IOL3	VOL3=VSS+0.05V		3			μA
セグメント出力電流 (DC出力時)	IOH4	VOH4=0.9·VDD	SEG0~37			-200	μA
	IOL4	VOL4=0.1·VDD		200			μA

S1C60L16

特記なき場合

VDD=1.5V, Vss=0V, fosc1=32.768kHz, Ta=25°C, VD1/VCl~VC3は内部電圧, C1~C5=0.1μF

項目	記号	条件	Min.	Typ.	Max.	単位	
高レベル入力電圧(1)	VIH1	K00~03, K10, P00~03, P10~13	0.8·VDD		0	V	
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		0	V	
低レベル入力電圧(1)	VIL1	K00~03, K10, P00~03, P10~13	0		0.2·VDD	V	
低レベル入力電圧(2)	VIL2	RESET, TEST	0		0.1·VDD	V	
高レベル入力電流(1)	IH1	VIH1=1.5V Pull downなし AMPP, AMPM	0		0.5	μA	
高レベル入力電流(2)	IH2	VIH2=1.5V Pull downあり	1.5		5	μA	
高レベル入力電流(3)	IH3	VIH3=1.5V Pull downあり	1.5		5	μA	
低レベル入力電流	IIL	VIL=VSS	K00~03, K10, P00~03, P10~13 AMPP, AMPM, RESET, TEST	-0.5		0	μA
高レベル出力電流	IOH1	VOH1=0.9·VDD	R00~03, R10~13, P00~03, P10~13			-150	μA
低レベル出力電流	IOL1	VOL1=0.1·VDD	R00~03, R10~13, P00~03, P10~13	700			μA
コモン出力電流	IOH2	VOH2=VC3-0.05V	COM0~3			-3	μA
	IOL2	VOL2=VSS+0.05V		3			μA
セグメント出力電流 (LCD出力時)	IOH3	VOH3=VC3-0.05V	SEG0~37			-3	μA
	IOL3	VOL3=VSS+0.05V		3			μA
セグメント出力電流 (DC出力時)	IOH4	VOH4=0.9·VDD	SEG0~37			-100	μA
	IOL4	VOL4=0.1·VDD		100			μA

7.4 アナログ回路特性・消費電流

S1C60N16

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, Ta=25°C, CG=25pF, VD1/Vc1~Vc3は内部電圧, C1~C5=0.1μF

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	Vc1	Vss-Vc1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	0.90	0.98	1.06	V
	Vc2	Vss-Vc2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-Vc1 ×0.9	2.10	2-Vc1 +0.1	V
	Vc3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-Vc1 ×0.9		3-Vc1 +0.1	V
SVD電圧	VsVd		2.05	2.20	2.35	V
SVD回路応答時間	tsVd				100	μs
アナログコンバレータ	VIP	非反転入力(AMPP)	0.3	VDD-0.9	V	
	VIM	反転入力(AMPM)				
アナログコンバレータ オフセット電圧	VOF				10	mV
アナログコンバレータ 応答時間	tAMP	VIP=1.5V VIM=VIP±15mV			3	ms
消費電流	IOP	HALT時	パネル 負荷なし	0.7	1.0	μA
		実行時 *1		1.4	2.0	μA

*1 SVD回路およびアナログコンバレータはOFF状態

S1C60L16

特記なき場合

VDD=1.5V, Vss=0V, fosc1=32.768kHz, Ta=25°C, CG=25pF, VD1/Vc1~Vc3は内部電圧, C1~C5=0.1μF

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	Vc1	Vss-Vc1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	0.90	0.98	1.06	V
	Vc2	Vss-Vc2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-Vc1 ×0.9		2-Vc1 +0.1	V
	Vc3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-Vc1 ×0.9		3-Vc1 +0.1	V
SVD電圧	VsVd		1.10	1.20	1.30	V
SVD回路応答時間	tsVd				100	μs
アナログコンバレータ	VIP	非反転入力(AMPP)	0.3	VDD-0.9	V	
	VIM	反転入力(AMPM)				
アナログコンバレータ オフセット電圧	VOF				10	mV
アナログコンバレータ 応答時間	tAMP	VIP=1.1V VIM=VIP±30mV			3	ms
消費電流	IOP	HALT時	パネル 負荷なし	0.7	1.0	μA
		実行時 *1		1.4	2.0	μA

*1 SVD回路およびアナログコンバレータはOFF状態

S1C60A16

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, Ta=25°C, CG=25pF, VD1/VC1~VC3は内部電圧, C1~C5=0.1μF

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	Vc1	Vss-Vc1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	0.90	0.98	1.06	V
	Vc2	Vss-Vc2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2·Vc1 ×0.9		2·Vc1 +0.1	V
	Vc3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3·Vc1 ×0.9		3·Vc1 +0.1	V
SVD電圧	VsVD		2.05	2.20	2.35	V
SVD回路応答時間	tsVD				100	μs
アナログコンパレータ	VIP	非反転入力(AMPP)	0.3		VDD-0.9	V
入力電圧	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=1.5V VIM=VIP±15mV			3	ms
消費電流 (通常動作モード)	IOP1	HALT時, OSC3: OFF	パネル 負荷なし		1.5	μA
		実行時 *1, OSC3: OFF			2.4	μA
		1MHz実行時 *1, OSC3(セラミック): ON			50	μA
		1MHz実行時 *1, OSC3(CR): ON			85	μA
消費電流 (重負荷保護モード)	IOP2	HALT時, OSC3: OFF	パネル 負荷なし		10.5	μA
		実行時 *1, OSC3: OFF			11.5	μA
		1MHz実行時 *1, OSC3(セラミック): ON			60	μA
		1MHz実行時 *1, OSC3(CR): ON			95	μA

*1 SVD回路およびアナログコンパレータはOFF状態

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値として、ご使用ください。

S1C60N16/60A16(OSC1水晶発振回路)

特記なき場合

VDD=3.0V, Vss=0V, Crystal: Q13MC146, CG=25pF, CD=内蔵, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta≤5sec (VDD)	2.2			V
発振停止電圧	Vstp	tstp≤10sec (VDD)	2.2			V
内蔵容量(ドレイン)	Cd	IC内部の寄生容量を含む		15		pF
周波数電圧偏差	Δf/ΔV	VDD=2.2 ~ 3.6V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔCG	CG=5 ~ 25pF	35	45		ppm
高調波発振開始電圧	Vhho	(VDD)			3.6	V
許容リーコ抵抗	Rleak	OSC1とVDDの間	200			MΩ

S1C60L16(OSC1水晶発振回路)

特記なき場合

VDD=1.5V, Vss=0V, Crystal: Q13MC146, CG=25pF, CD=内蔵, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta≤5sec (VDD)	1.2			V
発振停止電圧	Vstp	tstp≤10sec (VDD)	1.2			V
内蔵容量(ドレイン)	Cd	IC内部の寄生容量を含む		15		pF
周波数電圧偏差	Δf/ΔV	VDD=1.2 ~ 1.8V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔCG	CG=5 ~ 25pF	35	45		ppm
高調波発振開始電圧	Vhho	(VDD)			1.8	V
許容リーコ抵抗	Rleak	OSC1とVDDの間	200			MΩ

S1C60A16(OSC3 CR発振回路)

特記なき場合

VDD=3.0V, Vss=0V, RCR=40kΩ, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数バラツキ	fosc3		-30	1MHz	30	%
発振開始電圧	Vsta	(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 3.6V			3	ms
発振停止電圧	Vstp	(VDD)	2.2			V

S1C60A16(OSC3セラミック発振回路)

特記なき場合

VDD=3.0V, Vss=0V, セラミック振動子: 1MHz, CGC=CDC=100pF, Ta=25°C

項目	Symbol	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 3.6V			5	ms
発振停止電圧	Vstp	(VDD)	2.2			V

7.6 シリアルインターフェースAC特性

1 クロック同期式マスタモード(32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

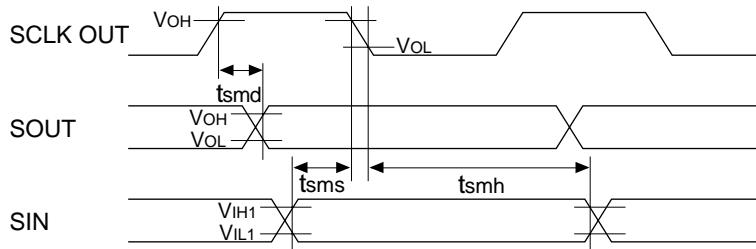
項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t_{smd}			5	μs
受信データ入力セットアップ時間	t_{sms}	10			μs
受信データ入力ホールド時間	t_{smh}	5			μs

2 クロック同期式スレーブモード(32kHz動作時)

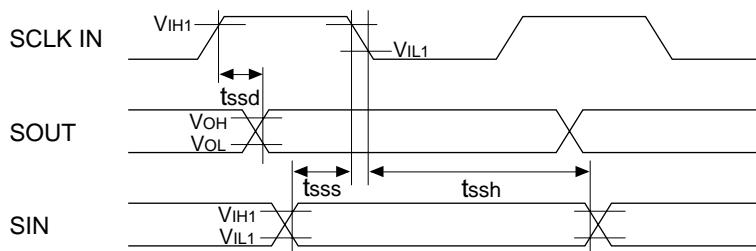
条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t_{ssd}			10	μs
受信データ入力セットアップ時間	t_{sss}	10			μs
受信データ入力ホールド時間	t_{ssh}	5			μs

<マスタモード>



<スレーブモード>

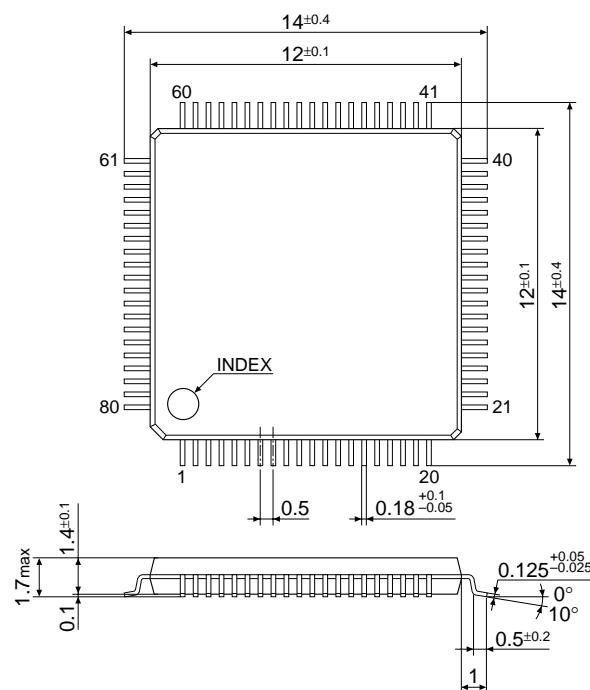


8 パッケージ

8.1 プラスチックパッケージ

QFP14-80pin

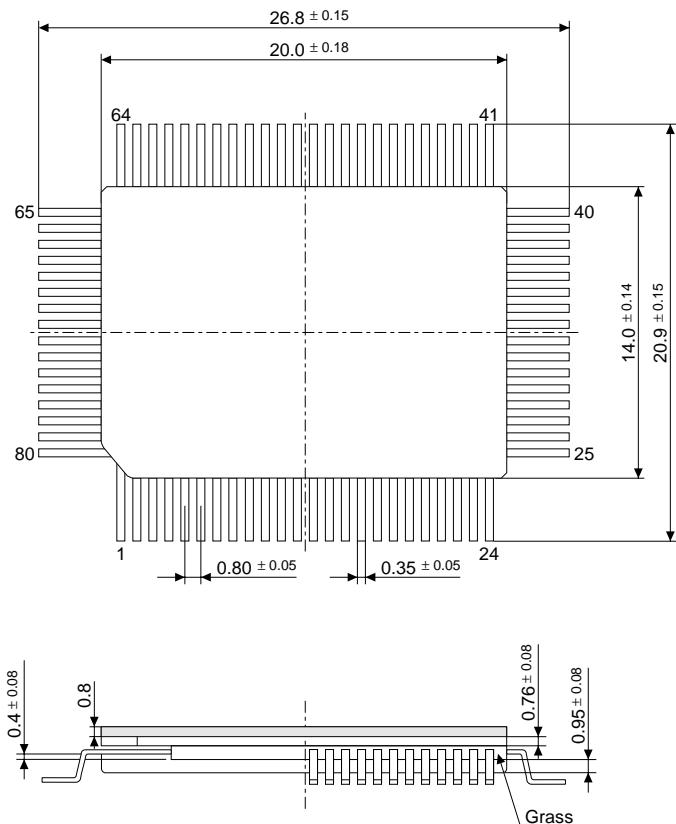
(単位: mm)



8.2 テストサンプル用セラミックパッケージ

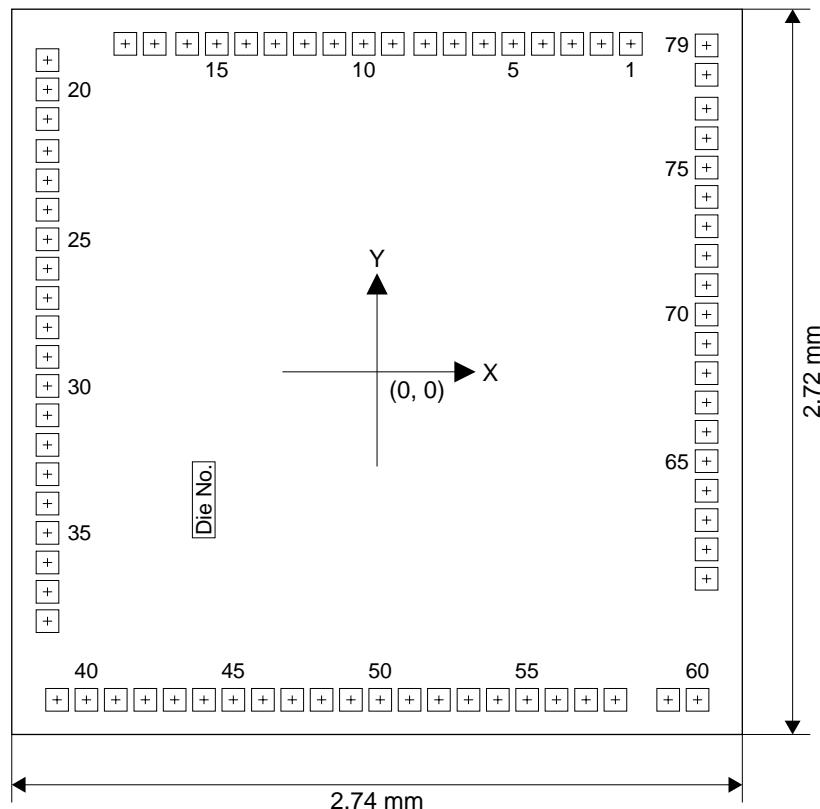
QFP5-80pin

(単位 : mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400 μ m
パッド開口部: 85 μ m

9.2 パッド座標

(単位: μm)

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	P13	952	1,230	28	OSC3	-1,236	167	55	SEG22	563	-1,230
2	P12	842	1,230	29	OSC4	-1,236	56	56	SEG21	673	-1,230
3	P11	732	1,230	30	VDD	-1,236	-53	57	SEG20	784	-1,230
4	P10	622	1,230	31	VC3	-1,236	-163	58	SEG19	894	-1,230
5	P03	511	1,230	32	VC2	-1,236	-274	59	SEG18	1,092	-1,230
6	P02	401	1,230	33	VC1	-1,236	-384	60	SEG17	1,202	-1,230
7	P01	291	1,230	34	CB	-1,236	-494	61	SEG16	1,236	-776
8	P00	181	1,230	35	CA	-1,236	-604	62	SEG15	1,236	-666
9	R13	59	1,230	36	COM3	-1,236	-715	63	SEG14	1,236	-556
10	R12	-50	1,230	37	COM2	-1,236	-825	64	SEG13	1,236	-446
11	R11	-160	1,230	38	COM1	-1,236	-935	65	SEG12	1,236	-335
12	R10	-271	1,230	39	COM0	-1,200	-1,230	66	SEG11	1,236	-225
13	R03	-381	1,230	40	SEG37	-1,090	-1,230	67	SEG10	1,236	-115
14	R02	-491	1,230	41	SEG36	-980	-1,230	68	SEG9	1,236	-5
15	R01	-601	1,230	42	SEG35	-869	-1,230	69	SEG8	1,236	105
16	R00	-712	1,230	43	SEG34	-759	-1,230	70	SEG7	1,236	215
17	K00	-834	1,230	44	SEG33	-649	-1,230	71	SEG6	1,236	325
18	K01	-944	1,230	45	SEG32	-539	-1,230	72	SEG5	1,236	435
19	K02	-1,236	1,169	46	SEG31	-428	-1,230	73	SEG4	1,236	546
20	K03	-1,236	1,059	47	SEG30	-318	-1,230	74	SEG3	1,236	656
21	K10	-1,236	948	48	SEG29	-208	-1,230	75	SEG2	1,236	766
22	Vss	-1,236	828	49	SEG28	-98	-1,230	76	SEG1	1,236	876
23	AMPM	-1,236	718	50	SEG27	12	-1,230	77	SEG0	1,236	987
24	AMPP	-1,236	608	51	SEG26	122	-1,230	78	RESET	1,236	1,114
25	OSC1	-1,236	497	52	SEG25	232	-1,230	79	TEST	1,236	1,224
26	OSC2	-1,236	387	53	SEG24	343	-1,230	—	—	—	—
27	Vd1	-1,236	277	54	SEG23	453	-1,230	—	—	—	—

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
404539303	1, 3, 4, 90	パッケージ QFP5-80pin(S2)の記述を削除
	5	オプションリスト: 3キー同時押しリセット (旧) 時間検定 <input type="checkbox"/> 1. 使用する <input type="checkbox"/> 2. 使用しない (新) 時間検定 <input type="checkbox"/> 1. 使用しない <input type="checkbox"/> 2. 使用する
	6	オプションリスト: 17 LCD/バイアス&電源 (旧) S1C60N16 <input type="checkbox"/> 1. 1/3バイアス, 定電圧回路を使用, 3V LCD <input type="checkbox"/> 2. 1/3バイアス, 定電圧回路を使用しない, 3V LCD <input type="checkbox"/> 3. 1/2バイアス, 定電圧回路を使用しない, 3V LCD S1C60L16 <input type="checkbox"/> 1. 1/3バイアス, 定電圧回路を使用, 3V LCD <input type="checkbox"/> 2. 1/2バイアス, 定電圧回路を使用しない, 3V LCD (新) S1C60N16 <input type="checkbox"/> 1. 1/3バイアス, 定電圧回路を使用, 3V LCD S1C60L16 <input type="checkbox"/> 1. 1/3バイアス, 定電圧回路を使用, 3V LCD
	8	電源系 (旧) マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。 ... 図2.1.2 LCD系定電圧回路を使用しない場合の外付け部品の構成 (新) S1C60A16では、マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。 ... 図2.1.2 LCD系定電圧回路を使用しない場合の外付け部品の構成(S1C60A16)
	9	イニシャルリセット: イニシャルリセット回路の構成 図2.2.1修正
	14	メモリマップ: 2EFH 表4.1.1(b)修正
	39	LCD ドライバ: LCD ドライバの構成 (旧) また、マスクオプションにより、Vss、Vc1=Vc2、Vc3の3電位(1/2バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動も選択できます。 (新) また、S1C60A16ではマスクオプションにより、Vss、Vc1=Vc2、Vc3の3電位(1/2バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動も選択できます。
	46	LCD ドライバ: 駆動バイアス (旧) S1C60N16およびS1C60L16の駆動バイアスとして、1/3または1/2バイアスをマスクオプションで選択できます。 (新) S1C60A16の駆動バイアスとして、1/3または1/2バイアスをマスクオプションで選択できます。

**セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部**

東京 〒191-8501 東京都日野市日野421-8

TEL (042) 587-5313(直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

ドキュメントコード: 404539303
2002年10月 作成 ①
2011年 3月 改訂